

50376  
1975  
210

50376  
1975  
210

N° d'ordre : 174

T H E S E

présentée à

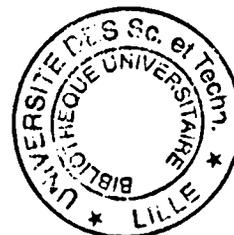
l'Université des Sciences & Techniques de Lille 1

pour obtenir le titre de Docteur - Ingénieur

par

Mehmet Deniz TULBENTCIOGLU

Ingénieur I.T.U.



"DISPOSITIF D'ECHANGES RAPIDES SUR MICROCALCULATEUR"

Soutenue le 9 Juillet 1975, devant la Commission d'examen :

Membres du Jury :

- MM. Pierre VIDAL, Président
- Jean-Marc TOULOTTE, Rapporteur
- Lucien POVY, Examineur
- Bernard PRONIER, Invité.

## I N T R O D U C T I O N

-----

Depuis quelques années, la mise au point des techniques d'intégration des circuits logiques a permis de développer une nouvelle catégorie de machines digitales, les microprocesseurs.

Grâce à leur faible coût et à leurs performances, ils tendent à prendre une place de plus en plus prépondérante en contrôle industriel. Ils sont donc utilisés en traitement de données logiques ou analogiques correspondant à divers points de mesures ou de commande. Ils peuvent servir en outre dans les terminaux intelligents et doivent par conséquent, être très rapides.

Le microcalculateur MICRAL, qui fait l'objet de notre étude dispose d'une vitesse maximale d'échange de l'ordre de 10 Khz ; cette vitesse s'avère insuffisante pour un grand nombre d'applications. En particulier le couplage de ce calculateur à un T2000, exposé dans nos deux premiers chapitres, a montré la nécessité d'axer notre recherche sur l'amélioration de cette vitesse.

La solution que nous avons choisi de développer et que nous présentons dans la suite du mémoire est un canal à accès direct à la mémoire. Il présente l'avantage de ne pas perturber ni ralentir le déroulement du programme en cours. Pour les vitesses très élevées de l'ordre de 600 Khz, il convient de passer en blocage d'unité centrale. La réalisation de ce dispositif, qui fait l'objet du chapitre IV, entraîne une restructuration de la configuration du MICRAL.

Le dernier chapitre présente quelques essais permettant d'apprécier les performances obtenues.

## CHAPITRE I - DEFINITION D'UNE LIAISON ENTRE UN MICRAL ET UN T2000

La commande de processus industriels nécessite de plus en plus souvent l'utilisation de calculateurs couples, l'apparition des micro-machines rendant possible une répartition des dispositifs informatiques. D'autre part la réalisation d'une liaison entre deux ensembles présente l'intérêt au niveau du centre de calcul de pouvoir étudier et vérifier, sur une machine, l'efficacité d'une commande en temps réel d'un processus simulé sur l'autre machine. Le couplage considéré se fait entre un microcalculateur, le MICRAL, et un calculateur industriel classique, le T2000. Il constitue la première partie de notre travail et commence par la définition de l'interface de liaison.

### 1. 1 DEFINITION DE L'INTERFACE

On distingue deux catégories de dispositifs de liaison : les interfaces passives et les interfaces actives. Les premières ne servent qu'à rendre compatibles les niveaux des signaux utilisés ou à effectuer la transformation de la nature du signal comme c'est le cas dans la conversion analogique-digitale.

L'interface active doit connaître l'état des deux machines pour pouvoir élaborer les ordres permettant l'échange des informations. C'est donc essentiellement un automate de gestion qui d'ailleurs peut posséder une structure programmée. La mise en condition initiale doit pouvoir se faire aussi bien d'un côté que de l'autre, le rôle de l'interface étant ensuite de diriger l'échange en fonction de l'état de réceptivité c'est-à-dire surtout en fonction des vitesses maximum admissibles. Il y a de plus un rôle d'adaptation des signaux. Ceci nous oblige donc à préciser la structure des machines en présence. Nous nous restreindrons essentiellement aux entrées-sorties et aux signaux de commande, renvoyant en annexe pour de plus amples précisions.

a) Le MICRAL est un microcalculateur particulièrement destiné au contrôle industriel et d'une façon générale à tous les problèmes en temps réel. Il comprend trois parties : la mémoire, le processeur et la liaison avec le périphérique ; la mémoire est du type RAM ou ROM structurée en pages de 256 octets, le processeur un circuit intégré INTEL 8008. Les entrées-sorties sont programmées et se font par l'intermédiaire de coupleurs. Elles transitent par l'accumulateur par octet. L'instruction de sortie consiste à mémoriser les 8 bits de l'accumulateur dans un registre de sortie. L'instruction d'entrée revient à tester les bits d'entrée et à fixer leur valeur dans l'accumulateur. L'information se présente dans le coupleur sous forme de niveaux compatibles TTL (32 entrées - 32 sorties ou 64 entrées - 64 sorties).

Un coupleur particulier, "la Pile Canal" permet le transfert de l'information à cadence élevée sous contrôle de l'organe avec lequel s'effectue le transfert. Un système d'interruption à 8 niveaux facilite dialogue avec l'environnement. Le niveau 0 est réservé à l'unité centrale. D'autre part les interruptions peuvent être rendues inopérantes sous contrôle du programme par masquage global ou par désarmement individuel.

b) Le T2000 est un calculateur de processus de forme classique travaillant sur 19 bits. La mémoire à tôres est extensible par bloc de 4 K jusque 32 K mots. Outre les possibilités habituelles de programmation (y compris les langages évolués) et de périphériques, il existe un ensemble de coupleurs d'entrées-sorties analogiques ou numériques. A ce niveau on peut distinguer trois modes de fonctionnement. En mode programmé simple, chaque opération se fait par l'intermédiaire de l'accumulateur après test du périphérique. En mode prioritaire, on ajoute au système précédent l'ensemble de gestion des interruptions ; chaque bac d'entrée-sortie dispose d'un

niveau : le plus haut placé dans la hiérarchie correspond à l'unité centrale. D'autre part un registre de masquage permet de contrôler individuellement les appels.

Le dernier mode d'échange permet de réduire considérablement la programmation et ainsi de libérer l'unité centrale des opérations de dialogue avec le périphérique. Il s'agit du mode canal qui assure les échanges par bloc, au rythme du périphérique. Avec blocage de l'unité centrale, le débit d'information peut atteindre 200 000 mots par seconde.

## 1. 2 LA PILE CANAL

L'organe essentiel de dialogue du côté du MICRAL est la pile canal que nous allons détailler maintenant. Le choix de ce mode de transport est dû au débit qu'il est possible d'atteindre. L'ensemble est constitué d'une mémoire à structure de pile ayant deux accès multiplexés : l'un vers le processeur pour lequel l'échange se fait séquentiellement par les ordres INP et OUT, l'autre vers l'extérieur commandé par les signaux de service. L'adressage de la pile se fait par l'intermédiaire d'un pointeur modifié automatiquement dans le sens voulu à chaque transfert d'information. Une entrée ou une sortie permet, en cas de besoin, d'accéder au pointeur pour lire sa position ou charger une adresse. On peut le faire à partir du processeur, à travers un coupleur d'entrée ou un coupleur de sortie. Dans ces transferts, les séquences d'opération se font par demande et acquittement. Une entrée commande le sens du transfert. Un compteur de mots contrôle le déroulement de l'opération en décrémentant son contenu à chaque échange jusqu'à la valeur nulle qui entraîne un arrêt automatique. Une entrée permet de précharger le contenu du compteur à une valeur désirée initialisant ainsi le transfert canal.

Un signal de zéro Volt sur une borne IN/OUT correspond à une écriture dans la pile. Un signal de + 5 Volts (ou borne en l'air) correspond à la lecture de la pile.

Le passage à zéro du compteur, provoque l'apparition d'un signal zéro volt sur le bistable de transfert par bloc. Ce signal peut être utilisé soit comme une interruption, niveaux 1 à 7, soit comme une entrée traitée par test.

Pour fixer la valeur du pointeur de pile à partir du processeur, on transfère le contenu de l'accumulateur qui en a été préchargé vers un coupleur de sortie correspondant à ce pointeur. En sens inverse, une instruction d'entrée d'adresse d'un coupleur particulier permet de placer dans l'accumulateur le contenu du pointeur.

Pour les transferts d'information avec la pile, il suffit alors d'utiliser les instructions d'entrée-sortie à l'adresse correspondant à la carte pile canal.

La figure 1 présente le synoptique des entrées-sorties de ce dispositif.

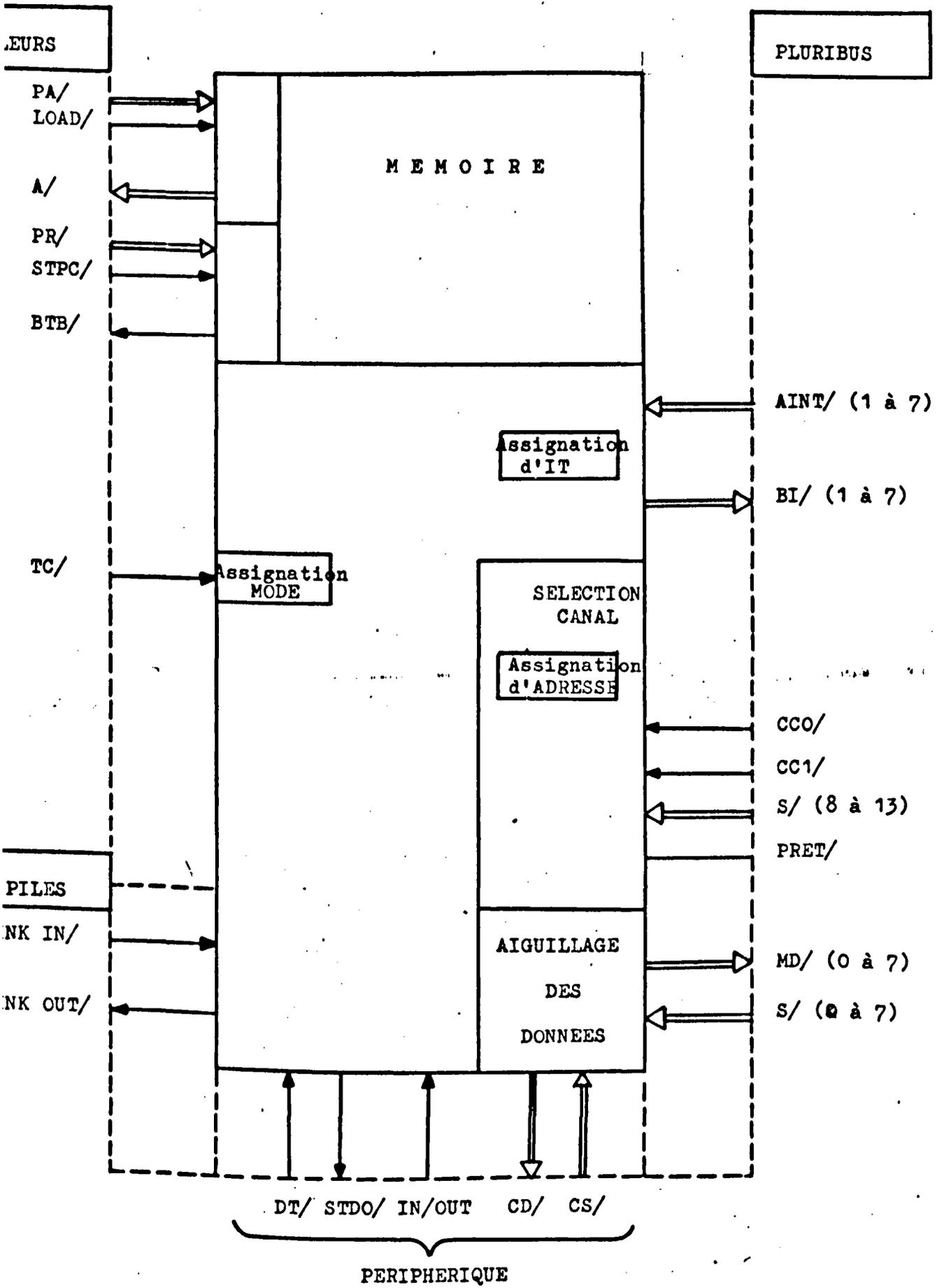


FIGURE 1 : SYNOPTIQUE DE LA PILE CANAL

=====

## Raccordements extérieurs de la PILE

## 1° Connection vers les autres Piles

LINK IN	Raccordement en entrée	B1
LINK OUT	Raccordement en sortie	B2

## 2° Connection vers un périphérique

DT/	Demande de transfert	B17
BT/	Bistable de transfert	B4
STDO/	Acquittement	B3
IN/, OUT/	Sens de transfert	A1
CD/	Sortie des données	voir tableau
CS/	Entrée des données	voir tableau

## 3° Connection par coupleurs

TC/	Transfert circulaire (piles en cascade)	A35
LOAD/	Validation d'adresse	B29
PA/	Préchargement d'adresse	voir tableau
A/	Adresse du pointeur	voir tableau
PR/	Compte de mots	voir tableau
STPC/	Acquittement compte de mots	A12
BTE/	Fin d'échange	A10 et B10

## 4° Les masses

A36 et A37

	B7	B6	B5	B4	B3	B2	B1	B0	Strobe
CDO/ à CD7/	A30	A31	B27	B22	B12	A11	A9	A8	B3
CSO/ à CS7/	B6	A5	B8	A6	B7	A7	A3	B5	B17
PAO/ à PA7/	B30	B31	B32	B33	B34	B35	B36	B37	B29
AO/ à A7/	A21	A22	A23	A24	A25	A26	A27	A28	
PRO/ à PR7/	A13	A14	A15	A16	A17	A18	A19	A20	A12

Il est possible de distinguer trois modes de fonctionnement. Dans le Mode pile, on a simplement écriture à l'adresse du pointeur avec autoincrémentation ou lecture avec décrémentation préalable.

Le mode cyclique diffère du précédent uniquement au niveau de la lecture. Le pointeur est en effet incrémenté avant lecture pour permettre, après réinitialisation, de reprendre les valeurs, dans l'ordre d'écriture.

Enfin en mode inversé, on fait la lecture suivie d'une incrémentation et l'écriture précédée d'une décrémentation.

Lorsque la pile sert de tampon dans un dialogue entre deux périphériques, il faut utiliser le mode cyclique pour retransmettre les données dans l'ordre de réception. Si la pile est utilisée en organe d'entrée du processeur, le mode inversé est alors préférable, car le processeur ne peut ensuite dialoguer avec le Canal qu'en mode pile. Remarquons toutefois que ce mode n'a pu être utilisé pour le couplage MICRAL-T2000, car ceci ne fait pas partie de la définition standard de la carte mais n'est fait qu'à la demande. L'inconvénient essentiel de ce fait est d'alourdir les programmes de gestion des entrées.

Les signaux d'initialisation, de fonctionnement et d'acquiescement sont présentés en détails en annexe.

### 1. 3 COUPLEUR T2000 EN MODE CANAL

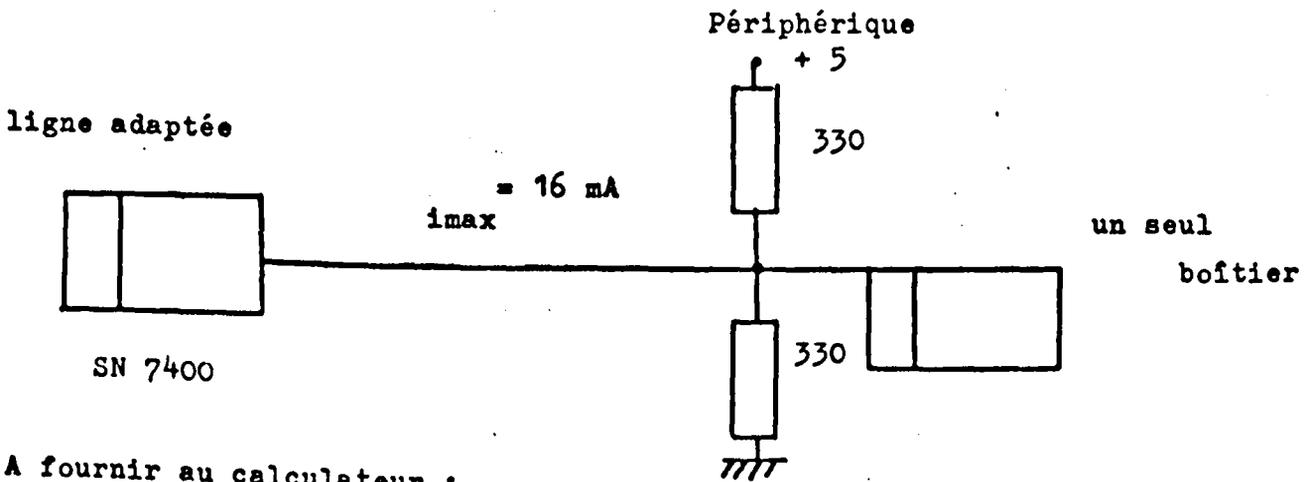
Au niveau du T2000, les entrées et les sorties se font par l'intermédiaire du coupleur Universel utilisé en mode canal. Ce coupleur est double et comprend en entrée comme en sortie un registre tampon de 19 bits.

Pour chaque mot de sortie, il faut élaborer l'état d'occupation et le ramener sur la borne  $\overline{OCC}$  (borne J22 pour sortie information, C22 pour sortie fonction). En mode canal, dès que l'état "non occupé" apparaît, l'instruction propre SM envoyée par le canal à l'unité centrale

**CARACTERISTIQUES DES SIGNAUX**  
**DU COUPLEUR UNIVERSEL T2000 EN MODE CANAL**

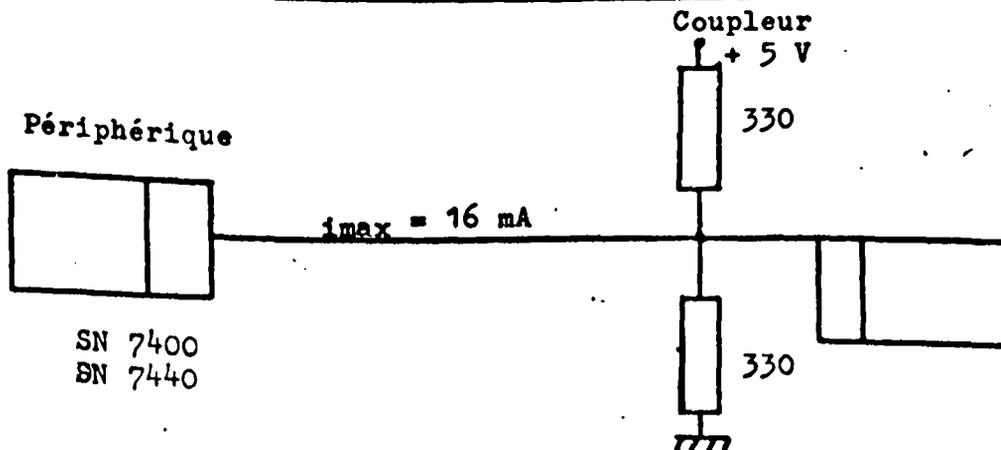
Disponible pour le périphérique :

NOM	SENS	BOITIERS	CHARGE	LIGNE ADAPTEE
MO....MIB	Valeur	SN 7400	16 mA	OUI
SERVI	Valeur	SN 7402	16 mA	OUI
ADRESS	Valeur	SN 7402	16 mA	OUI
IN	Complément	SN 7400	16 mA	OUI



A fournir au calculateur :

NOM	SENS	LIGNE ADAPTEE	CHARGE
EXO...FX 18	Valeur	OUI	16 mA
VAL	Complément	OUI	16 mA
OCC	Complément	OUI	16 mA
Appel Ext.	Valeur	OUI	16 mA



**FIGURE 2**

s'exécute avec saut.

En entrée, le principe est le même avec un signal de validation de l'information  $\overline{\text{VAL}}$  (borne C23). Dans le cas du mot d'état, celui-ci étant toujours présent, on indique en J23 une non validité permanente pour obtenir une exécution sans saut car il n'est pas nécessaire de faire des boucles d'attente. Le canal émet à l'adresse du périphérique le signal de service SERVI qui sert d'acquiescement dans tous les échanges. La borne APPEL permet d'introduire des signaux d'appel prioritaire : J21 pour le défaut périphérique C21 pour l'appel manuel. Le signal de défaut périphérique provoque une interruption avec arrêt de l'échange en cours sinon il est ignoré. L'identification de la cause de l'arrêt se fait par une demande de mot d'état. Si l'on est en cours d'échange, l'appel manuel entraîne les mêmes conséquences que le défaut périphérique. Dans le cas contraire, il y a création d'une interruption.

Ce chapitre nous a permis de présenter succinctement les éléments intervenant dans le couplage de façon à définir les impératifs de l'interface associé. Les signaux demandés ou fournis par les deux protagonistes ont été analysés. Il est maintenant possible de considérer la réalisation de la liaison.

## CHAPITRE II - REALISATION DE L'INTERFACE

Après avoir défini les objectifs et analysé les signaux en présence, nous allons nous attacher maintenant à résoudre les problèmes pratiques de réalisation de l'interface d'échange, en évoquant de plus les rapports entre l'utilisateur et les calculateurs. Le souci permanent doit être de pouvoir appeler un sous-programme rangé dans un ordinateur. Quel que soit l'endroit du programme de l'autre machine, le dialogue entre l'opérateur et l'ensemble se fait à partir d'un téléscripneur couplé au T2000 indépendamment de l'état du MICRAL. Ce choix provient surtout du fait que le T2000 est muni d'un disque qui peut en particulier servir de support au moniteur du MICRAL.

### 2. 1 STRUCTURE DES ECHANGES

Lors des échanges, le MICRAL ne peut travailler que sur 8 bits tandis que le T2000 en mode canal offre la possibilité d'opérer en 19 bits ou en deux fois 8 bits. La rapidité et la compatibilité de la liaison suggèrent de prendre un format de deux fois 8 bits. Le fonctionnement est schématisé sur la figure II 1.

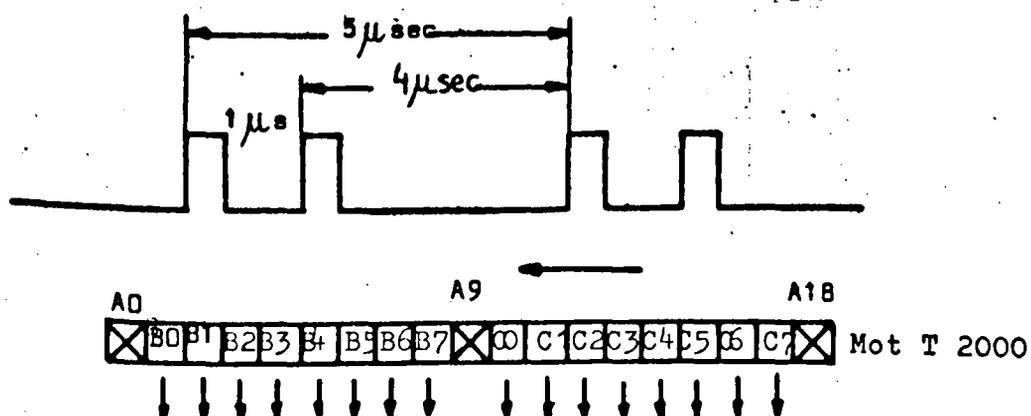


Figure II 1

Les bits B0 à B7 du mot T2000 sont transférés dans le coupleur avec leur signal de validation SERVI. Les bits C0 à C7 sont alors décodés pour être eux aussi envoyés au coupleur avec validation. Ces deux

.../...

messages sont espacés d'une microseconde. Il est possible de reproduire un échange de ce type toutes les 5 microsecondes, comme le montre la figure.

Du côté MICRAL les problèmes ont un caractère différent. On se heurte essentiellement à la difficulté posée par la dimension de la pile canal, celle-ci ne peut servir de tampon que pour 256 octets ; et une fois remplie, il faut effectuer les transferts vers le T2000 ou vers les mémoires du MICRAL, puis y replacer les nouvelles valeurs. Les mémoires du MICRAL étant structurées en page, pour définir complètement l'échange, il faut fournir le numéro de la page, le numéro de la ligne dans cette page et le nombre de lignes ou une adresse finale en page et ligne.

Le fonctionnement global de l'échange se trouve résumé sur les figures II 2 et II 3. On y a indiqué le déroulement parallèle des opérations sur les deux calculateurs. Dans le sens T2000 - MICRAL, on commence tout d'abord par la détermination des éléments nécessaires à l'introduction des valeurs dans la mémoire du MICRAL c'est-à-dire les adresses hautes et basses (page et ligne), on réalise l'échange par envoi d'une interruption au MICRAL. La phase suivante concerne alors la préparation de l'échange proprement dit. Du côté T2000 il s'agit d'une simple initialisation. Le MICRAL a un travail un peu plus complexe, car il convient évidemment d'opérer différemment suivant que le compte de mots est inférieur ou non à la taille de la pile. L'échange lui-même se fait par validation en contrôlant les signaux de service. Pour transmettre des informations du MICRAL au T2000, une interruption venant du MICRAL permet au T2000 de réaliser l'initialisation de l'échange. Ceci est dû au fait que celui-ci nécessite des opérations plus faciles et plus rapides à effectuer sur le gros calculateur. En retour le T2000 fournit les quatre mots nécessaires à l'échange. Les données

initiales portent sur les adresses initiale et finale de la mémoire MICRAL, et l'adresse de départ T2000 (2 octets) ; le résultat du calcul est le nombre de pages à échanger, le complément de la dernière page et l'adresse initiale. Cette dernière information n'est pas nécessaire mais permet de réutiliser une partie de programme. La suite de l'échange suit le même schéma que précédemment.

Le dialogue avec un opérateur par l'intermédiaire du téléscrip-teur utilise l'organigramme de la figure II 2 dans lequel le calcul des éléments d'initialisation ne se fait plus sur la table des données mais à partir de valeurs fixées par l'opérateur.

## 2. 2 SEQUENCES DE FONCTIONNEMENT

Dans ce paragraphe, nous entrons dans le détail du fonctionnement de l'échange en considérant les séquences de signaux. Il y a trois tableaux de marche possibles suivant le sens de l'échange et la parité du compte de mots. Le type de fonctionnement est déterminé par les bits A1 et A2 du mot de commande.

### a) Fonctionnement en sortie T2000

Après la sortie du premier mot de commande de définition, un acquittement est nécessaire (SERVI - C24) pour bloquer le canal. Il attend le signal STPC du MICRAL (B sur la figure II 4) pour faire une nouvelle sortie SM indiquée par le signal J24 qui sert de demande de transfert pour le MICRAL, et de blocage pour le T2000. Une fois la valeur prise, le MICRAL assure le déblocage par STDO (E sur la figure II 4). A la fin de l'échange, ce signal d'acquittement STDO provoque la montée de BTB (compte de mot nul). Deux cas sont alors à considérer. S'il n'y a pas chaînage, il ne reste à faire par programmation qu'une remise à zéro générale de l'interface. En cas de chaînage, le MICRAL réinitialise son canal par

.../...

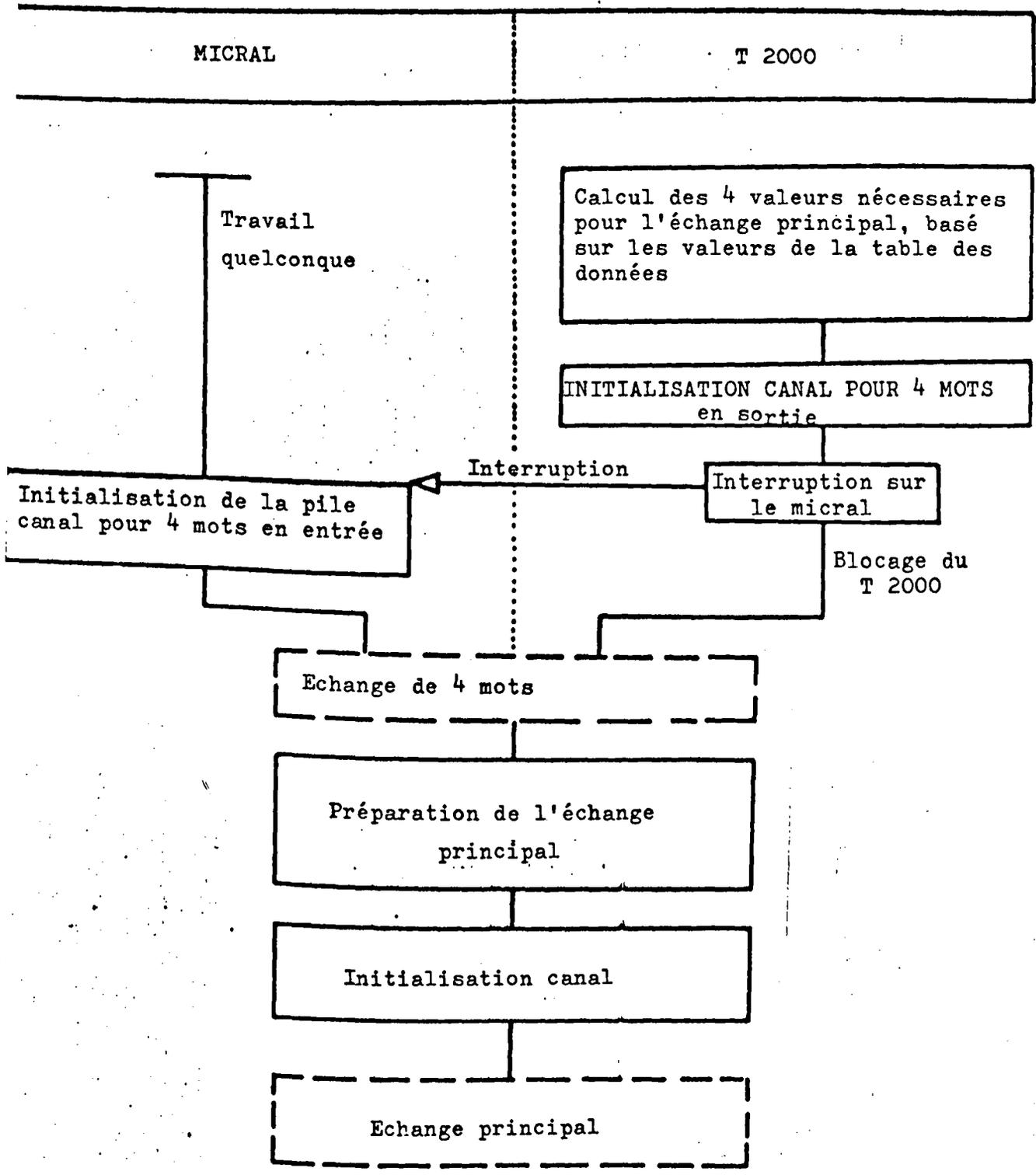
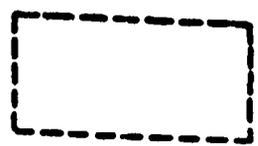
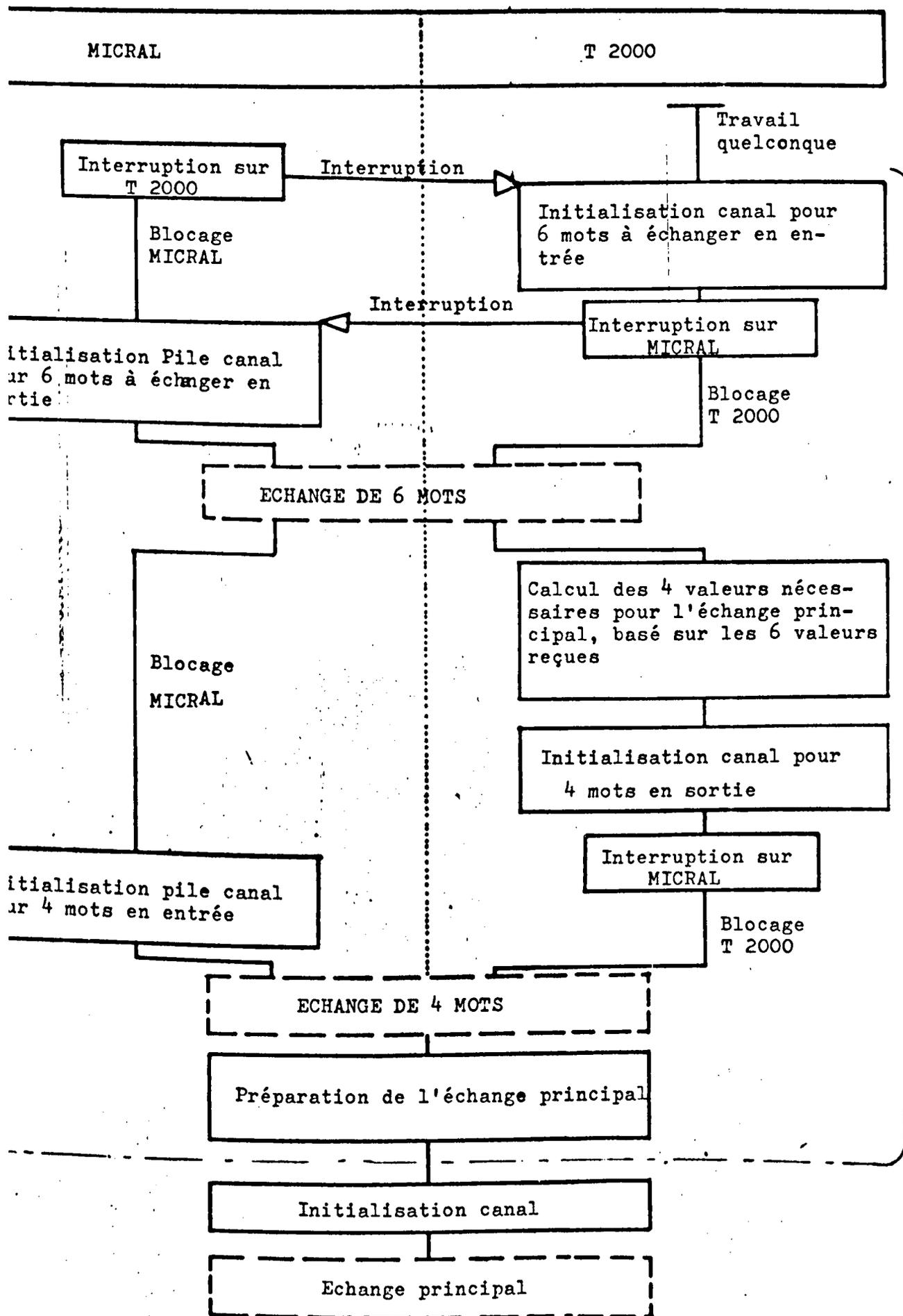


Fig. II-2

effectué par hardware





PREPARATION GENERALE D'UN ECHANGE

Fig. 3

l'intermédiaire d'une interruption interne de fin d'échange avec chaînage, le processus peut alors recommencer.

b) Fonctionnement en entrée T2000 (19 bits ou 8 bits par nombre pair)

La sortie du mot de commande de départ fournie par le T2000 le bloque (C24) et crée une interruption sur le MICRAL. Ce dernier en s'initialisant provoque une demande de transfert par l'intermédiaire du signal STPC. L'acquiescement fait STDO et VAL entraîne la prise en compte de l'information puis la validation par C24. La fin d'échange se fait de la même façon que précédemment, la remise à zéro générale est provoquée par le dernier acquiescement venant du T2000. L'ensemble des signaux est représenté sur la figure II 5.

c) Fonctionnement en entrée T2000 (8 bits par nombre impair)

Le début est évidemment identique ; le problème se pose uniquement lors du dernier pour éviter un blocage définitif du canal T2000. Il convient en effet de rajouter artificiellement un échange nul. Ceci est fait par le T2000 à la condition d'effectuer la remise à zéro générale par le deuxième signal d'acquiescement C24 intervenant après la remontée du BTB. (Figure II 6)

## 2. 3 LES LOGIQUES DE L'INTERFACE

L'analyse des diagrammes de fonctionnement précédents montre que les sorties VAL, OCC, DT dépendent uniquement des entrées et non de l'état de l'interface. On a donc à réaliser une simple fonction combinatoire. A partir des valeurs d'entrée, il s'agit en fait de sélectionner un ensemble de sorties correspondant à un mode de fonctionnement, tout en verrouillant les autres.

Le schéma de l'interface est présenté sur la figure II 7. Le bit A2 (MC3) du mot de commande du T2000 définit le signal 2EPM (parité de compte de mots), le bit A1 (MC2) le sens de l'échange soit A1 pour l'entrée,  $\overline{A1}$  en sortie.

A

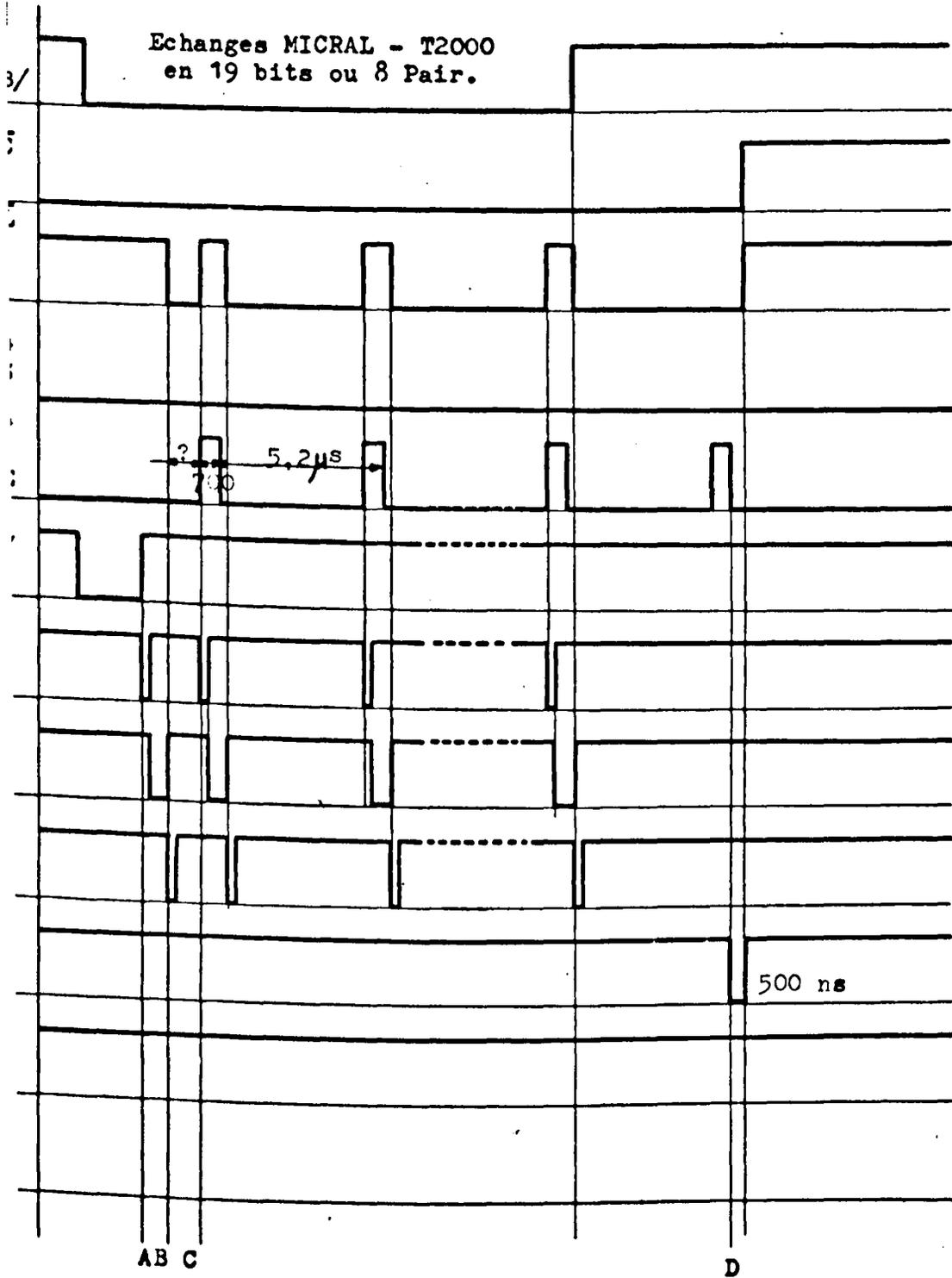
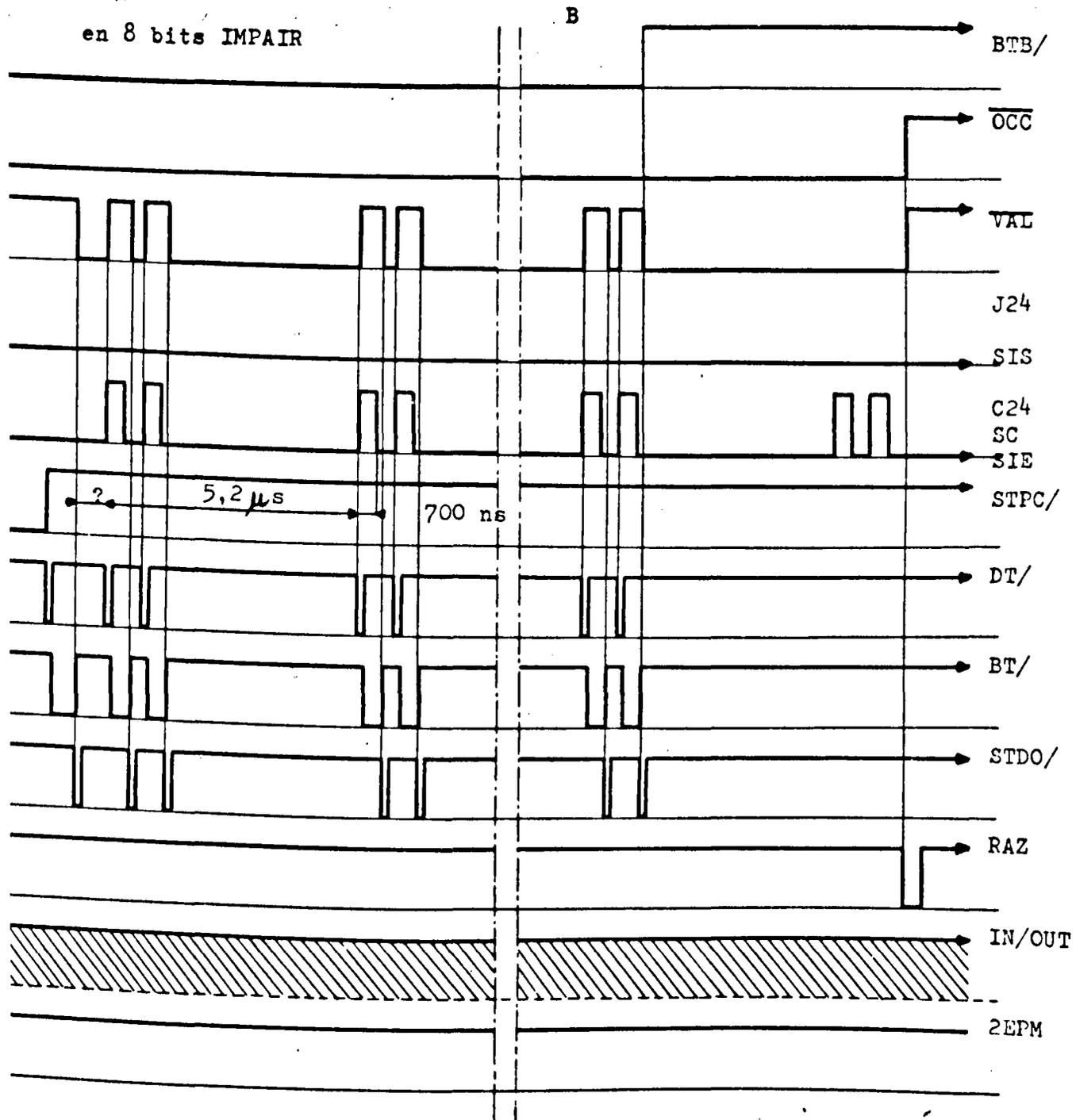


Tableau 1 II - 5

FIG. II 5

N Données MICRAL - T 2000  
en 8 bits IMPAIR



C

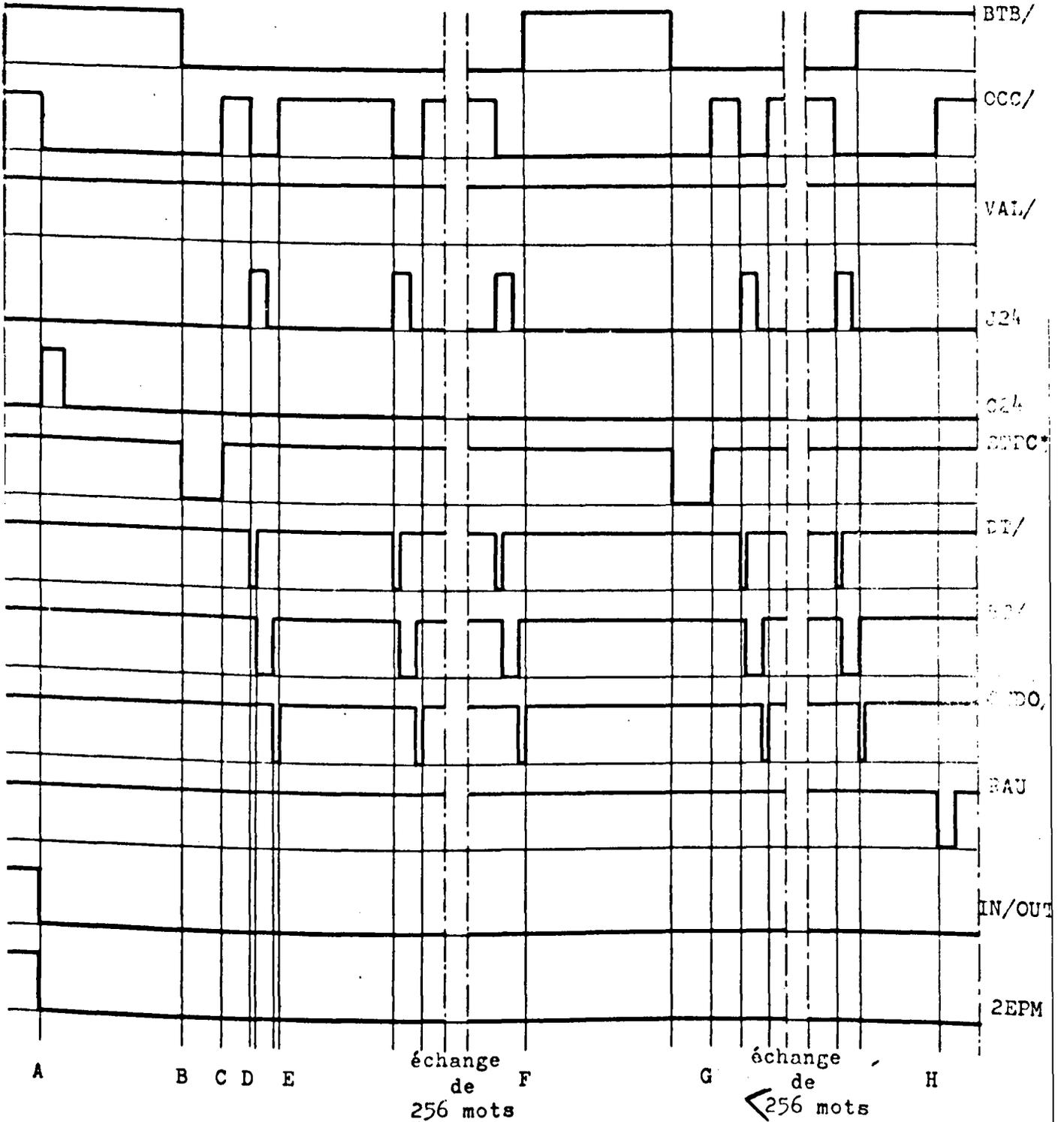


Tableau d'échange T 2000 MICRAL

Fig. II - 4

Le bit A0 (MC1) associé au signal SCC24 correspondant à la première acquisition de C24 provoque une interruption sur le MICRAL. L'autre signal SEC24 est lié aux autres apparitions de C24 et sert pour les entrées sur T2000 comme signal de validation.

Afin de sortir le mot de commande du T2000, il faut avoir  $\overline{OCC}$  à 1, l'extérieur étant alors capable de prendre en compte les ordres. Cette mise à 1 se fait par  $\overline{RAU}$  généré par programmation ou par ordre fin d'échange, ou par initialisation ( $\overline{IN}$ ) au pupitre du T2000. En cours d'échange,  $\overline{OCC}$  sert également de validation, il est alors mis à 1 soit par STPC/ (indiquant l'initialisation de la pile canal) soit par STDO/ après chaque échange en sortie T2000.

La remise à zéro de  $\overline{OCC}$  se fait sur le front montant de SEC24 la première fois puis sur le front montant de J24.

Le signal VAL agit pendant l'échange dans le sens MICRAL-T2000 lorsque MC2 est à 1, le front descendant de STDO/ met VAL à zéro permettant ainsi la prise de l'information. Celle-ci ne peut se faire que si le canal est initialisé (BTB/ ).

Dans ce cas le front montant de SEC24 remet VAL à 1 empêchant le T2000 de prendre une deuxième fois la valeur.

Avec un compte de mot pair (2EPM = 0) le front descendant au premier C24 (ou SEC24) après la remontée de BTB/ provoque la mise à un de  $\overline{RAU}$  ; avec un compte de mot impair ceci se fait à partir du deuxième signal C24 après la remontée de BTB/.

Le signal d'interruption APPEL ainsi que le signal  $\overline{RAU\ SOFT}$  de fin d'échange sont obtenus à partir des bits B6, B0 et  $\overline{AC}$  du MICRAL.

Le signal  $\overline{DT}$  dans le cas d'une sortie T2000 est remis à zéro sur le front montant de J24. En entrée T2000 c'est le front montant de  $\overline{STPC}$  ou le front descendant de SEC24 qui est utilisé.

La mise à 1 de DT/ provient soit de BT/ soit de l'ordre général.

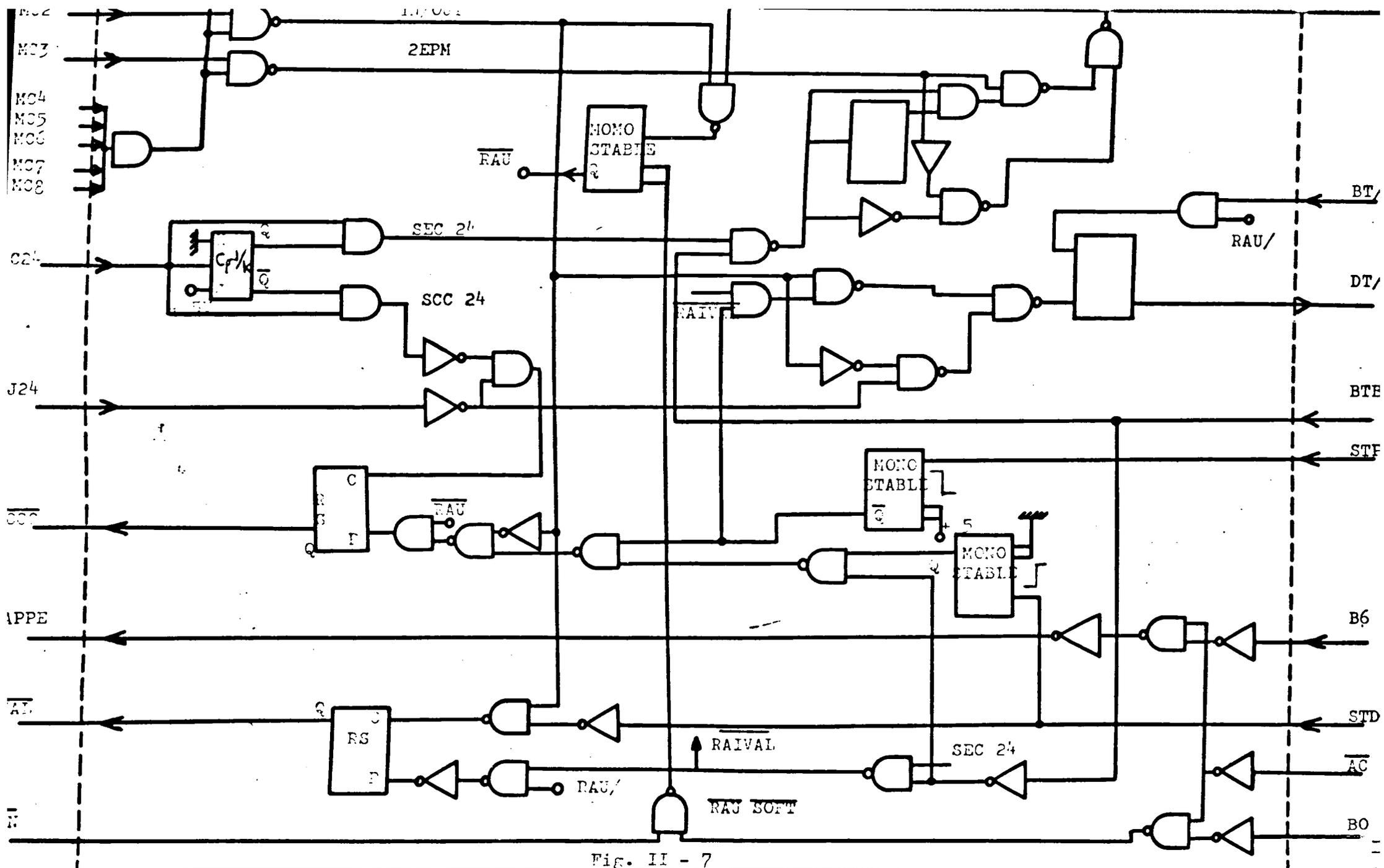


Fig. II - 7

## 2. 4 LE LOGICIEL D'ECHANGE

Le logiciel d'échange suit le diagramme des figures II 2 et II 3. Dans ce paragraphe nous reprenons de façon plus détaillée chacun des blocs constitutifs de ce diagramme.

La figure II 8 reprend l'échange T2000-MICRAL. Il est à noter que cette partie est utilisée complètement dans l'échange en sens inverse. On la désigne sous le nom général de DALECH, programme qui regroupe les sous-programmes ECHT côté T2000 et ECHME côté MICRAL dont le déroulement s'effectue en parallèle.

La répartition des échanges se fait par les signaux d'interruption ou de validation déjà définis.

Le T2000 commence par le calcul des valeurs nécessaires à l'échange. Il convient en effet de déterminer le nombre de pages et Cr ce qui reste dans la dernière page. Donc partant du compte de mots Cm, on a :

$C_m = 256.\alpha + C_r$ . On effectue ensuite un test de parité sur le compte de mots de façon à fixer le mode d'échange.

Il suffit donc maintenant d'initialiser le canal T2000 pour envoyer ces quatre mots. Une interruption entraîne la mise en place du MICRAL pour la réception.

On peut passer ensuite à la préparation de l'échange principal. Ceci se fait du côté T2000 par le calcul du mot de commande à partir de qui indique le sens de l'échange et du compte de mots. Puis on reprend l'initialisation du canal T2000 pour cet échange.

En même temps le MICRAL se prépare à la réception. Dans la réalité le T2000 est obligé d'attendre le MICRAL pour pouvoir lancer l'échange qui s'effectue par hardware.

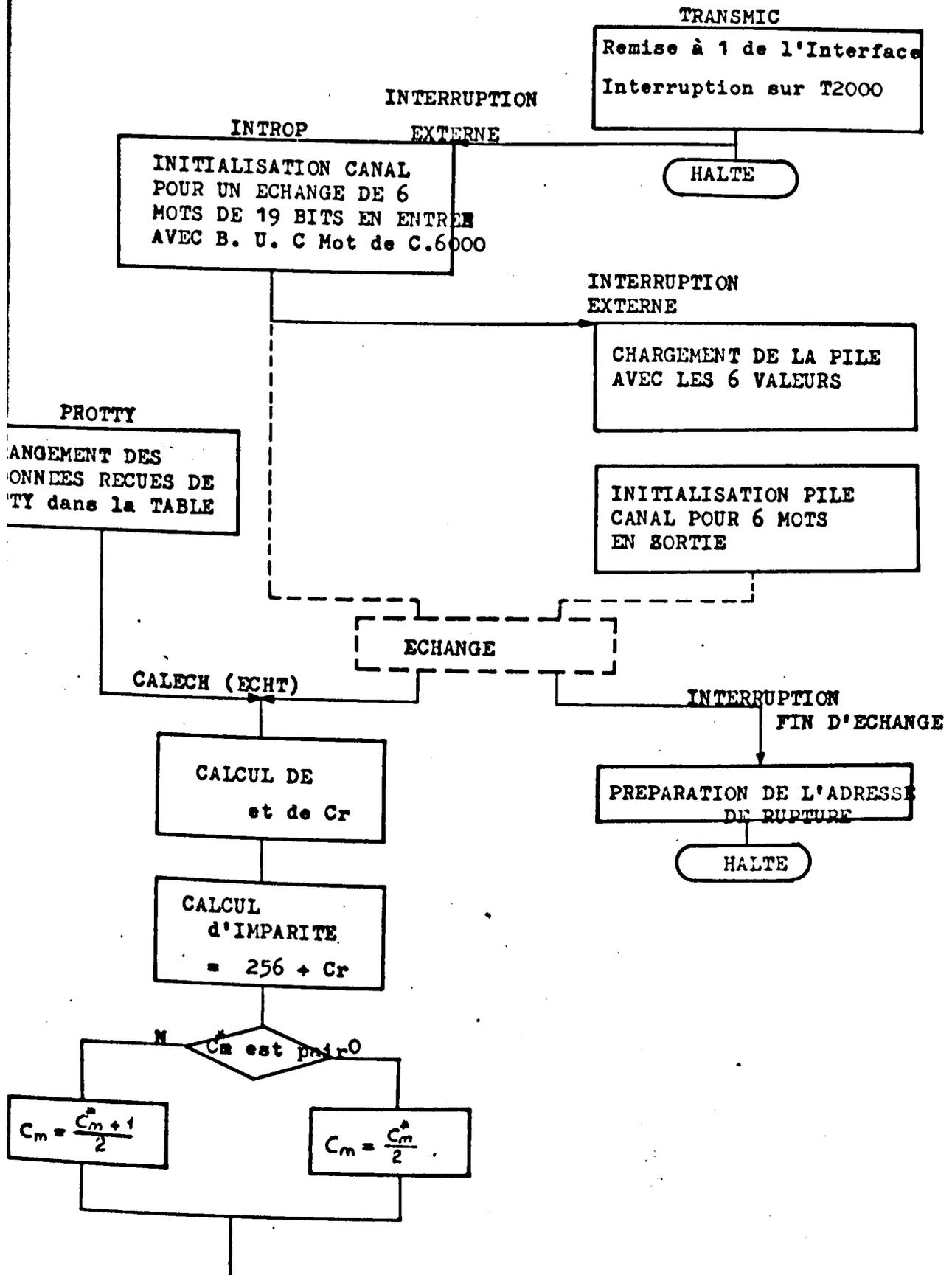
Dans le sens MICRAL-T2000, la structure du logiciel nécessaire est représentée sur la figure II 9. Cela commence par une interruption du travail du T2000 pour réaliser l'initialisation du canal pour recevoir

.../...

les 6 informations concernant cet échange, soit : adresse de début et de fin de la mémoire MICRAL et adresse de départ de la mémoire T2000. Il interrompt alors le MICRAL qui initialise lui aussi sa pile canal. L'interface peut donc maintenant régler cet échange préliminaire. On retombe alors sur le programme CALECH. Les opérations propres au MICRAL dans cet organigramme ne nécessitent pas un exposé détaillé, elles sont suffisamment bien définies sur la figure.

Les éléments que nous venons d'exposer montrent la réalisation d'une liaison bidirectionnelle entre un microcalculateur et un calculateur industriel classique. La chose importante à noter est ici la véritable limitation en vitesse du dispositif. En effet il peut sembler possible à première vue de faire transiter 400 000 informations (8 bits) par seconde. Ceci est vrai si on ne considère que des échanges de longueur inférieure à 256 mots entre la mémoire du T2000 et la pile canal. La vitesse est en fait beaucoup plus faible car le transfert entre la pile canal et la mémoire du MICRAL s'effectue instruction par instruction et donc avec blocage du processeur pour tout autre travail.

On peut atteindre une vitesse maximum de l'ordre 12300 informations par seconde compte tenu de la réinitialisation de la pile, de l'échange avec le T2000 et des transferts internes. La pile canal a donc effectivement une structure de pile mais à peine une structure de canal. Ceci est un sérieux handicap pour une utilisation en traitement de signaux rapides, c'est pourquoi la suite de notre travail est consacré à l'étude d'un véritable canal à accès direct à la mémoire.



TRANSMIC  
Remise à 1 de l'Interface  
Interruption sur T2000

INTROP EXTERNE  
INITIALISATION CANAL  
POUR UN ECHANGE DE 6  
MOTS DE 19 BITS EN ENTREE  
AVEC B. U. C Mot de C.6000

INTERRUPTION  
EXTERNE  
CHARGEMENT DE LA PILE  
AVEC LES 6 VALEURS

INITIALISATION PILE  
CANAL POUR 6 MOTS  
EN SORTIE

PROTTY  
ARRANGEMENT DES  
DONNEES RECUES DE  
PROTTY dans la TABLE

ECHANGE

CALECH (ECHT)

CALCUL DE  
et de Cr

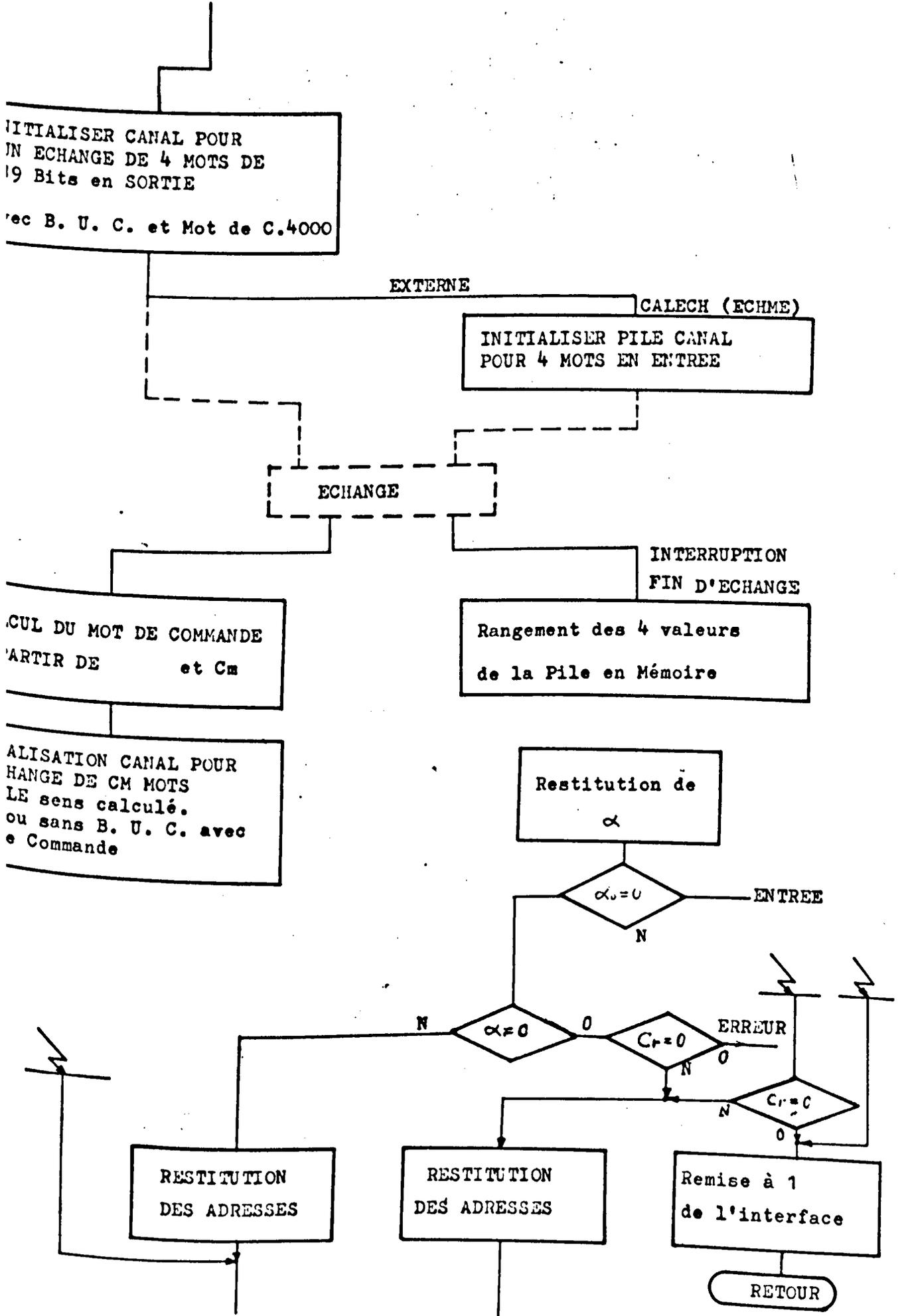
CALCUL  
d'IMPARIETE  
= 256 + Cr

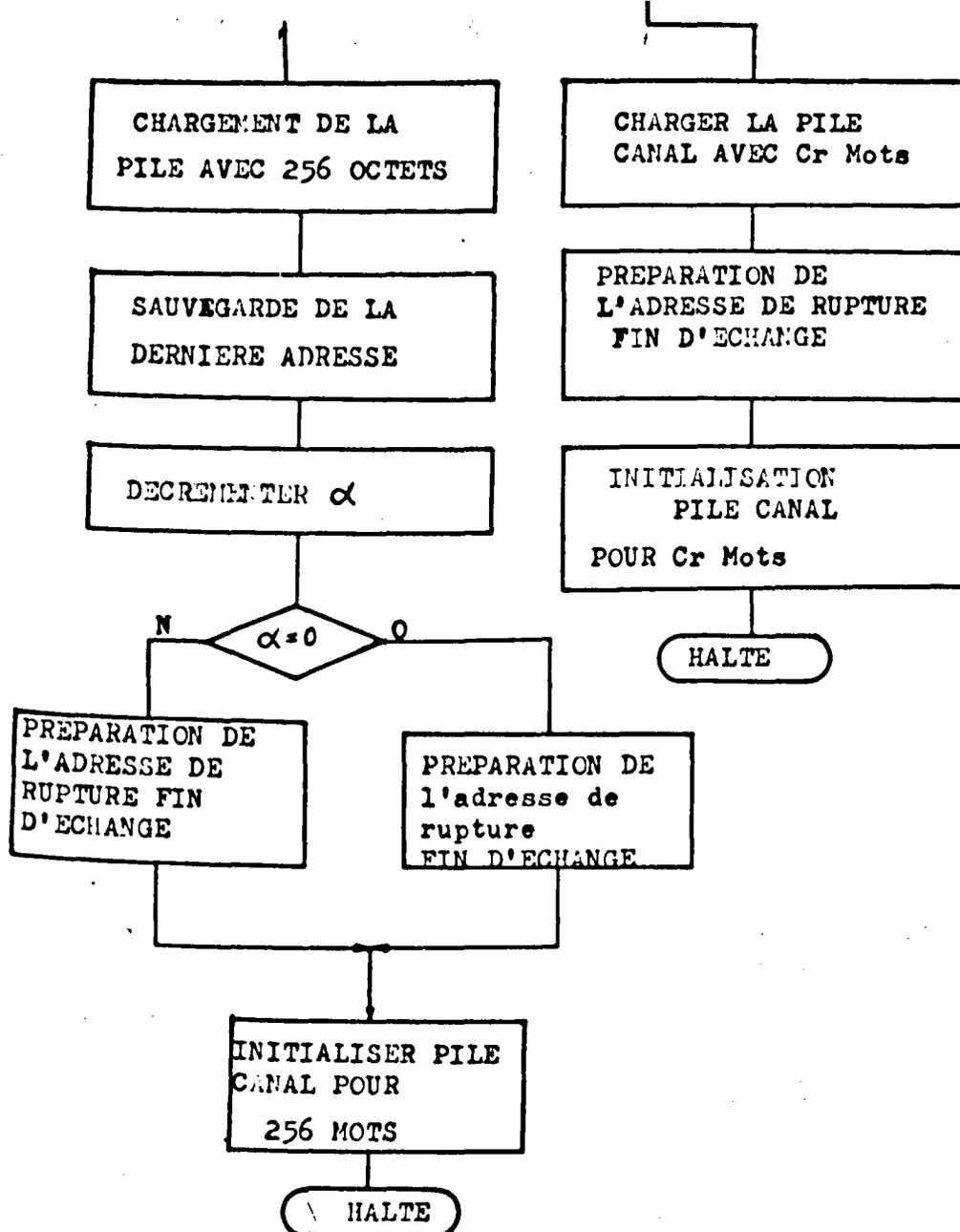
Cm est pair 0

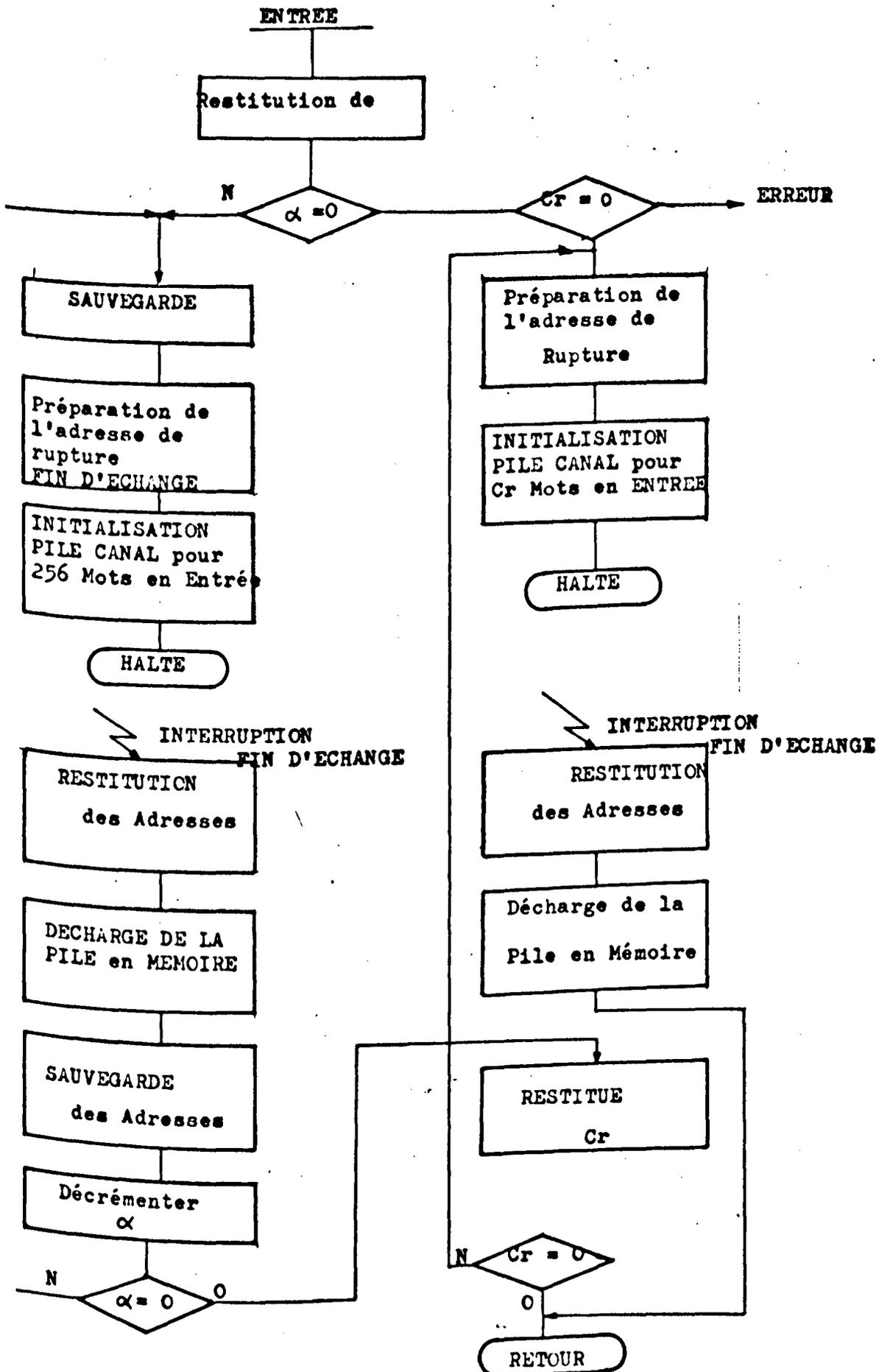
$C_m = \frac{C_m + 1}{2}$

$C_m = \frac{C_m}{2}$

PREPARATION DE L'ADRESSE  
DE RUPTURE







### CHAPITRE III - DEFINITION D'ACCES DIRECT A LA MEMOIRE

Nous avons vu dans notre précédent chapitre les imperfections d'une liaison utilisant la pile canal. Celle-ci est finalement fortement limitée en vitesse. Nous essayons donc maintenant de définir les impératifs d'un accès direct à la mémoire exploitant au maximum les temps morts laissés par le processeur ou les possibilités d'entrée de la mémoire. Cette définition nécessite dans un premier temps la description du processeur 8008, organe principal du MICRAL.

#### 3. 1 LE MICROPROCESSEUR INTEL 8008

Il s'agit d'un dispositif à haut niveau d'intégration regroupant dans un même boîtier une unité arithmétique et logique et une boîte de commande. De plus il incorpore un ensemble de registres. La désignation "micro" se réfère à la taille et non au mode de commande (automate câblé). Ce boîtier seul ne peut pas, en fait, réaliser de fonctions intéressantes. Il faut lui adjoindre une mémoire, une horloge et un certain nombre d'éléments concernant les entrées/sorties ; le tout forme un microcalculateur tel que MICRAL.

En annexe nous avons présenté en détails l'analyse du 8008 et du MICRAL. Dans ce paragraphe, nous étudions surtout son comportement dans les temps T2 et T3 vis-à-vis du signal READY et des adresses, au moment de la réception et de l'émission des données.

##### 3. 1. 1 Etude du signal READY

Pendant l'état T2, le processeur envoie l'adresse haute. Avec l'impulsion  $\phi_{22}$  de l'horloge  $\phi_2$  il teste la borne READY. Si le signal est absent le processeur passe en état "PAUSE" sinon il passe en T3 pour compléter le cycle. Ce test est fait systématiquement. Pour garantir le passage

.../...

de T2 en PAUSE, il faut que la ligne READY soit à zéro avant  $\phi_{22}$  (figure III. 1) et qu'il reste au minimum  $0,2 \mu s$  (tRD) à ce niveau après le front descendant de  $\phi_{22}$ . Dans l'état PAUSE le processeur va tester la borne READY de la même façon durant l'impulsion  $\phi_{22}$ . Si les conditions sont favorables il passera à l'état T3.

Pour passer directement de T2 à T3, il faut que pendant la ligne READY soit à 1 pendant au moins  $0,35 \mu s$  (tRW) mesurée à partir du front arrière de  $\phi_{22}$ .

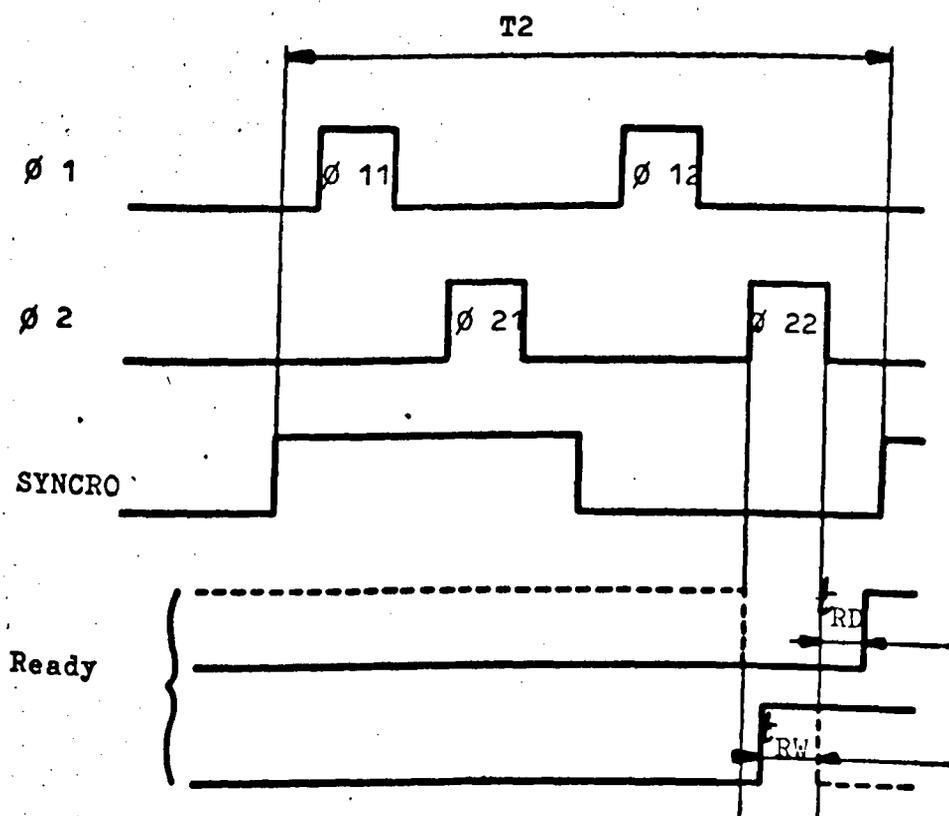


Fig. 3.1

### 3. 1. 2 Etude de l'adressage

Durant l'état T1, le processeur présente sur le bus l'adresse basse soit les 8 premiers bits du compteur ordinal. Pendant l'état T2, il fait apparaître sur le bus, 8 autres bits dont les 6 de poids faible constituent l'adresse haute, les deux autres servent à définir la nature du cycle. Donc vis-à-vis des périphériques le processeur commence l'adressage en T1 et le finit en T2. Cette fin est très importante car elle définit le déclenchement du processus d'échange.

La figure III. 2 montre le diagramme temporel de l'apparition de l'adresse haute pendant T2. Ceci se produit au maximum  $1\mu s$  après le front descendant de  $\Phi_{11}$  et reste stable jusqu'à au maximum  $0,1\mu s$  après le front descendant de  $\Phi_{22}$ .

Comme les deux bits représentatifs de la nature du cycle ne se présentent qu'en T2, il est impossible de décider quoique ce soit sur l'utilisation de la mémoire avant la fin de cette phase.

### 3. 1. 3 Réception des données

La réception des données destinées au processeur présente quelques particularités. Ces informations présentes sur le bus sont prises en compte si elles arrivent avant le front descendant de  $\Phi_{11}$ .

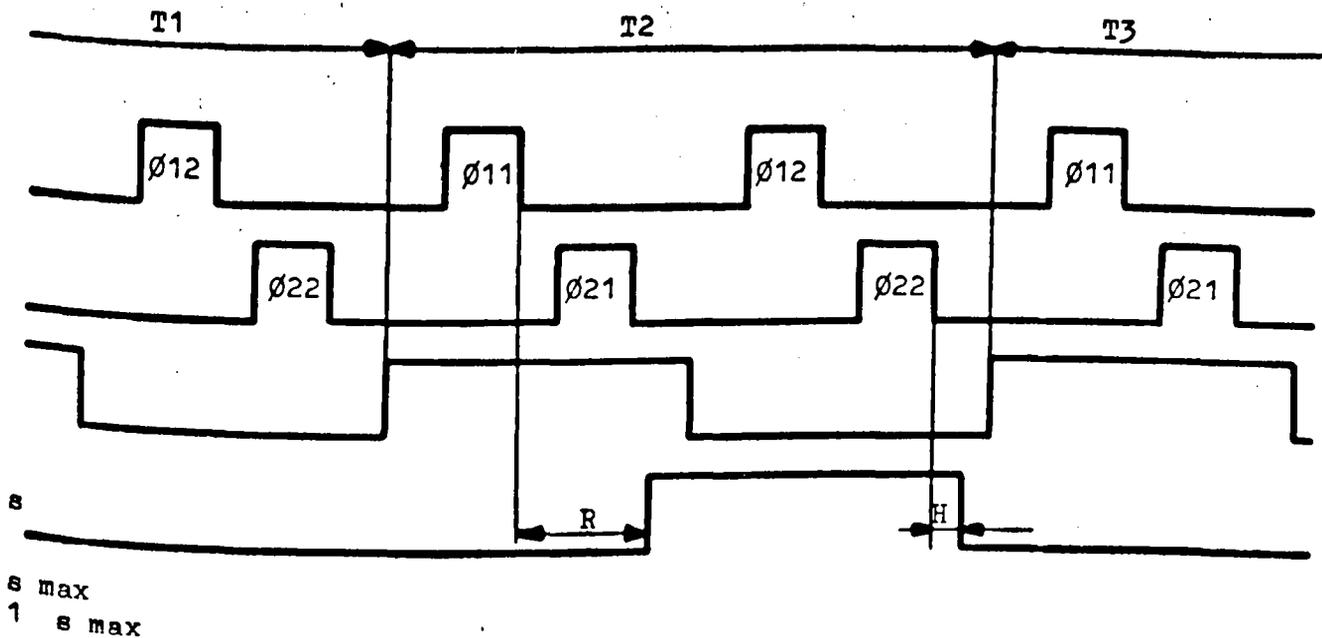
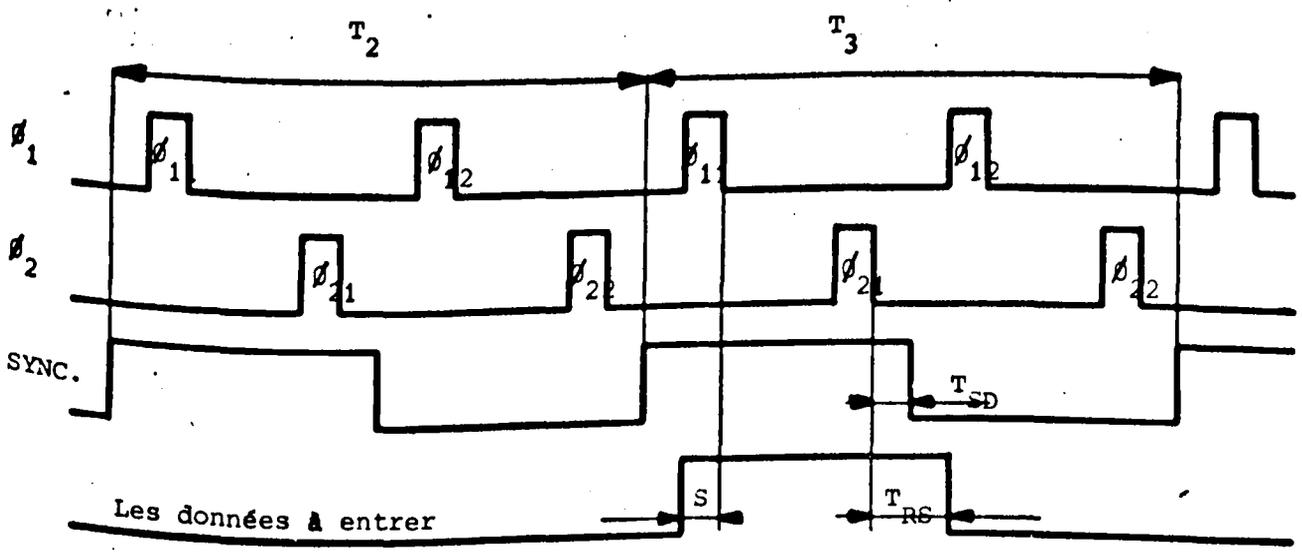


Fig. 3.2

Dans T3 comme on peut le voir sur la figure 3.3, les données doivent rester stables lors du front descendant de SYNCRO soit  $T_{RS} \geq T_{SD}$  où  $T_{SD}$  est le retard du signal SYNCRO par rapport à  $\phi_{21}$  (sa valeur est au maximum de  $0,7\mu s$ ).



$T_{RS \min} \geq T_{SD}$        $T_{SD \max} = 0,7\mu s$       S 0

Figure - 3.3.

### 3. 1. 4 Emission des données

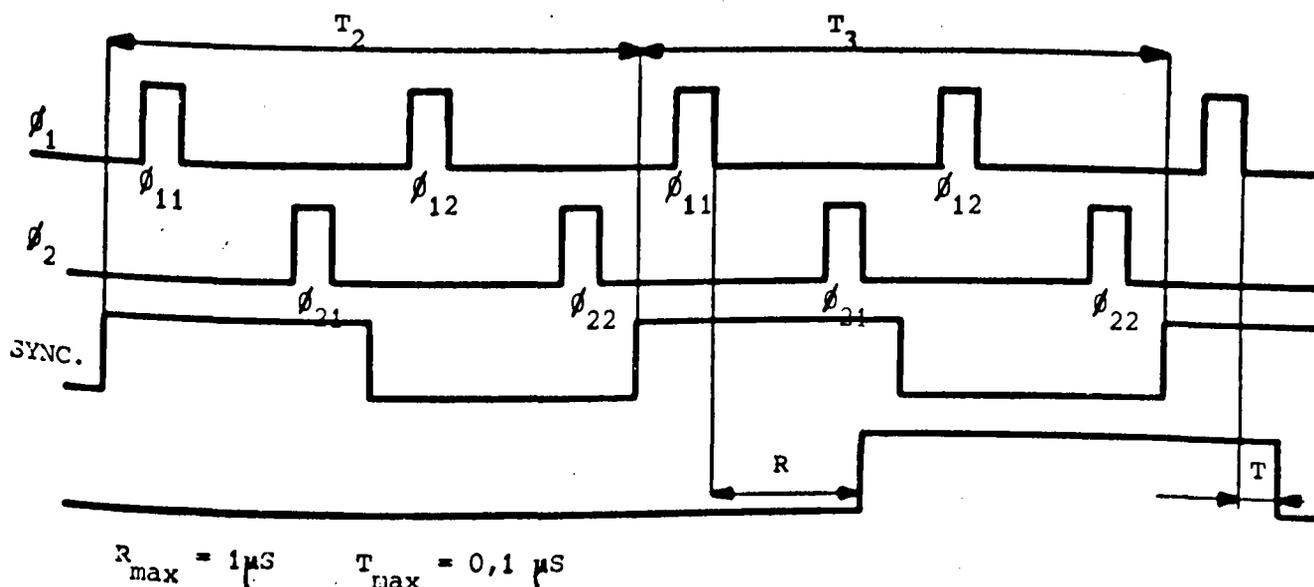


Figure - 3.4.

L'émission des données par le processeur commence en  $T_3$  et se termine en  $T_1$ . Les données apparaissent sur le bus avec un Retard "R" par rapport au front arrière de  $\phi_{11}$  de  $T_3$  et disparaissent également avec un retard "T" du front arrière de  $\phi_{11}$  en  $T_1$ . Pendant tout ce temps les valeurs sont stables sur le bus.

### 3. 2 ETUDE DES SIGNAUX SUR LE BUS DU MICRAL

La carte processeur du MICRAL possède comme organe de liaison avec son environnement un Pluribus qui supporte tous les signaux nécessaires pour réaliser le dialogue avec les cartes mémoire et les autres périphériques comme la carte téléscripneur, la carte 32 entrées - 32 sorties, etc...

Nous étudions dans cette partie l'évolution du comportement des signaux définis dans le paragraphe précédent, en y incluant un signal délivré par la carte processeur.

#### 3. 2. 1 Etude des adresses

La figure III. 5 montre tout d'abord une mémorisation des adresses. L'adresse haute apparaît sur le bus 800 ns après le

.../...

front montant de  $\phi_{21}$  en T2. Le temps d'adressage pris du début de la mise en place de l'adresse basse au début de l'apparition de l'adresse haute est donc de  $4 \mu s$ .

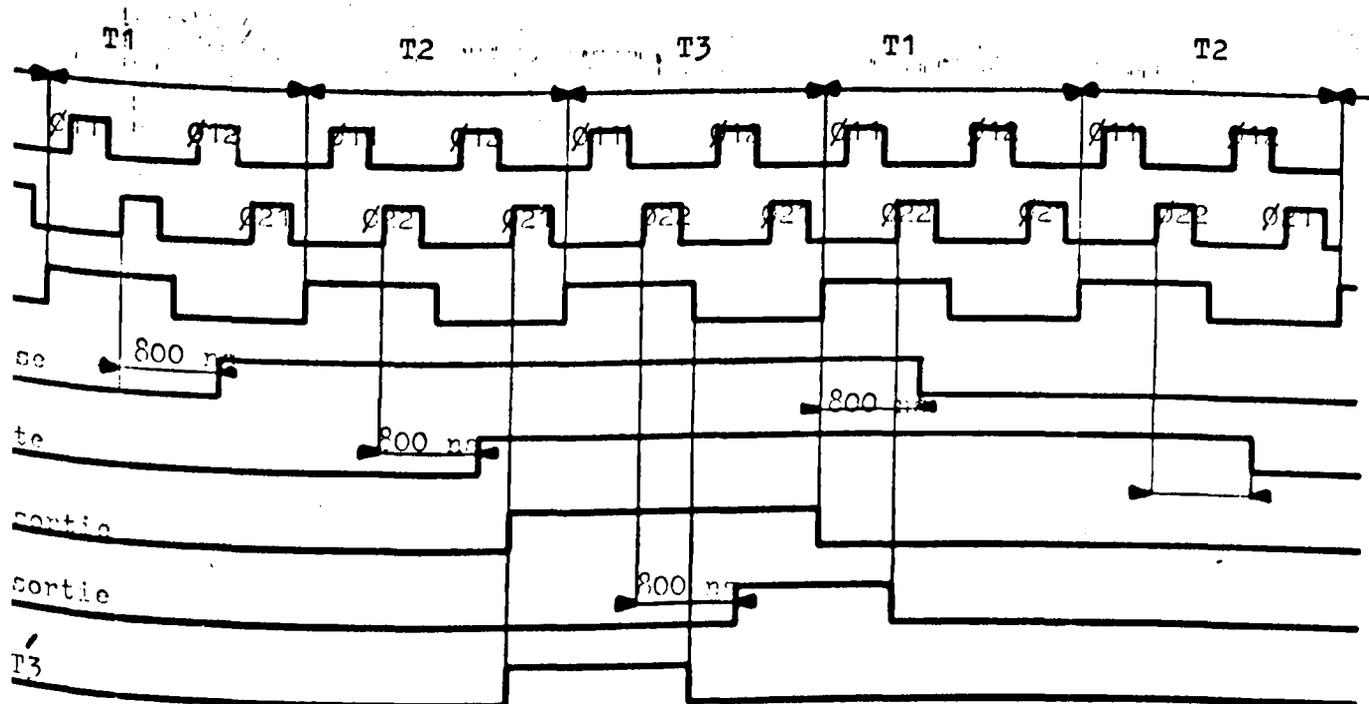


Fig. 3.5

### 3. 2. 2 Etude des données en sortie de la carte processeur

Les informations à destination des mémoires ou des périphériques apparaissent sur le bus en T3, 800 ns après le front montant de  $\phi_{21}$  et disparaissent en T1 avec le front montant de  $\phi_{21}$ . Par rapport aux valeurs précédemment indiquées on se trouve à la limite maximale permise.

### 3. 2. 3 Les données en sortie de la carte mémoire

Les données présentes à l'entrée du processeur du MICRAL à partir des mémoires arrivent en synchronisme avec le front de montée de T3 et disparaissent à la fin de T3.

T3 est un signal créé sur la carte processeur à partir des signaux du 8008. Il commence avec  $\phi_{22}$  en T2 et se termine en

.../...

même temps que SYNCRO en T3.

Il est à noter l'absence sur le bus du signal  $\phi_4$ . Ceci sera un lourd handicap pour la réalisation du canal. D'autre part dans l'utilisation normale du calculateur, l'organisation des échanges sur le bus entraîne la mise à zéro permanente de la ligne READY.

### 3. 3 ETUDE DE LA CARTE MEMOIRE

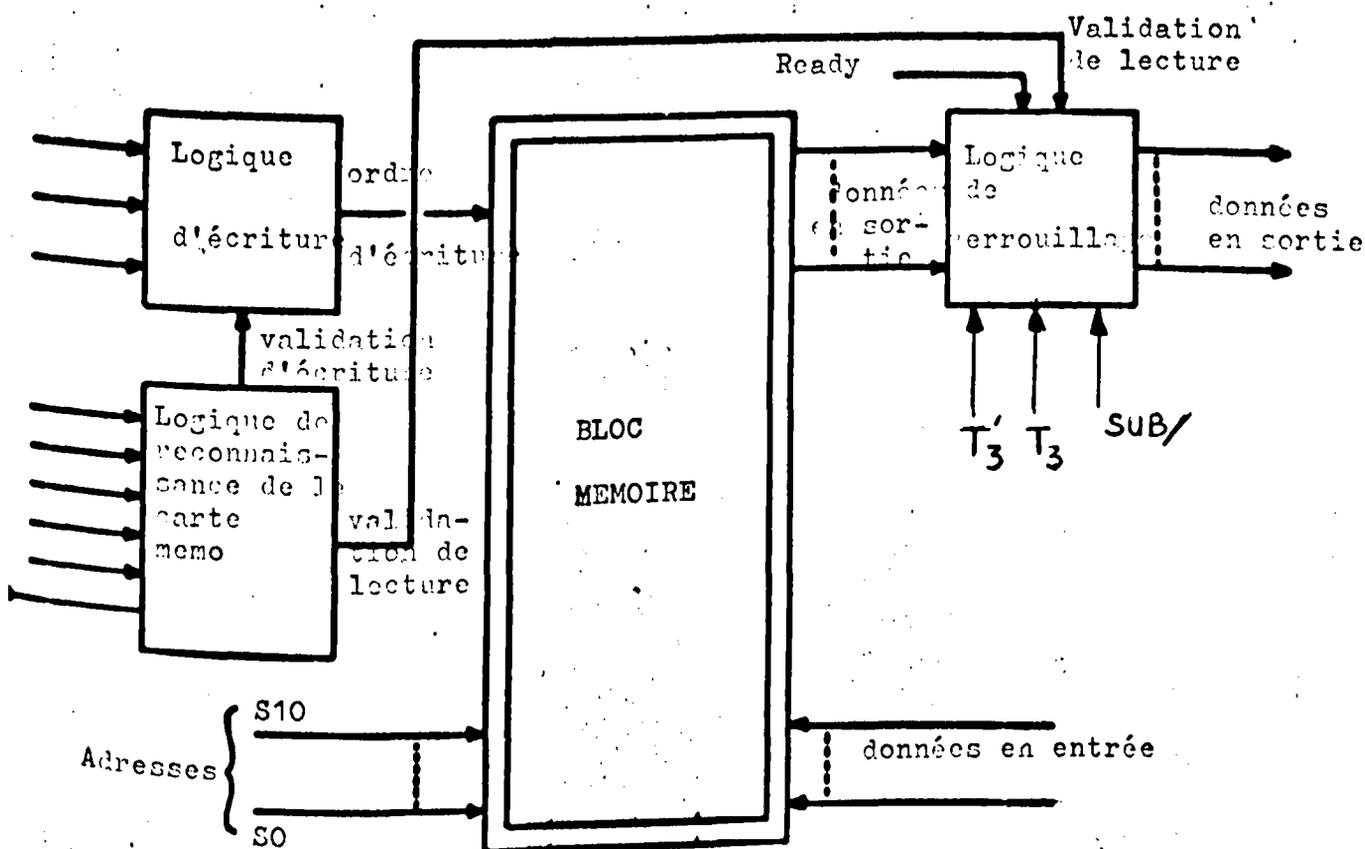


Fig. 3.6

Il existe deux types de cartes mémoire MICRAL, l'une formée d'un bloc de 4 K, l'autre de 2 K. La capacité mémoire maximum étant de 16 K, il est donc nécessaire de disposer de plusieurs blocs pour l'atteindre. La reconnaissance de la carte type 2 K se fait par S11, S12, S13, et celle de la carte type 4 K se fait avec S12 et S13.

.../...

La carte mémoire adressée n'envoie le signal "READY" que dans les cycles OP, LEC, ECR.

"La logique de reconnaissance de la carte mémoire" valide "la logique d'écriture" et "la logique de verrouillage".

T<sub>3</sub>, T<sub>3</sub>, SUB/, READY, validation de lecture commandent la lecture des données.

Les données provenant de la mémoire sont présentes sur le bus du cycle OP ou LEC ; à condition que la carte console (pupitre de commande du calculateur) n'envoie pas le signal SUB/ qui indique le mode de substitution dans lequel les données provenant de la mémoire seront remplacées par les clés extérieures.

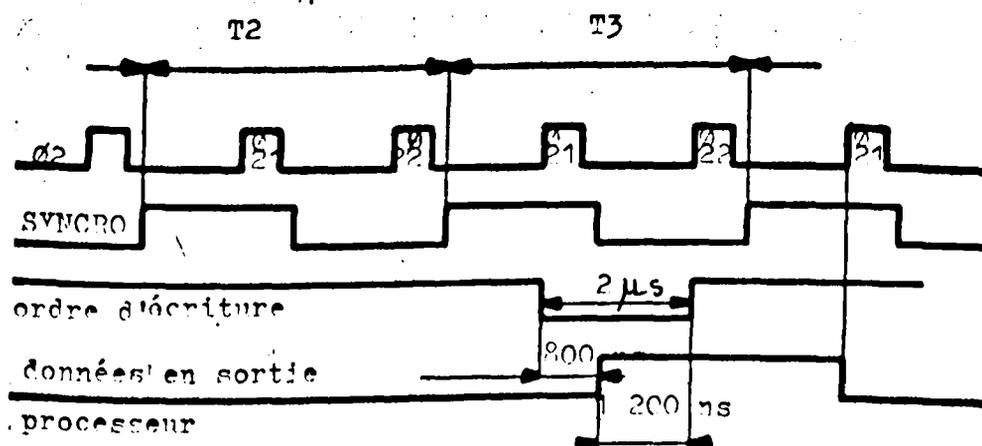


Fig. 3.7

Dans le cycle d'ECRITURE la logique appropriée envoie l'ordre d'écriture qui commence en T<sub>3</sub> avec φ<sub>21</sub> et se termine sur le front montant de φ<sub>22</sub>. Quand cette borne est au niveau logique un, on est en lecture de la mémoire. Cette borne ne passe au niveau logique zéro que pour une écriture.

Remarque : Il est très intéressant de voir que les vraies données

.../...

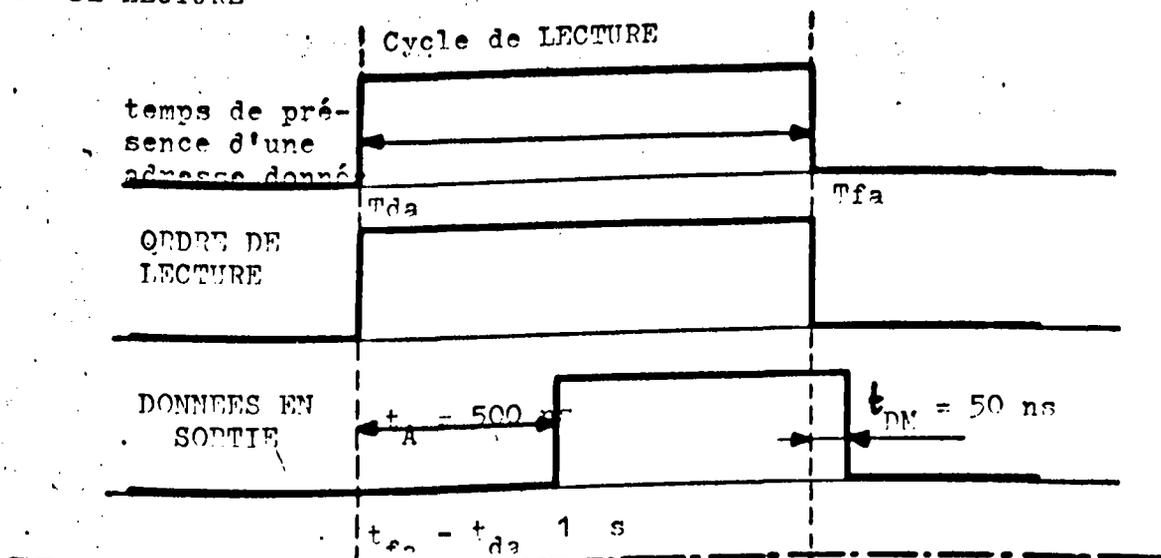
apparaissent 800 ns après le front descendant de l'ordre d'écriture.

Les 1200 ns qui restent pour compléter l'écriture sont largement suffisantes pour accomplir la fonction.

La durée minimum en lecture et en écriture d'une mémoire est de l'ordre de 1 ns.

La figure III. 8 représente les caractéristiques de fonctionnement de cette mémoire.

### CYCLE DE LECTURE



### CYCLE D'ÉCRITURE

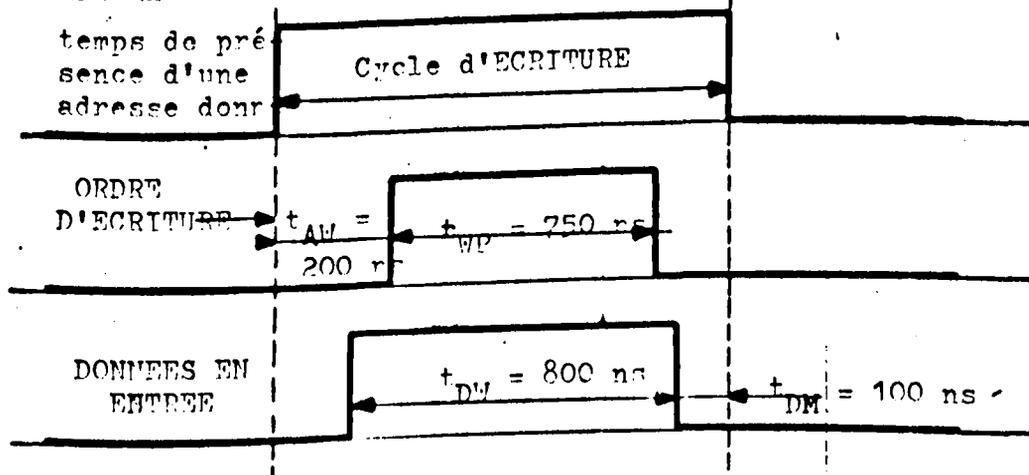


Fig. 3.8

Dans le cas d'une lecture les données apparaissent 500 ns après l'adressage.

Dans le cas d'une écriture l'ordre d'écriture doit apparaître 200 ns après le début d'adressage et les données doivent être stables durant au minimum, 800 ns avant la fin de cet ordre.

### 3. 4 DIAGRAMME RESUME DES SIGNAUX DU MICRAL

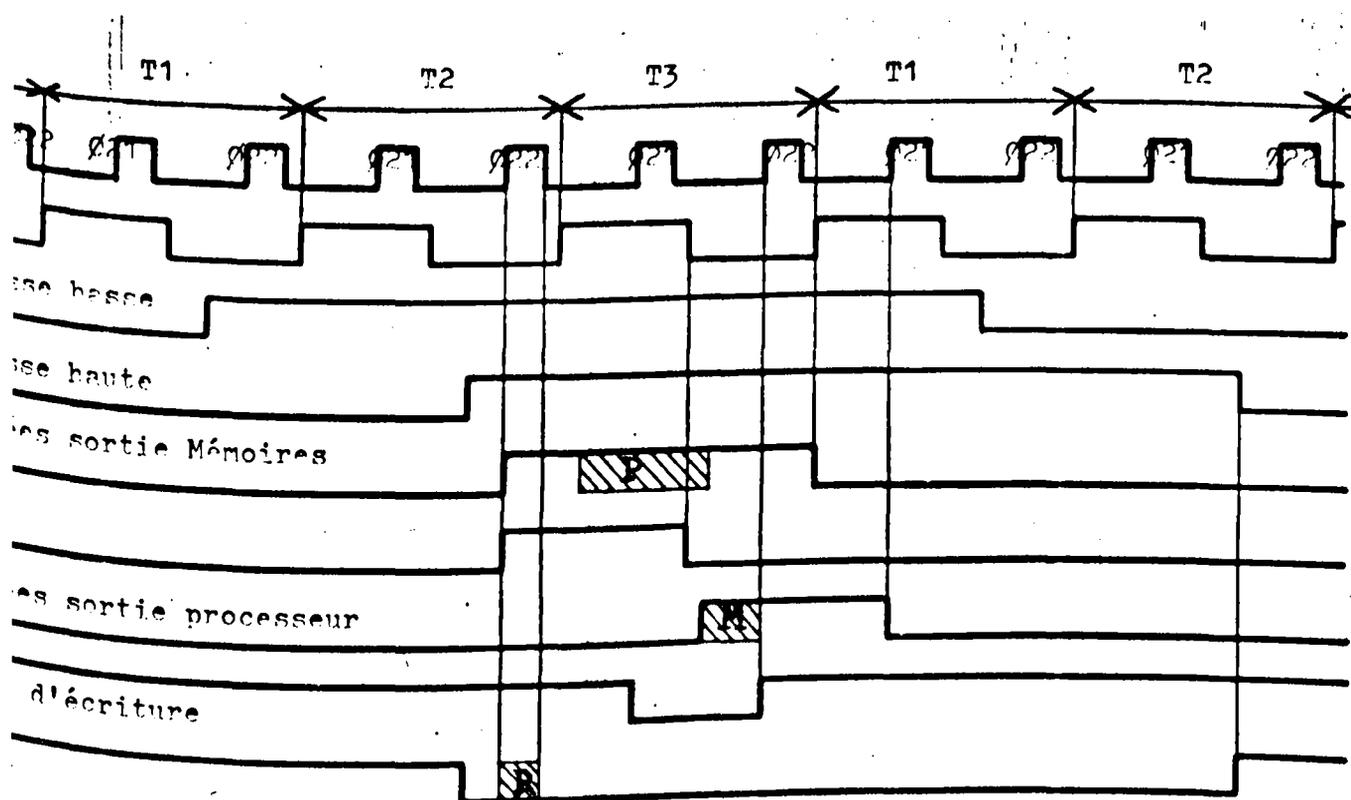


Fig. 3.9

Les signaux existant sur le bus, et les cartes mémoire peuvent être rassemblés dans le schéma de la figure III. 9. Celui-ci n'est important surtout au niveau des relations "mémoire-processeur". En particulier les zones hachurées représentent les durées pendant lesquelles un manque de stabilité des signaux gênerait le bon fonctionnement du système.

Le diagramme permet de trouver les temps de fonctionnement commun au processeur et aux mémoires, de manière à définir les périodes de temps où la mémoire est accessible à l'extérieur par un canal d'accès direct.

Le signal READY sert de validation pour le fonctionnement du processeur. Il l'avertit de la reconnaissance d'adresse sur la carte mémoire ; par contre il ne précise pas si les données sont prêtes à sortir ou à entrer.

Une fausse manipulation des adresses peut provoquer un niveau logique un pour "READY/". Ceci n'est gênant que dans la zone hachurée R.

Le signal T'3 est important pour la sécurité du fonctionnement du système. Il est en effet efficace dans le cas d'une "lecture de la mémoire" (dans le cycle LECTURE et OPERATION).

Pour déverrouiller les données prêtes à sortir de la mémoire, celles-ci doivent arriver au processeur avec une légère avance par rapport au moment critique d'acquisition.

La durée critique d'existence des données sortant de la mémoire est figurée par la zone hachurée P. Au-delà de cette zone, si les données ne sont pas stables, ou même si elles sont inexistantes, le fonctionnement du système n'est pas perturbé.

Les données destinées à être écrites en mémoire apparaissent après l'ordre d'écriture. La partie importante des données est la zone hachurée M. AU-delà de cette zone l'existence des données n'est pas indispensable.

### 3. 5 ETUDE DE L'ACCES DIRECT MEMOIRE

#### 3. 5. 1 Etude des temps morts

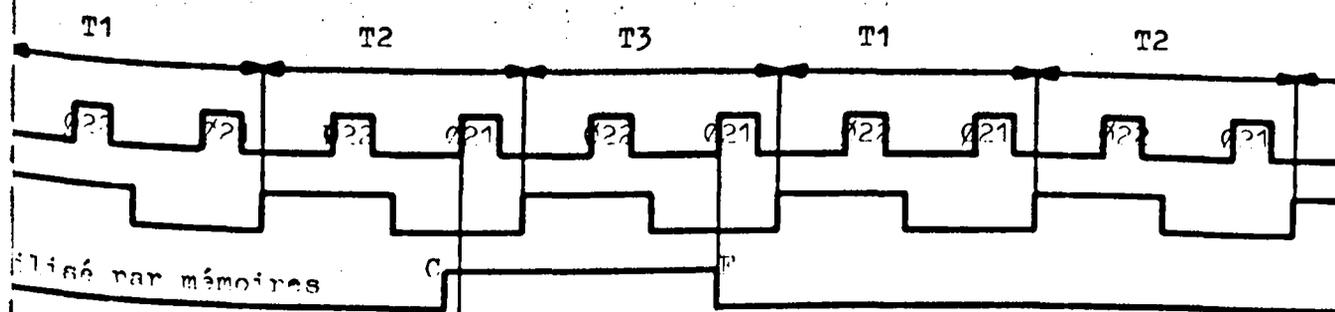


Fig. 3.10

Durant les cycles OPERATION, LECTURE OU ECRITURE, l'examen de la fig. III. 9 montre que la mémoire est occupée à partir de l'apparition des adresses hautes sur le bus, c'est-à-dire un peu avant le front de montée de ø22 en T2. La mémoire envoie alors au processeur le signal READY (au moins pendant ø22), ce qui permet les échanges mémoire-processeur. Ceux-ci se terminent au plus tard sur le front montant de ø22 de T3. La fig. III. 10 indique que ce temps de dialogue entre la mémoire et le processeur est de l'ordre de 4 ns.

En dehors de ces périodes, comme durant tout le cycle E/S, les mémoires sont inactives.

Nous appelons donc "temps mort" le temps pendant lequel la mémoire n'a pas de liaison avec le processeur.

Ce temps est fonction de la nature des instructions dont l'exécution nécessite un nombre de cycles déterminé comprenant différents états.

Il est facile de définir le taux de "temps mort" d'une instruction.

$$\tau = \frac{\text{temps inactif de la mémoire}}{\text{durée totale des cycles de l'instruction}}$$

Celui-ci est compris entre les valeurs extrêmes :

$$66 \% \leq \tau \leq 80 \%$$

.../...

Ceci nous donne une idée du temps moyen pendant lequel les mémoires sont disponibles pour d'éventuels échanges avec l'extérieur.

### 3. 5. 2 Etude des échanges avec l'extérieur en mode programmé

Il existe deux types de possibilité d'entrée sortie sur le MICRAL, réalisé par les cartes 32 entrées 32 sorties (ou 64 entrées, 64 sorties) et la pile canal.

Dans le premier cas, toutes les données venant de l'extérieur ou y allant passent obligatoirement par l'accumulateur du processeur 8008. L'acquisition d'une donnée par l'accumulateur dure 64 ns, la sortie dure 56 ns. La réalisation de ce genre d'opération nécessite en général l'utilisation d'un niveau d'interruption ; l'écriture d'une donnée venant de l'extérieur à une adresse mémoire dure approximativement 112 ns. L'opération inverse dure 76 ns.

Une deuxième possibilité de dialogue du MICRAL avec l'extérieur est la PILE CANAL.

L'échange entre l'extérieur et la pile canal s'effectue à la vitesse de 1 mégaoctet/seconde.

L'échange entre la Pile Canal et la mémoire transite par l'accumulateur et entraîne donc pour un mot en écriture 80 microsec et en lecture 86 macrosec. Ceci constitue donc les véritables performances de ce mode de transfert.

### 3. 5. 3 Etude des échanges en ADM

Les temps d'écriture ou de lecture des unités mémoire sont de l'ordre de 1 ns. Il semble donc particulièrement intéressant de communiquer directement avec les éléments sans passer par le processeur. Pour ceci nous cherchons à répartir les temps d'utilisation des mémoires avec pour objectifs de ne pas

perturber le fonctionnement du processeur et de remplir au mieux les temps morts laissés par celui-ci. Le programme en cours d'exécution n'est donc absolument pas ralenti. Si toutefois les vitesses d'échange ne sont pas suffisantes, il reste encore la possibilité de faire fonctionner le canal avec blocage du processeur.

Pour réaliser ce type de dispositif, il faut surveiller à tout instant l'état du processeur. On peut alors élaborer les commandes de verrouillage ou d'aiguillage de l'information. Celles-ci seront validées par les signaux de service provenant de la périphérie.

La fig. III. 11 présente la structure mise en place pour la réalisation du canal. L'organe de commande reçoit en permanence l'état du processeur (bits  $S_0$ ,  $S_1$ ,  $S_2$ ) et d'autre part par l'intermédiaire d'un coupleur 32 sorties les informations nécessaires à l'initialisation de l'échange. A partir de ceci, il établit la commande pour l'organe d'action qui est en fait un dispositif d'aiguillage avec verrouillage. De plus, en sortie, les informations sont mémorisées. Les échanges sont repris par les signaux de validation reçus ou élaborés par cet organe.

perturber le fonctionnement du processeur et de remplir au mieux les temps morts laissés par celui-ci. Le programme en cours d'exécution n'est donc absolument pas ralenti. Si toutefois les vitesses d'échange ne sont pas suffisantes, il reste encore la possibilité de faire fonctionner le canal avec blocage du processeur.

Pour réaliser ce type de dispositif, il faut surveiller à tout instant l'état du processeur. On peut alors élaborer les commandes de verrouillage ou d'aiguillage de l'information. Celles-ci seront validées par les signaux de service provenant de la périphérie.

La fig. III. 11 présente la structure mise en place pour la réalisation du canal. L'organe de commande reçoit en permanence l'état du processeur (bits  $S_0$ ,  $S_1$ ,  $S_2$ ) et d'autre part par l'intermédiaire d'un coupleur 32 sorties les informations nécessaires à l'initialisation de l'échange. A partir de ceci, il établit la commande pour l'organe d'action qui est en fait un dispositif d'aiguillage avec verrouillage. De plus, en sortie, les informations sont mémorisées. Les échanges sont repris par les signaux de validation reçus ou élaborés par cet organe.

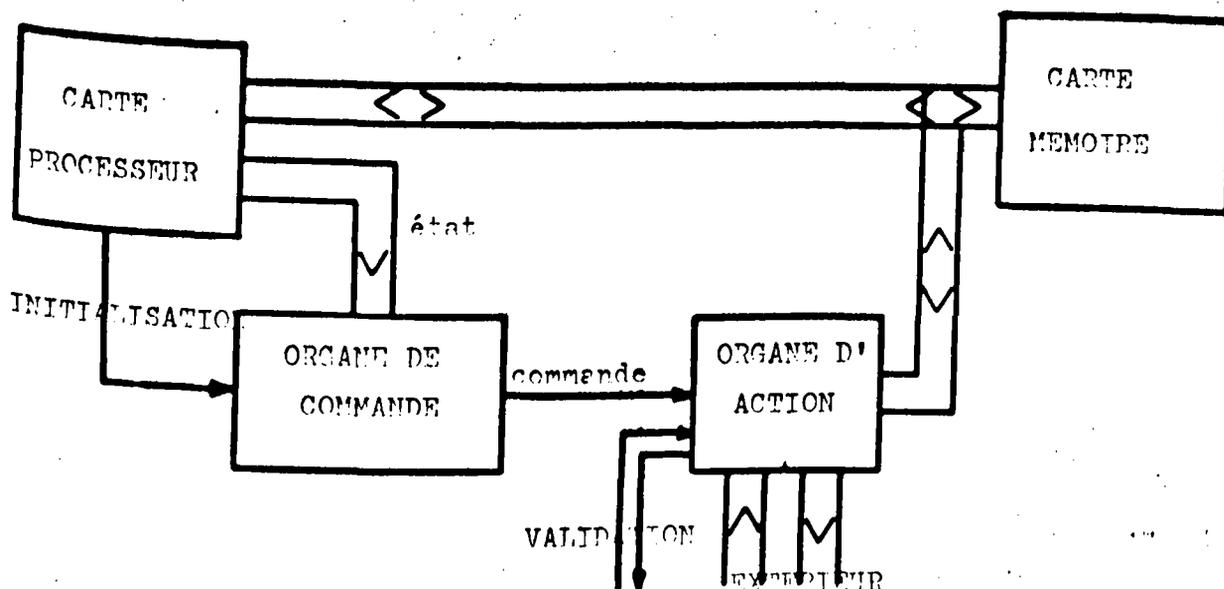


Fig. 3.11

### 3. 6 CONTRAINTES SUR L'ADM

#### 3. 6. 1 Contraintes sur les modes de fonctionnement

Le système défini dans le paragraphe précédent doit être valide dans tous les modes de fonctionnement MICRAL : mode pas à pas, mode automatique, mode piège, mode substitution. En mode pas à pas, la machine passe en "PAUSE" après T2 dans chaque cycle et ne passe en T3 qu'après action sur la clé "AVANCE" du pupitre qui place un ordre sur la borne READY du processeur. Ceci permet de suivre le déroulement d'un programme tout en examinant les adresses, les cycles instructions et les données. On désire pouvoir transposer ce mode de fonctionnement à l'ADM de manière à savoir par exemple combien de mots ont été échangés au moment du déroulement de telle instruction. On considère donc le blocage de l'ADM pendant

l'état PAUSE. Il ne s'agit évidemment pas d'entrée ou de sortie réelle, mais ceci permet une simulation fut utile à la mise au point du programme en temps réel.

Le mode piège, c'est-à-dire arrêt sur instruction, est en fait une commutation du mode automatique au mode pas à pas. Le fonctionnement décrit précédent s'applique donc ici sans problème et possède la même utilité.

Le mode substitution est plus critique à définir car dans ce mode la sortie des mémoires est verrouillée en lecture par le signal SUB (figure III. 6). Donc l'ADM ne peut ici travailler qu'en écriture. Ce mode ne permet donc aucun traitement de mise au point intéressant.

### 3. 6. 2 Contraintes sur les échanges

Dans le cas d'un échange avec un périphérique rapide, il peut y avoir des problèmes d'information si la vitesse de ce dernier dépasse un seuil préétabli (calculé à partir des temps morts). Le blocage du processeur par action sur la borne READY permet de résoudre le problème. Lors de l'initialisation, il convient de choisir ce mode de fonctionnement.

La technologie du calculateur (collecteur ouvert) nous oblige à couper la ligne bus READY pour y introduire un niveau logique positif. Il en est de même pour les signaux T3, SYNCRO et  $\emptyset 2$ . La solution adoptée consiste à couper toutes les lignes nécessaires au fonctionnement de la carte mémoire et à en confier la supervision à l'organe de commande.

### 3. 6. 3 Restructuration du MICRAL

La remarque précédente quant à la solution choisie nous oblige à restructurer le MICRAL. Ceci ne peut se faire qu'en ajoutant un deuxième bus supportant les cartes mémoires et une partie

des cartes de l'accès direct. Sur le bus initial, on place l'autre partie de l'accès direct, la carte processeur, les cartes entrées-sorties classiques.

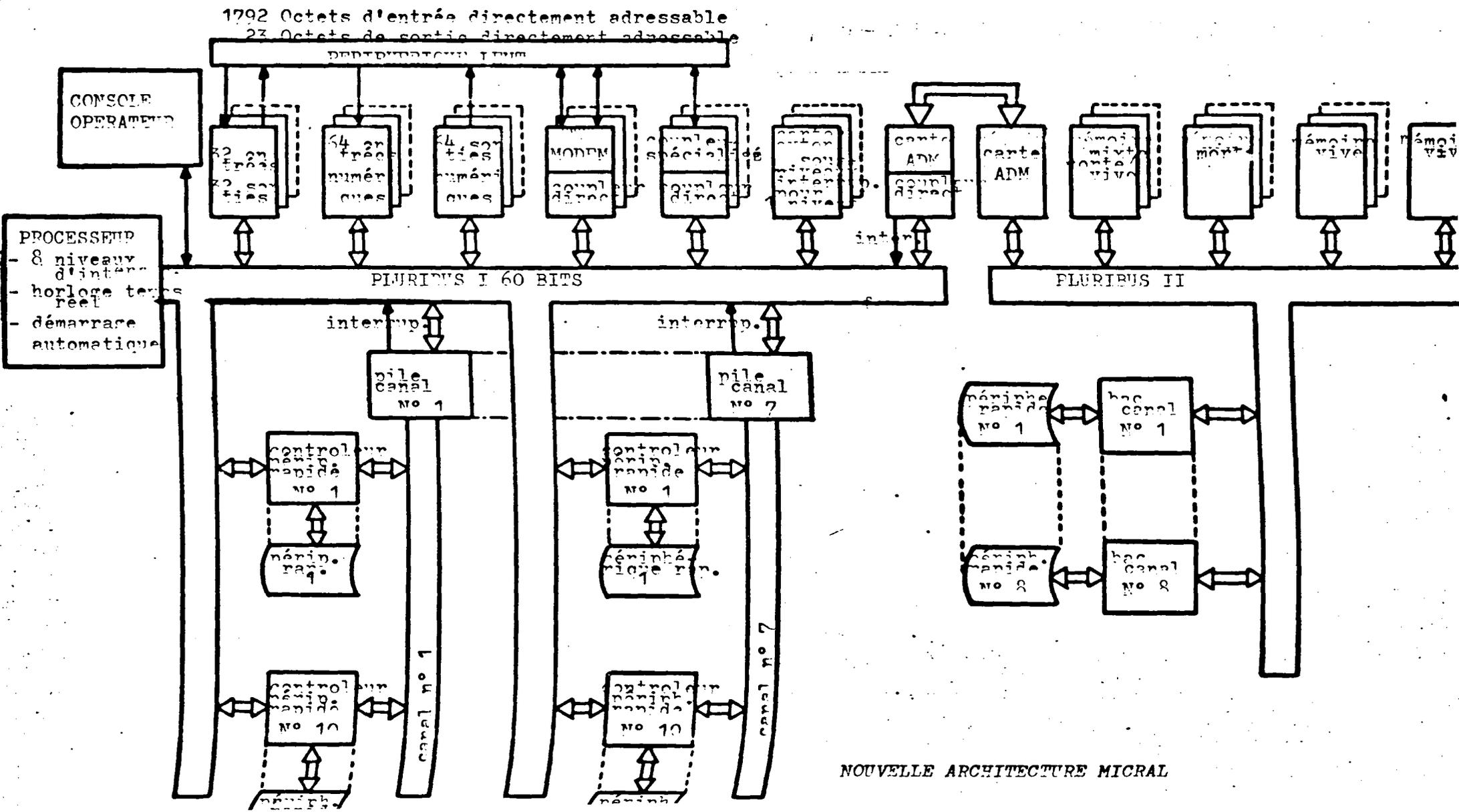
La fig. III. 12 montre l'ensemble considéré avec les deux pluribus connectés à travers l'accès direct mémoire ; il reste toujours possible de placer une partie des cartes mémoires sur le premier pluribus si on ne veut pas bénéficier pour celles-ci de l'accès direct.

Ce chapitre nous a permis de définir et de présenter un type d'entrée-sortie permettant un dialogue direct avec les mémoires indépendamment du fonctionnement du processeur. Le MICRAL peut donc accomplir trois tâches simultanées : les échanges en accès direct, les échanges par la Pile Canal et l'exécution du programme.

Les signaux de notre dispositif sont complètement compatibles avec les autres signaux du MICRAL (en particulier la Pile Canal). L'initialisation de cet accès direct ne nécessite que quelques instructions de sorties concernant l'adresse de départ, le compte de mot, le sens de l'échange et le blocage éventuel du processeur.

Une restructuration de la configuration MICRAL est toutefois nécessaire pour adjonction d'un deuxième pluribus. En fait au niveau de l'utilisateur, cela ne présente aucun inconvénient.

En blocage du processeur il est possible d'atteindre des vitesses de l'ordre de 700 kHz. En fonctionnement normal, la vitesse maximum sans inconvénient dépend évidemment du programme ; il est possible d'estimer une valeur moyenne à



NOUVELLE ARCHITECTURE MICRAL

Le chapitre suivant peut donc maintenant exposer plus en détails le contenu des cartes accès direct mémoire qui contrôlent les échanges entre les deux pluribus et qui permettent également la commande des bacs canal 1 à 8.

### CHAPITRE IV - REALISATION DU CANAL A ACCES DIRECT

Après avoir établi les bases du fonctionnement du canal à accès direct en tenant compte des possibilités technologiques du processeur 8008, nous abordons dans ce chapitre la réalisation de ce dispositif. Celle-ci doit répondre à plusieurs objectifs liés essentiellement à l'utilisation. Il faut surtout protéger le MICRAL de fausses manoeuvres éventuelles et de perturbations extérieures. D'autre part, il faut obtenir une facilité optimale de mise en service et de dépannage.

#### 4. 1 CONCEPTION DE L'A. D. M. AU POINT DE VUE DE L'UTILISATEUR

Pour l'utilisateur, le logiciel se ramène à quelques instructions de sortie et à une table de travail. L'initialisation de l'ADM exige 5 sorties successives, chacune formée de 8 bits. Le premier mot comprend une clé de 3 bits, 1 bit de blocage processeur (BUC = 1), un bit de lecture ou d'écriture (à 1 pour une lecture) et 3 bits indiquant le numéro du bac canal utilisé. Le deuxième mot définit l'adresse haute avec 2 bits en poids forts non utilisés ; la troisième sortie est l'adresse basse, la quatrième fixe le compte de mots en poids forts et le dernier le compte de mots en poids faibles (fig. IV 1).

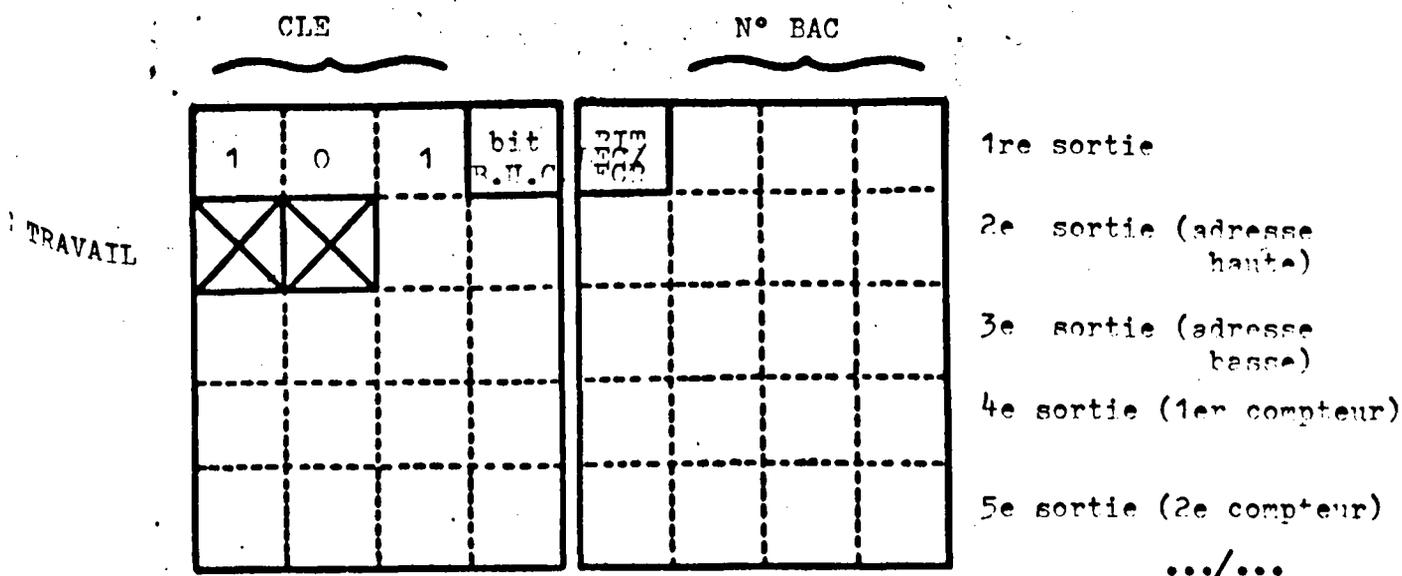


Fig. IV - 1

Le rôle de la clé est de diminuer la probabilité d'initialisation involontaire de l'ADM. Si ce code n'est pas valable, les sorties successives ne seront pas prises en compte.

L'adressage inexact d'un bac A. D. M. ou l'absence de connecteur sur le bac adressé rendent inefficaces les sorties suivantes qui empêchent l'initialisation du système.

Une fois la première sortie validée, on complète la mise en route et on bloque le système après la cinquième entrée. Les nouvelles sorties sont inefficaces. Cette précaution est prise pour empêcher une fausse sortie supplémentaire éventuelle dans le fonctionnement sans Blocage du Processeur.

La remise à zéro du système se fait automatiquement en fin d'échange ou à l'aide de la clé INIT du calculateur.

L'A. D. M. sera initialisé après l'exécution de la dernière sortie si le contenu des deux compteurs de mots est différent de zéro, sinon il faut remettre à zéro le système par la clé INIT.

L'A. D. M. devient nécessaire lors d'échanges avec des périphériques rapides (disque, chaîne de mesure). Grâce aux bacs canal A. D. M., le calculateur peut rester toujours couplé en permanence aux périphériques rapides, leur sélection se faisant par simple adressage.

#### 4. 2 STRUCTURATION DE LA REALISATION

Sur le schéma bloc de la figure IV 2, nous présentons le fonctionnement des organes de commande et d'exécution, en fonction des entrées et des sorties.

Soit tout d'abord l'organe de commande qui est l'élément le plus important. Son but principal est d'élaborer deux sorties de commande "AIGUILLE A" et "AIGUILLE B", qui sont sélectionnées par le signal Blocage Processeur (B. U. C.) suivant le mode de fonctionnement.

Le signal "Aiguille A" est lié aux temps morts. Pour les déterminer,

il a besoin des signaux T3, T2, SYNCRO et  $\phi 2$  pour se synchroniser sur le fonctionnement du processeur. Pour la validation du fonctionnement le signal appelé "COMPTEUR" est indispensable. Pour élaborer le signal "Aiguille B", les signaux de synchronisation "PAUSE" et "COMPTEUR" sont nécessaires pour la validation.

Les organes d'exécution ne servent qu'à aiguiller les informations soit sur l'extérieur soit sur le processeur.

L'organe appelé "COMMANDE T'3/" est important pour la lecture des mémoires.

En fonctionnement normal du système comme en accès direct mémoire, il faut commander le signal T'3/ afin de valider la sortie des données de la mémoire. Cette commande est réalisée à partir de "AIGUILLE B" quand il n'y a pas blocage du processeur. En cas de blocage T'3 est commandé par l'état "PAUSE" et libéré en fin d'échange par T3.

L'organe appelé "COMMANDE READY/" est nécessaire lors du blocage du processeur qui passe alors automatiquement en "PAUSE". Quand l'échange est terminé, les signaux COMPTEUR et AIGUILLE B débloquent la borne READY/.

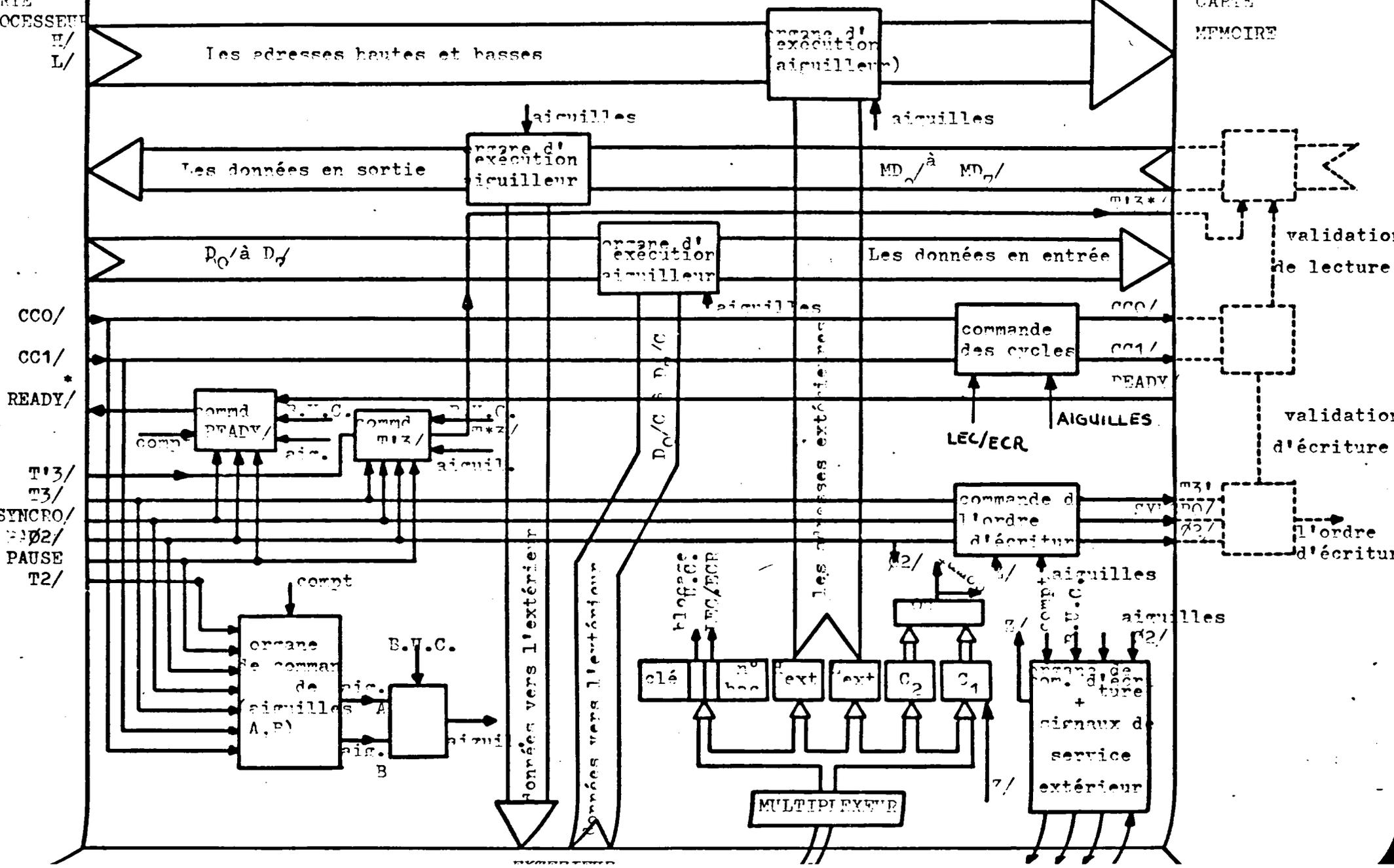
Le processeur choisit les cycles d'écriture ou de lecture par l'intermédiaire des deux bits CCO/ et CCI/, commandés par l'intermédiaire des signaux LEC/ECR, AIGUILLE A et AIGUILLE B. L'organe réalisant cette fonction est appelé sur le schéma bloc : "COMMANDE DES CYCLES".

Sur les cartes mémoires, il existe un ordre d'écriture vers une case mémoire adressée. Ce signal est élaboré par l'intermédiaire du signal d'écriture Z/, à partir des signaux T3, SYNCRO et  $\phi 2$  par l'organe appelé "commande de l'ordre d'écriture", la validation se faisant par AIGUILLE A ou B.

Pour le fonctionnement de l'A. D. M. il faut adresser les mémoires, et à chaque échange, incrémenter les adresses, décrémenter les

CARTE  
PROCESSEUR  
H/  
L/

CARTE  
MEMOIRE



compteurs et envoyer le signal Z/ pour élaborer l'ordre d'écriture en mémoires. Le signal Z/ est formé à partir d'un signal extérieur DT/ dont la mémorisation est liée à COMPTEUR, BUC, AIGUILLE A et 2. Pour réaliser correctement les échanges avec l'extérieur, l'ADM doit élaborer des signaux de service STDO/, BT/, COMPT/. Ceci se fait par l'organe de commande d'écriture et des signaux de service.

4.3 L'ORGANE DE COMMANDE

4.3.1 Fonctionnement sans blocage

a) Initialisation :

L'initialisation de l'ADM se fait à l'aide d'une voie de sortie du MICRAL. Le compte de mots est chargé (valeur différente de 0) et le signal COMPTEUR valide le fonctionnement de l'A. D. M.

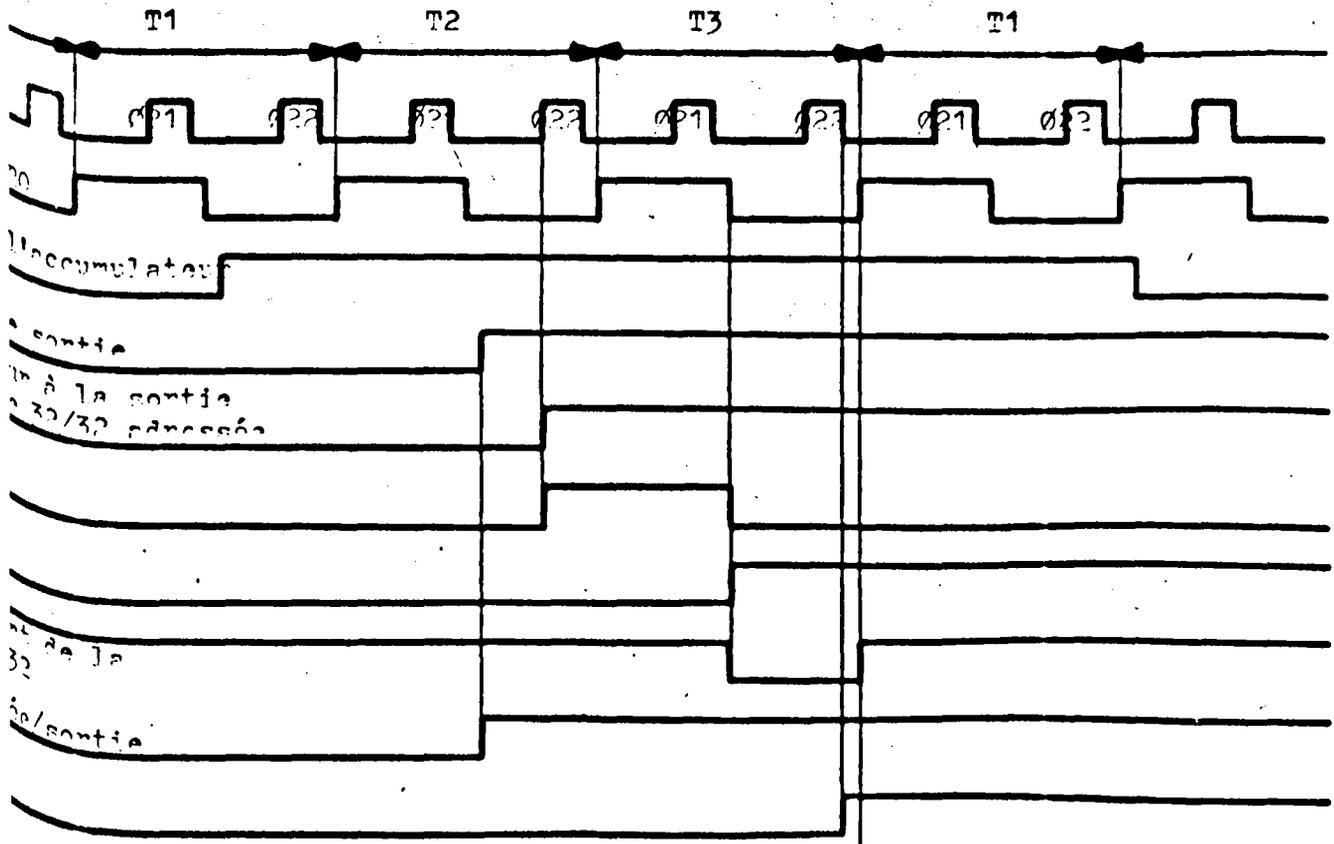


Fig. IV - 3

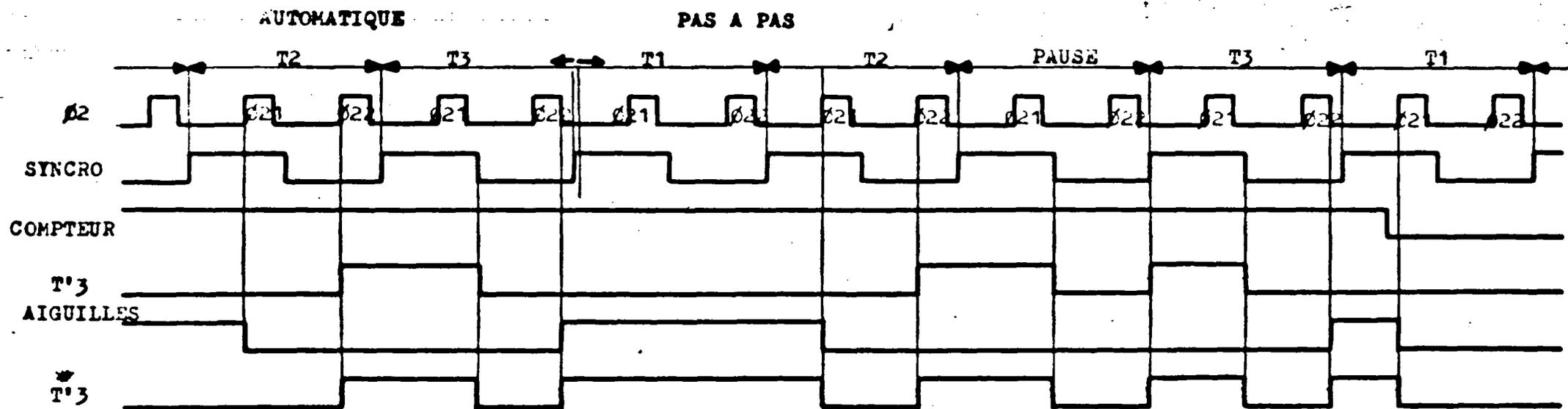
La figure IV 3 représente le diagramme d'initialisation de l'A. D. M. L'exécution de l'instruction OUT par MICRAL se fait de la façon suivante : durant l'état T1, le contenu de l'accumulateur apparaît sur le bus, l'état T2 définit les adresses de sortie. La carte peut alors se reconnaître. Alors, lors du front descendant de T'3, un acquittement est élaboré par simple recopie de SYNCRO/ en T3. Avec celui-ci, le compte de mots peut être transféré et s'il est différent de zéro, COMPTEUR passe au niveau logique 1 validant le fonctionnement de l'A. D. M.

b) Organe de commande :

L'organe de commande a pour rôle d'utiliser les temps morts laissés par le processeur. Ils ne disposent que des signaux présents sur le pluribus, soit pour la synchronisation et SYNCRO.

Quand COMPTEUR passe à 1, l'organe de commande commence à élaborer les signaux d'aiguillage. Ceux-ci restent au niveau logique zéro durant la période où les mémoires sont occupées par le processeur (fig. III 10). Ils passent donc dans cette position sur le front montant de de T2. En fait ce choix correspond à la sécurité plutôt qu'à la rapidité. Car les adresses hautes apparaissent avec  $\phi_{22}$  en T2 et élaborent le signal READY/ ; en descendant les signaux d'aiguillage avec  $\phi_2$  en T2 on se trouve à la limite du fonctionnement sûr.

Pour la mise à un de AIGUILLE A ou B, on choisit le signal qui vient après  $\phi_{22}$  en T3, puisque les mémoires sont utilisées par le processeur jusqu'au front montant de ce



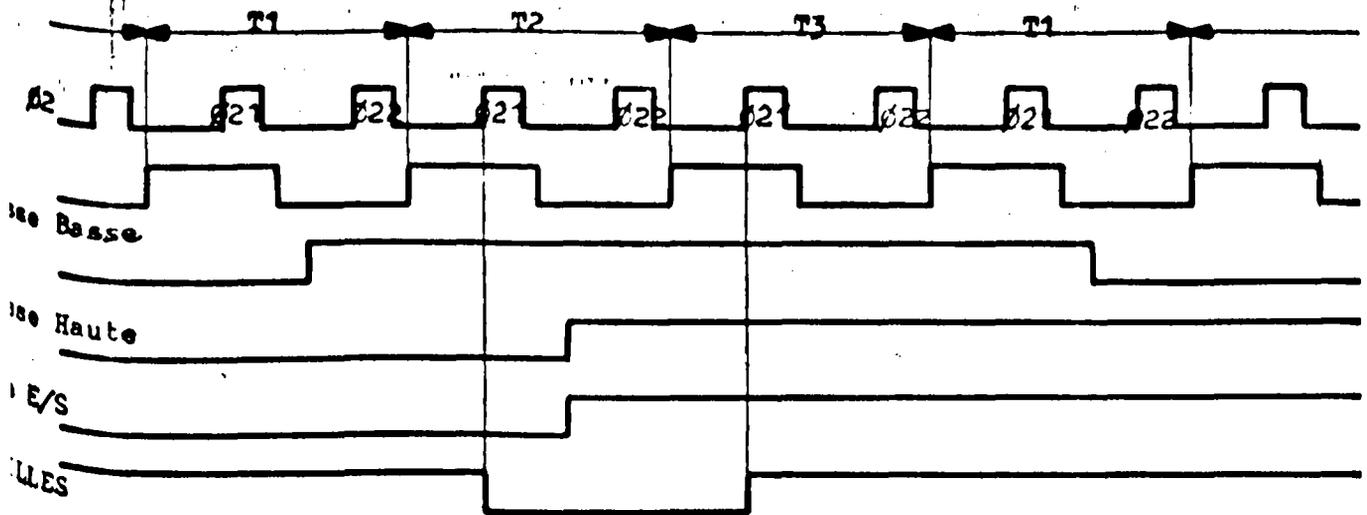
Le fonctionnement Automatique, Pas à Pas, et FIN D'ECHANGE

signal. Les états successeurs de T3 sont T1 ou T4, mais malheureusement ils ne sont pas accessibles. L'utilisation de  $\phi 2$  ou SYNCRO peut se faire sur front descendant de  $\phi 22$  en T3. Cette solution ne laisse une sécurité que de 500 ns. La fig. IV 4 résume le fonctionnement de l'organe de commande et montre que le temps total sans échange sur un cycle est de 6,5 s.

L'étude de la carte mémoire a mis en évidence l'importance du signal T'3 pour la lecture des données en mémoire. Dans le fonctionnement sans blocage du processeur, ce signal est mis à zéro par le signal d'aiguillage. Nous fournissons en réalité, au mémoire le signal T'\*3 élaboré à partir de T'3.

Une partie de la figure IV 4 représente le fonctionnement en pas à pas déjà décrit. L'état PAUSE entraîne un blocage de tous les échanges avec l'extérieur. Enfin, on trouve sur cette même figure les ordres de fin d'échange, à partir du moment où le compte de mots est nul (COMPTEUR à zéro). Le comportement du signal d'aiguillage est différent dans les cycles OPERATION, LECTURE, ECRITURE et le cycle ENTREE/SORTIE, car durant ce cycle les mémoires sont complètement disponibles. Les signaux qui indiquent l'apparition d'un cycle d'entrée/sortie sont CCO et CC1 sur le pluribus avec l'adresse haute en T2. On provoque alors avec  $\phi 12$  de T2 la mise à 1 des signaux d'aiguillage pour commencer au plus vite les échanges avec l'extérieur. Ceci entraîne une légère complication dans le fonctionnement pas à pas car on continue alors l'échange pendant l'état PAUSE et ainsi on complète la simulation du déroulement des échanges canal. On a donc été amené à choisir la mise à 1 du signal d'aiguillage

lors du cycle d'entrée/sortie avec  $\phi_{21}$  en T3. La figure IV 5 précise le diagramme temporel dans ce cas.



#### 4. 3. 2 Fonctionnement avec blocage

Il s'agit de commander le signal  $\text{READY}/$  pour faire passer le processeur en PAUSE, d'effectuer l'échange et enfin de commander à nouveau  $\text{READY}/$  pour provoquer le passage en T3 et le redémarrage du processeur.

##### a) Initialisation :

L'initialisation de l'A. D. M. avec blocage est strictement identique à celle sans blocage jusqu'en point de chargement du compteur. La commande la plus importante est celle du signal  $\text{READY}^*/$  allant au processeur à la place de  $\text{READY}/$  précédemment envoyé par les mémoires. En fonctionne-

ment normal, si l'adressage est correct, les cartes mémoires maintiennent à zéro READY/, donc maintiennent READY\*/.

En A. D. M., dès que COMPTEUR passe à 1, on attend  $\emptyset 21$  de T1 pour mettre READY\*/ à 1 et préparer le test sur ce signal en  $\emptyset 22$  de T2. Après ce test le processeur passe en PAUSE et au  $\emptyset 21$  suivant, on commande le signal d'aiguillage pour indiquer le début de l'échange.

b) L'organe de commande :

Le fonctionnement de l'organe de commande avec blocage est représenté sur la fig. IV 6. On y remarque que tout l'échange s'effectue dans l'état PAUSE. Les signaux READY\*/ et T\*'3 sont alors tous les 2 dans l'état logique un, quand COMPTEUR descend, avec l'impulsion  $\emptyset 22$  qui suit on force AIGUILLE B dans l'état zéro.

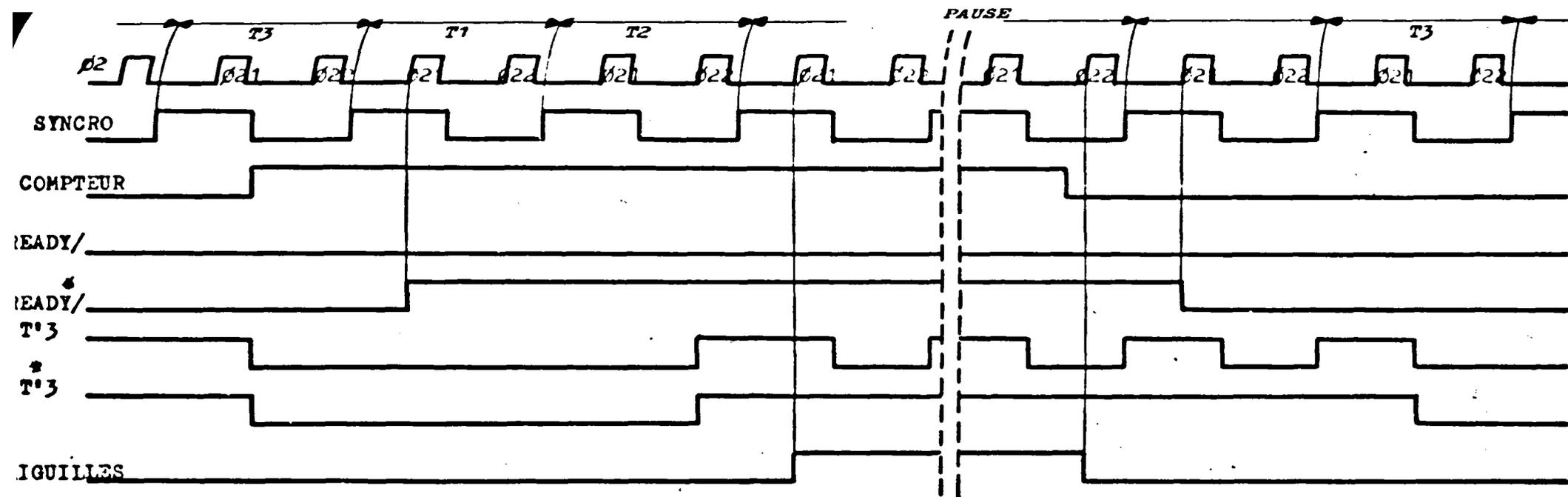
Les adresses déjà affichées par le processeur en T1 et T2 sont mémorisées sur la carte processeur. La mise à zéro de READY\*/ permet au processeur qui teste READY en  $\emptyset 22$  de passer en T3 pour lire l'information adressée. C'est pourquoi le signal T\*'3 ne passera à zéro qu'à partir de SYNCRO en T3.

Le retour au fonctionnement normal se fait donc en débloquent READY\*/.

#### 4. 3. 3 Les schémas de fonctionnement

a) Organe de commande :

La fig. IV 7 représente le schéma bloc de l'organe de commande. Le système est formé de deux parties : la partie entourée de traits discontinus concerne le fonctionnement avec blocage. La lecture de ce schéma ne peut se faire avec intérêt qu'en y associant les chronogrammes représen-



Fonctionnement de l'ADM  
avec Blocage Processeur

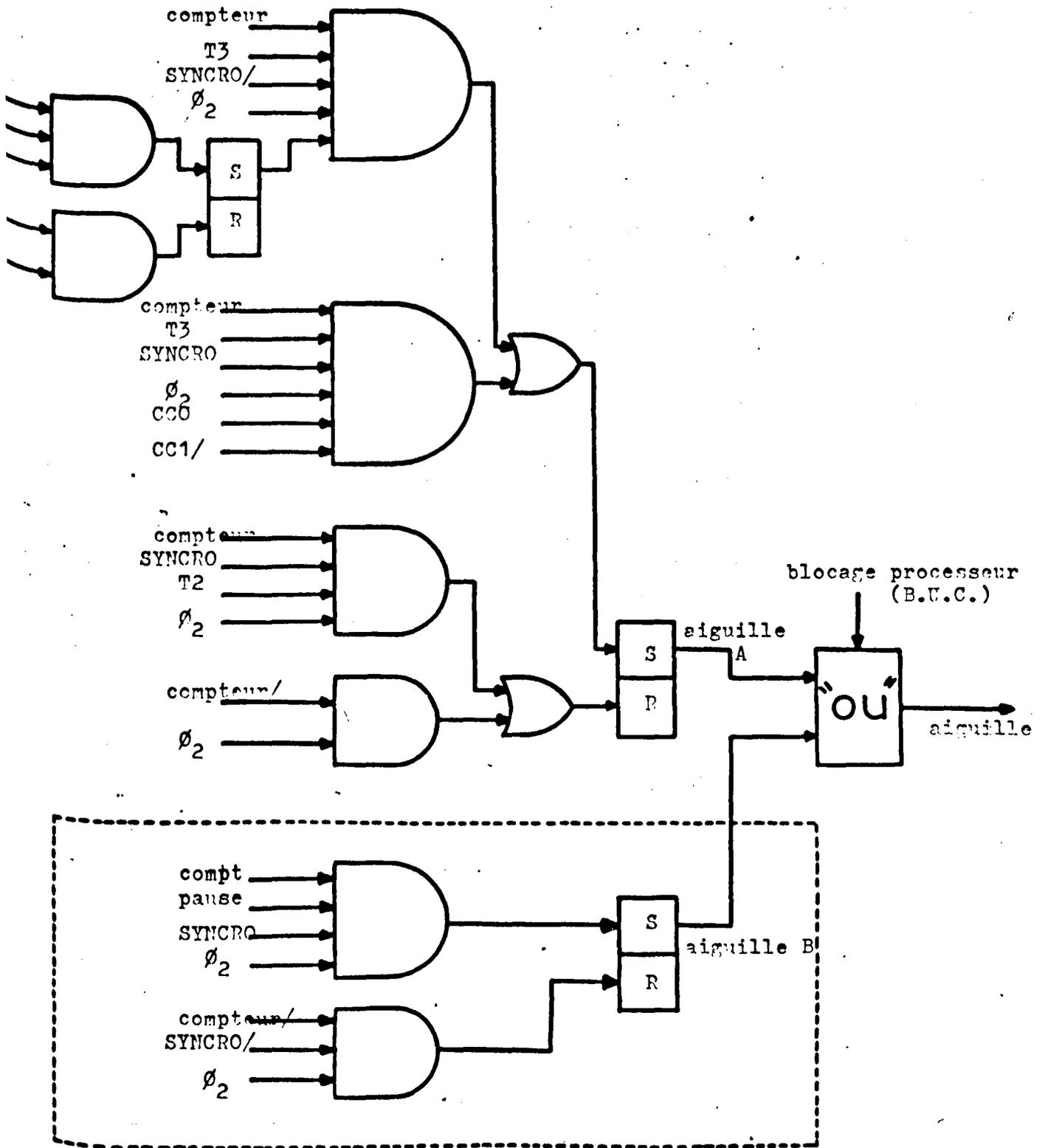


Fig. IV - 7

tatifs de chaque mode.

Rappelons que "AIGUILLE B" est utilisé pour la commande avec blocage et "AIGUILLE A" pour la commande sans blocage. La relation entre les 2 signaux se fait par BUC.

b) Schéma bloc de READY\*/ :

Le signal READY\*/ est un signal élaboré à partir de la commande READY/ (réalisé par les cartes mémoires) et d'autres signaux indiqués sur la fig. IV 8

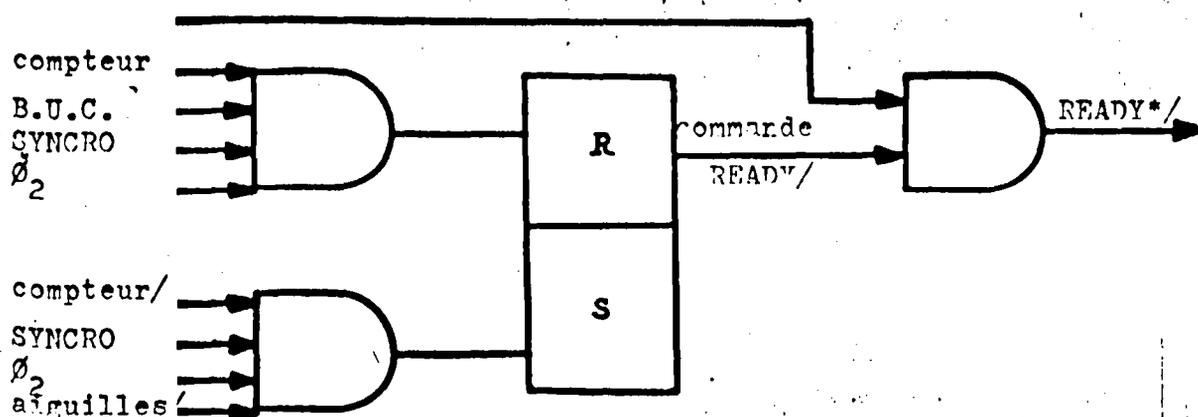


FIG. IV - 8

L'étude de ce schéma bloc en comparaison avec la fig. IV 6 représentant le chronogramme de READY\*/ montre que ce signal prend le niveau logique un par combinaison des signaux COMPTEUR, blocage processeur (B. U. C.), SYNCRO,  $\emptyset_2$ . La mise à zéro se fait par les signaux COMPTEUR/, AIGUILLE B/, SYNCRO,  $\emptyset_2$ .

Dans la réalisation, quand le signal appelé "Commande READY/" passe au niveau logique zéro le signal READY\*/

envoyé au Processeur passe au niveau logique un. Par contre si le signal "Commande READY/" passe à 1 le signal READY\*/ recopie READY/.

c) Schéma\_bloc\_de\_T'3 :

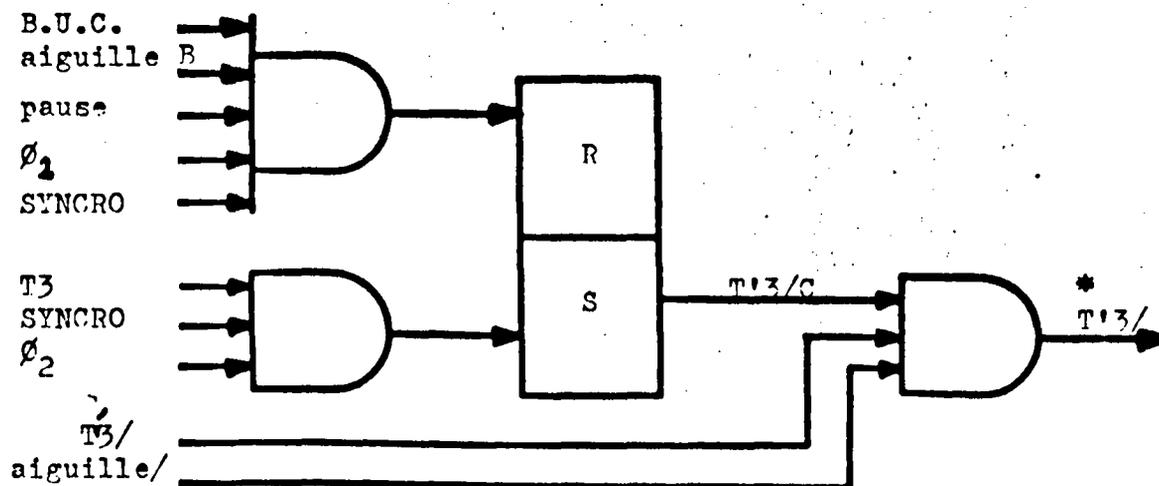


Fig. IV - 9

Le signal T\*3/ (fig. IV 9) est élaboré à partir du signal T'3/ envoyé par la carte processeur, utilise le signal "AIGUILLE" et T'3/C.

Quand le signal T'3/C est au niveau logique zéro cela indique un fonctionnement avec Blocage Processeur et le signal T\*3/ est mis à zéro.

Quand le fonctionnement de l'A. D. M. est sans blocage, le signal T'3/C est au niveau logique un, et T\*3/ est commandé par le signal "AIGUILLE" ; quand ce dernier est à un, T\*3/ est mis à 0.

Dans tous les autres cas il recopie directement T'3/.

#### 4. 4 ORGANE DE COMMANDE D'ECRIURE ET SIGNAUX DE SERVICE

Cet organe a comme fonction de générer un signal qui permet d'écrire une donnée dans la mémoire. Ce même signal permet également de décrémenter le Compteur, d'incrémenter les adresses, et avec la combinaison du signal Compteur/ et le signal STDO d'élaborer le signal d'interruption. On distingue également à ce niveau le fonctionnement : Avec et sans Blocage.

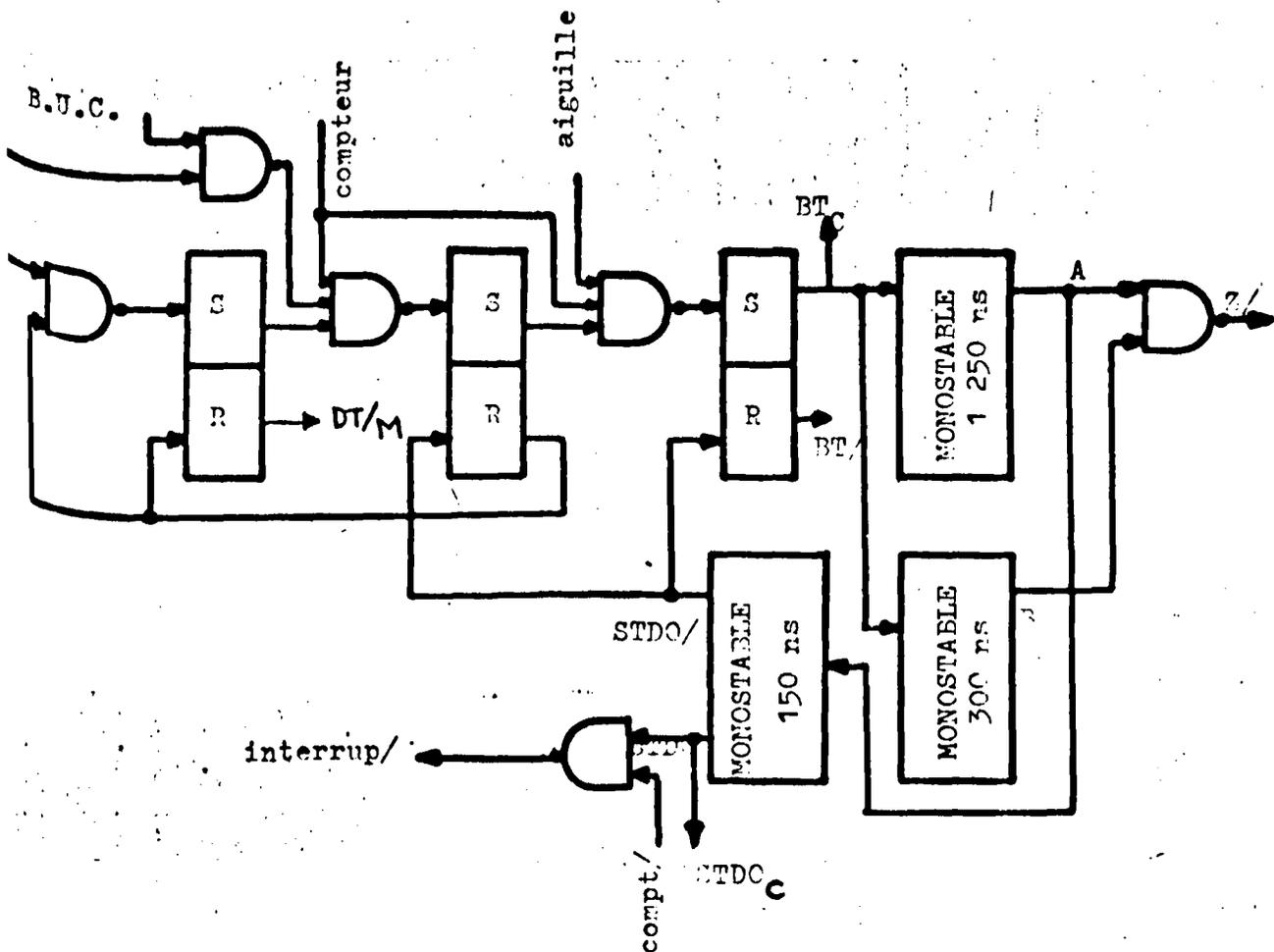


Fig. IV - 10

Etudions tout d'abord la nécessité des trois niveaux de mémorisation de l'information DT/C présentés sur la fig. IV 10. Le premier permet à la machine de mémoriser une demande de transfert

.../...

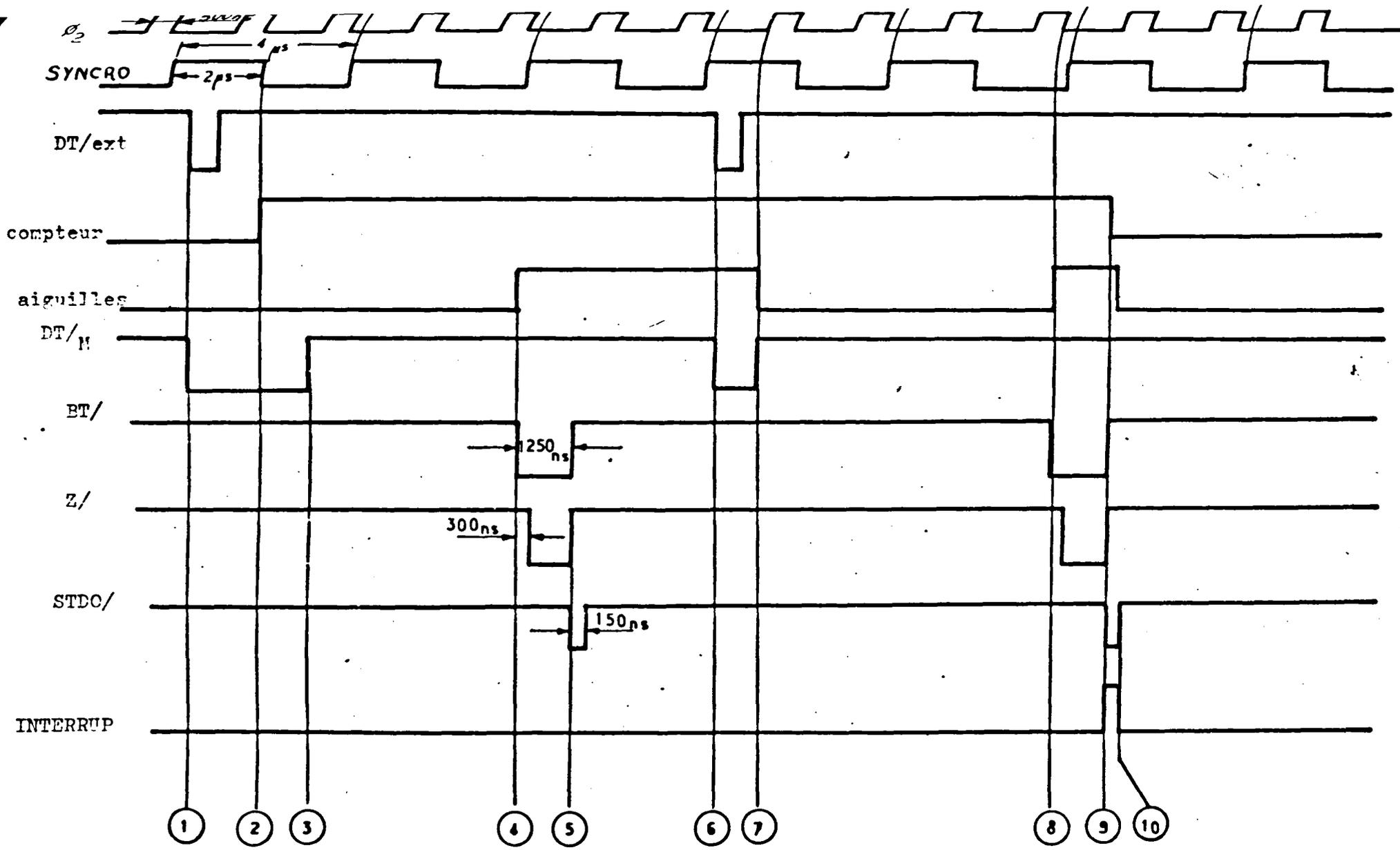


Fig. (27) IV - 10

(DT/) même si l'"A. D. M." n'est pas initialisé.

Dans le fonctionnement sans blocage on sait que AIGUILLE change continuellement d'état. D'autre part l'échange avec l'extérieur n'est possible que dans le cas où les signaux d'aiguillage sont au niveau logique un.

Donc dans le cas où "AIGUILLE" est à zéro il faut mémoriser une demande de transfert et la traiter lors du passage au niveau logique un.

Cela pose le problème critique de déterminer la durée pendant laquelle le signal "AIGUILLE" reste au niveau un. La montée étant en T3 et la descente étant en T2, les différents états qui suivent T3 peuvent être T1, T2 ou T4, T1, T2 ou encore T4, T5, T1, T2. Chacune des trois possibilités présente une durée propre pendant laquelle le signal "AIGUILLE" reste au niveau un.

Pour éliminer la probabilité de déclencher une opération d'échange juste quelques nanosecondes avant la descente de AIGUILLE, et de ne pouvoir jamais réaliser cet échange, ou de le réaliser de façon incorrecte, on mémorise le signal DTM dans une deuxième bascule RS par l'intermédiaire du signal de synchronisation  $\phi 2$ . Ceci empêche tout malfonctionnement puisqu'une demande de transfert faite entre deux signaux  $\phi 2$  ne sera efficace qu'à partir du front de montée du dernier. La nécessité du troisième niveau de mémorisation est plus évidente car elle est liée au changement d'état du signal AIGUILLE. La demande précédemment mémorisée est efficace avec la montée de AIGUILLE, comme on peut le voir sur la fig. IV II.

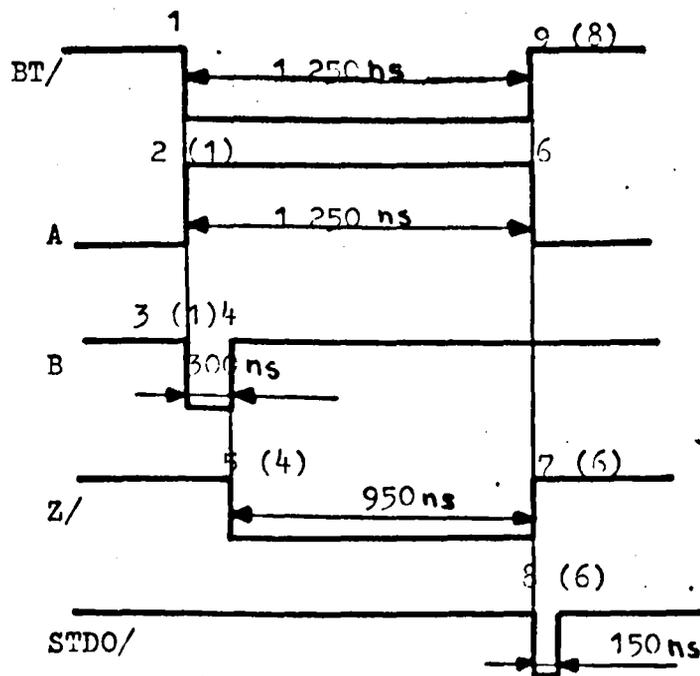


Fig. IV - 12

Le signal COMPTEUR valide les entrées des deux dernières bascules RS ; en basculant la troisième déclenche deux monostables mis en parallèle qui génèrent simultanément les signaux A et B représentés sur la fig. IV 12. Par leur combinaison, on obtient le signal Z/. Le front de descente de A provoque également le déclenchement d'un 3ème monostable qui génère le signal STDO/. Celui-ci remettre à zéro les bascules 2 et 3.

La fig. IV 11 représente le fonctionnement de "l'Organe de commande d'écriture" pour un échange de 2 Mots dans le cas où la demande de transfert vient avant l'initialisation du canal.

Le chronogramme est divisé en dix états. La 1ère apparition d'une demande de transfert extérieur DT/ext est mémorisée dans la 1ère bascule "RS" ; ceci se manifeste par le front descendant de DT/m. Dans le temps 2, la montée de COMPTEUR valide les deuxième et troisième bascules. Le temps 3 montre le transfert de l'information de la 1ère bascule à la 2ème, ceci est caractérisé par la montée de DT/m.

.../...

La mise à 1 du signal AIGUILLE permet la mémorisation de l'information dans la troisième bascule (temps 4) qui déclenche les 2 monostables ; le front de descente du 1er monostable déclenche le 3ème monostable qui remet les deux autres bascules à zéro (montée de BT/).

Le temps 6 présente un phénomène assez intéressant ; une demande de transfert vient juste avant le dernier  $\phi 2$  provoquant la mise à zéro de AIGUILLE. La mémorisation se fait dans la première bascule et avec  $\phi 2$ , passe dans la deuxième. Mais comme AIGUILLE est au niveau zéro, l'information ne sera pas mémorisée dans la troisième bascule donc l'échange ne pourra se faire qu'au temps 8 c'est-à-dire lors de la montée du signal AIGUILLE. COMPTEUR passe à zéro avec le front montant de Z/ car celui-ci provoque l'incrémentatation des adresses et la décrémentatation du compteur.

Une fois que COMPTEUR est à zéro, le signal STDO/ est recopié par le signal "INTERRUP" qui provoque une interruption sur le processeur indiquant la fin de l'échange.

Le signal Z/ sert d'ordre d'écriture pour les mémoires. Compte tenu des caractéristiques des mémoires, la valeur minimum de fonctionnement de cette impulsion étant de 750 ns, on a une sécurité de 200 ns. Le temps qui doit séparer cette impulsion de la fin d'adressage est au minimum de 200 ns. On a donc une marge de 300 ns dans les conditions les plus difficiles.

Le signal STDO/ qui dure 150 ns sert à acquitter une demande de transfert.

Le signal Blocage Processeur (B. U. C.) bloque  $\phi 2$  et quand "COMPTEUR" prend le niveau logique un, la deuxième bascule RS devient transparente. Autrement dit, tant que "COMPTEUR" et "AIGUILLE B" sont au niveau logique un, à chaque demande de transfert extérieur on a déclenchement des monostables suivi d'un échange mémoire avec l'ex-

.../...

térieur. La vitesse des demandes peut atteindre alors la vitesse maximum d'échange de l'ORGANE DE COMMANDE D'ECRITURE.

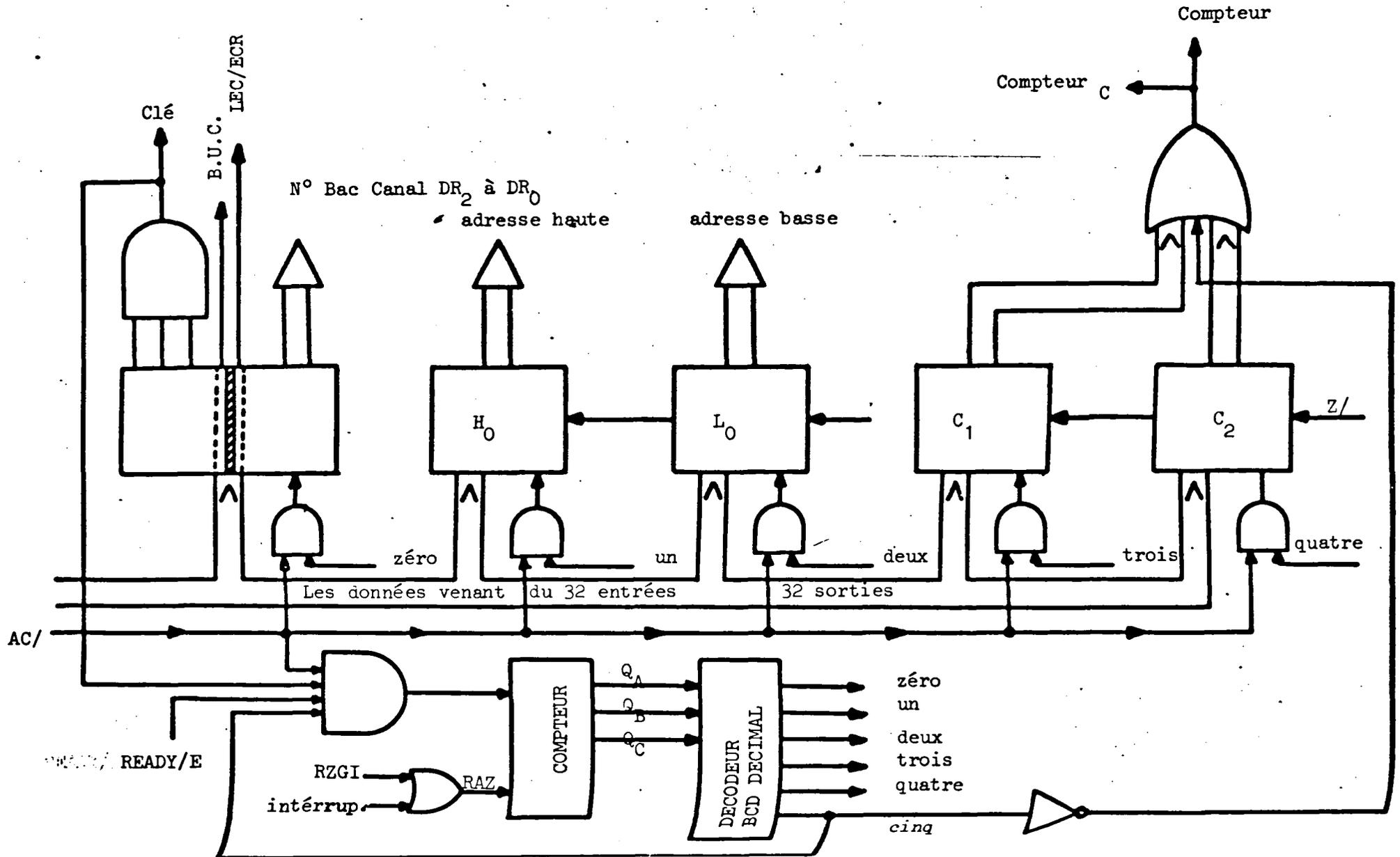
Remarque : Le fonctionnement de l'organe de commande dans le mode avec blocage ne se faisant pas en synchronisme avec  $\phi 2$ , peut être plus rapide et ne dépend que des demandes faites par l'organe extérieur avec lequel il dialogue.

Dans le cas sans blocage l'organe est synchrone avec les signaux  $\phi 2$  et AIGUILLE, ce qui explique sa lenteur.

Dans les deux cas les signaux de services "DT/, STDO/, BT/, COMPTEUR/"; délivrés à l'extérieur sont totalement compatibles avec les signaux délivrés par la PILE CANAL. Le signal BTE/ est remplacé par COMPTEUR/.

Remarquons enfin l'impossibilité de mémoriser une deuxième demande de transfert pendant l'exécution de la première. L'entrée des demandes est en effet verrouillée par la deuxième bascule RS.

#### 4. 5 ORGANE DE MULTIPLEXAGE



Le schéma bloc de cet organe est présenté dans la fig. IV 13. Son rôle est de récupérer sur le pluribus les éléments d'initialisation du canal.

Les cinq données venant de la carte entrée-sortie sont chargées dans cinq niveaux successifs par l'intermédiaire de l'acquiescement fourni par cette même carte et des signaux de validation délivrés par le décodeur.

Les impulsions d'acquiescement sont comptées. Leur nombre est ensuite décodé en décimal. L'entrée de ce compteur est validée par le signal CLE et READY/E, envoyé par le bac canal soumis à l'échange. Il indique que le numéro du bac est exact et que le périphérique avec lequel on veut échanger lui est connecté.

Le front montant de l'acquiescement (AC/) fait avancer le compteur pour assurer la validation du niveau suivant.

Le passage du décodeur à "CINQ" valide le signal "COMPTEUR" et verrouille les acquiescements pendant tout l'échange. Donc durant l'échange les sorties faites par le coupleur d'entrée-sortie sont complètement inefficaces. Ce verrouillage est débloqué par le signal "INTERRUP" indiquant la fin d'échange, ou bien par la remise à zéro générale du système provoquée par la clé "INIT". Le fonctionnement est indiqué par la fig. IV 14.

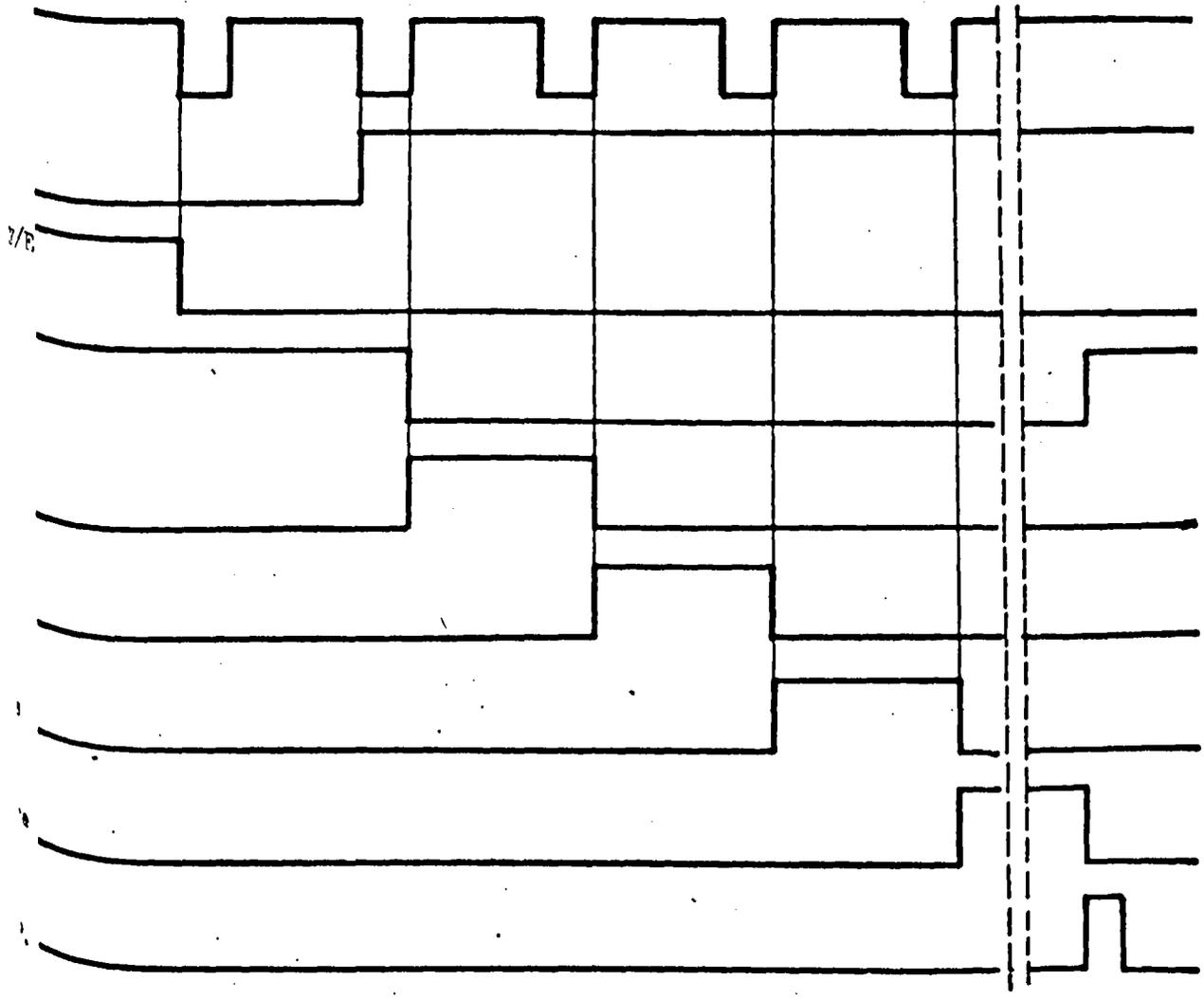


Fig. IV - 13

#### 4. 6 ORGANE D'EXECUTION, COMMANDE DES CYCLES, COMMANDE DE L'ORDRE D'ECRITURE

Cette partie est consacrée à l'étude des organes qui sont en relations directes avec les mémoires.

##### 4. 6. 1 Organe d'exécution

Cet organe se décompose en trois éléments servant à aiguiller les adresses, les données en entrée, et les données en sortie, soit vers le processeur soit vers l'extérieur.

Pour chacun des 14 bits d'adressage on utilise le circuit logique de la fig. IV 14.

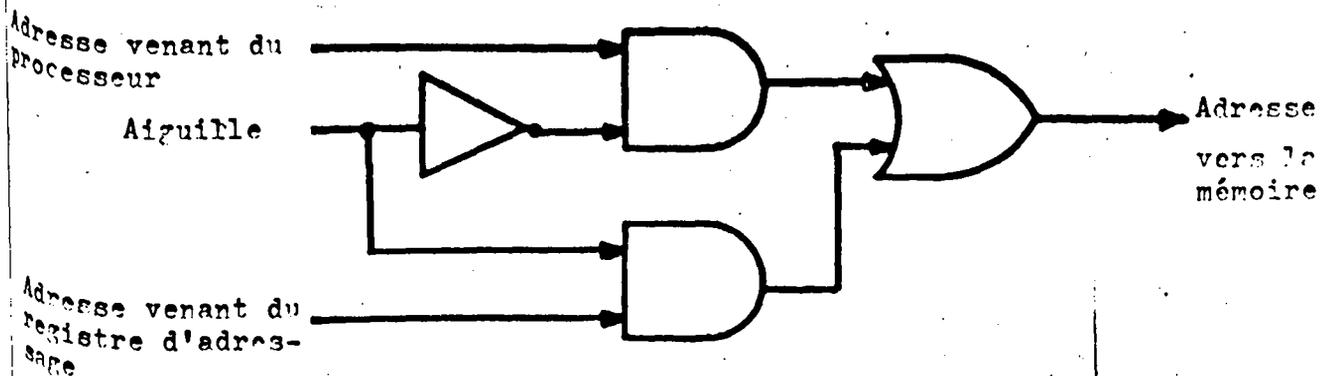
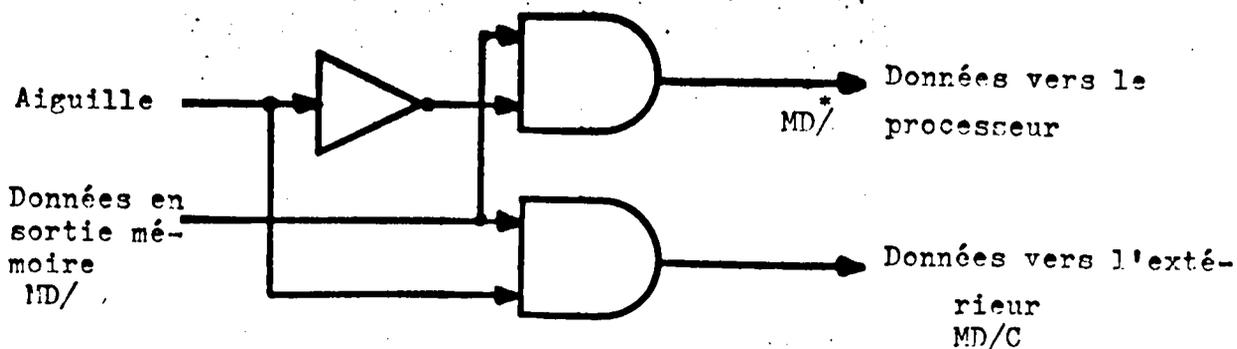


Fig. IV - 14

Les adresses venant du Processeur ou du registre d'adressage sont envoyées vers la mémoire par l'intermédiaire du signal "AIGUILLE".

En entrée on a exactement le même dispositif à condition de remplacer les adresses par les données.

En sortie, l'aiguillage des données vers le processeur ou vers l'extérieur se fait par le dispositif de la fig. IV 16 donné ici pour un seul bit.



**4. 6. 2 Organe de commande des cycles**

Les bits appelés CCO/ et CCI/ commandent les mémoires afin de valider l'ordre d'écriture ou de lecture. Pendant l'échange A. D. M. ces deux bits doivent être commandés pour assurer un fonctionnement correct des mémoires.

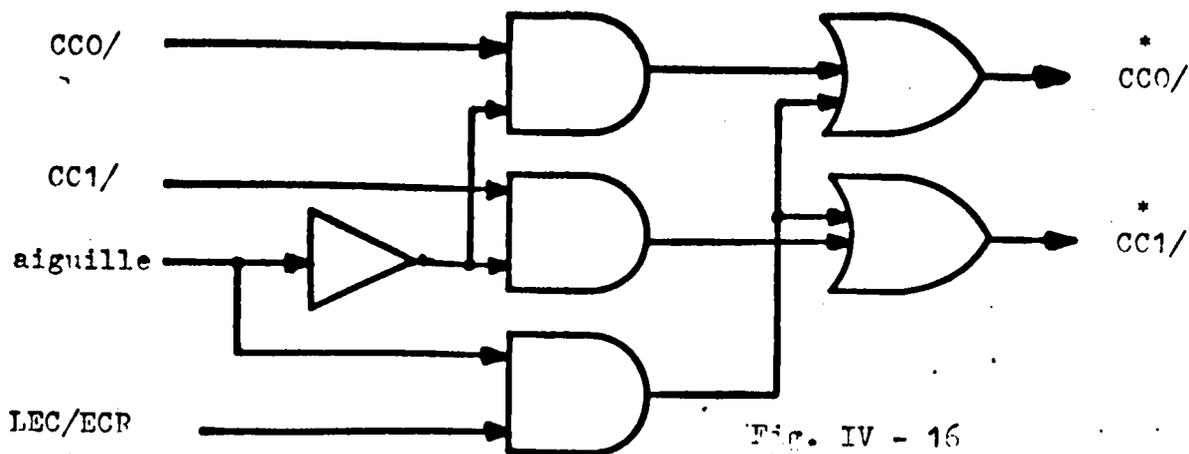


Fig. IV - 16

Quand le signal "AIGUILLE" (fig. IV 17) est au niveau logique un c'est le signal LECTURE/ECRITURE qui apparaît en sortie CCO\*/ et CCI\*/ ; dans le cas contraire la logique est transparente pour ECO/ et ECI/.

**4. 6. 3 L'organe de Commande de l'ordre d'écriture**

Pour réaliser l'ordre d'écriture dans la mémoire, il faut commander les trois signaux T3, SYNCRO et Ø2 pendant l'échange avec l'extérieur en A. D. M.

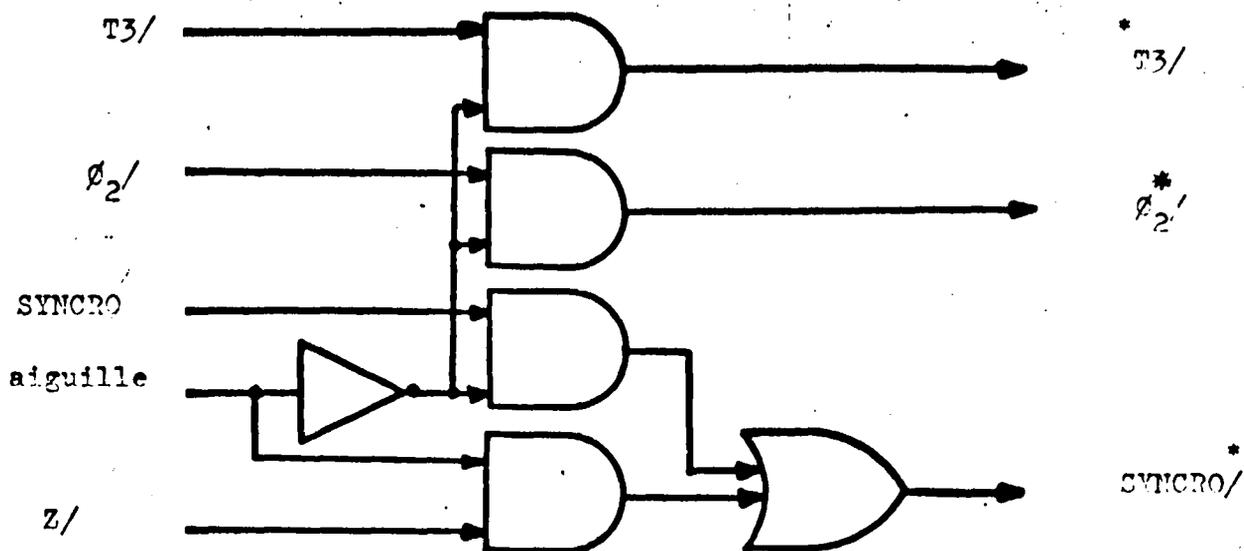


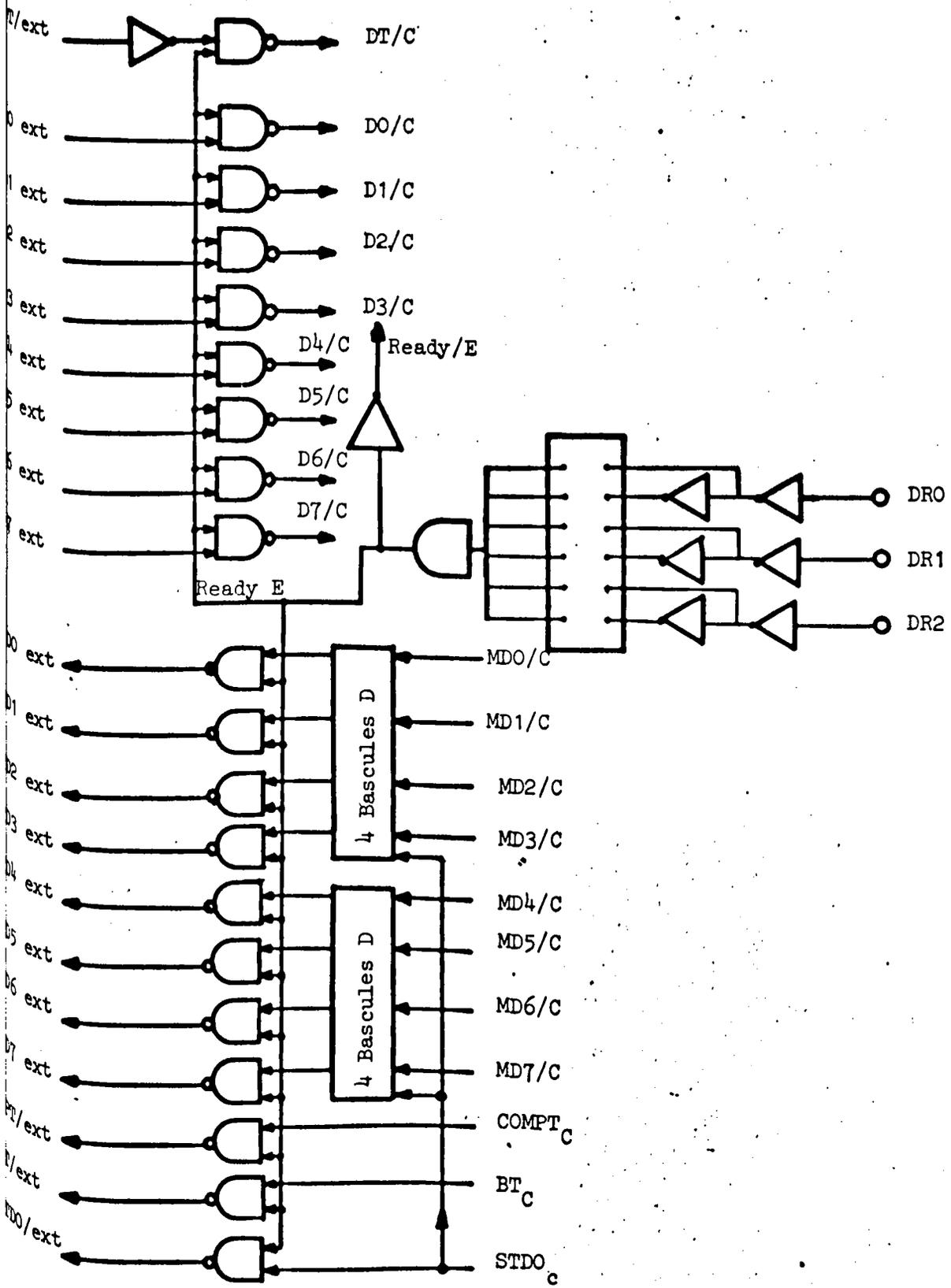
Fig. IV - 17

Quand le signal "Aiguille" est au niveau logique zéro la logique réalisée est transparente pour ces trois signaux.

Dans le cas contraire  $T3/$  et  $\phi 2/$  sont bloqués et c'est le signal  $Z/$  qui apparaît en  $SYNCRO^*$ . Donc pendant tout l'échange en accès direct mémoire,  $T^*3/$  et  $\phi 2^*/$  sont au niveau logique zéro ; chaque  $Z/$  provoquant une impulsion  $SYNCRO^*/$  réalise un ordre d'écriture dans la mémoire, si les bits  $CCO^*/$  et  $CCI^*/$  sont en écriture. Dans le cas d'une lecture, le signal "ordre d'écriture" est évidemment mis à un. La logique réalisée est montrée sur la fig. IV 18.

#### 4. 7 LA CARTE BAC CANAL

La carte BAC CANAL représentée sur la fig. IV 19 doit d'une part réaliser les échanges des données et des signaux de services entre les mémoires et les organes extérieurs, d'autre part valider le fonctionnement du compteur.

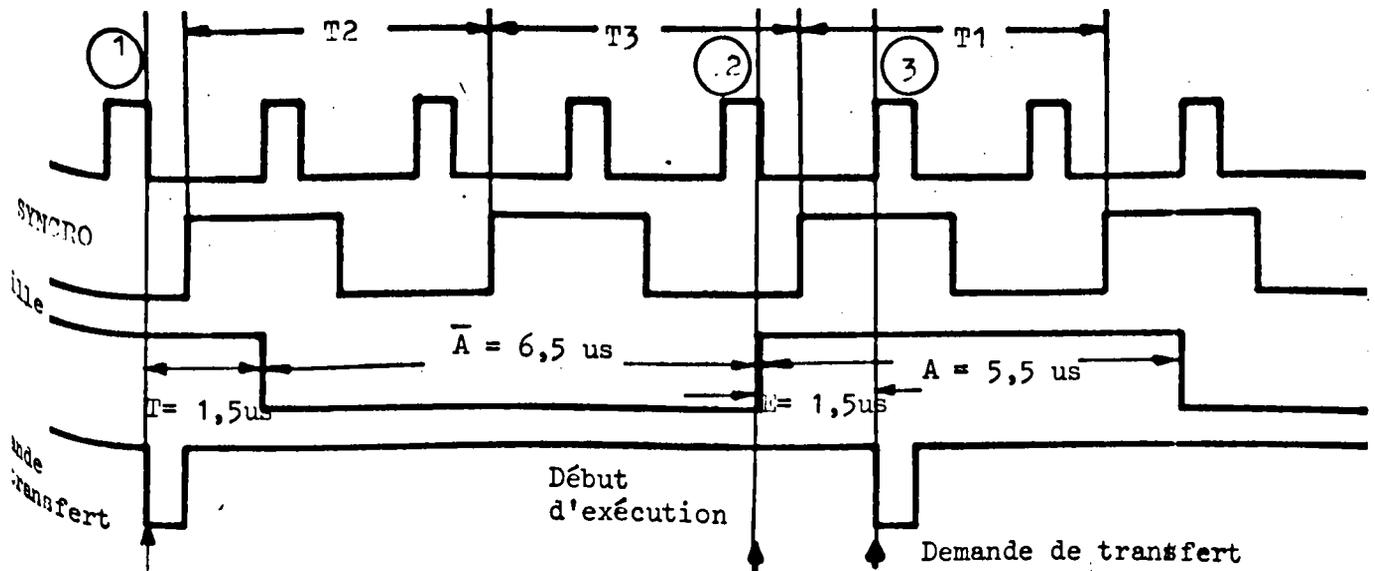


Un numéro de Bac Canal est assigné sur chaque carte par l'intermédiaire correspondant. Ceci permet une reconnaissance d'adresse d'inverseurs et de cavaliers par la carte elle-même, ce qui est signifié par le signal READY E. Les sorties des mémoires sont mémorisées dans "8 bascules D" commandées par STDOC.

#### 4. 8 ETUDE DE LA VITESSE D'ECHANGE

Dans ce paragraphe, nous allons essayer d'estimer les vitesses d'échange qu'il est possible d'atteindre avec notre dispositif. Il convient évidemment de distinguer le fonctionnement avec ou sans blocage.

Dans le cas sans blocage, la vitesse est fonction de la nature des instructions. Nous considérons donc la vitesse maximale dans le pire des cas. La fig. IV 20 montre le fonctionnement du signal AIGUILLE qui fixe le temps pendant lequel il est possible d'effectuer des échanges. Ceci correspond au signal dans l'état logique 1.



L'indication de 5,5 n'est valable que pour la succession T1 T2 T3 T1... qui laisse le moins de temps mort.

Soit une demande de transfert placé juste après  $\phi_{22}$  de T1, celle-ci est mémorisée mais ne pourra être exécutée que 8 (mise de 1 de AIGUILLE) compte tenu des conditions de sécurité précédemment

établies. La demande d'intervention pourra alors intervenir 1,5 après. La fréquence maximale d'échange est donc d'environ 100 KHz.

Ce chapitre nous a permis de montrer la façon de réaliser les principes adoptés dans le chapitre III. L'ensemble de l'Accès Direct Mémoire correspond à quatre plaquettes reliées entre elles par un bus et des connections extérieures.

Le passage de l'ancienne structure à la nouvelle se fait par simple déplacement de cartes.

D'autre part les cartes mémoires peuvent appartenir à l'un ou l'autre bus, suivant qu'elles servent uniquement au processeur ou à l'ensemble du calculateur. Dans le premier cas, elles sont évidemment protégées des fausses manoeuvres concernant l'A. D. M. et sont utilisées avec intérêt pour supporter le moniteur ou l'assembleur.

Enfin toutes les sécurités ont été prises vis-à-vis de la synchronisation, des perturbations extérieures, et de la stabilité de fonctionnement. Cela tend à une diminution de la vitesse de fonctionnement mais dans des proportions qui laissent des performances intéressantes.

La figure IV 21 montre la nouvelle configuration du MICRAL. Il ne nous reste plus qu'à tester et expérimenter l'ensemble ainsi constitué, cela fait l'objet de notre dernier chapitre.

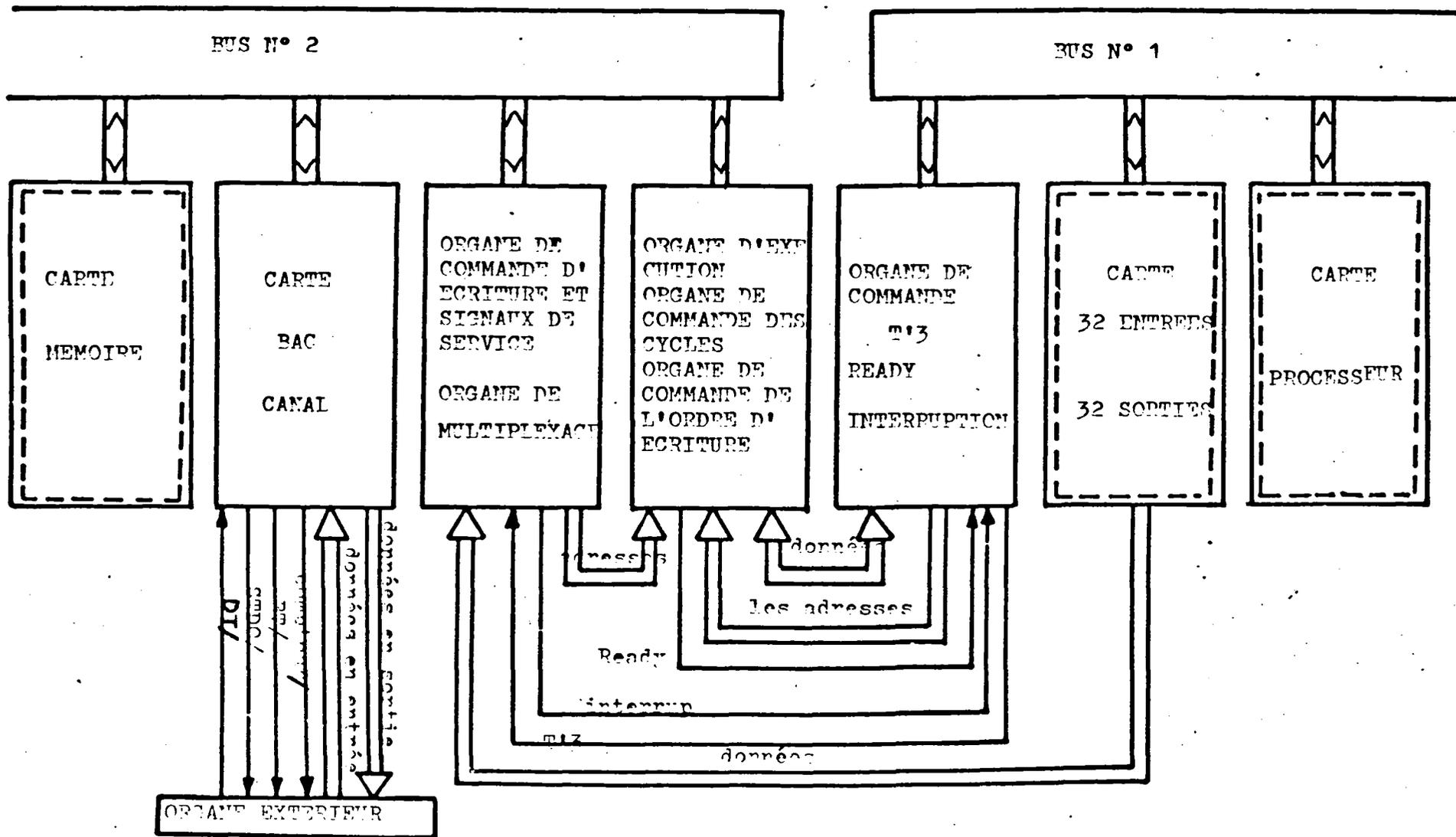


Fig. IV - 21

## CHAPITRE V - ESSAIS DU CANAL A ACCES DIRECT

---

Ce chapitre a pour but de tester les performances du canal à accès direct que nous venons d'élaborer. Pour se faire, nous considérons deux expériences permettant d'une part de mesurer la vitesse d'acquisition dans les deux modes de fonctionnement avec ou sans blocage, d'autre part de vérifier la qualité d'une prise en compte suivie d'une restitution. Nous avons ainsi le moyen de comparer les résultats obtenus avec les calculs théoriques précédemment exposés.

### 5. 1 ELABORATION D'UN TEST EN VITESSE

Le but de ce test est la détermination des valeurs maximum qu'il est possible d'atteindre pour la vitesse en écriture avec ou sans blocage du processeur.

Pour cet essai, nous utilisons un périphérique rapide pour lequel la vitesse d'échange est fixée par une horloge externe réglable. Il s'agit d'un compteur synchrone modulo 256 dont la valeur sera introduite dans le calculateur par le canal après chaque incrémentation.

Après introduction des valeurs, un programme teste l'exactitude des transferts sur les 8 bits par comparaison avec une case mémoire incrémentée. Un message final indique le nombre d'erreurs rencontrées. En faisant varier la fréquence de l'horloge, on a un moyen de vérifier les vitesses maximales prévues.

#### 5. 1. 1 Réalisation de l'essai

Les sorties de deux compteurs de 4 bits mis en série sont connectées sur les bornes d'entrée du canal à accès direct. L'horloge est reliée à la borne DT/. Le schéma de la réalisation est celui de la figure V 1.

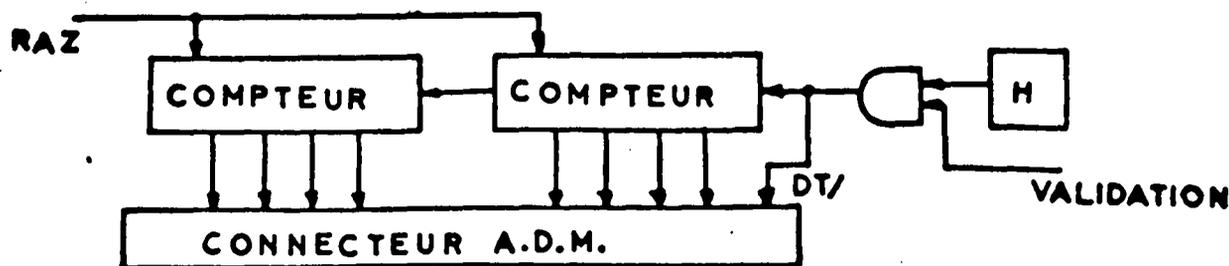


FIG V1

On initialise le canal avec un compte de mots de 1 K octets à partir de l'adresse 1000, en mode écriture, sans blocage du processeur. Le canal est alors prêt à recevoir les données provenant des compteurs. Il suffit d'effectuer la remise à zéro des compteurs et la validation de l'horloge. On introduit ainsi une suite de nombres dans les mémoires du calculateur. En même temps, de façon à vérifier le déroulement en parallèle d'un programme, on utilise une boucle d'incrémentement. L'interruption de fin du travail canal nous permet de nous brancher sur le programme de test. Celui-ci a pour premier rôle de nous fournir le nombre d'incrémentement réalisée par le programme principal pendant l'introduction des données. Il indique ensuite la valeur qui se trouve à l'adresse, c'est-à-dire dans la première case mémoire adressée. Puis, il réalise le test du continu des mémoires utilisées par comparaison avec une valeur de référence incrémentée. Il imprime le nombre d'erreurs rencontrées.

En faisant varier la vitesse de l'horloge, on peut tester la limite de fonctionnement sûr.

La fig. V 2 présente l'organigramme de l'ensemble des programmes.

L'impression du continu du registre C nous donne un moyen de déterminer le temps nécessaire pour l'introduction de

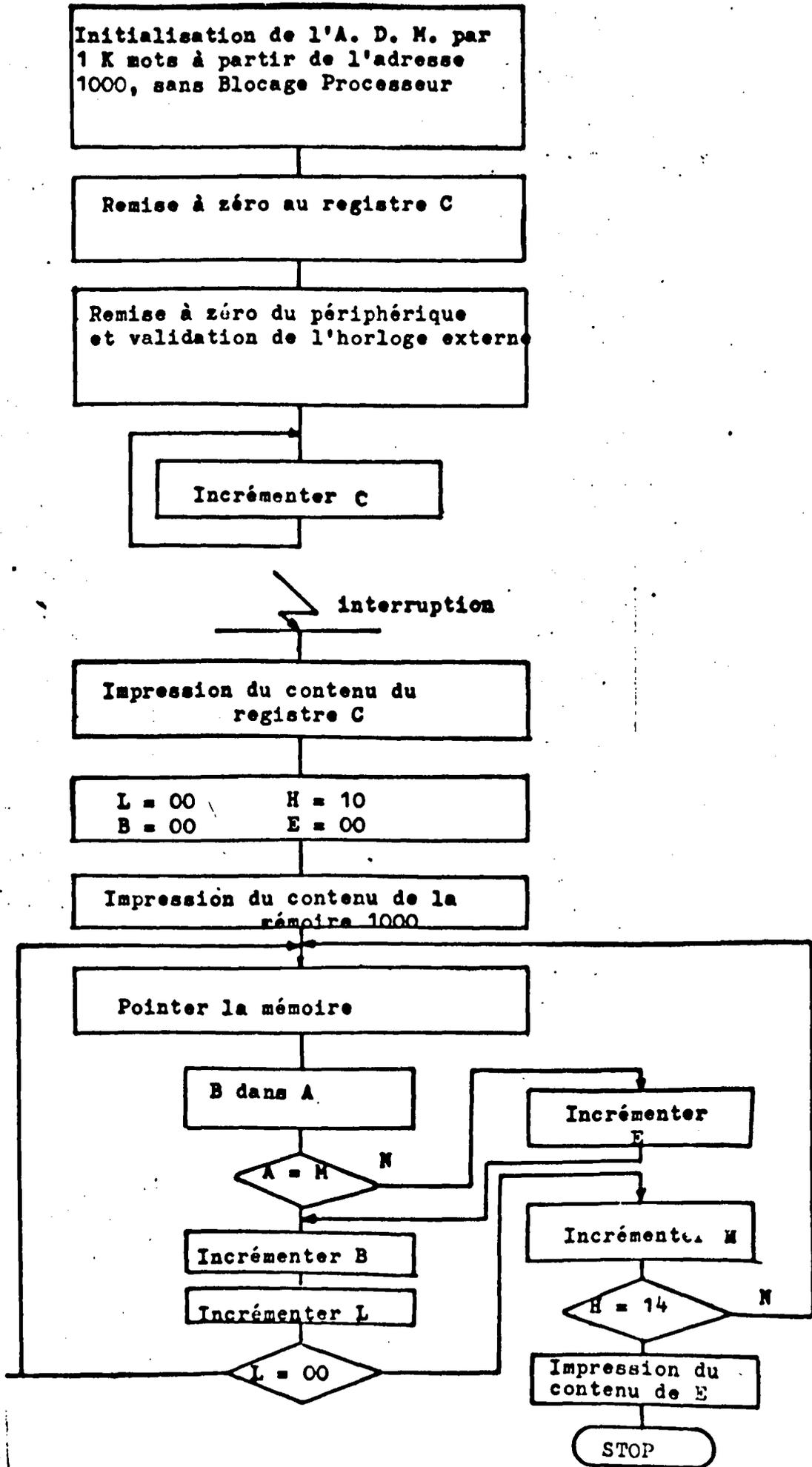


FIG. V 2

1 K octets. En effet cette boucle comportant quelques instructions constitue une horloge.

Après l'impression du contenu de C, on effectue le pointage de l'adresse 1000 en mettant L à 00 et H à 10 (partie basse et haute de l'adresse). Le registre B nous sert de référence pour la comparaison et doit donc au départ, être également à zéro, de même que le registre E, totalisateur du nombre d'erreurs.

La suite de l'organigramme se comprend bien aisément.

### 5. 1. 2 Résultats

La fig. V 3 donne les résultats correspondant à cette expérience avec ou sans blocage. Le fonctionnement avec blocage utilise le même dispositif, seule l'initialisation comporte une légère modification.

ECRITURE 1K MEMOIRES SANS BLOCAGE HORLOGE A 09KHZ  
 G:1000  
 L:00 H:11 M:00 C:33 E:00  
 ECRITURE 1K MEMOIRES SANS BLOCAGE HORLOGE A 10KHZ  
 G:1000  
 L:00 H:11 M:00 C:33 E:00  
 ECRITURE 1K MEMOIRES SANS BLOCAGE HORLOGE A 12KHZ  
 G:1000  
 L:00 H:11 M:00 C:33 E:A9

ECRITURE 1K MEMOIRES AVEC BLOCAGE HORLOGE A 500KHZ  
 G:1000  
 L:00 H:11 M:00 C:00 E:00  
 ECRITURE 1K MEMOIRES AVEC BLOCAGE HORLOGE A 600KHZ  
 G:1000  
 L:00 H:11 M:00 C:00 E:00  
 ECRITURE 1K MEMOIRES AVEC BLOCAGE HORLOGE A 700KHZ  
 G:1000  
 L:00 H:11 M:00 C:00 E:88

## 5. 2 TEST D'ENTREE-SORTIE

Le but de ce second essai est de montrer le fonctionnement de façon un peu plus qualitative mais en association avec des dispositifs d'entrée et de sortie un peu plus complexes. Cette fois en effet, le périphérique rapide est en entrée une chaîne de mesure dont la fréquence d'échantillonnage est fixée à 10 Khz. Il est donc indifférent d'avoir ou non ici blocage du processeur.

En sortie, de manière à obtenir une restitution permettant la comparaison, on place un convertisseur digital analogique.

### 5. 2. 1 Réalisation de l'essai

Le montage correspondant est celui de la fig. V 4.

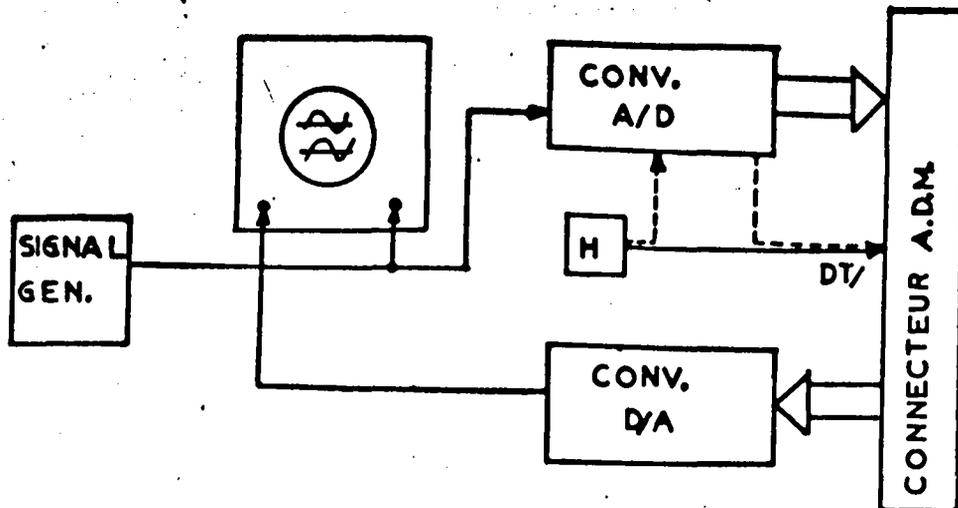


FIG. V4

Un générateur de signaux présente à la chaîne de mesure, ainsi qu'à l'oscilloscope, une sinusoïde de fréquence 100 Hz environ. Une horloge externe à 10 KHz pilote le convertisseur analogique digitale qui fournit l'ordre de fin de conversion utilisé par l'ADM comme DT/. En sortie, cette même horloge envoie directement les ordres DT/ de sortie de l'information. Les mots convertis en analogique sont transmis à la seconde voie de l'oscilloscope pour comparaison.

Un bouclage du programme permet la stabilisation de l'image.

### 5. 2. 2 Résultats

La fig. V 5 montre le signal d'origine et le signal résultant de l'ensemble des deux conversions.

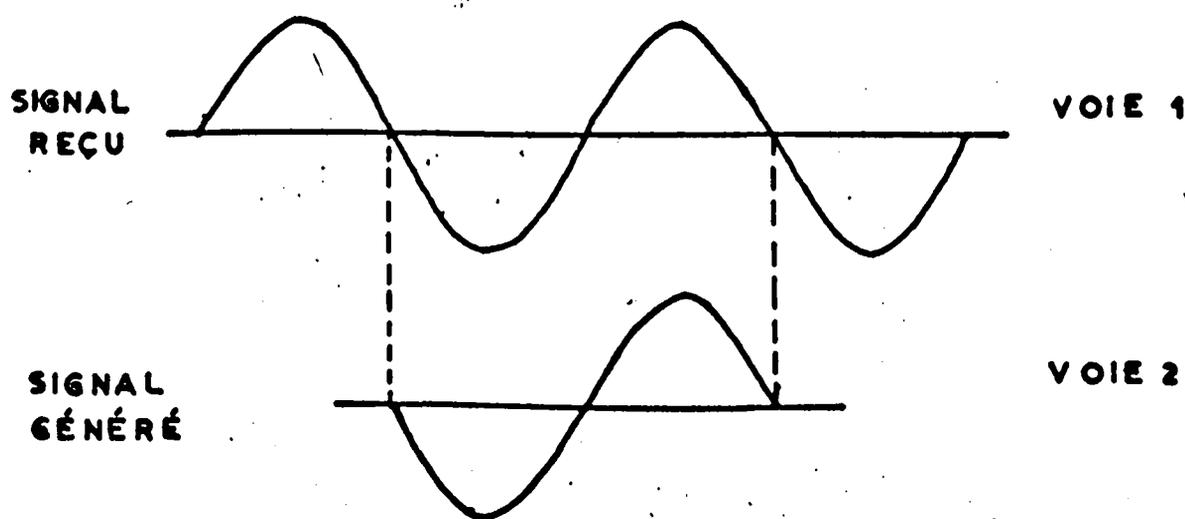


FIG V5

Les deux expériences exposées dans ce chapitre nous ont permis de vérifier la qualité du dispositif envisagé. Les vitesses calculées lors du chapitre IV ont été normalement tenues en déroulement avec ou sans blocage. L'association avec des dispositifs de conversion montre que l'ensemble ainsi constitué peut facilement devenir un outil appréciable dans beaucoup d'applications, en particulier en contrôle de processus.

I - LE MICROPROCESSEUR 8008

Le microprocesseur utilise un bus de 8 bits servant pour les données comme pour les adresses, 2 bornes d'entrée (READY et INTERRUPT) 2 entrées d'horloge  $\varphi_1$  et  $\varphi_2$ , trois sorties de contrôle (SO, S1, S2) et une de synchronisation. Un multiplexage dans le temps permet le contrôle total des informations sur le bus.

Ce processeur contient 7 registres de 8 bits dont l'un est l'accumulateur, 2 registres temporaires de 8 bits, 4 bits indicateurs et une unité arithmétique et logique de 8 bits fonctionnant en parallèle. Une pile mémoire (stack memory) de 14 bits formée par un compteur ordinal et sept registres servent à stocker l'adresse du programme en cours et les adresses de sous routines. Les 14 bits permettent d'adresser 16 K octets.

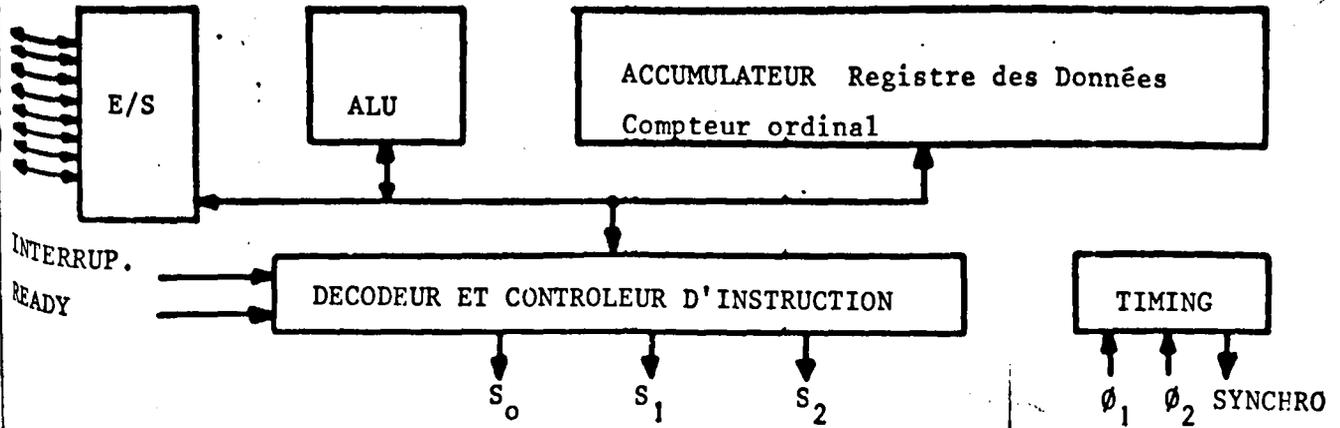
La plupart des instructions sont à un seul octet. Les instructions sur valeur nécessitent deux octets et les instructions de rupture de séquence en utilisent trois. Fonctionnant avec une horloge de 500 KHz le 8008 exécute les instructions en un temps moyen de 20 microsecondes. Toutes les entrées et les sorties sont compatibles TTL. Le nombre d'instructions est égal à 48.

Le 8008 est interruptible en cours d'exécution par la borne (INTERRUPT). Ceci permet tout en travaillant sur le programme principal de répondre aux organes lents d'entrée/sortie.

La commande "READY" permet la synchronisation du 8008 à tout type de mémoire ou de périphérique.

ANNEXE 2

BLOC DIAGRAM



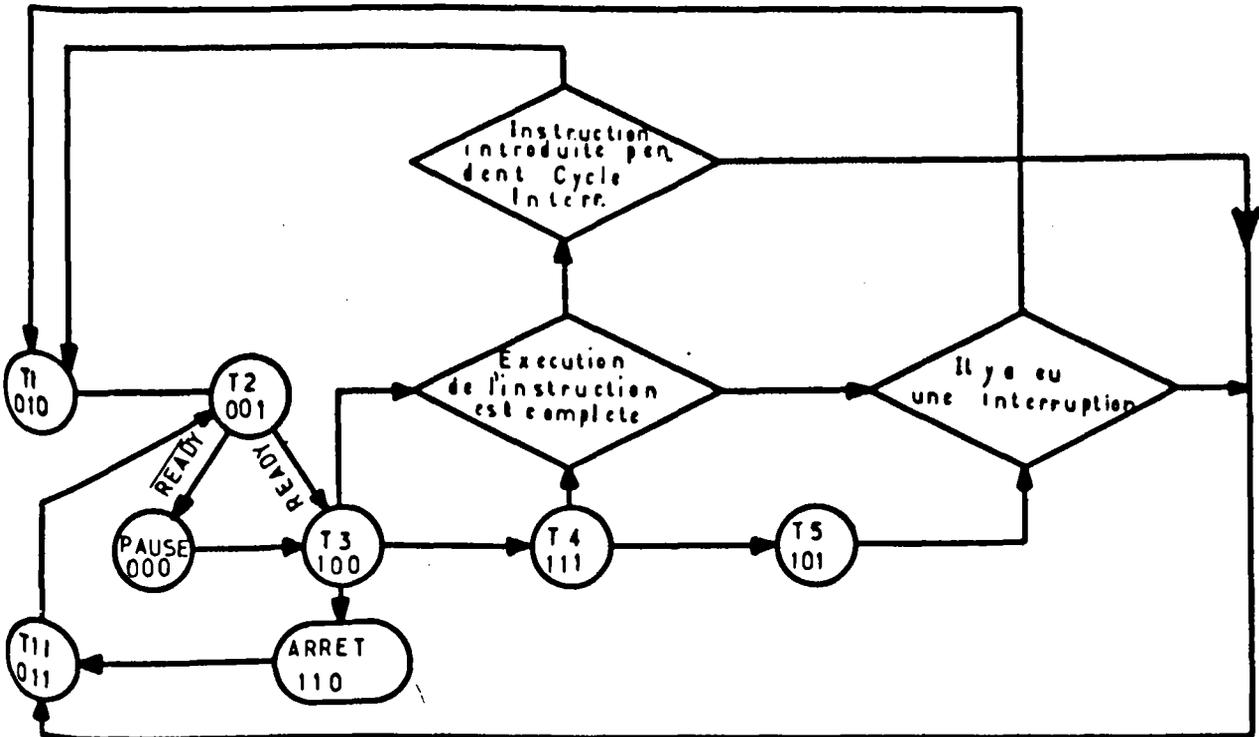
Les sorties **S<sub>0</sub>** à **S<sub>2</sub>** et **SYNCHRO** indiquent en permanence les états du processeur durant le cycle d'instruction.

1 a) Déroulement temporel des instructions

Les signaux **S<sub>0</sub>**, **S<sub>1</sub>** et **S<sub>2</sub>** aux instants définis par **SYNCHRO** informent les circuits périphériques de l'état du processeur. Le tableau ci-dessous en indique le codage en binaire.

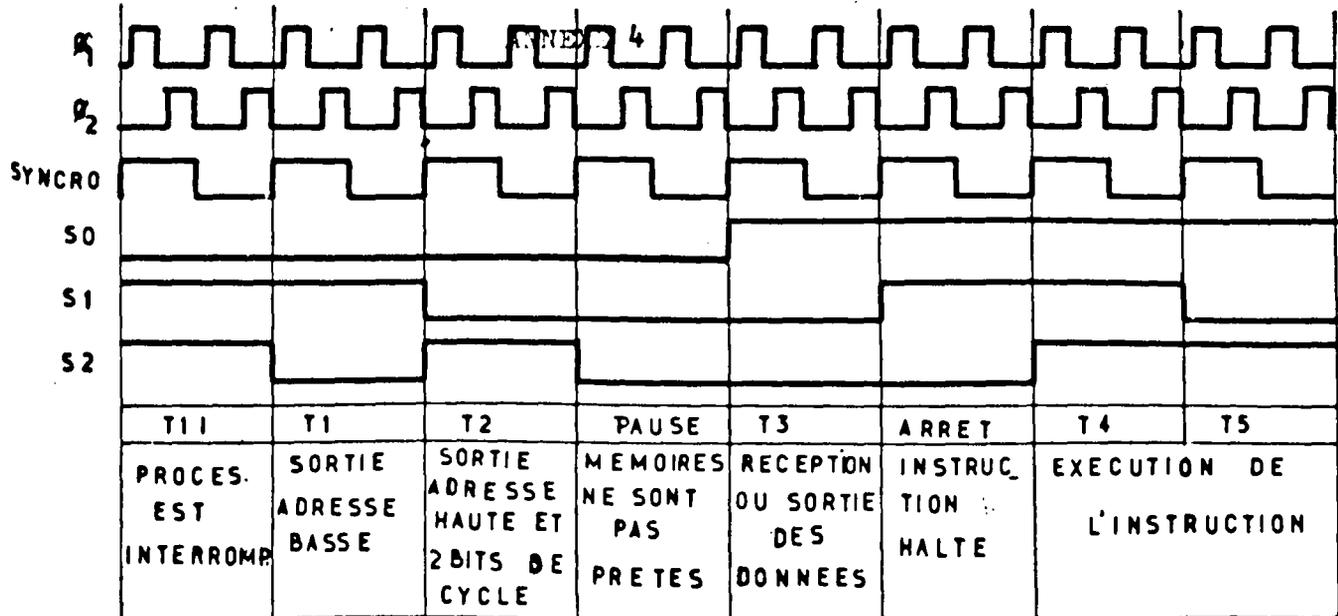
S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	Etats
0	1	0	T1
0	1	1	T1I
0	0	1	T2
0	0	0	PAUSE
1	0	0	T3
1	1	0	ARRET
1	1	1	T4
1	0	1	T5

Normalement un cycle machine est formé de cinq états, deux servent à envoyer les adresses (T1, T2) un à la réception des données (T3) et deux à l'exécution de l'instruction (T4, T5). Si les mémoires avec lesquelles le processeur fonctionne ne sont pas assez rapides le processeur passe en PAUSE. Le diagramme ci-dessous illustre les états successifs que prend le processeur dans un cycle normal.



La reconnaissance d'une interruption se fait en T1I. Lors d'une interruption, cet état remplace T1. Le READY est reconnu par T3. L'état ARRET se produit lors d'une instruction HALTE.

La plupart des instructions du 8008 sont multicycles et ne nécessitent pas les états T4 et T5. Quand le processeur n'a pas besoin de ces états, ils sont omis. Le diagramme ci-dessous illustre le fonctionnement du processeur, il est intéressant de remarquer que la durée des états PAUSE et ARRET peut être infinie (la durée de chaque état doit être de  $2n$  périodes d'Horloge).



**I b) Le code de contrôle des cycles**

Comme indiqué précédemment le 8008 demande un, deux ou trois cycles machine pour achever l'exécution d'une instruction. Le premier cycle correspond toujours à l'acquisition de l'instruction proprement dite, le cycle d'instruction (PCI), le deuxième et troisième cycle à la lecture des données (PCR) à l'inscription des données (PCW) ou aux opérations d'Entrée-sortie (PCC).

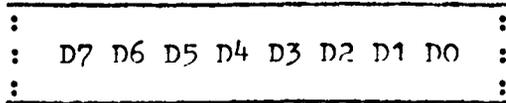
Le type de cycle est codé par deux bits D6 et D7 qui sont seulement présents sur le bus en T2.

D6	D7	CYCLE	FONCTION
0	0	PCI	Indique que les adresses sont pour la lecture d'une instruction.
0	1	PCR	Indique que les adresses sont pour la lecture d'une donnée.
1	0	PCC	Indique que la donnée est une commande d'opération E/S.
1	1	PCW	Indique que les adresses sont pour l'écriture d'une donnée en mémoire.

**I c) La structure des instructions**

Les données transitent sur 8 bits à l'intérieur du 8008. Tous les transferts de données sur le bus doivent se faire dans ce même format.

ANNEXE 5



FORMAT

Les instructions peuvent être en un, deux ou trois octets.

Les instructions multi octets doivent être stockées dans des cases successives de la mémoire.

Le format des instructions se présente comme ci-dessous.

Instruction d'un octet	INSTRUCTION TYPIQUE												
<table border="0"> <tr><td>:</td><td>:</td></tr> <tr><td>:</td><td>D7 D6 D5 D4 D3 D2 D1 D0</td></tr> <tr><td>:</td><td>:</td></tr> </table>	:	:	:	D7 D6 D5 D4 D3 D2 D1 D0	:	:	<table border="0"> <tr><td>:</td><td>CODE</td></tr> <tr><td>:</td><td>OPERATION</td></tr> <tr><td>:</td><td>:</td></tr> </table> <p>registre à registre, référence mémoire, E/S arithmétique ou logique, décalage ou instruction de retour.</p>	:	CODE	:	OPERATION	:	:
:	:												
:	D7 D6 D5 D4 D3 D2 D1 D0												
:	:												
:	CODE												
:	OPERATION												
:	:												
Instruction de deux octets													
<table border="0"> <tr><td>:</td><td>:</td></tr> <tr><td>:</td><td>D7 D6 D5 D4 D3 D2 D1 D0</td></tr> <tr><td>:</td><td>:</td></tr> </table>	:	:	:	D7 D6 D5 D4 D3 D2 D1 D0	:	:	<table border="0"> <tr><td>:</td><td>CODE</td></tr> <tr><td>:</td><td>OPERATION</td></tr> <tr><td>:</td><td>:</td></tr> </table> <p>Instruction</p>	:	CODE	:	OPERATION	:	:
:	:												
:	D7 D6 D5 D4 D3 D2 D1 D0												
:	:												
:	CODE												
:	OPERATION												
:	:												
<table border="0"> <tr><td>:</td><td>:</td></tr> <tr><td>:</td><td>D7 D6 D5 D4 D3 D2 D1 D0</td></tr> <tr><td>:</td><td>:</td></tr> </table>	:	:	:	D7 D6 D5 D4 D3 D2 D1 D0	:	:	<table border="0"> <tr><td>:</td><td>OPERANDE</td></tr> <tr><td>:</td><td>:</td></tr> </table> <p>sur valeur</p>	:	OPERANDE	:	:		
:	:												
:	D7 D6 D5 D4 D3 D2 D1 D0												
:	:												
:	OPERANDE												
:	:												
Instruction de trois octets													
<table border="0"> <tr><td>:</td><td>:</td></tr> <tr><td>:</td><td>D7 D6 D5 D4 D3 D2 D1 D0</td></tr> <tr><td>:</td><td>:</td></tr> </table>	:	:	:	D7 D6 D5 D4 D3 D2 D1 D0	:	:	<table border="0"> <tr><td>:</td><td>CODE</td></tr> <tr><td>:</td><td>OPERATION</td></tr> <tr><td>:</td><td>:</td></tr> </table> <p>Instruction</p>	:	CODE	:	OPERATION	:	:
:	:												
:	D7 D6 D5 D4 D3 D2 D1 D0												
:	:												
:	CODE												
:	OPERATION												
:	:												
<table border="0"> <tr><td>:</td><td>:</td></tr> <tr><td>:</td><td>D7 D6 D5 D4 D3 D2 D1 D0</td></tr> <tr><td>:</td><td>:</td></tr> </table>	:	:	:	D7 D6 D5 D4 D3 D2 D1 D0	:	:	<table border="0"> <tr><td>:</td><td>ADRESSE</td></tr> <tr><td>:</td><td>BASSE</td></tr> <tr><td>:</td><td>:</td></tr> </table> <p>de rupture</p>	:	ADRESSE	:	BASSE	:	:
:	:												
:	D7 D6 D5 D4 D3 D2 D1 D0												
:	:												
:	ADRESSE												
:	BASSE												
:	:												
<table border="0"> <tr><td>:</td><td>:</td></tr> <tr><td>:</td><td>X X D5 D4 D3 D2 D1 D0</td></tr> <tr><td>:</td><td>:</td></tr> </table>	:	:	:	X X D5 D4 D3 D2 D1 D0	:	:	<table border="0"> <tr><td>:</td><td>ADRESSE</td></tr> <tr><td>:</td><td>HAUTE</td></tr> <tr><td>:</td><td>:</td></tr> </table> <p>ou de sous-routine</p>	:	ADRESSE	:	HAUTE	:	:
:	:												
:	X X D5 D4 D3 D2 D1 D0												
:	:												
:	ADRESSE												
:	HAUTE												
:	:												

Remarque : Pour les instructions à trois octets les bits D6 et D7 du troisième octet sont inopérants.

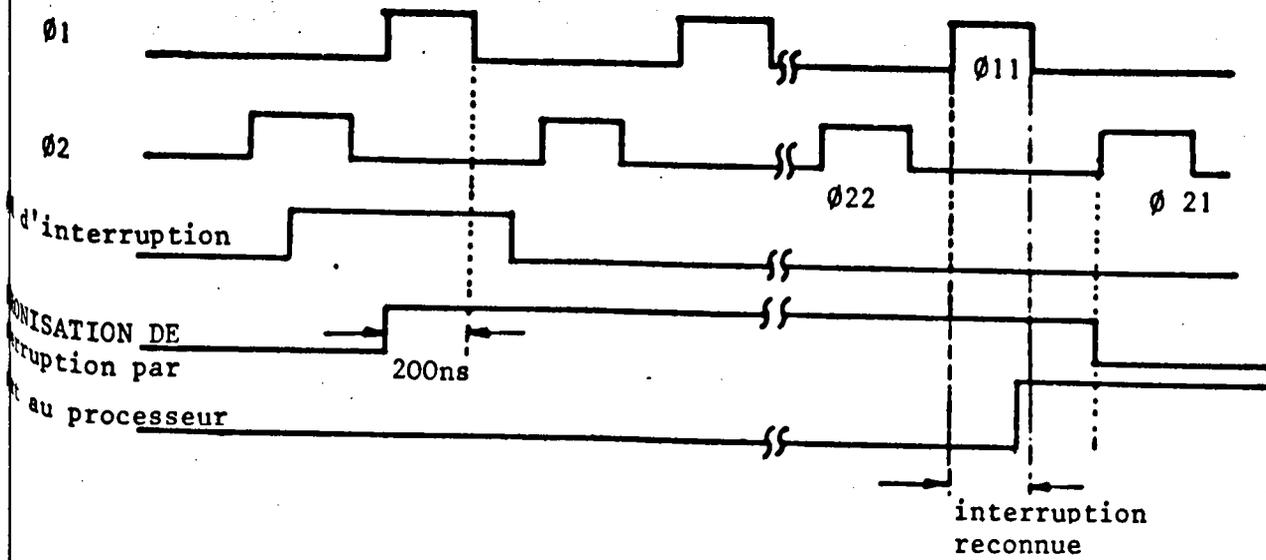
I-d Fonctionnement du Processeur :

Le processeur fonctionne par cinq différents états :



ANNEXE 7

Quand le processeur est interrompu, le signal INTERRUPTION doit être synchronisé avec le front de montée de  $\phi 1$  ou  $\phi 2$ . Pour assurer un fonctionnement correct du système, la ligne d'interruption ne doit pas changer durant 200 ns par rapport au front de descente de  $\phi 1$ .



## II - LE CALCULATEUR MICRAL

-----

Le calculateur est constitué d'un châssis sur lequel est fixé le pluribus, circuit imprimé comportant onze connecteurs identiques de 74 broches qui permettent de prélever ou de fournir l'information sur le pluribus. Les connecteurs ainsi banalisés, peuvent accepter indifféremment chacune des cartes constituant le système MICRAL.

Il est donc possible d'adapter jusqu'à onze cartes sur le pluribus, l'utilisation d'un deuxième pluribus permet de doubler le nombre des cartes.

L'architecture MICRAL est présentée en FIG A.

### IIA LA CARTE PROCESSEUR

Elle comprend un microprocesseur 8 008 et ses circuits associés permettant le décodage des états et les synchronisations. On y trouve également le système d'interruption, une horloge temps réel, le dispositif de démarrage automatique et le registre d'adressage général de quatorze bits permettant d'adresser directement jusqu'à 16K mots de mémoire, de contrôler les compteurs et un contrôle lumineux d'interruption.

#### IIA.1 Le système d'interruption

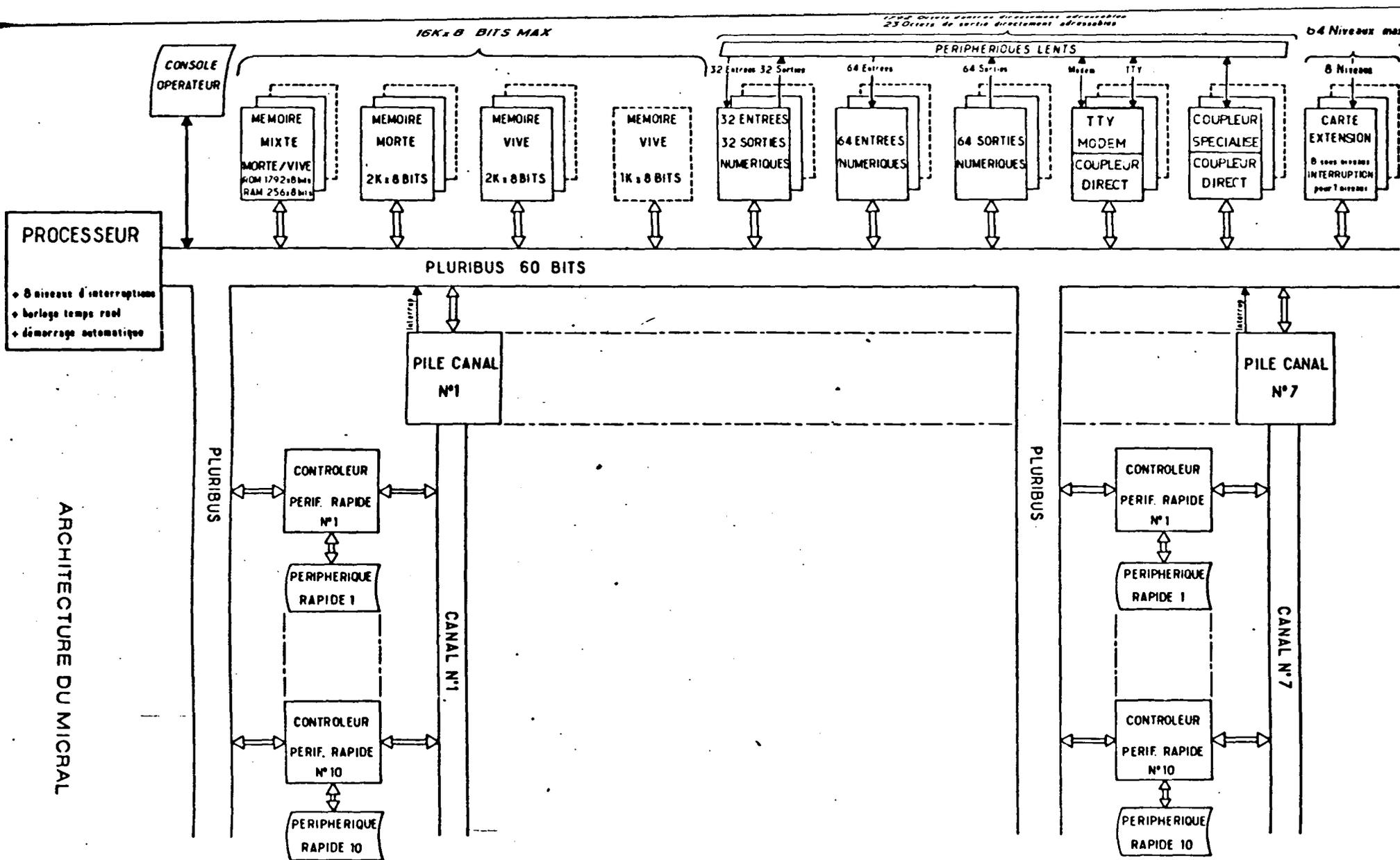
=====

A l'exception du niveau zéro (qui est toujours actif) chaque niveau peut être armé ou désarmé individuellement et masqué ou démasqué globalement.

Lorsqu'une interruption est activée, le programme est renvoyé à l'une des huit adresses de la page zéro.

Chaque adresse peut être le départ d'un sous programme comprenant une succession d'au maximum huit instructions.

Le niveau 7 peut être connecté manuellement à l'horloge temps réel.



ARCHITECTURE DU MICRAL

## IIA.2 L'horloge temps réel

=====  
 L'horloge temps réel peut être ajustée de 100 micro-secondes à 1 heure, avec une résolution infinie, l'ajustement se fait au moyen d'un potentiomètre.

## IIB LE PLURIBUS

Le pluribus a deux fonctions :

- 1° Supporter matériellement les cartes réalisant les diverses fonctions.
- 2° Connecter électriquement les cartes entre elles.

Sur le plan électrique, le pluribus comporte 74 bornes dont 9 sont inutilisées.

Les fonctions des bornes sont indiquées ci-dessous :

- Alimentation
- Signaux de synchronisation
- Signaux de commande
- Signaux d'adressage
- Données.

## IIB.1 Description fonctionnelle des bornes

### IIB.1 a) Alimentation

			courant maxe
A1	A37	LA masse	1.A
B1	B37	+ 5V	1.A
B2		- 9V	1.A
B36		SECOURS	

La borne secours permet de maintenir une tension sur les mémoires vives pour éviter la perte d'information sur coupure du secteur. Cette tension vient de l'alimentation.

### IIB.1 b) Les signaux de synchronisation

Tous ces signaux sont générés par la carte processeur et utilisés dans toutes les autres cartes.

Ø2 :

C'est la phase de la base de temps utilisée pour fixer avec précision toutes les fonctions de MICRAL. Du point de vue du processeur, on peut utiliser deux Ø2, l'un en phase avec SYNCRO que l'on désignera par Ø2<sub>1</sub>, l'autre en phase avec SYNCRO que l'on désignera par Ø2<sub>2</sub>.

SYNCRO :

Définit la période de base du processeur.

T2 :

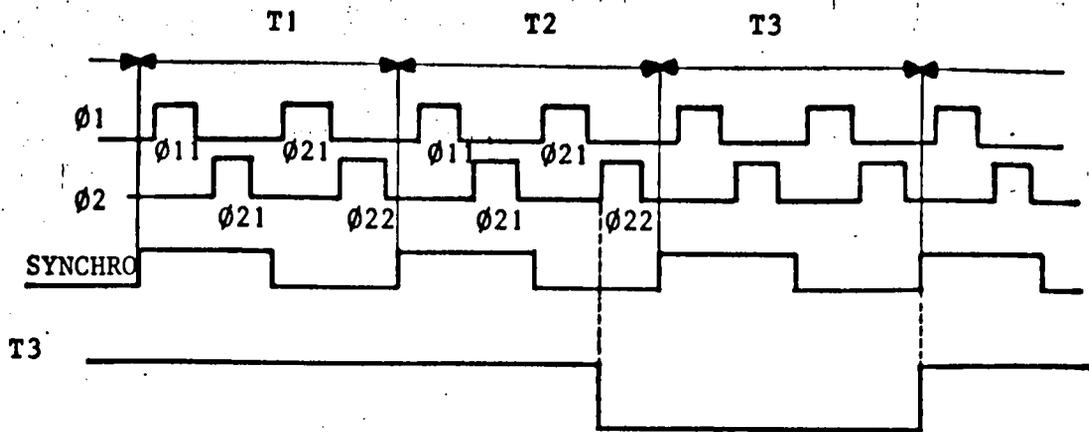
Ce signal correspond à la période d'adressage de la partie haute de l'adresse mémoire, de l'adresse de groupe dans l'instruction d'entrée et de l'adresse du périphérique de sortie.

T3 :

Matérialise l'état du processeur qui suit immédiatement l'état T2 ou l'état PAUSE.

T3' :

Venant de la carte processeur, est utilisé dans toutes les cartes. Ce timing est le plus important du point de vue de l'utilisateur. Pour que l'information fournie à MICRAL puisse être prise en compte correctement, il faut qu'elle recouvre ce timing. Pour cela il suffit qu'elle apparaisse au plus tard 500 nS après la fin de T2 et qu'elle recouvre T3. Si les données apparaissent trop tard sur le bus, il y a un risque que le processeur prenne en compte une mauvaise information. Pour l'éviter, il suffit de n'appliquer PRET qu'après l'établissement des données. Cette manière de procéder peut entraîner la perte de la durée d'un état machine. En revanche on supprime le risque de prendre en compte une mauvaise information.



La figure ci-dessus nous montre le fonctionnement du T3'.

CCO

CC1 :

Ces deux bits apparaissent pendant l'état T2 et définissent le cycle mémoire de la phase en cours.

PAUSE :

Indique que le processeur est en attente du fait que la commande READY n'est pas revenue à zéro suffisamment vite.

ARRET :

Indique que le processeur est à l'arrêt à la suite d'une instruction HLTE. La reprise ne peut se faire que par une interruption.

IIB.1 c) Les signaux de commandes

READY :

Lorsque cette borne est à + 5V, le processeur passe en état d'attente après l'état T2. Si l'information demandée par le processeur est disponible suffisamment tôt pour éviter l'état d'attente, l'organe sollicité doit renvoyer sur cette borne une tension 0V au plus tard 500 nS' après le front de descente de T2.

READY C :

Cette fonction est créée par la console pour obtenir un fonctionnement en pas à pas. Lorsqu'une tension 0V est appliquée sur cette borne, le processeur passe en attente même si READY revient à 0 volt ; dès qu'elle monte à + 5V, le fonctionnement devient normal.

INIT :

Lorsqu'un OV est appliqué sur cette borne, le processeur est réinitialisé. Cette tension commande un bistable R6Z1 lui-même, crée une interruption de niveau zéro. La durée d'INIT doit être supérieure ou égale à 3 micro-secondes.

R6Z1 :

Ce bistable passe à zéro sur commande INIT et revient à + 5V sur acquittement de l'interruption de niveau zéro.

SUB :

Cette tension, créée par une clé de la console inhibe toutes les sorties des cartes vers le processeur et valide les clés de la console pour forcer une instruction, en pas à pas, à partir de la console.

IIB.1 d) Les adresses basses : S0 à S7

On trouve sur ces bornes l'adresse basse de la case mémoire adressée dans le cycle OPERATION, LECTURE, ECRITURE. Dans le cycle Entrée/Sortie on trouve le sous-code de l'adresse de voie sur une instruction d'entrée, et les données de sortie dans une instruction de sortie.

IIB.1e) Les adresses hautes : S8 à S13

On trouve sur ces bornes l'adresse de la page de mémoire adressée dans les cycles OP, LNC, ECR et le six bits de poids le plus faible du code de l'instruction en cours dans le cycle E/S (les bits de poids fort étant CCO et CC1).

IIB. 1 f) Les données : D0 à D7

Sur ces bornes on trouve les données destinées à la mémoire. Elles apparaissent pendant l'état T3. Comme celui-ci est en fait élaboré à partir de T2 et non T3 ; cette donnée est disponible lorsque le système est en attente, en mode pas à pas. Il est donc possible de contrôler ce qui sera écrit en mémoire pendant la fin de cycle.

IIB. 1 g) Les données MDO à MD7

Sur ces bornes, on trouve les données destinées au processeur, venant soit de la mémoire, soit des compteurs d'entrée, soit des clés d'entrée de la console. Même remarque qu'au paragraphe précédent sur sa présence pendant le pas à pas.

IIB. 1 h) Les bornes d'Interruption BI1 à BI7

Ces bornes sont destinées à recevoir les interruptions de niveau 1 à 7 respectivement, l'interruption de niveau zéro devant être appliquée à la borne INIT.

IIB. 1 i) Les acquittements d'interruption AINT1 à AINT7

Sur ces bornes on trouve les acquittements des interruptions de 1 à 7. L'acquiescement du niveau zéro est interne à la carte processeur.

IIB.2 Spécifications techniques des signaux du pluribus  
=====IIB 2 a) Charge maximale sur les sorties

Les sorties AINT0 et AINT7 sont sous forme TTL série 74.

Les bornes Ø1, Ø2, SYNCRO, T1, T2, T3, T3', PAUSE, ARRET, RZ6I - sortie horloge, S0 à S13, D0 à D7 sont sous forme TTL série 74 L par connecteur, soit au maximum de 22 entrées TTL 74L.

IIB. 2 b) Spécifications d'entrées

Les bornes BI1 à BI7 sont sous forme TTL série 74.

Les entrées des bornes READY, READY C, INIT, MDO à MD7 se présentent comme une résistance de 470 Ω ramené au 5V. Elles acceptent donc des circuits TTL de la série 74 à collecteur ouvert.

III - LA MEMOIRE

La mémoire de MICRAL est divisée en 64 pages de 256 octets.

Son architecture est basée sur une modularité qui autorise l'incrément page par page pour la mémoire mixte et 4 pages par 4 pages pour la mémoire vive.

Pour obtenir ceci, les mémoires sont constituées par des circuits intégrés implantés sur les cartes mémoires par l'intermédiaire de supports. Chaque carte contient un circuit de sélection permettant au processeur de l'identifier et de la sélectionner, tous les décodages nécessaires à l'accès de l'adresse appelée, et la sélection LECTURE, ECRITURE lorsqu'il s'agit d'une mémoire vive.

L'adresse de la carte arrive par les bornes S11, S12, S13, celle de la page par S8, S9, S10. L'adresse du mot par les bornes S0 à S7.

Les cartes mémoires reçoivent les données par D0/ à D7/ et les fournissent par MDO à MD7.

Les bornes ECO/ et EC1/ indiquent le type de liaison demandé par le processeur.

- . CCO<sub>0</sub> = 0, CC1 = 0 indique la recherche d'instruction
- . CCO = 0, CC1 = 1 indique la recherche des données
- . CCO = 1, CC1 = 1 indique une demande d'écriture
- . CCO = 1, CCO = 0 indique que la mémoire n'est pas appelée (E/S).

En ce qui concerne le déroulement en T1, l'adresse basse apparaît sur le bus, et en T2 les bits CCO, CC1 et l'adresse haute sont disponibles sur le bus.

L'information est échangée en T3'.

#### IV - LES CARTES COMPTEURS <sup>A</sup> COUPLEUR

Le couplage du MICRAL avec l'extérieur se fait soit par l'intermédiaire de la "PILE Canal", soit par des coupleurs d'entrée sortie. D'une manière générale, tous les coupleurs sont connectés en logique négative.

En ce qui concerne les commandes, chaque entrée et chaque sortie génèrent un signal d'acquiescement. Ce signal indique que les données d'entrée ont été prises en charge ou que les données de sortie ont été mémorisées.

Sur le plan électrique, les coupleurs sont connectés, côté MICRAL, sur le pluribus (borne D0 à D7 pour les sorties, et MDO à MD7 pour les entrées) et côté périphérique en bout de carte.

Le MICRAL permet d'adressage direct de 8 groupes de 256 voies octets en entrée et 24 voies octets en sortie. L'une d'elle la voie 23, est réservée pour l'armement des interruptions. Chaque voie en entrée comme en sortie possède huit bits.

Le MICRAL possède en outre la possibilité d'un sous-adressage des entrées par préchargement de l'accumulateur ; cette fonction permet donc d'adresser jusqu'à 7 fois 256 entrées de 8 bits. (Une adresse de groupe au moins est réservée à la carte PILE CANAL).

En entrée d'adresse de groupe se trouve sur les bits S9, S10 et S11 du bus, l'adresse de la voie sur les bits S0 à S7 (S12 et S13 sont nécessairement 00).

En sortie, l'adresse se trouve sur les bits S9, S10, S11, S12 et S13, ces deux derniers ne pouvant pas prendre l'état 00 réservée aux entrées.

Le principe de l'adressage des coupleurs est le suivant :

- En entrée, certains fils adressent le groupe, certains adressent la première voie. Les autres occupent automatiquement les adresses consécutives suivantes.
- En sortie, un seul circuit suffit pour adresser la première voie du coupleur, les autres comme dans le cas des entrées, sont assignées automatiquement.

Toutes les informations transitent par l'accumulateur. En entrée, si l'on veut bénéficier de toute la capacité du système, il faut utiliser deux instructions. La première consiste à précharger l'accumulateur avec l'adresse de la voie, la seconde est l'instruction d'entrée proprement dite.

En sortie, une seule instruction est suffisante et exécute le transfert du contenu de l'accumulateur vers les huit bits de la voie correspondante par les bits 50 à 57.

#### IVA LA CARTE COUPLEUR 32 ENTREES 32 SORTIES

Cette carte permet de connecter 4 voies octets (32 entrées) en entrée, et 4 voies octets (32 sorties) en sortie. Un système MICRAL ne peut pas recevoir plus de deux de ces cartes. En entrée elles ne sont utilisables que sur l'adresse de groupe zéro. C'est pourquoi il est déconseillé d'utiliser cette adresse comme adresse de PILE. Les adresses de voie, toujours en entrée, ne peuvent être choisies que dans deux configurations au moyen d'un cavalier.

En sortie, toutes les configurations sont acceptables à l'exception de 00 sur les poids les plus forts, car ceci est réservée aux entrées.

L'adressé du périphérique de sortie se trouve sur les bits 9 à 13 du pluribus, (S12 et S13 ne pouvant être simultanément à zéro).

Les signaux des bornes S9 et S10 sont décodés sur la carte et permettent la sélection de l'octet parmi les 4 de la carte. L'assignation d'adresse se fait sur les signaux venant de S11, S12 et S13.

Un signal d'acquiescement ACE en entrée et ACS en sortie, indique que l'entrée a été prise en compte ou que la sortie a été mémorisée.

Les entrées comme les sorties travaillent en logique complémentée.

#### IVB LA PILE CANAL

##### IVB.1 Description générale de la carte Pile Canal

Une carte dite Pile Canal est constituée d'une mémoire à structure de pile ayant deux accès multiplexés :

- L'un vers le processeur est connecté par les bornes S0 à S7 en sortie et M0 et M7 en entrée. L'accès se fait séquentiellement par les instructions INP ou OUT.
- L'autre vers l'extérieur destiné à une liaison avec un périphérique rapide.

Ce dernier accès est composé de 8 bits en entrée et 8 bits en sortie.

La mémoire à accès aléatoire est adressée par un pointeur commandé automatiquement dans le sens voulu à chaque transfert d'information.

Une entrée-sortie permet en cas de besoin, d'accéder au pointeur pour lire sa position ou y inscrire une adresse déterminée.

Ceci peut se faire depuis le processeur, à travers des coupleurs d'entrée et de sortie.

Dans les transferts, le séquençement des opérations se fait par demande de transfert (DT) et d'acquiescement (STDo). Une entrée commande le sens du transfert (IN/OUT). Un compteur de mots contrôle le déroulement de l'opération en décrémentant son contenu à chaque transfert, et en l'arrêtant automatiquement lorsque celui-ci est nul.

Une entrée permet de précharger son contenu à une valeur désirée.

C'est le chargement du compteur de mots qui initialise le transfert.

La fin du transfert, correspondant au passage à zéro du compteur provoque l'apparition d'un signal OV sur le bistable de transfert bloc (BTB). Ce signal peut être utilisé soit par interruption, soit par test en le couplant par une entrée.

Du côté processeur, on n'utilise que l'adressage de groupe ; il n'y a donc pas lieu de précharger l'accumulateur pour adresser la pile.

Cela augmente la vitesse d'accès mais neutralise les 250 entrées correspondant au groupe.

#### IVB.2 Fonctionnement des Piles canal du MICRAL

\*\*\*\*\*

La figure 1 schématise le fonctionnement d'une Pile de huit positions. L'entrée et la sortie (E et S) de la pile aboutissent à un aiguilleur qui permet de lire ou d'écrire dans l'une des cases mémoires. Un pointeur commande l'aiguilleur. Ce pointeur est incrémenté ou décrémenté d'une manière automatique par les commandes de lecture

ou d'écriture : si le pointeur se trouve à l'adresse N, une commande d'écriture transmet la donnée présentée à l'entrée E (huit fils car chaque case mémoire contient un octet) et l'écrit dans la case d'adresse N ; ensuite le pointeur est incrémenté et pointe la case d'adresse N + 1 comme l'indique la flèche en pointillé. Si d'autres demandes d'écriture intervenaient, on continuerait à écrire et à incrémenter le pointeur et les écritures s'effectueraient donc dans des cases d'adresses successives. Si au contraire, le pointeur adressant la case N + 1, on demande une lecture dans la pile, celui-ci sera d'abord décrémenté, ensuite la case pointée (celle d'adresse N) sera alors lue et l'information sera transmise à la sortie S ; cette commande aurait donc pour effet de lire la case que l'on avait précédemment écrite.

Une suite de commandes d'écriture a pour conséquence d'écrire dans des cases d'adresses successives et croissantes, et une suite de lectures de lire dans des cases d'adresses successives et décroissantes c'est-à-dire dans l'ordre inverse de celui où on les a écrites.

Notons, dans notre exemple, qu'une suite de commandes d'écriture supérieure à huit réécrit dans des cases qui avaient été précédemment écrites et seuls les huit derniers octets restent mémorisés dans la pile.

La Pile canal du MICRAL est plus complexe. Le pointeur est géré automatiquement, mais il peut également être positionné à une valeur désirée en chargeant celle-ci par l'intermédiaire d'un coupleur de sortie. Il est également possible de lire le contenu du pointeur.

Par ailleurs, la pile possède deux entrées (une entrée processeur et une entrée externe) et deux sorties (une sortie processeur et une sortie externe). L'entrée et la sortie commandées par le processeur fonctionnent toujours comme décrit plus haut. Lorsque la pile est

commandée par l'extérieur, trois modes sont possibles :

- 1° Le Mode Pile dont le fonctionnement est identique à celui décrit plus haut ;
- 2° Le Mode Cyclique, dans lequel le fonctionnement diffère du précédent par le fait qu'en lecture on lit d'abord, puis on incrémente le pointeur. De cette manière, on peut, après avoir rechargé le pointeur à sa valeur initiale, relire les octets dans le même ordre que celui où on les a écrits ;
- 3° Le Mode inversé.

Dans ce mode, la modification du pointeur est inverse de celle du mode pile : lecture, puis incrémentation du pointeur, décrémentation du pointeur, puis écriture.

Ce mode permet de transférer des octets dans le même sens entre le processeur et la pile qu'entre la pile et un périphérique. Il faut cependant noter que, dans ce cas, l'ordre de rangement dans la pile est différent suivant que les données sont fournies par le processeur ou le périphérique.

L'utilisation des différents modes est la suivante :

Lorsque la pile sert au dialogue entre deux périphériques, il faut utiliser le mode cyclique de manière à transmettre les données au périphérique récepteur dans le même ordre que les délivre le périphérique émetteur ; lorsque la pile sert au dialogue entre le calculateur et un périphérique, il faut utiliser le mode inversé pour obtenir l'information par le processeur dans le même ordre que celui délivré par le périphérique.

Il faut enfin noter que le nombre maximal de mouvements du pointeur peut être contrôlé par un registre appelé compteur.

**IVB.3 Connexions permettant d'obtenir les différents modes**  
 =====

Mode Pile : connecter par un cavalier les bornes 7 et 8 du circuit A4.

Mode Cyclique : connecter par un cavalier les bornes 6 et 9 du circuit A4 et relier les bornes TC et IN/OUT.

Mode mixte Pile Cyclique : connecter par un cavalier les bornes 6 et 9 du circuit A4.

Lorsque TC est en position haute, on obtient le mode cyclique et lorsque TC est en position basse, on obtient le mode pile. La commande peut se faire par un coupleur de sortie.

Mode inversé : consulter les services commerciaux de R2E.

#### IVB.4 Principe de fonctionnement en transfert externe

=====

Pour utiliser la pile pour des transferts externes, il faut l'initialiser en préchargeant le compteur (qui détermine ainsi le nombre maximal de mots échangés pendant le transfert) dont l'entrée est contrôlée par la borne STPC/, l'entrée LINKIN devant être en position haute. Le périphérique peut alors commander des transferts d'octets jusqu'à une cadence maximale de 1 Megaoctet par seconde, à sa cadence propre. A chaque transfert d'octet, le compteur est décrémenté. Lorsque le compteur passe à zéro, après transfert du dernier octet, le transfert externe est inhibé.

La présente note d'application a pour but de définir les timings dans différentes configurations d'utilisation de la pile canal. De manière à rendre les schémas plus compréhensibles, les temps de montée et de transfert seront négligés. Seuls les temps nécessaires à l'utilisation sont spécifiés. Certains timings sont donnés en termes de valeurs typiques lorsque leurs valeurs ne sont pas critiques pour l'utilisation. Tous les temps de montée sont de 30 nsec en valeur typique.

#### IVB.5 Initialisation

=====

Les figures 3 et 4 schématisent les deux manières d'initialiser la pile canal. Si la pile n'est pas connectée à une autre pile, le

LINEIN doit être laissé en l'air et se trouve à un niveau haut.

L'initialisation s'obtient alors par préchargement canal, en présentant aux entrées PRO/ à PR7/ une configuration comprise entre 0 et 255 représentant le nombre d'octets que l'on désire transférer moins un. Par exemple, pour transférer 1 octet, il faut précharger 0 ; pour transférer 256, il faut précharger 255.

Lorsque la pile est initialisée, le BTB/ tombe, les demandes de transferts DT/ déclenchent les transferts octets, le dernier provoquant la remontée du bistable BTB/. C'est le signal STDO/ du dernier transfert qui provoque cette remontée.

La figure 3 montre les changements d'état du BTB/. Il faut noter que si l'on charge 0 dans le compteur (PRO/ à PR7/ en position haute ou en l'air), cela revient à demander un transfert de 256 octets.

Notons qu'il n'est pas nécessaire que la première demande de transfert ait un recouvrement avec STPC/ car un bistable dans la carte pile mémorise l'apparition de toute demande de transfert, même avant initialisation.

La figure 4 montre les changements d'état du BTB/ avec l'initialisation de la pile par le LINEIN. Ici, le compteur est supposé préchargé alors que la borne LINKIN est maintenue en position basse, par exemple par la borne LINKOUT d'une autre pile. L'impulsion STPC/ de la figure signale sur le diagramme le préchargement du compteur. Mais le BTB/ ne tombe que lorsque le LINKIN est passé en position haute. Il retombe sur le front avant du dernier STDO/.

Sur cet exemple, la demande de transfert qui est apparue avant l'initialisation du canal n'est plus présente au moment de l'initialisation. Néanmoins, elle est prise en compte, avant été mémorisée.

#### IVB.6 Transferts d'octets \*\*\*\*\*

En écriture dans la pile, les données doivent rester stables pendant

la durée de BT/.

En lecture, elles sont disponibles pendant la durée de STDO/.

On peut effectuer les opérations de deux manières différentes :

- Par demande et acquittement ;
- En boucle ouverte.

a) Demande et acquittement

L'interface utilisateur doit être constitué par un bistable comme le montre la figure 5. La demande de transfert, fournie par ce bistable, est armée par une impulsion différenciée (durée inférieure à 150 nsec). et acquittée par le signal BT/. Le diagramme des temps est explicité sur la figure 6.

b) Boucle ouverte

L'interface utilisateur fournit la demande de transfert sous forme d'une impulsion dont la durée doit être comprise entre 200 et 500 nsec. Le diagramme des temps est présenté sur la figure 7.

Lorsque la demande de transfert a été présentée avant l'initialisation, elle est prise en compte et le bistable de transfert est activé par le signal STPC/ avec un retard typique de 120 nsec, ou par la montée du LINKIN avec un retard typique de 90 nsec.

IVB.7 Réarmement du LINKOUT  
=====

Lorsqu'une pile canal est commandée par une autre par connexion du LINKOUT de l'une sur le LINKIN de la suivante, il y a lieu de réarmer le LINKOUT de la première lorsque le bistable de transfert bloc de la seconde remonte. L'acquittement du LINKOUT est obtenu en branchant le BTB/ de la deuxième sur le BTB2/ de la première.

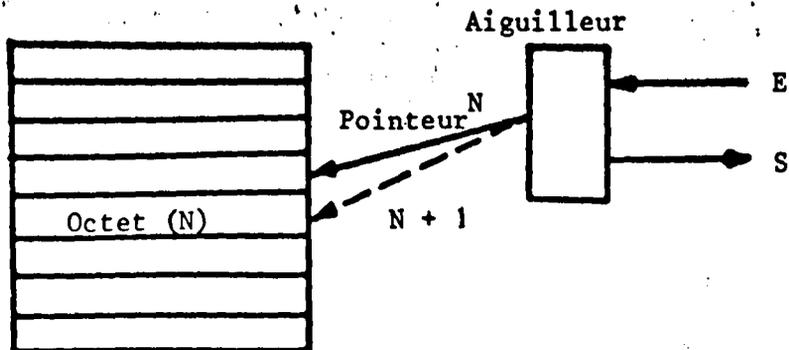


Figure 1 : représentation d'une pile à 8 cases. La flèche symbolise le pointeur adressant la case N, celle en pointillé celui adressant la case N + 1. Lorsque le pointeur adresse la case située en bas, il saute à la case située en haut sur incrémentation.

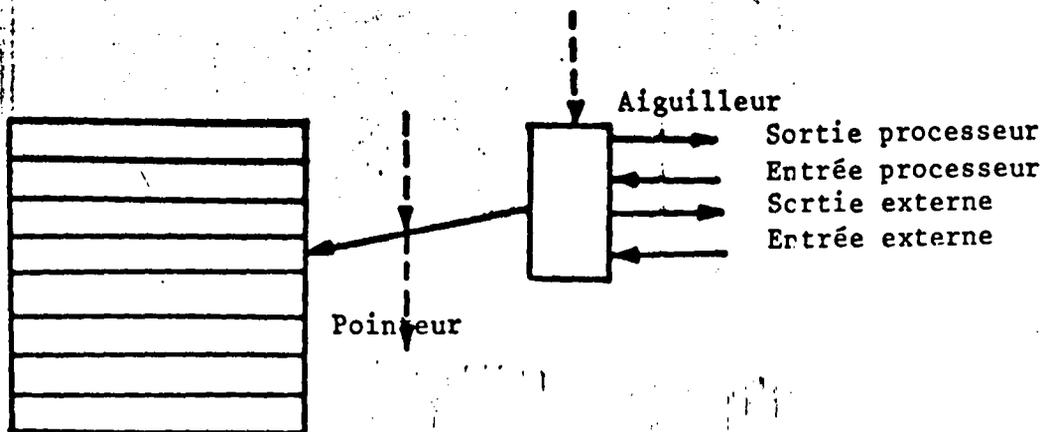


Figure 2 : représentation d'une pile possédant deux entrées et deux sorties.

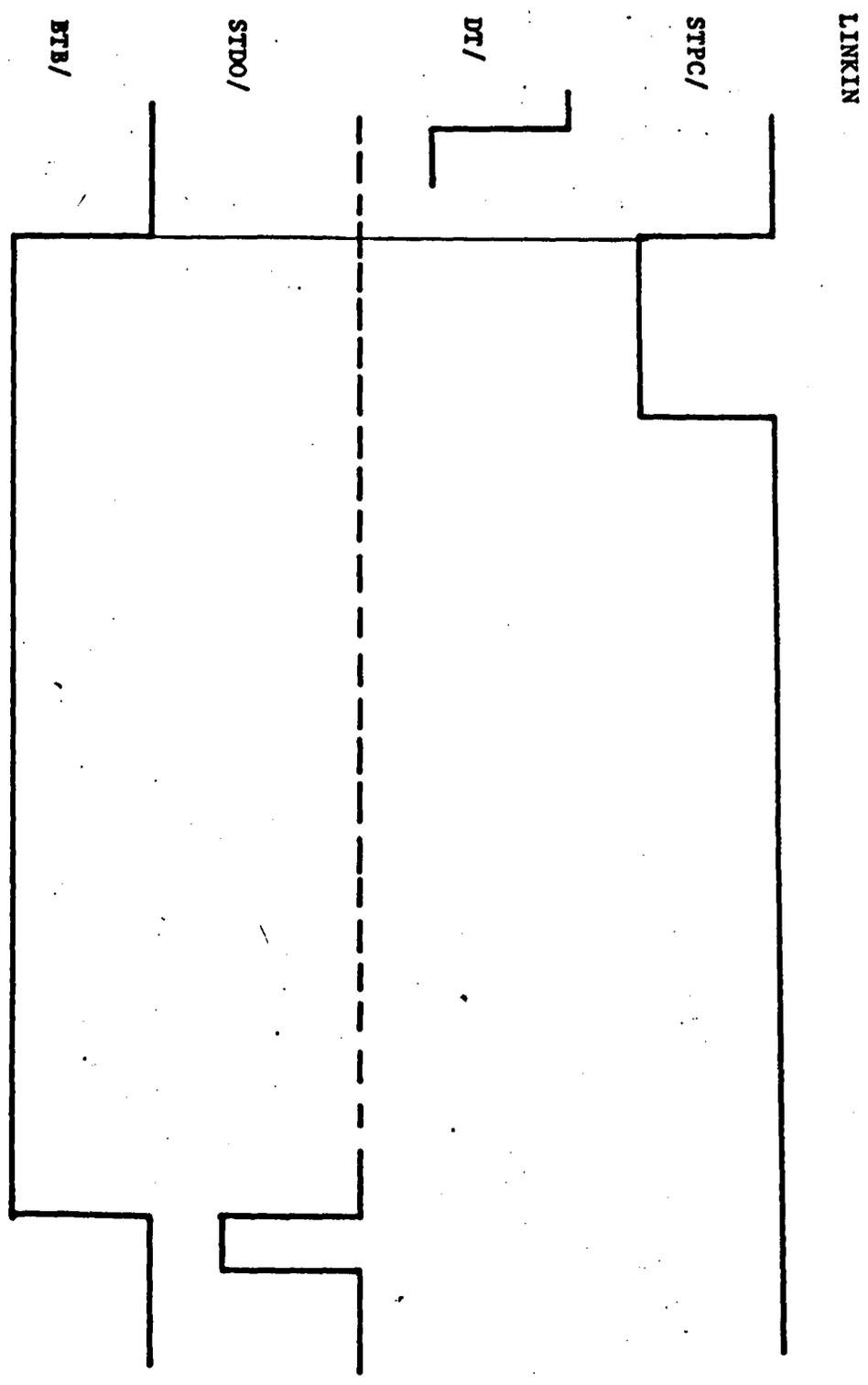


Figure 3 : Initialisation par préchargement canal.

ANNEXE 25

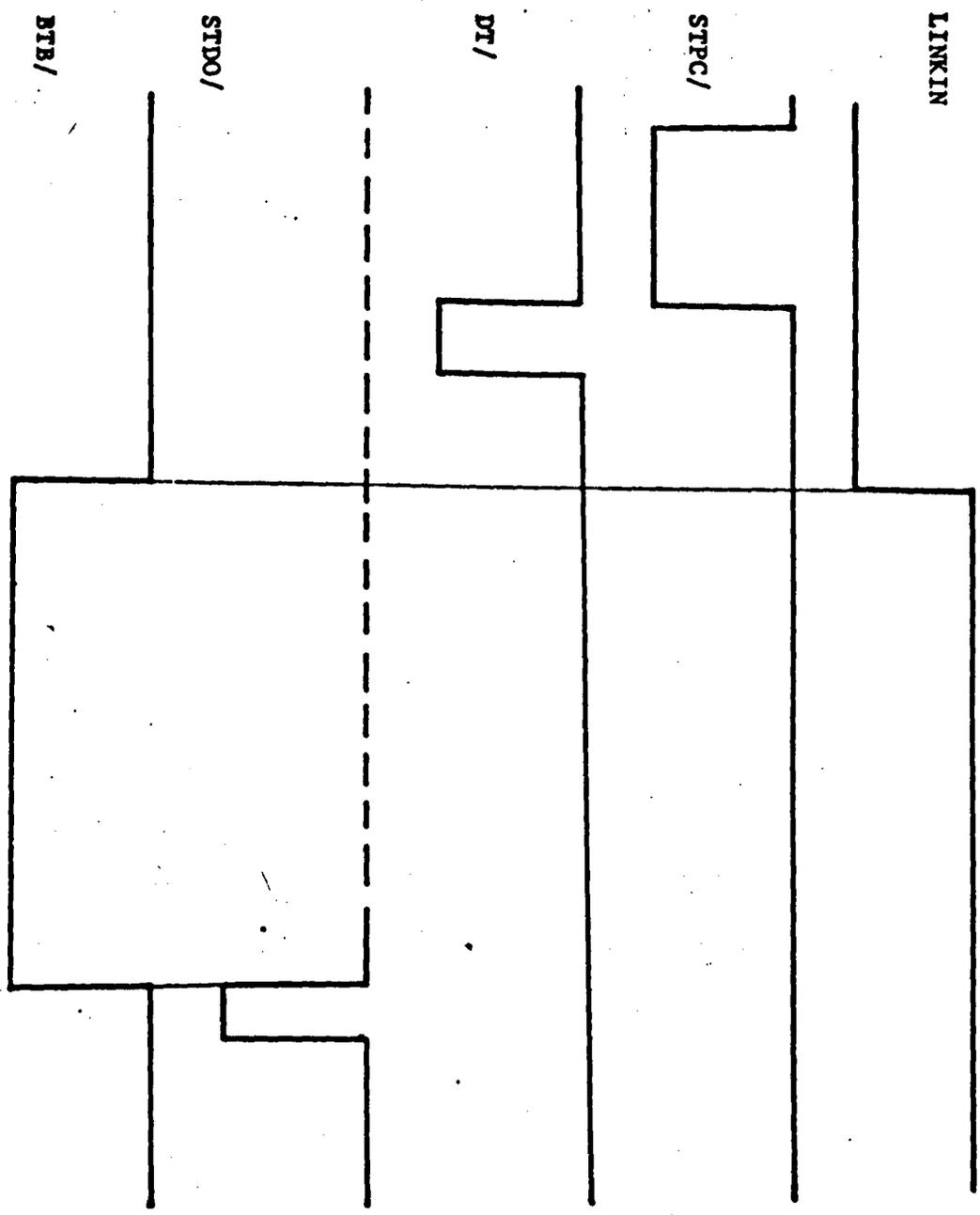


Figure 4 : Initialisation par LINKIN

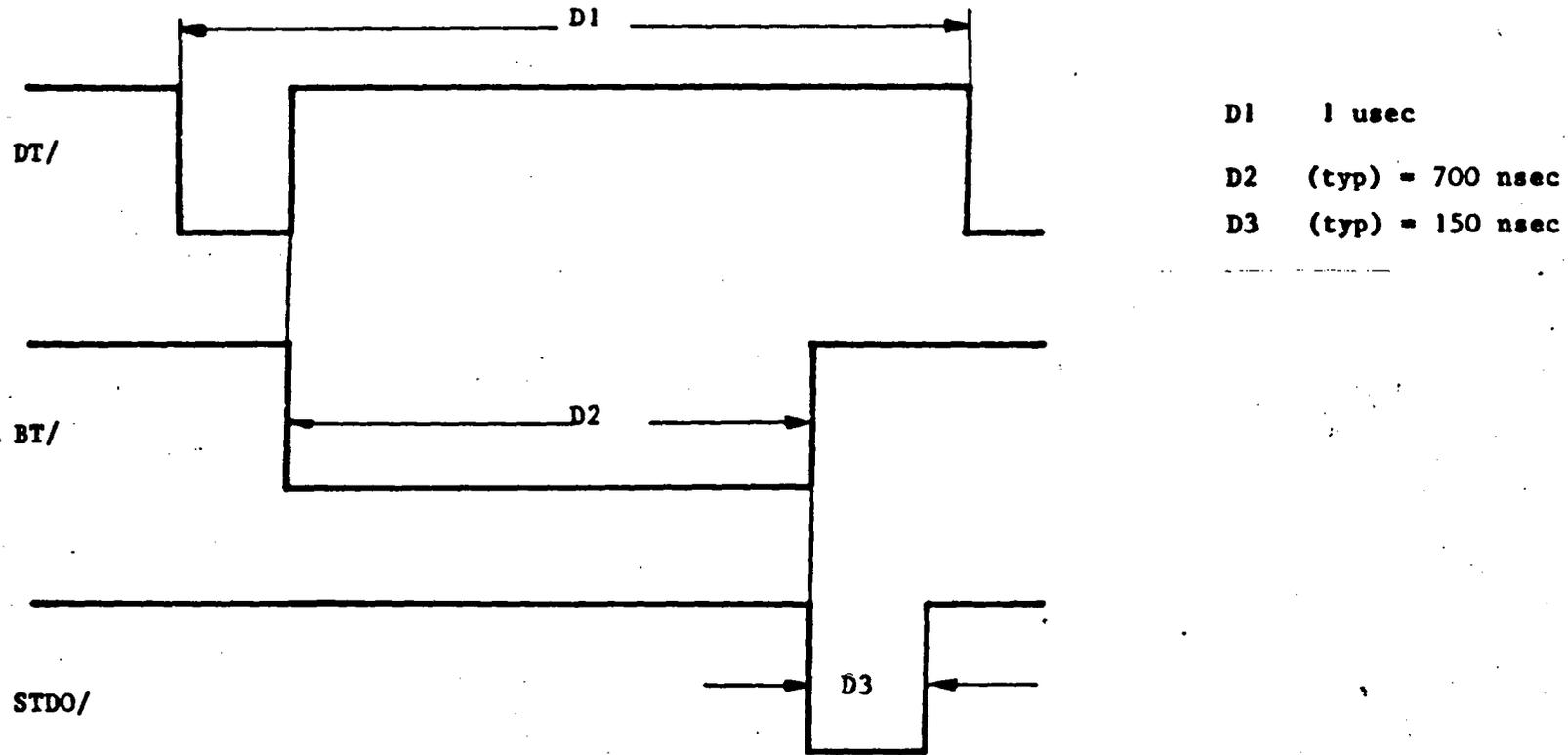
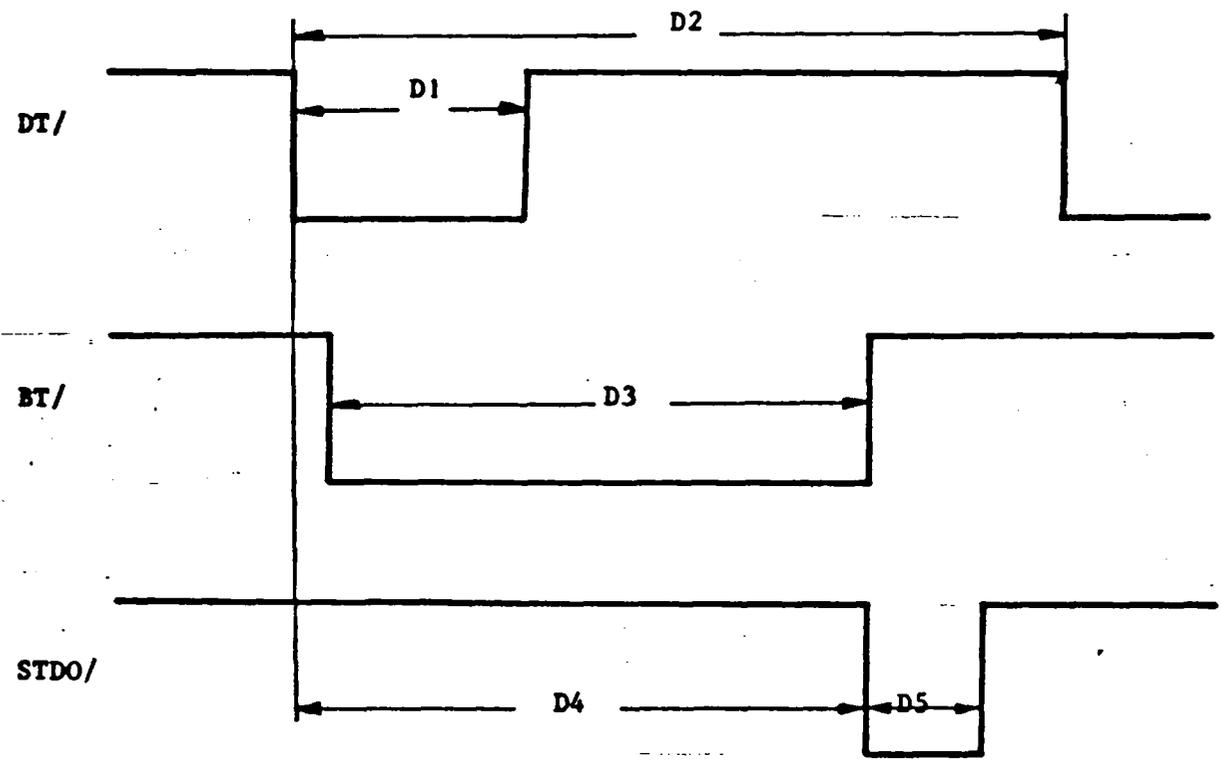


Figure 6 : Demande de transfert avec demande acquittement



- D1 700 nsec
- D2 1 usec
- D3 (typ) = 700 nsec
- D4 (typ) = 850 nsec
- D5 (typ) = 150 nsec

ANNEXE 27

Figure 7 : Demande de transfert en boucle ouverte

## C O N C L U S I O N

-----

La mise au point d'un accès direct mémoire modulaire sur MICRAL a permis de multiplier par 60 la vitesse d'échange de ce calculateur tout en conservant intacte sa structure interne et son mode de fonctionnement. Il est maintenant capable d'être efficacement couplé à d'autres machines ou à n'importe quel périphérique rapide.

Le système conçu présente l'avantage d'une bonne stabilité aux perturbations extérieures et devient ainsi un outil particulièrement bien adapté à une utilisation industrielle intensive. En effet, la tendance actuelle de la commande et du contrôle des processus industriels est d'entrer la centralisation de tous les traitements sur une grosse machine. Une répartition des tâches, dans un atelier, peut passer par l'utilisation de dispositif de la taille de celui considéré dans notre étude. Des moyens d'interconnexion puissants deviennent alors nécessaires et le canal à accès direct permet de résoudre ce problème.