

50376
1982
181

50376
1982
181

THESE

présentée à

L'UNIVERSITE DES SCIENCES ET TECHNIQUES DE LILLE

pour obtenir le grade de

DOCTEUR TROISIEME CYCLE

Spécialité : Electronique

par

Jean-Michel BARBEZ

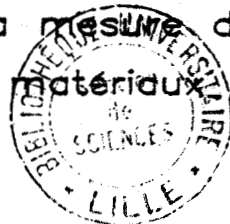
maitre ès sciences

SUR

L'AUTOMATISATION DES MESURES

ET DU CONTROLE D'UN PENDULE DE TORSION

Application à la mesure du frottement
intérieur de matériaux métalliques



Soutenue le 24 Juin 1982 devant le Jury d'examen:

Président	M. L. RACZY	Professeur
Rapporteur	M. J.-C. GENTINA	Professeur
Examineurs	M. P. BORNE	Professeur
	M. D. CORBEEL	Maitre Assistant
	M. J. FOCT	Professeur
	M. F. LAURENT	Professeur
	M. P. ROCHEGUDE	Maitre Assistant
Invité	M. J. MACHEFER	
	Directeur Commercial de METROLOGIE	

Le travail présenté dans ce mémoire a été effectué au Laboratoire d'Informatique Industrielle de l'Institut Industriel du Nord et au Laboratoire de Systématique de l'Université des Sciences et Techniques de Lille I.

Je tiens, tout d'abord, à remercier très vivement Monsieur RACZY, Professeur à l'Université de Lille I, d'avoir bien voulu accepter de présider mon Jury de Thèse. Qu'il trouve ici, le témoignage de ma respectueuse gratitude et de mon profond dévouement.

Tous les travaux de mon étude ont été menés sous la Direction de Monsieur J.C. GENTINA, Professeur à l'Institut Industriel du Nord et Directeur du Laboratoire d'Informatique Industrielle de l'I. D. N., qui, par ses conseils et son amitié, a su m'initier à la recherche et guider mon travail. Très conscient de ce qu'il m'a apporté, je le remercie bien sincèrement.

Monsieur FOCT, Professeur à l'Université de Lille I, m'a soutenu et encouragé dans ma recherche. Les conseils dont il a su me faire profiter, ainsi que sa présence dans mon Jury, m'a profondément touché. Qu'il reçoive ici, le témoignage de ma reconnaissance.

Je tiens aussi à exprimer ma reconnaissance à Monsieur F. LAURENT, Professeur à l'Université de Lille I et Directeur du Laboratoire de Systématique, qui m'a accueilli et a su m'intégrer au sein de son équipe. Je lui exprime toute ma reconnaissance pour sa participation à mon Jury.

Je tiens à remercier Monsieur P. BORNE, Professeur à l'Institut Industriel du Nord, qui a bien voulu juger ce travail et faire partie de mon Jury de Thèse.

Je suis grandement honoré de l'intérêt que Monsieur CORBEEL, Maître-Assistant à l'Institut Industriel du Nord, a bien voulu porter à mes travaux. Je tiens à lui témoigner ma profonde gratitude.

Je remercie Monsieur ROCHEGUDE, Maître-Assistant à l'Université de Lille I, qui s'est intéressé à mon travail et me fait l'honneur de participer à ce Jury.

Je suis très flatté de la présence à mon Jury de Thèse de Monsieur MASCHEFFER, Directeur Commercial de Métrologie. C'est un agréable devoir pour moi de l'en remercier vivement.

Monsieur CHARTRES, Ingénieur à l'Institut Industriel du Nord, m'a à tout moment, encouragé et initié à l'informatique industrielle, par ses conseils éclairés et sa grande expérience. Je tiens à lui exprimer mes vifs remerciements.

Une mention particulière est dûe à Messieurs SZUKALA et GUEMGHAR, Techniciens à l'Institut Industriel du Nord, pour leur aide et leur avis compétent qu'ils m'ont apportés dans la réalisation de SYGAL.

Que Messieurs MAYET et LEGRAND trouvent ici mes vifs remerciements pour leur gentillesse et leur aide qu'ils ont pu m'apporter durant l'élaboration de cette thèse.

Qu'il me soit permis de rendre hommage à tous les chercheurs du Laboratoire d'Informatique Industrielle de l'I. D. N. et du Laboratoire de Chimie de l'Université de Lille I, pour l'aide précieuse qu'ils m'ont apportée tant sur le plan scientifique que sur le plan humain.

Enfin, je tiens à remercier Madame TRICOT pour la dactylographie, Madame DELTOUR et Monsieur SOYEZ, pour le tirage de ce mémoire.

INTRODUCTION

CHAPITRE I -

DESCRIPTION DU PROBLEME, CONDITIONS D'EXPERIMENTATION

CHAPITRE II -

SPECIFICATION DES BESOINS

CHAPITRE III -

CONSTRUCTION DU MINI-ORDINATEUR

CHAPITRE IV -

INSTRUMENTATION DU PENDULE

CONCLUSION

ANNEXES

o
o o

INTRODUCTION GENERALE

Parmi les essais mécaniques classiques, tels que traction, rupture, fatigue, la mesure de frottement intérieur offre des possibilités intéressantes dans les domaines de l'observation et l'étude des phénomènes liés à la présence d'atomes interstitiels dans le réseau cristallin et à leur influence sur les propriétés mécaniques.

Dans ce mémoire, nous proposons l'étude et la mise au point d'un système assurant l'automatisation intégrale des mesures sur un pendule de torsion. Il s'agit essentiellement, de définir et de réaliser une structure informatique chargée de contrôler et de commander le pendule tout en assurant le traitement et l'archivage des données enregistrées.

Dans un premier chapitre, nous aborderons la présentation du principe de la mesure. Il s'agit d'interpréter les caractéristiques d'amortissement du pendule en oscillations libres ou entretenues dans le sens d'une dissipation d'énergie résultant du frottement interne du matériau étudié.

Dans un second chapitre, nous définissons les caractéristiques du matériel utilisé pour l'automatisation du pendule de torsion. Les différentes commandes concernant respectivement :

- i) la mise en oscillation libre du pendule
- ii) le contrôle de la température de l'échantillon
- iii) le guidage en position du capteur optique, monté sur un suiveur de spot.

Les mesures à prendre en compte pour l'interprétation de l'essai sont d'une part, la température, et d'autre part, l'amplitude des oscillations. Le frottement intérieur s'exprime en fait par un traitement numérique des valeurs acquises, qui nécessitent un grand nombre de points expérimentaux assurant ainsi une grande précision des résultats.

Tout ceci nous conduit à manipuler une quantité d'informations considérable qu'il est rationnel de traiter par ordinateur. L'utilisation de ce dernier dans la chaîne de mesure permet d'automatiser complètement le déroulement de l'expérience par traitement en temps réel des données mesurées.

La réalisation de ce mini-ordinateur fait l'objet du 3ème chapitre dans lequel nous aborderons successivement :

i) la description de l'unité centrale construite à partir d'un microprocesseur INTEL 8085 et l'ensemble de ses cartes périphériques (conversion, mémoire, processeur arithmétique, ...),

ii) la mise en œuvre des périphériques (console, imprimante, table traçante, support magnétique à cassettes),

iii) la présentation du logiciel du mini-ordinateur comportant notamment un moniteur et un basic interpréteur.

Enfin, dans un dernier chapitre, nous proposons de décrire l'instrumentation du pendule de torsion. Dans cette partie, nous aborderons successivement la présentation des interfaces d'adaptation, et le logiciel mis en place pour assurer l'automatisation du pendule.

CHAPITRE I

DESCRIPTION DU PROBLEME

CONDITIONS D'EXPERIMENTATION

DESCRIPTION DU PROBLEME
CONDITIONS D'EXPERIMENTATION

INTRODUCTION

I.1 - LE FROTTEMENT INTERIEUR DANS LES SOLIDES

I.1.1 - Présentation du phénomène physique

I.1.1.1 - *Cas d'une solution solide d'insertion*

I.1.1.2 - *L'effet Snoek*

I.1.2 - Le pendule de torsion

I.1.3 - Principe de mesure du frottement intérieur par pendule de torsion

I.1.3.1 - *Modélisation de l'éprouvette*

I.1.3.2 - *Comportement en régime libre*

I.1.3.3 - *Mesure des effets anélastiques*

I.1.3.4 - *Principe retenu pour l'expérimentation*

I.1.4 - L'intérêt de l'automatisation

I.2 - DESCRIPTION DU CAHIER DES CHARGES

I.2.1 - Acquisition des données

I.2.1.1 - *Caractéristique du capteur d'amplitude d'oscillations*

I.2.1.2 - *Mesure de la valeur de la température*

I.2.2 - Commande du processus

I.2.2.1 - *Mise en oscillation libre du pendule de torsion*

I.2.2.2 - *Commande de la variation de température*

I.2.2.3 - *Commande de position du capteur*

I.2.3 - Interfaces de communications et exploitation des résultats

CONCLUSION

DESCRIPTION DU PROBLEME CONDITIONS D'EXPERIMENTATION

INTRODUCTION

Nous proposons en premier lieu, d'aborder la présentation du processus dit le "frottement intérieur". Un tel phénomène se produit lorsque dans un métal pur A, il est possible d'ajouter des atomes étrangers B sans modifier la structure cristalline du métal de base. L'élément B, élément d'alliage, entre en solution dans A, où il forme la solution solide AB.

Ces atomes peuvent entrer en solution dans le métal A, soit en se substituant aux atomes A aux nœuds du réseau de celui-ci, soit en se plaçant aux interstices du réseau de A. Il s'agit de solutions solides d'insertion pour lesquelles les caractéristiques de la structure interne se traduisent par un amortissement plus ou moins rapide des contraintes imposées à un échantillon [1].

Dans une deuxième partie, nous présenterons le principe puis le matériel de mesure.

En dernier lieu, nous définirons toutes les caractéristiques et fonctions nécessaires à l'automatisation des mesures en justifiant le choix d'une solution basée sur la mise en œuvre d'un microcalculateur.

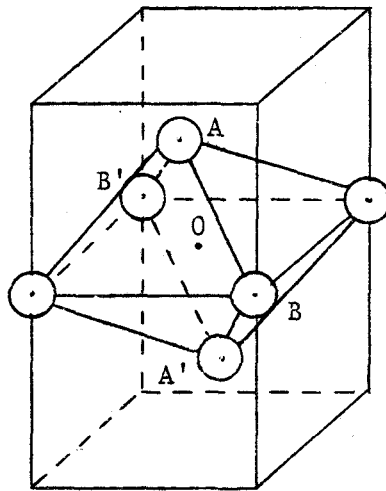
I.1 - LE FROTTEMENT INTERIEUR DANS LES SOLIDES

I.1.1 - Présentation du phénomène physique

Dans un premier temps, afin d'illustrer concrètement le concept de frottement intérieur, nous proposons de partir de l'exemple d'une solution solide d'insertion à structure cubique centrée.

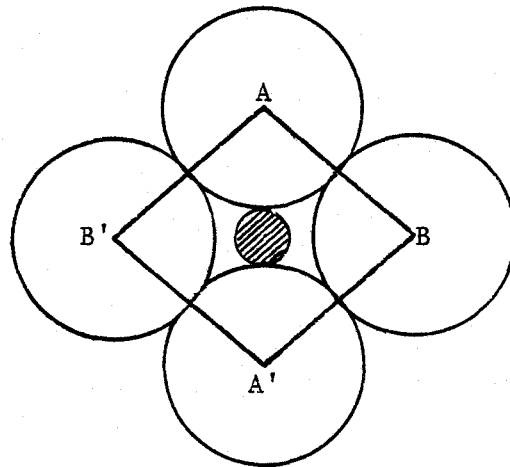
I.1.1.1 - Cas d'une solution solide d'insertion

Dans le cas d'une structure cubique centrée, deux types de sites interstitiels sont possibles : le site octaédrique et le site tétraédrique. Dans l'hypothèse d'un site octaédrique, chaque site O est entouré de 6 atomes du réseau de base. Deux de ces atomes sont à la distance $a/2$ et les quatre autres à $a\sqrt{2}/2$ (a étant la distance interatomique).



SITE INTERSTITIEL OCTAEDRIQUE

Figure 1



$$AB' = 2 r_s$$

Figure 2

En notant r_s le rayon des atomes du réseau, il est possible de rechercher les sites interstitiels en calculant leur rayon R_i .

Soit

$$R_i = a/2 - r_s$$

$$AB' = \sqrt{(B'O)^2 + (OA)^2} = \sqrt{a^2/2 + a^2/4} = a\sqrt{3}/2 = 2 \cdot r_s$$

d'où

$$R_i = a/2 - r_s = a/2 - a\sqrt{3}/4 = a[1/2 - \sqrt{3}/4] = 0,067 \cdot a$$

Il est également possible de mener un raisonnement analogue pour d'autres structures et d'une façon générale, il apparaît que le rayon des sites interstitiels n'est que de quelques dixièmes de celui des atomes du réseau de base.

Dans ces conditions, seuls de petits atomes peuvent entrer en solution d'insertion dans les métaux usuels : ce sont essentiellement l'hydrogène et les non-métaux de la seconde ligne de la classification périodique.

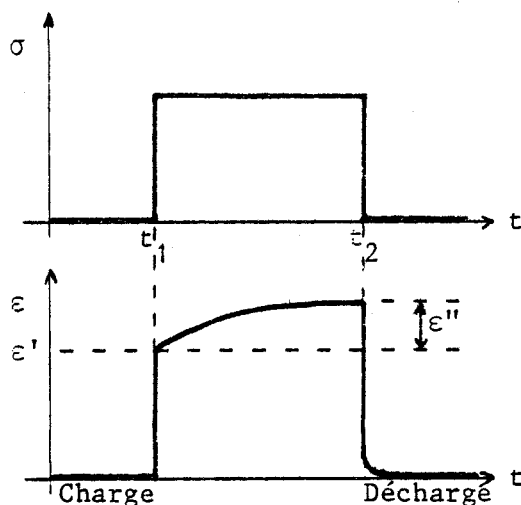
H Hydrogène - O Oxygène - N Azote - C Carbone - B Bore

I.1.1.2 - L'effet Snoek

L'effet Snoek est une conséquence de l'asymétrie des sites occupés par les interstitiels dans les métaux.

Sous l'effet d'une contrainte extérieure σ , les atomes interstitiels

se déplacent par diffusion pour venir occuper des sites de volumes agrandis par la déformation. C'est le phénomène d'anélasticité qui est observé de façon macroscopique.



TRAINAGE ELASTIQUE

Figure 3

L'application de la contrainte σ entraîne une déformation élastique instantanée ϵ' .

$$\epsilon' = \sigma / M$$

(1)

où ϵ représente la déformation

σ la contrainte

M le module élastique (Module d'Young)

J la complaisance élastique = $1 / M$

Puis une déformation anélastique ϵ'' , fonction du temps s'ajoute à la déformation instantanée (elle est due au fait que l'équilibre interne d'un corps met un temps déterminé à s'adapter à une variation des conditions extérieures appliquées à ce corps).

Un modèle usuel décrit par l'équation (2) traduit la dynamique d'évolution de la déformation complémentaire ϵ'' .

$$\epsilon'' = K \cdot n_1 \cdot \sigma \cdot [1 - \exp(-t/\tau)] \text{ avec } \tau = K' \cdot \exp(\Delta H_m / RT)$$

(2)

où K et K' représentent des constantes

t le temps

n_i la concentration d'atomes interstitiels

ΔH_m l'enthalpie de migration

R la constante des gaz parfaits

T la température absolue

Sous l'effet d'une contrainte σ , apparaît une déformation instantanée ϵ' , puis une déformation anélastique ϵ'' fonction du temps. Ce phénomène est nommé "trainage élastique".

Sa mesure permet d'estimer le paramètre n_i , c'est à dire de doser les interstitiels en solution ainsi que τ ou ΔH_m , c'est à dire le coefficient de diffusion des interstitiels.

Pour faciliter l'observation de ce phénomène, il est préférable d'exercer une contrainte cyclique. Une telle constante s'observe par exemple en faisant osciller librement un fil en utilisant un pendule de torsion.

I.1.2 - Le pendule de torsion

Le pendule de torsion permet d'effectuer l'étude du comportement anélastique d'éprouvettes métalliques filiformes.

Pour éviter de soumettre l'échantillon à une contrainte de traction statique, le pendule est du type inversé (Photo 1).

Le domaine de fréquence des oscillations utilisées s'étend de 0,1 à 10 Hz suivant les échantillons et les volants d'inertie.

Le fil de suspension qui relie le volant d'inertie au contre-poids par l'intermédiaire d'une poulie, est choisi de manière à n'exercer qu'un couple de rappel négligeable par rapport à l'éprouvette.

Afin d'éliminer les vibrations parasites, le pendule est installé sur un socle de béton avec un dispositif d'amortissement à trois rigidités différentes (Photo 2).

L'ensemble peut fonctionner sous vide primaire ou sous faible atmosphère d'Hélium ou d'Hydrogène.

L'ensemble mécanique peut être mis en mouvement par un système de lancement électromagnétique à amplitude variable. Ce système est constitué de quatre bobines montées deux à deux en série. Ces bobines alimentées par un courant continu, attirent les deux fers doux solidaires du volant |2||4|.

L'éprouvette se trouve fixée dans la partie inférieure du pendule et à l'intérieur du four (tube de cuivre enroulé d'une résistance Thermocoax).

Le système complet four-éprouvette est enfermé dans un tube dont les parois sont en acier. Ce dernier est baigné dans l'azote liquide ou l'eau froide suivant le domaine de variation de la température. Un thermocouple Chromel-Alumel placé dans la partie inférieure fixe du pendule permet de mesurer une température, assimilée à celle de l'échantillon.

I.1.3 - Principe de mesure du frottement intérieur par pendule de torsion

I.1.3.1 - Modélisation de l'éprouvette

Sous l'action d'une contrainte périodique σ , la déformation ε d'un corps élastique suit la loi de Hooke : $\sigma = M \cdot \varepsilon$ et ne s'accompagne pas d'une dissipation d'énergie.

Par contre, dans un corps non élastique, l'application d'une contrainte σ_0 , dans l'intervalle de temps t_1, t_2 , lui fait suivre une déformation instantanée ε'_1 à t_1 puis une déformation croissante ε''_2 jusqu'à t_2 (fig. 3), ce phénomène s'accompagne donc d'une dissipation d'énergie.

L'équation du solide décrit le phénomène de relaxation (ou traînage élastique) :

$$\boxed{|5||6| \quad \sigma + \tau_\varepsilon \cdot \frac{\delta\sigma}{\delta t} = M_r (\varepsilon + \tau_\sigma \cdot \frac{\delta\varepsilon}{\delta t})} \quad (3)$$

Soient $\varepsilon(p)$ et $\sigma(p)$ les transformées de Laplace de $\varepsilon(t)$ et $\sigma(t)$, où p représente la variable de Laplace. Dans ce cas, il est possible

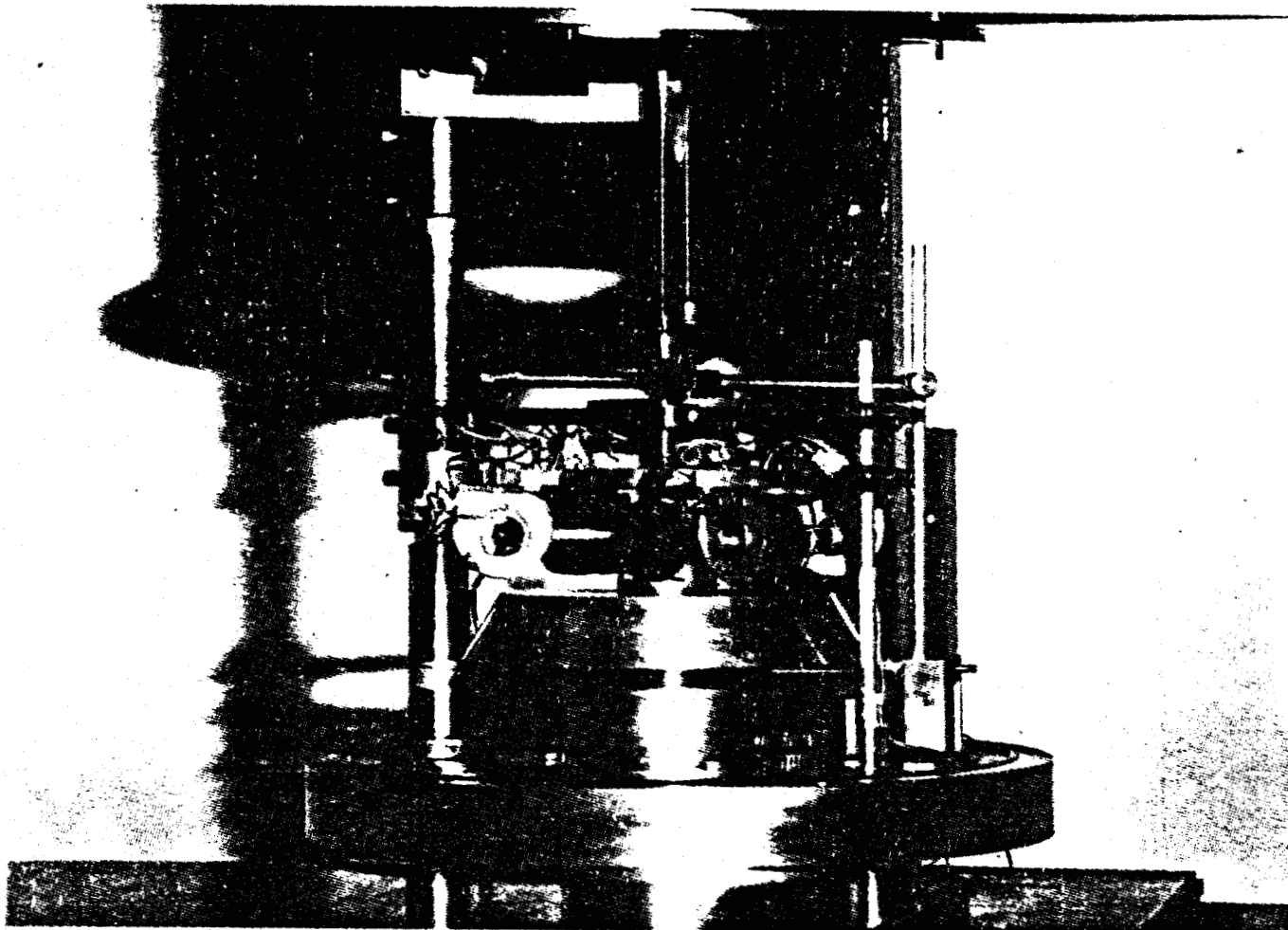


PHOTO I : Partie supérieure du pendule de torsion

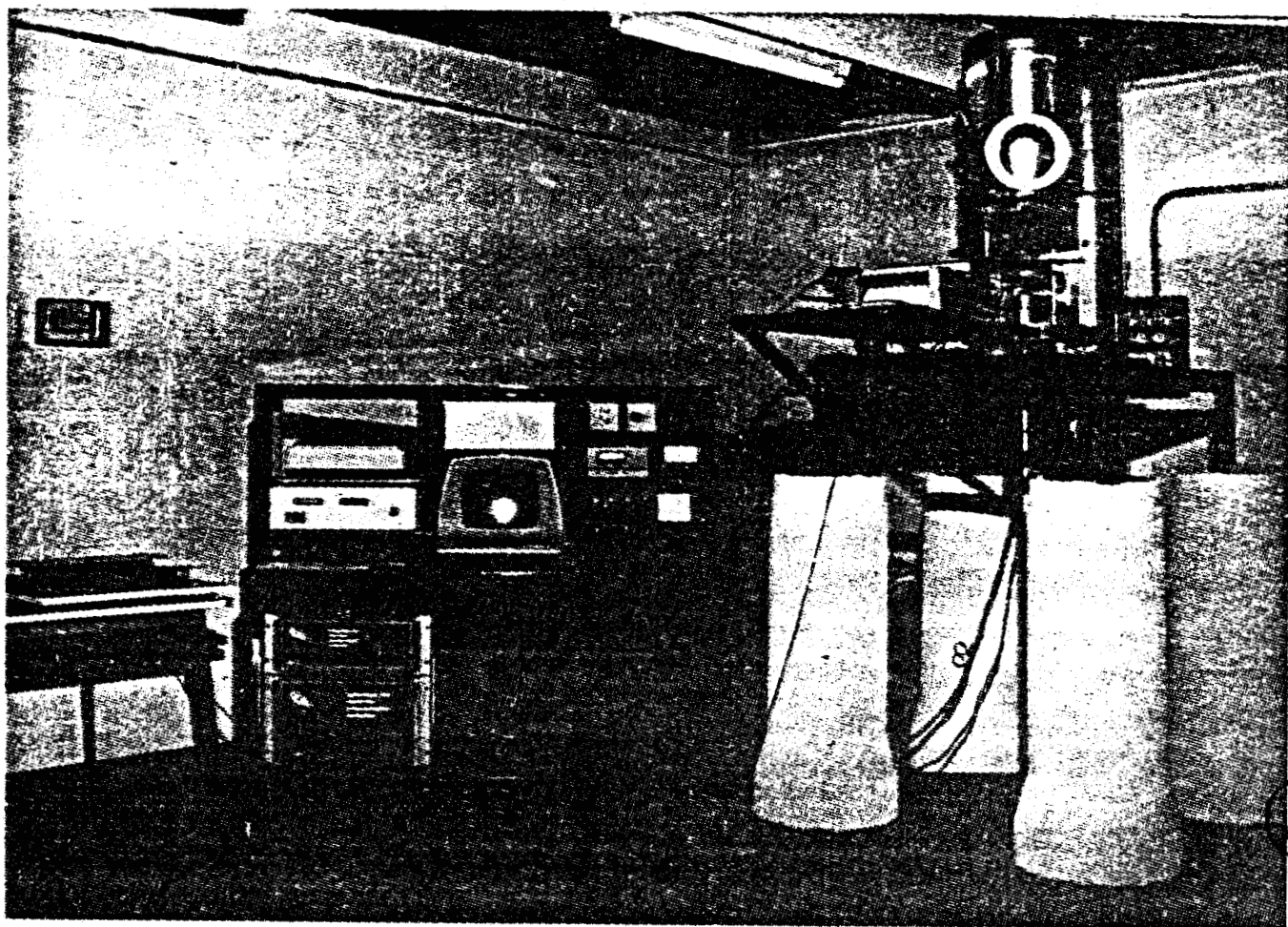


PHOTO II : Pendule de torsion

BISS
ALLE

en partant de l'équation (3) d'obtenir le modèle symbolique suivant :

$$M(p) = \frac{\sigma(p)}{\varepsilon(p)} = M_r \frac{1 + \tau_\sigma p}{1 + \tau_\varepsilon p} \quad (4)$$

où M_r représente le module d'élasticité relaxé

τ_ε le temps de relaxation de l'effort sous déformation constante

τ_σ le temps de relaxation de la déformation sous l'effort constant

$$\tau_\varepsilon = \tau_\sigma \frac{J_u}{J_r} = \tau_\sigma \frac{M_r}{M_u} \quad \text{avec} \quad M_r < M_u$$

J représentant la complaisance élastique

(l'indice u correspondant aux grandeurs non relaxées, tandis que r aux grandeurs relaxées).

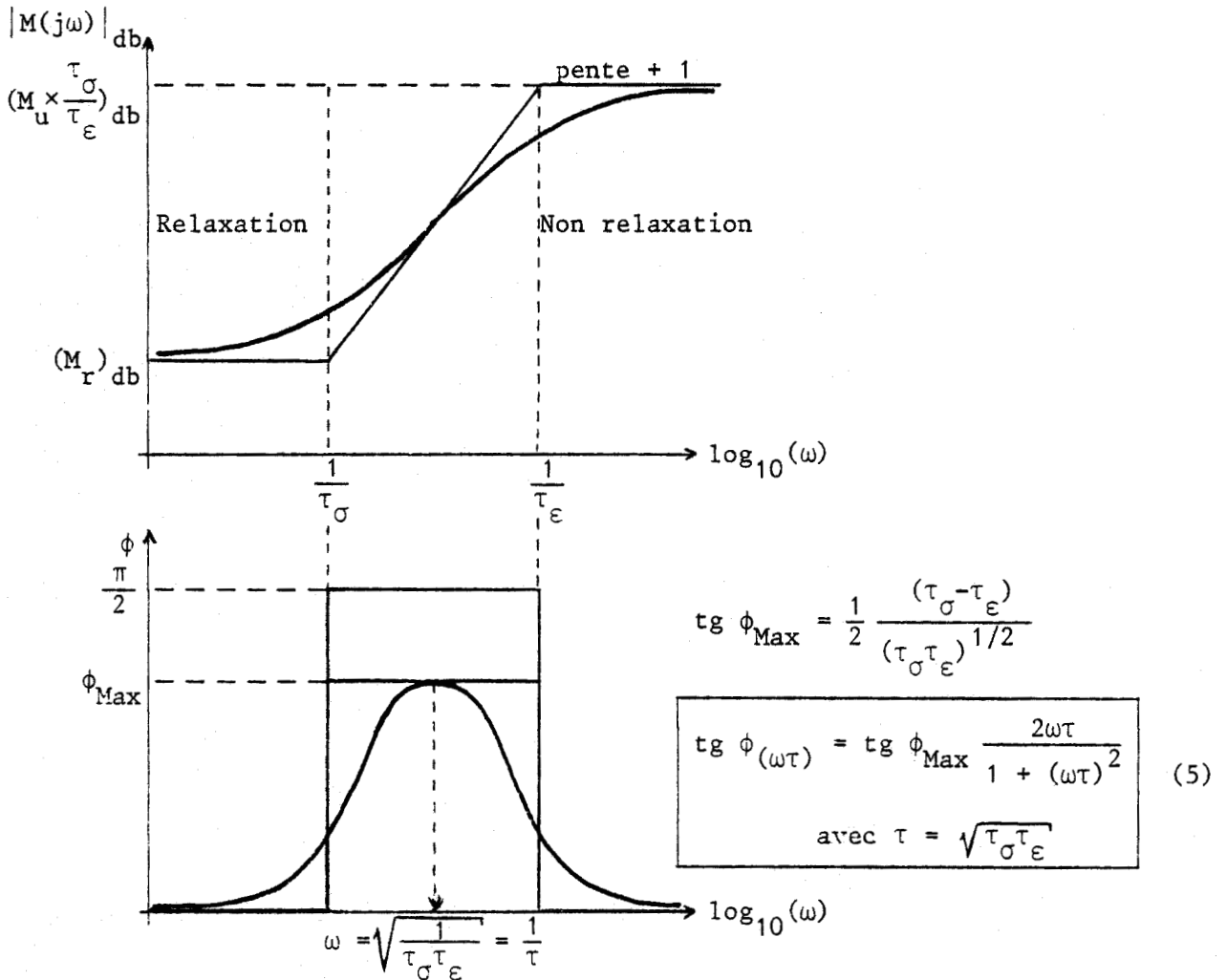
I.1.3.2 - Comportement en régime libre

Afin de préciser les éléments fondamentaux de la dynamique de l'éprouvette, nous proposons de préciser les points caractéristiques du diagramme de fréquence (Gain, Phase) en partant du modèle précédant.

En notant :

$$M(j\omega) = M_r \frac{1 + \tau_\sigma j\omega}{1 + \tau_\varepsilon j\omega}$$
$$|M(j\omega)| = M(\omega) = M \left[\frac{1 + (\tau_\sigma \omega)^2}{1 + (\tau_\varepsilon \omega)^2} \right]^{1/2} \quad \text{avec} \quad \tau_\varepsilon < \tau_\sigma$$
$$\text{Tg } \phi = \frac{\omega(\tau_\sigma - \tau_\varepsilon)}{1 + (\omega\tau_\sigma\tau_\varepsilon)^2}$$

Il vient ainsi les diagrammes Gain/Fréquence, Phase/Fréquence ci-après.



VARIATION DE $|M(j\omega)|$ EN FONCTION DE $\log_{10}(\omega)$

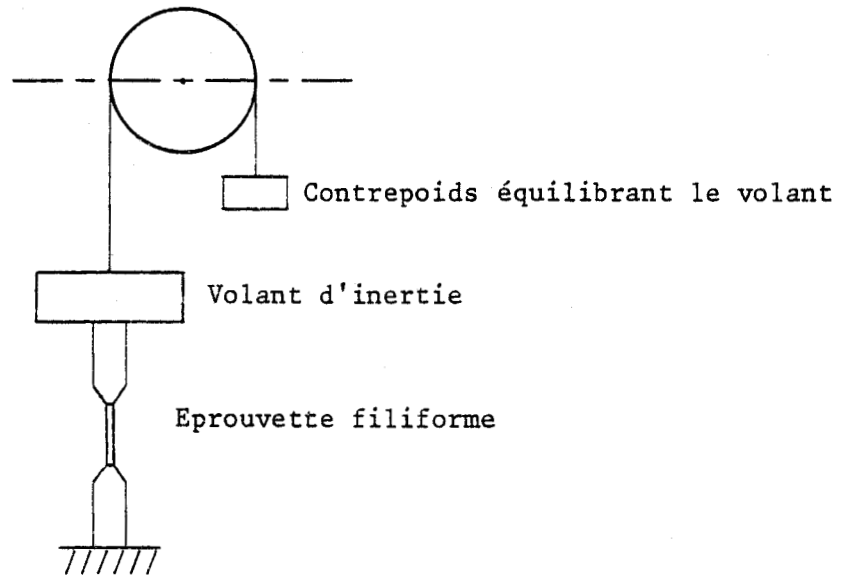
VARIATION DE $\text{Tg } \phi$ EN FONCTION DE $\log_{10}(\omega)$

Figure 4

Il apparaît donc qu'il n'existe aucun déphasage à très basse et à très haute fréquences, par contre, entre ces fréquences, il existe une évolution sensible du gain et surtout du déphasage.

I.1.3.3 - Mesure des effets anélastiques [3]

La partie mécanique du pendule de torsion est schématiquement représenté sur la figure 5.



PENDULE DE TORSION

Figure 5

Le modèle mathématique adopté pour représenter ce système mécanique est décrit par l'équation (6) :

$$\boxed{I \frac{d^2 y(t)}{dt^2} + C y(t) = \gamma(t)} \quad (6) \quad |3|$$

dans laquelle I représente l'inertie du volant

C le couple de rappel créé par l'éprouvette et proportionnel à M (Module de Young)

$\gamma(t)$ le couple appliqué au pendule

y le déplacement angulaire

Soient Y(p) et T(p) les transformées de Laplace de y(t) et $\gamma(t)$,
il vient :

$$\frac{Y(p)}{T(p)} = \frac{1}{I_p^2 + KM(p)}$$

En exprimant $M(p)$ à partir de l'équation (4), il vient pour une sollicitation harmonique :

$$\begin{aligned} M(j\omega) &= M_r \frac{1 + \tau_\sigma j\omega}{1 + \tau_\epsilon j\omega} = |M(\omega)| [\cos \phi + j \sin \phi] \\ &= |M(\omega)| \cos \phi [1 + j \operatorname{tg} \phi] \end{aligned}$$

avec $\cos \phi = \frac{|M(j\omega)|}{|M(\omega)|}$

soit encore :

$$M(j\omega) = |M(\omega)| \cdot \frac{1 + j \operatorname{tg} \phi}{(1 + \operatorname{tg}^2 \phi)^{1/2}}$$

En pratique, $\phi(\omega)$ est très petit, ce qui nous amène à admettre l'approximation suivante :

$$M(j\omega) \approx |M(\omega)| (1 + j \operatorname{tg} \phi(\omega))$$

La fonction de transfert approchée du système, s'écrit dans ces conditions :

$$\boxed{\frac{Y(j\omega)}{T(j\omega)} = \frac{\frac{1}{K|M(\omega)|}}{1 + j \operatorname{tg} \phi - \frac{I}{K|M(\omega)|} \omega^2}} \quad (7)$$

Ce modèle du second ordre peut donc être identifié à la forme canonique suivante, en utilisant les relations usuelles :

$$\frac{Y(j\omega)}{T(j\omega)} = \frac{K_n}{1 + j \left(\frac{\omega}{\omega_n}\right) 2\xi - \left(\frac{\omega}{\omega_n}\right)^2}$$

où ξ représente le coefficient d'amortissement

ω_n la pulsation propre

K_n le gain statique

De cette identification résultent les relations suivantes :

$$K_n = \frac{1}{K |M(\omega)|}$$

$$\omega_n^2 = \frac{K |M(\omega)|}{I}$$

et
$$\xi = 1/2 \cdot \left[\frac{\omega_n}{\omega} \right]^{1/2} \text{tg } \phi(\omega)$$

Ces dernières équations montrent que ξ et ω_n dépendent directement de la variation de ω . En particulier pour $\omega = \omega_n$.

$\xi = 1/2 \cdot \text{tg } \phi(\omega_n)$ $\omega_n^2 = (K/I) \cdot M(\omega_n) $	(8)
--	-----

Un résultat classique de la dynamique d'un système d'ordre 2, indique qu'en régime libre, le décrément logarithmique s'exprime par la relation (9) :

$Q^{-1} = \frac{\delta}{\pi} = \text{tg } \phi$	(9)
---	-----

Ce paramètre caractérise ainsi, directement le frottement intérieur de l'échantillon étudié ; le frottement intérieur est donc proportionnel au décrément logarithmique.

Une première solution consisterait à étudier la variation de Q^{-1} en fonction de la fréquence. Cette première méthode est beaucoup trop délicate à exécuter, car pour faire varier ω_n , il faudrait modifier l'inertie du volant du pendule, action difficile à réaliser mécaniquement sur le pendule de torsion mis à notre disposition. Il faut donc pouvoir faire évaluer le paramètre Q^{-1} à l'aide d'une autre variable.

D'après les équations précédentes (2) et (5), une variation de

température entraîne directement la variation du frottement intérieur.

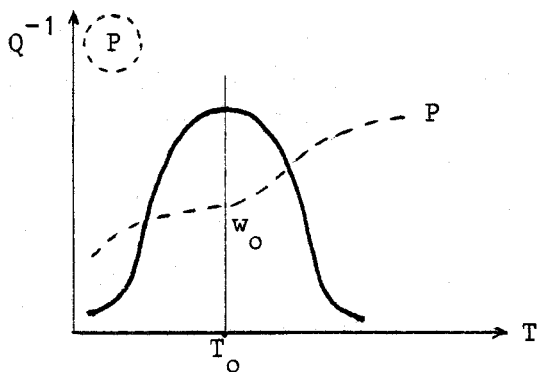
C'est donc en paramétrant la température que nous proposons d'étudier le frottement intérieur par l'effet des variations de température sur le décrément logarithmique noté Q^{-1} .

I.1.3.4 - Principe retenu pour l'expérimentation

La mise en œuvre du contrôle du pendule de torsion doit permettre d'appliquer une contrainte cyclique à un fil oscillant librement.

De la mesure de l'amplitude des oscillations, seront déduits (par calcul) le paramètre δ , décrément logarithmique et la pulsation ω .

L'amortissement des oscillations est caractérisé par le frottement intérieur $Q^{-1} = \delta/\pi$, ce dernier varie avec la température et présente un maximum pour $\omega\tau=1$ (équation 5).



PIC DE SNOEK OU PIC DE FROTTEMENT INTERIEUR. VARIATION DE LA PSEUDO-PERIODE AVEC LA TEMPERATURE.

Figure 6

A partir de la recherche du maximum de la courbe de $Q^{-1}(T)$ est déduite la valeur de ω_0 qui donne accès aux grandeurs de diffusion par l'intermédiaire de la relation $\omega\tau=1$.

Le frottement intérieur constitue donc une méthode d'analyse des éléments interstitiels en solution puisqu'à chaque interstitiel correspond un pic de position dont l'amplitude est différente selon la concentration de cet interstitiel.

I.1.4 - Intérêt de l'automatisation

La mesure directe du frottement intérieur entraîne plusieurs difficultés :

- Tout d'abord, il n'existe pas de méthode de mesure simple de l'amplitude de déformation
- La durée des mesures étant importante, leur nombre s'en trouve limité en conséquence
- La précision dépend directement de l'appréciation visuelle de l'utilisateur
- Enfin, la durée de l'expérience étant importante (quelques heures), il faut sans cesse assurer la présence de l'utilisateur.

L'automatisation aura donc pour but essentiel de tenter de remédier à l'ensemble de ces difficultés. Par ailleurs, la commande en temps réel par micro-ordinateur dans la chaîne de mesures, offrira au système la possibilité de traitement en temps réel et en temps différé des valeurs expérimentales. De ce fait, il sera possible d'éviter des mesures inutiles ou d'imposer des mesures complémentaires, pour tenter d'optimiser la précision des résultats, notamment en utilisant des techniques prédictives.

En conclusion, l'automatisation du pendule aura pour objectif d'assurer :

- Une meilleure précision
- L'optimisation des cycles de mesures
- L'augmentation du nombre total de points enregistrables.

I.2 - DESCRIPTION DU CAHIER DES CHARGES

I.2.1 - Acquisition des données

La déplacement angulaire du pendule en oscillation libre : A_n , et la température de l'éprouvette dans le four : T, sont les deux grandeurs

captées sur le pendule de torsion.

C'est à partir de l'une de ces deux grandeurs : A_n , que se fait le calcul de la valeur de la pseudo-période et du décrément logarithmique qui dépendent en fait de la température T selon les relations (2), (5) et (9).

I.2.1.1 - Caractéristique du capteur d'amplitude d'oscillations

Un capteur d'amplitude doit permettre de traduire en données électriques les mouvements de rotation du pendule. Cette donnée pourra être ensuite digitalisée. Une autre solution consisterait à choisir directement un capteur délivrant des informations digitalisées.

Les spécificités de ce capteur sont les suivantes :

- Le capteur ne doit pas modifier la dynamique de l'échantillon
- La précision sur l'angle d'oscillation doit être de 0,2" d'arc
- Le capteur doit présenter une excellente linéarité et une bande passante en fréquence de l'ordre de quelques Hertz.

I.2.1.2 - Mesure de la valeur de la température

Pour des raisons analogues, il convient d'éviter tout contact extérieur avec l'éprouvette.

La précision demandée sur la mesure de la température est de $\pm 0,2$ °C.

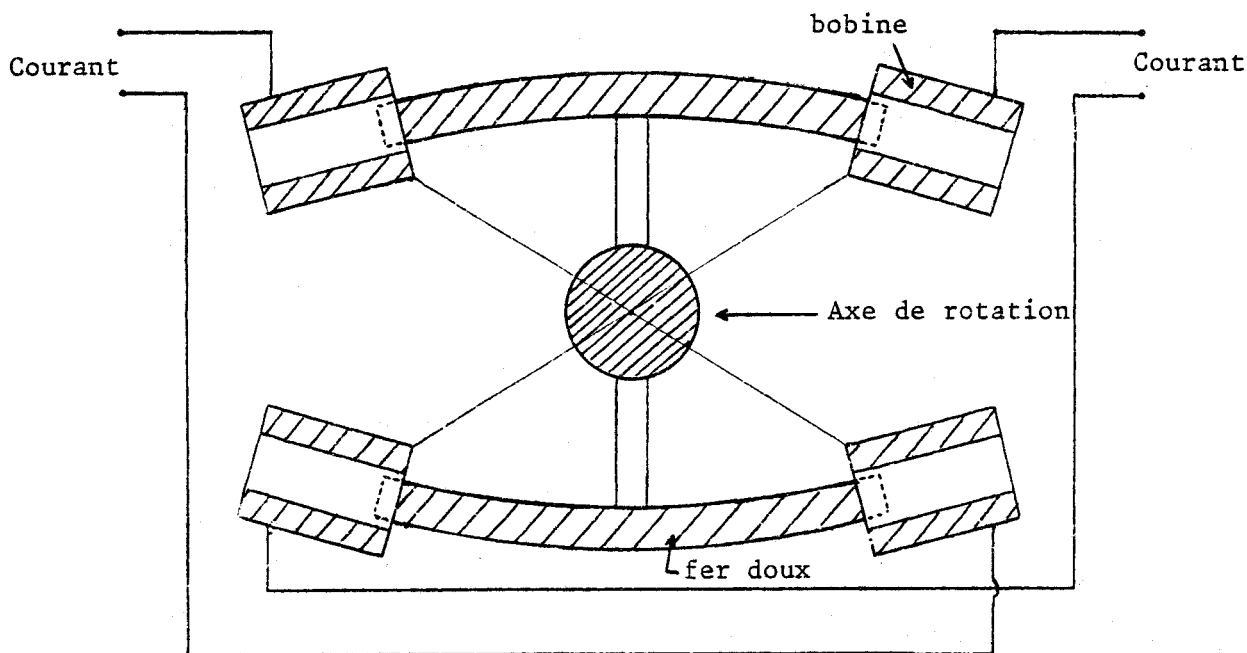
La variation de la température de l'éprouvette doit se limiter au domaine $[- 200$ °C $+ 250$ °C]..

I.2.2 - Commande du processus

Trois commandes différentes permettent d'assurer une bonne dynamique des oscillations.

I.2.2.1 - Mise en oscillation libre du pendule de torsion

Il suffit d'injecter une impulsion de courant sur l'un des couples de bobines montées sur le pendule (fig. 7), pour écarter celui-ci de sa position d'équilibre en le laissant ensuite osciller en régime libre.



DISPOSITION D'EXCITATION DES BOBINES

Figure 7

Le phénomène de traitement doit être étudié pour des contraintes de torsion variables. Il convient donc de prévoir une commande d'amplitude du courant dans les bobines avec un courant variant de [1 A].

I.2.2.2 - Commande de la variation de température

Le phénomène de frottement intérieur dépend directement de l'évolution de la température, celle-ci pourra dans un premier temps suivre une rampe linéaire.

L'optimisation de la recherche du "pic de Snoek", conduit à faire

varier la pente de cette rampe en fonction des résultats obtenus sur la courbe $Q^{-1} = f(T)$.

C'est ainsi que la variation de température évolue suivant différentes vitesses et que le temps de durée d'un cycle de mesures peut être minimisé.

I.2.2.3 - Commande de position du capteur

Au cours des cycles de mesures et à cause de phénomènes internes (recuit, revenu, recristallisation, ...) à l'échantillon, la position d'équilibre de l'éprouvette n'est pas stable.

Il est donc nécessaire d'asservir la position du capteur à chaque nouvelle position d'équilibre.

Le capteur d'amplitude d'oscillation est dans ce sens monté sur un dispositif suiveur de spot, dont nous devons asservir la position.

I.2.3 - Interfaces de communications et exploitation des résultats

Le système de contrôle à concevoir doit permettre un dialogue avec l'opérateur. Il est en effet nécessaire d'afficher les paramètres suivants de l'expérimentation :

- Amplitude de l'oscillation
- Température de l'enceinte
- Délais limites de fonctionnement

Il convient également de préciser la dynamique choisie pour faire évoluer en mode automatique certains paramètres.

Enfin, les résultats doivent être analysés globalement et faire l'objet d'un traitement en vue d'une description graphique du phénomène.

Les nombreux calculs à effectuer, la multitude des informations captées et les différents asservissements à contrôler justifient la mise en œuvre d'un microcalculateur.

Ce dernier devra pouvoir disposer :

- D'une console opérateur (Dialogue)
- D'une table XY (Visualisation graphique des résultats)
- D'un enregistreur à cassettes (pour la mémorisation des programmes et l'archivage des résultats)

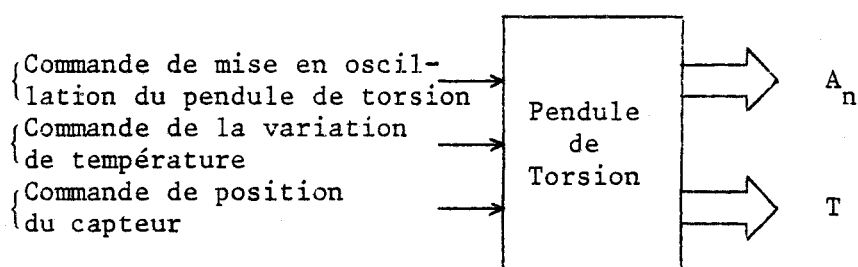
La commande du pendule s'effectuera à partir de trois signaux de sortie :

- Signal de mise en oscillation (Amplitude variable)
- Signal de consigne affichant la température
- Signal de contrôle de la position du capteur

Le calculateur disposera en entrée et en temps réel :

- De la température de l'enceinte
- De l'amplitude variable de l'oscillation

Il convient également de prévoir quelques signaux de contrôle assurant la sécurité de marche du dispositif.



SCHEMA SYNOPTIQUE DU SYSTEME

Figure 8

L'exploitation des résultats s'effectuera soit directement sur les graphes $Q^{-1}(T)$ et $P(T)$, soit à partir des résultats numériques listés, donnant les valeurs de la pseudo-période et du décrément logarithmique.

CONCLUSION

La présentation des hypothèses et principes relatifs à la mesure du frottement intérieur nous a donc permis dans un premier temps, de justifier l'intérêt des "grandeurs mesurées" en précisant les conditions de l'expérience ainsi que les différents paramètres.

Le cahier des charges étant défini, nous avons dans une deuxième étape, précisé les éléments nécessaires à l'automatisation du dispositif de mesure. La mise en œuvre proposée sur la base d'un microcalculateur doit permettre d'assurer des traitements multiples et rapides ainsi qu'une exploitation graphique aisée des résultats.

BIBLIOGRAPHIE DU CHAPITRE I

- |1| J. BERNARD, A. MICHEL, J. PHILIBERT et J. TALBOT
"Métallurgie générale"
Editeur MASSON

- |2| HOANG-GWAKI
"Contribution à l'étude des phénomènes anélastiques liés à la présence d'interstitiels dans les aciers de structures austénitique et martensitique"
Thèse - 1975

- |3| DUFFAUT Michel
"Automatisation par ordinateur d'une chaîne de mesure de frottement intérieur dans les métaux"
Thèse - 1977

- |4| FOCT Jacques
"Etude des distributions d'interstitiels et de leur évolution dans les solutions solides Fer-Azote"
Thèse - 1973

- |5| C. ZENER
"Elasticité et anélasticité des métaux"
DUNOD - 1955

- |6| DEDIANNE Guy
"Etude et réalisation d'un appareil automatique de mesure du coefficient de frottement interne à 25 kHz"
Thèse - 1969

CHAPITRE II

SPECIFICATION DES BESOINS

SPECIFICATION DES BESOINS

INTRODUCTION

II.1 - CHOIX D'UN PROCESSEUR

II.2 - EXTENSIONS APORTEES A L'UNITE CENTRALE

II.2.1 - Extension RAM et EPROM

II.2.2 - Processeur arithmétique 8231

II.2.3 - Horloge 8253

II.2.4 - Carte d'interface pour les commandes : 4 DAC

II.2.5 - Branchement des périphériques

II.2.6 - Mesure et régulation de température

II.2.7 - Carte d'interface pour la mesure des amplitudes

II.3 - BANALISATION DES PERIPHERIQUES ANNEXES

II.3.1 - Carte de conversion analogique digitale

II.3.2 - Basic

II.3.3 - T U 58

CONCLUSION

SPECIFICATION DES BESOINS

INTRODUCTION

La durée de l'expérience, le nombre important d'informations à capter et à traiter ainsi que les différentes régulations à contrôler, justifient la mise en œuvre d'un microcalculateur de contrôle et de gestion.

Nous présentons donc dans ce chapitre et dans un premier temps, les différentes étapes suivies par la spécification du micro-ordinateur.

Dans une seconde étape, le choix effectué sur l'unité centrale nous conduira à proposer et à décrire la réalisation de nouvelles extensions.

En dernier lieu, nous proposons d'implanter et d'adapter sur ce micro-ordinateur, un langage évolué : le basic, un T U 58 (support magnétique de mini cartouche) et une carte de conversion Analogique Digitale universelle.

II.1 - CHOIX D'UN PROCESSEUR

Il s'agit dans un premier temps d'effectuer le choix du processeur le mieux adapté au traitement qui nous concerne. Deux points de vue doivent être conciliés à ce niveau de la spécification.

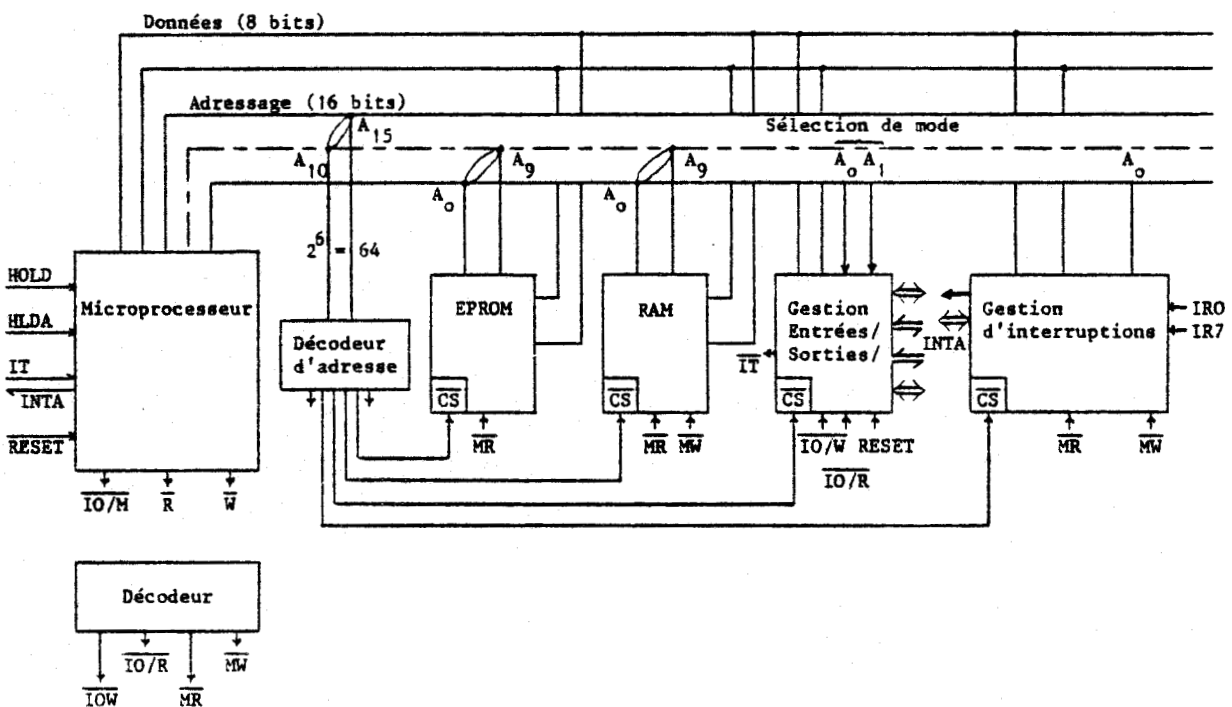
- D'une part la facilité de conception de l'ensemble numérique
- D'autre part la facilité d'exploitation de l'automatisme des mesures.

Le format de mots de 8 bits (byte) que nous retenons pour cette étude est justifié par le fait que nous disposons de moyens puissants de conception des micro-processeurs de ce type et que par ailleurs, les informations traitées seront le plus souvent du texte (Octets codés sur ASCII) ou des données analogiques (2×8 bits) codées en binaire (virgule fixe).

L'architecture de base proposée par le laboratoire d'Informatique Industrielle de l'I. D. N. sur la base du 8085 Intel constitue le point de départ de notre étude sur le plan micro-informatique. Cette carte comporte les éléments suivants :

- Une zone mémoire RAM de 2 Kilos Octets (4 boîtiers 2114)
- Une zone mémoire EPROM de 6 Kilos Octets (3 boîtiers 2716), dont 2 Kilos sont occupés par le moniteur IDN
- 48 lignes d'entrées/sorties parallèles (2 boîtiers 8255)
- 1 entrée/sortie Série (IM 6402)
- 3 timers (1 boîtier 8253)
- 8 niveaux d'interruptions vectorisables hiérarchisés et masquables (1 boîtier 8259).

La structure choisie est représentée sur la figure 9.



SCHEMA SYNOPTIQUE D'UN CALCULATEUR

Figure 9

Il sera donc nécessaire d'apporter des extensions importantes pour permettre le traitement des données analogiques.

Le calcul de fonctions mathématiques complexes, la prise en compte d'un nombre important d'informations pour l'aspect spécification de l'automatisme, nous amènent par ailleurs à disposer de périphériques et de logiciels d'exploitation de haut niveau.

Nous proposons dans ce sens les extensions suivantes :

- Une carte de conversion A/D et D/A
- Une extension RAM et EPROM
- Un processeur arithmétique (8231)
- Un langage Basic
- Une interface Table numérique X Y
- Une interface Cassettes (T U 58)

Tous ces matériels seront spécifiés et réalisés par la suite.

II.2 - EXTENSIONS APORTEES A L'UNITE CENTRALE

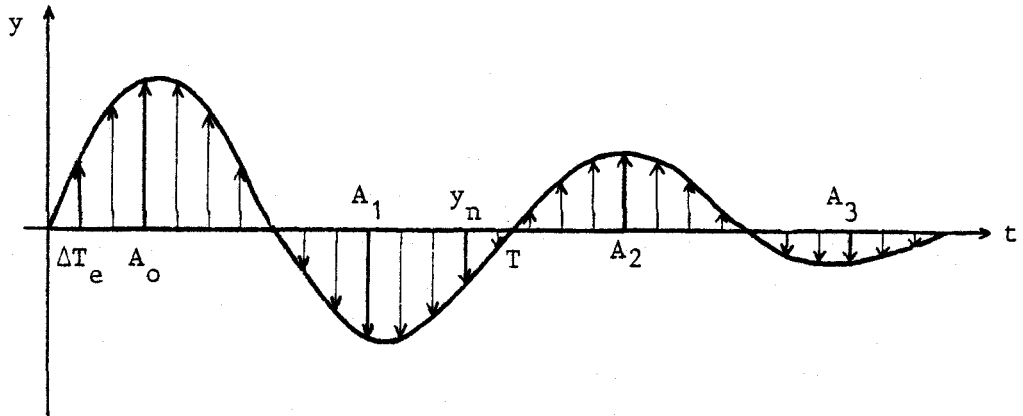
II.2.1 - Extension RAM et EPROM

L'unité centrale de la carte mère IDN Process, comporte 2 K RAM et 6 K EPROM, dont 2 K sont occupés par le Moniteur IDN. La longueur du programme de gestion du pendule est estimée à 6 K, de plus la mise en œuvre du basic nécessite l'occupation de 8 à 9 K, ce qui justifie une extension de mémoires mortes d'au moins 13 K.

La mémoire vive est utilisée pour sauvegarder les résultats intermédiaires, tels que la valeur des amplitudes des oscillations, des maxima d'amplitude, etc....

Afin d'en spécifier la taille, il convient de préciser le nombre d'informations à stocker. Leur nombre est directement dépendant de la période d'échantillonnage des conversions analogiques numériques.

Afin de calculer le décrement logarithmique, $\delta = \frac{1}{n} \log \frac{A_0}{A_n}$, il faut trouver les maxima d'amplitudes notés A_n (Figure 10).



T est de l'ordre de la seconde

ΔT_e : Période d'échantillonnage

y_n : Amplitude

A_n : Maximum d'Amplitude

REPONSE DU PENDULE EN FONCTION DU TEMPS

Figure 10

La comparaison successive des valeurs échantillonnées y_n , donne directement la valeur des maxima. Estimons l'erreur commise sur le calcul d'un Max en fonction de la période d'échantillonnage.

L'équation qui régit le mouvement du pendule est la suivante |2| :

$$y = y_M e^{-\frac{\delta t}{P}} \sin \left(\frac{2\pi t}{P} + \theta \right) \quad (10)$$

où y_M représente l'amplitude

δ le décrément logarithmique

P la pseudo période

θ le déphasage

$t = n \Delta T_e$

où ΔT_e désigne la période d'échantillonnage

Soit, en prenant $\theta = 0$; $P \neq 1$ s ; $\delta = 10^{-3}$, valeurs admises de grandeurs réelles :

$$y = y_M e^{-10^{-3}t} \sin(2\pi t)$$

Le calcul de l'extrémum de cette fonction permet d'exprimer l'instant t_M .

$$\frac{dy}{dt} = y_M e^{-10^{-3}t} \left| -10^{-3} \sin(2\pi t) + 2\pi \cos(2\pi t) \right|$$

$$\frac{dy}{dt} = y_M e^{-10^{-3}t} 10^{-3} \left| 2\pi 10^{+3} \cos(2\pi t) - \sin(2\pi t) \right|$$

$$\frac{dy}{dt} = 0 \quad t_M = \frac{1}{2\pi} \left| \text{Arc tg } 10^{+3} \times 2\pi \right|$$

La plus grande erreur possible est commise pour la valeur $t_M \pm \frac{\Delta T_e}{2}$.

En posant $\alpha = \Delta T_e / 2$:

$$y(t_M + \alpha) = y_M e^{-10^{-3}t} e^{-10^{-3}\alpha} \sin |2\pi(t_M + \alpha)|$$

L'erreur relative s'exprime aussi sous la forme suivante :

$$\boxed{|\Delta y| = 100 \times \left| 1 - e^{-10^{-3}\alpha} \frac{\sin(2\pi(t_M + \alpha))}{\sin(2\pi t_M)} \right|} \quad (11)$$

Soit, pour différentes valeurs du paramètre α :

X = 0	Y = 0
X = .005	Y = .123367E-1
X = .01	Y = .493438E-1
X = .015	Y = .111012
X = .02	Y = .197326
X = .025	Y = .308264
X = .03	Y = .443799
X = .035	Y = .603897
X = .04	Y = .788519
X = .045	Y = .997619
X = .05	Y = 1.23115
X = .055	Y = 1.48904
X = .06	Y = 1.77124
X = .065	Y = 2.07767
X = .07	Y = 2.40827
X = .075	Y = 2.76294
X = .08	Y = 3.1416
X = .085	Y = 3.54416
X = .09	Y = 3.97051
X = .095	Y = 4.42056
X = .1	Y = 4.89419

Figure 11

Le choix d'une période d'échantillonnage $\Delta T_e = 0,03$ s, implique une erreur relative de 0,45 % ; période d'échantillonnage que nous retiendrons pour notre application.

Un cycle de mesures comprend une cinquantaine de périodes d'oscillations du pendule, soit une durée approximative de cinquante secondes. Une période d'échantillonnage de 0,03 s entraîne une prise de mesures de 1700 points. Etant donné la longueur des mots sur lesquels nous travaillons (12 bits), le nombre de points des mesures est doublé (3400).

A ces données, il convient d'adjoindre des tableaux annexes de 2 K et une zone mémoire pour le basic la plus grande possible. Ceci nous amène à proposer une extension de 24 K RAM.

II.2.2 - Processeur arithmétique 8231

La valeur du décrément logarithmique est exprimée par la relation :

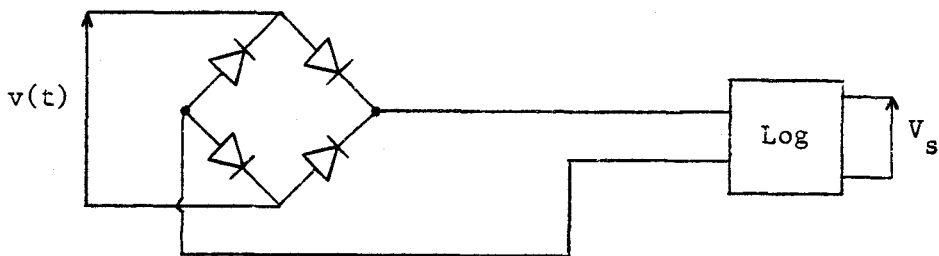
$$\delta = \frac{1}{n} \log \frac{A_o}{A_n}$$

A_0 étant l'amplitude de la première oscillation et A_n de la $n^{\text{ième}}$.

δ peut s'écrire aussi :

$$\frac{1}{n} |\log A_0 - \log A_n|$$

Dans une première hypothèse, en élaborant analogiquement le logarithme des amplitudes (par l'intermédiaire d'un générateur de fonction et d'un montage en pont de Graetz pour redresser le signal) (Figure 12). δ peut se calculer à l'aide d'une soustraction et d'une division.



PARTIE ANALOGIQUE

Figure 12

Le calcul de la pseudo période se fait en détectant les passages pour lesquels l'amplitude est nulle. L'équation (14) indique que l'exécution d'additions, de soustractions et d'une division sont utiles pour le calcul de cette valeur.

De telles opérations sont longues et fastidieuses à réaliser, de plus, la méthode de l'élaboration du logarithme analogique est peu précise (dérivées, ...). La maintenance et le réglage de cette électronique sont assez complexes. Pour toutes ces raisons, nous proposerons de nous orienter vers l'utilisation d'un processeur de calcul : 8231.

Son utilisation nous permet d'effectuer des calculs précis (Flottants) et rapides. il exécute les quatre opérations courantes sur 16, 32 bits fixes, sur 32 bits en flottant, et toutes les fonctions

usuelles (log, sin, tg, etc...).

La gestion de sa Logique de commande se fait par l'intermédiaire d'un port d'entrées sorties du circuit 8255 (boitier d'interface périphérique, d'entrées sorties parallèles). La durée de calcul des différentes instructions est précisée dans le tableau (Figure 13). (Temps donné pour une horloge de 3 MHz) |3|.

Fonction	16 bits fixes	32 bits fixes	Flottant 32 bits
+	5,6 μ s	7 μ s	18,6 - 116 μ s
-	7 μ s	12,6 μ s	19,3-117,3 μ s
\times	30 μ s	69 μ s	56 μ s
\div	30 μ s	69 μ s	56 μ s
Log	/	/	1,5 μ s
Sin	/	/	1,5 μ s
$\sqrt{\quad}$	/	/	266 μ s
PWR	/	/	3,1 μ s

Figure 13

La mise en œuvre par programmation permet donc d'éviter l'écriture fastidieuse et moins performante de sous programmes correspondants. Par ailleurs, cette gestion décentralisée des calculs complexes, libère le processeur pour d'autres tâches.

II.2.3 - Horloge 8253

La fabrication d'une horloge indiquant les heures, minutes et secondes, est réalisée avec les deux compteurs d'un circuit 8253.

Le 8253 est un circuit intégré, registre d'Horloge-Compteur programmable. Sa fonction est celle d'un élément temporisateur universel multi-

mode, pouvant être traité comme un réseau de canaux d'entrées sorties par le logiciel du système |3|.

II.2.4 - Carte d'interface pour les commandes : 4 DAC

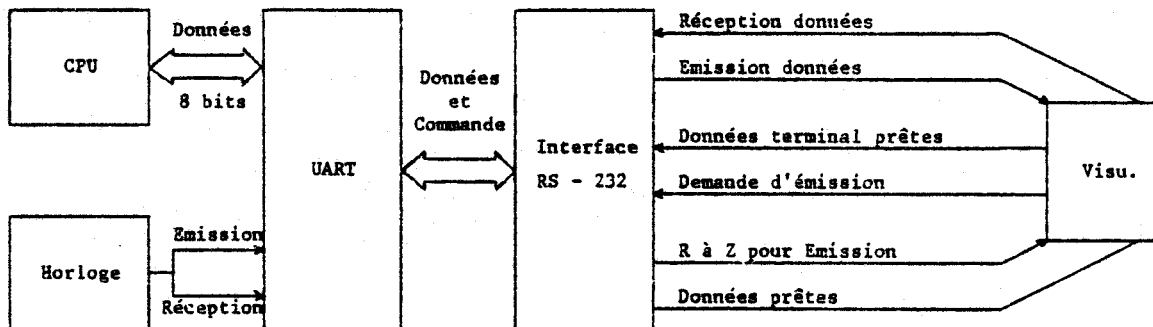
Chacune des trois commandes à réaliser (Commande du four, de recentrage du capteur et de mise en oscillation du pendule) est effectuée à partir de signaux analogiques.

Nous proposons la définition d'une carte de conversion. Le convertisseur que nous avons choisi se compose d'un bus de données de 8 bits, et d'un signal logique de commande, associé à un bit de sélection de sortie, (un "Chip Select"). les tensions de sortie de ce composant varient selon deux gammes sélectionnées par des straps : |0 , + 10 V| ou ± 5 V, ce qui donne une précision de 39 mV par bit, précision suffisante pour notre application. Cette carte comprend quatre convertisseurs.

II.2.5 - Branchement des périphériques

La console de visualisation est reliée à la carte IDN Process par une liaison série asynchrone. Cette liaison est gérée par un UART (Universal, Asynchronous Receiver Transmitter), le 8251 d'INTEL. Il est programmable pour tous types de transmissions séries et, par conséquent, convertit des données parallèles de l'Unité Centrale en données série ou vice-versa. Il travaille sur des caractères de 5 à 8 bits, du continu à 9,6 kilobauds. Il crée le bit de parité et le vérifie, détecte les erreurs, travaille en duplex, etc....

La figure 14 montre comment cet UART peut intervenir, via une interface spécialisée « RS 232 » (intégré dans la visu) pour commander la visu |3| |4|.



BRANCHEMENT DE L'UART

Figure 14

La table traçante (Watanabe, digit plot Model WX 4671), et l'imprimante (une "Series 730 Printers") sont gérées toutes les deux à partir de ports d'entrées sorties, type 8255.

Le système complet de mesure nécessite la mise en œuvre de 3 × 8255, un pour l'imprimante, un autre pour la table traçante et un dernier pour le processeur arithmétique.

II.2.6 - Mesure et régulation de température

Le thermocouple chromel-alumel, placé dans la partie inférieure fixe du pendule délivré un signal compris entre - 6 mV et + 10 mV pour une variation de température de $|-200\text{ °C à }+ 250\text{ °C}|$.

Ce signal, après avoir été amplifié, entre sur une des voies analogiques de la carte de conversion analogique digitale.

La valeur de la température sous la forme numérique est alors disponible à la sortie de cette carte, et sera directement utilisable après une mise à l'échelle.

Les points importants d'un cycle de mesures correspondent à la détection des maxima de la courbe $Q^{-1}(T)$ (Figure 6).

Plus la variation de température sera lente en ces points, plus la précision des mesures sera bonne.

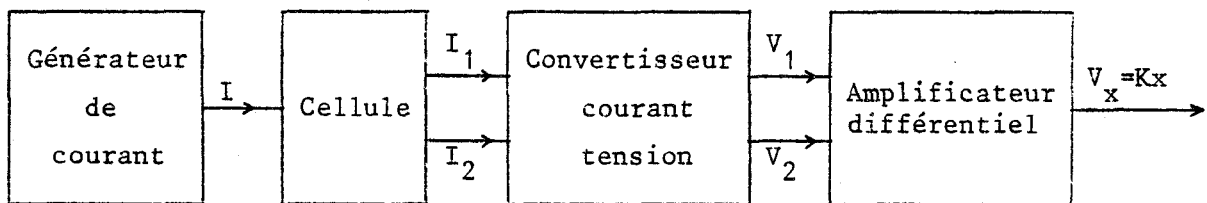
La régulation de la vitesse de la température suivant la valeur du frottement intérieur Q^{-1} sera donc nécessaire.

II.2.7 - Carte d'interface pour la mesure des amplitudes [5]

La mesure du déplacement s'effectue à partir d'une cellule photo-résistante différentielle Acova CDS type 5090.

Cette cellule est alimentée par un générateur de courant et débite un courant différent sur chacune de ses deux sorties. la différence de ces deux courants est alors proportionnelle au déplacement.

Il est donc nécessaire de construire autour de ce capteur toutes les transformations utiles à l'adaptation du signal au mode de traitement choisi (Figure 15).



SCHEME SYNOPTIQUE DE LA CARTE INTERFACE POUR LA MESURE DES AMPLITUDES

Figure 15

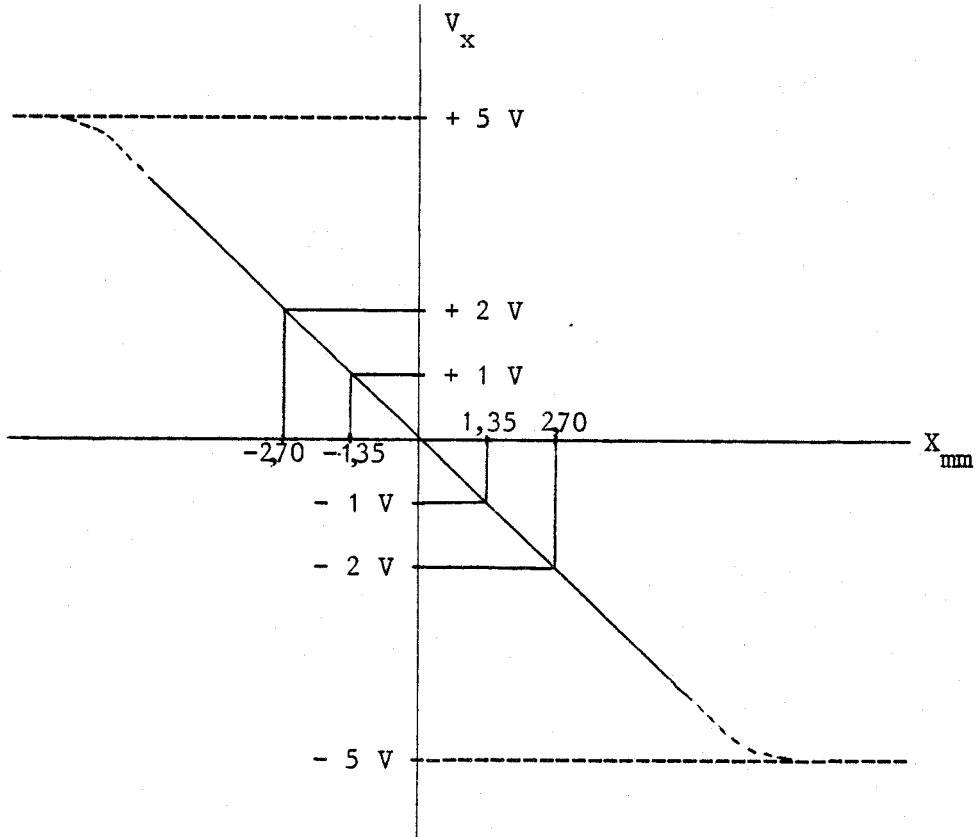
II.3 - BANALISATION DES PERIPHERIQUES ANNEXES

Afin de compléter les relations du microprocesseur avec son environnement, trois éléments supplémentaires vont compléter son architecture :

- Une carte de conversion analogique digitale à plusieurs entrées
- Une mémoire de masse (Cassette T U 58)
- Un basic implanté en EPROM

II.3.1 - Carte de conversion analogique digitale |5| |6|

Pour la mesure du déplacement, l'étalonnage du capteur optique |2| a pu être réalisé. La caractéristique décrite figure 16 a été obtenue en déplaçant la cellule sur un banc micrométrique placé à deux mètres du miroir.



X_{mm} est la valeur du déplacement au niveau de la cellule
(X_{mm} a une précision de $\pm 1/100$ de mm)

CARACTERISTIQUE TENSION-DEPLACEMENT

Figure 16

De cette figure est déduite la sensibilité du capteur :

1,35 mm/V ou 0,74 V/mm

Le tableau suivant (Figure 17) donne la précision obtenue avec des convertisseurs 8, 10, 12 bits, pour deux gammes de tension différentes (± 5 V ; ± 10 V).

Précision Nb de bits	± 5 V		± 10 V
	1 bit	Capteur	1 bit
8 bits	39 mV	52 μ_m	78 mV
10 bits	9,78 mV	13 μ_m	19,56 mV
12 bits	2,44 mV	3,2 μ_m	4,88 mV

TABLEAU DE PRECISION

Figure 17

La précision demandée dans le cahier des charges est de 0,2" d'arc (ou encore de $2 \cdot 10^{-6}$ rd), soit encore de 4 μ_m , d'où la nécessité d'utiliser un convertisseur 12 bits, sur la gamme ± 5 V (voir figure 17).

Pour la conversion de la température, le thermocouple délivre un signal compris entre - 6 mV et + 10 mV, pour une variation de température de - 200 °C à + 250 °C. Ce dernier amplifié 1000 fois, donne une gamme de variation de tension de ± 10 V.

La précision demandée est de ± 0,2 °C, la sensibilité du thermocouple de 35,5 mV par degré Celsius ou 7,1 mV par bit. Le convertisseur 12 bits (Figure 17), sur une gamme de ± 10 V, donne la précision de 4,8 mV par bit, ce qui est largement satisfaisant pour notre application.

Le MP 6812, convertisseur respectant bien les données ci-dessus, permet de travailler sur les gammes ± 5 V, ± 10 V, + 5 V, + 10 V sur 12 bits et moins, à une vitesse de 34,5 μ_s . Ses 16 canaux d'entrées, permettront d'utiliser le mini-ordinateur pour des systèmes industriels pouvant contenir jusqu'à 16 voies analogiques [5].

La mise en œuvre de cet élément nous conduit à concevoir une carte analogique de 16 voies multiplexées.

II.3.2 - Basic

Ce basic est une version de 9 K Octets, disponible sur disquette. Il exécute les quatre opérations arithmétiques classiques en flottant (Addition, Soustraction en 2,4 ms ; Multiplication en 5,4 ms et Division en 7 ms). Il possède les commandes et instructions classiques (voir Annexe A).

Pour transférer ce basic de la disquette à notre système, il faut réajuster la valeur des zones mémoires, et implanter un programme lui permettant de communiquer avec l'extérieur par l'intermédiaire d'une console.

L'introduction d'un langage de haut niveau permettra une plus grande facilité d'emploi du mini-ordinateur dans la phase d'exploitation.

II.3.3 - Le T U 58

Le T U 58 est plus particulièrement adapté au chargement des programmes d'application, des tests, des paramètres de fonctionnement ainsi qu'à l'enregistrement et à la saisie des informations (systèmes portables).

Ce mini-système comprend un contrôleur microprogrammé (un 8085 de chez INTEL) et un ou deux dérouleurs. Il est connectable par une liaison série asynchrone, et utilise des cartouches de 256 K Octets, d'accès aux informations, selon une procédure d'accès aléatoire comparable à celles utilisées pour la gestion de disques.

La recherche de blocs étant bidirectionnelle, l'accès aux données est rapide. Le contrôleur microprogrammé gère la liaison série asynchrone avec notre processus maître, le protocole de communication, la recherche des blocs, l'écriture et la lecture, d'où l'utilité de l'extension d'un UART (Universal Asynchronous Receiver Transmitter) ainsi que d'un timer : 8253.

Le processeur local gère les calculs et la vérification d'erreurs de protocole, de lecture et d'écriture. Il réduit le logiciel d'exploitation au niveau du maître, et assure un fort coefficient de sécurité des données.

CONCLUSION

Au cours de ce chapitre, nous avons pu définir les spécifications essentielles du dispositif de métrologie, de contrôle de traitement numérique à disposer autour du pendule de torsion. L'architecture retenue est finalement celle d'un mini-calculateur constitué :

- d'une carte maître élaborée à partir du 8085
- d'une extension de calcul ou processeur arithmétique permettant le calcul scientifique
- d'une extension mémoire portant la mémoire du calculateur à 64 K Octets
- d'extensions périphériques industriels du type chaîne multiplexé à gain programmable d'acquisition de données analogiques, de sorties analogiques (DAC), de sorties et d'entrées tout ou rien.
- d'extension périphérique informatique (Console, Imprimante, Lecteur de cassette T U 58)
- d'une extension graphique (table numérique X Y)

La structure modulaire des extensions nécessaires devrait permettre une mise en œuvre simple et répétitive des différents éléments dans d'autres domaines d'applications.

BIBLIOGRAPHIE DU CHAPITRE II

- | 1 | H. LILEN
"Introduction à la micro-informatique - Du microprocesseur au micro-ordinateur"
Editions RADIO
- | 2 | DUFFAUT Michel
"Automatisation par ordinateur d'une chaîne de mesure de frottement intérieur dans les métaux"
Thèse, 1977
- | 3 | SIEMENS
"Circuits intégrés pour micro-ordinateurs"
Matériel 8085
Edition 1978
- | 4 | SIEMENS
"Microprocesseurs et systèmes d'aide au développement de micro-ordinateurs"
Edition 1977
- | 5 | BARBEZ Jean-Michel
"L'élaboration d'une chaîne d'acquisition analogique - Application : Mesure d'un décrément logarithmique et de sa pseudo-période"
D. E. A., Juin 1980 - Université des Sciences et Techniques de Lille.
- | 6 | S B C 711
"Analog input board hardware reference manual"

CHAPITRE III

CONSTRUCTION DU MINI ORDINATEUR

CONSTRUCTION DU
MINI-ORDINATEUR

INTRODUCTION

III.1 - CARTE MICROPROCESSEUR 8085 IDN PROCESS

III.1.1 - Circuits mémoires

III.1.2 - Entrées - Sorties parallèles

III.1.3 - Entrées - Sorties séries

III.1.4 - Interruptions

III.1.4.1 - Interruptions issues du 8085

III.1.4.2 - Interruptions gérées par le 8259

III.1.5 - Implantation mémoire

III.2 - CARTES PERIPHERIQUES

III.2.1 - Carte de conversion Analogique-Digitale

III.2.1.1 - Présentation générale de la carte

III.2.1.2 - Informations sur la programmation d'une telle carte

** Chargement de la commande dans le registre : 7400*

** Lecture du contenu du registre : 7400*

** Chargement du gain et de l'adresse de multiplexage : 7401*

** Lecture du gain et de l'adresse de multiplexage : 7401*

** Chargement du dernier canal du registre : 7402*

** Effacement des interruptions : 7403*

** Lecture de la valeur convertie, de poids faible : 7404*

** Lecture de la valeur convertie, de poids fort : 7405*

III.2.1.3 - Analyse des différents modes de fonctionnement

** Organigramme de la conversion d'une valeur analogique
pour un canal quelconque*

- * Organigramme de la conversion répétée d'une valeur analogique pour un canal
- * Organigramme de la scrutation des canaux séquentiellement

III.2.2 - Extension d'entrées-sorties

III.2.2.1 - L'UART 8251

- * Carte extension 8251

III.2.2.2 - Registre d'horloge programmable 8253

- * Carte extension 8253

III.2.2.3 - Interface périphérique programmable 8255

- * Carte extension 8255

III.2.3 - Extension mémoire

III.2.3.1 - Extension RAM

III.2.3.2 - Extension EPROM

III.2.3.3 - Back Panel

III.2.4 - Processeur arithmétique 8231

III.2.4.1 - Virgule fixe au format de 16 ou 32 bits

III.2.4.2 - Virgule flottante au format de 32 bits

- * Exemple

III.2.4.3 - Signaux de contrôle du 8231

III.2.4.4 - Couplage de l'unité de traitement arithmétique à l'unité centrale

- * Carte processeur arithmétique

III.2.4.5 - Programmation du 8231

- * Fonctionnement interne

- * Organigramme de la programmation du processeur arithmétique

III.2.5 - Carte de conversion Digitale-Analogique

III.3 - PERIPHERIQUES

III.3.1 - Console de visualisation

III.3.1.1 - Programmation de l'interface UART

- * Initialisation des circuits

* Organigramme du programme de fond

III.3.2 - Imprimante "Séries 730 Printers"

III.3.2.1 - *Fonctionnement de l'imprimante*

* *Signaux logiques de l'imprimante*

* *Couplage de l'imprimante à l'unité centrale*

III.3.2.2 - *Organigramme de la programmation de la gestion de l'imprimante*

III.3.3 - Table traçante : DIGIT - PLOT Model WX 4671

III.3.3.1 - *Couplage de la table traçante à l'unité centrale*

III.3.3.2 - *Programmation de la gestion de la table traçante*

III.3.4 - Support magnétique à cassettes : TU 58

III.3.4.1 - *Contrôle microprogramme*

* *Protocole de communication*

III.3.4.2 - *Connexion du TU 58 au mini-ordinateur*

III.3.4.3 - *Programmation de la gestion du TU 58*

III.4 - LOGICIEL DU MINI-ORDINATEUR

III.4.1 - Moniteur IDN Process

III.4.2 - Basic interpréteur

III.5 - OUTIL DE MISE EN ŒUVRE

CONCLUSION

CONSTRUCTION DU MINI-ORDINATEUR

INTRODUCTION

La description du cahier des charges et la spécification des besoins ayant été précisée dans les deux précédents chapitres, nous proposons d'aborder la réalisation concrète du mini-ordinateur.

Une première partie de ce chapitre est consacrée à la description de l'unité centrale ou processeur maître, carte développée au sein du laboratoire d'Informatique Industrielle de l'I. D. N..

La seconde partie correspond à la réalisation de toutes les cartes extensions à l'unité centrale spécifiées dans le chapitre II.

Nous aborderons ensuite la description et la connexion des périphériques utilisés, au processeur maître.

Dans une dernière partie, nous présenterons la description du logiciel du mini-ordinateur et de l'outil de mise en œuvre facilitant le processus d'élaboration et de test des programmes.

III.1 - CARTE MICROPROCESSEUR 8085 IDN PROCESS (Voir Photo 3)

Le 8085 est un microprocesseur 8 bits, fonctionnant avec une seule source de tension (+ 5 V). Le multiplexage des 8 bits de poids faibles du bus d'adresses et les 8 bits du bus de données permet d'obtenir toutes les fonctions du 8085.

Il opère à une fréquence d'horloge de 3 MHz.

Il dispose de plus de 200 instructions, instructions arithmétiques et logiques, de transfert, de branchement conditionnel, d'entrées/sorties et de contrôle |1|.

Annexe B

III.1.1 - Circuits mémoires

Quatre boîtiers 2114 forment la zone mémoire vive de 2 K Octets et trois boîtiers 2716 la zone mémoire morte de 6 K Octets |1| |2|.

Sur l'un de ces trois boîtiers se trouve le moniteur.

III.1.2 - Entrées / Sorties parallèles

La carte est équipée de deux 8255, boîtiers d'interface périphérique programmable, définissant 48 lignes d'entrées/sorties parallèles, programmables en entrée et en sortie, par groupe de 8, 8, 4 et 4 pour chaque 8255 |1| |2|.

- Par l'intermédiaire de ces lignes, la connexion d'appareils périphériques est possible.

- Des amplificateurs de lignes et récepteurs sont placés derrière les deux 8255. Ils sont choisis selon les circuits sur lesquels ils sont raccordés, pour leur fournir la puissance voulue.



PHOTO III : Carte IDN Process

100
LILLE

III.1.3 - Entrées / Sorties séries

Elle est équipée d'un "coupleur asynchrone d'émission-réception", IM 6402. Selon l'adaptation désirée, visu, imprimante, télé type, la vitesse de transmission peut être réglée par programmation d'un timer incorporé dans le boîtier Intel : 8253 |1| |2|.

III.1.4 - Interruptions

Deux sortes d'interruptions sont possibles, celles propres au 8085 et celles gérées par le circuit 8259 |1| |2|.

III.1.4.1 - Interruptions issues du 8085

Sur le boîtier du 8085, sont disponibles directement sur les broches de sortie : TRAP ; RST 7,5 ; RST 6,5 ; RST 5,5 ; interruptions vectorisées, hiérarchisées, masquables. Une simple instruction JUMP à ces adresses fournit le lien pour retrouver les sous-programmes correspondants, placés en mémoire.

TRAP est l'interruption la plus prioritaire, elle est exclusivement réservée pour la coupure de courant, qui nécessite l'attention immédiate de l'unité centrale.

III.1.4.2 - Interruptions gérées par le 8259

Le 8259 offre la possibilité de huit niveaux d'interruptions (vectorisées, hiérarchisées, masquables).

Par l'intermédiaire de la programmation, quatre méthodes différentes de priorité peuvent être déterminées :

i) Echelle de priorité, avec des niveaux d'interruptions prioritaires décroissantes

ii) Dernier servi, dernier pris en compte ; à la dernière interruption traitée, est attribuée la plus faible priorité.

iii) Masquage spécial, quand le bit "Spécial Mask Mode" est positionné à "1", les interruptions de plus bas niveau que celles traitées sont tout de même réalisables.

iv) Contrôle par l'unité centrale, c'est le programme qui traite les demandes d'interruptions.

III.1.5 - Implantation mémoire

La figure (18) montre qu'il est possible d'étendre ce système, grâce aux zones mémoire, et aux "Chip Select" restés libres.

IMPLANTATION MEMOIRE

RAM	2 Kilos Octets	F800 à FFFF
EPROM	2 Kilos Octets	0000 à 07FF
	2 Kilos Octets	F000 à F7FF

ENTREES / SORTIES PARALLELES - NIVEAUX TTL

CIRCUIT 8255				
Adresse hexa du	Contrôle	Port A	Port B	Port C
Le circuit I	2 B	28	29	2 A
Le circuit II	2 F	2 C	2 D	2 E

Figure 18 .../...

ENTREES / SORTIES SERIES

CIRCUIT 8251	
TTY INPUT	00
Mot d'état	01
TTY OUTPUT	08

TIMERS

CIRCUIT 8253	
Mot de commande	23
Compteur I	20
Compteur II	21
Compteur III	22

Figure 18



III.2 - CARTES PERIPHERIQUES

III.2.1 - Carte de conversion Analogique-Digitale

III.2.1.1 - *Présentation générale de la carte* |3| |4|

Cette carte permet la conversion numérique de tensions électriques et la transmission de cette valeur vers le microprocesseur.

Elle comporte 16 entrées de tension, mesurable chacune par rapport à la masse ou en mode différentiel, donnant dans ce cas 8 entrées possibles.

Les tensions analogiques applicables sur une telle carte sont réglables par strap, les gammes de tensions disponibles sont les suivantes :

- 0 à 5 V avec une précision de 0,610 mV par bit
- 0 à 10 V avec une précision de 1,22 mV par bit
- ± 10 V avec une précision de 2,442 mV par bit
- ± 5 V avec une précision de 1,22 mV par bit

La programmation du gain, 1, 1/2, 1/4 ou 1/8 élargit l'éventail de la gamme de mesure.

Cette carte est construite autour du composant MP 6812, qui fournit la valeur numérique binaire sur 12 bits, en une durée maximale de conversion de 35,7 µs.

Cette carte est d'un grand intérêt pour les processus industriels. En effet, un nombre important de phénomènes industriels utilisent des données analogiques. Il convient donc de pouvoir effectuer le traitement numérique de ces informations.

Cette carte peut, grâce à ces trois modes de fonctionnement :

- i) Convertir une seule tension analogique appliquée sur l'un de ces canaux d'entrée

ii) Faire la conversion répétée de tensions appliquées sur l'un des canaux d'entrée. Nous obtenons dans ce cas, pour un système évoluant dans le temps, l'état échantillonné d'une variable du processus. La période d'échantillonnage est présélectionnée sur la carte par l'intermédiaire d'une horloge ou d'un trigger externe.

iii) Faire la scrutation séquentielle et multiplexée de N canaux. Par programmation, la carte donne la valeur analogique du canal n, puis du canal n+1, ..., n+i et revient ensuite au canal d'origine module N. Cette carte est implantée à l'adresse mémoire 7400 (Photo 4)

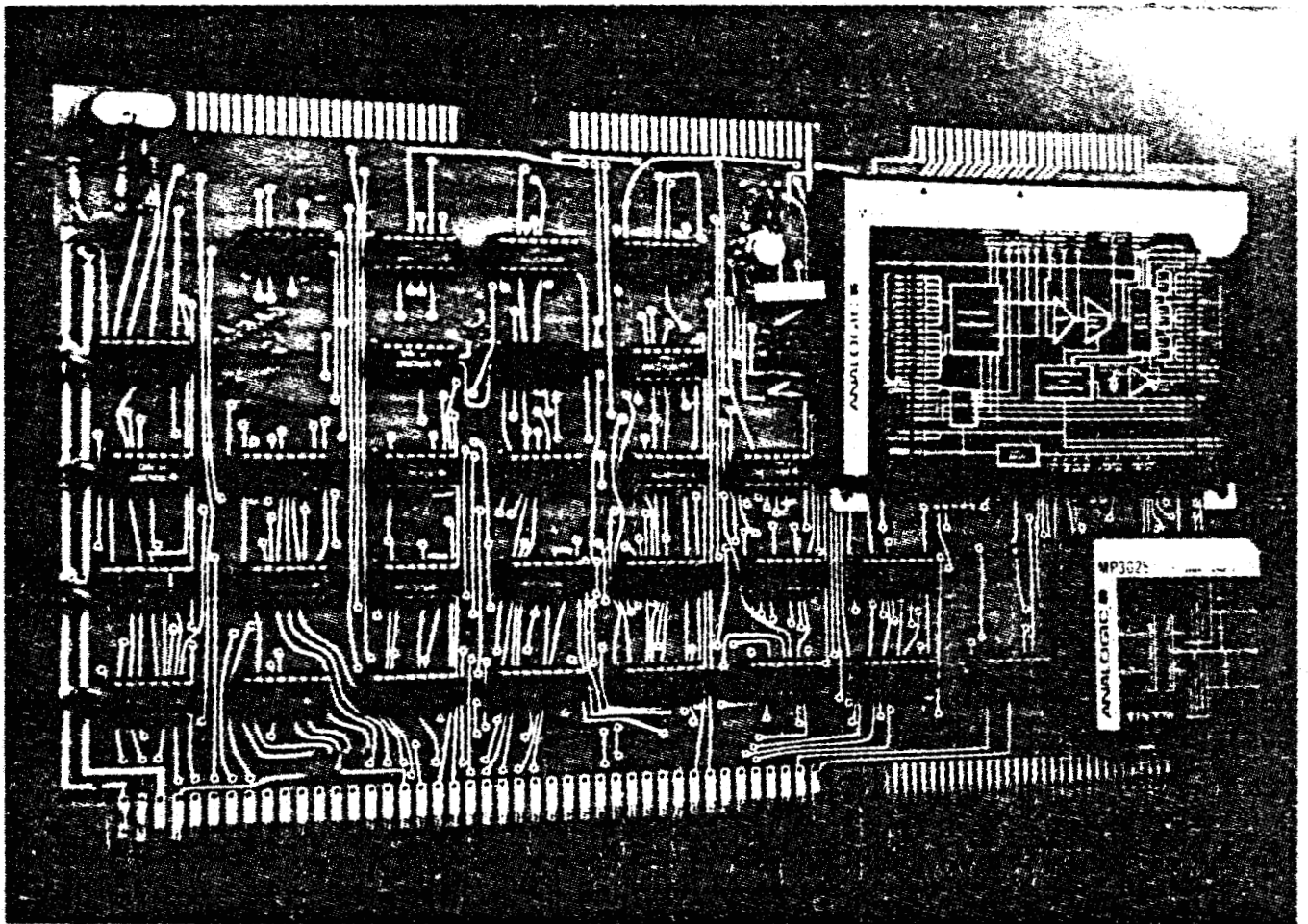
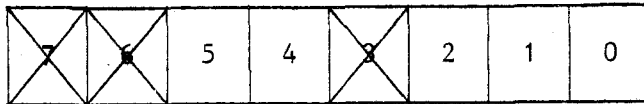


PHOTO IV : Carte de conversion Analogique-Digitale

HUS
LILLE

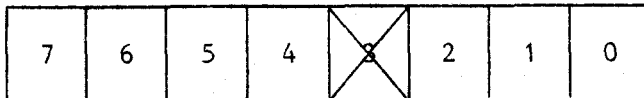
III.2.1.2 - Informations sur la programmation d'une telle carte

* Chargement de la commande dans le registre : 7400



- bit 0 : autorise la conversion GO
- bit 1 : autorise l'incrémentation AIE
- bit 2 : démarrage de l'ADC par un trigger externe : ETE
- bit 4 : permet la fin de scrutation : EOS
- bit 5 : permet la fin de conversion : EOC

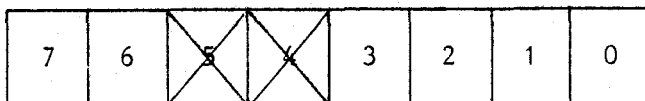
* Lecture du contenu du registre : 7400



les bits de 0 à 5 vérifient les commandes précédentes

- bit 6 : le dernier canal est converti
- bit 7 : l'ADC est prête à être lue

* Chargement du gain et de l'adresse de multiplexage : 7401



- bits de 0 à 3 : canal 1 parmi 16, ou canal de départ pour une scrutation
- bits 7 et 6 : gain de 1 pour 00
 - 2 pour 01
 - 4 pour 10
 - 8 pour 11

* *Lecture du gain et de l'adresse de multiplexage : 7401*

Possibilité de vérifier la commande vue ci-dessus.

* *Chargement du dernier canal du registre : 7402*

bits de 0 à 3 : adresse du dernier canal.

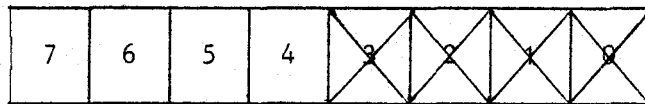
Pour l'opération de scrutation, le numéro du canal de départ est indiqué à l'adresse 7401 et le numéro du canal d'arrivée à l'adresse 7402.

* *Effacement des interruptions : 7403*

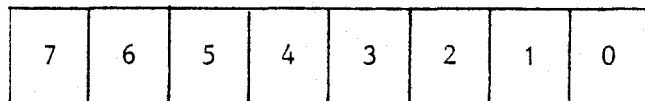
bit 4 = 1 : Efface l'EOS

bit 5 = 1 : Efface l'EOC

* *Lecture de la valeur convertie de poids faible : 7404*



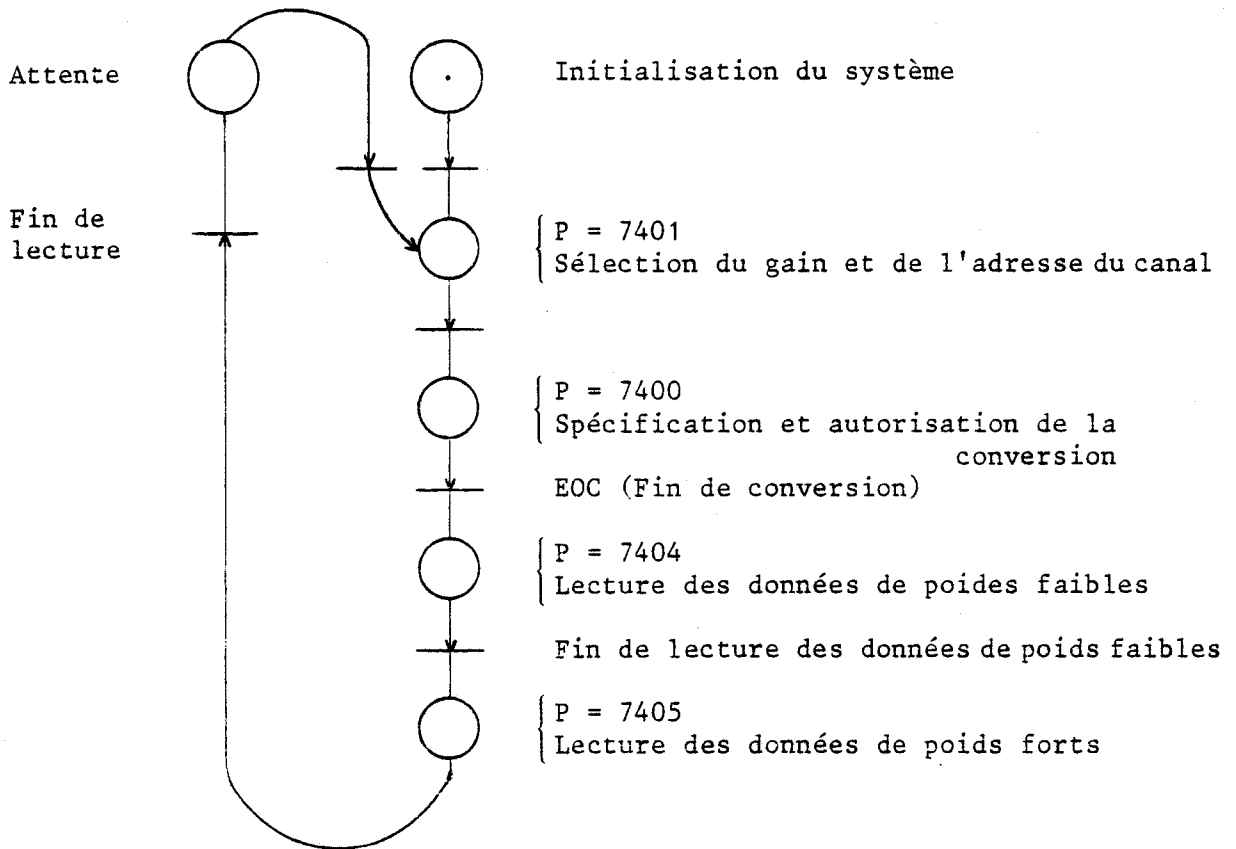
* *Lecture de la valeur convertie de poids fort : 7405*



III.2.1.3 - Analyse des différents modes de fonctionnement

Les étapes successives de ces différents modes de fonctionnement sont décrites ci-après |5|.

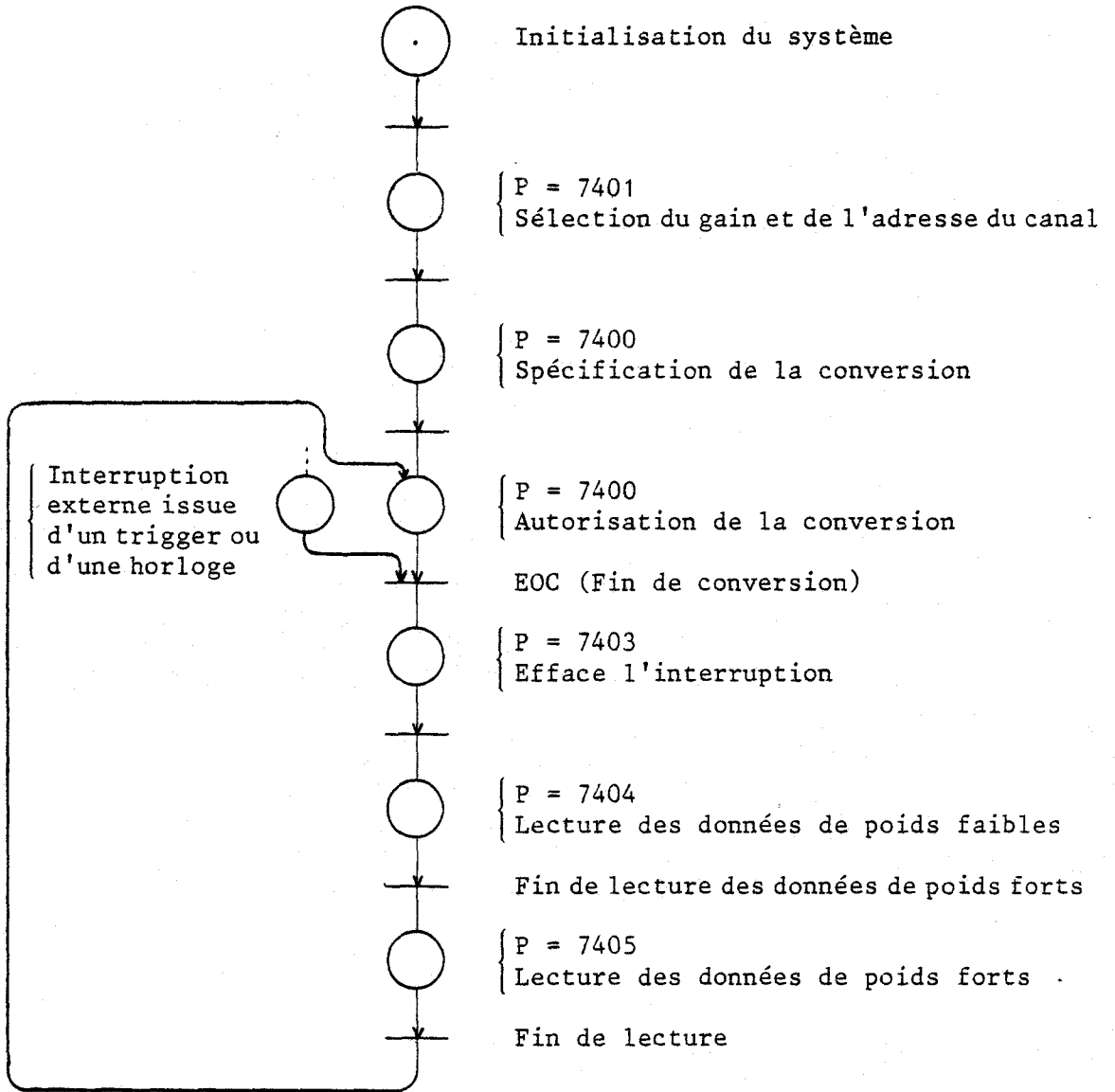
* Organigramme de la conversion d'une valeur analogique pour un canal quelconque



Voir Annexe C1 pour la programmation



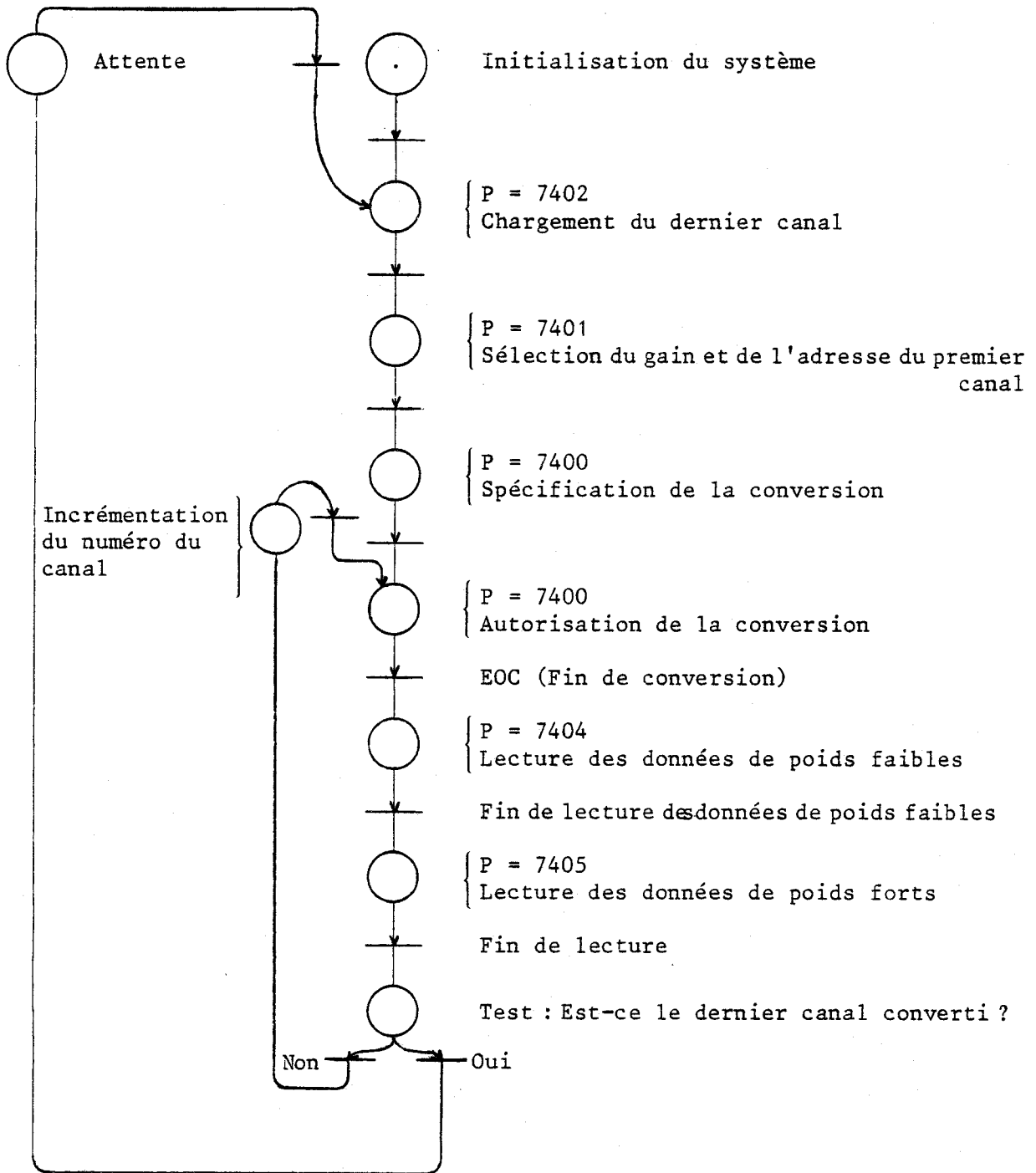
* Organigramme de la conversion répétée d'une valeur analogique pour un canal



Voir Annexe C1 pour la programmation



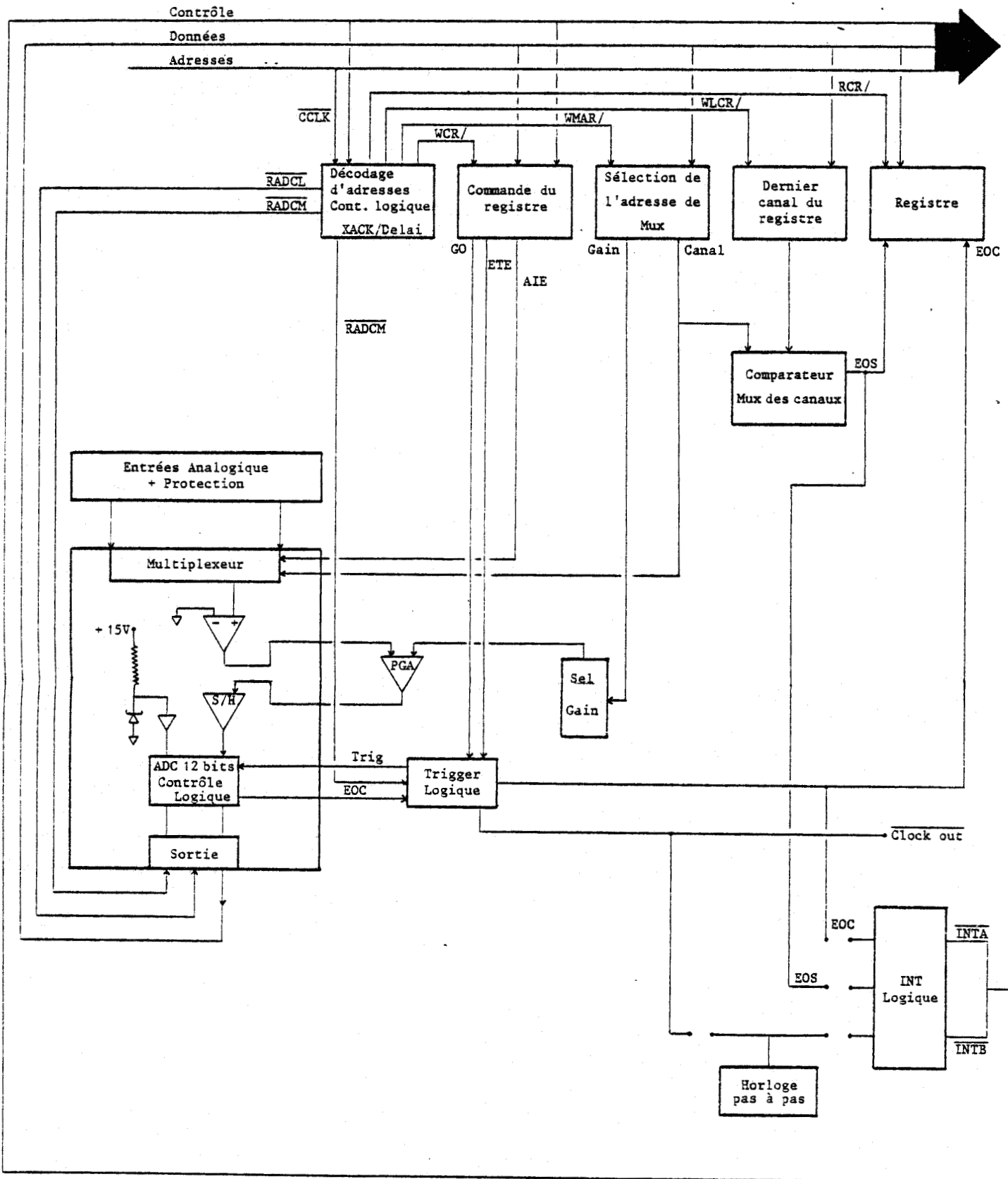
* Organigramme de la scrutation des canaux séquentiellement



Voir Annexe C1 pour la programmation.



La figure 19 décrit le synoptique complet et l'annexe C2 donne divers renseignements de cette carte de conversion.



SCHEMA SYNOPTIQUE

FIGURE 19



III.2.2 - Extension d'entrées-sorties

III.2.2.1 - L'UART 8251 | 1 | 2 | 6 |

Le 8251 est un circuit émetteur-récepteur synchrone-asynchrone universel, pour la transmission de données dans des systèmes à micro-ordinateur. Il est traité par le processeur comme les autres circuits périphériques et programmé de façon à pouvoir fonctionner pratiquement avec chacune des techniques actuelles de transmission de données en série.

Le tampon de ligne reçoit des caractères en parallèle du microprocesseur, puis les convertit en un flux de données série pour la transmission. Il peut simultanément recevoir un flux de données série et le convertir en caractères de données parallèle pour le microprocesseur. Le tampon de ligne signale au microprocesseur quand il peut recevoir un nouveau caractère à transmettre ou lui délivrer un caractère. Ce dernier peut lire à tout moment l'état du tampon de ligne, y compris les erreurs de transmission de données et les signaux de commande, tels que SYNDET, T x EMPT.

Ce circuit est réalisé en technologie à grille au silicium et canal n (Annexe D.1).

* Carte extension 8251

Cette carte est une carte universelle, elle est adaptable à trois types de périphériques, sélectionnés par straps : télécype, console de visualisation, et entrées/sorties TTL.

A chacun de ces périphériques correspond une ligne de réception, d'émission et une ligne de référence.

La vitesse de transmission est déterminée par la fréquence de l'horloge reliée aux broches 9 et 25 du boîtier, ce signal étant issu d'un Quartz ou d'une sortie d'un 8253 (timer).

Le schéma de cette carte est présenté dans la figure 20.

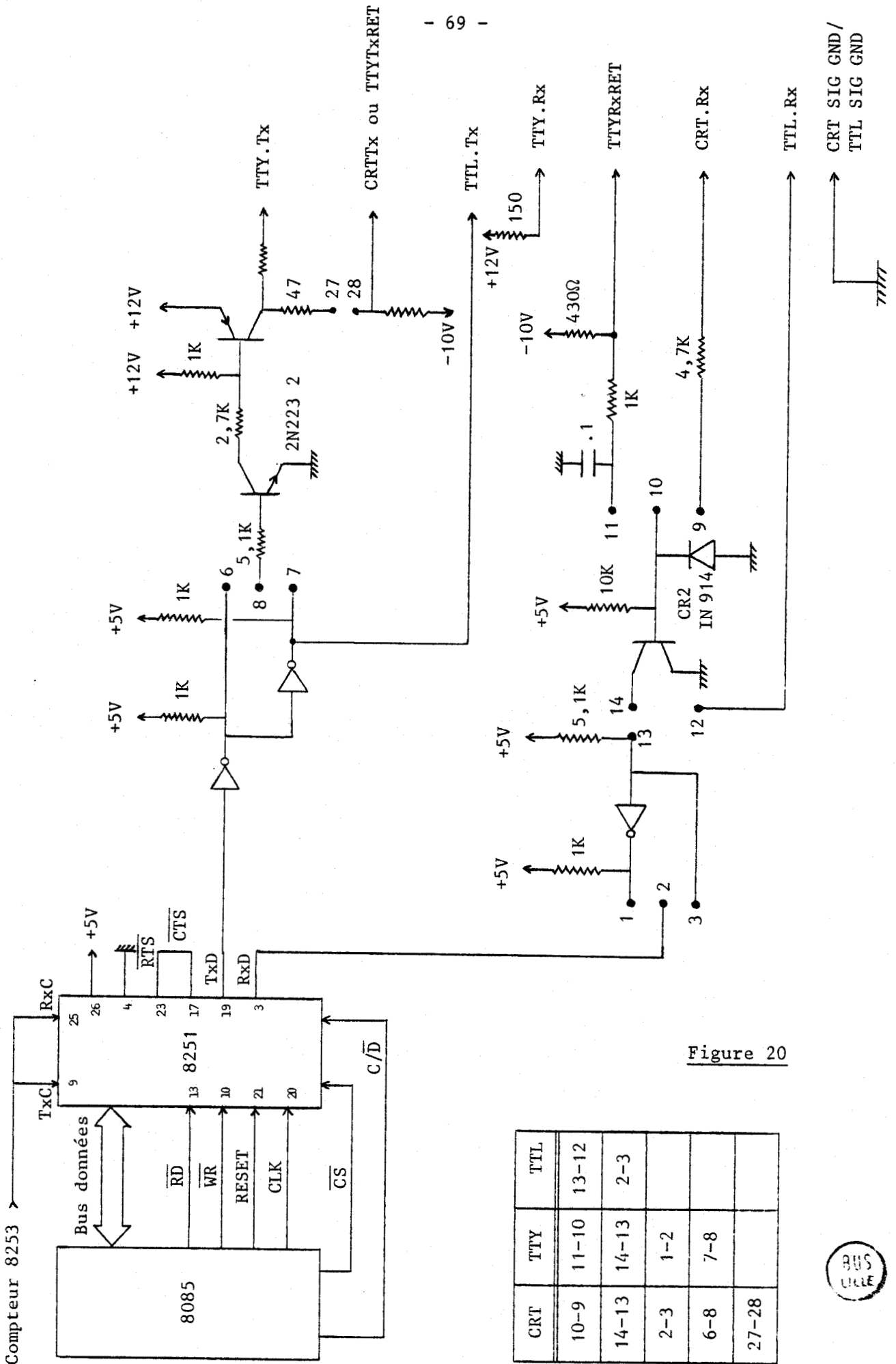


Figure 20

CRT	TTY	TTL
10-9	11-10	13-12
14-13	14-13	2-3
2-3	1-2	
6-8	7-8	
27-28		

BUS
LIGNE

De manière à ce que la vitesse de transmission d'une telle carte soit complètement programmable, cette carte doit être associée à une autre carte contenant un timer 8253 (Annexe D.1).

III.2.2.2 - Registre d'horloge programmable 8253 |1| |2|

Le 8253 est un registre d'horloge-compteur programmable, organisé en trois compteurs de 16 bits indépendants, ayant chacun une fréquence de comptage de 2 MHz max.

Le 8253 est utilisé comme un générateur de retards programmables (il évite ainsi l'établissement de boucles de temporisation dans le logiciel).

Il peut réaliser d'autres fonctions de registre d'horloge-compteur, ne présentant pas le caractère d'un retard :

- Générateur programmable de vitesse de transmission
- Compteur d'évènements
- Multiplicateur de vitesse de comptage binaire
- Horloge en temps réel
- Bascule monostable numérique

(Annexe D.2).

* Carte extension 8253

Vue la simplicité d'utilisation du 8253, aucune logique complémentaire n'est requise. La carte extension peut contenir de ce fait, trois 8253 (Annexe D.2).

III.2.2.3 - Interface périphérique programmable 8255 |1| |2|

Le 8255 est un circuit d'entrées-sorties programmable. Il comporte 24 broches d'entrées-sorties, programmables individuellement en deux groupes de 12 et utilisables pour l'essentiel en trois modes d'exploitation.

Dans le mode "0", chaque groupe de 12 broches d'entrées-sorties est programmable en entrée ou sortie, par section de 4 broches.

Dans le mode "1", 8 lignes de chaque groupe sont programmables en entrées ou sorties. Parmi les 4 broches restantes, 3 sont utilisées pour l'échange d'accusés réception et pour des signaux de commande d'interruption.

Le mode "2" est un mode d'exploitation de bus bidirectionnel, dans lequel 8 broches sont utilisées comme bus bidirectionnel. 5 autres broches, dont 1 empruntée à l'autre groupe, servent dans ce cas à l'échange d'accusés de réception (Annexe D.3).

** Carte d'extension 8255*

Ce circuit nécessite aucune logique supplémentaire.

A l'inverse du 8253, la carte d'extension 8255 ne possède qu'un seul boîtier, en raison du nombre important de lignes à ramener sur le connecteur (24 lignes d'entrées-sorties, 8 lignes du bus données) (Annexe D.3).

III.2.3 - Extension mémoire

III.2.3.1 - *Extension RAM* | 2 |

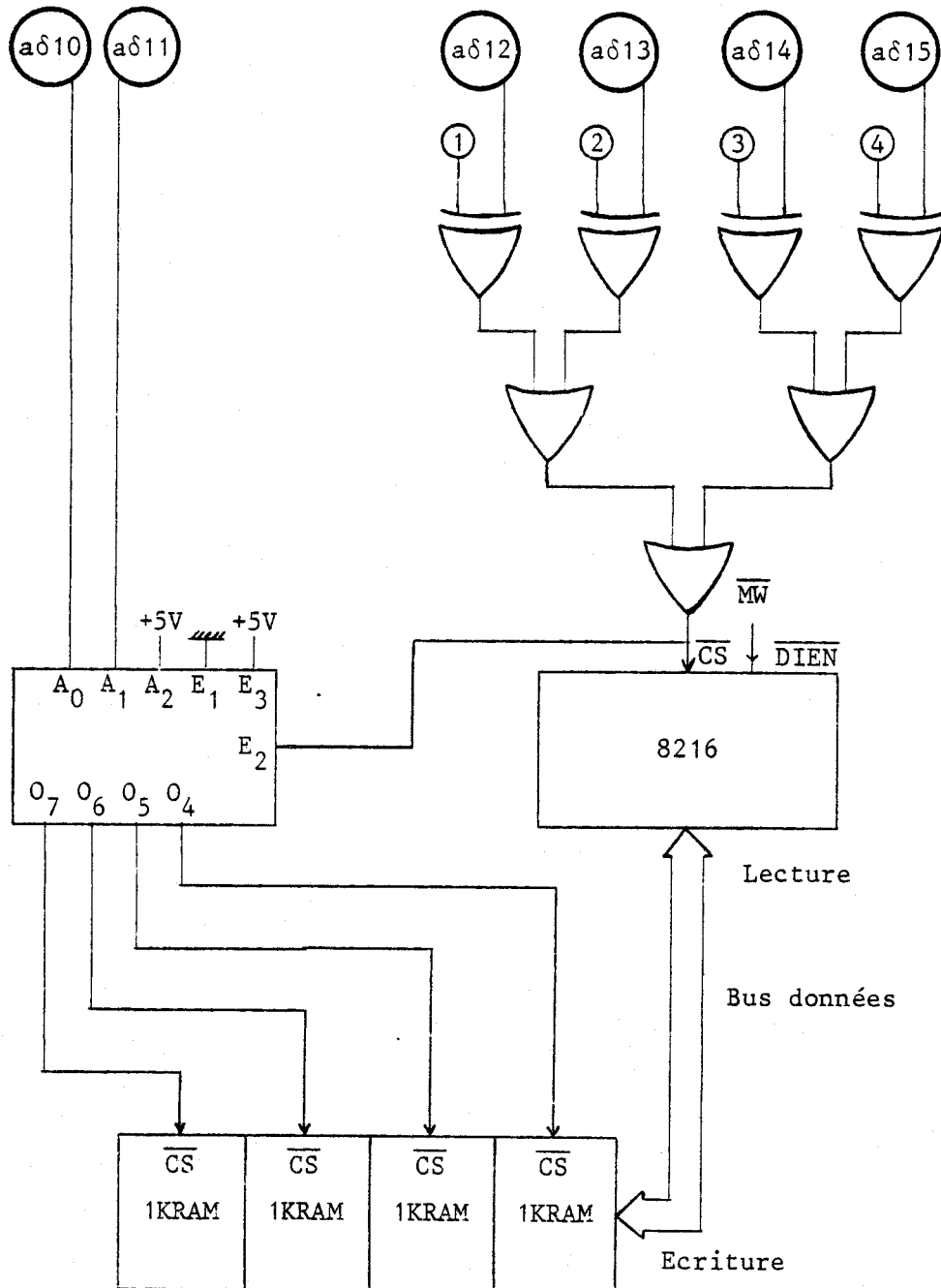
Le boîtier RAM 2114 est une mémoire à accès aléatoire de 4096 bits, organisé en 1024 mots de 4 bits. C'est par la mise en œuvre de ce composant qu'est bâtie l'extension RAM.

L'adjonction de deux de ces boîtiers, l'un sur la partie basse du bus données et l'autre sur la partie haute, constitue une mémoire de capacité d'1 K Octets.

L'écriture et la lecture de chacune de ces RAM s'exécutent par l'intermédiaire des signaux logiques \overline{MR} (Memory Read), \overline{MW} (Memory Write) et \overline{CS} (Chip Select).

L'extension RAM d'une capacité de 24 K Octets s'implante de l'adres-

se 1000 à 8000, à la suite de la zone EPROM disponible sur l'unité centrale (Carte IDN Process). Elle se présente sous forme de six cartes de 4 K Octets chacune. Chaque carte possède 2 boîtiers 8216, pour la bufférisation du bus données, une partie logique de décodage d'adresse (Figure 21) et 8 boîtiers 2114 pour former les 4 K Octets (Annexe D.4).



SCHEMA DE LA PARTIE LOGIQUE DE CHAQUE CARTE RAM

Adresses	Straps			
	①	②	③	④
1000	1	0	0	0
2000	0	1	0	0
3000	1	1	0	0
4000	0	0	1	0
5000	1	0	1	0
6000	0	1	1	0

SELECTION DES CARTES RAM PAR L'INTERMEDIAIRE DE STRAPS

Figure 21



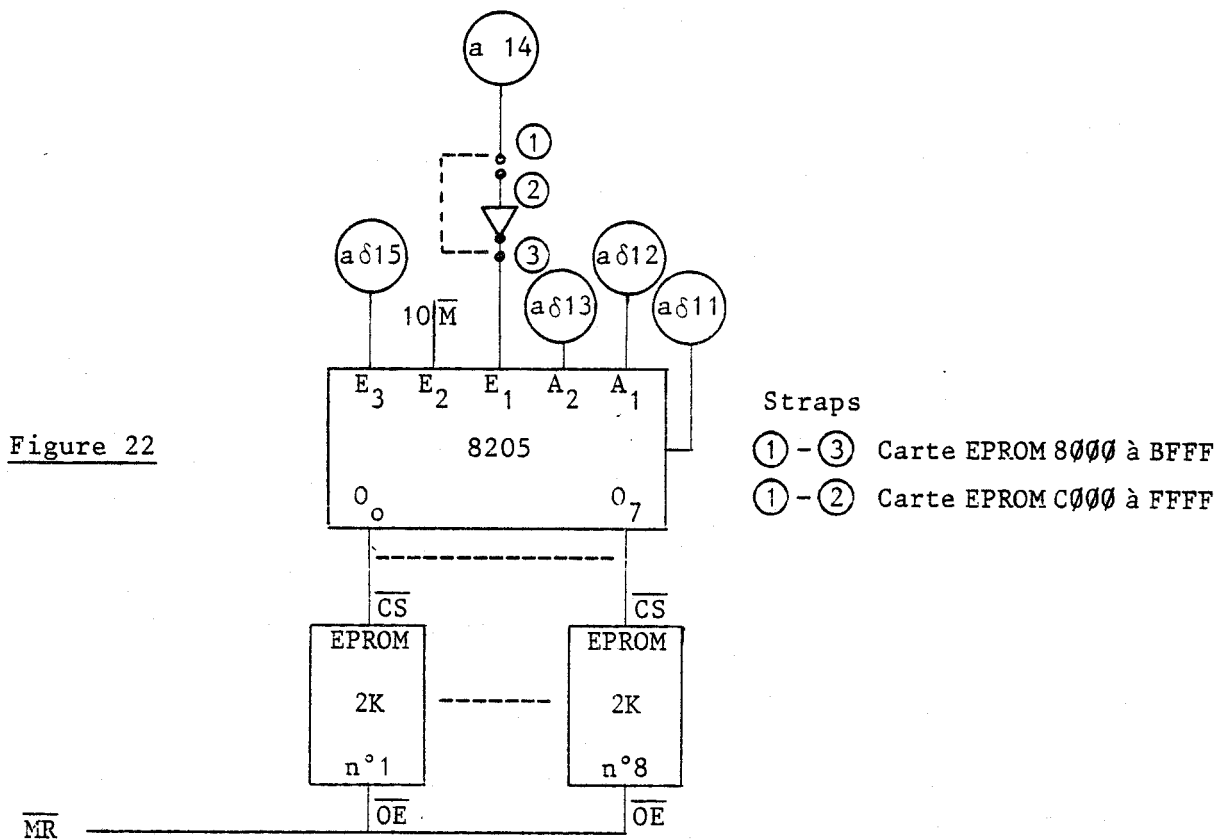
III.2.3.2 - Extension EPROM | 2 |

Le boîtier EPROM est une mémoire morte de 16 384 bits, organisé en 2048 mots de 8 bits, effaçable par ultra-violet et reprogrammable électriquement (Annexe D.4).

La lecture d'une EPROM s'exécute par l'intermédiaire des signaux logiques \overline{MR} (Memory Read) et \overline{CS} (Chip Select).

L'extension EPROM de 32 K Octets se décompose en deux cartes de 16 K Octets chacune. L'une se situe à la suite de l'extension mémoire RAM, de l'adresse 8000 à C000, l'autre de C000 à FFFF, cette dernière obligeant le retrait des 2 K EPROM (de l'adresse F000 à F7FF) et des 2 K RAM (F800 à FFFF) appartenant à l'unité centrale (carte IDN Process).

Chacune de ces cartes est composée de 8 boîtiers 2716, et d'une partie logique de décodage d'adresse (Figure 22).



SCHEMA DE LA PARTIE LOGIQUE DE CHAQUE CARTE EPROM

III.2.3.3 - Back Panel

Les cartes extension mémoire RAM et EPROM sont montées sur le Back Panel.

Le Back Panel est en quelque sorte un bus de connexion reliant chaque carte extension.

A son entrée, se situe une carte supplémentaire, pour la Bufférisation de son bus adresse (Annexe D.4). (Photo 5).

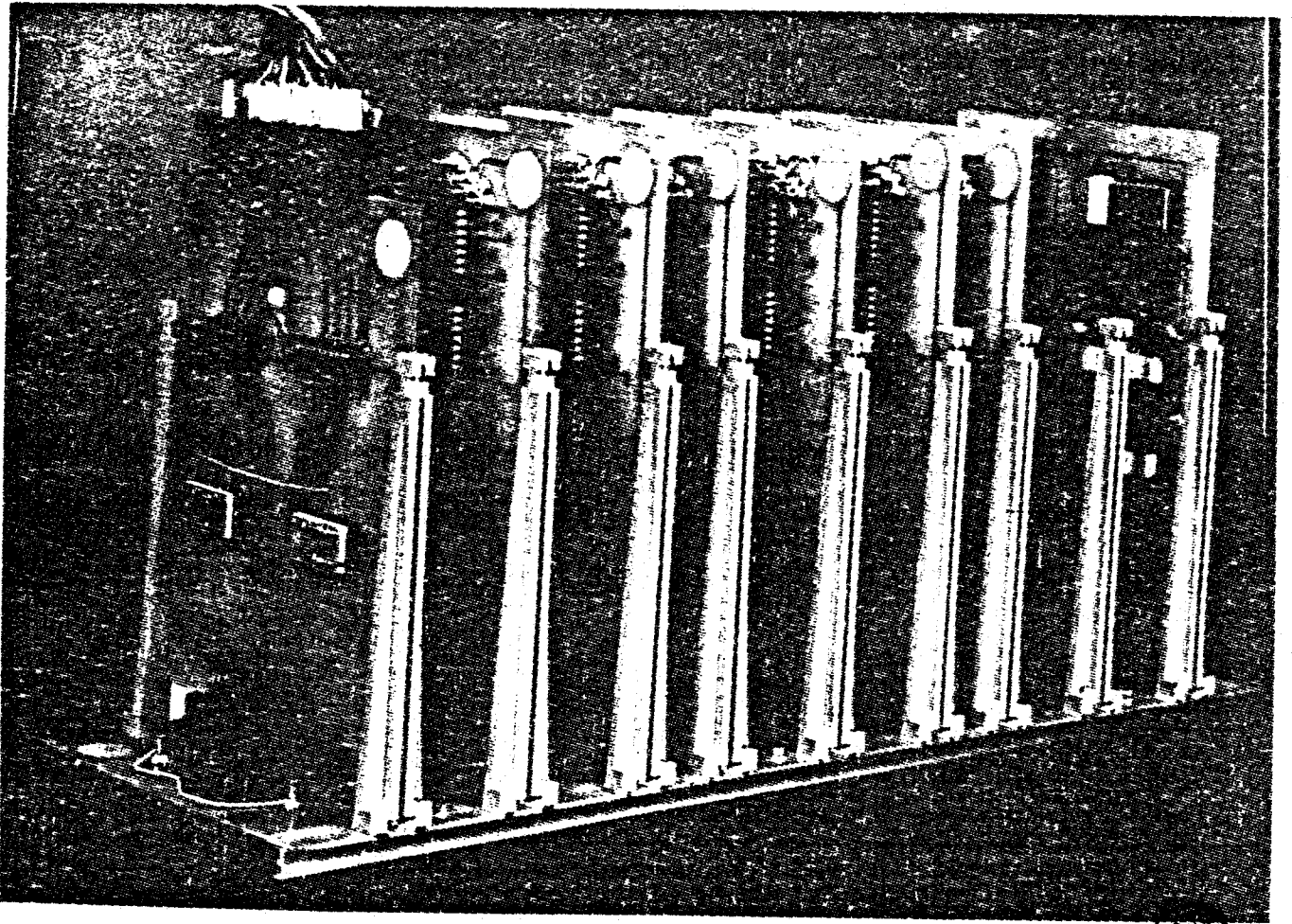


PHOTO V : Back Panel

80'S
LILLE

III.2.4 - Processeur Arithmétique 8231 |2| |7|

Le processeur numérique 8231 est un circuit périphérique destiné à améliorer de façon considérable la capacité de calcul arithmétique du microprocesseur 8085.

Il exécute les 4 opérations fondamentales (+, -, ÷, ×) pour des nombres représentés en code binaire, sur trois modes de représentation des nombres différents.

III.2.4.1 - *Virgule fixe au format de 16 ou 32 bits*

Le code utilisé pour les nombres négatifs est le code binaire complément à 2. Les nombres sont des entiers (virgule fixe positionnée à droite).

En format simple, l'étendue de codage va de -2^{15} à $2^{15}-1$, en format double de -2^{31} à $2^{31}-1$.

III.2.4.1 - *Virgule flottante au format de 32 bits*

Dans ce type de représentation, un nombre N s'écrit de la façon suivante :

$$N = M \times 2^E$$

où M représente la mantisse et E l'exposant.

Le nombre de bits de la mantisse fixe la précision limite des calculs, tandis que le nombre de bits de l'exposant détermine l'étendue de codage.

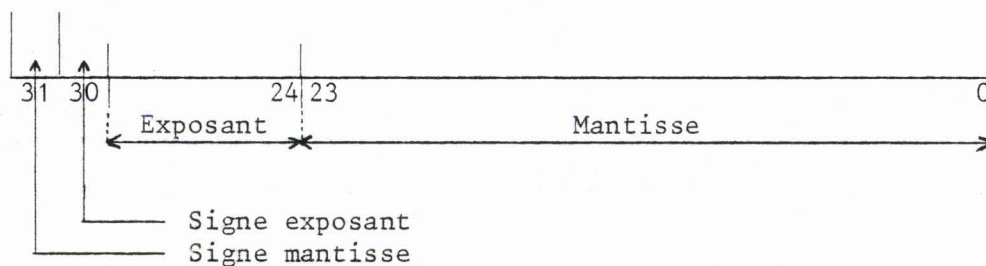


Figure 23

La mantisse est codée en binaire dans la convention fractionnaire, $0 \leq |M| < 1$, c'est à dire virgule à gauche. Le bit 31 donne son signe (0 si $M \geq 0$).

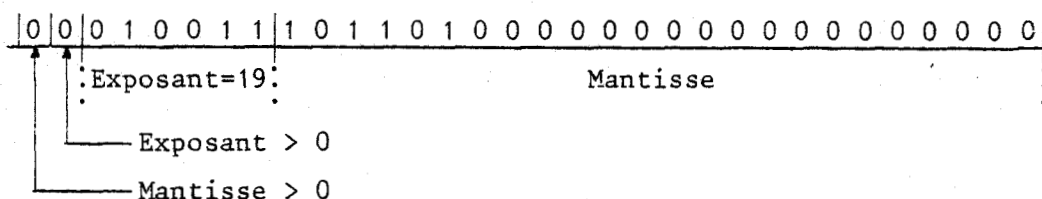
L'exposant est représenté sur 7 bits (bits 30 à 24) en code complément à 2.

Une conséquence de cette normalisation est que le bit 23 est toujours positionné à 1 (en dehors de la valeur 0 pour laquelle tous les bits de la mantisse sont à 0). La valeur de la mantisse est donc en réalité comprise entre 0,5 et 1.

L'étendue du codage va, dans ces conditions, de $\pm 2,7.10^{-20}$ à $\pm 9,2.10^{18}$.

** Exemple*

Déchiffrons la valeur 13.B4.00.00, valeur en flottant sur 32 bits.



$$M = 2^{-1} + 2^{-3} + 2^{-4} + 2^{-6} = 0,703125$$

Comme $N = \text{Mantisse} \times 2^{\text{Exposant}}$

Nous obtenons : $N = 0,703125 \times 2^{19} = 368640$

La valeur en flottant sur 32 bits 13.B4.00.00 a pour valeur en décimal : 368640

De plus, le 8231 exécute des fonctions spéciales, telles que fonctions exponentielles, trigonométriques et inverses, sur un format 32 bits représenté en virgule flottante (Annexe E.1).

III.2.4.3 - Signaux de contrôle du 8231

Aux signaux logiques classiques, \overline{CS} (Chip Select), $C/\overline{D} = A_0$ (Commande-

donnée), \overline{RD} (Read), \overline{WR} (Write) et du bus données (Figure 24), s'ajoute des signaux permettant sa gestion (Annexe E.2).

A ₀	\overline{RD}	\overline{WR}	Fonction
0	1	0	Entrée du byte dans la pile
0	0	1	Lecture du byte de la pile
1	1	0	Entrée des commandes
1	0	1	Lecture du registre

COMMANDE DES TRANSFERTS (TABLEAU VALIDE POUR $\overline{CS} = 0$)

Figure 24

III.2.4.4 - Couplage de l'unité de traitement arithmétique à l'unité centrale

Le processeur arithmétique est connecté à l'unité centrale par l'intermédiaire d'un 8255 (circuit d'entrées-sorties parallèles) pour ses propres signaux de contrôle, tandis que le bus données, les signaux \overline{RD} (Read), \overline{WR} (Write) et \overline{CS} (Chip Select) émanant de l'unité centrale lui sont connectés directement comme le montre la figure 25.

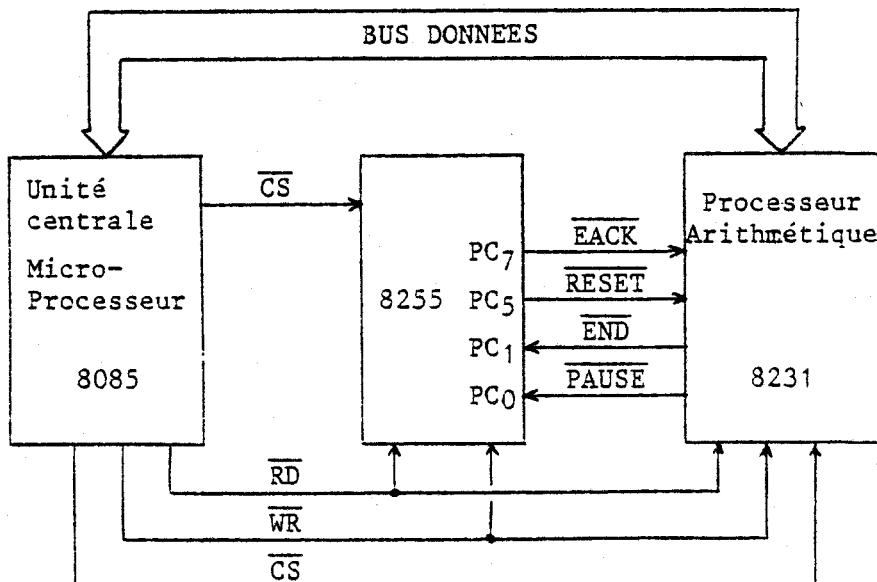


Figure 25

CONNEXION DU 8231 A L'UNITE CENTRALE

* Carte processeur arithmétique

La carte processeur arithmétique possède deux boîtiers :

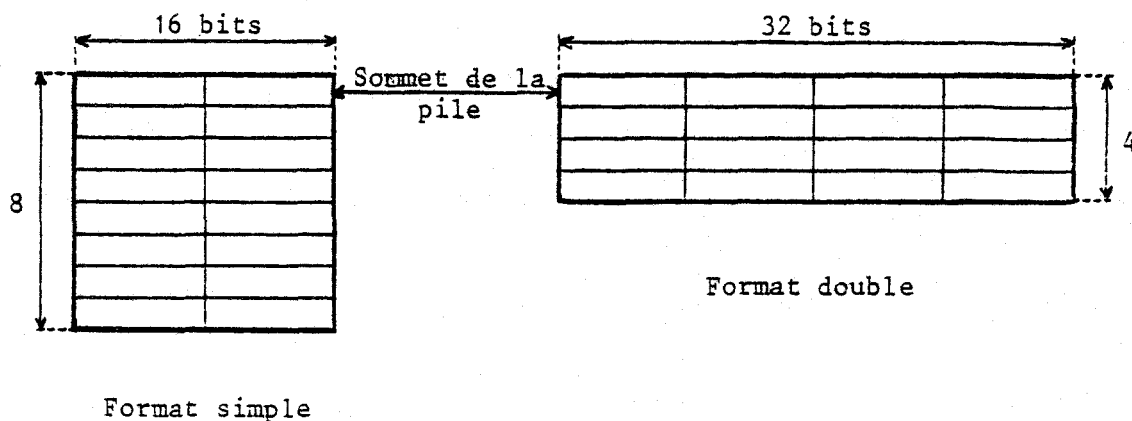
- Le 8231, dont les lignes du bus données et de ses propres signaux de contrôle sont disponibles à la sortie de la carte. De plus, par l'intermédiaire de straps, le signal $\overline{\text{EACK}}$ peut être soit mis à la masse, soit directement relié au connecteur, ainsi que le signal $\overline{\text{END}}$ qui peut être inversé ou non avant d'être disponible en sortie.

- Un boîtier logique, le 74LS 154, complètement indépendant du processeur, élabore 16 signaux ($\overline{\text{CS}}$) pour la sélection des boîtiers rajoutés au système. Ces signaux sont également disponibles sur le connecteur, l'un d'entre eux est directement relié au processeur ainsi, le signal $\overline{\text{CS}}$ du 8231 est codé à la valeur BC (Annexe E.3).

III.2.4.5 - Programmation du 8231

* Fonctionnement interne

Les opérandes et les résultats de calculs sont rangés dans une pile FIFO (First Input First Output) organisée en 4 niveaux de 32 bits ou en 8 niveaux de 16 bits en fonction du format de travail (Figure 26).



ORGANISATION INTERNE DE LA PILE

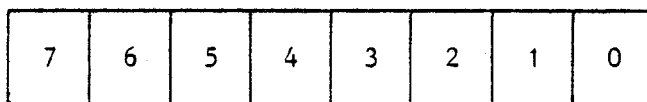
Figure 26

Avant le début d'une opération, les opérandes sont rangées dans la pile, octet de poids faible en tête. L'opération elle-même s'effectue implicitement sur les opérandes situées au sommet de la pile et à l'emplacement suivant. A la fin de l'opération, le résultat se retrouve au sommet de la pile, après une éventuelle opération de rotation (POP STACK) implicitement contenue dans le code opératoire.

L'acquisition du résultat par le microprocesseur s'effectue enfin, octet de poids fort en tête.

Le 8231 possède deux registres, le registre d'état et le registre de commande. Le premier contient un certain nombre d'indicateurs liés à l'opération venant d'être effectuée. Il peut être lu par le microprocesseur. Le second est chargé par l'octet de commande spécifiant le type de traitement à effectuer (Figure 27).

Registre de commande



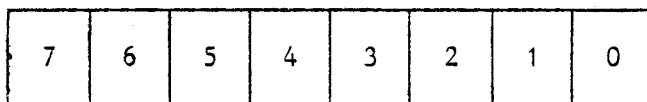
bits 0 à 4 : Code opération (Annexe E.1)

bit 5 : Sélection virgule fixe ou flottante

bit 7 : Demande de service particulier post-opératoire

bit 6 : Sélection format

Registre d'état



bit 0 : Retenue

bits 1 à 4 : 0 0 0 0 Pas d'erreur

1 0 0 0 Division par zéro

0 1 0 0 Racine carrée ou logarithme de nombre négatif

1 1 0 0 Argument de Arc sin, Arc cos, exponentiel de nbre trop élevé

× × 1 0 Dépassement de capacité

× × 0 1 Sous dépassement de capacité

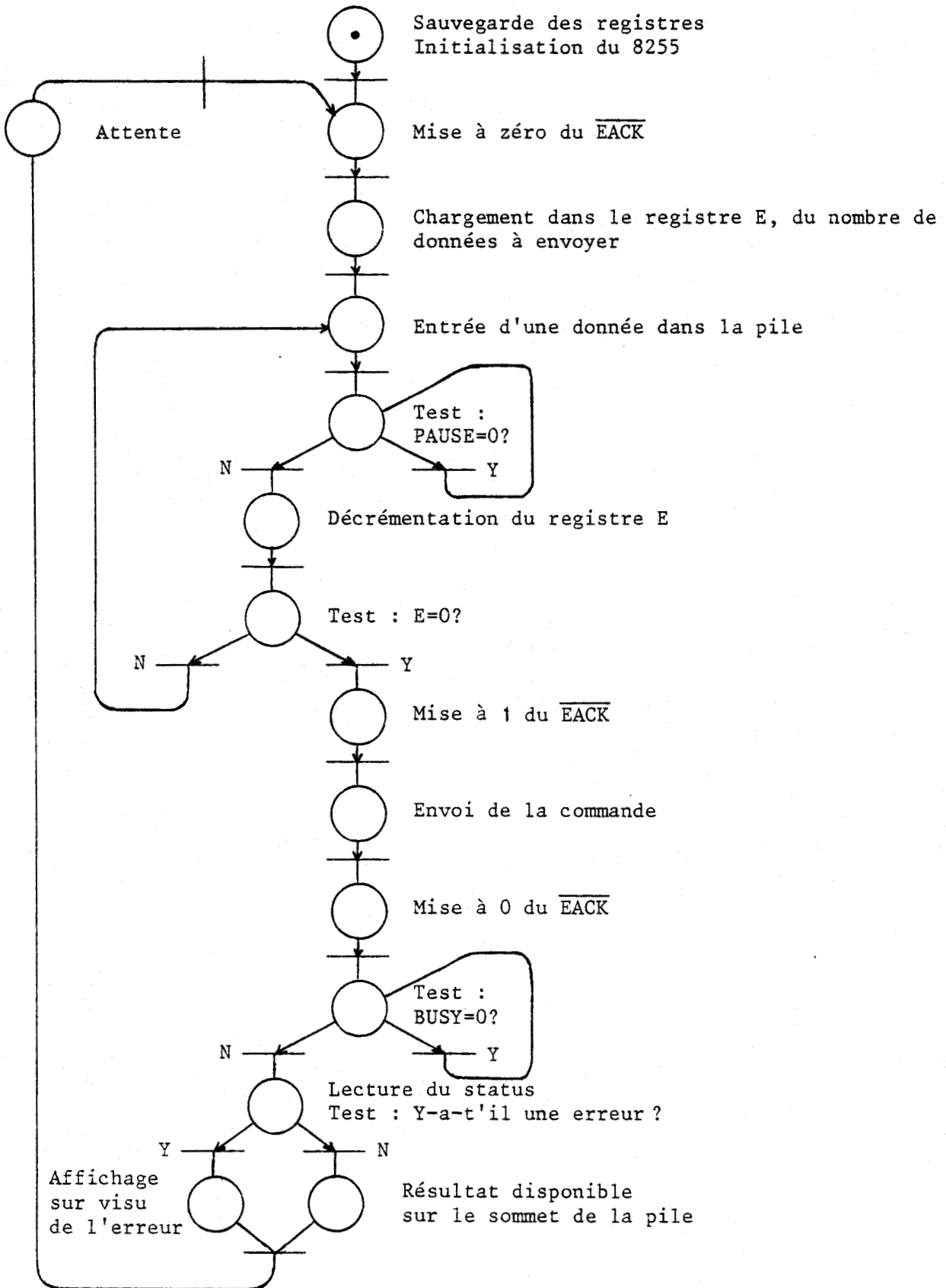
bit 5 : Indicateur de zéro de l'opérande située en sommet de pile

bit 6 : Signe de l'opérande située en sommet de pile

bit 7 : "BUSY" indique qu'une opération est en cours d'exécution

Figure 27

* Organigramme de la programmation du processeur arithmétique



L'annexe E.4 présente 4 sous programmes différents utilisables par le processeur arithmétique.

Le premier, OPE 16, permet d'effectuer une opération (+, -, ÷, ×) sur 16 bits.

Le second, FOC 16, effectue une fonction de calcul en référence fixe sur 16 bits avec son résultat en flottant, il réalise également la conversion d'une donnée sur 16 bits fixes en flottant.

Le troisième, OPE 32 est identique à OPE 16. L'exécution de l'opération se fait sur 32 bits avec le résultat fixe ou flottant au choix.

Enfin, le dernier FOC 32, reprend les fonctions de FOC 16, aux formats 32 bits.

III.2.5 - Carte de conversion Digitale-Analogique |8|

Le DAC-UP8BC est un convertisseur digital analogique possédant son registre interne, et une vitesse de conversion de 2 μ s.

Une tension bipolaire ± 5 V, ou une tension unipolaire 0-10 V est disponible à la sortie de son boîtier.

L'entrée du registre est contrôlée par un signal \overline{LOAD} , qui en fait, est un signal du type \overline{CS} (Chip Select) dans notre application.

Lorsque ce signal est à l'état bas, le registre est transparent ; tout changement survenant sur le bus données est transposé sur la broche de sortie, tandis que dans le cas contraire, le signal passant à l'état haut, la valeur digitale est mémorisée dans le registre.

De ce fait, la programmation de ce circuit se résume à :

MUI A, α (α représente la grandeur à convertir)
OUT β (β représente la valeur du \overline{CS})

La réalisation du schéma de la figure 28 étant peu encombrant, la

carte DAC peut posséder jusqu'à 4 circuits de ce type (Annexe D.5).

0, +10V	15 en l'air
±5V	15-20

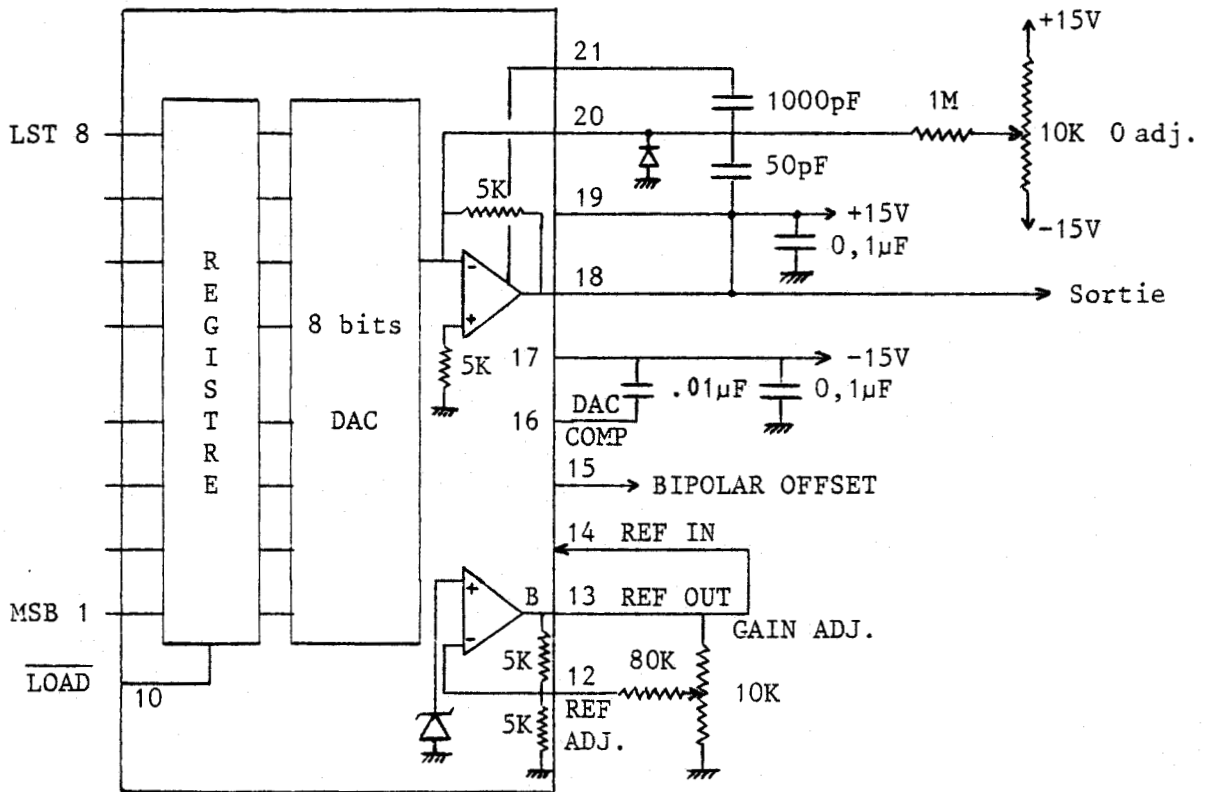


Figure 28

III.3 - PERIPHERIQUES

III.3.1 - Console de visualisation

C'est une console munie d'un écran et d'un clavier alphanumérique qui permet à l'utilisateur de dialoguer avec le système (Photo 6).

Elle est connectée à l'unité centrale par l'intermédiaire d'un UART, un 6402 (circuit équivalent au 8251 de chez Intel), disponible sur la carte IDN Process.

La vitesse de transmission choisie est de 1200 bauds.

III.3.1.1 - Programmation de l'interface UART

* Initialisation des circuits

L'initialisation des deux circuits (8251, 8253) doit être effectuée comme suit :

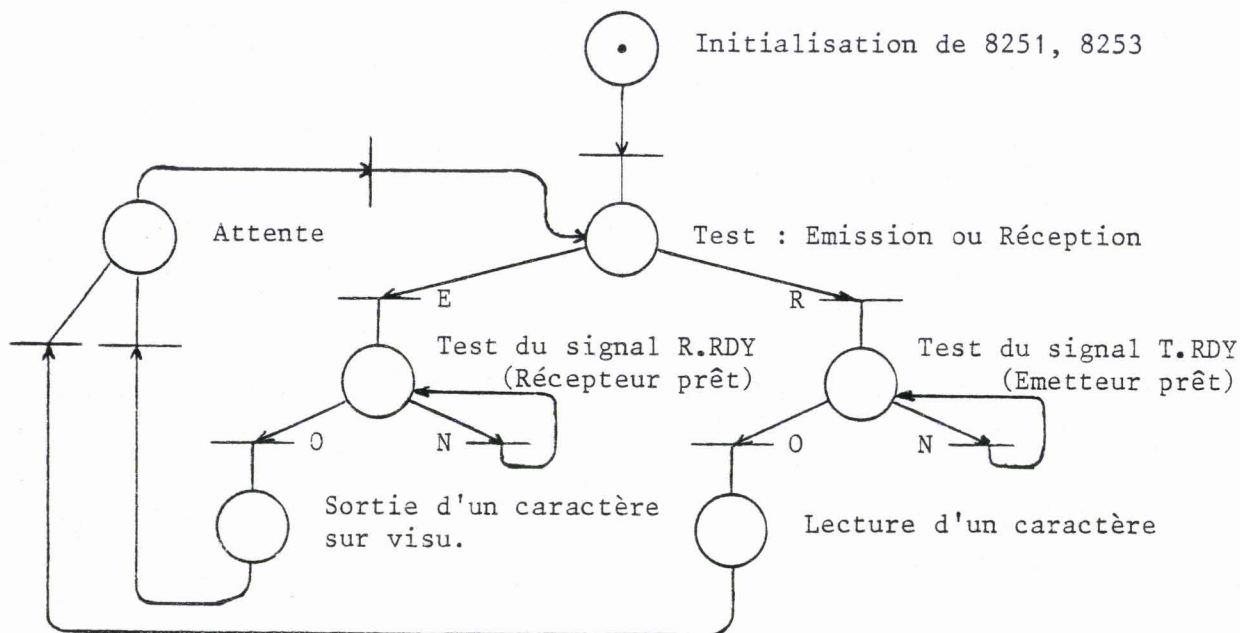
i) L'initialisation du timer (8253) règle le cadencement de l'horloge de transmission de l'UART à la fréquence de 19,2 KHz (pour obtenir une transmission de 1200 bauds, il faut une horloge de fréquence de 1200×16 Hz).

MUI A, 16 H
OUT 23 H
MUI A, 0D H
OUT 20 H

ii) L'initialisation de l'UART se fait comme suit :

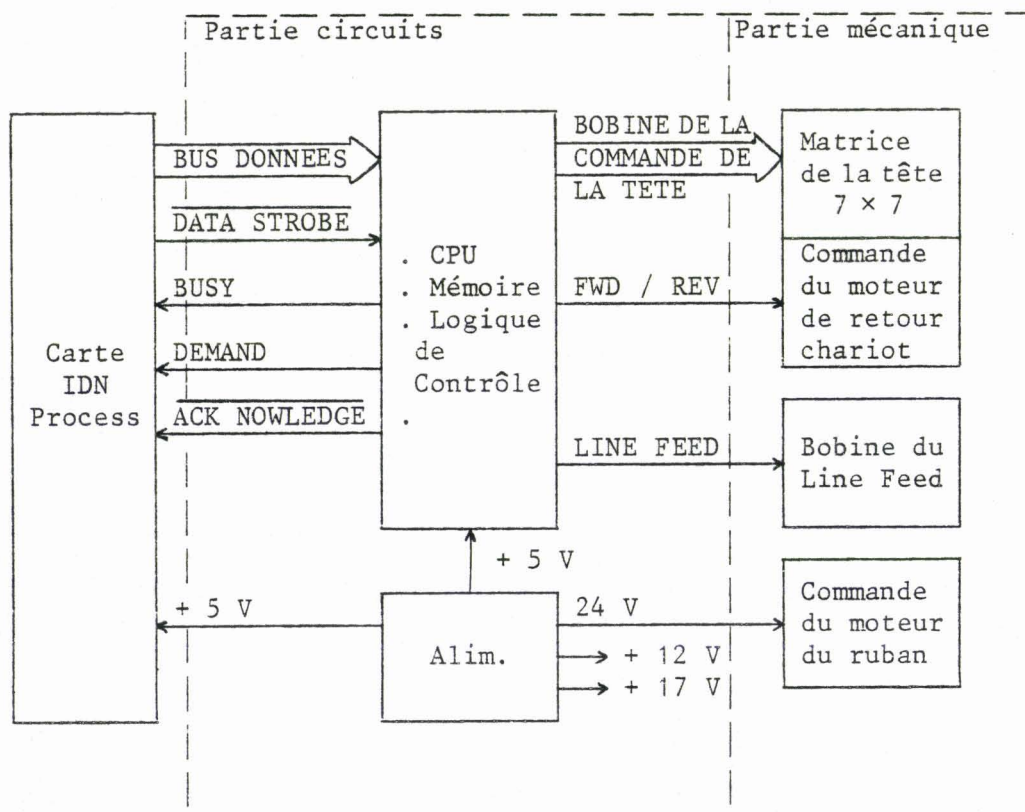
MUI A, 91 H
OUT 07

* Organigramme du programme de fond



III.3.2 - Imprimante "Séries 730 Printers" | 9 |

Elle possède sa propre unité centrale (CPU), sa mémoire, et des signaux logiques de contrôle. Elle communique avec l'extérieur dans un mode de type parallèle nécessitant l'utilisation des ports d'entrées-sorties parallèles d'un circuit 8255 (Figure 29, Photo 6).



SCHEMA SYNOPTIQUE DE L'IMPRIMANTE

Figure 29

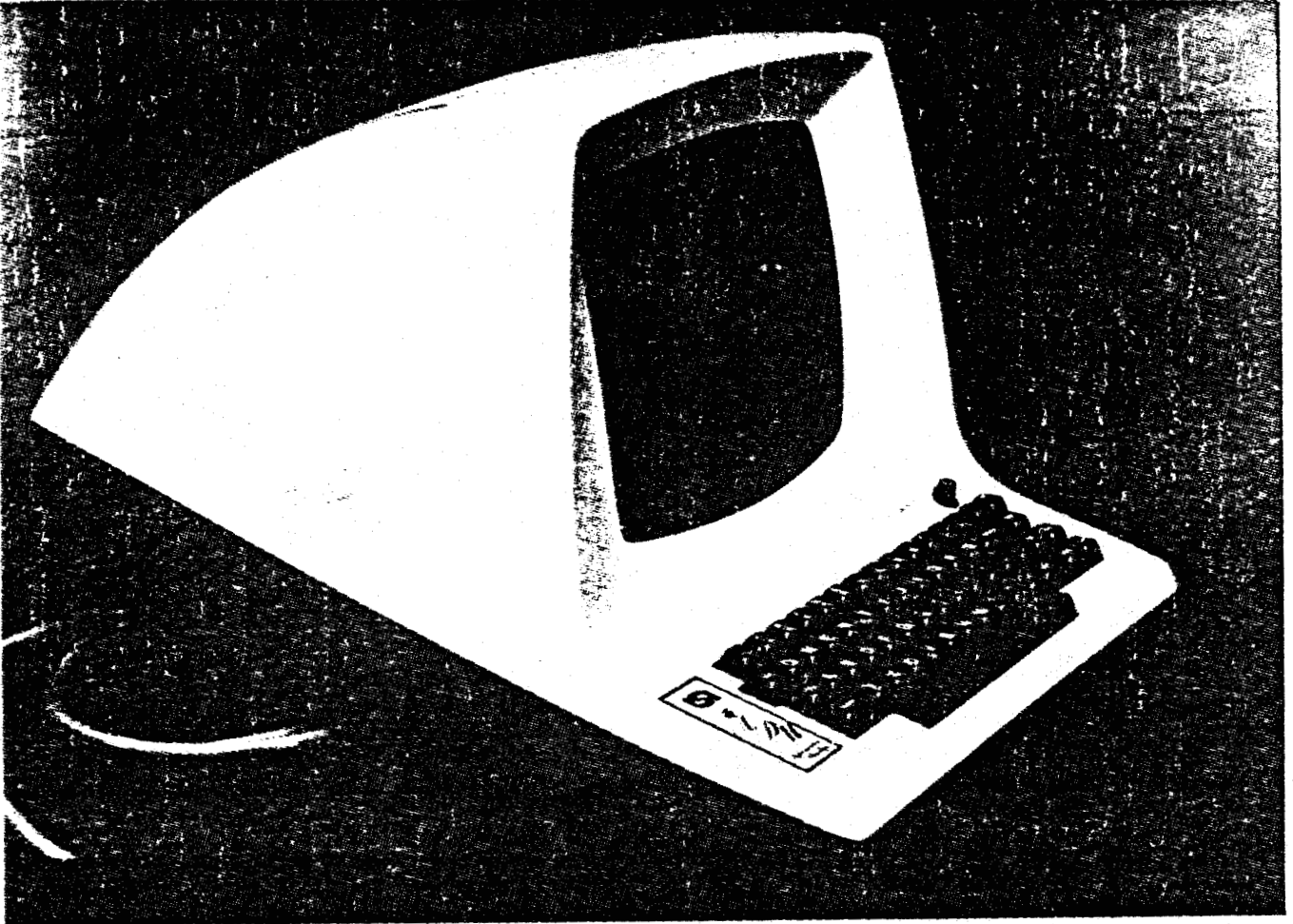
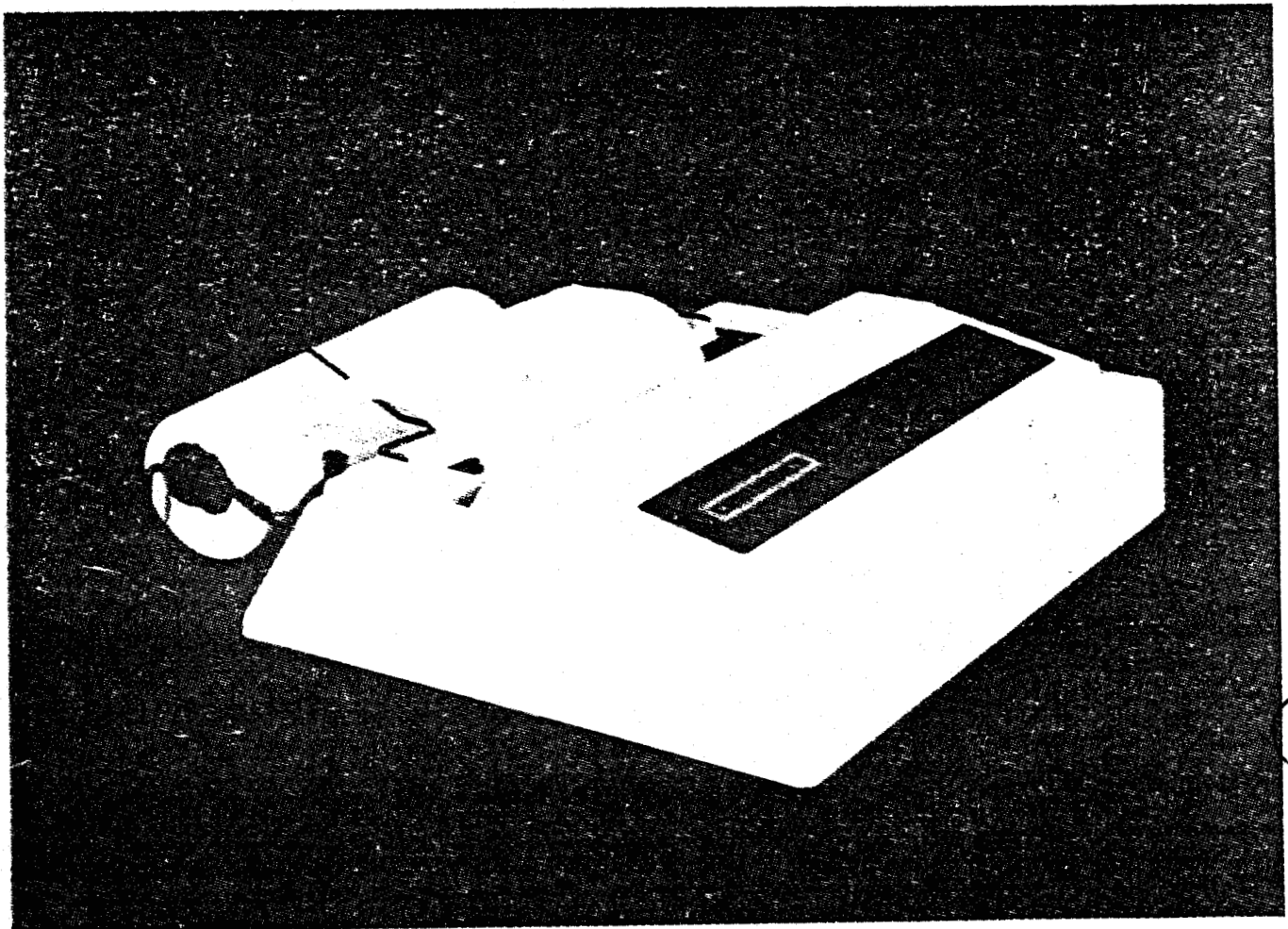


PHOTO VI : Imprimante et console de visualisation



III.3.2.1 - Fonctionnement de l'imprimante

Le microprocesseur de l'unité centrale transmet des données parallèles de 8 bits, au rythme du signal logique "DATA STROBE" vers l'imprimante.

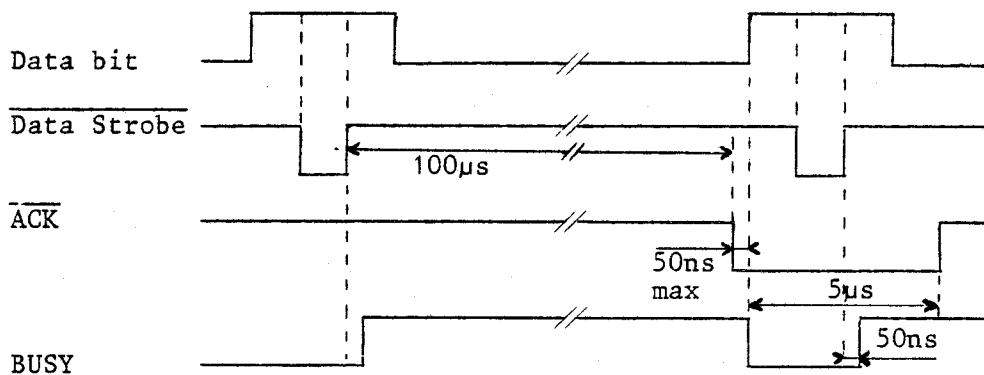
Cette dernière stocke les données dans son buffer, pouvant contenir jusqu'à 80 caractères ASCII. Dès qu'il est rempli, ou si le mot de contrôle RC (Retour Chariot) lui est envoyé, il se vide et son contenu est imprimé.

* Signaux logiques de l'imprimante

Le Data Strobe est le signal utilisé pour le transfert des données du microprocesseur à l'imprimante (Pulse de ce signal supérieur à 1 μ s).

Le signal Acknowledge indique que l'imprimante a traité la dernière donnée transférée du microprocesseur. Tant que ce signal ne sera pas présent, aucune autre donnée ne pourra être envoyée.

Le signal Busy indique que l'imprimante ne peut accepter de nouvelles données.

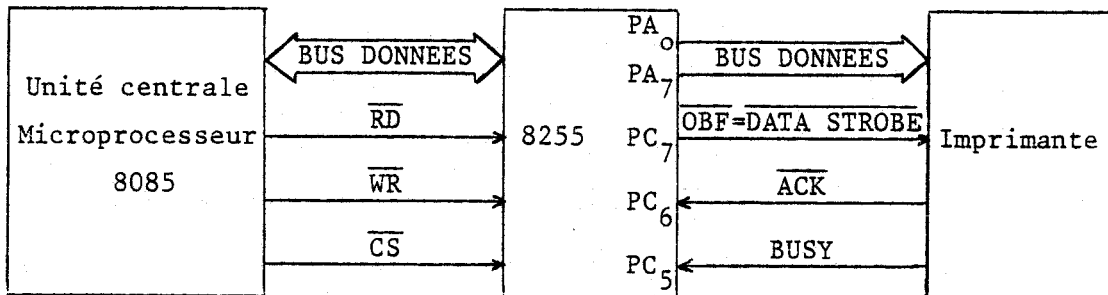


Chronogramme des signaux logiques

* Couplage de l'imprimante à l'unité centrale

L'imprimante est connectée à l'unité centrale par l'intermédiaire d'un 8255. Ce dernier gère les signaux de contrôle de l'imprimante et de son bus données.

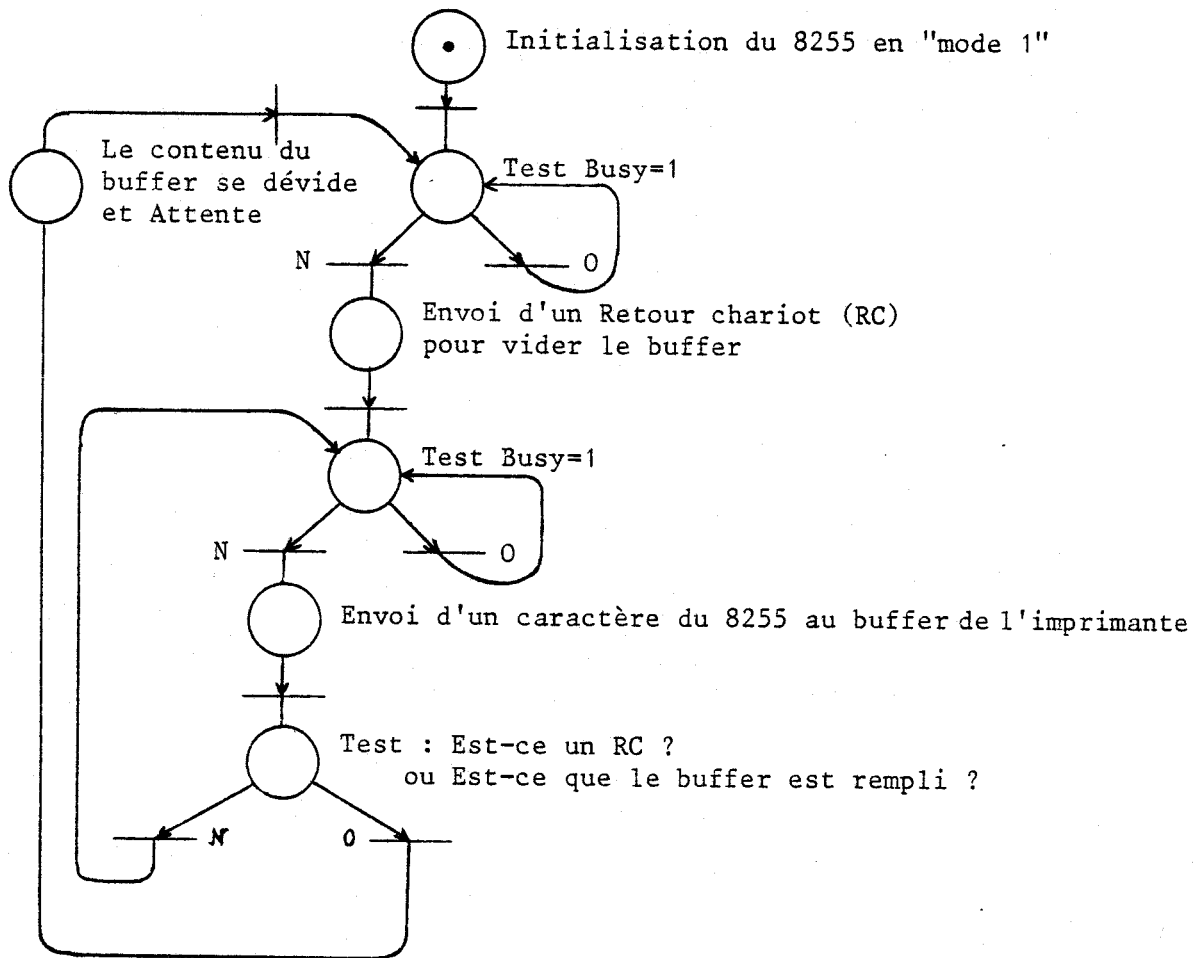
Le 8255 est programmé pour travailler en mode 1, mode d'entrées-sorties cadencées |1| (Figure 30).



CONNEXION DE L'IMPRIMANTE A L'UNITE CENTRALE

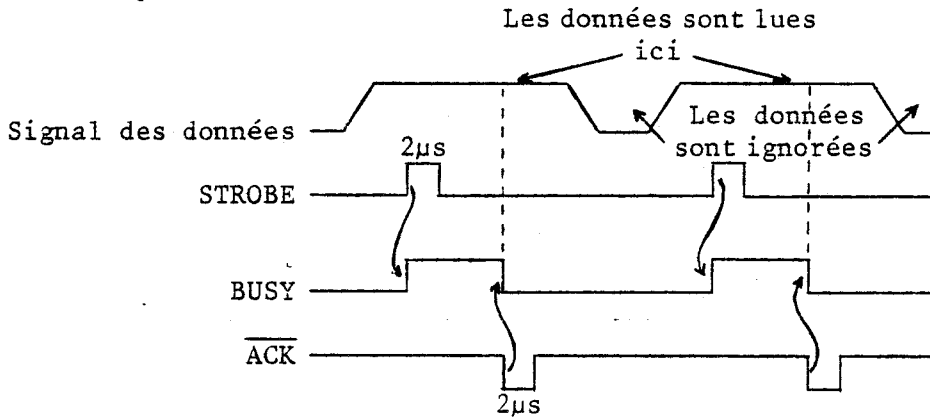
Figure 30

III.3.2.2 - Organigramme de la programmation de la gestion de l'imprimante



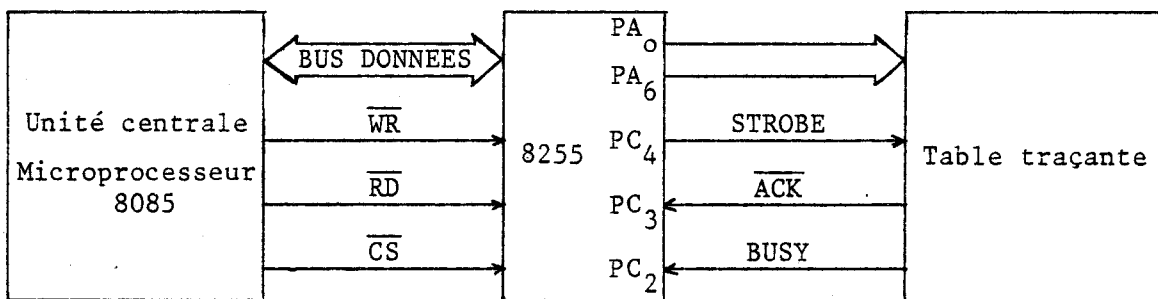
III.3.3 - Table traçante : DIGIT-PLOT Model WX 4671 | 10 |

La table traçante possède une architecture identique à celle de l'imprimante. Elle possède une unité centrale, une mémoire et les mêmes signaux logiques de contrôle (Data Strobe, Acknowledge, Busy) avec en plus, un signal d'erreur : ($\overline{\text{Error}}$). Elle communique avec l'extérieur selon le mode parallèle (Photo 7).



III.3.3.1 - *Couplage de la table traçante à l'unité centrale*

La table traçante est connectée à l'unité centrale par l'intermédiaire d'un port d'entrées-sorties d'un 8255. Ce dernier gère les signaux de contrôle de la table traçante et de son bus données (Figure 31).



CONNEXION DE LA TABLE TRAÇANTE A L'UNITE CENTRALE

Figure 31

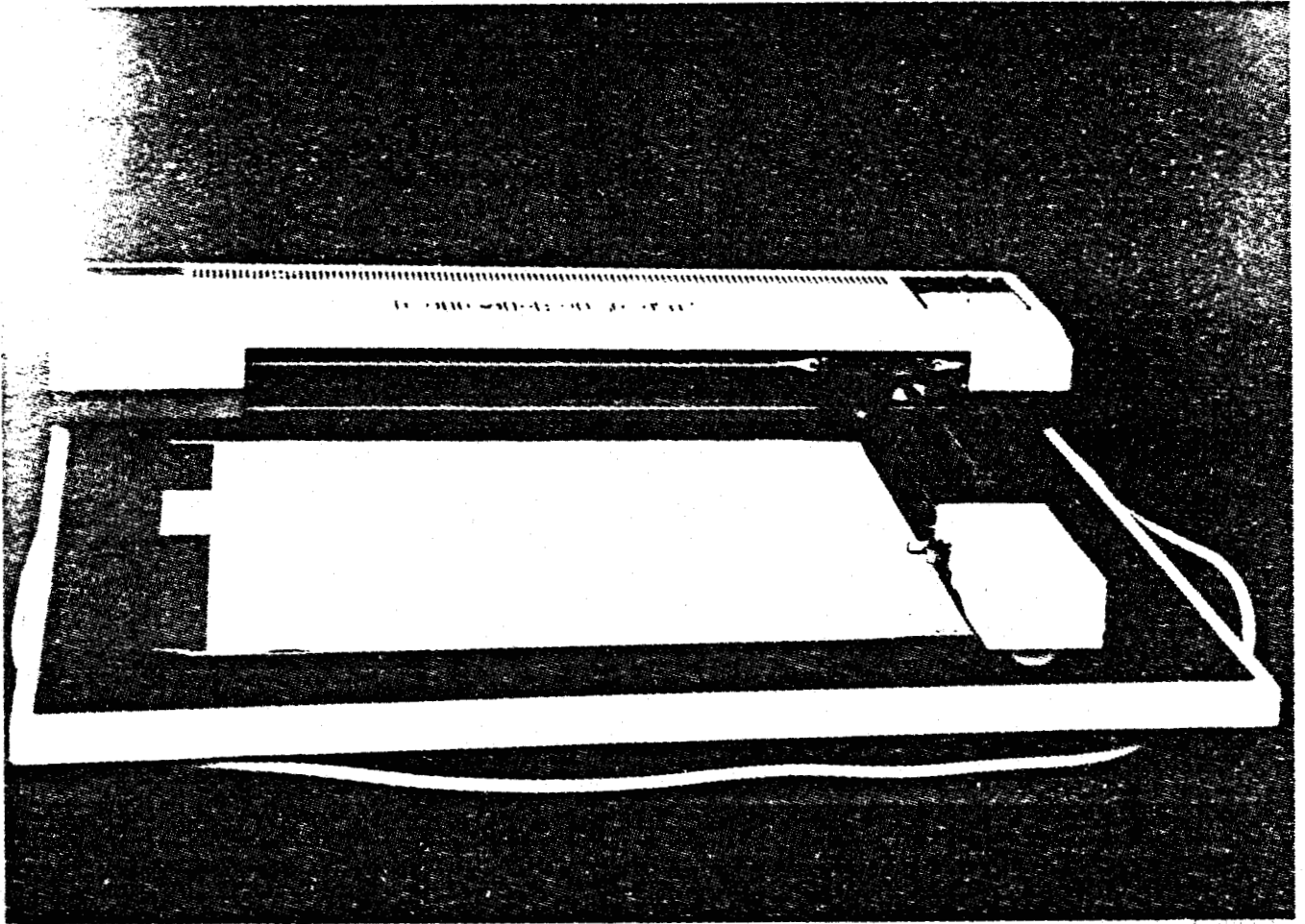
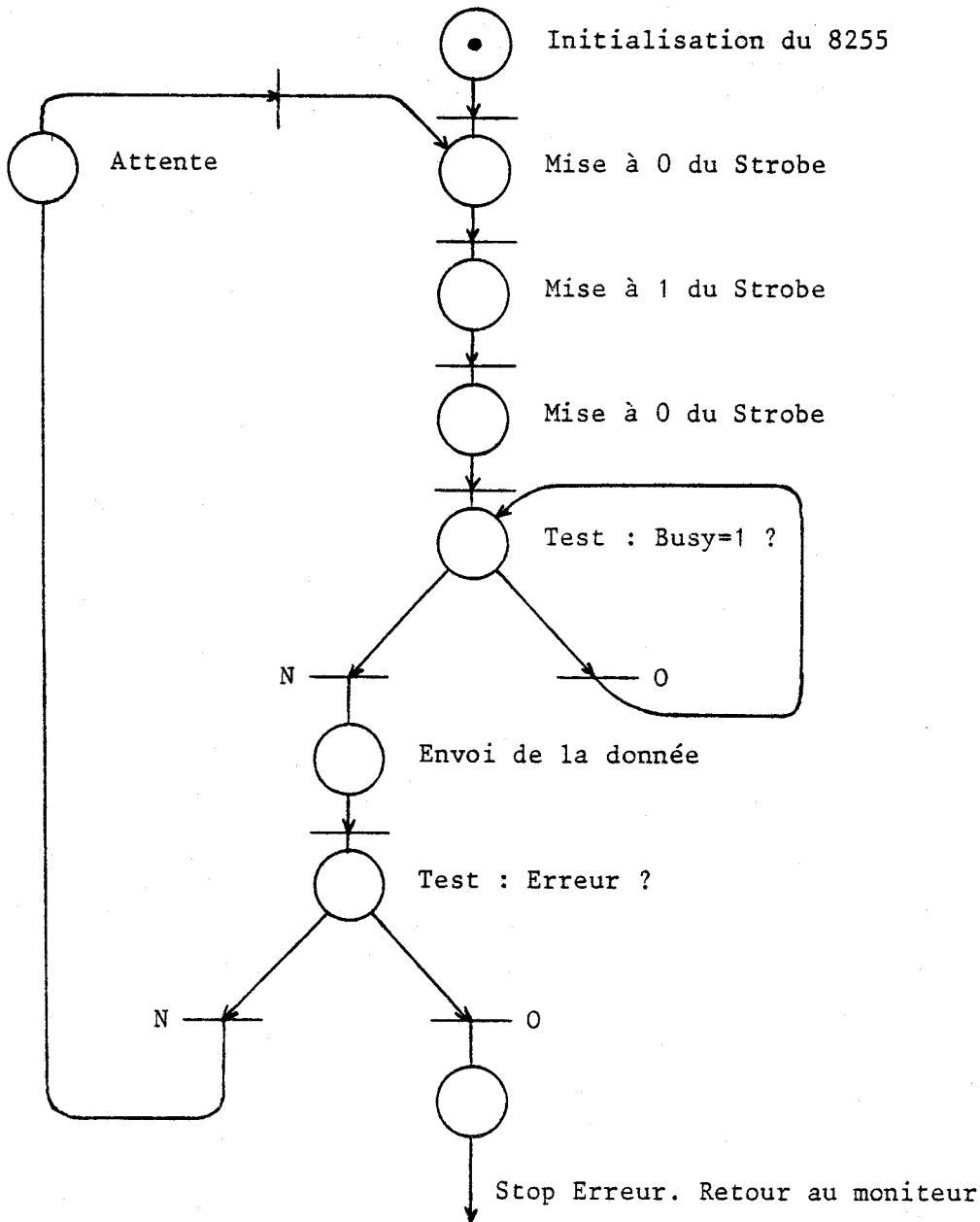


PHOTO VII : Table traçante

III.3.3.2 - Programmation de la gestion de la table traçante

Les différentes instructions utilisées sont décrites dans l'annexe F.

Le 8255 pourrait être programmé pour travailler en mode 1, mode d'entrées-sorties cadencées. Pour montrer la puissance d'utilisation du 8255, sa programmation se fait en mode 0, mode d'entrées-sorties simples, pour lequel le signal Strobe se fabrique par logiciel.



III.3.4 - Support magnétique à cassettes : TU 58 | 11 |

Le paragraphe I.3.3 donne toutes les caractéristiques du TU 58 (Photo 8).

III.3.4.1 - *Contrôle microprogrammé*

Le processeur présent dans le TU 58 est un 8085 de chez Intel, possédant 2 K ROM et 256 bytes de RAM comme mémoire.

L'échange des données entre le bus du processeur maître (carte IDN Process) et du processeur esclave (TU 58) s'exécute par l'intermédiaire d'une ligne de transmission reliant les deux UART des deux cartes (Figure 32).

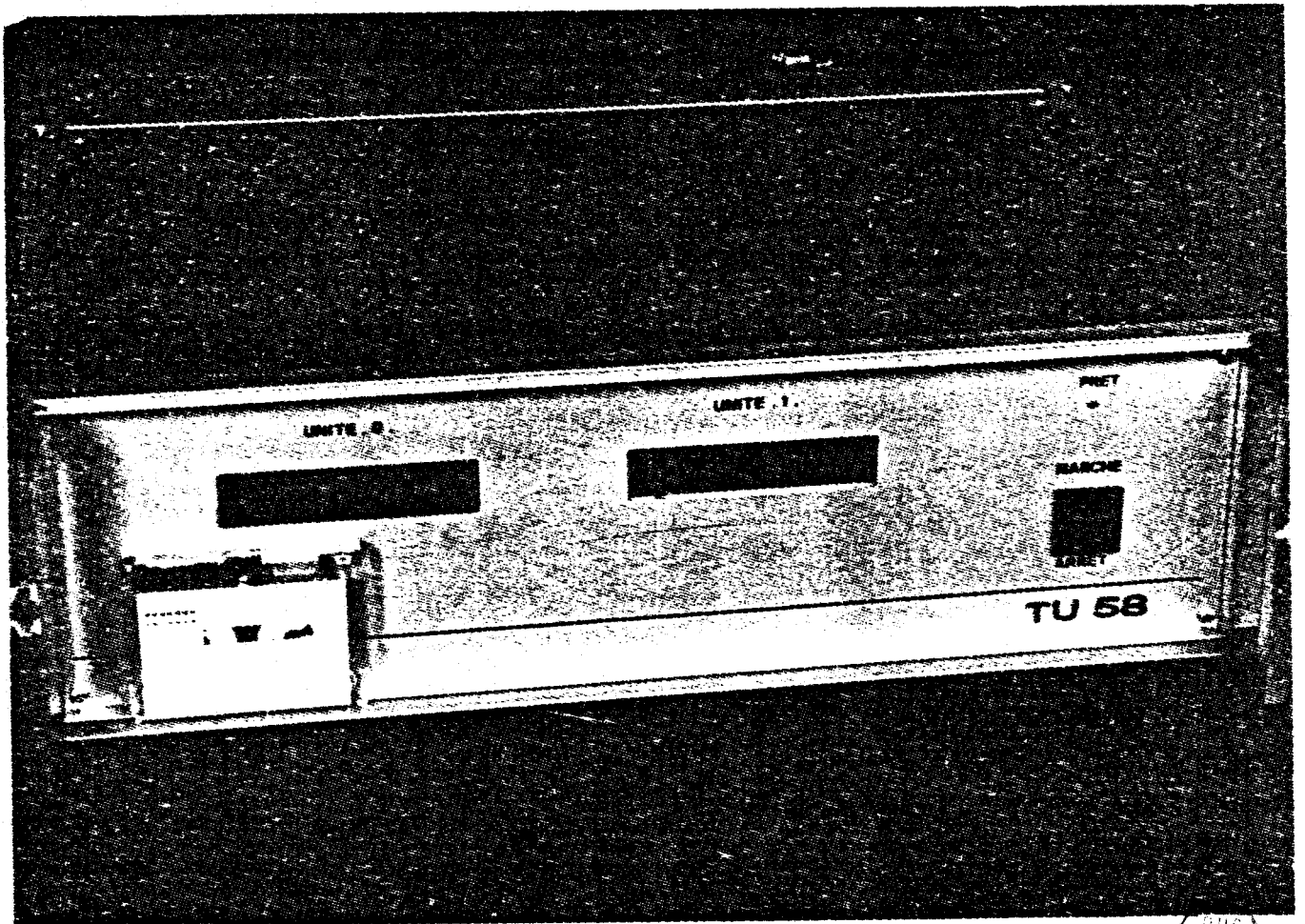
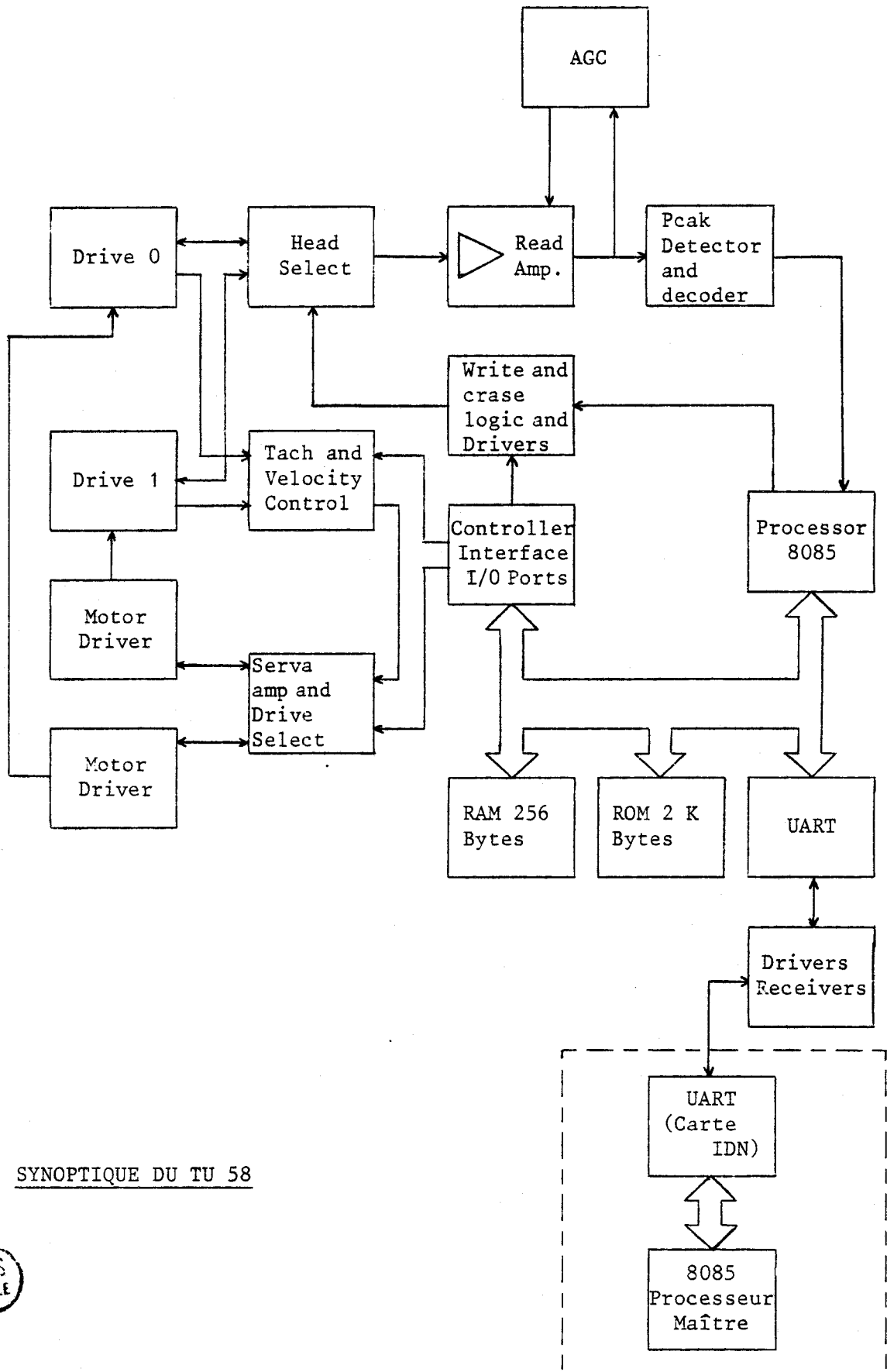


PHOTO VIII : TU 58

BUS
LILLE



SYNOPTIQUE DU TU 58

BUS
LILLE

Figure 32

** Protocole de communication*

Le TU 58 possédant 512 blocs de 512 bytes, utilise un numéro de bloc et un compteur de bytes pour communiquer avec l'extérieur.

Lorsque le processeur maître transmet un numéro de bloc et un nombre n de bytes au processeur esclave, le TU 58 se place au début du bloc désigné et exécute le transfert des n bytes.

Toutes communications entre le TU 58 et le mini-ordinateur sont divisées en paquet de messages, qui forment des groupes de bytes structurés dans un ordre bien déterminé.

Il y a trois sortes de paquets de messages :

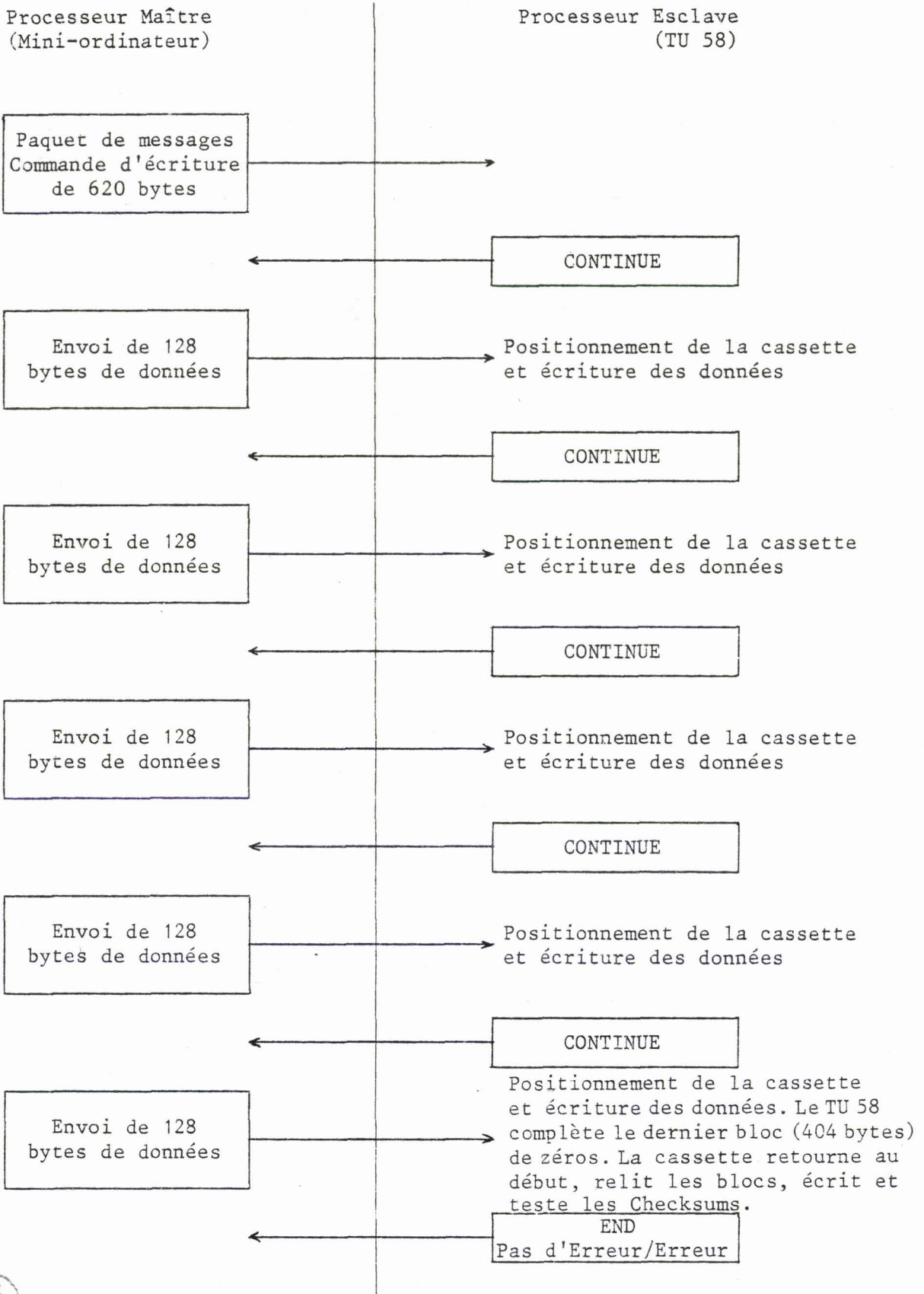
i) La commande (Lecture, Ecriture, ...) du processeur maître au processeur esclave.

ii) Le transfert des données par paquets de 128 bytes dans l'une des deux directions (Lecture ou Ecriture).

iii) Le "End Packet" est envoyé du processeur esclave au processeur maître dès que toutes les données sont transférées. Si le TU 58 rencontre un défaut durant le transfert des données, il envoie un "End Packet" dès l'apparition du défaut.

La figure 33 traite un exemple d'écriture de 620 bytes sur une cassette.





ECRITURE DE 620 BYTES SUR UNE CASSETTE

Figure 33

Chaque paquet de messages commence par un "Flag Byte" qui annonce son contenu (paquet de commandes, de données, ...).

Le suivant représente le compteur de bytes, c'est à dire le nombre de caractères contenu dans le paquet de messages (sa valeur est inférieure ou égale à 128), en excluant, le flag, les deux checksums et lui-même.

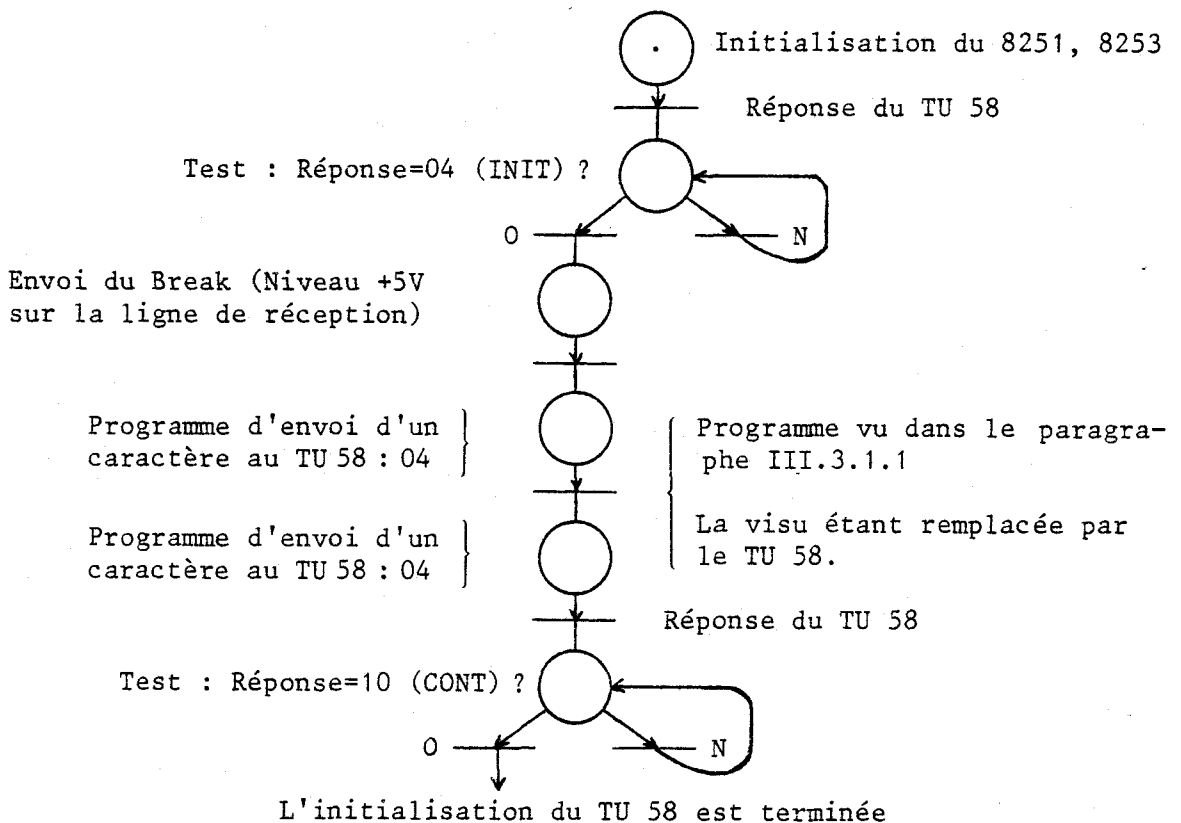
Les deux derniers, les checksums, correspondent l'un à la somme des bytes pairs, l'autre des bytes impairs du paquet de messages.

La description complète des différents paquets de messages est donnée en Annexe G.

III.3.4.2 - Connexion du TU 58 au mini-ordinateur

Le TU 58 est connectable par une liaison série asynchrone, réalisée avec l'extension UART (présenté dans le paragraphe III.2.2.1) et le timer 8253 (III.2.2.2).

III.3.4.3 - Programmation de la gestion du TU 58



En fin d'initialisation, il est possible d'envoyer des paquets de messages selon l'opération désirée.

La gestion complète de ce TU 58 fera l'objet d'une étude ultérieure plus approfondie.

III.4 - LOGICIEL DU MINI ORDINATEUR

III.4.1 - Moniteur IDN Process | 12 |

Le programme moniteur IDN réalise un ensemble de fonctions qui forme la base des opérations interactives avec le reste du logiciel et permet ainsi l'utilisation optimale du système.

Ces fonctions (Annexe J) sont appelées sous forme d'instructions, à l'aide de l'écran de visualisation.

Elles permettent l'affectation dynamique des circuits périphériques, la lecture et l'écriture des zones mémoires, des différents registres et bien sûr, le démarrage des différents programmes. Le moniteur IDN n'agit par principe qu'à la réception d'une instruction. Des sous-programmes du moniteur peuvent en outre être appelés par des programmes utilisateurs. Le moniteur IDN est codé en langage assembleur 8085 et possède une capacité de 1 K Octets.

Implanté à l'adresse 0000_(H), il est directement exécuté à la mise sous tension et établit le dialogue avec l'opérateur ; toute intervention sur la remise à zéro provoque le retour au moniteur.

Sa conception modulaire rend aisée son extension et son adaptation à la configuration définie.

III.4.2 - Basic interpréteur | 13 |

L'emploi du langage assembleur 8085 proche du langage machine, rend difficile la maintenance du logiciel. Le développement d'un interpréteur BASIC défini pour opérer avec le 8085 A, permet l'écriture des programmes

dans un langage évolué et rend accessible la programmation à des utilisateurs non initiés à la micro-informatique.

De plus, le BASIC solutionne de façon aisée les problèmes scientifiques, il facilite les aspects conventionnels et contribue à la réalisation d'une documentation claire. Il permet de plus, une aide efficace à la mise au point des programmes.

Une des contraintes majeures d'utilisation d'un interpréteur BASIC concerne le temps d'exécution du programme. La structure de l'interpréteur offre la possibilité d'appel à des sous-routines écrites en assembleur, permettant d'être plus efficace pour les programmes d'échange d'entrées-sorties et de surveillance.

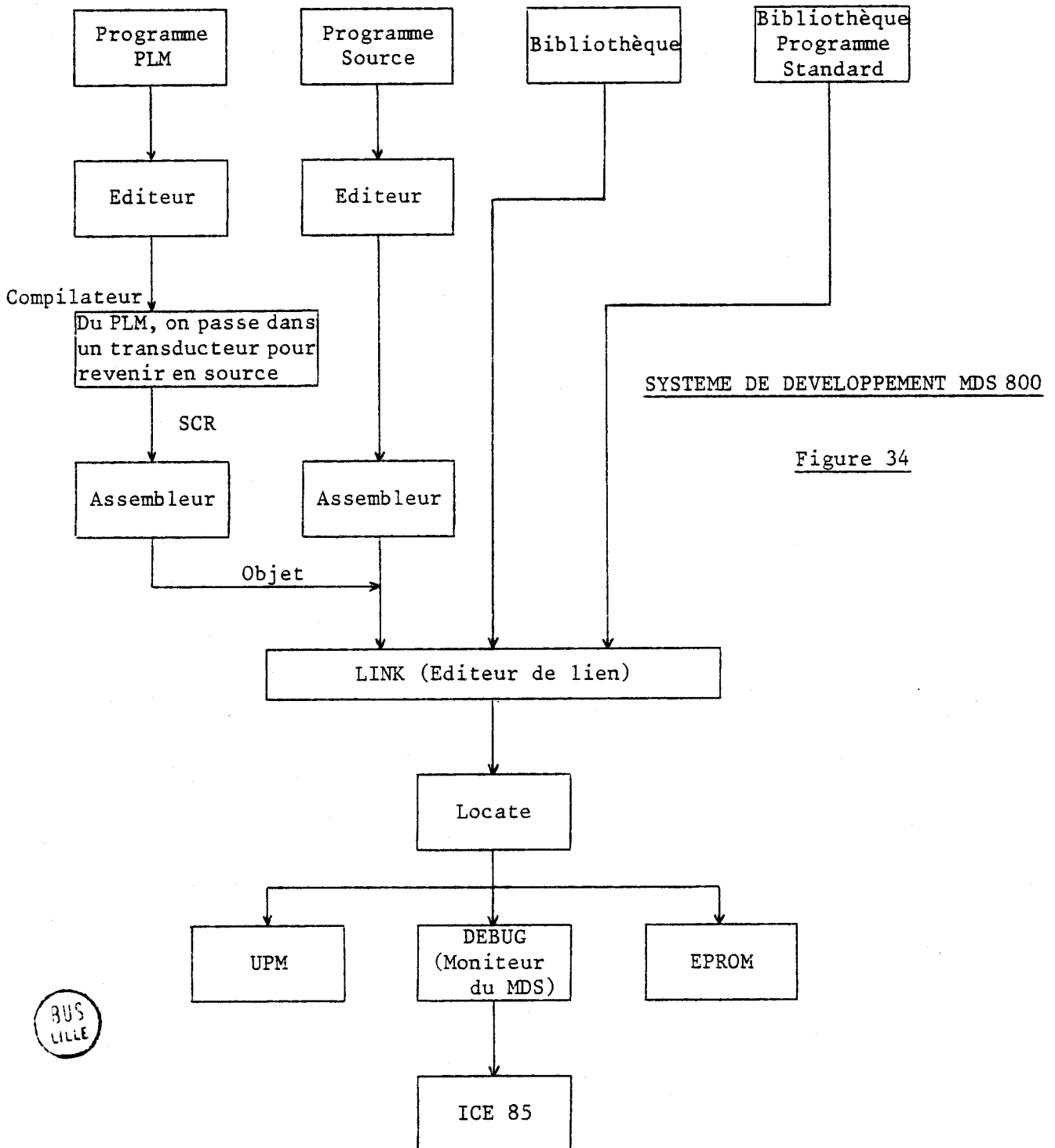
Cet artifice permet donc une utilisation efficace de l'interpréteur BASIC, sans toutefois être pénalisé au niveau des échanges avec le processus puisque écrit en assembleur.

L'interpréteur BASIC occupe 10 K Octets sous forme de 5 EPROMS 2716.

III.5 - OUTIL DE MISE EN ŒUVRE

Le MDS 800 est un système de développement facilitant le processus d'élaboration et de tests des programmes (Figure 34).

En mémoire centrale réside différents programmes, les programmes Moniteur, ISIS, CREDIT, ASSEMBLEUR, ETA décrit en Annexe H.



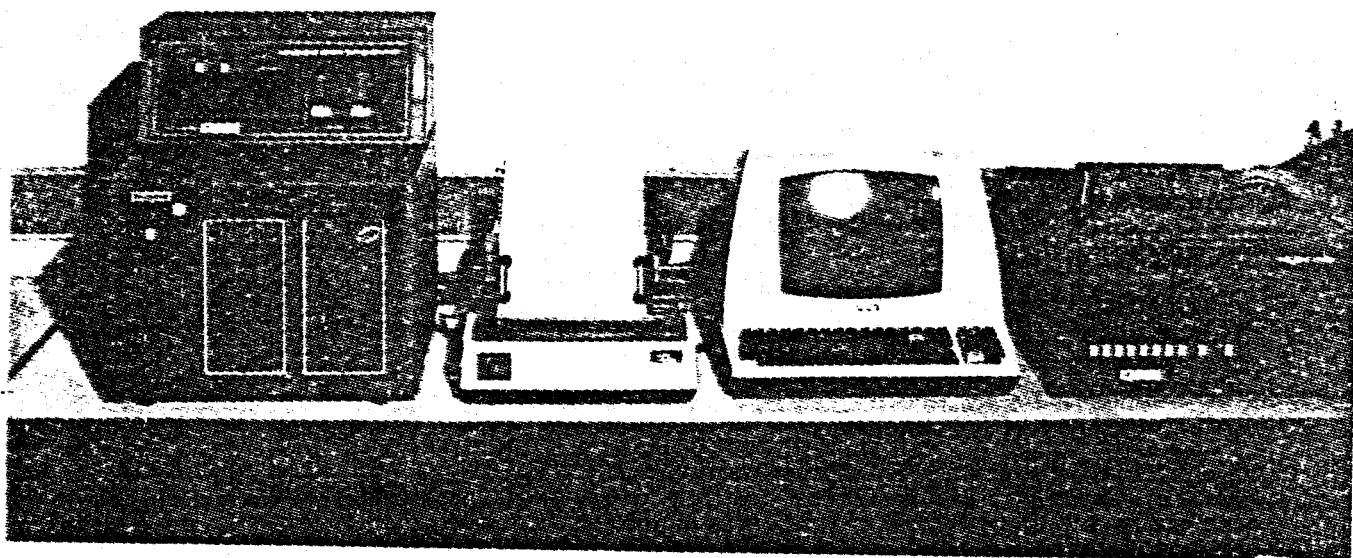


PHOTO IX : Système de développement MDS 800

RUS
1988

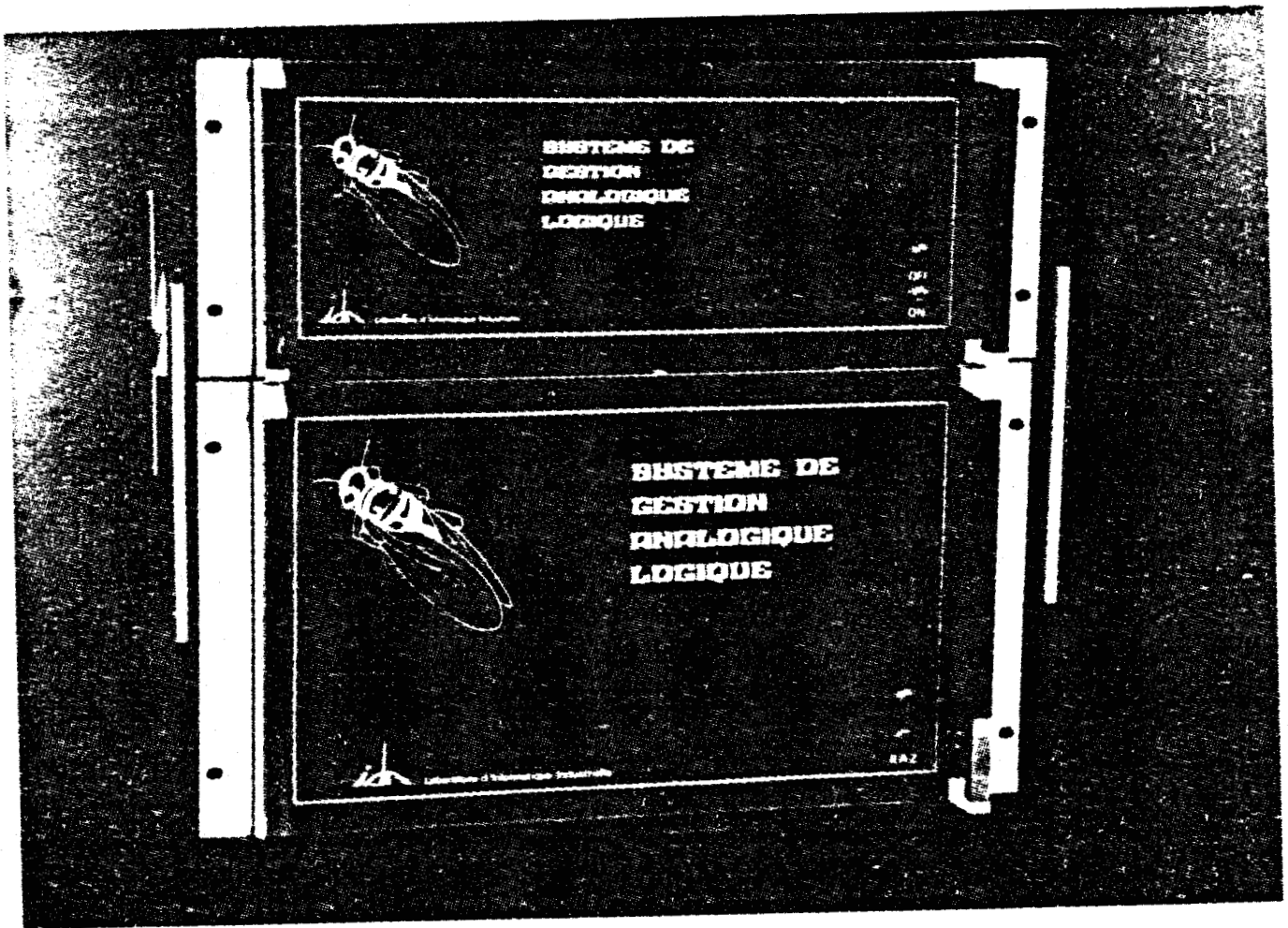


PHOTO X : SYCAL



CONCLUSION

Au cours de ce chapitre, nous avons pu décrire différentes extensions nécessaires à l'instrumentation étudiée, notamment :

- Les cartes de conversion analogique-digitale et digitale-analogique
- Les cartes d'entrées-sorties (8251, 8253, 8255)
- Le processeur arithmétique (8231)
- Les extensions mémoire (RAM et EPROM)
- Les périphériques (imprimante, TU 58 support magnétique à cassettes, table traçante et console de visualisation)

L'ensemble de tous ces éléments, répertoriés dans le tableau décrit à l'annexe I précise la dénomination, l'adresse et l'utilité de ses éléments.

Le système ainsi élaboré constitue l'architecture d'un mini-ordinateur baptisé SYCAL (SYstème de Gestion Analogique Logique) Photo 10.

La nature relativement banalisée de ce système permet de répondre aux exigences du cahier des charges de l'automatisation des mesures et du contrôle d'un pendule de torsion.

Par ailleurs, d'autres applications industrielles de la commande digitale et de l'instrumentation numérique pourront être abordées à partir de cette architecture.

BIBLIOGRAPHIE DU CHAPITRE III

- | 1 | SIEMENS
"Matériel 8085 - Circuits intégrés pour micro-ordinateurs - Système SAB 8085"
Edition 1978
- | 2 | INTEL 1980
"Component Data Catalog"
- | 3 | J.M. BARBEZ
"L'élaboration d'une chaîne d'acquisition analogique. Application : Mesure d'un décrément logarithmique et de sa pseudo-période"
D. E. A. , Juin 1980 - Université des Sciences et Techniques de Lille.
- | 4 | S B C 711
"Analog input board hardware reference manual"
- | 5 | D. CORBEEL, J.C. GENTINA, C. VERCAUTER
"Méthodologie de description des systèmes de processus et de gestion d'erreurs"
- | 6 | INTEL
"Using the 8251 Universal Synchronous/Asynchronous Receiver/Transmitter. Application Note AP-16"
- | 7 | INTEL
"ISBX 332 Floating point math multimodule board - Hardware reference manual"
- | 8 | DATA INTERSIL
"Engineering product handbook"
- | 9 | CENTRONICS DATA COMPUTER CORPORATION
"Model 730-2 Printer - OWNER'S Manual"
January 1980



- | 10 | WATANABE INSTRUMENTS CORP.
"Instruction Manual for Digit-plot Model WX 4671"

- | 11 | TECHNICAL MANUAL
"TU 58 DEC tape II"
Digital equipment corporation-maynard, Massachusetts

- | 12 | J.M. CHARTRES
"Système de gestion et d'automatisation d'un stockage d'acide ni-
trique"
Mémoire CNAM, 1982

- | 13 | R. ECKARD, J. BARBER
"User's guide to the LLL Basic interpreter"
Lawrence Livermore Laboratory

- | 14 | SIEMENS
"Microprocesseurs et systèmes d'aide au développement de micro-
ordinateurs"
Edition 1977

CHAPITRE IV

INSTRUMENTATION DU PENDULE

INSTRUMENTATION D'UN PENDULE DE TORSION

INTRODUCTION

IV.1 - COMMANDES DU PROCESSUS

IV.1.1 - Mesure du déplacement

IV.1.1.1 - Etude de l'élément photosensible

IV.1.1.2 - Etude de l'interface pour la mesure du déplacement

IV.1.2 - Commande des bobines d'excitation du pendule

IV.1.3 - Commande de la position du capteur de déplacement

IV.1.4 - Régulation de la température du four

IV.1.4.1 - Mesure de la température de l'échantillon

IV.1.4.2 - Régulation de la température

IV.2 - DESCRIPTION DU LOGICIEL

IV.2.1 - Description de la tâche INIT

IV.2.2 - Description de la tâche CONS

IV.2.3 - Description de la tâche FOND

IV.2.4 - Traitement numérique

IV.2.4.1 - Optimisation du nombre de prise de mesures

IV.2.4.2 - Calcul du décrémentation logarithmique

** Simulation et calcul d'erreur du décrémentation sur PDP 11/34*

IV.2.4.3 - Calcul de la pseudo période

** Simulation et calcul d'erreur de la pseudo période sur PDP*

IV.2.5 - Edition des résultats

CONCLUSION

INSTRUMENTATION DU PENDULE DE TORSION

INTRODUCTION

Pour établir le dialogue entre le calculateur SYGAL et le pendule de torsion, un important matériel électronique utilisé pour l'interfaçage, devra être développé.

Les mesures de certains paramètres, dépendant directement du processus, sont effectuées d'une part, à partir d'un capteur optique pour la mesure du déplacement et d'autre part, à partir d'une sonde platine pour la mesure de température. La description des capteurs et des organes de commande associés sera l'objet de la première partie de ce chapitre.

Dans une seconde partie, nous décrirons le logiciel permettant de gérer entièrement le système et notamment, l'initialisation du processus, l'édition des résultats et le traitement numérique des données (acquisition et contrôle).

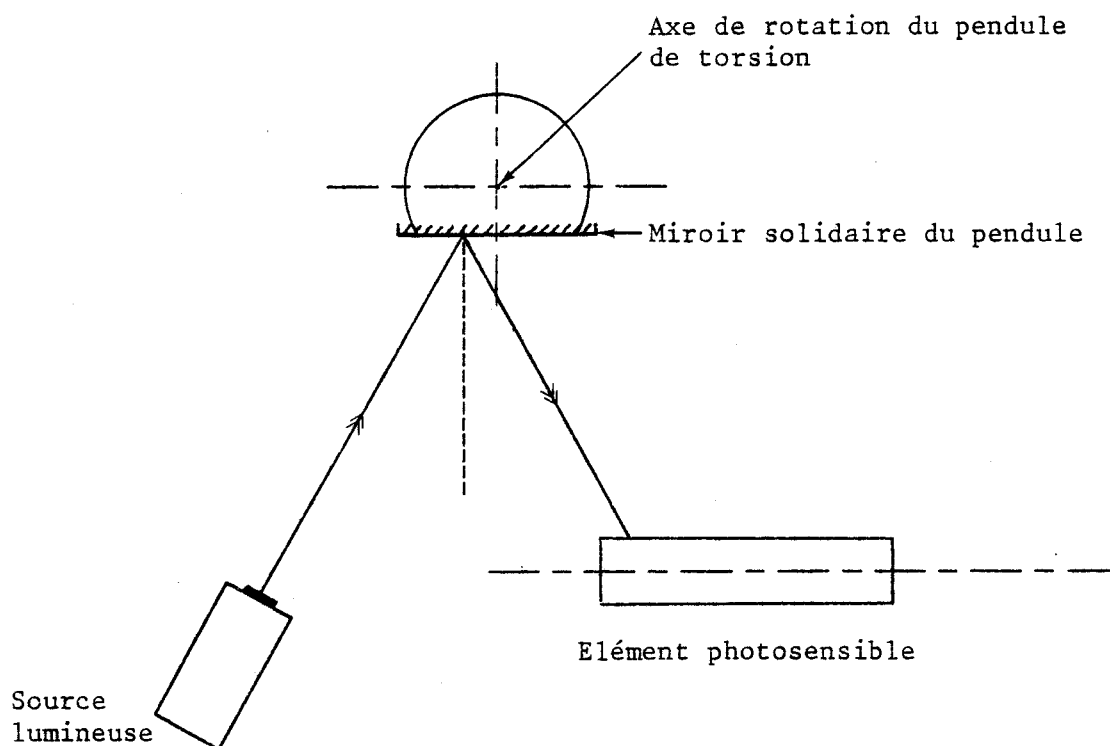
Enfin, à titre d'illustration des résultats et performances, nous proposons, dans une dernière partie, de présenter quelques enregistrements significatifs de "frottement intérieur" obtenus sur différents échantillons.

IV.1 - COMMANDES DU PROCESSUS

IV.1.1 - Mesure du déplacement

Compte tenu des spécificités des capteurs disponibles (§ I.2.1.1) caractérisant la mesure des amplitudes des oscillations, la mesure du déplacement est effectuée par la méthode optique de Poggendorf.

Cette méthode consiste à envoyer un faisceau lumineux sur un miroir solidaire du pendule, le faisceau réfléchi est capté par un élément photosensible qui a le rôle de convertir le déplacement du spot lumineux en une intensité de courant. Cette méthode permet d'éviter de modifier la dynamique de l'échantillon en n'introduisant aucun frottement supplémentaire sur le système (Figure 35).



DETECTION OPTIQUE DU MOUVEMENT

Figure 35

IV.1.1.1 - Etude de l'élément photosensible |1| |2|

Grâce à l'utilisation de différents matériaux semi-conducteurs, à base de sulfure de cadmium, de séléniure de cadmium avec différents dopages et différentes épaisseurs, les cellules Silec-semi-conducteurs se prêtent aux applications les plus variées, aussi bien en analogique (commandes potentiométriques, régulation, photométrie) qu'en tout ou rien (barrières lumineuses, détecteurs de position, comptage, lecture de bandes) |3|.

Parmi toutes ces cellules et en tenant compte de la spécification du cahier des charges (§ I.2.1.1), la cellule CdS type 5090 S1 semble la mieux adaptée. Ces caractéristiques sont présentées sur le tableau ci-dessous.

Tension d'alimentation maximum en Volts	800
Courant maximum admissible en mA (pour la puissance max. admissible)	80
Puissance maximum admissible en mW	66
Résistance d'obscurité en mégohms	0,1
Résistance sous éclairement 1000 Lux en ohms (à 25 °C)	500
Pente typique entre 1 Lux et 10 Lux $\frac{\text{Résistance à 1 Lux}}{\text{Résistance à 10 Lux}}$	3,5
Coefficient de température à 100 Lux en %/C	0,01
Temps de réponse en secondes à 100 Lux - à l'éclairément T_e - à l'obscurité T_o	0,04 0,40
Maximum de réponse spectrale en Å	5800
Caractéristique dominante	haute stabilité

CARACTERISTIQUES GENERALES DE LA CELLULE

TABLEAU 36

La cellule CdS type 5090 est constituée de deux résistances photosensibles indépendantes R_1 et R_2 . Les valeurs de ces deux résistances sont inversement proportionnelles à une variation de la largeur d'éclairage (Figure 37.A).

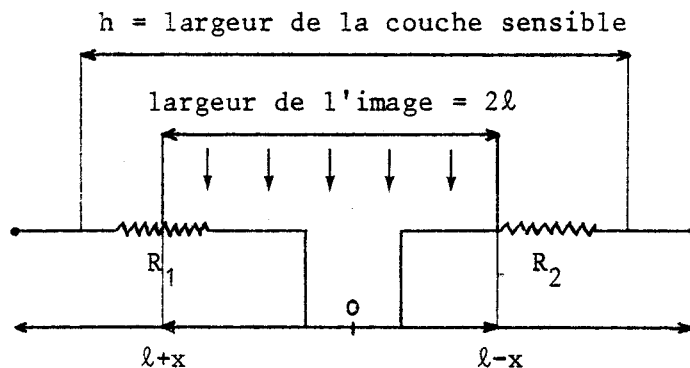


Figure 37.A

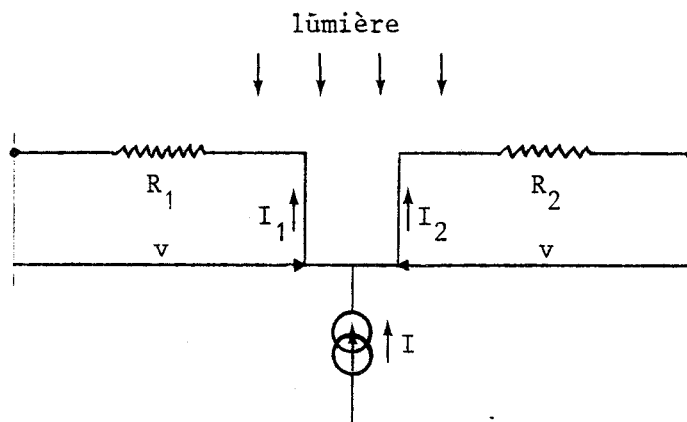


Figure 37.B

SCHEMA INTERNE DE LA CELLULE

Figure 37

Des définitions vues ci-dessus, découlent les relations suivantes :

$$R_1 = K \cdot (h / l+x)$$

$$R_2 = K \cdot (h / l-x)$$

K étant le coefficient de résistivité, fonction de l'éclairement.

Un déplacement de l'image entraîne un déséquilibre des résistances R_1 et R_2 . Ce déséquilibre sera matérialisé par une variation des courants I_1 , I_2 , issus d'un générateur de courant (Figure 37.B).

Il vient les relations suivantes :

$$I = I_1 + I_2 \quad \text{et} \quad R_1 \cdot I_1 = R_2 \cdot I_2$$

ce qui entraîne :

$$I_1 = \frac{R_2}{R_1} \cdot I_2 = \frac{R_2}{R_1} \cdot (I - I_1) \quad I_1 = \frac{R_2}{R_1 + R_2} \cdot I$$

et

$$I_2 = \frac{R_1}{R_2} \cdot I_1 = \frac{R_1}{R_2} \cdot (I - I_2) \quad I_2 = \frac{R_1}{R_1 + R_2} \cdot I$$

Exprimons les intensités I_1 et I_2 en fonction de h , ℓ et x , il vient :

$$I_1 = \frac{K \cdot \frac{h}{\ell - x}}{K \cdot h \cdot \left[\frac{1}{\ell + x} + \frac{1}{\ell - x} \right]} \cdot I = \frac{\ell + x}{2\ell} \cdot I$$

$$I_2 = \frac{K \cdot \frac{h}{\ell + x}}{K \cdot h \cdot \left[\frac{1}{\ell + x} + \frac{1}{\ell - x} \right]} \cdot I = \frac{\ell - x}{2\ell} \cdot I$$

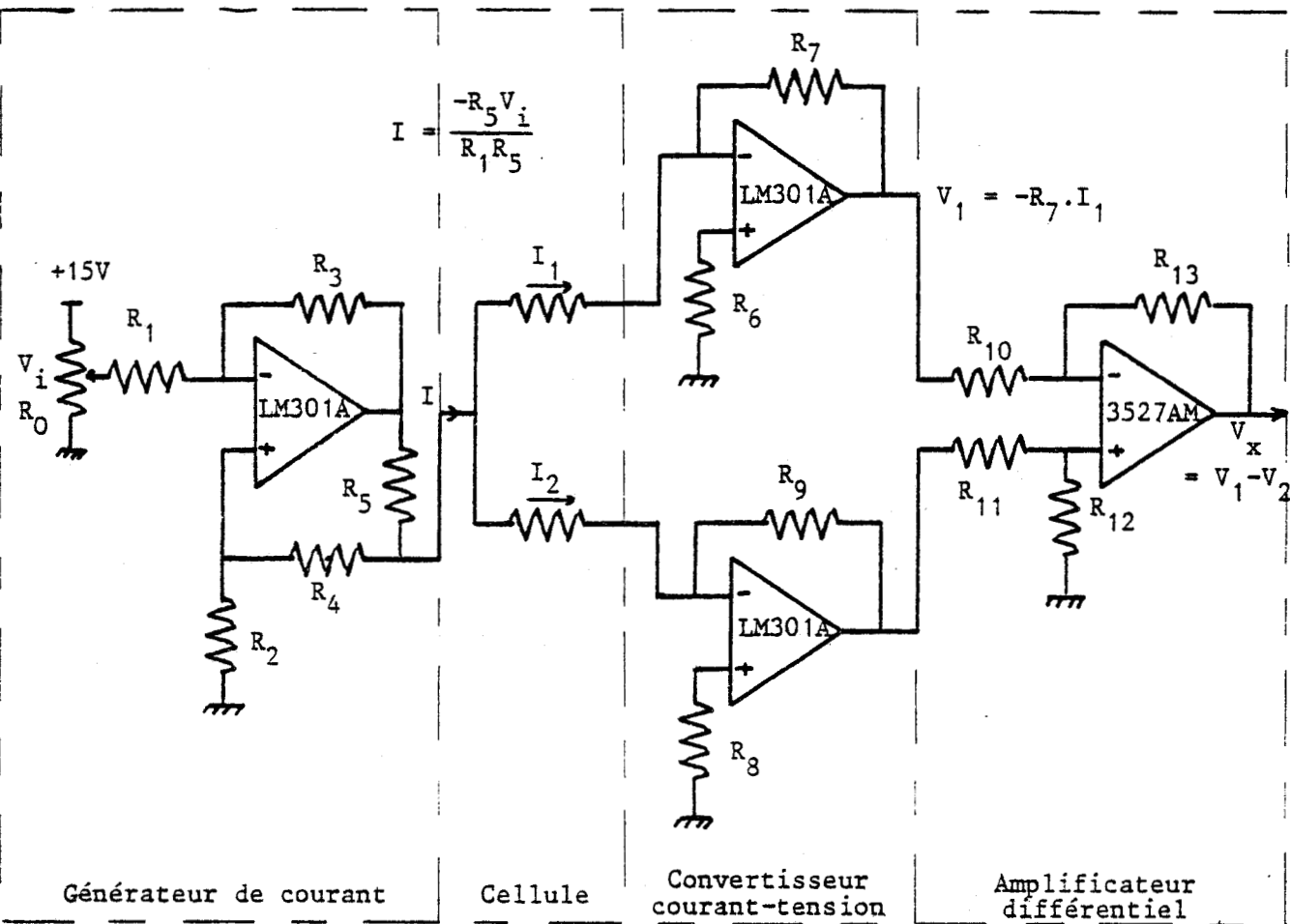
Soit la relation :

$$\boxed{I_1 - I_2 = \frac{x}{\ell} \cdot I} \quad (12)$$

Les grandeurs I et ℓ sont constantes, la différence des deux courants est donc proportionnelle au déplacement du faisceau lumineux sur la cellule.

IV.1.1.2 - Etude de l'interface pour la mesure du déplacement

La différence du courant $I_1 - I_2$ sera traduite linéairement en tension. Cette conversion est réalisée à partir d'un montage électronique comportant un amplificateur différentiel délivrant une tension proportionnelle au déplacement (Figure 38).



CONVERSION DEPLACEMENT TENSION

Valeurs des résistances :

$R_0 = 5 \text{ k}\Omega$	$R_4 = 1 \text{ M}\Omega$	$R_8 = 4,7 \text{ k}\Omega$	$R_{11} = 100 \text{ k}\Omega$
$R_1 = 2 \text{ M}\Omega$	$R_5 = 2 \text{ k}\Omega$	$R_9 = 4,7 \text{ k}\Omega$	$R_{12} = 100 \text{ k}\Omega$
$R_2 = 2 \text{ M}\Omega$	$R_6 = 4,7 \text{ k}\Omega$	$R_{10} = 100 \text{ k}\Omega$	$R_{13} = 100 \text{ k}\Omega$
$R_3 = 1 \text{ M}\Omega$	$R_7 = 4,7 \text{ k}\Omega$		

D'où $V_1 = -4,7 \cdot 10^3 \cdot I_1$ $V_2 = -4,7 \cdot 10^3 \cdot I_2$ et $I = -0,25 \cdot V_i \text{ mA}$

Figure 38

Afin d'obtenir la précision maximale du convertisseur, l'amplitude maximale de V_x , tension proportionnelle au déplacement du pendule, doit couvrir l'intervalle $[- 5 \text{ V}, + 5 \text{ V}]$.

IV.1.2 - Commande des bobines d'excitation du pendule

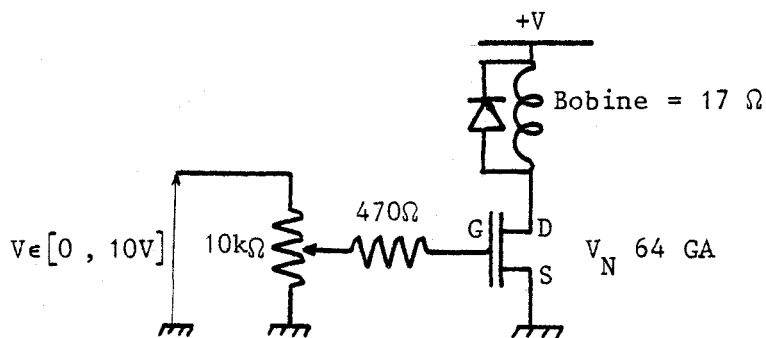
Pour écarter le pendule de torsion de sa position d'équilibre, deux conditions doivent être vérifiées.

(i) L'écartement du pendule de sa position d'équilibre doit se faire à vitesse lente et constante afin d'éviter toute oscillation, avant la mise en régime libre du pendule.

(ii) Suivant la dureté des échantillons, il est nécessaire de générer une impulsion de courant de 0 à 1 A, la charge étant de 17Ω (valeur de l'impédance des bobines).

Afin de satisfaire la première condition, il suffit d'élaborer un signal de montée en tension de pente constante. Cette commande s'effectue par l'intermédiaire d'un convertisseur Digital-Analogique convenablement piloté.

Pour générer une impulsion d'intensité variant entre 0 et 1 A, il est nécessaire d'élaborer une carte d'interface de puissance à partir de la sortie du DAC. Le convertisseur fournit un signal compris entre $[0 \text{ et } 10 \text{ V}]$ pour un courant de 5 mA [4] (Figure 39).



INTERFACE DE PUISSANCE

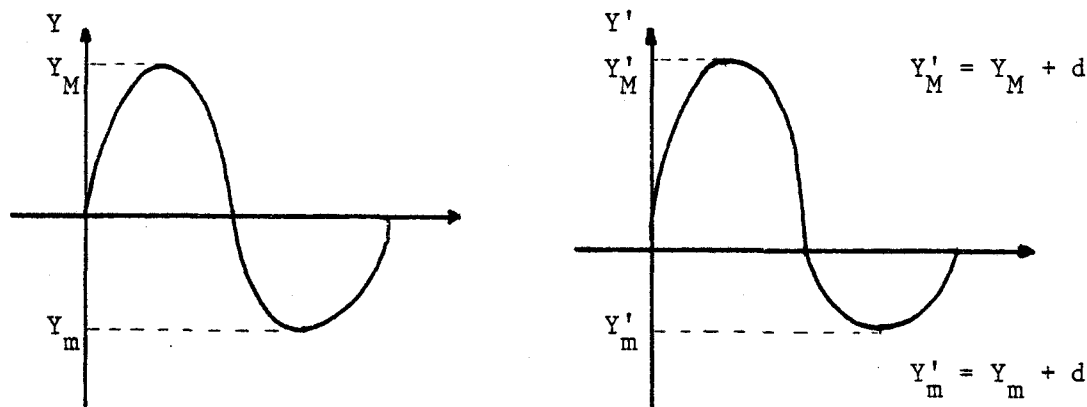
Figure 39

IV.1.3 - Commande de la position du capteur de déplacement

Selon la description du cahier des charges (§ I.2.2.3), l'asservissement de position de la cellule photorésistante doit être réalisé à chaque nouvelle position d'équilibre.

Pour ceci, la cellule photorésistante est montée sur un suiveur de spot (Photo 11), dont la position est commandée par la sortie d'un convertisseur Digital-Analogique.

Si une dérive d apparaît au cours des cycles d'oscillations, elle sera détectée et traitée comme suit :



A : Oscillation sans dérive

B : Oscillation avec dérive

MESURE DE LA DERIVE d

Figure 40

Sur la figure A, on définit la valeur $\delta = Y_M + Y_m$, (valeur définie au cours de l'initialisation du système).

De la figure B se déduit l'équation suivante :

$$Y'_M + Y'_m = \delta + 2 d$$

La tension utilisée pour conduire le suiveur de spot est calculée et traitée selon l'organigramme de la figure 41.

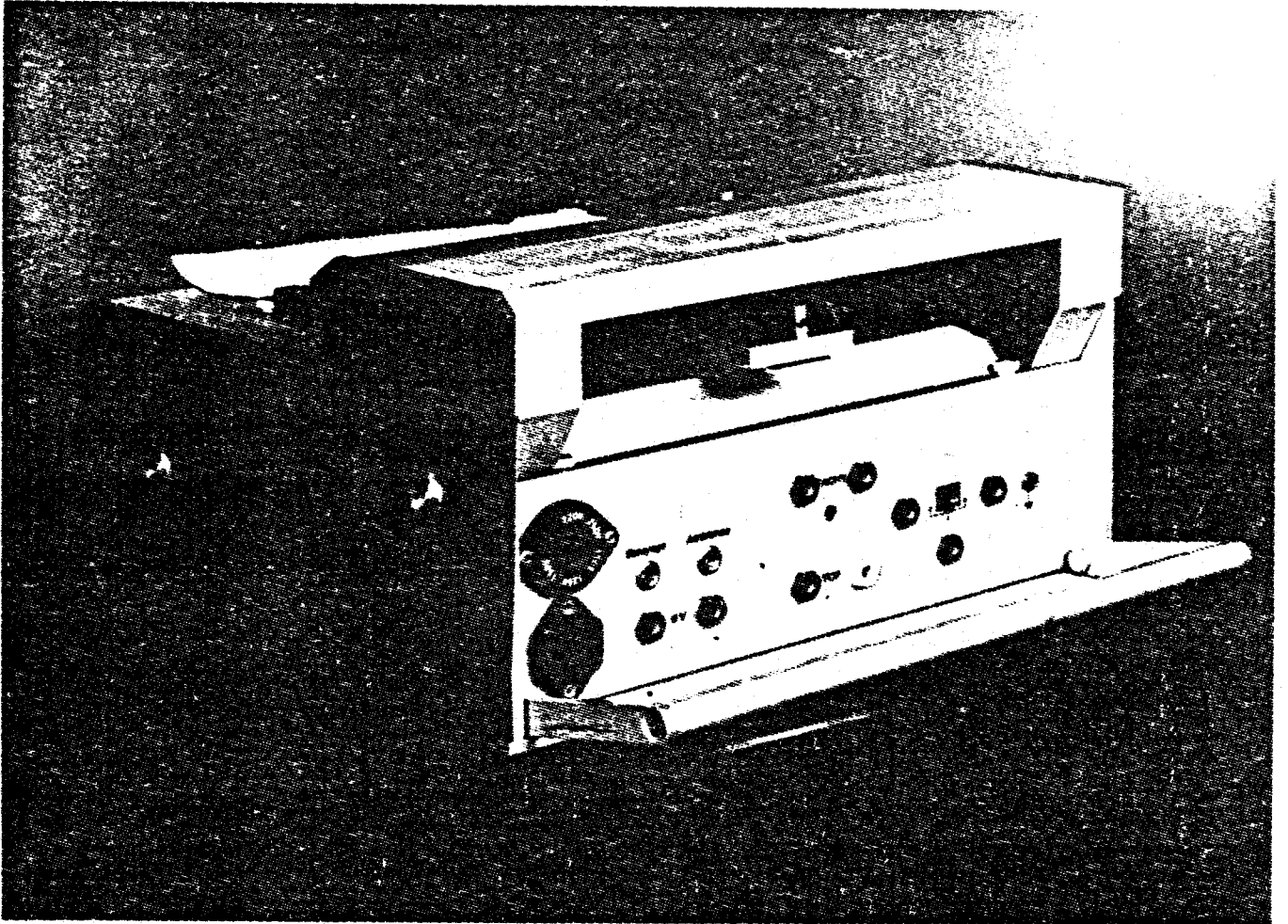
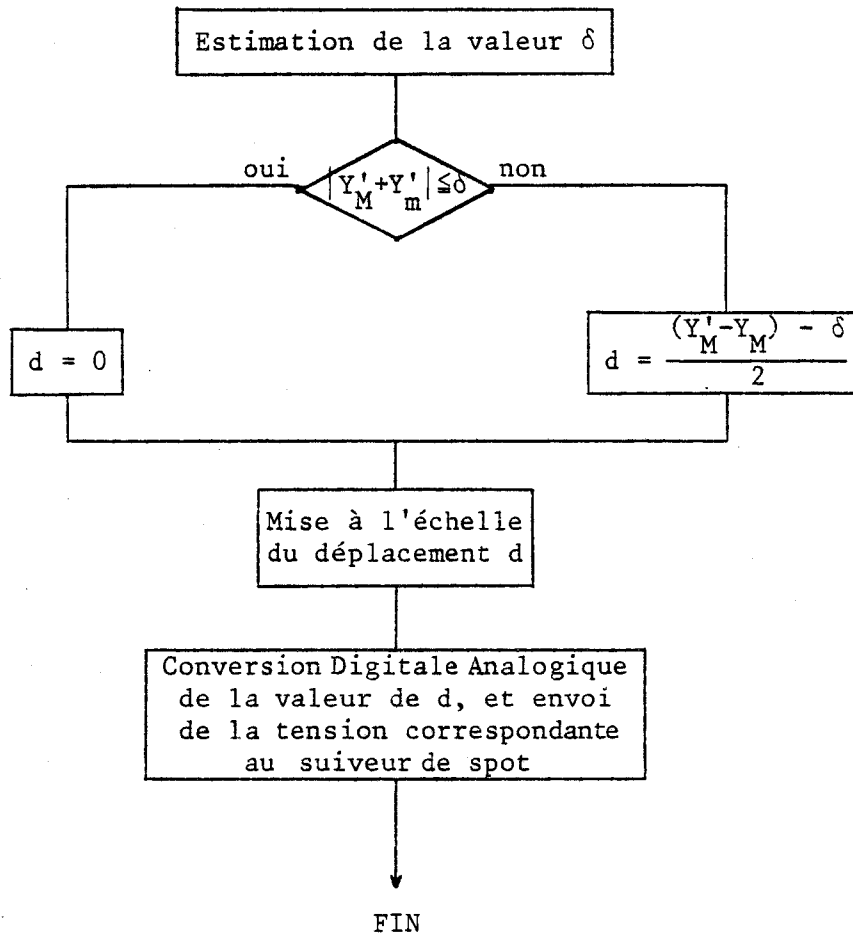


PHOTO XI : Suiveur de spot

113
SUIVEUR



ORGANIGRAMME DU CALCUL DE LA
VALEUR DE LA DERIVEE

Figure 41

IV.1.4 - Régulation de la température du four

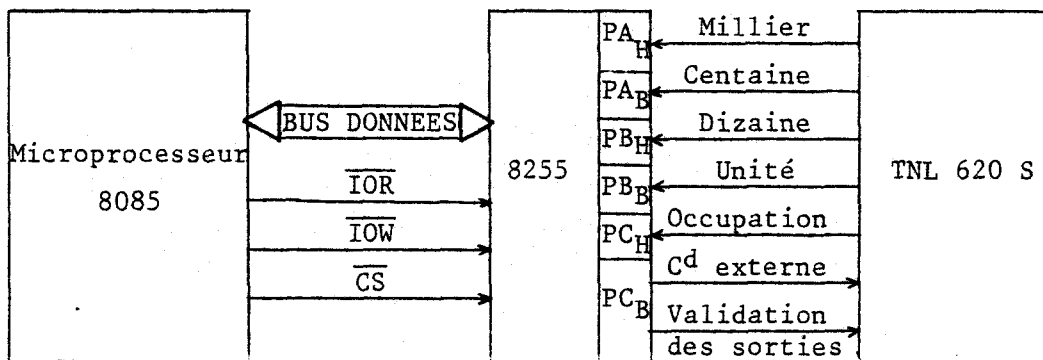
IV.1.4.1 - Mesure de la température de l'échantillon

Le thermomètre numérique miniaturisé, type TNL 620 S est utilisé pour la mesure de la température, par sonde à résistances de platine. Cette dernière étant positionnée près de l'échantillon à l'intérieur du four. La gamme de température accessible se situe dans l'intervalle

[- 200 °C, + 198 °C] pour une résolution de 0,01 °C.

Cet indicateur possède des diodes électroluminescentes (LED) pour l'affichage de 5 chiffres, ce qui permet d'obtenir ± 19999 points de mesures. Au-delà de cette valeur, l'affichage reste figé sur cette dernière, en signalant le dépassement par la présence d'un petit segment allumé au-dessus de la barre du moins.

Une sortie codée BCD, parallèle (1.2.4.8) lui est associée. Cette sortie reliée directement à un interface périphérique programmable, le 8255, permet à l'unité centrale d'enregistrer les différentes valeurs de la température. La validation de ces enregistrements se fait par l'intermédiaire de la ligne "commande externe" (Figure 42).



CONNEXION DU THERMOMETRE A L'UNITE CENTRALE

Figure 42

IV.1.4.2 - Régulation de la température

Nous proposons d'utiliser un contrôleur de la Société Eurotherm disponible sur le montage, pour la régulation de la température du four.

Ce régulateur possède une roue codeuse permettant de fixer la température de consigne.

Les valeurs des constantes de temps et de la bande proportionnelle sont fixées par l'intermédiaire de potentiomètres.

La connexion du régulateur et du four se fait par deux lignes, l'une reliant le thermocouple Chromel-Alumel placé dans le four, à proximité de l'échantillon, au régulateur, l'autre de la sortie du circuit de puissance du régulateur au four (résistance).

Pour la commande d'une montée en température, il suffit de positionner la roue codeuse sur la température désirée.

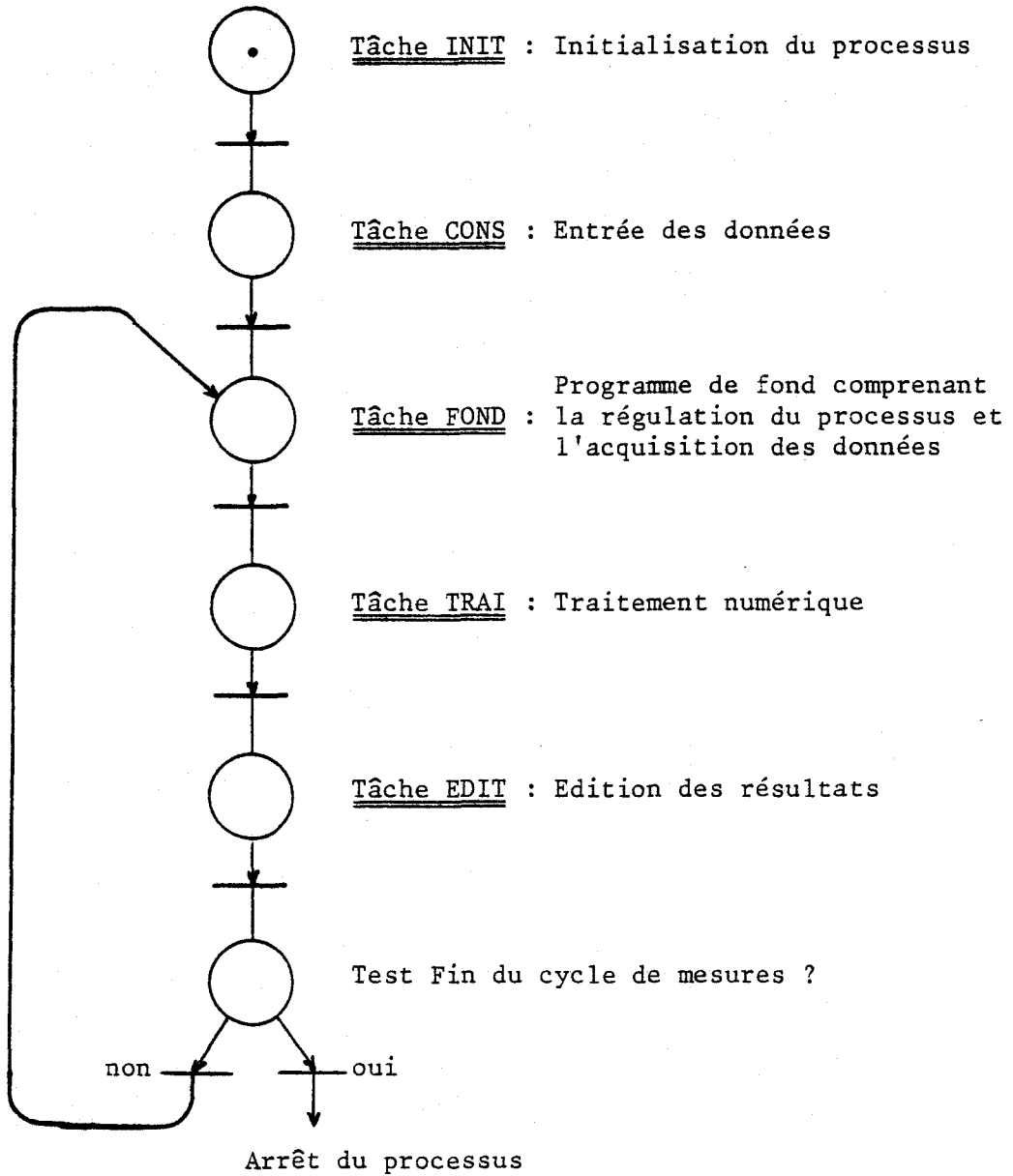
IV.2 - DESCRIPTION DU LOGICIEL

Le logiciel permettant de guider l'automatisation du pendule de torsion est écrit en langage assembleur.

Il occupe 5 k Octets mémoire, implanté sur la carte extension EPROM, à la suite du basic, de l'adresse B000H à C800H.

Le logiciel est divisé en plusieurs parties ou tâches décrites dans la suite de ce chapitre.

Dans un premier temps, nous proposons de décrire sous forme d'un réseau de Pétri, le déroulement d'un cycle de mesure (Figure 43).



REPRESENTATION DU FONCTIONNEMENT GLOBAL DU SYSTEME

Figure 43

IV.2.1 - Description de la tâche INIT

La tâche INIT comporte deux sous-ensembles.

Dans le premier se situent toutes les déclarations de tableaux, initialisées en mémoire RAM. Ces tableaux occupent 6 k Octets, celui de l'acquisition des données occupant à lui seul 5 k Octets.

Dans un second sous-ensemble, tous les circuits périphériques utilisés pour un cycle de mesures sont initialisés selon les différents modes de travail choisis et décrits dans les chapitres précédents, notamment le timer 8253 qui règle le cadencement de la période d'échantillonnage (§ II.2.1), utilisé lors de la mesure du déplacement du pendule.

IV.2.2 - Description de la tâche CONS

Avant l'exécution effective du programme d'essai, certaines données paramétrées doivent être introduites à partir de la console alphanumérique en mode conversationnel. Ces données sont sauvegardées sur l'imprimante.

Deux types de données doivent être communiquées :

(i) les données purement descriptives :

- date
- nom du manipulateur
- type d'échantillon utilisé

(ii) les données qui paramètrent l'essai :

- nombre d'échantillons (maxima et minima)
- variation du décrétement logarithmique maximum et minimum.

Ces 4 informations servant au calcul du nombre d'échantillons à mesurer lors d'un cycle (§IV.2.3.1)

- la valeur de l'amplitude des oscillations et le temps de montée de l'amplitude.
- et enfin δ pour le calcul de la dérive apparaissant au cours des cycles d'oscillations.

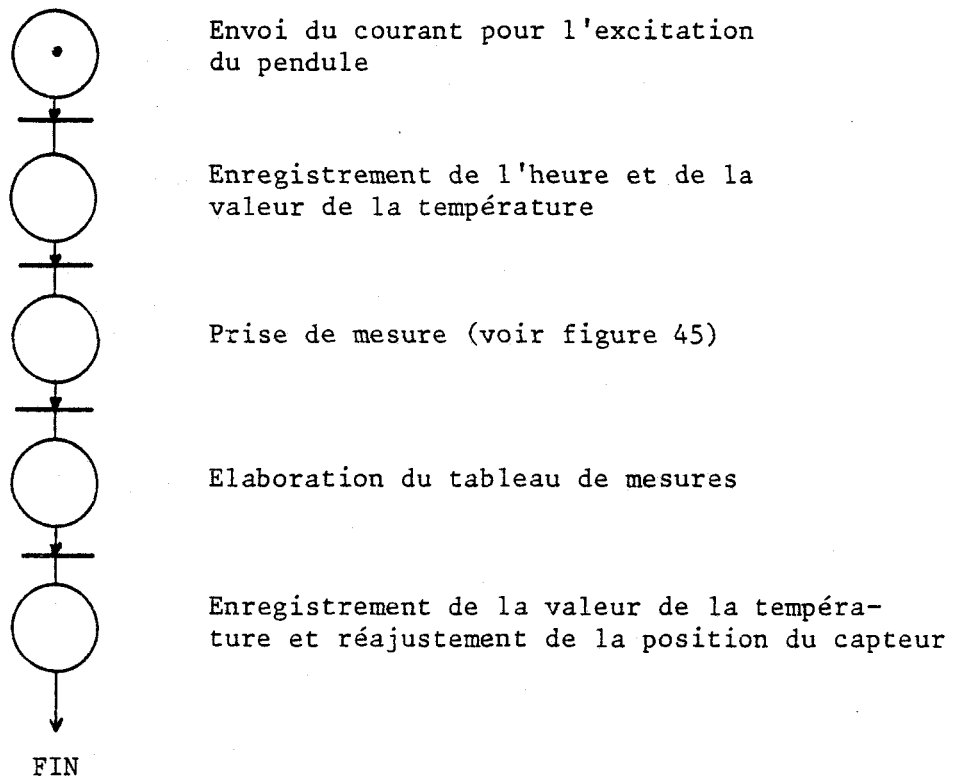
IV.2.3 - Description de la tâche FOND

Cette tâche concerne essentiellement l'acquisition des données.

Décrivons les différentes phases de la tâche FOND :

Dans un premier temps, le pendule étant écarté de sa position d'équilibre, nous proposons d'enregistrer la valeur de la température t et l'instant initial de mise sous oscillation libre du pendule.

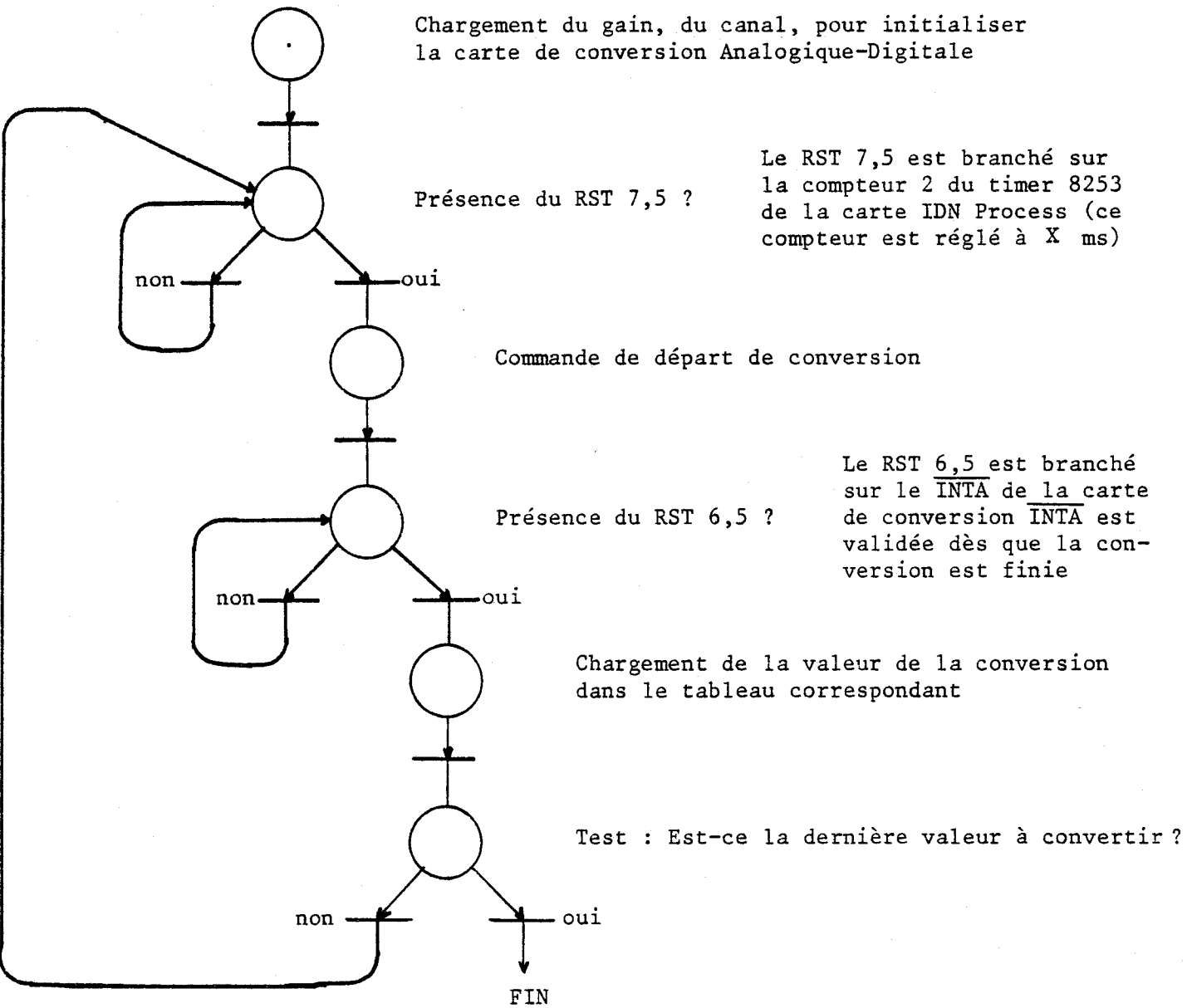
Dans une seconde phase, ce programme élabore le tableau d'acquisition des données selon le séquençement décrit ci-dessous.



TACHE FOND

Figure 44

Le déroulement du cycle de la prise de mesure est plus précisément détaillé sur le réseau de la figure 45.



PRISE DE MESURE

Figure 45

IV.2.4 - Traitement numérique

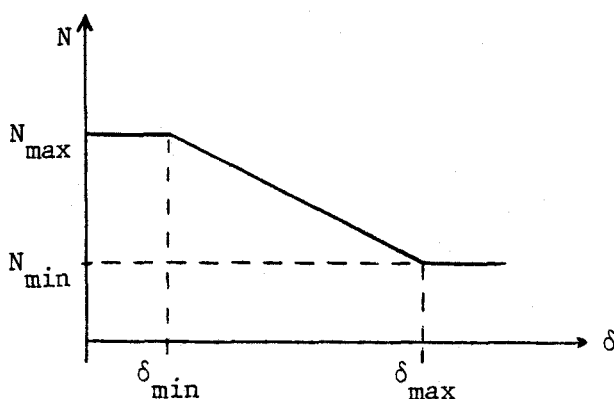
IV.2.4.1 - *Optimisation du nombre de prise de mesures* |1|

Cette optimisation découle du raisonnement suivant, plus le décrément logarithmique est important, plus le nombre N de mesures

à réaliser est petit.

On définit ainsi la variable N comme une fonction linéaire décroissante du décrement logarithmique (Figure 46).

C'est ainsi que dans la tâche CONS, les valeurs du nombre d'échantillons, et de la variation du décrement logarithmique maxima et minima sont à spécifier.



VARIATION DE N EN FONCTION DE δ

Figure 46

Les valeurs de N_{\max} , N_{\min} , δ_{\min} et δ_{\max} sont des valeurs dépendant directement du type d'échantillon utilisé.

$$\begin{aligned} \text{En général, } N_{\max} &\cong 500 & N_{\min} &\cong 150 & (\text{pour } \Delta T_e = 0,1 \text{ s}) \\ \delta_{\max} &\cong 15 \cdot 10^{-3} & \delta_{\min} &\cong 1,5 \cdot 10^{-3} \end{aligned}$$

Pour le premier cycle, c'est la valeur N_{\max} qui sera prise en compte.

IV.2.4.2 - Calcul du décrement logarithmique

Le calcul du décrement logarithmique se fait à partir de la comparaison successive des valeurs échantillonnées du déplacement y_n , donnant ainsi directement la valeur des maxima rangés dans un tableau.

A partir de ce tableau, nous calculons les décrets successifs (du premier et du second échantillon, du premier et du troisième, ...), ainsi prend forme une table des variables :

$$\delta_i = \frac{1}{i} \log \frac{A_i}{A_0}$$

Pour minimiser l'erreur commise sur la valeur finale du décrets, il reste à procéder à un calcul de moyenne :

$$\delta = \frac{1}{n} \sum_{i=1}^n \delta_i$$

* Simulation et calcul d'erreur du décrets sur
PDP 11/34

La simulation du mouvement du pendule de torsion sur PDP se fait par l'intermédiaire du modèle suivant :

$$y = Y_0 e^{-\delta t} \sin (\omega t + \rho)$$

A partir de cette équation, sera calculé le décrets logarithmique (§ IV.2.4.2) appelé δ_p .

Le programme de calcul d'erreur calcule tout d'abord le nombre N d'échantillons en fonction de la valeur de ΔT_e (§IV.2.4.1) :

$N = \frac{1}{\delta_M - \delta_m} \left[- (N_M - N_m) \cdot \delta + (\delta_M \cdot N_M - \delta_m \cdot N_m) \right]$	(13)
et	
$\begin{aligned} N_M &= 50 / \Delta T \\ \delta_M &= 15 \cdot 10^{-3} e \end{aligned}$	$\begin{aligned} N_m &= 15 / \Delta T_e \\ \delta_m &= 10^{-2} e \end{aligned}$

Puis, pour différentes valeurs de δ (comprises entre 10^{-2} et $15 \cdot 10^{-3}$) on calcule le décrets logarithmique pratique δ_p . C'est ainsi que sont calculées l'erreur absolue $|\delta_p - \delta_{th}|$ et l'erreur

relative : $100. \left| \frac{\delta_p - \delta_{th}}{\delta_{th}} \right|$

Les résultats consignés dans les tableaux 47, 48, 49 induisent la conclusion suivante :

Plus ΔT_e décroît, plus les erreurs décroissent ; celles-ci sont donc proportionnelles à la période d'échantillonnage du signal.

dlc	N	H(Refractive)*10 ³	H(Refractive)*10 ³	Error relative	Error absolute
0.01	5000	1.000440	1.000440	0.000440	0.000440
0.01	4750	2.001141	2.001141	0.001170	0.001141
0.01	4500	3.001842	3.001842	0.002235	0.001842
0.01	4250	4.002543	4.002543	0.004413	0.002543
0.01	4000	5.003244	5.003244	0.006587	0.003244
0.01	3750	6.003945	6.003945	0.008761	0.003945
0.01	3500	7.004646	7.004646	0.010935	0.004646
0.01	3250	8.005347	8.005347	0.013109	0.005347
0.01	3000	9.006048	9.006048	0.015283	0.006048
0.01	2750	10.006749	10.006749	0.017457	0.006749
0.01	2500	11.007450	11.007450	0.019631	0.007450
0.01	2250	12.008151	12.008151	0.021805	0.008151
0.01	2000	13.008852	13.008852	0.023979	0.008852
0.01	1750	14.009553	14.009553	0.026153	0.009553
0.01	1500	14.994354	14.994354	0.028327	0.009553

dlc	N	H(Refractive)*10 ³	H(Refractive)*10 ³	Error relative	Error absolute
0.02	2500	0.997604	0.997604	0.002394	0.002394
0.02	2375	2.000955	2.000955	0.004477	0.000955
0.02	2250	3.004306	3.004306	0.008223	0.003306
0.02	2125	4.007657	4.007657	0.012478	0.004306
0.02	2000	5.011008	5.011008	0.016733	0.005008
0.02	1875	6.014359	6.014359	0.021454	0.005754
0.02	1750	7.017710	7.017710	0.026175	0.006500
0.02	1625	8.021061	8.021061	0.030896	0.007246
0.02	1500	9.024412	9.024412	0.035617	0.007992
0.02	1375	10.027763	10.027763	0.040338	0.008738
0.02	1250	11.031114	11.031114	0.045059	0.009484
0.02	1125	12.034465	12.034465	0.049780	0.010230
0.02	1000	13.037816	13.037816	0.054501	0.010976
0.02	875	13.991077	13.991077	0.059222	0.011722
0.02	750	14.944328	14.944328	0.063943	0.012468

BUS
LILLE

die	N	D(Heuglinue)*10 ³	R(Fislaue)*10 ³	Etretic relative	Etretic absolute
0.03	1500	0.829770	0.030222	*	0.030222
0.03	1420	1.750130	0.024935	*	0.024935
0.03	1357	2.933255	0.024502	*	0.024502
0.04	1205	3.074071	0.026202	*	0.026202
0.07	1214	4.201429	0.019714	*	0.019714
0.03	1142	5.083705	0.019327	*	0.019327
0.03	1071	5.871233	0.015537	*	0.015537
0.03	1000	7.085020	0.014372	*	0.014372
0.03	920	0.074410	0.013954	*	0.013954
0.03	857	7.053331	0.013357	*	0.013357
0.03	785	10.054204	0.013254	*	0.013254
0.03	714	11.055675	0.011742	*	0.011742
0.03	642	12.042723	0.012090	*	0.012090
0.03	571	13.035571	0.012459	*	0.012459
0.03	500	14.750324	0.013974	*	0.013974

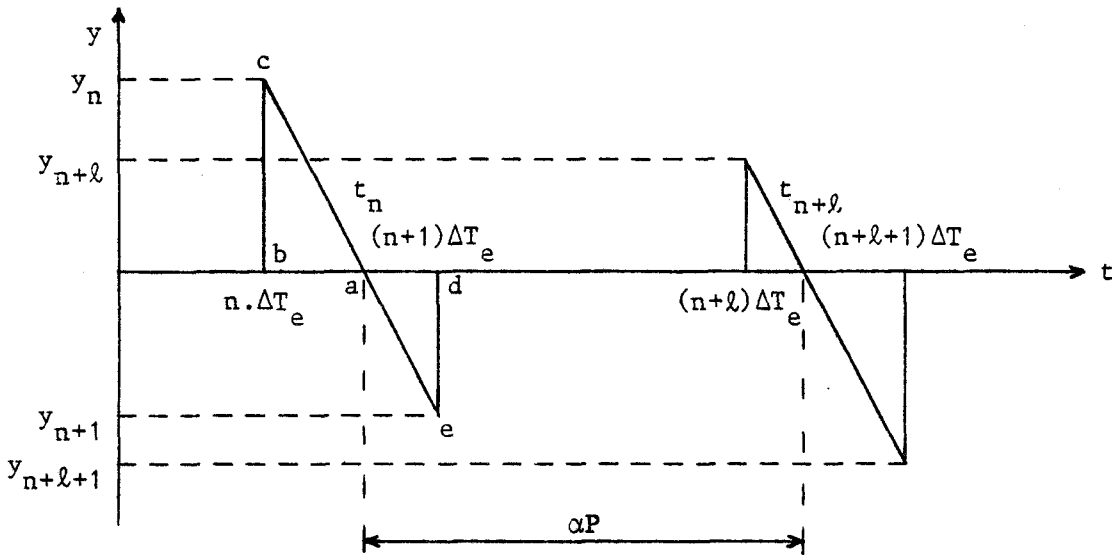
TABLEAUX 47, 48 et 49



IV.2.4.3 - Calcul de la pseudo période |1| |2|

La pseudo période se calcule par la détection de tous les passages par zéro du signal d'amplitude y des mouvements du pendule.

Ce signal a pour période d'échantillonnage ΔT_e , et $y(n)$ représente la valeur de l'amplitude au $n^{\text{ième}}$ échantillon.



SCHEMA DU PRINCIPE DU CALCUL DE LA PSEUDO PERIODE

Figure 50

Etablissons un tableau contenant les couples d'échantillons successifs tel que $y_{n+1} < 0 \leq y_n$ ou $y_n < 0 \leq y_{n+1}$.

La pseudo période αP peut être calculée à partir de la relation suivante :

$$\alpha P = \ell \cdot \Delta T_e - (t_n - n \cdot \Delta T_e) + (t_{n+l} - (n+l) \cdot \Delta T_e)$$

α représentant un nombre donné de pseudo périodes.

Les calculs des valeurs de $(t_n - n \cdot \Delta T_e)$ et $(t_{n+l} - (n+l) \cdot \Delta T_e)$ se réalisent facilement à partir des relations liant les triangles semblables abc et ade.

Il vient donc après calcul, l'expression (14) définissant la pseudo période.

$$P = \frac{\Delta T_e}{\alpha} \left[\ell + \frac{y_{n+\ell}}{y_{n+\ell} + y_{n+\ell+1}} - \frac{y_n}{y_n + y_{n+1}} \right] \quad (14)$$

** Simulation et calcul d'erreur de la pseudo période sur PDP*

Selon un principe analogue à celui que nous avons présenté au § IV.2.4.2, le calcul des erreurs absolues et relatives sur la pseudo période, conduit aux résultats exposés dans les tableaux 51, 52 et 53.

Nous en déduisons que la méthode du calcul de la pseudo période décrite ci-dessus est très satisfaisante, pour des périodes d'échantillonnages comprises entre 0,01 s et 0,02 s.

dle	u	N	F(theorique)	F(Pratique)	Erreur Relative	Erreur Absolute
0.01	1	5000	1	0.999998	0.000002	0.000002
0.01	2	4750	1	1.010751	0.010751	0.010751
0.01	3	4500	1	1.011484	0.011484	0.011484
0.01	4	4250	1	1.012195	0.012195	0.012195
0.01	5	4000	1	1.012975	0.012975	0.012975
0.01	6	3750	1	1.013874	0.013874	0.013874
0.01	7	3500	1	1.014998	0.014998	0.014998
0.01	8	3250	1	1.016467	0.016467	0.016467
0.01	9	3000	1	1.017517	0.017517	0.017517
0.01	10	2750	1	1.019195	0.019195	0.019195
0.01	11	2500	1	1.021231	0.021231	0.021231
0.01	12	2250	1	1.023747	0.023747	0.023747
0.01	13	2000	1	1.026930	0.026930	0.026930
0.01	14	1750	1	1.031115	0.031115	0.031115
0.01	15	1500	1	1.035552	0.035552	0.035552

dle	u	N	F(theorique)	F(Pratique)	Erreur Relative	Erreur Absolute
0.02	1	2500	1	1.010567	0.010567	0.010567
0.02	2	2375	1	1.010867	0.010867	0.010867
0.02	3	2250	1	1.011487	0.011487	0.011487
0.02	4	2125	1	1.012497	0.012497	0.012497
0.02	5	2000	1	1.012977	0.012977	0.012977
0.02	6	1875	1	1.013977	0.013977	0.013977
0.02	7	1750	1	1.014910	0.014910	0.014910
0.02	8	1625	1	1.015957	0.015957	0.015957
0.02	9	1500	1	1.017218	0.017218	0.017218
0.02	10	1375	1	1.018938	0.018938	0.018938
0.02	11	1250	1	1.020793	0.020793	0.020793
0.02	12	1125	1	1.023200	0.023200	0.023200
0.02	13	1000	1	1.026237	0.026237	0.026237
0.02	14	875	1	1.030184	0.030184	0.030184
0.02	15	750	1	1.035524	0.035524	0.035524



dfc	D	N	P(theorique)	P(Pratique)	Erreur Relative	Erreur Absolute
0.03	1	1500	1	1.006281	0.006281	0.006281
0.03	2	1428	1	1.006374	0.006374	0.006374
0.03	3	1357	1	1.006735	0.006735	0.006735
0.03	4	1285	1	1.007142	0.007142	0.007142
0.03	5	1213	1	1.007727	0.007727	0.007727
0.03	6	1142	1	1.008271	0.008271	0.008271
0.03	7	1071	1	1.008904	0.008904	0.008904
0.03	8	1000	1	1.009727	0.009727	0.009727
0.03	9	928	1	1.010628	0.010628	0.010628
0.03	10	857	1	1.011606	0.011606	0.011606
0.03	11	785	1	1.012770	0.012770	0.012770
0.03	12	714	1	1.014127	0.014127	0.014127
0.03	13	642	1	1.015680	0.015680	0.015680
0.03	14	571	1	1.018400	0.018400	0.018400
0.03	15	500	1	1.021753	0.021753	0.021753

TABLEAUX 51, 52 et 53



IV.2.5 - Edition des résultats

L'édition des résultats est effectuée sous deux formes différentes :

(i) Par le tracé des courbes $Q^{-1} = \delta/\pi$ (frottement intérieur) et P (Pseudo période) en fonction de T (température) sur table traçante numérique.

(ii) Par l'édition des résultats sur listing. Ce listing contenant les informations suivantes, rangées sous forme de tableau : date, température du début et de fin de cycle, pseudo période et décrement logarithmique.

CONCLUSION

Au cours de ce chapitre, nous avons pu aborder les différents aspects relatifs à la mise en œuvre effective du pendule de torsion. Nous avons pu indiquer de quelle manière s'effectue le traitement permettant de saisir et de traiter les informations significatives de l'expérimentation, notamment le décrétement logarithmique et la pseudo période.

Dans chaque cas, nous avons indiqué la façon de choisir le nombre de mesures ainsi que la période d'échantillonnage en minimisant les erreurs de mesure.

Les résultats d'un essai sont directement fournis sur table traçante en fonction de la température.

BIBLIOGRAPHIE DU CHAPITRE IV

- | 1 | M. DUFAUT
"Automatisation par ordinateur d'une chaîne de mesure de frottement
intérieur dans les métaux"
Thèse, 1977, Institut National Polytechnique de Lorraine.

- | 2 | J.M. BARBEZ
"Elaboration d'une chaîne d'acquisition analogique. Application :
mesure d'un décrement logarithmique et de sa pseudo période"
D. E. A., 1980, Université des Sciences et Techniques de Lille.

- | 3 | SILEC Semi-Conducteurs
Catalogue Opto-électronique.

- | 4 | SILICONIX
Catalogue VMOS, Mars 1979.

CONCLUSION GENERALE

Dans ce mémoire, nous avons proposé une solution concrète au problème posé par l'automatisation et l'instrumentation d'un pendule de torsion servant essentiellement à définir de manière quantitative, les caractéristiques dites de frottement intérieur des matériaux.

Dans ce sens, nous avons proposé une solution originale basée sur la mise en œuvre d'une structure micro-informatique et d'un logiciel bien adaptés au problème posé.

Le matériel présenté permet notamment d'assurer :

- (i) L'automatisation des commandes d'oscillations
- (ii) L'automatisation complète des mesures
- (iii) Une assistance automatisée du nombre de mesures
- (iv) Une aide au choix de la période d'échantillonnage
- (v) Le traitement des mesures en vue d'une exploitation graphique
- (vi) L'archivage des données.

L'utilisateur se trouve donc dégagé de la surveillance des essais et de la mise en forme des mesures, il n'intervient que dans l'initialisation du procédé et l'analyse des résultats.

Afin d'améliorer les possibilités d'interprétation, il pourrait être intéressant de réguler la température du four de manière plus précise dans la zone de définition du pic de Snøeck. En effet, dans la version présentée ici, la température varie linéairement au cours de l'essai et il pourrait donc être intéressant de générer une dynamique différente de la variation de température dans cette zone.

Enfin, la mesure du frottement intérieur pourrait être obtenue différemment en calculant le rapport de l'énergie dissipée par cycle à l'énergie élastique maximale atteinte au cours du cycle.

Cette mesure s'effectue en oscillations libres, il conviendrait donc d'adjoindre au système présenté dans ce mémoire, un dispositif logiciel permettant de calculer l'énergie absorbée par le pendule.

ANNEXE A

LE BASIC

LE BASIC

1 - COMMANDES DU BASIC

RUN : Exécution du programme
SCR : Efface le programme en mémoire
LIST : Liste le programme en mémoire
PLST : Copie du programme sur ruban
PTAPE : Lecture d'un ruban sur lecteur rapide
CNTRL/S : Interruption de l'exécution du programme

2 - INSTRUCTIONS DU BASIC

0 à 32767 : Indique le numéro de la ligne du programme
REM : Instruction suivie d'un commentaire
END : Indique la fin d'un programme
STOP : Stoppe le programme avec possibilité de relancement
GOTO α : Transfère de la commande d'exécution à la ligne α du programme
DIM : Définit la dimension d'une variable indiquée, ou d'un tableau
LET : Affecte une valeur à une variable
IF (expression) THEN β : Branchement alphanumérique conditionnel
ou branchement arithmétique conditionnel
INPUT : Permet l'entrée de données à partir du clavier du terminal, au cours de l'exécution d'un programme
PRINT : Imprime le résultat de l'exécution d'un programme
FOR : Cette instruction sert à l'initialisation d'une boucle et au test de fin de boucle
NEXT : La valeur du pas est ajoutée à la valeur de la variable de contrôle et le test de fin de boucle est pratiqué
GOSUB γ : Commande l'exécution d'un sous-programme
RETURN : Commande la sortie du sous-programme, et la poursuite de l'exécution de l'instruction qui suit immédiatement l'instruction GOSUB

CALL : Appel d'un sous-programme écrit en Assembleur
GET : Lecture de la valeur d'un port d'entrée (d'un 8255)
PUT : Sortie d'un byte sur un port de sortie (d'un 8255)

3 - OPERATIONS DU BASIC

ADD : Addition (2,4 ms)
SUBSTRACT : Soustraction (2,4 ms)
MULTIPLY : Multiplication (5,4 ms)
DIVIDE : Division (7 ms)

4 - COMMANDES SPECIALES

[RC] : (Retour chariot) : Validation de la ligne
[RUBOUT] ⇔ (Shift/0) : Suppression du caractère
[CNTRL/Y] : Suppression de la ligne

5 - TABLEAU DES ERREURS

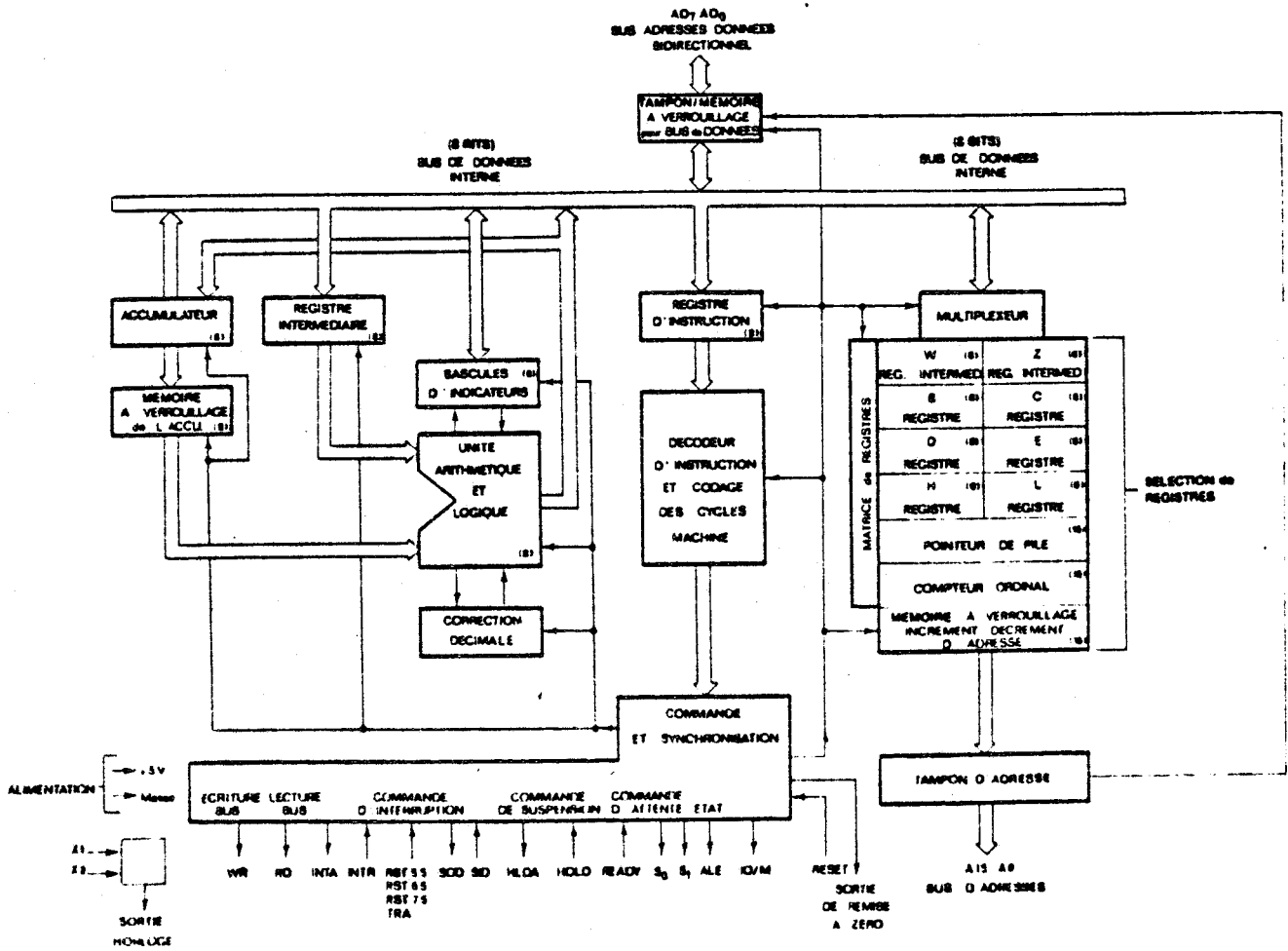
1 : Program has no END statement
2 : Unrecognizable keyword at beginning of statement
3 : Source statements exist after END statement
4 : Designation line number is improperly formed in a GOTO, COSUB
or IF statement
5 : Destination line number in a GOTO, GOSUB or IF statement
does not exist
6 : Unexpected character
7 : Unfinished statement
8 : Illegally formed expression
9 : Error in floating-point conversion
10 : Illegal use of a function
11 : Duplicate array definition
12 : An array is referenced before it is defined
13 : Error in the floating-point-to-integer routine ; Number is
too big
14 : Invalid relation in an IF statement.

ANNEXE B

CARTE IDN PROCESS

CARTE IDN PROCESS

- Brochage et synoptique du 8085
- Connecteurs de la carte IDN Process



SCHEMA SYNOPTIQUE DU MICROPROCESSEUR 8085



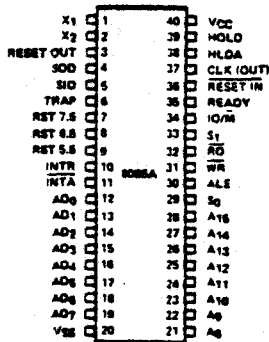


Figure 2. 8085A Pinout Diagram

8085A FUNCTIONAL PIN DEFINITION

The following describes the function of each pin:

Symbol	Function																																								
A₈-A₁₅ (Output, 3-state)	Address Bus: The most significant 8 bits of the memory address or the 8 bits of the I/O address. 3-stated during Hold and Halt modes and during RESET.																																								
AD₀₋₇ (Input/Output, 3-state)	Multiplexed Address/Data Bus: Lower 8 bits of the memory address (or I/O address) appear on the bus during the first clock cycle (T state) of a machine cycle. It then becomes the data bus during the second and third clock cycles.																																								
ALE (Output)	Address Latch Enable: It occurs during the first clock state of a machine cycle and enables the address to get latched into the on-chip latch of peripherals. The falling edge of ALE is set to guarantee setup and hold times for the address information. The falling edge of ALE can also be used to strobe the status information. ALE is never 3-stated.																																								
S₀, S₁, and IO/M (Output)	Machine cycle status: <table border="1"> <thead> <tr> <th>IO/M</th> <th>S₁</th> <th>S₀</th> <th>Status</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Memory write</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Memory read</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>I/O write</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>I/O read</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Opcode fetch</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Interrupt Acknowledge</td> </tr> <tr> <td>*</td> <td>0</td> <td>0</td> <td>Halt</td> </tr> <tr> <td>*</td> <td>X</td> <td>X</td> <td>Hold</td> </tr> <tr> <td>*</td> <td>X</td> <td>X</td> <td>Reset</td> </tr> </tbody> </table> <p>* = 3-state (high impedance) X = unspecified</p>	IO/M	S ₁	S ₀	Status	0	0	1	Memory write	0	1	0	Memory read	1	0	1	I/O write	1	1	0	I/O read	0	1	1	Opcode fetch	1	1	1	Interrupt Acknowledge	*	0	0	Halt	*	X	X	Hold	*	X	X	Reset
IO/M	S ₁	S ₀	Status																																						
0	0	1	Memory write																																						
0	1	0	Memory read																																						
1	0	1	I/O write																																						
1	1	0	I/O read																																						
0	1	1	Opcode fetch																																						
1	1	1	Interrupt Acknowledge																																						
*	0	0	Halt																																						
*	X	X	Hold																																						
*	X	X	Reset																																						
S₁ (Output, 3-state)	S ₁ can be used as an advanced R/W status. IO/M, S ₀ and S ₁ become valid																																								

RD
(Output, 3-state)

at the beginning of a machine cycle and remain stable throughout the cycle. The falling edge of ALE may be used to latch the state of these lines.

READ control: A low level on \overline{RD} indicates the selected memory or I/O device is to be read and that the Data Bus is available for the data transfer. 3-stated during Hold and Halt modes and during RESET.

WR
(Output, 3-state)

WRITE control: A low level on \overline{WR} indicates the data on the Data Bus is to be written into the selected memory or I/O location. Data is set up at the trailing edge of \overline{WR} . 3-stated during Hold and Halt modes and during RESET.

READY
(Input)

If READY is high during a read or write cycle, it indicates that the memory or peripheral is ready to send or receive data. If READY is low, the cpu will wait an integral number of clock cycles for READY to go high before completing the read or write cycle. READY must conform to specified setup and hold times.

HOLD
(Input)

HOLD indicates that another master is requesting the use of the address and data buses. The cpu, upon receiving the hold request, will relinquish the use of the bus as soon as the completion of the current bus transfer. Internal processing can continue. The processor can regain the bus only after the HOLD is removed. When the HOLD is acknowledged, the Address, Data, \overline{RD} , \overline{WR} , and IO/M lines are 3-stated.

HLDA
(Output)

HOLD ACKNOWLEDGE: Indicates that the cpu has received the HOLD request and that it will relinquish the bus in the next clock cycle. HLDA goes low after the Hold request is removed. The cpu takes the bus one half clock cycle after HLDA goes low.

INTR
(Input)

INTERRUPT REQUEST: is used as a general purpose interrupt. It is sampled only during the next to the last clock cycle of an instruction and during Hold and Halt states. If it is active, the Program Counter (PC) will be inhibited from incrementing and an INTA will be issued. During this cycle a RESTART or CALL instruction can be inserted to jump to the interrupt service routine. The INTR is enabled and disabled by software. It is disabled by Reset and immediately after an interrupt is accepted.

8085A FUNCTIONAL PIN DESCRIPTION (Continued)

<u>Symbol</u>	<u>Function</u>	<u>Symbol</u>	<u>Function</u>
<u>INTA</u> (Output)	INTERRUPT ACKNOWLEDGE: Is used instead of \overline{RD} during the instruction cycle after an INTR is accepted. It can be used to activate the 8259 interrupt chip or some other interrupt port.		Schmitt-triggered input, allowing connection to an R-C network for power-on RESET delay. The cpu is held in the reset condition as long as RESET IN is applied.
RST 3.5 RST 6.5 RST 7.5 (Inputs)	RESTART INTERRUPTS: These three inputs have the same timing as INTR except they cause an internal RESTART to be automatically inserted. The priority of these interrupts is ordered as shown in Table 1. These interrupts have a higher priority than INTR. In addition, they may be individually masked out using the SIM instruction.	RESET OUT (Output)	Indicates cpu is being reset. Can be used as a system reset. The signal is synchronized to the processor clock and lasts an integral number of clock periods.
TRAP (Input)	Trap interrupt is a nonmaskable RESTART interrupt. It is recognized at the same time as INTR or RST 5.5-7.5. It is unaffected by any mask or interrupt enable. It has the highest priority of any interrupt. See Table 1.	X₁, X₂ (Input)	X ₁ and X ₂ are connected to a crystal, LC, or RC network to drive the internal clock generator. X ₁ can also be an external clock input from a logic gate. The input frequency is divided by 2 to give the processor's internal operating frequency.
<u>RESET IN</u> (Input)	Sets the Program Counter to zero and resets the interrupt enable and HLDA flip-flops. The data and address buses and the control lines are 3-stated during RESET and because of the asynchronous nature of RESET, the processor's internal registers and flags may be altered by RESET with unpredictable results. RESET IN is a	CLK (Output)	Clock Output for use as a system clock. The period of CLK is twice the X ₁ , X ₂ input period.
		SID (Input)	Serial input data line. The data on this line is loaded into accumulator bit 7 whenever a RIM instruction is executed.
		SOD (Output)	Serial output data line. The output SOD is set or reset as specified by the SIM instruction.
		Vcc	+5 volt supply.
		Vss	Ground Reference.

TABLE 1. INTERRUPT PRIORITY, RESTART ADDRESS, AND SENSITIVITY

Name	Priority	Address Branched To (1) When interrupt Occurs	Type Trigger
TRAP	1	24H	Rising edge AND high level until sampled.
RST 7.5	2	3CH	Rising edge (latched).
RST 6.5	3	34H	High level until sampled.
RST 5.5	4	2CH	High level until sampled.
INTR	5	See Note (2).	High level until sampled.

NOTES.

- (1) The processor pushes the PC on the stack before branching to the indicated address.
- (2) The address branched to depends on the instruction provided to the cpu when the interrupt is acknowledged.

CONNECTEUR : C1 DE LA CARTE IDN PROCESS

A		B	
Face composant		Face non composant	
1	Masse	1	Masse
2	+ 5 V	2	+ 5 V
3	+ 5 V	3	+ 5 V
4		4	
5		5	
6	Masse	6	Masse
7		7	Reset OUT
8		8	
9		9	
10	\overline{MR}	10	\overline{MW}
11	$\overline{I/OR}$	11	$\overline{I/OW}$
12		12	
13		13	
14		14	
15		15	
16		16	
17		17	
18	Interruption 6	18	Interruption 7
19	Interruption 4	19	Interruption 5
20	Interruption 2	20	Interruption 3
21	Interruption 0	21	Interruption 1
22	Adresse 14	22	Adresse 15
23	Adresse 12	23	Adresse 13
24	Adresse 10	24	Adresse 11
25	Adresse 8	25	Adresse 9
26	Adresse 6	26	Adresse 7
27	Adresse 4	27	Adresse 5
28	Adresse 2	28	Adresse 3
29	Adresse 0	29	Adresse 1
30		30	
31		31	
32		32	
33		33	
34	Donnée 6	34	Donnée 7
35	Donnée 4	35	Donnée 5
36	Donnée 2	36	Donnée 3
37	Donnée 0	37	Donnée 1
38	Masse	38	Masse
39		39	Reset IN
40		40	
41	+ 5 V	41	+ 5 V
42	+ 5 V	42	+ 5 V
43	Masse	43	Masse



CONNECTEUR : C2 DE LA CARTE IDN PROCESS

C2 (8255) 2B → Imprimante Mode 1

A		B	
Face composant		Face non composant	
14	Port C7	1	Port C6
15		2	
16	Port A2	3	Port A3
17	Port B3	4	Port B2
18	Port B1	5	Port B0
19	Port C5	6	Port C4
20	Port A0	7	Port A1
21	Port A4	8	Port A5
22	Port A7	9	Port A6
23	Port C2	10	Port C3
24	Port B6	11	Port B7
25	Port B4	12	Port B5
26	Port C1	13	Port C0

Connecteur de l'interface périphérique programmable (8255) raccordé à l'imprimante.



CONNECTEUR : C'2 DE LA CARTE IDN PROCESS

C'2 (8255) d'adresse 2C, 2D, 2E, 2F

A		B	
Face composant		Face non composant	
14	Port A2	1	Port A3
15	Port C6	2	Port C7
16	Port B2	3	Port B3
17	Port B0	4	Port B1
18	Port A1	5	Port A0
19	Port C5	6	Port C4
20	Port A4	7	Port A5
21	Port C2	8	Port C3
22	Port A6	9	Port A7
23	Port B7	10	Port B6
24	Port B5	11	Port B4
25		12	Masse
26	Port C1	13	Port C0

Connecteur de l'interface périphérique programmable (8255) raccordé à la table traçante et au processeur arithmétique.



CONNECTEUR : C3 DE LA CARTE IDN PROCESS

A Face composant		B Face non composant	
1	DMA	1	
2		2	
3		3	
4	HLDA	4	
5		5	
6	E/S Série } →	6	
7	du 8085 } ←	7	
8	TRAP	8	
9	RST 7.5	9	\overline{Rd}
10	RST 6.5	10	\overline{Wt}
11	RST 5.5	11	
12	\overline{INTR} 0 →	12	IO/ \overline{M}
13	INTA ←	13	



ANNEXE C

CARTE DE CONVERSION ANALOGIQUE DIGITALE

CARTE DE CONVERSION ANALOGIQUE - DIGITALE

- C1 Programmes de gestion de la carte A/D
- C2 Renseignements divers sur la carte A/D

LOC	OBJ	LINE	SOURCE STATEMENT
		1	;PROGRAMME DE LA CARTE DE CONVERSION
		2	;ANALOGIQUE, DIGITALE
		3	;LE 11 MAI 1982
		4	
		5	; *****
		6	; * PARTIE DECLARATIONS *
		7	; *****
		8	
031C		9	SOR EQU 031CH
0228		10	RCLF EQU 0228H
		11	
		12	
		13	DSEG
		14	
0000		15	GAIN :DS 1
0001		16	DCAN :DS 1
0002		17	PCAN :DS 1
0003		18	DEP :DS 1
0004		19	EOC :DS 1
0005		20	EOS :DS 1
		21	
		22	
		23	
		24	
		25	
		26	
		27	
		28	
		29	
		30	
		31	
		32	
		33	
		34	
		35	
		36	
		37	
		38	
		39	
		40	
		41	
		42	
		43	
		44	
		45	
		46	
		47	
		48	
		49	
		50	
		51	
		52	
		53	
		54	
		55	
		56	
		57	
		58	



LOC	OBJ	LINE	SOURCE STATEMENT
		59 ;	*****
		60 ;	*CONVERSION D'UN CANAL QUELCONQUE:CONV *
		61 ;	*****
		62	
		63	
0006	310000	64 CONV	:LXI SP,00000H
		65	
		66 ;	CHARGEMENT DU GAIN ET DE L'ADRESSE DE
		67 ;	MULTIPLEXAGE
		68	
0009	210174	69	LXI H,7401H
000C	3A0000	D 70	LDA GAIN
000F	4F	71	MOV C,A
0010	3A0200	D 72	LDA PCAN
0013	B1	73	ORA C
0014	77	74	MOV M,A
		75	
		76 ;	CHARGEMENT DE LA COMMANDE DANS LE REGISTRE
		77	
0015	2B	78	DCX H
0016	3601	79	MVI M,01
		80	
0018	7E	81	CAN1 :MOV A,M
0019	07	82	RLC
001A	D21800	D 83	JNC CAN1
001D	3600	84	MVI M,00
		85	
001F	CDAD00	D 86	CALL EDITI
		87	
0022	C9	88	RET
		89	
		90	
		91	
		92	
		93	
		94	
		95	
		96	
		97	
		98	
		99	
		100	
		101	
		102	
		103	
		104	
		105	
		106	
		107	
		108	
		109	
		110	
		111	
		112	
		113	
		114	
		115	
		116	
		117	



LOC	OBJ	LINE	SOURCE STATEMENT
		118 ;	*****
		119 ;	* SCRUTATION SEQUENTIELLE DES CANAUX *
		120 ;	* SANS INTERRUPTION:SCR *
		121 ;	*****
		122	
		123	
0023	310000	124 SCR	:LXI SP,00000H
		125	
		126	:CHARGEMENT DU DERNIER CANAL DU REGISTRE
		127	
0026	210274	128	LXI H,7402H
0029	3A0100	D 129	LDA DCAN
002C	77	130	MOV M,A
		131	:CHARGEMENT DU GAIN ET DE L'ADRESSE DE MULTIPLEXAGE
		132	
		133	
002D	2B	134	DCX H
002E	3A0000	D 135	LDA GAIN
0031	4F	136	MOV C,A
0032	3A0200	D 137	LDA PCAN
0035	B1	138	ORA C
0036	77	139	MOV M,A
		140	
		141	:CHARGEMENT DE LA COMMANDE DANS LE REGISTRE
		142	
		143	
0037	2B	144	DCX H
0038	3A0300	D 145	LDA DEP
003B	77	146	MOV M,A
		147	
		148	
003C	7E	149 SCRUI	:MOV A,M
003D	17	150	RAL
003E	17	151	RAL
003F	DA4F00	D 152	JC SCRUI2
0042	1F	153	RAR
0043	D23C00	D 154	JNC SCRUI
		155	
0046	CDAD00	D 156	CALL EDITI
0049	210074	157	LXI H,7400H
004C	C33C00	D 158	JMP SCRUI
		159	
004F	7E	160 SCRUI2	:MOV A,M
0050	07	161	RLC
0051	D24F00	D 162	JNC SCRUI2
0054	3600	163	MVI M,00
0056	CDAD00	D 164	CALL EDITI
		165	
		166	
		167	
		168	
		169	
		170	
		171	
		172	
		173	
		174	
		175	
		176	



```

LOC  OBJ          LINE      SOURCE STATEMENT
                                177 ; *****
                                178 ; * CONVERSION REPETITIVE D'UN CANAL *
                                179 ; * AVEC INTERRUPTION:REPI *
                                180 ; *****
                                181
                                182 ;STRAPS:38-40(TRIGGER EXTERNE)
                                183 ;      95-96
                                184 ;BRANCHEMENT SUR RST 7.5
                                185
                                186
0059 310000      187 REPI      :LXI SP,00000H
                                188
005C 3E0B      189          MVI A,0BH
005E 30        190          SIM
005F F3        191          DI
                                192
                                193 ;CHARGEMENT DU GAIN ET DE L'ADRESSE DE MULTIPLEXAG
                                194
0060 210174      195          LXI H,7401H
0063 3A0000      D 196          LDA GAIN
0066 4F        197          MOV C,A
0067 3A0200      D 198          LDA PCAN
006A B1        199          ORA C
006B 77        200          MOV M,A
                                201
                                202
                                203 ;ATTENTE DE L'INTERRUPTION RST 7.5
                                204 ;ISSUE D'UN TRIGGER
                                205
006C FB        206          EI
006D 76        207          HLT      :JMP GO
                                208
                                209 ;CHARGEMENT DE LA COMMANDE DANS LE REGISTRE
                                210
006E 2B        211 GO:      DCX H
006F 3A0300      D 212          LDA DEP
0072 77        213          MOV M,A
                                214
0073 3E0D      215          MVI A,0DH
0075 30        216          SIM
                                217
                                218 ;ATTENTE DE RST 6.5 (ISSUE DE CAD16)
                                219
0076 FB        220          EI
0077 76        221          HLT      :JMP EDITI
                                222
0078 C9        223          RET
                                224
                                225
                                226
                                227
                                228
                                229
                                230
                                231
                                232
                                233
                                234
                                235

```



LOC	OBJ	LINE	SOURCE STATEMENT
		236 ;	*****
		237 ;	* SCRUTATION SEQUENTIELLE *
		238 ;	* AVEC INTERRUPTION:SCRI *
		239 ;	*****
		240	
		241 ;	STRAPS:38-40 (TRIGGER EXTERNE)
		242 ;	CLK-EOS
		243 ;	BRANCHEMENT SUR RST 7.5
		244	
		245	
0079	310000	246	SCRI :LXI SP,00000H
		247	
007C	3E03	248	MVI A,03
007E	30	249	SIM
		250	
		251 ;	CHARGEMENT DU DERNIER CANAL DU REGISTRE
		252	
007F	210274	253	LXI H,7402H
0082	3A0100	254	LDA DCAN
0085	77	255	MOV M,A
		256	
		257	
		258 ;	CHARGEMENT DU GAIN ET DE L'ADRESSE DE MULTIPLEXAGE
		259	
0086	2B	260	DCX H
0087	3A0000	261	LDA GAIN
008A	4F	262	MOV C,A
008B	3A0200	263	LDA PCAN
008E	B1	264	ORA C
008F	77	265	MOV M,A
		266	
		267 ;	CHARGEMENT DE LA COMMANDE DANS LE REGISTRE
		268	
0090	2B	269	DCX H
0091	3A0300	270	LDA DEP
0094	77	271	MOV M,A
0095	FB	272	EI
0096	76	273	HLT
0097	C9	274	RET
		275	
		276	
		277	
		278	
		279	
		280	
		281	
		282	
		283	
		284	
		285	
		286	
		287	
		288	
		289	
		290	
		291	
		292	
		293	
		294	

LOC OBJ LINE SOURCE STATEMENT

```

0098 CDC000    D    295    :CALL LECT
0098 3A0400    D    296    LDA EOC
009E 320374            297    STA 7403H
00A1 C9                298    RET
                      299

```

```

00A2 210374            301    :LXI H,7403H
00A5 3A0500    D    302    LDA EOS
00A8 77                303    MOV M,A
00A9 CDC000    D    304    CALL LECT
00AC C9                305    RET
                      306
                      307

```

```

*****
308 ;
309 ;
310 ;
311 ;
312 ;
313 ;

```

```

* SOUS PROGRAMME D'EDITION DES RESULTATS *
* SUR LA VISU AVEC LES VALEURS:
* 7400,7401,7404,7405
*****

```

```

00AD 210074            314    :LXI H,7400H
00B0 4E                315    MOV C,M
00B1 CD1C03            316    CALL SOR
00B4 23                317    INX H
00B5 4E                318    MOV C,M
00B6 CD1C03            319    CALL SOR
00B9 CDC000    D    320    CALL LECT
00BC CD2802            321    CALL RCLF
00BF C9                322    RET
                      323
                      324
                      325
                      326
                      327

```

```

*****
328 ;
329 ;
330 ;

```

```

* SOUS PROGRAMME DE LECTURE *
*****

```

```

00C0 2A0474            331    :LHLD 7404H
00C3 EB                332    XCHG
00C4 7A                334    MOV A,D
00C5 2F                335    CMA
00C6 4F                336    MOV C,A
00C7 CD1C03            337    CALL SOR
00CA 7B                338    MOV A,E
00CB 2F                339    CMA
00CC E6F0             340    ANI 0F0H
00CE 4F                341    MOV C,A
00CF CD1C03            342    CALL SOR
00D2 1500             343    MVI D,00
00D4 1500             344    MVI E,00
00D6 0E00             345    MVI C,00
                      346

```

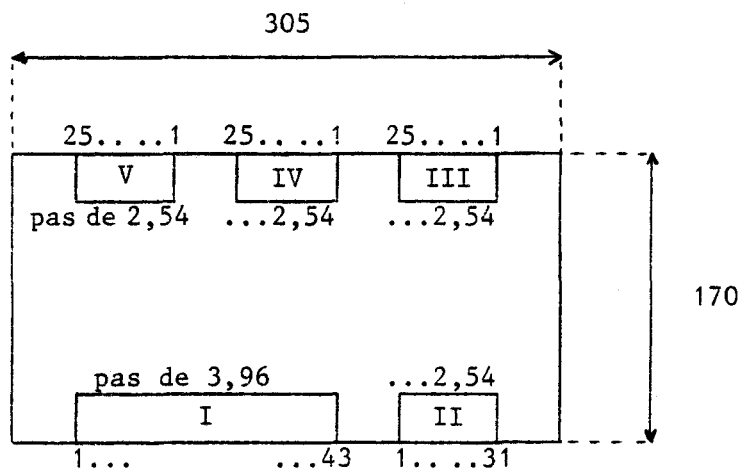
```

00D9 C9                347    RET
                      348    END

```



RENSEIGNEMENTS DIVERS SUR LA CARTE



Carte face composant

- Composants utilisés :

Repères	Boitiers	Repères	Boitiers
1	MP 6812	21	74 LS 00
2	MP 3025	22	8205
3	Quartz STATEK SX 1H B 16 384 Hz	23	74 LS 04
4	Ampli Op 2605	24	/
6	D 6201	25	74 LS 126
7	4060 B	26	74 LS 126
8	74 LS 04	27	74 LS 174
9	74 132	28	74 LS 32
10	7405	29	74 LS 85
11	74 LS 139	30	74 LS 08
12	74 LS 74	31	74 LS 193
13	74 LS 02	34	8226
15	74 LS 139	35	8226
16	74 LS 02	36	74 LS 174
17	74 LS 04	37	74 LS 258
18	74 LS 197	38	74 LS 258
19	74 LS 74	39	74 LS 126



- Tableaux des straps :

* Circuit 31 : 74 LS 193

Temps μs	0,05	0,1	0,2	0,3	0,4	0,5	0,6	0,7	0,8	0,9	1	1,1	1,2	1,3	1,4	1,5
	72	74	74	74	74	74	74	74	74	75	75	75	75	75	75	75
73	74	74	74	74	75	75	75	75	74	74	74	74	75	75	75	75
77	74	74	75	75	74	74	75	75	74	74	75	75	74	74	75	75
76	74	75	74	75	74	75	74	75	74	75	74	75	74	75	74	75

* Circuit 7 : 4060 B

Temps ms†	0,768	1,536	3,076	6,173	12,34	25	0,1s	0,2s	0,5s	0,384
40	31	30	33	32	35	34	37	36	38	28

† Sauf indication contraire

* Polarisation

+ 5 V	58,59	60,94
+ 10 V	58,71	60,94
± 5 V	58,59	60,62
± 10 V	58,71	60,62

* Modes de mesure

Simple	23,24,25 ; 26,27	53,54
Différence	23,24 ; 25,27	52,54

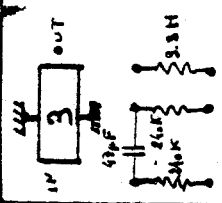
Straight binary	66,67
Offset binary	67,70



* Nombre de bits de la valeur convertie

Bits	12	11	10	9	8
15	14	12	13	11	10

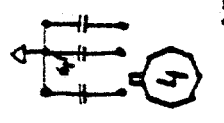




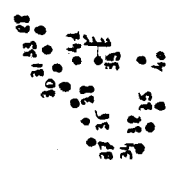
35...
Connector V

25...
Connector IV

15...
Connector III



- 21 C
- 10 C
- 11 C
- 6 C



7 C

8 C

9 C

12 C

CK EOC

13 C

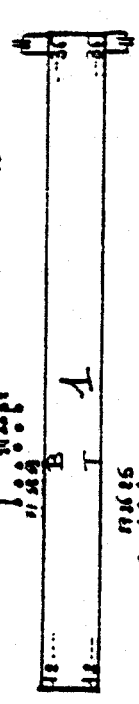
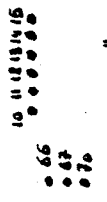
15 C

16 C

19 C

18 C

19 C



22 C

23 C

25 C

28 C

27 C

28 C

29 C

53

54

30 C

31 C

34 C

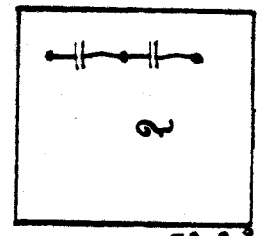
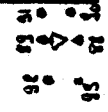
35 C

36 C

37 C

38 C

39 C



12... Connector I

11... Connector II

CONNECTEUR : I

A		B	
Face composant		Face non composant	
1	GND	1	Adresse 15 (F)
2		2	Adresse 14 (E)
3	+ 5 V	3	Adresse 13 (D)
4	+ 5 V	4	Adresse 12 (C)
5		5	Adresse 11 (B)
6		6	Adresse 10 (A)
7		7	Adresse 9
8		8	Adresse 8
9		9	Adresse 7
10		10	Adresse 6
11		11	Adresse 5
12		12	Adresse 4
13		13	Adresse 3
14		14	Adresse 2
15		15	Adresse 1
16		16	Adresse 0
17	GND	17	
18	CCLK	18	Donnée 7
19	MR/	19	Donnée 6
20	MW/	20	Donnée 5
21		21	Donnée 4
22		22	Donnée 3
23		23	Donnée 2
24		24	Donnée 1
25		25	Donnée 0
26		26	
27		27	
28		28	
29		29	
30		30	
31		31	
32		32	
33		33	
34		34	
35	INTA/	35	
36	INTB/	36	
37		37	
38		38	
39		39	
40		40	+ 5 V
41		41	+ 5 V
42	INIT/	42	
43	XACK/	43	R.T.N.



CONNECTEUR : II

A		B	
Face composant		Face non composant	
1		1	
2		2	
3		3	
4		4	
5		5	
6		6	
7		7	
8		8	
9		9	
10		10	
11		11	
12		12	
13		13	
14		14	
15		15	
16		16	
17		17	
18		18	
19		19	
20	+ 15 V	20	
21		21	
22	R.T.N.	22	
23		23	
24	+ 15 V	24	
25		25	



CONNECTEUR : III

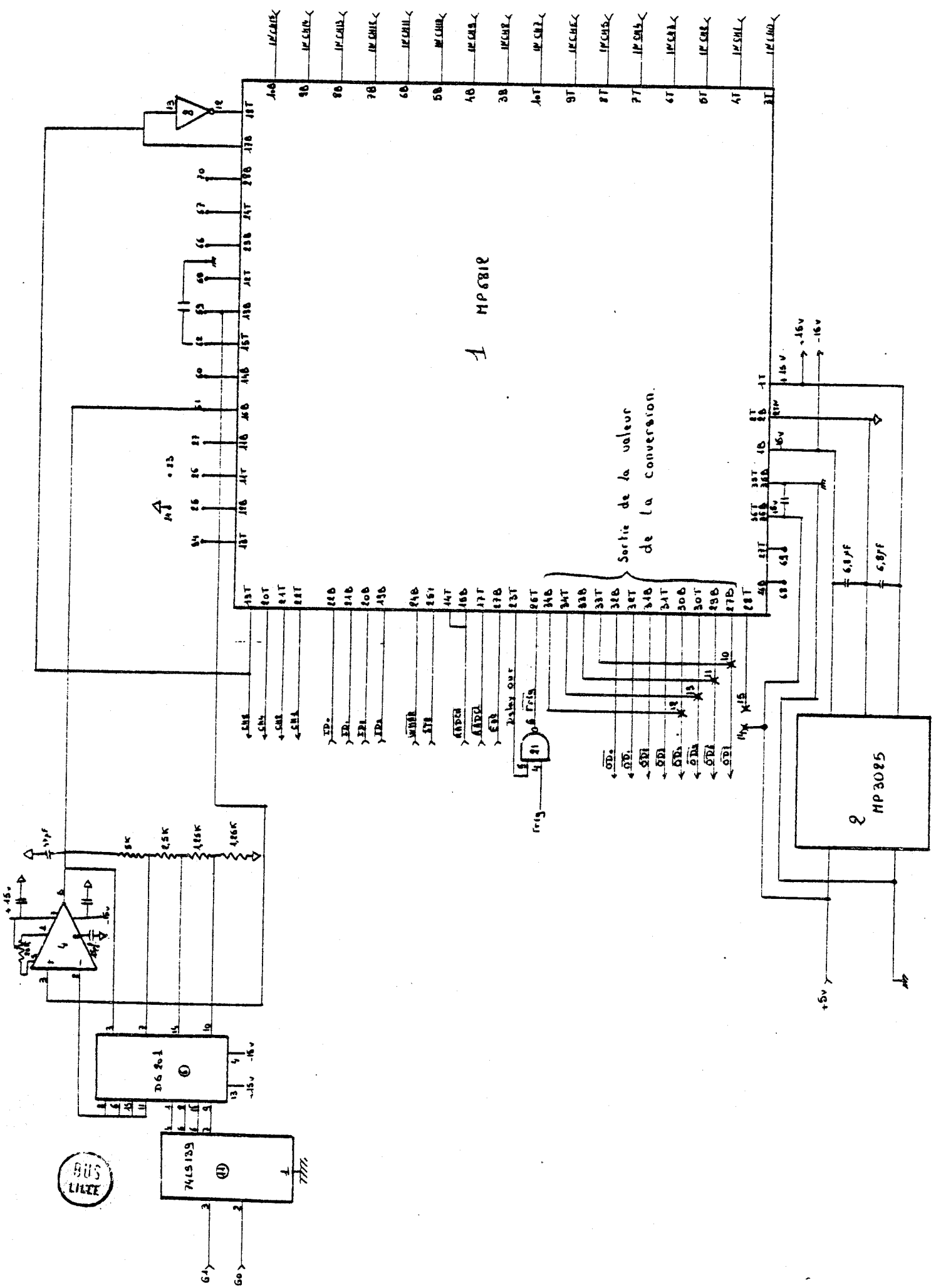
A		B	
Face composant		Face non composant	
1		1	
2		2	
3		3	
4		4	
5		5	
6		6	
7		7	
8		8	
9		9	
10	Canal 15	10	Analog Return
11	Canal 7	11	" "
12	Canal 14	12	" "
13	Canal 6	13	" "
14	Canal 13	14	" "
15	Canal 5	15	" "
16	Canal 12	16	" "
17	Canal 4	17	" "
18	Canal 11	18	" "
19	Canal 3	19	" "
20	Canal 10	20	" "
21	Canal 2	21	" "
22	Canal 9	22	" "
23	Canal 1	23	" "
24	Canal 8	24	" "
25	Canal 0	25	" "



CONNECTEUR : IV

A		B	
Face composant		Face non composant	
1	+ 15 V	1	- 15 V
2		2	
3		3	
4		4	
5		5	
6		6	
7		7	
8		8	
9		9	
10		10	
11		11	
12		12	
13		13	
14		14	
15		15	
16		16	
17		17	
18		18	
19		19	
20		20	Clock Out
21		21	Trigg in
22		22	EOC
23		23	EOS
24		24	INH1
25		25	INH2



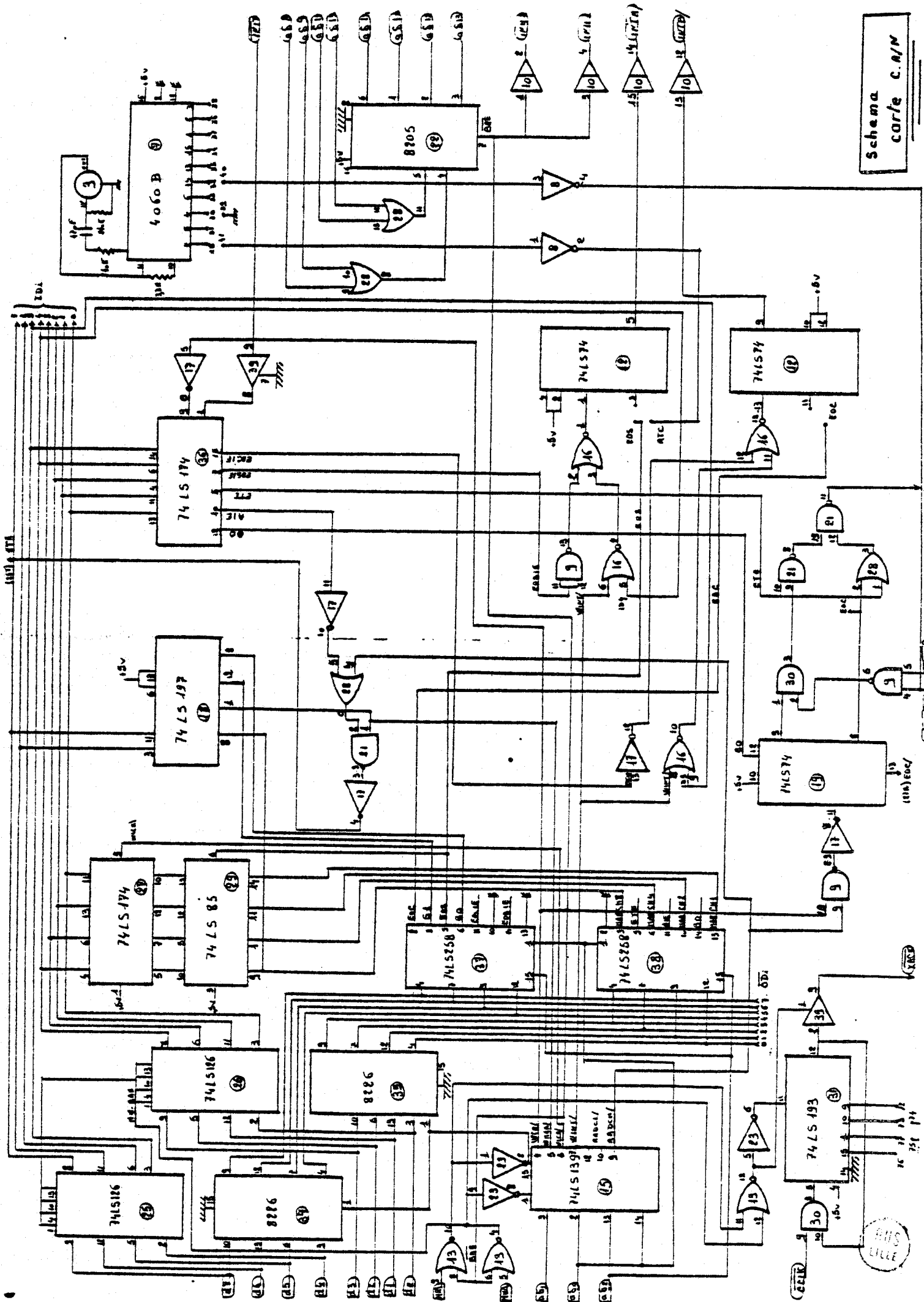


1 MP6812

Sortie de la valeur de la conversion.

2 MP3025

BUS LINE



Schema
corfe c./M



ANNEXE D

CARTES PERIPHERIQUES

CARTES PERIPHERIQUES

- D.1 : Brochage et Synoptique du 8251
Connecteur de la carte extension 8251

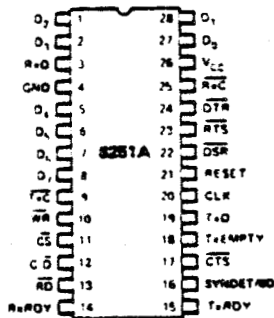
- D.2 : Brochage et Synoptique du 8253
Connecteur de la carte extension 8253

- D.3 : Brochage et Synoptique du 8255
Connecteur de la carte extension 8255

- D.4 : Brochage et Synoptique de la 2114
Brochage et Synoptique de la 2716
Connecteur des cartes extensions RAM et EPROM et du Back Panel

- D.5 : Brochage et Synoptique du DAC - UP 8 BC
Connecteur de la carte DAC

PIN CONFIGURATION

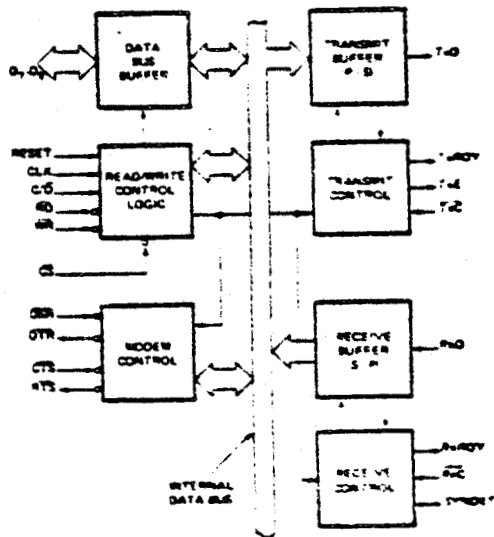


PIN NAMES

D ₇ -D ₀	Data Bus (8 bits)
C/D	Control or Data is to be Written or Read
RD	Read Data Command
WR	Write Data or Control Command
CS	Chip Enable
CLK	Clock Pulse (TTL)
RESET	Reset
F ₂ C	Transmitter Clock
TxD	Transmitter Data
R ₂ C	Receiver Clock
RxD	Receiver Data
R _s RDY	Receiver Ready (has character for 8050)
T _s RDY	Transmitter Ready (ready for char. from 8050)

OSR	Data Set Ready
OTR	Data Terminal Ready
SYNDET/BD	Sync Detect/ Break Detect
RTS	Request to Send Data
CTS	Clear to Send Data
TxD	Transmitter Enable
V _{CC}	+5 Volt Supply
GND	Ground

BLOCK DIAGRAM



SCHEMA SYNOPTIQUE ET BROCHAGE DU 8251 (Interface série programmable)

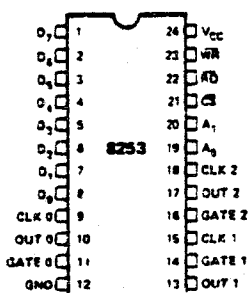


CONNECTEUR DE LA CARTE EXTENSION 8251 (USART 8251)

A		B	
Face composant		Face non composant	
1		1	
2	Masse	2	TTRx Ret
3		3	CRT Rx
4	Donnée 0	4	$\overline{\text{DTR}}$
5	Donnée 1	5	$\overline{\text{RTS}}$
6	Donnée 2	6	RxD
7	Donnée 3	7	Tx Empty
8	Donnée 4	8	$\overline{\text{CTS}}$
9	Donnée 5	9	SYNDET
10	Donnée 6	10	Tx RDY
11	Donnée 7	11	Rx RDY
12	TXc - RXc	12	
13	$\overline{\text{WR}}$	13	
14	$\overline{\text{RD}}$	14	TTL Tx
15	$\overline{\text{CS}}$	15	
16	C/D AO	16	
17	$\overline{\text{CTS}}$ $\overline{\text{RTS}}$	17	
18	CLK	18	
19	RESET	19	
20	TTY Tx	20	
21	CRTTx TTY Yx Ret	21	
22	TTY Rx	22	
23	- 10 V	23	
24		24	
25	+ 12 V	25	+ 5 V



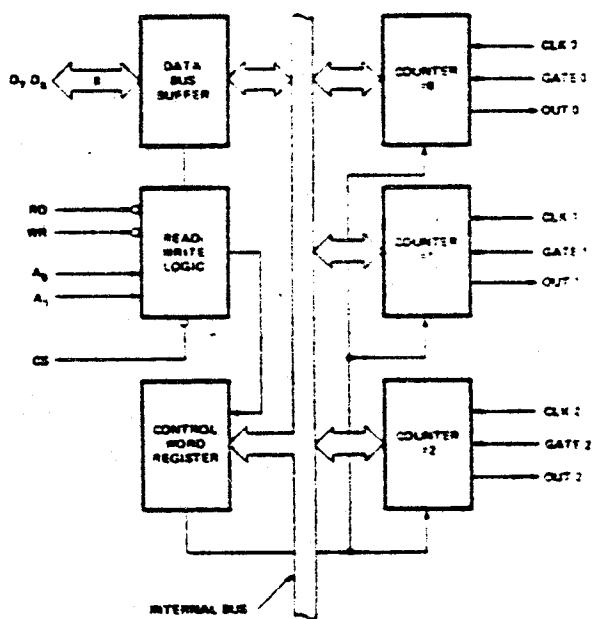
PIN CONFIGURATION



PIN NAMES

D ₇ , D ₆	DATA BUS (8 BIT)
CLK N	COUNTER CLOCK INPUTS
GATE N	COUNTER GATE INPUTS
OUT N	COUNTER OUTPUTS
RD	READ COUNTER
WR	WRITE COMMAND OR DATA
CS	CHIP SELECT
A ₂ , A ₁	COUNTER SELECT
V _{CC}	+5 VOLTS
GND	GROUND

BLOCK DIAGRAM



SCHEMA SYNOPTIQUE ET BROCHAGE DU 8253 (Registre d'horloge programmable)

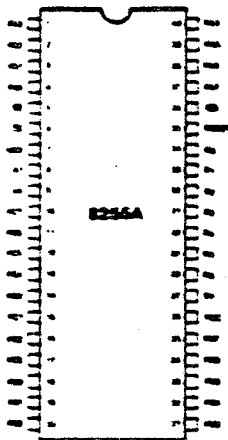


CONNECTEUR DE LA CARTE EXTENSION 8253

A		B		
Face composant		Face non composant		
1		1		
2	Masse	2		
3	Out 1	3	Gate	
Cpt 0	4	Gate 1	4	Out 0
	5	Clock 1	5	Clock 0
	6	Gate 2	6	Gate 0
Cpt 1	7	Out 2	7	Out 0
	8	Clock 2	8	Clock 0
	9	Out 1	9	Gate 0
Cpt 2	10	Gate 1	10	Out 0
	11	Clock 1	11	Clock 0
	12	Gate 2	12	Donnée 0
	13	Out 2	13	Donnée 1
Cpt 2	14	Clock 2	14	Donnée 2
	15	Out 1	15	Donnée 3
	16	Gate 1	16	Donnée 4
	17	Clock 1	17	Donnée 5
	18	Gate 2	18	Donnée 6
	19	Out 2	19	Donnée 7
	20	Clock 2	20	\overline{CS} III
21	A 0	21	\overline{RD}	
22	A 1	22	\overline{WR}	
23		23	\overline{CS} II	
24	Masse	24	\overline{CS} I	
25		25	+ 5 V	

Cette carte possède 3 boitiers 8253, I, II, III.

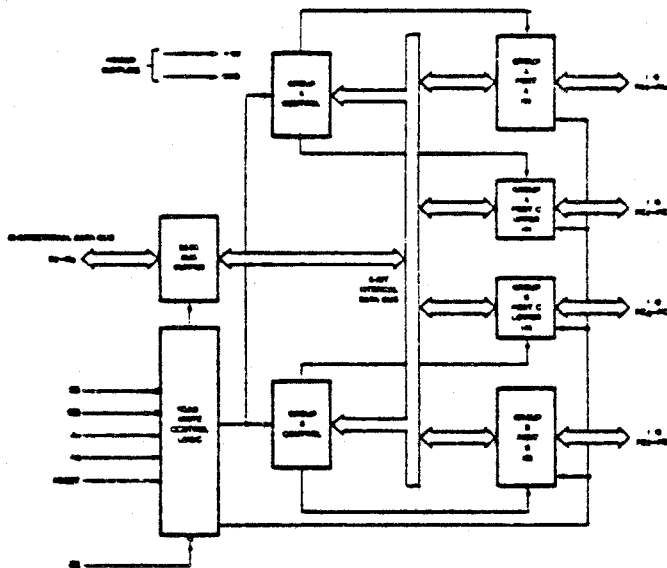
PIN CONFIGURATION



PIN NAMES

P	DATA BUS BI-DIRECTIONAL
RD	RD ^{CS} INPUT
DN	DN ^{CS} SELECT
WR	WR ^{CS} INPUT
BA	BA ^{CS} ADDRESS
PA7 PA6	PORT A BIT
PA5 PA4	PORT A BIT
PA3 PA2	PORT A BIT
PA1 PA0	PORT A BIT
VB	5 VOLTS
VB	5 VOLTS

8255A BLOCK DIAGRAM



SCHEMA SYNOPTIQUE ET BROCHAGE DU 8255 (Interface périphérique programmable)



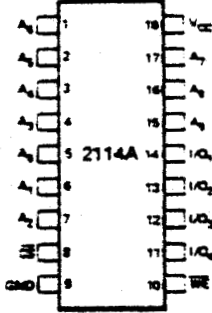
CONNECTEUR DE LA CARTE EXTENSION 8255

\overline{CS} : 8255 A (AC, AD, AE, AF)
CS : 8255 B (B0, B1, B2, B3)

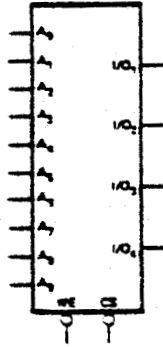
A		B	
Face composant		Face non composant	
1	\overline{CS}	1	Port A0
2	Masse	2	Port A1
3	A1	3	Port A2
4	A0	4	Port A3
5	\overline{RD}	5	Port B0
6	\overline{WR}	6	Port B1
7	RESET	7	Port B2
8	Donnée 0	8	Port B3
9	Donnée 1	9	Port C0
10	Donnée 2	10	Port C1
11	Donnée 3	11	Port C2
12	Donnée 4	12	Port C3
13	Donnée 5	13	Port C4
14	Donnée 6	14	Port C5
15	Donnée 7	15	Port C6
16		16	Port C7
17		17	Port A4
18		18	Port A5
19		19	Port A6
20		20	Port A7
21		21	Port B4
22		22	Port B5
23		23	Port B6
24	Masse	24	Port B7
25		25	+ 5 V •



PIN CONFIGURATION



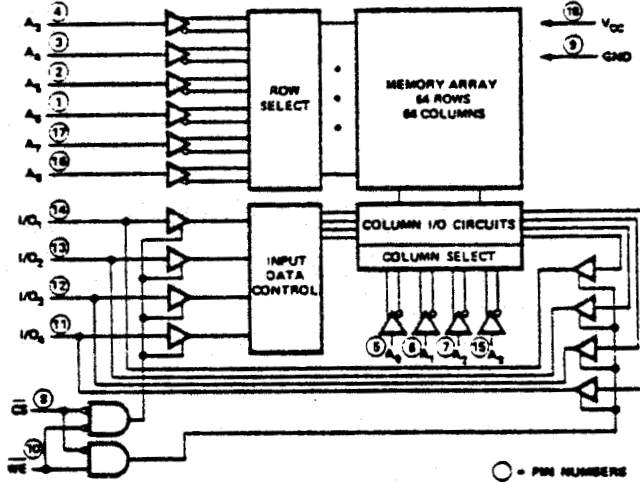
LOGIC SYMBOL



PIN NAMES

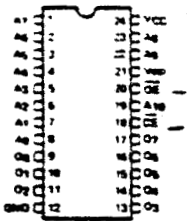
A ₀ -A ₇	ADDRESS INPUTS	V _{CC} POWER (+5V)
WE	WRITE ENABLE	GND GROUND
CS	CHIP SELECT	
I/O ₀ -I/O ₇	DATA INPUT/OUTPUT	

BLOCK DIAGRAM



SCHEMA SYNOPTIQUE ET BROCHAGE DE LA 2114 (RAM : mémoire vive)

PIN CONFIGURATION



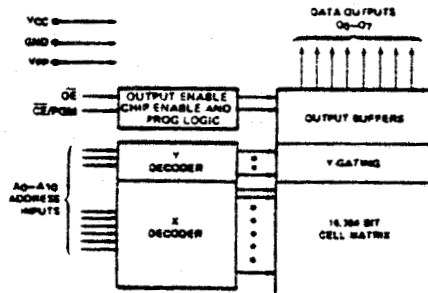
PIN NAMES

A ₀ -A ₁₀	ADDRESSES
WE	CHIP ENABLE PROGRAM
OE	OUTPUT ENABLE
Q ₀ -Q ₇	OUTPUTS

MODE SELECTION

MODE	WE/PGM (18)	OE (20)	V _{pp} (21)	V _{CC} (24)	OUTPUTS (0-7, 13-17)
Read	V _{IL}	V _{IL}	+5	+5	Q _{OUT}
Standby	V _{IH}	Open + Care	+5	+5	High Z
Program	Pulse V _{IL} to V _{IH}	V _{IH}	+25	+5	Q _{IN}
Program Verify	V _{IL}	V _{IL}	+25	+5	Q _{OUT}
Program Inhibit	V _{IL}	V _{IH}	+25	+5	High Z

BLOCK DIAGRAM



SCHEMA SYNOPTIQUE ET BROCHAGE DE LA 2716 (EPROM : mémoire morte)

CONNECTEUR I DU BACK PANEL

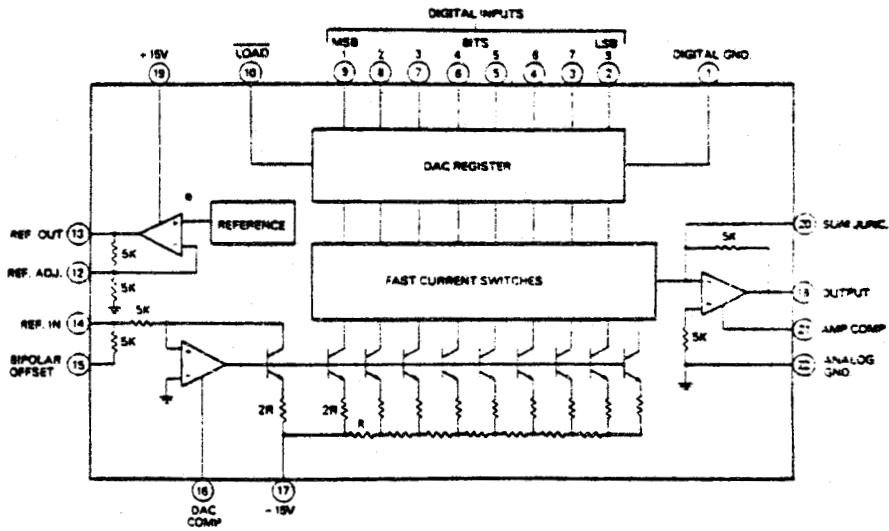
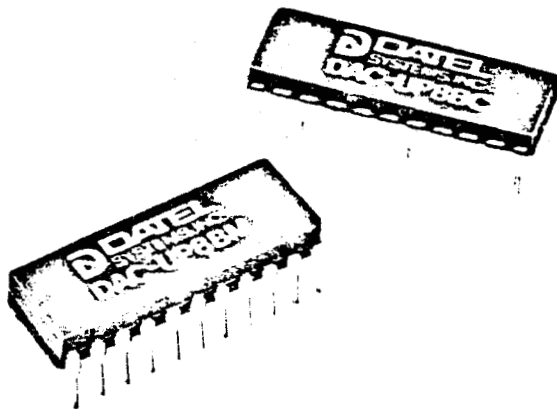
A		B	
Face composant		Face non composant	
1		1	
2	Masse	2	
3	MW	3	
4	Adresse 0	4	
5	Adresse 7	5	
6	Adresse 1	6	Donnée 0
7	Adresse 8	7	
8	Adresse 2	8	Donnée 1
9	Adresse 9	9	
10	Adresse 3	10	Donnée 2
11	Adresse 10	11	
12	Adresse 4	12	Donnée 3
13	Adresse 11	13	
14	Adresse 5	14	Donnée 4
15	Adresse 12	15	
16	Adresse 6	16	Donnée 5
17	Adresse 13	17	
18		18	Donnée 6
19	Adresse 14	19	
20		20	Donnée 7
21	Adresse 15	21	IO/M
22		22	MR
23	+ 5 V	23	+ 5 V
24	Masse	24	Masse
25		25	+ 5 V



CONNECTEUR II DE LA CARTE BUFFER

A		B	
Face composant		Face non composant	
1	$\overline{G1} = IO/\overline{M}$	1	+ 5 V
2	$\overline{G2} = IO/\overline{M}$	2	DMA
3	Adresse 15	3	$\overline{CS}(8216) = IO/\overline{M}$
4	Adresse 14	4	$\overline{MW} = \overline{DIEN}$
5	Adresse 13	5	
6	Adresse 6	6	
7	Adresse 12	7	
8	Adresse 5	8	
9	Adresse 11	9	Donnée 7
10	Adresse 4	10	Donnée 6
11	$\overline{G1} = IO/\overline{M}$	11	Donnée 5
12	$\overline{G2} = IO/\overline{M}$	12	Donnée 4
13	Adresse 10	13	Donnée 3
14	Adresse 3	14	Donnée 2
15	Adresse 9	15	Donnée 1
16	Adresse 2	16	Donnée 0
17	Adresse 8	17	
18	Adresse 1	18	
19	Adresse 7	19	
20	Adresse 0	20	
21		21	
22		22	
23		23	
24	\overline{MR}	24	
25	Masse	25	





SCHEMA SYNOPTIQUE ET BROCHAGE DU DAC - UP 8 BC

BUS
LILLE

CONNECTEUR DE LA CARTE EXTENSION DAC

A		B	
Face composant		Face non composant	
1		1	
2		2	Bit 8 (d0)
3		3	Bit 7 (d1)
4		4	Bit 6 (d2)
5		5	Bit 5 (d3)
6		6	Bit 4 (d4)
7		7	Bit 3 (d5)
8		8	Bit 2 (d6)
9		9	Bit 1 (d7)
10		10	$\overline{\text{LOAD}} 2$
11		11	$\overline{\text{LOAD}} 1$
12		12	$\overline{\text{LOAD}} 3$
13		13	$\overline{\text{LOAD}} 4$
14		14	Masse
15		15	
16		16	
17		17	OUT 4
18		18	OUT 3
19		19	OUT 2
20		20	OUT 1
21		21	
22		22	
23		23	
24		24	+ 15 V
25		25	- 15 V

Cette carte possède 4 boitiers DAC.



ANNEXE E

PROCESSEUR ARITHMETIQUE

PROCESSEUR ARITHMETIQUE

- E.1 : Fonctions du 8231
- E.2 : Signaux de contrôle du 8231
- E.3 : Brochage et Synoptique du 8231
Brochage et Table de vérité du 74 LS 154
Connecteur de la carte 8231
- E.4 : Programme de gestion du 8231

E.1 : FONCTIONS DU 8231

- A représente le sommet de la pile et B son emplacement suivant.
- POP STACK indique une opération d'extraction dans la pile.
- (S) Signe ; (Z) Zéro ; (O) Overflow ; (C) Carry ; (E) Erreur de Code.

1) Simple précision

Flags affectés CLK

SADD	6C	S, Z, C, E	17	$A + B \rightarrow B$	+ POP STACK
SSUB	6D	S, Z, C, E	80	$B - A \rightarrow B$	
SMUL	6E	S, Z, E	92	$A \times B = P$ 16 LSB de P \rightarrow B	
SDIC	6F	S, Z, E	92	$B + A = Q$ Q \rightarrow B	

2) Double précision

DADD	2C	S, Z, C, E	21	$A + B \rightarrow B$	POP STACK
DSUB	2D	S, Z, C, O	38	$B - A \rightarrow B$	
DMUL	2E	S, Z, O	208	$A \times B = P$ 16 LSB de P \rightarrow B	
DDIV	2F	S, Z, E	208	$B + A = Q$ Q \rightarrow B	

3) Flottant

FADD	10	S, Z, E	56-350	$A + B \rightarrow B$	+ POP STACK
FSUB	11	S, Z, E	58-352	$B - A \rightarrow B$	
FMUL	12	S, Z, E	168	$A \times B \rightarrow B$	
FDIV	13	S, Z, E	171	$B + A \rightarrow B$	

4) Fonction en Flottant

SQRT	01	S, Z, E	800	$\sqrt{A} \rightarrow A$
SIN	02	S, Z	4464	$\sin A \rightarrow A$
COS	03	S, Z	4118	$\cos A \rightarrow A$
TAN	04	S, Z, E	5754	$\text{tang } A \rightarrow A$
ASIN	05	S, Z, E	7668	Arc $\sin A \rightarrow A$
ACOS	06	S, Z, E	7734	Arc $\cos A \rightarrow A$
ATAN	07	S, Z	6006	Arc $\text{tang } A \rightarrow A$
LOG	08	S, Z, E	4490	$\log_{10} A \rightarrow A$
LN	09	S, Z, E	4478	$\log A \rightarrow A$
EXP	0A	S, Z, E	4616	Exp $A \rightarrow A$
PWR	0B	S, Z, E	9292	B puissance $A \rightarrow B + \text{POP STACK}$

5) Commande de données

NOP	00		4	Neutre	
FIXS	1F	S, Z, O	92-216	Conversion flottant \rightarrow fixe 16 bits	} sur A
FIXD	1E	S, Z, O	100-346	Conversion flottant \rightarrow fixe 32 bits	
FLTS	1D	S, Z	98-186	Conversion fixe 16 bits \rightarrow flottant	
FLTD	1C	S, Z	98-378	Conversion fixe 32 bits \rightarrow flottant	
CHSS	74	S, Z, O	26	Inversion du signe en fixe 16 bits	
CHSD	34	S, Z, O	34	Inversion du signe en fixe 32 bits	
CHSF	15	S, Z	16	Inversion du signe en flottant	
PTOS	77	S, Z	16	PUSH STACK en fixe 16 bits	
PTOD	37	S, Z	20	PUSH STACK en fixe 32 bits	
PTOF	17	S, Z	20	PUSH STACK en flottant	
POPS	78	S, Z	10	POP STACK en fixe 16 bits	
POPD	38	S, Z	12	POP STACK en fixe 32 bits	
POPF	18	S, Z	12	POP STACK en flottant	
XCHS	79	S, Z	18	Echange entre A et B en fixe 16 bits	
XSHD	39	S, Z	26	Echange entre A et B en fixe 32 bits	
XSHF	19	S, Z	26	Echange entre A et B en flottant	
PUPI	1A	S, Z	16	PUSH STACK et $\pi \rightarrow A$ en flottant	



E.2 : SIGNAUX DE CONTROLE DU PROCESSEUR ARITHMETIQUE

RESET : Initialisation du composant. L'activation de cette ligne a pour conséquences l'arrêt de toute opération en cours, la RAZ du registre d'état, le positionnement du composant dans un état d'attente.

EACK : End Acknowledge (acquiescement de fin). Remet à zéro la sortie END indiquant la fin du traitement.

SVACK : Service acknowledge (acquiescement de service). Remet à zéro la sortie SVERQ indiquant une demande de service.

END : End execution (fin d'exécution). Indique que l'exécution de la dernière opération demandée est terminée.

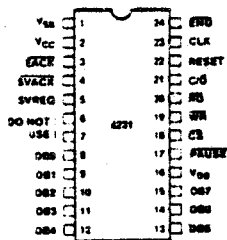
SVREQ : Service Request (demande de service). Indique qu'un service particulier post-opérateur a été demandé.

PAUSE : Pause ; cette ligne est activée dans les conditions suivantes :

- une entrée est demandée alors qu'une opération est en cours d'exécution.
- une entrée de données est demandée alors que la donnée précédente n'est pas encore rangée en pile.
- une sortie (de données ou de mots d'état) est demandée et l'information n'est pas encore validée sur le bus.

Elle permet donc de se synchroniser avec le microprocesseur maître par l'intermédiaire d'une procédure d'attente.

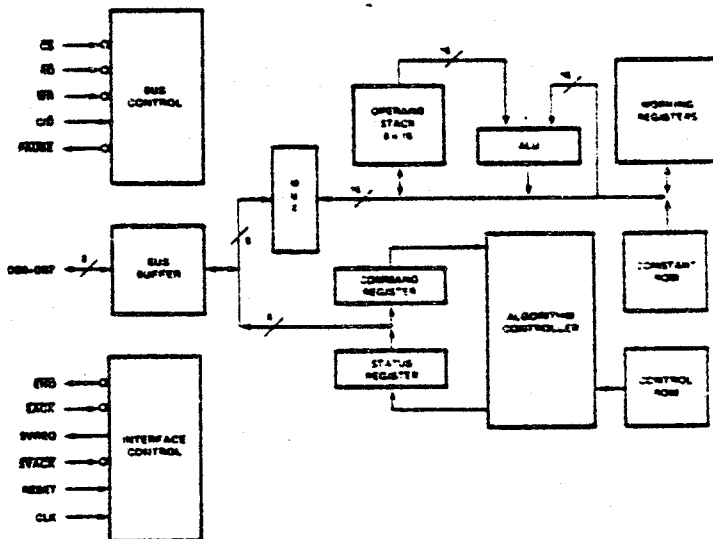
PIN CONFIGURATION



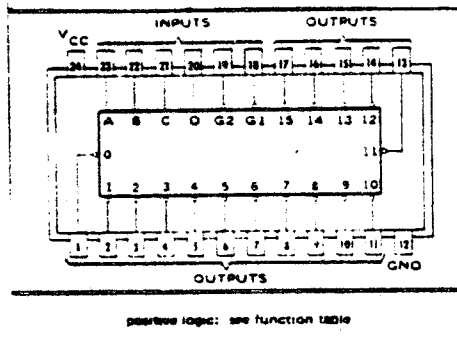
PIN NAMES

RESET	RESET
DB8-DB7	DATA BUS
CS	CHMP SELECT
RD	READ DATA OR STATUS
WR	WRITE DATA OR COMMAND
C/D	COMMAND/DATA INPUT
PAUSE	PAUSE OUTPUT
END	END EXECUTION OUTPUT
EAACK	END ACKNOWLEDGE INPUT
SVREQ	SERVICE REQUEST OUTPUT
SVACK	SERVICE ACKNOWLEDGE INPUT
CLK	CLOCK INPUT

BLOCK DIAGRAM



SCHEMA SYNOPTIQUE ET BROCHAGE DU PROCESSEUR ARITHMETIQUE 8231



BROCHAGE DU 74 LS 154

TABLE DE VERITE DU 74 LS 154

FUNCTION TABLE																						
INPUTS						OUTPUTS																
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
H	L	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
H	H	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

H = High level, L = low level, X = Irrelevant



CONNECTEUR DE LA CARTE DU PROCESSEUR ARITHMETIQUE (8231)

A		B	
Face composant		Face non composant	
1		1	Adresse 6
2	Sortie 14 : B8	2	Adresse 5
3	Sortie 13 : B4	3	Adresse 4
4	Sortie 12 : B0	4	Adresse 3
5	Sortie 11 : AC	5	Adresse 2
6	Sortie 10 : A8	6	Adresse 7
7	Sortie 9 : A4	7	IO/M
8	Sortie 8 : A0	8	
9	Sortie 7 : 9C	9	
10	Sortie 6 : 98	10	
11	Sortie 5 : 94	11	
12	Sortie 4 : 90	12	
13	Sortie 3 : 8C	13	CLK
14	Sortie 2 : 88	14	\overline{RD}
15	Sortie 1 : 84	15	\overline{WR}
16	Sortie 0 : 80	16	Ready
17		17	+ 12 V
18	Adresse 0 ou (C/D)	18	Donnée B7
19	\overline{EACK}	19	Donnée B6
20	\overline{SVREQ}	20	Donnée B5
21	\overline{SVACK}	21	Donnée B4
22	RESET	22	Donnée B3
23	END (8232) \overline{END} (8231)	23	Donnée B2
24	$V_{CC} = +5 V$	24	Donnée B1
25	$V_{SS} = 0 V$ —	25	Donnée B0



LOC	OBJ	LINE	SOURCE STATEMENT
		1 ;	*****
		2 ;	* DECLARATIONS *
		3 ;	*****
		4	
0228		5 RCLF	EQU 0228H
031C		6 SOR	EQU 031CH
034F		7 TTYO	EQU 034FH
		8	
		9	
		10 CSEG	
		11	
		12	
		13 ;	OPERATION 16 BITS
		14 ;	
		15 ;	On range la commande , puis les 4 donnees dans
		16 ;	un tableau. Le status, les resultats seront
		17 ;	ranges a la suite de ce tableau.
		18 ;	
		19 ;	Exemple:etat du tableau
		20 ;	Commande
		21 ;	Donnee 1
		22 ;	Donnee 2
		23 ;	Donnee 3
		24 ;	Donnee 4 (position du pointeur
		25 ;	au moment de l'appel de OPE16)
		26 ;	Status
		27 ;	Resultat 1 (poids fort)
		28 ;	Resultat 2 (poids faible)
		29 ;	
		30 ;	
		31 ;	
		32 ;	
		33 ;	*****
		34 ;	* OPERATION 16 BITS *
		35 ;	*****
		36	
		37	
		38	
		39	
0000	F5	40 OPE16:	PUSH PSW
0001	C5	41	PUSH B
0002	D5	42	PUSH D
		43	
		44	
		45	
		46 ;	Initialisation du 8255
		47	
0003	3E81	48	MVI A, 81H
0005	D32F	49	OUT 2FH
		50	
		51 ;	Mise a zero du EACK/
		52	
0007	3E00	53	MVI A, 00
0009	D32E	54	OUT 2EH
		55	
		56 ;	Entree des donnees
		57	
000B	1E04	58	MVI E, 04

LOC	OBJ	LINE	SOURCE STATEMENT
0000	7E	59	DON1: MOV A, M
000E	D3BC	60	OUT 0BCH
0010	CD2801	61	CALL PAUSE
0013	2B	62	DCX H
0014	1D	63	DCR E
0015	C20D00	64	JNZ DON1
		65	
		66	;Mise a un du EACK/
		67	
0018	3E80	68	MVI A, 80H
001A	D32E	69	OUT 2EH
		70	
		71	;Envoi de la commande
		72	
001C	7E	73	MOV A, M
001D	D3BD	74	OUT 0BDH
001F	CD2F01	75	CALL FIN
		76	
		77	;Mise a zero du EACK/
		78	
0022	3E00	79	MVI A, 00
0024	D32E	80	OUT 2EH
		81	
		82	;Test du status
		83	
0026	DBBD	84	DON2: IN 0BDH
0028	17	85	RAL
0029	DA2600	86	JC DON2
		87	
		88	;Envoi du status, et des resultats de l'operation
		89	
002C	23	90	INX H
002D	23	91	INX H
002E	23	92	INX H
002F	23	93	INX H
0030	23	94	INX H
0031	DBBD	95	IN 0BDH
0033	77	96	MOV M, A
0034	CD3E01	97	CALL ERROR
0037	DBBC	98	IN 0BCH
0039	1E02	99	MVI E, 02
003B	23	100	DON3: INX H
003C	DBBC	101	IN 0BCH
003E	77	102	MOV M, A
003F	CD2801	103	CALL PAUSE
0042	1D	104	DCR E
0043	C23B00	105	JNZ DON3
		106	
0046	D1	107	POP D
0047	C1	108	POP B
0048	F1	109	POP PSW
		110	
0049	C9	111	RET
		112	
		113	
		114	
		115	
		116	
		117	



LOC	OBJ	LINE	SOURCE STATEMENT
		118	;FONCTION 16 BITS
		119	
		120	;Donnees 16 bits fixes, resultat en flottant
		121	
		122	;On range la commande, puis les 4 donnees dans
		123	;un tableau. le status, les resultats seront
		124	;ranges a la suite de ce tableau
		125	;
		126	;Exemple:etat du tableau
		127	;
		128	;
		129	;
		130	;
		131	;
		132	;
		133	;
		134	;
		135	;
		136	;
		137	;
		138	;
		139	;
		140	*****
		141	* FONCTION 16 BITS *
		142	*****
		143	
		144	
004A	F5	145	FOC16: PUSH PSW
004B	C5	146	PUSH B
004C	D5	147	PUSH D
		148	
		149	
		150	
		151	;Initialisation du 8255
		152	
004D	3E81	153	MVI A, 81H
004F	D32F	154	OUT 2FH
		155	
		156	;Mise a zero du EACK/
		157	
0051	3E00	158	MVI A, 00
0053	D32E	159	OUT 2EH
		160	
		161	;Entree des donnees
		162	
0055	1E02	163	MVI E, 02
0057	7E	164	FOC1: MOV A, M
0058	D3BC	165	OUT 0BCH
005A	CD2801	166	CALL PAUSE
005D	2B	167	DCX H
005E	1D	168	DCR E
005F	C25700	169	JNZ FOC1
		170	
		171	;Mise a un du EACK/
		172	
0062	3E80	173	MVI A, 80H
0064	D32E	174	OUT 2EH
		175	
		176	;Envoi de la commande

LDC	OBJ	LINE	SOURCE STATEMENT
		177	
0066	7E	178	MOV A, M
0067	D3BD	179	OUT 0BDH
0069	CD2F01	C 180	CALL FIN
		181	
		182	;Mise a zero du EACK/
		183	
006C	3E00	184	MVI A, 00
006E	D32E	185	OUT 2EH
		186	
		187	;Test du status
		188	
0070	DBBD	189	FOC2: IN 0BDH
0072	17	190	RAL
0073	DA7000	C 191	JC FOC2
		192	
		193	;Envoi du status, et des resultats de l'operation
		194	
0076	23	195	INX H
0077	23	196	INX H
0078	23	197	INX H
0079	DBBD	198	IN 0BDH
007B	77	199	MOV M, A
007C	CD3E01	C 200	CALL ERROR
007F	DBBC	201	IN 0BCH
0081	1E04	202	MVI E, 04
0083	23	203	FOC3: INX H
0084	DBBC	204	IN 0BCH
0086	77	205	MOV M, A
0087	CD2801	C 206	CALL PAUSE
008A	1D	207	DCR E
008B	C28300	C 208	JNZ FOC3
		209	
008E	D1	210	POP D
008F	C1	211	POP B
0090	F1	212	POP PSW
		213	
0091	C9	214	RET
		215	
		216	
		217	
		218	
		219	
		220	
		221	
		222	
		223	
		224	
		225	
		226	
		227	
		228	
		229	
		230	
		231	
		232	
		233	
		234	
		235	



LOC	OBJ	LINE	SOURCE STATEMENT
		236	;OPERATION 32 BITS, FIXE OU FLOTTANT
		237	
		238	;On range la commande, puis les 8 donnees dans
		239	;un tableau. le status, les resultats seront
		240	;ranges a la suite de ce tableau
		241	;
		242	;Exemple:etat du tableau
		243	;
		244	;
		245	;
		246	;
		247	;
		248	;
		249	;
		250	;
		251	;
		252	;
		253	;
		254	;
		255	;
		256	;
		257	;
		258	;
		259	;
		260	;
		261	;
		262	;
		263	;
		264	;
		265	;
		266	;
		267	OPE32: PUSH PSW
0092	F5	268	PUSH B
0093	C5	269	PUSH D
0094	D5	270	
		271	
		272	;Initialisation du 8255
		273	
0095	3E81	274	MVI A, 91H
0097	D32F	275	OUT 2FH
		276	
		277	;Mise a zero du EACK/
		278	
0099	3E00	279	MVI A, 00
009B	D32E	280	OUT 2EH
		281	
		282	;Entree des donnees
		283	
009D	1E08	284	MVI E, 08
009F	7E	285	DONN1: MOV A, M
00A0	D3BC	286	OUT 0BCH
00A2	CD2801	287	CALL PAUSE
00A5	2B	288	DCX H
00A6	1D	289	DCR E
00A7	C29F00	290	JNZ DONN1
		291	
		292	;Mise a un du EACK/
		293	
00AA	3E80	294	MVI A, 80H

```

*****
* OPERATION 32 BITS *
*****

```



LOC	OBJ	LINE	SOURCE STATEMENT
00AC	D32E	295	OUT 2EH
		296	
		297	;Envoi de la commande
		298	
00AE	7E	299	MOV A, M
00AF	D3BD	300	OUT 0BDH
00B1	CD2F01	C 301	CALL FIN
		302	
		303	;Mise a zero du EACK/
		304	
00B4	3E00	305	MVI A, 00
00B6	D32E	306	OUT 2EH
		307	
		308	;Test du status
		309	
00B8	DBBD	310	DONN2: IN 0BDH
00BA	17	311	RAL
00BB	DAB800	C 312	JC DONN2
		313	
		314	;Envoi du status et des resultats de l'operation
		315	
00BE	1E09	316	MVI E, 09
00C0	23	317	DONN3: INX H
00C1	1D	318	DCR E
00C2	C2C000	C 319	JNZ DONN3
00C5	DBBD	320	IN 0BDH
00C7	77	321	MOV M, A
00C8	CD3E01	C 322	CALL ERROR
00CB	DBBC	323	IN 0BCH
00CD	1E04	324	MVI E, 04
00CF	23	325	DONN4: INX H
00D0	DBBC	326	IN 0BCH
00D2	77	327	MOV M, A
00D3	CD2801	C 328	CALL PAUSE
00D6	1D	329	DCR E
00D7	C2CF00	C 330	JNZ DONN4
		331	
00DA	D1	332	POP D
00DB	C1	333	POP B
00DC	F1	334	POP PSW
		335	
00DD	C9	336	RET
		337	
		338	
		339	
		340	
		341	
		342	
		343	
		344	
		345	
		346	
		347	
		348	
		349	
		350	
		351	
		352	
		353	



LOC	OBJ	LINE	SOURCE STATEMENT
		354	;FONCTION 32 BITS
		355	
		356	;On range la commande, puis les 4 donnees dans
		357	;un tableau, le status, les resultats seront
		358	;ranges a la suite de ce tableau
		359	;
		360	;Exemple:etat du tableau
		361	;
		362	Commande
		363	Donnee 1
		364	Donnee 2
		365	Donnee 3
		366	Donnee 4 (position du pointeur
		367	au moment de l'appel de FON32)
		368	Status
		369	Resultat 1 (poids le plus fort)
		370	Resultat 2
		371	Resultat 3
		372	Resultat 4 (poids le plus faible)
		373	
		374	
		375	;
		376	* FONCTION 32 BITS *
		377	;
		378	
		379	
		380	
00DE	F5	381	FON32: PUSH PSW
00DF	C5	382	PUSH B
00E0	D5	383	PUSH D
		384	
		385	
		386	;Initialisation du 8255
		387	
00E1	3E01	388	MVI A, 81H
00E3	D32F	389	OUT 2FH
		390	
		391	;Mise a zero du EACK/
		392	
00E5	3E00	393	MVI A, 00
00E7	D32E	394	OUT 2EH
		395	
		396	;Entree des donnees
		397	
00E9	1E04	398	MVI E, 04
00EB	7E	399	DONNE1: MOV A, M
00EC	D3BC	400	OUT 0BCH
00EE	CD2801	401	CALL PAUSE
00F1	2B	402	DCX H
00F2	1D	403	DCR E
00F3	C2EB00	404	JNZ DONNE1
		405	
		406	;Mise a un du EACK/
		407	
00F6	3E80	408	MVI A, 80H
00F8	D32E	409	OUT 2EH
		410	
		411	;Envoi de la commande
		412	

LOC	OBJ	LINE	SOURCE STATEMENT
00FA	7E	413	MOV A, M
00FB	D3BD	414	OUT 0BDH
00FD	CD2F01	C 415	CALL FIN
		416	
		417	;Mise a zero du EACK/
		418	
0100	3E00	419	MVI A, 00
0102	D32E	420	OUT 2EH
		421	
		422	;Test du status
		423	
0104	DBBD	424	FONC1: IN 0BDH
0106	17	425	RAL
0107	DA0401	C 426	JC FONC1
		427	
		428	;Envoi du status, et des resultats de l'operation
		429	
010A	23	430	INX H
010B	23	431	INX H
010C	23	432	INX H
010D	23	433	INX H
010E	23	434	INX H
010F	DBBD	435	IN 0BDH
0111	77	436	MOV M, A
0112	CD3E01	C 437	CALL ERROR
0115	DBBC	438	IN 0BCH
0117	1E04	439	MVI E, 04
0119	23	440	FONC2: INX H
011A	DBBC	441	IN 0BCH
011C	77	442	MOV M, A
011D	CD2801	C 443	CALL PAUSE
0120	1D	444	DCR E
0121	C21901	C 445	JNZ FONC2
		446	
0124	D1	447	POP D
0125	C1	448	POP B
0126	F1	449	POP PSW
		450	
0127	C9	451	RET
		452	
		453	
		454	
		455	
		456	
		457	
		458	
		459	
		460	
		461	
		462	
		463	
		464	
		465	
		466	
		467	
		468	
		469	
		470	
		471	



LOC	OBJ	LINE	SOURCE STATEMENT
		472 ;	*****
		473 ;	* SOUS PROGRAMMES *
		474 ;	*****
		475	
		476	
		477	
0128	DB2E	478	PAUSE: IN 2EH
012A	1F	479	RAR
012B	D22801	480	JNC PAUSE
012E	C9	481	RET
		482	
		483	
		484	
012F	DB2E	485	FIN: IN 2EH
0131	1F	486	RAR
0132	1F	487	RAR
0133	D22F01	488	JNC FIN
0135	C9	489	RET
		490	
		491	
		492	
0137	45525245	493	VIS: DB 'ERREUR:'
013B	55523A		
		494	
		495	
		496	
		497	;PROGRAMME D'ERREUR
		498	
		499 ;	Erreur 0C:Argument ou arcsin,cos ou exp
		500 ;	trop grand
		501 ;	Erreur 08:Division par zero
		502 ;	Erreur 04:Racine ou log d'une valeur negat
		503 ;	Erreur 02:Underflow
		504 ;	Erreur 01:Overflow
		505	
		506	
		507	
013E	E5	508	ERROR: PUSH H
013F	F5	509	PUSH PSW
0140	CD2802	510	CALL RCLF
0143	F1	511	POP PSW
0144	1F	512	RAR
0145	E60F	513	ANI 0FH
0147	5F	514	MOV E, A
0148	FE00	515	CPI 00
014A	E1	516	POP H
014B	C8	517	RZ
014C	E5	518	PUSH H
014D	1807	519	MVI D, 07
014F	213701	520	LXI H, VIS
0152	7E	521	ER1: MOV A, M
0153	47	522	MOV B, A
0154	CD4F03	523	CALL TTYO
0157	23	524	INX H
0158	15	525	DCR D
0159	C25201	526	JNZ ER1
015C	7B	527	MOV A, E
015D	E603	528	ANI 03
015F	FE00	529	CPI 00

LOC	OBJ	LINE	SOURCE STATEMENT
0161	48	530	MOV C, E
0162	CA6601	C 531	JZ ER2
0165	4F	532	MOV C, A
0166	CD1C03	533 ER2:	CALL SOR
0169	CD2802	534	CALL RCLF
016C	E1	535	POP H
016D	C9	536	RET
		537	END

PUBLIC SYMBOLS

EXTERNAL SYMBOLS

USER SYMBOLS

DON1	C 000D	DON2	C 0026	DON3	C 003B	DONN1	C 009F
DONN2	C 00B8	DONN3	C 00C0	DONN4	C 00CF	DONNE1	C 00EB
ER1	C 0152	ER2	C 0156	ERROR	C 013E	FIN	C 012F
FOC1	C 0057	FOC16	C 004A	FOC2	C 0070	FOC3	C 0083
FON32	C 00DE	FONC1	C 0104	FONC2	C 0119	OPE16	C 0000
OPE32	C 0092	PAUSE	C 0128	RCLF	A 0228	SOR	A 031C
TTYO	A 034F	VIS	C 0137				

ASSEMBLY COMPLETE, NO ERRORS

ISIS-II ASSEMBLER SYMBOL CROSS REFERENCE, V2.1

PAGE

DON1	59#	64								
DON2	84#	86								
DON3	100#	105								
DONN1	285#	290								
DONN2	310#	312								
DONN3	317#	319								
DONN4	325#	330								
DONNE1	399#	404								
ER1	521#	526								
ER2	531	533#								
ERROR	97	200	322	437	508#					
FIN	75	180	301	415	485#	488				
FOC1	164#	169								
FOC16	145#									
FOC2	189#	191								
FOC3	203#	208								
FON32	381#									
FONC1	424#	426								
FONC2	440#	445								
OPE16	40#									
OPE32	267#									
PAUSE	61	103	166	206	287	328	401	443	478#	480
RCLF	5#	510	534							
SOR	5#	533								
TTYO	7#	523								
VIS	493#	520								

CROSS REFERENCE COMPLETE



ANNEXE F

TABLE TRACANTE WATANABE

DIGIT PLOT - Model WX 4671

Plotting commands

Command name	Input format	Function (All coordinates are integers in units of 0.1 mm)
LINE TYPE	Lp (Terminator)	Sets type of line for vector drawing; p = 0 indicates a solid line, and p = 1 indicates a broken line. Once specified, the same line type is maintained until reset. However, when the power is switched on the solid line setting is always assumed. This setting affects the DRAW and RELATIVE DRAW commands.
LINE SCALE	Bℓ (Terminator)	Specifies the pitch of a broken line. The lengths of the line segments and gaps are both equal to ℓ, which must be not more than 127; thus the pitch is actually 2ℓ. Once specified, the setting holds until reset. LINE SCALE and LINE TYPE commands may appear independently.
DRAW	D x ₁ , y ₁ , x ₂ , y ₂ x _n , y _n (Terminator)	If (x ₀ , y ₀) is the present position, draws series of vectors: (x ₀ , y ₀) → (x ₁ , y ₁) → (x ₂ , y ₂) → ... → (x _n , y _n) Here all points x _i , y _i are specified in absolute coordinates by up to 4-digit integers. In other words (100, 100) represents the point x = 10mm, y = 10mm.
MOVE	M x, y (Terminator)	Moves with the pen up to position (x, y) in absolute coordinates. If a series of points x ₁ , y ₁ , x ₂ , y ₂ , x _n , y _n are specified as for the DRAW command, the pen performs the same movement with the pen raised.
RELATIVE DRAW	I Δx ₁ , Δy ₁ , Δx ₂ , Δy ₂ Δx _n , Δy _n (Terminator)	If (x ₀ , y ₀) is the present position, draws a series of vectors: (x ₀ , y ₀) → (x ₀ + Δx ₁ , y ₀ + Δy ₁) → (x ₀ + Δx ₁ + Δx ₂ , y ₀ + Δy ₁ + Δy ₂) → ... → (x ₀ + ∑ _{n=1} ⁿ Δx _i , y ₀ + ∑ _{n=1} ⁿ Δy _i) In other words, the parameters specify the increments for each vector rather than the absolute coordinates.
RELATIVE MOVE	R Δx, Δy (Terminator)	Moves with the pen up from present position (x ₀ , y ₀) to (x ₀ + Δx, y ₀ + Δy). As for RELATIVE DRAW, a series of increments may be specified.
AXIS	X p, q, r (Terminator)	Draws a coordinate axis: p = 0 specifies a Y axis, and p = 1 specifies an X axis. (The axes must be parallel to the axes of the plotter.) A segment of length q is drawn, and then a graduation; this is repeated r times. For example, if X1, 150, 6 is specified, an axis is drawn in the X direction with 6 segments of length 15mm, making a total length of 90mm. When the axis is completed, the pen remains down and waits for the next command.
HOME	H (Terminator)	Returns with the pen raised to the origin set when power was turned on. Thus this command is equivalent to MO, 0 except that if the alarm lamp is on, it goes off when the HOME command is obeyed, and the pen returns to the origin.

BUS
LILLE

Command name	Input format	Function (All coordinates are integers in units of 0.1 mm)
ALPHA SCALE	S_n (Terminator)	<p>Specifies the size of characters and marks, by an integer from 0 to 15.</p> <p>Characters are 7 units high and 4 units wide, with a space 3 units wide between characters.</p> <p>Thus each character fits in a square of side 7 units, where a unit is specified by $(n + 1) \times 0.1$ mm. For example, for $n = 0$, the characters are 0.7 mm x 0.4 mm, with 0.3 mm spacing, and for $n = 14$, they are $(0.7 \times 15 =) 10.5$ mm x $(0.4 \times 15 =) 6$ mm, with $0.3 \times 15 = 4.5$ mm spacing.</p> <p>When marks are drawn, their size is determined similarly: the basic size, 0.4 mm square is multiplied by $n + 1$. Once specified, the character size remains the same until reset. Initially, when power is switched on, the setting $n = 3$ is assumed.</p>
ALPHA ROTATE	Q_n (Terminator)	<p>The orientation of characters is specified by n, which is an integer in the range 0 to 3. The direction of writing is rotated anticlockwise from the X-axis through 0° for $n = 0$, 90° for $n = 1$, 180° for $n = 2$ and 270° for $n = 3$.</p> <p>ALPHA SCALE and ALPHA ROTATE commands may appear independently. Once specified the character orientation is constant until reset; when the power is switched on, $n = 0$ is always assumed.</p>
PRINT	$P C_1 C_2 C_3 \dots C_n$ (Terminator)	<p>The character string $C_1 C_2 \dots C_n$ is drawn. Codes, other than hexadecimal 00 to 0D, which do not map into printable characters are ignored. (for example, DLE, NAK, SYN, ETB)</p> <p>Spaces, however, are left blank in the normal way. There are a total of 95 printing characters.</p>

ANNEXE G

SUPPORT A CASSETTE MAGNETIQUE

SUPPORT A CASSETTES MAGNETIQUE TU 58

- Description des différents paquets de message

La spécification de la commande est déterminée par un byte appelé "Op - Code". Les différentes commandes possibles sont décrites dans le tableau suivant.

Op-Code	Instruction
0	NOP
1	INIT
2	READ
3	WRITE
4	/
5	POSITION
6	/
7	DIAGNOSE
8	GET Status
9	SET Status
10	/
11	/

Annexe E

Le paquet de commande se décompose comme suit :



Byte	Contenu du byte	
0	02	Indique que c'est une commande
1	0A	Compteur de bytes
2	/	Op Code (voir tableau ci-dessus)
3		Modifieur (permet la variation de commande)
4		Sélectionne le drive 1 ou 0
5	00	Toujours à zéro
6	00	
7	00	
8	Low	Nombre de bytes à transformer pour l'écriture ou lecture
9	High	
10	Low	Numéro du bloc utilisé
11	High	
12	pair	Checksum
13	impair	

Dans le tableau suivant, nous décrivons le contenu d'un paquet de données.

Byte	Contenu du byte	
0	01	Indique que ce sont des données
1	M-1	Compteur de bytes $M \leq 128$
2	⋮	Première donnée
⋮	⋮	⋮
⋮	⋮	⋮
M+1	⋮	Dernière donnée
M+2	pair	Checksum
M+3	impair	



Dans ce dernier tableau, nous trouvons la succession des bytes du "End Packet".

Byte	Contenu du byte	
0	02	
1	0A	
2	40	
3		Code*
4		Sélection du drive
5	00	Toujours à zéro
6	00	
7	00	
8	Low	Nombre de bytes manipulés dans le transfert
9	High	
10		Réservé
11		Code**
12	pair	Checksum
13	impair	

- * 00 : Normal Success
 01 : Success but with retries
 FF : Failed Self Test
 FE : Partial Operation
 F8 : Bad Unit Number
 F7 : No cartridge
 F5 : Write protected
 EF : Data Check Error
 E0 : Seck Error
 DF : Motor Stopped
 D0 : Bad Op Code
 C9 : Bad Record Number

- ** bits 0 à 3 réservés
 bit 4 : Logic Error
 bit 5 : Motion Error
 Bit 6 : Transfer Error
 Bit 7 : Special condition



ANNEXE H

SYSTEME DE DEVELOPPEMENT MDS 800



MDS 800

Le MDS 800 est un système de développement facilitant le processus d'élaboration et de test des programmes.

Sa structure modulaire permet une extension à plusieurs niveaux. Ainsi, autour de l'unité centrale, peut être raccordé une console de visualisation, un téléimprimeur, un lecteur, une imprimante par caractères, une mémoire à disque souple, un programmeur de PROM et l'adaptateur d'émulation et de test ETA.

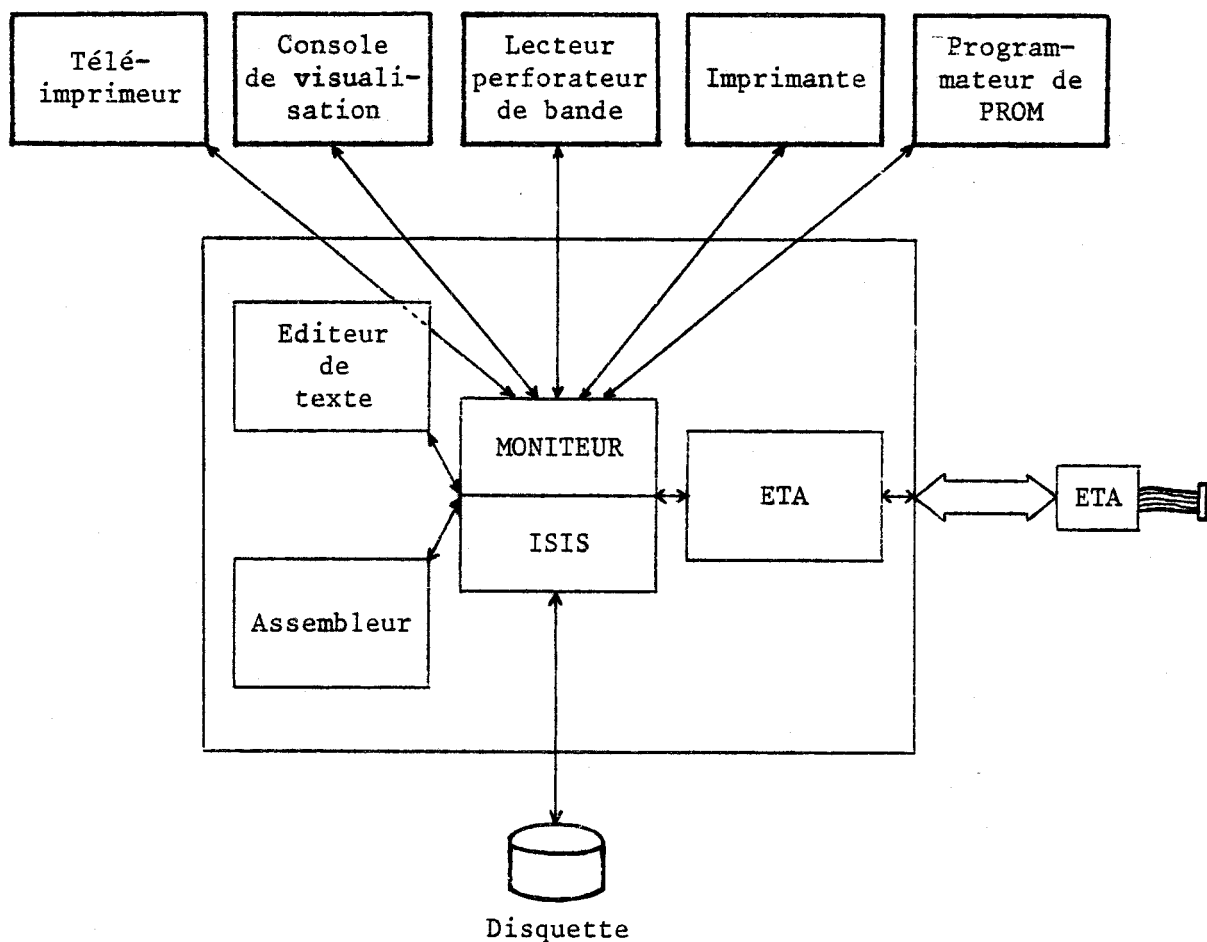
Les programmes système représentés sur la figure ci-après sont disponibles pour la commande et la surveillance du matériel du système ainsi que pour l'aide au développement de programmes ou le test d'applications de micro-ordinateur.

Les flèches entre les éléments du matériel et du logiciel symbolisent les sens de liaison des données et des commandes à l'intérieur du système. Nous voyons ainsi que le programme MONITEUR assure les séquences d'instructions nécessaires à l'échange de données entre la mémoire RAM de l'unité centrale et le périphérique considéré.

Le programme ISIS complète ces fonctions en exécutant l'échange de données entre la mémoire RAM de l'unité centrale et la mémoire à disque souple. Les fonctions d'ISIS comprennent également la gestion des zones de mémoire sur la disquette, avec tenue à jour de listes des emplacements libres et occupés en mémoire, ainsi que de descriptions des informations mémorisées.

Les programmes EDITEUR DE TEXTES et ASSEMBLEUR facilitent l'élaboration de programmes. L'EDITEUR DE TEXTES sert à l'écriture et à la modification de programmes dans la mémoire RAM de l'unité centrale et produit, après cette phase de traitement de texte, le rangement du programme sur disquette. L'ASSEMBLEUR convertit le programme source en code machine.

Le programme désigné par le sigle ETA facilite l'application de l'adaptateur d'émulation et de test. Il comporte des interfaces avec le MONITEUR et ISIS, servant au transfert d'instructions ou de résultat d'essai de sorte que la console de visualisation permet une commande confortable du test d'un système à micro-ordinateur.



ANNEXE I

MINI ORDINATEUR SYGAL

MINI CALCULATEUR SYGAL

SYGAL se compose de deux racks distincts. L'un est composé des éléments d'alimentation et de cartes périphériques spécifiques, tandis que l'autre rack, de conception standard, peut recevoir toute carte périphérique qui ont fait l'objet d'une description complète dans le chapitre III.

La face arrière du prototype dispose de tous les convecteurs permettant tout raccordement au dispositif.

Les dimensions sont :

L = 510 mm

P = 450 mm

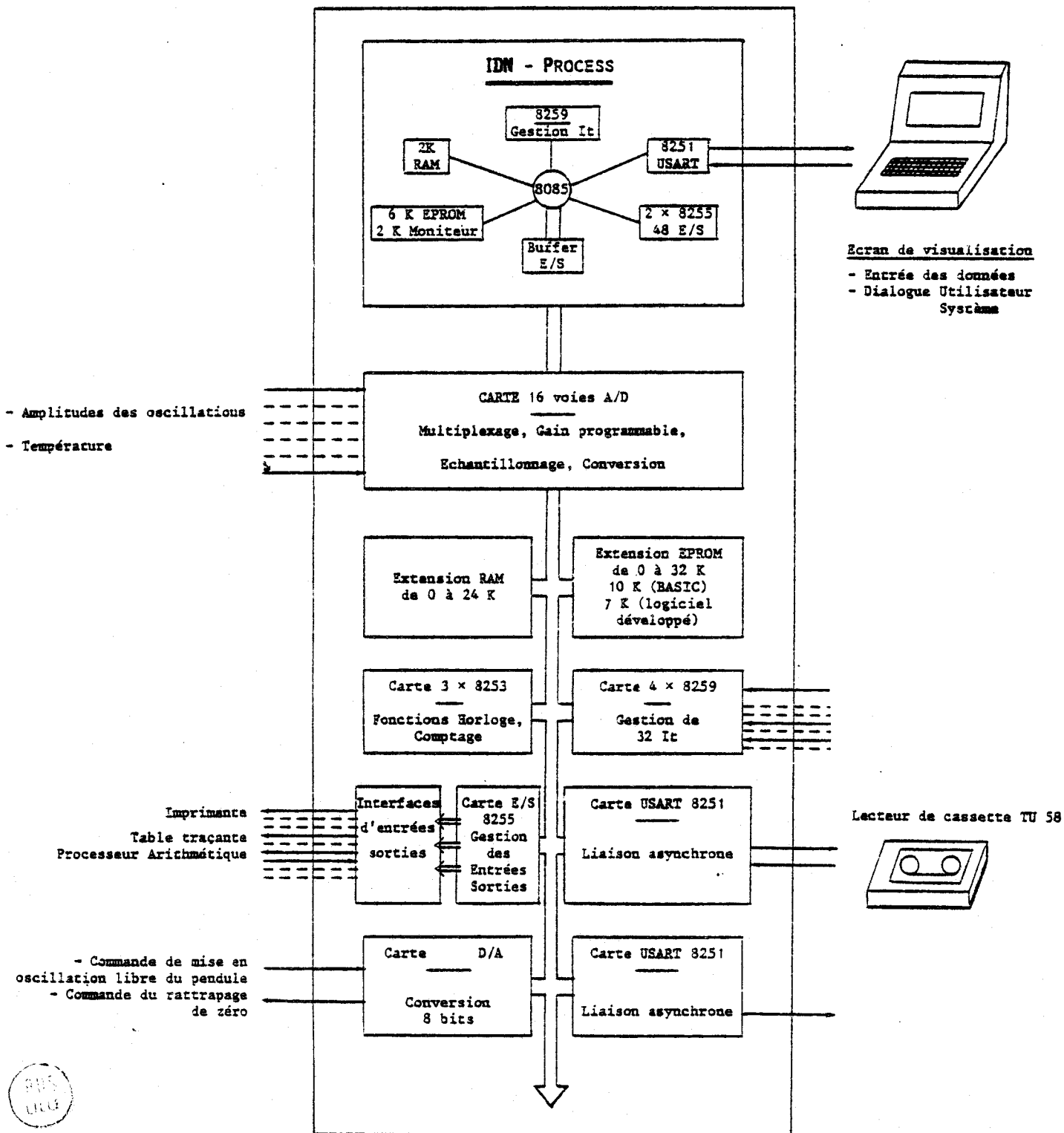
h = 470 mm

Les alimentations disponibles sont :

+ 5 V ; + 12 V ; - 12 V, + 15 V et - 15 V.

SYGAL

SYSTEME DE GESTION ANALOGIQUE LOGIQUE



CARTES	ADRESSES	USAGE	DIVERS
<u>Carte IDN Process (µP 8085)</u>			
8251	00-01-08	— Visu	
8253	20-21-22-23	UART Visu Ext 8251 (TU 58)	Cpt 0 Cpt 1
8255	28-29-2A-2B	Imprimante	PA en sortie } Mode 1 PC haut
8255	2C-2D-2E-2F	Processeur arithmétique 8231 Table traçante	PC0-PC1 en entrée } Mode 0 PC7 en sortie } PA en sortie } Mode 0 PC4 en sortie } PC2-PC3 en entrée }
8259	24-25		
2 K RAM	F800-FFFF	F800-F850 Moniteur	
6 K EPROM	0000-07FF 0800-0FFF F000-F7FF	Moniteur Programme de fond	
<u>CAD 16</u> (Convertisseur MA 6812)			
— tps 34,7 µs — 12 bits	7400-74FF	Conversion Analogique/ digitale $\left\{ \begin{array}{l} 0,5 \text{ V} \\ 0,10 \text{ V} \\ \pm 5 \text{ V} \\ \pm 10 \text{ V} \end{array} \right\} \Leftrightarrow 12 \text{ bits}$	16 voies analogiques — Conversion simple d'un canal — Scrutation séquentielle des canaux
<u>Extension mémoire</u>			
Back Panel	RAM EPROM	1000-6FFF 8000-BFFF C000-FFFF	BASIC = 8 K EPROM
<u>Processeur arithmétique</u>			
8231	8C-8D-8E-8F	Calcul Simple précision 16 bits +, -, x, ÷ Double précision 32 bits +, -, x, ÷ Flottant 32 bits +, -, x, ÷ et Toutes les fonctions	
<u>Carte 4 DAC</u>			
DAC n° 1	90-91-92-93	Commande de mise en oscillation libre	
DAC n° 2	94-95-96-97	Commande de rattrapage de zéro	
<u>Extension 8251</u>			
8251	80-81-82-83	TU 58	
<u>Extension 8253</u>			
8253	A0-A1-A2-A3	Fabrication d'une horloge	Cpt 1 } utilisés Cpt 2 }
<u>Extension 8255</u>			
8255	AC-AD-AE-AF	Extension non utilisée	
8255	B0-B1-B2-B3	Mesure température	



ANNEXE J

MONITEUR IDN PROCESS

MONITEUR IDN PROCESS

L'initialisation du système provoque le contrôle du système par le moniteur IDN placé en 0000H.

Ce dernier affiche un message sur la console de visualisation et et l'adresse du pointeur de pile.

LISTE DES INSTRUCTIONS EXECUTABLES :

- Adresse haute ; Adresse basse :
Examen du contenu de l'adresse mémoire spécifiée, avec éventuellement modification de ce contenu.

- >
Provoque l'incrémentement de l'adresse.

- <
Provoque la décrémentation de l'adresse.

- [RC]
Fin de la modification de la zone mémoire.

- Adresse haute ; Adresse basse G
Exécution du programme à partir de l'adresse spécifiée.

- Adresse haute ; Adresse basse ; Adresse haute ; Adresse basse
Examen du contenu du tableau mémoire défini par les deux adresses spécifiées.

- A =
Examen du contenu des registres A, B, C, D, E, H, L, F.

- ?
Le caractère précédent ce message est un caractère erroné. Celui-ci étant refusé, il faut le remplacer par le bon caractère.