

50376
1984
135

50376
1984
135

N° d'ordre 1169

THESE

présentée

à

L'UNIVERSITE DES SCIENCES ET TECHNIQUES DE LILLE

pour obtenir

LE GRADE DE DOCTEUR TROISIEME CYCLE

par

Jean-Luc CARTON

Ingenieur ISEN

CONCEPTION D'UN AMPLIFICATEUR OPERATIONNEL
EN TECHNOLOGIE NMOS GRILLE POLYSILICIUM



soutenue le 25 juin 1984 devant la commission d'examen

Président	M. CONSTANT
Rapporteur	M. DECARPIGNY
Examineurs	M. FAUQUEMBERGUE
	M. JESPERS
	M. MERCKEL
	M. VANDECANDELAERE

à mon Grand-Père, à mes Parents

à Thérèse

Christophe

et Sophie

à ma famille et à mes amis

Cette thèse a été préparée à l'INSTITUT SUPERIEUR
D'ELECTRONIQUE DU NORD au sein du L.A. 253 au C.N.R.S.
(Laboratoire d'Etude des Surfaces et Interfaces).

La réalisation de l'amplificateur opérationnel a
été financée par l'AEROSPATIALE et fait partie d'un pro-
jet d'intégration de filtres à capacités commutées.

J'exprime ma reconnaissance à Monsieur le Professeur E. CONSTANT qui a accepté la présidence de ce jury.

Je remercie Messieurs G. MERCKEL et R. FAUQUEMBERGUE pour la qualité de l'accueil qu'ils m'ont réservé ainsi que pour l'intérêt qu'ils ont porté à mon travail.

Monsieur le Professeur P. JESPERS nous a tous formés à la micro-électronique. Il nous a permis d'inclure cette discipline dans notre enseignement et dans nos activités de recherche. Nous lui en sommes profondément reconnaissants. Je tiens également à remercier Messieurs C. TRULLEMANS, M. LOBET, P. DE MEULENAERE, J.D. LEGAT et Y. THERASSE, du Laboratoire de Microélectronique de Louvain-La-Neuve. Nos nombreuses discussions et leur accueil m'ont été précieux.

J'exprime toute ma gratitude à Monsieur J.N. DECARPIGNY qui m'a apporté son soutien et son amitié durant tout ce travail, et qui a su me communiquer son enthousiasme pour la recherche.

Je tiens à remercier Monsieur M. LANNOO ainsi que les membres du laboratoire avec qui j'entretiens des liens amicaux. Je remercie également Monsieur G. VANDECANDELAERE, Directeur de l'I.S.E.N., qui m'a laissé une libre initiative dans mes projets et à qui je dois ma formation de base.

Je suis reconnaissant à Messieurs B. LETAILLEUR et G. BOULANGER de l'AEROSPATIALE qui ont soutenu une part de ce travail et qui m'ont accordé leur confiance depuis deux années.

Je remercie sincèrement Messieurs E. BOUCHE et J.P. BARDYN dont le dynamisme m'a été très précieux et a largement contribué à la création d'une équipe en conception de circuits intégrés.

Je remercie également Madame M.T. LEMAN pour sa disponibilité ainsi que pour l'excellente frappe de cet ouvrage : ce travail est notre travail.

SOMMAIRE

	Page
Liste des symboles	
INTRODUCTION	1
I. MODÉLISATION DU TRANSISTOR MOS	3
1. PROGRAMME SPICE 2G	4
2. CALCUL DE LA TENSION DE SEUIL	6
- Définition	6
- Effet canal court	7
- Influence de la tension drain-source	10
- Influence de la largeur du canal	11
- Dopage du substrat	13
- Conclusion	15
3. EQUATION DU COURANT DRAIN	16
- Equation du courant en zone linéaire	16
- Influence du champ électrique sur la mobilité	18
- Tension de saturation	20
- Modulation de la longueur du canal	24
- Conclusion	28
4. MODELE DYNAMIQUE	29
- Calcul des charges de grille et de substrat	30
- Intégration du courant	31
- Calcul des charges de source et drain	32
5. CONCLUSION	33

	Page
II. EXTRACTION DES PARAMÈTRES DE SIMULATION	37
1. INTRODUCTION	38
2. METHODE D'EXTRACTION	40
3. PARAMETRES DU SIMULATEUR SPICE 2G	42
- Choix des paramètres à ajuster	43
- Classification des paramètres	44
4. EXTRACTION DES PARAMETRES UTILES AU PROGRAMME SPICE 2G ..	46
- Choix des mesures	46
- Pondération des paramètres	46
- Extraction des paramètres	47
5. STRUCTURE INFORMATIQUE DE L'EXTRACTEUR	72
6. CONCLUSION	73
III. CONCEPTION DE L'AMPLIFICATEUR OPÉRATIONNEL	74
1. GENERALITES	75
2. ARCHITECTURE DE L'AMPLIFICATEUR OPERATIONNEL	80
3. ETAGE D'ENTREE	82
4. ALIMENTATION DE L'ETAGE D'ENTREE	86
5. ETAGE DE GAIN	88
6. COMPENSATION EN FREQUENCE	91
7. ETAGE DE SORTIE	97
8. REALISATION DE L'AMPLIFICATEUR	99
9. TEST ET MESURE DE L'AMPLIFICATEUR	104
10. CONCLUSION	108

	Page
IV. CONCLUSION GÉNÉRALE	110
ANNEXE 1	112
ANNEXE 2	122
ANNEXE 3	129
ANNEXE 4	131
ANNEXE 5	133
BIBLIOGRAPHIE	135

LISTE DES SYMBOLES

Symboles	Définition
C_{GB}	Capacité grille-substrat
C_{GD}	Capacité grille-drain
C_{GS}	Capacité grille-source
COX	Capacité de l'oxyde de grille par unité de surface
EC	Champ électrique critique vertical
EO	Champ électrique critique longitudinal
EP	Champ électrique au point de pincement
EX	Champ électrique vertical
EY	Champ électrique longitudinal
FBODY	Coefficient d'effet substrat pour les transistors canaux courts
FSHORT	$FSHORT = 1 - FBODY$
GAMMA	Effet substrat
GAMMAS	$GAMMAS = GAMMA \cdot FBODY$
ID	Courant drain
IDSAT	Courant de drain lorsque $VDS = VDSAT$
K	Constante de BOLTZMANN
KAPPA	Coefficient de réduction de la mobilité par le champ électrique longitudinal
L	Longueur effective du canal
LG	Longueur de grille
LD	Diffusion latérale

Symboles	Définition
n_i	Concentration intrinsèque
NSUB	Concentration du substrat
PHI	Potentiel de surface du canal en forte inversion
q	Charge de l'électron
RD	Résistance parasite série de drain
RS	Résistance parasite série de source
T	Température absolue
THETA	Coefficient de réduction de la mobilité par le champ électrique vertical
TOX	Epaisseur d'oxyde de grille
UO	Mobilité des porteurs dans le canal sous champ nul
UEFF	Mobilité effective des porteurs
VBS	Tension substrat-source
VDS	Tension drain-source
VDSAT	Tension de saturation
VFB	Tension de bandes plates
VGS	Tension grille-source
VMAX	Vitesse limite des porteurs
VSB	Tension source-substrat
VTE	Tension de seuil d'un transistor enrichi
VTD	Tension de seuil d'un transistor déplété
VTH	Tension de seuil par rapport à la source
VTO	Tension de seuil à polarisation nulle
W	Largeur du canal
WC	Longueur de la zone déplétée d'une jonction cylindrique
WP	Longueur de la zone déplétée d'une jonction plane
XJ	Profondeur de jonction

Symboles	:	Définition
ϵ_0	:	Permittivité du vide
ϵ_{OX}	:	Permittivité relative de l'oxyde
ϵ_{SI}	:	Permittivité relative du silicium
ϕ_F	:	Potentiel de FERMI
ΔL	:	Rétrécissement de la longueur du canal en régime de saturation
ρ	:	Charge volumique

INTRODUCTION

L'intégration à grande échelle des composants MOS nous permet actuellement de réaliser un système complet de traitement du signal sur une surface réduite de silicium. Ces systèmes, en technologie NMOS ou CMOS, sont composés de circuits digitaux et analogiques. La réduction de la taille du composant élémentaire ne favorise pas ces derniers. En effet, le bruit du transistor MOS est inversement proportionnel à la taille du composant, et devient donc vite critique pour des transistors de petites dimensions. L'emploi sur un même substrat de circuits analogiques et digitaux reste cependant extrêmement intéressant. Les techniques d'échantillonnage et de redistribution des charges [0,1], propres aux circuits MOS, permettent de réaliser, à moindre coût, des circuits d'interface entre le monde digital et le monde analogique (convertisseur A/D, D/A, filtres ...). Les circuits analogiques trouvent donc leurs applications dans le futur, applications certes limitées, mais indispensables [0,2].

C'est dans cet esprit que nous avons entrepris, il y a deux ans et sous l'impulsion de l'A.D.I.** de démarrer une activité de microélectronique analogique afin de maîtriser ultérieurement l'intégration complète de circuits complexes. Le contexte nous imposait de réaliser un filtre passe-bande programmable. Le laboratoire de Microélectronique de Louvain-la-Neuve nous vint en aide pour démarrer notre activité.

* Agence pour le Développement de l'Informatique

Les techniques de filtres à capacités commutées étant connues [0,3], et disposant d'un programme automatique de synthèse de filtres [0,4], notre principal travail fut de réaliser un amplificateur opérationnel.

Le simulateur électrique employé était le programme SPICE 2G, généreusement diffusé, mais qui nous donna vite quelques surprises. En effet, une erreur sur le calcul des dérivées premières du courant drain nous donnait des résultats incohérents; de plus, le modèle utilisé n'était pas convenable. La conception de cet amplificateur nous obligea donc à fournir le travail présenté dans cette thèse.

Celle-ci est divisée en trois parties. La première propose un nouveau modèle pour le programme SPICE 2G. Ce modèle tient compte des effets canaux courts et simule de manière précise la conductance de sortie du composant. Un descriptif rapide du comportement dynamique du transistor est également donné. La seconde partie nous a été indispensable pour évaluer la première ; il a fallu en effet disposer d'un jeu de paramètres afin de comparer les résultats expérimentaux et les résultats théoriques. Cette partie propose un extracteur de paramètres pour simulateur électrique. Contrairement aux méthodes couramment employées, cet extracteur ajuste simultanément l'ensemble des paramètres afin de trouver une solution optimale. L'extraction est rapide et facilement adaptable sur d'autres modèles. La troisième et dernière partie est, quant à elle, la réalisation complète de l'amplificateur opérationnel. Ce type d'amplificateur, en technologie NMOS, est maintenant bien maîtrisé. Ses performances restent cependant limitées [0,5]. Nous proposons alors de nouveaux circuits afin d'améliorer les caractéristiques de l'amplificateur. Nous étudions en particulier un "level shift" basse impédance nous permettant une compensation facile du système. Pour terminer, nous comparons la simulation du circuit avec ses mesures, ce qui nous permet de valider le modèle proposé précédemment.

I. MODÉLISATION DU TRANSISTOR MOS

1. - PROGRAMME SPICE 2G

Nous emploierons le programme SPICE 2G qui est un simulateur de circuits électriques pouvant contenir résistances, capacités, self-inductances, lignes, transistors bipolaires, diodes, transistors à effet de champ, transistors MOS. SPICE permet des analyses en tension continue (calcul du point de polarisation - courbe de transfert), des analyses transitoires et des analyses alternatives petits signaux (courbe de réponse en fréquence, calcul de bruit ...).

Les premières versions ont été développées par LAWRENCE NAGEL et ELLIS COHEN de l'Université de BERKELEY (U.S.A.) [I,1,1]. La version sur laquelle nous travaillons (SPICE 2G) a été modifiée par RICHARD DOWELL, SALLY LIU et KAIHE ZHANG. Les différents modèles ainsi que les algorithmes de calcul ont été développés par A. VLADIMIRESCU [I,1,2], A.R. NEWTON et D.O. PEDERSON [I,1,3].

Le programme comprend près de 18 000 lignes Fortran IV et nécessite une place mémoire d'environ 800 K octets pour une simulation de taille moyenne (une trentaine de transistors). Ses algorithmes de calcul permettent à l'utilisateur d'agir librement sur la précision et sur la méthode de calcul utilisée (méthode du trapèze, méthode de GEAR). Ce programme est implanté au laboratoire sur calculateur IBM 4341 (4MO).

Chaque composant nécessite un modèle mathématique basé sur des équations complexes. Le transistor MOS peut être simulé par 3 niveaux ("Level-1", Level-2", "Level-3 ").

Notre travail a principalement porté sur le niveau "Level-3" du simulateur. Nous supposons le lecteur averti du fonctionnement physique du transistor MOS et aborderons donc directement les principaux points du modèle utilisé.

Nous comparerons très succinctement le "Level-2" et le "Level-3" à la fin de l'étude.

Les notations du chapitre correspondent exactement aux variables utilisées dans le programme FORTRAN.

2. - CALCUL DE LA TENSION DE SEUIL

- définition

Le paramètre VTO représente la tension de seuil à polarisation nulle d'un transistor long ($L > 20 \mu\text{m}$) et large ($W > 10 \mu\text{m}$). Cette tension décrit le seuil de forte inversion et détermine le point où le composant commence à conduire si la faible inversion est négligée.

VTO est donnée par :

$$\begin{aligned} VTO &= VFB + 2 \phi_F + \frac{\sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{SI} \cdot q \cdot N_{SUB} \cdot 2 \phi_F}}{COX} \\ &= VFB + 2 \phi_F + GAMMA \cdot \sqrt{2 \phi_F} \end{aligned}$$

On la calcule facilement [I,2,1] par intégration de l'équation de Poisson sur toute la zone déplétée jusqu'au canal. La forte inversion est alors définie par un potentiel de surface du canal égal à :

$$PHI = \frac{2KT}{q} \cdot \text{Log} \left(\frac{N_{SUB}}{ni} \right) = 2 \phi_F$$

A polarisation non nulle de substrat, la tension de seuil d'un transistor MOS est modifiée et prend la forme suivante :

$$VTH = VTO + GAMMA (\sqrt{PHI - VBS} - \sqrt{PHI}) \quad (I,2,1)$$

avec $VBS < 0$

Lorsque les dimensions du composant viennent à diminuer, l'expression (I,2,1) devient inexacte car des effets d'ordre géométrique ou purement physique ne sont pas pris en compte.

diminution géométrique de la zone contrôlée par la grille.

La relation entre la longueur de la zone déplétée WC, et la tension, VJ, aux bornes de la jonction cylindrique nous est donnée par l'équation transcendante :

$$VJ = \left(\frac{q \cdot NSUB}{2 \cdot \epsilon_0 \cdot \epsilon SI} \right) \cdot XJ^2 \cdot \left(1 + \frac{WC}{XJ} \right)^2 \cdot \left[\text{Log} \left(1 + \frac{WC}{XJ} \right) - 0.5 + 0.5 \left(1 + \frac{WC}{XJ} \right)^{-2} \right]$$

W désigne indifféremment la zone déplétée correspondant à l'électrode de source ou l'électrode de drain.

Il n'est pas question de résoudre, lors d'une simulation, cette équation par itérations successives. Nous partirons donc de l'équation d'une jonction plane :

$$VJ' = \frac{q \cdot NSUB}{2 \cdot \epsilon_0 \cdot \epsilon SI} \cdot XJ^2 \cdot \left(\frac{WP}{XJ} \right)^2$$

avec VJ', tension aux bornes de la jonction
et WP, longueur de la zone déplétée

et nous supposons les deux jonctions soumises au même environnement physique. Il vient alors :

$$VJ = VJ' \quad \text{et donc}$$

$$\frac{WP}{XJ} = \left(1 + \frac{WC}{XJ} \right) \cdot \left[\text{Log} \left(1 + \frac{WC}{XJ} \right) - 0.5 + 0.5 \left(1 + \frac{WC}{XJ} \right)^{-2} \right]^{1/2}$$

en posant $Y = \frac{WP}{XJ}$ et $Z = \frac{WC}{XJ}$ on a :

$$Y = (1 + Z) \cdot \left[\text{Log}(1 + Z) - 0.5 + 0.5 (1 + Z)^{-2} \right]^{1/2}$$

Cette expression est indépendante de VJ, XJ, NSUB et donne la longueur

déplétée d'une jonction plane en fonction de la longueur déplétée d'une jonction cylindrique, sous la même différence de potentiel, et formée dans le même substrat. On suppose maintenant que Z peut se mettre sous la forme d'un polynôme fonction de Y :

$$Z = a_0 + a_1 \cdot Y + a_2 \cdot Y^2 + \dots + a_n \cdot Y^n$$

Une approximation au sens des moindres carrés nous donne une valeur optimale de n égale à 2 avec les valeurs suivantes des coefficients :

$$a_0 = 0.0631353$$

$$a_1 = 0.8013292$$

$$a_2 = 0.01110777$$

DANG garantit une erreur inférieure à 5 % pour des tensions VBS et VBD grandes, et pratiquement nulles pour des tensions VBS et VBD faibles. Cette résolution approchée fait décroître le temps de calcul d'environ 40 % par rapport à la résolution exacte.

Le rapport entre la zone déplétée contrôlée par la grille et la zone déplétée totale, à VDS nul, est : (Fig. I,1) :

$$F_{\text{BODY}} = 1 - F_{\text{SHORT}} = 1 - \frac{WS}{L} \quad (\text{I.2,2})$$

Si VDS évolue, $L \cdot WO'$ et S' (Fig. I,2) voient leur rapport se modifier :

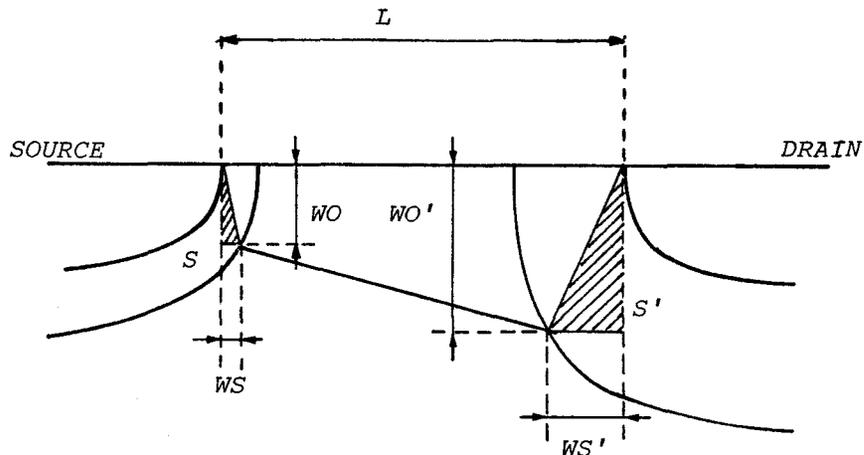


Figure I.2.

Pour éviter de nombreux calculs supplémentaires sur les dérivées des équations du courant drain par rapport aux tensions drain, source et substrat, nous modéliserons cet effet à VDS nul et compléterons le modèle par une modulation de VTH par rapport à VDS faisant l'objet du paragraphe suivant. Il ne reste plus qu'à calculer WS en considérant la courbure de la zone déplétée comme une ellipse de petit diamètre $2.(WC + LD)$ et de grand diamètre $2.(WP + XJ)$ ce qui conduit à :

$$WS = (WC + LD) \cdot \left[1 + \frac{WP^2}{(WP + XJ)^2} \right]^{1/2} - LD$$

SPICE 2 modélise cet effet canal court comme décrit précédemment. Le modèle ainsi proposé est valide pour des composants vérifiant simultanément $L/TOX > 30$ et $FSHORT < 0.3$ avec de plus $WS < L/2$.

La tension de seuil peut s'écrire maintenant sous une forme plus générale :

$$VTH = VTO + FBODY \cdot GAMMA \cdot (\sqrt{PHI - VBS} - \sqrt{PHI}) \quad (I,2,3)$$

- Influence de la tension drain source

Dans un transistor canal court ($L < 6 \mu m$) la tension drain source agit de manière non négligeable sur la tension de seuil du composant. Des simulations numériques bidimensionnelles montrent en effet l'influence du champ électrique de drain sur le potentiel de surface de canal [I,2,3], [I,2,4] ; de plus, l'effet canal court vu précédemment et calculé à VDS nul, amène une dégradation de VTH pour des tensions VDS non nulles.

Ces différents effets traduisent expérimentalement une évolution linéaire de VTH par rapport à VDS, paramétrée par la longueur du canal, l'épaisseur d'oxyde et la profondeur de jonction du composant. Il suit alors une équation empirique et simple du phénomène :

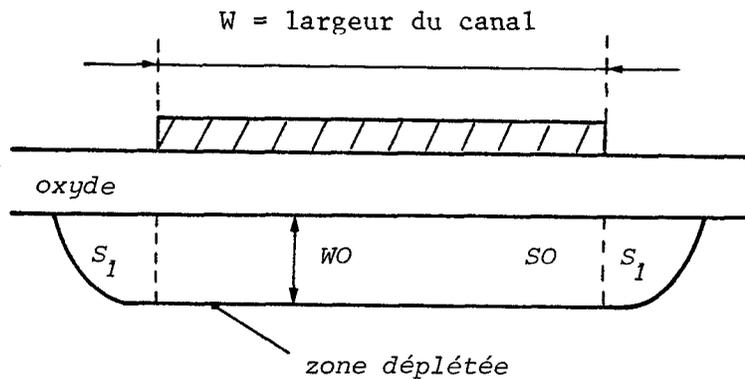
$$\Delta(V_{TH}) \# - \frac{ETA.\Omega.VDS}{COX.L^3} \quad (I.2,4)$$

avec $\Omega = 8.15 \cdot 10^{-22} \text{ (F.M)}$

ETA = paramètre à ajuster et généralement proche de 1

- Influence de la largeur du canal

Nous pouvons très simplement représenter la coupe transversale d'un transistor à canal étroit par le schéma suivant :



La zone déplétée, de part et d'autre de la grille est alors donnée par l'approximation circulaire de COPELAND. La tension de seuil est donc modifiée par l'excès de charge en-dessous de la grille qui peut s'exprimer par [I,2,5] :

$$\Delta Q = - L \cdot \frac{\pi WO^2}{2} \cdot q \cdot NSUB$$

avec $L = \text{longueur du canal}$

L'augmentation correspondante de V_{TH} est alors :

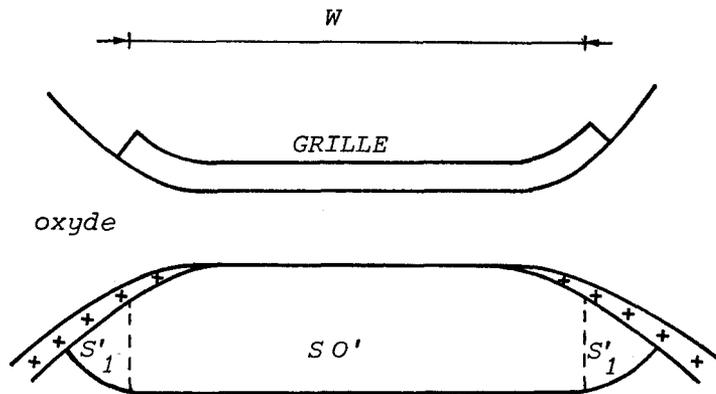
$$\Delta(V_{TH}) = \frac{-\Delta Q}{COX.W.L} = \frac{\pi.WO^2.q.NSUB}{2W.COX} \quad (I,2,5)$$

avec
$$\omega_0^2 = \frac{2 \cdot \epsilon_0 \cdot \epsilon_{SI}}{q \cdot N_{SUB}} (2\phi_F - V_{BS})$$

en simplifiant, nous obtenons :

$$\Delta(V_{TH}) = \frac{\pi \epsilon_0 \cdot \epsilon_{SI}}{COX \cdot W} (2\phi_F - V_{BS}) \quad (I,2,6)$$

Le modèle ainsi proposé ne tient pas compte du relief de la structure (procédé LOCOS) qui peut être décrit par le schéma suivant :



Nous remarquons de plus une implantation d'accepteurs de part et d'autre du canal afin de créer une zone de champ entre deux transistors.

L'équation (I,2,6) se transforme donc en prenant de manière empirique $S'_1 = S_1/2$ et en multipliant l'équation par un paramètre DELTA qui permettra l'adaptation du modèle à différentes technologies.

L'écart de la tension de seuil devient :

$$\Delta(V_{TH}) = DELTA \cdot \frac{\pi \epsilon_0 \cdot \epsilon_{SI}}{4 COX \cdot W} (2\phi_F - V_{BS}) \quad (I,2,7)$$

SPIICE 2G modélise l'effet canal étroit d'après l'équation (I,2,7). Cet effet doit être pris en compte pour des largeurs de canal inférieures à 6 μm .

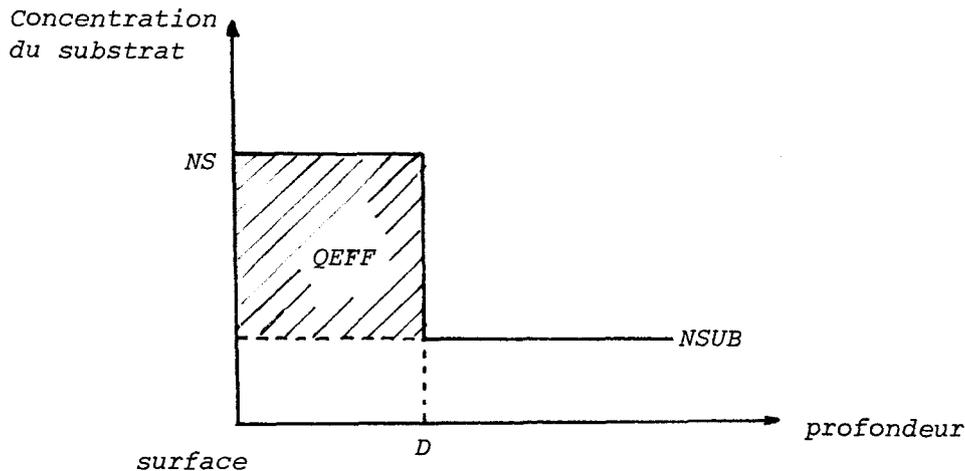
- Dopage du substrat

L'utilisation de l'implantation ionique permet l'ajustement de la tension de seuil par injection de charges en-dessous de la grille. Une première approximation décrit cette implantation comme un dépôt d'impuretés d'épaisseur quasi nulle à l'interface silicium-oxyde, auquel cas, la tension de seuil subit un simple décalage :

$$\Delta V_{TH} = - \frac{Q_{SS}}{C_{OX}}$$

avec Q_{SS} : charges implantées
 C_{OX} : capacité par unité de surface

En réalité, l'énergie d'implantation amène souvent à considérer une distribution de charges non uniforme dans le substrat. Cette distribution peut être décrite mathématiquement par une fonction gaussienne, ce qui amène malheureusement des calculs lourds ; nous la décrirons donc par une simple "marche" (step profile) pour obtenir un modèle analytique simplifié [1,2,6]



La concentration en surface est alors reliée à la dose implantée par :

$$NS = NSUB + Q_{EFF}/D$$

avec D = profondeur d'implantation

Q_{EFF} = dose implantée

Selon la profondeur de la zone déplétée X_D nous avons :

- si $X_D < D$

$$X_D = \left[\frac{2 \cdot \epsilon_0 \cdot \epsilon_{SI}}{q \cdot N_S} (PHIS + V_{SB}) \right]^{1/2}$$

$$V_{TH} = V_{FB} + PHIS + \text{GAMMA1} \cdot (PHIS + V_{SB})^{1/2}$$

avec GAMMA1 : facteur d'effet substrat = $\frac{(2 \cdot q \cdot \epsilon_0 \cdot \epsilon_{SI} \cdot N_S)}{C_{OX}}^{1/2}$

$PHIS$: potentiel de surface

- si $X_D > D$

$$X_D = \left[\frac{2 \cdot \epsilon_0 \cdot \epsilon_{SI}}{q \cdot N_{SUB}} \left(PHIS + V_{SB} - \frac{q \cdot Q_{EFF} \cdot D}{2 \cdot \epsilon_0 \cdot \epsilon_{SI}} \right) \right]^{1/2}$$

$$V_{TH} = V_{FB} + PHIS + \frac{q \cdot Q_{EFF}}{C_{OX}} + \text{GAMMA2} \cdot \left(PHIS + V_{SB} - \frac{q \cdot Q_{EFF} \cdot D}{2 \cdot \epsilon_0 \cdot \epsilon_{SI}} \right)^{1/2}$$

avec GAMMA2 : facteur d'effet substrat = $\frac{(2q \cdot \epsilon_0 \cdot \epsilon_{SI} \cdot N_{SUB})}{C_{OX}}^{1/2}$

$PHIS$: potentiel de surface

Le problème est maintenant de définir exactement le potentiel de surface.

Il nous est donné en forte inversion par :

$$\text{PHIS} = 2\phi_F + \frac{KT}{q} \cdot \text{Log}\left(1 + \frac{Q_{\text{EFF}}}{N_{\text{SUB}} \cdot D}\right) + V_{\text{SB}} \quad \text{pour } X_D < D$$

$$\text{PHIS} = 2\phi_F + \frac{KT}{q} \cdot \text{Log}\left(1 + \frac{Q_{\text{EFF}}}{N_{\text{SUB}} \cdot X_D}\right) + V_{\text{SB}} \quad \text{pour } X_D < D$$

Pour des implantations à faible dose ($6 \cdot 10^{11} \text{ cm}^{-2}$) et à faible énergie (50 KeV) nous approximerons PHIS à $2\phi_F + \Delta \text{PHIS}$, ΔPHIS représentant un décalage constant, indépendant de V_{SB} , sur le potentiel de surface sans implantation (typiquement 100-300 mv).

SPICE 2G ne tient pas compte de cet effet pourtant important dans certaines technologies (CMOS). Nous proposons donc ce modèle qui sera bientôt incorporé au programme. Il est à noter cependant une rectification de l'effet canal court décrit par (1,2,3) du fait du gradient non nul de concentration dans le substrat.

- conclusion

L'expression complète de la tension de seuil du niveau 3 de modélisation du programme SPICE 2G s'écrit :

$$\begin{aligned} V_{\text{TH}} = & V_{\text{FB}} + \text{PHI} + \text{GAMMA} \cdot \text{FBODY} \cdot \sqrt{\text{PHI} - V_{\text{BS}}} - \frac{\text{ETA} \cdot \Omega \cdot V_{\text{DS}}}{\text{COX} \cdot L^3} \\ & + \text{DELTA} \cdot \frac{\pi}{4} \cdot \frac{\epsilon_0 \cdot \epsilon_{\text{SI}}}{\text{COX} \cdot W} \cdot (\text{PHI} - V_{\text{BS}}) \end{aligned} \quad (\text{I.2.8})$$

L'utilisateur du programme peut, à son gré, prendre ou ne pas prendre en compte les différentes corrections décrites dans les paragraphes précédents.

N.B. Nous prendrons dans la suite :

$$\text{GAMMAS} = \text{GAMMA} \cdot \text{FBODY}$$

3. - EQUATION DU COURANT DRAIN

- Equation du courant en zone linéaire

Le modèle analytique décrit ci-après est basé sur l'approximation graduelle de SHOCKLEY. Nous aurons donc, en tout point du canal non pincé, l'approximation :

$$\left| \frac{\partial^2 \phi}{\partial x^2} \right| \gg \left| \frac{\partial^2 \phi}{\partial y^2} \right|$$

où X représente l'axe des coordonnées perpendiculaires à la grille, Y, l'axe longitudinal.

L'équation du courant drain dérivée par SAH [1,3,1] est alors donnée par :

$$I_D = \mu_0 \cdot COX \cdot \frac{W}{L} \left[V_{GS} - V_{FB} - \phi_{SI} - \frac{V_{DS}}{2} \right] V_{DS} - \frac{2}{3} \text{GAMMA} \left[(V_{DS} + \phi_{SI} - V_{BS})^{3/2} - (\phi_{SI} - V_{BS})^{3/2} \right] \quad (I,3,1)$$

Cette équation décrit le fonctionnement d'un transistor MOS long et large et ne fait donc pas apparaître les effets canaux courts vus précédemment.

D'un point de vue numérique, l'expression (I,3,1) est assez lourde à manier et nécessitera un temps calcul important. Nous emploierons donc une solution approchée en développant la deuxième partie du second membre en série de Taylor au deuxième ordre. Nous supposons alors $V_{DS} \ll \phi_{SI} - V_{BS}$ et écrivons :

$$\frac{2}{3} \text{GAMMA} \cdot \left[(\phi_{SI} + V_{DS} - V_{BS})^{3/2} - (\phi_{SI} - V_{BS})^{3/2} \right] \# V_{DS} \cdot \text{GAMMA} \cdot (\phi_{SI} - V_{BS})^{1/2} + \frac{V_{DS}^2}{4} \cdot \text{GAMMA} \cdot (\phi_{SI} - V_{BS})^{-1/2} \quad (I,3,2)$$

en reportant (I,3,2) dans l'équation (I,3,1) nous avons :

$$\begin{aligned}
 I_D \# UO.COX. \frac{W}{L} & \left[(VGS - VFB - PHI - \frac{VDS}{2}) VDS \right. \\
 & \quad - VDS.GAMMA.(PHI - VBS)^{1/2} \\
 & \quad \left. - \frac{VDS^2}{4} . GAMMA . (PHI - VBS)^{-1/2} \right] \\
 & = UO.COX. \frac{W}{L} [VGS - VTH - \frac{VDS}{2} . a] VDS \quad (I,3,3)
 \end{aligned}$$

$$\text{avec } a = 1 + \frac{GAMMA}{2.(PHI - VBS)^{1/2}} \quad (I,3,4)$$

Le courant drain du transistor est ainsi calculé avec une précision de 8 % pour des gammes de tension, VDS et VBS classiques. SPICE 2 utilise cette approximation. Nous avons préféré utiliser le développement du second ordre en y introduisant une fonction numérique simple et empirique de façon à obtenir une précision globale, au sens des moindres carrés, de 2 %.

Nous écrivons alors [I,3,2] :

$$a = 1 + \frac{GAMMA}{2.(PHI - VBS)^{1/2}} \cdot g$$

avec g de la forme :

$$g = 1 - \frac{1}{P1 + P2(PHI - VBS)} \quad (I,3,5)$$

Les coefficients P1 et P2 sont ajustés de manière à obtenir sur la gamme $0 < VDS < 20V$, $-12 < VBS < 0$ la précision souhaitée.

Nous obtenons, pour une précision de 2 %, dans la gamme décrite ci-dessus :

$$P1 = 1.4089$$

$$P2 = 0.4333$$

La prise en compte des effets canaux courts vus dans les paragraphes précédents revient alors à modifier les termes GAMMA et VTH dans les expressions (I,3,3) (I,3,4) selon la conclusion du § I.2.

- Influence du champ électrique sur la mobilité

Nous prendrons l'hypothèse d'un champ électrique normal constant sur toute l'épaisseur du canal. La mobilité en surface est alors fonction du champ électrique vertical et longitudinal, et se met sous la forme simplifiée [I,3,3] :

$$U_{EFF} = U_0 \cdot \frac{1}{1 + \frac{EX}{EC}} \cdot \frac{1}{\left(1 + \left(\frac{EY}{EO}\right)^{1/\beta}\right)^\beta} \quad (I,3,6)$$

avec

- EC = champ électrique critique vertical
- EX = champ électrique vertical
- EO = champ électrique critique longitudinal
- EY = champ électrique longitudinal
- $\beta = 1$ pour les trous
- $\beta = 2$ pour les électrons
- U0 = mobilité sous champ électrique nul

Pour obtenir une expression explicite du courant on suppose que, quel que soit le type du transistor (canal p ou canal n) la loi de dépendance de la mobilité est de la même forme :

$$U_{EFF} = U_0 \cdot \frac{1}{\left(1 + \frac{EX}{EC}\right)} \cdot \frac{1}{\left(1 + \frac{EY}{EO}\right)} \# U_0 \cdot \frac{1}{\left(1 + \frac{EX}{EC} + \frac{EY}{EO}\right)} \quad (I,3,7)$$

La prise en compte de cette expression dans le calcul du courant drain transforme alors l'équation (I,3,2) de manière complexe et peu exploitable. Une simplification mathématique et numérique [I,3,4] amène cependant, pour des canaux pas trop courts ($L > 8 \mu m$) une solution très proche de (I,3,3) dans laquelle la mobilité est simplement multipliée par un terme correctif de la forme :

$$\frac{1}{1 + \text{THETA} (VCS - VTH)}$$

L'expression du courant drain, à la conclusion du paragraphe précédent devient donc :

$$I_D = \frac{U_0}{1 + \text{THETA} (V_{GS} - V_{TH})} \text{COX} \frac{W}{L} \left[V_{GS} - V_{TH} - \frac{V_{DS}}{2} \cdot a \right] V_{DS}$$

La correction de la mobilité par le champ électrique longitudinal est modélisée, dans le cas des canaux courts, de manière totalement intuitive et empirique, par un terme multiplicatif de la forme :

$$\frac{1}{1 + \text{KAPPA} \frac{V_{DS}}{L}}$$

$\frac{V_{DS}}{L}$ représentant le champ électrique moyen dans le canal

KAPPA représentant un champ longitudinal critique mais restant pour l'essentiel un paramètre empirique.

En conclusion, l'influence du champ électrique sur la mobilité se traduit par un terme correctif sur U_0 dans l'expression (I,3,3) de façon à obtenir une valeur du courant drain :

$$I_D = U_{EFF} \cdot \frac{W}{L} \cdot \text{COX} \left[V_{GS} - V_{TH} - \frac{V_{DS}}{2} \cdot a \right] V_{DS} \quad (\text{I},3,8)$$

$$\text{avec } U_{EFF} = U_0 \frac{1}{1 + \text{THETA} (V_{GS} - V_{TH})} \cdot \frac{1}{(1 + \text{KAPPA} \frac{V_{DS}}{L})}$$

SPICE 2G modélise cet effet en prenant :

$$U_{EFF} = \frac{U_S}{1 + \frac{U_S}{V_{MAX} \cdot L} V_{DS}} \quad \text{avec} \quad (\text{I},3,9)$$

$$U_S = \frac{U_0}{1 + \text{THETA} (V_{GS} - V_{TH})}$$

Le terme équivalent à KAPPA est ici $\frac{U_S}{V_{MAX}}$, V_{MAX} représentant la vitesse limite des porteurs dans le canal. Si nous rapprochons l'expression (I,3,9) du second membre de l'équation (I,3,6) il suit que :

$$U_{EFF} = \frac{U_S}{\left[1 + \left(\frac{U_S}{V_{MAX}.L} V_{DS} \right)^{1/\beta} \right]^\beta} \quad (I,3,10)$$

On admet en effet que la loi de dépendance de la mobilité des porteurs dans le canal en fonction du champ électrique longitudinal est de la même forme que pour une mobilité de volume. L'expérience montre un désaccord entre la valeur physique de V_{MAX} (1.10^5 m/s) et la valeur extraite par les mesures (1.10^6 m/s) car, dans le cas du canal n, le terme β dans (I,3,9) est ignoré.

Nous avons corrigé le modèle de SPICE 2G et avons alors représenté l'influence du champ électrique sur la mobilité par l'équation (I,3,8).

- Tension de saturation

Calcul du champ électrique longitudinal.

La tension de seuil exprimée en tout point du canal est donnée par :

$$V_{TH}(y) = V_{FB} + \text{PHI} + V(y) + \text{GAMMAS} [V(y) - V_{BS} + \text{PHI}]^{1/2}$$

$V(y)$ étant la tension en un point du canal situé à une distance y de la source.

Sur une tranche dy du canal, le courant se calcule alors par :

$$I_D = \frac{dQ}{dt} = \frac{dQ}{dy} \cdot \frac{dy}{v} = \frac{dQ}{dy} \cdot \frac{dy}{U_{EFF}(y) \cdot E_y} = - \frac{dQ}{dy} \cdot \frac{dy}{U_{EFF}(y) \frac{dV(y)}{dy}}$$

dQ étant la charge, dans le canal, sur une distance dy parallèle à la grille, v étant la vitesse des porteurs.

En remplaçant dQ par sa valeur, l'expression complète de ID (en valeur absolue) est maintenant :

$$ID = COX.W.dy. (VGS - VTH(y)) . \frac{UEFF(y)}{dy} . \frac{dV(y)}{dy}$$

$$= COX.W. (VGS - VTH(y)) . UEFF(y) . \frac{dV(y)}{dy} \quad (I,3,11)$$

L'expression de la valeur du champ électrique longitudinal EY apparaît ici directement par le terme $\frac{dV(y)}{dy}$.

L'expression de la mobilité, quant à elle, est déduite de la partie précédente par (I,3,7):

$$UEFF(y) = UO . \frac{1}{(1 + \frac{EX}{EC})} . \frac{1}{(1 + \frac{EY}{EO})}$$

Nous avons alors :

$$ID = UO \frac{1}{(1 + \frac{EX}{EC})(1 + \frac{EY}{EO})} COX.W. (VGS - VTH(y)) EY \quad (I,3,12)$$

et après calcul :

$$EY = \left[\frac{UO.COX.W}{ID [1 + \frac{EX}{EC}]} [VGS - VTH(y)] - \frac{1}{EO} \right]^{-1} \quad (I,3,13)$$

Point de pincement

Plusieurs approximations peuvent décrire le fonctionnement du transistor MOS en saturation :

- 1) la plus simple est de considérer EO infini auquel cas, la quantité de charges au point de pincement tend vers zéro, le champ électrique longitudinal tend vers l'infini. Cette approximation est utilisée dans le cas des canaux longs et conduit au résultat bien connu

- 2) une autre approximation conduit à dire que le point de pincement est le point pour lequel le champ électrique longitudinal est le champ électrique critique, et que la vitesse des porteurs en ce point atteint une vitesse limite VMAX.

Le courant donné par (I,3,12) est alors :

$$ID = COX . W (VGS - VTH(y)) . UEFF(y) . EO$$

Simplifions maintenant le terme VGS - VTH(y), il vient :

$$VGS - VTH(y) = VGS - VFB - PHI - V(y) - GAMMAS (V(y) + PHI - VBS)^{1/2}$$

en posant $VX = PHI - VBS$

$$\text{et } VDSAT = V(y)$$

on obtient :

$$\begin{aligned} VGS - VTH(y) &= VGS - VFB - PHI - VDSAT - GAMMAS . (VDSAT + VX)^{1/2} \\ &= VGS - VFB - PHI - VDSAT - GAMMAS . \sqrt{VX} \left(1 + \frac{VDSAT}{VX}\right)^{1/2} \end{aligned}$$

en prenant les deux premiers termes du développement en série de Taylor de la fonction F(VDSAT)

$$F(VDSAT) = \left(1 + \frac{VDSAT}{VX}\right)^{1/2}$$

il vient :

$$\begin{aligned} VGS - VTH(y) &= VGS - VFB - PHI - VDSAT - GAMMAS . \sqrt{VX} - \frac{GAMMAS}{2\sqrt{VX}} . VDSAT \\ &= VGS - VTH - VDSAT \left(1 + \frac{GAMMAS}{2\sqrt{VX}}\right) \end{aligned}$$

comme pour le calcul du courant drain (I,3,4) en zone linéaire, le terme $\left(1 + \frac{GAMMAS}{2\sqrt{VX}}\right)$ est écrit sous la forme plus complète (I,3,5) :

$$a = \left(1 + \frac{GAMMAS}{2\sqrt{VX}}\right) . g \quad \text{avec}$$

$$g = 1 - \frac{1}{P1 + P2(PHI - VBS)}$$

En conclusion, nous arrivons à :

$$VGS - VTH(y) \# VGS - VTH - a.VDSAT$$

où y est le point de pincement du canal.

Le courant dérivé de cette équation s'exprime par :

$$ID = UEFF(y) \cdot COX \cdot W \cdot EO \cdot (VGS - VTH - a.VDSAT)$$

il s'exprime également par (I,3,3) :

$$ID = UEFF \cdot \frac{W}{L} \cdot COX [VGS - VTH - \frac{VDSAT}{2} \cdot a] VDSAT$$

nous prendrons alors $UEFF(y) = UEFF$ et après calcul obtenons :

$$VDSAT = \frac{VGS - VTH}{a} + EO \cdot L - \sqrt{\frac{(VGS - VTH)^2}{a^2} + (EO \cdot L)^2}$$

pour des canaux longs cette expression se simplifie et donne le résultat bien connu :

$$VDSAT = \frac{VGS - VTH}{a} \# VGS - VTH \quad \text{en négligeant l'effet de substrat}$$

SPICE 2G calcule la tension de saturation comme décrit précédemment. Le paramètre EO est calculé par le rapport V_{MAX}/US

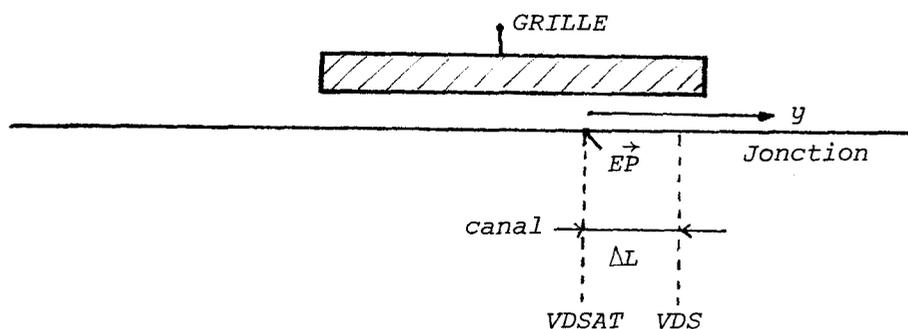
- 3) L'approximation précédente peut amener des problèmes d'ordre numérique lors de l'analyse d'un circuit. En effet, il a été montré [I,3,5] qu'en prenant le champ électrique constant et égal au champ critique, au point de pincement, une discontinuité sur les dérivées premières du courant (conductance de sortie) peut apparaître au point de pincement. D'autres modèles ont donc été proposés. MERCKEL calcule la tension de saturation et la conductance de sortie en considérant la continuité du potentiel du champ électrique longitudinal et de sa dérivée dans la di-

rection y [1,3,5]. Bien que précis, ce type de modèle n'est pas convenable, pour des raisons de temps de calcul, car il fait apparaître une boucle itérative au sein même du modèle. Le modèle proposé précédemment est plus rapide et ne pose pas de problèmes numériques apparents.

- Modulation de la longueur du canal

Plusieurs approximations peuvent décrire le processus :

1) la plus simple est la représentation unidimensionnelle du phénomène :



Le canal est ici décrit avec une épaisseur nulle, les porteurs traversent la zone déplétée entre point de pincement et drain également sous une épaisseur nulle. Les conditions aux limites sont :

- EP et VDSAT pour le champ électrique et la tension au point de pincement
- VDS pour la tension de drain.

Nous pouvons alors écrire l'équation de Poisson :

$$\Delta V = -\frac{\rho}{\epsilon_0}$$

En considérant un courant suffisamment faible, les charges en présence sont dues uniquement aux atomes d'impuretés ionisés du substrat, il vient, après une première intégration :

$$\left(\frac{\partial V}{\partial y}\right) = \frac{q \cdot N_{SUB} \cdot \Delta L}{\epsilon_0 \cdot \epsilon_{SI}} + EP$$

et, après une seconde intégration

$$VDS - VDSAT = \frac{q \text{ NSUB} \cdot \Delta L^2}{2 \epsilon_0 \cdot \epsilon_{SI}} + EP \cdot \Delta L$$

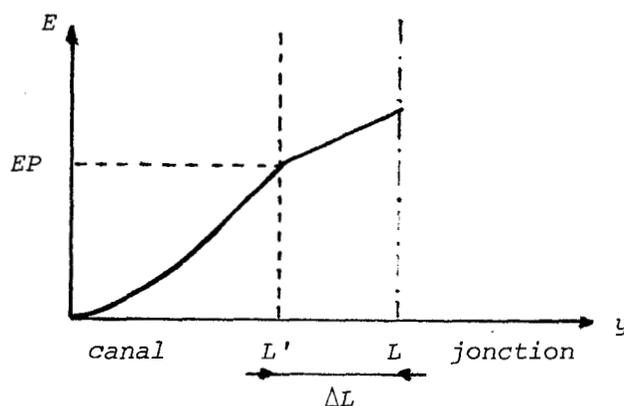
d'où

$$\Delta L = \sqrt{\left(\frac{EP \cdot XD^2}{2}\right)^2 + (VDS - VDSAT) \cdot XD^2 - \frac{XD^2 \cdot EP}{2}}$$

avec

$$XD^2 = \frac{2\epsilon_0 \cdot \epsilon_{SI}}{q \cdot \text{NSUB}}$$

Le champ électrique le long du canal a alors l'allure suivante :

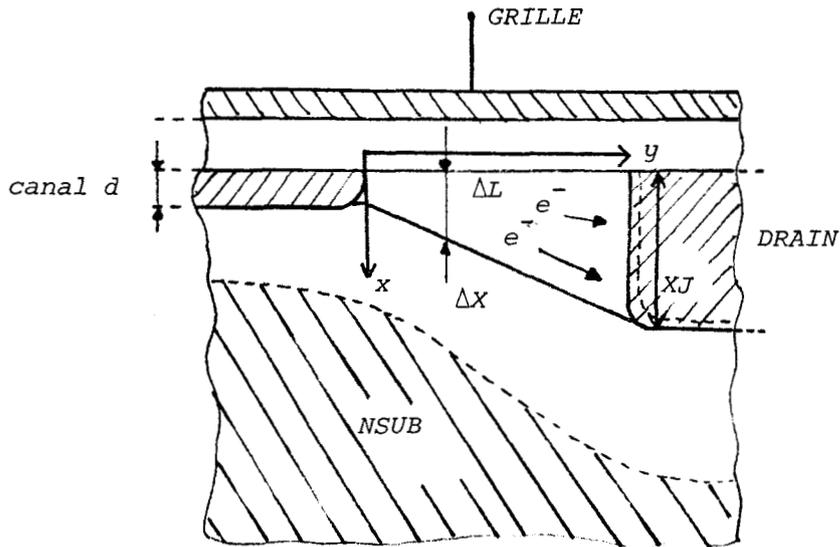


avec $EP = E_0$ champ critique.

Le modèle ci-dessus, proposé par BAUM et BENEKING [I,3,6] est à la base du modèle de SPICE 2G. EP est calculé à l'aide de VMAX, ce dernier étant déjà utilisé pour décrire la correction mobilité (I,3,9). Comme il est mentionné précédemment, cette incohérence sur les deux utilisations du paramètre VMAX, amène une erreur sur la modélisation de la conductance de sortie d'un transistor canal n.

2) Nous allons décrire un modèle plus complet basé sur une étude bidimensionnelle du processus et intégrant le courant drain dans la résolution de l'équation de Poisson. Ce modèle a été proposé par MERCKEL [I,3,5] et a été intégré dans le simulateur SPICE 2G.

L'analyse du trajet des porteurs dans la zone de drain peut se résumer de la manière suivante.



- Au point de pincement, les électrons ont une vitesse V pratiquement égale à la vitesse limite V_{MAX} , ils sont soumis à un champ longitudinal élevé que nous prendrons égal à E_0 , champ critique.
- Dans la zone de drain, les porteurs sont repoussés dans le volume du substrat par le champ normal. Le courant résultant se répartit de manière homogène sur un trapèze et arrive au drain sur une profondeur de l'ordre de XJ .
- Les porteurs contribuent à la charge globale, dans la zone déplétée et sont donc à prendre en compte dans l'équation de Poisson.

Nous écrivons :

$$\frac{\partial^2 V}{\partial y^2} = \frac{1}{\epsilon_0 \cdot \epsilon_{SI}} \left(q \cdot NSUB + \frac{J}{V_{MAX}} \right)$$

$$J = \frac{ID}{\Delta X} \quad \Delta X = y \frac{XJ - d}{\Delta L} + d$$

avec d épaisseur de la couche d'inversion (prise à 100 Å dans le programme)

Les conditions aux limites sont :

$$\text{pour } y = 0 \quad V = V_{DSAT} \quad \frac{\partial V}{\partial y} = E_P$$

$$y = \Delta L \quad V = V_{DS}$$

La résolution complète du système donne :

$$V_{DS} - V_{DSAT} = \frac{q \cdot N_{SUB}}{2 \cdot \epsilon_0 \cdot \epsilon_{SI}} \Delta L^2 [1 + B \cdot I_{DSAT}] + \Delta L \cdot E_P$$

et donc

$$\Delta L = \sqrt{\frac{\left(\frac{E_P \cdot X_D^2}{2}\right)^2 + (1 + B \cdot I_{DSAT}) X_D^2 \cdot (V_{DS} - V_{DSAT}) - \frac{X_D^2 E_P}{2}}{(1 + B \cdot I_{DSAT})}}$$

avec

$$X_D = \frac{2 \epsilon_0 \cdot \epsilon_{SI}}{q \cdot N_{SUB}} \quad B = \frac{2 \left(\log \frac{X_J}{d} - 1\right)}{q \cdot N_{SUB} \cdot W \cdot V_{MAX} \cdot X_J}$$

V_{DSAT} = tension de saturation étudiée au paragraphe précédent.

Ce nouveau modèle fait apparaître l'influence du courant de saturation et de la profondeur de jonction sur le calcul de ΔL et donc de la conductance de sortie du transistor.

Nous conclurons par l'expression du courant drain d'un transistor en zone saturée :

$$I_D = \frac{I_{DSAT}}{1 - \frac{\Delta L}{L}}$$

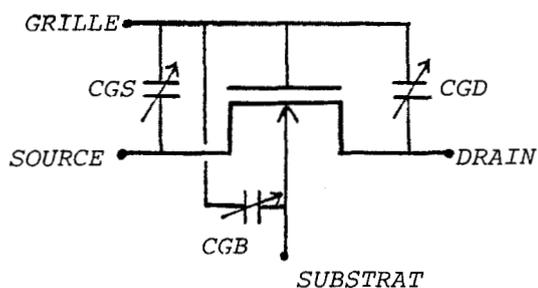
SPICE 2 calcule actuellement la valeur de ΔL comme le décrit toute cette section.

- Conclusion

Nous n'avons pas abordé, dans cette partie, l'effet de faible inversion et l'effet de perçage. Bien qu'importants, ces modes de fonctionnement ne seront pas exploités et modélisés dans le circuit à réaliser. Nous pouvons cependant noter que la modélisation de la faible inversion dans SPICE.2G fait apparaître une discontinuité sur les dérivées premières du courant drain et amène donc un problème de convergence du programme.

4. - MODELE DYNAMIQUE

Le modèle dynamique des premières versions de SPICE 2, développé par MEYER [I,4,1] est basé sur un modèle capacitif



$$C_{GD} = \frac{\partial Q_G}{\partial V_D} \qquad C_{GB} = \frac{\partial Q_G}{\partial V_B} \qquad C_{GS} = \frac{\partial Q_G}{\partial V_S}$$

le courant à travers chaque capacité se calcule alors par :

$$I = C(V_0) \left(\frac{dV}{dt} \right)_{V_0}$$

avec V_0 , polarisation de la capacité.

Ce modèle n'est cependant pas correct car il ignore les capacités drain-substrat et source-substrat et de ce fait ne conserve pas la charge instantanée accumulée sur chaque noeud du transistor.

Le modèle de SPICE 2G, proposé par DUTTON et WARD, est basé sur la distribution et le calcul des charges dans la structure MOS [I,4,2]. Pour toute région de l'espace, nous pouvons écrire :

$$i = \frac{dQ}{dt}$$

où i est le courant instantané entrant dans la région et Q la charge contenue dans la région et donc :

$$i_g = \frac{dQ_G}{dt} \quad i_b = \frac{dQ_B}{dt} \quad i_s + i_d = \frac{d(Q_S + Q_D)}{dt} \quad (I,4,1)$$

avec i_g , i_b , i_s et i_d respectivement, courant de grille, de substrat, de source et de drain.

La charge dans le canal est déduite des charges de drain et de source par :

$$Q_C = Q_S + Q_D$$

et peut être calculée par :

$$Q_C = - (Q_G + Q_B)$$

- Calcul des charges de grille et de substrat

La charge totale sur la grille est calculée par :

$$Q_G = W \int_0^L Q_G(y) dy$$

L'équation (I,3,11) nous permet un changement de variable en $V(y)$, potentiel le long du canal. Il vient alors :

$$Q_G = \frac{UEFF \cdot W^2}{ID} \int_0^{VDS} Q_G(V(y)) \cdot Q_C(V(y)) \cdot dV(y)$$

avec $Q_G(V(y))$ = charge de grille par unité de surface

$$= COX [VGS - (VFB + PHI - ETA' \cdot VDS) - V(y)]$$

$Q_C(V(y))$ = charge du canal par unité de surface

$$= - COX [VGS - VTH - a \cdot V(y)]$$

nous obtenons :

$$Q_G = W \cdot L \cdot COX \left[VGS - (VFB + PHI - ETA' \cdot VDS) - \frac{VDS}{2} + \frac{a}{12F} VDS^2 \right]$$

avec $F = VGS - VTH - \frac{a}{2} VDS$

$$ETA' = \frac{ETA \cdot \Omega \cdot VDS}{cox \cdot L^3}$$

Nous obtenons de même la charge totale du substrat :

$$Q_B = -W.L.COX[GAMMAS \cdot \sqrt{PHI - VBS} + FN.(PHI - VBS) + \frac{(a-1)}{2} VDS - \frac{(a-1)a VDS^2}{12F}]$$

avec $F = VGS - VTH - \frac{a}{2} VDS$

$$FN = \frac{DELTA.\pi.\epsilon_0.\epsilon_{SI}}{4.COX.W}$$

et par suite :

$$Q_C = - (Q_G + Q_B)$$

- intégration du courant

Lors d'une analyse transitoire et dans son algorithme de calcul (Newton-Raphson) SPICE 2G utilisera les équations (I,4,1) qui, de manière générale, peuvent être écrites sous la forme :

$$\int_{t_0}^{t_1} i dt = Q(t_1) - Q(t_0)$$

Après approximation par la méthode du trapèze nous obtenons :

$$\frac{\Delta t}{2} (i_1^1 + i_0) = Q_1^1 - Q_0 \quad t = t_1 - t_0$$

avec

Q_0 et i_0 : charge et courant à t_0

Q_1^1 et i_1^1 : charge et courant à t_1

Nous pouvons développer Q_1^1 en fonction de Q_1^0 , charge trouvée au temps t_1 , à l'itération précédente :

$$Q_1^1 (V) = Q_1^0 (V) + \sum_x \frac{\partial Q}{\partial V_x} \Big|_{V_x = V_{x_1}^0} (V_{x_1}^1 - V_{x_1}^0)$$

l'indice x précise ici les différentes électrodes du transistor.

Nous obtenons enfin :

$$\frac{\Delta T}{2} (i_1^1 - i_o) = (Q_1^o - Q_o) + \sum_x \frac{\partial Q}{\partial V_x} \Big|_{V_x = V_{x_1}^o} (V_{x_1}^1 - V_{x_1}^o)$$

- Calcul des charges de source et de drain

SPICE 2 calcule Q_D et Q_S en divisant mathématiquement le canal en deux parties :

$$Q_D = XQ_C Q_C$$

$$Q_S = (1 - XQ_C) Q_C$$

XQ_C vaut 1/2 en zone linéaire et peut être fixé par l'utilisateur en zone saturée. Le passage de l'un à l'autre se fait de manière numérique au cours du processus itératif. Le résultat exact donne $XQ_C = 2/5$ en zone saturée.

5. - CONCLUSION

Nous avons abordé, lors de cette première partie, la modélisation du transistor MOS par SPICE 2G. Les corrections décrites précédemment sont actuellement implantées dans le programme (Annexe 1) et fonctionnent correctement. Nous obtenons ainsi, bien qu'incomplet, un modèle rapide et d'une précision voisine de 10 %.

Notre objectif est maintenant de compléter ce modèle par l'étude de la faible inversion ainsi que par l'apport d'éléments extrinsèques (RD, RS). Nous attirons cependant l'attention sur le fait qu'un simulateur utilisé de manière efficace doit comporter des modèles simples et pouvoir ainsi calculer un circuit de plusieurs dizaines de transistors. Par conséquent un compromis doit être fait entre la précision du modèle et le nombre total d'opérations effectuées.

- Modélisation "level-2"

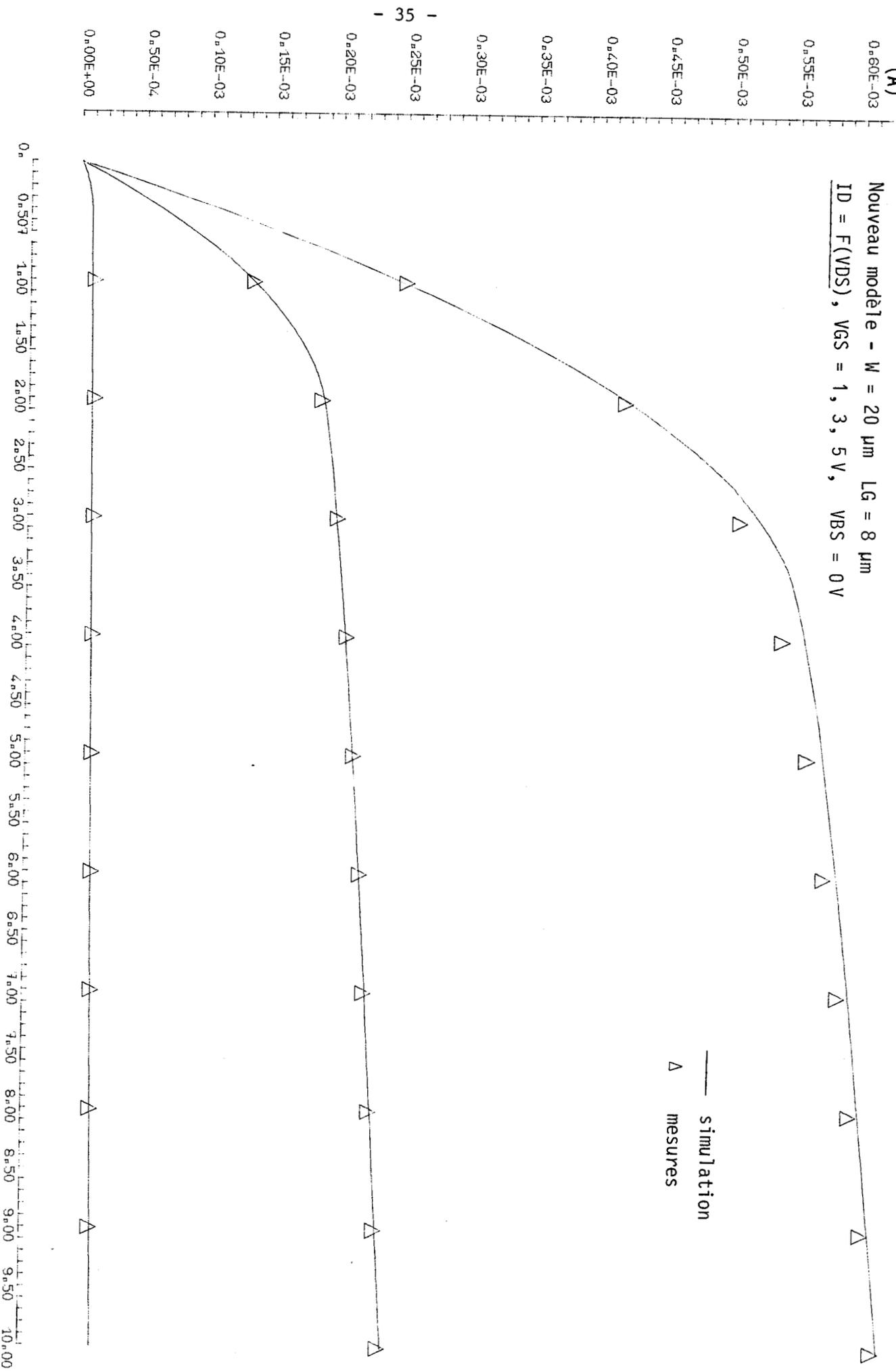
Le modèle du niveau 2 proposé dans SPICE 2G calcule entièrement l'équation du courant donnée par (I,3,1). Il est cependant regrettable que cet effort de précision ne soit pas accompagné de modèles plus évolués sur les effets canaux courts et étroits.

L'effet canal court à proprement dit est basé sur le modèle de YAU et ne tient donc pas compte de la courbure des jonctions. Le calcul du rétrécissement de la longueur du canal est fait de la même manière que la version originale du niveau 3 et ne fait donc pas intervenir la profondeur de jonction ni le courant drain dans le calcul de la conductance de sortie du transistor. Il nous semble que ce modèle soit plutôt adapté à des canaux longs en restant toutefois imprécis sur les paramètres petits signaux en zone saturée.

Nous terminerons cette première partie par une comparaison entre résultats expérimentaux et simulations. Les courbes ci-après représentent un réseau de caractéristiques pour un transistor de géométrie $W = 20 \mu\text{m}$ et $LG = 8 \mu\text{m}$. Après extraction optimale des paramètres sur plusieurs géométries de composants, nous remarquons une discontinuité sur la conductance de sortie ainsi qu'une erreur importante de cette dernière dans le cas du modèle original de SPICE 2G. Notre modèle nous donne par contre des résultats satisfaisants qui seront approfondis dans le chapitre suivant.

(A)

Nouveau modèle - $W = 20 \mu\text{m}$ $LG = 8 \mu\text{m}$
 $ID = F(V_{DS})$, $V_{GS} = 1, 3, 5 \text{ V}$, $V_{BS} = 0 \text{ V}$



(V)

(A)

0.60E-03

0.55E-03

0.50E-03

0.45E-03

0.40E-03

0.35E-03

0.30E-03

0.25E-03

0.20E-03

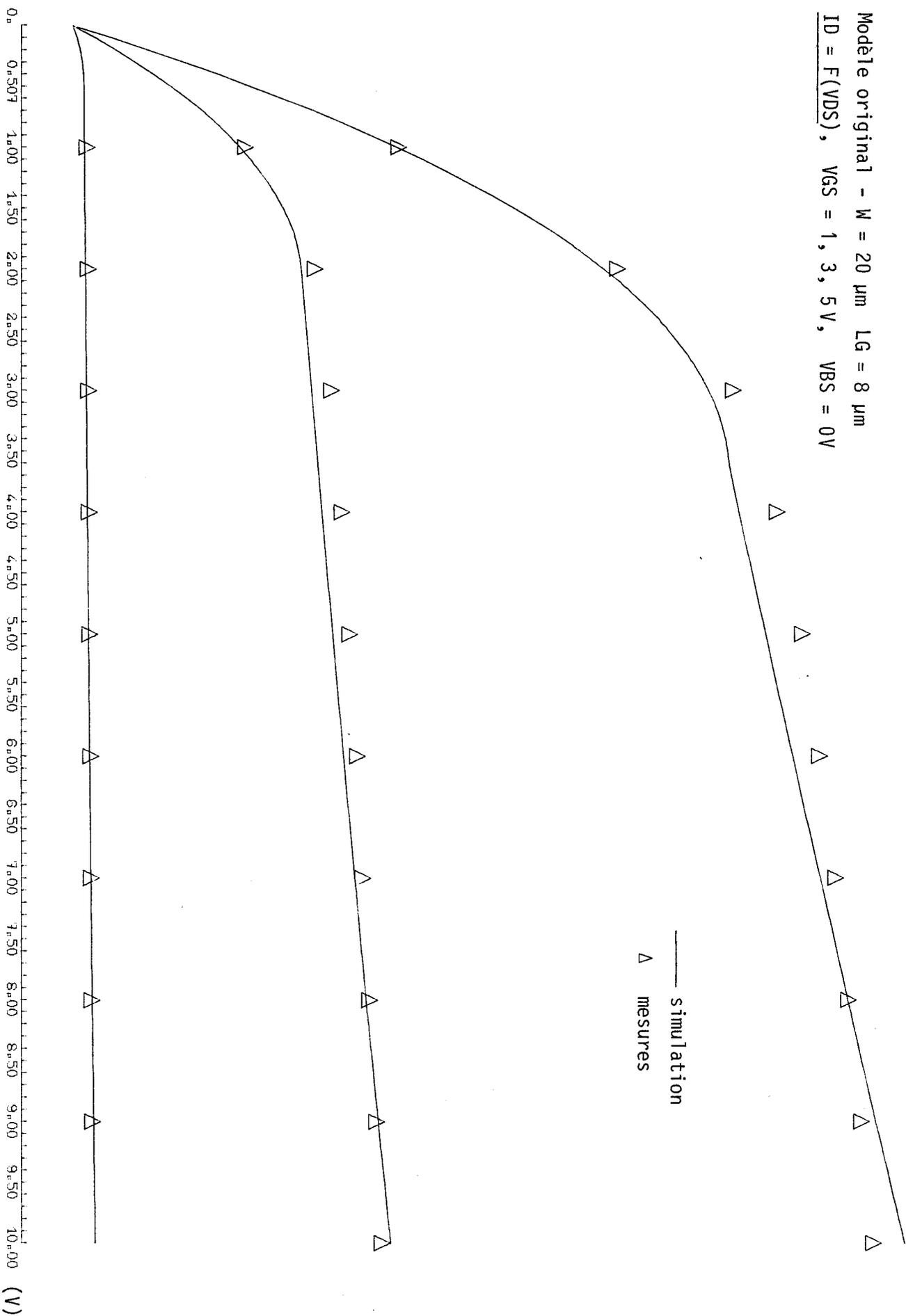
0.15E-03

0.10E-03

0.50E-04

0.00E+00

Model original - W = 20 μ m LG = 8 μ m
ID = F(VDS), VGS = 1, 3, 5 V, VBS = 0V



II. EXTRACTION DES PARAMÈTRES DE SIMULATION

1. INTRODUCTION

Un des problèmes rencontrés par le concepteur de circuits intégrés MOS, lors d'une simulation, est la spécification de la valeur des paramètres utiles au simulateur.

Le modèle décrit dans le chapitre précédent nécessite 17 paramètres pour fonctionner correctement. Le problème est ici d'extraire ces 17 paramètres des résultats de mesures d'un circuit test.

Les principales méthodes exposées dans la littérature consistent à extraire les paramètres de manière séquentielle par des mesures appropriées. Pour exemple, l'extraction de la tension de seuil à polarisation nulle, V_{TO} est souvent faite à l'aide des mesures $I_D = f(V_{GS})$ à V_{DS} faible, l'intersection de la tangente au point d'inflexion de la courbe avec l'axe des abscisses (Fig. II.1) nous donne directement la tension de seuil du transistor.

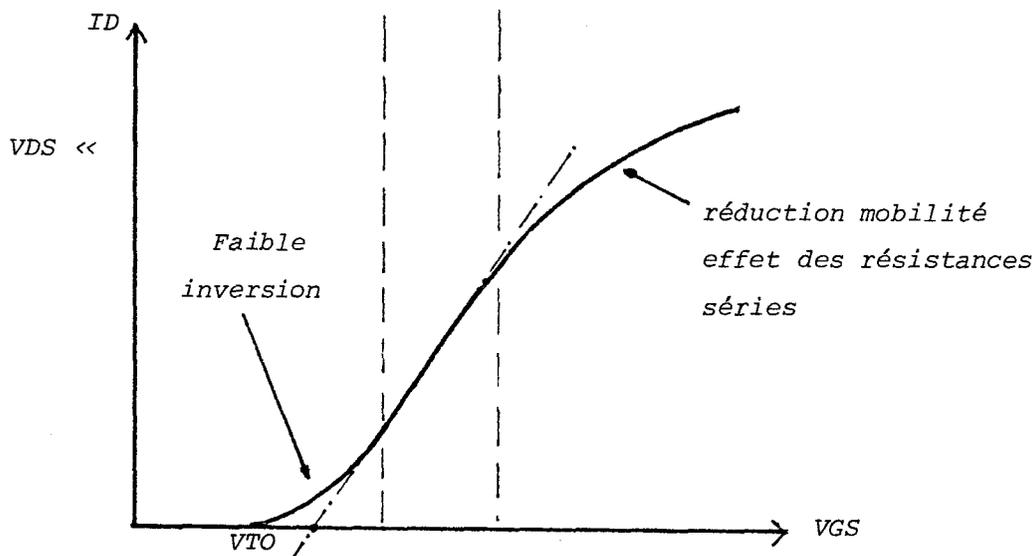


Fig. II.1.

En effet, pour VDS petit nous pouvons écrire :

$$I_{DS} = \mu_s \cdot C_{OX} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH} - a \cdot \frac{V_{DS}}{2}) \cdot V_{DS}$$

$$\# \mu_s \cdot C_{OX} \cdot \frac{W}{L} (V_{GS} - V_{TH}) \cdot V_{DS}$$

Si le transistor est long et large, et sans polarisation de substrat, cette équation se transforme :

$$I_{DS} \# \mu_s \cdot C_{OX} \cdot \frac{W}{L} (V_{GS} - V_{TO}) \cdot V_{DS}$$

Bien que la tangente au point d'inflexion ne soit pas toujours aisée à trouver, l'extraction de VTO est un cas facile. Un profil de concentration non constant dans le substrat rendrait le problème plus complexe.

Une extraction séquentielle des autres paramètres prendra comme base l'exactitude des paramètres précédemment acquis.

Tous les paramètres ne sont pas isolés comme la tension de seuil : nous prendrons l'exemple de GAMMA qui rend compte de l'effet de substrat.

La tension de seuil s'exprime par (I,2,8) :

$$V_{TH} = V_{TO} + \text{GAMMA} (\sqrt{\text{PHI} + V_{SB}} - \sqrt{\text{PHI}})$$

GAMMA est alors déduit de cette équation en calculant la pente de la droite dans le plan $(\sqrt{\text{PHI} + V_{SB}}, V_{TH})$. L'extraction de GAMMA nécessite donc la connaissance de VTH et PHI. Il est évident que l'extraction successive des autres paramètres cumulerait progressivement les différentes erreurs et pourrait amener des résultats médiocres.

La méthode proposée dans la partie suivante évite ces problèmes et prend en compte toutes les interactions entre paramètres.

2. METHODE D'EXTRACTION

Les paramètres seront simultanément ajustés à l'aide d'un algorithme de minimisation de fonctions non linéaires à plusieurs variables. La fonction à minimiser sera ici la somme des carrés des erreurs relatives entre les résultats de calcul du modèle et les résultats de mesures, les variables seront les paramètres cherchés.

Soit \vec{x} le vecteur des paramètres d'entrée et $\vec{f}(\vec{x})$ le vecteur erreur résultant, nous aurons alors l'organigramme suivant :

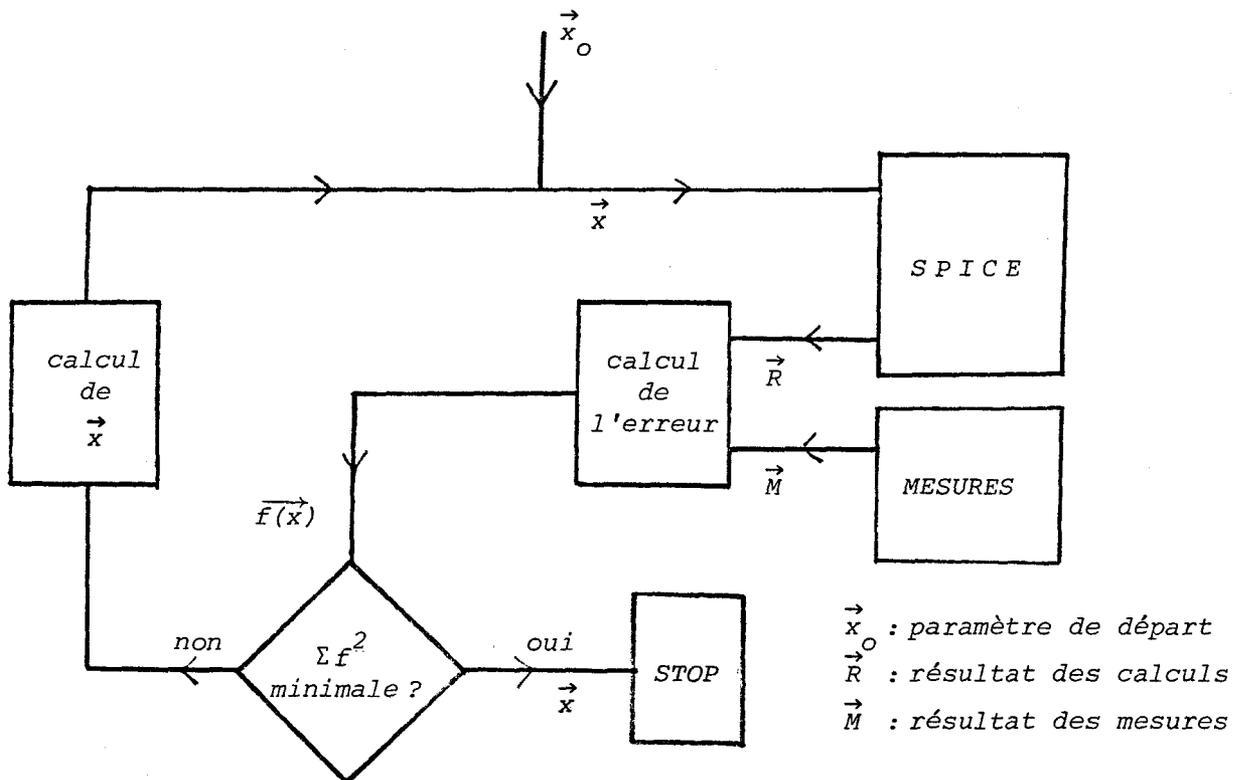


Fig. II.2.

A chaque itération de l'algorithme le modèle est calculé et le vecteur d'erreur, généré. Le vecteur des paramètres, \vec{x} , est alors ajusté

afin de réduire $||\vec{f}(\vec{x})||^2$, la somme des carrés des erreurs. Le processus de calcul se termine quand $||\vec{f}(\vec{x})||^2$ est inférieure à une valeur donnée.

Le sous-programme de minimisation de fonctions non linéaires à plusieurs variables est le sous-programme VAOSAM de la bibliothèque de HARWELL. Ce sous-programme est un compromis entre trois méthodes de calcul de minimums : méthode de NEWTON-RAPHSON, méthode des gradients conjugués et méthode de MARQUARD. L'utilisateur doit y spécifier en entrée la précision souhaitée, l'écart maximum permis entre valeur initiale et valeur finale des paramètres et le nombre maximum d'itérations [II,2,1].

3. PARAMETRES DU SIMULATEUR SPICE 2G

Nous allons dans un premier temps lister et classer les différents paramètres utiles au simulateur.

La modélisation du transistor MOS par le programme SPICE 2G nécessite deux séries de paramètres : la première concerne le fonctionnement intrinsèque du transistor vu au chapitre précédent, la seconde concerne le fonctionnement extrinsèque du composant, c'est-à-dire, les éléments parasites associés.

Les paramètres de modélisation intrinsèque sont :

VTO	tension de seuil à polarisation nulle
KP	paramètre de transconductance
GAMMA	paramètre d'effet de substrat
PHI	potentiel de surface du canal en régime de forte inversion
TOX	épaisseur d'oxyde de grille
NSUB	concentration du substrat
XJ	profondeur de jonction (source ou drain)
LD	diffusion latérale (jonction source ou drain)
UO	mobilité de surface à polarisation nulle
VMAX	vitesse maximale des porteurs dans le canal
XQC	part des charges du canal attribuée au drain en régime de saturation
DELTA	effet canal étroit
THETA	réduction de la mobilité par la champ électrique vertical
ETA	action de la tension drain-source sur la tension de seuil
KAPPA	réduction de la mobilité par le champ électrique horizontal
RD	résistance série de drain
RS	résistance série de source

Nous avons de même les paramètres extrinsèques :

RSH	résistance parasite de drain et de source par carré
CJ	capacité de jonction substrat-source ou substrat-drain par unité de surface
CJSW	capacité de bord de la jonction substrat-source ou substrat-drain par unité de longueur
JS	courant de saturation de la jonction substrat source ou substrat-drain par unité de surface
CGDO	capacité de recouvrement grille-drain par mètre de largeur de canal
CGSO	capacité de recouvrement grille-source par mètre de largeur de canal
CGBO	capacité de recouvrement grille-substrat par mètre de longueur de canal

Nous nous intéresserons à l'extraction des paramètres concernant le fonctionnement statique du composant et donc principalement aux paramètres intrinsèques décrits précédemment. Nous prendrons un circuit test minimisant les résistances parasites de drain et de source pour éviter l'influence de RSH.

- choix des paramètres à ajuster

Certains paramètres sont redondants : KP peut être calculé à l'aide de UO et TOX, GAMMA peut être calculé à l'aide de NSUB et TOX ... Le programme SPICE 2G donne la possibilité à l'utilisateur d'intervenir directement sur un paramètre important sans le calculer de manière systématique à l'aide d'autres paramètres, ces derniers pouvant jouer un autre rôle dans les équations.

Cette manière de procéder découple entre eux les différents effets physiques et amène alors une modélisation empirique du dispositif.

D'après les équations du premier chapitre, nous avons :

$$\text{PHI} = \frac{2 \cdot \text{KT}}{q} \cdot \text{Log} \frac{\text{NSUB}}{n_i}$$

$$KP = U_0 \cdot \frac{\epsilon_0 \cdot \epsilon_{SI}}{TOX}$$

$$GAMMA = \frac{\sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{SI} \cdot q \cdot NSUB}}{\epsilon_{OX} \cdot \epsilon_0} \cdot TOX$$

PHI, KP et GAMMA sont calculés par TOX, NSUB et U₀ et peuvent, à priori, être éliminés de la liste des paramètres à extraire. Cette élimination sous-entend alors que l'effet physique correspondant est calculé de manière exacte par les paramètres de base.

Nous garderons alors PHI et GAMMA qui modélisent de manière approchée l'effet de substrat et ne rendent pas compte d'une concentration non uniforme du substrat.

- classification des paramètres

Nous allons tenter de classer les paramètres utiles selon leur type : PHYSIQUE (P), SEMI-EMPIRIQUE (SE) ou EMPIRIQUE (E), et selon leur zone de travail dans le régime de fonctionnement du transistor : régime linéaire à VDS faible (LIN), régime de saturation (SAT).

Calcul associé		TYPE			ZONE DE TRAVAIL	
		P	SE	E	LIN	SAT
VTO	tension de seuil	X			X	X
GAMMA	effet substrat		X		X	X
PHI	potentiel de surface du canal		X		X	X
NSUB	effet canal court conductance de sortie	X			X	X
XJ	effet canal court conductance de sortie		X		X	X
LD	effet canal court	X			X	X
UO	calcul du courant	X			X	X

Calcul associé		TYPE			ZONE DE TRAVAIL	
		P	SE	E	LIN	SAT
VMAX	tension de saturation conductance de sortie		X			X
DELTA	effet canal étroit			X	X	X
THETA	réduction de la mobilité par le champ vertical			X	X	X
ETA	action de VDS sur VTH effet canal court			X	X	X
KAPPA	réduction de la mobilité par le champ électrique horizontal			X		X
RD	résistance série drain		X		X	X
RS	résistance série source		X		X	X

Les paramètres physiques doivent normalement correspondre à la valeur mesurée sur échantillon, les paramètres semi-empiriques doivent approcher cette valeur ($\pm 20\%$) ; quant aux paramètres empiriques, ils contribuent numériquement à la convergence du modèle sur les mesures.

Cette classification nous permettra, après pondération des paramètres purement physiques, d'orienter l'extracteur vers une solution réaliste.

4. EXTRACTION DES PARAMETRES UTILES AU PROGRAMME SPICE 2G

- choix des mesures

Les mesures obtenues du circuit test doivent être représentatives de l'ensemble des paramètres à extraire. Nous devons donc travailler sur un motif de plusieurs transistors et sur des mesures décrivant l'ensemble des régimes de fonctionnement.

Il est parfaitement possible d'obtenir, par exemple pour un circuit test à une seule géométrie de transistor, une excellente convergence de l'extracteur. Les paramètres obtenus sont alors souvent des paramètres empiriques sans aucun sens physique (Annexe 2). Le concepteur de circuits ne pourra dans ce cas simuler une variation de procédé technologique par un simple changement de paramètre (tension de seuil par exemple), une géométrie différente de la géométrie mesurée lui donnera également de mauvaises simulations (Annexe 2, Fig. 4,5,6).

Nous choisirons donc un motif test de 3 transistors de longueur de grille différente ($LG = 20 \mu\text{m}$, $LG = 14 \mu\text{m}$, $LG = 8 \mu\text{m}$) et effectuerons des mesures en régime linéaire et en régime saturé ($ID = f(VGS)$, $VDS = 50 \text{ MV}$, $VBS = 0, -2, -4\text{V}$ et $ID = f(VDS)$, $VBS = 0, -5\text{V}$, $VGS = 1, 3, 5\text{V}$). Un ensemble d'environ 300 mesures nous permettra d'obtenir un jeu correct de paramètres.

- pondération des paramètres

L'utilisation d'un modèle analytique approché ne garantit pas l'unicité de la solution. La convergence du processus est en effet obtenue à l'aide d'un critère mathématique et non d'un critère physique : nous pouvons obtenir une solution relativement précise à l'aide de plusieurs jeux de paramètres ; lequel choisir ?

Nous allons orienter l'extracteur vers la solution physique par un système de pondération des paramètres. Nous donnerons ainsi, dans l'algorithme de minimisation, une "inertie" aux paramètres physiques connus par avance. Cette "inertie" consistera à réduire d'un facteur 5 la sensibilité du vecteur "erreur" calculé, par rapport au paramètre pondéré.

La pondération s'appliquera ici sur deux paramètres : VTO, tension de seuil à polarisation nulle et NSUB, concentration du substrat. VTO sera déterminée par la méthode exposée en (I,1) et NSUB nous sera donné de manière précise par la technologie employée.

La pondération ne va pas accroître la précision de la simulation par rapport aux mesures ; par contre, elle nous donnera un jeu de paramètres plus physiques et donc plus proches de la technologie. Cette pondération s'avère indispensable quand le nombre de points de mesures est insuffisant.

- extraction des paramètres

L'extraction des paramètres se fait maintenant en deux étapes : la première étape va extraire les paramètres spécifiques aux canaux longs à l'aide d'un réseau de caractéristiques $ID = f(VGS)$, $VDS = 50$ MV, $VBS = 0$, -2 , -4 V, mesuré sur un transistor de longueur de grille égale à $20 \mu\text{m}$. La deuxième étape va extraire les paramètres spécifiques aux canaux courts à l'aide des réseaux de caractéristiques $ID = f(VDS)$, $VBS = 0$, -5 V, $VGS = 1,3$, 5 V et $ID = f(VGS)$, $VBS = 0$, -2 , -4 V, $VDS = 50$ MV, mesurés sur des transistors de longueurs de grille égales à $20 \mu\text{m}$, $14 \mu\text{m}$ et $8 \mu\text{m}$.

Les transistors de test ont tous une largeur de $20 \mu\text{m}$. Nous n'alons donc pas extraire le paramètre DELTA modélisant un canal étroit et dont l'effet devient sensible pour une largeur de canal inférieure à $6 \mu\text{m}$. Nous prendrons d'autre part les résistances séries parasites source et drain égales à 50Ω .

Nous obtenons, pour une technologie $6 \mu\text{m}$ NMOS du laboratoire de Microélectronique de l'Université Catholique de Louvain, les résultats suivants :

1ère étape

<i>paramètre</i>	<i>état</i>	<i>valeur avant extraction</i>	<i>valeur après extraction</i>	<i>unité</i>
VTO	pondéré	0,555	0,550	v
GAMMA	normal	0,927	0,682	v ^{1/2}
THETA	normal	0,0659	0,0451	v ⁻¹
UO	normal	750	608	cm ² /V.S
PHI	normal	0,737	0,704	v
NSUB	fixe	1,10 ¹⁵	-	cm ⁻³
LD	fixe	1,5	-	µm
XJ	fixe	1,5	-	µm
VMAX	fixe	1.10 ⁵	-	m/s
KAPPA	fixe	2,0	-	-
ETA	fixe	0,7	-	-

Nombre de points de mesure : 46
Nombre d'itérations : 13
erreur moyenne au départ : 13 %
erreur maximale au départ : 69 %
erreur moyenne finale : 1,9 %
erreur maximale finale : 6,3 %

2ème étape

<i>paramètre</i>	<i>état</i>	<i>valeur avant extraction</i>	<i>valeur après extraction</i>	<i>unité</i>
VTO	pondéré	0,550	0,559	v
GAMMA	normal	0,682	0,661	v ^{1/2}
THETA	normal	0,0451	0,0447	v ⁻¹
UO	normal	608	661	cm ² /V.S
PHI	normal	0,704	0,722	v
NSUB	pondéré	1.10 ¹⁵	1,03.10 ¹⁵	cm ⁻³
LD	normal	1.5	0,73	µm
XJ	normal	1.5	1,45	µm
VMAX	normal	1.10 ⁵	0,95 10 ⁵	m/s
KAPPA	normal	2.	2,04	-
ETA	normal	0.7	0.46	-

nombre de points de mesure : 288

nombre d'itérations : 33

erreur moyenne au départ : 22 %

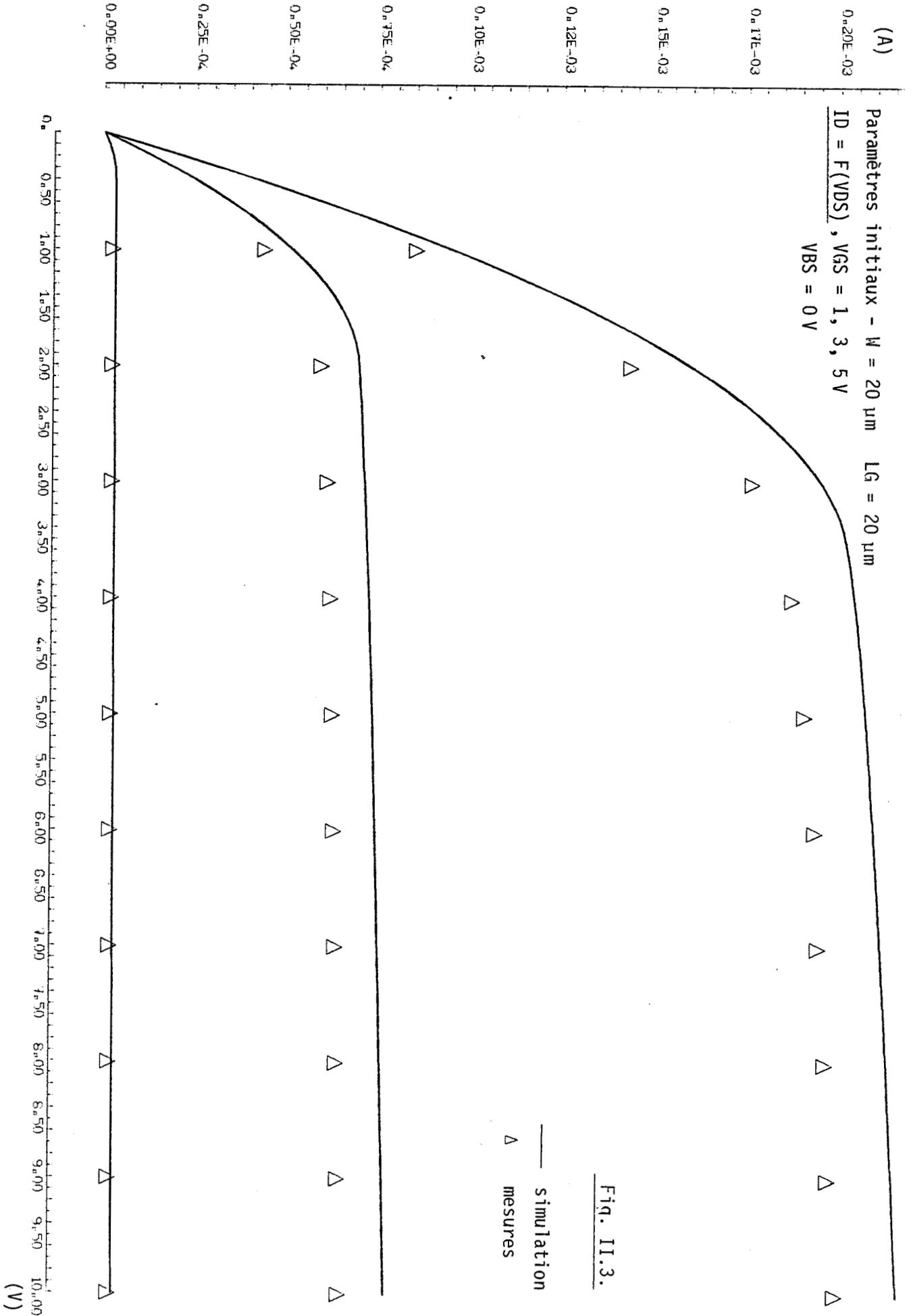
erreur maximale au départ : 221 %

erreur moyenne finale : 2,8 %

erreur maximale finale : 13 %

L'extraction ainsi faite en deux étapes, garantit une convergence facile du procédé quel que soit le jeu initial de paramètres. Pour une erreur moyenne de départ sur toutes les mesures, inférieure à 15 %, nous pouvons effectuer l'extraction en un seul passage.

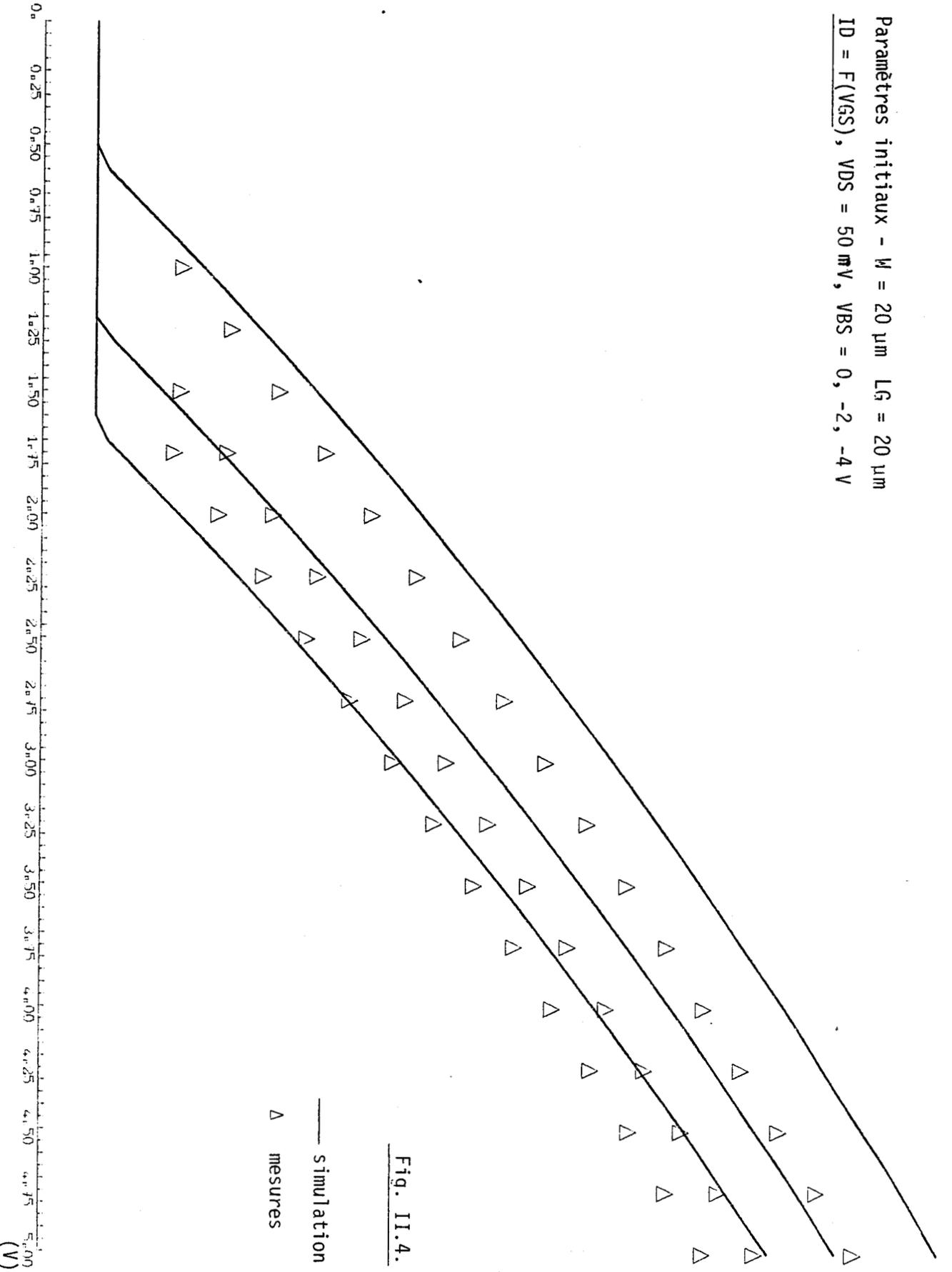
L'ensemble des courbes ci-après compare, pour le jeu initial de paramètres ainsi que pour le jeu final de paramètres, les résultats de simulation avec les mesures effectuées.



(A)

Paramètres initiaux - $W = 20 \mu\text{m}$ $L_G = 20 \mu\text{m}$
 $I_D = F(V_{GS})$, $V_{DS} = 50 \text{ mV}$, $V_{BS} = 0, -2, -4 \text{ V}$

- 0.50E-05
- 0.45E-05
- 0.40E-05
- 0.35E-05
- 0.30E-05
- 0.25E-05
- 0.20E-05
- 0.15E-05
- 0.10E-05
- 0.50E-06
- 0.00E+00

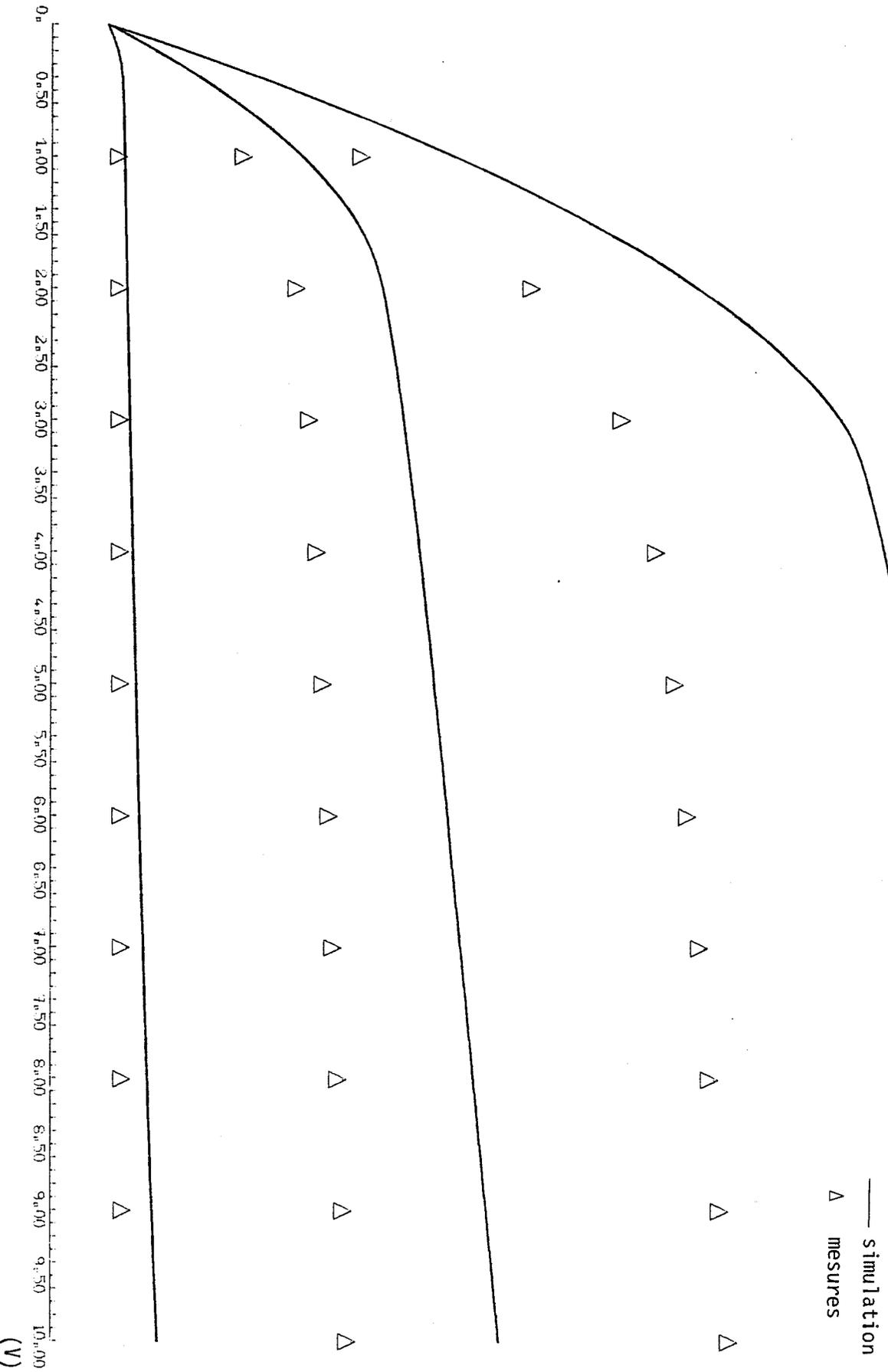


(A)

0.65E-03
0.60E-03
0.55E-03
0.50E-03
0.45E-03
0.40E-03
0.35E-03
0.30E-03
0.25E-03
0.20E-03
0.15E-03
0.10E-03
0.50E-04
0.00E+00

Paramètres initiaux - $W = 20 \mu\text{m}$ $L_g = 8 \mu\text{m}$
 $I_D = F(V_{DS})$ $V_{GS} = 1, 3, 5 \text{ V}$, $V_{BS} = 0 \text{ V}$

Fig. II.5.



- (A)
- 0.19E-04
- 0.18E-04
- 0.17E-04
- 0.16E-04
- 0.15E-04
- 0.14E-04
- 0.13E-04
- 0.12E-04
- 0.11E-04
- 0.10E-04
- 0.90E-05
- 0.80E-05
- 0.70E-05
- 0.60E-05
- 0.50E-05
- 0.40E-05
- 0.30E-05
- 0.20E-05
- 0.10E-05
- 0.00E+00

Paramètres initiaux - W = 20 μm LG = 8 μm
 $I_D = F(V_{GS})$ VDS = 50 mV, VBS = 0, -2, -4 V

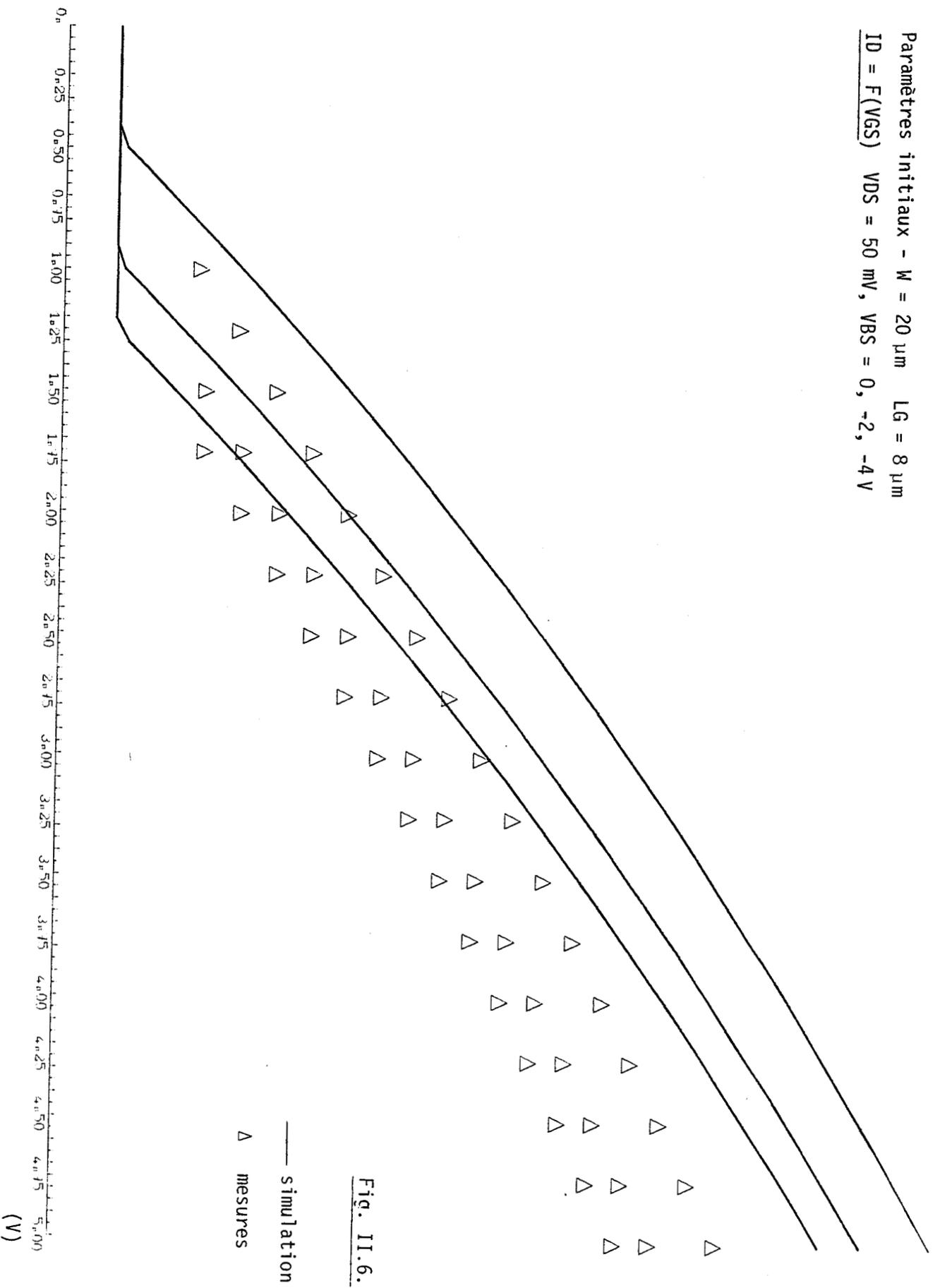


Fig. 11.6.

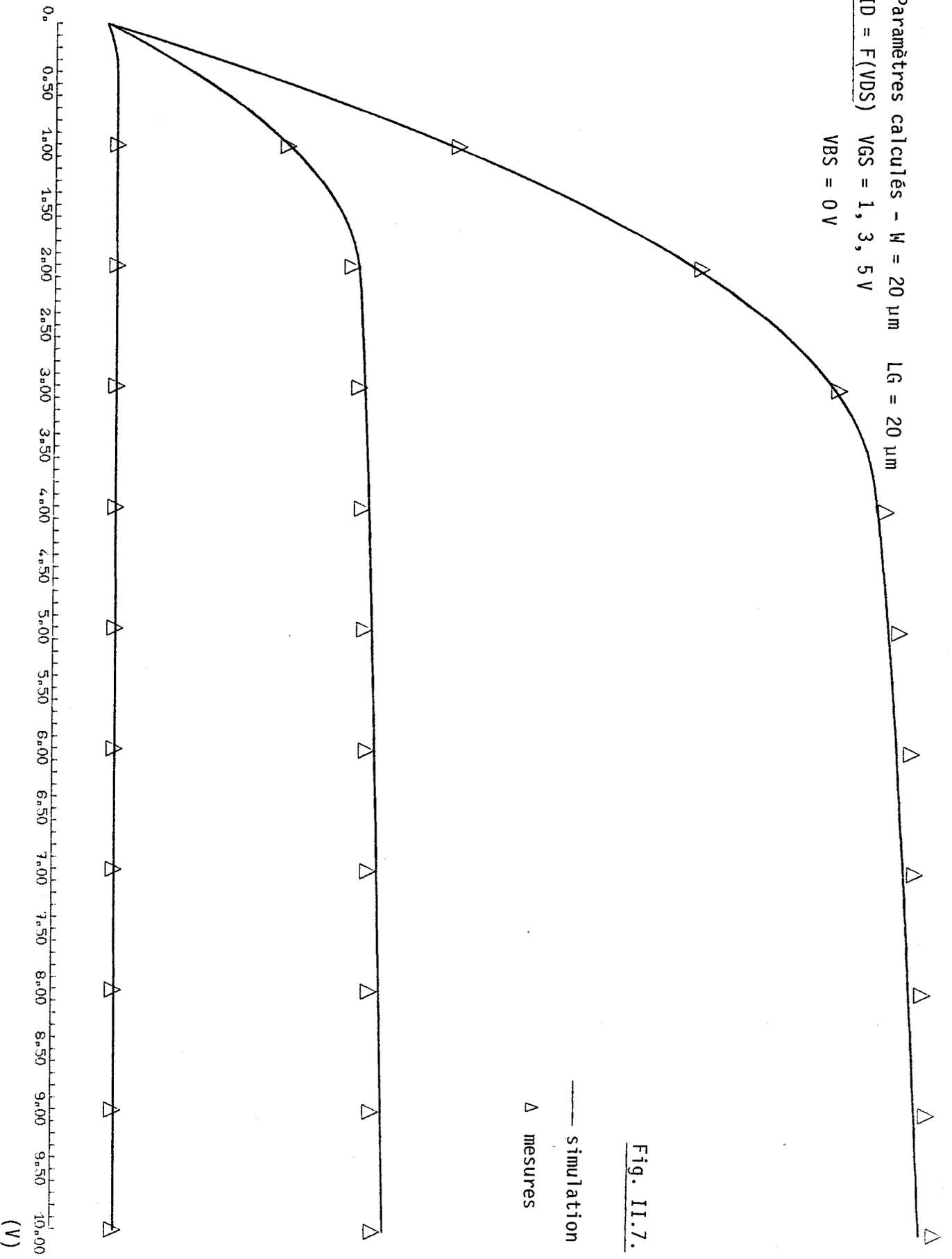
(V)

(A)

- 0.19E-03
- 0.18E-03
- 0.17E-03
- 0.16E-03
- 0.15E-03
- 0.14E-03
- 0.13E-03
- 0.12E-03
- 0.11E-03
- 0.10E-03
- 0.90E-04
- 0.80E-04
- 0.70E-04
- 0.60E-04
- 0.50E-04
- 0.40E-04
- 0.30E-04
- 0.20E-04
- 0.10E-04
- 0.00E+00

55

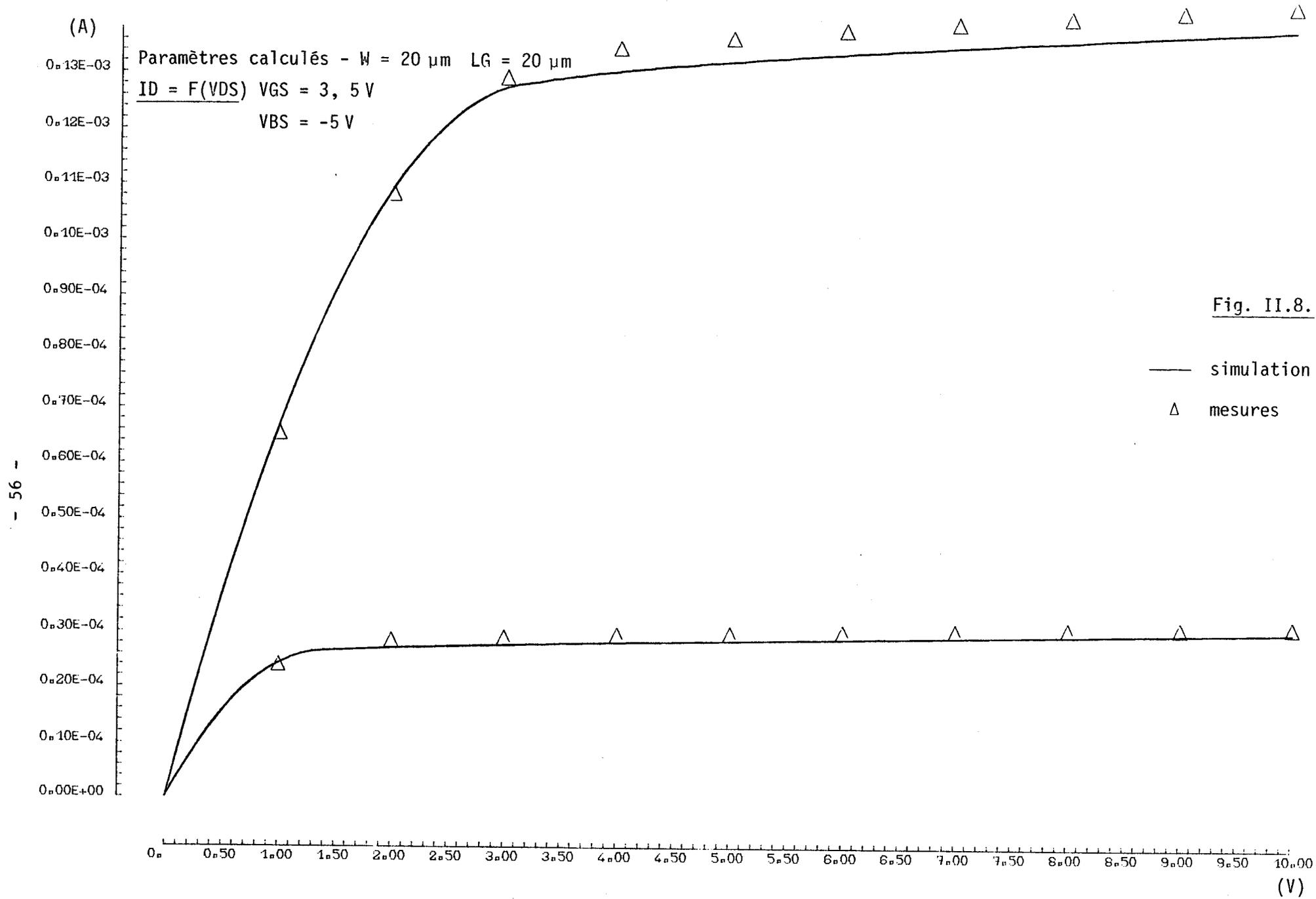
Paramètres calculés - $W = 20 \mu\text{m}$ $L_G = 20 \mu\text{m}$
 $ID = F(VDS)$ $VGS = 1, 3, 5 \text{ V}$
 $VBS = 0 \text{ V}$



— simulation
 Δ mesures

Fig. II.7.

(V)



(A)

- 0.47E-05
- 0.45E-05
- 0.42E-05
- 0.40E-05
- 0.37E-05
- 0.35E-05
- 0.32E-05
- 0.30E-05
- 0.27E-05
- 0.25E-05
- 0.22E-05
- 0.20E-05
- 0.17E-05
- 0.15E-05
- 0.12E-05
- 0.10E-05
- 0.75E-06
- 0.50E-06
- 0.25E-06
- 0.00E+00

Paramètres calculés - $W = 20 \mu\text{m}$ $L_G = 20 \mu\text{m}$
 $I_D = F(V_{GS})$ $V_{DS} = 50 \text{ mV}$, $V_{BS} = 0, -2, -4 \text{ V}$

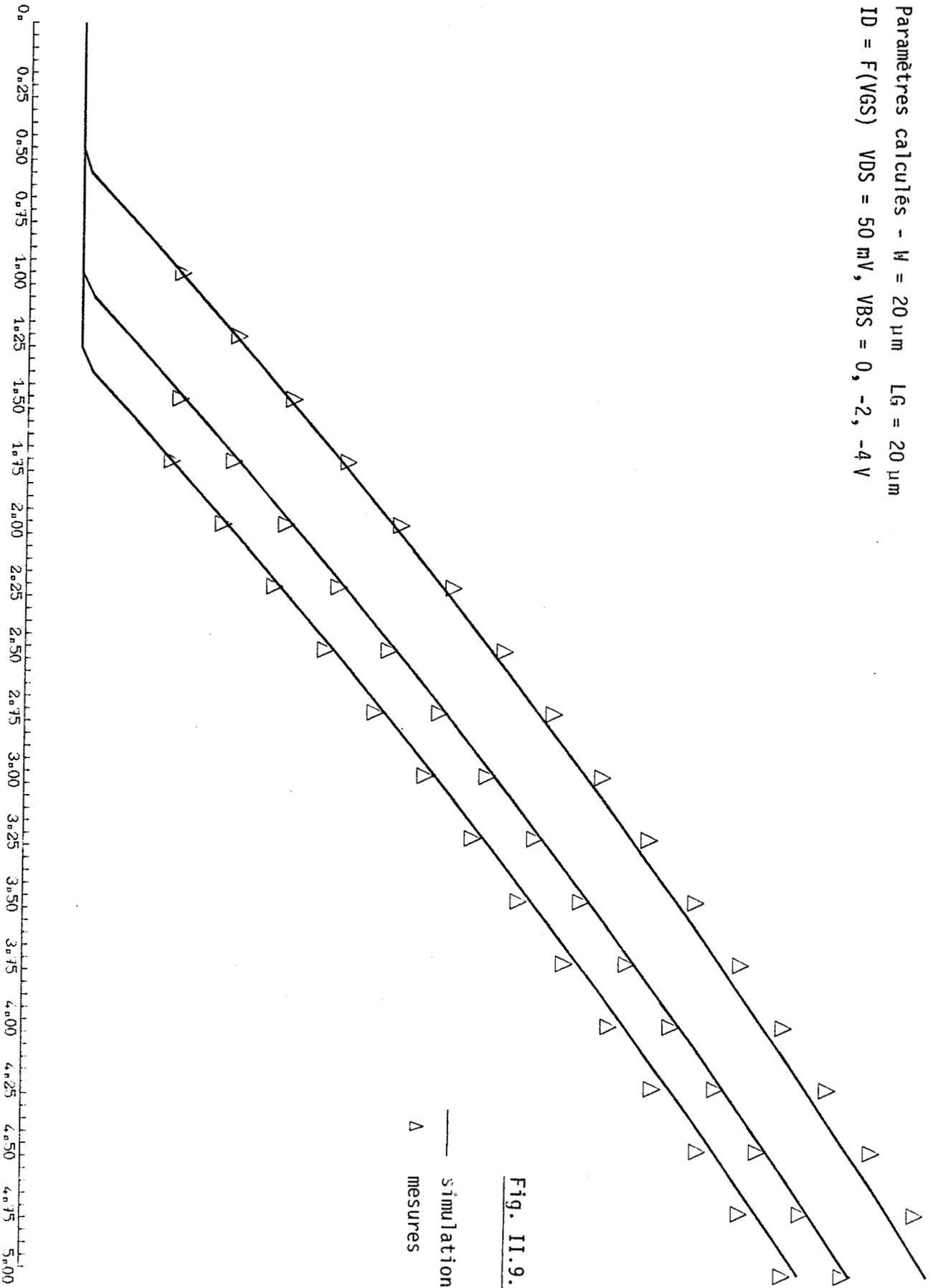


Fig. II.9.

— simulation
 Δ mesures

(V)

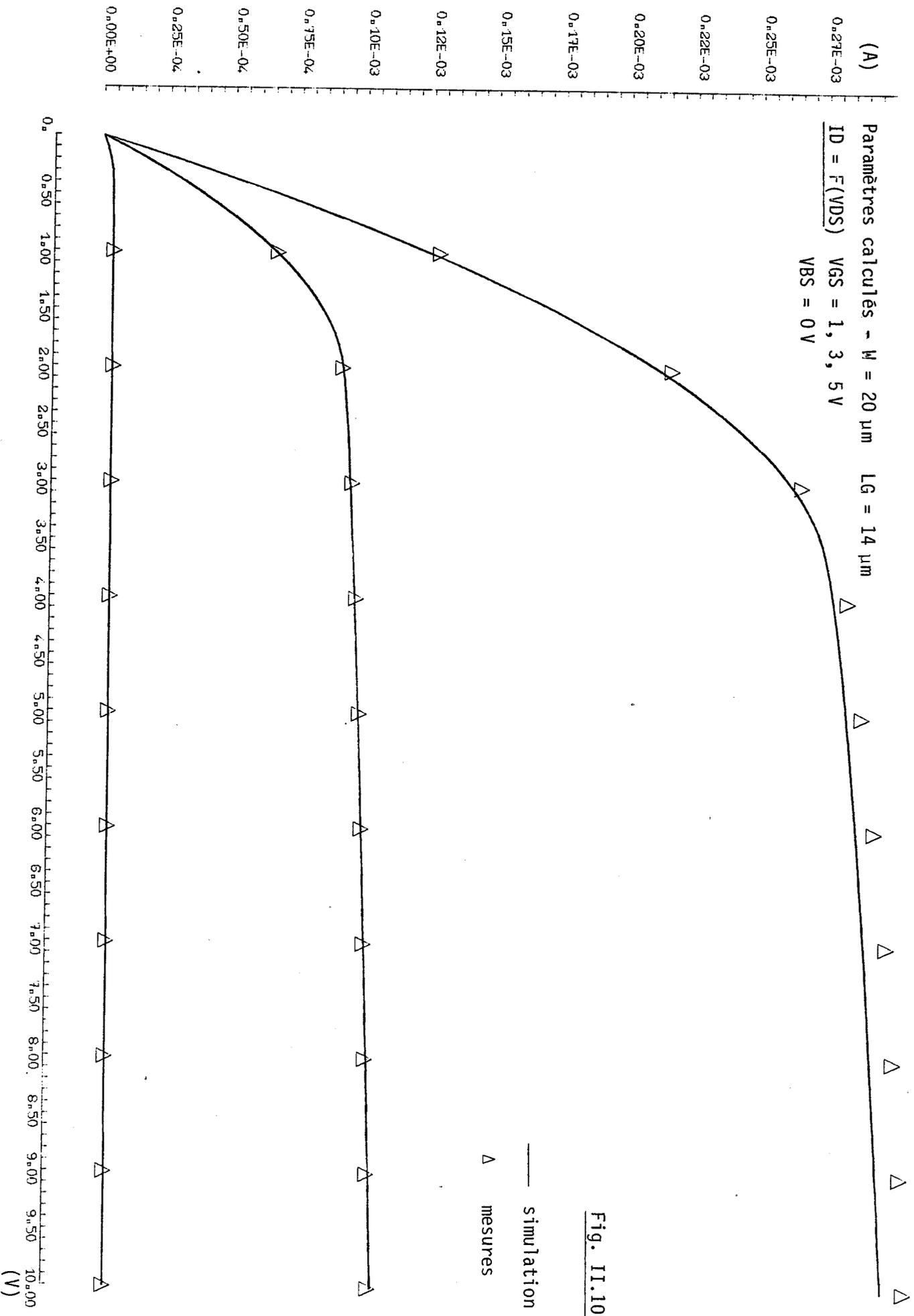


Fig. II.10.

(A)

Paramètres calculés - $W = 20 \mu\text{m}$ $L_G = 14 \mu\text{m}$ Δ
 $ID = F(VDS)$ $VGS = 3, 5 \text{ V}$
 $VBS = -5 \text{ V}$

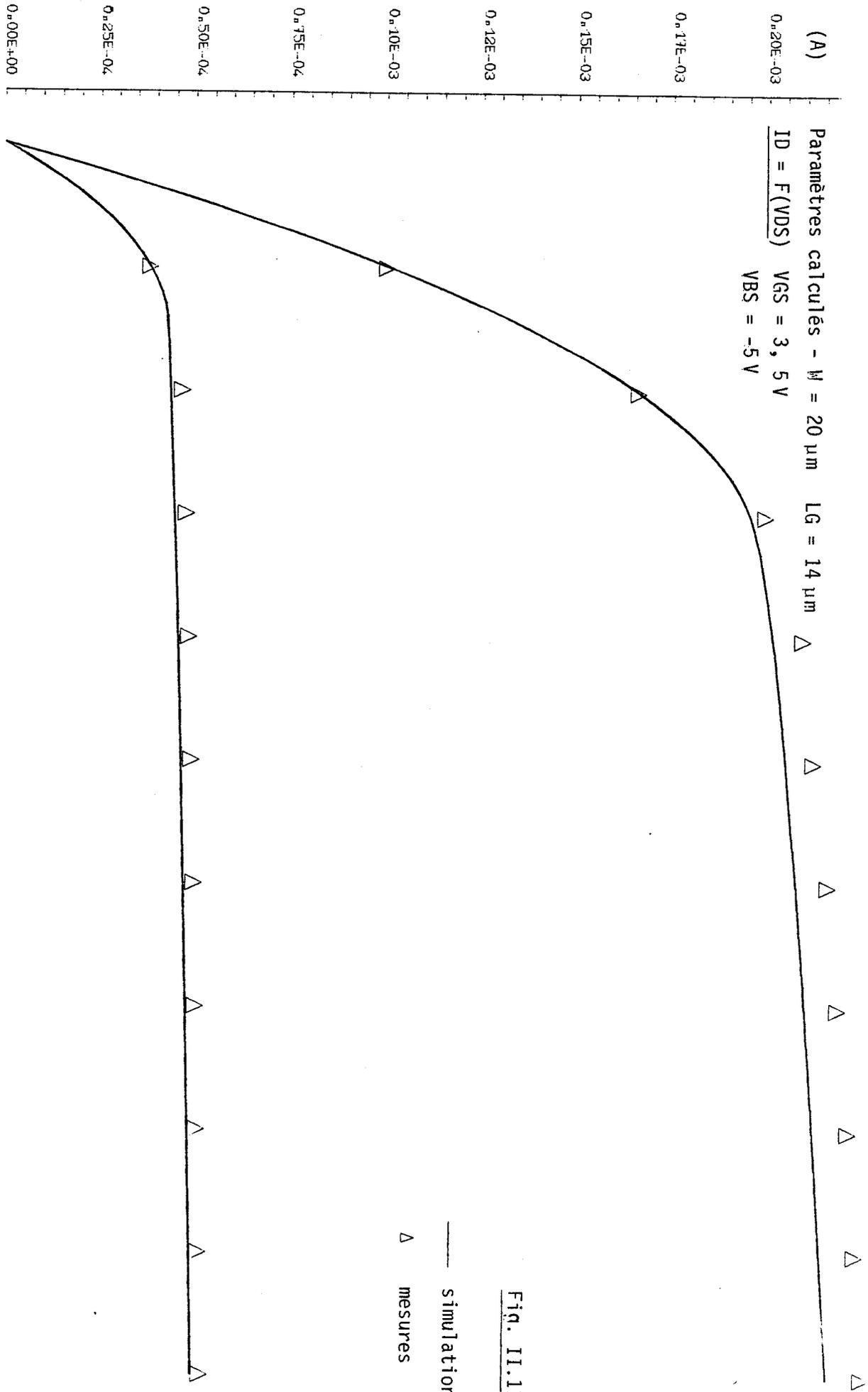


Fig. II.11.

— simulation
 Δ mesures

(V)

(A) $0.10E-05$
 $0.65E-05$
 $0.60E-05$
 $0.55E-05$
 $0.50E-05$
 $0.45E-05$
 $0.40E-05$
 $0.35E-05$
 $0.30E-05$
 $0.25E-05$
 $0.20E-05$
 $0.15E-05$
 $0.10E-05$
 $0.50E-06$
 $0.00E+00$

Paramètres calculés - $W = 20 \mu\text{m}$ $L_g = 14 \mu\text{m}$
 $I_D = F(V_{GS})$ $V_{DS} = 50 \text{ mV}$ $V_{BS} = 0, -2, -4 \text{ V}$

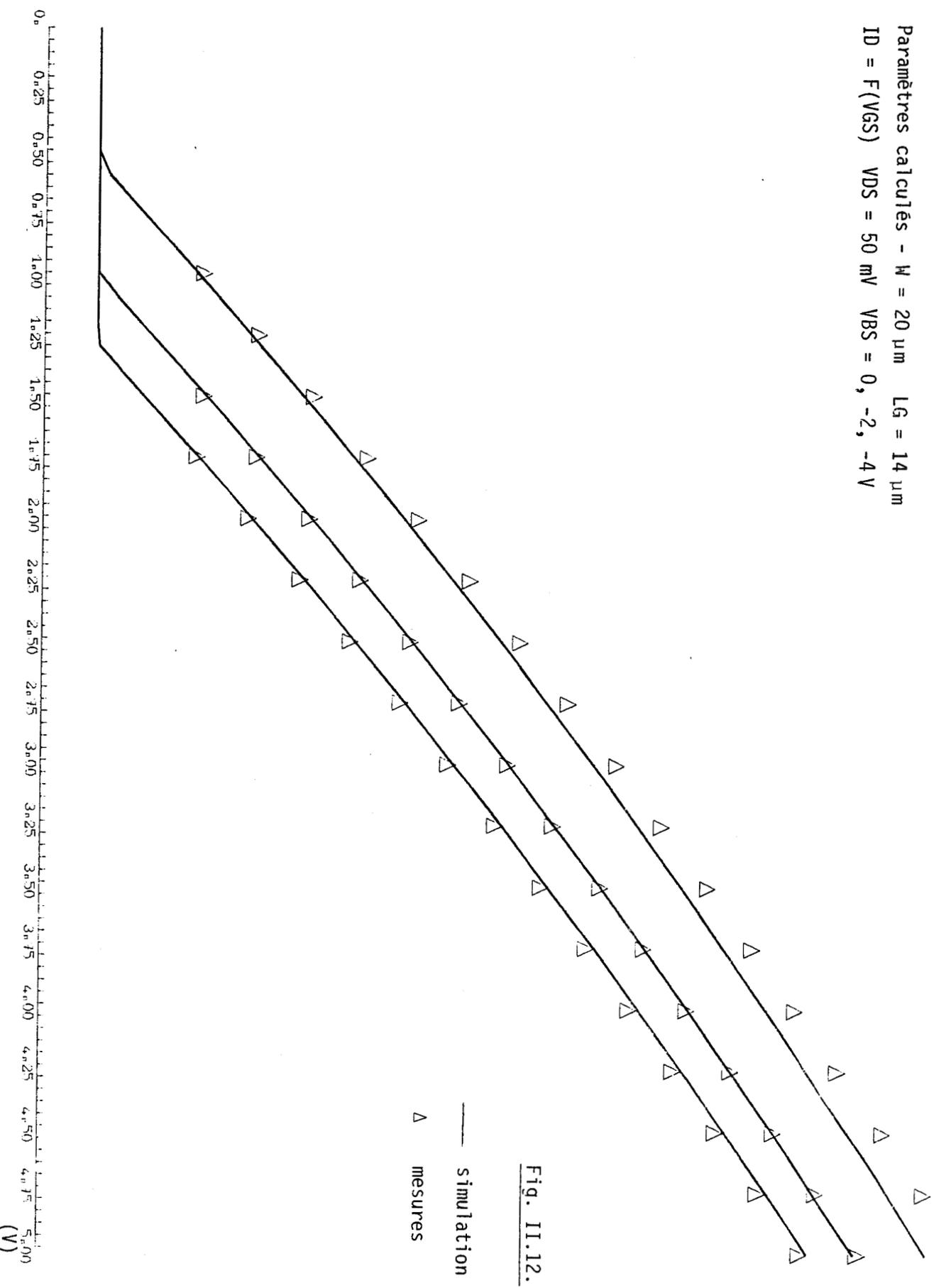


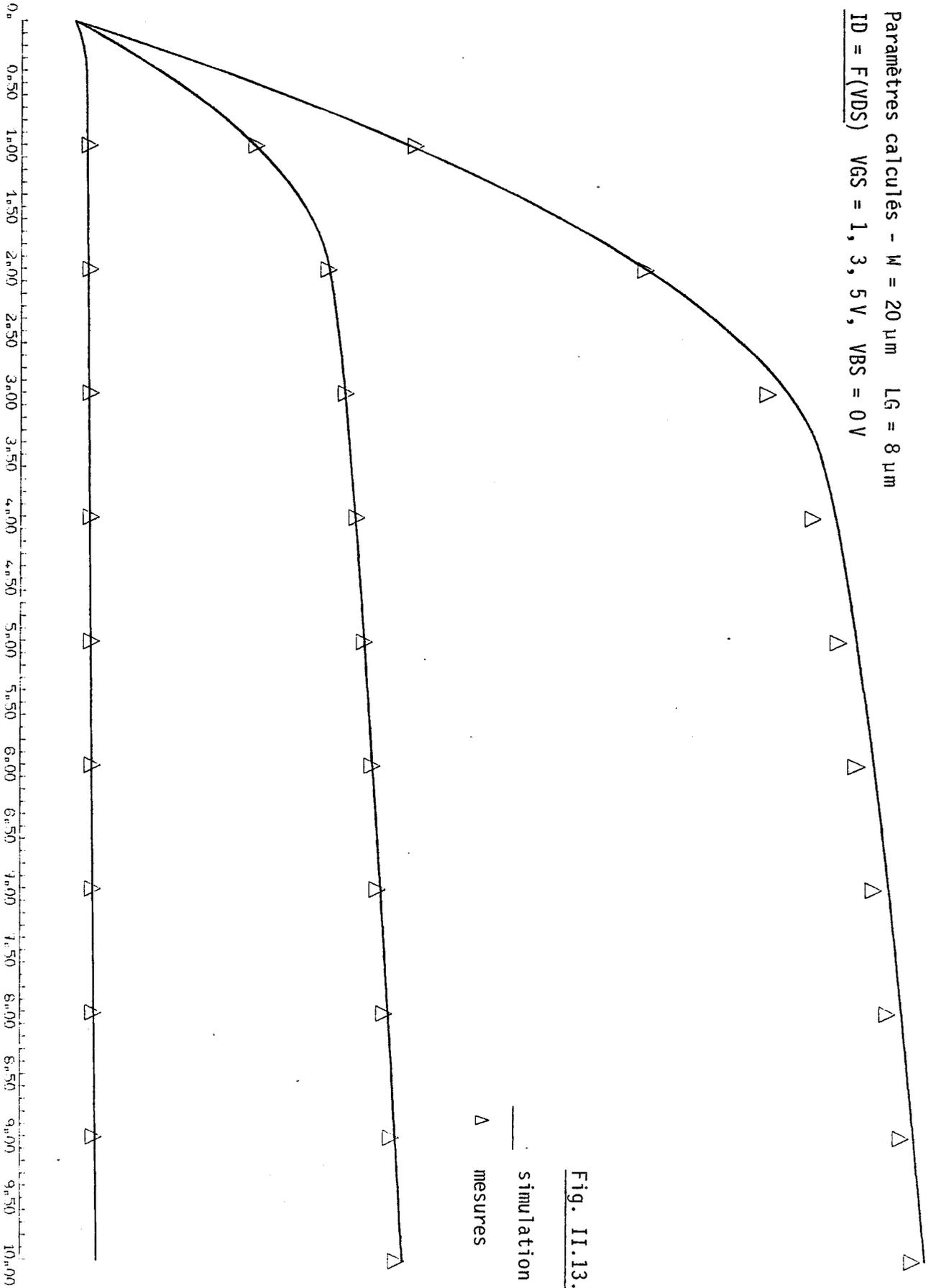
Fig. II.12.

(V)

(A)

0.60E-03
0.55E-03
0.50E-03
0.45E-03
0.40E-03
0.35E-03
0.30E-03
0.25E-03
0.20E-03
0.15E-03
0.10E-03
0.50E-04
0.00E+00

Paramètres calculés - $W = 20 \mu\text{m}$ $L_G = 8 \mu\text{m}$
 $I_D = F(V_{DS})$ $V_{GS} = 1, 3, 5 \text{ V}$, $V_{BS} = 0 \text{ V}$



— simulation
 Δ mesures

Fig. II.13.

(V)

(A)

- 0.47E-03
- 0.45E-03
- 0.42E-03
- 0.40E-03
- 0.37E-03
- 0.35E-03
- 0.32E-03
- 0.30E-03
- 0.27E-03
- 0.25E-03
- 0.22E-03
- 0.20E-03
- 0.17E-03
- 0.15E-03
- 0.12E-03
- 0.10E-03
- 0.75E-04
- 0.50E-04
- 0.25E-04
- 0.00E+00

Paramètres calculés - $W = 20 \mu\text{m}$ $LG = 8 \mu\text{m}$
 $ID = F(VDS)$ $VGS = 3, 5 \text{ V}$, $VBS = -5 \text{ V}$

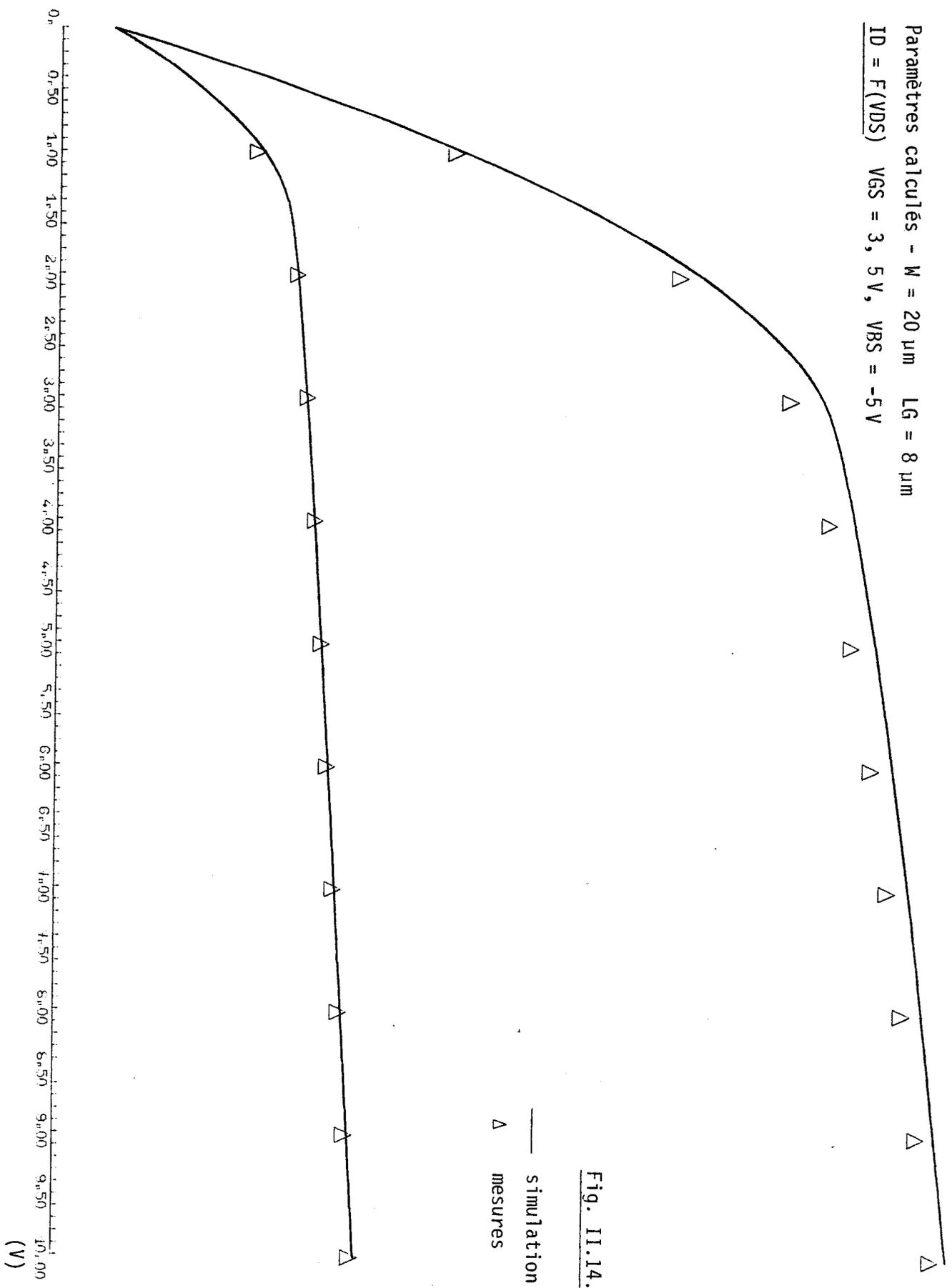
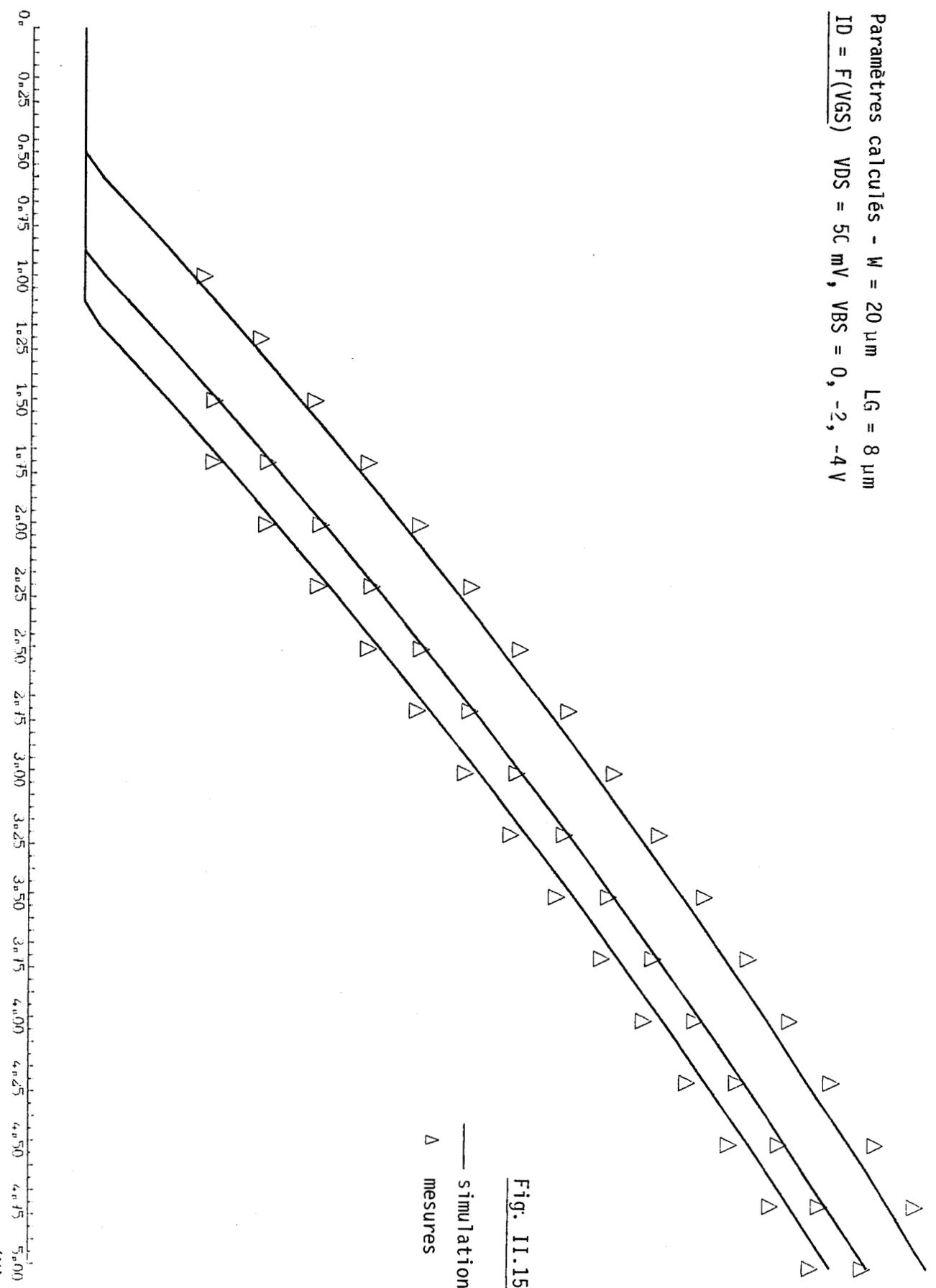


Fig. II.14.

(A)

0.13E-04
0.12E-04
0.11E-04
0.10E-04
0.90E-05
0.80E-05
0.70E-05
0.60E-05
0.50E-05
0.40E-05
0.30E-05
0.20E-05
0.10E-05
0.00E+00

Paramètres calculés - $W = 20 \mu\text{m}$ $L_G = 8 \mu\text{m}$
 $I_D = F(V_{GS})$ $V_{DS} = 50 \text{ mV}$, $V_{BS} = 0, -2, -4 \text{ V}$



— simulation
 Δ mesures

Fig. II.15.

(V)

Nous allons maintenant comparer un jeu de paramètres issu d'une extraction sans pondération avec le jeu de paramètres précédemment calculé.

<i>paramètre</i>	<i>extraction avec pondération</i>	<i>extraction sans pondération</i>	<i>unité</i>
VTO	0,559	0,560	V
GAMMA	0,661	0,661	V ^{1/2}
THETA	0,0447	0,0440	V ⁻¹
UO	661	664	cm ² /V.S
PHI	0,722	<u>0,792</u>	V
NSUB	1,03.10 ¹⁵	<u>1,292.10¹⁵</u>	cm ⁻³
LD	0,732	0,737	μm
XJ	1,45	<u>1,351</u>	μm
VMAX	0,951.10 ⁵	0,929.10 ⁵	m/s
KAPPA	2,04	2,05	-
ETA	0,461	<u>0,548</u>	-

L'erreur finale obtenue est identique dans les deux cas (2,8 %). Seuls les paramètres PHI, NSUB, XJ et ETA changent d'une méthode à l'autre. Bien que numériquement très bons, les paramètres issus de l'extraction sans pondération sont un peu moins réalistes que ceux issus de l'extraction avec pondération.

Nous terminerons enfin avec l'extraction des paramètres sur le modèle original du MOS proposé par le programme SPICE 2G.

Nous obtenons :

paramètre	modèle actuel	modèle original	unité
VTO	0,559	0,523	V
GAMMA	0,661	0,685	$V^{1/2}$
THETA	0,0447	<u>0,0147</u>	V^{-1}
UO	661	609	$cm^2/V.S$
PHI	0,722	<u>1,03</u>	V
NSUB	$1,03.10^{15}$	$1,12.10^{15}$	cm^{-3}
LD	0,732	<u>0,780</u>	μm
XJ	1,45	1,23	μm
VMAX	$0,951.10^5$	<u>$1,624.10^5$</u>	m/s
KAPPA	2,04	3,76	-
ETA	0,461	<u>1,19</u>	-

Le paramètre KAPPA du modèle actuel n'a pas le même sens que celui du modèle original. Nous ne pouvons donc pas les comparer. Les autres paramètres, quant à eux, sont assez différents (VMAX, THETA, PHI,). Le modèle original nous donne sur environ 300 points de mesure une précision moyenne de 3,7 %. Les résultats aux pages suivantes montrent, malheureusement, une forte erreur sur le calcul de la conductance de sortie du transistor. De plus, au voisinage de la tension de saturation, apparaît sur les dispositifs à canaux courts, une discontinuité de la dérivée première du courant drain par rapport à la tension drain (Fig. II.19) ce qui entraîne inévitablement des problèmes de convergence sur les calculs.

(A)

Modèle original - W = 20 μ m LG = 20 μ m
ID = F(VDS) VGS = 1, 3, 5 V
VBS = 0 V

- 0,18E-03
- 0,17E-03
- 0,16E-03
- 0,15E-03
- 0,14E-03
- 0,13E-03
- 0,12E-03
- 0,11E-03
- 0,10E-03
- 0,90E-04
- 0,80E-04
- 0,70E-04
- 0,60E-04
- 0,50E-04
- 0,40E-04
- 0,30E-04
- 0,20E-04
- 0,10E-04
- 0,00E+00

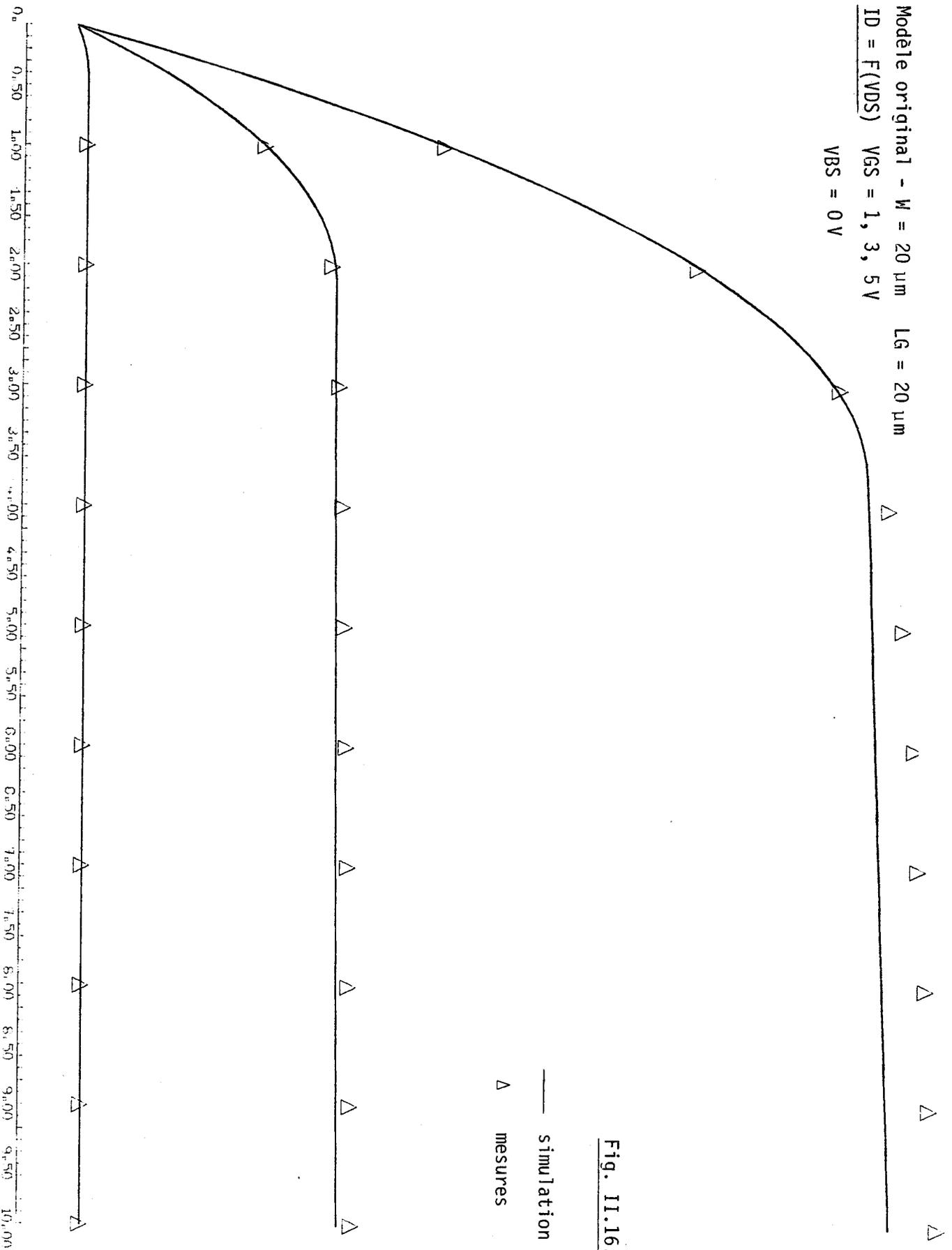


Fig. 11.16.

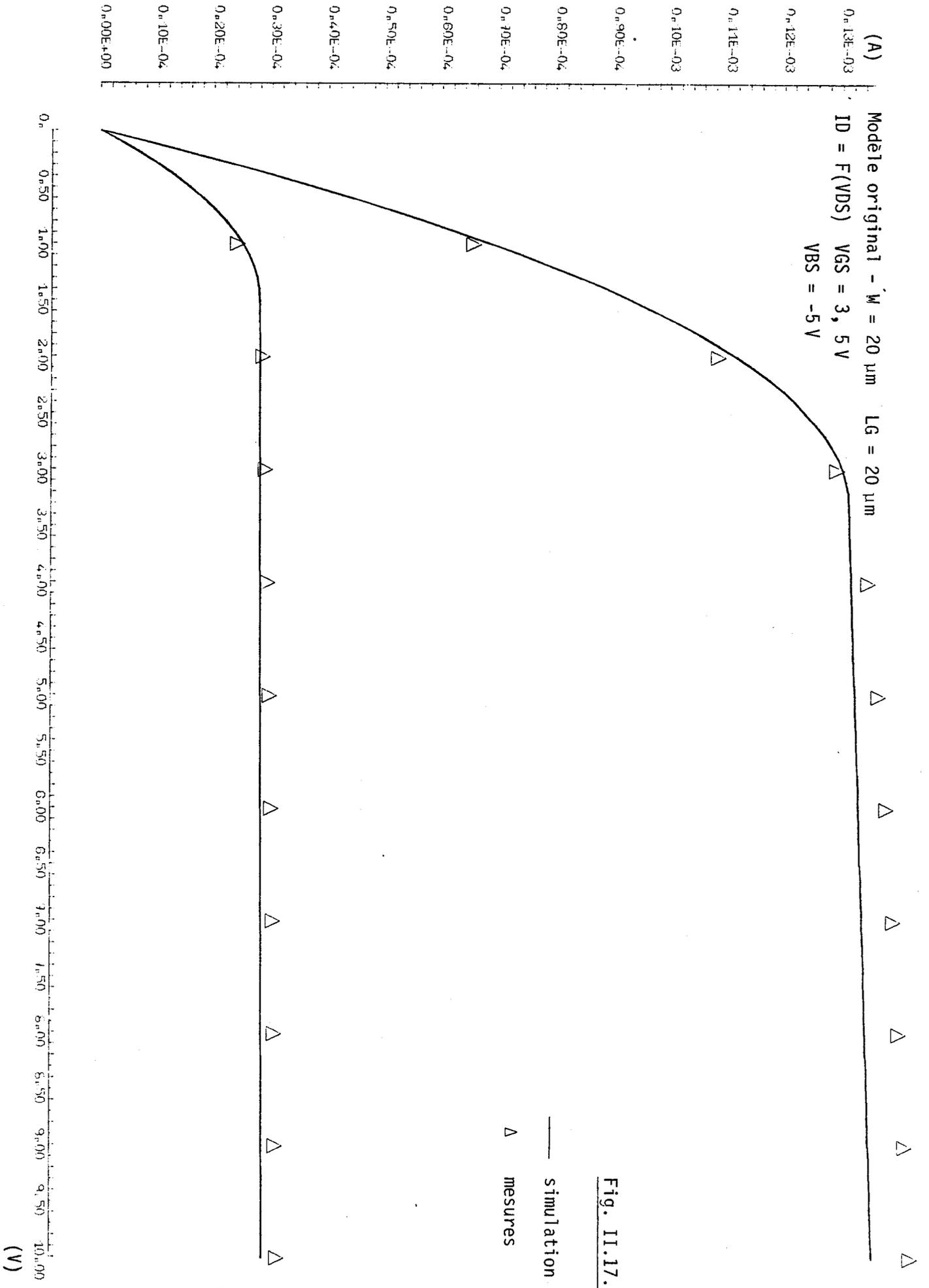


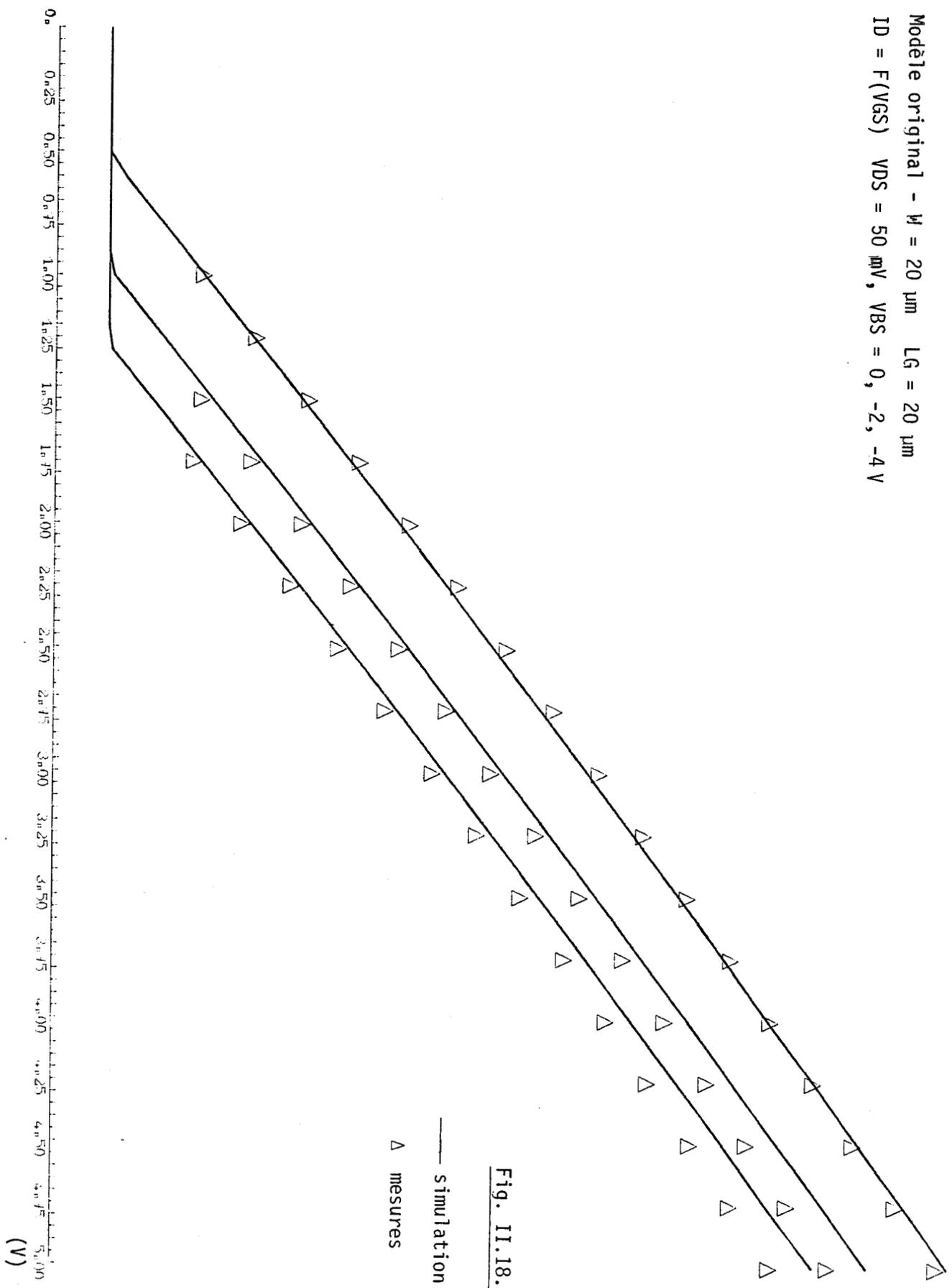
Fig. II.17.

(A)

Modèle original - $W = 20 \mu\text{m}$ $L_G = 20 \mu\text{m}$
 $ID = F(VGS)$ $VDS = 50 \text{ mV}$, $VBS = 0, -2, -4 \text{ V}$

- 0.007E-05
- 0.005E-05
- 0.002E-05
- 0.0040E-05
- 0.0037E-05
- 0.0035E-05
- 0.0032E-05
- 0.0030E-05
- 0.0027E-05
- 0.0025E-05
- 0.0022E-05
- 0.0020E-05
- 0.0017E-05
- 0.0015E-05
- 0.0012E-05
- 0.0010E-05
- 0.0075E-06
- 0.0050E-06
- 0.0025E-06
- 0.000E+00

- 68 -



(V)

(A) 0.65E-03

0.60E-03

0.55E-03

0.50E-03

0.45E-03

0.40E-03

0.35E-03

0.30E-03

0.25E-03

0.20E-03

0.15E-03

0.10E-03

0.50E-04

0.00E+00

Modèle original - $W = 20 \mu\text{m}$ $L_G = 8 \mu\text{m}$
 $ID = F(V_{DS})$ $V_{GS} = 1, 3, 5 \text{ V}$, $V_{BS} = 0 \text{ V}$

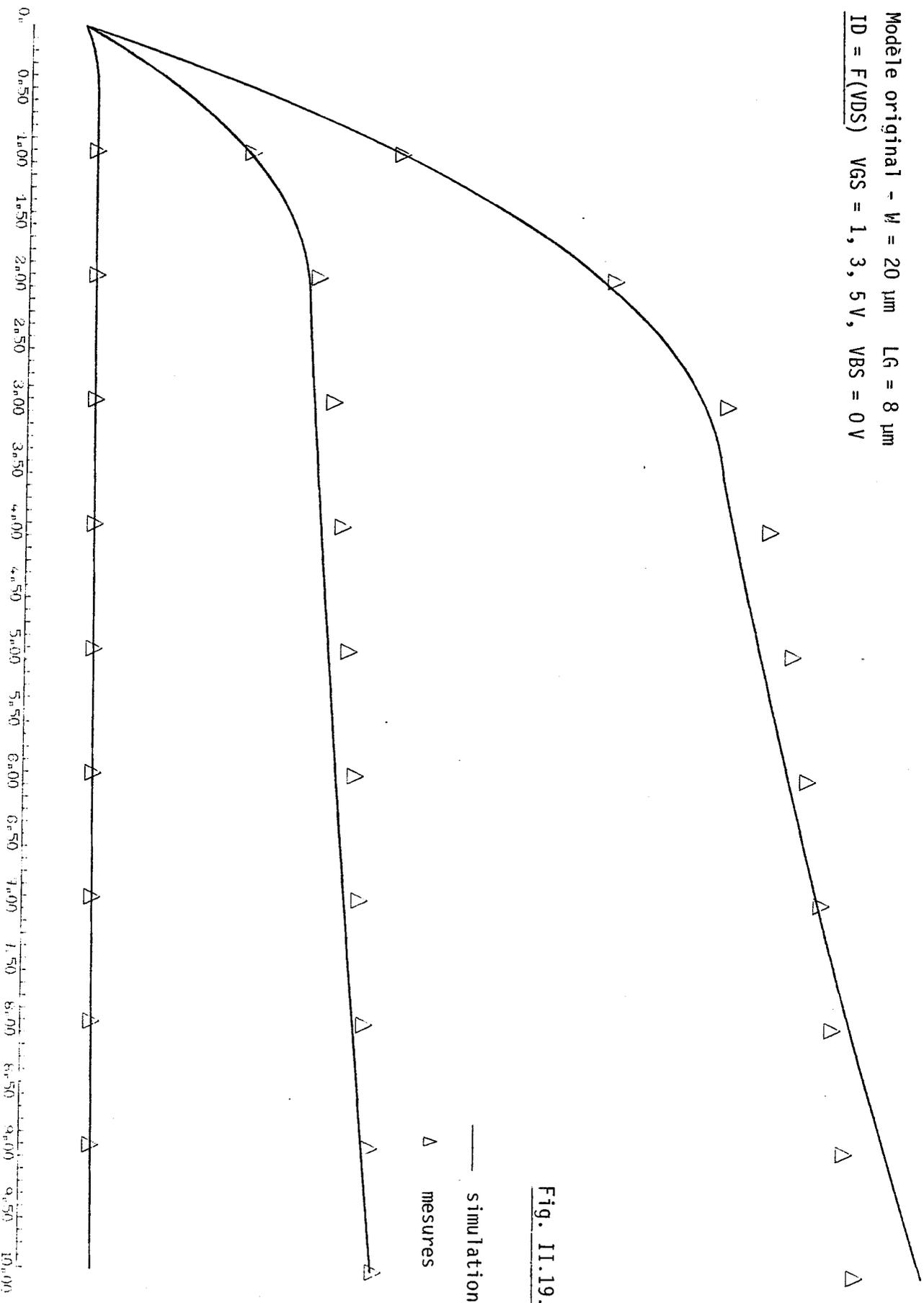


Fig. II.19.

(V)

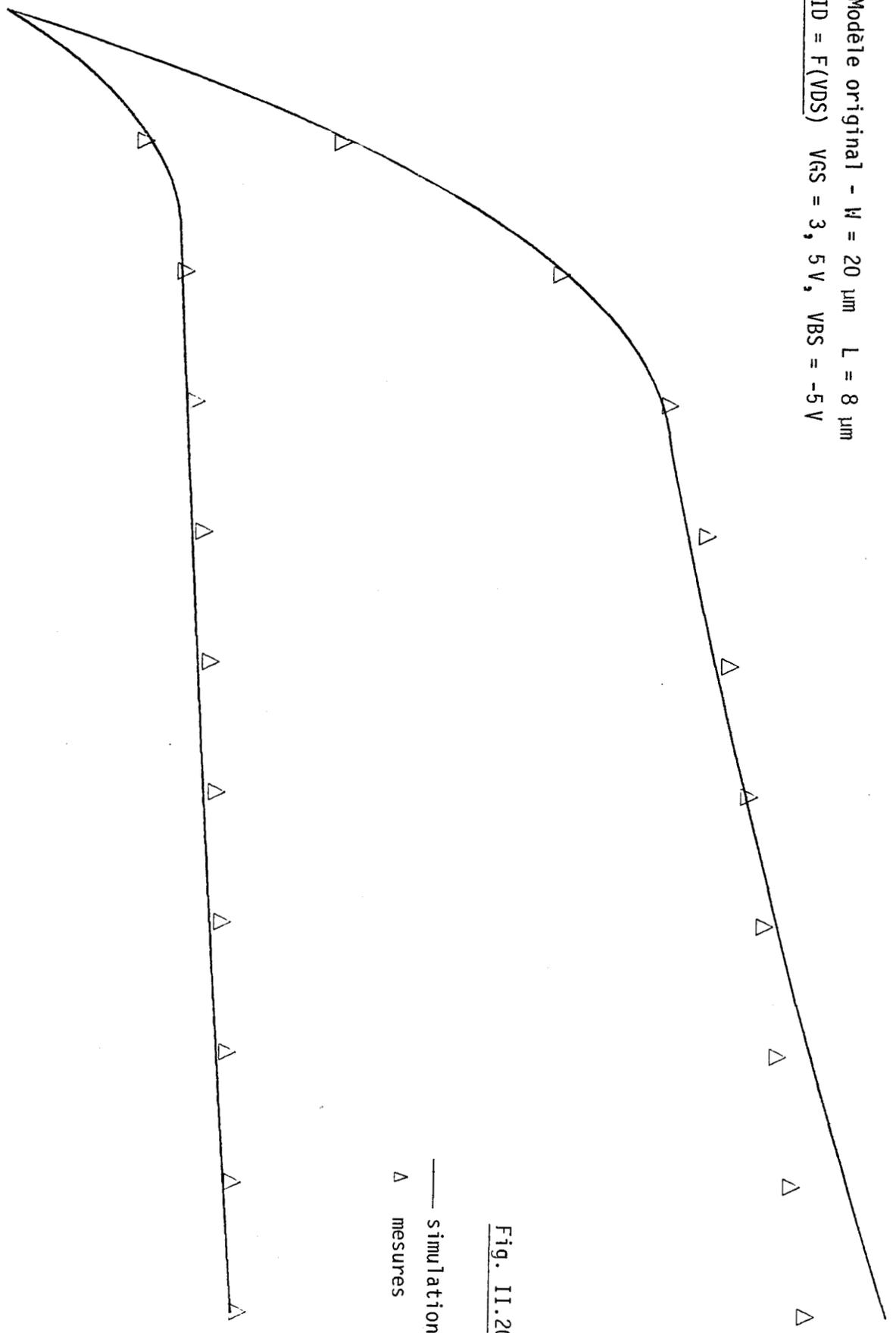
(A)

Modèle original - $W = 20 \mu\text{m}$ $L = 8 \mu\text{m}$
 $ID = F(VDS)$ $VGS = 3, 5 \text{ V}$, $VBS = -5 \text{ V}$

- 0.50E-03
- 0.45E-03
- 0.40E-03
- 0.35E-03
- 0.30E-03
- 0.25E-03
- 0.20E-03
- 0.15E-03
- 0.10E-03
- 0.50E-04
- 0.00E+00

- 70 -

0.0 0.50 1.00 1.50 2.00 2.50 3.00 3.50 4.00 4.50 5.00 5.50 6.00 6.50 7.00 7.50 8.00 8.50 9.00 9.50 10.00



— simulation
 Δ mesures

Fig. II.20.

(V)

(A)

0.14E-04

0.13E-04

0.12E-04

0.11E-04

0.10E-04

0.90E-05

0.80E-05

0.70E-05

0.60E-05

0.50E-05

0.40E-05

0.30E-05

0.20E-05

0.10E-05

0.00E+00

Modèle original - $W = 20 \mu\text{m}$ $L_G = 8 \mu\text{m}$
 $I_D = F(V_{GS})$ $V_{DS} = 50 \text{ mV}$, $V_{BS} = 0, -2, -4 \text{ V}$

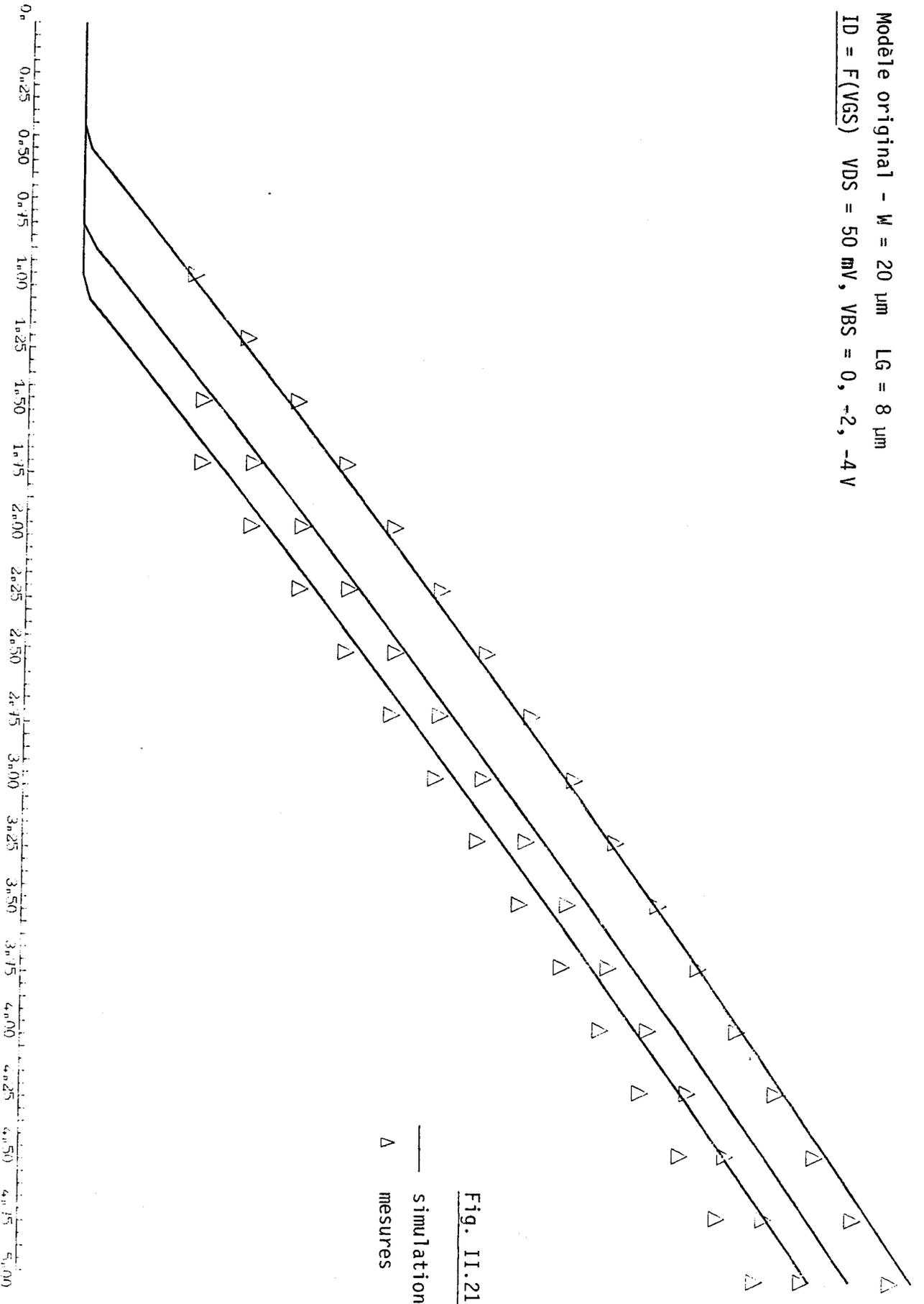


Fig. 11.21

(V)

5. STRUCTURE INFORMATIQUE DE L'EXTRACTEUR

L'extracteur doit inévitablement posséder un sous-programme de calcul du courant drain d'un transistor MOS en fonction des tensions drain, substrat, grille et des différents paramètres physiques du transistor. Deux possibilités nous ont alors été offertes.

- 1°) extraire le sous-programme (sous-programme FORTRAN MOSEQ3) du programme SPICE 2G et le connecter à l'extracteur à l'aide d'un interface gérant les principales variables utilisées. Cette méthode a l'avantage de la rapidité et de l'efficacité (temps de calcul). Nous avons cependant préféré, pour un problème de temps de mise au point, la seconde méthode décrite ci-après.
- 2°) utiliser le programme SPICE 2G en sous-programme et créer les fichiers standards simulant les mesures. A chaque itération, l'extracteur aura pour mission de modifier, après lecture des résultats de simulation, l'ensemble des fichiers d'entrée. Cette méthode est plus coûteuse en temps calcul car le décodage de la topologie du circuit simulant les mesures doit être effectué à chaque itération. De plus, la place mémoire requise est celle de tout le programme SPICE 2G, soit environ 100 sous-programmes. Nous avons cependant adopté cette méthode pour, d'une part, la facilité de mise au point et, d'autre part, son extension sur les autres modèles de SPICE 2 (bipolaires, JFET).

Nous pouvons même, à peu de frais, utiliser l'extracteur pour optimiser un circuit électrique en ajustant des composants (R ou C par exemple).

Une extraction complète, comme décrit dans la partie précédente, totalise environ 12 minutes C.P.U. sur IBM 4341 (modèle 1). La première méthode diviserait environ ce temps de calcul par 3.

6. CONCLUSION

Nous avons abordé dans cette partie une méthode très souple d'extraction de paramètres pour simulateur électrique. En effet, contrairement aux méthodes d'extraction séquentielle, cette méthode s'applique facilement, quel que soit le modèle utilisé, car il n'est pas nécessaire de rechercher les équations analytiques et d'y adapter les différentes mesures pour retrouver chaque paramètre. En d'autres termes, changer de modèle ne signifie pas changer la méthode de mesure, ce qui permet une grande souplesse sur la mise au point et la vérification des équations mathématiques décrivant le dispositif.

Cette méthode d'extraction a récemment été proposée par WARD [II,6,1] et a été utilisée avec un système de pondération sur les mesures afin d'obtenir un jeu de paramètres adapté à des points particuliers de fonctionnement du dispositif. Les paramètres obtenus sont assez différents d'une pondération à l'autre et sont de nature empirique et donc, difficilement manipulables par le concepteur.

La méthode ici proposée met l'accent sur un résultat physique. Les paramètres obtenus décrivent de manière optimale l'ensemble des mesures.

La structure informatique de l'extracteur, quant à elle, est à l'échelle d'un laboratoire. Un traitement statistique sur quelques centaines de transistors entraîne automatiquement une optimisation au niveau logiciel (utilisation de la première méthode décrite en II,5), ainsi qu'un algorithme de minimisation de fonctions non linéaires, plus élaboré (algorithme de LEVENBERG - MARQUARD).

III. CONCEPTION DE L'AMPLIFICATEUR OPÉRATIONNEL

1. GENERALITES

Avant de décrire la conception complète de l'amplificateur opérationnel, nous allons aborder les principaux aspects des circuits analogiques NMOS.

L'étage amplificateur de base, en technologie NMOS, est simplement l'inverseur polarisé dans sa zone de gain (Fig. III.1) [III.1.1.]

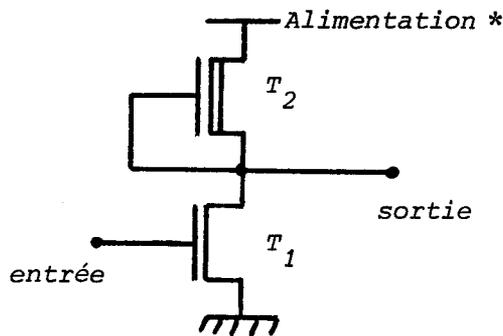


Fig. III.1.

La charge est ici réalisée à l'aide d'un transistor déplété et de ce fait, se comporte en impédance élevée (quelques centaines de kiloohms). Cette valeur dépend principalement de l'effet substrat et de manière moins critique, de la longueur du canal. En négligeant cette dernière, et si les deux transistors sont en zone saturée, le gain en tension de l'étage nous est donné par :

$$G_v = - \sqrt{\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2}} \cdot \frac{1}{\eta} \quad (\text{III},1,1)$$

$$\text{avec } \eta = \left[2 \sqrt{2\phi_F} \cdot \text{COX} \cdot \sqrt{\frac{1 + V_{BS}/2\phi_F}{2 \cdot q \cdot \epsilon_0 \cdot \epsilon_{SI} \cdot N_{SUB}}} \right]^{-1}$$

* L'alimentation des circuits sera par la suite sous-entendue

$\left(\frac{W}{L}\right)_1$ = rapport entre largeur et longueur du canal de T_1

$\left(\frac{W}{L}\right)_2$ = rapport entre largeur et longueur du canal de T_2

Nous voyons alors que le gain dépend d'une part des rapports $\left(\frac{W}{L}\right)$ entre la charge et le transistor de commande, et d'autre part de l'effet substrat qui est d'autant moins important que la tension de sortie est élevée. Nous aurons donc intérêt à polariser l'inverseur de manière à obtenir une tension moyenne de sortie la plus élevée possible, en veillant cependant à ne pas faire rentrer le transistor déplété en régime linéaire, et à ne pas trop dégrader la dynamique de sortie.

La relation (III,1,1) est valable tant que les transistors sont à canaux longs. Le tableau suivant compare la conductance due au rétrécissement de la longueur du canal (conductance "Early")* avec la conductance due à l'effet substrat, pour différentes géométries de transistor.

ID = 84 μ A	longueur du canal (microns)	conductance "Early" (Ω^{-1})	conductance effet substrat (Ω^{-1})
	100	$2,33 \cdot 10^{-7}$	$1,40 \cdot 10^{-5}$
	30	$6,71 \cdot 10^{-7}$	"
	20	$8,87 \cdot 10^{-7}$	"
	16	$1,04 \cdot 10^{-6}$	"
	12	$1,27 \cdot 10^{-6}$	"
	10	$1,42 \cdot 10^{-6}$	"
	6	$1,84 \cdot 10^{-6}$	"

* Nous emploierons par la suite ce terme par simplification de langage

Il apparaît un rapport d'environ 10, pour des transistors de taille raisonnable (10 - 20 μm), entre les deux conductances. Il sera donc important de modéliser correctement la conductance de sortie d'un transistor MOS afin d'obtenir un gain précis du circuit. Cette remarque est fondamentale dans le cas des circuits analogiques CMOS.

Le circuit de la Fig. III.1 peut être amélioré par l'apport d'un courant supplémentaire sur le transistor de commande, T_1 .

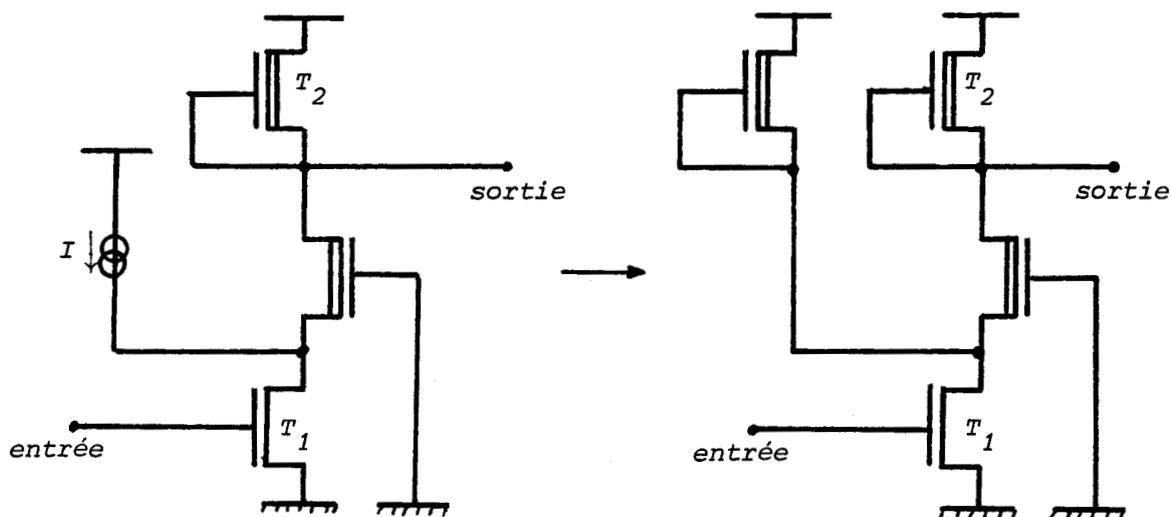


Fig. III.2.

Ce courant est fourni par un transistor déplété, et arrive à la jonction du transistor de commande et d'un transistor d'isolement monté en grille commune (Fig. III.2). L'impédance en ce point est principalement celle du transistor monté en grille commune et favorise donc la transmission des signaux à la charge. Le gain du circuit nous est alors donné par :

$$G'_v = G_v \cdot \sqrt{\frac{ID(T_1)}{ID(T_2)}} \quad (\text{III},1,2)$$

avec G_v gain obtenu en (III,1,1)

$ID(T_1)$ courant drain de T_1

$ID(T_2)$ courant drain de T_2

Ce montage classique augmente de manière très sensible le gain de l'inverseur. Il augmente également la consommation et diminue la dynamique de sortie.

Un autre circuit, moins utilisé, nous permet d'optimiser le gain de l'étage sans en accroître la consommation. Il s'agit d'annuler l'effet de substrat de la charge par un circuit annexe :

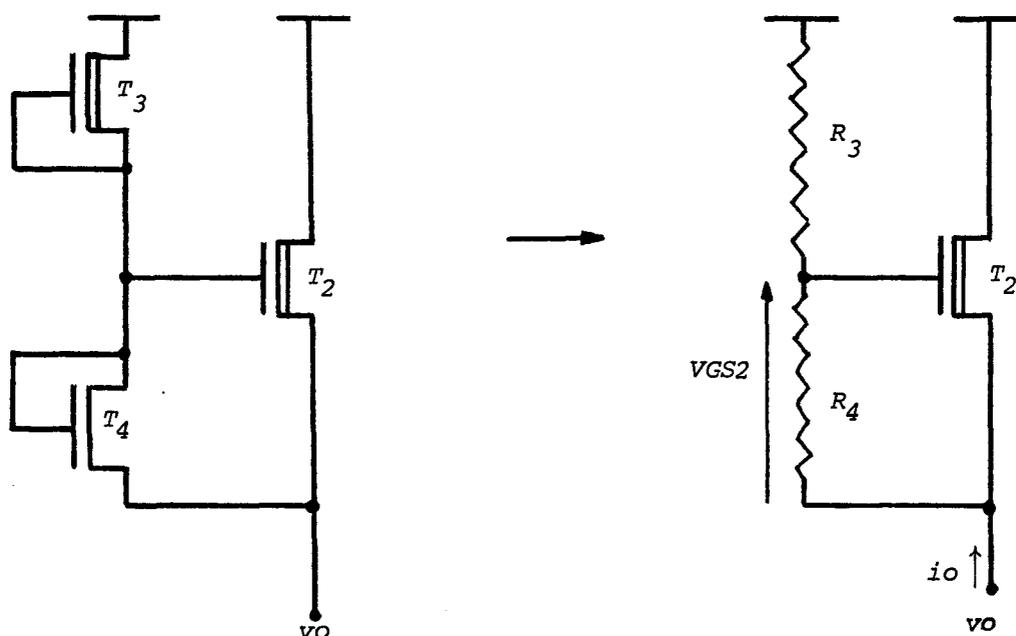


Fig. III.3.

Un raisonnement très simple nous amène, via le pont diviseur $R_4 - R_3$ et la tension v_o , une tension V_{GS2} commandant le transistor de charge. Cette tension induit un courant dans T_2 annulant le courant parasite dû à l'effet substrat. Nous avons :

$$V_{GS2} = - v_o \cdot \frac{R_4}{R_4 + R_3}$$

$$i_o \# - g_{m2} \cdot v_o \cdot \frac{R_4}{R_4 + R_3} + \frac{v_o}{R_S}$$

avec gm_2 : transconductance de T_2
RS : résistance équivalente d'effet substrat de T_2

La conductance équivalente de l'ensemble du circuit nous est alors donnée par :

$$\frac{i_0}{v_0} = g_0 \# - gm_2 \cdot \frac{R_4}{R_4 + R_3} + \frac{1}{RS}$$

et s'annule donc pour certaines valeurs de R_4 et R_3 .

Nous avons ici négligé l'impédance de R_4 et R_3 pour le calcul de g_0 . Cette impédance viendra en parallèle sur la sortie et sera, en fait, l'impédance de la charge. Nous pouvons atteindre, comme le circuit précédent, des gains supérieurs à 100, mais cette fois, sans consommation supplémentaire.

Un autre aspect des circuits analogiques NMOS est l'inexistence des transistors canaux p et donc l'impossibilité d'obtenir des circuits à charge active. Il sera, de plus, difficile de créer simplement des amplificateurs dont l'entrée est proche du plus haut potentiel d'alimentation. En règle générale, l'architecture du circuit NMOS sera plus complexe qu'en technologie CMOS ou bipolaire.

Nous terminerons enfin sur l'impédance interne du transistor MOS. Cette impédance est élevée et ne nous permettra pas, dans la technologie employée, de réaliser des circuits de forte puissance. Elle nous oblige à modifier certains principes utilisés en technologie bipolaire (compensation en fréquence) et constitue souvent un handicap vers les fréquences élevées.

2. ARCHITECTURE DE L'AMPLIFICATEUR OPERATIONNEL

L'amplificateur opérationnel est un amplificateur de tension continue à très haut gain, de très haute impédance d'entrée, et d'impédance de sortie faible. Il amplifie la différence des tensions de ses entrées : une inverseuse et une non-inverseuse.

Son architecture sera basée sur trois étages :

- un étage d'entrée composé d'un amplificateur différentiel capable d'amplifier une différence de deux tensions
- un étage de gain qui contribuera, avec le premier étage, au gain total de l'amplificateur.
- un étage de sortie : cet étage est nécessaire pour diminuer l'impédance de sortie et fournir des courants importants sur des charges résistives.

L'amplificateur réel se distingue de l'amplificateur idéal par plusieurs imperfections susceptibles d'influencer le fonctionnement du circuit dans lequel il est utilisé. Nous en citerons les principales :

- la tension d'offset :

il s'agit de la tension continue que doit fournir une source de tension directement connectée aux deux bornes de l'amplificateur afin d'annuler la tension de sortie. Cette tension est typiquement de 10 à 15 mV en technologie NMOS, grille polysilicium.

- la dynamique de mode-commun :

elle représente la tension continue maximale que l'on peut appliquer sur les entrées court-circuitées entre elles, tension au-delà de laquelle l'amplificateur ne fonctionnerait plus.

- le slew-rate :

le slew-rate décrit la vitesse de montée maximale de la tension de sortie. Il provient de la saturation de sources internes de courant et donc de la charge limitée de certaines capacités.

- limitation de la bande passante de l'amplificateur

La présence de capacités internes introduit des pôles dans la réponse fréquentielle de l'amplificateur et donc une dégradation de la phase. Ceci nous oblige à assurer la stabilité de l'amplificateur bouclé en introduisant un pôle dominant. Cette compensation limite par la même occasion la bande passante.

Spécification de l'amplificateur opérationnel

L'amplificateur opérationnel décrit ci-après est un amplificateur à usage général : il doit pouvoir convenir pour les circuits à capacités commutées ou bien pour de simples amplificateurs analogiques. La charge en sortie sera capacitive ou bien résistive. Nous nous imposerons alors le cahier des charges suivant :

Puissance dissipée	< 15 mW
Alimentation	10 V
Slew-rate	> 2V/ μ s sur charge de 50 pf
Bande passante	> 2 MHz sur charge de 50 pf
Gain boucle ouverte	> 2000
Dynamique de sortie	\pm 2,5 V
Dynamique mode commun	> 5 v
Réjection mode commun	> 80 dB
Insensibilité aux variations des tensions de seuil	

Nous sommes maintenant à même de décrire de façon détaillée chaque partie de l'amplificateur.

3. ETAGE D'ENTREE

L'étage d'entrée doit nous fournir la différence des deux signaux d'entrée, à un potentiel de polarisation proche du potentiel le plus bas du circuit. En effet, comme mentionné en introduction, l'inexistence de transistors canaux p nous interdit l'usage d'amplificateur complémentaire. L'amplificateur de haut gain, suivant l'étage d'entrée, verra donc son potentiel d'entrée proche du potentiel le plus bas du circuit. Il est donc nécessaire de réaliser un décalage de tension (nous emploierons par la suite le terme anglais "level shift") par l'intermédiaire d'un circuit spécialisé, se trouvant entre l'amplificateur différentiel d'entrée et l'étage de haut gain.

Nous aurons alors le schéma suivant :

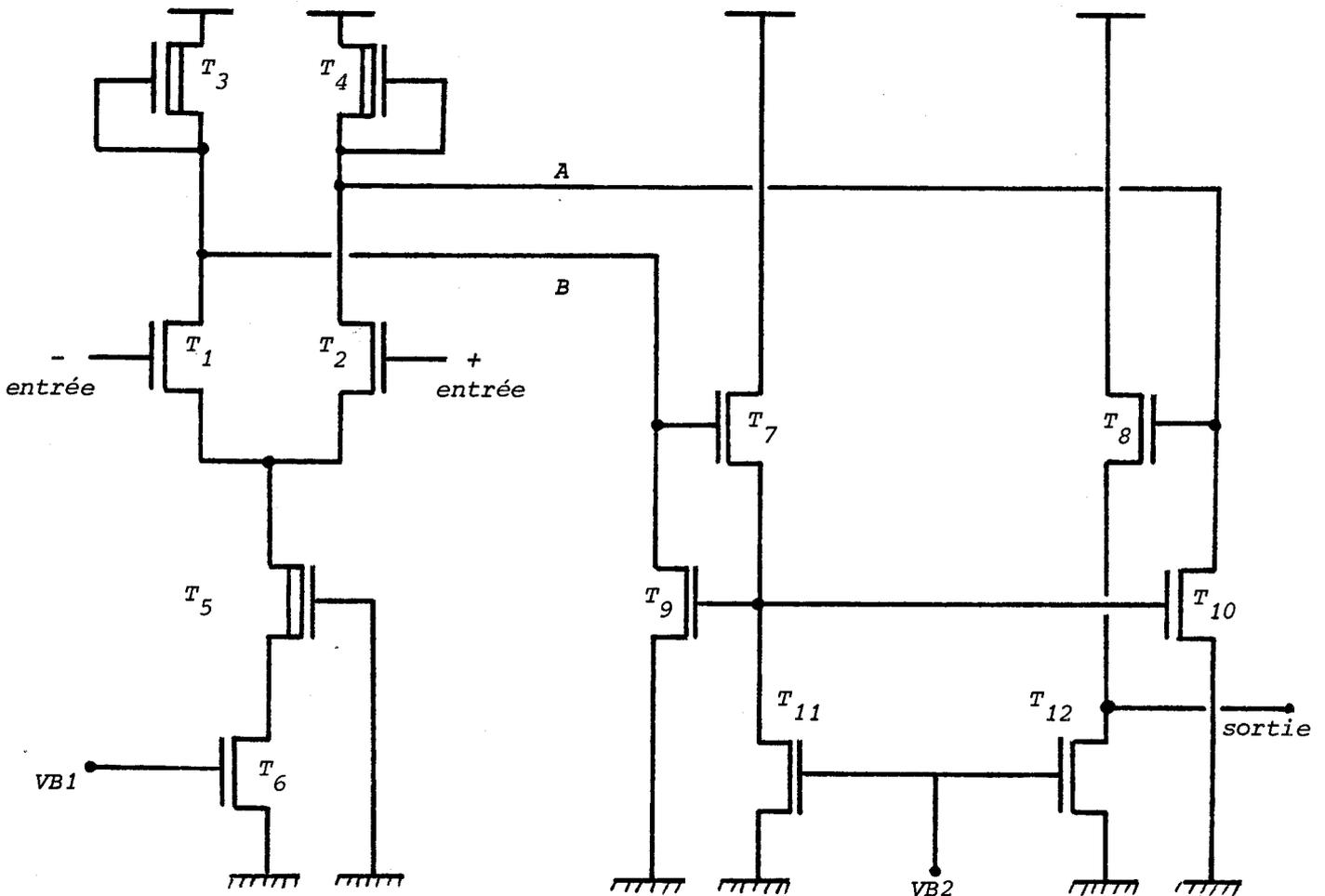


Fig. III.4.

Nous pouvons l'expliquer à l'aide des simplifications suivantes :

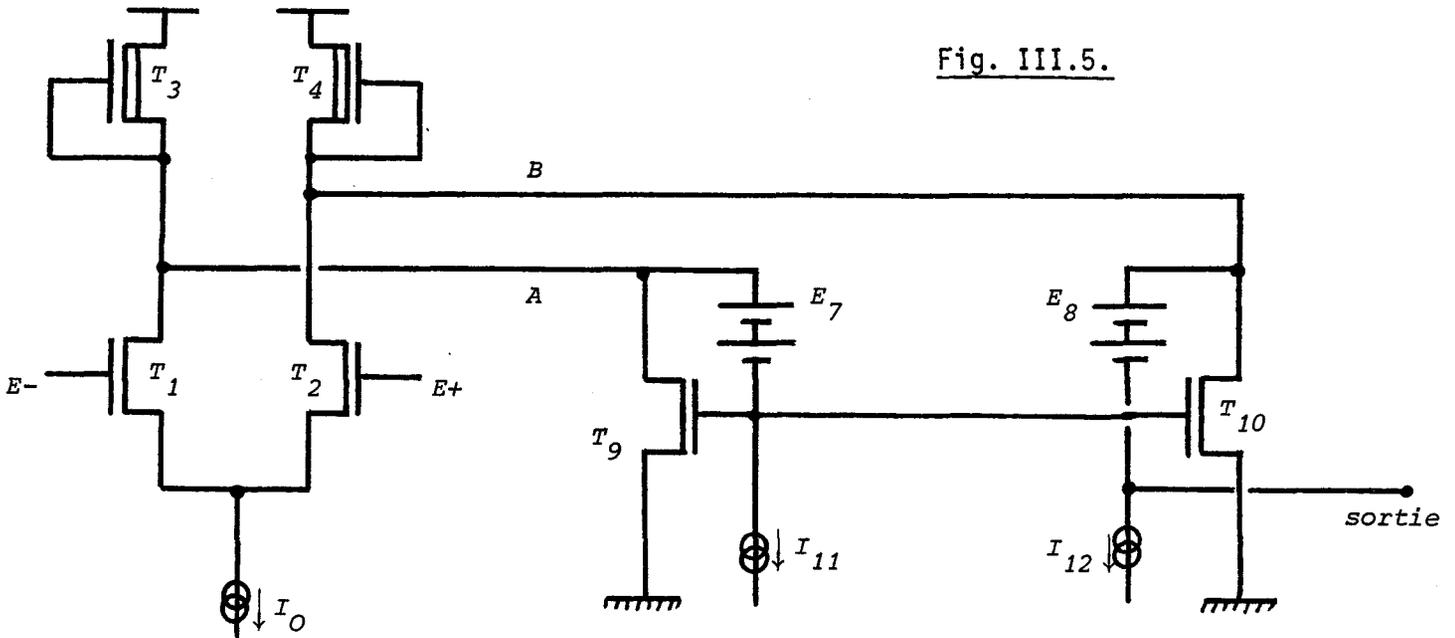


Fig. III.5.

La paire différentielle est constituée de T_1 , T_2 avec respectivement comme charge T_3 et T_4 . Les signaux en A et B vont être décalés en tension à l'aide de E_7 et E_8 . La connection de T_9 et T_{10} est faite alors de manière à placer le point A sous basse impédance, à restituer intégralement le courant de cette branche sur le drain de T_{10} par l'intermédiaire d'un réflecteur de courant WIDLAR (T_9 , E_7 , T_{10}) et enfin, à sommer, sous haute impédance, le signal issu du drain de T_{10} avec le signal B. Le signal résultant est décalé en tension par E_8 et amené sur l'entrée de l'amplificateur de gain. I_0 , I_{11} et I_{12} assurent une polarisation correcte de l'ensemble et proviennent d'un circuit d'alimentation.

Le level shift employé est de type "basse impédance". Nous aurions pu également employer la structure suivante :

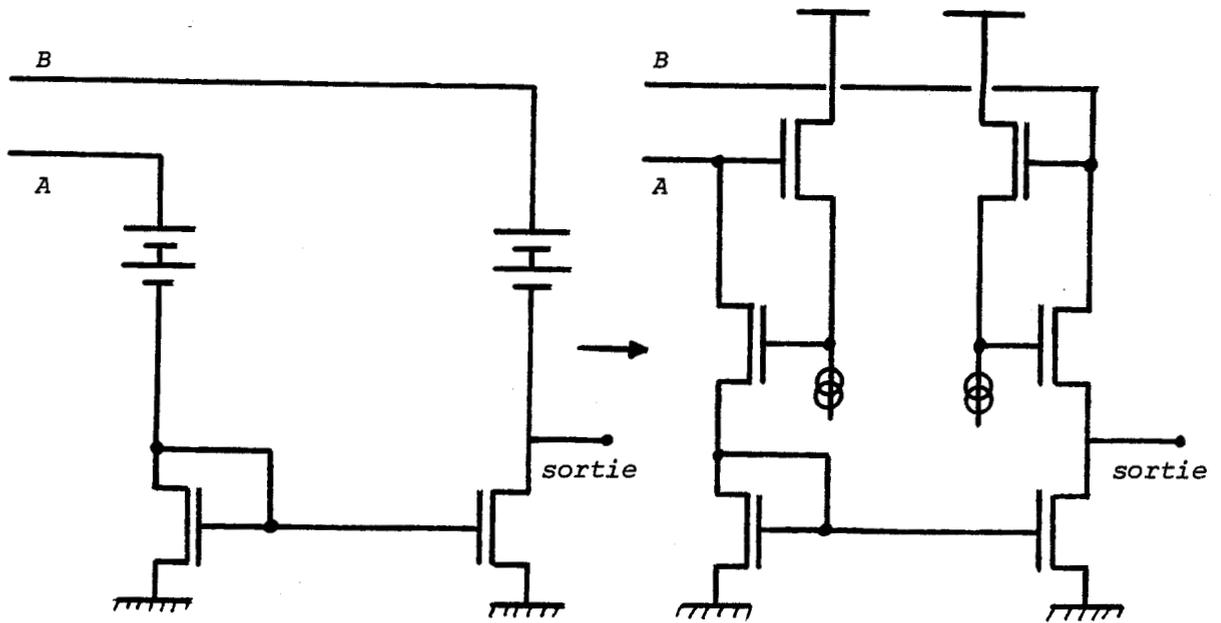


Fig. III.6.

Cette structure, bien que très classique, utilise néanmoins deux transistors supplémentaires et se trouve donc moins intéressante [III,3,2]

Le calcul des rapports $(\frac{W}{L})$ de T_1 à T_4 se fait maintenant en considérant le gain de l'étage voisin de 40 et le slew-rate demandé supérieur à $2 \text{ V}/\mu\text{s}$. Le gain fixe le rapport des $(\frac{W}{L})$ entre charge et transistor de commande de la paire différentielle, le slew-rate quant à lui, fixe le courant de repos de la paire différentielle : courant qui devra charger ou décharger la capacité de compensation.

Nous prendrons alors

$$ID(T_9) = ID(T_{10}) \# 4 \mu\text{A}$$

$$ID(T_1) = ID(T_2) \# 4 \mu\text{A}$$

et obtenons ainsi

$$\left(\frac{W}{L}\right)_{T_1} = \frac{200\mu\text{m}}{10\mu\text{m}} \quad \left(\frac{W}{L}\right)_{T_3} = \frac{10\mu\text{m}}{40\mu\text{m}}$$

$$\left(\frac{W}{L}\right)_{T_2} = \frac{200\mu\text{m}}{10\mu\text{m}} \quad \left(\frac{W}{L}\right)_{T_4} = \frac{10\mu\text{m}}{40\mu\text{m}}$$

Le gain théorique de l'étage nous est donné par (III,1,2) :

$$G'_v \approx 63$$

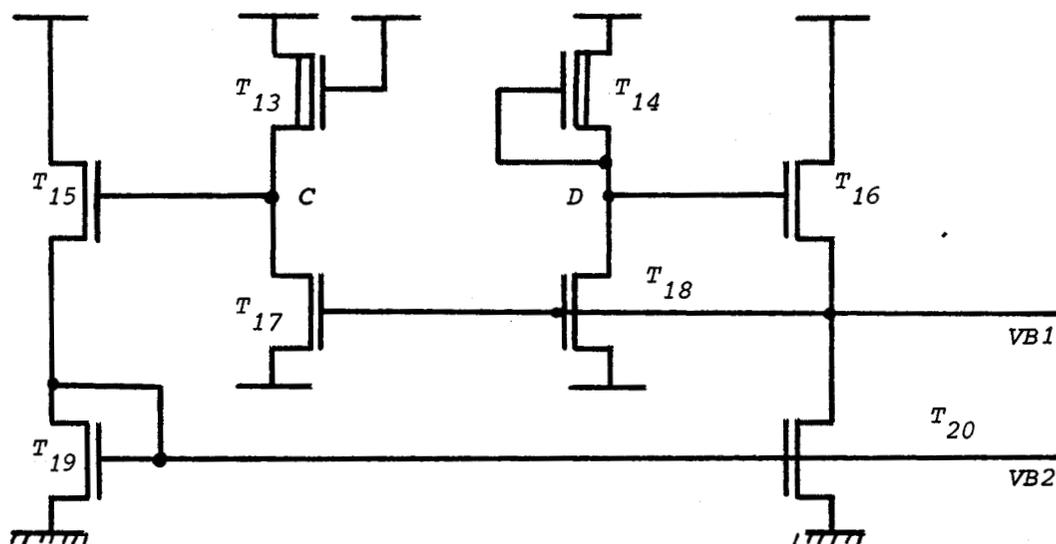
Le gain simulé est, quant à lui, de 40. Cette différence s'explique par la prise en compte de l'effet Early par le simulateur.

Le dimensionnement des transistors T_7 à T_{12} dépend de l'étage de gain ainsi que de la compensation en fréquence du circuit : nous l'examinerons donc dans les parties suivantes.

4. ALIMENTATION DE L'ETAGE D'ENTREE

Deux tensions de polarisation doivent être générées : VB1 force le courant traversant le transistor T_6 à être la moitié de la somme des courants dans T_3 et T_4 . VB2 établit le courant dans les transistors T_{11} à T_{12} de manière à obtenir le décalage de tension désiré sur T_7 et T_8 . Afin d'optimiser le gain et la dynamique de mode commun du premier étage, nous fixerons les potentiels en A et B les plus proches possibles de la tension d'alimentation. (voir Fig. III.3.)

Nous utiliserons un circuit de polarisation par réplique [III,3,1].



La partie droite du schéma constitue une réplique complète de la moitié de l'étage précédemment étudié. Nous avons, en effet, T_{14} équivalent à T_4 , T_{16} équivalent à T_8 , T_{20} équivalent à T_{12} et enfin, T_{18} équivalent à T_{10} et T_6 parcouru par la moitié de son courant.

La partie gauche du schéma va servir de référence. En effet, si T_{14} et T_{13} sont parcourus par le même courant et ont entre eux un rapport des $\left(\frac{W}{L}\right)$ de $1/3$, il est montré que, T_{14} restant en zone saturée, la chute de

tension aux bornes de T_{13} est proche de la valeur de la tension de seuil d'un transistor déplété, et varie peu autour de ce point de fonctionnement (Annexe 3).

Une boucle de contre-réaction T_{15} , T_{19} , T_{20} et T_{16} va asservir le point C au point D et va fournir ainsi les potentiels VB1 et VB2 au premier étage. Ces potentiels laisseront T_3 et T_4 en zone saturée, indépendamment des variations du procédé technologique et nous permettront ainsi, de par leurs valeurs d'obtenir un gain et une dynamique correctes.

Nous obtenons alors :

$$\left(\frac{W}{L}\right)_{T_{14}} = \left(\frac{W}{L}\right)_{T_4}$$

$$\left(\frac{W}{L}\right)_{T_{19}} = \left(\frac{W}{L}\right)_{T_{12}}$$

$$\left(\frac{W}{L}\right)_{T_{15}} = \left(\frac{W}{L}\right)_{T_7}$$

$$\left(\frac{W}{L}\right)_{T_{20}} = \left(\frac{W}{L}\right)_{T_{11}}$$

$$\left(\frac{W}{L}\right)_{T_{16}} = \left(\frac{W}{L}\right)_{T_8}$$

$$\left(\frac{W}{L}\right)_{T_{13}} = 3 \cdot \left(\frac{W}{L}\right)_{T_{14}}$$

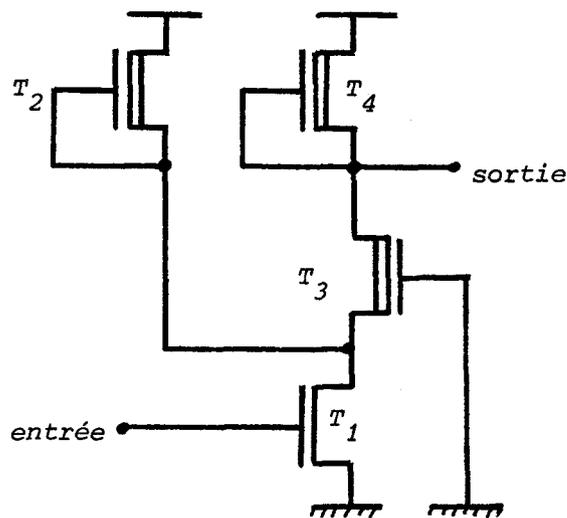
$$\left(\frac{W}{L}\right)_{T_{17}} = \frac{1}{2} \cdot \left(\frac{W}{L}\right)_{T_6} + \left(\frac{W}{L}\right)_{T_9}$$

$$\left(\frac{W}{L}\right)_{T_{18}} = \left(\frac{W}{L}\right)_{T_{17}}$$

Nous prendrons le rapport des $\left(\frac{W}{L}\right)$ entre T_{14} et T_{13} un peu inférieur à $1/3$ afin de garder une marge sur de grandes variations de VTD. Les tensions VDS de T_3 et T_4 sont, dans ce cas, légèrement supérieures à $|VTD|$, ce qui garantit à ces deux transistors un fonctionnement en zone saturée.

5. ETAGE DE GAIN

Nous emploierons une injection de courant supplémentaire sur le transistor de commande de l'étage amplificateur de base. Le circuit proposé en introduction présente quelques limites :



En effet, si le courant injecté par T_2 devient trop important, l'impédance que présente ce transistor (impédance d'effet substrat) devient inférieure à l'impédance du transistor monté en grille commune (transistor T_3). La transmission des signaux du transistor actif à la charge se trouve donc pénalisée et le gain du circuit tend à diminuer.

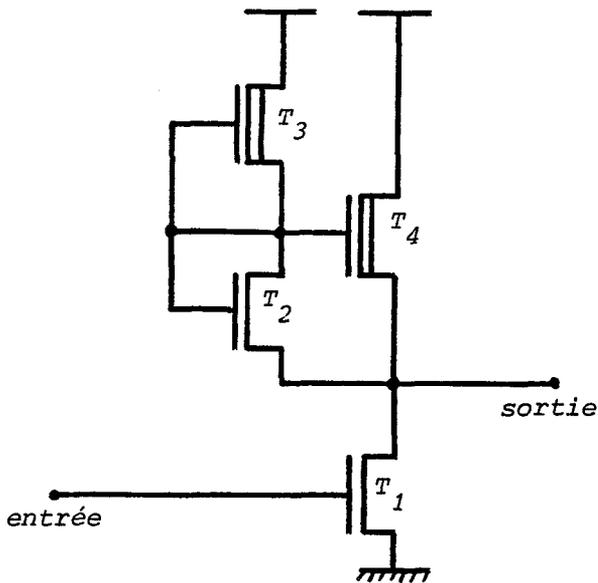
Le tableau suivant montre, en fonction du courant injecté, la variation du gain obtenu sur un étage de ce type $(\frac{W}{L})_{T_1} = \frac{200\mu\text{m}}{10\mu\text{m}}$;
 $(\frac{W}{L})_{T_3} = \frac{30\mu\text{m}}{20\mu\text{m}}$; $(\frac{W}{L})_{T_4} = \frac{15\mu\text{m}}{40\mu\text{m}}$

<u>Gain</u>	<u>Courant injecté</u>
- 84	600 μA
- 104	400 μA
- 120	275 μA
- 116	150 μA
- 104	62 μA

L'injection optimale se situe, ici, entre 150 μA et 200 μA , la charge débitant un courant moyen de 30 μA . Le transistor T_2 est alors dimensionné à $W = 30 \mu\text{m}$ $L = 10 \mu\text{m}$.

Cette manière de procéder augmente sensiblement la consommation de l'étage. Dans le cas présent, 2 milliwatts supplémentaires doivent être fournis par l'alimentation.

La seconde méthode, proposée en introduction, nous donne, à gain équivalent, un courant total moyen de repos de 30 μA .



$$\left(\frac{W}{L}\right)_{T_1} = 400 \mu\text{m}/30 \mu\text{m}$$

$$\left(\frac{W}{L}\right)_{T_3} = 6\mu/200 \mu\text{m}$$

$$\left(\frac{W}{L}\right)_{T_2} = 200 \mu\text{m}/40 \mu\text{m}$$

$$\left(\frac{W}{L}\right)_{T_4} = 15 \mu\text{m}/40 \mu\text{m}$$

Le gain simulé est de -185 ...! Ce montage n'a pas été réalisé mais présente des caractéristiques intéressantes. Les courbes ci-après comparent les deux circuits.

(V)
sortie

4.030
4.020
3.070
3.020
2.070
2.020
1.070
1.020
0.070
0.020
-0.030
-0.080
-1.030
-1.080
-2.030
-2.080
-3.030
-3.080

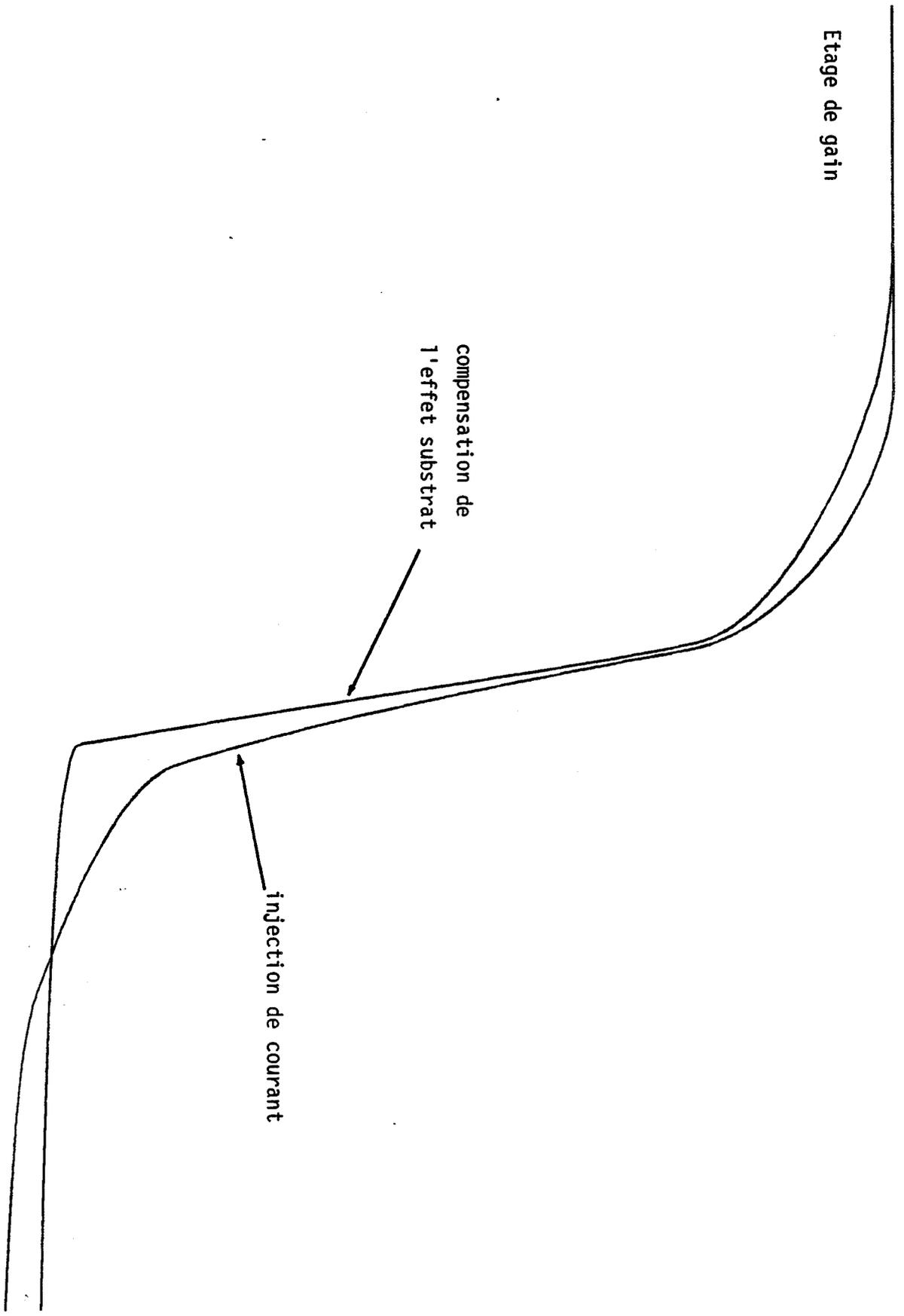
Etage de gain

compensation de
l'effet substrat

injection de courant

1.630 1.675 1.700 1.725 1.750 1.775 1.800 1.825 1.850 1.875 1.900 1.925 1.950 1.975 2.000 2.025 2.050 2.075 2.100

(V)
entrée



6. COMPENSATION EN FREQUENCE

La compensation en fréquence a pour but d'assurer la stabilité de l'amplificateur. L'instabilité se manifeste lorsqu'il y a déphasage de -180° à la sortie de l'amplificateur bouclé. La condition de stabilité sera alors exprimée par une marge de phase qui vaut $180^\circ + \phi$ où ϕ est le déphasage de l'amplificateur mis en boucle unité [III.6.1]

La stabilité d'un amplificateur peut s'obtenir en introduisant un pôle dominant à basse fréquence, pour avoir une pente sur le gain en boucle ouverte de -20 dB/décade, et cela jusqu'au gain unité. Le déphasage en ce point reste alors proche de -90° (Fig. III.4).

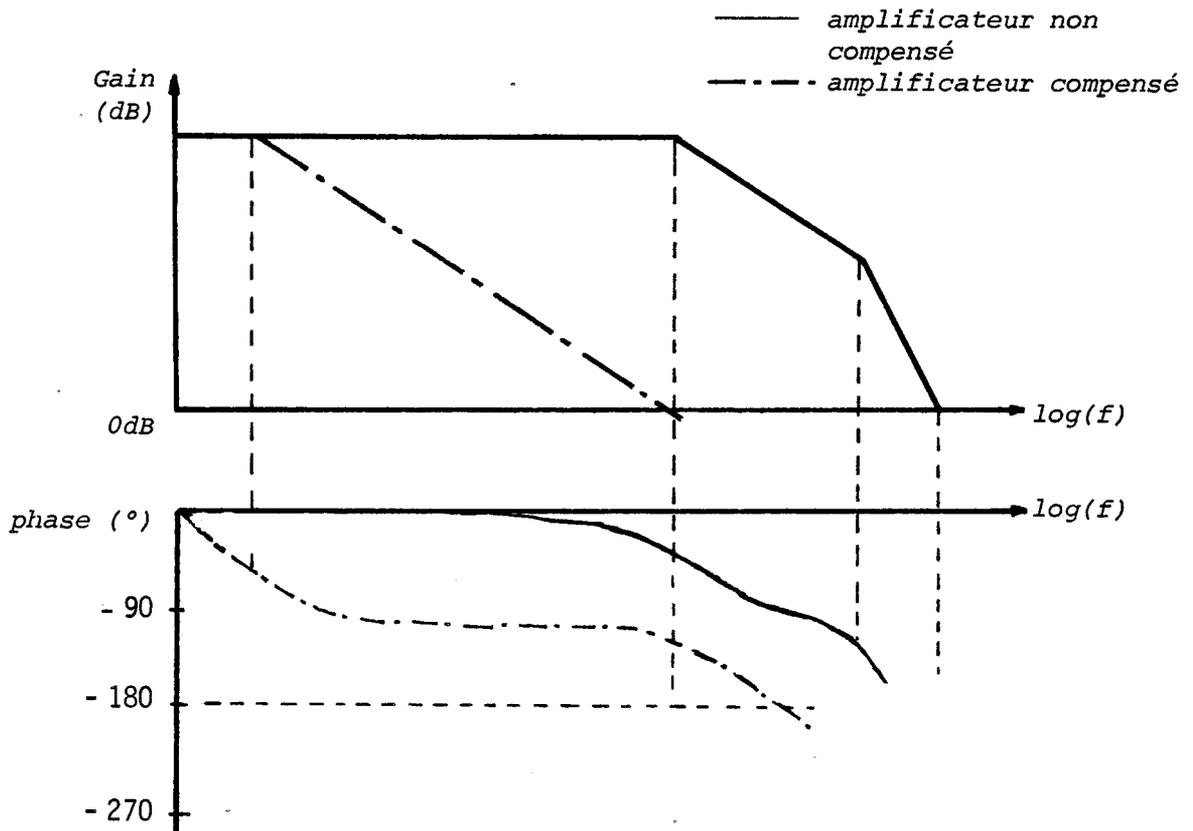


Fig. III.4.

Caractéristiques de l'amplificateur en boucle ouverte

La manière la plus classique de créer le pôle dominant est de connecter une capacité entre l'entrée et la sortie de l'étage inverseur, à haut gain, afin d'utiliser l'effet Miller.

En modélisant l'amplificateur de haut gain par un simple générateur de courant commandé par une tension, nous avons le schéma équivalent suivant :

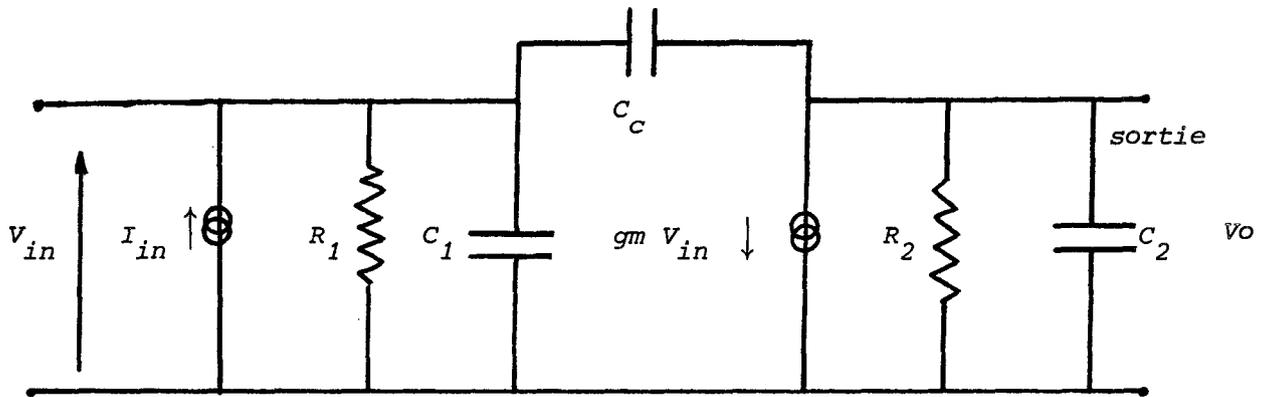


Fig. III.5.

avec R_1 et C_1 : résistance et capacité parasites totales au noeud d'entrée.

C_c : capacité de compensation

R_2 et C_2 : résistance et capacité parasites totales au noeud de sortie

I_{in} : excitation provenant de l'étage précédent

gm : transconductance de l'étage

Nous obtenons alors la fonction de transfert du circuit

$$H(p) = \frac{Go \cdot \left(1 + \frac{p}{Z_1}\right)}{\left(1 + \frac{p}{P_1}\right) \left(1 + \frac{p}{P_2}\right)} = \frac{Vo}{I_{in}}$$

avec :

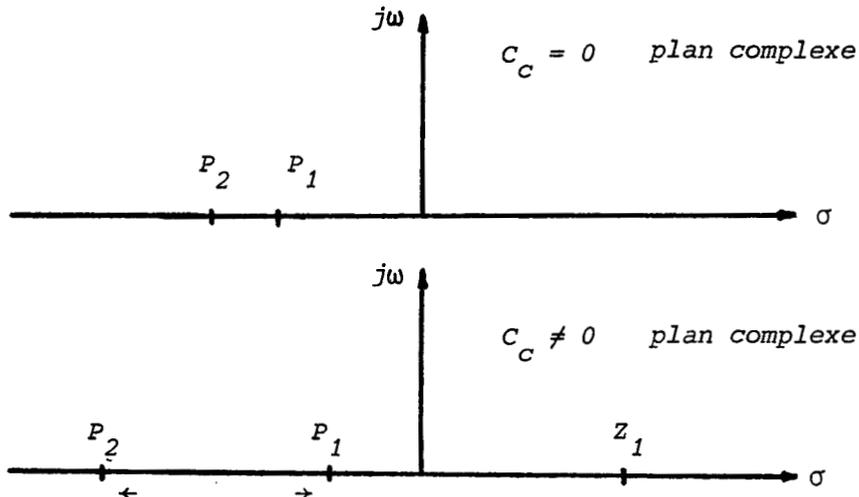
$$Go = - gm \cdot R_2 \cdot R_1$$

$$P_1 \# \frac{-1}{((1 + gmR_2)R_1 \cdot C_c)}$$

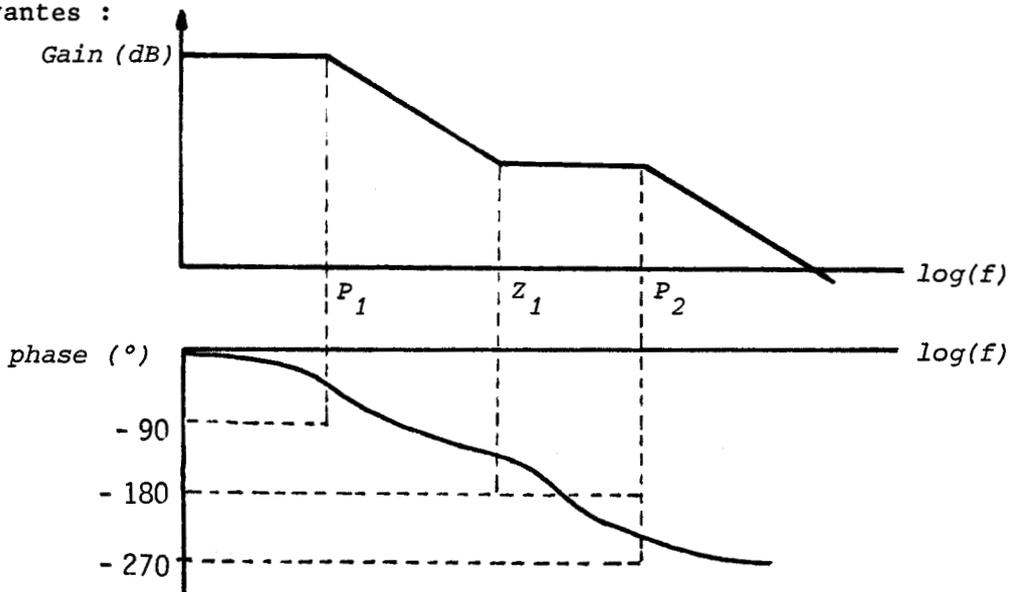
$$P_2 \# \frac{-gmC_c}{C_2C_1 + C_2C_c + C_cC_1}$$

$$Z_1 = \frac{gm}{C_c}$$

Par rapport au circuit sans capacité de compensation, nous obtenons un glissement des deux pôles originaux ("pole splitting") ainsi que l'apparition d'un zéro positif



La valeur de gm , transconductance du transistor MOS, est telle que, d'un point de vue fréquentiel, le zéro créé se trouve entre les deux pôles. Le circuit de la Fig. III.5 présente alors les caractéristiques suivantes :



Il est clair que la présence du zéro positif a pour conséquence de remonter l'amplitude, tout en dégradant la phase. La marge de phase devient alors vite négative, le système est instable.

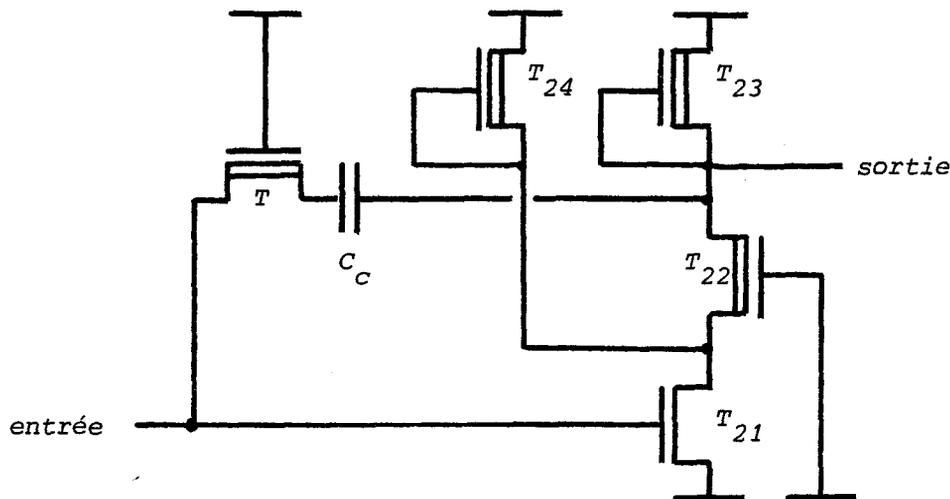
Nous allons annuler ce zéro à l'aide du circuit classique de "nulling resistor" [III.6.2]. Ce circuit consiste à placer une résistance série avec la capacité de compensation afin que l'ensemble ne soit pas un court-circuit vers les fréquences hautes.

Le zéro créé devient dans ce cas [III.6.2.] :

$$Z_1 = \frac{C_c}{g_m} - RZ.C_c$$

et peut donc s'annuler ou devenir négatif selon la valeur de RZ.

Cette technique appliquée à l'étage de haut gain nous donne :



La "nulling resistor" est ici réalisée à l'aide d'un transistor déplété en régime linéaire (transistor T).

L'impédance à l'entrée de l'amplificateur de haut gain connecté au premier étage, est ici pratiquement l'impédance de sortie de ce dernier. Cette impédance n'est pas très élevée à cause du transistor T₈ monté en source suiveur (Fig. III.3). Le pôle associé ne sera donc pas très bas en

fréquence. Nous aurons donc intérêt à connecter les deux étages de la manière suivante :

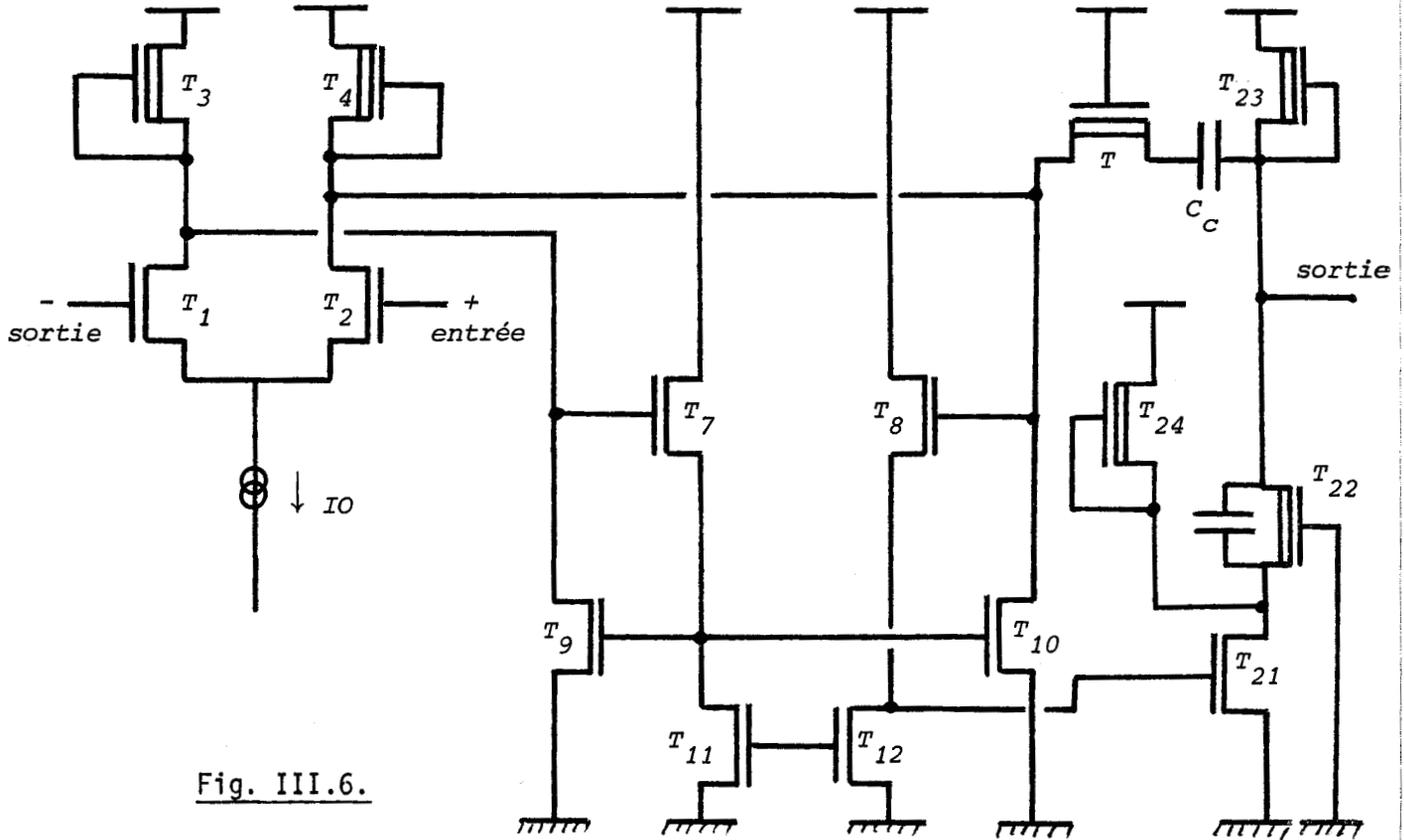


Fig. III.6.

L'impédance à la grille de T_8 est, en effet, beaucoup plus élevée et créera donc, avec C_c , un pôle de fréquence basse. La transmission des signaux de la grille de T_8 à la grille de T_{21} sera déphasée vers les hautes fréquences. Il sera donc nécessaire de rejeter le pôle correspondant en rendant la constante de temps associée au noeud d'entrée de l'amplificateur de haut gain, la plus petite possible : c'est-à-dire d'augmenter la transconductance de T_8 .

En choisissant le courant drain de T_8 d'environ $60 \mu\text{A}$, nous garantissons alors un rejet du pôle parasite vers les hautes fréquences. Nous sommes maintenant à même de dimensionner les transistors T_7 à T_{12} (Fig. III.6 et Fig. III.3.) :

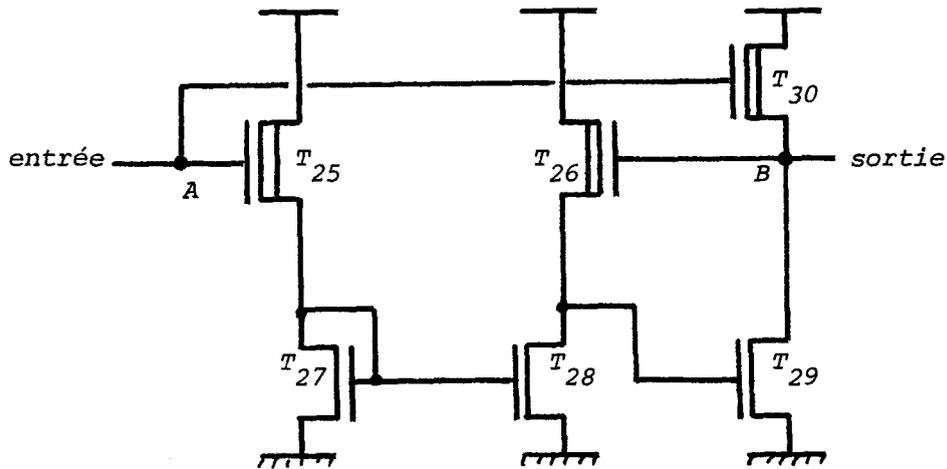
$$\begin{array}{ll} \left(\frac{W}{L}\right)_{T_7} = \frac{10\mu\text{m}}{25\mu\text{m}} & \left(\frac{W}{L}\right)_{T_{10}} = \frac{10\mu\text{m}}{40\mu\text{m}} \\ \left(\frac{W}{L}\right)_{T_8} = \frac{10\mu\text{m}}{25\mu\text{m}} & \left(\frac{W}{L}\right)_{T_{11}} = \frac{100\mu\text{m}}{20\mu\text{m}} \\ \left(\frac{W}{L}\right)_{T_9} = \frac{10\mu\text{m}}{40\mu\text{m}} & \left(\frac{W}{L}\right)_{T_{12}} = \frac{100\mu\text{m}}{20\mu\text{m}} \end{array}$$

Pour obtenir une marge de phase de 60° et une bande passante supérieure à 2 Mégahertz, nous devons alors prendre $C_c = 2,2 \text{ pf}$;
 $\left(\frac{W}{L}\right)_{T_{11}} = \frac{6\mu\text{m}}{12\mu\text{m}}$. Le slew rate est alors de $3\text{V}/\mu\text{s}$ sur une charge de 50 pf .

Il nous faut en plus ajouter une capacité de type "feed forward" entre drain et source de T_{22} . En effet, ce dernier a une fréquence de coupure proche du Mégahertz et pénalise donc la transmission des signaux aux fréquences supérieures. Une capacité de $2,5 \text{ pf}$ est donc placée afin de court-circuiter cet élément et de ne pas déphaser les signaux, pour les fréquences élevées du fonctionnement de l'amplificateur.

7. ETAGE DE SORTIE

Le noeud de sortie de l'étage de gain présente une haute impédance. La connection de cet étage à une forte charge capacitive ou bien à une charge résistive dégraderait les performances du produit gain-bande de l'ensemble du système. Nous utiliserons donc une sortie basse impédance à l'aide de l'étage suivant :



A l'équilibre, les deux potentiels en A et B sont égaux ; les courants drain de T_{25} et T_{26} le sont de même. Un courant de polarisation fourni par T_{30} rend alors conducteur T_{29} . Ce courant de polarisation définit directement l'impédance de sortie du circuit.

Hors équilibre, la différence de potentiel entre sortie et entrée va injecter une tension sur la grille de T_{29} de manière à rétablir l'égalité des courants dans T_{26} et T_{25} . Il en sera de même pour la différence de potentiel entre grille et source de T_{30} , qui va injecter directement un courant sur la sortie.

Nous avons donc pratiquement un amplificateur différentiel (T_{25} , T_{26} , T_{27} , T_{28} , T_{29}) dont l'entrée inverseuse est connectée à la sortie. Nous prendrons des courants de repos d'environ $30 \mu\text{A}$ pour T_{25} , T_{26} et

d'environ 450 μ A pour la branche de sortie. Cette dernière valeur, peut-être excessive, nous permet cependant d'obtenir une impédance de sortie de l'étage égale à 800 Ω .

Nous avons alors les différentes géométries :

$$\left(\frac{W}{L}\right)_{T_{25}} = \frac{8\mu\text{m}}{80\mu\text{m}}$$

$$\left(\frac{W}{L}\right)_{T_{26}} = \frac{8\mu\text{m}}{80\mu\text{m}}$$

$$\left(\frac{W}{L}\right)_{T_{27}} = \frac{60\mu\text{m}}{8\mu\text{m}}$$

$$\left(\frac{W}{L}\right)_{T_{28}} = \frac{60\mu\text{m}}{8\mu\text{m}}$$

$$\left(\frac{W}{L}\right)_{T_{29}} = \frac{300\mu\text{m}}{8\mu\text{m}}$$

$$\left(\frac{W}{L}\right)_{T_{30}} = \frac{93\mu\text{m}}{8\mu\text{m}}$$

Cet étage de sortie ne dégrade pas la marge de phase ni la bande passante sur une charge de 50 pf.

8. REALISATION DE L'AMPLIFICATEUR OPERATIONNEL

L'amplificateur décrit précédemment a été réalisé à l'Université Catholique de Louvain (Belgique) avec une technologie NMOS, six microns, à deux niveaux de polysilicium. Les principaux paramètres de la technologie sont donnés en Annexe 4.

Les simulations électriques ont été effectuées à l'aide du programme SPICE 2G muni du modèle étudié au chapitre I.

Le dessin des masques a été effectué à l'I.S.E.N. à l'aide du logiciel ELODIE que nous avons écrit (Annexe 5).

Le schéma électrique d'ensemble, avec le dimensionnement de chaque transistor ainsi que le dessin des masques sont présentés aux pages suivantes.



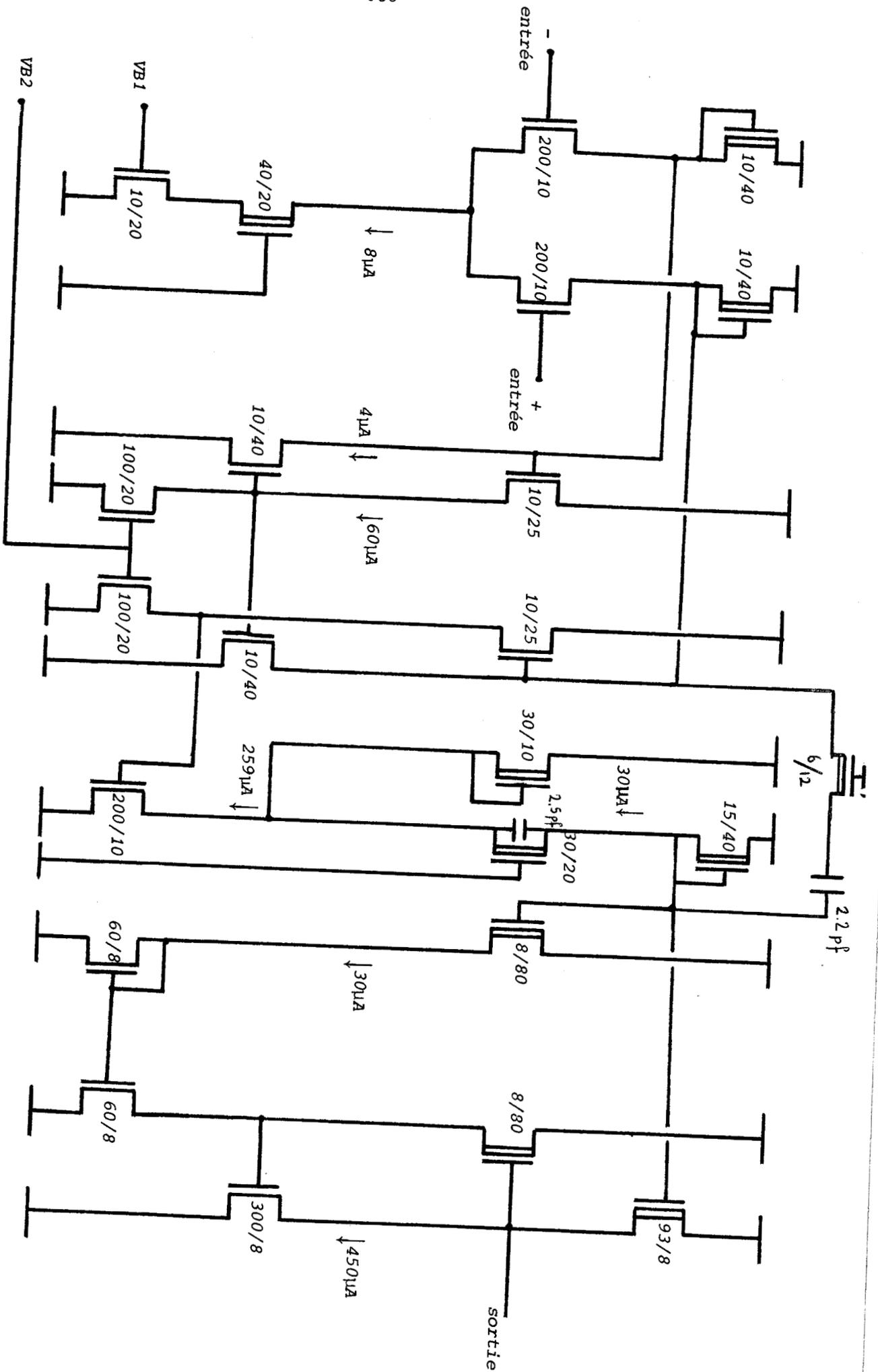
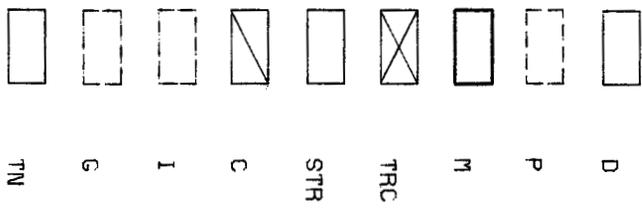
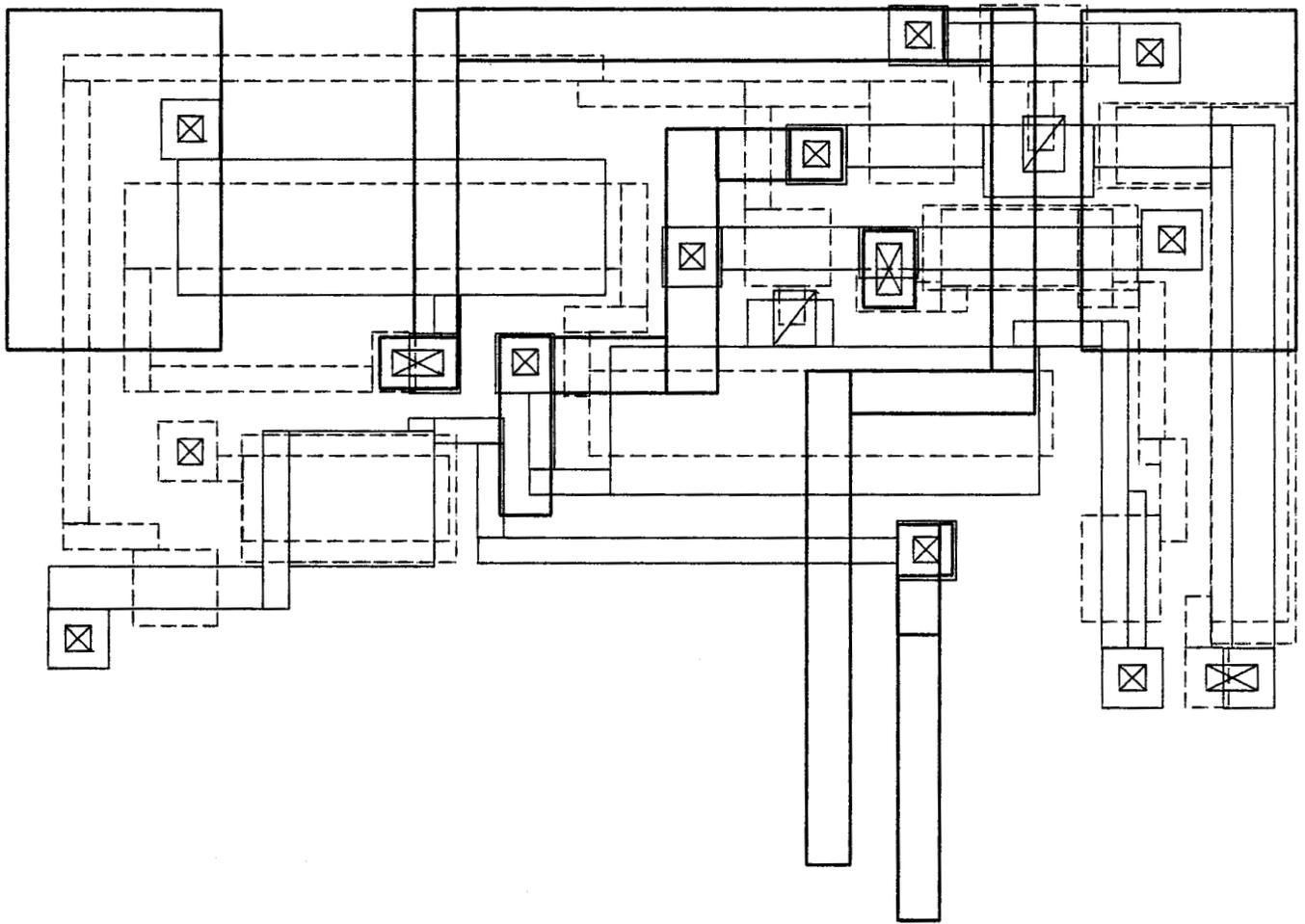
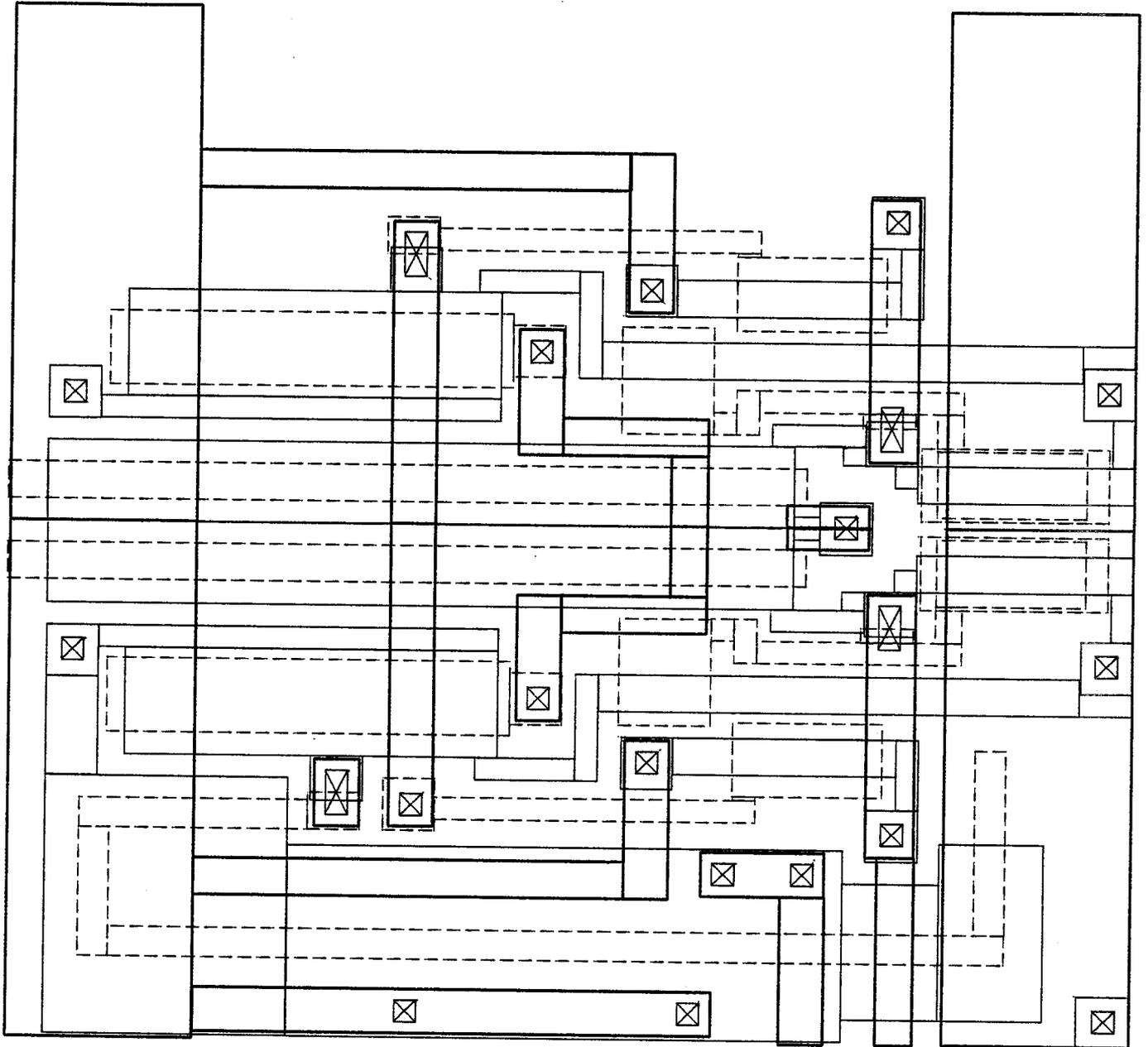


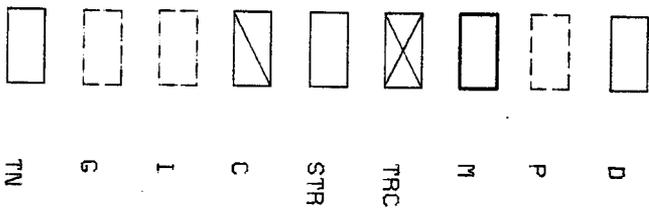
Fig. III.7.

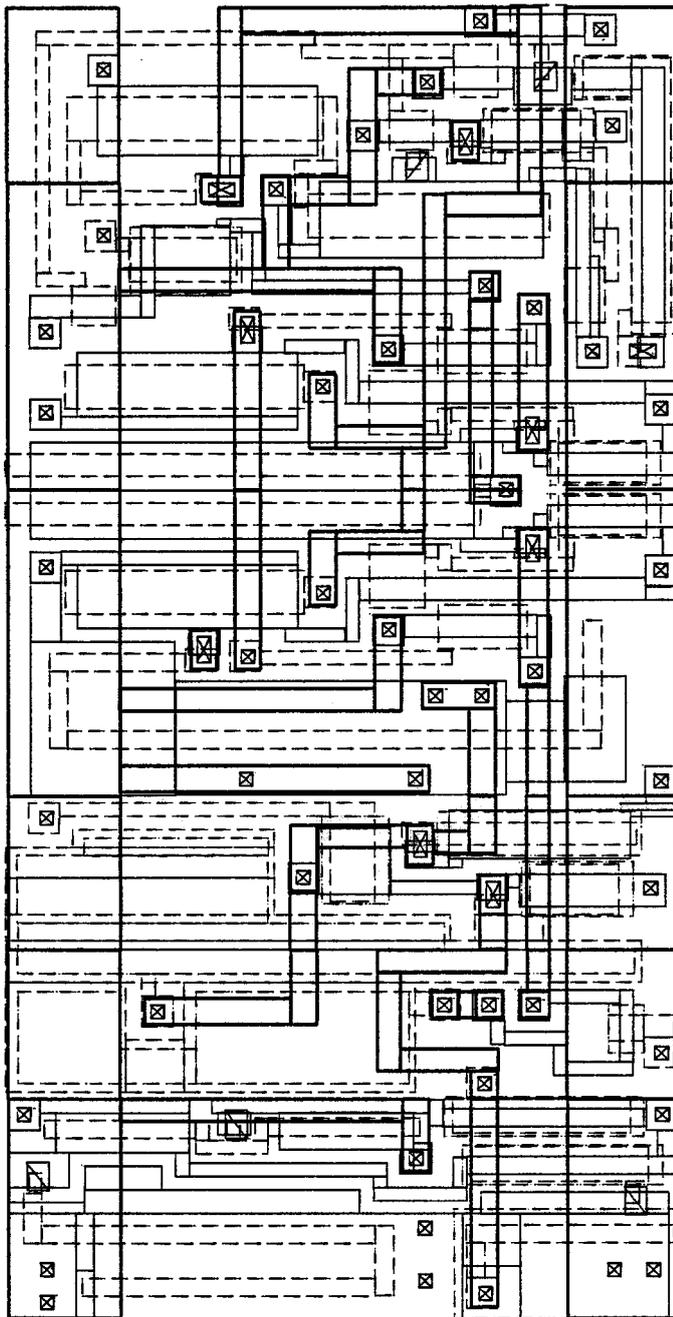


Alimentation



étage d'entrée





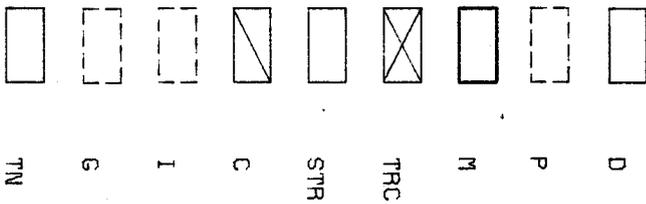
ALIMENTATION

ETAGE D'ENTREE

ETAGE DE GAIN

COMPENSATION

ETAGE DE SORTIE



Ampli opérationnel

$DX = 610 \mu m$

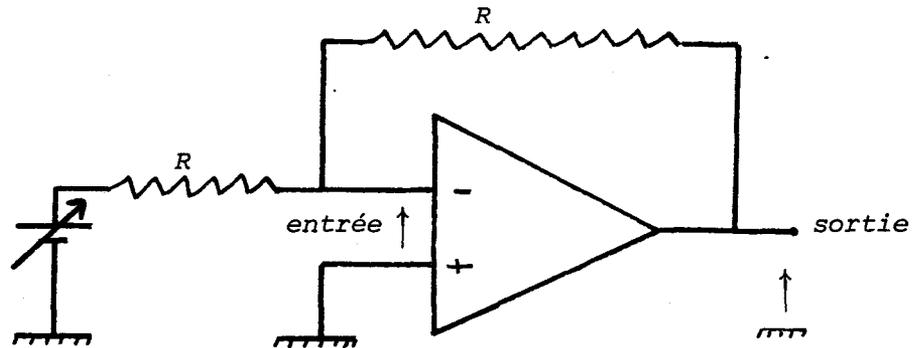
$DY = 319 \mu m$

9. TEST ET MESURE DE L'AMPLIFICATEUR

Nous nous intéresserons principalement à la courbe de transfert statique de l'amplificateur. Une erreur de conception sur le transistor T_{24} (Fig. III.7) amène, pour cette première fabrication, un courant excessif de $600 \mu\text{A}$ sur le transistor T_{22} commandant l'étage de gain. Cette erreur dégrade légèrement le gain en boucle ouverte de l'amplificateur et augmente sensiblement la consommation du circuit. Nous comparerons donc les résultats expérimentaux avec la simulation du circuit en tenant compte de cette erreur.

- Etude du gain continu

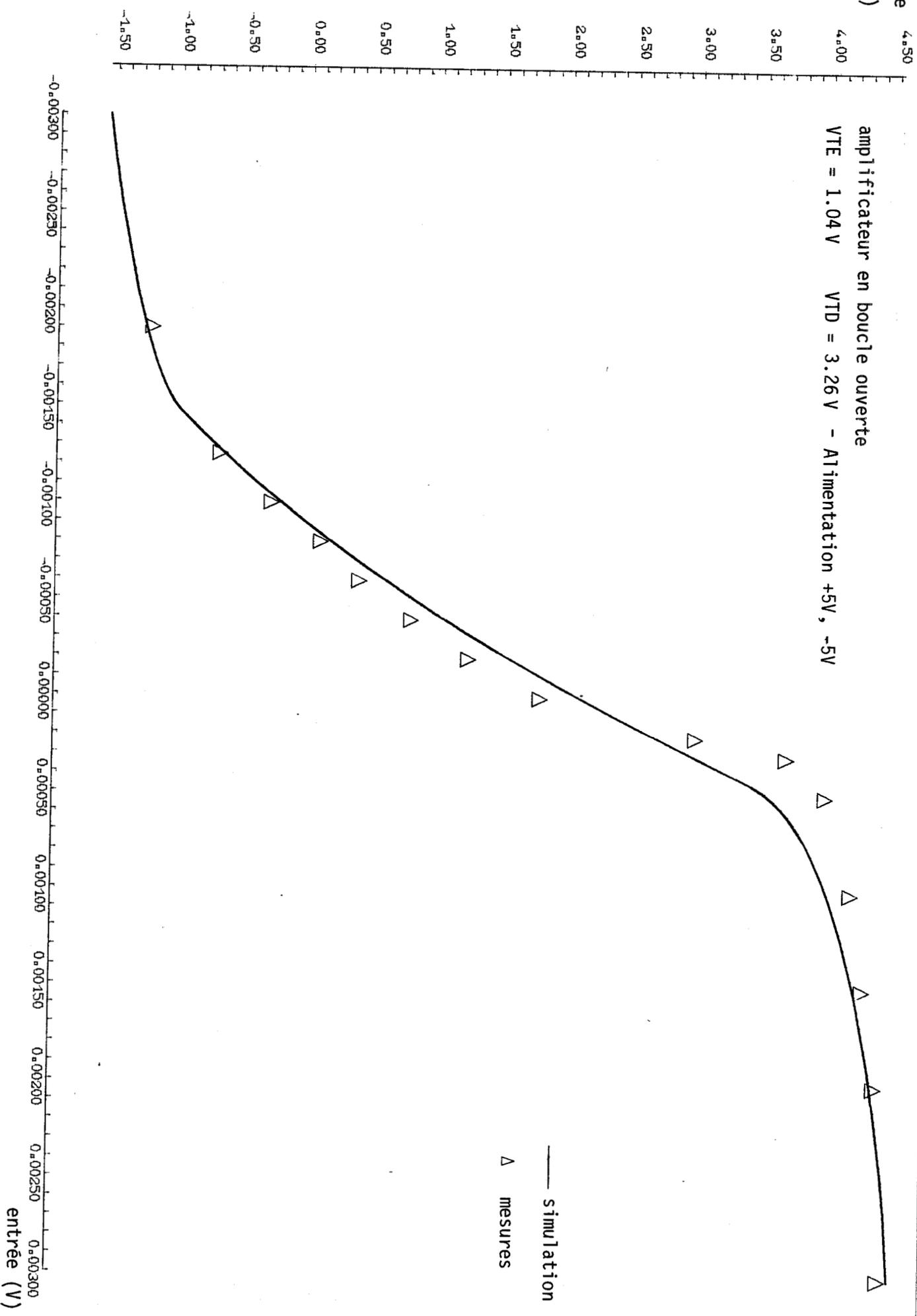
Nous prendrons le circuit de test suivant :



La valeur de la résistance R doit être suffisamment importante ($\approx 40 \text{ K}\Omega$) pour ne pas trop perturber la sortie de l'amplificateur. Les courbes aux pages suivantes nous permettent de comparer les résultats expérimentaux et les résultats de simulation pour différentes valeurs des tensions de seuil. Nous obtenons un bon suivi entre la simulation et les mesures. Le gain de l'amplificateur est ici supérieur à 2000 et respecte donc le cahier des charges.

sortie
(V)

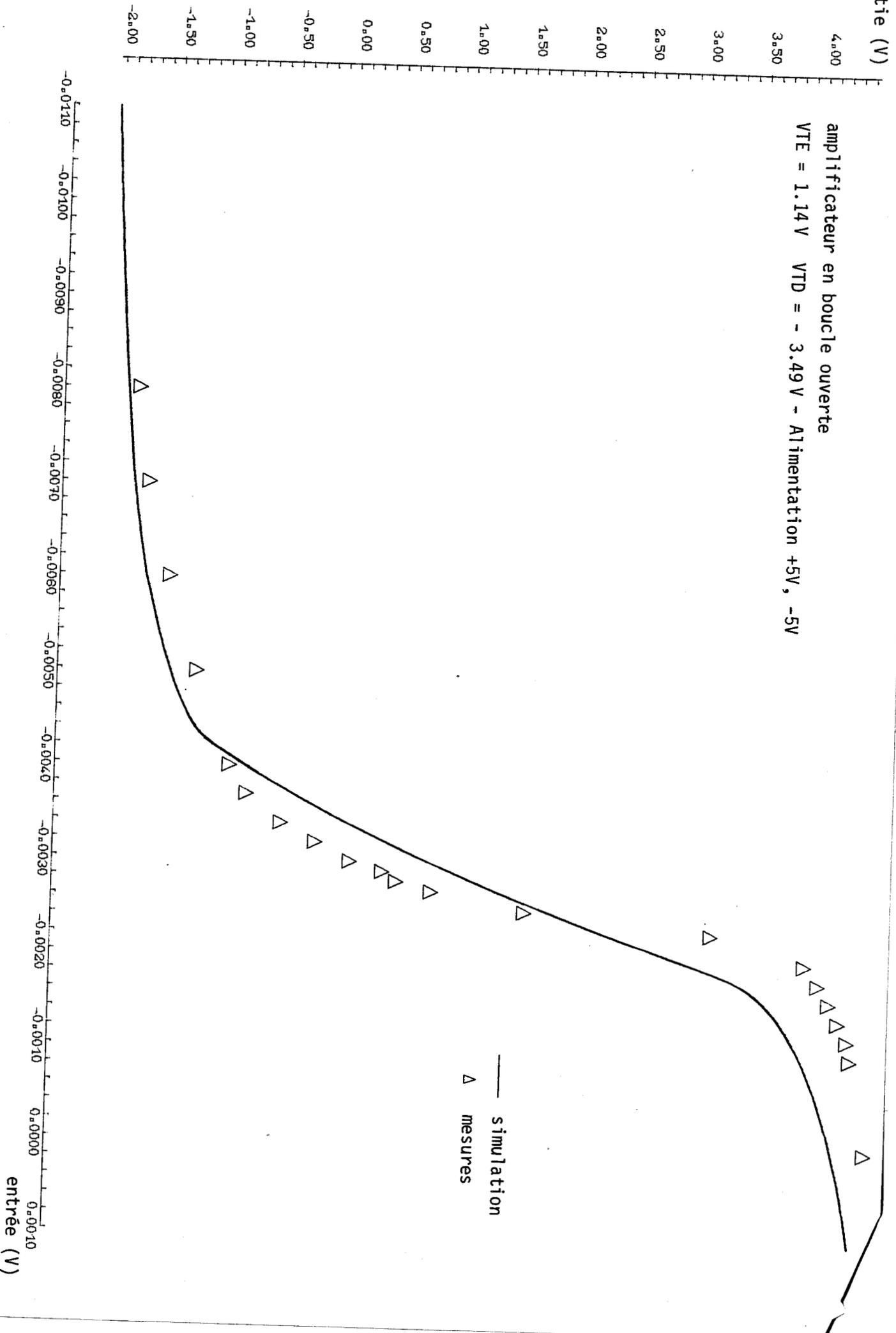
amplificateur en boucle ouverte
VTE = 1.04 V VTD = 3.26 V - Alimentation +5V, -5V



entrée (V)

sortie (V)

amplificateur en boucle ouverte
VTE = 1.14 V VTD = - 3.49 V - Alimentation +5V, -5V



entrée (V)

La dynamique n'est par contre pas respectée : le courant important circulant dans T_{21} (Fig. III.7) provoque une chute de tension due aux résistances de connection drain et source de ce transistor, et le rend prématurément en zone linéaire. La simulation, quant à elle, est en accord avec ce résultat.

- Autres résultats (Alimentation +5V, -5V)

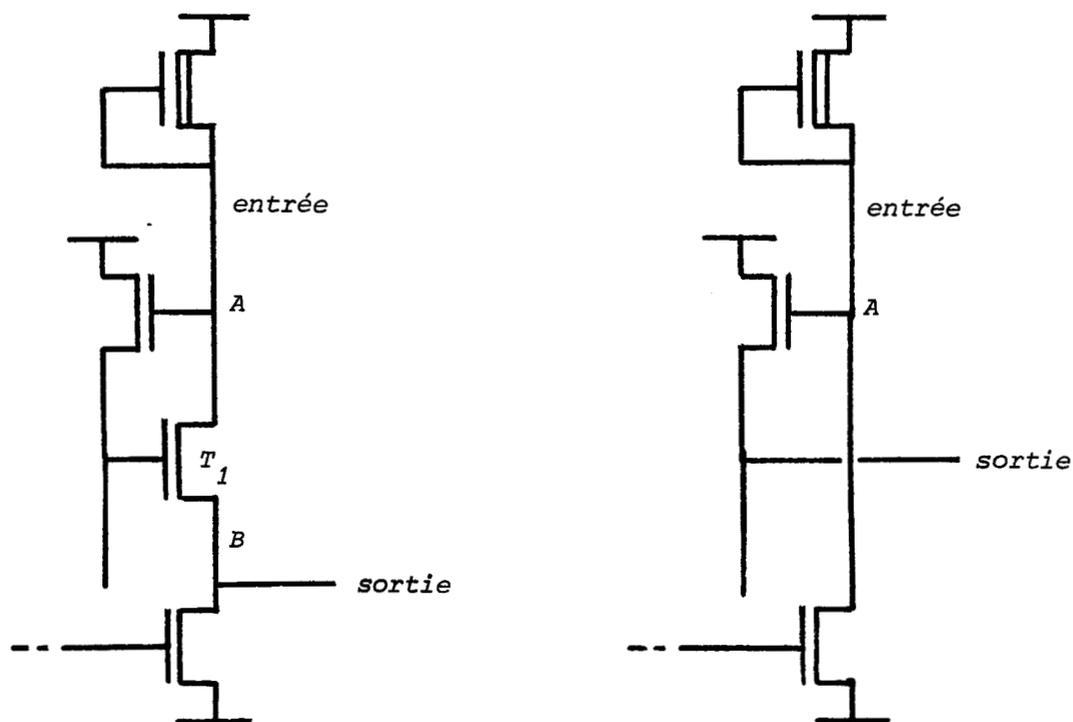
		simulation	mesures
Puissance dissipée	(mw)	15	15
Slew-rate	(charge - 50 pf) (V/ μ s)	3.2	2.5
Bande passante	(charge - 50 pf) (MHz)	2.6	2.4
Dynamique de sortie	(V)	- 1, + 3.75	- 1, + 3.75
Dynamique de mode commun	(V)	5	5
Réjection de mode commun	(dB)	95	90
Tension d'offset	(mV)	-	12 (max)

Cet amplificateur a été testé à température ambiante. Nous avons pu également le tester sur plusieurs valeurs des tensions de seuil ($V_{TD} \pm 20\%$, $V_{TE} \pm 10\%$) et avons observé une bonne insensibilité aux variations de ces dernières.

10. CONCLUSION

L'amplificateur décrit précédemment est un amplificateur opérationnel à usage général. Son originalité réside dans le level shift employé. Ce circuit économise en effet deux composants et nous permet une compensation directe sur la charge haute impédance de l'étage d'entrée. Cette compensation nécessite alors une petite capacité et fournit à l'amplificateur de bonnes performances en slew-rate.

Les deux schémas ci-dessous comparent le level shift basse impédance classique et le level shift étudié précédemment.



Dans le premier cas, l'impédance en A ou B est fonction de l'impédance de la charge et de l'impédance d'effet substrat sur la source de T_1

Dans le second cas, en négligeant également la conductance Early, l'impédance en A est seulement fonction de la charge et se trouve donc supérieure à celle du premier cas. La capacité de compensation s'en trouvera donc diminuée d'un facteur 2 à 3, le slew-rate augmentera par contre, dans le même rapport.

Un autre point intéressant, mais pas encore réalisé, est la compensation de l'effet substrat décrite en III.5. Cette compensation nous permet d'obtenir un gain par étage proche de 200, et cela, sans consommation supplémentaire. Moyennant alors une réduction de la dynamique de sortie, nous pouvons mélanger ce procédé avec la classique injection de courant sur le transistor de commande, pour obtenir un gain par étage supérieur à 500.

CONCLUSION GÉNÉRALE

La conception d'un amplificateur opérationnel nécessite l'emploi de simulateurs électriques précis. Les équations du transistor doivent être basées sur des modèles physiques et non sur des modèles empiriques. La question est alors de limiter la complexité du modèle choisi et donc de réduire le coût de conception. Ce rapport nous expose un modèle simple, implanté sur un programme très répandu. Il nous met aussi en garde sur l'utilisation aveugle des simulateurs électriques. Il est, en effet, très facile de faire fonctionner ce type de produit, mais il est, par contre, plus difficile d'en évaluer les limites ou, tout simplement, d'en évaluer l'exactitude.

Le modèle proposé n'est certes pas complet : le régime de faible inversion et le régime de perçage y font, par exemple, défaut. Il est cependant implanté sur un logiciel réputé pour ses algorithmes et sa vitesse de traitement : SPICE 2 peut, en effet, modéliser une centaine de transistors et se trouve en tête des simulateurs électriques industriels. L'investissement réalisé est donc important et utile.

Un simulateur électrique ne peut fonctionner sans paramètres à son entrée. La deuxième partie de cette thèse nous décrit un extracteur de paramètres pour simulateur électrique. Contrairement aux méthodes séquentielles d'extraction, la méthode utilisée nous affranchit pratiquement du type de modèle. Cette démarche, à notre connaissance peu employée, nous semble intéressante et très souple d'emploi. Moyennant une modification du traitement informatique, l'extracteur ainsi proposé nous paraît efficace dans un environnement industriel.

Ce travail est concrétisé par la conception et la réalisation d'un amplificateur opérationnel. L'apport d'un calcul précis de la conductance de sortie nous a interdit, durant cette conception, de réduire la longueur de certains transistors (charges sur l'étage d'entrée ...). Il est clair que ce point précis du modèle ne peut être complètement validé par un amplificateur NMOS. Néanmoins, la structure d'étage de gain avec compensation d'effet substrat est, quant à elle, assez proche d'une structure CMOS. Le simulateur original nous donne un gain sur l'étage proche de 2000 ! ... Le simulateur actuel nous en donne 200.

L'ensemble du travail n'est qu'une première étape vers la compréhension des circuits MOS complexes ; il nous a permis de bâtir un ensemble d'outils informatiques propres à leurs réalisations. Nous avons dû utiliser ou concevoir un simulateur électrique, un éditeur graphique, un vérificateur de gardes et d'autres programmes de visualisation ou de traitement de l'information. L'objectif est maintenant d'aller plus loin. L'amplificateur réalisé fait actuellement partie d'un filtre à capacités commutées ainsi que d'un multiplieur analogique. Nous espérons bientôt créer, au sein d'une équipe, un circuit complexe de traitement du signal.

ANNEXE 1

MODELISATION DU TRANSISTOR MOS PAR SPICE 2G

- Nouveau modèle -

SUBROUTINE MOSEQ3

```
C      ICHARG=1 CAUSES CHARGES TO BE COMPUTED
C      ICHARG=0 BYPASSES THE COMPUTATION OF CHARGES
C
      ICHARG=1
      IF (MODE.NE.1) GO TO 10
      ICHARG=0
      IF (MODEDC.EQ.2.AND.NDSOLV.NE.0) ICHARG=1
      IF (INITF.EQ.4) ICHARG=1
C
C      REFERENCE CDRAIN EQUATIONS TO SOURCE AND
C      CHARGE EQUATIONS TO BULK
C
10     CONTINUE
      VGB=VGS-VBS
      VFB=VBI-PHI
      VDSAT=.000
      QG=0.000
      QB=0.000
      QC=0.000
      CGDB=0.000
      CBDB=0.000
      ONXL=1.000/XL
      ETA=ETA/(XL*XL*XL)
C
C.....SQUARE ROOT TERM
C
      IF ( VBS.GT.0.000 ) GO TO 120
      PHIBS=PHI-VBS
      SQPHBS=DSQRT(PHIBS)
      DSQDVBS=-.500/SQPHBS
      GO TO 200
120    CONTINUE
      SQPHIS=DSQRT(PHI)
```

SQPHS3=PHI * SQPHIS
SQPHBS=SQPHIS/(1.000+VPS/(PHI+PHI))
PHIBS=SQPHBS * SQPHBS
DSQDVB=-PHIBS/(SQPHS3+SQPHS3)

C
C.....SHORT CHANNEL EFFECT FACTOR

C
200 CONTINUE
IF ((XJ.EQ.0.000).OR.(XD.EQ.0.000)) GO TO 210
WPS=XD+SQPHBS
ONXJ=1.000/XJ
XJCNXL=XJ*ONXL
DJONXJ=XLD*ONXJ
WPCNXJ=WPS*ONXJ
WCCNXJ=COEFF0+COEFF1*WPCNXJ+COEFF2*WPCNXJ*WPCNXJ
WCS=WCCNXJ*XJ
ARGA=WCCNXJ+DJONXJ
ARGC=WPCNXJ/(1.000+WPCNXJ)
ARGB=DSQRT(1.000-ARGC*ARGC)
FSHORT=1.000-XJCNXL*(ARGA*ARGB-DJONXJ)
DwPDVB=XD*DSQDVB
DADVB=(COEFF1+COEFF2*(WPCNXJ+WPCNXJ))*DwPDVB*ONXJ
DBDVB=-ARGC*ARGC*(1.000-ARGC)*DwPDVB/(ARGB*WPS)
DFSDVB=-XJCNXL*(DADVB*ARGB+ARGA*DBDVB)
GO TO 220
210 CONTINUE
FSHORT=1.000
DFSDVB=0.000
WCS=0.050-6

C
C.....BODY EFFECT

C
220 CONTINUE
GAMMAS=GAMMA*FSHORT
ARGA=GAMMAS/(SQPHBS+SQPHBS)
ARGB=COEFF3+COEFF4*PHIBS
ARGC=1-1/ARGB
DADVB=-ARGA*DSQDVB/SQPHBS+ARGA*DFSDVB/FSHORT
DCDVB=-COEFF4/(ARGB*ARGB)
FBODY=ARGA*ARGC
FBODY=FBODY+FNARRW
ONFBODY=1.000/(1.000+FBODY)
DFBDVB=ARGA*DCDVB+ARGC*DADVB
ORNC0=GAMMAS*SQPHBS+FNARRW*PHIBS
DQBDVB=GAMMAS*DSQDVB+GAMMA*DFSDVB+SQPHBS-FNARRW

C
C.....STATIC FEEDBACK EFFECT

C
VBIY=VBI-ETA*VDS

C
C.....THRESHOLD VOLTAGE

C
VTH=VBIY+QBONCO
DVTDVD=-ETA
DVTDVE=DCBDVB

C
C.....JOINT WEAK INVERSION AND STRCNG INVERSION
C

VON=VTH
IF (YNFS.EQ.0.000) GO TO 250
CSONCO=CHARGE*YNFS*XL*XW/COX
CDONCO=QBONCC/(PHIBS+PHIBS)
XN=1.000+CSONCO+CDONCO
VON=VTH+VT*XN
DXNDVB=QBBDVB/(PHIBS+PHIBS)-QBONCO*DSQDVB/(PHIBS*SQPHBS)
DVDDVD=0VTDVD
DVDDVB=DVTDVB+VT*DXNDVB
GO TO 300

C
C.....CUTOFF REGION
C

250 CONTINUE
IF (VGS.GT.VON) GO TO 300
CDRAIN=0.000
GM=0.000
GDS=0.000
GMBS=1.000
XGC=YGC
IF (ICHARG.NE.0) GO TO 800
GO TO 1000

C
C.....DEVICE IS ON
C

300 CONTINUE
VGSX=DMAX1(VGS,VON)

C
C.....MOBILITY MODULATION BY GATE VOLTAGE
C

ONFG=1.000+THETA*(VGSX-VTH)
FGATE=1.000/ONFG
US=UO*FGATE
DFGDVG=-THETA*FGATE*FGATE
DFGDVD=-DFGDVG*DVTDVD
DFGOVB=-DFGDVG*DVTDVB

C
C.....SATURATION VOLTAGE
C

VDSAT=(VGSX-VTH)+CNFB0Y
VPCF=VDSAT
IF (YKAPPA.GT.0.000.OR.VMAX.GT.0.000) GO TO 310
DVSDVG=CNFB0Y
DVSDVD=-DVSDVG*0VTDVD
DVSDVB=-DVSDVG*0VTDVB-VDSAT*CFB0VB*ONFB0Y
GO TO 400

310 VDSD=YL*1.006*YKAPPA/US
VDSC=YL*VMAX/US
ONVDSD=1.000/VDSD
ONVDSC=1.000/VDSC
ARGA=(VGSX-VTH)+CNFB0Y
ARGB=DSQRT(ARGA*ARGA+VDSC*VDSC)

```
VDSAT=ARGA+VDSG-ARGB
DVSDGA=(1.000)-ARGA/ARGB)*DNFRDY
DVSDVG=DVSDGA-(1.000-VDSG/ARGB)*VDSG*DFGDVG*DNFG
DVSDVD=-DVSDVG*DVTDVD
DVSDVB=-DVSDVG*DVTDVB-ARGA*DVSDGA*DFBDVB
```

```
C
C.....CURRENT FACTORS IN LINEAR REGION
```

```
C
400 CONTINUE
VDSX=DMIN1(VDS,VDSAT)
IF ( VDSX.EQ.0.000 ) GO TO 900
CDD=VGSX-VTH-0.500*(1.000+FBODY)*VDSX
DCDDVG=1.000
IF (VDS.LT.VDSAT) DCDDVD=-DVTDVD-0.500*(1.000+FBODY)
DCDDVB=-DVTDVB-0.500*DFBDVB*VDSX
```

```
C
C.....NORMALIZED DRAIN CURRENT
```

```
C
410 CONTINUE
CDNORM=CDD*VDSX
GM=VDSX
GDS=VGSX-VTH-(1.000+FBODY+DVTDVD)*VDSX
GMBS=DCDDVB*VDSX
```

```
C
C.....DRAIN CURRENT WITHOUT VELOCITY SATURATION EFFECT
```

```
C
CD1=BETA*CDNORM
BETA=BETA*FGATE
CDRAIN=BETA*CDNORM
GM=BETA*GM+DFGDVG*CD1
GDS=BETA*GDS+DFGDVD*CD1
GMBS=BETA*GMBS
```

```
C
C.....VELOCITY SATURATION FACTOR
```

```
C
IF (XKAPPA.EQ.0.000.OR.VMAX.EQ.0.000) GO TO 500
FDRAIN=1.000/(1.000+VDSX*DNVDSG)
FD2=FDRAIN*FDRAIN
ARGA=FD2*VDSX*DNVDSG*GNFG
DFDDVG=-DFGDVG*ARGA
DFDDVD=-DFGDVD*ARGA-FD2*DNVDSG
DFDDVB=-DFGDVB*ARGA
```

```
C
C.....DRAIN CURRENT
```

```
C
GM=FDRAIN*GM+DFDDVG*CDRAIN
GDS=FDRAIN*GDS+DFDDVD*CDRAIN
GMBS=FDRAIN*GMBS+DFDDVB*CDRAIN
CDRAIN=FDRAIN*CDRAIN
BETA=BETA*FDRAIN
```

```
C
C.....CHANNEL LENGTH MODULATION
```

```
C
500 CONTINUE
IF ( VDS.LE.VDSAT ) GO TO 700
```

```
IF ( VMAX.EQ.0.000 ) GO TO 510
IF ( ALPHA.EQ.0.000 ) GO TO 700

C
CDSAT=CDRAIN
EMAX=VMAX/US

C
ARGA=0.500*EMAX*ALPHA

C
C
ARGB=YJ/(1.00-8)
ARGB=2.00*DL0G(ARGB)-2.00
ARGB=ARGB/(YX*CHARGE*XNSUB*VMAX*XJ)

C
ARGC=1.00+ARGB*CDSAT
DCDVG=ARGB*GM
DCDVD=ARGB*GDS
DCDVB=ARGB*GMBS

C
C
ARGD=ARGA*ARGA+ARGC*ALPHA*(VDS-VDSAT)
DDDVG=CCDVG*ALPHA*(VDS-VDSAT)
DDDVD=CCDVD*ALPHA*(VDS-VDSAT) + ARGC*ALPHA
DDDVB=CCDVB*ALPHA*(VDS-VDSAT)

C
C
ARGE=DSQRT(ARGD)
ARGF=ARGE-ARGA
DFDVG=0.500*DDDVG/ARGE
DFDVD=0.500*DDDVD/ARGE
DFDVB=0.500*DDDVB/ARGE

C
C
ARGG=ARGF/ARGC
DELXL=FDRAIN*ARGG

C
ARGC2=ARGC*ARGC

C
C
DDL DVG=(DFDVG*ARGC-CCDVG*ARGF)/ARGC2
DDL DVG=DDL DVG*FDRAIN + DFDDVG*ARGG
DDL DVD=(DFDVD*ARGC-CCDVD*ARGF)/ARGC2
DDL DVD=DDL DVD*FDRAIN + DFDDVD*ARGG
DDL DVB=(DFDVB*ARGC-CCDVB*ARGF)/ARGC2
DDL DVB=DDL DVB*FDRAIN + DFDDVB*ARGG
GO TO 520
510 CONTINUE
DELXL=CSQRT(YKAPPA*(VDS-VDSAT)*ALPHA)
DLDVD=0.500*DELXL/(VDS-VDSAT)
DDL DVG=0.000
DDL DVD=-DLDVD
DDL DVB=0.000

C
C.....PUNCH THROUGH APPROXIMATION
C
520 CONTINUE
```

```
IF ( DELXL.LE.(YL-WCS) ) GO TO 600
WCS2=WCS*WCS
DELYL=XL-WCS2/(DELXL-XL+2.000*WCS)
ARGA=(YL-DELYL)*(YL-DELYL)/WCS2
DDLDVG=DDLDVG*ARGA
DDLDVD=DDLDVD*ARGA
DDLDVB=DDLDVB*ARGA
DLDVD=DLDVD*ARGA
```

```
C
C.....SATURATION REGION
```

```
C
600 CONTINUE
DLON>L=DELXL-ON*XL
YLFACT=1.000/(1.000-DLON*XL)
CDRAIN=CDRAIN*YLFACT
DIDDL=CDRAIN/(YL-DELYL)
```

```
C
GM=GM*YLFACT + GDS*DVSDVG + DIDDL*DDLDVG
GMBS=GMBS*YLFACT + GDS*DVSDVB + DIDDL*DDLDVB
GDS=GDS*YLFACT*DVSDVD + DIDDL*DDLDVD
```

```
C
C.....FINISH STRONG INVERSION CASE
```

```
C
700 CONTINUE
IF ( VGS.GE.VON ) GO TO 750
```

```
C
C.....WEAK INVERSION
```

```
C
ONXN=1.000/ON
ONDVT=ONXN/VT
WFACT=DEXP( (VGS-VON)*ONDVT )
CDRAIN=CDRAIN*WFACT
GMS=GM*WFACT
GMW=CDRAIN*ONDVT
GM=GMW
IF (VDS.GT.VDSAT) GM=GM+GDS*DVSDVG*WFACT
GDS=GDS*WFACT+(GMS-GMW)*DVSDVD
GMBS=GMBS*WFACT+(GMS-GMW)*DVSDVB
-GMW*(VGS-VON)*ONXN*DXNDVB
```

```
C
C.....CHARGE COMPUTATION
```

```
C
750 CONTINUE
```

```
C
IF (ICHARG.EQ.0) GO TO 1000
IF (VGS.LE.VTH) GO TO 800
CALL MCSPDF(VDS,VBS,VGS,VPOF,VDSO,VGSO,VDSAT),
1 SQPHS,DSQDVB,QSPOFC,DSQDVB,
2 QG,QC,QB,CGGB,CGB,CGSB,CBGB,CBDB,CBSB)
GO TO 2000
```

```
C
C.....CHARGE COMPUTATION FOR VGS VTH
```

```
C
800 CONTINUE
```

```
CALL MOSQ3(VDS,VBS,VGS,SCPHBS,DSQDVB,DFSDVB,  
1  QG,QC,QB,CGGB,CGCB,CGSB,CBGB,CBDB,CBSB)  
QSPDF=0.000  
GO TO 2000
```

```
C  
C.....SPECIAL CASE OF VDS=0.000
```

```
C  
900 CONTINUE  
BETA=BETA*FGATE  
CDRAIN=0.000  
GM=0.000  
GDS=BETA*(VGSX-VTH)  
GMBS=0.000
```

```
IF ( (XNFS.NE.0.000).AND.(VGS.LT.VON) )  
1 GDS=GDS*DEXP((VGS-VON)/(VT*XN))  
IF (ICHARG.EQ.0) GO TO 1000  
CALL MOSQ3(VDS,VBS,VGS,SCPHBS,DSQDVB,DFSDVB,  
1  QG,QC,QB,CGGB,CGCB,CGSB,CBGB,CBDB,CBSB)
```

```
1000 QSPDF=0.000
```

```
C  
C.....DONE
```

```
C  
2000 RETURN  
END
```

SUBROUTINE MUSQ3

```
C      CHARGE EQUATIONS ARE REFERENCED TO BULK
C
      VGB=VGS-VBS
      VFB=VBI-PHI
      QNXL=1.000/YL
      PHIBS=SQPHBS*SQPHBS
C
C      BODY EFFECT
C
      GAMMAS=GAMMA*FSHORT
      ARGA=GAMMAS/(SQPHBS+SQPHBS)
      ARGB=COEFF3+COEFF4*PHIBS
      ARGC=1-1/ARGB
      DACVB=-ARGA*DSQDVB/SQPHBS+ARGA*DFSDVB/FSHORT
      DC DVB=-COEFF4/(ARGB*ARGB)
      FBODYS=ARGA*ARGC
      FBODY=FBODYS+FNARRW
      QNFBODY=1.000/(1.000+FBODY)
      DFBDVB=ARGA*DC DVB+ARGC*DACVB
      QBONCO=GAMMAS*SQPHBS+FNARRW*PHIBS
      QDBDVB=GAMMAS*DSQDVB+GAMMA*DFSDVB*SQPHBS-FNARRW
C
C.....STATIC FEEDBACK EFFECT
C
      VBIY=VBI-ETA*VDS
C
C.....THRESHOLD VOLTAGE
C
      VTH=VBIY+QBONCO
      DVTDVD=-ETA
      DVTDVB=QBBDVB
C
C      BRANCH ACCORDING TO REGION OF OPERATION
C
      IF (VGS.LE.VTH) GO TO 800
      VGSX=DMAX1(VGS,VEN)
C
C      BRANCH ON VDS=1.000
C
      VDSY=DMIN1(VDS,VDSAT)
      IF (VDSY.EQ.0.000) GO TO 900
      CDC=VGSX-VTH-0.500*(1.000+FBODY)-VDSY
      DCDDVG=1.000
      IF (VDS.LT.VDSAT) DCDDVD=-DVTDVD-0.500*(1.000+FBODY)
      DCDDVB=-DVTDVB-0.500*DFBDVB+VDSY
C
```

C.....CHARGE TERMS

C

420 CONTINUE

ARGA=(1.000+FBODY)*VDSX*VDSY/(12.000*CDU)

DADCO=-ARGA/CDU

IF (VDS.LT.VDSAT) CADVC=ARGA/VDSX

DADFB=ARGA*DNFBODY

C

C.....GATE CHARGE

C

QG=COX*(VGS-VBIX-0.500*VDSX+ARGA)

CGGB=COX*(1.000+CACCC*DCCDVG)

IF (VDS.LT.VDSAT) CGDB=COX*(-DVTDVD-0.500+DADVD+DADCO*DCDVD)

CGSB=-CGGB-CGDB-COX*(DADCO*DCDVD+DADFB*CFBDB)

C

C.....BULK CHARGE

C

ARGA=ARGA*FBODY

DADCO=DADCO*FBODY

IF (VDS.LT.VDSAT) CADVC=CADVC*FBODY

DADFB=DADFB*(1.000+FBODY+FBODY)

C

QB=-COX*(QBONCO+0.500*FBODY*VDSX-ARGA)

CBGB=CCY*DADCO*DCDVD

IF (VDS.LT.VDSAT) CBDB=-COX*(0.500*FBODY-DADVD-DADCO*DCDVD)

CBSB=-CFGB-CBDB

1 +COX*(DQBCVB+(0.500*VDSX-DADFB)*DFBDB-DADCO*DCDVD)

GO TO 1000

C

C.....CHARGE TERMS OF VGS VTH

C

800 CONTINUE

IF (VGB.GT.VFB) GO TO 810

QG=COX*(VGB-VFB)

CGGB=CCY

GO TO 820

810

CONTINUE

GAMMA2=GAMMAS*0.500

ARGA=DSQRT(GAMMA2*GAMMA2+(VGB-VFB))

QG=GAMMAS*COX*(ARGA-GAMMA2)

CGGB=0.500*COX*GAMMAS/ARGA

820

CONTINUE

QB=-QG

CBGB=-CGGB

CGDB=0.000

CGSB=0.000

CBDB=0.000

CBSB=0.000

GO TO 1000

C

C SPECIAL CASE VDS=0.000

C

900 QG=COX*(VGS-VBI)

QB=-CCY*QBONCO

CGGB=CCY

```
CGDB=-CCX*(0.500+DVTCVD)  
CGSB=-COX*(0.500-CVTCVB)  
CRGB=0.000  
CRDB=-0.500*COX*FBODY  
CBSB=COX*(0.000+0.500*FBODY)
```

C
C
C

DONE

```
1000 QC=-{QG+QB}  
RETURN  
END
```

ANNEXE 2

EXTRACTION DES PARAMETRES SUR UNE SEULE GEOMETRIE

Après extraction sur un transistor canal court, nous obtenons les paramètres suivants :

paramètre	extraction normale	extraction sur géométrie canal court	unité
VTO	0,559	<u>0,511</u>	V
GAMMA	0,661	0,659	$V^{1/2}$
THETA	0,0447	0,0553	V^{-1}
UO	661	<u>794</u>	$cm^2/V.s$
PHI	0,722	<u>0,568</u>	V
NSUB	$1.03 \cdot 10^{15}$	$1.22 \cdot 10^{15}$	cm^{-3}
LD	0,732	<u>0,226</u>	μm
J	1,45	1,56	μm
VMAX	$0,951 \cdot 10^5$	$1,16 \cdot 10^5$	m/s
KAPPA	2,04	2,04	-
ETA	0,461	0,476	-

erreur moyenne finale 2,14 %

erreur maximale finale 6,3 %

Les résultats sur canaux courts sont remarquables ; par contre, ceux obtenus sur canaux longs sont très médiocres (voir courbes ci-après). Le jeu de paramètres, quant à lui, est purement empirique. Les mesures doivent donc être représentatives de l'ensemble des paramètres afin que l'extracteur converge vers une solution réaliste. Il est clair dans cet exemple que le manque de mesures sur canaux longs a fait dévier l'extracteur vers une mauvaise tension de seuil et par suite a faussé l'ensemble des paramètres.

(A) 0.60E-03

0.55E-03

0.50E-03

0.45E-03

0.40E-03

0.35E-03

0.30E-03

0.25E-03

0.20E-03

0.15E-03

0.10E-03

0.50E-04

0.00E+00

Extraction sur canal court - $W = 20 \mu\text{m}$ $L_G = 8 \mu\text{m}$
 $I_D = F(V_{DS})$ $V_{GS} = 1, 3, 5 \text{ V}$
 $V_{BS} = 0 \text{ V}$

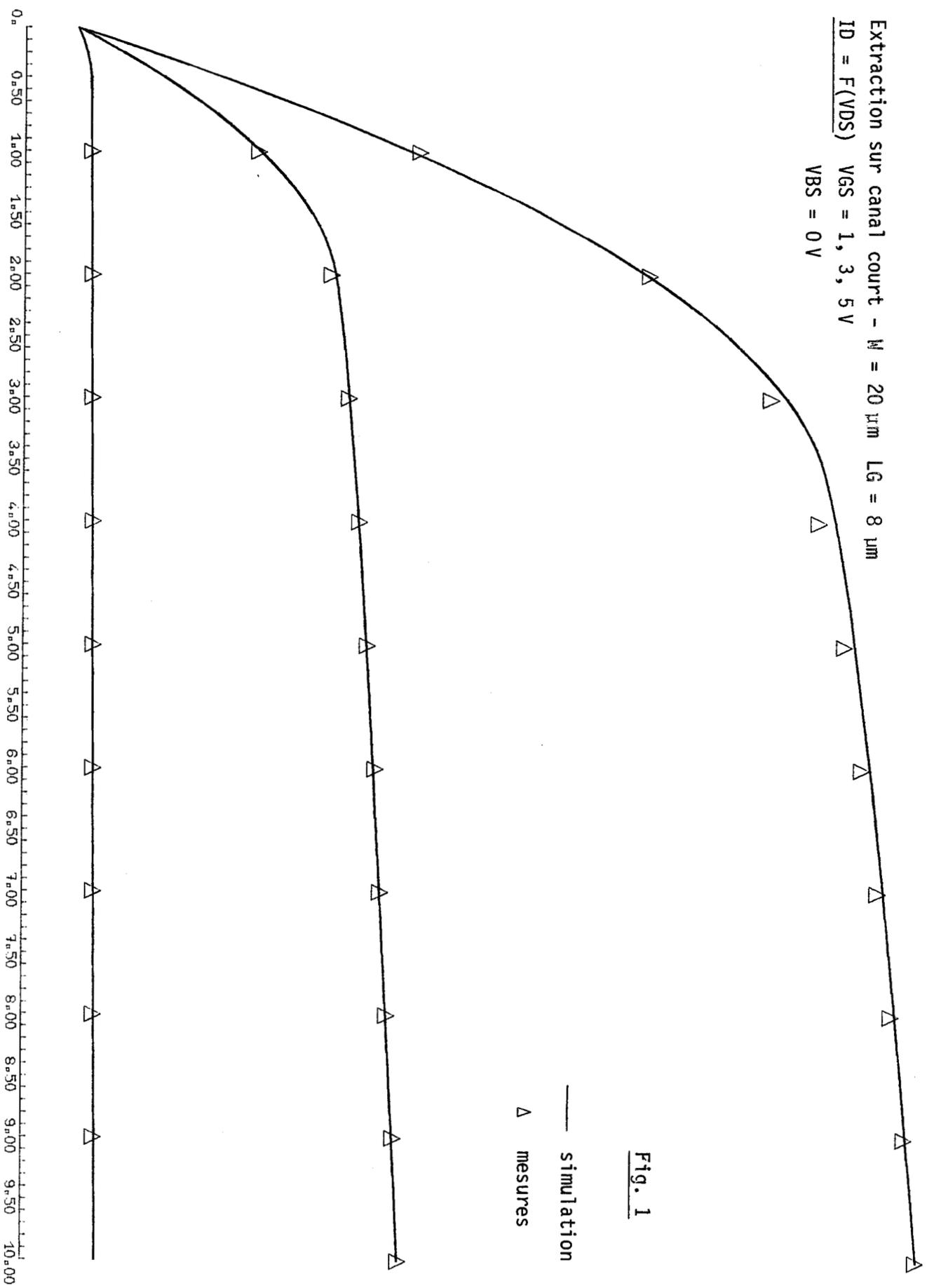


Fig. 1

(V)

(A)

- 0.47E-03
- 0.45E-03
- 0.42E-03
- 0.40E-03
- 0.37E-03
- 0.35E-03
- 0.32E-03
- 0.30E-03
- 0.27E-03
- 0.25E-03
- 0.22E-03
- 0.20E-03
- 0.17E-03
- 0.15E-03
- 0.12E-03
- 0.10E-03
- 0.75E-04
- 0.50E-04
- 0.25E-04
- 0.00E+00

- 124 -

Extraction sur canal court - $W = 20 \mu\text{m}$ $LG = 8 \mu\text{m}$
 $ID = F(VDS)$ $VGS = 3, 5 \text{ V}$
 $VBS = - 5 \text{ V}$

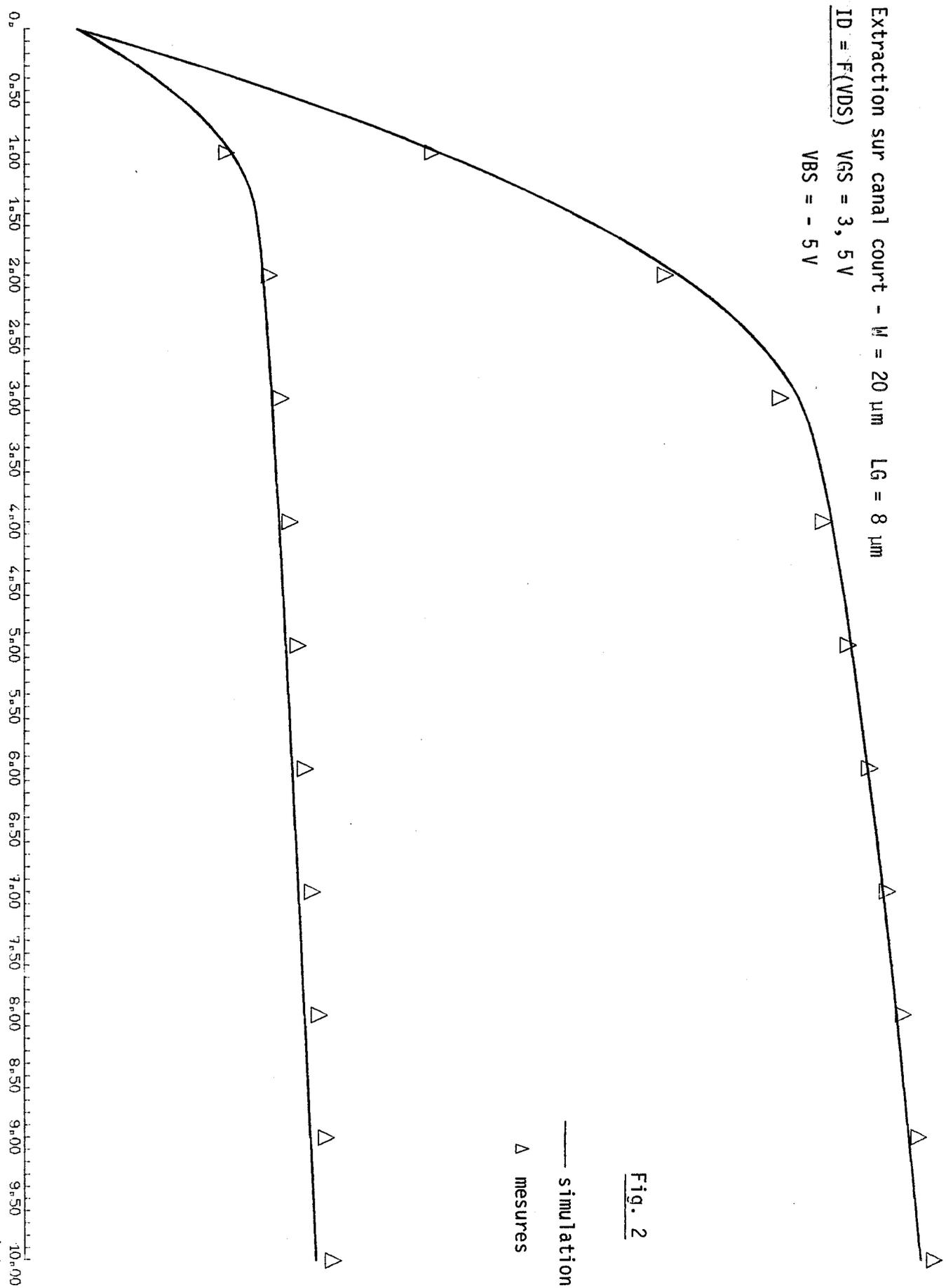


Fig. 2

(V)

(A) 0.13E-04

0.12E-04

0.11E-04

0.10E-04

0.90E-05

0.80E-05

0.70E-05

0.60E-05

0.50E-05

0.40E-05

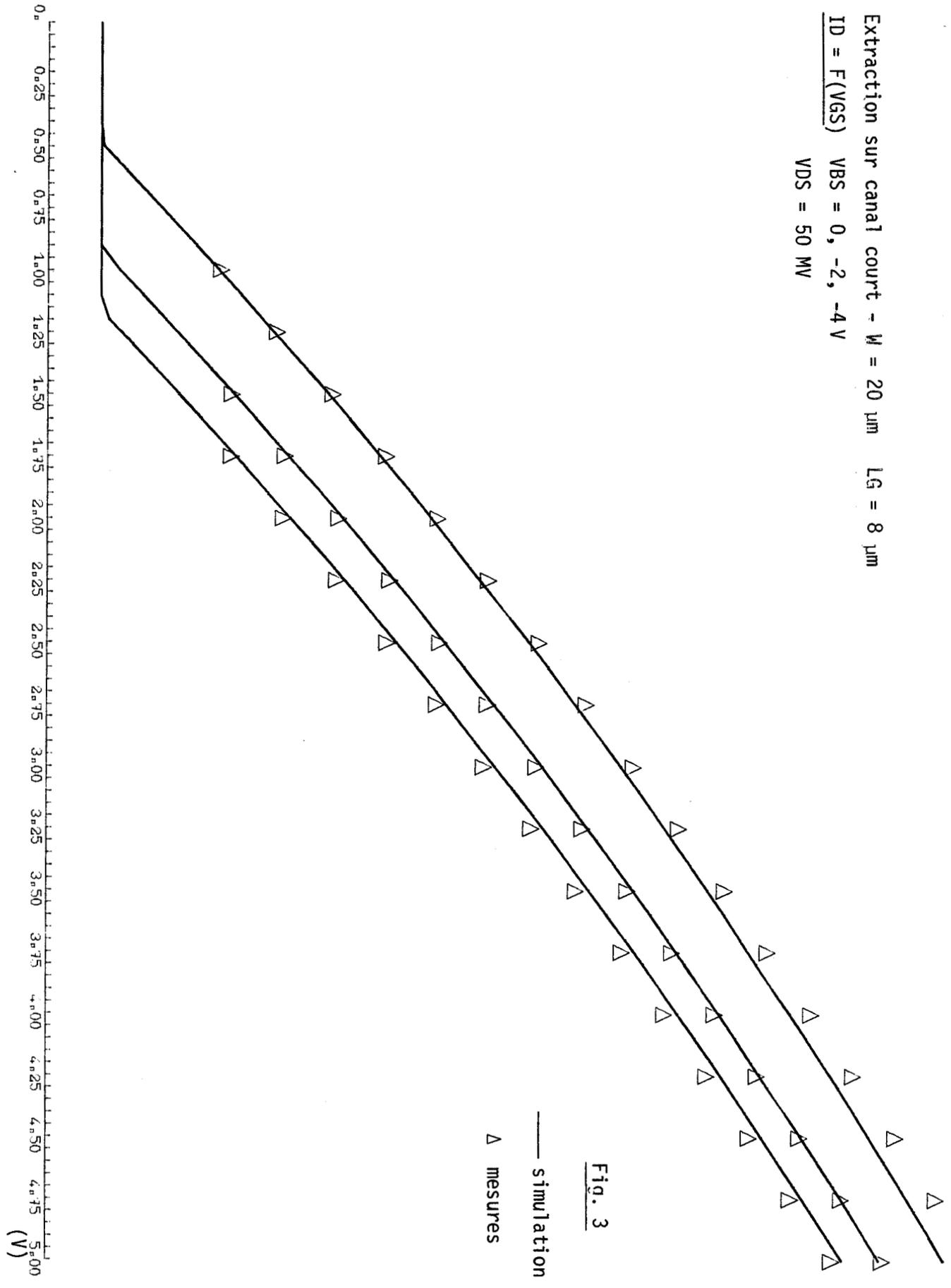
0.30E-05

0.20E-05

0.10E-05

0.00E+00

Extraction sur canal court - $W = 20 \mu\text{m}$ $L_G = 8 \mu\text{m}$
 $ID = F(VGS)$ $VBS = 0, -2, -4 \text{ V}$
 $VDS = 50 \text{ mV}$



(A)

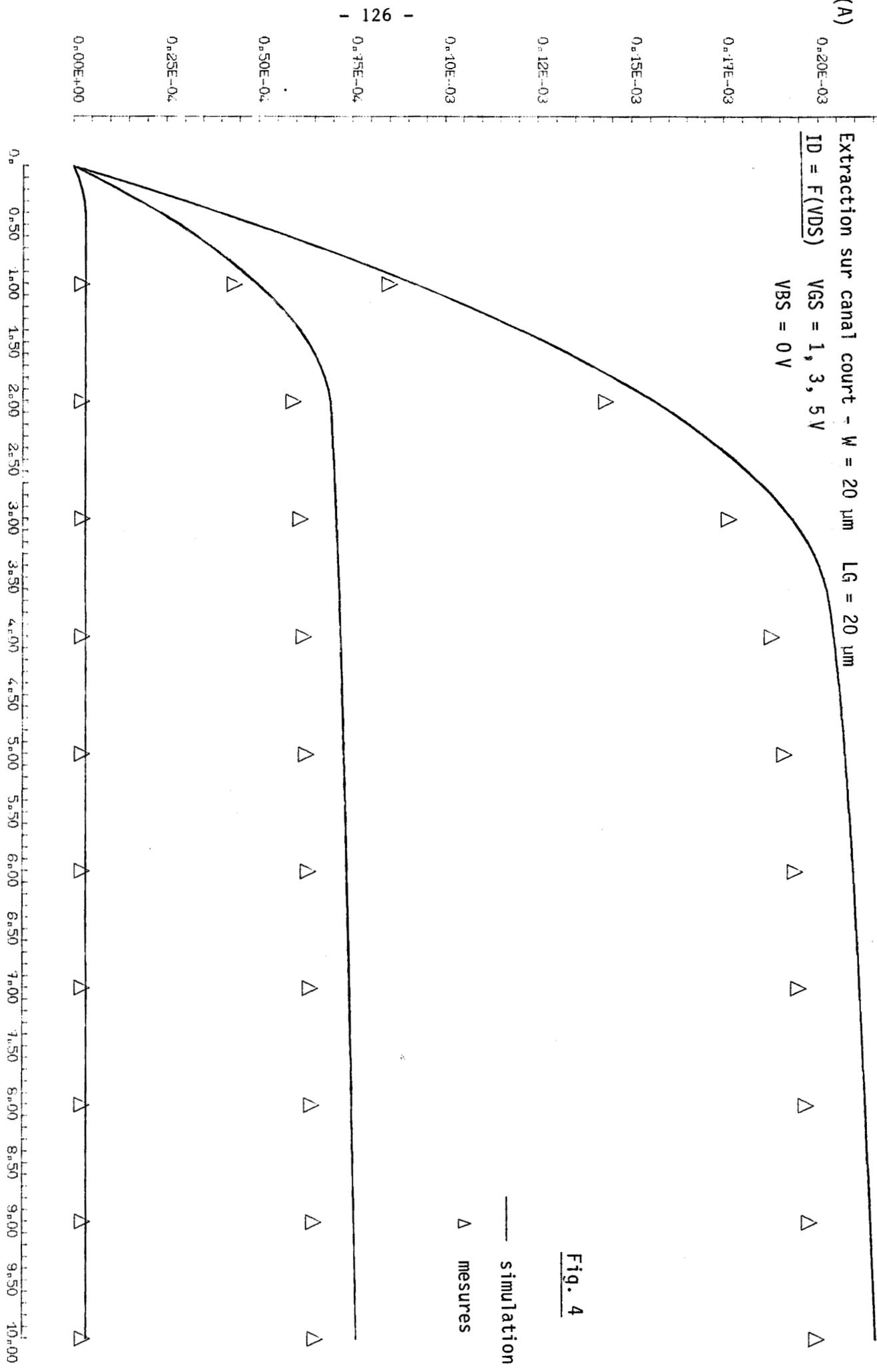


Fig. 4

— simulation
Δ mesures

(V)

(A)

0.15E-03

0.14E-03

0.13E-03

0.12E-03

0.11E-03

0.10E-03

0.90E-04

0.80E-04

0.70E-04

0.60E-04

0.50E-04

0.40E-04

0.30E-04

0.20E-04

0.10E-04

0.00E+00

Extraction sur canal court - $W = 20 \mu\text{m}$ $LG = 20 \mu\text{m}$

ID = F(VDS)

VGS = 3, 5 V

VBS = -5 V

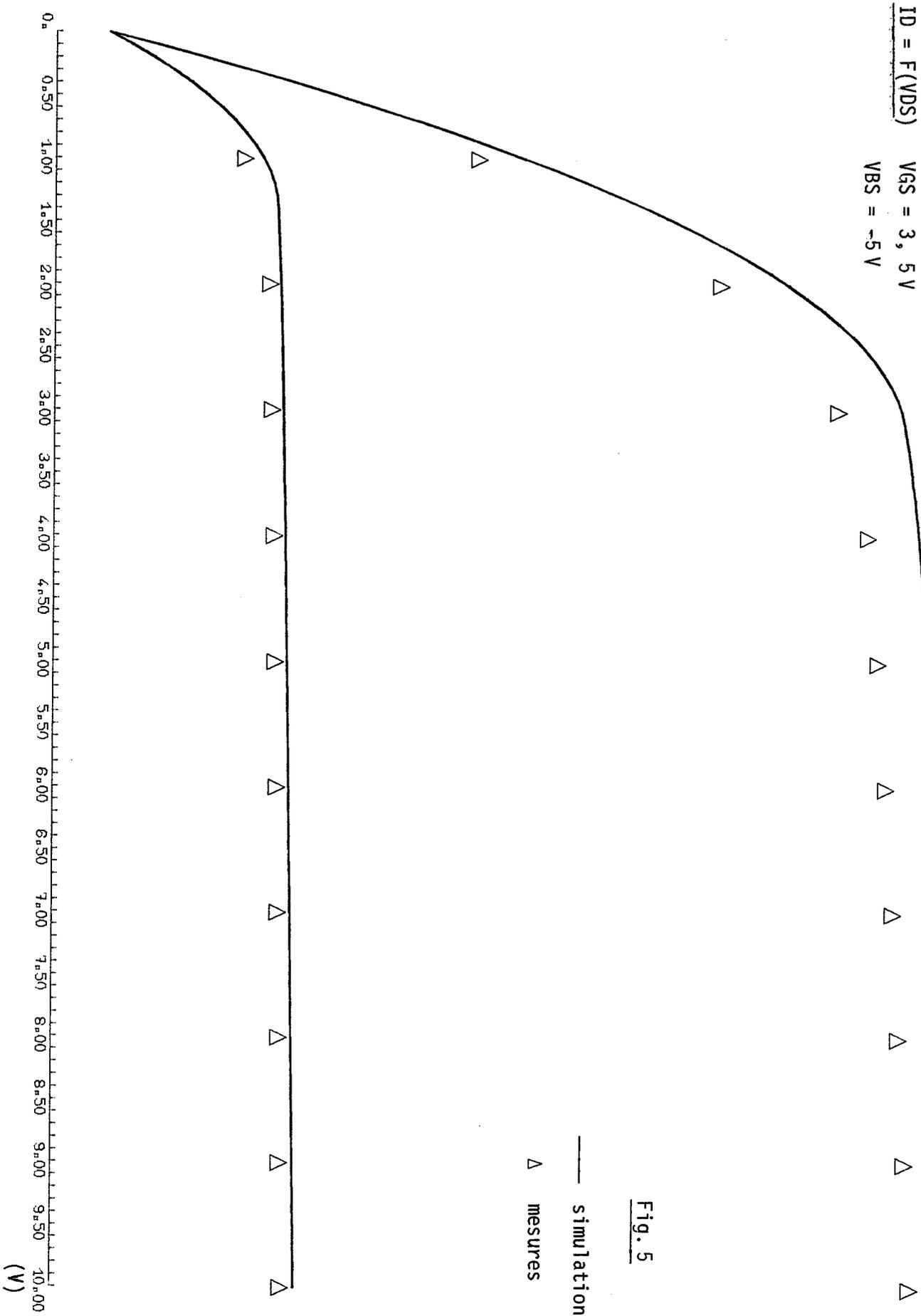


Fig. 5

(V)

(A) 0.50E-05

0.45E-05

0.40E-05

0.35E-05

0.30E-05

0.25E-05

0.20E-05

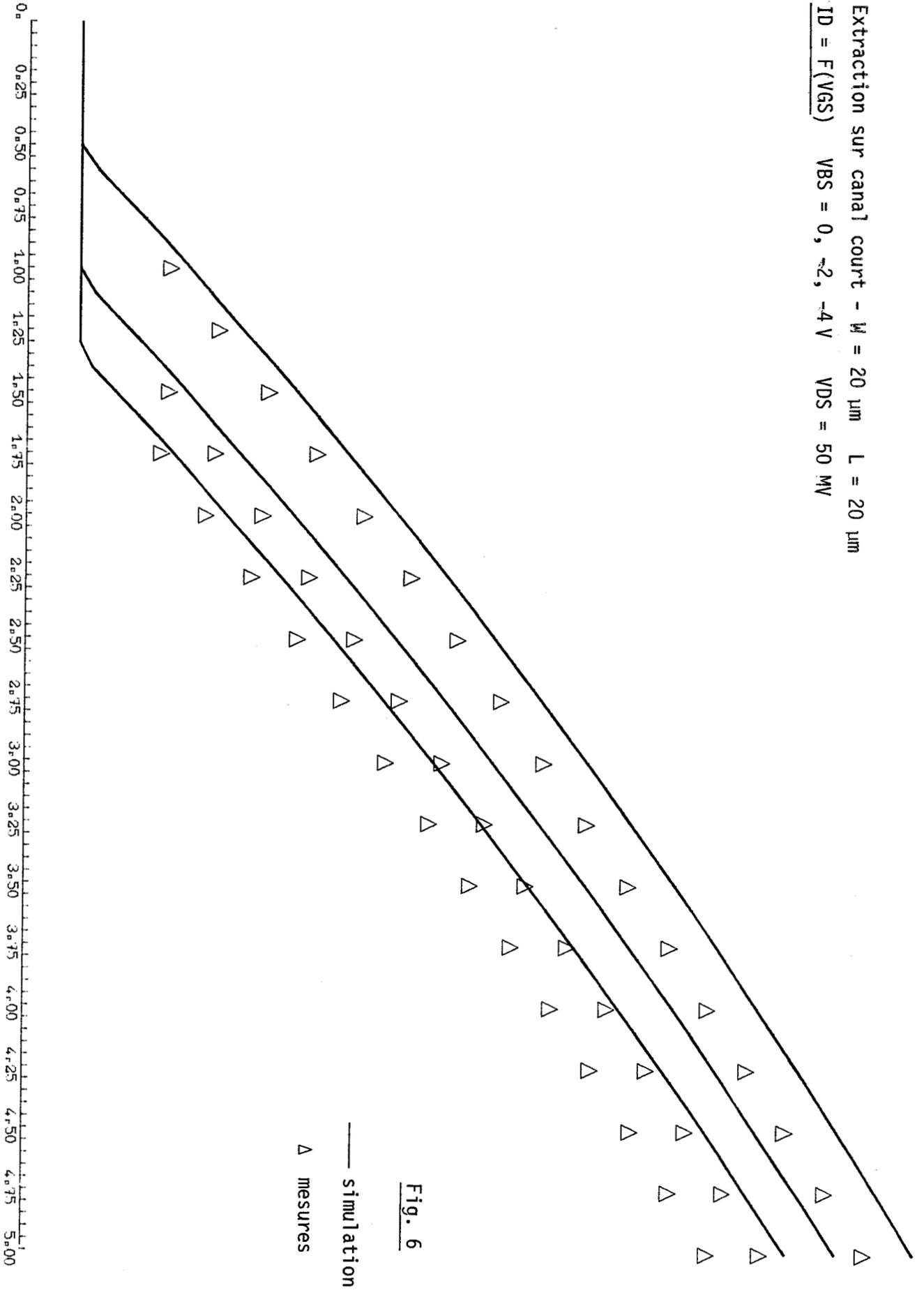
0.15E-05

0.10E-05

0.50E-06

0.00E+00

Extraction sur canal court - $W = 20 \mu\text{m}$ $L = 20 \mu\text{m}$
 $V_{GS} = 0, -2, -4 \text{ V}$ $V_{DS} = 50 \text{ mV}$



— simulation
 Δ mesures

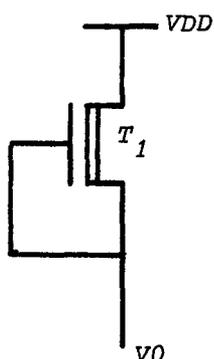
Fig. 6

(V)

ANNEXE 3

GENERATION DE LA TENSION DE SEUIL D'UN TRANSISTOR DEplete

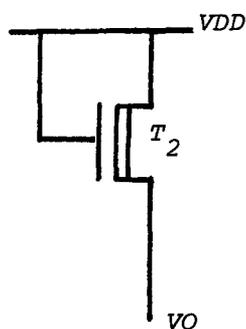
La mise en équation du courant drain d'un transistor MOS par le diagramme de Memelynck nous donne :



$$I_D = \mu_0 \cdot C_{OX} \left(\frac{W}{L} \right)_1 \frac{V_{TD}^2}{2}$$

si le transistor est en zone saturée

et



$$I_D = \mu_0 \cdot C_{OX} \left(\frac{W}{L} \right)_2 \left((V_{DD} - V_{O}) \left(\frac{V_{DD} - V_{O}}{2} \right) - V_{TD} \right)$$

Si maintenant les deux courants sont égaux, nous obtenons alors :

$$\left(\frac{W}{L} \right)_{T_1} \frac{V_{TD}^2}{2} = \left(\frac{W}{L} \right)_{T_2} \left((V_{DD} - V_{O}) \left(\frac{V_{DD} - V_{O}}{2} \right) - V_{TD} \right)$$

en posant $V_{DD} - V_{O} = V_{DS2}$ et en résolvant l'équation de second degré en V_{DS2} nous avons :

$$V_{DS2} = V_{TD} \left[-1 + \sqrt{1 + \frac{\left(\frac{W}{L} \right)_{T_1}}{\left(\frac{W}{L} \right)_{T_2}}} \right]$$

un rapport 3 entre $\left(\frac{W}{L}\right)_{T_1}$ et $\left(\frac{W}{L}\right)_{T_2}$ nous donne alors $V_{DS2} = V_{TD}$.

V_{DS2} peut constituer une source de référence de tension dont la valeur est la tension de seuil d'un transistor déplété.

ANNEXE 4

PARAMETRES ELECTRIQUES ET PHYSIQUES
DE LA TECHNOLOGIE

- L = longueur effective du canal minimum (6 μm)	4 μm
- W = largeur effective du canal minimum (6 μm)	5 μm
- REC = recouvrement grille-diffusion	0,75 μm
- TOX = épaisseur d'oxyde de grille	950 Å
- TPOLY-OX = épaisseur d'oxyde entre les deux polys	900 Å
- NSUB = concentration de substrat	1E15 cm^{-3}
- UO = mobilité	700 < 800 < 900 $\text{cm}^{-2} \text{V}^{-1} \text{sec}^{-1}$
- THETA = facteur de réduction de la mobilité	0,074 volts^{-1}

Tensions de seuil

- VTE = tension de seuil du transistor à enrichissement 0,7 < 0,9 < 1,1 volts
- VTD = tension de seuil du transistor à déplétion -3 > -3,5 > -4 volts
- $\lambda_E = 1,14$ (paramètre Memelynck)
- $\lambda_D = 1,149$ (paramètre Memelynck)

Capacités

- $C_{\text{poly1-2}}$ = capacité entre poly I et poly II 3,5 < 3,7 < 3,9 $10^{-4} \text{ pF}/\mu\text{m}^2$
- C_{dif} = capacité des zones diffusées 1,1 $10^{-4} \text{ pF}/\mu\text{m}^2$
- $C_{\text{métal}}$ = capacité Alu sur oxyde épais par rapport au substrat 0,25 $10^{-4} \text{ pF}/\mu\text{m}^2$

- $C_{\text{poly I}}$ = capacité poly sur oxyde épais par rapport au substrat $0,5 \cdot 10^{-4} \text{ pF}/\mu\text{m}^2$
- $C_{\text{métal-poly I}}$ = capacité entre poly I et métal $0,5 \cdot 10^{-4} \text{ pF}/\mu\text{m}^2$

Interconnexions

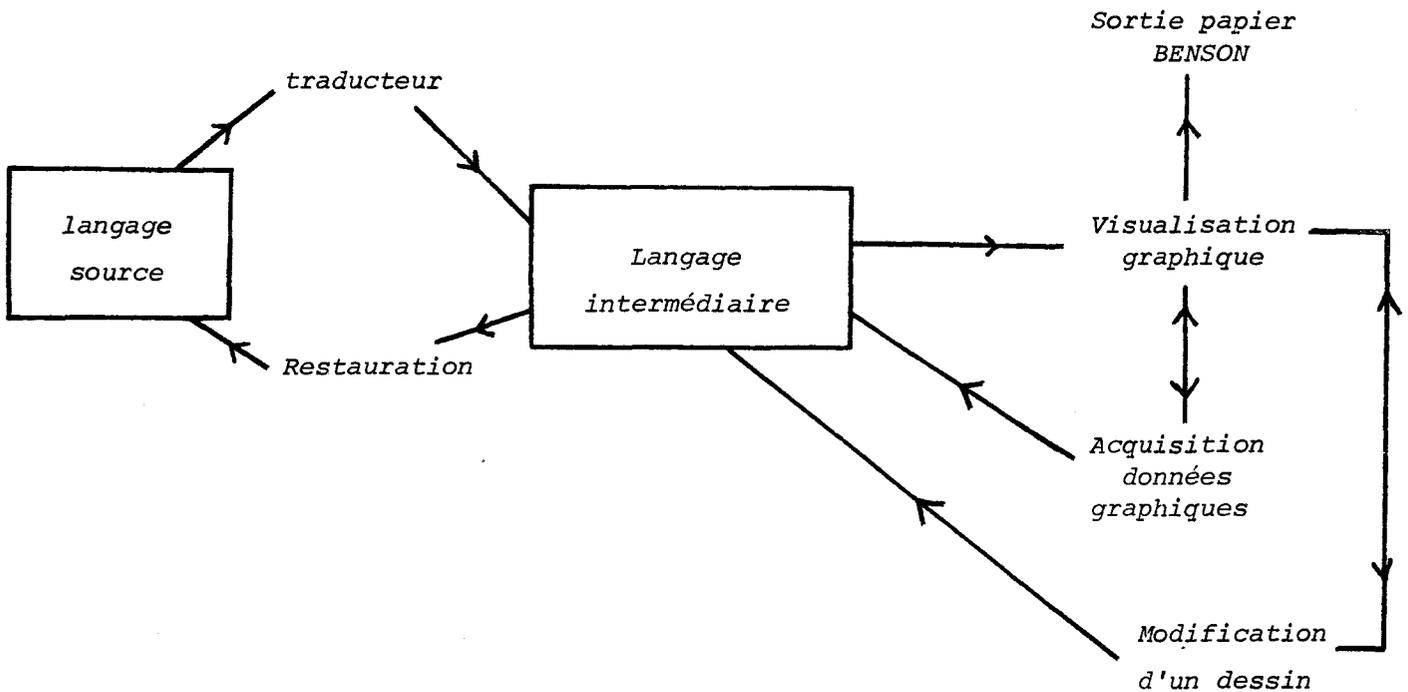
- R_{diff} = résistance par carré de la diffusion $20 < 25 < 30 \ \Omega/\square$
- $R_{\text{poly I}}$ = résistance par carré du poly I $19 < 22 < 25 \ \Omega/\square$
- $R_{\text{poly II}}$ = résistance par carré du poly II $20 < 23 < 26 \ \Omega/\square$
- R_{alu} = résistance par carré de l'aluminium $0,03 \ \Omega/\square$

ANNEXE 5

Logiciel ELODIE

Ce programme, conçu pour le dessin des masques des circuits intégrés, reprend l'architecture du système LUCIE (1) dont il est issu. Il est composé d'environ 15 000 instructions FORTRAN 77 et fonctionne actuellement sous terminal graphique intelligent TEKTRONIX-4114.

L'organigramme général est le suivant :



Les informations graphiques peuvent être introduites soit à l'aide d'un langage source (langage de base ou langage évolué), soit à l'aide d'une tablette graphique (langage de base). Le langage de base décrit chaque rectangle élémentaire composant les différents masques du circuit. Le langage évolué manipule des ensembles de rectangles appelés "FIGURE", à l'aide d'opérateurs géométriques simples : déplacement, rotation, symétrie, répétition. Cette manipulation peut être dynamique, c'est-à-dire paramétrée par des variables calculées au cours du programme.

Une complète interactivité (2) est maintenant obtenue. Cette interactivité exploite à fond l'intelligence du terminal graphique et minimise ainsi la transmission des données entre le calculateur et le terminal graphique.

Le système est actuellement implanté au laboratoire sur un calculateur IBM 4341. Un dessin complexe d'environ 50 000 rectangles nécessite une place mémoire approximative d'un mégaoctets.

(1) Langage Universitaire de Conception de Circuits Intégrés pour l'Enseignement (A. Guyot, A. Jerraya, J. Raymond - équipe de recherche en architecture d'ordinateurs IMAG, Grenoble).

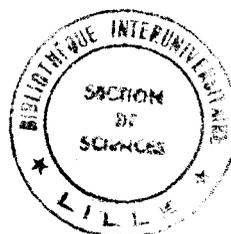
(2) V. Pick, P. Warembourg - "Conception d'un éditeur graphique interactif" I.S.E.N., 1984.

BIBLIOGRAPHIE

- [0,1] David A. HODGES, Paul A. GRAY, Robert W. BRODERSEN : "Potential of MOS technologies for Analog Integrated Circuits", IEEE SSC, Vol. SC-13, pp. 285-294, June 1978.
- [0,2] R.W. BRODERSEN : "The Role of Analog Circuits in VLSI Technologies of the Future", Invited paper ESSCIRC'83, Lausanne, September 21-23 1983. Digest of Technical Papers, p. 105, (Presses Polytechniques Romandes).
- [0,3] Robert W. BRODERSEN, Paul R. GRAY, David A. HODGES : "MOS Switched-Capacitor Filters", Proc. IEEE, Vol. 67, pp. 61-75, Janv. 1979.
- [0,4] Yves THERASSE : "Filtres Intégrés à Capacités Commutées - Synthèse LEAPFROG au moyen de Sections Biquadratiques", Université Catholique de Louvain, 1981.
- [0,5] Paul R. GRAY : "Basic MOS operational Amplifier Design. An Overview" IEEE Press, Analog MOS Integrated Circuits, 1980, pp. 28-49.
- [I,1,1] L.W. NAGEL SPICE 2 : "A computer Program to Simulate Semiconductor Circuits", ERL Memo N° ERL M520 Electronics Research Laboratory, University of California, BERKELEY, May 1975.
- [I,1,2] Andrei VLADIMIRESCU and Sally LIU : "The Simulation of MOS integrated circuits using SPICE 2" - Memorandum N° UCB/ERL M80/7 (October 80)
- [I,1,3] Donald O. PEDERSON, P. ANTOGNETTI, M. DEMAN : "Computer Design Aids for VLSI Circuits", 1981, pp. 1-112.
- [I,2,1] S.M. SZE : "Physics of Semiconductor Devices", 1969, pp. 425-433.
- [I,2,2] LUONG MO DANG : "A simple Current model for short-Channel IGFET and

- its application to circuit simulation"- IEEE SSC Vol. SC-14, n° 2, April 1979, pp. 358-367.
- [I,2,3] Ronald R. TROUTMAN: "VLSI Limitations from Drain-Induced Barrier Lowering"- IEEE SSC, Vol. SC-14, n° 2, April 1979, pp. 383-390.
- [I,2,4] MIROO MASUDA, MASA AKI NAKAI, MASAMARU KUBO: "Characteristics and Limitation of Scaled-Down MOSFET's Due to two-Dimensional Field effect"- IEEE Tr. on Electron Devices, Vol. ED 25, n° 6, June 1979 pp. 980-986.
- [I,2,5] K.O. JEPPSON: "Influence of the Channel width on the threshold voltage modulation in MOSFETS"- Electronics Letters, Vol. 11, n° 14, 10th July 1975.
- [I,2,6] E. DEMOULIN, F. VAN DE WIELE : NATO Advanced Study Institute on Process and Device Modeling for Integrated Circuit Design: "Ion Implanted MOS Transistors"- Université Catholique de Louvain
- [I,3,1] C.T. SAH: "Characteristics of the Metal-Oxyde-Semiconductor transistors"- IEEE Trans. Electron Devices, ED-11, 324 (1964).
- [I,3,2] HANA FI, CANNITZ, DALLY: "An accurate and simple MOSFET Model for computer aided design"- IEEE SSC, Vol. SC-17, n° 5, October 1982.
- [I,3,3] G. MERCKEL: "Contribution à l'Analyse Physique du Transistor MOS dans son Evolution vers les Microstructures"- Thèse de l'Institut National Polytechnique de Grenoble, 1979, pp. 38-39.
- [I,3,4] G. MERCKEL, J. BOREL, N. CUPCEA: "An accurate large signal MOS Transistor Model for use in Computer Aided Design"- IEEE Trans. Electron Devices, Mai 1972, p. 681
- [I,3,5] G. MERCKEL: "Contribution à l'Analyse Physique du transistor MOS dans son Evolution vers les Microstructures"- Thèse de l'Institut National Polytechnique de Grenoble, 1979, pp. 60-82.

- [I,3,6] G. BAUM, M. BENEKING : "Drift Velocity Saturation in MOS transistors" - IEEE Trans. Electron Devices (corresp.) Vol. ED-17, pp. 481-482, June 1970.
- [I,4,1] ALEXANDER, ANTINONE, BROWN : "SPICE 2 MOS Modeling Handbook" - BDM Corporation Albuquerque, May 1977.
- [I,4,2] WARD, DUTTON : "A Charge Oriented Model for MOS Transistor Capacitances" - IEEE SSC, Vol. SC-13, n° 5, October 1978.
- [II,2,1] HARWELL SUBROUTINE LIBRARY, A.E.R.E. HARWELL, OXFORDSHIRE OX11 0RA, Great-Britain.
- [II,6,1] WARD, DOGANIS : "Optimized Extraction of MOS Model Parameters" - IEEE Trans. on Computer and Design, Vol. CAD-1, n° 4, October 82.
- [III,1,1] Paul R. GRAY : "Basic MOS Operational Amplifier Design, An Overview" - IEEE Press - Analog MOS Integrated Circuits, Paul R. GRAY, David A. HODGES, Robert W. BRODERSEN, 1980, pp. 28-49.
- [III,3,1] Daniel SENDEROWICZ, John H. HUGGINS : "A Low Noise NMOS Operational Amplifier" - IEEE SSC Vol. SC-17, N° 6, December 1982, pp. 999-1008.
- [III,6,1] Paul R. GRAY : " Analysis and Design of Analog Integrated Circuits" - 1977, pp. 496-541.
- [III,6,2] Paul R. GRAY : " Basic MOS Operational Amplifier Design, An Overview" - IEEE Press - Analog MOS Integrated Circuits, Paul R. GRAY, David A. HODGES, Robert W. BRODERSEN, 1980, p. 35.



RESUME

La conception d'un amplificateur opérationnel intégré ne peut se faire sans un outil précis de simulation. Ce rapport rend compte des performances du simulateur électrique SPICE 2G et valide un modèle grâce à la conception et à la réalisation d'un amplificateur opérationnel NMOS.

La première partie analyse le modèle du transistor MOS dans le programme SPICE 2G et propose des corrections sur l'effet substrat et sur l'effet de rétrécissement de la longueur du canal. La deuxième partie met en oeuvre un extracteur de paramètres pour simulateur électrique, extracteur souple, ajustant simultanément l'ensemble des paramètres afin de fournir un jeu optimal. La troisième et dernière partie propose une architecture d'amplificateur opérationnel. L'originalité du circuit réside dans le "level shift" employé. Cette partie discute également d'une amélioration de l'étage de gain classiquement utilisé.

La comparaison entre les résultats expérimentaux et les simulations est satisfaisante. La précision du modèle obtenu nous permet maintenant de modéliser et concevoir des circuits intégrés complexes (Filtres, convertisseurs, ...).

MOTS-CLEFS

Amplificateur opérationnel
(Operational Amplifier)

Conception assistée
(Computer Aided Design)

Transistor MOS
(MOS Transistor)

Simulation électrique
(Electrical Simulation)

Circuit MOS
(MOS Circuit)

Ajustement
(Fitting)

Circuit intégré
(Integrated Circuit)