50376 1990 307

50376 1990 307

N° d'ordre: 608

THESE

présentée à

l'Université des Sciences et Techniques

de Lille Flandres-Artois

pour obtenir le grade de

Docteur en Electronique

par

Jean-Paul BARDYN

Ingénieur ISEN

AMPLIFICATEURS CMOS FAIBLE BRUIT

POUR APPLICATIONS SONAR



soutenue le 9 Novembre 1990, devant la commission d'examen:

Président:

E. CONSTANT

Rapporteurs:

E. VITTOZ

D. BILLET

P. JESPERS

Examinateurs:

J.N. DECARPIGNY

J. ZIMMERMANN





A Colette,

A Charles-Edouard et Flavien,

A mes parents et beaux-parents,

A toute ma famille,

Je tiens à remercier en tout premier lieu mon très cher ami et collègue Andreas KAISER pour les fructueux échanges que nous avons pu avoir tout au long de ces années. Nous avons cheminé ensemble jusqu'au jour même de notre soutenance de thèse. Je souhaite du fond du coeur que cette amitié se poursuive, même si nos chemins sont maintenant un peu différents.

J'exprime ma plus profonde reconnaissance envers Messieurs les Professeurs Paul JESPERS et Eric VITTOZ. Tous deux ont largement contribué à mon cheminement en apportant les bons conseils, aux bons moments. Sans eux, le laboratoire de l'ISEN n'aurait pas la notoriété nationale et internationale qu'on lui reconnaît aujourd'hui. Je suis heureux qu'ils aient tous deux accepté d'assumer la lourde tâche de rapporteur.

Je remercie tout aussi vivement Monsieur J.N. DECARPIGNY pour la disponibilité, le support technique et le soutien moral dont il m'a fait bénéficier tout au long de ces années.

Je tiens à remercier également Messieurs Paul ASTIER et Michel LANNOO pour m'avoir accueilli dans les locaux de l'ISEN au sein du Laboratoire d'Etudes des Surfaces et Interfaces.

J'exprime ma reconnaissance à Monsieur le Professeur CONSTANT qui a accepté la présidence de ce jury et qui, par ailleurs, apporte son soutien à ma nouvelle activité au sein de Mixed Silicon Structures.

Je tiens également à témoigner mon amitié à Monsieur Dominique COLLARD qui a su développer, au sein de l'équipe qu'il anime, un esprit de bonne entente et d'efficacité.

Je remercie tout particulièrement mon ami Bruno STEFANELLI pour l'aide précieuse qu'il m'a apportée dans la réalisation du circuit LNA02.

J'exprime aussi toute mon amitié envers les membres du département Electronique de l'ISEN qui m'ont toujours apporté un soutien à la fois moral et logistique.

J'exprime ma reconnaissance envers Madame RICHARD du Groupement d'Etudes et de Recherches en Détection Sous-Marine pour avoir suscité le lancement de cette étude et financé une partie des recherches.

J'adresse tous mes remerciements à Monsieur VERNET, Directeur Technique de THOMSON SINTRA Activités Sous-Marines, pour la confiance qu'il nous témoigne et l'aide financière apportée pour la réalisation de ce projet. Mes remerciements vont également à son collaborateur Monsieur BILLET qui a bien voulu répondre à mon invitation pour être membre du jury.

Je remercie Monsieur ZIMMERMANN d'avoir bien voulu répondre à mon invitation pour être membre du jury.

Je remercie également Messieurs Willy CONINGS et Marc RISPAL pour la compréhension dont ils ont fait preuve pour me permettre de terminer ce travail au sein de Mixed Silicon Structures, parfois au détriment des autres activités.

Je remercie enfin très vivement Mademoiselle Edith LEFORT pour l'aide précieuse qu'elle m'a apportée ces dernières semaines pour la mise en page et l'assemblage de ce document ainsi que mon ami Monsieur Guy PERREAU pour le support logistique le jour de la soutenance.

A tous, un grand merci !

sommaire

ŕ

Chapitre 1: Introduction	1
Références pour le chapitre 1	6
Chapitre 2: Le capteur acoustique	7
2.1 Caractéristiques d'un capteur piézoélectrique	9
2.1.1. Structure générale d'un hydrophone et sensibilité	9
2.1.2 Schéma électrique équivalent de l'hydrophone	10
2.1.3 Modèle de bruit de l'hydrophone	13
2.2 Signaux mesurés par un hydrophone	14
2.2.1 Le signal acoustique mesuré	14
2.2.2 Les différentes composantes du bruit de la mer	15
2.3 Couplage hydrophone - préamplificateur	17
2.3.1 Couplage hydrophone - préamplificateur de tension	17
2.3.1.1 Réponse du montage à un signal acoustique	18
2.3.1.2 Bruit du montage dans la bande utile	19
2.3.1.3 Conditions d'optimisation du rapport S/B	20
2.3.2 Couplage hydrophone - préamplificateur de charge	22
2.3.2.1 Réponse du montage à un signal acoustique	22
2.3.2.2 Bruit du montage dans la bande utile	24
2.3.3 Comparaisons entre les deux montages	24
2.4 Conclusion	25
Références pour le chapitre 2	26
Chapitre 3: Le transistor MOS: Caractéristiques et limitations dans des	
applications analogiques	26
3.1 Fonctionnement DC du transistor MOS idéal	29
3.1.1 Description qualitative de la structure MOS unidimensionnelle	29
3.1.2 Analyse quantitative de la structure MOS unidimensionnelle	32
3.1.2.1 Résolution de l'équation de Poisson	32
3.1.2.2 Calcul de la charge Qi en forte inversion - Tension de seuil	36
3.1.2.3 Calcul de la tension de pincement Vp	38
3.1.2.4 Calcul de la charge Qi en faible inversion	39
3.1.2.5 Conclusions sur la charge Qi	40
3.1.2.6 Evolution de la capacité de grille petit signal	41
3.1.3 Structure MOS complète - calcul du courant de drain.	43

i

3.1.3.1 Calcul du courant de drain en forte inversion à Vds faible	44
3.1.3.2 Courant de drain en forte inversion à Vds fort	46
3.1.3.3 Caractéristiques en régime de forte inversion	46
3.1.3.4 Remarques sur les approximations utilisées	48
3.1.3.5 Courant de drain en faible inversion	53
3.1.3.6 Caractéristiques en régime de faible inversion - validité des	
approximations	54
3.1.3.7 Courant de drain en inversion modérée	55
3.2 Caractéristiques AC du transistor MOS idéal	56
3.2.1 Schéma petit signal valide en basses fréquences	56
3.2.2 Schéma petit signal valide en basses et moyennes fréquences	64
3.2.2.1 Calcul des charges associées au transistor intrinsèque	64
3.2.2.2 Schéma petit signal intrinsèque dans l'approche quasi-statique	e 66
3.2.2.3 Schéma petit signal complet	70
3.3 Le bruit dans le transistor MOS	72
3.3.1 Bruit thermique - approche théorique pour un transistor idéal	72
3.3.1.1 Régime de forte inversion	73
3.3.1.2 Régime de faible inversion	74
3 3 2 Validation expérimentale du bruit thermique	75
3 3 3 Bruit 1/F - approche théorique	77
3 3 3 1 Introduction	77
3 3 3 2 Formulation théorique du bruit en 1/F	78
3 3 3 2 1 Calcul de la densité spectrale de nuissance de bruit	79
3 3 3 2 2 Application au régime de faible inversion	82
3 3 3 2 3 Application au régime de forte inversion	84
3 3 3 2 4 Modèle de bruit opérationnel	85
2 2 2 2 Conclusions	86
2.2.4 Pruit 1/E validation evnérimentale	87
5.5.4 Diult 1/F - valuation experimentale	87
3.3.4.1 Validation de l'influence de l'ane de grine.	80
3.3.4.2 Dependance des conditions de polarisation	07
3.3.5 Autres sources de bruit	93
3.3.5.1 Bruit de generation-recombinaison	93
3.3.5.2 Bruits de grille et de substrat induits	94
3.3.5.3 Bruit dû aux pertes diélectriques dans l'oxyde	94
3.3.6 Schéma équivalent complet valide aux basses et moyennes frequence	:S94
3.3.7 Conclusions	95
3.4 Effets secondaires	96
3.4.1 Introduction	96
3.4.2 Effets non liés à une réduction de la géométrie	97
3.4.2.1 Effet de la température	97
3.4.2.2 Dopage non uniforme du substrat	99
3.4.3 Réduction des dimensions géométriques	101
3.4.3.1 Effets sur la tension de seuil à tension Vds faible	101

3.4.3.2 Effet punchthrough ou D.I.B.L		102
3.4.3.3 Ionisation par impact		103
3.4.3.4 Saturation de la vitesse des porteurs		104
3.4.3.5 Réduction de la longueur du canal en	régime saturé	105
3.5 Conclusions		105
Références pour le chapitre 3		106
Chapitre 4: Préamplification faible bruit en technolo	gie CMOS	110
4.1 Introduction		111
4.2 Optimisation du bruit dans les amplificateurs CMOS	5	113
4.2.1 Performances des structures de base		113
4.2.1.1 Rappel sur les conditions d'une utilisa	ition optimale du	
composant MOS.	-	113
4.2.1.2 Etage différentiel		116
4.2.1.3 Miroir de courant		117
4.2.1.4 Etage à transistor cascode		118
4.2.1.5 Tableau récapitulatif et abaques		119
4.2.2 Bruit dans les structures classiques d'amplific	cateurs CMOS	121
4.2.2.1 Amplificateur opérationnel à transco	nductance	121
4.2.2.2 Amplificateur opérationnel à deux éta	ages	122
4.2.2.3 Amplificateur à entrées différentielle	et sorties symétriques	123
4.2.3 Le transistor bipolaire latéral compatible CN	AOS	125
4.2.3.1 Rappels sur la structure		125
4.2.3.2 Caractéristiques essentielles et limita	tions	126
4.2.3.3 Intérêt dans les structures à faible bru	lit	132
4.2.4 Conclusions		133
4.3 Optimisation du couplage capteur capacitif $<->$ am	plificateur CMOS	134
4.3.1 Introduction	.p	134
4 3 2 Optimisation d'un montage 'amplificateur de	e tension'.	135
4 3 2 1 Montage de base		135
4 3 2 2 Etage amplificateur MOS à charge ac	rtive ou passive	137
4 3 2 3 Etage amplificateur MOS cascode à c	charge active on passive	138
4.3.2.4 Couplage d'un suiveur MOS avec un	étage amplificateur	100
4.5.2.4 Couplage d'un salvear 1000 avec an	etage ampinicateur	130
1225 Préamplificateur MOS à gain faible d	ounlé à un étage	157
amplificateur bipolaire	oupie a un etage	142
ampinication opporation 4326 Conclusions sur la structure complifie	ateur de tension'	143
4.2.2 Optimization d'une configuration 'amplific	ateur de charge'	143
4.3.3 Optimisation d'une configuration amplifica 4.3.3.1 Montage de base	nour de onarge	143
T.J.J.I MIUIIIAZO UO DASO		- · ·

4.3.3.1 Montage de base 4.3.3.2 Optimisation du montage

4.4 Conclusions sur la faisabilité	145
Références pour le chapitre 4	146
Chapitre 5: Préamplificateur CMOS faible bruit LNA02	148
5.1 Cahier des charges du circuit LNA02	150
5.2 Structure générale du circuit et spécifications	152
 5.3 Structure détaillée des différents blocs 5.3.1 Etage préamplificateur à très faible bruit 5.3.1.1 Architecture générale de l'étage préamplificateur 5.3.1.2 Calcul du préamplificateur 5.3.1.3 Etage de polarisation et calcul du gain en tension 5.3.1.4 Atténuation du gain de mode commun 5.3.1.5 Circuit de régulation du mode commun 5.3.1.6 Quelques résultats de simulation 5.3.2 Buffer suiveur 	154 154 157 158 160 162 163 163
 5.4 Dessin des masques 5.4.1 Choix de la technologie 5.4.2 Dessin du préamplificateur 5.4.3 Dessin des buffers 5.4.4 Circuit complet 	167 167 167 171 171
 5.5 Résultats de mesure 5.5.1 Test statique fonctionnel. 5.5.2 Mesure de la réponse en fréquence. 5.5.2.1 Les buffers seuls. 5.5.2.2 Configuration 'amplificateur de tension' avec buffers. 5.5.2.3 Configuration 'amplificateur de charge' avec buffers. 5.5.3 Mesures de distorsion. 5.5.4 Les mesures de bruit. 5.5.4.1 Le buffer seul. 5.5.4.2 Amplificateur de tension 	173 173 174 174 175 178 179 179 179 180
5.5.4.3 Amplificateur de charge 5.5.5 Conclusions sur les mesures	182 182
5.6 Conclusions et perspectives	184
Références pour le chapitre 5	185
Chapitre 6 : Conclusions générales	186

iv

CHAPITRE 1:

INTRODUCTION

Ì

L'industrie des capteurs s'intéresse vivement à toutes les techniques permettant d'intégrer un maximum d'électronique de traitement dans un volume restreint. En effet, pour la plupart des applications, la maîtrise de l'encombrement est un point de passage obligé pour la réalisation de capteurs dits 'intelligents', regroupant à la fois le capteur proprement dit et son électronique de traitement.

Les capteurs acoustiques n'échappent pas à cette règle. Dans le domaine spécifique des applications en acoustique sous-marine (sonars), la tendance actuelle est de fournir un transducteur équipé de son électronique de préamplification. Dans une phase ultérieure, l'objectif sera d'y adjoindre, sous forme intégrée, un ensemble de fonctions électroniques de traitement dont la sortie sera numérique de manière à permettre une transmission de l'information sur fibre optique. Bon nombre d'organismes dont l'IFREMER et la MARINE NATIONALE ou des sociétés telles que THOMSON-SINTRA, sont donc directement intéressées par l'étude des possibilités d'intégration de l'électronique associée aux capteurs en sonar.

Le capteur acoustique ou *hydrophone* est purement capacitif. Il est plongé dans le milieu marin pour se mettre à l'écoute du bruit ambiant. Les ondes acoustiques reçues sont transformées par effet piézoélectrique en un signal électrique. Suivant la nature de l'environnement, les signaux reçus peuvent être d'amplitude très variée et, pour éviter une saturation du système de réception, une dynamique généralement supérieure à 100 dB est nécessaire. Les signaux écoutés étant souvent de faible amplitude, le niveau de bruit de l'électronique de traitement doit être extrêmement bas.



fig 1.1: chaîne de traitement classique pour capteur sonar

La figure 1.1 donne le schéma classique d'une chaîne de traitement de signal pour hydrophone. Le couplage de l'électronique au capteur est réalisé à l'aide d'un préamplificateur à très haute impédance d'entrée. Sa position par rapport aux différents gains de la chaîne lui impose un niveau de bruit ramené à l'entrée extrêmement bas, de l'ordre de quelques nV/JHz à des fréquences basses variant de quelques dizaines de Hertz à quelques KHz. Le signal préamplifié attaque ensuite sous faible impédance un banc de filtres et subit un pré-traitement, par exemple un multiplexage. Les signaux sont ensuite numérisés avant de subir un traitement numérique d'exploitation.

Les réalisations actuelles sont généralement hybrides. Le préamplificateur est réalisé à l'aide de circuits bipolaires BIFET monolithiques ou hybrides à transistor JFET en entrée. Le filtrage est généralement confié à un circuit MOS à capacités commutées. Le multiplexage est discret tandis que la conversion A/D est confiée à un autre circuit intégré. Dans certaines applications, toute cette électronique est située au voisinage du capteur. Dans d'autres, seul le préamplificateur est placé sur le capteur, le reste de l'électronique étant placé à distance.

Un regard rapide sur les possibilités technologiques à ce jour permet d'établir le tableau suivant, qui résume les choix technologiques préférables (*) pour chacun des blocs précités:

Type de bloc	MOS	Bipolaire
préamplificateur filtre continu de pré-échantillonnage filtre échantillonné traitement analogique conversion A/D traitement numérique Coût	- * * * *	* (hybride BIFET) * - * * - - -

Ce tableau montre de manière évidente qu'une réalisation monolithique performante de la chaîne complète est impossible à l'heure actuelle. En effet, la technologie MOS ne permet pas d'atteindre les spécifications requises pour le préamplificateur tandis que les technologies bipolaires actuelles sont peu adaptées à la réalisation de filtres échantillonnés ou au calcul numérique. De plus, la technologie MOS bénéficie d'un atout important du fait de son faible coût.

Le seul obstacle à une réalisation monolithique en technologie MOS est le préamplificateur. Pour mieux comprendre les difficultés associées à une telle réalisation, présentons quelques caractéristiques comparées entre le transistor MOS et le transistor JFET que l'on utilise dans les équipements actuels.

Caractéristique	JFET	MOS
impédance d'entrée	≈GΩ	∞
bruit en courant	< pA/√Hz	≈0
bruit en tension (thermique)	En	< En
bruit en 1/F	<<	>>
intégrabilité	hybride	>>>

S'il n'était pas couramment rejeté pour son fort niveau de bruit 1/F, le transistor MOS serait un bon candidat pour la réalisation d'un préamplificateur intégré.

Pour contrebalancer cette faiblesse, des méthodes dynamiques de réduction de bruit ont déjà été proposées [1]. Elles n'ont malheureusement pas été validées pour le cas de sources capacitives telles que les capteurs acoustiques et mériteraient d'être approfondies. Dans notre cas, le cahier des charges des applications en sonar nous impose de minimiser le nombre des signaux extérieurs au circuit. L'apport d'une horloge n'est donc pas souhaitable, surtout pour des préamplificateurs intimement liés au capteur et situés à distance du reste de la chaîne de traitement. Il est par contre évident que dans le cas d'un circuit de traitement incluant l'ensemble des éléments de la chaîne, l'horloge est déjà présente et des méthodes dynamiques de réduction de bruit sont alors envisageables. Néammoins, dans le cadre de ce travail, nous nous limiterons au cas des applications dites 'continues' ne faisant pas appel à ces techniques.

Certains circuits 'continus' CMOS à faible bruit ont également été présentés dans le cadre d'applications diverses [2][3]. Malheureusement, les performances obtenues sont insuffisantes pour notre application.

Notre objectif, dans cette étude, est de pousser la technologie CMOS dans ses limites afin d'évaluer le réel degré de faisabilité de circuits 'continus' à très faible bruit. Pour cela, il faut, bien entendu, approfondir notre connaissance des composants intégrables dans cette technologie et de leurs performances. Il faut également évaluer les conditions d'optimisation du bruit, non seulement au niveau même du composant de base mais également à celui de l'architecture des montages utilisés. Au delà du simple cadre des applications en sonar, cette étude devrait permettre à tout concepteur de circuits CMOS analogiques, une appréhension rapide des phénomènes physiques mis en jeu et des critères d'optimisation du bruit dans les circuits. Pour atteindre cet objectif, nous allons décomposer notre étude en quatre grandes parties.

Le chapitre 2 sera consacré à une étude assez succinte du contexte des circuits préamplificateurs pour sonars. Ceci nous permettra d'évaluer les contraintes imposées par l'environnement sur les performances de l'électronique. Nous définirons ainsi quelques ordres de grandeur utiles pour la suite. Deux configurations de préamplificateurs classiques y seront rapidement présentées et évaluées.

Le chapitre 3, beaucoup plus conséquent, présentera une description exhaustive des caractéristiques du transistor MOS pour des applications analogiques. Devant le nombre impressionnant des publications traitant du comportement du transistor MOS ou de sa modélisation, il nous a paru utile de développer ici une synthèse originale simple et complète sur ce sujet destinée aux concepteurs de circuits analogiques. Au delà des aspects physiques qui seront décrits dans le détail, nous insisterons sur les implications au niveau de la performance des circuits.

En premier lieu, nous rappelerons les bases physiques qui régissent le fonctionnement du transistor idéal. Nous aborderons alors le calcul du courant dans les différents régimes de fonctionnement au travers d'une approche simple mais peu conventionnelle utilisant la référence des potentiels au substrat. Les caractéristiques petit signal seront ensuite détaillées et analysées en termes de performances au sein des circuits. Nous poursuivrons par une étude du bruit dans le transistor. Nous détaillerons alors les bases physiques du bruit 1/F et proposerons une approche originale de modélisation unifiée valide pour tous les régimes de fonctionnement. Nous verrons enfin dans quelle mesure certaines imperfections et limitations du composant MOS peuvent affecter ses caractéristiques analogiques.

Le chapitre 4 abordera ensuite l'optimisation du bruit dans le cadre de préamplificateurs CMOS. Nous rappelerons certains résultats importants auparavant proposés par E.VITTOZ [4] et qui permettent d'optimiser les performances analogiques du transistor MOS dans les montages de base. Nous présenterons ensuite une étude approfondie sur l'optimisation de l'architecture des amplificateurs en vue de réduire leur bruit. Nous nous pencherons également sur l'utilisation du transistor bipolaire latéral compatible CMOS [5] dont les bonnes caractéristiques en matière de bruit seront un facteur déterminant pour la suite de notre étude. Nous aborderons enfin un traitement original du cas plus spécifique de l'amplificateur CMOS pour capteur capacitif en détaillant de manière exhaustive les caractéristiques de différentes structures d'étage d'entrée à faible bruit, allant du circuit le plus simple jusqu'à des structures nouvelles plus complexes associant des transistors bipolaires latéraux compatibles CMOS.

Le chapitre 5 présentera la concrêtisation des différents aspects décrits auparavant sur un plan théorique dans le cadre de la réalisation d'un prototype opérationnel de préamplificateur CMOS pour hydrophones [6]. Ce circuit présente certaines originalités tant au niveau de l'architecture de son étage d'entrée qu'à celui de la compensation de certaines imperfections liées aux transistors bipolaires latéraux [7]. Sa réalisation soignée permet également de rappeler et de vérifier l'efficacité de certains principes d'implantation physique qui sont certes connus mais aussi bien souvent négligés.

Forts d'une expérience non seulement théorique mais également plus pratique, nous pourrons enfin conclure sur la faisabilité de circuits préamplificateurs CMOS à très faible bruit.

REFERENCES POUR LE CHAPITRE 1

[1.1] C.ENZ: "High precision CMOS micropower amplifiers", Thèse de Doctorat n°802 présentée au Département d'Electricité de l'Ecole Polytechnique Fédérale de Lausanne, 1989.

[1.2] D.M.MONTICELLI: "A Quad CMOS Single-Supply Op Amp with Rail-to-Rail Output Swing", IEEE Journal of Solid State Circuits, SC-21, pp 1026-1034, Décembre 1986.

[1.3] F.CALLIAS, F.H.SALCHLI, D.GIRARD: "A Set of Four IC's in CMOS Technology for a Programmable Hearing Aid", IEEE Journal of Solid State Circuits, SC-24, pp 301-312, Avril 1989.

[1.4] E.VITTOZ: "The Design of High-Performance Analog Circuits on Digital CMOS Chips", IEEE Journal of Solid-State Circuits, SC-20, pp 657-665, Juin 1985.

[1.5] E.VITTOZ: "MOS Transistors operated in the lateral bipolar mode and their applications in CMOS technology", IEEE Journal of Solid State Circuits, SC-18, pp 273-279, Juin 1983.

[1.6] J.P.BARDYN, A.KAISER, B.STEFANELLI: "A Very Low-Noise Instrumentation Amplifier using a Standard Cmos Process for Digital Chips", Proceedings of the ESSCIRC'90, pp.29-32, Septembre 1990.

[1.7] J.P.BARDYN, A.KAISER: "Fully differential operational amplifiers using CMOS compatible lateral bipolar transistors with improved common-mode regulation", Electronic Letters, Vol.26, pp.798-799, 7th June 1990.

CHAPITRE 2 :

LE CAPTEUR ACOUSTIQUE - SES CARACTERISTIQUES -- SON ENVIRONNEMENT -- SES CONTRAINTES -

L'étude des possibilités de réalisation de chaînes d'amplification intégrées à très faible bruit pour hydrophones fait intervenir de manière importante les conditions de couplage du capteur avec l'étage d'entrée du préamplificateur à concevoir. Une connaissance de la structure physique de l'hydrophone et de ses caractéristiques électriques est donc indispensable avant de pouvoir traiter des choix d'architecture de circuit. De plus l'environnement du capteur et la nature des signaux acoustiques qu'il traite conditionnent certaines spécifications importantes de la partie électronique.

Dans ce chapitre, nous n'allons pas traiter de manière extensive du capteur et de son environnement. Nous nous limiterons aux points essentiels qui conditionnent la suite de notre étude.

Dans une première partie, nous aborderons succintement la structure générale du capteur et définirons quelques-unes de ses données caractéristiques. Nous dériverons par analogie électromécanique la forme de son schéma équivalent électrique en insistant sur les composantes importantes en termes d'impédance et de bruit dans la bande de fréquences utile.

Une deuxième partie nous permettra de définir les signaux traités par l'hydrophone ainsi que la nature des bruits environnants dans le milieu marin. Certains ordres de grandeur sur les performances requises dans la partie électronique seront ainsi fixés (bruit, dynamique,...).

Une dernière partie traitera plus précisement du système couplé hydrophone + préamplificateur. Une étude détaillée de ses caractéristiques et limitations sera faite dans le cadre des deux montages utilisés classiquement dans les applications discrêtes ou hybrides actuelles : le préamplificateur de tension et le préamplificateur de charge. Des conclusions importantes seront ainsi tirées quant au choix de structure d'amplificateur pour une réalisation monolithique en technologie CMOS.

2.1 CARACTERISTIQUES D'UN CAPTEUR PIEZOELECTRIQUE (HYDROPHONE)

2.1.1 Structure générale d'un hydrophone et sensibilité

Un hydrophone classique est un capteur piézoélectrique qui génère une force électromotrice (f.é.m) proportionnelle à la pression acoustique. Certains types particuliers d'hydrophones sont sensibles à d'autres variables acoustiques, telles que le gradient de pression. Par souci de simplicité, ils ne seront pas considérés dans la suite de notre étude.

La structure de base du capteur est un morceau de matériau piézoélectrique (céramique,...) muni d'électrodes sur lesquelles on recupère le signal électrique. La forme et la nature de la céramique ainsi que le positionnement des électrodes et des parties soumises à pression conditionnent les caractéristiques du transducteur en termes de sensibilité, de directivité et de réponse en fréquence.

Dans un bon nombre d'applications, la taille de l'hydrophone est petite devant la longueur d'onde acoustique dans la bande de fréquences utile. Dans ce cas, la pression est appliquée uniformément sur toutes les parties actives du capteur et la réponse ne dépend peu ou pas de l'angle d'incidence de l'onde acoustique. La grandeur électrique servant à spécifier la sensibilité du capteur est alors souvent la f.é.m mesurée aux bornes des électrodes en circuit ouvert. Parfois, il est souhaitable que l'hydrophone soit directionnel, ce qui signifie que sa sensibilité dépend de l'angle d'incidence de l'onde acoustique par rapport à une direction de référence qui correspond, en général, à celle où sa sensibilité est maximale. Une telle caractéristique est obtenue grâce à des structures de capteur particulières qui sortent du cadre de cette étude.

Pour la suite, notre choix se portera sur le cas simple de l'hydrophone sphérique, largement utilisé au sein d'équipements réels. La figure 2.1 montre la coupe d'un tel hydrophone. Il se compose d'une sphère creuse en matériau céramique piézoélectrique dont les surfaces interne et externe sont munies d'électrodes. L'ensemble matériau est moulé dans un caoutchouté et la rigidité est assuré par le support. La liaison avec l'extérieur est réalisée à l'aide d'un câble blindé. La structure complète est bien sûr étanche et supporte typiquement 100 atm de pression hydrostatique (environ 1000m de profondeur).



fig.2.1: Hydrophone Brüel&Kjaer type 8105

Nous allons maintenant voir comment construire le modèle électrique équivalent à ce capteur.

2.1.2 Schéma électrique équivalent de l'hydrophone

Le schéma électrique équivalent d'un hydrophone est construit l'aide d'équivalences à électromécaniques [2.1]. La figure 2.2a montre le schéma électrique équivalent typique d'un hydrophone sphérique. La partie acoustique ou branche motionelle est excitée par une Le force F. schéma équivalent électromécanique du capteur est constitué d'une masse symbolisée par une inductance L_m, d'une rigidité de céramique sous la forme d'une



fig.2.2a: schéma équivalent électromécanique d'un hydrophone

capacité C_m et d'une résistance de rayonnement et de pertes mécaniques sous la forme d'une résistance R_m . Le courant qui circule dans cette branche représente la vitesse vibratoire. La partie électrique est constituée de la capacité diélectrique de la céramique C_0 placée en parallèle sur la résistance R_0 qui représente les pertes diélectriques dans la céramique. Les deux parties sont couplées par l'intermédiaire d'un transformateur fictif dont le rapport de transformation N est dimensionné.

La figure 2.2b montre un schéma similaire à celui de la figure 2.2a ne faisant intervenir que des valeurs purement électriques. L'excitation acoustique est maintenant définie par une tension E proportionnelle à la pression acoustique p. Le facteur de proportionnalité S définit la sensibilité en V/ μ Pa. La partie acoustique représentée par une est impédance motionelle Z_{M} . YE correspond à l'admittance équivalente à la partie électrique.



fig.2.2b: schéma équivalent purement électrique d'un hydrophone

Les équations suivantes permettent de relier les deux figures précédentes:

$$Z_{M} = R_{M} + j \left(L_{M} \omega - \frac{1}{C_{M} \omega} \right)$$
(2.1)

$$R_{\rm M} = \frac{R_{\rm m}}{N^2} \tag{2.2}$$

$$L_{\rm M} = \frac{L_{\rm m}}{N^2} \tag{2.3}$$

$$C_{\rm M} = C_{\rm m} N^2 \tag{2.4}$$

avec

Le schéma typique de la figure 2.2b est généralement valide au voisinage de la première fréquence de résonance mécanique du capteur. Il est en général souhaitable d'avoir une courbe de sensibilité de l'hydrophone en fonction de la fréquence qui soit aussi plate que possible dans la bande utile. Ceci signifie que le transducteur travaillera toujours bien en deçà de sa fréquence de résonance mécanique. Le schéma équivalent de la figure 2.2b reste néammoins valide. Aux fréquences utiles, l'inductance L_M sera sans effet. Il faut noter que dans le cas d'un hydrophone sphérique, ce schéma équivalent est le résultat quasi-exact du calcul d'impédance équivalente au transducteur.

A titre d'exemple, la figure 2.3 donne la courbe de sensibilité en fonction de la fréquence pour l'hydrophone de la figure 2.1. On y distingue en effet une réponse plate jusqu'à 10KHz (-205 dB ref V/ μ Pa). La gamme de fréquences utile s'étend donc de 0,1Hz à 10KHz. Au delà apparaissent des phénomènes de diffraction de l'onde acoustique par l'hydrophone et, au voisinage de 200KHz, la résonance mécanique.



fig.2.3: Courbe de sensibilité du capteur Brüel&Kjaer type 8105



La figure 2.4 donne le diagramme de directivivité du même hydrophone dans les trois directions. Hormis dans la direction verticale où le support perturbe légèrement les hautes fréquences, la réponse est omnidirectionnelle.

fig.2.4: Diagramme de directivité du capteur Brüel&Kjaer type 8105

Nous allons maintenant apporter quelques précisions sur les expressions et ordres de grandeur des valeurs des composants de la figure 2.2b.

En moyenne fréquence, si l'on considère que R_o est grande devant l'impédance liée à C_o et que la résistance R_M et l'inductance L_M sont négligeables, la tension V récupérée aux bornes de C_o est donnée par :

$$V = \frac{C_M}{C_M + C_o} E \qquad (avec E = S p) \qquad (2.5)$$

On définit le coefficient de couplage de la céramique comme étant

$$k^2 = \frac{C_M}{C_M + C_o}$$
(2.6)

La sensibilité à la réception S_h est alors donnée par l'expression

$$E = \frac{S_h}{k^2} p \tag{2.7}$$

qui donne

$$S_{h} = S k^{2}$$
(2.8)

On peut alors définir la capacité équivalente C_h de l'hydrophone mesurée dans l'air

$$C_{h} = \frac{C_{o}}{1-k^{2}} = C_{o} + C_{M}$$
(2.9)



Le schéma équivalent de Thévenin du système complet dans la bande de fréquences d'utilisation courante est donc celui de la figure 2.5.

En dehors de cette bande, les éléments négligés ci-dessus interviennent. Il faut donc les définir.

La résistance R_o correspond aux pertes diélectriques de la céramique et peut s'exprimer au travers d'un angle de perte:

$$tg\delta = \frac{1}{R_o C_o \omega}$$
(2.10)

Enfin, la résistance R_M regroupe la résistance de pertes mécaniques R_{PM} et la résistance de rayonnement R_{th} donnée par:

$$R_{\rm th} = \frac{\rho}{4\pi\nu} \left(\frac{S_{\rm h}}{k^2}\right)^2 \omega^2$$
 (2.11)

($\rho = impédance acoustique de l'eau$) ($\nu = célérité du son$)

fig.2.5: schéma électrique équivalent d'un hydrophone dans la bande de fréquence utile

Nous allons maintenant établir le modèle équivalent électrique de l'hydrophone pour les calculs de bruit.

2.1.3 Modèle de bruit de l'hydrophone

La figure 2.6 rappelle le schéma électrique équivalent de l'hydrophone en y ajoutant les termes de bruit.



fig.2.6: schéma électrique équivalent d'un hydrophone incluant les termes de bruit

Les densités spectrales de puissance de bruit associées aux valeurs indiquées sur la figure sont les suivantes:

$$d_o^2 > = \frac{4KT}{R_o} = 4KT \text{ tgd } C_o \omega$$
 (2.12)

$$\langle e_{\rm M}^2 \rangle = \langle e_{\rm th}^2 \rangle + \langle e_{\rm RM}^2 \rangle$$
 (2.13)

avec

- 4

$$\langle e_{th}^2 \rangle = 4KT R_{th}$$
 (2.14)

$$\langle e_{\rm RM}^2 \rangle = 4 {\rm KT} {\rm R}_{\rm RM}$$
 (2.15)

(K = constante de Boltzmann) (T = température absolue)

2.2 SIGNAUX MESURES PAR UN HYDROPHONE [2.2]

2.2.1 Le signal acoustique mesuré

Les signaux acoustiques mesurés par les hydrophones sont de deux sortes :

les signaux parasites

- le bruit ambiant de la mer

- le bruit propre du porteur

les signaux utiles

- le bruit ambiant de la mer ou le bruit propre du porteur pour la mesure de ces bruits

- le bruit rayonné par un bâtiment ou une source quelconque (applications civiles et militaires)

- le signal à bande étroite d'un sonar actif

- divers signaux d'émission à bande plus ou moins large (brouilleurs, transmission,...)

Dans tous les cas, il faudra que le bruit propre de l'hydrophone et du préamplificateur soit inférieur au bruit le plus faible à recevoir dans la bande utile.

D'autre part, il faut que le signal le plus fort puisse être amplifié sans saturer le préamplificateur, qu'il soit dans la bande utile où en dehors de cette bande. Ceci nous amène à une valeur de dynamique généralement proche de 100dB.

Les signaux reçus par l'hydrophone n'ont jamais une densité spectrale constante. La forme du spectre de puissance varie suivant les applications mais le signal parasite est toujours le bruit ambiant de la mer ou le bruit propre du bâtiment porteur.

Le bruit propre du porteur a souvent un spectre de même allure que le bruit d'agitation de la mer. C'est pour cette raison qu'il est commode de prendre ce bruit d'agitation de la mer comme référence pour le calcul des éléments de l'hydrophone ou du préamplificateur.

Nous allons maintenant détailler les diverses composantes du bruit ambiant de la mer afin de fixer les ordres de grandeur des performances à viser pour le préamplificateur. Les contraintes seront, en effet, d'autant plus sévères si le capteur est utilisé comme instrument de mesure de ce bruit de mer.

2.2.2 Les différentes composantes du bruit de la mer [2.3]

La figure 2.7 montre la densité spectrale des différentes composantes du bruit ambiant dans la mer en eaux profondes. Nous n'aborderons pas les bruits en eaux de surface qui sont en général plus élevés et de natures très diverses.



fig.2.7: densité spectrale de la puissance acoustique du bruit ambiant dans la mer ([2.3])

A très basse fréquence (< 1Hz), la densité spectrale de puissance de bruit est très mal connue. Elle est liée à des origines hydrostatiques (vagues,...) ou à des instabilités séismiques de la couche terrestre.

Une deuxième bande de fréquence (1Hz < f < 10Hz) fait apparaître un bruit qui décroit à environ -30dB/décade. Ce bruit est relié à des phénomènes de turbulences océaniques (modification du champ de pression par les courants marins)[2.4].

Un peu plus haut en fréquences (10Hz < f < 100Hz) interviennent les bruits liés au traffic marin à distance dont l'amplitude varie suivant les circonstances. Il constitue une sorte de plateau dont l'amplitude est variable (bruit minimal et maximal de Wenz)[2.4].

Le comportement suit ensuite les lois du spectre de Knudsen [2.5] qui définissent un bruit ambiant relié aux conditions de surface de la mer, notamment en fonction du vent. Les densités spectrales de puissance de bruit sont chiffrées en niveaux de référence (mer 0, 1,...) qui décroissent à raison d'environ -17dB/décade lorsque la fréquence croît. Ces niveaux sont définis par les équations suivantes:

104 dB - $16.6 \log(f(Hz))$ dB (réf μ Pa)	
114dB - 16.6 log(f(Hz))dB (réf µPa)	
	104dB - 16.6 log(f(Hz))dB (réf μPa) 114dB - 16.6 log(f(Hz))dB (réf μPa)

Enfin, aux fréquences élevées, le bruit remonte à raison de +20dB/décade. La cause essentielle en est l'agitation moléculaire de l'eau [2.6]. Ce bruit est le même que le bruit de Nyquist défini par (2.14). Il est lié à la résistance de rayonnement de l'hydrophone. En effet, même s'il intervient directement dans le schéma électrique équivalent de l'hydrophone, ce bruit a son origine dans le milieu marin. L'équation qui le régit est la suivante:

Bruit thermodynamique : $-75dB + 20 \log(f(Hz)) (réf \mu Pa)$ (2.17)

2.3 COUPLAGE HYDROPHONE -PREAMPLIFICATEUR

2.3.1 Couplage hydrophone - préamplificateur de tension



fig.2.8: schéma équivalent du système couplé hydrophone <-> préamplificateur de tension

La figure ci-dessus donne le schéma électrique d'un système complet incluant l'hydrophone couplé à un étage préamplificateur monté en configuration 'amplificateur de tension'.

La connexion électrique entre le capteur et l'électronique ramène une capacité parasite notée C_c . Le gain du préamplificateur de tension est noté G. Les réalisations discrêtes ou hybrides actuelles faisant appel à des étages d'entrée à transistors JFET, l'impédance d'entrée peut être considérée comme purement capacitive de capacité C_{in} .

Afin de stabiliser le point de polarisation sur l'entrée du préamplificateur, une résistance de polarisation R_g est placée en parallèle sur C_{in} . Cette résistance permet également l'ajustement de la fréquence de coupure basse du montage afin d'éliminer certaines perturbations de forte amplitude en très basses fréquences.

Différentes sources de bruit apparaissent également dans ce schéma. On y retrouve bien sûr les termes $\langle e_M^2 \rangle$ et $\langle i_0^2 \rangle$ définis précédemment. Viennent s'y ajouter le bruit thermique $\langle i_g^2 \rangle$ de la résistance de polarisation R_g ainsi que les sources de bruit équivalentes ramenées à l'entrée du préamplificateur de tension $\langle e_n^2 \rangle$ et $\langle i_n^2 \rangle$.

Ce schéma tout à fait général va maintenant nous permettre d'évaluer les performances et limitations d'un tel système pour l'application la plus critique de mesure d'un bruit ambiant dans la mer.

2.3.1.1 Réponse du montage à un signal acoustique

La fonction de transfert du montage est donnée par la relation suivante:

$$\frac{Vout}{E} = G \frac{1}{1 + Y_A Z_M}$$
(2.18)

où Z_{M} est donnée par (2.1) et

$$Y_A = Y_t + j\omega C_t$$
 (2.19)

avec

$$Y_{t} = \frac{1}{R_{o}} + \frac{1}{R_{g}} = Y_{o} + Y_{g}$$
 (2.20)

$$C_t = C_o + C_c + C_{in}$$
 (2.21)

En deçà de la fréquence de résonance mécanique, R_M et L_M sont négligeables et la fonction de transfert est donnée par

$$\frac{\text{Vout}}{\text{E}} = G \frac{j\omega C_{\text{M}}}{j\omega (C_{\text{M}} + C_{\text{t}}) + Y_{\text{t}}}$$
(2.22)

qui est l'équation de transfert d'une fonction passe-haut de fréquence de coupure

$$F_{cb} = \frac{Y_t}{2\pi (C_M + C_t)}$$
(2.23)

La fonction de transfert dans la bande utile est alors donnée par

$$\frac{\text{Vout}}{\text{E}} = G \frac{j\omega C_{\text{M}}}{j\omega (C_{\text{M}} + C_{\text{t}})} = G \frac{C_{\text{h}}}{C_{\text{h}} + C_{\text{g}}} k^2$$
(2.24)

avec

$$C_g = C_c + C_{in}$$
(2.25)

(k2 donné par (2.9))

Il est commode d'établir la fonction de transfert comme le rapport entre la tension en sortie (Vout) et le niveau de signal acoustique en entrée affecté de la sensibilité de l'hydrophone mesurée dans l'air (
$$E_h = S_h p$$
). Ceci donne

$$\frac{V_{out}}{S_h p} = G \frac{C_h}{C_h + C_g}$$
(2.26)

Cette équation permet de mettre en évidence l'effet d'atténuation du signal produit par la capacité de connexion C_c et la capacité d'entrée du préamplificateur C_{in} . En effet, C_h est typiquement dans une gamme de valeurs allant de 100pF à 10nF. Pour les plus faibles valeurs de C_h , cette division capacitive peut devenir un point limitatif. Il convient donc de minimiser à la fois la distance de connexion entre le capteur et l'électronique et la capacité d'entrée du préamplificateur (qui devra être de l'ordre de quelques pF).

2.3.1.2 Bruit du montage dans la bande utile

Dans la bande utile, l'expression de la fonction de transfert est donnée par (2.24). La densité spectrale de puissance de bruit totale en sortie est donné par

$$\langle V_{o}^{2} \rangle = G^{2} \left(\langle e_{n}^{2} \rangle + \frac{\langle i_{n}^{2} \rangle + \langle i_{g}^{2} \rangle + \langle i_{o}^{2} \rangle}{(C_{M} + C_{t})^{2} \omega^{2}} + \frac{\langle e_{M}^{2} \rangle C_{M}^{2}}{(C_{M} + C_{t})^{2}} \right) (2.27)$$

Il est intéressant d'établir le rapport signal sur bruit (S/B) défini en entrée du montage par rapport au signal E_h :

$$\frac{S}{B} = \frac{S_h^2 p^2}{\langle V_i^2 \rangle}$$
(2.28)

avec

$$\langle V_i^2 \rangle = \frac{\langle V_o^2 \rangle (C_h + C_g)^2}{G^2 C_h^2}$$
 (2.29)

ce qui donne

$$\frac{S}{B} = \frac{S_h^2 p^2}{B1 + B2 + B3 + B4 + B5}$$
(2.30)

avec

B1 =
$$\langle e_n^2 \rangle \frac{(C_h + C_g)^2}{C_h^2}$$
 (2.31)

B2 =
$$\frac{\langle i_n^2 \rangle + \langle i_g^2 \rangle}{C_h^2 \omega^2}$$
 (2.32)

B3 =
$$\frac{\langle i_o^2 \rangle}{C_h^2 \omega^2}$$
 = 4KT tg $\delta \frac{(1-k^2)}{C_h \omega}$ (2.33)

$$B4 = \langle e_{RM}^2 \rangle k^4 = 4KT k^4 R_{RM}$$
(2.34)

B5 =
$$\langle e_{th}^2 \rangle k^4 = S_h^2 \langle p_{th}^2 \rangle$$
 (2.35)

avec

$$< p_{th}^{2} > = 4 KT \frac{\rho}{4\pi\nu} \omega^{2}$$
 (2.36)

B1 correspond à la contribution du bruit en tension de l'étage préamplificateur. Sa densité spectrale de puissance a la même forme que celle du bruit en tension du préamplificateur (bruit 1/F + bruit blanc).

B2 correspond aux contributions des bruits créés par l'étage d'entrée du préamplificateur et la résistance de polarisation R_g . Ce bruit decroît avec la fréquence à raison de -20dB/décade.

B3 correspond à la contribution des pertes diélectriques dans la céramique piézoélectrique. Ce bruit decroît également avec la fréquence (-10dB/décade).

B4 correspond à la contribution de la résistance de pertes mécaniques R_{RM} . C'est un bruit blanc.

B5 correspond à la contribution de la résistance de rayonnement. Nous avons vu auparavant que ce bruit pouvait être considéré comme un bruit ambiant dans la mer dont la densité spectrale de puissance augmentait avec la fréquence à raison de +20dB/décade. Il peut donc être exprimé sous la forme d'une densité spectrale de pression acoustique $< p_{th}^2 > (2.36)$ déjà définie par l'équation (2.17).

2.3.1.3 Conditions d'optimisation du rapport S/B

Afin de bien évaluer les ordres de grandeur des différents bruits exprimés ci-dessus, il est maintenant utile de prendre un exemple typique de capteur associé à un étage préamplificateur.

L'hydrophone considéré aura les caractéristiques suivantes:

 $S_{h} = -181 dB (réf V/\mu Pa)$ $C_{M} = 260 pF$ k = 0.5 $C_{h} = 350 pF$ $tg\delta = 0.5 \ 10^{-2} a 1 KHz$ $R_{RM} négligée$

L'étage préamplificateur aura les caractéristiques typiques suivantes:

 $e_n = 3nV//Hz$ (bruit blanc) $i_n = 0$ (étage d'entrée d'impédance infinie) $R_g = 100M\Omega$ $C_{in} = 10pF$

La figure 2.9 donne le tracé de la densité spectrale de puissance de bruit ramené en entrée de l'étage préamplificateur. Les bruits de nature acoustique sont mesurés au travers du capteur et dépendent donc de sa sensibilité S_h . Sont également indiqués sur la figure le niveau de référence MER 0 et le bruit minimal de Wenz.



fig.2.9: contribution comparée des termes de bruit définis par (2.30)...(2.36)

On voit sur cette figure que, dans la bande utile, le bruit de la partie électronique limite la dynamique pour la mesure du bruit de mer (bruit minimal de Wenz).

En basses fréquences, c'est le bruit lié à la résistance de polarisation R_g qui domine (bruit B2). Augmenter la résistance R_g aurait pour effet de réduire ce bruit mais, par la même occasion, diminuerait la fréquence de coupure basse du montage, le rendant ainsi plus exposé à d'éventuels problèmes de saturation par des signaux perturbateurs basse fréquence. Il faut noter que l'existence d'un bruit en courant $\langle i_n^2 \rangle$ sur l'entrée du préamplificateur viendrait également augmenter ce bruit B2. Enfin, cette limitation en basses fréquences est d'autant plus critique que la capacité de l'hydrophone mesurée dans l'air (C_h) est faible.

Aux moyennes fréquences, c'est le bruit en tension du préamplificateur qui domine (bruit B1). Nous avons représenté ici le cas d'un bruit de spectre uniforme (bruit blanc). La prise en compte d'un bruit en 1/F aurait ajouté une contribution au bruit en basses fréquences. Maintenue sous le niveau du bruit B2, cette composante du bruit n'interviendrait pas comme une limitation de la dynamique de mesure. Il convient donc de veiller à maintenir le niveau de bruit 1/F à des valeurs acceptables.

Le plancher constitué par le bruit B1 sera d'autant plus bas que le bruit en tension du préamplificateur est faible. Pour le cas d'un hydrophone à faible capacité, il faut également veiller à ne pas augmenter le bruit B1 par l'influence des capacités de connexion C_c et d'entrée du préamplificateur C_{in} .





fig.2.10: schéma équivalent du système couplé hydrophone <-> préamplificateur de charge

La figure ci-dessus montre le schéma du système couplé incluant l'hydrophone et un préamplificateur de charge.

Le préamplificateur est maintenant constitué d'un amplificateur à large gain monté dans une boucle de contre-réaction. Le réseau de contre-réaction est composé d'une mise en parallèle de la capacité C_f et de la résistance R_f . C_f permet une programmation aisée du gain et R_f assure la polarisation du noeud d'entrée du préamplificateur. R_f permet également un ajustement de la fréquence de coupure basse du montage.

Dans ce montage, les capacités de connexion C_c et d'entrée du préamplificateur C_{in} sont placées sur un noeud qui constitue une masse virtuelle. Elles ne viennent donc pas atténuer le signal par division capacitive et le gain du montage est indépendant de leur valeur.

2.3.2.1 Réponse du montage à un signal acoustique

Dans la bande de fréquences utiles et en supposant le gain A très élevé, la fonction de transfert du montage peut s'exprimer par

$$\frac{V_{out}}{E_{h}} = -\frac{j\omega C_{h}}{Y_{f}+j\omega C_{f}} \approx -\frac{C_{h}}{C_{f}}$$
(2.37)

La fréquence de coupure basse est alors donnée par

$$F_{cb} = \frac{1}{2\pi R_f C_f}$$
(2.38)

Dans la bande utile, le gain en tension est donc fixé par le rapport entre la capacité de l'hydrophone C_h mesurée dans l'air et la capacité de contre-réaction C_f .

2.3.2.2 Bruit du montage dans la bande utile

Un calcul similaire à celui dérivé au paragraphe 2.3.1.2 permet d'exprimer le rapport S/B par l'équation (2.30). Les différents termes de bruit exprimés dans cette équation restent pour la plupart inchangés. Seul le terme B1 lié au bruit en tension du préamplificateur est modifié pour prendre en compte la capacité de contre-réaction C_f

B1 =
$$\langle e_n^2 \rangle \left(\frac{C_h + C_g + C_f}{C_h} \right)^2$$
 (2.39)

On constate que le bruit en tension du préamplificateur reste affecté par un diviseur capacitif. En comparaison au montage précédent, cet effet est amplifié car la capacité de contre-réaction C_f est maintenant venue s'ajouter aux capacités parasites C_c et C_{in} .

2.3.3 Comparaisons entre les deux montages

Préamplificateur de tension

Le principal avantage de cette configuration est avant tout sa simplicité. Le gain en tension est fixe dans toute la bande utile. Sa valeur peut être dépendante des capacités de connexion et d'entrée du préamplificateur, surtout pour les faibles capacités d'hydrophones. Il faut donc soigner l'implantation physique du système en minimisant la distance de connexion entre l'hydrophone et son électronique.

Le même diviseur capacitif intervient comme un facteur de dégradation du rapport S/B, par une augmentation de la contribution du bruit en tension du préamplificateur.

La polarisation de l'étage d'entrée est faite par une simple résistance connectée à la masse (R_g) dont la valeur conditionne à la fois le bruit en basse fréquence et la fréquence de coupure basse du montage.

Préamplificateur de charge

Le point fort de ce montage est sans nul doute la valeur fixe de son gain, indépendante de la capacité d'entrée du préamplificateur et de la longueur de la connexion entre le capteur et son électronique. La valeur de ce gain dépend néammoins de la valeur de la capacité de l'hydrophone. La programmation est assurée par une capacité de contre-réaction dont la valeur peut devenir importante (\approx 1nF) pour les hydrophones de forte capacité placés dans des montages à faible gain. Ceci peut conduire à des problèmes de stabilité de boucle en raison de la charge capacitive importante vue par la sortie du préamplificateur.

Le rapport S/B reste affecté d'une dégradation liée à la présence d'un diviseur capacitif. Pour les faibles valeurs de gain, la capacité de contre-réaction peut amener une augmentation de la contribution du bruit en tension de l'étage préamplificateur en raison de la diminution du rapport C_h/C_f .

La polarisation de l'étage d'entrée est également assurée par une

résistance de forte valeur montée dans la boucle de contre-réaction, qui conditionne le bruit basse fréquence et la fréquence de coupure basse.

Ces deux montages sont couramment utilisés dans les montages discrets ou hybrides actuels. L'étage d'entrée du préamplificateur est en général réalisé à l'aide d'un circuit simple à transistors JFET à très faible bruit, suivi d'un amplificateur à composants discrets ou d'un amplificateur opérationnel bipolaire. Certains fabricants de composants linéaires intègrent cette circuiterie au sein d'un circuit hybride.

2.4 CONCLUSION

Nous avons détaillé la nature physique et électrique du capteur acoustique. Le bruit introduit par le capteur et son électronique a été comparé aux niveaux de bruit ambiant de la mer afin de déterminer certaines spécifications du montage préamplificateur liées au bruit et à la dynamique. Des critères d'optimisation ont été déterminés pour deux montages différents couramment utilisés au sein de systèmes réels.

Ceci nous a permis de mettre en évidence certains points limitatifs qui conditionneront les choix effectués ultérieurement pour la conception d'un préamplificateur monolithique en technologie CMOS.

REFERENCES POUR LE CHAPITRE 2

[2.1] O.B.Wilson: "An Introduction to the Theory and Design of Sonar Transducers", textbook for a course on transducer theory and design, Naval Postgraduate School, Monterey, CA, June 1985.

[2.2] I.S.C.Chaplain: "Préamplificateur d'hydrophone pour hydrophone large bande", rapport d'étude du GERDSM/DCAN n°30440 ET/LD, 7 Mars 1978.

[2.3] R.J.Urick: "Principles of Underwater Sound", second edition, McGraw-Hill, 1975.

[2.4] G.M.Wenz: "Acoustic Ambient Noise in the Ocean: Spectra and Sources", J.Acoust.Soc.am., Vol 34, p 1936, 1962.

[2.5] V.O.Knudsen, R.S.Alford, J.W.Emling: "Underwater Ambient Noise", J.Mar.Res., Vol 7, p 410, 1948.

[2.6] R.H.Mellen: "Thermal Noise Limit in the Detection of Underwater Acoustic Signals", J.Acoust.Soc.Am, Vol 24, p 478, 1952.

CHAPITRE 3

LE TRANSISTOR MOS: CARACTERISTIQUES ET LIMITATIONS DANS DES APPLICATIONS ANALOGIQUES

La technologie MOS connaît son succès en raison de la haute densité d'intégration à laquelle elle permet d'accéder à un coût relativement réduit. Les motivations de la course à l'intégration ont été, sans aucun doute, liées à la nécessité d'intégrer de gros circuits logiques ou des mémoires à haute densité. Encore aujourd'hui, ces domaines sont les moteurs des développements technologiques les plus pointus.

Néammoins, depuis quelques années, on observe sur la scène internationale un intérêt croissant pour l'intégration de circuits analogiques en technologie CMOS. Malheureusement, si les outils mis à disposition des concepteurs de circuits logiques ont permis de suivre cette évolution rapide de la technologie, les outils de simulation de l'"analogicien" sont restés largement en retrait. En particulier, l'outil de simulation standard de l'industrie utilise des modèles dont la précision est largement insuffisante pour des applications analogiques [1].

Des recherches importantes ont été menées depuis plus de deux décennies pour essayer de comprendre les phénomènes qui régissent le fonctionnement du transistor MOS. Les bases théoriques essentielles sont maintenant bien connues [2],[3] mais la réduction des géométries à fait apparaître des phénomènes nouveaux très difficiles à analyser et modéliser. De plus, les besoins de l'industrie ont poussé les équipes de recherche à se polariser sur une approche de modélisation plutôt orientée vers la recherche de performances dans la simulation de circuits digitaux. Récemment, certains auteurs ont essayé de faire prendre conscience des lacunes dans le domaine de la simulation analogique [4][5][6]. Leur travail nous permet d'avoir une idée très précise de l'état des connaissances actuelles et des orientations à prendre pour les recherches futures.

Dans le cadre de cette thèse, nous cherchons à prouver la faisabilité de circuits analogiques à très faible bruit dans une technologie CMOS. Un tel objectif suppose une connaissance approfondie du composant de base. Devant l'abondante et parfois déroutante littérature existante sur ce sujet, il nous a semblé utile de consacrer ce chapitre à une synthèse sur le comportement du transistor MOS dans les applications analogiques. Ce travail est le résultat de l'expérience de 6 années de travail dans le domaine de la modélisation et la caractérisation de composants et dans celui de la conception de circuits intégrés analogiques.

Nous aborderons le fonctionnement du transistor sous deux angles bien distincts: - celui des équations mathématiques nécessaires à la mise en oeuvre des modèles - mais aussi - celui des aspects plus physiques vus au travers d'un regard de concepteur -. Cette synthèse se veut originale davantage dans la description des phénomènes physiques et de leurs implications dans l'environnement concret d'un circuit que dans la formulation mathématique des modèles utilisés.

Dans une première partie, nous rappelerons la théorie physique de base permettant d'aboutir à la formulation des charges dans la structure. Nous calculerons alors le courant dans les différents régimes de polarisation en utilisant une approche graphique simple référencée au substrat qui permet, par une formulation mathématique adéquate, de conserver la notion de symétrie du transistor entre les zones de source et de drain. Nous en justifierons l'intérêt pour certains cas concrets.

Dans une deuxième partie, un modèle petit signal valide pour les basses et moyennes fréquences sera naturellement dérivé des équations du courant vues auparavant. Ce sera, pour nous, l'occasion de faire une première évaluation des conditions de polarisation idéales en vue d'une optimisation des performances analogiques du composant.

Dans une troisième partie, nous aborderons le problème du bruit dans la structure. Après avoir rappelé la théorie bien connue du bruit thermique dans le canal, nous en apporterons une validation expérimentale au sein d'une abaque utile au concepteur. Nous détaillerons ensuite les phénomènes physiques qui régissent le bruit 1/F en essayant de nous démarquer des nombreuses controverses constatées dans l'abondante littérature sur le sujet. Nous adopterons une approche théorique récemment publiée permettant d'expliquer la quasi-totalité des résultats antérieurs à la fois sur le plan théorique et sur un plan plus expérimental. Notre apport sera ici l'extension de cette approche valide pour le régime de forte inversion à un modèle unifié complet décrivant le comportement du bruit 1/F à travers tous les régimes de fonctionnement. Nous apporterons certains points de validation par une étude expérimentale et concluerons sur l'intérêt d'utiliser une modélisation de cette nature pour le calcul du bruit dans les circuits.

Une dernière partie sera davantage tournée vers une vision plus réaliste des résultats théoriques obtenus auparavant pour un transistor idéal. Nous y détaillerons différentes imperfections et effets secondaires avec leurs implications pour le concepteur. Une telle vision de ces problèmes est originale en ce sens que ces aspects sont généralement traités à un niveau physico-théorique peu exploitable par le concepteur qui préfère souvent les ignorer ou les éviter par des choix de géométrie ou de polarisation qui ne sont, par conséquent, pas toujours optimums.

3.1 FONCTIONNEMENT DC DU TRANSISTOR MOS IDEAL

Notre étude sera faite pour le cas d'un transistor canal N idéal dont la coupe donnée ci-dessous indique les principales caractéristiques géométriques. Le cas d'un transistor canal P pourrait être traité par une simple transposition.



fig.3.0: coupe du transistor MOS.

3.1.1 Description qualitative de la structure MOS unidimensionnelle [5]

Une étude qualitative unidimensionnelle de la structure MOS peut être faite simplement à l'aide du diagramme de bandes d'énergie. Nous supposerons que la structure est dans des conditions d'équilibre ce qui signifie que les niveaux de Fermi dans le semiconducteur pour les deux types de porteurs sont alignés. Cette condition est réalisée si le potentiel appliqué sur la source et le drain du transistor est égal au potentiel du substrat.

Si l'on considère le cas idéal où l'isolant et l'interface silicium-oxyde sont dépourvus de défauts et si la différence des potentiels de contact des matériaux utilisés pour la grille (Φ_m) et le substrat (Φ_s) est nulle, alors les niveaux de Fermi de part et d'autre de la couche d'oxyde sont alignés (condition de *flatband* de la figure 3.1a). Dans le cas général non idéal de la figure 3.1b, la condition de *flatband* peut être retrouvée sous réserve d'appliquer sur la grille une tension de polarisation V_g telle que

$$V_g = V_{fb} = \Phi_{ms} - \frac{Q_{ox}}{C_{ox}}$$
(3.1)


fig.3.1 [5]: diagramme de bandes d'énergie dans la condition de bandes plates; a) cas idéal; b) cas réel.

Si la tension appliquée sur la grille diffère de V_{fb} , les bandes se courbent au voisinage de l'interface. Plusieurs cas sont alors à considérer :

 $V_g < 0$: les bandes se courbent de manière à rapprocher le niveau de Fermi de la bande de valence, créant ainsi une accumulation de trous au voisinage de la surface (figure 3.2a).

 $V_g > 0$: les bandes se courbent de manière à éloigner le niveau de Fermi de la bande de valence. Les trous sont rejetés vers le volume du semiconducteur, créant ainsi une zone déplétée à l'interface.

Si la polarisation de grille est suffisamment forte pour aligner le niveau de Fermi avec le niveau de Fermi intrinsèque à l'interface, on entre en *régime de faible inversion*. On observe alors la création d'une couche de porteurs libres (électrons) confinée à l'interface et isolée du substrat par la zone déplétée. Cette couche est appelée *couche d'inversion* ou *canal*. Le potentiel en surface du semiconducteur est alors égal au potentiel de Fermi (figure 3.2b).

Si la polarisation de grille augmente encore de manière à ce que le potentiel en surface du semiconducteur soit deux fois égal au potentiel de Fermi, on entre en *régime d'inversion modérée*. La concentration en porteurs libres (électrons) dans la couche d'inversion est alors égale à la concentration en trous dans le volume du semiconducteur (figure 3.2c).

Pour des tensions de grille plus importantes encore, le niveau de Fermi se rapproche de la bande de conduction, augmentant ainsi très fortement la concentration en porteurs libres dans la couche d'inversion. Le potentiel en surface du semiconducteur reste alors confiné à une valeur légèrement supérieure à deux fois le potentiel de Fermi, ce qui entraîne une stabilisation de la profondeur de la zone déplétée (figure 3.2d). On est alors en *régime de forte inversion*.



fig.3.2 [5]: diagramme de bandes d'énergie ; a) en régime d'accumulation; b) en régime de faible inversion; c) en régime d'inversion modérée; d) en régime de forte inversion.

En régime d'inversion, le bilan des charges dans la structure (figure 3.3) peut s'exprimer par une équation d'équilibrage des charges de part et d'autre de la couche isolante:

$$Q_{g} = -Q_{ox} - (Q_{d} + Q_{i}) = -Q_{ox} - Q_{s}$$
 (3.2)

(dans cette formulation et pour toute la suite, nous supposerons que la technologie considérée est récente et les états d'interface rapides seront donc négligés).



fig.3.3 [7]: bilan des charges dans la structure MOS en régime d'inversion

3.1.2 Analyse quantitative de la structure MOS unidimensionnelle

Dans cette analyse, nous considèrerons que la couche d'inversion est maintenant connectée électriquement à une zone soumise à un potentiel V différent du potentiel du substrat. Ceci amène une condition de non-équilibre pour les électrons. Le niveau de Fermi dans le semiconducteur va donc se séparer en deux niveaux distincts correspondant aux deux types de porteurs libres. Les porteurs majoritaires dans le substrat (trous) restant dans leur condition d'équilibre, leur quasi-niveau de Fermi reste aligné sur le niveau de Fermi (figure 3.4).





3.1.2.1 Résolution de l'équation de Poisson [6]

La statistique de Maxwell-Boltzman permet d'exprimer la concentration en charges libres dans le semiconducteur

$$p(y) = n_i \exp\left(\frac{\Phi_f - \Psi(y)}{U_t}\right)$$
(3.3)

$$n(y) = n_i \exp\left(\frac{\Psi(y) - \Phi_f - V}{U_t}\right)$$
(3.4)

n_i est la concentration du silicium intrinsèque,

 $U_t = KT/q$ (K est la constante de Boltzman, T est la température absolue en degrés Kelvin et q est la charge de l'électron)

 Ψ est le potentiel dans le semiconducteur,

 $\Phi_{\rm f}$ est le potentiel de Fermi défini par

$$\Phi_{\rm f} = U_{\rm t} \, \ln\left(\frac{N_{\rm B}}{n_{\rm i}}\right) \tag{3.5}$$

avec N_B la concentration en dopant dans le substrat.

L'équation de Poisson dans le semiconducteur est donnée par

$$\frac{d^2 \Psi(y)}{dy^2} = \frac{q}{\epsilon_s} (n(y) - p(y) + N_B)$$
(3.6)

où ε_s est la constante diélectrique dans le silicium.

En utilisant (3.3) à (3.6), l'équation de Poisson devient

$$\frac{d^2\Psi(y)}{dy^2} = \frac{qN_B}{\epsilon_s} \left[\exp\left(\frac{\Psi(y) - 2\Phi_f - V}{U_t}\right) - \exp\left(\frac{-\Psi(y)}{U_t}\right) + 1 - \exp\left(\frac{2\Phi_f}{U_t}\right) \right] (3.7)$$

L'intégration de cette équation suivant y, en négligeant l'influence des trous, permet de donner une expression du électrique vertical $\xi(y)$ valide pour $\Psi >$ qques U_t (régimes de déplétion et d'inversion)

$$\xi(y) \approx \frac{\Psi(y)}{|\Psi(y)|} \frac{U_t}{L_d} \left[\exp\left(\frac{\Psi(y) - 2\Phi_f - V}{U_t}\right) + \frac{\Psi(y)}{U_t} \right]^{\frac{1}{2}}$$
(3.8a)

L_d, appelée *longueur de Debye*, est définie par:

$$L_{d} = \sqrt{\frac{\varepsilon_{s} U_{t}}{2 q N_{B}}}$$
(3.8b)

En surface du semiconducteur, nous noterons le champ électrique $\xi(0) = \xi_s$ et le potentiel $\Psi(0) = \Psi_s$

La loi de Gauss, appliquée au volume du semiconducteur, permet de relier le champ électrique ξ_s à la charge totale Q_s dans le silicium:

$$Q_{s} = -\varepsilon_{s} \xi_{s}$$
(3.9)

Cette charge peut être approximée par la somme de deux charges distinctes Q_i et Q_d qui correspondent chacune à l'un des termes de (3.8)

$$Q_{i} \approx \frac{\Psi_{s}}{|\Psi_{s}|} \sqrt{2 \varepsilon_{s} q N_{B} U_{t}} \left[\exp\left(\frac{\Psi_{s} - 2\Phi_{f} - V}{U_{t}}\right) \right]^{\frac{1}{2}}$$
(3.10)

$$Q_d \approx \frac{\Psi_s}{|\Psi_s|} \sqrt{2 \epsilon_s q N_B U_t} \left(\frac{\Psi_s}{U_t}\right)^{\frac{1}{2}}$$
 (3.11)

La figure 3.5 donne un exemple de l'évolution de la fonction

$$N(\Psi_s) = \frac{L_d}{U_t} \xi_s = -\frac{L_d}{\varepsilon_s U_t} Q_s$$
(3.12)



Dans les régimes de déplétion et de faible inversion, la charge dans le silicium est dominée par les charges fixes dans la zone déplétée (Q_d) . Lorsque Ψ_s croît, la charge Q_d ne varie plus que très lentement, stabilisant ainsi la profondeur de la zone déplétée. En régime de forte inversion, la charge Q_i domine très nettement, augmentant ainsi fortement la charge dans le silicium pour de très faibles variations de Ψ_s . Dans ce régime, Ψ_s pourra donc être considérée comme quasi-constante de valeur [9]

$$\Psi_{s} \approx (2\Phi_{f} + \Delta\Phi) + V = \Psi_{o} + V \qquad (\Delta\Phi \approx 4 U_{t}) \qquad (3.13)$$

L'étape suivante consiste à relier l'ensemble des résultats précédents à l'évolution de la tension de grille V_g .

La loi de Gauss, appliquée à l'interface, permet d'établir le lien entre le champ électrique dans l'oxyde et le champ électrique en surface du semiconducteur

$$\epsilon_{s} \xi_{s} = \epsilon_{ox} \xi_{ox} = \epsilon_{ox} \left(\frac{V_{g} - \Phi_{ms} - \Psi_{s}}{t_{ox}} \right) = -Q_{s} - Q_{ox}$$
(3.14)

qui conduit à la relation voulue

$$V_g = V_{fb} + \Psi_s - \frac{Q_s}{C_{ox}}$$
(3.15a)

avec
$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$$
 (3.15b)

La figure 3.6 donne un exemple de l'évolution du potentiel de surface avec la tension appliquée sur la grille.



En régime de faible inversion ($\Phi_f < \Psi_s < 2\Phi_f + V$), le potentiel de surface évolue quasi-linéairement avec la tension V_g . La pente n_w, calculée en limite supérieure du régime, est donnée par

$$\frac{dV_g}{d\Psi_s}\Big|_{\Psi_s = 2\Phi_f + V} = 1 + \frac{\gamma}{2\sqrt{2\Phi_f + V}} = n_w$$
(3.16)

En forte inversion, le potentiel de surface reste quasi-constant. Sa valeur est proche de $2\Phi_f + \Delta \Phi + V$.

3.1.2.2. Calcul de la charge Qi en forte inversion - Tension de seuil

Afin d'évaluer le courant circulant dans un transistor MOS polarisé en régime de forte inversion, il faut reconsidérer l'expression de la charge Q_i donnée en (3.10) de manière à l'exprimer en fonction des tensions de polarisation extérieures. Pour ce calcul, trois hypothèses simplificatrices sont couramment utilisées:

- Le potentiel de surface en forte inversion est quasi-constant et sa valeur est donnée par (3.13). Nous le noterons désormais $\Psi_{s,inv}$.

- La couche inversée est d'épaisseur infinitésimale et peut être considérée comme une charge concentrée à l'interface. Dans ces conditions, tout le potentiel dans le semiconducteur est développé aux bornes de la zone déplétée. Cette approximation est dite 'charge sheet approximation'[10].

- Les charges fixes de l'oxyde et les états d'interface sont négligés.

Dans ces conditions, en reprenant les expressions de Q_s et de Q_d respectivement données par (3.15) et (3.11)

$$Q_{s} = -C_{ox} (V_{g} - V_{fb} - \Psi_{s,inv})$$
 (3.17)

$$Q_{d} = -\sqrt{2 \epsilon_{s} q N_{B} \Psi_{s,inv}} \qquad (3.18)$$

la charge Q_i est donnée par

avec

$$Q_{i} = Q_{s} - Q_{d} = -C_{ox} (V_{g} - V_{fb} - \Psi_{s,inv} - \gamma \sqrt{\Psi_{s,inv}})$$
 (3.19a)

$$\gamma = \frac{\sqrt{2 \epsilon_{\rm s} q N_{\rm B}}}{C_{\rm ox}} \tag{3.19b}$$

On définit la tension de seuil V_{TO} comme étant la tension de grille qui, à polarisation V nulle, permet d'annuler la charge Q_i; d'après (3.19)

$$V_{\rm TO} = V_{\rm fb} + \Psi_{\rm o} + \gamma \sqrt{\Psi_{\rm o}}$$
(3.20)

Cette tension de seuil est évaluée à partir d'une extension des équations du régime de forte inversion vers le régime d'inversion modérée; il faut noter que la forte inversion n'est réellement atteinte que lorsque V_g est supérieur de quelques U_t à la tension de seuil V_{TO} .

Si la couche d'inversion est placée hors d'équilibre (V \neq 0), la tension pour laquelle la charge Q_i s'annule est maintenant donnée par

$$V_{t}(V) = V_{fb} + \Psi_{s,inv} + \gamma \sqrt{\Psi_{s,inv}}$$
(3.21)

avec

$$\Psi_{s,inv} = \Psi_o + V \tag{3.22}$$

Le comportement de $V_t(V)$ est tracé sur la figure 3.7. Au prix d'une légère erreur, la courbe peut être approximée par une droite dont la pente n(V) est obtenue par dérivation de (3.21)

$$n(V) = \frac{dV_t(V)}{dV} = 1 + \frac{\gamma}{2\sqrt{\Psi_0 + V}}$$
(3.23)

Sur la figure 3.8, n(V) apparaît comme une fonction douce de V, montrant ainsi la quasi-linéarité de V_t(V). La figure montre également l'évolution de n_w(V) définie précédemment. Le faible écart entre les deux courbes, dès que V augmente, pourrait nous autoriser à définir une pente identique n pour les régimes de faible et de forte inversion.

Une valeur moyenne n_0 de n(V), prise au milieu de la gamme de tensions V utiles, permet de définir une droite d'origine V_{to} s'approchant au mieux de la courbe V_t(V). Ceci nous permet d'exprimer la tension de seuil V_t(V) sous forme simplifiée

$$V_t(V) \approx V_{to} + n_o V \tag{3.24}$$

Nous utiliserons ce type de linéarisation dans plusieurs calculs ultérieurs.



fig.3.7: évolution de la tension de seuil en fonction du potentiel le long du canal.



fig.3.8: évolution de n(V).

3.1.2.3 Calcul de la tension de pincement V_p

Nous allons maintenant définir la tension $V=V_p$ pour laquelle, à tension de grille V_g donnée, la charge Q_i s'annule. Nous étudierons plus tard la signification de ce paramètre.

D'après (3.19) et (3.22), en prenant $Q_i=0$, on peut exprimer la tension de grille sous la forme

$$V_{g} = V_{fb} + \Psi_{o} + V_{p} + \sqrt{\Psi_{o} + V_{p}}$$
 (3.25)

qui donne

$$V_{g} = V_{TO} + V_{p} + \gamma \left(\sqrt{\Psi_{o} + V_{p}} - \sqrt{\Psi_{o}}\right)$$
(3.26)

d'où l'on tire

$$V_{p} = V_{g} - V_{TO} - \gamma \left[\sqrt{V_{g} - V_{TO} + \left(\frac{\gamma}{2} + \sqrt{\Psi_{o}}\right)^{2}} - \left(\frac{\gamma}{2} + \sqrt{\Psi_{o}}\right) \right] (3.27)$$

L'évolution de $V_p(V_g)$ est tracée sur la figure 3.9. Cette courbe peut, elle aussi, être linéarisée. L'équation (3.25) peut être réécrite en utilisant l'approximation définie en (3.24)

$$V_g = V_{to} + n_o V_p = V_t (V_p)$$

ce qui donne une dépendance linéaire en fonction de V_g sous la forme

$$V_{p} = \frac{V_{g} - V_{to}}{n_{o}}$$
 (3.28)

Nous discuterons plus en détail cette linéarisation pour le calcul du courant de drain en forte inversion.



fig.3.9:

évolution de la tension de pincement avec la tension de grille

3.1.2.4 Calcul de la charge Qi en faible inversion

Dans ce régime de fonctionnement, $\Phi_f + V < \Psi_s < 2\Phi_f + V$. Les charges dans la couche d'inversion sont en quantité négligeable devant les charges fixes dans la zone déplétée.

En développant l'expression de Q_{s} (3.9) en série de Taylor au premier ordre, on peut calculer $Q_{\rm i}$

$$Q_{i} = Q_{s} - Q_{d}$$

$$Q_{i} = -\gamma C_{ox} \sqrt{U_{t}} \left\{ \left(\exp\left(\frac{\Psi_{s} - 2\Phi_{f} - V}{U_{t}}\right) + \frac{\Psi_{s}}{U_{t}}\right)^{\frac{1}{2}} - \left[\frac{\Psi_{s}}{U_{t}}\right]^{\frac{1}{2}} \right\} (3.29)$$

$$Q_i \approx -\gamma C_{ox} U_t \exp\left(\frac{\Psi_s - 2\Phi_f - V}{U_t}\right) \frac{1}{2\sqrt{\Psi_s}}$$
 (3.30)

Nous avons vu qu'en faible inversion, Ψ_s évolue linéairement avec V_g , la pente de la droite étant donnée par (3.16). L'expression de Q_i devient donc

$$Q_i = -C_{ox} U_t \exp\left(-\frac{\Psi_s - 2\Phi_f - V}{U_t}\right) (n_w - 1)$$
 (3.31)

Au voisinage de la limite supérieure du régime donnée par $\Psi_s = 2\Phi_f + V$, on peut écrire

$$\Psi_{\rm s} - 2\Phi_{\rm f} - V \approx \frac{V_{\rm g} - V_{\rm x}}{n_{\rm w}}$$
(3.32)

avec

$$V_{x} = V_{fb} + 2\Phi_{f} + V + \gamma \sqrt{2\Phi_{f} + V}$$

$$V_{x} \approx V_{xo} + n_{w} V \qquad (3.33)$$

 V_x est à comparer à l'expression de la tension de seuil V_t définie par (3.21) pour le cas du régime de forte inversion. La différence entre V_x et V_t est liée au fait que, pour la faible inversion, le potentiel de surface est pris égal à sa valeur limite en limite supérieure du régime ($2\Phi_f + V$).

L'expression de Q_i peut maintenant être exprimée sous la forme

$$-\frac{Q_i}{C_{ox}} \approx U_t \exp\left(\frac{V_g - V_{xo} - n_w V}{n_w U_t}\right) (n_w - 1)$$
(3.34)

3.1.2.5 Conclusions sur la charge Qi

La figure 3.10 donne l'évolution de la charge $-Q_i/C_{ox}$ en fonction de $(V_g-V_{fb})/U_t$ (tirée de (3.29) et (3.15)).

En régime de faible inversion ($\Psi_s < 2\Phi_f + V$), l'évolution est exponentielle est peut être approximée par (3.34).

En régime de forte inversion ($\Psi_s > \Psi_o + V$), l'évolution est beaucoup plus douce et suit l'expression (3.19).

En régime d'inversion modérée $(2\Phi_f + V < \Psi_s < \Psi_o + V)$, il n'existe pas d'expression analytique simple. Q_i peut être approximée par une équation mathématique de raccordement entre les deux régimes précédents [7].





3.1.2.6 Evolution de la capacité de grille petit signal

La capacité de grille par unité de surface C_g est définie par

$$C_{g} \triangleq \frac{\Delta Q_{g}}{\Delta V_{g}}$$
(3.35)

Toute variation de potentiel de grille ΔV_g peut être considérée comme la somme d'une variation de tension aux bornes de l'isolant (ΔV_{ox}) et d'une variation de tension aux bornes du semiconducteur ($\Delta \Psi_s$)

$$\Delta V_{g} = \Delta V_{ox} + \Delta \Psi_{s}$$
(3.36)

qui donne

$$C_{g}^{-1} \doteq \left(\frac{\Delta Q_{g}}{\Delta V_{ox}}\right)^{-1} + \left(\frac{\Delta Q_{g}}{\Delta \Psi_{s}}\right)^{-1} \doteq C_{ox}^{-1} + C_{s}^{-1}$$
(3.37)

avec

$$C_{s} \doteq -\frac{\Delta Q_{s}}{\Delta \Psi_{s}}$$
(3.38)

Cg peut alors s'écrire sous sa forme normalisée à Cox

$$\frac{C_g}{C_{ox}} = \left(1 + \frac{C_{ox}}{C_s}\right)^{-1}$$
(3.39)

La figure 3.11 montre l'évolution de C_g/C_{ox} avec la tension de grille normalisée à U_t , pour plusieurs valeurs de la tension V. La variation du potentiel de surface y est indiquée de manière à bien distinguer les différents régimes de fonctionnement.

En régime de faible inversion [11], la capacité C_s se ramène à la seule capacité de la zone déplétée

$$C_s \approx C_d = \frac{\gamma C_{ox}}{2 \sqrt{\Psi_s}}$$
 (3.40)

En limite du régime de faible inversion, on peut écrire

$$C_{s} \approx \frac{\gamma C_{ox}}{2 \sqrt{2\Phi_{f} + V}} = (n_{w} - 1) C_{ox}$$
(3.41)

qui donne

$$\frac{C_g}{C_{ox}} = \left(1 + \frac{1}{n_w} - 1\right)^{-1} = 1 - \frac{1}{n_w}$$
(3.42)

Ceci permet d'obtenir aisément la valeur de n_w par la mesure.

En régime d'inversion modérée et de forte inversion, la capacité de grille redevient très vite proche de C_{ox} . En effet, la couche d'inversion crée une couche conductrice à l'interface qui écrante la capacité de la zone déplétée.



fig.3.11: évolution de la capacité de grille normalisée en fonction de la polarisation de grille, en prenant la tension V du canal comme paramètre.

3.1.3 Structure MOS complète. Calcul du courant de drain.

Le potentiel V considéré précédemment représente maintenant la tension V(x) le long du canal, de la source vers le drain.

Pour évaluer le courant de drain, nous allons reprendre les hypothèses simplificatrices développées au 3.1.2 auxquelles nous ajouterons l'approximation du canal graduel. Celle-ci consiste à considérer que le champ électrique longitudinal $\xi(x)$ est négligeable devant le champ électrique vertical $\xi(y)$. Ceci suppose que la tension V_{ds} appliquée sur le transistor soit très faible ou que la longueur du canal soit suffisamment grande.

On peut montrer que le courant circulant dans le canal peut être exprimé sous la forme d'une équation unique, qui regroupe les termes liés aux courants de conduction et de diffusion [12]

$$I_{d} = \frac{W}{L} \int_{V_{s}}^{V_{d}} \mu (-Q_{i}) dV$$
 (3.43)

Si la mobilité μ est considérée comme constante, on peut mettre (3.43) sous la forme suivante

$$I_{d} = K \int_{V_{s}}^{V_{d}} \left(-\frac{Q_{i}}{C_{ox}} \right) dV = I_{F} - I_{R}$$
$$= K \int_{V_{s}}^{\infty} \left(-\frac{Q_{i}}{C_{ox}} \right) dV - K \int_{V_{d}}^{\infty} \left(-\frac{Q_{i}}{C_{ox}} \right) dV \qquad (3.44a)$$
$$avec \quad K = \mu C_{ox} \frac{W}{L} \qquad (3.44b)$$

Cette mise en forme [13] nous permet d'établir une formulation unique du courant pour I_F et I_R en utilisant les tensions référencées par rapport au substrat.

$$I_{F,R} = K \int_{V_{s,d}}^{\infty} \left(-\frac{Q_i}{C_{ox}} \right) dV$$
 (3.45)

L'intérêt de cette formulation est qu'elle reflète très exactement le rôle symétrique de la source et du drain dans le dispositif. Habituellement, la référence est prise à la source. On convient alors d'affecter le nom de 'source' au point du canal où le potentiel est le plus proche de celui du substrat. Dans le cas d'un transistor ayant ses tensions de substrat et de grille constantes par rapport à une référence extérieure et pour lequel les tensions de source et drain sont variables, suivant le signe de la tension $V_{ds}=V_d-V_s$, la borne considérée comme source peut être périodiquement échangée avec le drain. Ceci peut, par exemple, poser des problèmes de formulation du courant dans des montages où le transistor est utilisé comme résistance flottante entre deux points.

3.1.3.1 Calcul du courant de drain en forte inversion à V_{ds} faible

En injectant (3.21) dans (3.19), la charge Q_i en forte inversion est donnée

par

$$-\frac{Q_i}{C_{ox}} = V_g - V_t(V)$$
 (3.46)

et

$$\int_{V_{s,d}}^{\infty} \left(-\frac{Q_i}{C_{ox}} \right) dV = \int_{V_{s,d}}^{V_p} (V_g - V_t(V)) dV$$
(3.47)

L'approximation faite au 3.1.2.2 nous permet d'exprimer $V_t(V)$ sous la

forme

$$V_t(V) \approx V_{to} + n_o V$$
 (3.48)

(3.47) peut maintenant s'écrire

$$\int_{V_{s,d}}^{V_p} (V_g - V_{to} - n_o V) \, dV$$
 (3.49)

Cette intégrale peut être facilement résolue par une approche graphique dite de 'Memelink' [8]. La figure 3.12 donne la construction graphique utilisée. L'origine des axes correspond à la tension de substrat. La tension V_g est repérée sur l'axe des ordonnées tandis que l'axe des abscisses représente la tension V(x) le long du canal.

Une droite d'ordonnée à l'origine V_{to} et de pente n_o symbolise l'évolution de la tension de seuil locale $V_t(V)$ le long du canal ((3.48)). La hauteur du segment entre l'horizontale donnée par la tension de grille V_g et la tension de seuil locale $V_t(V)$ représente le terme défini par l'équation (3.46). La solution de l'intégrale (3.49) est alors donnée par la surface de la zone hachurée.



fig.3.12:

construction graphique de 'Memelink' utilisée pour le calcul de la tension de pincement Au point exact où la hauteur de ce segment devient nulle, la charge Q_i s'annule et la tension V(x) correspondante donne la tension de pincement V_p (définie par (3.28)). Une simple construction géométrique à l'aide de ce diagramme permet d'évaluer V_p sous la forme

$$V_{\rm p} \approx \frac{V_{\rm g} - V_{\rm to}}{n_{\rm o}}$$
(3.50)

L'intégrale définie par (3.47) s'écrit maintenant

$$\int_{V_{s,d}}^{V_p} (V_g - V_t(V)) \, dV = \frac{n_o (V_p - V_{s,d})^2}{2}$$
(3.51)

Le courant de drain en zone linéaire, à Vds faible, est alors donné par

$$I_{d} = I_{F} - I_{R} = \frac{K n_{o}}{2} \left((V_{p} - V_{s})^{2} - (V_{p} - V_{d})^{2} \right)$$
(3.52)

La construction graphique de Memelink permet de représenter le courant I_d par la surface de la zone d'intersection entre les zones hachurées correspondant à I_F et I_R (figure 3.13).

On peut, à partir de cette expression et de (3.50), retrouver la formulation classique du courant de drain en zone linéaire avec la référence de potentiel à la source

$$I_{d} = K \left(V_{g} - V_{to} - \frac{n_{o}}{2} (V_{d} + V_{s}) \right) (V_{d} - V_{s})$$
(3.53)

ou

$$I_{d} = K \left(V_{gs} - V_{th} - \frac{n_{o}}{2} V_{ds} \right) V_{ds}$$
 (3.54)

avec

$$V_{th} = V_{to} - (n_o - 1) V_{bs}$$
 (3.55)

V_{th} représente alors la tension de seuil référencée à la source.



fig.3.13:

construction graphique de 'Memelink' utilisée pour le calcul du courant Pour un transistor à canal long, il est possible d'étendre ces résultats à des tensions V_{ds} plus importantes sans violer l'*approximation du canal graduel*. Ceci va nous permettre d'aborder maintenant le régime de saturation.

3.1.3.2 Courant de drain en forte inversion à V_{ds} fort

Ce cas correspond au régime de saturation, régime pour lequel la tension V_s est inférieure à V_p et la tension V_d est supérieure à V_p . L'expression de la charge Q_i utilisée dans (3.45) et définie par (3.46) n'est plus valide pour le calcul de I_R . La représentation de Memelink pour le courant I_R ne tient plus car I_R n'est plus donné par l'équation (3.47). Dans ce cas, l'expression de Q_i qu'il faut prendre est celle donnée pour le régime de faible inversion et le courant I_R diminue très vite pour atteindre une valeur négligeable. On peut alors considérer en première approximation que I_R est nul et l'expression du courant se ramène alors simplement à celle de I_F pour laquelle l'approximation de Memelink reste valide. Le courant de drain est alors constant et vaut

$$I_{d} = I_{F} = \frac{K n_{o}}{2} (V_{p} - V_{s})^{2}$$
 (3.56)

que l'on peut exprimer sous la forme

$$I_{d} = K \frac{(V_{g} - V_{to} - n_{o}V_{s})^{2}}{2n_{o}} = K \frac{(V_{gs} - V_{th})^{2}}{2n_{o}}$$
(3.57) (3.58)

3.1.3.3 Caractéristiques en régime de forte inversion

Le tableau suivant résume	les résultats obtenus	précédemment.
---------------------------	-----------------------	---------------

bloqué	$I_d = 0$	V_d , $V_s \ge V_p$
Saturé reverse	$I_d = -I_R = -K \frac{(V_g - V_{to} - n_o V_d)^2}{2 n_o}$	$V_d \le V_p \le V_s$
Saturé direct	$I_d = I_F = -K \frac{(V_g - V_{to} - n_o V_s)^2}{2 n_o}$	$V_s \le V_p \le V_d$
Linéaire	$I_d = I_F - I_R =$ K $(V_d - V_s) \left(V_g - V_{to} - \frac{n_o}{2} (V_d + V_s) \right)$	V_d , $V_s \le V_p$

La figure 3.14 détaille les caractéristiques obtenues à l'aide de ces équations pour un fonctionnement en mode direct à tension V_s constante:

La figure 3.14a montre l'évolution du courant normalisé en fonction de la tension V_d appliquée, à plusieurs tensions V_g . La courbe en pointillés représente l'évolution de la tension de pincement. Au delà de cette limite, on entre en régime de saturation et le courant devient constant.



Fig.3.14a

La figure 3.14b détaille l'évolution de la caractéristique de transfert pour différentes tensions V_d . Pour $V_d < V_p$, la courbe évolue linéairement avec V_g . Pour $V_d > V_p$, toutes les courbes se confondent et la racine carrée du courant est linéaire en fonction de V_g .



Fig.3.14b

3.1.3.4 Remarques sur les approximations utilisées

Quelques remarques sont nécessaires quant aux approximations faites pour les calculs qui précèdent.

Linéarisation de V_t(V)

Nous avons largement basé notre développement sur une linéarisation de la courbe $V_t(V)$ sous la forme donnée par (3.24).

Dans certains cas, il est possible d'améliorer la précision du calcul du courant en linéarisant $V_t(V)$ au voisinage du point où $V=V_s$ [5].



Fig.3.15a

La nouvelle pente utilisée est maintenant donnée par

$$n = 1 + \frac{\gamma}{2\sqrt{\Psi_{o} + V_{s}}}$$
(3.59)

et l'ordonnée en $V = V_s$ est donnée par

$$V_{ts} = V_{fb} + \Psi_o + V_s + \gamma \sqrt{\Psi_o + V_s}$$
(3.60)

L'ordonnée en V=0 est donnée par

$$V_t = V_{ts} - n V_s \tag{3.61}$$

La tension de saturation peut maintenant s'exprimer sous la forme

$$V_{p} = \frac{V_{gs} - V_{t}}{n} + V_{s}$$
(3.62)

La figure 3.15a montre un diagramme de Memelink comparant les deux approches à V_s faible, là où l'écart entre $V_t(V)$ et sa linéarisation suivant (3.24) est le plus important. Les hachures verticales indiquent la surface calculée par la première approche. Les hachures diagonales indiquent le nouveau résultat. La différence entre le calcul complet et la nouvelle approche est très nette.





Afin de mieux évaluer l'amélioration obtenue, la figure 3.15b montre un résultat de calcul du courant de drain en zone saturée en fonction de la tension V_s appliquée. Les deux approches de linéarisation y sont comparées à un calcul exact. Au prix d'une complexité légèrement accrue, la nouvelle approximation apporte une précision suppléméntaire appréciable. Si l'on travaille à tension V_{ds} forte, elle a néammoins tendance à sous-estimer la tension de saturation et, par conséquent, le courant de drain. Dans les modèles de simulation, ce phénomène est atténué grâce à une expression de n plus complexe (développée au deuxième ordre en $(\Psi_0 + V_s)^{-1/2})$ [1].

Dans la suite, nous écrirons les équations en remplaçant n_0 et V_{to} par n et V_t de manière à augmenter la précision.

Réduction de la mobilité de surface par le champ électrique

Dans tous les calculs précédents, afin de simplifier l'étape d'intégration du courant, nous avons considéré la mobilité de surface μ comme une constante. Or, elle dépend du champ électrique vertical et latéral. Dans le cadre de l'*approximation du canal graduel*, la dépendance latérale peut être négligée.

Une approche courante pour tenir compte de ces phénomènes est de remplacer la mobilité de surface μ par une mobilité de surface effective μ_{eff} dépendant des tensions appliquées sur le transistor. Dans les modèles de simulations [1], on retient souvent une approche empirique donnant une expression de μ_{eff} sous la forme

$$\mu_{\rm eff} = \frac{\mu}{1 + \theta \, (V_{\rm gs} - V_{\rm th})} \tag{3.63}$$

 θ étant un paramètre à ajuster généralement de l'ordre de 0,04 V⁻¹.

Si l'on observe réellement ce que produit cette équation [4], on s'aperçoit que pour une polarisation de substrat élevée par rapport à la source (prise comme référence dans (3.63)), la tension de seuil V_{th} augmente, ce qui fait augmenter la mobilité μ_{eff} . Or, dans ce cas, le champ électrique vertical augmente ce qui devrait, en principe, réduire la mobilité par une augmentation des intéractions des porteurs du canal avec la surface Si/SiO₂. Il convient donc de modifier l'expression (3.63) en ajoutant au dénominateur un terme dépendant de la tension V_{bs} de manière à corriger cette erreur [5]. On peut également remplacer le terme (V_{gs} - V_{th}) par V_p . On retrouve alors un modèle référencé au substrat.

Modulation de la longueur du canal

Nous avons vu que le pincement intervenait en un point du canal où la tension $V=V_p$. Si la tension $V_d>V_p$, nous avons, pour le moment, supposé que le courant restait constant. En fait, dans ce cas, le potentiel V_d-V_p se développe dans le canal entre le point de pincement et la zone de drain. En première approximation, on peut négliger les charges mobiles dans cette zone. La distance entre le point de pincement et la zone de drain peut alors être évaluée à l'aide de l'équation de Poisson sous la forme

$$\Delta L = \sqrt{\frac{2 \varepsilon_s}{q N_B}} \left[\sqrt{\Phi_d + (V_d - V_p)} - \sqrt{\Phi_d} \right]$$
(3.64)

avec

$$\Phi_{\rm d} = \frac{\varepsilon_{\rm s} \xi_{\rm p}^2}{2 q N_{\rm B}}$$

 ξ_p représente le champ électrique longitudinal au point de pincement.

Tout se passe alors comme si l'on avait un transistor placé en limite de saturation (point de pincement situé à la limite du drain $= V_d = V_p$) et dont la longueur de canal serait égale à L- Δ L. Le courant de drain en zone saturée est alors donné par

$$I_{d(sat)} = I_{d} \Big|_{V_{d}=V_{p}} * \frac{1}{1 - \frac{\Delta L}{L}}$$
 (3.65)

En injectant (3.64) dans (3.65) et en approximant par un développement limité au voisinage de $V_d = V_p$, on peut en déduire une expression simplifiée du courant en zone saturée sous la forme

$$I_{d(sat)} = I_{d} \bigg|_{V_{d}=V_{p}} * \left(1 + \frac{V_{d} - V_{p}}{V_{A}} \right)$$
(3.66)

 V_A est assimilable à une tension Early, par analogie au transistor bipolaire. Elle est proportionnelle à la longueur du canal et dépend du dopage sous la forme

$$V_A \sim L_{\sqrt{N_B}}$$
(3.67)

La figure 3.16 montre un exemple de l'évolution de la tension Early mesurée sur un lot de transistors d'une technologie CMOS 3 μm à caisson N. VA y est exprimée en fonction de la longueur du canal L et pour plusieurs densités de courant. On constate sur cette courbe une dépendance quasi-linéaire de V_A en fonction de L comme le prévoie l'approximation (3.67). Néammoins V_A varie légèrement avec le niveau de courant. En effet, on remarque une tendance à voir augmenter V_A lorque la densité de courant croît. Si l'on fait abstraction de phénomènes de second ordre que nous verrons plus loin dans ce chapitre et qui concernent les canaux les plus courts (ce qui paraît acceptable car la tendance est observée quelle que soit la longueur du canal), on peut expliquer ce phénomène. Nous avons dérivé l'expression de ΔL en négligeant les charges mobiles dans la zone déplétée située entre le point de pincement et la zone de drain. Si l'on travaille à fort courant, cette approximation ne tient plus et il convient d'intégrer l'équation de Poisson en tenant compte de ces charges mobiles. Ce travail a été fait par G.MERCKEL [9]. La valeur de ∆L qui en résulte est d'autant plus faible que la densité de courant est importante, ce qui confirme la tendance mesurée.

remarque:

Il est utile de faire remarquer que tout ceci n'est valide que dans le cas d'un transistor idéal. Si l'on s'intéresse à un transistor réel, des effets secondaires pourront alors se manifester et totalement masquer le comportement décrit ci-dessus. Nous aborderons ces effets à la fin de ce chapitre.



3.1.3.5 Courant de drain en faible inversion [11][14]

L'expression de la charge Q_i donnée par (3.34) et injectée dans l'expression du courant (3.45) permet d'établir

$$I_{F,R} = K \int_{V_{s,d}}^{\infty} (n_w - 1) U_t \exp\left(\frac{V_g - V_{xo} - n_w V}{n_w U_t}\right) dV$$

= - K (n_w -1) $U_t^2 \left[\exp\left(\frac{V_g - V_{xo} - n_w V}{n_w U_t}\right)\right]_{V_{s,d}}^{\infty}$
= $I_{do} \exp\left(\frac{V_g}{n_w U_t}\right) \exp\left(-\frac{V_{s,d}}{U_t}\right)$ (3.68)

avec

$$I_{do} = K (n_w - 1) U_t^2 \exp\left(-\frac{V_{xo}}{n_w U_t}\right)$$
 (3.69)

Le courant de drain peut alors s'exprimer sous la forme

$$I_{d} = I_{F} - I_{R} = I'_{do} \exp\left(\frac{V_{g}}{n_{w} U_{t}}\right) \left\{\exp\left(-\frac{V_{s}}{U_{t}}\right) - \exp\left(-\frac{V_{d}}{U_{t}}\right)\right\} (3.70)$$

Nous avons vu précédemment (3.1.2.4) que l'expression de la charge Q_i utilisée était valide pour $\Psi_s < 2\Phi_f + V$. En limite supérieure du régime, la tension de grille appliquée est égale à V_x définie par (3.33). Le courant de drain, déduit de (3.68), pour une tension de drain V_d plaçant le transistor en régime saturé, est alors donné par

$$I_d = K (n_w - 1) U_t^2 \approx K U_t^2$$
 (3.71)

Cette valeur de courant est une donnée très utile au concepteur car elle est une constante liée au transistor très facilement calculable.

Afin de fixer les idées, l'ordre de grandeur de ce courant limite peut aisément être calculé pour une technologie CMOS 3 μ m courante. La valeur obtenue est de l'ordre de quelques 10 nA pour un rapport W/L pris unitaire.







fig.3.17 b)





La figure 3.17a montre la forme typique de la caractéristique de sortie dans ce régime. Le courant sature dès que la tension V_{ds} atteint quelques U_t .

La figure 3.17b montre le comportement de la caractéristique de transfert par rapport à la tension de grille pour deux valeurs de V_s. La dépendance est purement exponentielle de pente $1/n_w$. On se rapproche donc d'un comportement bipolaire.

La figure 3.17c montre la caractéristique de transfert par rapport à la tension de source pour deux valeurs de V_g . Cette fois, le dépendance est exponentielle de pente 1 et le comportement est identique à celui d'un transistor bipolaire.

La valeur absolue du courant de drain I_d dépend directement de la valeur de I_{do} . (3.69) montre clairement une dépendance très forte de I_{do} en fonction de la variation de paramètres technologiques tels que n_w et V_{xo} . Dans ce régime de fonctionnement, il faudra donc veiller à ne pas contrôler le courant dans le transistor au travers de la polarisation de grille (comme dans un miroir de courant par exemple). Les forts écarts sur I_{do} se traduiraient alors par un très mauvais contrôle du courant de drain. On choisira de préférence un montage pour lequel le transistor sera polarisé par son courant de drain, la tension de grille (ou de source) s'ajustant alors automatiquement pour autoriser le passage du courant. Les variations du terme I_{do} se traduiront alors par des variations sur la tension de grille (ou de source). Nous verrons dans le chapitre 4 comment cet effet sera pris en compte pour l'optimisation des montages de base utilisés dans les circuits analogiques.

<u>*Remarques*</u> :

Le calcul de n_w résulte de la linéarisation de la courbe $V_g(\Psi_s)$ au voisinage de $\Psi_s = 2\Phi_f + V$ (limite supérieure du régime). Cette approximation est différente de celle utilisée dans la plupart des traitements présentés dans la littérature où n_w est calculé au voisinage de $\Psi_s = 1.5\Phi_f + V$ (milieu du régime). Notre choix se justifie par le fait que, dans la plupart des applications, il est inutile de pénétrer fortement dans le régime de faible inversion. En effet, les caractéristiques électriques obtenues sont identiques quel que soit le choix du point de fonctionnement entre les limites du régime. Comme ces limites sont séparées par quelques décades de courant, pour minimiser la surface occupée par le transistor, il est souhaitable de se placer en limite supérieure de régime.

3.1.3.7 Courant de drain en inversion modérée

Il n'existe pas d'approche analytique simple donnant l'expression du courant dans ce régime de fonctionnement. Certains modèles, exprimés en termes de potentiel de surface, permettent d'exprimer le courant par une équation valide dans toute la gamme des tensions de polarisation [15]. Malheureusement, leur résolution nécessite le recours à des méthodes de résolution numériques inadaptées à un calcul manuel approché.

Une solution intermédiaire à ce problème a été proposée dans la littérature sous la forme de raccordements purement mathématiques entre les régimes de faible inversion et de forte inversion [6][7].

3.2 CARACTERISTIQUES AC DU TRANSISTOR MOS IDEAL

Nous avons précédemment calculé le courant de drain dans le dispositif pour tous les régimes de fonctionnement. Pour ce calcul, nous avons choisi de prendre la référence des potentiels au substrat. Nous avons vu que, dans certains montages, ce choix pouvait simplifier les calculs. Nous allons maintenant aborder l'analyse des caractéristiques petit signal du transistor. Pour les mêmes raisons que précédemment et par soucis de cohérence, nous maintiendrons la référence des potentiels au substrat.

Dans une première partie, nous calculerons les différentes composantes petit signal du courant en apportant déjà quelques commentaires quant aux performances que l'on peut attendre en fonction du régime de polarisation. Nous évaluerons ensuite les différentes charges dans le dispositif afin d'étudier les variations de ces charges en fonction d'une excitation petit signal du transistor. Ceci nous permettra de construire un schéma petit signal du transistor intrinsèque. Nous y adjoindrons quelques éléments supplémentaires permettant de prendre en compte les parties extrinsèques d'un dispositif réel.

3.2.1 Schéma petit signal valide en basses fréquences [16]

Toute variation ΔI_d du courant I_d peut s'écrire sous la forme:

$$\Delta I_{d} = \frac{\partial I_{d}}{\partial V_{g}} \Big|_{V_{d}, V_{s}} \Delta V_{g} + \frac{\partial I_{d}}{\partial V_{s}} \Big|_{V_{g}, V_{d}} \Delta V_{s} + \frac{\partial I_{d}}{\partial V_{d}} \Big|_{V_{g}, V_{s}} \Delta V_{d}$$
$$= g_{m} \Delta V_{g} + (-g_{ms}) \Delta V_{s} + g_{d} \Delta V_{d}$$
(3.72)

 g_m est appelée transconductance g_{ms} est appelée transconductance de source g_d est appelée conductance.

Le schéma équivalent petit signal est alors le suivant



fig.3.18

remarque:

Dans le schéma équivalent de la figure 3.18, on peut remarquer que, si seul V_d intervient,

$$\Delta I_{d} = g_{d} \Delta V_{d} = g_{d} (\Delta V_{d} - \Delta V_{s}) + g_{d} \Delta V_{s} \approx g_{d} \Delta V_{ds}$$
(3.73)
$$g_{d} \Delta V_{s} \ll g_{ms} \Delta V_{s}$$

car

On peut alors représenter g_d par une simple résistance entre drain et source de valeur $1/g_d$.

Le tableau suivant donne les expressions des différents termes définis cidessus pour le régime de forte inversion. Nous négligerons les effets de réduction de mobilité. La modulation de longueur de canal apparaîtra par le biais d'un effet Early.

Forte inversion		
	linéaire (V _s ≤V _d ≤V _p)	saturé ($V_s \leq V_p \leq V_d$)
g _m	$K(V_{d}-V_{s})$	$K(V_p-V_s)$
		$= \sqrt{\frac{2 K I_d}{n}} = \frac{2 I_d}{n (V_p - V_s)}$
		$= \frac{I_d}{n U_t} \frac{2 U_t}{(V_p - V_s)}$
gms	K n (V _p -V _s)	K n (V _p -V _s)
gd	K n (V _p -V _d)	0 ou I_d/V_A

Ces expressions peuvent aisément être visualisées sur le diagramme de Memelink. La figure 3.19a montre le cas du régime linéaire. Les différents termes décrits dans le tableau se manifestent sous la forme de segments. La figure 3.19b montre la représentation graphique de Memelink en régime de saturation.



fig.3.19a: paramètres petits signaux sur le diagramme de Memelink en régime linéaire



fig.3.19b: paramètres petits signaux sur le diagramme de Memelink en régime saturé

La comparaison de ces deux diagrammes révèle graphiquement certains comportements intéressants:

- la transconductance est indépendante de la tension de grille en zone linéaire. Elle dépend linéairement de la différence de potentiel entre le drain et la source. Lorsque la tension de drain atteint la tension de pincement, le segment horizontal correspondant ne peut plus s'allonger et la transconductance atteint sa valeur maximale constante pour tout le régime de saturation.

- la transconductance de source est identique pour les régimes linéaire et saturé. Elle est légèrement supérieure à la transconductance en régime saturé (facteur multiplicatif n $\approx 1,1$ à 1,4).

- la conductance n'est visible qu'en régime linéaire. Sa valeur décroît lorsque la tension de drain croît. Elle s'annule au passage en régime saturé.

Dans le tableau précédent, plusieurs expressions ont été présentées pour calculer la transconductance. Elles sont utilisées suivant la nature des données connues du concepteur (tension de grille, courant de drain, ...). La dernière est plus spécialement destinée à une comparaison des transconductances entre les régimes de faible et de forte inversion. Nous la commenterons un peu plus loin.

La courbe suivante permet de suivre l'évolution des différents termes en forte inversion, pour les régimes linéaire et saturé.



fig 3.19c



fig 3.19d

La figure 3.19d permet d'observer l'évolution des différents termes en fonction de la tension V_g . Tous les régimes de fonctionnement y sont traversés. On y remarque la stabilisation de la transconductance en régime linéaire où elle ne dépend que de V_d - V_s .

Le tableau suivant montre l'expression des différents termes petit signal en régime de faible inversion.



60

La transconductance est maintenant proportionnelle au courant et son expression est identique à celle obtenue pour un transistor bipolaire au facteur n_w près ($n_w \approx 1,5$ à 2). La transconductance de source est égale à la transconductance d'un transistor bipolaire. La conductance est, quant à elle, toujours exprimée sous la forme d'un effet Early en régime saturé.



fig 3.19e [14]

La figure 3.19e, par l'importante gamme de courant I_d qu'elle couvre, permet d'établir une comparaison entre les régimes de faible et de forte inversion en régime de saturation. Elle fournit de précieux renseignements pour l'optimisation de structures analogiques.

En régime de faible inversion, g_m et g_{ms} évoluent linéairement avec le courant. La différence essentielle avec le comportement d'un transistor bipolaire est le facteur n_w qui réduit la transconductance.

Au passage en *régime de forte inversion*, les deux courbes s'éloignent de la caractéristique bipolaire et suivent alors une pente deux fois plus faible. En effet, dans ce régime, g_m et g_{ms} évoluent en $\sqrt{I_d}$.

Cet écart entre les transconductances en faible et en forte inversion est constaté aisément sur les équations définies dans les deux tableaux précédents. L'une des expressions de la transconductance en régime de forte inversion à saturation était donnée sous la forme

$$g_{\rm m} = \frac{I_{\rm d}}{n \ U_{\rm t}} \frac{2 \ U_{\rm t}}{(V_{\rm p} - V_{\rm s})}$$
 (3.74a)

La transconductance en faible inversion à saturation est donnée par

$$g_{m} = \frac{I_{d}}{n_{w} U_{t}}$$
(3.74b)

<u>A courant donné</u>, la transconductance en régime de forte inversion est donc typiquement de 10 à 50 fois plus faible qu'en régime de faible inversion. Il faut moduler cette constatation en faisant remarquer que le régime de faible inversion correspond à une densité de courant extrêmement faible et suppose donc un rapport W/L important. Rappelons, pour fixer un ordre d'idée, que la limite supérieure du régime est atteinte pour un courant typique de l'ordre de 20 nA pour un rapport W/L unitaire. Dans bien des cas, il faudra donc, pour atteindre un niveau de transconductance donné sur une surface de silicium raisonnable, accepter d'augmenter fortement le courant en travaillant en régime de forte inversion. La même transconductance pourrait être obtenue à courant plus faible à l'aide d'un transistor polarisé en régime de faible inversion mais dont le rapport W/L serait démesuré. Le régime de faible inversion sera donc surtout réservé aux applications micropuissance.

Si l'effet Early est pris en compte, la conductance g_d suit une évolution linéaire avec le courant.

On peut enfin définir le gain maximum Ao du transistor par

$$A_{o} = \frac{g_{m}}{g_{d}}$$
(3.75a)

 A_o est maximum et constant en régime de faible inversion. Il est alors donné par

$$A_{o} = \frac{V_{A}}{n_{w} U_{t}}$$
(3.75b)

Il décroît en $1/\sqrt{I_d}$ en régime de forte inversion. Le comportement amplificateur est donc nettement favorisé en régime de faible inversion. Ceci confirme nos remarques précédentes.

remarque:

Les expressions de la transconductance utilisées pour les régimes de faible et de forte inversion ne sont plus valides en inversion modérée. Il convient alors d'avoir recours à une approche de raccordement numérique entre les deux régimes afin d'assurer la continuité nécessaire aux algorithmes de calcul itératifs utilisés dans les simulateurs. Un tel raccordement a été proposé par C.ENZ [7].

Ce problème n'est pas réglé dans la plupart des simulateurs électriques actuels. La modélisation du courant en régime de faible inversion est faite à l'aide d'une équation de comportement exponentiel directement raccordée sur l'équation calculant le courant en régime de forte inversion. Ceci amène de graves problèmes de discontinuités et de précision sur les dérivées (notamment sur la transconductance) qui engendrent de nombreux cas de non-convergence.

La figure suivante montre le raccordement utilisé dans le modèle level3 du simulateur électrique SPICE.



fig.3.19f: raccordement entre les régimes de faible et de forte inversion pour le modèle level 3 du simulateur électrique SPICE

3.2.2 Schéma petit signal valide en basses et moyennes fréquences

Lorsque la fréquence augmente, les courants ne sont plus simplement dépendants de la seule variation du courant de drain ΔI_d . La répartition des charges dans la structure évolue et fait apparaître des courants sur les différents noeuds.

Nous allons tout d'abord définir les charges présentes dans la structure en nous limitant à la partie intrinsèque (portion du transistor comprise entre les limites du canal définies par les jonctions de source et de drain). Nous en déduirons un schéma équivalent petit signal en faisant l'approximation d'un comportement 'quasi statique'. Les composants extrinsèques seront ensuite ajoutés pour construire le schéma équivalent petit signal complet.

3.2.2.1 Calcul des charges associées au transistor intrinsèque

Jusqu'alors, nous avons utilisé les expressions des charges définies par unité de surface Q_g (3.2), Q_i (3.19 ou 3.34) et Q_d (3.18) dont la valeur dépend de la position x le long du canal. Les charges totales peuvent être obtenues par intégration le long du canal sous la forme

$$Q_{j \ j \triangleq i, d, g}^{t} = \int_{0}^{L} Q_{j} W dx = W \int_{0}^{L} Q_{j} dx$$
 (3.76)

Ces charges, intégrées le long du canal, peuvent être exprimées en fonction de la tension V le long du canal en utilisant l'équation précédemment utilisée pour établir la formulation de I_d (3.43)

$$dx = \mu W \frac{-Q_i}{I_d} dV$$
 (3.77)

en injectant dans (3.75), on peut en déduire

$$Q_{i}^{t} = W \int_{0}^{L} Q_{i} dx = -\frac{\mu W^{2}}{I_{d}} \int_{Vs}^{Vd} Q_{i}^{2} dV$$
 (3.78)

$$Q_{d}^{t} = W \int_{0}^{L} Q_{d} dx = -\frac{\mu W^{2}}{I_{d}} \int_{Vs}^{Vd} Q_{i} Q_{d} dV$$
 (3.79)

$$Q_g^t = W \int_0^L Q_g dx = -\frac{\mu W^2}{I_d} \int_{Vs}^{Vd} Q_i Q_g dV$$
 (3.80)

La neutralité électrique impose que la somme de ces charges reste nulle. On négligera l'influence des charges fixes dans l'oxyde et des états d'interface rapides.

Nous allons maintenant calculer les expressions de ces charges pour les deux régimes de fonctionnement.

Régime de faible inversion

L'expression de la charge totale dans la couche inversée, calculée à l'aide de (3.78) et (3.34) peut s'écrire

$$Q_{i}^{t} = -\frac{C_{ox}^{t}}{2} \frac{(I_{F} + I_{R})}{K U_{t}} \quad \text{avec} \quad C_{ox}^{t} = C_{ox}WL \quad (3.81)$$

Dans ce régime, le potentiel de surface est quasi-indépendant de la tension V(x) le long du canal. On peut alors calculer Q_d à partir de (3.15)

$$V_{g} = V_{fb} + \Psi_{s} + \gamma \sqrt{\Psi_{s}}$$
(3.82)

qui donne

$$\Psi_{\rm s} = \left(-\frac{\gamma}{2} + \sqrt{\frac{\gamma^2}{4} + V_{\rm g} - V_{\rm fb}} \right)^2$$
(3.83)

avec (3.11), ceci donne

$$Q_{d}^{t} = -\gamma C_{ox}^{t} \left(-\frac{\gamma}{2} + \sqrt{\frac{\gamma^{2}}{4} + V_{g} - V_{fb}} \right)$$
(3.84)

La charge sur la grille est obtenue à partir de l'équation de neutralité

$$Q_g^t = -Q_i^t - Q_d^t$$
$$= C_{ox}^t \left[\frac{(I_F + I_R)}{2KU_t} + \gamma \left(-\frac{\gamma}{2} + \sqrt{\frac{\gamma^2}{4} + V_g} - V_{fb} \right) \right]$$
(3.85)

Régime de forte inversion

Définissons une expression normalisée des courants I_F et I_R:

$$i_{\rm F} = \frac{2 \ I_{\rm F}}{K \ n \ U_{\rm t}^{\ 2}}$$
 $i_{\rm R} = \frac{2 \ I_{\rm R}}{K \ n \ U_{\rm t}^{\ 2}}$ (3.86)

On peut mettre l'expression de Qi donnée par (3.19) sous la forme

$$Q_{i} = -C_{ox} (V_{g} - V_{t}(V))$$

$$Q_{i} = -C_{ox} n \left(\frac{V_{g} - V_{t}}{n} - V\right) = -n C_{ox} (V_{p} - V)$$
(3.87)

de (3.78) et (3.86) on tire

$$Q_{i}^{t} = -\frac{2}{3} n U_{t} C_{ox}^{t} \left(\frac{i_{F} + \sqrt{i_{F}i_{R}} + i_{R}}{\sqrt{i_{F}} + \sqrt{i_{R}}} \right)$$
(3.88)

D'après (3.18), Q_d peut être mis sous la forme

$$Q_{d} = -\gamma C_{ox} \sqrt{\Psi_{o} + V} \approx -C_{ox} \left[\gamma \sqrt{\Psi_{o} + V_{p}} + (n - 1) (V - V_{p}) \right] (3.89)$$
Ce résultat, injecté dans (3.79), nous donne

$$Q_{d}^{t} = W L Q_{d} |_{V = V_{p}} - \frac{Q_{i}^{t} (n - 1)}{n}$$
 (3.90)

Ce qui donne, par neutralité électrique

$$Q_{g}^{t} = -Q_{d}^{t} - Q_{i}^{t} = -W L Q_{d} |_{V = V_{p}} - \frac{Q_{i}^{t}}{n}$$
 (3.91)

3.2.2.2 Schéma petit signal intrinsèque dans l'approche quasi-statique

L'approximation dite 'quasi-statique' suppose que la variation des tensions appliquées est suffisamment lente pour nous autoriser à considérer que la variation résultante sur chacune des charges Q_g^t , Q_d^t et Q_i^t est identique à celle qui aurait été observée entre 2 états statiques successifs séparés par les mêmes variations de tension. On néglige ainsi les phénomènes d'inertie des charges dans la structure. Le calcul du schéma équivalent est simplifié par le fait que les variations dynamiques sont directement reliées aux expressions des charges statiques données précédemment.

La validité de cette approche a été discutée dans la littérature [5] et, suivant les critères de précision choisis (sur l'amplitude ou sur la phase), la fréquence maximale admissible pour une telle approche est comprise dans la gamme $0.1\omega_0 < \omega_{max} < 0.5\omega_0$ avec $\omega_0 = 1/\tau$ où τ est le temps de transit des porteurs dans le canal défini par

$$\tau = \frac{\left| Q_{i}^{t} \right|}{I_{d}} \tag{3.92}$$



fig 3.20

Le schéma équivalent le plus répandu représente un compromis entre précision et simplicité (figure 3.20). Par rapport à celui de la figure 3.18, cinq capacités ont été ajoutées pour prendre en compte l'approche quasi-statique de la variation des charges dans la structure intrinsèque.

Supposons que soit appliquée une perturbation ΔV_s sur la source. La charge sur la grille va diminuer d'un montant ΔQ_g . On peut relier ΔQ_g à ΔV_s par

$$\Delta Q_{g} = -C_{gs} \Delta V_{s}$$
(3.93)

ce qui donne

$$C_{gs} \doteq -\frac{\Delta Q_g}{\Delta V_s} = -\frac{\partial Q_g}{\partial V_s} \Big|_{V_g, V_d}$$
(3.94)

De même, cette perturbation va introduire une variation de la largeur de la zone déplétée, amenant le départ de trous vers le volume du semiconducteur pour un montant équivalent à la charge ΔQ_d . Ceci peut être exprimé sous la forme d'une capacité C_{sb} définie par

$$C_{sb} \doteq - \frac{\partial Q_d}{\partial V_s} |_{V_g, V_d}$$
(3.95)

De manière analogue, une variation de la tension ΔV_d introduit des variations ΔQ_g et ΔQ_d . On a donc, par analogie au cas précédent

$$C_{gd} \doteq - \frac{\partial Q_g}{\partial V_d} |_{V_g, V_s}$$
(3.96)

$$C_{bd} \doteq - \frac{\partial Q_d}{\partial V_d} |_{V_g, V_s}$$
(3.97)

Enfin, une variation de la tension de substrat ΔV_b par rapport à une référence extérieure amènerait une variation ΔQ_d reliée partiellement à une variation de la charge de grille. On peut donc définir

$$C_{gb} \doteq - \frac{\partial Q_g}{\partial V_b} \bigg|_{V_g, V_s, V_d}$$
(3.98)

On peut maintenant évaluer ces capacités suivant les différents régimes de fonctionnement du transistor.

Régime de forte inversion

$$C_{gs}^{t} = -\frac{2}{3} C_{ox}^{t} \left(1 - \frac{i_{R}}{\left(\sqrt{i_{F}} + \sqrt{i_{R}}\right)^{2}} \right)$$
(3.99)

$$C_{gd}^{t} = -\frac{2}{3} C_{ox}^{t} \left(1 - \frac{i_{F}}{\left(\sqrt{i_{F}} + \sqrt{i_{R}}\right)^{2}} \right)$$
(3.100)

d'après (3.90) et (3.91), on tire

$$\frac{\partial Q_{d}}{\partial V_{s}} \bigg|_{V_{g}, V_{d}} = (n - 1) \frac{\partial Q_{g}}{\partial V_{s}} \bigg|_{V_{g}, V_{d}}$$
$$\frac{\partial Q_{d}}{\partial V_{d}} \bigg|_{V_{g}, V_{s}} = (n - 1) \frac{\partial Q_{g}}{\partial V_{d}} \bigg|_{V_{g}, V_{s}}$$

On a donc

$$C_{sb}^{t} = (n - 1) C_{gs}^{t}$$
 (3.101)

$$C_{db}^{t} = (n - 1) C_{gd}^{t}$$
 (3.102)

$$C_{gb}^{t} = \frac{\partial Q_{g}^{t}}{\partial V_{b}} \bigg|_{V_{g}, V_{s}, V_{d}} = \frac{\partial Q_{g}^{t}}{\partial V_{g}} \bigg|_{V_{s}, V_{d}} - C_{gs}^{t} - C_{gd}^{t}$$

$$C_{gb}^{t} = C_{ox}^{t} \frac{n-1}{3n} \left\{ 1 - \frac{4\sqrt{i_{F} i_{R}}}{\left(\sqrt{i_{F}} + \sqrt{i_{R}}\right)^{2}} \right\}$$
(3.103)

Forte inversion		
	linéaire ($V_d - V_s \le et V_s \le V_d \le V_p$)	saturé (V _p ≤V _d)
Cgs	$\frac{C_{ox}}{2}$.	$\frac{2 C_{ox}}{3}$
C _{gd}	$\frac{C_{ox}}{2}$	≈ 0
C _{sb}	$\frac{(n-1)C_{ox}}{2}$	$\frac{2(n-1)C_{ox}}{3}$
C _{db}	$\frac{(n-1)C_{ox}}{2}$	≈ 0
C _{gb}	≈ 0	$\frac{(n-1)C_{ox}}{3n}$

Le tableau suivant résume les valeurs obtenues en forte inversion pour les cas limites en zones linéaire et saturée.

Afin de fixer la limite de validité du modèle vers les hautes fréquences, on peut calculer l'expression du temps de transit des porteurs dans le canal d'après (3.92). A saturation, i_R est nul est τ peut s'exprimer sous la forme

$$\tau = \frac{4 L^2}{3 \mu (V_p - V_s)}$$
(3.104)

Régime de faible inversion

La charge dans le canal est négligeable devant les charges Q_g^t et Q_d^t . Les variations de charges sur la grille équilibrent donc en quasi-totalité les variations de charge dans la zone déplétée.

$$C_{gb} \doteq -\frac{\partial Q_g}{\partial V_b} \bigg|_{V_g, V_s, V_d} = \gamma C_{ox}^t \frac{1}{2 \sqrt{\frac{\gamma^2}{4} + V_g - V_{fb}}}$$
(3.105)

Les variations de V_s et de V_d n'ont d'influence que sur la charge Q_i^t qui reste négligeable devant Q_g^t et Q_d^t . On peut donc écrire

$$C_{gs} \approx C_{gd} \approx C_{sb} \approx C_{db} \approx 0$$

Ceci est d'autant plus vrai que, dans de telles conditions, les éléments extrinsèques seront prédominants.

Comme précédemment, d'après (3.92), on peut définir le temps de transit des porteurs dans le canal en zone saturée sous la forme

$$\tau = \frac{|Q_i^t|}{I_d} = \frac{L^2}{2 \ \mu \ U_t}$$
(3.106)

3.2.2.3 Schéma petit signal complet

Le schéma petit signal complet est obtenu à partir du schéma de la figure 3.21 auquel sont ajoutés un certain nombre de composants extrinsèques que nous allons maintenant définir. Ce schéma est donné à la figure 3.31.

Capacités de recouvrement

La grille s'étendant au delà de la zone de canal pour recouvrir les zones de source et drain, les capacités suivantes apparaissent

$$C_{gsovl} = C_{gdovl} = C_{ox} W L_{ovl}$$
(3.107)

où L_{ovl} définit la longueur du recouvrement grille-source (ou grille-drain).

Résistances d'accès

Entre les points définissant les zones de source et drain dans la partie intrinsèque et les points de prise de contact de ces mêmes zones, il existe une longueur de zone diffusée qui amène une résistance d'accès notée $R_{s,d}$. On l'affecte généralement sous la forme de deux portions de résistance placées de part et d'autre de la capacité de jonction.

Dans certaines applications, si la grille est dessinée sous la forme d'une longue ligne, la résistance d'accès à la grille R_g peut prendre une valeur significative.

Capacités de jonction

Les jonctions de source et drain forment, par rapport au substrat, des capacités non linéaires dant la valeur est donnée par

$$C_{s,d}^{t} = A_{s,d} C_{j} + P_{s,d} C_{jsw}$$
 (3.108)

avec

$$C_{j} = \frac{C_{jo}}{\left(1 + \frac{V_{s,d}}{\Phi_{o}}\right)^{MJ}}$$
(3.109)
$$C_{jsw} = \frac{C_{jswo}}{\left(1 + \frac{V_{s,d}}{\Phi_{o}}\right)^{MJSW}}$$
(3.110)

où

C _{jo}	capacité de jonction plane à polarisation nulle par unité de surface	
C _{jswo}	capacité de jonction circulaire par unité de longueur	
MJ, MJSW	facteurs de gradient pour les jonctions plane et cylindrique respectivement	
A _{s,d}	aire de jonction source ou drain	
P _{s,d}	périmètre de jonction source ou drain	
Φ_{o}	barrière de potentiel de la jonction	

Capacité de caisson

Dans le cas d'un transistor placé dans un caisson, il existe une capacité parasite ayant la forme d'une capacité de jonction entre le substrat de ce transistor (caisson) et le substrat de la tranche de silicium.

3.3 BRUIT DANS LE TRANSISTOR MOS

3.3.1 Bruit thermique - approche théorique pour un transistor idéal

Le canal du transistor peut être considéré comme une résistance non linéaire. Il produit donc un bruit thermique que nous allons maintenant évaluer.

En considérant que le canal peut être découpé en portions infinitésimales de longueur dx produisant chacune un bruit thermique, on peut montrer que la densité spectrale de puissance de bruit peut être exprimée par la loi de Nyquist généralisée [17][18]

$$SI_d(f) = \frac{4 KT}{L^2} \int_0^L g(x) dx$$
 (3.111)

où g(x) est la conductance locale en un point x du canal définie par unité de longueur.

Le courant de drain est relié à la conductance par

$$I_d dx = g(V) dV \qquad (3.112)$$

on a donc

$$g(x) dx = g^2(V) \frac{dV}{I_d}$$
 (3.113)

(3.43) nous permet d'écrire

$$I_d dx = W \mu (- Q_i(V)) dV$$
 (3.114)

La conductance par unité de longueur g(V) peut donc être exprimée sous la forme

$$g(V) = -\mu W Q_i(V)$$
 (3.115)

(3.111) devient donc

$$SI_{d}(f) = \frac{4 KT \mu^{2} W^{2}}{L^{2} I_{d}} \int_{V_{s}}^{V_{d}} Q_{i}^{2} dV \qquad (3.116)$$

Cette expression est valide quelquesoit le régime de polarisation. Exprimons maintenant ce résultat pour les différents régimes de fonctionnement.

3.3.1.1 Régime de forte inversion [7]

La charge Q_i donnée par (3.46) peut être exprimée sous la forme

$$Q_i = -C_{ox} n (V_p - V)$$
 (3.117)

En injectant l'équation précédente et l'expression du courant I_d définie par (3.52) dans l'équation (3.116), la densité spectrale de puissance peut s'écrire

$$SI_d(f) = 4 \text{ KT } G_{Nth}$$
(3.118)

avec

$$G_{\rm Nth} = \frac{2}{3} \ K \ n \ \frac{i_{\rm F} + \sqrt{i_{\rm F}} \sqrt{i_{\rm R}} + i_{\rm R}}{\sqrt{i_{\rm F}} + \sqrt{i_{\rm R}}}$$
(3.119)

où G_{Nth} est la conductance équivalente de bruit.

Cette expression de la densité spectrale peut être reliée aux paramètres petit signal des transistors en utilisant les résultats établis en 3.2. Il est intéressant de donner les valeurs pour deux cas limites correspondant au régime linéaire à tension $V_{\rm ds}$ nulle et au régime saturé.

$$G_{\text{Nth}} = \begin{cases} g_{d} = G_{\text{on pour } V_{s}} = V_{d} < V_{p} \text{ (ohmique)} \\ \frac{2}{3} g_{\text{ms}} \text{ pour } V_{s} < V_{p} < V_{d} \text{ (saturation)} \end{cases}$$
(3.120)

La figure 3.21 permet d'observer l'évolution exacte de G_{Nth} normalisée à G_{on} entre ces limites de régimes.





En régime de saturation, la résistance équivalente de bruit ramené en entrée (en série sur la grille du transistor) est donnée par

$$R_{N} = \frac{G_{N}}{g_{m}^{2}} = \frac{2 n}{3 g_{m}}$$
(3.121)

Cette expression est très utile au concepteur car elle permet une évaluation rapide du bruit équivalent en entrée d'un transistor fonctionnant en régime de gain.

3.3.1.2 Régime de faible inversion [7]

En injectant dans (3.116) les expressions (3.34) et (3.68) donnant respectivement la charge Q_i et le courant de drain pour ce régime de polarisation, on obtient l'expression de la densité spectrale de puissance de bruit sous la forme

$$SI_{d}(f) = 2 q (I_{F} + I_{R})$$
 (3.122)

On peut remarquer que cette expression prise en régime de saturation $(I_R = 0)$ est identique à celle de la densité spectrale de puissance d'un bruit de grenaille observé pour les jonctions PN. La nature physique du bruit est néammoins celle d'un bruit thermique.

De la même manière que précédemment, il est utile d'exprimer la conductance équivalente de bruit G_{Nth} pour les cas limites des régimes linéaire et saturé.

$$G_{\rm Nth} = \frac{I_{\rm F} + I_{\rm R}}{2 U_{\rm t}}$$
 (3.123)

qui donne

$$G_{\text{Nth}} = \begin{cases} g_d = G_{\text{on}} = \frac{I_F}{U_t} \text{ pour } V_s = V_d \text{ (en zone ohmique)} \\ \frac{I_F}{2 U_t} = \frac{I_d}{2 U_t} = \frac{g_{\text{ms}}}{2} \text{ (saturation)} \end{cases}$$
(3.124)

La figure 3.22 donne l'évolution de G_{Nth} normalisée à G_{on} entre les limites de ce régime.

En régime de saturation, la résistance équivalente de bruit ramené en entrée est alors donnée par

$$R_{N} = \frac{G_{N}}{g_{m}^{2}} = \frac{n}{2 g_{m}}$$
(3.125)



fig.3.22: évolution de la conductance équivalente de bruit normalisée du régime linéaire au régime saturé en faible inversion [7]

3.3.2 Validation expérimentale du bruit thermique

Afin de vérifier les expressions théoriques définies précédemment, des mesures de bruit ont été faites sur un lot de transistors P à géométrie variable présentant un bruit 1/F négligeable à la fréquence de mesure.

Ces transistors ont été réalisés dans un procédé CMOS 3 microns à caisson N, le circuit ayant été spécialement conçu pour permettre une validation des modèles théoriques du bruit. Les géométries considérées ont été calculées de manière à offrir une variation du rapport W/L sur 3 décades en conservant une aire de grille constante pour conserver un niveau de bruit 1/F négligeable (voir 3.3.3).

La figure 3.23 résume l'ensemble des résultats de mesure comparés aux valeurs théoriques. Elle montre l'évolution du niveau de bruit en tension ramené en entrée en régime de saturation en fonction du courant de drain I_d circulant dans le dispositif et ce, pour plusieurs valeurs du rapport W/L.

Les points de mesure coïncident avec le résultat de l'approche théorique. A rapport W/L donné, les mesures suivent un comportement en I_d^{-1} à faible courant (faible inversion), puis rejoignent progressivement les courbes en $I_d^{-1/2}$ caractéristiques du régime de forte inversion.

Plusieurs conclusions importantes peuvent déjà être tirées:

- en faible inversion, le bruit du dispositif ramené en son entrée ne dépend pas du rapport W/L; il ne dépend que du courant I_d qui le polarise

- à courant donné, le bruit décroît lorsque le rapport W/L augmente, le minimum étant donné par la caractéristique obtenue pour le régime de faible inversion

- les caractéristiques de bruit du régime de faible inversion (ainsi que les caractéristiques petit signal) sont déjà présentes pour des valeurs de courant plaçant le dispositif en limite supérieure du régime. Il est donc inutile d'augmenter démesurement le rapport W/L pour diminuer la densité de courant.



fig.3.23: mesure du bruit thermique ramené en entrée d'un transistor en fonction du courant de polarisation et pour différentes valeurs du rapport W/L (mesures, --.--théorie pour la faible inversion, théorie pour la forte inversion)

3.3.3 Bruit 1/F - approche théorique

3.3.3.1 Introduction

La caractéristique essentielle du bruit 1/F est la forme de son spectre en $1/f^{\alpha}$ ($\alpha \approx 1$).

En dépit d'une recherche active depuis plus de deux décennies [19], il n'existe pas, à l'heure actuelle, une théorie validée expliquant les origines physiques exactes du bruit 1/F. Deux approches théoriques ont été largement développées dans la littérature.

La première théorie, proposée à l'origine par Mc Whorter [20], attribue l'origine de ce bruit à des fluctuations du nombre de porteurs dans le canal liées à un processus de piègeage de charges par des pièges situés dans l'oxyde à proximité de l'interface Si-SiO₂ [21-29]. Les échanges de porteurs se font alors par effet tunnel. On peut montrer mathématiquement que dans le cas d'une distribution spatiale uniforme des pièges dans l'oxyde au voisinage de l'interface, la superposition des spectres associés à chaque piège amène un spectre de type 1/F [45]. Si la distribution énergétique des pièges dans le gap est uniforme, la théorie prévoit que le bruit en tension ramené en série sur la grille est indépendant de la tension de grille V_g appliquée en régime de forte inversion [22]. Il est également inversement proportionnel à la capacité d'oxyde Ct_{ox}. De nombreuses expériences ont montré qu'il existait une corrélation étroite entre la densité d'états à l'interface et le bruit en 1/F [22] [23] [26] [27] [31]-[33].

La deuxième approche théorique [34-36] considère que le bruit en 1/F est lié à des fluctuations de la mobilité des porteurs en volume sur la base d'une relation empirique proposée par Hooge [37] pour le cas d'un échantillon de conducteur homogène

$$\frac{S_{I}}{I^{2}} = \frac{\alpha_{H}}{f N_{\text{total}}}$$
(3.126)

où I est le courant circulant dans l'échantillon, S_I est la densité spectrale de bruit exprimée en courant, N_{total} est le nombre total de porteurs libres dans l'échantillon et $\alpha_{\rm H}$ est une constante appelée <u>paramètre de Hooge</u> (environ égale à 2 10⁻³). Dans le cas du transistor MOS, cette théorie prévoit un bruit en tension ramené en entrée proportionnel à C^t_{ox}⁻¹ (V_g-V_t). Mais la confrontation expérimentale exige une réduction très sensible de la valeur de $\alpha_{\rm H}$ par rapport à celle donnée par les travaux de Hooge [38].

Les nombreux résultats expérimentaux ne permettent pas de valider objectivement l'une ou l'autre de ces deux approches. En effet, la dépendance du bruit en fonction des tensions et de l'épaisseur de l'oxyde est généralement plus complexe que celle présentée ci-dessus. Très récemment, de nouveaux résultats expérimentaux intéressants [39][40] ont permis de progresser sur l'approche théorique du problème. En effet, certains transistors submicroniques ont présenté la particularité de ne posséder qu'un seul piège actif dans l'oxyde au voisinage du quasi-niveau de Fermi. Le processus de piègeage et d'émission d'un porteur par le piège a fait apparaître une modulation du courant par un signal proche du *signal des télégraphistes*. Or, depuis longtemps, on a démontré qu'une distribution de signaux de ce type conduit à un spectre de type 1/F [30]. De plus, une étude détaillée de l'amplitude du signal, a permis de prouver que les pièges dans l'oxyde génèrent du bruit en modulant à la fois le nombre de porteurs dans le canal et la mobilité de ces porteurs par intéraction coulombienne.

Nous allons maintenant présenter une nouvelle approche théorique basée sur ces récents résultats. Au delà de la théorie récemment publiée [41], nous proposerons un modèle unifié prenant en compte le comportement du bruit en régime de faible inversion suivant l'étude faite par Reimbold [42].

3.3.3.2 Formulation théorique du bruit en 1/F [41]



Fig 3.24: le système de coordonnées utilisé [41]

78

<u>3.3.3.2.1 Calcul de la densité spectrale de puissance de bruit</u>

Considérons une section Wdx du canal. Le courant de drain dans le transistor est donné par

$$\mathbf{I}_{\mathbf{d}} = \mathbf{W} \ \boldsymbol{\mu} \ \mathbf{q} \ \mathbf{N} \ \boldsymbol{\xi}_{\mathbf{x}} \tag{3.127}$$

où N est le nombre de porteurs libres dans le canal par unité de surface et ξ_x est le champ électrique longitudinal.

Notons N_t le nombre de pièges occupés situés dans l'oxyde par unité de surface. Définissons ΔN et ΔN_t comme la quantité de porteurs libres dans le canal et de pièges occupés dans l'oxyde sur une surface W Δx respectivement.

Toute fluctuation du nombre de porteurs piégés induit des variations corrélées du nombre de porteurs dans le canal et de la mobilité de surface. La variation relative du courant de drain local qui en résulte est donnée par

$$\frac{\delta I_{d}}{I_{d}} = -\left[\frac{1}{\Delta N} \frac{\delta \Delta N}{\delta \Delta N_{t}} \pm \frac{1}{\mu} \frac{\delta \mu}{\delta \Delta N_{t}}\right] \delta \Delta N_{t} \qquad (3.128)$$

La quantité $\delta\Delta N/\delta\Delta N_t$ varie en fonction du régime de polarisation [43]. Selon l'hypothèse de Reimbold [42], $\delta\Delta N_t > > \delta\Delta N$ en régime de faible inversion tandis que $\delta\Delta N_t \approx \delta\Delta N$ en régime de forte inversion. Ceci est lié à l'écart important sur le nombre de charges libres dans le canal entre ces deux régimes.

L'évaluation de $\delta\mu/\delta\Delta N_t$ nécessite une relation entre la mobilité et la densité de charges dans l'oxyde. Une approche couramment utilisée consiste à prendre le modèle basé sur la loi de Matthiessen

$$\frac{1}{\mu} = \frac{1}{\mu_n} + \frac{1}{\mu_{ox}} = \frac{1}{\mu_n} + \alpha N_t$$
(3.129)

où μ_{ox} est la mobilité affectée des intéractions avec les charges dans l'oxyde et μ_n est la mobilité affectée des autres types d'intéraction. Le coefficient d'intéraction α est dépendant de la densité de porteurs dans le canal (par effet d'écrantage) et de la distance du piège dans l'oxyde à l'interface [44].

$$\frac{\delta\mu}{\delta\Delta N_{t}} = -\frac{\alpha}{W}\frac{\mu^{2}}{\Delta x}$$
(3.130)

et (3.128) devient

$$\frac{\delta I_{d}}{I_{d}} = -\left[\frac{1}{N} \frac{\delta \Delta N}{\delta \Delta N_{t}} \pm \alpha \mu\right] \frac{\delta \Delta N_{t}}{W \Delta x}$$
(3.131)

Le transistor MOS: caractéristiques et limitations dans des applications analogiques

La densité spectrale de puissance des fluctuations du courant local est alors donnée par

$$S\Delta I_{d}(x,f) = \left[\frac{I_{d}}{\Delta N} \left(\frac{\delta \Delta N}{\delta \Delta N_{t}} \pm \alpha \mu N\right)\right]^{2} S\Delta N_{t}(x,f) \quad (3.132)$$

où $S\Delta N_t(x,f)$ est la densité spectrale de puissance des fluctuations d'occupation des pièges sur une surface $W\Delta x$ que nous allons maintenant évaluer.

Si les fluctuations d'occupation des pièges suivent une loi binômiale,

 $\Delta N_{t} = f_{t} \Delta N_{T} \qquad (3.133)$

et
$$\langle \delta \Delta N_t^2 \rangle = f_t (1 - f_t) \Delta N_T$$
 (3.134)

où f_t est définie par la statistique de Fermi

$$f_{t} = \frac{1}{1 + \exp\left(\frac{E - E_{Fn}}{KT}\right)}$$
(3.135)

et ΔN_T est le nombre de pièges sur une surface $W\Delta x$ dont l'énergie est comprise entre E et E+dE

$$\Delta N_{T} = N_{t}(E) \Delta x W \Delta z \Delta E \qquad (3.136)$$

Pour un processus de piégeage par effet tunnel élémentaire, la constante de temps associée est définie par

$$\tau = \tau_0 \exp(\zeta z) \tag{3.137}$$

où ζ est une constante appelée paramètre d'effet tunnel qui vaut environ 10^{-8} cm⁻¹ et τ_0 est une constante de temps caractérisant l'effet tunnel.

En supposant que les pièges sont distribués uniformément dans l'oxyde suivant z entre la surface et une profondeur $z=z_1$ (pas de piège en $z>z_1$), la densité de probabilité de z est donnée par

$$f(z) = \frac{1}{z_1}$$
(3.138)

La densité de probabilité de τ est alors donnée par

$$g(\tau) = \begin{cases} \left(\tau \operatorname{Ln}\left(\frac{\tau_{1}}{\tau_{0}}\right)\right)^{-1} \text{ pour } \tau_{0} \leq \tau \leq \tau_{1} \\ 0 \text{ ailleurs} \end{cases} (3.139)$$

$$\operatorname{avec} \tau_{1} = \tau_{0} \exp\left(\zeta z_{1}\right) (3.140)$$

Pour le processus élémentaire, la densité spectrale de puissance de $\delta \Delta N_t$ est tirée de l'analyse du spectre du *signal des télégraphistes* et peut être exprimée sous la forme d'un spectre de Lorentz [45]

$$S\delta\Delta N_t(f) = 4 < \delta\Delta N_t^2 > \frac{\tau}{1 + \omega^2 \tau^2}$$
 (3.141)

La superposition des processus correspondant à l'ensemble des pièges situé entre l'interface (z=0) et (z=z₁) permet d'exprimer la densité spectrale de puissance $S\Delta N_t(f)$ sous la forme

$$S\Delta N_{t}(f) = \int_{E_{v}}^{E_{c}} \int_{0}^{W} \int_{0}^{z_{1}} 4 N_{t}(E, x, y, z) \Delta x f_{t} (1 - f_{t}) \frac{\tau}{1 + \omega^{2} \tau^{2}} dz dy dE(3.142)$$

où $N_t(E,x,y,z)$ donne le nombre de pièges distribués dans l'espace et en énergie.

Pour des fréquences telles que $1/(2\pi\tau_1) << f << 1/(2\pi\tau_0)$, l'expression précédente se simplifie

$$S\Delta N_t(f) = \frac{W \Delta x}{\zeta f} \int_{E_v}^{E_c} N_t(E) f_t (1 - f_t) dE \qquad (3.143)$$

La fonction $f_t(1-f_t)$ se comportant comme une fonction proche de la fonction delta, on peut approximer $N_t(E)$ par $N_t(E_{FN})$. L'expression précédente s'écrit alors

$$S\Delta N_t(f) = \frac{W \Delta x}{\zeta f} KT N_t(E_{FN})$$
 (3.144)

A partir de ce résultat, il est maintenant possible d'exprimer la densité spectrale de puissance de bruit totale à partir de (3.132) sous la forme

$$SI_{d}(f) = \frac{1}{L^{2}} \int_{0}^{L} \left[S\Delta I_{d}(x,f) \Delta x \right] dx$$
$$= \frac{KT I_{d}^{2}}{\zeta f W L^{2}} \int_{0}^{L} N_{t}(E_{FN}) \left(\frac{\delta\Delta N}{\delta\Delta N_{t}} \frac{1}{N(x)} \pm \alpha \mu \right)^{2} dx \qquad (3.145)$$

En injectant (3.127) dans (3.145), on obtient

$$SI_{d}(f) = \frac{KT \ I_{d}}{\zeta \ f \ L^{2}} \ q \ \mu \int_{V_{s}}^{V_{d}} \frac{N_{t}(E_{FN})}{N} \ dV$$
(3.146)

avec

$$N_t^*(E_{FN}) = \left(\frac{\delta\Delta N}{\delta\Delta N_t} + \alpha \mu N\right)^2 N_t(E_{FN})$$
(3.147)

On définit $N_t^*(E_{FN})$ comme une densité de pièges effective au quasiniveau de Fermi (le signe séparant les deux termes de l'expression précédente est pris positif suite aux confrontations expérimentales faites dans [41]).

3.3.3.2.2 Application au régime de faible inversion

Dans ce régime de fonctionnement, la densité de porteurs dans le canal est faible. Le terme $\delta\Delta N/\delta\Delta N_t$ diminue fortement. Il convient d'évaluer l'importance relative du terme en $\alpha\mu N$.

La figure 3.25 compare $\delta\Delta N/\delta\Delta N_t$ au terme $\alpha\mu N$ pour un cas typique. La courbe a été tracée en utilisant l'expression de $\delta\Delta N/\delta\Delta N_t$ étudiée en [43]. (valeurs numériques pour α et μ précisées sur la figure). On distingue nettement la prédominance du terme en $\delta\Delta N/\delta\Delta N_t$ pour le régime considéré. $\alpha\mu$ sera donc négligé par la suite.



fig.3.25: $\alpha = 10^{-15}$ Vs, $\mu = 500 \ 10^{-4} \ m^2/Vs$

La théorie de Reimbold [42] part de l'équation de neutralité électrique pour imposer que toute variation de la charge piégée ΔQ_t est contrebalancée par des variations de charges sur la grille, dans le canal et dans la zone déplétée:

$$\delta Q_{i} + \delta Q_{t} + \delta Q_{g} + \delta Q_{d} + \delta Q_{ss} = 0 \qquad (3.148)$$

avec δQ_{ss} la variation de charge des états rapides à l'interface par unité de surface.

On peut alors écrire

$$\frac{\delta\Delta N}{\delta\Delta N_{t}} = \frac{\delta Q_{i}}{\delta Q_{t}} = -\frac{\delta Q_{i}}{\delta Q_{i} + \delta Q_{g} + \delta Q_{d} + \delta Q_{ss}}$$
(3.149)

où δQ_i , δQ_g , δQ_d et δQ_{ss} sont respectivement les fluctuations de la charge par unité de surface dans le canal, sur la grille, dans la zone déplétée et dans les états rapides à l'interface. Ces fluctuations de charge peuvent être ramenées à des termes capacitifs. En effet, on peut relier l'ensemble de ces variations à une variation du potentiel de surface $\delta \Psi$ s. On peut alors définir

$$C_{i} \doteq -\frac{\delta Q_{i}}{\delta \Psi_{s}} \qquad C_{g} \doteq -\frac{\delta Q_{g}}{\delta \Psi_{s}}$$

$$C_{d} \doteq -\frac{\delta Q_{d}}{\delta \Psi_{s}} \qquad C_{ss} \doteq -\frac{\delta Q_{ss}}{\delta \Psi_{s}} \qquad (3.150)$$

Certains de ces termes peuvent être aisément calculés. En particulier, C_i est donné par une dérivation de (3.31) et vaut $C_i = -Q_i/U_t$ en régime de faible inversion. C_d est donnée par (3.40). On peut donc formuler (3.149) sous la forme

$$\frac{\delta\Delta N}{\delta\Delta N_{t}} = \frac{\delta Q_{i}}{\delta Q_{t}} = \frac{\frac{Q_{i}}{U_{t}}}{C_{ox} + C_{d} + C_{ss} - \frac{Q_{i}}{U_{t}}}$$
(3.151)

Dans ce régime, Qi est un terme négligeable au dénominateur et

$$\frac{\delta \Delta N}{\delta \Delta N_{t}} \approx \frac{\frac{Q_{i}}{U_{t}}}{n_{w} C_{ox} + C_{ss}}$$
(3.152)

Si l'on considère n_w et $N_t(E_{FN})$ comme à peu près constants, SI_d est obtenu après intégration de (3.146)

$$SI_{d} = \frac{I_{d}^{2} q^{4}}{KT \zeta f W L} \frac{N_{t}(E_{FN})}{(n_{w} C_{ox} + C_{ss})^{2}}$$
(3.153)

$$\frac{SI_d}{I_d^2} \sim \frac{N_t(E_{FN})}{f W L}$$
(3.154a)

 SI_d/I_d^2 est alors une constante indépendante des tensions de polarisation, inversement proportionnelle à la surface du transistor et à la fréquence. Elle dépend linéairement de la densité d'états effective. Ceci est vrai pour tout le régime de faible inversion en région ohmique et saturée.

et

Si l'on s'intéresse maintenant au bruit en tension ramené sur l'entrée, on peut alors écrire

$$SV_{g} = \frac{SI_{d}}{g_{m}^{2}} = \frac{SI_{d} n_{w}^{2} U_{t}^{2}}{I_{d}^{2}} = \frac{KT q^{2} n_{w}^{2} N_{t}(E_{FN})}{\zeta f W L (n_{w} C_{ox} + C_{ss})^{2}}$$
(3.154b)

Si l'on considère n_w et $N_t(E_{FN})$ comme à peu près constants, SV_g est une constante dans tout le régime de faible inversion.

3.3.3.2.3 Application au régime de forte inversion

En régime de forte inversion, le nombre de porteurs dans le canal est très important et on peut dire que toute émission ou capture par un état dans l'oxyde se traduit par une variation de l'état de charge du canal $(\delta \Delta N / \delta \Delta N_t \approx 1)$.

Dans ce cas, (3.147) peut maintenant se simplifier pour devenir

$$N_t^*(E_{FN}) = (1 + \alpha \mu N)^2 N_t(E_{FN})$$
(3.155)

Hung et al. [41] ont essayé d'évaluer les importances relatives des deux termes de l'équation précédente correspondant respectivement à l'influence des fluctuations du nombre de porteurs et à celle des fluctuations de mobilité. Ils ont déterminé la valeur du coefficient d'intéraction α en mesurant l'amplitude des fluctuations de courant induites par le mécanisme de piègeage sur un transistor submicronique présentant la particularité de n'avoir qu'un seul piège actif au quasiniveau de Fermi [46]. Ils ont alors conclu que α avait une valeur typique de 10⁻¹⁵Vs pour l'intéraction des électrons avec des pièges situés dans l'oxyde au voisinage de l'interface Si-SiO₂. L'évaluation n'a pas été faite pour les trous.

Sur cette base, essayons d'évaluer l'importance relative des deux contributions. A partir de (3.127) et (3.146), en régime de forte inversion, on peut écrire

$$SI_{d} = \frac{KT \ I_{d}^{2}}{\zeta \ f \ W \ L^{2}} \int_{0}^{L} N_{t}(E_{FN}) \left(\frac{1}{N(x)} + \alpha \ \mu\right)^{2} dx \qquad (3.156)$$

Pour un transistor en zone linéaire à tension V_{ds} très faible, on peut facilement intégrer l'équation (3.156). En effet, $qN = C_{ox}(V_g - V_t)$, ce terme étant indépendant de la position le long du canal. SI_d peut alors s'écrire

$$SI_{d} = \frac{KT I_{d}^{2}}{\zeta f W L} N_{t}(E_{FN}) \left(\frac{1}{N(x)} + \alpha \mu\right)^{2}$$
(3.157)

On peut évaluer la densité spectrale de puissance de bruit ramenée en tension sur la grille en divisant SI_d par le carré de la transconductance en zone linéaire. On obtient alors

$$SV_{g} = \frac{KT q^{2}}{\zeta f W L C_{ox}^{2}} N_{t}(E_{FN}) (1 + \alpha \mu N)^{2}$$
(3.158)

Pour des valeurs typiques de $\mu = 500 \text{ cm}^2/\text{Vs}$ et $\alpha = 10^{-15}\text{Vs}$, les contributions des deux types de fluctuations sont du même ordre de grandeur. Dans ce cas, on peut montrer que pour de faibles valeurs de la tension de grille, le modèle se réduit au modèle classique à fluctuation du nombre de porteurs. Pour des valeurs de tension de grille plus importantes, le comportement du bruit est similaire à celui décrit dans les modèles à fluctuation de mobilité de volume.

On peut, en effet, remarquer que pour une tension de grille faible, N peut être négligé dans l'expression (3.158). L'expression de la densité spectrale de puissance de bruit en tension sur la grille est alors identique à celle que nous avons pu observer pour le régime de faible inversion (sous réserve de négliger C_{ss}). La continuité entre les régimes est donc assurée. Pour une tension de grille plus importante, ce bruit augmente en raison de la contribution du terme contenant N.

Hung et al. [41] ont comparé ce modèle aux différentes approches théoriques classiques précédemment citées. Le modèle unifié permet d'expliquer un grand nombre de résultats expérimentaux. Par rapport à l'approche empirique développée par Mikoshiba [47] où les deux types de fluctuations étaient prises en compte et ajustées sur les mesures, l'approche proposée possède l'atout d'un fondement physique plus solide. Il rejoint le modèle de Mikoshiba en expliquant certaines corrélations observées entre les paramètres empiriques utilisés.

3.3.3.2.4 Modèle de bruit opérationnel

Dans [41], la densité effective d'états d'interface au quasi-niveau de Fermi $N_t^*(E_{FN})$ a été évaluée sur différentes technologies. Une expression empirique simplifiée de (3.147) a été proposée pour les transistors à canal N sous la forme

$$N_t^*(E_{FN}) = A' (1 + 5.10^{-32} N^{2.5}) [cm^{-3} eV^{-1}]$$
 (3.159)

N peut être aisément calculé en régime de forte inversion à partir de l'équation (3.87)

$$N = -\frac{Q_i}{q} = n \frac{C_{ox}}{q} (V_p - V)$$
 (3.160)

En utilisant les deux résultats précédents pour intégrer (3.146), on obtient après calculs l'expression de la densité spectrale de puissance de bruit 1/F exprimée en courant de drain en régime de forte inversion

$$SI_{d} = \frac{KT q^{2} \mu I_{d}}{n C_{ox} \zeta f L^{2}} \left[A' Ln \left(\frac{N_{s}}{N_{d}} \right) + \frac{B'}{C'} \left(N_{s}^{C'} - N_{d}^{C'} \right) \right] (3.161)$$

où

A' est une constante technologique qui rend compte de la qualité de l'interface $[cm^{-3} eV^{-1}]$

B' = A' * 5 10⁻³² C' = 2.5 N_s = $n.C_{ox}/q.(V_p-V_s)$ N_d = $n.C_{ox}/q.(V_p-V_d)$

En régime de saturation, V_d rejoint V_p et l'expression précédente diverge. Ceci est lié au fait que notre modèle simple calcule la tension de saturation en négligeant certains phénomènes de second ordre comme la réduction de mobilité par saturation de vitesse des porteurs. La tension de saturation réellement observée sur les dispositifs est généralement plus faible que celle donnée par V_p . Le calcul de l'expression précédente n'est donc valide que dans la mesure où, en régime de saturation, V_d est pris égal à une tension $V_{sat} < V_p$.

L'expression de la densité spectrale de puissance de bruit 1/F exprimée en courant de drain en régime de faible inversion est donnée par l'équation (3.153).

3.3.3.3 Conclusions

Devant la multiplicité des approches théoriques et des résultats expérimentaux publiés, il n'est pas aisé de définir un modèle de bruit 1/F utilisable en phase de conception de circuits. Les variations du bruit avec les conditions de polarisation ont été différemment interprêtées suivant les fondements théoriques des différents modèles.

L'observation récente du comportement de transistors submicroniques a permis d'étudier en détail et de quantifier les effets produits par un piège élémentaire situé dans l'oxyde au voisinage de l'interface. Les fluctuations de courant observées peuvent être liées non seulement à une fluctuation du nombre de porteurs dans le canal, mais également à un phénomène corrélé d'intéraction coulombienne qui module la mobilité des porteurs dans le canal.

Nous sommes partis de ces récents travaux pour présenter un modèle unifié. Au delà du traitement fait dans la littérature, nous avons étendu la validité de l'approche au régime de faible inversion en reliant le modèle à celui présenté par Reimbold pour ce régime. Nous allons maintenant présenter un certain nombre de résultats expérimentaux nous permettant de valider cette approche théorique.

3.3.4 Bruit 1/F - validation expérimentale

Des mesures ont été faites sur des canaux N et P d'une technologie CMOS 3 microns à caisson N. Des transistors ont été spécialement implémentés afin de permettre une mesure du bruit 1/F à rapport W/L constant (densité de courant constante) et aire de grille variable.

3.3.4.1 Validation de l'influence de l'aire de grille.



Fig.3.26

La figure 3.26 montre la densité spectrale de bruit exprimée en tension ramenée en entrée pour les canaux N et P à surface variable et rapport W/L constant et unitaire. Un comportement inversement porportionnel à la surface est très facilement observé sur 3 décades de variation de l'aire de grille par une simple régression linéaire.

Les canaux N font plus de bruit que les canaux P. Cette différence peut être attribuée à différents facteurs [41]. Le premier est la différence de densité d'états dans la zone de bande interdite au voisinage des bandes de valence et de conduction. Afin d'illustrer cet argument, nous avons fait une mesure de la densité d'états rapides à l'interface par une méthode D.L.T.S (Deep Level Tansient Spectroscopy). Les résultats suivants ont été obtenus dans la zone interdite au voisinage du milieu du gap:

> Substrat P : Nss = $3 \ 10^{10} \ \text{cm}^{-2}$ Substrat N : Nss = $2 \ 10^9 \ \text{cm}^{-2}$

On constate une différence très sensible entre canaux N et canaux P. Cette mesure doit néammoins être prise avec précaution car elle concerne les états rapides à l'interface qui ne peuvent être directement corrélés aux états plus lents que nous avons considérés dans nos calculs de bruit et qui, pour leur part, sont situés dans l'oxyde au voisinage de l'interface. De plus, ces mesures ont été faites au voisinage du midgap et non au voisinage des bandes de valence et de conduction, cette limitation étant imposée par le principe même de la méthode D.L.T.S. En dépit de ces précautions, on peut, sans trop de risque, supposer qu'il existe un certain degré de corrélation entre Nss et $N_t(E_{\rm FN})$. La tendance observée confirme cette hypothèse.

La différence entre les bruits observés pour les deux types de canaux peut également être partiellement imputée aux différences sur le paramètre d'effet tunnel ζ défini par [41]

$$\zeta = \frac{4\pi}{h} \sqrt{2 \, \mathrm{m}^* \, \Phi_\mathrm{B}} \tag{3.162}$$

où

 m^* est la masse effective du porteur dans l'oxyde h est la constante de Planck Φ_B est la hauteur de la barrière tunnel

 m^* et Φ_B sont différents pour les électrons et pour les trous.

 $\begin{array}{ll} \text{électrons} & \text{m}^* = 0.55 & \Phi_{\text{B}} = 4.3 \text{eV} \\ \text{trous} & \text{m}^* = 0.33 & \Phi_{\text{B}} = 3.1 \text{eV} \end{array}$

Enfin, dans l'hypothèse où les phénomènes de fluctuation de mobilité interviennent, la différence entre les mobilités respectives des électrons et des trous joue dans le sens d'une réduction de bruit pour les transistors à canal P.

3.3.4.2 Dépendance des conditions de polarisation

Les mesures ont été faites sur des canaux N uniquement. Les canaux P présentaient un bruit 1/F trop faible par rapport au bruit thermique, ce qui introduisait une incertitude trop importante sur les résultats.



La figure 3.27 montre le rapport SI_d/I_d^2 pour deux transistors de surface identique et de rapport W/L différent en fonction du courant de polarisation. On observe à faible niveau de courant un plateau qui confirme les résultats théoriques obtenus pour le régime de faible inversion, si l'on considère $N_t(E_{FN})$ comme indépendant des conditions de polarisation. Ces résultats sont très proches de ceux obtenus par Reimbold [42]. Le coude observé correspond à un niveau de courant plaçant le transistor en régime d'inversion modérée.

La figure 3.28 montre le même résultat de mesure sous la forme d'une densité spectrale exprimée en tension à l'entrée. On y distingue nettement une baisse du bruit vers la faible inversion et une stabilisation à une valeur maximale à fort courant en régime de forte inversion. Une réduction de la densité de courant permet donc de diminuer de quelques dB le bruit ramené en entrée. Le calcul du bruit en tension ramené en entrée en régime de faible inversion laissait prévoir un niveau de bruit constant. On peut, en effet, observer que le bruit à tendance à se stabiliser vers une valeur minimale constante pour les courants les plus faibles et dans le cas du transistor à W/L le plus important. Ces points correspondent à la limite supérieure du régime de forte inversion. La zone intermédiaire dans laquelle le bruit remonte avec le niveau de courant est la zone d'inversion modérée. On peut expliquer la remontée du bruit dans cette zone en faisant remarquer que le passage du régime de faible inversion au régime d'inversion modérée est accompagné d'une réduction sensible de la transconductance à courant donné.

Afin de mieux caractériser l'évolution du bruit avec les conditions de polarisation, nous avons pris le modèle défini par les équations (3.153) et (3.161) et nous l'avons intégré dans le modèle du transistor MOS niveau 3 du simulateur SPICE 2G.6 [1]. Ceci nous a permis de prendre en compte les effets de second ordre nécessaires pour éviter la divergence de l'expression (3.161) pour des tensions prises au voisinage du point de saturation. Néammoins, il faut noter que, dans ce modèle, le calcul du courant et de la transconductance en régime d'inversion modérée est entaché d'une erreur importante. Il faudra prendre certaines précautions quant aux conclusions à tirer pour ce régime.

Nous avons ajusté la constante A' pour tenir compte de la densité d'états de la technologie considérée, les autres constantes B' et C' étant prises aux valeurs nominales fixées en 3.3.3.2.4.

Dans un premier temps, nous allons vérifier la densité spectrale de puissance de bruit en courant sur le drain en régime de forte inversion. En effet, ce bruit est le résultat direct de la théorie. La valeur du bruit en tension ramené sur l'entrée est le résultat d'un calcul supplémentaire qui peut être affecté d'une erreur sur le calcul de la transconductance. La figure 3.29a montre la densité spectrale de bruit exprimée en courant en fonction de la tension de grille en régime de saturation. Le modèle reproduit parfaitement une croissance légère du bruit avec V_g . Ces mesures sont les mêmes que celles utilisées auparavant (figures 3.27 et 3.28) et correspondent à un bruit en tension ramené en entrée à peu près constant en régime de forte inversion.



Fig 3.29a: Bruit en courant sur le drain en fonction de la tension de grille. Comparaison mesures <-> calculs en régime de forte inversion à saturation



Fig 3.29b: Bruit en courant sur le drain en fonction de la tension de grille. Calculs faits en régime de forte inversion pour différentes valeurs de la tension de drain



.

Fig 3.30a: Bruit en tension ramené en entrée en fonction de la tension de grille. Comparaison mesures $\langle - \rangle$ calculs pour un transistor canal P à W/L=6400/7.



Fig 3.30b: Bruit en tension ramené en entrée en fonction de la tension de grille. Comparaison mesures $\langle - \rangle$ calculs pour un transistor canal P à W/L=2000/20.5

Ayant ajusté la constante A' sur nos mesures, nous avons tracé sur la figure 3.29b les résultats obtenus par le modèle en régime de forte inversion pour des tensions de drain allant du régime linéaire au régime saturé. La densité spectrale de bruit exprimée en courant de drain suit l'évolution de la figure 3.29a pour le régime de saturation et se stabilise à une valeur constante dès que le transistor entre en régime linéaire.

Les figures 3.30a et 3.30b montrent le même calcul sous la forme du bruit en tension ramené sur l'entrée pour deux transistors de géométrie différente. Sur chaque figure, l'une des courbes simulées correspond à la configuration utilisée pour une mesure (courbe en pointillés). Les mesures sont indiquées par des marqueurs. Plusieurs conclusions peuvent être tirées de ce résultat:

- en régime de faible inversion, le bruit ramené en entrée est constant. A tension V_{ds} faible, le bruit croît doucement de la faible à la forte inversion. Ceci correspond aux conclusions tirées auparavant sur la continuité entre l'expression du bruit en faible inversion et celle obtenue en forte inversion à V_{ds} faible.

- pour une tension V_{ds} forte, le bruit croît fortement en inversion modérée pour se stabiliser à une valeur quasi-constante en régime de forte inversion et à saturation. Ce type de comportement est confirmé par les mesures. Seul le pic en inversion modérée n'est pas reproduit. Il est très vraisemblable que ce pic soit lié à la discontinuité de l'expression de la transconductance utilisée dans le modèle SPICE.

- en forte inversion, dès que la tension de grille est suffisante pour amener le transistor en régime linéaire, le chute à nouveau puis croît doucement. Ce résultat n'a pas été validé par des mesures. Cette validation a été faite par Hung *et al.* [41] sur plusieurs technologies.

3.3.5 Autres sources de bruit

3.3.5.1 Bruit de génération-recombinaison

Ce bruit est un bruit basse fréquence dû à l'émission aléatoire d'électrons et de trous dans les centres de défauts situés dans la zone déplétée sous la grille. Souvent masqué par le bruit 1/F, ce bruit est souvent invisible dans les technologies modernes.

3.3.5.2 Bruits de grille et de substrat induits

Les fluctuations des porteurs dans le canal, qui créent le bruit thermique étudié précédemment, peuvent être couplées à la grille via la capacité d'oxyde ou au substrat via la capacité de déplétion. Ces bruits en courant, de grille ou de substrat, n'interviennent de manière significative que pour des fréquences proches de la fréquence de transition. Nous les négligerons donc pour la suite de notre étude.

3.3.5.3 Bruit dû aux pertes diélectriques dans l'oxyde

Le bruit thermique dû aux pertes diélectriques dans l'oxyde de grille peut faire apparaître une composante de bruit de grille dont la résistance équivalente de bruit est proportionnelle à l'angle de pertes diélectriques $tan\delta$ et inversement porportionnelle à la fréquence et à la capacité grille-source [19]. Ce bruit est lui-aussi généralement masqué par le bruit 1/F.

3.3.6 Schéma équivalent complet valide aux basses et moyennes fréquences

La figure 3.31 montre le schéma équivalent complet faisant intervenir les éléments extrinsèques ainsi que les générateurs de bruit. I_{dn} symbolise la contribution du bruit thermique. V_{gn} représente le bruit 1/F ramené en entrée.



fig 3.31

3.3.7 Conclusions

Nous avons donc développé un modèle de bruit complet du transistor MOS.

Le modèle de bruit thermique a été validé par des mesures. L'abaque qui en résulte sera une donnée très utile en phase de conception.

Nous avons proposé une nouvelle approche de modèlisation du bruit 1/F largement validée par l'expérimentation. Sur la base de travaux récemment publiés et limités à l'étude du régime de forte inversion, nous avons développé une nouvelle approche unifiée permettant de couvrir l'ensemble des régimes de fonctionnement du transistor. A la vue des résultats, nous pouvons constater que le bruit 1/F ramené en entrée, en zone saturée et en forte inversion, est proche d'une valeur constante. Ceci sera également une simplification utile en phase de conception. Le bruit 1/F ramené en entrée en régime de faible inversion peut également être ramené à une constante. Mais la valeur de cette constante est plus faible que dans le régime précédent. Il est donc souhaitable de s'approcher du régime de faible inversion pour travailler à plus faible bruit en entrée.

Le modèle est facilement intégrable dans un simulateur. D'une grande simplicité, il s'avère néammoins très précis à condition de disposer d'un modèle de calcul du courant et de la transconductance qui soit également précis sur toute la gamme de polarisations.

Le seul paramètre critique du modèle est celui qui fixe la valeur absolue du bruit pour une technologie donnée. Il faut, pour que le modèle soit utile, que les variations technologiques soient suffisamment faibles pour ne pas mettre en cause l'intérêt d'une simulation aussi précise. Nous n'avons pas eu l'occasion, pour le moment, de vérifier la stabilité de notre technologie sur ce point précis du bruit 1/F.

3.4 EFFETS SECONDAIRES [48]

3.4.1 Introduction

Auparavant dans ce chapitre, nous avons développé un modèle simple du transistor MOS qui nous a permis de fixer les bases physiques du comportement de ce dispositif dans le cas idéal. Malheureusement, sur des technologies réelles, certaines hypothèses simplificatrices tombent et des effets secondaires apparaissent.

Dans cette partie, nous allons nous limiter à présenter certains effets importants pour la conception de circuits intégrés MOS analogiques. Nous insisterons davantage sur une description qualitative des phénomènes plutôt que de présenter une approche de modélisation.

Pour la plupart, les effets observés sont peu ou mal modélisés dans les simulateurs. Une bonne connaissance des modifications de comportement qu'ils induisent est donc indispensable pour conserver un oeil critique sur des résultats de simulation. Beaucoup considèrent que ces effets peuvent être ignorés si l'on choisit judicieusement les gammes de polarisation et de géométries. Pour notre part, nous considérons que bon nombre d'effets existent de toute manière et doivent être bien cernés, ne serait-ce que pour choisir les conditions de fonctionnement où ils sont effectivement négligeables. Un travail de conception analogique pointue suppose donc effectivement une étude préliminaire détaillée de la technologie utilisée.

Dans un premier temps, nous allons nous intéresser à des effets présents sur des technologies modernes, quelquesoit la géométrie utilisée. Seront étudiés les effets de la température et ceux induits par un dopage non uniforme du substrat sous la grille. Nous aborderons ensuite certains effets qui apparaissent lorsque l'on réduit les dimensions avec notamment les variations de tension de seuil, l'effet punchthrough, l'ionisation par impact et le régime de saturation. Certains de ces effets peuvent commencer à prendre une mesure significative sur des transistors de taille moyenne couramment utilisés en conception analogique, surtout si le circuit est soumis à une tension d'alimentation importante (10V par exemple).

3.4.2 Effets non liés à une réduction de la géométrie

3.4.2.1 Effet de la température [5][49][50]

La tension de seuil V_t est dépendante de la température au travers de

- Φ_{ms} qui intervient dans V_{fb}

- Φ_f qui décroît avec la température suivant la loi

$$\Phi_{\rm f} = \frac{\rm KT}{\rm q} \, \rm Ln\!\left(\frac{\rm N_{\rm B}}{\rm n_{\rm i}}\right) \tag{3.163}$$

avec

$$n_i(T) \sim T^{1.5} \exp\left(-\frac{E_g}{2 KT}\right)$$
 (3.164)

 $(E_g \text{ est le gap du silicium})$

Le comportement global de $V_t(V)$ est quasi-linéaire et une relation empirique couramment utilisée est donnée ci-dessous

$$V_t(T) = V_t(T_o) [1 + \delta_T (T - T_o)]$$
 (3.165)

avec

$$\delta_{\rm T} = \frac{1}{\rm V_t} \frac{\delta \rm V_t}{\delta \rm T} \tag{3.166}$$

 T_o est la température absolue de référence et δ_T prend une valeur typique comprise entre -0.2% et -0.05%.

Les dépendances les plus fortes sont obtenues pour des substrats fortement dopés, des oxydes épais et des tensions V_{bs} faibles.

La mobilité des porteurs décroît avec la température suivant une approximation couramment utilisée de la forme

$$\mu(T) = \mu(T_o) \left(\frac{T}{T_o}\right)^{-n}$$
(3.167)

où n prend des valeurs typiques comprises entre 1.5 et 2.

L'évolution du courant de drain est donc directement influencée par les variations de $V_t(T)$ et $\mu(T)$. La figure 3.32a montre un exemple de variation de Λ_d en fonction de la tension V_d en régime de saturation. A fort courant, l'effet de la mobilité prime et le courant décroît avec la température. A faible courant, la diminution de V_t prédomine et provoque une augmentation du courant. Sur une certaine gamme de polarisation limitée, le courant est quasi-indépendant de la température.

En régime de faible inversion, la pente de la caractéristique $Ln(I_d) = f(V_g)$ diminue et les courants de fuite des jonctions augmentent suivant une loi exponentielle. Ces deux effets cumulés donnent un comportement typique de la forme présentée à la figure 3.32b. Les variations importantes du courant qui sont observées constituent un point limitatif quant à l'utilisation du régime de faible inversion sur des circuits où le courant doit être bien contrôlé.



Fig 3.32a



.

•

Fig 3.32b

3.4.2.2 Dopage non uniforme du substrat

Les technologies actuelles font appel à des techniques d'implantation ionique pour modifier le profil de dopage sous la grille de manière à

- réduire le risque de punchthrough

- ajuster la tension de seuil.

Le profil de dopage généralement observé sous la grille est bien loin du profil uniforme que nous avons considéré auparavant dans ce chapitre. L'effet le plus visible est l'évolution de la courbe $V_t(V)$ (référence à la source) qui présente une pente (n(V)-1) variant fortement suivant les valeurs de V. La figure 3.33 montre un exemple d'un tel comportement pour un transistor canal N de larges dimensions réalisé dans une technologie CMOS 3 microns.

Les conséquences directes sont multiples:

- la tension de seuil varie rapidement en fonction de V pour les plus faibles valeurs de V. Ceci est lié à une augmentation importante de l'effet substrat résultant du fort niveau de dopage au voisinage de l'interface (voir figure 3.33).

- par rapport au cas d'un substrat de dopage uniforme, la transconductance en régime saturé diminue à faible tension polarisation du substrat car $g_m = K (V_p - V_s)$ et V_p diminue si la pente n(V) augmente.

- en régime de faible inversion, une augmentation de n(V) provoque une réduction de la pente de Ln(I_d)=f(V_{gs}) ce qui peut largement diminuer la transconductance à faible polarisation substrat. La figure 3.34 montre une mesure du rapport g_m/I_d en fonction de la tension V_{gs}. Le maximum de transconductance à courant donné est obtenu en régime de faible inversion. Il est d'autant plus important que la polarisation substrat est importante (et donc que n diminue).

Les effets d'un dopage substrat non uniforme sont généralement totalement négligés ou sont modélisés sous la forme d'une approximation de profil en marche d'escalier. Notre approche de calcul du courant à l'aide du diagramme de Memelynck permet une prise en compte simple et naturelle de ce phénomène, sous réserve que la courbe $V_t(V)$ soit représentée par une approximation polynômiale simple ajustée sur une mesure. Des travaux sont actuellement en cours pour valider cette approche et les premiers résultats obtenus semblent largement prometteurs [51].



Fig 3.33



٣

Fig 3.34

į

3.4.3 Réduction des dimensions géométriques

3.4.3.1 Effets sur la tension de seuil à tension V_{ds} faible [5]

La réduction des dimensions géométriques fait apparaître des effets de nature bi-dimensionnelle.

Si l'on considère un transistor à canal court, la zone déplétée située sous la grille est influencée en partie par les zones déplétées des zones de source et drain. A tension V_{ds} faible, on peut considérer que la tension de seuil diminue lorsque L diminue, car la part de la charge dans la zone déplétée sous la grille effectivement contrôlée par la tension de grille est diminuée.

De même, pour un transistor à canal étroit, la remontée de la grille sur l'oxyde épais à pour conséquence une augmentation de la tension de seuil, liée à un contrôle partiel des charges de la zone déplétée d'isolation entre les zones actives par la tension de grille.

La figure 3.35 montre un exemple de l'évolution de la courbe $V_t(V)$ (référence à la source) pour différentes géométries de transistors à canal N.



Fig 3.35
3.4.3.2 Effet punchthrough ou D.I.B.L (Drain Induced Barrier Lowering) [5][52]

Si, sur un transistor à canal court, on augmente la tension V_{ds} , le champ électrique latéral fait augmenter le potentiel de surface du côté de la source, ce qui a pour effet de favoriser l'injection de porteurs dans le canal et donc d'augmenter le courant. Cet effet a été étudié et caractérisé [52]. En régime de faible inversion, on voit apparaître une augmentation significative du courant à tension V_{ds} importante comme le montre le résultat mesuré de la figure 3.36 tracé pour deux géométries différentes. Des confrontations multiples à des données expérimentales ont permis de mettre en évidence un comportement linéaire de la tension de seuil avec la tension V_{ds} .

$$\hat{\mathbf{V}}_{t} = \mathbf{V}_{t} + \varepsilon \, \mathbf{V}_{ds} \tag{3.168}$$

où ε dépend fortement de la longueur du canal.

L'importance de cet effet dans les circuits analogiques se manifeste notamment dans le cas de transistors à canal court polarisés en faible ou moyenne inversion et soumis à de fortes variations de la tension V_{ds} . C'est par exemple le cas de transistors situés dans un étage de sortie classe B. D'autre part, la conductance de sortie en régime saturé est dégradée, ce qui limite le gain des montages (figure 3.37).

Il est important de noter que cet effet est d'autant plus visible que le dopage du substrat en surface est faible.









3.4.3.3 Ionisation par impact

Dans le cas où le substrat est fortement dopé en surface, les transistors à faible longueur de canal peuvent présenter un champ électrique longitudinal très important au voisinage du drain en régime saturé. En effet, la zone située entre le point de pincement et le drain est soumise au potentiel V_d - V_p et peut être très étroite si le dopage est élevé. Le champ électrique créé peut être suffisamment fort pour amener la création de paires électrons-trous par collisions. Poussé à l'extrême, ce phénomène peut conduire à l'avalanche et détruire le dispositif.

On peut facilement observer ce phénomène en regardant s'il y a création d'un courant de substrat en régime de saturation. En effet, pour un transistor à canal N, les trous créés par collisions sont collectés par le substrat, les électrons étant collectés par le drain. L'augmentation du courant de drain qui en résulte est donc équivalente au courant substrat mesuré. Le courant du côté de la source n'est pas affecté. La figure 3.38 montre l'évolution logarithmique du rapport entre le courant substrat et le courant à la source en fonction de la tension V_g pour deux valeurs de la tension V_d et deux longueurs de canal. Le courant de substrat prend des valeurs relatives plus importantes sur le canal le plus court. De plus, le phénomène est d'autant plus important que la tension de grille est faible et la tension au drain est forte.

Comme dans le cas précédent, l'augmentation du courant de drain en régime saturé conduit à une augmentation de la conductance de sortie. Celle-ci se détériore brutalement à partir d'une certaine tension V_d . En général, cette tension constitue la limite de tension d'alimentation fixée par les fondeurs pour leur

technologie. En effet, cet effet intervient en général avant le claquage des jonctions de drain.

Si la dégradation de la conductance de sortie est certes ennuyeuse, il n'en est pas moins de l'apparition d'un courant substrat qui peut accroître le risque de déclenchement d'un phénomène de latch-up.



Fig 3.38

3.4.3.4 Saturation de la vitesse des porteurs [1]

Si le champ électrique latéral augmente par réduction de la longueur du canal, à forte tension V_{ds} , les porteurs peuvent atteindre leur vitesse limite v_{max} dans le matériau (10⁵ m/s pour les électrons). Cet effet peut être pris en compte en affectant la mobilité d'un terme correctif. La tension de pincement s'en trouve alors réduite par rapport à V_p décrite précédemment pour le cas idéal.

$$\mu_{\text{eff}} = \frac{\mu_{o}}{1 + \frac{V_{\text{ds}}}{L \xi_{\text{cx}}}} \qquad \text{avec} \qquad \xi_{\text{cx}} = \frac{v_{\text{max}}}{\mu_{o}} \qquad (3.169)$$

3.4.3.5 Réduction de la longueur du canal en régime saturé [9]

Les développements faits pour le cas du transistor idéal ne sont plus réellement valides lorsque l'on réduit la longueur du canal. Le point de saturation est maintenant défini comme le point pour lequel les porteurs atteignent leur vitesse limite. Le calcul de la réduction de longueur ΔL ne peut plus simplement être fait par une résolution de l'équation de Poisson unidimensionnelle aux bornes d'une zone déplétée de porteurs. En effet, le courant est porté par des charges qui sont présentes dans la zone déplétée. De plus, on peut montrer à l'aide d'un outil de simulation bidimensionnelle de dispositifs que les porteurs sont repoussés vers le volume dans la zone de canal situé entre le point de pincement et le drain. La prise en compte de ces phénomènes complique l'analyse et aucun modèle analytique simple ne permet de calculer correctement la conductance de sortie des transistors à canal court. Il faut également noter que ce phénomène est généralement mêlé à des problèmes de D.I.B.L ou d'ionisation par impact et qu'il est difficile de séparer ces phénomènes pour les caractériser.

3.5 CONCLUSIONS

Ce chapitre nous a permis de fixer les bases théoriques qui régissent le fonctionnement du transistor MOS. Nous avons choisi une approche simple destinée à mettre l'accent davantage sur la compréhension des phénomènes et de leurs limitations que sur les multiples approches de modélisation développées dans la littérature.

Dans ce travail, nous avons présenté un modèle simple et fiable pour le calcul du courant à l'aide du diagramme de Memelynck en prenant la référence au substrat. Ce modèle, aussi simple qu'il soit, peut être rendu très précis en remplaçant la linéarisation de la courbe $V_t(V)$ par un développement polynômial d'ordre plus élevé. Nous avons également proposé une approche unifiée du calcul du bruit 1/F incluant tous les régimes de fonctionnement. Enfin, nous avons précisé les conditions d'apparition d'effets secondaires qui peuvent nuire aux performances des circuits analogiques.

Nous allons maintenant pouvoir étudier plus en détail les conditions d'optimisation du bruit dans les montages et, en particulier, l'adaptation d'un étage d'entrée à une source capacitive. Nous en verrons ensuite une application concrête dans le cadre d'un circuit préamplificateur pour transducteur sonar.

REFERENCES POUR LE CHAPITRE 3

[3.1] P.ANTOGNETTI and G.MASSOBRIO: "Semiconductor Device Modeling with SPICE", McGraw-Hill, 1988.

[3.2] S.M.SZE: "Physics of Semiconductor Devices", John Wiley, New-York, 1981.

[3.3] J.R.BREWS: "Physics of the MOS Transistor", Chapitre 1 dans Silicon Integrated Circuits, part A, D.KAHNG (éditeur), Applied Solid State Science Series, Academic Press, New York, 1981.

[3.4] Y.TSIVIDIS and G.MASETTI: "Problems in precision modeling of the MOS transistor for analog applications", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, CAD-3, pp 72-79, January 1983.

[3.5] Y.TSIVIDIS: "Operation and Modeling of the MOS Transistor", McGraw-Hill, 1987.

[3.6] H.C. DE GRAAFF and F.M. KLAASSEN: "Compact Transistor Modeling for Circuit Design", Computational Microelectronics, S.SELBERHERR (éditeur), Springer-Verlag/Wien, 1990.

[3.7] C.C.ENZ: "High Precision CMOS Micropower Amplifiers", Thèse de Doctorat n°802 présentée au Dpt d'électricité de l'Ecole Polytechnique Fédérale de Lausanne, 1989.

[3.8] J.A.VAN NIELEN and O.W.MEMELINK: "Influence of the Substrate Upon the DC Characteristics of MOS Transistors", Philips Research Reports, vol. 22, pp 55-71, 1967.

[3.9] G.MERCKEL: "Contribution à l'Analyse Physique du Transistor MOS dans son Evolution vers les Microstructures", Thèse de Doctorat d'Etat présentée à l'Institut National Polytechnique de Grenoble, 1979.

[3.10] J.R.BREWS: "A Charge-Sheet Model of the MOSFET", Solid-State Electronics, vol. 21, pp 345-365, 1978.

[3.11] E.VITTOZ and J.FELLRATH: "CMOS analog integrated circuits based on weak inversion operation", IEEE J. of Solid State Circuits, SC-12, pp 224-231, June 1977.

[3.12] Y.TSIVIDIS: "Operation and Modeling of the MOS Transistor", Appendix I, McGraw-Hill, 1987

[3.13] H.OGUEY and S.CSEVERNY, "MOS modelling at low current density", Summer Course on Process and Device Modelling, ESAT Leuven-Heverlee, Belgium, June 1983.

[3.14] E.VITTOZ: "Micropower techniques", Design of MOS VLSI circuits for telecommunications, Y.TSIVIDIS and P.ANTOGNETTI (editeurs), Prentice-Hall 1985.

[3.15] F.VAN DE WIELE: "A Long Channel MOSFET Model", Solid-State Electronics, vol. 22, pp 991-997, 1979.

[3.16] E. VITTOZ: "MOS Transistor", cours donné à l'Institut Supérieur d'Electronique du Nord, Lille, Mars 1990.

[3.17] A. VAN DER ZIEL: "Noise in Solid State Devices and Circuits", appendix 4, John Wiley, 1986.

[3.18] F.M.KLAASSEN, J.PRINS: "Thermal Noise in MOS Transistors", Philips Research Reports, vol. 22, pp 505-514, 1967.

[3.19] A. VAN DER ZIEL: "Noise in Solid State Devices and Circuits", John Wiley, 1986.

[3.20] A.L.McWHORTER: "1/F noise and germanium surface properties", Semiconductor Surface Physics, Phyladelphia, University of Pennsylvania Press, p. 207, 1957.

[3.21] A.G.JORDAN, N.A.JORDAN: "Theory of Noise in Metal Oxide Semiconductor Devices", IEEE Transactions on Electron Devices, ED-12, pp 148-156, 1965.

[3.22] M.B.DAS, J.M.MOORE: "Measurement and Interpretation of Low Frequency Noise in FET's", IEEE Transactions on Electron Devices, ED-21, pp 247-258, 1974.

[3.23] G.ABOWITZ, E.ARNOLD, E.A.LEVENTHAL: "Surface States and 1/F Noise in MOS Transistors", IEEE Transactions on Electron Devices, ED-14, pp 775-777, 1967.

[3.24] S.CHRISTENSSON, I.LUNDSTROM, C.SVENSSON: "Low Frequency Noise in MOS Transistors - 1 Theory", Solid State Electronics, vol. 11, pp 737-812, 1968.

[3.25] S.CHRISTENSSON, I.LUNDSTROM, C.SVENSSON: "Low Frequency Noise in MOS Transistors - 1 Experiments", Solid State Electronics, vol. 11, pp 813-820, 1968.

[3.26] S.T.HSU: "Surface related 1/F noise in MOS transistors", Solid State Electronics, vol. 13, pp 1451-1459, 1970.

[3.27] H.S.FU, C.T.SAH: "Theory and experiments on surface 1/F noise", IEEE Transactions on Electron Devices, ED-19, pp 273-285, 1972.

[3.28] F.BERZ: "Theory of low frequency noise in Si MOST's", Solid State Electronics, vol. 13, pp 631-647, 1970.

[3.29] Z.CELIK, T.Y.HSIANG: "Study of 1/F Noise in N-MOSFET's: Linear Region", IEEE Transactions on Electron Devices, ED-32, pp 2797-2801, 1985.

[3.30] F.M.KLAASSEN: "Characterization of Low 1/F Noise in MOS Transistors", IEEE Transactions on Electron Devices, ED-18, pp 887-891, 1971.

[3.31] H.E.MAES, S.H.USMANI, G.GROESENEKEN: "Correlation between 1/F noise and interface state density at the Fermi level in field effect transistors", Journal of Applied Physics, vol. 57, pp 4811-4813, 1985.

[3.32] Z.CELIK, T.Y.HSIANG: "Spectral Dependence of 1/F^a Noise on Gate Bias in N-MOSFETS", Solid State Electronics, vol. 30, pp 419-423, 1987.

[3.33] Z.CELIK, T.Y.HSIANG: "Determination of Si-SiO₂ Interface Trap Density by 1/F Noise Measurements", IEEE Transactions on Electron Devices, ED-35, pp 1651-1655, 1988.

[3.34] L.K.J.VANDAMME: "Model for 1/F noise of MOS transistors biased in the linear region", Solid State Electronics, vol.23, p. 317, 1980.

[3.35] L.K.J.VANDAMME, H.M.M.DeWERD: "1/F noise model for MOSTs biased in nonohmic region", Solid State Electronics, vol. 23, p. 325, 1980.

[3.36] T.G.M.KLEINPENNING, L.K.J.VANDAMME: "Model for 1/F noise in metaloxide-semiconductor transistors", Journal of Applied Physics, vol.52, p. 1594, 1981.

[3.37] F.N.HOOGE: "1/F Noise", Physica, vol. 83B, p. 14, 1976.

[3.38] K.H.DUH, A.VAN DER ZIEL: "Hooge parameters for various FET structures", IEEE Transactions on Electron Devices, ED-32, p. 662, 1985.

[3.39] M.J.UREN, D.J.DAY, M.J.KIRTON: "1/F and random telegraph noise in silicon metal-oxide-semiconductor field-effect transistors", Applied Physics Letters, vol. 47, p. 1195, 1985.

[3.40] M.J.KIRTON, M.J.UREN, S.COLLINS: "Individual interface states and implications for low frequency noise in MOSFETs", Applied Surface Science, vol. 30, p. 148, 1987.

[3.41] K.K.HUNG, P.K.KO, C.HU, Y.C.CHENG: "A Unified Model for the Flicker Noise in Metal-Oxide-Semiconductor Field-Effect Transistors", IEEE Transactions on Electron Devices, ED-37, pp 654-665, 1990.

[3.42] G.REIMBOLD: "Modified 1/F trapping noise theory and experiments in MOS transistors biased from weak to strong inversion - influence of surface states", IEEE Transactions on Electron Devices, ED-31, p. 1190, 1984.

[3.43] R.P.JINDAL, A.VAN DER ZIEL: "Carrier fluctuations noise in a MOSFET channel due to traps in the oxide", Solid State Electronics, vol. 21, pp 901-903, 1978.

[3.44] T.H.NING, C.T.SAH: "Theory of scattering of electrons in a nondegeneratesemiconductor-surface inversion layer by surface-oxide charges", Physical Review B, vol. 6, p. 4605, 1972.

[3.45] M.J.BUCKINGHAM: "Noise in Electronic Devices and Systems", Ellis Horwood series on Electrical and Electronic Engineering, 1883.

[3.46] K.K.HUNG, P.K.KO, C.HU, Y.C.CHENG: "Flicker noise characteristics of advanced MOS technologies", IEDM Tech. Dig., p. 34, 1988.

[3.47] H.MIKOSHIBA: "1/F noise in N-channel silicon-gate MOS transistors", IEEE Transactions on Electron Devices, ED-29, p. 965, 1982.

[3.48] J.P.BARDYN: "modélisation et limitations du transistor MOS dans les applications analogiques", Conférence donnée à l'Université Catholique de Louvain-La-Neuve dans le cadre du projet européen 'Promotion of VLSI Design Skills', 1989.

[3.49] S.CHENG, P.MANOS: "Effects of Operating Temperature on Electrical Parameters in an Analog Process", IEEE Circuits and Devices Magazine, p.31, July 1989.

[3.50] F.S.SHOUCAIR: "Design Considerations in High Temperature Analog CMOS Integrated Circuits", IEEE Transactions on Components, Hybrids and Manufacturing Technology, CHMT-9, 1986.

[3.51] O.DECLERCK: Travail de thèse sur la modélisation analogique du transistor MOS, communication privée, 1990.

[3.52] B.EITAN, D.FROHMAN-BENCHKOWSKI: "Surface Conduction in Short-Channel MOS Devices as a limitation to VLSI scaling", IEEE Transactions on Electron Devices, ED-29, pp 254-266, 1982.

CHAPITRE 4

PREAMPLIFICATION FAIBLE BRUIT EN TECHNOLOGIE CMOS

4.1 INTRODUCTION

La technologie MOS est connue pour ses maigres performances en matière de bruit, notamment en raison de l'importance de la composante de bruit en 1/F. Dans le chapitre précédent, nous avons détaillé les performances du composant dans ce domaine.

Les utilisateurs de structures d'amplificateurs à très faible bruit nécessitant une haute impédance d'entrée se sont donc tournés vers le transistor bipolaire à effet de champ (JFET) dont certaines réalisations ne font apparaître qu'un très faible bruit 1/F. Malheureusement, le niveau de performances demandé est incompatible avec une intégration du transistor à effet de champ sur le même substrat que celui utilisé pour le reste de l'amplificateur. Les circuits proposés sont donc de nature hybride.

Nous allons étudier ici de manière exhaustive les conditions qui permettent d'optimiser le bruit dans les amplificateurs en technologie CMOS. L'objectif recherché est, bien entendu, de remplacer les structures hybrides existantes par un circuit CMOS monolithique, ouvrant ainsi la perspective d'une intégration de chaîne de traitement de signal complète sur un même substrat.

Dans le but de limiter l'adjonction de contraintes pour l'utilisateur, nous nous sommes volontairement limité à l'étude de l'optimisation du bruit dans les structures dites 'continues', sans faire appel à des techniques de réduction du bruit par des méthodes dynamiques comme l'autozéro [1] ou le chopper [2]. Ces deux techniques utilisent en effet une horloge extérieure qui peut s'avérer contraignante pour bon nombre d'applications. Elles ont été étudiés récemment dans le détail [3][4]. Dans [4], C.ENZ a brièvement présenté les conditions théoriques du couplage entre un amplificateur à chopper et une source de nature capacitive. Aucune réalisation pratique n'a malheureusement vu le jour et cette technique mériterait d'être approfondie.

Dans ce chapitre, nous aborderons en premier lieu les conditions d'optimisation des structures de base utilisées dans les circuits analogiques CMOS [5]. Nous donnerons alors quelques lois simples et quelques abaques permettant de dimensionner les transistors et de les polariser de manière optimale.

Nous présenterons ensuite une étude originale sur le choix d'architecture d'un amplificateur à faible bruit. Différentes structures classiques seront étudiées dans le détail et nous en dégagerons les meilleurs compromis dans le but de limiter l'effet des différentes sources de bruit externes ou internes.

Nous nous concentrerons ensuite sur un composant bipolaire intégrable dans une technologie CMOS. Présenté à l'origine par E.VITTOZ [6], ce transistor bipolaire latéral possède des caractéristiques très intéressantes dans le cadre d'amplificateurs à très faible bruit. Nous en décrirons brièvement la structure avant de présenter beaucoup plus en détail une mise en évidence, par la mesure, de ses principales qualités mais aussi de ses quelques limitations. Nous nous tournerons enfin vers notre domaine d'application, celui des préamplificateurs pour capteurs capacitifs. Cette partie présentera le calcul du bruit ramené en entrée et du gain en tension de différents types d'étage d'entrée couplés à une source capacitive. Des montages les plus simples, nous nous orienterons vers des structures plus originales et, plus particulièrement, vers un étage BiCMOS utilisant des transistors bipolaires latéraux. Cette étude nous permettra de dégager les structures les plus performantes dans le cadre de différentes configurations d'amplificateurs.

Très peu de publications présentent clairement les techniques d'optimisation du bruit dans les amplificateurs. Ce chapitre aborde ces questions dans le détail, en allant du composant jusqu'aux notions d'architecture. Il décrit de nouvelles structures dont la performance est comparable aux circuits BiFET actuels. Ces structures seront ensuite intégrées dans un circuit prototype pour être validées. Ce sera l'objet de notre prochain chapitre.

4.2 OPTIMISATION DU BRUIT DANS LES AMPLIFICATEURS CMOS

4.2.1 Performances des structures de base [3]

Dans cette partie, nous allons présenter les performances des structures de base utilisées dans les amplificateurs CMOS. Nous en détaillerons les conditions d'optimisation avant de proposer quelques abaques utiles pour la suite.

Avant d'aborder le détail des structures, reprenons et simplifions quelques résultats essentiels obtenus au chapitre 3.

4.2.1.1 Rappel sur les conditions d'une utilisation optimale du composant MOS.

Le tableau suivant rappelle brièvement les caractéristiques AC essentielles du transistor MOS en régime de saturation.

	Faible inversion	Forte inversion
gm	$\frac{I_d}{n_w U_t}$	$K(V_p - V_s) = \sqrt{\frac{2 K I_d}{n}}$ $= \frac{2 I_d}{n (V_p - V_s)}$ $= \frac{I_d}{n U_t} \frac{2 U_t}{V_p - V_s}$
g _{ms}	n _w g _m	ng _m
gd	$\frac{I_d}{V_A}$	$\frac{I_d}{V_A}$
$A_{omax} = g_m/g_d$	$\frac{V_A}{n_w U_t}$	$\frac{2 V_A}{n (V_p - V_s)}$

La figure 4.1 reprend l'évolution de ces différents termes en fonction du courant de drain I_d . A courant donné, la transconductance maximale est obtenue en régime de faible inversion.



fig. 4.1

Le schéma équivalent du transistor donné à la figure 4.2 fait apparaître les contributions du bruit 1/F (bruit en tension sur l'entrée V_{gn}) et du bruit thermique (bruit en courant en parallèle sur le canal I_{dn}).



fig. 4.2

L'expression du bruit 1/F, étudiée dans le détail dans le chapitre précédent, peut être simplifiée sous la forme suivante valide en régime de saturation:

$$SV_{gn} = 4 KT \frac{\chi}{F W L}$$
 (4.1)

où χ est un paramètre dépendant de la technologie.

Cette expression reflète la valeur quasi-constante du bruit 1/F ramené en tension à l'entrée. Elle est acceptable, si l'on décide de négliger les faibles variations présentées au chapitre précédent. Sa simplicité ouvre la possibilité d'une évaluation rapide des conditions d'optimisation par un calcul manuel.

Le bruit 1/F en tension sur l'entrée étant quasi-constant, il apparaît clairement que sa contribution sous la forme d'un courant de bruit sur le drain sera d'autant plus forte que la transconductance est forte. Il faudra donc minimiser cette transconductance par une polarisation adaptée.

Le bruit thermique a été également calculé au chapitre 3. Pour le cas du régime saturé, les résultats suivants ont été obtenus:

	faible inversion	forte inversion
S I _{dn}	2 q I _d	$\frac{8}{3}$ KT g _{ms}
R _N	$\frac{n_w}{2g_m}$	$\frac{2 n}{3 g_{m}}$

A courant de polarisation donné, il apparaît que le bruit thermique ramené en entrée est plus faible en régime de faible inversion car la transconductance y est maximale. A l'inverse, le bruit en courant sur le drain sera plus faible si le transistor est polarisé en régime de forte inversion.

Avant de détailler le comportement de quelques montages importants, précisons les grandeurs physiques qui régissent la qualité de l'appariement entre deux transistors voisins. Des imperfections à ce niveau peuvent dégrader les caractéristiques de fonctionnement d'un montage.

Une étude des conditions d'appariement entre transistors voisins a été faite dans [7]. Les grandeurs physiques qui sont source d'imperfections sont la tension de seuil (ΔV_t) et le terme de transconductance $K = \mu C_{ox} W/L$ (ΔK). Nous verrons plus loin comment minimiser les effets de ces imperfections dans les deux principaux montages (étage différentiel et miroir de courant).

4.2.1.2 Etage différentiel

Ce montage réalise la conversion entre une tension différentielle appliquée sur ses entrées (2v) et un courant différentiel que l'on récupère sur les drains des transistors qui le composent (2i). La polarisation est assurée par une source de courant $I_{pol}(=2I)$ que nous allons considérer comme parfaite. Dans ce cas, le montage est insensible aux variations de la tension de mode commun sur ses entrées (V).



fig. 4.3 et fig4.4

Le bruit de ce montage est essentiellement observé sous la forme du bruit en tension ramené au signal d'entrée différentiel, comme c'est la cas pour tout étage à transconductance. Le bruit 1/F est déjà sous la forme d'une tension en série dans la maille d'entrée. Il intervient donc directement et ne dépend pas des conditions de polarisation. Le bruit thermique ramené en entrée peut, quant à lui, être minimisé par une augmentation de la transconductance à courant de polarisation I_{pol} donné. Ceci suppose une polarisation en régime de faible inversion. La forte transconductance est également utile pour atténuer le bruit ramené en entrée lié aux contributions des bruits en courant arrivant sur les drains des transistors M1 et M2 en provenance des autres transistors du circuit.

L'offset de la paire différentielle peut être relié aux variations de la tension de seuil ΔV_t et du terme de transconductance ΔK sous la forme suivante définie dans [8]:

$$\Delta V_{g} = \Delta V_{t} - \frac{I_{d}}{g_{m}} \left(\frac{\Delta K}{K}\right)$$
(4.2)

La figure 4.4 montre que l'écart type de ΔV_t est minimal en régime de faible inversion en raison de la forte transconductance à courant donné. L'offset est alors essentiellement lié aux écarts de la tension de seuil V_t .

Il est important de noter que les résultats précédents sont valables pour tout étage à transconductance. Dans le cas de l'étage différentiel, la nécessité de la présence de deux transistors fait augmenter le bruit de 3 dB par rapport à un montage à transconductance de type asymétrique à un seul transistor. L'avantage essentiel du montage différentiel est sa faible sensibilité aux signaux de mode commun.

Le bruit de la source de courant I_{pol} est rejeté par le montage du fait de son action symétrique sur les deux branches (bruit de mode commun). Cette conclusion doit être prise avec précaution car tout déséquilibre dans le montage (offsets par ex.) amène l'injection d'une part de ce bruit sous la forme d'un signal différentiel visible en sortie. Si cette contribution reste généralement négligeable, il convient néammoins de soigner l'implantation physique de la paire pour minimiser les offsets.

4.2.1.3 Miroir de courant

Ce montage, dont le schéma est donné à la figure 4.5 ci-dessous, permet de recopier un courant d'une branche sur une autre branche.



fig. 4.5 et fig 4.6

Le couplage entre les transistors M1 et M2 est réalisé par l'intermédiaire de la tension de grille V_{g} .

Les bruits thermiques associés aux deux transistors interviennent directement sous la forme d'un bruit en courant superposé au courant de sortie. Leur minimisation suppose une polarisation en régime de forte inversion (voir 4.2.1.1).

Les bruits 1/F des deux transistors sont observés également sous la forme d'un bruit en courant sur le drain de M2, obtenu par multiplication de la somme des puissances de bruit en tension de M1 et M2 par le carré de la transconductance de M2. Il convient donc de minimiser la transconductance de M2 par une polarisation en régime de forte inversion. Le désappariement entre le courant de référence et le courant sortant à été évalué dans [8] sous la forme:

$$\frac{\Delta I_{d}}{I_{d}} = \frac{\Delta K}{K} - \frac{g_{m}}{I_{d}} \Delta V_{t}$$
(4.3)

La figure 4.6 montre que l'écart type de la variation est minimisé par une polarisation en régime de forte inversion. Le désappariement est alors essentiellement causé par les variations relatives du terme de transconductance K. Là encore, un layout soigné permet d'en atténuer les effets.

4.2.1.4 Etage à transistor cascode



fig. 4.7

Le montage à transistor cascode permet d'assurer une faible variation du potentiel sur le drain du transistor M1 ce qui permet de diminuer fortement l'effet Miller sur la capacité grille-drain. Il diminue aussi de manière considérable la conductance de sortie du montage permettant ainsi une augmentation importante du gain DC.

Un calcul détaillé de l'étage permet de montrer que la conductance de sortie du montage est donnée par

$$G = \frac{g_{d1} g_{d2}}{g_{ms2}}$$
(4.4)

Elle est d'autant plus faible que la transconductance de source du transistor M2 est grande. Les meilleures performances sont donc obtenues pour un transistor M2 polarisé en régime de faible inversion.

L'intérêt du montage est d'autant plus grand que son bruit est quasinégligeable. En effet, le bruit 1/F du transistor M2 agit de manière à créer un courant de bruit dans la branche de sortie. Or, le courant dans cette branche est forcé par le transistor M1. La tension de source de M2 va donc légèrement varier de manière à tuer la variation de courant pré-citée via la transconductance de source de M2. La variation de tension sur la source de M2 sera d'autant plus faible que g_{ms2} est forte (régime de faible inversion). De même, le bruit thermique de M2 conduira au même type de contre-réaction et sera éliminé par le montage. Une composante résiduelle du bruit peut apparaître si la conductance de sortie de M1 est forte car, dans ce cas, les légères variations du potentiel de source de M2 produisent une variation du courant dans la branche. Cette dégradation est néammoins légère et peut être négligée.

Il faut enfin noter que tout bruit présent sur le signal de polarisation Vcas du transistor T2 est également éliminé par le montage, au même titre que le bruit 1/F de T2.

4.2.1.5 Tableau récapitulatif et abaques

minimiser le:	MIROIR DE COURANT	ETAGE DIFFERENTIEL
bruit thermique	forte inversion	faible inversion
bruit 1/F	forte inversion	faible inversion
Offset	forte inversion	faible inversion
CONCLUSION	forte inversion	faible inversion

Le tableau suivant résume les compromis discutés ci-dessus

Afin de faciliter le dimensionnement des transistors, deux abaques utiles peuvent être établies.

La première, donnée à la figure 4.8, permet de choisir le meilleur compromis surface-consommation aisnsi que le régime de fonctionnement pour minimiser le bruit thermique ramené en entrée d'un étage à transconductance. A courant donné et pour un niveau de bruit spécifié, on détermine le rapport W/L optimal.

La deuxième permet d'établir rapidement l'aire de grille d'un transistor pour un niveau de bruit 1/F donné. Elle est donnée à la figure 4.9.

Après avoir étudié l'optimisation de la polarisation d'un composant MOS placé dans différentes configurations de base, nous allons maintenant voir l'influence de l'architecture générale d'un amplificateur sur les performances en matière de bruit.



fig. 4.8: Evolution du bruit thermique ramené à l'entrée en fonction du régime de fonctionnement et de la géométrie du transistor



fig. 4.9: Evolution du bruit 1/F à f=10Hz en fonction de l'aire de grille d'un transistor (N et/ou P)

4.2.2 Bruit dans les structures classiques d'amplificateurs CMOS

4.2.2.1 Amplificateur opérationnel à transconductance

Le schéma le plus courant d'un tel amplificateur est donné à la figure 4.10. Dans ce montage, on délivre en sortie un courant issu de la tranconductance de l'étage d'entrée.



Le bruit thermique total ramené en tension à l'entrée est donné par

$$SV_n = \frac{\sum_{i=1}^{8} SI_{n_i}}{g_{m_1}^2}$$
 (4.5)

où I_{ni} est le bruit thermique du transistor M_i .

Le transistor M9 n'intervient pas dans ce calcul car son bruit est un signal de mode commun.

L'optimisation du bruit thermique de ce montage suppose que l'on polarise les transistors M1 et M2 en régime de faible inversion pour augmenter leur transconductance et améliorer l'offset ramené en entrée. Les transistors M3..M8 doivent être polarisés en forte inversion pour limiter leur bruit en courant et assurer un bon appariement sur les miroirs de courant. M9 doit être polarisé en forte inversion pour limiter les risques d'imprécision sur le courant de polarisation. Son bruit propre et le bruit injecté par la tension de polarisation appliquée sur sa grille interviennent en mode commun et peuvent être négligés. Pour limiter le bruit 1/F, les transistors M1 et M2 doivent avoir une aire de grille suffisante. Suite aux résultats obtenus au chapitre 3, leur polarisation en régime de faible inversion est bénéfique pour minimiser de quelques dB le bruit 1/F. Il faut également choisir de préférence une paire différentielle composée de transistors PMOS. L'aire de grille des transistors M3..M8 est généralement moins critique, si l'on prend soin de conserver un rapport suffisant entre les transconductances de ces transistors et celle de la paire différentielle d'entrée, comme c'est généralement le cas.

Ce montage peut être cascodé pour augmenter l'impédance de sortie et le gain DC. Le choix de la géométrie des transistors cascode n'est pas dicté par les contraintes de bruit. En effet, nous avons vu précédemment que la contre-réaction locale du cascode tue leur contribution au bruit.

4.2.2.2 Amplificateur opérationnel à deux étages

Le schéma classique d'un tel amplificateur est donné à la figure 4.11. Cette fois, il existe une conversion courant-tension entre les deux étages de l'amplificateur. Ceci crée un gain en tension entre le deuxième étage et l'entrée de l'amplificateur, ce qui permet de relâcher fortement les contraintes de bruit sur le deuxième étage.



L'optimisation du bruit du premier étage suit les mêmes lois que celles définies pour le cas précédent. Les transistors d'entrée M1 et M2 doivent être de type P, de large dimension et polarisés en régime de faible inversion. Les transistors M3 et M4 doivent être polarisés en forte inversion. Le seul point délicat de ce montage réside dans le transistor M7. En effet, les bruits thermique et 1/F de ce transistor interviennent directement sur le signal en sortie. Au travers de la transconductance de M7, le bruit du signal de polarisation V_{bias} vient s'y ajouter. Il faut prendre garde à limiter la transconductance de M7 et s'assurer que le gain en tension du premier étage soit suffisant pour que le bruit introduit soit négligeable.

4.2.2.3 Amplificateur à entrées différentielle et sorties symétriques

Pour illustrer ce cas, nous choisirons le montage amplificateur à transconductance à cascode replié. Le schéma est donné sur la figure 4.12. Dans ce montage, le signal disponible en sortie est purement différentiel et résulte directement de la transconductance des transistors de la paire différentielle à l'entrée.



fig. 4.12 [9]

La méthode utilisée pour optimiser le bruit du montage est la même que précédemment. La différence essentielle réside dans un accroissement des performances pour les différentes réjections. En effet, tous les signaux de polarisation sont appliqués en mode commun et n'introduisent pas de bruit significatif. Les bruits sur les alimentations interviennent également en mode commun ce qui permet d'augmenter sensiblement les performances en matière de PSRR (Power Supply Rejection Ratio).

Néammoins, ce montage possède l'inconvénient de la présence d'une circuiterie de régulation de la tension de mode commun en sortie. Différents types de schémas sont possibles pour assurer cette régulation. Il faut prendre garde à ce que le bruit de cette circuiterie annexe soit injectée en mode commun sur l'étage de sortie. C'est le cas pour le circuit de la figure 4.12 où la régulation est assurée par un couple de transistors polarisés en zone linéaire [9]. C'est également le cas pour le circuit proposé à la figure 4.13 où le signal de mode commun en sortie est comparé à une tension de référence [10]. Le contrôle du mode commun est alors assuré par la

tension de grille des transistors qui génèrent le courant de l'étage de sortie. Il est appliqué en mode commun. Par contre, le schéma de la figure 4.14 est à déconseiller [11][12] car, dans ce cas, on injecte deux courants distincts sur les branches différentielles de l'étage de sortie. Le bruit de la circuiterie de régulation intervient alors directement sur le signal différentiel.



fig. 4.13 [10]



fig. 4.14 [11]

4.2.3 Le transistor bipolaire latéral compatible CMOS

En dépit des caractéristiques satisfaisantes du composant MOS pour un bon nombre d'applications, il est utile, dans certains montages, de bénéficier des caractéristiques mieux contrôlées du transistor bipolaire. Dans la technologie MOS, il est possible de disposer d'un transistor bipolaire vertical dont la base est réalisée à l'aide du caisson et le collecteur est au substrat [13]. Malheureusement, ce dernier point limite son utilisation à des montages à collecteur-commun.

Il y a quelques années, E.VITTOZ a proposé une nouvelle structure réalisée en technologie CMOS et proche de celle des transistors bipolaires PNP latéraux utilisés dans une technologie bipolaire [14]. Les applications de ce composant sont multiples avec notamment les références de tension [15], les circuits translinéaires [16] ou les amplificateurs à faible bruit [14].

Nous allons brièvement rappeler la structure du composant avant d'en détailler quelques caractéristiques et limitations essentielles. Nous justifierons enfin l'intérêt de ce composant dans le cadre de notre étude.

4.2.3.1 Rappels sur la structure

La figure 4.15 donne la coupe d'un transistor bipolaire latéral compatible réalisé dans une technologie CMOS à caisson N ainsi que le layout et le symbole utilisé. La structure est construite comme celle d'un transistor PMOS concentrique dont le drain entoure la source. Une prise de contact au substrat est disponible à proximité du caisson.



fig.4.15

Le fonctionnement de ce transistor est analogue à celui des transistors PNP latéraux d'une technologie bipolaire classique. Les porteurs sont injectés par l'émetteur (zone de source du PMOS) dans la base (caisson N). Ils peuvent être collectés soit par le substrat, soit latéralement par l'anneau diffusé de type P (zone de drain du PMOS). Pour assurer un bon fonctionnement du dispositif et éviter le déclenchement du mode de fonctionnement MOS, la grille est polarisée positivement de manière à placer la zone de base en régime d'accumulation au voisinage de l'interface Si-SiO₂. La répartition du courant entre le collecteur latéral et le collecteur vertical dépend des profils de dopage, de la géométrie du transistor et des tensions appliquées sur les deux collecteurs.

Les caractéristiques essentielles ont été détaillées par E.VITTOZ [14] pour une technologie CMOS 6 microns à caisson P et à faible tension de seuil. Plus récemment, des résultats ont été publiés pour une technologie CMOS 3 microns à caisson N [17]. Nous avons, de notre côté, effectué des mesures complètes pour deux technologies 3 microns à caisson N et P respectivement. Les résultats sont cohérents par rapport à ceux publiés. Nous ne les détaillerons pas ici. Nous nous limiterons à donner ci-dessous les caractéristiques essentielles pour la technologie 3 microns à caisson P utilisée pour la réalisation pratique de l'amplificateur faible bruit décrit au chapitre 5.

4.2.3.2 Caractéristiques essentielles et limitations



fig. 4.16

La figure 4.16 donne le dessin des masques de la structure utilisée dans le circuit décrit au chapitre 5 et qui nous a servi pour les caractérisations présentées cidessous. Il s'agit d'un transistor bipolaire latéral NPN. La longueur de la base latérale est définie par la grille en polysilicium. Elle est fixée au minimum de la technologie $(3\mu m)$. Le collecteur latéral entoure l'émetteur. L'aire de la zone d'émetteur a été réduite au minimum des règles d'implantation de manière à optimiser le rapport entre le périmètre et l'aire de l'émetteur. Ces trois dernières précautions permettent de garantir un rapport maximal entre le courant récupéré par le collecteur latéral (I_c) et le courant émetteur (I_e) . On définit α comme étant le rapport I_c/I_e .

Les prises de contact sont nombreuses sur chaque zone de manière à pouvoir négliger les résistances d'accès 'extrinsèques'. Le contact de base a été pris de part et d'autre de la zone du caisson pour réduire au maximum la résistance d'accès à la base, paramètre déterminant pour les performances en bruit.



fig. 4.17

Le bon fonctionnement du dispositif suppose une polarisation par une tension de grille plaçant le transistor MOS ainsi formé en régime d'accumulation. La figure 4.17 montre l'évolution de la caractéristique $I_c=f(V_e)$ à tension V_b nulle, pour différentes valeurs de V_g négatives. Dès que $V_g < -0.7V$, les caractéristiques se confondent. La tension de grille importe donc peu, dès lors qu'elle soit suffisamment négative par rapport à la base. Dans le cas du dispositif considéré, on constate que pour bon nombre des applications à courant I_c de valeur moyenne, la grille peut être reliée à l'émetteur. Si le courant I_c est trop faible, il est facile de relier la grille au point de potentiel le plus bas du montage. Dans [16], X.ARREGUIT a montré que la tension de grille pouvait servir à ajuster les caractéristiques avec précision pour corriger certains effets tels que l'offset d'une paire différentielle. Dans les utilisations courantes, le contrôle de la tension de grille ne nécessite pas de soin particulier.

Un facteur déterminant de la qualité de ce transistor réside dans son fort gain en courant $(I_c/I_b = \beta)$. Par rapport à son homologue en technologie bipolaire, ce transistor bénéficie de l'absence d'une couche enterrée ce qui laisse prévoir une valeur plus importante du facteur β . La figure 4.18 montre une évolution typique du terme β en fonction de la polarisation V_{be} appliquée. Les valeurs courantes, confirmées par la mesure sur un lot de 20 pièces, sont comprises entre 200 et 400 pour le dispositif considéré. Ce résultat est de meilleure qualité que la moyenne trouvée dans la littérature.



fig. 4.18

La figure 4.19 montre l'évolution du terme β en fonction du courant latéral I_c. On voit apparaître une chute douce de β à très faible courant I_c. Ceci est lié à des effets dits 'de faible injection'. Une partie de ces effets résultent de recombinaisons des porteurs minoritaires situés dans la base avec des défauts de surface. A fort courant collecteur, des effets dits 'de forte injection' interviennent dès que la densité de porteurs minoritaires injectés dans la base devient égale à la concentration en impuretés. Le gain en courant β chute alors fortement. Néammoins, la valeur nominale de β dans la gamme de courants utile est tout à fait acceptable pour des applications analogiques courantes.



Le courant collecteur latéral est généralement le seul courant collecteur exploité dans les montages. Il est donc primordial de connaître l'ordre de grandeur du rapport α défini auparavant. La figure 4.18 montre l'évolution de α en fonction de la tension V_{be}. La valeur typique est située aux environs de 0.29. Sur les 20 dispositifs mesurés, nous avons observé une variation typique de l'ordre de 10%. Ceci permet de conclure sur le fait qu'il est dangereux de tabler sur la valeur absolue de ce paramètre. Les réalisations doivent permettre de s'en affranchir. De plus, α est assez fortement affecté par la tension V_{ce} appliquée sur le transistor [17].



La figure 4.20 montre l'évolution de α en fonction de la tension V_{ce} pour notre dispositif. Une variation typique de 4%/Volt est observée. Ceci est lié à la différence importante entre les effets Early respectifs pour les deux collecteurs. Le collecteur latéral étant plus fortement dopé que la base, à fort V_{ce} , le collecteur s'étend vers la base, augmentant ainsi la valeur du courant I_c . Le collecteur substrat étant moins dopé que la base, l'effet Early est quasi-négligeable. Ceci peut être aisément visualisé sur la figure 4.21 où sont comparés les caractéristiques $I = f(V_{ce})$ à tension V_{be} fixe pour les deux collecteurs. Pour le courant collecteur vertical I_{cs} , la tension Early est estimée aux environs de 350 Volts. Pour le courant collecteur latéral I_c , une mesure de la pente de la caractéristique à tension V_{bc} nulle donne une tension Early proche de 11 Volts. Cette différence très nette de comportement entre les deux collecteurs amène une variation de l'équilibrage des courants collecteur ce qui modifie le paramètre α . Nous verrons dans le chapitre 5 un exemple de circuit permettant de s'affranchir de la valeur absolue de α et de ses variations en fonction de la tension V_{ce} appliquée.

129



Pour connaître la densité de courant permettant d'obtenir les meilleures performances, il est intéressant de déterminer le seuil à partir duquel les effets de 'forte injection' commencent à intervenir. Ceci est visible sur la caractéristique $Ln(I_c,I_b) = f(V_{be})$ (figure 4.22). Suivant l'approche du modèle de Ebers-Moll définie dans [18], le courant I_b évolue de manière parfaitement exponentielle sur toute la gamme de tensions V_{be} , sauf pour les faibles valeurs de V_{be} où la 'faible injection' intervient. Le fléchissement de $Ln(I_b)$ à forte tension V_{be} est lié à la présence des résistances d'accès à l'émetteur R_e et à la base R_b . Le courant I_c doit suivre une loi exponentielle parfaite dans toute la gamme de tension V_{be} , sauf à forte tension V_{be} , sauf à forte tension V_{be} où les effets combinés des résistances R_e , R_b et de la 'forte injection' font fléchir sa valeur. Une mesure brute de la limite du régime d'injection normale, sans tenir compte des résistances d'accès, donne une valeur I_{clim} proche de 30µA. La valeur réelle est plus forte si l'on corrige la courbe pour supprimer l'effet des résistances d'accès.



Préamplification faible bruit en technologie CMOS



L'évaluation de la résistance R_e peut se faire à l'aide du montage indiqué sur la figure 4.23 [18]. Le résultat est obtenu par la pente extraite de la mesure et donne $R_e \approx 33\Omega$. Des mesures sur le lot de 20 pièces nous ont fait apparaître une dispersion importante d'environ 50% sur cette valeur. Un correction pour conserver la linéarité de $\ln(I_b)$ à forte tension V_{be} nous permet d'évaluer la résistance d'accès à la base $R_b \approx 1500\Omega$. Cette valeur importante sera à prendre en considération pour les performances en matière de bruit. La caractéristique corrigée des effets de résistances d'accès est donnée à la figure 4.24. La forte inversion étant caractérisée par une réduction de la pente d'un facteur 2, le point de cassure nous donne une évaluation du courant limite aux environs de 250µA. Cette faible valeur est liée au faible dopage de la zone de base [14].



fig. 4.24

Il peut maintenant être souhaitable de connaître la stabilité de la transconductance à courant I_c donné en fonction du courant I_c . Ce résultat apparaît sur la figure 4.19. Si on essaie de limiter le domaine d'utilisation du transistor à une gamme de courant où le rapport g_m/I_c est supérieur à 90% de sa valeur maximale, ceci nous fixe un courant I_c limité à 10µA par dispositif de base.

Nous allons maintenant considérer de plus près les caractéristiques du transistor en matière de bruit.

4.2.3.3 Intérêt dans les structures à faible bruit

Dans [14], E.VITTOZ a présenté des résultats intéressants concernant le bruit de ce dispositif. Si on se limite à la contribution du bruit de grenaille généré par le courant collecteur (bruit d'une jonction PN), il peut s'exprimer simplement sous la forme d'une résistance équivalente de bruit ramenée en série sur la base dont la valeur est donnée par

$$R_{N} = \frac{1}{2 g_{m}}$$
(4.6)

Ceci est un résultat proche de celui obtenu au chapitre 3 pour le bruit thermique d'un transistor MOS à saturation polarisé en régime de faible inversion en prenant $n_w = 1$. Il s'agit là du bruit minimum que l'on peut obtenir avec un transistor pour une polarisation en courant donnée. A fort courant I_{\odot} le niveau de bruit est malheureusement dominé par le bruit thermique de la résistance d'accès à la base R_b . Pour limiter ce dernier, il convient de diminuer la résistance R_b en connectant plusieurs dispositifs en parallèle. Le bruit blanc ramené en entrée peut également être limité par le bruit de grenaille lié au courant de base, pour des valeurs importantes de l'impédance de source. Dans [14], E.VITTOZ a montré que ce bruit ne devenait significatif que pour des impédances de source de l'ordre de $10^5\Omega$.

Les caractéristiques du composant pour le bruit 1/F sont excellentes. E.VITTOZ attribue les bonnes performances au fait que la polarisation de grille permet d'éviter les intéractions entre les porteurs minoritaires situés dans la base et les défauts à l'interface Si-SiO₂, en repoussant ces porteurs vers le volume. Une évaluation des performances a été faite par nos soins sur un transistor PNP réalisé dans une technologie CMOS 3µm à caisson N. Nous avons comparé le bruit ramené en entrée pour le cas d'un montage polarisé à courant donné en mode de fonctionnement MOS et le même montage polarisé au même courant en mode de fonctionnement bipolaire latéral. Les résultats donnés sur la figure 4.25 font apparaître une nette amélioration des caractéristiques pour le fonctionnement en mode bipolaire latéral, avec une disparition totale du bruit 1/F au delà de 100 Hz. Cette caractéristique est très importante pour la suite de notre étude.



fig. 4.25

4.2.4 Conclusions

Afin de conclure sur ce dispositif, disons simplement qu'il permet, en dépit de quelques contraintes qu'il convient de maîtriser, de disposer des bonnes performances d'un dispositif bipolaire dans une technologie CMOS standard. Il n'est, bien entendu, pas question d'utiliser ce dispositif comme élément de gain dans une application en haute fréquence. En effet, le temps de transit des porteurs dans la base latérale limite la fréquence de transition aux environs de 100 MHz pour le dispositif considéré dans cette étude. Néammoins, ses performances en bruit en font un bon candidat comme élément d'amplification dans le cas des préamplificateurs pour sonars.

4.3 OPTIMISATION DU COUPLAGE CAPTEUR CAPACITIF <-> AMPLIFICATEUR CMOS

4.3.1 Introduction

Nous allons maintenant nous concentrer davantage sur l'optimisation de l'étage d'entrée d'un préamplificateur pour capteur capacitif. Notre but est de minimiser le bruit de l'amplificateur ramené au signal acoustique. Les montages qui seront considérés dans la suite ont été brièvement présentés dans le chapitre 1. Ils doivent offrir une haute impédance d'entrée, un bon contrôle du gain et de bonnes performances en distortion ce qui suppose des systèmes à boucle de contre-réaction.

Le premier montage classique est l'amplificateur de tension. Ses avantages essentiels sont la simplicité et le contrôle du gain par un rapport de résistances, indépendamment de la valeur de la capacité du capteur. C'est le montage préféré pour les capteurs de faible coût dont la capacité est mal contrôlée. Malheureusement, il possède l'inconvénient de voir son gain affecté d'un diviseur capacitif lié à la capacité d'entrée de l'amplificateur et à la capacité de la liaison entre le capteur et le préamplificateur (voir chapitre 1). Il demande donc une proximité étroite entre capteur et préamplificateur.

Le montage amplificateur de charge résoud, quant à lui, le problème de la capacité de liaison. En effet, son gain ne dépend que du rapport de la capacité de contre-réaction à la capacité du capteur. Ceci suppose un bon contrôle de la capacité du capteur ce qui rend le montage plus adapté aux capteurs de bonne qualité. L'autre avantage de ce montage est sa possiblité de fonctionner en différentiel, ce qui permet d'améliorer les performances, notamment au niveau des diverses réjections.

Un dernier montage parfois utilisé est le montage transrésistance. Il possède un gain qui croît avec la fréquence. L'avantage essentiel est la compensation de la courbe du bruit de mer qui décroît avec la fréquence. Ceci permet de limiter les problèmes de dynamique sur les signaux à basse fréquence. Nous n'aborderons pas ce montage dans cette étude, car il n'est utilisé que dans des configurations assez particulières.

4.3.2 Optimisation d'un montage 'amplificateur de tension'.

4.3.2.1 Montage de base



fig. 4.26

Le montage de base est représenté à la figure 4.26. Le capteur est connecté à l'entrée positive de l'amplificateur. Cette entrée est polarisée à l'aide de la résistance R_g qui est de forte valeur pour limiter la chute d'impédance en ce point. Le gain est contrôlé par la contre-réaction réalisée à l'aide des résistances R_1 et R_2 . Chaque résistance produit un bruit thermique. L'amplificateur est supposé ne pas introduire de bruit en courant (impédance d'entrée infinie). Son bruit équivalent en tension ramené en entrée E_n contient les contributions de tous ses éléments internes. Enfin, la capacité de connexion est représentée par C_c . C_{in} correspond à la capacité d'entrée équivalente de l'amplificateur ramenée à la masse.

Le gain en tension du montage est donné par

$$\frac{V_{o}}{E} = \left(1 + \frac{R_{2}}{R_{1}}\right) \frac{s R_{g} C_{h}}{1 + s R_{g} (C_{h} + C_{in} + C_{c})} \qquad (s = j\omega) \qquad (4.7)$$

On retrouve la fonction passe-haut de constante de temps $\tau = R_g \cdot (C_h + C_{in} + C_c)$ définie au chapitre 1. A fréquence intermédiaire, le gain en tension devient

$$\frac{V_o}{E} = \left(1 + \frac{R_2}{R_1}\right) \left(\frac{C_h}{C_h + C_{in} + C_c}\right)$$
(4.8)

Le gain est donc directement affecté par le diviseur capacitif dû à C_{in} et

C_c.

Aux fréquences utiles, le bruit total E_{nt} ramené à la source du signal acoustique E est donné par

$$SE_{nt} = \left[SE_{n} + 4KT\left(\frac{R_{1}R_{2}}{R_{1} + R_{2}}\right)\right] \left[\frac{C_{h} + C_{in} + C_{c}}{C_{h}}\right]^{2} + \frac{4KT}{R_{g}s^{2}C_{h}^{2}}$$

$$(4.9)$$

Pour minimiser ce bruit, il convient donc

- de minimiser E_n

- de prendre un couple R_1, R_2 tel que $R_1//R_2$ soit minimal

- de minimiser la capacité de connexion

- de minimiser la capacité d'entrée de l'amplificateur C_{in}

- de prendre R_g maximale.

La formule générale du bruit pour le montage et ses critères d'optimisation étant connus, nous allons maintenant essentiellement tenter de minimiser la contribution du terme E_n qui représente le bruit de l'amplificateur. Nous allons détailler les caractéristiques de plusieurs types d'étages d'entrée de l'amplificateur à performance croissante. Par souci de simplicité, nous n'étudierons qu'un demi-étage différentiel pour chacun des cas.



4.3.2.2 Etage amplificateur MOS à charge active ou passive



La figure 4.27 donne le schéma simplifié du montage. Le transistor T1 constitue l'un des transistors d'une paire différentielle chargée par une charge active ou passive notée R_1 . Sa source est donc connectée à une masse virtuelle. Il est de type P pour minimiser le bruit 1/F. Nous avons volontairement fait apparaître les capacités grille-source C_{gs} et grille-drain C_{gd} . Ces capacités incluent les capacités intrinsèques et extrinsèques du schéma petit signal défini au chapitre 3. Les bruits thermique et 1/F du transistor T1 sont intégralement ramenés sous la forme d'un générateur de tension de bruit en série sur la grille intrinsèque. Ce générateur est inséré entre les capacités et la grille du transistor intrinsèque de manière à rendre son effet indépendant de l'impédance de source.

Par souci de clarté, nous allons considérer que T1 constitue la source de bruit dominante et nous négligerons la contribution des autres éléments du montage.

La capacité d'entrée équivalente C_{in} du montage qui apparaît dans l'expression du bruit (4.9) est dépendante du gain en tension du montage par l'intermédiaire de l'effet Miller

$$C_{in} \cong C_{gs} + C_{gd} (1 + g_{m1} R_1)$$
 (4.10)

L'optimisation du bruit thermique passe par une augmentation du rapport W/L à courant donné de manière à placer le transistor dans un régime de fonctionnement proche de la faible inversion. Le choix du courant de polarisation et du rapport W/L de T1 doit se faire à l'aide de l'abaque donnée à la figure 4.8.
L'optimisation du bruit 1/F est plus délicate. En effet, ce bruit est directement dépendant de l'aire de grille du transistor. Or, cette aire de grille conditionne la valeur de la capacité Cgs, la capacité Cgd se trouvant quant à elle limitée à la capacité extrinsèque de recouvrement grille-drain. Il convient donc d'étudier l'optimisation globale de ce bruit en incluant l'effet du diviseur capacitif. Si l'on s'intéresse uniquement à la contribution du bruit 1/F du transistor T1 définie par (4.1) et en négligeant l'influence de la capacité C_{gd} (gain en tension faible), on peut montrer que le minimum de bruit ramené à la source du signal acoustique est obtenu pour une capacité C_{gs} égale à C_h+C_c. Pour un capteur de faible capacité, il est donc facile d'évaluer rapidement par ce biais, le bruit 1/F minimal que l'on peut atteindre pour une technologie donnée et la surface du transistor T1 qui en résulte. Pour les capteurs de forte capacité (>250pF), il devient illusoire de vouloir intégrer un transistor T1 dont la capacité C_{gs} est égale à celle du capteur. La surface occupée serait inacceptable. Dans ce cas, on choisit la taille qui permet de respecter les contraintes d'un cahier des charges sans chercher l'optimum. De plus, les autres sources de bruit deviennent alors généralement prédominantes.

remarque:

il faut noter que nous avons négligé l'influence de la capacité C_{gd} . Ceci est une approximation valable si le gain en tension de l'étage est relativement faible. Dans le cas contraire, cette capacité affectée de l'effet Miller peut devenir prédominante ce qui remet en cause l'optimisation précédente. Néammoins, le calcul précédent a le mérite de situer la tendance générale de l'optimisation.

Pour le cas de montages à fort gain en tension, le diviseur capacitif peut s'avérer un point limitatif, notamment en raison de l'effet Miller sur la capacité C_{gd} . Afin de limiter ce dernier effet, il est possible de cascoder le montage.

4.3.2.3 Etage amplificateur MOS cascode à charge active ou passive



Le montage est donné à la figure 4.28. Contrairement au cas précédent, on peut ici tirer un gain en tension important sans pour autant faire croître l'influence de la capacité C_{gd} par effet Miller. Le gain en tension entre les bornes de C_{gd} est donné par

$$\frac{V_2}{V_{in}} = \frac{g_{m1}}{g_{ms2}}$$
(4.11)

Si l'on prend la précaution de choisir un rapport W/L suffisant pour le transistor M2 de manière à maximiser sa transconductance de source, ce gain peut être de quelques unités, rendant alors la contribution de la capacité C_{gd} négligeable par rapport à celle de C_{gs} . On retombe alors sur le critère d'optimisation du bruit 1/F défini auparavant.

La contribution du bruit du transistor M2 est faible en raison de la contreréaction locale du montage cascode (voir §4.2.1.4).

Nous avons jusqu'à maintenant négligé l'influence des bruits des autres composants de l'amplificateur. Il est utile de signaler que seuls sont affectés par le diviseur capacitif d'entrée, les bruits du premier étage de l'amplificateur. Si la structure choisie est celle d'un amplificateur à transconductance de type cascode replié, par exemple, le bruit concerné correspond à la somme des contributions de tous les transistors. En effet, ce type d'amplificateur ne comprend qu'un seul étage et toutes les contributions en bruit sont sommées sur le courant de sortie, le bruit total étant ramené sous la forme d'une tension de bruit sur l'entrée via la transconductance des transistors de la paire différentielle.

4.3.2.4 Couplage d'un suiveur MOS avec un étage amplificateur bipolaire



fig. 4.29

Le schéma du montage est donné sur la figure 4.29. L'amplificateur est maintenant scindé en deux étages distincts. Un premier étage est constitué d'un suiveur MOS (M1) polarisé par un générateur de courant I_{pol} et de gain 1/n. La source de M1 attaque un étage différentiel bipolaire latéral (Q1) qui peut être éventuellement cascodé.

La capacité C_{gs} se trouve maintenant placée entre l'entrée et la sortie du suiveur. Comme n est relativement proche de 1, la tension à ses bornes ne varie que très peu ce qui annule quasi-totalement son effet dans le diviseur capacitif d'entrée. Il ne reste donc à considérer que la capacité C_{gd} et la capacité de connexion C_c . Ces deux dernières capacités peuvent également être atténuées par le montage de la figure 4.30. Dans ce montage, un décaleur de tension permet au transistor M1 de garder sa tension drain-source constante, grâce à un décalage de tension obtenu à l'aide des transistors M2 et M3. Les tensions de source et de drain suivent alors la tension de grille (si n est proche de 1) et, par conséquent, l'effet des capacités C_{gs} et C_{gd} sur le diviseur capacitif d'entrée devient négligeable. La capacité C_c peut être annulée de la même manière à l'aide d'un autre suiveur.



fig. 4.30: montage à effet bootstrap de drain

Cette méthode permet un meilleur contrôle du gain en tension du montage. Malheureusement, le bruit du transistor M1 reste affecté du diviseur capacitif initial. La figure 4.31 montre un schéma de principe du système en supposant la seule présence du suiveur MOS constitué par M1. On y désigne par E_{n1} le bruit en tension ramené en entrée de l'étage suiveur (M1). Le bruit du reste de l'amplificateur est noté E_{n2} et se trouve placé à l'entrée du deuxième étage. La capacité C_{gs} est donc placée aux bornes de l'étage suiveur.



fig. 4.31

Le calcul du bruit total ramené au signal acoustique E à moyenne fréquence donne

$$SE_{nt} = SE_{n1} \frac{\left(C_{h} + C_{c} + C_{gs} + C_{gd}\right)^{2}}{C_{h}^{2}}$$

+ $SE_{n2} \frac{n^{2} \left(C_{h} + C_{c} + C_{gd} + (1 - \frac{1}{n}) C_{gs}\right)^{2}}{C_{h}^{2}}$ (4.12)

Le bruit E_{n1} reste en effet affecté du diviseur capacitif initial. Par contre, le bruit du reste de l'amplificateur est affecté d'un diviseur capacitif sensiblement réduit. En effet, le suiveur a permis de réduire fortement l'influence de la capacité C_{gs} . L'extension précédente aux capacités C_{gd} et C_c permettrait de quasiment supprimer l'effet du diviseur pour E_{n2} .

Ce montage présente donc l'intérêt essentiel de permettre un meilleur contrôle du gain en tension grâce à une minimisation de la capacité d'entrée du montage vue par le signal. Le bruit du premier étage reste affecté par le diviseur capacitif initial. Le bruit des étages ultérieurs n'est pas affecté. Parmi les autres avantages qu'offre ce circuit, il faut également citer la possiblité d'employer des transistors bipolaires latéraux pour l'étage de gain. En effet, l'impédance en sortie de l'étage suiveur est suffisamment basse pour que le bruit en courant sur la base du transistor bipolaire soit négligeable. L'intérêt de ces transistors est, comme nous l'avons déjà vu, leur très faible bruit 1/F et leur forte transconductance à courant donné. Ceci permet de réduire au maximum la contribution des étages ultérieurs au bruit total ramené en entrée.



4.3.2.5 Préamplificateur MOS à gain faible couplé à un étage amplificateur bipolaire

Dans le cas de capteurs à relativement forte capacité, il est parfois inutile de rechercher une réduction draconienne de la capacité d'entrée. Dans ce cas, le montage décrit à la figure 4.32 permet d'offrir le meilleur compromis entre les performances en bruit et la consommation de courant.

Le montage est encore constitué de deux étages. Le premier étage est un étage différentiel MOS à faible gain chargé par des résistances de faible valeur. Le deuxième étage est un étage différentiel réalisé à l'aide de transistors bipolaires latéraux et dont le gain est important.

L'idée est ici de profiter du gain en tension sur le premier étage pour réduire fortement les contraintes sur le bruit des étages suivants. Ceci permet de réduire très sensiblement la consommation de l'ensemble du montage. Il faut alors choisir la valeur optimale du gain du premier étage. La transconductance des transistors M1 et M2 doit être forte de manière à réduire le bruit ramené en entrée. Le faible gain est obtenu par la faible résistance de charge. Il est alors indispensable de prévoir un décalage de tension en mode commun (M5) de manière à placer le deuxième étage à un niveau de tension de mode commun acceptable. L'impédance présentée sur la base des transistors bipolaires du deuxième étage est encore suffisamment faible pour nous permettre de négliger le bruit en courant sur la base. Les autres critères d'optimisation du premier étage ont été décrits au §4.3.2.2.

4.3.2.6 Conclusions sur la structure 'amplificateur de tension'

Nous avons parcouru les caractéristiques d'un certain nombre de montages. Deux circuits originaux permettent d'optimiser le couplage au capteur. Pour les capteurs de faible capacité, il est préférable d'assurer un bon contrôle du gain en tension grâce au suiveur MOS sur l'entrée. Lorsque la capacité du capteur est plus importante, on peut admettre une capacité d'entrée plus forte et profiter alors du faible gain d'un premier étage amplificateur MOS pour abaisser les contraintes de bruit sur les étages suivants. Ceci permet une économie sur la dissipation de puissance. Ces deux derniers montages permettent également de profiter des avantages d'une amplification à l'aide de transistors bipolaires latéraux à très faible bruit 1/F et forte transconductance. Nous allons maintenant voir comment transposer ces résultats dans le cas de la configuration 'amplificateur de charge'.

4.3.3 Optimisation d'une configuration 'amplificateur de charge'

4.3.3.1 Montage de base





Le schéma de principe est représenté sur la figure 4.33. Cette fois l'entrée positive de l'amplificateur est relié à la masse. La capacité du capteur est connectée à l'entrée négative de l'amplificateur. Le système est contre-réactionné à l'aide d'un réseau R_{f} , C_{f} . La capacité sert à programmer le gain en tension du montage. La résistance sert à polariser la borne d'entrée positive de l'amplificateur.

Le gain en tension du montage est donné par

$$\frac{V_{o}}{E} = -\frac{s R_{f} C_{h}}{1 + s R_{f} C_{f}}$$
(4.13)

L'équation est celle d'un passe-haut de constante de temps $\tau = R_f C_f$. A fréquence intermédiaire, le gain devient

$$\frac{V_o}{E} = -\frac{C_h}{C_f}$$
(4.14)

La fonction de transfert est donc maintenant indépendante des conditions de connexion et de la capacité d'entrée de l'amplificateur. Cette caractéristique est intéressante si la capacité du capteur C_h est bien connue et contrôlée.

Le bruit total ramené au signal acoustique en entrée aux fréquences utiles est donné par

$$S E_{nt} = S E_n \left[\frac{C_h + C_{in} + C_c + C_f}{C_h} \right]^2$$

$$\frac{4KT}{R_f s^2 C_h^2}$$
(4.15)

Ce résultat est assez similaire à celui du montage précédent en faisant néammoins intervenir dans le diviseur capacitif la capacité de contre-réaction C_f . Dans l'hypothèse où le gain du montage est important, C_f est petit devant C_h et n'intervient que très peu dans l'expression du bruit. Il faut également noter la disparition des résistances pour la programmation du gain.

Hormis l'avantage très net de ce montage pour les conditions de connexion et l'effet de la capacité d'entrée de l'amplificateur, les performances en bruit ne sont pas améliorées par rapport au montage précédent. On retrouve la nécessité de minimiser C_c et C_{in} . R_f doit être prise aussi grande que possible.

4.3.3.2 Optimisation du montage

+

Toutes les améliorations traitées pour le cas de l'amplificateur de tension restes valides pour ce montage. Néammoins, celui-ci peut être utilisé en différentiel ce qui permet de le rendre moins sensible aux sources de bruit extérieures (alimentations, polarisation,...).

4.4 CONCLUSIONS SUR LA FAISABILITE

Nous avons présenté l'ensemble des critères d'optimisation en partant du dispositif de base pour arriver à la structure de montages complets pour capteurs capacitifs. Des techniques originales ont été présentées, utilisant des transistors bipolaires latéraux compatibles avec la technologie CMOS. Les caractéristiques et limitations de ces transistors ont été présentées de manière exhaustive.

Ce travail permet d'envisager sereinement la réalisation pratique d'un préamplificateur expérimental pour sonar. En effet, notre connaissance des limitations de la technologie et des principes de conception nous permet de cerner rapidement la faisabilité d'un cahier des charges. A la vue des critères définis cidessus, la gamme de fréquences utilisée pour les sonars (>100Hz) et les valeurs typiques de la capacité du capteur (200pF à 10nF) semblent compatibles avec une intégration d'un préamplificateur en technologie CMOS. Nous allons maintenant nous attacher à le prouver dans le cadre de la réalisation du circuit LNAMP02.

REFERENCES POUR LE CHAPITRE 4

[4.1] C.ENZ: "Analysis of the low-noise reduction technique by autozero technique", Electronic Letters, vol. 20, pp 959-960, Novembre 1984.

[4.2] C.ENZ, E.VITTOZ, F.KRUMMENACHER: "A CMOS Chopper Amplifier", IEEE Journal of Solid-State Circuits, SC-22, pp 335-342, Juin 1987.

[4.3] A.H.M.VAN ROERMUND: "Noise and Accuracy in Switched Capacitor Modulation Circuits", Thèse de Doctorat, Katholieke Universiteit Leuven, Departement Elektrotechniek, Juin 1987.

[4.4] C.ENZ: "*High Precision CMOS Micropower Amplifiers*", Thèse de Doctorat n°802 présentée aut Dpt d'électricité de l'Ecole Polytechnique Fédérale de Lausanne, 1989.

[4.5] E.VITTOZ: "Micropower Techniques", Design of MOS VLSI Techniques for Telecommunications, Y.TSIVIDIS et P.ANTOGNETTI (éditeurs), Prentice-Hall 1985.

[4.6] E.VITTOZ: "MOS Transistors operated in the lateral bipolar mode and their applications in CMOS technology", IEEE Journal of Solid-State Circuits, SC-18, pp 273-279, Juin 1983.

[4.7] K.R.LAKSHMIKUMAR, R.A.HADAWAY, M.A.COPELAND: "Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design", IEEE Journal of Solid State Circuits, SC-21, pp 1057-1066, Décembre 1986.

[4.8] E.VITTOZ: "The Design of High-Performance Analog Circuits on Digital CMOS Chips", IEEE Journal of Solid-State Circuits, SC-20, pp 657-665, Juin 1985.

[4.9] R.GREGORIAN, G.C.TEMES: "Analog MOS Integrated Circuits for Signal Processing", John Wiley & sons, 1986.

[4.10] M.BANU, J.M.KHOURY, Y.TSIVIDIS: "Fully Differential Operational Amplifiers with Accurate Output Balancing", IEEE Journal of Solid-State Circuits, SC-23, pp 1410-1414, Décembre 1988.

[4.11] K.L.LEE, R.G.MEYER: "Low-Distortion Switched-Capacitor Filter Design Techniques", IEEE Journal od-f Solid-State Circuits, SC-20, p. 1108, Décembre 1985.

[4.12] C.C.SHIH, P.R.GRAY: "Reference Refreshing Cyclic Analog-to-Digital and Digital-to-Analog Converters", IEEE Journal of Solid State Circuits, SC-21, p. 550, Août 1986.

[4.13] Y.P.TSIVIDIS, R.W.ULMER: "A CMOS Voltage Reference", IEEE Journal of Solid-State Circuits, SC-13, pp. 774-778, Décembre 1978.

[4.14] E.A.VITTOZ: "MOS Transistors Operated in the Lateral Bipolar Mode and their Application in CMOS Technology", IEEE Journal of Solid-State Circuits, SC-18, pp. 273-279, Juin 1983.

[4.15] M.G.R.DEGRAUWE et al.: "CMOS Voltage References Using Lateral Bipolar Transistors", IEEE Journal of Solid-State Circuits, SC-20, pp. 1151-1157, Décembre 1985.

[4.16] X.ARREGUIT: "Compatible Lateral Bipolar Transistors in CMOS Technology: Model and Applications", Thèse de Doctorat n°817 au Département d'Electricité de l'Ecole Polytechnique Fédérale de Lausanne, 1989.

[4.17] T.W.PAN, A.A.ABIDI: "A 50-dB Variable Gain Amplifier Using Parasitic Bipolar Transistors in CMOS", IEEE Journal of Solid-State Circuits, SC-24, pp. 951-961, Août 1989.

[4.18] I.GETREU: "Modeling the Bipolar Transistor", TEKTRONIX, 1976.

CHAPITRE 5:

PREAMPLIFICATEUR CMOS FAIBLE BRUIT LNA02

.

Afin de prouver la validité des approches théoriques développées dans les chapitres précédents, tant sur le plan du bruit dans les composants que sur celui de l'optimisation des montages, nous avons réalisé un premier prototype de circuit préamplificateur à très faible bruit en technologie CMOS. Le cahier des charges de ce circuit a été défini en accord avec THOMSON SINTRA ASM (Activités Sous-Marines) qui possède une grande expérience dans le domaine des préamplificateurs faible bruit hybrides dédiés aux applications sonar. Le but recherché dans cette partie de notre étude était de fournir à THOMSON SINTRA ASM un circuit CMOS monolithique qui soit concurrentiel des circuits hybrides actuels, tant sur le plan des performances techniques que sur celui du coût. Il fallait donc minimiser la surface occupée et tirer le meilleur parti des caractéristiques offertes par la technologie. L'obtention de performances acceptables avec ce produit permettrait d'envisager une intégration plus poussée des chaînes de traitement de signal associées aux transducteurs sonar.

Cet avant-dernier chapitre va donc être consacré à une présentation détaillée de ce prototype. Après un aperçu du cahier des charges de l'application, nous présenterons la structure générale du circuit complet. Cette structure sera simple et modulable de manière à nous permettre de valider plusieurs configurations. L'originalité de ce circuit réside surtout dans l'optimisation poussée des performances en bruit que nous avons menée grâce aux résultats des études présentées dans les précédents chapitres. Nous avons également développé une technique nouvelle permettant de contrebalancer certaines limitations des transistors bipolaires latéraux [2]. La réalisation pratique s'est faite sur la base d'un dessin de masques particulièrement soigné dans le but de tirer le meilleur parti des conditions d'appariement. Le circuit a été fabriqué dans une technologie CMOS 3 microns à caisson P. Nous présenterons les principaux résultats de mesure qui nous permettront de conclure quant aux conditions de faisabilité de circuits CMOS à très faible bruit pour les applications sonar. Nous proposerons quelques modifications pour le circuit dans la perspective de développement d'un circuit industriel fiable.

5.1 CAHIER DES CHARGES DU CIRCUIT LNA02

Dans le cadre d'une application aux chaînes de traitement du signal acoustique, l'intérêt essentiel du circuit préamplificateur faible bruit monolithique CMOS réside dans le remplacement des circuits hybrides BiFET actuels, afin d'ouvrir la perspective d'une intégration poussée au niveau système incluant l'ensemble des blocs de traitement allant du préamplificateur jusqu'à la numérisation.

Dans un cadre plus restreint, le circuit peut être utilisé seul, à condition d'être associé à des buffers puissants. Il est alors placé à proximité immédiate du capteur et assure la transmission du signal préamplifié sur une ligne basse impédance connectée à un système de traitement central qui peut être distant de quelques dizaines de mètres du capteur acoustique. L'objectif recherché est d'intégrer le préamplificateur complet dans le capteur. Les contraintes vont alors vers la recherche d'une optimisation de l'emcombrement et de la consommation de courant. Dans ce cas, le circuit est directement placé en concurrence avec les circuits hybrides existants en termes de performances et de coût.

Pour une première réalisation de prototype, le choix s'est porté sur la réalisation d'un préamplificateur 'stand-alone' à sorties basse impédance. Il fallait tenir les spécifications concernant le bruit tout en limitant la dissipation de puissance et la surface du silicium pour atténuer le coût dans une phase de production ultérieure.

La figure 5.1 donne le schéma bloc du circuit complet. Il est constitué d'un préamplificateur à entrées différentielles et sorties symétriques dont les sorties sont reliées à deux buffers de puissance. Ces derniers sont destinés à permettre l'attaque d'une ligne de transmission à basse impédance (50 Ohms).



Fig.5.1

Les données suivantes résument l'ensemble des spécifications définies en accord avec le partenaire industriel pour le circuit LNA02.

caractéristiques du capteur:

- capacité de l'hydrophone: $200 \text{pF} < C_h < 10 \text{nF}$
- possibilité de capteur différentiel

caractéristiques de l'étage préamplificateur:

- entrées différentielles et sorties symétriques
- bande passante > 100 KHz
- gain: 20 dB < G < 40 dB
- gain programmé par des composants externes
- bruit blanc limité à 3nV//Hz dans la bande de fréquences
- bruit 1/F limité à 3nV//Hz à 3 KHz

caractéristiques des buffers de sortie:

- bande passante compatible avec celle du préamplificateur

- charge de 50 Ohms en sortie
- bruit limité pour ne pas trop affecter les caractéristiques du circuit complet en configuration de gain minimale

- protection contre les court-circuits en sortie

caractéristiques globales:

- amplitude max du signal en sortie : 2 V RMS différentiel
- dissipation totale: 100mW max
- alimentation +/-5V a +/-10%
- distortion harmonique < -60 dB
- -PSRR > 60 dB
- CMRR > 60 dB
- surface compatible avec l'intégration dans un boîtier SOIC 16 broches.

5.2 STRUCTURE GENERALE DU CIRCUIT ET SPECIFICATIONS

Comme il s'agissait avant tout de valider les résultats théoriques énoncés précédemment, nous avons volontairement choisi une structure de circuit souple et ouverte permettant la mesure des caractéristiques dans plusieurs types de configuration. La figure 5.2 montre la structure interne simplifiée du circuit.





L'étage préamplificateur faible bruit est implémenté sous la forme d'un amplificateur différentiel à transconductance à sorties symétriques (TPA). Une circuiterie interne est prévue pour assurer la régulation de mode commun sur la sortie. L'extraction du mode commun sur le signal de sortie est réalisée à l'extérieur du circuit par un pont diviseur résistif entre les sorties différentielles. Nous verrons plus loin les raisons qui ont motivé ce choix. Chaque sortie du préamplificateur est connectée à un buffer suiveur capable d'attaquer une charge de 50 Ohms.

Pour l'application visée, le choix d'architecture s'est porté sur une configuration du type 'amplificateur de charge'. Dans ce cas, le circuit est câblé suivant le schéma donné sur la figure 5.3. Le gain dépend alors du rapport entre la capacité de l'hydrophone (C_h) et la capacité placée en contre-réaction sur le préamplificateur (C_f).



fig.5.3

Afin de permettre un contrôle plus fin des caractéristiques intrinsèques du préamplificateur et dans le but de vérifier certaines hypothèses énoncées au chapitre 4 pour réduire la capacité d'entrée, nous avons prévu la possibilité de faire fonctionner le circuit en boucle ouverte en configuration 'amplificateur de tension' différentiel. La figure 5.4 montre le schéma électrique correspondant.





153

Dans ce cas, le gain est programmé par le rapport entre les résistances placées sur chacune des sorties et la résistance fixant le courant de polarisation. Notons au passage qu'il n'est pas possible de trouver une configuration 'amplificateur de tension' <u>différentielle</u> qui puisse fournir la haute impédance d'entrée requise par l'application tout en apportant les avantages d'un fonctionnement <u>en boucle fermée</u> (stabilité du gain, distortion,...). Le fonctionnement en boucle ouverte n'a ici pour seul but que d'offrir une grande souplesse de configuration de l'étage afin de permettre une caractérisation plus poussée du circuit en phase de test. La compatibilité avec le montage précédent nous impose de pouvoir ajuster le gain du circuit à l'aide des résistances de charge. Celles-ci doivent donc être placées à l'extérieur du circuit ce qui simplifie le problème de l'extraction du signal de mode commun en sortie.

Les deux buffers de puissance montés en gain unité permettent de sortir le signal différentiel sous très faible impédance. La connexion entre les buffers et les sorties du préamplificateur est externe afin de permettre un test plus spécifique des buffers.

Un bloc de polarisation permet de programmer l'ensemble des courants et tensions de polarisation internes par l'intermédiaire d'une résistance extérieure (R_{pol}) .

Il est important de signaler ici que le découpage en morceaux élémentaires et le recours à un grand nombre de composants extérieurs résultent du soucis de pouvoir modifier les conditions de fonctionnement en phase d'évaluation du prototype. Il est clair que dans le cadre d'une application finale, les choix se porteront sur une intégration maximale et la structure du circuit devra être adaptée en conséquence.

5.3 STRUCTURE DETAILLEE DES DIFFERENTS BLOCS

5.3.1 Etage préamplificateur à très faible bruit

5.3.1.1 Architecture générale de l'étage préamplificateur

La structure interne du préamplificateur est détaillée sur le schéma de la figure 5.5.

L'étage d'entrée est de type différentiel et sa structure est directement le résultat des travaux présentés au chapitre 4. En effet, nous avons vu précédemment que pour les deux configurations envisagées (amplificateur de tension et amplificateur de charge), les critères d'optimisation du bruit dans le préamplificateur étaient les mêmes. La différence ne concernait que le calcul du gain en tension.



.

-

fig.5.5

Dans le cas de l'amplificateur de charge, rappelons simplement que le gain en tension est indépendant des capacités d'entrée et de connexion au capteur.

Deux montages ont été proposés pour l'étage d'entrée du préamplificateur:

Le premier montage associe deux suiveurs MOS à canal P à un étage différentiel bipolaire latéral. La capacité d'entrée du préamplificateur peut alors être fortement atténuée par une technique d'effet bootstrap de drain (voir § 4.3.2.4) de manière à bien contrôler le gain en tension dans le cas d'une configuration 'amplificateur de tension'. La forte transconductance de l'étage différentiel bipolaire permet également de minimiser le bruit ramené par le reste des éléments de l'amplificateur.

Le deuxième montage associe un étage différentiel MOS de faible gain à un deuxième étage différentiel bipolaire latéral. L'intérêt de cette solution est la réduction des contraintes de bruit sur le deuxième étage qui permet de minimiser dans une certaine mesure la consommation du deuxième étage. Néammoins, dans ce cas, la capacité d'entrée peut devenir importante et ce montage doit être réservé à la configuration 'amplificateur de charge'.

La première des deux solutions présentées ci-dessus a été choisie pour notre circuit prototype. En effet, elle permet d'adopter facilement les deux types de configuration envisagées, tout en offrant la possibilité de vérifier notre technique de réduction de la capacité d'entrée.

Outre la structure de l'étage d'entrée précisée ci-dessus, le reste du préamplificateur est construit sur la base d'un montage différentiel de type 'folded cascode' à sorties symétriques. La structure totalement différentielle est l'une des contraintes fixée par le cahier des charges. Elle s'avère très utile pour améliorer les réjections diverses. Les composantes de bruit provenant des circuits de polarisation ou des alimentations interviennent en mode commun et sont donc, au premier ordre, éliminées du signal différentiel en sortie.

La circuiterie de régulation du mode commun (M24-M28) sera détaillée un peu plus loin dans cette partie. Néammoins, on peut déjà signaler que le contrôle du mode commun en sortie est fait au travers d'un signal de mode commun (CMFB_CTRL) pour éviter l'adjonction d'une composante de bruit différentielle sur le signal en sortie.

Voyons maintenant comment ont été fixées les dimensions des différents transistors ainsi que la valeur des courants de polarisation.

5.3.1.2 Calcul du préamplificateur

(Le traitement qui suit fait référence au schéma de la figure 5.5)

Afin de permettre une optimisation rapide des performances de la structure, nous avons codé les équations qui régissent le gain et le bruit du montage sur un tableur. Les valeurs initiales des paramètres de l'optimisation ont été choisies en fonction des critères énoncés dans les études théoriques.

Le suiveur MOS d'entrée est constitué à la base du transistor M1 (ou M2). Il est polarisé par un courant issu de M3 (ou M4). M1 (ou M2) et M3 (ou M4) sont des transistors à canal P pour limiter le bruit 1/F. Pour tirer le meilleur parti du montage, on peut minimiser le bruit thermique lié à M1 (ou M2) en faisant travailler ce transistor dans un régime proche de la faible inversion. Dans ce cas, sa transconductance est maximale à courant de polarisation donné. Le choix du meilleur compromis 'rapport W/L <-> courant de polarisation' est obtenu à partir de l'abaque donnée à la figure 4.8. On y voit que pour un bruit thermique équivalent ramené à l'entrée de l'ordre de 1 nV//Hz, il faut travailler à un courant de l'ordre de 1 mA avec un transistor dont le rapport W/L est proche de 10000 ! Un tel transistor placé dans ces conditions de polarisation est effectivement placé dans un régime d'inversion modérée. La surface de grille nécéssaire sur le même transistor pour amener le bruit 1/F à une valeur de l'ordre de 1 nV//Hz à la fréquence de 1 KHz est obtenue en extrapolant les résultats de mesure donnés par l'abaque de la figure 4.9. On constate alors que la surface de grille nécessaire est proche de 10⁵µm².! Ceci nous amène une capacité de grille de l'ordre de 80pF. Nous verrons plus loin comment faire le dessin des masques d'un tel transistor sur un minimum de surface de silicium. M1 (ou M2) est soumis à un potentiel source-substrat assez important. Ceci va réduire la dynamique de mode commun sur l'entrée. En contrepartie, la forte polarisation substrat permet de tirer une plus forte transconductance à courant donné (voir § 3.4.2.2) et assure également un gain du montage suiveur plus proche du gain unité (1/n où n est d'autant plus proche de 1 que la polarisation substrat estimportante).

Le courant de polarisation du suiveur est fourni par le transistor M3 (ou M4). Le bruit thermique dû à ce transistor intervient sous la forme d'une tension de bruit ramenée à l'entrée donnée par

$$V_{\text{nth}_3}^2 = \frac{I_{\text{nth}_3}^2}{g_{\text{m}_1}^2}$$
 (5.1)

Le courant de polarisation étant fixé par les contraintes liées au transistor M1 (ou M2), on peut minimiser l'influence du courant de bruit de M3 (ou M4) en faisant travailler ce transistor en régime de forte inversion profonde. Ceci mène à une augmentation importante de la tension de saturation ce qui a pour conséquence de limiter la dynamique positive de mode commun sur le signal d'entrée. Il faut de plus noter que le choix du régime de forte inversion permet également de limiter la transconductance du transistor à courant de polarisation donné ce qui minimise l'influence de son bruit 1/F sur le bruit total ramené en entrée du circuit. En effet, le bruit 1/F du transistor M3, ramené à l'entrée du circuit, est atténué dans le rapport des transconductances respectives de M1 et de M3.

Les transistors M5-M7 (ou M8-M10) réalisent le 'bootstrap de drain' décrit au § 4.3.2.4. Ce montage sert à minimiser la capacité d'entrée. Ceci est important pour le contrôle du gain dans le cas d'une configuration 'amplificateur de tension'. Nous verrons plus tard que ce montage nous a permis de réduire la capacité d'entrée de plus d'un ordre de grandeur. Le bruit supplémentaire apporté est négligeable car il n'intervient pas directement sur le chemin du signal. En effet, le bruit apporté par les transistors M5-M7 peut être observé sous la forme d'une légère modulation de la tension drain-source du transistor M1. L'effet qui en résulte sur le bruit ramené en entrée est quasi-négligeable car ce bruit est atténué dans le rapport de la transconductance de M1 à la conductance de sortie du même transistor M1.

La transconductance du montage est apportée par l'étage différentiel à transistors bipolaires latéraux compatibles CMOS. Le courant de collecteur des transistors Q1 et Q2 est injecté sur le montage 'folded cascode' pour être transité vers les charges disposées sur les sorties différentielles. Les bruits associés aux transistors cascode M18-M21 n'interviennent quasiment pas dans le bruit total ramené en entrée (voir § 4.3.2.3). Les sources de courant M22 et M23 sont polarisées en régime de forte inversion profonde de manière à limiter l'influence de leur bruit (pour les mêmes raisons que celles évoquées à propos de M3 et M4). Il en est de même pour les sources de courant M16 et M17 mis à part le fait que ces transistors sont à canal N et que leur bruit 1/F est beaucoup plus important. Leur surface sera donc plus importante à rapport W/L donné.

La source de courant M11 de l'étage différentiel bipolaire latéral est contrôlée par une tension de polarisation particulière VBBIP. Nous en détaillerons la génération plus loin dans cette partie. En ce qui concerne son bruit, il faut noter qu'il intervient en mode commun et que, par conséquent, il n'a pas d'influence au premier ordre sur le bruit différentiel. Cette remarque est moins vraie si l'étage différentiel est entaché d'un offset. Dans ce cas une petite partie du bruit de M11 est injecté sous forme différentielle mais la contribution reste néammoins négligeable.

Tous ces critères d'optimisation ont été introduits dans le tableur et nous ont permis de mettre au point l'étage préamplificateur après quelques boucles d'optimisation.

5.3.1.3 Etage de polarisation et calcul du gain en tension

Le schéma du circuit de polarisation est donné à la figure 5.6.

La référence de courant est obtenue à l'aide d'un montage qui permet d'appliquer aux bornes d'une résistance externe R_{pol} la différence de potentiel de deux jonctions base-émetteur de transistors bipolaires (QB1-QB2) polarisés par un même courant mais possédant des aires différentes. Cette différence de potentiel est proportionnelle à la température absolue (PTAT) et le courant ainsi obtenu est inversement proportionnel à la résistance. L'égalité des courants dans les deux transistors est garantie (aux courants de base de QB1 et QB2 près) par la présence d'un miroir de courant cascodé MB1-MB4. Préamplificateur CMOS faible bruit LNA02



fig.5.6

Le courant de référence est alors donné par:

$$I_{pol} = \frac{U_t}{R_{pol}} Ln(K)$$
 (5.2)

où K est le rapport entre les aires d'émetteur de QB2 et QB1.

Le courant de référence étant généré, il est alors aisé, par l'intermédiaire d'une série de miroirs de courant, de générer l'ensemble des tensions de polarisation nécessaires aux différentes sources de courant du préamplificateur (sauf pour M11 qui fera l'objet d'une étude plus détaillée).

Il faut noter que le signal sur chacune des sorties différentielles du préamplificateur doit pouvoir atteindre l'amplitude de 1V RMS sans subir de forte distortion. Pour minimiser le bruit des différentes sources de courant, nous les avons polarisé en inversion profonde au détriment d'une tension de saturation par conséquent devenue importante. Afin de nous autoriser cette contrainte tout en conservant une dynamique en amplitude de signal acceptable sur la sortie, nous avons choisi un schéma de polarisation des grilles des transistors cascode nous permettant de placer les transistors des sources de courant (M16, M17, M22, M23) en limite de saturation [1]. Le schéma, constitué par les transistors MB3-MB6 est répété pour la polarisation des transistors cascode N (MB8-MB11). Le gain en dynamique ainsi obtenu est alors proche de la tension de seuil (environ 1 V).

La polarisation VBIN des sources de courant M3 et M4 du préamplificateur est assurée par le transistor MB14. Elle diffère de celle appliquée sur les sources de courant de l'étage cascode (VBP) car M3 et M4 sont des éléments critiques pour le bruit et doivent être polarisés en très forte inversion. Leur tension de saturation est par contre moins critique que dans le cas des sources de l'étage cascode car elle ne fait qu'apporter une limitation sur la dynamique du signal de mode commun admissible sur l'entrée.

Le gain en tension du préamplificateur est fixé à l'aide des résistances de charge placées sur les sorties différentielles. Son expression est donnée par:

$$G = g_{\text{mbip}} R_{\text{L}} = \frac{A I_{\text{pol}}}{U_{\text{t}}} R_{\text{L}} = \frac{A \left(\frac{U_{\text{t}}}{R_{\text{pol}}} \ln (K)\right)}{U_{\text{t}}} R_{\text{L}}$$

$$G = A \ln (K) \frac{R_{\text{L}}}{R_{\text{pol}}}$$
(5.3)

où A est le rapport entre les courants disponibles sur les sources de courant M16-M17 et le courant de polarisation I_{pol} .

Ce gain est totalement indépendant de la température à condition que les résistances R_L et R_{pol} soient de même coefficient de température. Il ne dépend que d'un rapport de résistances et de rapports géométriques. Pour ce circuit prototype, les résistances R_L et R_{pol} ont été placées à l'extérieur par soucis de souplesse en phase de test. Pour un montage 'amplificateur de tension' à gain fixe en boucle ouverte, l'expression précédente donne directement le gain en tension. Dans le cas d'un montage contre-réactionné du type 'amplificateur de charge', le gain du préamplificateur en boucle ouverte doit être très important pour amener à une précision suffisante du gain en boucle fermée. Dans ce dernier cas, R_L est prise très grande (de l'ordre de 1 MEGOhms) et le gain en tension global dépend alors du rapport entre la capacité de l'hydrophone (C_h) et celle placée en contre-réaction (C_f).

5.3.1.4 Atténuation du gain de mode commun

En dépit de leurs bonnes performances en matière de transconductance et de bruit, les transistors bipolaires latéraux possèdent un certain nombre de limitations que nous avons décrites auparavant (voir § 4.2.3.2). Nous avons en particulier fait mention de la variation du rapport α entre le courant émetteur et le courant collecteur en fonction de la tension V_{ce} appliquée sur le transistor. α est également un paramètre fortement dépendant du process technologique. Ceci nous empêche de contrôler la valeur exacte du courant sur le collecteur des transistors bipolaires latéraux amenant ainsi un risque d'apparition d'un signal de mode commun important sur la sortie.





La figure 5.7 montre un schéma classique permettant de supprimer les effets la variation de α avec le process technologique. Les courants collecteur latéraux des transistors Q1 et Q2 sont forcés à une valeur égale à I_{ref} en raison de la présence du transistor bipolaire latéral monté en diode Q_d dans le réseau de polarisation. Malheureusement, cette technique ne permet pas de prendre en compte les effets de modulation de α avec la tension V_{ce} appliquée sur les transistors bipolaires. En effet, si la paire différentielle est soumis à un signal de mode commun sur l'entrée, la tension V_{ce} des transistors Q1 et Q2 s'en trouve affectée ce qui produit une modulation des courants I_{c1} et I_{c2} par l'intermédiaire du paramètre α . Ceci introduit une variation du mode commun sur la sortie qui doit être compensée par la circuiterie de régulation de mode-commun (CMFB). En supposant que pour une variation de 1V sur le mode commun en entrée, les courants I_{c1} et I_{c2} sont affectés d'une variation relative de 5%, on peut montrer aisément que dans le cas optimiste où la transconductance de la circuiterie de régulation de mode commun est égale à celle de la paire différentielle d'entrée, le gain de mode commun du montage ne peut être inférieur à -52 dB [2].

Nous proposons ici une variante originale du schéma de polarisation de la paire différentielle bipolaire qui permet d'atténuer fortement ce gain de mode commun [2]. Un schéma simplifié du montage est donné à la figure 5.8. L'idée consiste à placer dans le circuit de polarisation une réplique de l'étage cascode pour les signaux de mode commun. La sortie de ce montage est utilisée pour piloter la grille des transistors M11 et M13. Les transistors QCM, Q1 et Q2 sont parcourus par une même densité de courant et sont soumis au même potentiel V_{ce} . La tension de mode commun sur l'entrée, prelevée à l'aide d'un simple diviseur résistif placé entre les bases des transistors Q1 et Q2, pilote la base du transistor QCM. La boucle de

contre-réaction formée par QCM, M13 et M14 ajuste automatiquement le courant émetteur des transistors bipolaires latéraux QCM, Q1 et Q2 au travers des sources de courant M11 et M13 de manière à garder les courants collecteurs de QCM, Q1 et Q2 constants, sans aucune dépendance aux variations de process technologique ou de la tension de mode commun sur l'entrée. Des simulations [2] ont permis de montrer que dans un cas idéal, le gain de mode commun pouvait être atténué de près de 60 dB par rapport au montage précédent. En fait, l'amélioration obtenue dans un cas réel sera plus faible en raison des défauts d'appariement entre les structures.



fig.5.8

5.3.1.5 Circuit de régulation du mode commun

La régulation du mode commun sur la sortie est assurée par le biais d'un étage différentiel (M25-M26) qui compare la tension de mode commun sur la sortie par rapport à une référence (voir figure 5.5). La charge M28 pilote les sources de courant M22 et M23 en ajustant le courant de manière à garantir une tension de mode commun sur la sortie égale à la tension de référence (qui est dans notre cas la masse). Ce montage, proposé par M.BANU *et al.*[3], permet de contrôler le mode commun par l'intermédiaire d'un montage à gain élevé et à large bande passante dont le bruit est injecté sous la forme d'un signal de mode commun. La stabilité de la boucle ainsi formée est assurée par une compensation externe placée au point milieu du pont résistif qui sert à l'extraction de la tension de mode commun et à la programmation du gain en tension du montage.

5.3.1.6 Quelques résultats de simulation

Dans le cas d'un montage du type 'amplificateur de tension', nous avons simulé le circuit l'étage préamplificateur en fixant le gain aux environs de 40 dB.

Les principaux résultats de simulation ont donné les caractéristiques suivantes:

Gain différentiel : 39.8 dB

Bruit :

7.8 nV/JHz @ 100 Hz 3.5 nV/JHz @ 1 Khz 3 nV/JHz @ 10 Khz

Bande passante ($R_L = 10 \text{ Kn} // C_L = 10 \text{ pF}$) : 600 KHz

Capacité équivalente à l'entrée : 6 pF (pour 100 pF de capacité de grille totale pour M1 et M3).

5.3.2 Buffer suiveur

Afin de permettre le transport du signal amplifié sur une longue distance, nous avons intégré dans le circuit un buffer suiveur à faible bruit capable de piloter une ligne coaxiale d'impédance caractéristique égale à 50 Ohms. Il fallait trouver une architecture d'amplificateur permetttant d'assurer la fonction demandée, tout en consommant un courant de repos relativement modéré et dont le niveau de bruit serait compatible avec celui du préamplificateur, y compris dans le cas d'une configuration à gain minimal (20 dB).

Une étude bibliographique nous a orienté vers une solution proposée par J.A.FISCHER en Juin 1987 [4]. Le circuit, dont le schéma est donné à la figure 5.9, était composé d'un premier étage du type 'folded cascode' à sortie asymétrique associé à un étage de puissance 'cross-coupled' à entrées différentielles bien connu des concepteurs en technologie bipolaire. Le passage entre l'étage d'entrée asymétrique et l'étage de puissance différentiel était assuré par un montage inverseur CMOS chargé par un autre inverseur identique ayant entrée et sortie court-circuités. Cet artifice permettait de multiplier la tension de sortie du premier étage par -1 pour permettre une attaque différentielle de l'étage de puissance. Dans [4], une étude détaillée a permis d'assurer un bon compromis entre le choix de la transconductance de l'étage de puissance (fixée par le courant de polarisation et la taille des transistors M13-M16) et la taille des transistors de sortie M22 et M24 dans le but d'aboutir à un niveau de distortion acceptable pour le suiveur placé en boucle fermée sur la charge nominale (100 Ohms).



fig.5.9

Nous avons mené une étude similaire pour notre buffer en réduisant la charge à 50 Ohms. Les tailles de transistors obtenues ont été moins larges que prévues initialement au regard des résultats publiés dans [4]. Il est probable que les simulations présentées dans cette référence aient été entachées d'une distortion numérique due à un nombre de points insuffisants pour l'analyse de Fourier. En prenant 100 points d'analyse par période du fondamental, nous sommes retombés sur les résultats obtenus dans [4]. Un passage à 1000 points nous a permis de réduire la distortion d'une valeur moyenne située entre 10 et 20 dB suivant les cas analysés.

La structure de notre buffer est donnée sur la figure 5.10. La différence essentielle entre notre circuit et celui détaillé ci-dessus concerne le choix d'un structure à sorties symétriques pour le premier étage. Ceci permet d'attaquer l'étage de puissance sans avoir recours à un étage de gain -1 relativement gourmand en courant. De plus, la stabilisation de l'amplificateur est plus simple grâce à la suppression du premier pôle non dominant du premier étage constitué par le miroir de courant M9-M12 (fig.5.10). L'étage de puissance étant peu sensible à la tension de mode commun, la régulation de mode commun a pu être assurée par le montage simple de précision moyenne déjà décrit au chapitre 4 (§ 4.2.3.3) utilisant un couple de transistors polarisés en zone linéaire (M24 et M25). La compensation de l'ensemble est assurée par deux capacités placées entre les noeuds de sortie et les sorties du premier étage (C1 et C2).

Le point délicat de l'optimisation de ce montage a essentiellement concerné le compromis entre le bruit ramené en entrée, la consommation et la stabilité. En effet, pour assurer un bruit faible, il faut augmenter la transconductance de l'étage d'entrée. Ceci nous pousse à augmenter la valeur de la capacité de compensation vue par le premier étage. Celle-ci est multipliée par effet Miller si le deuxième étage possède un gain important. Or, sur une charge de 50 Ohms, si l'on désire conserver un niveau de consommation de courant de repos et des tailles de transistors acceptables, le gain de l'étage de puissance reste proche de l'unité. L'augmentation de la transconductance du premier étage se traduit donc par une augmentation directe de la capacité de compensation. Pour limiter la valeur de cette capacité, nous avons donc choisi de limiter la transconductance du premier étage pour amener à un niveau de bruit à l'entrée qui soit acceptable et nous avons exploité la structure symétrique du double buffer suiveur couplé au préamplificateur. En effet, le circuit est équipé de deux buffers travaillant sur des signaux opposés. Il est donc possible de réduire d'un facteur 2 la taille des capacités de compensation des buffers si l'on prend la précaution de connecter ces capacités de manière judicieuse en couplant les noeuds concernés dans les deux buffers.

Les caractéristiques simulées du buffer sont les suivantes:

Puissance dissipée (1 buffer, $RL = 50\Omega$, Vout = 0): 17 mW

Caractéristiques en boucle ouverte ($RL = 50\Omega$, CL = 1 nF):

Gain: 50 dB Produit Gain-Bande: 1 MHz Marge de phase: 67°

Caractéristiques en boucle fermée ($RL = 50\Omega$, CL = 1 nF):

Gain: -25 mdB Bande passante (-3 dB): 1.7 MHz Aucun dépassement

Bruit ramené à l'entrée ($RL = 50\Omega$):

15 nV//Hz à 1 KHz 12 nV//Hz à 10 KHz

Distorsion harmonique ($RL = 50\Omega$, Vout = 1 Vrms):

-74 dB à 1 KHz -56 dB à 10 KHz



fig.5.10

166

5.4 DESSIN DES MASQUES

5.4.1 Choix de la technologie

Nous avions le choix entre deux technologies CMOS 3 microns à double niveau de polysilicium et double niveau de métal. Ces deux technologies se différenciaient par la nature opposée de leur caisson. Suite à des mesures de bruit, notre choix s'est porté sur une technologie à caisson P où les transistors P sont natifs et produisent un faible bruit 1/F. Ce choix nous a permis de gagner un facteur 4 sur la taille du bloc préamplificateur ! Il faut ici noter jusqu'à quel point les caractéristiques de la technologie concernant le bruit 1/F peuvent avoir de l'incidence sur le résultat final.

5.4.2 Dessin du préamplificateur

Nous avons vu au chapitre précédent que la recherche de bonnes performances en matière de bruit passait par un rejet de toutes les composantes de bruit en mode commun. Nous avons donc choisi une structure différentielle à sorties symétriques. Même si celle-ci est intrinsèquement plus performante que son homologue asymétrique, il convent de limiter toutes les sources de désappariement qui pourraient dégrader les performances. La recherche de l'optimum en la matière passe par une implémentation physique du circuit particulièrement soignée [5][6].

Afin de minimiser les offsets en courant, tous les transistors des sources de courant ont été construits sur la base de transistors élémentaires positionnés en parallèle et parcourus par la même densité de courant. Les grilles ont été considérées comme des zones interdites pour le routage en raison des variations de la tension de seuil qui pourraient en résulter. Les transistors des deux branches du montage différentiel ont été alternés et symétrisés par rapport au centre du circuit. Ceci permet une meilleure insensibilité des sources de courant aux gradients technologiques.

Le point critique du préamplificateur est, sans nul doute, l'étage d'entrée et, plus particulièrement, les transistors M1, M3 et Q1, Q2 (fig.5.5). Ceux-ci conditionnent la plus grande partie de l'offset du circuit. Les transistors M1 et M3 ont été dessinés sous la forme d'une structure croiséeà 4 blocs centrée sur le centre du circuit. Ceci permet de garantir une insensibilité de premier ordre aux gradients technologiques ou thermiques. Sont également atténués par cette implantation les dispersions liées au contraintes mécaniques appliquées sur la puce lors de son montage dans un boîtier [6]. La valeur importante du rapport W/L des transistors M1 et M3 est réalisée sur une surface de silicium minimale grâce au choix d'une forme particulière d'implantation proche de celle d'un moule à gaufres (fig.5.11). Cette technique est celle généralement utilisée pour la réalisation de transistors MOS de puissance. Elle permet également de minimiser la résistance d'accès à la grille ce qui améliore les caractéristiques de bruit.



fig.5.11

Les transistors bipolaires latéraux Q1 et Q2 sont regroupés en séries de 12 dispositifs (fig.5.12), les blocs étant placés autour des transistors M1 et M3 (fig 5.13). Là encore, nous avons respecté les contraintes de symétrie en alternant les blocs correspondant à Q1 et ceux correspondant à Q2. Le nombre important de transistors élémentaires composant les transistors Q1 et Q2 est lié à la volonté de réduire la résistance d'accès à la base. En effet, cette résistance est critique pour le bruit du montage par le fait qu'elle intervient directement dans la maille d'entrée. La faible densité de courant qui résulte de ce choix permet également de placer les transistors Q1 et Q2 dans une régime d'injection normale permettant de garantir une transconductance optimale.



fig.5.12

Le reste de la structure du préamplificateur est placé de manière concentrique autour du coeur décrit ci-dessus en respectant les mêmes concepts de symétrie (fig 5.13). Les transistors du bloc de polarisation sont intimement mêlés à la structure du préamplificateur de manière à assurer un maximum d'appariement entre les transistors qui génèrent les tensions de polarisation et les sources de courant qui sont commandées par ces tensions.



5.4.3 Dessin des buffers

Le problème essentiel dans l'implémentation physique du buffer est celui de la forte valeur du courant dans les transistors de sortie. Interviennent ici des limitations telles que l'électromigration dans les lignes de métal ou la densité de courant maximale admissible au travers d'un contact. De plus, les transistors de sortie génèrent par ce fait même une dissipation de puissance importante qui produit un front de chaleur qu'il convient de bien canaliser. En effet, les gradients thermiques peuvent également être la cause de la génération d'offsets.

Pour ces différentes raisons, nous avons implanté les transistors de sortie sur la gauche du circuit complet (fig.5.14) au voisinage immédiat des plots d'alimentation. Ceci répond à un soucis d'éviter une chute de potentiel par effet résistif au niveau des alimentations du préamplificateur. Le front de chaleur créé par cette partie du circuit est horizontal et se propage vers la droite. La symétrie dont fait preuve le bloc préamplificateur le rend insensible au premier ordre à ce phénomène thermique.

5.4.4 Circuit complet

Le circuit complet (fig.5.14 donnée à la page suivante) occupe une surface d'environ 15.04 mm² (4.47 mm * 3.365 mm). Cette surface est compatible avec une encapsulation en boîtier SOIC 16 broches.



5.5 RESULTATS DE MESURE

Cinquante prototypes nous ont été fournis. Nous avons effectué différentes mesures que nous allons maintenant brièvement présenter.

5.5.1 Test statique fonctionnel.

Afin d'évaluer le fonctionnement grossier du circuit, nous avons mis au point un test fonctionnel statique du circuit en configuration 'amplificateur de tension'. Ce test nous a permis d'évaluer la consommation moyenne du circuit au point de repos ainsi que les différents offsets. Les résultats sont résumés ci-dessous:

Caractéristique	val. moyenne	écart type
courant de polarisation I _{pol}	40.4µA	0.6µA
dissipation de puissance (incluant buffers)	85mW	10mW
Offset diff. à l'entrée	0	1.5mV
Offset de mode commun en sortie	10mV	8mV
Offset des buffers	0	7mV

Le faible offset différentiel en entrée résulte directement du soin apporté à l'implantation physique. La forte variation de la dissipation de puissance est due au report des offsets sur la charge de 50 Ohms en sortie. En effet, dans cette configuration, le gain amplifie les offsets. Le montage 'amplificateur de charge' est à ce titre plus performant car il n'amplifie pas l'offset présent sur l'entrée.

La faible valeur de la tension de mode commun en sortie montre l'efficacité de la régulation de mode commun. Elle est également liée à notre système d'asservissement du courant collecteur des transistors bipolaires latéraux.
5.5.2 Mesure de la réponse en fréquence.

5.5.2.1 Les buffers seuls.

La réponse en fréquence typique des buffers est donnée sur les figures 5.15a(module) et 5.15b(phase). Si les deux buffers sont couplés et attaqués en opposition de phase, la bande passante à -3 dB sur une charge de 50 Ohms est voisine de 1.2 MHz. Il faut noter que la stabilité est moins bonne lorsque l'on ne couple pas les deux buffers par les capacités de compensation.



fig.5.15b: réponse en fréquence des buffers - phase (1: non couplés, 2: couplés)

5.5.2.2 Configuration 'amplificateur de tension' avec buffers.

La réponse en fréquence typique du montage amplificateur de tension est donnée sur les figures 5.16a(module) et 5.16b(phase). On y retrouve le zéro lié au réseau $R_h//C_h$ et une réponse plate jusqu'à 100 Khz. Le gain est plus faible que celui donné par le calcul théorique (40 dB). Nous attribuons cet écart à une petite résistance de dégénération de la paire différentielle bipolaire (30 Ω en différentiel entre émetteurs). Cette résistance provient du bus métallique d'environ 2mm de longueur en métal1 (50 m Ω /carré). Elle est inévitable vue la taille de l'étage d'entrée.

La dispersion du gain sur 5 échantillons est caractéristique du fonctionnement en boucle ouverte où l'on devient sensible aux dispersions sur les caractéristiques des composants.



fig.5.16: configuration amplificateur de tension - sur 5 échantillons - Rl = 10KOhmsRh = 33MOhms Ch = 1NF -

La figure 5.17a montre un exemple du comportement en fréquence du CMRR pour deux échantillons. Tenant compte du fait de la structure différentielle complète du préamplificateur, on peut aisément imaginer que, si l'offset est nul, le CMRR tend vers l'infini. Nous avons un bon comportement du CMRR en fréquence dans la bande utile (< 100 Khz) qui peut être attribué à la large bande du circuit de régulation de mode commun placé en sortie du préamplificateur. L'écart entre les deux exemples cités n'est qu'un aperçu de la dispersion importante sur ce paramètre. La figure 5.17b donne une meilleure idée du comportement du CMRR en reliant le CMRR mesuré dans la bande de fréquences utile à la valeur de l'offset à l'entrée. On y retrouve la nette corrélation mentionnée ci-dessous, laissant prévoir un CMRR > 60 dB pour la quasi totalité des circuits. On retrouve là encore l'efficacité de notre implantation soignée et du double système de régulation du mode commun.



fig.5.17: réjection du mode commun en configuration amplificateur de tension - sur 2 échantillons - Rl=10KOhms Rh=33MOhms Ch=1NF - gain = 100.

La figure 5.18a montre les PSRR+ et PSRR- à montage symétrique et capacité d'hydrophone importante (cas optimal). La sensibilité plus importante à la tension de polarisation Vcc s'explique par la connexion systématique des collecteurs verticaux des transistors bipolaires latéraux au substrat (Vcc). Ceci module le rapport Ic/Ie = α des transistors bipolaires en fonction de Vcc.

La figure montre également la sensibilité accrue des PSRR lorsque l'on réduit la capacité d'hydrophone sur un montage symétrique. Ceci s'explique par l'augmentation de l'impédance de source qui rend le montage plus sensible au couplage aux alimentations, en particulier via les diodes de protection.

La figure 5.18b montre la dégradation importante des PSRR si l'on dissymétrise le montage. Ceci est en partie lié à la présence des diodes de protections qui introduisent un couplage capacitif aux alimentations. Si les impédances d'attaque sur les deux entrées sont symétriques, la perturbation intervient en mode commun et elle est alors atténuée. Dans le cas contraire, elle intervient comme un signal à amplifier et la réjection de l'alimentation se détériore.



fig.5.18: réjection des alimentations en configuration amplificateur de tension -Rl=10KOhms Rh=33MOhms Ch=1NF - gain = 100 - a) impédance de source symétrique b) impédance de source dissymétrique.

5.5.2.3 Configuration 'amplificateur de charge' avec buffers.

Dans cette configuration, le gain est fixé par des éléments extérieurs (R_f , C_f). Nous avons essayé de présenter plusieurs cas de configurations permettant de balayer les plages de gain admissibles.

Le figure 5.19 montre la réponse en fréquence de l'amplificateur de charge différentiel pour trois cas de configurations (gain max sur deux largeurs de bande et gain min). La bande passante pourrait s'avérer limite au gain maximal. Ceci est lié au fait que la sortie de l'étage préamplificateur à transconductance est compensé par la capacité de contre-réaction appliquée sur le montage. Si cette capacité augmente trop fortement, la bande passante diminue.

On voit nettement les possiblités d'ajustement de la fréquence de coupure basse au moyen du réseau de contre-réaction. Ceci est utile pour couper les très basses fréquences qui peuvent, dans les applications sonar, être sources de saturation par leur forte amplitude.



fig.5.19: configuration amplificateur de charge - réponse en fréquence.

5.5.3 Mesures de distorsion.

Conditions	VAMP+buffers (G=34.4dB)	QAMP + buffers (G = 10)/(G = 110)	buffers seuls single-ended
1KHz 2Vrms	-31 dB	-65.6/-66 dB	-67 dB
10KHz 2Vrms	-33 dB	-60/-62 dB	-58 dB
1KHz 1Vrms	-45 dB	-	-
10KHz 1Vrms	-45 dB	-	-
1KHz .25Vrms	-60 dB	-	-
10KHz .25Vrms	-60 dB	-	-

Le tableau suivant résume les mesures effectuées dans les différentes configurations:

Notes: les tensions spécifiées sont différentielles.

En ce qui concerne le buffer, la distorsion a été mesurée en single-ended. Ceci explique le fait que la distorsion de l'ensemble préamplificateur + buffer (mesurée en différentiel) soit meilleure que celle du buffer seul (effet de compensation des non-linéarités). Par ailleurs, les résultats des mesures effectuées sont en bon accord avec les simulations.

Ce tableau montre clairement l'avantage du fonctionnement en boucle fermée de la configuration amplificateur de charge.

On peut noter au passage que le slew-rate est suffisant pour ne pas ajouter de distortion. En effet, nous avons mesuré un slew-rate d'une valeur de $1.4V/\mu s$, aussi bien en montée qu'en descente, sur la configuration amplificateur de tension équipée des buffers attaquant leur charge nominale.

5.5.4 Les mesures de bruit.

5.5.4.1 Le buffer seul.

La figure 5.20 montre le spectre de bruit d'un buffer (entrée en courtcircuit). Le plancher de bruit thermique se situe aux alentours de 18 nV//Hz (valeur simulée: 12 nV//Hz), la fréquence de croisement se situant aux alentours de 300 Hz. Par rapport aux simulations effectuées, le circuit est meilleur en ce qui concerne le bruit 1/f (34 nV//Hz mesurés, 39 nV//Hz simulés à 100 Hz). On peut expliquer le surplus de bruit thermique observé par le fait qu'une part du bruit de mode commun se retrouve en sortie (effet des offsets), et par le fait que le courant de polarisation est inférieur à celui utilisé en simulation.



fig.5.20: bruit en tension à l'entrée du buffer





fig.5.21: bruit en tension à l'entrée du montage amplificateur de tension pour plusieurs configurations de gain et d'impédance de source

La figure 5.21 montre le spectre typique du bruit différentiel ramené en entrée du montage amplificateur de tension, dont le gain est fixé à 37 dB. Les entrées étant mises à la masse, le niveau de bruit thermique est à -169 dB//Hz (3.5 nV//Hz). Ce bruit est maintenu au delà d'une fréquence de 1 KHz. En deçà, le bruit remonte en 1/F pour atteindre environ 7 nV//Hz à 100 Hz.

Il est difficile de comparer ces résultats aux calculs théoriques développés précédemment (voir § 5.3.1.6). Nous avons vu, en effet, qu'il existait une dégénération systématique de l'étage différentiel qui a fait baisser le gain d'environ 3 dB. Cette dégénération joue également sur le bruit. Nous nous proposons donc de présenter de nouveaux résultats de simulation qui tiennent compte de cette dégénération.

Le tableau suivant donne ces résultats comparés à ceux de la figure (courbes 4 et 1).

Conditions de mesures	mesure	calcul
IN : GND Gain Noise at 100 Hz Noise at 1 KHz Noise at 10 KHz	36.3 dB 7 nV/JHz 3.8 nV/JHz 3.5 nV/JHz	36.4 dB 10 nV/JHz 4.5 nV/JHz 3.66 nV/JHz
IN+:100pF// 500 MA IN-:GND		
<i>Gain</i> <i>Noise at 100 Hz</i> <i>Noise at 1 KHz</i> <i>Noise at 10 KHz</i>	35.4 dB 112 nV//Hz 14 nV//Hz 7.5 nV//Hz	35.9 dB 93 nV/JHz 12 nV/JHz 6.8 nV/JHz

On voit maintenant une excellente cohérence entre les résultats de mesure et les simulations sauf pour le bruit 1/F qui est de nouveau légèrement surévalué. Ces résultats font également apparaître l'augmentation du bruit basse fréquence dès lors qu'un réseau RC est positionné sur l'entrée. Ceci est essentiellement lié au bruit thermique de la résistance R_h. Le niveau de bruit thermique augmente également lorsque la capacité d'hydrophone diminue. Ceci est dû à la capacité d'entrée de l'amplificateur (environ 100pF) qui n'intervient que pour le bruit. En effet, le signal n'est que peu attenué grâce au montage 'bootstrap de drain' positionné sur le suiveur d'entrée.

5.5.4.3 Amplificateur de charge

La figure 5.22 montre les mesures du bruit ramené en entrée pour deux cas de configuration de gain. On retrouve là encore l'influence du bruit du réseau RC de contre-réaction en basses fréquences. Le bruit thermique augmente également lorsque le rapport entre C_h et C_f diminue. Cette fois, il ne s'agit plus du problème de division capacitive car la capacité du capteur est beaucoup plus importante. Par contre, pour le capteur de plus faible capacité, le gain est réduit à 20 dB. On commence alors à voir apparaître le bruit thermique des buffers.



fig.5.22: bruit en entrée de la configuration amplificateur de charge

5.5.5 Conclusions sur les mesures

Les mesures effectuées sur le circuit nous permettent de mettre en évidence les points suivants:

- le niveau de bruit spécifié pour l'application est quasiment atteint. Le bruit 1/F est largement sous la valeur prévue à l'origine. Nous n'avions pas encore évalué exactement le bruit 1/F de la technologie suivant le modèle développé au chapitre 3 lorsque nous avons commencé la conception de ce circuit. L'évaluation du bruit 1/F s'est faite sur une simple mesure d'un transistor et la valeur mesurée a volontairement été majorée par sécurité. Il est donc normal que les résultats soient meilleurs que prévus. Pour le bruit thermique, la différence est liée à la présence de la dégénération 'parasite' de la paire différentielle bipolaire. Il faudra donc soigner davantage encore le dessin des masques dans une phase ultérieure.

- le montage 'amplificateur de tension' possède une bande passante correcte. Nous avons pu mettre en évidence l'efficacité du système de réduction de capacité d'entrée pour le maintien du gain en tension du montage à faible capacité d'hydrophone. Nous avons également vérifié que le diviseur capacitif d'entrée affectait quand même le bruit. Enfin, ce montage fonctionnant en boucle ouverte, il est sensible aux dispersions technologiques et n'offre pas un bon contrôle du gain en valeur absolue. De même, les résultats en distortion sont, comme on pouvait le prévoir, très mauvais. Il faut rappeler ici que ce montage n'a été conçu que pour vérifier le comportement en bruit et le système de réduction de la capacité d'entrée. Cet objectif est atteint. Néammoins, pour une réalisation industrielle, il conviendrait de transformer le montage en amplificateur de tension asymétrique contre-réactionné. Dans ce cas, on perdrait l'intérêt du montage différentiel pour la réjection des perturbations extérieures.

- le montage 'amplificateur de charge' nous semble le plus efficace. Son gain est bien contrôlé et sa distortion est minime. Pour le bruit, son comportement est similaire à celui du montage précédent. Il faudrait simplement améliorer sa bande passante dans le cas des configurations à fortes capacités de contre-réaction.

5.6 CONCLUSIONS ET PERSPECTIVES

Nous avons présenté, dans ce chapitre, les conditions d'optimisation des montages intégrables dans une technologie MOS. Nous avons, en particulier, détaillé les calculs de bruit dans plusieurs montages à complexité croissante.

Nous nous sommes attachés à décrire les caractéristiques et limitations du transistor bipolaire latéral compatible CMOS qui est un composant intéressant dans le cadre d'applications en faible bruit.

Nous avons proposé des structures originales permettant de réduire le bruit ramené en entrée d'un préamplificateur connecté à une source capacitive dans le cadre de deux configurations classiques: l'amplificateur de tension et l'amplificateur de charge.

Le savoir-faire a été validé par la conception, la réalisation et la mesure d'un circuit prototype. Les mesures ont révélé quelques limitations essentiellement dues à une architecture volontairement simple et modulable. Néammoins, ce circuit a permis une validation de tous les principes énoncés.

La faisabilité de préamplificateurs CMOS à très faible bruit pour sonar nous semble donc vérifiée. L'industrialisation du produit suppose, bien entendu, quelques retouches que nous n'allons pas détailler. Citons simplement qu'il paraît judicieux de choisir une structure 'amplificateur de charge' afin de pouvoir associer les qualités du montage différentiel à celles du montage contre-réactionné. Il faut supprimer les composants externes superflus et insérer un buffer entre la sortie de l'étage à transconductance et la charge en contre-réaction (R_f, C_f). Ceci permettra d'augmenter la bande passante, de supprimer les résistances R₁ externes et d'assurer la compensation et la régulation de mode commun en interne. Nous avons proposé cette structure dans une récente communication [5]

REFERENCES POUR LE CHAPITRE 5

[1] P.E.ALLEN, D.R.HOLBERG: "CMOS Analog Circuit Design", HRW Series in Electrical and Computer Engineering, 1987.

[2] J.P.BARDYN, A.KAISER: "Fully differential operational amplifiers using CMOS compatible lateral bipolar transistors with improved common-mode regulation", Electronic Letters, Vol.26, pp.798-799, 7th June 1990.

[3] M.BANU, J.M.KHOURY, Y.TSIVIDIS: "Fully Differential Operational Amplifiers with Accurate Output Balancing", IEEE Journal of Solid State Circuits, SC-23, pp.1410-1414, Décembre 1988.

[4] J.A.FISHER, R.KOCH: "A Highly Linear CMOS Buffer Amplifier", IEEE Journal of Solid State Circuits, SC-22, pp.330-334, Juin 1987.

[5] J.P.BARDYN, A.KAISER, B.STEFANELLI: "A Very Low-Noise Instrumentation Amplifier using a Standard Cmos Process for Digital Chips", Proceedings of the ESSCIRC'90, pp.29-32, Septembre 1990.

[6] D.M.MONTICELLI: "A Quad CMOS Single-Supply Op Amp with Rail-to-Rail Output Swing", IEEE Journal of Solid State Circuits, SC-21, pp.1026-1034, Décembre 1986.

1

CHAPITRE 6:

CONCLUSIONS GENERALES

7

١

186

L'objet de ce travail est de prouver qu'il est possible, avec les moyens technologiques actuels, de remplacer des circuits hybrides à très faible bruit par des réalisations monolithiques de même niveau de performances en technologie CMOS. Ceci permettrait d'envisager l'intégration monolithique de chaînes de traitement de signal pour capteurs, notamment dans le cadre des applications en acoustique sousmarine.

Nous avons, dans un premier temps, situé le problème du capteur acoustique dans son contexte. Nous avons présenté les contraintes de son environnement, les schémas classiques employés pour son électronique ainsi que l'influence de la nature des signaux reçus sur les caractéristiques de cette électronique. Ceci nous a permis de fixer quelques ordres de grandeurs utiles pour la suite.

Avant d'envisager le calcul d'un circuit analogique à très faible bruit, il nous fallait regarder de plus près les caractéristiques du composant de base. Nous nous sommes donc penchés sur l'étude des caractéristiques et des limitations du transistor MOS dans les applications analogiques pointues. Pour cela, nous avons rappelé les fondements théoriques de la physique de ce composant. Nous avons ensuite présenté un modèle de calcul du courant simple et fiable basé sur une approche graphique dite de 'Memelink' très pratique à l'utilisation. Ce modèle prend la référence des potentiels au substrat et permet de décomposer le courant en une composante qualifiée de *directe* et une autre appelée *reverse*, par analogie à l'approche développée par Ebers et Moll pour un transistor bipolaire. Ce modèle nous a également permis de présenter le comportement petit signal du transistor sous forme simple et utile.

L'un des apports essentiels de ce travail se situe dans l'évaluation du comportement du bruit dans le transistor MOS. Nous nous sommes focalisés sur l'analyse du bruit 1/F afin de construire, sur la base de travaux antérieurs, un nouveau modèle valide dans toute la gamme des tensions de polarisation. Ce modèle permet d'expliquer bon nombre de résultats qui ont, jusqu'il y a peu de temps, paru assez contradictoires. Il suppose que le bruit 1/F est fortement lié à la présence de pièges au voisinage de l'interface qui modulent le nombre de porteurs libres dans le canal. Cette variation de l'état de charge du canal et des pièges contribue à l'apparition de phénomènes d'intéraction coulombienne qui peuvent induire des variations de la mobilité des porteurs. Ces effets ont pu être mis en évidence par l'observation du comportement du bruit de transistors submicroniques. Le modèle que nous avons développé a été validé par une confrontation expérimentale. Il a révélé la nature d'un bruit 1/F quasi-constant que l'on peut approximer au premier ordre par une source de tension de bruit fixe en série sur la grille.

٩

Nous avons enfin présenté quelques limitations ou effets secondaires du transistor MOS réel. Notre approche a plutôt été celle d'un concepteur soucieux de comprendre les phénomènes physiques mis en jeu que celle d'un physicien soucieux de construire un modèle. Nous avons d'ailleurs signalé, à cet égard, la grande lacune actuelle dans le domaine de la modélisation du composant MOS analogique.

Ayant acquis cette connaissance du composant de base, nous nous sommes tournés vers l'utilisation des modèles pour optimiser les conditions de polarisation dans les circuits analogiques. Nous avons étudié le comportement de quelques montages de base et dégagé quelques grandes lignes de conduite pour l'optimisation de circuits plus complexes. Une étude originale et complète de l'influence de l'architecture générale d'un amplificateur continu sur ses performances en bruit a été présentée. Des montages nouveaux ont été proposés pour assurer le couplage d'un amplificateur faible bruit CMOS à une source capacitive.

Toutes ces conclusions théoriques ont pu être mises en oeuvre dans le cadre d'un circuit prototype. Au delà des aspects liés simplement au bruit, l'originalité de ce circuit réside également dans l'utilisation de transistors bipolaires latéraux et la compensation de certaines de leurs limitations. Une méthode a été proposée qui permet d'atteindre une réjection du mode commun jusqu'alors inégalée avec de tels transistors. Les mesures effectuées sur le circuit ont révélé quelques limitations mais nous ont permis de conclure à la faisabilité d'un circuit CMOS ayant des caractéristiques de bruit acceptables pour des applications en sonar.

A partir de ces travaux, il est possible de dégager quelques perspectives qui pourraient être envisagées dans un proche avenir.

Le modèle du transistor MOS proposé dans le chapitre 3 utilise une linéarisation de la courbe $V_t(V)$ pour le calcul du courant. Il sort de la théorie que le calcul fait à l'aide du diagramme de Memelink serait quasiment exact si l'on travaillait avec la courbe $V_t(V)$ réelle. Ceci permettrait de prendre en compte naturellement des effets comme le dopage non uniforme sous la grille, rendant ainsi complètement inutiles les approches très complexes et imprécises que l'on trouve dans les modèles de simulation actuels (approximation *step profile*, ...). Des travaux sont actuellement en cours en ce sens et semblent déjà très prometteurs.

Le modèle de bruit proposé ne trouvera sa pleine utilité que lorsqu'il aura pu être intégré dans un simulateur et dans un logiciel permettant d'extraire les paramètres à partir d'un jeu de mesures à définir. Il serait souhaitable de le valider sur un plus grand nombre de dispositifs provenant de technologies différentes.

Le circuit amplificateur à très faible bruit est, quant à lui, déjà en cours d'industrialisation sur la base des conclusions de ce travail de thèse. L'architecture est assez différente de celle de notre prototype. Elle intègre l'ensemble des modifications suggérées en conclusion du chapitre 5. Ce circuit est actuellement en cours de fabrication et nous espérons qu'il respectera l'intégralité de son cahier des charges. Néammoins, il nous semblerait intéressant d'approfondir des techniques dynamiques - telles que la méthode du chopper - appliquées au cas de sources capacitives. Ceci permettrait enfin de conclure sur la meilleure approche au problème de l'amplification de signaux issus de capteurs capacitifs.

1



RESUME

Ce travail a pour but d'évaluer les possibilités d'une intégration monolithique d'amplificateurs à très faible bruit dans une technologie CMOS.

Il présente les principales caractéristiques et limitations des dispositifs actifs de cette technologie pour des applications analogiques pointues. En particulier, le bruit 1/F du transistor MOS est caractérisé et modélisé par une approche unifiée valide pour tous les régimes de fonctionnement.

Dans le cadre d'applications en acoustique sous-marine, différents critères d'optimisation de l'amplificateur sont évalués. Ils ont été implémentés au sein d'un circuit prototype original de part certains aspects de sa structure.

Le niveau de performances atteint par ce circuit nous permet d'envisager le remplacement des actuels circuits hybrides BIFET.

Ceci ouvre la perspective d'une intégration monolithique de chaines de traitement de signal complètes pour des capteurs sonar.

MOTS-CLES

Microélectronique Microelectronics

Analogique Analog

Amplificateurs Amplifiers

Faible bruit Low-noise Modélisation Modelling

Transistor MOS MOS transistor

Bruit 1/F 1/F noise

Capteurs acoustiques Hydrophones