

50376
1990
59

69146 50376
1990
59

N° d'ordre : 528

THESE

présentée à

L'UNIVERSITE DES SCIENCES ET TECHNIQUES DE LILLE FLANDRES ARTOIS

pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE

spécialité : électronique

par

Serge HEMBERT



CONCEPTION ET REALISATION DE CONVERTISSEUR DE FREQUENCE ET D'OSCILLATEURS MONOLITHIQUES A TRANSISTORS A EFFET DE CHAMP

Soutenue le 15 mai 1990 devant la commission d'examen :

Membres du jury :	MM	G. SALMER	Président
		E. CONSTANT	Directeur de thèse
		J.F. SAUTEREAU	Rapporteur
		J. MARCOUX	Rapporteur
		E. ALLAMANDO	Rapporteur
		J.L. CAZAUX	Examineur
		B. CARNEZ	Examineur

Ce travail a été effectué au Centre Hyperfréquence et Semiconducteurs (C.H.S.) de l'université des sciences et techniques de Lille Flandres Artois dirigé par Monsieur le Professeur G. SALMER.

Je remercie Monsieur le Professeur E. CONSTANT qui m'a proposé le sujet de ce travail et en a assuré la direction. Qu'il me soit permis de lui exprimer toute ma gratitude pour l'aide et les conseils qu'il m'a prodigués tout au long de ce travail.

J'exprime ma reconnaissance envers Monsieur le Professeur G. SALMER qui me fait l'honneur de présider la commission d'examen.

Je témoigne à Messieurs le professeurs J.F. SAUTEREAU, Professeur à l'université de Toulouse, Monsieur J. MARCOUX ingénieur à électronique S. Dasault, et à Monsieur le Professeur E. ALLAMANDO, examinateurs de ce travail, toute ma reconnaissance pour leur participation à ce jury d'examen.

Mes remerciements vont également à Messieurs J.L. CAZAUX, B. CARNEZ ingénieur à Thomson pour leur participation à ce jury d'examen.

Je tiens à associer à ce travail Monsieur L. DHALLUIN avec qui j'ai collaboré pour la conception et la réalisation des oscillateurs monolithiques.

Je remercie l'ensemble du personnel du C.H.S. :

Mmes A. FOTTORINI, M.MIENS, Mlle P. LEGRY, Mrs P. ARMANT, M. FRANCOIS, A. LEROY, J.L. LORRIAUX, J. VANBREMEERSCH, D. VANDERMOERE.

Et en particulier Mr B. GRIMBERT qui a assuré l'ensemble des réalisations en circuit intégré dans notre centrale de technologie.

Mmes J. LECHIEN et D. VANBREMEERSCH pour leurs conseils en dactylographie.

Mmes E. DELOOS. S. LEPILLIET, Mr PLAYER de la centrale de caractérisation.

L'ensemble de l'équipe d'optoélectronique avec qui j'ai eu l'occasion de travailler.

Mr J.P. DEHORTER qui a assuré la reproduction de ce manuscrit

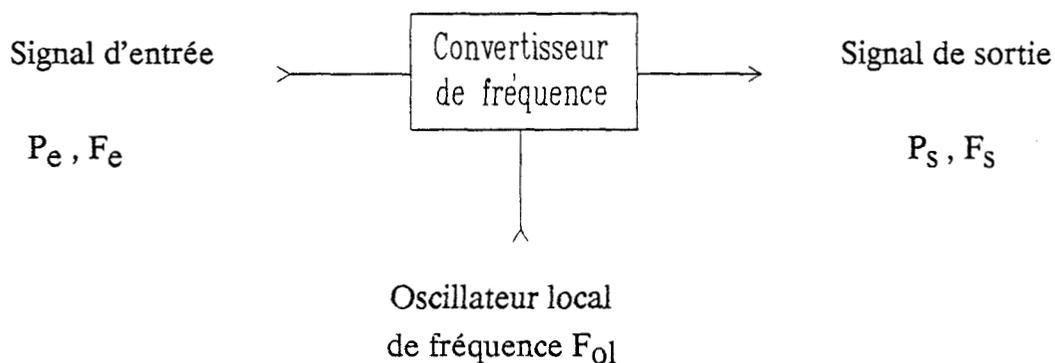
*INTRODUCTION
GENERALE*

De l'ensemble des recherches qui existent dans le domaine des systèmes hyperfréquences, on peut dégager deux axes principaux qui par ailleurs contribuent fortement à son développement :

- d'une part, une montée en fréquence pour des raisons bien évidentes de rapidité et d'augmentation de la bande passante,
- et d'autre part, l'intégration monolithique de manière à réduire principalement les coûts de fabrication des circuits.

Néanmoins, lorsque la fréquence devient trop grande, il est souvent nécessaire de transformer le signal en une fréquence plus faible de façon à faciliter son traitement.

C'est pourquoi, on constate que la plupart des dispositifs hyperfréquences sont associés à des convertisseurs de fréquence en vue de rendre possible l'exploitation du signal hyperfréquence. Ainsi, ces convertisseurs de fréquence constituent généralement le dispositif clé dans un système hyperfréquence. Ils peuvent se représenter de la façon suivante :



Les signaux d'entrée et de sortie sont respectivement caractérisés par leurs puissances P_e et P_s et leurs fréquences F_e et F_s . La caractéristique essentielle réside dans le fait que la fréquence F_s est une fonction simple (en général linéaire) de la fréquence F_e et F_{01} . Cette fréquence F_{01} (le plus souvent bien connue et très stable) est délivrée par un générateur auxiliaire appelé oscillateur local.

On définit :

- * le rapport de conversion R_f comme étant le rapport entre la fréquence d'entrée et celle de la sortie,
- * le gain de conversion G_c comme étant le rapport entre la puissance P_s et la puissance P_e .

$$R_f = \frac{F_e}{F_s} \quad \text{et} \quad G_c = 10 \log \left(\frac{P_s}{P_e} \right)$$

Nous considérons dans ce travail trois grandes catégories de convertisseur de fréquence :

- les convertisseurs abaisseurs à large bande
- les convertisseurs abaisseurs à bande étroite
- les transposeurs de fréquence

Les utilisations de ces dispositifs peuvent être variées et on peut citer quelques applications essentielles de ces systèmes :

- mesure de fréquence d'un signal micro-onde (compteur où généralement $F_s < 500$ MHz et $1 < F_e < 40$ GHz),
- récepteur hétérodyne permettant l'extraction d'un signal de modulation autour d'une fréquence intermédiaire pour éviter les bruits basses fréquences,
- transposeur de fréquence utilisé en télécommunications où il est indispensable de changer la fréquence de la porteuse pour éviter les interférences entre les signaux de réception et d'émission,
- contrôle de la fréquence d'un oscillateur micro-onde par comparaison avec un signal de fréquence étalon (quartz).

Les convertisseurs de fréquence sont dans la plupart des cas réalisés avec des diodes Schottky et en technologie non intégrée, il faut donc utiliser des circuits hybrides

pour réaliser complètement le système. Avec ce genre de dispositif les performances obtenues sont typiquement :

- * pour les convertisseurs large bande :
 $2 < F_e < 18 \text{ GHz}$, $10 < F_s < 500 \text{ MHz}$, $F_{01} = 1 \text{ GHz}$
 gain de conversion compris entre -20 et -40 dB
 harmoniques dans la bande de sortie à - 25 dB de la composante de sortie
- * pour les convertisseurs à bande étroite (ou transposeur) :
 avec un dispositif utilisant des diodes Schottky et un montage mélangeur doublement balancé, en bande X, des gains de conversion compris entre -3 et - 10 dB .

L'objectif principal de ce mémoire étant d'aboutir à une réalisation en circuit intégré monolithique, on peut se demander si ces dispositifs peuvent être constitués par le composant actif le plus utilisé actuellement dans les circuits monolithiques micro-ondes, c'est-à-dire le M.E.S.F.E.T. GaAs .

Le but de ce travail est donc d'étudier dans quelle mesure :

- * un transistor intégrable peut être utilisé pour réaliser un convertisseur de fréquence,
- * un circuit élémentaire composé d'un nombre peu élevé de composants peut remplir les fonctions précédemment citées.

Nous allons à partir d'une étude théorique et expérimentale essayer d'évaluer les performances que peuvent présenter des circuits de ce type. Les objectifs visés sont d'améliorer sensiblement les performances obtenues par les dispositifs hybrides classiques basés sur l'utilisation de diodes.

Dans ce but, le travail de recherche effectué peut se décomposer en trois grandes parties que nous décrirons successivement.

Tout d'abord, il nous a fallu choisir et concevoir le système de base de conversion de fréquence, puis évaluer ses performances dans différentes conditions de fonctionnement : convertisseur à large bande et à bande étroite, et transposeur de fréquence. Bien entendu, une telle évaluation a nécessité l'utilisation de méthodes de simulation variées que nous avons mises au point et le chapitre I sera consacré à la présentation des résultats obtenus dans tous ces domaines.

Le circuit de base étant défini, nous avons pu ensuite procéder à la vérification expérimentale de l'étude effectuée à partir de réalisation tant en technologie hybride que monolithique. Les travaux correspondants seront décrits dans le second chapitre.

L'un des principaux résultats des études exposées dans les deux premières parties, est d'avoir montré tant théoriquement qu'expérimentalement, qu'il était possible d'obtenir des gains de conversion relativement élevés même en utilisant des oscillateurs locaux de fréquence relativement faible (entre 10 et 100 MHz). De ce fait, l'utilisation de ce système de conversion pour stabiliser la fréquence d'un oscillateur hyperfréquence est parfaitement envisageable. Le troisième chapitre sera par conséquent consacré à la description des études qui ont été effectuées pour étudier la faisabilité de ce procédé. C'est ainsi que nous décrirons les différentes étapes de conception et de réalisation de différents circuits monolithiques associant les fonctions d'oscillation et de conversion de fréquence. Nous exposerons ensuite les premiers résultats obtenus dans cette voie nouvelle susceptible d'avoir de nombreuses applications.

SOMMAIRE

PREMIER CHAPITRE

CONCEPTION ET CHOIX DU CIRCUIT DE BASE

I.1 INTRODUCTION	I.1
I.2 ETUDE ANALYTIQUE	I.3
I.2.1 Introduction	I.3
I.2.2 Hypothèses simplificatrices	I.4
I.2.3 Sous-échantillonnage sur charge résistive	I.4
I.2.4 Sous-échantillonnage sur charge capacitive	I.7
I.2.5 Conclusion	I.13
I.3 SIMULATIONS	I.14
I.3.1 Introduction	I.14
I.3.2 Simulation numérique	I.14
I.3.3 Simulation analogique basse fréquence	I.16
I.3.4 Simulation à l'aide du logiciel " <i>Microwave Spice</i> "	I.17
I.3.5 Comparaisons des modèles	I.19
I.3.6 Résultats	I.20
I.3.6.1 Fonctionnement en convertisseur de fréquence large bande	I.21
a) Influence des caractéristiques du générateur de commande	I.21
b) Influence des caractéristiques des transistors T_1	I.25
c) Influence des caractéristiques d'entrée de l'étage adaptateur d'impédance	I.25
d) Détermination des caractéristiques des transistors échantillonneur et adaptateur	I.26
I.3.6.2 Convertisseur de fréquence à bande étroite	I.27
I.3.6.3 Transposeur de fréquence	I.32
I.3.7 Simulation prenant en compte les caractéristiques exactes de l'étage suiveur	I.36
I.4 Conclusion	I.37

DEUXIEME CHAPITRE

REALISATIONS DU CONVERTISSEUR DE FREQUENCE

EN TECHNOLOGIE HYBRIDE ET INTEGREE

II.1 INTRODUCTION	II.1
II.2 REALISATION DU CIRCUIT EN TECHNOLOGIE HYBRIDE	II.3
II.2.1 Introduction	II.3
II.2.2 Résultats	II.3
II.3 REALISATION EN M.M.I.C.	II.8
II.3.1 Introduction	II.8
II.3.2 Présentation du circuit intégré	II.8
II.3.3 Résultats de la réalisation	II.15
II.3.3.1 Convertisseur de fréquence large bande	II.17
II.3.3.2 Transposeur de fréquence	II.21
II.3.3.3 Convertisseur à bande étroite	II.21
II.3.4 Confrontation théorie-expérience	II.21
II.3.5 Résumé des résultats obtenus	II.24
I.V CONCLUSION	II.35

CHAPITRE III

CONCEPTION ET REALISATION D'OSCILLATEURS MONOLITHIQUES

III.1 INTRODUCTION	III.1
III.2 GENERALITES	III.2
III.2.1 Stabilité des quadripôles	III.2
III.2.2 Stabilité de l'oscillation	III.4
III.3 CONCEPTION DE L'OSCILLATEUR	III.7
III.3.1 Choix de la structure	III.7
III.3.2 Schéma de principe de l'oscillateur	III.11
III.3.3 Simulation linéaire	III.11
III.3.4 Simulation non linéaire	III.14
III.4 REALISATION TECHNOLOGIQUE	III.18
III.5 RESULTATS DE LA REALISATION	III.20
III.5.1 Caractérisation sous Cascade des éléments tests	III.20
III.5.2 Mesures avec le circuit monté en boîtier	III.21
a) mesures à V_{ds} positif	III.23
a) mesures à V_{ds} négatif	III.25
III.6 Analyse de l'ensemble des résultats	III.26
III.7 AUTRES REALISATIONS MONOLITHIQUES	III.29
III.7.1 Introduction	III.29
III.7.2 CONCEPTION	III.29
III.7.2.1 Convertisseur de fréquence	III.29
III.7.2.2 Oscillateurs	III.29

III.7.3 Réalisation technologique	III.33
III.7.4 Résultats des réalisations	III.33
III.7.4.1 Version parallèle	III.34
III.7.4.2 Version série	III.35
III.8 STABILISATION	III.39
III.8.1 Introduction	III.39
III.8.2 Essai préliminaire	III.39
III.8.3 Stabilisation sur un quartz de 100 MHz	III.41
III.9 Conclusion	III.43

PREMIER CHAPITRE

CONCEPTION ET CHOIX DU CIRCUIT DE BASE

CHAPITRE I

CONCEPTION ET CHOIX DU CIRCUIT DE BASE

I.1 Introduction

Dans ce chapitre nous nous proposons d'étudier, sur le plan théorique, les propriétés d'un système convertisseur de fréquence à base de transistors à effet de champ et de décrire les méthodes d'investigations qui ont été utilisées.

Dans l'introduction générale figurent les principales conditions de fonctionnement et performances des différentes applications visées (convertisseur abaisseur de fréquence large bande, convertisseur abaisseur de fréquence à bande étroite et transposeur de fréquence). Notre but est donc de concevoir un circuit dont les performances seraient supérieures ou égales à celles obtenues avec des systèmes classiques.

Compte tenu des différences importantes du cahier des charges, il semble difficile d'utiliser un circuit unique pour obtenir dans les trois cas étudiés des performances optimales.

Par conséquent, si lors de la conception, nous nous sommes orientés vers un circuit de base simple, nous avons prévu suffisamment de marge de manoeuvre de façon à nous laisser la possibilité :

- * d'adjoindre au circuit de base d'autres circuits (qui peuvent être des circuits d'adaptation) de façon à obtenir des performances optimales dans tous les cas d'application,
- * de modifier les caractéristiques du signal de commande (en effet, nous verrons plus tard que suivant la forme du signal, sa puissance P_{O1} et sa fréquence F_{O1} , le circuit peut remplir des fonctions différentes).

Par ailleurs, deux éventualités se présentent :

- la première, la plus souvent employée consiste à utiliser un transistor monogrille ou de préférence bigrille polarisé de façon conventionnelle (tension drain-source différente de zéro Volt). Dans cette alternative on peut espérer utiliser simultanément; d'une part la conversion de fréquence résultant des non linéarités du transistor et d'autre part l'amplification résultant de l'effet transistor.
- La seconde consiste à n'utiliser que les non linéarités du transistor en ne polarisant pas le drain, et à employer un autre transistor pour une éventuelle adaptation d'impédance et amplification du signal.

C'est cette seconde solution que nous avons choisie. En effet, puisque nous envisageons d'utiliser un circuit monolithique, on peut multiplier les transistors sans trop se pénaliser en encombrement et coût de réalisation. Par ailleurs, l'utilisation d'un seul composant pour remplir plusieurs fonctions (cas de la première possibilité) ne permet pas d'optimiser complètement toutes les performances du dispositif.

Enfin, si l'on compare les trois modes de fonctionnement envisagés, on peut penser que la fonction la plus difficilement réalisable est celle du convertisseur de fréquence large bande. La majorité du travail de conception portera donc sur elle. Par la suite, une vérification des performances du circuit sera effectuée dans les autres conditions de fonctionnement .

Afin de concevoir le circuit de base, nous avons utilisé plusieurs approches :

- tout d'abord, une approche analytique très simplifiée (où tous les éléments sont considérés comme parfaits),
- une simulation numérique capable de prendre en compte les imperfections des éléments,
- une simulation basse fréquence afin de valider par l'expérience les deux précédentes études,
- enfin, le logiciel commercial *Microwave Spice* a été employé pour la conception et une évaluation plus complète du circuit total.

I.2 ETUDE ANALYTIQUE

I.2.1 Introduction

L'idée consiste à utiliser un transistor à effet de champ non polarisé (T.E.C. froid) en interrupteur pour échantillonner le signal hyperfréquence que nous voulons traiter (figure I.1).

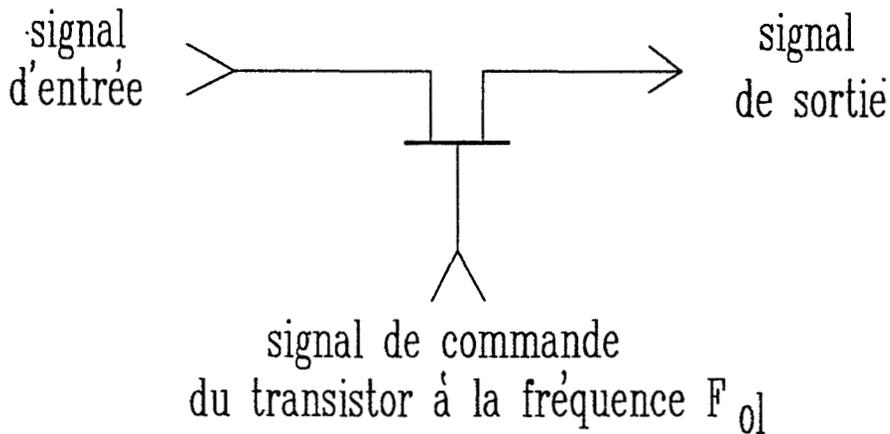


Figure I.1 : utilisation du T.E.C. froid en échantillonneur

Plus exactement, on **sous-échantillonne** le signal c'est-à-dire qu'au lieu de prendre N échantillons sur une période du signal d'entrée, on prend un échantillon toutes les N périodes.

Prenons un signal tel que $V_e(t) = V_M \sin(2\pi F_e t + \phi)$, que l'on échantillonne à la fréquence F_{01} . En posant $T_{01} = 1 / F_{01}$, le signal échantillonné s'écrit :

$$V_e^*(k) = V_M \sin(2\pi F_e k T_{01} + \phi)$$

En introduisant la fréquence $F_S = F_e - N F_{01}$, on peut encore écrire que :

$$V_e^*(k) = V_M \sin(2\pi N F_{01} k T_{01} + 2\pi F_S k T_{01} + \phi)$$

N et k étant des entiers positifs on obtient :

$$V_e^*(k) = V_M \sin(2\pi F_s k T_{01} + \phi)$$

On constate qu'il est possible d'obtenir un signal de sortie V_e^* (échantillonné) de même amplitude que le signal d'entrée mais à une fréquence F_s qui peut être beaucoup plus basse que celle d'entrée F_e . On se propose donc de remplacer les diodes mélangeuses qui constituent la plupart des convertisseurs de fréquence par un dispositif basé sur ce principe.

I.2.2 Hypothèses simplificatrices

Dans cette approche analytique simplifiée, le transistor est considéré comme parfait. Il est caractérisé par sa résistance R_{on} lorsqu'il est passant et R_{off} quand il est bloqué.

On suppose aussi que le générateur qui commande le transistor est idéal et qu'il délivre des signaux rectangulaires de largeur d'impulsion variable (avec des temps de montée ou de descente négligeables par rapport à la largeur d'impulsion).

I.2.3 Sous-échantillonnage sur charge résistive

Essayons tout d'abord de déterminer les performances d'un échantillonneur à T.E.C. GaAs non polarisé, chargé d'une impédance purement résistive de valeur R . Nous considérons que le signal d'entrée est délivré par un générateur dont l'impédance interne est égale à l'impédance caractéristique $R_0 = 50 \Omega$.

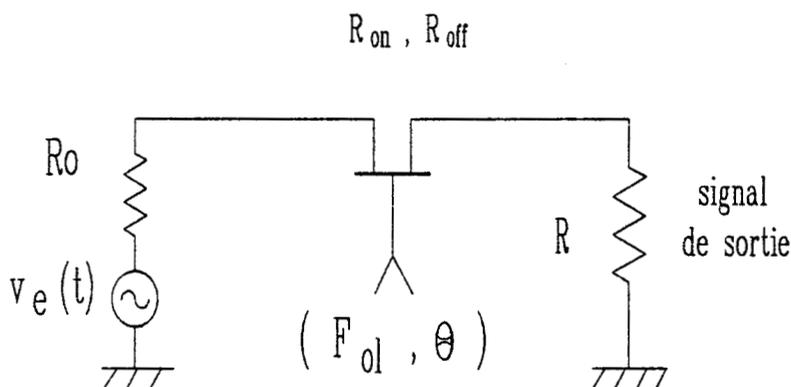


Figure I.2 : circuit à étudier

La figure I.2 représente le circuit à étudier. Le signal d'entrée est échantillonné tous les T_{01} ($T_{01} = 1/F_{01}$). On admet donc que de (nT_{01}) à $(nT_{01} + \theta)$, le transistor est passant (R_{on}), et que de $(nT_{01} + \theta)$ à $((n+1)T_{01})$ il est bloqué (R_{off}).

En considérant que la résistance R_{off} est infinie, le courant qui traverse la charge R est égal à :

$$i(t) = \frac{V_e}{R_T} \sin(\omega_e t + \phi) \quad (1) \quad \text{pour } n T_{01} < t < n T_{01} + \theta$$

$$i(t) = 0 \quad \text{pour } n T_{01} < t < (n+1) T_{01}$$

$$\text{avec } R_T = R_0 + R_{on} + R$$

Pour connaître la valeur de la composante du courant à la fréquence $F_s = F_e - k F_{01}$, il suffit d'appliquer l'analyse de Fourier de la façon suivante :

$$A = \frac{2}{T_s} \int_0^{T_s} i(t) \sin(\omega_s t) dt = \frac{2}{T_s} \sum_{n=0}^{N-1} \left\{ \int_{nT_{01}}^{nT_{01}+\theta} i(t) \sin(\omega_s t) dt \right\} \quad (2)$$

$$B = \frac{2}{T_s} \int_0^{T_s} i(t) \cos(\omega_s t) dt = \frac{2}{T_s} \sum_{n=0}^{N-1} \left\{ \int_{nT_{01}}^{nT_{01}+\theta} i(t) \cos(\omega_s t) dt \right\} \quad (3)$$

$$\text{avec } N = \frac{T_s}{T_{01}}$$

En introduisant la relation (1) dans (2) et (3) nous obtenons :

$$A = \frac{V_e}{R_T} \frac{\theta}{T_{01}} \frac{\sin\left(\frac{\omega_1 \theta}{2}\right)}{\frac{\omega_1 \theta}{2}} \cos\left(\frac{\omega_1 \theta}{2} + \phi\right)$$

$$B = \frac{V_e}{R_T} \frac{\theta}{T_{01}} \frac{\sin\left(\frac{\omega_1 \theta}{2}\right)}{\frac{\omega_1 \theta}{2}} \sin\left(\frac{\omega_1 \theta}{2} + \phi\right)$$

$$\text{avec } \omega_1 = k 2 \pi F_{01} \quad \text{soit } \omega_1 = \omega_e - \omega_s$$

La valeur du module du courant à la fréquence F_s est égale à :

$$I_s = \sqrt{A^2 + B^2} = \frac{V_e}{R_T} \frac{\theta}{T_{01}} \frac{\sin\left(\frac{\omega_1 \theta}{2}\right)}{\frac{\omega_1 \theta}{2}}$$

Les puissances P_s et P_e sont définies par :

$$P_s = R \frac{I_s^2}{2} \quad \text{et} \quad P_e = \frac{V_e^2}{8 R_0}$$

Le gain de conversion varie donc de la façon suivante :

$$G_c = 20 \text{ Log} \left[2 \frac{\sqrt{R R_0}}{(R + R_0 + R_{on})} \frac{\theta}{T_{o1}} \left| \frac{\sin\left(\frac{\theta \omega_1}{2}\right)}{\frac{\theta \omega_1}{2}} \right| \right] \quad (4)$$

Si on néglige la résistance R_{on} par rapport à R_0 , le gain de conversion (G_c) devient :

$$G_c = 20 \text{ Log} \left[2 \frac{\sqrt{R R_0}}{(R + R_0)} \frac{\theta}{T_{o1}} \left| \frac{\sin\left(\frac{\theta \omega_1}{2}\right)}{\frac{\theta \omega_1}{2}} \right| \right] \quad (5)$$

Pour avoir un gain de conversion maximum il suffit de choisir une charge résistive égale à l'impédance caractéristique R_0 . Il aura alors pour valeur :

$$G_c = 20 \text{ log} \left[\frac{\theta}{T_{o1}} \left| \frac{\sin\left(\frac{\theta \omega_1}{2}\right)}{\frac{\theta \omega_1}{2}} \right| \right] \quad (6) \quad \text{avec} \quad \omega_1 = \omega_e - \omega_s$$

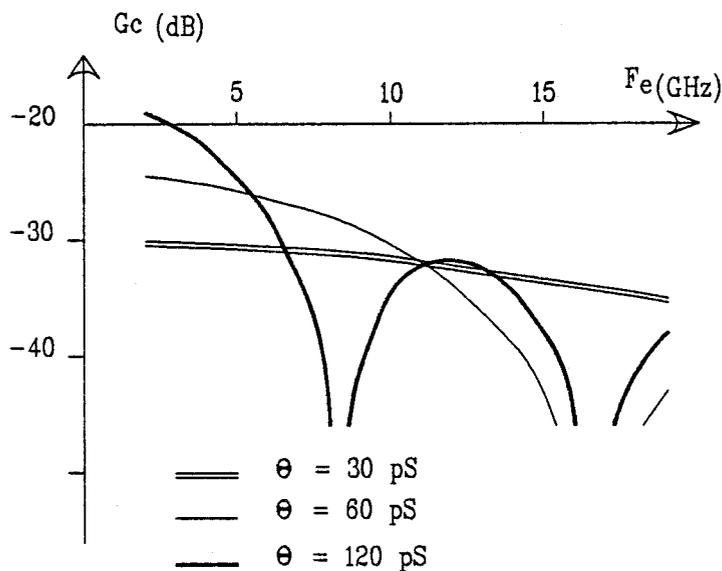


Figure I.3 : évolution du gain de conversion.

Sur la figure I.3 , nous avons reporté l'évolution du gain de conversion en fonction de la fréquence pour trois valeurs du temps d'ouverture θ . On observe les zéros de la fonction en $\text{sinc}(k\pi F_0 \theta)$ aux fréquences F_c égales à ; $(1/\theta + F_s)$, $(2/\theta + F_s)$, etc

On remarque qu'un temps d'ouverture θ de l'échantillonneur inférieur à 30ps est nécessaire pour obtenir un gain de conversion relativement plat dans la bande 2-18 GHz , mais que malheureusement dans ces conditions G_c est relativement faible (- 30 dB) .

I.2.4 Sous-échantillonnage sur charge capacitive

Les résultats précédents démontrent le caractère contradictoire de la recherche simultanée d'une bande de fréquence importante et d'un gain de conversion élevé puisque ce n'est qu'au prix d'un gain de conversion faible que l'on obtient une bande de fréquence d'utilisation importante. Ce résultat apparaît d'autant plus décevant qu'il s'agit ici de performances théoriques obtenues avec un générateur de commande de l'échantillonneur et un interrupteur présumés idéaux. En pratique, les performances risquent d'être beaucoup plus faibles et cette constatation montre le peu d'intérêt du circuit à étudier.

Compte tenu des résultats obtenus pour ce circuit, deux problèmes doivent être résolus :

- * d'une part, il faut éviter l'utilisation de temps d'échantillonnage très réduits correspondant à des impulsions de largeurs très faibles et donc difficilement réalisables,
- * et d'autre part, éviter des gains de conversion trop faibles résultant du fait qu'ils sont inversement proportionnels à la bande de fréquence souhaitée.

Dans ce but, il est intéressant de choisir plus judicieusement l'impédance de charge de l'échantillonneur et de remplacer la charge résistive par une capacité. Bien entendu dans ce cas la puissance dans la charge est nulle mais nous allons admettre que la tension recueillie aux bornes de la capacité est entièrement transférée sur l'impédance caractéristique R_0 en utilisant un montage adaptateur d'impédance convenable. Dans une réalisation monolithique l'utilisation d'un transistor supplémentaire pour remplir cette fonction ne devrait poser aucun problème. En effet, si on considère le schéma équivalent simplifié d'un transistor à effet de champ (figure I.4) on constate qu'il est possible d'effectuer facilement ce transfert de tension.

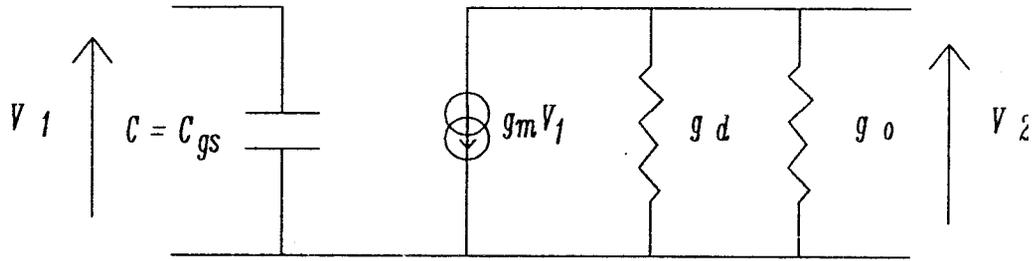


Figure I.4 : schéma simplifié d'un transistor.

On a en effet $g_m V_1 = (g_d + g_o) V_2$, et pour avoir les tensions V_1 et V_2 égales, il suffit qu'en première approximation on ait :

$$g_m = g_d + g_o \quad (7)$$

Cherchons maintenant à évaluer les performances que peuvent présenter un montage du type de la figure I.5, où l'on distingue, d'une part l'échantillonneur chargé par une capacité et d'autre part l'adaptation d'impédance décrite précédemment qui est utilisée pour le "transfert" de tension entre la capacité C et la résistance R_o .

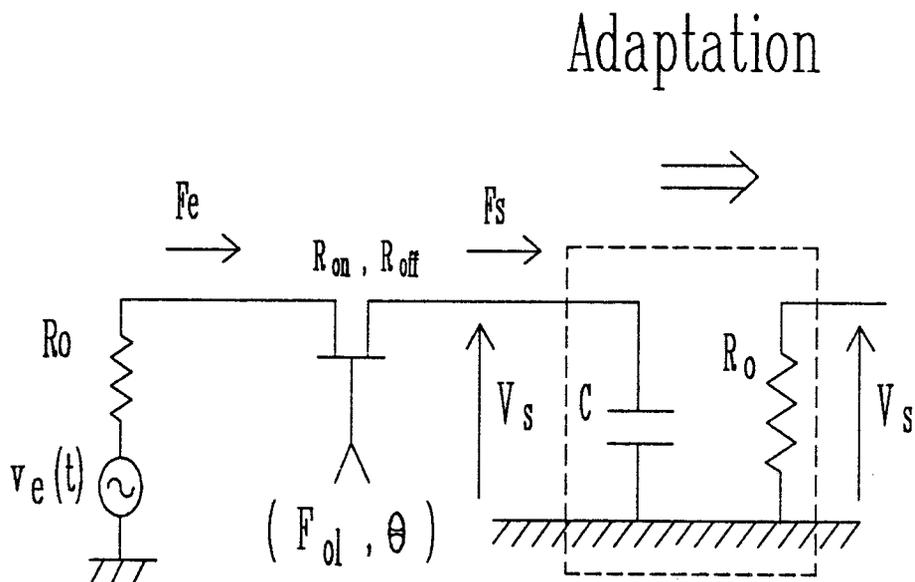


Figure I.5 : représentation du circuit à étudier

Pour réaliser ceci, nous allons procéder de la même façon que précédemment. On cherche d'abord à déterminer l'évolution temporelle du signal de sortie qui fait ensuite l'objet d'une analyse de Fourier.

Détermination temporelle du signal V(t) :

Lorsque le transistor est passant ($n T_{01} < t < n T_{01} + \theta$) le circuit est équivalent à une cellule R-C dont le comportement est régi par l'équation différentielle suivante :

$$v_e(t) = \tau_1 \frac{d v_s(t)}{dt} + v_s(t)$$

$$\text{avec } \begin{cases} \tau_1 = (R_0 + R_{on}) C \\ v_e(t) = V_e \sin(\omega_e t + \xi) \end{cases}$$

La résolution de l'équation différentielle nous donne :

$$v_s(t) = \frac{V_e}{D} \sin(\omega_e t + \xi - \phi) + V_n e^{-\frac{t - n T_{01}}{\tau_1}}$$

Et ensuite de $(n T_{01} + \theta)$ à $((n+1) T_{01})$ la capacité se décharge :

$$v_s(t) = \left[\frac{V_e}{D} \sin(\omega_e T_{01} n + \alpha) + V_n e^{\frac{\tau}{\theta_1}} \right] e^{-\frac{t - (n T_{01} + \theta)}{\tau_2}}$$

$$\text{avec } \begin{cases} \tau_1 = (R_0 + R_{on}) C, \tau_2 = R_{off} C \\ D = \sqrt{1 + (\omega_e \tau_1)^2} \\ \xi : \text{phase arbitraire} \\ \phi = \text{arctg}(\omega_e \tau_1), \alpha = \omega_e \theta + \xi - \phi \\ V_n : \text{valeur initial de } v_s(t) \text{ a } n T_{01} \\ \text{on pose } x = e^{-\frac{\theta}{\tau_1}}, y = e^{-\frac{T_{01} - \theta}{\tau_2}} \text{ et } z = x y \end{cases}$$

Pour connaître entièrement l'évolution temporelle de v(t) il suffit de déterminer les valeurs que prend V_n sur une période T_s .

Détermination de V_n :

Les valeurs de V_n peuvent être obtenues par une équation récurrente du type :

$$V_n = \frac{Y}{D} \sum_{k=0}^{n-1} [z^k \sin(\omega_e T_{01} (n-1) + \alpha - \omega_e T_{01} k) + z^k V_{(n-1-k)}]$$

en régime périodique $V_n = V_{(n-N)}$ avec $N = T_s / T_{01}$

$$\implies V_n = \frac{V_e}{D} \frac{Y}{1-z^N} \sum_{k=0}^{N-1} z^k \sin(-\omega_e T_{01} k + \omega_e T_{01} (n-1) + \alpha)$$

$$\implies V_n = \frac{V_e}{D} Y \frac{\sin(\omega_e T_{01} n + \alpha - \omega_e T_{01}) - z \sin(\omega_e T_{01} n + \alpha)}{1 + z^2 - 2z \cos(\omega_e T_{01})}$$

$$\implies V_n = \frac{V_e}{D} \frac{Y}{\Delta} \sin(\omega_e T_{01} n + \alpha - \omega_e T_{01})$$

avec $\Delta = 1 + z^2 - 2z \cos(\omega_e T_{01})$

Le signal $V(t)$ évolue donc de la façon suivante :

pour $n T_{01} < t < n T_{01} + \theta$

$$v_s(t) = \frac{V_e}{D} \left[\sin(\omega_e t + \xi - \phi) + \frac{Y}{\Delta} \sin(\omega_e T_{01} (n-1) + \alpha) e^{-\frac{t - n T_{01}}{\tau_1}} \right]$$

pour $n T_{01} + \theta < t < (n+1) T_{01}$

$$v_s(t) = \frac{V_e}{D} \left[\sin(\omega_e T_{01} n + \alpha) + \frac{Z}{\Delta} \sin(\omega_e T_{01} (n-1) + \alpha) \right] e^{-\frac{t - (n T_{01} + \theta)}{\tau_2}}$$

Analyse de Fourier :

Nous avons obtenu un signal qui se décompose de la façon suivante :

$$\text{de } nT_{01} \text{ à } nT_{01} + \theta \quad \implies v_s(t) = v_1(t) + v_2(t)$$

$$\text{de } nT_{01} + \theta \text{ à } (n+1)T_{01} \quad \implies v_s(t) = v_3(t) + v_4(t)$$

avec :

$$v_1(t) = \frac{V_e}{D} \sin(\omega_e t + \xi - \phi)$$

$$v_2(t) = \frac{V_e}{D} \frac{y}{\Delta} \sin(\omega_e T_{01} (n-1) + \alpha) e^{-\frac{t - n T_{01}}{\tau_1}}$$

$$v_3(t) = \frac{V_e}{D} \sin(\omega_e T_{01} n + \alpha) e^{-\frac{t - (n T_{01} + \theta)}{\tau_2}}$$

$$v_4(t) = \frac{V_e}{D} \frac{z}{\Delta} \sin(\omega_e T_{01} (n-1) + \alpha) e^{-\frac{t - (n T_{01} + \theta)}{\tau_2}}$$

Dans les cas de fonctionnement correct, les termes y et z sont très petits, on peut donc négliger les termes $v_1(t)$, $v_2(t)$ et $v_4(t)$ par rapport à $v_3(t)$, ce qui nous donne :

$$A = \frac{2}{T_s} \frac{V_e}{D} \sum_{n=0}^{N-1} \left\{ \int_{n T_{01}}^{(n+1) T_{01} + \theta} \sin(\omega_e T_{01} n + \alpha) e^{-\frac{t - (n T_{01} + \theta)}{\tau_2}} \sin(\omega_s t) dt \right\}$$

$$B = \frac{2}{T_s} \frac{V_e}{D} \sum_{n=0}^{N-1} \left\{ \int_{n T_{01}}^{(n+1) T_{01} + \theta} \sin(\omega_e T_{01} n + \alpha) e^{-\frac{t - (n T_{01} + \theta)}{\tau_2}} \cos(\omega_s t) dt \right\}$$

on obtient :

$$A = \frac{\tau_2}{T_{01}} \frac{V_e}{D D_{II}} [\cos(\alpha - \beta - \omega_s \theta) - y \cos(\alpha - \beta - \omega_s T_{01})]$$

$$B = \frac{\tau_2}{T_{01}} \frac{V_e}{D D_{II}} [\sin(\alpha - \beta - \omega_s \theta) - y \sin(\alpha - \beta - \omega_s T_{01})]$$

avec $D_{II} = \sqrt{1 + (\omega_s \tau_2)^2}$ et $\beta = \arctg(\omega_s \tau_2)$

Le module de la tension de sortie est donc égal à :

$V_s = 2 \frac{V_e}{D D_{II}} \frac{\tau_2}{T_{01}} \sqrt{1 + y^2 - 2 y \cos(\omega_s (T_{01} - \theta))}$	(8)
--	-----

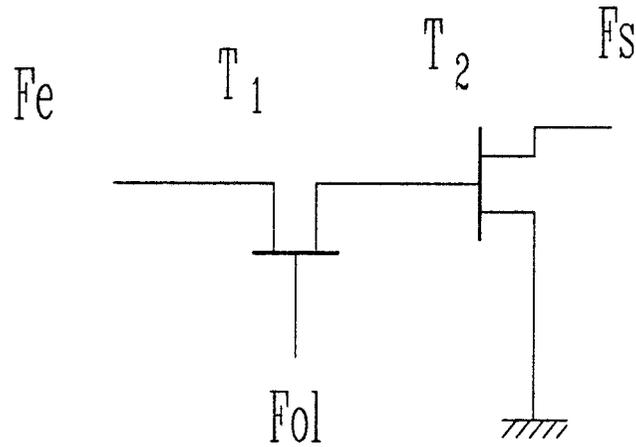


Figure I.6 : représentation du circuit de base

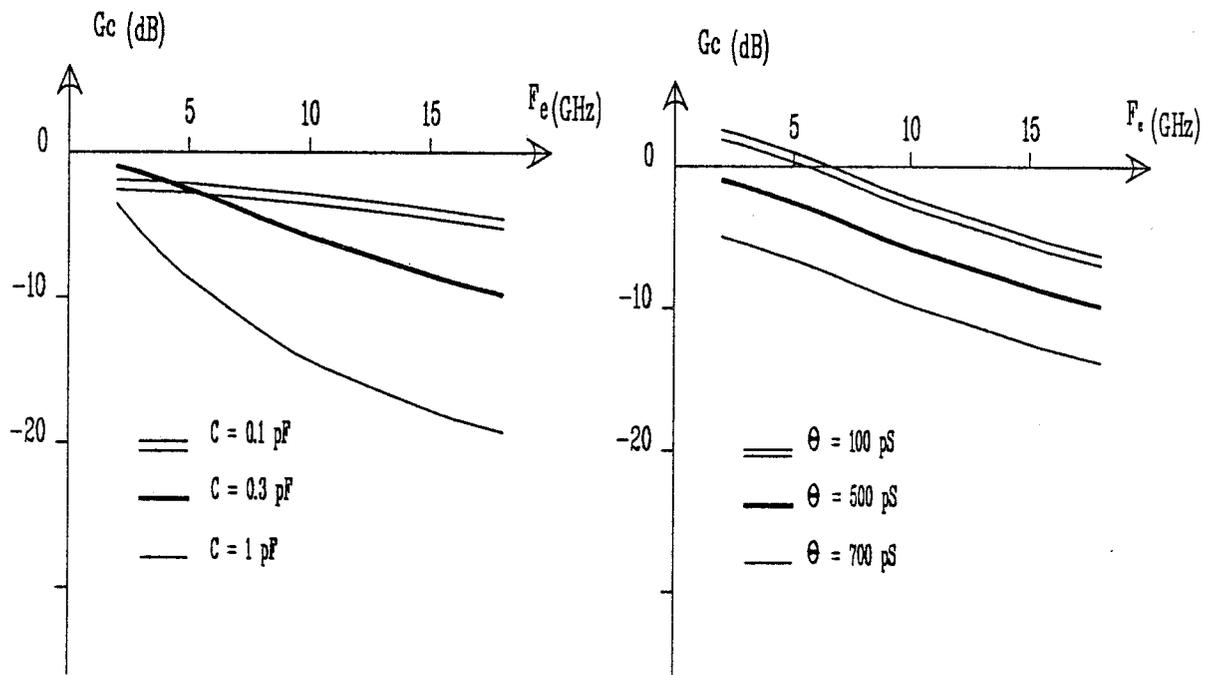


Figure I.7 : évolution du gain de conversion pour différente valeur du temps d'ouverture et de la capacité C.

En supposant que cette tension située aux bornes de la capacité C est entièrement recueillie aux bornes de l'impédance caractéristique $R_0 = 50 \Omega$, on obtient un gain de conversion qui évolue de la façon suivante :

$$G_c = 10 \log \left[2 \frac{1}{D_{II}} \frac{T_2}{T_{01}} \sqrt{1 + Y^2 - 2 Y \cos((T_{01} - \theta) \omega_s)} \right] \quad (9)$$

Afin d'effectuer l'adaptation d'impédance entre la capacité et la résistance R_0 , nous ajoutons en pratique un étage de sortie constitué par un transistor monté en drain ou source commune. De cette façon on réalise une adaptation d'impédance permettant de recueillir la puissance P_s sur l'impédance caractéristique R_0 . Dans ce type de montage, la capacité d'entrée du transistor de sortie jouera le rôle de capacité de stockage C . Le circuit de base pourra donc être constitué de deux transistors : l'un non-polarisé (T_1), et l'autre polarisé normalement (T_2) (figure I.6).

Sur la figure I.7 où nous avons tracé l'évolution du gain de conversion en fonction de F_e nous constatons une nette amélioration des résultats par rapport à ceux obtenus avec une charge résistive.

Il n'apparaît plus nécessaire d'avoir des temps d'ouverture θ excessivement petits pour obtenir de bonnes performances. En fait le paramètre prédominant devient la capacité de stockage C (ou plus exactement la constante de temps $R_0 C$) qui joue un peu le rôle de θ dans le cas de la charge résistive.

I.2.5 Conclusion

D'après l'étude simplifiée que nous venons d'effectuer, il apparaît qu'un sous échantillonnage sur une charge capacitive permet d'obtenir des performances intéressantes. En effet, si l'on compare les estimations théoriques aux performances des systèmes existants, on peut espérer un accroissement non négligeable des performances allant de 20 à 30 dB. On peut donc envisager favorablement la réalisation d'un tel circuit, d'autant plus que sa simplicité représente un atout supplémentaire pour une intégration monolithique du circuit. Néanmoins, des simulations plus précises sont nécessaires avant de passer à une réalisation.

I.3 Simulations

I.3.1 Introduction

Malgré l'apparente simplicité du circuit, il faut avoir à l'esprit que son principe de fonctionnement est avant tout violemment non linéaire. De ce fait, le spectre en fréquence des signaux est très large et s'étend des fréquences de l'ordre du MHz (signaux de sortie, ou en provenance de l'oscillateur local) jusqu'aux fréquences les plus élevées (les fréquences des signaux d'entrée pouvant atteindre 40 GHz). Cette caractéristique *multi fréquence* du fonctionnement du dispositif rend difficile la simulation d'un tel dispositif. Afin de prévoir l'évolution fréquentielle du gain de conversion, nous avons utilisé plusieurs simulations dont l'emploi est assujéti aux rapports de fréquence pouvant exister entre les différents signaux (notamment entre F_e et F_s).

I.3.2 Simulation numérique

La simulation numérique a pour but de montrer l'influence de la qualité du générateur de commande et des éléments constituant le circuit sur le gain de conversion. Elle consiste à simuler temporellement le comportement du circuit à étudier. Les différents signaux présents dans le circuit font donc l'objet d'une discrétisation par rapport au temps t . Dans ce but nous effectuons le changement de variable suivant : $t \rightarrow k \delta t$, où δt représente le pas de calcul. Nous faisons alors varier k de 0 à N_k , où N_k est le nombre total de points de calcul.

Le pas de calcul élémentaire est égal à T / N_k où T est la période du signal appliqué sur l'échantillonneur. Ce signal comprend au moins trois composantes de fréquences F_e , F_s et F_{ol} . Dans ces conditions, si F_e , F_s et F_{ol} sont choisies de façon quelconque, T peut être très grande et même infinie. Pour éviter ce problème qui se traduirait par des temps de calcul infinis (si l'on s'impose des δt suffisamment courts), on ne peut choisir arbitrairement la fréquence d'entrée F_e . Cette fréquence doit être choisie de façon à ce que le plus petit commun diviseur F_{cal} des trois fréquences F_e , F_{ol} et F_s soit suffisamment élevé.

$$\text{On a alors } T = 1 / F_{cal} \quad \text{et} \quad \delta t = 1 / (F_{cal} N_k).$$

Donnons quelques exemples :

- si l'on veut étudier le fonctionnement en convertisseur de fréquence avec $F_{ol} = 1$ GHz, $F_s = 0.5$ GHz pour une fréquence d'entrée de l'ordre de 10 GHz on prend $F_e = 10.5$ GHz et $F_{cal} = 0.5$ GHz.

- si l'on veut étudier le fonctionnement en transposeur avec $F_{O1} = 2.5$ Ghz et une fréquence d'entrée comprise entre 14 et 14.5 Ghz, on peut traiter le cas suivant :

$$F_e = 14.25 \text{ Ghz} \quad F_{O1} = 2.5 \text{ GHz} \quad F_s = 11.75 \text{ GHz} \quad \text{avec} \quad F_{cal} = 0.25 \text{ Ghz} .$$

Par ailleurs, pour avoir un minimum de précision de calcul nous faisons en sorte que la période correspondante à la fréquence la plus élevée comprenne un nombre de points élémentaires de calcul δt suffisant (minimum de 100). Par exemple, si la fréquence la plus grande a pour valeur 18,25 GHz et que $F_{cal} = 0,25$ Ghz, N_k aura donc pour valeur $(100 F_e)/F_{cal} = 7300$.

La discrétisation des signaux appliqués étant effectuée, il nous faut maintenant résoudre temporellement les différentes équations différentielles régissant le fonctionnement du circuit en prenant en compte les diverses non linéarités des transistors utilisés. Il suffit ensuite d'appliquer l'analyse de Fourier sur la tension de sortie à la fréquence F_s pour connaître la puissance P_s . Connaissant la puissance P_e , on détermine le gain de conversion ($G_C = P_s / P_e$).

Modélisation :

Dans ce programme, pour étudier le comportement du circuit en convertisseur de fréquence nous avons utilisé des modèles relativement simples du transistor à effet de champ puisque nous travaillons en l'absence de tensions de drain importantes. En supposant donc que la tension drain-source reste très faible, on admet les lois de variation suivantes :

a) les capacité C_{gs} et C_{gd} évoluent suivant les relations suivantes (où V_p et V_b sont respectivement la tension de pincement et la barrière "Schottky" du transistor) :

1) pour $V_b - \epsilon > V_{gs}(t) > V_p$:

$$C_{gs}(t) = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{gs}(t)}{V_b}}} \quad C_{gd}(t) = \frac{C_{gdo}}{\sqrt{1 - \frac{V_{gd}(t)}{V_b}}} \quad (10)$$

2) pour $V_{gs} > V_b - \epsilon$: la capacité C_{gs} reste constante et est égale à $C_{gs}(t) = C_{gs0}$, l'influence du courant de grille est supposée négligeable,

3) pour $V_{gs} < V_p$: la capacité reste constante soit :

$$C_{gs}(t) = C_{gsoff} .$$

Dans la simulation C_{gson} et C_{gsoff} sont déterminées en utilisant la relation (10) par les valeurs que prend $C_{gs}(t)$ aux tensions $V_b - \epsilon$ et V_p (ϵ sera prise égale en pratique à 50 mV).

Compte tenu de la géométrie de la structure et du fait que $V_{ds} \neq 0$ V, les capacités C_{gso} et C_{gdo} sont égales et nous avons $C_{gs}(t) = C_{gd}(t)$.

b) $C_{ds}(t)$ est la capacité équivalente à $C_{gs}(t)$ et $C_{gd}(t)$ en série (on néglige la capacité de bord de C_{ds}), on peut donc évaluer $C_{ds}(t)$ de la façon suivante : $C_{ds}(t) = C_{gs}(t)/2$ (11).

c) la résistance de canal (source-drain) évolue suivant les relations :

$$R_{TEC}(t) = \frac{R_{on}}{1 - \sqrt{\frac{V_b - v_{gs}(t)}{V_b - V_p}}} \quad (12) \quad \text{pour} \quad V_p < v_{gs}(t) < V_b - \epsilon$$

$$R_{TEC}(t) = R_{on} \quad \text{pour} \quad v_{gs}(t) > V_b - \epsilon$$

Par ailleurs, si $R_{TEC}(t)$ est supérieure à R_{off} on impose $R_{TEC}(t) = R_{off}$ qui représente la valeur maximale de la résistance présentée au blocage du transistor.

Dans les simulations effectuées, les capacités $C_{gs}(t)$, $C_{gd}(t)$ et $C_{ds}(t)$ sont habituellement calculées à partir des relations (10) et (11). Néanmoins, afin d'étudier leurs influences respectives, certaines simulations ont été faites en admettant que $C_{gs}(t)$ et $C_{ds}(t)$ pouvaient varier de façon non corrélée.

De manière à s'affranchir des caractéristiques du système adaptateur d'impédance et d'étudier le convertisseur de fréquence, on ne considérera que l'admittance d'entrée de l'adaptateur et l'on admettra qu'elle est constituée d'un dipôle parallèle R-C. Le calcul de la puissance de sortie se fait alors de la même façon que dans l'étude analytique, c'est-à-dire que l'on considère que la tension aux bornes du dipôle R-C se retrouve sur l'impédance caractéristique R_0 (généralement $R_0 = 50 \Omega$).

I.3.3 Simulation analogique basse fréquence

Dans ce cas, les résultats sont obtenus en utilisant un modèle électrique analogique basse fréquence du circuit hyperfréquence, et en mesurant directement ses caractéristiques en tant que convertisseur de fréquence. La translation dans le domaine

temporel (ou fréquentiel) est dans le rapport 1000. Les fréquences utilisées (F_e , F_s et F_{ol}) dans la simulation analogique basse fréquence sont 1000 fois plus faibles, tandis que les valeurs de capacités sont 1000 fois plus élevées que celles utilisées dans le domaine hyperfréquence.

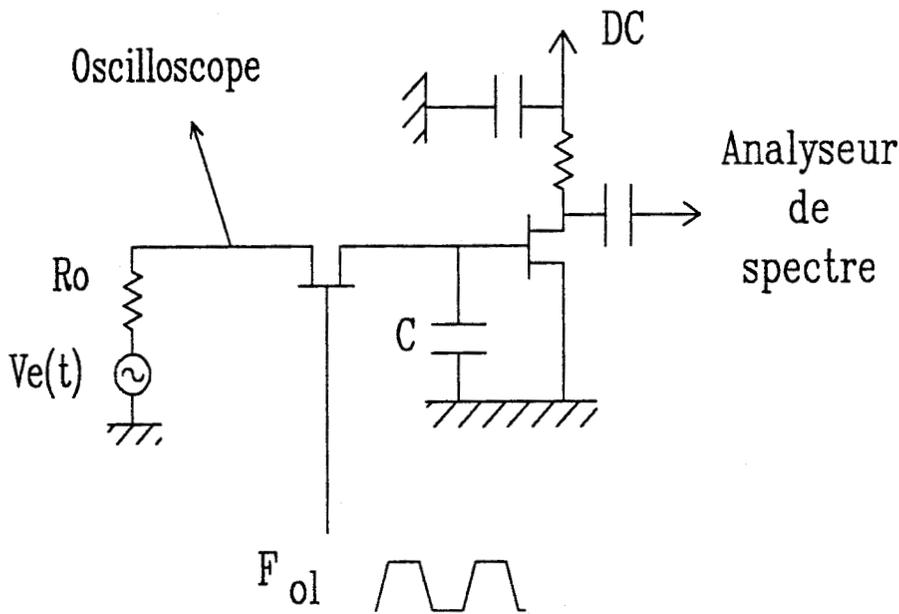


Figure I.8 : présentation du dispositif expérimental de la simulation analogique basse fréquence.

Le dispositif expérimental est explicité sur la figure I.8 , il nous permet de mesurer directement le gain de conversion en fonction de la fréquence. Le générateur de commande est réalisé avec un circuit intégré du commerce, il fournit des impulsions rectangulaires de largeurs variables à une fréquence de 1 MHz. Les transistors sont des N.E.C. 720 .

I.3.4 Simulation à l'aide du logiciel "Microwave Spice"

Nous avons utilisé le logiciel commercial "*Microwave Spice*" afin de déterminer les éléments du circuit à réaliser. La polarisation du transistor T_1 à $V_{ds} \neq 0$ V est assurée par deux grandes résistances de valeur 10 k Ω , tandis que pour le transistor T_2 on a choisi d'utiliser une inductance de découplage de 100 nH et une capacité de liaison de 200 pF.

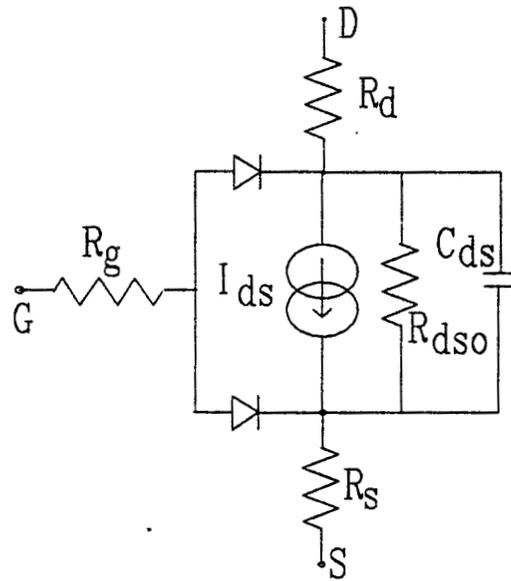


Figure I.9 : modèle symétrique de spice

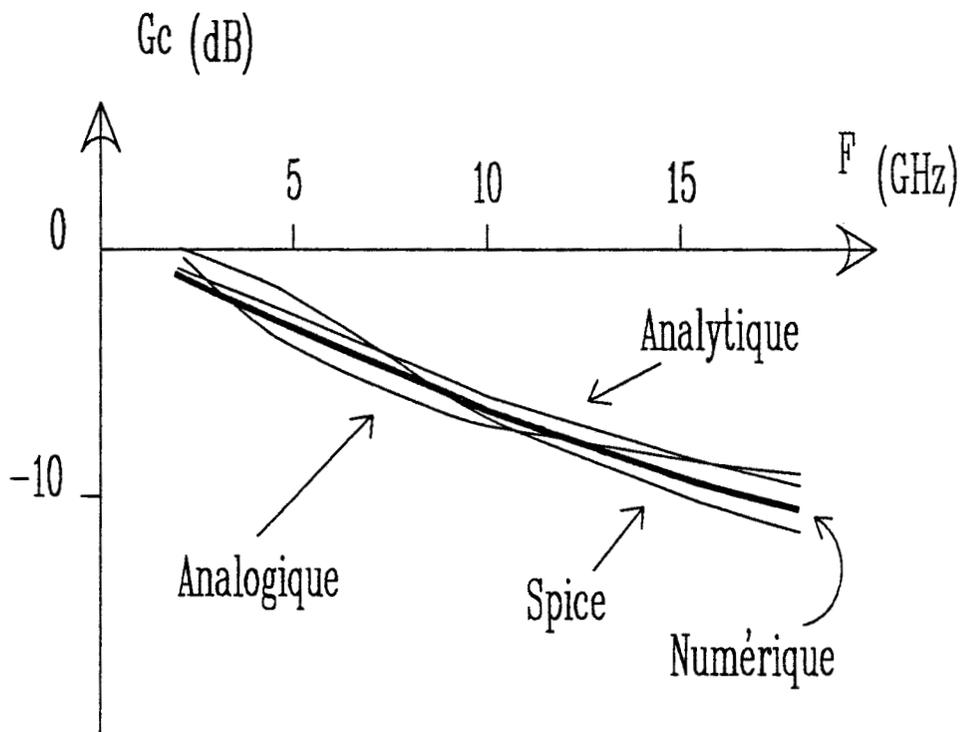


Figure I.10 : comparaison des différentes approches utilisées pour un même cas de fonctionnement.

Modélisation :

Parmi les divers modèles proposés par le logiciel pour décrire le comportement non linéaire du T.E.C., nous avons choisi d'utiliser le modèle symétrique (figure I.9) avec une détermination des caractéristiques par un polynôme d'ordre trois (annexe I.1).

I.3.5 Comparaisons des modèles

Sur la figure I.10 nous avons reporté l'évolution fréquentielle du gain de conversion pour les quatre différentes approches utilisées.

Nous nous sommes efforcés de considérer un cas aussi identique que possible pour les quatre simulations correspondant aux conditions suivantes (choisies de façon à ce qu'elles puissent être prises en compte dans les quatre méthodes de simulation) :

- * le signal appliqué à l'échantillonneur est de forme rectangulaire, de fréquence 1 Ghz et de largeur d'impulsion 250 pS,
- * la charge est constituée d'un dipôle R-C indépendant de la tension qui lui est appliquée,
- * toutes les capacités du transistor échantillonneur sont égales à zéro.

On constate, que malgré l'extrême diversité des démarches utilisées, les résultats obtenus dans les quatre cas sont très voisins. Ce résultat s'explique par le fait que nous utilisons un signal de commande très simple qui ne permet pas de distinguer le cas où la résistance R_{TEC} varie brutalement entre les valeurs R_{On} et R_{Off} (modèle analytique) et le cas où cette variation est progressive (autres modèles). Néanmoins la concordance observée est encourageante et montre que l'on dispose d'une panoplie de simulations qui peuvent être utilisées dans une large mesure. On pourra donc les employer indifféremment selon le cas de figure étudié, mais tout en respectant quelques règles d'utilisation. De façon succincte, celles-ci peuvent être résumées comme suit :

- *calcul analytique* : à utiliser exclusivement pour le cas du sous-échantillonnage, il donne des résultats immédiats mais en contrepartie approximatifs (signal de commande du transistor échantillonneur de forme rectangulaire, et capacités de ce transistor égales à zéro).

- simulation numérique (ou temporelle): elle peut être utilisée dans la plupart des fonctionnements et tenir compte de certains éléments parasites, mais le temps de calcul peut être long, notamment quand le rapport de conversion en fréquence R_f devient important. Son emploi est autorisé pour R_f inférieur à 20000.

- simulation basse fréquence : c'est une simulation qui donne des résultats relativement bons mais elle est assez lourde d'utilisation.

- Spice : on peut considérer que les résultats de Spice donnent de très bonnes indications sur les futures performances du circuit, mais le temps de calcul est souvent excessif en particulier lorsque l'on est en limite d'utilisation (par exemple lorsque les rapports de fréquence sont trop élevés $R > 500$).

I.3.6 Résultats

Nous avons montré précédemment, à partir d'une étude analytique, qu'un circuit échantillonneur composé d'un transistor "froid" associé à un transistor adaptateur d'impédance permettait d'obtenir en conversion de fréquence des résultats intéressants. Néanmoins, ces résultats ont été obtenus dans des conditions idéales : transistors supposés parfaits et générateur de commande du transistor échantillonneur délivrant des signaux parfaitement rectangulaires. Il reste maintenant à étudier, pour montrer la faisabilité pratique d'un tel montage, dans quelle mesure les performances se maintiennent lorsqu'on utilise :

- des signaux d'échantillonnage réels caractérisés par des temps de montée et de descente non négligeables,
- un transistor échantillonneur non parfait, c'est-à-dire dans le cas où il présente des capacités non négligeables et des rapports R_{off}/R_{on} peu importants,
- un transistor adaptateur d'impédance caractérisé par une admittance d'entrée constituée par une résistance R en parallèle sur la capacité C .

C'est donc l'influence de ces différents paramètres que nous proposons à présent d'étudier en considérant successivement le fonctionnement en convertisseur abaisseur de fréquence large bande, puis à bande étroite, et enfin en transposeur de fréquence. Nous utiliserons dans ce but la simulation numérique temporelle dont le principe a été décrit en I.3.2.

I.3.6.1 Fonctionnement en convertisseur de fréquence large bande

Pour étudier ce type de fonctionnement, nous allons examiner comment se modifient les performances (gain de conversion en fonction de la fréquence) lorsqu'on fait varier les paramètres des circuits (caractéristiques des transistors et du générateur de commande). Ces résultats seront comparés à ceux obtenus dans un cas d'un fonctionnement "standard" appelé REF 1.

Performances de référence (REF1) :

- * le générateur de commande est idéal et délivre des impulsions rectangulaires à une fréquence de 1 GHz avec un temps d'ouverture θ de 500 pS,
- * le transistor est caractérisé par $R_{ON} = 30 \Omega$ et $R_{OFF} = 10 k\Omega$, il n'a aucune capacité parasite,
- * la capacité de stockage C a pour valeur 0.3 pF et $R = 1 M\Omega$.

a) Influence des caractéristiques du générateur de commande

Considérons tout d'abord le cas où les signaux délivrés sont du même type que dans la référence, c'est-à-dire rectangulaires, et étudions l'influence du temps d'ouverture. Les résultats obtenus, présentés sur la figure I.11, montrent que la valeur de θ a peu de répercussion sur le gain de conversion.

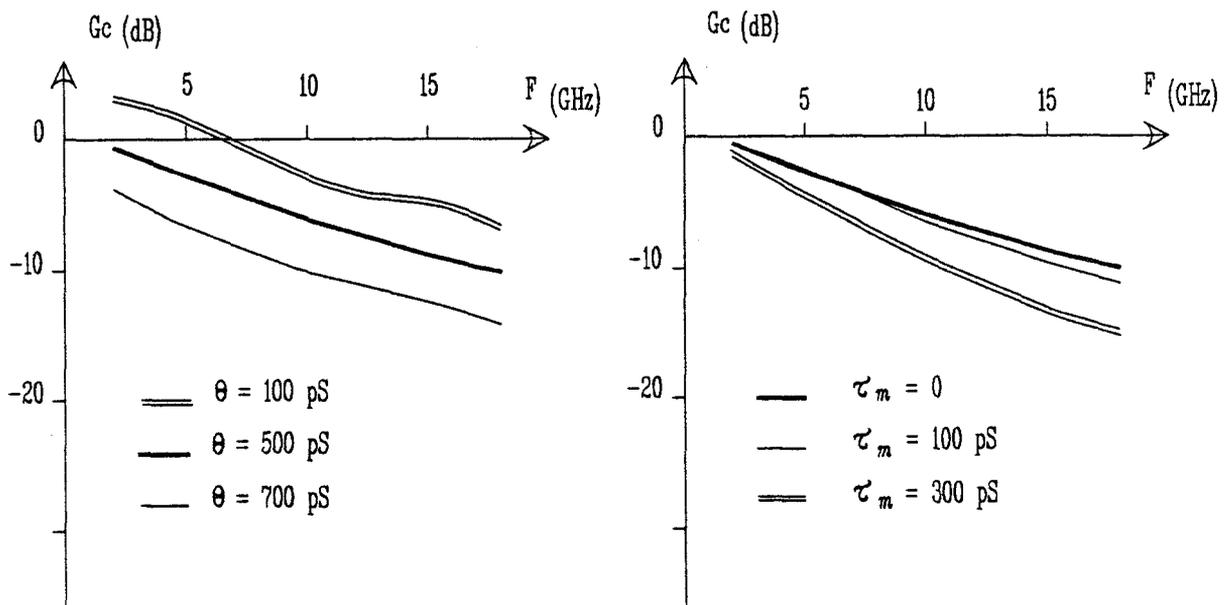


Figure I.11 : évolution du G_c pour différentes valeurs du temps d'ouverture θ et du temps de montée τ_m .

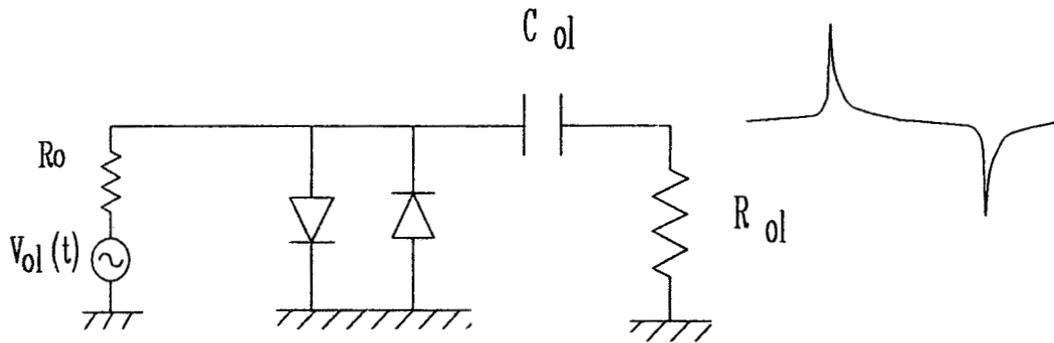


Figure I.12 : schéma de principe pour une mise en forme du signal provenant de l'oscillateur local qui commande la grille du transistor échantillonneur.

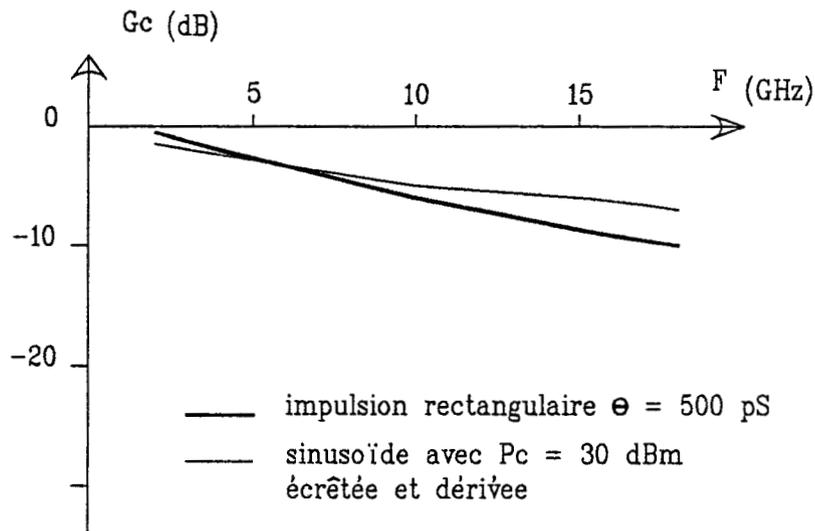


Figure I.13 : performance du dispositif en utilisant le circuit de mise en forme de la figure I.12.

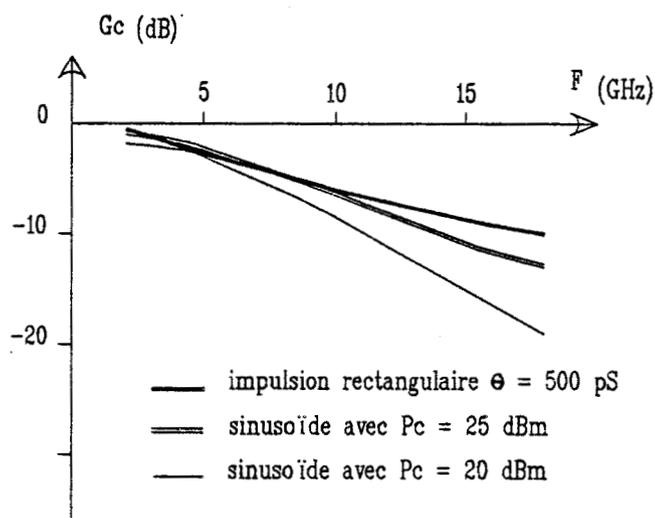


Figure I.14 : évolution du gain de conversion pour différentes puissances de l'oscillateur local (sans mise en forme)

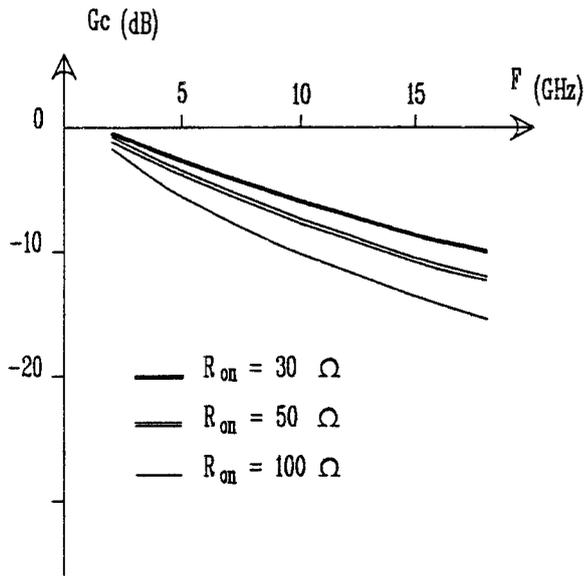
En effet, si au lieu d'utiliser comme dans la référence un temps d'ouverture de 500 pS, on emploie une valeur beaucoup plus faible de 100 pS, l'augmentation du G_C n'est que de quelques dB; inversement, pour un θ beaucoup plus grand (700 pS), la diminution du G_C reste assez faible. Il est également intéressant d'étudier l'influence de la forme de l'impulsion de commande et en particulier de la valeur des temps de montée et de descente. Les résultats obtenus (figure I.11) montrent que la valeur du temps de montée a une influence relativement faible. Il faut noter aussi que l'étude que nous avons effectuée en faisant varier le temps de descente a révélée que ce dernier paramètre a des répercussions tout à fait négligeables sur le gain de conversion.

Tous ces résultats montrent que finalement, les performances du convertisseur de fréquence semblent ne dépendre que très peu de la forme du signal de commande. En conséquence, il ne sera pas nécessaire d'utiliser des circuits de mise en forme complexes pour réaliser ce signal.

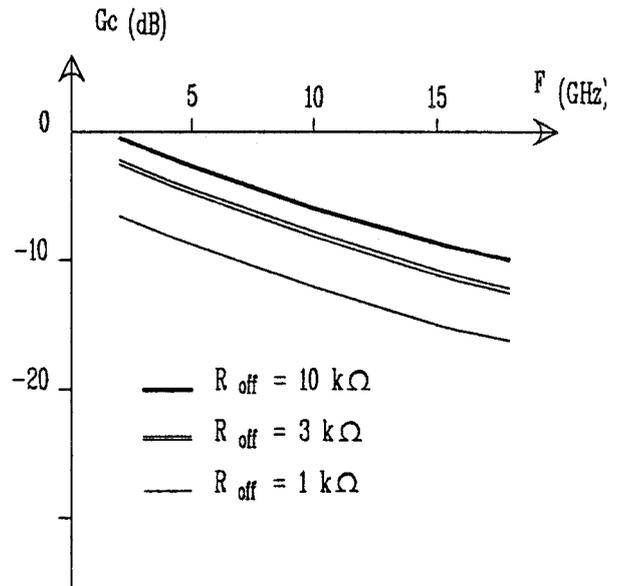
Jusqu'à présent, la plupart des mélangeurs harmoniques large bande fonctionnant dans les mêmes conditions que celles du convertisseur de fréquence large bande nécessitaient des circuits réalisés à l'aide de diodes step recovery ou snap-off. Compte tenu du constat que nous venons d'effectuer, il semble possible d'employer de simples diodes schottky pour écrêter le signal puis le dériver par une cellule R-C suivant la figure I.12.. En vue d'évaluer l'intérêt d'un tel montage, nous avons calculé le gain de conversion que l'on pouvait obtenir avec ce type de circuit. Les résultats illustrés sur la figure I.13 démontrent qu'il est possible d'obtenir des performances pleinement satisfaisantes.

Cependant, on peut se demander jusqu'à quel point il serait possible de simplifier encore ce circuit destiné à la commande du transistor échantillonneur. Dans cette perspective nous avons purement et simplement supprimé le circuit de mise en forme. Le signal de commande de la grille du transistor échantillonneur est alors constitué d'une simple sinusoïde provenant d'un générateur sinusoïdal capable de fournir des puissances relativement élevées. On constate (figure I.14) que cette façon de faire permet finalement d'obtenir des gains de conversion relativement importants pourvu que la puissance de l'oscillateur de commande soit suffisamment grande (par exemple 25 dBm).

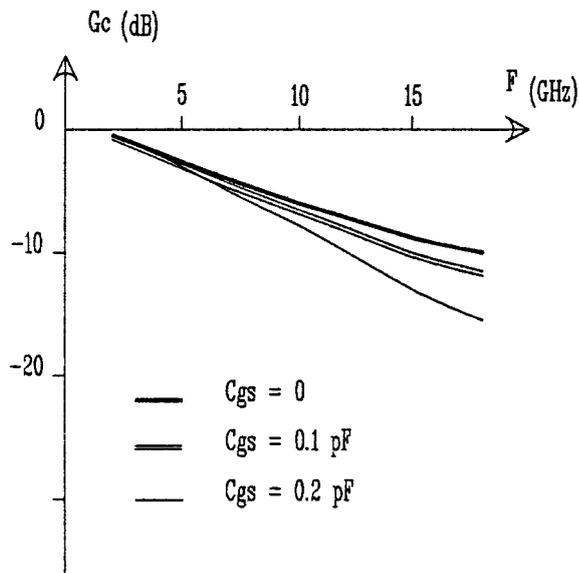
En conclusion, un des avantages essentiels du montage que nous proposons est qu'il donne des performances très largement indépendantes des caractéristiques du signal de commande du transistor échantillonneur. Nous proposons de montrer maintenant que le montage envisagé donne aussi des résultats assez largement indépendants des caractéristiques des transistors utilisés.



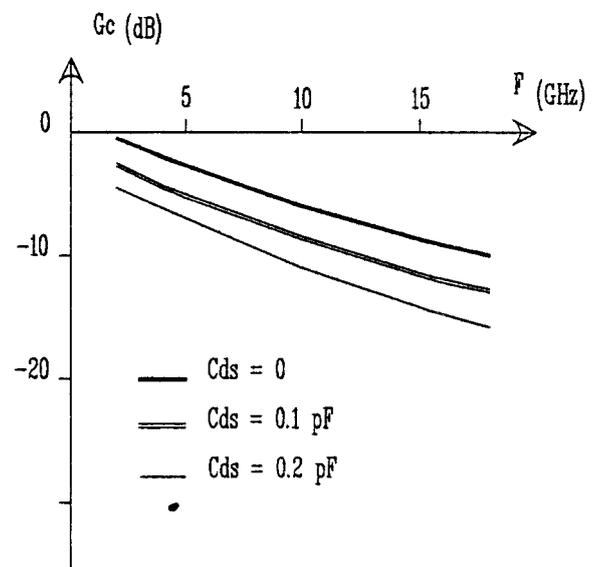
(1)



(2)



(3)



(4)

Figure I.15 : influence des éléments parasites du transistor échantillonneur T_1 sur le gain de conversion.

b) Influence des caractéristiques du transistors T_1

Etudions, tout d'abord en négligeant les éléments capacitifs (cas REF 1), l'influence sur le gain de conversion des valeurs présentées par R_{ON} puis par R_{Off} .

Les résultats présentés sur la figure I.15 (1) et (2) montrent que, comme on pouvait s'y attendre, il faut utiliser des valeurs de R_{ON} aussi faibles que possible et des valeurs de R_{Off} très importantes. Néanmoins, l'influence de ces deux paramètres reste assez faible et l'utilisation de "très mauvais transistors" ($R_{ON} = 100 \Omega$, $R_{Off} = 1 \text{ k}\Omega$) ne se traduit pas par une dégradation considérable des performances.

L'étude de l'influence des éléments capacitifs est effectuée figure I.15 (3) et (4). Bien entendu, plus les valeurs des capacités C_{GS} et C_{DS} sont élevées, plus le gain de conversion diminue et il faudra en pratique utiliser des transistors avec des grilles suffisamment courtes (diminution de C_{GS}) et éviter les couplages capacitifs entre les électrodes de source et de drain.

c) Influence des caractéristiques d'entrée de l'étage adaptateur d'impédance

Celui-ci est en pratique constitué par un étage amplificateur à transistors à effet de champ (T_2) dont il faut prévoir les caractéristiques et en particulier sa longueur de grille. Dans ce but, nous étudions (figure I.16) l'influence de l'admittance d'entrée qu'il présente (schématisée par un dipôle parallèle R-C) sur le gain de conversion (G_c).

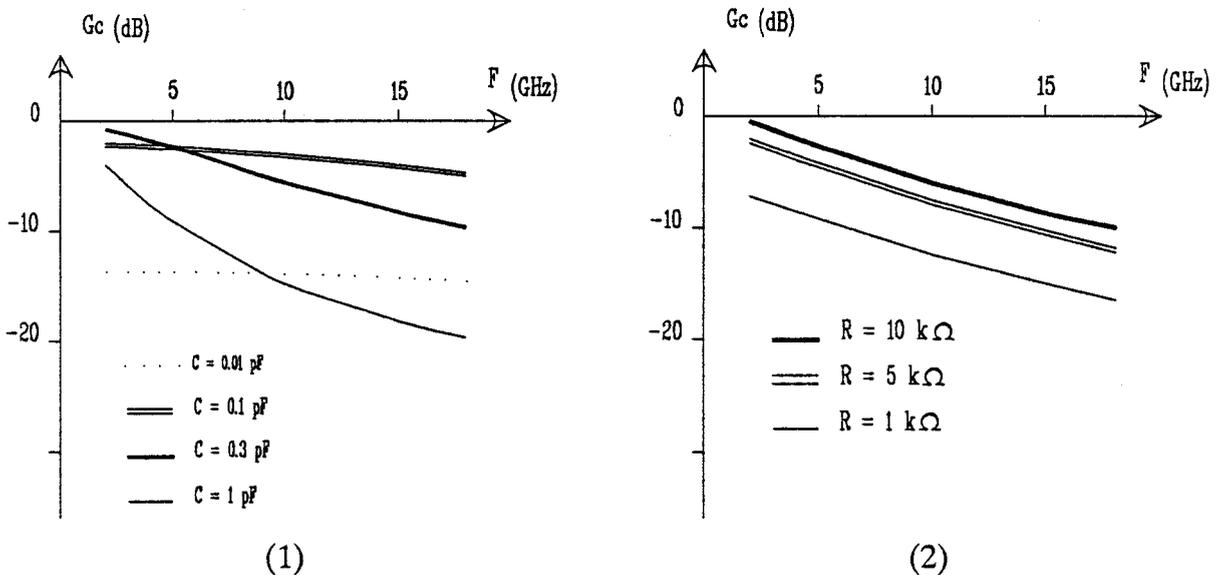


Figure I.16 : influence de l'étage de sortie C-R simulant l'impédance d'entrée du deuxième transistor.

Les résultats obtenus illustrés sur la figure I.16, montrent l'influence considérable de la capacité C . Pour obtenir des gains de conversion élevés il faut diminuer suffisamment la capacité C . Néanmoins, à condition de savoir réaliser des valeurs aussi faibles que 0.1 pF , il semble possible d'avoir des gains de conversion importants et qui ne varient pas de façon significative dans la bande de fréquence visée. La figure I.16 (2) montre l'influence des valeurs présentées par R ; plus cette résistance est grande plus G_c devient élevé et l'on note qu'en pratique R devrait être supérieure à $10 \text{ k}\Omega$.

d) Détermination des caractéristiques des transistors échantillonneur et adaptateur

Les résultats obtenus dans cette étude paramétrique du fonctionnement en convertisseur de fréquence large bande sont très encourageants. Ils montrent que ce type de circuit peut donner de bonnes performances même dans le cas où les transistors utilisés sont de qualité moyenne (R_{on} élevée ou R_{off} relativement faible) et où le signal de commande est délivré directement par un générateur sinusoïdal.

Il reste maintenant à choisir plus précisément les caractéristiques des transistors T_1 et T_2 (en particulier les largeurs notées respectivement W_1 et W_2) qui seront utilisés en échantillonneur et en adaptateur d'impédance de façon à obtenir d'une part des gains de conversion élevés et d'autre part ne variant pas trop dans la bande de fréquence étudiée.

Pour le transistor T_1 , il faut que les conditions suivantes soient réunies :

1) R_{on} , C_{gs} et C_{ds} aussi faibles que possible. Les valeurs visées pouvant être respectivement de 30Ω , 0.1 pF et 0.02 pF .

2) R_{off} très importante (par exemple supérieure à $100 \text{ k}\Omega$).

La condition 2) peut être remplie facilement pourvu que le transistor utilisé "pince" correctement. En ce qui concerne la condition 1), il est à noter qu'en première approximation la valeur de R_{on} est inversement proportionnelle à W_1 alors que C_{gs} et C_{ds} sont proportionnelles à W_1 . Un compromis devra donc être trouvé. Nous choisissons W_1 pour obtenir une résistance R_{on} de l'ordre de 30Ω , soit $W_1 = 150 \mu\text{m}$. La largeur W_1 étant fixée, C_{gs} sera alors d'autant plus faible que la grille sera courte. Nous adoptons en pratique une longueur de $0.5 \mu\text{m}$ qui est réalisable avec un bon rendement dans notre centrale de technologie.

Pour le transistor T_2 , deux conditions doivent être respectées :

- * Obtenir une transconductance suffisamment élevée pour réaliser un gain unité ou supérieur (soit g_m supérieure ou égale à 20 mS d'après la relation (7)).
- * Réaliser une capacité grille source très faible et si possible de l'ordre de 0.1 pF.

Ici encore la largeur du transistor W_2 doit être choisie pour réaliser ces deux conditions. Nous avons pris en pratique $W_2 = 300 \mu\text{m}$ car compte tenu d'une longueur de grille de $0.5 \mu\text{m}$, il ne devrait pas y avoir de problème pour obtenir des transconductances g_m élevées et des C_{gs} suffisamment faibles.

I.3.6.2 Convertisseur de fréquence à bande étroite :

Ce type de fonctionnement est le plus souvent utilisé pour contrôler la stabilité de la fréquence d'entrée F_e en la comparant à l'un des harmoniques du signal d'un oscillateur local de fréquence très stable F_{ol} . La détermination des variations de la fréquence du signal de sortie permet de détecter toute fluctuation de la fréquence F_e et d'agir en conséquence sur le dispositif (VCO) commandant la fréquence d'entrée.

Typiquement dans ce type d'utilisation, la fréquence de l'oscillateur local est faible puisqu'elle est généralement délivrée par un quartz ($200 > F_{ol} > 10 \text{ MHz}$) et la fréquence d'entrée à stabiliser ne varie que de quelques pour cent autour d'une valeur moyenne qui se situe dans le domaine des hyperfréquences. Le convertisseur ne fonctionne donc que dans une bande très étroite et il s'agit d'étudier dans ces conditions les gains de conversion que l'on peut obtenir lorsque l'oscillateur local délivre une fréquence relativement faible.

En pratique, nous étudierons surtout un cas particulièrement typique où la fréquence F_{ol} est égale à 100 MHz, la fréquence d'entrée à stabiliser est voisine de 10 GHz et la fréquence de sortie de 10 MHz. Dans ces conditions de fonctionnement, nous déterminerons l'influence de la forme du signal délivré par l'oscillateur local sur le gain de conversion. Cette étude sera tout d'abord effectuée en considérant un transistor échantillonneur dont les caractéristiques correspondent à la REF1 ($R_{on} = 30 \Omega$, $R_{off} = 10 \text{ K}\Omega$) ; néanmoins nous étudierons ensuite les modifications du gain de conversion résultant de modifications des caractéristiques de T_1 ainsi que l'admittance d'entrée (représentée par le dipôle parallèle R et C) de l'étage suiveur constitué par le transistor T_2 .

Le cas le plus simple que l'on puisse considérer est celui où l'oscillateur local délivre un signal purement sinusoïdal que l'on applique directement sur la grille du

transistor T_1 . La figure I 17 montre l'évolution du gain de conversion avec la puissance délivrée par l'oscillateur local . On constate que même pour des puissances délivrées importantes , les gains obtenus restent très faibles (typiquement - 40 dB pour une puissance P_{O1} de 20 dBm).

Pour augmenter G_C , on peut penser utiliser un circuit de mise en forme permettant l'obtention d'un signal de commande rectangulaire de durée θ . En supposant ce signal parfait (temps de montée τ_m et de descente τ_d négligeable) , le calcul du gain de conversion est particulièrement simple et peut s'effectuer par l'approche analytique.

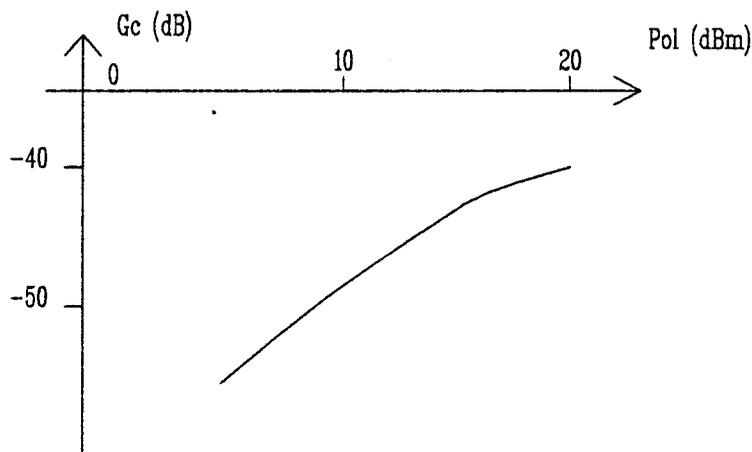


figure I.17 : variation du gain de conversion pour différentes valeurs de P_{O1} (sinusoïdale) avec $F_{O1} = 100$ MHz.

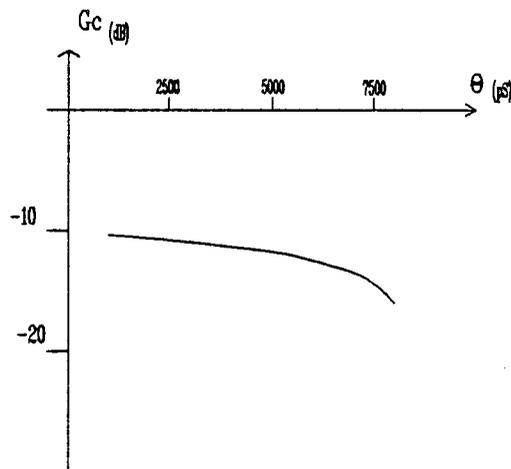


Figure I.18 : variation du G_C avec un fonctionnement en convertisseur de fréquence à bande étroite avec les conditions de fonctionnement précisées en REF1 et $F_{O1} = 100$ MHz.

Les résultats obtenus sont représentés figure I.18; on remarque que le gain de conversion obtenu est effectivement beaucoup plus élevé et qu'il ne dépend que très peu du temps d'ouverture θ . Bien entendu, il s'agit ici d'un cas limite où les signaux délivrés par l'oscillateur local et son circuit de mise en forme sont "parfaits".

En pratique les temps de montée et de descente ne sont jamais négligeables et l'influence de ces deux paramètres est illustrée sur la figure I.19 (résultats obtenus avec la simulation numérique temporelle): le gain de conversion diminue lorsque l'on augmente τ_m et τ_d ; mais l'on constate que cette diminution n'est sensible que pour τ_m supérieur à 500 pS.

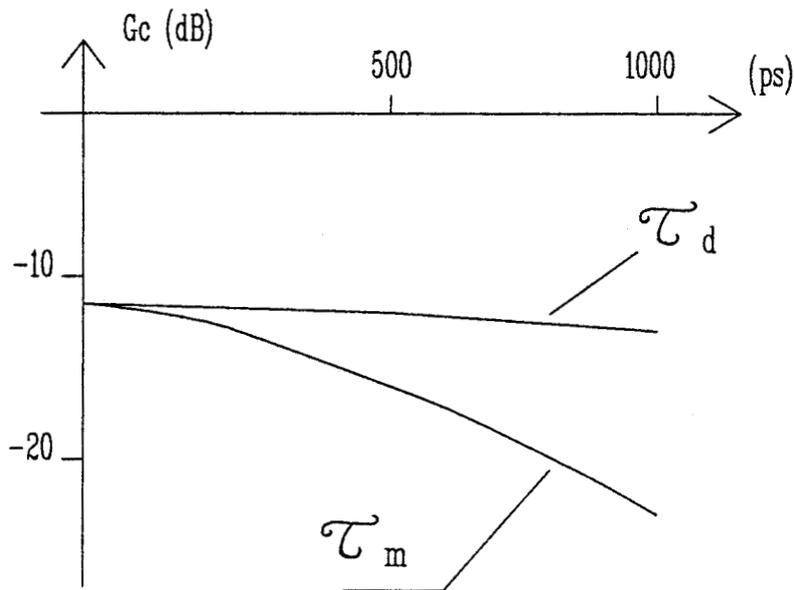


Figure I.19 : influence des temps de montée τ_m et de descente τ_d ($\theta = 5000$ pS = constant et $F_{ol} = 100$ MHz).

En pratique, il faudra donc s'efforcer d'obtenir des signaux de commande caractérisés par des temps de montée et de descente inférieurs à cette valeur.

Dans le cas où ces deux conditions sont très bien réalisées, on peut maintenant étudier dans quelle mesure les caractéristiques du transistor T_1 utilisé en échantillonneur influencent le gain de conversion.

Les résultats de l'étude effectuée sont résumés dans la figure I 20 . On note que l'on peut obtenir des gains de conversion très proches (à quelques dB près) du gain maximal correspondant à un échantillonneur parfait à condition que :

$$R_{on} < 30 \Omega , R_{off} > 10 \text{ k}\Omega \text{ et } C_{ds} < 0.3 \text{ pF}$$

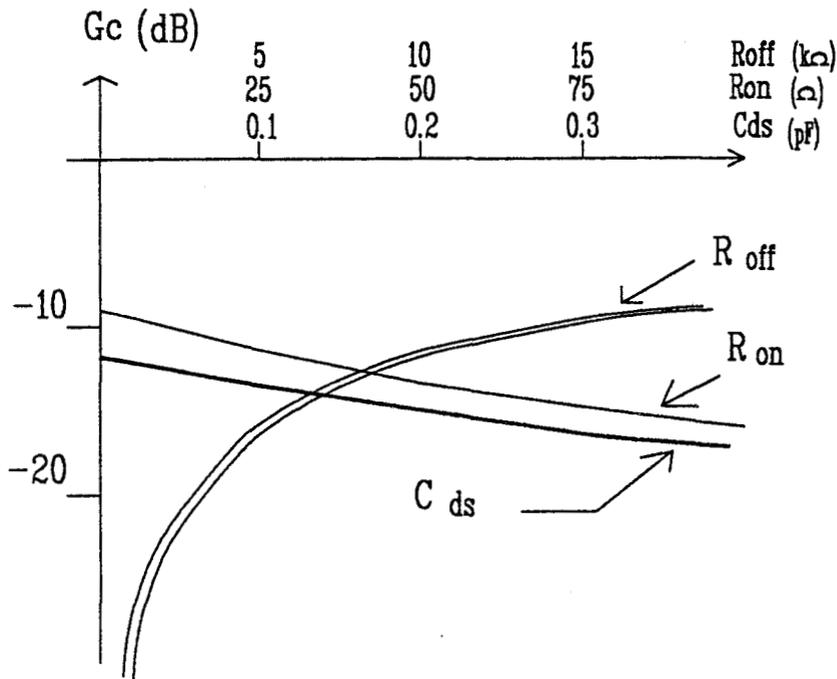


Figure I.20 : influence des éléments parasites du transistor T_1 sur G_c (conditions de fonctionnement REF1 et $F_{O1} = 100 \text{ MHz}$).

On peut maintenant étudier l'évolution du gain de conversion en fonction de l'admittance d'entrée de l'étage d'adaptation d'impédance, caractérisée par un dipôle parallèle R et C , et en se plaçant pour les caractéristiques du transistor T_1 dans les conditions correspondantes à la référence REF 1 (avec $F_{O1} = 100 \text{ MHz}$). Les résultats obtenus sont illustrés sur la figure I 21 ; on remarque d'une part que la valeur optimale de la capacité C est de l'ordre de 0.3 pF et que d'autre part il faut utiliser des valeurs de R supérieures à $100 \text{ K}\Omega$ pour ne pas détériorer le gain de conversion.

Toute cette étude a été effectuée pour un oscillateur local délivrant une fréquence de 100 MHz et il peut être intéressant d'étudier comment évolue G_c en fonction de F_{O1} . Sur la figure I.22, nous avons représenté les évolutions du gain de conversion pour différentes valeurs de la fréquence F_{O1} et lorsque que le signal de l'oscillateur local est d'une part de forme rectangulaire avec un rapport cyclique de $\theta/T_{O1} = 1/2$ et d'autre part sinusoïdal ($P_{O1} = 20 \text{ dBm}$).

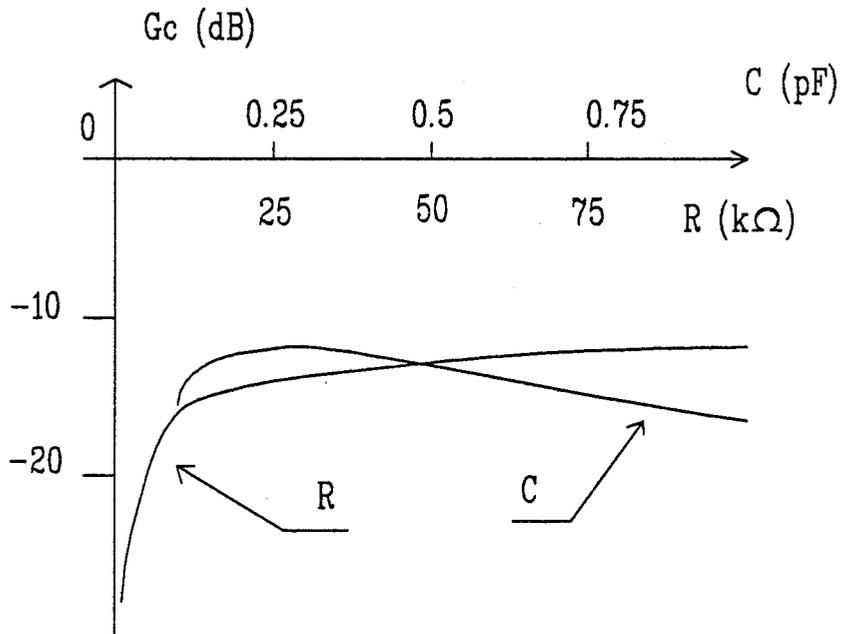


Figure I.21 : évolution du G_c pour différentes valeurs de R et de C (fonctionnement selon REF1 avec $F_{O1} = 100$ MHz).

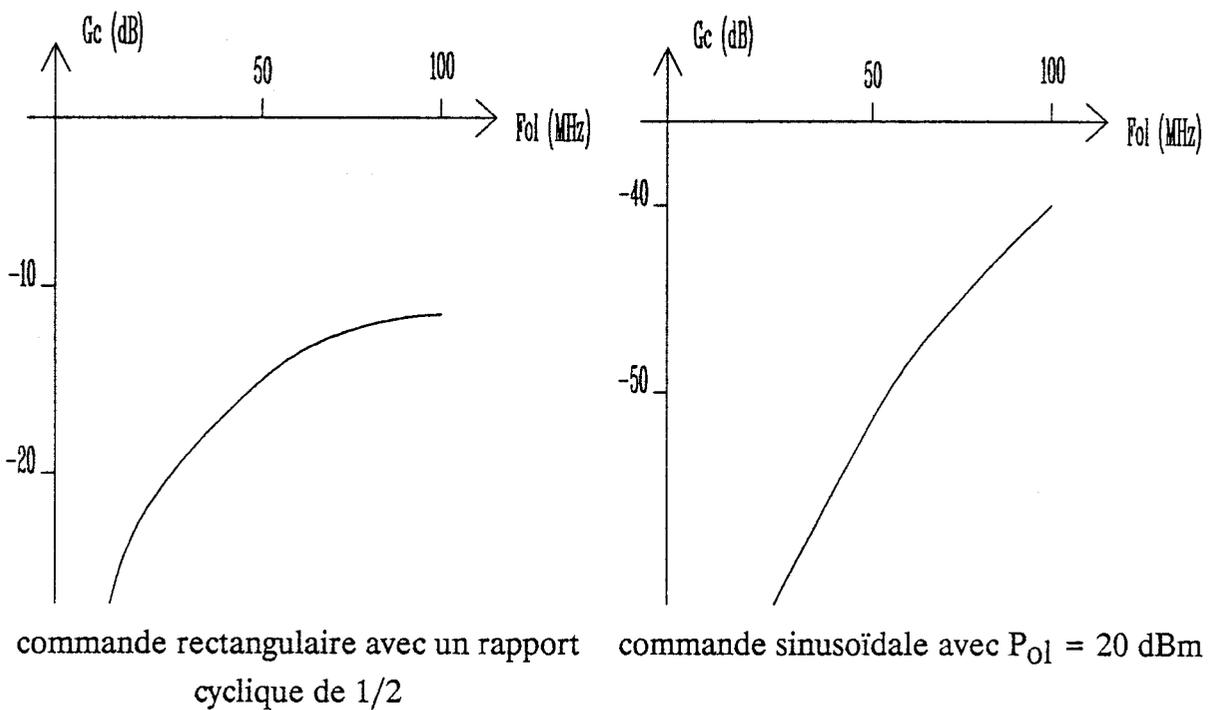


Figure I.22 : évolution du gain de conversion pour différentes valeurs de la fréquence F_{O1} et pour deux types de commande.

On remarque que G_c diminue considérablement lorsque F_{O1} diminue; néanmoins il faut souligner qu'avec un oscillateur local de 10 Mhz et une mise en forme correcte, le gain de conversion atteint encore - 30 dB et ce résultat montre qu'il doit être parfaitement possible avec notre convertisseur d'asservir directement la fréquence d'un oscillateur bande X à celle délivrée par un quartz fonctionnant à 10 Mhz.

I.3.6.3 Transposeur de fréquence

Nous venons d'étudier et de concevoir un circuit destiné à remplir la fonction de convertisseur de fréquence (large bande ou à bande étroite). Nous nous proposons maintenant d'étudier le fonctionnement en transposeur de fréquence et les performances susceptibles d'être obtenues dans ce mode d'opération. La différence fondamentale entre ce dernier type de fonctionnement et les deux précédents réside sans doute dans la puissance délivrée par l'oscillateur local. En effet jusqu'à présent pour obtenir un gain de conversion suffisamment élevé, une puissance minimale P_{O1} de 20 dBm était nécessaire. Il est évident que l'emploi d'une telle puissance P_{O1} est susceptible de générer :

- * d'une part, un facteur de bruit relativement élevé,
- * et d'autre part, des harmoniques indésirables dans la bande de sortie.

Ces raies sont essentiellement dues au mélange des harmoniques des deux fréquences F_e et F_{O1} . En sortie nous pouvons en effet recevoir des signaux de fréquence $F_s_{m,n} = m F_e + n F_{O1}$ avec n et m variant de plus à moins l'infini. Si l'on prend l'exemple suivant: $F_e = 14.25$ GHz, $F_{O1} = 2.5$ GHz, $F_s = 11.75$ GHz avec une bande de sortie comprise entre 10.65 et 12.95 GHz, on constate qu'il existe des raies indésirables dans la bande de sortie pour certaines valeurs de n et de m . Théoriquement, il en existe une infinité mais lorsque les valeurs de n et m deviennent très importantes (en général supérieures à 20) ces composantes sont de puissances pratiquement négligeables. Ainsi pour l'exemple ci-dessus, les principales raies indésirables ont pour valeurs : $F_s_{-1,10} = 10.75$ GHz, $F_s_{0,5} = 12.5$ GHz, $F_s_{2,-7} = 11$ GHz et $F_s_{3,-10} = 12.75$ GHz.

Dans beaucoup d'exemples d'utilisation d'un transposeur de fréquence, le cahier des charges prévoit que ces raies parasites doivent être de puissances beaucoup plus faibles (par exemple - 60 dB) que la composante de sortie à la fréquence désirée. En pratique, cette exigence ne pourra être satisfaite que dans la mesure où la puissance de l'oscillateur local est suffisamment faible. C'est pourquoi, dans ce type de fonctionnement, les puissances appliquées à l'oscillateur local seront très faibles et ne dépasseront pas 5 dBm.

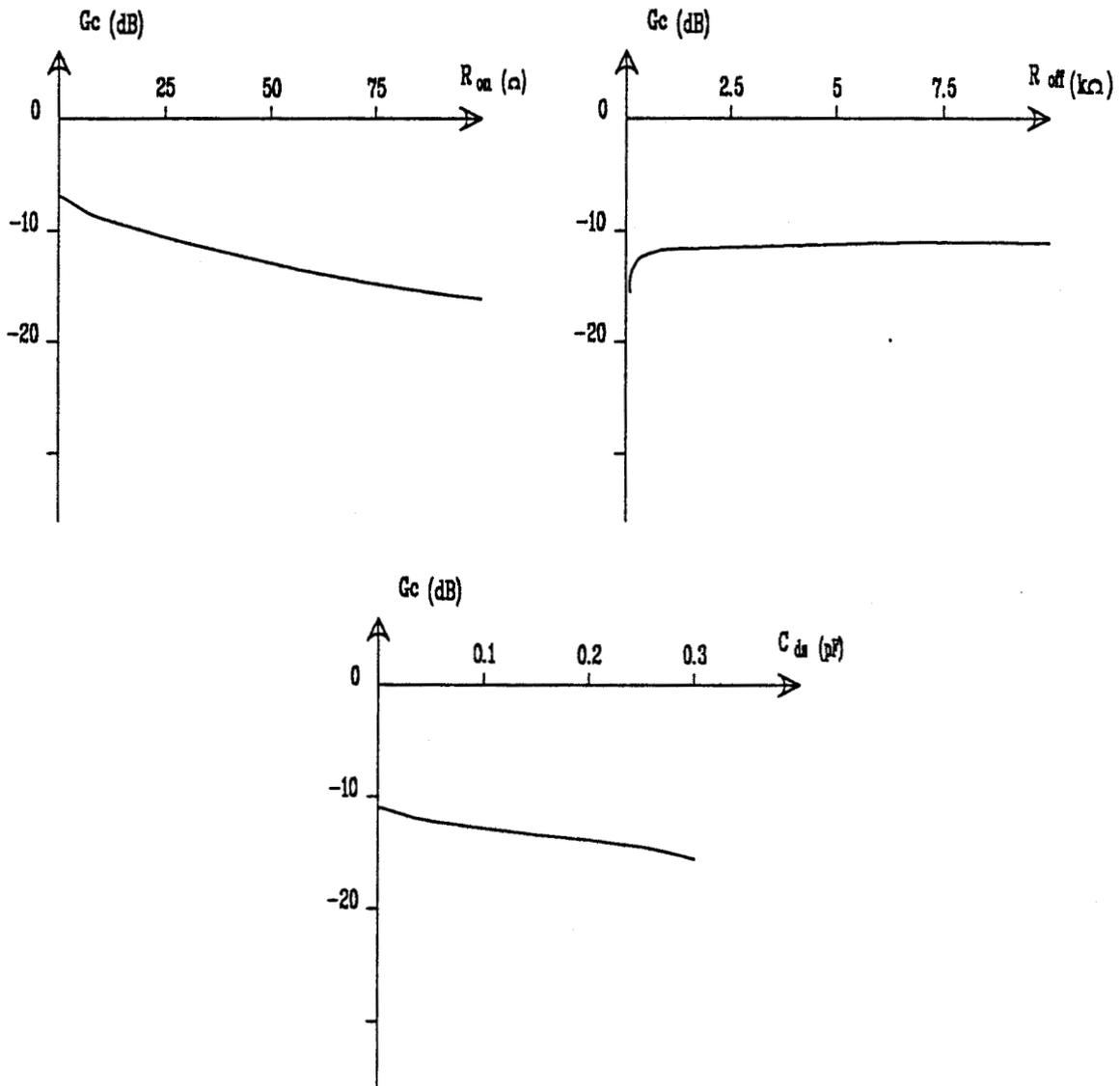


Figure I.23 : effet sur le gain de conversion des éléments parasites du premier transistor dans un fonctionnement en transposeur (REF2).

C'est dans ces conditions de fonctionnement que nous nous proposons maintenant d'étudier l'évolution du gain de conversion en fonction des caractéristiques du transistor échantillonneur T_1 et de l'admittance d'entrée (dipôle R et C) de l'étage adaptateur d'impédance. Nous considérerons dans ce but le cas suivant :

Performances de référence (REF2) :

- fréquence $F_e = 14$ GHz,
- fréquence $F_{O1} = 2$ GHz , puissance $P_{O1} = 5$ dBm,
- fréquence $F_s = 12$ GHz,
- transistor $T1$: $R_{On} = 30 \Omega$, $R_{Off} = 10$ k Ω , $V_p = -1$ V et ses capacités parasites sont considérées comme nulles,
- impédance d'entrée de l'étage d'adaptation d'impédance :

$$R = 1 \text{ M}\Omega \text{ et } C = 0.3 \text{ pF.}$$

C'est par rapport à ce cas de référence (REF2) où nous obtenons un gain de conversion de -11 dB que nous étudierons, en utilisant la simulation numérique temporelle, l'évolution du gain de conversion lorsque les caractéristiques des transistors T_1 et T_2 sont modifiées.

Les évolutions du gain de conversion en fonction des trois paramètres les plus caractéristiques du transistor T_1 sont représentées sur la figure I 23 .

On remarque que les valeurs présentées par R_{Off} et la capacité C_{ds} ont très peu d'influence sur G_c et qu'une valeur de R_{On} inférieure à une trentaine d'Ohm permet de retrouver à quelques dB près le gain de conversion correspondant à un échantillonneur parfait. L'influence des deux éléments R et C caractérisant l'admittance d'entrée de l'étage suiveur est illustrée sur la figure I 24.

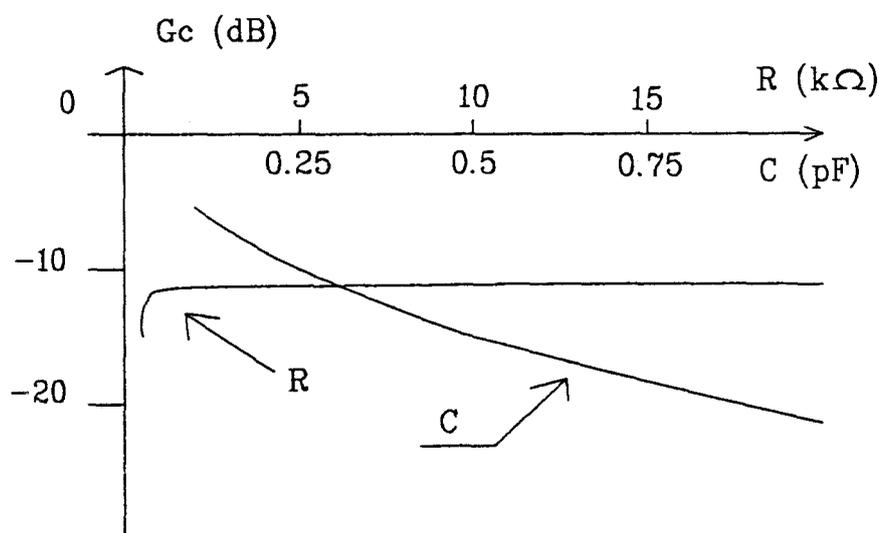


Figure I.24 : variation de l'étage de sortie dans un fonctionnement REF2.

On observe que la valeur de R ne modifie que très peu le gain de conversion mais que l'influence de la capacité C est très critique : une valeur aussi faible que possible est fortement recommandée.

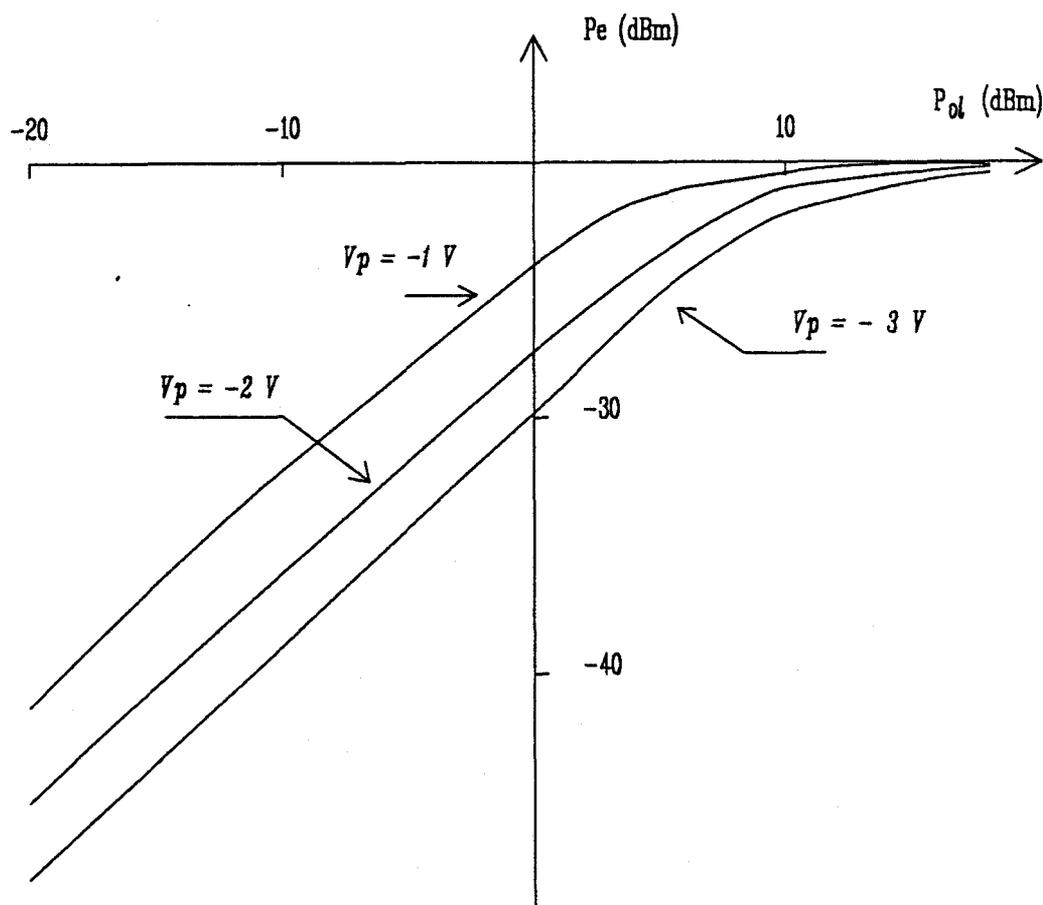


Figure II.25 : linéarité du dispositif pour trois valeurs de la tension de pincement V_p du premier transistor ($P_e = -10 \text{ dBm}$).

Par ailleurs, sur la figure I.25 nous avons représenté l'évolution de la puissance de sortie P_s en fonction de la puissance de l'oscillateur local P_{ol} pour trois valeurs de la tension de pincement du transistor T_1 (de -3 v à -1 v). Nous pouvons constater que la puissance de compression est d'autant plus grande que la tension de pincement V_p du transistor est négative. A partir de cette puissance de compression on peut estimer la valeur de la puissance P_{ol} à ne pas dépasser afin que les composantes parasites dues à des mélanges d'harmoniques soient négligeables. Elle devrait avoir une valeur proche de 4 dBm pour une tension de pincement de -1 V .

Enfin, on peut remarquer que pour une puissance P_{ol} donnée, la puissance de sortie augmente et donc le gain de conversion, lorsque la tension de pincement se rapproche de zéro.

I 3 7 Simulation prenant en compte les caractéristiques exactes de l'étage suiveur

Jusqu'à maintenant, nous avons supposé que l'étage adaptateur constitué par le transistor T_2 était caractérisé par un gain unité. En réalité, la valeur du gain obtenu et sa tenue en fréquence dépendent des caractéristiques de T_2 (transconductance, capacité C_{gs} ...). Pour bien prendre en compte ces caractéristiques, une simulation sur Spice peut être effectuée en introduisant toutes les caractéristiques des deux transistors T_1 et T_2 . En admettant une largeur pour le premier de 150 microns et pour le second de 300 microns, et en utilisant pour décrire le fonctionnement de ces transistors des caractéristiques correspondant aux meilleures réalisations expérimentales effectuées dans la Centrale de Technologie du C.H.S., on peut ainsi obtenir les évolutions typiques que devrait présenter le gain d'un convertisseur large bande en fonction de la fréquence d'entrée. Les résultats obtenus sont représentés figure I.26; on note que dans la bande de fréquence visée, le gain de conversion reste toujours très proche de 0 dB et ce résultat apparaît particulièrement intéressant pour la poursuite de ce travail.

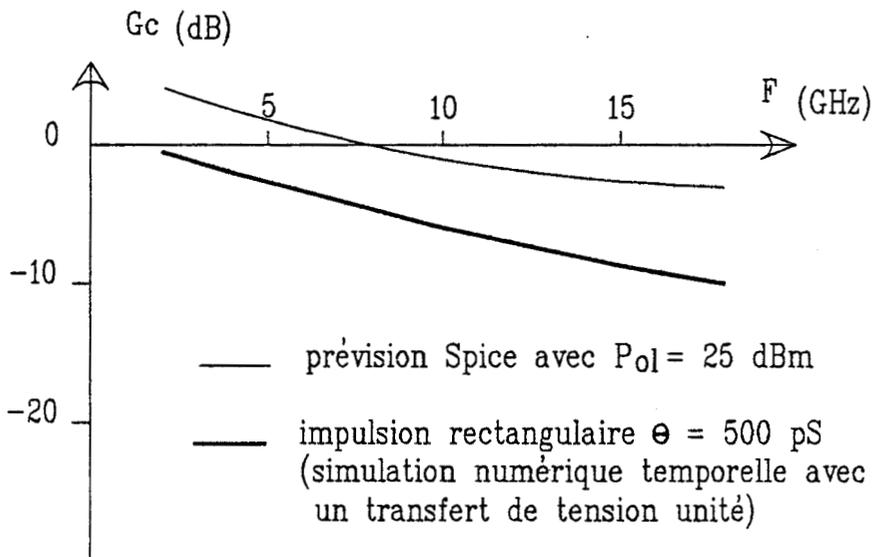


Figure I.26 : évaluation des performances du dispositif avec Spice (qui tient compte du gain de l'étage de sortie, comparé avec les résultats de la simulation numérique temporelle).

I.4 Conclusion

Dans ce chapitre, nous avons étudié les propriétés en conversion de fréquence d'un circuit très simple composé d'un premier transistor à effet de champ fonctionnant en échantillonneur avec une tension drain source nulle et d'un second transistor fonctionnant en adaptateur d'impédance.

Dans ce but, nous avons employé des outils théoriques variés utilisant soient des méthodes analogiques soient encore des simulations numériques temporelles qui nous ont permis d'aboutir à des constatations intéressantes.

il apparaît que malgré sa très grande simplicité, le circuit proposé permet d'obtenir en conversion de fréquence des performances élevées. En particulier, il faut noter les avantages suivants :

- possibilité avec un même circuit de couvrir un grand nombre d'applications depuis la conversion large bande avec un abaissement de la fréquence jusqu'au fonctionnement en transposeur.

- possibilité d'utiliser sans perdre trop en performance, des transistors de qualité modeste et, en ce qui concerne l'oscillateur local, de travailler sans circuit de mise en forme ou avec des circuits de mise en forme rudimentaires.

Compte tenu de ces résultats encourageants, il apparaît maintenant intéressant de vérifier ces déductions théoriques par des réalisations et des études expérimentales. Ce sont des travaux de ce type que nous proposons de décrire dans les chapitres suivants.

DEUXIEME CHAPITRE

REALISATIONS DU CONVERTISSEUR DE FREQUENCE

EN TECHNOLOGIE HYBRIDE ET INTEGREE

DEUXIEME CHAPITRE

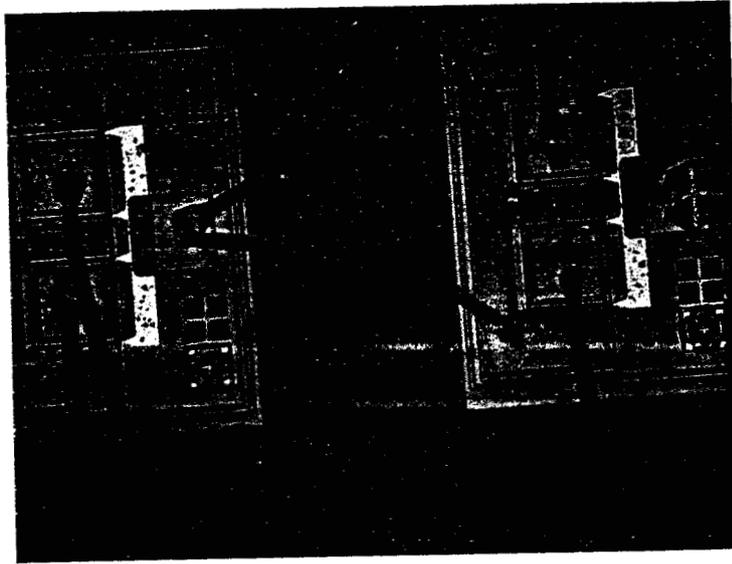
<p>REALISATIONS DU CONVERTISSEUR DE FREQUENCE</p> <p>EN TECHNOLOGIE HYBRIDE ET INTEGREE</p>

II.1 INTRODUCTION

Les résultats des diverses simulations du premier chapitre ont montrés que le circuit étudié pouvait nous donner des performances très intéressantes à condition d'utiliser des transistors comportant de faibles valeurs de capacités parasites ainsi qu'un oscillateur local approprié au fonctionnement désiré. Afin de minimiser les éléments parasites néfastes à un fonctionnement correct du circuit, une réalisation en circuit intégré monolithique paraît donc plus adéquate. Cependant avant d'effectuer cette réalisation, il nous semble préférable de confirmer les résultats des simulations par une étude expérimentale préliminaire.

Ce chapitre sera donc composé de deux parties principales :

- * une première partie ayant pour objet la réalisation du circuit en technologie hybride
- * et une deuxième partie consacrée à la réalisation du circuit en technologie monolithique.



Photographie représentant un détail du circuit hybride.

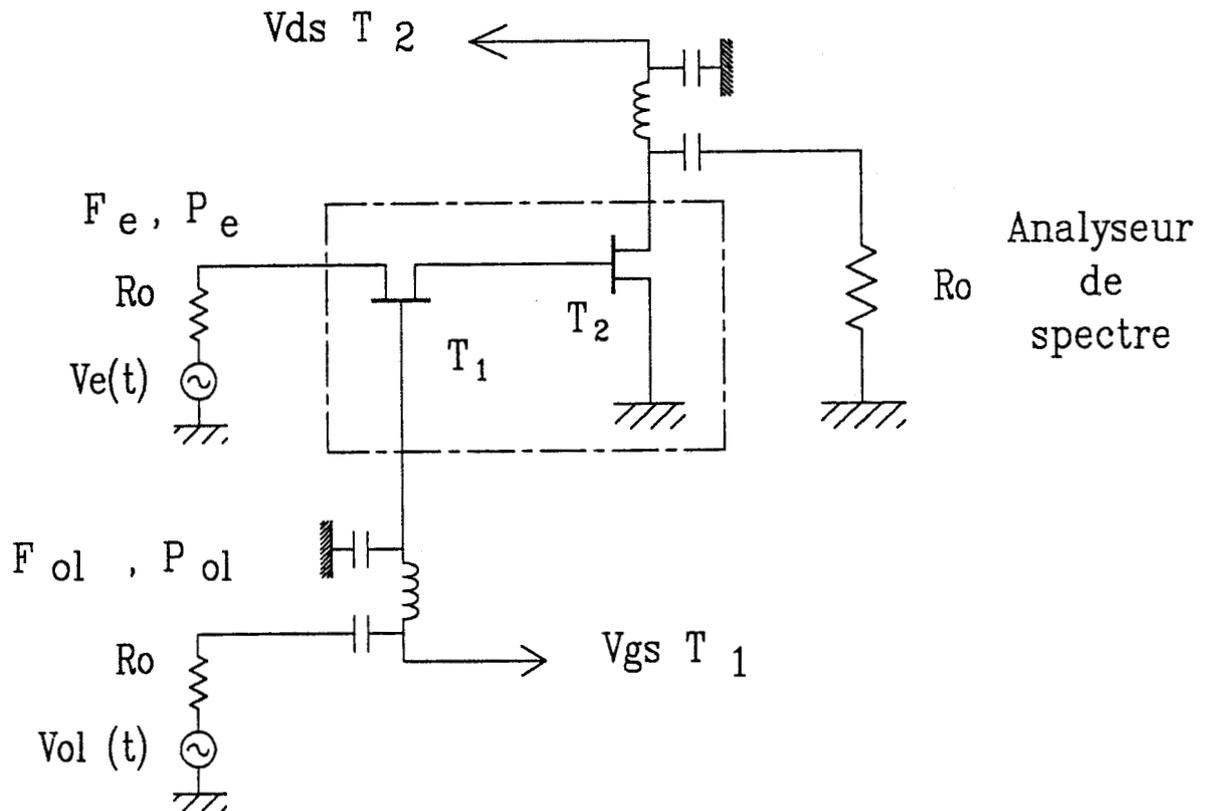


Figure II.1 : banc de mesure

II.2 REALISATION DU CIRCUIT EN TECHNOLOGIE HYBRIDE

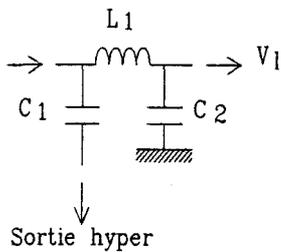
II.2.1 Introduction

Le circuit hybride est constitué de deux transistors classiques (N.E.C. 720).

Le substrat utilisé est du type Duroïd 6010 dont les caractéristiques sont les suivantes :

- permittivité relative $\epsilon_r = 10.5$ à 10 GHz
- hauteur du substrat $h = 635 \mu\text{m}$
- épaisseur métallisation $t = 17.5 \mu\text{m}$

Afin de polariser le circuit nous avons utilisé des Tés de polarisation dont les éléments internes self et capacités ont pour valeurs :



polarisation
continue

$$L_1 = 100 \text{ nH}$$

$$C_2 = 700 \text{ pF}$$

$$C_1 = 200 \text{ pF}$$

La bande passante du Té
est de 0.1-18 GHz

Cette réalisation a pour but essentiel de vérifier les résultats théoriques, nous ne présentons donc que les principales performances du circuit dans le cas d'un fonctionnement en convertisseur large bande.

II.2.2 Résultats

Les résultats qui suivent ont été obtenus en optimisant le gain de conversion en jouant sur la polarisation de grille du premier transistor et dans certains cas sur l'adaptation de l'oscillateur local. Cette optimisation fut faite à une seule fréquence (en général pour $F_e = 15 \text{ GHz}$), ensuite pour les autres fréquences nous n'avons changé ni les polarisations, ni l'adaptation de l'oscillateur local. Cette remarque est aussi valable pour les résultats concernant la réalisation en circuit intégré.

Ne disposant pas, à la fréquence de 1 GHz, de circuit de mise en forme nous nous sommes contentés d'un générateur du type sinusoïdal mais pouvant délivrer des puissances relativement importantes (de l'ordre d'une vingtaine de dBm). Il est certain que dans ce cas on se pénalise en gain de conversion mais part contre cette dégradation des performances est largement compensée par la simplicité.

En utilisant le banc de mesure décrit sur la figure II.1 (donc sans adapter l'oscillateur local) nous avons donc relevé l'évolution fréquentielle du gain de conversion pour deux puissances de l'oscillateur local P_{O1} .

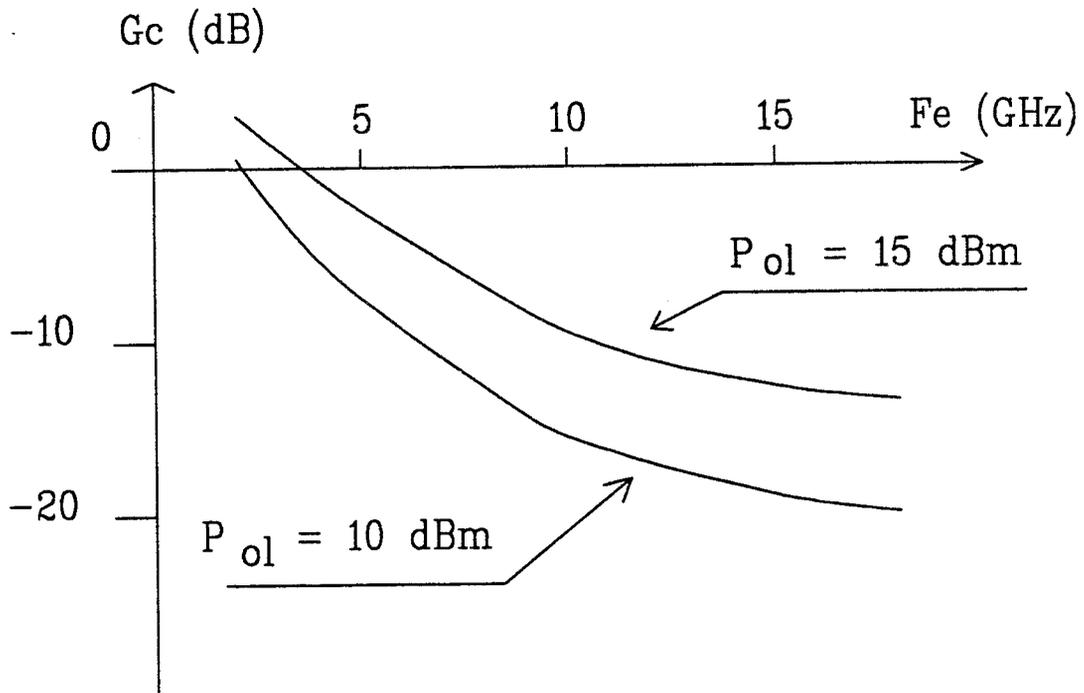


Figure II.2 : évolution du gain de conversion pour deux puissances de l'oscillateur local P_{ol} non adapté.

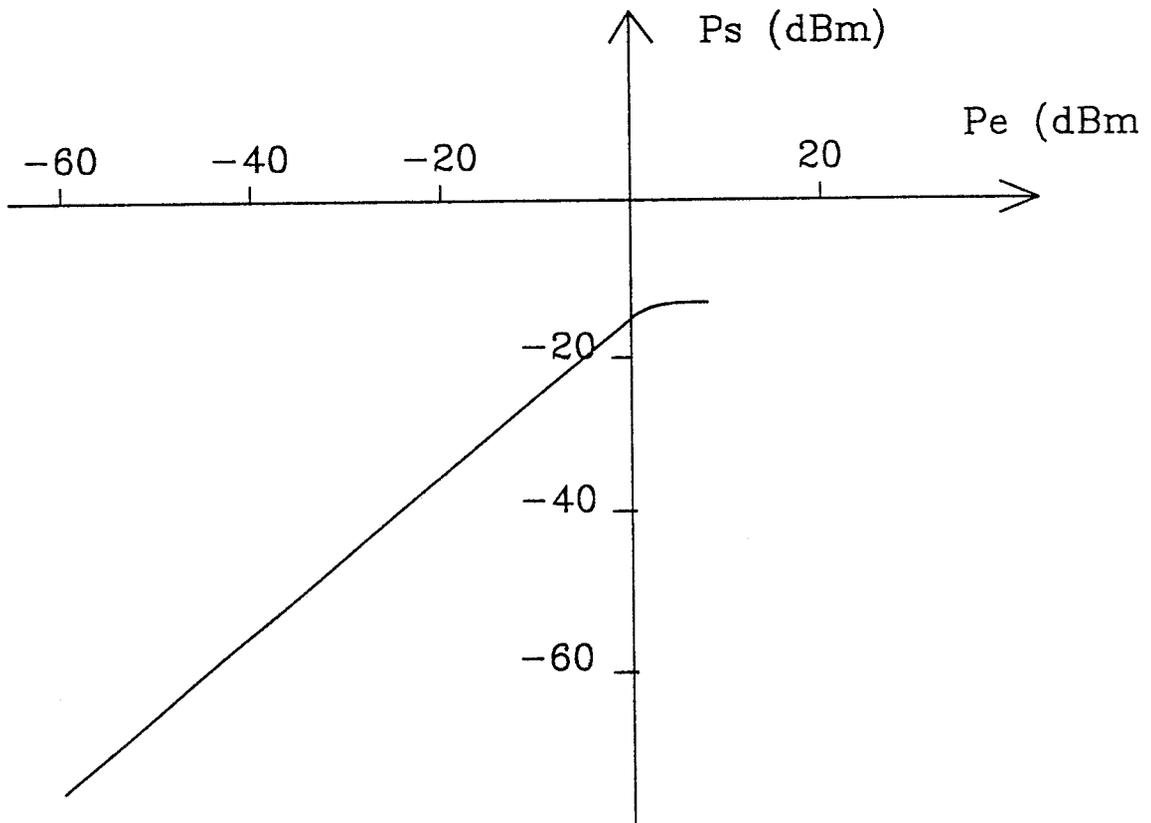


Figure II.3 : linéarité P_s en fonction de P_e , avec $P_{ol} = 10 \text{ dBm}$ non adapté et $F_e = 10.2 \text{ GHz}$.

On constate sur la figure II.2, tout comme l'avait montré l'étude théorique, que plus on augmente la puissance P_{O1} plus les performances du circuit sont améliorées (gain de conversion plus important et avec une décroissance légèrement moins grande en fonction de la fréquence d'entrée). Ce résultat est cohérent car lorsque l'on augmente P_{O1} on se rapproche du fonctionnement correspondant à un échantillonnage parfait. En effet, pour des valeurs importantes de P_{O1} le signal est naturellement écrêté par le transistor T_1 , et de ce fait le signal sur la grille de ce transistor tend à devenir pratiquement rectangulaire.

Dans la plupart des applications, il est nécessaire que le gain de conversion reste constant quelque soit la puissance P_e . Nous avons donc vérifié la linéarité du système, les résultats obtenus sont représentés sur la figure II.3. Sur cette figure, on observe une puissance minimale détectable de - 60 dBm et une puissance de compression de 5 dBm. L'évolution du gain de conversion en fonction de la fréquence de sortie F_s est représentée sur la figure II.4, on constate que le gain de conversion reste assez constant dans toute la bande utile DC-500 MHz. La décroissance du G_c en basse fréquence est liée au T_e de polarisation dont les caractéristiques pourraient être sensiblement améliorées.

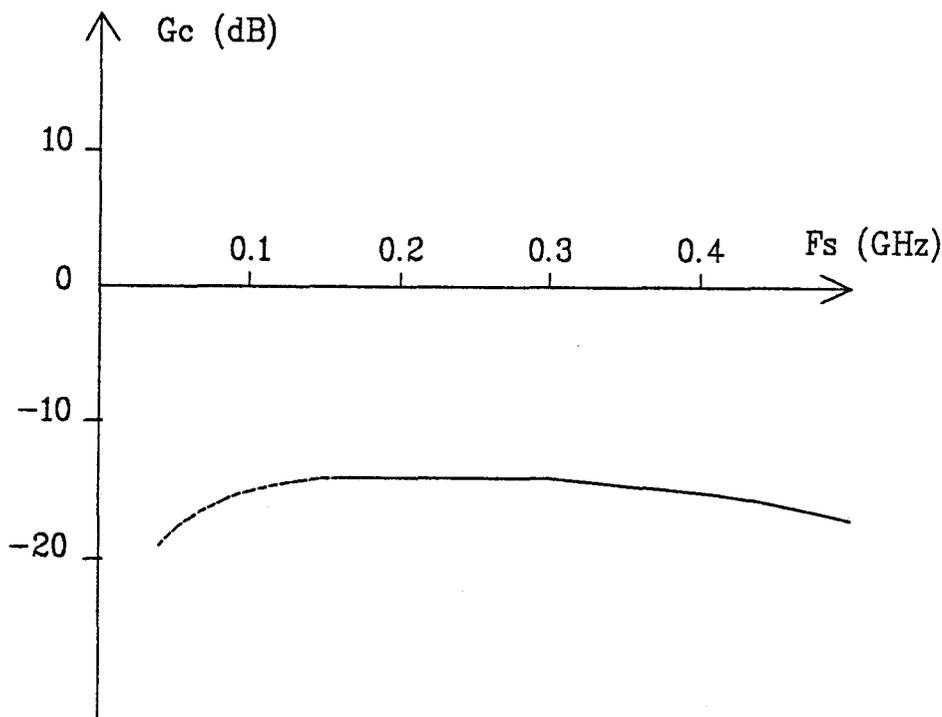


Figure II.4 : évolution du gain de conversion en fonction de la fréquence de sortie pour $P_{O1} = 10$ dBm non adapté, $P_e = -10$ dBm et F_e compris entre 10 et 10.5 GHz.

chapitre II-6

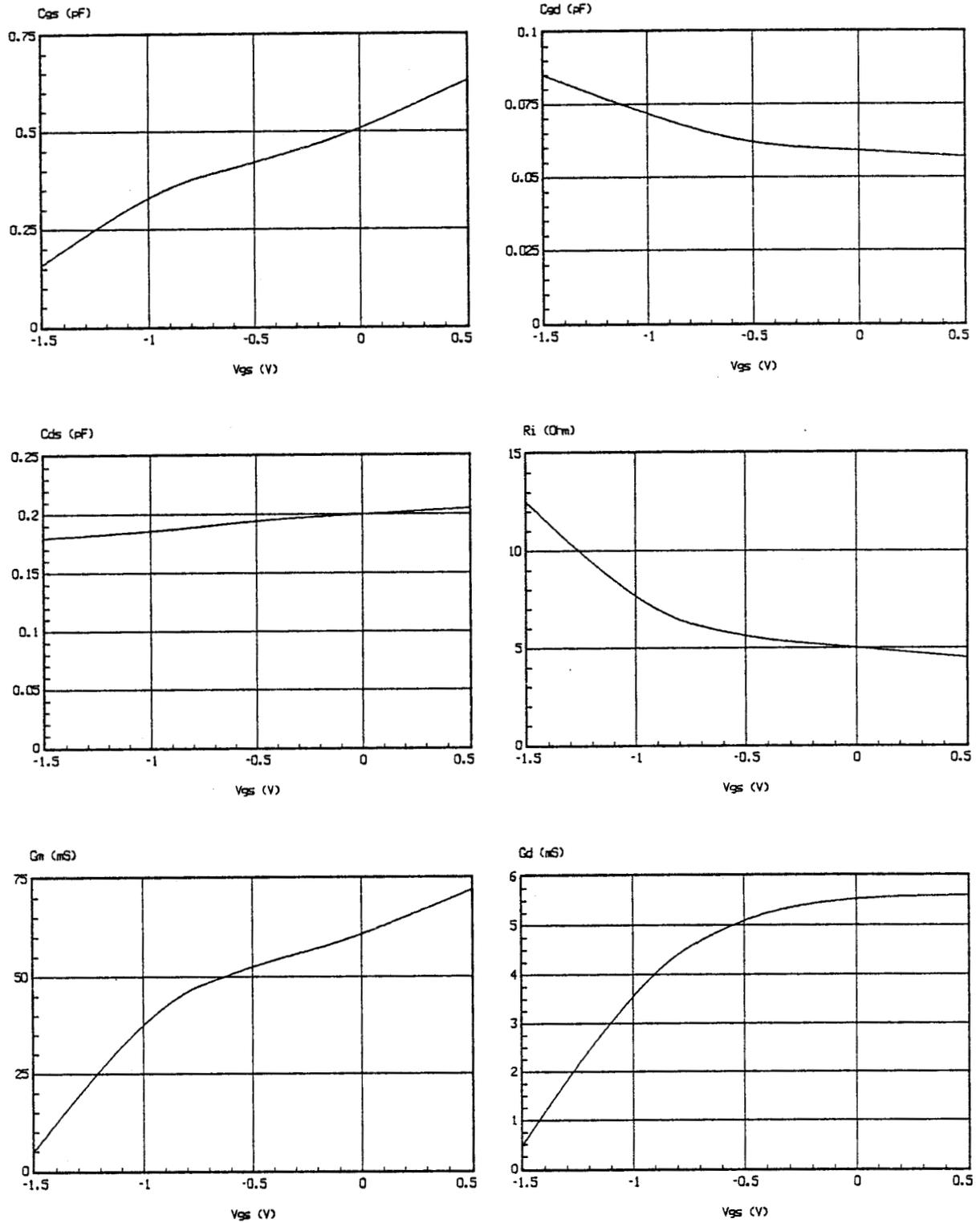


Figure II.7 : principaux résultats de la caractérisation d'un N.E.C. 720 déterminée à $V_{ds} = 3$ V.

Etant donné que dans le fonctionnement étudié la fréquence F_{O1} reste fixe, il est facile d'adapter l'oscillateur local à la charge présentée par la grille du T.E.C. échantillonneur. Comme le montre la figure II.5 une amélioration significative des performances est constatée lorsque l'on insère un adaptateur entre la grille de T_1 et l'oscillateur local. On peut d'ailleurs remarquer que plus P_{O1} est faible plus cette amélioration est importante.

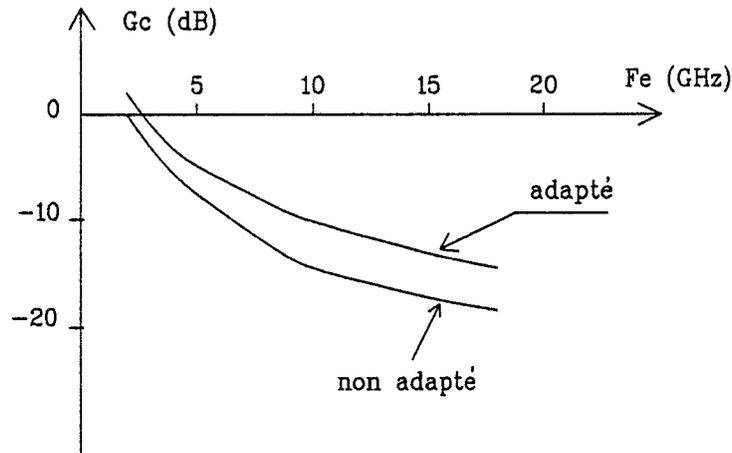


Figure II.5 : augmentation du G_c lorsque l'on adapte l'oscillateur local.

Afin de montrer que les résultats sont reproductibles, nous avons réalisé un deuxième circuit. Les performances obtenues (présentés sur la figure II.6) sont sensiblement identiques aux précédentes. Néanmoins, un plus grand soin apporté à ce deuxième montage et l'utilisation d'un substrat de meilleure qualité, nous ont permis d'obtenir une légère amélioration des résultats.

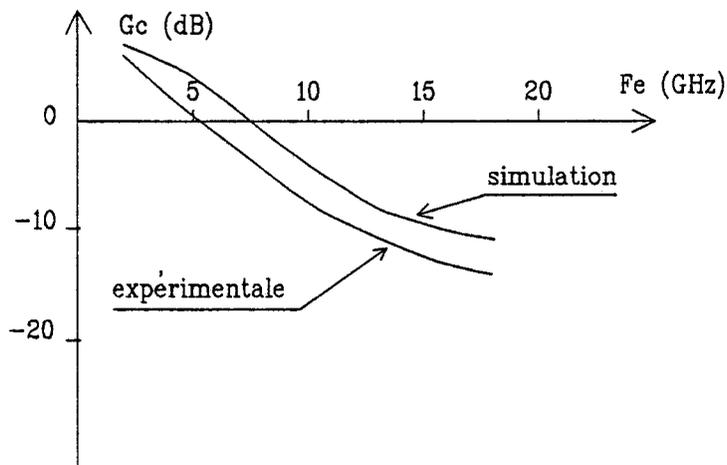


Figure II.6 : performances de la deuxième réalisation et comparaison avec la simulation numérique.

Il reste maintenant à étudier dans quelle mesure ces résultats expérimentaux sont en accord avec ceux prévus par l'étude théorique. Dans ce but, on peut utiliser la simulation numérique temporelle en introduisant, pour décrire le comportement du circuit, les caractéristiques des transistors T_1 et T_2 (NEC 720) déterminées expérimentalement et reportées sur la figure II.7. Les résultats de la simulation sont reportés sur la figure II.6 où l'on peut noter un accord relativement satisfaisant entre la théorie et l'expérience.

II.3 REALISATION EN M.M.I.C.

II.3.1 Introduction

Les deux réalisations effectuées en circuit hybride ont permis de confirmer l'étude théorique faite dans le premier chapitre. Bien que les gains de conversion soient relativement intéressants, la bande de fréquence où le G_c reste élevé est relativement faible. Ce fait peut s'expliquer par la présence d'éléments parasites liés à la technologie hybride, et par la grande valeur de la capacité C_{gs} du transistor de sortie. Pour pallier à ces inconvénients, nous allons donc réaliser le circuit en technologie monolithique.

Lors de la conception nous nous sommes imposés quatre conditions à respecter :

- possibilité de réaliser les grilles des transistors :
 - * soit au masqueur optique ($l_g \neq 0.5 \mu m$)
 - * soit au masqueur électronique ($l_g \neq 0.5 \mu m$)
- possibilité de mesurer chaque élément du circuit de façon indépendante
- possibilité d'effectuer des caractérisations avec des sondes hyperfréquences (test sous Cascade)
- possibilité de modifier le montage simplement.

II.3.2 Présentation du circuit intégré

Le schéma de principe du circuit est illustré sur la figure II.8 .

Les pointillés symbolisent les possibilités de modification du montage. Pour assurer un bon fonctionnement du premier transistor, nous avons réalisé à proximité immédiate de T_1 deux résistances GaAs R_1 et R_2 de valeurs élevées. Ainsi nous avons la possibilité de relier les deux résistances afin que le transistor fonctionne à $V_{ds} \neq 0 V$. De plus deux diodes Schottky sont prévues pour éventuellement écrêter le signal de l'oscillateur local.

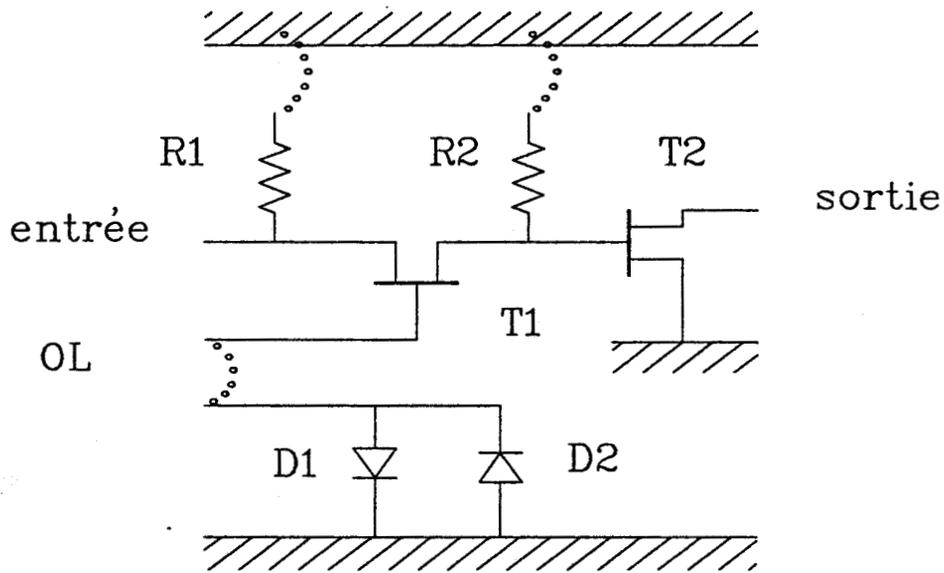


Figure II.8 : schéma de principe du circuit intégré.

Pour réaliser le circuit nous avons utilisé une couche épitaxiée classique (Sumitomo) dont les caractéristiques sont représentées sur la figure II.9.

$N^+ = 2 \cdot 10^{18} \text{ at/cm}^3$	$H_{N^+} = 0.25 \mu\text{m}$
$N = 3 \cdot 10^{17} \text{ at/cm}^3$	$H_N = 0.22 \mu\text{m}$
couche tampon	$H_t = 4 \mu\text{m}$
Substrat GaAs	$H_s = 300 \mu\text{m}$

Figure II.9 : couche épitaxiée utilisée.

Pour réaliser le circuit nous allons utiliser une technologie classique à base de TEC GaAs. Les différents dessins de masque sont effectués à l'échelle 10 à l'aide du logiciel "Lodarem" élaboré au laboratoire. Chaque contour est ensuite décomposé en pavé élémentaire de manière à ce qu'il puisse être traité par le photocomposeur.

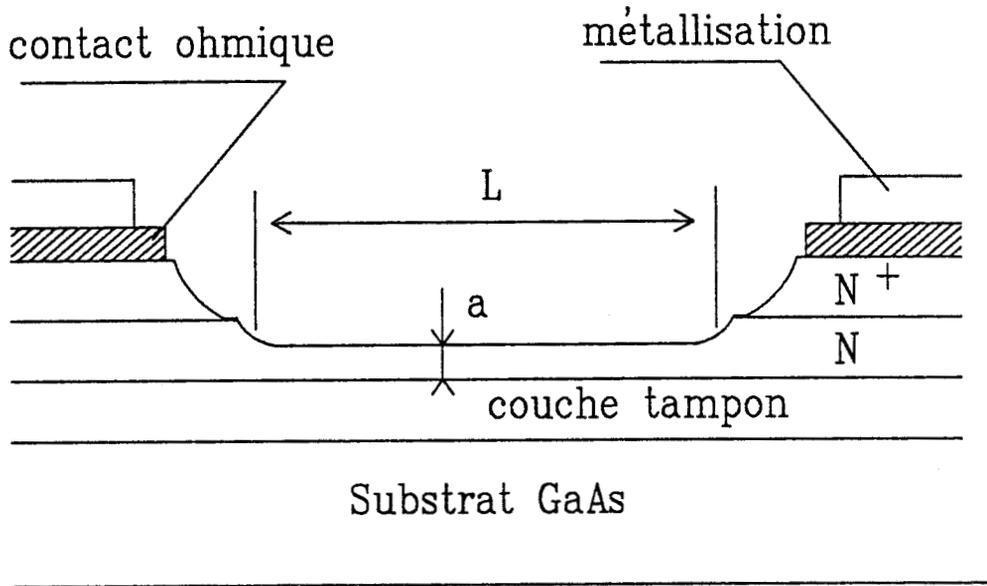


Figure II.10a : réalisation d'une résistance utilisant la zone active.

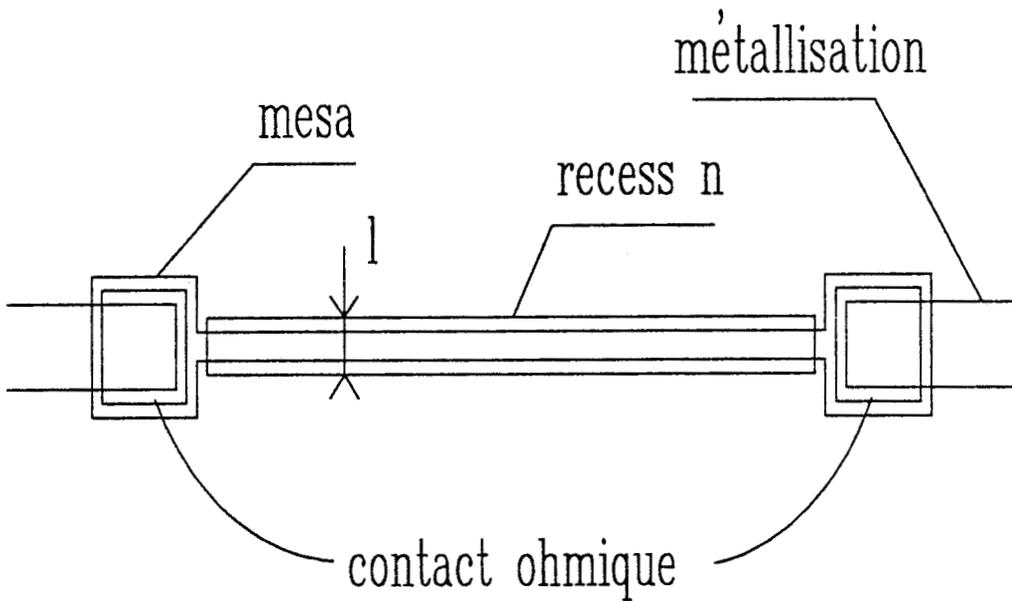


Figure II.10b : présentation des masques pour la réalisation d'une résistance.

Le photocomposeur réalise les masques à l'échelle 10, qui seront ensuite réduits à l'échelle 1 et photorépétés de manière à permettre la fabrication simultanée de plusieurs circuits.

Lors de la réalisation d'un circuit intégré, il est intéressant pour augmenter le rendement de fabrication et diminuer les coûts, d'utiliser un nombre limité de masques. Par conséquent, nous avons conçu le circuit de façon à ce qu'il comporte un minimum de niveaux de masquage (nombre de masques identique à celui nécessaire à la fabrication d'un T.E.C.).

Il comporte cinq niveaux :

- *le masque de mesa*, permet l'isolation des différents éléments actifs. Cette étape est effectuée à l'aide d'une attaque chimique qui enlève les couches n^+ et n autour des composants.

- *le masque des contacts ohmiques* permet de déposer sur des zones bien choisies de l'épitaxie n^+ des contacts ohmiques réalisés en déposant des couches métalliques d'épaisseur convenable d'or de germanium et de nickel.

- *le masque du recess n* , permet la réalisation de l'attaque d'une partie des zones actives du transistor et des résistances.

- *le masque de grille* permet le dépôt des couches métalliques Ti, Pt, Au formant les grilles des transistors. Cette étape utilise un masque optique qui peut être remplacé par une opération d'écriture directe à partir d'un masqueur électronique.

- le masque *d'épaississement* permet, de déposer une couche supplémentaire au dessus des contacts ohmiques pour diminuer les résistances d'accès, faciliter les micro-soudures et effectuer les interconnexions.

Dans la technologie utilisée un certain nombre d'opérations complémentaires ne nécessitant pas de niveau de masquage supplémentaire sont souvent utilisées :

- utilisation des contacts ohmiques réalisés pour effectuer une attaque partielle de la couche épitaxiée n^+ entre les électrodes de source et de drain,

- utilisation du masque de grille pour ajuster la tension de seuil par attaque de la couche n .

Par ailleurs, les résistances intégrées R_1 et R_2 sont réalisées en GaAs en utilisant comme couche active, généralement celle utilisée pour réaliser le transistor suivant les schémas des figures II.10 a et b.

La résistance obtenue a pour valeur $R = L / (q N \mu a l)$, (notation figure II.10).

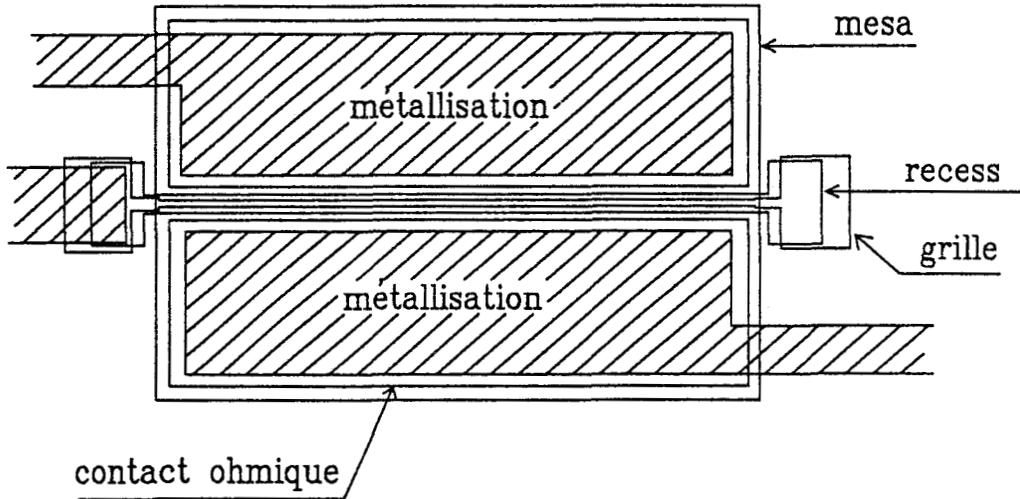


Figure II.11 : masques nécessaires pour la réalisation du transistor T_1 .

Les valeurs de celle-ci ne sont pas fondamentales, pourvu qu'elles soient suffisamment élevées. Pour obtenir une valeur de a suffisamment faible, on pourra utiliser l'attaque servant à réaliser la couche active du transistor. Afin de permettre un fonctionnement à fréquence suffisamment élevée du dispositif, nous choisissons des longueurs de grille submicroniques (voisine de $0.5 \mu\text{m}$) pour les transistors T_1 et T_2 . L'étude effectuée dans le chapitre I nous a amené à utiliser des largeurs de $150 \mu\text{m}$ pour T_1 et $300 \mu\text{m}$ pour T_2 . La capacité C_{ds} du transistor T_1 jouant un rôle néfaste pour les hautes fréquences, nous choisissons un espace source-drain important par rapport à la longueur de grille pour diminuer la valeur de cette capacité. Les transistors T_3 et T_4 (utilisés en diode Schottky) ne servant qu'à écrêter le signal de l'oscillateur local, peuvent être caractérisés par une longueur de grille plus grande que celle de T_1 et T_2 soit $1 \mu\text{m}$. Le transistor T_5 et la résistance R_3 sont des éléments de test.

La topologie globale du circuit est représentée sur la figure II.12. Notons que l'écart minimal entre deux niveaux de masquage successifs est toujours supérieur à $2.5 \mu\text{m}$ (sauf pour le niveau de grille généralement réalisé par un masquage électronique).

En pratique, dans la réalisation technologique, on choisira d'effectuer un recess n de $0.132 \mu\text{m}$ de façon à obtenir une tension de pincement d'environ -1 V et des résistances R_1 et R_2 de $10 \text{ k}\Omega$.

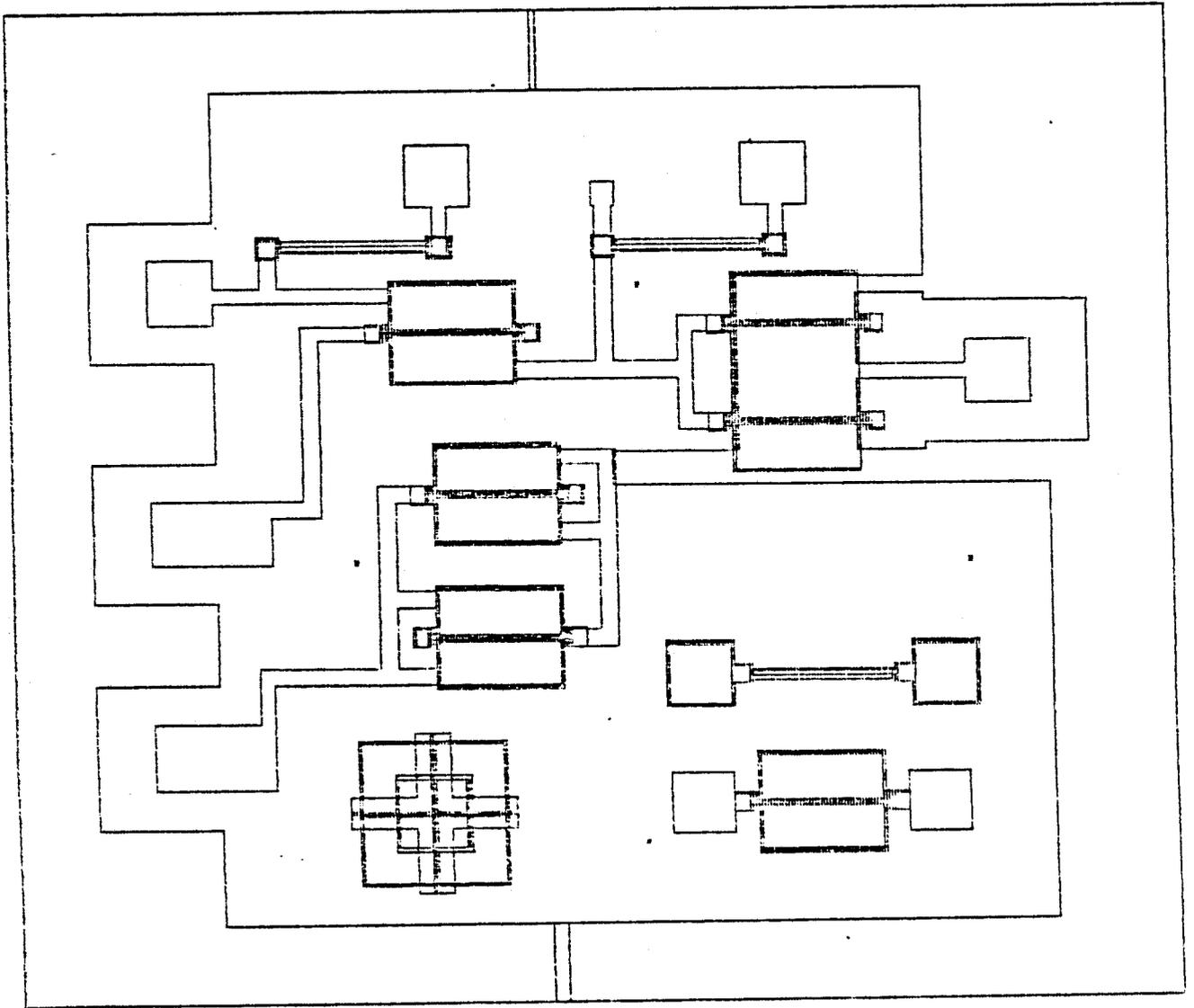


Figure II.12 :Topologie du circuit monolithique.

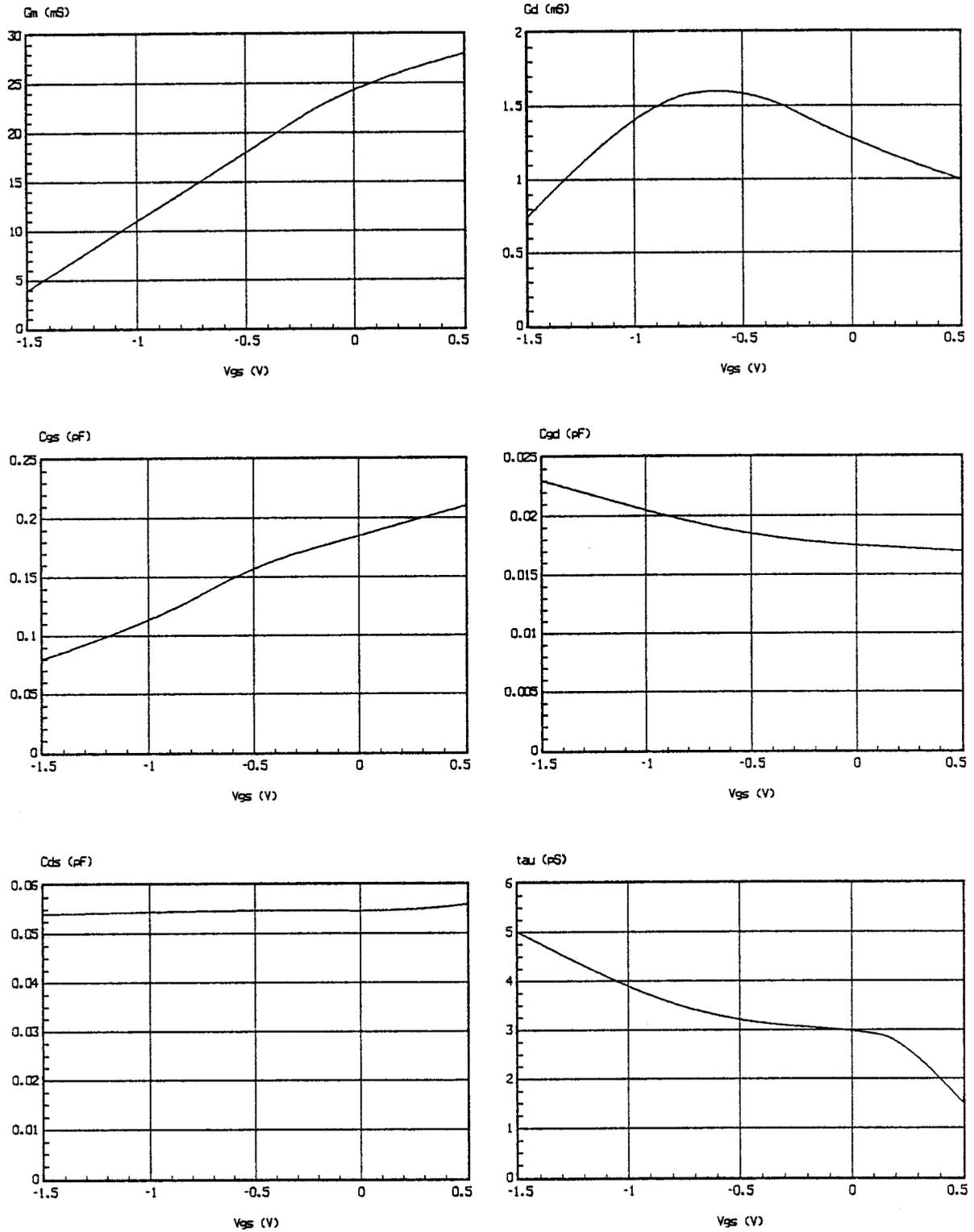


Figure II.14 : principaux résultats de la caractérisation du transistor test à $V_{DS} = 3$ V.

II.3.3 Résultats de la réalisation

Nous ne déduirons ici que les résultats obtenus sur les circuits comportant des grilles réalisées par masquage électronique. Pour ce type de technologie, le rendement global obtenu a été relativement satisfaisant puisque 10 % des circuits réalisés ont fonctionné tant en continu qu'en hyperfréquence avec sensiblement les mêmes performances escomptées. Sur la figure II.13 sont représentées la photographie d'un des circuits réalisés et les caractéristiques statiques des transistors T_1 et T_2 caractérisés par des longueurs de grille de $0.5 \mu\text{m}$. Les dimensions du circuit sont 2.5 mm sur 2.8 mm.

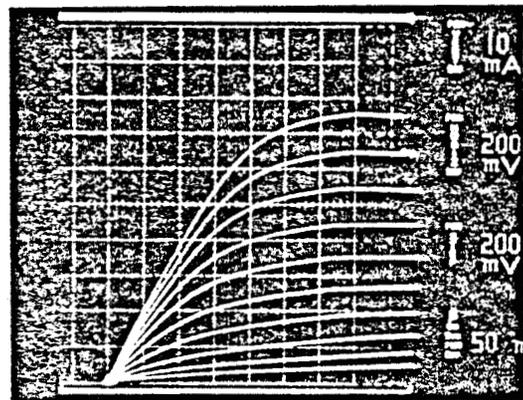
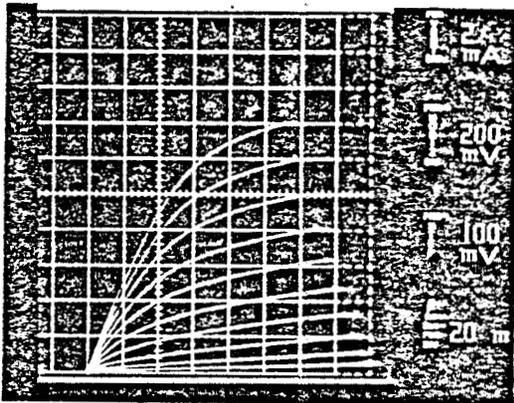
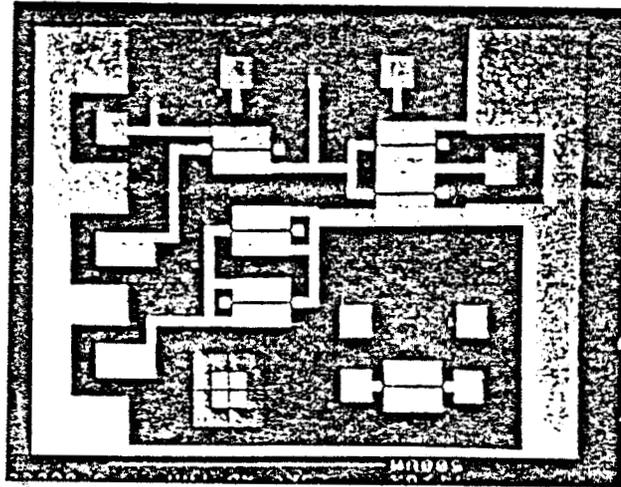


Figure II.13 : photographie du circuit réalisé et caractéristiques statiques des transistors T_1 et T_2 .

Le transistor test T_5 a été découpé et mis dans un boîtier du type B.M.H. et caractérisé sur l'analyseur de réseaux H.P. 8510. Sur la figure II.14 sont représentés les principaux résultats de cette caractérisation.

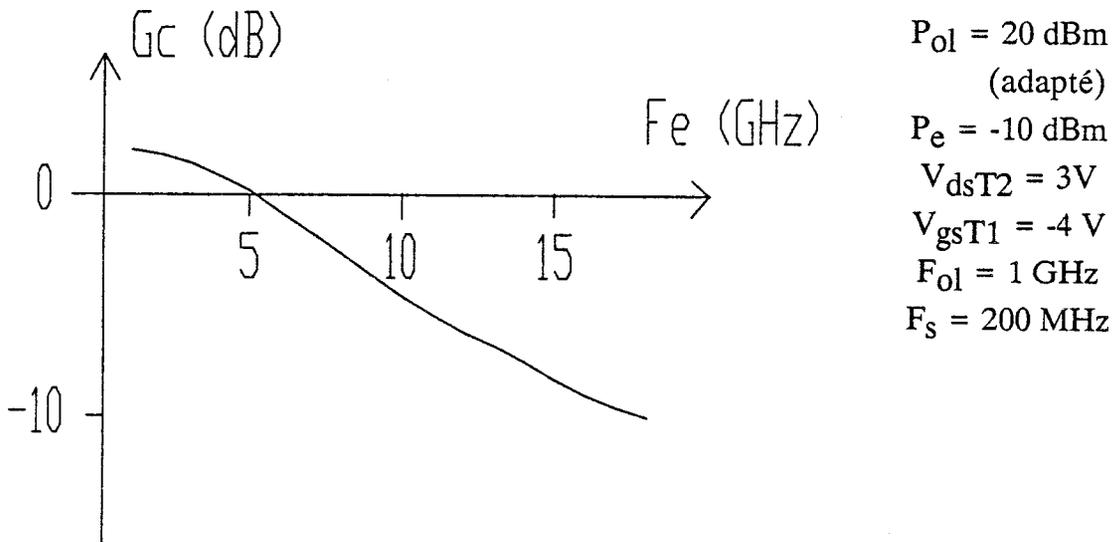


Figure II.15 : évolution du gain de conversion en fonction de la fréquence d'entrée.

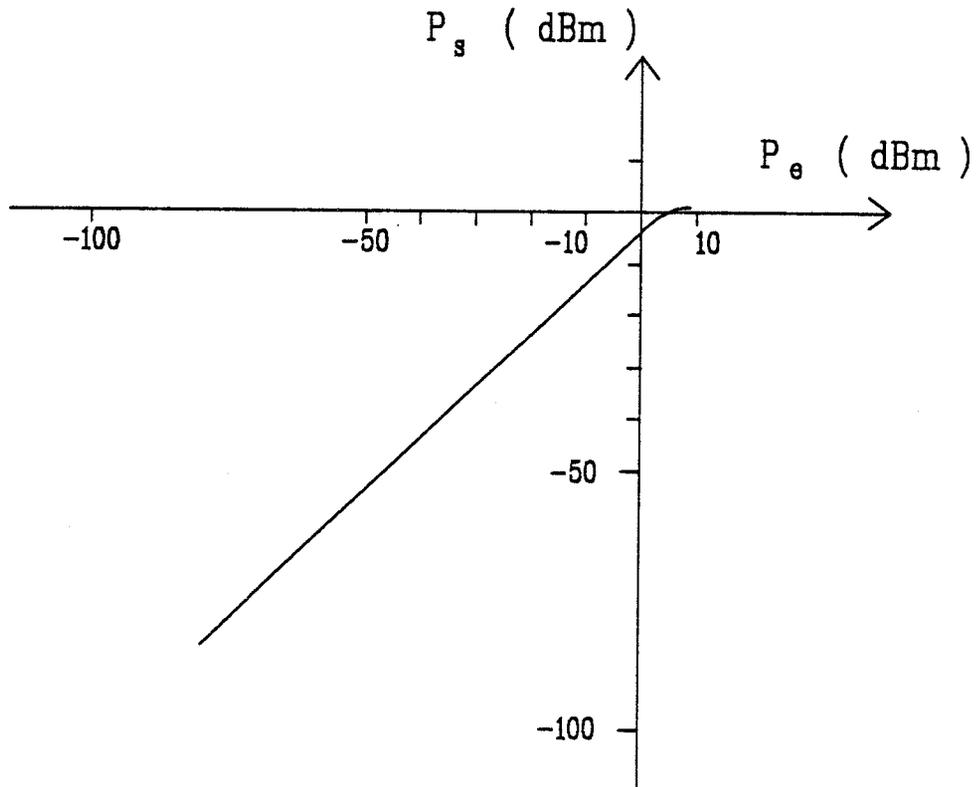


Figure II.16 : linéarité P_s fonction de P_e du dispositif.

Afin de permettre de mesurer les performances du circuit, nous l'avons monté dans une cellule de test composée de trois entrées-sorties hyperfréquences et d'un substrat RT/DUROID 6010 (identique au montage hybride). Un trou est pratiqué dans le substrat de façon à relier la masse du circuit à celle de la cellule.

Le banc de mesure est identique à celui utilisé lors de la mesure des performances du montage hybride (figure II.1). Nous allons maintenant présenter les principaux résultats des mesures effectuées dans les différents cas de fonctionnement étudiés lors du chapitre I (convertisseur large bande, transposeur et convertisseur à bande étroite).

II.3.3.1 Convertisseur de fréquence large bande

Les mesures qui sont données dans ce cas de fonctionnement ont été obtenues avec un oscillateur local adapté avec un dispositif à slug.

Nous présentons sur la figure II.15 l'évolution fréquentielle du gain de conversion pour une puissance de l'oscillateur local de 20 dBm. Comme il était prévu, on constate une nette amélioration des performances par rapport à celles obtenues avec une réalisation en circuit hybride. Il est à noter que la polarisation de drain du transistor de sortie influe peu sur les performances puisque pour des tensions de polarisation comprises entre 1 et 3 V la variation du gain de conversion est inférieure au dB. Ce résultat à été obtenu sans employé le circuit de mise en forme. Lors des essais effectués avec le circuit de mise on s'est aperçu que le G_C n'était pas amélioré mais au contraire détérioré.

Sur la figure II.16 on constate une bonne linéarité du dispositif car nous avons obtenu une plage d'utilisation de l'ordre de 85 dB (de -80 dBm à la puissance de compression qui est de 5 dBm).

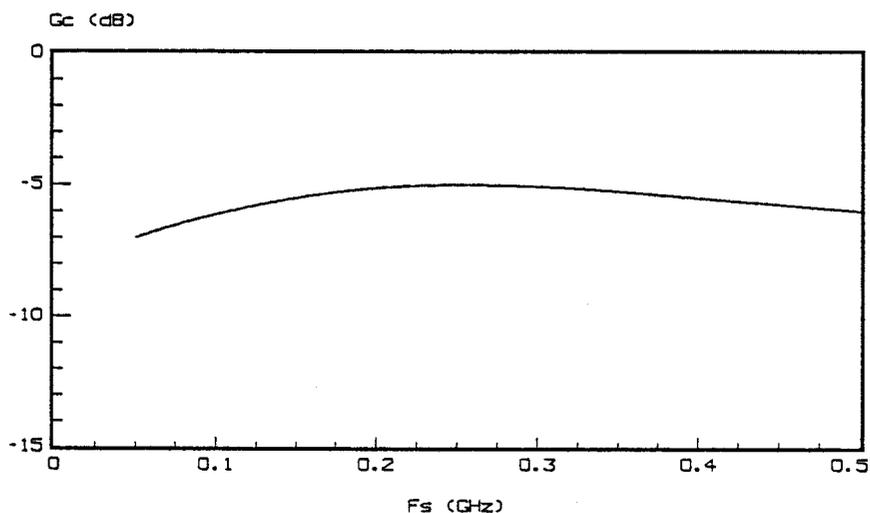


Figure II.17 : caractéristique G_C en fonction de F_S .

Si nous ne tenons pas compte de la diminution du gain de conversion pour les fréquences F_S inférieures à 200 MHz (cette diminution étant due au Té de polarisation du transistor de sortie), lorsque l'on relève la caractéristique G_C en fonction de F_S , on observe un gain de conversion pratiquement constant (figure II.17).

Dans le cas d'une polarisation normale de fonctionnement ($V_{gsT1} = -2$ V et $V_{dsT2} = 3$ V) nous avons mesuré l'isolement entre les différentes portes du circuit. Les résultats présentés ci-dessous peuvent être considérés comme satisfaisants.

Isolement ($F_e = 10.2$ GHz, $F_{ol} = 1$ GHz et $F_S = 200$ MHz) :

- sortie-entrée : 30 dB	sortie-OL : 30 dB
- OL-entrée : 30 dB	OL-sortie : 20 dB
- entrée-OL : 30 dB	entrée-sortie : 15 dB

Les valeurs relativement faibles d'isolement obtenues en entrée-sortie et en OL-sortie sont essentiellement dues au fait que le transistor de sortie T_2 amplifie également les signaux provenant de l'entrée et de l'oscillateur local.

Bien entendu, si dans le cas d'une utilisation pratique, les isolements sont insuffisants il est toujours possible d'adjoindre à la sortie un filtre passe bande.

Nous allons maintenant tenter d'évaluer le facteur de bruit du circuit. La puissance de l'oscillateur local étant élevée et l'isolement entre la voie locale et la voie de sortie étant insuffisante, nous ne pouvons pas utiliser un banc de mesure de bruit classique.

Nous avons donc évalué le facteur de bruit par la méthode suivante :

Un amplificateur dont la bande passante, DC-500 MHz, correspondant à la bande de sortie du fonctionnement en convertisseur large bande, est tout d'abord branché à la sortie du système convertisseur de fréquence. Le gain de l'amplificateur est choisi de façon à ce qu'il soit suffisamment élevé (32 dB en pratique) pour pouvoir détecter sur l'analyseur de spectre H.P. le niveau de bruit engendré par le convertisseur dans la bande de sortie (0-500 MHz), par exemple en milieu de bande $F_S = 250$ MHz.

a) On mesure alors en premier lieu le niveau de bruit en sortie de l'amplificateur (actif).

Le système convertisseur étant passif (non polarisé et sans oscillateur local), on relève alors le niveau de bruit P_{b1} sur l'analyseur de spectre soit :

$$P_{b1} = k T_o B G_{amp} + k T_{amp} B G_{amp}$$

b) On allume ensuite l'oscillateur local, et l'on branche les différentes polarisations. On obtient alors un nouveau niveau de bruit en sortie P_{b2} :

$$P_{b2} = (k T_o B G_c + k T_c B G_c) G_{amp} + k T_{amp} B G_{amp}$$

$$P_{b2} = k T_o B F G_c G_{amp} + k T_{amp} B G_{amp}$$

c) on détermine donc le facteur de bruit par la relation suivante :

$$F = \frac{P_{b2} - P_{b1}}{k T_o B G_c G_{amp}} + \frac{1}{G_c}$$

avec : $k \# 1.38 \cdot 10^{-23}$, $T_o = 290 \text{ }^\circ\text{K}$, B est la bande passante de la mesure, G_c et T_c sont le gain de conversion et la température de bruit du circuit convertisseur, G_{amp} et T_{amp} le gain et la température de bruit de l'amplificateur.

Par cette méthode nous avons obtenu les résultats suivants :

- * NF # 35 dB , avec $V_{dsT2} = 1 \text{ V}$, $P_{Ol} = 20 \text{ dBm}$ et $F_e = 18 \text{ GHz}$
- * NF # 23 dB , avec $V_{dsT2} = 1 \text{ V}$, $P_{Ol} = 10 \text{ dBm}$ et $F_e = 18 \text{ GHz}$

Nous donnons les résultats pour une polarisation de drain du transistor de sortie égale à 1 V car dans ce cas, les facteurs de bruit sont d'environ 3 dB plus faibles qu'à $V_{dsT2} = 3 \text{ V}$, tandis que le gain de conversion est le même. Les valeurs des facteurs de bruit sont certes élevées mais néanmoins satisfaisantes compte tenu d'une part que les valeurs données précédemment sont celles obtenues à l'extrémité supérieure de la bande $F_e = 18 \text{ GHz}$ (gain de conversion de -10 dB), et d'autre part que les facteurs de bruit des systèmes classiques sont de l'ordre de 40 dB. Remarquons que les facteurs de bruit augmentent considérablement avec la puissance de l'oscillateur local et ce phénomène est peut être lié au bruit de grenaille produit par le courant grille traversant T_1 lorsque le niveau du local devient important.

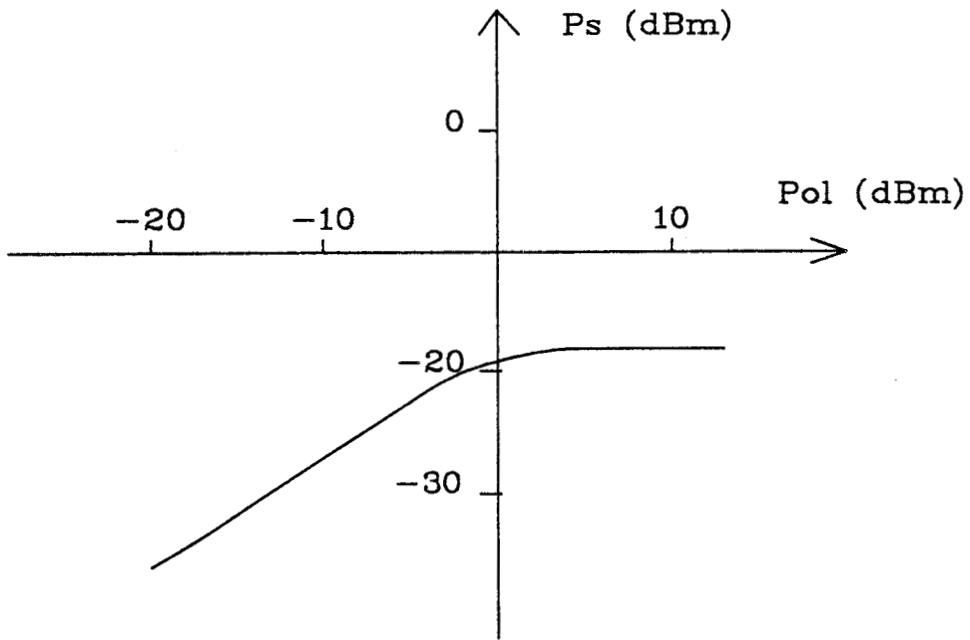


Figure II.18 : augmentation du gain de conversion lorsque P_{Ol} augmente dans un fonctionnement en transposeur avec $P_e = -10$ dBm.

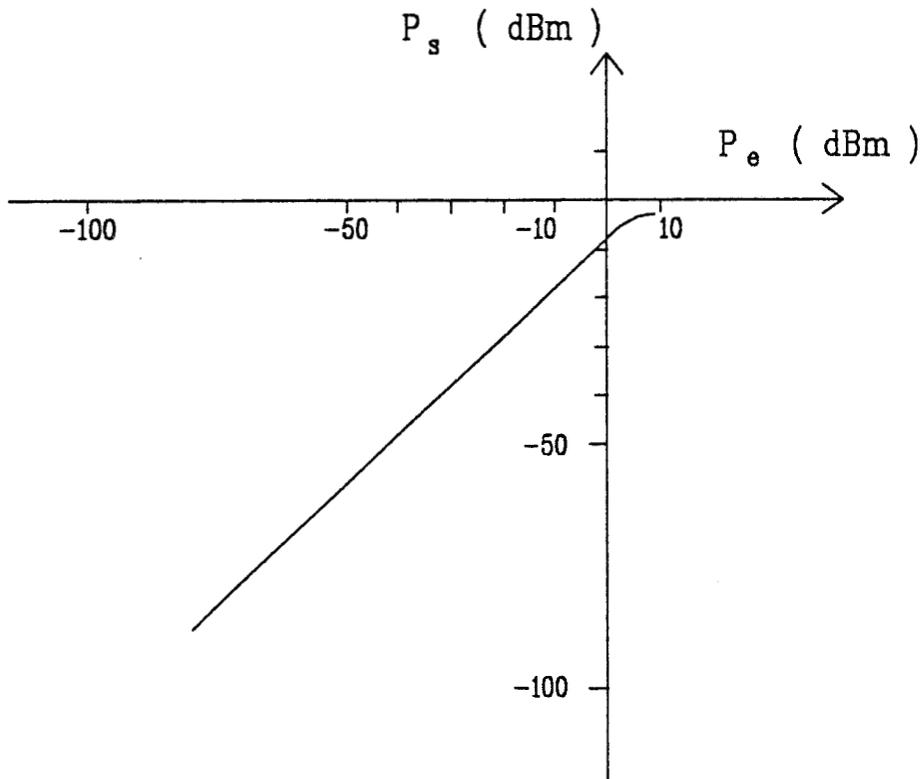


Figure II.19 : linéarité P_s fonction de P_e dans un fonctionnement en transposeur.

II.3.3.2 Transposeur de fréquence

Nous avons testé le circuit dans le cas d'un fonctionnement en transposeur de fréquence avec :

- $14 < F_e < 14.5$ GHz
- $1.5 < F_{O1} < 3$ GHz
- $10.5 < F_s < 12.5$ GHz

Contrairement au fonctionnement en convertisseur de fréquence large bande nous n'avons effectué aucune adaptation de l'oscillateur local puisque celui-ci doit fonctionner à large bande de fréquence F_{O1} . Dans ces conditions de fonctionnement nous avons obtenu de relativement bonnes performances. Le gain de conversion maximum est - 8 dB (figure II.18) pour des puissances P_{O1} supérieures 2 dBm.

Sur la figure II.19 nous avons reporté les variations de la puissance de sortie P_s en fonction de P_e . Les valeurs à retenir sont une puissance P_e minimum détectable d'environ -80 dBm et une puissance maximale de 5 dBm (compression), soit 85 dB d'excursion. Il est à noter que, pour des puissances de P_{O1} inférieures à - 5 dBm les raies parasites dues aux divers mélanges des signaux sont à plus de 60 dBc de la porteuse dans la bande de sortie, ce qui est l'intérêt essentiel de ce type de fonctionnement. De plus, lorsqu'on fait varier la fréquence d'entrée dans la bande 14-14.5 GHz nous obtenons un écart maximum de 1 dB pour le gain de conversion.

II.3.3.3 Convertisseur à bande étroite

Dans le cas d'un fonctionnement en convertisseur à bande étroite nous avons effectué un essai avec un générateur du type sinusoïdal de fréquence $F_{O1} = 100$ MHz avec une puissance de 20 dBm et une polarisation de $V_{gsT1} = - 5$ V, un gain de conversion de -40 dB a été obtenu. Ce résultat est certes modeste mais compte tenu de la fréquence on aurait pu obtenir de meilleures performances en employant un générateur fournissant des impulsions rectangulaires.

II.3.4 Confrontation théorie-expérience

En tenant compte des résultats de la caractérisation du transistor test nous avons de nouveau simulé le circuit (à l'aide de la simulation numérique) en utilisant pour décrire le fonctionnement des transistors T_1 et T_2 les caractéristiques mesurées expérimentalement et données dans la figure II.14.

A titre d'exemple, nous avons reporté sur la figure II.20 les résultats de cette simulation ainsi que ceux expérimentaux dans un cas de fonctionnement en convertisseur de fréquence large bande et pour une puissance de l'oscillateur local de 20 dBm.

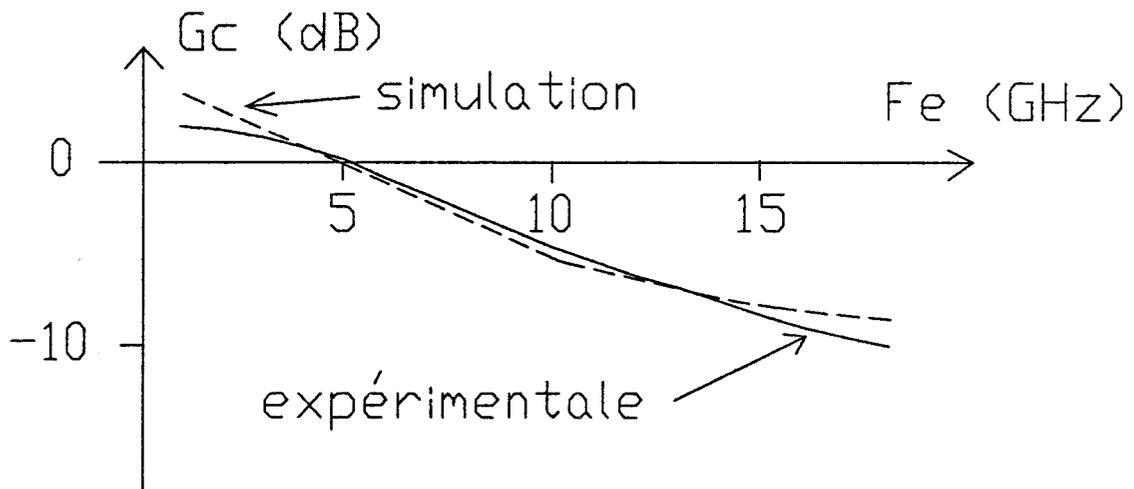


Figure II.20 : confrontation théorie-expérience.

En pratique nous avons obtenu une puissance de compression de l'ordre de 5dBm (figure II.19). Si on examine le circuit on constate deux non linéarités qui vont limiter la puissance d'entrée P_e que nous appellerons P_{max1} et P_{max2} :

- la puissance P_{max1} est liée au fait que T_1 ne fonctionne plus en résistance variable.
- et la puissance P_{max2} est fonction de la tension maximale applicable sur la grille de T_2

En dépit du fait que le circuit fonctionne en régime fortement non linéaire, pour évaluer P_{max1} et P_{max2} , en première approximation nous pouvons adopter un raisonnement petit signal. La puissance P_{max2} est principalement due à l'excursion maximale de la tension qui se trouve aux bornes de la grille du transistor de sortie. On peut considérer que cette excursion maximale est égale à la tension de pincement V_p . Nous obtenons une puissance P_{max2} :

$$P_{max2} = (1 + (\tau_1 \omega)^2) \frac{V_p^2}{8 R_0}$$

Quant à la puissance $P_{\max 1}$, elle est due au fait que le transistor T_1 ne fonctionne plus en résistance variable. Pour estimer cette puissance nous examinons les deux cas suivant :

a) Lorsque le transistor T_1 fonctionne correctement c'est-à-dire en résistance variable nous avons :

$$V_e(t) = R_O i(t) + V_{dsT1}(t) + V_S(t) \quad \text{avec } V_{dsT1}(t) = R_{tec}(t) i(t)$$

si l'on considère le cas où $R_{tec}(t)$ est égale à R_{ON} et que l'on passe en transformé de Fourier on obtient :

$$v_e(p) = V_S(p) (1 + (R_O + R_{ON}) C p) = V_S(p) (1 + \tau_1 p)$$

b) Lorsque maintenant la puissance P_e devient trop importante, le transistor T_1 ne fonctionne plus en simple résistance variable et la tension V_{dsT1} n'est plus inférieure à la tension de seuil V_b , le courant dans le circuit est alors limité à I_{\max} .

Maintenant si on se place dans le cas limite où :

$$V_e(p) = (R_O + R_{ON}) I_{\max} + V_S(p)$$

$$V_e(p) = (R_O + R_{ON}) I_{\max} + V_e(p)/(1 + \tau_1 p)$$

On obtient :

$$V_{e \max} = \frac{I_{\max}}{C\omega} \sqrt{1 + (\tau_1 \omega)^2} \quad \text{donc} \quad P_{\max 1} = \frac{I_{\max}^2 (1 + (\tau_1 \omega)^2)}{8 R_O (C\omega)^2}$$

Si on prend l'exemple suivant : $F_e = 10$ GHz, $R_O = 50 \Omega$, $R_{ON} = 30 \Omega$, $V_p = -2$ V, $I_{\max} = 10$ mA et $C = 0.3$ pF, nous obtenons $P_{\max 1} = 4$ dBm et $P_{\max 2} = 15$ dBm.

La puissance de compression du circuit sera donc égale à la plus petite des deux puissances (en général $P_{\max 1}$).

La puissance de compression sera donc égale à :

$$P_c = \frac{I_{\max}^2 (1 + (\tau_1 \omega)^2)}{8 R_O (C\omega)^2}$$

Et par conséquent, nous obtenons une puissance de compression théorique de 4 dBm, ce qui est relativement proche de celle trouvée expérimentalement (5dBm).

On constate un relativement bon accord entre les résultats théoriques et ceux expérimentaux. Nous avons également simulé les autres cas de fonctionnement et constaté un aussi bon accord entre la théorie et l'expérience. Ainsi pour le fonctionnement en convertisseur de fréquence à bande étroite, dans de mêmes conditions de fonctionnement, on obtient un G_C théorique de - 39 dB alors que celui observé expérimentalement est de -40 dB.

Par conséquent, on peut affirmer que les simulations utilisées dans le chapitre I sont validées, les petites différences qui subsistent sont certainement dues au fait que nos modèles de transistor sont approximatifs.

II.3.5 Résumé des résultats obtenus

Les principaux résultats obtenus avec la réalisation en circuit intégré sont :

Convertisseur de fréquence large bande :

- signal d'entrée; $2 < F_e < 18$ GHz , 80 dBm $< P_e < 5$ dBm
- signal de sortie; $100 < F_s < 500$ MHz
- oscillateur local; $F_{ol} = 1$ GHz , $F_{ol} = 20$ dBm (adapté)
- un gain de conversion moyen de - 5 dB
- une puissance de compression de 4 dBm
- un écart maximum de 2 dB pour la puissance P_s en fonction de la fréquence F_s
- un écart maximum de 10 dB pour le gain de conversion en fonction de la fréquence d'entrée.

transposeur de fréquence :

- signal d'entrée; $14 < F_e < 14.5$ GHz
- signal de sortie; $10.5 < F_s < 12.5$ GHz
- oscillateur local; $1.5 < F_{ol} < 3$ GHz , $P_{ol} < -5$ dBm
- un gain de conversion moyen de - 8 dB
- une puissance de compression de 5 dBm
- un écart maximum de 1 dB pour la puissance P_s en fonction de la fréquence F_s
- harmonique dans la bande de sortie à plus de 60 dBc de la porteuse.

convertisseur de fréquence à bande étroite :

- signal d'entrée $F_e = 10$ GHz
- signal de sortie $F_s < 50$ MHz
- oscillateur local $P_{ol} = 20$ dBm , $F_{ol} = 100$ MHz
- gain de conversion $G_C = - 40$ dB

I.V CONCLUSION

Dans ce chapitre, nous avons présenté deux types de réalisation, la première en technologie hybride ayant pour but essentiel de confirmer les résultats des simulations du premier chapitre, et enfin une deuxième en technologie intégrée qui était notre objectif principal.

A la vue des diverses performances obtenues dans les deux réalisations on peut affirmer que la première a permis une première validation de l'étude théorique, et que la seconde a permis d'atteindre l'objectif que nous nous étions fixé au début de ce travail, c'est-à-dire de réaliser un circuit intégré remplissant la plupart des fonctions de conversion de fréquence et avec des performances globalement supérieures à celles obtenues avec des circuits classiques.

BIBLIOGRAPHIE DU PREMIER ET DU DEUXIEME CHAPITRE

- [1] Y. Ayasli
"Microwave switching with GaAs FETs"
Microwave Journal, p 61, Novembre 1982

- [2] S.A. Maas
"A GaAs MESFET balanced mixer with very low intermodulation"
IEEE MTT-S Int. Microwave Symposium Digest, Vol. 11, p 895, 1987

- [3] S.A. Maas
"A GaAs MESFET mixer with very low intermodulation"
IEEE Trans. Microwave Theory Tech. Vol. MTT-35, N°4, Avril 1987

- [4] W.V. McLevige and V. Sokolov
"Resonated GaAs FET devices for microwave swiching"
IEEE Trans. Electron Devices FD-28, p 196, février 1981

- [5] R.A. Gaspari, and H.H. Yee
"Microwave GaAs FET switcching"
IEEE Internationnal Microwave Synposium Digest, p 58, 1979

- [6] G. Dawe and D. Bartle
"DC to 20 GHz monolithic GaAs FET switches based on quater-micron gates"
Microwave Journal, p 116, août 1988

- [7] H. Hafdallah, G. Vernet and R. Adde
"2-4 GHz MESFET sampler"
Electronics letters, Vol. 24, p 151, fév. 1988

- [8] Schindler and Morris
"DC-40 GHz and 20-40 GHz MMIC switches"
IEEE trans. on Mirowave Theory and Technique, vol.MTT-35, N°12, p 1486, dec. 1987

- [9] P. Wai Li, M.J. Chin, R.P. Gray and R. Castello
"A ratio-independent algorithmic analog-to-digital conversion
technique"
IEEE Journal of Solid-State Circuits, Vol.SC-19, N°6, p 828, dec. 1984
- [10] R.A. Pucel
"A Multi-chip GaAs transmit/receive module for X-band"
IEEE MTT-S Symposium Digest, p 489, 1982
- [11] J.E. Sitch and P.N. Robson
"The performance of GaAs Field Effect Transistors as microwave
mixers"
Proc. IEEE, Vol. 61, p 399, 1973
- [12] Pengelly
"GaAs switch modules for high performance applications"
RF Design, p 19, Juin 1988
- [13] G. Begemann and A. Jacob
"Conversion gains of MESFET drain mixer"
Electron. Let., Vol. 15, p 567, 1979
- [14] A. Gopinath and J.B. Rankin
"GaAs FET RF switches"
IEEE Trans. on Electron Devices, Vol. ED-32, N°7, p 1272, Juillet 1985
- [15] J.L. Vorhaus, W. Fabian, B.P. NG and Y. Tajima
"Dual-gate GaAs FET switches"
IEEE Trans. On Electron Devices, Vol. ED-28, N°2, p 204, fev. 1981
- [16] M.S. Shur and L.F. Eastman
"I/V characteristics, small-signal parameter and switching times of
GaAs FETs"
IEEE Trans. Electron Devices, ED-25, p 606, 1978
- [17] R. Castello and P.R. Gray
"Performance limitations in switched-capacitor filters"
IEEE Trans. on circuits and systems, Vol.CAS-32, N°9, p 865, sept. 1985

- [18] K. Kurakawa and W.O. Shollosser
"Quality factor of switching diodes for digital modulators"
IEEE, Proc. vol.38, p 180
- [19] P.H. Saul
"A GaAs MESFET sample and hold Switch"
IEEE Journal of Solid-State Circuits, Vol.SC-15, N°3, juin 1980
- [20] A.A.M. Saleh
"Theory of resistive mixer"
Cambridge, MA MIT Press, 1979
- [21] W.R. Curtice
"A MESFET model for use in the design of GaAs IC's"
IEEE Trans. Microwave Theory Tech., MTT-28, p 448, 1980
- [22] C.Ho and Pramode C. Kandpal
"A broadband down converter for 4- and 6-GHz radio systems"
IEEE MTT-S digest, p 937, 1988
- [23] S. Weiner, D. Neuf and S. Spohrer
"2 to 8 GHz double balanced MESFET mixer with 30 dBm input 3rd
order intercept"
IEEE MTT-S Digest, p 1097, 1988
- [24] J.L. Caceres, J. Pérez
"A single MESFET down-converter for TVRO application"
IEEE MTT-S digest, p 777, 1988
- [25] S.E. Moore, B.E. Gilchrist, J.G. Galli
"Microwave sampling effective for ultrabroadband frequency
conversion"
NSN & CT, p 113, fév. 1986
- [26] R. Ramachandran, S. Moghe, P. Ho and A. Podell
"An 8-15 GHz GaAs monolithic frequency converter"
IEEE Microwave and Millimeter-wave monolithic circuits symposium,
p 31, 1987

- [27] A.R. Harvey, F.J. Cotton, D.C. Pennington, R.M. Eaton and P.D. Cooper
"A low noise MMIC satellite downconverter for the 6 to 4 GHz band"
IEEE Microwave and Millimeter-wave monolithic circuits symposium,
p 139, 1987
- [28] G. DAMBRINE
"Caractérisation des transistors à effet de champ : mesure précise de la
matrice de répartition et détermination directe du schéma équivalent"
Thèse docteur de l'université, LILLE, mars 1989
- [29] G. DAMBRINE, A. CAPPY, E. PLAYEZ
"Détermination rapide et précise du schéma équivalent petit signal des
transistors à effet de champ"
Annales Télécommunications, 1988
- [30] A. CAPPY
"Propriétés physiques et performances des composants submicroniques
à effet de champ: structures conventionnelles et à gaz d'électrons
bidimensionnel"
Thèse doctorat d'état, LILLE, décembre 1986
- [31] K. Honjo, Y. Hosono and T. Sugiura
"X-Band low-noise GaAs monolithic frequency converter"
IEEE Trans. on Microwave Theory and Techniques, Vol. MTT-33,
N°11, nov. 1985
- [33] T.S. Howard and A.M. Pavio
"A distributed monolithic 2-18 GHz dual-gate FET mixer"
IEEE Microwave and Millimeter-wave Monolithic Circuits Symposium,
p 27, 1987
- [34] M.J. Schndler, M.E. Miller and K.M. Simon
"DC-20 GHz N X M passive switches"
IEEE MTT-S Digest, p 1001, 1988

- [35] J. ARCHER, B.M. SMITH, G.R. WEAVER, H. WONG
"Development and evaluation of a GaAs MMIC phase locked loop chip set for space applications"
IEE M.T.T, vol 37, N°4, april 1989
- [36] R. SOARES, J. GRAFFEUIL, J. OBREGON
"Applications des transistors à effet de champ en AsGa"
Collection technique et scientifique des télécommunications
- [37] P. GODTS
"Modélisation et optimisation en vue de réalisations technologiques de MESFET et de TEGFET AlGaAs/GaAs"
Thèse docteur de l'université, LILLE octobre 1988
- [38] H.J. FINLAY, R.H. JANSEN, J.A. JENKINS
"Accurate characterization and modeling of transmission lines for GaAs MMIC's".
IEEE M.T.T, vol 36, N°6, june 1988
- [39] S.E. SUSSMAN, S. NARASIMHAN, K. MAYARAM
"A complete GaAs MESFET computer model for SPICE"
IEEE M.T.T, vol 32, N°4, april 1984
- [40] D. PETERSON, A. PAVIO, B. KIM
"A GaAs fet model for large signal applications"
IEEE M.T.T, vol 32, N°3, march 1984
- [41] S. HEMBERT, E. ALLAMANDO, J.C. VANDEVELDE, E. CONSTANT
and J. MARCOUX
"Conception nouvelle d'une tête d'échantillonnage intégrée microonde"
5^{ème} Journées Nationales Microondes, Nice, 1987
- [42] S. HEMBERT, E. ALLAMANDO, J.C. VANDEVELDE, E. CONSTANT
and J. MARCOUX
"A monolithic broadband microwave downconvertor"
12th Workshop on Compound Semiconductor Devices and Integrated Circuits, Lugano, mai 1988

[43] S. HEMBERT, E. ALLAMANDO, J.C. VANDEVELDE, E. CONSTANT
and J. MARCOUX

"A monolithic broadband microwave down convertor"

18th European Microwave Conference, Stockholm, sept. 1988

[44] S. HEMBERT, E. ALLAMANDO, J.C. VANDEVELDE, L. DHALLUIN,
L. LOVAL et E. CONSTANT

"Dispositifs échantillonneurs microondes en circuits intégrés
monolithiques AsGa"

6^{ème} Journées Nationales Microondes, 1989

TROISIEME CHAPITRE

CONCEPTION ET REALISATION D'OSCILLATEURS MONOLITHIQUES

CHAPITRE III

CONCEPTION ET REALISATION D'OSCILLATEURS MONOLITHIQUES

III.1 INTRODUCTION

Dans le chapitre II, nous avons montré avec l'aide de notre convertisseur de fréquence, qu'il était possible d'obtenir des gains de conversion de valeurs relativement élevées même lorsque l'on utilise des oscillateurs locaux délivrant des signaux de fréquences faibles de l'ordre de 10 MHz à 100 MHz. Dans ces conditions, on peut penser utiliser le signal de sortie pour stabiliser la fréquence d'un oscillateur hyperfréquence. Plus précisément, l'idée est d'asservir directement la fréquence de l'oscillateur hyperfréquence à celle d'un quartz. Pour se faire, on prélève une partie de la puissance de l'oscillateur hyperfréquence pour l'appliquer à l'entrée du système convertisseur, le signal de l'oscillateur étant délivré par un quartz. Dans ces conditions, si la fréquence de celui-ci est suffisamment stable, les variations de la fréquence du signal de sortie seront directement égales à celles de l'oscillateur hyperfréquence. Par conséquent, un système PLL pourra être employé pour stabiliser la fréquence de l'oscillateur hyperfréquence.

Bien entendu, pour étudier la faisabilité de ce procédé il faut disposer d'un oscillateur hyperfréquence dont la fréquence puisse varier électroniquement. Le système convertisseur ayant été réalisé de façon monolithique, il paraît logique de concevoir l'ensemble du dispositif dans le même type de technologie. L'objectif visé dans le travail qui sera décrit dans ce chapitre a donc été de construire un oscillateur monolithique bande X directement stabilisé sur un quartz et délivrant une puissance suffisante (supérieure à 10 dBm) pour être utilisable dans un grand nombre d'application (radar Doppler, oscillateur local ...).

III.2 GENERALITES

Quelque soit le système et surtout quand les fréquences de fonctionnement deviennent importantes, il est primordial de vérifier lors de la conception que ce système est stable ou non. On peut en effet citer deux exemples significatifs ; l'amplification et l'oscillation. Si l'on veut par exemple réaliser un amplificateur micro-onde, vu les grandes valeurs de fréquences utilisées, il peut exister des résonances et réactions non négligeables dues aux éléments parasites qui peuvent faire osciller le circuit et de ce fait le rendre inutilisable. Par contre, pour la réalisation d'un oscillateur on cherche à rendre instable le circuit à une fréquence donnée. Il est donc nécessaire de disposer de moyen d'analyse afin d'étudier la stabilité des systèmes.

III.2.1 Stabilité des quadripôles

Afin d'étudier la stabilité des systèmes de nombreuses méthodes d'analyse ont été développées. La plupart sont dérivées du critère de Nyquist (bien connu en automatique) qui à partir de la fonction de transfert en boucle ouverte, permet d'affirmer si le système est stable ou instable. Cependant, dans le domaine des hyperfréquences il est difficile d'appliquer directement le critère de Nyquist. Dans ce mémoire nous nous sommes intéressés à une méthode développée par Bodway (qui est une autre formulation du critère de Nyquist) qui semble particulièrement adaptée à l'étude des circuits hyperfréquences puisqu'elle se réfère aux paramètres Scattering largement utilisés dans ce domaine.

Succinctement on peut expliciter cette analyse de la façon suivante :

Soit un quadripôle actif caractérisé par ses paramètres Scattering S_{11} , S_{12} , S_{21} , S_{22} .

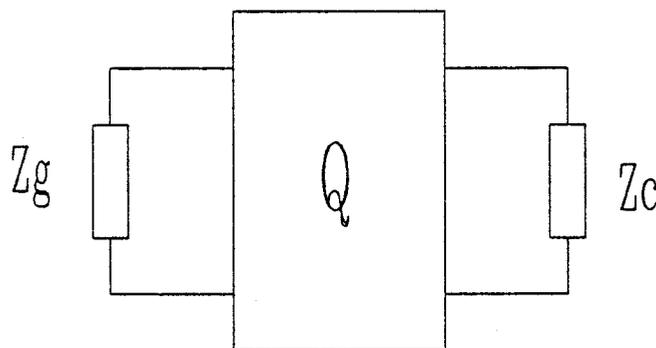


figure III.1 : Quadripôle actif chargé par deux impédances quelconques.

Les coefficients de réflexion en entrée et en sortie sont déterminés par les relations suivantes :

$$\Gamma_e = S_{11} + \frac{S_{12} S_{21} \Gamma_c}{1 - S_{22} \Gamma_c} \quad \text{et} \quad \Gamma_s = S_{22} + \frac{S_{12} S_{21} \Gamma_g}{1 - S_{11} \Gamma_g}$$

Les coefficients de réflexion Γ_c et Γ_g étant dus respectivement à la charge (Z_c) et au générateur éventuel (d'impédance interne Z_g).

Le quadripôle sera donc inconditionnellement stable si quelque soit les impédances Z_c et Z_g (ou Γ_c et Γ_g) les modules de Γ_e et Γ_s restent strictement inférieurs à 1. Par contre, si l'un ou les deux sont supérieurs à 1 pour certains coefficients de réflexion Γ_c et Γ_g , le quadripôle sera potentiellement instable.

Le quadripôle sera donc instable si :
en entrée :

$$\Gamma_e = \frac{S_{11} - \Delta \Gamma_c}{1 - S_{22} \Gamma_c} > 1 \quad \text{ou} \quad \Gamma_c < \frac{1 - S_{11}}{S_{22} - \Delta}$$

en sortie :

$$\Gamma_s = \frac{S_{22} - \Delta \Gamma_g}{1 - S_{11} \Gamma_g} > 1 \quad \text{ou} \quad \Gamma_g < \frac{1 - S_{22}}{S_{11} - \Delta}$$

avec $\Delta = S_{11} S_{22} - S_{12} S_{21}$

Si l'on se place dans les cas limites où $\Gamma_c = 1$ et $\Gamma_g = 1$, ces deux conditions nous permettent de déterminer les zones instables sur l'abaque de Smith qui sont des cercles de centre C_e et C_s et de rayon R_e et R_s obtenus par les relations suivantes :

$$C_e = \frac{S_{22} - S_{11} \Delta}{|S_{22}|^2 - |\Delta|^2} \quad \text{et} \quad R_e = \left| \frac{|S_{21}| |S_{12}|}{|S_{22}|^2 - |\Delta|^2} \right|$$

$$C_s = \frac{S_{11} - S_{22} \Delta}{|S_{11}|^2 - |\Delta|^2} \quad \text{et} \quad R_s = \left| \frac{|S_{21}| |S_{12}|}{|S_{11}|^2 - |\Delta|^2} \right|$$

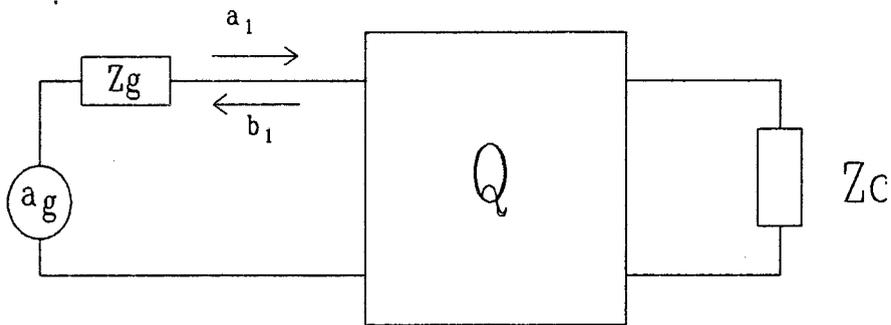
C_e et R_e déterminent le cercle d'instabilité en entrée et de la même façon C_s et R_s celui en sortie.

Il y aura donc une instabilité en entrée si l'impédance de sortie présente un coefficient de réflexion situé à l'intérieur du cercle défini par C_e et R_e . De la même manière, la sortie sera instable si l'impédance d'entrée induit un coefficient de réflexion Γ_g qui se trouve à l'intérieur du cercle de centre C_s et de rayon R_s .

Remarque : étant donné que les paramètres Scattering des quadripôles actifs varient en fonction de la fréquence, pour chacune d'entre elles, correspondra un cercle d'instabilité en entrée et un autre en sortie.

Génération d'une onde hyperfréquence

On suppose qu'en entrée est placé un générateur qui produit une onde a_g avec une impédance interne Z_g .



Les ondes a_1 et b_1 ont pour valeur :

$$a_1 = a_g \frac{1}{1 - \Gamma_g \Gamma_e} \quad \text{et} \quad b_1 = a_g \frac{\Gamma_e}{1 - \Gamma_g \Gamma_e}$$

Il apparaît que même avec une très faible valeur de a_g (par exemple due au bruit propre à tout système), il peut exister une onde a_1 avec une relativement grande valeur à condition que $(1 - \Gamma_e \Gamma_g) \neq 0$, ou $\Gamma_e \Gamma_g \neq 1$ c'est-à-dire $\Gamma_e \geq 1$, donc la même condition que précédemment. Il est donc possible de générer une onde hyperfréquence si cette condition est respectée.

II.2.2 Stabilité de l'oscillation

Nous venons de voir qu'un système composé d'un quadripôle actif chargé par deux impédances (en entrée et en sortie) judicieusement choisies est susceptible de générer une onde hyperfréquence. Cependant rien ne dit si cette oscillation persiste dans le temps, une étude sur la stabilité de l'oscillation est donc nécessaire.

Etudions par exemple ce système dans le plan de la charge. Le quadripôle actif chargé en entrée par l'impédance Z_g peut être équivalent à un dipôle d'admittance Y_d . On est donc ramené au schéma équivalent suivant :

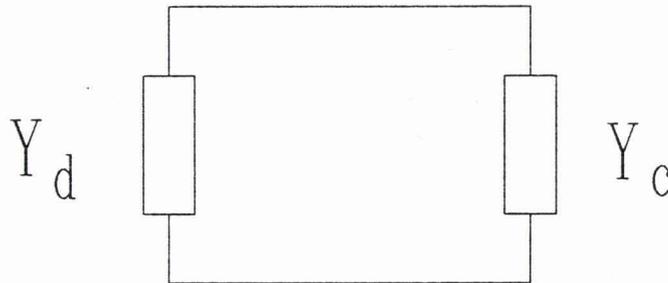


Figure III.2 : Schéma équivalent en admittance dans le plan de la charge.

Avec $Y_d = G_d + j B_d$ et l'impédance de charge $Y_c = G_c + j B_c$. Si les conditions nécessaires aux démarrages d'une oscillation sont requises, nous avons le produit des coefficients de réflexion Γ_s et Γ_c qui est supérieur ou égal à 1, ce qui peut se traduire par :

$$G = G_d + G_c \leq 0 \quad \text{et} \quad B = B_d + B_c = 0$$

Avec bien entendu G_d négatif.

Néanmoins, si pour des raisons quelconques le système subit des perturbations (pas trop importantes) qui induisent des variations de courant I_0 ou de fréquence, il faut que le système réagisse de façon à revenir à son point d'équilibre précédent.

Si l'on suppose que le courant généré par l'oscillation est de la forme :

$$i_{(t)} = I_0 e^{\alpha t} e^{j\omega t}$$

avec en régime stable :

$$\alpha = 0 \quad \text{et} \quad \omega \text{ constant}$$

Pour que l'oscillation soit stable Kurokawa a montré qu'il est nécessaire de respecter les deux conditions suivantes :

$$\left\{ \begin{array}{l} \frac{\partial B}{\partial \omega} \frac{\partial G}{\partial I_0} - \frac{\partial B}{\partial I_0} \frac{\partial G}{\partial \omega} \gg 0 \\ \frac{\partial G}{\partial \omega} \frac{\partial G}{\partial I_0} + \frac{\partial B}{\partial I_0} \frac{\partial B}{\partial \omega} = 0 \end{array} \right.$$

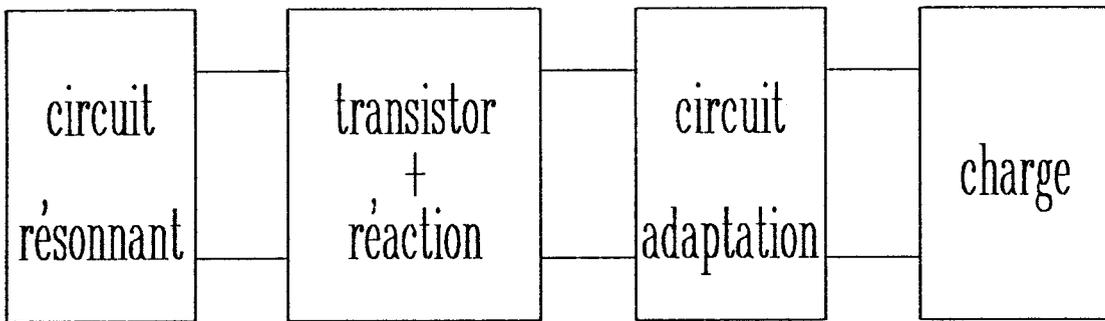


Figure III.3 : schéma de principe général de l'oscillateur.

A l'aide de l'ensemble de ces critères, de condition de démarrage et de stabilisation de l'oscillation à une fréquence donnée, nous allons donc concevoir un oscillateur commandé par une tension.

III.3 CONCEPTION DE L'OSCILLATEUR

III.3.1 Choix de la structure

Etant donné le choix d'une réalisation en circuit intégré monolithique sur un substrat GaAs, pour l'élément actif de l'oscillateur nous avons opté pour le M.E.S.F.E.T. qui est certainement celui qui est le plus facilement intégrable. Ce transistor sera associé à une réaction de façon à ce que le quadripôle constitué de ces deux éléments présente une résistance négative. Pour l'oscillateur commandé en tension (V.C.O.) on peut donc se ramener au schéma de principe représenté sur la figure III.3.

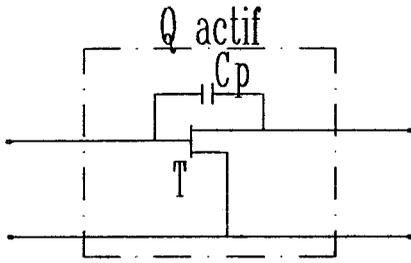
Le circuit résonnant devant également être intégré, nous avons exclu d'utiliser des résonateurs du type Y.I.G. ou diélectrique, il sera donc constitué simplement d'une cellule L-C. En fait le choix le plus critique est le type de configuration adoptée pour le transistor car de celle-ci dépendra des performances du V.C.O.. De nombreuses réalisations et études ont fait l'objet de comparaison entre les différentes configurations, notre choix sera inspiré par les principaux résultats de ces études qui peuvent être résumés de la façon suivante :

montage source commune :

Cette configuration est certainement la plus stable, c'est pourquoi elle est le plus souvent utilisée en amplification. Un oscillateur qui emploie une telle configuration est donc tout simplement un amplificateur qui avec une réaction adéquate, réaction parallèle entre la grille et le drain ou série entre la source et la masse ou même avec les deux réactions, permet l'obtention d'une résistance négative (ou instabilité). Le paramètre de répartition S_{21} du transistor en source commune diminuant de façon importante avec la fréquence, on aura donc une faible excursion en fréquence pour le V.C.O. mais en contrepartie une puissance de sortie relativement importante.

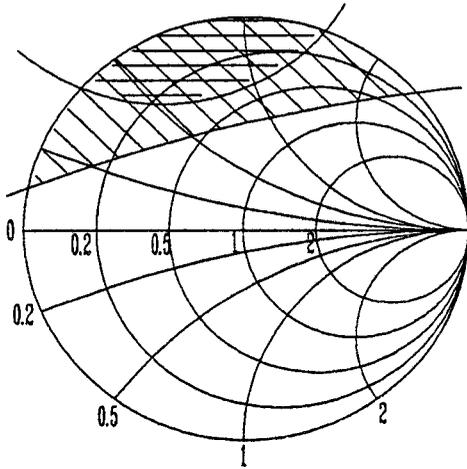
montage grille commune :

Le paramètre S_{21} du transistor est ici plus faible mais décroît de façon moins brutale que dans le montage source commune. La configuration grille commune associée à une simple ligne reliant la grille à la masse (réaction série) peut donc permettre la réalisation d'un V.C.O. large bande. L'inconvénient majeur de cette configuration réside dans le fait qu'une faible valeur de puissance est recueillie en sortie.

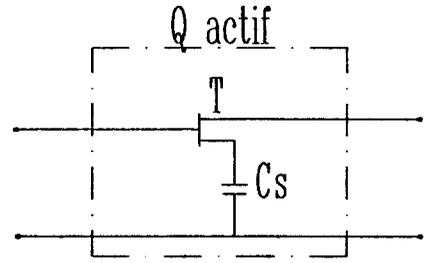
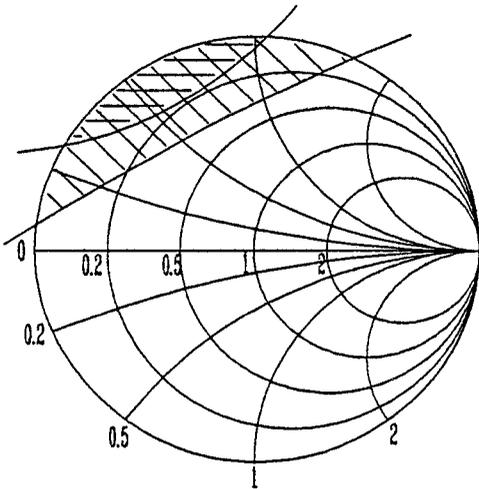


Réaction parallèle

$$C_p = 0.05 \text{ pF}$$

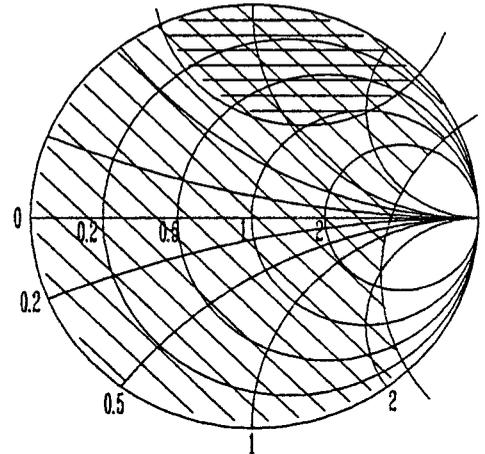


$$C_p = 0.1 \text{ pF}$$

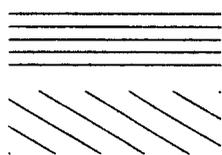
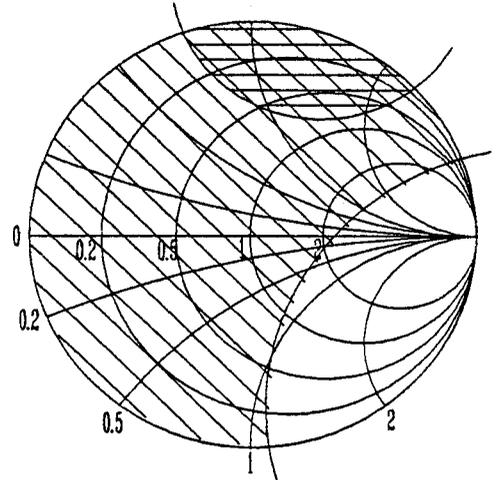


Réaction série

$$C_s = 0.5 \text{ pF}$$



$$C_s = 1 \text{ pF}$$



instable en entrée
instable en sortie

Figure III.5 : comparaison des réactions capacitive parallèle et série.

montage drain commun :

Cette configuration représente un bon compromis entre les deux précédentes, car elle combine les avantages et inconvénients des deux montages précédents. On pourra donc réaliser avec ce montage un V.C.O. de bande de fréquence et de puissance moyennes.

En ce qui concerne le choix de la réaction, elle est en fait fonction de la configuration adoptée pour le transistor. On peut en particulier citer deux exemples; pour un montage en grille commune on préférera utiliser une self en réaction série et pour un montage en source commune une capacité en réaction série.

A titre d'illustration nous avons représenté sur la figure III.4 les cercles de stabilité d'un transistor de largeur de grille $2 \times 75 \mu\text{m}$ et de longueur $0.5 \mu\text{m}$ pour deux fréquences 9 et 11 GHz. On constate qu'il est possible de faire osciller le transistor puisqu'une partie des zones instables se trouve à l'intérieur de l'abaque. Néanmoins la zone instable en entrée est relativement petite, pour augmenter cette zone instable nous pouvons ajouter soit une capacité entre la grille et le drain soit entre la source et la masse. On remarque sur la figure III.5, qu'une réaction capacitive série induit des zones instables plus grandes, ainsi pour un transistor en source commune une réaction de ce type est la plus appropriée.

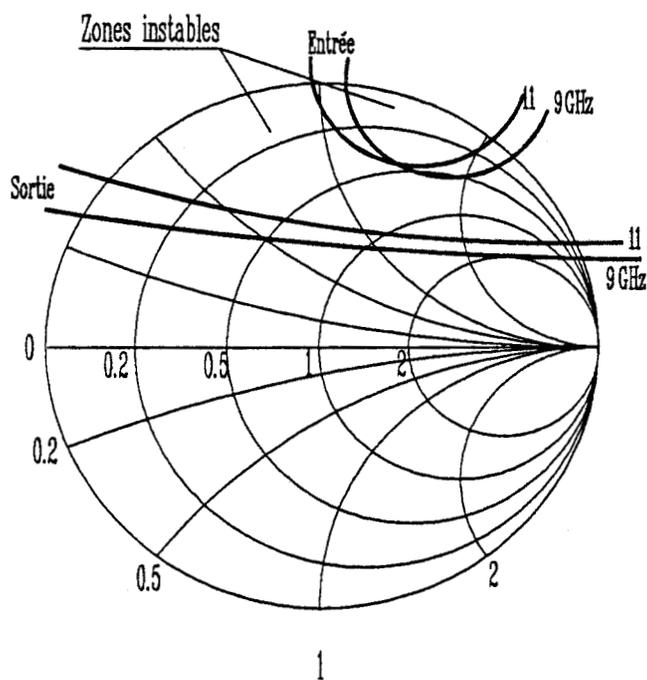


Figure III.4 : cercles de stabilité d'un T.E.C. de $2 \times 75 \mu\text{m}$ aux fréquences 9 et 11 GHz.

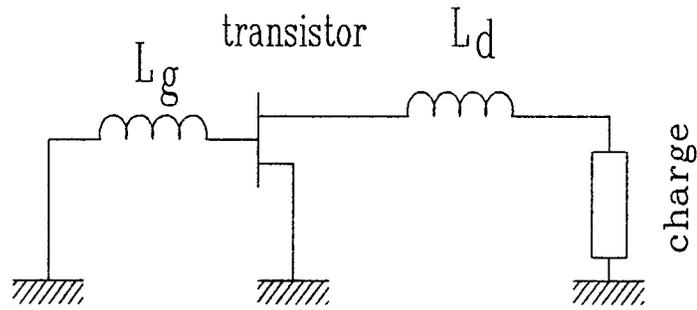


Figure III.6 : schéma de principe de l'oscillateur.

$N^+ = 3.14 \cdot 10^{18} \text{ at/cm}^3$	$H_{N^+} = 0.187 \mu\text{m}$
$N = 4.14 \cdot 10^{17} \text{ at/cm}^3$	$H_N = 0.225 \mu\text{m}$
couche tampon	$H_t = 4 \mu\text{m}$
Substrat GaAs	$H_s = 400 \mu\text{m}$

Figure III.7 : couche épitaxiée utilisée.

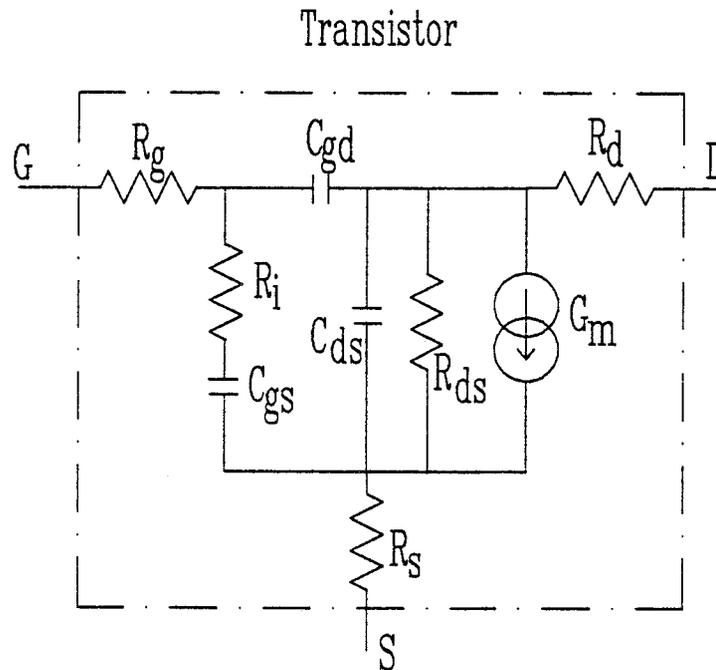


Figure III.8 : schéma équivalent du transistor utilisé dans *Touchstone*.

L'objectif principal étant de réaliser un oscillateur contrôlé en tension avec un maximum de puissance de sortie et une bande de fréquence accordable d'environ 100 MHz, notre choix s'est porté sur la configuration en source commune. Bien que dans cette configuration une capacité en réaction série soit plus adéquate pour avoir un maximum de résistance négative, pour des raisons de facilité de réalisation technologique nous avons choisi d'effectuer une réaction capacitive parallèle avec la capacité C_{gd} du transistor. De plus, avec ce type de configuration il sera possible d'obtenir non seulement un fonctionnement en source commune mais aussi en inversant le signe de la polarisation V_{ds} de faire quelques essais en drain commun.

III.3.2 Schéma de principe de l'oscillateur

Afin que la réalisation ne présente pas de problème, nous nous sommes efforcés lors de la conception d'obtenir un circuit le plus simple possible. Néanmoins, nous avons intégré dans le circuit l'ensemble du dispositif (polarisation, éléments de réaction et de résonances). Le schéma de principe du circuit est présenté sur la figure III.6.

Le transistor est en configuration source commune, sa capacité C_{gd} jouera le rôle de réaction entrée-sortie et sa capacité C_{gs} , constituera avec une inductance série le circuit résonnant qui déterminera la fréquence d'oscillation. Ainsi en faisant varier la tension de polarisation V_{gs} nous pourrions modifier électroniquement la fréquence d'oscillation.

III.3.3 Simulation linéaire

Le circuit intégré monolithique est réalisé en partant d'une couche épitaxiée typique GaAs dont les caractéristiques sont représentées sur la figure III.7.

Connaissant les différentes propriétés électriques de la couche, il est alors possible de calculer pour une géométrie donnée de transistor (largeur de grille, nombre de doigt etc) les différents paramètres du schéma équivalent petit signal du transistor (figure III.8) et dans ce but différents modèles peuvent être utilisés. Néanmoins, compte tenu du fait que des transistors discrets ont déjà été réalisés au laboratoire sur des couches épitaxiées de caractéristiques très voisines, il nous a semblé préférable d'utiliser les résultats expérimentaux d'une caractérisation de ce type de transistors.

G_m (mS)	tau (pS)	Ri (Ω)	Rg (Ω)	Rs=Rd (Ω)	Rds (Ω)	Cgs (pF)	Cgd (pF)	Cds (pF)
22	3	6	3.2	4	380	0.12	0.03	0.035

Tableau III.1 : schéma équivalent d'un transistor de $2 \times 75 \mu\text{m}$ à $V_{ds} 3 \text{ V}$ et $V_{gs} = -1 \text{ V}$.

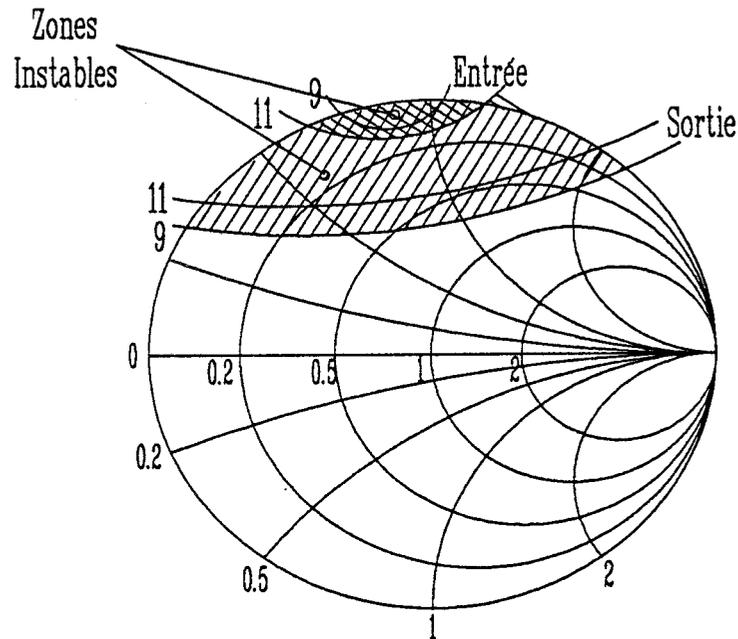


Figure III.9 : cercles d'instabilités du transistor.

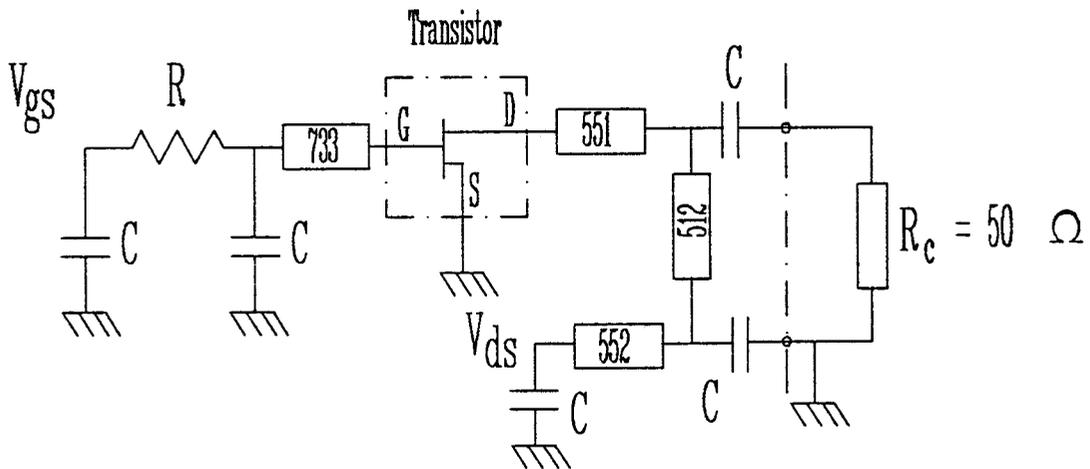


Figure III.10 : schéma électrique du circuit avec $C = 2 \text{ pF}$, les longueurs de ligne sont exprimées en μm et ont pour largeurs $W = 15 \mu\text{m}$.

Les paramètres du schéma équivalent obtenus sont donnés dans le tableau III.1 pour un transistor de $2 \times 75 \mu\text{m}$ de largeur de grille et pour une longueur de $0.5 \mu\text{m}$. Bien entendu, en utilisant des rapports de proportionnalité il est facile d'en déduire les paramètres caractéristiques d'un transistor de largeur de grille différente.

Connaissant le schéma équivalent, on peut alors à l'aide du logiciel *Touchstone* tracer les cercles de stabilité de différents transistors caractérisés par des largeurs de grille différentes. A titre d'exemple, nous donnons les résultats obtenus pour le transistor que nous allons utiliser, il est composé de quatre doigts de grille de longueur totale $300 \mu\text{m}$.

Pour ce type de transistor, on remarque que les zones instables, pour les fréquences 9 et 11 GHz, sont situées dans la partie supérieure de l'abaque (figure III.9). Par conséquent, pour obtenir un régime d'oscillation il faut présenter des impédances selfiques aussi bien du coté drain que du coté grille. Les selfs seront réalisées avec des longueurs de ligne de largeur $W = 15 \mu\text{m}$, largeur qui compte tenu de nos spécificités technologiques nous semble un bon compromis entre la valeur d'inductance obtenue et les pertes occasionnées par sa résistance. Un certain nombre de capacités sont par ailleurs nécessaires pour le découplage hyperfréquence, elles sont en pratique réalisées avec un diélectrique constitué de nitrure. Ainsi, connaissant la permittivité et l'épaisseur de ce diélectrique, nous pouvons facilement déterminer la valeur des capacités selon les surfaces des deux électrodes qui les constituent.

Les éléments passifs peuvent alors être optimisés de façon à ce que les coefficients de réflexion présentés dans les différents plans du circuit soient au minimum supérieurs à 1 et avec une phase nulle. Le schéma électrique du circuit obtenu après optimisation sur *Touchstone* est représenté sur la figure III.10.

Il est évident que si l'on réalise le circuit en pratique nous avons peu de chance d'obtenir exactement les caractéristiques demandées, c'est pourquoi il nous est apparu utile d'effectuer une étude sur la sensibilité des éléments. Nous avons donc fait varier les éléments un à un de façon à déterminer dans quelles limites ils peuvent évoluer, en supposant un coefficient de réflexion supérieur à 5 db et une gamme de fréquence d'oscillation comprise entre de 9.5 et 10.5 Ghz. Les résultats de cette étude, présentés sur le tableau III.2, nous permettent d'être optimiste pour la réalisation puisque nous constatons des domaines de variation relativement larges.

valeur des éléments		minimale	nominale	maximale
transistor	G _m	30 mS	44 mS	
	tau		3 pS	6 pS
	R _i		3 Ω	7 Ω
	R _g		1.6 Ω	3.5 Ω
	R _s = R _d		2 Ω	11 Ω
	R _{ds}	135 Ω	190 Ω	500 Ω
	C _{gs}	0.18 pF	0.24 pF	0.3 pF
	C _{gd}	0.02 pF	0.06 pF	0.1 pF
	C _{ds}	0.02 pF	0.07 pF	0.14 pF

résistance	R (kΩ)	0.3	10	
capacités	C (pF)	1.4	2	10
	R (Ω)		0.7	2
lignes	les longueurs de ligne peuvent varier de plus ou moins 6 μm			

Tableau III.2 : domaine de variation des divers éléments du circuit.

III.3.4 Simulation non linéaire

La simulation effectuée avec le logiciel "Touchstone" ne nous permet que d'étudier le démarrage de l'oscillation. Si l'on veut maintenant déterminer la puissance de sortie et les variations de fréquence résultant de l'apparition des non linéarités au fur et à mesure que les tensions hyperfréquences varient, il nous faut utiliser un autre logiciel tel que "Microwave Spice". Ce logiciel analyse le comportement du circuit en résolvant temporellement les différentes équations différentielles qui régissent le circuit. On obtient ainsi l'évolution temporelle des différents signaux et en particulier de la tension de sortie qui nous permet de déduire si le régime est suffisamment stable dans le temps, sa fréquence et sa puissance de sortie.

Pour effectuer la simulation du circuit nous avons utilisé pour le transistor un modèle symétrique avec une description des caractéristiques I_{ds} (V_{gs}, V_{ds}) par un

polynôme d'ordre trois. D'après les caractéristiques de la couche épitaxiée et de la géométrie utilisées, nous en avons déduit le modèle suivant :

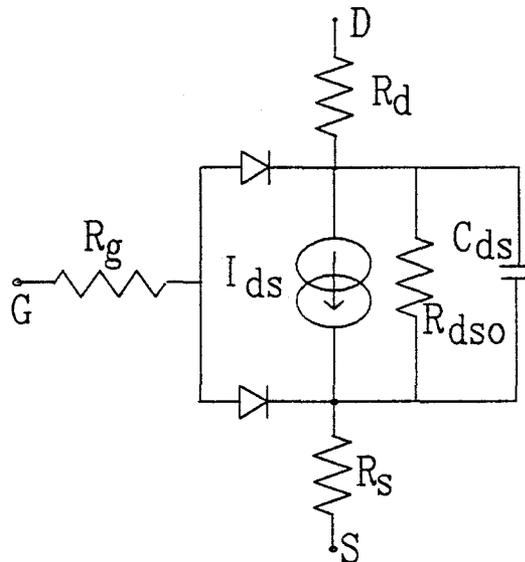


Figure III.11 : modèle du transistor utilisé dans Spice.

Les divers coefficients utilisés dans Spice ont pour valeurs :

$C_{gso} = 0.34 \text{ pF}$	$C_{gdo} = 0.06 \text{ pF}$	$C_{ds} = 0.065 \text{ pF}$	
$A_0 = 0.072$	$A_1 = 0.06$	$A_2 = 0.004$	$A_3 = -0.002$
$V_{dso} = 3 \text{ V}$	$V_{dsdc} = 3 \text{ V}$	$V_{bi} = 0.7 \text{ V}$	
$R_{dso} = 250 \text{ } \Omega$	$R_s = R_d = 2 \text{ } \Omega$	$R_g = 1.6 \text{ } \Omega$	
$E_g = 1.3$	$I_s = 5 \cdot 10^{-12}$	$N = 1.3$	$\text{tau} = 3 \text{ pS}$

Remarque : Dans le but d'accélérer le démarrage de l'oscillation et de gagner en temps de calcul, nous avons ajouté une perturbation de courte durée, constituée d'une impulsion de courant appliquée sur la grille du transistor. Nous avons bien sûr vérifié que les caractéristiques de cette impulsion n'influaient pas sur la fréquence et la puissance de l'oscillation.

Résultats de la simulation :

De la même façon que dans la simulation sur *Touchstone*, nous avons fait varier les divers éléments du circuit, pour évaluer dans quelles plages de variation ils peuvent évoluer de façon à obtenir des oscillations stables de puissances supérieures au mW entre 9.5 et 10.5 GHz. Les résultats de cette étude ont montré que le circuit fonctionne

de façon satisfaisante pour une gamme relativement importante de variation des éléments du circuit (tableau III.3).

transistor	G_m	$> 30 \text{ mS}$
	τ	$< 6 \text{ pS}$
	R_i	$< 6 \Omega$
	R_g	$< 1.3 \Omega$
	$R_s = R_d$	$< 5 \Omega$
	R_{ds}	$> 150 \Omega$
	C_{gs}	$0.25 < C_{gs} < 0.4 \text{ pF}$
	C_{gd}	$0.06 < C_{gd} < 0.2 \text{ pF}$
	C_{ds}	$< 0.2 \text{ pF}$
résistance	$R \text{ (k}\Omega\text{)}$	> 1
capacités	$C \text{ (pF)}$	> 2
	$R \text{ (}\Omega\text{)}$	< 2

Tableau III.3 : domaine de variation des divers éléments du circuit.

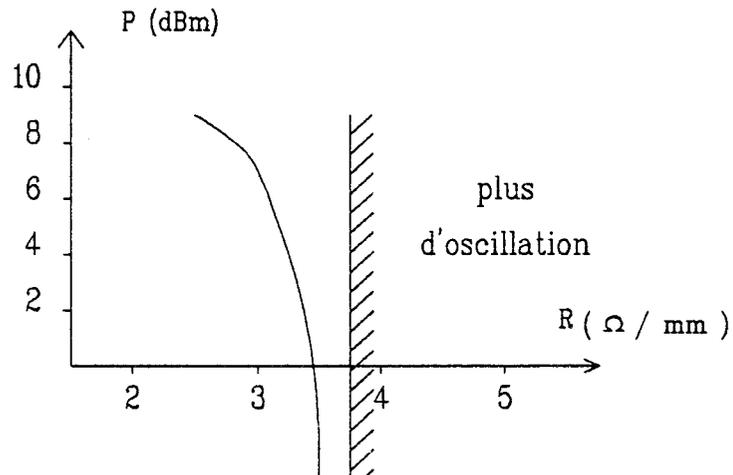


Figure III.12 : variation de la puissance en fonction de la résistance linéique des lignes R pour $V_{ds} = 3 \text{ V}$ et $V_{gs} = -1 \text{ V}$.

Un point apparaît cependant particulièrement important et concerne l'influence des pertes dans les lignes d'accord utilisées, c'est-à-dire de leurs résistances linéiques (exprimées en Ω par millimètre). Sur la figure III.12, pour une polarisation $V_{ds} = 3$ V et $V_{gs} = -1$ V, nous avons reporté à titre d'exemple les variations de la puissance de sortie en fonction des résistances linéiques des lignes. Dans ce cas, si la fréquence d'oscillation est pratiquement constante et égale à 9 GHz, on constate une forte diminution de la puissance et pour des pertes linéiques supérieures à 3.75 Ω /mm le circuit n'oscille plus. Il semble donc que la réaction parallèle provoquée par la capacité C_{gd} ne soit pas suffisamment élevée pour compenser les pertes du circuit lorsque celles-ci deviennent très importantes. Afin d'éviter cet inconvénient, il faut augmenter la réaction et une des possibilités est de travailler dans un montage drain commun en inversant la polarisation V_{ds} dans le schéma de la figure III.10. Sur la figure III.13 nous avons représenté l'évolution de la puissance en fonction des résistances de perte pour une polarisation de $V_{ds} = -3$ V et $V_{gs} = -1$ V. On observe cette fois une fréquence d'oscillation de l'ordre de 15 GHz et une sensibilité aux pertes bien moindre que dans le cas d'une polarisation à V_{ds} positif.

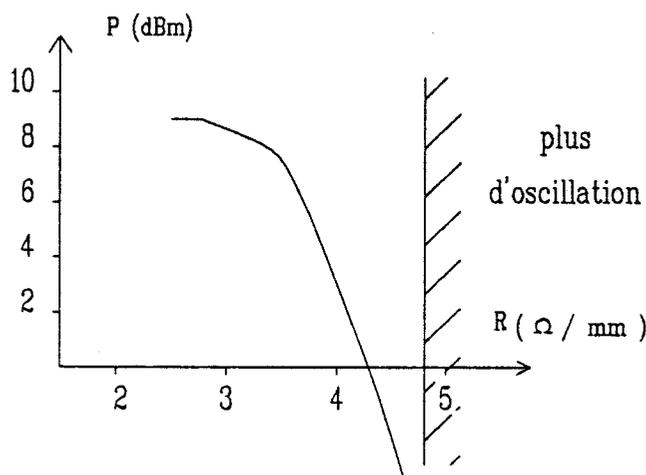


Figure III.13 : influence de la résistance linéique dans le cas d'une polarisation tel que $V_{ds} = -3$ V et $V_{gs} = -1$ V

Etant donné que les lignes du circuit seront en pratique réalisées avec une largeur de 15 μm et une hauteur de 0.5 μm , si l'on considère une résistivité de $2.2 \cdot 10^{-6}$ $\Omega\cdot\text{cm}$ (résistivité de l'or), des résistances linéiques de l'ordre de 3 Ω/mm seront donc théoriquement obtenues. Ainsi nous pourrons obtenir au choix deux fréquences d'oscillation, 9 ou 15 GHz selon la polarisation V_{ds} . Par conséquent, nous pouvons passer à la réalisation en circuit intégré monolithique.

III.4 REALISATION TECHNOLOGIQUE

Les procédés technologiques utilisés pour réaliser le transistor et les divers éléments constituant le circuit sont basés sur l'utilisation de sept masques. Le "layout" ou la géométrie de ces masques, ont été tracés à l'aide du logiciel *Mycene* (réalisé au laboratoire). Pour faciliter l'alignement des masques, un écart minimum de $2.5 \mu\text{m}$ est respecté entre deux niveaux de masquage successifs.

Le processus technologique commence par la réalisation du mesa permettant l'isolation des composants actifs et des résistances. On utilise dans ce but deux masques de mesa (de dimensions légèrement différentes) car les épitaxies n^+ et n ont une épaisseur relativement importante et qu'il est nécessaire de réaliser une "descente de grille" pas trop rapide.

Les contacts ohmiques AuGe sont ensuite réalisés en utilisant un troisième niveau de masquage. Ils servent ensuite de protection pour permettre l'attaque de la couche épitaxiée très dopée de type n^+ .

On procède alors à l'aide d'un autre niveau de masquage au dépôt des métallisations inférieures qui constituent les lignes d'accord et les électrodes inférieures des capacités diélectriques.

L'écriture directe au masqueur électronique permet d'effectuer un deuxième recess (pour ajuster la tension de pincement du transistor) et pour la réalisation des grilles.

Nous procédons alors aux étapes concernant les diélectriques; avec en premier lieu le dépôt d'une couche de polyimide d'environ $0.5 \mu\text{m}$ qui est employée pour la protection du transistor et la réalisation des ponts et ensuite de celui du nitrure qui constitue le diélectrique des capacités.

Le processus technologique se termine par le dépôt des métallisations supérieures qui achèvent les ponts métalliques reliant les plots de source et réalise les parties supérieures des capacités et le plan de masse.

Description des éléments passifs

La résistance est effectuée de la même façon que dans la réalisation précédente à la différence qu'elle est ici recouverte d'une couche de polyimide.

Les capacités sont du type M.I.M. et donc constituées d'une partie inférieure (masque de métallisation inférieure), d'un diélectrique au nitrure (d'épaisseur $0.16 \mu\text{m}$) et de la métallisation supérieure pour constituer l'électrode supérieure, de plus nous faisons déborder légèrement le polyimide sur la métallisation inférieure pour éviter les effets de claquage (figure III.14).

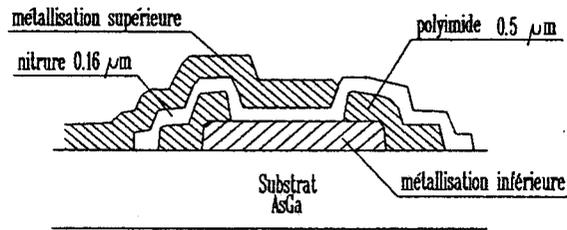


Figure III.14 réalisation des capacités

Les lignes constituant les selfs sont réalisées avec la métallisation inférieure d'épaisseur 0,5 µm qui classiquement est composée de trois couches (Titane, Platine, Or).

Description du transistor

Le transistor est réalisé de la même façon que dans le chapitre II avec en plus :

- une structure interdigitée (4 doigts de grille de 75 µm avec une longueur de 0,5 µm) qui a pour effet de diminuer les résistances d'accès du transistor car celles-ci sont néfastes à un bon fonctionnement,
- la géométrie interdigitée adoptée nous impose de réaliser des ponts pour relier les sources.

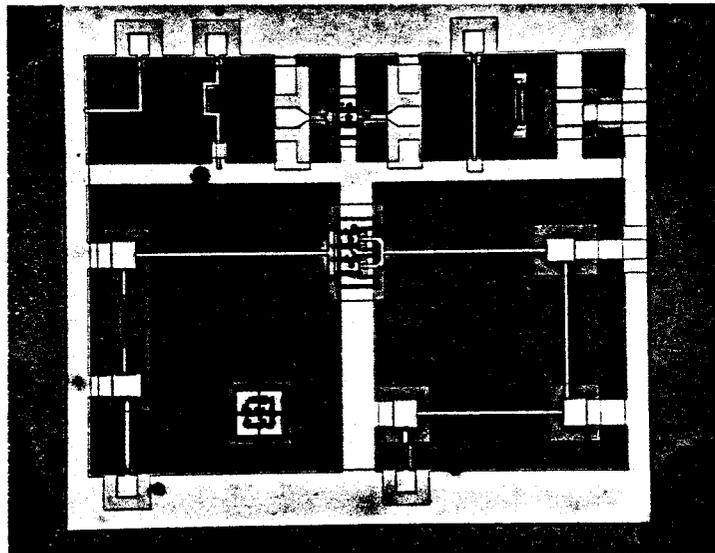


Figure III.15 photographie du circuit.

Sur la figure III.15 est représentée une photographie du circuit. Les éléments tests (transistor de 2 x 75 µm, capacité de surface 100 x 100 µm, une résistance et

diverses lignes de test) sont dans la partie supérieure du circuit. Afin de limiter les couplages, nous avons fait en sorte d'éloigner au maximum les lignes. De plus, de manière à pouvoir tester le circuit sans le découper tous les accès sont de type *Cascade*. La surface totale du circuit est de 2600 x 2400 μm .

III.5 RESULTATS DE LA REALISATION

Une caractérisation optique et électrique sous pointes (au traceur) a permis tout d'abord de sélectionner une quarantaine de circuit pouvant fonctionner sur environ 140 circuits réalisés sur la plaquette. On constate donc un pourcentage de réussite suffisant pour ce qui concerne la réalisation technologique. Néanmoins comme on peut le voir sur la figure III.16 les caractéristiques statiques du transistor à effet de champ relevées au traceur révèle une forte injection pour des tensions supérieures à 1V et l'on peut présager que cette anomalie sera préjudiciable à un bon fonctionnement.

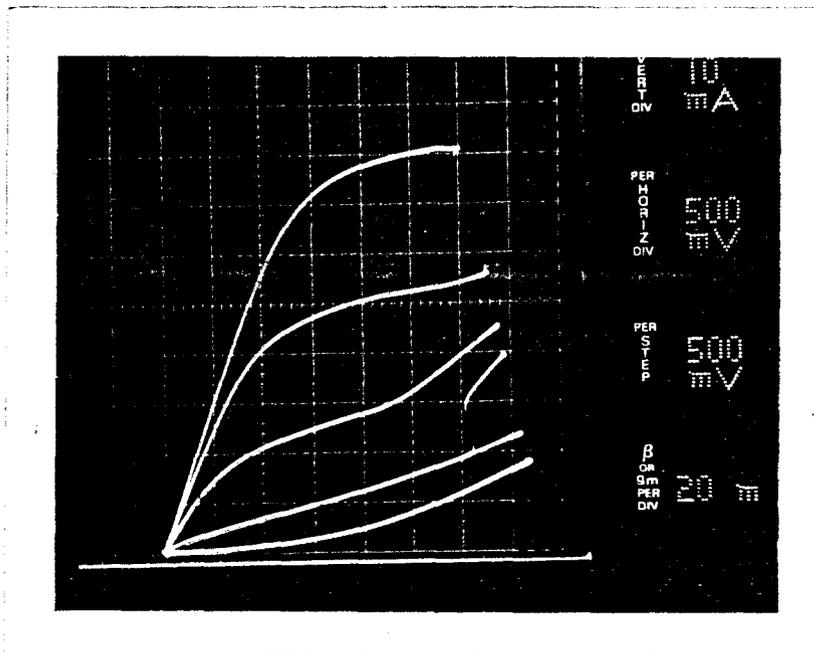


Figure III.16 : caractéristique statique du transistor .

III.5.1 Caractérisation sous Cascade des éléments tests

La caractérisation effectuée sous pointes en hyperfréquence (*Cascade*) a permis d'obtenir les résultats suivants :

- Les lignes réalisées ont une résistivité beaucoup plus importante que prévu $2.8 \cdot 10^{-8} \Omega/\text{m}$ (soit une résistance linéique de $3.75 \Omega/\text{mm}$).

- Pour la capacité d'essai, nous avons obtenu une valeur de 4.1 pF avec une résistance d'accès de 0.63 Ω . La valeur de la capacité est plus importante que celle prévue, néanmoins nous avons montré dans la simulation (tableau III.4) que la valeur des capacités (de découplage) avait peu d'influence sur le comportement du circuit.

- Nous avons effectué une caractérisation complète du transistor test qui nous a permis d'obtenir un schéma équivalent petit signal du transistor, à l'aide d'une caractérisation en statique et de la mesure des paramètres S de 50 MHz à 5 GHz. Nous avons représenté sur la figure III.17 les évolutions des éléments du transistor pour différentes tensions de polarisation V_{gs} . Par ailleurs nous pouvons comparer les résultats de cette caractérisation au schéma équivalent pris lors de la conception (tableau III.4). On constate un bon accord entre les deux modèles, excepté pour la résistance R_i où nous avons obtenu un écart relativement important.

valeur des éléments		conception	caractérisation
transistor	Gm	22 mS	19.5 mS
	tau	3 pS	2.8 pS
	R_i	6 Ω	10 Ω
	R_g	3.2 Ω	3 Ω
	$R_s = R_d$	4 Ω	4.4 Ω
	G_d	2.6 mS	1.7 mS
	C_{gs}	0.12 pF	0.13 pF
	C_{gd}	0.03 pF	0.028 pF
	C_{ds}	0.035 pF	0.035 pF

Tableau III.4 : comparaison (à $V_{ds} = 3$ V et $V_{gs} = -1$ V) des résultats de caractérisations avec les paramètres du transistor pris lors de la conception.

III.5.2 Mesures avec le circuit monté en boîtier

Nous avons réalisé un boîtier avec deux accès continus et un accès hyperfréquence. Le substrat utilisé dans la cellule est du type RT/DUROID 6010 (voir chapitre II pour les caractéristiques). Le circuit est collé sur la semelle métallique de la cellule au fond d'un trou pratiqué dans le substrat 6010. De plus, les masses du circuit et de la cellule sont reliées par de la colle conductrice.

chapitre III-22

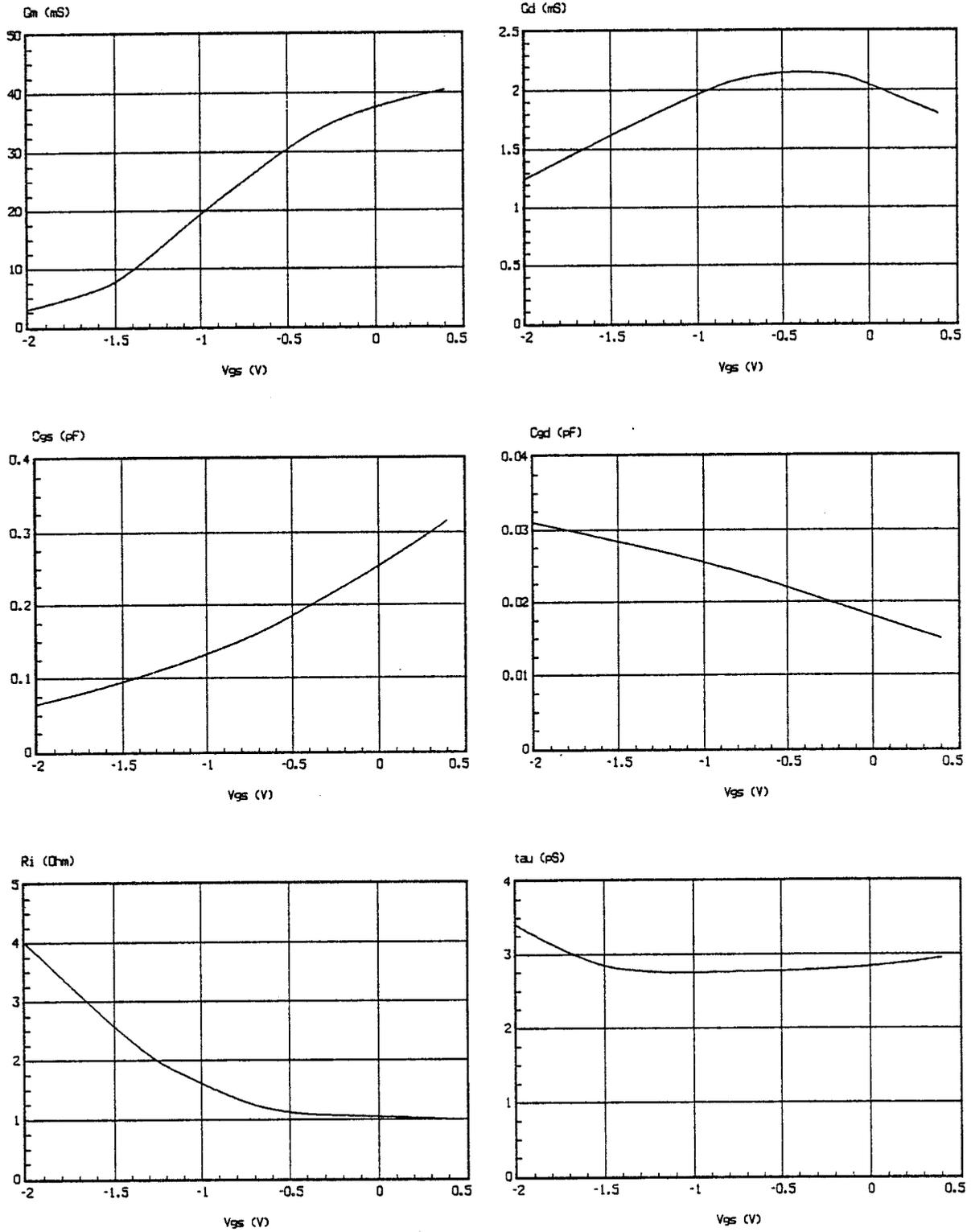


Figure III.17 : résultats de la caractérisation du transistor test.

a) mesures à V_{ds} positif :

Les résultats obtenus sur les dispositifs d'essai nous ont montré que la résistance linéique des lignes réalisées était plus importante que prévu. En conséquence, d'après nos résultats de simulation, le circuit réalisé ne devrait pas dans ce type de polarisation être susceptible d'osciller à la fréquence de 10 GHz, tout au moins sur la résistance caractéristique de 50Ω .

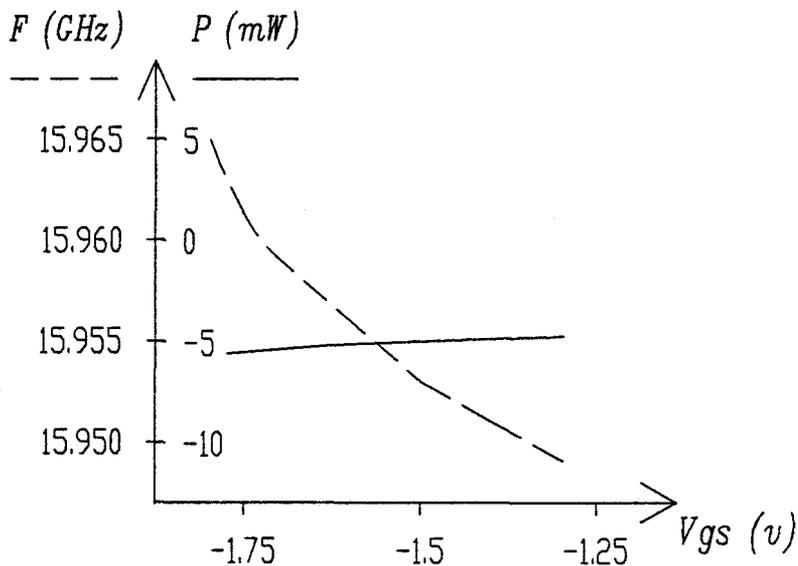


Figure III.18 : mesure de la puissance et de la fréquence du circuit monté dans un cellule de test.

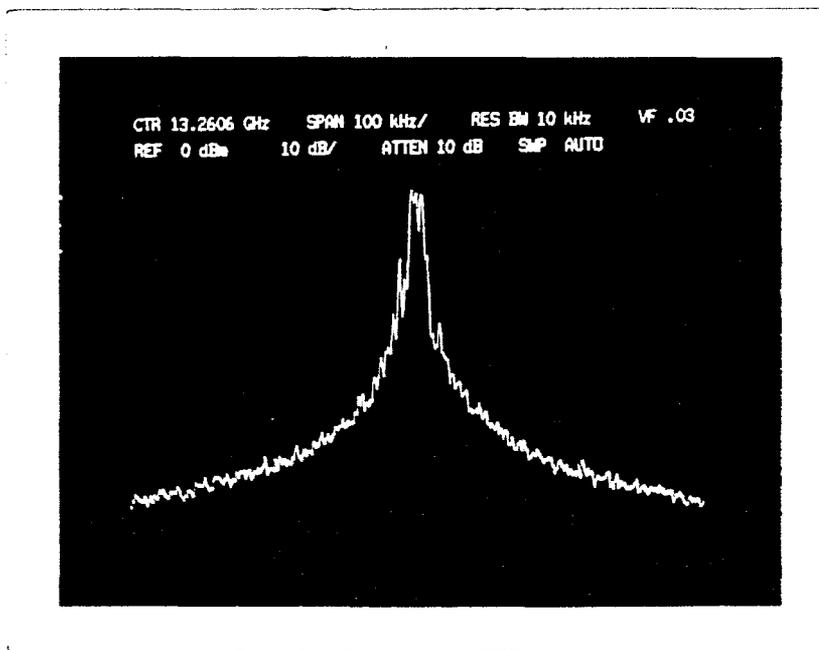


Figure III.19 : spectre du signal de sortie.

Effectivement, les résultats expérimentaux observés montrent qu'il en est ainsi. Sans modification du circuit, nous avons observé des oscillations à des fréquences plus élevées que prévues (de 13 à 16 GHz) avec, il est vrai, des puissances beaucoup plus faibles comme le montrent les résultats reportés sur la figure III.18. Néanmoins, on peut remarquer sur la figure III.19 un bon comportement en bruit du circuit puisque nous avons mesuré 90 dBc/Hz à 100 kHz de la porteuse.

Notons que les performances sont très sensibles à la charge présentée et varient considérablement d'un circuit à l'autre et cette constatation montre que l'on se trouve dans un cas limite où compte tenu des pertes élevées du circuit et de l'insuffisance de la capacité de réaction, les conditions d'oscillation ne sont pas toujours remplies.

Pour vérifier qu'il en est ainsi, une première possibilité consiste à utiliser une charge différente de 50Ω et moins dissipative afin de diminuer l'amortissement du circuit d'oscillation. Cette condition peut être satisfaite avec un étage tampon que nous avons réalisé en circuit hybride à l'aide d'un transistor supplémentaire (NEC 137) et de deux étages de polarisation. Dans ces conditions, on obtient bien des fréquences de l'ordre de 8 GHz avec des puissances nettement plus élevées comme le montrent les résultats de la figure III.20.

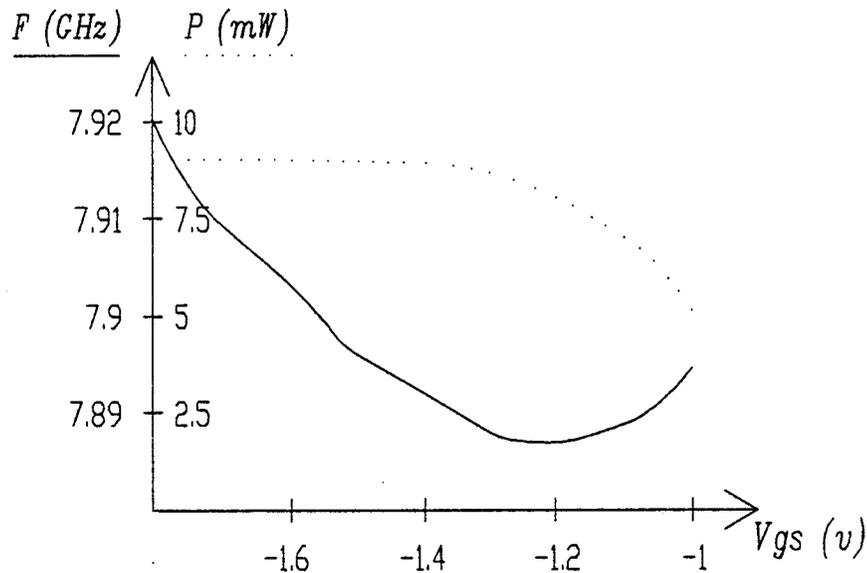


Figure III.20 : résultats obtenus lorsque l'on ajoute un étage tampon.

Une autre possibilité est d'augmenter la capacité de réaction en ajoutant en parallèle une capacité extérieure de 0.5 pF. On obtient alors une fréquence d'oscillation de l'ordre de 16 GHz (figure III.21). Pour une polarisation de $V_{ds} = 2.5$ V on observe une bonne plage accordable en fréquence (200 MHz/V) mais une faible puissance (0 dBm), par contre lorsque l'on augmente V_{ds} (4 V) la puissance de sortie augmente mais

nous n'obtenons alors qu'une faible plage accordable en fréquence de 10 MHz/V. La forte injection constatée lors des relevés des caractéristiques statiques à tension V_{ds} élevée en est certainement la cause.

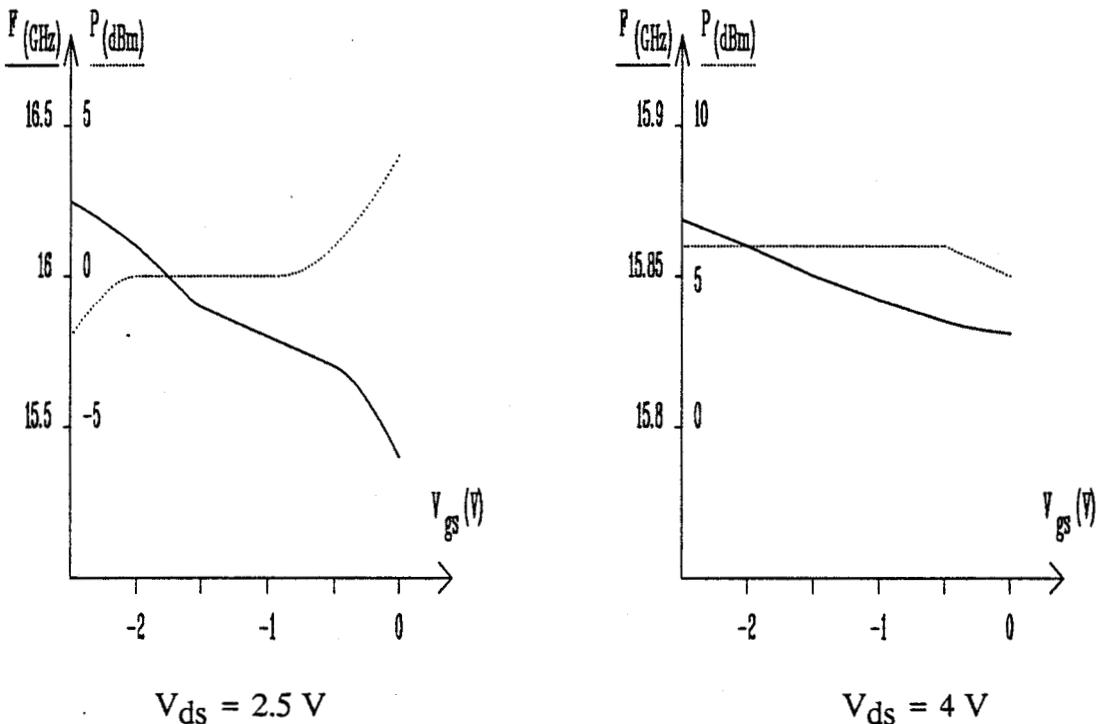


Figure III.21 : comportement du circuit avec une capacité de 0.5 pF en parallèle sur le transistor.

a) mesures à V_{ds} négatif :

Nous allons maintenant nous intéresser au fonctionnement à V_{ds} négatif (fonctionnement en drain commun) de manière à augmenter la réaction. Les résultats obtenus en simulation nous ont montré que dans ce type de polarisation le fonctionnement en oscillateur était moins sensible aux pertes dans les lignes micro-électroniques. Effectivement, nous avons observé expérimentalement que le circuit oscille de façon satisfaisante. Comme prévu, nous avons obtenu une fréquence d'oscillation de l'ordre de 14 GHz avec une puissance de sortie d'environ 10 dBm. Sur la figure III.22 nous avons représenté les variations de la fréquence et de la puissance pour différentes tensions de polarisation. Dans le cas d'une polarisation optimum ($V_{ds} = -5$ V) nous avons obtenu une plage accordable en fréquence de 100 MHz autour de 13.6 GHz pour une puissance constante de 11 dBm et une sensibilité de 20 MHz/V. Par

ailleurs, nous avons constaté un niveau de bruit relativement élevé puisque nous avons obtenu environ 90 dBc/Hz à 1 MHz de la porteuse. Néanmoins, compte tenu qu'il est prévu de stabiliser cet oscillateur sur un quartz il devrait être possible en pratique d'augmenter cette performance.

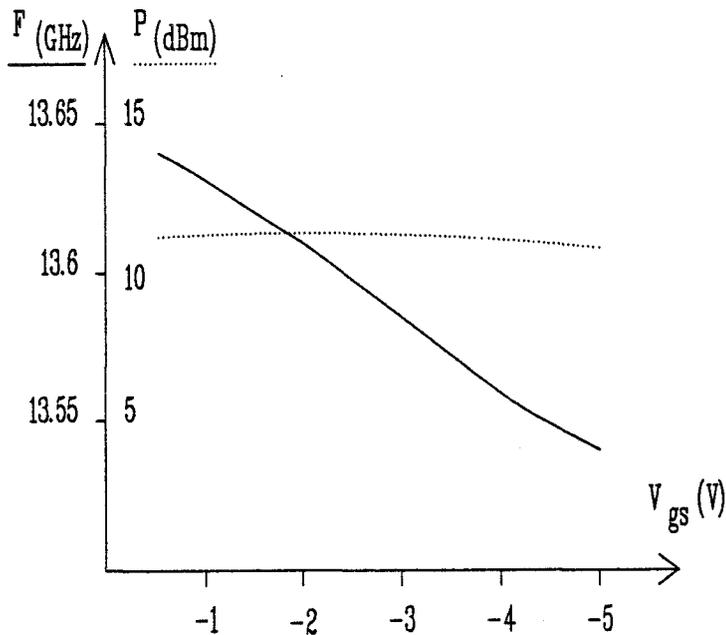


Figure III.22 : résultats obtenus avec une polarisation de $V_{ds} = -5$ V.

III.6 Analyse de l'ensemble des résultats

A l'aide de deux types de logiciel de C.A.O. nous avons conçu un oscillateur dont on peut contrôler la fréquence par une tension. Le premier logiciel (*Touchstone*), nous a permis de faire une étude linéaire afin d'optimiser les éléments du circuit de manière à ce que les conditions nécessaires au démarrage d'une oscillation soient requises à la fréquence de 10 GHz. Le comportement d'un oscillateur étant exclusivement non linéaire nous avons utilisé également le logiciel *Microwave Spice* destiné principalement à analyser les circuits non linéaires. A partir de cet outil, nous avons étudié l'évolution de la fréquence et de la puissance de sortie en fonction des divers éléments du circuit. Nous en avons conclu que ce circuit pouvait osciller à deux fréquences différentes de l'ordre de 9 GHz pour une polarisation à V_{ds} positive et 15 GHz pour V_{ds} négatif, mais avec un fonctionnement en drain commun moins sensible aux pertes dans les lignes.

Cet oscillateur a été réalisé en circuit intégré monolithique sur GaAs. Nous avons effectué diverses mesures, d'une part sur *Cascade* (des éléments tests) et d'autre

part lorsque le circuit est mis dans un boîtier hyperfréquence. Les principaux résultats de ces mesures peuvent être résumés de la façon suivante :

- En polarisation à V_{ds} positif on distingue trois cas :
 - * lorsque le circuit est directement sur l'analyseur de spectre, il oscille à la fréquence comprise entre 13 et 16 GHz avec une puissance de -5 dBm à 16 GHz.
 - * En ajoutant une capacité extérieure de 0.5 pF en parallèle sur le transistor nous avons obtenu une puissance de sortie supérieure (6 dBm) pour une fréquence d'oscillation de 16 GHz.
 - * Si l'on ajoute un étage tampon on obtient alors une fréquence de 8 GHz avec une puissance de 9 dBm.

- En polarisation à V_{ds} négatif nous avons obtenu 14 GHz avec une puissance de 11 dBm.

De ces résultats nous concluons que :

- a) La capacité C_{gd} du transistor à V_{ds} positif ne provoque pas une réaction suffisante (nous avons donc une résistance négative trop faible) pour compenser les pertes du circuit qui ont été supérieures à ce qui était prévu lors de la conception.
- b) Un effort particulier doit être fait pour réaliser le plan de masse. En effet, lors de la conception des masques, nous n'avons pas eu la possibilité de relier correctement la source du transistor à la masse à cause d'une part de la structure électrique du circuit et d'autre part du fait que nous avons privilégié un espacement maximum des éléments de façon à avoir un minimum de couplage.
- c) L'absence d'un étage tampon rend le système oscillateur trop sensible à la charge présentée.

Pour résoudre ces différents problèmes, il nous faut donc procéder à une autre réalisation en choisissant une topologie plus adaptée. En premier lieu, il nous faut augmenter la capacité de réaction (entre grille et drain) en ajoutant une capacité supplémentaire et en dissociant ainsi plus nettement les fonctions de résonance et de réaction qui étaient dans le premier schéma remplies par le même transistor. En outre, il semble judicieux d'ajouter au circuit un étage tampon qui permet éventuellement de compenser des pertes supplémentaires inhérentes à toute réalisation et de se soustraire à l'influence de la charge de l'oscillateur. Enfin, l'utilisation de VIA Hole (trous métallisés) est certainement le moyen le plus élégant pour palier au problème de masse dont nous avons discuté en (b).

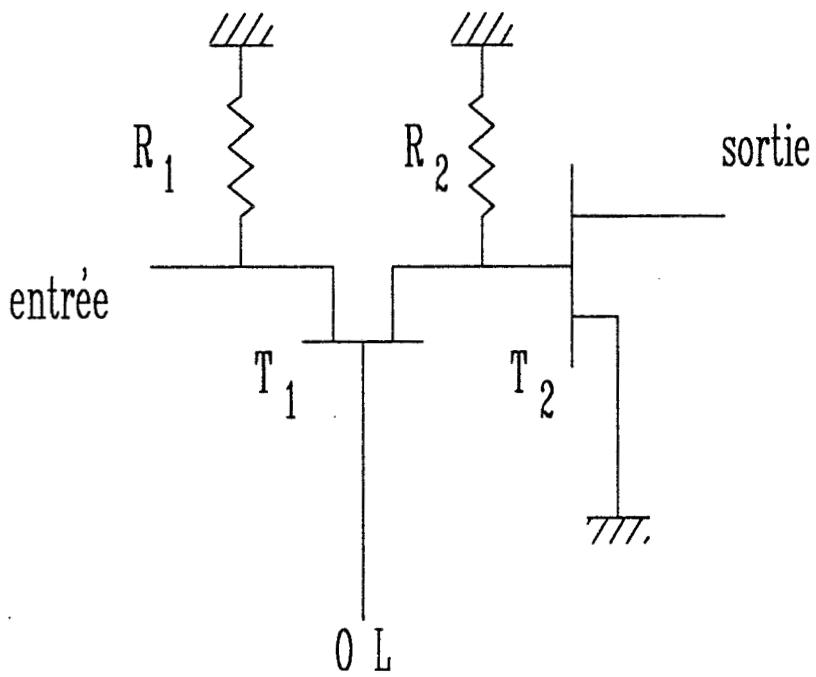


Figure III.23 : schéma électrique du convertisseur de fréquence

III.7 AUTRES REALISATIONS MONOLITHIQUES

III.7.1 Introduction

Dans cette nouvelle réalisation nous allons élaborer sur le même substrat :

- d'une part, un autre convertisseur de fréquence simplifié,
- et d'autre part, compte tenu des enseignements présentés en III.6 deux nouveaux oscillateurs.

Le substrat et l'épitaxie utilisés seront du même type que ceux employés pour la réalisation de l'oscillateur. Etant donné que dans les parties précédentes de ce mémoire nous avons présenté la méthodologie utilisée pour la conception et la réalisation des circuits intégrés, nous ne nous attarderons pas sur ces parties et rapidement nous passerons aux résultats des nouvelles réalisations.

III.7.2 CONCEPTION

III.7.2.1 Convertisseur de fréquence

En dépit de l'utilisation d'un dopage de caractéristiques différentes de celles employées au deuxième chapitre, pour le convertisseur de fréquence nous avons trouvé la même configuration optimum c'est-à-dire :

- pour le transistor T_1 largeur de grille : $150 \mu\text{m}$,
- et pour le transistor de sortie T_2 une largeur de grille de $300 \mu\text{m}$.

Les différences essentielles par rapport à la réalisation du deuxième chapitre peuvent être résumées de la façon suivante :

- Nous espérons obtenir des grilles de $0.3 \mu\text{m}$.
- Le transistor T_2 possèdera quatre doigts de grille.
- Nous avons supprimé les deux diodes destinées à écrêter le signal de commande car ce circuit est appelé à être utilisé dans une boucle à verrouillage de phase avec un quartz de 10 ou 100 MHz. Etant donné la fréquence de commande de T_1 , la mise en forme pourra être effectuée par un circuit basse fréquence. Le circuit électrique est représenté sur la figure III.23.

III.7.2.2 Oscillateurs

Dans la réalisation précédente, nous avons choisi parmi les configurations possibles celle qui présentait le minimum de risques technologiques. N'ayant pas avec cette solution atteint complètement notre objectif, nous allons maintenant choisir la structure qui a le plus de chance de fonctionner même si celle-ci présente certains risques technologiques. La configuration qui se rapproche le plus de notre problème est celle avec une réaction série, néanmoins pour nous permettre d'effectuer une comparaison expérimentale, les deux types de réaction possibles (série et parallèle),

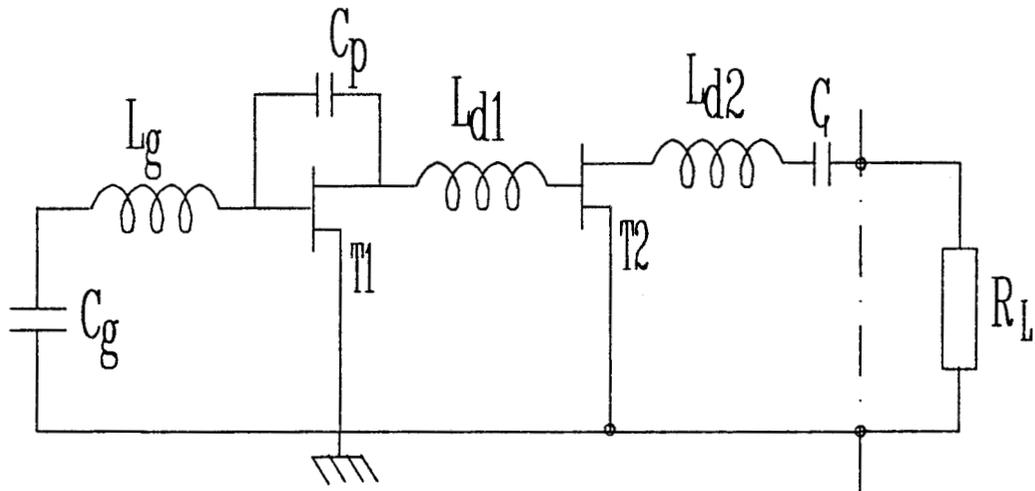
seront réalisées sur le même substrat. Bien entendu, nous tiendrons compte de l'expérience acquise dans la première réalisation et pour concevoir ces oscillateurs nous avons donc adopté les règles suivantes :

- Les réactions (série et parallèle) seront effectuées par des éléments passifs extérieurs au transistor.

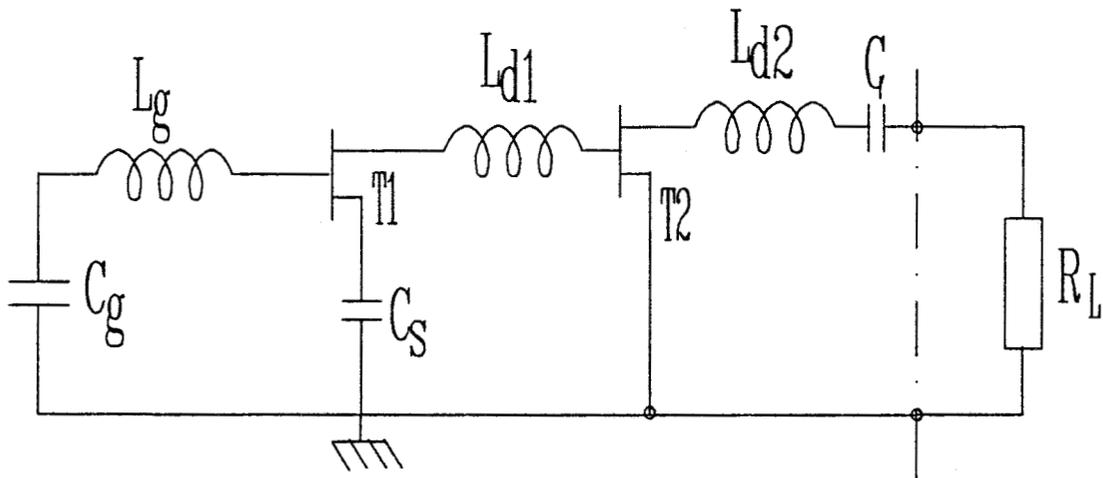
- Un étage tampon sera inséré entre la partie qui génère l'oscillation et la charge.

- Afin d'éviter qu'il y ait des problèmes de retour de masse les réalisations seront faites en utilisant la technique des VIA Holes avec un substrat aminci à 100 μm .

Les schémas de principe des deux oscillateurs sont représentés sur la figure III.24.



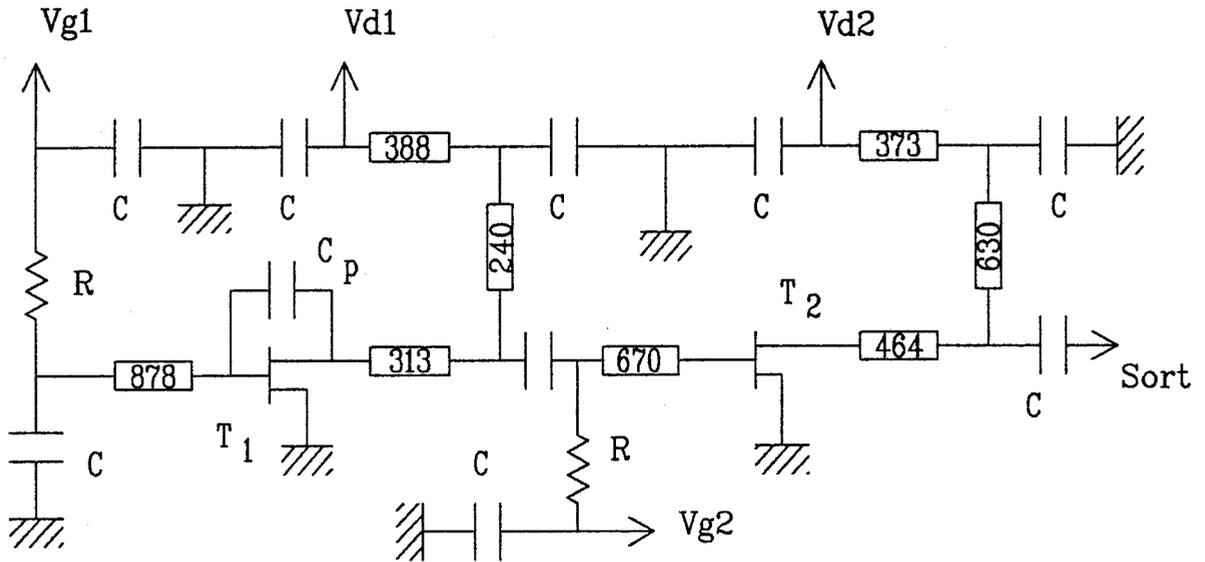
version parallèle



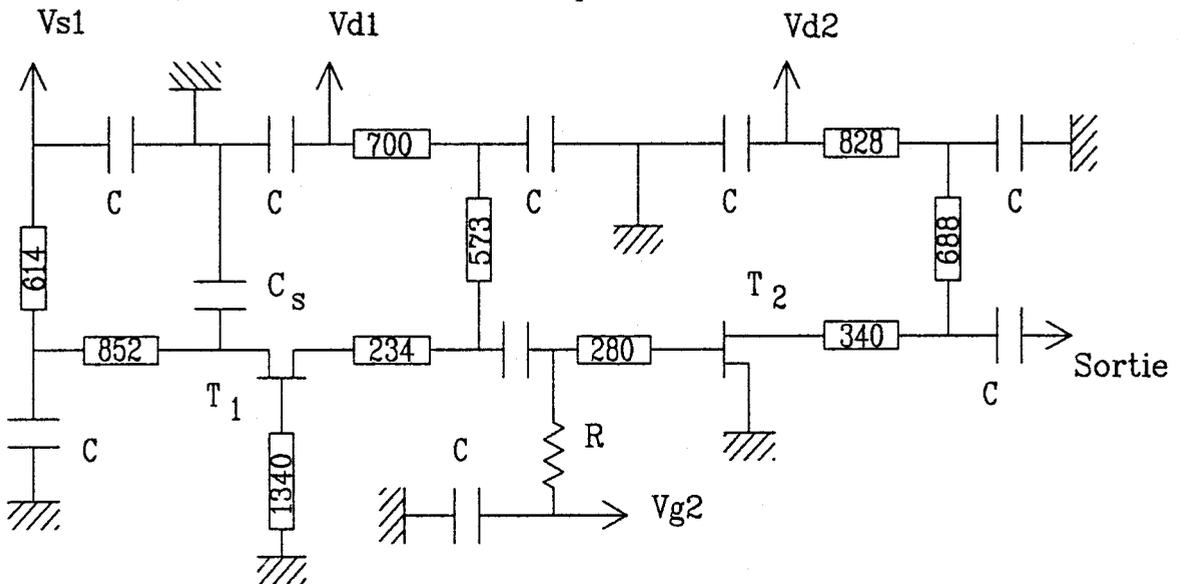
la version série

Figure III.24 : schémas de principe des oscillateurs.

La détermination des différents éléments s'est effectuée en utilisant successivement les logiciels *Touchstone* (optimisation du circuit de façon à ce que les conditions de démarrage de l'oscillation soient respectées) et *Microwave Spice* (pour la détermination de la puissance et de la fréquence exactes d'oscillation). Les schémas électriques finaux sont représentés sur la figure III.25, où les transistors T₁ et T₂ sont composés respectivement de deux grilles de largeur 75 μm et de quatre grilles de largeur 75 μm.



Version parallèle



Version série

Figure III.25 : schémas électriques des oscillateurs avec $C = 2 \text{ pF}$, $C_p = 0.1 \text{ pF}$, $C_s = 0.5 \text{ pF}$, les longueurs de ligne sont exprimées en μm et ont une largeur de $20 \mu\text{m}$.

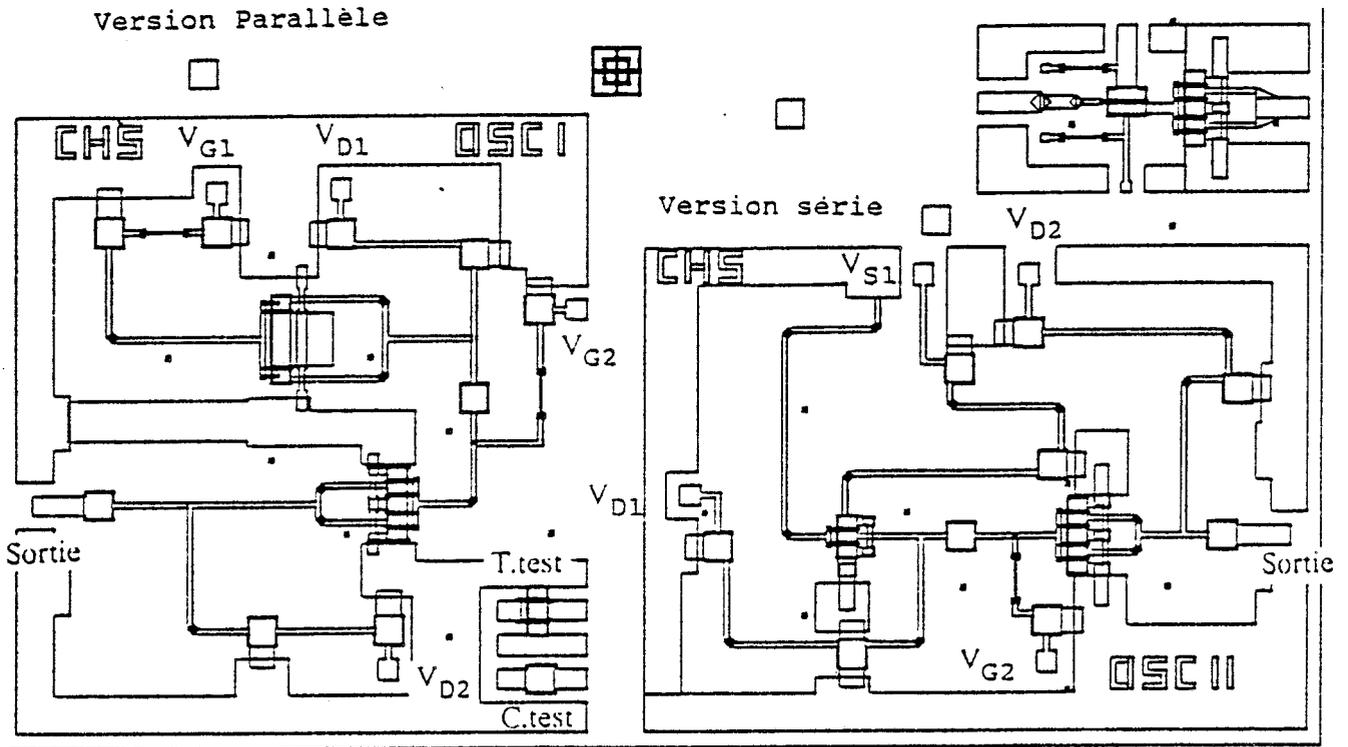


Figure III.26 : topologie des circuits.

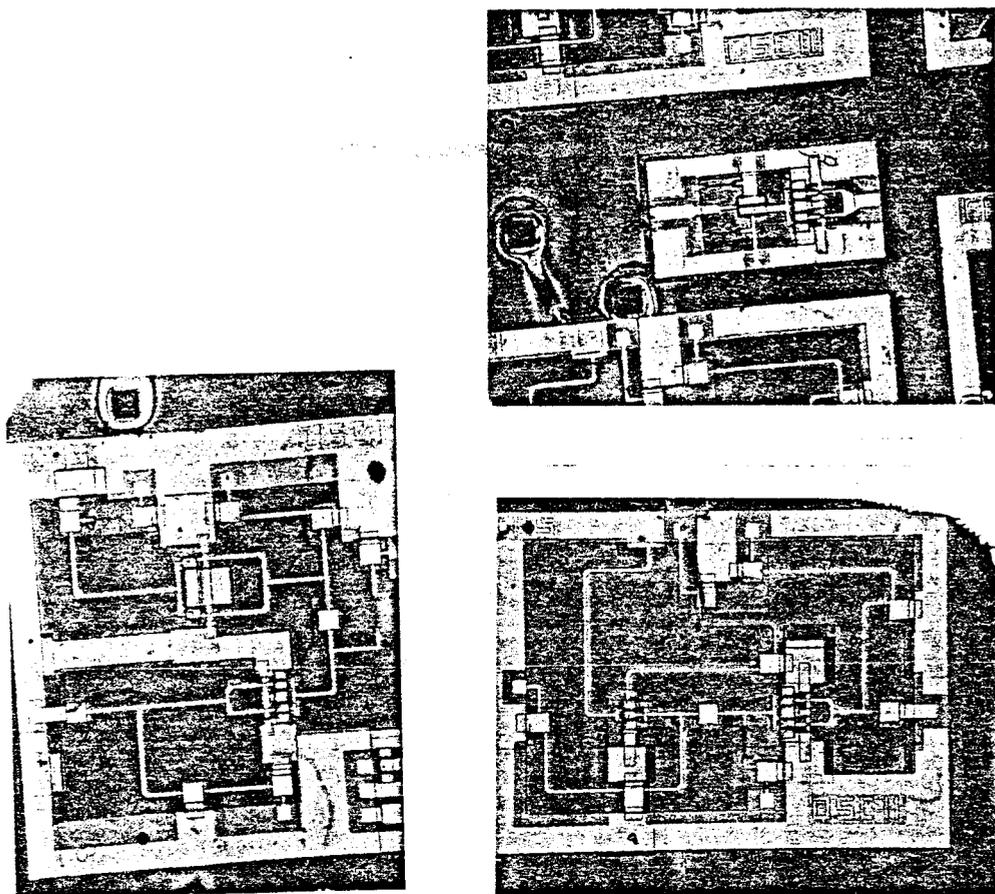


Figure III.27 : photographie de la réalisation.

III.7.3 Réalisation technologique

La réalisation technologique s'effectue en suivant un procédé très voisin de celui utilisé pour la réalisation de l'oscillateur précédent. Néanmoins, compte tenu de la nécessité de réaliser des trous à la masse, trois masques supplémentaires sont utilisés.

Le premier permet l'alignement des technologies effectuées d'une part sur la face avant et d'autre part sur la face arrière. Dans ce but des trous de $100 \times 100 \mu\text{m}$ et de $100 \mu\text{m}$ de profondeur sont creusés par une attaque plasma dans l'épitaxie et le substrat. Une fois les trous réalisés, on procède alors de la même façon que dans la réalisation précédente en alignant l'ensemble des masques sur les trous effectués.

Le second permet le dépôt localisé d'une couche de nitrure aux endroits où déboucheront les trous à la masse. Ce dépôt permettra d'arrêter l'attaque plasma au moment précis où les trous réalisés débouchent au sommet de l'épitaxie (couche d'arrêt).

Le troisième permet la réalisation des trous à la masse sur la face arrière. Cette opération est effectuée après amincissement à $100 \mu\text{m}$ du substrat par une attaque chimique. Bien entendu, ce masque est aligné sur les trous de repérage réalisés par la première opération.

Par conséquent, lorsque les opérations technologiques concernant la face avant sont effectuées, on retourne la plaquette pour réaliser l'amincissement et les trous à la masse. Lors de la réalisation des trous le plasma atteint la couche de nitrure et l'attaque se fait beaucoup moins rapidement que dans le GaAs. On arrête alors l'attaque et la couche de nitrure est enlevée par une autre attaque plasma. Enfin une pulvérisation d'Or et une électrolyse de la face arrière permet l'obtention des trous métallisés. Sur la figure III.26 est représentée la topologie des différents circuits et sur la figure III.27 la photographie de la réalisation. A l'aide du microscope à balayage électronique nous avons mesuré les longueurs de grille des différents circuits, les mesures sont relativement proches des résultats escomptés puisque nous avons obtenu des longueurs de grille de $0.53 \mu\text{m}$ pour les circuits oscillateurs, et de $0.4 \mu\text{m}$ pour les convertisseurs de fréquence.

III.7.4 Résultats des réalisations

Après avoir découpé les circuits, nous avons mis les oscillateurs dans un boîtier hyperfréquence (deux accès hyperfréquences dont l'un n'est pas utilisé et quatre accès continus) afin de pouvoir mesurer leurs performances. Nous avons donc testé successivement la version parallèle et la version série dont nous allons maintenant présenter les principaux résultats obtenus.

Les performances obtenues avec ce circuit sont relativement proches de celles obtenues avec la simulation car comme le montre la figure III.28 une fréquence centrale d'oscillation de 10.2 GHz à été mesurée. Sur cette figure, on constate un bon fonctionnement en V.C.O. puisque nous avons obtenu une plage de variation de la fréquence à puissance constante d'environ 400 MHz et avec une sensibilité de 350 MHz par Volt (tension de grille du premier transistor).

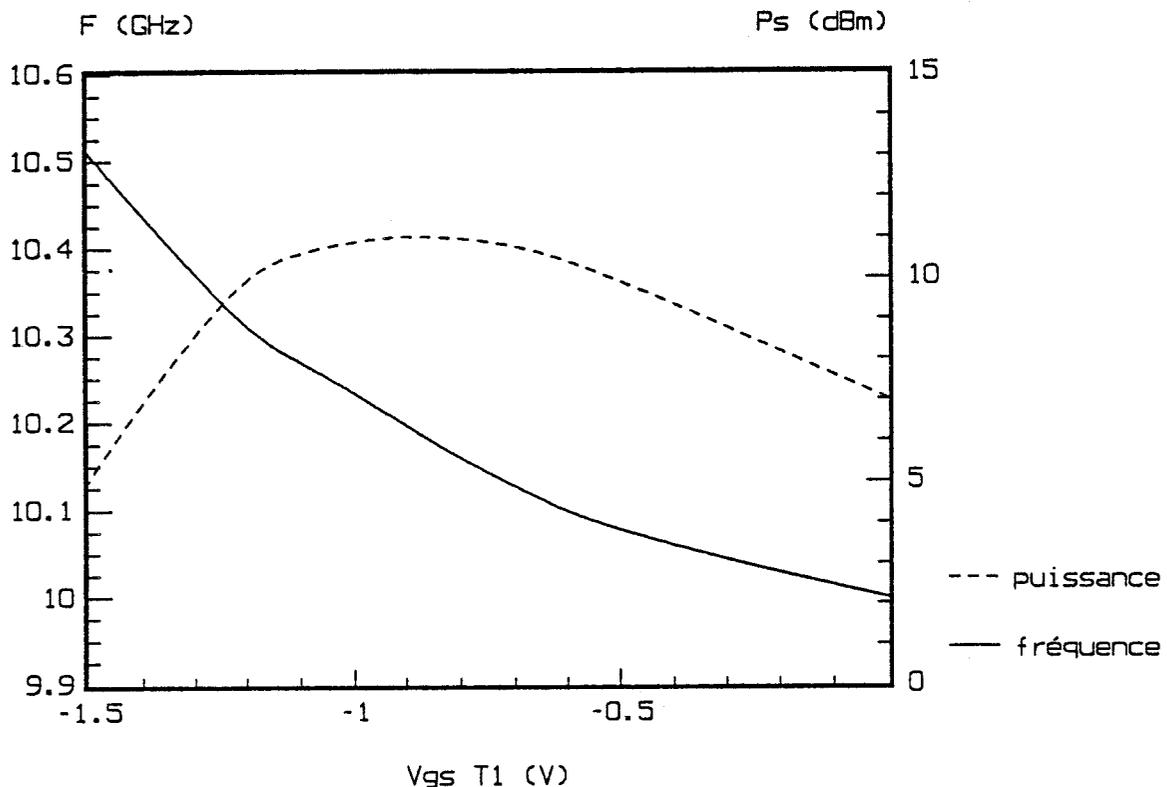


Figure III.28 : performance de la version parallèle.

Nous avons cependant constaté deux désaccords avec la simulation qui sont d'une part une puissance de sortie de "seulement" 10 dBm alors qu'il était prévu 15 dBm, et d'autre part des décrochements pour des tensions de polarisation V_{gsT1} inférieures à -1.5 V et supérieures à -0.25 V.

On peut de plus, être critique envers le faible rendement du circuit (environ 8%) et du mauvais comportement en bruit de cet oscillateur (85 dBc à 1 MHz de la porteuse), mais ces types de performance ne sont pas notre objectif principal. Par conséquent, compte tenu que le but essentiel de cette réalisation était d'obtenir une fréquence d'oscillation proche de 10 GHz avec une puissance de sortie minimum de 10 dBm, on peut dire que notre objectif est atteint.

III.7.4.2 Version série

Tout comme il était prévu, cet oscillateur a donné de bien meilleures performances que la version parallèle, et ceci tant du point de vue de la stabilité (aucun décrochement constaté) que de la puissance de sortie (17 dBm de puissance maximum). Sur la figure III.29 sont représentés les résultats typiques obtenus avec cet oscillateur. On observe une plage d'utilisation en puissance pratiquement constante (15 à 16.5 dBm) de 1 GHz pour une variation de la tension de polarisation V_{gsT1} comprise entre 0 V et -1.25 V, ce qui nous donne une sensibilité de 800 MHz par Volt, résultat tout à fait conforme à ce qui était prévu. Le rendement moyen de 12 % (rendement maximum de 20 % pour une puissance de 17 dBm) de l'oscillateur reste modeste mais néanmoins supérieur à la version parallèle. Une amélioration du bruit est aussi constatée puisque nous avons obtenu 96 dBc à 1 MHz de la porteuse.

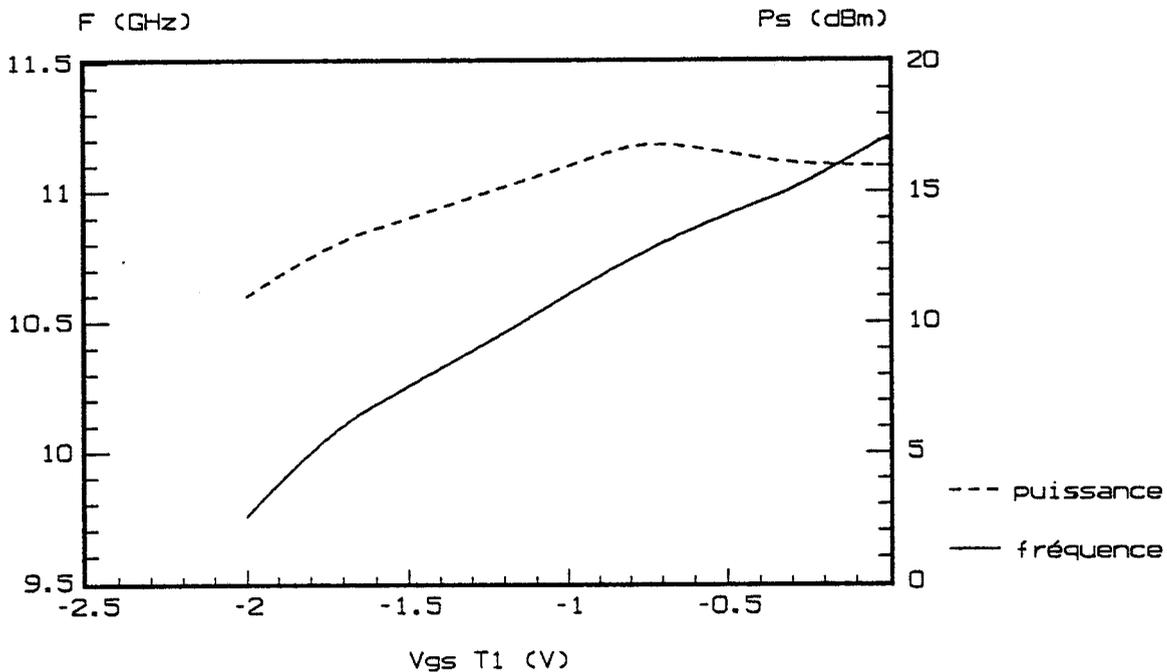


Figure III.29 : résultats expérimentaux de la version série.

Les performances de cette réalisation étant de meilleure qualité, nous l'utiliserons pour effectuer une boucle à verrouillage de phase pour stabiliser la fréquence de l'oscillateur sur un quartz. Mais auparavant, il est nécessaire de vérifier que la fréquence de l'oscillateur ne change pas trop en fonction de la charge car il devra être chargé par le convertisseur de fréquence réalisé dans le chapitre II dont l'impédance d'entrée varie dans de fortes proportions. Dans ce but, nous avons mesuré le "pulling" de l'oscillateur. Nous avons donc chargé l'oscillateur par un atténuateur variable et un piston de court-circuit, et relevé pour différentes atténuations les écarts

variable et un piston de court-circuit, et relevé pour différentes atténuations les écarts de fréquence δF_0 lorsque l'on fait varier la position du piston de court-circuit. Les résultats de ces mesures sont résumés sur le tableau suivant :

atténuation (dBm)	coefficient de réflexion S	δF_0 (MHz)	fréquence centrale F_0 (GHz)
-10	1.22	9	10.646
-7	1.5	20	10.647
-5	1.925	30.5	10.650
-3	3	49	10.649

Tableau III.5 : résultats des mesures du "pulling" concernant l'oscillateur avec une réaction série.

Compte tenu des coefficients de réflexion importants présentés à l'oscillateur, on constate sur ce tableau des variations de fréquence relativement faibles.

De plus, à l'aide d'un circulateur et d'un générateur de fréquence variable, nous avons injecté le signal de puissance P_{syn} du générateur à la sortie de notre oscillateur pour en déduire sa plage de synchronisation. Nous avons pour différentes puissances P_{syn} relevé la plage de synchronisation δF où l'oscillateur se fixe sur la fréquence du générateur.

Les résultats de la mesure sont :

P_{syn} (dBm)	δF (MHz)
-5	20.5
0	52
5	68

Tableau III.6 : mesures de la plage de synchronisation de l'oscillateur série.

Des résultats de ces mesures, on peut déduire le coefficient de qualité extérieur (Q_{ext}) de l'oscillateur par la relation suivante :

$$Q_{ext} = \frac{2 F_0}{\delta F} \sqrt{\frac{P_{syn}}{P_{osc}}}$$

On obtient alors un relativement bon coefficient de qualité extérieur de l'ordre de 100.

Nous venons de voir, qu'à l'aide d'un générateur extérieur, qu'il est possible d'imposer à l'oscillateur une fréquence autre que sa propre fréquence d'oscillation pourvu que la fréquence délivrée par le générateur extérieur ne soit pas trop éloignée de celle de l'oscillateur. Il paraît donc intéressant d'utiliser cette propriété pour stabiliser notre oscillateur. Dans ce but, nous avons injecté un signal hyperfréquence (générateur extérieur) sur le deuxième accès hyperfréquence du boîtier qui était jusqu'alors non utilisé. Nous avons constaté, que malgré le très faible couplage (couplage par rayonnement de la fiche de l'accès hyperfréquence), la fréquence de l'oscillateur se cale sur celle du générateur et le spectre de sortie est pratiquement de même qualité que celui qui est délivré par le générateur de synchronisation (figure III.30).

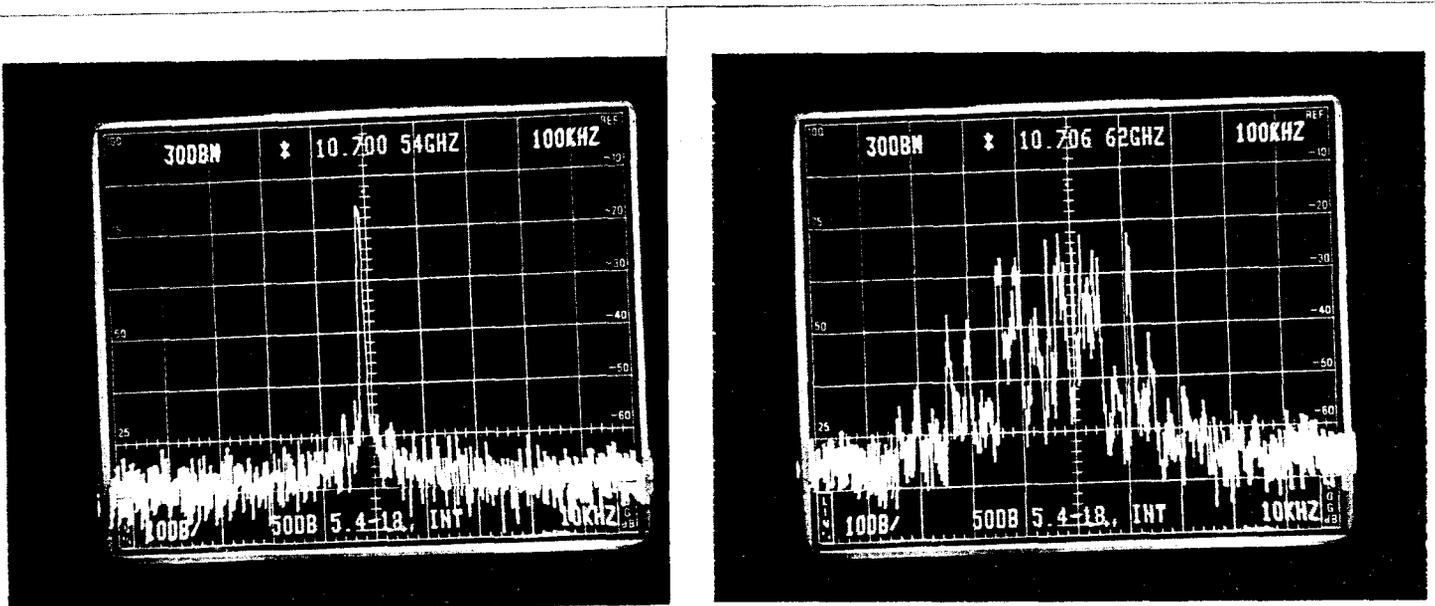
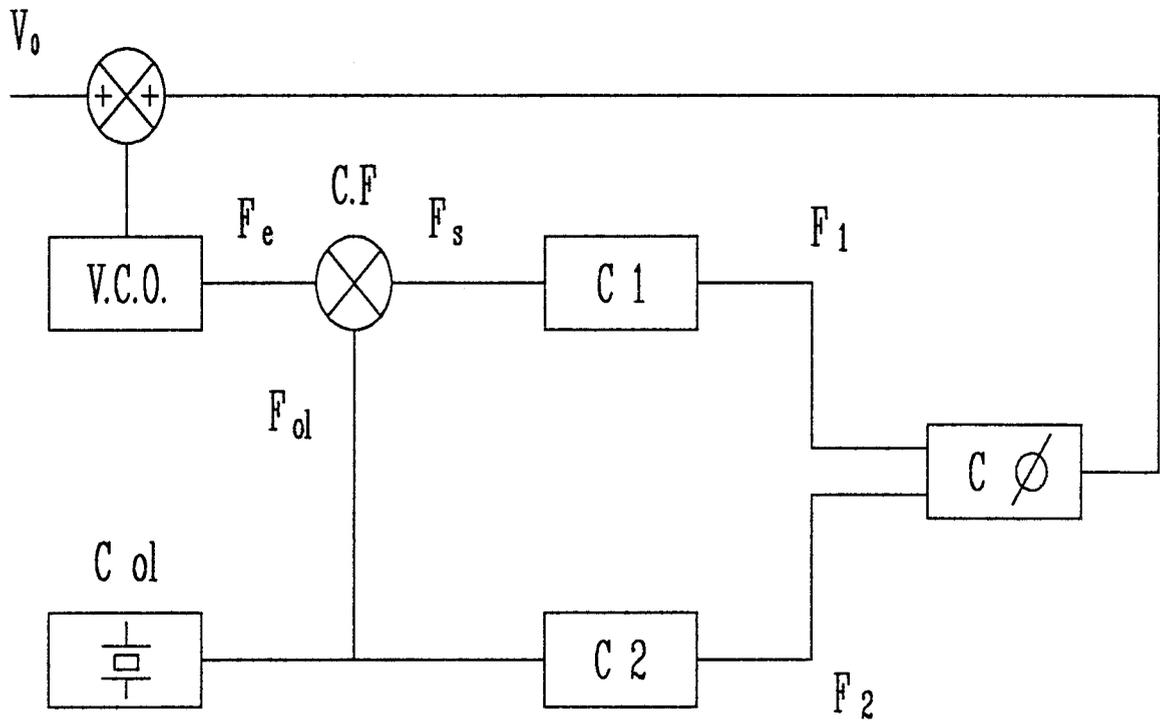


Figure III.30 : spectre du signal de sortie avec et sans synchronisation.



V.C.O. : oscillateur du commerce à 3 GHz.

C ol : circuit oscillateur, avec un quartz de 10 MHz.

C.F. : convertisseur de fréquence.

C 1 : circuit de filtrage, d'amplification et diviseur de fréquence par 10.

C 2 : diviseur par 100.

C ∅ : comparateur de phase

Figure III.31 : synoptique de la boucle à verrouillage de phase avec un quartz de fréquence 10 MHz.

A condition d'avoir un signal très stable (même de très faible puissance), il semble donc possible d'asservir ce type d'oscillateur pour obtenir un signal de sortie de puissance relativement élevée avec une très bonne stabilité en fréquence. Le seul problème est que lorsque nous faisons varier la fréquence du générateur, nous n'avons constaté qu'une plage de synchronisation de 3 MHz. Par conséquent, pour effectuer ce type de stabilisation il est nécessaire d'avoir un moyen d'accord en fréquence.

L'ensemble des mesures qui viennent d'être exposées, montre que l'oscillateur série est de bonne qualité, et qu'il peut être utilisé dans de nombreuses applications. En particulier, il peut être soumis à des coefficients de réflexion importants sans que sa fréquence d'oscillation en soit fortement affectée. Par conséquent, il répond tout à fait aux conditions nécessaires pour être inséré dans la bouche à verrouillage que nous allons maintenant décrire.

III.8 STABILISATION

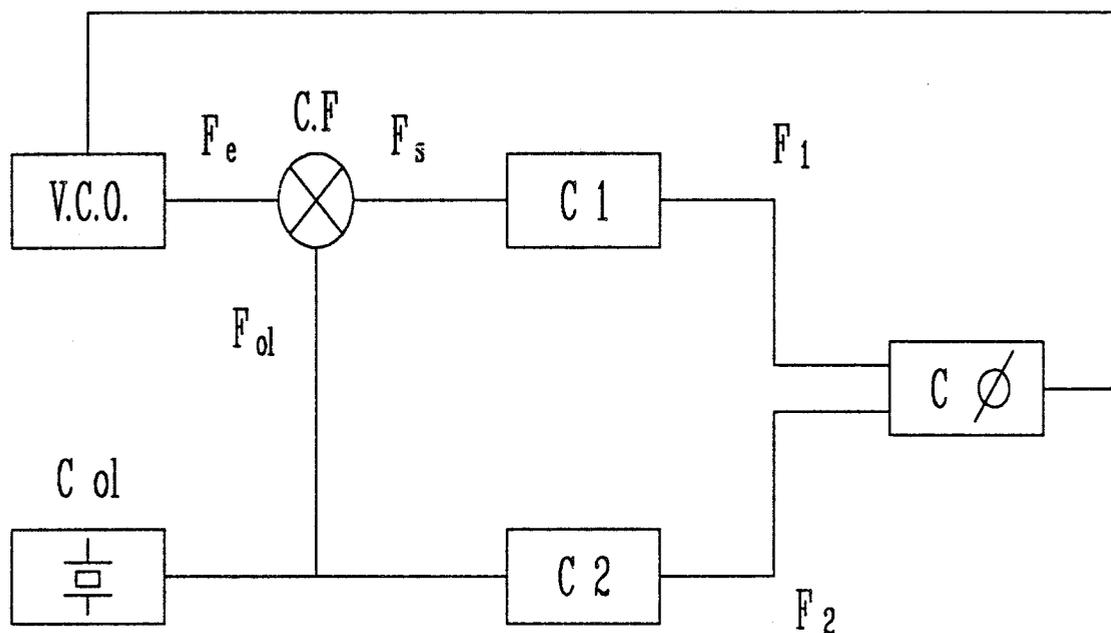
III.8.1 Introduction

Ne disposant pas à la fréquence de 10 GHz d'un signal stable, pour stabiliser notre oscillateur (par la méthode précédemment décrite) nous avons choisi d'effectuer cette stabilisation en fréquence en réalisant une boucle à verrouillage de phase. Nous allons tenter de verrouiller la fréquence de notre oscillateur sur un quartz de 100 MHz en utilisant le convertisseur de fréquence réalisé dans le chapitre II. En effet, dans les diverses simulations du premier chapitre nous avons montré qu'il était possible d'obtenir des gains de conversion de valeurs relativement élevées même lorsqu'on utilise des fréquences d'oscillateur local faibles (10 ou 100 MHz).

Néanmoins, avant de réaliser cette stabilisation nous avons fait un essai préliminaire pour montrer la faisabilité de cette boucle à verrouillage de phase dont nous présentons sur la figure III.31 le synoptique.

III.8.2 Essai préliminaire

Cet essai à été fait avec le convertisseur de fréquence et un oscillateur du commerce dont on contrôle la fréquence par une tension (V.C.O.). Les fréquences de l'oscillateur et du quartz sont respectivement de 3 GHz et de 10 MHz. Par conséquent, à la sortie du convertisseur de fréquence on filtre et met en forme un signal de fréquence de l'ordre 1 MHz que nous allons ensuite diviser par 10 (signal F_1). Le signal provenant de l'oscillateur à quartz est d'une part mis en forme pour la commande du convertisseur de fréquence et d'autre part divisé par 100 (signal F_2).



V.C.O. : oscillateur avec une réaction série, et une fréquence d'oscillation d'environ 10 GHz.

C ol : circuit oscillateur à un quartz de 100 MHz.

C.F. : convertisseur de fréquence.

C 1 : circuit de filtrage et d'amplification.

C 2 : diviseur par 10.

C ∅ : comparateur de phase

Figure III.32 : synoptique de la boucle à verrouillage de phase avec une fréquence à stabiliser de 10 GHz sur un quartz de fréquence 100 MHz.

Les signaux F_1 et F_2 sont appliqués aux entrées d'un comparateur de phase qui fonctionne à des fréquences de l'ordre de 100 kHz. Et le résultat de la comparaison des deux signaux (F_1 et F_2) est utilisé pour la commande du V.C.O..

Pour réaliser l'ensemble des fonctions, nous avons utilisé les circuits intégrés du type T.T.L. suivants :

- SN 7400 pour réaliser l'oscillateur à quartz,
- SN 7490 pour la division par 10,
- CD 4046 pour la comparaison de phase,
- LM 72733 pour l'amplification et la mise en forme du signal F_1 .

Cette boucle à verrouillage de phase a relativement bien fonctionné puisqu'une fois verrouillée nous n'avons constaté qu'une dizaine de Hertz de variation de la fréquence de sortie sur quatre jours d'observation.

III.8.3 Stabilisation sur un quartz de 100 MHz

La faisabilité du système étant montrée, nous allons maintenant associer les deux circuits intégrés hyperfréquences réalisés (convertisseur de fréquence et oscillateur version série) pour constituer une boucle à verrouillage de phase. La fréquence de notre oscillateur étant de l'ordre de 10 GHz, pour réaliser la stabilisation en fréquence il semble judicieux d'utiliser un oscillateur à quartz de 100 MHz, ce qui nous permettra d'obtenir un G_c suffisant du convertisseur de fréquence. De plus, l'oscillateur à quartz ne délivrant qu'un signal d'amplitude 1 V crête à crête, il est nécessaire d'effectuer une mise en forme de ce signal de façon à avoir un gain de conversion important. Nous avons réalisé simplement cette mise en forme à 100 MHz avec deux étages d'amplification à T.E.C.. Ainsi, avec ce circuit de mise en forme nous avons obtenu un gain de conversion de -23 dB du convertisseur de fréquence lorsque le signal d'entrée a une fréquence de l'ordre de 10 GHz, gain, qui compte tenu de la puissance de l'oscillateur, semble suffisant. Nous avons donc réalisé la boucle à verrouillage de phase telle qu'elle est décrite sur la figure III.32. Compte tenu des fréquences de travail indiquées sur cette figure, pour réaliser les diverses fonctions nous avons utilisé les circuits intégrés suivants :

- le NE 5592 N, pour le filtrage et l'amplification du signal F_1 provenant du convertisseur de fréquence,
- le SP 8660, pour diviser par 10 la fréquence de l'oscillateur à quartz 100 MHz,
- le NE 564 N, pour effectuer la comparaison des signaux F_1 et F_2 .

Afin qu'il y ait un minimum de couplage entre les différentes fonctions, nous avons réalisé un circuit imprimé par fonction et placé l'ensemble des circuits imprimés dans un boîtier en laiton.

Le résultat apporté par cette boucle à verrouillage de phase s'est avéré décevant car si il y eu effectivement stabilisation fréquentielle, le signal de sortie comporte un niveau de bruit relativement élevé (figure III.33). Ce fait est certainement du au filtrage et à l'amplification du signal F_1 qui ne sont pas assez sélectifs.

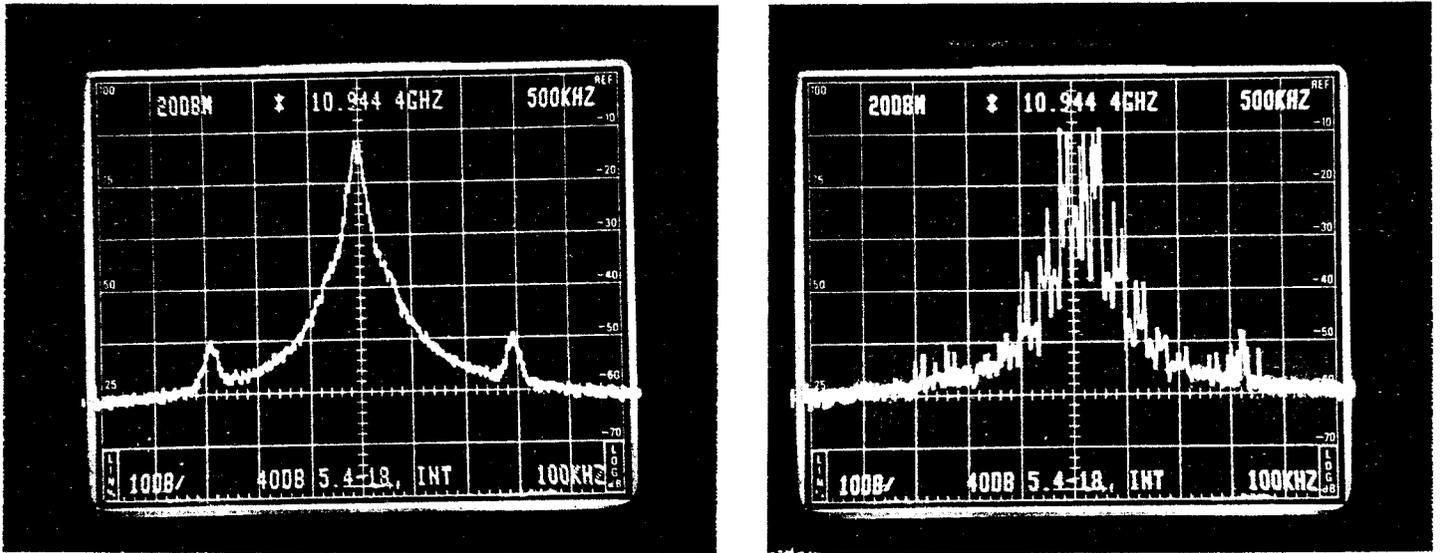


Figure III.33 : représentations du spectre du signal de sortie avec et sans bouclage.

Néanmoins, nous avons montré qu'il était possible de stabiliser un signal hyperfréquence de l'ordre de 10 GHz sur un quartz de 100 MHz et ceci avec un seul circuit hyperfréquence, en l'occurrence notre convertisseur de fréquence. Mais à la vue des résultats apportés par le prototype effectué pour la réalisation d'un système performant, un effort particulier doit être fait pour la réalisation du filtre sélectif qui extrait le signal provenant du convertisseur de fréquence. Il existe une autre possibilité, qui serait d'effectuer la boucle (tout comme dans l'essai préliminaire) avec un quartz de 10 MHz où il est beaucoup plus facile de réaliser l'ensemble des fonctions. Mais pour cela il faut que l'oscillateur hyperfréquence possède déjà une relativement bonne tenue en fréquence car plus on baisse la fréquence du quartz, plus le temps de réaction de la boucle devient important.

III.9 Conclusion

Dans ce chapitre nous avons conçu (à l'aide des logiciels *Touchstone* et *Microwave Spice*) et réalisé (en technologie monolithique) trois types d'oscillateur hyperfréquences utilisant comme élément actif le M.E.S.F.E.T..

Le premier type d'oscillateur, qui présentait un minimum de risques technologiques, a donné des performances expérimentales très modestes et loin de nos espérances théoriques. Par contre, les deux réalisations suivantes ont donné toute satisfaction, et en particulier celle relative à la version à réaction capacitive série. Par conséquent, nous avons associé ce dernier circuit au convertisseur de fréquence pour réaliser une boucle à verrouillage de phase (P.L.L.), afin de stabiliser la fréquence de l'oscillateur sur un quartz de 100 MHz. Après avoir procédé à un essai à plus basse fréquence (3 GHz stabilisé sur un quartz de 10 MHz) qui s'est avéré concluant, nous avons réalisé la P.L.L. avec les deux circuits monolithiques. Nous avons ainsi montré la faisabilité de ce procédé (stabilisation d'un signal de fréquence 10 GHz directement sur un quartz de 100 MHz). Mais il faut noter qu'il ne s'agit que d'une première étude et qu'un certain nombre de problèmes dus à l'électronique basse fréquence reste à résoudre pour obtenir un système totalement satisfaisant.

BIBLIOGRAPHIE DU TROISIEME CHAPITRE

- [1] NYQUIST
"Regeration theory"
B.S.T.J., January 1932

- [2] G.E. BODWAY
"Two port power flow analysis usung generalised Scattering parameters".

- [3] K. KURUKAWA
"An introduction to the theory of microwave circuits"
Academic press, New-York 1969

- [4] K. KURUKAWA
"Some basic characteristics of broadband negative resistance oscillator circuits"
Bell System Technical Journal, july 1969

- [5] A.S. KHANNA
"Une nouvelle approche pour la réalisation d'oscillateurs à transistors à effet de champ"
Journées nationales microondes, LILLE, juin 1979

- [6] G.D. VENDELIN
"Design of amplifiers and oscillators by "S" parameters method"
Willey-interscience, New-York, 1982

- [7] H.W. BODE
"Network analysis and feedback amplifier design"
VanNostrand, 1945

- [8] J.F. SAUTERAU
"Oscillateurs microondes à TEC AsGa"
Thèse doctorat d'état, Université Paul Sabatier, 1981

- [9] R.W. ANDERSON
"[S] parameters techniques for faster network design"
H.P Journal, february 1967
- [10] J.F. SAUTERAU, J. GRAFFEUIL, P. ROSSEL
"High efficiency GaAs Schottky barrier gate FET oscillator"
Electronic letters, vol 16, N°13, june 1980
- [11] R. SOARES, J. GRAFFEUIL, J. OBREGON
"Applications des transistors à effet de champ en AsGa"
Collection technique et scientifique des télécommunications
- [12] L.DHALLUIN
"Conception d'oscillateurs microondes (bande X) en vue de
l'intégration monolithique d'un capteur cinémométrique"
Thèse docteur de l'université, LILLE, décembre 1989
- [13] PH. BARATIER
"Contribution à l'étude de la stabilité des oscillateurs à la mise sous
tension".
Thèse docteur ingénieur, L.E.S.T BREST
- [14] J. OBREGON
"Contribution à la conception et à la réalisation de dispositifs actifs
microondes à l'état solide"
Thèse doctorat état, Université de Limoges, mars 1980
- [15] A.P.S. KHANNA, J. OBREGON
"Microwave oscillator analysis"
IEEE M.T.T.T, vol 29, N°6, june 1981
- [16] J. OBREGON
"Non linear analysis and design of microwave circuits"
Proceeding 15th EuMC, Paris, 1985
- [17] D. PETERSON, A. PAVIO, B. KIM
"A GaAs fet model for large signal applications"
IEEE M.T.T, vol 32, N°3, march 1984

- [18] W.A. EL KAMALI
"Limitations de la bande de fréquence des oscillateurs monolithiques microondes accordables par varactor"
Thèse doctorat E.N.S.T, février 1987
- [19] A. SINGH KHANNA
"Oscillateurs microondes stables intégrés à transistors et résonnateurs diélectrique"
Thèse doctorat d'état, Université de Limoges, 1981
- [20] C. RAUSCHER
"Large signal technique designing single frequency and voltage controlled GaAs FET oscillators"
IEEE M.T.T vol 29, N°4, avril 1981
- [21] D. ESTREICH
"Nonlinear modeling for MMIC's"
IEEE M.W.M.C.Symposium, 1987
- [22] E. MALLE, P. ROUSSELLE
"Notice d'utilisation du logiciel de conception de masques assistée par ordinateur"MYCENE" ". Projet IMA 1987
- [23] M. CERAN
"Mise en oeuvre des techniques de dépôt et gravure assistés par plasmas, applications aux composants microondes"
Ingénieur C.N.A.M, LILLE, décembre 1988
- [24] G. DAMBRINE
"Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent"
Thèse docteur de l'université, LILLE, mars 1989
- [25] A. CAPPY
"Propriétés physiques et performances des composants submicroniques à effet de champ: structures conventionnelles et à gaz d'électrons bidimensionnel"
Thèse doctorat d'état, LILLE, décembre 1986

- [26] R.A. PUCCEL
"Design considerations for monolithic microwave circuits"
IEEE M.T.T, vol 29, N°6, june 1981
- [27] BENTLEY N. SCOTT, G.E. BREHM
"Monolithic voltage controlled oscillator for X and Ku bands"
IEEE M.T.T, vol 30, N°12, december 1982
- [28] W.R. CURTICE, M. ETTENBERG
"A non linear GAAS fet model for use in the design of output circuits
for power amplifiers"
IEEE M.T.T vol 33, N°12, december 1985
- [29] E. PETTENPAUL
"State of the art of MMIC technology and design in West Germany".
IEEE M.T.T.Symposium Digest, 1987
- [30] TAKASHI OHIRA, TAKAHIRO HIRAOKA, HARUHIKO KATO
"MMIC 14 GHz vco and Miller frequency divider for low noise" local
oscillators.
IEEE M.T.T, vol 35, N°7, july 1987
- [31] M. MADIHAN, K. HONJO
"GaAs monolithic IC's for an X band PLL stabilized local source".
IEEE M.T.T, vol 34, N°6, july 1986
- [32] T. OHIRA, T. TOKUMITSU, T. HIRAOKA
"Development of key monolithic circuits to Ka band full MMIC
receivers". IEEE M.M.W.M.C.Symposium, 1987
- [33] T. OHIRAL, H. KATO, K. ARAKI, F. ISHITSUKA
"A compact full MMIC module for Ku band phase locked oscillators"
IEE M.T.T, vol 37, N°4, april 1989
- [34] J. ARCHER, B.M. SMITH, G.R. WEAVER, H. WONG
"Development and evaluation of a GaAs MMIC phase locked loop chip
set for space applications"
IEE M.T.T, vol 37, N°4, april 1989

- [35] E. REESE, Jr and John M. BEALL
"Optimized X and Ku band MMIC varactor tuned fet oscillators"
IEEE M.T.T S.Digest 1988
- [36] G. PATAUT, D. PAVLIDIS
"X band varactor tuned monolithic GaAs fet oscillators"
International Journal of electronics 1988
- [37] BOZENA SWIDZINSKA
"Synchronization in a discrete phase-locked loop"
IEEE 1988
- [38] D.MALFOY
"Amélioration et mise au point de nouvelles techniques de réalisation
de transistors F.E.T. de puissance"
Ingénieur C.N.A.M., LILLE, mars 1990

CONCLUSION GENERALE

CONCLUSION GENERALE

Au terme de ce travail, on peut tenter de dresser un premier bilan. L'objectif de notre étude était d'étudier comment à partir de circuits très simples, intégrables de façon monolithique, et en utilisant des transistors classiques à effet de champ, il était possible d'aboutir à des systèmes de conversion de fréquence présentant des performances sensiblement plus élevées que celles des circuits hybrides classiques à diodes.

L'étude théorique, technologique et expérimentale effectuée a montré que l'utilisation d'un circuit très simple de sous échantillonnage sur une charge capacitive permettait de remplir cet objectif. Il suffit d'utiliser comme échantillonneur un premier transistor à effet de champ fonctionnant en l'absence de polarisation de drain et d'utiliser comme charge la capacité d'entrée d'un second transistor fonctionnant en adaptateur d'impédance. Dans ces conditions, les performances obtenues tant en convertisseur de fréquence à large bande qu'à bande étroite sont très encourageantes. De plus, il est important de noter que, dans de nombreuses applications, il n'est pas nécessaire de mettre en forme les signaux en provenance de l'oscillateur local.

Par ailleurs, avec de tels systèmes, nous avons montré qu'il était possible d'utiliser des oscillateurs locaux de fréquences relativement faibles (comprises entre 10 MHz et 100 MHz) tout en gardant des gains de conversion suffisamment élevés. Il nous a donc paru intéressant d'étudier dans quelle mesure, un circuit de ce type pouvait permettre la stabilisation en fréquence d'oscillateur hyperfréquence. Il s'agit en effet d'un problème particulièrement important pour de nombreuses applications des circuits monolithiques hyperfréquences (M.M.I.C.). En effet, compte tenu des faibles coefficients de qualité réalisables, la stabilité naturelle des oscillateurs utilisant cette technologie est toujours très faible et le recours à des moyens extérieurs (résonateur diélectrique par exemple) est presque toujours de règle. Dans ces conditions, la stabilisation directe sur le signal en provenance d'un quartz peut constituer une alternative intéressante. Pour étudier dans des conditions réalistes la faisabilité d'une telle solution, il nous a donc fallu élargir le domaine de notre étude en nous attaquant à la conception, la réalisation et la caractérisation d'un ensemble monolithique associant conversion et oscillation de fréquence.

L'élaboration d'un oscillateur hyperfréquence bande X à accord électronique présentant des performances en puissance et en bruit de qualité suffisante s'est finalement révélée plus complexe que prévu. Néanmoins, après quelques essais peu fructueux, les résultats obtenus se sont finalement révélés satisfaisants. Nous avons donc pu commencer les expériences de stabilisation sur un quartz fonctionnant à la fréquence de 100 MHz, et montrer, avec il est vrai des performances peu élevées, la faisabilité du procédé.

Compte tenu des nombreux domaines abordés au cours de ce travail tant au plan des modélisations des conceptions électriques et technologiques de circuits ainsi que de leurs caractérisations expérimentales, il ne nous a pas été possible d'étayer et d'exploiter autant que nous l'aurions souhaité les résultats obtenus. En conséquence, un certain travail reste à faire pour mettre définitivement au point l'ensemble des dispositifs électroniques permettant, suivant le nouveau procédé dont nous avons montré la faisabilité, la stabilisation sur un quartz. Par ailleurs, toutes les perspectives d'utilisation de ce nouveau type de convertisseur n'ont pas encore été exploitées. Nous espérons néanmoins que le travail présenté dans le cadre de ce mémoire constitue une première étape intéressante d'études plus exhaustives des convertisseurs de fréquence réalisables à partir de circuits intégrés monolithiques.

ANNEXE I

Modélisation utilisée sur le logiciel "Microwave Spice"

Détermination du courant i_{ds}

$$V_1 = v_{gs} (1 + \beta(v_{dso} - v_{ds}))$$

modèle cubique utilisé :

$$i_{ds} = (A_0 + A_1 V_1 + A_2 V_2^2 + A_3 V_3^3) \text{th}(\gamma v_{ds})$$

On détermine ces divers coefficients d'après les caractéristiques statiques des transistors.

détermination de i_{gs} :

Le courant i_{gs} est déterminé par les relations suivantes :

$$\text{pour } v_{gs} > 5 N v_t \quad i_{gs} = I_s (e^{\frac{v_{gs}}{N V_t}} - 1) + g_{\text{min}} v_{gs}$$

$$\text{pour } -V_{BR} + 50V_t < v_{gs} < -5 N V_t \quad i_{gs} = -I_s + g_{\text{min}} v_{gs}$$

$$\text{pour } v_{gs} \leq -V_{BR} + 50 V_t \quad i_{gs} = i_s (1 + e^{(-\frac{V_{BR} + v_{gs}}{V_t})}) + g_{\text{min}}$$

Les capacités C_{gs} et C_{gd} évolues selon les relations suivantes :

$$C_{gx} = \frac{C_{gx0}}{\sqrt{1 - \frac{v_{gx}}{V_{bi}}}} \quad \text{pour } v_{gx} < FcV_{bi}$$

$$C_{gx} = \frac{C_{gx0}}{\sqrt{1 - Fc}} (1 + \frac{v_{gx} - FcV_{bi}}{2V_{bi}(1 - Fc)}) \quad \text{pour } v_{gx} \geq FcV_{bi}$$

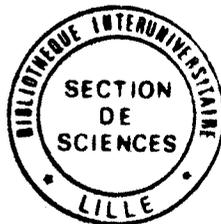
avec $x = s$ (source) ou d (drain)

RESUME

L'objet de ce travail concerne la conception et la réalisation de convertisseur et d'oscillateur hyperfréquence avec pour principale élément le transistor à effet de champ.

La première partie de ce mémoire est consacrée à la conception d'un convertisseur de fréquence, constitué d'une association de deux transistors, l'un fonctionnant à polarisation de drain nulle, et l'autre polarisé de façon à ce qu'il réalise une adaptation d'impédance. Pour évaluer les performances d'un tel système nous avons développé plusieurs types de simulation, que nous avons ensuite validées par l'expérience. Dans la deuxième partie de la thèse, sont présentés les performances obtenues à partir d'une réalisation en circuit intégré monolithique. Il s'est avéré que le circuit est utilisable dans de nombreuses applications : convertisseurs de fréquence à bande étroite utilisant des oscillateurs locaux de fréquence relativement faible jusqu'à 10 MHz, convertisseur de fréquence à large bande (fréquence d'entrée comprise entre 2 et 18 GHz), et transposeur de fréquence.

La troisième partie concerne la conception et la réalisation de plusieurs types d'oscillateur monolithique, utilisant comme élément actif le M.E.S.F.E.T.. Nous associons ensuite un des oscillateurs avec le convertisseur de fréquence pour constituer une boucle à verrouillage de phase afin de stabiliser la fréquence de l'oscillateur sur un quartz.



MOTS CLES

- Convertisseur de fréquence
- Oscillateur hyperfréquence
- Stabilisation de fréquence
- Circuit intégré monolithique sur AsGa