

69578

50376
1990
85

N° d'ordre : 509

50376
1990
85

THÈSE

présentée à

L'UNIVERSITE DES SCIENCES ET TECHNIQUES DE LILLE FLANDRES ARTOIS

pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE

Spécialité : Electronique

par

Philippe FELLON



ETUDE THEORIQUE ET EXPERIMENTALE DE COMPOSANTS MISFET AU PHOSPHURE D'INDIUM POUR L'AMPLIFICATION DE PUISSANCE HYPERFREQUENCE

Soutenue le 23 Mars 1990 devant la Commission d'Examen

Membres de Jury : MM.	E.	CONSTANT	Président
	J.C.	DE JAEGER	Directeur de Thèse
	E.	CAQUOT	Rapporteur
	Y.	CROSNIER	Rapporteur
	G.	SALMER	Rapporteur
	D.	PONS	Examineur
	G.	POST	Examineur
	P.	VIKTOROVITCH	Examineur

INTRODUCTION

Le transistor à effet de champ constitue à l'heure actuelle le composant de base du développement de l'électronique hyperfréquence, dont le champ d'application s'étend sur des domaines aussi variés que les télécommunications, les besoins militaires et informatiques sans négliger les retombées sur le secteur grand public.

Si aujourd'hui, des études sur le MESFET GaAs sont encore réalisées, il apparaît cependant que ce composant ait atteint ses limites tant en ce qui concerne les performances en amplification faible bruit qu'en puissance. En conséquence, les recherches se sont orientées vers d'autres structures et l'utilisation de nouveaux matériaux. On a ainsi vu se développer grâce en particulier à de nouveaux procédés technologiques d'épitaxie (MBE, MOCVD) des transistors à hétérojonctions (TEGFET, MISFET, TBH) repoussant les limites de fonctionnement du MESFET GaAs, en exploitant l'excellente mobilité des porteurs dans le matériau GaAs intrinsèque (TEGFET, MISFET).

Concernant le domaine de la puissance, plusieurs types de transistors sont actuellement en compétition, notamment le JFET InP, le MIS-Like FET ou DMT NID GaAlAs/N GaAs, le TEGFET multi-puits N GaAlAs/NID GaAs et le MISFET InP. Dans le cadre de notre travail, nous nous sommes intéressés plus particulièrement au MISFET InP, qui apparaît comme un composant très prometteur en microélectronique hyperfréquence de puissance. Ce type de transistor s'apparente au MOSFET silicium dans la mesure où il est composé d'une jonction métal-isolant-semiconducteur, l'isolant employé étant généralement de la silice, de l'alumine ou encore du nitrure de silicium. D'autre part, il allie les avantages du matériau InP (vitesse pic élevée, bonne conductivité thermique, faible taux d'ionisation) et de la structure MIS (excellente tenue en tension, régime d'accumulation possible sans courant grille), éléments intéressants pour la conception d'un composant destiné à l'amplification de puissance. Des structures réalisées dans divers laboratoires [Naval Ocean Systems Center, THOMSON] ont par ailleurs démontré des potentialités encourageantes : une puissance maximale de 4,5 W associée à un gain de 4 dB a été obtenue en bande X. D'autre part, le MISFET InP présente l'intérêt d'être compatible technologiquement avec la micro-optoélectronique, rendant ainsi possible l'intégration des composants optoélectroniques et l'électronique de commande sur le même substrat.

Le travail présenté dans ce mémoire se décompose en cinq chapitres :

Dans le premier chapitre, nous effectuons une analyse des diverses possibilités de transistor de type MIS principalement réalisés à base d'un substrat InP. Le but de cette étude est de préciser les différents avantages et inconvénients pour chacun d'entre-eux en essayant de mettre en évidence l'intérêt et les particularités du MISFET InP.

Le second chapitre est consacré à l'étude théorique de la tension de claquage au pincement dans la zone désertée de l'espace grille-drain du transistor. L'analyse de cette tension qui constitue un paramètre fondamental pour la réalisation de composants de puissance performants, est effectuée à l'aide d'un modèle bidimensionnel sans courant qui peut prendre en compte différentes géométries de transistors en particulier l'influence d'un recess de grille.

La tension de claquage ne constituant pas le seul critère important pour un composant de puissance, nous avons développé au cours du troisième chapitre une modélisation plus complète du transistor. Le modèle mis au point est pseudo-bidimensionnel et inclut la dynamique non stationnaire des porteurs qui intervient dans les transistors à grille submicronique. Il est dérivé de celui développé au laboratoire pour le MESFET GaAs. Nous avons introduit d'importantes modifications afin de prendre en compte les spécificités du MISFET InP en particulier l'existence de l'isolant sous la grille et surtout la possibilité de fonctionner en régime d'accumulation. Nous avons également modélisé l'ionisation des porteurs dans le canal afin de mettre en évidence la tenue en tension du composant en présence de courant drain.

Le quatrième chapitre est tout d'abord consacré à une validation de notre modèle à l'aide d'une confrontation théorie-expérience sur des transistors MISFET InP de type normally-on ou normally-off élaborés par le CNET Bagnoux. Dans un second temps, nous réalisons l'étude physique du composant pour les régimes d'accumulation et de désertion, et nous déterminons les caractéristiques hyperfréquences g_m , f_c et MAG de la structure afin d'établir son optimisation pour les applications de puissance.

Dans le cinquième chapitre, nous analysons les premiers résultats expérimentaux obtenus sur des MISFET InP. Cette étude expérimentale comporte une caractérisation complète des transistors prenant en compte ses

aspects particuliers, afin de déterminer le schéma équivalent ainsi que des mesures en amplification de puissance hyperfréquence réalisées sur un banc classique ou à charge active.

CHAPITRE I

POSSIBILITES DES STRUCTURES A EFFET DE CHAMP DE TYPE MISFET ET PSEUDO-MISFET

I.1. INTRODUCTION

Le matériau InP présente des caractéristiques physiques favorables pour la réalisation de composants susceptibles de fonctionner en ondes millimétriques grâce à ses propriétés de transport. D'autre part, il offre des potentialités intéressantes pour les applications de puissance compte tenu de l'ionisation des porteurs plus faible que celle du GaAs et de la possibilité de réaliser des structures de type MIS (Métal - Isolant - Semiconducteur).

Cependant à l'heure actuelle, la filière InP, beaucoup plus récente que celle du GaAs, constitue un domaine de recherche en plein développement aussi des études de différentes structures sont effectuées pour des applications concernant l'amplification de puissance mais également le domaine de la logique rapide et de l'optoélectronique.

Dans ce premier chapitre, nous nous proposons de décrire de façon assez large les différents types de transistors à effet de champ de type MISFET et pseudo-MISFET fabriqués pour la plupart à partir d'un substrat de phosphure d'indium (InP).

Cette description des différentes possibilités a pour but de fixer les raisons qui ont conduit à la réalisation de structures de type MISFET InP et de préciser ses avantages pour la conception de composants de puissance.

I.2. AVANTAGES RELATIFS A LA REALISATION DE COMPOSANTS A PARTIR DE L'InP

La conception de composants de puissance est liée d'une part à l'obtention d'un courant drain-source élevé et d'autre part à la possibilité d'avoir une tension drain-source de claquage la plus grande possible. En conséquence, le matériau InP présente des propriétés physiques favorables pour la conception de composants millimétriques susceptibles de délivrer de la puissance. La caractéristique vitesse-champ électrique indique une vitesse pic et un champ de seuil plus élevés que pour le matériau GaAs ce qui peut permettre l'obtention de courants drain-source plus importants. Nous avons rassemblé dans le tableau [I.1]. les principales propriétés et caractéristiques des matériaux GaAs, InP,

$N_d = 10^{17} \text{cm}^{-3}$	GaAs	InP	GaInAs	AlInAs
$\Delta \varepsilon_{\Gamma L}$ (eV)	0,33	0,61	0,6	0,6
V_{pic} (10^5 cm/s)	1,8	2,5	2,5	
μ_n ($\text{cm}^2/\text{V.s}$)	4600	2800	7800	2000
E_c (10^3 V/cm)	4	12	4	
E_g (eV) 300K	1,42	1,35	0,78	1,45
hauteur de barrière Shottky (eV)	0,8	0,4	0,2	0,7
conductivité thermique (W/cm.C)	0,5	0,7		

TABLEAU [I.1]: Propriétés et caractéristiques des matériaux GaAs, InP GaInAs et AlInAs.

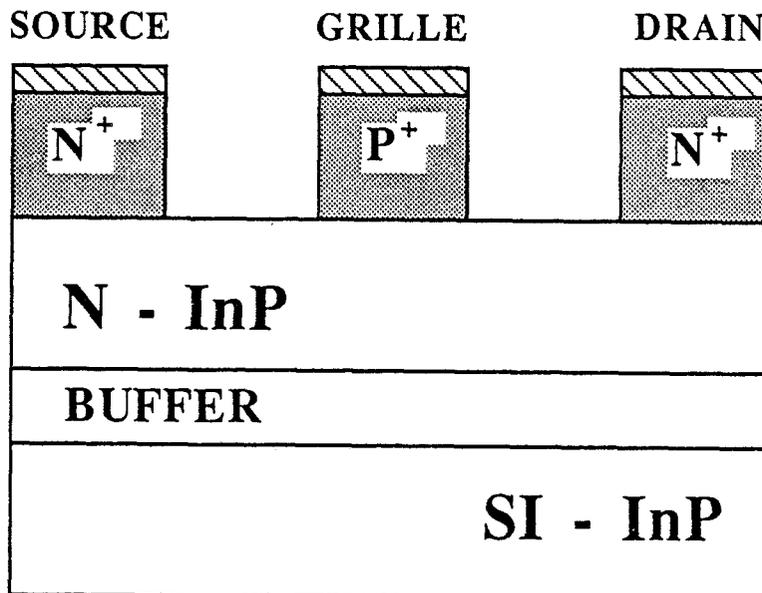


FIGURE [I.1]: Structure du JFET InP.

GaInAs et AlInAs. Nous pouvons ainsi remarquer l'excellente vitesse pic des matériaux InP et GaInAs de l'ordre de $2,5 \times 10^7$ cm/s par rapport au GaAs. D'autre part, nous pouvons observer que le matériau InP possède un champ de seuil E_c environ trois fois supérieur à celui des semiconducteurs GaAs et GaInAs ce qui lui confère un excellent avantage dans l'optique d'une utilisation en puissance où les tensions et par conséquent les champs électriques appliqués sont importants. De plus, l'ionisation des porteurs par avalanche y est plus faible que pour le GaAs ce qui est favorable pour l'obtention d'une tension de claquage plus élevée. Enfin, la conductivité thermique est meilleure que celle du GaAs. Ces différents points font que le matériau InP apparaît comme étant le semiconducteur de choix pour la réalisation d'un composant de puissance millimétrique. Cependant, la filière InP constitue un domaine moins bien connu que celui relatif au GaAs, aussi différents types de composants sont envisageables en tenant compte des avantages mais aussi des problèmes d'ordre technologique qui peuvent intervenir. Les différentes possibilités sont décrites dans la suite de ce chapitre.

I.3. STRUCTURES ENVISAGEABLES

L'utilisation du matériau InP peut donner lieu à l'élaboration de diverses structures qui présentent des avantages mais également des inconvénients, aussi nous nous proposons de décrire les différents types de transistors possibles.

I.3.1. JFET InP

I.3.1.1. DESCRIPTION DU COMPOSANT

Le transistor (Fig. [I.1]) JFET (Junction field effect transistor) est constitué d'une jonction P^+N réalisée sur un substrat InP semi-isolant. La jonction PN peut être obtenue soit par diffusion, implantation ou encore épitaxie, l'implantation ionique paraissant être la méthode la mieux appropriée pour fabriquer aisément des structures dont la grille est alignée tout en ayant de faibles résistances d'accès. Suivant cette méthode, le canal N ainsi que les îlots N^+ des contacts ohmiques de source et de drain sont réalisés par implantation

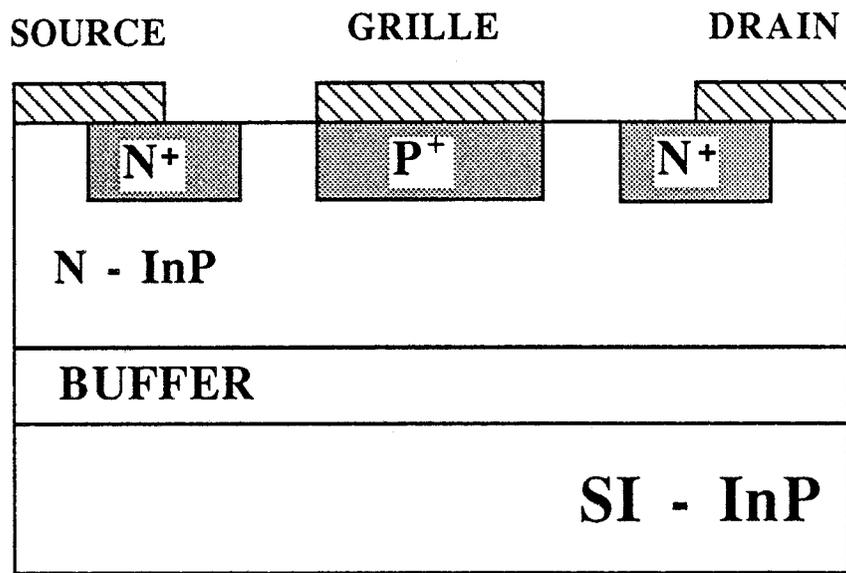


FIGURE [1.2]: Autre structure possible du JFET InP.

ionique de silicium. La zone P^+ est ensuite obtenue par implantation de Beryllium délimitée par masquage. L'étape suivante consiste à déposer la métallisation de grille sur la zone P^+ ainsi que les contacts ohmiques Au-Ge-Au. La dernière opération est la définition de la longueur de grille résultant de l'élimination des zones P^+ en excès de chaque côté de celle-ci, ce qui est réalisé par une attaque plasma en utilisant le plot de grille comme masque.

I.3.1.2. INCONVENIENTS DE LA STRUCTURE JFET

Le principal problème d'ordre technologique pour la réalisation de JFET InP est l'obtention d'une grille submicronique, ce qui limite ses possibilités pour un fonctionnement en haute fréquence. La définition de la longueur de grille réalisée est restreinte par le contrôle de l'élimination des zones P^+ dû à l'anisotropie imparfaite de l'attaque et à l'arrêt de celle-ci à l'interface P^+N . Une alternative envisagée par certains auteurs [1] afin d'éviter ce problème consiste à implanter la zone P^+ à travers un masque dans lequel est défini une fenêtre correspondant à la longueur de grille désirée (Fig. [I.2]). Cependant, cette méthode introduit une diffusion latérale des ions implantés et par conséquent une zone P^+N non abrupte, des études ayant néanmoins montré qu'une co-implantation Be/P réduisait la diffusion de Be [2]. Une autre difficulté concernant cette structure réside dans l'élaboration d'un contact de grille de bonne qualité sur la zone InP P^+ .

I.3.1.3. PERFORMANCES POTENTIELLES DU COMPOSANT

Si l'on se place du point de vue des performances en puissance, des résultats obtenus sur les JFET InP semblent très prometteurs et ce malgré une technologie encore perfectible (amélioration des contacts ohmiques P^+ , optimisation des zones N^+ , grille submicronique). Une bonne tenue en tension a pu être observée : une tension de claquage en configuration diode de l'ordre de 25 V avec un courant ne dépassant pas 10 μA [3]. Des transistors de puissance JFET InP réalisés par NAVAL RESEARCH LABORATORY [3] de longueur de grille 1 μm pour une largeur de 300 μm ont démontré que l'on pouvait obtenir une puissance de 1 W/mm à 4,5 GHz avec un gain de 3 dB et 0,66 W/mm à 8 GHz.

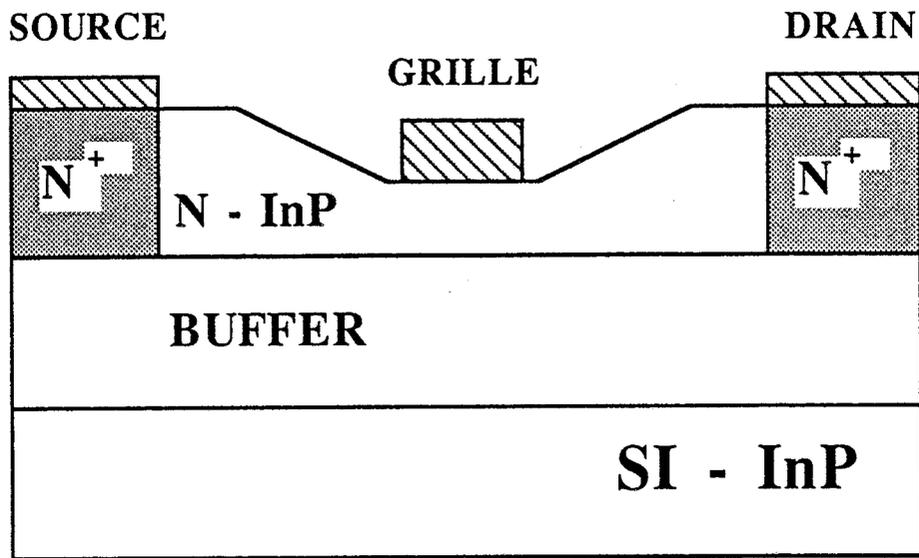


FIGURE [I.3]: Structure du MESFET InP.

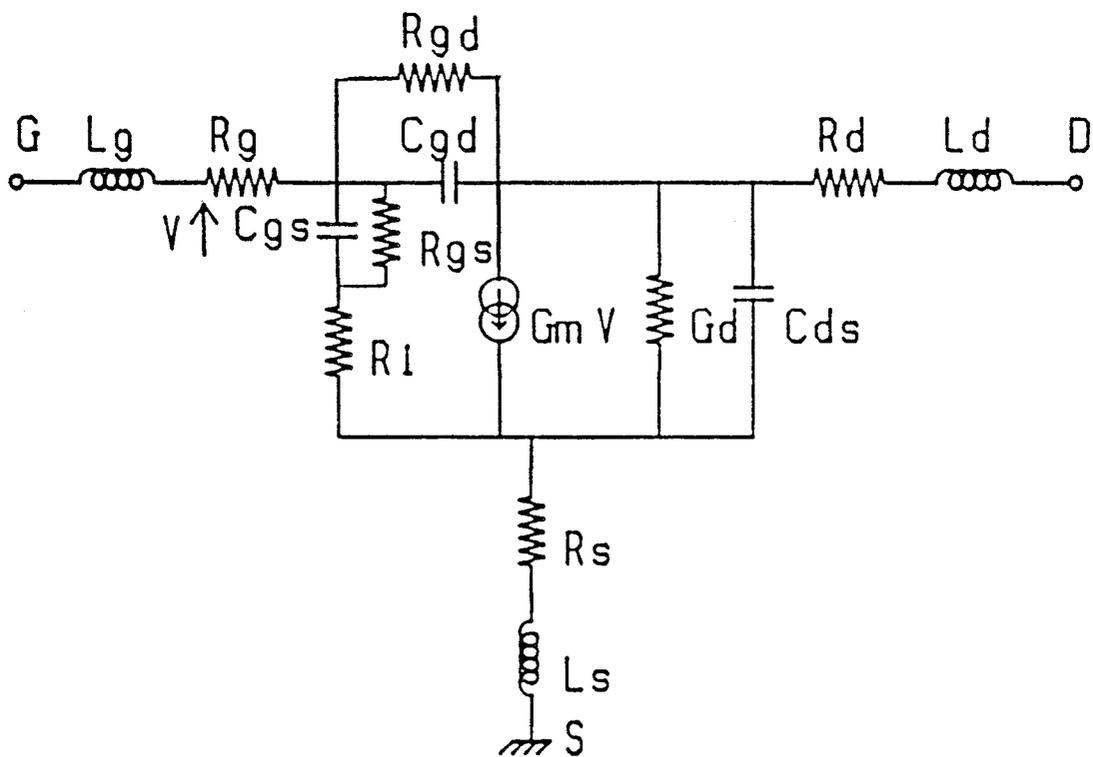


FIGURE [I.4]: Schéma équivalent du MESFET InP.

Néanmoins, les transconductances obtenues restent relativement faibles de l'ordre de 40 mS/mm.

Signalons que des composants JFET GaInAs normally-off sur substrat InP fabriqués par SIEMENS [4] visant à démontrer la faisabilité de transistors pour la logique rapide ont donné des résultats très intéressants à l'image d'une transconductance de 553 mS/mm pour une longueur de grille de 1 μm , résultat dû en particulier à une excellente mobilité des électrons obtenue en intercalant une zone tampon N^- GaInAs entre le substrat semi-isolant InP et la zone active N^+ GaInAs. A l'heure actuelle les recherches concernant l'élaboration de JFET InP se poursuivent : en témoignent les résultats récents de MESSICK et al [5] où une transconductance de 140 mS/mm associée à une excellente stabilité en courant drain-source a été obtenue pour une longueur de grille de 2,4 μm .

A ce jour il reste encore beaucoup d'incertitudes technologiques tant sur la fabrication du composant (grille submicronique) que sur la filière à suivre en ce qui concerne le matériau, l'InP semblant être le mieux placé pour les applications de puissance.

I.3.2. MESFET InP

I.3.2.1. PRESENTATION DU COMPOSANT

La réalisation de transistors à effet de champ MESFET (Fig. [I.3]) utilisant le matériau InP plutôt que le GaAs offre à première vue la possibilité d'obtenir des performances hyperfréquences plus intéressantes pour la puissance si l'on considère uniquement les avantages apportés par le matériau InP. Cependant, dans la pratique, cette supériorité attendue s'est avérée toute relative.

La première comparaison MESFET GaAs MESFET InP fut effectuée en 1975 par BARRERA et ARCHER [6]. Les conclusions de cette étude ont mis en évidence le fait que la structure MESFET InP n'apportait pas d'amélioration sensible. La confrontation des résultats a montré que la fréquence de coupure du gain en puissance était inférieure à celle du MESFET GaAs, celle-ci étant principalement limitée par les valeurs élevées de la capacité C_{gd} [7] et de la conductance de sortie g_d (Fig. [I.4]). En ce qui concerne le gain en puissance et le

métal	hauteur de barrière (eV)	remarques
Au	0,44	orientation (111) $2,6 \cdot 10^{16} \text{ cm}^{-3}$
	0,47	orientation (110) $1,2 \cdot 10^{16} \text{ cm}^{-3}$
	0,50	orientation (100) $2,7 \cdot 10^{16} \text{ cm}^{-3}$
Ag	0,52	gravé, orientation (110), 10^{15} cm^{-3}
	0,45	clivé, orientation (110), 10^{15} cm^{-3}
	0,56	
Al	0,3	gravé, orientation (110), 10^{15} cm^{-3}
Ti/Pd/Au	0,4	$1-2 \cdot 10^{15} \text{ cm}^{-3}$

TABLEAU [I.2]: Hauteur de barrière du contact Schottky sur N InP pour différents métaux d'après [11].

facteur de bruit [8], ces paramètres n'ont pas donné d'avantage décisif au MESFET InP.

ARMAND et al [9, 10] ont réalisé des MESFET InP de longueur de grille 1,5 μm délivrant une puissance de 1,15 W/mm à 9,6 GHz avec un gain de 4 dB, performances supérieures à celles obtenues sur des structures analogues GaAs. Cependant, le fonctionnement en puissance du transistor impose l'existence de champs électriques importants dans la structure. De ce fait, la faible hauteur de barrière du contact Schottky sur InP de l'ordre de 0,5 eV [11] induit un courant de fuite élevé. Il s'avère donc que le problème lié à la hauteur de barrière constitue la principale limitation pour la conception de MESFET InP de puissance.

I.3.2.2. PROBLEMES LIES AU CONTACT SCHOTTKY SUR InP

L'InP est un matériau III-V qui n'obéit pas à la règle des 2/3 de la bande interdite puisque selon cette loi la hauteur de barrière Φ_b d'un contact Schottky sur InP devrait être de 0,9 eV alors qu'en pratique des valeurs de Φ_b de l'ordre de 0,4 eV ont été mesurées [12]. D'autre part, la réalisation de contact Schottky sur InP de type N avec différents matériaux : Au, Al, Ag (tableau [I.2]) a montré, que la valeur de Φ_b restait indépendante du métal utilisé [11].

La faible hauteur de barrière du contact Schottky sur InP entraîne des courants de fuite non négligeables préjudiciables au fonctionnement des transistors. En particulier, la fabrication de transistors MESFET InP [6] a montré un non pincement du canal dû au courant inverse élevé dans l'espace grille-drain de quelques mA.

Les recherches se sont donc orientées vers la réalisation de contacts ayant une hauteur de barrière plus élevée en vue de réaliser des transistors à effet de champ de qualité acceptable.

I.3.3. ETUDE DE L'AUGMENTATION DE LA HAUTEUR DE BARRIERE DU CONTACT DE GRILLE

Dans le but d'augmenter la hauteur de barrière Φ_b du contact métal-semiconducteur InP, des structures utilisant un oxyde entre la métallisation et l'InP ont permis un accroissement de la valeur de Φ_b , qui peut atteindre 0,3 eV [11].

Il existe deux façons d'obtenir cet oxyde : soit par oxydation de la surface d'InP, soit par dépôt d'isolant. Si l'on veut conserver une structure de type Schottky, la technique employée sera l'oxydation : l'oxyde, en général de quelques dizaines d'Angstroems d'épaisseur, est appelé oxyde natif. L'autre méthode consiste à déposer un oxyde différent du matériau semiconducteur comme par exemple de la silice SiO_2 ou encore de l'alumine Al_2O_3 de quelques centaines d'Angstroems d'épaisseur. Dans ce cas, on parlera d'isolant rapporté et la structure sera de type métal-isolant-semiconducteur (MIS).

Une autre technique qui permet également d'accroître la hauteur de barrière du contact Schottky sur N-InP a été décrite par L.G. MEINERS et al [13, 14] ; elle consiste à utiliser un matériau comme le cadmium pour réaliser ce contact. La hauteur de barrière obtenue avec ce type de métal est comprise entre 0,6 et 0,7 eV, avec des densités de courant inférieures à 10^{-4} A/cm² pour une tension inverse de 10 V. Ces résultats intéressants demandent cependant une confirmation tant sur la reproductibilité que sur la stabilité des contacts réalisés.

Nous nous proposons de résumer les différentes techniques d'oxydation et de dépôt d'isolant sur semiconducteur InP dans les paragraphes suivants.

I.3.3.1. TECHNIQUES D'OXYDATION (Oxyde natif)

L'oxydation de la surface de l'InP peut être obtenue par plusieurs techniques : thermique, chimique ou électrochimique. Celles-ci mettent en évidence des phénomènes physico-chimiques très complexes dont la

compréhension s'avère indispensable pour la réalisation de composants parfaitement stables.

I.3.3.1.1. OXYDATION THERMIQUE

L'élaboration d'un oxyde natif thermique peut être obtenue en plaçant un substrat InP sous un flot d'oxygène dans un four porté à une certaine température [15], le principal problème résidant dans le contrôle de celle-ci. D'autre part, la composition de l'oxyde est très dépendante de l'épaisseur souhaitée, la qualité des diélectriques est relativement faible et il existe de nombreux problèmes d'instabilité.

I.3.3.1.2. OXYDATION CHIMIQUE

L'oxydation par voie chimique de l'InP permet l'obtention d'un oxyde très homogène. Dans cette technique la surface du semiconducteur est mise en contact avec de l'ammoniaque HNO_3 sous éclaircissement, la température de croissance étant voisine de 70°C . Par ce procédé, les contacts Schottky réalisés présentent des hauteurs de barrière plus élevées de 0,3 - 0,4 eV [16, 4] et offrent un comportement plus similaire aux diodes Schottky classiques.

I.3.3.1.3. OXYDATION ANODIQUE

L'oxydation anodique est une méthode électrochimique d'oxydation où le substrat est polarisé positivement par rapport à une contre-électrode en platine ou en cuivre. La surface du substrat est en contact avec une solution aqueuse (électrolyte) qui permet la constitution de l'oxyde par un processus anodique [18]. Les oxydes obtenus par cette technique présentent de très bonnes résistivités.

I.3.3.1.4. OXYDATION PAR PLASMA

Deux techniques utilisant l'activation par plasma sont envisageables : l'oxydation par plasma RF d'oxygène et l'oxydation par plasma

multipolaire d'oxygène. En ce qui concerne l'oxydation d'un substrat InP par plasma RF d'oxygène, la méthode consiste à placer le substrat InP dans un plasma d'oxygène sous faible pression [19]. Ce dernier est alors obtenu par décharge produite à partir d'un générateur de puissance de fréquence 13,56 MHz dans un gaz d'oxygène et peut être confiné à l'aide d'un champ magnétique perpendiculaire à l'échantillon.

L'oxydation par plasma multipolaire d'oxygène dérivée de la précédente permet une croissance plus rapide et une oxydation plus homogène. Elle utilise un réacteur cylindrique dans lequel est placée une cage multipolaire constituée de barreaux aimantés à polarité inversée [20]. Les qualités diélectriques des oxydes et les densités d'états d'interface sont comparables pour les deux méthodes.

1.3.3.2. TECHNIQUES DE DEPOT D'OXYDE (Oxyde rapporté)

Les recherches relatives aux structures métal-isolant-semiconducteur obtenues par dépôt d'isolant en vue de réaliser des transistors MISFET InP ont fait l'objet de nombreuses études.

On peut ranger les techniques de déposition d'isolant suivant trois larges catégories : évaporation thermique, pulvérisation cathodique et dépôt chimique. Les natures des isolants les plus couramment employés sont la silice, l'alumine, le nitrure de germanium, le nitrure de silicium, sans toutefois qu'apparaisse une véritable supériorité pour l'un d'entre eux. Il est à noter que le matériau InP offre l'avantage, par rapport au GaAs, de présenter une densité d'états d'interface plus faible près de la bande de conduction et, en conséquence, il apparaît comme un des matériaux les plus prometteurs pour la réalisation de structures MIS.

1.3.3.2.1. METHODE DE DEPOT CVD

La technique de dépôt chimique en phase vapeur est la plus employée par les différents laboratoires qui fabriquent des MISFET InP. Les qualités diélectriques des isolants déposés par CVD sont relativement bonnes :

des résistivités de l'ordre de 10^{13} à 10^{15} Ω .cm ont été obtenues [21, 22] et des champs de claquage de l'ordre de 5×10^6 V/cm. Les courants de fuite sont très faibles ce qui permet la réalisation de transistors MISFET. Des dérives en courant relativement peu élevées ont pu être observées (inférieures à 10 % en 24 heures).

1.3.3.2. METHODE D'EVAPORATION THERMIQUE

Cette méthode relativement simple dans son principe consiste à évaporer un matériau en le chauffant par divers procédés, celui-ci venant ensuite se déposer par condensation sur le substrat porté à plus basse température. Des mesures de caractérisation électrique effectuées sur des diodes MIS Al_2O_3 -InP [23] ont montré une résistivité de 10^{14} Ω .cm et un champ de claquage de 10^6 V/cm. Des transistors MISFET InP à enrichissement réalisés suivant cette technique [24] ont donné des résultats très intéressants, en particulier une transconductance de plus de 200 mS/mm pour une grille de 1 μ m de longueur et une épaisseur de SiO_2 de 350 Å, associée à des courants de fuite de grille de l'ordre de 120 nA pour des tensions grille comprises entre 0,5 et -1 V.

1.3.3.3. METHODE DE DEPOT PAR PULVERISATION (SPUTTERING)

Cette technique a d'abord été mise au point et employée pour les dépôts métalliques. Elle consiste à pulvériser une cible à l'aide de particules énergétiques, les atomes ainsi arrachés de la surface de la cible pouvant ensuite se condenser sur un substrat afin de former le dépôt. Une variante de cette technique appelée pulvérisation ionique réactive permet le dépôt de diélectrique tel que l'alumine Al_2O_3 ou encore le nitrure de silicium Si_3N_4 [25]. Les isolants obtenus présentent de bonnes qualités diélectriques (résistivité $\approx 10^{14}$ Ω .cm, champ de claquage 10^6 V/cm) mais cette méthode très énergétique présente l'inconvénient de dégrader la surface du substrat à cause des ions rétrodiffusés par la cible.

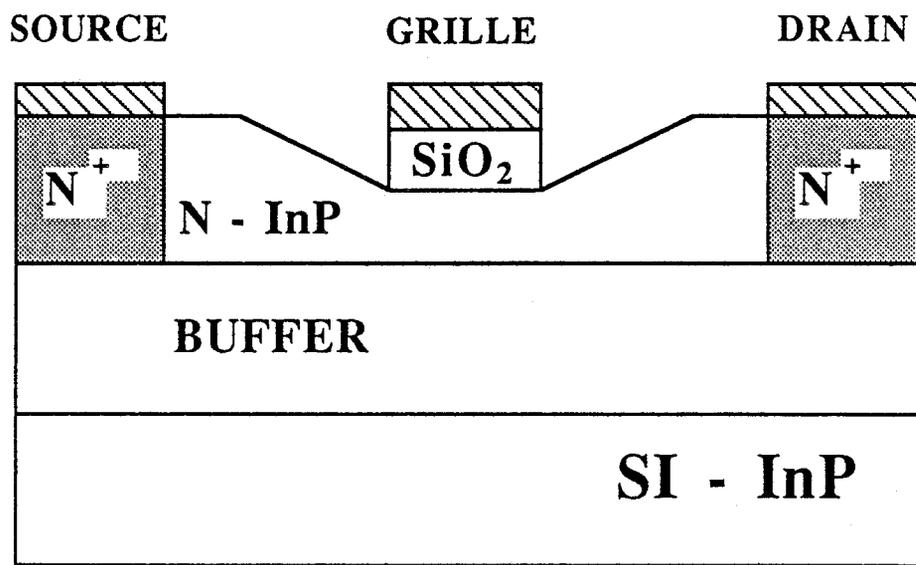


FIGURE [I.5]: Structure du MISFET InP.

I.3.4. MISFET InP

Si la réalisation de MESFET InP utilisant un contact de grille à oxyde natif paraît envisageable à l'heure actuelle [20], la structure MISFET utilisant un isolant rapporté a donné lieu à des développements beaucoup plus importants. D'autre part, elle semble être la mieux adaptée pour les applications de puissance.

I.3.4.1. PRESENTATION DE LA STRUCTURE

La possibilité de réaliser une interface de bonne qualité isolant-semiconducteur InP suscite un intérêt considérable envers les transistors à grille isolée aussi bien dans le domaine de la logique rapide que dans celui de la puissance hyperfréquence. Comme cela a été décrit précédemment, le MESFET InP et le JFET InP, malgré des progrès technologiques considérables, ne présentent pas d'avantages décisifs comparés au MESFET GaAs. Par contre, des résultats très prometteurs [26] semblent indiquer que la structure MIS sur InP s'avère être un composant particulièrement attractif.

Nous avons représenté sur la figure [I.5] le schéma d'un MISFET InP susceptible de fonctionner en régimes de désertion et d'accumulation. Cette structure qui semble être la mieux adaptée pour les applications de puissance est constituée d'une zone active InP dopée (quelques 10^{17} atm/cm³) surmontée d'un isolant (silice, alumine, nitrure), déposé par une des méthodes décrites dans le paragraphe I.3.3.2., de quelques centaines d'Angstroems d'épaisseur sur lequel on vient déposer la grille.

Le principe du MISFET InP reste très proche de celui du MOSFET classique, en permettant un fonctionnement en régimes de désertion (tension de grille négative pour un canal N) et d'accumulation (tension de grille positive) associé à un courant de fuite de grille négligeable dû au contact MIS.

I.3.4.2. AVANTAGES DE LA STRUCTURE MIS

La réalisation de contacts métal-isolant-semiconducteur sur InP s'est avéré être une solution très prometteuse grâce notamment à l'obtention d'une interface isolant-semiconducteur de bonne qualité présentant peu d'états.

La structure MIS, dont les méthodes de réalisation ont été présentées dans un paragraphe précédent, offre deux avantages importants si l'on veut réaliser un composant de puissance : d'une part, la possibilité de fonctionner en désertion et en accumulation, ce qui autorise une large excursion de la tension d'entrée et d'autre part une excellente tenue en tension drain-source permettant de travailler à tension de sortie plus importante. Il faut cependant remarquer que la présence de l'isolant peut constituer un relatif handicap à l'obtention d'une transconductance élevée, en précisant néanmoins que cet inconvénient reste secondaire pour un composant de puissance.

I.3.4.3. POTENTIALITES DU COMPOSANT

En substituant le matériau InP au GaAs, on peut donc espérer réaliser des composants hyperfréquences très performants aussi bien en logique rapide puisqu'on a la possibilité de fabriquer des MISFET InP à inversion et désertion, qu'en utilisation de puissance élevée. Les meilleurs résultats publiés par les laboratoires BELL, en utilisation logique rapide, ont montré que l'on pouvait obtenir des transconductances de l'ordre de 300 mS/mm avec une fréquence de coupure f_c de 29,6 GHz [27] pour des composants de 1 μ m de longueur de grille.

En ce qui concerne les potentialités en puissance, les résultats obtenus sont très prometteurs à l'image de ceux du LCR THOMSON qui a réalisé des MISFET InP délivrant une puissance de 3,49 W/mm à 9 GHz [28], et de ceux plus récents de 4,2 W/mm [26] obtenus par le NOSC (Naval Ocean Systems Center). Ce dernier résultat concerne des composants de 1 mm de large et de 1 μ m de longueur de grille. Des résultats également intéressants ont été aussi obtenus par les laboratoires MITSUBISHI sur des MISFET InP possédant 24 doigts de grille, de 1,5 μ m de long et 200 μ m de large. Ces transistors ont fourni une puissance totale de 1,5 W à 10 GHz avec 4 dB de gain [29]. Ces différents résultats particulièrement prometteurs illustrent les potentialités du MISFET InP pour

des applications en puissance hyperfréquence. Cependant, des problèmes d'ordre technologique subsistent à l'heure actuelle et des améliorations sont encore nécessaires surtout en ce qui concerne la technique de dépôt de l'isolant liée à la dérivation en courant drain, sans oublier l'obtention de substrat InP semi-isolant de bonne qualité.

I.3.5. AUTRES STRUCTURES MISFET ET PSEUDO-MISFET

D'autres structures MISFET ou dérivées de la filière InP sont également possibles. Nous nous proposons de citer les principales.

I.3.5.1. MISFET GaInAs

Le tableau [I.1] a montré que le matériau GaInAs se classe parmi les matériaux les plus intéressants en ce qui concerne les propriétés de transport : il possède une très bonne mobilité supérieure à celle du GaAs et de l'InP et une vitesse pic élevée. Cependant, la faible valeur de la barrière Schottky sur GaInAs, à l'instar de l'InP interdit la fabrication de MESFET GaInAs. D'autres structures ont donc été proposées comme par exemple le JFET GaInAs ou encore le MISFET GaInAs. Ce dernier a d'ailleurs montré que l'on pouvait obtenir une dérivation en courant drain plus faible que celle de l'InP [30].

I.3.5.1.1. STRUCTURE DU COMPOSANT

La figure [I.6] représente le schéma d'une structure MISFET GaInAs. On peut remarquer que le composant est identique au MISFET InP à l'exception de la couche active InP qui est remplacée par du GaInAs. Le fonctionnement du transistor est donc analogue au MISFET InP. En ce qui concerne l'isolant, celui-ci est généralement réalisé avec de la silice SiO₂ ou du nitrure de silicium Si₃N₄.

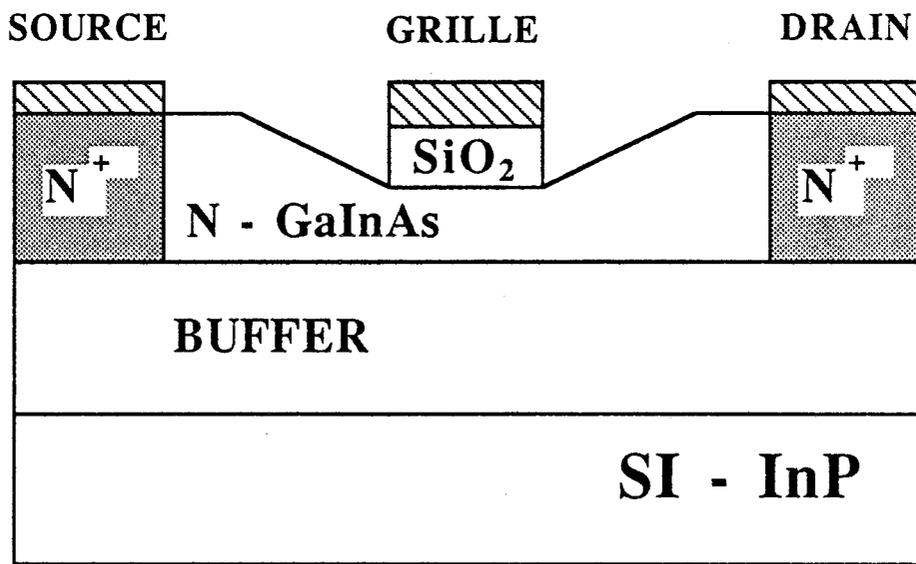


FIGURE [1.6]: Structure du MISFET GaInAs.

I.3.5.1.2. PERFORMANCES DU COMPOSANT

Les excellentes propriétés de transport du GaInAs constituent un intérêt important pour la fabrication de composants hyperfréquences ayant une transconductance élevée. Des études ont démontré la faisabilité de composants rapides hyperfréquences pour des applications optoélectroniques et logiques. Des résultats intéressants ont été obtenus par les laboratoires AT et T BELL sur des MISFET GaInAs/InP à désertion [31] où l'on a pu observer des transconductances de 330 mS/mm pour des longueurs de grille de 1,2 µm, associées à des fréquences de coupure f_T et f_{max} ayant respectivement pour valeur 22,2 GHz et 27 GHz. Ces résultats ont été acquis en intercalant entre la couche active de GaInAs et l'isolant SiO₂ une fine couche d'InP afin d'améliorer la qualité de l'interface isolant semiconducteur.

Dans le domaine des applications de puissance, des MISFET GaInAs réalisés par GARDNER et al [32] ont montré l'intérêt potentiel de ce type de composant. Des puissances de sortie de 1,5 W/mm à 4 GHz et 0,2 W/mm à 32,5 GHz ont été mesurées sur des composants auto-alignés d'un micron de longueur de grille, la fréquence d'oscillation maximum f_{max} étant de 45 GHz et la transconductance de 300 mS/mm pour une épaisseur d'oxyde d'environ 50 nm. Cependant, il faut noter que les transistors réalisés présentaient des problèmes de pincement.

Le problème de la dérive en courant de ce type de transistor constitue l'obstacle majeur à leur développement. C'est la raison pour laquelle beaucoup d'études sont menées sur ce sujet, ce qui permet d'aboutir à de réels progrès.

Des MISFET GaInAs [30] obtenus par MOVPE ont donné une dérive en courant inférieure à 3 % pour un fonctionnement de 30 heures. L'isolant utilisé dans ce cas est du nitrure de silicium dont le dépôt est précédé par un retrait de l'oxyde natif.

I.3.5.2. MIS-Like FET NID GaAlAs/GaAs

Le transistor MIS-Like FET apparu plus récemment, substitue à l'isolant du MISFET une couche semiconductrice non intentionnellement dopée

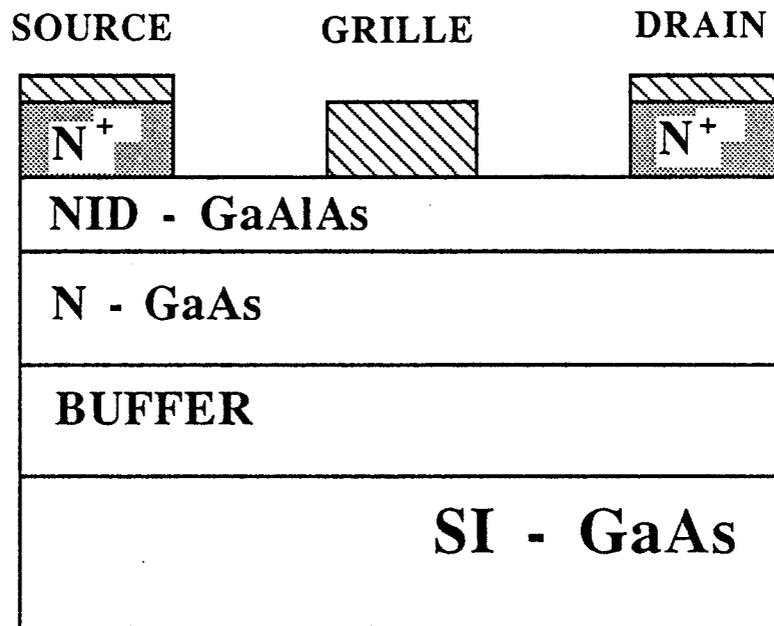


FIGURE [I.7]: Structure du MIS-Like FET NID GaAlAs/ N^+ GaAs

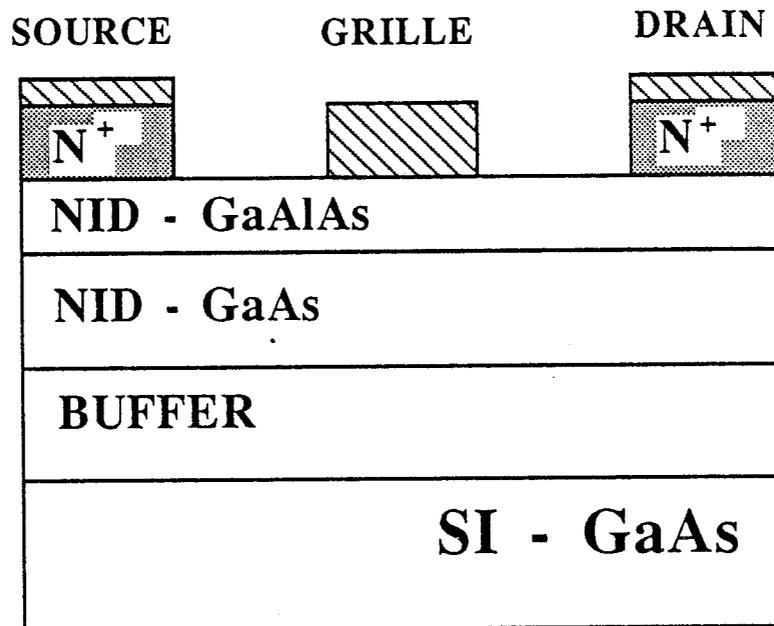


FIGURE [I.8]: Structure du MISFET NID GaAlAs/NID GaAs.

(NID) de grand gap. En conséquence, cette structure s'apparente à celle du MISFET, la couche NID jouant le même rôle que l'isolant. Le MIS-Like FET permet cependant de s'affranchir des problèmes d'interface couche active isolant en conservant l'avantage de la bonne tenue en tension de la structure MISFET.

Il existe deux types de MIS-Like FET : l'un étant réalisé avec une couche active dopée de petit gap appelé DMT pour DOPED-CHANNEL MIS-like FET fig. [1.7] et un autre à couche active de petit gap non dopée fig. [1.8]. Le second type de transistor [33] apparaît surtout intéressant pour des applications en logique rapide, aussi nous allons nous intéresser plus particulièrement au DMT qui constitue un composant de choix dans le domaine des applications de puissance [34].

Comme les structures MISFET, ce type de composant permet un fonctionnement en régimes de désertion et d'accumulation. D'autre part, la couche active dopée permet une augmentation du courant drain-source.

I.3.5.2.1. STRUCTURE DU TRANSISTOR DMT NID GaAlAs/N+GaAs

Le composant (fig. [1.7]) est constitué d'une couche active de petit gap (GaAs) très fine, d'épaisseur typique de l'ordre de quelques centaines d'Angstroems pour un dopage de quelques 10^{18} atm/cm³. Cette couche active est surmontée d'une zone composée d'un semiconducteur à bande interdite élevée NID (GaAlAs) qui joue le rôle de l'isolant. L'épaisseur de cette dernière couche est en général de l'ordre de plusieurs centaines d'Angstroems.

I.3.5.2.2. PERFORMANCES DU COMPOSANT

Le DMT présente l'avantage d'une augmentation de la tension de claquage par rapport au MESFET et au TEGFET grâce à la couche de gap élevé NID. De plus, celle-ci permet un fonctionnement en légère accumulation ce qui a pour conséquence un courant drain source plus élevé et la possibilité d'une plus large excursion de la tension d'entrée. Ceci constitue un avantage pour l'amplification de puissance qui a été confirmé par les résultats obtenus par différents laboratoires.

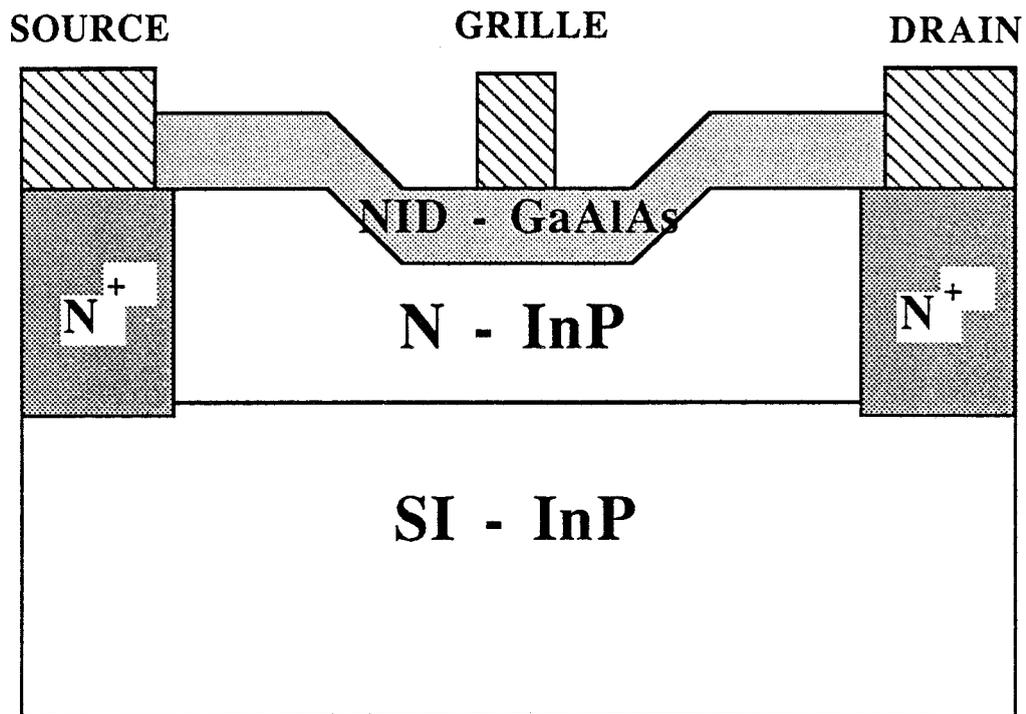


FIGURE [I.9]: Structure du MIS-Like FET InP.

Des DMT réalisés par NEC [35] de longueur de grille $0,5 \mu\text{m}$ ont donné des courants drain de 650 mA/mm soit deux fois et demi supérieurs à ceux du TEGFET, pour une structure comparable avec une transconductance de 310 mS/mm . D'autre part, comparativement au TEGFET, la transconductance du DMT présente l'avantage de garder une valeur élevée sur une plage de tension d'entrée très large. Les fréquences de coupure f_T et f_{max} obtenues ont pour valeurs respectives 45 et 48 GHz . On peut également citer une transconductance record obtenue par les laboratoires NEC [36] de 760 mS/mm mesurée sur un DMT à enrichissement auto-aligné, de longueur de grille $0,3 \mu\text{m}$ associé à un courant drain-source de 380 mA/mm .

En ce qui concerne les résultats de puissance, les laboratoires de TEXAS INSTRUMENTS ont réalisé des DMT délivrant une puissance de plus de 1 W/mm à la fréquence de $18,5 \text{ GHz}$, pour une longueur de grille de $0,5 \mu\text{m}$ [37].

Ces résultats déjà intéressants pourront certainement être améliorés par l'optimisation des différentes couches constituant le composant, ainsi que par la réalisation de meilleurs contacts ohmiques de source et de drain sur la couche de GaAlAs non dopée.

I.3.5.3. MIS-Like FET NID GaAlAs/N⁺ InP

Ce type de transistor (fig. [I.9]) est identique à celui développé dans les paragraphes précédents où la couche active de GaAs est remplacée par une couche d'InP dont les propriétés de transport peuvent permettre des applications en ondes millimétriques. Le principal problème posé par ce type de structure est le désaccord de maille existant entre le GaAlAs et l'InP. Néanmoins, la fabrication de MIS-Like FET InP a montré des résultats intéressants. Des composants réalisés par les laboratoires NEC [38] ont présenté une hétérointerface ayant des caractéristiques statiques stables.

Les performances obtenues en puissance restent relativement modestes : 250 mW/mm à 38 GHz pour une longueur de grille de $0,6 \mu\text{m}$. Les premiers résultats concernant ce type de transistor demeurent cependant encourageants.

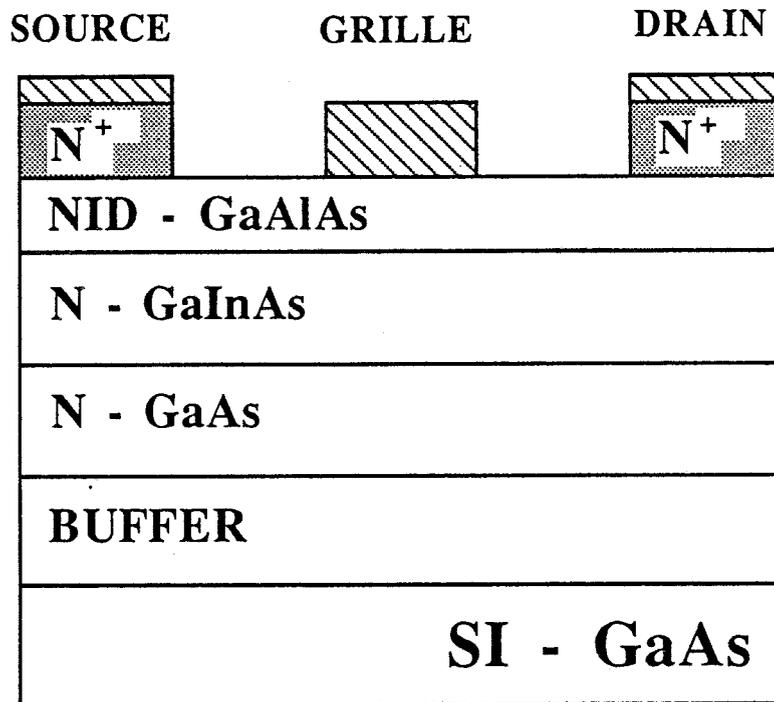


FIGURE [I.10]: Structure du MIS-Like FET à puits quantique NID GaAlAs/ N^+ GaInAs/ N^+ GaAs.

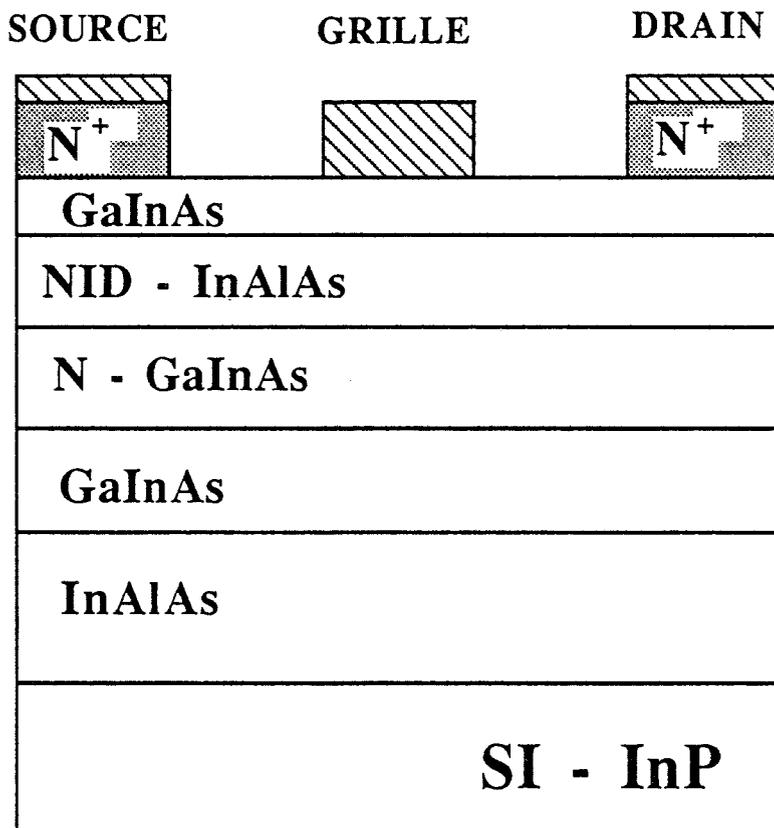


FIGURE [I.11]: Structure du MIS-Like FET NID InAlAs/ N^+ GaInAs.

I.3.5.4. MIS-Like FET A PUIITS QUANTIQUÉ NID GaAlAs/GaInAs/GaAs

Ce type de structure représenté sur la figure [I.10] associe les avantages du MIS-like FET et du TEGFET pseudomorphique à savoir l'obtention de la puissance élevée du MIS-Like FET et les possibilités de montée en fréquence du TEGFET. La couche de GaAlAs fig. [I.10] joue le rôle de l'isolant et le puits est créé, par passage des électrons du GaAs vers le GaInAs à l'hétérointerface de part la discontinuité de bandes des deux semiconducteurs.

D'autre part, la couche de GaInAs est dopée dans le but d'obtenir le courant drain le plus élevé possible [39]. Les résultats obtenus sur ce type de structure publiés par TEXAS INSTRUMENTS [40] sont particulièrement intéressants puisque les courants drain obtenus sont de 700 mA/mm pour un simple puits et de 900 mA /mm pour un double puits associés à des puissances respectives de 0,76 W/mm à 60 GHz et 0,96 W/mm à 55 GHz et des transconductances de 480 mS/mm et 600 mS/mm. Il faut cependant signaler que la tenue en tension drain-source est relativement faible puisqu'elle ne dépasse pas 6 V, dû probablement à l'utilisation de GaInAs.

I.3.5.5. MIS-Like FET NID InAlAs/N⁺ GaInAs

Le schéma d'un tel composant est représenté sur la fig. [I.11]. Ce type de transistor comprend une couche de $\text{Al}_{0.48}\text{In}_{0.52}\text{As}$ NID agissant comme un isolant. Ce matériau est choisi pour le bon accord de maille qu'il présente avec le GaInAs et pour la discontinuité de bande de conduction de l'ordre de 0,5 eV existant pour l'hétérojonction InAlAs/GaInAs empêchant l'apparition d'un courant de fuite de grille prohibitif.

Les résultats obtenus sur ce type de structure [41] ont montré que la transconductance conservait sa valeur nominale sur une plage de tension d'entrée très large, même pour des tensions grille largement positives. Les laboratoires de NTT [42] ont mesuré des transconductances de l'ordre de 285 mS/mm, associées à une fréquence de coupure f_T de 19,4 GHz pour des transistors à grille creusée de longueur 1,5 μm . Ces résultats sont supérieurs à ceux de TEGFET réalisés avec les mêmes matériaux et montrent les excellentes potentialités de ce type de composant pour les applications hyperfréquences. Une autre structure réalisée

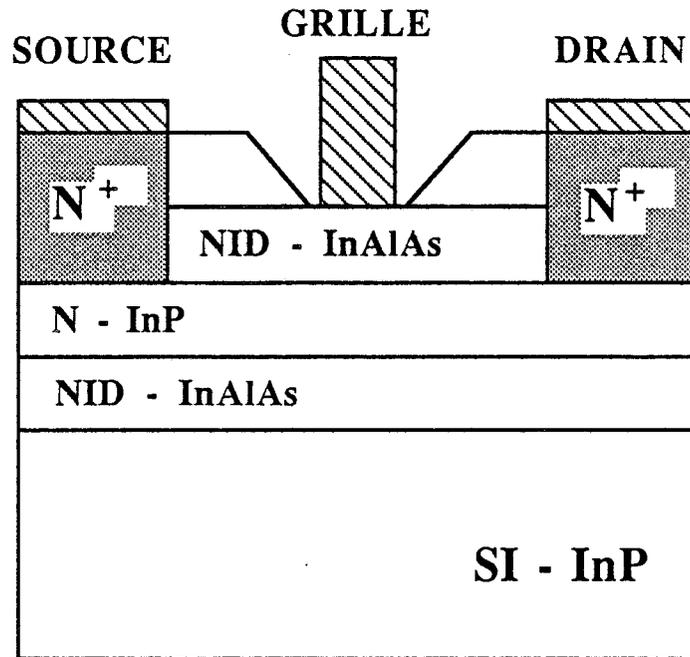


FIGURE [I.12]: Structure du MIS-Like FET NID InAlAs/N⁺ InP.

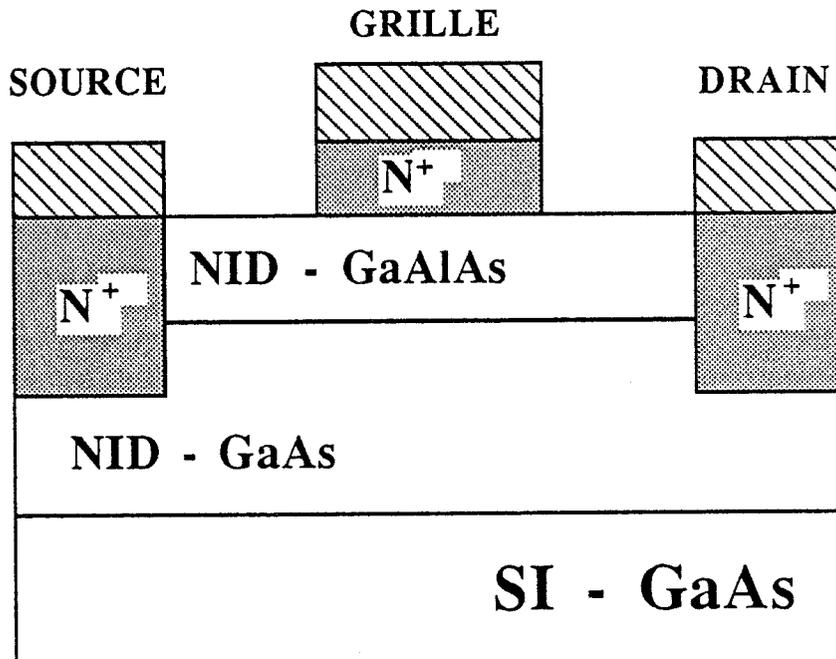


FIGURE [I.13]: Structure du SISFET N⁺ GaAs/NID GaAlAs/NID GaAs.

par BENDIX [43] concernant un MIS-Like FET à plan de dopage NID InAlAs/N⁺GaInAs, a montré qu'on pouvait obtenir un gain (MSG) de 14 dB à 26,5 GHz et une fréquence de coupure du gain extrapolée de 100 GHz.

I.3.5.6. MIS-Like FET NID InAlAs/N⁺ InP

Le bon accord de maille entre les matériaux InAlAs et InP permet la fabrication de structures MISFET à couche active InP associée à une couche NID de matériau InAlAs jouant le rôle d'isolant. La structure représentée fig. [I.12] conserve donc tous les avantages de la structure MISFET InP en s'affranchissant des problèmes de dérive en courant présents dans les MISFET utilisant un véritable isolant [44]. A l'heure actuelle peu de résultats ont été obtenus sur ce type de transistors encore très récent. Des composants de longueur de grille 1 μm réalisés par BENDIX ont montré des transconductances de l'ordre de 150 mS/mm pour un canal N InP et 220 mS/mm pour un canal N⁺InP [45], associé à un MSG de 11,5 dB à 10 GHz et une fréquence de coupure f_{max} de 42 GHz. Ces résultats sont relativement intéressants et laissent présager des performances nettement supérieures pour des composants de longueur de grille plus courte.

I.3.5.7. SISFET N⁺ GaAs/GaAlAs/GaAs

Le SISFET (semiconducteur-isolant-semiconducteur) est un MIS-Like FET dont la grille est formée par un semiconducteur très dopé de type N et de petit gap. Un exemple de structure SISFET est représenté sur la figure [I.13]. Ce type de transistor fonctionne en enrichissement c'est-à-dire à V_{gs} positif, le canal étant formé d'électrons accumulés à l'interface GaAlAs/GaAs. Le principal intérêt de ce type de composant par rapport au TEGFET réside dans la très faible dépendance de la tension de seuil avec l'épaisseur de GaAlAs NID. Cette particularité en fait le composant de choix pour les applications de logique intégrée hyperfréquence (LSI) où l'uniformité et la reproductibilité des tensions de seuil sont impératives.

Les composants de type SISFET exploitent la très bonne mobilité des électrons dans le GaAs intrinsèque. A ce jour, les meilleurs résultats ont été fournis par les laboratoires NTT. Des transistors SISFET ayant une grille N⁺Ge de longueur 0,8 μm ont présenté une transconductance extrinsèque de

430 mS/mm après optimisation de l'épaisseur de la couche de GaAlAs NID [46]. Une fréquence de coupure du gain en courant f_T de 70 GHz a pu être extrapolée sur des composants de 0,4 μm de longueur de grille [47].

I.4. CONCLUSION

Les différents types de transistors MISFET ou pseudo-MISFET décrits dans ce chapitre montrent que les possibilités sont nombreuses et qu'elles constituent toutes à l'heure actuelle un domaine de recherche où des problèmes restent à résoudre, la plupart étant d'ordre technologique.

Parmi ces différentes possibilités plusieurs solutions s'avèrent intéressantes pour les applications de puissance, aussi elles sont en cours de développement dans notre laboratoire. En ce qui nous concerne, nous avons choisi d'étudier de manière la plus complète possible les potentialités de la structure MISFET InP qui constitue celle semblant susceptible de délivrer la puissance la plus élevée.

BIBLIOGRAPHIE

- [1] "Planar fully ion-implanted InP junction FET's with a nitride-registered gate metallization"
J.B. BOOS, W. KRUPPA, B. MOLNAR
IEEE Electron Device Letters, Vol. 2, n° 10, Fev. 89.
- [2] "Fully implanted InP JFET with an abrupt p⁺-n junction".
C. CHENG, K. WANG, S.M. PARKER
IEEE Electron Device Letters, Vol. 8, n° 10, Oct. 87.
- [3] "Planar fully ion implanted InP power junction FET's".
J.B. BOOS, S.C. BINARI, G. KELNER, P.E. THOMSON, T.H. WENG,
N.A. PAPANICOLAOU, R.L. HENRY
IEEE Electron Device Letters, Vol. 5, n° 7, Juillet 84.
- [4] "Normally-off InGaAs junction field-effect transistor with InGaAs Buffer layer"
H. ALBRECHT and Ch. LAUTERBACH
IEEE Electron Device Letters, Vol. 8, n° 8, Août 87.
- [5] "A stable indium-phosphide diffused junction field-effect transistor with high gain and low leakage"
C.R. ZEISSE, R. NGUYEN, L.J. MESSICK, P. SAUNIER, K.L. MOAZED
IEEE Trans. Electron. Device Letters, Vol. ED-10, N° 8, Août 89.
- [6] "InP schottky-gate field-effect transistors"
J.S. BARRERA and ROBERT ARCHER
IEEE Trans. Electron Devices, Vol. ED-22, n° 11, Nov. 75.
- [7] "Bias dependence of GaAs and InP parameters"
REINHART WH ENGELMAN and CHARLES A LIECHTI
IEEE Trans. Electron Devices, Vol. ED-24, n° 11, Nov. 77.
- [8] "Low noise ion implanted InP FET's"
K.J. SLEGER, H.B DIETRICH, MARVIN L. BARK and EDWARD M. SWIGGARD
IEEE Trans. Electron Devices, Vol. ED-28, n° 9, Sept. 81.
- [9] "Etude technologique de la fabrication des transistors à effet de champ InP de puissance en hyperfréquence".
ARMAND M., BUI D.V., CHEVRIER J., LINH N.T.
Rapport final contrat DAI, Avril 83.
- [10] "Microwave power amplification with InP FET's"
M. ARMAND, J. CHEVRIER, NUYEN T. LINH
Electronics Letters, Vol. 16, n° 24, Nov. 80.
- [11] "Materials reactions and barrier height variations in sintered Al-InP Schottky diodes"
A. CHRISTOU and W.T. ANDERSON JR
Solid State Electronic, Vol. 22, 1979.

- [12] "A study of Schottky contacts on indium phosphide"
E. HÖKELEK and G.Y. ROBINSON
J.A.P. 54(9), Sept. 83.
- [13] "InP metal-semiconductor field effect transistors with mercury and cadmium gates"
L.G. MEINERS, A.R. CLAWSON and R. NGUYEN
Appl. Phys. Lett. 49(6), Août 86.
- [14] "Schottky barrier heights of Hg, Cd, and Zn on n-type InP (100)"
C.J. SA and L.G. MEINERS
Appl. Phys. Lett. 48(26), June 86.
- [15] "Thermal oxidation of InP and properties of oxide film"
M. YAMAGUCHI and K. ANDO
J. Appl. Phys. 51(9), Sept. 80.
- [16] "Low leakage nearly ideal Schottky barriers to n InP"
O. WADA, A. MAJERFELD
Electronics Letters, Vol. 14, n° 5, Mars 78.
- [17] "Schottky and field-effect transistor fabrication on InP and GaInAs"
S. LOUALICHE, H. L'HARIDOU, A. LE CORRE, D. LECROSNIER, M. SALVI and P.N. FAVENNEC
Appl. Phys. Lett. 52(7), Fév. 88.
- [18] "Propriétés électriques des structures MIS sur InP passivé par un oxyde"
J. JOSEPH, A. MAHDJOUR et Y. ROBACH
Rev. Phys. Appl. 24(1989) pp. 189-194.
- [19] "Plasma-grown oxide on InP"
K. KANAZAWA and H. MATSUNAMI
J.J.A.P., Vol. 20, n° 3, Mars 81.
- [20] "Etude de la passivation de l'InP-n en plasma RF et multipolaire d'oxygène"
M. BELMAHI
Rev. Phys. Appl. 24(1989) pp. 369-374.
- [21] "Plasma enhanced metal-organic chemical vapor deposition of aluminium oxide dielectric film for device applications"
K.P. PANDE, V.K.R. NAIR and D. GUTIERREZ
J.A.P. 54(9), Sept. 83.
- [22] "Ion implanted InP MISFET's with low drain drift"
G. POST, P. DIMITRIOU, A. FALCOU, N. DUHAMEL and G. MERMANT
Journal de Physique, Supplément au n° 9, Tome 49, Sept. 88.
- [23] "Influence de la technique de dépôt d'isolant et des modes de décapage du semiconducteur sur les propriétés électriques de structures métal-Al₂O₃-InP"
B. SAUTREUIL, B. BAILLY, R. BLANCHET, M. GARRIGUES et P. VIKTOROVITCH
Rev. Phys. Appl. 18 (1983) pp. 769-773.

- [24] "High-speed enhancement mode InP metal-insulator-semiconductor FET exhibiting very high transconductance"
A. ANSTREASYAN, P.A. GARBINSKI, V.D. MATTERA JR and H. TEMKIN
App. Phys. Lett. 49 (9), Sept. 86.
- [25] "Croissance de Si₃N₄ sur GaAs et InP par pulvérisation réactive par faisceau d'ions"
A. BOSSEBOEUF et D. BOUCHIER
Rev. Phys. Appl. 23 (1988) pp. 1305-1312.
- [26] "High-power high-efficiency stable indium phosphide MISFETs"
L. MESSICK, D.A. COLLINS, R. NGUYEN, A.R. CLAWSON and G.E. Mc WILLIAMS
IEDM 86, pp. 767-770.
- [27] "High speed enhancement-mode InP MISFET's grown by chloride vapor-phase epitaxy"
A. ANSTREASYAN, P.H. GARBINSKI, V.D. MATTERA JR, M.D. FEUER, H. TEMKIN and J. FILIPE
IEEE Trans. Electron Devices, Vol. ED-36, n° 2, Fev. 89.
- [28] "High power InP MISFETs"
M. ARMAND, D.V. BUI, J. CHEVRIER, N.T. LINH
Electronics Letters, Vol. 19, n° 12, Juin 83.
- [29] "InP High power MISFET"
K. NAGAHAMA, T. NISHIMURA, N. HAYAFUJI, T. MUROTANI and K. FUJIKAWA
IEDM 84, pp. 190-193.
- [30] "Depletion and enhancement mode Si₃N₄/GaInAs MISFETs with no current drift".
M. RENAUD, P. BOHER, J. SCHNEIDER, J. BARRIER, D. SCHMITZ, M. HEYEN and H. JÜRGENSEN
Journal de Physique, Supplément au n° 9, Tome 49, Sept. 88.
- [31] "High transconductance heterostructure GaInAs/InP MISFET grown by chemical beam epitaxy".
E. FREDERIC SCHUBERT, W.T. TSANG, H.D. FEUER and P.M. MANKIEWICH
IEEE Electron Device Letters, Vol. 9, n° 3, Mars 88.
- [32] "High efficiency GaInAs microwave MISFET's"
P.D. GARDNER, D. BECHTLE, S. YEGNA NARAYAN, S.D. COLVIN and J. PACZKOWSKI
IEEE Electron Device Letters, Vol. 8, n° 9, Sept. 87.
- [33] "Modélisation de transistors à effet de champ à hétérojonctions, application au MISFET GaAlAs/GaAs et à l'étude du transfert électronique dans l'espace réel".
Thèse de l'Université, D. DEPREUW, Lille, 4 octobre 1988.
- [34] Thèse de l'Université,
B. BONTE, Lille, (à paraître).

- [35] "An investigation of i-AlGaAs/nGaAs doped channel MIS-like FET's (DMT's) - Properties and performance potentialities"
H. HIDA, A. OKAMOTO, H. TOYOSHIMA and K. OHATA
IEEE Trans. Electron Devices, Vol. ED-34, n° 7, Juillet 87.
- [36] "A 760 mS/mm N⁺ Self aligned enhancement mode doped-channel MIS-like FET (DMT)"
H. HIDA, Y. SUZUKI, F. KATANO, H. TOYOSHIMA, A. OKAMOTO and S. KUMASHIRO.
IEDM 86, pp. 759-762.
- [37] "GaAs/GaAlAs heterojunction MISFET's having 1W/mm power density at 18.5 GHz"
B. KIM, HUA QUEN TSERNG and J.W. LEE
IEEE Electron Device Letters, Vol. 7, n° 11, Nov. 86.
- [38] "Millimeter wave AlGaAs hetero-MIS InP field effect transistors"
K. ASANO, T. ITOH, K. KASAHARA, T. OZAWA and K. OHATA
IEDM 88, pp. 187-190.
- [39] "AlGaAs/InGaAs/GaAs quantum well power MISFET at millimeter-wave frequencies"
B. KIM, R.J. MATYI, M. WURTELE and H.Q. TSERNG
IEEE Electron Device Letters, Vol. 9, n° 11, Nov. 88.
- [40] "Millimeter-wave AlGaAs/InGaAs/GaAs quantum well power MISFET"
B. KIM, R.J. MATYI, M. WURTELE, K. BRADSHAW and H.Q. TSERNG
IEDM 88, pp. 168-171.
- [41] "An In_{0.52}Al_{0.48}As/n⁺ In_{0.53}Ga_{0.47}As MISFET with a heavily doped channel"
J.A. DEL ALAMO, T. MIZUTANI
IEEE Electron Device Letters, Vol. EDL 8, n° 11, Nov. 87.
- [42] "A recessed-gate In_{0.52}Al_{0.48}As/n⁺ - In_{0.53}Ga_{0.47}As MIS-type FET"
J.A. DEL ALAMO, TMIZUTANI
IEEE Trans. Electron Devices, Vol. ED-36, n° 4, Avril 89.
- [43] "Microwave performance of pulse-doped-heterostructure GaInAs MESFET"
A. FATHIMULLA, H. HIER, J. ABRAHAMS
Electronics Letters, Vol. 24, n° 2, Janv. 88.
- [44] "In_xAl_{1-x}As/InP heterojunction insulated gate field effect transistors (HIGFET's)"
C.M. HANSON, P. CHU, H.H. WIEDER, A.R. CLAWSON
IEEE Electron Device Letters, Vol. 8, n° 2, Fev. 87.
- [45] "Heterojunction InAsAl/InP MESFET's grown by OMVPE"
A. FATHIMULLA, T. LOUGHRAN, L. STECKER, E. HEMPFLING, M. MATTINGLY, OLALEYE HINH
IEEE Electron Device Letters, Vol. 9, n° 5, Mai 88.
- [46] "Large transconductance n⁺-Ge gate AlGaAs/GaAs MISFET with thin gate insulator"
K. MAEZAWA, T. MIZUTANI, K. ARAI, F. YANAGAWA
IEEE Electron Device Letters, Vol. 7, n° 7, juillet 86.

- [47] "Small signal characteristics of n^+ -Ge gate AlGaAs/GaAs MISFET's"
S. FUJITA, M. HIRANO, T. MIZUTANI
IEEE Electron Device Letters, Vol. 9, n° 10, Oct. 88.

CHAPITRE II

ETUDE THEORIQUE DU CLAQUAGE PAR AVALANCHE DANS LES TRANSISTORS MISFET InP A DESERTION

I.1. INTRODUCTION

La tension de claquage constitue une des limitations fondamentales des transistors à effet de champ de puissance, aussi un grand nombre de travaux tant théoriques qu'expérimentaux ont été poursuivis dans divers laboratoires [1, 2, 3, 4] et notamment au C.H.S. afin de mieux comprendre les mécanismes du claquage par avalanche, phénomène qui apparaît dans l'espace grille-drain du composant où les valeurs du champ électrique sont maximum. Cependant, la plupart des études concernent le MESFET GaAs ou le TEGFET GaAlAs/GaAs [5] pour lesquels, plusieurs modèles bidimensionnels ont été proposés. Ils utilisent soit un calcul complet des équations des semiconducteurs [6], soit une résolution numérique plus simple comportant quelques approximations afin de réduire les temps de calcul [3, 7].

Dans ce chapitre, nous nous proposons d'étudier l'apparition du claquage dans les transistors MISFET InP à désertion, à l'aide d'une modélisation permettant d'évaluer la tenue en tension d'un tel composant au pincement. Le modèle utilisé est bidimensionnel et peut être adapté facilement pour différentes structures. Il permet d'étudier précisément l'évolution du champ électrique dans la structure, ainsi que les effets particuliers de bords de grille. Il permet en outre le calcul du potentiel en tout point du composant et la détermination de la tension de claquage du transistor. A partir de ce modèle il est également possible d'effectuer une optimisation de la structure du point de vue tenue en tension, ainsi qu'une analyse de l'influence des principaux paramètres géométriques et technologiques du composant comme le dopage et l'épaisseur de la zone active, la distance grille-drain, l'épaisseur d'isolant et les dimensions du recess de grille.

Ce chapitre est consacré d'une part à la description du modèle employé en précisant les hypothèses utilisées et d'autre part à l'ensemble des résultats qui en sont déduits.

II.2. DESCRIPTION DU PHENOMENE D'AVALANCHE DANS LES TEC

La puissance optimale que peut délivrer un transistor à effet de champ (TEC) dépend au premier ordre du courant maximal qu'il peut fournir

(I_{dss}) et de la tension drain-source maximale qu'il peut supporter. En ce qui concerne la limitation en courant, on peut l'attribuer à deux facteurs : la vitesse des porteurs et les paramètres de la zone active (dopage, épaisseur et largeur). Quant à la tension drain-source, elle est limitée par le phénomène de claquage par avalanche dans l'espace grille-drain. Ce phénomène se traduit par l'augmentation plus ou moins violente du courant drain due à l'ionisation par choc des porteurs qui peut entraîner par la suite l'emballement thermique et la destruction du composant.

II.2.1. LOCALISATION DU CLAQUAGE DANS LES TEC

Différentes études aussi bien théoriques [4] qu'expérimentales [8] ont permis de montrer que quelque soit le type de transistor étudié, le phénomène de claquage a lieu dans l'espace grille-drain où les valeurs du champ électrique sont les plus élevées.

Les différentes expériences et analyses théoriques ont d'autre part permis de mettre en évidence que le phénomène de claquage dépendait des paramètres géométriques et technologiques des composants mais également de la polarisation de grille.

Lorsque l'on polarise le transistor de manière à ce qu'un courant non négligeable circule dans le canal, c'est-à-dire pour des tensions inférieures en valeur absolue à la tension de pincement du transistor, le phénomène de claquage se produit dans le canal, conséquence du passage du courant I_{ds} . Par contre lorsque l'on se rapproche du pincement, le courant drain-source I_{ds} devient quasiment nul et dans ce cas, le phénomène de claquage peut prendre naissance dans la zone désertée de grille. Dans ces conditions, la tension de claquage dépend fortement du comportement de la grille, en particulier de sa tenue en tension en inverse. En conséquence, les phénomènes bidimensionnels et la nature de la géométrie du bord de grille représentent des paramètres déterminants pour la tension de claquage au pincement.

Il faut également souligner l'importance de l'interface couche active-substrat lors du pincement, les électrons se trouvant repoussés vers celui-ci. Il en résulte que le claquage dépend de la qualité de l'interface zone active-substrat

[9, 10], l'utilisation d'une couche tampon permettant cependant d'améliorer la tension de claquage.

La modélisation que nous nous proposons de décrire dans ce chapitre permet d'étudier le comportement du claquage dans la structure lorsque celui-ci prend naissance dans la zone désertée de grille.

II.2.2. ETUDES ANTERIEURES

Un grand nombre d'études sur le claquage des transistors à effet de champ a été réalisé notamment dans notre laboratoire [4]. Ces études ont essentiellement porté sur le MESFET GaAs et comme nous l'avons signalé précédemment elles ont toutes mis en évidence que le phénomène de claquage se produit dans l'espace grille-drain du transistor où le champ électrique est le plus élevé. C'est afin de réduire les champs électriques régnant dans cette zone que certains auteurs [3, 4, 7] ont montré qu'une distance minimale devait être maintenue entre le bord de grille et le plot N⁺ de drain. Une autre solution proposée [1, 2, 9] est l'utilisation d'une grille enterrée (recess). La structure ainsi réalisée présente d'une part l'intérêt de minimiser les résistances d'accès et d'autre part d'augmenter la tenue en tension du transistor principalement à canal ouvert [11]. En effet, l'accroissement de l'épaisseur de la zone semiconductrice dans la zone critique permet d'améliorer sensiblement la configuration des champs électriques dans l'espace grille-drain en diminuant leur intensité. De nombreuses études ont ainsi traité l'influence des dimensions du recess de grille, de la profondeur, de l'inclinaison et de la distance bord de grille-flanc du recess. La principale conclusion est que l'ensemble de ces paramètres est relativement critique, ceux-ci restant difficiles à maîtriser en pratique à cause des problèmes d'ordre technologique.

Une étude effectuée par MIZUTA [7] a montré le rôle important joué par le potentiel de surface sur la tension de claquage. En effet, le piégeage des électrons par les défauts existants à l'interface air-semiconducteur introduit un potentiel de surface négatif. Celui-ci permet une réduction du champ électrique au bord de grille grâce à une compensation de la charge d'espace positive de la zone désertée ce qui a pour conséquence une augmentation de la tension de claquage.

Dans le but d'améliorer la tenue en tension du transistor on peut intercaler entre la grille et la couche active un matériau non intentionnellement dopé (NID) moins ionisant. Une modélisation effectuée par ZAITLIN [3] a montré que l'on pouvait obtenir une augmentation de 50 % de la tension de claquage en plaçant une couche de GaAlAs NID sous la grille enterrée d'un MESFET GaAs. Une autre étude théorique et expérimentale effectuée au laboratoire [5] sur le TEGFET GaAlAs/GaAs où l'on avait ajouté une couche de GaAlAs NID sous la grille n'a cependant pas donné de véritable amélioration de la tension de claquage au pincement à cause de la faible épaisseur de la couche active (400 Å), des effets bidimensionnels existants au bord de grille et de l'importance du claquage par effet tunnel.

Une analyse complète du comportement du MESFET GaAs à la fois théorique et expérimentale réalisée au laboratoire [11] a permis de préciser les limites en puissance du transistor MESFET GaAs. Cette étude a montré que la tenue en tension du transistor au pincement était limitée par le claquage du contact Schottky de grille en inverse, ce dernier précédant le claquage dans le canal au pincement.

Une amélioration de la tenue en tension peut également être obtenue à partir de structures bigrilles. Des mesures expérimentales [5] comparant les tensions de claquage des transistors MESFET GaAs monogrigle et bigrigle a mis en évidence l'avantage présenté par ce dernier. En effet, la présence d'une zone désertée due à la seconde grille permet d'obtenir une meilleure répartition de la tension entre la première grille et le drain.

La plupart de ces travaux a permis d'une part de mieux comprendre les aspects physiques du phénomène de claquage dans les transistors à effet de champ et d'autre part de définir des structures susceptibles de retarder celui-ci. Cependant, ces études concernent surtout le MESFET GaAs et le TEGFET GaAlAs/GaAs aussi nous nous proposons dans la suite de ce chapitre d'étudier en détail les aspects particuliers du claquage dans les MISFET InP.

II.2.3. ASPECTS PARTICULIERS DE LA STRUCTURE MISFET InP

Outre les avantages apportés par le matériau InP, que nous avons développés dans le chapitre précédent, la structure métal-isolant-semiconducteur offre a priori la possibilité de tensions de claquage plus élevées grâce à la couche d'isolant. En effet, celle-ci va supporter une part non négligeable de la tension compte tenu du fait que la permittivité diélectrique y est plus faible que celle de l'InP. D'autre part, la structure de type MIS a l'avantage de présenter un courant inverse négligeable ce qui permet a priori de s'affranchir de la limite des MESFET de puissance liée au claquage de la grille en inverse.

II.3. DESCRIPTION DU MODELE

Le modèle utilisé est dérivé d'un programme élaboré au laboratoire pour les MESFET GaAs [12]. Le but de ce modèle est d'évaluer de façon réaliste la tenue en tension du MISFET InP et d'étudier les principaux aspects physiques du claquage au pincement. Ce modèle repose sur la résolution bidimensionnelle des équations de Poisson et du courant dans les différentes zones du transistor, en particulier dans l'isolant (SiO_2) et dans la couche active InP. Cette modélisation comporte un certain nombre d'hypothèses que nous allons maintenant préciser.

II.3.1. HYPOTHESES DU PROGRAMME

La modélisation comporte deux hypothèses simplificatrices :

- la source et le drain sont court-circuités
- le courant drain est nul.

Dans la pratique le claquage ainsi décrit correspond à la configuration diode entre grille et source-drain court-circuités. Cette dernière est différente de la configuration transistor où source et drain sont à des potentiels différents. Cependant, les mesures effectuées sur de nombreux transistors [11] ont montré que la tension de claquage obtenue en configuration diode est très proche de la tension grille-drain de claquage en configuration transistor, au

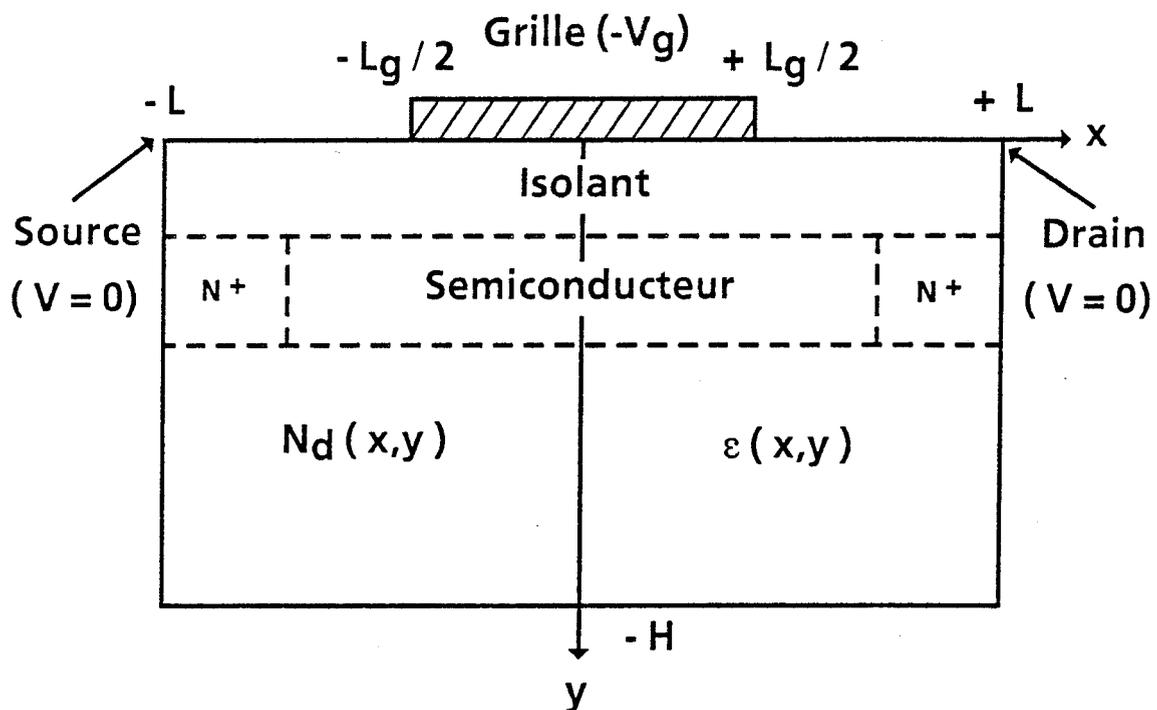


FIGURE [II.1]: Schéma du transistor utilisé pour le modèle bidimensionnel : structure planaire.

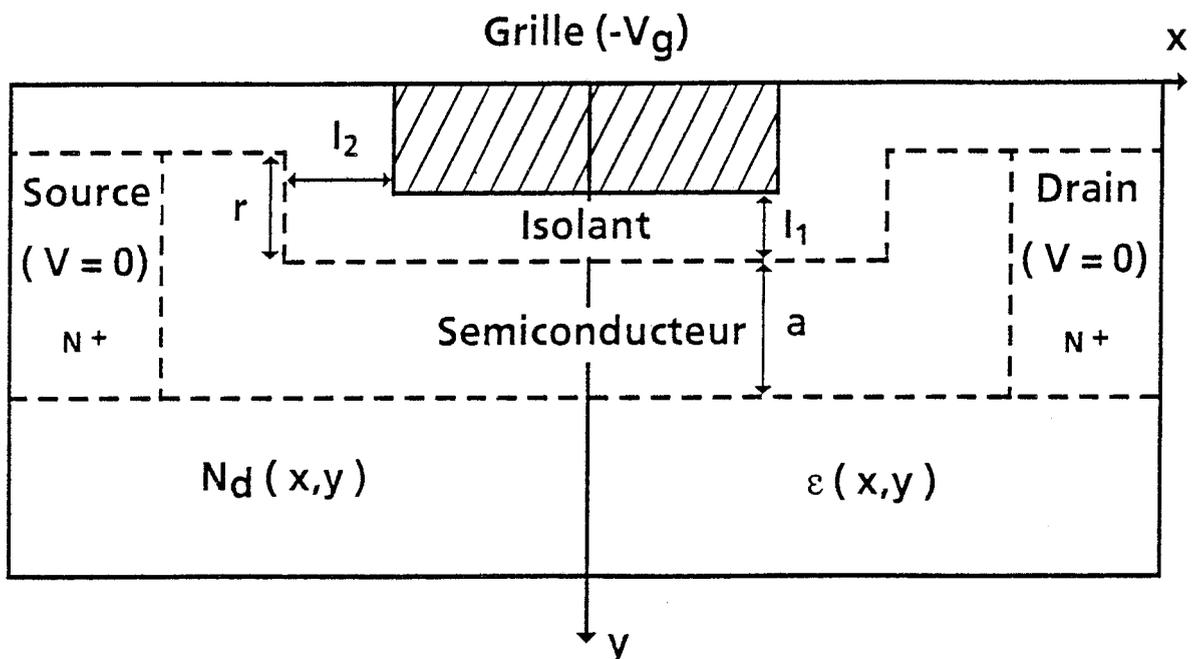


FIGURE [II.2]: Schéma du transistor utilisé pour le modèle bidimensionnel : structure avec recess.

pincement ($I_{ds} = 0$). En conséquence, la modélisation proposée apparaît comme étant une solution réaliste permettant d'approcher avec une bonne approximation la tension de claquage au pincement d'un transistor à effet de champ.

L'étude a tout d'abord porté sur une structure planaire représentée sur la Fig. [II.1]. Ensuite, afin de tenir compte dans un second temps de façon plus précise de la géométrie de transistors comprenant un recess de grille, une structure plus complète représentée sur la Fig. [II.2] a été modélisée.

Les structures décrites offrent une symétrie par rapport à l'axe vertical Oy et permettent par conséquent de limiter la résolution des équations à une demi-structure. Le transistor est divisé en différentes régions possédant leur propre dopage $N_d(x, y)$ ainsi que leur propre constante diélectrique $\epsilon(x, y)$. Il est composé d'un substrat InP sur lequel on peut éventuellement déposer une zone tampon. De plus on tient compte des deux plots N^+ de source et drain de part et d'autre de la zone active. Quant à la couche isolante SiO_2 elle est située entre la grille et cette zone active.

D'autre part, la présence d'un contraste de permittivité diélectrique important entre l'isolant et le semiconducteur a nécessité l'utilisation de zones de transition linéaire pour $\epsilon(x, y)$ ainsi que l'emploi d'un pas variable dans ces zones.

II.3.2. EQUATIONS DU PROGRAMME

Dans ce programme, nous résolvons simultanément les équations de Poisson et du courant :

$$[II.1] \quad \frac{\partial^2 V}{\partial x^2} + \frac{\partial^2 V}{\partial y^2} = -q \frac{(N_d - n)}{\epsilon} - \frac{1}{\epsilon} \frac{\partial \epsilon}{\partial x} \frac{\partial V}{\partial x} - \frac{1}{\epsilon} \frac{\partial \epsilon}{\partial y} \frac{\partial V}{\partial y}$$

$$[II.2] \quad \vec{J}_n = -qn \mu_n \overrightarrow{\text{grad}} V + q D_n \overrightarrow{\text{grad}} n = 0$$

où V , N_d , n , ϵ désignent respectivement le potentiel, le dopage, la concentration de porteurs libres et la permittivité diélectrique en un point de coordonnées (x, y) du maillage. Cette équation comporte aussi les termes μ_n , la mobilité des porteurs, D_n la constante de diffusion et q la charge de l'électron. D'autre part, nous supposons qu'il n'y a pas de porteurs libres dans l'isolant.

Les équations employées peuvent s'écrire différemment selon les zones de la structure.

II.3.2.1. EQUATIONS DANS L'ISOLANT

Nous avons considéré que la zone de transition est située du côté isolant. Comme on suppose qu'il n'y a pas de porteurs libres dans cette zone, l'équation de Poisson s'écrit :

$$[\text{II.3}] \quad \frac{\partial^2 V}{\partial x^2} + \frac{\partial^2 V}{\partial y^2} = - \frac{qN_{di}}{\epsilon} - \frac{1}{\epsilon} \left(\frac{\partial \epsilon}{\partial y} \right) \frac{\partial V}{\partial y} - \frac{1}{\epsilon} \left(\frac{\partial \epsilon}{\partial x} \right) \frac{\partial V}{\partial x}$$

$$\text{en posant } \Phi = \frac{qV}{kT}; x = x^* \lambda_D; y = y^* \lambda_D \text{ avec } \lambda_D = \sqrt{\frac{\epsilon_s kT}{q^2 N_{di}}}$$

où λ_D représente la longueur de Debye, N_{di} le dopage de la zone active, N_{di} le dopage dans l'isolant, ϵ_s la constante diélectrique du semiconducteur. L'équation [II.3] prend alors la forme suivante :

$$\left(\frac{\partial^2 \Phi}{\partial x^{*2}} + \frac{\partial^2 \Phi}{\partial y^{*2}} \right) \frac{qN_{di}}{\epsilon_s} = - \frac{qN_{di}}{\epsilon} - \frac{1}{\epsilon} \left(\frac{\partial \epsilon}{\partial x^*} \frac{\partial \Phi}{\partial x^*} + \frac{\partial \epsilon}{\partial y^*} \frac{\partial \Phi}{\partial y^*} \right) \frac{qN_{di}}{\epsilon_s}$$

$$\text{en posant } \Phi' = \frac{\Phi}{\Phi_0}; x' = \frac{x^*}{R}; y' = \frac{y^*}{R}; R^2 = -2\Phi_0 \text{ et } \beta = \frac{N_{di} \epsilon_s}{N_{di} \epsilon}$$

où Φ_0 est le potentiel fixe de grille et R désigne l'épaisseur de la zone désertée.

On obtient :

$$[\text{II.4}] \quad \frac{\partial^2 \Phi'}{\partial x'^2} + \frac{\partial^2 \Phi'}{\partial y'^2} + \frac{1}{\epsilon} \frac{\partial \epsilon}{\partial x'} \frac{\partial \Phi'}{\partial x'} + \frac{1}{\epsilon} \frac{\partial \epsilon}{\partial y'} \frac{\partial \Phi'}{\partial y'} = 2\beta$$

II.3.2.2. EQUATIONS DANS LE SEMICONDUCTEUR

Dans le semiconducteur, par combinaison des équations [II.1] et [II.2] on aboutit à l'équation suivante :

$$\frac{\partial^2 V}{\partial x^2} + \frac{\partial^2 V}{\partial y^2} = \frac{q}{\epsilon_s} \left[N_{d1} \exp\left(\frac{qV}{kT}\right) - N_d(x, y) \right]$$

en utilisant les mêmes notations que précédemment on obtient l'expression suivante :

$$\frac{\partial^2 \Phi}{\partial x^{*2}} + \frac{\partial^2 \Phi}{\partial y^{*2}} = \exp(\Phi) - \frac{N_d(x, y)}{N_{d1}}$$

soit en posant $\frac{N_d(x, y)}{N_{d1}} = \alpha(x, y)$

et après normalisation :

$$[II.5] \quad \frac{\partial^2 \Phi'}{\partial x'^2} + \frac{\partial^2 \Phi'}{\partial y'^2} = 2 \left[\alpha(x, y) - \exp(\Phi' - \Phi_0) \right]$$

II.3.3. CONDITIONS AUX LIMITES

Dans notre modélisation nous avons fait le choix de considérer que les zones de transition étaient dans l'isolant. Pour le dopage, celles-ci sont abruptes. Par contre, l'équation de Poisson dans l'isolant comprend des dérivées fonction de la permittivité diélectrique. Cette difficulté est surmontée en prenant des zones de transition linéaires afin d'éviter les risques d'instabilités numériques. La méthode employée est décrite dans l'annexe I.

Concernant les conditions aux limites utilisées dans la modélisation, elles sont les suivantes :

- sur la grille le potentiel est fixe (DIRICHLET) $V = V_G$ pour $y = 0$ et $0 < |x| < l_g/2$

- le potentiel est pris égal à zéro pour $x = \pm L$ et $y = 0$

- $\partial V/\partial x = 0$ immédiatement sous la grille et $\partial V/\partial y = 0$ sur les flancs du recess afin de tenir compte de la nature conductrice de la grille (équipotentielle perpendiculaires à la grille).

- $\partial V/\partial x = 0$ sur l'axe Oy de part la symétrie de la structure

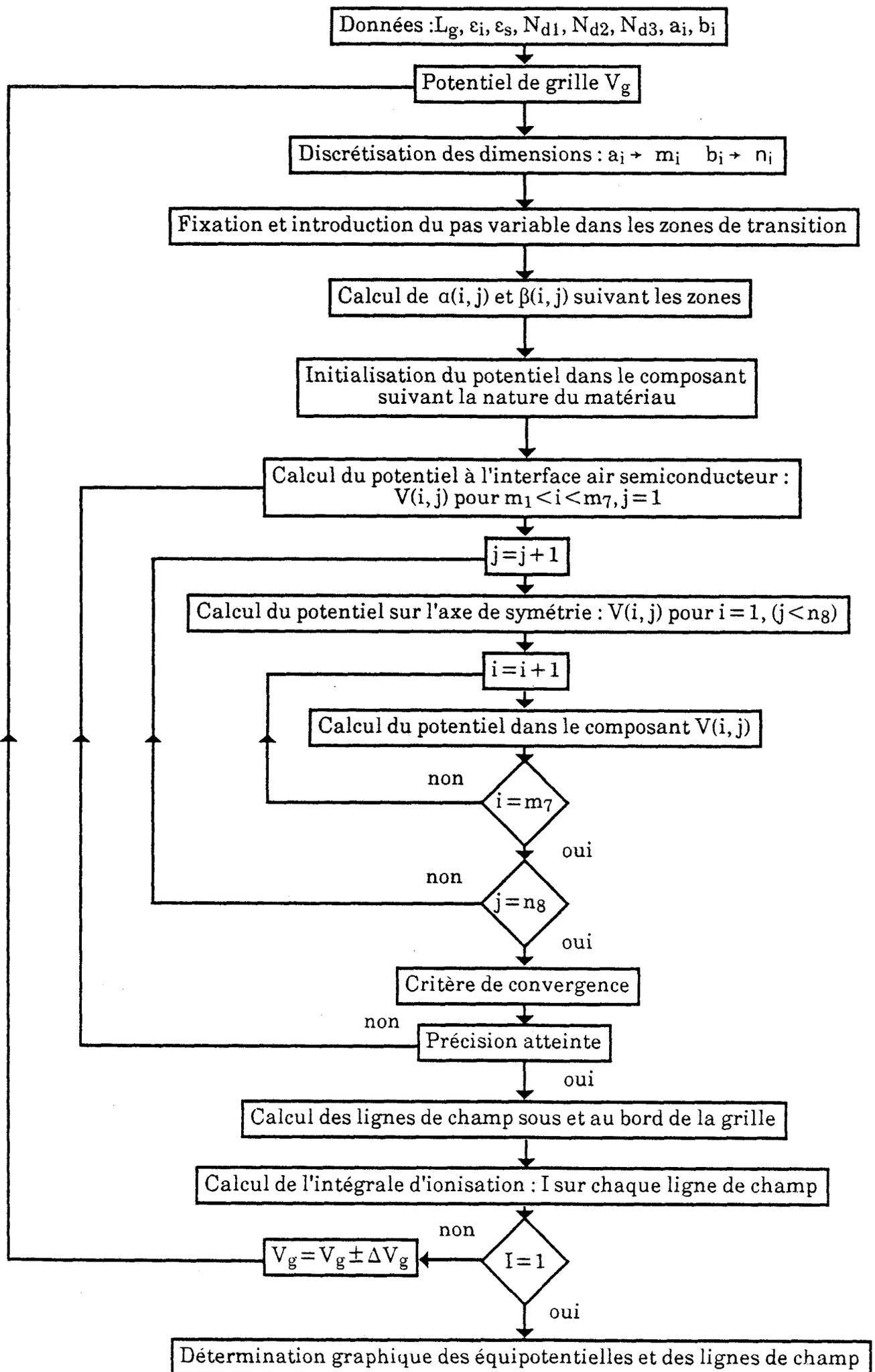


FIGURE |11.3.a| : Organigramme du programme bidimensionnel.

43

- $\partial V/\partial x = 0$ ou $\partial V/\partial y = 0$ à la limite entre l'air et la structure afin de tenir compte du contraste de constante diélectrique entre le composant et l'air.

II.3.4. RESOLUTION NUMERIQUES DES EQUATIONS

La résolution numérique est effectuée par l'intermédiaire d'une méthode de surrelaxation itérative [13]. Pour cela les équations aux dérivées partielles du semiconducteur et de l'isolant sont discrétisées afin d'aboutir à un système d'équations aux différences finies. On peut ensuite appliquer les conditions aux limites et initialiser les valeurs du potentiel en chaque noeud de la structure. Le réseau est ensuite parcouru pas à pas afin de calculer une nouvelle valeur du potentiel en chaque point suivant le processus itératif de la méthode de surrelaxation. A chaque nouveau parcours, on obtient ainsi en chaque point une suite convergente dont la limite est la solution du système. Le processus itératif s'arrête lorsque la précision du calcul définie par l'utilisateur est atteinte. Nous avons représenté l'organigramme du programme sur la fig. [III.3.a] et le maillage utilisé sur la fig [III.3.b]. Les équations discrétisées dans les différentes zones, ainsi que les détails concernant la méthode de résolution numérique sont donnés en annexe II.

Le calcul du potentiel en chaque point de la structure étant effectué par la méthode décrite précédemment il est alors possible de déduire la forme des équipotentielles et de calculer le champ électrique.

II.3.5. DETERMINATION DES LIGNES DE CHAMP ELECTRIQUE

La détermination des lignes de champ électrique s'effectue à partir du potentiel électrique calculé en chaque point de la structure. Nous détaillons ici la méthode employée dans la détermination de lignes de champ électrique situées sous la grille, il est évident qu'il suffira d'appliquer la même démarche dans le calcul des lignes qui se situent sur les flancs du recess de grille, avec cependant une difficulté supplémentaire due à l'utilisation d'un pas variable vertical et horizontal dans les zones de transition (Annexe III).

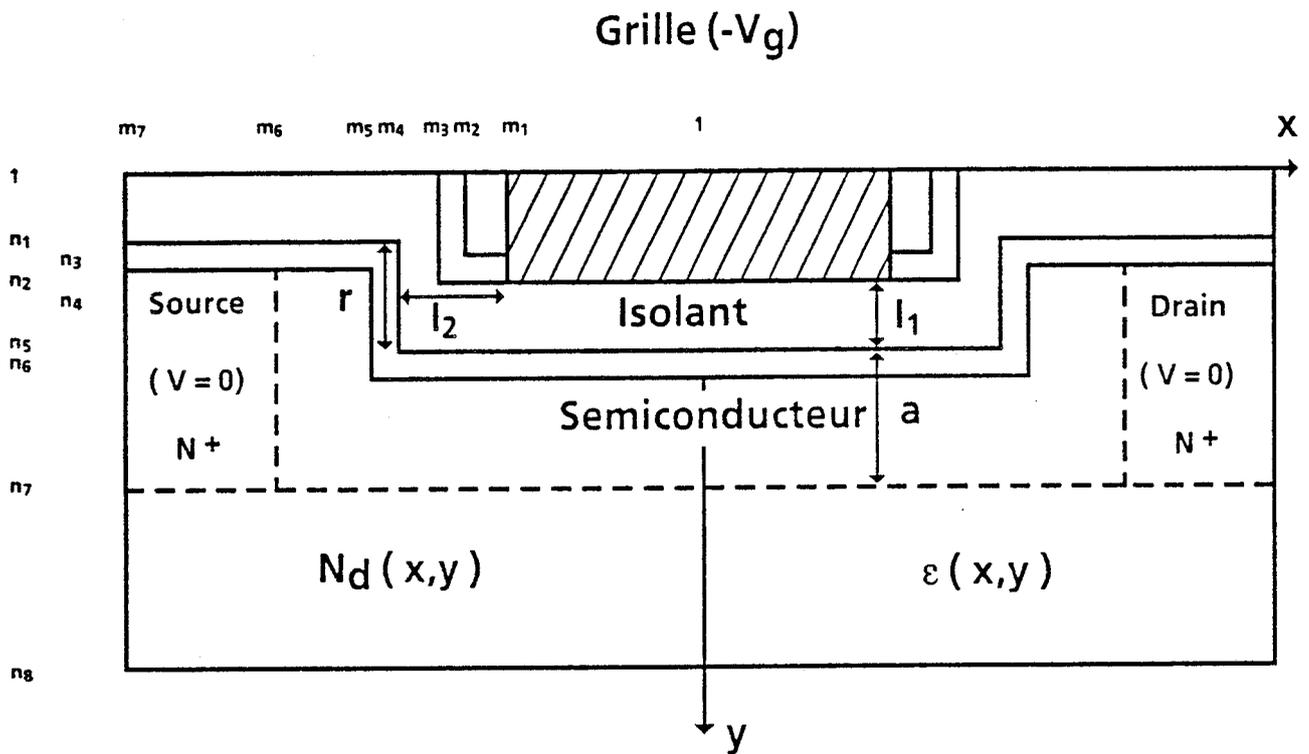


FIGURE II.3.b) : Maillage correspondant à l'organigramme de la figure II.3.a.

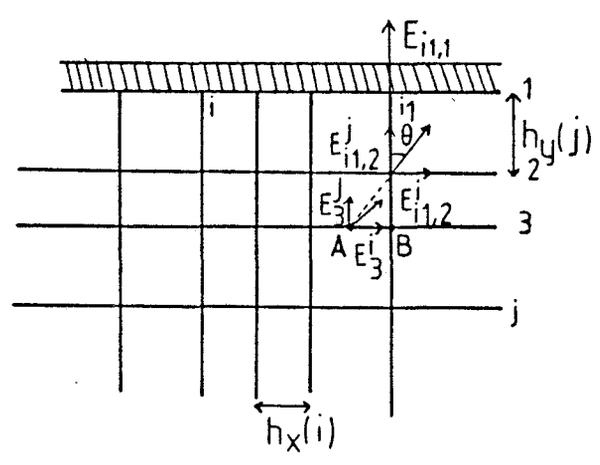


Figure [II.4]

On suppose que chaque ligne de champ aboutit perpendiculairement sur la grille et que chaque point de cette grille définit le départ d'une seule ligne de champ (fig. [II.4]). Soit i_1 un point situé sous cette grille. Au point $(i_1, 1)$ le champ ne comporte qu'une composante verticale :

$$E_{i_1,1}^j = \frac{(V_{i_1,1} - V_{i_1,2})}{h_y(1)}$$

où h_y est le pas vertical et V le potentiel

Au point suivant, le champ électrique présentera deux composantes :

- une composante verticale :

$$E_{i_1,2}^j = \frac{(V_{i_1,1} - V_{i_1,3})}{(h_y(1) + h_y(2))}$$

- une composante horizontale :

$$E_{i_1,2}^i = \frac{(V_{i_1-1,2} - V_{i_1+1,2})}{(h_x(i_1) + h_x(i_1+1))}$$

La détermination du point suivant se fait en supposant qu'il est situé à l'intersection de l'horizontale $j = 3$ avec la droite passant par le point précédent $(i_1, 2)$ et ayant la direction du vecteur champ en ce point.

Les composantes du champ électrique au point A sont ensuite obtenues par interpolation linéaire :

$$E_3^j = E_{i_1,3}^j + AB \left(E_{i_1+1,3}^j - E_{i_1,3}^j \right) / h_x (i_1 + 1)$$

$$E_3^i = E_{i_1,3}^i + AB \left(E_{i_1+1,3}^i - E_{i_1,3}^i \right) / h_x (i_1 + 1)$$

La généralisation de ce processus (annexe III) permet la détermination de la ligne de champ complète. Il est à remarquer que lorsque l'angle Θ devient supérieur à 45° , c'est-à-dire lorsque $E_i > E_j$ on ne considère plus l'intersection avec l'horizontale mais avec la verticale, la formulation des équations restant identique au cas précédent en permutant h_x et h_y . Nous arrivons finalement par ce procédé à calculer le champ électrique en tout point du composant ainsi qu'à déterminer toutes les lignes de champ associées.

II.3.6. CALCUL DE L'INTEGRALE D'IONISATION

Dans le but de déterminer la tension de claquage du composant, il est nécessaire de calculer l'intégrale curviligne d'ionisation sur chaque ligne de champ décrite suivant la méthode explicitée au paragraphe précédent. Celle-ci peut s'écrire :

$$[IL6] \quad I = \int \alpha_n \exp \left[- \int (\alpha_n - \alpha_p) dx' \right] dx$$

La tension pour laquelle cette intégrale atteint la valeur de 1 est retenue comme seuil d'apparition du claquage par avalanche. Cette intégrale est résolue en tenant compte des différents taux d'ionisation dépendant du milieu considéré. Si $\alpha_n = \alpha_p$ cette intégrale se simplifie et s'écrit :

$$I = \int \alpha_n dx$$

Pour l'InP les valeurs du taux d'ionisation des électrons α_n utilisées et qui semblent les plus couramment admises sont les suivantes [14] :

$$\alpha_n = a_n \exp (- b_n/E)$$

avec $a_n = 4,03 \cdot 10^6 \text{ cm}^{-1}$ et $b_n = 2,95 \cdot 10^6 \text{ V/cm}$
 en précisant que E désigne le champ électrique en V/cm . En ce qui concerne
 l'isolant nous utilisons une formulation analogue [15, 16]

$$\alpha_n = a_n \exp(-b_n/E)$$

en prenant $a_n = 3,3 \cdot 10^6 \text{ cm}^{-1}$ et $b_n = 78 \cdot 10^6 \text{ V/cm}$

Il est à noter que nous n'avons pas tenu compte du potentiel de contact V_d qui existe dans la jonction MIS. Cette approximation est justifiée par le fait que V_d est largement inférieure à la tension de claquage.

II.3.7. AUTRE STRUCTURE ENVISAGEABLE

La modélisation décrite dans les paragraphes précédents est très souple aussi elle a pu être adaptée pour évaluer le claquage dans d'autres structures : TEGFET [17] et DMT [18].

Concernant l'étude du MISFET InP, la structure de type recess envisagée figure [II.2] comprend une zone d'isolant d'épaisseur constante sous et sur les côtés de la grille ce qui s'apparente aux réalisations de MESSICK et al [19]. Cependant, et afin d'étudier plus finement le claquage sous la grille en tenant compte de problèmes d'ordre technologique, une structure ayant une épaisseur non constante d'isolant peut également être envisagée. Celle-ci correspond à la réalisation d'une longueur de grille inférieure à celle du recess (Fig. [II.5]). On peut remarquer qu'elle laisse deux espaces d'air de chaque côté de la grille.

Nous avons étudié ce type de structure en négligeant l'ionisation dans l'espace contenant de l'air.

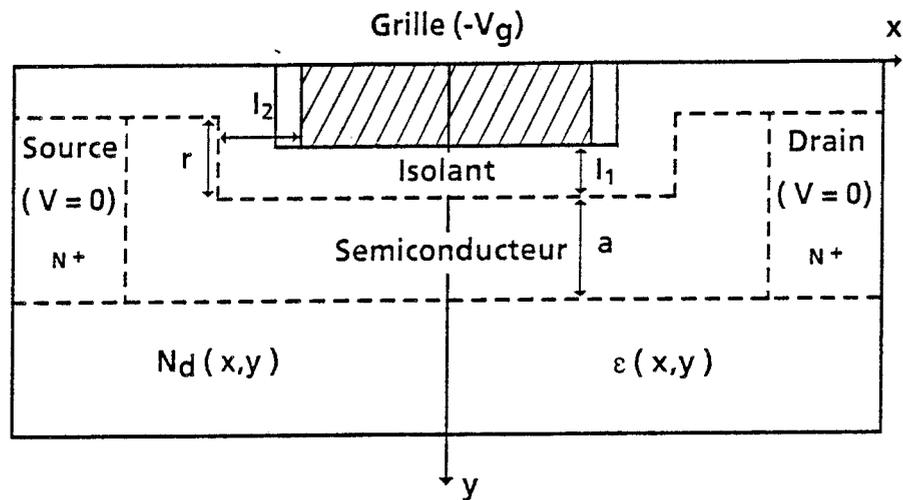


FIGURE [II.5]: Schéma d'une structure recess comprenant un espace entre la grille et l'isolant.

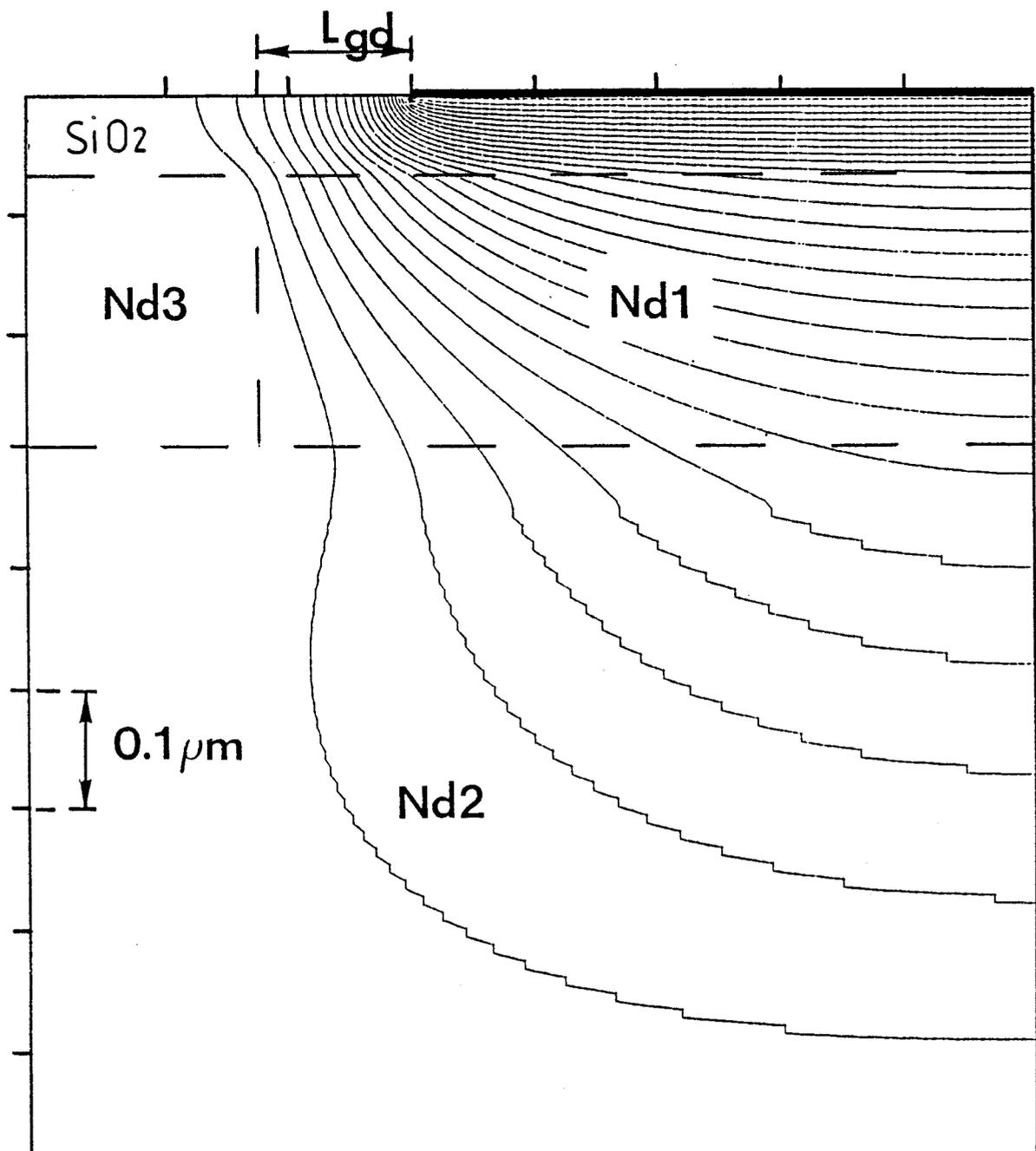


FIGURE [II.6]: Exemple d'équipotentiels pour une structure planaire ($N_{d1} = 10^{17} \text{ cm}^{-3}$, $N_{d2} = 10^{14} \text{ cm}^{-3}$, $N_{d3} = 10^{18} \text{ cm}^{-3}$).

II.4. ETUDE THEORIQUE DU PHENOMENE DE CLAQUAGE DANS LA STRUCTURE MISFET InP

Cette partie est consacrée à une analyse complète du claquage par avalanche au pincement dans les structures MISFET InP. Nous étudierons pour différentes structures le champ électrique et la multiplication des porteurs dans la zone désertée de l'espace grille-drain, ces éléments constituant l'aspect essentiel de l'apparition du claquage dans les transistors à effet de champ. Nous terminerons cette étude par l'analyse de l'influence des principaux paramètres géométriques et technologiques du transistor sur la tension de claquage.

II.4.1. ANALYSE DE LA DISTRIBUTION DU POTENTIEL ET DU CHAMP ELECTRIQUE

Dans cette étude nous exposons dans un premier temps les résultats relatifs à une structure plane dont la modélisation s'avère plus simple et dans un second temps dans le souci de tenir compte d'une géométrie la plus réaliste possible nous avons entrepris l'étude d'une structure recess.

II.4.1.1. STRUCTURE PLANAIRE

II.4.1.1.1. FORME DES EQUIPOTENTIELLES

Nous représentons sur la figure [II.6] la forme des équipotentiels pour une moitié de la structure étant donné la symétrie du modèle (source et drain au même potentiel), correspondant au claquage où $V_{gs} = -27$ V. Ces équipotentiels sont obtenues avec un pas de 1 V et pour une longueur de grille de 1 μ m. La modélisation tient compte des différentes zones relatives au transistor ; l'isolant, les contacts N^+ de drain et de source, (dopage N_{d3}), la zone active (dopage N_{d1}), et le substrat (dopage N_{d2}). On peut constater que les équipotentiels ont une forme proche de celles relatives au MESFET. Elles sont pratiquement constantes sous la grille et de forme elliptique aux extrémités de celle-ci dans la zone active. On peut également remarquer les déformations lorsqu'elles rencontrent l'îlot N^+ de drain ou de source (compression) ou le substrat (dilatation).

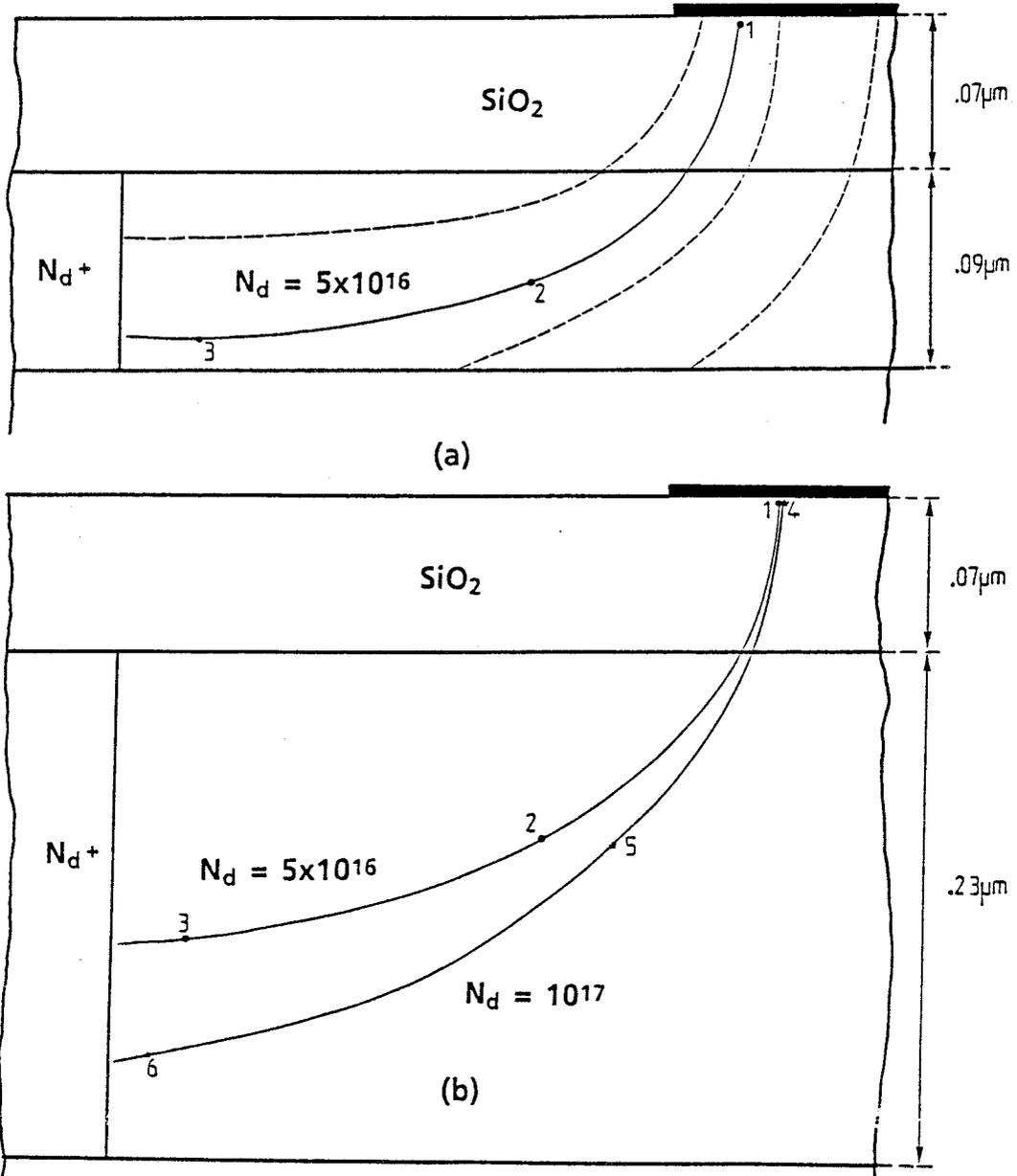


FIGURE II.7: Lignes de champ électrique correspondant au claquage par avalanche au bord de la grille pour une structure planaire avec deux épaisseurs de la zone active (a et b) et deux dopages différents (b).

Dopage (cm ⁻³)	Epaisseur du canal (μm)		Champ électrique (V/cm)	Taux d'ionisation (cm ⁻¹)
5x10 ¹⁶	0.09	1	25x10 ⁵	9.3x10 ⁻⁸
		2	5.3x10 ⁵	0.35x10 ⁵
		3	5x10 ⁵	0.2x10 ⁵
5x10 ¹⁶	0.23	1	23x10 ⁵	6.2x10 ⁻⁹
		2	4.6x10 ⁵	0.15x10 ⁵
		3	3.2x10 ⁵	0.01x10 ⁵
10 ¹⁷	0.23	4	25x10 ⁵	9.3x10 ⁻⁸
		5	4.4x10 ⁵	0.11x10 ⁵
		6	0.84x10 ⁵	5.6x10 ⁻⁹

TABLEAU II.1: Valeurs du champ électrique et des taux d'ionisation correspondant à la figure II.7.

D'autre part, les équipotentielles sont beaucoup plus serrées dans l'isolant à cause de la permittivité plus faible qui entraîne des champs électriques très élevés. Cette remarque importante implique qu'une grande partie de la tension grille se trouve dans l'isolant et laisse présager une amélioration de la tension de claquage comparée à celle d'une structure MESFET ou TEGFET.

II.4.1.1.2. LIGNES DE CHAMP ELECTRIQUE

La configuration des lignes de champ électrique déduite des équipotentielles est représentée sur la figure [II.7]. Comme pour les transistors MESFET ou TEGFET, on peut remarquer que le champ électrique prend des valeurs maximales à l'extrémité de la grille.

Ainsi, afin d'analyser cette région et de mettre en évidence les effets de bords, nous avons tracé sur les fig. [II.7.a] et [II.7.b] les lignes de champ électrique situées à l'extrémité de la grille pour deux épaisseurs de la zone active et deux valeurs du dopage. Les lignes de champ en trait plein sont celles pour lesquelles la condition d'avalanche est atteinte. Les taux d'ionisation ainsi que les champs correspondants sont rassemblés dans le tableau [II.1].

On peut remarquer qu'à mesure que l'on s'approche de l'extrémité de la grille, les lignes de champ s'incurvent et s'allongent, ceci s'expliquant par le caractère bidimensionnel des effets qui existent dans la région proche du bord de grille. Dans le but de démontrer les conséquences de ces effets nous avons tracé l'évolution du champ électrique en fonction de l'abscisse curviligne (fig. [II.8]) dans différents cas correspondant à l'axe de symétrie et à des lignes proches du bord de grille, et ceci pour deux épaisseurs de zone active. On peut constater que dans tous les cas, les valeurs les plus élevées du champ électrique sont situées dans l'isolant : ceci est dû à la permittivité diélectrique qui y est plus faible que dans le semiconducteur. D'autre part, si le champ électrique reste constant dans l'isolant sur l'axe de symétrie où il demeure perpendiculaire à la grille, ceci est de moins en moins vrai à mesure que l'on s'approche du bord de grille. D'autre part, la valeur du champ électrique et la distance sur laquelle la ligne est à champ élevé augmente ce qui entraîne le claquage par avalanche dans cette zone, résultat comparable aux structures MESFET et TEGFET [5]. Nous pouvons remarquer que le claquage, compte tenu des conditions utilisées, se produit

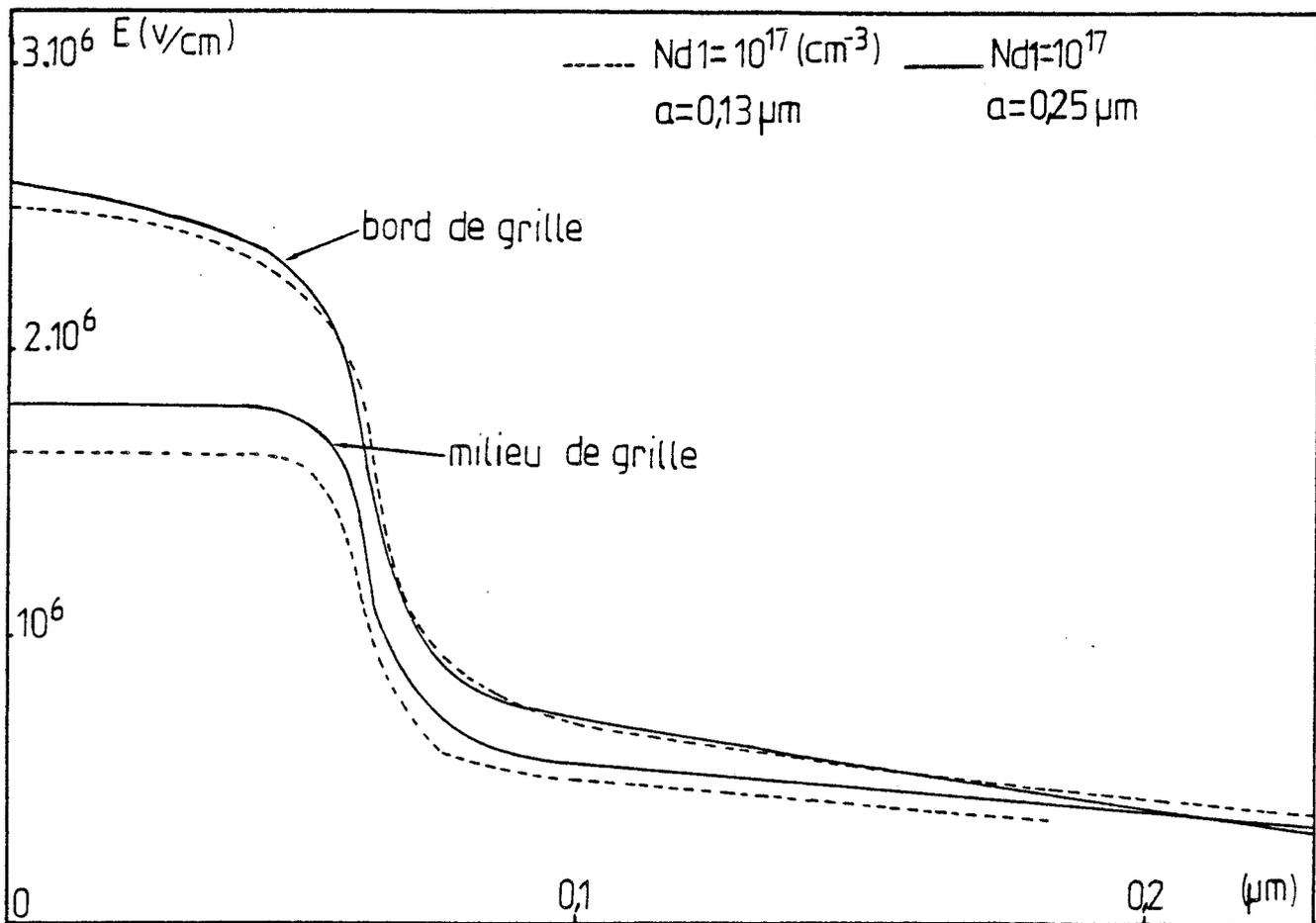


FIGURE |11.8|: Evolution du champ électrique en fonction de l'abscisse curviligne correspondant au milieu de la grille (axe de symétrie) et à des lignes proches du bord de grille.

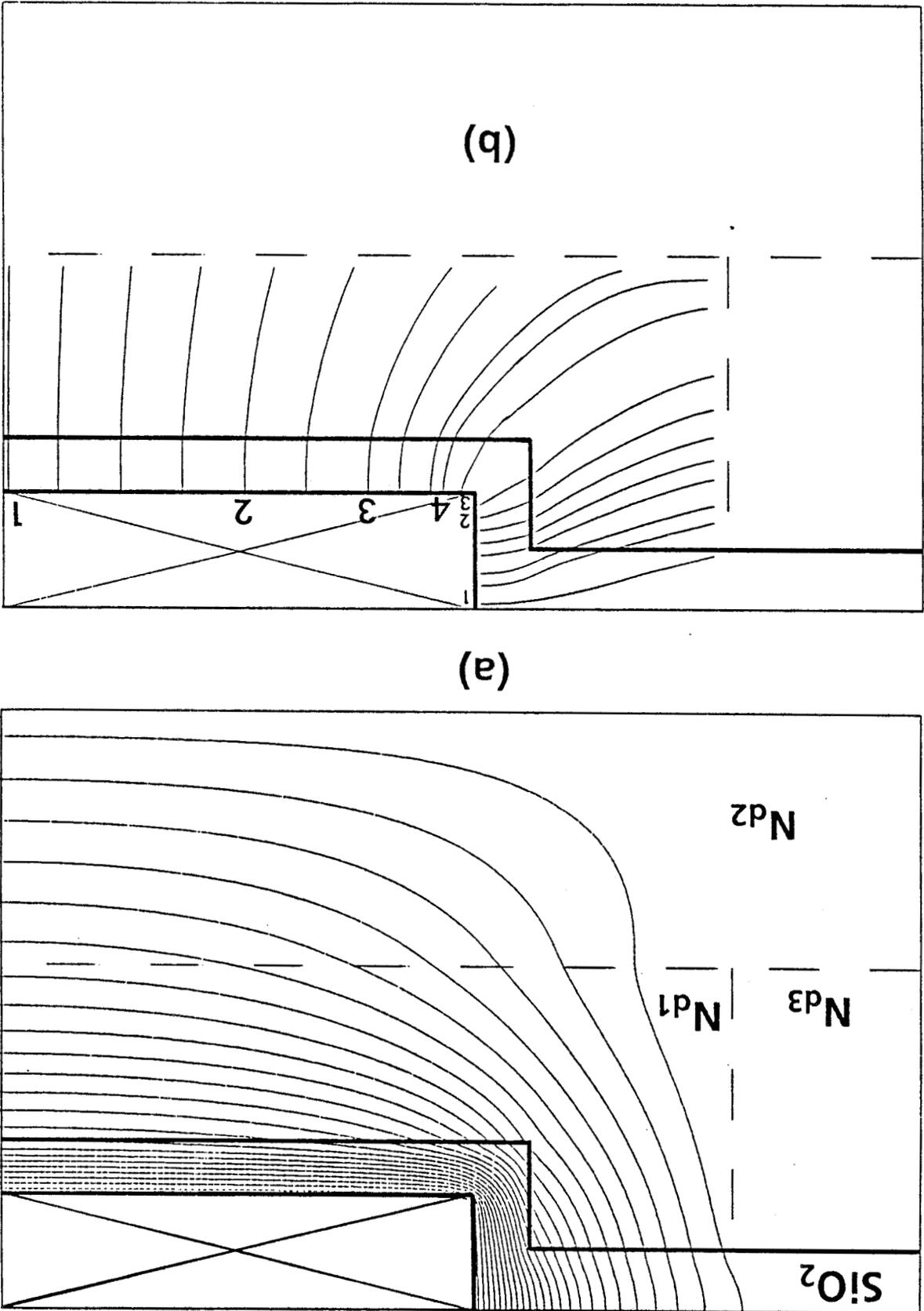
toujours dans le matériau semiconducteur InP. Il faut cependant préciser que notre modélisation ne tient pas compte de phénomènes physiques qu'il est difficile de quantifier en particulier la destruction possible de l'isolant par perçage et les problèmes de pièges à l'interface isolant semiconducteur.

II.4.1.2. STRUCTURE A GRILLE ENTERREE (RECESS)

La structure à recess de grille permet de diminuer en premier lieu les éléments parasites du transistor comme les résistances de source et de drain ce qui rend très intéressant ce type de structure. D'autre part, une amélioration de la répartition du champ électrique dans l'espace grille-drain [7, 9] a pu être mise en évidence pour d'autres types de transistors. Dans notre étude concernant le MISFET InP, nous avons considéré dans un premier temps la structure représentée figure [II.9] qui est très proche du type de composant réalisé par MESSICK et al [19] où il y a une épaisseur de diélectrique constante sur toute l'interface isolant-semiconducteur.

Nous avons représenté sur la figure [II.9], la configuration des équipotentielles obtenues au claquage par pas de 1V (Fig. [II.9.a]) et quelques lignes de champ électrique significatives (Fig. [II.9.b]). On peut remarquer que les équipotentielles sont très serrées dans l'isolant lorsque l'on se rapproche de l'extrémité de la grille indiquant la présence de champs électriques élevés dans cette région. Une analyse plus précise semble donc nécessaire dans cette zone afin de mieux comprendre les phénomènes engendrés dans la structure. Dans ce but nous avons tracé les évolutions des valeurs du champ électrique le long des différentes lignes repérées sur la figure [II.9]. La figure [II.10.a] est relative aux lignes ① ② ③ ④ sous la grille et la fig. [II.10.b] aux lignes ① ② ③ de côté de grille, pour une tension correspondant au claquage. Les différentes courbes fig. [II.10.a] sont obtenues pour l'axe de symétrie ① et des lignes de plus en plus proche du bord de grille ② à ④. Le trait pointillé désigne la limite entre l'isolant et le semiconducteur. Les lignes de champ étant presque verticales sauf pour celles proches du bord de grille, l'abscisse curviligne s et cartésienne sont quasiment confondues. On peut constater que le comportement du champ électrique et de l'ionisation sous la grille est analogue à celui relatif au modèle planaire décrit précédemment. En revanche, la situation est très différente pour la région concernant le côté de grille (flanc de recess) comme on peut le remarquer sur la

FIGURE III.91: Equipotentielles (a) et lignes de champ électrique (b) pour une structure de type recess où l'épaisseur de la zone d'isolant est supposée constante (700 Å et $N_{p1} = 10^{17} \text{ cm}^{-3}$, $N_{p2} = 10^{14} \text{ cm}^{-3}$, $N_{p3} = 10^{18} \text{ cm}^{-3}$).



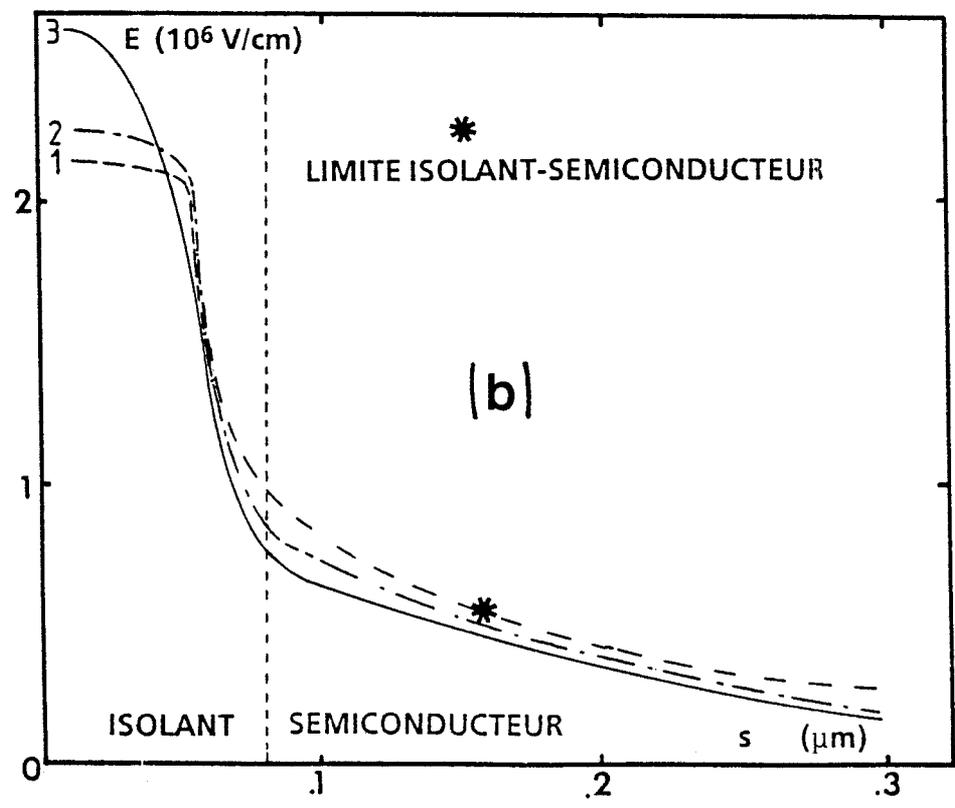
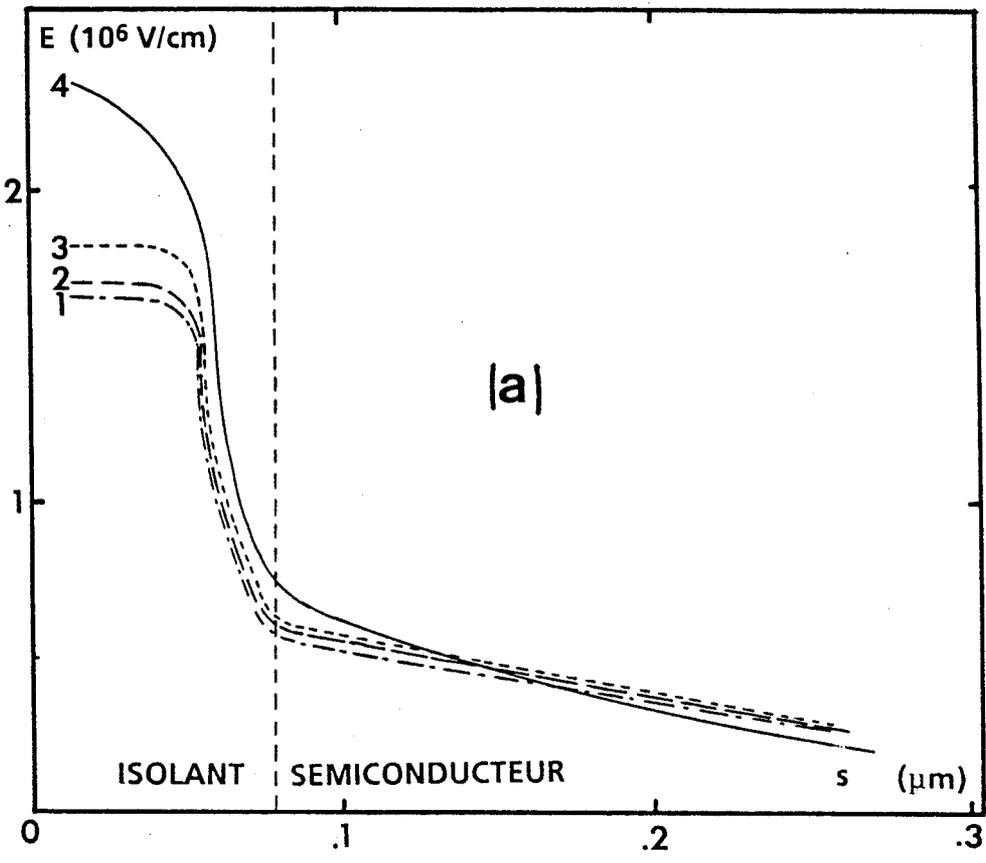
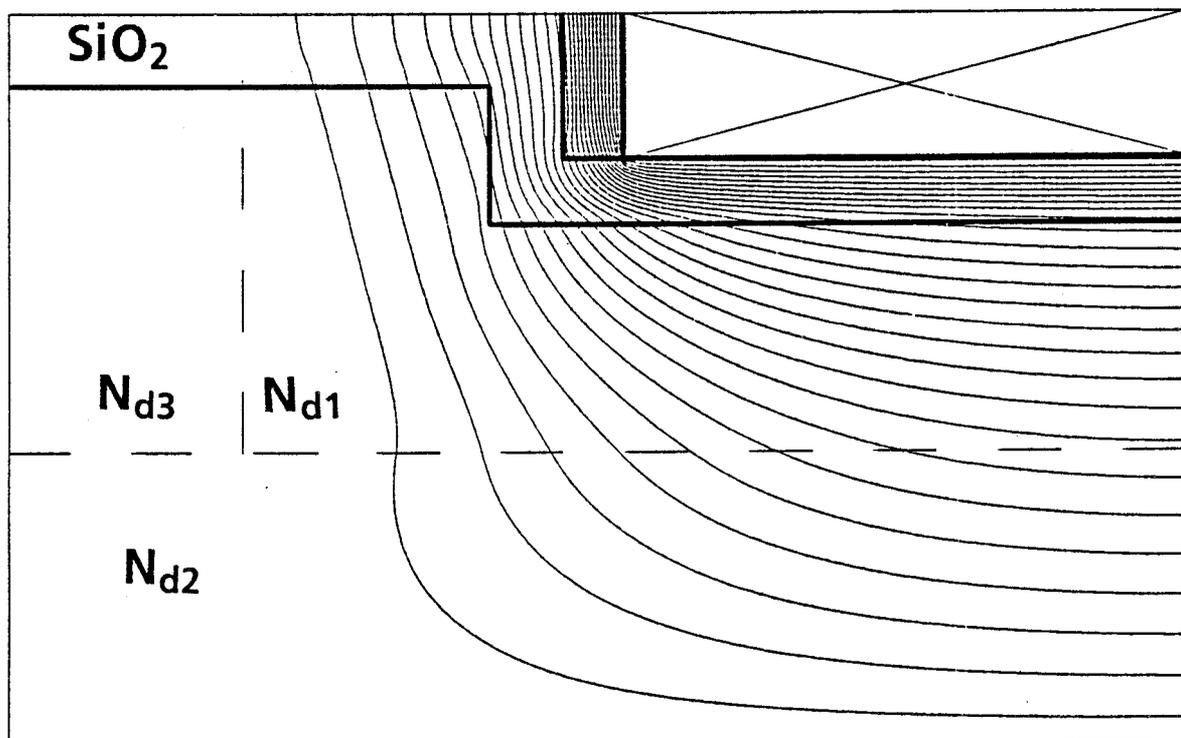
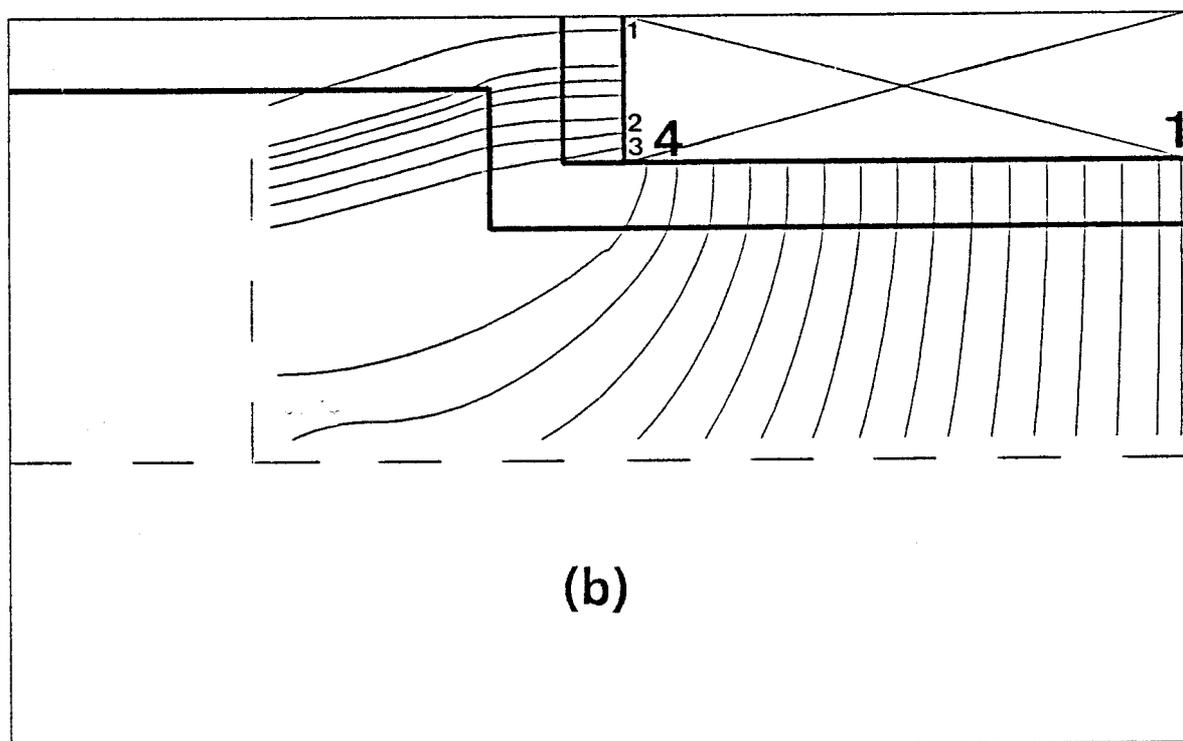


FIGURE [II.10]: Evolution des lignes de champ électrique au claquage pour une structure recess sous la grille (a) et sur le côté de la grille (b). Les nombres sur les différentes courbes correspondent à ceux de la figure II.9.



(a)



(b)

FIGURE [II.11] : Equipotentielles (a) et lignes de champ électrique (b) pour une structure de type recess comprenant un espace entre la grille et l'isolant ($N_{d1} = 10^{17} \text{ cm}^{-3}$, $N_{d2} = 10^{14} \text{ cm}^{-3}$, $N_{d3} = 10^{18} \text{ cm}^{-3}$).

fig. [II.9.b]. Si les évolutions sont identiques à celles décrites fig. [II.10.a] sous la grille, on peut cependant noter que les valeurs des champs électriques dans cette région sont plus élevées dans le semiconducteur. Compte tenu des taux d'ionisation plus importants dans le semiconducteur par rapport à l'isolant, le claquage apparaît donc dans la zone côté grille. Il est également important de signaler que le claquage est obtenu sur la ligne de champ intermédiaire ② et non sur la ligne ③ située au coin de la grille. Ceci s'explique par le fait que les valeurs du champ électrique les plus élevées dans le semiconducteur sont relevées sur cette ligne ②. Pour cet exemple de structure, le claquage sur le côté de la grille apparaît avant celui sous la grille et en conséquence la tension de claquage calculée sera plus faible que celle évaluée avec le modèle planaire. Cet exemple met en évidence l'intérêt d'une étude complète de la structure en fonction des dopages et dimensions notamment la distance grille-drain du composant.

II.4.1.3. STRUCTURE A GRILLE ENTERREE CONTENANT UNE ZONE D'AIR

Nous avons représenté respectivement sur les fig. [II.11.a] et [II.11.b] la configuration des équipotentiels et des lignes de champ électrique associées pour une telle structure pour un pas de 1 V en V_{gs} . Dans l'exemple choisi, l'épaisseur d'isolant est constante (700 Å) et la zone d'air dans le recess a une épaisseur de 650 Å. On peut remarquer sur la figure [II.11.a] que les équipotentiels sont très serrés dans l'air dû à une constante diélectrique inférieure à celle de l'isolant, elle-même inférieure à l'InP. Cette zone a par ailleurs pour effet de diminuer considérablement le champ électrique dans l'isolant et le semiconducteur se trouvant sur le flanc du recess. Ceci est illustré sur la figure [II.12.a] où nous avons représenté différentes lignes de champ en fonction de l'abscisse curviligne. On peut constater que la ligne de champ électrique ② sur le côté de la grille décrit nettement trois zones correspondant chacune à l'air, à l'isolant et au semiconducteur. Le champ électrique à l'entrée dans le semiconducteur a une valeur de 4 à 5 10^5 V/cm dans le cas de cette structure avec air comparée à une valeur de 7 à 8 10^5 V/cm pour la structure précédente "sans air".

En conséquence, pour cette structure, le claquage ne se produit plus dans la zone côté grille mais sous la grille et ceci pour une valeur de la tension V_{gs} plus élevée. On peut également remarquer la forme particulière de la ligne ①

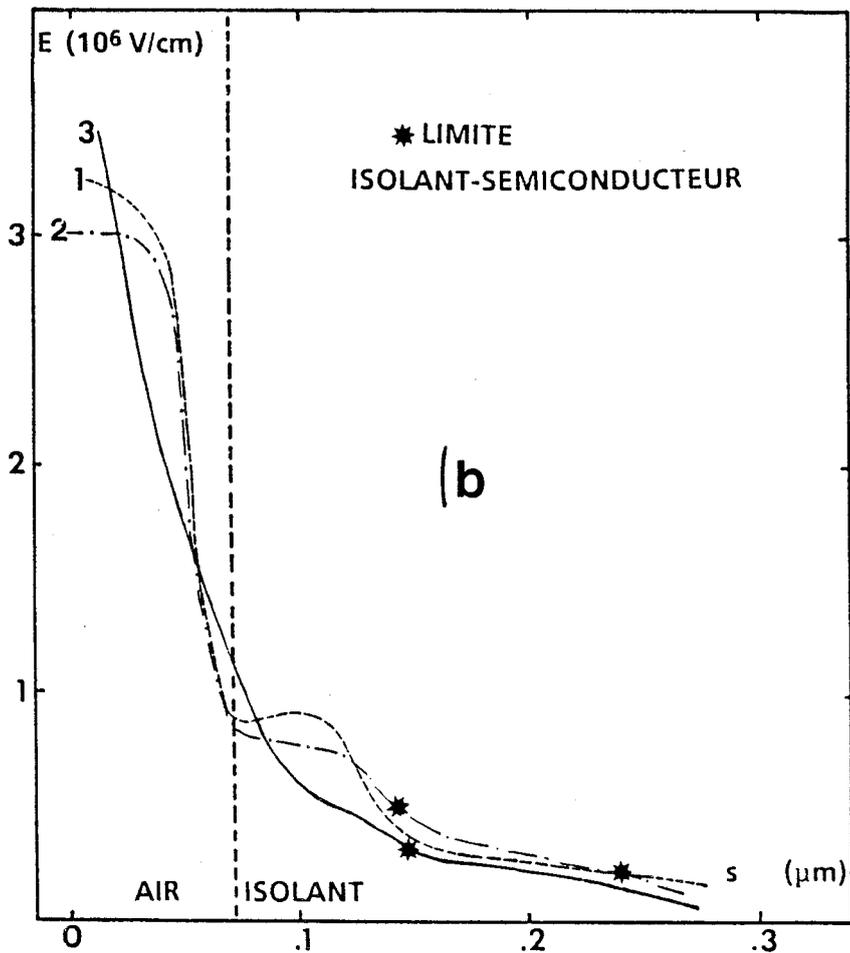
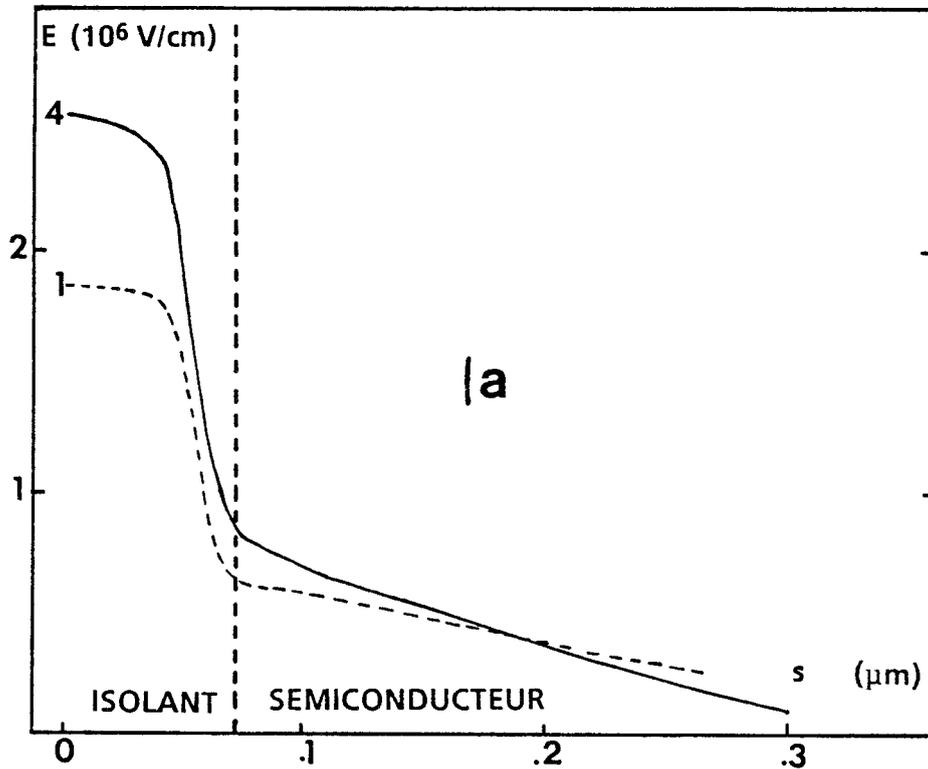


FIGURE [II.12] : Evolution des lignes de champ électrique au claquage pour une structure recess comprenant un espace entre la grille et l'isolant. Sous la grille (a) et sur le côté de la grille (b). Les nombres sur les différentes courbes correspondent à ceux de la figure II.11.

(Fig. [II.12.a]) qui reste très longtemps dans l'isolant car elle est située dans le coin du recess de grille.

En ce qui concerne l'évolution des lignes de champ sous la grille, leur comportement est analogue à celui de la structure étudiée précédemment (fig. [II.12.b]).

L'analyse de ces structures de type recess montre que les paramètres de celui-ci ont une influence importante sur le claquage du transistor. D'autre part, quelque soit le type de structure envisagé il conviendra d'utiliser une distance minimale flanc du recess-zone de contact de drain N⁺ afin d'éviter les possibilités de claquage sur le côté de la grille.

II.5. INFLUENCE DES PRINCIPAUX PARAMETRES SUR LA TENSION DE CLAQUAGE

Cette partie est consacrée à une analyse la plus complète possible, de l'influence des différents paramètres technologiques et géométriques de la structure sur l'apparition du claquage par avalanche. Nous essayerons en particulier de dégager des critères d'optimisation permettant la réalisation de transistors MISFET InP dont la tenue en tension au pincement soit la plus élevée possible.

II.5.1. EVOLUTION DE LA TENSION DE CLAQUAGE EN FONCTION DU DOPAGE ET DE L'ÉPAISSEUR DE LA ZONE ACTIVE

Si la distance grille drain est suffisamment élevée, le claquage par avalanche se produit sous la grille (paragraphe II.4.1.3). Dans ces conditions, il est possible d'effectuer l'étude de l'influence du dopage et de l'épaisseur de la zone active sur la tension de claquage à partir du modèle planaire qui est moins lourd à mettre en oeuvre.

Nous avons représenté sur la fig. [II.13] l'évolution de la tension de claquage d'un MISFET InP en fonction du dopage de la zone active N_{d1} pour

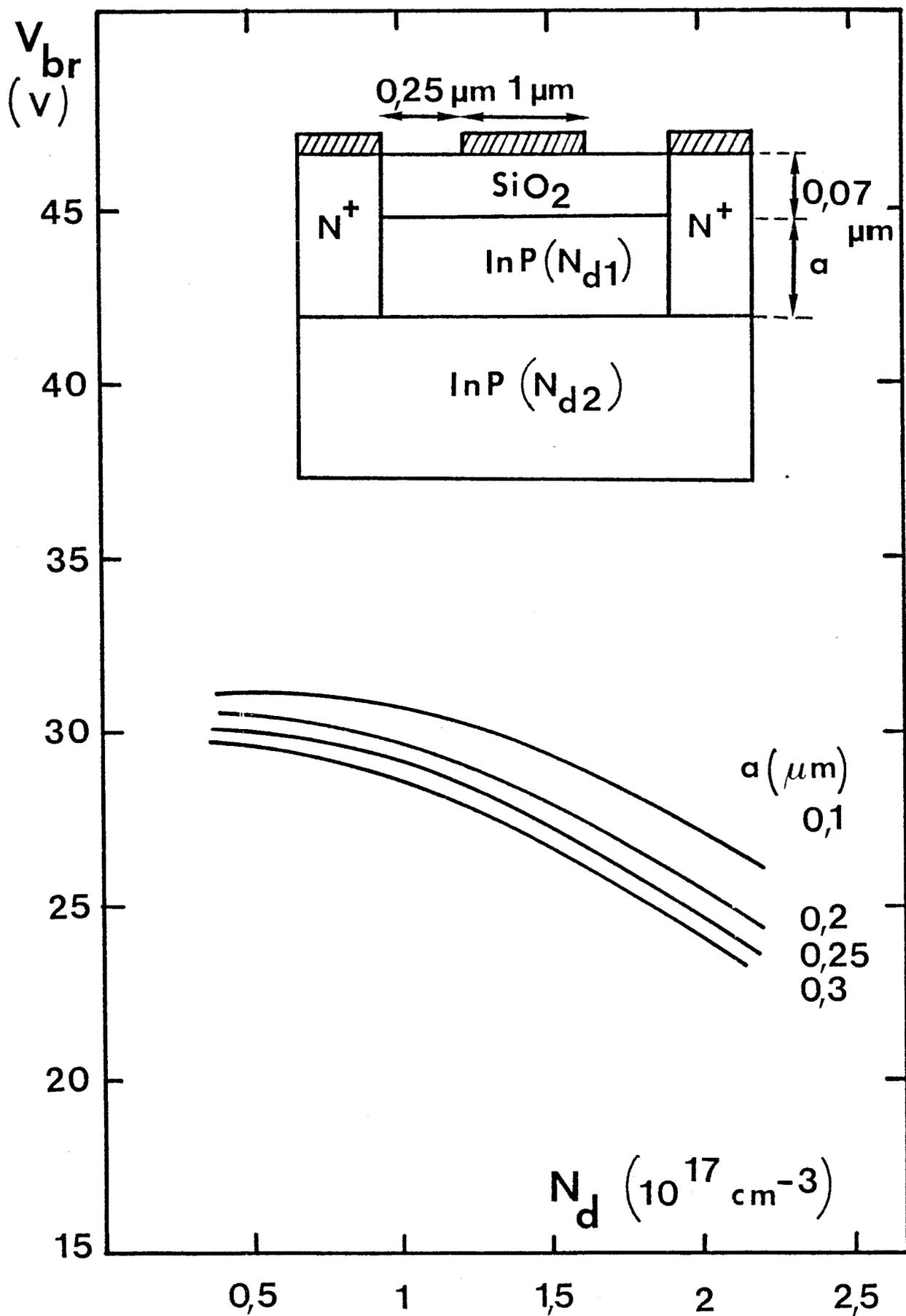


FIGURE [II.13]: Evolution théorique de la tension de claquage en fonction du dopage et de l'épaisseur de la zone active.

différentes épaisseurs de celle-ci. On peut constater que la tension de claquage est une fonction décroissante du dopage N_{d1} et de l'épaisseur de zone active, ce qui correspond à une évolution similaire à celles du MESFET GaAs et du TEGFET GaAlAs/GaAs [5]. Il faut néanmoins mentionner que les variations [3, 5] en fonction du dopage de la zone active sont nettement plus prononcées pour ces derniers, la raison étant probablement la présence de l'isolant qui amortit cette variation dans le cas du MISFET InP. En ce qui concerne la valeur de la tension de claquage, on constate que celle-ci est sensiblement plus élevée que pour les deux composants cités précédemment. En effet, les tensions de claquage sont de l'ordre de 30 V alors que pour un MESFET GaAs de structure analogue elle n'est que de 12 V et de 20 V pour un TEGFET [5]. Deux avantages essentiels sont à l'origine de cette supériorité, d'une part l'isolant qui supporte une large partie de la tension et joue un rôle de tampon n'existant pas dans les structures MESFET et d'autre part le fait que l'ionisation se produit dans l'InP matériau moins ionisant que le GaAs.

Il est aussi important de préciser que l'évaluation de la tension de claquage ne constitue qu'un des aspects fondamentaux relatif à l'acquisition d'une puissance élevée. La figure [II.13] indique que l'obtention d'une tension de claquage maximale passe par un dopage relativement peu élevé et une zone active peu épaisse, comme pour le MESFET GaAs [2] mais ces conditions amènent une limitation du courant drain dans le canal ce qui nécessite un compromis entre le couple épaisseur-dopage de zone active et le courant I_{dss} du transistor qui doit être le plus important possible pour un fonctionnement en puissance. Il semble qu'un dopage de l'ordre de 10^{17} cm^{-3} et une épaisseur de zone active de l'ordre de $0,2 \mu\text{m}$ constituent des valeurs optimales, valeurs qui seront utilisées dans le reste de l'étude.

II.5.2. EVOLUTION DE LA TENSION DE CLAQUAGE EN FONCTION DE LA DISTANCE GRILLE-DRAIN

Le claquage dans un transistor à effet de champ se produit généralement dans l'espace grille-drain où les valeurs du champ électrique sont les plus élevées [8]. La distance L_{gd} qui sépare l'extrémité de la grille de la zone N^+ de drain apparaît donc être un paramètre important dans l'évaluation de la tension de claquage. Pour estimer l'influence de cette distance dans le cas d'une

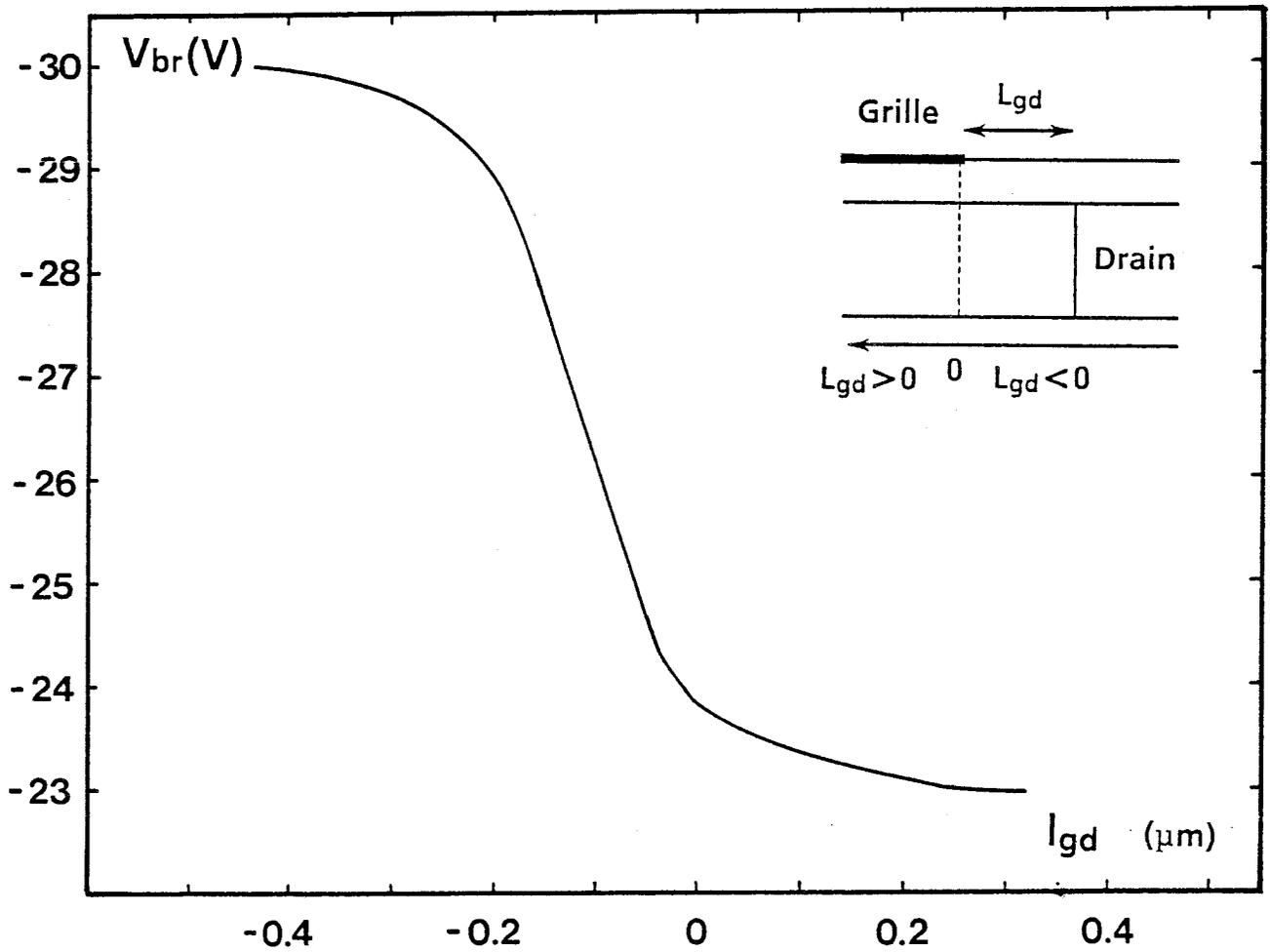


FIGURE |II.14|: Evolution de la tension de claquage en fonction de la distance grille-drain L_{gd} pour un MISFET InP.

structure planaire, nous avons représenté sur la courbe fig. [II.14] l'évolution de la tension de claquage en fonction de L_{gd} . Cette figure nous montre que cette tension décroît lorsque la zone N^+ se rapproche de la grille. Ceci s'explique assez facilement par le fait que plus L_{gd} diminue, plus les équipotentielles sont resserrées et en conséquence le champ augmente dans cette zone, résultat corroboré d'ailleurs par les travaux de ZAITLIN sur les MESFET GaAs [3].

La tension maximale de claquage est obtenue pour une distance L_{gd} minimale de $0,5 \mu m$, la tension n'évoluant pratiquement plus au delà de cette distance. Ce résultat est tout à fait analogue à l'étude théorique effectuée par ZAITLIN [3] et confirmé dans notre laboratoire par des mesures expérimentales utilisant des transistors MESFET GaAs de longueur de grille variable où pour une distance L_{gd} supérieure à $1 \mu m$ la tension de claquage reste constante [5]. En conclusion de cette étude, pour un MISFET InP, la distance entre la zone N^+ de drain et le bord de grille doit être supérieure à $0,5 \mu m$. Cette valeur a été retenue pour la suite de cette étude.

II.5.3. EVOLUTION DE LA TENSION DE CLAQUAGE EN FONCTION DES PARAMETRES DU RECESS DE GRILLE

L'influence des différents paramètres du recess de grille sur la tension de claquage constitue une information importante pour la réalisation de transistors de puissance. Dans ce but, une étude de la tension de claquage en fonction de la distance (I_2) bord de grille-semiconducteur pour différentes épaisseurs de la couche isolante (I_1) sous la grille a été effectuée. Nous avons réalisé cette étude pour une structure comportant uniquement de l'isolant sous et sur le côté de la grille. La courbe de la Fig. [II.15] montre l'existence de deux zones.

- A mesure que la distance I_2 s'accroît, la tension de claquage reste constante et ne dépend que de l'épaisseur d'isolant I_1 sous la grille. Dans ce cas, le recess de grille n'a pas d'effet et le claquage prend naissance sous la grille. On peut aussi remarquer une forte dépendance de la tension de claquage avec l'épaisseur d'isolant sous la grille. Cependant, une augmentation de cette épaisseur reste défavorable à l'obtention d'une bonne transconductance dû au fait que l'isolant amortit considérablement la commande de charge du canal. Le choix

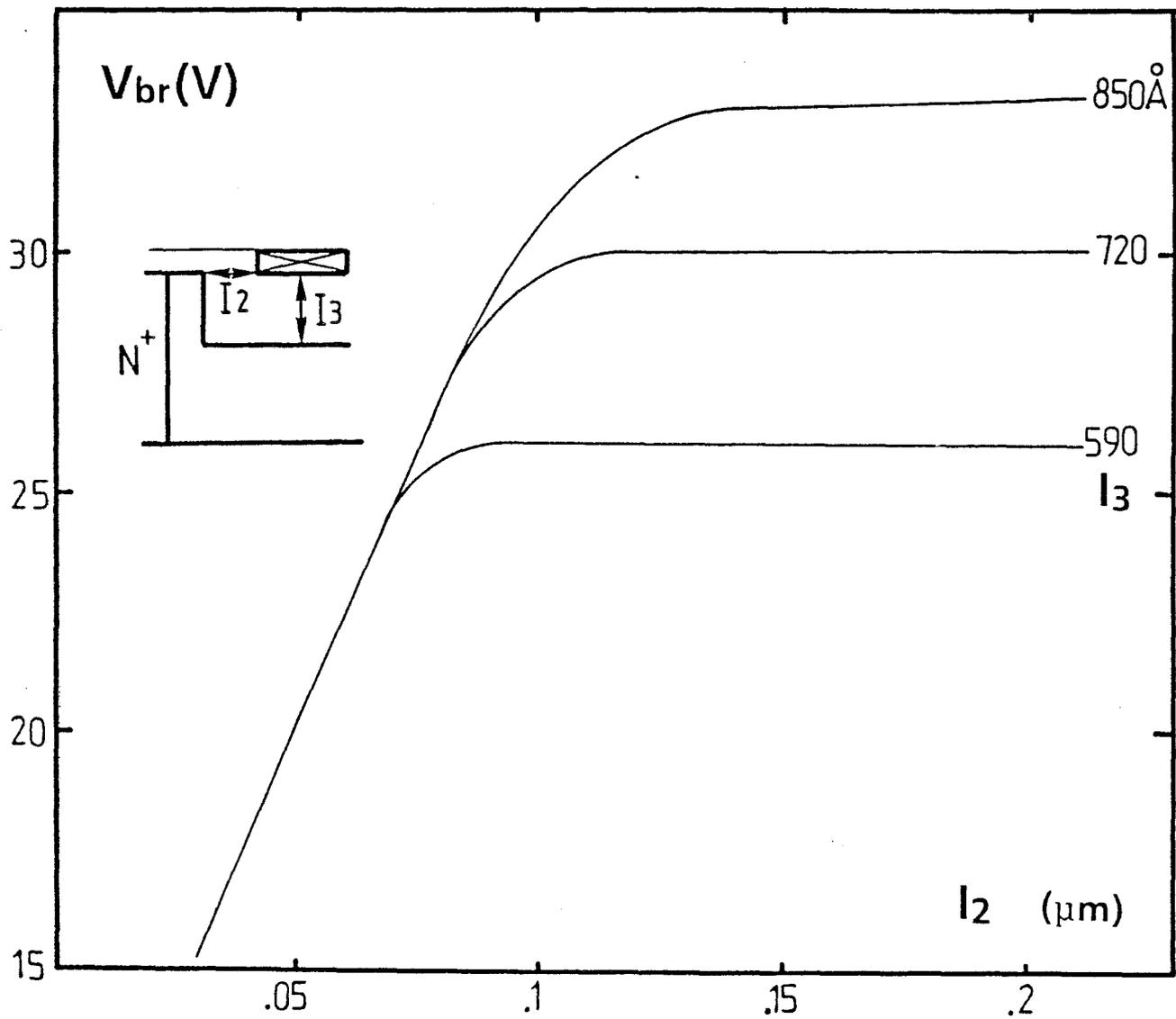


FIGURE [II.15]: Tension de claquage en fonction de la distance grille-semiconducteur l_2 dans la zone du recess pour différentes épaisseurs de la zone d'isolant l_3 sous la grille.

de l'épaisseur d'isolant doit donc prendre en compte la tension de claquage mais aussi l'influence de celui-ci sur le gain et la fréquence de coupure du transistor. Cette analyse implique la recherche d'un compromis entre ces différents paramètres, compromis qui ne peut être trouvé à l'aide du modèle décrit ici mais qui sera développé dans les chapitres suivants à partir d'un modèle plus complet tenant compte du courant drain.

Lorsque la distance I_2 diminue, la tension de claquage décroît. La limite de la saturation apparaissant pour une distance I_2 plus importante lorsque l'épaisseur d'isolant I_1 augmente. Pour une longueur I_2 du recess très faible, on peut remarquer que le claquage est indépendant de l'épaisseur d'isolant I_1 sous la grille, celui-ci se produisant sur le côté de la grille (flanc de recess). Dans ce cas, la tension de claquage décroît sensiblement et il faut considérer une distance I_2 minimale afin d'obtenir une tension de claquage optimale.

Nous avons aussi estimé l'influence de la profondeur du recess de grille sur la tension de claquage. Cette étude a montré que, ce paramètre n'a qu'une influence très faible sur celle-ci, la tension passant de -28V à -26V lorsque la distance varie de 0.12 μm à 0.3 μm . Cependant, le choix de la profondeur du recess est aussi conditionné par deux autres aspects du composant, le premier relatif aux résistances d'accès et le second à la capacité grille-drain. L'augmentation de la profondeur du recess sera favorable pour les résistances d'accès mais néfaste sur la capacité grille-drain et donc sur le gain du composant [2]. On peut donc difficilement conclure sur le choix optimum d'une profondeur de recess en retenant comme seul critère celui de la tension de claquage maximale, sans tenir compte d'autres paramètres comme le gain ou la fréquence de coupure.

II.6. CONCLUSION

La mise au point d'une modélisation bidimensionnelle sans courant nous a permis d'analyser l'apparition du claquage dans le MISFET InP. Ce modèle peut, moyennant quelques modifications être facilement adapté à d'autres structures (TEGFET, MIS-Like FET...) [17, 18]. Nous avons pu étudier finement la configuration du champ électrique dans l'espace grille-drain du transistor et déterminer la tension de claquage au pincement. Les résultats ont montré que la structure MISFET InP présente une tension de claquage très supérieure à celle du MESFET GaAs ou du TEGFET GaAlAs/GaAs [5].

Cette étude a aussi permis de dégager des règles d'optimisation en fonction des paramètres technologiques et géométriques du composant et d'en déduire la structure ayant la tension de claquage la plus élevée.

Cependant, la tension de claquage ne constitue qu'un des éléments importants pour la conception de composants de puissance. D'autres paramètres comme le courant maximal disponible, la transconductance, le gain et la fréquence de coupure du transistor représentent des éléments dont il faut tenir compte dans l'analyse des potentialités du MISFET InP. Une analyse plus complète de cette étude, utilisant d'autres logiciels, est l'objet des prochains chapitres.

BIBLIOGRAPHIE

- [1] "Control of gate-drain avalanche in GaAs MESFET's"
STUART H. WEMPLE, W.C. NIEHAUS, H.M. COX, J.V. DILORENZO,
W.O. SCHLOSSER
IEEE Trans. on Electron Devices, Vol. ED-27, n° 6, Juin 80.
- [2] "Power-limiting breakdown effects in GaAs MESFET's"
W.R. FRENSLEY
IEEE Trans. on Electron Devices, Vol. ED-28, N° 8, Sept. 81.
- [3] "Reverse breakdown in GaAs MESFET's"
M.P. ZAITLIN
IEEE Trans. on Electron Devices, Vol. ED-33, n° 11, Nov. 86.
- [4] "Theoretical analysis of the DC avalanche breakdown in GaAs MESFET's"
R. WROBLEWSKI, G. SALMER, Y. CROSNIER
IEEE Trans. on Electron Devices, Vol. ED-30, n° 2, Fev. 83.
- [5] "Etude comparative du claquage dans les transistors à effet de champ de puissance, MESFET, TEGFET et MISFET"
J.C. DE JAEGER, F. TEMCAMANI, M. LEFEBVRE, R. KOZLOWSKI, P. FELLON, J. PRIBETICH, Y. CROSNIER
Revue Phys. Appl. 23 (1988) pp. 1205-1213.
- [6] "Analysis of submicron-gate GaAs MESFET's"
O. EL SAYED, S. EL GHAZALI, G. SALMER and M. LEFEBVRE
Solid State Electron, Vol. 30, 1987, pp. 643-654.
- [7] "Surface potential effect on gate-drain avalanche breakdown in GaAs MESFET's"
H. MIZUTA, K. YAMAGUCHI, S. TAKAHACHI
IEEE Trans. on Electron Devices, Vol. ED-34, N° 10, Oct. 87.
- [8] "Light emission and burn out characteristics of GaAs power MESFET's"
R. YAMAMOTO, A. HIGASHISAKA and F. HASEGAWA
IEEE Trans. on Electron Devices, Vol. ED-25, Juin 78.
- [9] "Improvement of the drain breakdown voltage of GaAs power MESFET's by a simple recess structure".
T. FURUTSUKA, T. TSUJI, F. HASEGAWA
IEEE Trans. on Electron. Devices, Vol ED-25, n° 6, Juin 78.
- [10] "Prebreakdown phenomena in GaAs epitaxial layers and FET's "
CHRISTOS TSIRONIS
IEEE trans. on Electron Devices, Vol. ED-27, n° 1, Janvier 80.
- [11] "Limitations fondamentales des transistors à effet de champ de puissance au GaAs"
G. SALMER, Y. CROSNIER, R. WROBLEWSKI, G. HALKIAS, H. GERARD
Rapport final de contrat DAI-CNET (1983).

- 7
- [12] "Etude des singularités de champ électrique dans un transistor à effet de champ au GaAs - claquage au contact Schottky de grille - non linéarité de la résistance d'accès de source".
Diplôme d'études approfondies, G. HALKIAS, Lille (1981).
- [13] "The potential due to a charged metallic strip on a semiconductor surface"
E. WASSERSTROM and J.Mc. KENNA
The bell system technical journal, may-june 1970, pp. 853-877.
- [14] "Impact ionization by electrons and holes in InP"
C. KAO, C.R. CROWELL
Solid. State Electron., Vol. 23, 1980, pp. 881-891.
- [15] "Comparative studies of tunnel injection and irradiation on metal oxide semiconductor structures"
M. KNOLL, D. BRÄUNIG, W.R. FAHRNER
J. Appl. Phys. 53, Oct. 82, pp. 6946-6952.
- [16] "Hole trapping and breakdown in thin SiO₂"
I.C. CHEN, S. HOLLAND, S. HU
IEEE Electron Device Lett., 1986, Vol. 7, pp. 164-167.
- [17] Thèse de l'université
F. TEMCAMANI, Lille (à paraître).
- [18] Thèse de l'université
B. BONTE, Lille (à paraître).
- [19] "High-power high-efficiency stable indium phosphide MISFET"
L. MESSICK, D.A. COLLINS, R. NGUYEN, A.R. CLAWSON and G.E. Mc WILLIAMS
IEDM 86, pp. 767-770.

CHAPITRE III

ELABORATION D'UN MODELE POUR LE MISFET InP EN REGIMES DE DESERTION ET D'ACCUMULATION

III.1. INTRODUCTION

La modélisation développée dans le chapitre précédent nous a permis d'effectuer une étude très complète des phénomènes liés au claquage du transistor MISFET InP au pincement et a mis en évidence une tension de claquage plus élevée que celles d'autres structures comme le MESFET GaAs ou le TEGFET GaAlAs/GaAs.

Dans ce chapitre, nous nous proposons de développer un modèle pseudo-bidimensionnel applicable aux structures MISFET, dérivé de celui élaboré par A. CAPPY au laboratoire pour le MESFET GaAs [1]. Celui-ci permet d'établir une autre grandeur importante pour les transistors de puissance : le courant drain maximum admissible, mais également les paramètres du schéma équivalent petit signal ainsi que la fréquence de coupure et le gain.

Le modèle mis au point prend en compte les spécificités de la structure MISFET InP. Pour cela nous avons introduit une zone d'isolant sous la grille et pris en considération les modifications qu'elle pouvait apporter sur les phénomènes physiques mis en jeu dans le composant. De plus, nous avons tenu compte de la possibilité d'un fonctionnement en régime d'accumulation ce qui constitue la grande particularité des structures de type MIS. Enfin, nous avons également considéré dans la modélisation le phénomène de multiplication des porteurs par avalanche dans le canal du transistor nous permettant ainsi d'établir les limites de la tenue en tension en présence de courant et complétant l'étude effectuée au chapitre précédent.

III.2. ASPECTS PARTICULIERS DE LA STRUCTURE MISFET InP DE PUISSANCE

Avant de décrire le modèle pseudo-bidimensionnel mis au point, il est nécessaire de préciser les principales particularités de la structure MISFET InP par rapport à celle du MESFET GaAs.

Outre l'emploi du matériau InP, la première modification concerne l'utilisation d'un contact métal-isolant-semiconducteur au lieu d'une jonction métal-semiconducteur (Schottky). Ceci nécessite l'introduction de l'isolant sous la

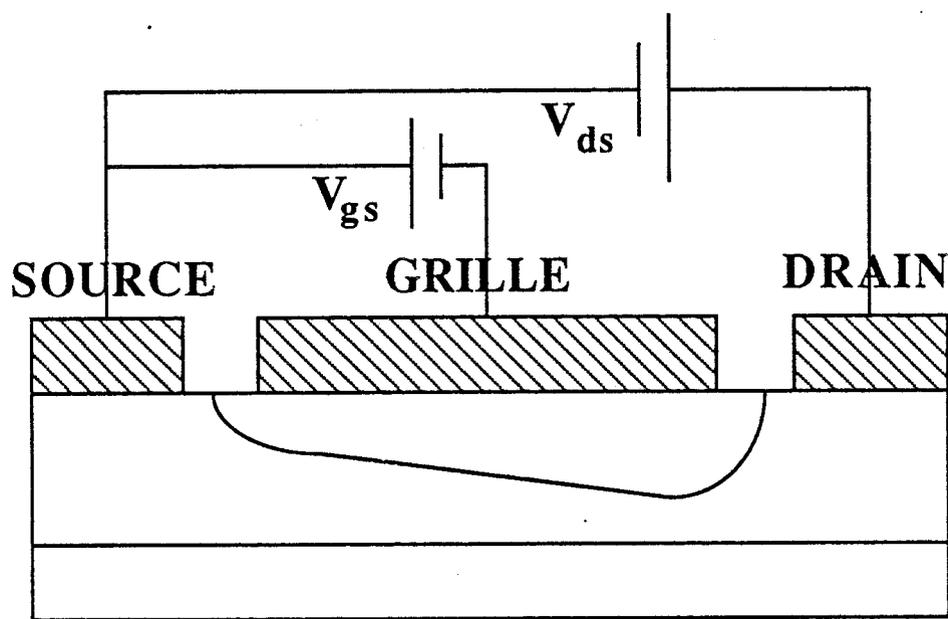


FIGURE [III.1]: Profil de la zone désertée sous la grille pour une structure de type MESFET.

grille du transistor et implique l'élaboration d'une commande de charge différente.

Un autre aspect particulier de la structure MISFET est lié aux modes de fonctionnement possibles. Le transistor MISFET InP présente en effet la particularité de pouvoir supporter des polarisations de grille largement positives [2] sans amener de courant grille à l'inverse du MESFET GaAs qui reste limité à une tension positive égale à la tension de barrière du contact Schottky, soit environ + 0,7 V. En conséquence, deux types de structures sont envisageables :

- le transistor MISFET InP à canal dopé où deux modes de fonctionnements sont possibles : désertion et accumulation [3] ;
- le transistor MISFET InP à canal non dopé où seul le régime d'accumulation est existant [4].

Ceci nous a amené à introduire dans la modélisation le mode d'accumulation en plus de celui de désertion déjà élaboré par A. CAPPY pour le MESFET GaAs [1]

III.2.1. MISFET InP A CANAL DOPE (NORMALLY-ON)

Le transistor MISFET InP à canal dopé peut fonctionner en mode de désertion lorsque la polarisation de grille est négative, tout comme le MESFET GaAs, et également en mode d'accumulation lorsque la tension grille devient positive. Il en résulte une étude physique plus complexe car plusieurs cas sont possibles selon les polarisations de grille et de drain.

Le premier cas qui est le plus simple est celui où $V_{ds} > 0$ et $V_{gs} < 0$. Cette situation correspond au mode classique de désertion où une zone désertée existe partout sous la grille (Fig. [III.1]).

Le second cas est celui où $V_{ds} > 0$ et $V_{gs} > 0$. Dans ces conditions un phénomène d'accumulation peut se produire localement sous la grille. L'apparition de celui-ci dépend des valeurs des tensions V_{ds} et V_{gs} appliquées au

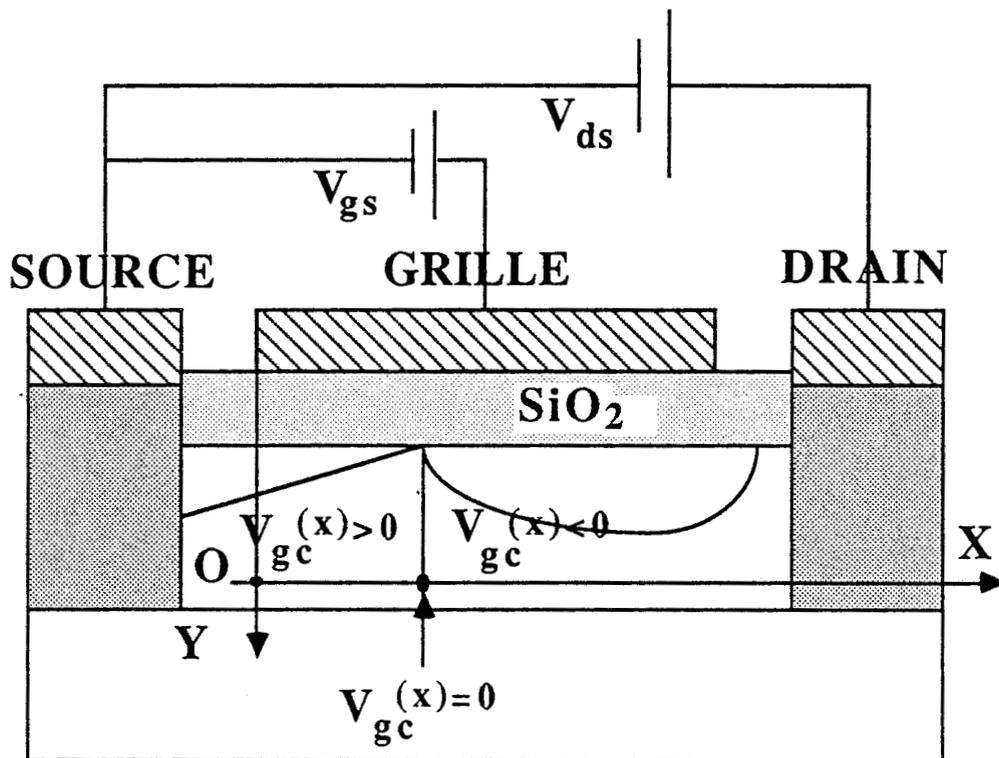


FIGURE III.2]: Structure du MISFET InP montrant en fonction de la tension grille-canal $V_{gc}(x)$ le fonctionnement en accumulation ($V_{gc}(x) > 0$) ou en désertion ($V_{gc}(x) < 0$).

composant. En effet, si on considère pour une abscisse donnée la tension grille-canal $V_{gc}(x) = V_{gs} - V_{ds}(x)$ celle-ci, peut être localement positive ou négative ce qui correspond à l'existence d'un phénomène d'accumulation associé à un phénomène de désertion. La figure [III.2] illustre cette configuration la plus complexe où l'on trouve une zone accumulée à gauche sous la grille suivie d'une zone désertée, la limite entre ces deux zones étant caractérisée par le passage de la tension $V_{gc}(x)$ d'une valeur positive (zone accumulée) à une valeur négative (zone désertée).

III.2.2. MISFET InP A CANAL NON DOPE (NORMALLY-OFF)

Le fonctionnement du MISFET InP à canal non dopé est a priori moins complexe puisque seule une tension de grille $V_{gs} > 0$ permet le passage d'un courant drain-source, ce qui correspond au mode à enrichissement classique. Tant que la tension grille est inférieure à une tension de seuil, le courant dans le transistor est nul. Ensuite, lorsqu'elle est supérieure, le courant drain à tension drain-source donnée est proportionnel à cette tension grille. Cependant, pour une tension grille fixée supérieure à la tension de seuil, la croissance de la tension drain-source entraîne à partir d'un certain seuil V_{dsat} le régime saturé du transistor et la naissance d'une zone désertée sous la grille côté drain ce qui nous ramène au cas de la figure [III.2]. Il en résulte d'après cette description simplifiée du fonctionnement du transistor que finalement les composants normally-on et normally-off ont des comportements relativement analogues en accumulation.

III.2.3. CLAQUAGE PAR AVALANCHE DANS LE CANAL

Le but de notre étude est de caractériser les transistors de type MISFET InP et de déterminer leurs potentialités pour les applications de puissance. Il est donc apparu important d'introduire dans le modèle le claquage par avalanche dans le canal du transistor en présence de courant drain afin de déterminer la tenue en tension de celui-ci. D'autre part, notre modèle peut prendre en compte différentes géométries de la structure permettant d'évaluer en particulier l'influence d'un recess de grille sur la tension de claquage.

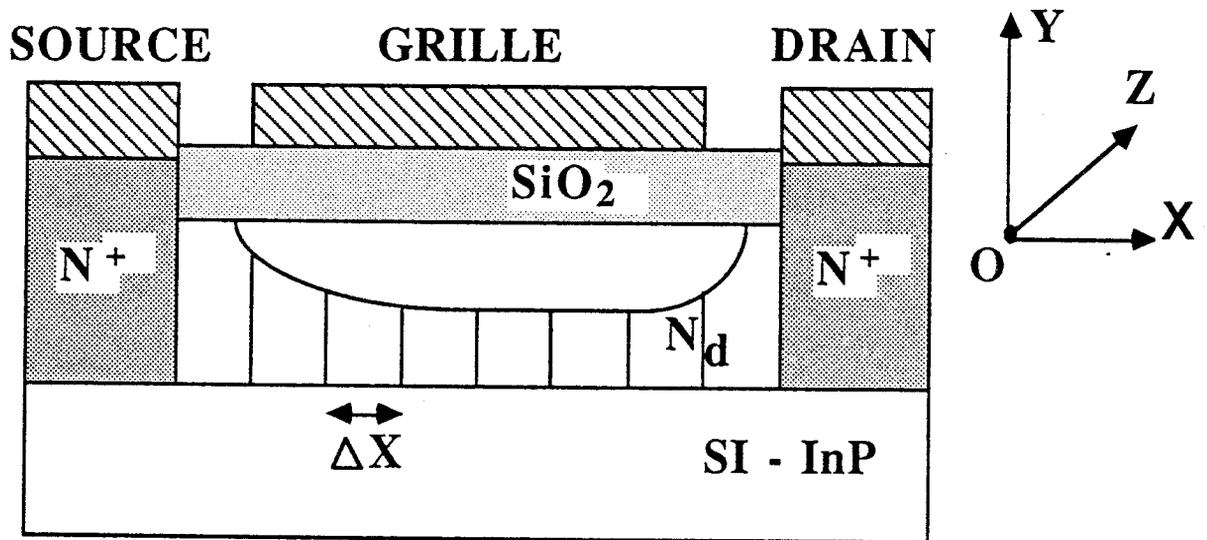


FIGURE [III.3]: Schéma du transistor utilisé pour le modèle pseudo-bidimensionnel.

Après avoir précisé les spécificités de la structure MISFET InP, nous allons dans la partie suivante expliciter la façon dont nous avons introduit celles-ci dans notre modélisation.

III.3. DESCRIPTION DU MODELE

La méthode numérique que nous avons utilisée est pseudo-bidimensionnelle dans la mesure où elle permet de traiter séparément les phénomènes physiques dans le sens transversal (axe Oy) et dans le sens longitudinal (axe Ox) (Figure [III.3]). Dans une première étape nous évaluons la commande de charge selon le mode de fonctionnement (accumulation ou désertion) suivant l'axe vertical Oy. Ensuite, connaissant les paramètres suivant Oy nous résolvons dans une seconde étape simultanément les équations fondamentales des semiconducteurs (équation de Poisson et de continuité) et les équations fondamentales de la dynamique non stationnaire suivant l'axe horizontal Ox, en considérant que dans le canal du transistor les grandeurs ne dépendent que de l'abscisse x. Nous appliquons ce traitement pour chaque abscisse en parcourant le composant de la source au drain.

III.3.1. STRUCTURE ETUDIEE

Nous avons représenté sur la figure [III.3] le schéma de la structure utilisée dans la modélisation, ainsi que le système d'axe (Ox, Oy, Oz) suivant lequel les équations sont résolues. Le composant est divisé en tranches d'épaisseur Δx suivant l'axe horizontal. La structure est identique au MESFET à ceci près que le contact Schottky de grille est remplacé par une jonction métal-isolant-semiconducteur. Signalons que la structure représentée figure [III.3] est planaire mais que l'introduction du recess de grille peut s'effectuer sans modifications importantes.

III.3.2. HYPOTHESES DU MODELE

Les principales caractéristiques du modèle sont la prise en compte d'une part des effets de dynamique électronique non stationnaire apparaissant

dans les transistors à effet de champ à longueur de grille submicronique et d'autre part des effets de bords de grille [5].

Cependant, la modélisation comporte un certain nombre d'hypothèses qui sont les suivantes :

- les équipotentiels dans le canal et hors de la zone désertée sont perpendiculaires à l'axe source-drain ce qui est le cas en pratique ;

- la zone isolante et la zone de charge d'espace sous la grille sont vides de porteurs ;

- l'interface isolant-semiconducteur est supposée exempte d'états d'interface (pas de pièges) ce qui est justifié en pratique où ceux-ci semblent inopérants en hyperfréquences [6, 7] ;

- le dopage de la zone active est homogène.

III.3.3. ETUDE SUIVANT L'AXE VERTICAL O_y

Le calcul de la commande de charge sous la grille suivant l'axe vertical dépend du mode de fonctionnement.

- En régime de désertion, le problème principal consiste à évaluer la forme de la zone désertée ;

- En régime d'accumulation, il faut déterminer la densité de porteurs accumulés sous la grille en fonction des conditions de polarisation.

Comme nous l'avons déjà précisé, lorsque l'on parcourt le composant suivant l'axe O_x , le mode de fonctionnement est déterminé par l'analyse du signe de la tension grille-canal $V_{gc}(x)$.

III.3.3.1. EVALUATION DE LA COMMANDE DE CHARGE EN REGIME DE DESERTION

III.3.3.1.1. CALCUL DE L'ÉPAISSEUR DE LA ZONE DESERTÉE UNIDIMENSIONNELLE A $V_{ds} = 0$

Lorsque la tension V_{gs} est négative, c'est-à-dire en désertion, le paramètre à calculer est l'épaisseur de la zone désertée sous la grille et cela pour chaque abscisse. Pour des points situés au milieu de la grille lorsque la tension drain-source V_{ds} est nulle, la largeur de la zone désertée est quasiment unidimensionnelle suivant Oy. Dans ce cas, elle peut être déterminée à partir de la loi de Shockley classique incluant l'épaisseur de l'isolant sous la grille.

La relation obtenue est la suivante (le détail des calculs est précisé en annexe IV).

$$[III.1] \quad R = Y_I \left[1 - \frac{\epsilon_s}{\epsilon_I} \right] + \sqrt{\left(\frac{\epsilon_s Y_I}{\epsilon_I} \right)^2 + \frac{2\epsilon_s}{q N_d} V_{gc}}$$

où y_I est l'épaisseur de l'isolant

N_d est le dopage de la zone active

ϵ_s, ϵ_I les permittivités diélectriques du semiconducteur et de l'isolant

V_{gc} la tension grille-canal

Nous avons cherché à vérifier la validité de cette loi simplifiée à l'aide de notre modélisation bidimensionnelle sans courant exposée au premier chapitre. Pour effectuer cette comparaison, nous pouvons déterminer la limite de la zone désertée R dans cette modélisation bidimensionnelle en calculant le rapport :

$$\rho = \frac{N_d(x, y) - n(x, y)}{N_d(x, y)}$$

où $n(x, y)$ représente la densité de porteurs libres.

L'évolution bidimensionnelle du coefficient ρ est représentée sur la figure [III.4]. On peut remarquer que celui-ci passe de 0 à 1 à la transition et que

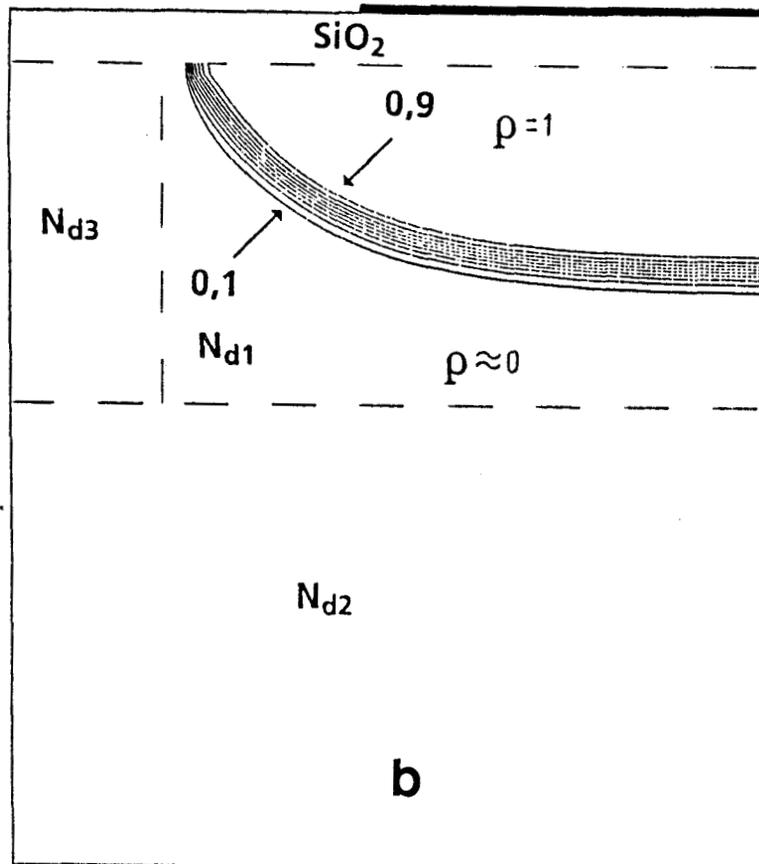
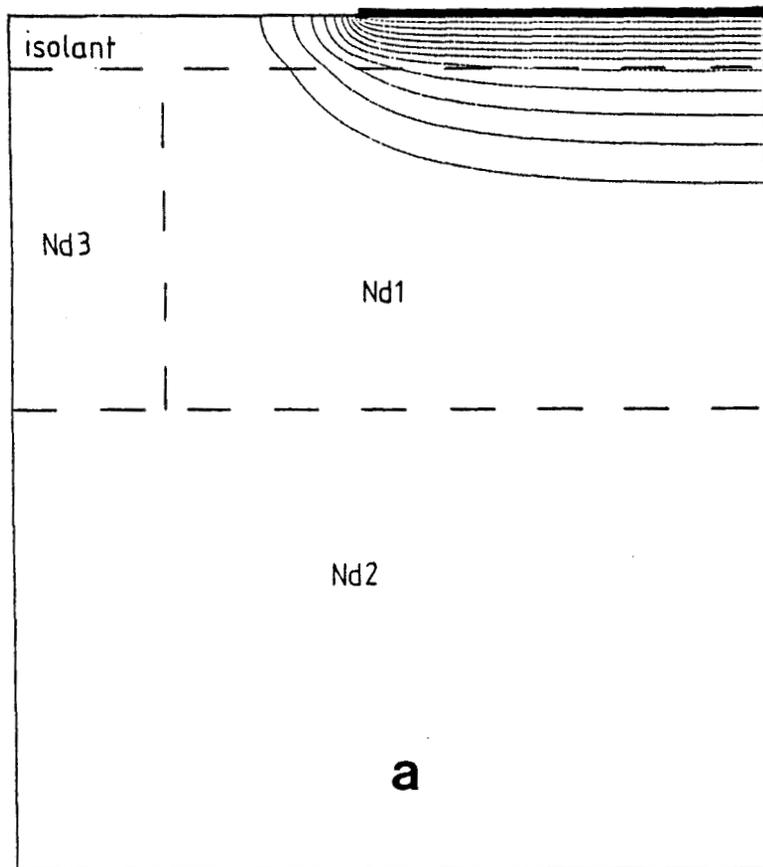


FIGURE [III.4]: Forme des équipotentiels (a) et détermination de la limite de la zone désertée (b).

l'évolution de la zone désertée est quasiment elliptique à l'extrémité de la grille. A partir de la répartition des porteurs sous la grille en son milieu, endroit où l'évolution de la zone désertée est unidimensionnelle, l'épaisseur R de cette dernière peut être obtenue numériquement par la relation [9] :

$$[\text{III.2}] \quad \int_{y_I}^{y_0} n(y) dy = \int_R^{y_0} N_d(y) dy$$

où y_0 est un point situé loin de l'interface dans le volume
 y_I, R, N_d sont les paramètres déjà définis précédemment.

L'évolution de l'épaisseur R calculée par cette méthode est représentée en fonction de $\sqrt{V_{gc}}$ sur la figure [III.5] ainsi que celle déterminée par la méthode simplifiée (relation [III.1]). On peut constater que cette dernière constitue une excellente approximation comparativement à celle calculée par la méthode numérique (relation [III.2]).

III.3.3.1.2. DETERMINATION COMPLETE DE LA ZONE DESERTEE A $V_{ds} = 0$

La construction complète de la zone désertée nécessite comme le suggère la figure [III.4], la prise en compte des effets de bords de grille, ces derniers étant fondamentaux dans les composants à grille submicronique, où les effets bidimensionnels sont importants. La figure [III.4], indique qu'il existe deux zones distinctes sous la grille. Une région où la zone désertée est constante au milieu de la grille et une région où l'évolution est pratiquement elliptique aux bords de grille lorsque $V_{ds} = 0$. Comme pour le MESFET GaAs [1], nous avons cherché à modéliser la partie de la zone désertée aux bords de grille par une ellipse, dont les paramètres ne dépendent que de l'épaisseur de la zone désertée constante sous la grille. La méthode est identique à celle utilisée pour le MESFET GaAs [1] à l'exception de la nécessité de prendre en compte la zone d'isolant. La figure [III.6] représente la zone désertée à $V_{ds} = 0$.

Connaissant R qui est également l'épaisseur de la zone désertée y_d sous la grille, il est nécessaire d'évaluer les distances x_0 et x_1 . Celles-ci sont déterminées à l'aide de la modélisation effectuée au chapitre II où nous avons supposé que les évolutions sont elliptiques sur les bords de grille. Nous avons

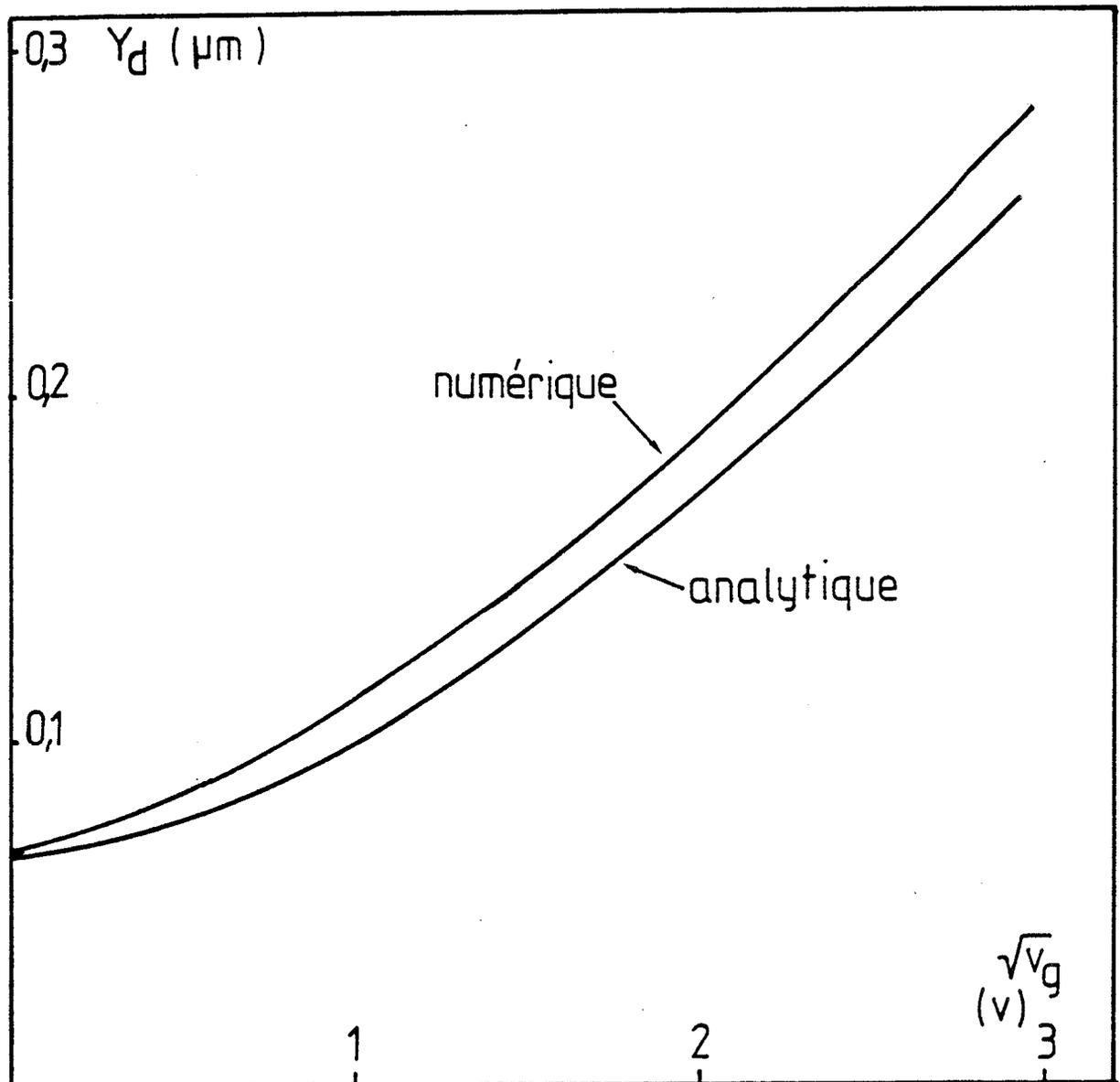


FIGURE [III.5]: Evolution de l'épaisseur de la zone désertée sous la grille en fonction de la tension $\sqrt{V_{gs}}$.

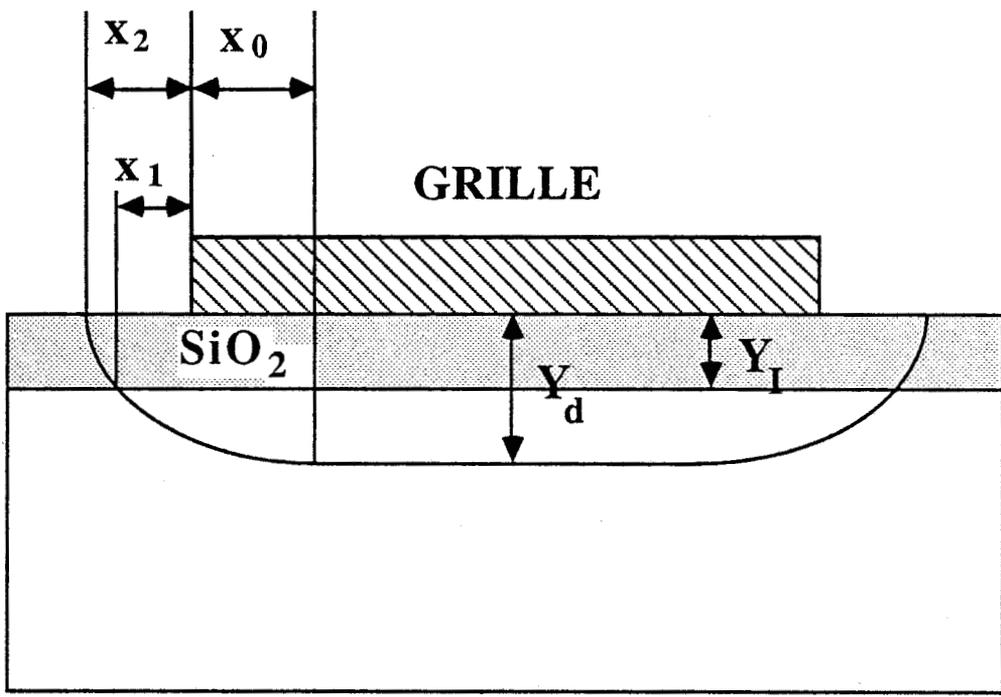


FIGURE [III.6] : Mise en évidence des paramètres permettant le calcul de la zone désertée.

calculé pour un grand nombre de structures et de tensions de grille le rapport qui existe entre l'épaisseur R et les paramètres x_0 et x_1 . En première approximation, nous pouvons estimer que, comme pour le MESFET GaAs, les paramètres x_0 et x_1 sont liés à R par les expressions :

$$x_0 = A_0 R \text{ et } x_1 = A_1 R$$

avec $A_0 = 0,5$ et $A_1 = 0,56$.

Connaissant ces coefficients, il est possible de mettre en équations les ellipses de chaque côté de la grille. Les calculs et expressions de celles-ci sont détaillés dans l'annexe V.

Nous sommes maintenant capables de construire entièrement la zone désertée sous la grille en fonction de l'épaisseur de la zone désertée unidimensionnelle R à $V_{ds} = 0$. Il nous reste dans un second temps à déterminer cette zone en présence d'une tension V_{ds} différente de zéro.

III.3.3.1.3. DETERMINATION COMPLETE DE LA ZONE DESERTEE A V_{ds} NON NULLE

Le calcul exact de la zone désertée ne peut se faire qu'en utilisant la résolution bidimensionnelle des équations de Poisson et de conservation du courant. Dans la modélisation unidimensionnelle que nous avons utilisée, la solution de ce problème a été obtenue par une approche simplifiée comme l'a effectuée A. CAPPY pour le modèle MESFET GaAs [1]. Si on suppose que dans le canal les équipotentielles sont perpendiculaires à l'axe source-drain et que les différentes grandeurs physiques sont uniquement fonction de l'abscisse x, l'application du théorème de Gauss et de l'équation de Poisson dans le canal [1] permet d'aboutir à l'expression suivante :

$$[III.3] \quad \Delta y_d = \frac{\epsilon_s \Delta V}{q y_d n}$$

où ΔV représente l'augmentation de potentiel entre les abscisses x et $x + \Delta x$
 Δy_d la variation de l'épaisseur de zone désertée.
q la charge de l'électron
 ϵ_s la permittivité diélectrique du semiconducteur

n la densité de porteurs libres.

Cette expression est valable dans la zone sous la grille où pour des tensions V_{ds} nulles l'épaisseur de la zone désertée est constante. Pour le cas des zones elliptiques des bords de grille, la détermination de l'évolution de la zone désertée s'effectue par continuité. En effet, on postule que dans le cas où l'épaisseur de la zone vide de porteurs est déterminée à l'abscisse x par une ellipse de paramètre R , cette épaisseur sera calculée à l'abscisse $x + \Delta x$ par une ellipse de paramètre $R + \Delta R$ suivant la relation :

$$[III.4] \quad \Delta R = \frac{\epsilon \Delta V}{q \cdot R \cdot n}$$

Par ces équations, il est possible de déterminer l'épaisseur de la zone désertée dans le cas d'une tension drain-source non nulle. Cependant, le calcul de la hauteur du canal par lequel transite le courant drain impose non seulement la connaissance de l'épaisseur de la zone désertée mais également la limite du canal côté substrat ce qui nécessite l'étude de l'effet de l'injection des porteurs dans celui-ci.

III.3.3.1.4. EFFET D'INJECTION DES PORTEURS DANS LE SUBSTRAT (OU LA COUCHE TAMPON)

Sous l'effet de l'application d'une tension drain-source différente de zéro, il peut se produire une injection de porteurs libres dans le substrat (figure [III.7]). Cet effet important a pour conséquence la modification de l'épaisseur y_c du canal et joue un rôle déterminant dans l'évaluation de la conductance de sortie g_d du transistor. La prise en compte de ces effets a été effectuée au laboratoire par A. CAPPY [1] pour l'étude du MESFET GaAs aussi, nous nous limiterons à un rappel des résultats obtenus qui restent valables pour le MISFET InP.

La modélisation comporte deux hypothèses fondamentales :

- la transition entre la couche active (densité de porteurs constante) et le substrat (densité nulle) est abrupte.

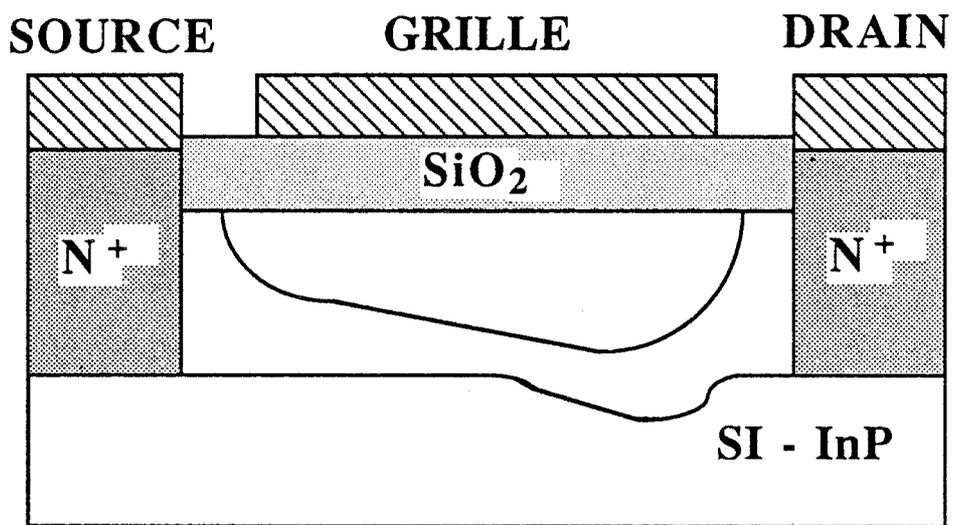


FIGURE [III.7]: Effet d'injection des porteurs dans le substrat.

- la composante longitudinale du champ électrique dans la couche active et dans une partie du substrat d'épaisseur y_s est identique. On la suppose nulle dans le reste du substrat.

L'écriture de l'équation de Poisson dans le substrat donne la relation suivante :

$$[III.5] \quad \frac{\partial E_x}{\partial x} = - \frac{q}{\epsilon_s} n(x, y)$$

Si on intègre cette équation sur l'épaisseur y_s où a lieu l'injection de porteurs libres, on aboutit à la relation suivante :

$$[III.6] \quad \int_0^{y_s} \frac{\partial E_x}{\partial x} dy = - \frac{q}{\epsilon_s} \int_0^{y_s} n(x, y) dy = - \frac{q}{\epsilon_s} N_{inj}(x)$$

Dès lors on peut écrire l'équation de Poisson dans le canal :

$$[III.7] \quad \frac{\partial E_x}{\partial x} = + \frac{q}{\epsilon_s} \left[N_d - n(x) \right]$$

et en identifiant les équations [III.6] et [III.7] on peut déterminer la quantité de porteurs injectée dans la couche tampon et contribuant au courant drain-source

$$N_{inj}(x) = \int_0^{y_s} n(x, y) dy = y_s \left| n(x) - N_d \right| \quad \text{avec } n(x) > N_d$$

dans le cas où $n(x) < N_d$ on considère qu'il n'y a pas de porteurs injectés ($N_{inj}(x) = 0$)

III.3.3.2. ETUDE DU REGIME D'ACCUMULATION

L'établissement du régime d'accumulation dans le transistor (canal N) est obtenu lorsque l'on polarise la grille positivement. Ceci a pour conséquence la mise en polarisation directe de la jonction MIS et se traduit par une augmentation notable du courant drain. Le but de cette étude est de déterminer la commande de charge en accumulation c'est-à-dire la densité de porteurs accumulés n_s en fonction de la tension grille. Nous avons essayé

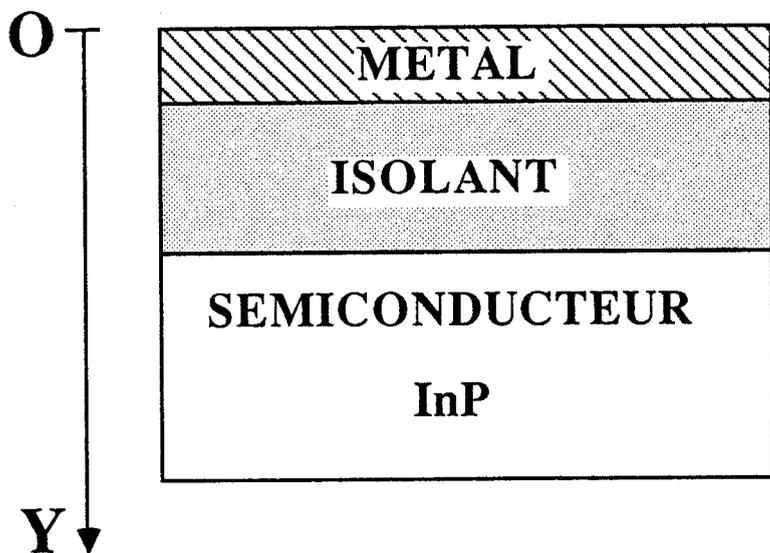


FIGURE [III.8]: Schéma de la structure MIS.

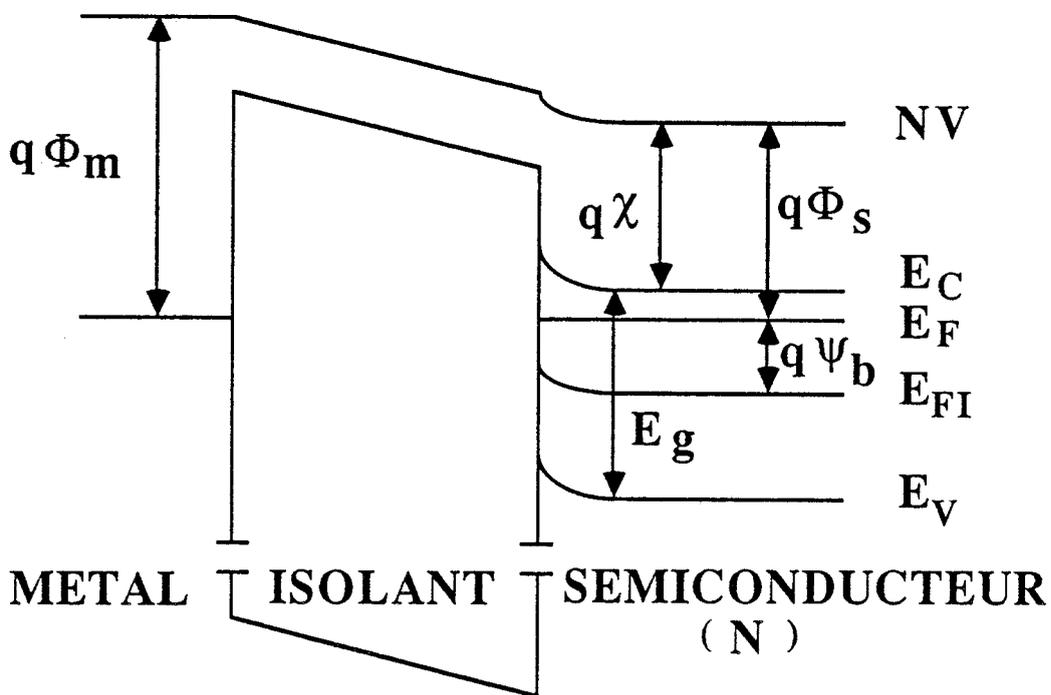


FIGURE [III.9]: Diagramme de bandes de la structure MIS à l'équilibre avec $\Phi_m > \Phi_s$.

d'évaluer cette charge accumulée sous la grille de la manière la plus simple possible tout en restant réaliste. L'étude comporte deux étapes :

- dans la première nous calculons les conditions à l'interface isolant-semiconducteur en particulier, le champ électrique E_{s0} et la densité de porteurs accumulés n_{s0} en fonction de la polarisation de grille.

- puis connaissant ces conditions initiales, dans une seconde étape nous déduisons l'évolution du champ électrique $E_s(y)$ et de la densité de porteurs accumulés $n_s(y)$ suivant l'axe vertical Oy .

III.3.3.2.1. HYPOTHESES PRINCIPALES

Nous supposons que la jonction métal-isolant-semiconducteur (Fig.[III.8]) est idéale :

- Elle est exempte d'états d'interface ;
- L'isolant est parfait (pas de charges libres) ;
- Il n'y a pas de courant grille. Ceci permet de supposer que la jonction est toujours en quasi-équilibre ;
- La différence des travaux de sortie entre métal et semiconducteur est nulle.

Concernant la dernière hypothèse on peut cependant tenir compte de façon approchée de la différence des travaux de sortie du métal et du semiconducteur, qui est à l'origine de la tension de bandes plates V_{FB} . D'après la figure [III.9] elle s'exprime par la relation :

$$[III.8] \quad V_{FB} = (\phi_m - \phi_s) = \phi_m - \left(X + \frac{E_g}{2q} - \psi_B \right)$$

où ϕ_m est le travail de sortie du métal

ϕ_s le travail de sortie du semiconducteur

E_g la hauteur de bande interdite du semiconducteur

q la charge de l'électron

Ψ_B la différence entre le niveau de Fermi et le niveau de Fermi intrinsèque.

X est l'affinité électronique du semiconducteur.

L'introduction de cette tension montre que le régime de bandes plates est atteint pour une tension grille égale à V_{FB} . Si on considère par exemple une structure Al/SiO₂/InP [9] où le matériau InP est dopé 10¹⁵ atm/cm³, la relation précédente nous donne une tension $V_{FB} \approx -0,5$ V.

En ce qui concerne l'introduction d'une densité d'états d'interface, il suffit de reprendre l'expression de la tension V_{FB} en lui ajoutant l'effet dû à l'existence de charges à l'interface isolant-semiconducteur. Nous pouvons dans ce cas écrire la tension de bandes plates sous la forme :

$$[III.9] \quad V_{FB} = \left| \left(\phi_m - \phi_s \right) - \frac{Q_{ss}}{C_{ox}} \right|$$

où C_{ox} est la capacité de l'isolant et Q_{ss} la densité de charge à l'interface.

Il faut noter que ces états d'interface peuvent jouer un rôle important [6, 7] sur le comportement des caractéristiques $I_{ds} = f(V_{ds}, V_{gs})$ et de la transconductance g_m . Cependant, concernant notre étude, nous avons considéré une jonction MIS où la densité d'états d'interface est supposée négligeable. Celle-ci est en effet difficile à évaluer et de plus, le comportement des pièges s'avère souvent différent suivant qu'ils sont lents ou rapides. Une modélisation statique de ceux-ci n'est donc pas satisfaisante.

Après avoir précisé les hypothèses de calcul, nous allons maintenant aborder la détermination des conditions initiales à l'interface isolant-semiconducteur concernant le champ électrique et la densité de porteurs accumulés.

III.3.3.2.2. CALCUL DU CHAMP ELECTRIQUE ET DE LA DENSITE DE PORTEURS ACCUMULES A L'INTERFACE ISOLANT-SEMICONDUCTEUR

Le calcul de E_{s0} et n_{s0} qui désignent respectivement le champ électrique et la concentration des porteurs à l'interface isolant-semiconducteur est effectué à partir de l'équation de Poisson [III.10] et de l'équation qui relie la concentration des porteurs au potentiel électrostatique local [III.11].

$$[\text{III.10}] \quad \frac{d^2V}{dy^2} = - \frac{q}{\epsilon_s} \left[p - n + N_d \right]$$

$$[\text{III.11}] \quad V = \frac{kT}{q} \text{Log} \left(\frac{n}{n_i} \right) = - \frac{kT}{q} \text{Log} \left(\frac{p}{n_i} \right)$$

où N_d désigne le dopage de la zone active.

n_i la concentration intrinsèque de porteurs

n et p les concentrations des électrons et des trous

L'intégration de l'équation de Poisson d'un point de l'interface où le champ vaut E_{s0} à un point situé loin dans le volume tel que le champ soit nul, nous permet d'aboutir à E_{s0} à l'interface en fonction du dopage de la zone active N_d et de la concentration des porteurs accumulés à l'interface n_{s0} .

Pour effectuer cette intégration (annexe VI) nous supposons que la jonction se trouve en situation de quasi-équilibre. Dans ces conditions, le champ E_{s0} peut s'écrire :

$$[\text{III.12}] \quad E_{s0} = \sqrt{\frac{2kT}{\epsilon_s} \left(n_{s0} - N_d \text{Log} \left(1 + \frac{n_{s0}}{N_d} \right) \right)}$$

Connaissant la valeur du champ électrique E_{s0} à l'interface isolant-semiconducteur il est alors possible de déterminer la relation qui lie la tension grille-canal $V_{gc}(x)$ à la densité de porteurs accumulés à l'interface.

Pour faire ce calcul nous considérons la tension grille-canal comme étant la somme de la tension dans l'isolant et de celle dans le semiconducteur. Le détail des calculs est précisé en annexe VI. La relation obtenue est la suivante :

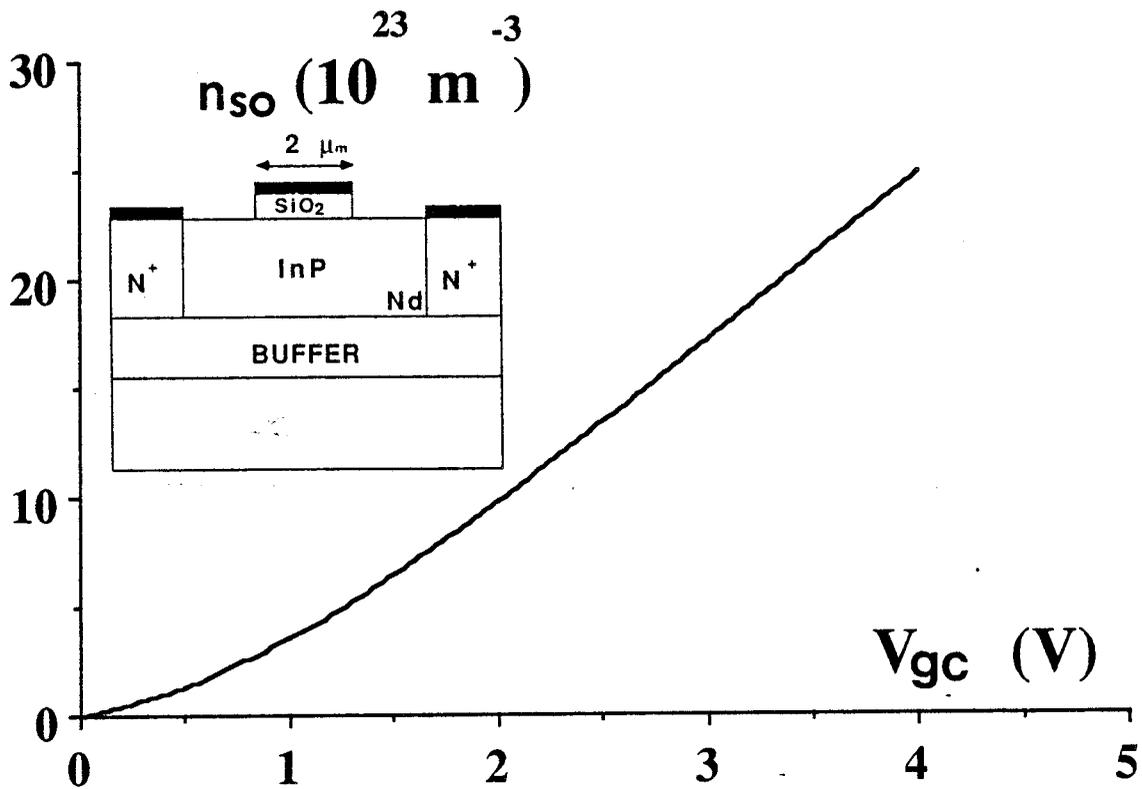


FIGURE [III.10]: Densité de porteurs accumulés n_{so} en fonction de la tension grille-canal V_{gc} pour un MISFET à désertion et accumulation ($N_d = 5 \times 10^{16} \text{ cm}^{-3}$, $y_1 = 700 \text{ \AA}$, $L_g = 2 \mu\text{m}$, $a = 0,2 \mu\text{m}$, $Z = 300 \mu\text{m}$).

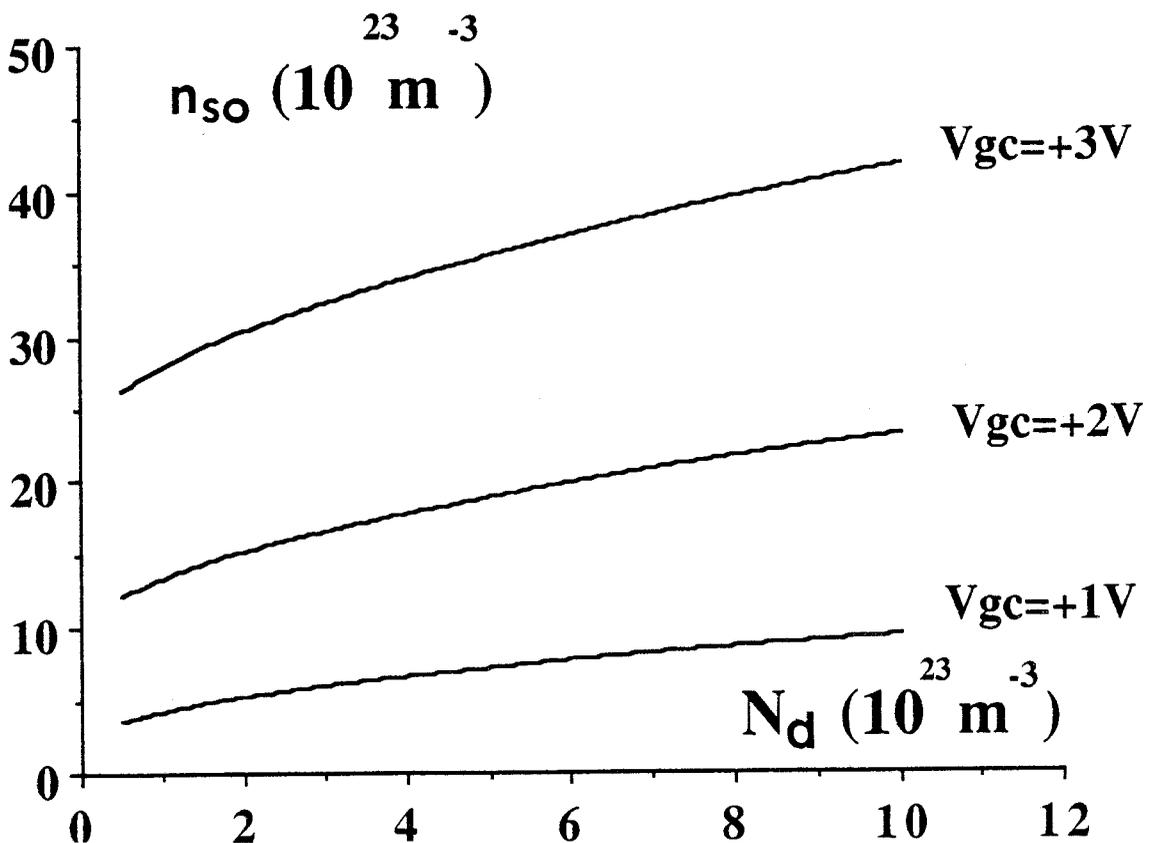


FIGURE [III.11]: Evolution de la densité de porteurs accumulés n_{so} à l'interface semiconducteur-isolant en fonction du dopage N_d de la zone active pour un MISFET InP à désertion et accumulation ($N_d = 5 \times 10^{16} \text{ cm}^{-3}$, $y_1 = 700 \text{ \AA}$, $L_g = 2 \mu\text{m}$, $a = 0,2 \mu\text{m}$, $Z = 300 \mu\text{m}$).

$$[III.13] \quad V_{gc} = \frac{kT}{q} \text{Log} \left[1 + \frac{n_{so}}{N_d} \right] + \frac{y_1}{\epsilon_1} \sqrt{2kT \epsilon_s \left[n_{so} - N_d \text{Log} \left[1 + \frac{n_{so}}{N_d} \right] \right]}$$

Pour une tension $V_{gc}(x)$ connue ; les équations précédentes [III.12] et [III.13] permettent de calculer les grandeurs n_{so} et E_{so} .

Nous avons représenté sur la figure [III.10] l'évolution de la densité de porteurs accumulés à l'interface n_{so} en fonction de la tension grille-canal V_{gc} ceci pour un dopage du semiconducteur de $5 \cdot 10^{16} \text{ atm/cm}^3$. On peut remarquer que la densité de porteurs accumulés n_{so} est une fonction croissante de la polarisation grille-canal ce qui constitue un résultat tout à fait logique.

L'évolution de cette même densité n_{so} en fonction du dopage du semiconducteur est représentée sur la figure [III.11] pour différentes tensions V_{gc} . On peut remarquer que la densité n_{so} augmente sensiblement avec le dopage de la zone active.

III.3.3.2.3. DETERMINATION DE L'EVOLUTION DU CHAMP ELECTRIQUE $E_s(y)$ ET DE LA DENSITE DE PORTEURS ACCUMULES $n_s(y)$ SUIVANT L'AXE Oy

Connaissant les évolutions de E_{so} et n_{so} à l'interface isolant-semiconducteur en fonction de la tension V_{gc} il est possible de déterminer les variations du champ électrique $E_s(y)$ et de la densité de porteurs accumulés $n_s(y)$ le long de l'axe Oy . Le calcul de ces paramètres suivant l'axe vertical est fondamental puisqu'il nous permettra de déterminer la densité moyenne des porteurs accumulés n_s en fonction de la polarisation de grille-canal, ainsi que la mobilité moyenne μ_n de ces porteurs.

Pour effectuer cette détermination nous utilisons les équations de Poisson et du courant en supposant que celui-ci est nul dans la jonction. Cette hypothèse est justifiée par le fait qu'essentiellement un courant généré par effet tunnel pourrait survenir dans la jonction MIS. Or pour les épaisseurs typiques d'isolants utilisées dans la réalisation de MISFET InP (700 \AA) le courant tunnel est tout à fait négligeable ce qui nous permet de considérer que la jonction reste quasiment à l'équilibre thermodynamique même lorsqu'elle est polarisée.

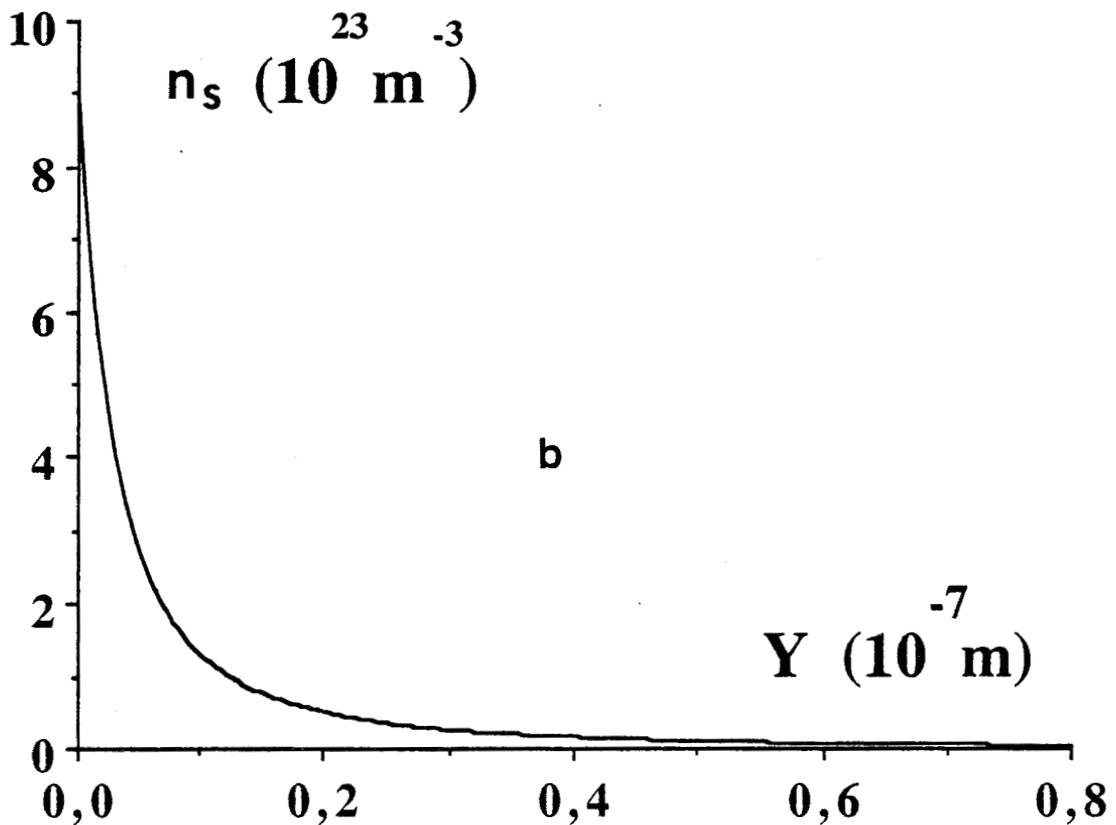
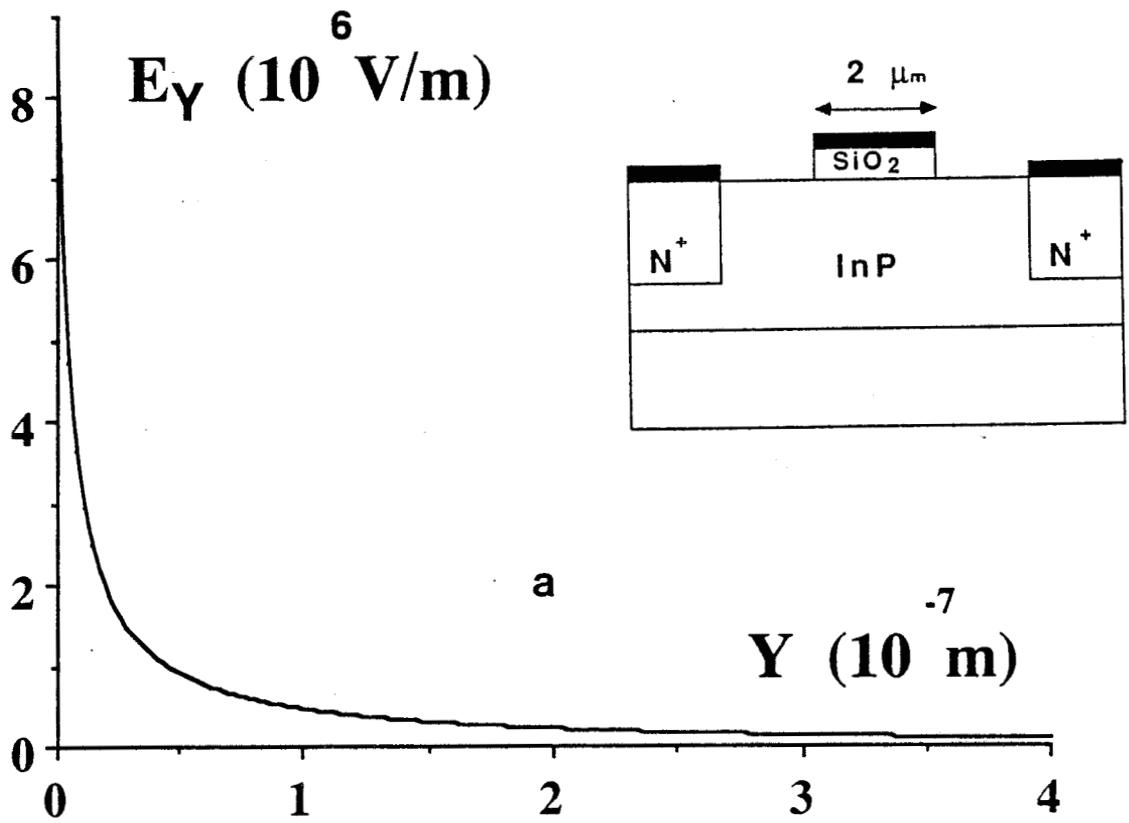


FIGURE [III.12]: Evolution du champ électrique (a) et de la densité de porteurs accumulés sous la grille (b) suivant l'axe Oy pour un MISFET à accumulation ($N_d = 10^{14} \text{ cm}^{-3}$, $y_I = 700 \text{ \AA}$ et $V_{gc} = +2 \text{ V}$).

Les équations utilisées peuvent alors s'écrire :



$$\frac{dE_s(y)}{dy} = - \frac{q}{\epsilon_s} n_s(y)$$

$$J_n = q D_n \left[\frac{q}{kT} \left[n_s(y) + N_d \right] E_s(y) + \frac{d n_s(y)}{dy} \right]$$

dans ces équations J_n désigne le courant

D_n le coefficient de diffusion

E_s le champ électrique

n_s la densité de porteurs accumulés

N_d le dopage du semiconducteur.

Ce système d'équations différentielles est résolu numériquement à l'aide d'une méthode de RUNGE-KUTTA [10], les conditions initiales de ce calcul étant définies en $y = 0$ par $E_s(0) = E_{s0}$ et $n_s(0) = n_{s0}$, valeurs que nous avons déterminées dans le paragraphe précédent. La résolution du système d'équations est précisée dans l'annexe VII.

Nous avons représenté sur les figures [III.12.a] et [III.12.b] respectivement l'évolution du champ électrique $E_s(y)$ et de la densité de porteurs accumulés $n_s(y)$ suivant l'axe vertical Oy . On peut remarquer sur la figure [III.12.b] que la majeure partie des porteurs accumulés se trouve très près de l'interface isolant-semiconducteur.

III.3.3.2.4. INTRODUCTION DE LA STATISTIQUE DE FERMI-DIRAC

Dans l'étude développée précédemment, nous n'avons pas tenu compte d'une dégénérescence possible lorsque l'on polarise fortement positivement la grille. En effet, dans de telles conditions de polarisation le niveau de Fermi peut traverser la bande de conduction et rendre non valable la statistique de BOLTZMANN jusqu'alors utilisée. Nous nous sommes donc employés à introduire dans la modélisation la statistique de FERMI-DIRAC plus rigoureuse lorsqu'intervient ce phénomène physique.

Afin de tenir compte de manière simple de la dégénérescence possible du semiconducteur due à l'accumulation des porteurs majoritaires à l'interface, une solution consiste à employer les approximations analytiques calculées par JOYCE-DIXON [11]. Ces approximations remplacent la relation classique de BOLTZMANN entre niveau de Fermi E_F , bande de conduction E_C et concentration de porteurs n :

$$\frac{E_F - E_C}{kT} = \text{Log} \left(\frac{n}{N_C} \right)$$

où N_C est la densité effective d'états dans la bande de conduction par la relation suivante :

$$\text{[III.14]} \quad \frac{E_F - E_C}{kT} = \text{Log} \left(\frac{n}{N_C} \right) + \sum_m A_m (n/N_C)$$

où les quatre premiers termes de la série peuvent s'écrire en considérant l'approximation de bandes paraboliques [11] :

$$A_1 = 1/\sqrt{8}$$

$$A_2 = -4,95009 \cdot 10^{-3}$$

$$A_3 = 1,48386 \cdot 10^{-3}$$

$$A_4 = -4,42563$$

Après avoir précisé les approximations retenues, nous nous proposons d'établir les modifications qui interviennent dans le calcul de la commande de charge.

III.3.3.2.4.1. CALCUL DU CHAMP ELECTRIQUE ET DE LA DENSITE DE PORTEURS A L'INTERFACE

Le calcul du champ à l'interface E_{s0} est effectué à partir de l'équation de Poisson unidimensionnelle et l'équation [III.14].

$$\frac{d^2V}{dy^2} = - \frac{q}{\epsilon_s} (p - n + N_d)$$

$$\frac{qV}{kT} = \text{Log} \left(\frac{n}{N_C} \right) + \sum_m A_m (n/N_C)^m$$

où V est le potentiel électrostatique référencé par rapport au niveau de Fermi du semiconducteur.

En procédant de la même façon qu'au paragraphe III.3.3.2.2. on peut obtenir le champ électrique à l'interface E_{so} [11] :

$$[\text{III.15}] \quad E_{so} = \sqrt{\frac{2kT}{\epsilon_s} \left[N_C \sum_m B_m \left[\left(\frac{n_{so} + N_d}{N_C} \right)^m - \left(\frac{N_d}{N_C} \right)^m \right] - N_d \text{Log} \left(\frac{n_{so}}{N_d} + 1 \right) \right]}$$

ainsi que la relation liant la tension grille-canal $V_{gc}(x)$ à la densité de porteurs accumulés à l'interface n_{so} .

$$[\text{III.16}] \quad V_{gc} = \frac{kT}{q} \left[\text{Log} \left(1 + \frac{n_{so}}{N_d} \right) + \sum_m A_m \left[\left(\frac{n_{so} + N_d}{N_C} \right)^m \right] \right. \\ \left. + \frac{\epsilon_s}{\epsilon_I} Y_I \sqrt{\frac{2kT}{\epsilon_s} \left[N_C \sum_m B_m \left[\left(\frac{n_{so} + N_d}{N_C} \right)^m - \left(\frac{N_d}{N_C} \right)^m \right] - N_d \text{Log} \left(\frac{n_{so}}{N_d} + 1 \right) \right]} \right]$$

Dans ces expressions, les coefficients B_m sont déduits des A_m par :

$$B_1 = 1 - A_1 N_d/N_C \\ B_m = (m-1) A_{m-1}/m - A_m N_d/N_C$$

Cette dernière relation nous permet de tracer l'évolution de la densité de porteurs accumulés à l'interface en fonction de la tension grille calculée par la statistique de FERMI-DIRAC et de la comparer à celle obtenue par celle de BOLTZMANN (Fig. [III.13]). On peut constater que pour des tensions inférieures ou égales à + 1,5 V les densités de porteurs restent peu différentes mais par contre, pour des tensions supérieures l'écart est sensible.

Dans ce cas, les conditions de polarisation de la grille entraînent un phénomène de dégénérescence dans le semiconducteur dans une région proche de l'isolant. La comparaison illustrée sur la figure [III.13] montre que pour des tensions V_{gs} supérieures à 1,5 V le phénomène d'accumulation est surestimé lorsque l'on utilise la statistique de BOLTZMANN ce qui conduit également à un courant drain-source trop élevé.

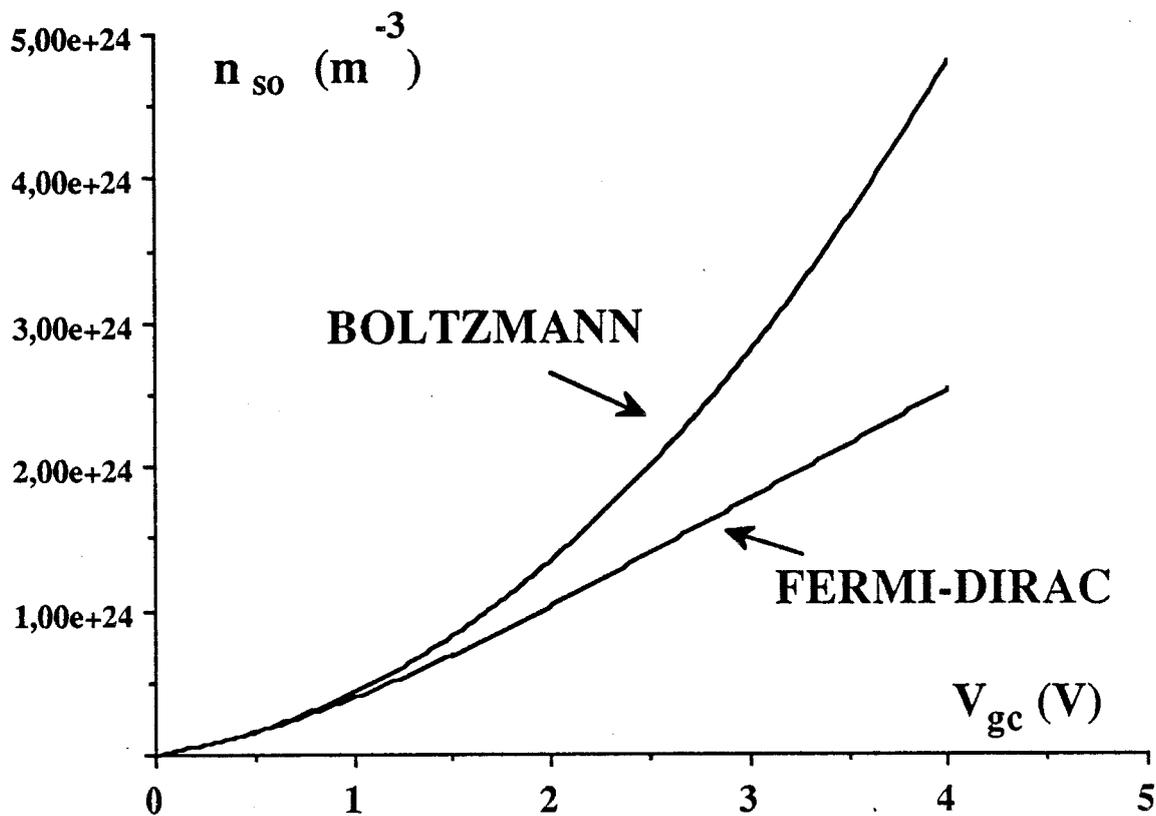


FIGURE [III.13]: Comparaison de la densité de porteurs accumulés n_{so} à l'interface semiconducteur-isolant en fonction de V_{gc} pour les statistiques de BOLTZMANN et FERMI-DIRAC ($N_d = 10^{17} \text{ cm}^{-3}$, $y_1 = 700 \text{ \AA}$).

III.3.3.2.4.2. CALCUL DE $E_s(y)$ et $n_s(y)$ PAR LA STATISTIQUE DE FERMI-DIRAC

L'établissement des conditions initiales E_{s0} et n_{s0} nous permet de déterminer l'évolution du champ électrique $E_s(y)$ et de la densité de porteurs accumulés $n_s(y)$ suivant l'axe vertical Oy dans le cas de la statistique de FERMI-DIRAC. Pour cela nous reprenons l'équation de Poisson et du courant en incluant les approximations introduites par la nouvelle statistique, la relation établie par KROEMER [5, 12] qui exprime le rapport constante de diffusion sur mobilité en fonction de la température permettant de tenir compte simplement de la dégénérescence :

$$\frac{D_n}{\mu_n} = \frac{kT}{q} \left[1 + 0.35355 \left(\frac{n_s(y)}{N_C} \right) - 9,910^{-3} \left(\frac{n_s(y)}{N_C} \right)^2 + 4,45 \cdot 10^{-4} \left(\frac{n_s(y)}{N_C} \right)^3 + \dots \right]$$

Comme dans le cas de la statistique de BOLTZMANN, on résoud le système d'équations suivant à partir d'une méthode numérique identique :

$$\frac{dE_s(y)}{dy} = - \frac{q}{\epsilon} n_s(y)$$

$$\frac{dn_s(y)}{dy} = \frac{\mu_n}{D_n} (n_s(y) + N_d) E_s(y)$$

Connaissant les principales variations des paramètres physiques du transistor suivant l'axe vertical Oy, pour un mode de fonctionnement donné, il est possible dans un second temps d'aborder l'étude suivant l'axe Ox.

III.3.4. ETUDE SUIVANT L'AXE HORIZONTAL Ox

La connaissance des principales grandeurs suivant l'axe vertical pour les régimes de désertion et d'accumulation, nous permet de calculer pour chaque pas de l'axe horizontal source-drain les valeurs moyennes des paramètres physiques. Nous allons maintenant préciser les différentes équations utilisées.

III.3.4.1. EQUATIONS DU PROGRAMME

Les équations employées dans la modélisation sont les suivantes :

- L'équation du courant

$$[III.17] \quad I_{ds} = qZ v(x) [y_c(x) n(x) + y_s(n(x) - N_d)]$$

$$\text{soit} \quad I_{ds} = qZ v(x) n(x) y_c(x)$$

- où $y_c(x)$ est l'épaisseur du canal à l'abscisse x
- Z est la largeur du transistor
- $n(x)$ est la densité moyenne de porteurs libres à l'abscisse x
- $v(x)$ est la vitesse moyenne des porteurs à l'abscisse x .

- Les équations de l'énergie et du moment

$$[III.18] \quad \frac{dw(x)}{dt} = q \left[E_x(x) v(x) - E_{ss}(w) v_{ss}(w) \right]$$

$$[III.19] \quad \frac{d(m^*(w) v(x))}{dt} = q \left[E_x(x) - \frac{v(x)}{v_{ss}(w)} E_{ss}(w) \right]$$

où m^* et w sont respectivement la masse effective et l'énergie moyenne des porteurs. E_x est le champ électrique moyen. $E_{ss}(w)$ et $v_{ss}(w)$ sont les valeurs statiques du champ électrique et de la vitesse fonction de l'énergie. L'évolution statique analytique des paramètres $m^*(E)$, $v_{ss}(w)$, $E_{ss}(w)$ pour le matériau InP est calculée à partir d'une méthode de Monte Carlo réalisée au laboratoire [13].

- L'équation de la vitesse

$$[III.20] \quad v(x) = \mu_n(w) E_x(x)$$

où $v(x)$ est la vitesse moyenne des porteurs libres
 et $\mu_n(w)$ est la mobilité définie par

$$\mu_n(w) = \frac{qt_m(w)}{m^*(E)} = \frac{v_{ss}(w)}{E_{ss}(w)}$$

Le modèle utilise suivant l'axe 0x deux autres équations dépendantes du régime de fonctionnement.

* pour le régime de désertion, on utilise l'équation de Poisson

$$[III.21] \quad \frac{dE(x)}{dx} = \frac{q}{\epsilon_s} (N_d - n(x))$$

* pour le régime d'accumulation, l'évolution de la tension grille-canal $V_{gc}(x)$ dans une tranche Δx du composant est donnée par l'équation suivante :

$$[III.22] \quad \frac{dV_{gc}(x)}{dx} = \frac{I_{ds}}{qZ a \mu_n (n_s + N_d)}$$

où μ_n et n_s représentent respectivement la mobilité et la densité de porteurs moyennes dues au phénomène d'accumulation sous la grille pour une abscisse donnée.

III.3.4.1.1. CALCUL DE LA DENSITE MOYENNE DES PORTEURS ACCUMULES n_s

La modélisation présentée ne fait intervenir que les grandeurs moyennes du canal. Ainsi dans l'équation [III.17] du courant, $n(x)$ représente la valeur moyenne de la densité de porteurs libres à l'abscisse x . Pour le régime d'accumulation cette grandeur est déterminée à partir de l'évolution des porteurs accumulés (voir paragraphe III.3.3.2.3) en calculant la valeur moyenne de la densité $n_s(y)$ selon les relations suivantes où a est l'épaisseur de la zone active du transistor :

$$\text{On peut écrire : } n(x) = n_s + N_d$$

où n_s est la valeur moyenne de la densité de porteurs accumulés à l'abscisse x :

$$n_s = \frac{1}{a} \int_0^a n_s(y) dy$$

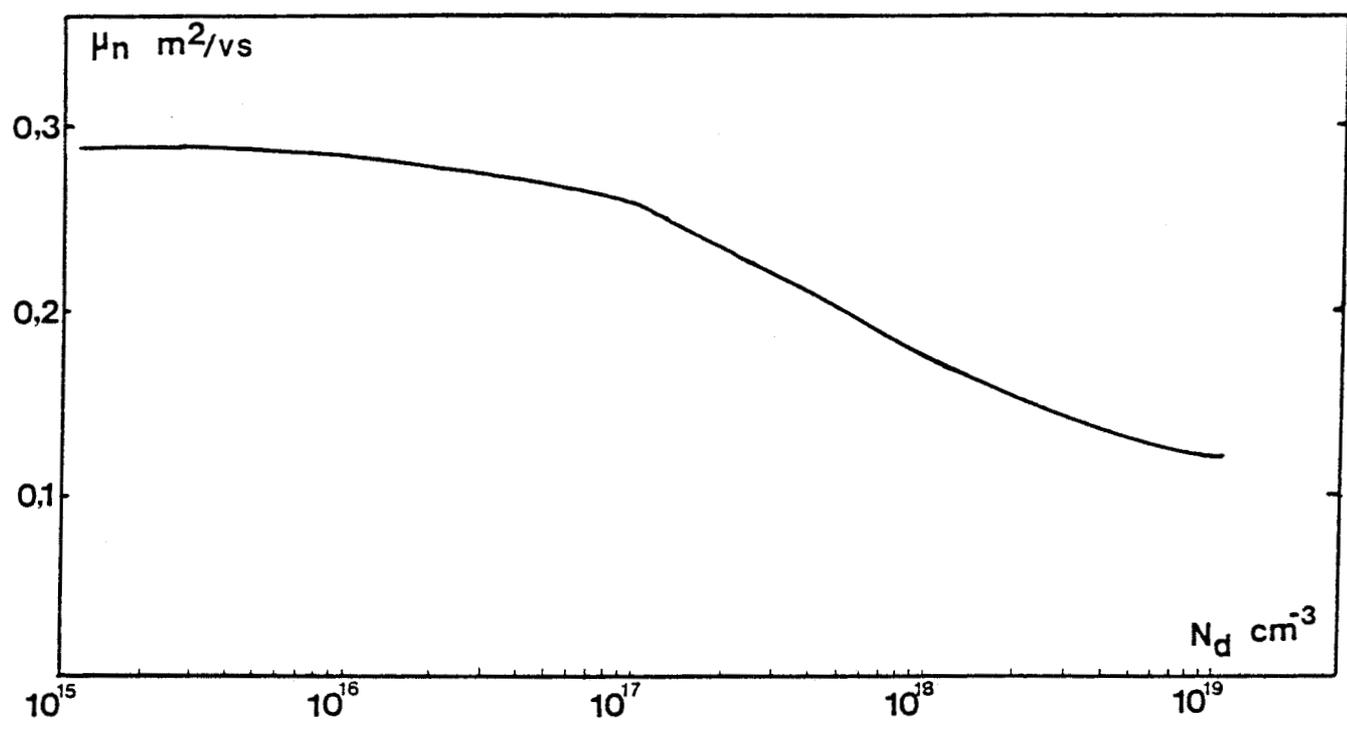


FIGURE [III.14]: Evolution de la mobilité des électrons en fonction du dopage dans le matériau InP.

III.3.4.1.2. CALCUL DE LA MOBILITE MOYENNE

Le calcul de la mobilité moyenne des porteurs à une abscisse fixée constitue, dans le cas d'un phénomène d'accumulation, un problème que nous n'avons pas pu résoudre rigoureusement. Il faudrait en effet pouvoir disposer d'une modélisation Monte Carlo InP qui tient compte d'un phénomène de dégénérescence possible proche d'une interface-isolant-semiconducteur. Ne disposant pas d'un tel programme, en première approximation, nous avons tenu compte de cet effet en considérant l'évolution de la mobilité des porteurs en volume en fonction du dopage à partir d'une modélisation Monte Carlo effectuée au laboratoire [13].

La mobilité des porteurs en champ faible que nous avons représentée sur la figure [III.14] en fonction du dopage du semiconducteur peut être approximée de manière analytique par la relation suivante :

$$[III.24] \quad \mu_{ss} = \mu_{min} + \frac{\mu_{max} - \mu_{min}}{1 + \left(\frac{N_d}{N_{Ref}}\right)^\alpha}$$

- avec $\mu_{min} = 0.12 \text{ m}^2/\text{V}/\text{s}$
- $\mu_{max} = 0.288 \text{ m}^2/\text{V}/\text{s}$
- $N_{Ref} = 4,6.10^{17} \text{ atm}/\text{cm}^3$
- $\alpha = 1$

On peut remarquer que l'évolution de μ_{ss} est décroissante en fonction du dopage du semiconducteur. Il faut être néanmoins prudent sur les valeurs de μ_{ss} pour des dopages élevés, car la modélisation Monte Carlo utilisée ici ne tient pas compte de la dégénérescence du semiconducteur. Cependant, nous pouvons en première approche l'employer en remarquant que la mobilité tend vers une asymptote pour des dopages élevés. C'est cette valeur de la mobilité qui a été retenue dans la zone de dégénérescence.

Pour établir les propriétés du transistor à une abscisse fixée, notre modèle quasi-bidimensionnel nécessite la connaissance d'une mobilité moyenne dans toute la zone active c'est-à-dire dans la zone où il y a accumulation de porteurs mais également dans la région dopée N_d . Pour cela, nous avons déterminé une mobilité moyenne à chaque abscisse x dans le canal du composant à partir de la relation suivante :

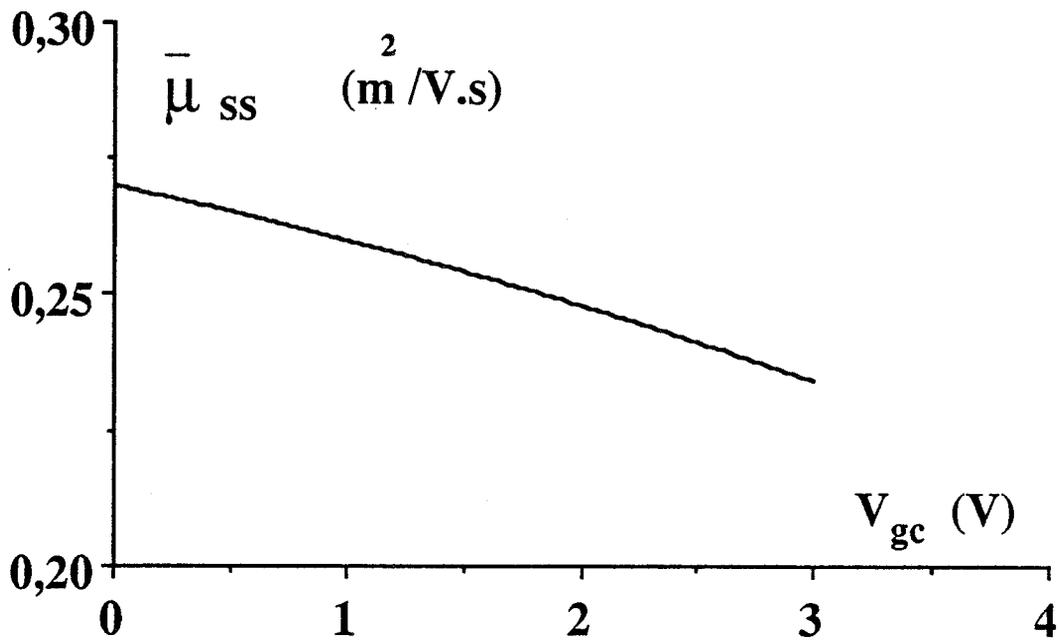


FIGURE [III.15]: Evolution théorique de la mobilité moyenne dans le canal en régime d'accumulation en fonction de la tension V_{gc} .

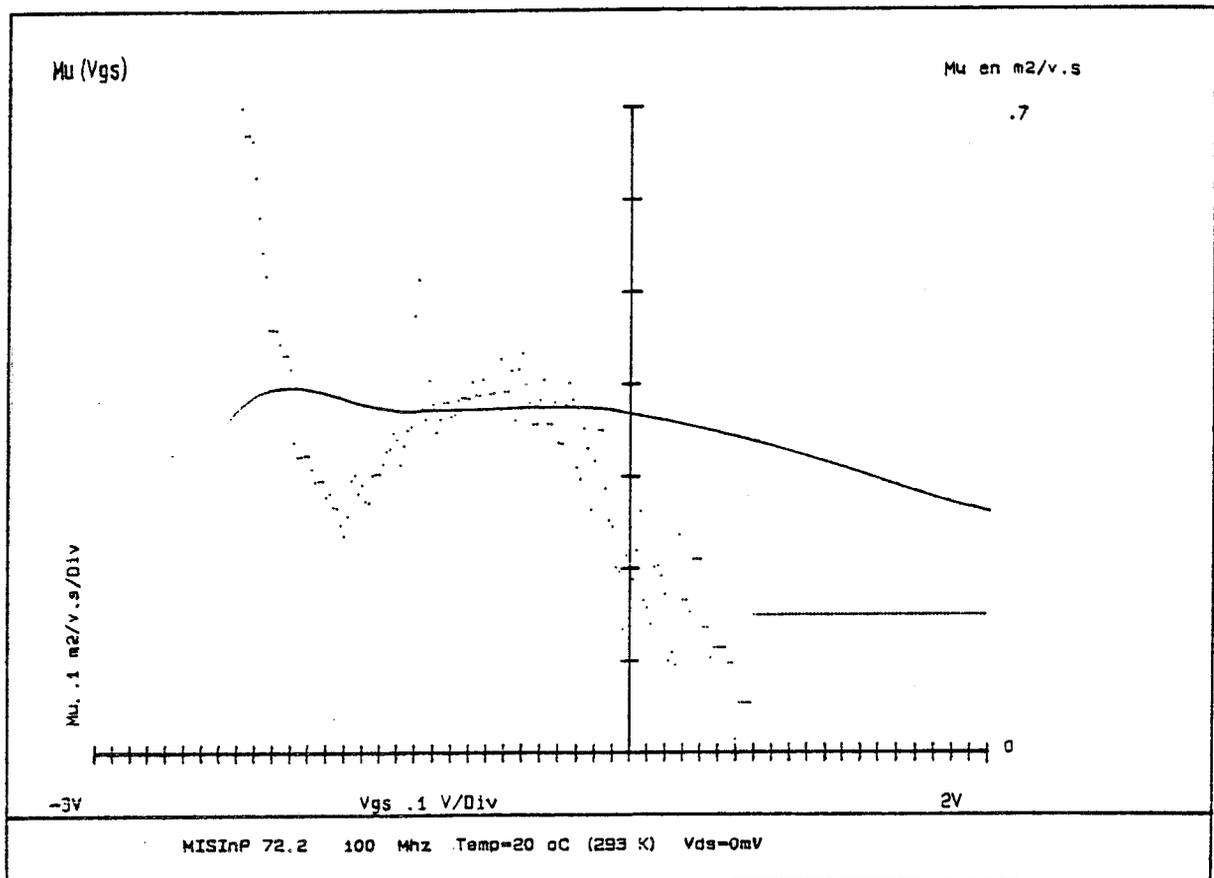


FIGURE [III.16]: Evolution expérimentale de la mobilité en fonction de la tension V_{gs} pour le transistor 72-2.

$$\bar{\mu}_{ss} = \frac{\int_0^a n_s(y) \mu_{ss}(y) dy}{\int_0^a n_s(y)}$$

où $n_s(y)$ est la densité de porteurs accumulés
 $\mu_{ss}(y)$ est la mobilité faible champ calculée à partir de la relation [III.24] adaptée à notre problème soit

$$\mu_{ss}(y) = \mu_{min} + \frac{\mu_{max} - \mu_{min}}{1 + \left(\frac{N_d + n_s(y)}{N_{Ref}}\right)^\alpha}$$

La mobilité moyenne faible champ ainsi calculée dépend de la densité de porteurs accumulés. Cette méthode est sûrement loin d'être entièrement satisfaisante, mais elle permet de tenir compte d'une manière relativement simple de l'effet de l'accumulation des porteurs sur la mobilité.

D'autre part, le calcul de cette mobilité moyenne représentée sur la figure [III.15] en accumulation montre que l'évolution, déduite de la méthode explicitée précédemment, est tout à fait réaliste si on la compare à une évolution expérimentale fig. [III.16], obtenue sur un MISFET InP.

Cette mobilité moyenne $\bar{\mu}_{ss}$ a été introduite dans l'équation [III.22] qui permet de calculer la tension $V_{gc}(x)$ dans le canal en régime d'accumulation.

III.3.4.2. RESOLUTION NUMERIQUE DES EQUATIONS

La résolution numérique des équations du programme est effectuée de proche en proche de la source au drain. Dans ce but, nous discrétisons les équations suivant l'axe Ox de la manière suivante :

- Equation du courant

(a) $I_{ds} = qZ y_c(i) n(i) v(i)$

si $V_{gc}(i) > 0$ $y_c(i) = a$ où a est l'épaisseur de zone active

si $V_{gc}(i) < 0$ $y_c(i) = a - y_d(i) + y_s(1 - N_d/n(i))$ si $n(i) > N_d$

et $y_c(i) = a - y_d(i)$ si $n(i) < N_d$

où

$$y_d(i) = y_d(i-1) + \frac{q E(i-1) \Delta x}{\epsilon_s n(i-1) y_d(i-1)} \quad \text{est la zone désertée}$$

- Equation de Poisson dans le cas où $V_{gc}(i) < 0$

$$(b) \quad E(i) = E(i-1) + \Delta x \frac{q}{\epsilon_s} \left(N_d - \frac{n(i) + n(i-1)}{2} \right)$$

- Equation remplaçant celle de Poisson dans le cas où $V_{gc}(i) > 0$

$$(c) \quad V_{gc}(i) = V_{gc}(i-1) - \frac{I_{ds} \cdot \Delta x}{q Z a (N_d + n_s(i)) \cdot \mu_n(w(i))}$$

$$(c') \quad E(i) = \frac{V_{gc}(i) - V_{gc}(i-1)}{\Delta x}$$

- Equation de la vitesse moyenne

$$(d) \quad v(i) = \mu(w(i)) \cdot E(i) \quad \text{où} \quad \mu(w(i)) = \frac{v_{ss}(i)}{E_{ss}(i)}$$

- Equation de l'énergie moyenne des porteurs dans le canal

$$(e) \quad w(i) = w(i-1) + q \Delta x \left(E(i-1) - \frac{E_{ss}(i) v_{ss}(i)}{v(i)} \right)$$

La résolution numérique de ces équations dépend du régime de fonctionnement

III.3.4.2.1. CAS DU REGIME DE DESERTION

Les équations (a) (b) (d) peuvent se mettre sous la forme d'une équation du second degré dont la variable est la vitesse :

$$\alpha(i-1) v^2(i) + \beta(i-1) v(i) + \gamma(i-1) = 0$$

Les coefficients $\alpha(i-1)$, $\beta(i-1)$ et $\gamma(i-1)$ étant déterminés par la connaissance des grandeurs physiques au pas précédent, la résolution de l'équation du second degré permet la détermination de la vitesse des porteurs à chaque abscisse. Nous pouvons ensuite calculer le champ électrique à l'aide de l'équation (d), et la densité de porteurs par l'équation (b). Le calcul est réitéré de proche en proche jusqu'au drain.

III.3.4.2.2. CAS DU REGIME D'ACCUMULATION

La procédure est différente par rapport au cas précédent. En mode d'accumulation, on utilise d'abord l'équation (e) qui nous permet de déterminer le potentiel $V_{gc}(i)$ connaissant les grandeurs à l'abscisse (i-1). Ensuite, nous pouvons calculer à partir de l'équation [III.23] la densité moyenne des porteurs accumulés n_g . L'étape suivante consiste à déterminer le champ électrique suivant l'équation (c') et enfin la vitesse par l'équation (d)

Nous avons représenté sur la figure [III.17] l'organigramme correspondant à la résolution numérique décrite. On peut remarquer que le calcul des grandeurs moyennes dans le canal est effectué pour une tension grille et un courant drain fixés, la tension V_{ds} déduite constituant le paramètre de convergence.

Le but de notre étude est d'établir les potentialités du MISFET InP pour les applications de puissance, aussi nous avons tenu compte du phénomène d'avalanche dans le canal.

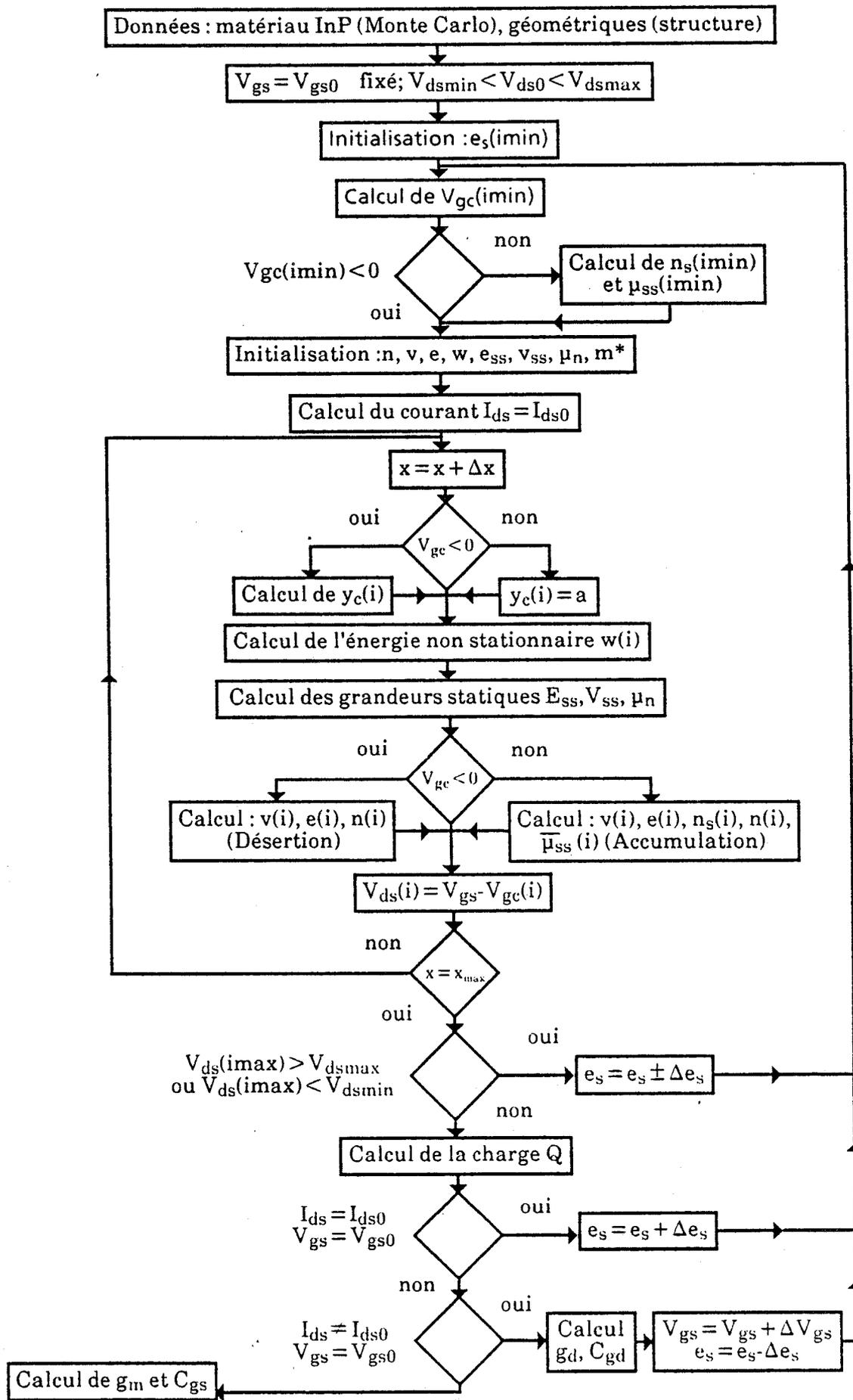


FIGURE [III.17] : Organigramme du programme pseudo-bidimensionnel.

III.3.4.3. INTRODUCTION DE L'AVALANCHE DANS LE CANAL

Nous avons cherché à introduire dans la modélisation l'influence de la multiplication des porteurs dans le canal, afin d'évaluer la tension de claquage, paramètre qui constitue une information importante pour l'amplification de puissance. Dans ce but, nous avons remplacé l'équation [III.17] par l'équation de conservation de la densité de courant suivante :

$$\frac{dJ_n(x)}{dx} = q n(x) v(x) \alpha_n(x)$$

Dans ce calcul nous avons tenu compte uniquement des porteurs majoritaires qui sont les électrons et avons négligé l'influence des trous. En conséquence, $\alpha_n(x)$ est le coefficient d'ionisation des électrons dans le matériau InP [14].

$$\alpha_n(x) = A_n \exp \left[- \frac{B_n}{E_{ss}(x)} \right]$$

avec $A_n = 4,03 \cdot 10^6 \text{ (cm}^{-1}\text{)}$
 $B_n = 2,95 \cdot 10^6 \text{ (V/cm)}$

Le champ électrique E_{ss} étant une fonction de l'énergie moyenne, on peut considérer que le coefficient d'ionisation α_n est en réalité une fonction de l'énergie [15]. Ceci nous permet de tenir compte de l'effet de la dynamique non stationnaire des porteurs où l'énergie moyenne ne suit pas instantanément les valeurs du champ électrique.

La procédure numérique de résolution des équations reste analogue à celle où l'avalanche n'est pas prise en compte. La principale différence se situe au niveau du calcul du courant drain qui augmente au fur et à mesure que l'on s'approche de celui-ci. La détermination de la tension de claquage théorique en présence de courant est liée à la limite que l'on impose à l'augmentation du courant drain pour une tension drain source fixée [16], celui-ci augmentant de façon continue avec cette dernière drain (cf. Chapitre IV). Dans notre étude, nous nous sommes donc fixés une limite arbitraire en postulant que la tension drain-source de claquage est celle qui correspond à une augmentation du courant drain de 1 à 10 % suivant que l'on est au pincement ou à canal ouvert [15].

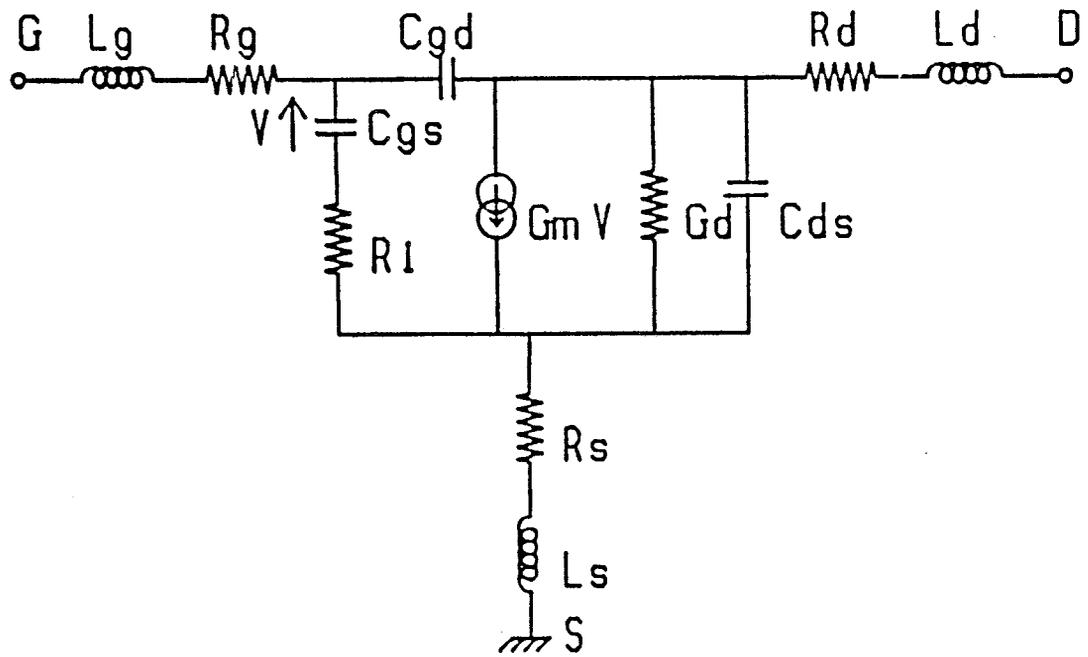


FIGURE [III.18]: Schéma équivalent du MISFET InP.

III.3.5. PRINCIPALES INFORMATIONS DEDUITES DU MODELE

Comme nous l'avons déjà précisé nous pouvons déterminer dans un premier temps les valeurs moyennes du champ électrique, de la vitesse, de la densité et de l'énergie des porteurs dans le canal du transistor. Ces grandeurs fondamentales nous permettent l'analyse physique du comportement de la structure. Dans un second temps nous pouvons calculer les caractéristiques $I_{ds}(V_{ds}, V_{gs})$ ainsi que les éléments du schéma équivalent petit signal du composant. Ces éléments nous renseignent sur les potentialités du MISFET InP en amplification de puissance hyperfréquence.

III.3.5.1. CARACTERISTIQUES $I_{ds} = f(V_{ds}, V_{gs})$

Pour un courant drain-source I_{ds} et une tension V_{gs} fixés, le calcul du champ électrique dans le canal du transistor nous permet de déduire la tension drain-source par la relation suivante :

$$V_{ds} = \sum_{i=i_{\min}}^{i_{\max}} \left(\frac{E(i) + E(i+1)}{2} \right) \Delta x$$

il est alors possible d'obtenir les caractéristiques du courant drain en fonction de la tension grille-source et drain-source, $I_{ds}(V_{ds}, V_{gs})$.

III.3.5.2. DETERMINATION DU SCHEMA EQUIVALENT PETIT SIGNAL

Nous avons représenté sur la figure [III.18] le schéma équivalent petit signal de la structure MISFET InP. Ce dernier est semblable à celui utilisé pour tout transistor à effet de champ aussi nous avons utilisé pour l'établir une méthode analogue à celle décrite pour le MESFET GaAs [1].

Pour déterminer les différentes capacités C_{gd} et C_{gs} (la capacité C_{ds} n'étant pas calculable et très faible) nous sommes amenés à calculer la charge stockée sous la grille. Le calcul de celle-ci diffère suivant le régime de fonctionnement :

si $V_{gc}(i) < 0$ (fonctionnement en désertion) nous calculons la charge présentée par la zone désertée soit :

$$Q_1 = q Z N_d \Delta x \sum_i \frac{y_d(i) + y_d(i+1)}{2}$$

où $y_d(i)$ désigne l'épaisseur de la zone désertée.

si $V_{gc}(i) > 0$ (fonctionnement en accumulation). La charge calculée dans ce cas correspond à la charge totale comprise dans une tranche du composant soit :

$$Q_2 = q Z a \Delta x \sum_i \left(\bar{n}_s(i) + N_d \right)$$

Dans ces expressions, les bornes de sommation dépendent du mode de fonctionnement à chaque abscisse c'est-à-dire de la tension grille-canal $V_{gc}(x)$. Suivant que les deux régimes coexistent ou pas sous la grille, la charge totale intervenant dans le calcul des capacités est différente. En effet si seul existe le régime d'accumulation la charge Q sera formée par la charge Q_2 , si seul existe le régime de désertion par la charge Q_1 et enfin si les deux régimes sont présents par la somme de Q_1 et Q_2 .

Le calcul du schéma équivalent petit signal est ensuite réalisé à partir des définitions classiques de ces éléments :

La capacité C_{gs} $C_{gs} = \left. \frac{\partial Q}{\partial V_{gs}} \right|_{V_{ds}}$

La capacité C_{gd} $C_{gd} = \left. \frac{\partial Q}{\partial V_{ds}} \right|_{V_{gs}}$

La transconductance g_m $g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}}$

La conductance de sortie g_d $g_d = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{gs}}$

Nous pouvons maintenant préciser la méthode numérique permettant ces différents calculs.

III.3.5.3. METHODE NUMERIQUE DE CALCUL DES PARAMETRES

Dans une première étape la détermination de g_d et C_{gd} est effectuée de la manière suivante : on fait varier la tension V_{ds} (ceci est obtenu en augmentant le courant drain d'une valeur ΔI_{ds}) en maintenant la tension V_{gs} constante. La connaissance des nouvelles valeurs de la charge Q et de V_{ds} permet d'écrire :

$$g_d = \frac{I_{ds}(2) - I_{ds}(1)}{V_{ds}(2) - V_{ds}(1)} = \frac{\Delta I_{ds}}{\Delta V_{ds}}$$

et

$$C_{gd} = \frac{Q_1(2) - Q_1(1)}{V_{ds}(2) - V_{ds}(1)} + \frac{Q_2(1) - Q_2(2)}{V_{ds}(2) - V_{ds}(1)} = \frac{\Delta Q_1}{\Delta V_{ds}} + \frac{-\Delta Q_2}{\Delta V_{ds}}$$

Ensuite dans un second temps on fait varier la tension V_{gs} de ΔV_{gs} en maintenant le courant I_{ds} constant. Nous pouvons alors calculer la transconductance g_m et la capacité C_{gs} en posant :

$$g_m = g_d \frac{V_{ds}(3) - V_{ds}(1)}{\Delta V_{gs}} = g_d \frac{\Delta V_{ds}}{\Delta V_{gs}}$$

et

$$C_{gs} = \frac{\left(Q_1(1) - Q_1(3) + Q_2(3) - Q_2(1) \right) + C_{gd} \left(V_{ds}(3) - V_{ds}(1) - \Delta V_{gs} \right)}{\Delta V_{gs}}$$

La détermination des paramètres classiques comme la fréquence de coupure du gain en courant f_c , le gain en puissance maximale G et la fréquence de transit est ensuite obtenue à partir des relations suivantes :

$$f_c = \frac{g_m}{2\pi C_{gs}}$$

$$G = \left(\frac{f_c}{f} \right)^2 \frac{1}{4g_d (R_g + R_s + R_i + \pi f_c L_s) + 4\pi f_c C_{gd} (2R_g + R_i + R_s + 2\pi f_c L_s)}$$

$$\tau = \sum_i \frac{2\Delta x}{v(i) + v(i-1)} \quad \text{et} \quad f_t = \frac{1}{2\pi\tau}$$

la sommation est effectuée sur la longueur effective de la grille, c'est-à-dire contenant les effets de bords.

III.4. CONCLUSION

A partir de la modélisation décrite dans ce chapitre, il est possible d'étudier le comportement du MISFET InP en régime de désertion et en régime d'accumulation. Ce modèle d'utilisation très souple peut être facilement adapté pour différentes structures de type MIS ou MOS ayant des technologies et des géométries différentes tant que le courant grille demeure négligeable pour une tension grille-source positive.

Le programme mis au point constitue un outil indispensable pour l'étude et l'optimisation de structures MISFET InP pour l'amplification de puissance en permettant une analyse précise des effets physiques, de l'influence des principaux paramètres et de la géométrie du transistor.

Cependant, une validation du modèle s'avère indispensable à l'aide d'une comparaison théorie-expérience sur différentes structures de type MISFET. Dans le chapitre suivant, nous nous proposons d'effectuer cette validation et de réaliser une étude complète de la structure afin de décrire la structure optimale.

BIBLIOGRAPHIE

- [1] "Sur un nouveau modèle de transistor à effet de champ à grille submicronique".
Thèse de 3e cycle, A. CAPPY, Lille, 29 juin 1981.
- [2] "Microwave power amplification with InP FET's"
M. ARMAND, J. CHEVRIER, NUYEN T. LINH
Electronics Letters, Vol. 16, n° 24, pp. 906-907, Nov. 80.
- [3] "Depletion and enhancement modes in InP MISFET for power applications"
P. FELLON, J.C. DE JAEGER, Y. CROSNIER
Annales des télécommunications (1990) à paraître.
- [4] "High-speed enhancement-mode InP MISFET's grown by chloride vapor-phase epitaxy".
A. ANTREASYAN, P.A. GARBINSKI, V.D. MATTERA, J.R. M.D. FREYER, H. TEMKIN, J. FILIPE
IEEE Trans. on Electron Devices, Vol. ED-26, n° 2, Feb. 89.
- [5] "Modélisation de transistors à effet de champ à grille ultracourte"
B. CARNEZ, A. CAPPY, G. SALMER, E. CONSTANT
Acta Electronica 23, 2, 1980, pp. 165-183.
- [6] "A comprehensive analytical model for II-V compound MISFET's"
P.M. HILL
IEEE Transactions on Electron Devices, Vol. ED-23, n° 11, Nov. 85.
- [7] "The effect of surface states on the characteristics of MISFET effect transistors"
D.L. LILE
Solid-State electron. Vol. 21, pp. 1199-1207 (1978).
- [8] "Etude théorique et expérimentale du transistor MISFET InP de puissance"
DEA, P. FELLON, Lille, 8 juillet 1987.
- [9] "Physique des semiconducteurs et des composants électroniques"
H. MATHIEU (Masson).
- [10] "Techniques numériques appliquées au calcul scientifique"
J.P. PELLETIER (Masson)
- [11] "Analytic approximation for degenerate accumulation layers in semiconductors, with applications to barrier lowering in isotype heterojunction".
H. KROEMER
J. Appl. Phys. 52(2) Feb. 1981.
- [12] "Etude théorique et expérimentale du transistor à effet de champ à hétérojonction AlGaAs/GaAs".
Thèse 3e cycle, C. VERSNAEYEN, Lille, 9 juillet 1985.

- [13] "Etude des phénomènes de transport électronique dans le silicium de type N en régimes stationnaires et non stationnaires par la méthode de Monte Carlo. Applications à la simulation de composants submicroniques"
Thèse d'Etat, J. ZIMMERMANN, Lille, 1980.

- [14] "Impact ionization by electrons and holes in InP"
K. CHUNG-WHEI, C.R. CROWELL
Solid-State electron. 1980, n° 23, p. 881-891.

- [15] "Theoretical analysis of the DC avalanche breakdown in GaAs MESFET's"
R. WROBLEWSKI, G. SALMER, Y. CROSNIER
IEEE Trans. on Electron. Devices, Vol. ED-30, N° 2, Feb. 83.

- [16] "Control of gate-drain avalanche in GaAs MESFET's"
S.H. WEMPLE
IEEE Trans. on Electron Devices, Vol. ED-27, N° 6, June 80.

- [17] "Physique des composants actifs à semiconducteurs"
P. LETURCQ, G. REY (Dunod).

CHAPITRE IV

VALIDATION ET EVALUATION DES PERFORMANCES DU MISFET InP A PARTIR DU MODELE PSEUDO-BIDIMENSIONNEL

IV.1. INTRODUCTION

Ce chapitre concerne la validation et l'exploitation de la modélisation pseudo-bidimensionnelle décrite dans le chapitre précédent.

Dans une première partie, nous proposons une comparaison théorie-expérience à l'aide de mesures expérimentales effectuées sur différents types de transistors MISFET InP réalisés par le CNET Bagnoux afin de valider notre modèle.

La seconde partie est consacrée d'une part à l'étude physique du MISFET InP pour les régimes de fonctionnement en accumulation et en désertion et d'autre part à l'influence des paramètres technologiques et géométriques. L'analyse physique des principales grandeurs (champ électrique, vitesse, énergie, concentration des porteurs...) permet de mettre en évidence les principaux phénomènes physiques mis en jeu et de mieux comprendre le comportement de la structure. Concernant l'étude des caractéristiques électriques, il est possible d'établir à partir de celle-ci la tension de claquage et le courant maximum présentés par le transistor qui constituent des grandeurs fondamentales pour un composant de puissance. Nous déduisons également les caractéristiques hyperfréquences (g_m , f_c , MAG) du transistor et effectuons une analyse la plus complète possible de l'influence des paramètres de la structure nous permettant ainsi d'évaluer les conditions à respecter pour la réalisation d'un composant optimal destiné à l'amplification de puissance en hyperfréquences.

IV.2. VALIDATION DU MODELE

Nous nous proposons dans cette partie de valider le modèle pseudo-bidimensionnel présenté lors du chapitre précédent à partir d'une confrontation théorie-expérience effectuée sur les deux types de composants : le premier concerne des transistors MISFET InP à canal dopé (désertion et accumulation), le second des transistors à canal non dopé (enrichissement). Nous complétons cette validation par une comparaison avec les résultats obtenus par MESSICK [1] sur des composants de puissance.

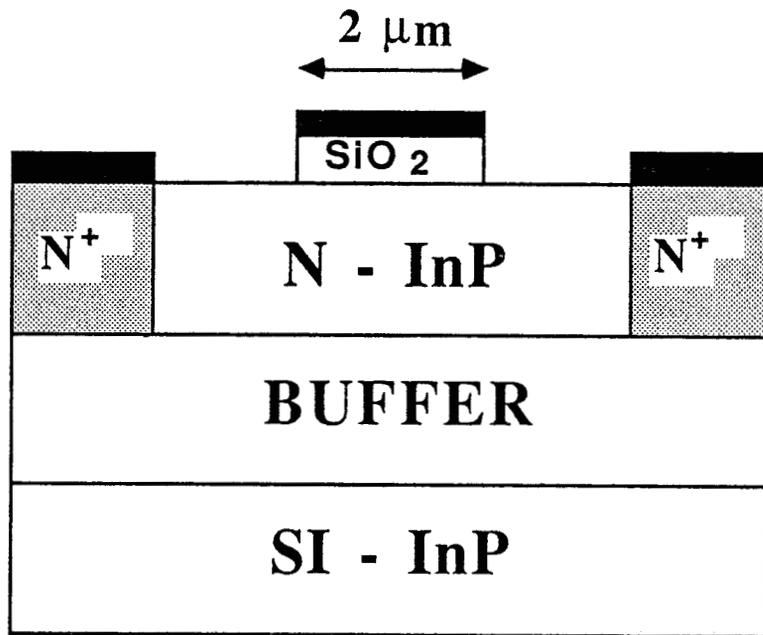


FIGURE |IV.1|: Caractéristiques de la structure expérimentale normally-on modélisée.

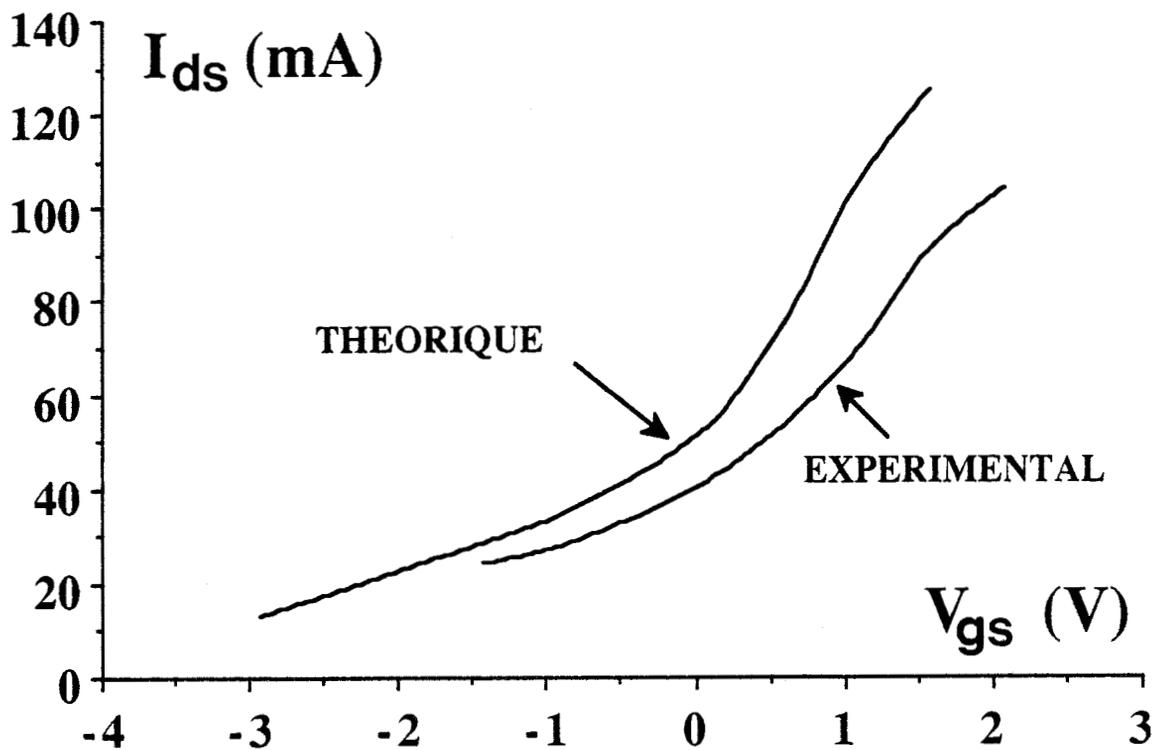


FIGURE |IV.2|: Caractéristiques théorique et expérimentale $I_{ds} = f(V_{gs})$ pour un MISFET normally-on ($N_d = 5 \times 10^{16} \text{ cm}^{-3}$, $y_1 = 700 \text{ \AA}$, $L_g = 2 \mu\text{m}$, $a = 0,2 \mu\text{m}$ et $Z = 300 \mu\text{m}$).

IV.2.1. MISFET A CANAL DOPE

IV.2.1.1. LA STRUCTURE

Nous avons représenté sur la figure [IV.1.] le schéma d'une structure MISFET InP à désertion et accumulation élaborée par le CNET Bagneux [2]. Ces composants sont réalisés à partir d'un substrat InP semi-isolant. Le canal obtenu par implantation de silicium, possède un dopage de 5.10^{16} atm/cm³ pour une hauteur de 0,2 µm. La longueur de la grille est d'environ 2 µm pour un développement de 300 µm. L'isolant sous la grille (SiO₂) est déposé par activation ultraviolette (UV-CVD) et présente une épaisseur d'environ 700 Å. Il faut noter que la figure [IV.1] est très schématique notamment en ce qui concerne le dépôt du contact de grille, qui est souvent mal aligné dans la pratique. Cet inconvénient joue un rôle important dans la dégradation des performances hyperfréquences du transistor en augmentant considérablement les capacités C_{gs} et C_{gd}, ce qui nous a par ailleurs rendu impossible une comparaison théorie-expérience de ces paramètres.

IV.2.1.2. COMPARAISON THEORIE-EXPERIENCE

Après avoir précisé la structure du composant, nous pouvons aborder la confrontation théorie-expérience. Celle-ci porte plus particulièrement sur la comparaison des caractéristiques courant-tension I_{ds} (V_{gs}, V_{ds}) et sur l'évolution de la transconductance g_m en fonction de la tension grille-source V_{gs}.

IV.2.1.2.1. CARACTERISTIQUES I_{ds}(V_{gs})

Dans cette étude nous avons surtout cherché à vérifier les évolutions des principales grandeurs en utilisant pour les paramètres les valeurs estimées lors de la réalisation technologique des composants. Un ajustement de ceux-ci aurait pu donner lieu à un meilleur accord.

Nous avons représenté sur la figure [IV.2] les évolutions théoriques et expérimentales des caractéristiques I_{ds}(V_{gs}) pour une tension drain-source V_{ds} de 4V. Les caractéristiques statiques expérimentales présentées dans cette étude sont obtenues à partir d'un banc de mesure automatique couplé à un ordinateur

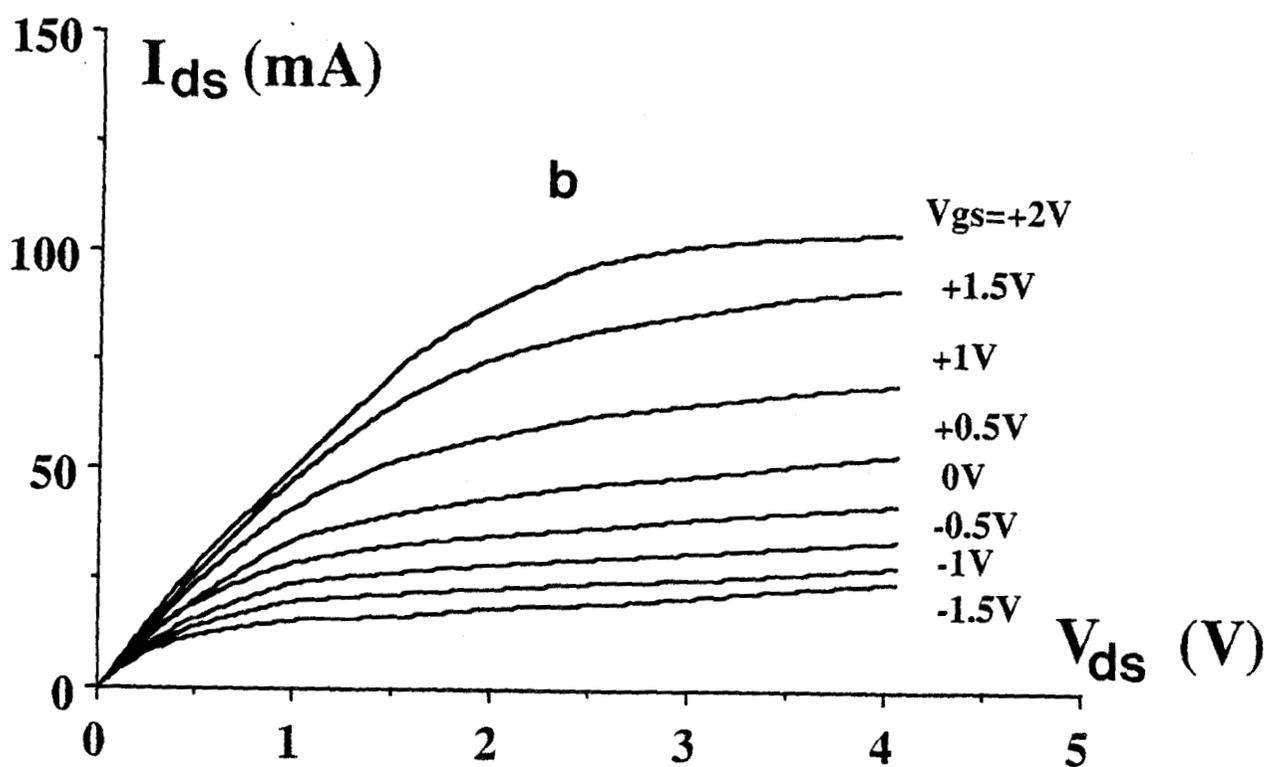
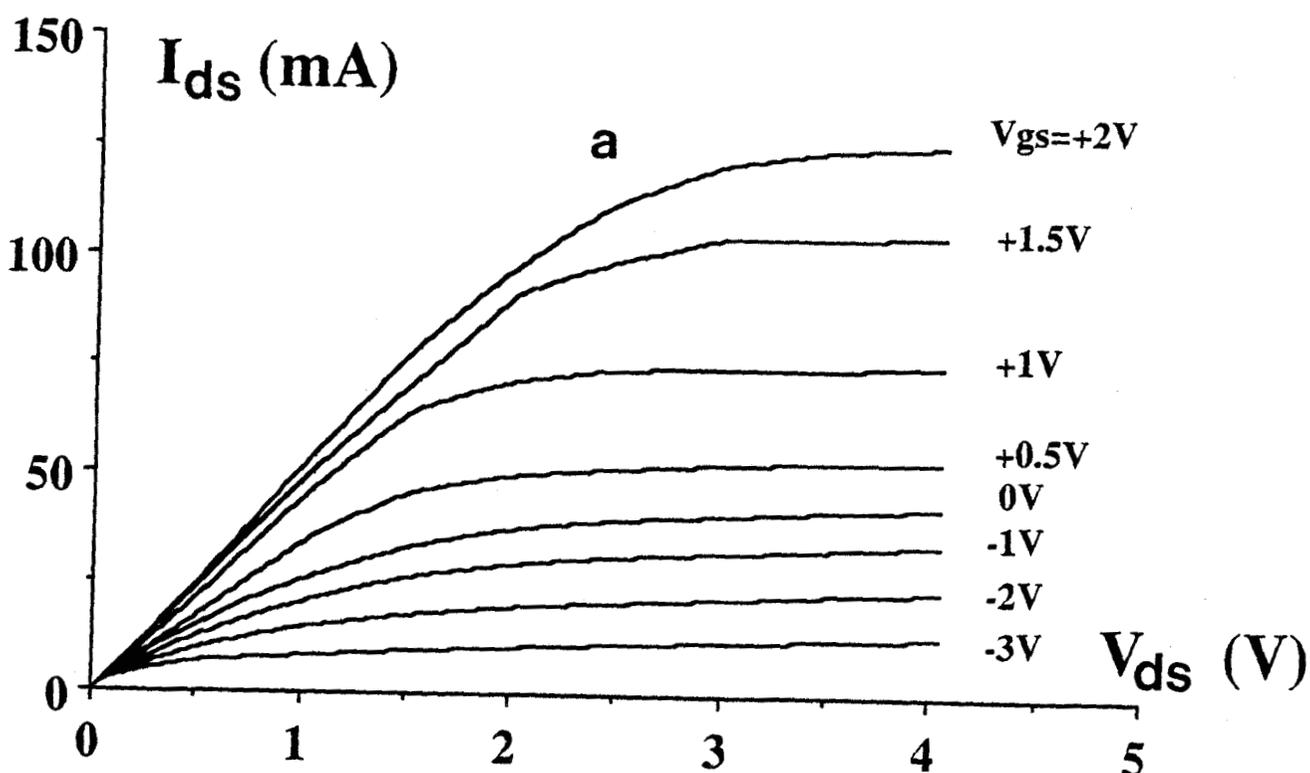


FIGURE [IV.3]: Caractéristiques théoriques (a) et expérimentale (b) $I_{ds} = f(V_{ds})$ pour un MISFET normally-on ($N_d = 5 \times 10^{16} \text{ cm}^{-3}$, $y_l = 700 \text{ \AA}$, $L_g = 2 \text{ \mu m}$, $a = 0,2 \text{ \mu m}$ et $Z = 300 \text{ \mu m}$).

HP 85. Nous pouvons remarquer un accord tout à fait satisfaisant entre les deux évolutions avec cependant une légère divergence lorsque la tension V_{gs} augmente. L'origine probable de cette différence en régime d'accumulation semble liée à des défauts existants à l'interface isolant-semiconducteur. De plus, il faut noter que dans cette comparaison nous n'avons pas tenu compte du phénomène de dégénérescence possible pour des tensions V_{gs} largement positives. Nous reviendrons sur ce point ultérieurement lors de l'étude de résultats obtenus à partir de la statistique de FERMI-DIRAC.

IV.2.1.2.2. CARACTERISTIQUES $I_{ds}(V_{ds})$

Les caractéristiques théoriques et expérimentales $I_{ds}(V_{ds})$ pour différentes tensions V_{gs} sont représentées sur les figures [IV.3.a] et [IV.3.b]. Le courant drain obtenu en forte accumulation présente comme nous l'avons déjà signalé pour la caractéristique $I_{ds}(V_{gs})$ une valeur théorique plus élevée que le courant mesuré sur les échantillons.

En ce qui concerne le régime de désertion, les résultats expérimentaux mettent en évidence quelques problèmes au niveau du pincement. En effet, on peut remarquer que pour des tensions V_{gs} inférieures à - 1,5 V, il se produit un tassement des caractéristiques et par conséquent l'impossibilité d'obtenir le pincement du canal. Ces problèmes peuvent être attribués à des défauts technologiques encore mal identifiés comme un substrat semi-isolant de mauvaise qualité (courant de fuite) ou encore des phénomènes de piégeage à l'interface isolant-semiconducteur [3,4,5]. Ces effets, impliquent que la comparaison avec les résultats théoriques, où ces derniers ne sont pas pris en compte, n'est pas significative pour des tensions V_{gs} inférieures à - 1,5 V.

IV.2.1.2.3. CARACTERISTIQUES $g_m(V_{gs})$

A partir des évolutions $I_{ds}(V_{gs})$ nous pouvons déduire facilement les caractéristiques théoriques et expérimentales de la transconductance statique g_m en fonction de la tension grille-source V_{gs} . La figure [IV.4] nous montre les évolutions obtenues, sur la même série de transistors que précédemment pour une tension V_{ds} de 4V. On peut remarquer sur cette figure deux comportements très différents selon le mode de fonctionnement du transistor. En régime de désertion

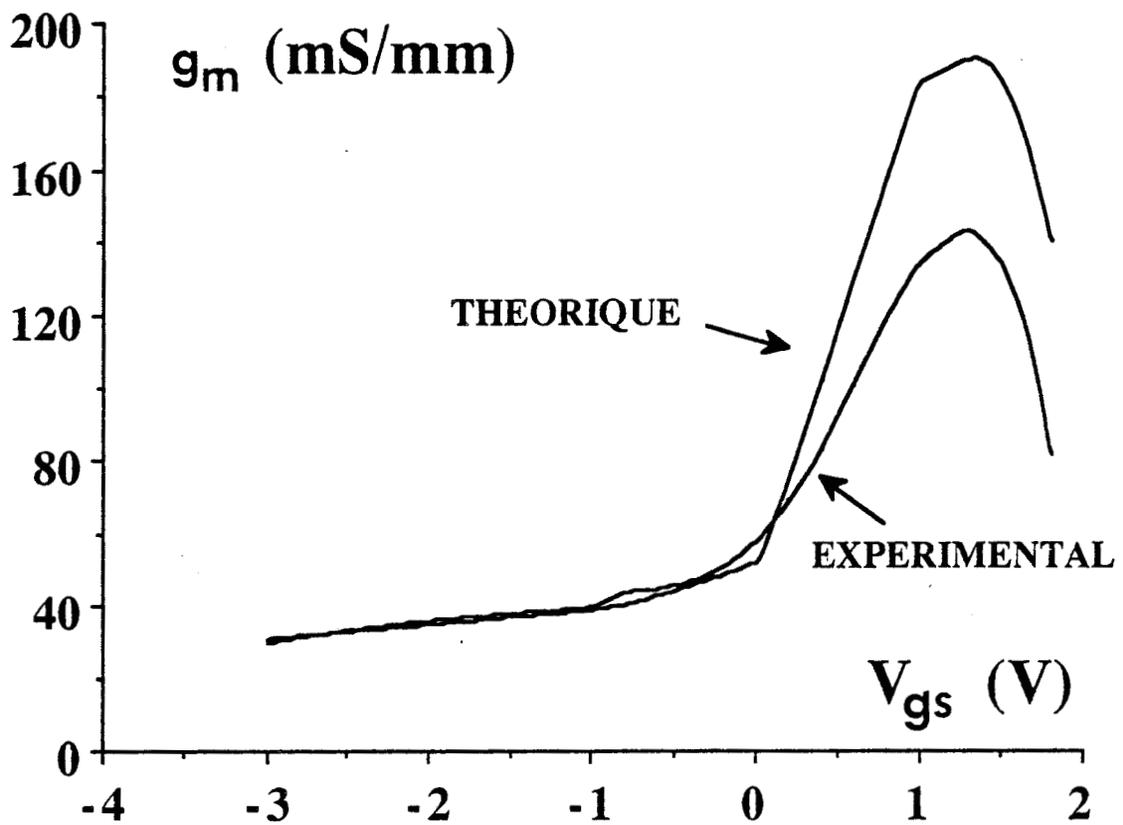


FIGURE [IV.4]: Evolutions théorique et expérimentale de la transconductance g_m en fonction de la tension V_{gs} pour un MISFET normally-on ($V_{ds} = 4$ V, $N_d = 5 \times 10^{16}$ cm⁻³, $y_1 = 700$ Å, $L_g = 2$ μm, $a = 0,2$ μm et $Z = 300$ μm).

la transconductance est relativement constante (comportement linéaire) en fonction de la tension grille-source. Par contre, en régime d'accumulation (V_{gs} positif), on constate que la transconductance est quatre à cinq fois supérieure à celle obtenue en désertion [2]. La valeur maximum dans ce cas est atteinte pour une tension V_{gs} de l'ordre de + 1 V.

A propos des valeurs de la transconductance en désertion, on peut remarquer qu'elles sont nettement plus faibles que celles correspondant au MESFET GaAs, pour ce même régime [6], ce désavantage étant dû à la présence de la couche isolante sous la grille amortissant la commande du canal. Néanmoins l'évolution de la transconductance apparaît favorable pour ce régime de fonctionnement. D'autre part, en régime d'accumulation, on observe un comportement peu linéaire en fonction de V_{gs} , comportement probablement préjudiciable dans les applications de puissance où les excursions en tensions sont très importantes.

On peut également remarquer, sur les caractéristiques courant-tension, un des avantages de l'utilisation d'une grille isolée par un véritable diélectrique. En effet, celui-ci empêche la naissance d'un courant de grille néfaste au bon fonctionnement du transistor [7] et permet de polariser ce dernier avec des tensions V_{gs} largement positives, entraînant une augmentation non négligeable du courant drain.

En conclusion de cette première comparaison théorie-expérience concernant le MISFET InP à canal dopé, nous avons observé et ce malgré quelques problèmes technologiques, un accord satisfaisant entre les résultats théoriques et expérimentaux.

Nous allons dans la partie suivante aborder le deuxième type de transistor : le MISFET InP à canal non dopé.

IV.2.2. MISFET A CANAL NON DOPE

Bien que le MISFET InP à canal non dopé, fonctionnant uniquement en enrichissement, ne constitue pas la structure optimale pour les applications de puissance (du fait du courant drain relativement plus faible dans ce type de composant) il apparaît néanmoins très intéressant dans le cadre d'une étude

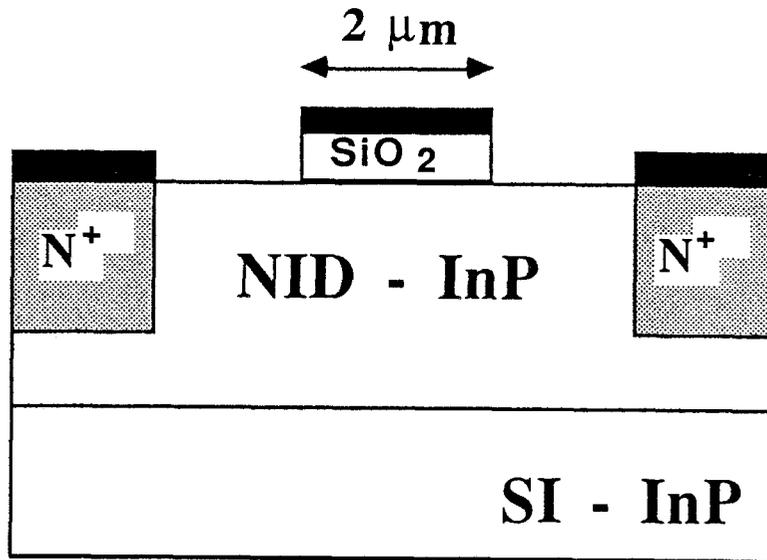


FIGURE [IV.5]: Caractéristiques de la structure expérimentale normally-off modélisée.

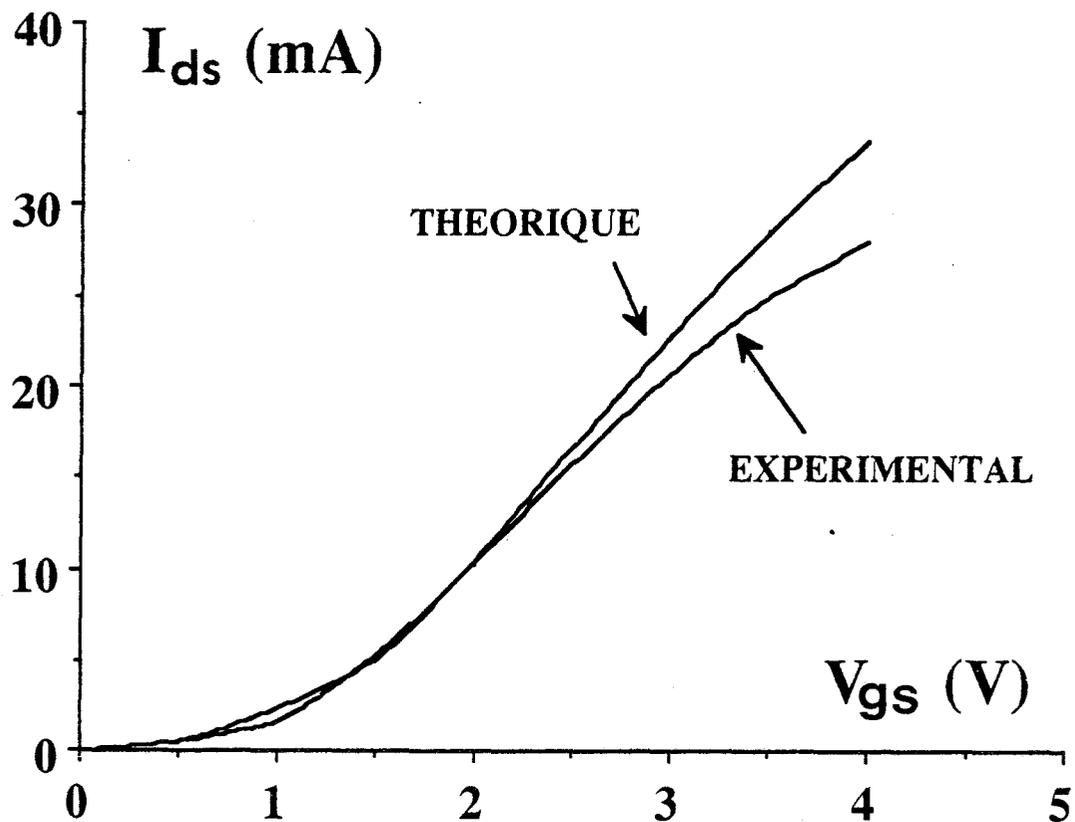


FIGURE [IV.6]: Comparaison des caractéristiques théorique et expérimentale $I_{ds} = f(V_{gs})$ pour un MISFET normally-off ($N_d = 10^{14} \text{ cm}^{-3}$, $y_I = 700 \text{ \AA}$, $L_g = 2 \mu\text{m}$ et $Z = 300 \mu\text{m}$).

préliminaire d'en étudier les potentialités. D'autre part, une confrontation théorie-expérience sur ce type de composant constitue une possibilité supplémentaire de valider notre modèle en régime d'enrichissement.

IV.2.2.1. LA STRUCTURE

Le schéma du transistor à enrichissement est représenté sur la figure [IV.5]. Les dimensions géométriques et paramètres technologiques sont identiques à la structure présentée au début de ce chapitre. La seule différence concerne le caractère non intentionnellement dopé de la zone active du transistor.

IV.2.2.2. COMPARAISON THEORIE-EXPERIENCE

La comparaison théorie-expérience pour la structure normally-off décrite ci-dessus est réalisée de la même manière que celle effectuée pour les composants normally-on précédents.

IV.2.2.2.1. CARACTERISTIQUES $I_{ds}(V_{gs})$

Les évolutions théoriques et expérimentales des caractéristiques courant-drain I_{ds} fonction de la tension grille-source V_{gs} pour une tension V_{ds} de 4 V sont rassemblées sur la figure [IV.6]. On peut constater une bonne concordance des résultats, en particulier pour des tensions inférieures ou égales à 3V. Pour des tensions V_{gs} supérieures, le courant drain théorique est plus élevé comme pour la structure étudiée précédemment, ceci s'expliquant par le fait que le modèle ne tient pas compte des problèmes liés aux défauts existants à l'interface isolant-semiconducteur.

IV.2.2.2.2. CARACTERISTIQUES $I_{ds}(V_{ds})$

Les caractéristiques théoriques et expérimentales du courant drain I_{ds} fonction de la tension drain-source V_{ds} sont données respectivement sur les figures [IV.7.a] et [IV.7.b]. La comparaison des deux évolutions calculée et mesurée est tout à fait satisfaisante, aussi bien en ce qui concerne la tension de

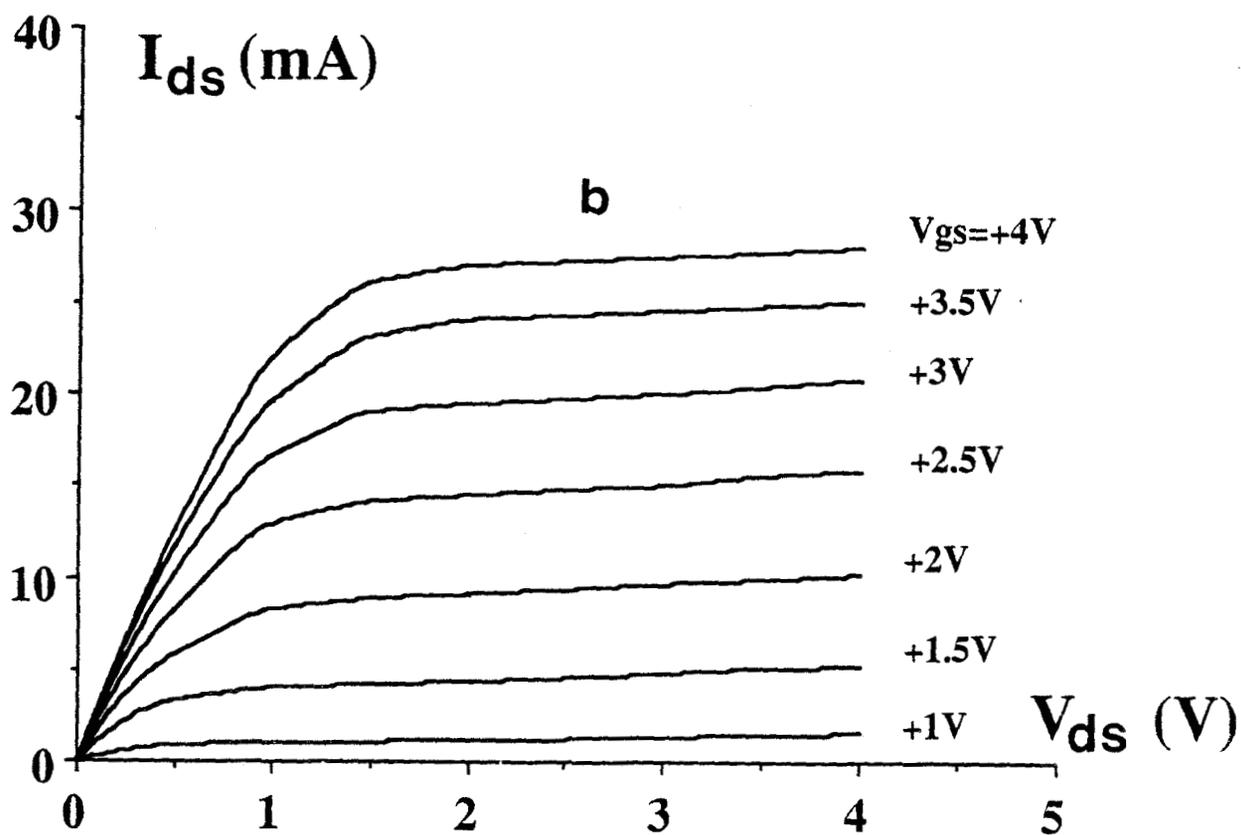
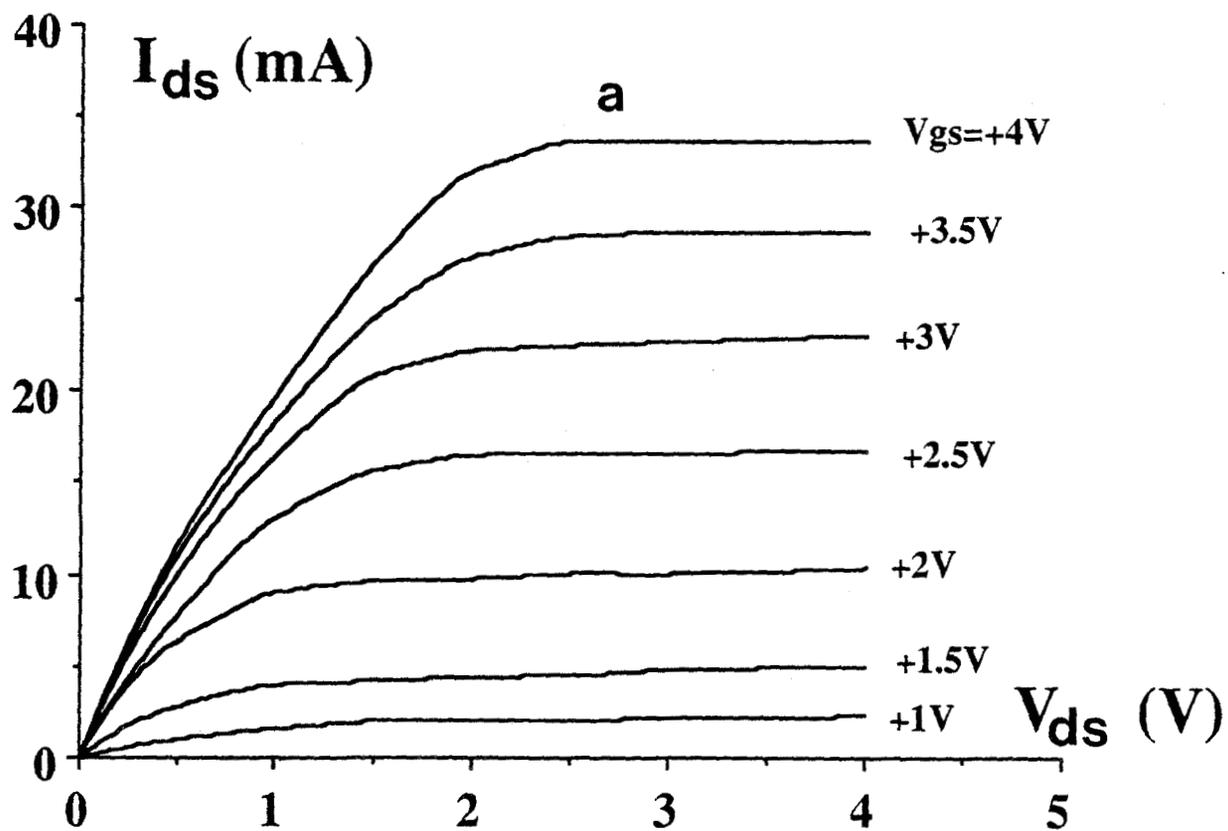


FIGURE [IV.7]: Caractéristiques théoriques (a) et expérimentale (b) $I_{ds} = f(V_{ds})$ pour un MISFET normally-off ($N_d = 10^{14} \text{ cm}^{-3}$, $y_l = 700 \text{ \AA}$, $L_g = 2 \text{ \mu m}$ et $Z = 300 \text{ \mu m}$).

seuil que l'évolution du courant avec la tension V_{gs} . On peut cependant remarquer comme précédemment que les valeurs théoriques du courant sont un peu plus élevées que les mesures.

IV.2.2.2.3. CARACTERISTIQUES $g_m(V_{gs})$

Nous avons tracé sur la figure [IV.8] les évolutions théorique et expérimentale de la transconductance en fonction de la tension grille-source V_{gs} . Pour une tension drain-source de 4 V, la valeur maximum de la transconductance est obtenue pour une tension de grille d'environ 2V. On peut remarquer que celle-ci est relativement peu linéaire en fonction de la tension V_{gs} ce qui constitue un comportement analogue au transistor MISFET InP à canal dopé en régime d'accumulation. Il est cependant important de noter que la valeur de ce maximum est beaucoup plus faible que celle obtenue pour le type de transistor précédent.

Nous allons maintenant aborder l'étude de l'influence de la dégénérescence du semiconducteur en régime de forte accumulation.

IV.2.3. INFLUENCE DE LA DEGENERESCENCE SUR LA CARACTERISTIQUE $I_{ds}(V_{ds}, V_{gs})$

Pour mettre en évidence cet effet nous avons représenté sur la figure [IV.9] les caractéristiques $I_{ds}(V_{ds}, V_{gs})$ déterminées suivant la statistique classique de BOLTZMANN d'une part, et celle de FERMI-DIRAC d'autre part. On remarque que la prise en compte de la dégénérescence par la statistique de FERMI-DIRAC décrite au chapitre III a pour effet de diminuer le courant drain en régime d'accumulation et ce d'autant plus que la tension V_{gs} est élevée. En effet, lorsque la tension V_{gs} croît il en résulte une augmentation de la zone où dans le semiconducteur celui-ci est dégénéré, ce qui a pour conséquence d'accentuer les conditions pour lesquelles la statistique de BOLTZMANN n'est plus applicable. Il en résulte que dans ce cas les caractéristiques théoriques sont plus proches de l'expérience en utilisant la statistique de FERMI-DIRAC. Ce résultat semble logique puisque dans ce cas, le principe d'exclusion de Pauli a pour conséquence une réduction du nombre des électrons. Cependant, pour des tensions V_{gs} inférieures à 2V les caractéristiques restent proches et l'utilisation de la statistique de BOLTZMANN constitue une bonne approximation. Il

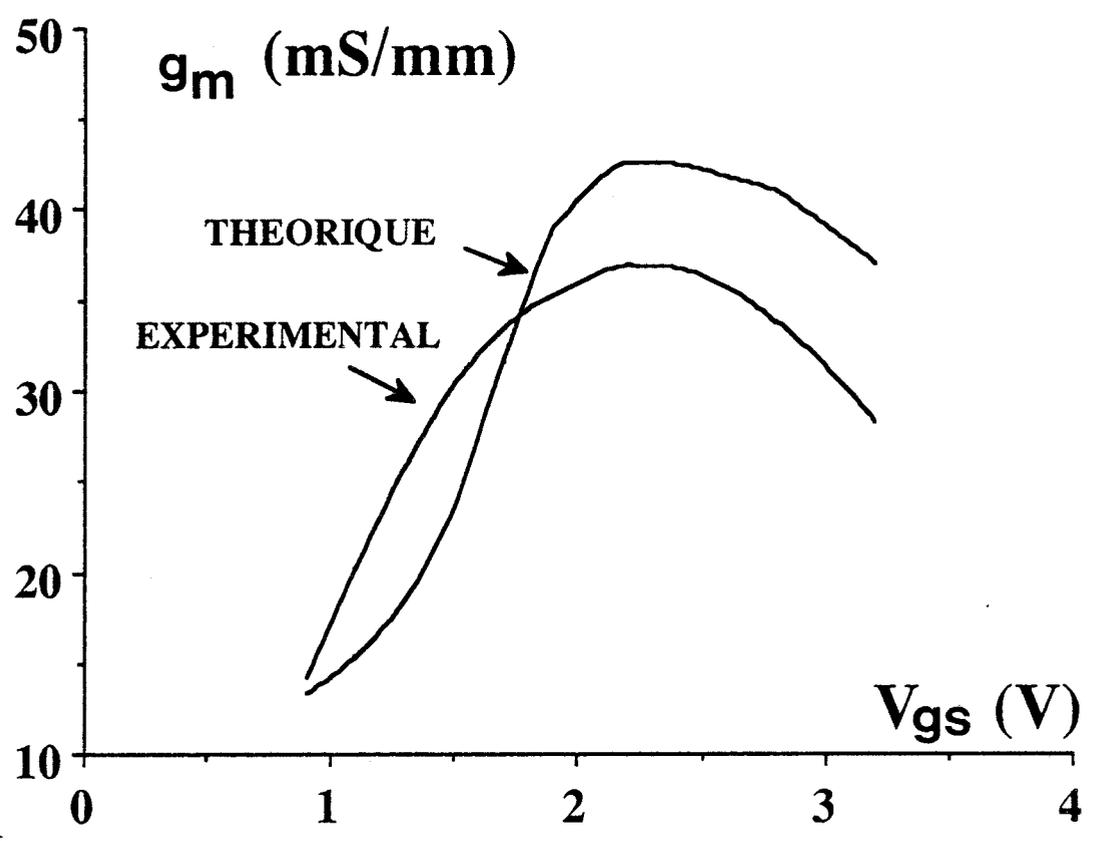


FIGURE [IV.8]: Evolutions théorique et expérimentale de la transconductance g_m en fonction de la tension V_{gs} pour un MISFET normally-off ($V_{ds} = 4V$, $N_d = 10^{14} \text{ cm}^{-3}$, $y_1 = 700 \text{ \AA}$, $L_g = 2 \text{ \mu m}$ et $Z = 300 \text{ \mu m}$).

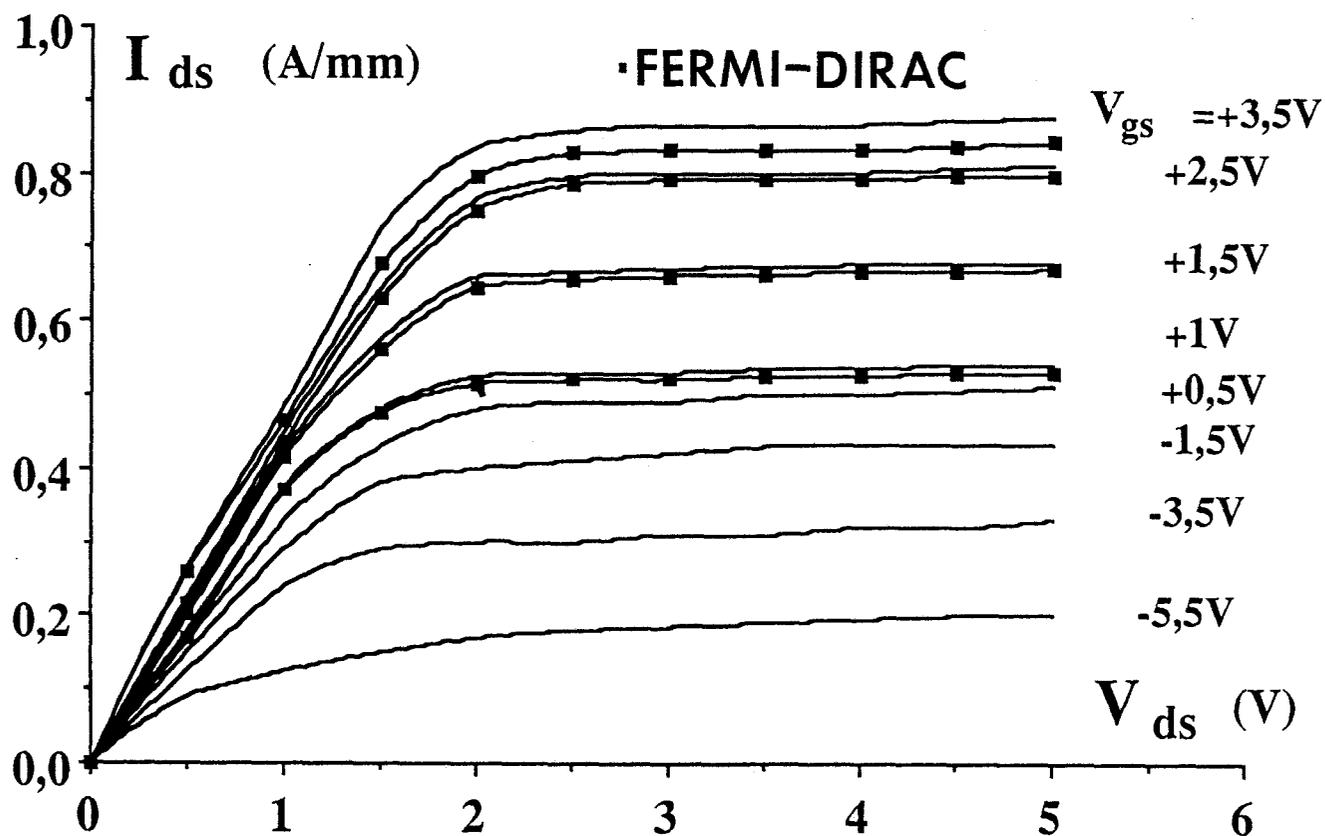


FIGURE [IV.9]: Comparaison des caractéristiques $I_{ds} = f(V_{gs})$ pour différentes tensions V_{gs} mettant en évidence une diminution du courant-drain en régime de forte accumulation lorsque l'on utilise la statistique de FERMI-DIRAC ($N_d = 10^{17} \text{ cm}^{-3}$, $y_I = 700 \text{ \AA}$, $L_g = 1 \text{ \mu m}$, $a = 0,2 \text{ \mu m}$ et $Z = 1 \text{ mm}$).

paramètres	expérience $N_d = 10^{17} \text{ cm}^{-3}$	théorie $N_d = 10^{17} \text{ cm}^{-3}$	théorie $N_d = 1,5 \cdot 10^{17} \text{ cm}^{-3}$
I_{dss}	660 mA	420 mA	670 mA
I_{ds} $V_{gs} = -8,5 \text{ V}$ $V_{ds} = 14,5 \text{ V}$	369 mA	170 mA	400 mA
g_m (même polarisation)	38 mS	37 mS	35 mS
$L_g = 1,4 \mu\text{m}$, $a = 0,2 \mu\text{m}$, $Z = 1 \text{ mm}$, $y_I = 0,1 \mu\text{m}$, $L_{gs} = L_{gd} = 1,5 \mu\text{m}$			

TABLEAU [IV.1]: Comparaison théorie-expérience des résultats obtenus par MESSICK et al et le modèle pseudo-bidimensionnel.

convient aussi de signaler que d'autres phénomènes physiques plus complexes et difficilement quantifiables peuvent intervenir comme les interactions électrons-électrons, les effets d'écran et de surface.

Il est également intéressant de confronter nos résultats théoriques avec des structures adaptées pour l'amplification de puissance. Les composants dont nous avons pu disposer n'étant pas optimisés pour cette application, nous avons utilisé des résultats tirés de la littérature [1].

IV.2.4. MISFET InP DE PUISSANCE

Les résultats acquis par MESSICK et al [1] sont tout à fait représentatifs des possibilités du MISFET InP en amplification de forte puissance hyperfréquence à l'image du record qu'il détient : 4,5 W à 10 GHz associé à un gain de 4 dB et un rendement en puissance ajoutée de 46 %. Nous avons donc choisi cet exemple dans le but de valider notre modélisation pseudo-bidimensionnelle.

IV.2.4.1. LA STRUCTURE

Le composant réalisé par MESSICK et al est une structure à désertion à canal N. Le dopage de la zone active est approximativement de 10^{17} atm/cm³ et l'épaisseur d'isolant y_1 (SiO₂) sous la grille est relativement importante (environ 1000 Å). L'intérêt de ce transistor réside dans son développement de grille de 1 mm se décomposant en 8 doigts de 125 µm de large et 1,4 µm de longueur. Les distances grille-source et grille-drain (L_{sg} , L_{gd}) sont de l'ordre de 1,5 µm.

IV.2.4.2. COMPARAISON THEORIE-EXPERIENCE

La comparaison que nous avons effectuée concerne le courant drain maximum admissible I_{dss} , la transconductance g_m et le courant I_{ds} pour une polarisation optimale en puissance. Nous avons regroupé dans le tableau [IV.1] les paramètres technologiques et géométriques du transistor simulé ainsi que les résultats théoriques et expérimentaux correspondants. Le dopage de la zone

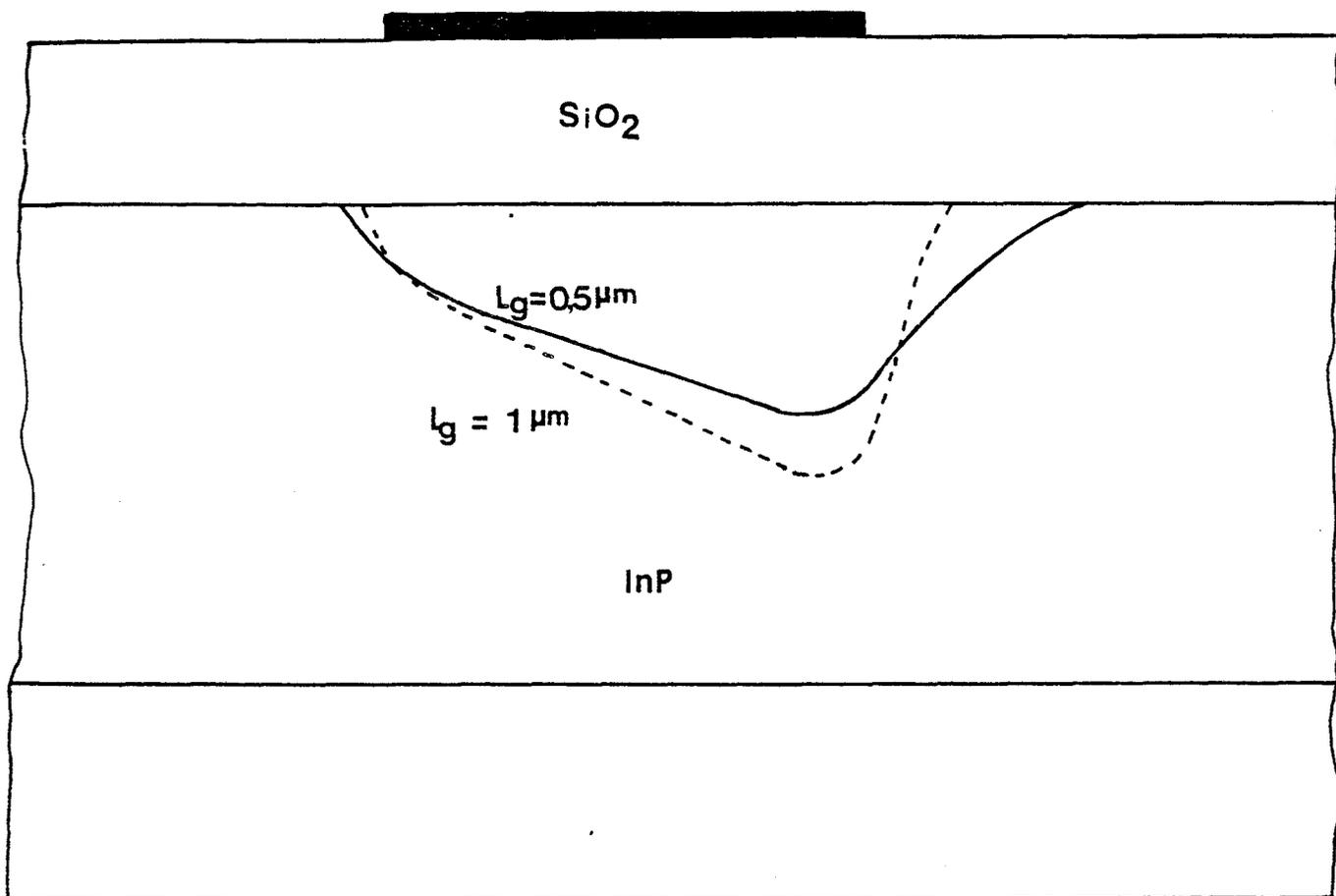


FIGURE [IV.10] : Evolutions de la zone désertée sous la grille pour deux longueurs de grille différentes ($V_{gs} = 0\text{V}$, $V_{ds} = 5\text{V}$, $a = 0,2 \mu\text{m}$, $N_d = 10^{17} \text{cm}^{-3}$, $y_1 = 700 \text{\AA}$).

active du composant est choisi dans la fourchette $1-1,5 \cdot 10^{17} \text{ atm/cm}^3$, ce dernier étant entâché d'une relative incertitude. On peut remarquer que les résultats théoriques sont très proches des mesures expérimentales pour le dopage de $1,5 \cdot 10^{17} \text{ atm/cm}^3$.

En conclusion, la comparaison théorie-expérience réalisée sur des transistors d'origine et de type différents met en évidence un accord tout à fait satisfaisant pour les deux régimes de fonctionnement possibles : accumulation et désertion. Ceci constitue une validation de notre modèle pseudo-bidimensionnel et permet son utilisation pour étudier le comportement physique du MISFET InP et établir l'optimisation de la structure.

IV.3. ETUDE PHYSIQUE DU MISFET InP

Dans cette partie nous nous proposons d'étudier les principales grandeurs physiques moyennes dans la zone active du transistor MISFET InP. Un des objectifs de cette analyse sera de mettre en évidence le caractère non stationnaire de la dynamique des porteurs dans le canal. Avant d'effectuer cette étude nous allons préciser les différentes formes de zones désertées obtenues suivant les polarisations de grille et de drain.

IV.3.1. FORME DE LA ZONE DESERTEE SOUS LA GRILLE

Pour étudier le comportement de la zone désertée sous la grille, nous devons dissocier le cas où celle-ci est polarisée négativement et celui où elle est polarisée positivement.

IV.3.1.1. TENSION V_{gs} NEGATIVE

Nous avons représenté sur la figure [IV.10] l'évolution de la zone désertée sous la grille pour une polarisation de grille négative. On peut constater que l'allure de cette zone est tout à fait similaire à celle obtenue dans le cas du MESFET GaAs [6].

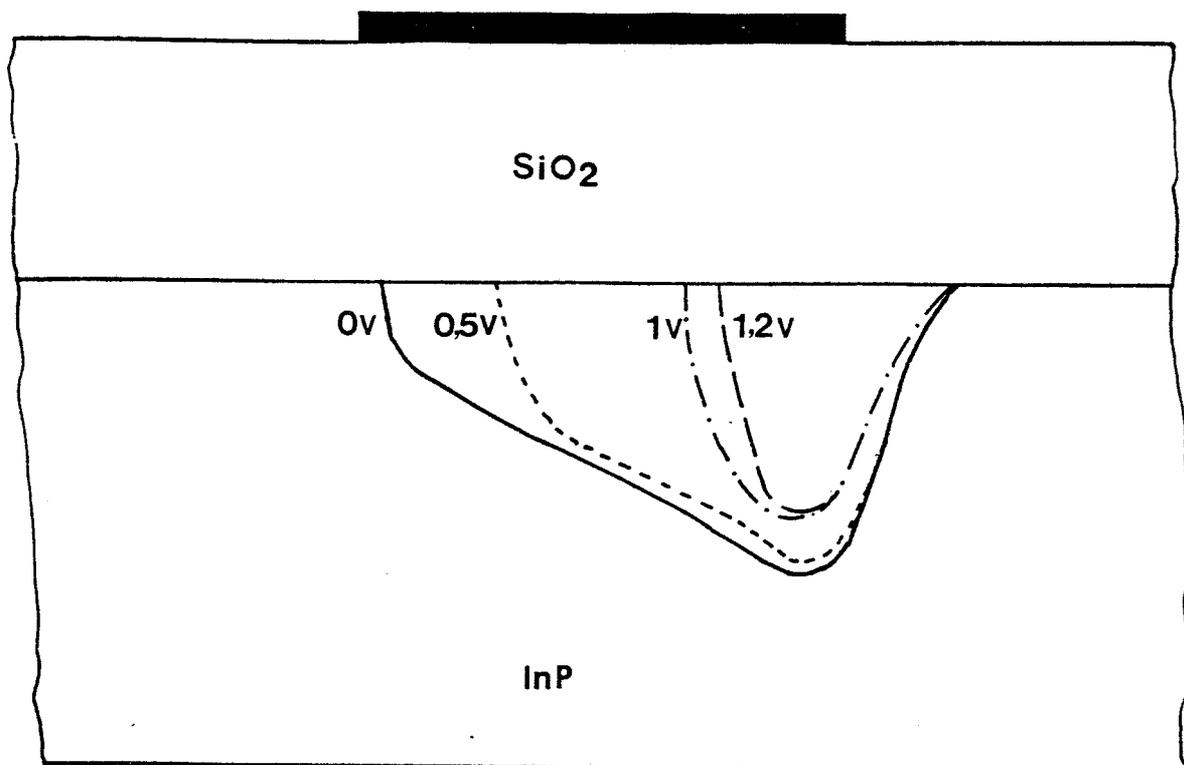


FIGURE [IV.11]: Evolutions de la zone désertée sous la grille pour des tensions grille-source faiblement positives ($V_{ds} = 10 \text{ V}$, $a = 0,2 \mu\text{m}$, $N_d = 10^{17} \text{ cm}^{-3}$, $y_I = 700 \text{ \AA}$, $L_g = 1 \mu\text{m}$).

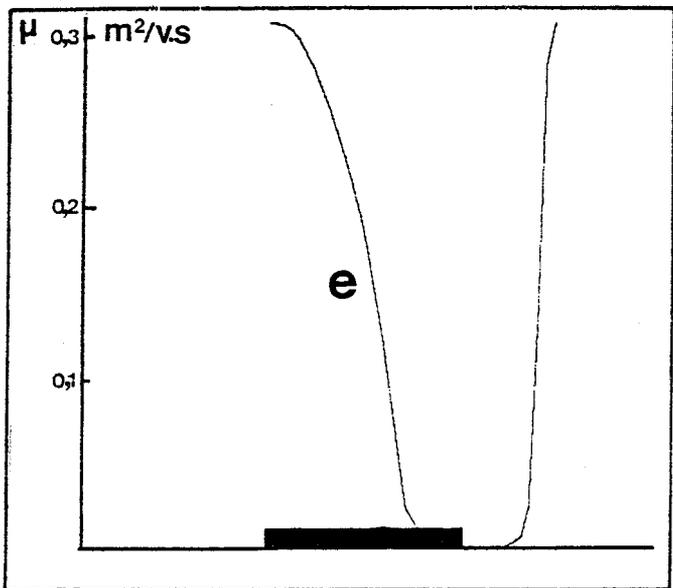
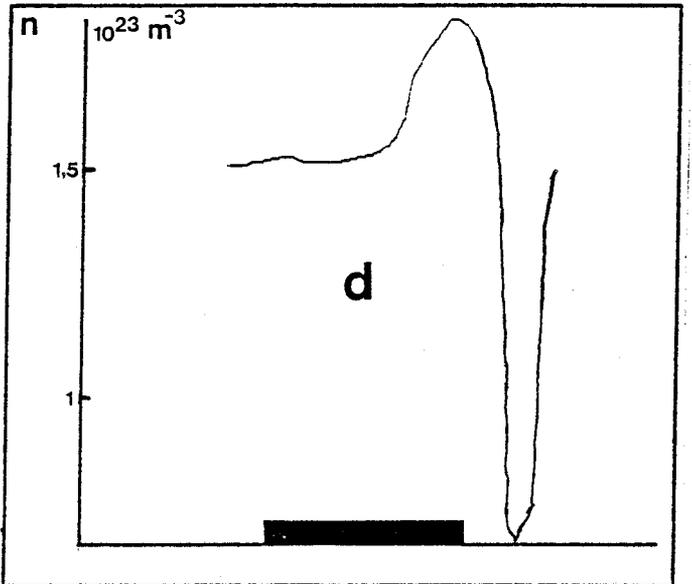
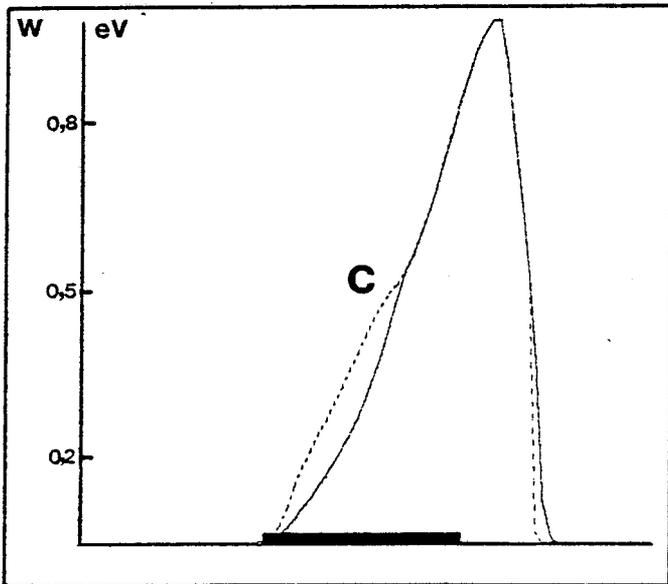
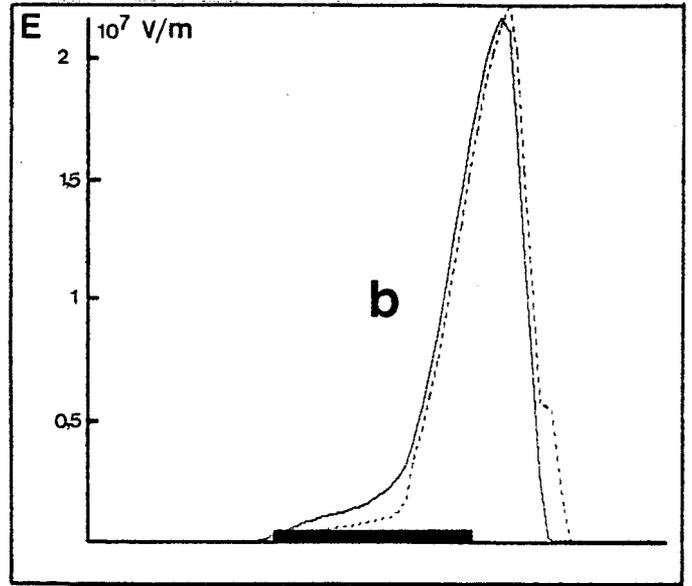
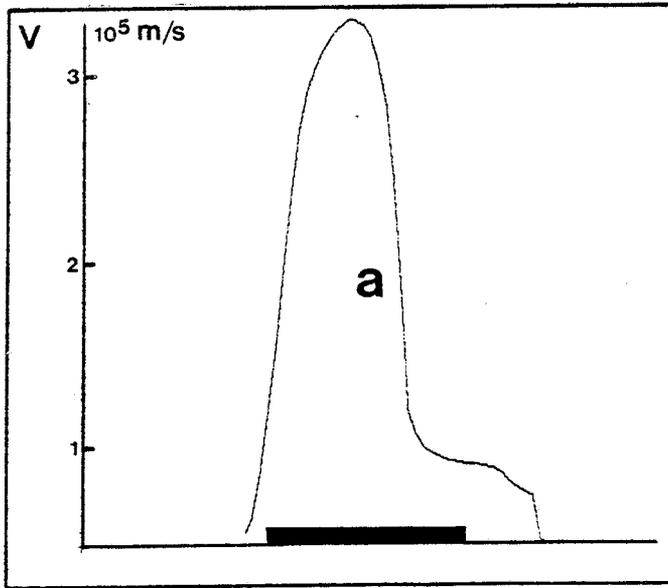
Afin de mettre en évidence l'effet d'une diminution de la longueur de grille sur l'évolution de la zone désertée, nous avons tracé cette dernière pour deux longueurs de grille différentes : 1 μm et 0,5 μm . On peut constater que lorsque la longueur de grille décroît, les zones situées de part et d'autre de la grille s'élargissent. Ces effets de bords importants lorsque les longueurs de grille sont inférieures au micron ont pour conséquence une augmentation des capacités C_{gs} et C_{gd} du transistor. Nous reviendrons plus en détail sur cet aspect dans une partie ultérieure. Une deuxième conséquence de ces effets est un accroissement de la longueur de grille effective. Il convient de préciser que ces effets ont déjà été observés sur le MESFET GaAs [6].

IV.3.1.2. TENSION V_{gs} POSITIVE

Il est important de rappeler que lorsque la grille est polarisée positivement, suivant la tension grille-canal à une abscisse donnée $V_{gc}(x)$, on peut observer un phénomène d'accumulation ou un phénomène de désertion.

Les formes des zones désertées obtenues sont représentées sur la figure [IV.11]. Ces zones sont tracées pour des tensions V_{gs} croissantes et une tension V_{ds} égale à 10 V. On peut remarquer qu'au fur et à mesure que la tension V_{gs} augmente, à tension V_{ds} constante, le bord gauche de la zone désertée se déplace vers le drain ce qui est une conséquence de l'augmentation de la zone sous la grille où se produit le phénomène d'accumulation à partir du côté source. Lors de l'élaboration de la zone désertée à V_{gs} positif nous avons choisi de conserver la construction comportant les effets de bords alors que ceux-ci n'existent plus a priori du côté gauche de la grille. Ce choix a été fait dans le but de garder une certaine continuité de la forme de la zone désertée lorsque l'on passe d'une tension grille-source négative à une tension grille-source positive. Signalons que d'autres méthodes ont été essayées, notamment une construction unidimensionnelle de cette zone désertée. Elles n'ont pas permis de décrire correctement celle-ci.

Lorsque la tension V_{gs} augmente, on observe une translation et une diminution de la zone désertée du côté drain. Quand le départ de la zone désertée se trouve rejeté au delà de l'extrémité de la grille côté drain, nous supposons qu'il n'y a plus de zone désertée.



- (a) vitesse des porteurs
- (b) champ électrique
- (c) énergie des porteurs
- (d) densité de porteurs
- (e) mobilité des porteurs.

FIGURE [IV.12]: Evolutions des principales grandeurs physiques moyennes sous la grille en régime de désertion ($V_{ds} = 10$ V, $V_{gs} = -14$ V, $a = 0,2$ μm , $N_d = 2 \times 10^{17}$ cm^{-3} , $y_l = 700$ \AA , $L_g = 1$ μm)

Nous nous proposons dans la suite de ce chapitre d'aborder l'étude physique des principales grandeurs dans le canal du transistor.

IV.3.2. ANALYSE DES GRANDEURS MOYENNES DANS LE CANAL

Notre modèle permet d'accéder aux grandeurs moyennes telles que la vitesse, l'énergie, la concentration des porteurs et le champ électrique dans le canal. Nous allons dans cette partie préciser ces paramètres fondamentaux dans le cas d'une structure MISFET InP typique pour les deux régimes de fonctionnement (accumulation et désertion).

IV.3.2.1. REGIME DE DESERTION

IV.3.2.1.1. LA VITESSE DES PORTEURS

La vitesse moyenne des porteurs sous la grille est un paramètre très important notamment pour la montée en fréquence du transistor. Nous avons représenté sur la figure [IV.12.a] l'évolution de la vitesse moyenne sous la grille en fonction de l'abscisse dans le canal. La structure étudiée possède une grille de longueur $1 \mu\text{m}$, une zone active d'épaisseur $0,2 \mu\text{m}$ et de dopage $2 \cdot 10^{17} \text{ atm/cm}^3$ ainsi qu'une épaisseur d'isolant sous la grille de 700 \AA . On peut remarquer sur cette courbe que la vitesse moyenne maximum peut être supérieure à la vitesse pic statique dans l'InP. En effet, cette dernière est d'environ $2,4 \cdot 10^5 \text{ m/s}$ alors que sur la figure on peut constater que la vitesse moyenne maximum est de $3,3 \cdot 10^5 \text{ m/s}$. Cet effet classique de survitesse [8] est l'une des manifestations que l'on peut observer lorsque l'on tient compte de la dynamique non stationnaire des porteurs dans le canal. Ce phénomène peut s'expliquer à partir des évolutions du champ électrique et de l'énergie des porteurs.

IV.3.2.1.2. LE CHAMP ELECTRIQUE ET L'ENERGIE DES PORTEURS

L'évolution du champ électrique ainsi que du terme $(w-w_0)/v\tau_c$ (cf. équation [III.13] chap. III) caractérisant le degré d'interaction avec le réseau

(perte d'énergie) sont représentés sur la figure [IV.12.b]. On peut remarquer que le terme $(w-w_0)/v\tau_e$ (courbe pointillée) est très faible sous une bonne partie de la grille, et augmente ensuite. Dans cette zone on observe donc que la vitesse moyenne croît avec le champ quasiment sans perte et que les porteurs ont un comportement balistique. Ceci explique en partie pourquoi la vitesse est élevée sous le début de la grille. Mais l'explication complète de l'effet de la survitesse est donnée sur la figure [IV.12.c] où l'on a tracé l'évolution de l'énergie moyenne w des porteurs dans le canal et l'énergie w_s statique (pointillée) que ces porteurs auraient pour le champ statique correspondant. On s'aperçoit que l'énergie moyenne w est inférieure à l'énergie w_s en début de grille, ce qui implique que les porteurs sont soumis à un champ relativement élevé, tout en possédant une mobilité $\mu_n(w)$ peu différente de la mobilité faible champ (Fig. [IV.12.e]). La combinaison de ces deux effets (champ élevé, mobilité élevée) produit le phénomène de survitesse ($v > v_{pic}$) observé en début de grille sur la figure [IV.12.a].

IV.3.2.1.3.LA CONCENTRATION ET LA MOBILITE DES PORTEURS

La concentration des porteurs tracée sur la figure [IV.12.d] indique la présence de deux zones distinctes situées en bout de grille : une première zone d'accumulation de porteurs $n > N_d$ suivie d'une seconde où $n < N_d$.

L'accumulation des porteurs est causée par une diminution brutale de la vitesse (fig. [IV.12.a]) des porteurs à cet endroit. Ensuite l'élargissement du canal (Fig. [IV.10]) et la conservation du courant dans ce dernier provoquent la diminution du champ électrique et de la concentration de porteurs.

La figure [IV.12.e] représente la mobilité moyenne $\mu_n(w)$ des porteurs sous la grille. On peut remarquer que celle-ci est minimum lorsque les porteurs ont atteint la vallée L, c'est-à-dire pour des énergies élevées. Elle se met à croître de nouveau lorsque l'énergie des porteurs diminue et que ces derniers retournent en vallée centrale Γ .

IV.3.2.2. REGIME D'ACCUMULATION

IV.3.2.2.1. LA VITESSE DES PORTEURS

Afin d'étudier les phénomènes mis en jeu en régime d'accumulation il apparaît intéressant de comparer les grandeurs moyennes (v , E , w , n , μ_n) obtenues lorsque V_{gs} est positif (accumulation) et lorsque V_{gs} est négatif (désertion). A ce propos nous avons représenté figure [IV.13.a] l'évolution de la vitesse moyenne des porteurs dans le canal pour des tensions V_{gs} variant de -2 à +2 V en gardant la tension V_{ds} constante (4V). Dans ces conditions de polarisation, pour V_{gs} positif, les phénomènes d'accumulation et de désertion coexistent sous la grille (Fig.[IV.11]). Sous quasiment les 3/4 de la grille, côté source, on peut constater que les vitesses moyennes obtenues en accumulation pour une tension $V_{gs} = + 2V$ sont légèrement supérieures à celles observées lorsque $V_{gs} = + 1V$. Ceci s'explique en observant que le champ électrique ainsi que l'énergie (fig. [IV.13.b et c]) sont plus élevés pour $V_{gs} = + 2V$, et bien que la mobilité moyenne μ_n (fig. [IV.13.e]) soit plus faible dans cette zone d'accumulation, le produit mobilité-champ donne une vitesse légèrement plus importante pour $V_{gs} = + 2V$.

Concernant le dernier quart de la grille et l'espace grille-drain où un phénomène de désertion se produit, on observe dans les deux cas ($V_{gs} = +1V$ et $V_{gs} = +2V$) un phénomène de survitesse ($v > v_{pic}$) dû à la prise en compte de la dynamique non stationnaire des porteurs. On peut cependant remarquer que ce phénomène est nettement plus atténué à $V_{gs} = + 2V$ puisque la vitesse est de $2,6 \cdot 10^5$ m/s alors qu'elle est d'environ $3,2 \cdot 10^5$ m/s à $V_{gs} = +1V$. L'explication de ceci est donnée par les figures [IV.13.b] et [IV.13.e], où l'on observe d'une part que le champ électrique est supérieur pour $V_{gs} = +1V$ au bout de la grille et dans une bonne partie de l'espace grille-drain et d'autre part que la mobilité pour cette même tension est supérieure jusqu'à l'extrémité de la grille pour devenir légèrement inférieure dans l'espace grille-drain comparativement à $V_{gs} = +2V$.

Pour terminer cette analyse, si l'on compare les quatre courbes correspondant aux différentes tension V_{gs} , on remarque que la vitesse moyenne maximum se déplace vers le drain au fur et à mesure que V_{gs} augmente ce qui est corrélé aux évolutions du champ électrique et de l'énergie des porteurs figures [IV.13.b et c]).

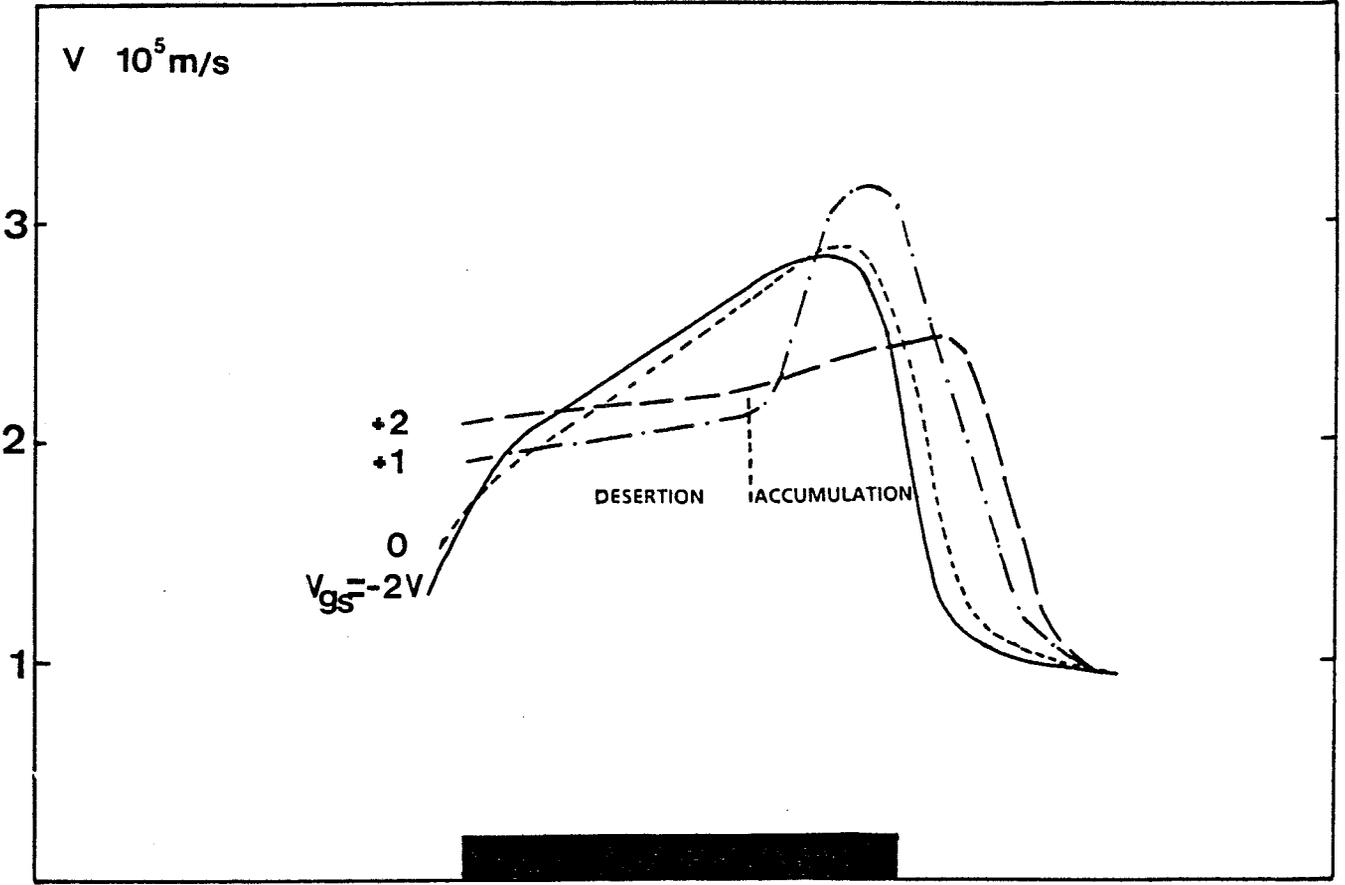


FIGURE [IV.13.a]: Vitesse moyenne des porteurs sous la grille en régime d'accumulation ($V_{ds} = 4\text{V}$, $a = 0,2 \mu\text{m}$, $N_d = 10^{17} \text{ cm}^{-3}$, $y_1 = 700 \text{ \AA}$, $L_g = 1 \mu\text{m}$).

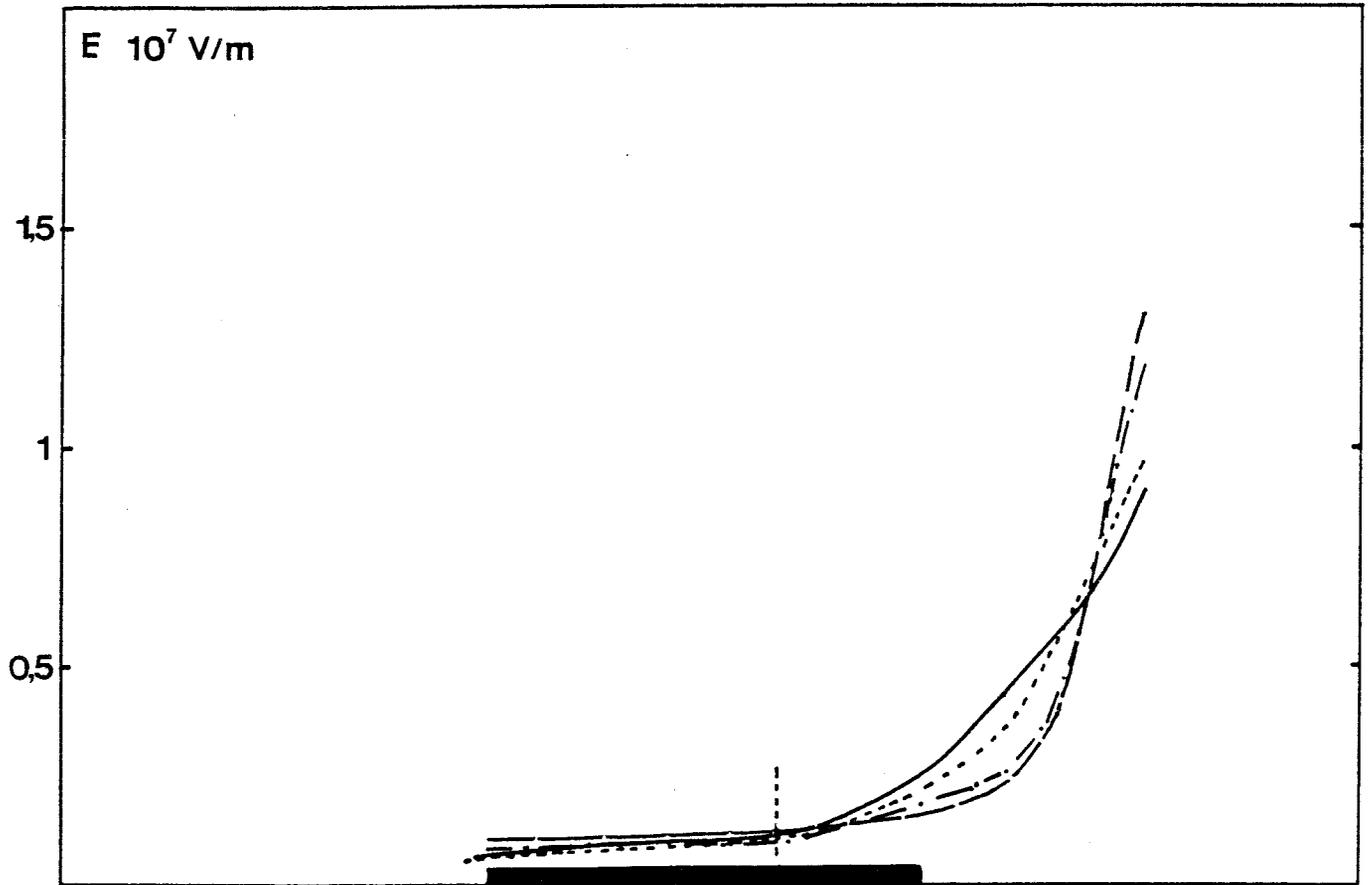


FIGURE [IV.13.b]: Champ électrique sous la grille en régime d'accumulation.

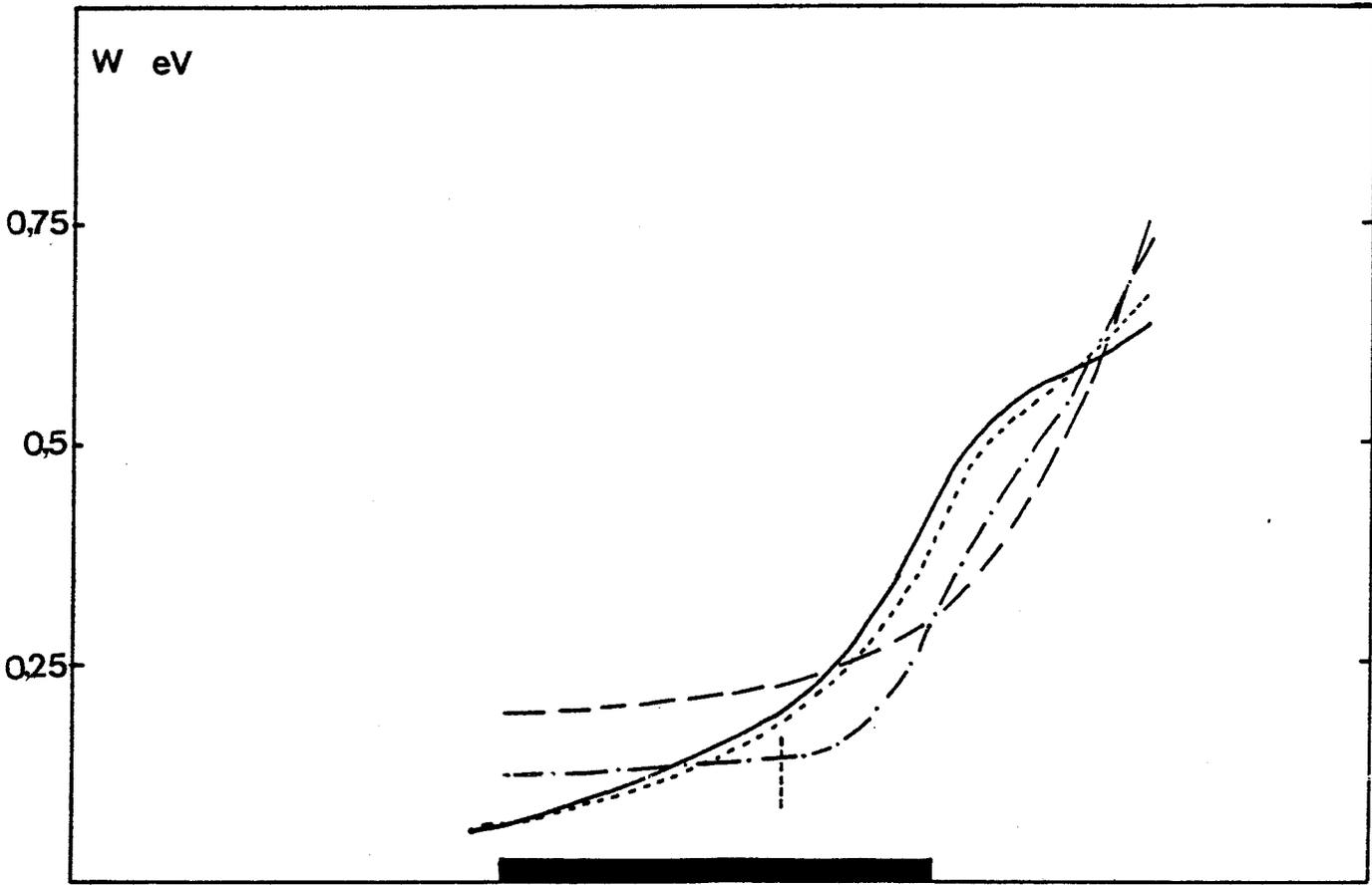


FIGURE |IV.13.c| : Energie moyenne sous la grille en régime d'accumulation.

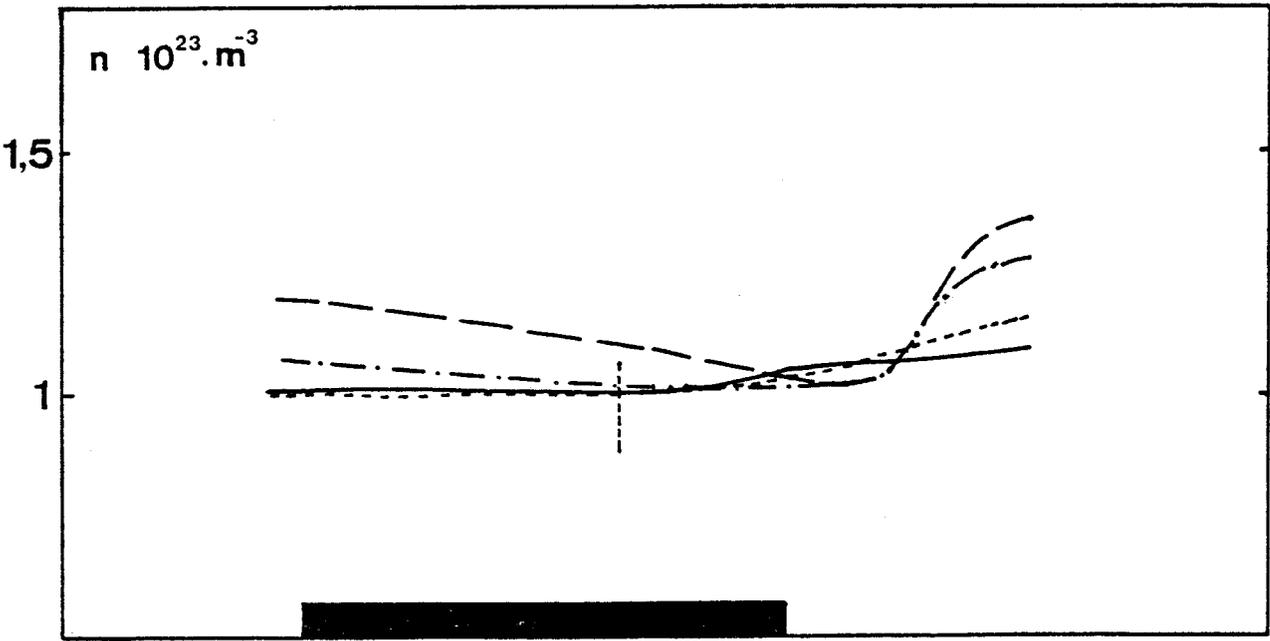


FIGURE |IV.13.d| : Densité de porteurs moyenne sous la grille en régime d'accumulation.

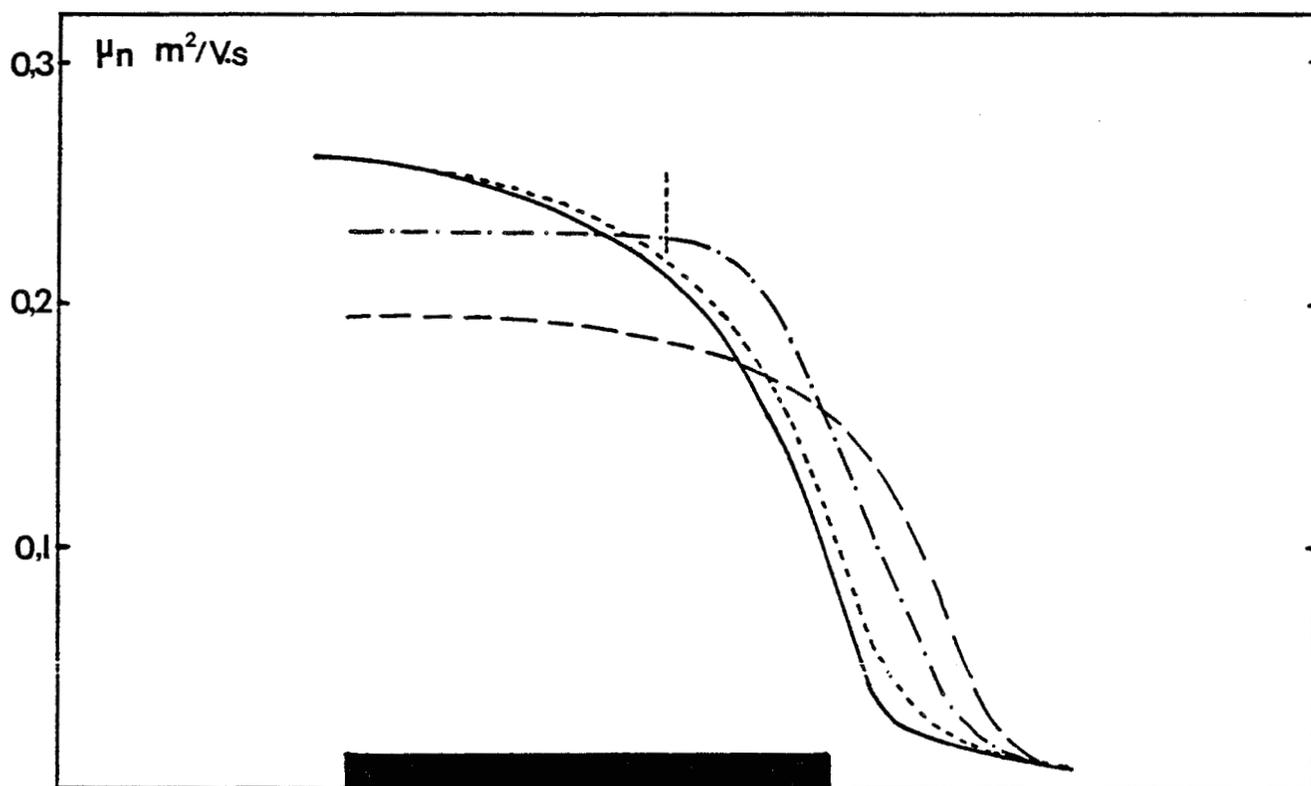


FIGURE [IV.13.e]: Mobilité moyenne des porteurs sous la grille en régime d'accumulation.

IV.3.2.2.2. LE CHAMP ELECTRIQUE ET L'ENERGIE DES PORTEURS

Comme nous l'avons mentionné dans le paragraphe précédent, le champ électrique croît légèrement avec la tension V_{gs} dans la zone sous la grille où se produit le phénomène d'accumulation. Par contre, dans la région sous la grille où se manifeste le phénomène de désertion, l'augmentation du champ électrique est d'autant plus faible que la tension V_{gs} est grande ce qui est une conséquence de la diminution de cette zone de désertion. On observe par ailleurs une nouvelle croissance du champ avec V_{gs} près du contact de drain. Cet effet associé à l'augmentation des porteurs dans cette zone (Fig. [IV.13.d]) entraîne que la tension de claquage $V_{ds}(BR)$ dans le canal est d'autant plus faible lorsque la tension V_{gs} augmente comme nous le verrons dans la suite de ce chapitre. Concernant l'évolution de l'énergie, elle est similaire à celle du champ électrique (Fig. [IV.13.c]).

IV.3.2.2.3. LA CONCENTRATION ET LA MOBILITE DES PORTEURS

La concentration des porteurs représentée Fig. [IV.13.d] met clairement en évidence le phénomène d'accumulation des porteurs sous la grille lorsque la tension V_{gs} est positive. On peut en effet remarquer que la concentration des porteurs sous la grille est proportionnelle à la tension V_{gs} dans la zone où se produit le phénomène d'accumulation. D'autre part, celle-ci décroît à mesure que l'on s'approche de la région où se produit le phénomène de désertion. Dans cette dernière zone on observe une accumulation des porteurs consécutive aux phénomènes de dynamique non stationnaire identique au cas étudié au paragraphe IV.3.2.1.3. Ceci est dû à l'effet combiné de l'augmentation de l'énergie ($\epsilon > \Delta\epsilon_{FL}$) entraînant une diminution de la mobilité (Fig. [IV.13.e]) et donc une accumulation de porteurs vers le drain.

Après avoir précisé le comportement des grandeurs physiques dans le canal du transistor, nous allons aborder dans la partie suivante l'étude des potentialités du MISFET InP.

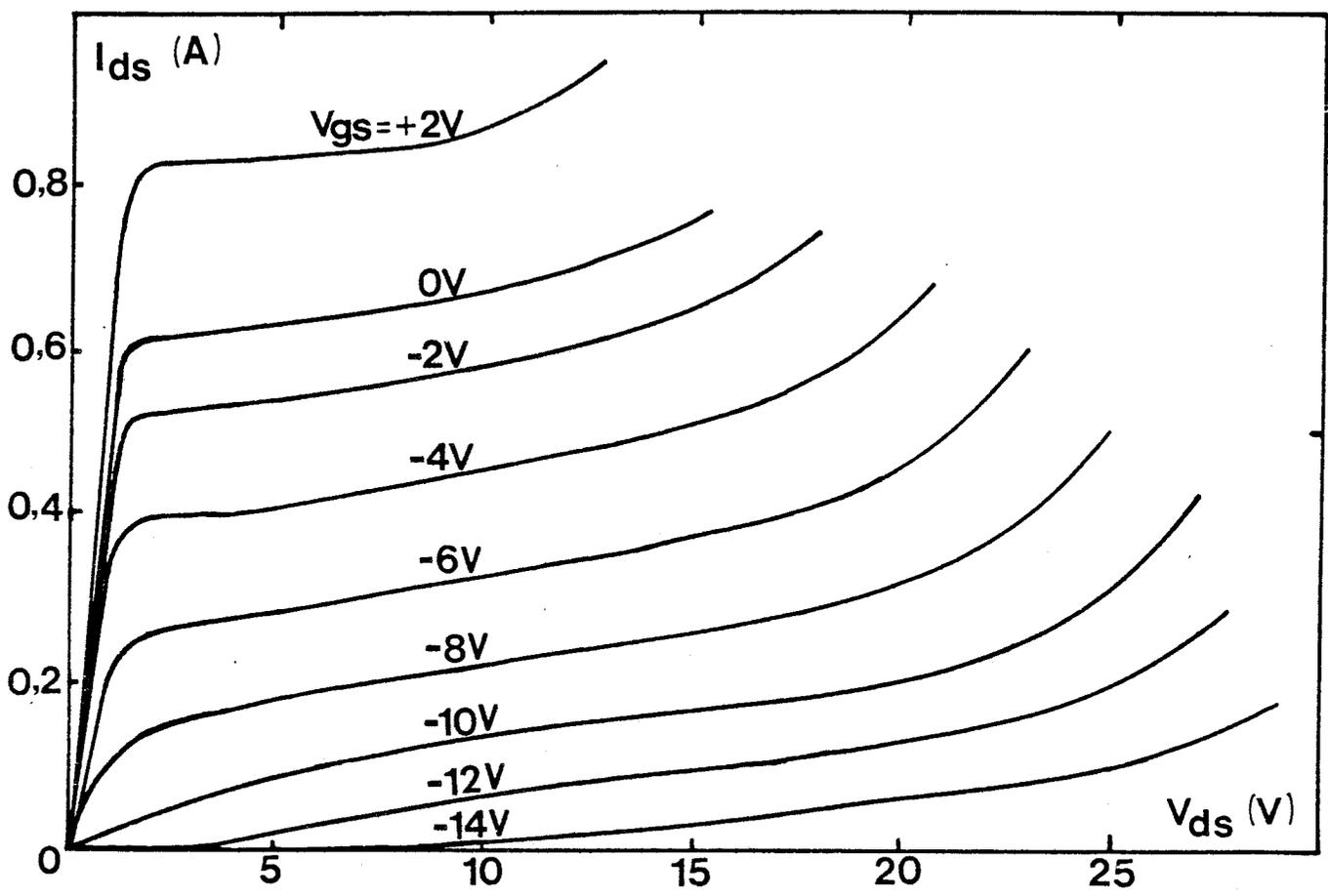


FIGURE [IV.14]: Caractéristiques théoriques $I_{ds} = f(V_{ds})$ pour différentes tensions V_{gs} en régimes de désertion et d'accumulation où l'on tient compte du phénomène de claquage dans le canal ($a = 0,2 \mu\text{m}$, $N_d = 10^{17} \text{ cm}^{-3}$, $y_l = 700 \text{ \AA}$, $L_g = 0,5 \mu\text{m}$, $Z = 1 \text{ mm}$).

IV.4. ETUDE DES POTENTIALITES DU MISFET InP

Dans cette partie, nous nous proposons d'effectuer l'analyse théorique des performances potentielles du MISFET InP. Celle-ci portera sur les caractéristiques statiques et hyperfréquences du composant, déduites de notre modèle.

IV.4.1. CARACTERISTIQUES STATIQUES $I_{ds}(V_{gs}, V_{ds})$

Dans le cas d'un transistor à canal dopé, la caractéristique du courant drain I_{ds} en fonction de la tension drain-source V_{ds} pour différents V_{gs} allant du pincement à des tensions correspondant au régime d'accumulation est représentée sur la figure [IV.14]. Cette caractéristique est relative à un MISFET de longueur de grille $0,5 \mu\text{m}$ et de dopage 10^{17} atm/cm^3 , où l'on tient compte du phénomène d'avalanche dans le canal du transistor.

On peut remarquer que la multiplication des porteurs est inversement proportionnelle à la valeur absolue de la tension V_{gs} . Cet effet s'explique par le fait que l'ionisation dans le canal est d'autant plus élevée que le nombre de porteurs est important. Nous reviendrons plus en détail sur ce point lors de l'étude du claquage par avalanche dans le canal.

L'exemple de la caractéristique représentée sur la figure [IV.14] est intéressant puisqu'il nous renseigne sur deux paramètres fondamentaux du transistor : le courant maximum I_{dss} et la tension de claquage $V_{ds}(\text{BR})$. En effet, nous pouvons observer qu'un courant de l'ordre de 600 mA/mm et une tension de claquage $V_{ds}(\text{BR})$ de plus de 25 V au pincement peuvent être obtenus. Ceci constitue des éléments très favorables pour l'utilisation du transistor MISFET InP en amplification de puissance.

Il semble par ailleurs important d'analyser plus précisément le claquage par avalanche dans le but de déterminer les conditions qui permettent de minimiser ce phénomène notamment en étudiant l'influence d'un recess de grille.

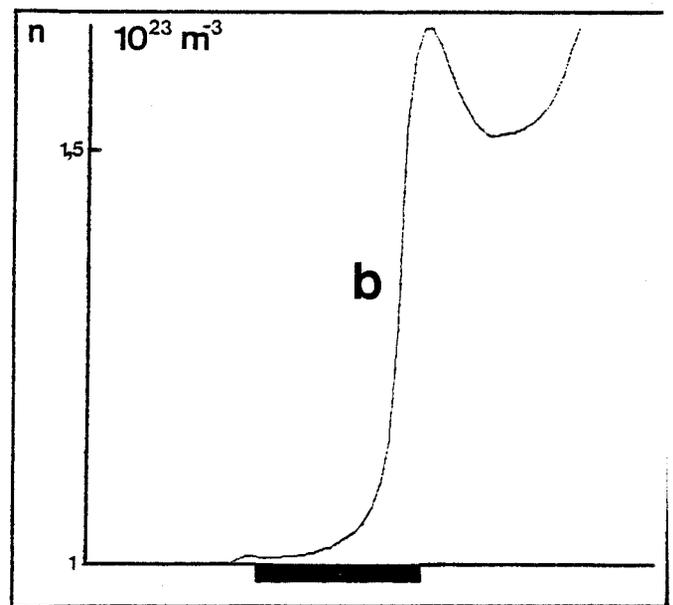
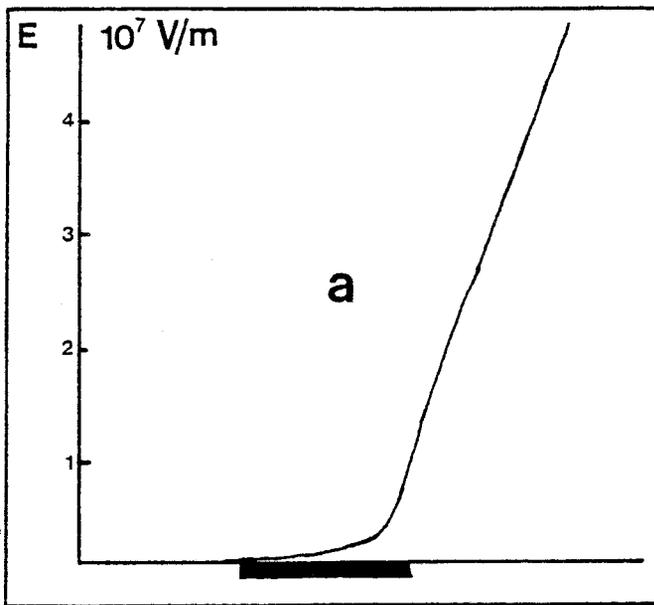


FIGURE [IV.15]: Evolution du champ électrique (a) et de la densité de porteurs (b) sous la grille au claquage à canal ouvert ($a = 0,2 \mu\text{m}$, $N_d = 10^{17} \text{cm}^{-3}$, $y_1 = 700 \text{Å}$, $L_g = 0,5 \mu\text{m}$, $V_{ds} = 16 \text{V}$, $V_{gs} = 0\text{V}$).

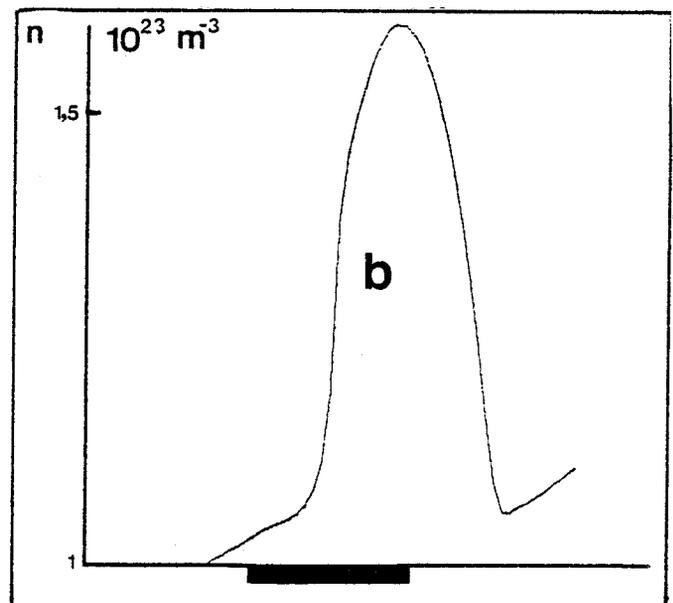
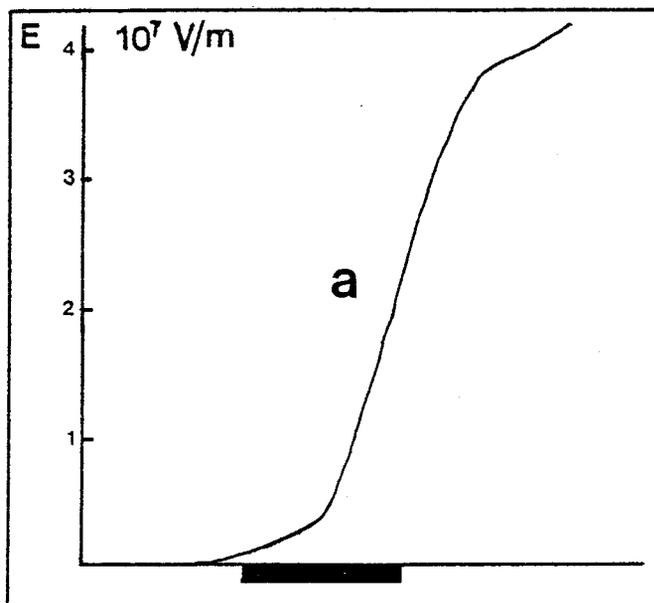


FIGURE [IV.16]: Evolution du champ électrique (a) et de la densité de porteurs (b) sous la grille au claquage proche du pincement ($a = 0,2 \mu\text{m}$, $N_d = 10^{17} \text{cm}^{-3}$, $y_1 = 700 \text{Å}$, $L_g = 0,5 \mu\text{m}$, $V_{ds} = 22 \text{V}$, $V_{gs} = -10\text{V}$).

IV.4.2. ETUDE DU CLAQUAGE DANS LE CANAL

Nous avons étudié au cours du premier chapitre l'apparition du claquage par avalanche dans la zone désertée en absence de courant. Nous nous proposons maintenant de compléter cette étude par l'analyse du seuil de claquage en présence de courant dans le canal du transistor et préciser si celui-ci apparaît avant ou après le claquage dans la zone désertée. Cette étude nous permettra ensuite d'effectuer une optimisation de la structure et de déduire les paramètres géométriques et technologiques de celle-ci.

IV.4.2.1. ANALYSE PHYSIQUE DU CLAQUAGE DANS LE CANAL SUIVANT LA POLARISATION DE GRILLE

Une étude théorique effectuée au laboratoire sur le claquage par avalanche dans les MESFET GaAs [9] à partir de l'analyse des grandeurs physiques (évolutions du champ électrique, de l'énergie et de la concentration des porteurs) a montré l'existence de différents domaines de champ électrique suivant les polarisations de grille liée à des valeurs de tensions de claquage plus ou moins élevées. Nous avons représenté pour le cas de la structure MISFET InP (Fig. [IV.15] et [IV.16]) les différentes évolutions du champ électrique, de la concentration et de l'énergie des porteurs dans le canal suivant l'axe source-drain pour deux polarisations de grille correspondant au pincement (fig. [IV.16]) et à canal ouvert (fig. [IV.15]).

La figure [IV.14] précédente a montré que la tension de claquage à canal ouvert était plus faible qu'au pincement. Nous pouvons maintenant expliquer physiquement ce résultat. En effet, lorsque la tension V_{gs} est nulle (Fig. [IV.15]) on peut observer que les porteurs s'accumulent près du drain et que le champ électrique présente une valeur pic élevée près du contact de celui-ci ce qui a pour conséquence une multiplication des porteurs par avalanche et une tension de claquage plus faible qu'au pincement, (fig. [IV.16]). On peut en effet remarquer que dans ces dernières conditions de polarisation les porteurs s'accumulent sous la grille et que le champ électrique ne présente plus de pic élevé mais occupe l'espace grille-drain en conservant une valeur moins grande que dans le cas où $V_{gs} = 0$ et ceci pour une tension V_{ds} plus élevée ($V_{ds} = 22$ V contre 16 V précédemment).

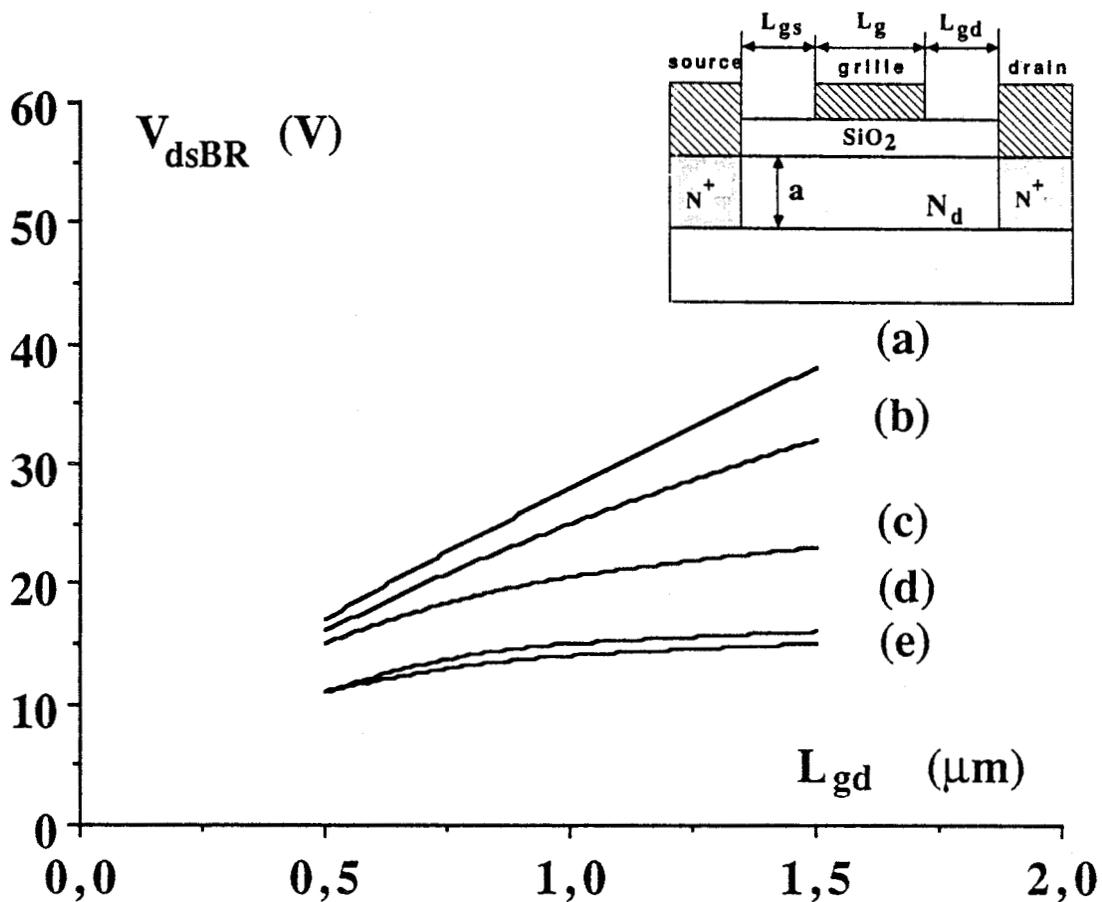


FIGURE [IV.17]: Tension de claquage à canal ouvert en fonction de la distance grille-drain L_{gd} pour des structures de longueur de grille et de caractéristiques différentes (dopage N_d , épaisseur de la zone active a) ($y_1 = 700 \text{ \AA}$, $V_{gs} = 0 \text{ V}$, $L_{gs} = 0,5 \mu m$).

(a)	$N_d = 10^{17} \text{ cm}^{-3}$,	$L_g = 1 \mu m$	$a = 0,1 \mu m$
(b)	$N_d = 2 \times 10^{17} \text{ cm}^{-3}$,	$L_g = 1 \mu m$	$a = 0,1 \mu m$
(c)	$N_d = 2 \times 10^{17} \text{ cm}^{-3}$,	$L_g = 1 \mu m$	$a = 0,2 \mu m$
(d)	$N_d = 2 \times 10^{17} \text{ cm}^{-3}$,	$L_g = 0,5 \mu m$	$a = 0,1 \mu m$
(e)	$N_d = 2 \times 10^{17} \text{ cm}^{-3}$,	$L_g = 0,5 \mu m$	$a = 0,2 \mu m$

Il faut également noter que la configuration du champ électrique dans l'espace grille-drain est dépendante de la distance L_{gd} . A ce propos nous allons maintenant aborder l'influence des différents paramètres technologiques et géométriques sur la tenue en tension du transistor.

IV.4.2.2. INFLUENCE DES PARAMETRES

Cette étude porte dans une première partie sur l'influence des paramètres dans le cas d'une structure planaire. Ensuite nous examinerons celui d'une structure comprenant un recess de grille afin de déterminer l'importance de ce dernier sur la tenue en tension.

IV.4.2.2.1. STRUCTURE PLANAIRE

Nous avons précisé au paragraphe IV.4.2.1. que la distance grille-drain L_{gd} était un paramètre déterminant pour la tension de claquage. Afin de mesurer l'importance de cette grandeur nous avons représenté sur la figure [IV.17] l'évolution de la tension de claquage à canal ouvert ($V_{gs} = 0$) en fonction de celle-ci. La tension de claquage V_{dsbr} est celle pour laquelle le rapport courant drain sur courant source vaut 1,01.

On peut remarquer que quel que soit le dopage, la longueur de grille et l'épaisseur de la zone active, la tension V_{dsbr} est une fonction croissante de la distance grille-drain. Cependant, la valeur de V_{dsbr} et son augmentation n'est pas aussi importante dans tous les cas. En effet, pour des longueurs de grille de $0,5 \mu\text{m}$ on peut noter une tension de claquage relativement faible par rapport à des structures où la longueur de grille est plus importante ($1 \mu\text{m}$). Ceci est dû au fait que la grille de $1 \mu\text{m}$ permet l'échauffement des porteurs sous la grille conduisant à une évolution du champ électrique plus favorable ("sans pic"). Ce résultat a d'ailleurs pu être observé sur les MESFET GaAs [9]. En ce qui concerne le dopage N_d et l'épaisseur a de la zone active, on peut observer sur les courbes (fig. [IV.17]) que la tension V_{dsbr} est inversement proportionnelle au produit $a.N_d$.

En effet, avec une distance L_{gd} de $1,5 \mu\text{m}$ et une longueur de grille de $1 \mu\text{m}$, pour un produit ($N_d = 10^{17} \text{ atm/cm}^3 \times a = 0,1 \mu\text{m}$) la tension de claquage est d'environ 38 V alors qu'elle n'est plus que de l'ordre de 32 V pour un produit

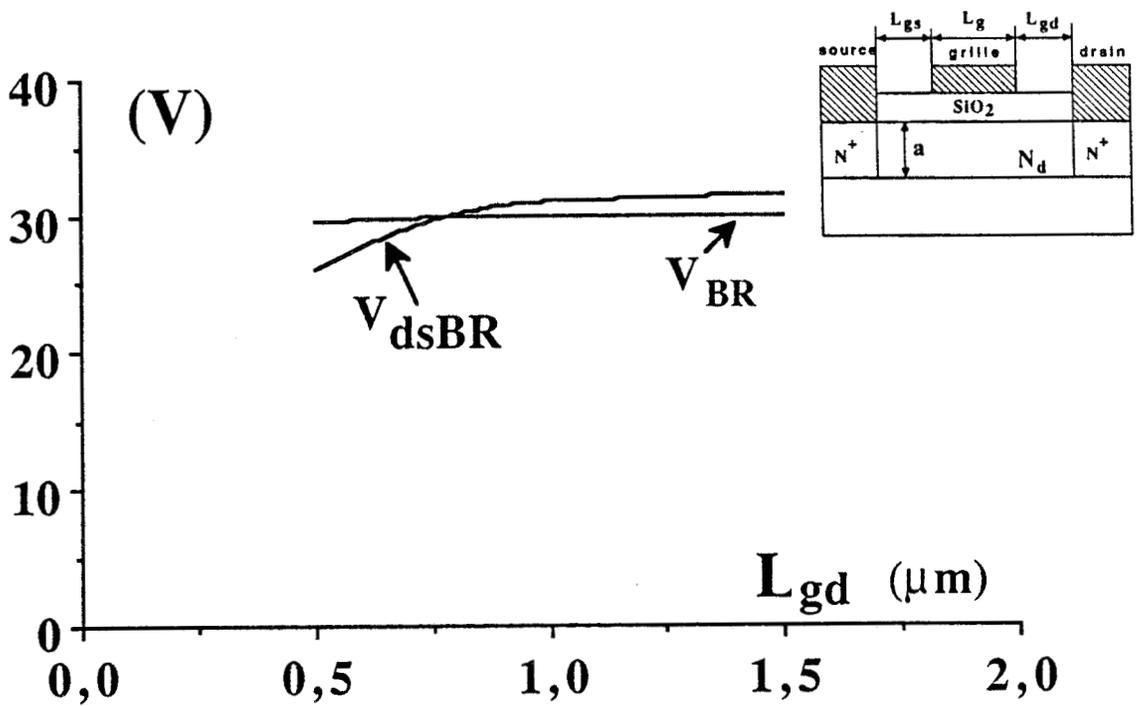


FIGURE [IV.18]: Comparaison des tensions de claquage dans le canal au pincement et dans la zone désertée ($a = 0,2 \mu\text{m}$, $N_d = 10^{17} \text{cm}^{-3}$, $y_1 = 700 \text{ \AA}$, $L_g = 1 \mu\text{m}$).

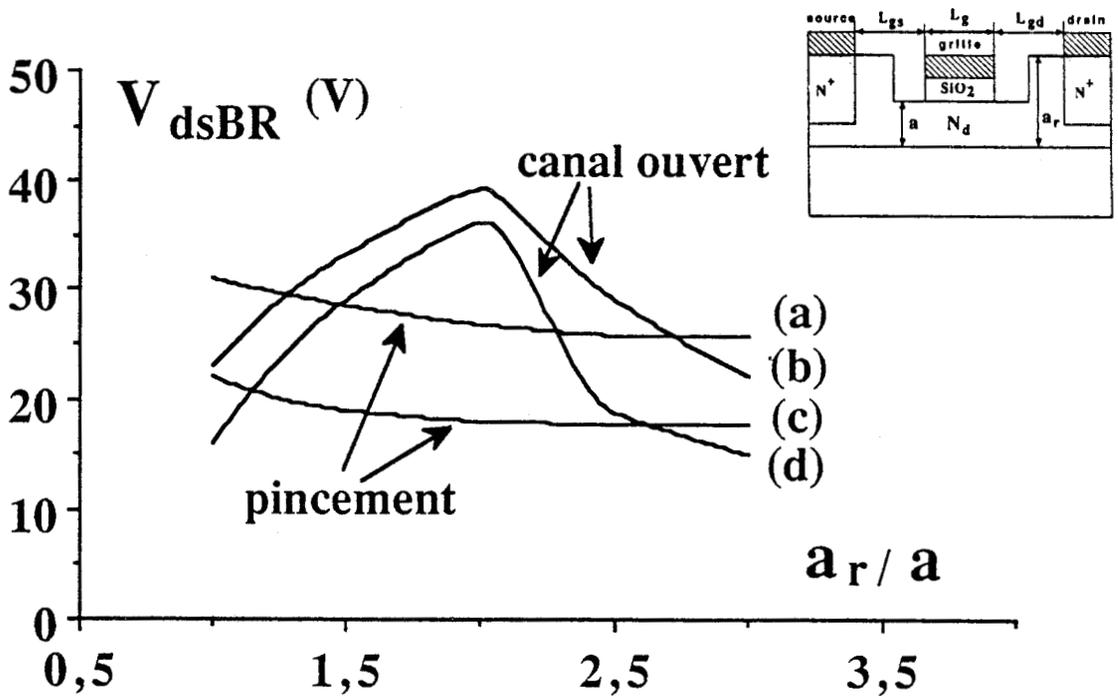


FIGURE [IV.19]: Tension de claquage au pincement et à canal ouvert en fonction du rapport a_r/a ($y_1 = 700 \text{ \AA}$, $L_{gd} = 1,5 \mu\text{m}$, $L_{gs} = 0,5 \mu\text{m}$).

- | | | |
|---------------------------|-------------------------|---|
| (a) $a = 0,2 \mu\text{m}$ | $L_g = 1 \mu\text{m}$ | $N_d = 10^{17} \text{cm}^{-3}$ |
| (b) $a = 0,2 \mu\text{m}$ | $L_g = 1 \mu\text{m}$ | $N_d = 10^{17} \text{cm}^{-3}$ |
| (c) $a = 0,1 \mu\text{m}$ | $L_g = 0,5 \mu\text{m}$ | $N_d = 2 \times 10^{17} \text{cm}^{-3}$ |
| (d) $a = 0,1 \mu\text{m}$ | $L_g = 0,5 \mu\text{m}$ | $N_d = 2 \times 10^{17} \text{cm}^{-3}$ |

($N_d = 2.10^{17} \text{ atm/cm}^3 \times a = 0,2 \mu\text{m}$). Ce résultat corrobore les conclusions faites par FRENSELY [10] et celles obtenues au laboratoire [9]. Cet effet est important puisque si l'on excepte l'influence de la vitesse des porteurs, le courant drain maximum que peut transporter le canal est quasiment imposé par le produit dopage-épaisseur de la zone active. Nous aboutissons donc à l'élaboration d'un compromis entre l'obtention d'une tension de claquage et d'un courant drain les plus élevés possible. Nous reviendrons sur ce point lors de l'étude du recess de grille.

Il nous est également paru important de comparer les phénomènes de claquage dans la zone désertée et dans le canal. A titre d'exemple, nous avons représenté sur la figure [IV.18] la tension de claquage V_{br} obtenue au pincement dans la zone désertée suivant la méthode décrite au chapitre II ainsi que la tension V_{dsbr} au pincement dans le canal pour une structure ayant une longueur de grille de $1 \mu\text{m}$. On peut observer que pour ce transistor, les valeurs obtenues dans les deux cas sont très proches pour une distance grille-drain supérieure à $1 \mu\text{m}$. Il est important de noter que contrairement à ce qui se passe pour le MESFET GaAs [9] où la limitation de la tenue en tension de la grille précède généralement celle dans le canal, pour le MISFET InP la situation peut être différente puisque le contact métal-isolant-semiconducteur supporte des tensions inverses largement supérieures à celles du contact Schottky et ainsi procure l'avantage d'une tension de claquage plus élevée.

Nous allons maintenant aborder l'analyse de l'influence d'un recess sur la tension de claquage au pincement et à canal ouvert.

IV.4.2.2. STRUCTURE AVEC RECESS

Nous avons observé dans le paragraphe I.4.2.1. que la configuration du champ électrique dans l'espace grille-drain avait un rôle important sur la tenue en tension du transistor. On peut donc s'attendre en modifiant la géométrie de cette zone à transformer favorablement l'évolution du champ électrique et à cet égard, la structure à grille enterrée constitue une possibilité intéressante.

Nous avons représenté sur la figure [IV.19] l'évolution de la tension de claquage à canal ouvert en fonction du rapport épaisseur a_r sur épaisseur a de zone active. L'optimisation de la tension de claquage à $V_{gs} = 0$ n'apparaît peut-

être pas au premier abord déterminante sauf si l'on tient compte d'une désadaptation de charge où dans ce cas si l'on veut obtenir un fonctionnement fiable du composant la tension de claquage à canal ouvert doit être la plus élevée possible [11].

Nous pouvons remarquer sur la figure [IV.19] que lorsque l'on est à canal ouvert il existe un rapport optimum a_r/a de l'ordre de 2. On peut en particulier remarquer que pour un composant ayant une longueur de grille de $1 \mu\text{m}$ ($N_d = 10^{17} \text{ cm}^{-3}$, $a = 0,2 \mu\text{m}$) la tension de claquage peut dans ces conditions passer du simple au double.

Par contre, en ce qui concerne la tension de claquage au quasi-pincement, l'effet du recess de grille est peu important et même plutôt légèrement défavorable puisque celle-ci passe de 31 V pour une structure planaire à 26 V lorsque le rapport a_r/a est égal à 3.

Si l'on essaie de déterminer la structure optimale du point de vue tension de claquage au pincement et à canal ouvert, associée au courant drain le plus élevé possible, on aboutit à deux phénomènes contradictoires. Pour une longueur de grille de l'ordre du micron, le bon compromis semble être une structure recess comprenant un rapport $a_r/a \neq 2$ avec un dopage de 10^{17} atm/cm^3 et une épaisseur de la zone active de $0,2 \mu\text{m}$ la distance grille-drain L_{gd} étant de l'ordre de $1 \mu\text{m}$. Il convient cependant de remarquer que ces critères ne tiennent pas compte des paramètres hyperfréquences tels que la fréquence de coupure et le gain. Nous nous proposons donc d'analyser dans la partie suivante d'une part l'influence des éléments technologiques et géométriques et d'autre part celle de la polarisation de grille sur ces paramètres.

IV.4.3. ANALYSE DES PRINCIPAUX PARAMETRES EN FONCTION DE LA POLARISATION DE GRILLE V_{gs}

L'étude de l'influence de la polarisation de grille V_{gs} sur les principaux paramètres du schéma équivalent est effectuée pour la structure expérimentale (canal dopé) présentée dans le paragraphe IV.2.1.1.

IV.4.3.1. TRANSCONDUCTANCE g_m

L'évolution de la transconductance en fonction de V_{gs} (du pincement à l'accumulation) a déjà été présentée au paragraphe IV.2.1.2.3. En conséquence, nous nous proposons d'analyser les autres paramètres.

IV.4.3.2. CONDUCTANCE g_d

Nous avons représenté figure [IV.20] l'évolution de la conductance g_d en fonction de V_{gs} . On peut remarquer que celle-ci reste relativement constante du régime de désertion au régime d'accumulation. Concernant les valeurs obtenues, de l'ordre de 3 mS/mm elles correspondent aux valeurs généralement déterminées expérimentalement, comme nous le préciserons dans le prochain chapitre. D'autre part, en régime de désertion nous obtenons un rapport g_m/g_d de l'ordre de 10, ce qui constitue un critère de qualité du même ordre de grandeur que ceux relatifs aux MESFET GaAs [12].

IV.4.3.3. CAPACITES C_{gs} et C_{gd}

Les figures [IV.21] et [IV.22] représentent les évolutions théoriques des capacités C_{gs} et C_{gd} en fonction de la tension V_{gs} . Concernant la capacité C_{gs} on peut remarquer qu'elle augmente sensiblement avec la tension V_{gs} , puisqu'elle passe de 0,35 pF/mm en désertion à 0,75 pF/mm en accumulation, ce qui correspond à l'évolution classique de structures de type MIS ou MOS [13].

Si l'on effectue l'approximation qui consiste à exprimer la capacité C_{gs} sous la grille par deux capacités en série, l'une correspondant à l'isolant et l'autre à la zone désertée sous la grille, on peut expliquer l'évolution de C_{gs} obtenue en fonction de V_{gs} . Lorsque le transistor est polarisé avec une tension de grille positive, la capacité C_{gs} tend vers la capacité de l'isolant sous la grille, qui est peu différente de $(\epsilon_s L_g Z)/Y_I = 0,9$ pF. On peut constater que celle-ci est très proche de la valeur obtenue théoriquement par la modélisation (0,75 pF). La diminution de la capacité C_{gs} en régime de désertion est une conséquence de l'existence sous la grille de la capacité correspondant à la zone désertée et à l'isolant mises en série.

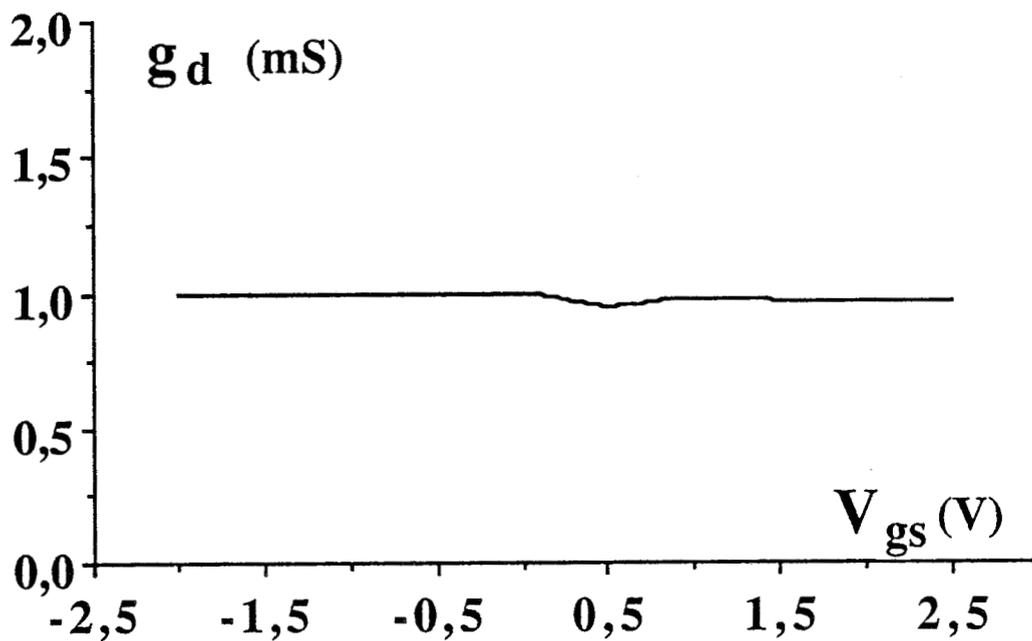


FIGURE [IV.20]: Evolution de la conductance de sortie g_d en fonction de la tension V_{gs} ($a = 0,2 \mu\text{m}$, $N_d = 5 \times 10^{16} \text{cm}^{-3}$, $y_I = 700 \text{ \AA}$, $L_g = 2 \mu\text{m}$, $V_{ds} = 5\text{V}$, $Z = 300 \mu\text{m}$).

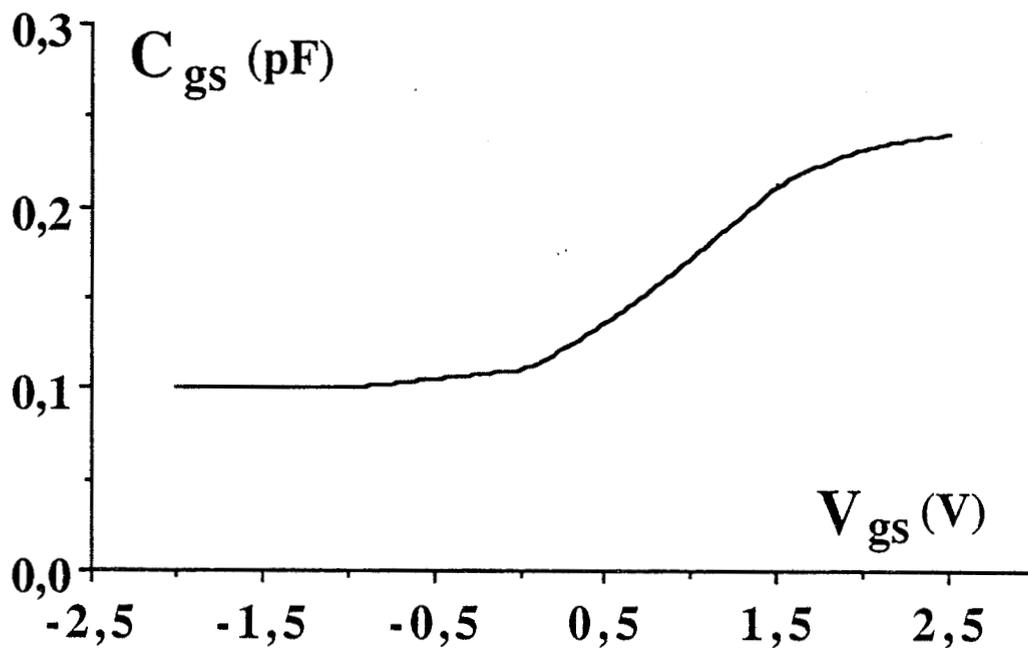


FIGURE [IV.21]: Evolution de la capacit  C_{gs} en fonction de la tension V_{gs} ($a = 0,2 \mu\text{m}$, $N_d = 5 \times 10^{16} \text{cm}^{-3}$, $y_I = 700 \text{ \AA}$, $L_g = 2 \mu\text{m}$, $V_{ds} = 5\text{V}$, $Z = 300 \mu\text{m}$).

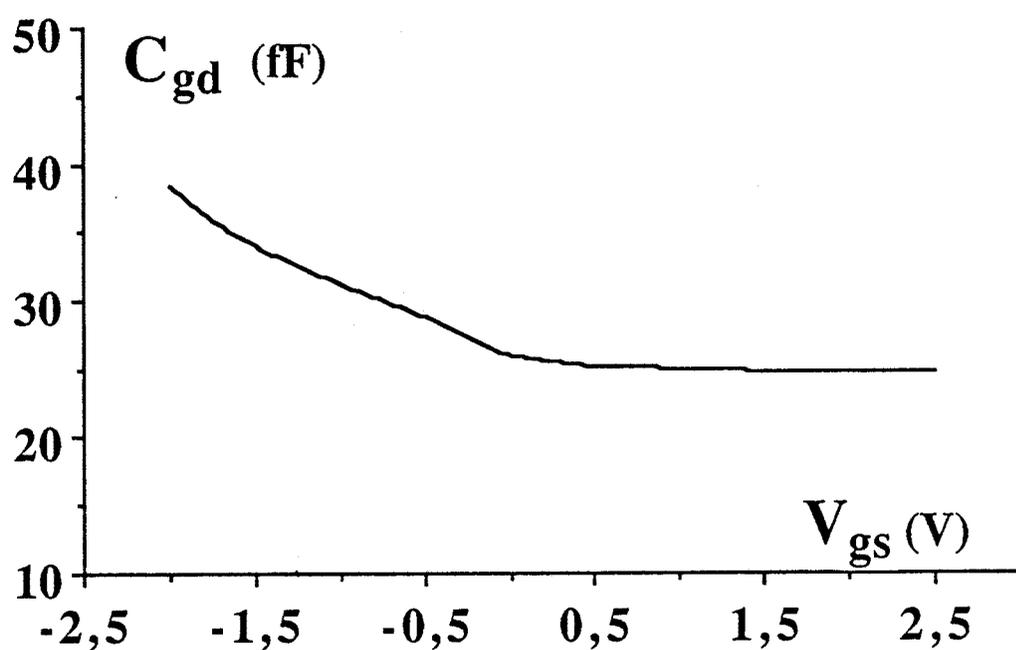


FIGURE [IV.22]: Evolution de la capacité C_{gd} en fonction de la tension V_{gs} ($a = 0,2 \mu\text{m}$, $N_d = 5 \times 10^{16} \text{ cm}^{-3}$, $y_1 = 700 \text{ \AA}$, $L_g = 2 \mu\text{m}$, $V_{ds} = 5 \text{ V}$, $Z = 300 \mu\text{m}$).

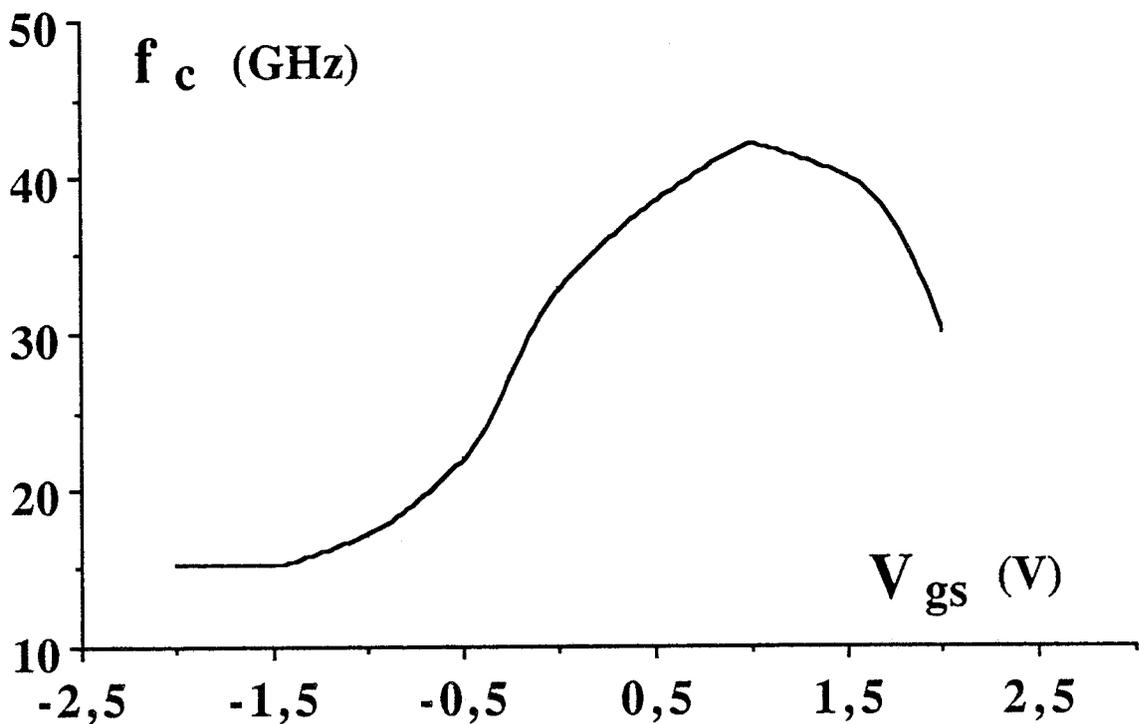


FIGURE [IV.23]: Evolution de la fréquence de coupure f_c en fonction de la tension V_{gs} ($a = 0,2 \mu\text{m}$, $N_d = 5 \times 10^{16} \text{ cm}^{-3}$, $y_I = 700 \text{ \AA}$, $L_g = 2 \mu\text{m}$, $V_{ds} = 5 \text{ V}$, $Z = 300 \mu\text{m}$).

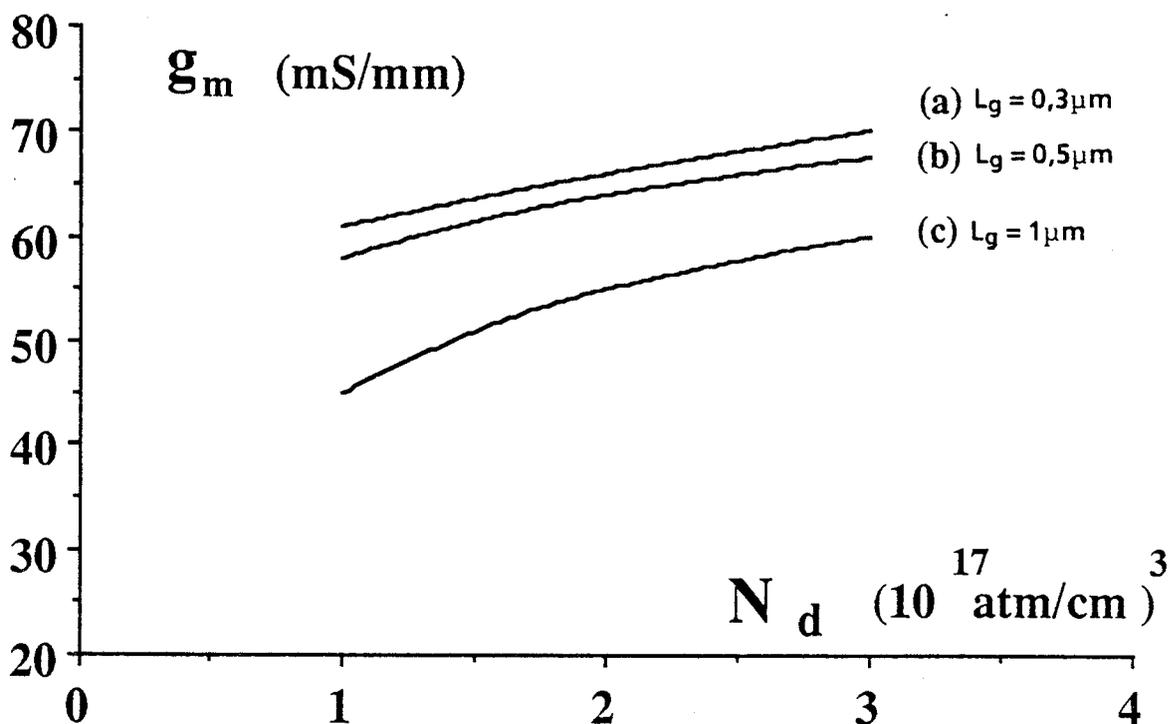


FIGURE [IV.24]: Evolution de la transconductance maximum en fonction du dopage de la zone active N_d pour différentes longueurs de grille ($a = 0,1 \mu\text{m}$, $y_I = 700 \text{ \AA}$, $V_{ds} = 10 \text{ V}$, $Z = 1 \text{ mm}$).

En ce qui concerne la capacité C_{gd} on peut remarquer qu'elle est plus faible lorsque l'on fonctionne en régime d'accumulation, les valeurs obtenues étant du même ordre de grandeur que celles d'un MESFET GaAs de structure analogue.

IV.4.3.4. FREQUENCE DE COUPURE f_c

La fréquence de coupure f_c constitue un paramètre important étant donné qu'il permet de déterminer les possibilités hyperfréquences du composant. On peut remarquer sur la figure [IV.23] que l'évolution de f_c en fonction de V_{gs} présente une allure similaire à celle de la transconductance g_m . En particulier, on peut observer une valeur maximale en régime d'accumulation pour une tension V_{gs} proche de 1 V.

IV.4.4. ANALYSE DES PRINCIPAUX PARAMETRES EN FONCTION DES ELEMENTS TECHNOLOGIQUES ET GEOMETRIQUES

Cette étude comporte deux parties. Dans la première nous analysons la dépendance des éléments du schéma équivalent petit signal du transistor (transconductance g_m , Capacités C_{gs} et C_{gd} , conductance de sortie g_d , fréquence de coupure f_c) en fonction des paramètres géométriques et technologiques (longueur de grille, épaisseur et dopage de la zone active). Ensuite dans la seconde partie nous évaluons les performances hyperfréquences du transistor en régime d'accumulation et de désertion et déterminons les paramètres les plus importants pour une optimisation de la structure.

IV.4.4.1. EVOLUTION DE LA TRANSCONDUCTANCE g_m

La figure [IV.24] représente l'évolution de la transconductance g_m en fonction du dopage de la zone active N_d pour différentes longueurs de grille. On peut observer que la transconductance est une fonction croissante suivant le

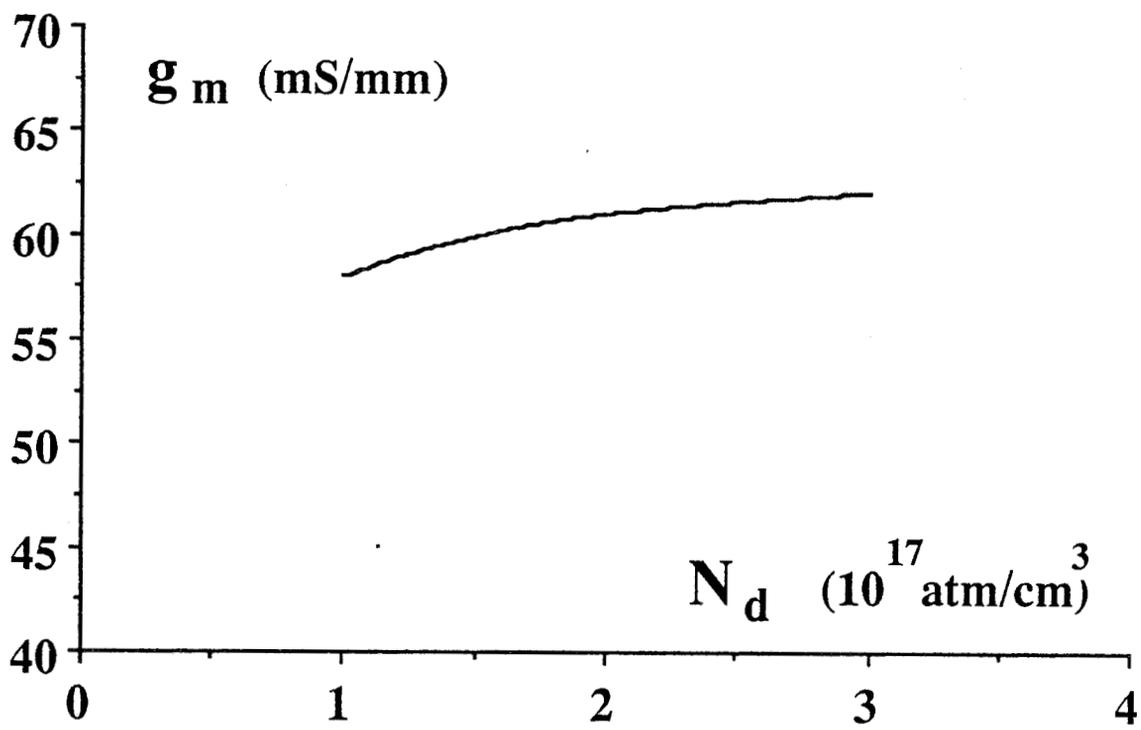


FIGURE [IV.25]: Evolution de la transconductance maximum en fonction du dopage N_d ($a = 0,2 \mu\text{m}$, $y_I = 700 \text{ \AA}$, $V_{ds} = 10 \text{ V}$, $Z = 1 \text{ mm}$, $L_g = 1 \mu\text{m}$).

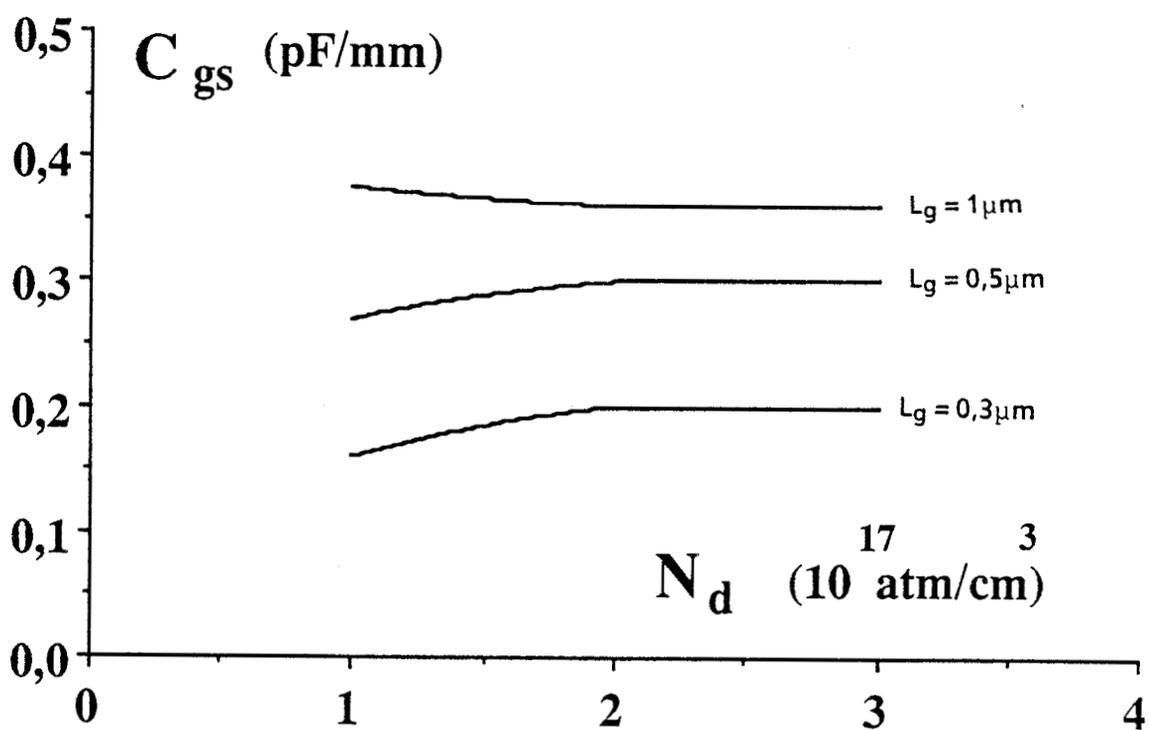


FIGURE [IV.26]: Evolution de la capacit  C_{gs} en fonction du dopage N_d pour diff rentes longueurs de grille ($a = 0,1 \mu\text{m}$, $y_I = 700 \text{ \AA}$, $V_{ds} = 10 \text{ V}$, $Z = 1 \text{ mm}$).

dopage et la longueur de grille ce qui constitue un résultat tout à fait analogue à celui observé dans les MESFET GaAs [6].

On peut néanmoins remarquer les valeurs relativement faibles des transconductances, comprises entre 60 et 70 mS/mm pour $N_d = 3.10^{17}$ atm/cm³. Ceci comme nous l'avons déjà signalé est une conséquence de la présence de la couche isolante sous la grille qui amortit la commande du transistor en absorbant une partie de la tension V_{gs} appliquée.

Nous avons également représenté (fig. [IV.25]) l'évolution de la transconductance en fonction du dopage N_d pour une épaisseur de zone active plus épaisse. On peut constater que celle-ci varie peu. Elle est légèrement plus élevée que dans le cas précédent (fig. [IV.24]) ce qui semble logique si l'on examine la relation simplifiée de la transconductance [7]

$$g_{m_{\max}} = \frac{\epsilon_s Z v_m}{Y_I} \quad \text{où } v_m \text{ est la vitesse moyenne des porteurs dans le canal}$$

Celle-ci n'est fonction que de Y_I et n'implique pas de variation avec l'épaisseur de la zone active a . Cependant, ce résultat montre que l'augmentation du courant drain consécutif à l'utilisation d'une zone active plus épaisse conduit à une valeur de g_m un peu plus élevée ce qui constitue un effet inverse du cas du MESFET GaAs [6].

IV.4.4.2. EVOLUTION DES CAPACITES C_{gs} ET C_{gd}

L'évolution de la capacité C_{gs} est représentée sur la figure [IV.26] en fonction du dopage de la zone active pour plusieurs longueurs de grille. On peut remarquer que la capacité C_{gs} est peu dépendante du dopage N_d , mais par contre, varie fortement avec la longueur de grille L_g . Afin de mettre en évidence cette dépendance nous avons tracé sur la figure [IV.27] cette capacité en fonction de L_g pour deux épaisseurs de la zone active. On peut observer sur ces courbes que la capacité C_{gs} est une fonction croissante et quasiment linéaire de la longueur de grille sauf pour des longueurs inférieures à 0,5 μm où les effets de bords de grille deviennent non négligeables devant la longueur de celle-ci. On peut également remarquer que cette capacité C_{gs} décroît en fonction de l'épaisseur de la zone active.

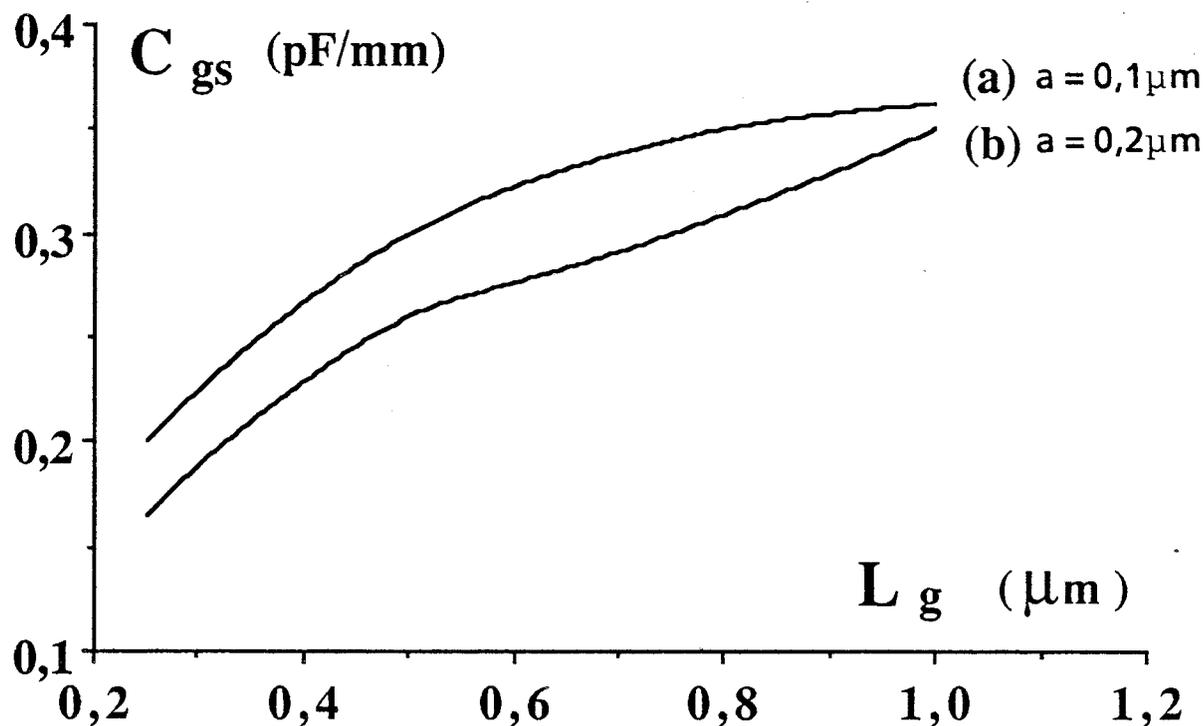


FIGURE [IV.27]: Evolution de la capacité C_{gs} en fonction de la longueur de grille pour différentes épaisseurs de la zone active a . ($y_I = 700 \text{ \AA}$, $V_{ds} = 10 \text{ V}$, $Z = 1 \text{ mm}$, $N_d = 2 \times 10^{17} \text{ cm}^{-3}$).

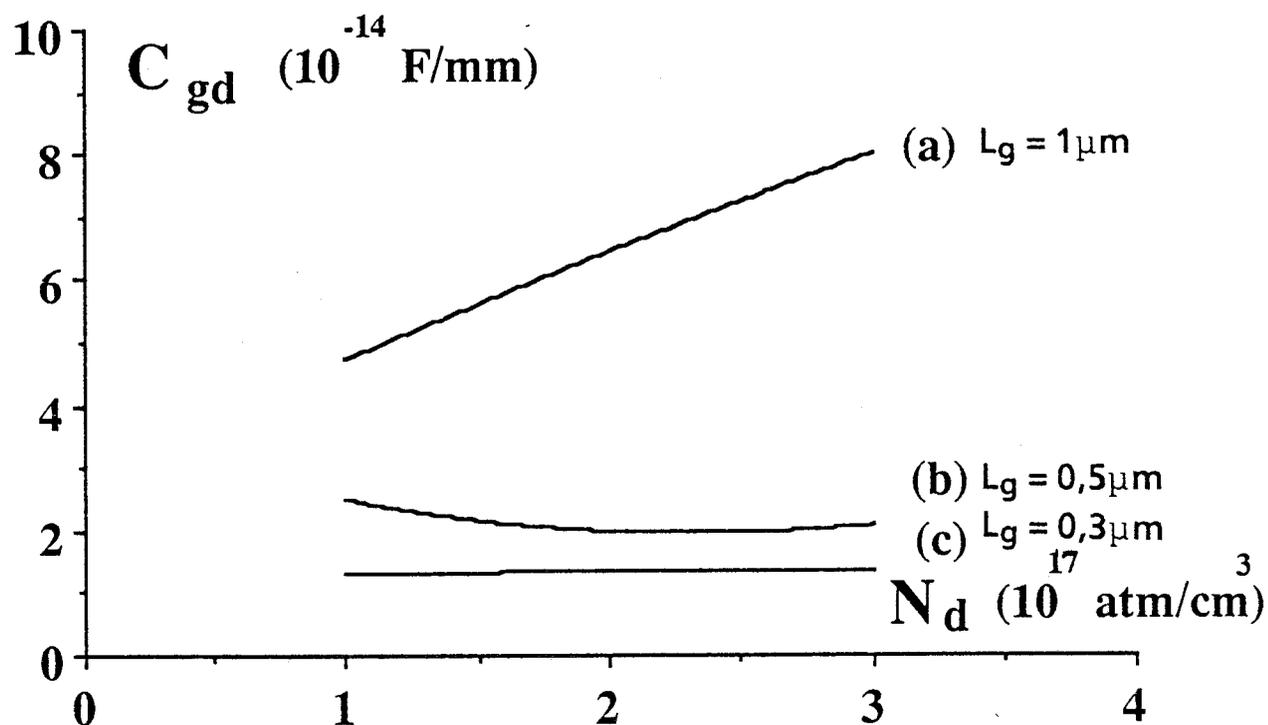


FIGURE [IV.28]: Evolution de la capacité C_{gd} en fonction du dopage N_d pour différentes longueurs de grille ($a = 0.1 \mu\text{m}$, $y_I = 700 \text{ \AA}$, $V_{ds} = 10 \text{ V}$, $Z = 1 \text{ mm}$).

Concernant les valeurs de C_{gs} , on peut noter que celles-ci sont environ dix fois moins élevées comparativement aux structures MESFET GaAs, ce qui est principalement dû à la couche d'isolant sous la grille.

Nous avons effectué la même étude concernant la capacité grille-drain C_{gd} . On peut remarquer que l'évolution (fig. [IV.28]) de C_{gd} en fonction du dopage et de la longueur de grille est tout à fait analogue à celle de la capacité C_{gs} . Les valeurs obtenues restent du même ordre de grandeur que dans le cas du MESFET GaAs. Quant à l'évolution de C_{gd} en fonction de l'épaisseur de la zone active a (fig. [IV.29]) elle reste légèrement croissante en fonction de celle-ci. Il faut cependant préciser que la valeur de C_{gd} ne tient pas compte des capacités plots parasites qui ne sont pas négligeables vis à vis de la faible valeur de celle-ci ($15 < C_{gd} < 60$ fF).

IV.4.4.3. EVOLUTION DE LA CONDUCTANCE DE SORTIE g_d

La conductance de sortie g_d du transistor est représentée sur la figure [IV.30] en fonction du dopage pour différentes longueurs de grille. On peut constater que celle-ci est une fonction peu sensible du dopage de la zone active mais dépend de la longueur de grille. La croissance de g_d lorsque la longueur de grille L_g diminue peut s'expliquer par le fait que l'injection des porteurs dans la couche tampon ou le substrat est plus importante dans le cas des grilles très courtes. On peut aussi observer une faible augmentation de g_d avec le dopage due au fait que la fraction de charges injectées dans le substrat ou la couche tampon croît avec le dopage de la couche active. La dernière évolution fig. [IV.31] concerne l'influence de l'épaisseur de la zone active a sur la conductance g_d . La croissance de g_d de 3,8 à 5,5 mS pour une valeur de a passant de 0,1 à 0,2 μm nous amène à conclure que la conductance g_d reste pratiquement indépendante de l'épaisseur de la couche active.

IV.4.4.4. EVOLUTION DE LA FREQUENCE DE COUPURE f_c

Nous avons représenté sur la fig. [IV.32] l'évolution de la fréquence de coupure $f_c = g_m/2\pi C_{gs}$ en fonction du dopage pour plusieurs longueurs de

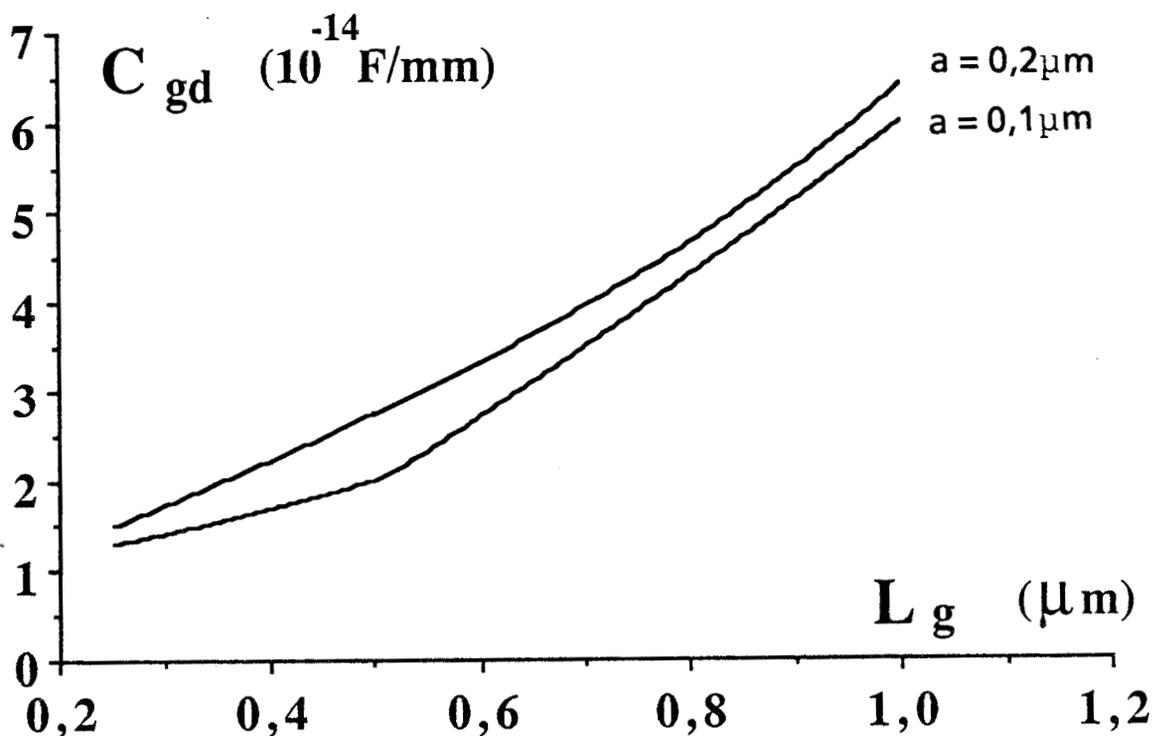


FIGURE [IV.29]: Evolutions de la capacité C_{gd} en fonction de la longueur de grille pour différentes épaisseurs de la zone active a . ($y_I = 700 \text{ \AA}$, $V_{ds} = 10 \text{ V}$, $Z = 1 \text{ mm}$, $N_d = 2 \times 10^{17} \text{ cm}^{-3}$).

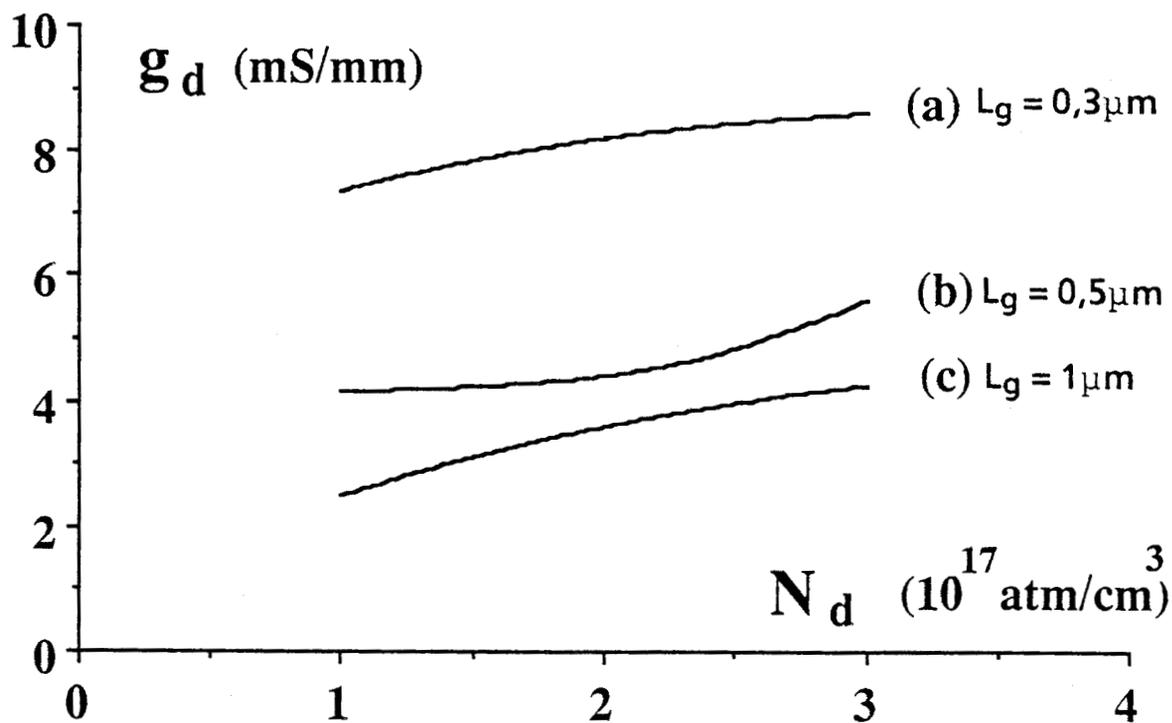


FIGURE [IV.30]: Evolution de la conductance de sortie g_d en fonction du dopage de la zone active N_d pour différentes longueurs de grille ($a = 0.1 \mu\text{m}$, $y_I = 700 \text{ \AA}$, $V_{ds} = 10 \text{ V}$, $Z = 1 \text{ mm}$).

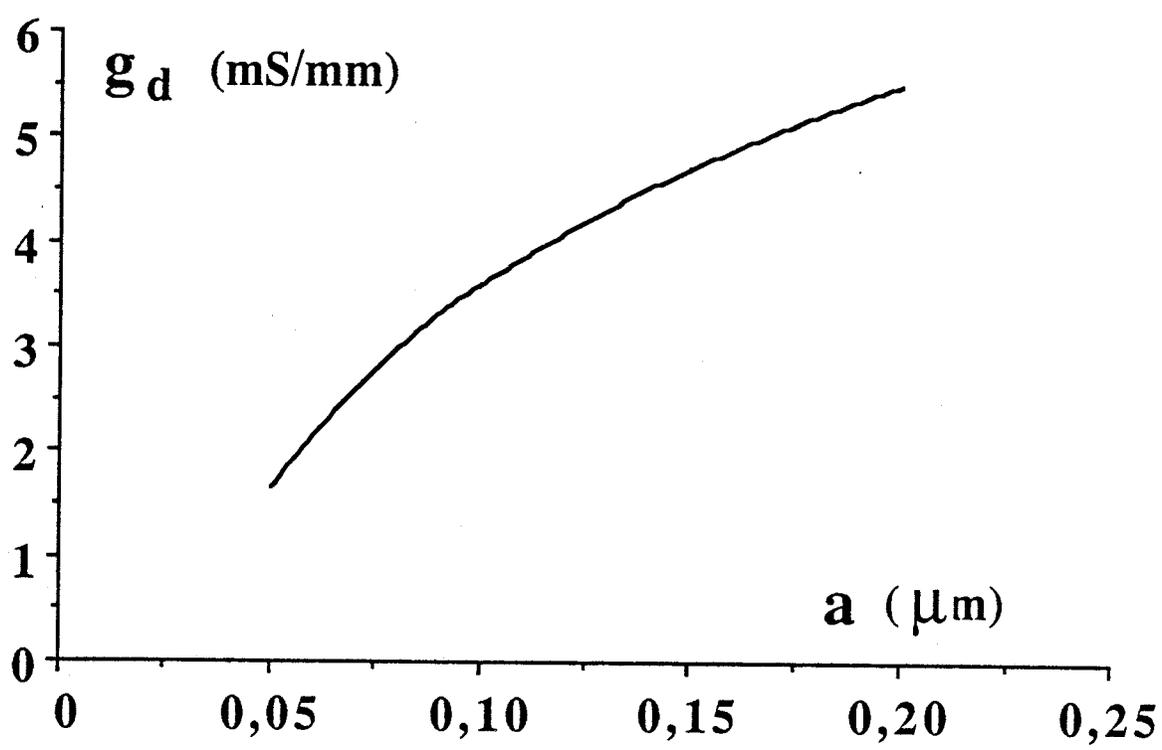


FIGURE [IV.31]: Evolution de la conductance de sortie g_d en fonction de l'épaisseur de la zone active a ($N_d = 2 \times 10^{17} \text{ cm}^{-3}$, $y_1 = 700 \text{ \AA}$, $L_g = 1 \mu\text{m}$, $V_{ds} = 10 \text{ V}$, $Z = 1 \text{ mm}$).

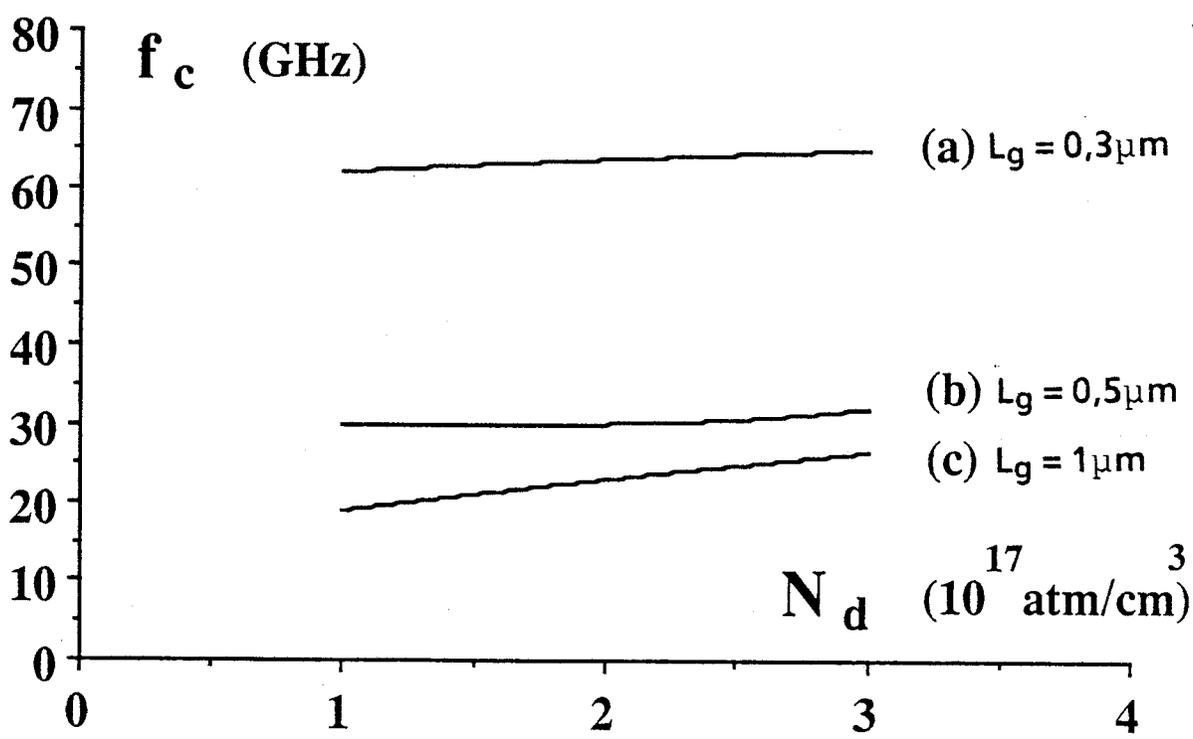


FIGURE [IV.32]: Evolution de la fréquence de coupure f_c en fonction du dopage de la zone active pour différentes longueurs de grille ($a = 0,1 \mu\text{m}$, $y_1 = 700 \text{ \AA}$, $V_{ds} = 10 \text{ V}$, $Z = 1 \text{ mm}$).

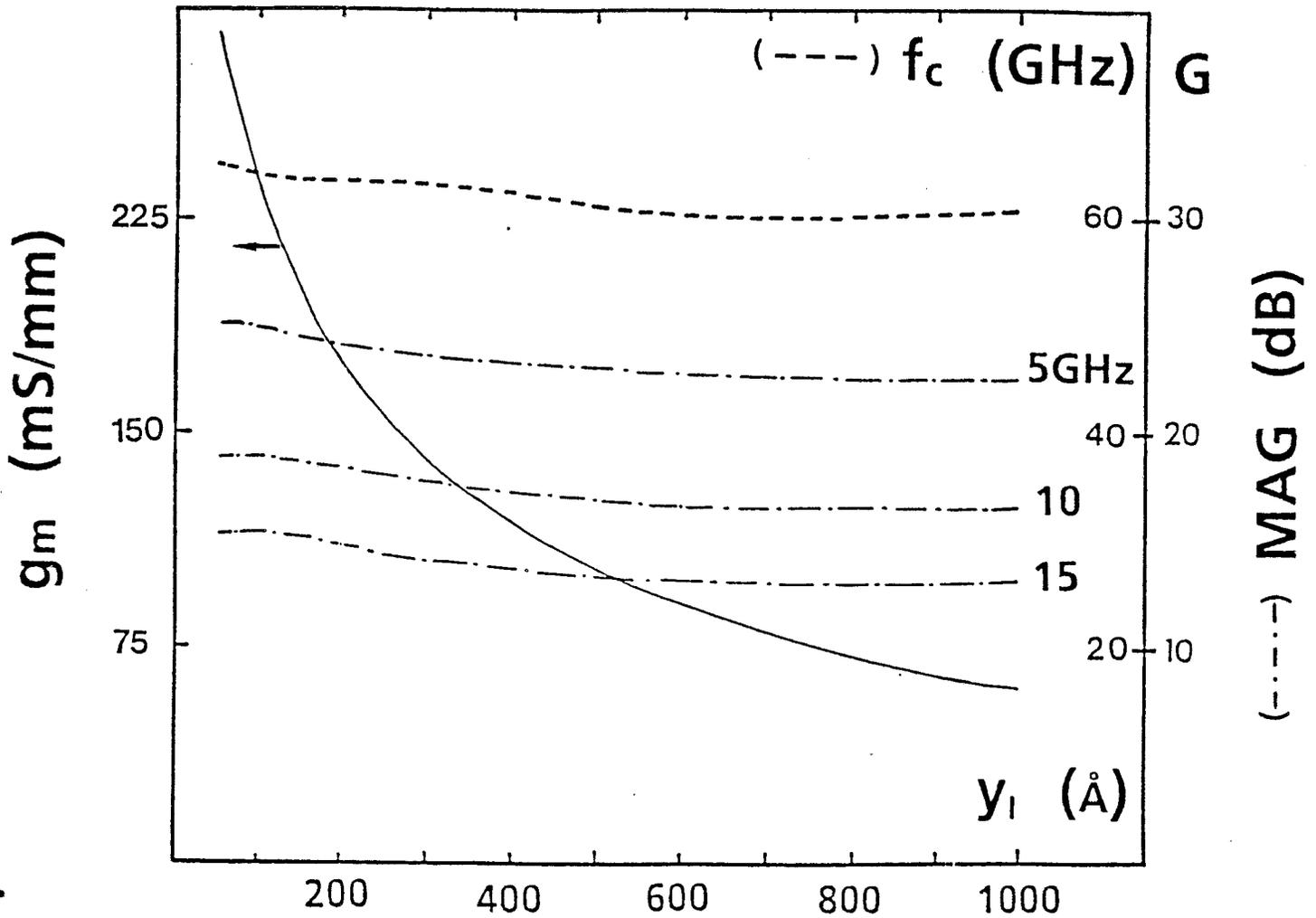


FIGURE [IV.33]: Evolution de la transconductance g_m , de la fréquence de coupure f_c et du gain petit signal G en fonction de l'épaisseur de la zone d'isolant y_i pour un fonctionnement en régime de désertion ($N_d = 2 \times 10^{17} \text{ cm}^{-3}$, $L_g = 0,5 \text{ } \mu\text{m}$, $a = 0,15 \text{ } \mu\text{m}$, $V_{gs} = -2 \text{ V}$, $V_{ds} = 10 \text{ V}$, éléments d'accès: $L_s = 0$ et $R_s + R_g \# 15 \text{ } \Omega$).

grille. On peut constater que celle-ci est une fonction croissante de la longueur de grille ce qui constitue une évolution logique, la transconductance g_m étant inversement proportionnelle à la longueur de grille et la capacité C_{gs} étant quant à elle proportionnelle à celle-ci. Concernant la dépendance avec le dopage de la couche active, on peut remarquer que la fréquence f_c de coupure du gain en courant reste peu sensible à celui-ci. D'autre part, les valeurs des fréquences de coupure obtenues restent du même ordre de grandeurs que celles de structures MESFET GaAs, ce qui a priori n'était pas évident compte-tenu des faibles valeurs de transconductances g_m observées. Cependant les valeurs des capacités C_{gs} peu élevées compensent le rapport $g_m/2\pi C_{gs}$ et conduisent à des fréquences de coupure f_c tout à fait satisfaisantes.

IV.4.4.5. INFLUENCE DE L'ÉPAISSEUR Y_I D'ISOLANT SUR LES PARAMÈTRES g_m , f_c et MAG

Il est également important d'analyser les possibilités hyperfréquences du MISFET InP et d'étudier finalement l'influence de l'épaisseur de la zone d'isolant Y_I sur les performances du transistor. Pour cela nous avons considéré les deux types de fonctionnement : régime d'accumulation et régime de désertion.

IV.4.4.5.1. RÉGIME DE DESERTION

Nous avons représenté (fig. [IV.33]) l'évolution des trois paramètres transconductances g_m , fréquence de coupure f_c et gain MAG en fonction de l'épaisseur d'isolant sous la grille Y_I . On peut observer que la transconductance g_m est une fonction décroissante de l'épaisseur Y_I . Ce résultat s'explique par la tension "perdue" dans l'isolant qui ne participe pas à la modulation de la charge dans le canal et atténue par conséquent la commande. Cet effet que l'on peut qualifier d'effet tampon constitue un élément défavorable pour le MISFET InP en ce qui concerne l'obtention de transconductance élevées. Cependant, la fréquence de coupure f_c est relativement constante en fonction de l'épaisseur Y_I . En effet, la décroissance de la transconductance est compensée par une diminution de la capacité C_{gs} lorsque l'on augmente l'épaisseur de la zone d'isolant. On peut d'autre part noter que la fréquence de coupure f_c est relativement élevée, de

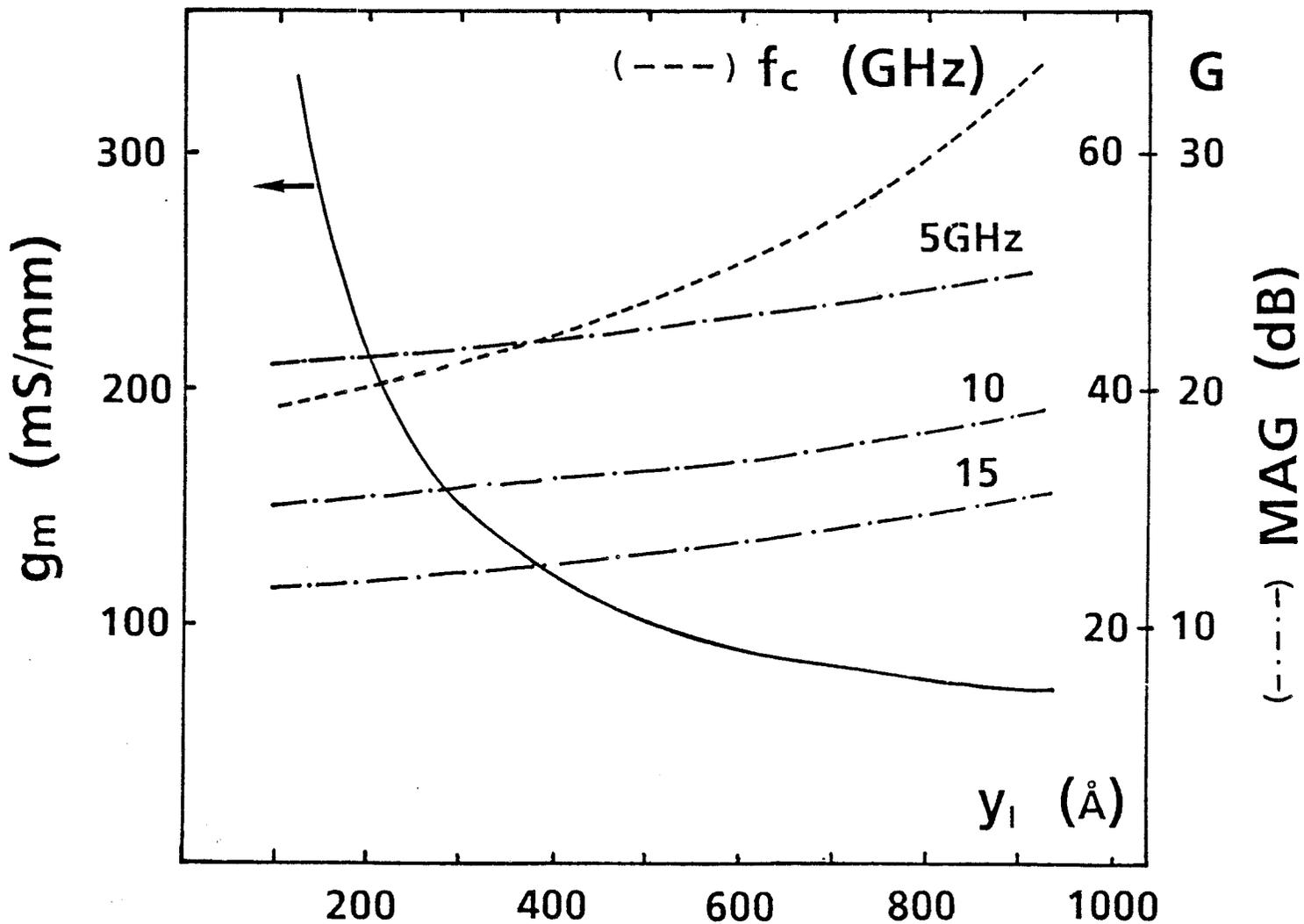


FIGURE [IV.34]: Evolution de la transconductance g_m , de la fréquence de coupure f_c et du gain petit signal G en fonction de l'épaisseur de la zone d'isolant y_I pour un fonctionnement en régime d'accumulation ($N_d = 2 \times 10^{17} \text{ cm}^{-3}$, $L_g = 0,5 \mu\text{m}$, $a = 0,15 \mu\text{m}$, $V_{gs} = +2 \text{ V}$, $V_{ds} = 10 \text{ V}$, éléments d'accès: $L_s = 0$ et $R_s + R_g \# 15 \Omega$).

l'ordre de 60 GHz pour une longueur de grille de 0,5 μm ce qui laisse présager des applications en ondes millimétriques.

Le dernier paramètre représenté figure [IV.34] est le gain maximum disponible (MAG). Ce gain est tracé pour trois fréquences de travail (5, 10, 15 GHz) en minimisant les valeurs des éléments d'accès ($L_s \# 0$ et $R_s + R_g \# 15 \Omega$). On peut constater que l'on peut obtenir un gain de l'ordre de 12 dB à 15 GHz pour une telle structure et que celui-ci reste peu dépendant de l'épaisseur d'isolant Y_I sous la grille.

IV.4.4.5.2. REGIME D'ACCUMULATION

La figure [IV.34] montre l'évolution des mêmes paramètres que la précédente pour une structure similaire fonctionnant en régime d'accumulation ($V_{gs} \# + 2 \text{ V}$). On peut constater que les évolutions des différents paramètres sont proches de celles relevées pour un fonctionnement en désertion avec néanmoins quelques nuances.

Si l'évolution de la transconductance g_m est bien décroissante avec Y_I on peut noter que sa valeur est plus élevée que dans le cas du régime de désertion ; ce résultat a déjà été observé au début de ce chapitre lors de la confrontation théorie-expérience. Concernant la fréquence de coupure f_c , on peut remarquer qu'elle dépend davantage de l'épaisseur Y_I par rapport au fonctionnement en régime de désertion. Ceci est une conséquence de la dépendance de la transconductance et de la capacité C_{gs} avec Y_I . D'autre part la valeur obtenue reste du même ordre de grandeur que dans le cas précédent. En effet, si la transconductance g_m est plus élevée, la capacité C_{gs} l'est également pour ce mode de fonctionnement. Quant au gain, il reste peu dépendant de Y_I et présente des valeurs légèrement plus élevées que dans le cas du régime de désertion ce qui peut être lié à la transconductance plus importante.

IV.5. CONCLUSION

Le modèle pseudo-bidimensionnel que nous avons élaboré constitue un outil qui permet de rendre compte de façon très réaliste du comportement du MISFET InP pour les deux régimes de fonctionnement : désertion et

accumulation. Cette modélisation permet d'une part une bonne compréhension de la physique du transistor et d'autre part de mettre en évidence les différents avantages qui font du MISFET InP une structure de choix pour l'amplification de puissance hyperfréquence.

L'intérêt de ce composant repose sur une excellente tenue en tension associée à un courant drain important et à de bonnes propriétés hyperfréquences (fréquence de coupure f_c , gain ...).

A partir des éléments recueillis au cours de cette étude nous pouvons définir une structure MISFET InP optimale pour l'amplification de puissance hyperfréquence. Pour des structures ayant une longueur de grille comprise entre 0,5 et 1 μm , un produit dopage-épaisseur de la zone active de l'ordre de $10^{17} \text{ cm}^{-3} \times 0,2 \mu\text{m}$ constitue un bon compromis pour obtenir une tension de claquage et un courant maximum élevés. En ce qui concerne la géométrie de la structure, elle doit être à grille creusée (recess) de rapport a_r/a peu différent de 2 avec une distance grille-drain de l'ordre de 1 μm .

Quant à l'épaisseur d'isolant sous la grille, elle ne doit pas être inférieure à 500 Å, sous peine de diminuer la tension de claquage et supérieure à 700 Å si l'on veut garder une valeur de transconductance acceptable.

BIBLIOGRAPHIE

- [1] "High-power high-efficiency stable indium phosphide MISFETs"
L. MESSICK, D.A. COLLINS, R. NGUYEN, A.R. CLAWSON and G.E. Mc
WILLIAMS
IEDM 86, p. 767-770.
- [2] "Ion implanted InP MISFET's with low drain current drift"
G. POST, P. DIMITRIOU, A. FALCOU, N. DUHAMEL and G. HERMANT
Journal de Physique, Colloque C4, Supplément au n° 9, Tome 49, Sept. 88.
- [3] "Microwave power amplification with InP FET's"
M. ARMAND, J. CHEVRIER, NUYEN T. LINH
Electronics Letters, Vol. 16, n° 24, Nov. 80.
- [4] "GaInAs depletion mode MISFET with negligible drain current drift"
M. RENAUD, P. BOHER, J. SCHNEIDER, J. BARRIER
Electronics Letters, Vol. 24, n° 12, Juin 88.
- [5] "High efficiency GaInAs microwave MISFET's"
P.D. GARDNER, D. BECHTLE, S. YESNA NARAYAN, S.D. COLVIN and
J. PACZKOWSKI
IEEE Electron Device Letters, Vol. 8, n° 9, Sept. 87.
- [6] "Sur un nouveau modèle de transistor à effet de champ à grille
submicronique"
Thèse de 3e cycle, A. CAPPY, Lille, 29 juin 1981.
- [7] "Modélisation de transistors à effet de champ à hétérojonctions, application
au MISFET GaAlAs/GaAs et à l'étude du transfert électronique dans
l'espace réel"
Thèse de l'université, D. DEPREEUW, LILLE, 4 octobre 1988.
- [8] "Modélisation de transistors à effet de champ à grille ultra-courte"
B. CARNEZ, A. CAPPY, G. SALMER, E. CONSTANT
Acta Electronica, 23, 2, 1980, pp. 165-183.
- [9] "Theoretical analysis of the DC avalanche breakdown in GaAs MESFET's"
R. WROBLEWSKI, G. SALMER et Y. CROSNIER
IEEE Trans. on Electron Devices, Vol. ED-30, n° 2, Fév. 83.
- [10] "Power-limiting breakdown effects in GaAs MESFET's"
W.R. FRENSLEY
IEEE Trans. on Electron Devices, Vol. ED-28, n° 8, Août 81.
- [11] "New aspects of the power limitations in the GaAs MESFETs"
Y. CROSNIER, G. SALMER, H. GERARD, J. WYRWINSKI, P. BAUDET
Physica 129B, pp. 394-398, 1985.
- [12] "Simulation bidimensionnelle du transistor à effet de champ AsGa à grille
submicronique : application à l'optimisation des composants faible bruit"
Thèse de l'université, F. HELIODORE, Lille, 2 avril 1987.
- [13] "MOS (Metal Oxide Semiconductor) physics and technology"
E.H. NICOLLIAN, J.R. BREWS (Wiley-Interscience).

CHAPITRE V

ETUDE EXPERIMENTALE DES TRANSISTORS MISFET InP NORMALLY-ON ET NORMALLY-OFF

V.1. INTRODUCTION

Ce dernier chapitre est consacré à une étude expérimentale de structures MISFET InP mises à notre disposition par le CNET Bagnoux. Elle est relative à des transistors normally-off et normally-on correspondant à différentes opérations technologiques et comporte deux aspects essentiels qui sont la caractérisation des composants et l'évaluation des performances en amplification de puissance hyperfréquence.

La caractérisation des transistors est composée de mesures des caractéristiques statiques et hyperfréquences permettant de déterminer les valeurs des éléments d'accès ainsi que d'établir les principales grandeurs dynamiques. En ce qui concerne les éléments d'accès, les particularités de la structure MIS nous ont conduit à élaborer une méthode originale de détermination.

La seconde partie de cette étude expérimentale est consacrée à des mesures en vue d'établir les performances potentielles des transistors en fonctionnement de puissance. Pour cela nous avons utilisé un banc de mesure classique et un banc de puissance à charge active (TAKAYAMA) permettant la détermination de la charge d'adaptation du composant.

Les transistors dont nous avons pu disposer n'étant pas spécifiquement élaborés pour l'amplification de puissance hyperfréquence nous essayerons de préciser les différents points favorables et améliorations possibles dans le but d'établir la structure optimale pour ce type de fonctionnement.

Après avoir précisé les différentes méthodes de caractérisation indispensables pour l'analyse des performances du composant, nous allons aborder dans la partie suivante l'étude du comportement du MISFET InP en amplification de puissance hyperfréquence.

V.2. CARACTERISTIQUES TECHNOLOGIQUES ET GEOMETRIQUES DES DIFFERENTS COMPOSANTS

L'étude expérimentale réalisée dans ce chapitre porte sur quelques séries de transistors MISFET InP fournies par le CNET Bagnoux.

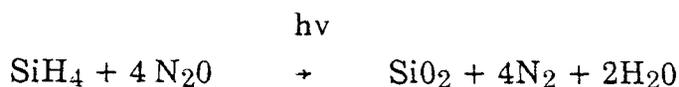
série	N°	dopage ⁻³ (cm ³)	longueur de grille	largeur	épaisseur isolant	recess
E15	CD15	NID	2 μ m	300 μ m	700 Å	NON
	CD17	NID	2 μ m	300 μ m	700 Å	NON
	CD18	NID	2 μ m	300 μ m	700 Å	NON
	EF26	NID	2 μ m	300 μ m	700 Å	NON
	EF25	NID	2 μ m	300 μ m	700 Å	NON
	AB09	NID	2 μ m	300 μ m	700 Å	NON
	CD22	NID	2 μ m	300 μ m	700 Å	NON
E77	77-201	NID	1,5 μ m	300 μ m	420 Å	NON
	77-202	NID	1,5 μ m	300 μ m	420 Å	NON
E82	82-203	NID	1,5 μ m	300 μ m	600 Å	NON
	82-204	NID	1,5 μ m	300 μ m	600 Å	NON
	82-300	NID	1,5 μ m	300 μ m	600 Å	NON
	82-301	NID	1,5 μ m	300 μ m	600 Å	NON
E65	72-1	5.10^{16}	2 μ m	300 μ m	700 Å	NON
	72-2	5.10^{16}	2 μ m	300 μ m	700 Å	NON
	72-3	5.10^{16}	2 μ m	300 μ m	700 Å	NON
	72-4	5.10^{16}	2 μ m	300 μ m	700 Å	NON
E103	A01	2.10^{16}	1 μ m	300 μ m	700 Å	OUI
	A04	2.10^{16}	1 μ m	300 μ m	700 Å	OUI
	C11	2.10^{16}	1 μ m	300 μ m	700 Å	OUI
	C12	2.10^{16}	1 μ m	300 μ m	700 Å	OUI

TABLEAU |V.1|: Caractéristiques technologiques des composants utilisés.

Nous nous proposons avant d'aborder cette étude de préciser les caractéristiques technologiques et géométriques des différents composants.

V.2.1. FABRICATION DES COMPOSANTS

Les différentes séries de transistors (tableau [V.1]) se composent de transistors normally-off (canal non dopé) et normally-on (canal dopé). Tous les composants sont réalisés à partir d'un substrat InP semi-isolant obtenu par compensation (Fe). Sur celui-ci sont implantés les caissons N⁺ de source et de drain, ainsi que le canal N⁻ entre ces derniers pour les transistors normally-on. L'implantation des zones N⁺ est effectuée à une énergie d'environ 110 KeV pour une dose de Silicium de 10¹⁴ atm/cm², le canal N⁻ étant lui réalisé à 100 KeV avec 10¹² atm/cm² de Silicium [1]. Après un recuit d'activation à 750°C, les contacts ohmiques de source et de drain Au-Ge sont évaporés (410°C). Ensuite l'attaque chimique du canal peut être réalisée afin de fixer l'épaisseur de la zone active. Après cette opération, l'isolant de grille (SiO₂) est déposé par une méthode chimique activée par U.V. à la température de 180°C suivant la réaction :



Il est à noter que la vitesse de croissance est fortement dépendante de l'intensité de la lumière U.V.. L'épaisseur d'oxyde ainsi déposée est généralement de 700 Å avec néanmoins des dispersions d'environ 200 Å dues à l'absence d'appareillage de contrôle in-situ. La grille (Ti-Au) est ensuite évaporée au canon à électron. Dans une dernière étape, les différents plots de métallisation (Ti-Au) sont réalisés et le composant est passivé par une double couche de Si₃N₄ et de SiO₂.

Il existe quelques variantes technologiques suivant les séries de transistors. En particulier sur les séries E82 et E77 la surface du semiconducteur InP est traitée avec NH₃ avant le dépôt d'oxyde afin d'améliorer la qualité de l'interface isolant-semiconducteur. On peut aussi remarquer tableau [V.1.] que la dernière série E 103 possède une grille enterrée (recess).

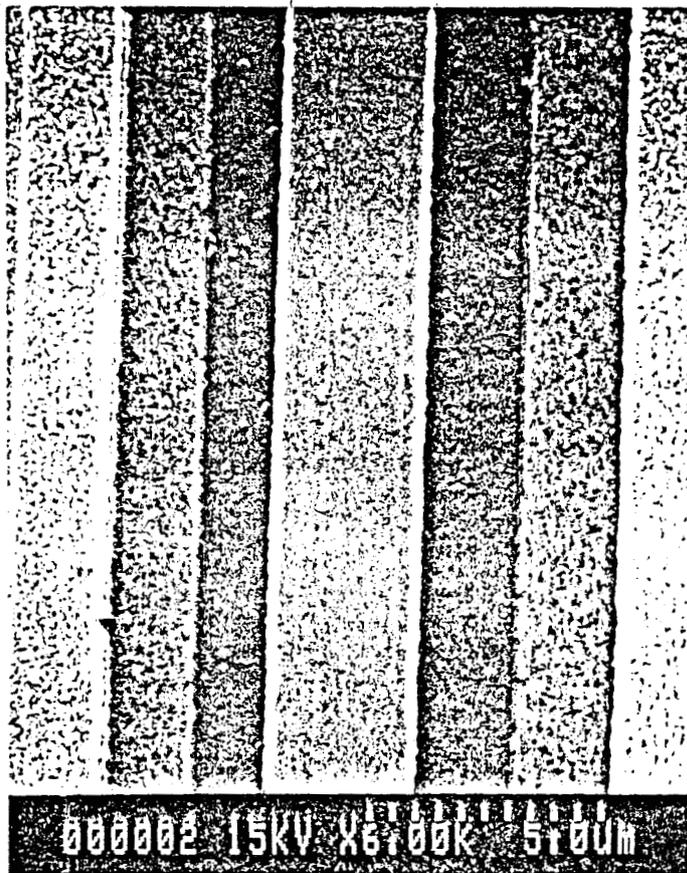
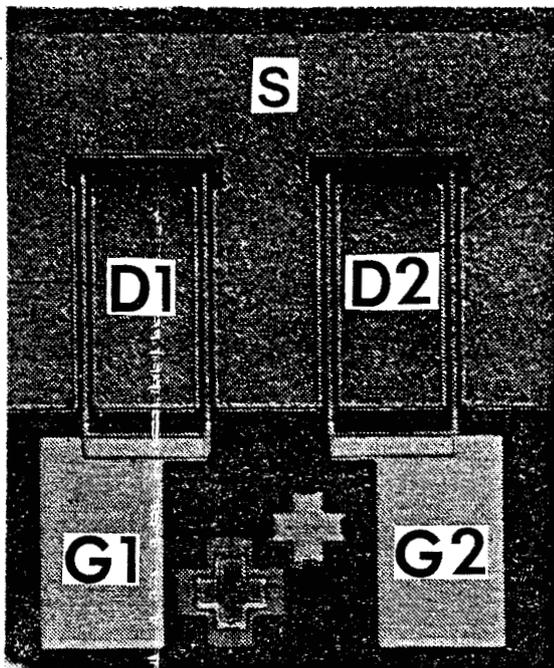
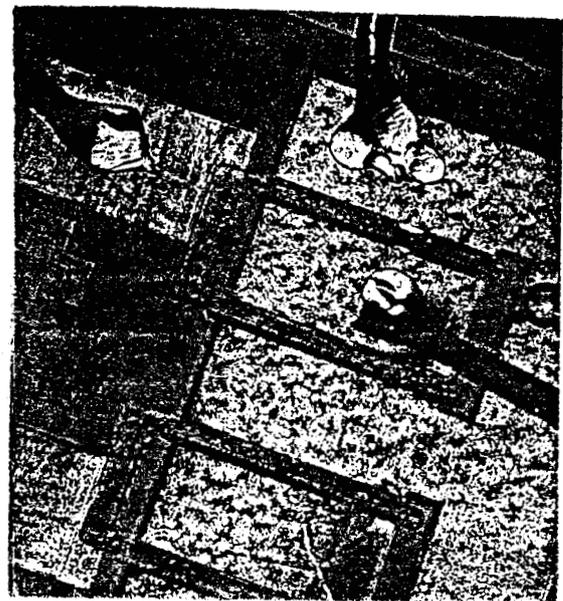


FIGURE |V.1|: Vue microscopique d'un MISFET InP montrant la grille et les contacts N⁺ de source et drain.



a



b

FIGURE |V.2|: Structure des MISFET InP avant montage (a) et après montage en boîtier BMH60 (b).

V.2.2. CARACTERISTIQUES TECHNOLOGIQUES DES COMPOSANTS

Nous avons regroupé dans le tableau [V.1.] les différentes caractéristiques technologiques et géométriques des transistors MISFET InP étudiés. Une des difficultés technologiques consiste en l'élaboration de grille submicronique ce qui explique que celles des transistors caractérisés restent relativement longues bien que les dernières séries (77, 82, 103) ont présenté une nette amélioration avec des longueurs d'environ 1,5 μm . La figure [V.1.] représente le canal d'un MISFET de la série E 65. On distingue nettement la grille au centre et les bords N⁺ de chaque côté de celle-ci. On peut remarquer que le centrage de la grille dans l'espace source-drain reste relativement délicat (grille légèrement décentrée). La première métallisation Au-Ge ainsi que celle d'épaississement Ti-Au sont également clairement visibles.

La figure [V.2.a]. montre la géométrie des composants réalisés. On peut observer sur celle-ci qu'il existe deux transistors possédant chacun deux doigts de grille de 150 μm . La figure [V.2.b] représente le transistor après montage en boîtier BMH60. Les schémas des composants obtenus ont déjà été présentés au chapitre IV lors de la validation du modèle pseudo-bidimensionnel. Signalons que la dernière série de transistors (plaque E103) est à grille enterrée (fig. [V.3]). Celle-ci possède une longueur de 1 μm , l'espace entre les deux caissons N⁺ est de 5 μm et les flancs de recess sont inclinés d'environ 30°.

Nous nous proposons maintenant de décrire les différentes phases de caractérisation de ces composants.

V.3. CARACTERISATION CONTINUE ET BASSE FREQUENCE DES COMPOSANTS

La caractérisation continue consiste à déterminer les caractéristiques statiques du transistor ($I_{ds}(V_{gs}, V_{ds})$, $g_m(V_{gs})$, $R_{ds}(V_{gs})$...) quant à la caractérisation basse fréquence ($f < 1 \text{ GHz}$) à mesurer la capacité entre grille et source $C_g(V_{gs})$ et d'en déduire ainsi la commande de charge $Q(V_{gs})$. Nous nous proposons également de préciser la mobilité $\mu(V_{gs})$ de la couche active à partir de mesures de résistances drain-source $R_{ds}(V_{gs})$ en présence de champ magnétique.

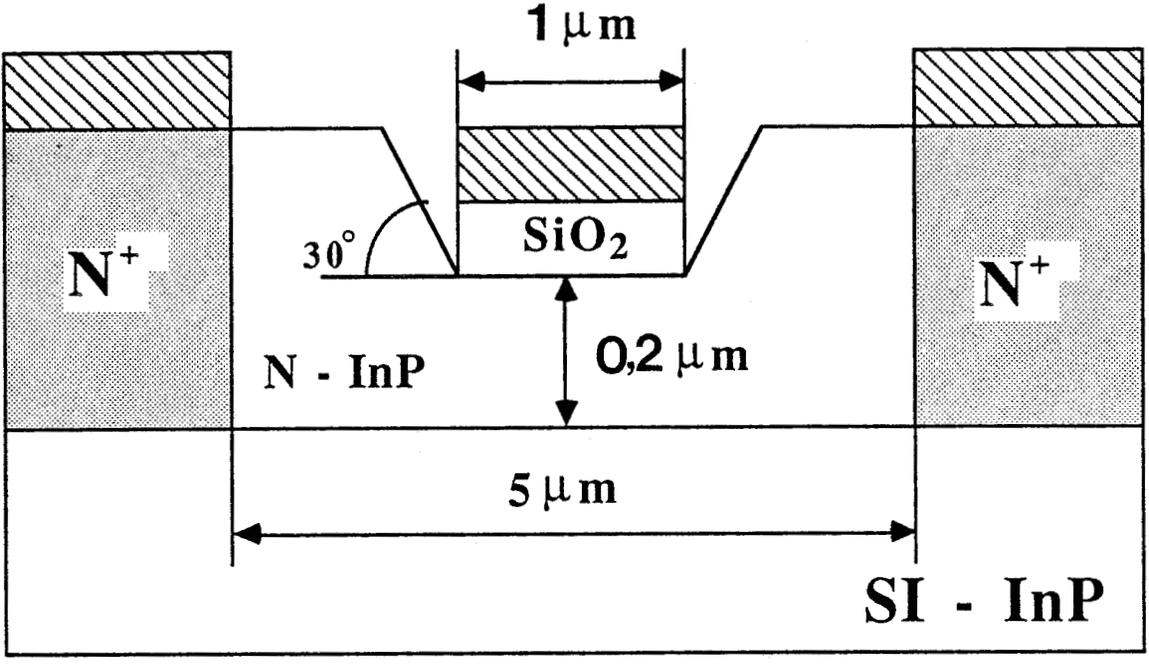


FIGURE [V.3]: Schéma d'une structure MISFET InP à grille enterrée (série E 103).

Les différentes informations recueillies au cours de cette caractérisation sont importantes car elles nous renseignent sur le bon fonctionnement des transistors et permettent la vérification des valeurs des paramètres géométriques (longueur de grille, épaisseur de zone active) et technologiques (dopage de zone active).

V.3.1. CARACTERISATION CONTINUE

V.3.1.1. TRANSISTOR NORMALLY-ON

Nous avons représenté sur les figures [V.4.a] et [V.4.b] les différents paramètres statiques : $I_{ds}(V_{gs}, V_{ds})$, $g_m(V_{gs})$, $R_{ds}(V_{gs})$ des transistors normally-on des deux séries E65 et E 103 décrites précédemment.

V.3.1.1.1. CARACTERISTIQUES $I_{ds}(V_{gs}, V_{ds})$

Concernant la caractéristique $I_{ds}(V_{gs})$ on peut remarquer que le courant drain $I_{dss}(V_{gs} = 0)$ présente une valeur relativement peu élevée d'environ 50 mA ce qui est essentiellement une conséquence d'un dopage assez faible et d'une épaisseur de canal insuffisante. Pour les deux séries on peut également observer que les transistors fonctionnent en régime d'accumulation ($V_{gs} = + 2V$) où l'on atteint un courant drain I_{ds} peu différent de 120 mA. Dans le cas du mode de désertion on peut noter sur la courbe $I_{ds}(V_{gs})$ que pour les deux transistors le pincement du canal n'est pas obtenu. On peut attribuer ce non pincement dans les caractéristiques statiques à l'existence de pièges à l'interface isolant-semiconducteur et probablement à la présence d'une conductance parallèle due à une mauvaise implantation des caissons N⁺ (diffusion latérale). Nous reviendrons sur ce problème lors des caractérisations hyperfréquences.

V.3.1.1.2. CARACTERISTIQUES $g_m(V_{gs})$ et $R_{ds}(V_{gs})$

Du côté des caractéristiques statiques $g_m(V_{gs})$ (fig. [V.4.a] et [V.4.b]) on constate deux comportements différents pour les transistors des séries E65 et E103. Le transistor de la série E65 (72-2) présente une transconductance relativement linéaire en fonction de V_{gs} avec une valeur maximale de 27 mS

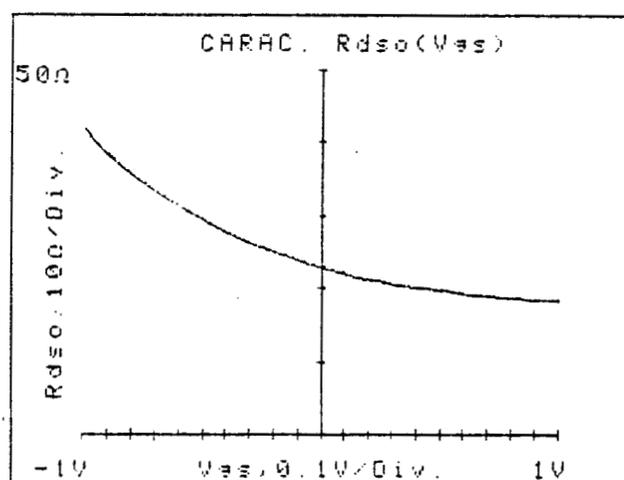
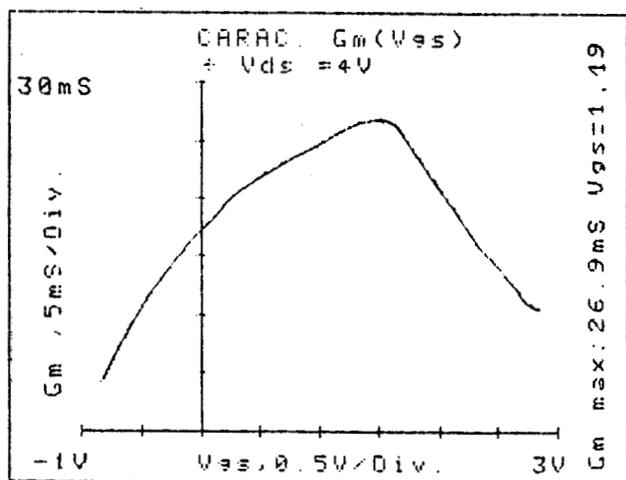
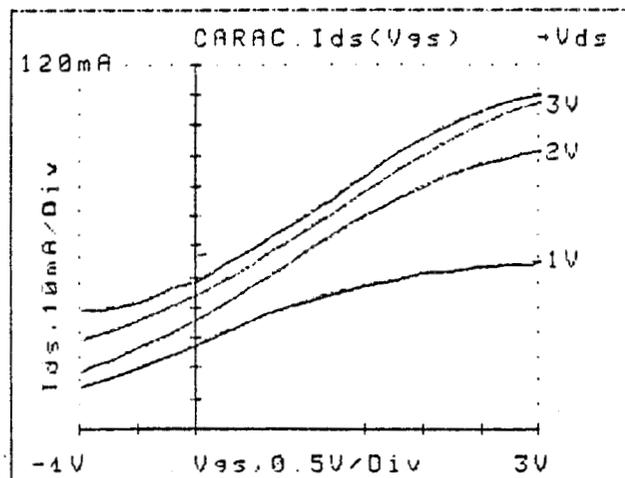
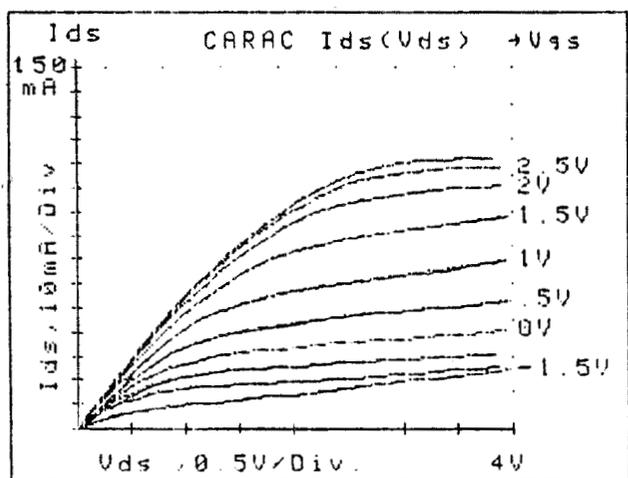


FIGURE [V.4.a]: Evolution des caractéristiques statiques $I_{ds}(V_{ds}, V_{gs})$, $g_m(V_{gs})$ et $R_{ds}(V_{gs})$ pour le transistor MISFET 72-2.

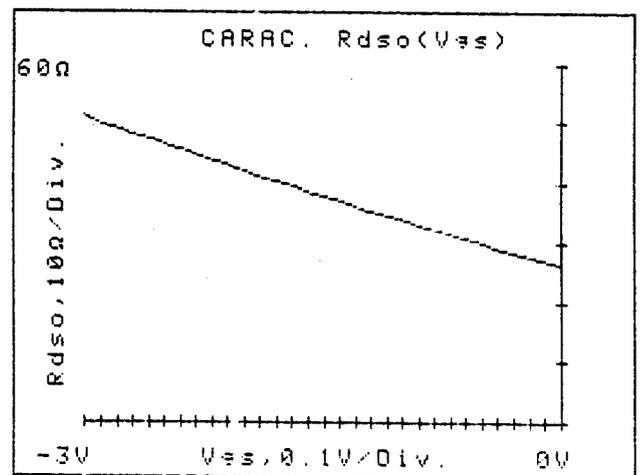
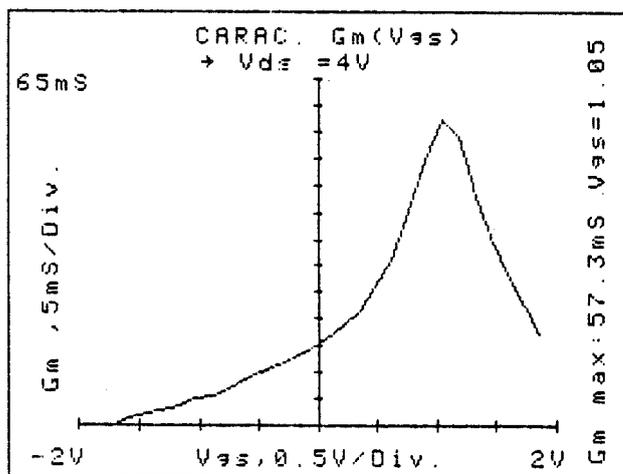
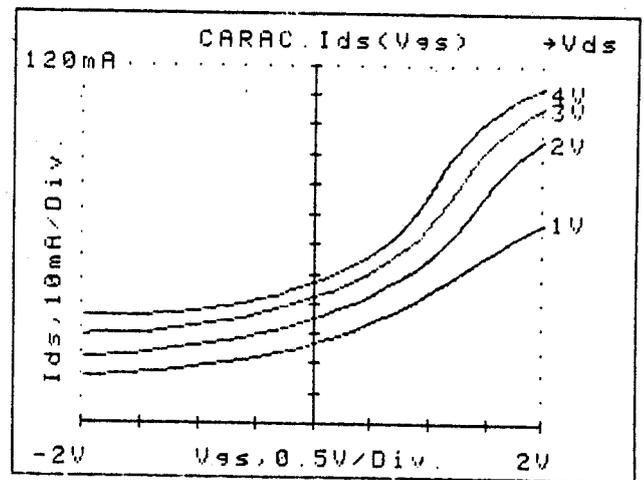
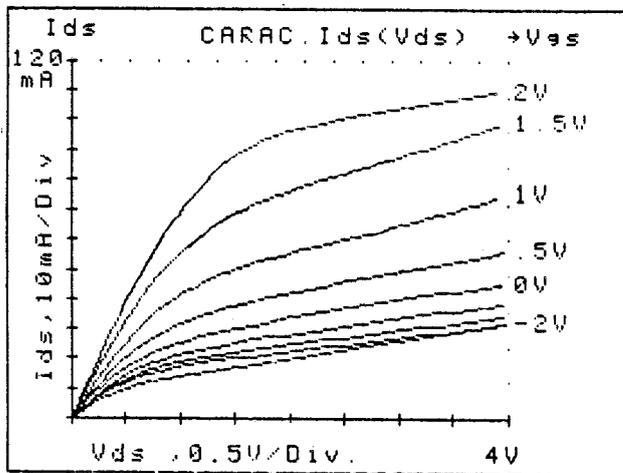


FIGURE [V.4.b]: Evolution des caractéristiques statiques $I_{ds}(V_{ds}, V_{gs})$, $g_m(V_{gs})$ et $R_{ds}(V_{gs})$ pour le transistor MISFET A01.

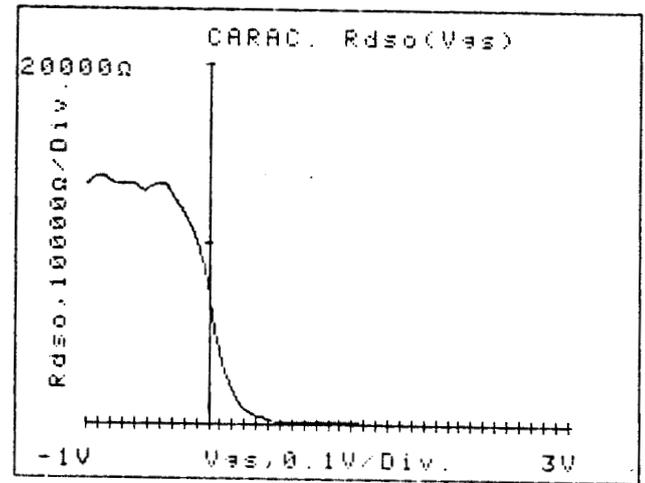
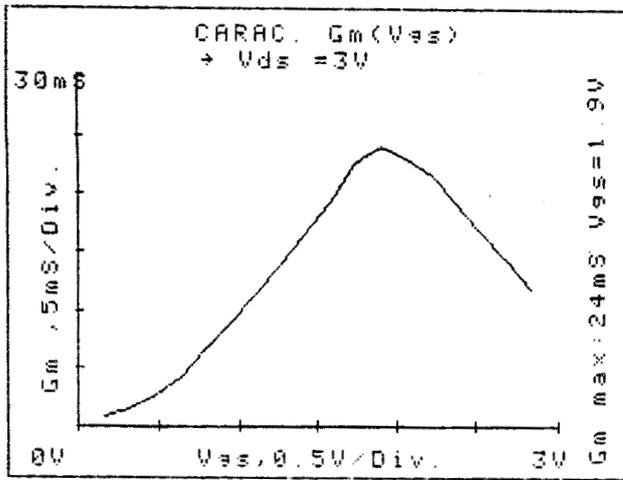
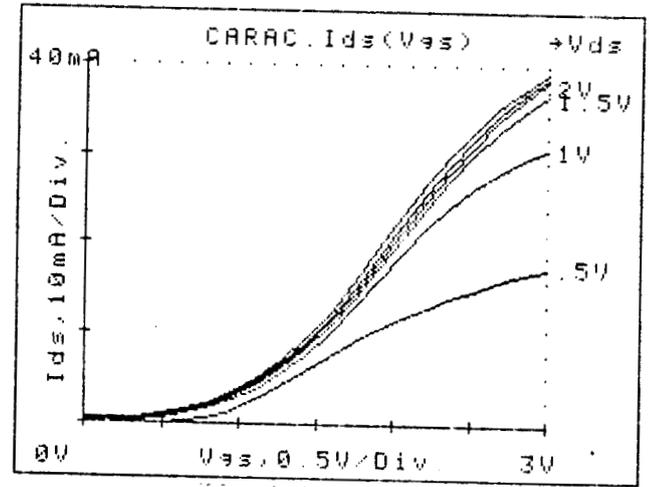
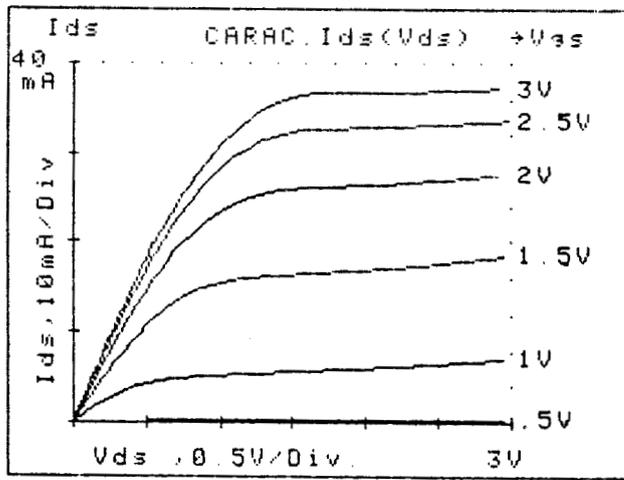


FIGURE [V.4.c]: Evolution des caractéristiques statiques $I_{ds}(V_{ds}, V_{gs})$, $g_m(V_{gs})$ et $R_{ds}(V_{gs})$ pour le transistor MISFET CD-15.

($V_{gs} = +1,2 \text{ V}$) contrairement au transistor de la série E103 (A01) où l'on observe une transconductance "pic" élevée $57,3 \text{ mS}$ à $V_{gs} = +1 \text{ V}$. Ce comportement statique de la transconductance peut être la manifestation de pièges dont il faut préciser que les constantes de temps peuvent s'étaler sur plusieurs décades [2]. Il convient donc de rester prudent quant aux valeurs élevées des transconductances obtenues sur le transistor A01.

Les courbes représentant les caractéristiques statiques résistance drain-source R_{ds} en fonction de V_{gs} montrent un comportement similaire pour les deux séries E65 et E103, où l'on observe une résistance R_{ds} très faible et peu différente de 50Ω à V_{gs} négatif. Cette valeur de R_{ds} indique qu'il existe probablement une conductance de fuite limitant le pincement du transistor.

Il est important de noter que les différentes mesures réalisées sur ces transistors évoluent avec le temps. L'instabilité des composants caractérisée par une dérive du courant drain pour un point de fonctionnement fixé (V_{gs} , V_{ds}) est liée aux problèmes de piégeages et dépiégeages des électrons. Elle rend délicate l'interprétation des résultats expérimentaux obtenus en régime statique.

V.3.1.2. TRANSISTOR NORMALLY-OFF

Nous avons représenté sur les figures [V.4.c], [V.4.d], [V.4.e] les paramètres statiques : $I_{ds}(V_{gs}, V_{ds})$, $g_m(V_{gs})$, $R_{ds}(V_{gs})$ des transistors normally-off des séries E15, E77, E82 décrites précédemment.

V.3.1.2.1. CARACTERISTIQUES $I_{ds}(V_{ds}, V_{gs})$

Les caractéristiques $I_{ds}(V_{ds}, V_{gs})$ statiques montrent que les courants drain I_{ds} obtenus pour ces composants sont nettement plus faibles comparativement aux transistors à canal dopé, de l'ordre de 60 mA à $V_{gs} = +3,5 \text{ V}$ pour la série E77, ce qui constitue un résultat tout à fait logique.

Les différences observées dans les courants et les tensions de seuil des transistors des différentes séries E15, E77 et E82 sont liées au dopage de la zone active. Alors que pour le CD15 la tension de seuil est de $+0,5 \text{ V}$ elle est de 0 V et de -1 V pour respectivement les transistors E82-300 et E77-201. Ceci est dû

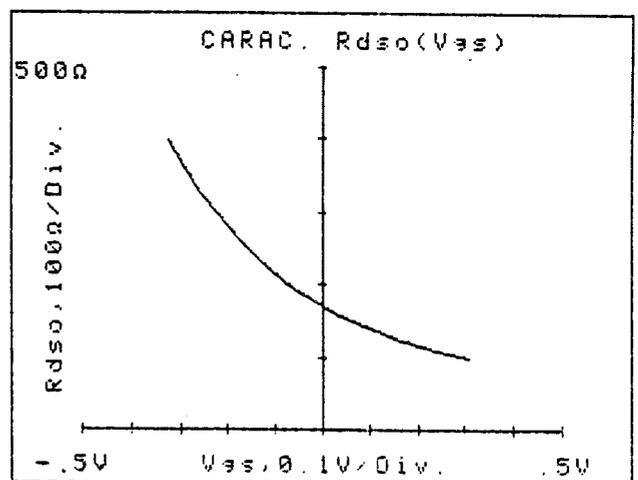
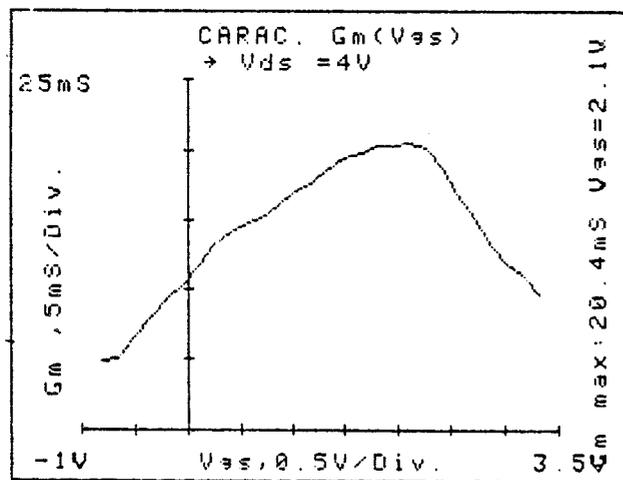
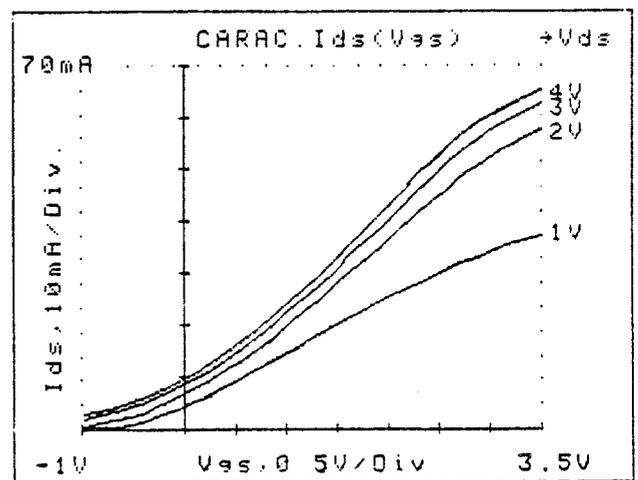
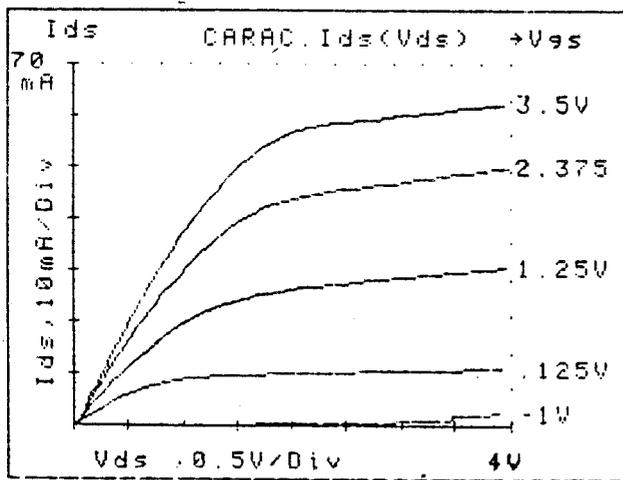


FIGURE [V.4.d]: Evolution des caractéristiques statiques $I_{ds}(V_{ds}, V_{gs})$, $g_m(V_{gs})$ et $R_{ds}(V_{gs})$ pour le transistor MISFET 77-201.

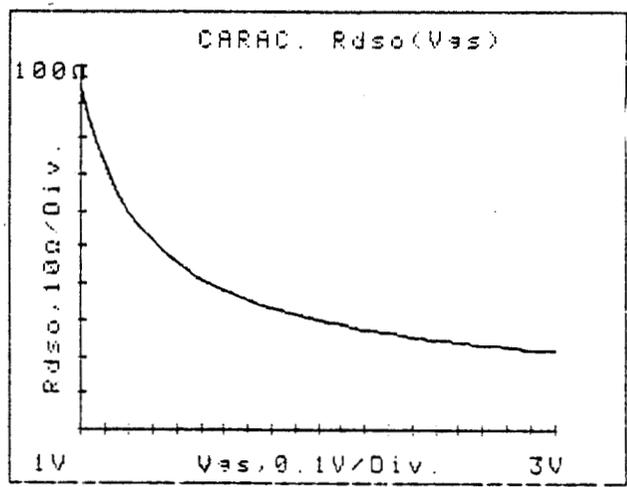
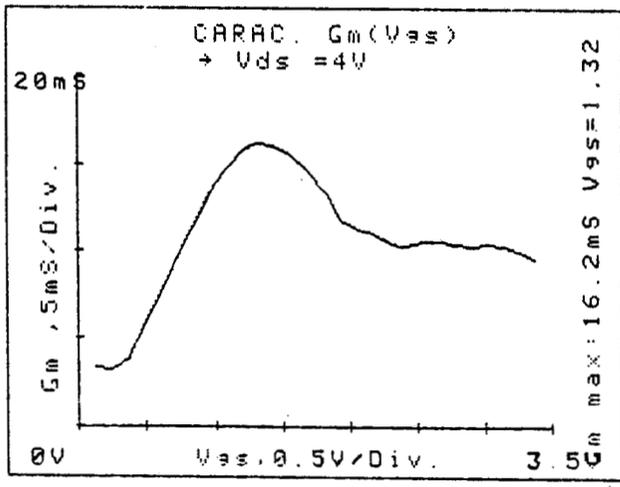
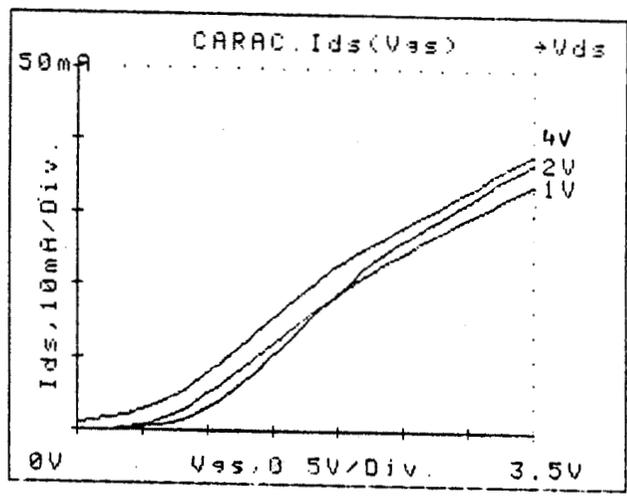
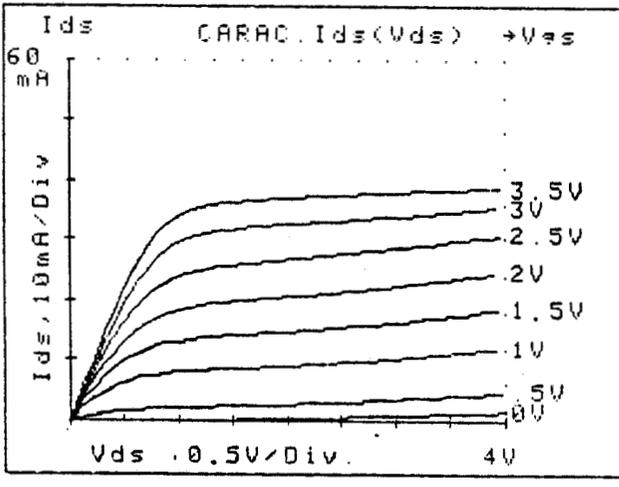


FIGURE [V.4.e]: Evolution des caractéristiques statiques $I_{ds}(V_{ds}, V_{gs})$, $g_m(V_{gs})$ et $R_{ds}(V_{gs})$ pour le transistor MISFET 82-300.

série	N°	largeur	longueur de grille	$g_{m \max}$ statique (mS/mm)	tension de seuil (V)	I_{dss} (mA/mm)
E15	CD15	300 μ m	2 μ m	70	0,5	
	CD17	300 μ m	2 μ m	50	0,7	
	CD18	300 μ m	2 μ m	53	0,5	
	EF26	300 μ m	2 μ m	80	0	
	EF25	300 μ m	2 μ m	50	0	
E77	77-201	300 μ m	1,5 μ m	63	-1	
E82	82-203	300 μ m	1,5 μ m	31	1	
	82-204	300 μ m	1,5 μ m	73	0	
	82-300	300 μ m	1,5 μ m	53	0	
E65	72-1	300 μ m	2 μ m	155		162
	72-2	300 μ m	2 μ m	89		165
	72-3	300 μ m	2 μ m	165		122
	72-4	300 μ m	2 μ m	76		148
E103	A01	300 μ m	1 μ m	188		158
	A04	300 μ m	1 μ m	138		82
	C11	300 μ m	1 μ m	100		105
	C12	300 μ m	1 μ m	181		100

TABLEAU |V.2|: Principales caractéristiques statiques des MISFET InP.

au fait que seul le CD15 est un composant à couche active NID et que les deux autres sont des transistors à canal implanté dont l'attaque chimique mal contrôlée a quasiment entraîné l'élimination de celui-ci.

Seul le transistor CD15 constitue donc un véritable transistor fonctionnant uniquement en enrichissement néanmoins nous avons considéré les composants 77 et 82 comme normally-off. On peut d'autre part observer que les caractéristiques $I_{ds}(V_{gs}, V_{ds})$ présentent des évolutions plus classiques comparativement aux transistors des séries E65 et E103.

V.3.1.2.2. CARACTERISTIQUES $g_m(V_{gs})$ et $R_{ds}(V_{gs})$

Les valeurs de transconductances maximum (Fig. [V.4.c.], [V.4.d.], [V.4.e.]) obtenues pour les 3 séries E15, E77 et E82 sont sensiblement identiques, de l'ordre de 20 mS. Elles sont cependant plus faibles si on les compare à celles des transistors normally-on. Pour les deux types de transistors, la transconductance est cependant peu élevée en comparaison des structures de type MESFET ou TEGFET. Ceci est une conséquence de l'existence de l'isolant sous la grille qui présente l'inconvénient d'amortir considérablement la commande de charge et par conséquent la transconductance g_m .

Concernant les évolutions des résistances R_{ds} en fonction de V_{gs} on peut observer une dépendance tout à fait classique avec une forte valeur lorsque V_{gs} est inférieure à la tension de seuil et une valeur très faible d'environ 20 Ω en forte accumulation.

Les principales données statiques des transistors que nous avons caractérisés sont rassemblées dans le tableau [V.2].

V.3.2. CARACTERISATION BASSE FREQUENCE

Cette caractérisation consiste d'une part en des mesures de capacités $C_g(V_{gs})$ entre grille et source et d'autre part à déterminer la résistance $R_{ds}(V_{gs})$ en présence de champ magnétique. Elle permet de préciser les principaux paramètres technologiques des composants (capacité, dopage et mobilité de la couche active, longueur de grille, résistances d'accès).

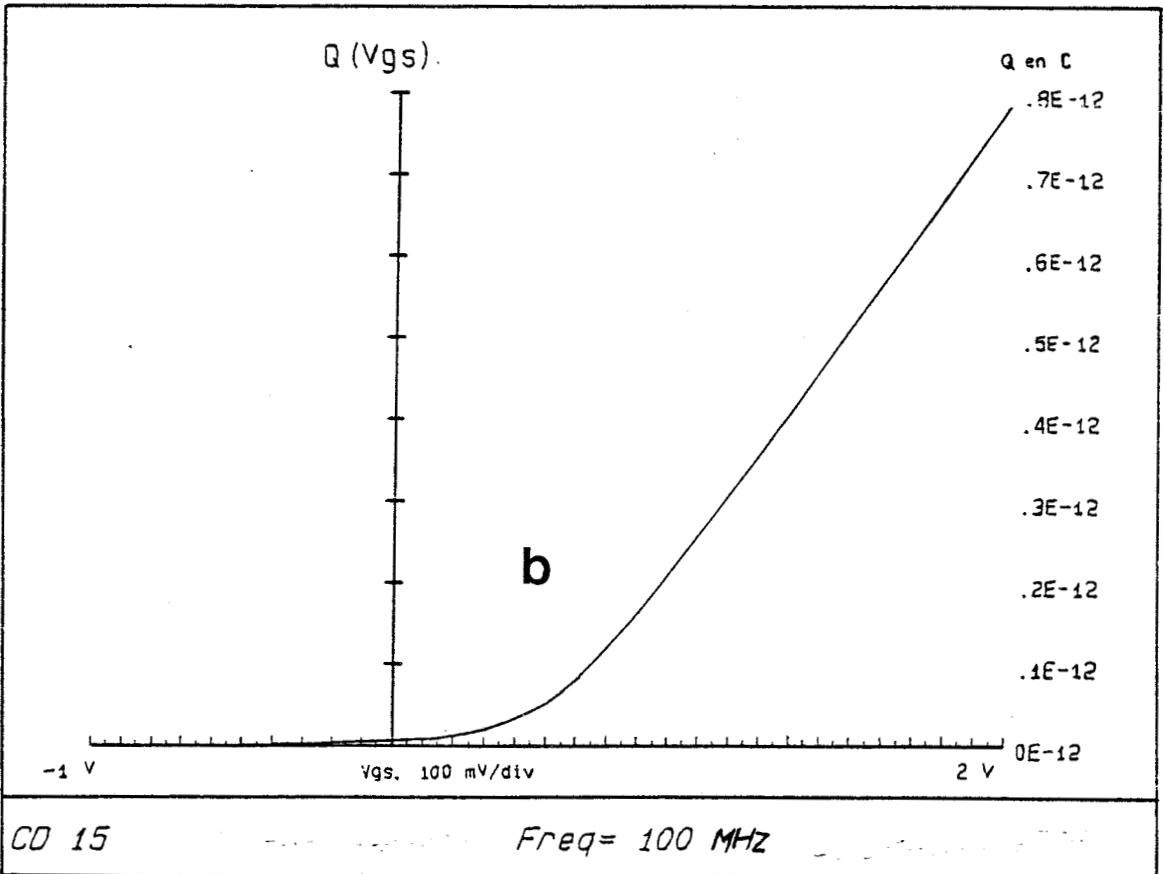
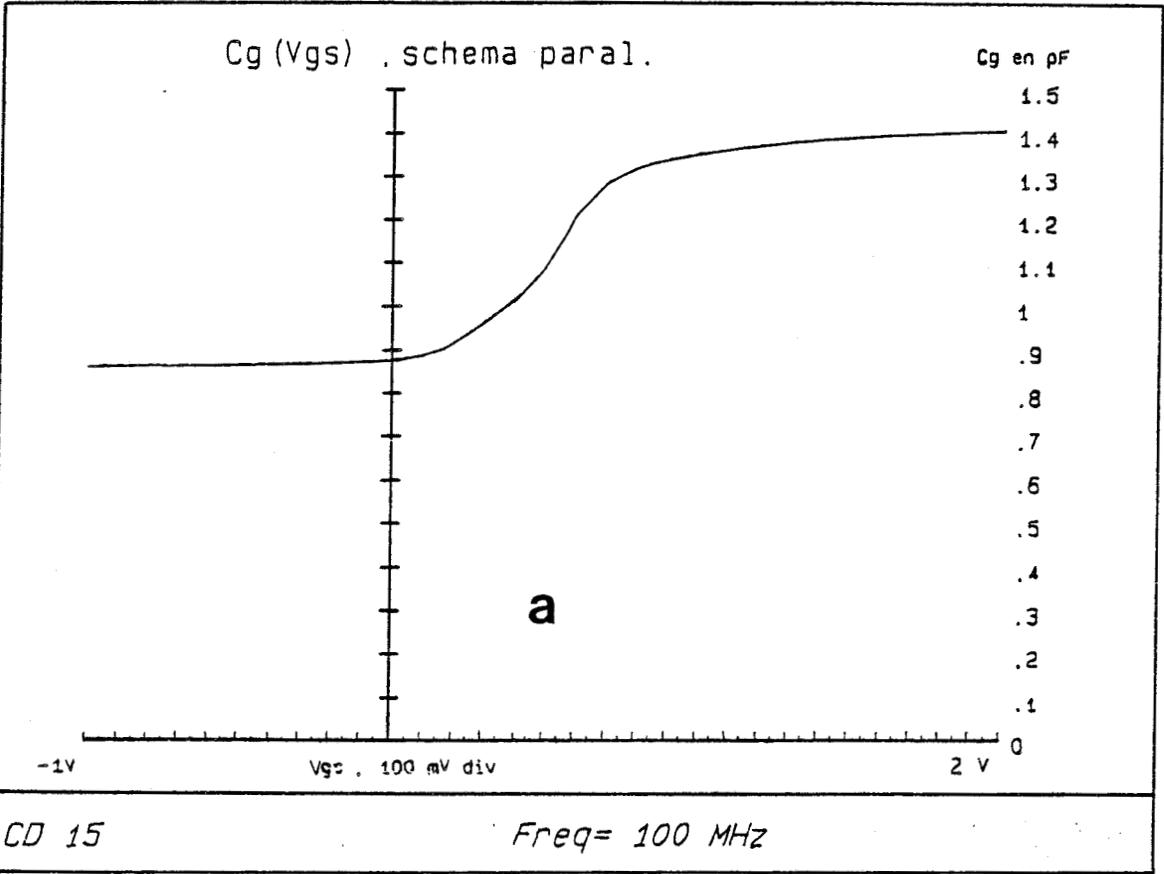


FIGURE [V.5]: Evolution de la capacité $C_g(V_{gs})$ (a) et de la charge sous la grille $Q(V_{gs})$ (b) pour le transistor MISFET CD-15.

V.3.2.1. CARACTERISTIQUE $C_g(V_{gs})$

La mesure de la capacité $C_g(V_{gs})$ entre grille et source est effectuée à $V_{ds} = 0V$ pour des fréquences comprises entre 100 MHz et 500 MHz, ceci afin de s'affranchir des perturbations causées par les phénomènes de pièges à l'interface isolant-semiconducteur. La détermination de C_g est réalisée à l'analyseur d'impédance HP 4191.

V.3.2.1.1. TRANSISTOR NORMALLY-OFF

Nous avons représenté sur les figures [V.5.a] et [V.6.a] les évolutions respectives des capacités $C_g(V_{gs})$ pour les transistors CD15 et E82-204. On peut remarquer que les allures sont similaires pour les deux composants en notant néanmoins une nette amélioration de la valeur de C_g pour le 82-204 qui présente une valeur de capacité de 0,23 pF contre 1,4 pF pour le CD15 en accumulation forte. Ceci est une conséquence des progrès technologiques concernant les capacités parasites dues à un mauvais positionnement ou une longueur trop élevée de la grille entraînant le recouvrement des zones N^+ de source et drain.

D'autre part, l'évolution de la capacité C_g en fonction de V_{gs} met en évidence une valeur quasiment constante dans la zone de fonctionnement ce qui constitue un comportement analogue à celui du transistor MOSFET. L'évolution de la capacité $C_g(V_{gs})$ d'un MISFET est différente de celle d'un MESFET où l'on observe pour ce dernier une augmentation de C_g avec la tension V_{gs} lorsque celle-ci devient positive due à la jonction Schottky de grille. Dans le cas d'une structure MISFET, la capacité C_g en forte accumulation tend vers la valeur de la capacité de l'oxyde sous la grille.

Si on examine la capacité C_g pour des tensions V_{gs} inférieures à la tension de seuil on peut constater qu'elle tend vers une capacité constante que l'on nomme capacité limite C_{lim} . Cette capacité est due aux effets de bords d'une part et aux capacités de plots d'autre part.

On peut à partir de l'évolution de $C_g(V_{gs})$ déterminer la quantité de charges libres stockées sous la grille $Q(V_{gs})$ en utilisant la relation suivante :

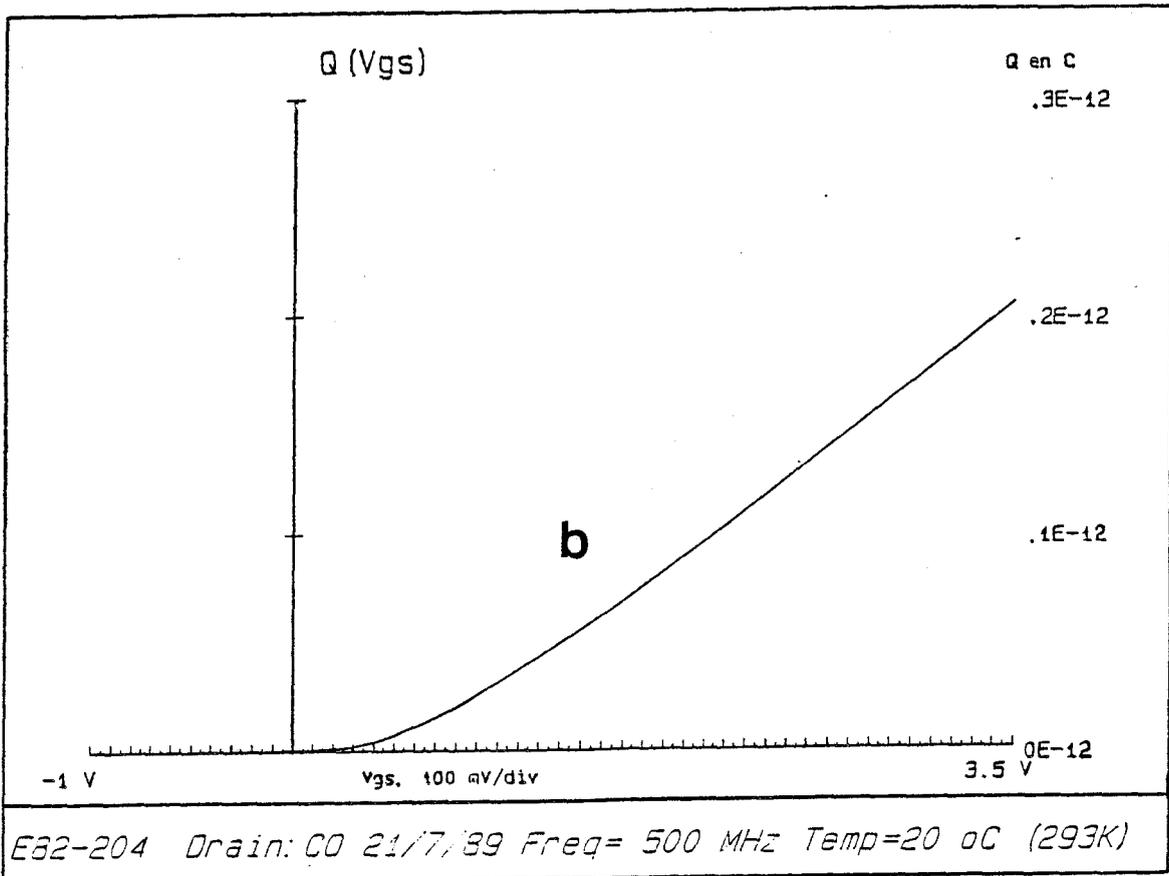
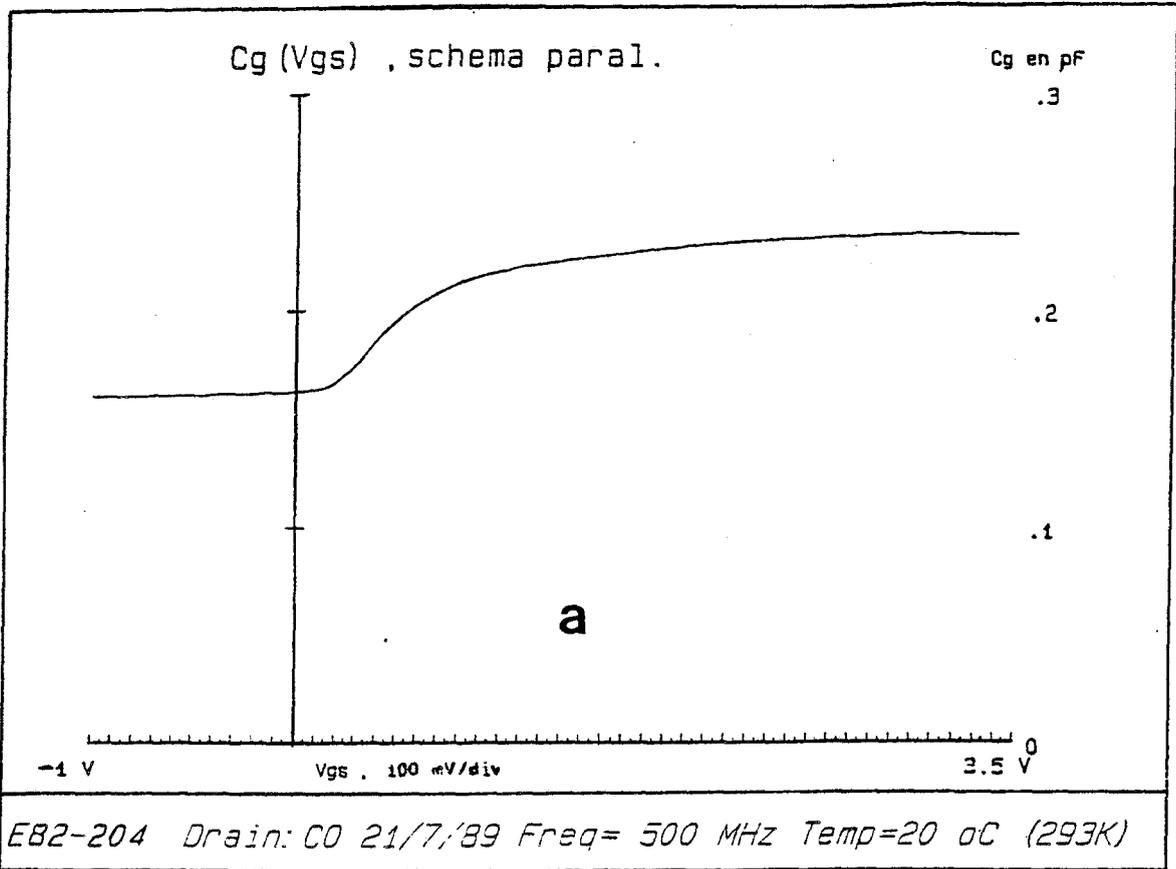


FIGURE [V.6] : Evolution de la capacité $C_g(V_{gs})$ (a) et de la charge sous la grille $Q(V_{gs})$ (b) pour le transistor MISFET 82-204.

$$[V.1] \quad Q(V_{gs}) = \int_{V_{gs0}}^{V_{gs}} (C_g(V_{gs}) - C_{lim}) dV_{gs}$$

où V_{gs0} désigne la tension grille-source pour laquelle C_{lim} est obtenue. L'évolution de la quantité de charge Q en fonction de V_{gs} est représentée sur les figures [V.5.b] et [V.6.b] pour les transistors CD15 et E82-204. On peut observer que celle-ci est linéaire en fonction V_{gs} pour des tensions V_{gs} supérieures à la tension de seuil. Ce résultat est logique étant donné que la capacité C_g dans cette zone de fonctionnement est constante.

V.3.2.1.2. TRANSISTORS NORMALLY-ON

Nous avons représenté sur les figures [V.7.a] et [V.8.a] les évolutions de la capacité C_g en fonction de la tension V_{gs} pour des valeurs allant des régimes correspondants au pincement à l'accumulation pour différents transistors (72-2 et C12). Les valeurs des capacités sont relativement différentes suivant les composants avec une nette amélioration pour les séries E103 consécutive à des progrès technologiques. D'autre part, l'évolution de la capacité C_g entre grille et source présente une allure similaire à celle des transistors normally-off pour des tensions V_{gs} positives où l'on observe une saturation.

Concernant l'évolution en désertion, on constate pour V_{gs} fortement négatif que la capacité C_g tend vers une valeur C_{lim} qui a la même signification que celle décrite pour les transistors normally-off. On peut également remarquer que l'évolution de la charge $Q(V_{gs})$ est une fonction quasiment linéaire de la tension V_{gs} en régime d'accumulation (fig. [V.7.b] et [V.8.b]), ce comportement étant identique à celui des transistors normally-off décrit précédemment. Par contre, en régime de désertion (Fig. [V.7.c] et [V.8.c]) la capacité C_g est une fonction de $\sqrt{V_{gs}}$ vérifiant la loi analytique que nous avons établie dans le chapitre IV où le potentiel de contact V_d a été négligé.

$$[V.2] \quad Q(V_{gs}) = Q_0 \left| 1 - \sqrt{\frac{V_{gs}}{qN_d a} + \left(\frac{\epsilon_s Y_1}{\epsilon_1 a}\right)^2} - \frac{\epsilon_s Y_1}{\epsilon_1 a} \right|$$

$$W_{00} - \frac{\epsilon_1}{\epsilon_s} Y_1$$

avec

$$[V.3] \quad Q_0 = qZ L_g a N_d$$

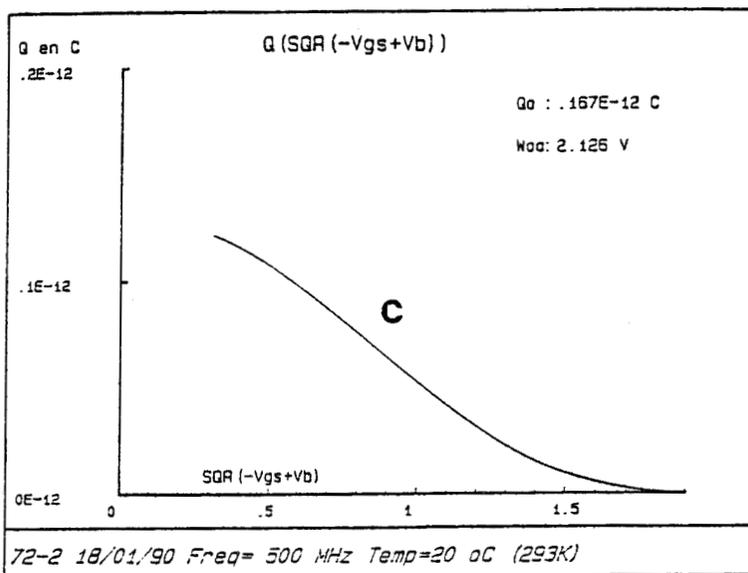
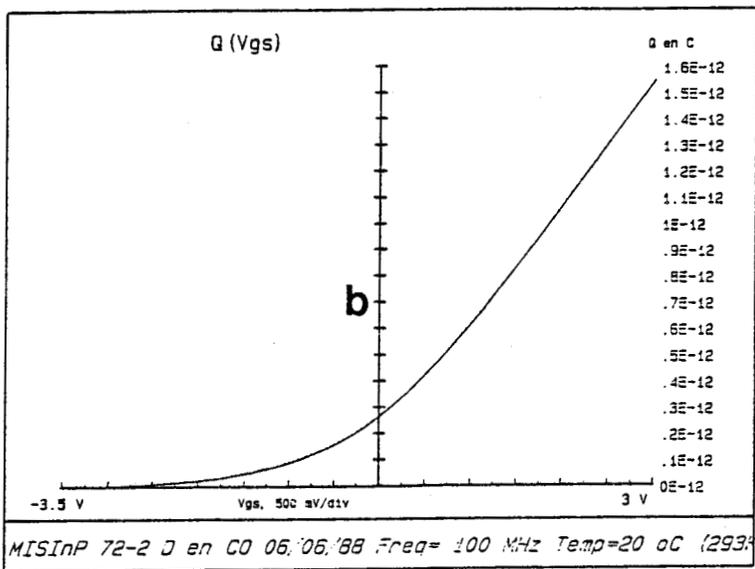
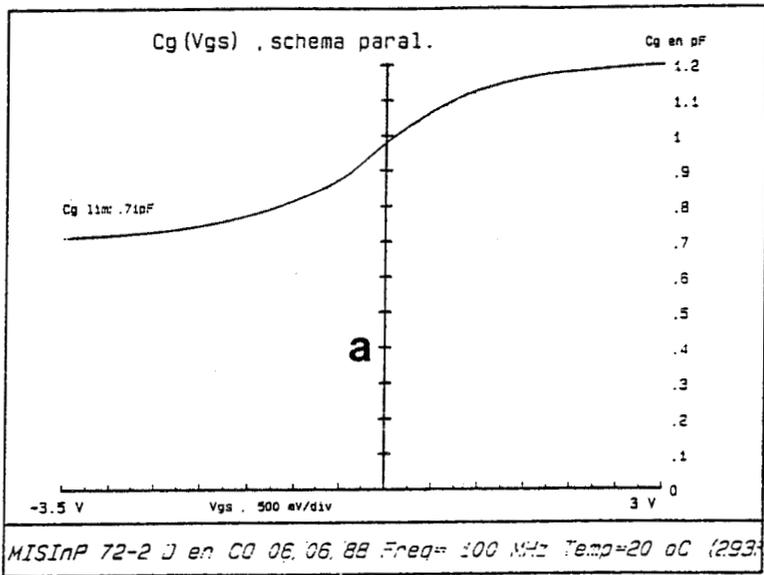


FIGURE [V.7]: Evolution de la capacité $C_g(V_{gs})$ (a) de la charge sous la grille $Q(V_{gs})$ (b) et $Q(\sqrt{V_{gs}})$ (c) pour le transistor MISFET InP 72-2.

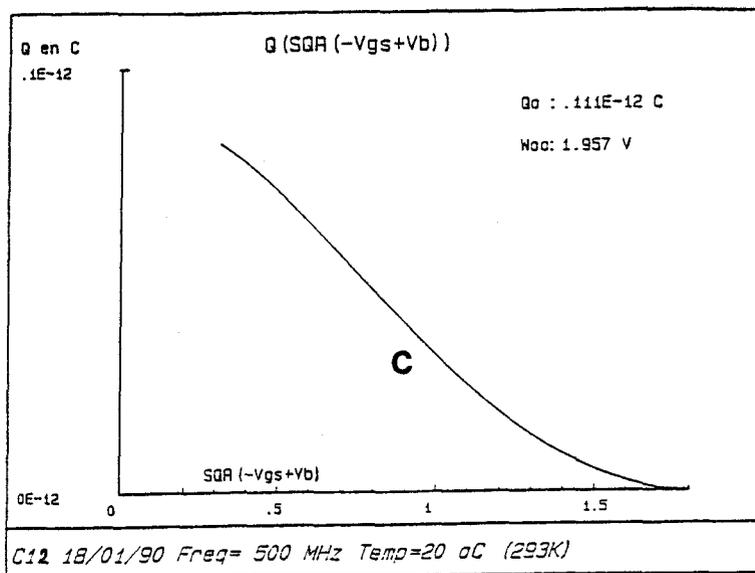
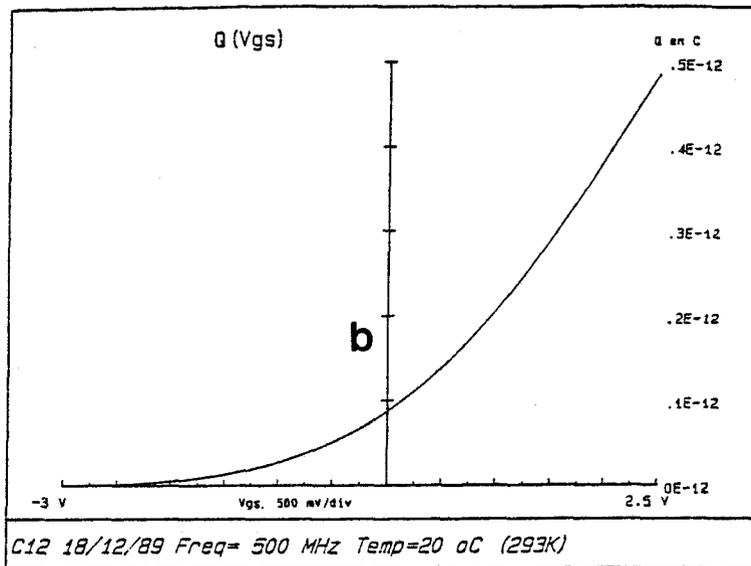
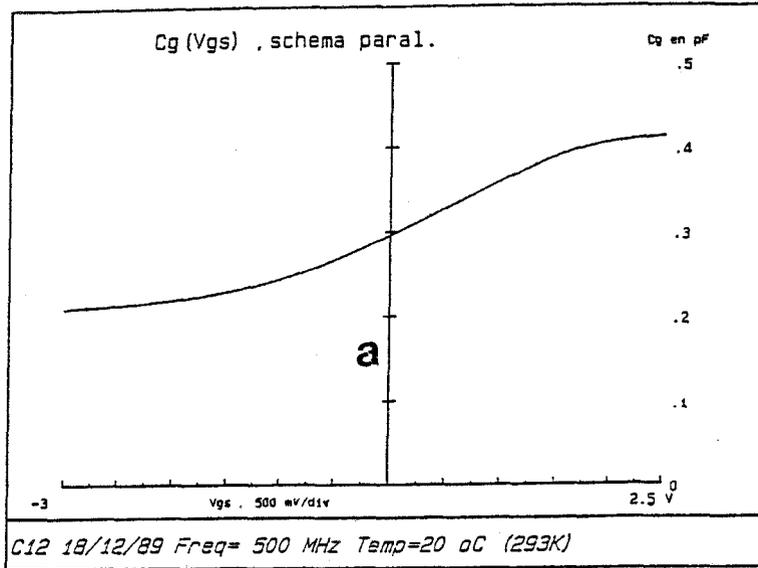


FIGURE [V.8]: Evolution de la capacité $C_g(V_{gs})$ (a), de la charge sous la grille $Q(V_{gs})$ (b) et $Q(\sqrt{V_{gs}})$ (c) pour le transistor MISFET InP C-12.

et

$$[V.4] \quad W_{oo} = \frac{qN_d a^2}{2\epsilon_s} + \frac{qN_d a}{\epsilon_I} Y_I$$

où Q_o représente la quantité totale de charge sous la grille et W_{oo} la tension de pincement.

L'exploitation de la zone linéaire de la courbe $Q = f(\sqrt{V_{gs}})$ nous permet d'accéder à Q_o . Cependant, il est important de noter que la relation [V.2] est sensiblement plus compliquée que dans le cas d'un MESFET [3] et ne permet pas la détermination directe de la tension de pincement W_{oo} . En effet, pour le MISFET InP, l'exploitation de la zone linéaire jusqu'à $Q = 0$ nous donne :

$$V_{gs}(Q = 0) = (1 + 2B)(W_{oo} - A) \quad \text{avec} \quad A = \frac{qN_d a}{\epsilon_I} Y_I \quad B = \frac{\epsilon_s y_I}{\epsilon_I a}$$

Cette relation ne permet pas d'accéder simplement aux grandeurs épaisseur et dopage de la couche active.

V.3.2.2. CARACTERISTIQUE $\mu(V_{gs})$

La mesure de la mobilité des porteurs μ dans la couche active du transistor peut être obtenue par l'utilisation du phénomène de magnétorésistance dans les semiconducteurs [4]. L'application d'un champ magnétique sur l'échantillon a pour conséquence l'augmentation de la résistance R_{ds} mesurée entre le drain et la source. Il est ainsi possible de déterminer à partir de la mesure de R_{ds} avec et sans champ magnétique la mobilité moyenne μ_n :

$$\mu_n(V_{gs}) = \frac{1}{B} \sqrt{\frac{R_{ds}(0, V_{gs})}{R_{ds}(B, V_{gs})}}$$

et la mobilité différentielle μ_d :

$$\mu_d(V_{gs}) = \frac{1}{B} \sqrt{\frac{\Delta R_{ds}(0, V_{gs})}{\Delta R_{ds}(B, V_{gs})} \left| 1 + \left| \mu_n(V_{gs}) - B \right|^2 \right| - 1}$$

où B désigne le champ magnétique.

Il convient de préciser que la mobilité μ_n correspond à la mobilité moyenne des électrons constituant le canal, et que la mobilité μ_d correspond à la mobilité locale des électrons pour la polarisation V_{gs} considérée.

Nous avons représenté sur les figures [V.9] et [V.10] respectivement pour les transistors normally-on 72-2 et normally-off 82-300 les mobilités μ_n (trait plein) et μ_d (pointillés) en fonction de V_{gs} . On peut remarquer que les valeurs des mobilités moyennes μ_n obtenues sont très différentes suivant les transistors mais que les évolutions restent similaires. Pour des tensions V_{gs} positives, on observe une décroissance de μ_n ce qui est probablement dû au fait qu'en accumulation les interactions électrons-électrons augmentent et que les porteurs se rapprochent considérablement de l'interface isolant-semiconducteur.

D'autre part, on peut observer que pour des tensions V_{gs} négatives, la mobilité moyenne μ_n est beaucoup plus élevée pour le transistor normally-on 72-2. Ceci peut s'expliquer par le fait que nous mesurons la mobilité μ_n en volume alors qu'en régime d'accumulation nous mesurons la mobilité d'un canal très mince proche de l'interface isolant-semiconducteur.

V.3.2.3. DETERMINATION DE LA RESISTANCE $R_s + R_d$

A partir de la connaissance de la mobilité moyenne $\mu_n(V_{gs})$ et de la quantité de charges $Q(V_{gs})$ stockée sous la grille il est possible d'évaluer la somme des résistances de source et de drain, $R_s + R_d$ [5]. En effet, la résistance mesurée entre drain et source (fig. [V.11]) peut s'exprimer de la façon suivante :

$$R_{ds}(V_{gs}) = R_s + R_d + \frac{L_g^{*2}}{Q(V_{gs}) \cdot \mu_n(V_{gs})}$$

où L_g^* est la longueur effective de grille.

Pour des tensions V_{gs} positives suffisamment grandes, quelque soit le type de transistor considéré l'évolution $Q(V_{gs})$ est une droite et la mobilité moyenne $\mu_n(V_{gs})$ est quasiment constante. Il en résulte qu'en première approximation la courbe $R_{ds} = f(1/Q\mu_n)$ peut être approchée par une droite.

La figure [V.11] représente l'évolution de la résistance R_{ds} en fonction de la grandeur $1/Q\mu_n$. On observe une décroissance linéaire de R_{ds} en

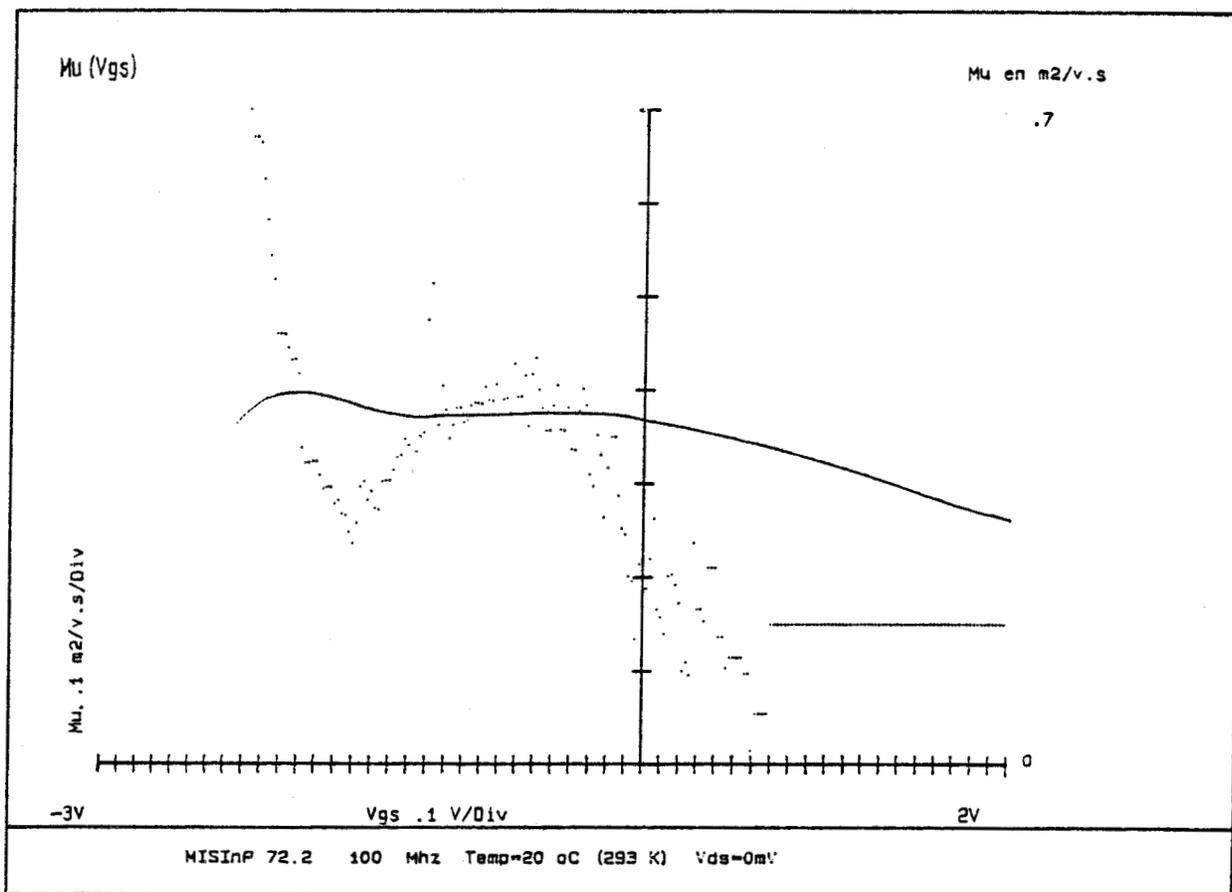


FIGURE [V.9]: Mobilité en fonction de la tension V_{gs} pour le transistor 72-2.

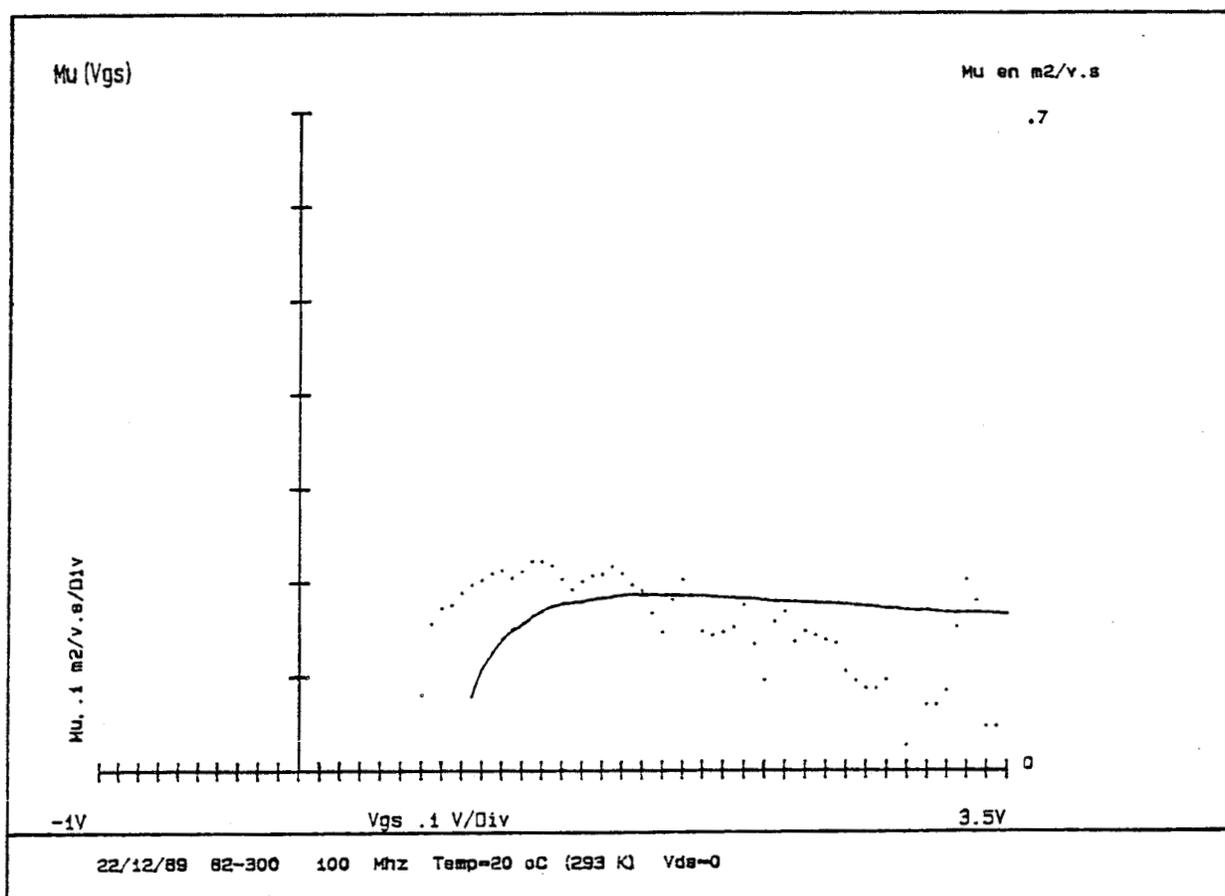


FIGURE [V.10]: Mobilité en fonction de la tension V_{gs} pour le transistor 82-300.



fonction de $1/Q\mu_n$ dont la pente correspond à L^{*2}_g et l'ordonnée à l'origine permet d'accéder à la somme $R_s + R_d$. Dans le cas du transistor 72-2 on obtient $R_s + R_d = 12 \Omega$ et pour la longueur effective de grille L^*_g une valeur d'environ $1.4 \mu\text{m}$. Cette valeur relativement éloignée de la longueur de grille donnée au début de ce chapitre ($2,5 \mu\text{m}$) est probablement dû à la diffusion latérale des plots N^+ de source et de drain. Il convient de noter que la valeur de la mobilité μ_n n'est pas tout à fait constante en fonction de V_{gs} et que ceci implique une certaine incertitude sur les résultats obtenus.

Avant d'aborder la caractérisation hyperfréquence nous devons préciser que dans la caractérisation continue des MISFET InP l'impossibilité de faire passer un courant grille (jonction MIS) ne nous a pas permis de déterminer les différentes valeurs de $R_s + R_{c/2}$, $R_d + R_{c/2}$, $R_s - R_d$ comme cela est habituellement possible pour les transistors à grille Schottky. Cette remarque importante nous obligera comme nous le verrons dans la partie suivante à définir une méthode de caractérisation originale et spécifique au MISFET InP.

V.4. CARACTERISATION HYPERFREQUENCE - DETERMINATION DU SCHEMA EQUIVALENT COMPLET DU TRANSISTOR

La détermination du schéma équivalent complet (fig. [V.12]) petit signal du transistor nécessite l'évaluation des éléments d'accès R_s , R_d , R_g et L_s , L_d , L_g . Connaissant ces éléments que nous appellerons éléments extrinsèques, on peut ensuite à l'aide des mesures des paramètres $[S_{ij}]$ du composant extraire les éléments intrinsèques du schéma équivalent C_{gs} , g_m , C_{ds} , C_{gd} , g_d , τ , R_i .

V.4.1. DETERMINATION DES ELEMENTS D'ACCES

Dans le cas du MISFET InP l'impossibilité de passer la grille en direct (courant $I_{gs} = 0$) nous a conduit à établir pour la détermination des éléments d'accès une méthode basée sur la mesure hyperfréquence des paramètres $[Z_{ij}]$ dans une large bande de fréquence. Ces mesures sont effectuées à tension $V_{ds} = 0$, et tension V_{gs} fortement positive (forte accumulation). Le transistor ainsi polarisé constitue un quadripôle passif ($g_m = 0$) dont le schéma équivalent est simplifié.

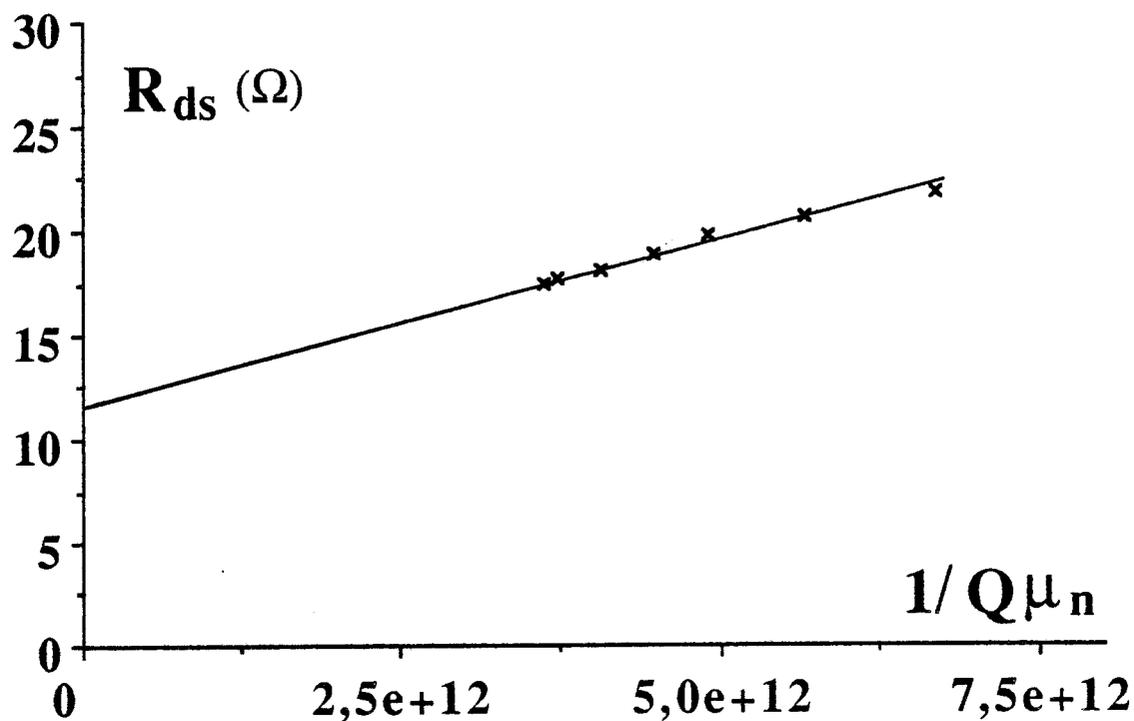


FIGURE [V.11]: Evolution de la résistance R_{ds} en fonction de $1/Q\mu$ pour le transistor 72-2.

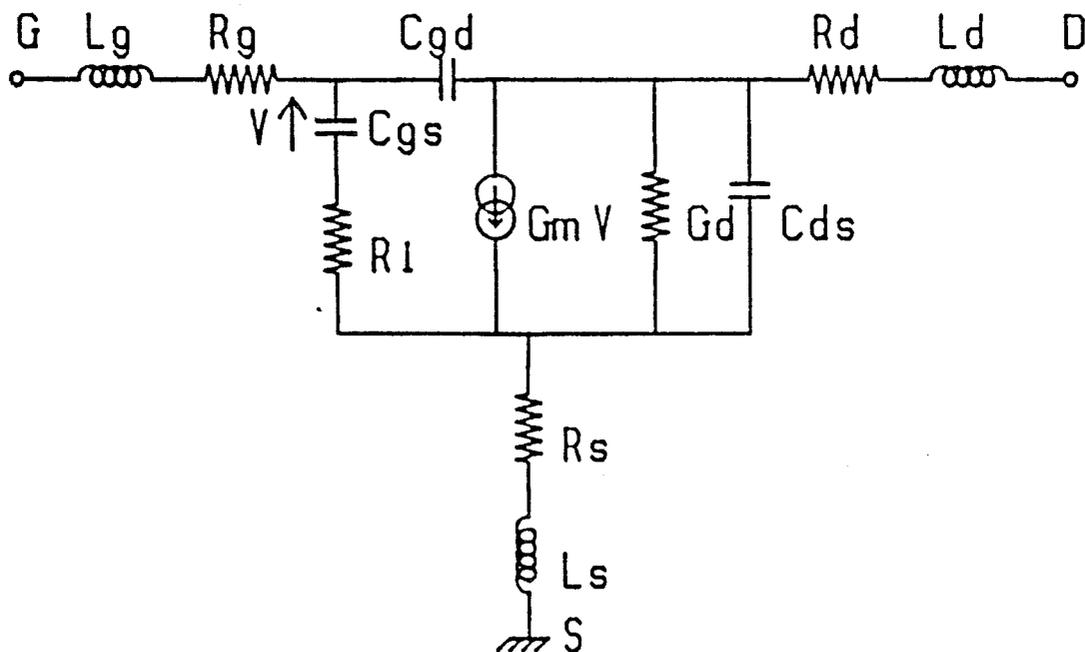


FIGURE [V.12]: Schéma équivalent petit signal de la structure MISFET.

A partir des paramètres $[Z_{ij}]$ eux-mêmes déduits des paramètres $[S_{ij}]$ mesurés nous pouvons déduire les différents éléments R_s, R_d, R_g et L_s, L_d, L_g de ce schéma équivalent. Les expressions de $[Z_{ij}]$ relativement lourdes conduisent après simplifications (annexe VIII) aux relations approchées suivantes :

$$R_e \left[Z_{11} \right] \# R_g + R_s$$

$$I_m \left[Z_{11} \right] \# (L_s + L_g) \omega - \frac{1}{(C_{gs} + C_{gd}) \omega}$$

$$R_e \left[Z_{12} \right] = R_e \left[Z_{21} \right] \# R_s + \frac{C_{gd}}{g_d (C_{gs} + C_{gd})}$$

$$I_m \left[Z_{21} \right] = I_m \left[Z_{12} \right] \# L_s \omega - \frac{(C_{gd} + C_{ds}) C_{gd} \omega}{g_d^2 (C_{gs} + C_{gd})}$$

$$R_e \left[Z_{22} \right] \# R_d + R_s + \frac{1}{g_d}$$

$$I_m \left[Z_{21} \right] \# (L_s + L_d) \omega - \frac{(C_{gd} + C_{ds}) \omega}{g_d^2}$$

Il est alors possible à partir de l'utilisation de ces expressions simplifiées et des mesures hyperfréquences représentées sur les fig. [V.13] et [V.14] (transistor normally-off CD15) et les fig. [V.15] et [V.16] (transistor normally-on 72-2) de déterminer tous les éléments d'accès du transistor quelque soit son type. Les évolutions des paramètres $[Z_{ij}]$ avec la fréquence présentent un bon accord avec les expressions simplifiées. On peut notamment remarquer en sortie le passage d'un effet capacitif à un effet inductif de la partie imaginaire du paramètre Z_{22} . On peut également constater que la partie réelle de Z_{11} vaut 25 Ω fig. [V.14] pour le CD15 et 21 Ω pour le 72-2 ce qui est en bon accord avec les mesures continues de R_{ds} réalisées dans la partie V.3.1. précédente.

L'exploitation des résultats a permis d'accéder aux valeurs des éléments d'accès suivantes pour les deux transistors CD15 et 72-2.

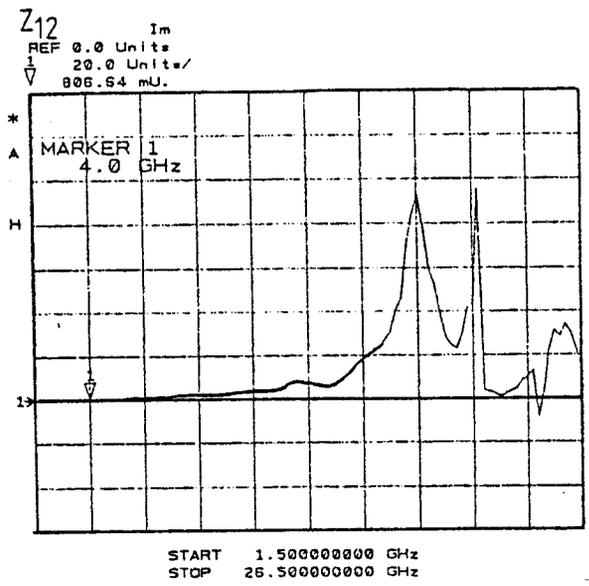
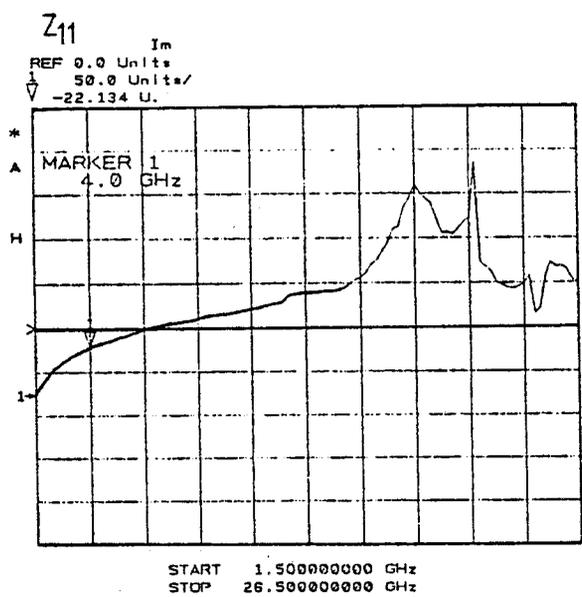
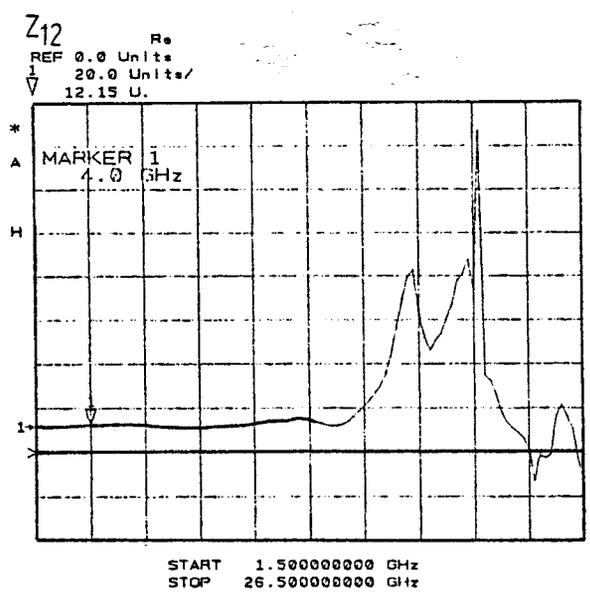
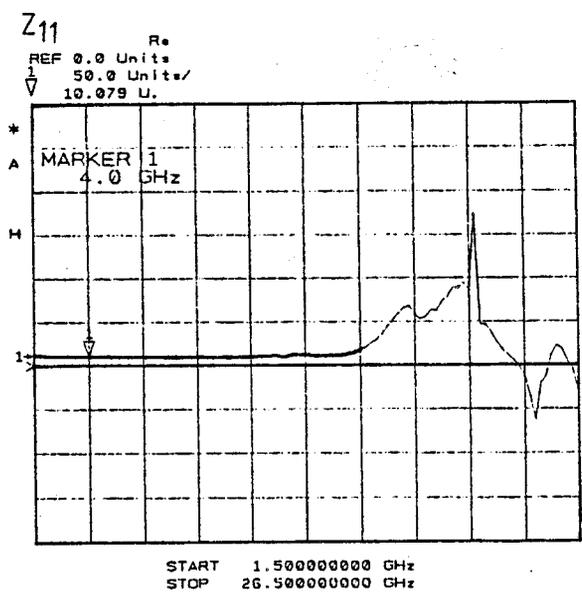


FIGURE |V.13| : Evolution des paramètres Z_{11} et Z_{12} en fonction de la fréquence pour le transistor CD-15 ($V_{ds} = 0V$ et $V_{gs} = +4V$).

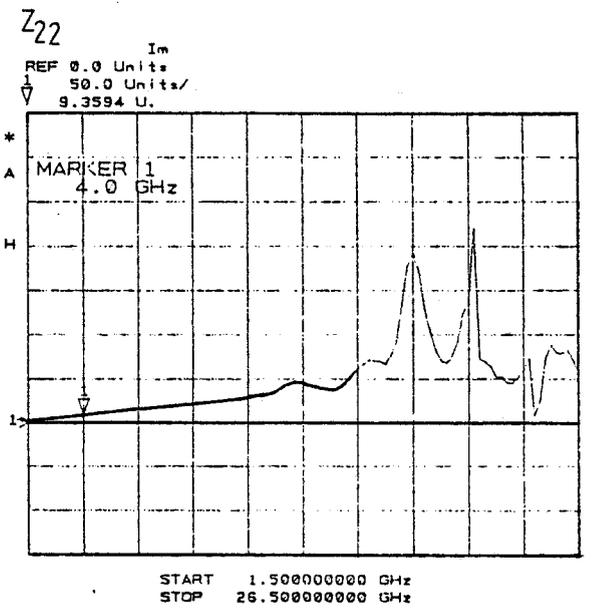
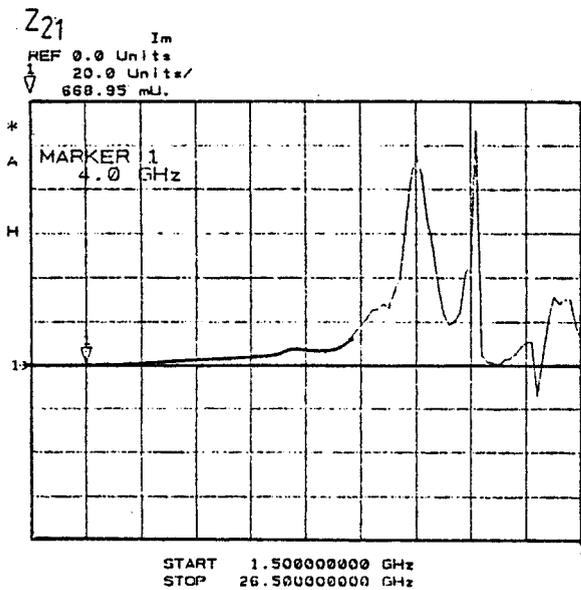
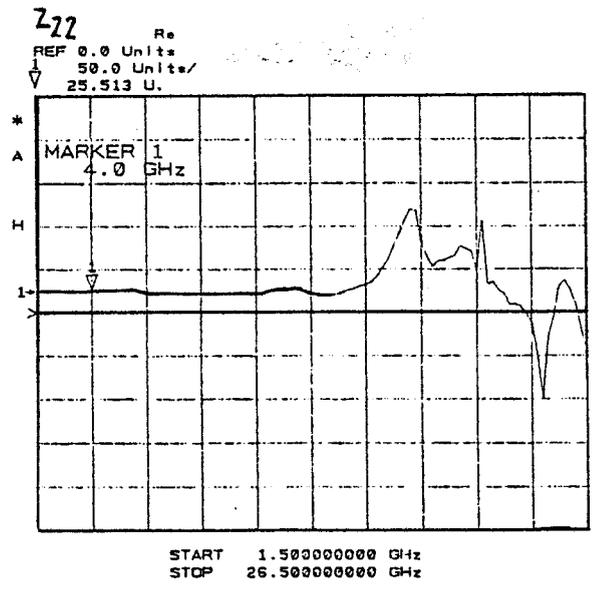
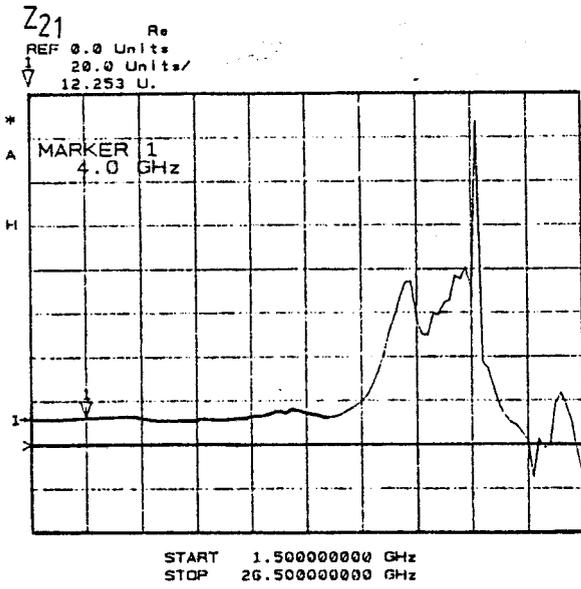


FIGURE [V.14]: Evolution des paramètres Z_{21} et Z_{22} en fonction de la fréquence pour le transistor CD-15 ($V_{ds} = 0V$ et $V_{gs} = +4V$).

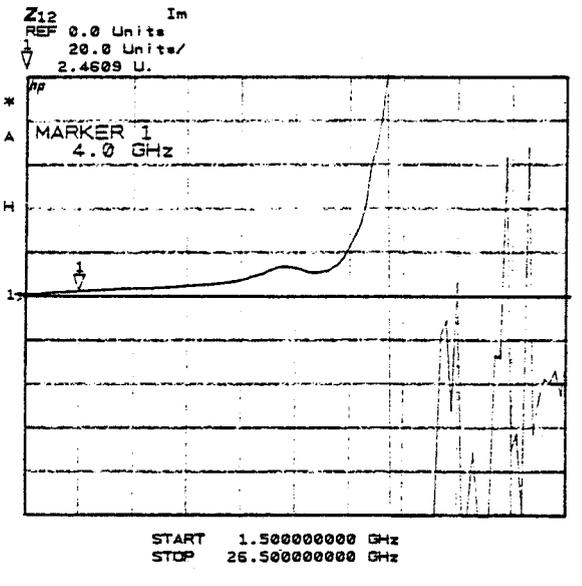
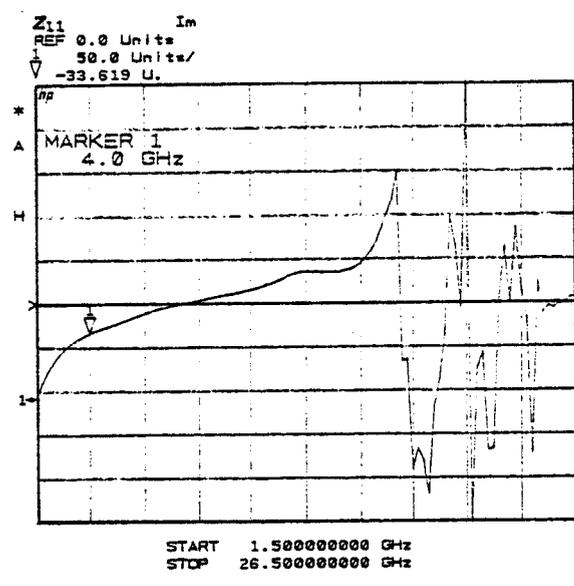
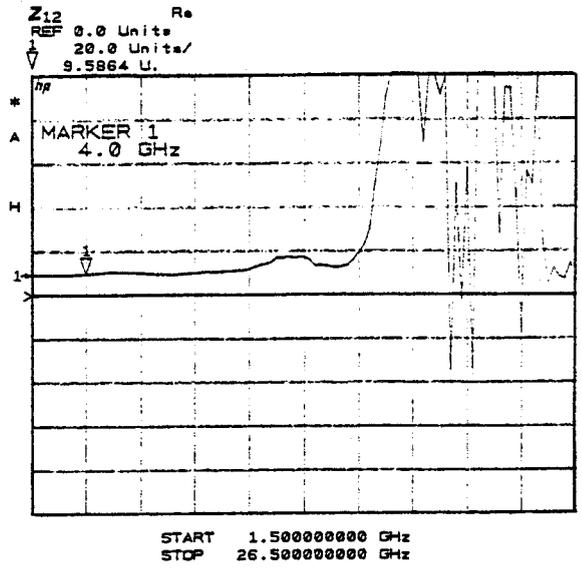
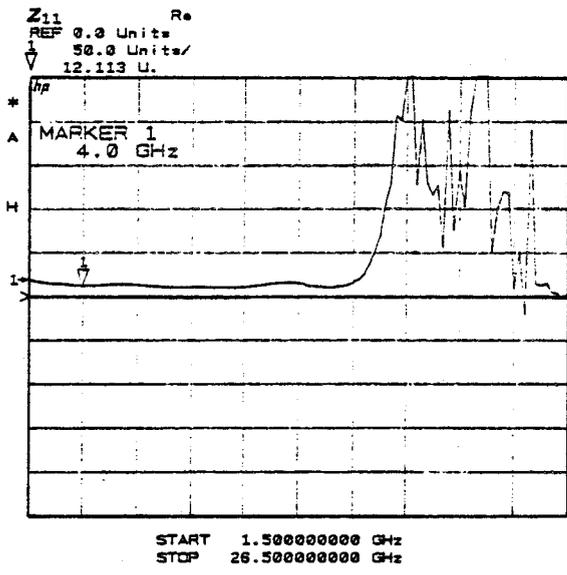


FIGURE [V.15]: Evolution des paramètres Z_{11} et Z_{12} en fonction de la fréquence pour le transistor 72-2 ($V_{ds} = 0V$ et $V_{gs} = +4V$).

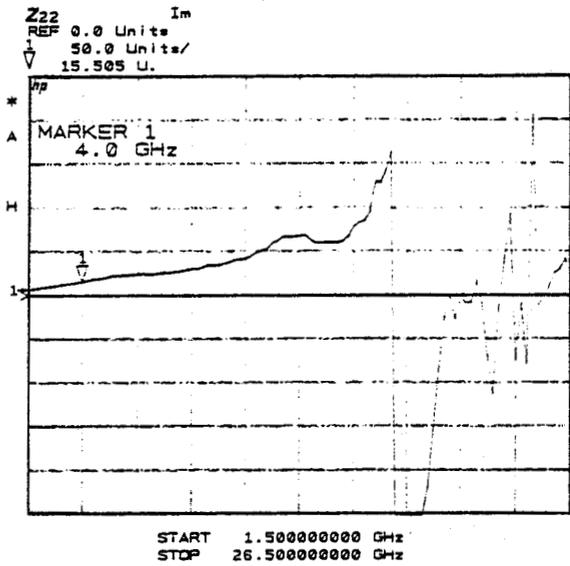
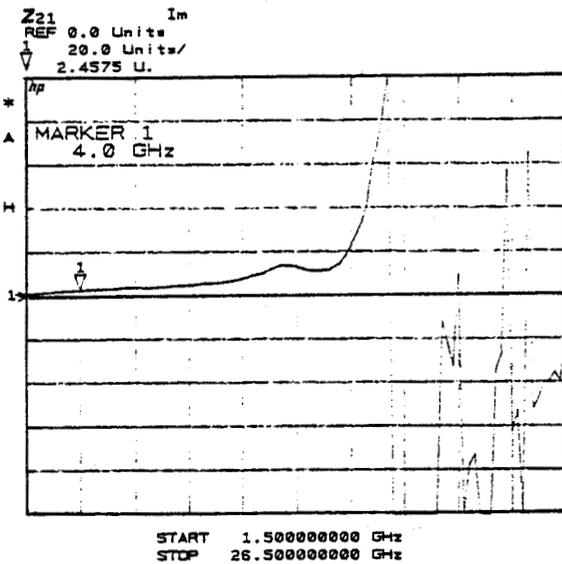
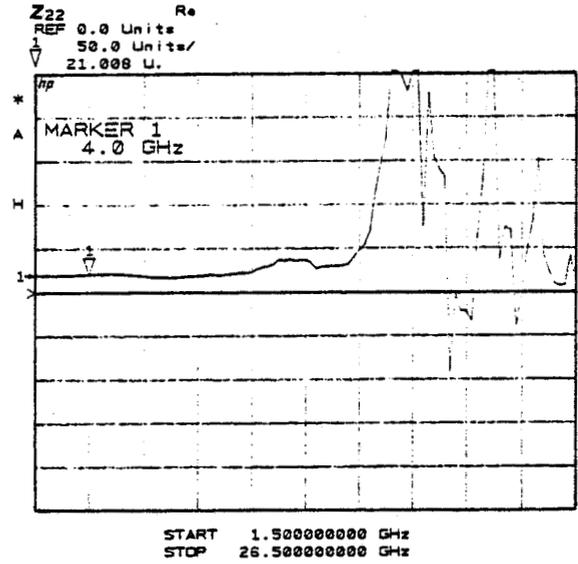
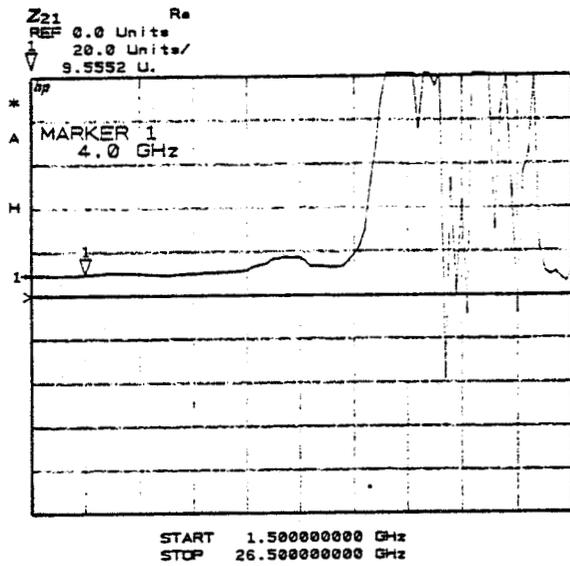


FIGURE [V.16] : Evolution des paramètres Z_{21} et Z_{22} en fonction de la fréquence pour le transistor 72-2 ($V_{ds} = 0V$ et $V_{gs} = +4V$).

N° de transistor	$R_s(\Omega)$	$R_g(\Omega)$	$R_d(\Omega)$	$L_s(\text{nH})$	$L_g(\text{nH})$	$L_d(\text{nH})$
CD15	7	3	7	0,05	0,45	0,35
72-2	8	4	8	0,1	0,5	0,4

Il convient de souligner que les transistors CD15 et 72-2 possèdent une structure planaire, et que la série E103 est à grille enterrée (recess). Ces dernières structures ont conduit à des valeurs des éléments d'accès moins élevées comme l'indique le tableau ci-dessous pour deux échantillons et mettent en évidence l'intérêt du recess.

N° de transistor	$R_s(\Omega)$	$R_g(\Omega)$	$R_d(\Omega)$	$L_s(\text{nH})$	$L_g(\text{nH})$	$L_d(\text{nH})$
A01	4,5	7,5	7,5	0,12	0,36	0,45
C12	4,5	7,5	7,5	0,16	0,42	0,26

V.4.2. DETERMINATION DU SCHEMA EQUIVALENT COMPLET

La connaissance des éléments d'accès du schéma équivalent du transistor nous permet dans une seconde étape une détermination directe des éléments intrinsèques (g_m , R_i , τ , C_{gs} , C_{gd} , g_d) pour une polarisation V_{ds} et V_{gs} fixée. La méthode [6] consiste, à partir des paramètres $[Z_{ij}]$ extrinsèques mesurés, à soustraire de ces derniers les éléments d'accès afin de déterminer la matrice des paramètres $[Z_{ij}]$ intrinsèques. On peut ensuite par un calcul d'inversion de matrice aboutir simplement à la matrice des paramètres $[Y_{ij}]$ intrinsèques mesurés. On détermine dans un second temps les éléments intrinsèques du schéma équivalent du transistor en résolvant le système d'équations suivant :

$$Y_{12} = -j\omega C_{gd}$$

$$Y_{21} = g_m - j\omega(C_{gd} + g_m(\tau - R_i C_{gs}))$$

$$Y_{22} = g_d - j\omega(C_{gd} + C_{ds})$$

$$Y_{11} = R_i C_{gs}^2 \omega^2 + j\omega(C_{gd} + C_{gs})$$

ces équations étant obtenues en supposant que les hypothèses simplificatrices suivantes sont justifiées dans la bande 0,5-5,5 GHz

$$R_i^2 C_{gs}^2 \omega^2 \ll 1 \quad \text{et} \quad R_i \tau C_{gs} \omega^2 \ll 1$$

Nous avons représenté sur les figures [V.17] et [V.18] les résultats obtenus sur différents transistors normally-on et normally-off, les éléments intrinsèques déterminés étant moyennés sur la bande 0,5 - 5,5 GHz. Les évolutions de ces paramètres en fonction de la tension V_{gs} amènent quelques remarques.

En ce qui concerne la transconductance g_m , pour le transistor normally-on A01 (fig. [V.18.a]) on peut constater qu'elle croît avec la tension V_{gs} pour des valeurs inférieures à +2,5 V, valeur que nous avons limitée afin d'éviter toute destruction du composant. On obtient un maximum de l'ordre de 105 mS/mm. On peut d'autre part noter un comportement différent de cette transconductance g_m en régime statique et en hyperfréquence.

En désertion alors que le g_m statique à $V_{gs} = -2V$ était quasiment nul on peut observer qu'en hyperfréquence il présente une valeur de 70 mS/mm. Ceci peut s'expliquer par le fait qu'en statique le régime pincé n'est pas obtenu probablement dû à des pièges à l'interface isolant-semiconducteur alors qu'en hyperfréquences ceux-ci étant gelés, le canal peut être modulé et en conséquence la transconductance augmentée. En régime d'accumulation le phénomène est inversé puisque le g_m statique maximum vaut 188 mS/mm et qu'il n'est plus que de 105 mS/mm en hyperfréquence. Là aussi la présence de pièges à l'interface est vraisemblablement à l'origine de cette différence. En statique la transconductance est obtenue en dérivant la caractéristique $I_{ds}(V_{gs})$ par rapport à V_{gs} . Si dans la mesure de $I_{ds}(V_{gs})$ des pièges modifient la valeur du courant on peut obtenir des transconductances erronées. Les mesures statiques sont donc à prendre avec de relatives précautions.

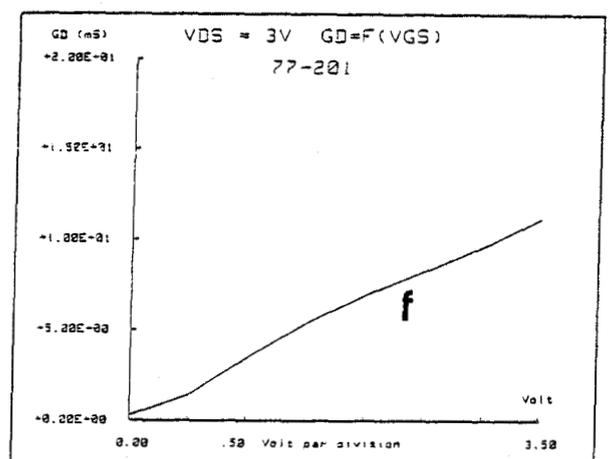
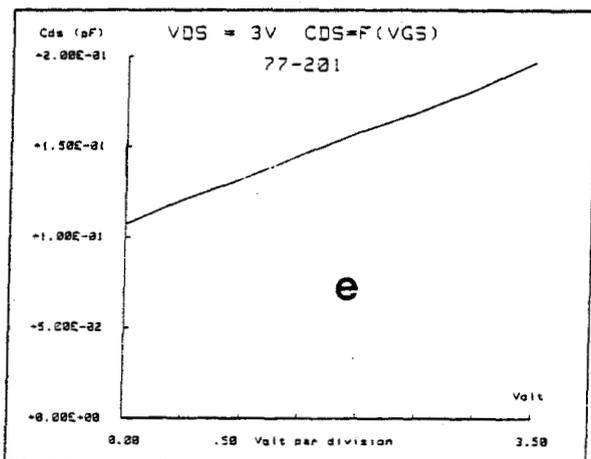
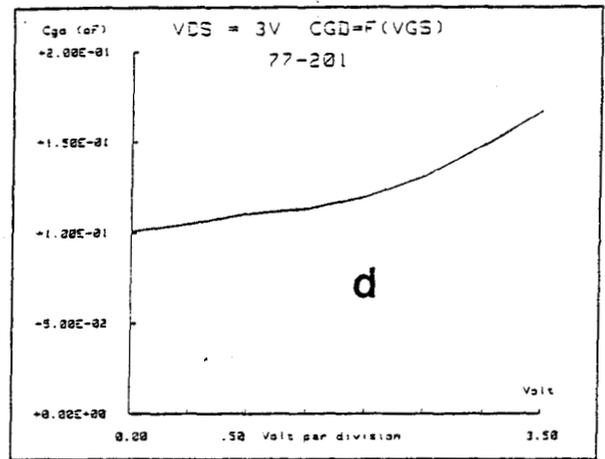
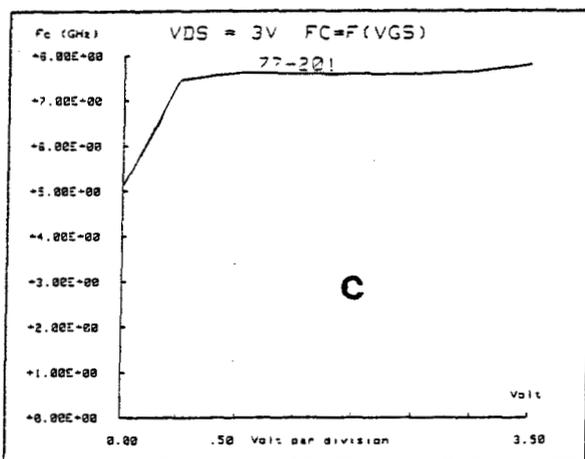
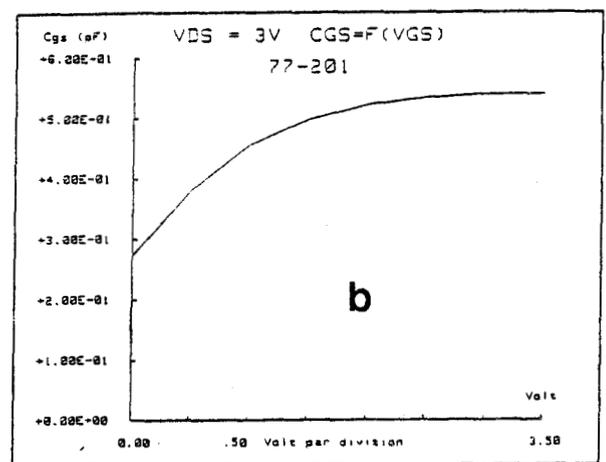
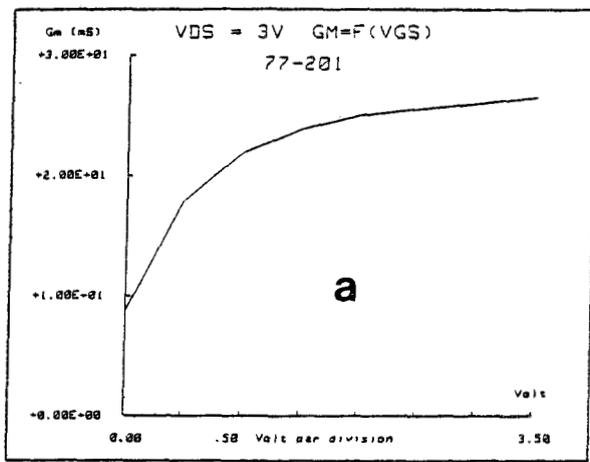


FIGURE [V.17]: Evolution des paramètres intrinsèques en fonction de la tension V_{gs} pour le transistor MISFET InP 77-201.

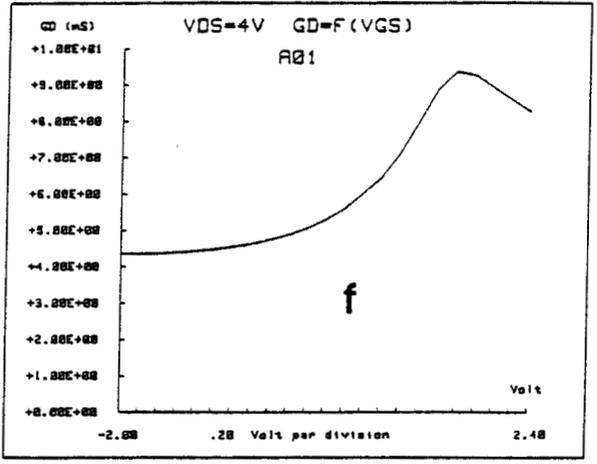
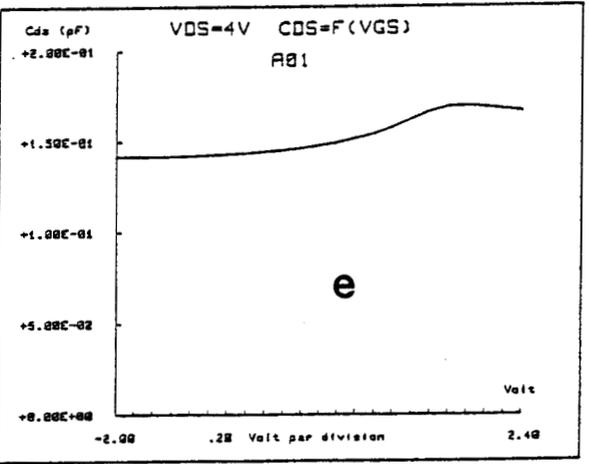
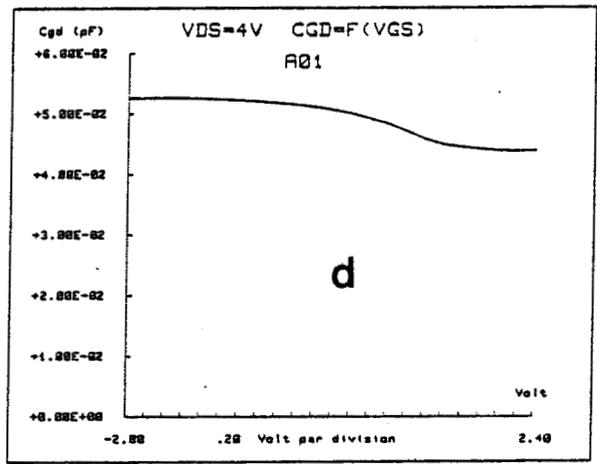
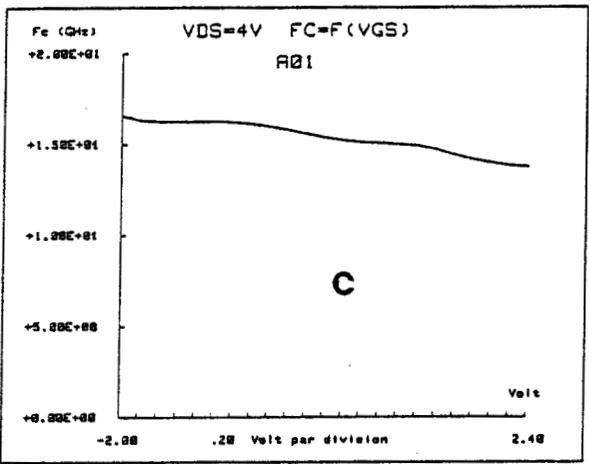
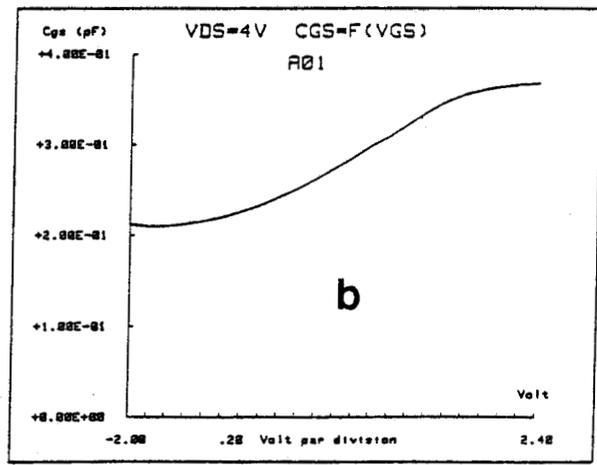
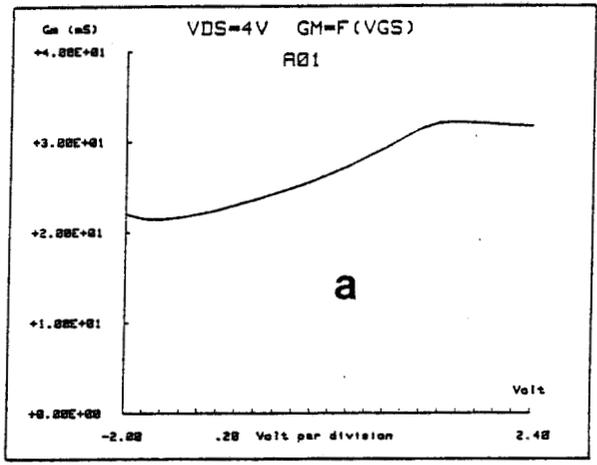


FIGURE |V.18| : Evolution des paramètres intrinsèques en fonction de la tension V_{gs} pour le transistor MISFET InP A01.

Pour le transistor normally-off 77-201 on observe une évolution similaire des transconductances statiques et hyperfréquences avec un g_m maximum de 86 mS/mm (fig. [V.17.a])

Les évolutions des capacités C_{gs} obtenues pour les deux transistors (fig. [V.17.b] et [V.18.b]) sont tout à fait en accord avec les mesures $C_g(V_{gs})$, avec une valeur maximale remarquable pour le transistor A01 de l'ordre de 0,37 pF alors qu'elle est de 0,53 pF pour le 77-201. Ces valeurs se répercutent sur les fréquences de coupure $f_c = g_m/2\pi C_{gs}$. Pour le transistor A01 on relève une fréquence de coupure de plus de 15 GHz (fig. [V.18.c]) à comparer à celle du transistor 77-201 qui vaut seulement 7,5 GHz (fig. [V.17.c]). Concernant les évolutions des capacités C_{gd} (fig. [V.17.d] et [V.18.d]) et C_{ds} (fig. [V.17.e] et [V.18.e]), on peut remarquer qu'elles restent relativement constantes en fonction de V_{gs} pour les deux transistors, avec néanmoins une valeur de C_{gd} plus faible (0,05 pF) pour le normally-on comparativement au composant normally-off (# 0,12 pF).

Une dernière remarque peut être faite sur la conductance de sortie g_d , qui augmente sensiblement avec la tension V_{gs} . On observe ainsi que la conductance à $V_{gs} = + 3,5$ V dépasse 30 mS/mm pour le 77-201 (fig. [V.17.f]) et 27 mS/mm à + 2V pour le A01 (fig. [V.18.f]). Ces valeurs élevées conduisent à des rapports g_m/g_d d'environ 3 assez faibles et auront des conséquences néfastes sur le gain MAG en puissance.

V.4.3. VALIDATION DE LA METHODE

Afin de valider la méthode de détermination du schéma équivalent complet du transistor, nous avons utilisé le programme d'optimisation [7] mis au point par notre laboratoire et pour lequel nous allons rappeler le principe.

L'utilisateur fixe un schéma équivalent initial le plus précis possible. A partir de celui-ci, le programme extrait les paramètres $[S_{ij}]$ théoriques et les compare au fichier de paramètres $[S_{ij}]$ expérimentaux. Il réduit ensuite l'écart existant pour aboutir par un processus itératif à une différence minimale.

Nous avons résumé dans le tableau [V.3] l'ensemble des résultats obtenus pour les deux transistors CD15 et 72-2. On peut constater un bon accord entre les valeurs déterminées expérimentalement et les valeurs théoriques issues de l'optimisation, ce qui constitue une bonne validation de notre méthode de caractérisation hyperfréquences.

V.5. ETUDE DU COMPORTEMENT EN AMPLIFICATION DE PUISSANCE HYPERFREQUENCE DU MISFET InP

Cette étude a pour objectif de déterminer les performances potentielles du transistor MISFET InP. Bien que les structures élaborées au CNET Bagneux ne soient pas optimisées pour ce type de fonctionnement, elles nous permettront cependant de tirer les principales conclusions et d'établir les conditions à respecter pour obtenir un composant de puissance optimum. Les mesures de puissance que nous avons réalisées utilisent un banc de puissance "classique" dans un premier temps et un banc à charge active (TAKAYAMA) dans un second temps, la charge d'adaptation étant accessible directement avec ce dernier.

V.5.1. BANC DE MESURES CLASSIQUE

Les mesures expérimentales sont réalisées sur le banc de puissance schématisé sur la figure [V.19]. Les polarisations continues de grille et de drain sont assurées par deux tés de polarisation. Le signal hyperfréquence d'entrée est réglable à l'aide d'un atténuateur variable et les puissances d'entrée incidente et réfléchie, et de sortie sont relevées respectivement sur les wattmètres W_1 , W_2 , W_3 . A la sortie du montage se trouve un analyseur de spectre permettant d'examiner la qualité du signal (niveau des harmoniques). L'adaptation à l'entrée et à la sortie du transistor est réalisée par deux adaptateurs à deux plongeurs de type MAURY.

Dans notre cas, les puissances mises en jeu restant la plupart du temps relativement faibles nous n'avons pas jugé utile d'utiliser le régime impulsionnel [8]. Ce banc de mesure de puissance est relativement simple à mettre en oeuvre mais il possède l'inconvénient de présenter des incertitudes

		L_g nH	R_g Ω	C_{gs} pF	R_i Ω	C_{gd} pF	g_m mS	g_d mS	C_{ds} pF	R_d Ω	L_d nH	R_s Ω	L_s nH
CD15	éléments d'accès	0,45	3							6,8	0,36	7	0,05
	caractérisation 2-4 GHz	0,45	3	0,68		0,4	14	4	0,16	6,8	0,36	7	0,05
	optimisation	0,43	2,9	0,68	3	0,4	13	3,4	0,16	6,4	0,34	6,9	0,05
72-2	éléments d'accès	0,5	4	0,42						8	0,4	8	0,1
	caractérisation 2-4 GHz	0,5	4	0,42		0,19	21	4	0,15	8	0,4	8	0,1
	optimisation	0,18	4,1	0,45		0,25	21	3	0,12	9,9	0,4	3	0,05

TABLEAU [V.3]: Eléments du schéma équivalent obtenus par les méthodes de caractérisation et d'optimisation pour les transistors CD-15 et 72-2.

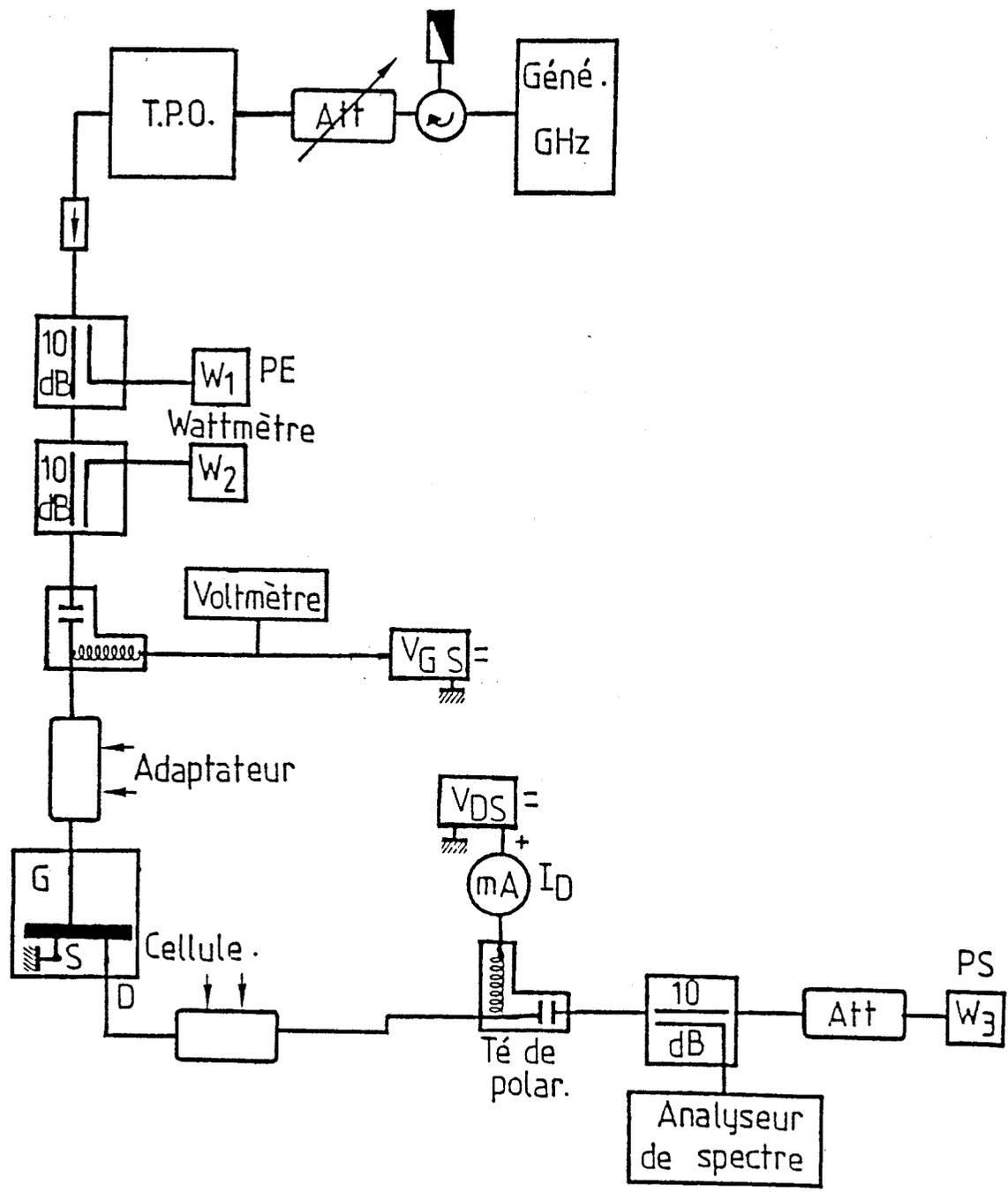


FIGURE [V.19]: Banc de mesure de puissance "classique".

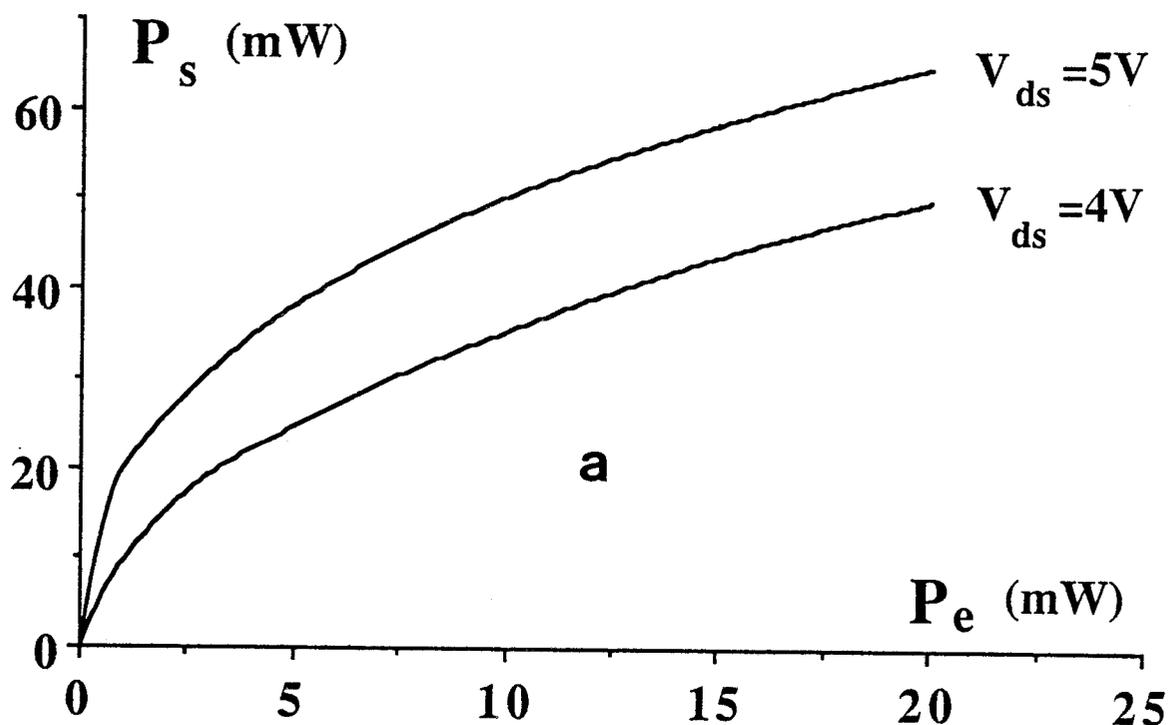


FIGURE [V.20.a]: Evolutions de la puissance de sortie p_s en fonction de la puissance d'entrée p_e pour deux conditions de polarisations différentes pour le transistor 72-1 ($V_{gs} = 0V$).

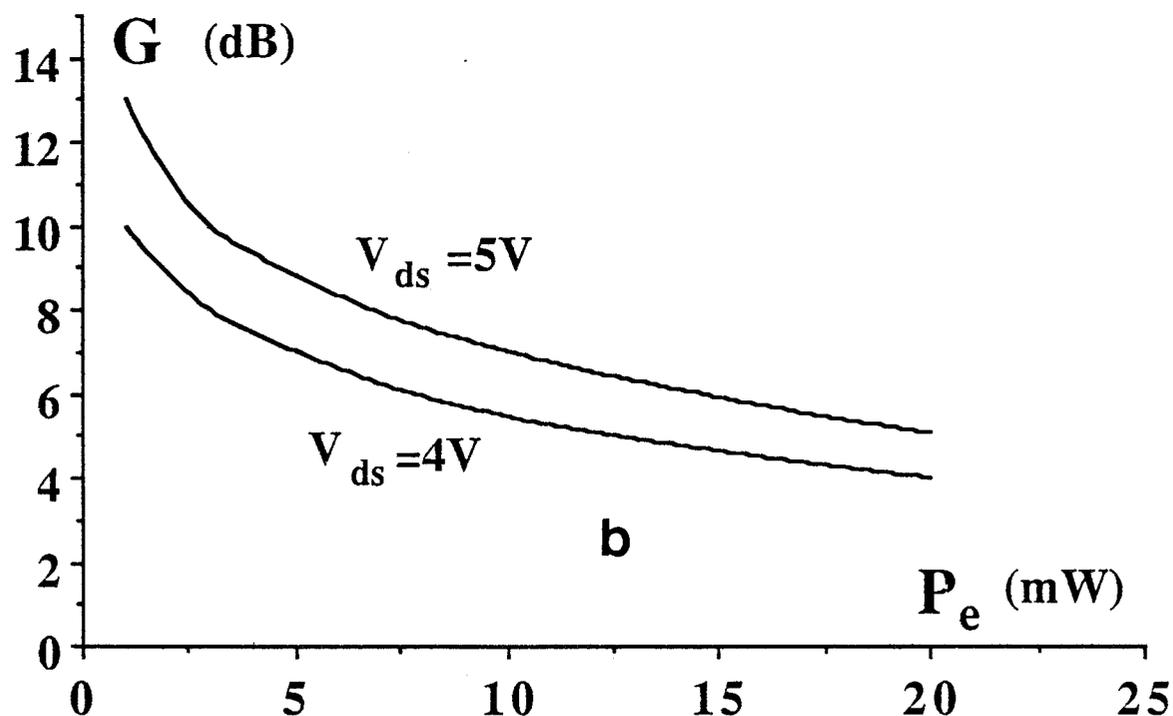


FIGURE [V.20.b]: Evolutions du gain en fonction de la puissance d'entrée pour deux conditions de polarisation différentes pour le transistor 72-1. ($V_{gs} = 0V$).

concernant l'évaluation des pertes des adaptateurs MAURY. Il faut en effet pour chaque réglage connaître les paramètres $[S_{ij}]$ des adaptateurs (perte = $|S_{21}|^2/(1-|S_{22}|^2)$). Dans la pratique, nous avons employé délibérément une méthode plus simple qui consiste à évaluer les pertes moyennes présentées par les deux adaptateurs et ce malgré les erreurs pouvant en résulter.

V.5.2. RESULTATS DES MESURES

V.5.2.1. TRANSISTORS NORMALLY-ON

Nous avons représenté sur les figures [V.20.a] et [V.21.a] les évolutions des puissances de sortie p_s en fonction des puissances d'entrée p_e suivant différentes fréquences et polarisations pour deux transistors de la série E65. Les conditions de polarisation sont proches de celles correspondant à la transconductance maximum. On peut remarquer que les deux transistors fonctionnent pour des fréquences relativement basses 4 et 5 GHz. Ceci est une conséquence des capacités parasites élevées (capacités de bord) et des longueurs de grille importantes de cette série de transistors qui constitue l'une des premières dont nous avons pu disposer.

Les figures [V.20.b] et [V.21.b] représentant le gain en fonction de la puissance d'entrée, montrent une mauvaise linéarité pour le composant 72-1 traduite par la faible valeur de puissance de compression à 1 dB ($p_s - 1 \text{ dB} = 30 \text{ mW}$ à 4 GHz). La situation est par contre plus favorable pour le transistor 72-2 concernant la linéarité mais avec cependant un gain nettement moins élevé.

V.5.2.2. TRANSISTORS NORMALLY-OFF

Les transistors normally-off mesurés appartiennent à la série E15. Les conditions de polarisation sont toujours celles correspondant à la transconductance maximale soit $V_{gs} = +2\text{V}$ pour les deux composants (EF 26 et CD15). Les courbes fig. [V.22.a] et [V.23.a] représentant la puissance de sortie p_s en fonction de la puissance d'entrée p_e manifestent un comportement relativement plus linéaire comparativement aux transistors normally-on précédents. En particulier dans le cas du transistor EF26, à la fréquence de

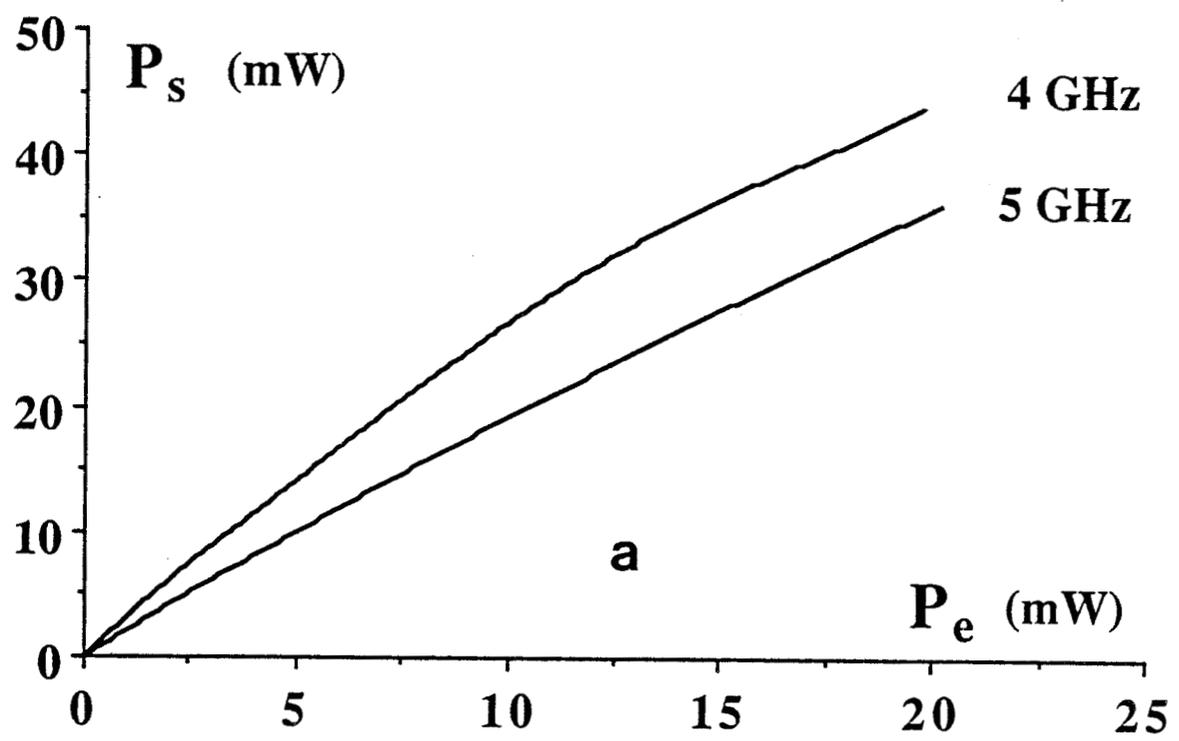


FIGURE [V.21.a]: Evolutions de la puissance de sortie, p_s en fonction de la puissance d'entrée p_e pour deux fréquences différentes pour le transistor 72-2 ($V_{ds} = 6V$ et $V_{gs} = 0$).

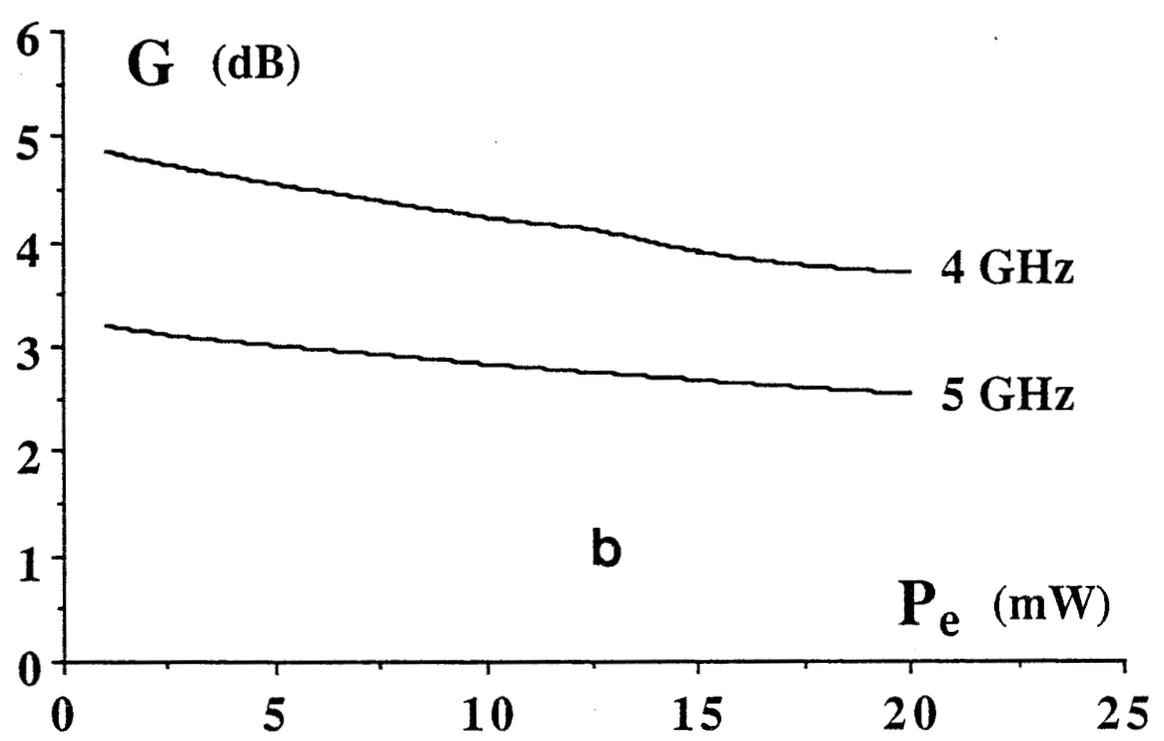


FIGURE [V.21.b]: Evolutions du gain en fonction de la puissance d'entrée p_e pour deux fréquences différentes pour le transistor 72-2. ($V_{ds} = 6 V$ et $V_{gs} = 0V$).

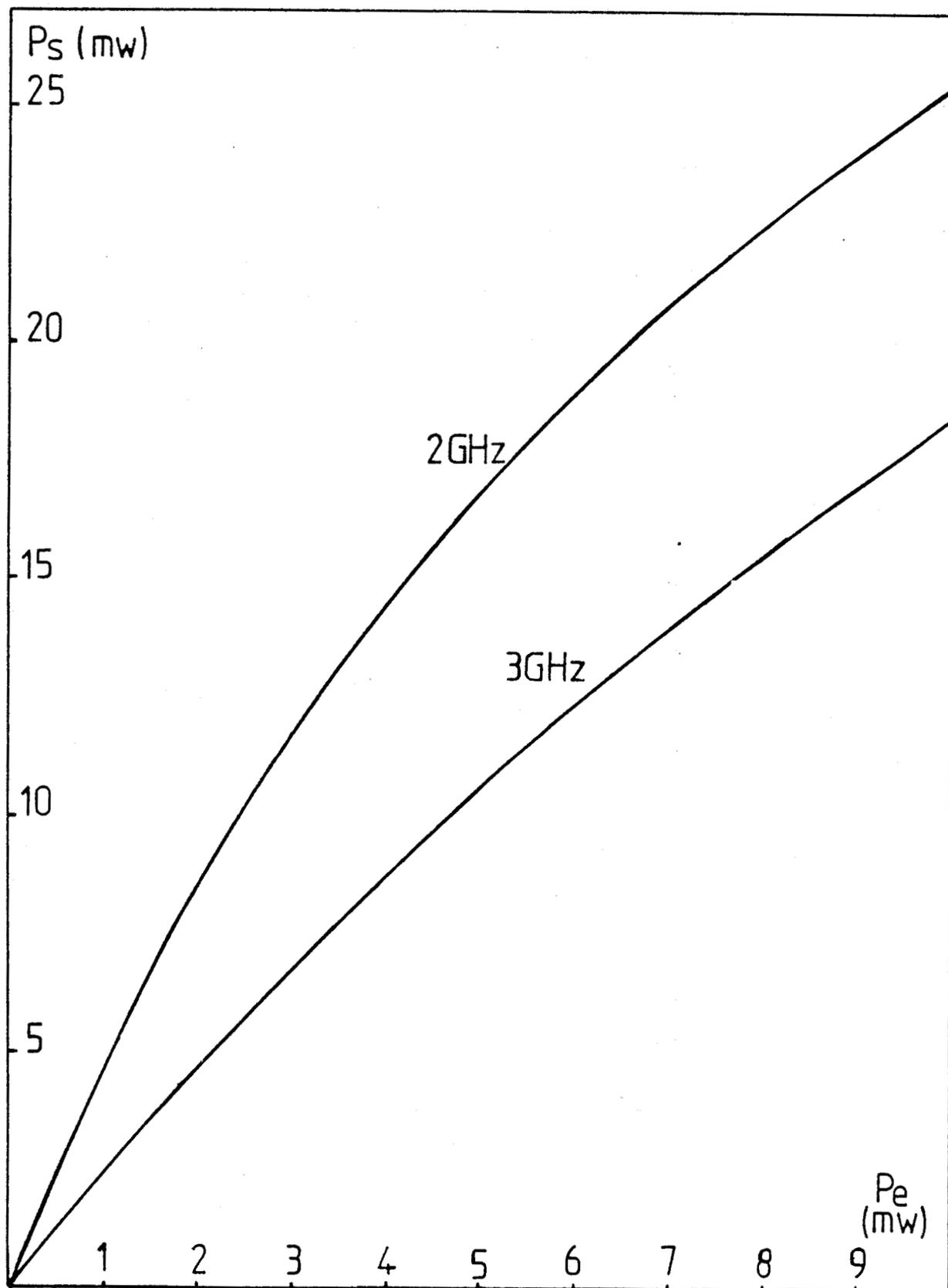


FIGURE |V.22.a| : Evolutions de la puissance de sortie, p_s en fonction de la puissance d'entrée p_e pour deux fréquences différentes pour le transistor EF-26 ($V_{ds} = 3V$ et $V_{gs} = +2V$).

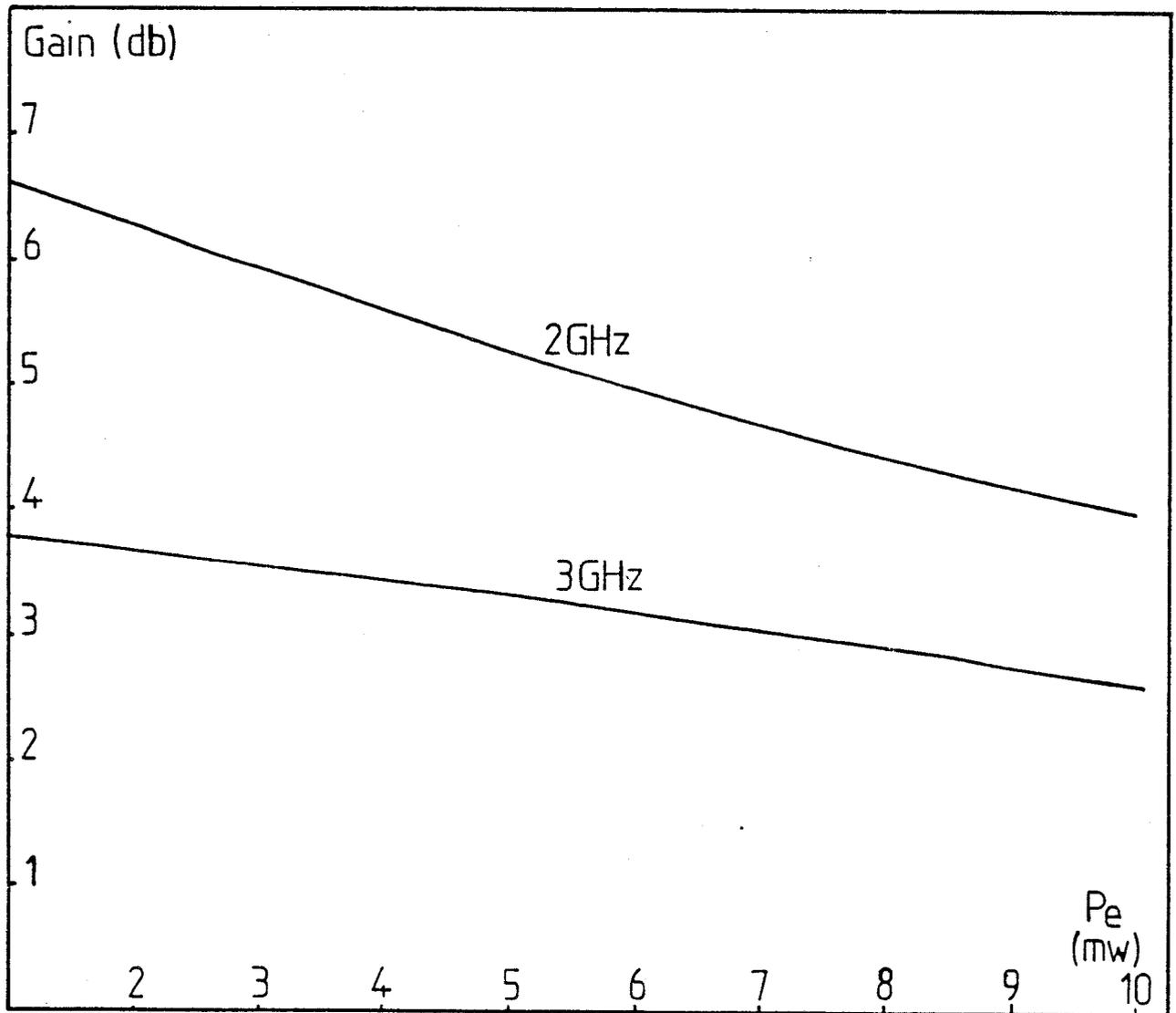


FIGURE [V.22.b]: Evolutions du gain en fonction de la puissance d'entrée pour deux fréquences différentes pour le transistor EF-26. ($V_{ds} = 3$ V et $V_{gs} = +2$ V).

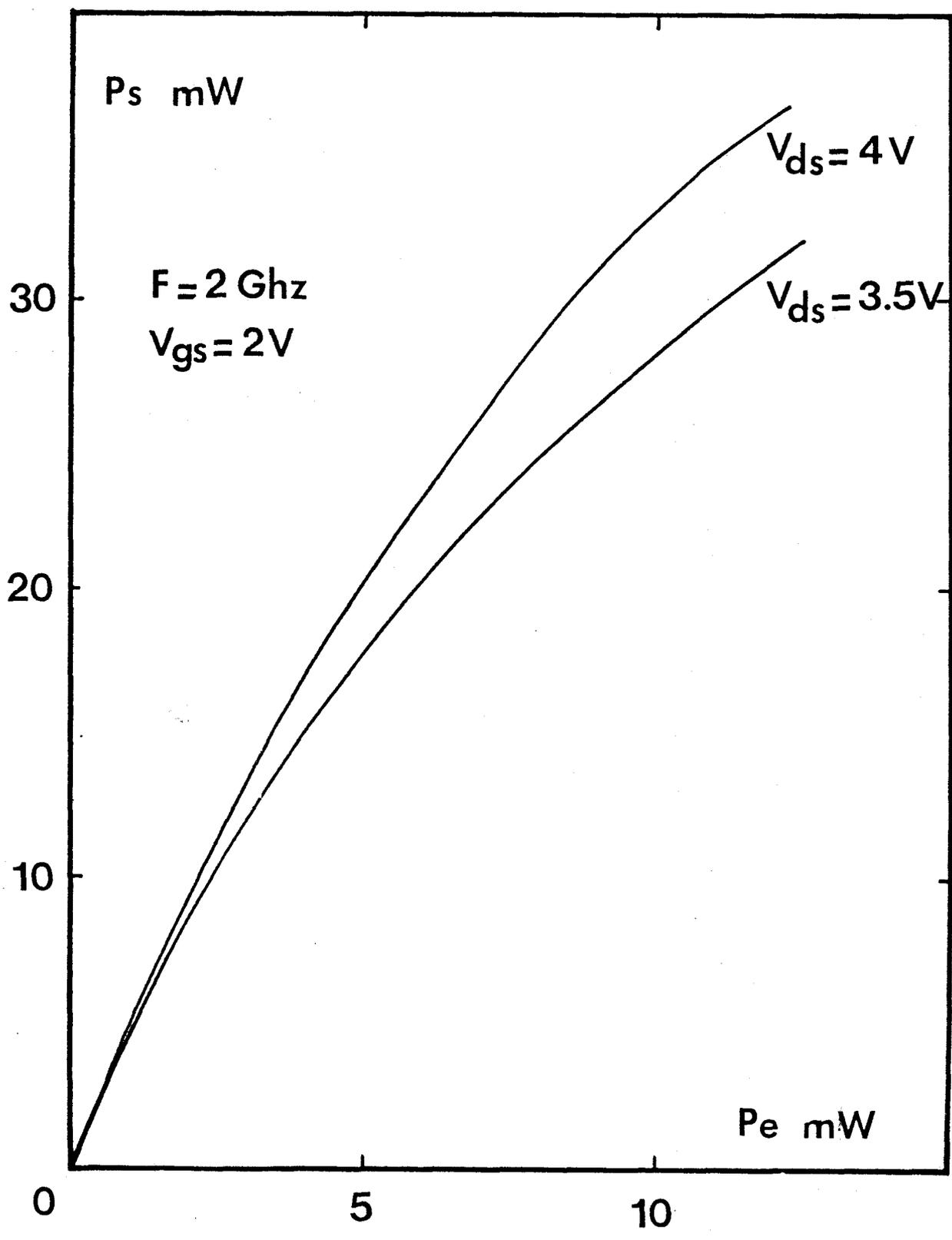


FIGURE [V.23.a]: Evolutions de la puissance de sortie p_s en fonction de la puissance d'entrée p_e pour deux conditions de polarisations différentes (transistor CD-15).

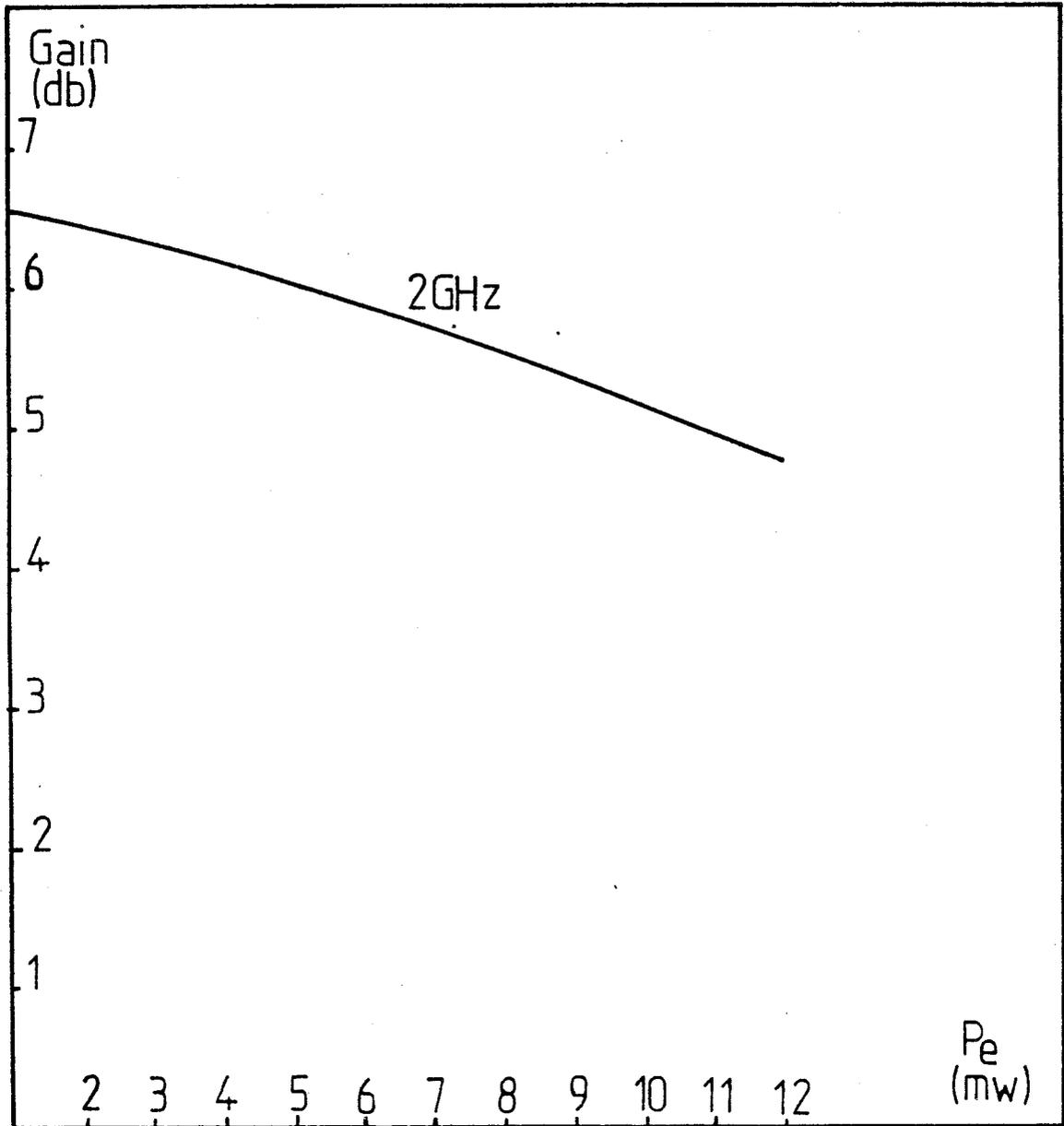


FIGURE [V.23.b]: Evolutions du gain en fonction de la puissance d'entrée pour le transistor CD-15 ($V_{ds} = 4V$ et $V_{gs} = +2V$).

3 GHz, la figure [V.22.b] montre que la puissance de compression est supérieure à 18 mW.

Les résultats décrits précédemment constituent les premières mesures que nous avons réalisées sur des structures qui nécessitaient des améliorations technologiques pour être utilisées en amplification de puissance. Dans ce but, des progrès devaient s'orienter vers une diminution de la longueur de grille et des capacités parasites de bords de grille en y ajoutant la prise en compte d'une géométrie plus adaptée au fonctionnement en amplification de puissance (recess de grille, diminution des résistances et selfs d'accès).

Les séries de transistors normally-on E 103 et de transistors normally-off E 77, E 82 présentent à ce propos des améliorations technologiques intéressantes : introduction d'un recess pour la série E 103 et réduction des capacités parasites pour les deux séries.

Nous nous proposons dans la partie suivante d'examiner le comportement de ces séries de transistors en amplification de puissance. Les différentes mesures ont été réalisées à partir d'un banc de puissance à charge active (TAKAYAMA).

V.5.3. BANC DE MESURES A CHARGE ACTIVE (TAKAYAMA)

Le principal avantage du banc de puissance à charge active réside dans le fait qu'il permet de réaliser l'adaptation du transistor dans pratiquement tous les cas. Son utilisation présente l'avantage également de pouvoir accéder directement à la valeur de l'impédance de charge.

Le principe de la méthode [9] consiste à créer artificiellement une charge en injectant une onde hyperfréquence sur la sortie du transistor. Ce signal de même fréquence que celui appliqué sur l'entrée est ajustable en amplitude et en phase par l'intermédiaire d'un atténuateur et d'un déphaseur.

Nous avons représenté sur la figure [V.24], le schéma du banc de puissance à charge active utilisé au laboratoire [8]. La puissance à l'entrée du transistor est déterminée par le wattmètre W_1 et celle correspondant à la sortie par la différence des puissances relevées sur les wattmètres W_2 et W_3 .

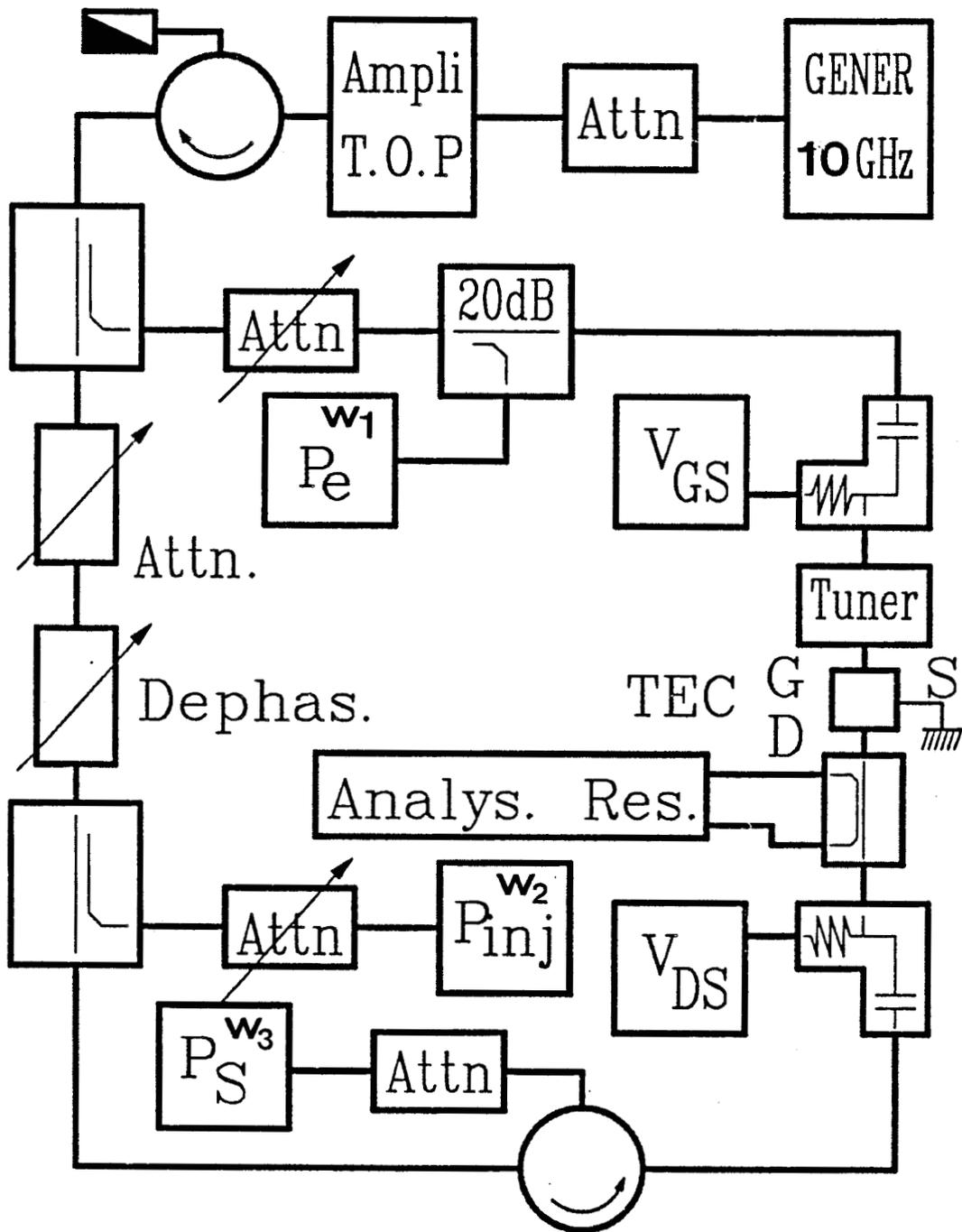


FIGURE [V.24]: Banc de mesure de puissance à charge active (Takayama).

L'adaptation à l'entrée est réalisée à l'aide d'un adaptateur "double slugs" et contrôlée par l'intermédiaire du wattmètre W_4 . L'adaptation en sortie est effectuée à l'aide d'un déphaseur et d'un atténuateur variables. L'analyseur de réseau relié à une table traçante permet la détermination directe de l'impédance de charge du transistor sur l'abaque de Smith.

Il faut préciser à propos de cette charge d'adaptation que celle mesurée par l'analyseur de réseau ne correspond pas à la charge intrinsèque du transistor (existence des éléments L_s , L_d et C_p). En conséquence la valeur considérée dans le reste de l'étude se rapporte à l'impédance externe d'adaptation du composant (figure [V.34]). La calibration du banc de mesure est réalisée en utilisant un court-circuit de référence situé dans le plan du transistor dans un boîtier BMH 60.

V.5.4. RESULTATS DES MESURES

Les différentes mesures de puissance ont été effectuées sur plusieurs transistors MISFET InP normally-off et normally-on, ces derniers étant a priori les mieux adaptés à ce type de fonctionnement grâce à leur courant drain plus élevé.

V.5.4.1. TRANSISTORS NORMALLY-ON

Les transistors normally-on étudiés font partie de la série E 103 à grille enterrée qui présente de meilleures caractéristiques hyperfréquences comparativement à la série E 65. Pour illustrer ce propos nous avons représenté le gain MAG petit signal fig. [V.25] d'un transistor de la série E 103 en fonction de la tension grille-source V_{gs} pour différentes fréquences (8, 10 et 12 GHz). On peut observer que le gain est relativement constant en fonction de la tension V_{gs} et qu'il est encore de 5 dB à 12 GHz. La légère décroissance du gain en fonction de la tension V_{gs} peut être attribuée à l'augmentation de la conductance de sortie g_d .

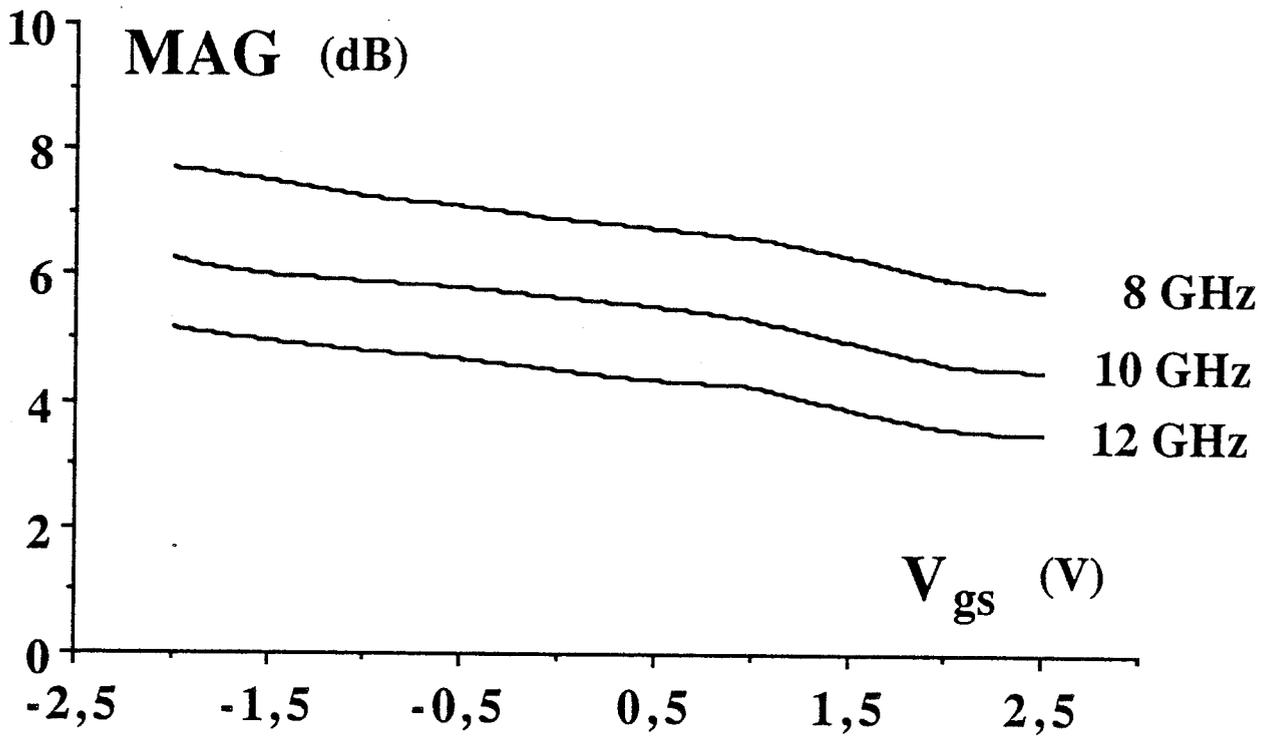


FIGURE [V.25]: Evolution du MAG en fonction de la tension V_{gs} pour trois fréquences différentes pour le transistor normalement C11 ($V_{ds} = 4V$).

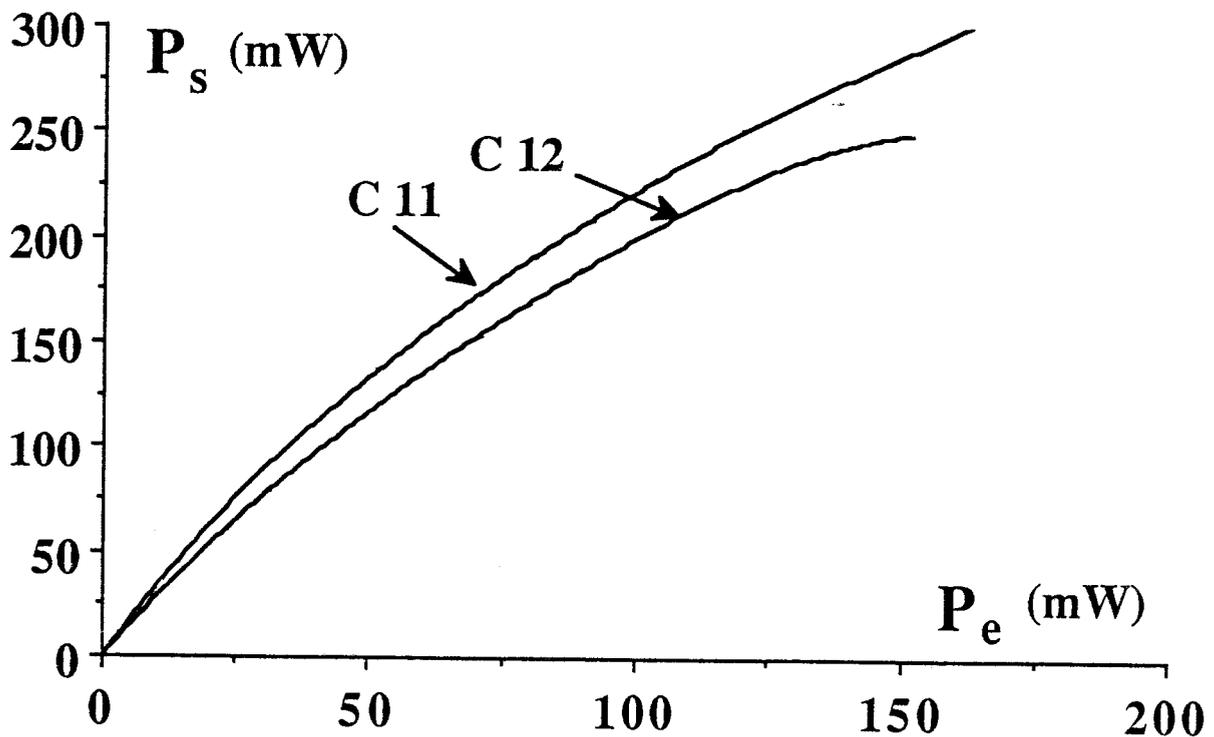


FIGURE [V.26]: Evolution de la puissance de sortie p_s en fonction de la puissance d'entrée p_e à la fréquence de 10 GHz pour les transistors C11 et C12 ($V_{gs} = 0V$ et $V_{ds} = 7V$).

V.5.4.1.1. CARACTERISTIQUE $P_s(P_e)$

Nous avons représenté sur la figure [V.26] l'évolution de la puissance de sortie p_s en fonction de la puissance d'entrée p_e à la fréquence de 10 GHz pour deux transistors (C11 et C12). La polarisation de grille est de 0V et celle de drain de 7 V, ce qui correspond pratiquement au maximum de transconductance g_m . On peut remarquer que dans ce cas le transistor fonctionne en régime d'accumulation et de désertion. Le courant de polarisation continue de drain a pour valeur 35 mA pour le C12 et 30 mA pour le C11. Il faut préciser que ces valeurs de courant de polarisation évoluent notablement avec le niveau de puissance. Ce problème sera analysé dans la suite de ce travail au cours de l'étude des ellipses de fonctionnement. D'autre part, on peut noter que le transistor C11 est légèrement plus performant puisque l'on observe une puissance de sortie plus élevée pour les mêmes conditions de polarisation.

V.5.4.1.2. CARACTERISTIQUES $P_a = f(P_e)$ et $G = f(P_e)$

Les figures [V.27] et [V.28] représentent deux autres caractéristiques importantes des transistors : la puissance ajoutée $p_a = p_s - p_e$ et le gain G en puissance en fonction de p_e . On peut remarquer que les gains obtenus pour les deux transistors sont très voisins, de l'ordre de 5 dB à 10 GHz en petit signal ce qui reste assez proche du MAG présenté antérieurement qui est de 6 dB.

Nous pouvons à partir de l'évolution du gain G déterminer la puissance de compression à 1 dB pour les deux transistors. On obtient pour le composant C11 une valeur de p_{s-1dB} de 500 mW/mm et de 430 mW/mm pour le C12. Les rendements en puissance ajoutés η_a sont respectivement pour les composants C11 et C12 de 32 % et 20,5 % et les rendements de drain de 51 % et 44 % ce qui caractérise un fonctionnement non linéaire. Ces résultats sont cependant très intéressants pour des structures dont les longueurs de grille restent encore importantes. Concernant l'évolution de la puissance ajoutée p_a on observe comme précédemment une légère supériorité pour le composant C11.

Nous nous proposons dans la suite de ce travail d'analyser l'influence des conditions de polarisation du transistor sur les performances en puissance.

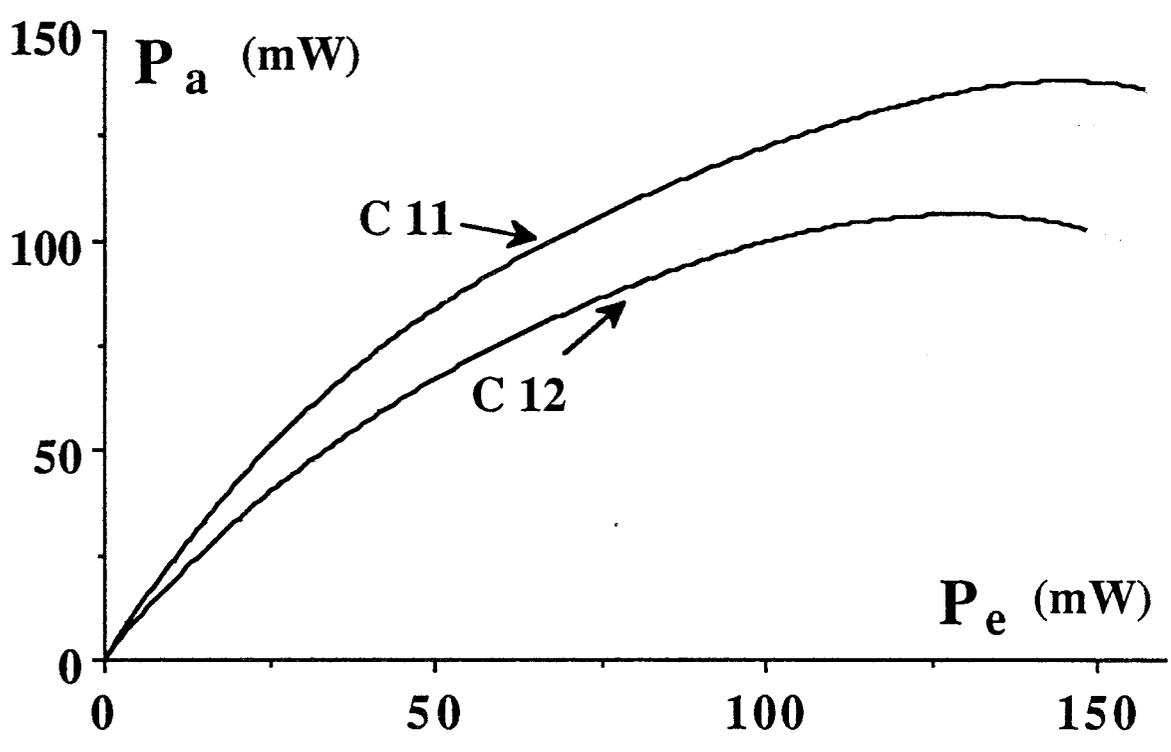


FIGURE [V.27]: Evolution de la puissance ajoutée en fonction de la puissance d'entrée pour les transistors C11 et C12 ($V_{gs} = 0V$ et $V_{ds} = 7V$).

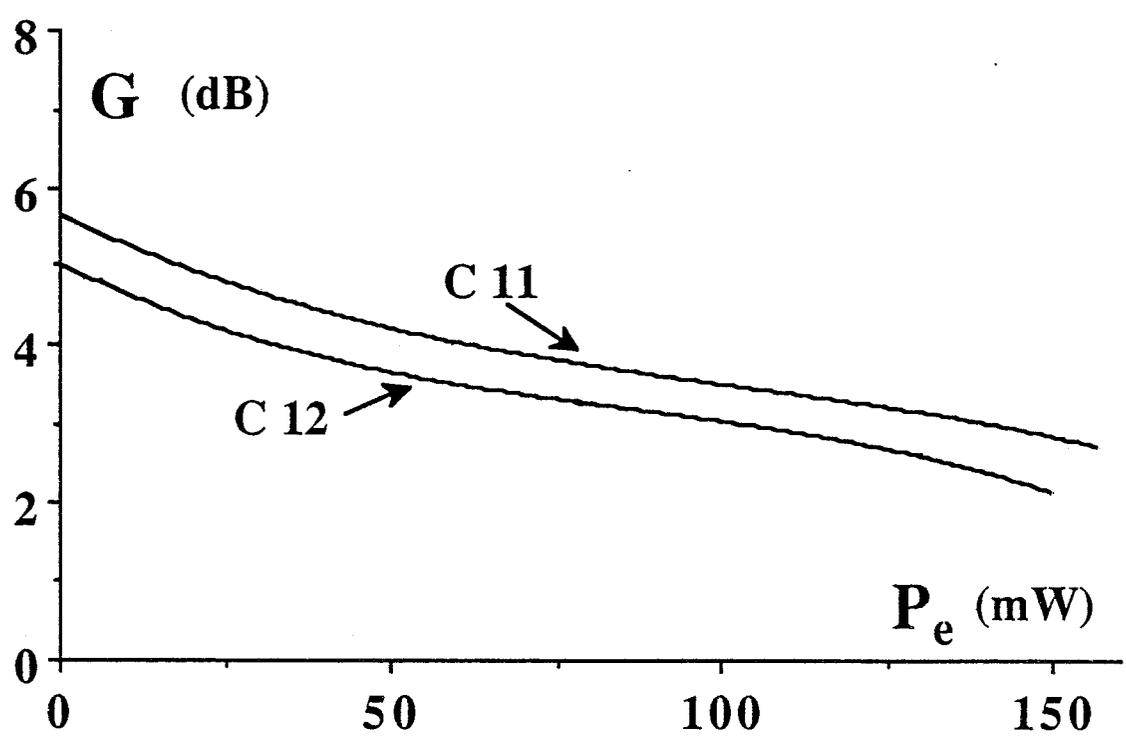


FIGURE [V.28]: Evolution du gain en fonction de la puissance d'entrée à la fréquence de 10 GHz pour le transistor C11 et C12 ($V_{gs} = 0V$ et $V_{ds} = 7V$).

V.5.4.1.3. INFLUENCE DES POLARISATIONS DE GRILLE ET DE DRAIN

V.5.4.1.3.1. INFLUENCE DE LA POLARISATION DE GRILLE V_{gso}

L'augmentation de la polarisation de grille permet d'obtenir un courant drain sensiblement plus élevé ce qui paraît favorable pour l'obtention d'une puissance de sortie supérieure comparativement à la polarisation de grille de 0 V. Néanmoins, des mesures expérimentales effectuées sur différents composants à des tensions grille plus importantes ont montré une nette diminution des performances en puissance. Citons par exemple, le transistor C12 pour lequel le fait de passer d'une tension de polarisation $V_{gso} = 0V$, $V_{dso} = 5V$ à $V_{gso} = +0,5V$, $V_{dso} = 5V$ a pour conséquence de diminuer le gain de plus de 1,5 dB. La raison de cette réduction du gain est imputable à l'augmentation déjà signalée de la conductance de sortie g_d .

Cependant, il convient de signaler que ces dernières conditions de polarisation correspondent à un fonctionnement plus linéaire. En effet, le courant de polarisation drain continu reste à un niveau constant en fonction de la puissance d'entrée, contrairement au cas où la tension V_{gso} était égale à 0V où nous avons constaté un déplacement du point de fonctionnement vers un courant drain plus élevé au fur et à mesure que le niveau de puissance à l'entrée augmente. Ceci est la conséquence d'une limitation et d'un écrêtage dans le réseau I_{ds} (V_{ds}) lorsque le transistor fonctionne en régime de désertion, et qu'il faut attribuer à de mauvaises conditions de pincement dues à des imperfections d'ordre technologique.

Il faut également souligner que dans le cas du MISFET, il n'apparaît pas de courant de grille néfaste même pour des tensions V_{gso} largement positives, contrairement aux transistors MESFET, TEGFET, ou MIS-Like FET utilisant une jonction Schottky.

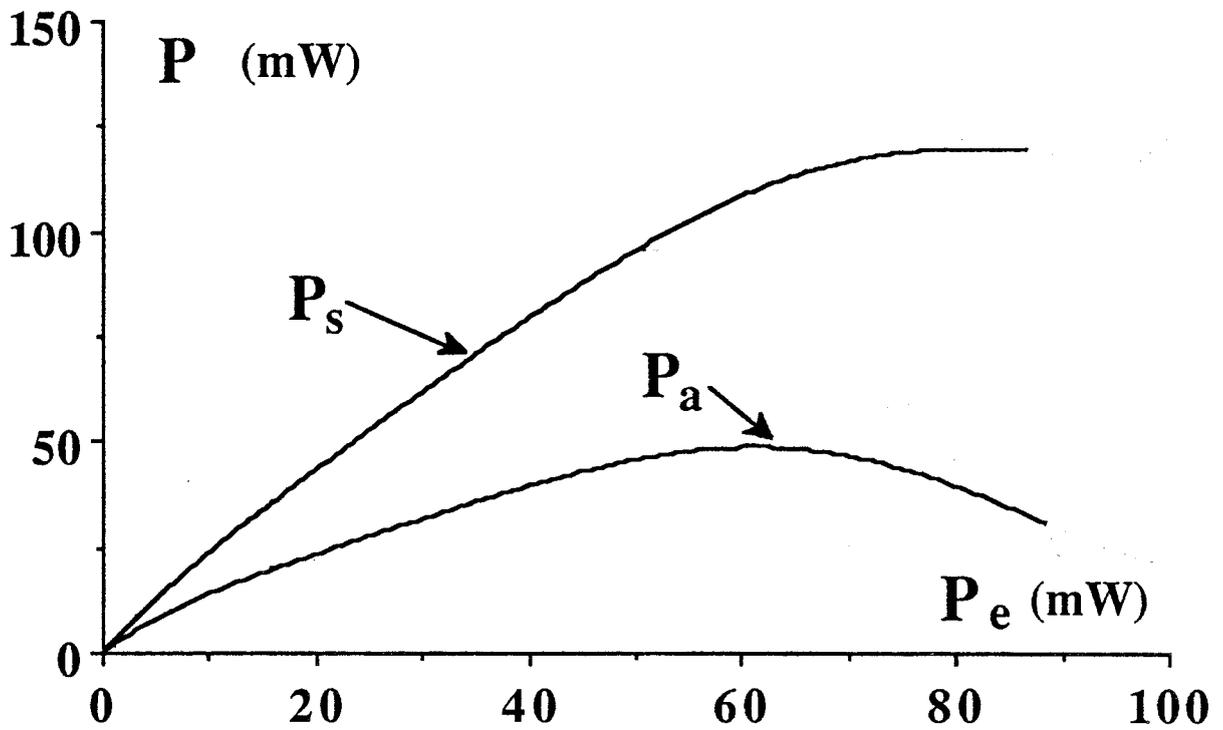


FIGURE |V.29| : Evolutions de la puissance de sortie p_s et de la puissance ajoutée p_a en fonction de la puissance d'entrée p_e pour le transistor C12 ($V_{gs} = 0V$, $V_{ds} = 5V$, $F = 10$ GHz).

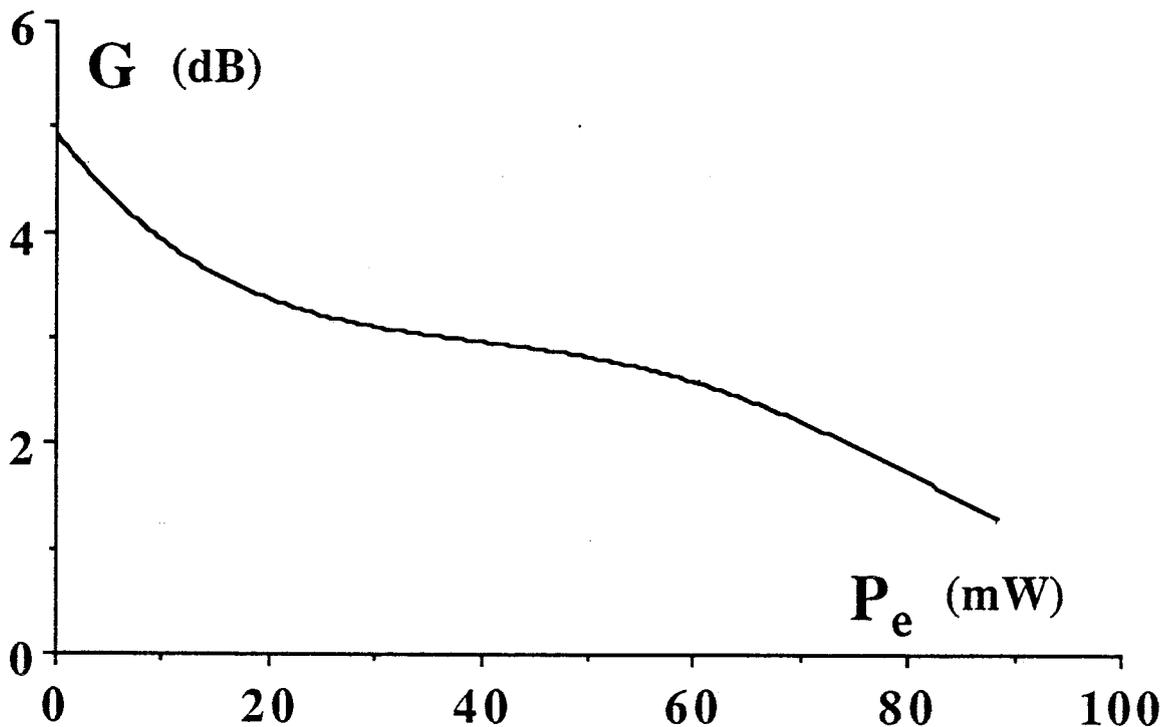


FIGURE |V.30| : Evolution du gain en fonction de la puissance d'entrée pour le transistor C12 ($V_{gs} = 0V$, $V_{ds} = 5V$, $F = 10$ GHz).

V.5.4.1.3.2. INFLUENCE DE LA POLARISATION DE DRAIN

$$V_{dso}$$

Afin d'évaluer l'influence de la polarisation de drain, sur les performances en puissance nous avons représenté sur les figures [V.29] et [V.30] pour le transistor C12 les évolutions de la puissance de sortie p_s , de la puissance ajoutée p_a et du gain G en fonction de la puissance d'entrée p_e , pour une polarisation continue $V_{gso} = 0$ V et $V_{dso} = 5$ V. La diminution de la tension de polarisation V_{dso} de 7 à 5 V (fig. [V.26]) a pour conséquence une réduction sensible des performances en amplification de puissance, la puissance de sortie à 1 dB de compression passant de 430 mW/mm à 220 mW/mm. Ceci illustre l'intérêt de fonctionner avec une tension drain-source la plus élevée possible et donc de présenter une tension de claquage V_{dsbr} maximale.

V.5.4.2. TRANSISTORS NORMALLY-OFF

Bien que les transistors à enrichissement ne soient pas des structures optimales pour l'amplification de puissance, il apparaît intéressant toutefois d'étudier et de comparer les résultats obtenus sur ces composants avec ceux observés sur les composants normally-on. Les transistors mesurés appartiennent aux séries E77 et E82 décrites au début de ce chapitre. Il faut préciser que ces structures possèdent des fréquences de coupure d'environ 7-8 GHz, et que par conséquent les mesures expérimentales n'ont pu être effectuées qu'à la fréquence de 4 GHz.

V.5.4.2.1. CARACTERISTIQUE P_s (P_e)

Nous avons représenté sur la figure [V.31] les évolutions de la puissance de sortie p_s en fonction de la puissance d'entrée p_e à la fréquence de 4 GHz pour les deux transistors E77-201 et E82-300. Les conditions de polarisation sont celles qui permettent d'obtenir la puissance la plus élevée possible compte tenu des conditions de destruction des transistors. La tension V_{dso} maximale a été choisie à 5 V pour le E82-300 et 8V pour le E77-20 et la polarisation de grille a été fixée au g_m maximum.

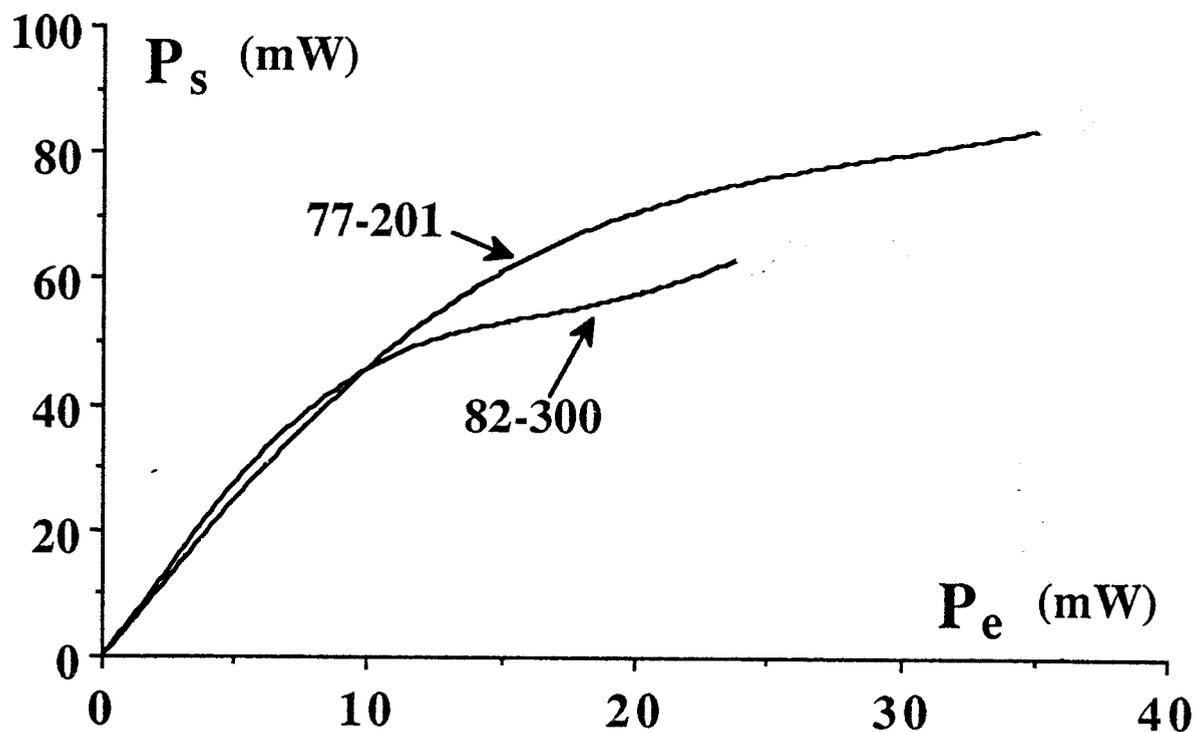


FIGURE [V.31]: Evolutions de la puissance de sortie p_s en fonction de la puissance d'entrée p_e à la fréquence de 4 GHz pour les transistors 77-201 ($V_{gs} = 2V$ et $V_{ds} = 8V$) et 82-300 ($V_{gs} = 2,5 V$ et $V_{ds} = 5 V$).

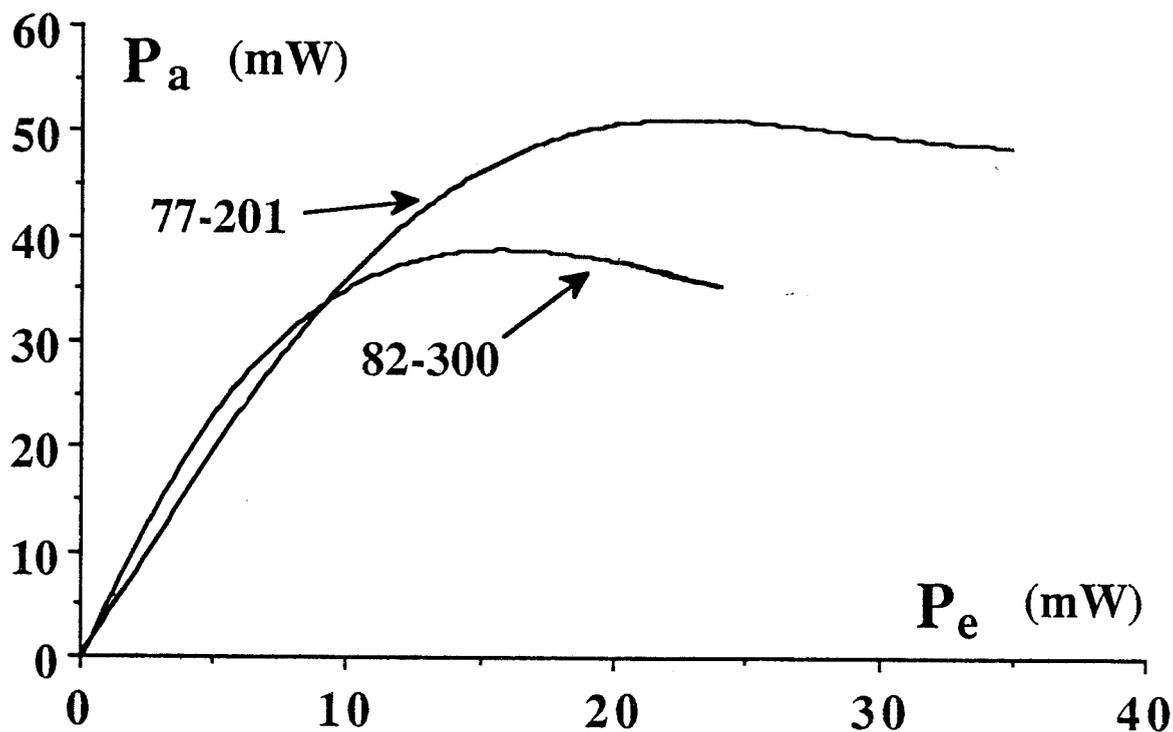


FIGURE [V.32]: Evolutions de la puissance ajoutée en fonction de la puissance d'entrée à la fréquence de 4 GHz pour les transistors 77-201 ($V_{gs} = 2V$ et $V_{ds} = 8V$) et 82-300 ($V_{gs} = 2,5 V$ et $V_{ds} = 5 V$).

Si on compare les puissances de sortie p_s obtenues avec celles acquises sur les composants normally-on, on peut constater que ces derniers sont nettement plus performants grâce à l'obtention de densités de courant ainsi que de transconductances plus élevées.

V.5.4.2.2. CARACTERISTIQUES $P_a = f(P_e)$ ET $G = f(P_e)$

En ce qui concerne l'évolution du gain G en puissance, en fonction de p_e (fig. [V.33]) une valeur relativement élevée a pu être mesurée de l'ordre de 8 dB pour les deux composants en petit signal. Cependant, celui-ci décroît rapidement avec la puissance p_e ce qui a pour conséquence une faible valeur de la puissance de compression à 1 dB, de l'ordre de 220 mW/mm pour le 77-201 alors qu'elle dépasse 400 mW/mm pour les transistors normally-on caractérisés précédemment.

On peut également noter que les rendements en puissance ajoutée (fig. [V.33]) η_a et de drain η_d sont respectivement de 21 et 26 % pour le transistor 82-300 et de 18 % et 25 % pour le transistor 77-201 pour les puissances correspondant à la compression (P_s -1dB). Ces rendements sont relativement intéressants pour ce type de transistor.

Après avoir présenté les divers résultats de puissance obtenus sur le banc à charge active (TAKAYAMA) pour les deux types de composants normally-on et normally-off, nous allons maintenant nous intéresser à l'étude de la charge d'adaptation de sortie du transistor en fonction des différents paramètres (niveau de puissance, polarisation), ainsi qu'aux ellipses de fonctionnement qui en sont déduites.

V.5.5. COMPARAISON DE LA CHARGE D'ADAPTATION DES TRANSISTORS NORMALLY-ON ET NORMALLY-OFF

Les mesures effectuées au banc de puissance à charge active permettent comme nous l'avons déjà signalé la détermination de la charge d'adaptation de sortie $Z_{L_{ext}} = R_{L_{ext}} + jX_{L_{ext}}$ du transistor. La figure [V.34] décrit schématiquement la sortie du transistor où L_d et L_s sont les inductances

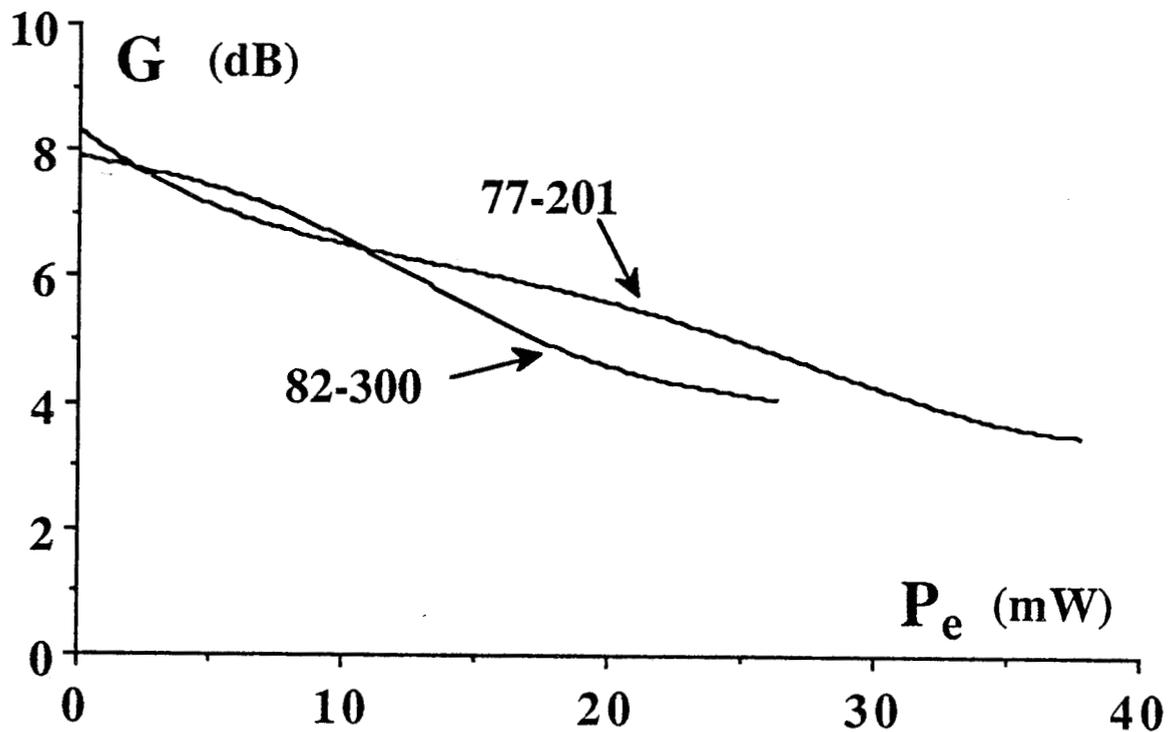


FIGURE [V.33]: Evolution du gain en fonction de la puissance d'entrée p_e à la fréquence de 4 GHz pour les transistors 77-201 ($V_{gs} = 2V$ et $V_{ds} = 8V$) et 82-300 ($V_{gs} = 2,5 V$ et $V_{ds} = 5V$).

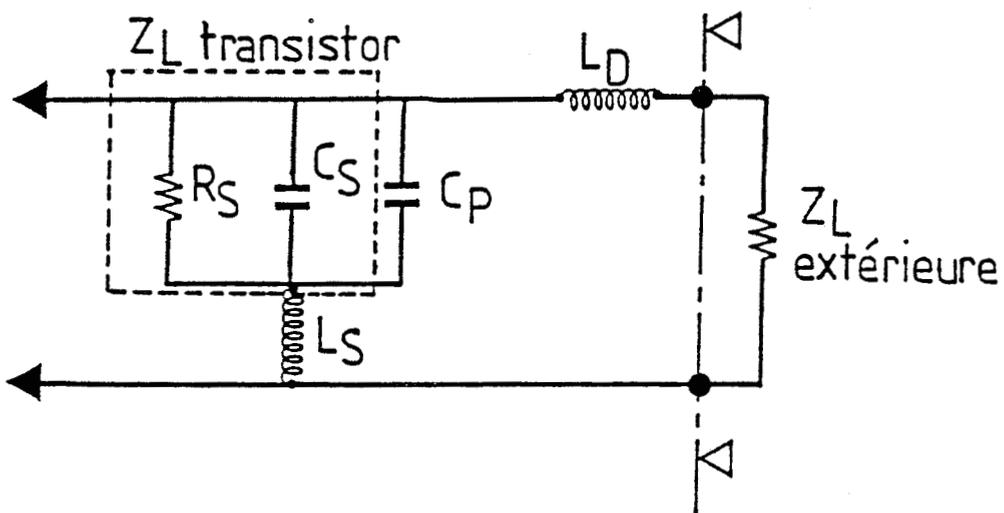


FIGURE [V.34]: Schéma montrant l'impédance de sortie équivalente extérieure du transistor MISFET.

d'accès de drain et de source, C_p la capacité plot entre drain et source, R_s et C_s étant la résistance et la capacité du transistor intrinsèque côté drain.

Nous avons représenté sur les figures [V.35] et [V.36] les évolutions des parties réelles $R_{L_{ext}}$ et imaginaires $X_{L_{ext}}$ de la charge d'adaptation en fonction de la polarisation de drain V_{ds0} , pour deux puissances d'entrée 1 mW et 10 mW. (transistors C12 normally-on et 77-201 normally-off). On peut remarquer que $R_{L_{ext}}$ varie beaucoup moins avec la puissance d'entrée dans le cas du transistor C12. Par contre elle est beaucoup plus élevée dans le cas du transistor normally-off 77-201, passant de 30 à 90 Ω pour $P_e = 10$ mW. Ceci est une conséquence de la valeur élevée de la conductance de sortie g_d pour le transistor C12.

En ce qui concerne l'évolution de la réactance $X_{L_{ext}}$ de la charge d'adaptation on peut également constater que l'évolution avec la puissance p_e est plus importante dans le cas du transistor 77-201. On peut aussi remarquer que comme précédemment la valeur de $X_{L_{ext}}$ est supérieure pour le transistor normally-off (70 contre 40 Ω).

Afin de vérifier les valeurs expérimentales des impédances de charge obtenues il est possible de déterminer la charge d'adaptation petit signal en sortie du transistor à l'aide des paramètres $[S_{ij}]$ mesurés suivant la relation :

$$\Gamma_L = \frac{1}{2C_2} \left[B_2 \pm 2 \left| S_{12} S_{21} \right| \sqrt{K^2 - 1} \right]$$

signe - si $B_2 > 0$
+ si $B_2 < 0$

avec $B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |\Delta|^2$

$$C_2 = S_{22} - \Delta S_{11}^* \text{ et } \Delta = S_{11} S_{22} - S_{12} S_{21}$$

Nous avons regroupé dans le tableau [V.3] les valeurs des parties imaginaires et réelles des charges d'adaptation expérimentales (TAKAYAMA) et celles calculées à partir des $[S_{ij}]$.

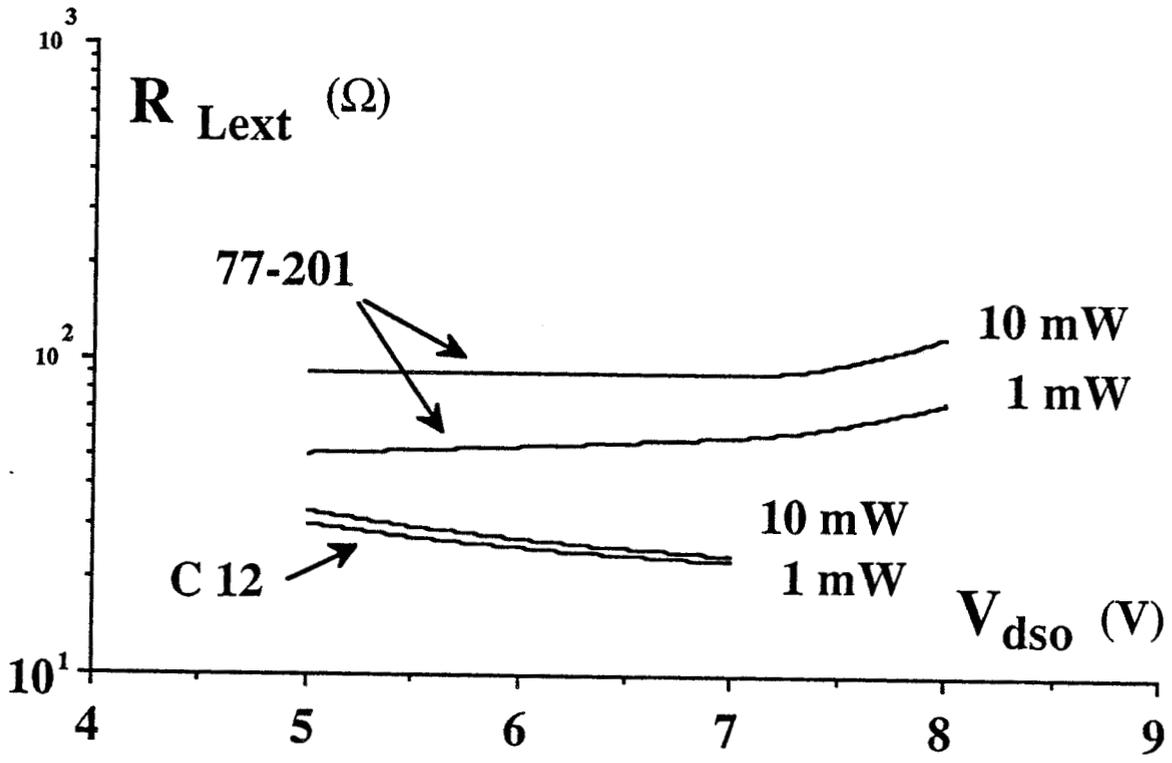


FIGURE [V.35]: Evolution de la partie réelle de l'impédance de charge en fonction de la tension V_{ds} pour deux transistors différents (77-201 et C12).

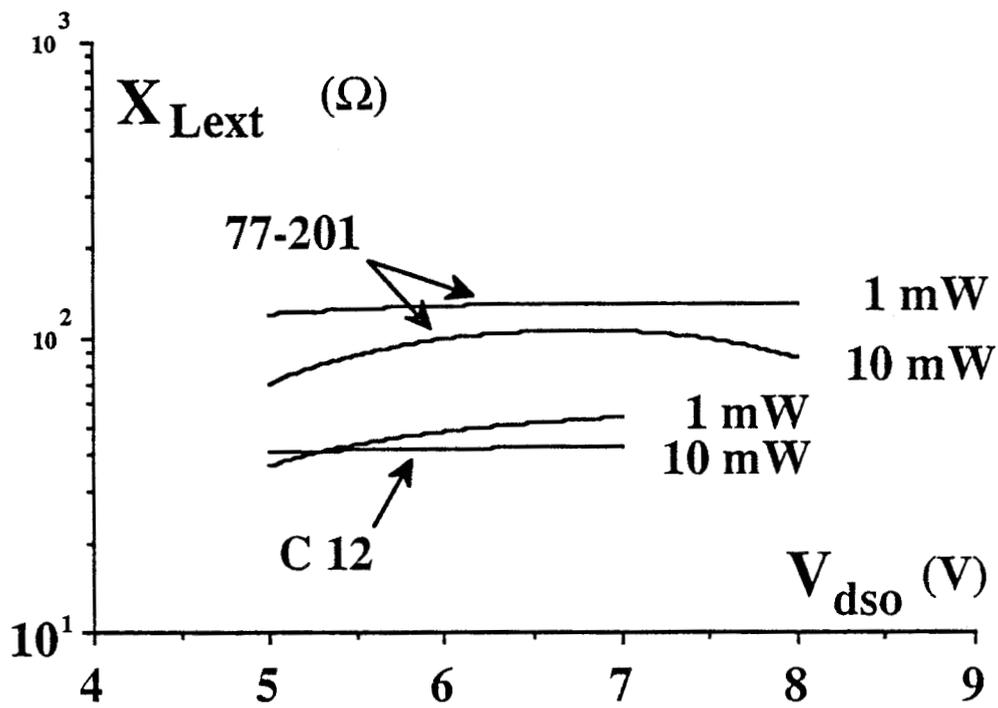


FIGURE [V.36]: Evolution de la partie imaginaire de l'impédance de charge en fonction de la tension V_{ds} pour deux transistors différents (77-201 et C12).

	$Z_{Lext} (\Omega)$
C12 TAKAYAMA	25+j36
C12 déduit des S_{ij}	30+j37
77-201 TAKAYAMA	50+j120
77-201 déduit des S_{ij}	30+j58

TABLEAU |V.4|: Valeurs des impédances de charge correspondant à celles mesurées par la méthode de charge active et à celles déduites des paramètres S.

On peut constater que l'accord est satisfaisant pour les deux paramètres $R_{L_{ext}}$ et $X_{L_{ext}}$ relatif au composant normally-on C12, ce qui n'est pas le cas pour le transistor normally-off 77-201 surtout pour $X_{L_{ext}}$. Ce désaccord est certainement dû à des problèmes expérimentaux.

Nous avons au cours de cette comparaison observé que la charge d'adaptation $Z_{L_{ext}}$ pour le transistor normally-off présentait une valeur plus élevée. Nous pouvons maintenant analyser à partir des ellipses de fonctionnement déduites de la charge $Z_{L_{ext}}$ l'influence des valeurs des parties résistives R_{ext} et réactives $X_{L_{ext}}$ sur les performances en amplification de puissance.

V.5.6. ELLIPSES DE FONCTIONNEMENT DANS LE PLAN $I_{ds}(V_{ds})$

La connaissance de la charge d'adaptation de sortie du transistor nous permet de tracer le diagramme de fonctionnement dans un repère $I_{ds}(V_{ds})$ [10]. En effet, si l'on exprime la tension et le courant par :

$$V_{ds} = V_{dso} + \Delta V_{ds} \cos \omega t$$

$$I_{ds} = I_{dso} + \Delta I_{ds} \cos (\omega t + \Phi)$$

I_{dso} , V_{dso} , Φ étant respectivement le courant drain, la tension drain-source de polarisation et Φ le déphasage entre le courant drain et la tension drain-source.

On peut alors écrire en posant $Z_{L_{ext}} = R_{L_{ext}} + X_{L_{ext}}$

$$\Delta I_{ds} = \sqrt{\frac{2P_s}{R_{L_{ext}}}}$$

$$\Delta V_{ds} = \Delta I_{ds} \times |Z_{L_{ext}}|$$

$$\Phi = \text{Arc tg} \left(\frac{X_{L_{ext}}}{R_{L_{ext}}} \right)$$

où p_s est la puissance fournie par le transistor à la charge à la fréquence fondamentale. Il est alors possible de représenter l'ellipse de fonctionnement dans le réseau $I_{ds}(V_{ds})$ à la fréquence fondamentale. L'angle d'inclinaison Θ du grand axe de cette ellipse par rapport à l'axe horizontal est alors donné par la relation suivante dans un repère orthonormé :

$$\Theta = \frac{1}{2} \arctg \left(\frac{2 R_{Lext}}{1 - (R_{Lext}^2 + X_{Lext}^2)} \right)$$

V.5.6.1. TRANSISTORS NORMALLY-ON

Nous avons représenté sur les figures [V.37] et [V.38] pour les transistors C11 et C12 à la fréquence de 10 GHz les ellipses de fonctionnement dans le plan des caractéristiques statiques $I_{ds}(V_{ds})$ pour deux puissances d'entrée de 1 mW et 10 mW.

On peut observer un comportement relativement similaire pour les deux composants à savoir des ellipses assez redressées dans le plan $I_{ds}(V_{ds})$, ce qui traduit un comportement plus réactif que résistif. Ce comportement réactif est préjudiciable pour la puissance car le composant n'utilise pas toute la possibilité d'excursion en tension du réseau $I_{ds}(V_{ds})$. On peut également remarquer que le courant de polarisation I_{ds0} commence par diminuer lorsque la puissance d'entrée passe de 1 à 10 mW puis ensuite croît avec le niveau de puissance.

On peut expliquer ce phénomène en remarquant que l'ellipse vient bloquer dans la partie basse des caractéristiques $I_{ds}(V_{ds})$ ce qui a pour conséquence un écrêtage de la tension et du courant. Cet écrêtage introduit une composante moyenne du courant, et fait remonter l'ellipse dans le réseau $I_{ds}(V_{ds})$. Il est important de noter que les ellipses représentées sur les fig. [V.37] et [V.38] sont "idéales" et ne contiennent pas les distorsions dues aux non-linéarités (écrêtage, dissymétrie dans le réseau $I_{ds}(V_{ds})$), puisque l'impédance mesurée sur le banc TAKAYAMA est une impédance moyenne d'adaptation à la fréquence de 10 GHz.

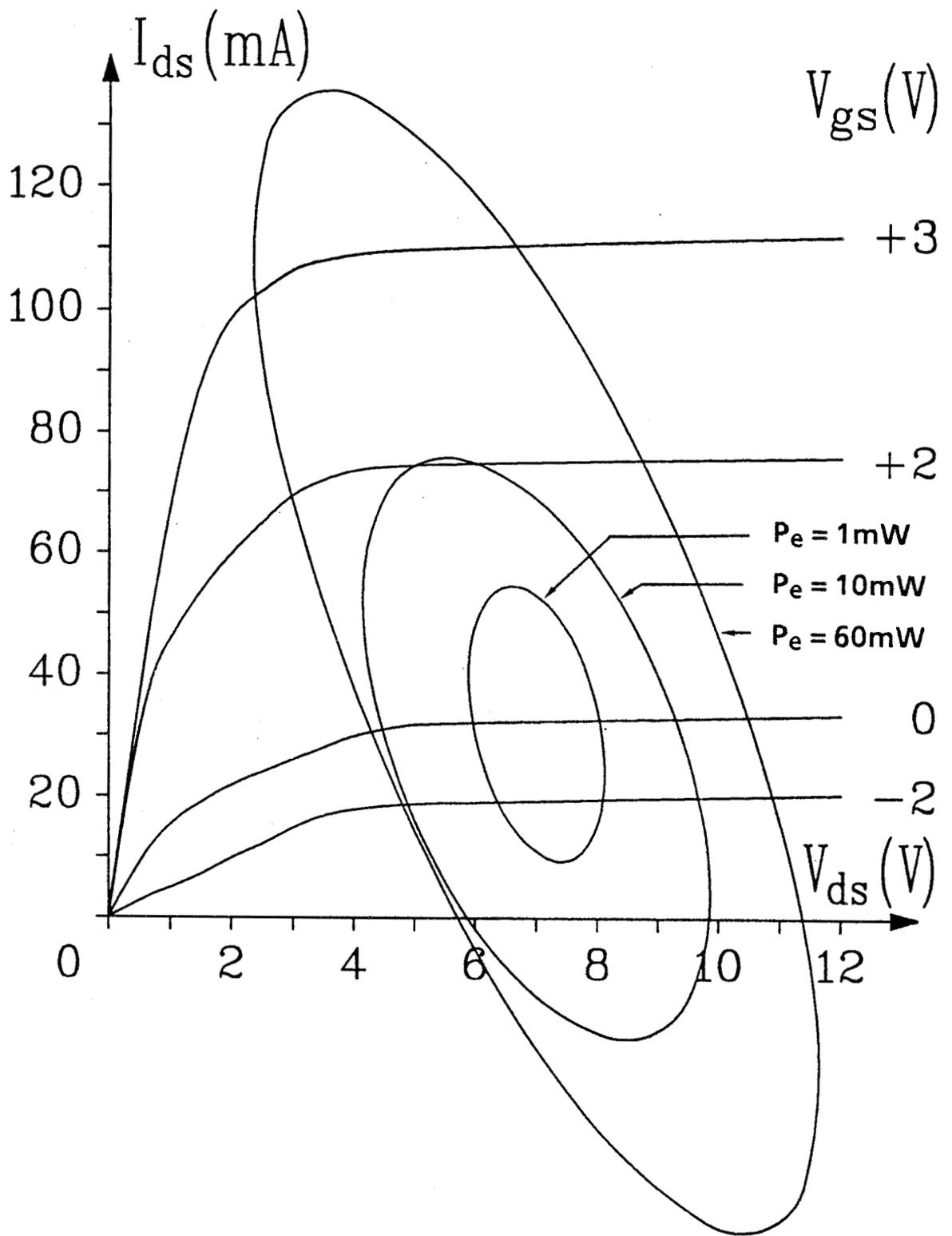


FIGURE [V.37]: Ellipses de fonctionnement à l'adaptation du MISFET InP C11 en fonction de la puissance d'entrée ($V_{dso} = 7$ V, $F = 10$ GHz).

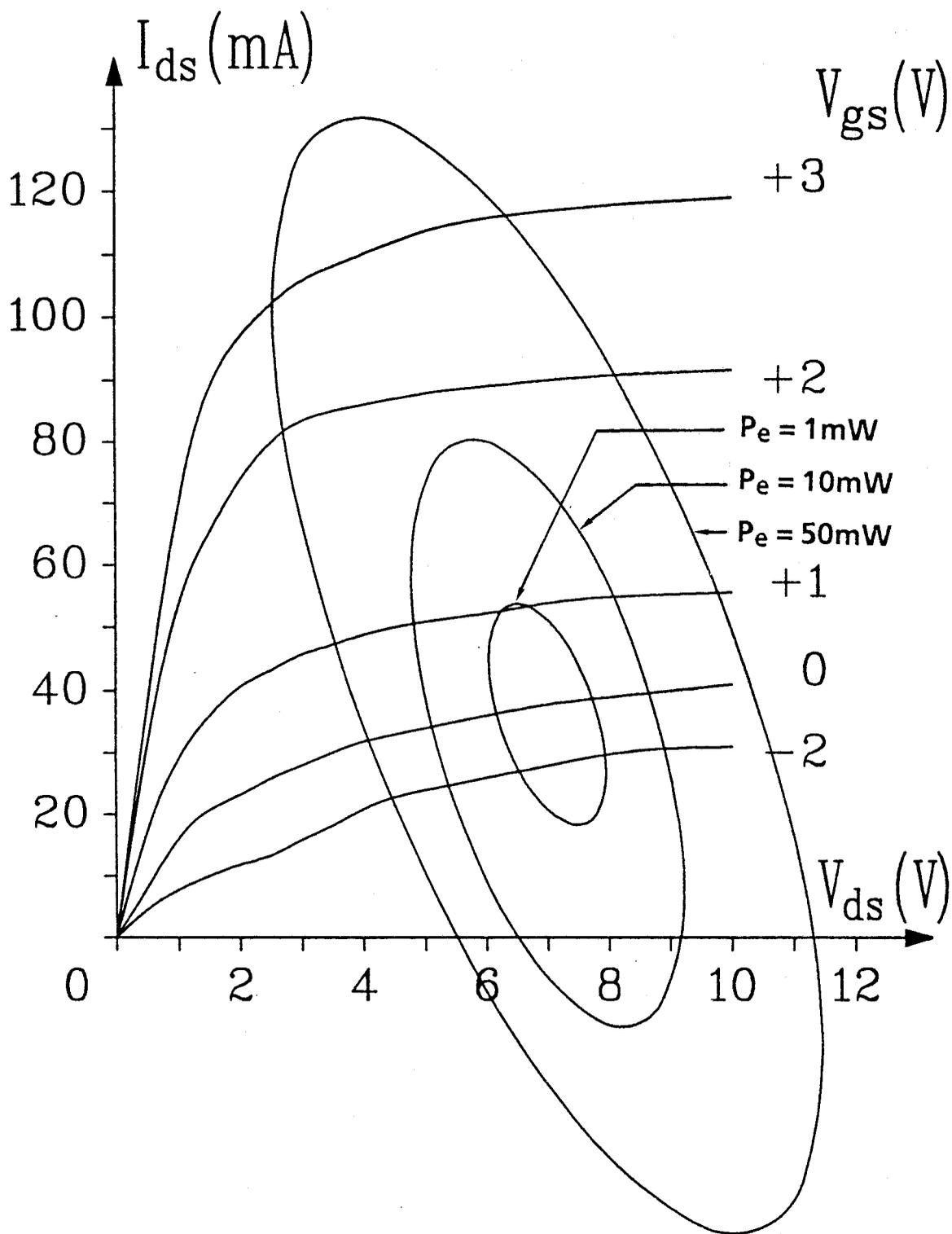


FIGURE |V.38| : Ellipses de fonctionnement à l'adaptation du MISFET InP C12 en fonction de la puissance d'entrée ($V_{dso} = 7V$, $F = 10$ GHz).

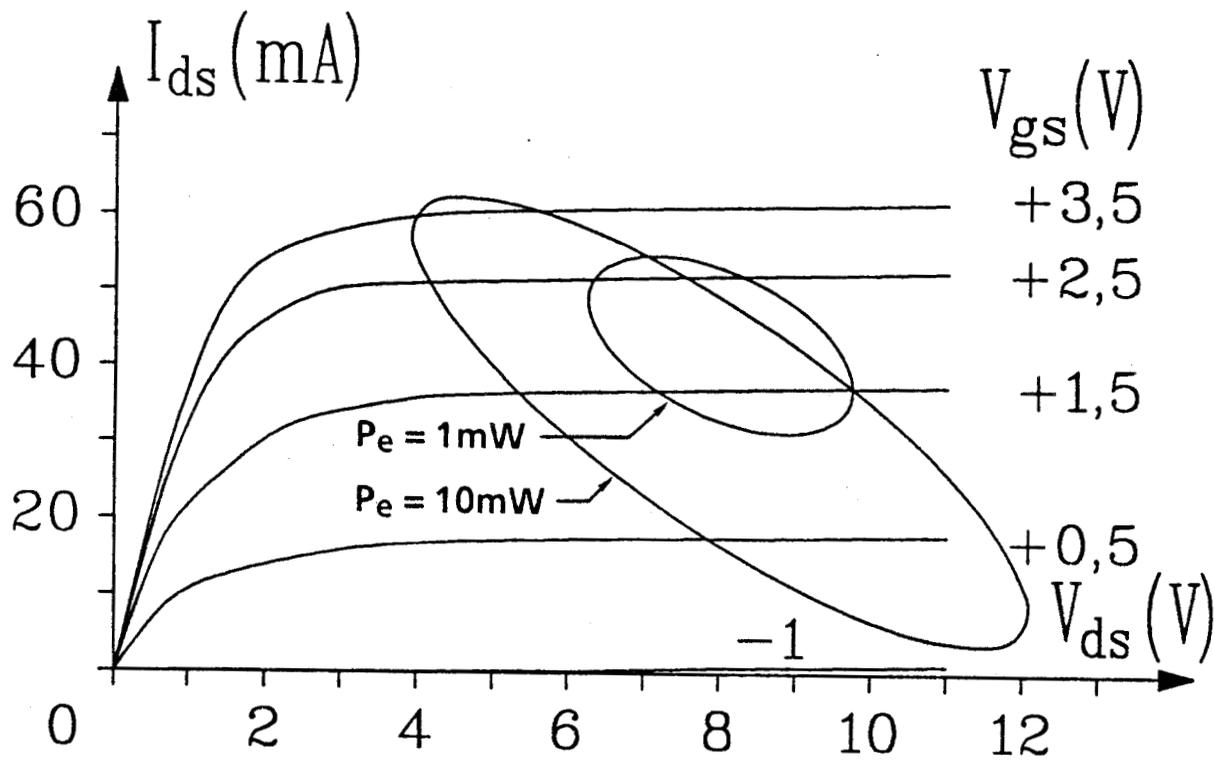


FIGURE [V.39]: Ellipses de fonctionnement à l'adaptation du MISFET InP 77-201 en fonction de la puissance d'entrée ($V_{dso} = 8V, F = 4 GHz$).

V.5.6.2. TRANSISTORS NORMALLY-OFF

Les figures [V.39] et [V.40] représentent les ellipses de fonctionnement pour deux puissances d'entrée de 1 mW et 10 mW obtenues sur les deux transistors normally-off 77-101 et 82-300 à la fréquence de 4 GHz. On peut remarquer que l'inclinaison des ellipses est nettement plus marquée pour ces composants comparativement à celles relevées pour les transistors de type normally-on dans le paragraphe précédent. Ce comportement est une conséquence des valeurs plus élevées des parties résistives de la charge d'adaptation, il en résulte une meilleure utilisation du réseau en tension. Les performances en puissance sont dans ce cas assez intéressantes mais elles restent pénalisées par les faibles valeurs du courant drain pour ce type de transistor.

· On peut observer d'autre part que la polarisation de drain V_{ds0} joue un rôle important dans l'orientation du grand axe de l'ellipse fig. [V.41]. Pour une tension V_{ds0} faible le grand axe et par suite l'ellipse sont limités par la tension de déchet du transistor. Par contre, lorsque V_{ds0} est plus élevé, l'ellipse vient bloquer au niveau de la tension de claquage. L'augmentation de la polarisation V_{ds0} entraîne également une inclinaison croissante de l'axe de l'ellipse ce qui contribue à une meilleure utilisation du réseau $I_{ds} = f(V_{ds})$.

La comparaison des ellipses de fonctionnement des transistors normally-on et normally-off effectuée dans ce chapitre fait apparaître que les transistors à canal dopé présentent a priori un comportement plus réactif que résistif par rapport aux composants à canal non dopé. Il faut néanmoins préciser que cet effet doit être dû à une conductance de fuite parallèle liée à une mauvaise implantation du canal et en conséquence n'est pas propre à ce type de composant. Des progrès technologiques doivent permettre de remédier à ce problème et d'obtenir une ellipse de fonctionnement proche de celles relevées pour les transistors de type normally-off qui utilisent la tension de claquage élevée spécifique au MISFET InP.

CONCLUSION

Dans ce chapitre, nous avons décrit les principaux résultats expérimentaux obtenus sur quelques séries de MISFET InP. Les particularités de la structure étudiée nous ont amené à établir une méthode originale de

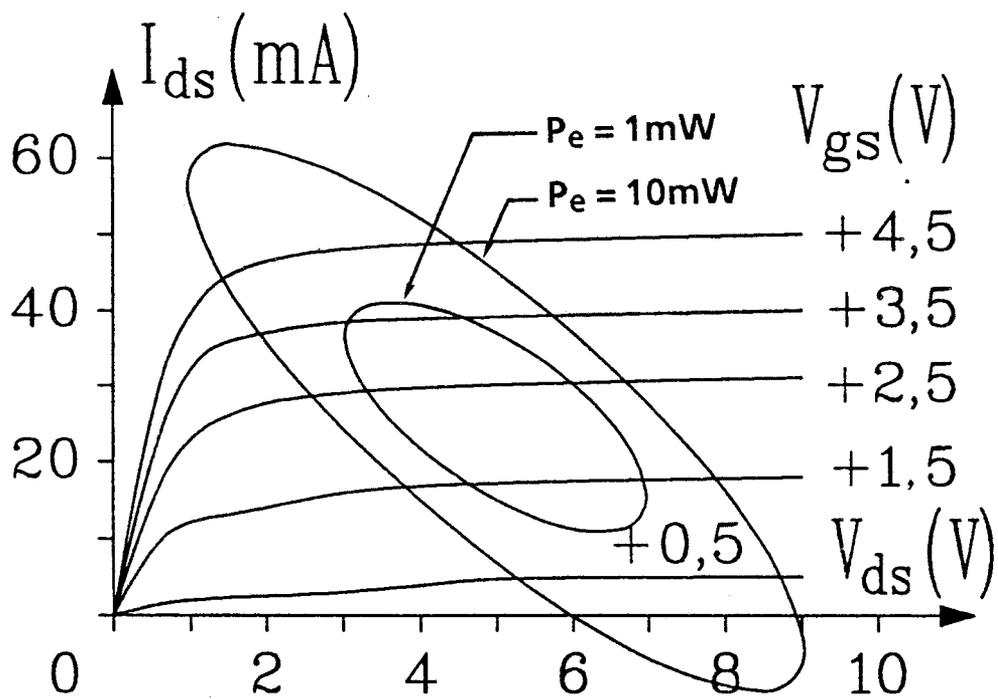


FIGURE [V.40]: Ellipses de fonctionnement à l'adaptation du MISFET InP 82-300 en fonction de la puissance d'entrée ($V_{dso} = 5V$, $F = 4$ GHz).

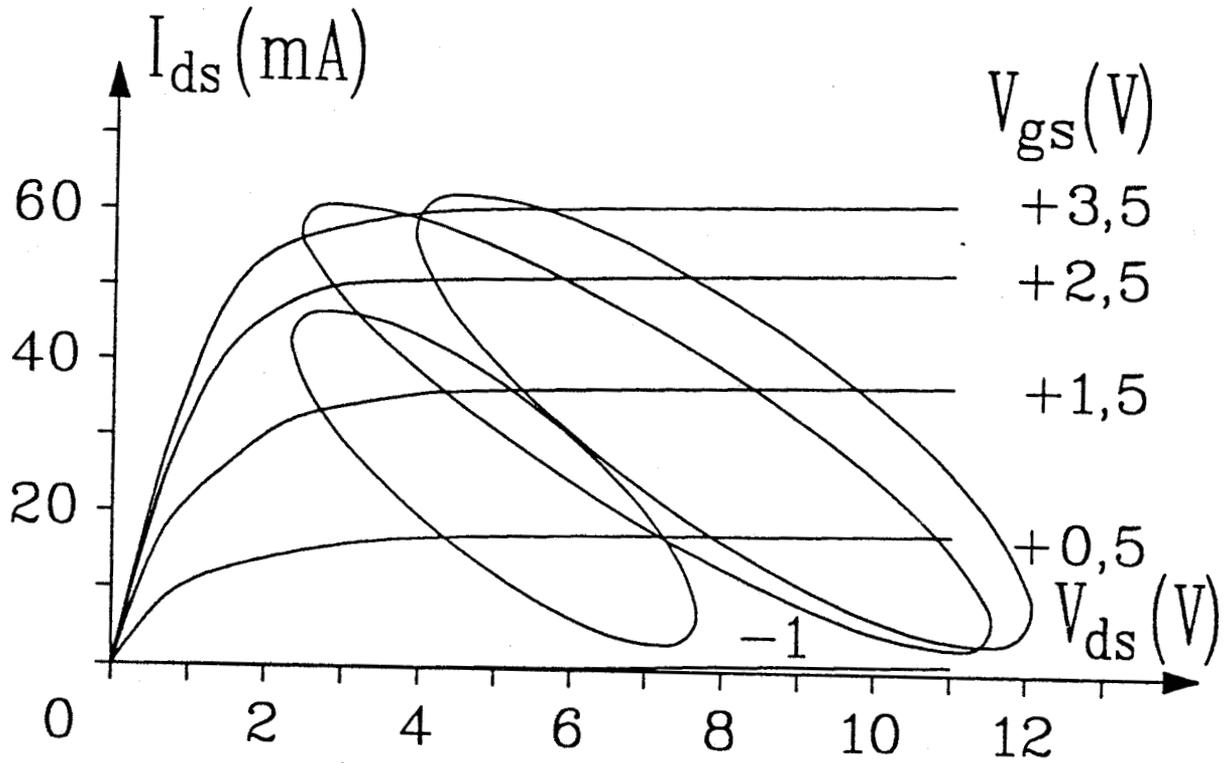


FIGURE [V.41]: Ellipses de fonctionnement à l'adaptation du MISFET InP 77-201 pour trois polarisations V_{dso} avec la même puissance d'entrée (10 mW).

caractérisation permettant de déterminer le schéma équivalent complet petit signal des transistors de type normally-on ou normally-off. Les résultats obtenus qui constituent une étude préliminaire sur des composants non optimisés pour l'amplification de puissance sont cependant très encourageants à l'image d'une puissance de 500 mW/mm obtenue à la fréquence de 10 GHz avec un gain de 4 dB.

Les caractérisations et mesures effectuées sur différentes séries de composants nous ont permis de mettre en évidence les progrès technologiques réalisés par le CNET Bagneux en particulier en ce qui concerne les capacités de bords (recouvrement par l'isolant) la longueur de grille et les résistances d'accès (structure recess). Néanmoins, des problèmes d'ordre technologique subsistent à l'heure actuelle concernant la dérive en courant et les instabilités des transistors (reproductibilité des mesures) ainsi que l'implantation (conductance parallèle de fuite et mauvais pincement) pour les composants à canal dopé.

Les résultats de puissance mettent en évidence que les structures à canal dopé constituent celles qui sont les mieux adaptées pour l'amplification de puissance grâce à l'obtention d'un courant drain plus élevé et à la possibilité de fonctionner en régimes de désertion et d'accumulation. Les améliorations possibles en vue d'augmenter les puissances obtenues et de monter en fréquence sont d'une part l'augmentation des dopages et épaisseur de la zone active qui restent faibles pour les structures mesurées et d'autre part une diminution de la longueur de grille qui demeure importante dans notre cas. Ces améliorations qui semblent réalistes doivent permettre la réalisation de transistors MISFET InP performants.

BIBLIOGRAPHIE

- [1] "Ion implanted InP MISFET's with low drain current drift
G. POST, P. DIMITRIOU, A. FALCOU, N. DUHAMEL and G. HERMANT
Journal de Physique, Colloque C4, Supplément au n° 9, Tome 49, Sept. 88.
- [2] "Caractérisation de structures MIS sur InP par méthodes électriques et par ellipsométrie spectroscopique. Application au transistor à effet de champ".
Thèse de l'Université, J.P. PIEL, Caen, 21 septembre 1987.
- [3] "Simulation bidimensionnelle du transistor à effet de champ AsGa à grille submicronique : application à l'optimisation des composants faible bruit"
Thèse de l'Université, F. HELIODORE, Lille, 2 avril 1987.
- [4] "Magnétorésistance mobility profiling of MESFET channels
IEEE, Trans. Electron Devices, Vol. 27, n° 12, p. 2277, 1980.
- [5] "Propriétés physiques et performances potentielles des composants submicroniques à effet de champ : structures conventionnelles et à gaz d'électrons bidimensionnels"
Thèse d'état, A. CAPPY, Lille, 19 décembre 1986.
- [6] "Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent"
Thèse de l'Université, G. DAMBRINE, Lille, 3 mars 1989.
- [7] "Etude théorique et expérimentale du transistor à effet de champ à hétérojonction AlGaAs/GaAs
Thèse de 3e cycle, C. VERSNAEYEN, Lille, 9 juillet 1985.
- [8] "Etude théorique et expérimentale de divers fonctionnements en amplification de puissance du transistor à effet de champ bigrille à arséniure de gallium"
Thèse de 3e cycle, J. WIRWINSKI, Lille, 27 novembre 1986.
- [9] "A new load-pull characterization method for microwave power transistors"
Y. TAKAYAMA.
IEEE Trans. MTT, Vol. 28, n° 11, 1980, p 1157.
- [10] "Modélisation et analyse physique du fonctionnement en amplification hyperfréquence du transistor à effet de champ à arséniure de gallium"
Thèse de 3e cycle, G. HALKIAS, Lille, 4 juillet 1985.

CONCLUSION

L'objectif de ce travail était d'établir les potentialités de la structure MISFET InP pour les applications de puissance hyperfréquence. Dans ce but, nous avons développé une étude théorique et effectué une analyse expérimentale que l'on peut qualifier de préliminaire sur des transistors dont les caractéristiques étaient mal optimisées pour la puissance.

En ce qui concerne les modèles que nous avons mis au point, ceux-ci tiennent compte des principaux phénomènes physiques qui interviennent dans la structure mais sont suffisamment simples pour pouvoir être adaptés et utilisés dans de nombreuses conditions afin d'établir une optimisation des paramètres. Le premier modèle bidimensionnel basé sur la résolution de l'équation de Poisson non-linéaire sans courant a permis de mettre en évidence l'excellente tenue en tension du MISFET InP au pincement par rapport aux structures MESFET et TEGFET ce qui constitue le premier avantage de la structure étudiée. Le second modèle pseudo-bidimensionnel qui tient compte en particulier de la dynamique non stationnaire des porteurs représente un outil particulièrement bien adapté aux spécificités de la structure MIS dans la mesure où il rend possible l'étude des différents types de fonctionnement. Il permet d'analyser le comportement physique du transistor, de déduire le courant drain maximum qu'il peut fournir ainsi que les paramètres du schéma équivalent et les propriétés hyperfréquences.

Les résultats de l'étude théorique montrent clairement que le MISFET InP constitue un composant de choix pour l'amplification de puissance. On peut en effet obtenir un courant drain maximum élevé grâce à la possibilité de fonctionnement en régime d'accumulation et une tension de claquage importante, conséquence de la présence de la zone d'isolant. Nous avons réalisé l'optimisation du transistor pour l'amplification de puissance. Si la transconductance de ce type de composant s'avère plus faible que celle d'autres structures, nous avons pu cependant établir que les propriétés hyperfréquences restaient intéressantes : pour une structure ayant une longueur de grille de $0,5 \mu\text{m}$ il est en effet possible d'obtenir une fréquence de coupure de plus de 60 GHz associée à un MAG de 12 dB à 15 GHz.

L'étude expérimentale des structures élaborées par le CNET Bagnoux a permis de mettre au point une méthode originale de caractérisation complète du transistor. D'autre part, la détermination du schéma équivalent pour différents types de structures a mis en évidence les progrès technologiques obtenus sur les dernières séries. Les mesures de puissance réalisées sur un banc à charge active ont par ailleurs montré que l'on pouvait obtenir des résultats prometteurs en puissance sur des structures non optimisées pour ce type de fonctionnement : une puissance de 500 mW/mm associée à un gain de 5 dB à la fréquence de 10 GHz. L'amélioration des performances et l'optimisation du composant nécessitent d'autre part une diminution des longueurs de grille et une augmentation du dopage de la zone active.

Cependant, si les résultats obtenus s'avèrent très encourageants pour les applications de puissance, il reste néanmoins des progrès à réaliser au niveau de l'élaboration technologique pour espérer un développement industriel du MISFET InP. Le problème principal du composant reste la dérive du courant drain liée à des densités d'états d'interface élevées. Les solutions proposées à l'heure actuelle pour diminuer cette dérive (décapage de la surface du semiconducteur InP avant le dépôt d'isolant, oxydation native) ne sont pas véritablement parvenues à réduire celle-ci, bien que des améliorations significatives aient pu être obtenues.

Il est également possible d'envisager des structures voisines de celles du MISFET InP qui peuvent être facilement analysées à partir des modèles que nous avons élaborés. On peut en particulier substituer à l'InP un matériau possédant des propriétés de transport plus attractives afin d'améliorer les performances. Une structure intéressante dans ce domaine est le MISFET GaInAs dont les premières réalisations ont montré des résultats attractifs surtout en ce qui concerne la montée en fréquence et la transconductance avec cependant une pénalisation au niveau de la tension de claquage consécutive à l'utilisation du matériau GaInAs.

ANNEXES

ANNEXE I

CALCUL DE LA PERMITTIVITE DIELECTRIQUE DANS LA ZONE DE TRANSITION

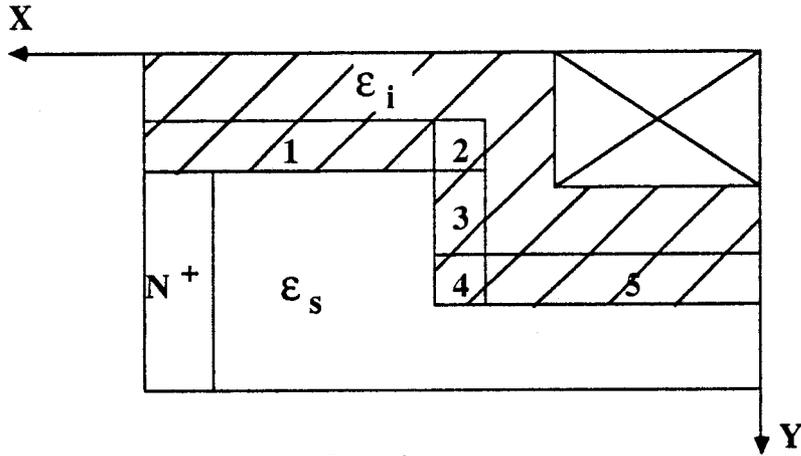


Fig. 1

Nous avons représenté sur la Fig. 1 une vue partielle du demi-composant, comportant un recess de grille. Le problème posé est de passer de la région isolante à la région semiconductrice en évitant une discontinuité brutale de la permittivité diélectrique. Pour cela nous avons divisé la zone de transition volontairement agrandie sur la Fig. 1 en 5 régions numérotées de 1 à 5. Il est à remarquer que dans la zone de transition le pas est beaucoup plus faible que dans le reste du composant, dû à la faible épaisseur de cette zone.

La permittivité diélectrique dans les zones numérotées 1 et 5 ne dépend que de y , la région 3 que de x . Nous avons choisi dans ces zones qui ne posent pas de problème particulier, une transition linéaire Fig. 2. Pour les régions 2 et 4 qui sont fonction de x et de y , le remplissage s'effectue de la manière suivante. Après avoir rempli au préalable les zones 1, 3, 5 nous reportons les valeurs de la permittivité diélectrique suivant x et y des zones adjacentes. Le remplissage se fait donc symétriquement par rapport à la diagonale comme le montre la figure 3.

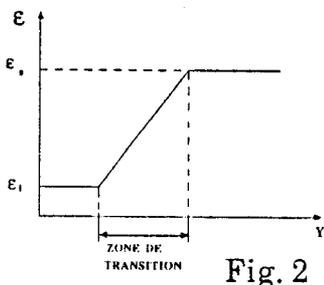


Fig. 2

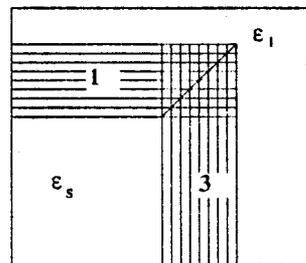


Fig. 3

ANNEXE II

**RESOLUTION NUMERIQUE
DE L'EQUATION DE POISSON ET DU COURANT
PAR LA METHODE DE SURRELAXATION ITERATIVE**

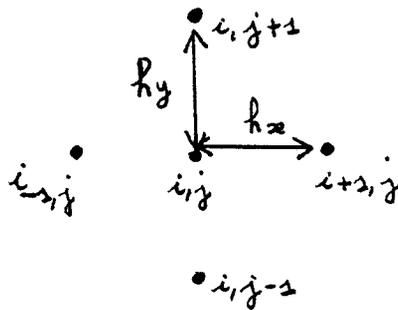
1) Equation discrétisée dans l'isolant

$$\frac{d^2 \phi'}{dx'^2} + \frac{d^2 \phi'}{dy'^2} + \frac{1}{\varepsilon} \frac{d\varepsilon}{dy'} \frac{d\phi'}{dy'} + \frac{1}{\varepsilon} \frac{d\varepsilon}{dx'} \frac{d\phi'}{dx'} = 2\beta$$

Le développement en série de Taylor à l'ordre deux en (x_0, y_0) de $\Phi(x, y)$ s'écrit :

$$\begin{aligned} \phi'(x', y') &= \phi'(x_0, y_0) + \left[(x' - x_0) \frac{d\phi'}{dx'} + (y' - y_0) \frac{d\phi'}{dy'} \right] \\ &+ \frac{1}{2} \left[(x' - x_0)^2 \frac{d^2 \phi'}{dx'^2} + 2(x' - x_0)(y' - y_0) \frac{d\phi'}{dx'} \frac{d\phi'}{dy'} + (y' - y_0)^2 \frac{d^2 \phi'}{dy'^2} \right] \end{aligned}$$

si on applique cette formule aux quatre points du maillage défini ci-dessous on peut écrire l'équation dans l'isolant sous la forme discrétisée suivante :



$$\begin{aligned} (1). \quad \phi'_{ij} &= \frac{1}{2(h_x^2 + h_y^2)} \left[h_y^2 (\phi'_{i+1, j} + \phi'_{i-1, j}) + h_x^2 (\phi'_{i, j+1} + \phi'_{i, j-1}) + \right. \\ &\frac{h_x^2}{4} \left(\frac{\varepsilon_{i, j+1} - \varepsilon_{i, j-1}}{\varepsilon_{ij}} \right) (\phi'_{i, j+1} - \phi'_{i, j-1}) + \frac{h_y^2}{4} \left(\frac{\varepsilon_{i+1, j} - \varepsilon_{i-1, j}}{\varepsilon_{ij}} \right) \times \\ &\left. (\phi'_{i+1, j} - \phi'_{i-1, j}) \right] - \beta(i, j) \frac{h_x^2 h_y^2}{h_x^2 + h_y^2} \end{aligned}$$

2) Equation discrétisée dans le semiconducteur

$$\frac{d^2\phi'}{dx'^2} + \frac{d^2\phi'}{dy'^2} = 2 \left[\alpha(x,y) - \exp(\phi' - \phi_0) \right]$$

nous discrétisons cette équation de la même façon que précédemment dans l'isolant :

$$(2) \quad \phi_{i,j} - e^{-\phi_0} \frac{h_x^2 h_y^2}{h_x^2 + h_y^2} = \frac{1}{2(h_x^2 + h_y^2)} \left[h_y^2 (\phi_{i+2,j} + \phi_{i-2,j}) + h_x^2 (\phi_{i,j+2} + \phi_{i,j-2}) \right] - \beta(i,j) \frac{h_x^2 h_y^2}{h_x^2 + h_y^2}$$

La résolution numérique de ces équations est obtenue par une méthode de surrelaxation itérative.

L'équation à résoudre dépend du milieu considéré dans la structure.

Une première initialisation du potentiel $\Phi^{(0)}_{i,j}$ est effectuée dans tout le composant. Ensuite, on applique la relation de récurrence à chaque itération : dans l'isolant :

$$\begin{aligned} \bar{\Phi}_{(i,j)}^{(n+1)} &= \frac{1}{2(h_x^2 + h_y^2)} \left[h_y^2 (\phi_{i+2,j}^{(n)} + \phi_{i-2,j}^{(n)}) + h_x^2 (\phi_{i,j+2}^{(n)} + \phi_{i,j-2}^{(n)}) + \frac{h_x^2}{4} \left(\frac{\epsilon_{i,j+1} - \epsilon_{i,j-1}}{\epsilon_{i,j}} \right) \right. \\ &\quad \left. (\phi_{i,j+2}^{(n)} - \phi_{i,j-2}^{(n)}) + \frac{h_y^2}{4} \left(\frac{\epsilon_{i+2,j} - \epsilon_{i-2,j}}{\epsilon_{i,j}} \right) \times (\phi_{i+2,j}^{(n)} - \phi_{i-2,j}^{(n)}) \right] - \beta(i,j) \frac{h_x^2 h_y^2}{h_x^2 + h_y^2} \\ \phi^{n+1}(i,j) &= \omega \bar{\Phi}_{(i,j)}^{(n+1)} + (1-\omega) \phi^n(i,j) \end{aligned}$$

avec ω le paramètre d'accélération de la convergence.

$$\omega = 1 + \sigma^2 / \left[1 + \sqrt{(1-\sigma^2)} \right]^2$$

$$\sigma = \frac{1}{2} \left[\cos\left(\frac{\pi}{N}\right) + \cos\left(\frac{\pi}{M}\right) \right]$$

M et N représentent les points extrêmes de la structure.

Dans le semiconducteur :

L'équation (2) est une équation transcendante. Dans ce cas nous procédons de la manière suivante :

$$\bar{\phi}_{(i,j)}^{(n+1)} - e^{-\omega} \bar{\phi}_{(i,j)}^{(n+1)} \frac{h_x^2 h_y^2}{h_x^2 + h_y^2} = \frac{1}{2(h_x^2 + h_y^2)} \left[h_y^2 (\phi_{(i+1,j)}^{(n)} + \phi_{(i-1,j)}^{(n)}) + h_x^2 (\phi_{(i,j+1)}^{(n)} + \phi_{(i,j-1)}^{(n)}) \right] - d(i,j) \frac{h_x^2 h_y^2}{h_x^2 + h_y^2}$$

cette équation est résolue par la méthode numérique de Newton Raphson et nous permet de calculer $\bar{\phi}_{(i,j)}^{(n+1)}$. Après quoi nous procédons de la même manière que précédemment en appliquant la relation.

$$\phi^{n+1}(i,j) = \omega \bar{\phi}_{(i,j)}^{(n+1)} + (1-\omega) \phi^{(n)}(i,j)$$

On réitère le processus dans toute la structure jusqu'à atteindre la précision définie selon la formule suivante :

$$\text{delta} = \frac{\sqrt{\sum_i \sum_j |\phi_{(i,j)}^{(n+1)} - \phi_{(i,j)}^{(n)}|^2}}{|\phi_0| \sqrt{(MN + M + N)}}$$

dans la pratique delta est pris égal à 10^{-6} .

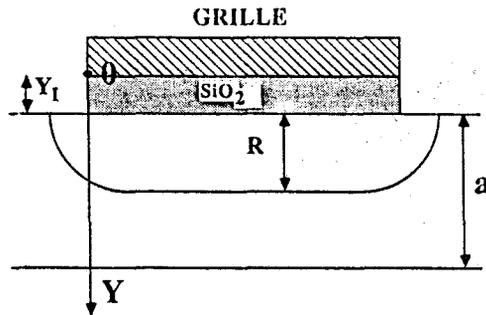
où A'D' est la partie décimale de $d_{j+1}/h_x(i)$. La distance A'C' que l'on calcule par la relation dans le triangle rectangle (A' B' C').

$$A'C' = h_y(j) \sqrt{\left(E_j^i / E_j^j\right)^2 + 1}$$

représente l'abscisse curviligne nous permettant de calculer l'intégrale d'ionisation le long de la ligne de champ électrique. On peut remarquer que lorsque A'C' devient très grand les erreurs commises sur la position du champ et les composantes sont très importantes. Cet inconvénient est évité en utilisant dès que l'angle Θ est supérieur à 45° non plus l'intersection avec les lignes horizontales du réseau mais les lignes verticales. Les relations utilisées restent analogues à celles décrites précédemment. Il faut aussi remarquer la difficulté supplémentaire que constitue le pas variable, en effet lorsque l'on cherche l'intersection avec par exemple une ligne verticale, la distance verticale d_{i+1} peut couper plusieurs droites horizontales si le pas vertical devient beaucoup plus faible. Dans ce cas, un processus itératif dans notre programme permet de sélectionner une ligne correspondant à une abscisse curviligne A'C' acceptable.

ANNEXE IV

CALCUL DE LA ZONE DESERTEE UNIDIMENSIONNELLE



Pour déterminer l'épaisseur de la zone désertée R on utilise l'équation de Poisson unidimensionnelle suivant Oy .

$$\frac{dE}{dy} = \frac{qN_d}{\epsilon_s}$$

où E est le champ électrique en un point y de coordonnée
 N_d est le dopage de la zone active
 ϵ_s est la constante diélectrique du semiconducteur.

Cette équation peut s'écrire suivant les différentes zones :

pour $0 < y < y_1$ $dE/dy = 0 \Rightarrow E = \text{cste} = E_i$ (pas de charge dans l'isolant).

pour $y_1 < y < R$ $E = -\frac{qN_d}{\epsilon_s} y + C_1$

en appliquant la condition $E = 0$ en $y = y_d$ on peut déterminer C_1

d'où $E = \frac{qN_d(R-y)}{\epsilon_s}$

le champ dans l'isolant est constant, et peut se calculer facilement en $y = y_1$ par continuité du vecteur excitation électrique à l'interface.

On obtient $E_i = E_s \times \frac{\epsilon_s}{\epsilon_i} = \frac{qN_d(R-y_1)}{\epsilon_i}$

avec $E_s = \frac{qN_d(R-y_1)}{\epsilon_s}$

On peut ensuite calculer le potentiel en utilisant la relation classique $E = -dV/dy$

pour $0 < y < y_I$ (1) $V = \frac{q N_d (R - y_I) y}{\epsilon} + C_2$

$y_I < y < R$ (2) $V = \frac{q N_d (R y - \frac{y^2}{2})}{\epsilon_s} + C_3$

En appliquant la condition de continuité en $y = y_I$ on peut calculer C_2 en fonction de C_3 .

Le calcul de la chute de potentiel entre la grille et un point du canal (le canal étant défini comme étant la zone où $E = 0$) est alors possible :

$$V_{gc} = V(0) - V(R)$$

d'où en utilisant les équations (1) et (2)

$$(3) \quad V_{gc} = -q N_d \left[\frac{(R - y_I)^2}{2\epsilon_s} + \frac{(R - y_I)y_I}{\epsilon_I} \right]$$

on peut définir la tension de pincement $W_{00} = q N_d a \left[\frac{y_I}{\epsilon_I} + \frac{a}{2\epsilon_s} \right]$

L'équation (3) nous permet de calculer la tension en fonction de l'épaisseur de la zone désertée mais il est également intéressant d'exprimer l'épaisseur de la zone désertée en fonction de la polarisation de grille ; Pour cela nous reprenons l'équation précédente que nous mettons sous une forme plus appropriée :

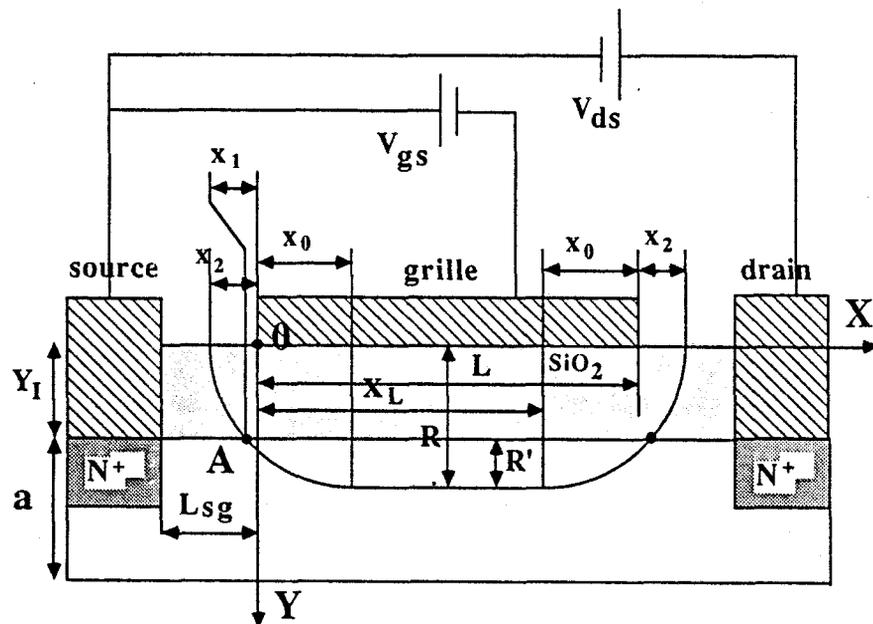
$$\frac{q N_d}{2\epsilon_s} R^2 + q N_d y_I \left[\frac{1}{\epsilon_I} - \frac{1}{\epsilon_s} \right] R + q N_d y_I^2 \left[\frac{1}{2\epsilon_s} - \frac{1}{\epsilon_I} \right] - V_{gc} = 0$$

La racine positive de cette équation du second degré en R nous permet d'exprimer la zone désertée en fonction de V_{gc} . On aboutit finalement à l'équation suivante :

$$R = y_I \left[1 - \frac{\epsilon_s}{\epsilon_I} \right] + \sqrt{\left(\frac{\epsilon_s y_I}{\epsilon_I} \right)^2 + \frac{2 V_{gc} \epsilon_s}{q N_d}}$$

ANNEXE V

EXPRESSIONS DES ELLIPSES DE ZONE DESERTEE



I. CALCUL DE LA ZONE DESERTEE R TENANT COMPTE DE LA RESISTANCE DE SOURCE

Le calcul de la zone désertée au milieu de la grille a été réalisé dans l'annexe IV sans tenir compte de la chute de tension dans cette zone puisque ce calcul était effectué en configuration diode. Nous allons maintenant développer le calcul de cette zone désertée R en configuration transistor. Pour cela nous reprenons l'expression établie dans l'annexe IV en posant

$$V_{gc} = V_{gs} + e_s [L_{sg} - A_2 R]$$

avec

$$\begin{aligned} x_0 &= A_0 R & A_0 &\neq 0,5 \\ x_1 &= A_1 R & A_1 &\neq 0,56 \end{aligned}$$

et e_s le champ au point A suivant l'axe 0x supposé connu.

on aboutit à la relation suivante :

$$R = y_I - y_I \frac{\epsilon_s}{\epsilon_I} + \sqrt{\left(\frac{\epsilon_s y_I}{\epsilon_I}\right)^2 + \frac{2 \epsilon_s}{q N_d} \left[V_{gs} + e_s (L_{sg} - A_2 R) \right]}$$

Notre problème est de calculer la zone désertée R sous la grille. Pour cela nous pouvons mettre cette équation sous la forme suivante :

$$R^2 + 2R \left[\frac{y_I \epsilon_s}{\epsilon_I} - y_I + \frac{\epsilon_s e_s A_2}{q N_d} \right] + y_I^2 - 2 y_I^2 \frac{\epsilon_s}{\epsilon_I} - \frac{2 \epsilon_s}{q N_d} (V_{gs} + e_s L_{sg}) = 0$$

La résolution de cette équation du second degré nous permet de calculer R, on obtient :

$$R = y_I - y_I \frac{\epsilon_s}{\epsilon_I} - \frac{\epsilon_s e_s A_2}{q N_d} + \sqrt{\left(\frac{y_I \epsilon_s}{\epsilon_I} + \frac{\epsilon_s e_s A_2}{q N_d} \right)^2 + \frac{2 \epsilon_s}{q N_d} (V_{gs} + e_s L_{sg} - y_I \epsilon_s A_2)}$$

avec Δ' toujours positif puisque $\frac{2 \epsilon_s e_s A_2}{q N_d} \left(\frac{\epsilon_s}{\epsilon_I} - 1 \right)$ est supérieur à zéro.

II. CALCUL DES COEFFICIENTS DES ELLIPSES DE SOURCE ET DE DRAIN

1) Côté source

Nous pouvons exprimer la forme elliptique de la zone désertée côté source par l'équation suivante :

$$(1) \quad \frac{x - x_0}{(A_0 + A_2)^2 R^2} + \frac{y^2}{R^2} = 1$$

Les coefficients A_0 et A_1 sont supposés connus à partir de notre modélisation bidimensionnelle. Le problème posé est donc de calculer la valeur du paramètre A_2 .

Calcul de A_2

Le calcul de A_2 peut être réalisé en considérant la condition suivante : en $y = y_1$, $x = -A_1R$.

En appliquant cette condition à l'équation (1) on aboutit à l'équation du second degré suivante :

$$A_2^2 + 2A_0A_2 + A_0^2 - \frac{(A_0 + A_1)^2 R^2}{R^2 - y_1^2} = 0$$

La racine positive de cette équation nous donne le paramètre A_2 .

$$A_2 = -A_0 + \frac{(A_0 + A_1)R}{\sqrt{R^2 - y_1^2}}$$

L'ellipse du côté source est alors complètement déterminée. La hauteur de la zone désertée dans la région elliptique au point d'abscisse x est donnée par :

$$y = R \sqrt{1 - \frac{(x - x_0)^2}{(A_0 + A_2)^2 R^2}}$$

2) Côté drain

Nous pouvons exprimer l'ellipse côté drain par la relation suivante :

$$(2) \quad \frac{x - x_L}{(A_0 + A_2)^2 R^2} + \frac{y^2}{R^2} = 1$$

Le calcul de A_2 est analogue au côté source en prenant comme condition en $y = y_1$, $x = L + A_1R$ où L est la longueur de grille.

On obtient une expression de A_2 côté drain identique à celle côté source et finalement pour la hauteur de la zone désertée dans la région elliptique au point x la relation suivante :

$$y = R \sqrt{1 - \frac{(x - x_L)^2}{(A_0 + A_2)^2 R^2}}$$

ANNEXE VI

CALCUL DE LA COMMANDE DE CHARGE $n_s = f(V_{gc})$

I. DETERMINATION DU CHAMP ELECTRIQUE A L'INTERFACE ISOLANT-SEMICONDUCTEUR

Pour effectuer ce calcul le point de départ est constitué par le système d'équations suivant [17]:

$$(1) \quad \frac{d^2 V}{dy^2} = - \frac{q}{\epsilon_s} [N_d - n]$$

$$(2) \quad V = \frac{kT}{q} \text{Log} \left(\frac{n}{n_i} \right)$$

où N_d est le dopage du semiconducteur
 V est le potentiel électrostatique local.
 n et p sont les densités des électrons et des trous.
 n_i est la densité intrinsèque de porteurs.

en dérivant l'équation (2) par rapport à y , on obtient :

$$(3) \quad \frac{dV}{dy} = \frac{kT}{qn} \frac{dn}{dy}$$

en multipliant l'équation (1) de chaque côté par $2 dV/dy$ on aboutit à :

$$2 \frac{dV}{dy} \frac{d^2 V}{dy^2} = - \frac{2q}{\epsilon_s} [N_d - n] \frac{dV}{dy}$$

soit

$$\frac{d}{dy} \left(\frac{dV}{dy} \right)^2 = - \frac{2q}{\epsilon_s} [N_d - n] \frac{dV}{dy}$$

et en remplaçant dV/dy par la relation (3) on aboutit à l'expression suivante :

$$\frac{d}{dy} \left(\frac{dV}{dy} \right)^2 = \frac{2kT}{\epsilon_s} \left[\frac{dn}{dy} - \frac{N_d}{n} \frac{dn}{dy} \right]$$

Si on intègre cette équation d'un point de l'interface isolant-semiconducteur où le champ vaut E_{s0} à un point dans le volume où il est nul on peut écrire

$$E_{s0}^2 = \frac{2kT}{\epsilon_s} \int_{y_s}^{y_v} \left[\frac{dn}{dy} - \frac{N_d}{n} \frac{dn}{dy} \right] dy$$

La jonction MIS étant toujours considérée à l'équilibre (pas de courant) on peut négliger les concentrations de trous à l'interface $P_{s0} \ll n_i^2/N_d$ et en volume $P_{v0} \ll n_i^2/N_d$ devant les concentrations d'électrons à l'interface n'_{s0} et en volume $n_{v0} = N_d$ on obtient :

$$E_{s0}^2 = \frac{2kT}{\epsilon_s} \left[n'_{s0} - n_{v0} - N_d \log \frac{n'_{s0}}{n_{v0}} \right]$$

en volume la concentration de porteurs n_{v0} est égale à N_d d'où :

$$E_{s0}^2 = \frac{2kT}{\epsilon_s} \left[n'_{s0} - N_d - N_d \log \frac{n'_{s0}}{N_d} \right]$$

dans cette équation n'_{s0} est la densité totale de porteurs accumulés à l'interface. Pour des raisons de commodité dans le reste du calcul nous poserons $n_{s0} = n'_{s0} - N_d$ qui représente la densité de porteurs accumulés supplémentaire :

$$(4) \quad E_{s0}^2 = \frac{2kT}{\epsilon_s} \left[n_{s0} - N_d \log \left(\frac{n_{s0}}{N_d} + 1 \right) \right]$$

II. CALCUL DE LA RELATION $V_{gc} = f(n_{s0})$

La tension V_{gc} est la somme de la tension dans l'isolant et de celle dans le semiconducteur, soit :

$$V_{gc} = V_{ms} + V_{sv}$$

où V_{ms} est la tension métal-interface dans l'isolant.

et V_{sv} est la tension interface-volume dans le semiconducteur

On peut exprimer simplement la tension V_{sv} par la relation suivante :

$$(5) \quad V_{sv} = \frac{kT}{q} \log \left(1 + \frac{n_{so}}{N_d} \right)$$

La tension V_{ms} peut être obtenue en écrivant d'une part la continuité du champ électrique à l'interface isolant-semiconducteur :

$$\epsilon_s E_{so} = \epsilon_I E_I$$

où - ϵ_s et ϵ_I sont les permittivités diélectriques respectives du semiconducteurs et de l'isolant.

- E_{so} est le champ à l'interface isolant semiconducteur et

- E_I est le champ constant dans l'isolant (pas de charge)

et en écrivant d'autre part que

$$V_{ms} = y_I E_I \quad \text{soit} \quad V_{ms} = \frac{\epsilon_s E_{so}}{\epsilon_I} \times y_I$$

où y_I est l'épaisseur de l'isolant en remplaçant dans l'équation (6) le champ E_{so} obtenu par l'équation (4) on peut écrire :

$$V_{ms} = \frac{\epsilon_s}{\epsilon_I} y_I \sqrt{\frac{2kT}{\epsilon_s} \left[n_{so} - N_d \log \left(\frac{n_{so}}{N_d} + 1 \right) \right]}$$

nous obtenons finalement l'équation suivante qui relie la tension grille-canal à la densité de portée accumulés supplémentaire :

$$V_{gc} = \frac{kT}{q} \log \left(1 + \frac{n_{so}}{N_d} \right) + \frac{y_I}{\epsilon_I} \sqrt{2kT \epsilon_s \left[n_{so} - N_d \log \left(\frac{n_{so}}{N_d} + 1 \right) \right]}$$

ANNEXE VII

CALCUL DE $n_s(y)$ et $E_s(y)$
 PAR LA METHODE NUMERIQUE DE RUNGE-KUTTA

Le système d'équation différentielles à résoudre est le suivant :

$$\frac{dE_s(y)}{dy} = -\frac{q}{\epsilon_s} n_s(y)$$

$$\frac{dn_s(y)}{dy} = -\frac{q}{kT} [n_s(y) + N_d] E_s(y)$$

avec les deux conditions initiales suivantes pour une tension V_{gc} donnée :

$$E_s(0) = E_{s0}$$

$$n_s(0) = n_{s0}$$

la seconde condition initiale est obtenue en approximant analytiquement la courbe $V_{gc} = f(n_{s0})$ afin d'exprimer n_{s0} en fonction de V_{gc} soit $n_{s0} = f(V_{gc})$.

La méthode de Runge-Kutta est un algorithme qui permet d'approximer la somme de la série de Taylor. A partir des conditions initiales on peut de proche en proche calculer les nouvelles valeurs des différentes fonctions au pas suivant. Le point délicat de cette méthode est de trouver un pas d'intégration qui soit suffisant pour que la précision soit la plus grande possible sans pour autant augmenter le temps calcul de manière prohibitif. Nous avons choisi après plusieurs essais un pas h de $0.8 \cdot 10^{-11}$ m.

L'algorithme de calcul nous donne les relations suivantes :

$$T_1(1) = H \times Y(2)$$

$$T_2(2) = H \times \left(-\frac{q}{kT}\right) \times Y(1) \left[Y(2) - \frac{q}{\epsilon_s} N_d \right]$$

$$T_2(1) = H \times \left[Y(2) + T_2(2) / 2 \right]$$

$$T_2(2) = H \times \left(-\frac{q}{kT}\right) \left[Y(1) + T_2(1)/2 \right] \times \left[Y(2) + T_2(2)/2 - \frac{q}{\epsilon_s} N_d \right]$$

$$T_3(1) = H \times \left[Y(2) + T_2(2)/2 \right]$$

$$T_3(2) = H \times \left(-\frac{q}{kT}\right) \times \left[Y(1) + T_2(1)/2 \right] \times \left[Y(2) + T_2(2)/2 - \frac{q}{\epsilon_s} N_d \right]$$

$$T_4(1) = H \times \left[Y(2) + T_3(2) \right]$$

$$T_4(2) = H \times \left(-\frac{q}{kT}\right) \times \left[Y(1) + T_3(1) \right] \times \left[\left(Y(2) + T_3(2)/2 - \frac{q}{\epsilon_s} N_d \right) \right]$$

où $Y(1) = E_s(y)$

$$Y(2) = -\frac{q}{\epsilon_s} n_s(y)$$

les huit équations sont calculées en chaque point à partir des conditions initiales :

$$Y(1) = E_{s0}$$

$$Y(2) = -\frac{q}{\epsilon_s} n_{s0}$$

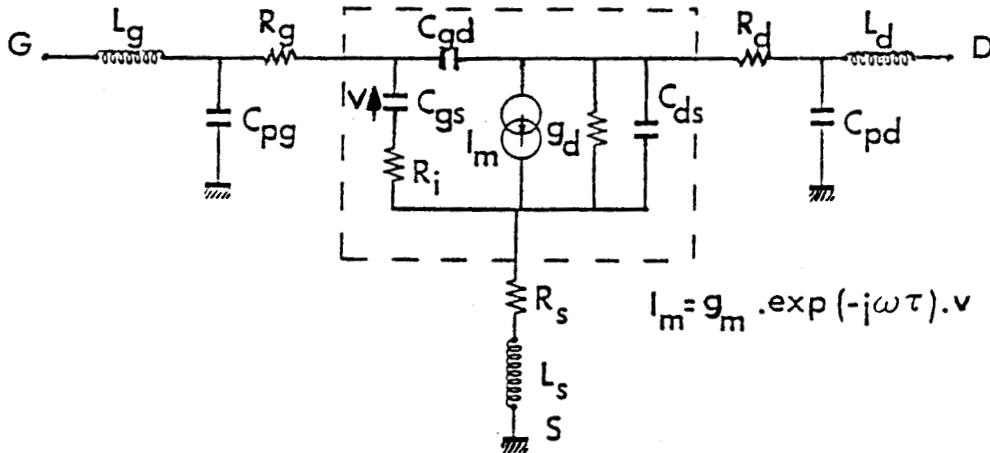
ensuite on obtient à chaque pas les nouvelles valeurs de $Y(1)$ et $Y(2)$ en appliquant les relations suivantes :

$$Y(1) = Y(1) + \left[T_1(1) + 2 \times T_2(1) + 2 \times T_3(1) + T_4(1) \right] / 6$$

$$Y(2) = Y(2) + \left[T_2(2) + 2 \times T_2(2) + 2 \times T_3(2) + T_4(2) \right] / 6$$

Le calcul s'arrête lorsque toute la zone active du composant a été parcourue, ou dès que la densité de porteurs accumulés s'annule.

ANNEXE VIII

CALCUL DES PARAMETRES Z_{ij} DU TRANSISTOR

A partir du schéma équivalent présenté ci-dessus, on peut déterminer les paramètres admittances Y_{ij} du transistor intrinsèque (sans ses éléments d'accès $R_s, R_d, R_g, L_s, L_d, L_g$).

Nous obtenons [V]

$$y_{11} = \frac{R_i \omega^2 C_{gs}^2}{1 + R_i^2 \omega^2 C_{gs}^2} + j\omega \left(C_{gd} + \frac{C_{gs}}{1 + R_i^2 \omega^2 C_{gs}^2} \right)$$

$$y_{12} = -j\omega C_{gd}$$

$$y_{21} = g_m \frac{1 - R_i \omega^2 C_{gs} \tau}{1 + R_i^2 \omega^2 C_{gs}^2} - j\omega \left(C_{gd} + g_m \frac{(R_i C_{gs} + \tau)}{1 + R_i^2 \omega^2 C_{gs}^2} \right)$$

$$y_{22} = g_d + j\omega (C_{gd} + C_{ds})$$

Les expressions des paramètres Y_{ij} nous permettent de déterminer les paramètres Z_{ij} intrinsèques par l'inversion de la matrice admittance :

$$\begin{bmatrix} Z_{11} \\ Z_{12} \\ Z_{21} \\ Z_{22} \end{bmatrix} = \frac{1}{\det(y_{ij})} \begin{bmatrix} y_{22} & -y_{12} \\ -y_{21} & y_{11} \end{bmatrix}$$

afin de réduire les différents calculs nous prenons les paramètres Y_{ij} sous leur forme simplifiée, en posant que $R_i^2 C_{gs}^2 \omega^2 \ll 1$ et $\omega \tau \ll 1$ ce qui est vérifié pour des fréquences ≤ 8 GHz soit [10] :

$$y_{11} = R_i \omega^2 C_{gs}^2 + j\omega (C_{gd} + C_{gs})$$

$$y_{12} = -j\omega C_{gd}$$

$$y_{21} = g_m - j\omega (C_{gd} + g_m (\tau + R_i C_{gs}))$$

$$y_{22} = g_d + j\omega (C_{gd} + C_{ds})$$

Nous obtenons après calcul les expressions suivantes pour les paramètres impédances Z_{ij} extrinsèques (incluant les différents éléments d'accès) :

$$Re(Z_{11}) = R_g + R_s + \frac{A_{gd} + B(C_{gd} + C_{ds})}{B^2}$$

$$Im(Z_{11}) = (L_s + L_g)\omega + \frac{A(C_{gd} + C_{ds})\omega}{B^2} - \frac{g_d}{B\omega}$$

$$Re(Z_{12}) = R_s + \frac{C_{gd}}{B}$$

$$Im(Z_{12}) = L_s \omega + \frac{A C_{gd} \omega}{B^2}$$

$$Re(Z_{21}) = R_s + g_m \frac{A}{B^2} + \left(C_{gd} + g_m (\tau + R_i C_{gs}) \right) \times \frac{1}{B}$$

$$\operatorname{Im}(Z_{21}) = L_s \omega + \left(C_{gd} + g_m (\tau + R_i C_{gs}) \right) \frac{A \omega}{B^2} + \frac{g_m}{B \omega}$$

$$\operatorname{Re}(Z_{22}) = R_d + R_s + \frac{R_i C_{gs}^2 A^2 \omega^2}{B^2} + \frac{C_{gd} + C_{gs}}{B}$$

$$\operatorname{Im}(Z_{22}) = (L_d + L_s) \omega + (C_{gd} + C_{gs}) \frac{A \omega}{B^2} - \frac{R_i C_{gs}^2 \omega}{B}$$

avec
$$A = R_i g_d C_{gs}^2 + C_{gd} \left(C_{gd} + g_m (\tau + R_i C_{gs}) \right) - (C_{gd} + C_{gs}) (C_{gd} + C_{ds})$$

$$B = g_d (C_{gd} + C_{gs}) + C_{gd} g_m$$

et
$$\det [Y_{ij}] = A \omega^2 + j B \omega$$

Après simplification des termes du second ordre, on aboutit aux expressions simplifiées suivantes :

$$R_e |Z_{11}| \# R_g + R_s$$

$$\operatorname{Im} |Z_{11}| \# (L_s + L_g) \omega - \frac{1}{(C_{gs} + C_{gd}) \omega}$$



$$R_e |Z_{12}| = R_e |Z_{21}| \# R_s + \frac{C_{gd}}{g_d (C_{gs} + C_{gd})}$$

$$\operatorname{Im} |Z_{21}| = \operatorname{Im} |Z_{12}| \# L_s \omega - \frac{(C_{gd} + C_{ds}) C_{gd} \omega}{g_d^2 (C_{gs} + C_{gd})}$$

$$R_e |Z_{22}| \# R_d + R_s + \frac{1}{g_d}$$

$$\operatorname{Im} |Z_{21}| \# (L_s + L_d) \omega - \frac{(C_{gd} + C_{ds}) \omega}{g_d^2}$$