

N° d'ordre : 676

50376  
1991  
19

50376  
1991  
19

# THESE

présentée à

UNIVERSITE DES SCIENCES & TECHNIQUES DE LILLE FLANDRES - ARTOIS

pour obtenir le titre de

DOCTEUR DE L' UNIVERSITE

Spécialité : Electronique

par

Christophe BYL



## NOUVELLE UTILISATION DES STRUCTURES A EFFET DE CHAMP MONOGRILLES ET BIGRILLES DISTRIBUEES. APPLICATION A L'AMPLIFICATION LARGE BANDE.

Soutenu le 17 Janvier 1991 devant la commission d'examen

Membres du Jury : MM

E. CONSTANT  
Y. CROSNIER  
J. OBREGON  
G. SALMER  
C. RUMELHARD  
P. PRIBETICH  
B. CARNEZ

Président  
Directeur de thèse  
Rapporteur  
Rapporteur  
Examineur  
Examineur  
Invité

Ce travail a été effectué au Centre Hyperfréquences et Semiconducteurs de l'Université de Lille Flandres-Artois dirigé par Monsieur le Professeur G. SALMER.

Je tiens à exprimer ma profonde reconnaissance envers Monsieur le Professeur E. CONSTANT qui me fait l'honneur de présider mon jury.

Monsieur le Professeur Y. CROSNIER a assuré la direction de ce travail. Ses compétences scientifiques, sa grande disponibilité, ses conseils et son soutien ont été une précieuse contribution tout au long de ce travail. Je lui exprime ma plus sincère reconnaissance.

Mes plus vifs remerciements vont à Messieurs J. OBREGON, Professeur à l'IRCOM de Limoges, G. SALMER Professeur à l'USTLFA, C. RUMELHARD Responsable service étude CI et TEC à THOMSON-DAG et P. PRIBETICH Chargé de Recherche C.N.R.S. à l'USTLFA pour avoir accepté d'honorer par leur présence la commission d'examen et de juger ce travail.

Mes remerciements vont également à Monsieur B. CARNEZ, responsable filières à THOMSON-DAG qui me fait l'honneur de siéger à mon jury de thèse.

Je remercie tous mes amis du CHS et de THOMSON-DAG pour l'aide efficace et continue qu'ils m'ont apportée tout au long de ce travail.

J'exprime ma reconnaissance envers Mesdames E. DELOS, S. LEPILLET, Monsieur E. PLAYEZ de la centrale de caractérisation et Mademoiselle P. LEGRIS, Messieurs B. GRIMBERT, D. VANDERMOERE et J. VAMBREMEERSCH de la centrale de technologie qui m'ont aidé à la réalisation et l'expérimentation de mes composants. Je remercie également Messieurs ANDRIES, JENNEQUIN et MICHON de l'atelier de mécanique et Monsieur DEHORTER pour le travail de reprographie.

Madame F. SAUGERE a assuré la dactylographie de ce mémoire et je lui en suis reconnaissant.

# SOMMAIRE

## INTRODUCTION

### CHAPITRE I LES MODELES DE TRANSISTORS A EFFET DE CHAMP

I-1 INTRODUCTION .....	1
I-2 MODELE DE KUVAS .....	1
I-3 MODELE DE LARUE .....	5
I-4 MODELE DE HEINRICH-HARTNAGEL .....	7
I-5 MODELE DE KRETSCHMER .....	15
I-6 MODELE DE CHANG .....	20
I-7 CONCLUSION .....	23

### CHAPITRE II TECHNOLOGIE, MODELISATION ET CARACTERISATION DES TRANSISTORS MONOGRILLES

II-1 INTRODUCTION .....	26
II-2 DESCRIPTION DE LA TECHNOLOGIE EMPLOYEE .....	28
II-2-1 Les couches épitaxiées .....	28
II-2-2 Les masques .....	30
II-2-3 Les étapes technologiques .....	30
II-2-3-1 <i>La lithographie</i> .....	31
II-2-3-2 <i>L'attaque Mésa</i> .....	31
II-2-3-3 <i>Contact ohmique</i> .....	32
II-2-3-4 <i>Gravure du canal</i> .....	32
II-2-3-5 <i>Le contact Schottky</i> .....	32
II-2-3-6 <i>Dépôt d'isolant</i> .....	33
II-2-3-7 <i>La métallisation supérieure</i> .....	34
II-2-4 Les motifs tests .....	34
II-2-4-1 <i>Echelle de résistances et transistor test</i> .....	34
II-2-4-2 <i>La croix de centrage</i> .....	36
II-2-4-3 <i>Repères pour le masqueur électronique</i> .....	36
II-2-5 Conclusion .....	36

II-3 TOPOLOGIE DES DIFFERENTES STRUCTURES ETUDIEES .....	38
II-3-1 Introduction .....	38
II-3-2 Transistor avec drain de type ligne .....	38
II-3-3 Transistor avec drain de type surface .....	39
II-3-4 Résultats obtenus pour les différentes structures lors du process technologique .....	40
II-4 MODELISATION DES TRANSISTORS MONOGRILLES .....	40
II-4-1 Introduction .....	44
II-4-2 Drain de type ligne .....	44
II-4-3 Drain de type surface .....	46
II-5 CARACTERISATION EXPERIMENTALE DES TRANSISTORS .....	47
II-5-1 Introduction .....	47
II-5-2 Caractérisation statique .....	47
II-5-2-1 <i>Caractéristique</i> $I_{gs} = f(V_{gs})$ .....	48
II-5-2-2 <i>Caractéristique</i> $V_{ds} = f(I_{gs})$ .....	48
II-5-2-3 <i>Evolution de la transconductance extrinsèque</i> .....	50
II-5-3 Les caractéristiques basses fréquences .....	50
II-5-3-1 <i>Caractéristique</i> $C_g = f(V_{gs})$ .....	50
II-5-3-2 <i>Caractéristique</i> $R_{ds} = f(V_{gs})$ .....	54
II-5-4 Caractérisation hyperfréquence et détermination du schéma équivalent .....	55
II-5-4-1 <i>Détermination des éléments extrinsèques</i> .....	55
II-5-4-2 <i>Détermination des éléments intrinsèques</i> .....	56
II-5-5 Caractérisation de l'électrode de grille du transistor .....	58
II-5-6 Modélisation de l'électrode de grille .....	64
II-5-7 Résultats de la caractérisation électrique des différentes structures .....	66
II-6 CONCLUSION .....	70

## CHAPITRE III

## ETUDE EXPERIMENTALE ET OPTIMISATION DES TRANSISTORS MONOGRILLES

INTRODUCTION.....	72
III-1 RESULTATS EXPERIMENTAUX .....	74
III-1-1 Méthode de mesure .....	74
III-1-2 Transistor à drain de type ligne de 900 $\mu\text{m}$ (série 167) .....	74
III-1-2-1 <i>Influence d'impédances connectées sur l'électrode de grille</i> .....	74
III-1-2-2 <i>Influence d'impédances connectées sur l'électrode de drain</i> .....	80
III-1-2-3 <i>Influence d'impédances terminales connectées simultanément sur les électrodes de grille et drain</i> .....	82
III-1-3 Transistor à drain de type surface (série 210) .....	82
III-1-3-1 <i>Transistor de 900 <math>\mu\text{m}</math> (série 210)</i> .....	86
III-1-3-2 <i>Transistor de 150 <math>\mu\text{m}</math> (série 210)</i> .....	90
III-1-3-3 <i>Transistor de 300 <math>\mu\text{m}</math> (série 210)</i> .....	92
III-1-4 Conclusion .....	96
III-2 CONFRONTATION THEORIE-EXPERIENCE .....	98
III-2-1 Introduction .....	98
III-2-2 Choix du nombre de cellules élémentaires .....	98
III-2-3 Transistor à drain de type ligne (série 167) .....	100
III-2-4 Transistor à drain de type surface (série 210) .....	104
III-2-4-1 <i>Transistor de 150 <math>\mu\text{m}</math> (série 210)</i> .....	104
III-2-4-2 <i>Transistor de 300 <math>\mu\text{m}</math> (série 210)</i> .....	108
III-2-5 Conclusion de la confrontation théorie-expérience .....	112
III-3 ETUDE PARAMETRIQUE ET OPTIMISATION DES DIFFERENTES STRUCTURES.....	112
III-3-1 Transistor à drain de type ligne (série 167) .....	114
III-3-1-1 <i>Influence de la résistance de grille</i> .....	114
III-3-1-2 <i>Influence de la résistance métallique de drain</i> .....	118
III-3-1-3 <i>Influence du développement de grille</i> .....	124
III-3-1-4 <i>Influence de la nature et de la valeur des impédances terminales</i> .....	128
III-3-1-4a <i>Impédance sur la grille</i> .....	128

III-3-1-4b Impédance sur le drain et circuit ouvert sur la grille .....	130
III-3-1-4c Impédances sur la grille et le drain .....	132
III-3-1-5 <i>Conclusion de l'étude paramétrique des                     structures à drain de type ligne</i> .....	136
III-3-2 Transistor à drain de type surface (série 210) .....	138
III-3-2-1 <i>Influence de la résistance de grille</i> .....	138
III-3-2-1a Transistor de 150 $\mu\text{m}$ (série 210) .....	138
III-3-2-1b Transistor de 300 $\mu\text{m}$ (série 210) .....	142
III-3-2-2 <i>Influence des impédances terminales</i> .....	144
III-3-2-2a Transistor de 150 $\mu\text{m}$ (série 210) .....	144
III-3-2-2b Transistor de 300 $\mu\text{m}$ (série 210) .....	148
III-3-3 Conclusion de l'étude paramétrique des structures à drain de type surface .....	150
III-4 ETUDE DU COMPORTEMENT EN AMPLIFICATION DE PUISSANCE DES TRANSISTORS MONOGRILLES .....	150
III-4-1 Introduction .....	150
III-4-2 Description du banc de mesures .....	152
III-4-3 Transistor monogrille à drain de type ligne (série 167) .....	154
III-4-4 Transistors monogrilles à drain de type surface (série 210) .....	156
III-4-4-1 <i>Transistor de 150 <math>\mu\text{m}</math> (série 210)</i> .....	156
III-4-4-1-1 Mesures à gain maximum .....	156
III-4-4-1-2 Mesures à puissance de sortie maximum .....	160
III-4-4-2 <i>Transistor de 300 <math>\mu\text{m}</math> (série 210)</i> .....	162
III-5 CONCLUSION .....	166

## CHAPITRE IV                    ETUDE THEORIQUE ET EXPERIMENTALE DES TRANSISTORS BIGRILLES

IV-1 INTRODUCTION .....	167
IV-2 PRESENTATION DES DIFFERENTES STRUCTURES ETUDIEES ET DE LA TECHNOLOGIE EMPLOYEE .....	168
IV-2-1 Réalisation technologique du TEC .....	168
IV-2-2 Topologie des différentes structures étudiées .....	169
IV-2-2-1 <i>Introduction</i> .....	169
IV-2-2-2 <i>Transistor bigrille de 400 <math>\mu\text{m}</math> (motif 42)</i> .....	169
IV-2-2-3 <i>Transistor bigrille de 700 <math>\mu\text{m}</math> (motif 43)</i> .....	171

IV-3 MODELISATION ET CARACTERISATION DES DIFFERENTS TRANSISTORS .....	171
IV-3-1 Introduction .....	173
IV-3-2 Détermination du schéma localisé.....	173
IV-3-3 Modélisation complète de la structure bigrille .....	175
IV-4 RESULTATS EXPERIMENTAUX POUR LES DIFFERENTES STRUCTURES .....	177
IV-4-1 Méthode .....	177
IV-4-2 Résultats expérimentaux pour le transistor de 700 $\mu\text{m}$ .....	181
IV-4-2-1 <i>Impédances terminales connectées sur <math>G_1</math>, <math>G_2</math> étant en circuit ouvert</i> .....	181
IV-4-2-2 <i>Impédances terminales connectées sur <math>G_2</math>, <math>G_1</math> étant en circuit ouvert</i> .....	187
IV-4-2-3 <i>Impédances terminales connectées sur <math>G_1</math> et <math>G_2</math></i> .....	187
IV-4-3 Résultats expérimentaux pour le transistor de 400 $\mu\text{m}$ .....	193
IV-4-3-1 <i>Impédances terminales connectées sur <math>G_1</math>, <math>G_2</math> étant en circuit ouvert</i> .....	197
IV-4-3-2 <i>Impédances terminales connectées sur <math>G_2</math>, <math>G_1</math> étant en circuit ouvert</i> .....	201
IV-4-3-3 <i>Impédances terminales connectées sur <math>G_1</math> et <math>G_2</math></i> .....	201
IV-4-4 Résultats expérimentaux en amplification de puissance .....	207
IV-4-5 Conclusion .....	209
IV-5 CONFRONTATION THEORIE-EXPERIENCE .....	209
IV-5-1 Introduction .....	209
IV-5-2 Transistor bigrille de 400 $\mu\text{m}$ (motif 42) .....	211
IV-5-3 Transistor bigrille de 700 $\mu\text{m}$ (motif 43) .....	215
IV-6 ETUDE PARAMETRIQUE ET OPTIMISATION DES DIFFERENTES STRUCTURES .....	221

IV-6-1	Influence de la résistance de grille .....	221
IV-6-1-1	<i>Transistor bigrille de 400 <math>\mu\text{m}</math> (motif 42)</i> .....	223
IV-6-1-2	<i>Transistor bigrille de 700 <math>\mu\text{m}</math> (motif 43)</i> .....	229
IV-6-2	Influence du développement de grille .....	229
IV-6-3	Influence des impédances terminales .....	231
IV-6-3-1	<i>Transistor bigrille de 400 <math>\mu\text{m}</math> (motif 42)</i> .....	231
IV-6-3-2	<i>Transistor bigrille de 700 <math>\mu\text{m}</math> (motif 43)</i> .....	237
IV-6-4	Conclusion de l'étude paramétrique .....	243
IV-7	CONCLUSION .....	244

## APPENDICE

I	INTRODUCTION .....	245
II	PRESENTATION DES DIFFERENTES REALISATIONS MONOLITHIQUES .....	245
III	MESURES SUR LES DIFFERENTES STRUCTURES .....	245
IV	CONFRONTATION THEORIE-EXPERIENCE .....	249
V	CONCLUSION .....	252

CONCLUSION .....	253
------------------	-----

BIBLIOGRAPHIE .....	255
---------------------	-----

# **INTRODUCTION**

L'amplification hyperfréquence basée sur l'utilisation des transistors à effet de champ a connu ces dernières années un large développement. Des résultats impressionnants ont été atteints en ce qui concerne l'amplification très faible bruit jusqu'à des fréquences très élevées 50, voire 100 GHz, grâce à la mise au point de nouvelles filières de matériaux et de composants à taille et topologie de plus en plus réduites et parfaitement maîtrisées. En comparaison, le développement de l'amplification de puissance apparaît relativement plus modeste. Deux types de causes en sont à l'origine: d'une part les limitations en courant et tension inhérentes aux propriétés électroniques des matériaux semiconducteurs dont on dispose, et, d'autre part les limitations liées à la nécessité de disposer de composants à large développement et complexité importante. L'origine physique de ces limitations d'ordre géométrique est en relation directe avec des problèmes d'effets de propagation inhérents au caractère distribué, présenté aux hyperfréquences, par tout composant dont les dimensions ne sont pas négligeables devant la longueur d'onde. C'est ce problème très important qui est à l'origine de la présente étude et nous avons donc cherché à repousser ces limitations en étudiant et en redéfinissant la cellule élémentaire de transistor (topologie et développement) avec des éléments additionnels de compensation.

Le travail présenté dans ce mémoire se décompose en quatre parties.

Dans le premier chapitre, nous passons en revue les différents modèles électriques rencontrés dans la littérature pour décrire le comportement petit signal des transistors à effet de champ. Le but de cette étude est de préciser les avantages et les inconvénients de chacun d'entre-eux.

Le second chapitre est consacré à la présentation des différentes structures que nous avons été amenés à étudier. Nous décrivons, dans un premier temps, la technologie utilisée lors de la réalisation de ces différents composants. Ensuite, nous présentons le type de modélisation retenue permettant de rendre compte le mieux possible du fonctionnement du transistor dans des configurations très variées. Enfin, nous passons en revue les différentes méthodes mises en oeuvre pour déterminer les éléments des schémas équivalents de nos différentes structures.

Le troisième chapitre est essentiellement consacré aux transistors monogrilles. Nous y donnons d'abord les résultats expérimentaux obtenus en régime petit signal pour les différentes structures. Ensuite, nous présentons des confrontations théorie-expérience permettant d'une part, de valider la modélisation et d'autre part, d'analyser le fonctionnement des composants. Après cette étape, nous passons à l'optimisation de la structure monogrille par une étude systématique de ses différents paramètres. Enfin, nous présentons les premiers résultats de puissance obtenus pour les différentes structures dans leur condition de fonctionnement optimal.

Le quatrième chapitre est consacré à la structure bigrille. Comme dans le cas de la structure monogrille, nous présentons successivement les différents composants étudiés, leur caractérisation et le type de modélisation retenue. La seconde partie de ce chapitre concerne la présentation des résultats expérimentaux et débouche directement sur des confrontations théorie-expérience ayant pour objectif de déterminer ensuite une structure optimale.

Enfin, en tout dernier lieu, nous présentons des premiers essais de réalisation industrielle d'une version intégrée monolithique de la structure monogrille mettant en pratique les principes développés au cours de toute cette étude.

# **CHAPITRE I**

## **LES MODELES DE TRANSISTORS A EFFET DE CHAMP**

## **I-1 Introduction**

De nombreuses tentatives ont été faites depuis une dizaine d'années pour modéliser le transistor à effet de champ en prenant en compte les effets de propagation dans la direction transversale, c'est-à-dire le long des électrodes de grille, de drain et de source. Il s'agit d'un problème très complexe puisque l'on a affaire à une structure de propagation sur semi-conducteur dopé qui, par le jeu des polarisations et de l'excitation hyperfréquence, est le siège d'un couplage très complexe entre le flux de porteurs dans la direction source drain et les ondes hyperfréquences dans la direction perpendiculaire.

Deux approches sont simultanément nécessaires pour appréhender ce problème : la première est du ressort du spécialiste des phénomènes propres aux composants à semi-conducteur, la seconde concerne le spécialiste d'électromagnétisme des structures de propagation à plusieurs conducteurs plongés dans un milieu à conductivité complexe et hétérogène.

Les travaux que nous allons relater dans ce chapitre présentent tous ces deux approches mais à des degrés plus ou moins poussés. Ces travaux sont présentés dans un ordre quasi-chronologique, ce qui permet de distinguer comment a évolué la manière de poser le problème et les apports progressifs des différents auteurs, l'objectif final étant pour tous d'aboutir à un schéma équivalent suffisamment simple pour être utilisable en conception de circuits fonctionnels et suffisamment complet pour être physiquement significatif.

## **I-2 Modèle de Kuvas**

Kuvas est parti de l'idée que l'effet essentiel de propagation transversale est attaché à la grille en raison de son étroitesse et, par conséquent, de l'impédance élevée qu'elle peut présenter en tant que ligne.

Il a donc proposé en 1980 [1] un modèle permettant de déterminer l'expression de l'impédance de grille et d'étudier la diminution du gain du transistor dû

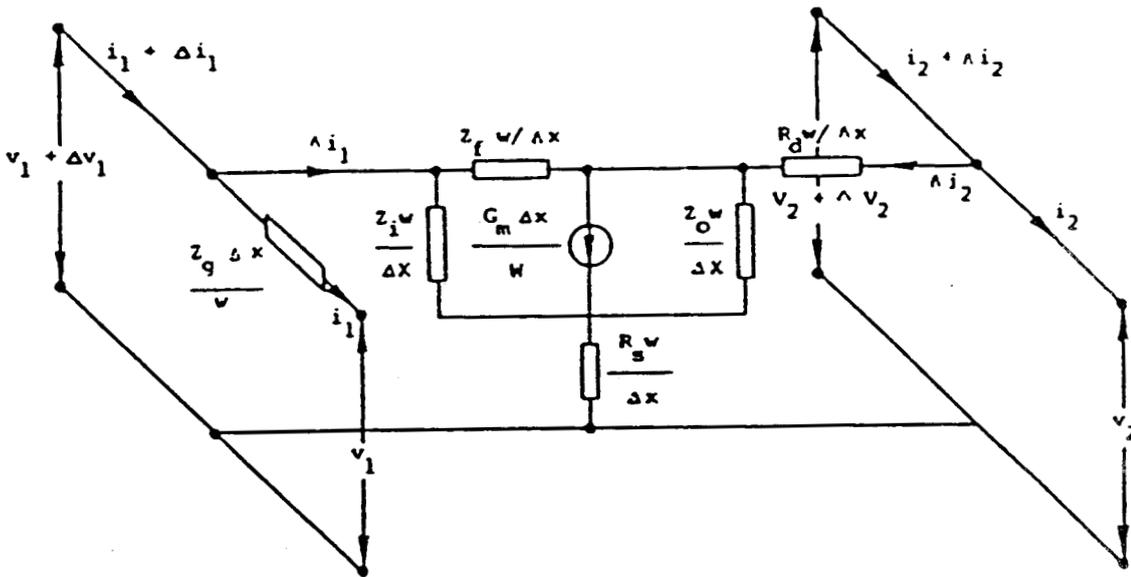


Figure I-1 : Section élémentaire du modèle de Kuvás

aux pertes de la grille.

Dans ce modèle, le TEC est découpé en "tranches" infiniment minces. Chaque section est représentée par le schéma équivalent de la figure (I-1).

La loi d'Ohm appliquée à ce circuit permet d'obtenir les équations différentielles suivantes :

$$v_1(x) = w \left\{ [Z_i(1 - A_{11}) + R_s] \frac{di_1}{dx} - [Z_i A_{12} - R_s] \frac{di_2}{dx} \right\}$$

$$v_2(x) = w \left\{ [R_s - Z_o A_{21}] \frac{di_1}{dx} + [Z_o(1 - A_{22}) + R_s + R_d] \frac{di_2}{dx} \right\}$$

$$\frac{dv_1}{dx} = \frac{Z_g}{w} i_1$$

où  $w$  représente la largeur du transistor et où les termes  $A_{ij}$  sont définis respectivement par:

$$A_{11} = (Z_i + Z_o g_m / j\omega C_i) / \Delta$$

$$A_{12} = -Z_o / \Delta$$

$$\text{et } \Delta = Z_i + Z_f + Z_o(1 + g_m / j\omega C_i).$$

$$A_{21} = (-Z_i + Z_f g_m / j\omega C_i) / \Delta$$

$$A_{22} = Z_o(1 + g_m / j\omega C_i) / \Delta$$

A partir de ces équations, Kuvas en déduit l'équation d'onde et la constante de propagation le long de l'électrode de grille du transistor :

$$\frac{d^2 i_1}{dx^2} = \gamma^2 i_1$$

$$\text{avec } (\gamma\omega)^2 = Z_g / \left\{ [Z_i(1 - A_{11}) + R_s] - \frac{(R_s - Z_o A_{12})(R_s - Z_o A_{21})}{Z_o(1 - A_{22}) + R_s + R_d} \right\}^{-1}$$

En appliquant les conditions aux limites liées à la topologie de la structure et à l'hypothèse de circuits ouverts aux extrémités opposées de la grille et du drain :

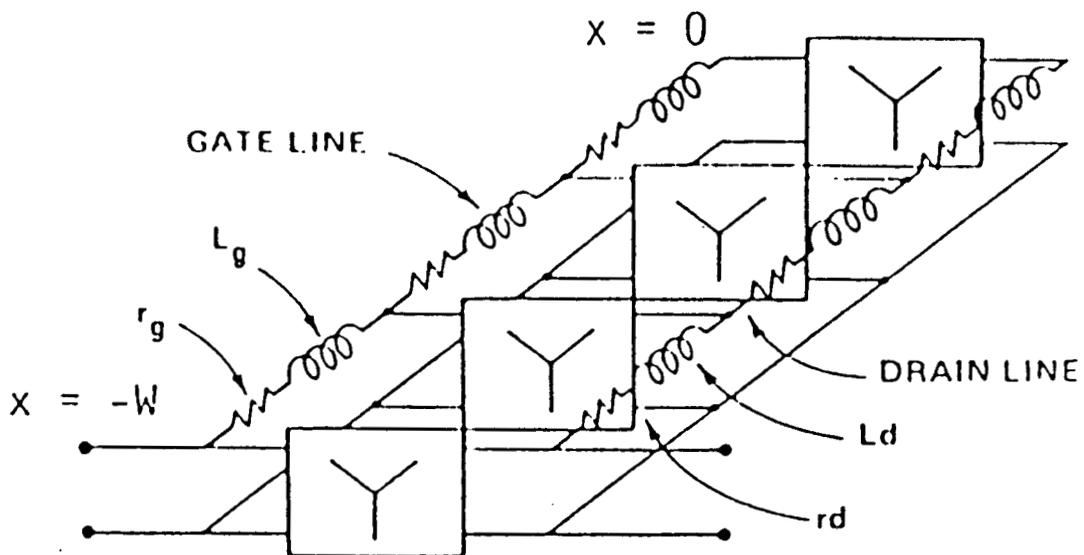


Figure I-2a

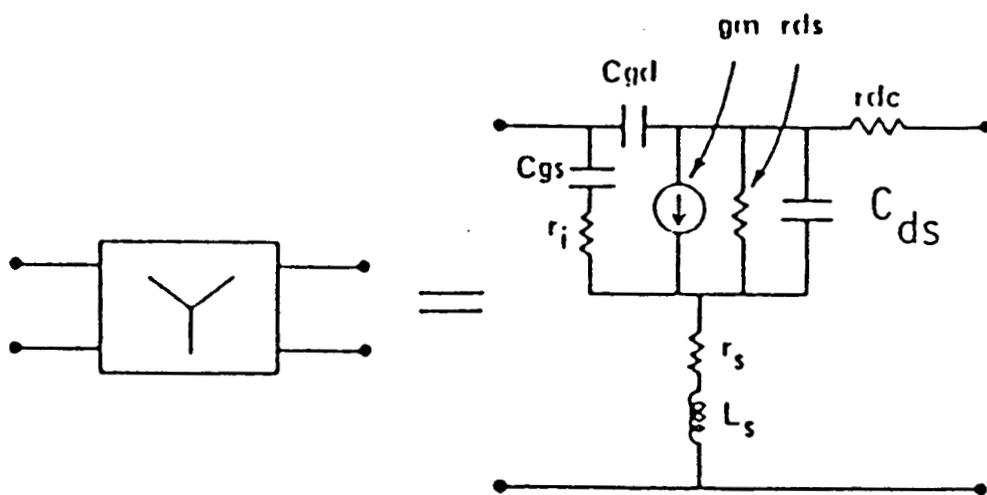


Figure I-2b

Figure I-2 : Modèle électrique de Larue

$$\begin{array}{ll} i_1(0) = -I_1 & i_2(0) = 0 \\ i_1(w) = 0 & i_2(w) = I_2 \end{array}$$

Il obtient, pour le transistor, une matrice impédance montrant que l'on peut conserver un modèle à éléments localisés identique à celui qui est habituellement utilisé, à l'exception de l'impédance de grille. Cette dernière doit, en effet, être exprimée par :

$$Z_{g1} = Z_g [\gamma\omega \coth \gamma\omega - 1]/(\gamma\omega)^2$$

où  $Z_g$  est l'impédance présentée par la grille entre ses deux extrémités.

En première approximation, cette expression peut s'écrire :

$$Z_{g1} \approx Z_g/3 [1 - (\gamma\omega)^2 / 15]$$

En conclusion de cette étude, Kuvás a établi une formulation de la dégradation du gain en fonction du développement de grille et montre sa dépendance par rapport à la fréquence. Il faut signaler qu'aucune information n'a été donnée par l'auteur concernant la manière d'évaluer la self de l'électrode de grille et d'autre part sur la méthode de caractérisation de la partie active du transistor.

### **I-3 Modèle de Larue**

L'approche proposée par Larue [2] en 1984 peut être considérée comme une extension de celle effectuée par Kuvás. En effet, son modèle reprend la représentation de la grille par une ligne de propagation mais en adjoignant la représentation du drain par une autre ligne de propagation.

Les lignes de grille et de drain sont supposées terminées en  $x=0$  par des circuits ouverts et sont couplées entre elles (voir figure I-2a) par des quadripôles  $Y$  représentant la partie active du transistor à effet de champ dont le schéma équivalent

est donné figure (I-2b). Les valeurs du schéma équivalent sont distribuées pour traduire l'effet du développement de grille du MESFET.

Une analyse de type lignes de transmission couplées permet d'obtenir le système différentiel du second ordre suivant les tensions locales sur les deux lignes de grille et de drain:

$$\frac{d^2 V_g}{dx^2} = \alpha^2 V_g + \beta^2 V_d$$

$$\frac{d^2 V_d}{dx^2} = \gamma^2 V_d + \delta^2 V_g$$

où  $\alpha$ ,  $\beta$ ,  $\gamma$  et  $\delta$  s'apparentent à des constantes de propagation le long des électrodes de grille et de drain fonction des éléments  $R_g$ ,  $L_g$ ,  $R_d$  et  $L_d$  et,  $(Y_{ij})$  les paramètres admittances du quadripôle  $Y$  par l'intermédiaire des relations :

$$\begin{aligned} \alpha^2 &= (R_g + j\omega L_g) Y_{11} & \beta^2 &= (R_g + j\omega L_g) Y_{12} \\ \delta^2 &= (R_d + j\omega L_d) Y_{21} & \gamma^2 &= (R_d + j\omega L_d) Y_{22} \end{aligned}$$

$\beta$  et  $\delta$  permettent de rendre compte du couplage entre les lignes de grille et de drain pour la partie active du transistor, mais, comme on peut le constater, ne traduisent aucun couplage magnétique.

En appliquant les conditions aux limites et en résolvant les équations différentielles, Larue obtient la matrice impédance suivante:

$$\begin{aligned} Z_{11} &= \frac{(R_g + j\omega L_g)}{(\epsilon^2 \epsilon^2 + \delta^2 \beta^2)} \left| \begin{array}{cc} \frac{\epsilon^2 \epsilon^2}{\rho_-} & \frac{\delta^2 \beta^2}{\rho_-} \end{array} \right| \\ Z_{22} &= \frac{(R_d + j\omega L_d)}{(\epsilon^2 \epsilon^2 + \delta^2 \beta^2)} \left| \begin{array}{cc} \frac{\epsilon^2 \epsilon^2}{\rho_-} & \frac{\delta^2 \beta^2}{\rho_+} \end{array} \right| \end{aligned}$$

$$Z_{12} = \frac{(R_d + j\omega L_d) \beta^2 \epsilon^2}{(\epsilon^2 \epsilon^2 + \delta^2 \beta^2)} \left| \begin{array}{cc} 1 & 1 \\ - & - \\ \rho_+ & \rho_- \end{array} \right|$$

$$Z_{21} = \frac{(R_g + j\omega L_g) \delta^2 \epsilon^2}{(\epsilon^2 \epsilon^2 + \delta^2 \beta^2)} \left| \begin{array}{cc} 1 & 1 \\ - & - \\ \rho_+ & \rho_- \end{array} \right|$$

où

$$\rho_{\pm} = r_{\pm} \tanh(r_{\pm} W)$$

$$\epsilon^4 = (r_{\pm}^2 - \gamma^2)^2$$

$$r_{\pm}^2 = (\alpha^2 + \gamma^2)/2 \pm ((\alpha^2 - \gamma^2)^2 + 4\delta^2 \beta^2)^{1/2}/2$$

A ce stade, la matrice dispersion est alors déduite de cette matrice impédance. Une procédure d'ajustement des valeurs des paramètres est ensuite effectuée à l'aide d'un programme de manière à faire coïncider la matrice dispersion théorique avec la matrice dispersion mesurée dans une bande limitée à des fréquences pas trop élevées.

Avec ce type de modèle distribué, Larue a mis clairement en évidence les erreurs que peuvent introduire les modèles classiques non distribués, lorsqu'il s'agit d'extrapoler le comportement des transistors à des fréquences trop élevées. Un exemple en est montré par la figure (I-3).

En conclusion, l'intérêt présenté par les travaux de Larue apparaît essentiellement d'ordre pratique. Toutefois on peut reprocher à ce type de démarche de reposer exclusivement sur des procédures d'ajustement au détriment de considérations plus physiques, en particulier concernant les aspects inductifs et résistifs des lignes de grille et de drain.

## I-4 Modèle de Heinrich - Hartnagel

Très différente, apparaît la démarche de Hartnagel et Heinrich qui ont été

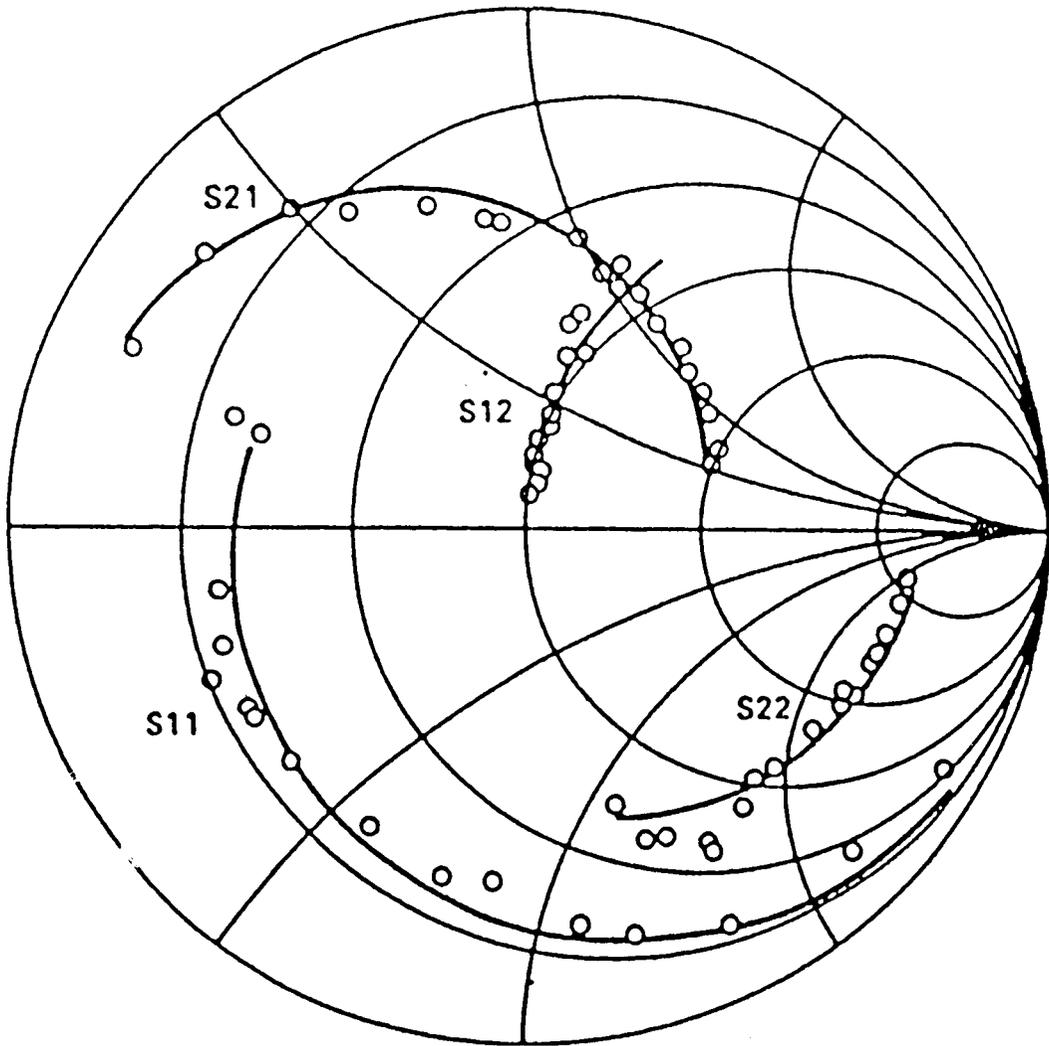


Figure I-3 : Paramètres S théoriques et expérimentaux (o) de 2 à 18 GHz pour un transistor MESFET  $285 \mu\text{m} \times 0,5 \mu\text{m}$  (rayon 0,2 pour S12 et 4 pour S21)

les premiers à tenter une analyse rigoureuse et la plus physique possible des phénomènes de propagation sur les électrodes d'un MESFET en prenant en compte l'effet actif d'amplification du composant et les effets contraires liés aux pertes du canal et ceux résultant de la géométrie des électrodes (longueur, largeur et épaisseur). Leurs travaux sont très importants et, en raison de l'ampleur des problèmes abordés, se sont déroulés à partir de 1985 sur plusieurs années [3,4,5].

Partant d'un modèle de structure passive, les auteurs y ont introduit les pertes du semiconducteur et de la grille puis, par artifice, ont enfin ajouté un courant de porteurs traduisant l'effet transistor. Il est à noter que cette approche repose sur une étude de type fondamentalement électromagnétique. Les figures (I-4 a et b) représentent une coupe en section droite du transistor ainsi que le modèle guide d'onde correspondant, nécessaire à l'étude de cette structure. La section droite est subdivisée en sous-domaines rectangulaires présentant des conditions aux limites ou de continuités particulières. Le comportement de la partie active du transistor est modélisée par une densité de courant supplémentaire  $S$  dans le canal, modulée linéairement par la tension grille source.

L'ensemble de la structure ainsi modélisée est ensuite traité à l'aide de la méthode raccordement des modes (mode matching). Cette méthode permet la prise en compte des épaisseurs et de la conductivité des métallisations dès la mise en forme du problème. Ainsi, dans chaque sous-domaine, les champs électriques et magnétiques sont développés à partir de l'ensemble des fonctions propres appartenant au domaine de définition de l'opérateur Laplacien, spécifique du sous-domaine géométrique considéré. L'écriture des conditions de continuité, ou de raccord des champs aux différentes limites artificielles des sous-domaines, ramène la résolution du système aux valeurs propres global à celui d'un système matriciel. Les dimensions de la matrice obtenue peuvent devenir importantes si la structure est de géométrie complexe.

Considérant l'existence de deux modes fondamentaux dans le guide d'onde, un mode de type drain et un mode de type grille, les auteurs ont déterminé les constantes de propagation ainsi que l'impédance caractéristique de ces deux modes en présence. Un traitement mathématique ultérieur permet de passer des caractéristiques

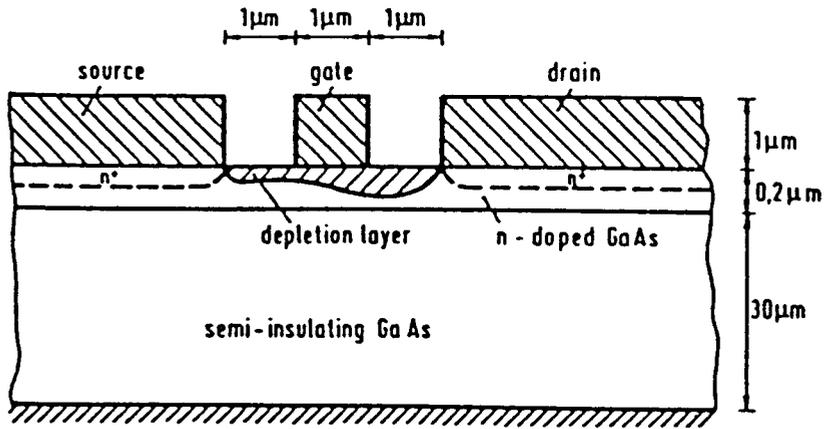


Figure I-4a

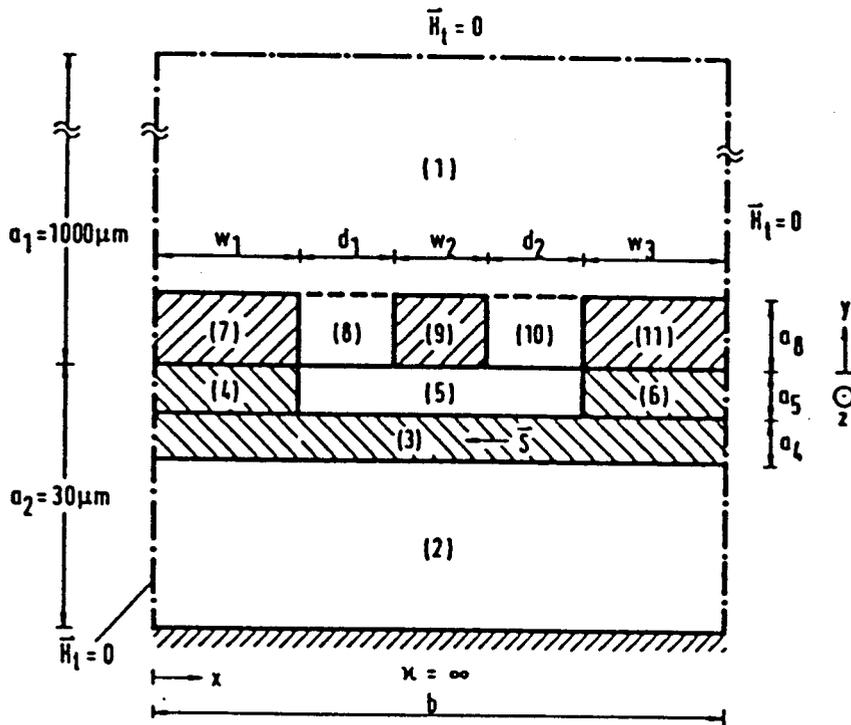


Figure I-4b

Figure I-4 : Coupe en section droite du transistor (a) et modèle guide d'onde correspondant (b)

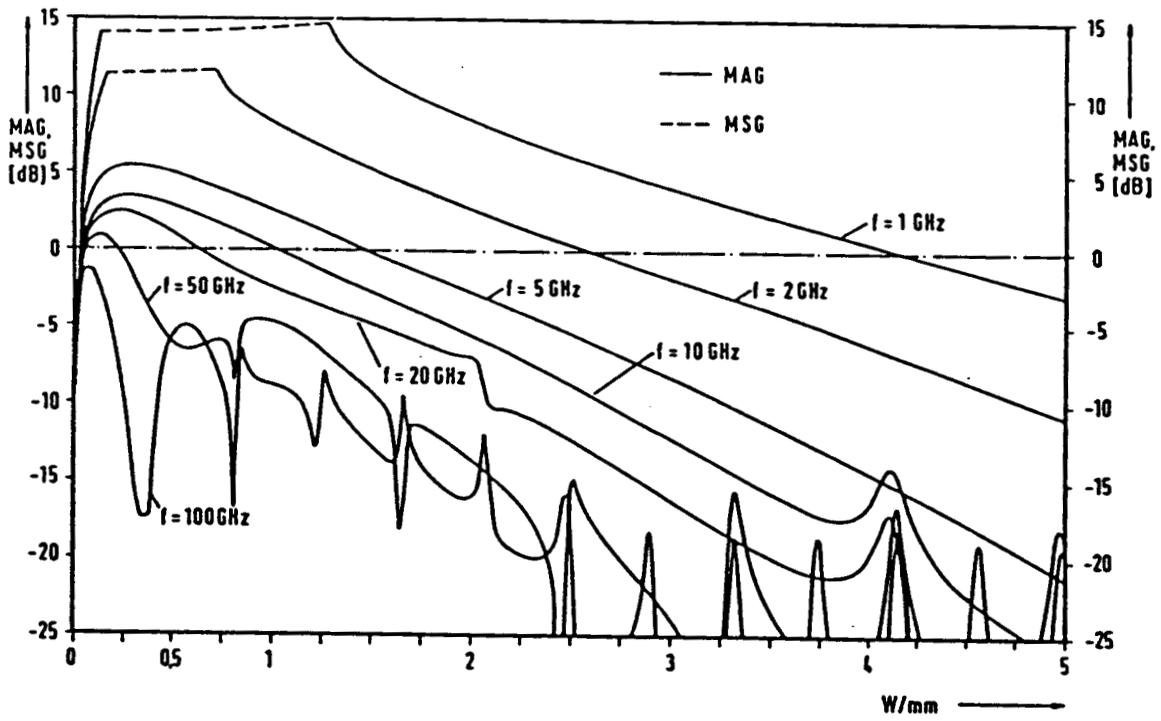


Figure I-5 : Evolutions théoriques du MAG et du MSG en fonction du développement de grille

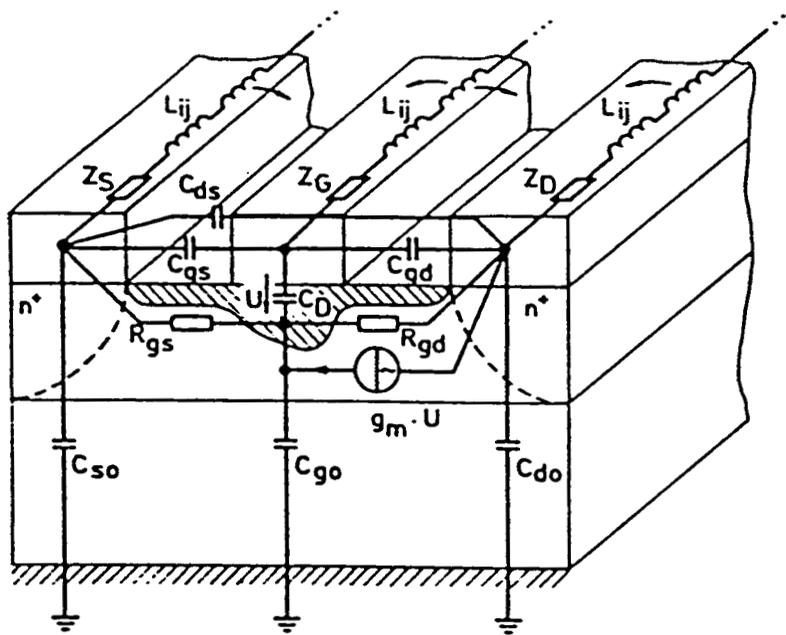


Figure I-6 : Schéma équivalent distribué du modèle de Heinrich

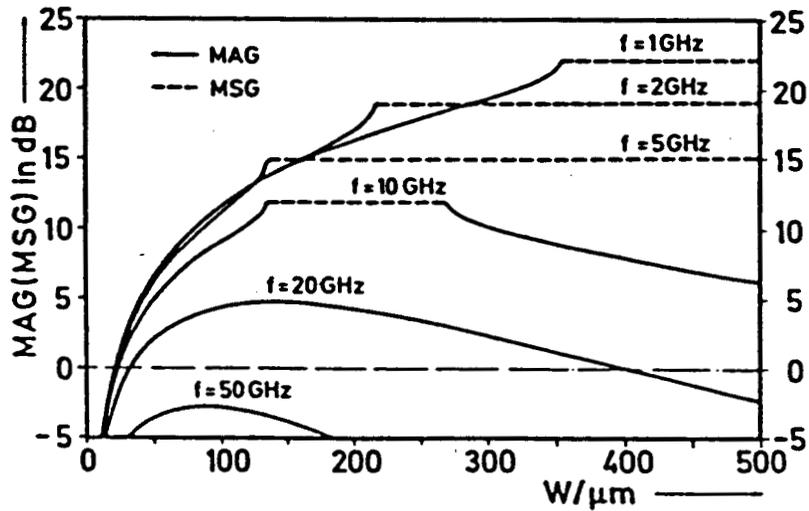


Figure I-7 : Evolutions du MAG et du MSG calculés à partir du modèle distribué de Heinrich en fonction du développement de grille

d'ondes obtenues à des paramètres traduisant les performances du transistor à effet de champ tels que la matrice S ou encore le MAG (Maximum Available Gain) et le MSG (Maximum Stable Gain).

En ce qui concerne le mode de propagation rattaché à la grille, il s'avère qu'il est essentiellement dominé par les pertes de l'électrode de grille et par la présence d'une zone désertée sous la grille. Ce dernier point est à la base d'un comportement de type "onde lente".

Quant au mode de propagation de drain, il apparaît comme une onde guidée atténuée de manière drastique par les courants transversaux dans le canal. Pour les fréquences les plus élevées, à ces pertes du canal viennent s'ajouter celles des électrodes de source et de drain de sorte que la constante d'atténuation  $\alpha$  devient supérieure à la constante de phase  $\beta$ .

Globalement, avec l'hypothèse d'un montage classique du composant avec des circuits ouverts sur l'extrémité de la grille opposée à l'entrée et sur l'extrémité du drain opposée à la sortie, les auteurs ont pu établir des comportements en gain, montrant une forte décroissance avec le développement de grille et avec la fréquence.

La figure (I-5) illustre typiquement les résultats.

Devant la lourdeur de mise en oeuvre de leur modèle électromagnétique, les auteurs ont, par la suite, cherché à développer un autre modèle basé essentiellement sur un schéma équivalent distribué. Bénéficiant de l'expérience procurée par l'analyse de type électromagnétique précédente, Heinrich a pu aborder, de manière beaucoup plus physique que ne l'avaient fait antérieurement les autres auteurs, les problèmes de définition et de détermination des éléments du schéma équivalent distribué. Son modèle est représenté sur la figure (I-6).

Les électrodes de source, grille et drain sont considérées comme constituant un guide d'onde coplanaire. L'ensemble des capacités de la structure est déterminé sur la base du concept des modes pair et impair et en y adjoignant l'effet de désertion sous la grille. Les inductances  $L_{ij}$ , traduisant l'effet selfique externe des électrodes, sont

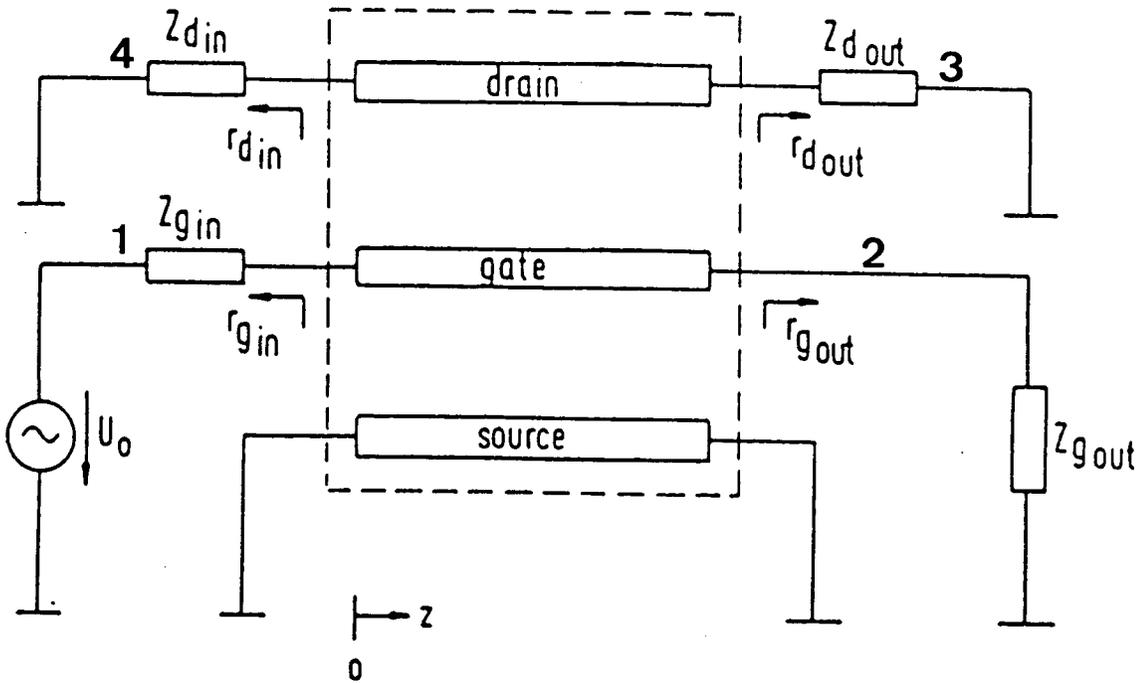


Figure I-8 : Schéma de principe d'utilisation du transistor monogrille

classiquement déduites de la matrice capacité par une relation de la forme:  $[L] = \mu_0 \epsilon [Co]^1$ .

Les impédances  $Z_S$ ,  $Z_G$  et  $Z_D$  des électrodes prennent en compte les effets selfique et résistif liés à la pénétration des ondes par effet de peau dans le métal de celles-ci. Enfin, le canal est pris en compte par les résistances  $R_{gs}$  et  $R_{gd}$  et par le classique générateur de courant lié à la transconductance  $g_m$ . Tous les éléments du modèle ainsi définis sont donc évalués sur des bases physiques. Cette approche s'est avérée tout à fait satisfaisante car Heinrich a retrouvé avec elle des résultats d'évolution du gain très voisins de ceux fournis par l'approche électromagnétique complète typiquement illustrés par la figure (I-7).

En conclusion, l'apport des travaux de Heinrich, Hartnagel et Al, a marqué une étape très importante dans la compréhension des effets de propagation transversaux sur les MESFETS et la définition de schémas équivalents les plus représentatifs possibles de la réalité, malgré la complexité de celle-ci.

## **I-5 Modèle de Kretschmer**

Profitant des travaux fondamentaux effectués par Heinrich et Hartnagel, Kretschmer, Grambow et Sigulla se sont penchés dès 1985 [6] sur la mise en application dans une optique "amplification distribuée". Ils ont élaboré un modèle, prenant en compte les effets suivants :

- 1) le couplage passif entre les électrodes de grille et de drain.
- 2) le couplage actif dû aux déplacements des porteurs dans le canal.
- 3) l'atténuation le long des électrodes de grille et de drain.
- 4) la réflexion des ondes sur quatre extrémités des électrodes de grille et de drain.

Le schéma de principe de la structure étudiée est représenté sur la figure (I-8). Comme on peut le remarquer, les extrémités 1 et 3 constituent l'entrée et la sortie du dispositif tandis que les extrémités 2 et 4, respectivement de la grille et du

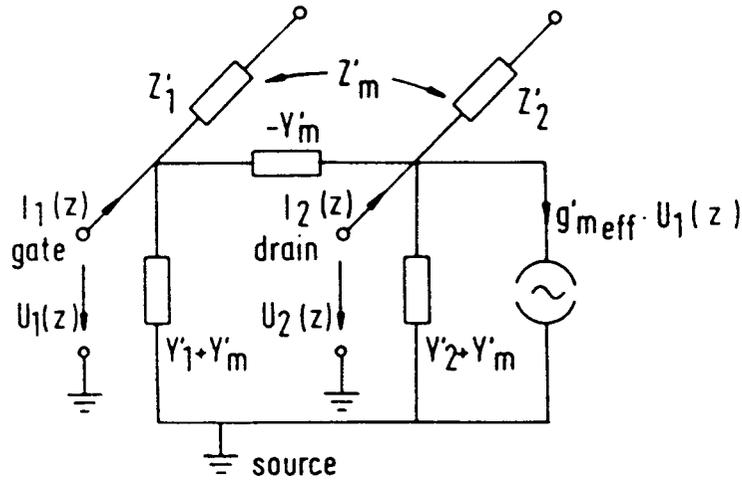


Figure I-9 : Schéma équivalent d'une section élémentaire du modèle de Kretschmer

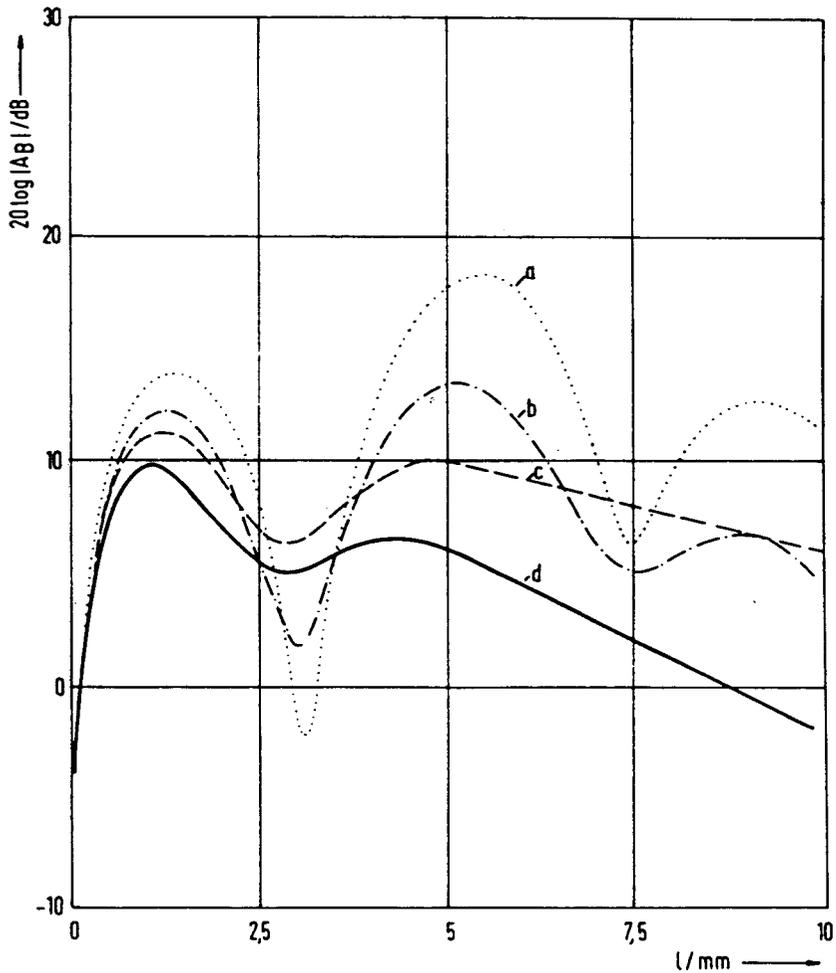


Figure I-10 : Influence des pertes liées aux electrodes et aux semiconducteurs en fonction du développement de grille sur le gain du transistor

- pertes canal plus lignes
- - - - - sans perte canal
- . - . - sans perte ligne
- ..... sans perte

drain, sont fermées sur des impédances terminales  $Z_{din}$  et  $Z_{gout}$ . Cette utilisation des extrémités de la grille et du drain, avec des impédances autres que des circuits ouverts des dispositifs conventionnels, est propre à la technique de l'amplification distribuée. En y recourant, Kretschmer et Al avaient l'intention bien arrêtée d'essayer de réaliser, à partir d'un composant unique à long développement de grille, l'analogie d'un amplificateur distribué. Il est bien connu que les propriétés essentielles des amplificateurs distribués sont d'avoir un gain plat sur une très large bande et d'être auto-adaptées en entrée et en sortie à la charge et à la source. Kretschmer et Al, sans aller jusqu'à faire une étude vraiment exhaustive de cette question, ont eu le mérite d'apporter un certain nombre d'informations sur l'exploitation qui peut être faite de la topologie des électrodes d'un MESFET avec des impédances terminales faisant partie du quadripôle amplificateur.

Comme tout modèle distribué, celui de Kretschmer et Al est constitué de cellules élémentaires de développement de grille  $\Delta z$  suffisamment petit devant le développement de grille total  $l$ . La figure (I-9) représente le schéma équivalent d'une de ces cellules élémentaires.

Les tensions et courants au sein de ce modèle sont relevés par un système différentiel dont les équations sont :

$$\frac{dU_1}{dz} + Z'I_1 + Z'mI_2 = 0$$

$$\frac{dI_1}{dz} + Y_1U_1 + Y'm U_2 = 0$$

$$\frac{dU_2}{dz} + Z'_2I_2 + Z'mI_1 = 0$$

$$\frac{dI_2}{dz} + Y'_2U_2 + (Y'm + g'_{meff})U_1 = 0$$

en utilisant le formalisme classique de la théorie des lignes, on pose :

$$U_1 = \sqrt{Zg} (g_+ + g_-) \quad U_2 = \sqrt{Zd} (d_+ + d_-)$$

$$I_1 = (g_+ - g_-) / \sqrt{Z_g} \quad I_2 = (d_+ - d_-) / \sqrt{Z_d}$$

où  $g_+$  et  $g_-$  représentent les ondes le long de la grille et  $d_+$  et  $d_-$  le long du drain, le système différentiel précédent peut alors s'écrire sous la forme :

$$\begin{bmatrix} \frac{dg_+}{dz} \\ \frac{dg_-}{dz} \\ \frac{dd_-}{dz} \\ \frac{dd_+}{dz} \end{bmatrix} = j\sqrt{(\beta_g \beta_d)} \begin{bmatrix} -\sqrt{\frac{\beta_g}{\beta_d}} & 0 & -\frac{k_1 + k_c}{2} & \frac{k_1 - k_c}{2} \\ 0 & \sqrt{\frac{\beta_g}{\beta_d}} & -\frac{k_1 - k_c}{2} & \frac{k_1 + k_c}{2} \\ -\frac{k_1 + k_{cm}}{2} & \frac{k_1 - k_{cm}}{2} & -\sqrt{\frac{\beta_d}{\beta_g}} & 0 \\ -\frac{k_1 - k_{cm}}{2} & \frac{k_1 + k_{cm}}{2} & 0 & \sqrt{\frac{\beta_d}{\beta_g}} \end{bmatrix} \begin{bmatrix} g_+ \\ g_- \\ d_+ \\ d_- \end{bmatrix}$$

où

$$Z_g = \frac{\sqrt{Z'_1}}{\sqrt{Y'_1}} \quad \text{Impédance caractéristique de la ligne de grille pour } U_2(z)=0$$

$$Z_d = \frac{\sqrt{Z'_2}}{\sqrt{Y'_2}} \quad \text{Impédance caractéristique de la ligne de drain pour } U_1(z)=0$$

$$\beta_g = -j\sqrt{(Z'_1 Y'_1)} \quad \text{Constante de phase de la ligne de grille passive pour } U_2(z)=0$$

$$\beta_d = -j\sqrt{(Z'_2 Y'_2)} \quad \text{Constante de phase de la ligne de drain passive pour } U_1(z)=0$$

$$k_1 = \frac{Z'_m}{\sqrt{(Z'_1 Z'_2)}} \quad \text{Facteur de couplage inductif}$$

$$k_c = \frac{Y'_m}{\sqrt{(Y'_1 Y'_2)}} \quad \text{Facteur de couplage capacitif}$$

$$k_{cm} = \frac{(Y'_m + g'_{meff})}{\sqrt{(Y'_1 Y'_2)}} \text{ Facteur de couplage de la partie active}$$

La solution du polynôme caractéristique ( $\det(A-\delta I)=0$ ) où I représente la matrice identité) du système différentiel conduit à la détermination des constantes de propagation :

$$\begin{aligned} \gamma^2_{1..4} = & - \frac{\beta_g^2 + \beta_d^2 + k_1(k_c + k_{cm})\beta_g\beta_d}{2} \\ & \pm \frac{\beta_g\beta_d}{2} \sqrt{\left(\frac{\beta_g^2 - \beta_d^2}{\beta_g\beta_d}\right)^2 + k_1^2(k_c - k_{cm})^2} \\ & + 2 \frac{\beta_g^2 + \beta_d^2}{\beta_g\beta_d} [k_1(k_c + k_{cm}) + 4(k_1^2 + k_c k_{cm})] \end{aligned}$$

Finalement, la solution générale du système peut se mettre sous la forme :

$$\begin{aligned} g_+(z) \\ g_-(z) & = \sum_{i=1}^4 c_i w_i \exp(\gamma_i z) \\ d_+(z) \\ d_-(z) \end{aligned}$$

où les  $c_i$  représentent des constantes déterminées à partir des conditions de charge du transistor et  $w_i$  les vecteurs propres associés aux constantes de propagation  $\gamma_i$

En appliquant les conditions aux limites et en effectuant un traitement mathématique, cette étude permet ensuite de déterminer l'influence du développement de grille et la nature des impédances terminales  $Z_{din}$  et  $Z_{gout}$  sur le gain du transistor. A titre d'exemple, la figure (I-10) représente l'évolution du MAG en fonction du

développement de grille pour un transistor de longueur de grille  $1 \mu\text{m}$  avec des circuits ouverts pour Zdin et Zgout. Cette figure permet en outre de montrer l'influence sur le gain du transistor des diverses pertes liées aux électrodes et aux semiconducteurs.

En conclusion, les travaux de Kretshmer et Al, constituent un prolongement très intéressant des travaux qui avaient été faits dans un esprit plus fondamentaliste par Hartnagel et Heinrich. Ils ont permis de confirmer le rôle important que jouent les pertes des électrodes sur le fonctionnement du transistor. De plus, ils ont montré qu'il est possible à partir d'une telle étude, d'optimiser les performances d'un transistor en fonction d'une part de son développement de grille et, d'autre part, de la valeur des impédances terminales connectées sur l'extrémité de l'électrode de grille ou de drain habituellement laissée en circuit ouvert.

## **I-6 Modèle de Chang**

Le plus récent travail, à notre connaissance, permettant de prendre en compte les phénomènes de propagation le long des électrodes d'un transistor est celui développé par Chang [7] en 1989. Son approche présente des points communs avec celle développée par Heinrich, Hartnagel, Kretschmer et Al, en ce sens qu'elle s'appuie également sur une description modale de type coplanaire pour expliciter les éléments du schéma distribué.

La définition de la structure est décomposée en deux parties :

- premièrement, la partie active du transistor qui est caractérisée à partir de mesures en continu et en basses fréquences
- deuxièmement, les électrodes qui sont modélisées à partir du formalisme des lignes et guides coplanaires en tenant compte de leur géométrie et des constantes des matériaux qui les constituent.

Comme dans toutes autres modélisations, le transistor est découpé en cellules élémentaires de section  $\Delta x$  dont le schéma équivalent du modèle de Chang est représenté

sur la figure (I-11).

Contrairement à ce qu'avait établi Heinrich, Chang a séparé complètement l'aspect passif et l'aspect actif de la structure pour déterminer les éléments du schéma équivalent. Il a d'abord considéré la structure sur un plan purement passif en l'assimilant à un guide métallique coplanaire sur substrat semi-isolant d'Arséniure de Gallium. Avec cette hypothèse, il a symbolisé les effets des lignes par la self  $L_1$  et la capacité  $C_1$  pour l'électrode de drain et par la self  $L_2$  et la capacité  $C_2$  pour l'électrode de grille, avec un couplage capacitif  $C_m$  et un couplage inductif  $L_m$ . La pénétration des ondes dans le métal des électrodes, par effet de peau, a été modélisée, comme l'auraient fait les auteurs précédents par la self  $L_d$  et la résistance  $R_d$  pour le drain et par la self  $L_g$  et la résistance  $R_g$  pour la grille.

Le modèle est symétrique (la distance grille source est égale à la distance grille drain). Il présente un mode de propagation TEM et l'électrode peut être décomposée en la superposition de deux modes d'excitation : un mode pair et un mode impair. Le mode pair correspond alors à l'excitation d'un guide coplanaire [8] alors que le mode impair est lui analogue à l'excitation d'une paire de lignes coplanaires. Ainsi la détermination des éléments ( $L_{cpw}$  et  $C_{cpw}$ ) du schéma équivalent relatif au guide d'onde coplanaire et des éléments ( $L_{cps}$  et  $C_{cps}$ ) de celui relatif aux lignes coplanaires, permet d'aboutir aux relations suivantes :

$$L_1 = L_{cps}$$

$$L_2 = L_{cpw} + \frac{1}{4} L_{cps}$$

$$L_m = \frac{1}{2} L_{cps}$$

$$C_1 = \frac{1}{2} C_{cpw}$$

$$C_2 = C_{cps} - \frac{1}{4} C_{cpw}$$

$$C_m = \frac{1}{2} C_{cpw}$$

La valeur des éléments ( $L_{cpw}$ ,  $C_{cpw}$ ,  $L_{cps}$ ,  $C_{cps}$ ) est calculée directement à partir de constantes diélectriques de l'AsGa et de l'air ainsi que des impédances caractéristiques du guide d'onde et des lignes coplanaires de même dimension (figure I-12) dont une étude détaillée est donnée par Chang [9].

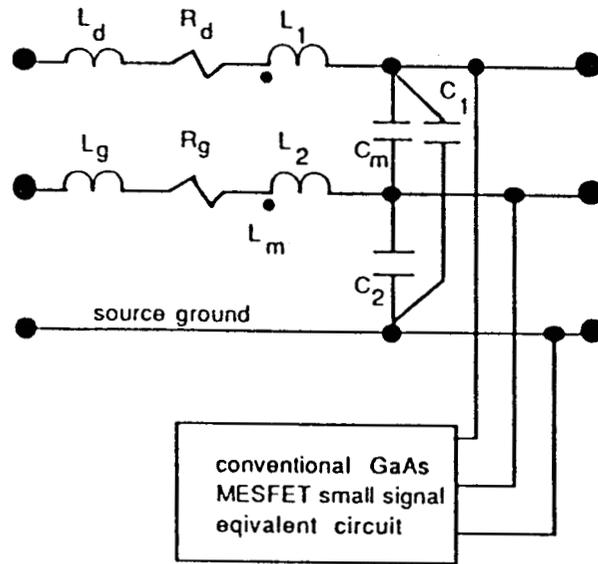


Figure I-11 : Schéma équivalent d'une cellule élémentaire du modèle de Chang

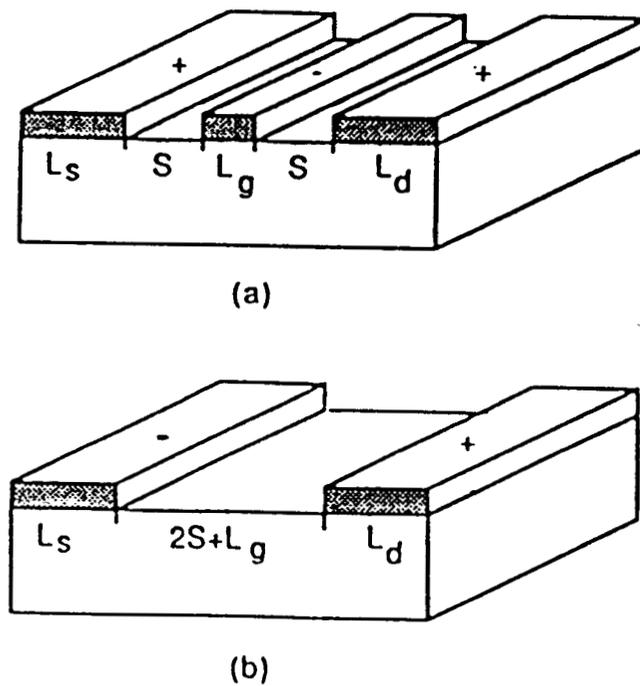


Figure I-12 : Guide d'onde (a) et lignes coplanaires (b) correspondant au transistor

En ce qui concerne les résistances internes ( $R_g$  et  $R_d$ ) ainsi que les inductances ( $L_g$  et  $L_d$ ) leurs valeurs sont données par les relations classiques de l'impédance de surface :

$$L = 1/a \operatorname{Re} [Z_{int} \operatorname{Coth} \gamma b]$$

$$R = 1/\omega a \operatorname{Im} [Z_{int} \operatorname{Coth} \gamma b]$$

où  $Z_{int}$  représente l'impédance interne de l'électrode considérée, "a" le plus grand côté de l'électrode en coupe et "b" le plus petit côté. Après cette détermination de l'aspect électromagnétique de la structure considérée purement passive, Chang a complété son schéma distribué en introduisant sous formes de cellules élémentaires, la partie active du transistor. Ayant ensuite introduit son modèle dans le simulateur SUPER COMPACT, Chang a établi l'évolution des performances de la structure en fonction de la topologie de l'électrode et de l'espace grille source ou grille drain. A titre d'exemple, la figure (I-13) montre l'évolution du gain en puissance qu'il a trouvée en fonction du développement de grille pour différentes fréquences dans le cas d'un transistor ayant une longueur de grille de  $0,5 \mu\text{m}$  et un espace grille source de  $1 \mu\text{m}$ . Par ailleurs, Chang a aussi utilisé son modèle pour étudier l'influence des emplacements de l'entrée et de la sortie sur les électrodes de grille et de drain.

Globalement, les comportements de gain en fonction du développement de grille et de la fréquence, trouvés par Chang, sont assez similaires à ceux établis par Heinrich, Hartnagel, Kretschmer et Al, malgré une approche de modélisation quelque peu différente. Une comparaison quantitative est difficile étant donné que les conditions opératoires retenues par les auteurs ne sont pas identiques. Par ailleurs, une ambiguïté semble exister dans le modèle de Chang à propos de l'introduction de la partie active du transistor. L'auteur ne fait absolument pas mention de la composition exacte de cette partie active et de la manière utilisée pour dégager dans l'évaluation des éléments localisés ce qui est vraiment propre à cette partie active.

## **I-7 Conclusion**

A l'issue de ce chapitre, il apparaît clairement qu'une modélisation rigoureuse

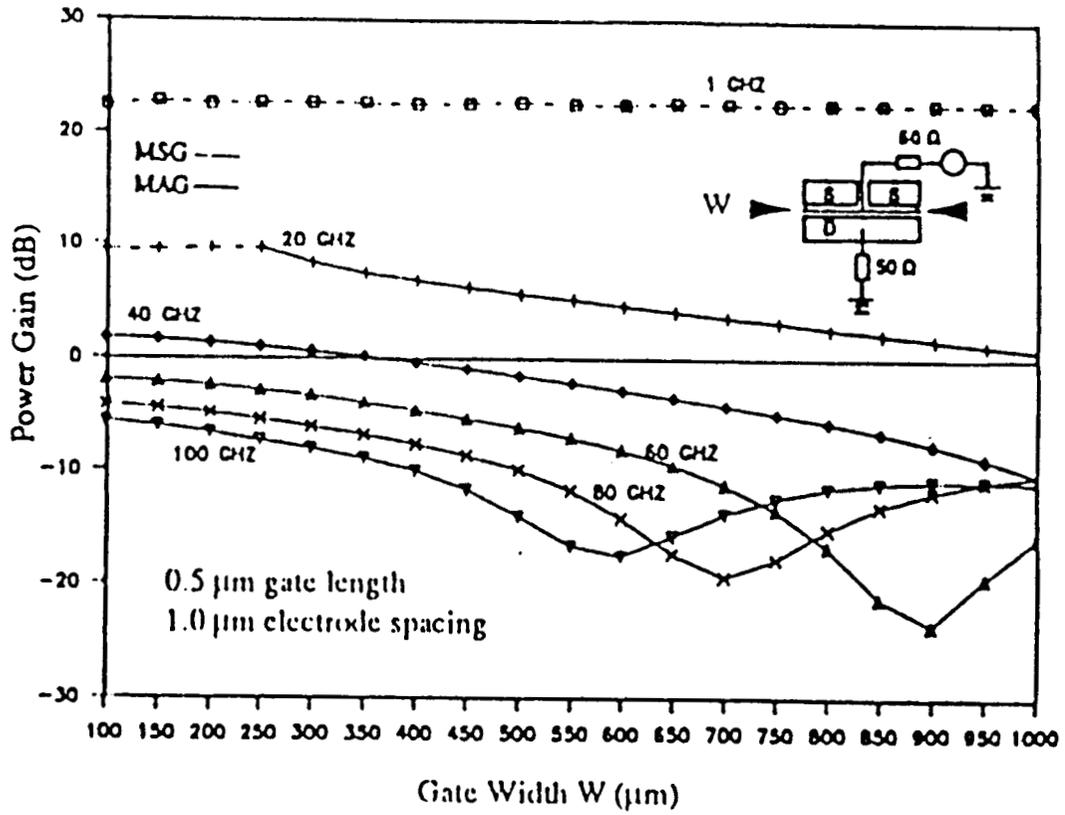


Figure I-13 : Evolution théorique du MAG et du MSG en fonction du développement de grille pour différentes fréquences

des effets transversaux dans les MESFETS devrait faire appel à une double description, à la fois avec les équations des champs électromagnétiques et celles propres aux semi-conducteurs. Une telle modélisation constituerait, sans aucun doute, un travail extrêmement difficile, voire impossible. Parmi les modélisations présentées dans ce chapitre, une seule peut être considérée comme déjà relativement très complète. Il s'agit des travaux d'Heinrich et Hartnagel. Cependant, l'aspect électromagnétique y est traité de manière plus approfondie que l'aspect composant à effet de champ. L'intérêt de cette modélisation et des autres modélisations plus simples est surtout d'avoir permis de mieux appréhender les mécanismes fondamentaux des effets transversaux dans les transistors à effet de champ et d'avoir conduit à préciser quantitativement des aspects électromagnétiques non évidents de prime abord, en particulier l'estimation des inductances et résistances à introduire pour la simulation des électrodes.

Il demeure que pour disposer d'un modèle de type schéma équivalent distribué qui soit facilement utilisable pour une étude systématique comme la nôtre, il est indispensable de mettre en oeuvre, pour la définition des éléments de ce modèle, différentes approches mettant à profit les connaissances apportées par les travaux que nous avons présentés mais aussi faisant appel à une approche de caractérisations expérimentales spécifiques et à l'utilisation de procédures d'optimisation. Ce sont ces différents types d'approches que nous avons, pour notre part, utilisés. Nous en détaillerons les aspects et justifications dans le chapitre suivant.

## **CHAPITRE II**

**TECHNOLOGIE, MODELISATION**

**ET CARACTERISATION DES**

**TRANSISTORS MONOGRILLES**

## II-1 Introduction

Partant d'une étude théorique sur les phénomènes de propagation le long des électrodes de grille et de drain d'un transistor à grand développement de grille, Kretschmer et Al proposent une nouvelle utilisation du monogrilles dont le schéma de principe est représenté sur la figure (II-1). En effet, il démontre à partir de simulation que cette structure peut fonctionner en amplification à condition de rendre exploitable les deux modes de propagation en présence par un choix judicieux des impédances terminales  $Z_{ld}$  et  $Z_{lg}$ . Il nous a alors paru intéressant d'étudier plus en détail cette constatation afin de déterminer quelles sont les limitations et les performances que pourraient offrir de telles structures.

Ainsi, nous nous proposons de décrire dans ce chapitre premièrement les différentes structures monogrilles étudiées et réalisées au sein du laboratoire permettant de mettre en évidence ces phénomènes de propagation, ainsi que les différentes étapes technologiques nécessaires à leur réalisation.

Nous présentons ensuite, le type de modélisation retenue permettant d'une part d'effectuer une étude théorique la plus large possible et d'autre part, de voir l'influence d'impédances terminales connectées aux extrémités de la grille et du drain sur le fonctionnement de la structure.

Enfin, nous décrivons les différentes mesures mises en oeuvre, nécessaires à une caractérisation complète de ces transistors monogrilles. Cette étude sera scindée en trois parties :

- premièrement des mesures en continu permettant de déterminer les résistances d'accès du transistor ainsi que divers paramètres tels le coefficient d'idéalité ou la tension de barrière.

- deuxièmement des mesures basses fréquences permettant la détermination de paramètres technologiques (profil de dopage, épaisseur, dopage équivalent) et de la mobilité.

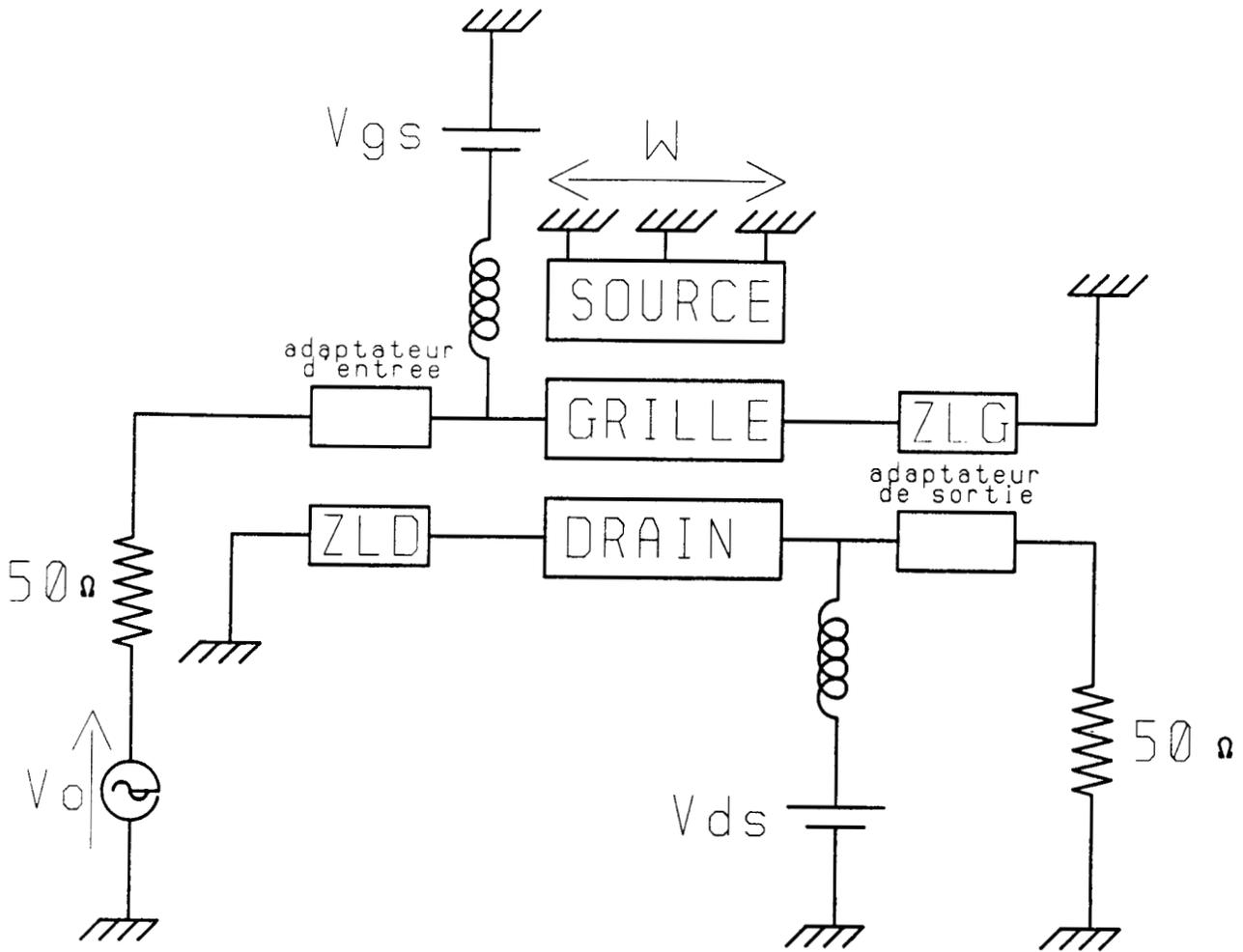


Figure II-1 : Schéma de principe de la structure monogrille

- troisièmement des mesures hautes fréquences permettant de caractériser d'une part la partie active du transistor et d'autre part de déterminer la valeur des éléments parasites. Enfin, des mesures large bande permettant de caractériser l'électrode de grille montée en ligne de transmission.

## **II-2 Description de la technologie employée**

Avant d'aborder les différentes méthodes mises en oeuvre pour modéliser et caractériser les structures monogrilles réalisées, il nous semble utile de rappeler brièvement la technologie employée. En effet, elle détermine de façon essentielle la faisabilité et les performances d'un composant.

### **II-2-1 Les couches épitaxiées**

Les différents composants réalisés utilisent des plaquettes circulaires de deux pouces d'AsGa épitaxiées provenant, soit de Sumitomo (Japon), soit du banc d'épitaxie par jet moléculaire du laboratoire. Nous avons utilisé pour la réalisation de nos composants indifféremment les deux types de couches. Ces plaquettes comportent généralement quatre niveaux. Les valeurs typiques de l'épaisseur et du dopage des différentes couches sont représentées sur la figure (II-2).

La couche inférieure est un substrat semi isolant, dopé au chrome et servant à la croissance de la couche épitaxiale.

La couche tampon ou buffer est insérée entre la couche active et le substrat semi-isolant dans le but d'assurer une meilleure adaptation cristallographique entre les différentes épitaxies et d'éviter une discontinuité de la mobilité ou voisinage du substrat.

La couche conductrice dite couche active est dopée N, généralement par des atomes de soufre ou de silicium. Enfin, une couche surdopée est déposée à la surface dans le but d'améliorer la qualité des contacts ohmiques.

2 - 3 $10^{18}$	0,15 à 0,25 $\mu\text{m}$
2 - 3 $10^{17}$	0,15 à 0,25 $\mu\text{m}$
Tampon	3 à 4 $\mu\text{m}$
Semi-isolant	200 à 400 $\mu\text{m}$

Figure II-2 : Couche épitaxiée

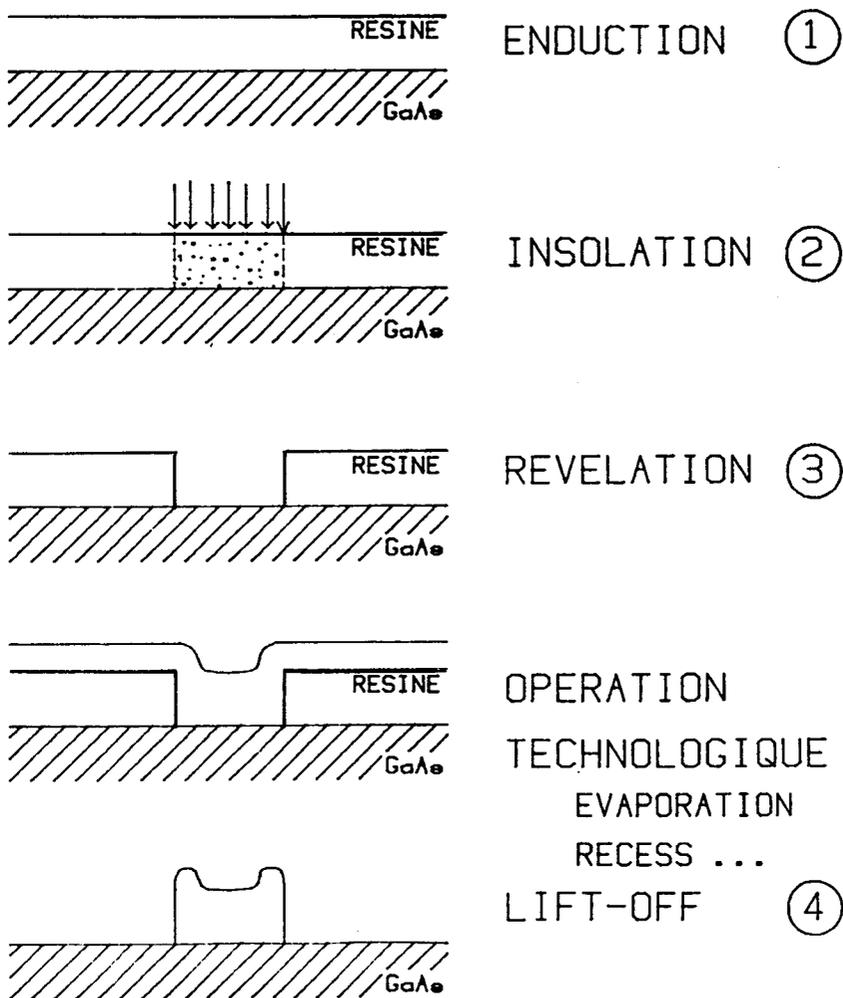


Figure II-3 : Cycle lithographique

## **II-2-2 Les masques**

La structure planar de nos composants nécessite la réalisation de dépôts localisés ou de gravures. Il faut donc concevoir un jeu de masques qui permettent la localisation et la superposition de ces opérations.

La réalisation de ces masques est faite à l'aide d'un photocomposeur qui permet de graver sur des plaques de verre enduites de gélatine photosensible des motifs élémentaires. Ces derniers sont générés à l'échelle 10 puis réduits à l'échelle 1 et photorépétés sur une plaque de verre recouverte d'oxyde de fer. Nous obtenons alors les masques définitifs qui serviront à la réalisation des composants. Ces masques sont de deux types différents à savoir positif ou négatif suivant que l'on réalise un dépôt ou une gravure.

Tout masque correspondant à une opération technologique doit être d'abord conçu à l'aide d'un logiciel du nom de "Mycène" réalisé au sein du laboratoire.

Nous entrons le contour correspondant de l'architecture désirée, la décomposition en rectangles élémentaires se faisant ensuite automatiquement. Puis une conversion des données du format IBM en norme Commodore, conversion obligatoire dans la mesure où la commande du photocomposeur se fait par l'intermédiaire d'un VIC 20 Commodore.

## **II-2-3 Les étapes technologiques**

Nous décrivons dans ce paragraphe les différentes étapes technologiques ainsi que les masques correspondant, indispensables à l'élaboration de n'importe quel composant. Nous traiterons simultanément les différentes topologies réalisées car elles ne présentent aucune différence du point de vue de la réalisation technologique proprement dite. Lors de chaque étape technologique, il est nécessaire de répéter un certain nombre d'opérations permettant de préparer la plaquette. Ainsi le cycle de photolithographie fait partie de ces opérations.

### II-2-3-1 La lithographie

La figure (II-3) représente la chronologie des quatre étapes qui constituent le cycle lithographique.

- enduction : la résine photosensible est déposée par centrifugation sur la plaquette d'AsGa puis elle subit un recuit afin d'en augmenter l'adhérence et d'évaporer le solvant. Certaines opérations supplémentaires peuvent intervenir, tel le durcissement de la zone superficielle de la résine dans du chlorobenzène afin d'obtenir ultérieurement un décrochement facilitant le "lift off" notamment lors du dépôt de grille. La résine photolithographique est la plupart du temps de type positive à savoir que c'est la partie insolée qui est dissoute lors de la révélation. Il existe toutefois des résines dites négatives mais elles sont difficiles à manipuler, peu stables et présentent une moins bonne définition que les résines positives.

- insolation : l'insolation s'effectue par illumination de la résine au travers du masque durant quelques secondes. Cette étape dite de photomasquage se fait par l'intermédiaire d'un aligneur de masques, cet alignement étant réalisé par contact.

- révélation : la plaquette insolée est plongée dans un bain révélateur constitué d'un solvant de la résine et d'une solution tampon. La révélation se termine par le rinçage de la plaquette dans un bain d'arrêt. Les paramètres essentiels de cette opération sont le temps de révélation et la température du bain.

- nettoyage : après l'opération technologique proprement dite (dépôt, gravure ...) la résine doit être enlevée. Cette opération appelée "lift off" consiste à plonger la plaquette dans un solvant de la résine et à soumettre l'ensemble à l'action des ultrasons pour faciliter le nettoyage.

### II-2-3-2 L'attaque Mesa

Le masque mesa qui délimite la zone active du transistor, permet également d'isoler les composants les uns par rapport aux autres. Ils sont souvent au nombre de

deux pour éviter une descente trop brutale de la grille qui se traduirait par une rupture de cette dernière. La réalisation du mesa se fait par attaque chimique dont la durée permet de contrôler la profondeur du Mesa.

### II-2-3-3 Contact ohmique

Le masque des contacts ohmiques permet de réaliser la source et le drain du composant. La réalisation des contacts ohmiques se fait par évaporation sous vide par effet joule de l'eutectique AuGe dans des proportions 88 % et 12 % respectivement et ensuite par une pulvérisation de Nickel. L'addition de Nickel permet d'améliorer l'aspect optique du contact et ensuite la plaquette est réduite dans un four à circulation d'azote hydrogéné. La qualité des contacts est ensuite vérifiée au traceur de courbes afin de s'assurer que le contact n'est pas rectifiant. Cette manipulation permet également en disposant les pointes sur les différents contacts ohmiques de la barrette de résistances de déterminer la résistance de contact  $R_c$ .

### II-2-3-4 Gravure du canal

Le masque de gravure du Canal permet d'attaquer par voie chimique la couche surdopée. Il est à noter que pour les différents composants réalisés, nous avons utilisé un masque ayant la même géométrie que celui nécessaire à la réalisation des contacts ohmiques. Le contrôle de la profondeur d'attaque s'effectue en mesurant le courant de saturation induit entre deux contacts ohmiques séparés par le canal attaqué. En général, cette mesure s'effectue sur le transistor test de 75  $\mu\text{m}$  de développement de grille, soit dans notre cas sur les transistors de 150 et 300  $\mu\text{m}$  de large. Il nous était donc impossible de mesurer ce courant sur nos structures de 1 mm à cause de sa valeur trop élevée. La vitesse d'attaque dépend non seulement de la largeur du canal mais également du développement total de la grille. Cette étape s'est révélée délicate car une attaque insuffisante de la couche surdopée peut remettre en cause la suite du process ainsi que les performances souhaitées.

### II-2-3-5 Le contact Schottky

Le masque de grille permet non seulement de réaliser le contact Schottky mais également au préalable de creuser une partie de la couche N par attaque chimique pour obtenir la tension de pincement et le courant  $I_{dss}$  désirés. Pour des transistors ayant des longueurs de grille égales ou inférieures au micron, le photomasquage de la plaquette est réalisé à l'aide d'un masqueur électronique et ne nécessite pas l'utilisation d'un masque de verre. Comme nous l'avons vu précédemment, la vitesse d'attaque de la couche N n'étant pas uniforme, il a fallu dans le cas où plusieurs motifs étaient dessinés sur le même masque, trouver un compromis entre la tension de pincement et le courant de saturation souhaités. Nous présenterons dans le paragraphe consacré aux différentes structures réalisées, un tableau récapitulatif montrant les courants obtenus et ceux désirés pour les différents transistors. De plus, afin de s'assurer du bon positionnement de la grille dans le canal, des essais préliminaires ont été réalisés sur des substrats semi isolants pour les transistors présentant un développement de grille de  $900\ \mu\text{m}$ . L'attaque du canal étant réalisée, le dépôt de la grille peut être effectué après avoir désoxydé la plaquette en la plongeant dans une solution d'HCl diluée puis en faisant un "etching". Ensuite, on dépose successivement une couche de titane pour l'accrochage, une couche de platine pour éviter la diffusion de l'or sous le contact, une deuxième couche de titane et enfin une couche épaisse d'or pour assurer une bonne conductivité électrique et avoir la résistance de grille la plus faible possible. Après le "lift off", on recuit la barrière formée à  $250^\circ\text{C}$  pendant 30 minutes. Cette étape étant réalisée, il est alors possible de mesurer différentes caractéristiques statiques du transistor telles, la résistance de grille, la tension de pincement ainsi que la caractéristique  $I_d$  ( $V_{ds}$ ,  $V_{gs}$ ). Cette étape de réalisation du contact Schottky s'est révélée très délicate dans le cas de nos structures de  $900\ \mu\text{m}$ . En effet, le masqueur devant travailler dans un champ de  $1200\ \mu\text{m}$  par  $1200\ \mu\text{m}$  ce qui a pour conséquence d'augmenter l'angle de déviation du faisceau, le moindre décalage de la grille dans le canal se traduit soit par la rupture de celle-ci soit par un chevauchement de la grille sur la source ou le drain.

#### II-2-3-6 Dépôt d'isolant

Le masque de passivation permet d'éviter l'oxydation de la zone active du

transistor. Nous utilisons ici le polyimide pyralin qui présente une grande facilité d'emploi. Le polyimide liquide est déposé à la tournette puis subit deux recuits afin de le polymériser.

Ce pyralin peut être alors gravé partiellement ou totalement par attaque dans un plasma d'air (GIR 100). Cette attaque relativement précise moyennant un bon étalonnage est de 1000 à 1500 Å/min.

### **II-2-3-7 La métallisation supérieure**

Le masque de métallisation supérieure permet le dépôt des plots d'épaissement qui facilitent les microsoudures et améliorent la conductivité.

### **II-2-4 Les motifs tests**

Les motifs de test servent soit à contrôler en cours de réalisation, les différentes étapes technologiques, soit à caractériser les éléments du circuit. Ces motifs test comprennent une échelle de résistance, une croix de centrage, un transistor de 75 µm de développement de grille et quatre plots métalliques servant de repères lors du dépôt de grille réalisé au masqueur électronique. L'ensemble de ces motifs tests est représenté sur la figure (II-4).

#### **II-2-4-1 Echelle de résistances et transistor test**

Le transistor test doit présenter les mêmes caractéristiques que les transistors réalisés dans le circuit à savoir une distance drain source et une longueur de grille identiques. En effet, ce transistor permet en cours de process, dans le cas où l'on ne peut pas mesurer certains paramètres des transistors inclus dans le circuit, de contrôler la vitesse d'attaque de la zone active pour avoir le courant et la tension de pincement souhaités. La barrette de résistances, réalisée lors de l'étape contact ohmique, est constituée de surfaces métalliques de largeur et d'espacement différents permettant de connaître la résistance et la qualité des contacts ohmiques.

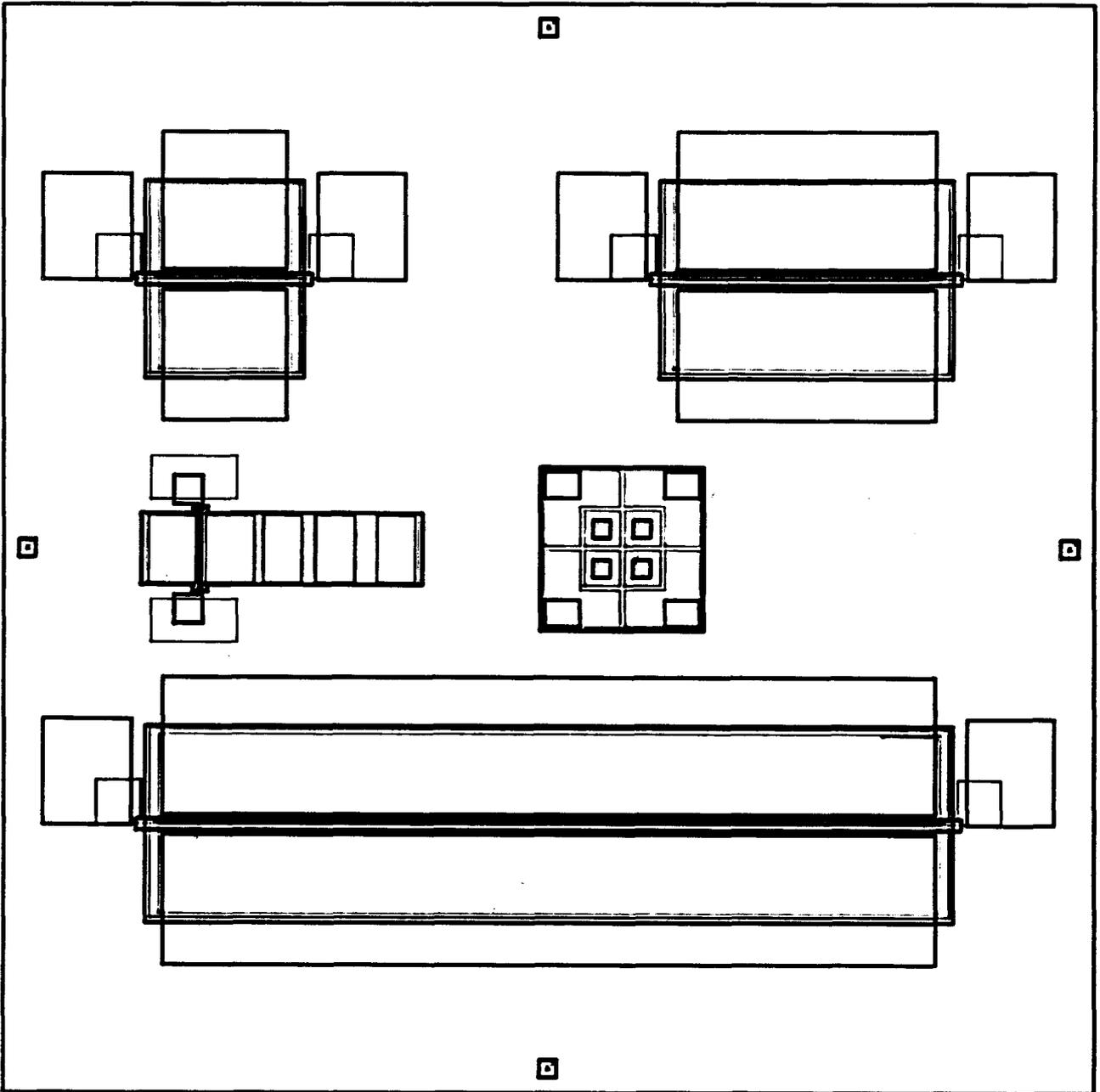


Figure II-4 : Motifs tests

#### **II-2-4-2 La croix de centrage**

La croix de centrage regroupe tous les niveaux nécessaires lors de la réalisation technologique à l'exception du niveau de grille réalisé la plupart du temps au masqueur électronique. Ce motif test permet de contrôler les différentes étapes technologiques ainsi que de vérifier le bon alignement des différents masques.

#### **II-2-4-3 Repères pour le masqueur électronique**

Lors de la réalisation de transistors à grille submicronique, il est obligatoire de définir un champ de travail pour le masqueur électronique, correspondant à la taille maximale du circuit y compris les chemins de découpe et les motifs tests. Ce champ est ensuite photorépété sur l'ensemble de la plaquette. Il est alors nécessaire de disposer des plots métalliques de 4  $\mu\text{m}$  de côté réalisés lors de l'étape contact ohmique à 20  $\mu\text{m}$  du bord du champ et centrés dans le sens de la longueur et de la largeur. Ces plots ont un rôle important car ils servent de repère lors de la réalisation du masquage de la grille dans le canal. De plus pour que ces plots soient à la même hauteur que les contacts ohmiques du drain et de la source, il est nécessaire de les protéger lors de la réalisation des différents Mesa.

Une fois la réalisation technologique terminée, ces motifs tests ne servent plus à l'exception parfois du transistor test. C'est pourquoi afin de gagner de la place, ils sont généralement implantés dans le chemin de découpe des puces.

#### **II-2-5 Conclusion**

Nous disposons maintenant d'un certain nombre de procédés technologiques grâce auxquels nous pourrions réaliser divers transistors monogrilles de topologie différente. Nous nous proposons dans le paragraphe suivant de ce chapitre de définir les

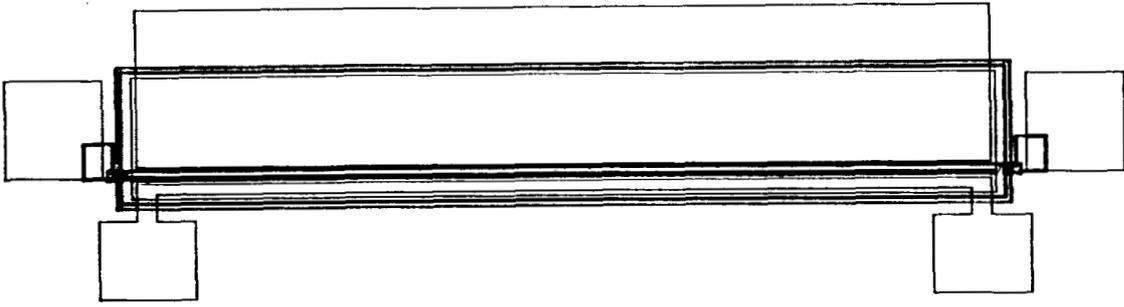


Figure II-5 : Superposition des masques d'un transistor monogrille de  $900 \mu\text{m}$   
à drain de type ligne

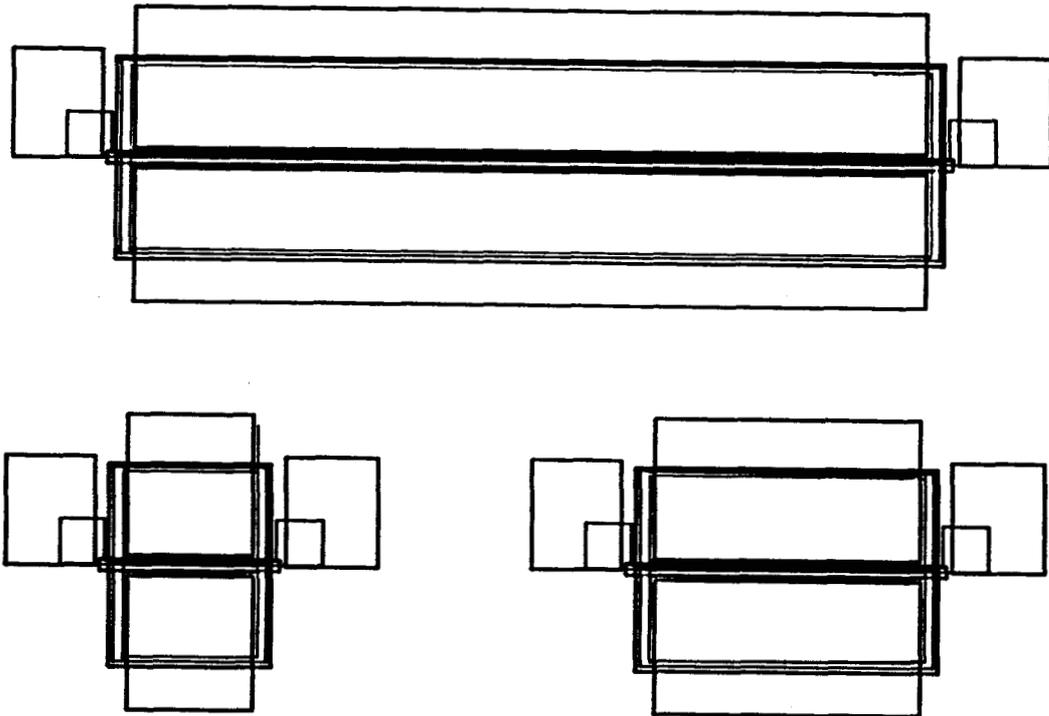


Figure II-6 : Superposition des masques des transistors monogrilles a drain  
de type surface

différentes structures réalisées et étudiées et de présenter les différentes caractéristiques obtenues en cours de réalisation technologique.

## **II-3 Topologie des différentes structures étudiées**

### **II-3-1 Introduction**

Nous présentons dans ce paragraphe les différentes structures étudiées et réalisées, nécessaires à l'étude de phénomènes de propagation le long des électrodes d'un transistor. Nous nous limiterons dans cette partie à ne décrire que les structures monogrilles, les structures bigrilles étant traitées dans le chapitre IV. Ainsi, nous avons choisi d'étudier premièrement des structures présentant un développement de grille de  $900\ \mu\text{m}$  et ayant deux types de géométrie pour le drain : soit un drain de type ligne, soit un drain de type surface. Nous en avons également profité pour inclure sur le même masque des transistors de  $150$  et  $300\ \mu\text{m}$  afin d'étudier non seulement l'influence du développement de grille, mais aussi de voir si les résultats obtenus sur les transistors de grande dimension se retrouvaient pour des transistors de taille classique. Nous avons d'ailleurs apporté certaines modifications sur la topologie des composants par rapport à des structures monogrilles classiques afin de pouvoir étudier l'influence d'impédances terminales connectées sur l'une des extrémités de la grille ou du drain.

### **II-3-2 Transistor avec drain de type ligne**

La figure (II-5) représente la superposition des différents niveaux de masques nécessaires à la réalisation d'un transistor monogrille de  $900\ \mu\text{m}$  de large, présentant un drain de type ligne. Les masques nécessaires à une telle réalisation sont :

- 1 - deux masques méso qui délimitent la zone active du TEC et permettent d'isoler les composants les uns par rapport aux autres.
- 2 - le masque des contacts ohmiques pour réaliser la source et le drain ainsi que la

gravure de la couche surdopée.

3 - le masque de grille pour creuser une partie de la couche N et réaliser le contact Schottky.

4 - le masque de passivation pour protéger la zone active du transistor.

5 - le masque de métallisation pour le dépôt des plots d'épaissement.

Ce composant présente une longueur de grille de  $1\ \mu\text{m}$  et un espace drain source de  $3\ \mu\text{m}$ . Le drain a une largeur de  $8\ \mu\text{m}$  et possède comme la grille à chacune de ses extrémités un plot métallique de  $100\ \mu\text{m}$  de côté. La présence de ces deux plots supplémentaires par rapport à une structure monogridde classique permet d'étudier l'influence d'impédances terminales connectées sur l'une des extrémités de la grille et du drain. Le schéma de principe d'une telle structure est représenté sur la figure (II-1). Le signal hyperfréquence est injecté sur une extrémité de la grille et le signal de sortie est recueilli sur l'extrémité opposé de l'électrode de drain, ZLG et ZLD représentent des impédances que l'on connectera respectivement sur les extrémités restantes du drain et de la grille.

Ce type de topologie permet ainsi de mesurer non seulement le transistor dans une configuration classique, mais aussi d'étudier les phénomènes de propagation le long des électrodes.

### II-3-3 Transistor avec drain de type surface

Nous présentons maintenant des structures ayant une topologie différente en ce qui concerne le drain et ayant différents développements de grille. La figure (II-6) représente la superposition des différents niveaux de masques nécessaires à la réalisation de ces trois structures. L'élaboration de ces transistors a nécessité le même nombre de masques que ceux précédemment cités. Ces transistors présentent une longueur de grille de  $0,8\ \mu\text{m}$  et un espace drain source de  $3\ \mu\text{m}$ . Les différentes largeurs de grille choisies

pour ces transistors sont 150, 300 et 900  $\mu\text{m}$ . Nous avons également disposé à chaque extrémité de la grille un plot métallique de 100  $\mu\text{m}$  de côté. Plusieurs types d'utilisation sont envisageables pour ces transistors suivant que l'on recueille le signal de sortie sur la totalité du drain ou comme pour les structures précédemment décrites sur l'une des extrémités de ce dernier, l'autre extrémité permettant la connexion d'une impédance terminale. Nous pouvons également avec ces différentes structures étudier l'influence du développement de grille et en déduire comme nous le verrons en détail dans le chapitre III une valeur optimale.

#### **II-3-4 Résultats obtenus pour les différentes structures lors du process technologique**

Nous présentons dans cette partie les différents résultats obtenus en statique en cours de réalisation technologique pour les différentes structures réalisées. Afin de savoir, à quel transistor correspondent les caractéristiques obtenues, nous prendrons les conventions suivantes pour désigner les différents transistors réalisés lors de cette étude. Le transistor considéré sera désigné par exemple, par l'expression 167T104 où 167 représente le numéro de l'opération technologique T1 pour transistor de type 1 et 04 représente le numéro du composant dans la série. Ainsi nous désignerons par :

- 167T101 les transistors de 900  $\mu\text{m}$  ayant un drain de type ligne
  
- 210T101 les transistors de 150  $\mu\text{m}$  ayant un drain surface
  
- 210T201 les transistors de 300  $\mu\text{m}$  ayant un drain surface
  
- 210T301 les transistors de 900  $\mu\text{m}$  ayant un drain surface

Nous présentons sur les figures (II-7,8,9) les résultats obtenus en fin de process pour les différentes structures étudiées.

## **II-4 Modélisation des transistors monogrilles**

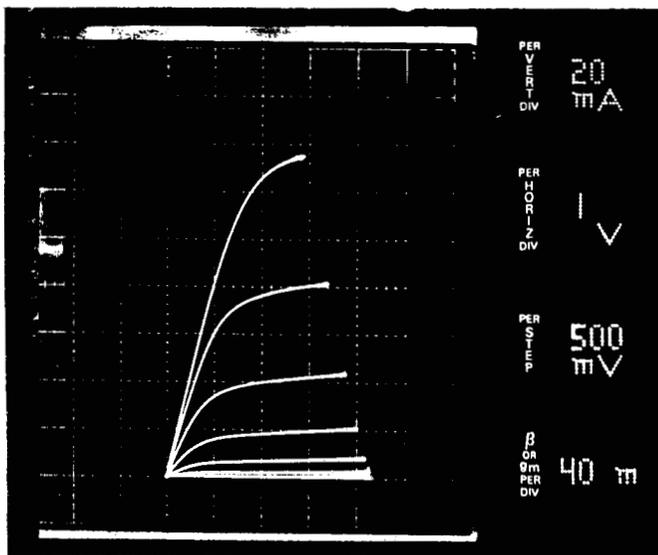


Figure II-7 : Caractéristique statique  $I_{ds}(V_{gs}, V_{ds})$  du transistor 167T104

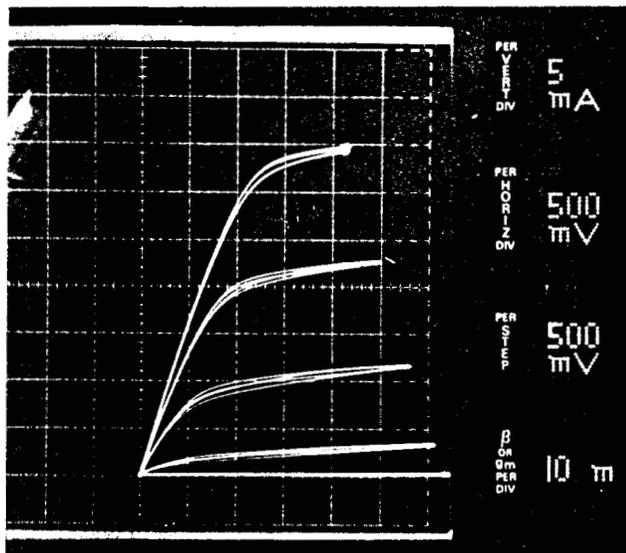


Figure II-8 : Caractéristique statique  $I_{ds}(V_{gs}, V_{ds})$  du transistor 210T101

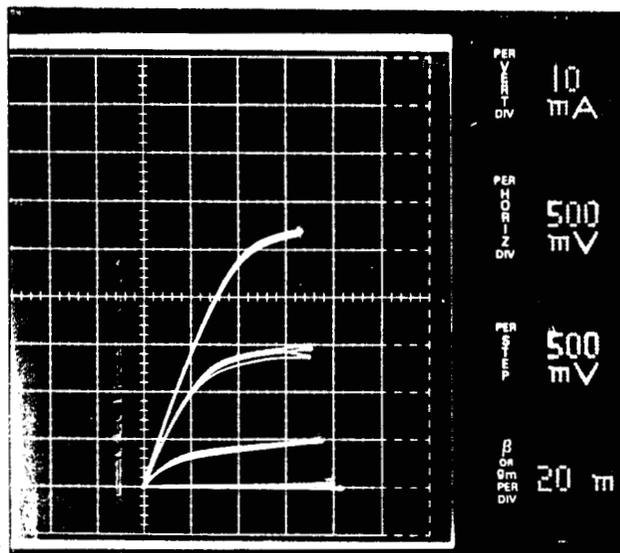


Figure II-9 : Caractéristique statique  $I_{ds}(V_{gs}, V_{ds})$  du transistor 210T201

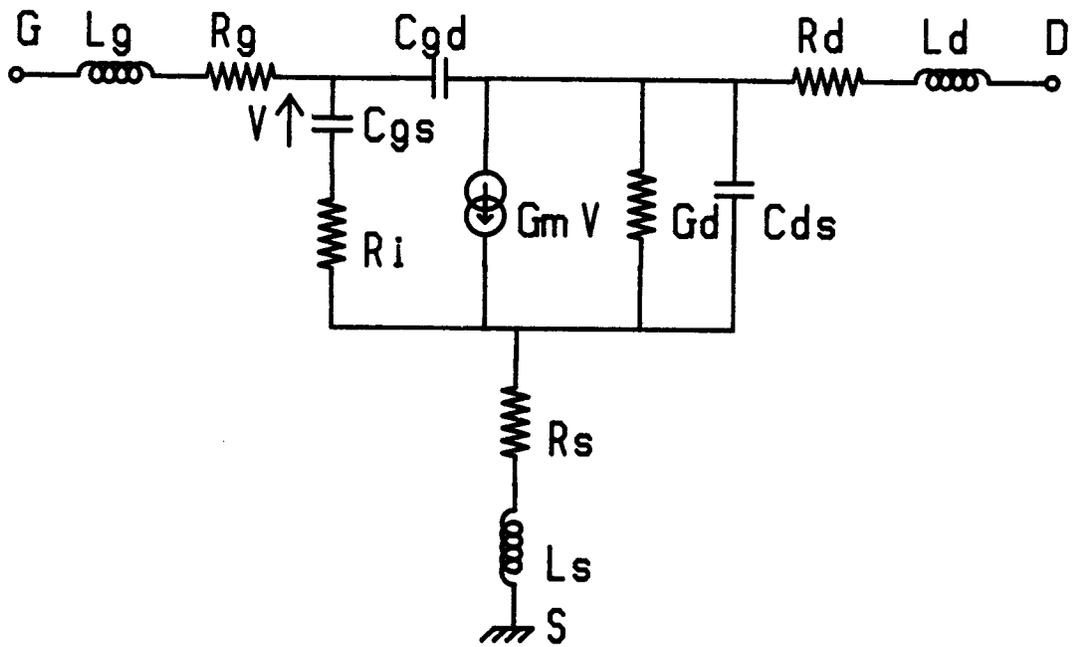


Figure II-10 : Schéma équivalent du transistor monogrille

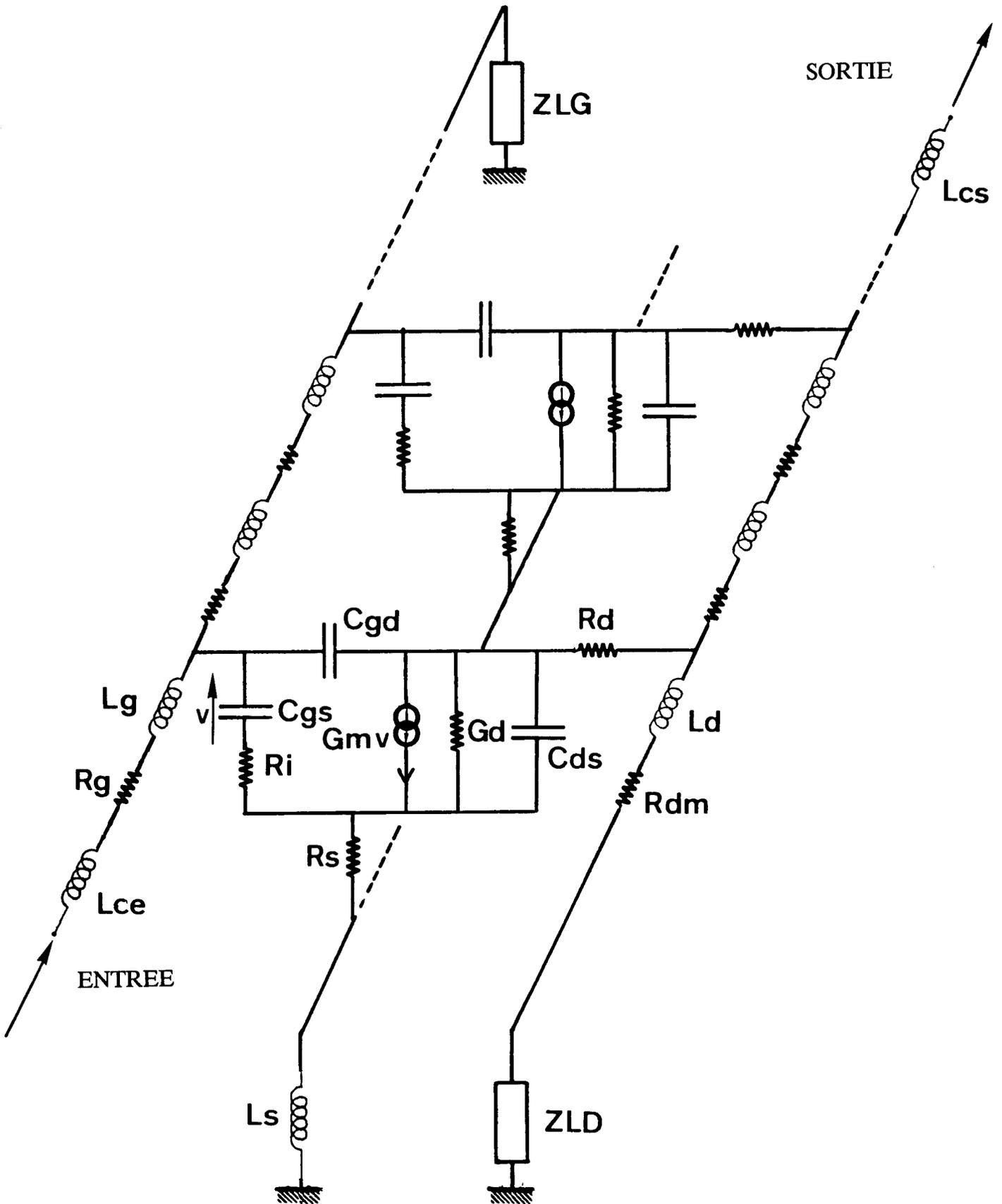


Figure II-11 : Schéma équivalent distribué pour les transistors monogrilles à drain de type ligne

## II-4-1 Introduction

La modélisation classique d'un transistor monogrinne consiste à prendre le schéma équivalent représenté sur la figure (II-10). Toutefois ce type de modélisation ne permet pas de prendre en compte les phénomènes de propagation le long des électrodes et de plus ne permet pas a priori d'étudier l'influence d'impédances terminales connectées sur les extrémités des électrodes. C'est pourquoi, il nous a paru indispensable de prendre un schéma équivalent distribué dont la détermination des éléments repose sur des caractérisations expérimentales du composant développées dans la dernière partie de ce chapitre. Nous scinderons le paragraphe en deux parties qui correspondent d'une part à l'étude des transistors à drain de type ligne et d'autre part, ceux ayant un drain de type surface.

## II-4-2 Drain de type ligne

La modélisation de la structure distribuée est effectuée comme l'indique la figure (II-11). Le transistor est considéré comme une cascade de cellules élémentaires dont le développement de grille est pris suffisamment petit devant le développement total pour que chaque cellule puisse être considérée comme un monogrinne localisé. Le schéma équivalent utilisé pour le monogrinne est tiré de la représentation équivalente intrinsèque du transistor monogrinne dont on a retenu les principaux éléments : la transconductance  $g_m$ , la conductance drain-source  $g_d$ , les capacités grille source  $C_{gs}$ , grille drain  $C_{gd}$  et drain source  $C_{ds}$  ainsi que les résistances de source et de drain respectivement  $R_s$  et  $R_d$ . Les éléments reportés  $L_g$ ,  $R_g$ ,  $L_d$  et  $R_{dm}$  représentent les selfs et résistances des électrodes de grille et de drain.  $Z_{LG}$  et  $Z_{LD}$  symbolisent des impédances terminales variables que l'on connectera respectivement sur l'extrémité de la grille et du drain. Enfin, les inductances  $L_{ce}$  et  $L_{cs}$  représentent les selfs de connexion de la grille et du drain du transistor au boîtier de mesures. La détermination des différents éléments du schéma équivalent sera détaillée dans le paragraphe suivant consacré à la caractérisation électrique des différentes structures étudiées. Ce type de modélisation du transistor à effet de champ permet non seulement de rendre compte de l'effet distribué de la structure, mais aussi d'analyser finement à partir des courants et

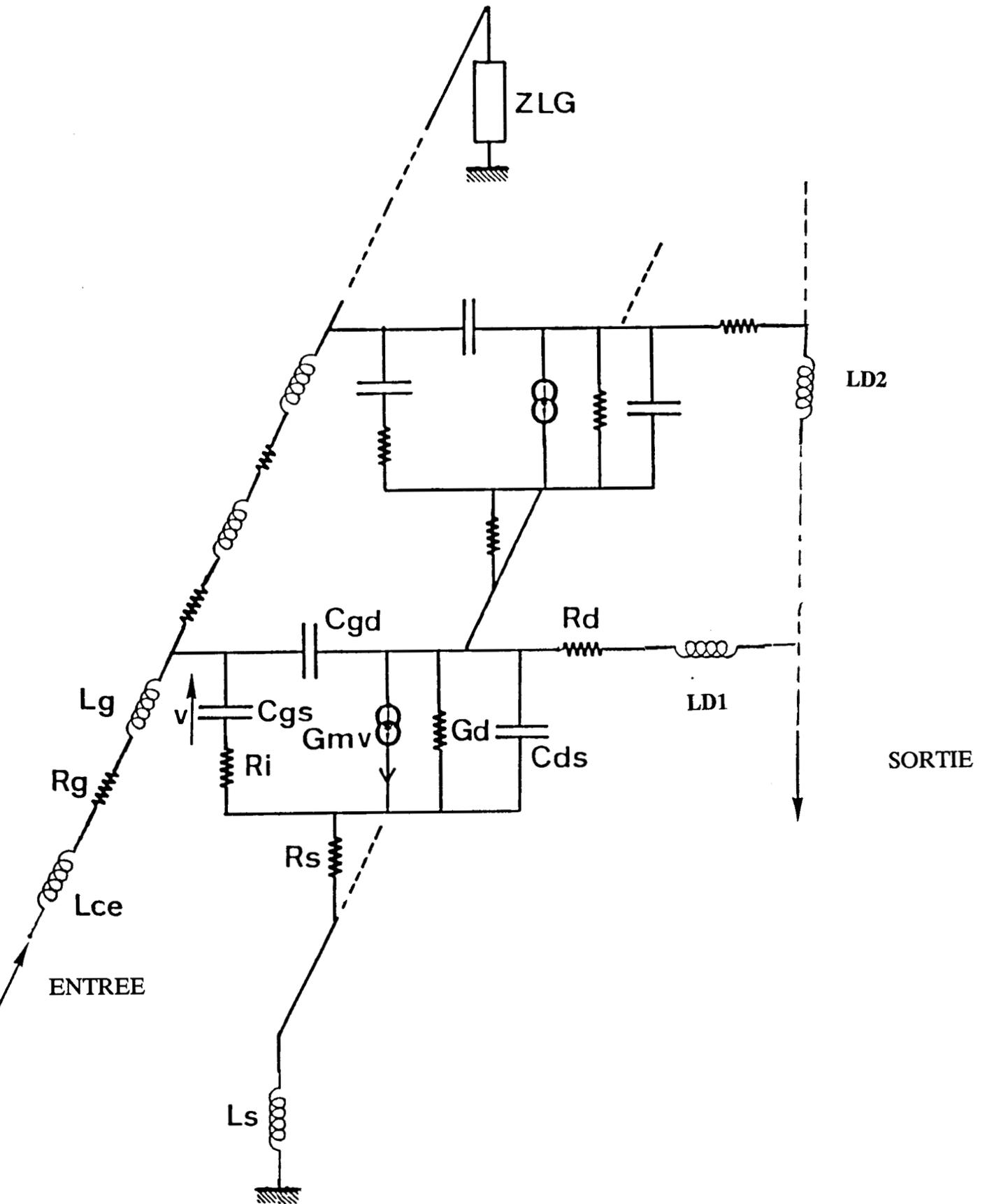


Figure II-12 : Schéma équivalent distribué pour les transistors monogrilles à drain de type surface

tensions le long des différentes électrodes, le comportement interne en tout point du circuit. Ce type de représentation du transistor a également l'avantage d'une part d'étudier l'influence d'impédances terminales connectées sur les extrémités du drain et de la grille, mais également de pouvoir simuler le transistor dans sa configuration classique en prenant pour impédances terminales ZLD et ZLG des résistances de très grandes valeurs (de l'ordre de 100 M $\Omega$ ). L'ensemble de la structure étant ainsi modélisé, nous pouvons effectuer la simulation de son fonctionnement en régime sinusoïdal petit signal avec le logiciel Spice. Nous déterminerons ainsi les paramètres S en quadripôle (entrée en 1, sortie en 3, ZLG et ZLD étant incluses dans l'ensemble de la structure), le gain maximum en puissance disponible et les impédances d'entrée et de sortie correspondantes. Les résultats de simulation ainsi que l'étude de l'influence de certains paramètres sur la réponse du système, comme par exemple le développement de grille d'une cellule élémentaire, seront présentés dans le chapitre III consacré à la partie expérimentale et à la partie simulation de cette thèse.

#### II-4-3 Drain de type surface

La modélisation des transistors ayant un drain surface diffère peu de celle décrite précédemment à l'exception toutefois des transistors présentant un développement de grille de 150 et 300  $\mu\text{m}$ . En ce qui concerne les transistors de 900  $\mu\text{m}$ , la modélisation choisie est la même que celle des transistors présentant un drain de type ligne dans le cas où le signal d'entrée est injecté sur l'une des extrémités de la grille et le signal de sortie recueilli sur l'extrémité opposée du drain. Toutefois, comme nous le verrons ultérieurement dans la partie consacrée à la caractérisation des transistors, les valeurs des résistances et inductances métalliques de l'électrode de drain seront très faibles, étant donné la géométrie de la structure, par rapport à celles d'un transistor de type ligne. Dans le cas où l'on recueille le signal de sortie sur la totalité du drain, la modélisation retenue est la même que celle pour les transistors de 150 et 300  $\mu\text{m}$  et est représentée sur la figure (II-12). Le transistor est également considéré comme une cascade de cellules élémentaires dont le développement de grille est pris suffisamment petit devant le développement total, mais seule l'électrode de grille en tant que ligne de propagation est prise en compte. ZLG représente également l'impédance terminale que

l'on connectera sur l'extrémité de la grille. Les selfs  $L_{d1}, \dots, L_{dn}$  représentent des inductances des fils de connexion du drain sur le boîtier de mesure. Nous pouvons également avec ce type de modélisation étudier l'influence des impédances terminales connectées sur la grille, mais aussi déterminer les paramètres S en petit signal de la structure et le gain maximum disponible en puissance.

## **II-5 Caractérisation expérimentale des transistors**

### **II-5-1 Introduction**

L'étude expérimentale décrite dans ce paragraphe est basée sur une caractérisation précise des différents composants. Nous rappelons d'abord à ce titre les différentes méthodes mises au point au laboratoire permettant la détermination :

- des résistances d'accès à partir des mesures en continu
- des paramètres technologiques du composant (longueur de grille, dopage, épaisseur de la zone active et mobilité) à partir de mesures basse fréquence.
- des éléments du schéma équivalent petit signal localisé et des caractéristiques hyperfréquences.

Ensuite, nous présentons d'autres types de caractérisation spécifiques permettant de connaître les parasites représentatifs de l'électrode de grille des transistors de  $300 \mu\text{m}$ . Enfin, nous présentons les résultats obtenus pour les différentes structures étudiées et réalisées.

### **II-5-2 Caractérisation statique**

La caractérisation continue permet de déterminer :

- les paramètres  $\eta$  et  $V_b$  (respectivement coefficient d'idéalité et hauteur de la barrière) de la jonction métal semi-conducteur de grille.
- l'évolution de la transconductance en régime statique.

- la détermination des résistances d'accès de source et de drain ainsi que celle de canal.

### II-5-2-1 La caractéristique $I_{gs} = f(V_{gs})$

La méthode employée est basée sur l'utilisation de la relation tension courant de la diode Schottky.

$$I = I_s (e^{qV/\eta kT} - 1) \approx I_s e^{qV/\eta kT} \approx A^* S T^2 e^{-qV_b/kT} e^{qV_{gs}/\eta kT}$$

où  $A^*$  représente la constante de Richardson

$S$  représente la surface de la jonction :  $S = Lg.Z$

La figure (II-13) représente un exemple de caractéristique  $I_{gs} = f(v_{gs})$ . On exprime le coefficient d'idéalité  $\eta$  à partir de la pente de la courbe

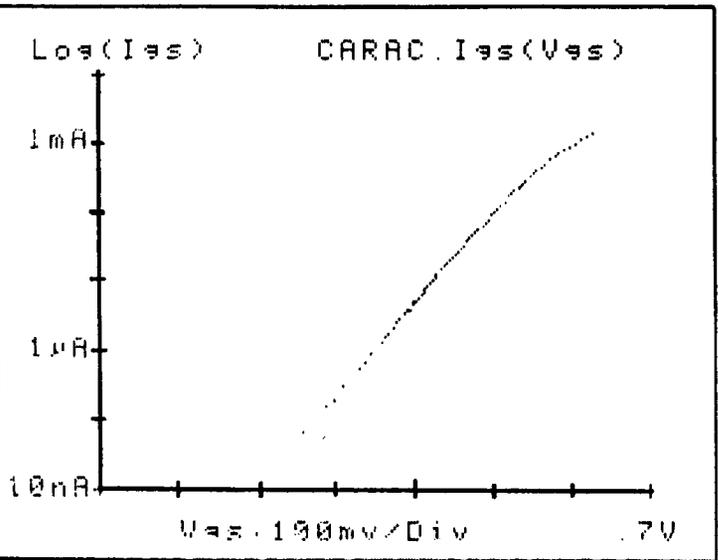
$$\eta = \frac{q}{k_B T} \frac{d(V_{gs})}{d(\log(I_{gs}))}$$

L'ordonnée à l'origine de cette courbe nous donne la hauteur de barrière

$$V_b = \eta \frac{k_B T}{q} \log\left(\frac{A^* S T^2}{I_{gs0}}\right)$$

### II-5-2-2 Caractéristique $V_{ds} = f(I_{gs})$

A partir de la mesure du courant grille en polarisation de grille, la grille étant polarisée légèrement en direct, on peut déterminer la somme  $(R_s + \alpha R_c)$  par la relation  $V_{ds} = (R_s + \alpha R_c) I_{gs}$  où  $V_{ds}$  représente la tension développée par le courant de grille  $I_{gs}$  dans la résistance  $R_s$  et dans le canal sous la grille (l'électrode de drain étant



EXPLOITATION DE LA PARTIE LIN.

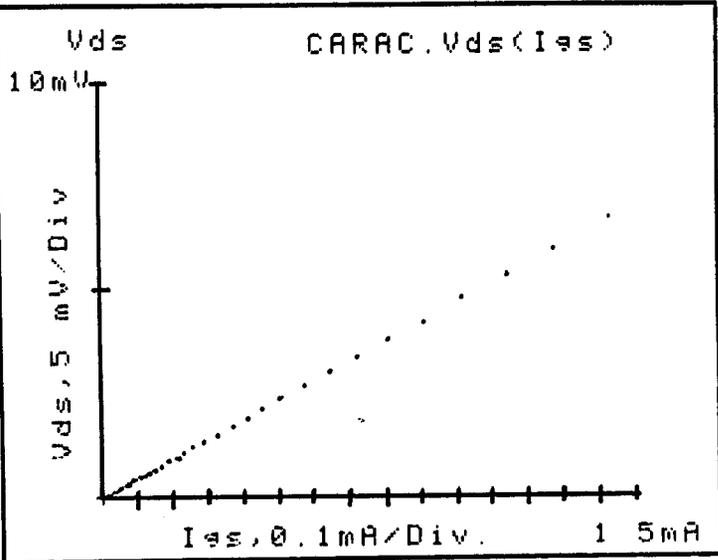
T= 300 K      S= 240 µm²

Vmin= .350 V  
Vmax= .500 V

Correlation dans la partie lin.  
σ²= .99982 (sur 41 Pts)

Cour. Lim. Ieso= 3.04E+001 µA  
Coef. Ideal. n= 1.28E+000  
Tens. Built. Vb= .646 V  
(eta \* Vb) n\*Vb= .828 V

Figure II-13 : caractéristique  $I_{gs}=f(V_{gs})$



EXPLOITATION DE Vds(Ies)

Imin= .030 mA  
Imax= 1.435 mA

Correlation dans la partie lin.  
σ²= 1 (sur 35 Pts)

La droite calculée coupe  
l'axe Vds en 2.82E-003 mV

RES. (Rs+Ri)= 4.7 Ω  
                  +-0.1 Ω

Figure II-14 : Caractéristique  $V_{ds}=f(I_{gs})$

maintenue en "l'air"). La figure (II-14) représente un exemple de cette caractéristique.

De même en maintenant l'électrode de source en "l'air", on peut déterminer la somme ( $R_d + \alpha R_c$ ) par une relation similaire.

Dans les expressions le terme  $\alpha$  représente l'effet de distribution du courant de grille dans le canal et peut être considéré proche de 0,5. La connaissance de ces deux valeurs  $R_d + \alpha R_c/2$  et  $R_s + \alpha R_c/2$  permet d'accéder à la somme  $R_s + R_c + 2\alpha R_c$  et à la différence  $R_s - R_d$ .

### II-5-2-3 Evolution de la transconductance extrinsèque

Lors de cette manipulation le transistor est polarisé normalement sur la grille et sur le drain. La transconductance extrinsèque est obtenue à partir de la mesure  $I_d = f(V_{gs}, V_{ds})$ . A titre d'exemple la figure (II-15) montre l'évolution de celle-ci en fonction de la tension grille source pour différentes valeurs de la tension drain source.

### II-5-3 Les caractérisations basses fréquences

Les caractérisations basse fréquence visent la détermination de grandeurs technologiques (profil de dopage, longueur de grille et mobilité ainsi que la valeur  $R_s + R_d$ ).

#### II-5-3-1 Caractéristique $C_g = f(V_{gs})$

La mesure de la capacité  $C_g$  en fonction de la tension  $V_{gs}$  à tension drain source nulle est effectuée dans la bande 150-500 MHz afin de s'affranchir des effets parasites inhérents aux phénomènes de surface. La figure (II-16) donne l'évolution typique de la capacité grille obtenue par une mesure au pont réflectométrique pour un des transistors étudiés. On note qu'à partir d'une certaine valeur de la tension grille source, la capacité  $C_g$  est constante et vaut  $C_{lim}$ . Cette capacité  $C_{lim}$  peut être attribuée pour la plus grande partie aux effets de bords et aux capacités plots.

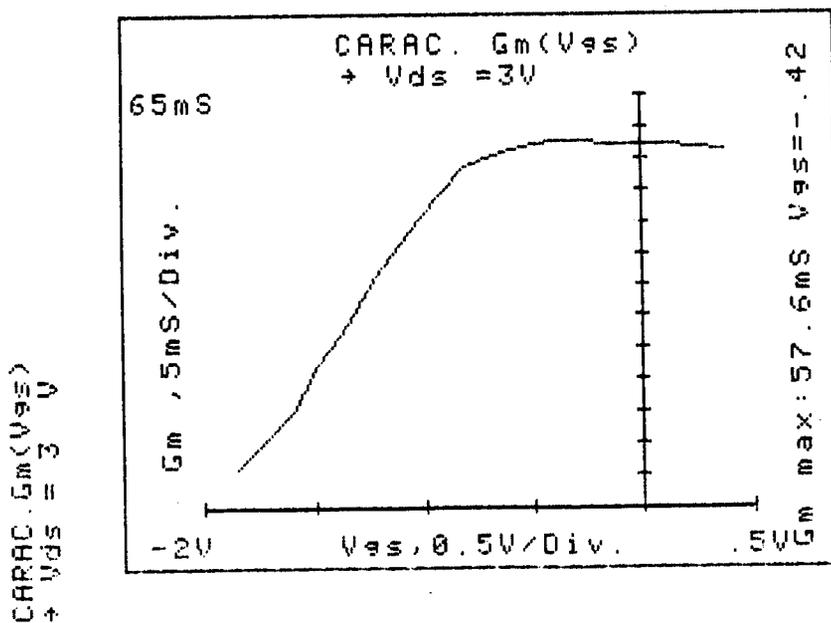
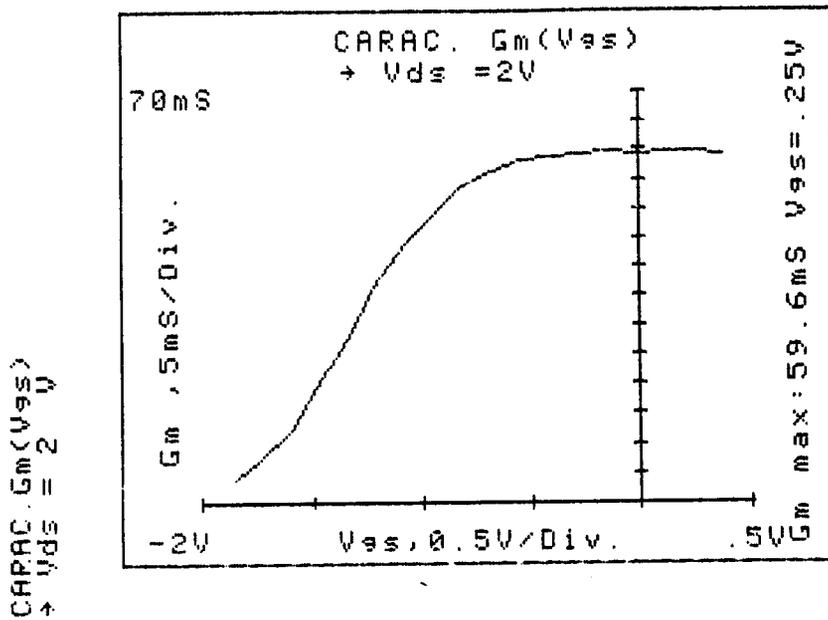
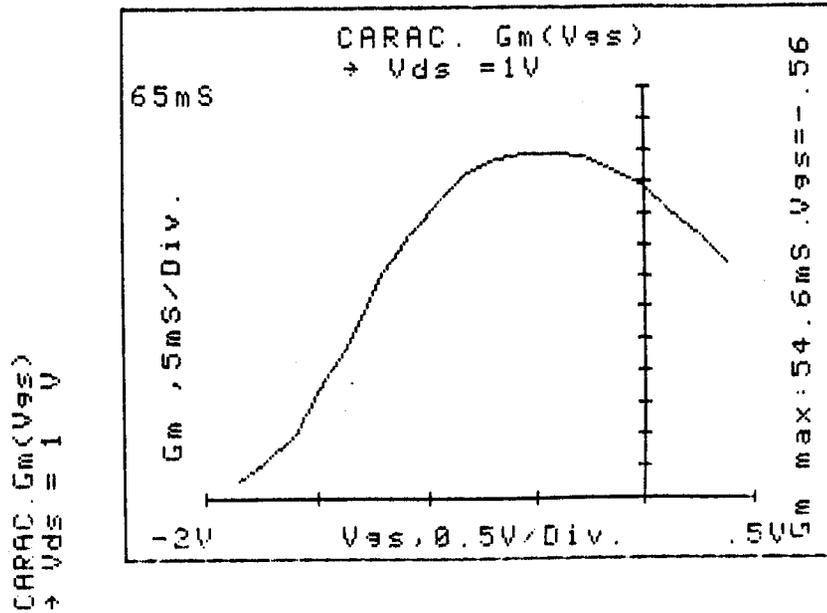


Figure II-15 : Evolution de la transconductance de sortie en fonction de Vgs et Vds (transistor 210T201)

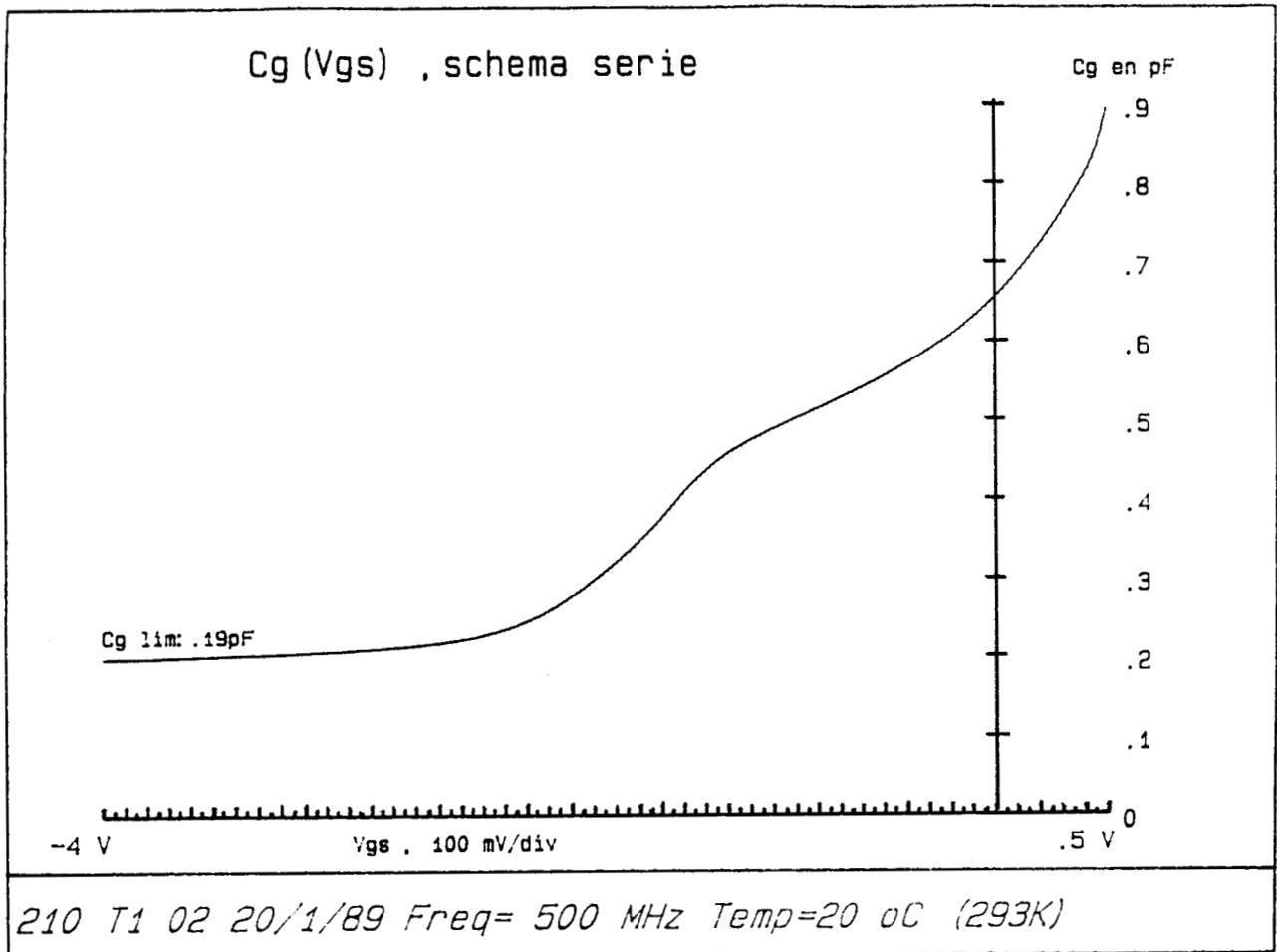


Figure II-16 : Evolution de la capacit  grille en fonction de Vgs  
(transistor 210T102)

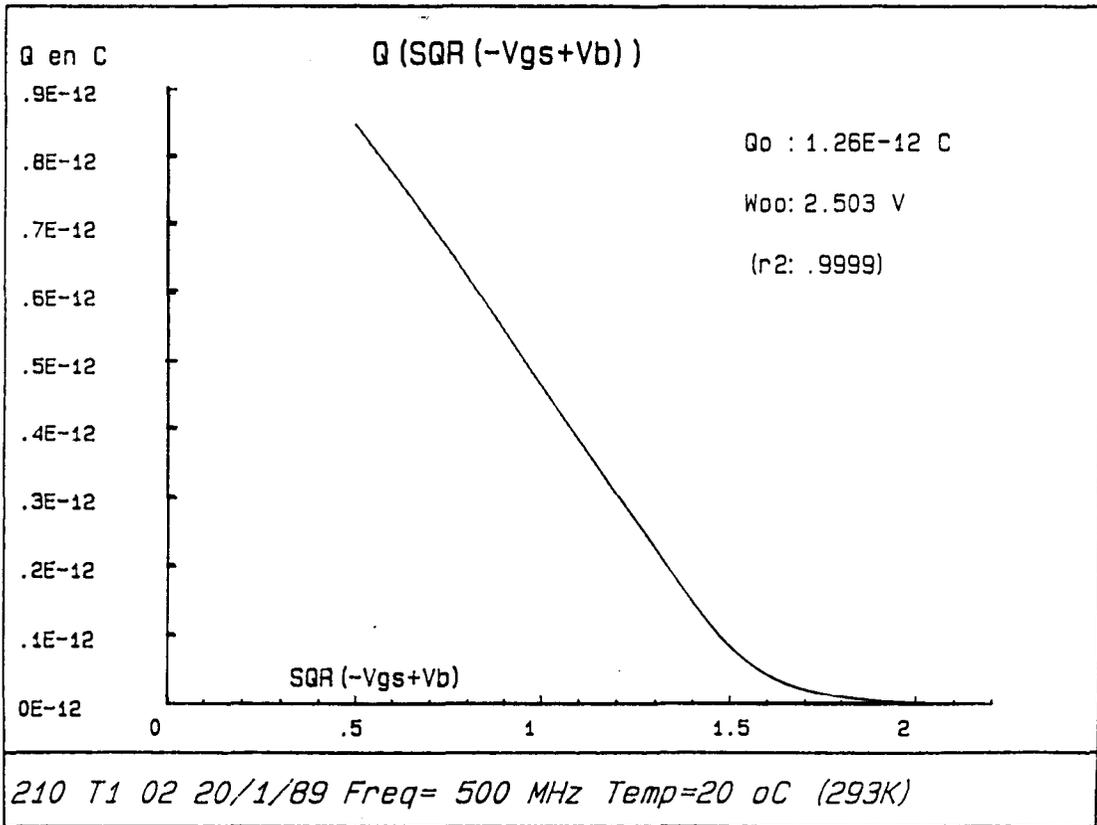


Figure II-17 : Evolution de la charge Q en fonction de  $\sqrt{-V_{gs} + V_b}$   
(transistor 210T102)

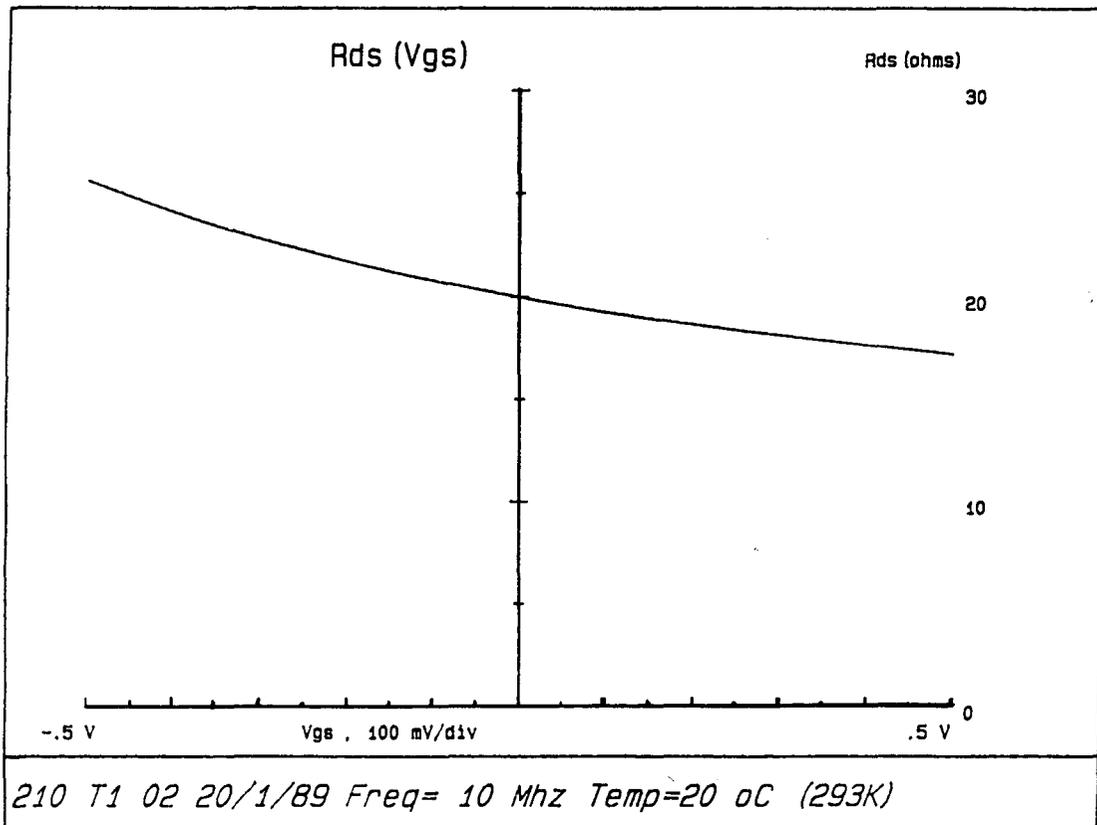


Figure II-18 : Evolution de Rds en fonction de  $(1/\sqrt{-V_{gs} + V_b})$   
(transistor 210T102)

De plus en retranchant la capacité  $C_{lim}$  à la capacité  $C_g$ , on peut remonter par intégration à la quantité de charge stockée sous la grille. Pour une structure, à profil de dopage uniforme, la loi de Schockley donne l'évolution de la charge  $Q$  en fonction de la tension grille source.

$$(I) \quad Q(V_{gs}) = Q_o \left( 1 - \left( \frac{V_b - V_{gs}}{W_{oo}} \right)^{1/2} \right)$$

$$(II) \quad Q_o = q Z L_g A N_D$$

$$(III) \quad W_{oo} = \frac{q N_D a^2}{2 \epsilon}$$

où  $Q_o$  et  $W_{oo}$  représentent respectivement la quantité totale de charge sous la grille et la tension de pincement.

Par conséquent, en exploitant la partie linéaire de la courbe  $Q = f(\sqrt{V_b - V_{gs}})$  (figure (II-17)), on en déduit les valeurs des grandeurs  $Q_o$  et  $W_{oo}$ . Enfin, connaissant  $Q_o$  et  $W_{oo}$  et à partir des équations II et III, nous pouvons en déduire si l'on connaît la longueur de grille, les valeurs du dopage et l'épaisseur de la zone active.

$$\frac{A}{L_g} = \frac{2 \epsilon Z W_{oo}}{Q_o} \quad N_d = \frac{2 \epsilon W_{oo}}{q A^2}$$

### II-5-3-2 Caractéristique $R_{ds} = f(V_{gs})$

L'exploitation de la caractéristique  $R_{ds} = f(1/1 - \sqrt{-V_{gs} + V_b}/W_{oo})$  permet la détermination de la somme  $R_s + R_d$  et de la valeur de la résistance du canal  $R_o$ . En effet,  $R_o + R_d$  représente l'ordonnée à l'origine et  $R_o$  la résistance du canal. La figure (II-18) représente un exemple de cette caractéristique pour une des structures étudiées. Cette méthode de caractérisation a été développée par P.L Hower et N.G Bechtel [10]. Toutefois pour des couches présentant des profils de dopage non uniforme A. Cappy

[11] et Shortgen [12] ont proposé une nouvelle méthode de détermination de  $R_s + R_d$  à partir de l'utilisation des mesures  $C(v)$  et de mobilité.

#### II-5-4 Caractérisation hyperfréquence et détermination du schéma équivalent

La détermination directe et précise du schéma équivalent petit signal du transistor est réalisée à partir de mesures de paramètres S dans une gamme de fréquence (0,5 -5 GHz) choisie pour que des approximations puissent être effectuées. Cette détermination du schéma équivalent se fait en deux étapes. La première étape consiste à déterminer les éléments extrinsèques du transistor à savoir les selfs et résistances d'accès. La seconde permet de déterminer la valeur des éléments de la partie active du transistor à partir de mesures à  $V_{ds} \neq 0$  après déduction des éléments d'accès.

##### II-5-4-1 Détermination des éléments extrinsèques

La détermination des éléments d'accès repose sur l'exploitation de la matrice impédance  $Z$  obtenue à polarisation drain-source nulle. Le fait de polariser la grille en direct permet de supprimer l'effet de la capacité d'entrée qui masque l'influence des diverses connexions. De plus si la fréquence est suffisamment basse pour que l'on puisse négliger l'influence de la capacité  $C_{gd}$ , les paramètres  $Z_{ij}$  s'expriment alors par :

$$Z_{11} = R_s + R_g + R_c/3 + \frac{\eta k t}{q} \frac{1}{I_{gs}} + j\omega (L_s + L_g)$$

$$Z_{12} = R_s + R_c/2 + j\omega L_s$$

$$Z_{21} = R_s + R_c/2 + j\omega L_s$$

$$Z_{22} = R_d + R_c + R_s + j\omega (L_s + L_d)$$

où  $R_c$  représente la résistance du canal et  $\eta$  le coefficient d'idéalité de la diode Schottky.

L'exploitation de la partie réelle de ces paramètres  $Z_{ij}$  permet d'en déduire

premièrement la valeur de  $R_s$ ,  $R_d$  et  $R_c$  connaissant la somme  $R_s + R_d$ , valeur déterminée lors de la caractérisation basse fréquence. Deuxièmement, en traçant la courbe partie réelle de  $Z_{11}$  en fonction de  $1/I_{gs}$  et en interpolant jusqu'à l'origine, on peut en déduire la somme  $R_s + R_g + R_c/3$  donc déterminer la valeur de  $R_g$ .

Enfin, l'exploitation de la partie imaginaire des paramètres  $Z$  permet de déterminer la valeur des selfs de connexion ( $L_s$ ,  $L_d$  et  $L_g$ ). Les parties imaginaires des paramètres  $Z$  ont une évolution linéaire en fonction de la fréquence.

#### II-5-4-2 Détermination des éléments intrinsèques

La détermination des éléments de la partie active du transistor est effectuée à partir de mesures de paramètres  $S$  à tensions  $V_{gs}$  et  $V_{ds}$  quelconques dans une bande de fréquence allant de 50 MHz à 5 GHz. La détermination de ces différents paramètres se fait de la manière suivante :

- à partir de la matrice  $S$  obtenue lors des mesures effectuées pour différentes polarisations du drain et de la grille, on calcule la matrice impédance  $Z$  du transistor à laquelle on retranche la matrice  $Z$  constituée des éléments d'accès pour obtenir la matrice  $Z$  intrinsèque.

- ensuite, compte tenu de la topologie en  $\pi$  du transistor, il est pratique de décrire le schéma équivalent du TEC intrinsèque à partir des paramètres admittances  $Y_{ij}$ . De plus, en supposant  $(R_i C_{gs}\omega)^2 \ll 1$  et  $\omega\tau \ll 1$  dans la bande de fréquence des mesures, les paramètres admittances du quadripôle équivalent à la partie intrinsèque du composant s'expriment par :

$$Y_{11} = R_i C_{gs}^2 \omega^2 + j\omega (C_{gd} + C_{gs})$$

$$Y_{12} = -j\omega C_{gd}$$

$$Y_{21} = g_{mo} - j\omega (C_{gd} + g_{mo} (R_i C_{gs} + \tau))$$

$$Y_{22} = g_d + j\omega (C_{gd} + C_{ds})$$

Ainsi, par une méthode d'optimisation développée au laboratoire [13] (au

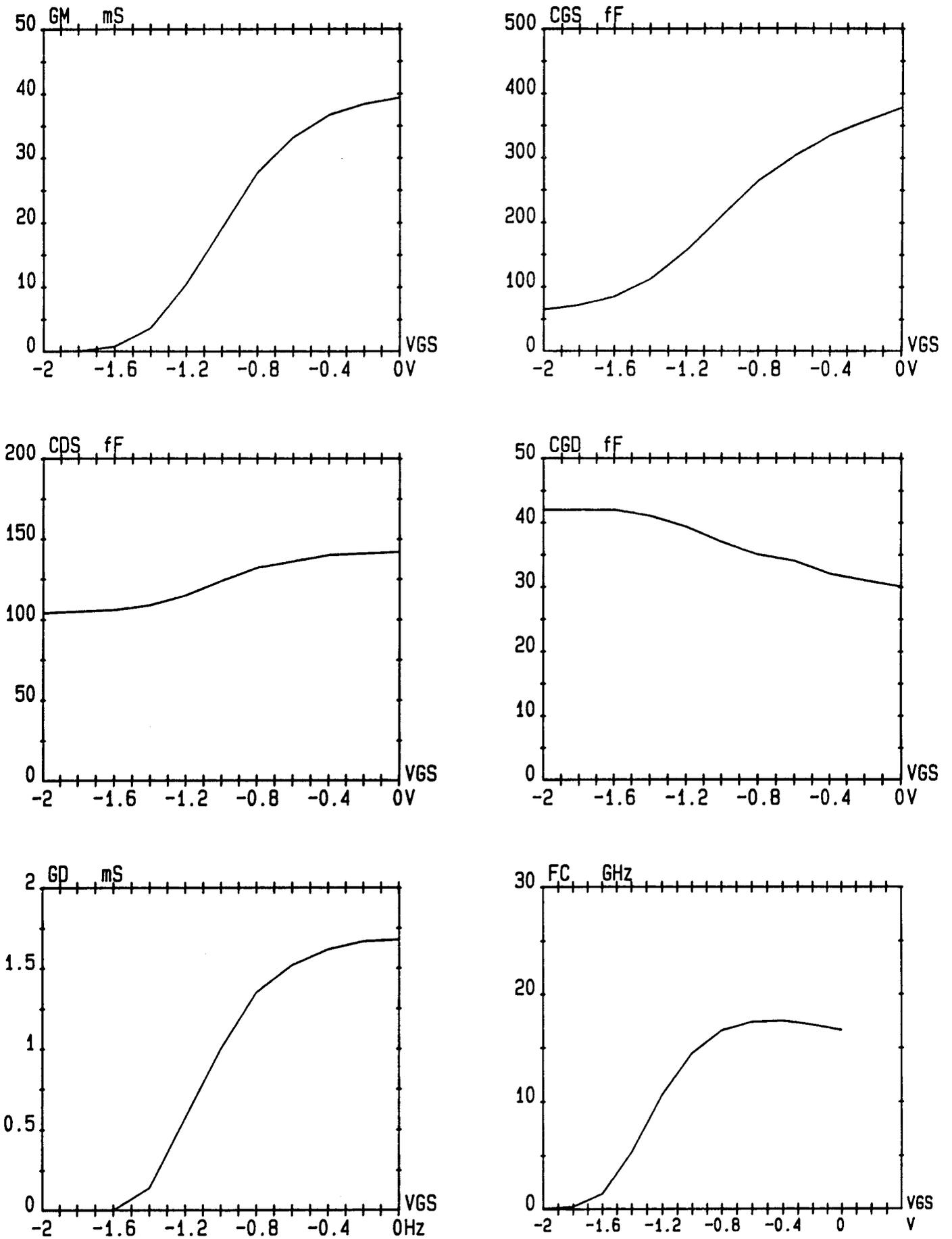


Figure II-19 : Evolution des éléments du schéma équivalent en fonction de  $V_{GS}$   
à  $V_{ds}=4V$  (transistor 210T101)

sens des moindres carrés) appliquée sur toute la gamme de fréquence, on peut à partir des parties réelles et imaginaires des paramètres  $Y_{ij}$  en déduire les éléments du schéma équivalent :

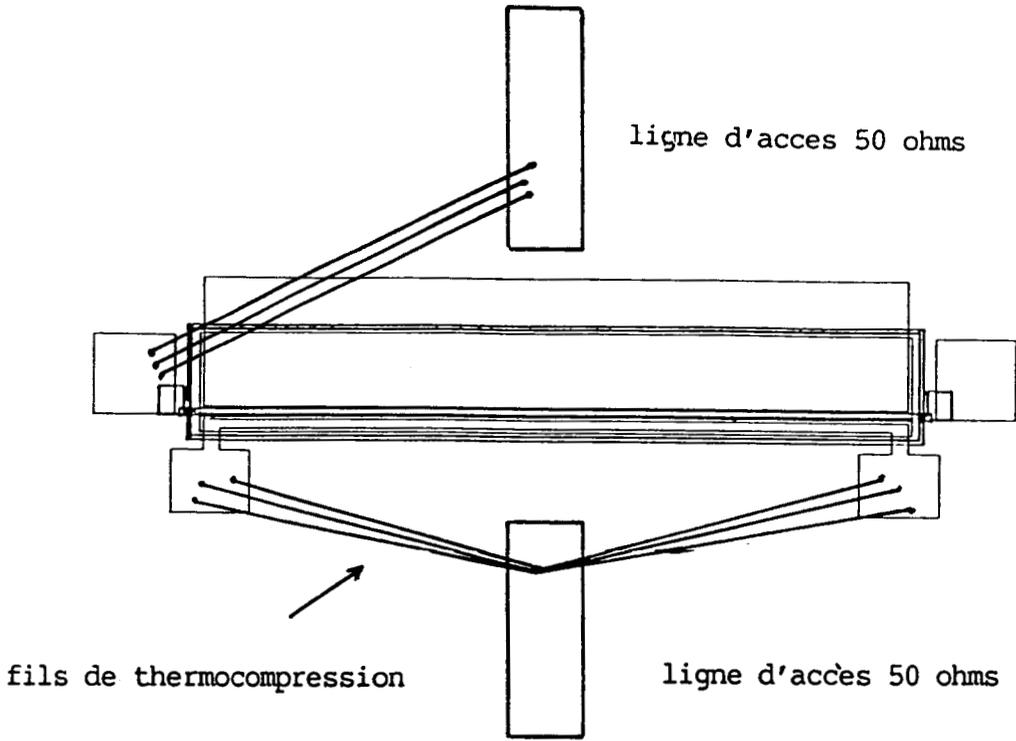
- $C_{gd}$  à partir de  $\text{Im}(Y_{12})$
- $C_{gs}$  à partir de  $\text{Im}(Y_{11})$
- $C_{ds}$  à partir de  $\text{Im}(Y_{22})$
- $g_{mo}$  à partir de  $\text{Re}(Y_{21})$
- $\tau$  à partir de  $\text{Im}(Y_{21})$
- $g_d$  à partir de  $\text{Re}(Y_{22})$
- $R_i$  à partir de  $\text{Re}(Y_{11})$

Il faut remarquer que la simplicité de la méthode permet de déterminer rapidement l'ensemble des éléments du schéma équivalent et ce pour différentes valeurs de polarisation de la grille et du drain. A titre d'exemple les figures (II-19) représentent l'évolution de ces différents paramètres pour un transistor de la série 210 pour  $V_{ds} = 4V$  et  $V_{gs}$  variable.

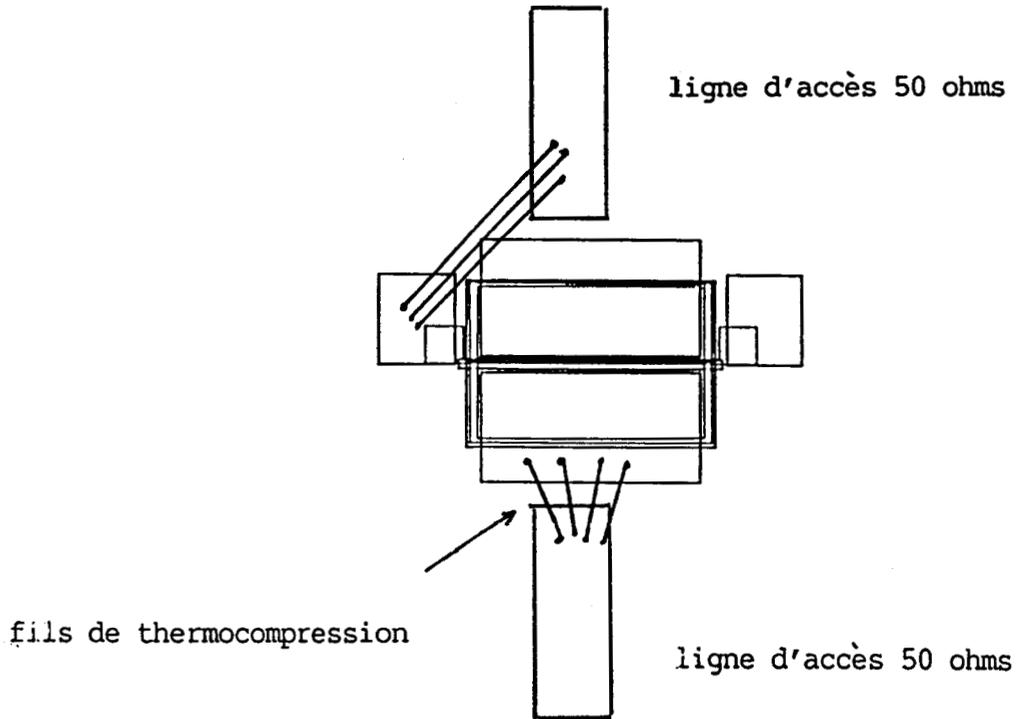
## II-5-5 Caractérisation de l'électrode de grille du transistor

Lors de la détermination de la valeur des éléments d'accès du transistor, la valeur de la self de grille trouvée représente en fait la somme de deux inductances qui sont respectivement celle des fils de connexion de la grille à la ligne d'accès d'impédance  $50 \Omega$  ainsi que celle d'une partie de l'électrode de grille. Ainsi, il nous a semblé utile de développer une méthode de caractérisation supplémentaire de la grille permettant d'accéder à la valeur de la self de celle-ci proprement dite. La détermination de cette inductance est faite de la façon suivante :

-une première manipulation consiste à monter le TEC classiquement à savoir relier les deux plots du drain ensemble dans le cas d'un transistor de la série 167 à l'une des pistes d'accès  $50 \Omega$  du boîtier de mesures et à connecter l'un des deux plots de grille à l'autre accès  $50 \Omega$ , le plot de grille restant étant fermé sur un "circuit ouvert". Il est à noter que dans le cas des transistors à drain de type surface, l'ensemble du drain est

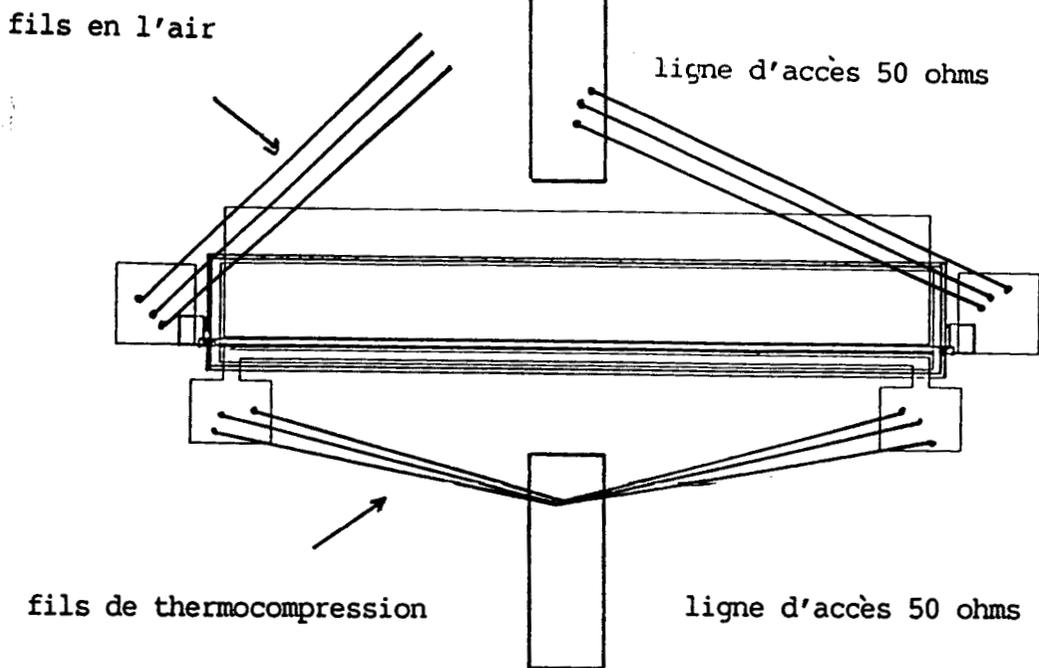


a) série 167

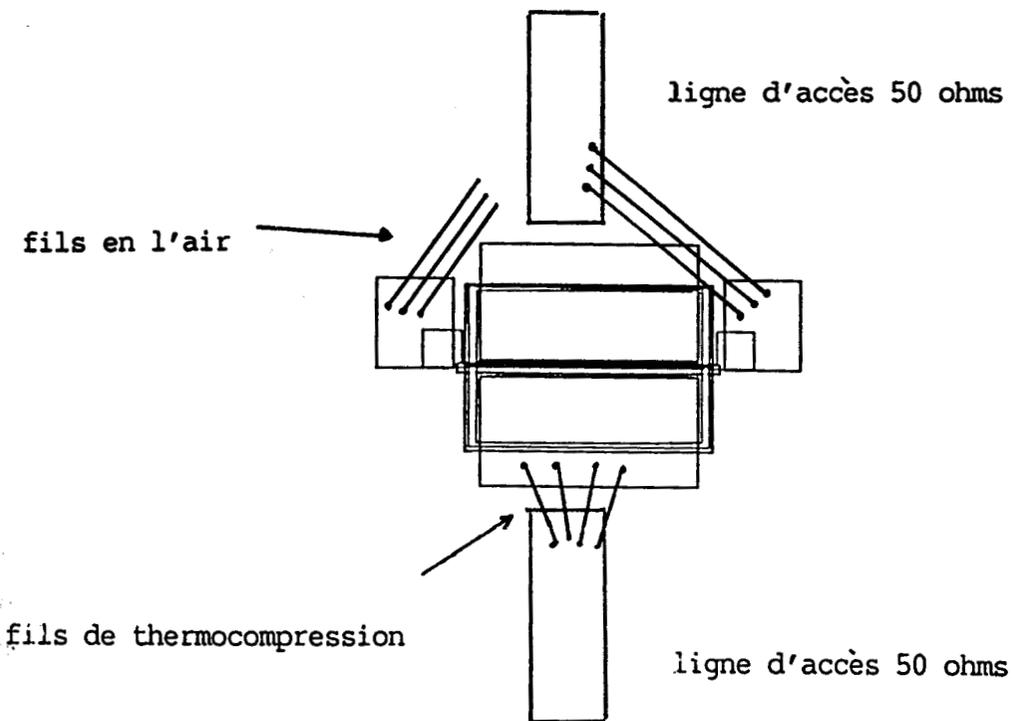


b) série 210

Figure II-20 : Schéma de câblage des transistors monogrilles

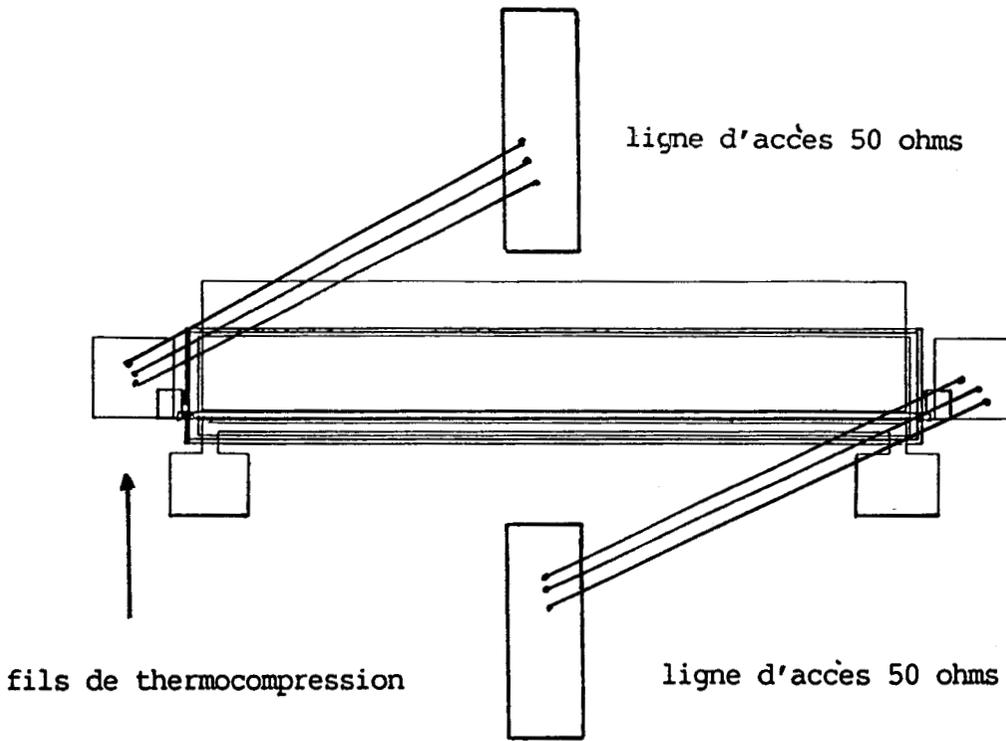


a) série 167

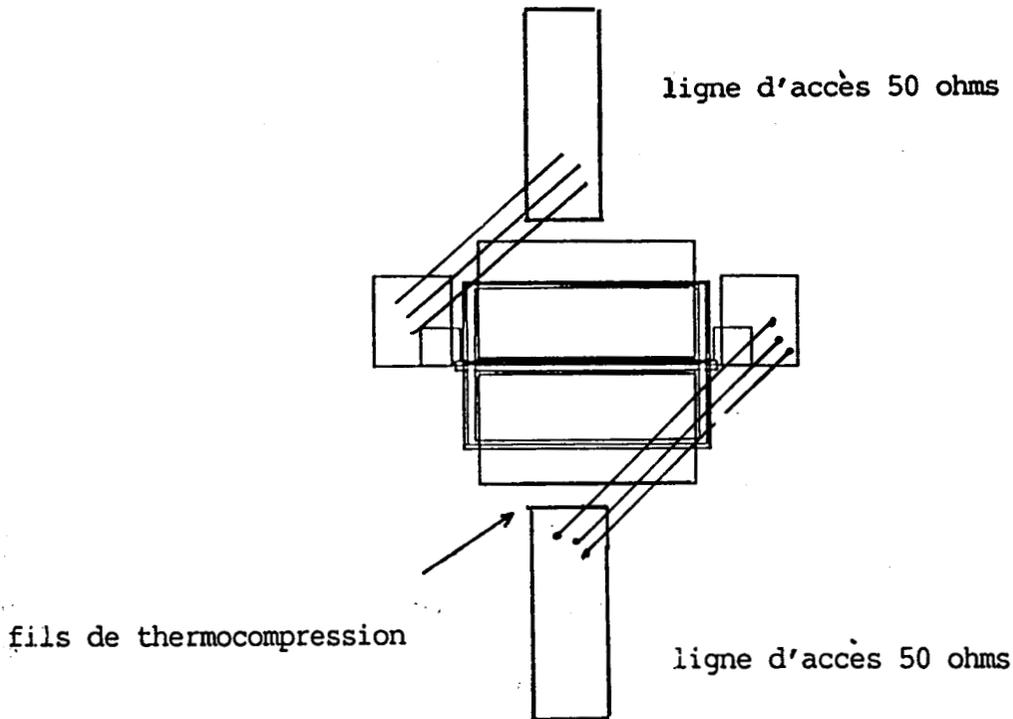


b) série 210

Figure II-21 : Schéma de câblage des transistors monogrilles



a) série 167



b) série 210

Figure II-22 : Schéma de câblage des transistors monogrilles montés en ligne de transmission

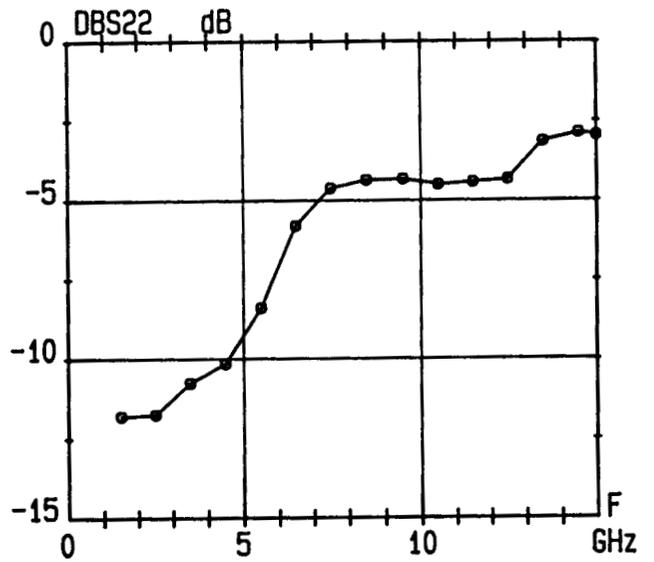
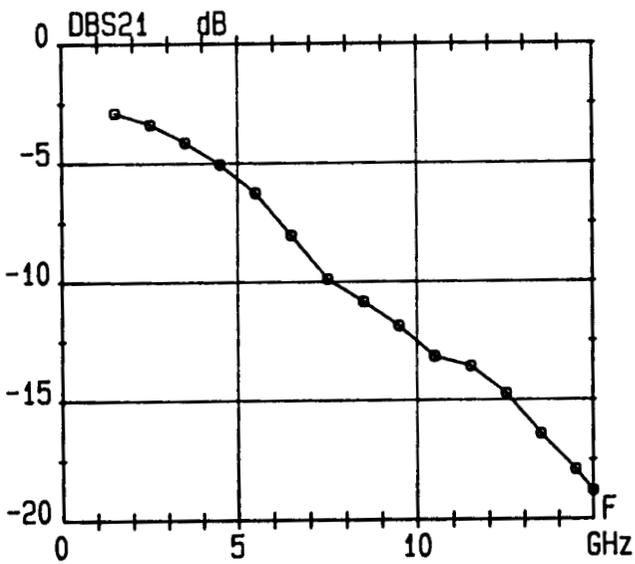
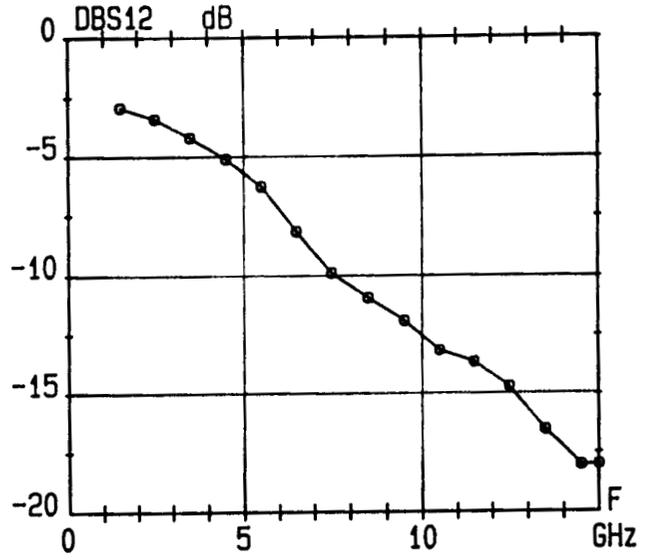
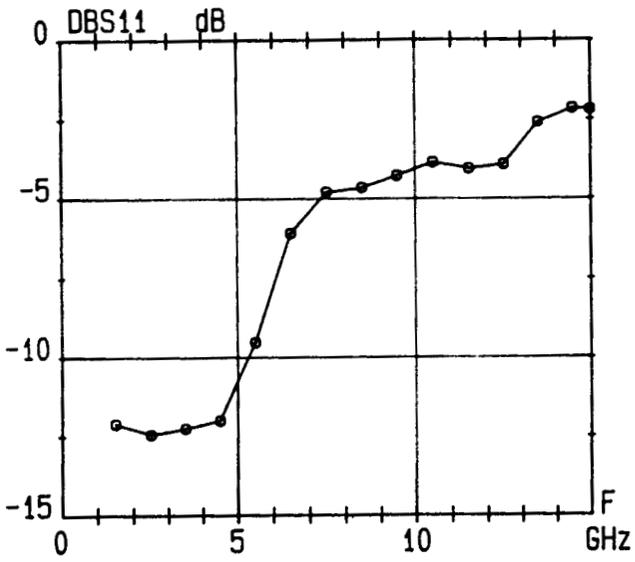


Figure II-23 : Evolution des paramètres S d'un transistor série 167 monté en ligne de transmission à  $V_{gs} = -0.8V$

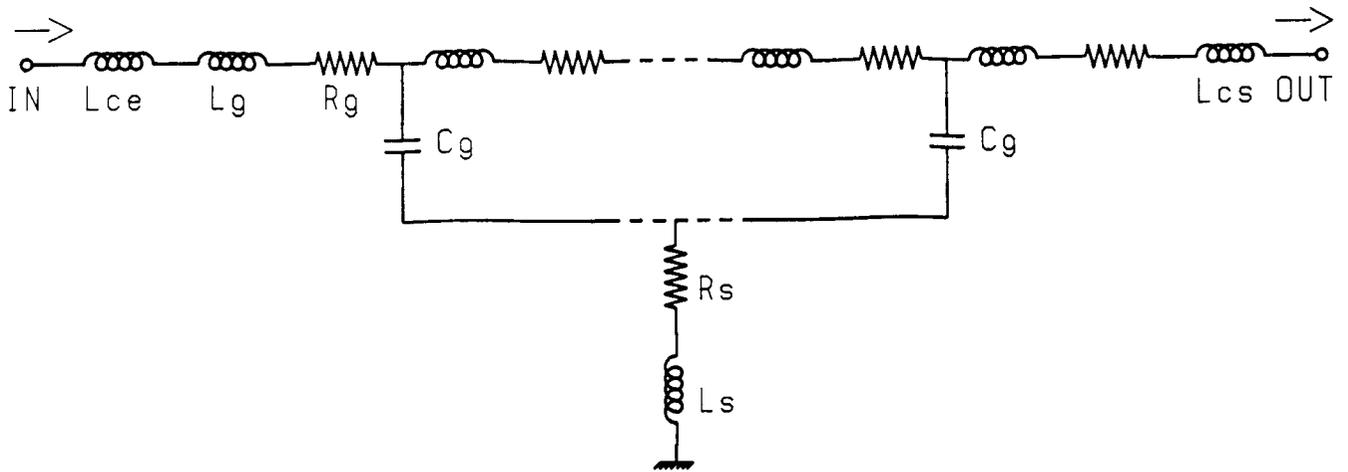


Figure II-24 : Modélisation d'un transistor monté en ligne de transmission

directement connecté à la ligne  $50 \Omega$ . Les figures (II-20 a et b) montrent le principe de montage pour les deux types de transistors précédemment cités. Nous caractérisons ensuite le transistor dans cette configuration à partir des méthodes décrites auparavant qui permettent d'en déduire les différents éléments du schéma équivalent.

- la seconde manipulation consiste à connecter l'autre plot de la grille à la ligne  $50 \Omega$  tout en déconnectant les fils de thermocompression du plot de grille utilisée lors de la première manipulation. Les figures (II-21 a et b) représentent le principe de montage pour les différents types de transistors. Nous pouvons comme précédemment déterminer la valeur des différents éléments du schéma équivalent et comparer les valeurs trouvées lors des deux manipulations qui doivent être théoriquement identiques, excepté la self de grille. En effet, les différences entre les valeurs des inductances de grille mesurées peuvent être dues aux différences de longueur des fils de thermocompression.

- la dernière manipulation consiste à monter la grille du transistor en ligne de transmission, le drain étant en l'air et la source à la masse. Le principe de montage est représenté sur la figure (II-22). Il est à noter que nous utilisons les mêmes fils de thermocompression lors de cette manipulation que pour les précédentes. Ensuite, nous faisons une mesure de capacité de grille à 500 MHz ainsi que des mesures de paramètres S pour différentes valeurs de la tension grille source. Les courbes de la figure (II-23) montrent l'évolution des paramètres S mesurés pour une tension grille-source de - 0,8 V.

## II-5-6 Modélisation de l'électrode de grille

Après avoir décrit les différentes méthodes employées permettant de caractériser l'électrode de grille, nous présentons le type de schéma électrique retenu pour la modéliser. Nous avons choisi une modélisation de type distribuée dans le sens de la propagation. La figure (II-24) représente l'ensemble de la structure modélisée. Les selfs  $L_{ce}$  et  $L_{cs}$  représentent les selfs de connexion de la grille aux lignes d'accès  $50 \Omega$ ,  $L_g$  la self d'électrode et  $R_g$  la résistance de grille distribuée. Nous prenons également

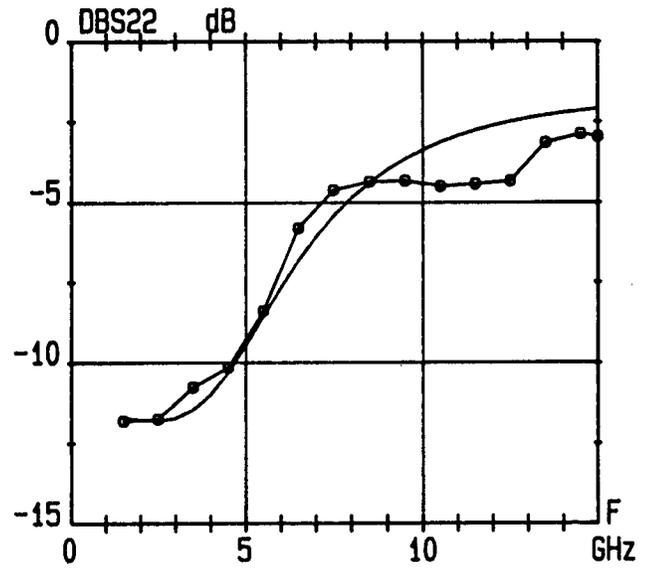
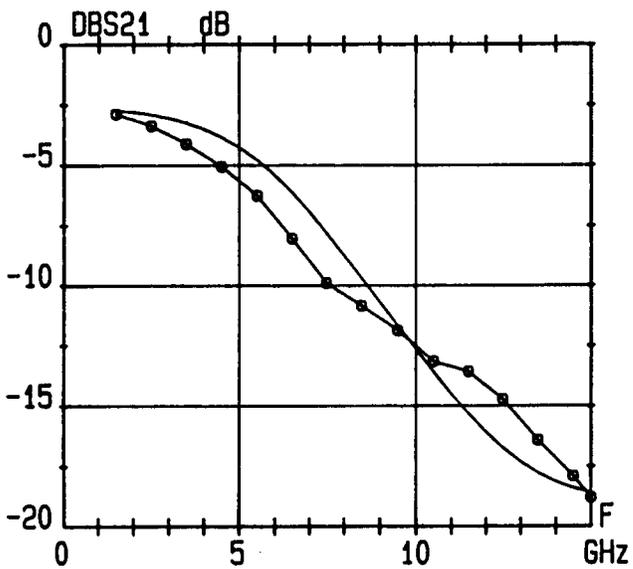
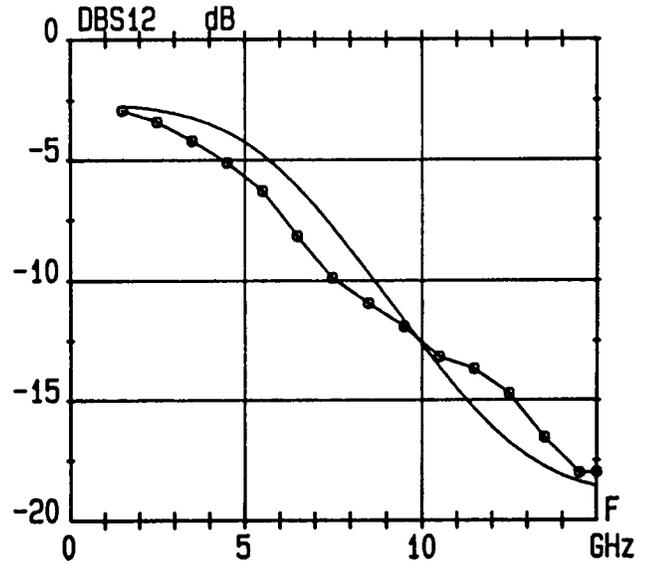
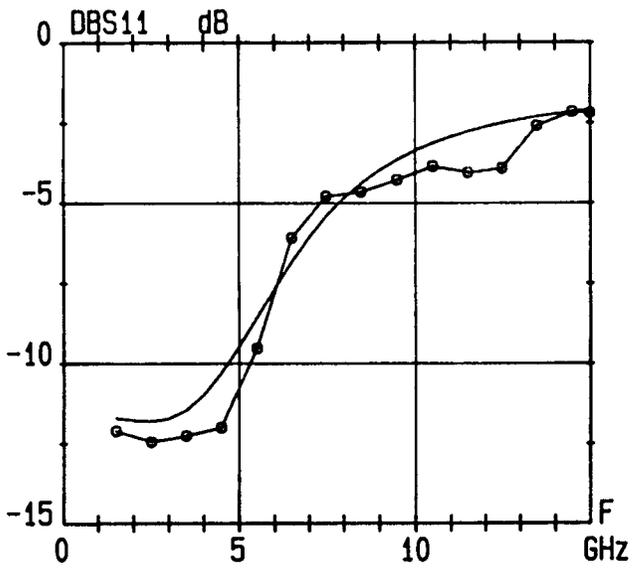


Figure II-25 : Comparaison des paramètres S mesurés et simulés pour un transistor de la série 167 monté en ligne de transmission ( $V_{gs} = -0,8V$ )

-o-o-o- mesure      — modèle

en compte la capacité distribuée de grille et la résistance et la self de source. Ainsi à partir des mesures décrites précédemment et à l'aide d'un programme d'optimisation développé au laboratoire par C. Versnaeyen [14], nous pouvons en déduire la valeur des différents éléments du schéma équivalent. Ainsi à partir de mesures de paramètres S et de valeurs initiales des éléments représentant la ligne de grille, ce programme par la méthode du gradient fait varier les différents éléments jusqu'à obtention d'une fonction erreur la plus faible possible entre les paramètres S mesurés et ceux calculés. Il est à noter que nous avons modifié ce programme afin de fixer certains paramètres comme les résistances de grille et de source ainsi que la self de source. La figure (II-25) montre la comparaison entre les paramètres S mesurés et ceux obtenus théoriquement dans le cas d'un transistor de la série 167. Nous avons trouvé après optimisation des valeurs de self de grille comprises entre 0,25 et 0,35 nH/mm .

Les valeurs trouvées pour les inductances de grille semblent être en bon accord avec des résultats théoriques obtenus par l'équipe d'électromagnétisme du laboratoire en utilisant une méthode de raccordement des champs. A titre d'exemple, dans le cas de lignes coplanaires à contact Schottky représentées sur la figure (II-26), structures similaires à celle d'un transistor, Delrue [15] trouve une self d'électrode de grille équivalente de l'ordre de 0,2 nH en considérant que seul le mode pair se propage.

### II-5-7 Résultats de la caractérisation électrique des différentes structures

Nous présentons dans cette dernière partie consacrée à la caractérisation des différentes structures, les principaux résultats obtenus concernant les schémas équivalents et les éléments d'accès. Nous donnons dans le tableau ci-dessous les valeurs des résistances mesurées pour les différents transistors.

	Rs	Rd	Rg
Opération 167	0.4 0 0.6 $\Omega$	8 à 10 $\Omega$	36 à 45 $\Omega$
Opération 210 150 $\mu\text{m}$	7 à 8 $\Omega$	6 à 7 $\Omega$	40 à 50 $\Omega$
Opération 210 300 $\mu\text{m}$	4 à 5 $\Omega$	3.5 à 4 $\Omega$	70 à 80 $\Omega$
Opération 210 900 $\mu\text{m}$	1.5 à 2 $\Omega$	1 à 1.5 $\Omega$	160 à 180 $\Omega$

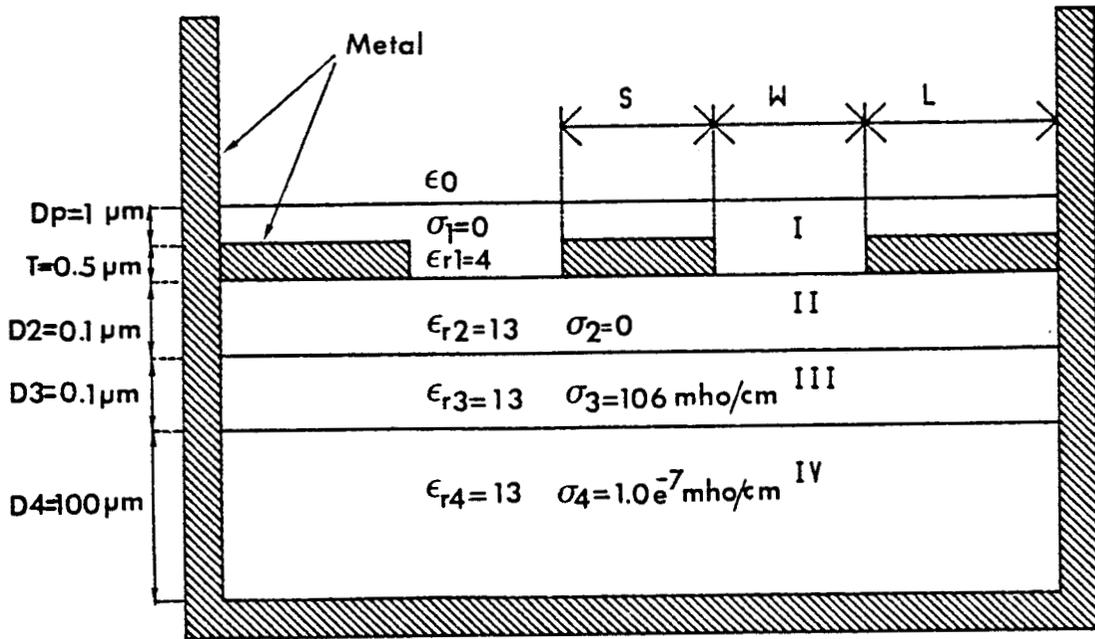
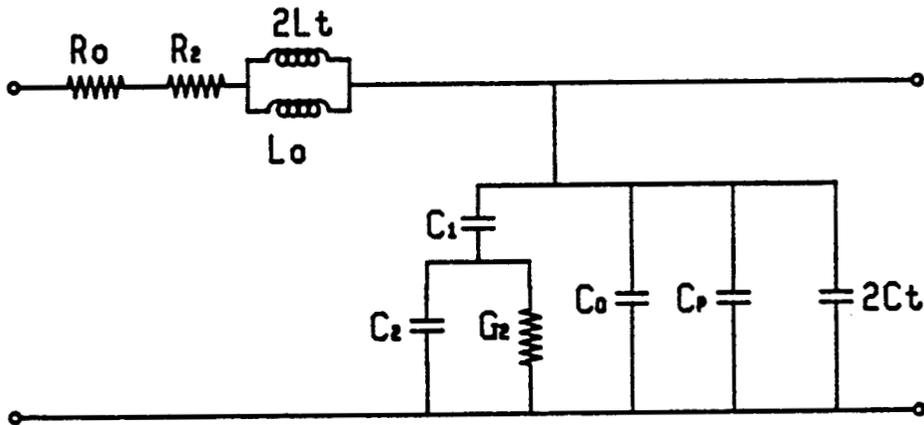


Figure II-26 : Modèle de Delrue



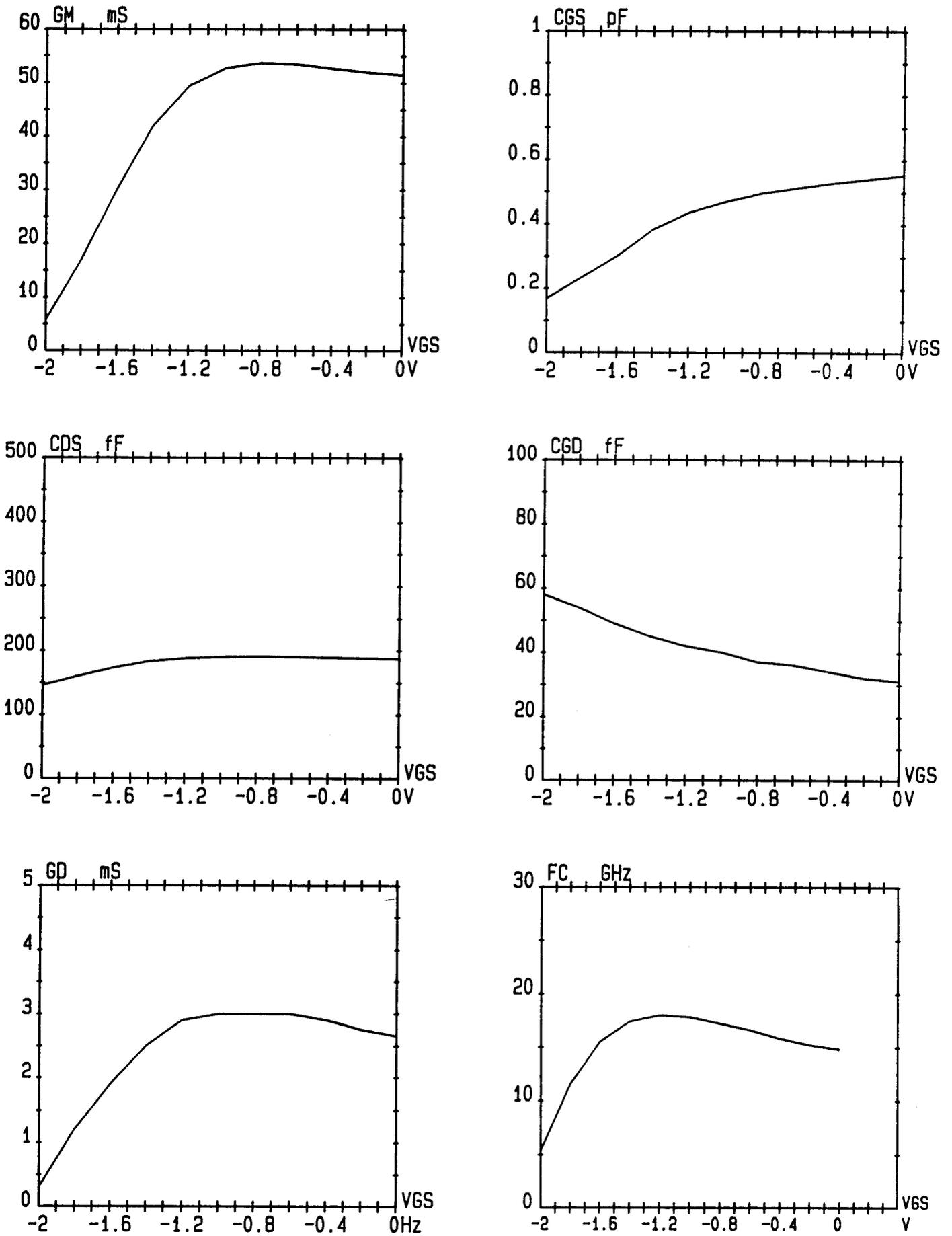


Figure II-27 : Evolution des éléments du schéma équivalent en fonction de  $V_{GS}$   
à  $V_{ds} = 4V$  pour le transistor 210T201

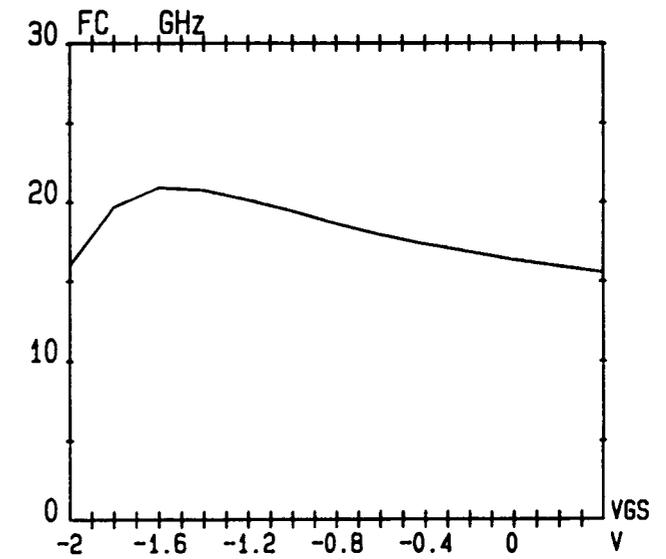
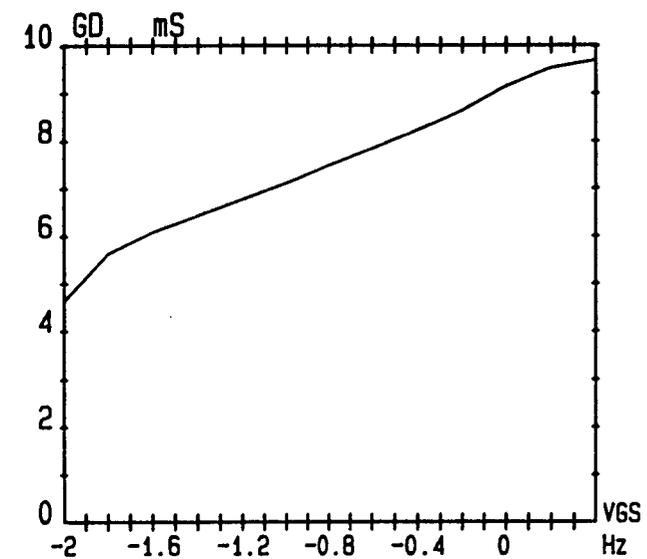
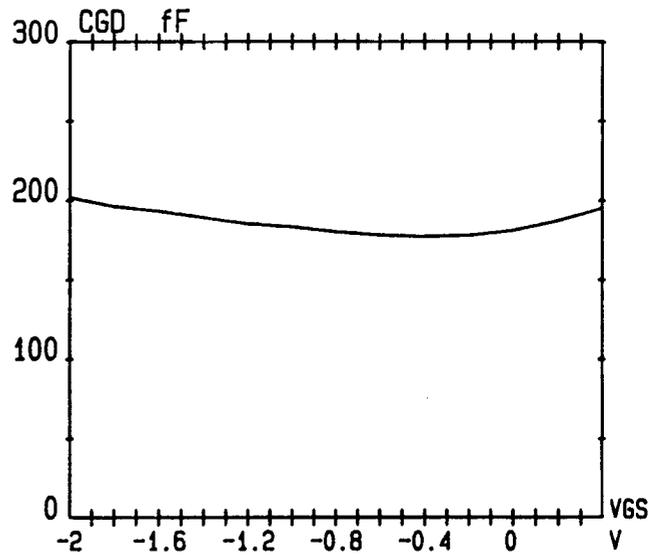
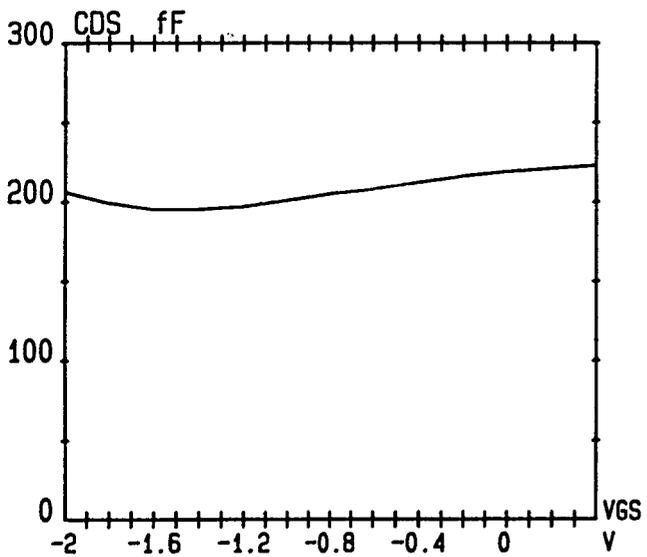
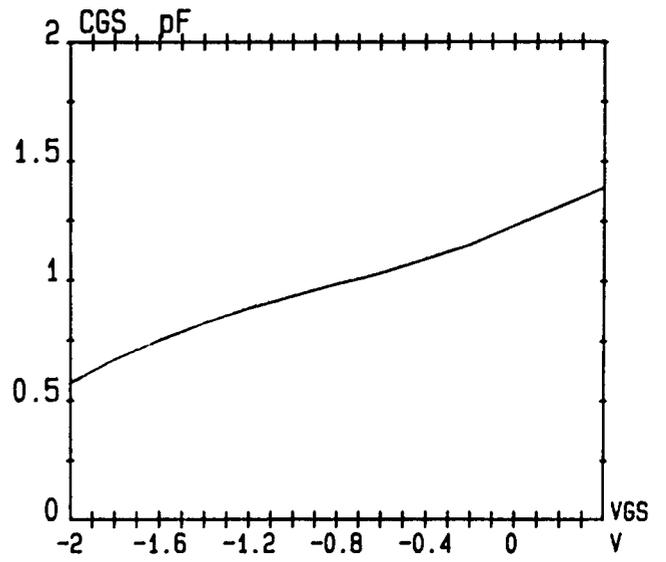
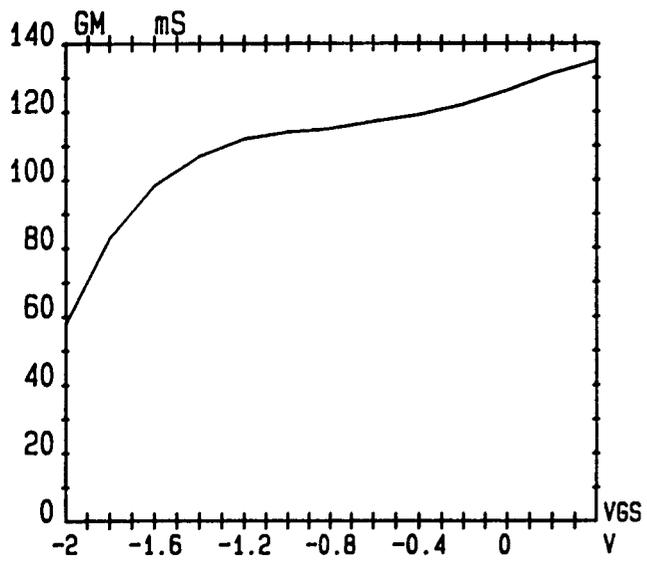


Figure II-28 : Evolution des éléments du schéma équivalent en fonction de  $V_{GS}$  à  $V_{ds}=4V$  pour le transistor 167T104

Nous remarquons premièrement en ce qui concerne les structures à drain de type ligne que la résistance du drain est très élevée par rapport à celle de source. Cela s'explique par le fait que la résistance du drain représente non seulement la résistance due au semiconducteur mais également la résistance métallique du drain qui est assez élevée compte tenu de sa géométrie (de l'ordre d'une  $20\Omega$ ). En ce qui concerne les structures de la série 210, nous remarquons qu'il y a une différence entre la résistance de source et de drain alors que ces structures sont parfaitement symétriques. La différence entre les deux valeurs s'explique par le fait que lors de mesures au microscope électronique, nous avons vu que la grille était décalée côté drain. Enfin nous constatons que la résistance de grille déterminée lors de mesures hyperfréquences est environ le tiers de celle mesurée sous pointes en continu. Toutefois d'après le type de modélisation choisie, nous prendrons pour valeur de la résistance de grille, la valeur obtenue lors des mesures sous pointes.

Les figures (II-27 et 28) représentent l'évolution des éléments du schéma équivalent pour les différents transistors monogrilles. Nous ne présentons pas les résultats obtenus pour un transistor de  $150\mu\text{m}$  de la série 210 car nous les avons montrés à titre d'exemple dans le paragraphe précédent.

Enfin, ayant choisi une modélisation de type distribué, nous prendrons pour valeur des éléments du schéma équivalent d'une cellule élémentaire, la valeur mesurée de l'élément considéré multiplié ou divisé par  $n$ ,  $n$  étant le nombre de cellules, suivant qu'il s'agisse de capacités ou de résistances. Ainsi nous aurons:

$$\begin{array}{lll} g_m = g_{m_T}/n & R_i = R_{i_T} \times n & C_{gd} = C_{gd_T}/n \\ C_{gs} = C_{gs_T}/n & R_s = R_{s_T} \times n & R_d = R_{d_T} \times n \\ C_{ds} = C_{ds_T}/n & g_d = g_{d_T}/n & \end{array}$$

où l'indice T représente la valeur totale de l'élément considéré.

## II-6 Conclusion

Nous venons dans ce chapitre de décrire les différentes structures réalisées, nécessaires à l'étude des phénomènes de propagation le long des électrodes d'un transistor ainsi que les différentes étapes technologiques employées lors de leur réalisation. Nous avons ensuite présenté le type de modélisation retenue ainsi que l'ensemble des caractérisations électriques mises en oeuvre pour déterminer l'ensemble des éléments du schéma équivalent. Nous pouvons par conséquent, après avoir précisé ces différents points, passer aux résultats obtenus pour les différentes structures et valider par des comparaisons théorie-expérience le choix de notre modèle.

## **CHAPITRE III**

# **ETUDE EXPERIMENTALE ET OPTIMISATION DES TRANSISTORS MONOGRILLES**

## **Introduction**

Ce chapitre concerne essentiellement la partie expérimentale consacrée aux transistors monogrilles ainsi que la validation et l'exploitation de la modélisation distribuée décrite dans le chapitre précédent.

Nous présentons dans un premier temps, les résultats expérimentaux obtenus pour les différentes structures étudiées et ce, pour diverses configurations d'utilisation du transistor monogrille.

Dans un second temps, nous proposons une comparaison théorie expérience à l'aide de mesures effectuées sur les différentes structures afin de valider notre modèle. Cette partie permet également de voir les limitations de notre modèle et de mieux comprendre le fonctionnement du transistor.

La troisième partie de ce chapitre est consacrée à l'influence de paramètres technologiques et géométriques (largeur de l'électrode de drain, résistance métallique de grille, développement total de grille) et à l'influence de la nature des impédances terminales. L'analyse de ces différentes grandeurs permet de déduire une structure monogrille optimale.

Nous présentons enfin, dans une quatrième partie, des résultats de puissance obtenus pour les différents transistors monogrilles dans leur condition de fonctionnement optimal.

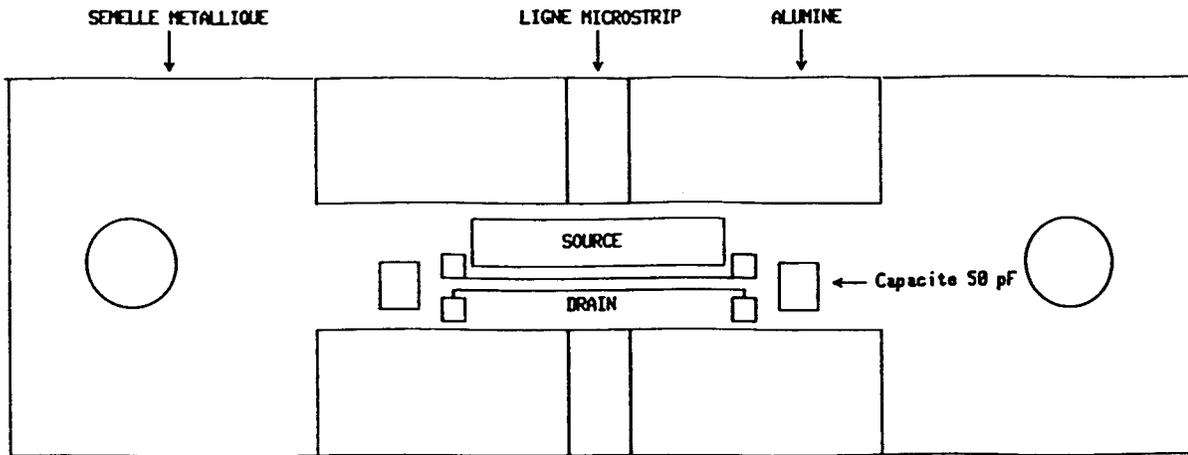


Figure III-1 : Topologie du boîtier BMH60

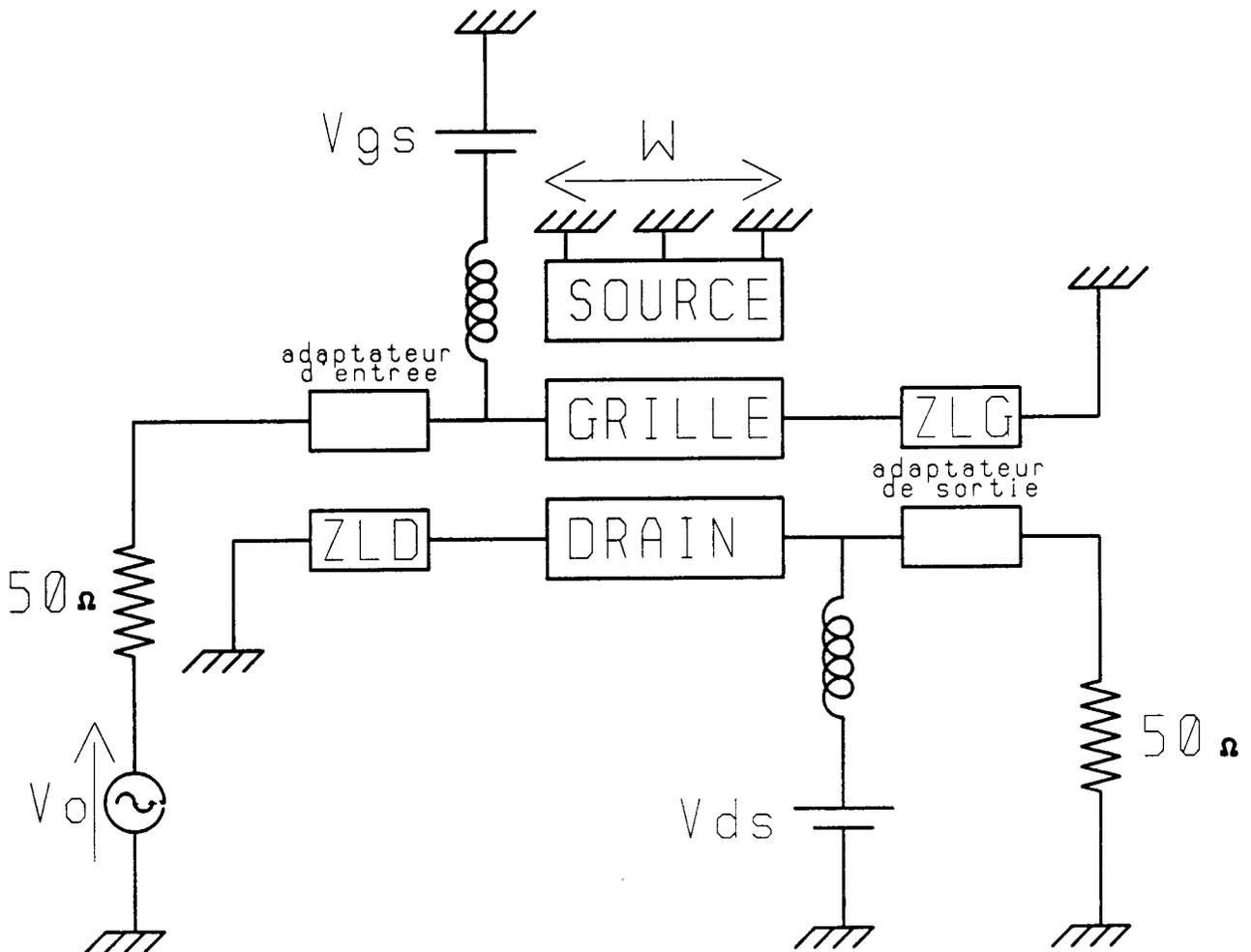


Figure III-2 : Schéma de principe d'utilisation du transistor monogrille à drain de type ligne

## **III-1 Résultats expérimentaux**

### **III-1-1 Méthode de mesure**

Nous avons utilisé pour caractériser et mesurer individuellement nos différentes structures un boîtier de type BMH 60. La topologie de ce boîtier est représentée sur la figure (III-1). Il est composé de deux alumines sur lesquelles sont gravées des lignes d'impédance  $50 \Omega$  et d'un support métallique sur lequel on fixe le transistor avec une colle conductrice. Les électrodes de grille et de drain sont reliées aux lignes  $50 \Omega$  par l'intermédiaire de fils de thermocompression. Nous avons également disposé de part et d'autre du transistor des capacités chips de  $50 \text{ pF}$  dont une électrode est à la masse. Ces capacités nous servent à étudier l'influence d'impédances terminales connectées sur l'électrode de grille et de drain. Le transistor est ensuite mesuré en paramètres S à l'analyseur de réseau HP8510 dans la gamme 1,5-18 GHz pour différentes valeurs de polarisation de la grille et du drain. Nous montrerons pour chaque transistor étudié, le type de montage et la configuration dans lesquels il est utilisé.

### **III-1-2 Transistor à drain de type ligne de $900 \mu\text{m}$ (série 167)**

#### **III-1-2-1 Influence d'impédances connectées sur l'électrode de grille**

La figure (III-2) montre la configuration dans laquelle le transistor est utilisé. Le signal hyperfréquence est injecté sur une des extrémités de la grille et le signal de sortie est recueilli sur l'extrémité opposée du drain. Les 2 extrémités restantes côté grille et côté drain permettent d'étudier l'influence de la connexion d'impédances terminales sur le comportement du transistor. Nous présentons sur la figure (III-3) l'évolution des paramètres S dans le cas d'une utilisation classique du transistor à savoir, rien pour ZLD et ZLG (circuit ouvert). Le transistor est polarisé à  $-1\text{V}$  sur la grille et  $4\text{V}$  sur le drain. Nous constatons que le S21 du transistor décroît rapidement avec la fréquence et s'annule aux environs de  $7,5 \text{ GHz}$ . La faible bande d'utilisation de cette structure est due en majeure partie à son grand développement de grille et aux pertes de l'électrode de grille. De plus, nous remarquons qu'entre  $1,5$  et  $7,5 \text{ GHz}$ , le transistor est quasiment adapté à  $50 \Omega$  en sortie et désadapté en entrée. L'adaptation en sortie

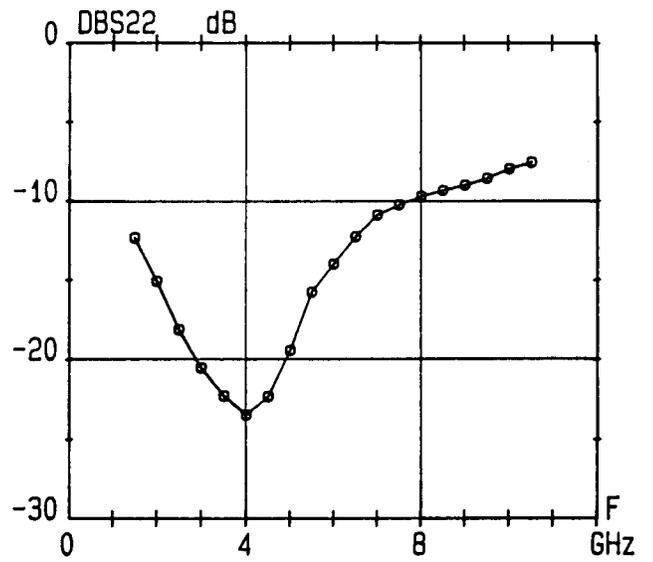
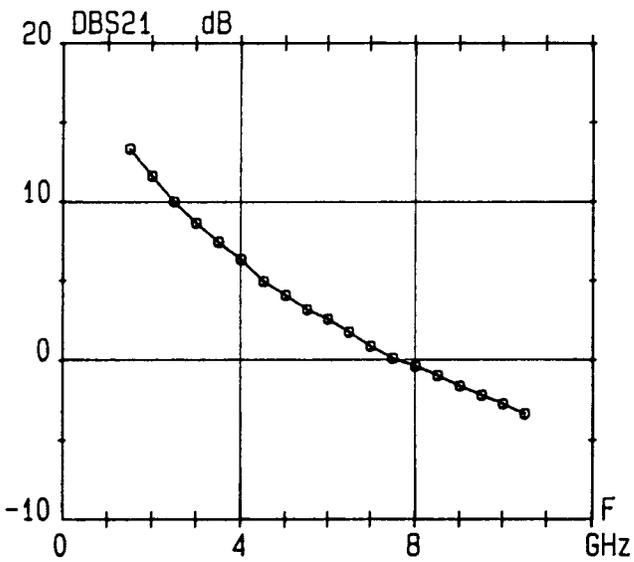
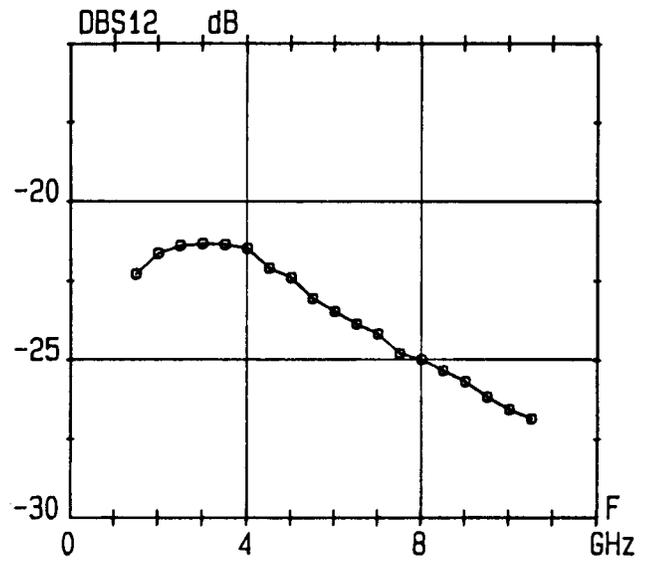
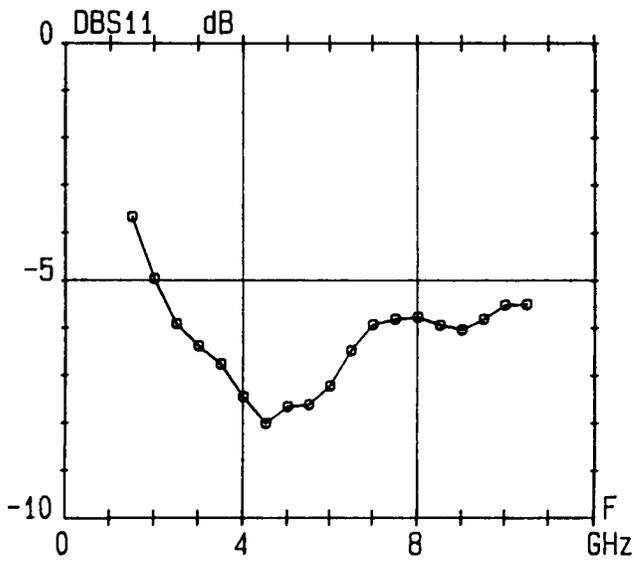


Figure III-3 : Evolution des paramètres S d'un transistor de 900  $\mu\text{m}$  à drain de type ligne en configuration classique ( $V_{gs}=-1\text{V}$   $V_{ds}=4\text{V}$ )

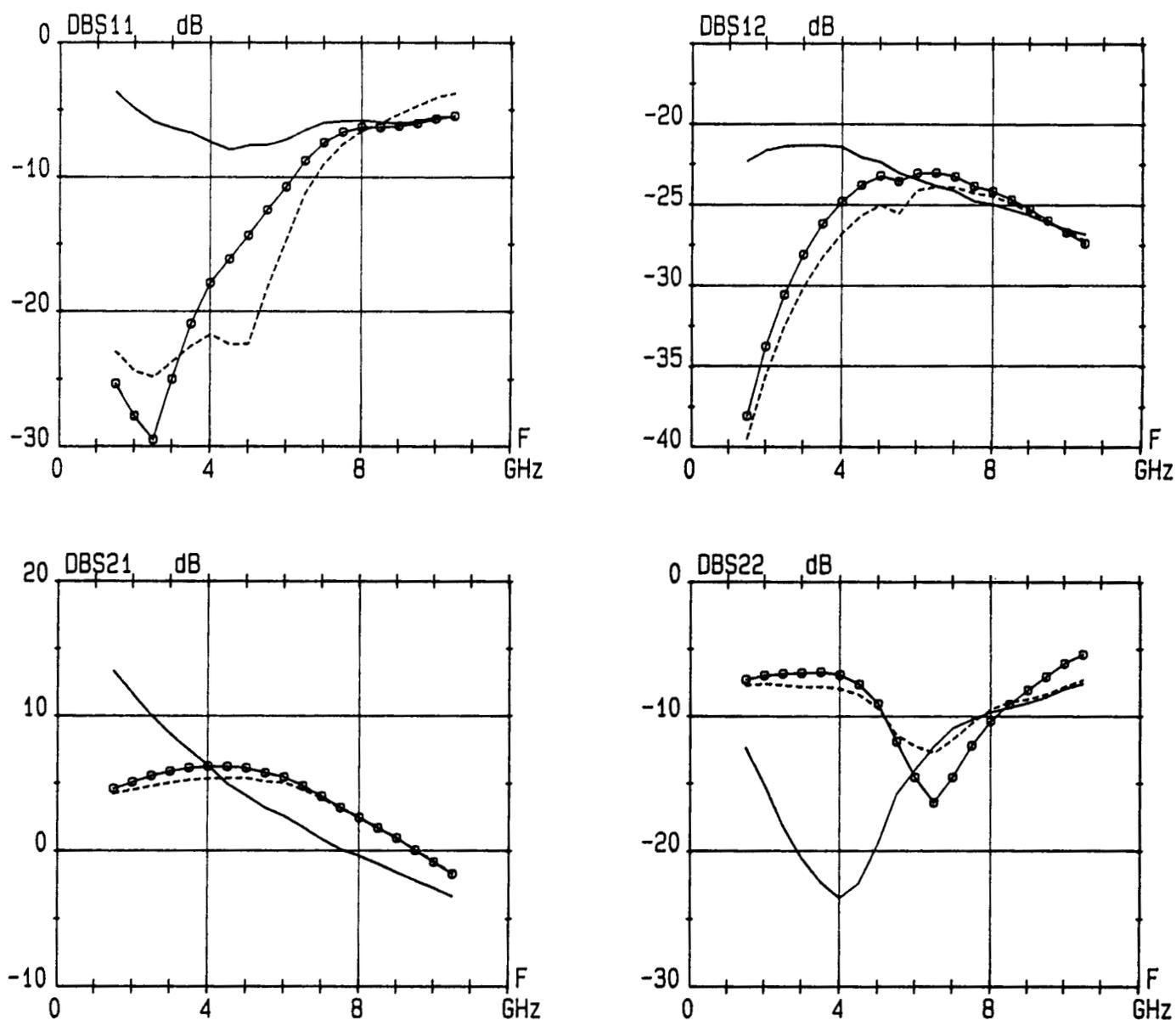


Figure III-4 : Evolution des paramètres S d'un transistor de  $900 \mu\text{m}$  à drain de type ligne ayant une self sur la grille et rien sur le drain ( $V_{gs} = -1\text{V}$   $V_{ds} = 4\text{V}$ )

-o-o-o- ZLG = 0.9 nH

-----ZLG = 0.6 nH

— ZLG = C.O

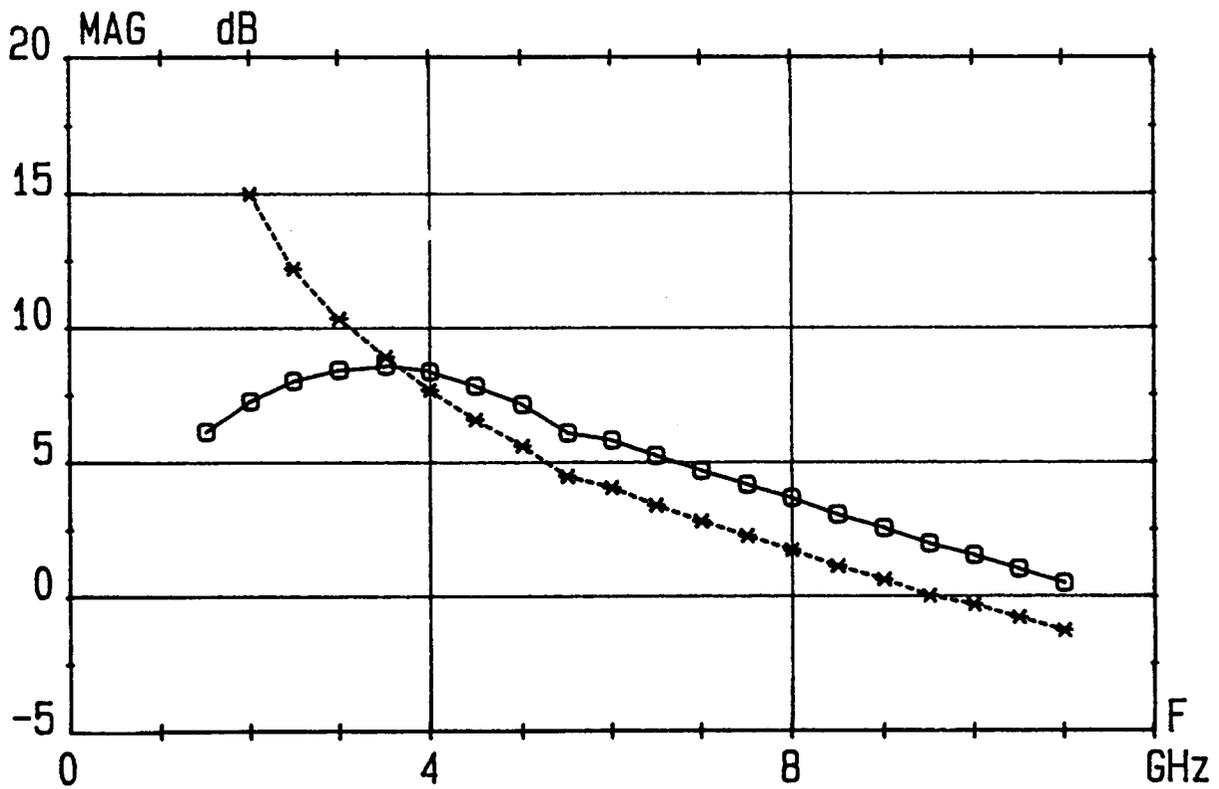


Figure III-5 : Evolution du MAG pour deux configurations d'un transistor de  $900 \mu\text{m}$  à drain de type ligne ( $V_{gs}=1V$   $V_{ds}=4V$ )

-\*-\*- ZLG=ZLD= C.O

-o-o-o- ZLG= 0.9 nH ZLD= C.O

peut s'expliquer par la valeur élevée de la résistance métallique de l'électrode de drain.

Après avoir mesuré le transistor monogrinle dans sa configuration classique, nous avons connecté à l'extrémité de la grille des impédances terminales variables. En ce qui concerne ces dernières, nous avons utilisé essentiellement des fils de thermocompression permettant d'obtenir des inductances localisées. Le choix d'impédances inductives est également lié au fait que des simulations préliminaires avaient montré que ce type d'impédances semblait le plus intéressant pour améliorer les performances du transistor. Pour augmenter ou diminuer la valeur de ces selfs, nous avons utilisé des fils de thermocompression plus ou moins longs ou mis en parallèle. Toutefois, cette technique offre une gamme relativement limitée des valeurs possibles pour ces inductances. La capacité chip de 50 pF placée en série réalise l'isolation en continu. La figure (III-4) représente les paramètres S obtenus par différentes valeurs de ces inductances à un point de polarisation identique à celui utilisé pour la configuration classique avec circuit ouvert. Nous en profitons pour rappeler, sur cette figure, les résultats obtenus dans le cas de l'utilisation classique du transistor. Les résultats obtenus amènent deux types de commentaires. Premièrement, on constate que la connexion d'une inductance sur l'extrémité de la grille permet d'améliorer les performances du transistor et notamment la bande d'utilisation. Nous remarquons ainsi une amélioration notable du coefficient de réflexion en entrée jusqu'à environ 7 GHz par rapport à la configuration classique. De plus, on constate un accroissement sensible du  $S_{21}$  vers les hautes fréquences avec une différence d'environ 2,5 dB entre 5 et 10 GHz par rapport au monogrinle classique. Nous remarquons également que le  $S_{21}$  présente une évolution plus plate dans une bande de fréquence relativement plus large. Enfin, en ce qui concerne le coefficient de réflexion en sortie, la présence d'une self sur la grille se traduit par une dégradation de ce dernier par rapport à la structure conventionnelle. Nous présentons, sur la figure (III-5) l'évolution du MAG (Maximum Available Gain) pour les deux configurations précédemment décrites. A partir de ces résultats, nous constatons qu'entre 5 et 10 GHz, la structure avec self présente un gain supérieur de 2 dB environ par rapport à la structure classique, ce qui n'est pas négligeable.

Concernant le choix de la valeur de la self terminale, nous constatons qu'une augmentation de celle-ci permet d'accroître la valeur du  $S_{21}$  avec un

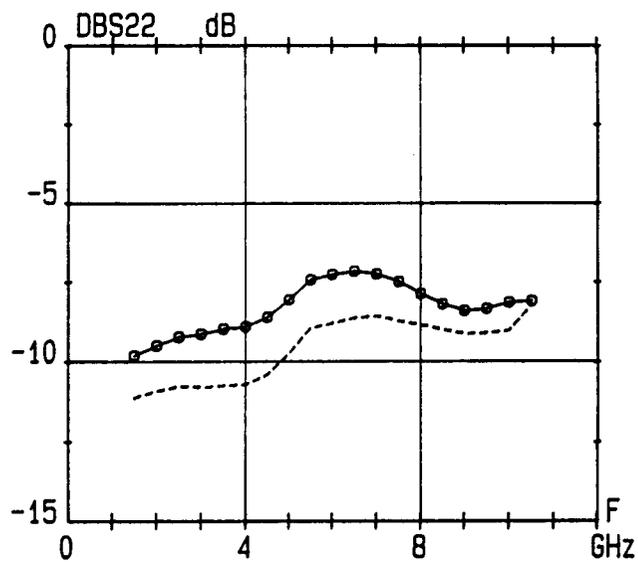
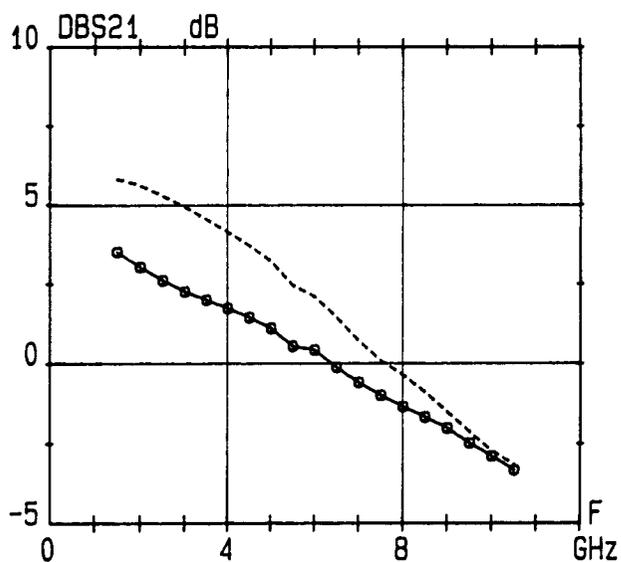
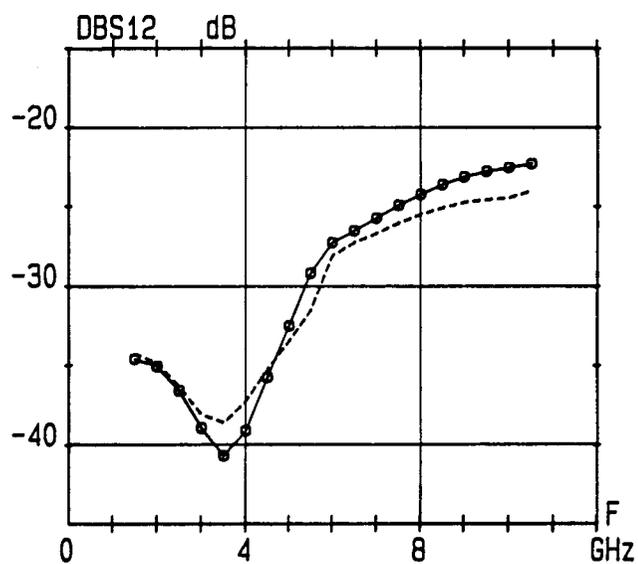
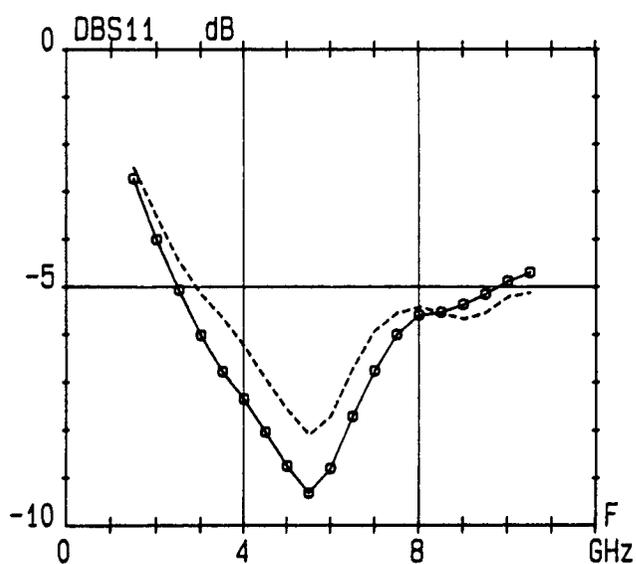


Figure III-6 : Evolution des paramètres S d'un transistor de  $900 \mu\text{m}$  à drain de type ligne ayant une self sur le drain et rien sur la grille ( $V_{gs} = -0.8\text{V}$   $V_{ds} = 4.0\text{V}$ )  
-o-o-o- ZLD = 0.6 nH      ---- ZLD = 1 nH

comportement de type passe-bande. Les autres paramètres S suivent des évolutions similaires avec toutefois une amélioration du minimum du coefficient de réflexion en sortie pour une valeur de la self plus élevée. Nous remarquons également qu'une augmentation de la valeur de la self se traduit par une meilleure adaptation en entrée basse fréquence. Par conséquent, à partir des simulations, nous pourrions déterminer une valeur optimale de la self terminale permettant d'avoir une adaptation d'entrée et un coefficient de transmission large bande corrects sans pour autant dégrader le coefficient de réflexion en sortie. Ces premiers résultats montrent déjà le rôle important que peuvent jouer des impédances terminales sur l'amélioration du fonctionnement d'un transistor.

### III-1-2-2 Influence d'impédances connectées sur l'électrode de drain

Nous avons ensuite connecté sur l'électrode de drain une inductance, la grille étant laissée en circuit ouvert. La figure (III-6) montre les paramètres S mesurés pour deux valeurs de la self connectée sur le drain. Dans cette configuration, le transistor est polarisé à 4V sur le drain et -0,8V sur la grille. Au vue de ces résultats, nous constatons d'une part que le S21 et le S11 suivent le même type d'évolution que ceux obtenus dans le cas d'une utilisation classique du transistor, et que, d'autre part, dans toute la bande de mesure, le module du coefficient de transmission est nettement inférieur à celui obtenu dans le cas où ZLD et ZLG sont des circuits ouverts.

Nous constatons qu'en règle générale l'ensemble des paramètres S suivent le même type d'évolution quelle que soit la valeur de la self avec toutefois des dégradations, des améliorations ou encore des décalages en fréquence de certains paramètres S. Ainsi, nous remarquons qu'une augmentation de la valeur de la self connectée sur le drain se traduit par une amélioration sensible du S21 en basse fréquence. Nous pouvons, à partir de ces résultats, dire que cette configuration présente moins d'intérêt que celle décrite précédemment. En effet, nous assistons plutôt à une dégradation du fonctionnement du transistor. Nous reviendrons dans la partie consacrée à la simulation de ces structures sur les limites de fonctionnement du transistor utilisé dans cette configuration.

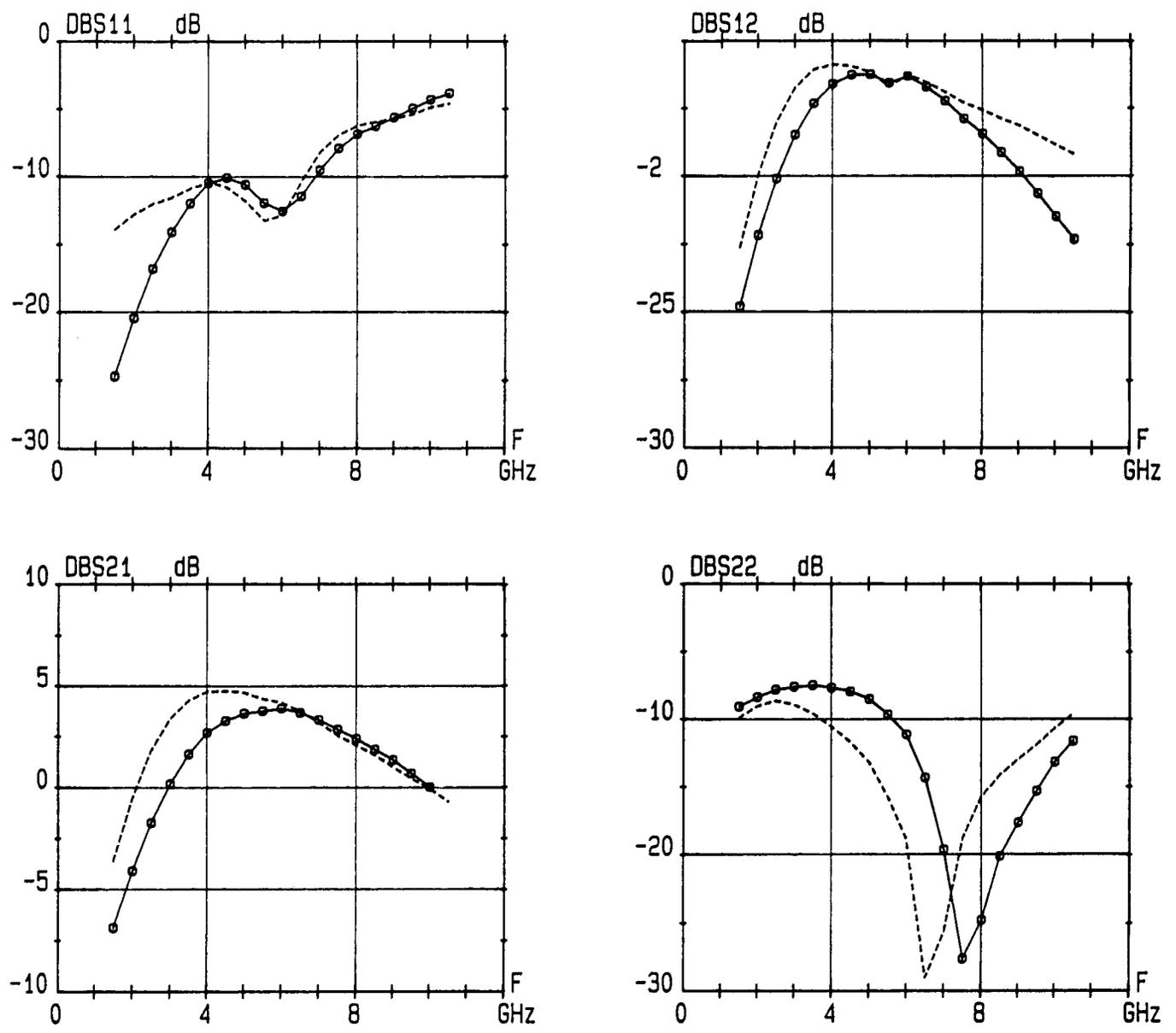


Figure III-7 : Evolution des paramètres S d'un transistor de 900  $\mu\text{m}$  à drain de type ligne ayant des selfs sur la grille et le drain ( $V_{gs}=-0.8\text{V}$   $V_{ds}=4\text{V}$ )  
-o-o-o- ZLG= 0.6 nH ZLD= 1 nH ----- ZLG= 1 nH ZLD= 1 nH

### III-1-2-3 Influence d'impédances terminales connectées simultanément sur les électrodes de grille et de drain

Dans cette partie, nous présentons les meilleures performances que nous avons obtenues pour ce type d'utilisation. En effet, comme nous l'avons vu précédemment, nous ne disposions que d'un éventail restreint de valeurs pour les inductances localisées. La figure (III-7) représente l'évolution des paramètres S obtenus dans ce type de configuration pour une tension de grille de  $-0,8V$  et une tension drain de  $4V$ . L'allure des paramètres S est similaire à celle obtenue dans le cas d'une utilisation du transistor avec une self connectée sur l'extrémité de la grille. Ainsi une augmentation de la valeur de la self connectée sur la grille se traduit par une augmentation de la valeur de  $S_{21}$  jusqu'à environ 6 GHz. Nous regarderons, dans la partie consacrée à la simulation de ces structures, le rôle joué par les deux impédances séparément afin de voir laquelle joue un rôle prépondérant dans le comportement du transistor.

A partir de ces différentes mesures, nous pouvons dresser un premier bilan. Ainsi, nous avons constaté le rôle important que jouent des impédances terminales connectées sur le drain ou la grille d'un transistor sur le comportement de ce dernier. La connexion de ces impédances permet dans certains cas, d'améliorer les performances du transistor par rapport à celles obtenues dans le cas d'une utilisation conventionnelle. Il apparaît alors nécessaire de trouver des impédances optimales permettant les meilleures performances possibles. Nous pouvons, après avoir fait ces différentes constatations, passer au cas des transistors ayant un drain de type surface.

### III-1-3 Transistor à drain de type surface (série 210)

Dans ce paragraphe, nous allons étudier successivement les différents transistors de la série 210, en commençant, à titre de comparaison avec ce qui précède, par le transistor de  $900 \mu m$  de développement. Nous avons essentiellement utilisé ces transistors dans une configuration représentée sur la figure (III-8). Le signal hyperfréquence est injecté sur l'une des extrémités de la grille et est recueilli sur la totalité du drain, l'autre extrémité de la grille permettant la connexion d'impédances

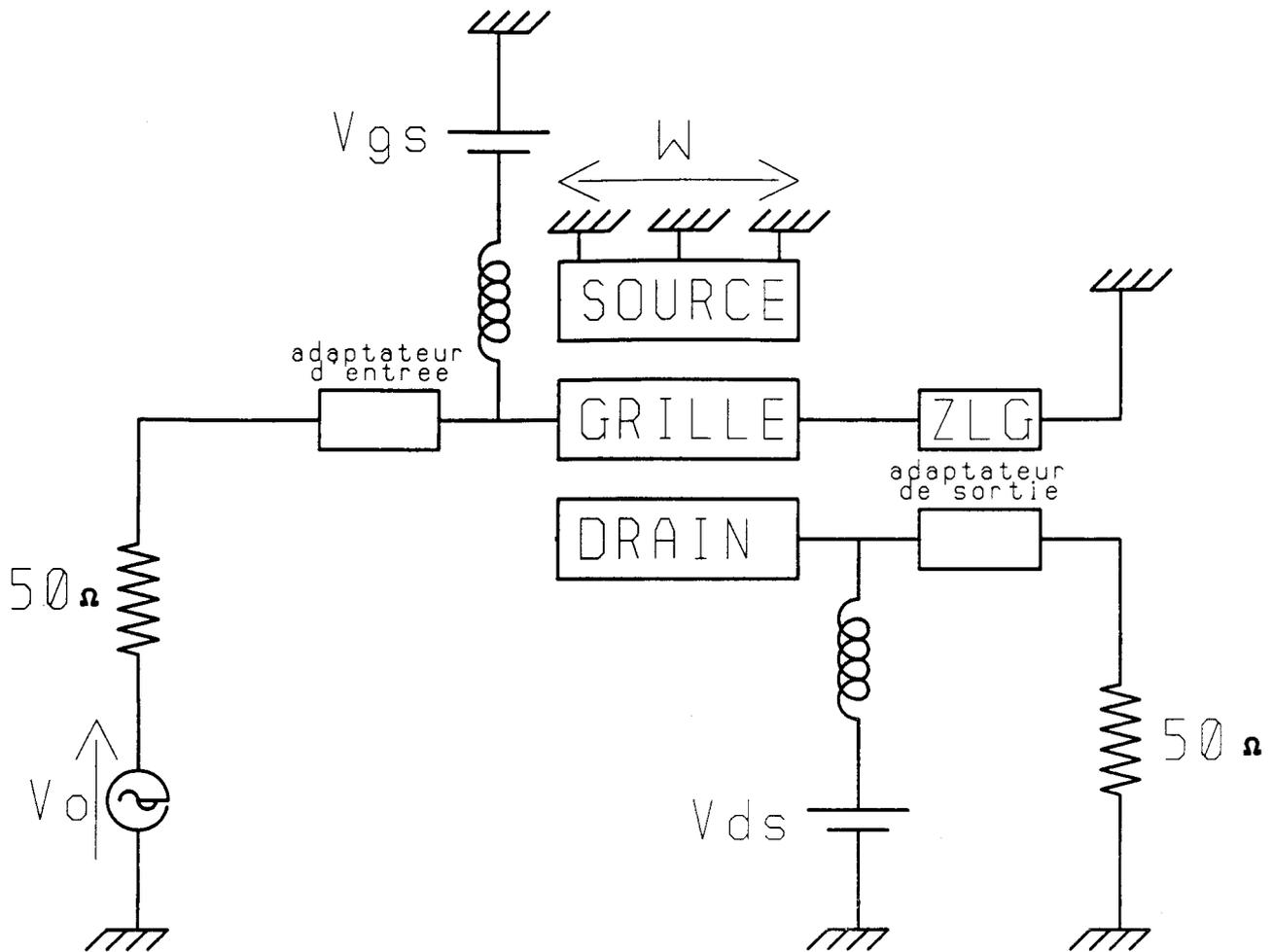


Figure III-8 : Schéma de principe d'utilisation d'un transistor monogrille à drain de type surface

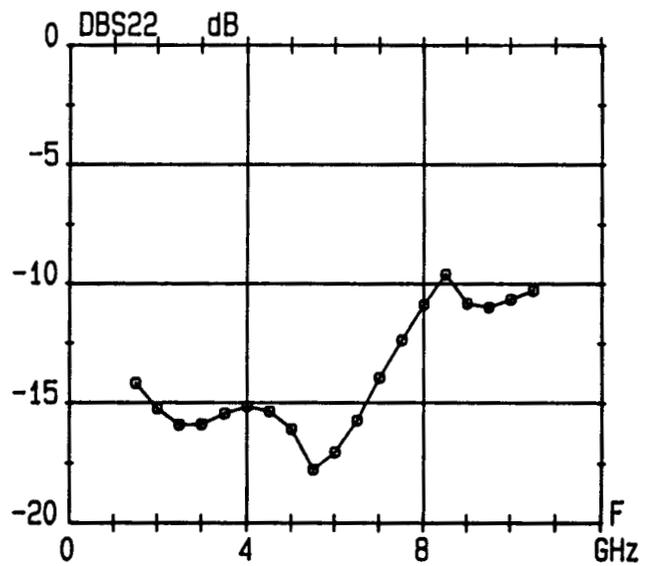
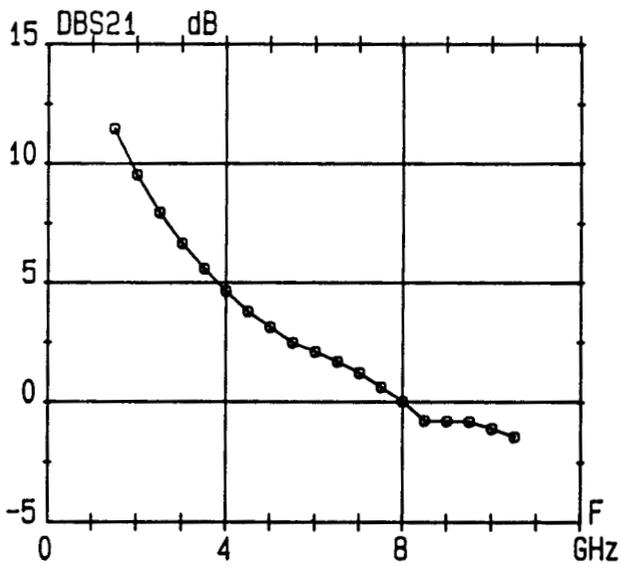
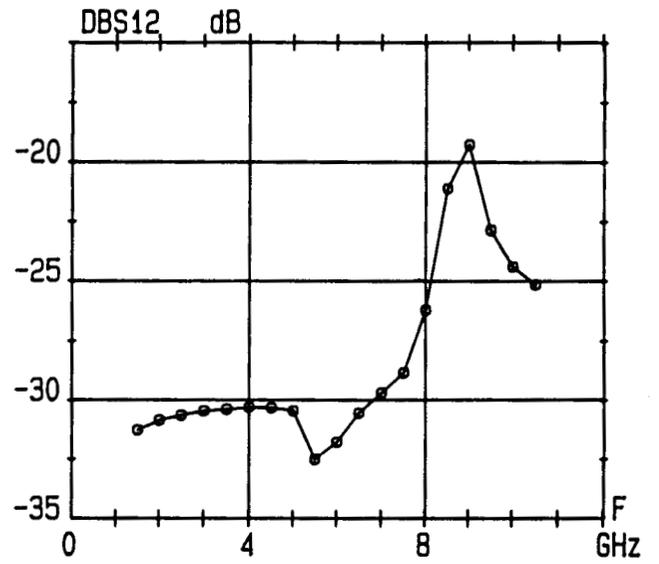
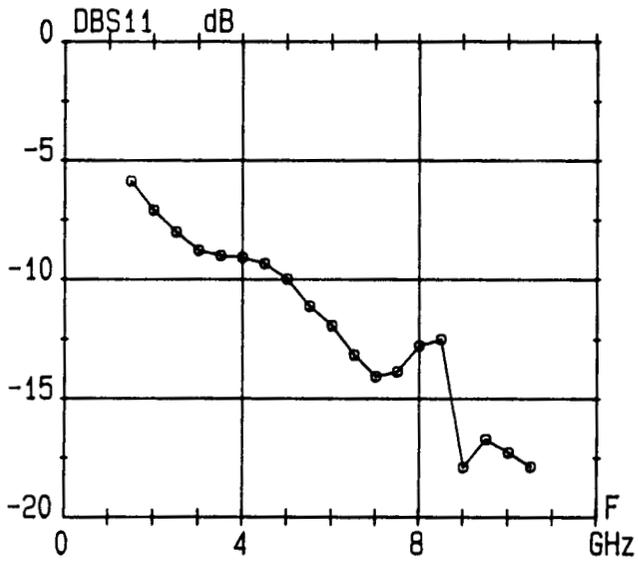


Figure III-9 : Evolution des paramètres S d'un transistor de  $900 \mu\text{m}$  à drain de type surface en configuration classique ( $V_{gs} = -1\text{V}$   $V_{ds} = 4\text{V}$ )

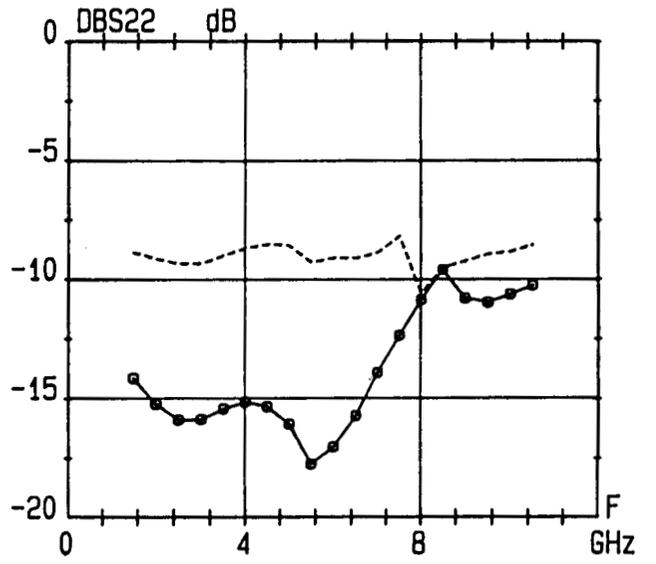
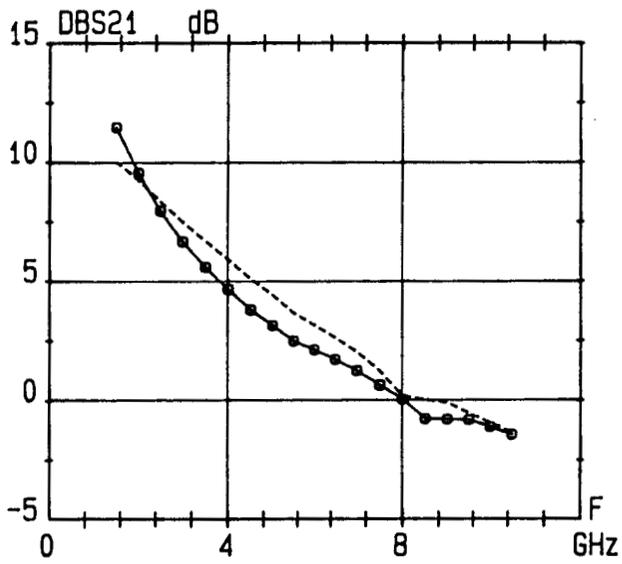
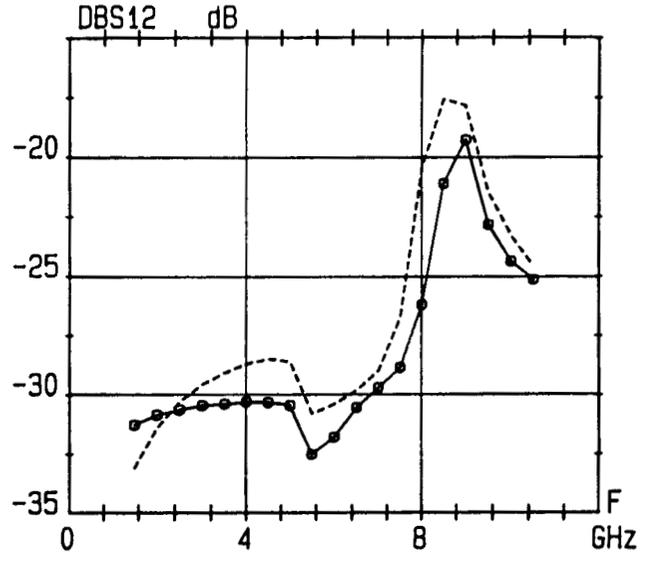
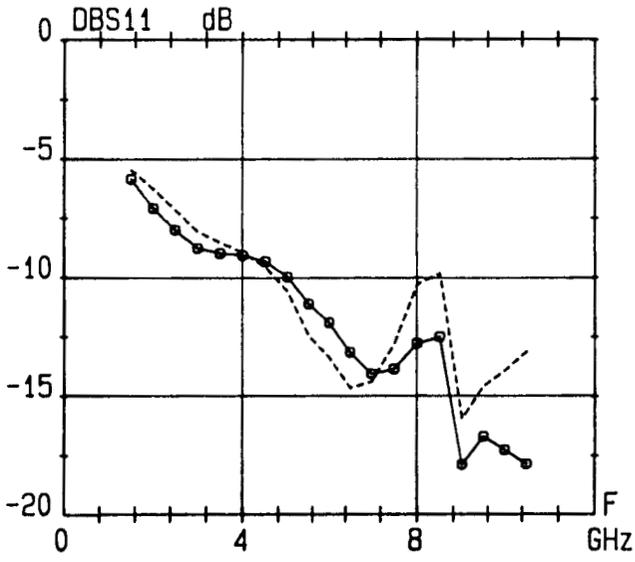


Figure III-10 : Evolution des paramètres S d'un transistor de 900  $\mu\text{m}$  à drain de type surface ayant une self sur la grille ( $V_{gs}=-1\text{V}$   $V_{ds}=4\text{V}$ )  
----- ZLG = 0.8 nH      -o-o-o- ZLG = C.O

terminales.

### III-1-3-1 Transistor de 900 $\mu\text{m}$ (série 210)

Nous présentons sur la figure (III-9) l'allure des paramètres S mesurés pour une utilisation classique à savoir, rien sur l'extrémité de la grille, pour une tension drain-source de 4V et une tension grille source de -1V. Nous constatons que l'évolution des paramètres S12, S21 et S22 est assez similaire à celle observée dans le cas de la structure à drain de type ligne. Ainsi le S21 en module est élevé en basse fréquence et décroît rapidement en fonction de celle-ci et, le transistor est quasiment adapté à 50  $\Omega$  en sortie dans la bande de fréquence 1,5-8 GHz. Nous constatons également une quasi adaptation à 50  $\Omega$  en entrée dans la bande 4-12 GHz. Cette adaptation en entrée peut être attribuée au fait que la série 210 présente la résistance de grille par mm la plus élevée parmi toutes les réalisations technologiques effectuées (voir dans la partie consacrée à la caractérisation continue des différentes structures du chapitre précédent).

La figure (III-10) représente les paramètres S obtenus pour cette structure en connectant une self sur l'extrémité de la grille. Nous en profitons également pour rappeler sur cette même figure les paramètres S obtenus dans le cas d'une utilisation classique. Nous constatons que la connexion d'une self sur la grille n'améliore pas, contrairement à la structure à drain de type ligne, le comportement et les performances du transistor. Ainsi, l'ensemble des paramètres S à l'exception du S22, suit une évolution similaire à celle observée dans le cas où ZLG est un circuit ouvert. En effet, comme dans le cas de la structure de la série 167, nous constatons une dégradation du coefficient de réflexion en sortie par rapport à une utilisation du transistor en configuration classique. Ce phénomène est vraisemblablement dû à la valeur trop élevée de la résistance de grille qui masque l'effet de la self. En effet, dans le cas d'une structure à drain de type ligne, la connexion d'une inductance sur l'extrémité de la grille se traduisait par une quasi adaptation de l'entrée du transistor sur une bande d'environ 5 GHz alors que, dans le cas où ZLD ET ZLG, étaient des circuits ouverts, le transistor était désadapté en entrée dans toute la bande d'utilisation. Or, dans le cas d'une structure à drain de type surface, nous n'observons aucune différence vraiment

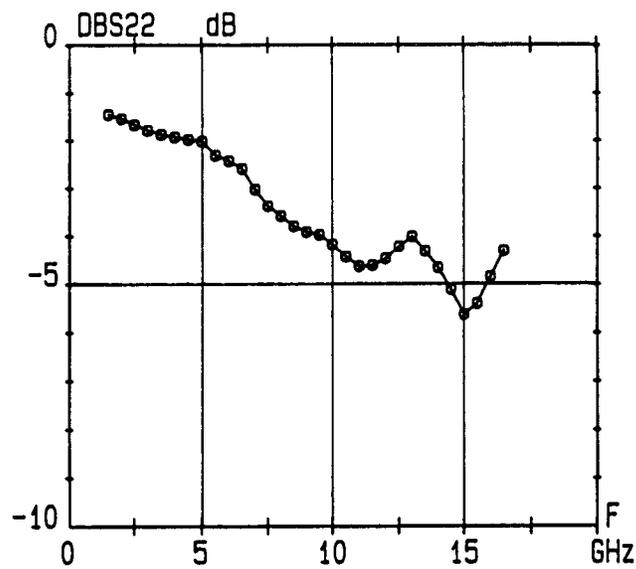
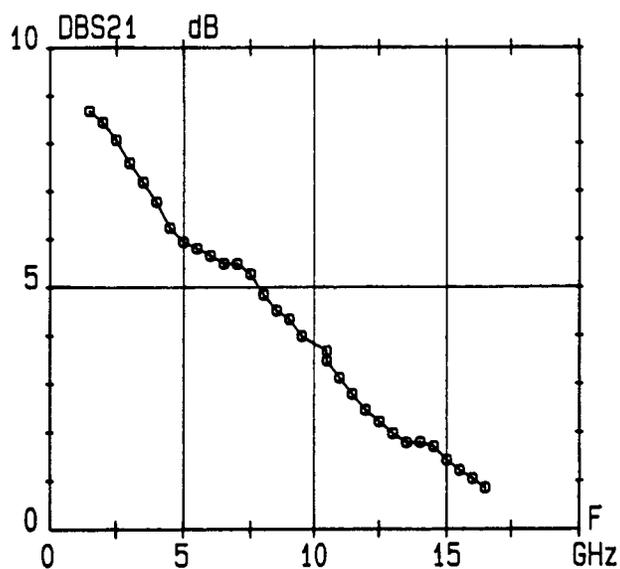
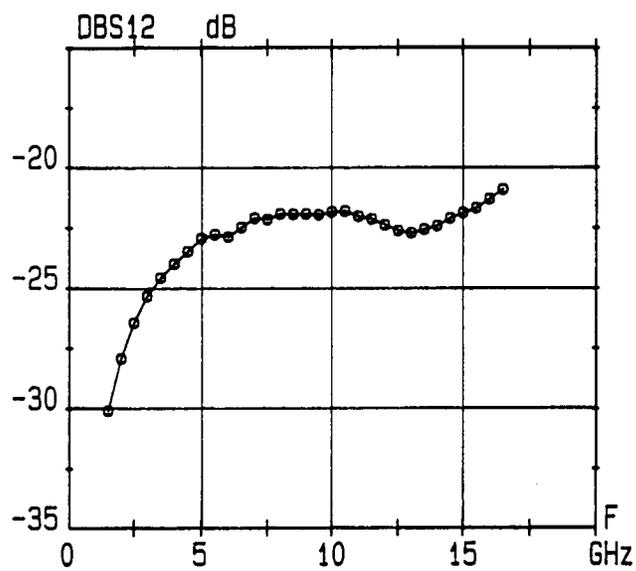
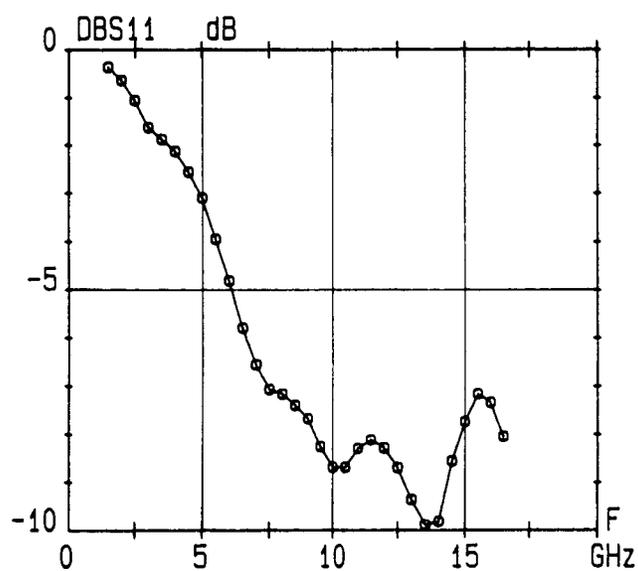


Figure III-11 : Evolution des paramètres S d'un transistor de 150  $\mu\text{m}$  à drain de type surface en configuration classique ( $V_{gs} = -0.2\text{V}$   $V_{ds} = 4.0\text{V}$ )

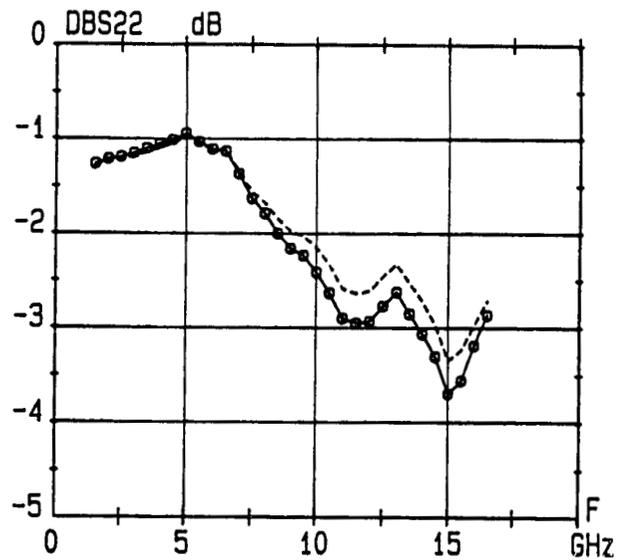
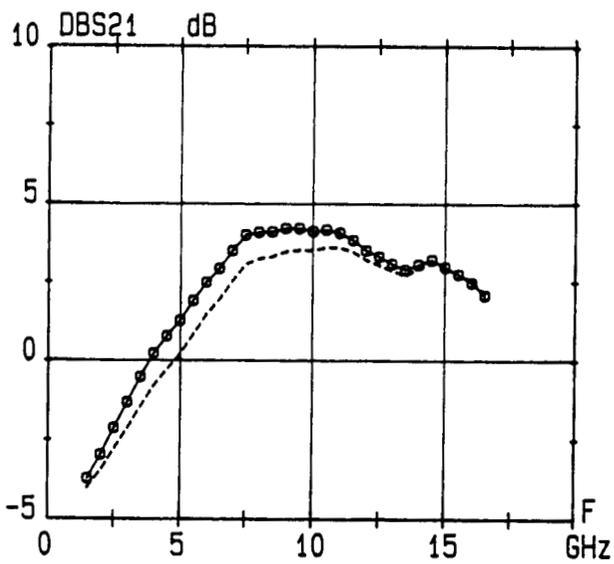
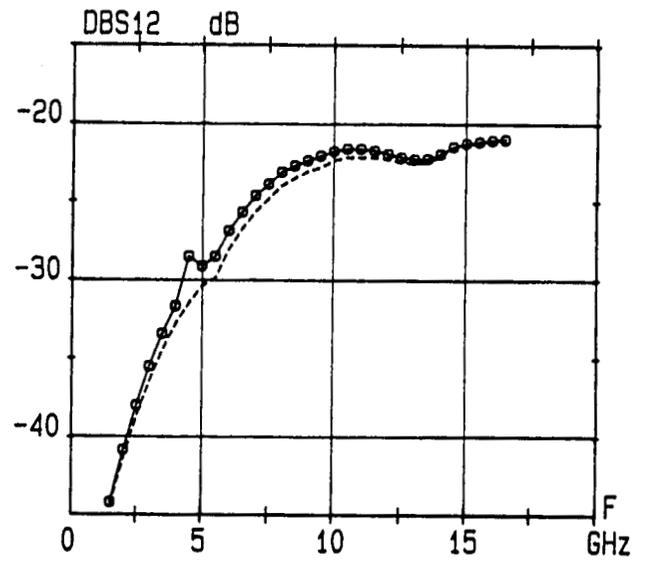
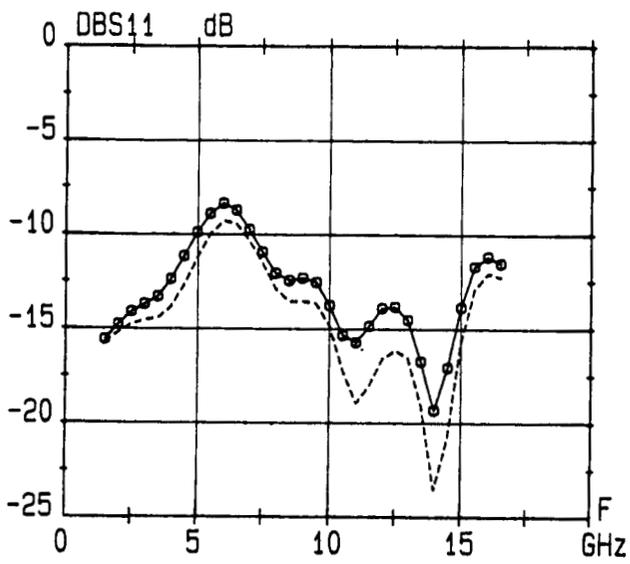


Figure III-12 : Evolution des paramètres S d'un transistor de  $150 \mu\text{m}$  à drain de type surface  
ayant une self sur la grille ( $V_{gs} = -0.2\text{V}$   $V_{ds} = 4.0\text{V}$ )  
-o-o-o- ZLG = 0.8 nH      ---- ZLG = 0.6 nH

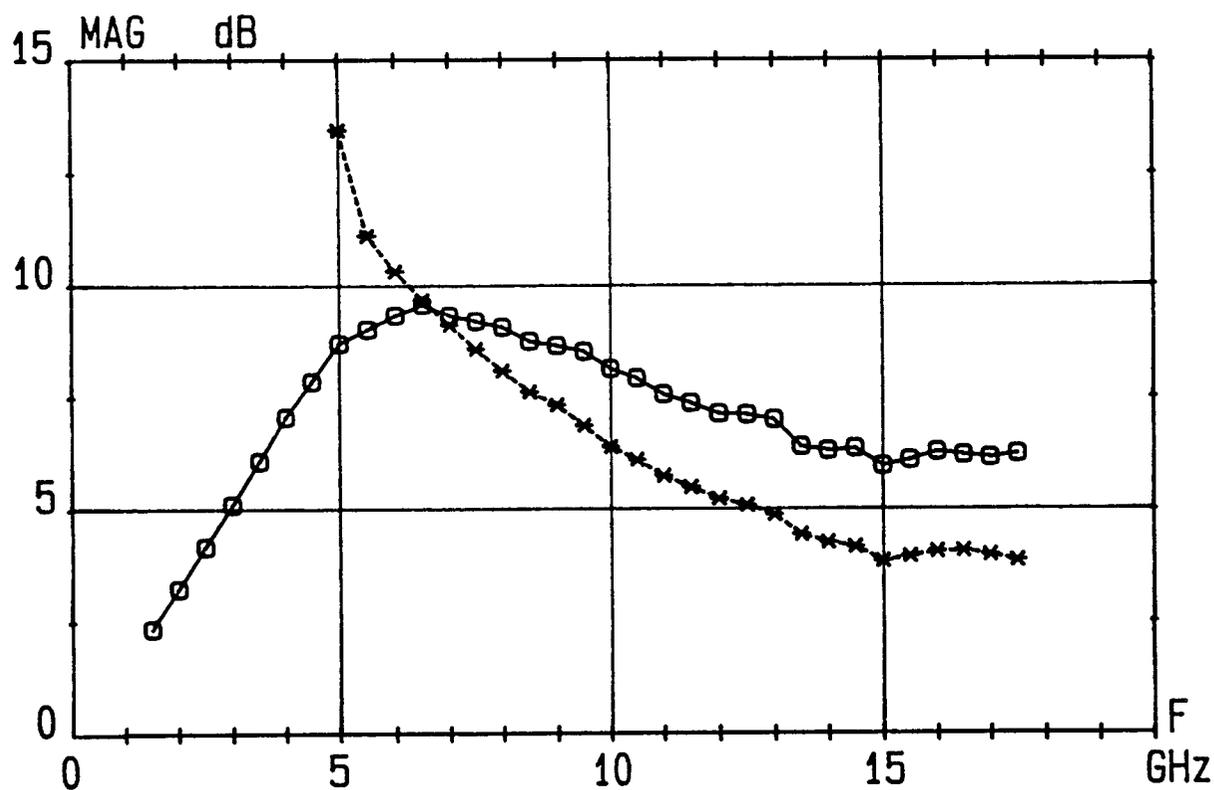


Figure III-13 : Evolution du MAG pour deux configurations d'un transistor de 150  $\mu\text{m}$  à drain de type surface ( $V_{gs}=-0.2\text{V}$   $V_{ds}=4\text{V}$ )  
-\*.~\*-. ZLG=C.O      -o-o-o- ZLG= 0.8 nH

significative sur le S11 dans le cas où ZLG est un circuit ouvert et où ZLG est une self. Ainsi seules les simulations de cette structure permettront de comprendre d'une part son fonctionnement et, d'autre part, de déterminer quels sont les paramètres du transistor qui permettent d'expliquer les résultats obtenus.

### III-1-3-2 Transistor 150 $\mu\text{m}$ (série 210)

Comme nous l'avons vu dans le chapitre précédent, nous avons disposé sur le même réticule trois composants présentant des développements de grille différents mais des caractéristiques technologiques identiques (même espace drain source, même longueur de grille). Il sera donc possible à partir des résultats obtenus et de simulations de déterminer un développement de grille et des impédances optimales permettant d'avoir des transistors offrant des performances nettement supérieures à celles que l'on pourrait avoir dans le cas d'une utilisation classique. Nous avons, dans le cas de ces structures, étudié non seulement l'influence d'impédances terminales selfiques mais aussi d'impédances terminales capacitives.

Nous présentons sur la figure (III-11), les paramètres S d'un transistor de 150  $\mu\text{m}$  de large dans une configuration d'utilisation classique, à  $V_{gs} = -0,2\text{V}$  et  $V_{ds} = 4\text{V}$ . Nous retrouvons là l'évolution classique des paramètres S d'un transistor, à savoir une désadaptation en entrée et en sortie ainsi qu'un coefficient de transmission qui décroît régulièrement avec la fréquence. Nous donnons, sur la figure (III-12) l'évolution des paramètres S mesurés pour ce même transistor pour deux valeurs de la self connectée sur l'extrémité de la grille et pour le même point de polarisation. Nous constatons premièrement que les résultats sont similaires à ceux correspondant au cas d'un transistor à drain de type surface, ayant une self connectée sur l'extrémité de son électrode de grille. En effet, le transistor est quasiment adapté en entrée dans toute la bande d'utilisation, les minima sont dus vraisemblablement à des phénomènes de résonance. Dans cette configuration, le transistor est plus désadapté en sortie et la valeur du coefficient de transmission devient supérieure à celle d'un transistor utilisé en configuration classique à partir de 9 GHz. Il apparaît donc, qu'un transistor utilisé dans cette configuration, présente des performances supérieures à celles d'un transistor classique à partir de 9 GHz. La figure (III-13) montre à cet effet l'évolution du MAG

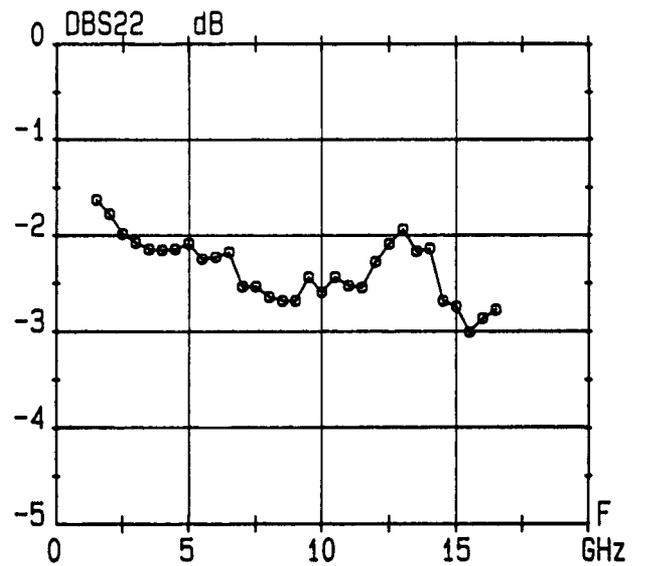
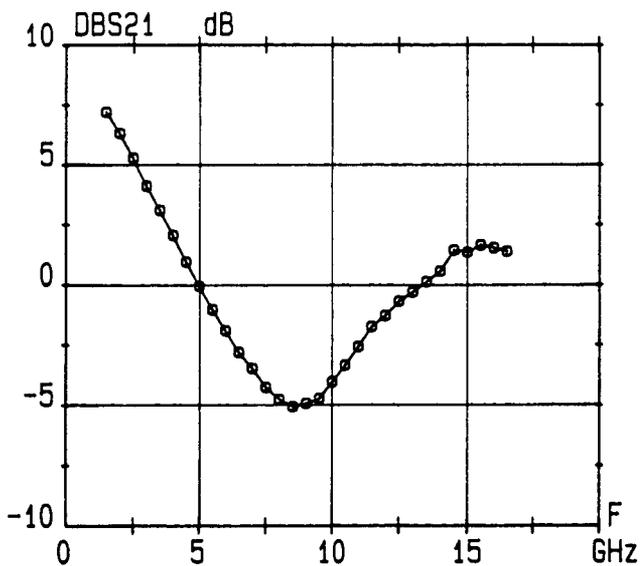
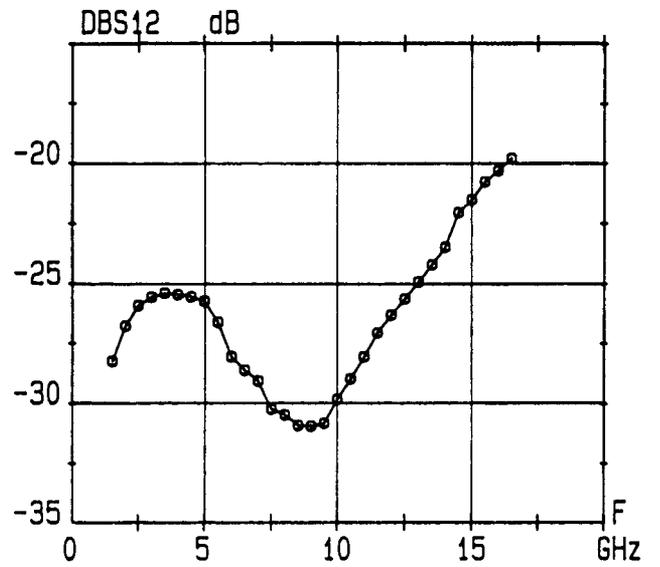
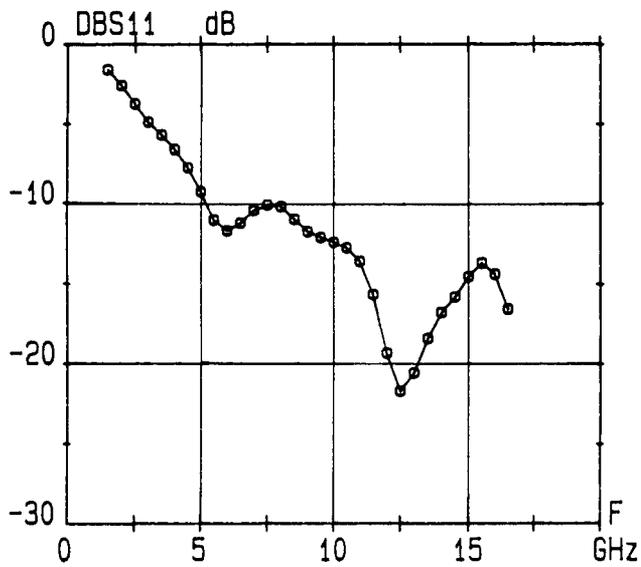


Figure III-14 : Evolution des paramètres d'un transistor de  $150 \mu\text{m}$  à drain de type surface ayant une capacité de  $0.5 \text{ pF}$  sur la grille ( $V_{gs} = -0.2\text{V}$   $V_{ds} = 4\text{V}$ )

pour les deux configurations. De plus, nous remarquons qu'une augmentation de la valeur de la self se traduit par une augmentation de  $S_{21}$  en module, une faible dégradation du  $S_{11}$  et une faible amélioration du  $S_{22}$ .

Pour étudier l'influence d'une capacité connectée sur l'extrémité de la grille, nous avons pris des chips capacitifs de faibles valeurs que nous avons disposés le plus près possible du transistor afin de minimiser la valeur de la self de connexion. La figure (III-14) présente l'évolution des paramètres S pour un développement de  $150\ \mu\text{m}$  avec un chip capacitif de  $0,5\ \text{pF}$ . La polarisation continue de grille vaut  $-0,2\text{V}$  et celle de drain  $4\text{V}$ . On constate que la présence de cette capacité dégrade les performances du transistor. Son gain est substantiel jusqu'à environ  $5\ \text{GHz}$  puis décroît et recroît finalement entre  $13,5$  et  $17\ \text{GHz}$ . La recrudescence du gain observé, dans cette seconde bande de fréquence, peut être attribuée à la valeur de la self du fil de thermocompression reliant le transistor à la capacité chip. Nous examinerons plus en détail ce phénomène lors de la simulation de ces composants. Nous remarquons que la connexion d'une capacité dégrade le coefficient de réflexion en sortie et permet au transistor d'être adapté en entrée dans la bande  $5,5$  à  $17\ \text{GHz}$ . Cette manipulation nous permet de constater, comme Kretschmer [6] l'avait fait théoriquement, que seule la connexion d'impédances terminales selfiques permet d'améliorer les performances du transistor. Comme cet auteur, nous observons qu'il est impossible d'obtenir simultanément une adaptation en entrée et en sortie du transistor.

### III-1-3-3 Transistor de $300\ \mu\text{m}$ (série 210)

Nous présentons sur la figure (III-15) les évolutions des paramètres S d'un transistor de  $300\ \mu\text{m}$  de développement de grille de la série 210 dans le cas où l'extrémité de la grille est fermée sur un circuit ouvert et dans le cas où cette dernière est fermée sur une self présentant différentes valeurs.

Nous constatons que la connexion d'une self se traduit par une désadaptation de la sortie du transistor, une quasi adaptation en entrée dans toute la bande de fréquence d'utilisation. Il faut toutefois remarquer que dans sa configuration classique, le transistor présente un coefficient de réflexion en entrée inférieur à  $-10\ \text{dB}$

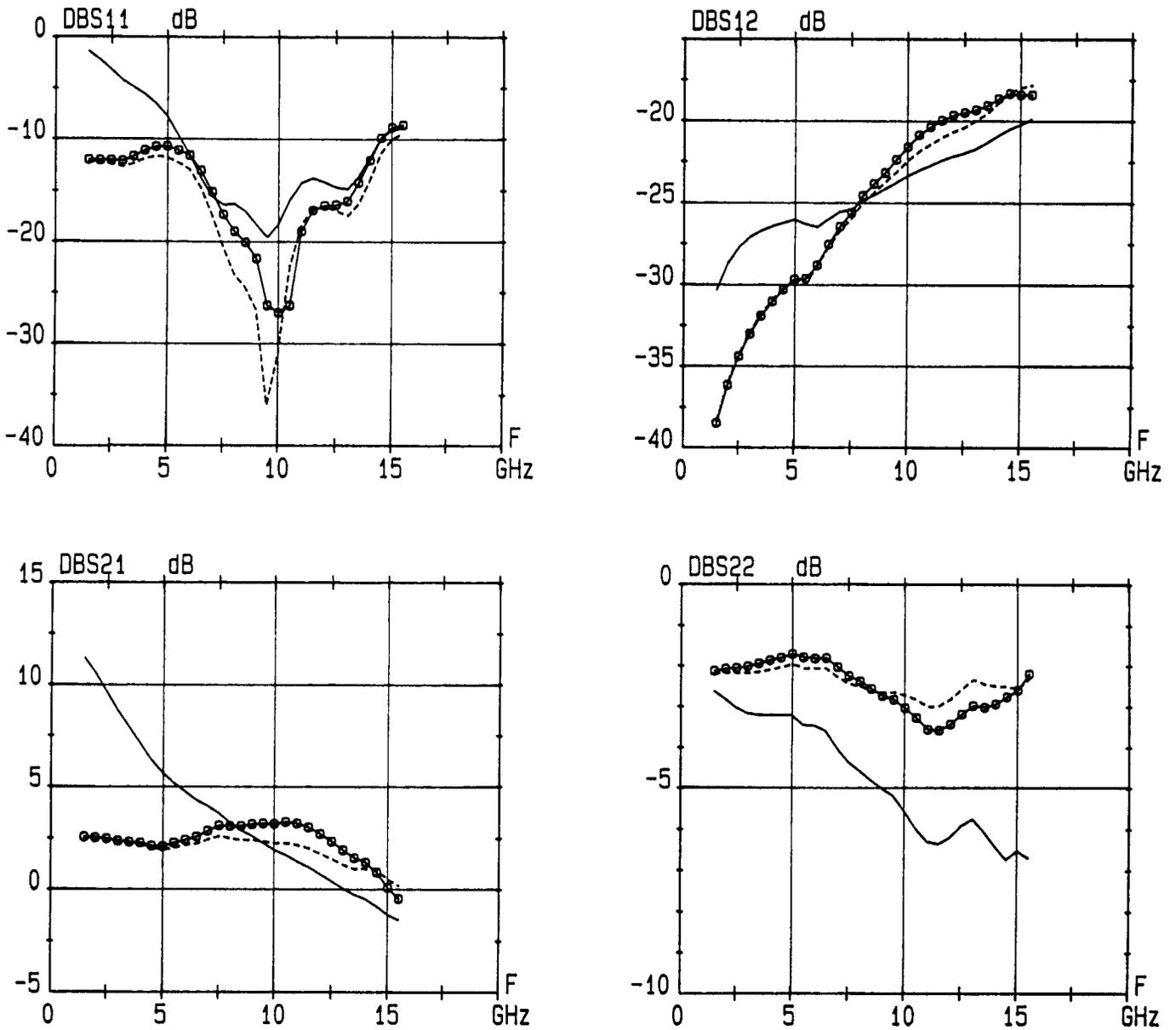


Figure III-15 : Evolution des paramètres S d'un transistor de 300  $\mu\text{m}$  à drain de type surface pour différentes configurations ( $V_{gs}=-0.8\text{V}$   $V_{ds}=4\text{V}$ )

— ZLG=C.O

-o-o-o- ZLG= 0.9 nH

..... ZLG= 0.6 nH

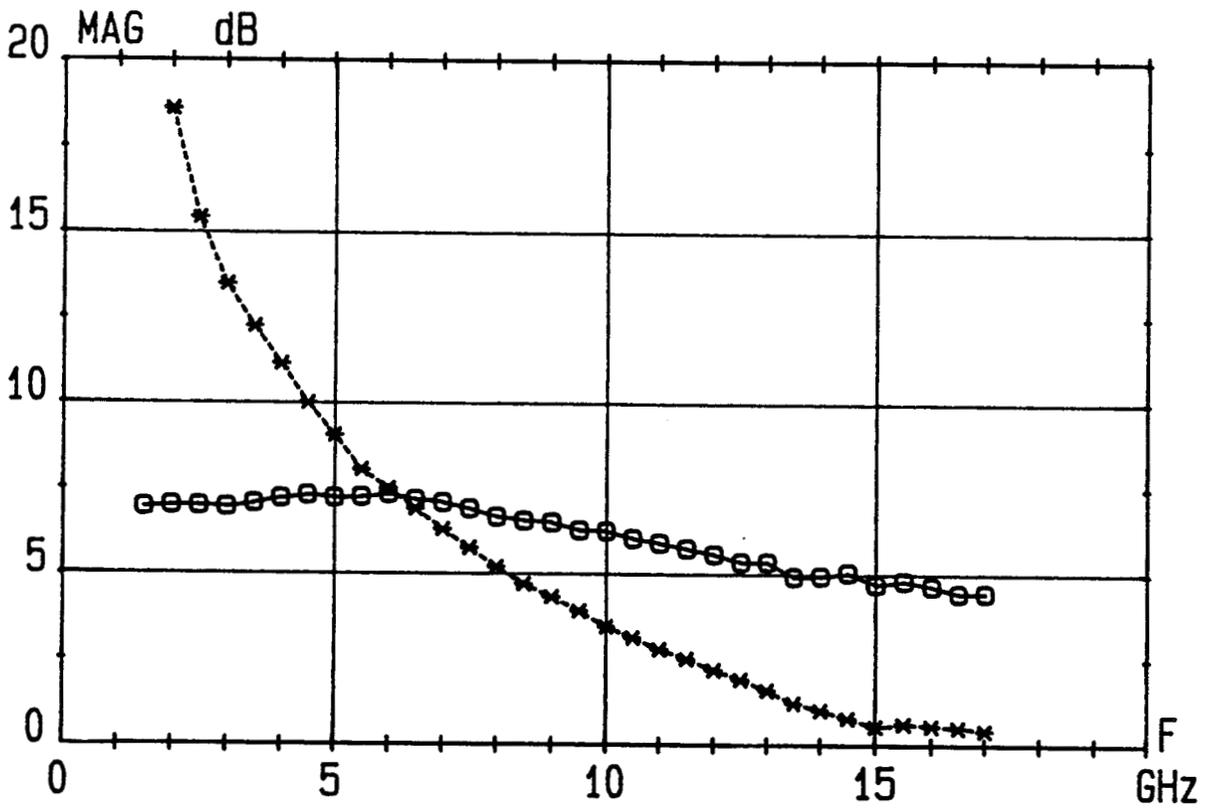


Figure III-16 : Evolution du MAG pour deux configurations d'un transistor de 300  $\mu\text{m}$   
à drain de type surface ( $V_{gs}=-0.8\text{V}$   $V_{ds}=4\text{V}$ )  
-\*-\*- ZLG=C.O                      -o-o-o- ZLG= 0.9 nH

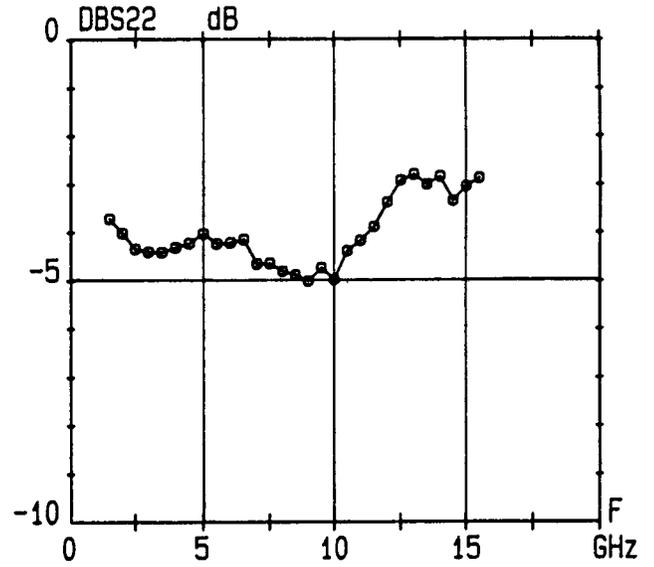
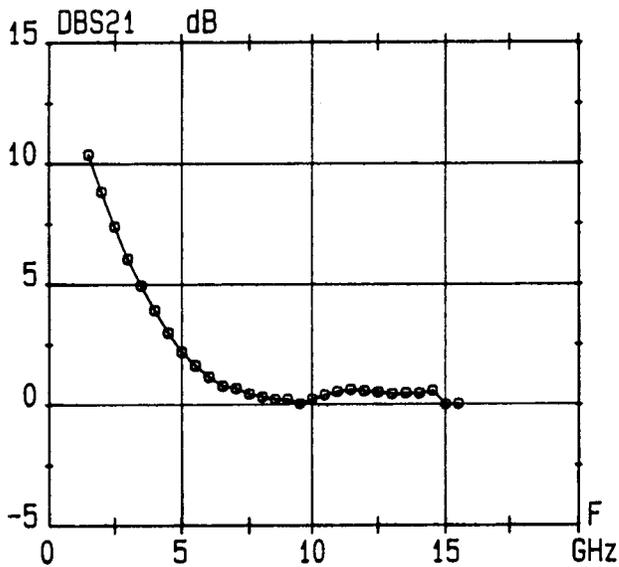
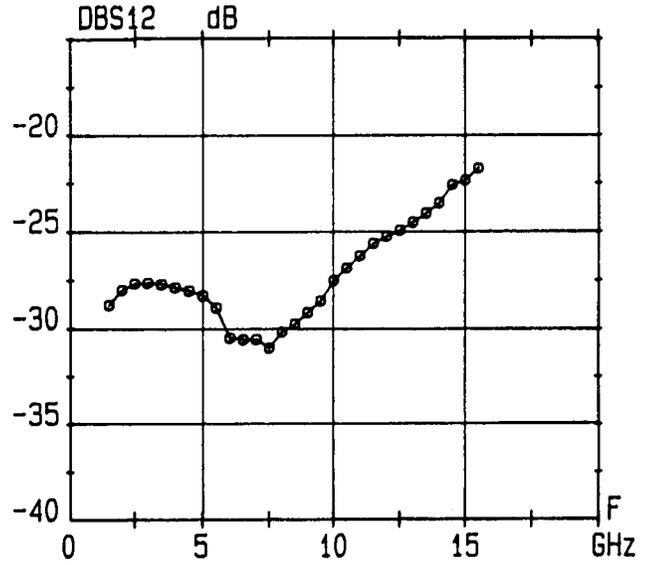
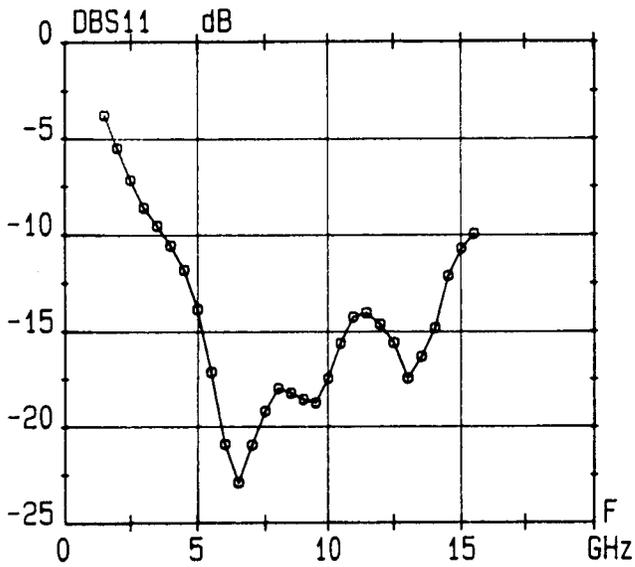


Figure III-17 : Evolution des paramètres S d'un transistor de  $300 \mu\text{m}$  à drain de type surface ayant une capacité de  $0.5 \text{ pF}$  sur la grille ( $V_{gs} = -0.8\text{V}$   $V_{ds} = 4\text{V}$ )

entre 6 et 16 GHz ce qui peut s'expliquer, comme nous l'avons remarqué précédemment, par la valeur élevée de la résistance de grille des composants de la série 210. De plus, les pics observés sur ce paramètre sont dus vraisemblablement, dans le cas où l'on connecte des selfs sur l'extrémité de la grille, à des phénomènes de résonance. Enfin, nous constatons que le coefficient de transmission présente, dans ces conditions d'utilisation, une valeur à peu près constante sur une large bande de fréquence. Nous présentons sur la figure (III-16) l'évolution du MAG de ce transistor dans le cas où ZLG est un circuit ouvert et ZLG est une inductance. Nous observons que, dans le dernier cas d'utilisation, le transistor offre des performances nettement supérieures à partir de 8 GHz à celles du même transistor utilisé de façon classique. En effet, la connexion d'une self sur l'extrémité de la grille présente l'avantage d'une part, d'avoir un gain plat sur une large bande de fréquence et, d'autre part, d'avoir un transistor adapté en entrée dans toute la bande d'utilisation. Nous constatons ainsi une différence d'environ 4 dB sur le gain à 15 GHz par rapport à la configuration classique.

Pour étudier l'influence d'une capacité placée à l'extrémité de la grille, nous avons repris le même type de montage que dans le cas de la structure de 150  $\mu\text{m}$ . Nous présentons sur la figure (III-17) l'évolution des paramètres S mesurés pour une capacité de 0,5 pF. On rappelle sur ces mêmes courbes, l'évolution des paramètres S obtenus dans le cas d'une utilisation conventionnelle du transistor. Nous constatons, comme pour la structure de 150  $\mu\text{m}$ , qu'une impédance terminale capacitive apporte une dégradation des performances du transistor.

#### **III-1-4 Conclusion**

Les résultats expérimentaux, que nous venons de présenter pour les différentes structures étudiées, amènent quelques remarques :

Premièrement on constate que la connexion d'impédances terminales sur les électrodes de grille ou de drain d'un transistor permet d'améliorer dans certains cas les performances de ce dernier. Nous avons vu que seules les inductances permettent

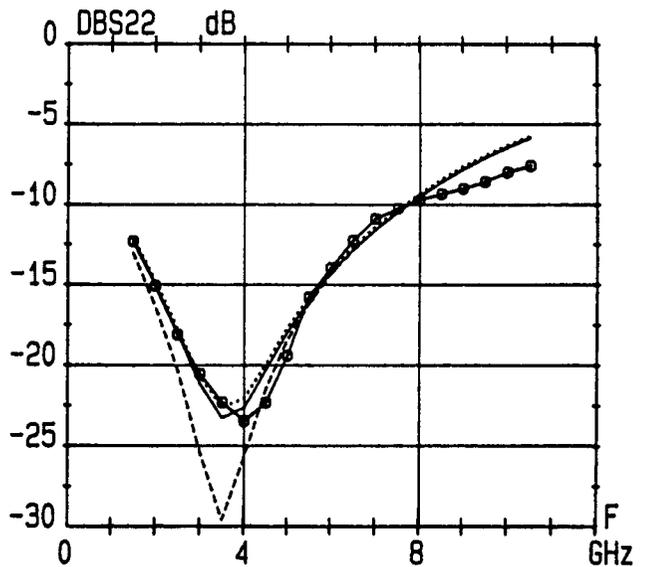
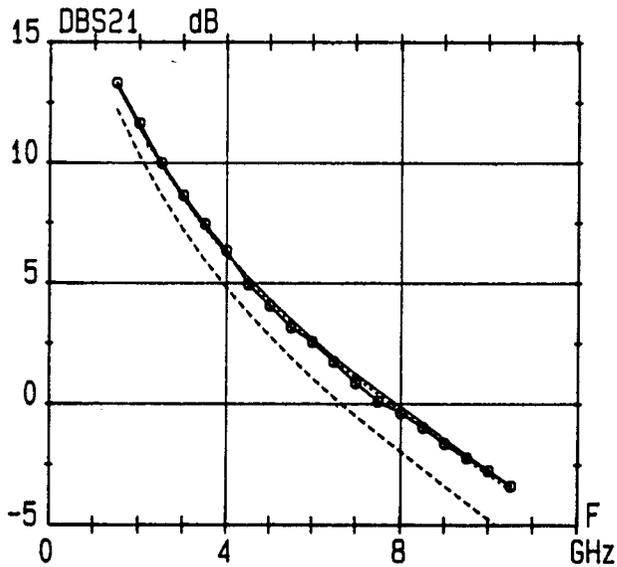
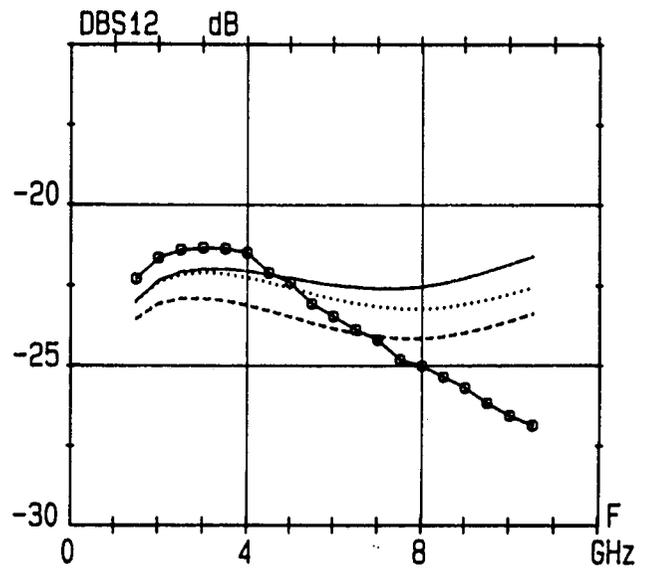
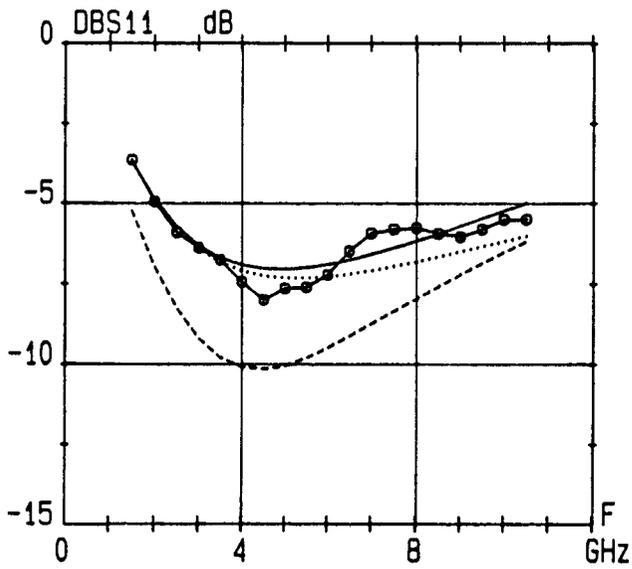


Figure III-18 : Choix du nombre de cellules élémentaires pour simuler un transistor de  $900 \mu\text{m}$  à drain de type ligne en configuration classique ( $V_{gs} = -1\text{V}$   $V_{ds} = 4\text{V}$ )  
 -o-o-o- mesure    ---- 1 cellule    .... 4 cellules    — 6 cellules

d'avoir des résultats satisfaisants.

Deuxièmement, nous remarquons qu'il existe un développement de grille optimal autorisant un compromis gain-bande qui, d'après les résultats obtenus, doit se situer aux environs de  $300 \mu\text{m}$ .

Par conséquent, dans la partie consacrée à la simulation de ces différentes structures, nous pourrions en déduire la valeur du développement de grille ainsi que celle de l'impédance terminale assurant au transistor des performances nettement supérieures à celles que l'on obtiendrait dans le cas d'une utilisation classique.

## **III-2 Confrontation théorie-expérience**

### **III-2-1 Introduction**

Nous nous proposons dans cette partie de valider le modèle distribué présenté lors du chapitre précédent à partir d'une confrontation théorie-expérience effectuée sur les différentes structures que nous avons étudiées et ce, pour différents cas d'utilisation. La confrontation théorie-expérience porte essentiellement sur la comparaison des paramètres S et du MAG pour des polarisations continues optimales de grille et de drain du transistor.

Dans cette étude, nous avons surtout cherché à interpréter l'évolution de ces principales grandeurs en utilisant les résultats obtenus lors de la caractérisation expérimentale des transistors.

### **III-2-2 Choix du nombre de cellules élémentaires**

Comme nous l'avons vu dans le chapitre précédent, nous avons choisi pour modéliser nos différentes structures un schéma équivalent distribué. Ainsi, le transistor est découpé en tranches élémentaires dans le sens de la largeur permettant d'une part, de rendre compte de la topologie du transistor et d'autre part, de pouvoir étudier l'influence d'impédances terminales connectées sur les extrémités des électrodes de grille

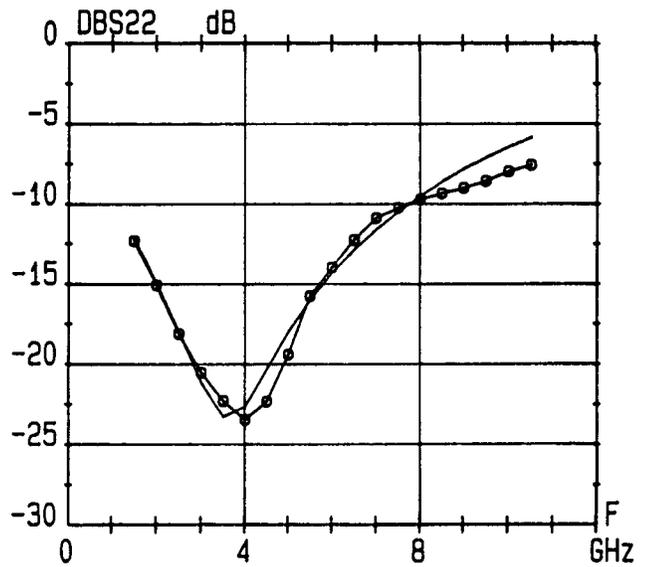
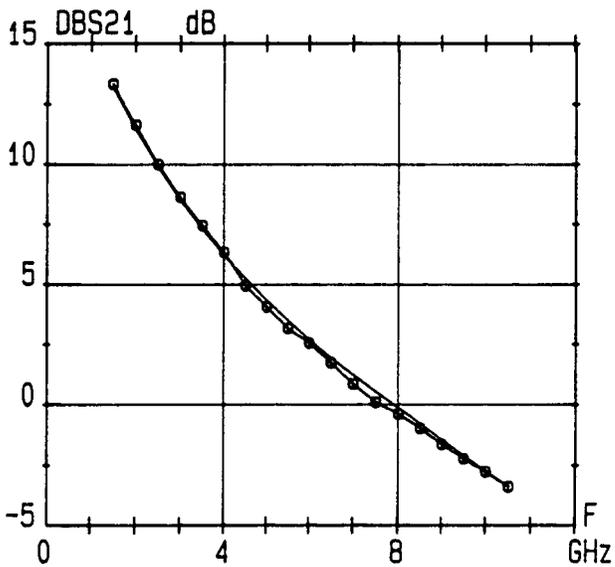
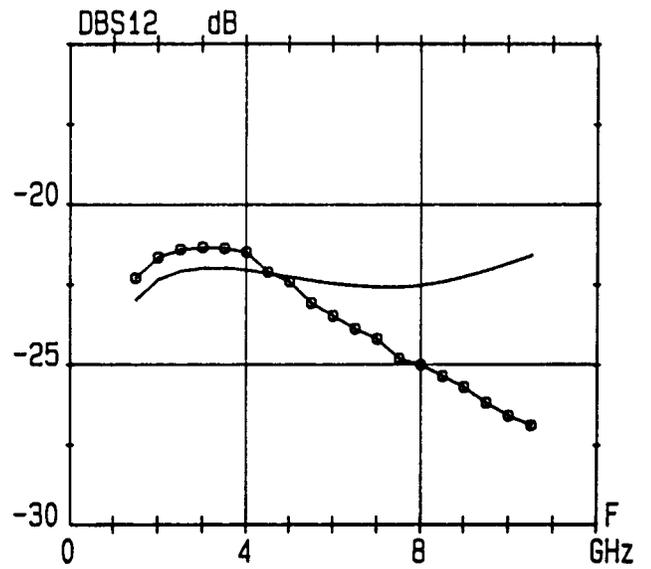
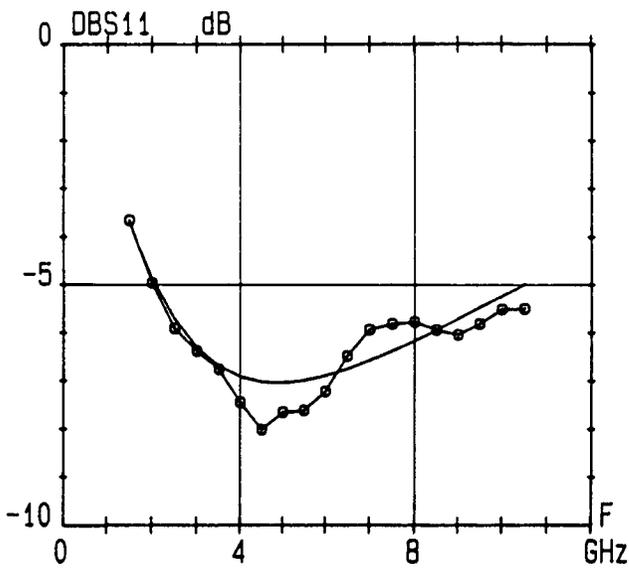


Figure III-19 : Comparaison des paramètres S mesurés et simulés d'un transistor de  $900 \mu\text{m}$  à drain de type ligne en configuration classique ( $V_{gs}=-1\text{V}$   $V_{ds}=4\text{V}$ )  
-o-o-o- mesure                      — modèle

et de drain. Il apparaît nécessaire d'effectuer une étude paramétrique préalable en fonction du choix du développement de grille d'une cellule élémentaire. Le choix du nombre de cellules est lié à la taille du transistor ainsi qu'à la bande de fréquence d'utilisation. A titre d'exemple, nous présentons sur la figure (III-18) les paramètres S calculés à partir de notre modèle dans le cas d'un transistor de la série 167 fonctionnant en configuration classique ( $Z_{LG}=Z_{LD}=\text{circuit ouvert}$ ) pour différentes valeurs du nombre de cellules élémentaires. On rappelle, sur cette même figure, les paramètres S mesurés à  $V_{gs} = -0,8V$  et  $V_{ds} = 4V$ . Nous constatons qu'il faut, au minimum, 6 cellules élémentaires pour modéliser correctement le transistor. En effet, en dessous de ce nombre, il existe beaucoup de dispersion entre la mesure et la simulation. Nous pourrions, toutefois, lorsque nous voudrions étudier le comportement interne de ces composants, prendre un nombre plus élevé de cellules. Pour la suite de cette étude et pour chaque simulation de transistor, nous indiquerons la valeur des éléments constituant une cellule élémentaire ainsi que le nombre de cellules choisi.

### III-2-3 Transistor à drain de type ligne (série 167)

Dans cette partie, nous allons présenter tous les résultats de simulation obtenus pour les transistors de la série 167 utilisés dans les différentes configurations que nous avons essayées. Dans tous les cas, la polarisation retenue a été :  $V_{gs} \# -1V$ ,  $V_{ds} = 4V$ . Pour les simulations, 6 cellules élémentaires ont été utilisées. Les valeurs des éléments du schéma équivalent d'une cellule sont données dans le tableau ci-dessous.

$R_g$ ( $\Omega$ )	$L_g$ (pH)	$C_{gs}$ (fF)	$C_{ds}$ (fF)	$C_{gd}$ (fF)	$G_m$ (mS)	$R_i$ ( $\Omega$ )	$G_d$ (mS)	$R_s$ ( $\Omega$ )	$R_d$ ( $\Omega$ )	$R_{dm}$ ( $\Omega$ )
3,0	22,5	165	37,7	29	19,2	33	1,35	1,2	8,3	1,7

Nous avons représenté sur la figure (III-19), les évolutions théoriques et expérimentales des paramètres S dans le cas d'une utilisation classique du transistor.

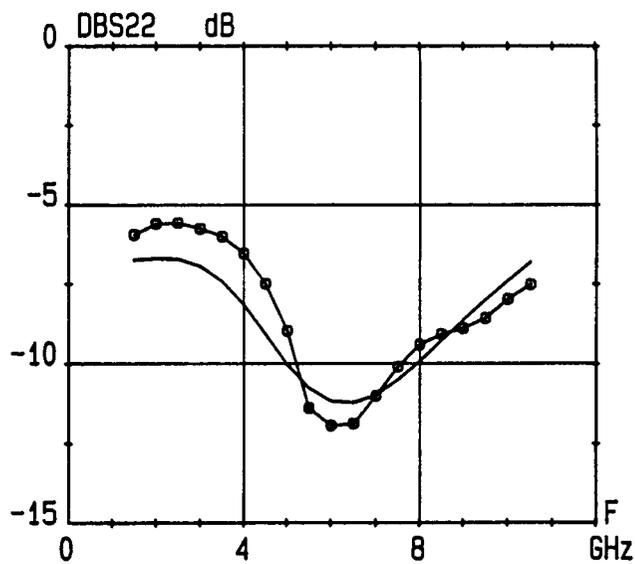
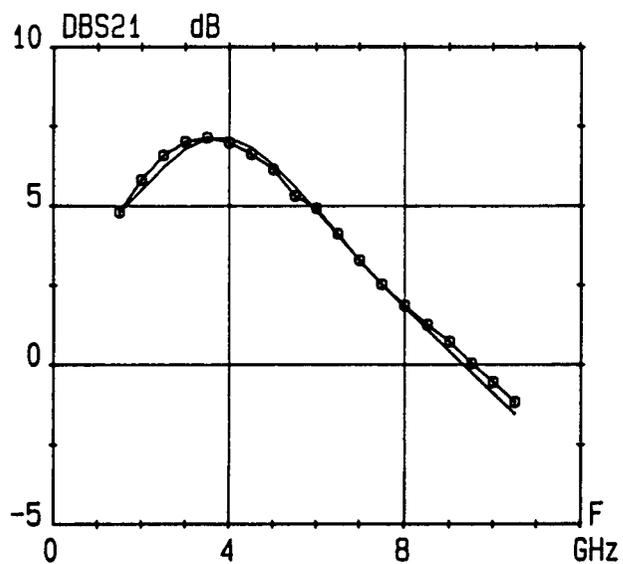
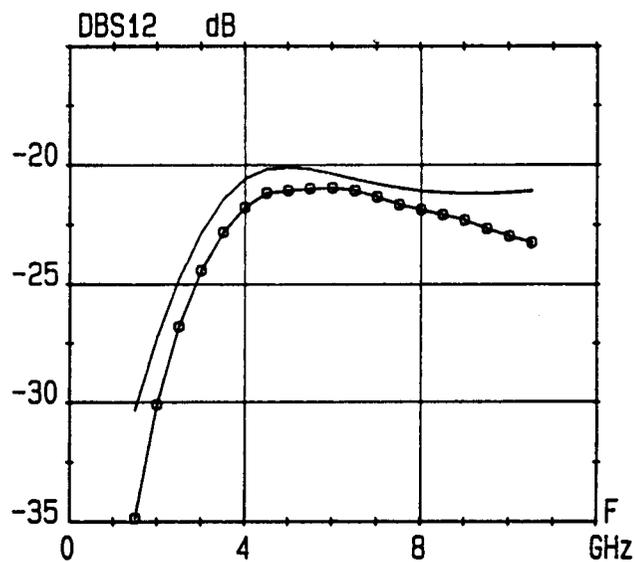
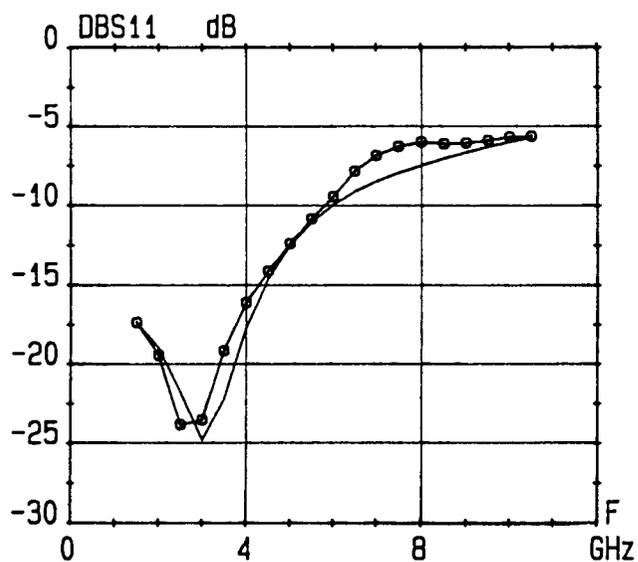


Figure III-20 : Comparaison des paramètres S mesurés et simulés d'un transistor de  $900 \mu\text{m}$  à drain de type ligne ayant une self de  $0.8 \text{ nH}$  sur la grille ( $V_{gs} = -1\text{V}$   $V_{ds} = 4\text{V}$ )  
 -o-o-o- mesure                      ——— modèle

Nous pouvons remarquer un accord tout à fait satisfaisant entre les deux évolutions avec une différence notable entre le S12 mesuré et celui calculé. Cette différence peut être due d'une part, à l'incertitude sur la valeur de la self de connexion de la grille et, d'autre part à, des effets parasites inhérents à la cellule de mesure.

La figure (III-20) représente les paramètres S simulés et mesurés dans le cas où une self est connectée sur l'extrémité de la grille. Nous constatons également un bon accord entre les paramètres S théoriques et expérimentaux. Les petites différences observées sur le S11 et le S22 peuvent être attribuées comme précédemment aux imperfections de la cellule de mesure ainsi qu'aux incertitudes sur les valeurs des selfs de connexion. La valeur de la self connectée sur l'extrémité de la grille a été estimée à environ 0,8 nH.

Une autre utilisation possible du transistor monogridde est celle où une self est connectée sur l'extrémité de l'électrode de drain. A ce propos, nous présentons sur la figure (III-21) la confrontation théorie-expérience pour ce type de configuration du transistor. Nous pouvons constater un accord tout à fait satisfaisant entre les deux évolutions. Nous remarquons toutefois une différence plus sensible en basse fréquence pour le S12. Comme dans le cas des confrontations précédentes, de légers écarts apparaissent concernant les coefficients de réflexion en entrée et sortie du transistor mais l'ensemble des résultats présente un accord très satisfaisant.

Les différentes confrontations théorie-expérience présentées ci-dessus à propos d'un transistor à drain de type ligne ont démontré la validation de la modélisation choisie. En effet, pour tous les types d'utilisation possibles de ce transistor, nous observons toujours un accord satisfaisant entre les paramètres S mesurés et ceux calculés. Rappelons que notre modélisation, qui est basée sur des caractérisations expérimentales les plus développées possible, doit permettre d'une part, de pouvoir prévoir les performances d'un transistor utilisé dans une configuration donnée et, d'autre part, de définir une structure optimale. Ce deuxième point fera l'objet d'un développement particulier à la fin de ce chapitre.

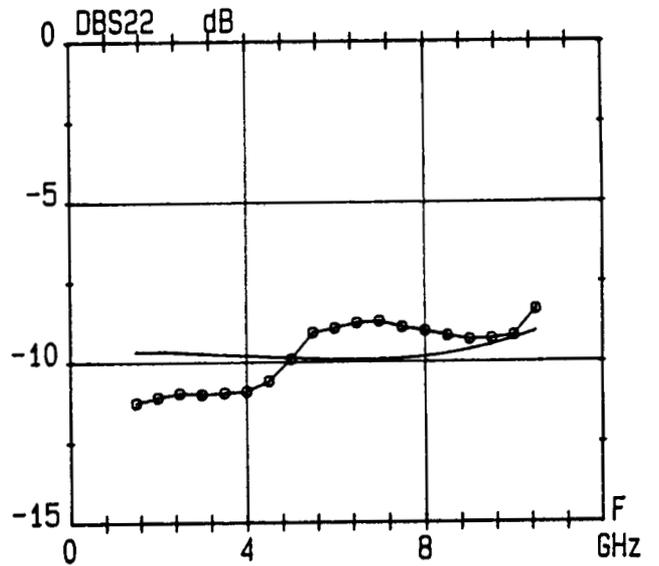
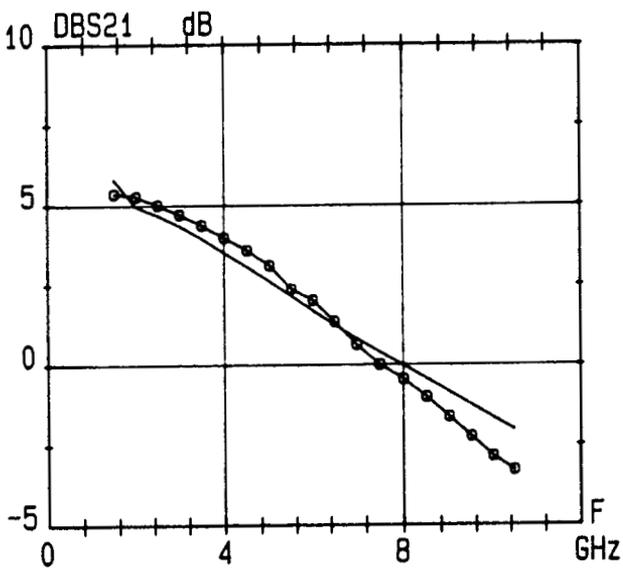
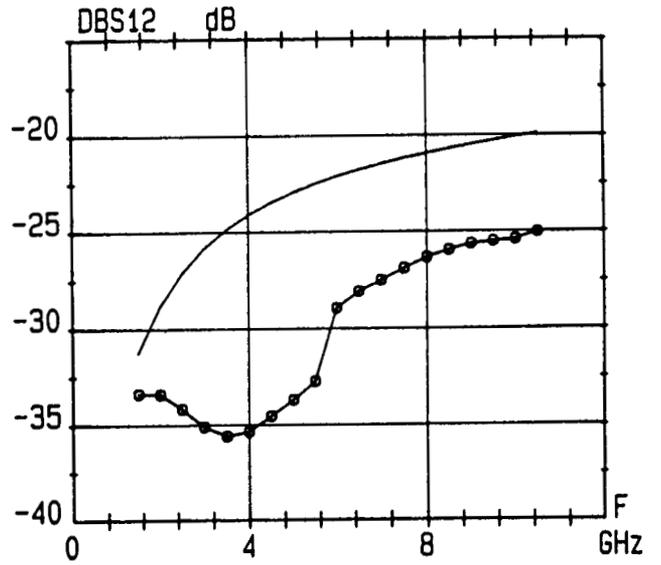
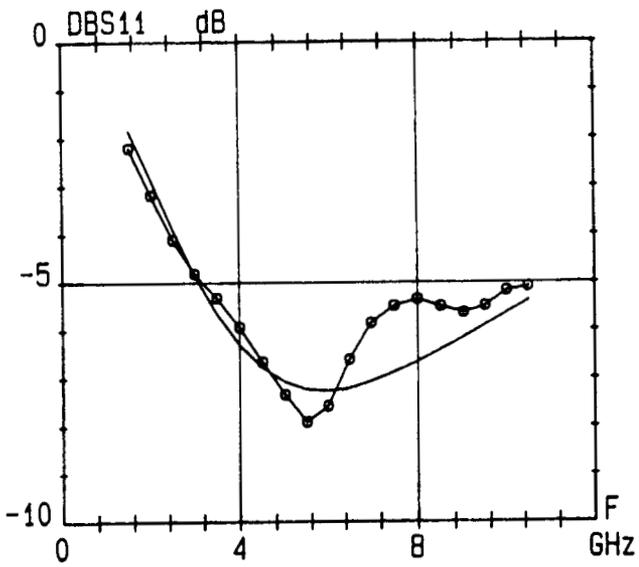


Figure III-21 : Comparaison des paramètres S mesurés et simulés d'un transistor de  $900 \mu\text{m}$  à drain de type ligne ayant une self de  $1 \text{ nH}$  sur le drain ( $V_{gs} = -1\text{V}$   $V_{ds} = 4\text{V}$ )

-o-o-o- mesure

— modèle

### III-2-4 Transistor à drain de type surface (série 210)

Nous nous proposons d'effectuer, dans cette partie, une confrontation théorie-expérience analogue à celle décrite précédemment pour les différents transistors de la série 210. Nous étudierons ces structures dans plusieurs configurations en modifiant la nature des impédances terminales.

#### III-2-4-1 Transistor de 150 $\mu\text{m}$ (série 210)

Contrairement aux transistors ayant un drain de type ligne, nous avons essentiellement étudié l'influence d'impédances terminales connectées sur l'extrémité de la grille, le drain étant connecté à la ligne 50  $\Omega$  sur toute sa longueur. Par conséquent, pour étudier ce type de transistor, nous avons utilisé le deuxième type de modélisation présenté dans le chapitre précédent.

Nous présentons sur la figure (III-22) les évolutions théoriques et expérimentales des paramètres S dans le cas d'une utilisation classique du transistor. Le transistor est polarisé dans ce cas à -0,2V sur la grille et 4V sur le drain. Nous constatons un accord tout à fait satisfaisant dans la bande de fréquence d'utilisation du transistor. Nous observons, toutefois, une petite différence sur les coefficients de réflexion en entrée et en sortie au delà de 15 GHz. Ces différences peuvent s'expliquer par l'influence croissante des imperfections de la cellule de mesure au delà de cette fréquence. Toutefois, pour ce type d'utilisation du transistor, nous pouvons affirmer que notre modèle permet de bien rendre compte du comportement du transistor. Nous avons utilisé pour cette simulation, deux cellules élémentaires dont les valeurs des éléments sont données dans le tableau ci-dessous.

Rg ( $\Omega$ )	Lg (pH)	Cgs (fF)	Cds (fF)	Cgd (fF)	Gm (mS)	Ri ( $\Omega$ )	Gd (mS)	Rs ( $\Omega$ )	Rd ( $\Omega$ )
6,5	15	160	37,6	12,5	18,4	10	0,9	15,4	12,6

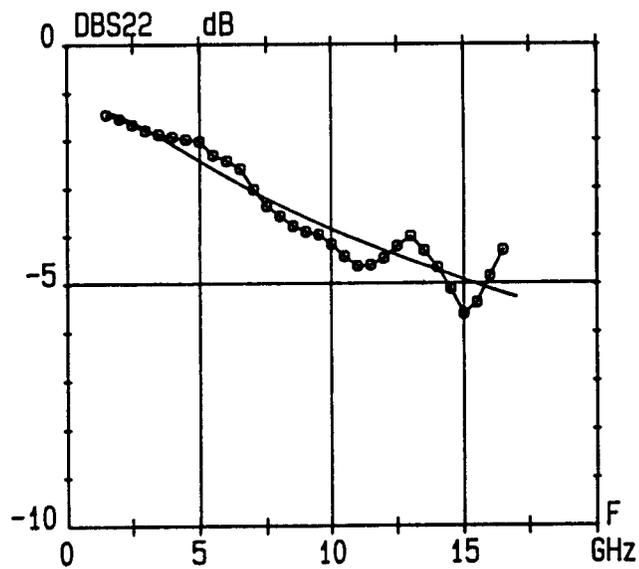
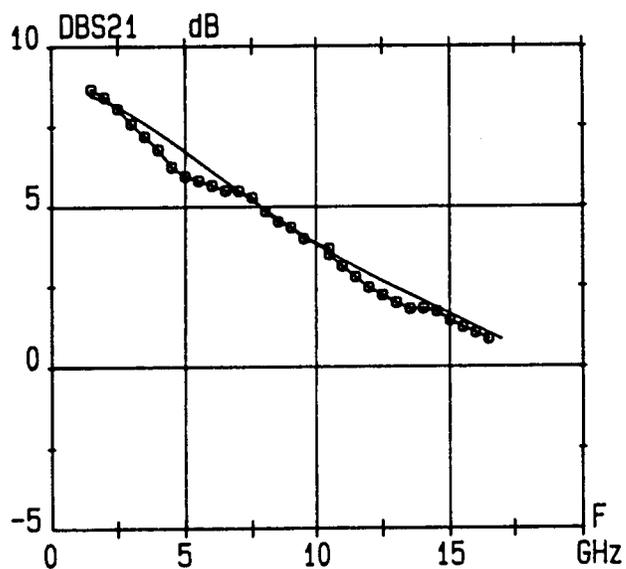
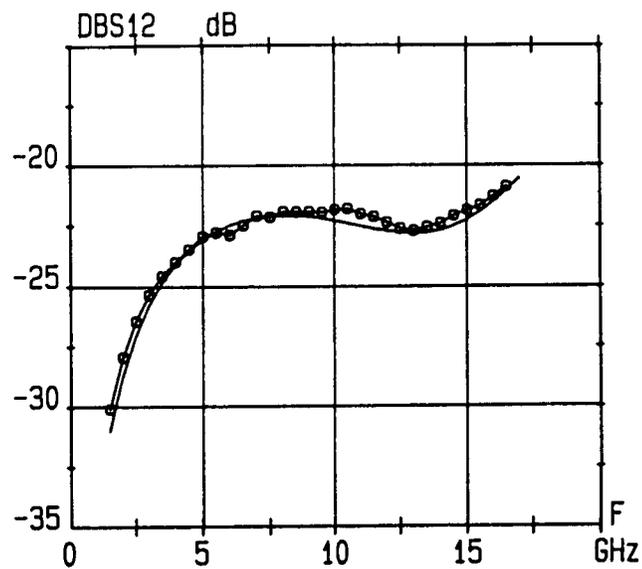
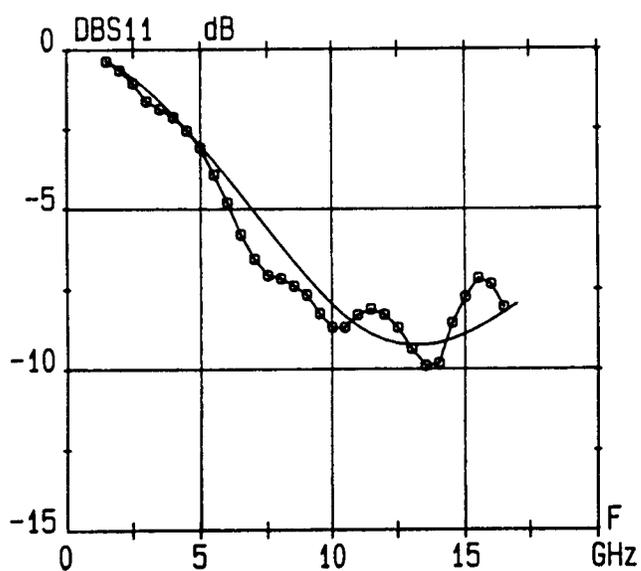


Figure III-22 : Comparaison des paramètres S mesurés et simulés d'un transistor de  $150 \mu\text{m}$  à drain de type surface en configuration classique ( $V_{gs} = -0.2\text{V}$   $V_{ds} = 4\text{V}$ )

-o-o-o- mesure

— modèle

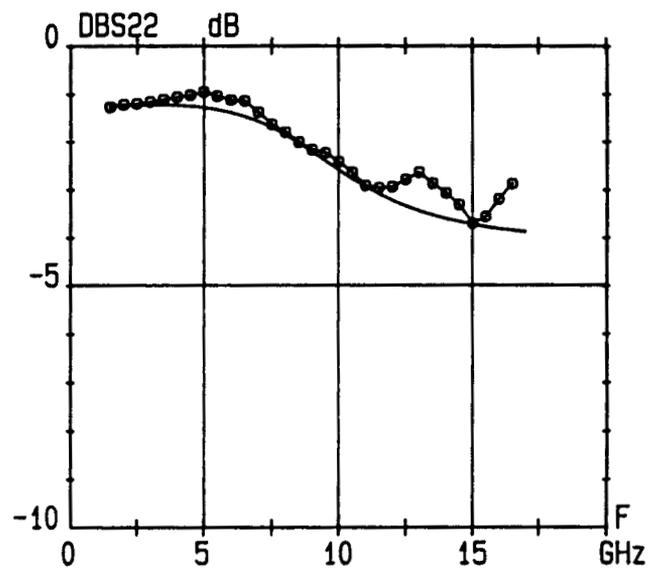
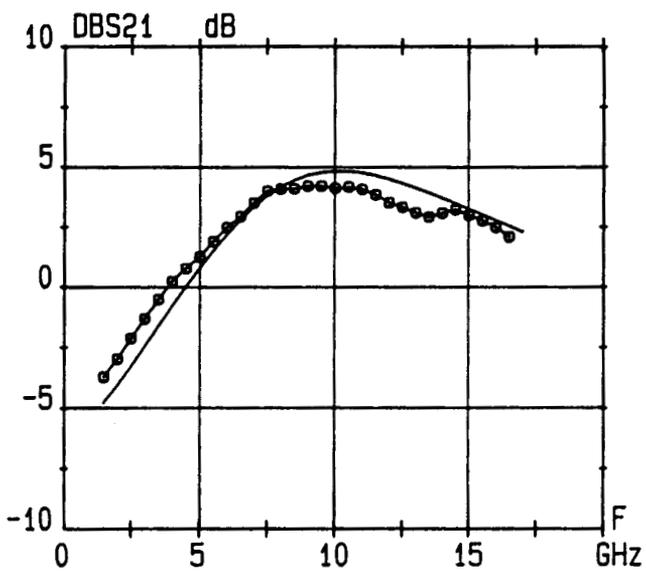
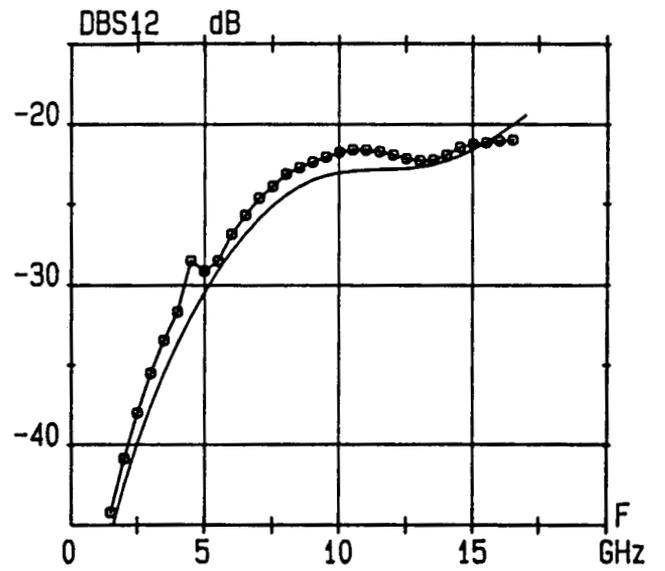
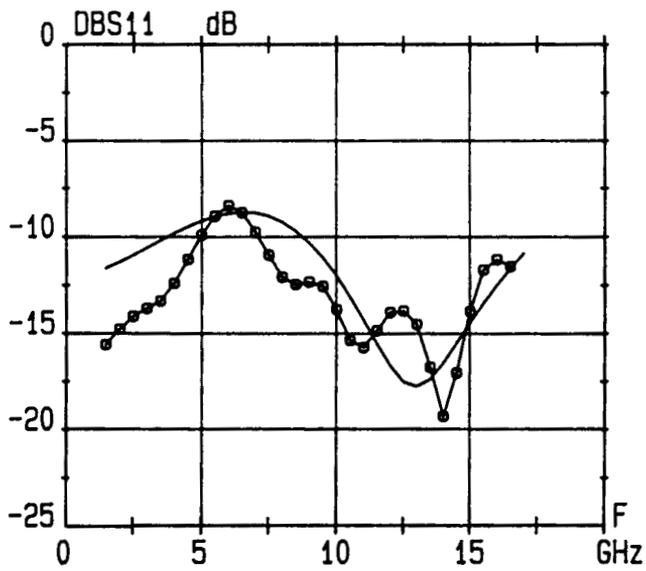


Figure III-23 : Comparaison des paramètres S mesurés et simulés d'un transistor de 150  $\mu\text{m}$  à drain de type surface ayant une self de 0.8 nH sur la grille ( $V_{gs} = -0.2\text{V}$   $V_{ds} = 4\text{V}$ )

-o-o-o- mesure

— modèle

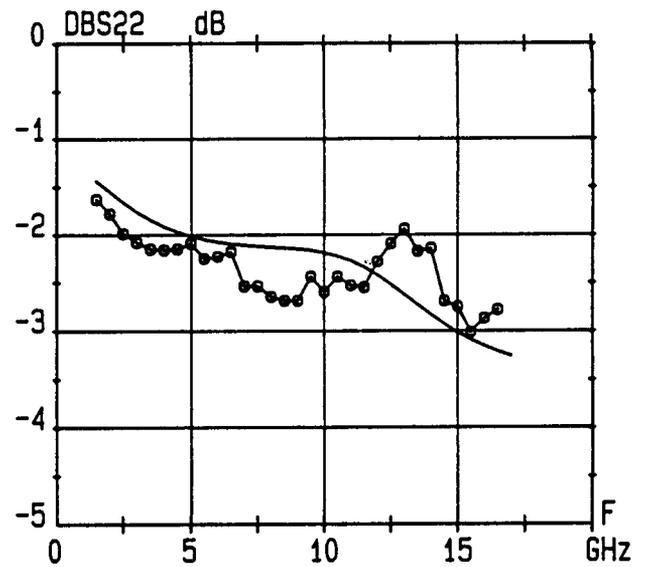
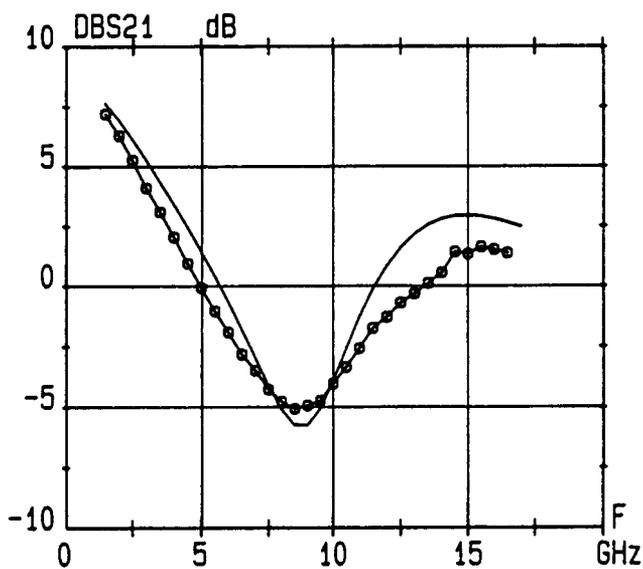
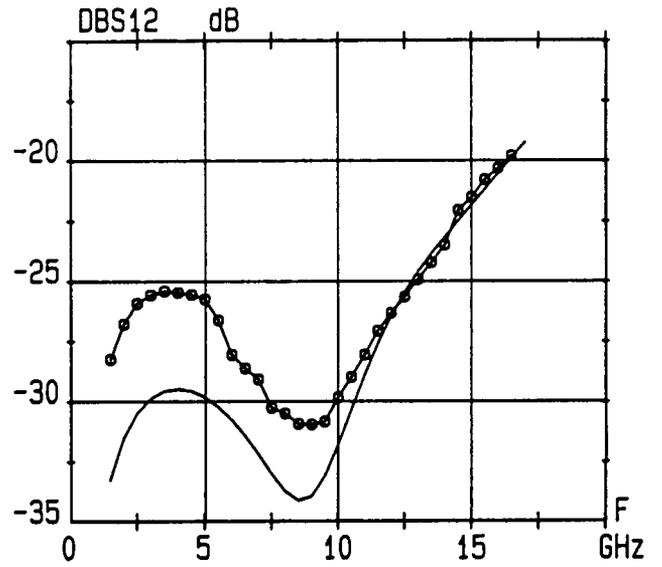
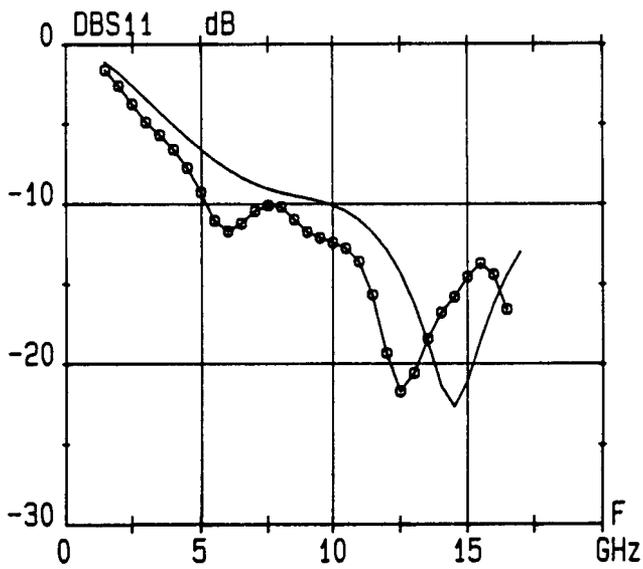


Figure III-24 : Comparaison des paramètres S mesurés et calculés d'un transistor de  $150 \mu\text{m}$  à drain de type surface ayant une capacité de  $0.5 \text{ pF}$  sur la grille ( $V_{gs} = -0.2\text{V}$   $V_{ds} = 4\text{V}$ )  
-o-o-o- mesure      ——— modèle

La figure (III-23) montre une comparaison entre les paramètres S mesurés et calculés dans le cas où une self est connectée sur l'extrémité de la grille. Les conditions de polarisation du transistor sont identiques à celles décrites précédemment. La valeur de la self est prise à 0,8 nH. Nous constatons un bon accord entre les résultats théoriques et expérimentaux avec toutefois une petite différence en basse fréquence ainsi qu'à 13 GHz en ce qui concerne le coefficient de réflexion en entrée du transistor. La différence observée à 13 GHz entre le S11 théorique et expérimental est liée à une anomalie de la cellule de mesure à cette fréquence. Nous remarquons que le choix de notre modélisation permet de bien rendre compte du fonctionnement du transistor quelle que soit le type de configuration considéré.

Le dernier type d'impédance terminale envisagé est une impédance capacitive. A titre d'exemple, nous présentons sur la figure (III-24) une comparaison théorie-expérience dans le cas où la capacité sur l'extrémité de la grille vaut 0,5 pF. Avant de commenter les résultats, quelques précisions sont utiles concernant les conditions de simulation. Lors de la présentation des résultats expérimentaux obtenus pour ce type de configuration, nous avons remarqué que le S21 décroissait rapidement en fonction de la fréquence, passait par un minimum et réaugmentait ensuite. Pour rendre compte théoriquement de cette évolution, nous avons dû introduire sous forme d'une self localisée l'effet du fil de thermocompression reliant l'extrémité de la grille au chip capacitif. Cette modification nous a conduit aux résultats présentés sur la figure (III-24). On y constate une bonne concordance entre les paramètres S simulés et ceux mesurés avec, toutefois, un décalage en fréquence du S11 et un S21 théorique supérieur à celui expérimental, différences qui peuvent être attribuées à la non prise en compte de certaines capacités parasites. Toutefois, ces résultats permettent de confirmer la validité de la modélisation et ce, quelque soit le type d'impédance terminale connectée sur l'extrémité de la grille.

#### III-2-4-2 Transistor 300 $\mu\text{m}$ (série 210)

Nous terminons cette partie de ce chapitre consacrée à la validation de nos

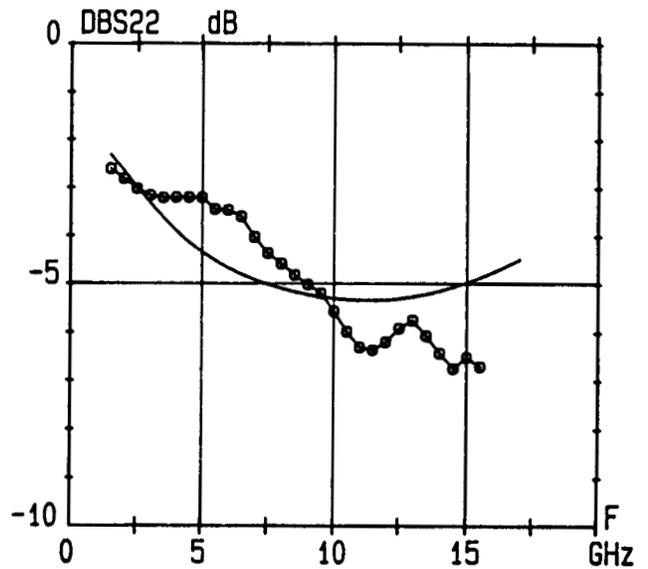
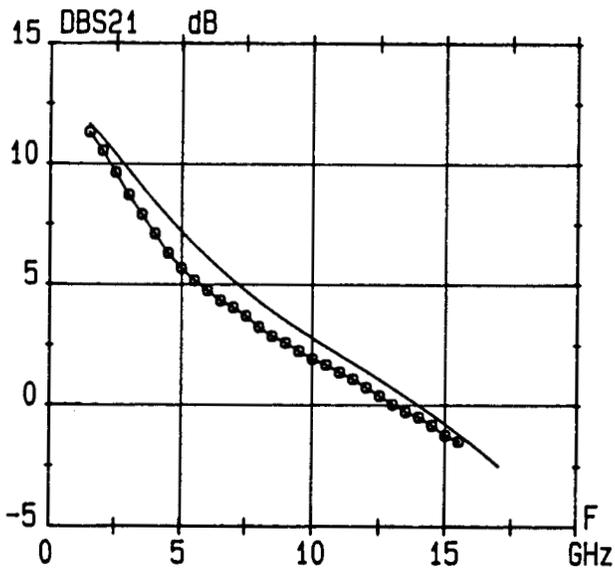
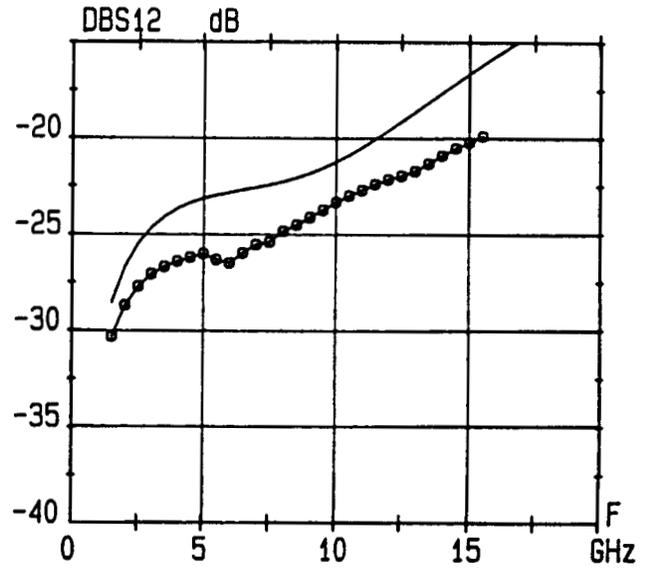
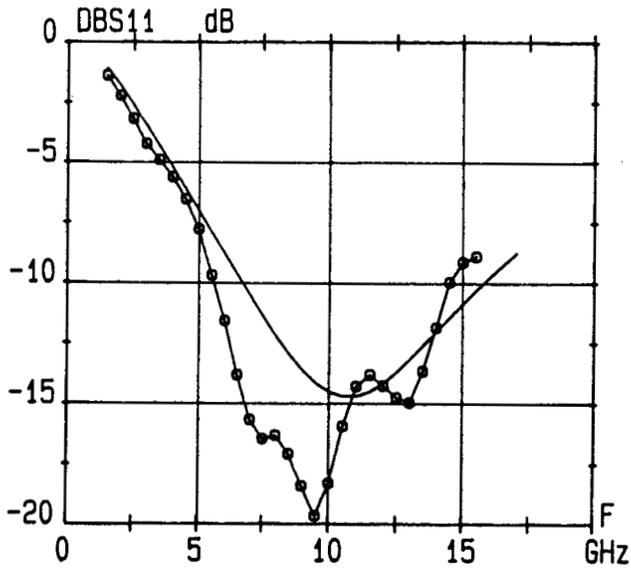


Figure III-25 : Comparaison des paramètres S simulés et mesurés d'un transistor de  $300 \mu\text{m}$  à drain de type surface en configuration classique ( $V_{gs} = -0.8\text{V}$   $V_{ds} = 4\text{V}$ )

-o-o-o- mesure

— modèle

différentes modélisations en présentant les résultats obtenus dans le cas de transistor de 300  $\mu\text{m}$  de développement de grille de la série 210.

Nous avons pris pour modéliser ce type de structure, trois cellules élémentaires de 100  $\mu\text{m}$  dont la valeur des éléments de schéma équivalent pour une cellule sont données dans le tableau ci-dessous.

Rg ( $\Omega$ )	Lg (pH)	Cgs (fF)	Cds (fF)	Cgd (fF)	Gm (mS)	Ri ( $\Omega$ )	Gd (mS)	Rs ( $\Omega$ )	Rd ( $\Omega$ )
12,5	15	180	60	15	19,3	15	0,8	11,4	8,3

Ces valeurs correspondent à une polarisation de grille de -0,2V et de drain de 4V.

La première confrontation théorie-expérience pour ce type de structure porte sur une utilisation classique du transistor à savoir un circuit ouvert sur l'extrémité de la grille. Nous présentons sur la figure (III-25) les résultats obtenus pour ce type d'utilisation du transistor. Nous constatons un accord satisfaisant entre résultats théoriques et expérimentaux. Toutefois, nous observons que le S11 calculé à partir de notre modélisation présente un pic moins marqué que celui mesuré et légèrement décalé en fréquence. Cette différence peut être attribuée à la sous-estimation de certaines capacités parasites inhérentes au montage en boîtier de ce transistor.

La deuxième confrontation théorie-expérience envisagée, porte sur un transistor ayant une impédance selfique sur son électrode de grille. La figure (III-26) montre les résultats obtenus pour ce type de configuration. Nous remarquons que le pic du S11 expérimental est plus marqué que celui déduit de notre modélisation. Le pic du S11 est dû à une résonance du circuit et nous verrons par la suite plus en détail ce phénomène dans la partie consacrée à l'optimisation de ces structures. De même, nous constatons que la dégradation du S22 à partir de 12 GHz est plus sensible dans le cas expérimental que celui théorique. Toutefois, nous pouvons dire que notre modèle permet de bien rendre compte du fonctionnement du transistor. Ainsi l'évolution des

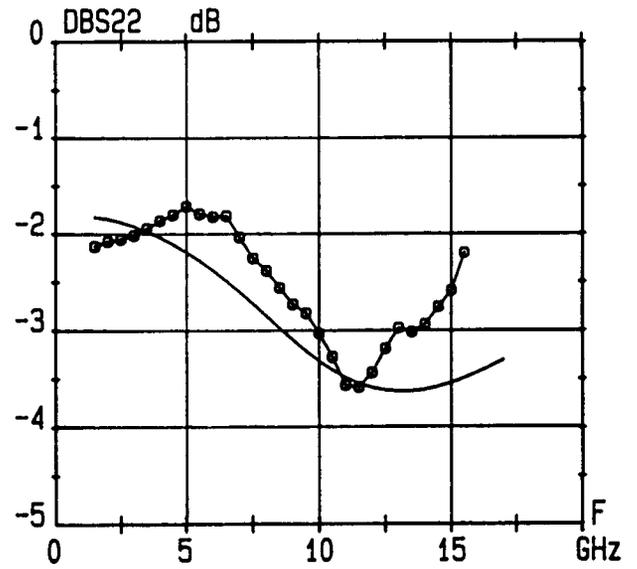
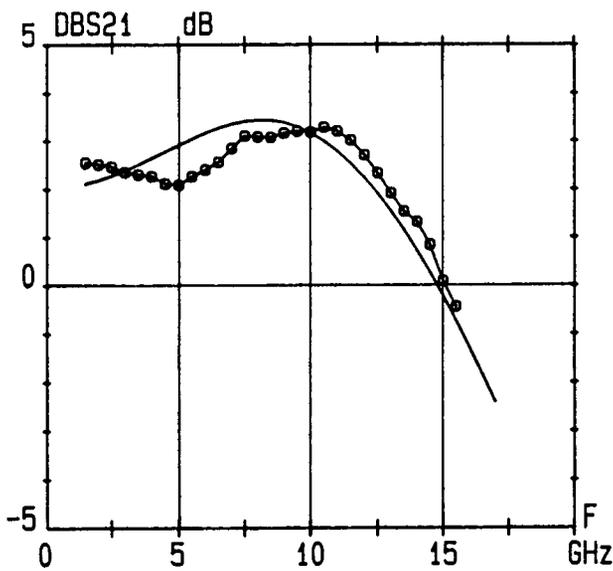
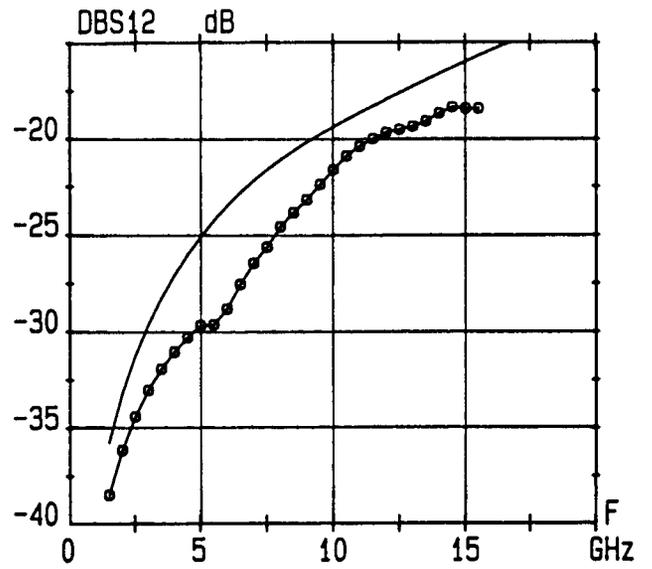
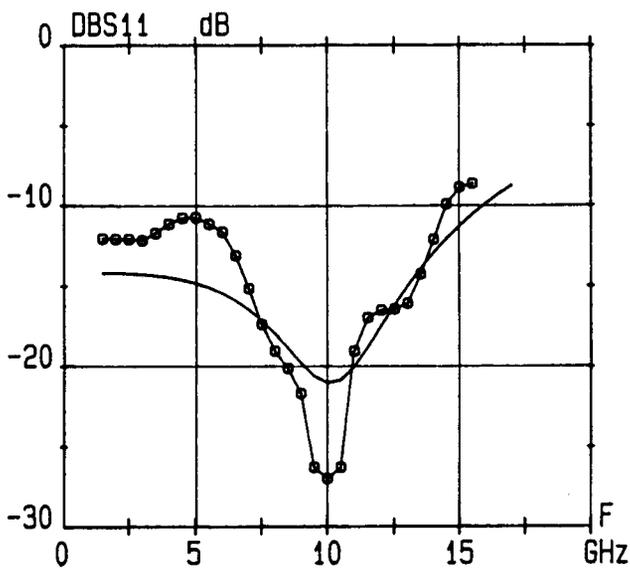


Figure III-26 : Comparaison des paramètres S mesurés et simulés d'un transistor de  $300 \mu\text{m}$  à drain de type surface ayant une self de  $0.8 \text{ nH}$  sur la grille ( $V_{gs} = -0.8\text{V}$   $V_{ds} = 4\text{V}$ )

-o-o-o- mesure

— modèle

paramètres S simulés est très proche de celle des paramètres S mesurés. Le dernier type d'impédance terminale que nous avons envisagé pour ce type de structure était une capacité de 0,5 pF. Nous avons vu lors de la présentation des résultats expérimentaux que le S21 décroissait en fonction de la fréquence, passait par un minimum et réaugmentait un peu. Comme dans le cas de la structure de 150  $\mu\text{m}$ , ce phénomène peut s'expliquer par une résonance LC liée au fil de thermocompression reliant l'électrode de grille au chip capacitif. L'effet de ce fil a été introduit dans la modélisation sous forme d'une self localisée. Les résultats théoriques et expérimentaux obtenus sont donnés sur la figure (III-27). Les paramètres S simulés concordent bien avec ceux mesurés, avec toutefois, un décalage en fréquence du S11 et un S21 théorique inférieur à celui expérimental en basse fréquence.

### **III-2-5 Conclusion de la confrontation Théorie-expérience**

Les comparaisons théorie-expérience envisagées pour les différents transistors que nous avons étudiés, et ce, pour diverses configurations d'utilisation de ceux-ci, nous ont permis de valider nos modélisations basées, rappelons-le, essentiellement sur des caractérisations expérimentales de ces composants. Toutefois, nous avons pu observer dans certains cas des différences entre résultats théoriques et expérimentaux. Ceux-ci peuvent être attribués d'une part, à de légers défauts de la cellule de mesure et, d'autre part, à la sous-estimation de certains éléments parasites inhérents au montage du transistor et de ses éléments terminaux. Nos modèles permettent de prévoir de façon satisfaisante, les performances d'un transistor dans n'importe quelle configuration d'utilisation, nous pouvons à présent passer à l'étude de l'influence de certains paramètres technologiques sur les performances de ces structures en vue de l'optimisation de celles-ci.

## **III-3 Etude paramétrique et optimisation des différentes structures**

Dans cette partie, nous allons nous intéresser à l'optimisation de la structure monogridde en étudiant l'influence de certains paramètres sur le comportement

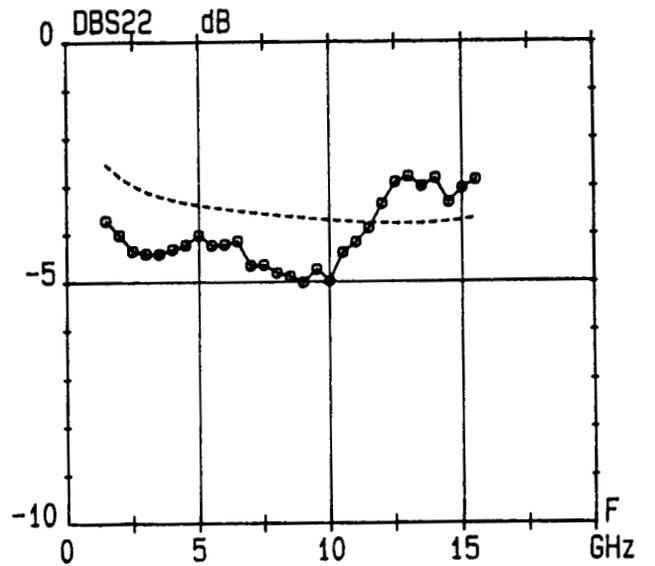
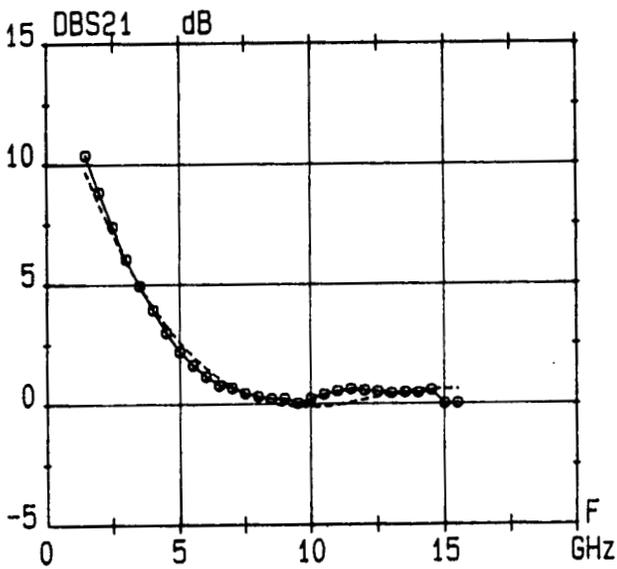
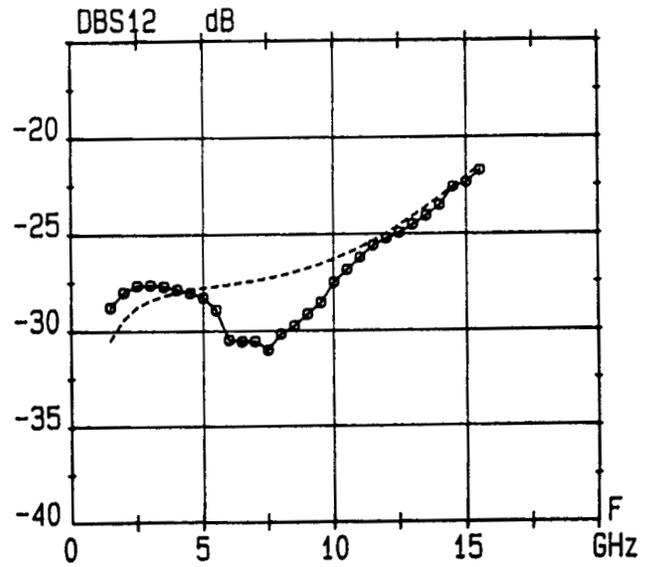
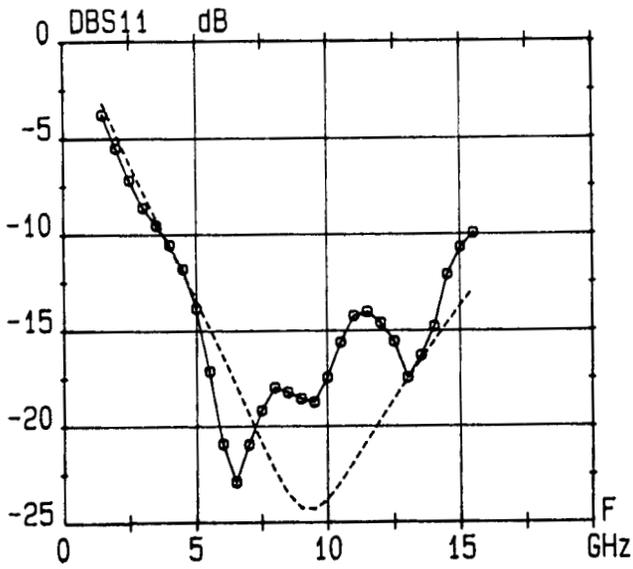


Figure III-27 : Comparaison des paramètres S mesurés et simulés d'un transistor de 300  $\mu\text{m}$  à drain de type surface ayant une capacité de 0.5 pF sur la grille ( $V_{gs}=-0.8\text{V}$   $V_{ds}=4\text{V}$ )  
-o-o-o- mesure      ---- modèle

global du transistor. Cette analyse a pour but d'une part, de déterminer l'influence de paramètres technologiques comme les pertes des électrodes de grille ou de drain, ou le choix du développement total de grille et, d'autre part, de déterminer la valeur et la nature des impédances terminales permettant d'obtenir les meilleures performances possibles. Nous présentons les résultats obtenus en distinguant les transistors ayant un drain de type ligne et ceux ayant un drain de type surface.

### **III-3-1 Transistor à drain de type ligne (série 167)**

Pour effectuer cette étude, nous avons pris pour valeur des éléments constituant le schéma équivalent distribué, des valeurs moyennes issues de nombreux transistors que nous avons caractérisés. Nous avons également pris pour la self de connexion de drain et de grille, des valeurs de l'ordre de 0,2 nH pour nous placer dans des conditions de fonctionnement idéales. En effet, des valeurs de self de connexion trop élevées se traduisent par des phénomènes de résonance et peuvent ainsi modifier et affecter le comportement de transistor notamment en ce qui concerne les coefficients de réflexion en entrée et en sortie. Dans un premier temps, nous allons nous intéresser plus particulièrement aux paramètres technologiques du transistor à savoir, les résistances métalliques des électrodes de grille et de drain, ainsi qu'au développement total de grille. Nous tenons à préciser que dans le cas des transistors à drain de type ligne, le développement de grille est de 900  $\mu\text{m}$ .

#### **III-3-1-1 Influence de la résistance de grille**

Comme nous l'avons vu dans la partie consacrée à la caractérisation des transistors, les résistances de grille des transistors de la série 167 étaient de l'ordre de 40  $\Omega/\text{mm}$ . Cette valeur est relativement faible par rapport à celle obtenue dans le cas des transistors à drain de type surface de la série 210. Il est toutefois possible de diminuer la valeur de cette résistance de grille en utilisant de nouveaux procédés technologiques qui consistent à réaliser des grilles en T ou champignon. Cette technique permet d'augmenter de façon considérable la hauteur de métallisation. Ainsi récemment, Gamand a obtenu pour une longueur de grille de 1  $\mu\text{m}$  en utilisant ce procédé, une résistance de grille de l'ordre de 6  $\Omega/\text{mm}$  [16].

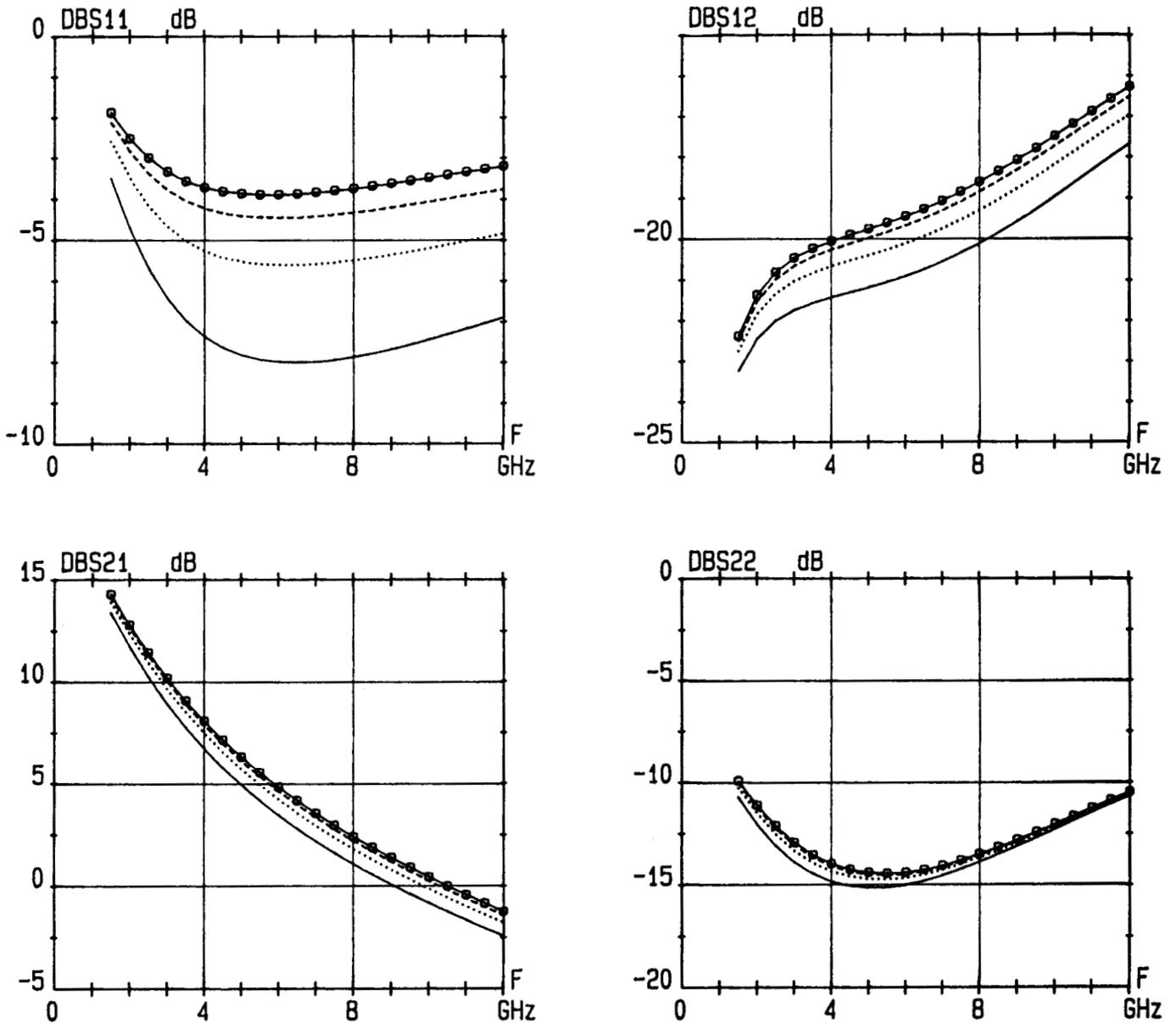


Figure III-28 : Influence de la résistance de grille sur les paramètres S d'un transistor de 900  $\mu\text{m}$  à drain de type ligne en configuration classique  
-o-o-o- 5  $\Omega/\text{mm}$     - - - - 10  $\Omega/\text{mm}$     . . . . 20  $\Omega/\text{mm}$     — 40  $\Omega/\text{mm}$

Par conséquent, il nous a semblé important d'étudier l'influence de ce paramètre sur le comportement global de la structure. Nous avons porté notre attention sur deux types d'utilisation du transistor monogrilles qui paraissent mettre en évidence le mieux possible le rôle de cette résistance sur le comportement du transistor. La première configuration est celle du transistor classique et la seconde est celle où une impédance selfique est connectée sur l'extrémité de la grille. Nous avons pris une inductance de 0,6 nH.

La figure (III-28) représente l'évolution des paramètres S simulés pour différentes valeurs de la résistance de grille dans le cas où ZLD et ZLG sont des circuits ouverts. Nous constatons, en ce qui concerne ce type d'utilisation du transistor, qu'une diminution de la résistance de grille se traduit par une dégradation du coefficient de réflexion en entrée ce qui, à première vue, semble logique. De plus, nous remarquons qu'une diminution de cette résistance métallique de grille permet d'améliorer un peu le coefficient de transmission vers des fréquences plus élevées. Toutefois, ce paramètre n'influe pas sur le coefficient de réflexion en sortie. Nous pouvons conclure que, pour ce type d'utilisation, une diminution de la résistance de grille se traduit essentiellement par une modification du paramètre S11, les trois autres paramètres restant pratiquement inchangés.

Nous avons ensuite étudié l'influence de ce paramètre lorsqu'une self est connectée sur l'extrémité de l'électrode de grille. Nous présentons pour ce type d'utilisation, les résultats obtenus sur la figure (III-29). Nous constatons que, contrairement aux résultats précédents, une diminution de la résistance de grille permet d'améliorer sensiblement les performances du transistor. Ainsi, en ce qui concerne le paramètre S21, une réduction de cette résistance se traduit par une augmentation d'une part de la valeur du maximum et, d'autre part, de la bande d'utilisation du transistor. Nous observons un comportement de plus en plus de type passe bande qui peut être vraisemblablement modifié en ajustant la valeur de la self connectée. Ainsi, pour chaque valeur de la résistance de grille, il serait nécessaire de réoptimiser la valeur de l'impédance selfique connectée sur l'extrémité de la grille. La diminution de la résistance de grille se traduit également par un déplacement du minimum du S11 vers les hautes

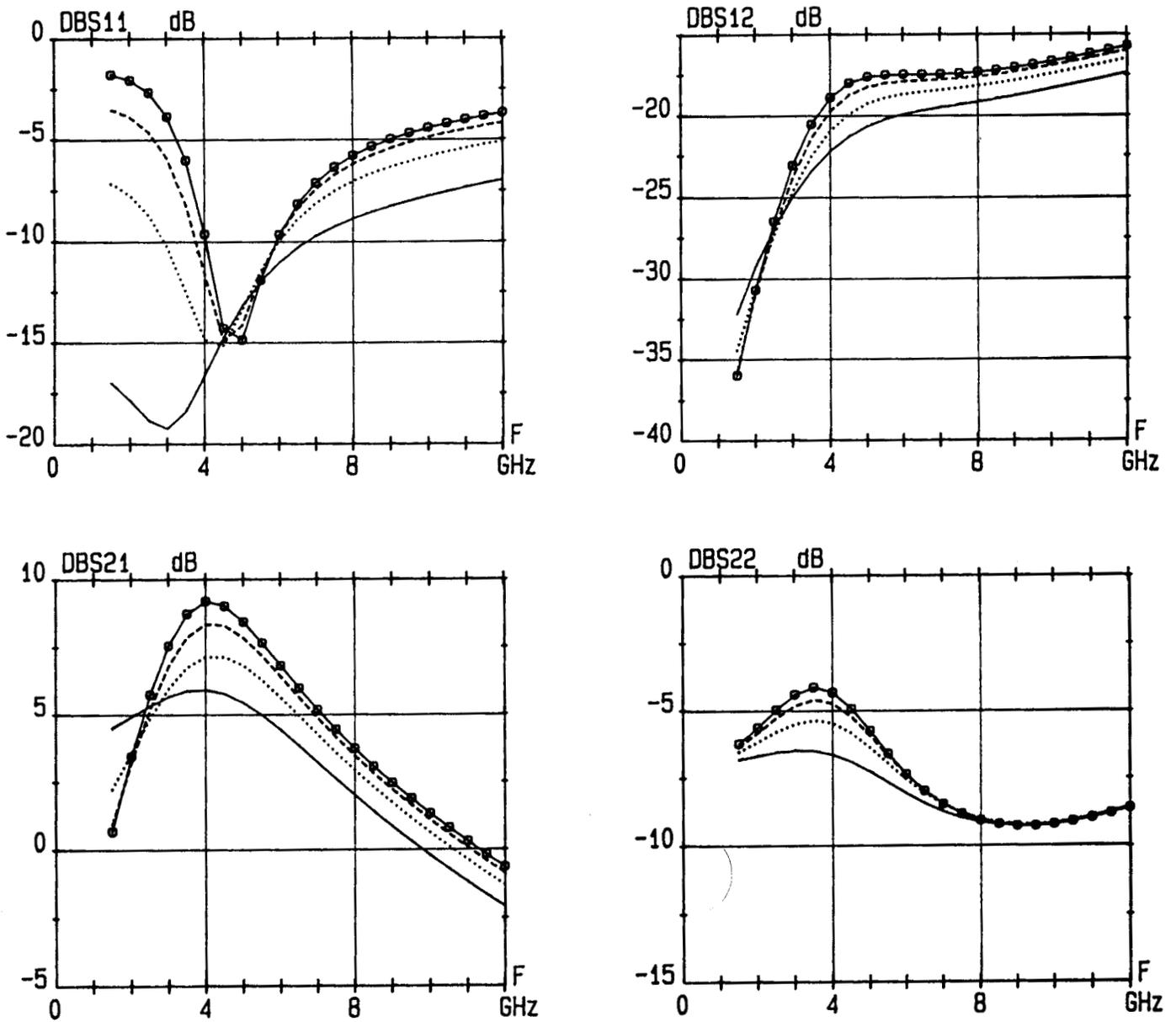


Figure III-29 : Influence de la résistance de grille sur les paramètres S d'un transistor de 900  $\mu\text{m}$   
à drain de type ligne ayant une self sur la grille  
-o-o-o- 5  $\Omega/\text{mm}$     - - - - 10  $\Omega/\text{mm}$     ..... 20  $\Omega/\text{mm}$     — 40  $\Omega/\text{mm}$

fréquences et une dégradation de l'adaptation en entrée du transistor.

### III-3-1-2 Influence de la résistance métallique de drain

Nous avons constaté, lors de la caractérisation des transistors, ayant un drain de type ligne, que la résistance de drain mesurée était élevée. Cela s'expliquait par le fait que cette résistance représente d'une part la résistance due au semi-conducteur et, d'autre part, celle due à la métallisation de l'électrode qui, rappelons-le, fait  $8 \mu\text{m}$  de large. Par conséquent, nous avons décidé de faire une étude paramétrique de cette résistance métallique de l'électrode de drain. Ainsi une diminution de la valeur de cette résistance peut se traduire physiquement par une augmentation de la surface de cette électrode. Par conséquent, nous pourrions à partir de cette étude, en déduire une valeur optimale de la largeur de l'électrode de drain et voir s'il est préférable de prendre un drain de type ligne ou de type surface.

Nous avons considéré trois types d'utilisation du transistor qui semblent les plus appropriées pour étudier l'influence de cette résistance métallique de drain sur le comportement global du transistor. Dans le premier type de configuration, le transistor est utilisé de façon conventionnelle. Dans le second, une self est connectée sur l'extrémité de l'électrode de drain. Enfin dans le dernier, des impédances terminales selfiques sont connectées aux extrémités de la grille et du drain. En ce qui concerne ces impédances terminales, nous avons pris des inductances de valeurs constantes ( $0,8 \text{ nH}$ ) pour les différents cas étudiés ce qui signifie que ces impédances ne représentent pas forcément les valeurs optimales permettant d'obtenir les meilleures performances possibles pour le transistor. En effet, une optimisation de ces impédances pour chaque valeur de la résistance métallique de drain ne nous aurait pas permis d'avoir une vision globale sur l'influence de ce paramètre.

Nous présentons sur la figure (III-30) l'évolution des paramètres S simulés pour la configuration classique pour différentes valeurs de la résistance métallique de drain. Nous constatons premièrement que la valeur de ce paramètre joue essentiellement sur le coefficient de réflexion en sortie du transistor. En effet, nous remarquons qu'une

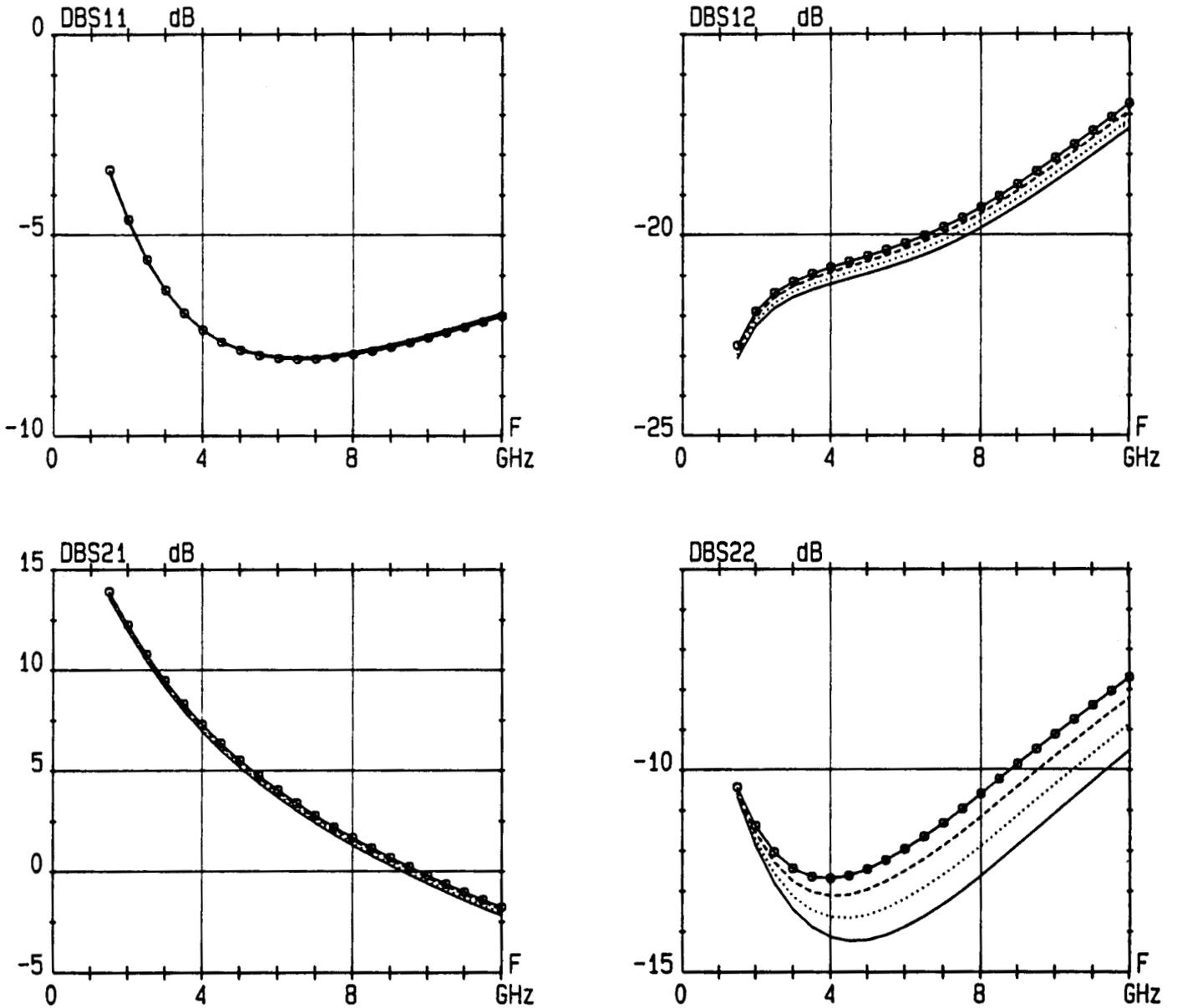


Figure III-30 : Influence de la résistance métallique de drain sur les paramètres S d'un transistor de 900  $\mu\text{m}$  à drain de type ligne en configuration classique  
-o-o-o- 1  $\Omega/\text{mm}$     - - - - 5  $\Omega/\text{mm}$     ..... 10  $\Omega/\text{mm}$     ——— 15  $\Omega/\text{mm}$

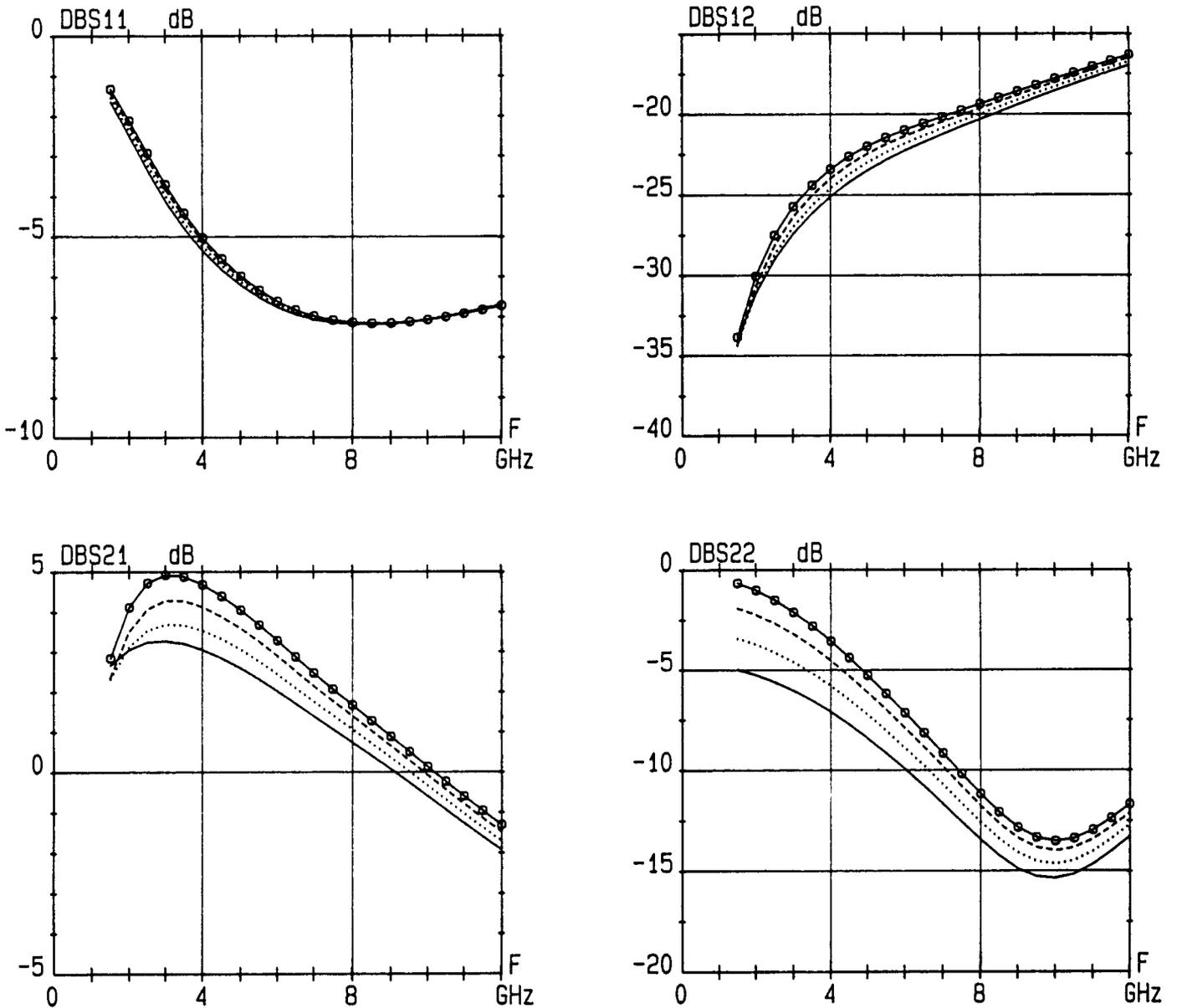


Figure III-31 : Influence de la résistance métallique de drain sur les paramètres S d'un transistor de  $900 \mu\text{m}$  à drain de type ligne ayant une self de  $0.8 \text{ nH}$  sur le drain  
-o-o-o-  $1 \Omega/\text{mm}$     - - - -  $5 \Omega/\text{mm}$     .....  $10 \Omega/\text{mm}$     —  $15 \Omega/\text{mm}$

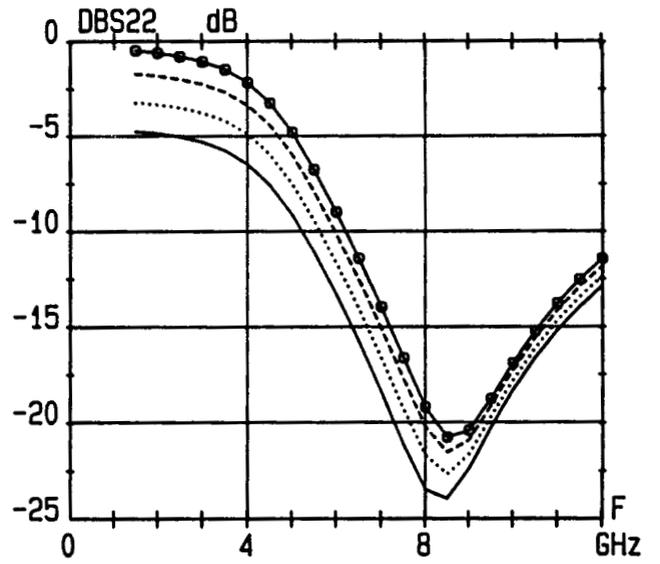
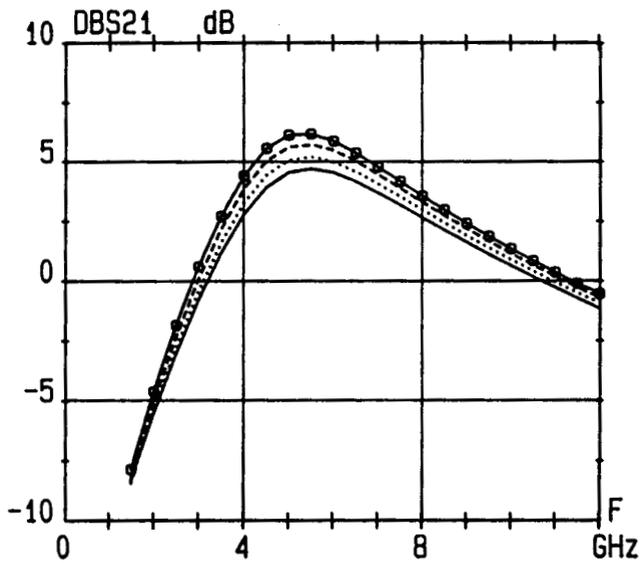
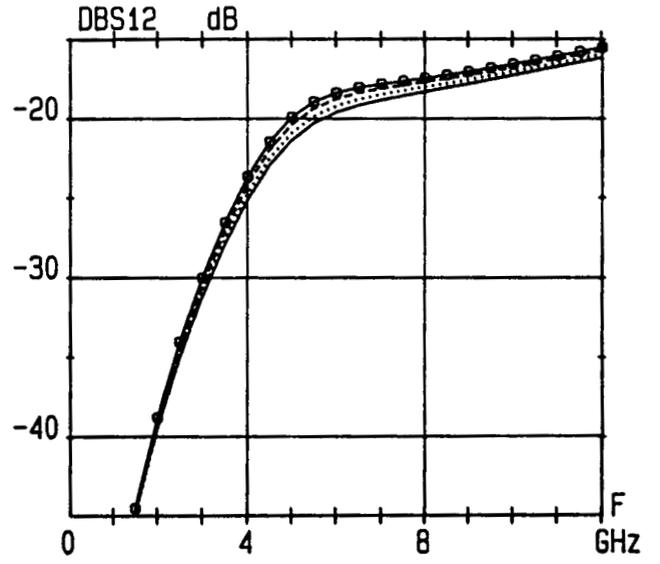
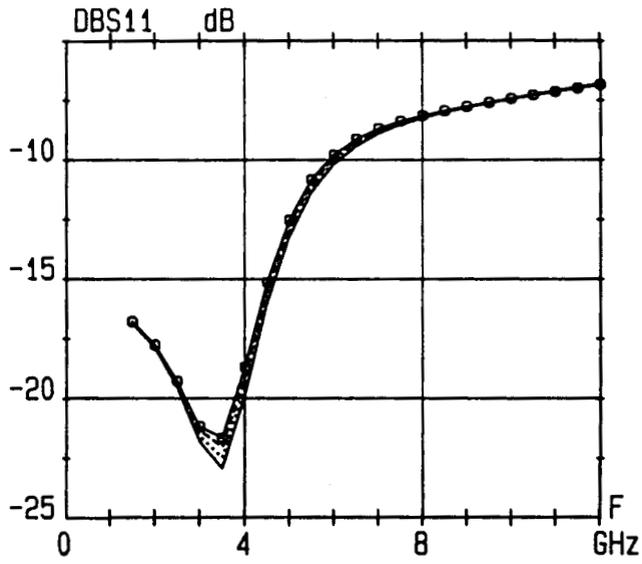


Figure III-32 : Influence de la résistance métallique de drain sur les paramètres S d'un transistor de  $900 \mu m$  à drain de type ligne ayant des selfs de  $0.8 nH$  sur la grille et le drain  
-o-o-o-  $1 \Omega/mm$     - - - -  $5 \Omega/mm$     .....  $10 \Omega/mm$     —  $15 \Omega/mm$

augmentation de la valeur de cette résistance se traduit par une amélioration du S22 et par aucune modification sensible sur les trois autres paramètres S du transistor. C'est pourquoi, il apparait nécessaire d'étudier l'influence de ce paramètre pour les deux autres types de configuration.

La figure (III-31) montre l'évolution des paramètres S pour différentes valeurs de la résistance métallique de drain dans le cas où une self est connectée sur l'extrémité du drain. Contrairement au cas précédent, nous pouvons pour ce type d'utilisation mieux nous rendre compte de l'influence de ce paramètre sur le comportement du transistor. Ainsi une réduction de la résistance métallique de drain se traduit d'une part par une amélioration sensible du S21 ainsi que de la bande d'utilisation, et d'autre part, par une dégradation du coefficient de réflexion en sortie. Nous ne constatons aucun effet de ce paramètre sur le coefficient de réflexion en entrée ainsi que sur le S12. Il faut toutefois remarquer que quelle que soit la valeur de la résistance métallique de drain, les paramètres S suivent toujours le même type d'évolution.

Voyons pour terminer le cas où des selfs sont connectées sur les extrémités de la grille et du drain. Nous représentons sur la figure (III-32) les résultats obtenus pour ce genre d'utilisation du transistor. Nous constatons comme dans le cas précédent, que la résistance métallique de drain influe surtout sur les coefficients de transmission et de réflexion en sortie. Ainsi, une diminution de la valeur de cette résistance entraîne une amélioration du S21 et une dégradation du S22. Toutefois, les différences observées entre les différentes courbes sont moins marquées que pour le type d'utilisation précédemment décrit. Nous remarquons également que nous n'arrivons pas à avoir simultanément en fréquence une adaptation en entrée et en sortie du transistor. Ainsi, entre 1 et 6 GHz, le transistor est adapté en entrée mais pas en sortie et dans le reste de la bande, nous avons une inversion des phénomènes.

Aux vues des résultats obtenus pour les différents cas d'utilisation du transistor, il semble préférable d'avoir un drain présentant les pertes métalliques les plus faibles possibles, ce qui signifie qu'il vaut mieux avoir un drain de type surface que de type ligne. Toutefois, il ne nous a pas été possible de vérifier ces prévisions théoriques

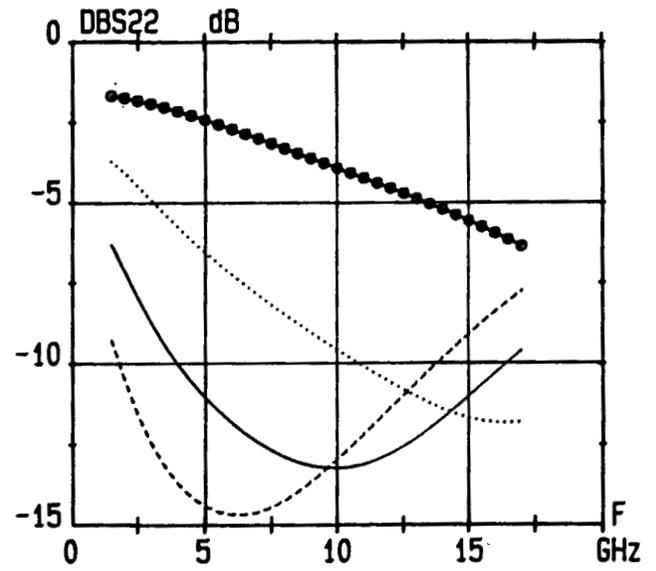
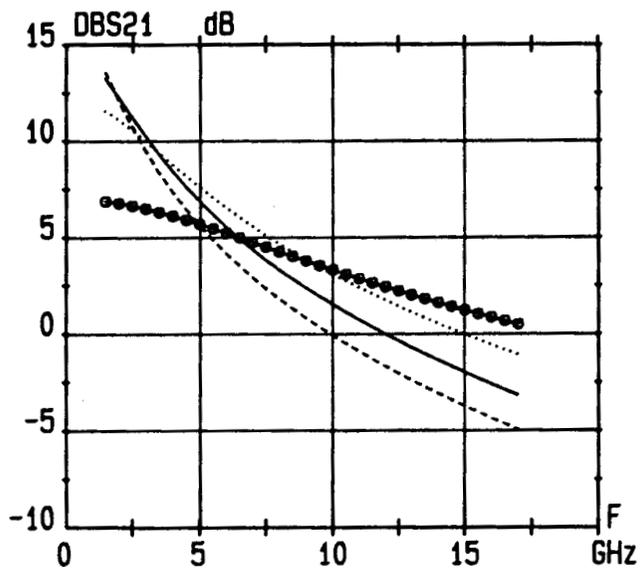
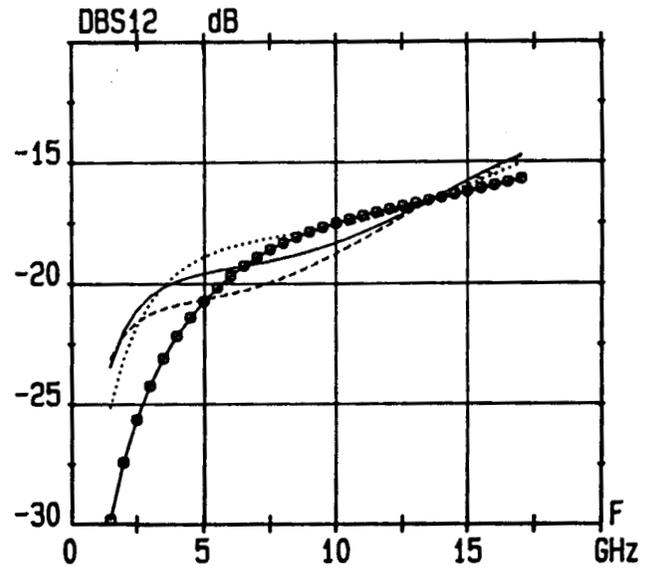
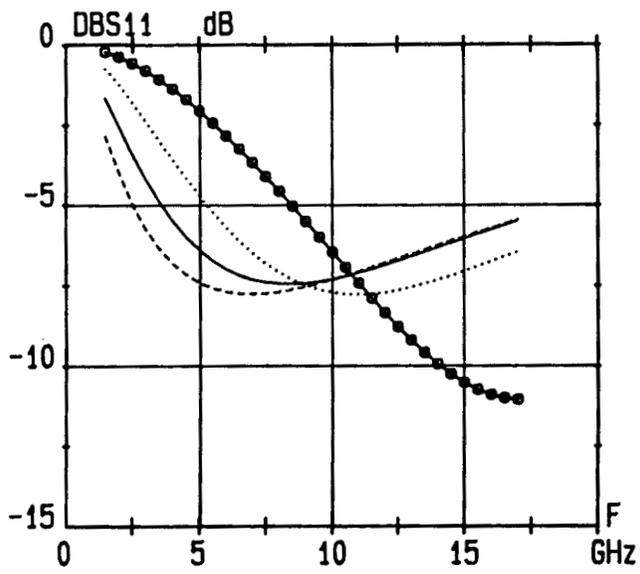


Figure III-33 : Influence du développement de grille d'un transistor à drain de type ligne en configuration classique

-o-o-o-  $200\ \mu\text{m}$     .....  $400\ \mu\text{m}$     —  $600\ \mu\text{m}$     - - - -  $800\ \mu\text{m}$

par des mesures sur les transistors de 900  $\mu\text{m}$  de développement de la série 210, leur résistance de grille étant anormalement élevée.

### III-3-1-3 Influence du développement de grille

Lors de la réalisation du masque des transistors ayant un drain de type ligne, nous avons opté pour une structure de 900  $\mu\text{m}$  pour mettre en évidence les phénomènes de propagation le long des électrodes de grille et de drain. Or, d'après les résultats expérimentaux obtenus pour les différents transistors de la série 210, il est apparu clairement qu'une valeur optimale du développement de grille permettait d'obtenir un produit gain-bande extrêmement intéressant. C'est pourquoi, il nous a semblé utile d'étudier à partir de simulation, l'influence de ce paramètre dans le but de déterminer un développement de grille optimal.

Nous avons pris pour cette étude des cellules élémentaires de transistor de 100  $\mu\text{m}$  de développement, les valeurs des éléments du schéma équivalent étant obtenus par caractérisations successives. L'influence du développement de grille a été étudiée en cascasant plusieurs cellules élémentaires. Nous avons considéré deux types de configuration, la première est celle où le transistor est utilisé classiquement et la seconde consiste à connecter une impédance selfique sur l'extrémité de la grille, le drain étant fermé sur un circuit ouvert. Nous n'avons pas cherché à déterminer pour chaque valeur du développement de grille, la valeur optimale de la self qu'il fallait connecter sur l'extrémité de la grille pour obtenir les meilleures performances possibles du transistor. Nous avons fixé la valeur de cette self à 0,8 nH.

Les figures (III-33 et 34) présentent l'évolution des paramètres S simulés pour quatre développements de grille et, pour les deux types de configuration du transistor retenus, ces résultats appellent plusieurs commentaires. Premièrement, nous constatons, dans le cas d'une configuration classique qu'une augmentation du développement de grille se traduit d'une part par une amélioration sensible du S22 due en majeure partie à la résistance métallique de drain et d'autre part, par une amélioration en basse fréquence du S21 (jusqu'à 5 GHz) mais avec une diminution de la bande de fréquence d'utilisation. En ce qui concerne l'autre configuration du

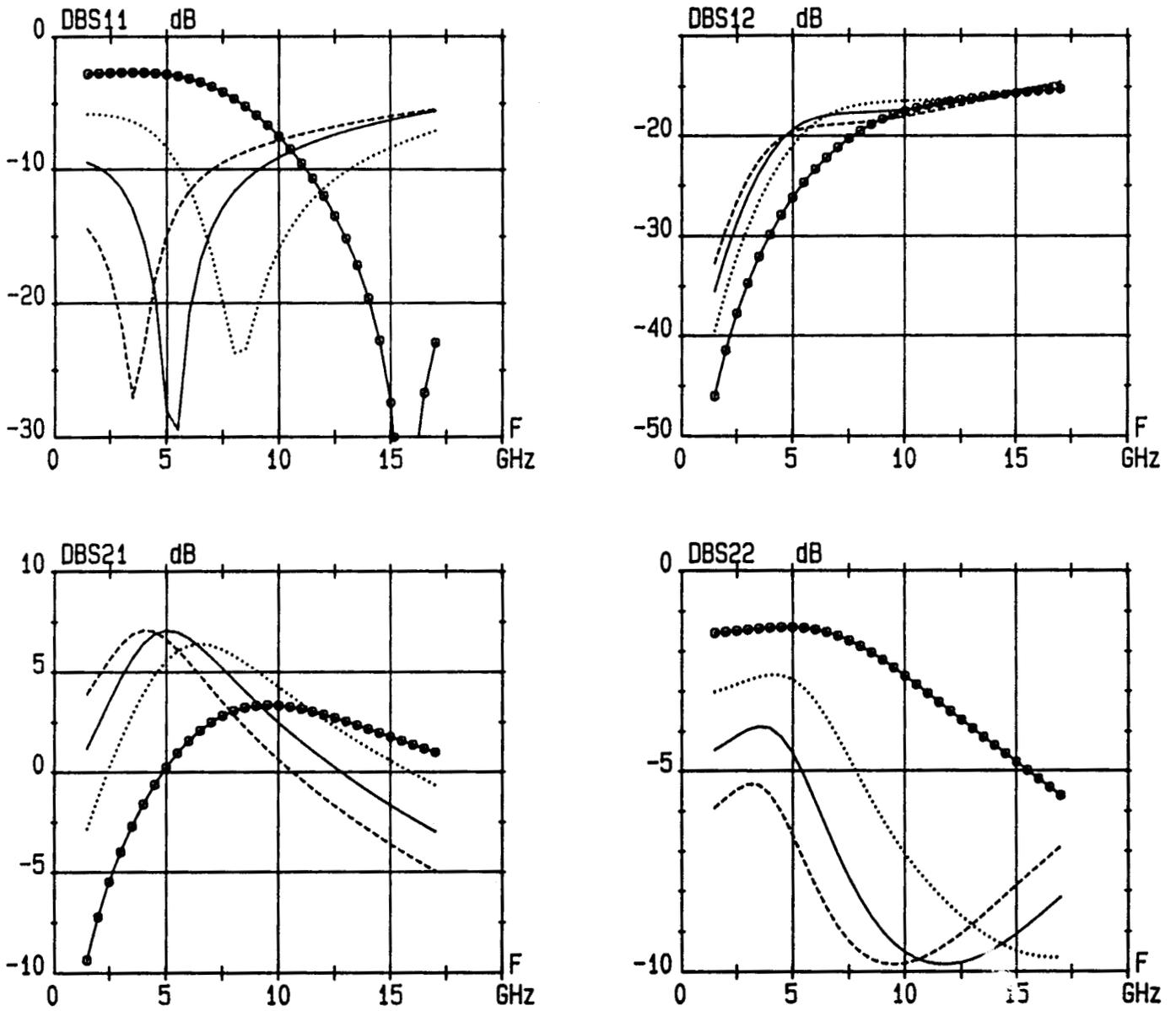


Figure III-34 : Influence du développement de grille d'un transistor à drain de type ligne ayant des selfs de 0.8 nH sur la grille et le drain

-o-o-o- 200 μm    ..... 400 μm    ——— 600 μm    -.-.- 800 μm

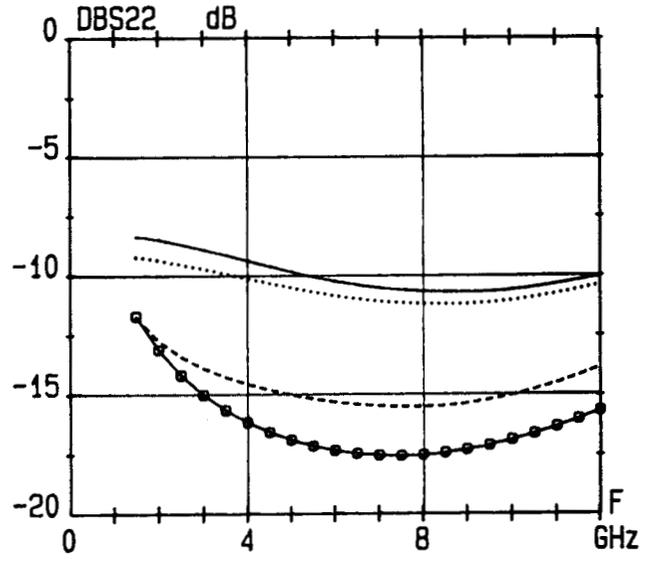
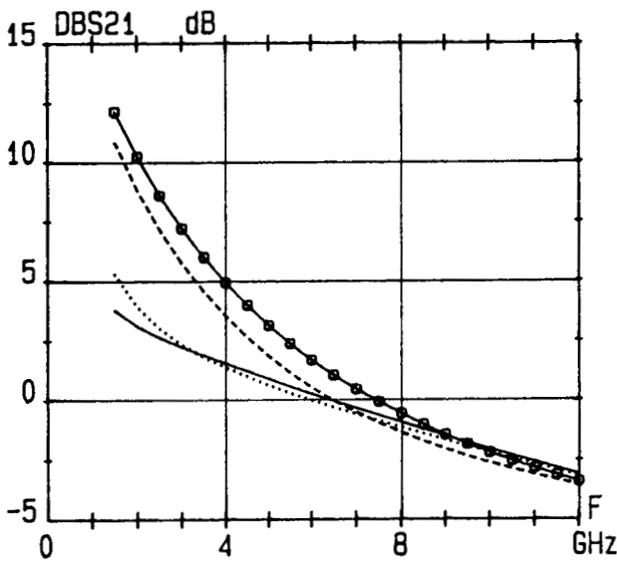
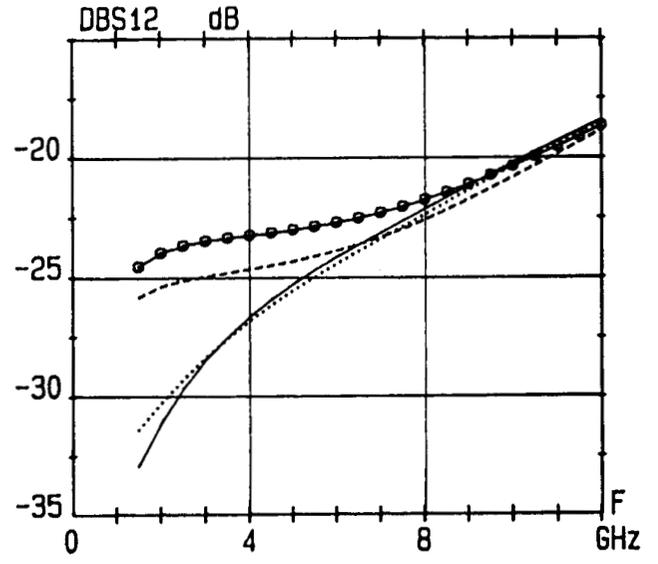
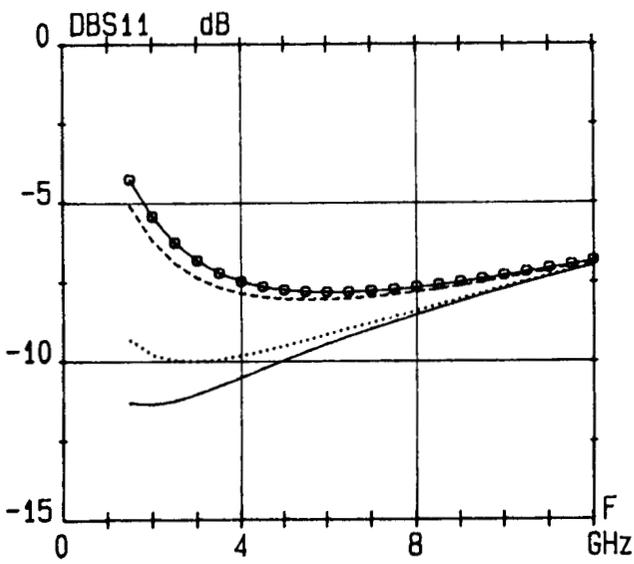


Figure III-35 : Influence d'impédances capacitives connectées sur la grille d'un transistor de  $900 \mu\text{m}$  à drain de type ligne, le drain étant en circuit ouvert  
 -o-o-o- ZLG=0.5 pF    - - - - ZLG=1 pF    ..... ZLG=5 pF    ——— ZLG=10 pF

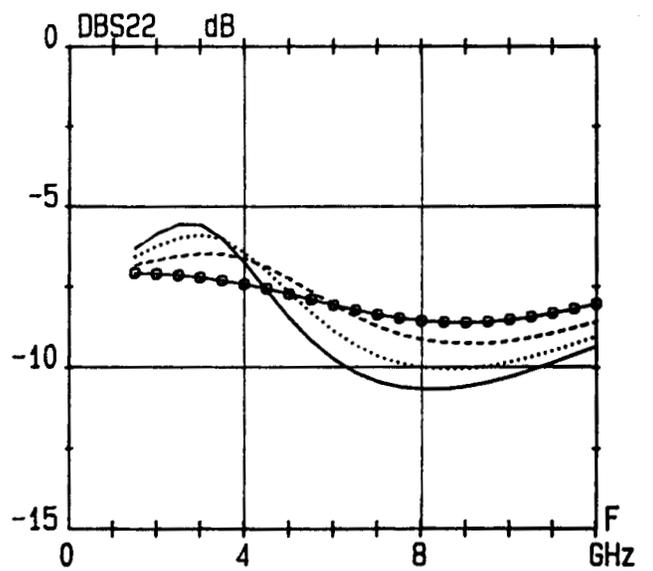
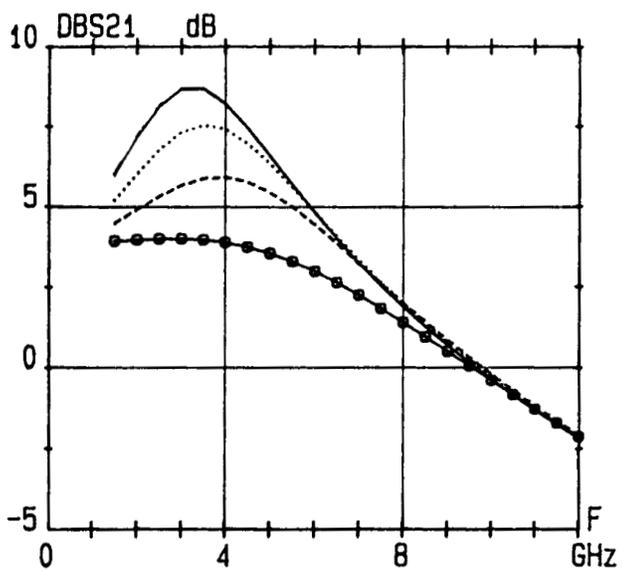
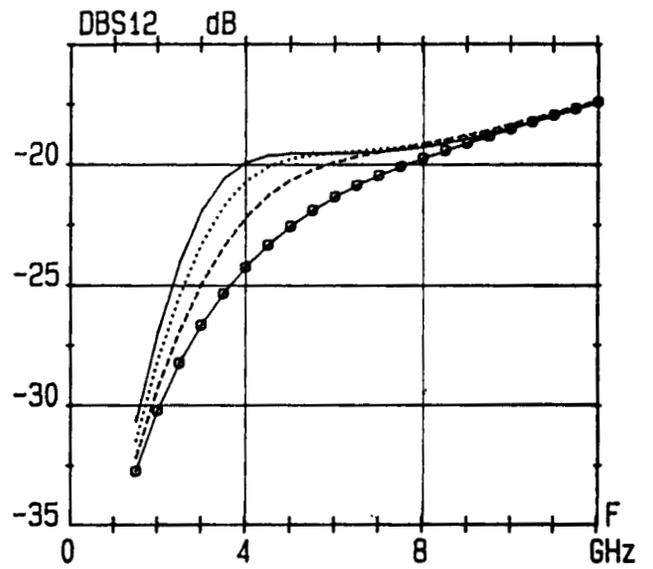
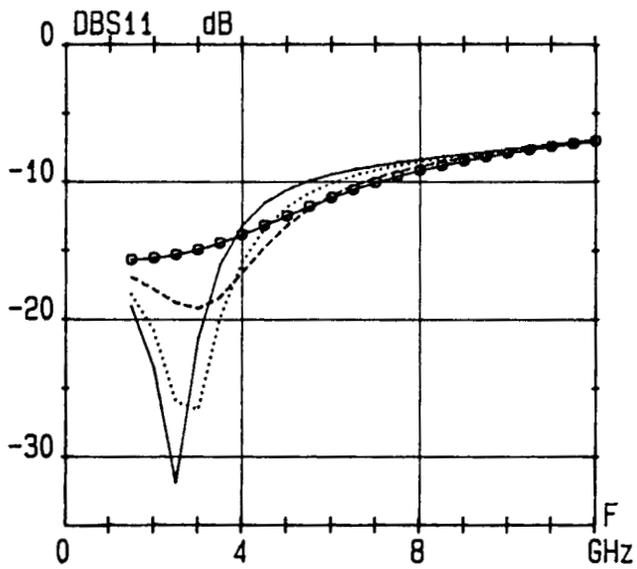


Figure III-36 : Influence d'impédances selfiques connectées sur la grille d'un transistor de  $900 \mu\text{m}$  à drain de type ligne, le drain étant en circuit ouvert

-o-o-o-  $ZLG = 0.3 \text{ nH}$     - - - -  $ZLG = 0.6 \text{ nH}$     ....  $ZLG = 0.9 \text{ nH}$     —  $ZLG = 1.2 \text{ nH}$

transistor, nous remarquons qu'une augmentation de la largeur de grille se traduit par un déplacement du pic de résonance du S11 vers les basses fréquences ainsi que par une amélioration notable du S21 en basse fréquence mais avec une réduction de la bande de fréquence. L'examen de l'évolution des gains obtenus par ces deux configurations montre qu'une valeur de l'ordre de 400  $\mu\text{m}$  de développement de grille semble optimale. Dans ce cas, le transistor est utilisable dans une large bande de fréquence, et, de plus, la configuration avec la self présente l'avantage d'une quasi adaptation en entrée et d'avoir des performances supérieures à la structure classique en haute fréquence.

#### III-3-1-4 Influence de la nature et de la valeur des impédances terminales

Les impédances terminales ayant été prises fixes dans ce qui précède, nous nous intéressons dans cette partie, à l'influence de leurs variations sur le comportement du transistor. Nous avons scindé cette étude en trois parties qui correspondent aux différents cas possibles d'utilisation du transistor, à savoir :

- 1°) Impédance sur la grille et circuit ouvert sur le drain
- 2°) Impédance sur le drain et circuit ouvert sur la grille
- 3°) Impédance sur la grille et sur le drain

##### III-3-1-4-a Impédance sur la grille

En ce qui concerne le premier type d'utilisation du transistor, nous avons pris pour impédances terminales, des inductances et des capacités de différentes valeurs. Les figures (III-35 et 36) représentent les résultats obtenus pour les deux types d'impédances étudiés, on constate premièrement que pour des impédances capacitives de faibles valeurs (0,5 et 1 pF) le comportement du transistor est similaire à celui observé dans le cas d'une utilisation classique du transistor monogridde. De plus, une augmentation de la valeur de la capacité connectée sur l'extrémité de la grille se traduit par une dégradation des coefficients de transmission et de réflexion en sortie et une amélioration du coefficient de réflexion en entrée. Par conséquent, au vue de ces résultats, nous pouvons affirmer que la connexion d'une capacité sur l'extrémité de la grille ne permet pas d'améliorer les performances intrinsèques du transistor.

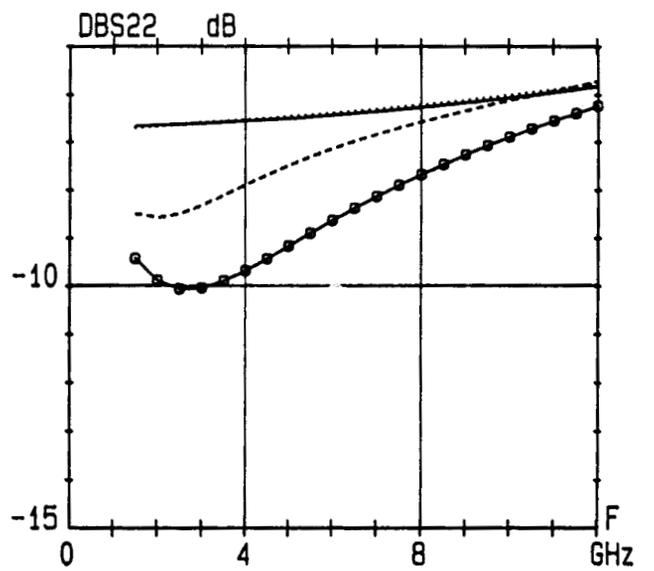
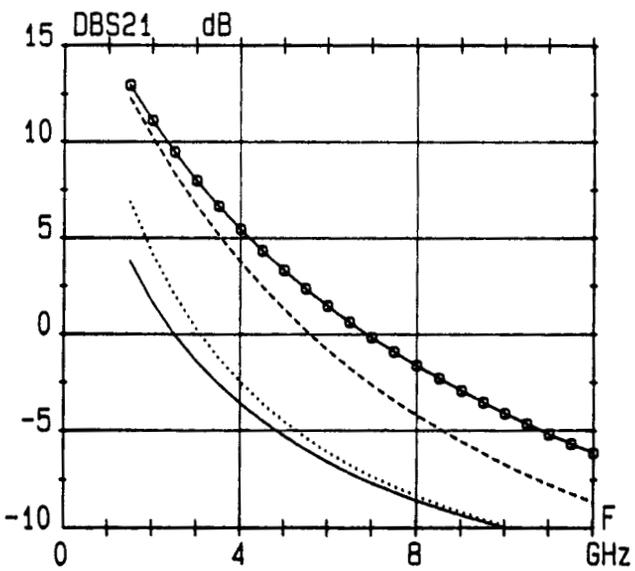
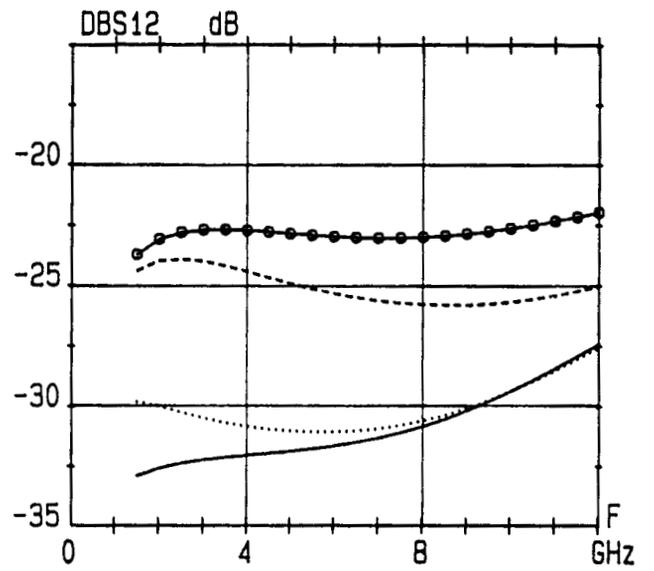
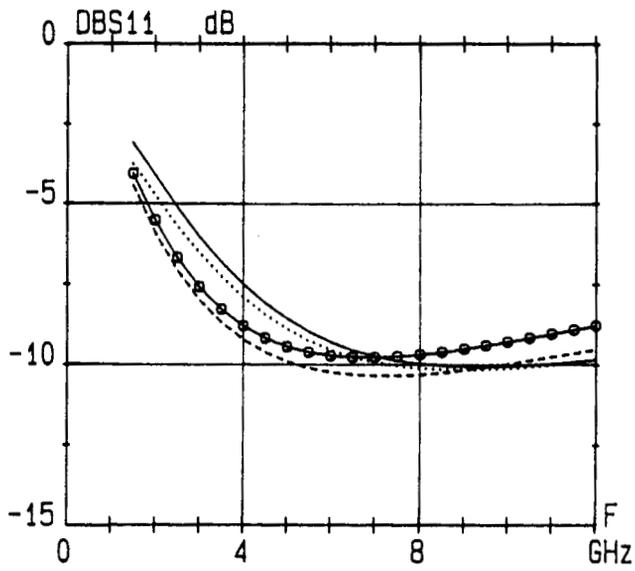


Figure III-37 : Influence d'impédances capacitives connectées sur le drain d'un transistor de  $900 \mu\text{m}$  à drain de type ligne, la grille étant en circuit ouvert  
 -o-o-o- ZLD=0.5 pF    - - - - ZLD= 1 pF    ..... ZLD= 5 pF    — ZLD= 10 pF

Dans le cas d'impédances selfiques connectées sur l'extrémité de la grille, nous retrouvons des résultats similaires à ceux observés lors des différents essais expérimentaux. Ainsi, une augmentation de la valeur de la self se traduit par une augmentation sensible du coefficient de transmission et un décalage du maximum d'amplitude vers les basses fréquences. Nous constatons également, pour des valeurs élevées de la self une amélioration du coefficient de réflexion en entrée jusqu'à 4 GHz environ avec un déplacement du minimum vers les basses fréquences. De plus, nous pouvons attribuer le pic du  $S_{11}$  à un phénomène de résonance dû à la présence de la self sur l'extrémité de la grille. Ainsi, plus la self augmente, plus cette résonance se décale vers les basses fréquences. En ce qui concerne le coefficient de réflexion en sortie, nous observons une amélioration de ce dernier à partir de 4 GHz lorsque la valeur de la self terminale croît. Par conséquent, la connexion d'une self sur l'extrémité de la grille du transistor permet d'améliorer sensiblement ses performances et il apparaît nécessaire d'optimiser sa valeur afin de trouver un bon compromis entre le gain et la bande d'utilisation.

#### **III-3-1-4-b** Impédance sur le drain et circuit ouvert sur la grille

Nous avons également étudié pour ce type d'utilisation du transistor, deux types d'impédances terminales. Les figures (III-37 et 38) représentent respectivement l'évolution des paramètres S simulés dans le cas d'impédances capacitives et selfiques. Nous remarquons que, pour des capacités de faibles valeurs, le comportement du transistor se rapproche de celui utilisé dans le cas d'une configuration classique. Une augmentation de la valeur de la capacité se traduit par une dégradation notable des coefficients de réflexion en sortie et de transmission. Le coefficient de réflexion en entrée est lui peu sensible à la valeur de la capacité ce qui, à priori, semble normal. Enfin, une diminution de la capacité dégrade le coefficient  $S_{12}$ . Ces derniers résultats permettent de montrer que, pour ce type d'utilisation du transistor, la connexion d'impédances terminales capacitives ne permet pas d'améliorer les performances du transistor par rapport à une utilisation classique.

En ce qui concerne les impédances selfiques, nous retrouvons des résultats

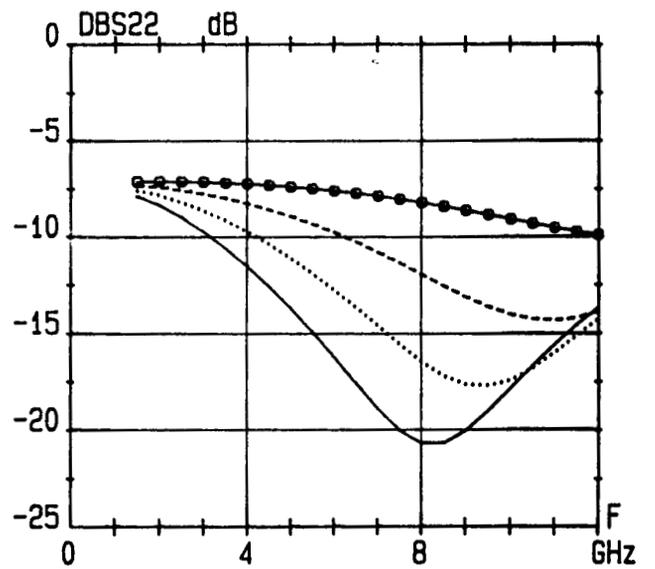
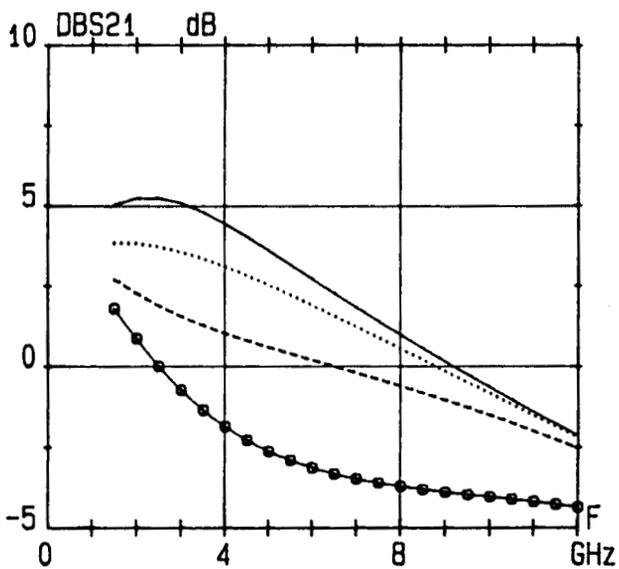
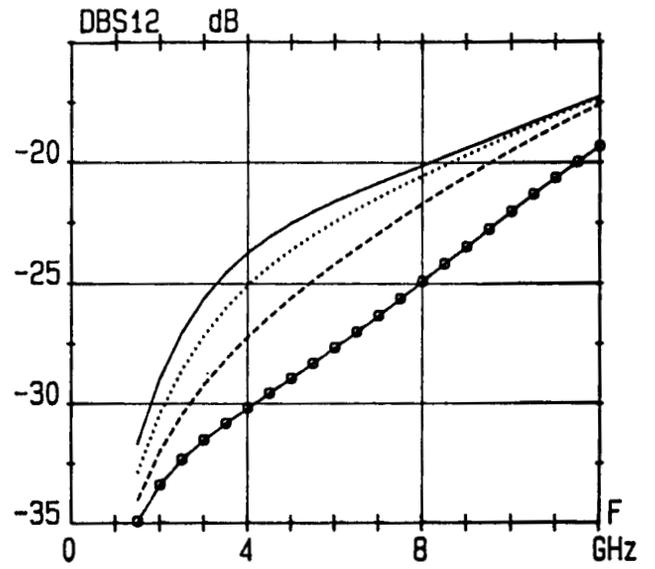
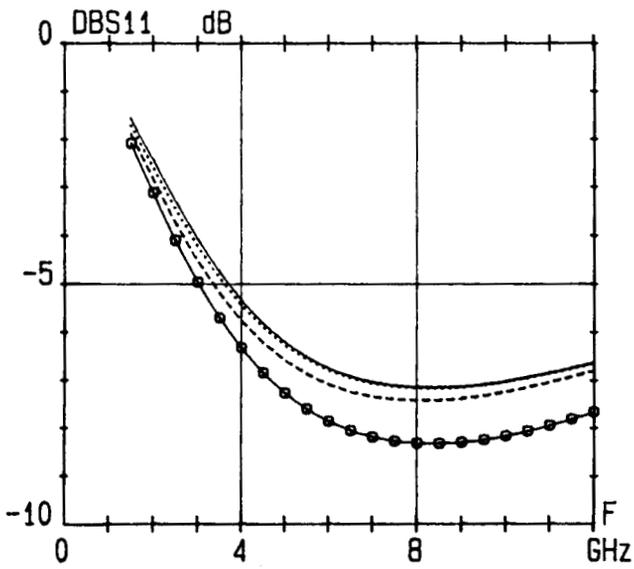


Figure III-38 : Influence d'impédances selfiques connectées sur le drain d'un transistor de  $900 \mu\text{m}$  à drain de type ligne, la grille étant en circuit ouvert

-o-o-o- ZLD= 0.3 nH    - - - - ZLD=0.6 nH    ..... ZLD=0.9 nH    ——— ZLD=1.2 nH

analogues à ceux observés lors des différents essais expérimentaux. Ainsi, une augmentation de la valeur de la self terminale permet d'améliorer le S21 ainsi que la bande d'utilisation. De plus, lorsque la valeur de la self croît, nous constatons que le transistor est quasiment adapté en sortie entre 4 et 12 GHz. Toutefois, la connexion d'une self sur l'extrémité du drain permet d'améliorer un peu les performances par rapport à une utilisation classique mais présente moins d'intérêt que la configuration précédemment décrite. Nous constatons également que la connexion d'impédances sur la grille ou sur le drain permet d'obtenir l'adaptation soit en entrée, soit en sortie du transistor mais pas simultanément, résultat déjà observé théoriquement par Kretschmer [6].

#### III-3-1-4-c Impédances sur la grille et sur le drain

Pour ce type de configuration, le nombre de combinaisons possible pour les impédances terminales, est élevé et nous nous sommes limités à étudier les cas les plus significatifs issus des résultats expérimentaux. Ainsi, nous basant sur les résultats obtenus pour les deux types d'utilisation précédemment décrits, nous avons principalement étudié des impédances terminales selfiques. Pour mieux décrire l'influence de ces impédances, nous avons scindé cette étude en trois parties qui permettent ainsi d'étudier les différents cas envisageables.

La figure (III-39) représente l'évolution des paramètres S dans le cas où ZLD et ZLG sont des impédances selfiques variables de même valeur. Nous nous sommes toutefois limités à des valeurs de selfs raisonnables et facilement réalisables. Nous constatons que pour avoir un fonctionnement intéressant, il faut prendre des impédances selfiques ZLD et ZLG relativement élevées. En effet, dans ce cas, le transistor présente l'avantage d'une part d'être moyennement adapté en entrée, bien adapté en sortie, et surtout d'avoir un coefficient de transmission de type passe-bande. Une augmentation de la valeur de la self connectée sur la grille et le drain se traduit également par un déplacement du maximum du S21 vers les basses fréquences. Pour ce type d'utilisation du transistor, nous remarquons qu'il n'est pas possible d'avoir simultanément le maximum d'adaptation à la fois en entrée et en sortie du transistor.

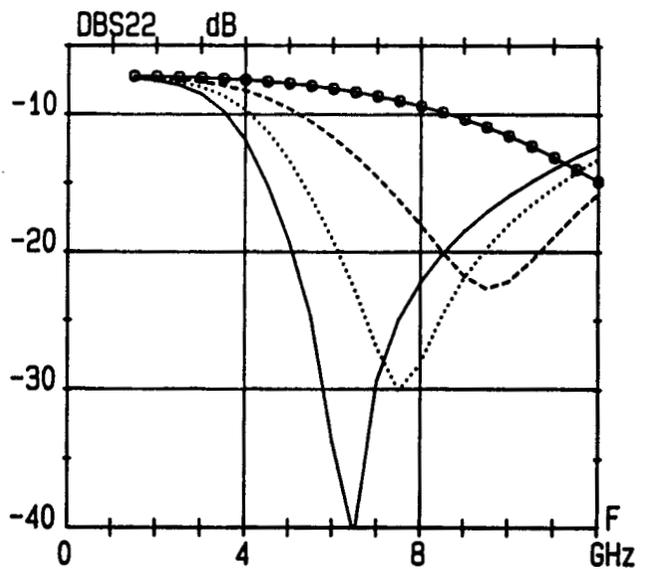
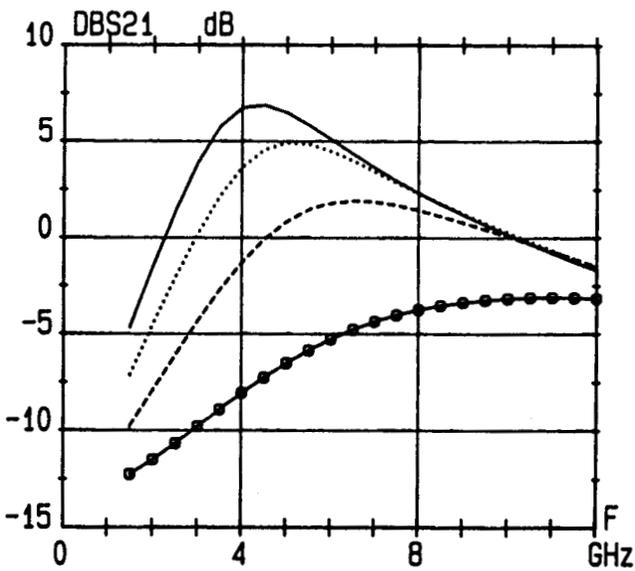
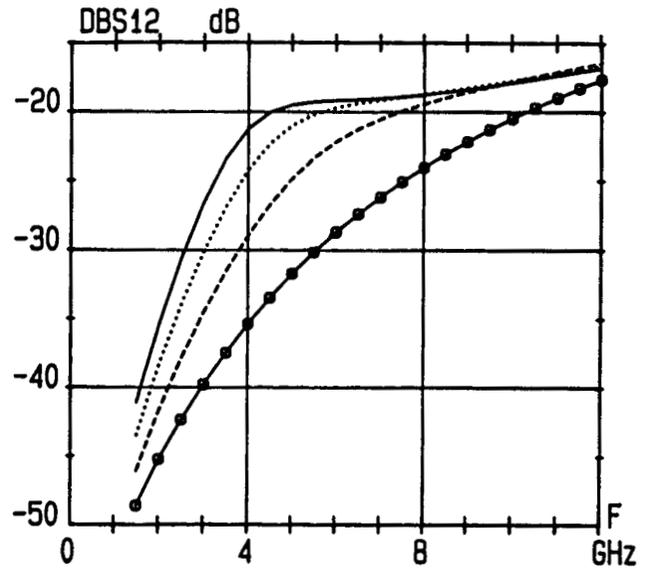
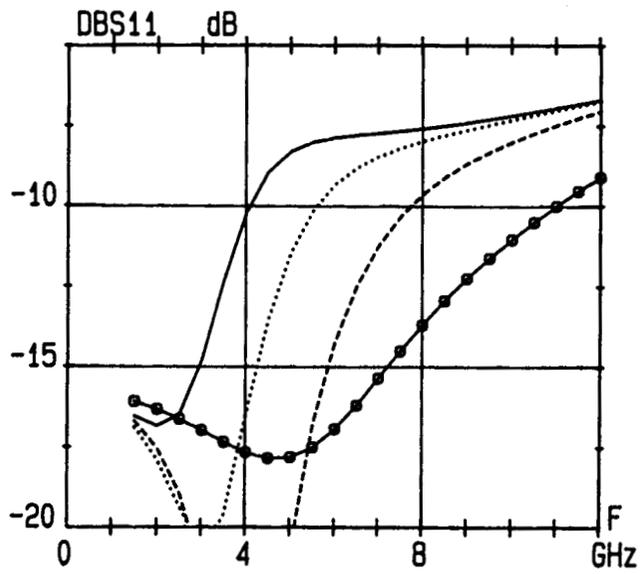


Figure III-39 : Influence d'impédances selfiques de même valeur connectées sur la grille et le drain d'un transistor de  $900 \mu\text{m}$  à drain de type ligne  
 -o-o-o- 0.3 nH    - - - - 0.6 nH    ..... 0.9 nH    ——— 1.2 nH

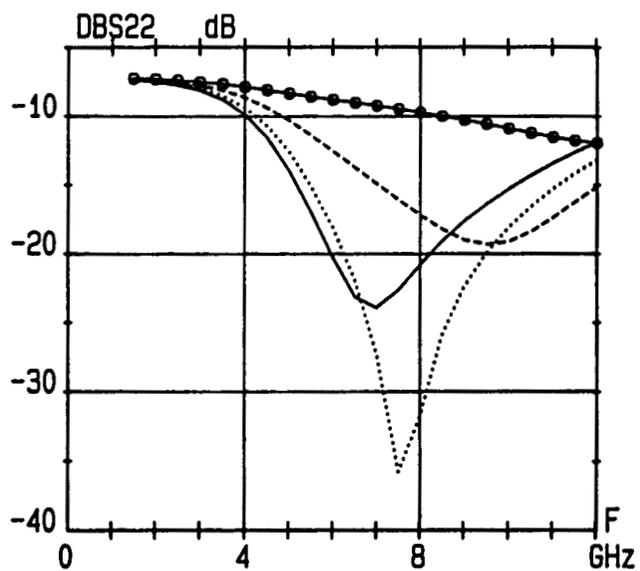
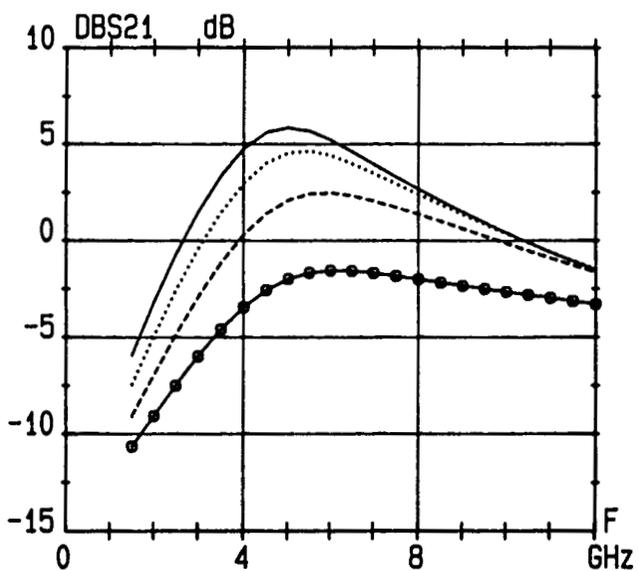
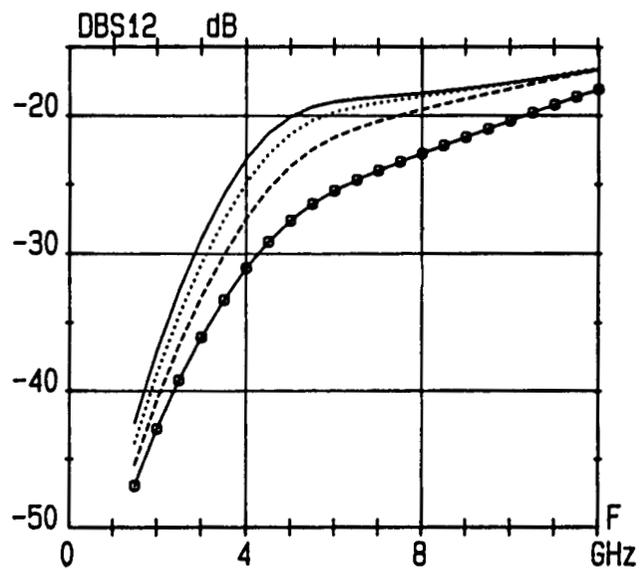
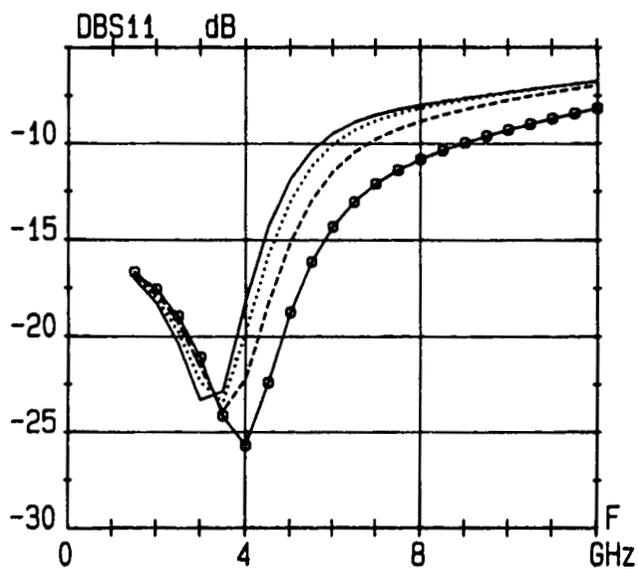


Figure III-40 : Influence d'impédances selfiques connectées sur le drain d'un transistor de  $900 \mu\text{m}$  à drain de type ligne, la grille ayant une self fixe de  $0.8 \text{ nH}$

-o-o-o- ZLD=  $0.3 \text{ nH}$     ---- ZLD=  $0.6 \text{ nH}$     ..... ZLD=  $0.9 \text{ nH}$     ——— ZLD=  $1.2 \text{ nH}$

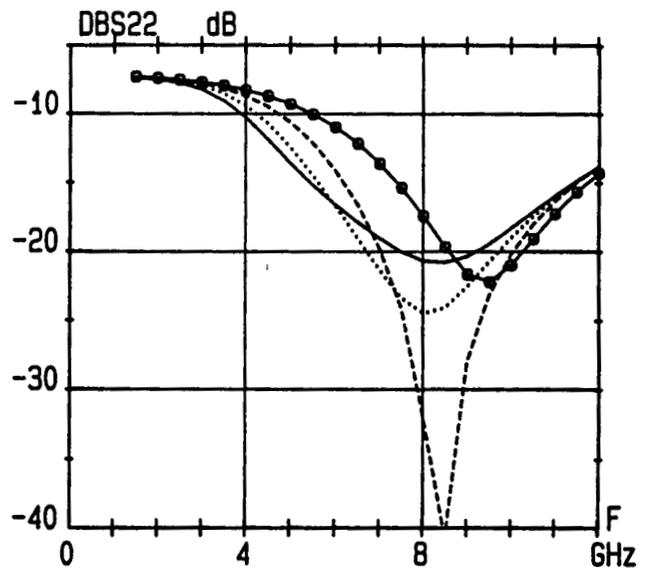
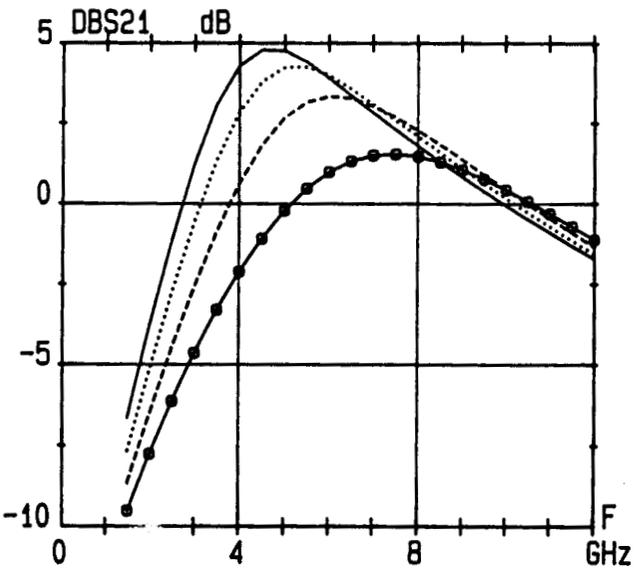
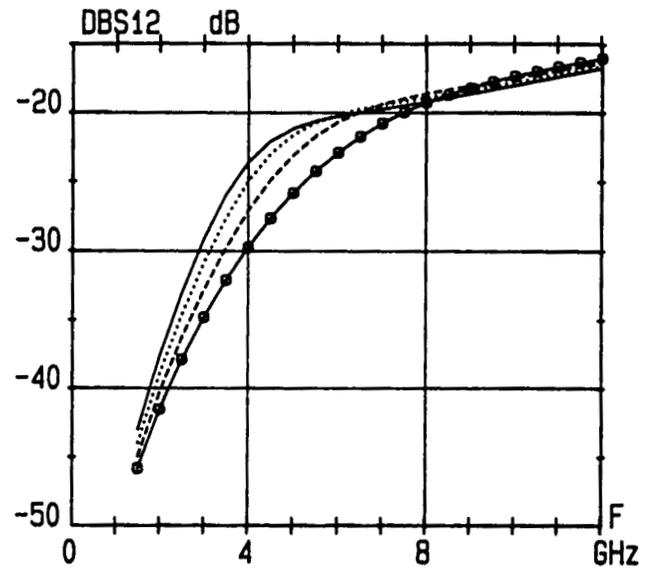
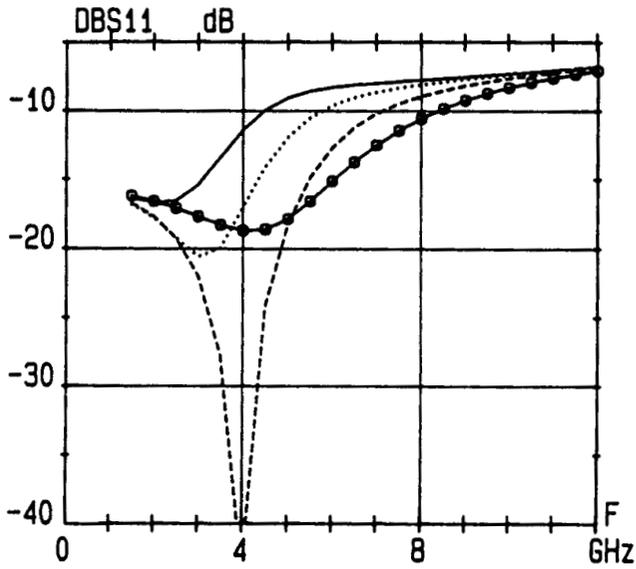


Figure III-41 : Influence d'impédances selfiques connectées sur la grille d'un transistor de  $900 \mu\text{m}$  à drain de type ligne, le drain ayant une self fixe de  $0.8 \text{ nH}$

-o-o-o-  $ZLG = 0.3 \text{ nH}$     -.-.-  $ZLG = 0.6 \text{ nH}$     .....  $ZLG = 0.9 \text{ nH}$     —  $ZLG = 1.2 \text{ nH}$

Dans les deux autres cas de figure considérés, nous avons voulu voir les influences respectives de la self connectée sur la grille et de celle connectée sur le drain, sur les performances du transistor. Ainsi, dans un premier temps, nous avons fixé la valeur de ZLG à 0,8 nH. et nous avons fait varier la valeur de ZLD. A titre d'exemple, nous présentons sur la figure (III-40) les résultats obtenus pour ce type de configuration. Nous retrouvons des évolutions similaires à celles décrites dans le cas précédent. Ainsi pour ce type de configuration, une self de 0,9 nH connectée sur le drain semble optimale car dans ce cas le transistor présente d'une part une quasi-adaptation en entrée en basses fréquences (jusqu'à 5 GHz) et en sortie au delà de cette fréquence, et d'autre part un S21 relativement intéressant. Nous constatons que la valeur de la self connectée sur le drain joue essentiellement sur le S21 et le S22 ce qui, à priori, semble logique.

Le dernier cas de figure est celui où ZLD est une self fixe de 0,8 nH et ZLG une self variable comprise entre 0,3 et 1,2 nH. Nous présentons sur la figure (III-41) l'évolution des paramètres S pour les différentes impédances ZLG étudiées. Nous constatons dans ce cas qu'une self de 0,6 nH connectée sur l'extrémité de la grille semble optimale. Nous observons également qu'une augmentation de la valeur de la self connectée sur la grille se traduit par un déplacement vers les basses fréquences du maximum d'amplitude du coefficient de transmission.

### III-3-1-5 Conclusion de l'étude paramétrique des structures à drain de type ligne

A l'issue de cette étude paramétrique détaillée sur les transistors à drain de type ligne, plusieurs remarques se dégagent. Premièrement, nous avons mis en évidence l'influence de la résistance de grille pour ce type de structure qui contribue à dégrader fortement ses performances. Deuxièmement, nous avons pu, à partir de notre modélisation en déduire une valeur optimale du développement de grille permettant d'avoir d'une part un bon compromis gain-bande dans le cas où une self est connectée sur l'extrémité de la grille et d'autre part, d'avoir des performances supérieures à celles obtenues dans le cas d'une utilisation classique du transistor. Enfin, nous avons vu l'influence d'impédances terminales connectées sur l'extrémité des électrodes de grille

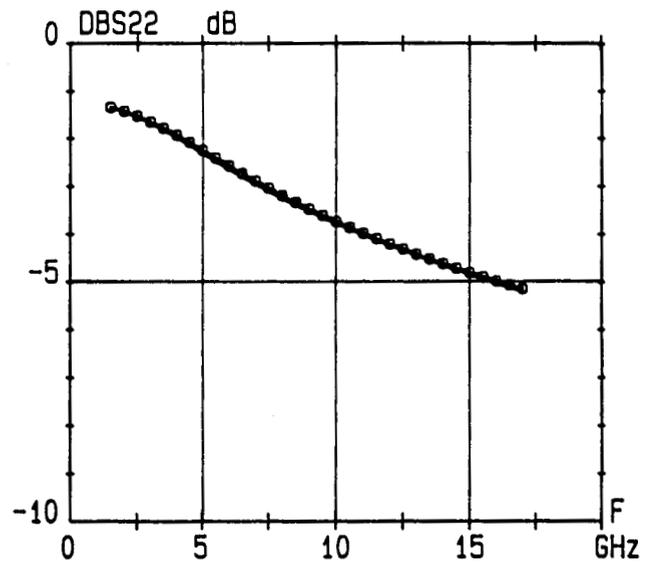
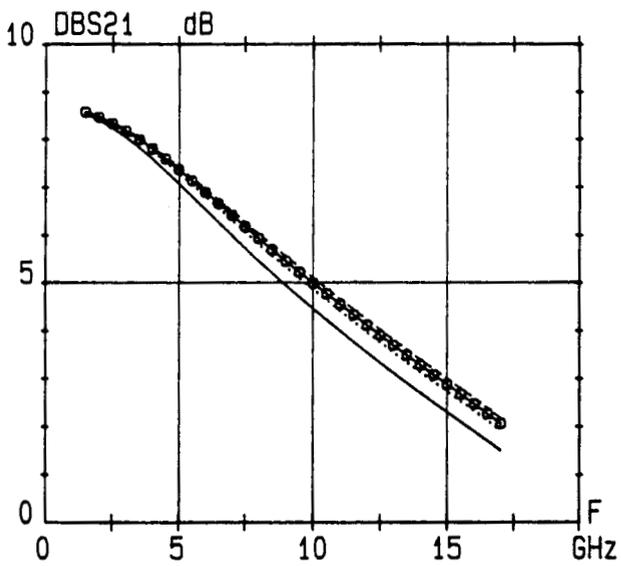
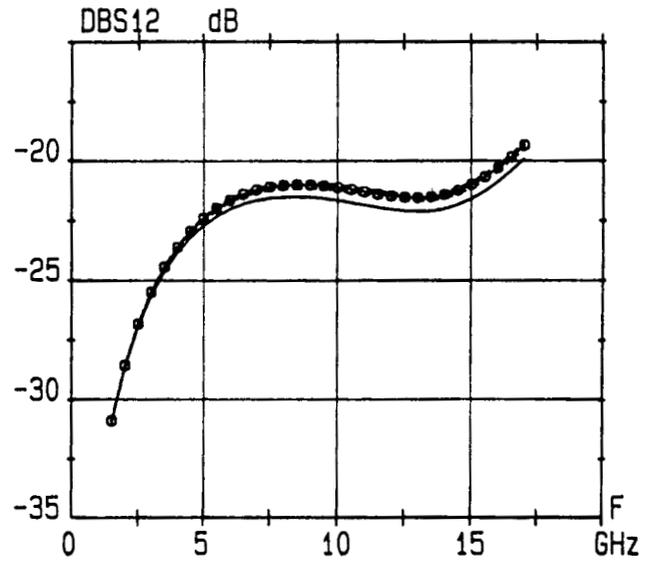
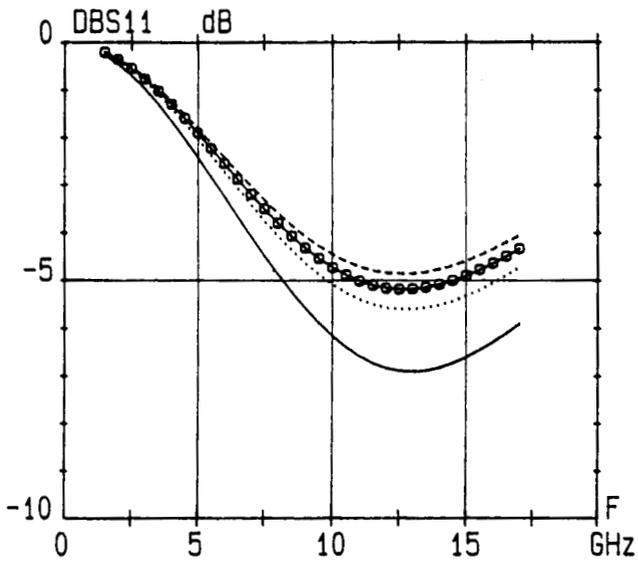


Figure III-42 : Influence de la résistance de grille sur les paramètres S d'un transistor de  $150 \mu\text{m}$  à drain de type surface en configuration classique  
 -----  $5 \Omega/\text{mm}$     -o-o-o-  $20 \Omega/\text{mm}$     .....  $40 \Omega/\text{mm}$     ———  $100 \Omega/\text{mm}$

et de drain. Ainsi, parmi les différentes configurations présentées précédemment, deux d'entre elles nous apparaissent comme permettant d'obtenir les performances les plus intéressantes. La première est celle où une self est connectée sur l'extrémité de la grille et rien sur le drain, la seconde consiste à prendre des selfs pour ZLD et ZLG. Dans ces conditions, le transistor peut être quasiment adapté en entrée ou en sortie et présenter en toutes fréquences, un coefficient de transmission nettement supérieur à celui obtenu dans le cas d'une utilisation classique. Le choix de la connexion d'impédance sur la grille ou le drain sera imposé par le type de fonction que doit réaliser le transistor.

### **III-3-2 Transistor à drain de type surface (série 210)**

Pour ce type de structure, nous nous limitons à étudier l'influence de la résistance de grille ainsi que la nature et la valeur des impédances qu'il faut connecter sur l'extrémité de la grille pour améliorer de façon significative les performances du transistor.

Nous étudions simultanément les transistors de 150 et 300  $\mu\text{m}$  de développement.

#### **III-3-2-1 Influence de la résistance de grille**

Lors de la caractérisation de ces structures, nous avons constaté qu'elles présentaient des résistances de grille élevées (de l'ordre de 160  $\Omega/\text{mm}$ ) par rapport aux transistors de la série 167. Il nous a semblé utile de voir quelles étaient les dégradations sur les performances du transistor qui pouvaient en résulter. Nous avons considéré deux types de configuration pour le transistor, le premier est une utilisation conventionnelle de celui-ci et le second consiste à connecter une self de 0,8 nH sur l'extrémité de l'électrode de grille.

##### **III-3-2-1-a Transistor de 150 $\mu\text{m}$ (série 210)**

Pour mettre en évidence l'influence de ce paramètre, nous avons considéré

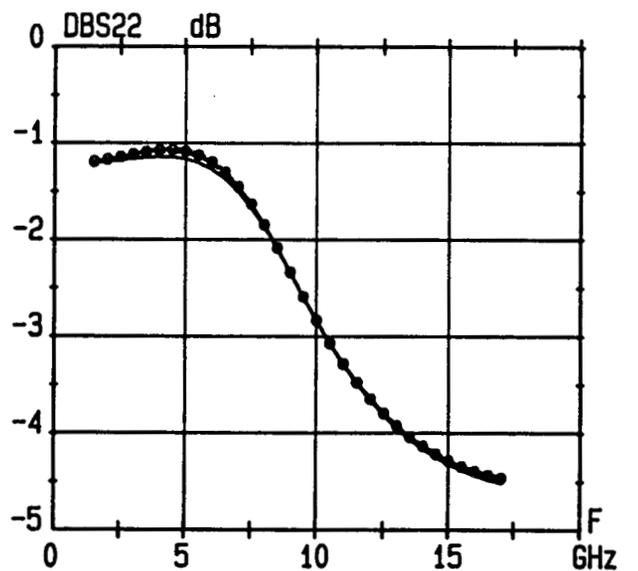
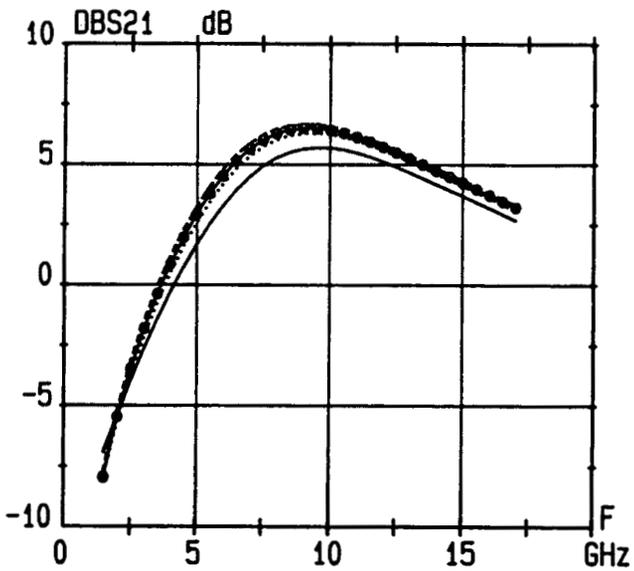
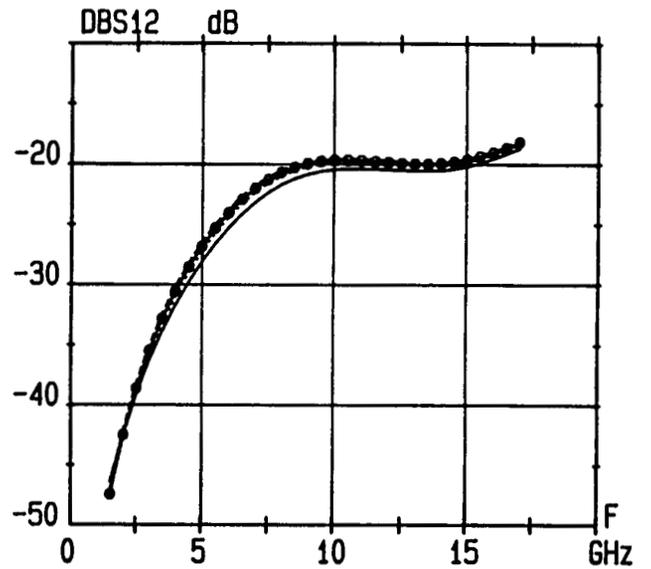
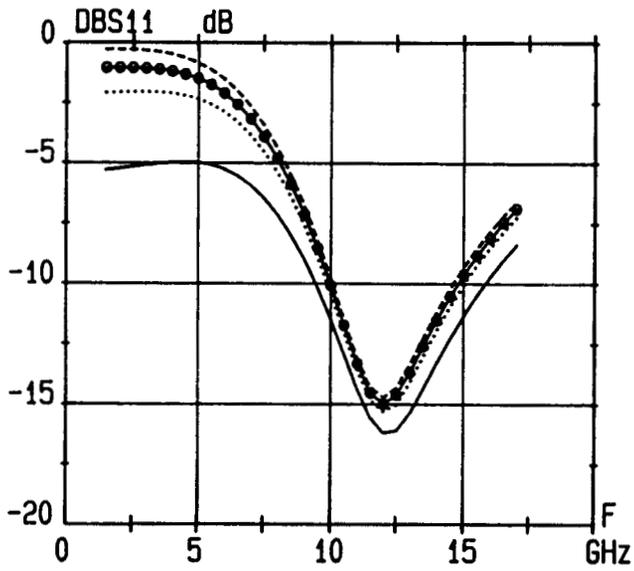


Figure III-43 : Influence de la r sistance de grille sur les param tres S d'un transistor de 150  $\mu m$    drain de type surface ayant une self sur la grille  
----- 5  $\Omega/mm$     -o-o-o- 20  $\Omega/mm$     ..... 40  $\Omega/mm$     — 100  $\Omega/mm$

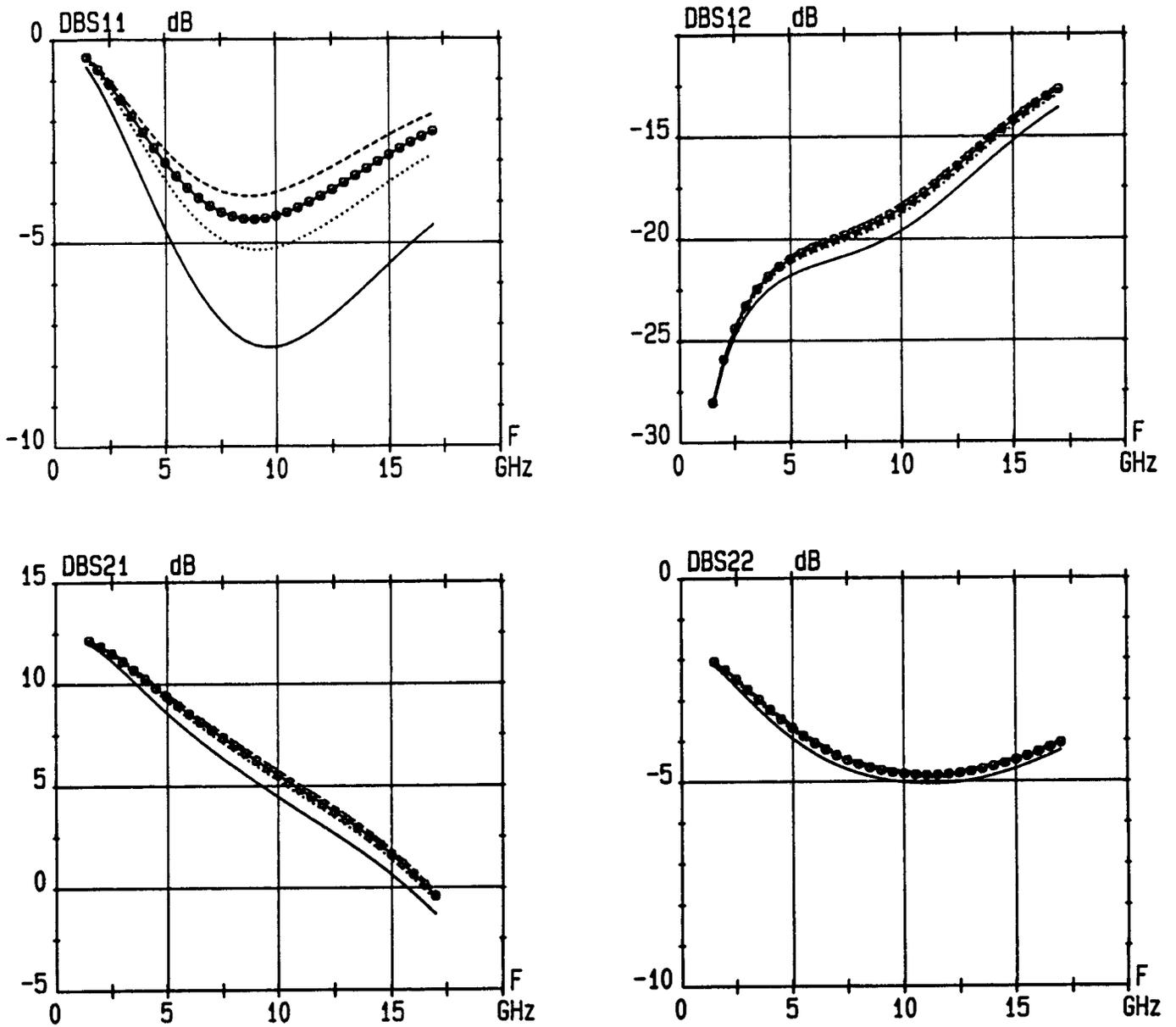


Figure III-44 : Influence de la résistance de grille sur les paramètres S d'un transistor de 300  $\mu\text{m}$  à drain de type surface en configuration classique

----- 5  $\Omega/\text{mm}$     -o-o-o- 20  $\Omega/\text{mm}$     ..... 40  $\Omega/\text{mm}$     ——— 100  $\Omega/\text{mm}$

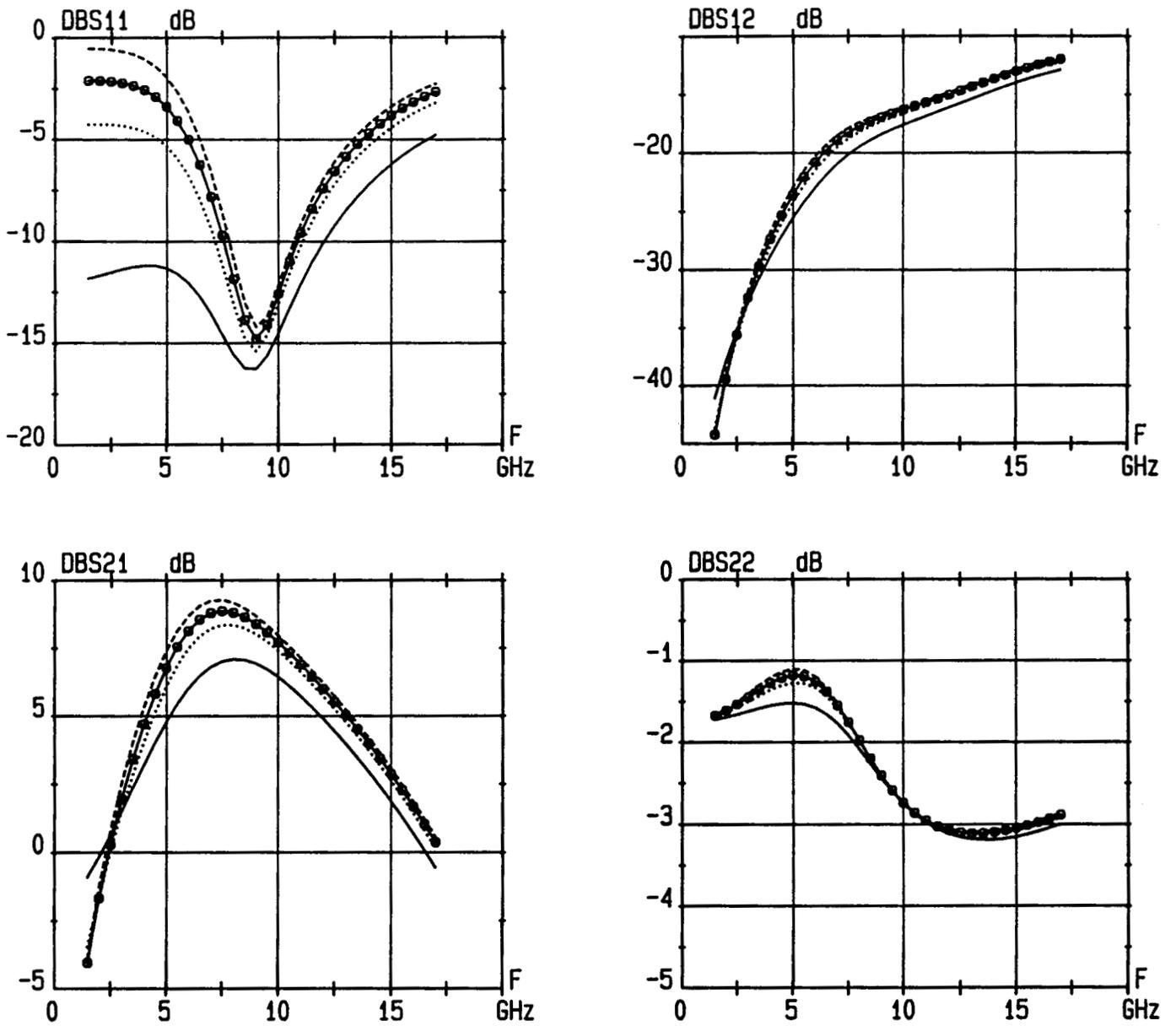


Figure III-45 : Influence de la résistance de grille sur les paramètres S d'un transistor de  $300 \mu\text{m}$  à drain de type surface ayant une self sur la grille  
-----  $5 \Omega/\text{mm}$     -o-o-o-  $20 \Omega/\text{mm}$     .....  $40 \Omega/\text{mm}$     —  $100 \Omega/\text{mm}$

quatre valeurs de la résistance de grille (5,20,40 et 100  $\Omega/\text{mm}$ ). Les deux premières valeurs correspondent à des résistances que l'on pourrait obtenir en réalisant des grilles en champignon, le troisième à la valeur de la résistance obtenue pour les structures de la série 167 et enfin la dernière correspond à une valeur plus proche de celle des transistors de la série 210. A titre d'exemple, nous montrons sur la figure (III-42) les résultats obtenus dans le cas d'une utilisation classique du transistor. Nous constatons que seule la valeur la plus élevée de la résistance de grille influe sur le comportement du transistor. Cela se traduit par une dégradation du S21 et une amélioration du S11. Toutefois, le fait d'utiliser un transistor de faible développement de grille dans une telle configuration, ne permet pas de mettre en évidence de façon significative l'influence de ce paramètre. Nous avons ensuite établi les paramètres dans le cas où une self est connectée sur l'extrémité de l'électrode de grille. Les résultats obtenus sont présentés sur la figure (III-43). Dans cette configuration, il apparaît que la résistance de grille influe surtout sur le S11 et dans une moindre mesure sur le coefficient de transmission. Le pic observé sur le S11 peut être attribué comme il a été déjà signalé à un phénomène de résonance dû à la présence de la self. Nous verrons, dans la partie consacrée à l'influence des impédances terminales, qu'en jouant sur la valeur de la self, on peut décaler le pic dans la bande de fréquence.

#### III-3-2-1-b Transistor de 300 $\mu\text{m}$ (série 210)

Nous avons réalisé une étude similaire pour les structures de 300  $\mu\text{m}$  de développement. La figure (III-44) présente l'évolution des paramètres dans le cas d'une utilisation classique du transistor. Nous constatons qu'un développement de grille plus grand permet de mieux mettre en évidence l'influence de la résistance de grille. Ainsi, une augmentation de celle-ci se traduit par une amélioration du S11 et une dégradation du S21 et par aucune incidence sur les deux autres paramètres. La figure (III-45) montre les paramètres S simulés dans le cas où une self est connectée sur l'extrémité de l'électrode de grille. Ce type de configuration permet encore mieux de mettre en évidence, l'influence de la résistance de grille. Ainsi, une augmentation de sa valeur se traduit par une amélioration en basse fréquence du coefficient de réflexion en entrée et par une dégradation sensible du S21. Nous observons toujours un pic sur le S11 lié à la résonance du circuit de grille.

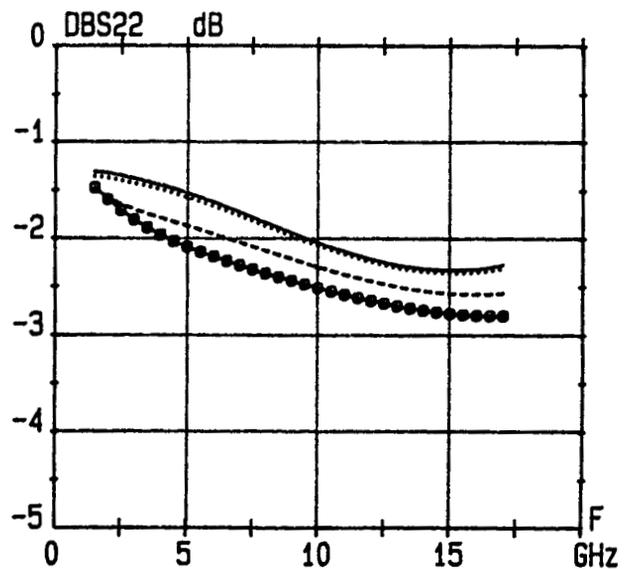
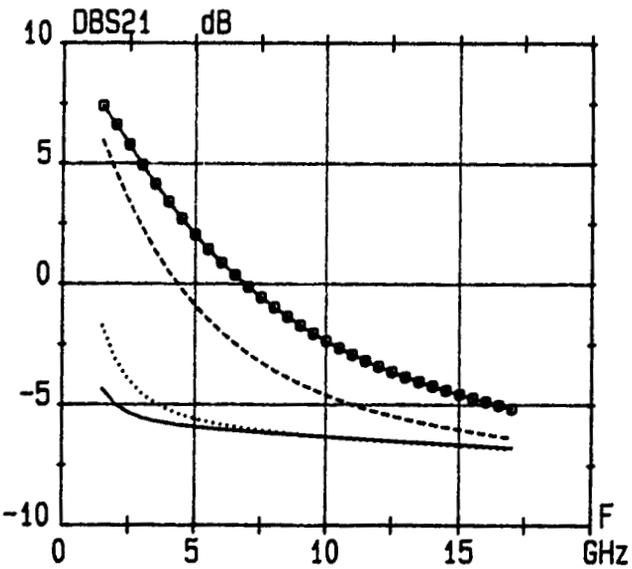
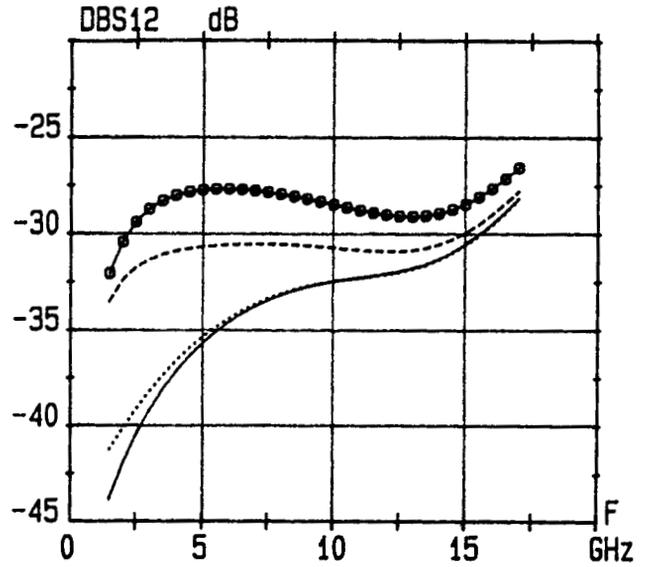
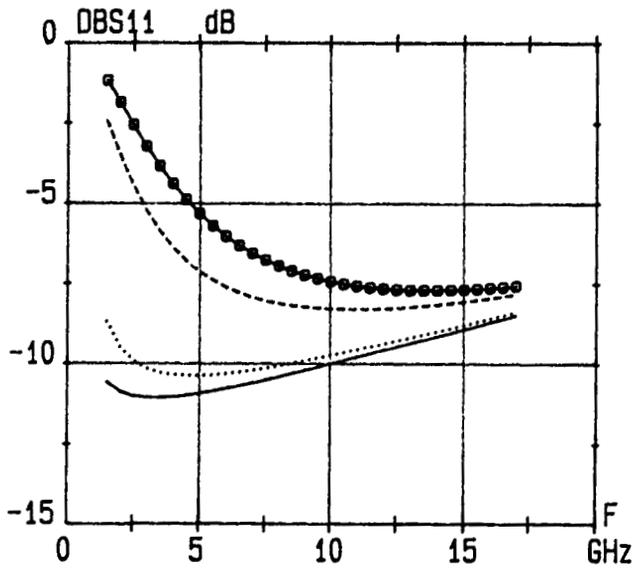


Figure III-46 : Influence d'impédances capacitives connectées sur la grille d'un transistor de  $150 \mu\text{m}$  à drain de type surface  
 -o-o-o- ZLG= 0.5 pF    - - - - ZLG= 1 pF    ..... ZLG= 5 pF    ——— ZLG= 10 pF

Ces différents résultats nous ont permis de mettre en évidence de façon assez significative, l'influence de la résistance de grille sur le comportement du transistor. Ainsi, nous avons remarqué que lorsqu'une self est connectée sur l'extrémité de la grille, la désadaptation de celle-ci peut être relativement limitée grâce à l'absorption d'énergie procurée par la résistance de grille. Dans le but d'une optimisation de ces structures, il peut être utile de prendre en compte ce paramètre et d'essayer d'avoir une résistance de grille permettant de présenter simultanément l'adaptation en entrée du transistor et un coefficient de transmission intéressant.

### **III-3-2-2 Influence des impédances terminales**

Les résultats expérimentaux concernant ces structures ont montré que la connexion d'une self sur l'extrémité de la grille contribuait à améliorer de façon significative les performances du transistor à haute fréquence par rapport à une utilisation classique. De même, nous avons vu que des impédances capacitives ne présentent à priori aucun intérêt particulier. Ainsi, nous allons dans cette partie, déterminer le type et la valeur de l'impédance terminale qu'il faut connecter sur l'extrémité de la grille. Nous étudierons successivement les structures de 150 et 300  $\mu\text{m}$  de développement.

#### **III-3-2-2-a Transistor de 150 $\mu\text{m}$ (série 210)**

La figure (III-46) représente l'évolution des paramètres S pour différentes valeurs d'impédances capacitives connectées sur l'extrémité de la grille. Nous constatons que pour des impédances capacitives de faibles valeurs (0,5 et 1 pF), le comportement du transistor est assez similaire à celui observé dans le cas d'une utilisation conventionnelle de ce dernier avec une dégradation plus rapide du S21. Nous tenons à préciser que, pour ce type d'impédance, nous n'avons pas tenu compte de la self reliant l'extrémité de la grille au chip capacitif, ce qui explique les différences observées entre les résultats obtenus ici et ceux présentés au III-2-4-2. Une augmentation de la valeur de la capacité se traduit par une dégradation notable du coefficient de transmission S21 et une amélioration du coefficient de réflexion en entrée. Par conséquent, au vue de

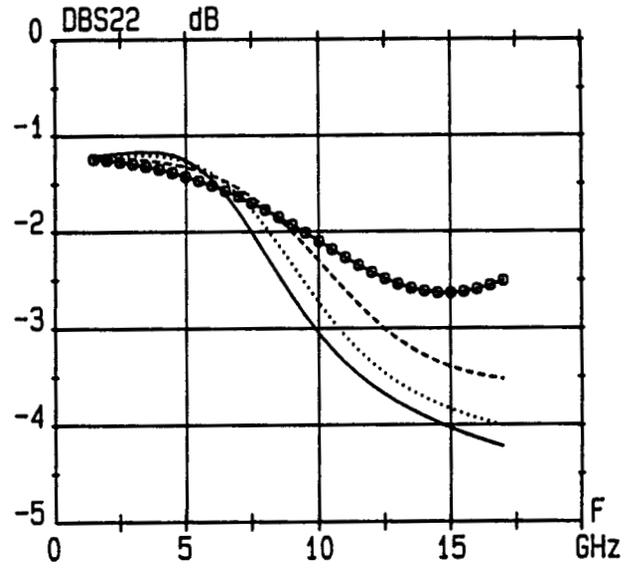
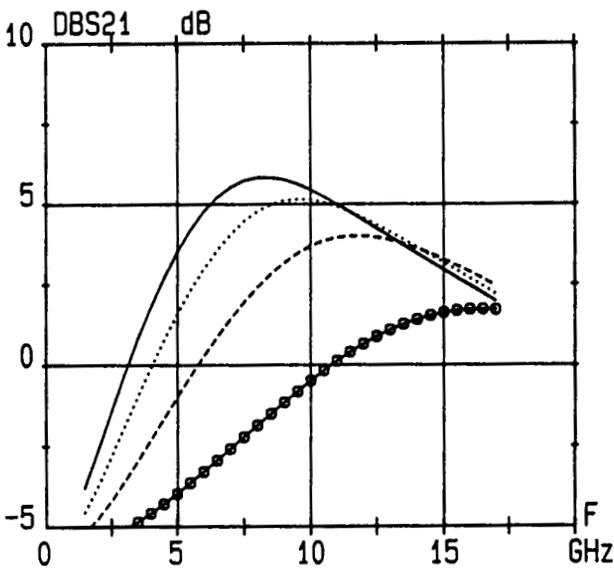
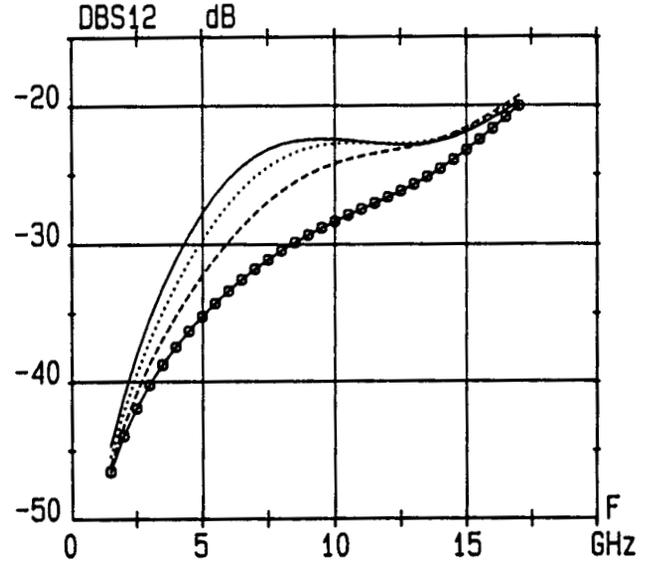
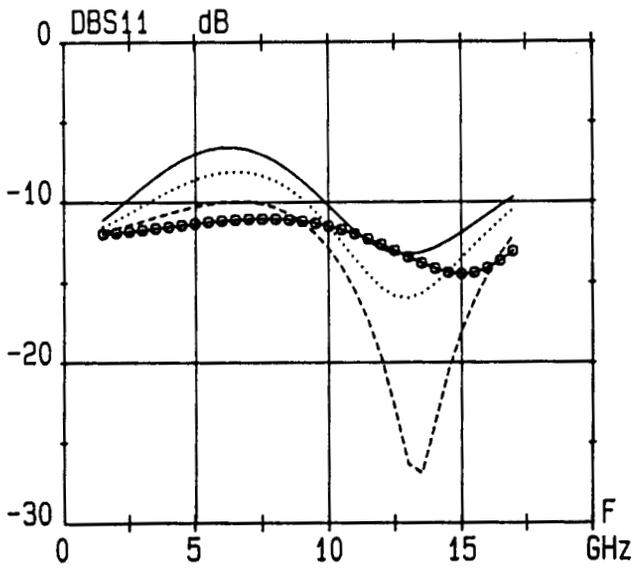


Figure III-47 : Influence d'impédances selfiques connectées sur la grille d'un transistor de  $150 \mu\text{m}$  à drain de type surface

-o-o-o-  $ZLG = 0.3 \text{ nH}$     - - - -  $ZLG = 0.6 \text{ nH}$     .....  $ZLG = 0.9 \text{ nH}$     ———  $ZLG = 1.2 \text{ nH}$

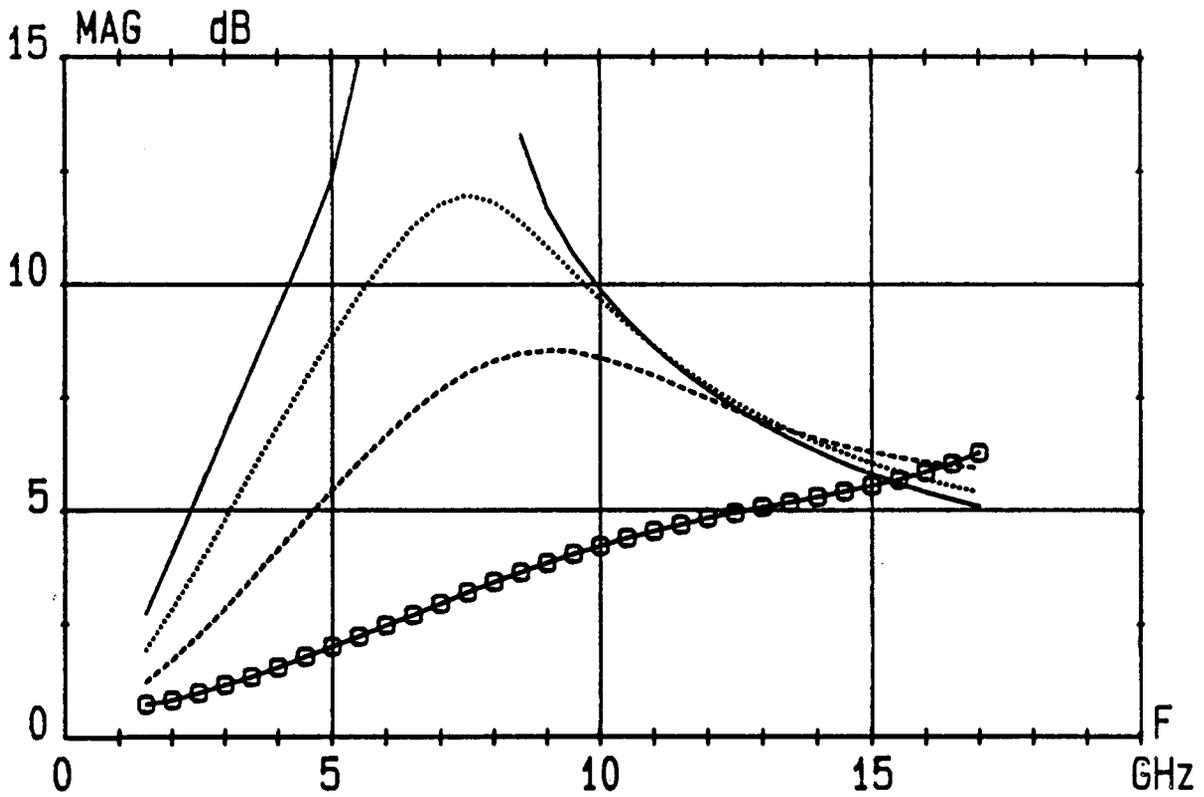


Figure III-48 : Evolution du MAG pour différentes valeurs de selfs connectées sur la grille d'un transistor de  $150 \mu\text{m}$  à drain de type surface  
-o-o-o- ZLG=0.3 nH    -.-.- ZLG=0.6 nH    ..... ZLG= 0.9 nH    — ZLG=1.2 nH

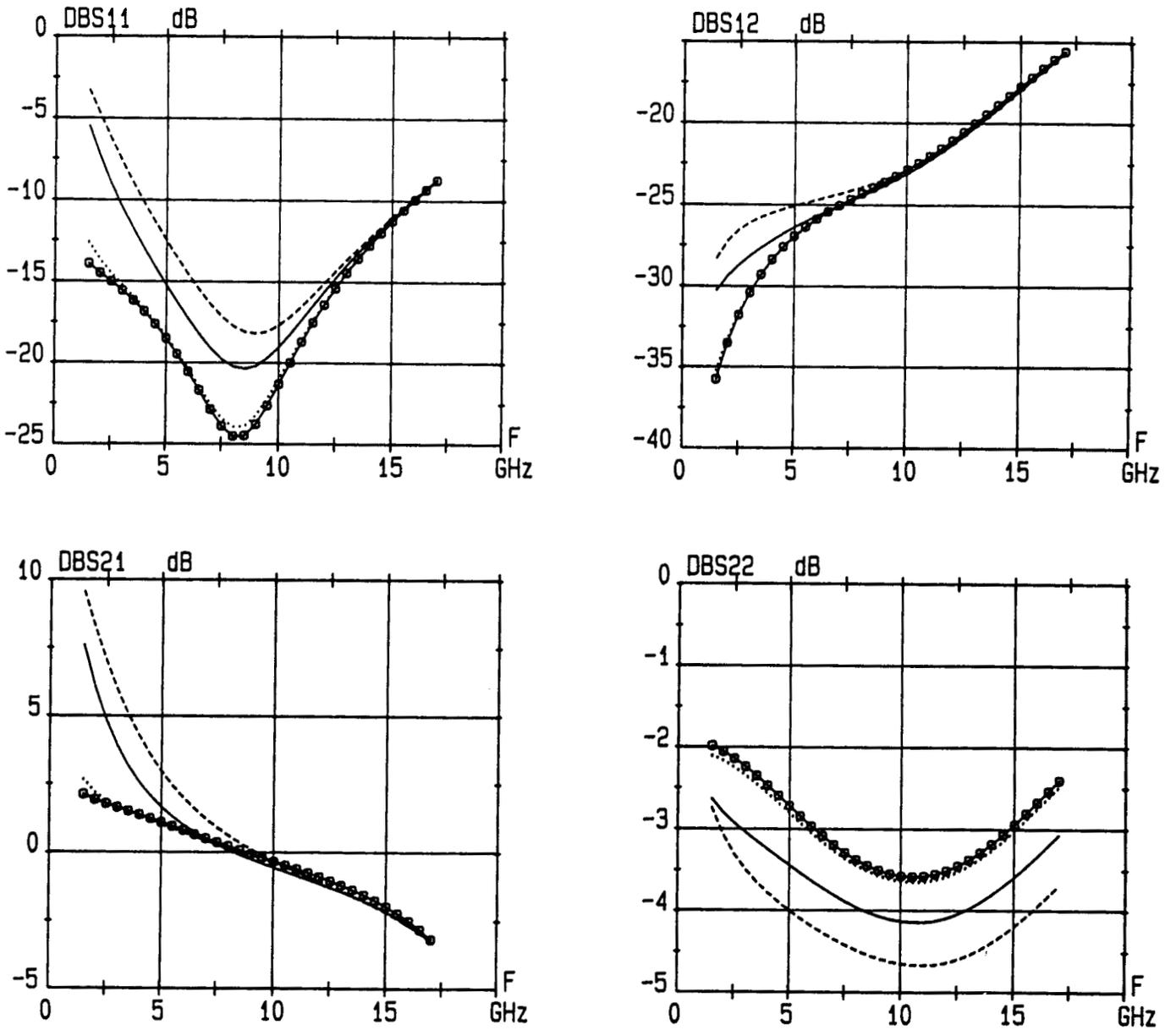


Figure III-49 : Influence d'impédances capacitives connectées sur la grille d'un transistor de 300  $\mu\text{m}$  à drain de type surface  
----- ZLG= 0.5 pF    ——— ZLG= 1 pF    ..... ZLG= 5 pF    -o-o-o- ZLG= 10 pF

ces résultats, nous pouvons affirmer que la connexion d'une capacité sur l'électrode de grille ne contribue pas à améliorer les performances du transistor.

La figure (III-47) montre les paramètres S obtenus dans le cas d'impédances selfiques. Nous retrouvons des résultats similaires à ceux observés expérimentalement. Nous constatons qu'une augmentation de la self se traduit par une dégradation du S11 et par des améliorations notables pour le S21 et faible pour le S22. Lorsque la valeur de la self croît, le phénomène de résonance en entrée est de moins en moins marqué. Par conséquent, le choix de la valeur de la self connectée sur l'extrémité de l'électrode de grille joue un rôle essentiel sur l'adaptation en entrée. Nous présentons sur la figure (III-48) le gain obtenu pour les différentes valeurs de selfs avec, pour comparaison, les résultats obtenus dans le cas d'une utilisation classique du transistor. L'évolution du gain est similaire, pour ce type d'utilisation du transistor, à celle du S21. Ainsi, pour avoir un bon compromis gain et adaptation large bande, nous constatons qu'une self de 0,7 nH semble optimale, valeur que nous avons d'ailleurs essayée expérimentalement. Toutefois, pour des selfs de valeurs plus élevées, le gain du transistor est plus grand en basse fréquence avec un comportement de type passe-bande et supérieur à celui d'un transistor classique à partir de fréquences de plus en plus basses (par exemple, 10 GHz pour une self de 0,6 nH et 7,5 GHz pour une self de 0,9 nH). Par conséquent, le choix de la valeur de la self est conditionné par la bande de fréquence et le type d'utilisation souhaités.

#### **III-3-2-2-b Transistor de 300 $\mu\text{m}$ (série 210)**

Nous avons effectué, pour ce type de structure une étude similaire à celle décrite précédemment et nous en arrivons aux mêmes conclusions. Ainsi les paramètres S représentés sur la figure (III-49) correspondant à différentes impédances capacitives connectées sur l'extrémité de la grille, montrent que ce type d'impédance terminale ne présente aucun intérêt. En effet, nous constatons une dégradation des performances du transistor ce qui n'est pas le but recherché. Par contre, en ce qui concerne les impédances selfiques (figure (III-50)), nous retrouvons des résultats comparables à ceux obtenus expérimentalement et il apparaît clairement qu'une inductance de l'ordre de 0,8 nH permet d'accroître de façon significative les performances du transistor. Nous

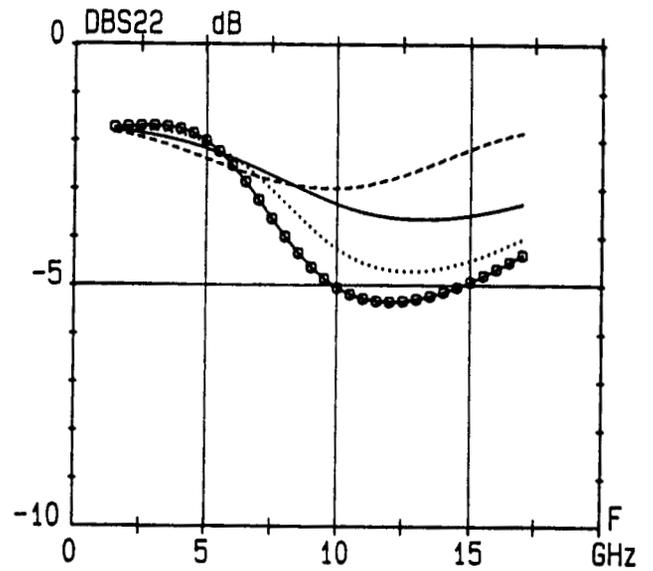
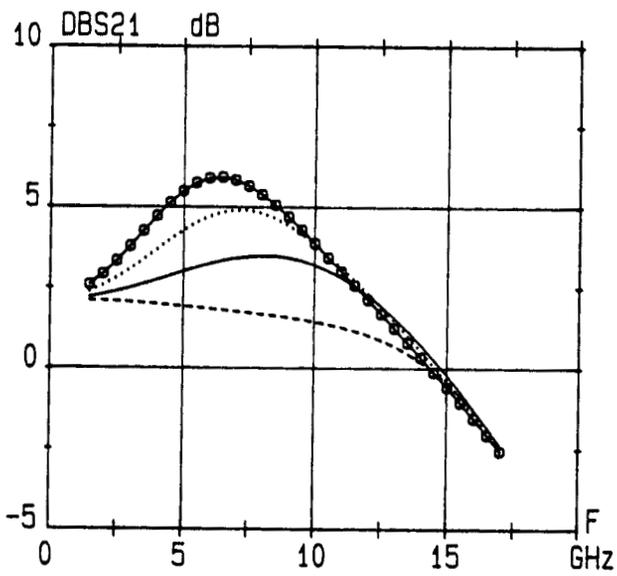
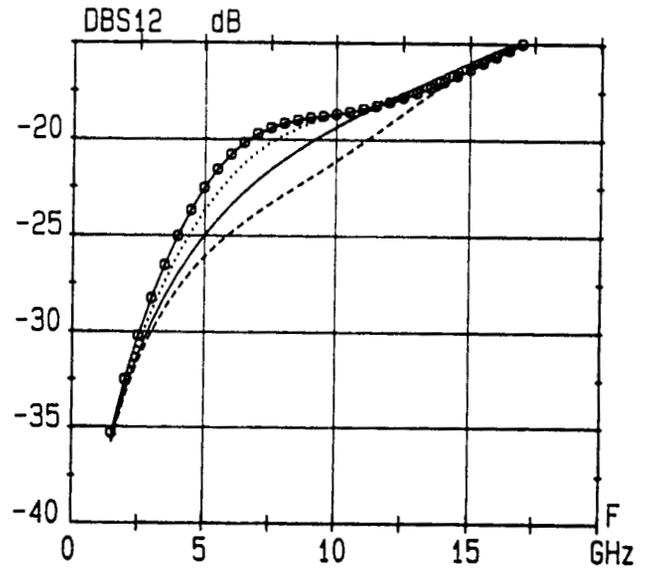
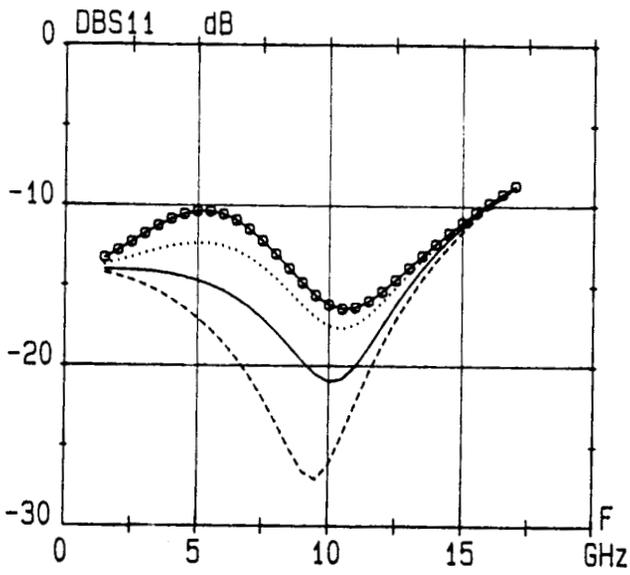


Figure III-50 : Influence d'impédances selfiques connectées sur la grille d'un transistor de  $300 \mu\text{m}$  à drain de type surface

-----  $ZLG = 0.3 \text{ nH}$  —  $ZLG = 0.6 \text{ nH}$  .....  $ZLG = 0.9 \text{ nH}$  -o-o-o-  $ZLG = 1.2 \text{ nH}$

présentons à ce titre les courbes de gains correspondants sur la figure (III-51).

### **III-3-3 Conclusion de l'étude paramétrique des structures a drain de type surface**

De ces résultats de simulation, plusieurs remarques se dégagent. Premièrement, les résultats obtenus en simulation confirment pleinement les résultats expérimentaux et le choix de la modélisation. Deuxièmement, nous avons constaté qu'une impédance capacitive ne permet pas d'améliorer les performances du transistor. Enfin, seules les impédances selfiques présentent de l'intérêt. Elles permettent de modifier de façon considérable le comportement du transistor. Ainsi, une bonne modélisation du tec utilisé de façon classique permettra ensuite de déterminer la valeur de la self qu'il faut connecter sur l'extrémité de l'électrode de grille pour obtenir les performances les plus intéressantes possibles.

Nous pouvons après cette étude paramétrique complète sur les différents transistors que nous avons réalisés, passer à la partie consacrée aux mesures de puissance.

## **III-4 Etude du comportement en amplification de puissance des transistors monogrilles**

### **III-4-1 Introduction**

Cette étude a pour objectif de déterminer les performances potentielles en amplification de puissance des différents transistors monogrilles réalisés. Ainsi, nous pourrions voir si l'amélioration des performances d'un transistor due à la connexion d'une impédance terminale sur les électrodes de grille ou de drain, observée en régime petit signal, se retrouve dans le cas d'un fonctionnement en puissance. Bien que les transistors réalisés ne soient pas spécialement conçus pour ce type d'utilisation, ils nous permettront cependant de tirer des indications concernant l'influence d'impédances terminales lors d'un fonctionnement en amplification de puissance du transistor. Les

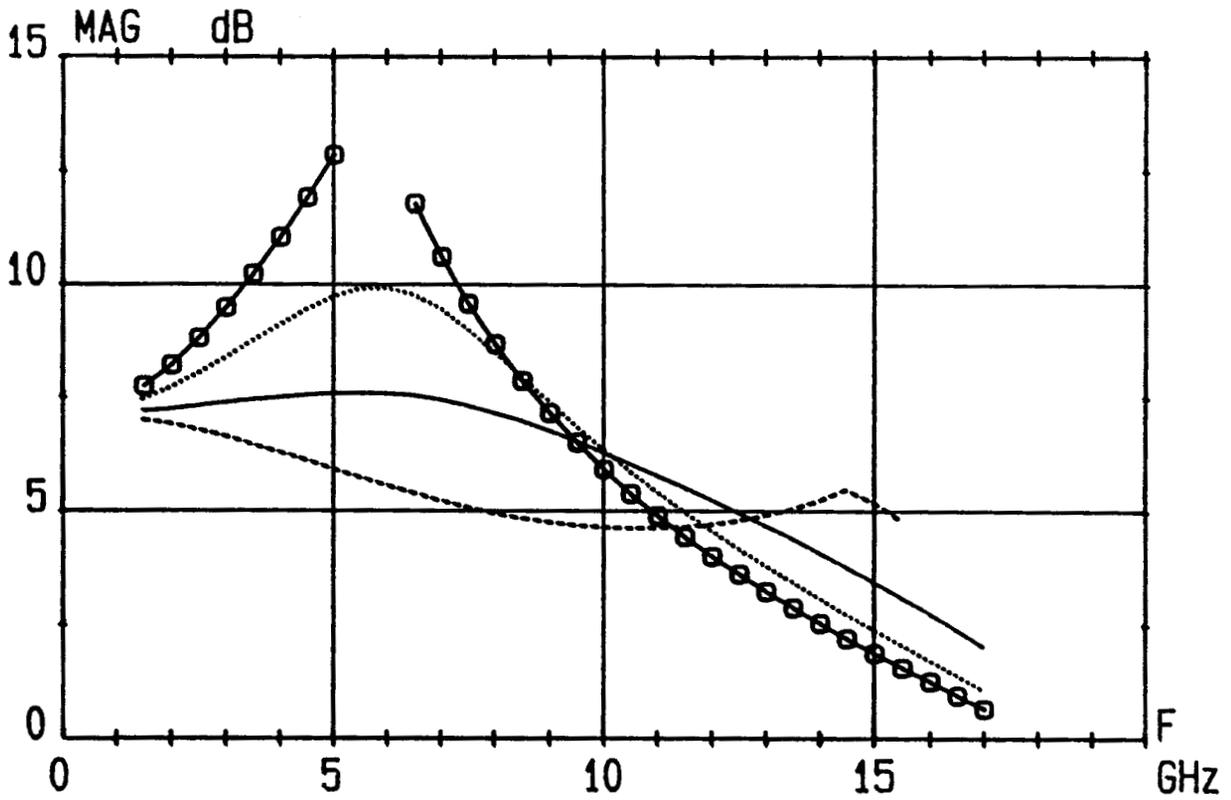


Figure III-51 : Evolution du MAG pour différentes valeurs de selfs connectées sur la grille d'un transistor de  $300 \mu\text{m}$  à drain de type surface  
----- ZLG = 0.3 nH    — ZLG = 0.6 nH    ..... ZLG = 0.9 nH    -o-o-o- ZLG = 1.2 nH

différentes mesures ont été réalisées sur un banc de puissance classique décrit dans le paragraphe suivant.

Les principales structures étudiées sont les transistors de 900  $\mu\text{m}$  de développement de la série 167 ainsi que ceux de la série 210, de 150 et 300  $\mu\text{m}$  de développement qui nous permettront de réaliser des mesures à des fréquences plus élevées.

### III-4-2 Description du banc de mesure

Le schéma de principe du banc de puissance utilisé lors de ces différentes mesures est représenté sur la figure (III-52). La grille et le drain sont polarisés en continu au moyen de téles de polarisation et un atténuateur variable permet de régler le signal hyperfréquence d'entrée. Les wattmètres W1, W2 et W3 permettent de relever respectivement les puissances d'entrée incidente et réfléchie et la puissance de sortie. Les courants et tensions de grille et de drain sont relevés à l'aide de milliampèremètres et de voltmètres continus. A la sortie du montage, nous pouvons inclure un analyseur de spectre permettant d'examiner la qualité du signal (niveau des harmoniques). L'adaptation à l'entrée et à la sortie du transistor est réalisée à l'aide de deux adaptateurs à deux plongeurs de type Maury. Ce banc permet également dans le cas de transistor de forte puissance de réaliser des mesures en fonctionnement en polarisation impulsionnelle permettant ainsi de s'affranchir de l'échauffement du transistor. Toutefois, dans notre cas, les puissances mises en jeu étant faibles, nous n'avons pas jugé nécessaire d'utiliser le régime impulsionnel. Ce banc de puissance est relativement facile à mettre en oeuvre mais son principal problème d'utilisation réside dans l'erreur commise concernant l'évaluation des pertes des adaptateurs Maury, il faut en effet, connaître pour chaque réglage de l'adaptateur ses paramètres  $[S_{ij}]$  mais nous nous sommes contentés d'une estimation moyenne des pertes présentées par les deux adaptateurs en étant conscients de l'erreur pouvant en résulter.

Après avoir présenté brièvement ce banc de mesure de puissance, nous pouvons passer à la présentation des résultats expérimentaux obtenus pour les différentes structures monogrilles et ce, pour différents types d'utilisation.

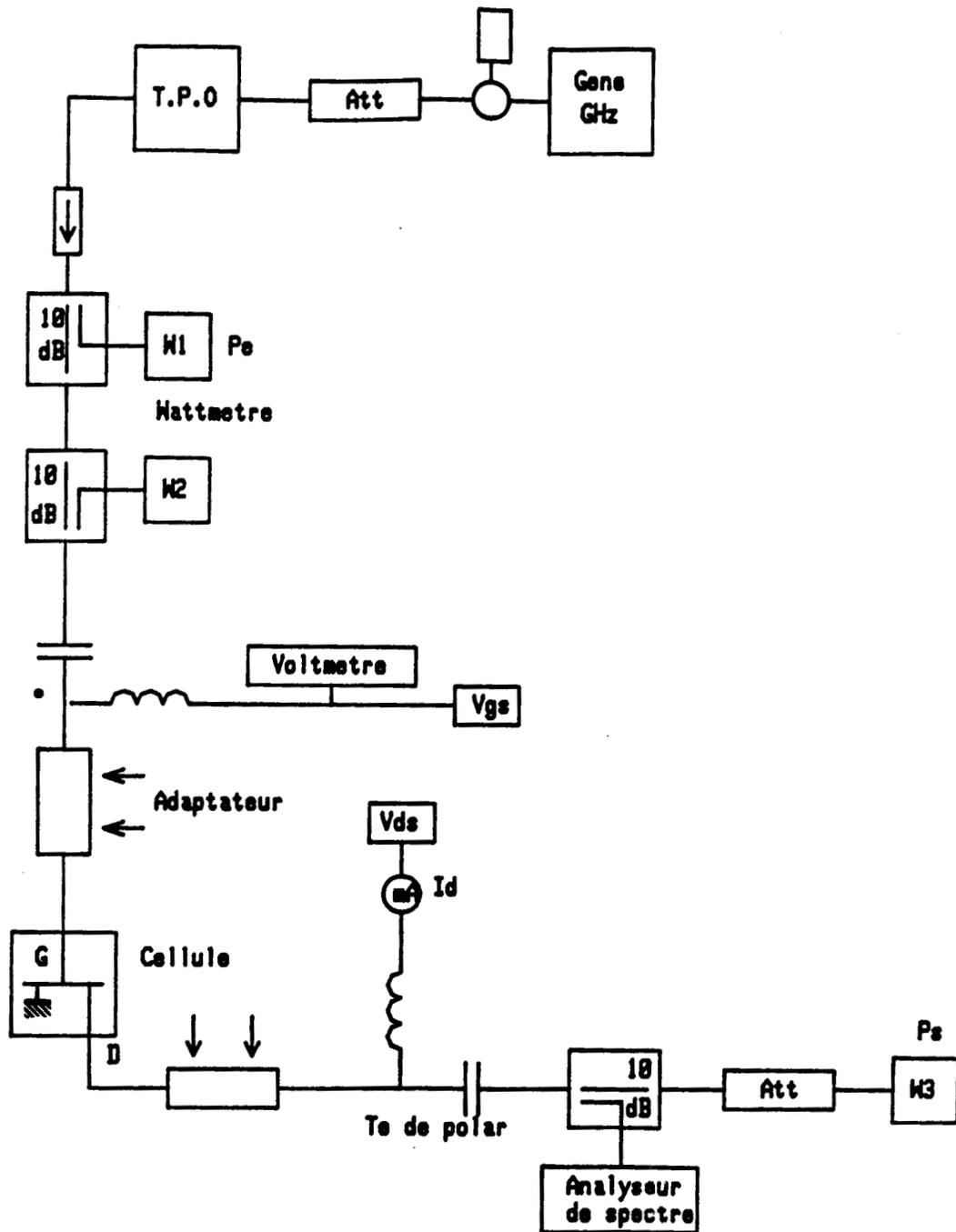


Figure III-52 : Synoptique du banc de puissance

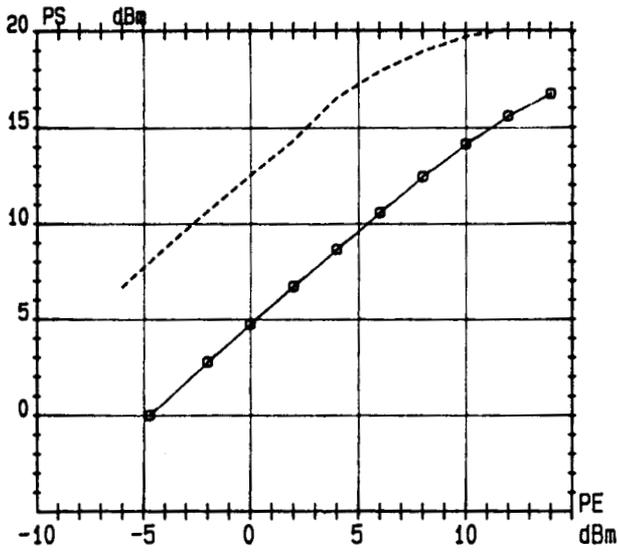
### III-4-3 Transistor monogrigle à drain de type ligne (Série 167)

A partir des résultats obtenus en régime petit signal, dans le cas des transistors de  $900\ \mu\text{m}$  de développement, deux types de configuration ont retenu notre attention: la première est une utilisation classique du transistor à savoir un circuit ouvert pour ZLD et ZLG, la seconde consiste à connecter une impédance selfique sur l'extrémité de la grille et rien sur le drain. Etant donné le grand développement de ces structures, nous n'avons pu effectuer des mesures significatives que dans une bande de fréquence relativement basse (2-7 GHz).

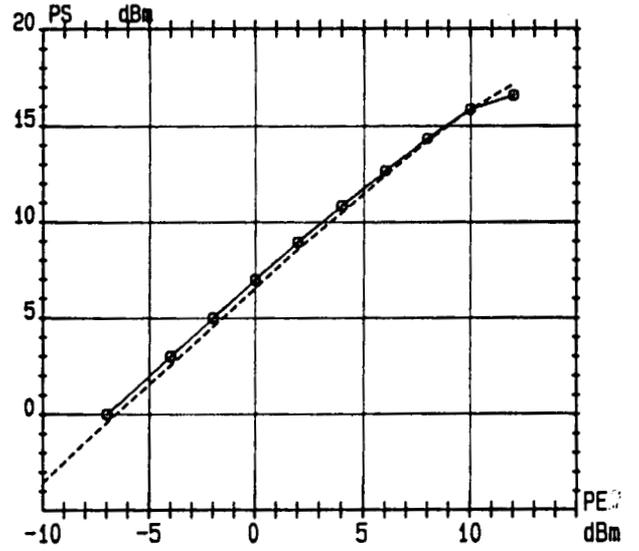
Nous présentons sur les figures (III-53 a,b,c,d) l'évolution de la puissance de sortie maximum en fonction de la puissance d'entrée pour les deux types de configuration précédemment décrits et pour quatre fréquences différentes (2, 4, 5 et 6 GHz). La valeur de la self est estimée à  $0,8\ \text{nH}$ . La grille est polarisée à  $-1\text{V}$  et le drain à  $4\text{V}$  ce qui correspond à un courant continu de drain de  $75\ \text{mA}$ . Les résultats obtenus entraînent les commentaires suivants : nous constatons que pour les deux types de configuration du transistor, les gains obtenus en régime petit signal sont assez proches du MAG déduit des paramètres S présentés antérieurement. Nous remarquons qu'en dessous de  $4\ \text{GHz}$  la puissance de sortie à  $1\ \text{dB}$  de compression du gain est inférieure dans le cas où une self est connectée sur l'extrémité de la grille à celle obtenue dans le cas d'une utilisation classique du transistor.

Par contre, au-delà de cette fréquence, nous constatons que la configuration avec une impédance selfique sur la grille permet d'avoir une puissance de sortie à  $1\ \text{dB}$  de compression du gain quasiment égale à celle mesurée dans le cas du transistor utilisé de manière conventionnelle mais avec un gain nettement supérieur (de l'ordre de  $2\ \text{dB}$ ). Nous retrouvons là un comportement similaire à celui observé en régime petit signal.

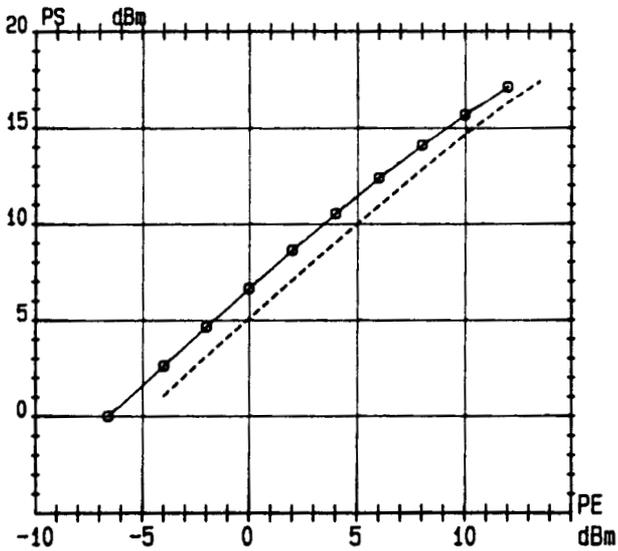
Ces premiers résultats encourageants montrent également l'intérêt de connecter une impédance terminale sur la grille du transistor dans le cas d'une utilisation en puissance de ce dernier. En effet, ce type d'utilisation du transistor à effet



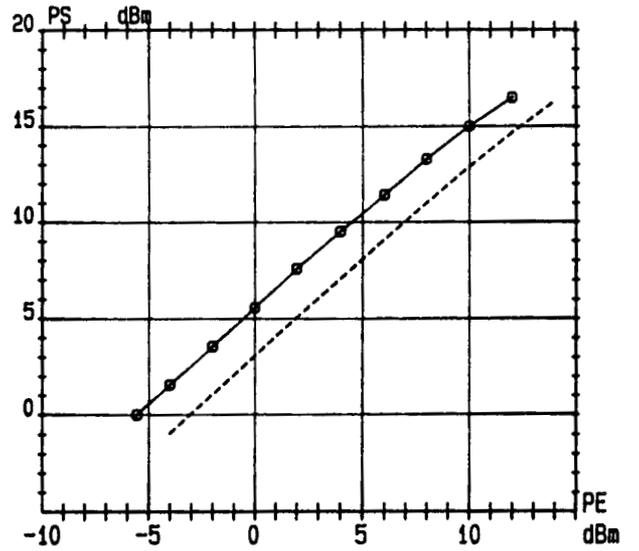
a) f= 2 GHz



b) f=4 GHz



c) f=5 GHz



d) f= 6 GHz

Figure III-53 : Evolution de la puissance de sortie en fonction de la puissance d'entree pour un transistor de  $900 \mu\text{m}$  à drain de type ligne pour deux configurations ( $V_{gs} = -0.8\text{V}$   $V_{ds} = 4\text{V}$ )  
----- ZLD=ZLG= C.O                      -o-o-o- ZLG= 0.8 nH ZLD= C.O

de champ permet d'avoir pour des fréquences supérieures à 4 GHz une puissance de sortie à 1dB de compression du gain tout au moins égale à celle d'un transistor utilisé de manière conventionnelle mais avec un gain supérieur.

#### **III-4-4 Transistors monogrilles à drain de type surface (série 210)**

Concernant les transistors monogrilles de la série 210, nous nous sommes intéressés aux transistors de 150 et 300  $\mu\text{m}$  de largeur de grille et plus particulièrement à ceux de 300  $\mu\text{m}$ . En effet, comme nous l'avons vu dans la partie précédente, c'est ce type de structure qui présente les performances les plus intéressantes. Nous présentons d'abord les résultats obtenus pour un transistor de 150  $\mu\text{m}$  ayant une self connectée sur l'extrémité de sa grille et ensuite nous effectuerons une comparaison entre les résultats obtenus pour un transistor de 300  $\mu\text{m}$  dans le cas où l'impédance terminale est une self et dans le cas où il s'agit d'un circuit ouvert.

##### **III-4-4-1 Transistor de 150 $\mu\text{m}$ (série 210)**

Nous avons vu dans la partie consacrée à la mesure des paramètres S que ces transistors présentent en petit signal du gain jusqu'à environ 18 GHz lorsqu'une self est connectée sur l'extrémité de la grille. Toutefois, en régime puissance, nous n'avons pu effectuer des mesures que jusqu'à 15 GHz, car au-delà de cette fréquence, nous avons rencontré des difficultés concernant la détermination des pertes des adaptateurs Maury et de la cellule de mesure de type BMH60 ce qui risquait de fausser les mesures. Nous avons réalisé des mesures de puissance à gain maximum et à puissance de sortie maximum et ce, pour deux valeurs de la tension drain-source.

##### **III-4-4-1-1 Mesures à gain maximum**

Nous présentons sur la figure (III-54) la puissance de sortie  $P_s$  en fonction de la puissance d'entrée  $P_e$  à gain maximum d'un transistor 210T101 ayant une self connectée sur l'extrémité de sa grille, pour différentes fréquences (9, 12 et 15 GHz). La polarisation de grille est de -0,5V et celle de drain de 4V ce qui correspond au maximum de transconductance. Dans ces conditions de polarisation, le courant continu

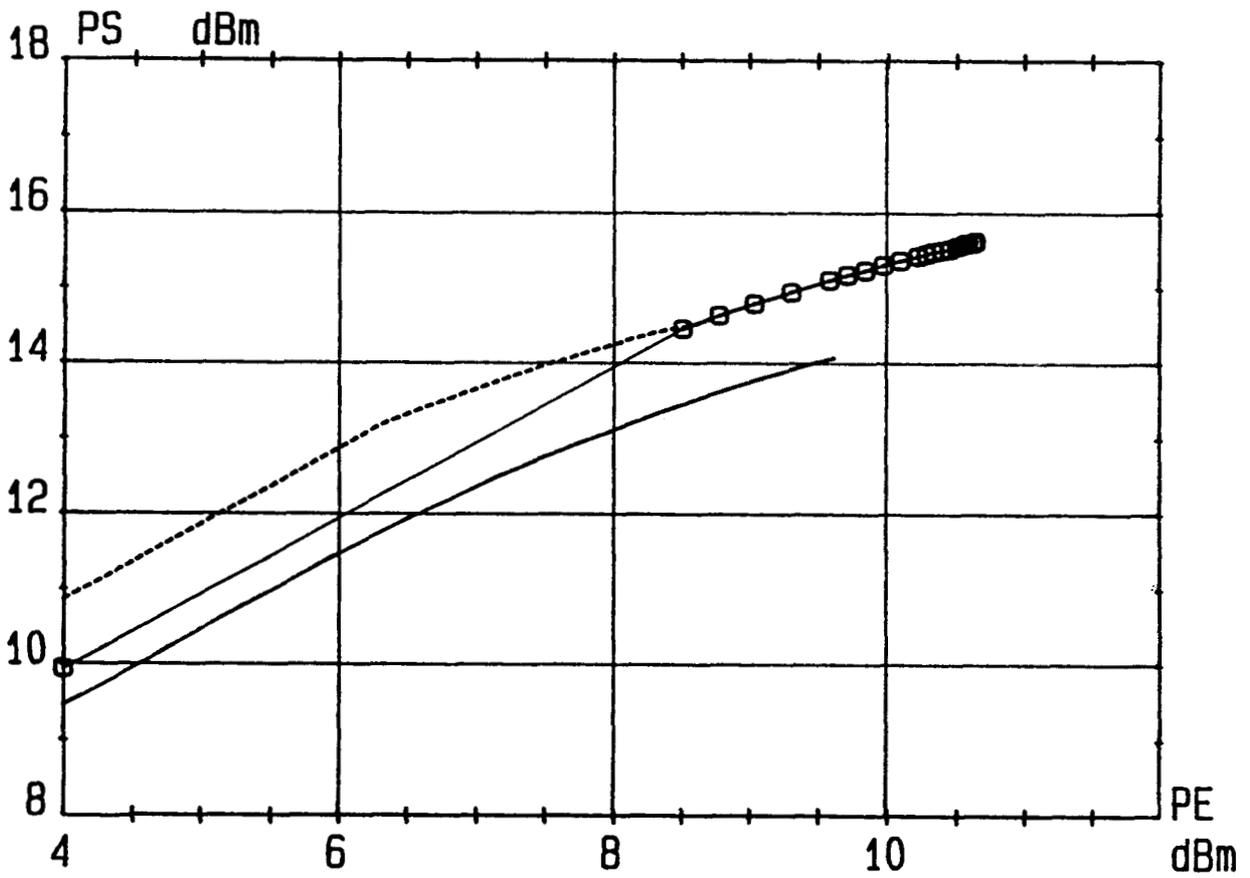
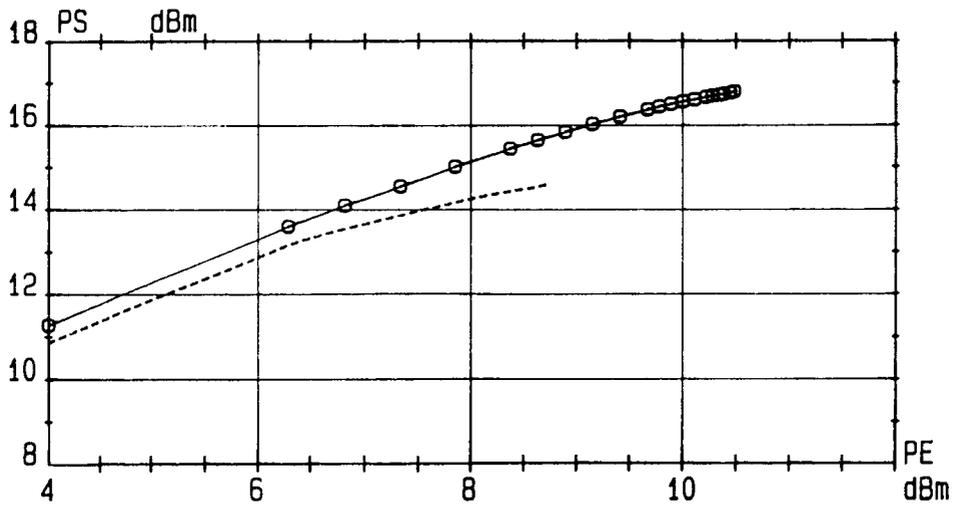
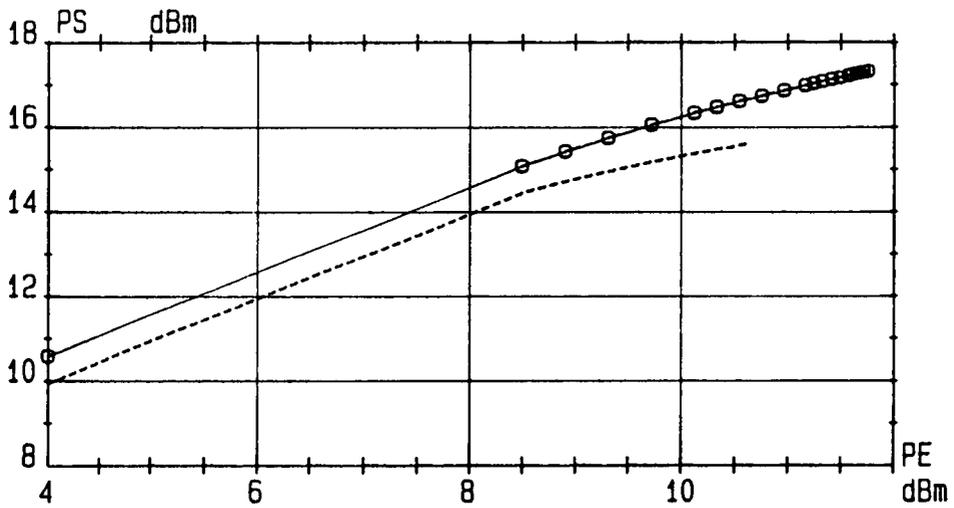


Figure III-54 : Evolution de la puissance de sortie à gain maximum en fonction de la puissance d'entrée pour un transistor de  $150 \mu\text{m}$  à drain de type surface ayant une self de  $0.8 \text{ nH}$  connectée sur la grille ( $V_{gs} = -0.5\text{V}$   $V_{ds} = 4\text{V}$ )

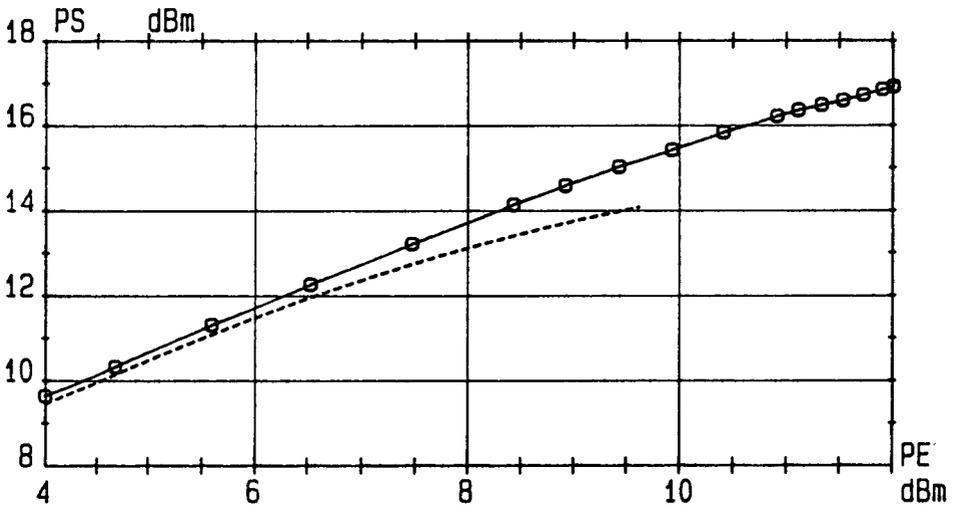
----- f= 9 GHz      -o-o-o- f= 12 GHz      — f= 15 GHz



a) f = 9 GHz



b) f = 12 GHz



c) f = 15 GHz

Figure III-55 : Influence de la tension drain sur la puissance de sortie à gain maximum pour un transistor de  $150 \mu\text{m}$  à drain de type surface ayant une self de  $0.8 \text{ nH}$  connectée la grille ( $V_{gs} = -0.5\text{V}$ )

-----  $V_{ds} = 4\text{V}$

-o-o-o-  $V_{ds} = 6\text{V}$

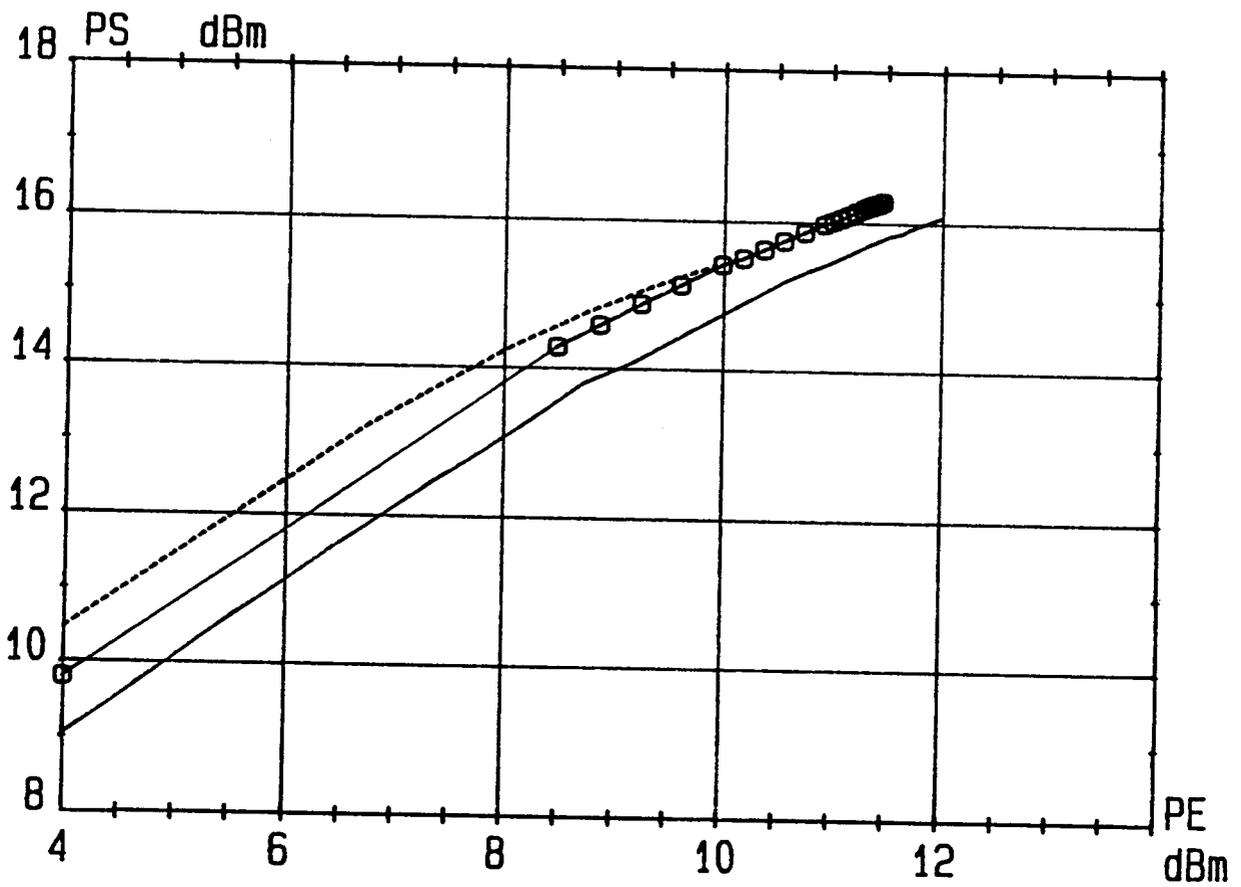


Figure III-56 : Evolution de la puissance de sortie maximum en fonction de la puissance d'entrée pour un transistor de  $150 \mu\text{m}$  à drain de type surface ayant une self de  $0.8 \text{ nH}$  connectée sur la grille ( $V_{gs} = -0.5\text{V}$   $V_{ds} = 4\text{V}$ )  
—  $f = 9 \text{ GHz}$       -o-o-o-  $f = 12 \text{ GHz}$       -----  $f = 15 \text{ GHz}$

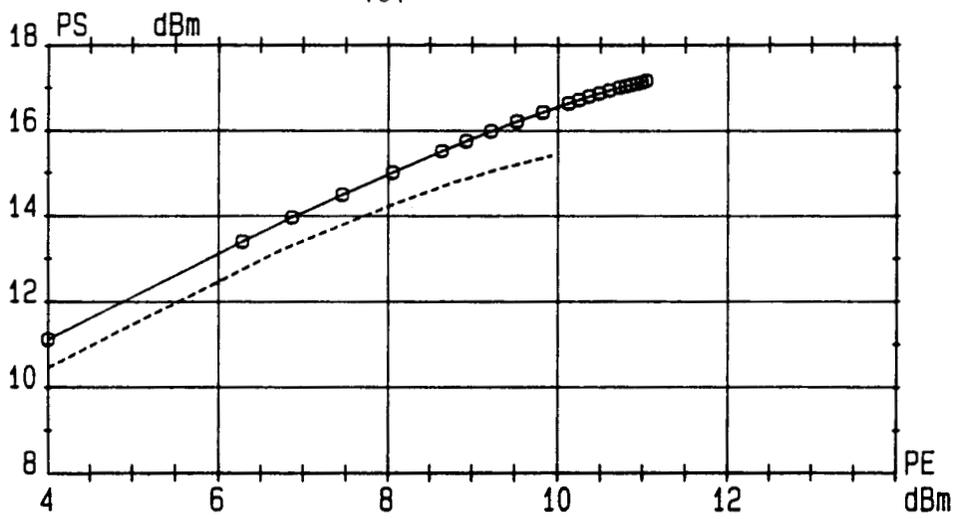
de drain vaut 25 mA. Il faut toutefois noter que la valeur de ce courant varie avec le niveau de la puissance. Nous remarquons premièrement que le transistor présente une bonne linéarité et la valeur du gain mesuré petit signal est inférieure d'environ 0,5 à 1 dB, selon la fréquence, par rapport à la valeur du MAG déduit des paramètres S. Cette différence peut s'expliquer par la difficulté d'adaptation de sortie du transistor. Par contre, nous avons constaté lors de ces différentes mesures, que l'adaptateur d'entrée n'était pas nécessaire car il ne jouait aucun rôle sur la réponse du transistor.

Les figures (III-55 a,b,c) représentent l'évolution de la puissance de sortie en fonction de celle d'entrée à gain maximum pour le même composant mais pour une tension drain de 6V ce qui correspond à un courant continu de drain de 27 mA. A titre de comparaison, on donne sur ces courbes, les résultats obtenus pour le même type de configuration mais pour une tension drain de 4V. Nous constatons qu'une augmentation de la tension drain se traduit par une légère amélioration du gain à 9 et 12 GHz et surtout par une amélioration sensible de la puissance de sortie. Ainsi à 12 GHz, la puissance à 1 dB de compression du gain passe de 36 à 54 mW quand on augmente la tension Vds de 4 à 6 V. Cela illustre donc l'intérêt de travailler à tension drain-source la plus élevée possible. Nous constatons également pour ces deux valeurs de la tension drain-source que la puissance de sortie du transistor est maximum à 12 GHz.

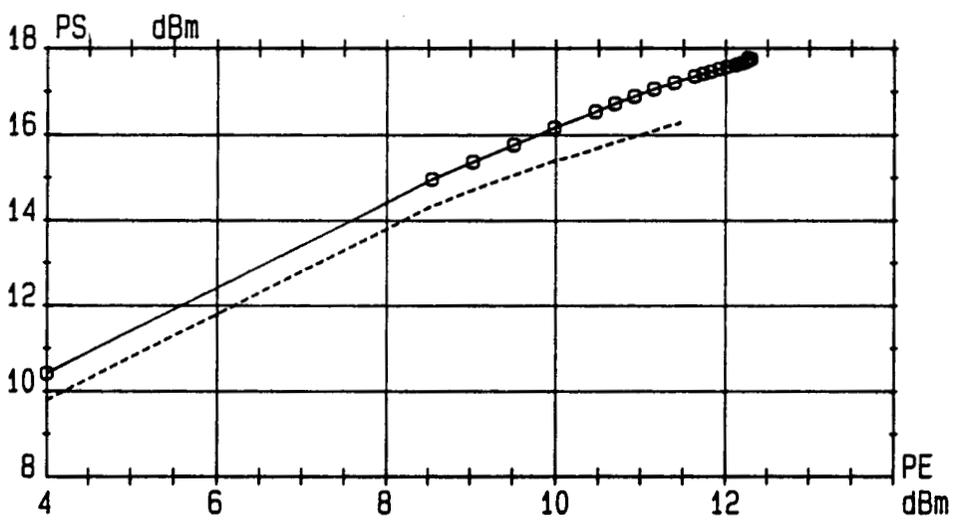
#### III-4-4-1-2 Mesure à puissance de sortie maximum

Nous avons lors de ces mesures adapté le transistor de manière à obtenir le maximum de puissance de sortie. Nous présentons sur les figures (III-56 a,b et c) l'évolution de la puissance de sortie en fonction de la puissance d'entrée pour différentes fréquences (9, 12 et 15 GHz). Le transistor utilisé est le transistor 210T101 ayant une self d'environ 0,8 nH connectée sur l'extrémité de la grille. La polarisation de la grille vaut -0,5V et celle de drain 4V. Nous constatons par rapport aux résultats précédents, une amélioration de la puissance de sortie au dB de compression qui augmente au fur et à mesure que la fréquence augmente vers 12 GHz. On retrouve le même type de conclusion que dans le cas d'une utilisation du transistor à gain maximum.

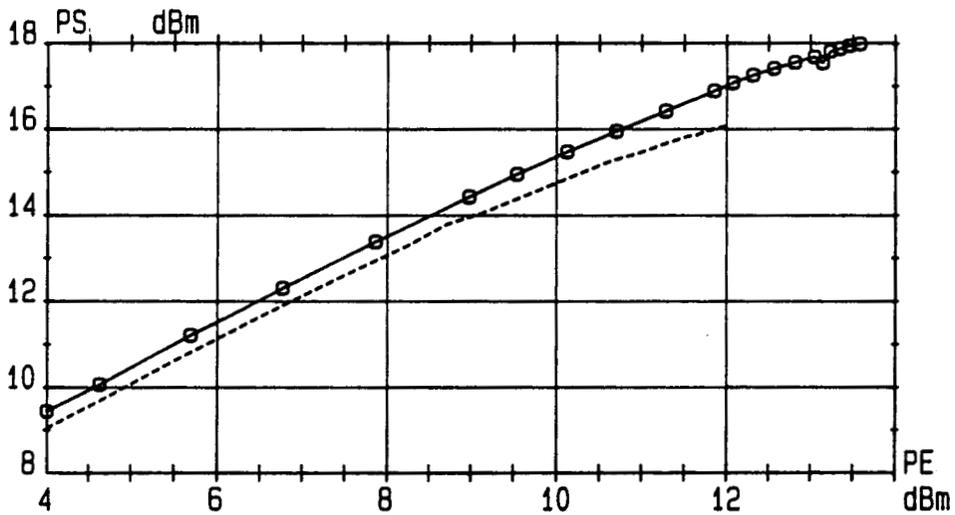
Les figures (III-57a, b, et c) représentent la puissance de sortie en fonction



a)  $f = 9$  GHz



b)  $f = 12$  GHz



c)  $f = 15$  GHz

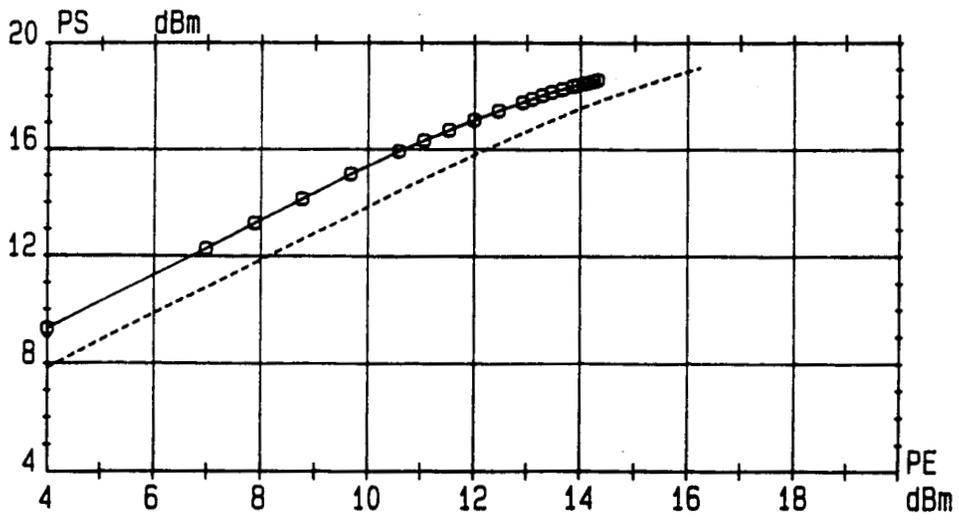
Figure III-57 : Influence de la polarisation de drain sur la puissance de sortie maximum d'un transistor de  $150 \mu\text{m}$  à drain de type surface ayant une self de  $0.8 \text{ nH}$  sur la grille ( $V_{gs} = -0.5V$ )  
-----  $V_{ds} = 4V$                       -o-o-o-  $V_{ds} = 6V$

de la puissance d'entrée pour une tension drain de 6V. Nous remarquons qu'une augmentation de la tension drain-source se traduit par une amélioration sensible des performances du transistor. Ainsi, nous passons d'une puissance de sortie de 42 mW à 12 GHz pour une tension-drain de 4V à une puissance de sortie de 60 mW pour une tension drain de 6V. Ceci illustre encore l'intérêt de travailler à tension drain-source la plus élevée possible. Ces divers résultats obtenus pour un transistor de 150  $\mu\text{m}$  de développement ayant une self connectée sur l'extrémité de la grille montrent que dans ce type de configuration le transistor présente des performances en amplification de puissances intéressantes. En effet, nous avons constaté que, dans ce cas, le transistor présente un maximum de puissance de sortie à la fréquence de 12 GHz.

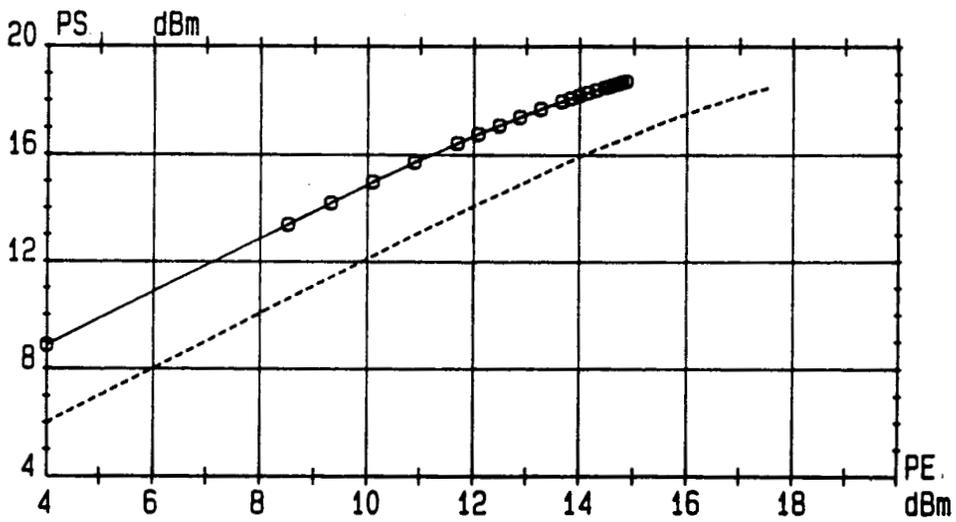
#### III-4-4-2 Transistor de 300 $\mu\text{m}$ (série 210)

Lors de l'étude en régime petit signal des différents transistors réalisés, nous avons constaté que la structure de 300  $\mu\text{m}$  présentait les performances les plus intéressantes lorsqu'une inductance était connectée sur l'extrémité de son électrode de grille. Ainsi, pour ce type de configuration, le transistor présentait un gain plat sur une large bande fréquence et était quasi-adapté à 50  $\Omega$  en entrée. C'est pourquoi, nous avons décidé d'étudier plus en détail ce type de transistor car il possède un développement de grille suffisamment grand pour présenter des performances potentielles en amplification de puissance dans deux configurations d'utilisation possible. La première est celle du transistor classique, la seconde consiste à connecter une impédance selfique sur l'extrémité de la grille. Nous avons comme dans le cas de la structure 150  $\mu\text{m}$ , réalisé les mesures pour trois fréquences de travail (9, 12 et 15 GHz), pour deux tensions drain-source et à puissance de sortie maximum.

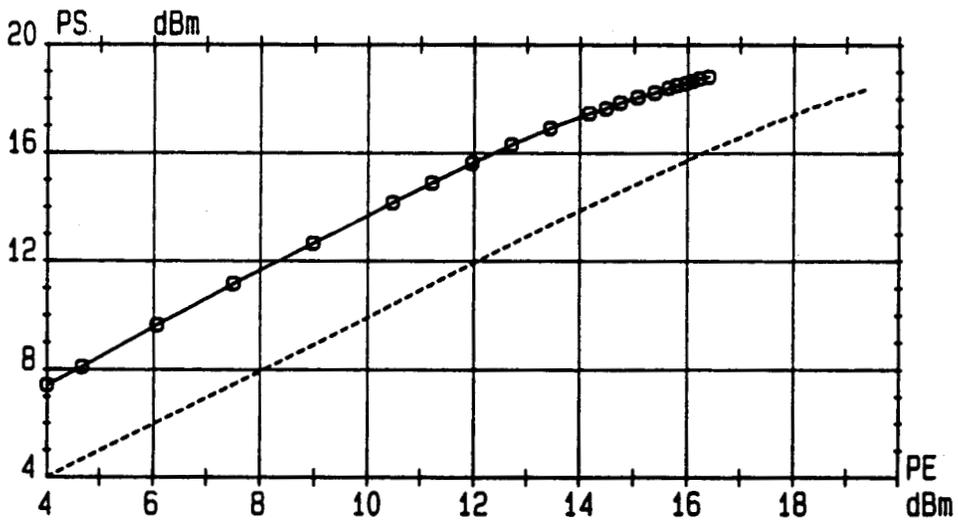
Nous présentons sur les figures (III-58 a, b et c) l'évolution de la puissance maximum de sortie en fonction du niveau de la puissance d'entrée d'un transistor de 300  $\mu\text{m}$  de la série 210 ayant dans un cas une self connectée sur l'extrémité de sa grille et dans l'autre, un circuit ouvert. La polarisation de grille vaut -0,8V et celle de drain 4V ce qui correspond à un courant continu de drain de 40 mA. Nous observons dans les deux cas de figure que le transistor manifeste un comportement linéaire. Les résultats obtenus amènent plusieurs remarques. Le gain en régime petit signal que nous obtenons



a)  $f = 9$  GHz



b)  $f = 12$  GHz



c)  $f = 15$  GHz

Figure III-58 : Evolution de la puissance de sortie en fonction de la puissance d'entrée pour deux configurations d'un transistor de  $300 \mu\text{m}$  à drain de type surface ( $V_{gs} = -0.8\text{V}$   $V_{ds} = 4\text{V}$ )  
----- ZLG = C.O.                      -o-o-o- ZLG = 0.8 nH

est un peu inférieur à celui calculé à partir des paramètres S. Nous constatons que l'évolution de la puissance de sortie au dB de compression est différente suivant qu'une impédance terminale est connectée ou pas en bout de grille du transistor. Ainsi, dans le cas d'une utilisation classique du transistor, la puissance de sortie décroît avec la fréquence alors que dans le cas où l'on connecte une self sur l'extrémité de la grille, la puissance augmente avec la fréquence. Il faut toutefois noter que nous avons observé ce phénomène dans la bande (9-15 GHz) et qu'il faudrait sans doute réaliser des mesures à des fréquences plus élevées pour voir jusqu'où le transistor présente un tel comportement. Mais le plus important, c'est qu'à partir de 12 GHz, la structure ayant une self sur sa grille présente des performances sensiblement meilleures que la structure classique. Lors de toutes les mesures réalisées sur le composant, nous avons constaté comme pour la structure de 150  $\mu\text{m}$  que la position des plongeurs du Maury d'entrée n'avait aucune incidence sur la puissance de sortie du transistor lorsque ce dernier avait une self connectée sur l'extrémité de sa grille. Ceci s'explique par l'adaptation en entrée du transistor dans la gamme de fréquence où les mesures ont été réalisées.

Les figures (III-59 a,b et c) représentent le même type de caractéristiques que celles décrites précédemment mais pour une tension drain-source de 6V, la grille est toujours polarisée à -0,8V et le courant de polarisation continue de drain vaut 42 mA. Nous constatons qu'une augmentation de la tension drain se traduit par une amélioration de la puissance de sortie au dB de compression pour les deux types de configuration du transistor. L'évolution de la puissance de sortie maximum en fonction de la fréquence est également identique au cas précédent pour les deux types d'utilisation du transistor. Nous constatons qu'à partir de 15 GHz, les résultats obtenus pour le transistor avec self sont nettement supérieurs à ceux obtenus avec la structure classique. A titre d'exemple, nous observons une différence de 20 mW à 15 GHz entre les deux types de configuration. Par conséquent, la structure avec self présente l'avantage d'avoir de meilleures performances à haute fréquence que la structure conventionnelle. En effet, nous obtenons au dB de compression une puissance de sortie et un gain plus élevés. Nous observons comme lors de la mesure des paramètres S une diminution plus faible, en fonction de la fréquence, du gain du transistor ayant une self connectée sur l'extrémité de sa grille. Ainsi, les résultats obtenus sont encourageants et une optimisation du transistor pour un fonctionnement en puissance devrait permettre



d'obtenir de meilleures performances. Cette nouvelle utilisation du transistor permet d'aboutir à un bon compromis entre gain et puissance de sortie.

### **III-5 Conclusion**

Dans ce chapitre, nous avons présenté les différents résultats expérimentaux obtenus sur les transistors monogrilles que nous avons étudiés. Nous avons ensuite à partir de confrontation théorie-expérience validé nos différentes modélisations envisagées selon la topologie du transistor, modélisations basées essentiellement sur des caractérisations expérimentales permettant de déterminer le schéma équivalent petit signal complet des transistors. Les résultats obtenus ont montré l'influence d'impédances terminales connectées sur les électrodes de grille ou de drain sur les performances du transistor. Ces résultats sur des structures non optimisées sont encourageants.

Nous avons pu ensuite, dans le but d'une optimisation de la structure monogrille, évaluer l'influence de certains paramètres technologiques et déterminer le type d'impédances terminales et la valeur du développement de grille permettant d'améliorer de façon significative les performances de ces structures par rapport à des transistors monogrilles conventionnels. Enfin, les résultats de puissance mettent en évidence que les structures possédant des impédances terminales présentent de meilleures performances en amplification de puissance aux fréquences les plus élevées que les structures conventionnelles. Un choix judicieux du développement de grille et de la valeur de la self terminale doit permettre d'accroître les puissances obtenues pour travailler à des fréquences plus élevées.

## **CHAPITRE IV**

# **ETUDE EXPERIMENTALE ET THEORIQUE DES TRANSISTORS BIGRILLES**

## **IV-1 Introduction**

Le composant le plus couramment utilisé dans les circuits hyperfréquences est le transistor à effet de champ monogrille. Toutefois, il y a environ une décennie, est apparu un autre type de composant se distinguant du premier par la présence de deux grilles entre la source et le drain au lieu d'une seule. L'intérêt de cette seconde commande de grille est de procurer un vaste champ d'applications très variées telles : amplificateurs à contrôle de gain et de puissance, mélangeurs et coupleurs actifs [17,18,19,20]. De plus, le bigrille étant l'équivalent par nature d'un montage cascade, offre également par rapport au monogrille l'avantage d'avoir un gain plus élevé en régime petit signal assorti d'une bonne montée en fréquence. Compte tenu des résultats obtenus dans le cas de la structure monogrille, il nous a paru intéressant d'étendre l'étude de l'influence d'impédances terminales connectées sur les deux électrodes de grille à la structure bigrille. Cette étude a pour but de voir quelles sont les performances et les limitations que peuvent offrir de telles structures et de comparer les résultats obtenus à ceux des transistors monogrilles décrits précédemment.

Nous décrivons premièrement dans ce chapitre les différentes structures bigrilles étudiées ainsi que les différentes étapes technologiques de leur fabrication. Il s'agit de transistors THOMSON.

Nous présentons ensuite le type de modélisation retenue permettant d'une part d'effectuer une étude théorique aussi complète que possible, et d'autre part, d'étudier l'influence de connexion d'impédances terminales sur les grilles 1 et 2 du transistor. Nous décrivons également dans cette partie les différentes méthodes mises en oeuvre permettant de déterminer le schéma équivalent petit signal du transistor bigrille.

La partie suivante de ce chapitre est consacrée à la présentation des résultats expérimentaux obtenus pour les différents transistors bigrilles étudiés. Nous présentons également la méthodologie suivie pour mesurer ces transistors. Notons que nous avons étudié le bigrille uniquement pour la configuration entrée sur G1 et sortie sur le drain.

Après quoi, nous effectuons une comparaison théorie-expérience permettant d'une part de valider le choix de notre modélisation et d'autre part, de mieux comprendre le fonctionnement interne de ces différentes structures.

La fin de ce chapitre est axée sur l'influence de certains paramètres permettant d'améliorer et d'optimiser les performances de tels transistors à savoir le développement de grille, la nature des impédances terminales.

## **IV-2 Présentation des différentes structures étudiées et de la technologie employée**

### **IV-2-1 Réalisation technologique du TEC**

La technique fait appel aux masques optiques ou électroniques pour graver et déposer divers niveaux conducteurs ou isolants sur le substrat d'Arséniure de Gallium de 400  $\mu\text{m}$  d'épaisseur pendant la fabrication et aminci à 100  $\mu\text{m}$  lors de la dernière étape technologique. Les différentes étapes technologiques nécessaires à la réalisation d'un composant sont :

- création d'une zone active par implantation ionique : Si qui permet de déterminer l'épaisseur de la zone active. Dans le cas de nos structures, l'énergie d'implantation était de 150 Kev correspondant à une tension de pincement de l'ordre de 1,6V et à un courant Idss de 15mA pour un transistor test de 100  $\mu\text{m}$  de développement.
- réalisation des contacts ohmiques par évaporation d'AuGeNi
- dépôt des grilles dans le canal creusé au préalable par voie chimique. Les grilles sont composées de l'alliage TiPtAu et présentent une longueur de 0,5  $\mu\text{m}$ .
- dépôt d'un diélectrique de passivation sur toute la plaquette . Ce diélectrique évite

tout risque d'oxydation au contact de l'air.

Les étapes suivantes permettent la liaison du transistor au reste du circuit :

- ouverture dans le diélectrique et dépôt de ligne d'accès permettant de mesurer le transistor sous pointes ou dans des cellules de mesures spécifiques.
- Enfin, la plaquette qui jusque là faisait  $400\ \mu\text{m}$  d'épaisseur est amincie à  $100\ \mu\text{m}$ . On réalise ensuite les connexions avec le plan de masse face arrière par l'intermédiaire de trous métallisés. Une évaporation d'or face arrière constitue le plan de masse.

## **IV-2-2 Topologie des différentes structures étudiées**

### **IV-2-2-1 Introduction**

Deux types de transistors bigrilles ont été réalisés à THOMSON DAG, permettant d'une part d'étudier les phénomènes de propagation le long des électrodes de grille du transistor et d'autre part, l'influence d'impédances terminales connectées aux extrémités de ces dernières. Ces deux transistors présentent les mêmes caractéristiques technologiques (épaisseur et dopage de la zone active, espace drain source et espace grille 1 grille 2) à l'exception du développement de grille qui est de  $400\ \mu\text{m}$  pour le motif 42 et  $700\ \mu\text{m}$  pour le motif 43. Nous pouvons ainsi étudier l'influence de la largeur de grille sur les performances de tels transistors et en déduire une valeur optimale. Certaines modifications ont été apportées à la topologie de ces transistors par rapport à des structures conventionnelles afin de permettre la connexion d'impédances terminales sur les extrémités des grilles.

### **IV-2-2-2 Transistor bigrille de $400\ \mu\text{m}$ (motif 42)**

La figure (IV-1) représente la superposition des différents niveaux de masques nécessaires à la réalisation d'un transistor bigrille. Ce transistor présente une largeur de  $400\ \mu\text{m}$  et une longueur de grille de  $0,5\ \mu\text{m}$ . L'espace drain-source est de

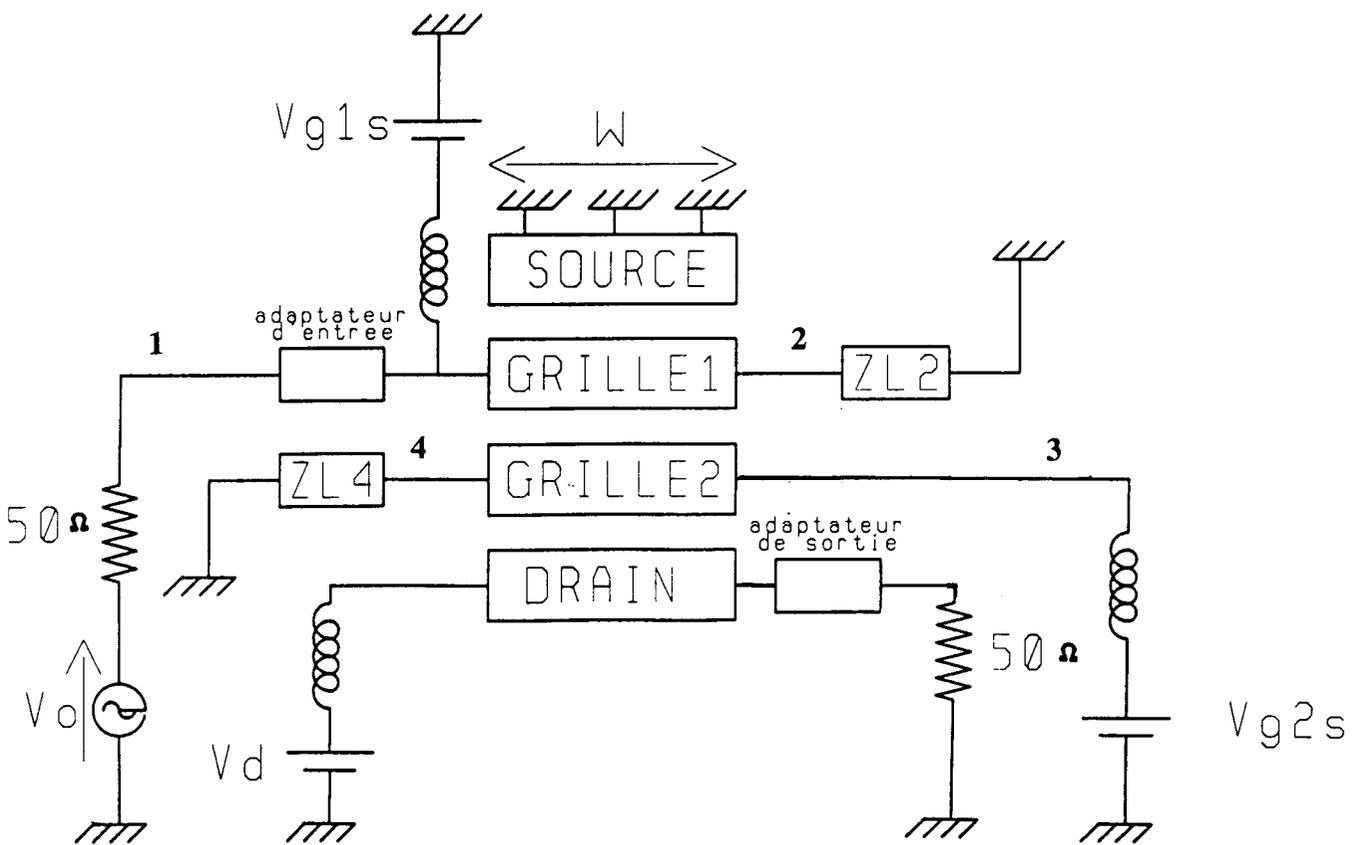
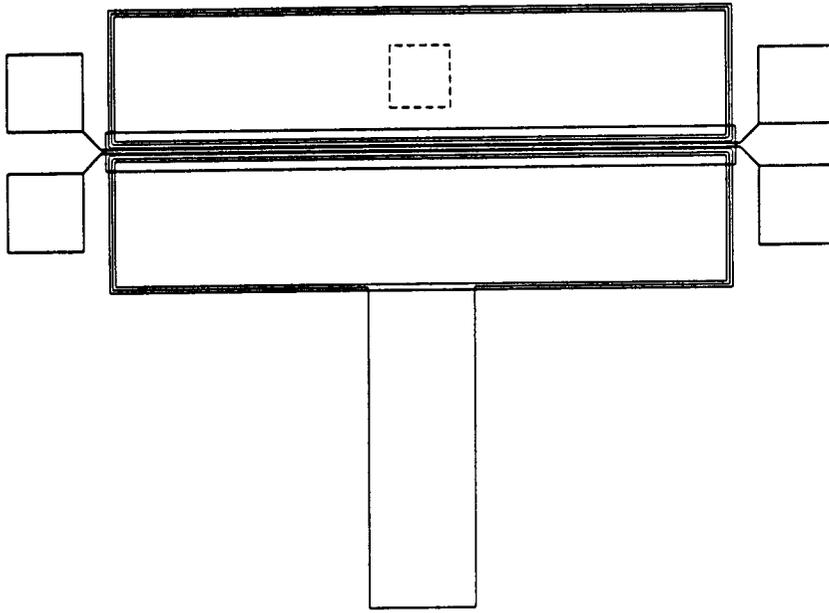


Figure IV-2 : Schéma de principe du transistor bigrille

6  $\mu\text{m}$  et la distance intergrille est de 2  $\mu\text{m}$ . La présence de plots métalliques à chaque extrémité des deux grilles permet d'une part de polariser celles-ci et d'injecter le signal hyperfréquence et également d'autre part, de pouvoir connecter des impédances variables sur les deux plots restants. Nous remarquons que le drain du transistor se présente sous forme d'un T constitué du contact ohmique et d'une ligne d'accès 50  $\Omega$  permettant de minimiser la dimension des fils de thermocompression lors de la connexion de la puce à la ligne d'accès 50  $\Omega$  de la cellule de mesure. La source du transistor dispose d'un via hole permettant de minimiser la valeur de la self de source.

Le schéma de principe de l'utilisation de telles structures est représenté sur la figure (IV-2) dans le cas d'une utilisation du transistor bigrille entre grille 1 et drain. Dans cette configuration, le signal hyperfréquence est injecté sur l'extrémité de la grille 1 et le signal de sortie est recueilli sur l'électrode de drain. L'extrémité 3 de la grille 2 permet la polarisation continue de cette dernière. Les extrémités 2 et 4 respectivement des grilles 1 et 2 permettent la connexion d'impédances terminales.

#### IV-2-2-3 Transistor bigrille de 700 $\mu\text{m}$ (motif 43)

Ce transistor présente les mêmes caractéristiques technologiques que le transistor décrit précédemment à l'exception de son développement de grille qui est de 700  $\mu\text{m}$ . La figure (IV-3) représente la superposition des différents niveaux de masques utilisés lors de la réalisation de ce transistor. Nous remarquons que le transistor dispose également de plots métalliques à chaque extrémité de ces deux grilles permettant d'effectuer la même étude que celle décrite précédemment à savoir : connexion d'impédances terminales et utilisation du transistor entre grille 1 et drain. La source possède également des trous métallisés permettant de minimiser la self de source. La tension de pincement de ces transistors est de l'ordre de 1,6 V.

### IV-3 Modélisation et caractérisation des différents transistors

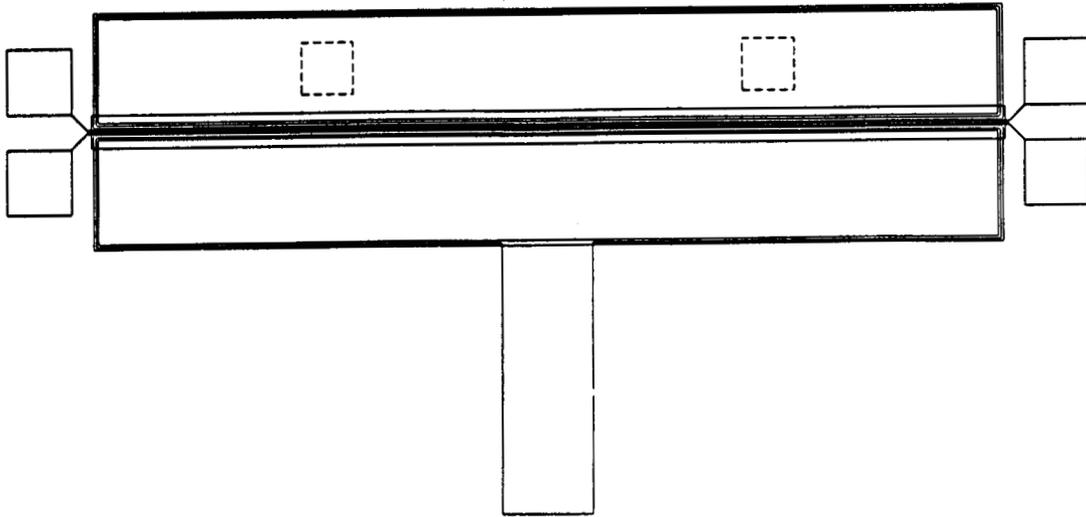


Figure IV-3 : Superposition des différents masques du transistor bigrille de 700  $\mu\text{m}$

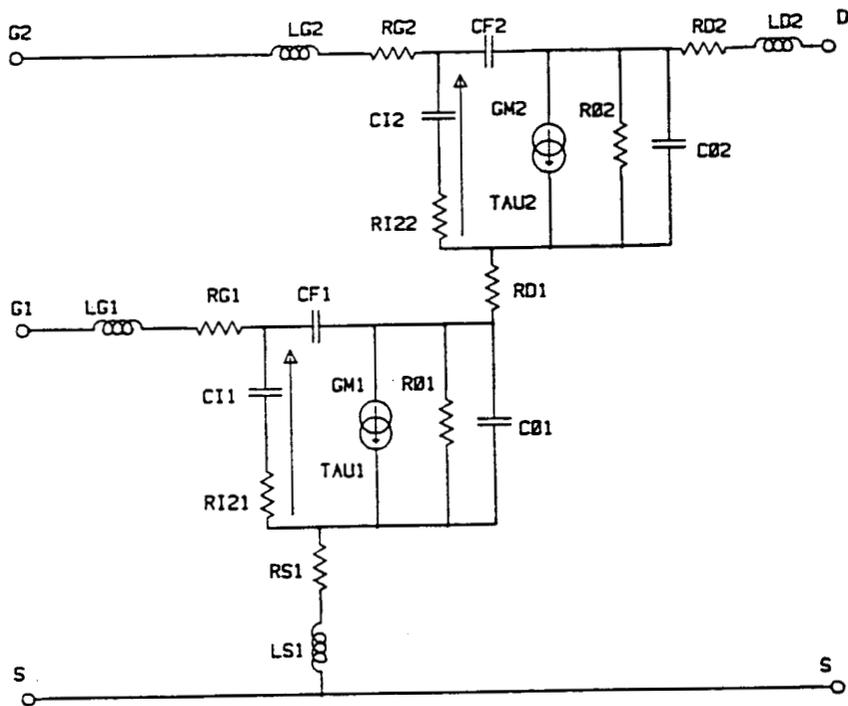


Figure IV-4 : Schéma équivalent du bigrille

#### **IV-3-1 Introduction**

La modélisation d'un transistor bigrille considéré comme résultant de l'association selon le montage cascode à deux monogrilles, consiste à prendre le schéma équivalent représenté sur la figure (IV-4). Toutefois, ce type de modélisation présente deux inconvénients. Premièrement, il ne rend pas compte de la nature distribuée de la structure notamment en ce qui concerne la structure de  $700 \mu\text{m}$ . Deuxièmement, il ne permet pas d'étudier l'influence de la connexion d'impédances terminales sur les électrodes de grille du bigrille. Nous avons donc porté notre choix sur une modélisation basée sur un schéma équivalent distribué permettant d'étudier les phénomènes précédemment cités. La détermination des éléments du schéma équivalent repose sur des caractérisations statiques et hyperfréquences ainsi que sur l'utilisation d'un programme d'optimisation développé à THOMSON DAG. Il faut noter toutefois que le schéma équivalent localisé permet la détermination des valeurs des éléments qui constituent le schéma équivalent distribué. La méthode utilisée pour établir le schéma équivalent distribué s'apparente à celle retenue pour le monogrille et, de la même manière, repose sur un ensemble de caractérisations avec comme étape intermédiaire l'établissement d'un schéma équivalent localisé.

#### **IV-3-2 Détermination du schéma localisé**

La détermination des éléments d'un schéma équivalent localisé du bigrille est effectuée à partir de mesures statiques et de mesures de paramètres S en trois portes. On mesure les paramètres S du transistor pour différentes valeurs de polarisation des grilles et du drain. Le schéma équivalent complet utilisé pour la modélisation du bigrille est représenté sur la figure (IV-4). Il découle directement du schéma monogrille et comporte 21 éléments. Les valeurs des résistances d'accès  $R_{g_1}$ ,  $R_{g_2}$ ,  $R_{g_2}$  et  $R_{s_1}$  sont obtenues à partir du schéma équivalent d'un transistor monogrille correspondant à la même topologie. Il en est de même pour les selfs  $L_{g_1}$ ,  $L_{g_2}$  et  $L_{d_2}$ . La valeur de la résistance intermédiaire  $R_{d_1}$  est obtenue à partir de considérations physiques sur la résistance carrée de la couche active et de la distance intergrille. Comme dans le cas du transistor

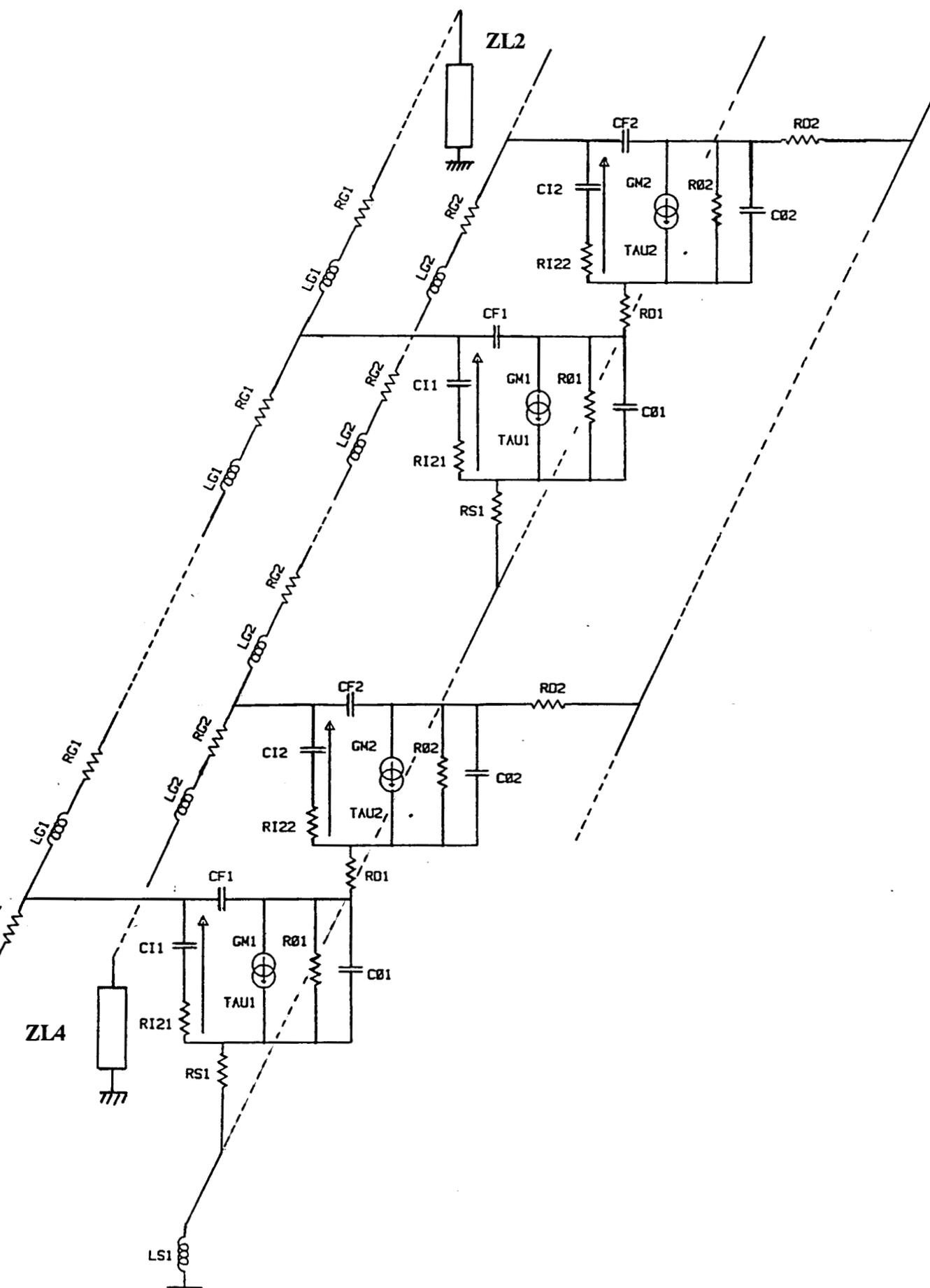


Figure IV-5 : Schéma équivalent distribué du bigrille

monogrille, la self  $Ls_1$  ne sert qu'à simuler la self de source due aux trous métallisés.

De cette manière, le nombre de paramètres à optimiser est réduit à 14, ce qui permet d'accélérer la convergence du programme de calcul du schéma équivalent et d'augmenter la précision de détermination des éléments.

### **IV-3-3 Modélisation complète de la structure bigrille**

La modélisation de la structure bigrille distribuée est effectuée comme l'indique la figure (IV-5). Le transistor est considéré comme une cascade de cellules élémentaires (figure IV-6) dont le développement de grille est pris suffisamment petit devant le développement total pour que chaque cellule puisse être considérée comme un bigrille localisé. Le schéma équivalent utilisé pour ce bigrille localisé est tiré de la représentation équivalente intrinsèque du transistor bigrille localisé déterminé auparavant. Les électrodes de grilles sont prises en compte et modélisées à l'aide de résistances et inductances réparties :  $Lg_1$ ,  $Lg_2$ ,  $Rg_1$  et  $Rg_2$ . Les deux électrodes de grille présentant la même topologie, la valeur de ces éléments répartis est prise identique.  $ZL2$  et  $ZL4$  symbolisent des impédances terminales variables connectées respectivement sur l'une des extrémités de la grille 1 et de la grille 2. Enfin, les inductances  $Lcg_1$ ,  $Lcg_2$  et  $Lcd$  représentent les selfs de connexion des deux grilles et du drain du transistor bigrille au boîtier de mesures.

Ce type de schéma équivalent distribué retenu pour modéliser la structure bigrille permet non seulement de rendre compte de l'effet distribué de la structure, mais aussi d'analyser finement à partir des courants et tensions le long des différentes électrodes, le comportement interne du transistor en tout point du circuit. Deuxièmement, ce type de représentation du transistor permet non seulement d'étudier l'influence d'impédances terminales sur les extrémités des grilles 1 et 2 mais aussi de pouvoir simuler le transistor dans sa configuration classique en prenant pour impédances terminales  $ZL2$  et  $ZL4$  des résistances de très grandes valeurs. De plus, à partir de ce type de modélisation, on peut étudier le transistor dans différentes configurations de fonctionnement à savoir : entre grille 1 et drain, utilisation classique d'un transistor

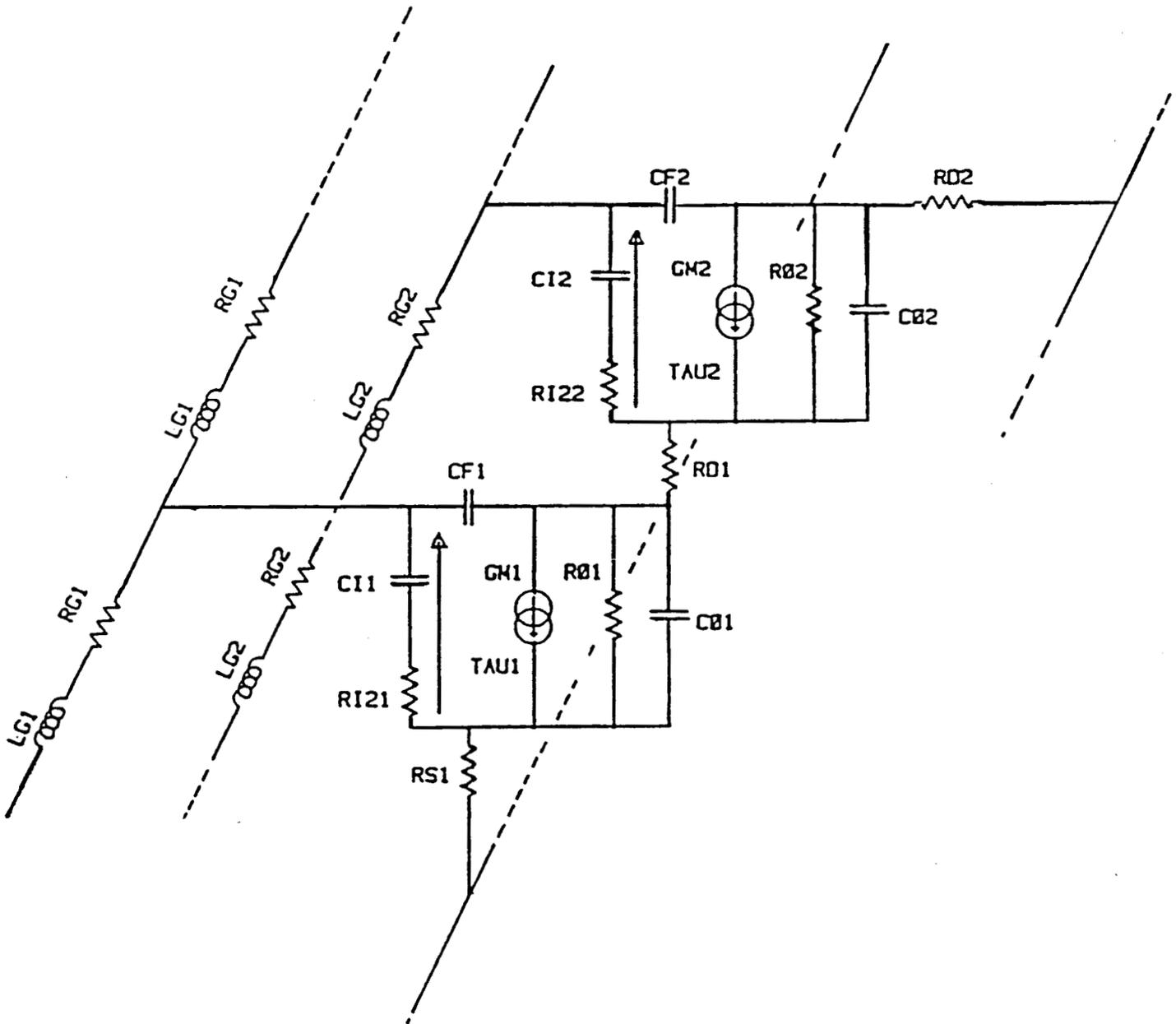


Figure IV-6 : Schéma équivalent d'une cellule élémentaire

bigrille mais aussi entre grille 1 et grille 2. Il suffit dans la simulation de l'ensemble de la structure de permuter les portes suivant la configuration choisie. Ici seule la configuration grille 1 drain a été étudiée.

Il importe de noter que lors de la simulation du fonctionnement en régime sinusoïdal petit signal, on détermine les paramètres S en quadripôle en considérant les impédances terminales comme faisant partie de l'ensemble de la structure.

Ayant précisé la méthode utilisée pour la détermination du schéma équivalent du bigrille ainsi que le type de modélisation retenue, voyons maintenant les résultats expérimentaux obtenus pour les deux structures étudiées et ce pour différents types de configuration.

## **IV-4 Résultats expérimentaux pour les différentes structures**

### **IV-4-1 Méthode de mesure**

A la différence du transistor monogrille, nous n'avons pas pu utiliser un boîtier de type BMH 60 pour mesurer les transistors bigrilles à cause des trois accès nécessaires à leur étude. Aussi, nous avons utilisé une cellule développée à THOMSON DAG dont la topologie est représentée sur la figure (IV-7). Cette cellule de mesures se compose de quatre éléments :

- une semelle métallique de forme triangulaire sur laquelle sont disposées trois alumines de taille identique. Des lignes microruban d'impédance  $50 \Omega$  sont gravées sur ces alumines.
- trois flasques métalliques vissés sur la semelle et sur lesquels sont fixés des connecteurs OSM permettant la liaison ligne  $50 \Omega$  analyseur de réseau. Des éléments de référence ont été réalisés (circuit ouvert, ligne de transmission, court circuit)

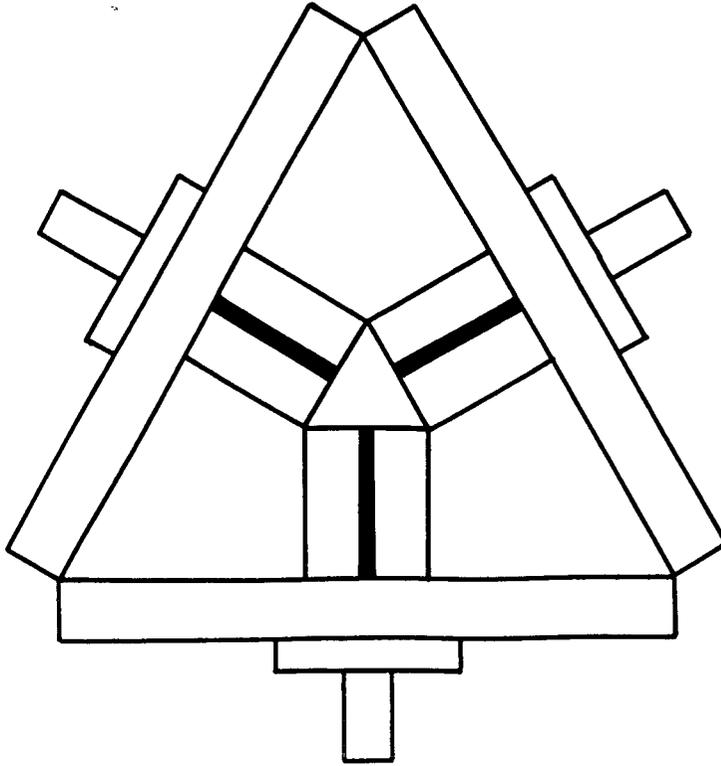


Figure IV-7 : Topologie du boîtier de mesure

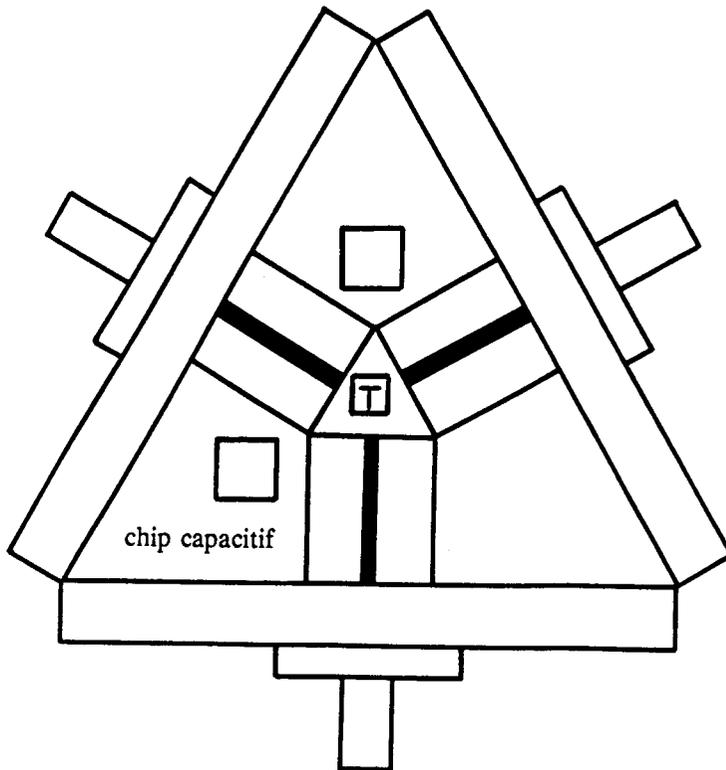


Figure IV-8 : Cellule de mesure complète (boîtier, transistor, chips capacitifs)

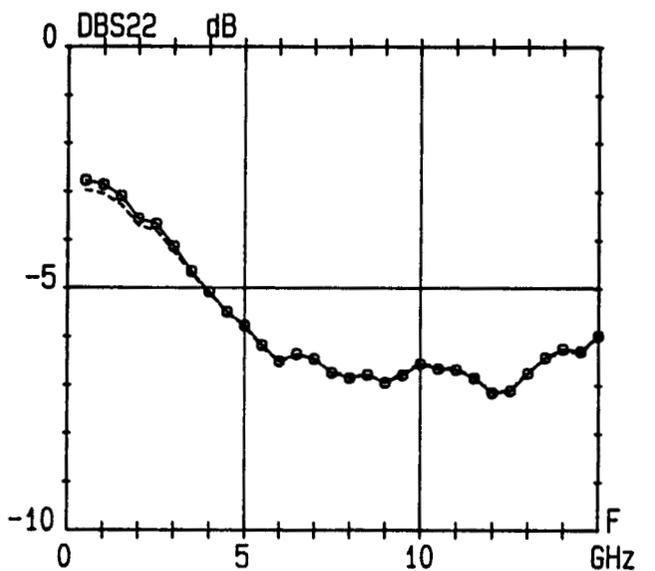
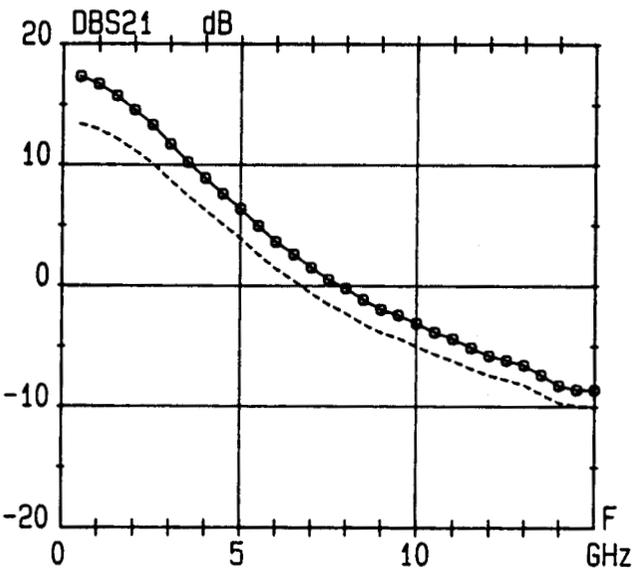
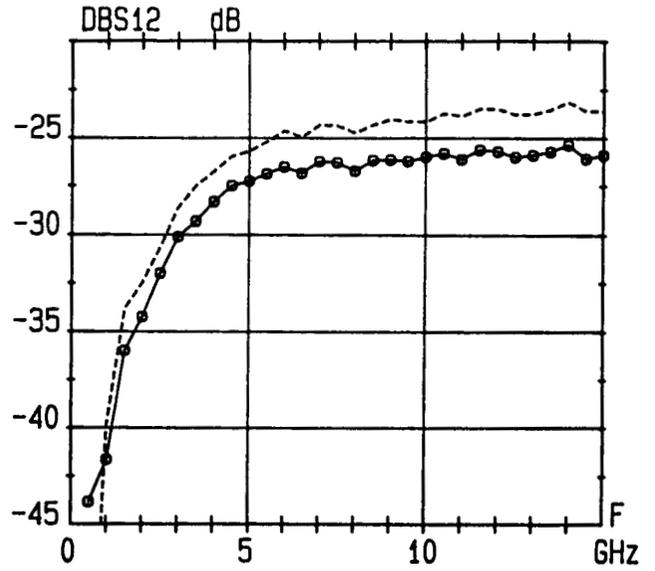
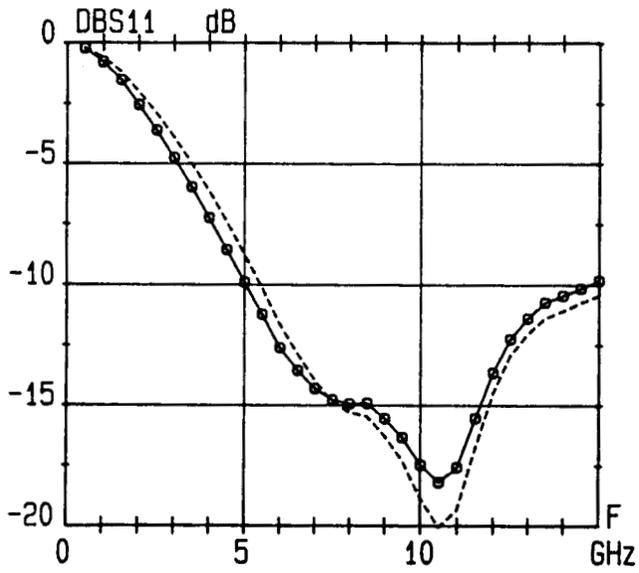


Figure IV-9a : Evolution des paramètres S en fonction de  $V_{g1s}$  pour un bigrille de  $700 \mu m$  en configuration classique à  $V_{ds}=4V$  et  $V_{g2s}=2V$   
----  $V_{g1s}=-0,5V$       -o-o-o-  $V_{g1s}=0V$

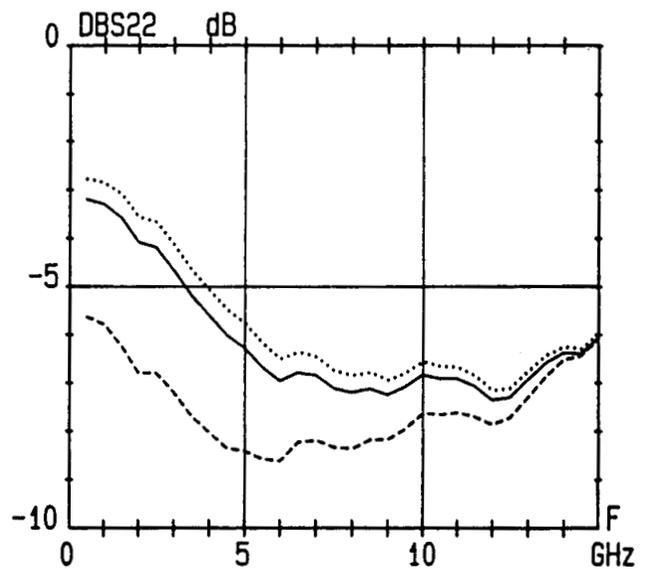
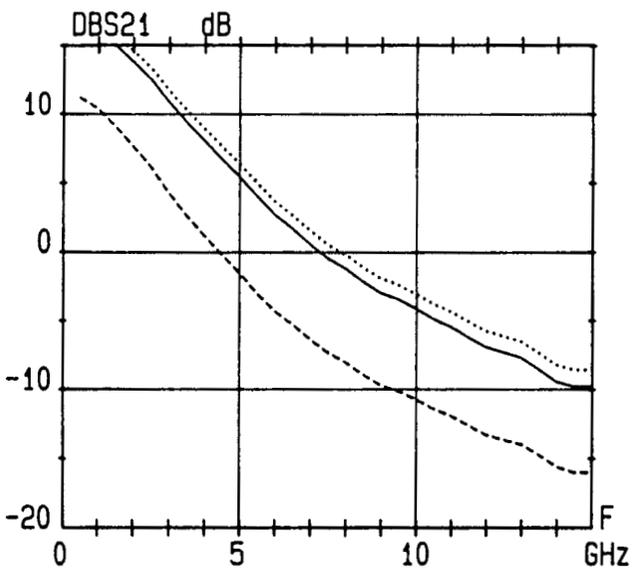
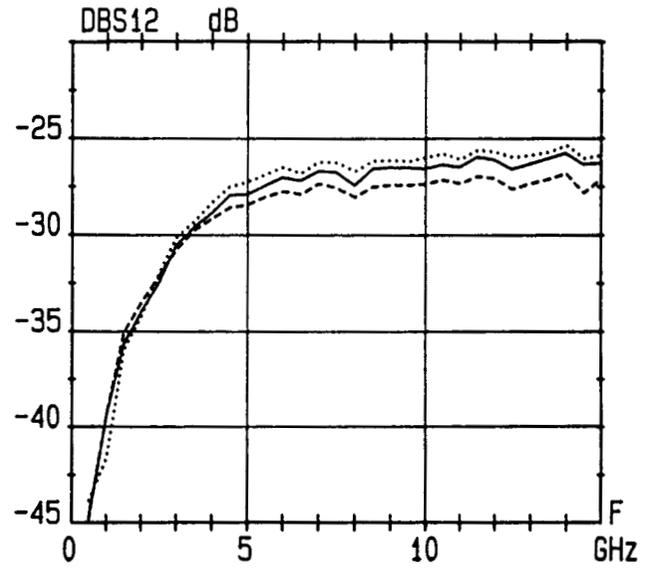
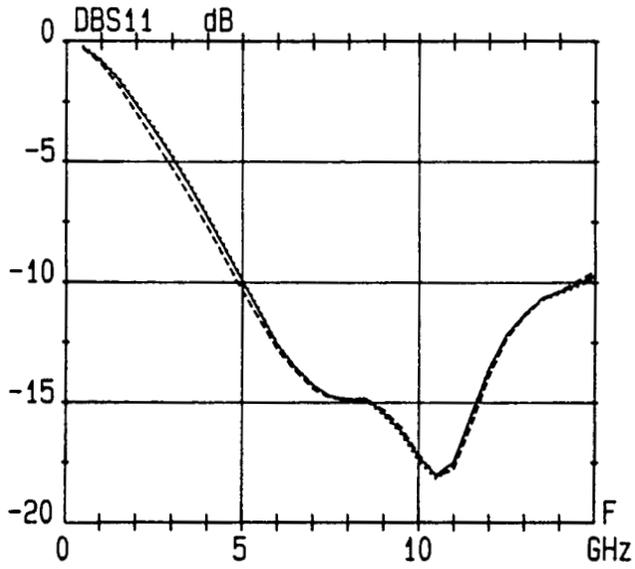


Figure IV-9b : Evolution des paramètres S en fonction de  $V_{g2s}$  pour un bigrille de  $700 \mu\text{m}$  en configuration classique à  $V_{ds}=4\text{V}$  et  $V_{g1s}=0\text{V}$   
----  $V_{g2s}=0\text{V}$       —  $V_{g2s}=1\text{V}$       .....  $V_{g2s}=2\text{V}$

permettant de réaliser une calibration avant la mesure des paramètres S à l'analyseur de réseau HP 8510B.

Le transistor sous forme de puce est placé au centre de la cellule et relié à l'extérieur d'une part au moyen de fils de thermocompression pour la liaison transistor ligne  $50 \Omega$ , et d'autre part au moyen de connecteur OSM. Nous avons disposé de part et d'autre des électrodes de grille des capacités chips de  $50 \text{ pF}$  dont le rôle sera expliqué dans les paragraphes consacrés à la mesure des différentes structures. La figure (IV-8) représente l'ensemble du montage incluant la cellule, le transistor et les capacités chips.

C'est avec ce type de cellule que la caractérisation en hexapôle à l'analyseur de réseau est effectuée. Deux portes étant configurées en entrée sortie, la troisième est fermée sur  $50 \Omega$ .

#### **IV-4-2 Résultats expérimentaux pour le transistor de $700 \mu\text{m}$**

Nous avons commencé par la plus longue structure pour suivre le même type de cheminement que dans le cas de la structure monogrilles. Les mesures à l'analyseur de réseau ont été faites dans la bande  $0,5 - 20 \text{ GHz}$ .

##### **IV-4-2-1 Impédances terminales connectées sur $G_1$ , $G_2$ étant en circuit ouvert**

On présente sur les figures (IV-9 a et b) les évolutions des paramètres S du transistor bigrilles motif 43 en configuration classique, c'est-à-dire, avec aucune impédance connectée à chacune des extrémités 2 et 4 pour différentes valeurs de polarisation des grilles  $G_1$  et  $G_2$ , le drain étant polarisé à  $4 \text{ V}$ . On peut noter que ce transistor présente un  $S_{21}$  élevé en basse fréquence mais qui décroît rapidement avec celle-ci. Cela s'explique par le développement de grille important et notamment les pertes des électrodes de grille qui l'empêchent de fonctionner à haute fréquence. Dans la gamme de fréquence considérée, l'isolation grille 1 drain est bonne et la sortie du transistor est assez désadaptée. Nous remarquons enfin que le  $S_{11}$  diminue régulièrement en module jusqu'à environ  $10 \text{ GHz}$  puis augmente pour des fréquences plus élevées. Cette remontée

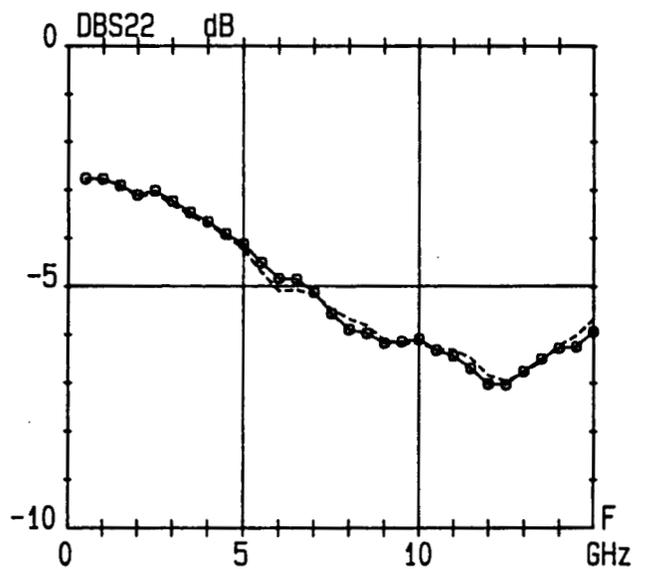
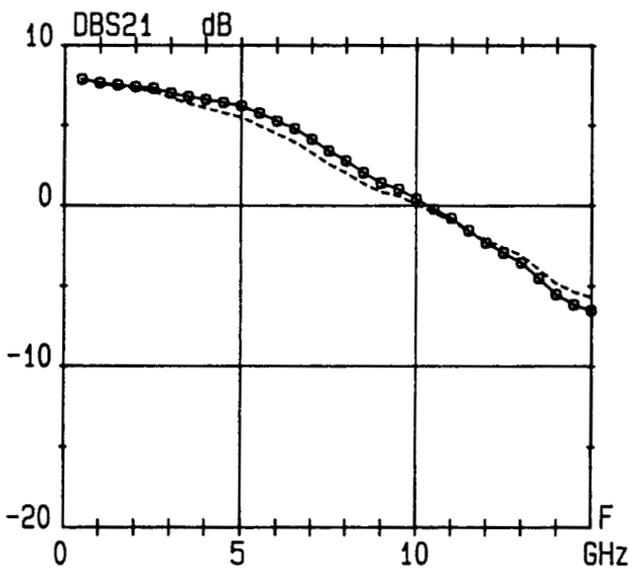
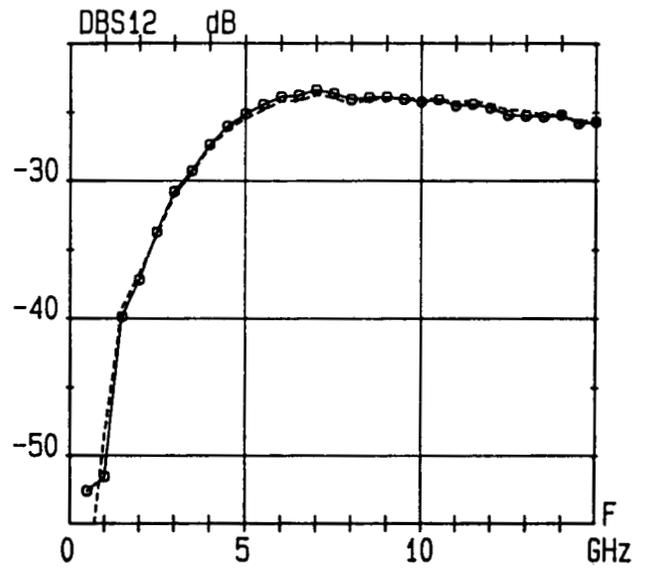
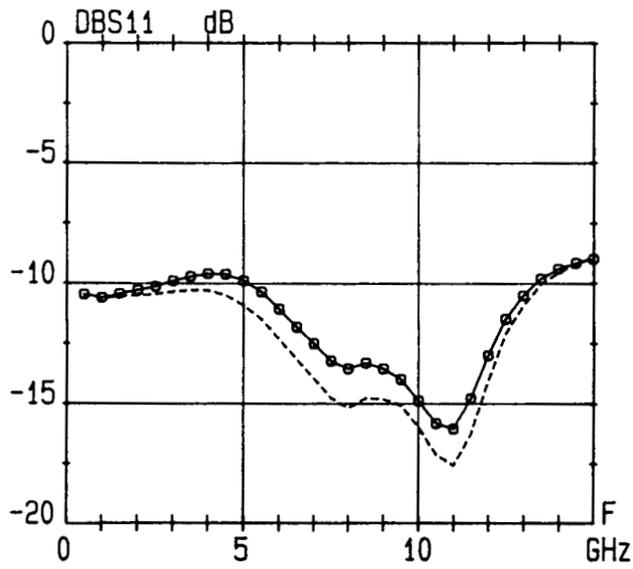


Figure IV-10 : Evolution des paramètres S d'un bigrille de  $700 \mu\text{m}$  ayant une self sur  $G_1$  et rien sur  $G_2$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
 -o-o-o-  $ZL2= 0,8 \text{ nH}$       -----  $ZL2= 0,6 \text{ nH}$

du S11 au delà de 10 GHz est due vraisemblablement aux fils de thermocompression reliant la grille 1 à la ligne 50  $\Omega$ . Nous remarquons que le S21 est fortement dépendant de la tension de polarisation de la grille 2. Cette propriété est d'ailleurs à la base d'utilisations courantes en amplification à gain contrôlé. Ainsi en dessous d'une valeur minimum de la tension de la grille 2, le gain chute fortement et la raison de cette chute est que le premier transistor du bigrille a alors son point de polarisation dans la partie ohmique.

Après ces mesures en configuration classique, voyons ce qu'il advient lorsqu'on connecte à l'extrémité de la grille 1 des impédances terminales variables. En ce qui concerne ces dernières, nous avons simplement utilisé des fils de thermocompression pour obtenir des inductances localisées, l'isolation en continu étant réalisée par des chips capacitifs de 50 pF placés en série et ayant une électrode à la masse. Nous présentons sur la figure (IV-10) les résultats obtenus pour différentes valeurs de ces inductances au point de fonctionnement optimal à savoir  $V_{g1s}=0V$   $V_{g2s}=+2V$  et  $V_{ds}=4V$ . Nous constatons premièrement que la connexion d'inductances sur l'extrémité de la grille 1 permet d'accroître la bande de fréquence d'utilisation du transistor. Deuxièmement, l'évolution des paramètres S du transistor est totalement différente en ce qui concerne le S11 et le S21 de ceux observés dans le cas d'une utilisation classique du bigrille. Dans toute la bande d'utilisation, le transistor est quasiment adapté en entrée ce qui comme on le verra ultérieurement peut être attribué à la self de connexion et à la valeur de la résistance de grille. Le S21 du transistor est plus faible en basse fréquence, mais décroît moins rapidement qu'en configuration classique. A titre d'exemple, nous observons à partir de 7 GHz une différence de 2 à 3 dB sur le S21 entre ces deux configurations.

L'augmentation de l'inductance connectée à l'extrémité de la grille 1 se traduit par une légère augmentation de la valeur du S21 et une petite dégradation en basse fréquence du coefficient de réflexion en entrée. Nous tenons à préciser que l'utilisation de fils de thermocompression pour réaliser des inductances localisées nous a limité dans le choix des valeurs. En effet, pour augmenter ou diminuer la self, nous prenons des fils plus ou moins longs ou mis en parallèle. Il y a lieu de tenir compte pour l'estimation des inductances résultantes des couplages entre ces fils. Pour conclure sur

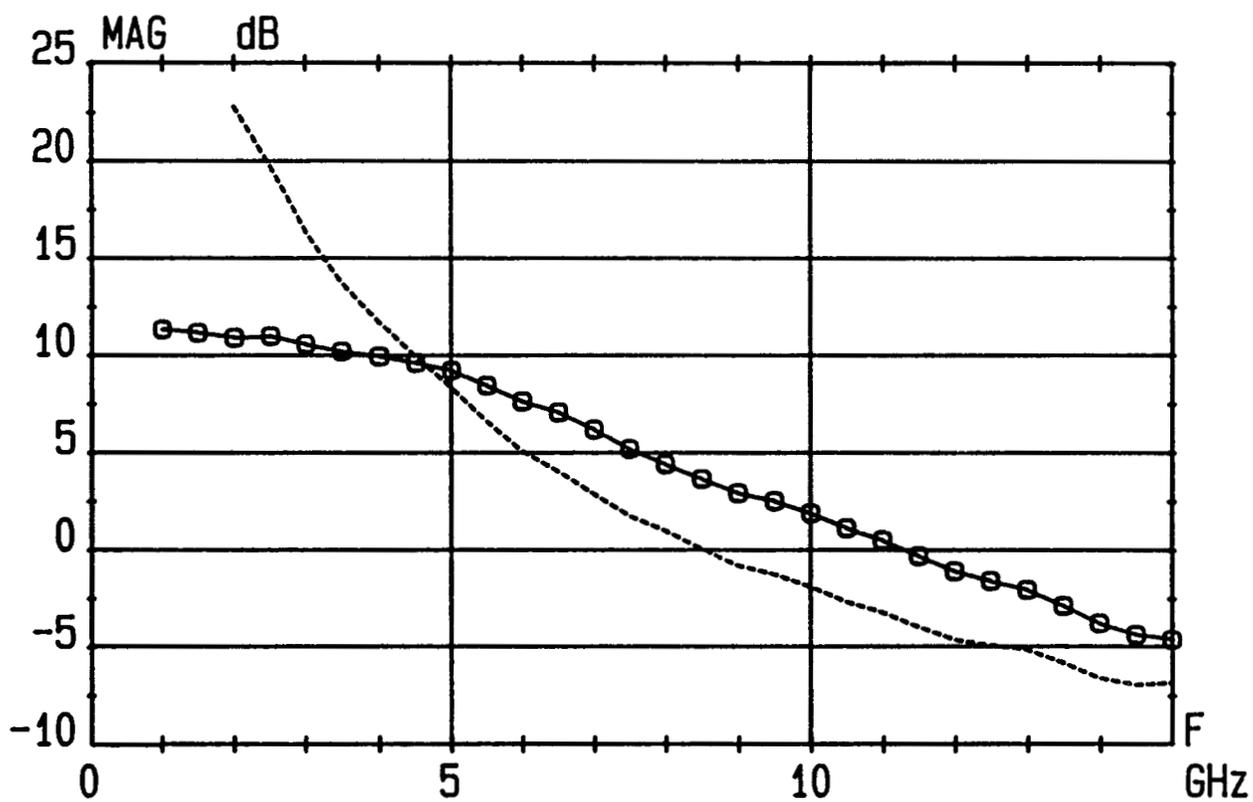


Figure IV-11: Evolution du MAG pour deux configurations d'un bigrille de 700  $\mu\text{m}$   
( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
-----  $ZL2=ZL4= \text{C.O}$       -o-o-o-  $ZL2= 0,8 \text{ nH}$        $ZL4=\text{C.O}$

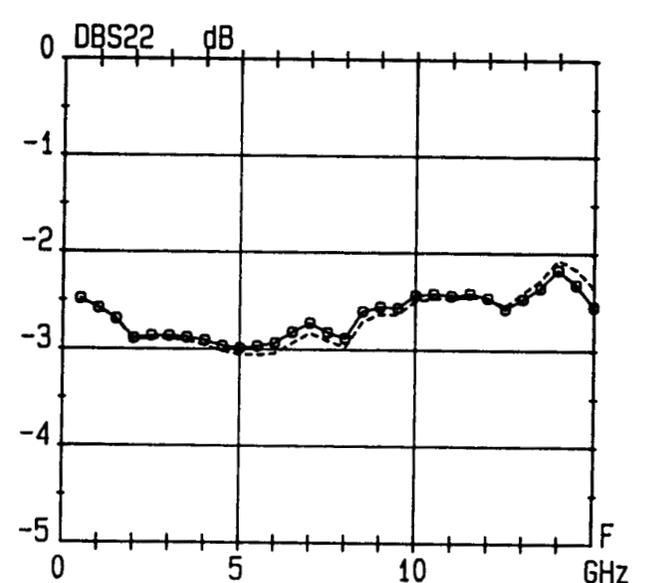
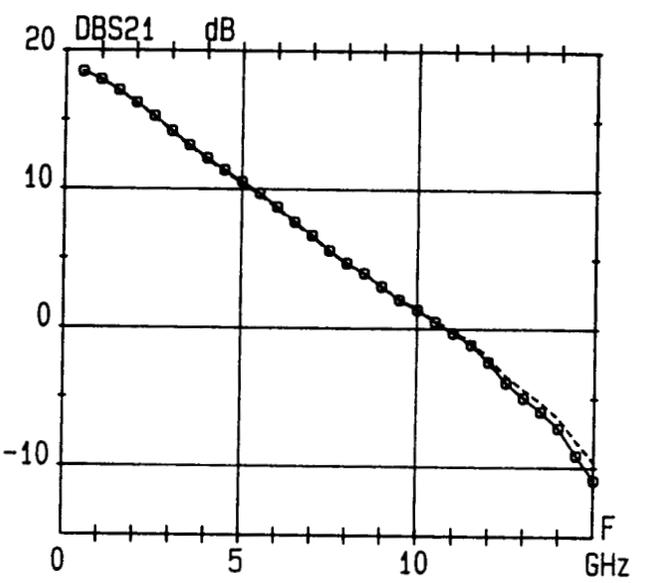
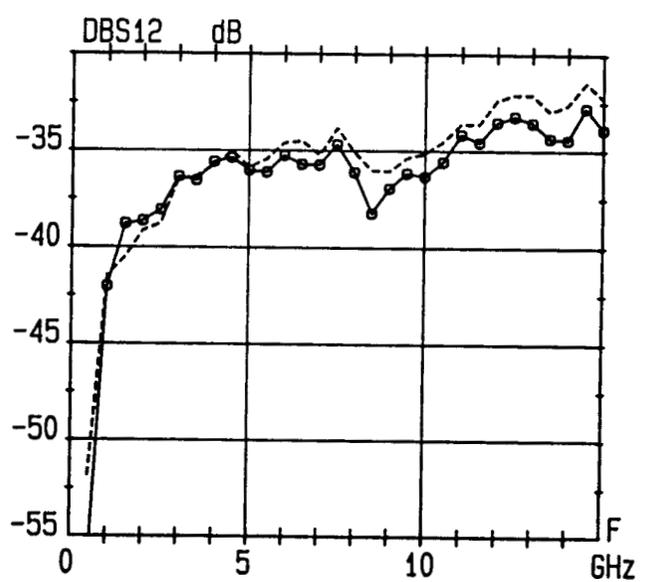
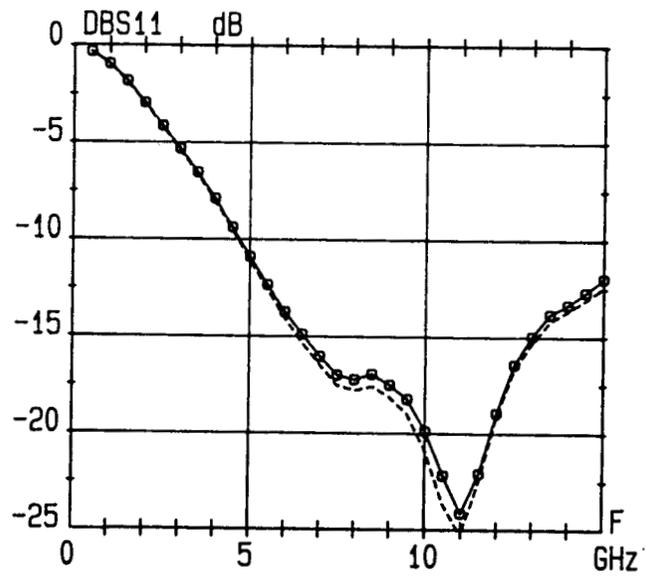


Figure IV-12: Evolution des paramètres S d'un bigrille de 700  $\mu\text{m}$  ayant une self sur  $G_2$  et rien sur  $G_1$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
-----  $ZL4=0,7\text{ nH}$       -o-o-o-  $ZL4=1\text{ nH}$

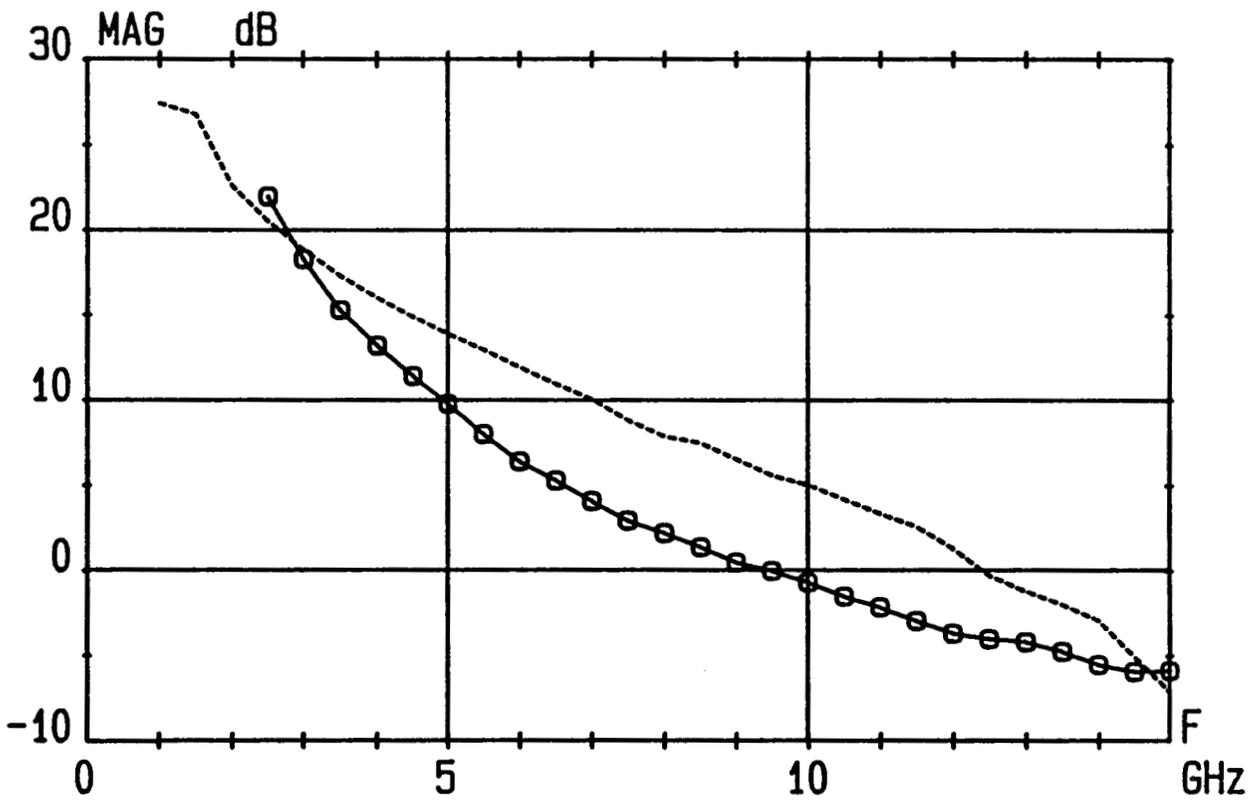


Figure IV-13: Evolution du MAG pour deux configurations d'un bigrille de 700  $\mu\text{m}$   
( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
-o-o-o-  $ZL2=ZL4= \text{C.O}$       - - - -  $ZL2=\text{C.O}$   $ZL4= 1 \text{ nH}$

l'influence d'inductances connectées sur l'extrémité de la grille 1, nous présentons sur la figure (IV-11) une comparaison entre le MAG obtenu dans le cas d'une utilisation classique du bigrille et celui obtenu dans le cas où ZL2 est une self. Nous constatons qu'à partir de 5 GHz, la structure avec selfs présente un gain supérieur d'environ 2 dB à la structure classique. Ces premiers résultats permettent déjà de mettre en évidence le rôle des impédances terminales dans le cas de la structure bigrille.

#### IV-4-2-2 Impédances terminales connectées sur $G_2$ , $G_1$ étant en circuit ouvert

La même méthodologie que précédemment a été suivie pour l'étude d'impédances connectées sur l'extrémité de la grille 2. Nous avons également utilisé des fils de thermocompression permettant d'obtenir des inductances localisées. L'extrémité de la grille 1 est fermée sur un circuit ouvert. Nous donnons sur la figure (IV-12) l'évolution des paramètres S obtenus pour différentes valeurs de ces inductances en polarisant la grille 1 à 0V, la grille 2 à 2V et le drain à 4V. Nous constatons que le transistor présente dans cette configuration un comportement assez similaire à celui du bigrille en utilisation classique (rien pour ZL2 et ZL4). Toutefois, la connexion de selfs sur l'électrode de grille 2 se traduit par une désadaptation assez marquée de la sortie dans toute la bande de fréquence et par une amélioration notable du S21 à partir de 2 GHz et ce jusqu'à 10 GHz (de 2 à 5 dB). Nous remarquons également qu'une diminution ou une augmentation de la valeur de la self terminale semble peu influencer sur le comportement de la structure, mais cette impédance permet d'améliorer les performances du transistor. Nous constatons toujours une bonne isolation entre la grille 1 et le drain dans toute la bande de fréquence d'utilisation du transistor. Enfin, nous montrons sur la figure (IV-13) les évolutions du MAG dans le cas d'une utilisation classique du transistor et dans le cas où une self est connectée sur la grille 2. Les résultats permettent de montrer la supériorité des performances de la structure bigrille avec une inductance sur la grille 2 par rapport à la structure classique.

#### IV-4-2-3 Impédances terminales sur $G_1$ et $G_2$

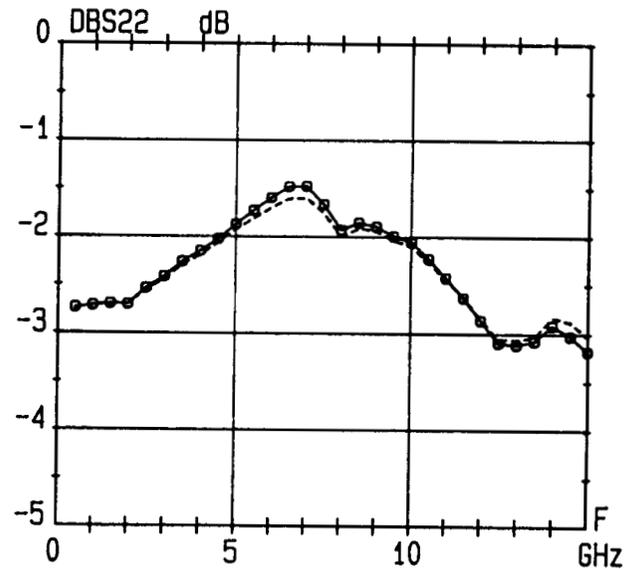
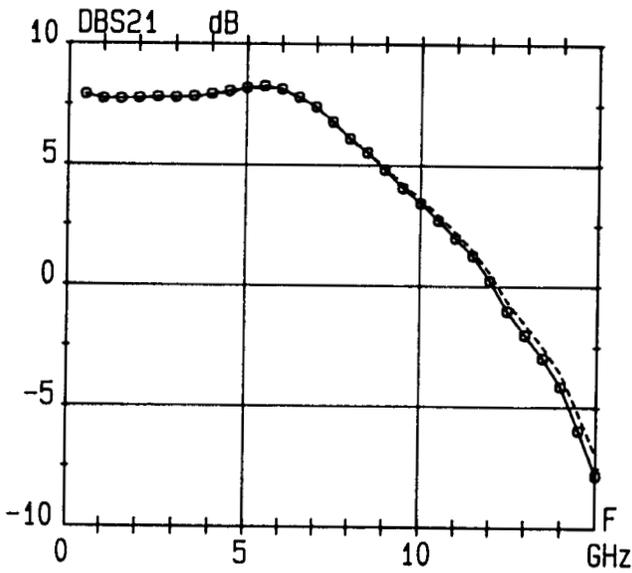
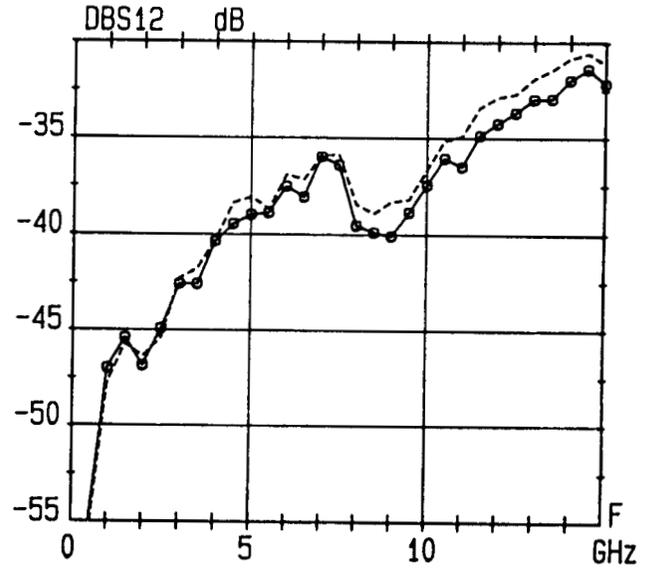
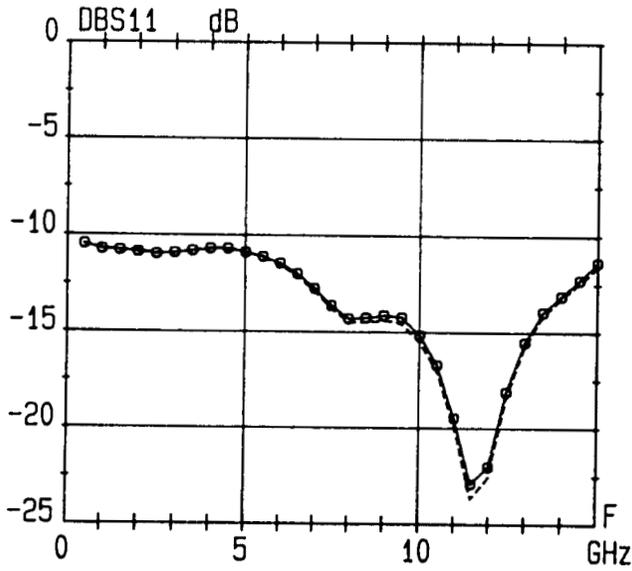


Figure IV-14: Evolution des paramètres S d'un bigrille de  $700 \mu\text{m}$  ayant des selfs sur  $G_1$  et sur  $G_2$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )

---- ZL2= 0,6 nH ZL4= 0,6 nH      -o-o-o- ZL2= 0,6 nH ZL4= 1 nH

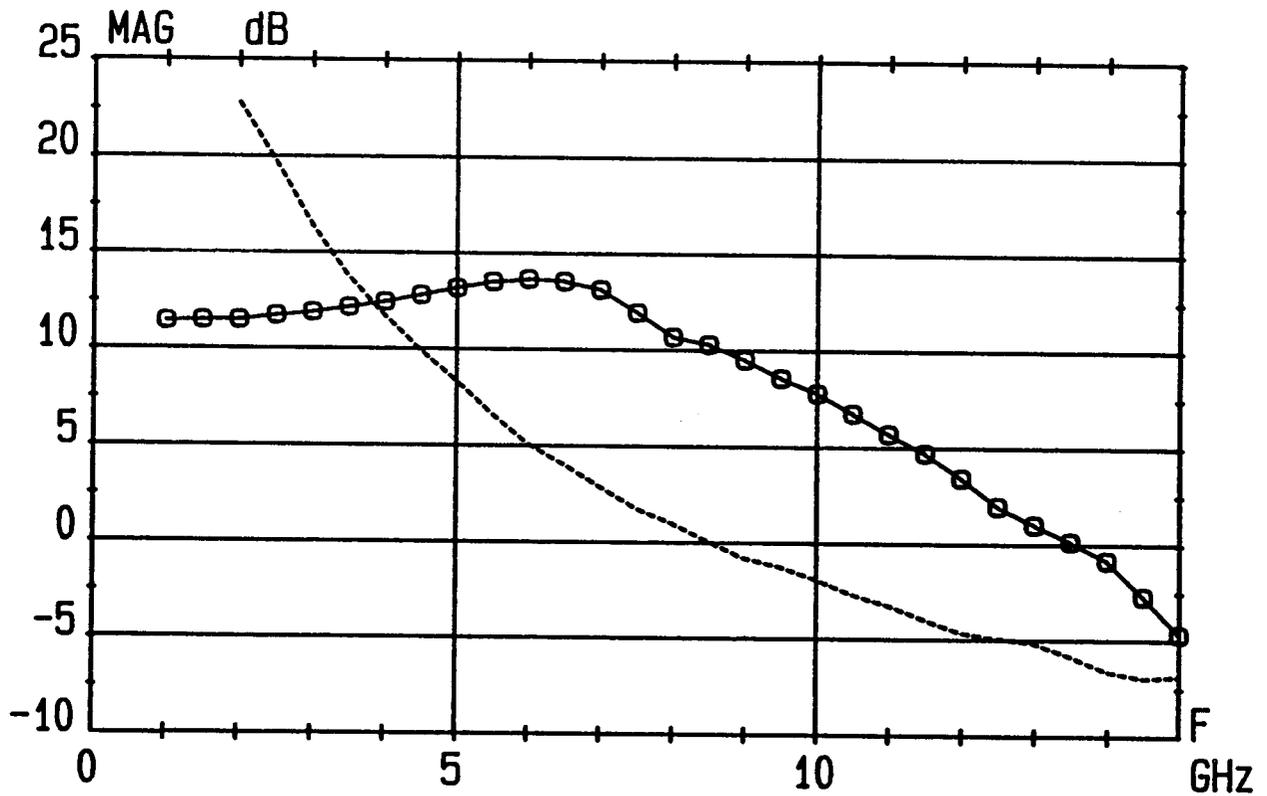


Figure IV-15 : Evolution du MAG pour deux configurations d'un bigrille de 700  $\mu\text{m}$   
( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )

----- ZL2=ZL4= C.O

-o-o-o- ZL2= 0,6 nH ZL4=1 nH

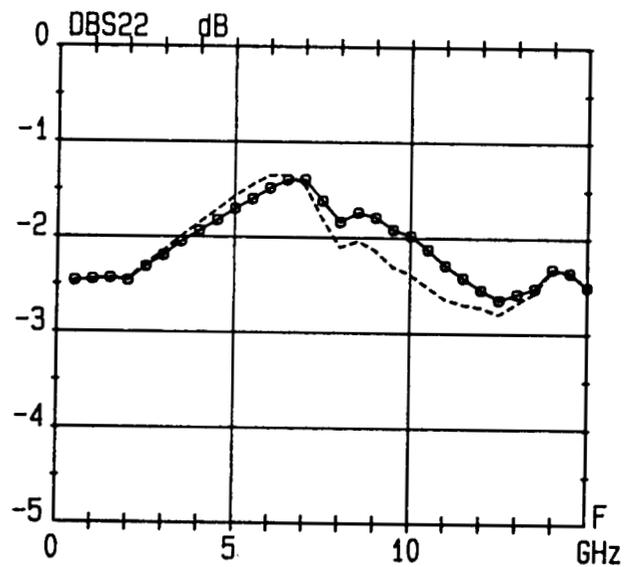
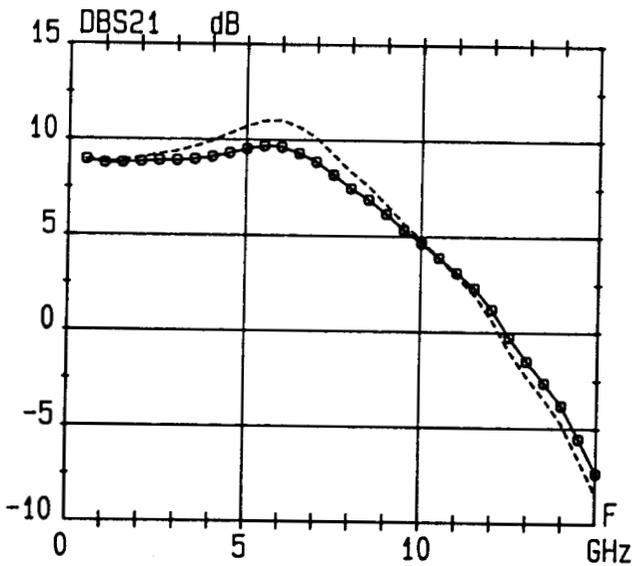
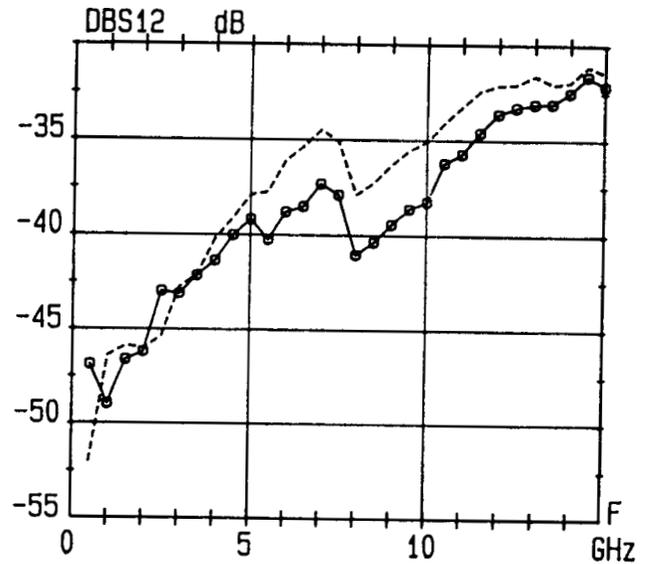
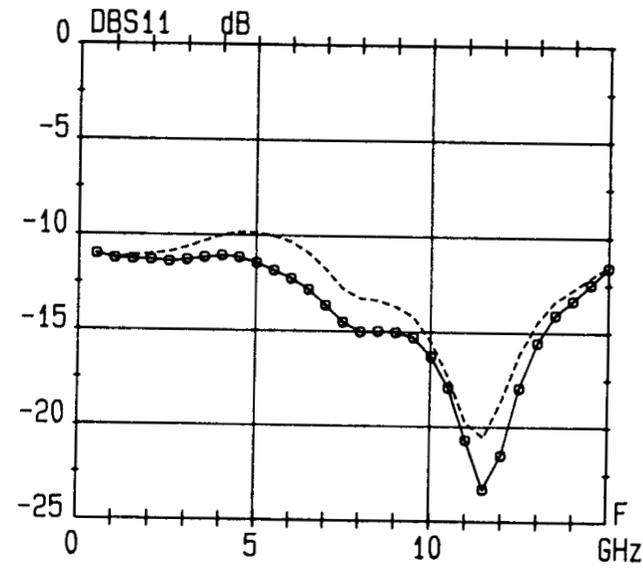


Figure IV-16 : Evolution des paramètres S d'un bigrille de  $700 \mu\text{m}$  ayant des selfs connectées sur  $G_1$  et  $G_2$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )

-----ZL2= 1 nH ZL4= 0,6 nH

-o-o-o- ZL2=0,6 nH ZL4=0,6 nH

Après avoir étudié successivement l'influence d'impédances terminales connectées sur la grille 1 puis sur la grille 2, nous avons voulu voir si en combinant simultanément ces deux possibilités, on pouvait améliorer encore de façon significative le comportement de ce transistor bigrille de 700  $\mu\text{m}$  de développement. Nous avons scindé cette étude en deux parties : la première consiste à prendre une impédance fixe pour ZL2 et à faire varier ZL4, la seconde partie consiste à effectuer l'inverse.

#### Etude à ZL2 fixe et ZL4 variable

Nous présentons sur la figure (IV-14) les paramètres S obtenus pour différentes valeurs de l'inductance ZL4, ZL2 étant une inductance fixe. Le transistor est polarisé à 0 V sur la grille 1, 2 V sur la grille 2 et 4 V sur le drain. Ces résultats amènent quelques remarques. Tout d'abord, la connexion de selfs aux extrémités des deux grilles d'un bigrille permet d'augmenter et d'améliorer sensiblement les performances de ce dernier. Ainsi par rapport à une configuration classique (rien sur  $G_1$  et  $G_2$ ), l'utilisation d'inductances terminales permet d'accroître la plage d'utilisation de ce transistor d'environ 4 GHz. Dans la bande 1-13 GHz, le transistor est quasiment adapté en entrée mais désadapté en sortie. Nous avons donc en ce qui concerne ces deux paramètres une combinaison des phénomènes observés dans les deux configurations précédemment étudiées. Enfin, nous remarquons que le S21 présente une réponse plate de 0,5 à 7 GHz puis décroît régulièrement jusqu'à 12 GHz. Il faut toutefois noter que la valeur de la self placée sur l'extrémité de la grille 2 ne modifie pas le comportement de la structure. Nous étudierons plus en détail l'ensemble de ces résultats dans la partie consacrée à la simulation de ces structures. A titre d'exemple, nous montrons sur la figure (IV-15) le MAG obtenu dans le cas d'une utilisation classique du transistor et dans le cas où des impédances sont connectées sur les grilles 1 et 2. Ainsi, à partir de 4 GHz, la structure avec selfs présente des performances nettement supérieures à celles de la structure classique avec des différences de gain pouvant aller jusqu'à 10 dB.

#### Etude à ZL2 variable et ZL4 fixe

La figure (IV-16) représente les paramètres S du bigrille pour différentes valeurs de l'inductance ZL2, ZL4 étant une inductance fixe. Nous retrouvons dans cette

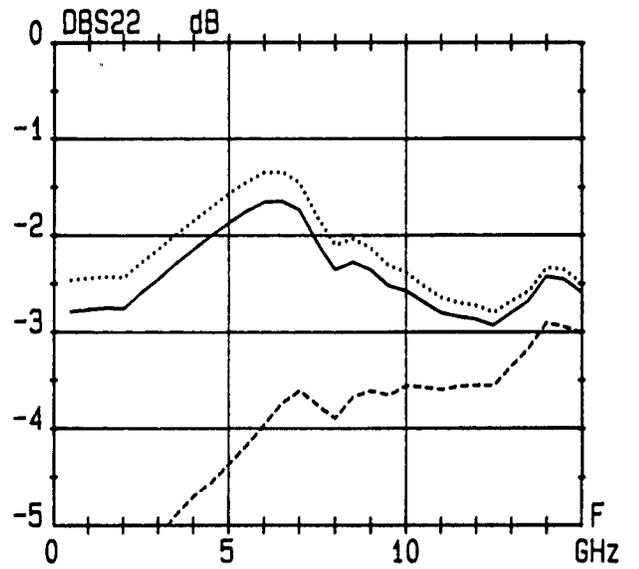
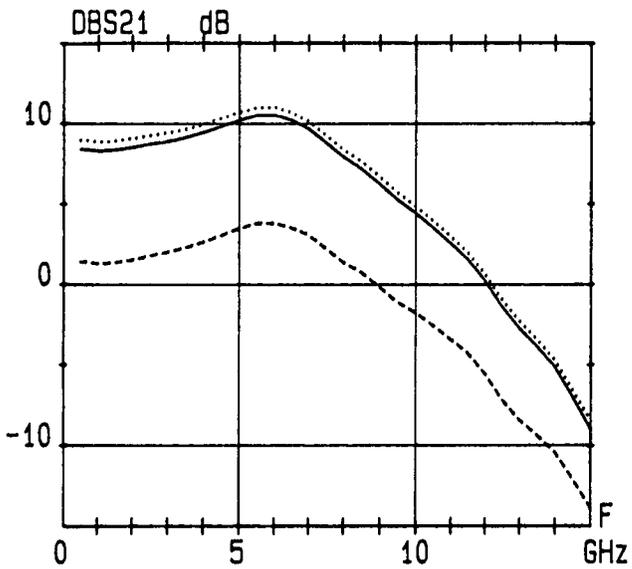
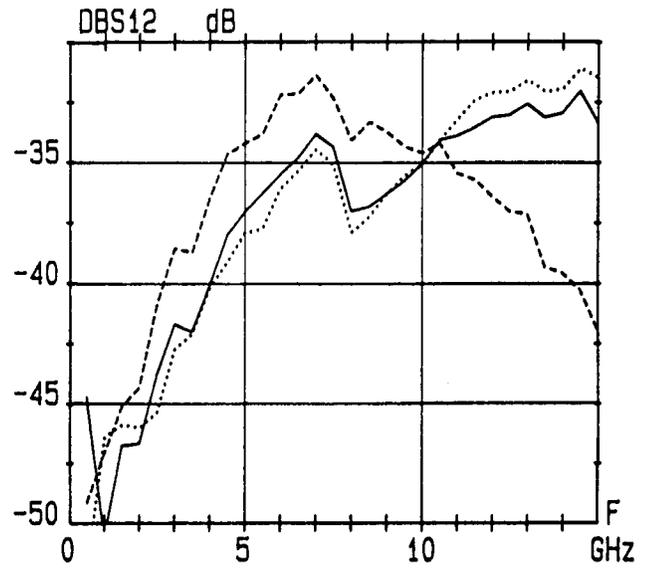
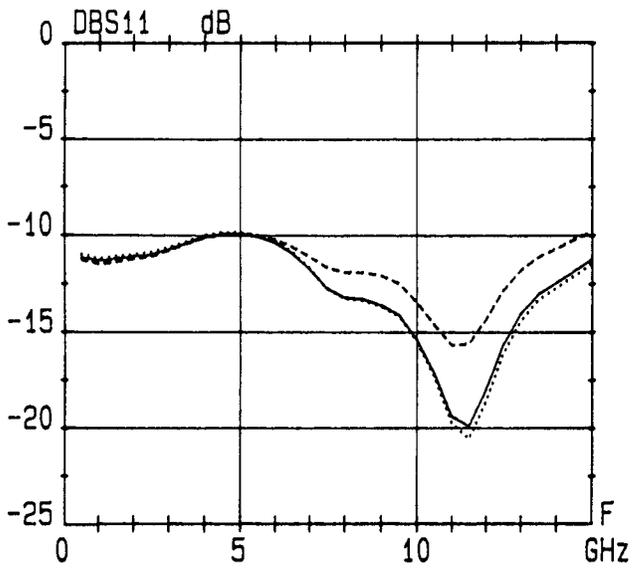


Figure IV-17 : Evolution des paramètres S en fonction de  $V_{g2s}$  d'un bigrille de 700  $\mu\text{m}$  ayant des selfs connectées sur  $G_1$  et  $G_2$  ( $V_{g1s}=0\text{V}$   $V_{ds}=4\text{V}$   $ZL2=1\text{ nH}$   $ZL4=0,6\text{ nH}$ )  
-----  $V_{g2s}=0\text{V}$       —  $V_{g2s}=1\text{V}$       .....  $V_{g2s}=2\text{V}$

configuration des résultats similaires au cas précédent. Toutefois, une augmentation de la valeur de l'inductance connectée sur l'extrémité de  $G_1$  se traduit par une augmentation de la valeur du  $S_{21}$  jusqu'à environ 9 GHz avec un comportement de plus en plus passe bande et une légère dégradation du coefficient de réflexion en entrée. Ce second point montre que la quasi-adaptation en entrée du transistor est bien liée à la valeur de la self connectée sur la grille 1. Mais, comme nous le verrons après, l'adaptation résulte en fait de l'action conjointe de cette self et de la résistance de la grille 1 qui, dans cette configuration, est vue en totalité par l'entrée. Nous constatons également que dans la bande d'utilisation, les coefficients de réflexion en entrée et en sortie présentent les mêmes allures que celles décrites précédemment. La figure (IV-17) montre l'influence de la polarisation de la grille 2 sur la réponse du système. Enfin, pour clore cette étude sur la structure de  $700 \mu\text{m}$ , la figure (IV-18) montre les évolutions du MAG d'un bigrille classique et celui d'un transistor utilisé dans cette configuration et illustre parfaitement l'amélioration des performances de cette structure grâce à la connexion d'inductances terminales.

Ces résultats montrent que la connexion d'impédances aux extrémités des deux grilles d'un bigrille permet comme dans le cas du monogrille d'améliorer considérablement les performances. Ainsi, suivant la valeur de la self et l'endroit où elle est connectée, le même transistor peut avoir des comportements différents (gain élevé en basse fréquence ou gain plus faible sur une large bande de fréquence). De toute façon, l'utilisation d'inductances terminales variables contribue à augmenter de 3 à 4 GHz la bande de fréquence d'utilisation ce qui est loin d'être négligeable. Voyons ce qu'il en est en ce qui concerne la structure de  $400 \mu\text{m}$  de développement.

#### **IV-4-3 Résultats expérimentaux pour le transistor de $400 \mu\text{m}$**

Comme nous l'avons indiqué, ce transistor présente les mêmes caractéristiques technologiques et géométriques que le transistor motif 43 excepté le développement de grille. Cette particularité permet de voir si les résultats obtenus précédemment peuvent se retrouver sur des structures de plus petites dimensions. Nous avons suivi pour étudier l'influence d'impédances terminales connectées sur les

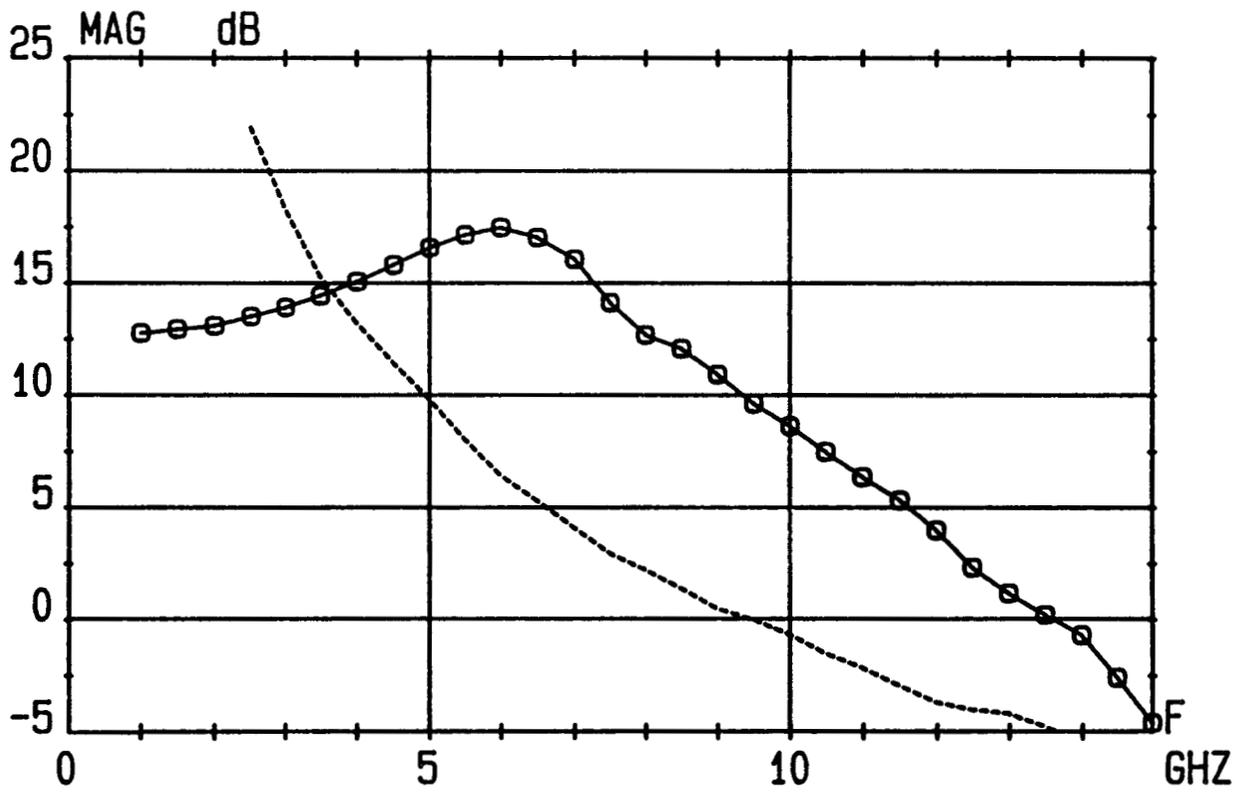


Figure IV-18 : Evolution du MAG d'un bigrille de 700  $\mu\text{m}$  ayant des selfs connectées sur  $G_1$  et  $G_2$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
-----  $Z_{L2}=Z_{L4}= \text{C.O}$       -o-o-o-  $Z_{L2}= 1 \text{ nH}$      $Z_{L4}= 0,6 \text{ nH}$



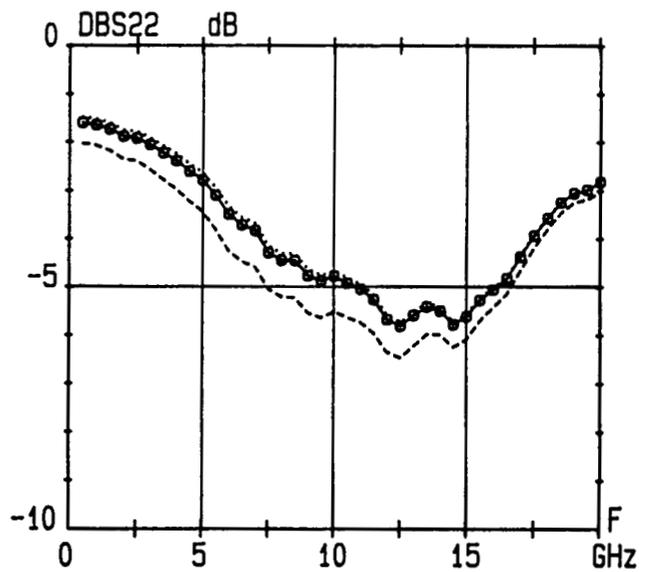
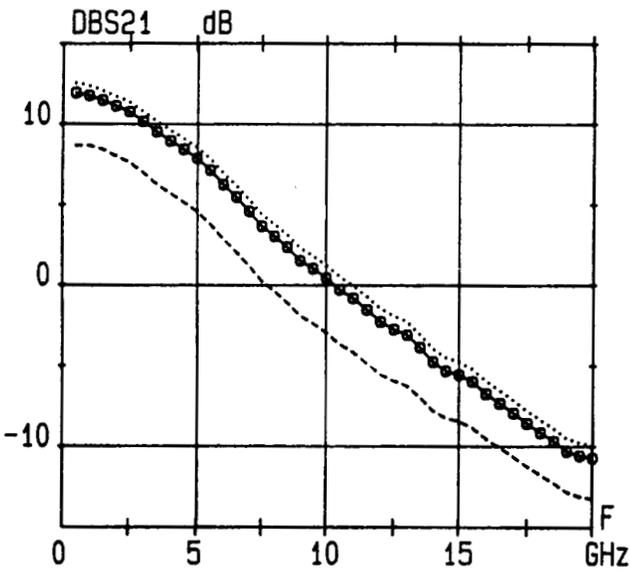
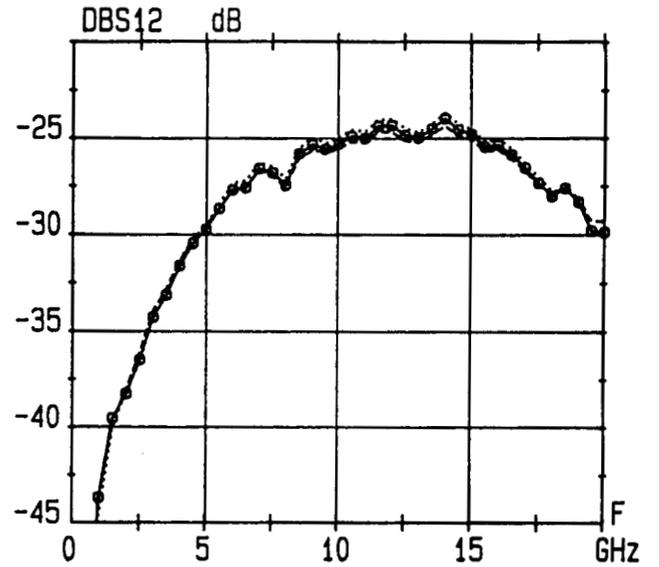
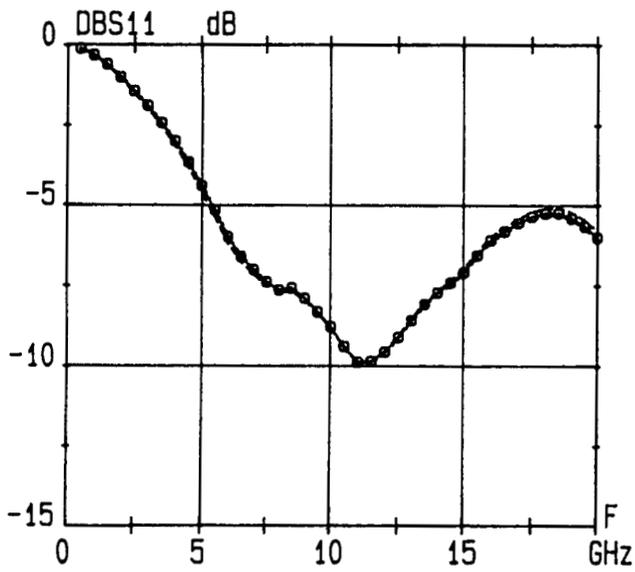


Figure IV-19b : Evolution des paramètres S en fonction de  $V_{g2s}$  d'un bigrille de  $400 \mu\text{m}$

à  $V_{ds}=4\text{V}$  et  $V_{g1s}=0\text{V}$  ( $ZL2=ZL4= \text{C.O}$ )

----- $V_{g2s}=0\text{V}$

-o-o-o-  $V_{g2s}=1\text{V}$

.....  $V_{g2s}=2\text{V}$

extrémités des grilles d'un bigrille le même type de cheminement que celui présenté précédemment. Nous avons utilisé un grand nombre d'échantillons pour réaliser cette étude mais tous n'ont pas pu être mesurés dans toutes les configurations possibles.

#### IV-4-3-1 Impédances terminales connectées sur $G_1$ , $G_2$ étant en circuit ouvert

Les figures (IV-19 a et b) présentent l'évolution des paramètres S dans le cas d'une utilisation classique du transistor bigrille et ce pour différentes valeurs de la polarisation des grilles 1 et 2. Le transistor présente de meilleures performances lorsque la grille 1 est polarisée à 0 V, la grille 2 à 2 V et le drain à 4 V. Ainsi dans cette configuration, le transistor est désadapté en entrée et en sortie et présente un S21 qui décroît régulièrement avec la fréquence. La dégradation du coefficient de réflexion en entrée du transistor à partir de 11 GHz est due aux fils de thermocompression et nous verrons plus en détail ce phénomène dans la partie consacrée à la comparaison théorie-expérience. Nous voyons également à travers ces différents résultats le rôle important de la commande de la grille 2.

La connexion de selfs de différentes valeurs sur l'extrémité de la grille 1 entraîne les résultats présentés sur la figure (IV-20). Le transistor est polarisé à 4 V sur le drain, 0 V sur la grille 1 et 2 V sur la grille 2. Plusieurs remarques se dégagent de ces résultats concernant d'une part la connexion de la self sur l'électrode de grille 1 et d'autre part, sur la valeur de cette self. Ainsi, concernant le premier point, nous remarquons que le comportement du transistor est totalement différent de celui observé dans le cas d'une utilisation conventionnelle du transistor bigrille. La connexion d'une self sur l'extrémité de la grille 1 se traduit par une quasi adaptation en entrée et un comportement passe bande du S21 avec une augmentation de la bande d'utilisation d'environ 4 GHz. Le S22 est similaire à celui observé dans le cas d'une utilisation classique. L'augmentation de la valeur de la self se traduit par une dégradation du coefficient de réflexion en entrée et une amélioration sensible du S21. Comme nous l'avons déjà signalé, la quasi adaptation en entrée du transistor est due d'une part à la résistance de grille et d'autre part à la valeur de la self. La partie consacrée à la simulation de ces structures nous permettra de déterminer lequel de ces deux éléments

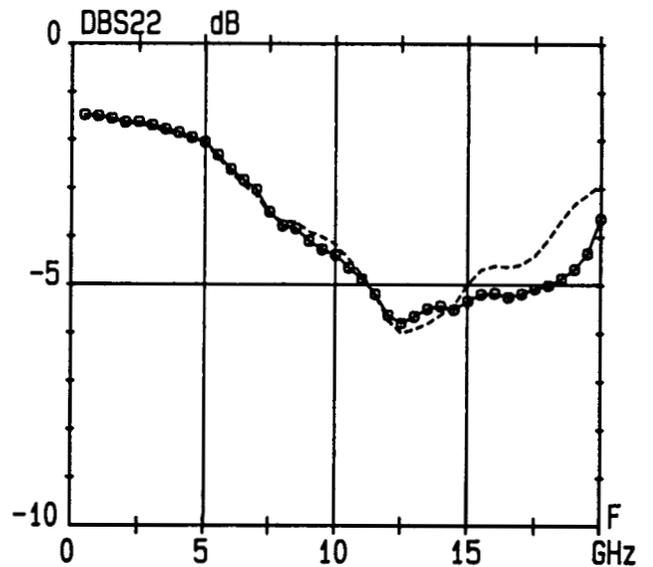
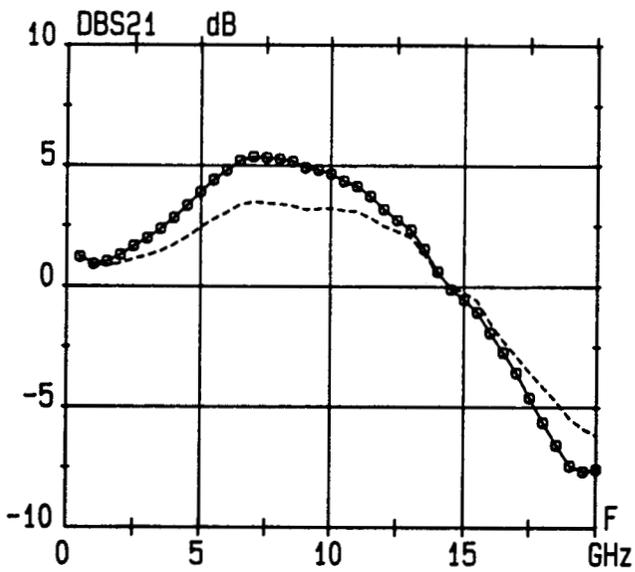
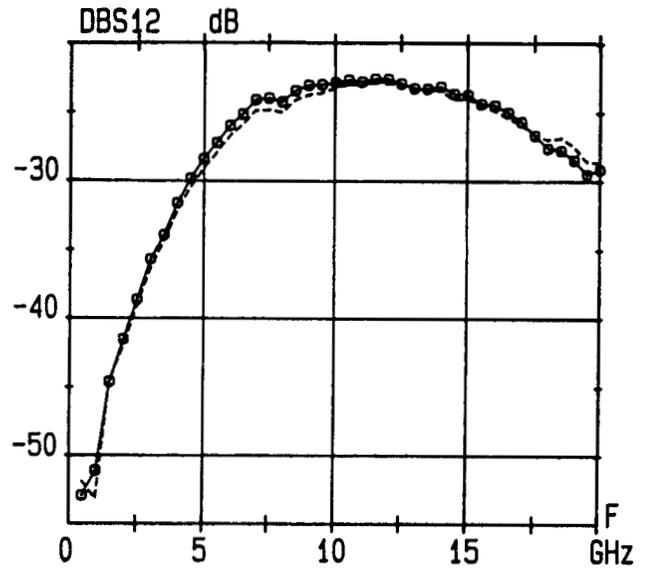
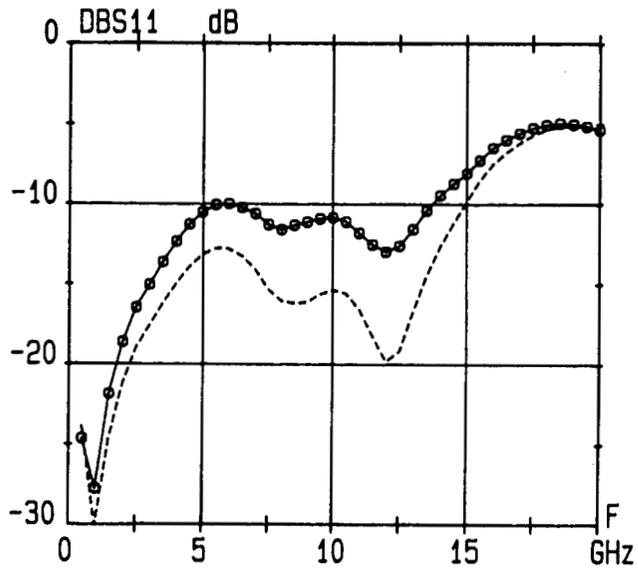


Figure IV-20 : Evolution des paramètres S d'un bigrille de  $400 \mu\text{m}$  ayant une self connectée sur  $G_1$  et rien sur  $G_2$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
-o-o-o-  $ZL2=0,8 \text{ nH}$       ----  $ZL2=0,5 \text{ nH}$

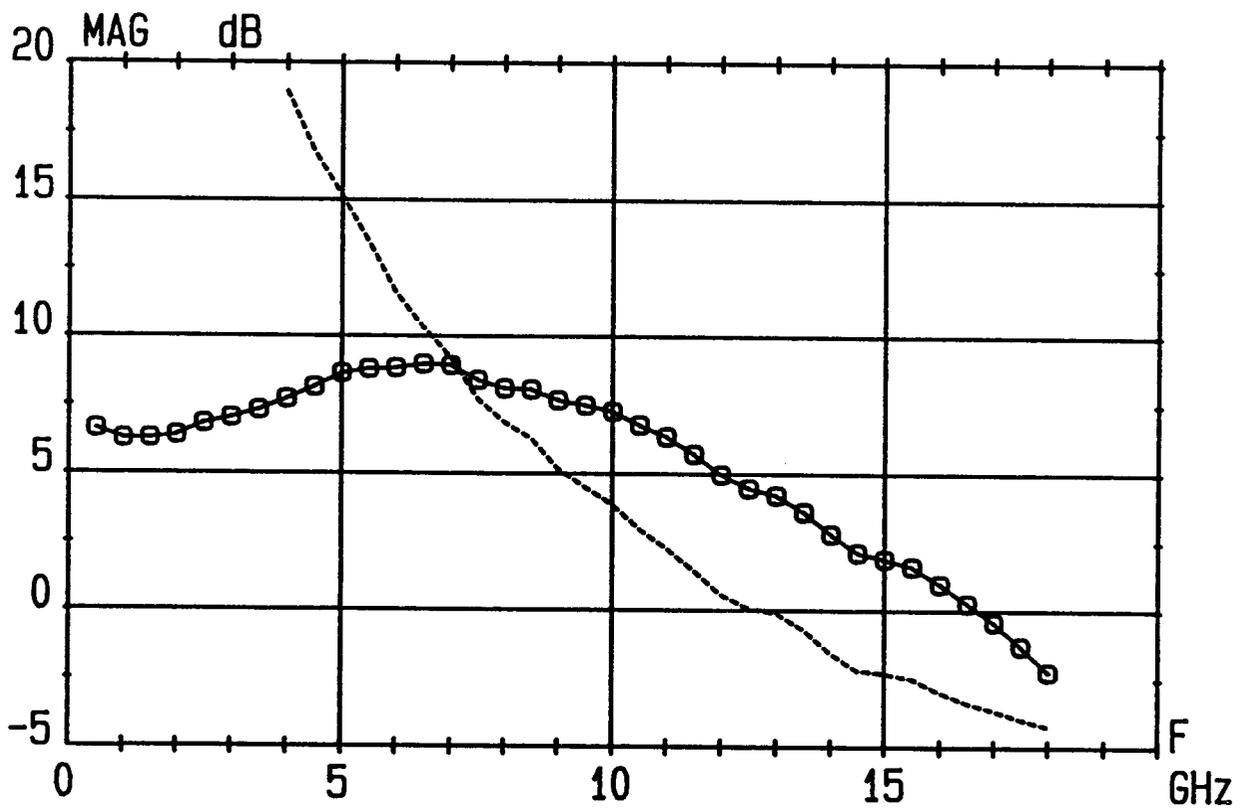


Figure IV-21 : Evolution du MAG pour deux configurations d'un bigrille de  $400\mu\text{m}$

( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )

-----  $ZL2=ZL4= \text{C.O}$

-o-o-o-  $ZL2= 0,8 \text{ nH}$   $ZL4= \text{C.O}$

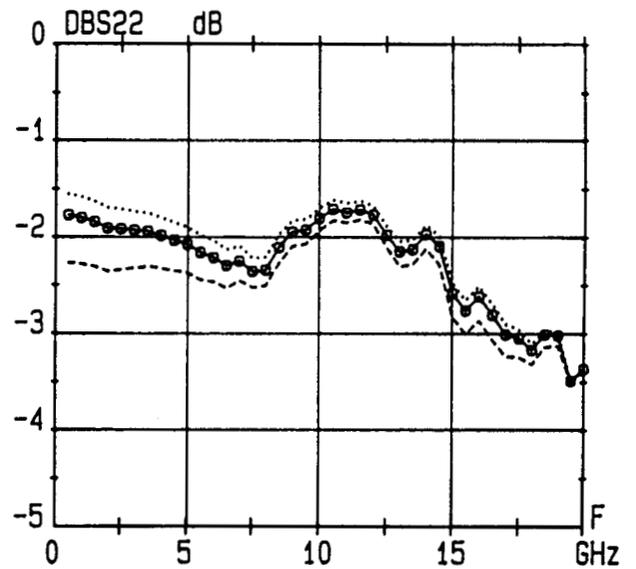
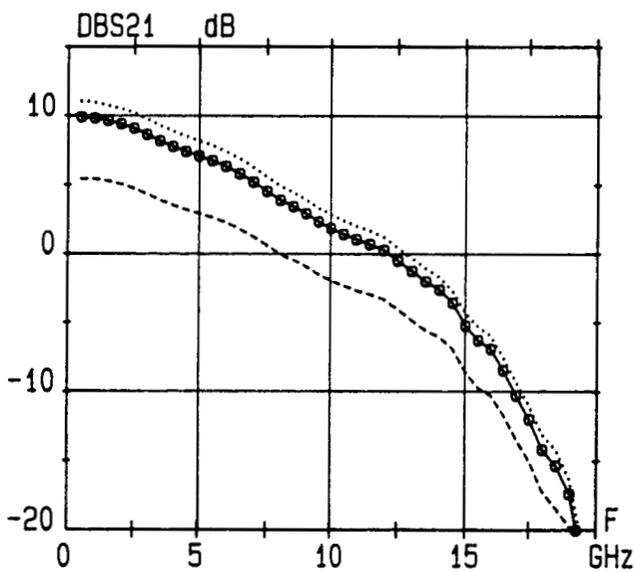
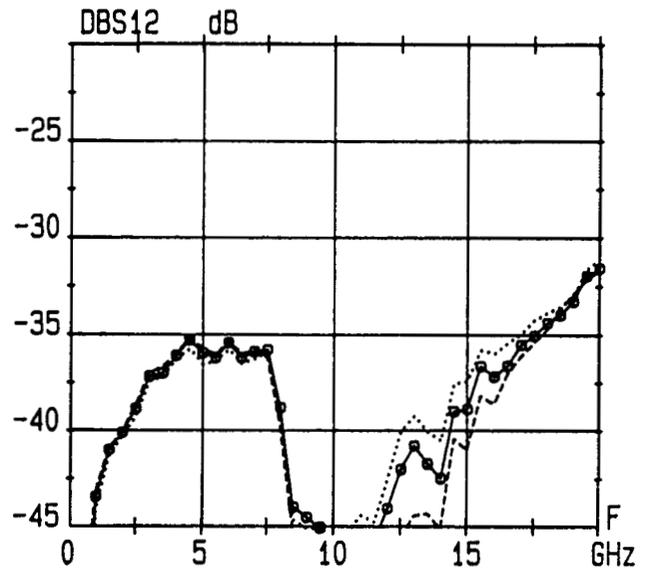
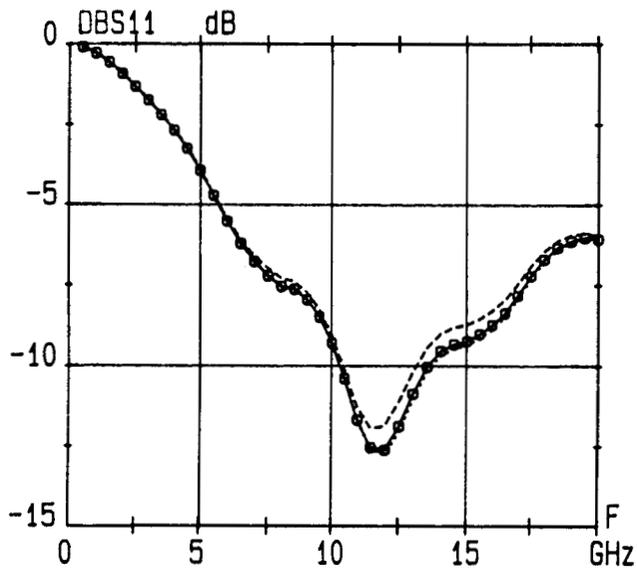


Figure IV-22 : Evolution des paramètres S d'un bigrille de  $400 \mu\text{m}$  en ayant une self de  $0,5 \text{ nH}$  connectée sur  $G_2$  et rien sur  $G_1$  en fonction de  $V_{g2s}$  ( $V_{g1s}=0\text{V}$   $V_{ds}=4\text{V}$ )  
 -----  $V_{g2s}=0 \text{ V}$     -o-o-o-  $V_{g2s}=1 \text{ V}$     .....  $V_{g2s}=2 \text{ V}$

influe le plus sur le coefficient de réflexion en entrée. La figure (IV-21) montrant le MAG pour la plus forte valeur de la self, permet de mieux rendre compte de l'amélioration des performances du transistor lorsqu'une self est connectée sur l'extrémité de la grille 1. Ainsi nous notons que dans cette configuration, le MAG est supérieur d'environ 1 à 4 dB à celui obtenu dans le cas d'une utilisation classique à partir de 7 GHz. Ces premiers résultats confirment d'une part l'influence des impédances terminales sur les performances du transistor bigrille et d'autre part, les résultats obtenus pour la structure de 700  $\mu\text{m}$  de développement.

#### IV-4-3-2 Impédances terminales connectées sur $G_2$ , $G_1$ étant en circuit ouvert

La figure (IV-22) montre les résultats obtenus par une self de 0,5 nH connectée sur  $G_2$  et ce pour différentes valeurs de polarisation de celle-ci. La grille 1 est polarisée à 0 V et le drain à 4 V. Nous constatons que le transistor présente dans cette configuration un comportement se rapprochant de celui observé dans le cas d'une utilisation classique. La présence d'une self sur la grille 2 se traduit par une désadaptation plus forte en sortie et une amélioration du S21 et de la bande d'utilisation malgré une décroissance continue avec la fréquence. Le S11 présente un minimum un peu plus marqué que dans le cas d'une utilisation classique. Nous notons également une amélioration de l'isolation grille 1 drain. Ces courbes montrent par la même occasion le rôle de commande de la grille  $G_2$ . Lors des différents essais expérimentaux, il est apparu que la valeur de l'inductance ZL4 influe peu sur la réponse du transistor et nous étudierons plus en détail ce phénomène dans la partie consacrée à la comparaison théorie-expérience de ce chapitre. Pour terminer, la figure (IV-23) montre une comparaison entre le MAG obtenu dans le cas d'une utilisation classique et dans le cas où une self est connectée sur la grille 2. A partir de 5 GHz, la configuration avec self présente des performances supérieures avec une différence de gain pouvant aller de 1 à 5 dB.

#### IV-4-3-3 Impédances terminales connectées sur $G_1$ et $G_2$

Pour ce dernier type de configuration du bigrille, nous présentons les

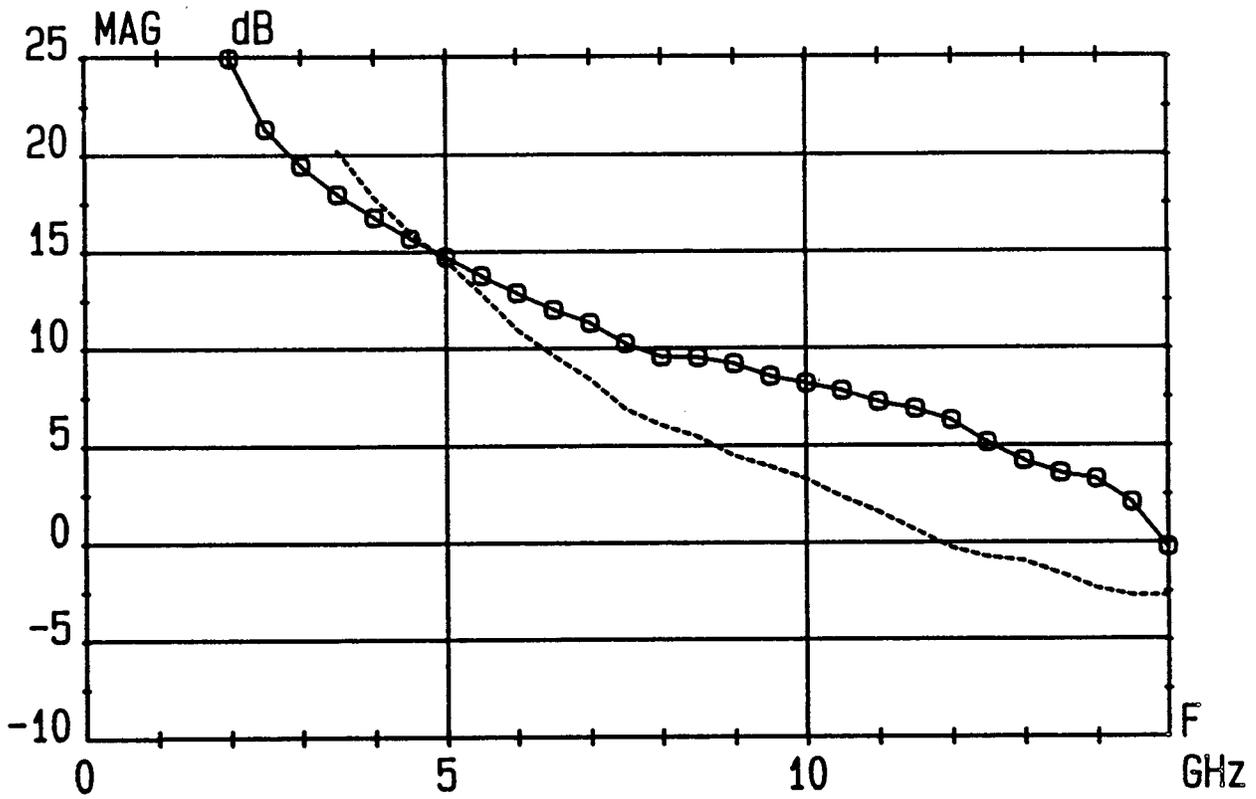


Figure IV-23 : Evolution du MAG pour deux configurations d'un bgrille de 400  $\mu\text{m}$

( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )

-----ZL2=ZL4= C.O

-o-o-o- ZL2=C.O ZL4=0,5 nH

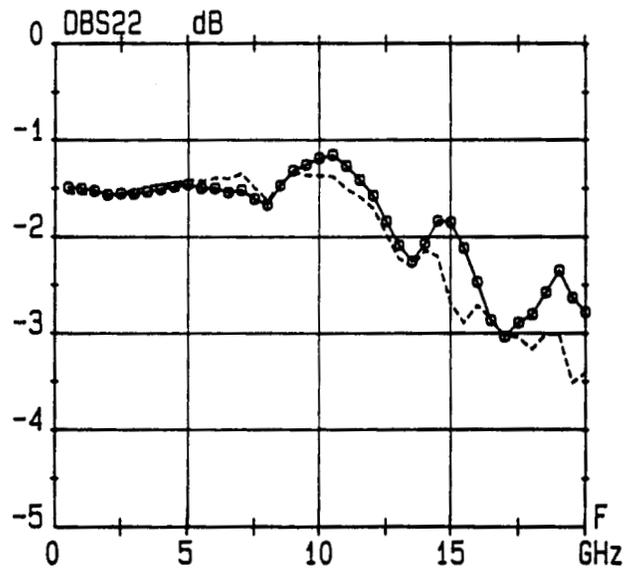
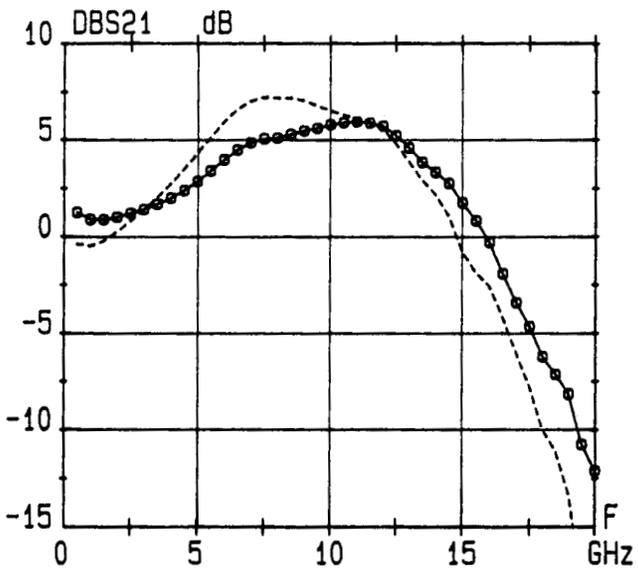
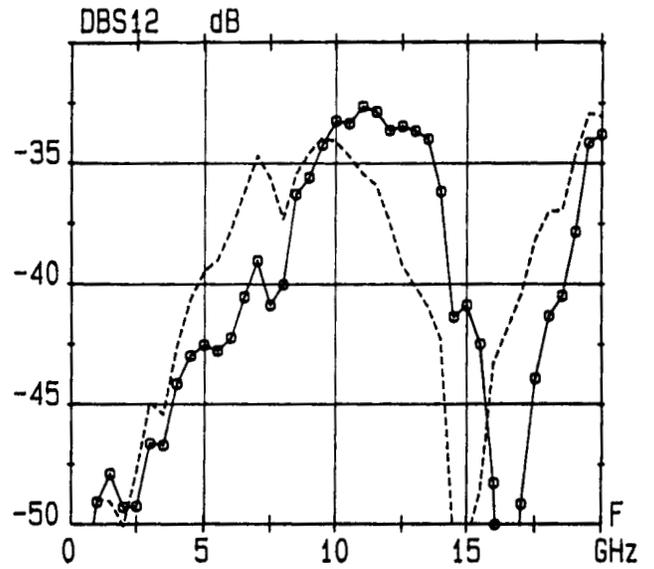
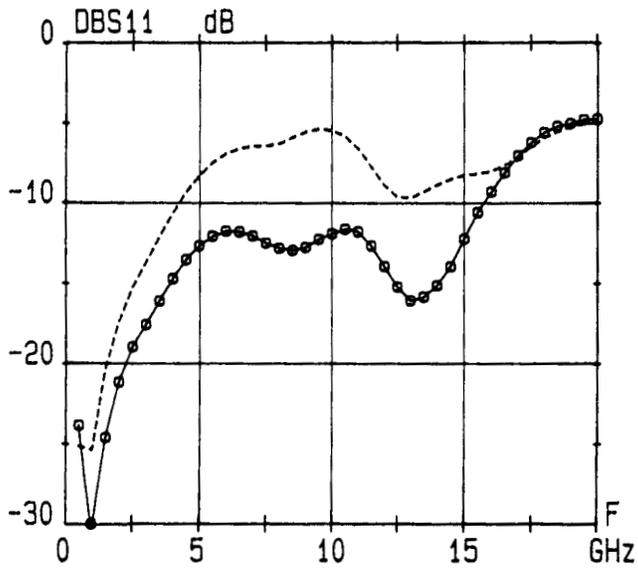


Figure IV-24 : Evolution des paramètres S d'un bigrille de  $400 \mu\text{m}$  ayant des selfs de même valeur connectées sur  $G_1$  et  $G_2$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
-----  $Z_{L2}=Z_{L4}= 0,8 \text{ nH}$       -o-o-o-  $Z_{L2}=Z_{L4}= 0,5 \text{ nH}$

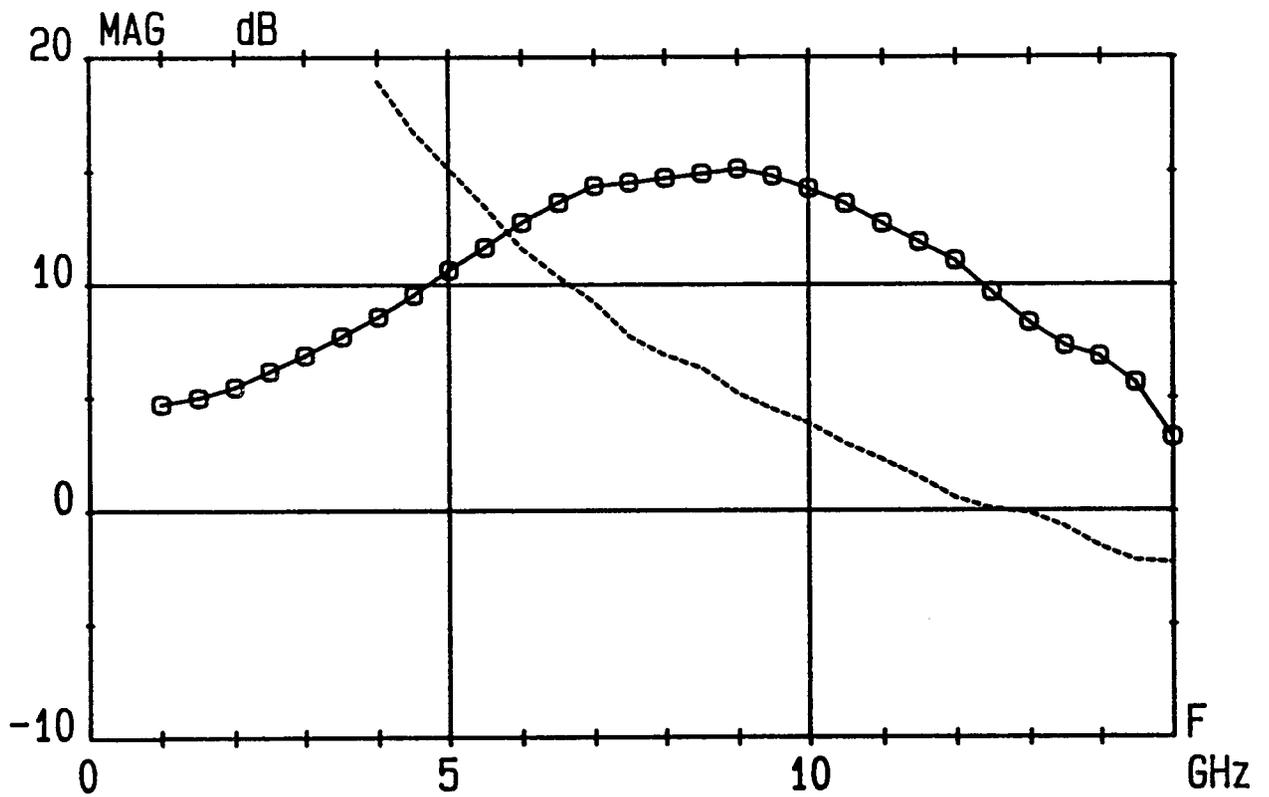


Figure IV-25 : Evolution du MAG pour deux configurations d'un bigrille de 400  $\mu\text{m}$

( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )

----- ZL2=ZL4= C.O

-o-o-o- ZL2=ZL4= 0,8 nH

meilleurs résultats obtenus lors des multiples essais expérimentaux que nous avons effectués. Comme dans le cas de la structure de  $700\ \mu\text{m}$ , nous avons constaté que pour ce type d'utilisation du bigrille, la valeur de la self connectée sur la grille 2 influe peu sur le comportement global du transistor mais cette self est nécessaire. Par conséquent, nous avons essentiellement étudié le transistor en prenant  $ZL2$  et  $ZL4$  variables et de même valeur. A titre d'exemple, nous montrons sur la figure (IV-24) l'évolution des paramètres S mesurés pour deux couples d'impédances selfiques  $ZL2$  et  $ZL4$ . On constate premièrement que dans ces conditions le transistor présente encore de meilleures performances que pour les configurations précédentes. De plus, les résultats apparaissent comme une combinaison des phénomènes observés lors des deux précédentes configurations étudiées en ce qui concerne les coefficients de réflexion en entrée et en sortie du transistor. Ainsi, la connexion de self sur la grille 1 et la grille 2 se traduit par une amélioration encore plus forte du coefficient de réflexion en entrée et une désadaptation encore plus marquée en sortie. Le  $S_{21}$  présente une évolution de type passe bande similaire à celle observée dans le cas où seule la grille  $G_1$  est terminée par une impédance selfique. La bande d'utilisation est d'environ 4 GHz supérieure à celle correspondant à l'utilisation classique. Enfin, on peut noter que l'allure du  $S_{21}$  présentée par cette configuration est similaire mais décalée vers les hautes fréquences à celle observée pour la structure de  $700\ \mu\text{m}$ . En ce qui concerne les valeurs prises pour  $ZL2$  et  $ZL4$ , on note que son augmentation se traduit par une dégradation du coefficient de réflexion en entrée, une amélioration sensible du  $S_{21}$  accompagnée toutefois d'une légère diminution de la bande d'utilisation. Par conséquent, il apparaît nécessaire aux vues de ces résultats de trouver des valeurs de self permettant d'avoir un bon compromis gain-bande et adaptation d'entrée. On remarque également que, comme dans le cas des transistors monogrilles, on ne peut avoir simultanément une quasi adaptation en entrée et en sortie du transistor. Enfin pour conclure cette partie, la figure (IV-25) représentant l'évolution du MAG résume tout l'intérêt et l'amélioration des performances présentés pour le transistor bigrille avec des selfs sur les extrémités des grilles 1 et 2. Ainsi, le gain du transistor est supérieur à celui obtenu dans le cas d'une utilisation classique à partir de 6 GHz d'environ 1 à 8 dB ce qui est considérable compte tenu du développement de grille ( $400\ \mu\text{m}$ ). Pour certains transistors, nous avons obtenu des différences de gain encore plus grandes pouvant aller jusqu'à 10 dB.

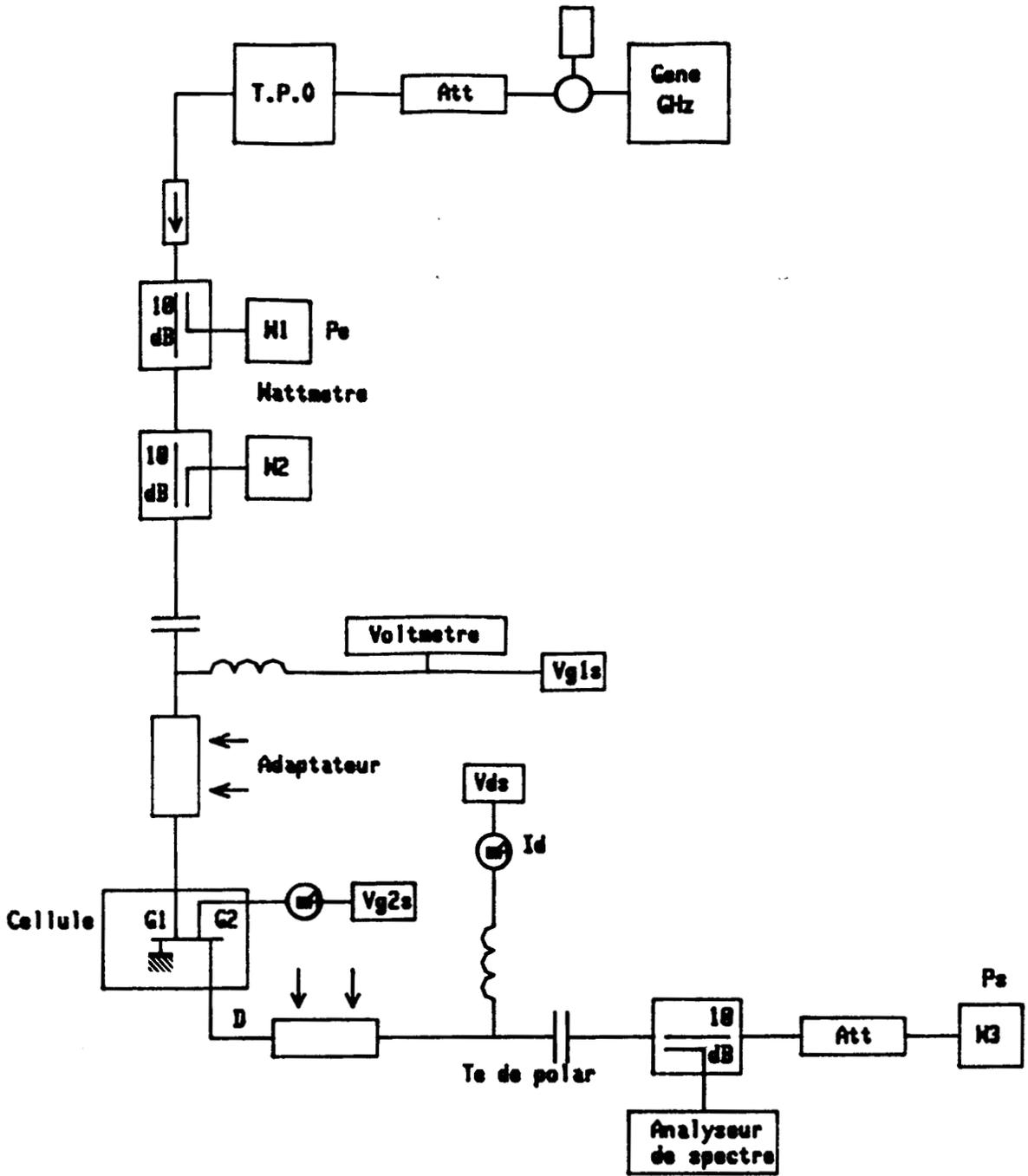


Figure IV-26 : Synoptique du banc de puissance

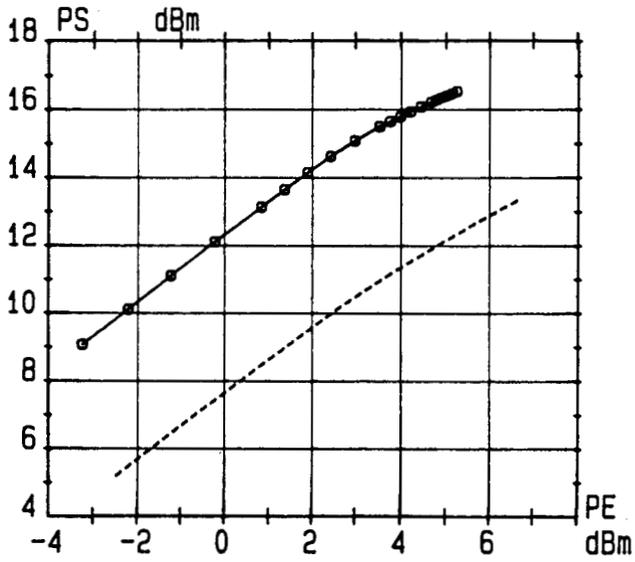
#### IV-4-4 Résultats expérimentaux en amplification de puissance

Comme dans le cas de la structure monogrille, nous avons voulu voir si l'amélioration des performances d'un bigrille due à la connexion de self sur les électrodes de grille, observée en régime petit signal, se retrouve dans le cas d'un fonctionnement en amplification de puissance. Bien que ces transistors ne soient pas spécialement conçus pour ce type d'utilisation, ils nous permettront cependant de tirer des indications concernant l'influence d'impédances terminales lors d'un fonctionnement en amplification de puissance.

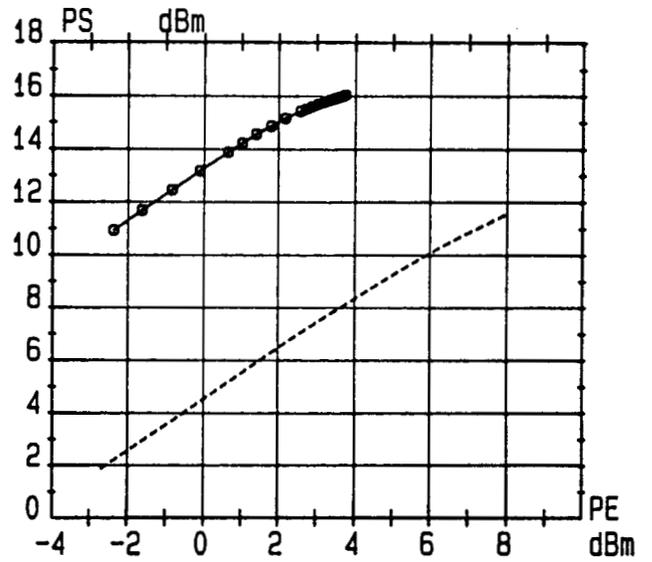
Nous avons essentiellement utilisé le transistor de  $400\ \mu\text{m}$ . Cette structure présente d'une part les meilleures performances et permet d'autre part de réaliser des mesures à des fréquences plus élevées. Nous avons retenu pour cette étude deux configurations: la première est celle d'une utilisation classique et la seconde est celle où des selfs sont connectées simultanément sur les deux grilles. Nous avons réalisé les mesures pour quatre fréquences (8,10,12 et 14 GHz) à puissance de sortie maximum.

Le banc de mesure représenté sur la figure (IV-26) est identique à celui décrit au chapitre 3 dans le cas de la structure monogrille. Les figures (IV-27 a,b,c et d) montrent l'évolution de la puissance de sortie en fonction de la puissance d'entrée pour les deux configurations retenues. La polarisation de  $G_1$  vaut 0V, celle de  $G_2$  2V et celle de drain 6V. Nous constatons dans les deux cas de figure que le transistor manifeste un comportement linéaire. Les résultats obtenus amènent plusieurs commentaires. On constate que l'évolution de la puissance de sortie est différente suivant que des selfs sont connectées ou pas en bout de grille du transistor. Ainsi, dès 8 GHz, la structure avec self présente une puissance de sortie à 1 dB de compression du gain plus élevée assorti d'un gain supérieur que la structure classique. Nous constatons également que la puissance de sortie décroît moins rapidement en fonction de la fréquence pour la structure avec self.

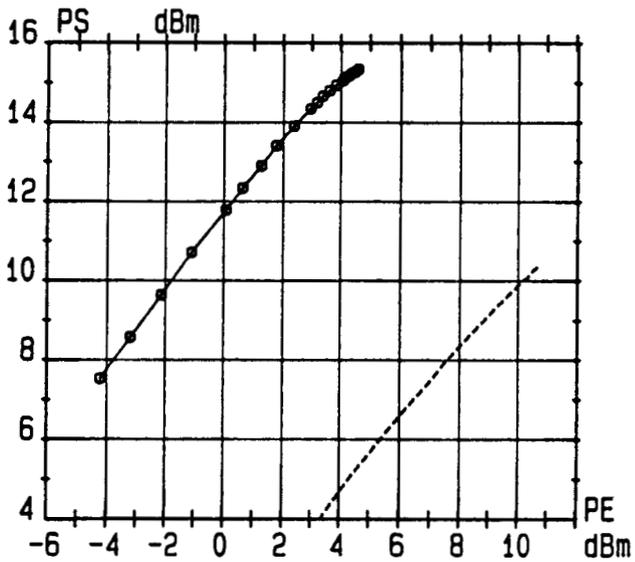
Ces premiers résultats sont encourageants et une optimisation du transistor pour un fonctionnement en puissance devrait permettre d'obtenir de meilleures



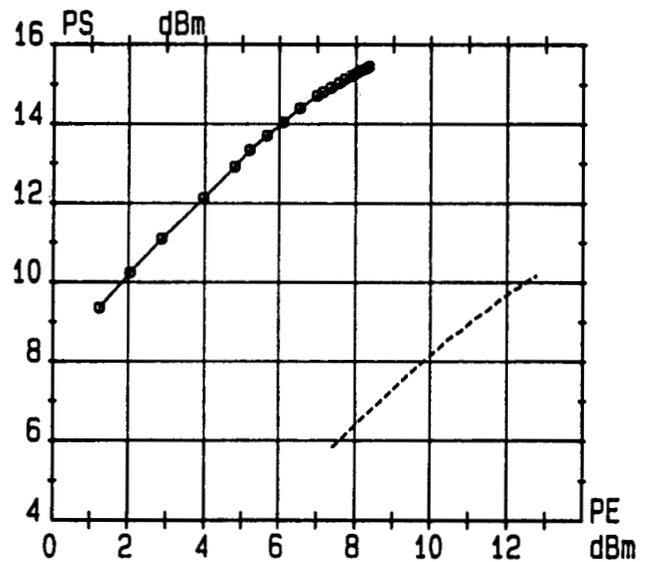
a)  $f = 8$  GHz



b)  $f = 10$  GHz



c)  $f = 12$  GHz



d)  $f = 14$  GHz

Figure IV-27 : Evolution de la puissance de sortie en fonction de la puissance d'entrée d'un bigrille de  $400 \mu\text{m}$  pour deux configurations ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
 -----  $ZL2=ZL4= \text{C.O}$                       -o-o-o-  $ZL2=ZL4= 1 \text{ nH}$

performances. Cette nouvelle utilisation du transistor bigrille permet d'aboutir à un bon compromis entre gain et puissance de sortie.

#### **IV-4-5 Conclusion**

Ces différents résultats expérimentaux ont montré le rôle important joué par des impédances terminales selfiques connectées sur les extrémités des deux grilles d'un bigrille. Ainsi un choix judicieux de la valeur des impédances et d'autre part de leurs localisations, permet d'obtenir plusieurs types de fonctionnement d'amplification : passe bas à grand gain (configuration classique), passe bande à gain moyen ou large bande à gain plus faible. On a constaté que les résultats obtenus pour la structure bigrille sont encore plus significatifs que dans le cas de la structure monogrille. Ainsi pour la structure de  $400\ \mu\text{m}$ , le gain a été augmenté d'environ 10 dB par la présence de selfs sur les extrémités des deux grilles. A ceci, on peut ajouter l'intérêt supplémentaire d'une commande de gain possible par la grille 2. Par conséquent une optimisation du développement de grille et de la valeur des impédances terminales doit permettre d'obtenir des performances particulièrement intéressantes pour ce type de structure. Cette utilisation particulière du transistor bigrille peut être à l'origine de nouvelles topologies de circuits intégrés tels les amplificateurs large bande à contrôle de gain. Enfin, les résultats de puissance mettent en évidence que les structures possédant des impédances terminales présentent des meilleures performances en amplification de puissance aux fréquences les plus élevées que les structures conventionnelles.

### **IV-5 Confrontation théorie-expérience**

#### **IV-5-1 Introduction**

Nous nous proposons dans cette partie de confronter le modèle distribué présenté au paragraphe IV-3-3 avec les résultats expérimentaux des deux types de transistors bigrilles étudiés et ce pour les différentes configurations envisagées.

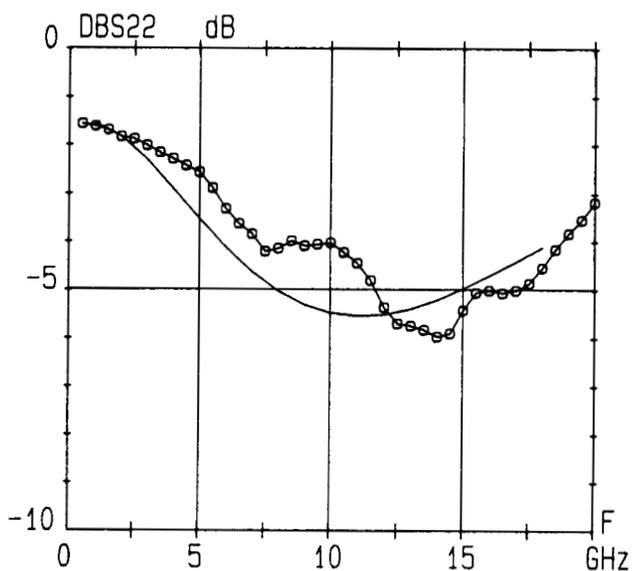
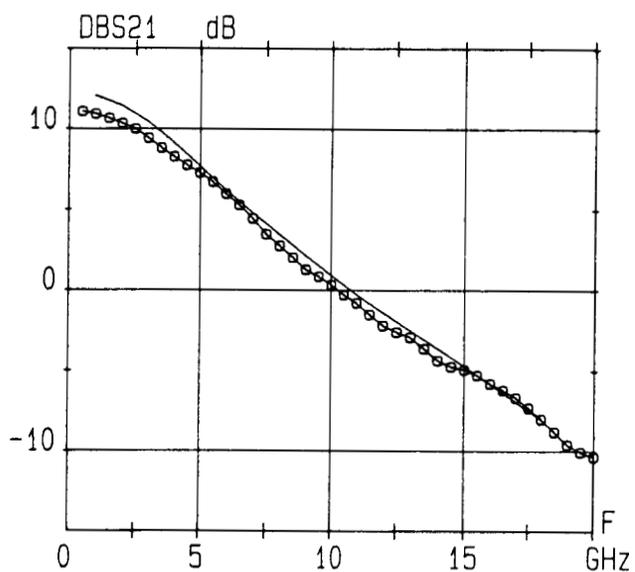
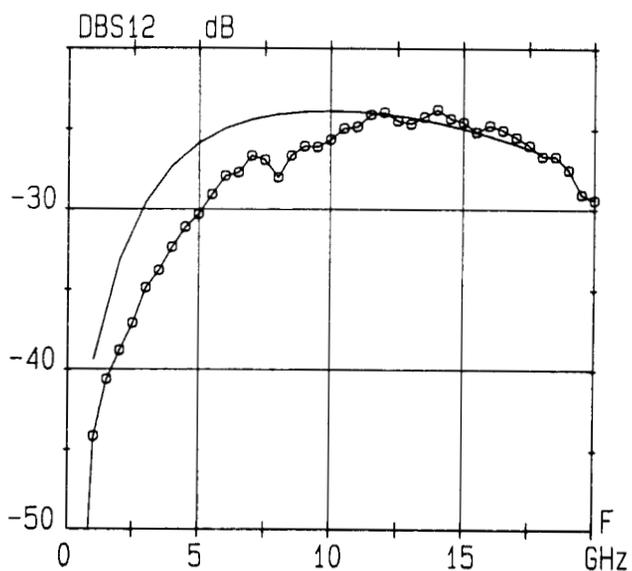
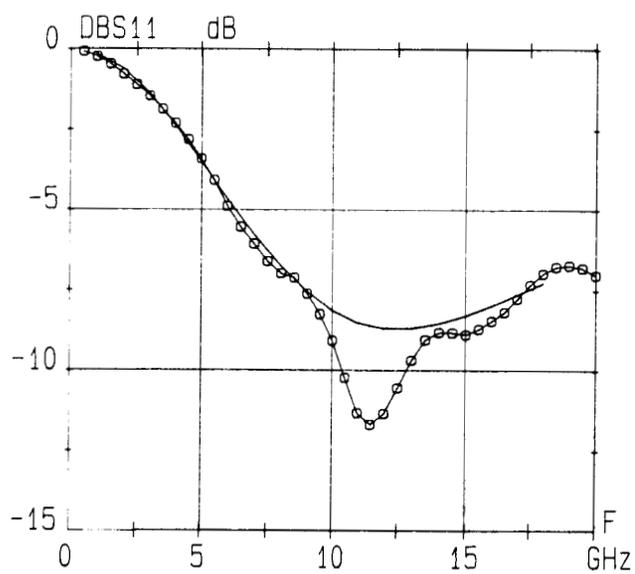


Figure IV-28 : Comparaison des paramètres S mesurés et simulés d'un bigrille de 400  $\mu\text{m}$  en configuration classique ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )

-o-o-o- mesure

— modèle

Parmi toutes les confrontations théorie-expérience que nous avons effectuées, nous présentons essentiellement les résultats obtenus pour des polarisations continues optimales des grilles et du drain des transistors. Ces confrontations portent essentiellement sur les paramètres S. Dans cette étude, nous avons introduit le maximum d'interprétations possibles.

#### IV-5-2 Transistor bigrille de 400 $\mu\text{m}$ (motif 42)

Dans cette partie, nous présentons les principaux résultats de simulation obtenus pour les différentes configurations envisagées. Dans tous les cas, la polarisation retenue est :  $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$  et  $V_{ds}=4\text{V}$ . Pour les simulations, nous avons utilisé 4 cellules élémentaires dont les valeurs des éléments du schéma équivalent sont données dans le tableau ci-dessous :

<b>Rg1</b> ( $\Omega$ )	<b>Lg1</b> (pH)	<b>CI1</b> (fF)	<b>RI21</b> ( $\Omega$ )	<b>CF1</b> (fF)	<b>Gm1</b> (mS)	<b>CO1</b> (fF)	<b>RO1</b> ( $\Omega$ )	<b>RD1</b> ( $\Omega$ )	<b>RS1</b> ( $\Omega$ )
6,4	10	85	8	24	13	49	425	6,4	3,5
<b>Rg2</b> ( $\Omega$ )	<b>Lg2</b> (pH)	<b>CI2</b> (fF)	<b>RI22</b> ( $\Omega$ )	<b>CF2</b> (fF)	<b>Gm2</b> (mS)	<b>CO2</b> (fF)	<b>RO2</b> ( $\Omega$ )	<b>RD2</b> ( $\Omega$ )	
6,4	10	126	98	7,3	21	29	180	3,5	

La figure (IV-28) représente les évolutions théoriques et expérimentales des paramètres S dans le cas d'une utilisation classique du transistor bigrille ( $ZL2=ZL4$ =circuit ouvert). On constate un accord tout à fait satisfaisant entre les deux évolutions avec toutefois un pic du S11 théorique moins marqué que celui expérimental. Les petites différences observées sur les coefficients de réflexion en entrée et en sortie peuvent résulter d'une part, des effets inhérents à la cellule de mesure et d'autre part, à la sous-estimation dans le schéma équivalent complexe du bigrille de certains éléments parasites.

Le deuxième type de confrontation, montrée sur la figure (IV-29), porte sur





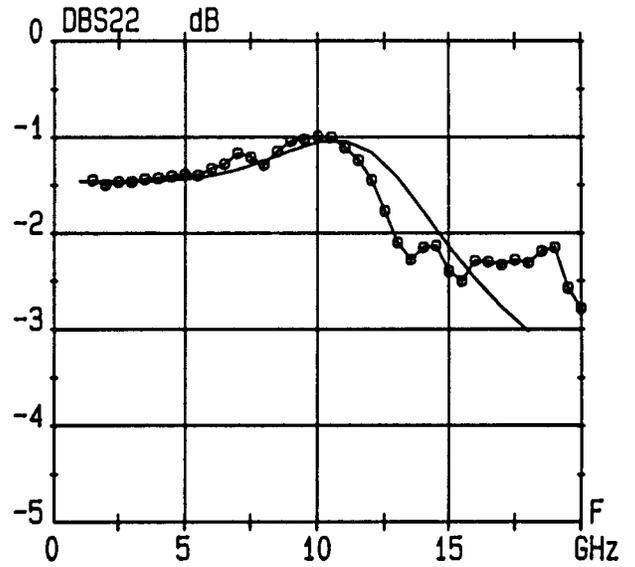
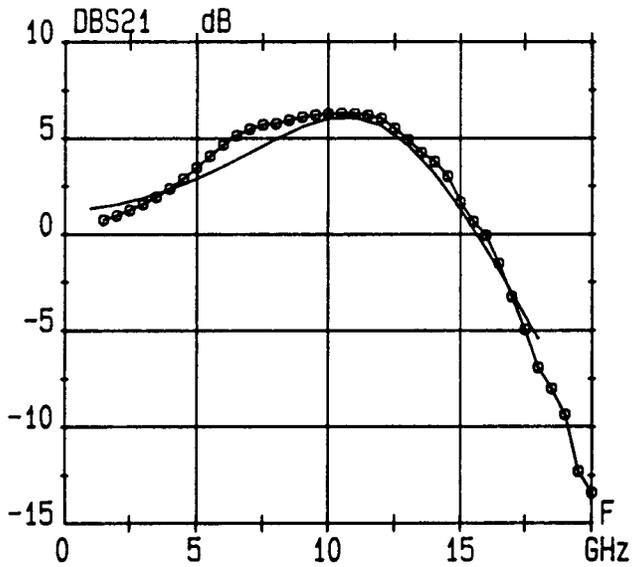
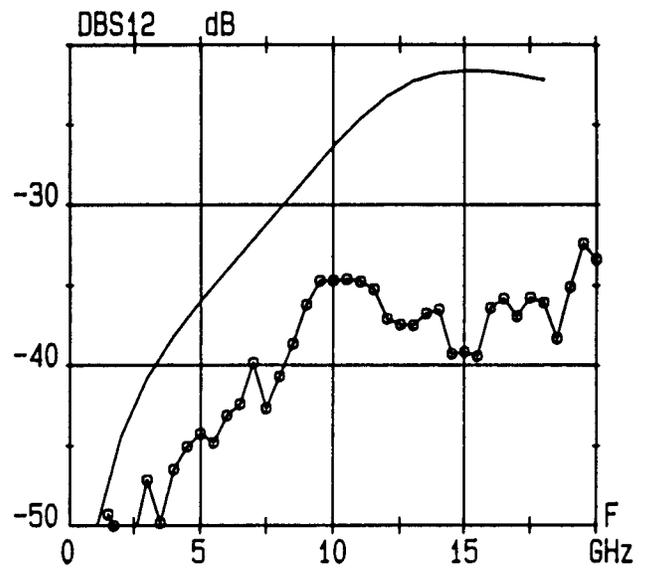
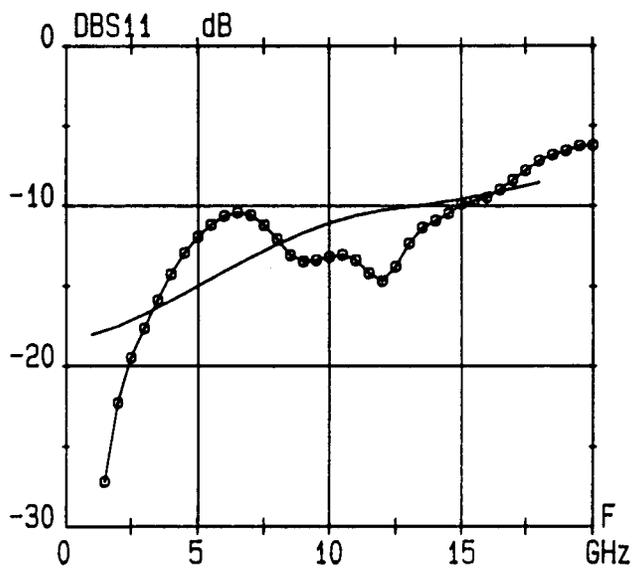


Figure IV-31 : Comparaison des paramètres S mesurés et simulés d'un bigrille de  $400 \mu\text{m}$  ayant des selfs de  $0,6 \text{ nH}$  sur  $G_1$  et  $G_2$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
 -o-o-o- mesure                      ————modèle

l'utilisation avec une self connectée sur l'extrémité de  $G_1$  et non sur  $G_2$ . On observe également un bon accord entre les paramètres S théoriques et expérimentaux avec un S21 théorique légèrement plus faible que l'expérimental. Les différences observées sur le S11 peuvent résulter des mêmes phénomènes que ceux évoqués ci-dessus. La valeur de la self connectée sur l'extrémité de la grille a été estimée à environ 0,8 nH. Le pic observé sur le S11 en très basse fréquence a été attribué à une résonance.

La figure (IV-30) montre la confrontation dans le cas d'une inductance connectée sur l'extrémité de  $G_2$  avec rien sur  $G_1$ . Pour ce type d'utilisation, la self est estimée à 1 nH. L'accord est satisfaisant à l'exception du S12. On note également, comme précédemment que le pic du S11 théorique est moins marqué que celui expérimental. Les différences observées sur les deux autres paramètres résultent de phénomènes parasites liés à la nature hybride du montage.

Le dernier cas de confrontation envisagée pour la structure de 400  $\mu\text{m}$  est celui où des selfs sont connectées simultanément sur  $G_1$  et  $G_2$ . On constate sur les évolutions des paramètres S théoriques et expérimentaux montrés sur la figure (IV-31) que la différence observée dans le cas précédent entre le S12 théorique et expérimental se retrouve pour ce type de configuration. Ce résultat semble logique étant donné que pour ce type de configuration on a une combinaison des phénomènes observés pour les deux configurations précédentes et que la configuration avec self sur  $G_2$  présentait déjà cette anomalie. Pour les trois autres paramètres, les résultats obtenus sont tout-à-fait satisfaisants.

On peut dès à présent dire que le modèle permet de prédire de façon tout à fait satisfaisante les performances du bigrille et ce pour n'importe quel type de configuration. Une meilleure détermination et prise en compte de certains éléments parasites doit encore permettre de l'améliorer.

#### **IV-5-3 Transistor bigrille de 700 $\mu\text{m}$ (motif 43)**

Le même type de cheminement que celui décrit ci-dessus pour les structures de 400  $\mu\text{m}$  a été suivi. La polarisation continue a été, cette fois, fixée à :  $V_{g1s}=0\text{v}$

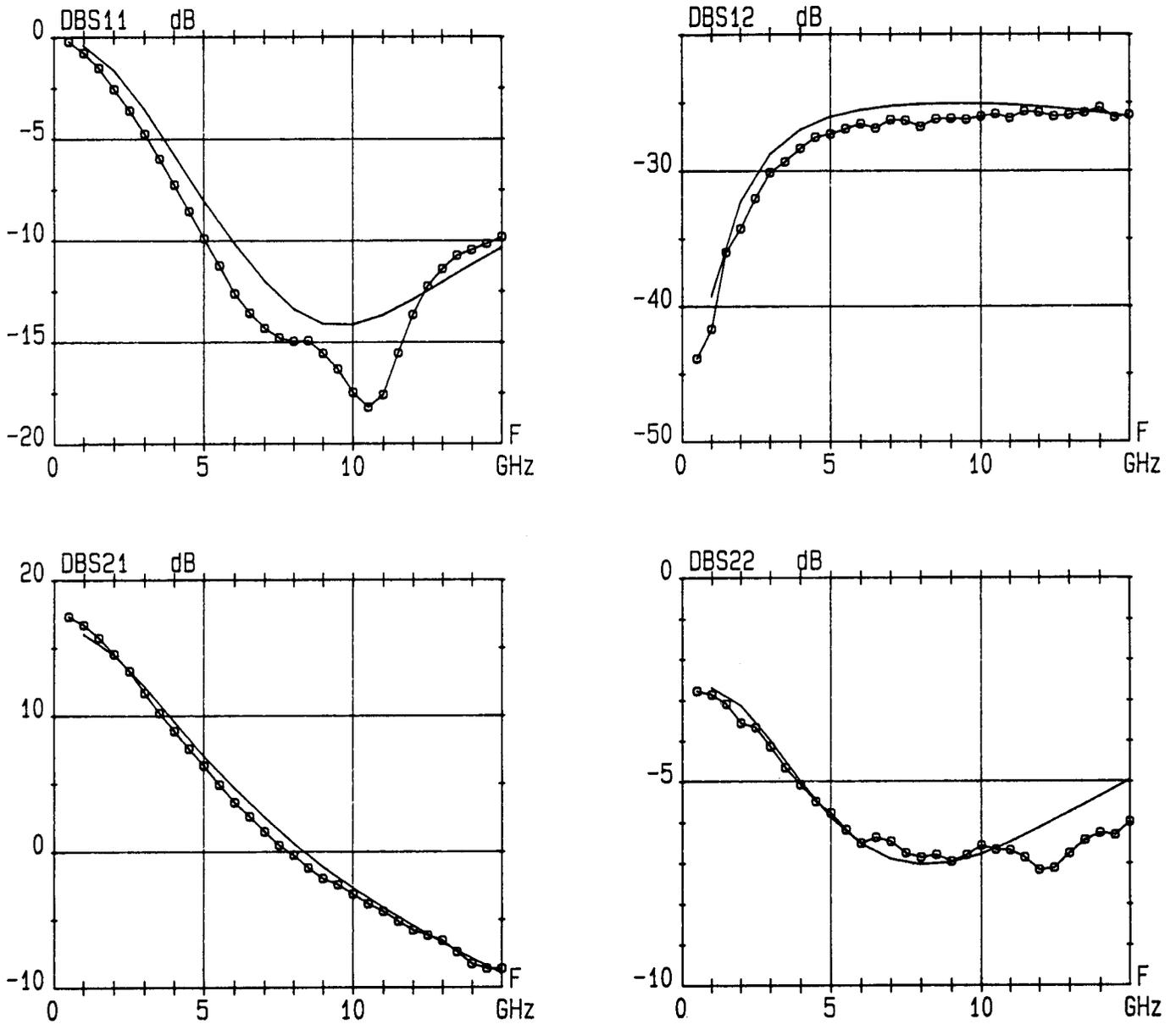


Figure IV-32 : Comparaison des paramètres S mesurés et simulés d'un bigrille de 700  $\mu\text{m}$   
en configuration classique ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
-o-o-o- mesure                      —modèle

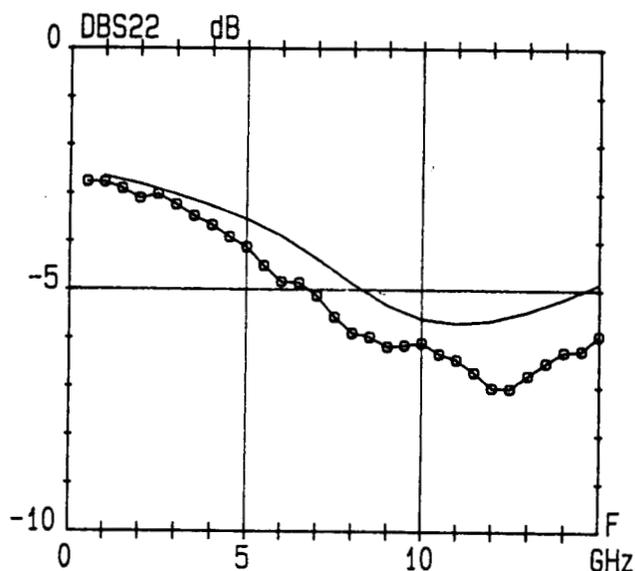
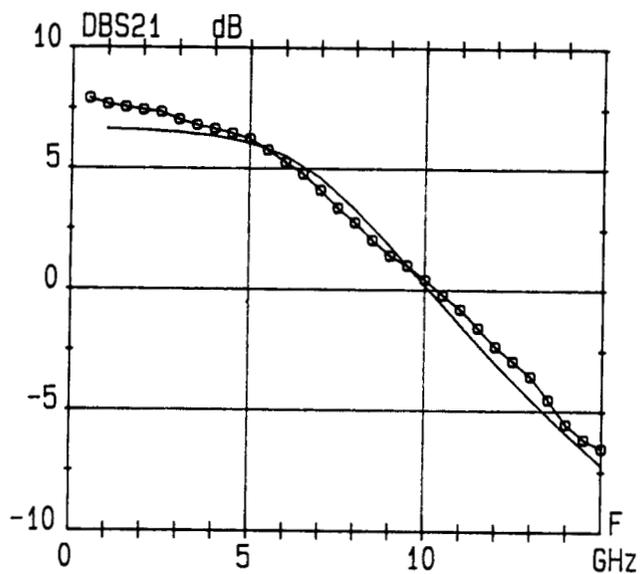
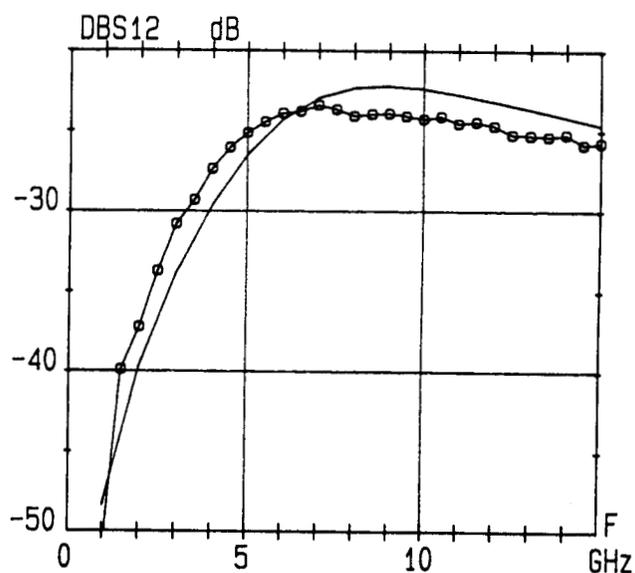
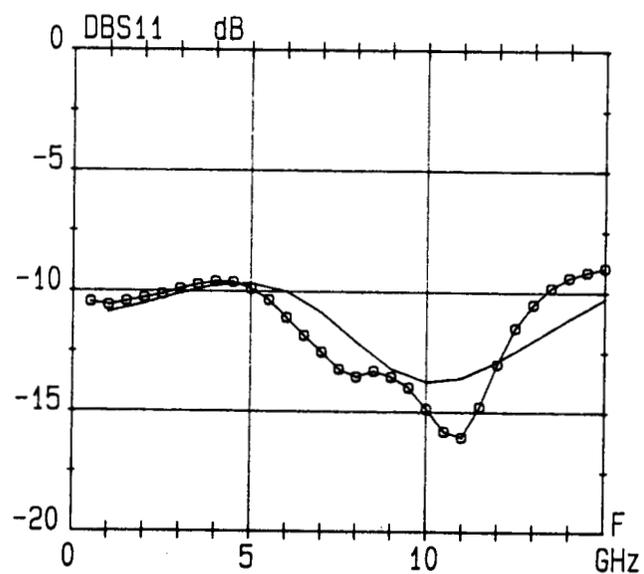


Figure IV-33 : Comparaison des paramètres S mesurés et simulés d'un bigrille de  $700 \mu\text{m}$  ayant une self de  $0,8 \text{ nH}$  sur  $G_1$  et rien sur  $G_2$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
-o-o-o- mesure                      — modèle

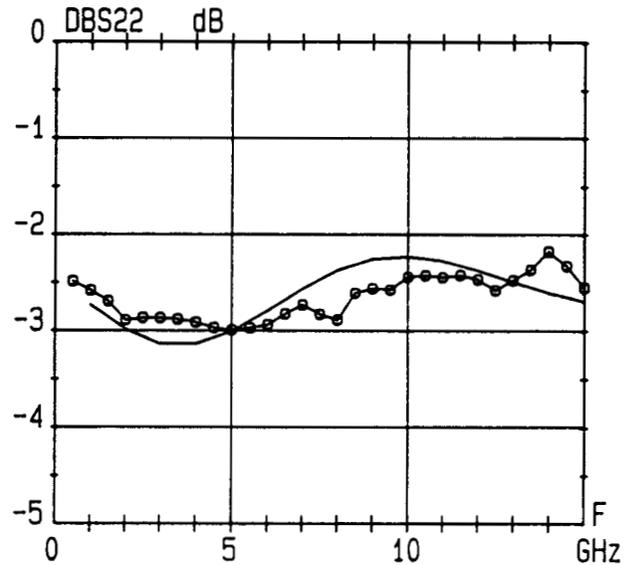
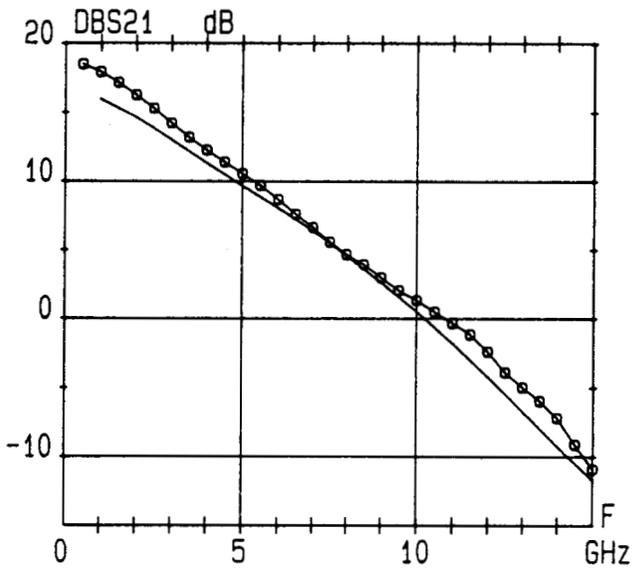
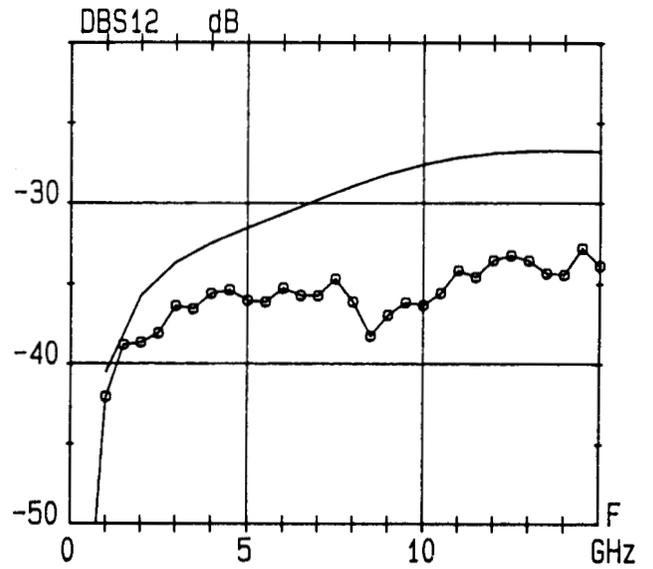
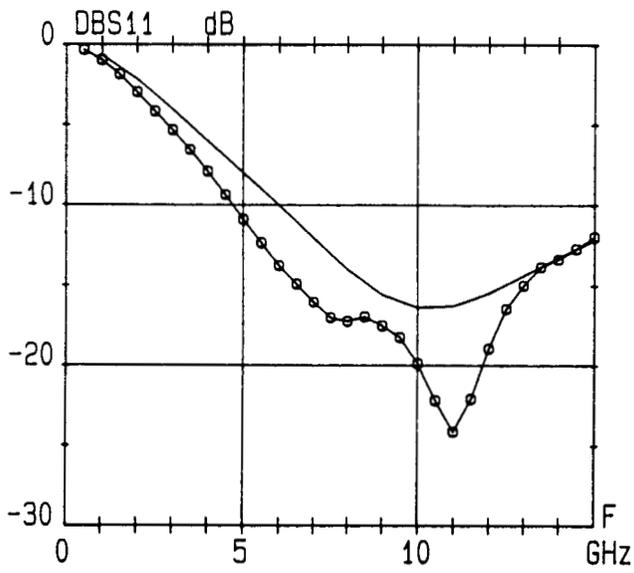


Figure IV-34 : Comparaison des paramètres S mesurés et simulés d'un bigrille de  $700 \mu\text{m}$  ayant une self de  $0,8 \text{ nH}$  sur  $G_2$  et rien sur  $G_1$  ( $V_{g1s}=0\text{V}$   $V_{g2s}=2\text{V}$   $V_{ds}=4\text{V}$ )  
-o-o-o- mesure                      — modèle

$V_{g2s}=2V$  et  $V_{ds}=4V$ . Nous avons utilisé 7 cellules élémentaires dont les valeurs des éléments du schéma équivalent sont données dans le tableau ci-dessous.

<b>Rg1</b> ( $\Omega$ )	<b>Lg1</b> (pH)	<b>CI1</b> (fF)	<b>RI21</b> ( $\Omega$ )	<b>CF1</b> (fF)	<b>Gm1</b> (mS)	<b>C01</b> (fF)	<b>R01</b> ( $\Omega$ )	<b>RD1</b> ( $\Omega$ )	<b>RS1</b> ( $\Omega$ )
<b>6,4</b>	<b>10</b>	<b>71</b>	<b>8</b>	<b>15</b>	<b>13</b>	<b>49</b>	<b>378</b>	<b>6,4</b>	<b>3,5</b>
<b>Rg2</b> ( $\Omega$ )	<b>Lg2</b> (pH)	<b>CI2</b> (fF)	<b>RI22</b> ( $\Omega$ )	<b>CF2</b> (fF)	<b>Gm2</b> (mS)	<b>C02</b> (fF)	<b>R02</b> ( $\Omega$ )	<b>RD2</b> ( $\Omega$ )	
<b>6,4</b>	<b>10</b>	<b>94</b>	<b>98</b>	<b>13</b>	<b>21</b>	<b>29</b>	<b>210</b>	<b>3,5</b>	

Dans le cas de l'utilisation classique montrée sur la figure (IV-32), on remarque un accord tout-à-fait satisfaisant avec toutefois un pic du S11 théorique moins marqué que celui expérimental. Cette différence pouvant être attribuée, comme nous l'avons déjà indiqué à la sous-estimation de certains éléments parasites propres au montage. La remontée du S11 à partir de 11 GHz peut s'expliquer par la présence de la self de connexion de la grille au boîtier de mesure.

Pour le deuxième type d'utilisation avec une self connectée sur l'extrémité de  $G_1$  et rien sur  $G_2$ , la figure (IV-33) montre que les résultats obtenus sont tout-à-fait satisfaisants avec toutefois un S22 théorique un peu plus optimiste que celui mesuré. Toutefois, nous remarquons que les paramètres S calculés à partir de notre modèle suivent le même type d'évolution que ceux mesurés. La valeur de la self utilisée a été estimée à 0,8 nH.

La troisième utilisation possible avec une inductance connectée sur  $G_2$  et rien sur  $G_1$ , est montrée sur la figure (IV-34) et, là encore, on peut noter que notre modèle est satisfaisant et des remarques similaires à celles concernant les configurations précédentes peuvent être faites. Ainsi, on note toujours un pic du S11 théorique moins marqué que celui expérimental ainsi qu'une différence sensible sur le S12. Pour cette simulation, la self terminale a été prise égale à 0,8 nH.



Le même type de constatations peut être fait sur la figure (IV-35) pour le dernier cas étudié où des inductances de 0,6 nH sont connectées simultanément sur les extrémités des deux grilles. Les résultats obtenus sont tout-à-fait satisfaisants mise à part la différence sensible entre le S12 théorique et expérimental. Nous pouvons affirmer après ces différentes confrontations théorie-expérience que notre modélisation permet dans tous les cas de figure d'utilisation du bigrille de bien rendre compte du comportement global de ce dernier. Nous avons toutefois observé des différences sur certains paramètres qui peuvent être attribuées d'une part à la sous-estimation ou à la non prise en compte de certains éléments parasites inhérents à la nature hybride du montage de mesure et d'autre part, à la complexité de la structure bigrille.

La validité de notre modèle ayant été démontrée par ces différentes confrontations théorie-expérience pour les deux structures étudiées, on peut maintenant passer à l'étude paramétrique de ces dernières.

## **IV-6 Etude paramétrique et optimisation des différentes structures**

Dans cette partie, nous nous intéressons à l'optimisation de la structure bigrille en étudiant l'influence de certains paramètres sur le comportement global du transistor. Cette analyse a pour but d'une part de déterminer l'influence de certains paramètres comme la résistance de grille ou le développement total de grille et d'autre part, de déterminer la valeur des impédances terminales qu'il faut connecter sur les grilles pour améliorer les performances. Nous examinons les cas des structures de 400 et 700  $\mu\text{m}$  de développement. Pour réaliser cette étude, les valeurs retenues pour les éléments constituant le schéma équivalent sont des valeurs moyennes tirées par caractérisation des différents transistors dont nous avons disposé. La polarisation a été choisie à :  $V_{g1s}=0\text{V}$   $V_{g2s}=+2\text{V}$  et  $V_{ds}=4\text{V}$ .

### **IV-6-1 Influence de la résistance de grille**

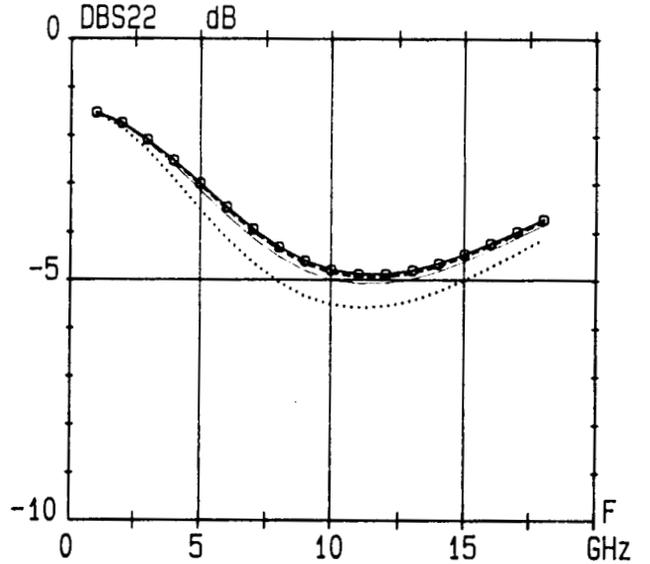
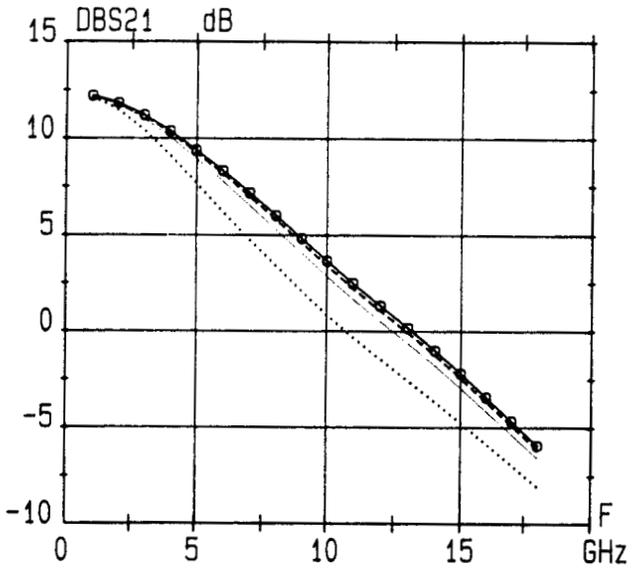
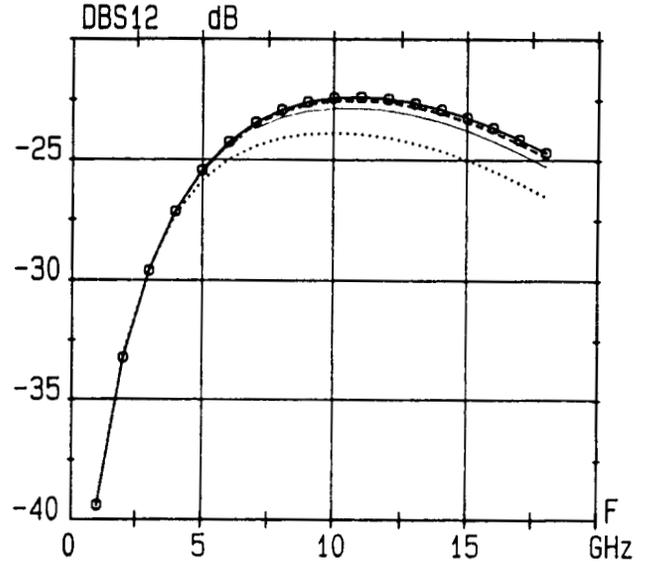
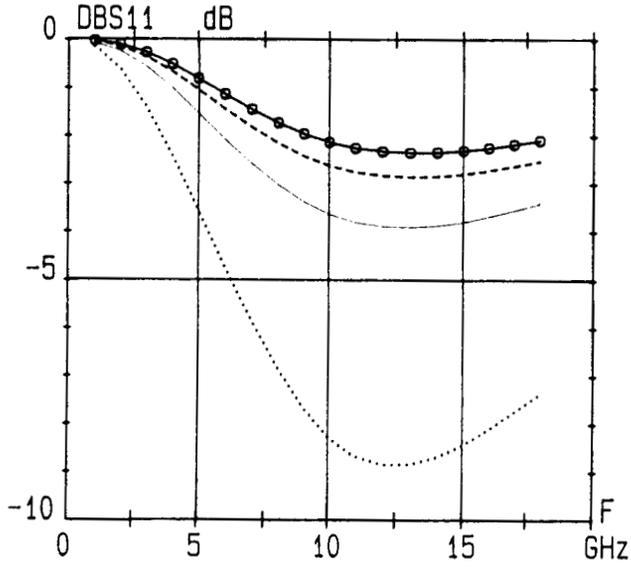


Figure IV-36 : Influence de la résistance de grille sur les paramètres S d'un bigrille de 400  $\mu\text{m}$  en configuration classique  
-o-o-o- 10  $\Omega/\text{mm}$     - - - - 20  $\Omega/\text{mm}$     ——— 40  $\Omega/\text{mm}$     ..... 130  $\Omega/\text{mm}$

Comme dans le cas de la structure monogrille, nous avons voulu voir le rôle que joue la résistance de grille sur les performances du transistor et notamment lorsque des impédances terminales sont connectées sur les extrémités des grilles. Nous avons porté notre attention sur deux types d'utilisation du bigrille qui permettent mettre en évidence le mieux possible le rôle de cette résistance à savoir : la configuration classique et la configuration avec seulement une self sur  $G_1$ .

#### IV-6-1-1 Transistor bigrille de 400 $\mu\text{m}$ (motif 42)

La figure (IV-36) représente l'évolution des paramètres S simulés dans le cas d'une utilisation classique du bigrille pour quatre valeurs de la résistance de grille, la plus élevée étant celle de nos structures. On constate que la valeur de la résistance de grille joue éventuellement sur le S21 et le S11, ce qui a priori était prévisible. Ainsi, une augmentation de la valeur de celle-ci se traduit par une désadaptation en entrée du transistor moins marquée et une dégradation du S21 particulièrement sensible surtout pour la plus forte valeur.

Pour la seconde configuration envisagée, nous avons connectée sur l'extrémité de la grille 1 une self de 0,6 nH. Nous présentons sur la figure (IV-37) les résultats obtenus dans ce cas. Nous avons choisi de prendre une valeur fixe pour la self terminale afin d'avoir une vision globale sur l'influence de ce paramètre sur les performances du transistor. Ainsi cette valeur ne représente pas forcément l'optimum pour tous les cas étudiés. Comme dans le cas précédent, la résistance de grille influe essentiellement sur les mêmes paramètres à savoir le S11 et le S21. Son augmentation permet d'améliorer de façon significative le coefficient de réflexion en entrée du transistor et affecte fortement le coefficient de transmission (diminution de la bande d'utilisation du transistor et de la valeur du maximum du S21). Ces résultats permettent de confirmer que dans cette configuration, la quasi-adaptation en entrée du transistor observée expérimentalement est due principalement à la valeur élevée de la résistance de grille. En effet, lorsqu'une self est connectée sur l'extrémité de la grille 1, c'est la totalité de la valeur de la résistance de grille qui intervient, vue de l'entrée, contrairement au cas d'utilisation classique, à circuit ouvert.

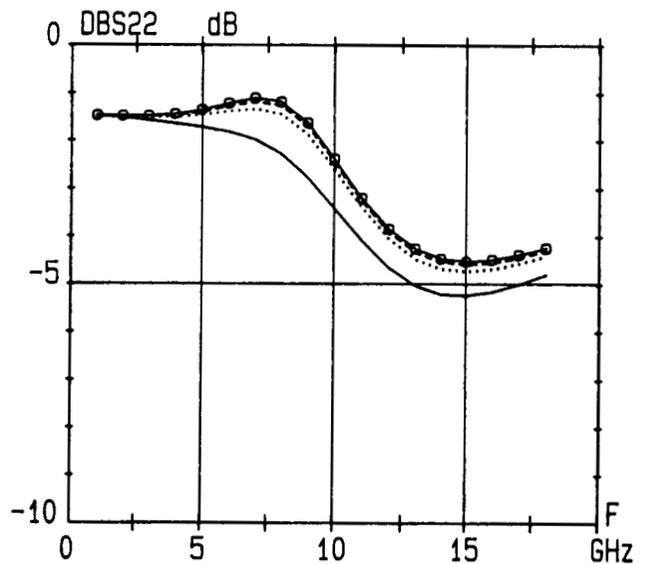
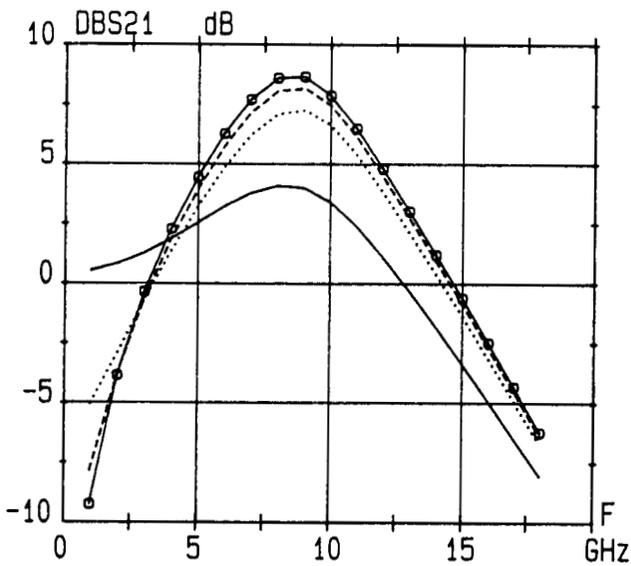
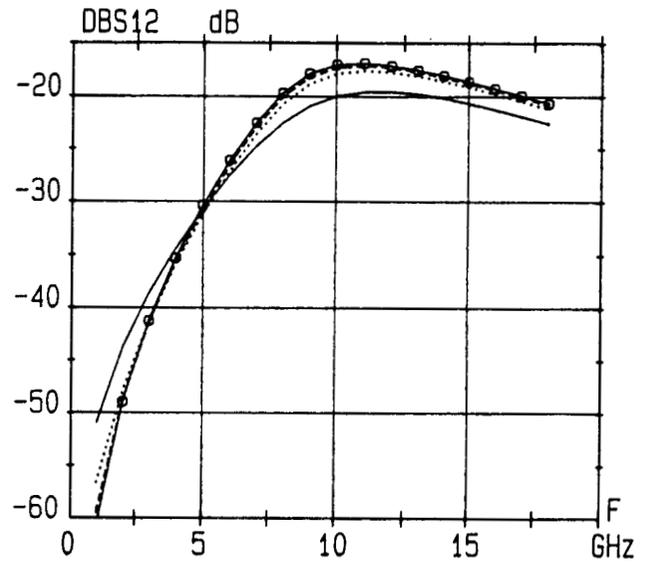
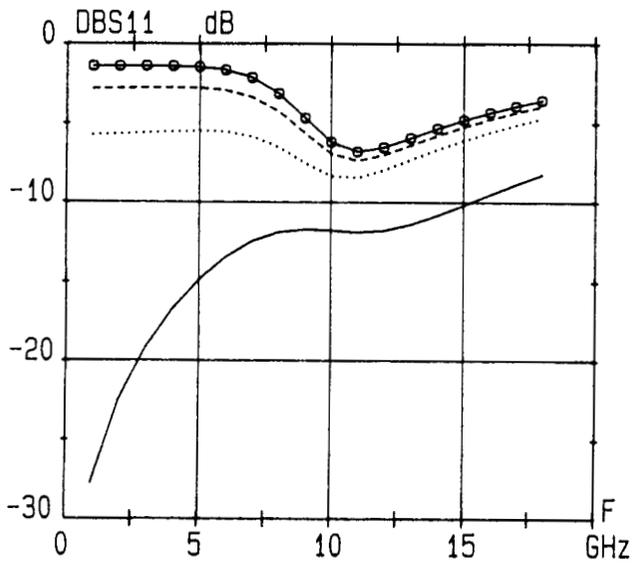


Figure IV-37 : Influence de la résistance de grille sur les paramètres S d'un bigrille de  $400 \mu m$  ayant une self de  $0.6 nH$  sur  $G_1$  et rien sur  $G_2$   
-o-o-o- 10  $\Omega/mm$     - - - - 20  $\Omega/mm$     ..... 40  $\Omega/mm$     — 130  $\Omega/mm$

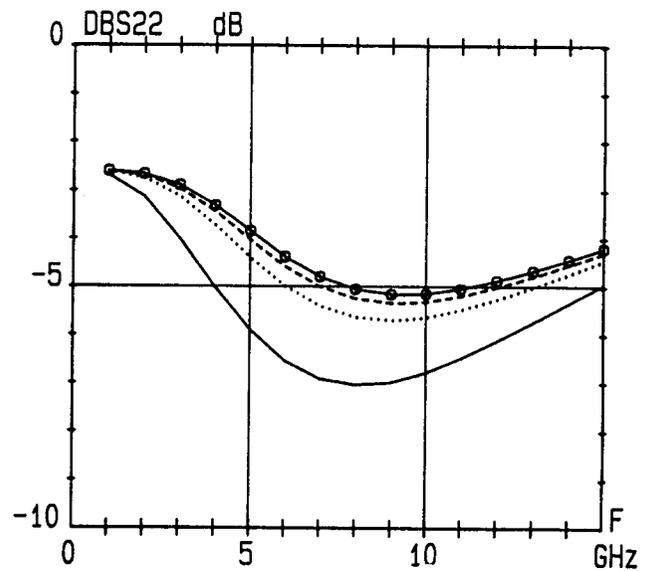
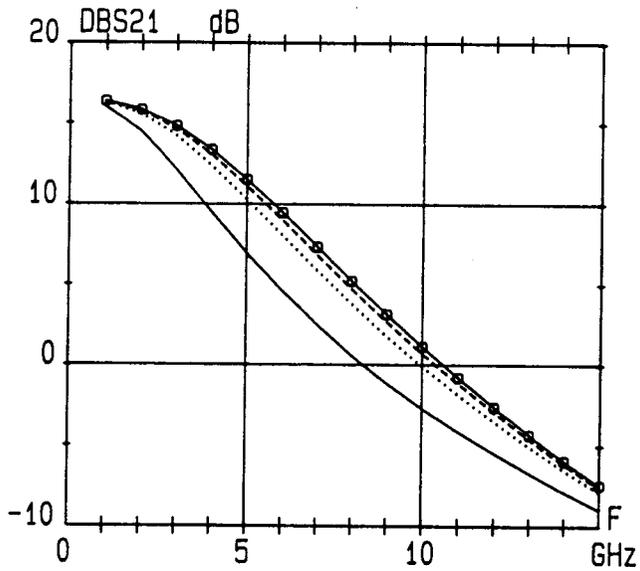
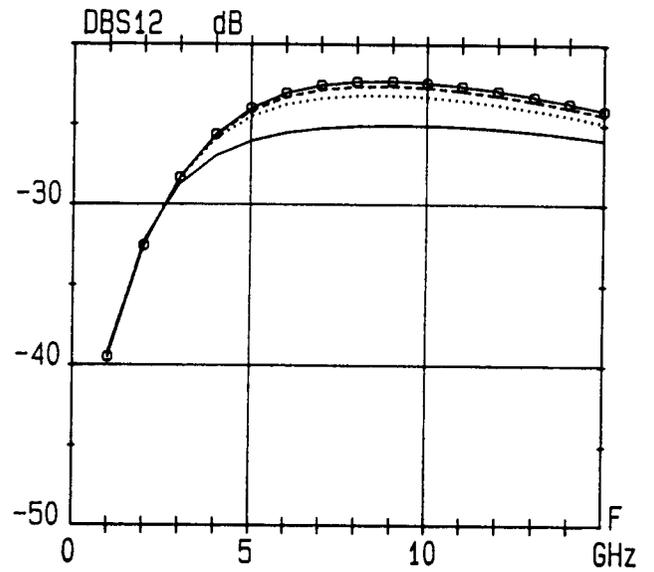
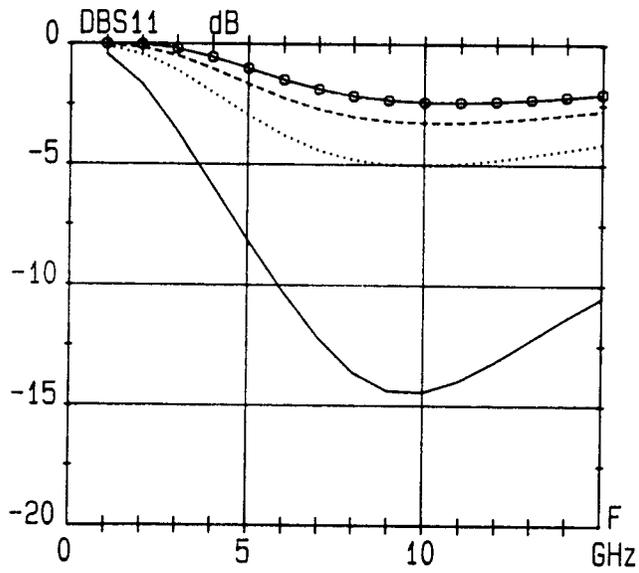


Figure IV-38 : Influence de la résistance de grille sur les paramètres S d'un bigrille de 700  $\mu m$  en configuration classique  
-o-o-o- 10  $\Omega/mm$     - - - - 20  $\Omega/mm$     ..... 40  $\Omega/mm$     ——— 130  $\Omega/mm$

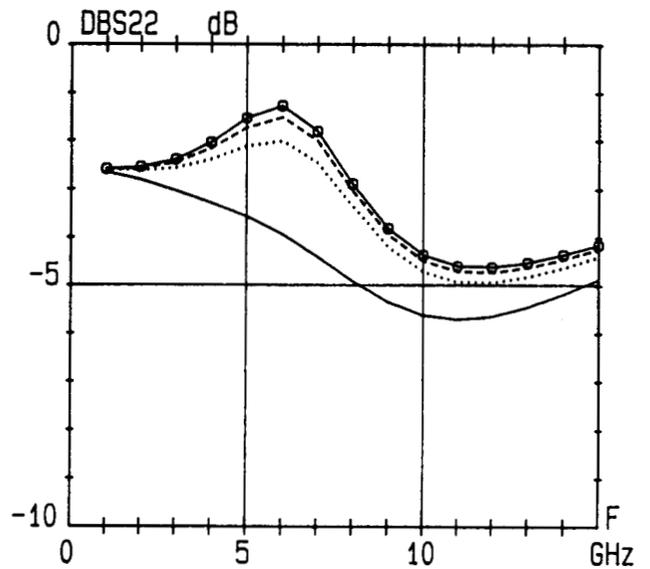
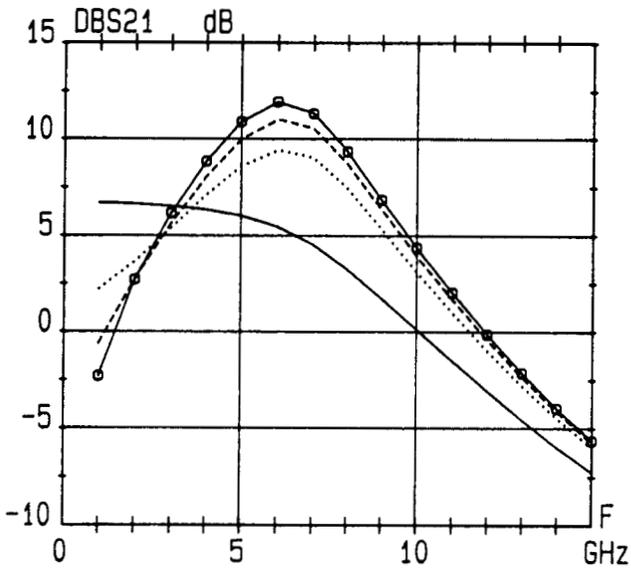
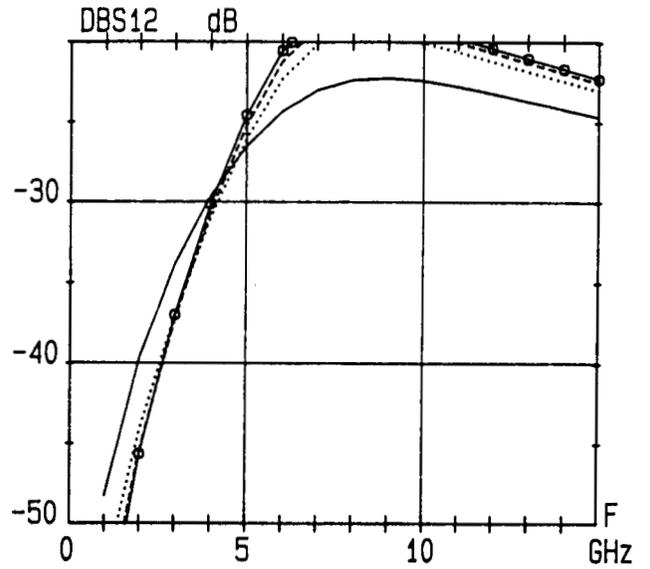
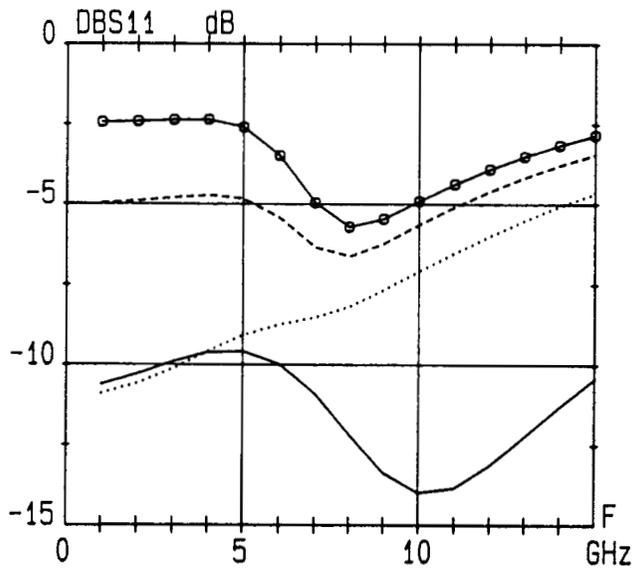


Figure IV-39 : Influence de la résistance de grille sur les paramètres S d'un bigrille de  $700 \mu\text{m}$  ayant une self de  $0,8 \text{ nH}$  sur  $G_1$  et rien sur  $G_2$   
-o-o-o-  $10 \Omega/\text{mm}$     - - - -  $20 \Omega/\text{mm}$     .....  $40 \Omega/\text{mm}$     —  $130 \Omega/\text{mm}$

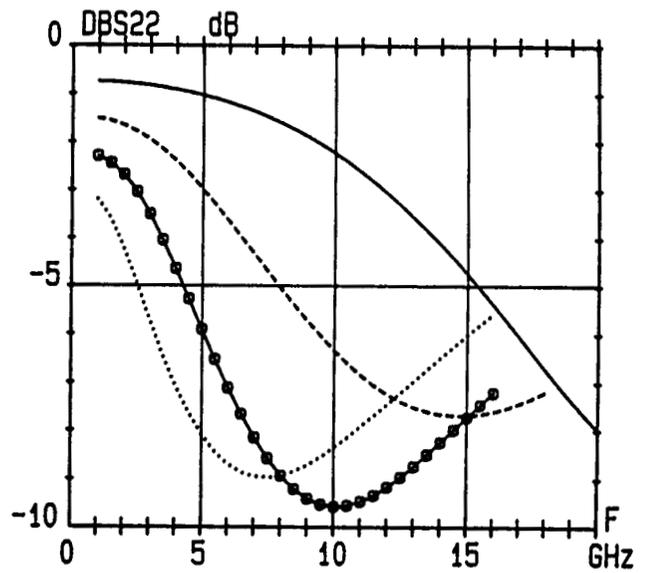
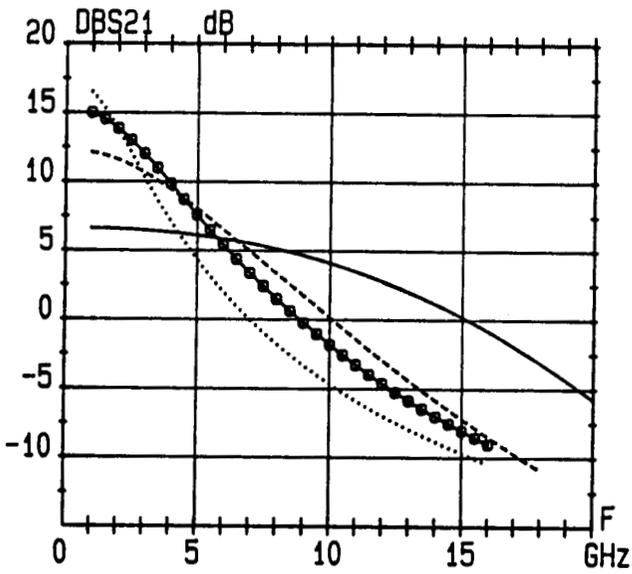
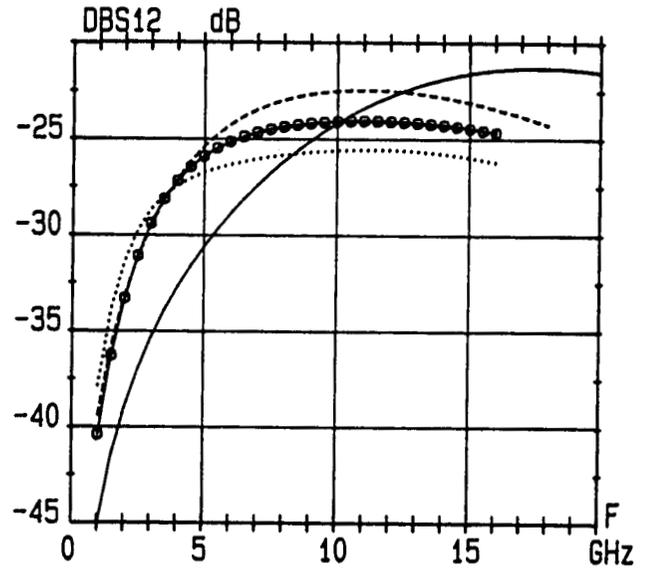
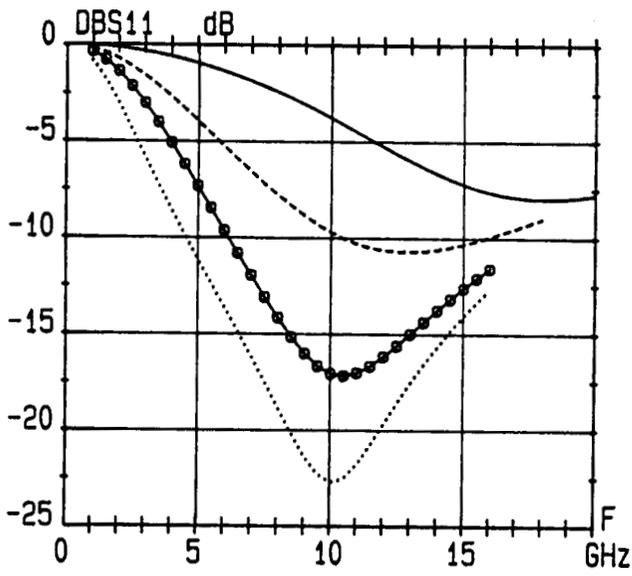


Figure IV-40 : Influence du développement de grille d'un bigrille en configuration classique

— 200 μm    - - - - 400 μm    -o-o-o- 600 μm    ..... 800 μm

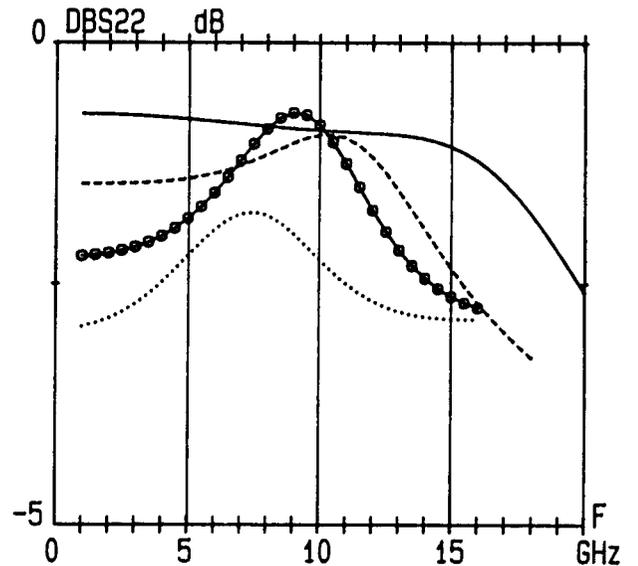
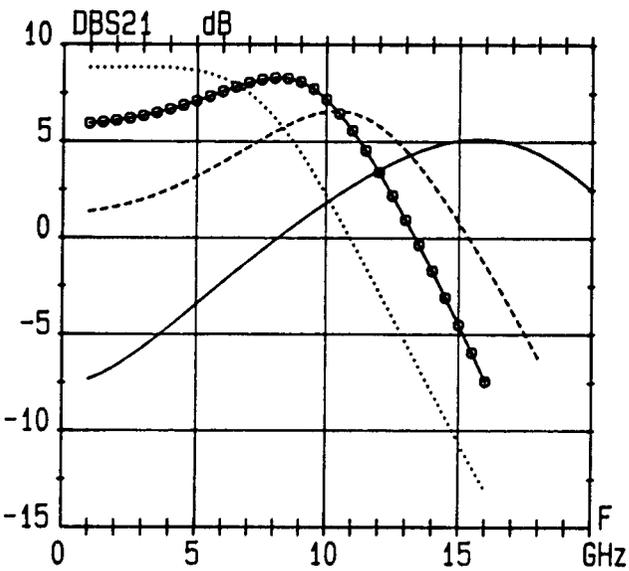
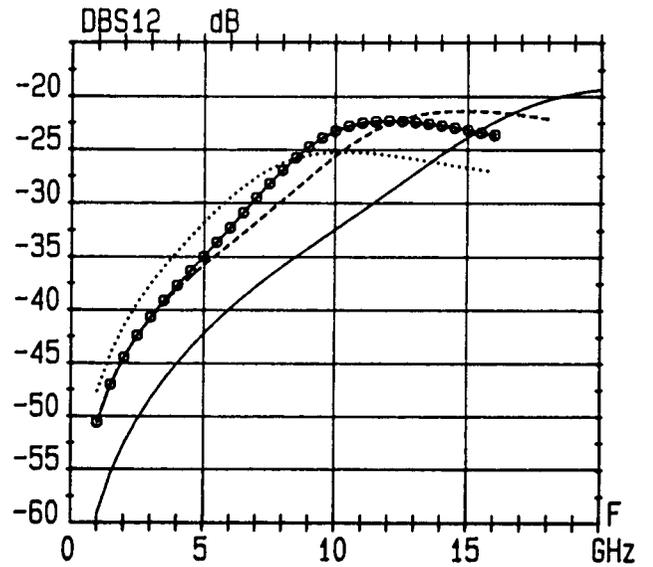
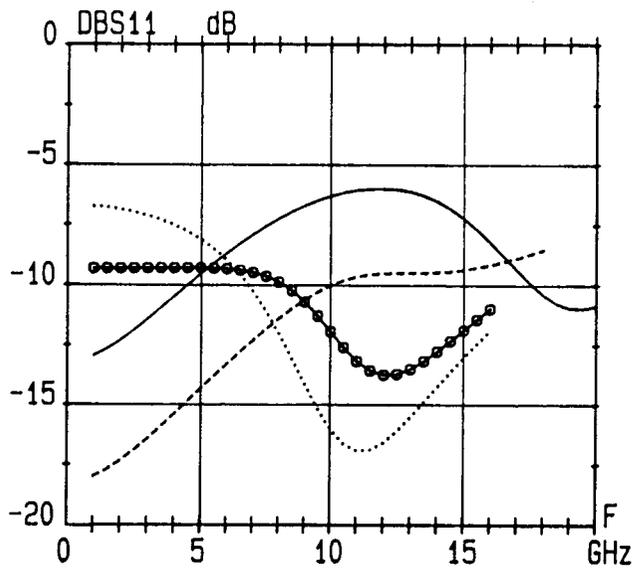


Figure IV-41 : Influence du développement de grille d'un bigrille ayant des selfs de 0,6 nH sur  $G_1$  et  $G_2$

— 200  $\mu\text{m}$     - - - - 400  $\mu\text{m}$     -o-o-o- 600  $\mu\text{m}$     ..... 800  $\mu\text{m}$

#### **IV-6-1-2 Transistor bigrille de 700 $\mu\text{m}$ (motif 43)**

Les évolutions des paramètres S simulés pour les mêmes valeurs de résistance de grille, dans le cas d'une utilisation classique sont montrées sur la figure (IV-38). Des remarques et conclusions similaires à celles faites précédemment s'imposent. Toutefois, nous constatons que la dégradation du S21 et l'amélioration du S11 quand la valeur de la résistance de grille croit, sont encore plus marquées dans ce cas à cause du développement de grille plus important. La valeur de la résistance de grille influe également dans une moindre mesure sur le coefficient de réflexion en sortie.

Pour la deuxième configuration, où  $G_2$  est en circuit ouvert et  $G_1$  terminée par une self, nous avons pris pour cette dernière une valeur de 0,8 nH. Les évolutions correspondantes des paramètres S simulés présentées sur la figure (IV-39) montrent que l'augmentation de la valeur de la résistance de grille se traduit à nouveau par une amélioration de l'adaptation en entrée du transistor et une dégradation du coefficient de transmission. Pour la valeur la plus élevée de la résistance, qui est celle correspondant à nos structures, la bonne adaptation du transistor observée pour ce type de configuration est due à cette dernière.

#### **IV-6-2 Influence du développement de grille**

Comme dans le cas du monogrille, nous avons voulu déterminer pour la structure bigrille un développement de grille optimal permettant d'obtenir les performances les plus intéressantes (gain, bande). Nous avons pris pour cette étude des cellules élémentaires de transistor de 100  $\mu\text{m}$  de développement. L'influence du développement de grille a été étudiée en cascade plusieurs cellules élémentaires. Nous avons retenu deux types de configuration: la première est celle où le transistor est utilisé classiquement et la seconde consiste à connecter simultanément des selfs sur les extrémités des deux grilles. Nous n'avons pas cherché à déterminer pour chaque valeur du développement de grille la valeur optimale de la self qu'il faut connecter pour obtenir les meilleures performances du transistor. Nous avons fixé la valeur de ces selfs à 0,6 nH.

Les figures (IV-40 et 41) présentent l'évolution des paramètres S simulés pour

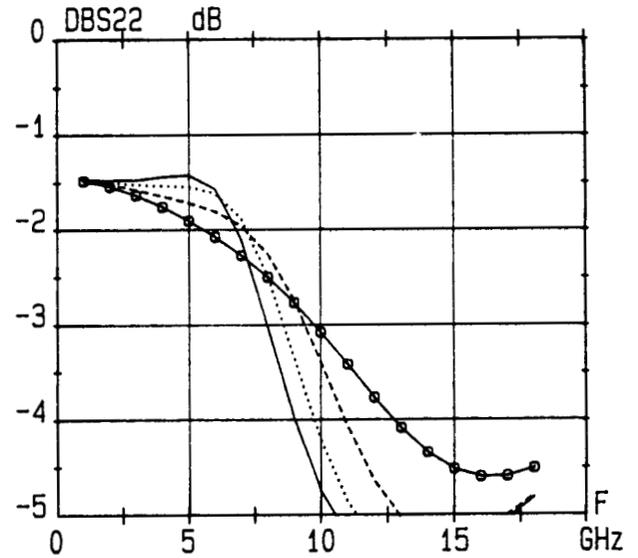
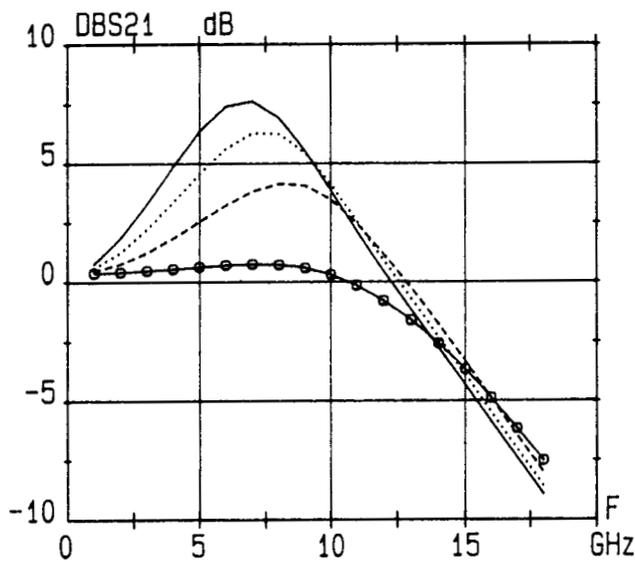
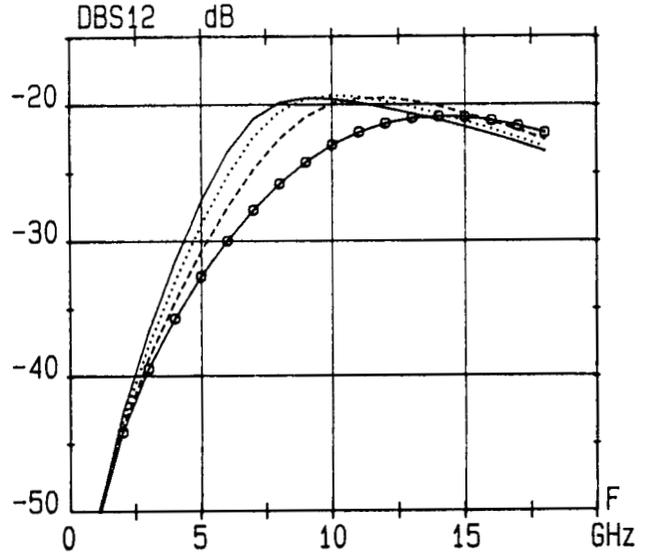
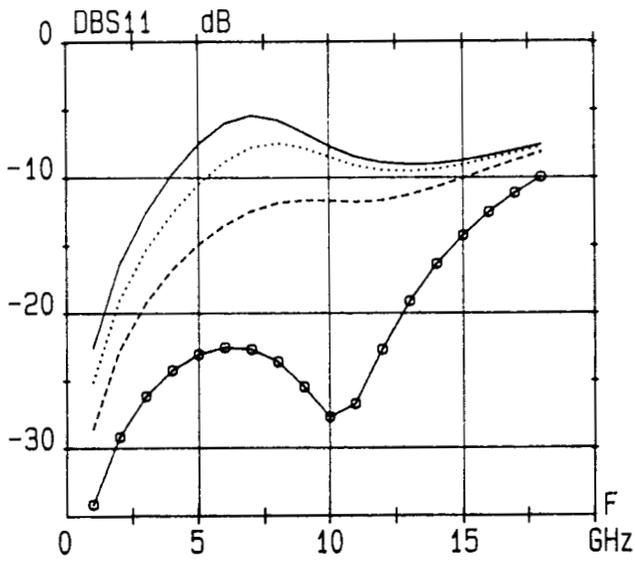


Figure IV-42 : Influence d'impédances selfiques connectées sur  $G_1$ ,  $G_2$  étant en circuit ouvert, pour un bigrille de  $400 \mu\text{m}$   
 -o-o-o-  $ZL_2=0,3 \text{ nH}$  ----  $ZL_2=0,6 \text{ nH}$  ....  $ZL_2=0,9 \text{ nH}$  —  $ZL_2=1,2 \text{ nH}$

quatre développements de grille et, pour les deux configurations précédemment décrites. Premièrement nous constatons dans le cas de la configuration classique qu'une augmentation du développement de grille se traduit d'une part, par une amélioration sensible des coefficients de réflexion en entrée et en sortie et d'autre part, par une amélioration en basse fréquence du  $S_{21}$  mais avec une diminution de la bande de fréquence d'utilisation. En ce qui concerne l'autre configuration du transistor, nous remarquons qu'une augmentation de la largeur de grille se traduit par une amélioration et un déplacement du maximum de  $S_{21}$  vers les basses fréquences. Par conséquent, pour avoir un bon compromis gain bande, un développement de grille de l'ordre de  $400 \mu\text{m}$  semble optimal. Dans ce cas, la structure avec selfs présente des performances supérieures à la structure classique.

#### **IV-6-3 Influence des impédances terminales**

La présentation des résultats expérimentaux obtenus par les différentes structures, a mis en évidence le rôle important joué par la connexion d'impédances terminales sur le comportement global du bigrille. C'est pourquoi, il nous a semblé important d'étudier dans cette partie l'influence de leurs variations sur le fonctionnement du transistor. Précisons que nous avons étudié uniquement le cas des impédances selfiques et que les conditions de simulation sont les mêmes que celles décrites précédemment. Cette étude est scindée en deux parties qui correspondent aux deux structures étudiées, où l'on envisage les différentes configurations possibles.

##### **IV-6-3-1 Transistor bigrille de $400 \mu\text{m}$ (motif 42)**

###### **- Impédances sur $G_1$ , $G_2$ étant en circuit ouvert**

On constate sur la figure (IV-42) montrant l'évolution des paramètres  $S$  relatifs à cette configuration qu'une augmentation de la valeur de la self se traduit par une dégradation du coefficient de réflexion en entrée et par une amélioration sensible des coefficients de réflexion en sortie et de transmission. Ces résultats permettent de montrer que pour cette configuration l'adaptation en entrée du transistor observée expérimentalement est due non seulement à la résistance de grille mais aussi à la valeur de la self connectée sur l'extrémité de celle-ci. On observe également qu'une

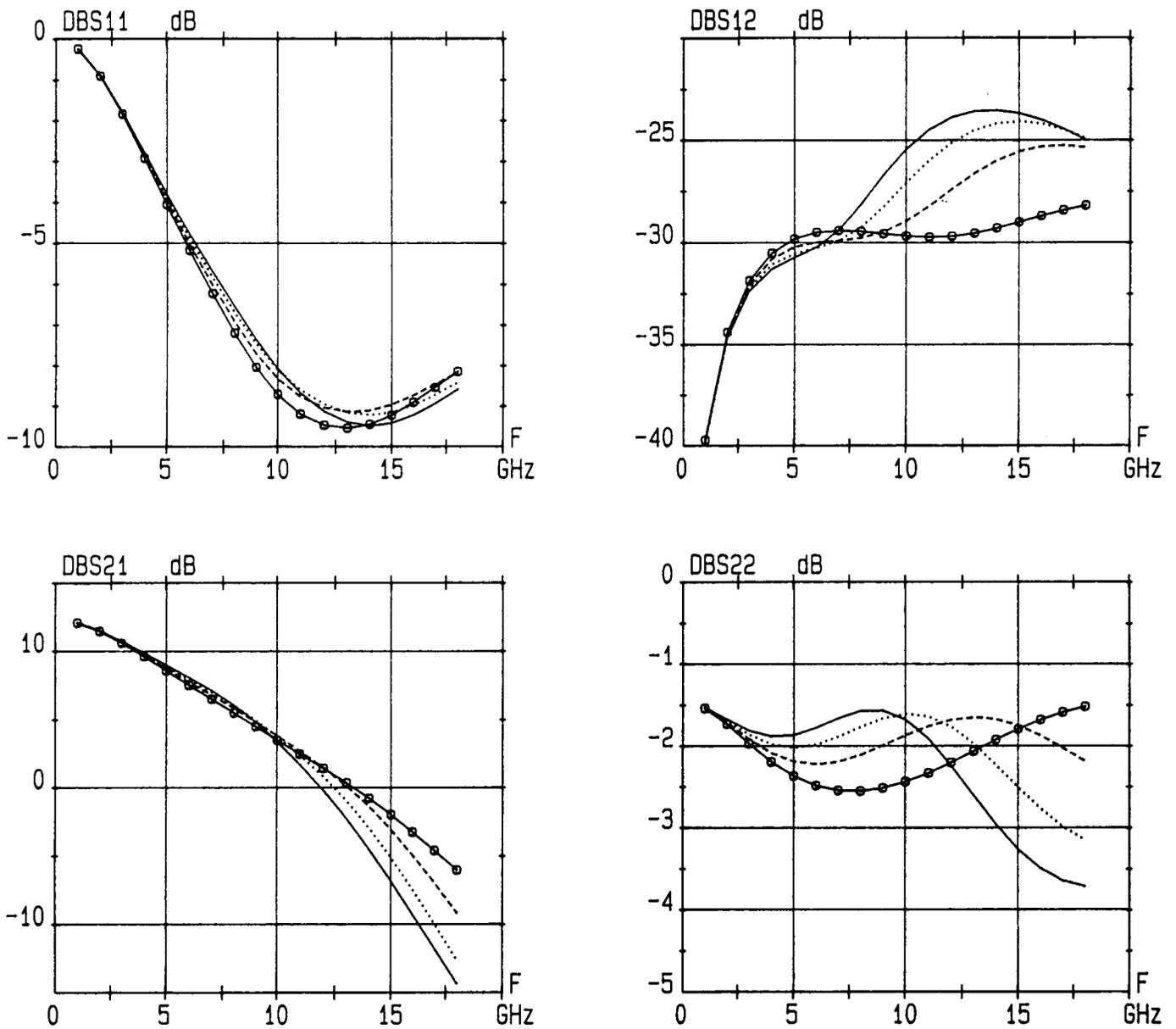


Figure IV-43 : Influence d'impédances selfiques connectées sur  $G_2, G_1$  étant en circuit ouvert, pour un bigrille de  $400 \mu\text{m}$

-o-o-o-  $Z_{L4}=0,3 \text{ nH}$  -----  $Z_{L4}=0,6 \text{ nH}$  .....  $Z_{L4}=0,9 \text{ nH}$  ———  $Z_{L4}=1,2 \text{ nH}$

augmentation de la self se traduit par un comportement de plus en plus passe-bande du S21. Par conséquent, pour avoir un bon compromis gain adaptation en entrée dans toute la bande de fréquence, une self de l'ordre de 0,8 nH semble optimale.

- Impédances sur  $G_2$ ,  $G_1$  étant en circuit ouvert

Pour cette configuration, les résultats obtenus sont présentés sur la figure (IV-43). On retrouve des résultats similaires à ceux observés expérimentalement à savoir aucune influence de la valeur de la self sur le S11, et sur le S21 jusqu'à environ 10 GHz. Au delà de cette fréquence, l'augmentation de la valeur de la self se traduit par une dégradation sensible du coefficient de transmission. Cette inductance influe essentiellement sur le S12 et le S22. Ces résultats montrent que cette configuration d'utilisation du bigrille présente un intérêt relatif.

- Impédances sur  $G_1$  et  $G_2$

Dans cette dernière configuration où des inductances sont connectées simultanément sur les deux électrodes de grille, le nombre de combinaison possible est élevé et nous nous limitons à passer en revue les cas les plus significatifs issus des résultats expérimentaux. Pour mieux décrire l'influence de ces impédances, cette étude est scindée en trois parties pour permettre d'envisager le maximum de cas.

Le cas où ZL2 et ZL4 sont identiques est décrit par la figure (IV-44). On s'est toutefois limité à des valeurs raisonnables de selfs. Nous constatons que pour avoir un fonctionnement intéressant, il faut prendre pour ZL2 et ZL4 des selfs de l'ordre de 0,6 nH. En effet, dans ce cas le transistor présente l'avantage d'être assez bien adapté en entrée et d'avoir surtout un S21 de type passe-bande. Une augmentation de la valeur de la self connectée sur les deux grilles se traduit par une dégradation du coefficient de réflexion en entrée, un déplacement du maximum du S21 vers les basses fréquences et une diminution de la bande d'utilisation du transistor. On constate, comme dans le cas du monogrille qu'il n'est pas possible d'avoir simultanément une quasi-adaptation en entrée et en sortie du transistor.

Dans les deux autres cas de figure considérés, nous avons voulu voir laquelle des deux impédances ZL2 et ZL4 influe le plus sur le comportement du transistor. Ainsi,

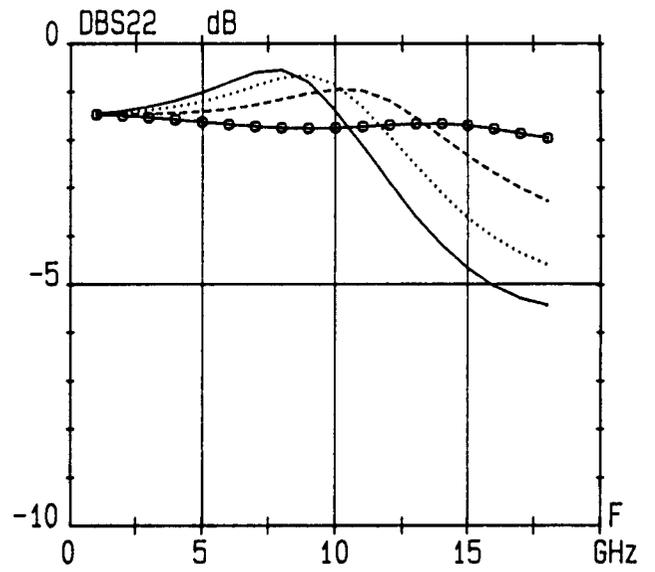
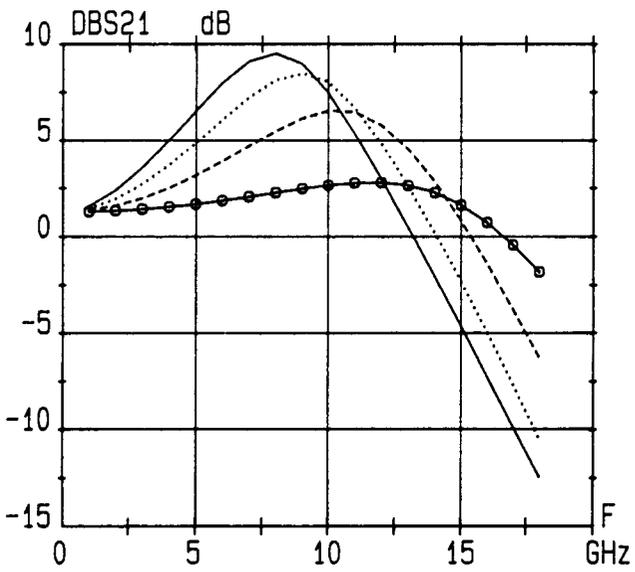
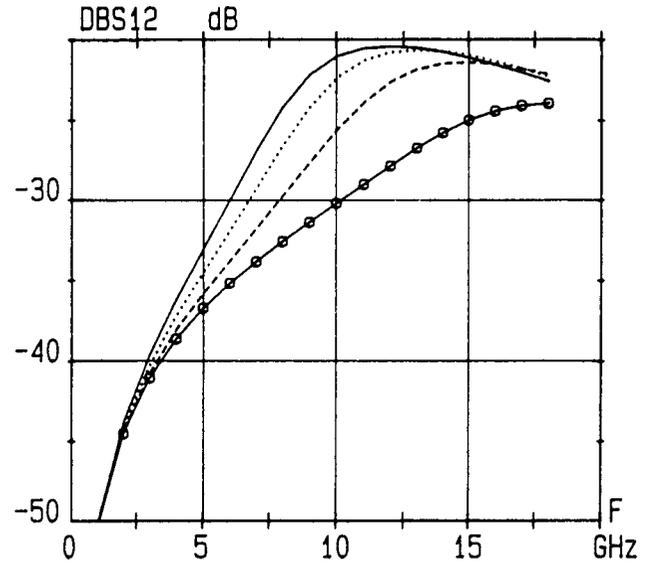
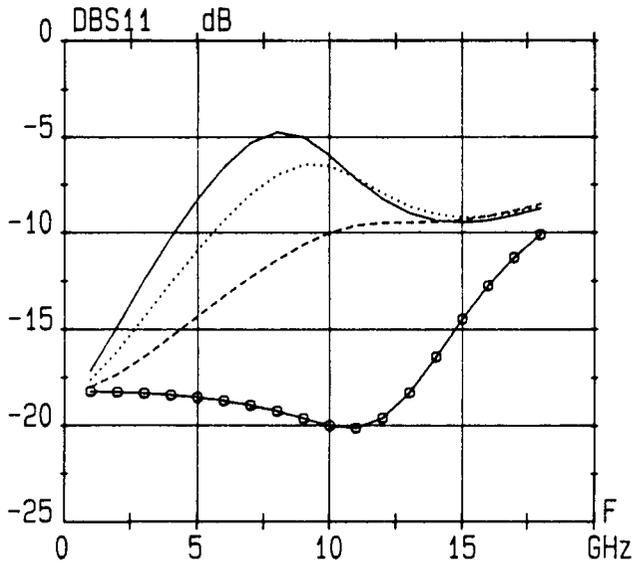


Figure IV-44 : Influence d'impédances selfiques de même valeur connectées sur  $G_1$  et  $G_2$   
 pour un bigrille de  $400 \mu\text{m}$   
 -o-o-o- 0,3 nH    - - - - 0,6 nH    ..... 0,9 nH    ——— 1,2 nH

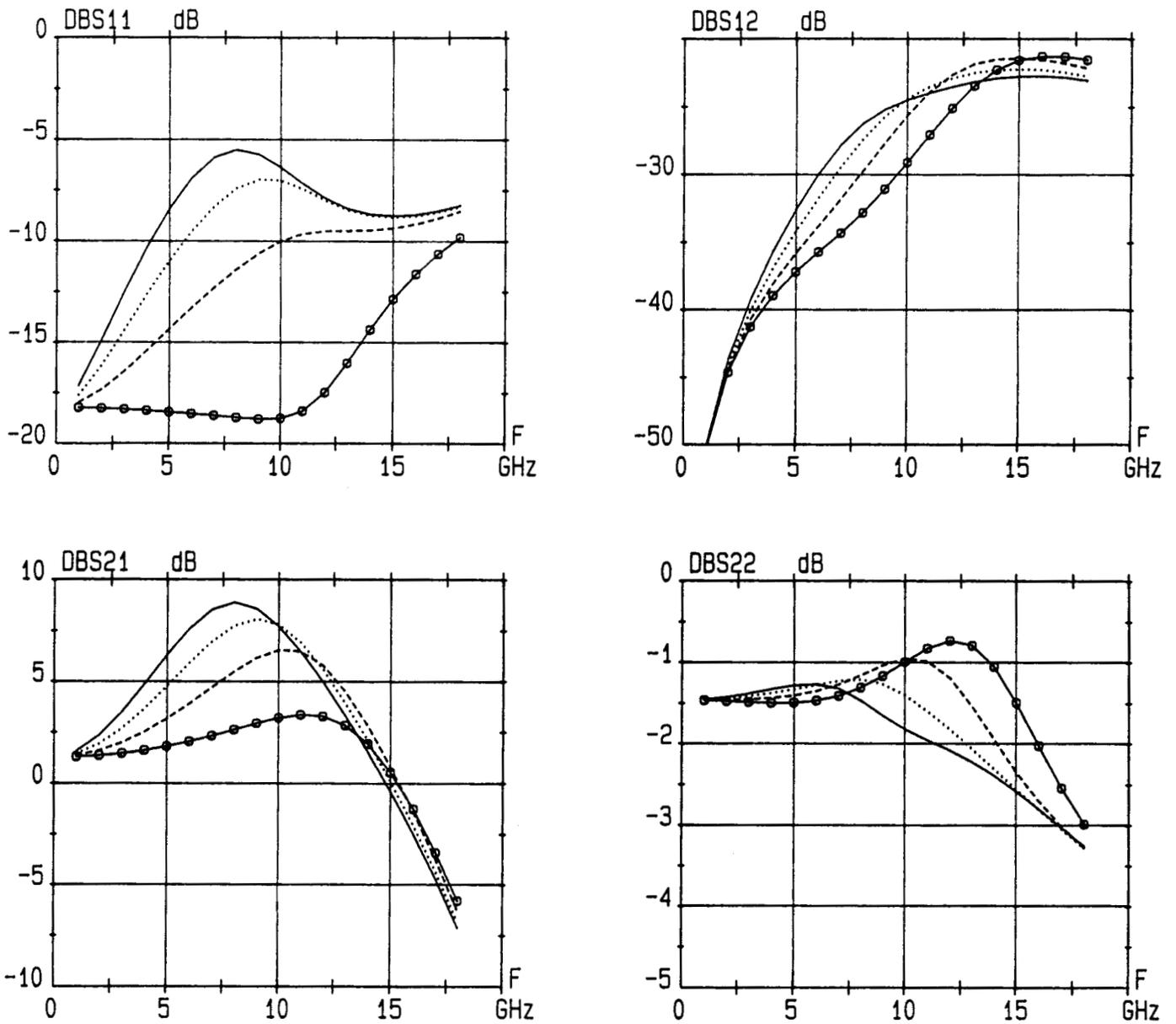


Figure IV-45 : Influence d'impédances terminales selfiques connectées sur  $G_1$  pour un bigrille de  $400 \mu\text{m}$ , une self de  $0,6 \text{ nH}$  étant connectée sur  $G_2$   
-o-o-o-  $ZL2=0,3 \text{ nH}$  ----  $ZL2=0,6 \text{ nH}$  .....  $ZL2=0,9 \text{ nH}$  —  $ZL2=1,2 \text{ nH}$

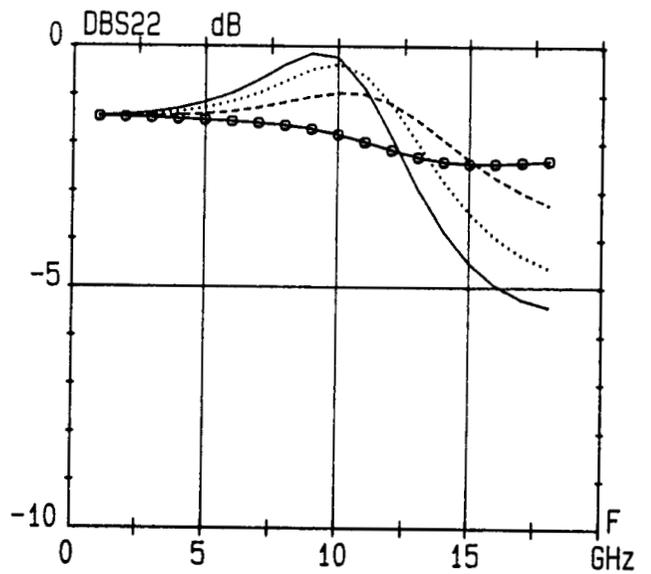
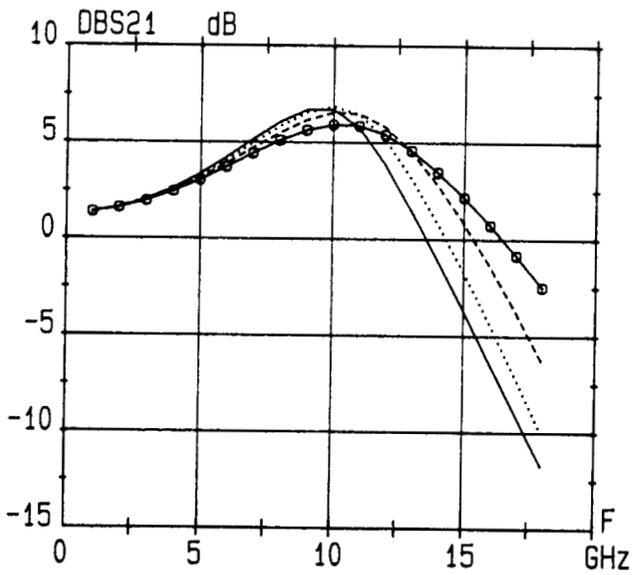
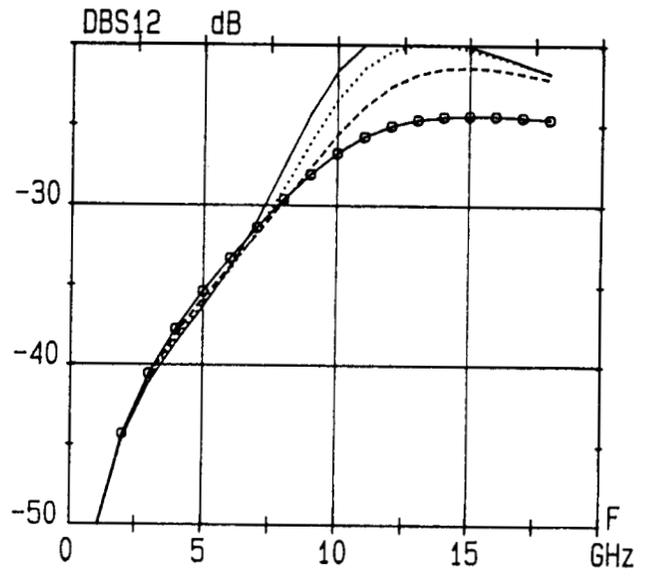
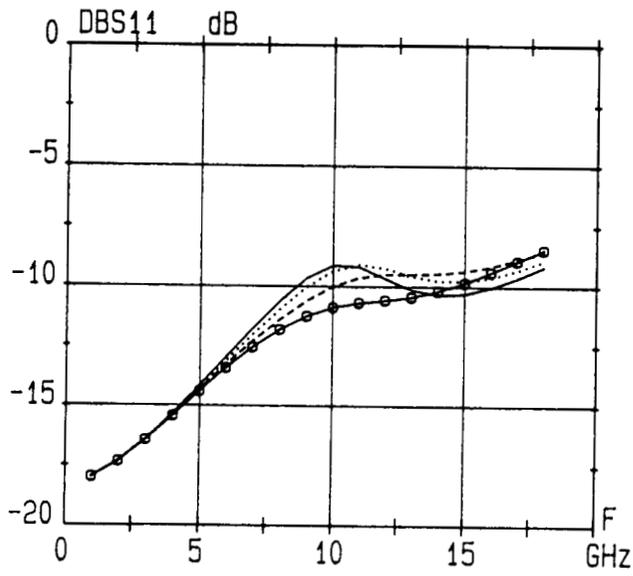


Figure IV-46 : Influence d'impédances selfiques selfiques connectées sur  $G_2$  pour un bigrille de  $400 \mu\text{m}$ , une self de  $0,6 \text{ nH}$  étant connectée sur  $G_1$   
-o-o-o-  $ZL_4=0,3 \text{ nH}$  -----  $ZL_4=0,6 \text{ nH}$  .....  $ZL_4=0,9 \text{ nH}$  —  $ZL_4=1,2 \text{ nH}$

à partir des résultats obtenus précédemment, nous avons fixé  $ZL4$  à 0,6 nH et fait varier  $ZL2$ . Les résultats obtenus sont présentés sur la figure (IV-45). On retrouve des résultats similaires aux précédents et une valeur de self comprise entre 0,6 et 0,8 nH semble optimale pour  $ZL2$ . En effet, dans ces conditions, le transistor ne présente pas une trop forte désadaptation en entrée et le  $S21$  est relativement intéressant. On constate que les remarques faites au paragraphe (IV-6-3-1) lors de l'étude de l'influence de self connectée sur l'extrémité de  $G_1$  se retrouvent ici.

Enfin, le dernier cas de figure envisagé est celui où  $ZL2$  est une self fixe de 0,6 nH et  $ZL4$  une self variable. A titre d'exemple, la figure (IV-46) présente l'évolution des paramètres S calculés. Les résultats sont similaires à ceux présentés lors de l'étude d'impédances connectées sur la grille  $G_2$ , à savoir une indépendance totale du  $S11$  dans toute la bande de fréquence et du  $S21$  jusqu'à environ 11 GHz vis à vis de la valeur de la self. Par conséquent, à partir de ces différents résultats, nous pouvons dire que des selfs de l'ordre de 0,6 nH pour  $ZL2$  et  $ZL4$  semblent optimales pour avoir un bon compromis gain-bande-adaptation en entrée du transistor.

#### IV-6-3-2 Transistor bigrille de 700 $\mu\text{m}$ (motif 43)

En ce qui concerne ce type de structure, nous avons suivi le même type de cheminement que précédemment et nous avons trouvé des conclusions très similaires à celles faites pour la structure de 400  $\mu\text{m}$ .

##### - Impédances sur $G_1$ , $G_2$ étant en circuit ouvert

Comme le montre la figure (IV-47), la présence de la self sur  $G_1$  modifie essentiellement les évolutions du  $S11$  et du  $S21$ . Ainsi, l'augmentation de la valeur de cette dernière se traduit par une dégradation du coefficient de réflexion en entrée et une amélioration sensible du  $S21$ . Une valeur permettant d'obtenir un bon compromis se situe entre 0,6 et 0,9 nH. Il est confirmé que l'adaptation en entrée, observée dans cette configuration, est due pour la plus grande part à la valeur élevée de la résistance de grille mais que la valeur de la self intervient.

##### - Impédances sur $G_2$ , $G_1$ étant en circuit ouvert

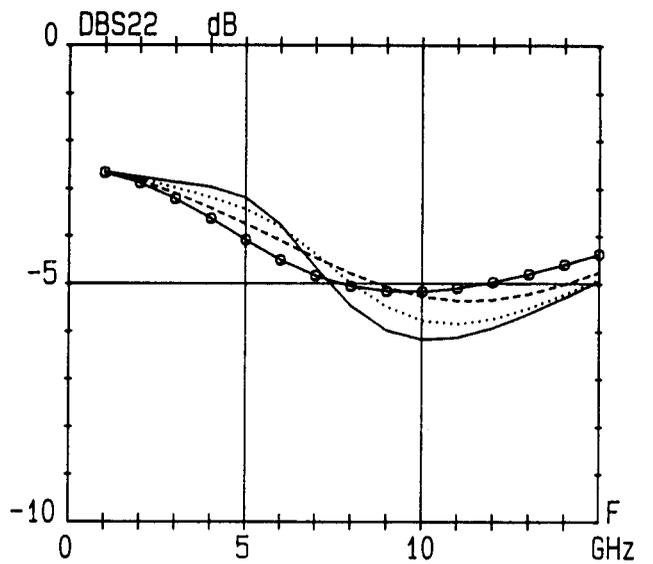
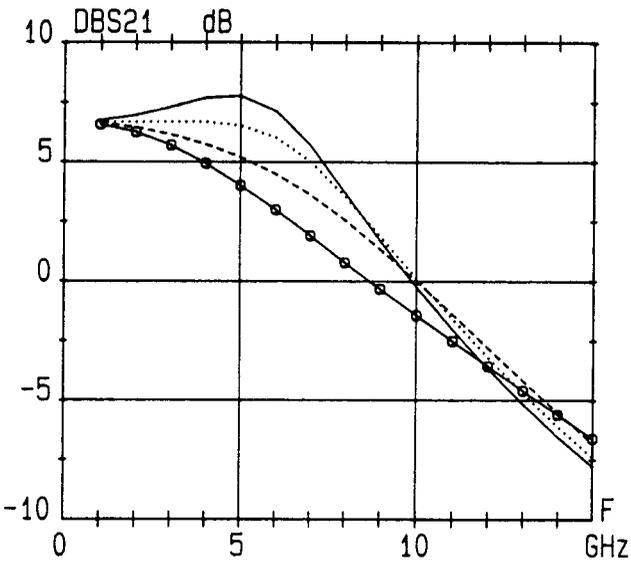
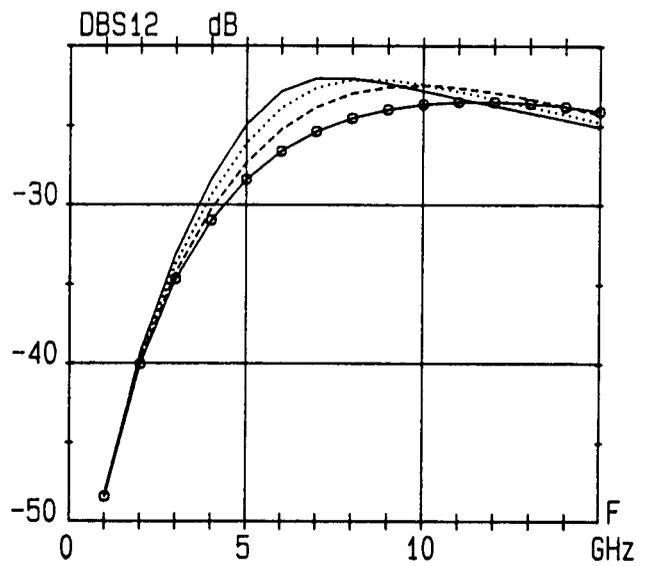
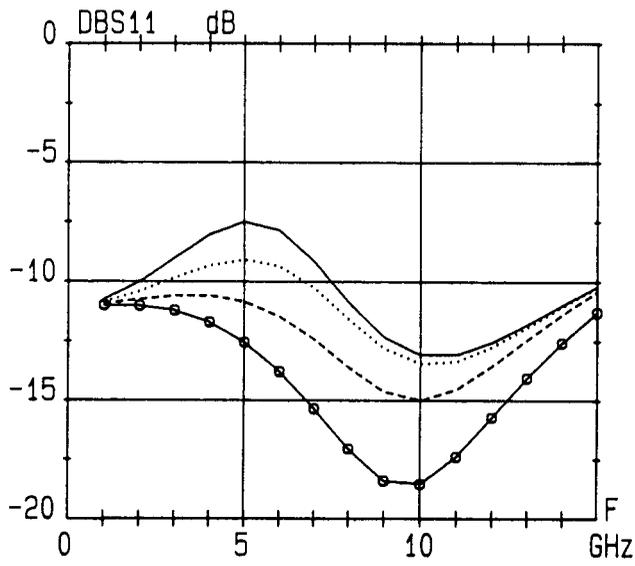


Figure IV-47 : Influence d'impédances selfiques connectées sur  $G_1$  pour un bigrille de  $700 \mu\text{m}$ ,  $G_2$  étant en circuit ouvert  
 -o-o-o-  $ZL2=0,3 \text{ nH}$  ----  $ZL2=0,6 \text{ nH}$  ....  $ZL2=0,9 \text{ nH}$  —  $ZL2=1,2 \text{ nH}$

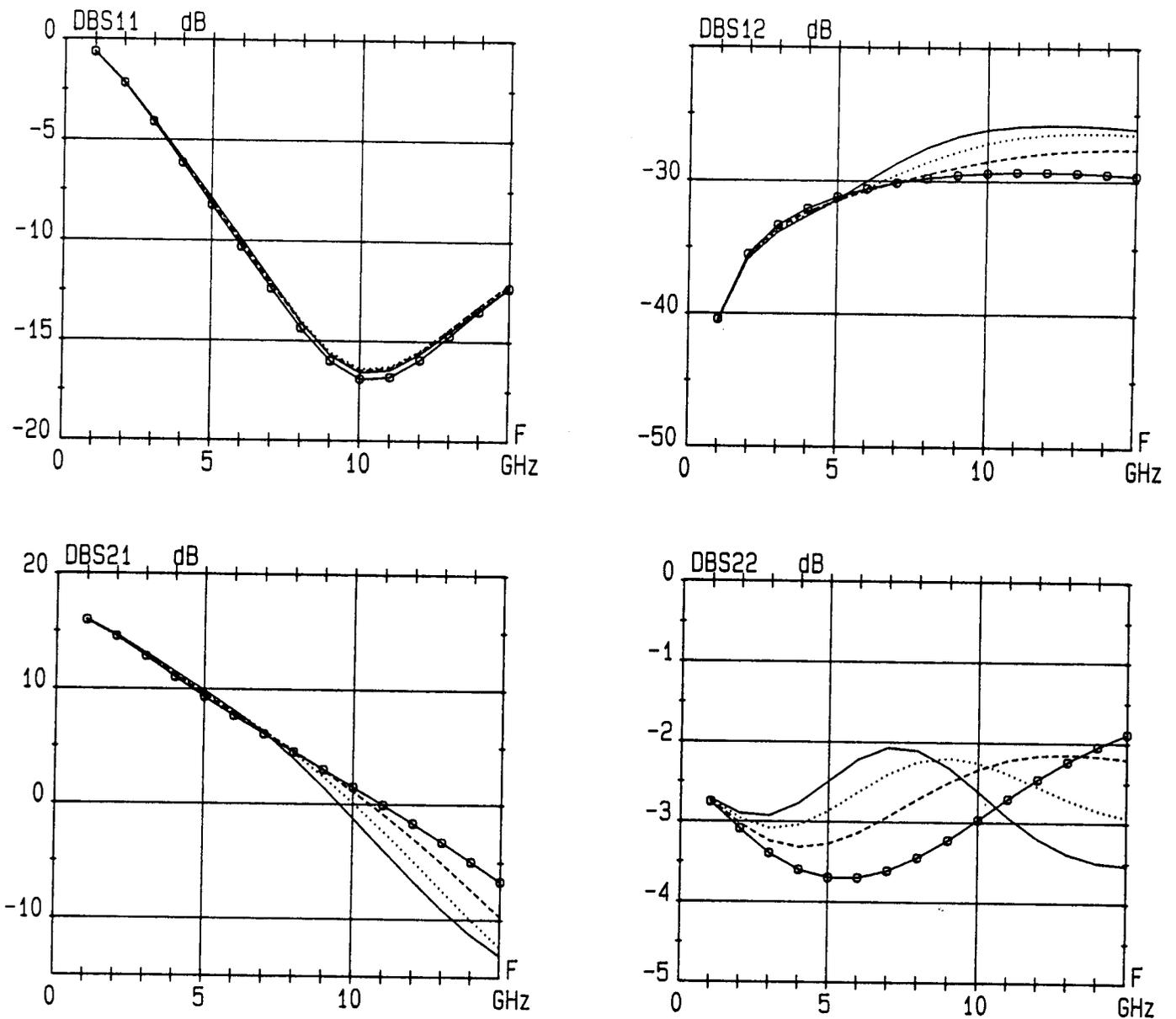


Figure IV-48 : Influence d'impédances selfiques connectées sur  $G_2$  pour un bigrille de  $700 \mu\text{m}$ ,  $G_1$  étant en circuit ouvert  
 -o-o-o-  $Z_{L4}=0,3 \text{ nH}$  -----  $Z_{L4}=0,9 \text{ nH}$  .....  $Z_{L4}=0,9 \text{ nH}$  —  $Z_{L4}=1,2 \text{ nH}$

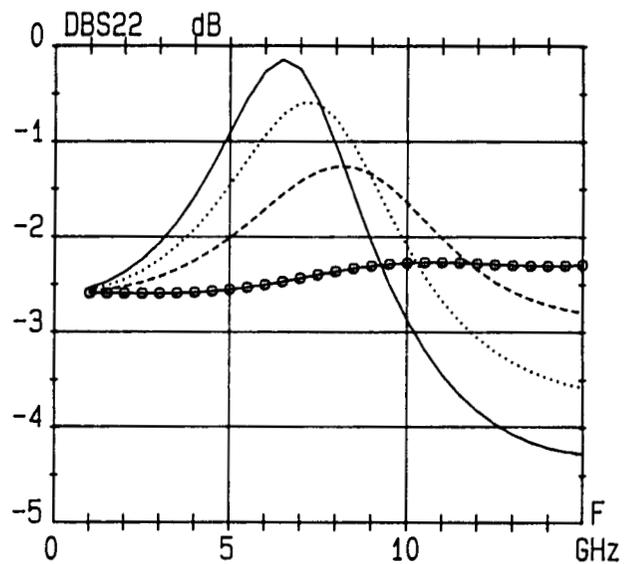
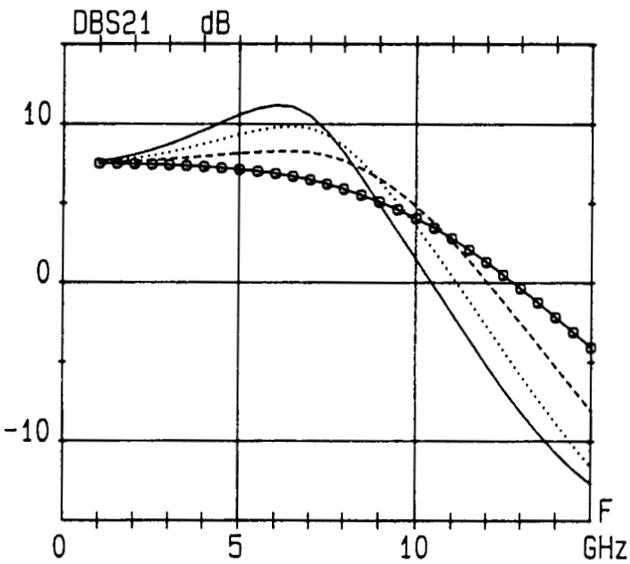
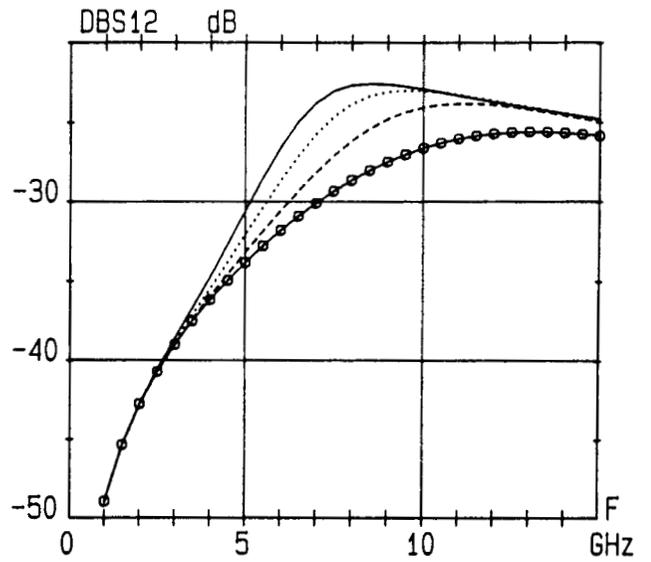
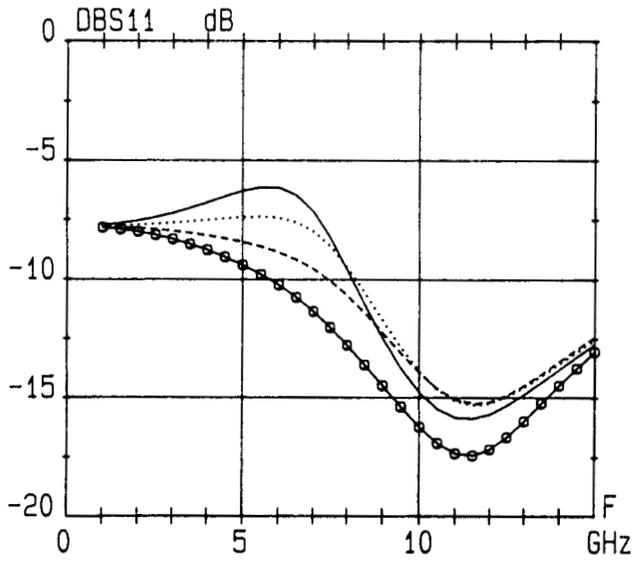


Figure IV-49 : Influence d'impédances selfiques de même valeur connectées sur  $G_1$  et  $G_2$   
 pour un bigrille de  $700 \mu\text{m}$   
 -o-o-o- 0,3 nH    - - - - 0,6 nH    ..... 0,9 nH    — 1,2 nH

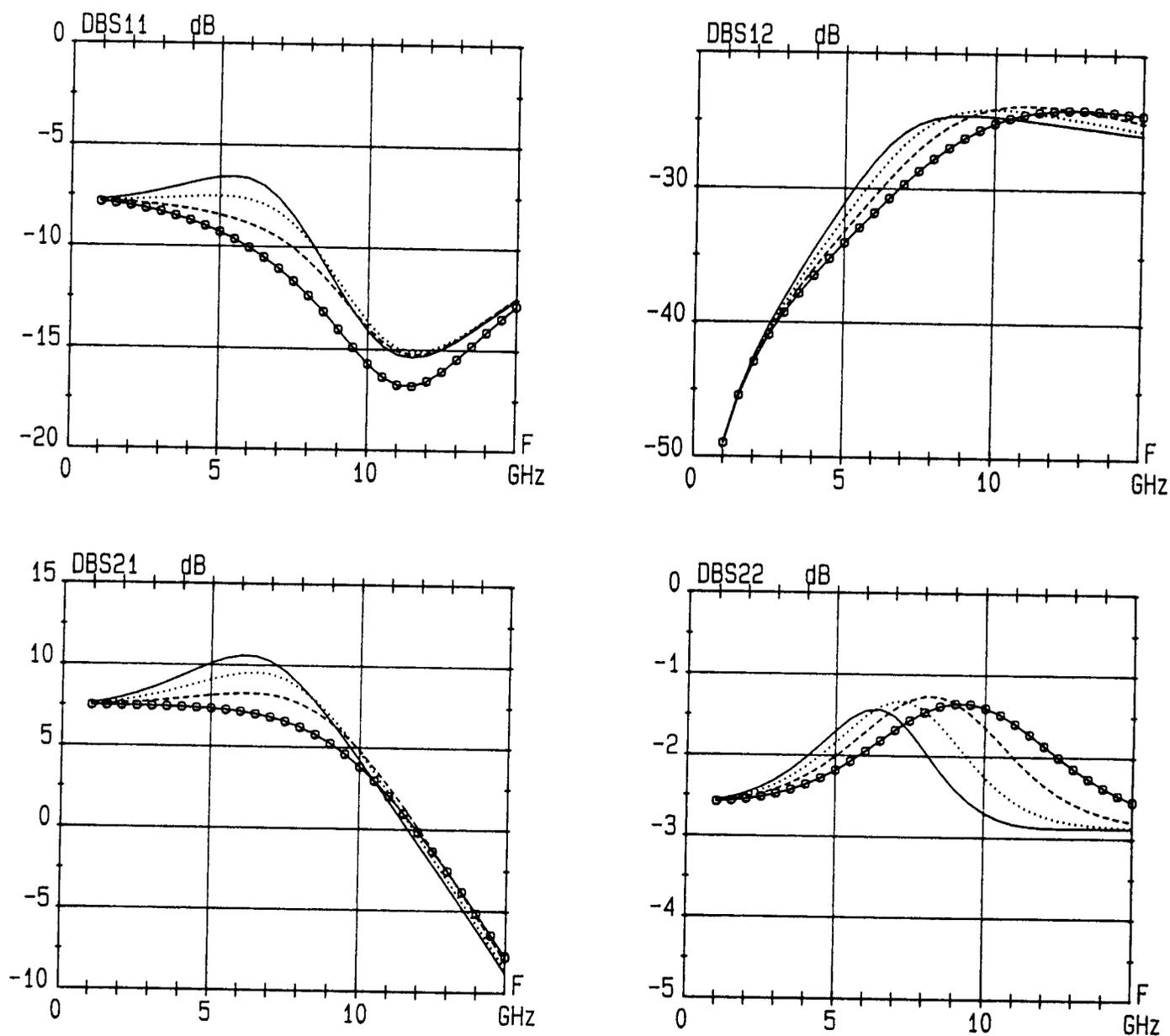


Figure IV-50 : Influence d'impédances selfiques connectées sur  $G_1$  pour un bigrille de  $700 \mu\text{m}$ , une self fixe de  $0,6 \text{ nH}$  étant connectée sur  $G_2$   
 -o-o-o-  $ZL2=0,3 \text{ nH}$     - - - -  $ZL2=0,6 \text{ nH}$     .....  $ZL2=0,9 \text{ nH}$     —  $ZL2=1,2 \text{ nH}$

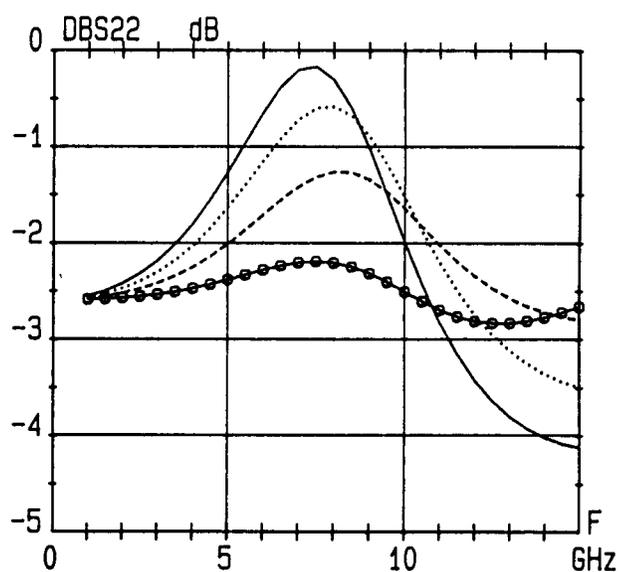
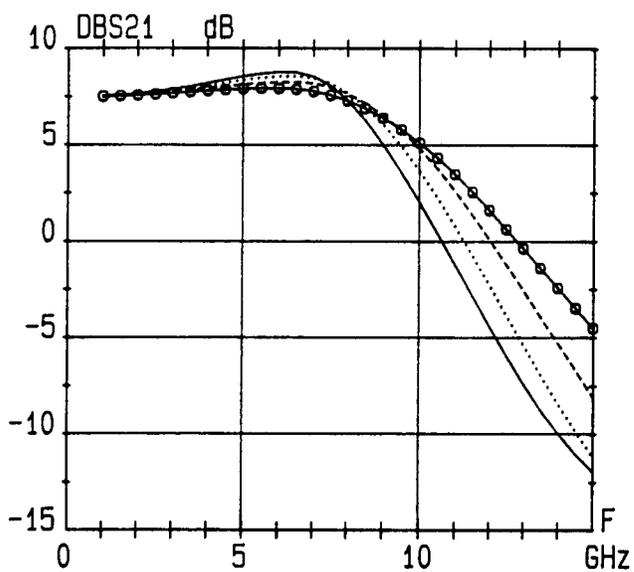
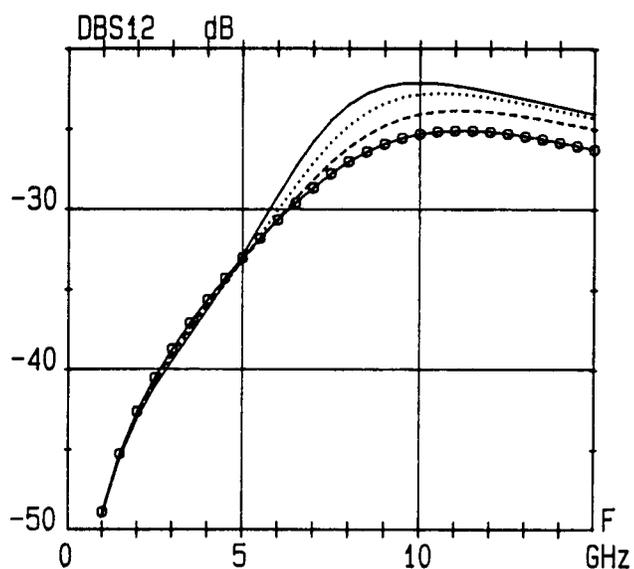
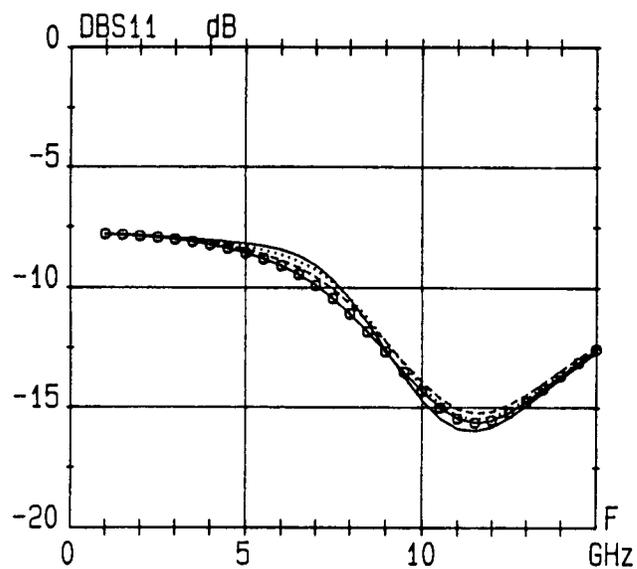


Figure IV-51 : Influence d'impédances selfiques connectées sur  $G_2$  pour un bigrille de  $700 \mu\text{m}$ , une self de  $0,6 \text{ nH}$  étant connectée sur  $G_1$

-o-o-o-  $ZL4=0,3 \text{ nH}$     - - - -  $ZL4=0,6 \text{ nH}$     .....  $ZL4=0,9 \text{ nH}$     ———  $ZL4=1,2 \text{ nH}$

Les résultats présentés figure (IV-48) sont assez similaires à ceux observés expérimentalement. Comme pour la structure de 400  $\mu\text{m}$ , la valeur de la self joue essentiellement sur le S22 et dans une moindre mesure sur le S21 mais à partir de 7 GHz en raison du développement de grille plus important (10 GHz pour le 400  $\mu\text{m}$ ). Ce type de configuration présente un intérêt relatif par rapport à la structure classique.

#### - Impédances sur $G_1$ et $G_2$

Comme pour la structure de 400  $\mu\text{m}$ , l'étude a été scindée en trois parties. La figure (IV-49) représente l'évolution des paramètres S calculés dans le cas où ZL2 et ZL4 sont des impédances selfiques de même valeur. Aux vues de ces résultats, une self de l'ordre de 0,6 nH semble optimale. En effet, dans ce cas, la désadaptation n'est pas trop marquée, celle en sortie assez forte et le coefficient de transmission présente une évolution intéressante.

La figure (IV-50) montre le cas où ZL4 est fixée à 0,6 nH, ZL2 étant variable. Une augmentation de la valeur de la self se traduit par une dégradation du coefficient de réflexion en entrée, une amélioration du S21 en basse fréquence ainsi qu'une translation vers les basses fréquences de l'évolution du S22. Par conséquent, dans ce cas une self comprise entre 0,6 et 0,9 nH semble optimale pour ZL2.

Dans le dernier cas envisagé montré sur la figure (IV-51), ZL2 est fixée à 0,6 nH, ZL4 étant variable. Là encore, nous constatons que la valeur de la self connectée sur l'extrémité de la grille 2 influe essentiellement sur le S22 et à partir de 7 GHz sur le S21, résultats déjà commentés précédemment. Par conséquent, pour ce type de configuration, l'optimal pour ZL4 se situe autour de 0,6 nH et celui de ZL2 entre 0,6 et 0,9 nH.

#### **IV-6-4 Conclusion de l'étude paramétrique**

A l'issue de cette étude paramétrique détaillée sur les transistors bigrilles, plusieurs remarques se dégagent. Premièrement, nous avons mis en évidence l'influence de la résistance de grille pour ce type de structure qui contribue à dégrader fortement ses performances. Deuxièmement, à partir de notre modélisation, nous avons pu déduire

un développement de grille optimal de l'ordre de  $400 \mu\text{m}$  qui permet d'avoir d'une part un bon compromis gain-bande dans le cas où des selfs sont connectées sur les extrémités des deux grilles et d'autre part, d'offrir des performances nettement supérieures à celles d'un bigrille classique. Enfin, à l'issue de l'étude sur l'influence des impédances terminales, nous avons pu dégager des résultats obtenus deux configurations du bigrille qui permettent d'accroître de façon significative les performances. La première est celle où une self est connectée sur l'extrémité de la grille 1 et la seconde consiste à connecter simultanément des selfs sur  $G_1$  et  $G_2$ . Ces configurations permettent d'accroître de plusieurs GHz la bande d'utilisation et d'avoir du gain à haute fréquence.

## IV-7 Conclusion

Dans ce chapitre consacré à la structure bigrille, nous avons d'abord présenté les différentes structures étudiées ainsi que les différentes méthodes mises en oeuvre pour les caractériser et les modéliser. Ensuite, nous avons montré expérimentalement que la structure bigrille peut offrir des performances supérieures lorsque des selfs sont connectées sur les extrémités de ses grilles, par rapport à la structure classique, non seulement en régime petit signal mais aussi en amplification de puissance. Nous constatons que les résultats observés pour les structures monogrilles se retrouvent pour les transistors bigrilles. Enfin des confrontations théorie-expérience pour différentes configurations d'utilisation du bigrille ont permis de valider le choix de notre modèle. Nous avons ensuite proposé une optimisation de la structure bigrille en étudiant l'influence de divers paramètres sur le comportement global du transistor et ainsi en déduire des configurations optimales.

# **APPENDICE**

## **I Introduction**

Cette dernière partie concerne la présentation des premiers résultats d'une réalisation en technologie monolithique, effectuée à THOMSON DAG, concernant une structure monogrinne à self terminale incorporée in situ. Cette réalisation est basée sur les indications et conclusions obtenues au cours de notre étude préalable en technologie hybride dont les éléments essentiels sont contenus dans le chapitre 3. Dans ce qui suit, nous présentons d'abord les différents composants monolithiques réalisés. Ensuite, nous passons en revue les différents résultats expérimentaux, puis nous terminons par une confrontation théorie-expérience.

## **II Présentation des différentes réalisations monolithiques**

Notre principe de structure monogrinne à self terminale a été adapté à une filière industrielle de MESFET AsGa THOMSON en mettant à profit notre modélisation décrite au chapitre 3. On a ainsi déterminé et optimisé la topologie du MESFET et la configuration de sa self terminale pour obtenir les performances les plus intéressantes. Un compromis a dû être trouvé concernant la capacité de découplage. En effet, nous avons utilisé dans le montage hybride une capacité de 50 pF, capacité difficilement réalisable en monolithique à cause de son encombrement.

Compte tenu des différentes contraintes imposées par la technologie, le choix définitif a été de prendre un transistor de 300  $\mu\text{m}$  de développement, une self de 0,3 nH ou 0,45 nH et une capacité de 3 pF. Trois structures ont été réalisées pour permettre une étude comparative (figure 1). Les transistors ont une longueur de grille de 0,5  $\mu\text{m}$  et un espace drain source de 3  $\mu\text{m}$ . Le premier (TBY) est un monogrinne classique avec grille en circuit ouvert. Le second (TBY3L3) et le troisième (TBY3L45) ont, respectivement des selfs terminales de grille de 0,3 nH et 0,45 nH. L'armature inférieure de la capacité est directement connectée à la source et mise à la masse par des via-holes. Ces transistors ont une topologie permettant une mesure directe sous pointe.

## **III Mesures sur les différentes structures**

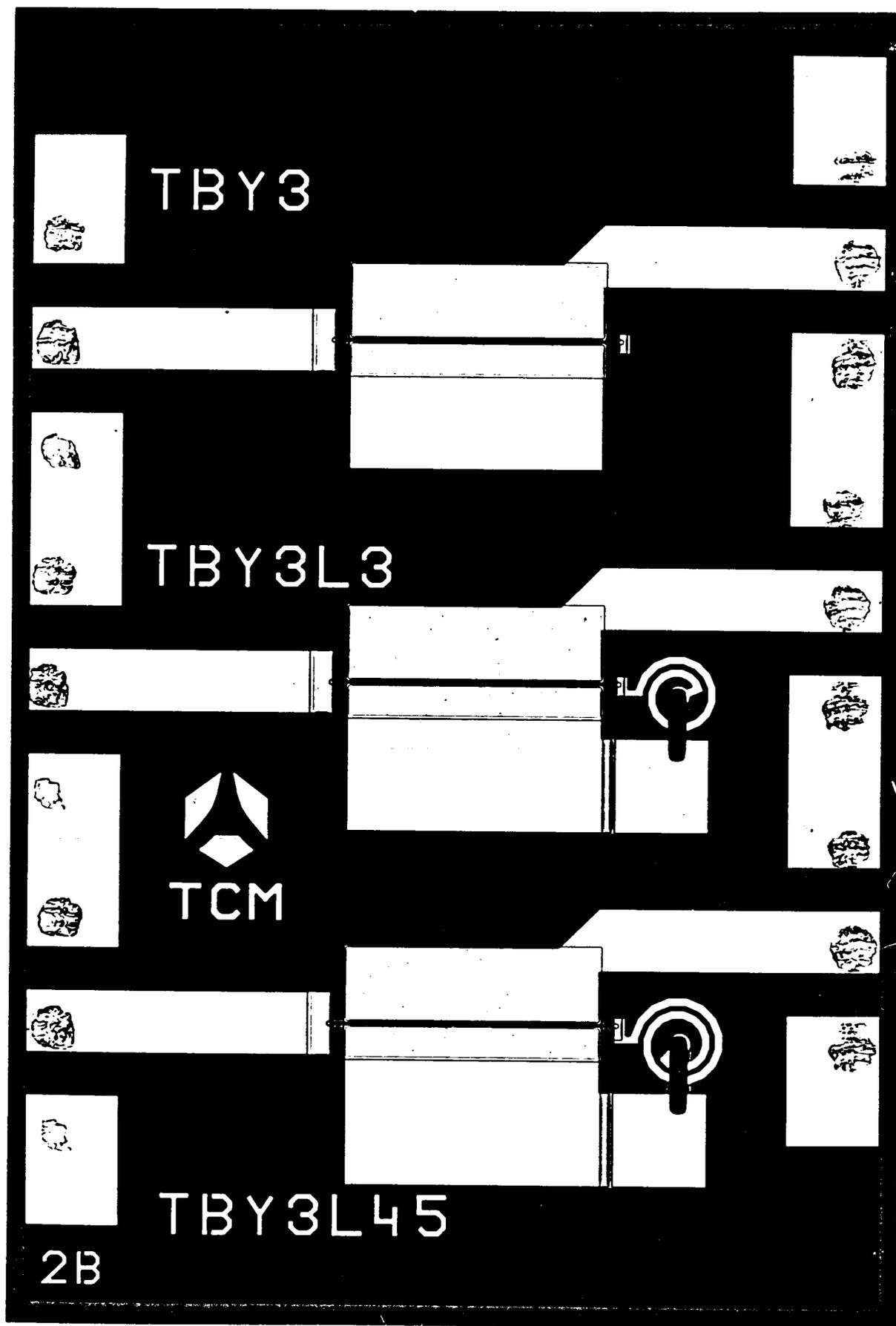


Figure 1 : Topologie des différents transistors

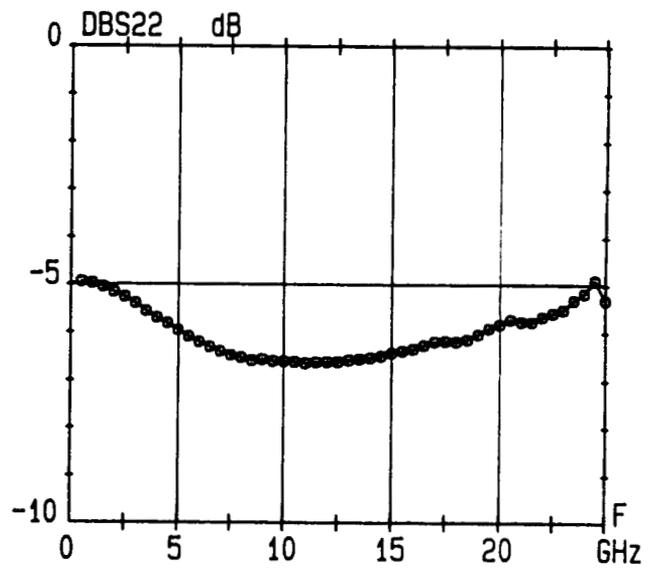
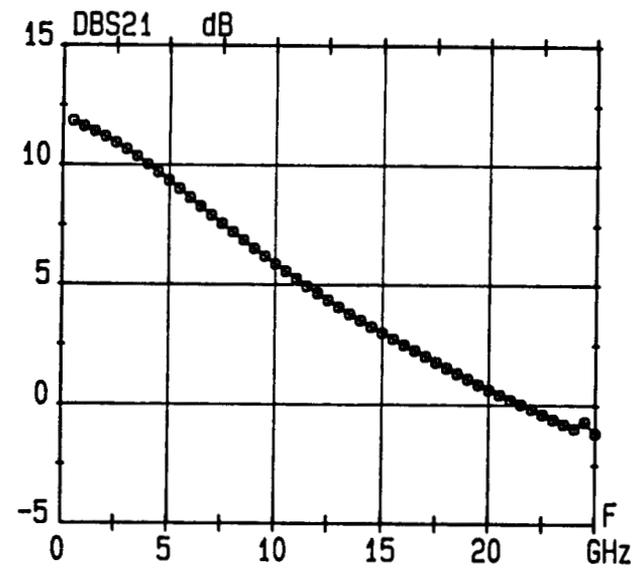
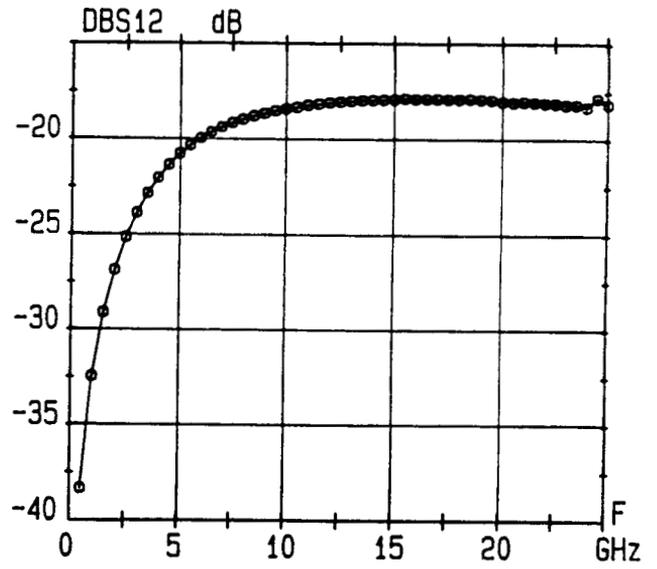
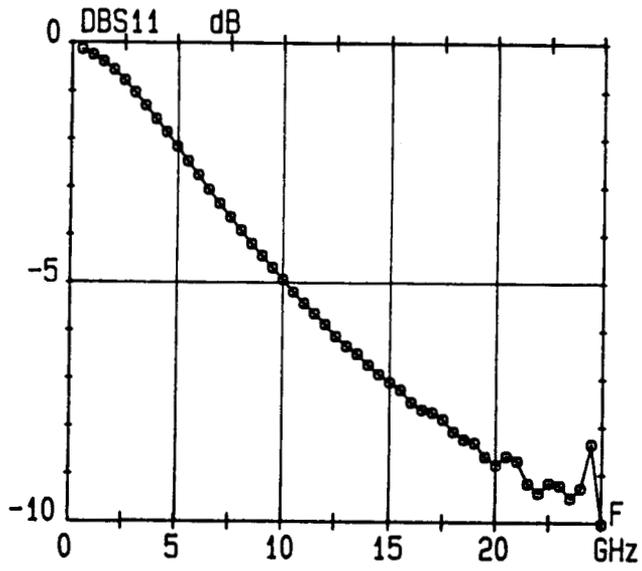


Figure 2 : Evolution des paramètres S pour un transistor TBY3  
( $V_{gs}=0V$   $V_{ds}=3V$ )

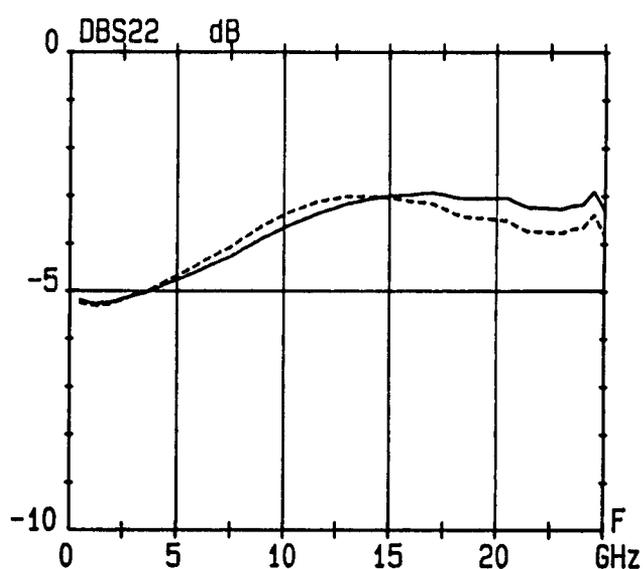
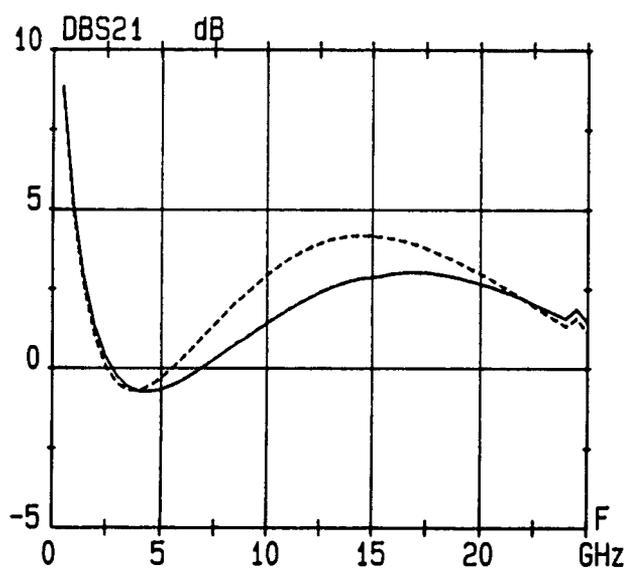
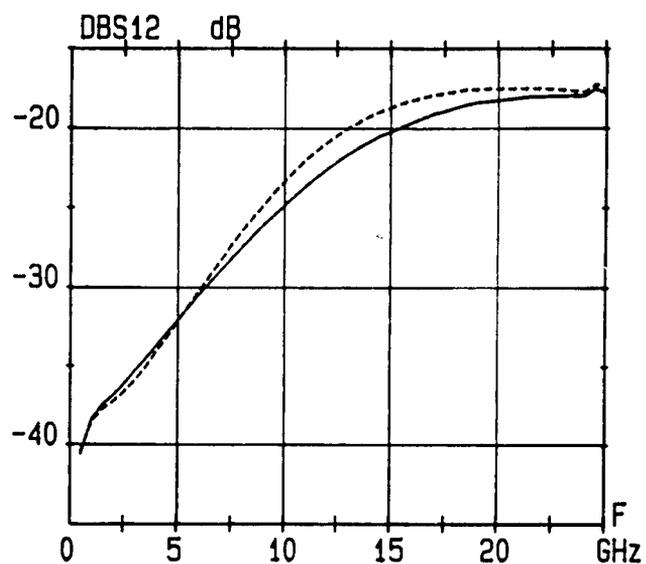
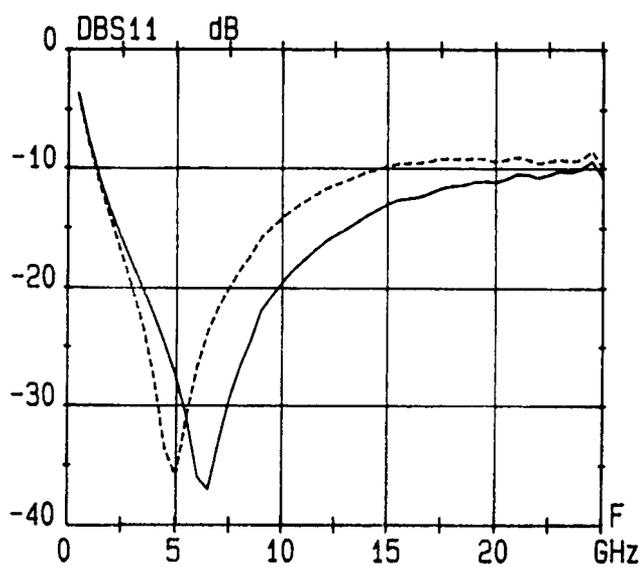


Figure 3 : Evolution des paramètres S pour les transistors TBY3L3 (—) et TBY3L45 (----)  
(Vgs=0V et Vds=3V)

La figure 2 montre les paramètres S sous pointes pour le transistor monogrille classique TBY polarisé à 3 V sur le drain et 0 V sur la grille. On retrouve des évolutions classiques pour une telle structure à savoir une désadaptation assez marquée en entrée et en sortie et un coefficient de transmission qui décroît régulièrement avec la fréquence. La figure 3 montre les paramètres S obtenus pour les structures avec self au même point de polarisation. Nous retrouvons des résultats similaires à ceux déjà observés au chapitre 3. Premièrement, on constate que la connexion d'une self sur l'extrémité de la grille se traduit par une désadaptation moins marquée en entrée et plus marquée en sortie et ce, dans toute la bande de fréquence. L'isolation grille drain est également bonne. Le pic observé sur le  $S_{11}$  est du à une résonance LC. La décroissance du  $S_{21}$  jusqu'à 4 GHz est due au fait qu'en basse fréquence, la capacité influe plus que la self sur le comportement du transistor. Nous avons déjà remarqué ce phénomène au chapitre 3 lorsqu'une capacité était connectée en bout de grille du transistor. Enfin, le  $S_{21}$  présente une évolution semblable à celle déjà observée lors de notre étude en montage hybride.

Concernant la valeur de la self, nous constatons comme nous l'avions prévu théoriquement au chapitre 3 qu'une augmentation de la valeur de celle-ci se traduit par une dégradation du coefficient de reflexion en entrée et par une amélioration du maximum du  $S_{21}$  en haute fréquence. La structure avec self présente des performances supérieures à celles du transistor classique à partir de 12 GHz comme le montre la figure 4 représentant le MAG. On y observe une différence de 3 dB entre 14 et 25 GHz ce qui est considérable, pour le transistor ayant la self de plus forte valeur.

#### IV Confrontation théorie-expérience

Nous avons utilisé pour analyser ces structures le même type de modélisation que celle décrite dans le chapitre 3. Nous avons pris 3 cellules élémentaires dont la valeur des éléments est donnée dans le tableau ci-dessous.

Rg ( $\Omega$ )	Lg (pH)	Cgs (fF)	Cds (fF)	Cgd (fF)	Gm (mS)	Ri ( $\Omega$ )	Gd (mS)	Rs ( $\Omega$ )	Rd ( $\Omega$ )
6,8	15	81	37	16	16,3	3	1,8	5,3	5,3

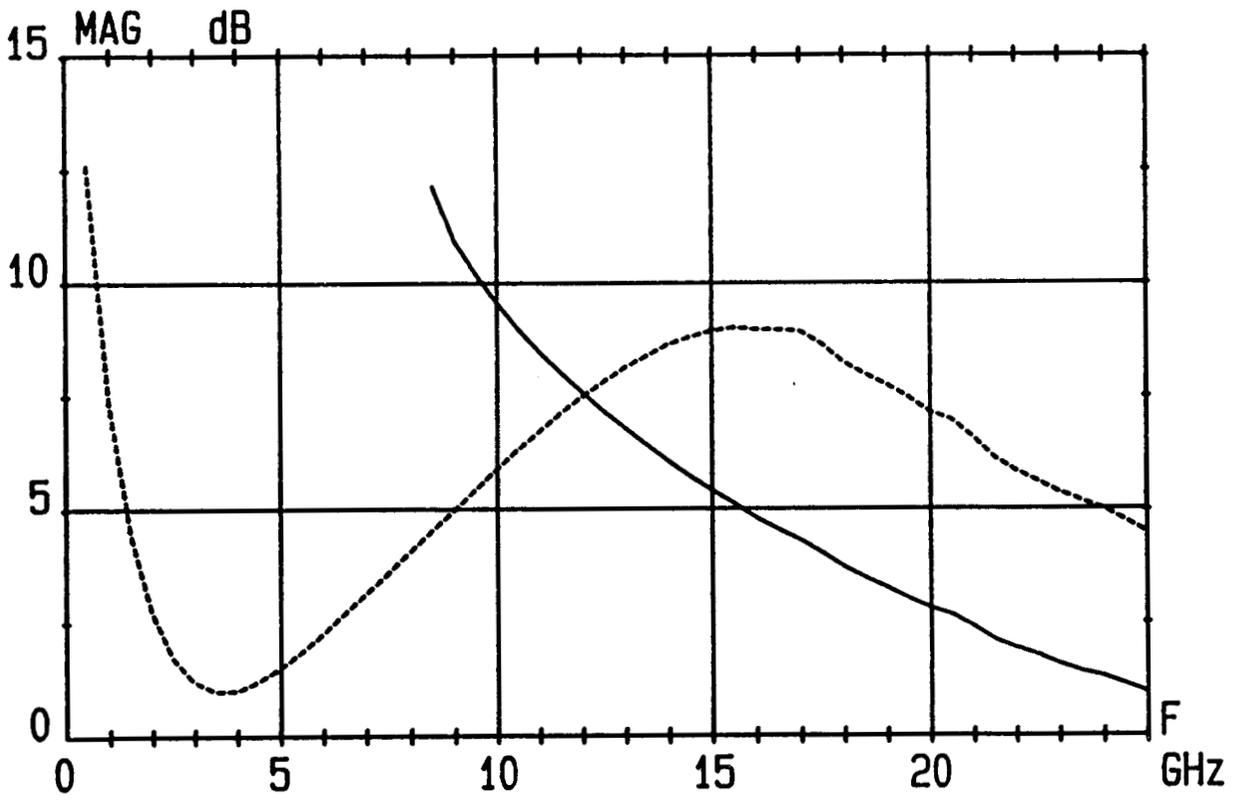


Figure 4 : Evolution du MAG pour deux types de transistors

( $V_{gs}=0V$   $V_{ds}=3V$ )

— TBY3      - - - - TBY3L45

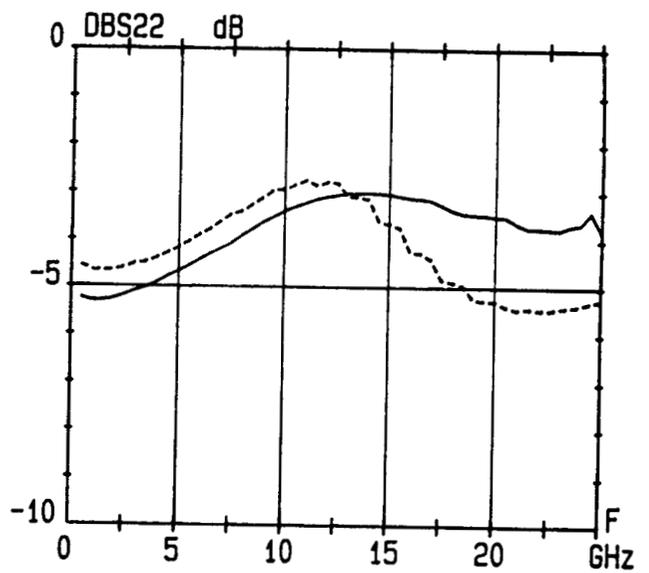
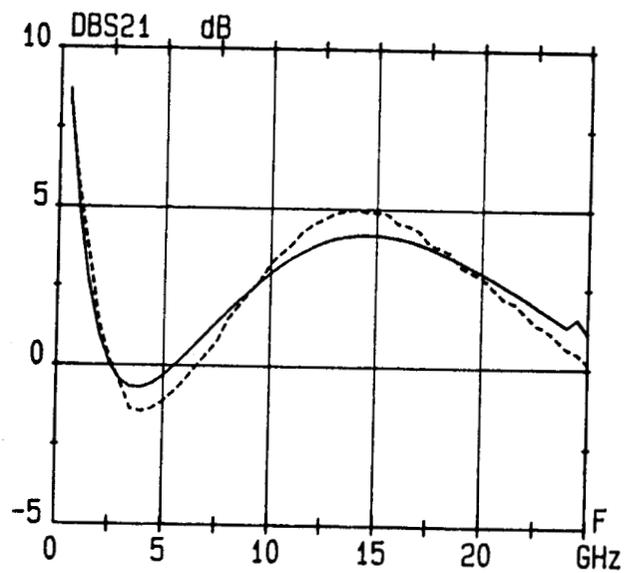
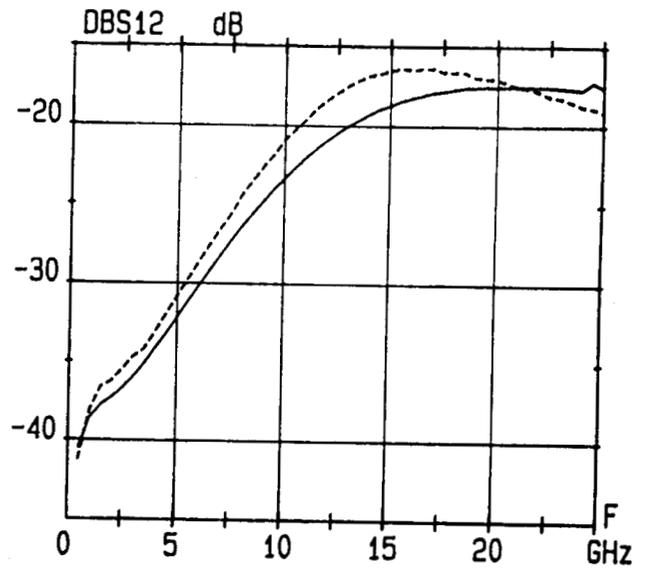
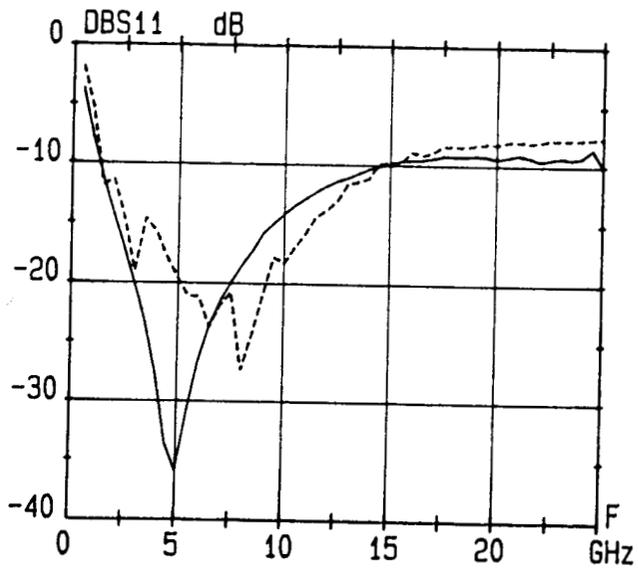


Figure 5 : Comparaison des paramètres S mesurés et simulés pour le transistor TBY3L45 ( $V_{gs}=0V$   $V_{ds}=3V$ )

— mesure    - - - - - modèle

La figure 5 présente une confrontation théorie-expérience dans le cas où une self de 0,45 nH est connectée sur l'extrémité de la grille. La capacité et la self sont modélisées en tenant compte des éléments parasites. On constate que notre modélisation permet de bien rendre compte du comportement du transistor jusqu'à 25 GHz. En effet, jusqu'à présent, nous avons effectué des mesures jusqu'à 20 GHz. Nous constatons que les résultats sont tout à fait satisfaisants à l'exception du  $S_{22}$  théorique plus optimiste que celui mesuré.

## **V Conclusion**

Cette première réalisation en technologie monolithique permet de confirmer pleinement les résultats obtenus précédemment pour le transistor monogrigle. Nous avons vu que notre modélisation permet de bien rendre compte du comportement du transistor et ce jusqu'à des fréquences élevées. L'étude va se poursuivre par des mesures de puissance de ces structures et par une réalisation identique pour la structure bigrigle.

## **CONCLUSION**

L'objectif de ce travail était d'étudier une nouvelle utilisation des structures monogrilles et bigrilles en amplification, basée sur la connexion d'impédances terminales sur les électrodes de grille ou de drain. Dans ce but, nous avons été amenés à développer différentes modélisations et simultanément, nous avons abordé la phase expérimentale comprenant la réalisation, la caractérisation et la mesure des différentes structures étudiées.

En ce qui concerne les modèles théoriques, nous avons retenu une modélisation distribuée basée essentiellement sur des caractérisations expérimentales. Ce type de modélisation présente l'avantage d'une part de pouvoir étudier le transistor dans n'importe quelle configuration d'utilisation et d'autre part de pouvoir étudier l'influence de certains paramètres sur son comportement global. La validité de nos modèles a été démontrée à l'aide de nombreuses confrontations théorie-expérience jusqu'à environ 16 GHz pour des développements de grille de 150 à 900  $\mu\text{m}$ . Nos modèles peuvent être encore affinés en prenant en compte de manière plus précise certains éléments parasites jusque là négligés, ce qui devrait permettre d'étendre ce type de modélisation à des fréquences encore supérieures et pour des structures à effet de champ plus petites et faisant intervenir d'autres technologies, notamment celle des HEMTs. Nous avons également étudié l'optimisation des structures monogrilles et bigrilles pour l'amplification petit signal large bande en établissant un développement de grille et des impédances terminales optimaux.

L'étude expérimentale a permis d'une part, de vérifier le rôle important que peut jouer la connexion d'impédances terminales sur l'amélioration des performances du transistor et d'autre part, de déterminer des topologies optimales et les impédances associées. Ainsi tant dans le cas du monogrille que du bigrille, la présence d'impédances selfiques se traduit par un accroissement de la bande d'utilisation qui peut être substantiel et l'obtention d'un gain plus élevé que celui obtenu dans le cas d'une utilisation classique sur une large bande de fréquence. Nous avons pu obtenir avec la structure bigrille des améliorations du gain encore plus conséquentes que pour le monogrille et pouvant atteindre 10 dB. Cette nouvelle utilisation des transistors à effet de champ permet de surmonter, dans une large mesure, la limitation naturelle imposée par la résistance de grille, pour l'obtention de structures performantes en puissance et

en fréquence. Nous avons également démontré que l'on peut obtenir avec ces types de structures des résultats en puissance intéressants bien que celles-ci n'aient pas été spécialement conçues pour le fonctionnement grand signal. Des composants optimisés devraient permettre d'améliorer encore les performances.

Enfin, l'ensemble de l'étude s'est achevée sur une première réalisation en technologie monolithique, effectuée dans la division Arséniure de Gallium de Thomson Composants Microondes, qui a confirmé pleinement les résultats obtenus précédemment avec des montages hybrides. Cette nouvelle utilisation du transistor permet d'envisager un vaste champ de nouvelles topologies monolithiques pour les applications en amplification large bande ou à contrôle de gain.

# **BIBLIOGRAPHIE**

- [1] R.L. KUVAS  
"Equivalent Circuit Model of FET Including Distributed Gate Effects"  
IEEE Transactions on Electron Devices, VOL ED-27, June 1980, pp. 1193-1195.
- [2] R. LARUE, C. YEN, G. ZDASIUK  
"Distributed GaAs FET Circuit Model For Broadband and Millimeter Wave Applications"  
IEEE MTT-S Digest, 1984.
- [3] W. HEINRICH, H.L. HARTNAGEL  
"Field-Theoretic Analysis of Wave Propagation on FET Electrodes Including Losses and Small Signal Amplification"  
Int. J. Electronics, Vol. 58, N°4, January 1985, pp. 613-627.
- [4] W. HEINRICH, H.L. HARTNAGEL  
"Wave Propagation on MESFET Electrodes and Its Influence on Transistor Gain"  
IEEE Trans. Microwave Theory and Techniques, VOL. MTT-35, N°1, January 1987, pp. 1-8.
- [5] W. HEINRICH  
"Distributed Equivalent Circuit Model for Traveling Wave FET Design"  
IEEE Trans. Microwave Theory Tech, VOL MTT-35, N°5, MAY 1987, pp. 487-491.
- [6] K.H. KRETSCHMER, P. GRAMBOW, T. SIGULLA  
"Coupled Mode Analysis of Travelling Wave MESFETs"  
Int. J. Electronics, Vol 58, N°4, January 1985, pp. 633-648.
- [7] R.L. CHANG, T.J. SHIEM, W.A. DAVIS, R.L.CARTER  
"Modelling and Analysis of GaAs MESFETs Considering the Wave Propagation Effect"  
IEEE MTT-S Digest, 1989, pp. 371-374.

- [8] K.C. GUPTA, R. GARY, I.J. BAHL  
"Microstrip Lines and Slot Lines"  
Artech House, 1979.
- [9] R.J. CHANG  
"Modeling on Analysis of a GaAs MESFET Considering Wave Propagation Effect  
or the Electrodes"  
M.S. Thesis, The University of TEXAS at Arlington, 1988.
- [10] P.L. HOWER, N.G. BECHTEL  
"Current saturation and small signal characteristics of GaAs field effect Transistors"  
IEEE, ED-20, n°3 pp. 213, 1973.
- [11] A. CAPPY  
"Propriétés physiques et performances potentielles des composants submicroniques  
à effet de champ: structures conventionnelles et à gaz d'électrons bidimensionnel"  
Thèse d'état, Lille, 1986.
- [12] M. SHORTGEN  
"Etude théorique et expérimentale du bruit de fond généré dans les TECs en  
gammas centimétriques et millimétriques"  
Thèse de 3ème Cycle, Lille, 1985.
- [13] F. HELIODORE  
"Simulation bidimensionnelle du transistor à effet de champ AsGa à grille  
submicronique: application à l'optimisation des composants faible bruit"  
Thèse de l'Université, Lille, 1987.
- [14] C. VERSNAEYEN  
"Etude théorique et expérimentale du transistor à effet de champ à hétérojonction  
AlGaAs / GaAs"  
Thèse de 3ème cycle, Lille, 1985.

[15] R. DELRUE

"Modélisation et caractérisation de lignes coplanaires à contact Schottky: influence de la passivation et de la métallisation"

Thèse de l'Université, Lille, 1989.

[16] N. SEBATI, P. GAMAND, C. VARIN, F. PASQUALINI, J.F. MEUNIER

"Continuous Active T-Gate Travelling-Wave Transistor"

Electronics Letters, vol 25, n°6, March 89, pp.403-404.

[17] C. TSIRONIS

"GaAs Dual Gate MESFET's and Their Applications in Microwave Circuits"

Alta electronica, 23, 4, 1980, pp. 317-324.

[18] T.S. HOWARD, A.M. PAVIO

"A Distributed 1-12 GHz Dual-Gate FET Mixer"

IEEE MTT-S Digest, 1986, pp. 329-332.

[19] J. WYRWINSKI

"Etude théorique et expérimentale de divers fonctionnements en amplification de puissance du transistor à effet de champ bigrille à Arséniure de Gallium "

Thèse de 3ème cycle, Lille, 1986.

[20] H. BAUDRAND, M. AHMADPANAHI, M. LARSRY

"Couplage actif dans une structure à onde lente"

J.N.M Lannion, 1984.

## RESUME

Ce travail porte sur une nouvelle utilisation des structures monogrilles et bigrilles distribuées pour l'amplification hyperfréquence large bande.

Pour mener à bien cette étude, nous avons été amenés à réaliser dans un premier temps différentes structures monogrilles. Ensuite, nous avons développé des modélisations de type distribué basées sur des caractérisations expérimentales permettant d'étudier les composants dans différentes configurations d'utilisation. Après ces différentes étapes, nous présentons les premiers résultats expérimentaux en régime petit signal et en amplification de puissance qui permettent de mettre en évidence le rôle important que peut jouer la connexion d'impédances terminales sur la grille ou le drain sur le comportement global du transistor.

Après avoir validé notre modèle à partir de confrontations théorie expériences, nous effectuons une optimisation de la structure monogrille en étudiant systématiquement l'influence de divers paramètres (développement de grille, nature des impédances terminales).

Dans la dernière partie de ce travail, nous réalisons une étude similaire pour la structure bigrille. Nous décrivons successivement les différents composants étudiés, leur caractérisation et le type de modélisation retenue. Nous présentons ensuite les résultats expérimentaux qui débouchent sur des confrontations théorie-expérience dans le but de définir une structure optimale.

Enfin, en tout dernier lieu, nous présentons des premiers essais industriels de réalisation d'une version intégrée monolithique de la structure monogrille mettant en pratique les principes développés au cours de toute cette étude.



---

### **MOTS CLES :**

Structures à effet de champ distribuées - Amplificateur large bande - Réseaux d'adaptation - Modélisation des transistors à effet de champ - Circuits intégrés monolithiques microondes -