

N° d'ordre : 834



66366

50376

1991

242

50376
1991
242

THESE

présentée à

**L'UNIVERSITE DES SCIENCES ET TECHNIQUES DE LILLE
FLANDRES ARTOIS**

pour obtenir le titre de

DOCTEUR EN ELECTRONIQUE

par

Christophe LARDE

**ETUDE EXPERIMENTALE DU COMPORTEMENT DES
CIRCUITS INTEGRES LOGIQUES SOUMIS A DES
PERTURBATIONS ELECTROMAGNETIQUES**

soutenue le 11 Décembre 1991 devant la Commission d'Examen

Membres du jury : MM. R. GABILLARD,
J. FONTAINE,
B. DEMOULIN,
M. HEDDEBAUT,
J. BAUDET,

Président Rapporteur
Rapporteur
Directeur de Thèse
Examineur
Examineur

REMERCIEMENTS

Ce travail a été effectué au Laboratoire de RadioPropagation et Electronique (LRPE) de l'université des sciences et techniques de Lille Flandres-Artois, dirigé par le Professeur R. GABILLARD.

Je le prie de bien vouloir trouver ici l'expression de toute ma reconnaissance et de mon plus profond respect pour avoir bien voulu juger ce travail et assurer la présidence du jury.

Cette thèse a été effectuée sous la direction de Monsieur B. DEMOULIN, maître de conférences. Qu'il trouve ici l'expression de toute ma reconnaissance pour les précieux conseils et l'aide qu'il m'a apportée tout au long de ce travail.

Je remercie également Monsieur J. BAUDET ingénieur CNRS au LRPE pour l'aide constante qu'il m'a apportée au cours de ce travail.

Mes remerciements vont également à Monsieur le Professeur J. FONTAINE de l'Université de Clermont-Ferrand II, qui me fait l'honneur d'examiner ce travail et d'assurer la tâche de rapporteur.

Je tiens également à remercier Monsieur M. HEDDEBAUT directeur de recherche au CRESTA qui a accepté de participer au jury et d'examiner ce travail.

Ma reconnaissance va également à Monsieur le Professeur P. DEGAUQUE pour le soutien et les encouragements qu'il m'a apportés au long de ce travail.

Mes remerciements vont également à Monsieur DEHORTER qui a assuré la reproduction de ce rapport.

Enfin que tous les membres du laboratoire que j'ai cotoyés durant ces années et qui ont contribué à la bonne ambiance dans laquelle ce travail s'est déroulé, trouvent ici l'expression de ma sympathie.

SOMMAIRE

<u>INTRODUCTION GENERALE</u>	p. 1
CHAPITRE I : <u>mise en oeuvre d'un dispositif de test</u>	p. 3
<u>introduction</u>	
<u>I.1 les différentes familles technologiques de circuits intégrés et leurs caractéristiques</u>	p. 5
I.1.1 terminologie des circuits intégrés	
I.1.2 les familles TTL	
I.1.3 les familles MOS	
I.1.4 conclusion	
<u>I.2 approche expérimentale - mise en évidence des problèmes de mesure</u>	p. 12
I.2.1 description du dispositif de mesure	
I.2.2 recherche de la caractéristique traduisant le changement d'état logique	
I.2.3 intérêt et validité du test	
<u>I.3 la modélisation du couplage électromagnétique à un élément filaire reliant des circuits</u>	p. 15
I.3.1 couplage d'une onde plane à une ligne de transmission	
I.3.2 couplage par proximité entre deux lignes de transmission	
<u>I.4 injection de courant et de tension : dispositif de test</u>	p. 20
I.4.1 injection de tension	
I.4.2 injection de courant	
<u>conclusion</u>	p. 23
CHAPITRE II : <u>perturbation sur les lignes d'alimentation</u>	p. 24
<u>introduction</u>	
<u>II.1 les impulsions de polarité négative</u>	p. 26
II.1.1 cas de la technologie TTL	
II.1.2 cas de la technologie MOS : famille 74HC	
II.1.3 cas de la technologie MOS : famille 74C	
<u>II.2 les impulsions de polarité positive</u>	p. 40
II.2.1 cas de la technologie TTL	
II.2.2 cas des technologies MOS : familles 74C et 74HC	
<u>conclusion</u>	p. 43

introduction

III.1 perturbations par injection de tension

p. 45

III.1.1 cas des circuits 74LS00 lorsque $V_p > 0$

III.1.2 cas des circuits 74LS00 lorsque $V_p < 0$

III.1.3 cas des circuits en technologie MOS lorsque $V_p > 0$

III.1.4 cas des circuits en technologie MOS lorsque $V_p < 0$

III.1.5 résumé

III.2 perturbations par injection de courant

p. 60

III.2.1 cas des circuits 74C00 lorsque $I_p > 0$

III.2.2 cas des circuits 74HC00 lorsque $I_p > 0$

III.2.3 cas des circuits 74LS00 lorsque $I_p > 0$

III.2.4 cas des circuits 74C00 lorsque $I_p < 0$

III.2.5 cas des circuits 74HC00 lorsque $I_p < 0$

III.2.6 cas des circuits 74LS00 lorsque $I_p < 0$

III.2.7 résumé

conclusion

p. 70

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées, celles-ci étant connectées à des éléments non linéaires

introduction

p. 71

IV.1 le dispositif de perturbation à lignes couplées

p. 73

IV.2 validation du logiciel de simulation :

p. 74

étude de quelques cas simples

IV.2.1 cas du couplage faible

IV.2.2 cas du couplage fort

IV.3 les possibilités du logiciel

p. 78

IV.3.1 les simulations dans le domaine non linéaire

IV.3.2 vers l'étude du comportement des circuits intégrés en régime dynamique, soumis à des perturbations électromagnétiques

IV.4 les limites imposées par la méthode de résolution

p. 84

IV.4.1 le choix de la résolution et son influence

IV.4.2 le cas d'un système de lignes couplées symétriques
dans un milieu homogène

conclusion

p.87

CONCLUSION GENERALE

p.88

ANNEXES

p.90

INTRODUCTION

L'usage de plus en plus fréquent d'automatismes et logiques bas niveaux pour la gestion de processus industriels pose avec une certaine acuité le problème de la sécurité de ces dispositifs. Si nous prenons l'exemple d'une logique destinée à contrôler l'ordre de freinage d'un véhicule, on comprend que toute anomalie survenant sur les circuits électroniques aura de fâcheuses conséquences. Pour limiter ce genre de risques, les ingénieurs ont abondamment utilisé la redondance des fonctions à haut niveau de sécurité ; Par exemple en dédoublant les voies logiques, celles-ci étant câblées avec des formules technologiques différentes : TTL et CMOS.

On conçoit qu'une telle redondance réduit fortement le risque d'apparition d'erreurs simultanées dues par exemple à une panne intrinsèque sur chaque voie. Soumis à un champ électromagnétique haute fréquence des tensions parasites peuvent cependant apparaître sur les circuits et engendrer de ce fait des défauts simultanés. Pour réduire ce risque on peut évidemment blinder les équipements électroniques et les câbles, afin d'atténuer les phénomènes induits. Bien qu'assez coûteuse cette solution n'offre pas une sécurité absolue dans la mesure où un blindage peut se révéler défaillant à la suite d'une intervention de maintenance. Une alternative à cette solution consiste à évaluer la sensibilité d'une carte électronique et tenter de l'améliorer en révisant par exemple le tracé des circuits et en harmonisant fonctions et technologies logiques, afin de rendre la carte électronique beaucoup moins sensible aux effets induits par les champs électromagnétiques. Une telle démarche suppose toutefois une connaissance approfondie de la sensibilité des composants soumis aux agressions électromagnétiques. C'est précisément à cette étude, dans le cadre de contrats liant l'USTLFA et le CRESTA, qu'est consacré notre thèse.

Dans un premier chapitre nous présentons les familles technologiques les plus usuelles et rappelons les caractéristiques nominales de ces logiques. Nous nous interrogeons ensuite sur les moyens à mettre en oeuvre pour tester la sensibilité de ces circuits intégrés. Nous montrons que les effets induits par un champ électromagnétique peuvent être réduits à des sources de tension ou de courant rapportées aux ports d'entrée, sortie et alimentation du composant. A l'aide de mesures démonstratives nous justifions le choix de

sources de type transitoire et proposons un protocole de test mettant en oeuvre deux portes NAND connectées en cascade.

Le second et le troisième chapitre de notre thèse concernent la mise en application de ces tests aux logiques TTL et CMOS. Les perturbations provoquées sur le port d'alimentation du composant montrent qu'une source de tension induite en série avec la tension d'alimentation peut engendrer un changement d'état logique du circuit. Nous tentons d'expliquer ce mécanisme, et de le quantifier en considérant le rôle important joué par le temps de propagation intrinsèque au composant.

Nous envisageons ensuite deux autres scénarios où le composant est tout d'abord perturbé par une source de tension insérée entre la sortie de l'un et l'entrée du second. Ce mode perturbateur qui s'apparente aux tensions induites lors d'un couplage de type magnétique, peut sous certaines contraintes modifier l'état logique du composant aval. L'interprétation des résultats montrent que le seuil de sensibilité peut alors être aisément déduit des paramètres figurant dans les données techniques constructeur.

Un troisième scénario a consisté à perturber la sortie du composant amont par une source de courant. Des changements d'état logique du composant aval sont également apparus au dessus d'un certain seuil de courant. Une étude approfondie du schéma interne des composants nous a aidé à comprendre ces phénomènes dans la mesure où les tensions résiduelles qui naissent à cette occasion ont pour origine l'impédance de sortie du composant. Celle ci n'est pas mentionnée dans les données techniques habituelles et nous concluons que ce paramètre est une caractéristique indispensable permettant d'évaluer le risque induit sur une carte exposée à un couplage de type électrique.

Le quatrième chapitre de notre thèse est consacré à la modélisation des phénomènes induits sur les éléments filaires reliant les composants entre eux. A l'aide d'exemples nous illustrons les possibilités du logiciel développé dans notre travail. En effet à partir de champs perturbateurs transitoires cet outil peut calculer les amplitudes crêtes des signaux induits sur des charges non linéaires connectées sur les pistes des circuits imprimés.

CHAPITRE I

INTRODUCTION

La perturbation électromagnétique des cartes électroniques peut avoir des origines ainsi que des formes multiples. En effet des dysfonctionnements relevés sur des matériels électroniques peuvent avoir pour origine tantôt une décharge orageuse tantôt une émission radio-électrique ou encore le rayonnement d'un équipement proche tel une génératrice ou un transformateur. Evidemment le contenu spectral ainsi que l'amplitude des signaux perturbateurs varient fortement suivant la source qui les a générés.

Etant donnée cette double multiplicité il n'est pas envisageable de reproduire tous les cas de figure rencontrés sur site, d'autant plus que la variété des circuits pouvant être soumis à des agressions électromagnétiques est grande.

En ce qui nous concerne nous limitons notre étude aux cas des circuits intégrés logiques. Cette limitation n'en est pas pour autant suffisante, en effet une même fonction logique est le plus souvent disponible dans différentes familles technologiques et par ailleurs le nombre de ces fonctions est très important.

C'est pourquoi dans un premier paragraphe nous présentons les familles logiques les plus courantes ainsi que leurs caractéristiques.

Quant aux fonctions que nous nous proposons d'étudier nous avons choisi la seule fonction NAND qui est une fonction de base dans la fabrication de circuits intégrés complexes.

En ce qui concerne leur susceptibilité électromagnétique il nous paraît plus réaliste de définir une procédure de test qui nous permette de comprendre les phénomènes mis en jeu lors de l'agression des circuits tout en essayant de reproduire le plus fidèlement possible les mécanismes du couplage entre le

perturbé et le perturbateur, plutôt que de tenter la reproduction des nombreux cas rencontrés sur site.

Nous présentons et commentons donc dans un second paragraphe, les résultats obtenus dans une première phase expérimentale qui a le mérite de mettre en évidence les problèmes posés par, le développement d'outils qui reproduisent au mieux les mécanismes du couplage électromagnétique.

C'est pourquoi avant de mettre en place des outils et méthodes de test nous présentons les équations et la modélisation de ces mécanismes.

C'est à partir de cette modélisation que nous définissons deux dispositifs d'injection des perturbations, que nous décrivons dans le dernier paragraphe.

I.1 LES DIFFERENTES FAMILLES TECHNOLOGIQUES DE CIRCUITS INTEGRES ET LEURS CARACTERISTIQUES. [1],[2]

La technologie des circuits intégrés numériques a fait une avancée spectaculaire depuis l'intégration à petite échelle (SSI) qui permettait de mettre jusqu'à 13 portes logiques sur une même puce.

Maintenant grâce à l'amélioration des techniques d'intégration on peut sur une même puce mettre plusieurs milliers de composants, c'est l'intégration à très grande échelle (VLSI).

Entre ces deux extrêmes il y a l'intégration à moyenne échelle (MSI) qui permet l'intégration de 13 à 100 portes logiques ainsi que l'intégration à grande échelle (LSI).

On appelle famille logique une catégorie de circuits logiques fabriqués au moyen de la même technique de construction. Il est possible de classer toutes les familles logiques en deux grandes catégories selon le dispositif utilisé en fabrication. D'une part il y a les familles bipolaires telles que TTL et ECL, qui utilisent des transistors bipolaires (NPN, PNP) comme principal élément de circuit. D'autre part il y a les familles MOS qui utilisent des transistors à effet de champ à grille isolée (MOS), appelés transistors MOS.

Actuellement les familles TTL et CMOS dominent les secteurs d'application nécessitant des circuits SSI (par exemple portes, bascules) et MSI (compteurs, registres).

De manière générale les circuits à transistors MOS conviennent mieux aux techniques LSI et VLSI (mémoires, microprocesseurs) que ceux à transistors bipolaires, parce que les premiers prennent moins de place sur une puce et consomment moins d'énergie.

Avant de s'intéresser aux caractéristiques des familles logiques les plus utilisées nous allons rappeler la terminologie couramment utilisée pour les exprimer (seules les caractéristiques dont nous aurons besoin par la suite seront définies).

I.1.1 TERMINOLOGIE DES CIRCUITS INTEGRES.

paramètres courant et tension.

Vih(min)-tension d'entrée niveau haut : niveau de tension nécessaire pour avoir un 1 logique en entrée. Toute tension inférieure à ce niveau peut ne pas être considérée comme un état haut.

Vil(max)-tension d'entrée niveau bas : niveau de tension nécessaire pour avoir un 0 logique en entrée. Toute tension supérieure à ce niveau peut ne pas être considérée comme un état bas.

Voh(min)-tension de sortie niveau haut : niveau de tension à la sortie d'un circuit logique correspondant à un état logique 1.

Vol(max)-tension de sortie niveau bas : niveau de tension à la sortie d'un circuit logique correspondant à l'état logique 0.

Iih-courant d'entrée niveau haut : courant qui traverse une borne d'entrée quand un niveau haut est appliqué à celle-ci.

Iio-courant d'entrée niveau bas : courant qui traverse une borne d'entrée quand un niveau bas est appliqué à celle-ci.

Ioh-courant de sortie niveau haut : courant qui traverse une borne de sortie placée au niveau haut dans les conditions de charge spécifiées.

Iol-courant de sortie niveau bas : courant qui traverse une borne de sortie placée au niveau bas dans les conditions de charge spécifiées.

Sortance : Normalement la sortie d'un circuit logique doit piloter plusieurs entrées logiques. La sortance est définie comme étant le nombre maximal d'entrées logiques standard qui peuvent être pilotées sans problème par une sortie.

paramètres temporels

retards de propagation : un signal logique qui traverse un circuit subit toujours un retard. Deux retards de propagation sont définis :

t_{plh} : retard pour que la sortie passe du niveau logique 0 au niveau logique 1

t_{phl} : retard pour que la sortie passe du niveau logique 1 au niveau logique 0

La figure ci-dessous illustre ces notions de temps de propagation dans le cas d'un circuit inverseur.

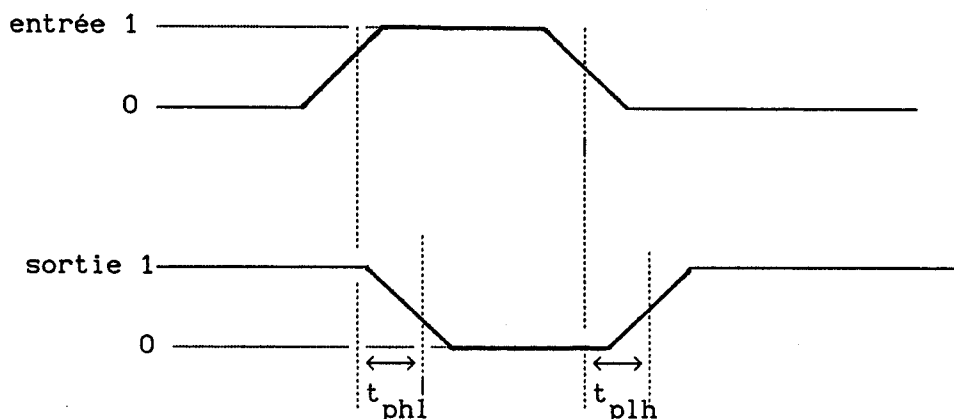


figure I.1

D'autres caractéristiques apparaissent dans les fiches techniques des circuits intégrés telles que les temps de transition, les capacités maximales de charge, les capacités d'entrée, celles-ci n'étant pas utilisées dans la suite du texte nous n'en donnons pas la définition.

Les paramètres qui nous seront utiles étant définis nous allons maintenant présenter les différentes familles technologiques en précisant pour les plus utilisées leurs caractéristiques.

I.1.2 LES FAMILLES TTL

Notons qu'avant l'apparition du standard TTL d'autres familles technologiques telles que la RTL (résistance-transistor-logique), la DTL (diode-transistor-logique) ont précédé. Maintenant ces familles technologiques ont été abandonnées au profit de la logique TTL (transistor-transistor-logique).

Le circuit logique TTL de base est une porte NAND, schématisée figure 2.

Lorsque l'on parle de la famille TTL c'est généralement par référence à la famille 7400. En effet les évolutions technologiques qui ont donné naissance à d'autres séries telles que la L-TTL ou encore la LS-TTL bien qu'étant étiquetées sous le label TTL ne font pas forcément référence au schéma de base dit : transistor-transistor-logique.

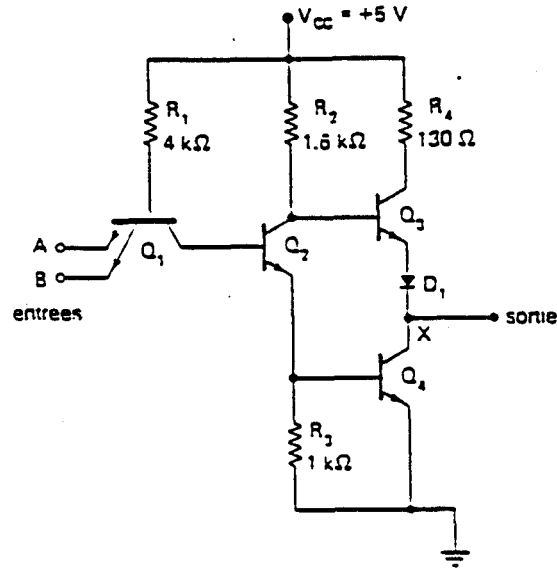


figure 1.2

Après l'avènement de la série 7400 d'autres ont vues le jour :

TTL faible consommation, série 74L00 (L-TTL)

TTL rapide, série 74H00 (H-TTL)

TTL Schottky, série 74S00 (S-TTL)

TTL Schottky faible consommation, série 74LS00 (LS-TTL)

Nous présentons dans le tableau ci-dessous les différentes caractéristiques de chacune.

	standard	L-TTL	H-TTL	S-TTL	LS-TTL
Vcc	← 5V →				
V _{oh} (min) conditions de test: I _{oh}	2.4V 400μA	2.4V 400μA	2.4V 500μA	2.7V 1mA	2.7V 400μA
V _{ih} (min)	2V	2V	2V	2V	2V
V _{ol} (max) conditions de test: I _{ol}	0.4V 16mA	0.3V 4mA	0.4V 20mA	0.5V 20mA	0.5V 8mA
V _{il} (max)	0.8V	0.8V	0.8V	0.8V	0.8V
I _{ih}	40μA	20μA	50μA	50μA	20μA
I _{il}	1.6mA	0.18mA	2mA	2mA	0.36mA
T _{plh} T _{phl}	9ns	33ns	6ns	3ns	9.5ns
Consommation	10mW	1mW	23mW	23mW	2mW
fréquence max	25MHz	3MHz	40MHz	100MHz	33MHz

Les circuits LS-TTL sont devenus les circuits "ordinaires" de la famille TTL et on les retrouve dans presque toutes les nouvelles conceptions TTL dans lesquelles la vitesse n'a pas à être maximale ou bien la consommation minimale. Dans le premier cas on utilise la série S-TTL et dans le second la série L-TTL pour rester dans la famille TTL. Notons que le schéma interne d'une 74LS00, donné ci-dessous, ne présente pas de multi-émetteur en entrée mais des diodes; malgré cela le fonctionnement de base de ce circuit reste identique à celui avec transistor à émetteurs multiples ce qui explique son appartenance à la famille TTL.

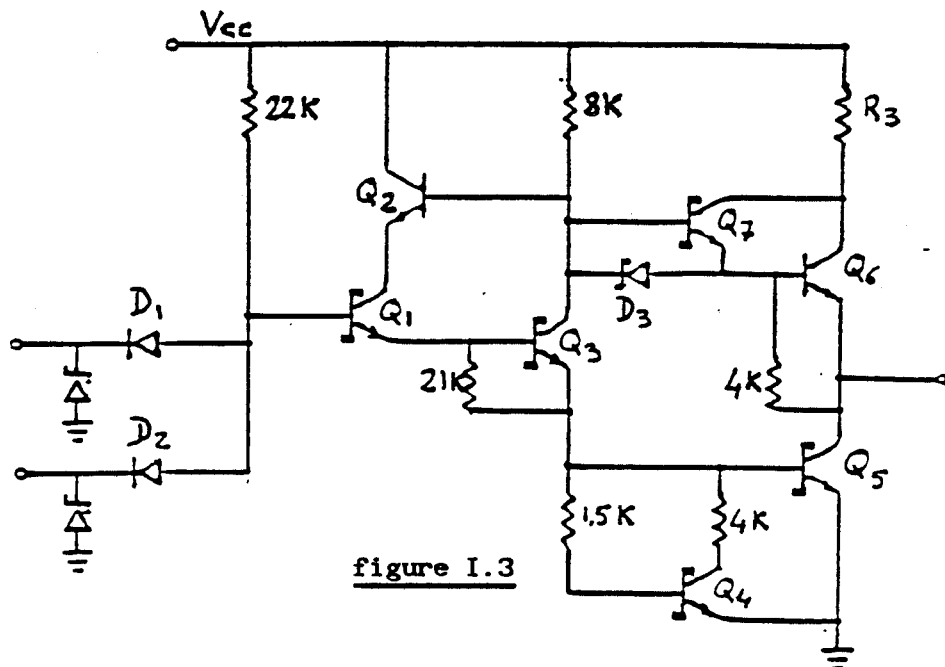


figure I.3

I.1.3 LES FAMILLES MOS

On peut classer les circuits logiques réalisés avec des transistors MOS en trois catégories :

- les PMOS qui utilisent seulement des transistors MOS canal P
- les NMOS qui utilisent seulement des transistors MOS canal N
- les CMOS (MOS complémentaires) qui utilise les MOS canal N et P

Les circuits NMOS et PMOS ont une densité d'intégration supérieure à celle des dispositifs CMOS, et sont par conséquent plus économiques.

Les NMOS ont une densité d'intégration deux fois plus élevée que celle des PMOS et sont deux fois plus rapides, étant donné que les porteurs de charge sont des électrons libres alors que dans les PMOS ce sont des trous.

Par ailleurs, les CMOS sont de tous les éléments des familles MOS ceux qui ont la plus grande complexité et la densité d'intégration la plus faible, mais ce sont eux qui sont les plus rapides et qui consomment le moins.

La famille CMOS se retrouve surtout dans les application MSI (moyenne intégration) comme la famille TTL, c'est donc à cette famille que nous nous intéresserons.

Bien que les familles MOS sont réputées pour être plus lentes que les familles TTL celles-ci se voient cependant directement concurrencées dans les applications MSI par certaines séries de la famille CMOS.

La fonction de base des familles CMOS est l'inverseur tel qu'il est décrit ci-dessous.

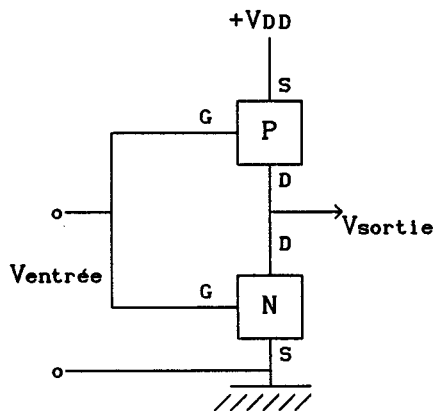


figure I.4

La première série de cette logique a été produite par la société RCA et porte le nom de série 4000. Certains fabricants numérotent de la même façon leurs dispositifs alors que d'autres ont élaboré un système de numérotation différent. En outre National Semiconducteur a créé la série 74C00 qui est broche à broche équivalente à la série 7400 des dispositifs TTL.

Cette série de par sa compatibilité de brochage avec la famille TTL est devenue la série de référence de la famille CMOS.

La série 74C00 reste malgré tout très lente vis à vis des technologies bipolaires, aussi des améliorations ont été apportées grâce aux progrès du savoir faire technologique et ont débouché sur les séries 74HC00 et 74HCT00.

La 74HC00 (high speed CMOS) est une version dite "rapide" de la 74C00 tout comme la série 74HCT00 à la différence près que, cette dernière est

entièrement compatible TTL tant sur le plan du brochage que de ses caractéristiques en courant et tension.

Nous présentons ci-dessous les différentes caractéristiques des séries 74C00, 74HC00 et 74HCT00.

	74 C 00	74 HC 00	74 HCT 00
Vcc	← 5V →		
V _{oh} (min)	4.95V	4.9V	4.9V
V _{ih} (min)	3.5V	3.15V	2V
V _{ol} (max)	0.05V	0.1V	0.1V
V _{il} (max)	1.5V	1.35V	0.8V
I _{ih}	0.3μA	1μA	1μA
I _{il}	0.3μA	1μA	1μA
T _{plh} T _{phl}	typique max 25ns 250ns	typ max 7ns 15ns	typ 6ns
Consommation	0.6μW	1μW	1μW
fréquence max	4MHz	55MHz	55MHz

Précisons que dans ce tableau nous avons donné les caractéristiques pour une tension d'alimentation de 5V, or dans le cas des technologies CMOS la tension d'alimentation peut varier, contrairement aux familles TTL, dans une large gamme notamment pour la série 74C00 celle-ci peut être prise entre 3 et 16V.

I.1.4 CONCLUSION

La majorité des circuits intégrés logiques MSI sont disponibles maintenant dans les familles logiques TTL et CMOS ces familles comportant de nombreuses séries il n'est pas envisageable dans le cadre de notre thèse d'étudier le comportement de chacune d'entre elles vis à vis des agressions électromagnétiques.

Aussi nous limiterons par la suite notre étude aux séries les plus courantes de chacune de ces familles, à savoir les séries 74C00, 74HC00 et 74LS00.

La fonction NAND occupe tant par la numérotation constructeur que par sa nature une place de fonction de base dans la conception des circuits intégrés logiques c'est pourquoi seule cette fonction sera étudiée dans notre travail.

Le choix des circuits dont nous nous proposons d'étudier le comportement lorsqu'il sont soumis à une agression électromagnétique étant fait nous allons maintenant à partir d'une approche expérimentale simple montrer les problèmes posés par la mise en oeuvre de tests réalistes et qui permettent la compréhension des phénomènes mis en jeu.

I 2 APPROCHE EXPERIMENTALE - MISE EN EVIDENCE DES PROBLEMES DE MESURE [3],[4]

I.2.1 DESCRIPTION DU DISPOSITIF DE MESURE

Nous limiterons dans ce paragraphe notre étude au cas de portes NAND 74LS00.

La solution la plus élémentaire pour injecter des perturbations sur une liaison entre deux circuits intégrés consiste à coupler celle-ci à un générateur HF par l'intermédiaire d'un condensateur de liaison.

La source "perturbatrice" est un générateur d'ondes sinusoïdales dans la gamme 10 à 200 MHz.

Le schéma de mesure utilisé est donné figure I.5.

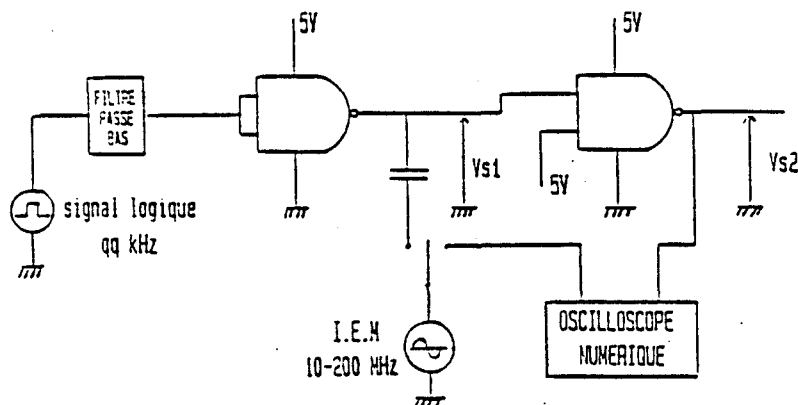
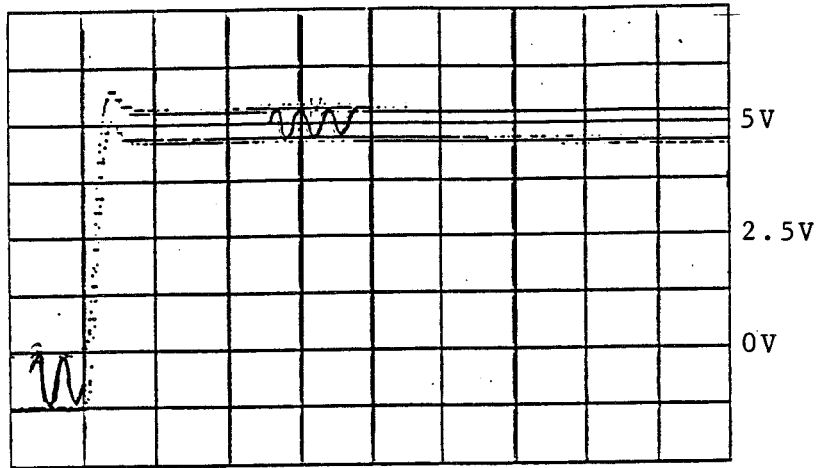


figure I.5

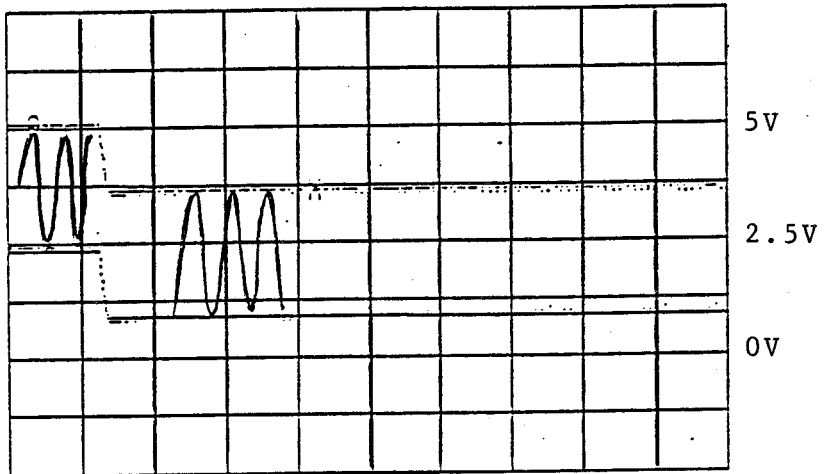
I.2.2 RECHERCHE DE LA CARACTERISTIQUE TRADUISANT LE CHANGEMENT D'ETAT LOGIQUE

Les circuits étudiés étant des 74LS00 nous avons pris référence sur les caractéristiques constructeur pour définir le changement d'état logique en sortie du circuit N°2.

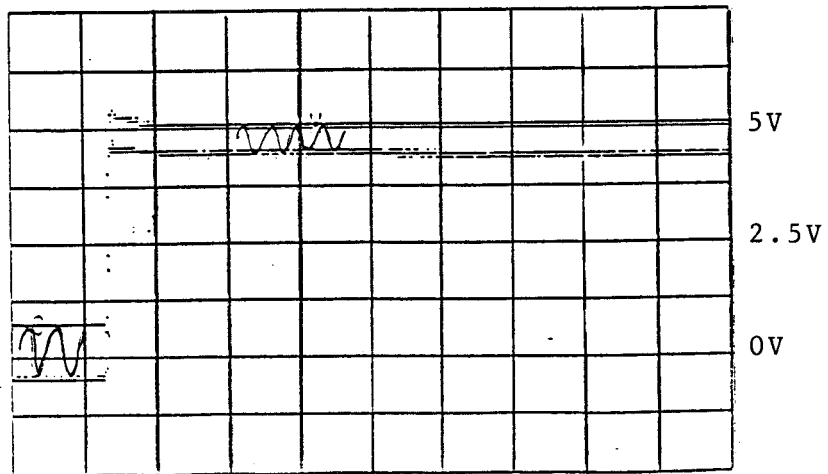
Ve



VS1



VS2



2 μ s/carreau

perturbation à la fréquence de 45 MHz :
relevé des signaux Ve, VS1 et VS2

planche I.1

Pour la technologie TTL les niveaux bas et haut sont garantis respectivement en deçà de 0.8 Volt et au dessus de 2 Volt, ce sont donc les critères que nous avons appliqué sur le signal en sortie du second circuit.

Afin de préciser ces critères nous présentons planche I.1 les signaux relevés pour une fréquence HF de 45 MHz.

Pour ces acquisitions l'oscilloscope travaille en mode enveloppe. Sur la planche I.1 nous avons dessiné à l'intérieur des "enveloppes" relevées une sinusoïde afin d'éclairer le lecteur sur la nature des signaux aux différents points du montage.

Lorsque la limite inférieure de l'enveloppe correspondant à l'état haut est inférieure à 2 Volt, ou que la limite supérieure de l'enveloppe pour l'état logique bas est en dessous du seuil 0.8 Volt, nous considérons l'état logique comme perturbé, d'où risque d'erreur en aval.

Pour caractériser l'effet produit sur la liaison sortie du circuit N°1 entrée du circuit N°2 deux possibilités s'offrent à nous.

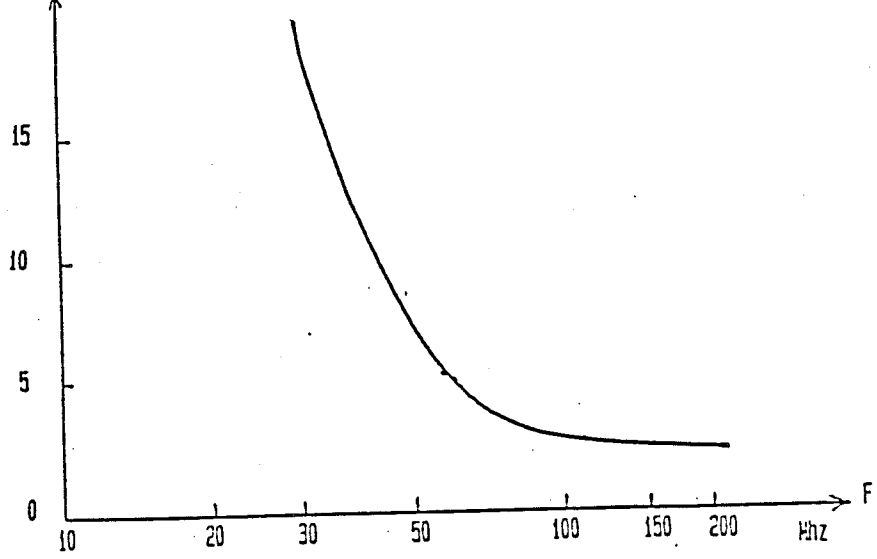
On peut explorer une dynamique en fréquence et en amplitude soit de la force électromotrice VHF soit de la tension HF superposée à chacun des deux états en V_{s1} .

Les caractéristiques obtenues dans les deux cas sont présentées planche I.2. Dans le premier cas le test permet d'avoir un élément de référence qui est indépendant des circuits étudiés : la force électromotrice du générateur. Néanmoins l'impédance équivalente de la liaison sous test n'étant pas constante en fonction de la fréquence et de l'état logique, l'énergie injectée ne l'est pas non plus. On ne peut donc pas connaître la tension réellement injectée, d'où l'intérêt du relevé de l'amplitude de la tension HF superposée aux signaux logiques.

De plus cette solution présente l'avantage de pouvoir rendre le test entièrement automatique.

Par contre la caractéristique relevée n'est plus unique en effet on dispose maintenant de deux grandeurs, l'amplitude HF sur l'état haut et sur l'état bas, présentant des écarts, pour une même fréquence, pouvant aller jusqu'à 50%.

Volt (force électromotrice du perturbateur)



tension HF superposée aux états logiques

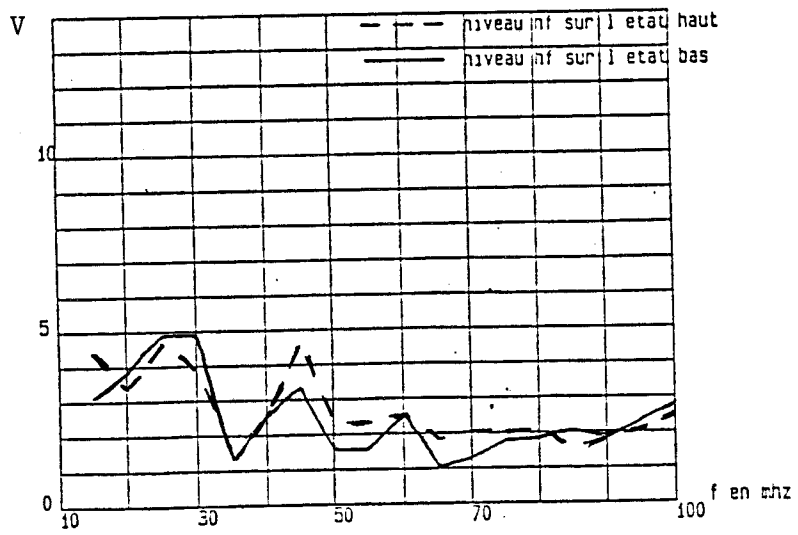


planche I.2

I.2.3 INTERET ET VALIDITE DU TEST

Comme nous l'avons évoqué en introduction les allures des signaux perturbateurs rencontrés en pratiques sont multiples. Or dans la phase expérimentale que nous avons entreprise, seul le signal harmonique est utilisé pour perturber le composant. Ce modèle répond évidemment à un cas particulier d'agression.

Que la phase expérimentale soit restrictive importe peu si elle permet de mettre en évidence les phénomènes essentiels mis en jeu lors de l'agression électromagnétique des circuits.

Les composants étudiés ayant un fonctionnement non linéaire, les signaux sinusoidaux superposés à la transmission numérique sont soumis au phénomène d'écrêtage, qui a comme principal effet d'introduire des décalages de valeur moyenne. Lorsque la fréquence du perturbateur est supérieure à la fréquence maximale de fonctionnement du circuit sous test celui-ci agit comme un filtre passe bas et ne prend donc en compte que la valeur moyenne du signal.

Il est évident que ces effets viennent modifier les niveaux de polarisation des étages d'entrée et de sortie des composants ; Ce qui n'est pas forcément le cas lorsque le perturbateur apparait de façon fugitive.

Il en résulte que le perturbateur envisagé ici, vient modifier sinon masquer la phénoménologie de l'action de l'IEM sur les circuits.

Quant au mode d'injection de la perturbation il a été choisi plus par souci de simplicité de mise en oeuvre que de réalisme.

Le couplage entre deux lignes très proches ou entre une onde électromagnétique illuminant une ligne de transmission peut réaliser un couplage tout à fait différent de celui réalisé par un condensateur de liaison.

Partant de cette expérience et de ces considérations nous allons examiner de façon théorique la modélisation des phénomènes de couplage et modifier les systèmes d'injection de perturbation afin de nous rapprocher des hypothèses du modèle.

I.3 LA MODELISATION DU COUPLAGE ELECTROMAGNETIQUE A UN ELEMENT FILAIRE RELIANT DES CIRCUITS. [5],[6]

Les courants et tensions parasites induits sur des cartes électroniques résultent souvent de l'illumination d'un câble de liaison ou d'alimentation par une source perturbatrice. Dans ce cas le câble joue le rôle de capteur ainsi que de vecteur de propagation de la perturbation.

Nous étudierons donc le cas d'une ligne illuminée par un champ électromagnétique.

Mais il existe une autre source de perturbation intrinsèque au système.

En effet avec la miniaturisation sans cesse croissante et l'accroissement du nombre de données traitées par les systèmes informatiques les phénomènes de diaphonie résultant du couplage au sein des bus de dialogue ne peuvent plus être négligés.

C'est pourquoi nous étudierons également le cas du couplage par proximité entre deux lignes de transmission.

I.3.1 COUPLAGE D'UNE ONDE PLANE A UNE LIGNE DE TRANSMISSION

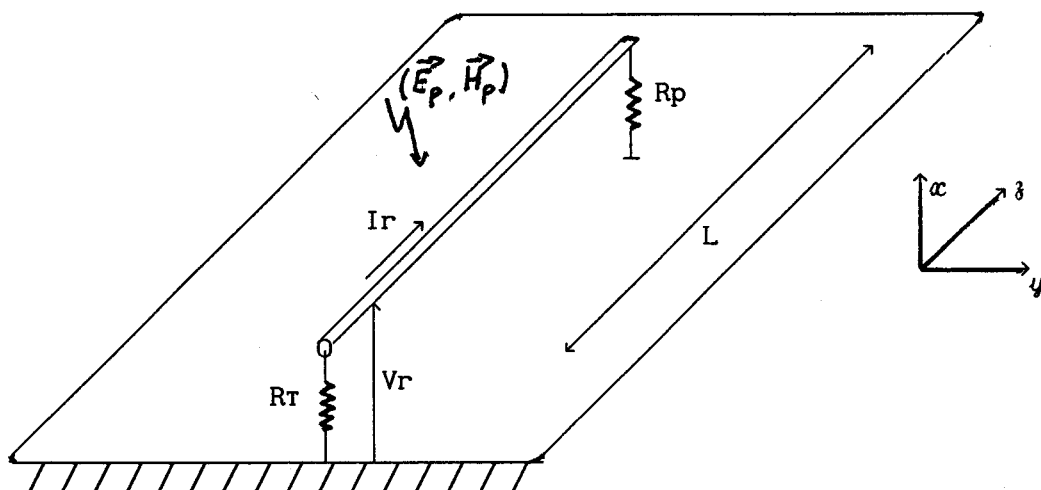


figure I.6

Le calcul des tensions et courants parasites à chaque extrémité du câble peut se faire à partir de la théorie des antennes ou de la théorie des lignes de transmission.

Par souci de simplicité nous traiterons le cas décrit figure I.6 par la seconde méthode.

Le champ total (E^T, B^T) en tout point de l'espace est la somme du champ incident (E^I, B^I) et du champ diffracté par le câble (E^D, B^D) .

On peut lorsque la hauteur du câble au plan de masse est faible vis à vis de la longueur d'onde (λ) définir de façon unique le potentiel diffracté V_D :

$$V_D = - \int_0^h E_x^D dx \quad (I.1)$$

En effet dans ce cas le mode de propagation prépondérant est le mode TEM, et le courant est uniquement axial.

En utilisant les équations de maxwell on obtient alors le système différentiel suivant :

$$\begin{cases} \frac{\partial V^D}{\partial z} + Z \cdot I = E_z^{ap}(h) \\ \frac{\partial I}{\partial z} + Y \cdot V = 0 \end{cases} \quad (I.2)$$

avec $E_z^{ap}(h) = E_z^I + E_z^R$ E_z^R : champ réfléchi par le plan de référence

Y et Z sont les paramètres admittance et impédance linéique de la ligne.

En définissant maintenant le potentiel total V^T à partir du champ total E^T :

$$V^T = - \int_0^h E_x^T dx \quad (I.3)$$

soit encore :

$$V^T = - \int_0^h E_x^{ap} dx - \int_0^h E_x^D dx = V^D - \int_0^h E_x^{ap} dx \quad (I.4)$$

On obtient le système différentiel suivant :

$$\begin{cases} \frac{\partial V^T}{\partial z} + Z \cdot I = j\omega \int_0^h B_y^{ap} dx \\ \frac{\partial I}{\partial z} + Y \cdot V^T = j\omega \int_0^h E_x^{ap} dx \end{cases} \quad (I.5)$$

Soit finalement un système d'équations différentielles avec au second membre des termes sources qui traduisent la présence du champ électromagnétique perturbateur.

Si on envisage les configurations d'illumination de la figure I.7 on peut alors définir différents types de couplage.

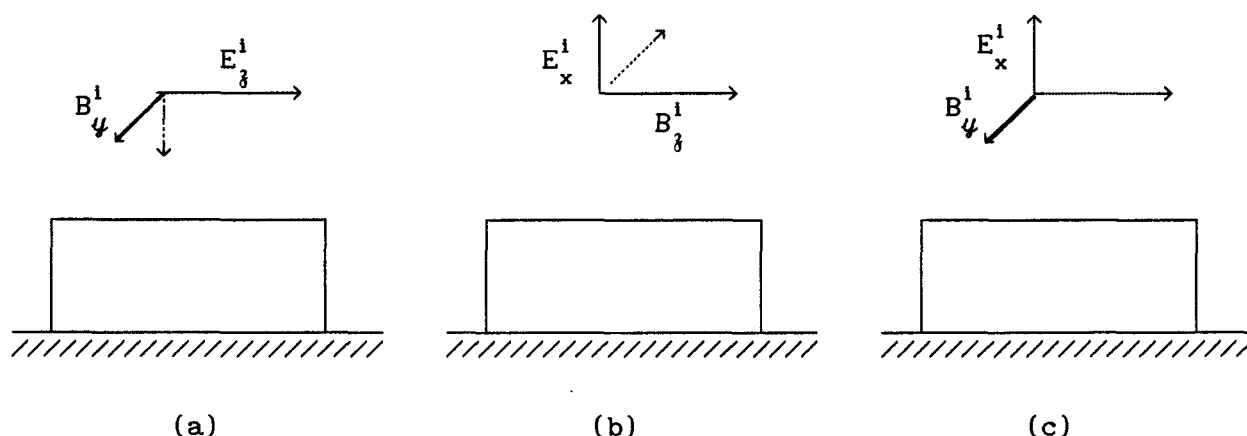


figure I.7

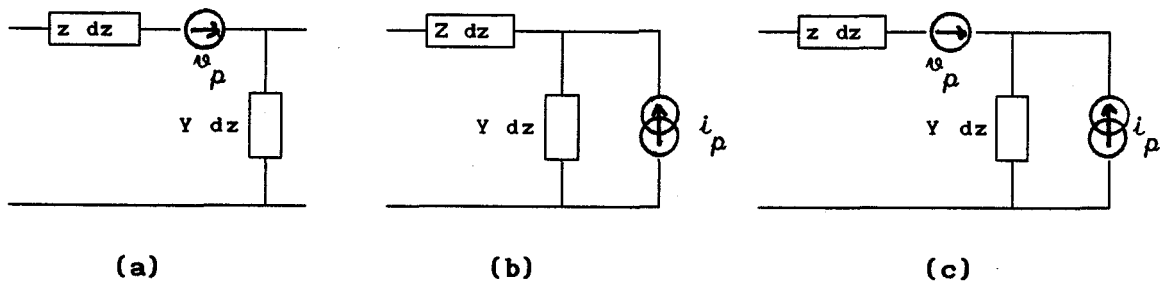
Dans le cas (a) seul reste le terme B_y^{ap} puisque E_x^{ap} est nul. Le terme source peut alors être modélisé par une association de générateurs de tension en série sur la ligne de transmission conformément au schéma de la figure I.8a.

On parle alors de couplage magnétique.

Lorsque le champ électromagnétique est polarisé conformément au schéma (I.7b) on parle de couplage électrique puisque seul le terme E_x^{ap} subsiste.

La modélisation se fait alors par une association de générateurs de courant (figure I.8b).

Quant au dernier cas envisagé il peut être considéré comme étant la superposition des deux précédents, on parle de couplage hybride (figure I.8c).



$$i_p = j \omega h B_y^{ap} dz$$

$$i_p = j \omega h E_x^{ap} dz$$

figure I.8

I.3.2 COUPLAGE PAR PROXIMITE ENTRE DEUX LIGNES DE TRANSMISSION

Afin de simplifier les calculs nous envisagerons le cas d'une ligne perturbatrice et d'une ligne réceptrice. Ce qui revient à négliger le couplage de la seconde sur la première ligne.

La configuration envisagée est illustrée figure I.9.

Les grandeurs indicées p sont associées à la ligne perturbatrice, celles indicées r à la ligne réceptrice.

La théorie des lignes couplées nous donne, dans le cas d'une onde sinusoïdale, le système d'équations suivant.

$$\left\{ \begin{array}{l} - \frac{dV_r}{dz} = Z_r \cdot I_r + j \cdot L_{12} \cdot \omega \cdot I_p \\ - \frac{dI_r}{dz} = Y_r \cdot V_r + j \cdot C_{12} \cdot \omega \cdot (V_p - V_r) \end{array} \right. \quad (I.6)$$

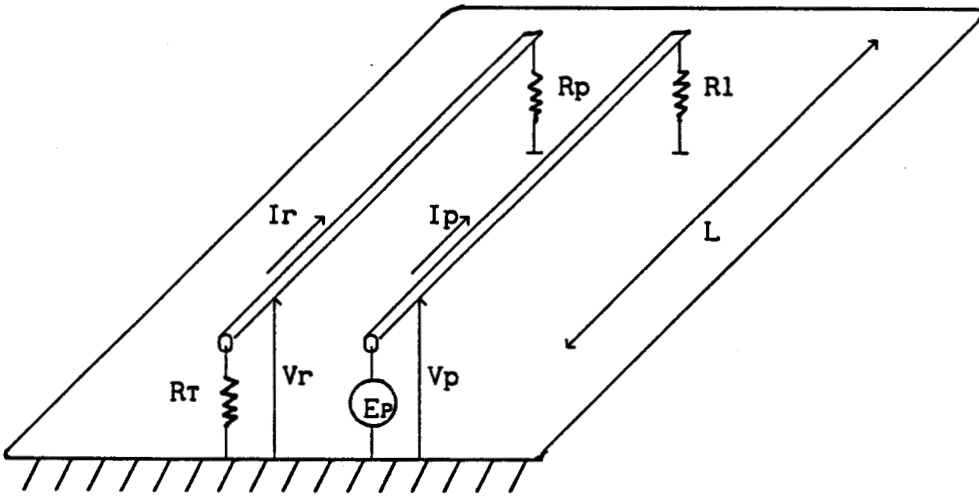
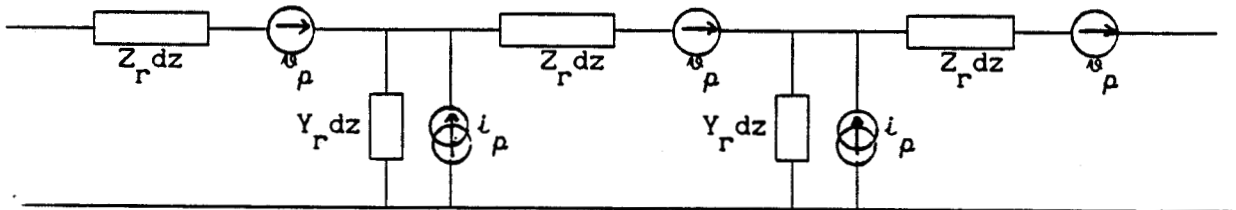


figure I.9

Si on suppose $V_r \ll V_p$ alors le système devient :

$$\left\{ \begin{array}{l} - \frac{dV_r}{dz} = Z_r \cdot I_r + j \cdot L_{12} \cdot \omega \cdot I_p \\ - \frac{dI_r}{dz} = Y_r \cdot V_r + j \cdot C_{12} \cdot \omega \cdot V_p \end{array} \right. \quad (I.7)$$

Par analogie avec le schéma équivalent d'une ligne de transmission on peut à partir du système d'équation ci-dessus représenter la ligne perturbée par le schéma de la figure I.10.



u_ρ : générateur de tension équivalent $u_\rho = j L_{12} \omega I_p dz$

i_ρ : générateur de courant équivalent $i_\rho = j C_{12} \omega V_p dz$

figure I.10

Qu'il s'agisse d'une ligne illuminée par une onde plane ou d'un système de lignes couplées l'action du perturbateur peut toujours être traduite par une association de générateurs de courant et tension équivalents.

Partant de cette conclusion nous pouvons maintenant bâtir un système de test qui se rapproche de cette modélisation.

I.4 INJECTIONS DE COURANT ET DE TENSION : DISPOSITIFS DE TEST

Il s'agit de réaliser deux générateurs, un de tension et un de courant, qui sont insensibles aux niveaux logiques ou à la tension d'alimentation des circuits sous test, et ne les modifient pas.

Comme nous l'avons montré au I.2 la forme d'onde joue un rôle prépondérant lors de nos essais.

Aussi afin d'éviter les phénomènes de décalage de valeur moyenne tout en gardant la souplesse de réalisation nous avons choisi des signaux perturbateurs de type impulsionnel unipolaire.

I.4.1 INJECTION DE TENSION

le système le plus simple pour superposer à un niveau continu un signal dynamique est un transformateur.

Le transformateur utilisé est un TP104 (ANZAC) dont la bande passante s'étend

de 750 KHz à 400 MHz avec un rapport de transformation de 2 (élévateur).

Le dispositif d'injection de tension est celui de la figure I.11.

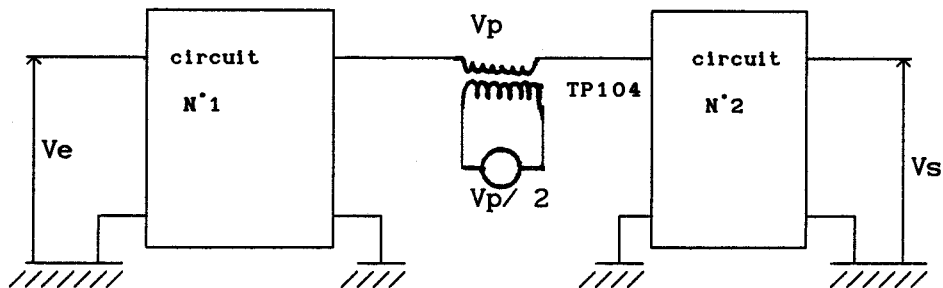


figure I.11

I.4.2 INJECTION DE COURANT

La mise en série d'une résistance de grande valeur avec un générateur de tension constitue une source de courant. Mais dans notre cas ce type de générateur ne peut convenir car compte tenu de la résistance à insérer et de la sortance des circuits intégrés on diminue fortement le niveau d'injection. Nous avons donc réalisé un circuit à transistors bipolaires (figure I.12) qui nous permet de commuter un courant de 0 à 50 mA en 2 ns.

Ce circuit réalise un générateur de courant, dans la mesure où il délivre un courant constant quelque soit la tension présente en sortie pourvue que celle-ci ne dépasse pas 10V.

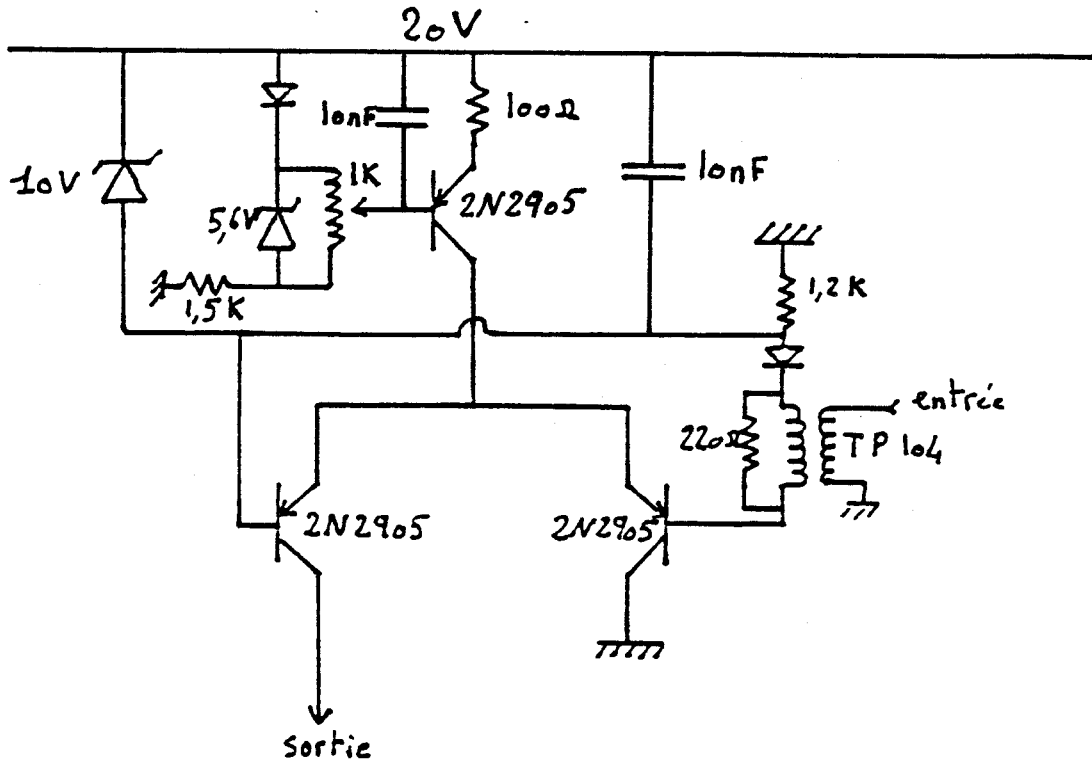


figure I.12

Le schéma de la figure I.12 représente une source de courant positif (convention récepteur du courant dans la charge). En remplaçant les transistors montés en différentiel par des NPN on obtient un courant négatif. La figure I.13 présente le dispositif d'injection, I_p étant délivré par la source décrite précédemment.

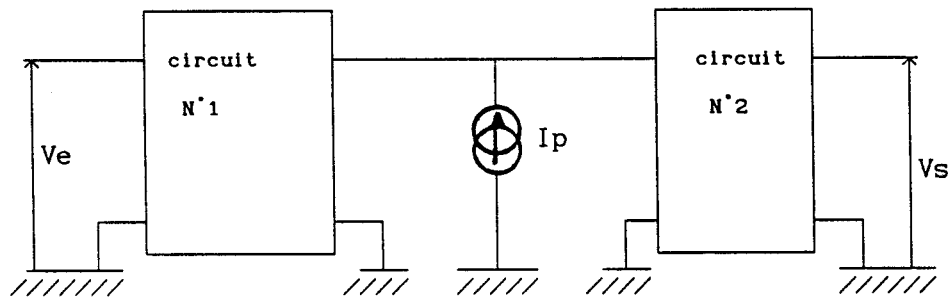


figure I.13

CONCLUSION

Après avoir donné une liste non exhaustive des familles technologiques les plus répandues ainsi que de leurs caractéristiques nous avons retenu les trois circuits NAND, 74LS00 74C00 et 74HC00. Ce sont ces circuits dont nous étudierons, dans la suite de ce rapport, le comportement lorsqu'il sont soumis à des agressions électromagnétiques.

Après avoir fait le choix de nos candidats aux tests électromagnétiques, restait à définir les outils dont nous avons besoin pour les étudier. C'est ainsi que pour développer des outils de test qui simulent le mieux possible les phénomènes de couplage électromagnétique nous avons envisagé la modélisation de deux procédés de couplage.

Ceux-ci ont été choisis d'une part parcequ'ils sont représentatifs de la réalité et d'autre part pour leur facilité de mise en oeuvre en laboratoire. En effet le couplage par proximité peut être réalisé à l'aide d'une ligne bifilaire blindée ce qui nous permettra en fin de ce rapport d'envisager des expérimentations réalistes.

Quant à l'illumination d'une ligne de transmission par une onde électromagnétique elle pourra être simulée en laboratoire à l'aide d'une cellule dite TEM dont nous commençons l'exploitation.

CHAPITRE II

INTRODUCTION

Dans ce chapitre nous présentons les résultats obtenus lors de perturbations par injection de tension sur les lignes d'alimentation des circuits NAND 74LS00, 74C00 et 74HC00.

De part la nature même de la source d'alimentation d'un circuit intégré la perturbation par injection de courant n'est pas envisageable.

En effet d'un point de vue dynamique la source d'alimentation présente une très basse impédance dans laquelle serait dérivé tout le courant injecté.

Le but de notre étude étant de caractériser le comportement du circuit intégré lorsqu'une perturbation électromagnétique est induite sur ses lignes d'alimentation nous n'avons pas découplé celles-ci.

Le protocole de test consiste donc, pour une impulsion perturbatrice de polarité positive puis négative injectée sur l'alimentation d'un circuit, dont la sortie est connectée à un second circuit du même type mais dont l'alimentation n'est "pas perturbée", à rechercher le seuil d'amplitude ainsi que la durée des perturbations qui provoquent un état logique faux en sortie du second.

Il est important de souligner que lors de nos essais le second circuit n'est pas issu du même boîtier que le premier et que son alimentation bien qu'indépendante de celle du premier n'est pas non plus découplée.

Le schéma présenté figure II.1 représente le montage utilisé pour effectuer les mesures.

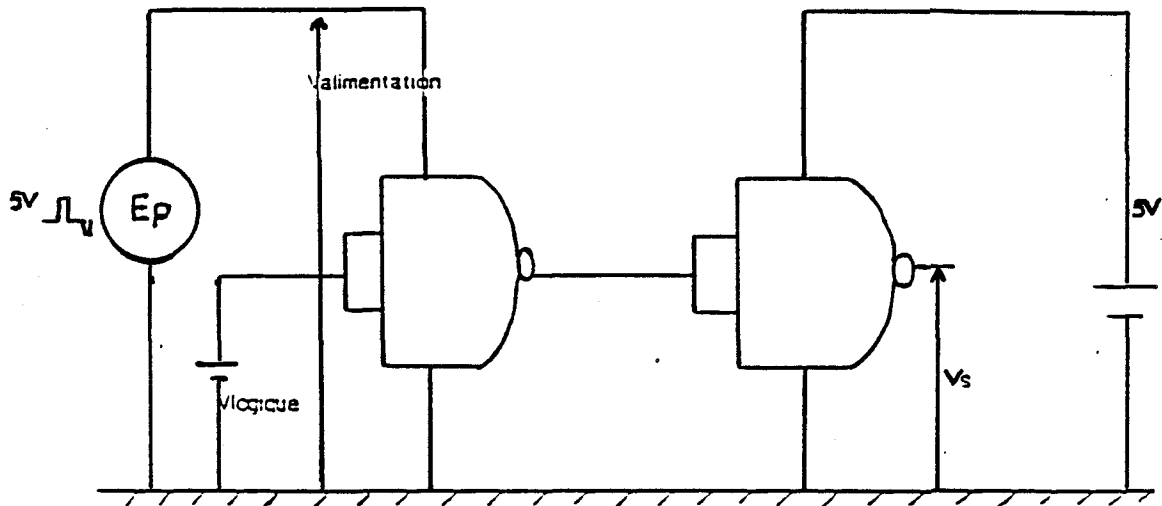


figure II.1

Dans le cas de la perturbation des lignes d'alimentation, l'utilisation d'un transformateur large bande n'est pas nécessaire.

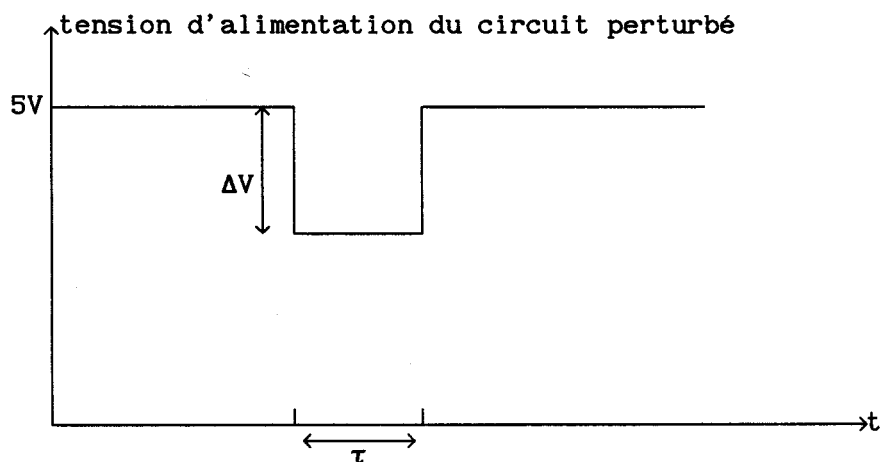
Nous disposons en effet d'un générateur (E_p) qui permet l'injection d'impulsions d'amplitude et de largeur variables superposées à un niveau continu 5 V (tension d'alimentation normale du circuit).

L'alimentation stabilisée V_{logique} permet de fixer le niveau logique à l'entrée du circuit perturbé.

La procédure de test consiste donc à relever, pour chacune des technologies, l'amplitude ΔV et la durée τ (figure II.2) des impulsions qui génèrent, en sortie du second circuit, une perturbation de l'état logique.

II.1. LES IMPULSIONS DE POLARITE NEGATIVE

Nous nous intéresserons dans ce paragraphe aux effets produits par des perturbations dites de "polarité négative" dont la caractéristique correspond à une baisse temporaire de la tension d'alimentation du circuit perturbé (figure II.2).



τ : durée de l'impulsion perturbatrice

ΔV : amplitude de la perturbation

figure II.2

II.1.1 CAS DE LA TECHNOLOGIE TTL

Le circuit étudié est une porte NAND 74LS00.

Deux cas sont à distinguer:

*l'entrée du circuit perturbé est à l'état logique 0

$V_{\text{logique}} = 0 \text{ V}$ (figure II.1)

*l'entrée du circuit perturbé est à l'état logique 1

$V_{\text{logique}} = 5 \text{ V}$ (figure II.1)

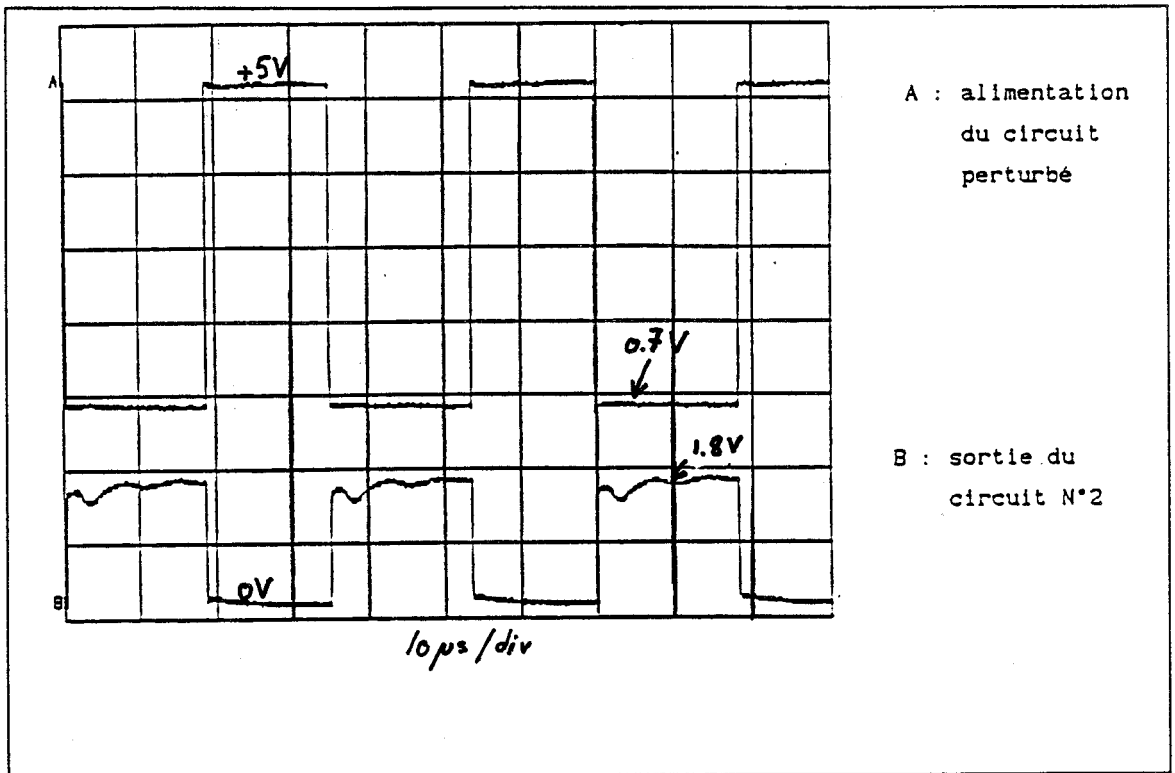


planche II.1

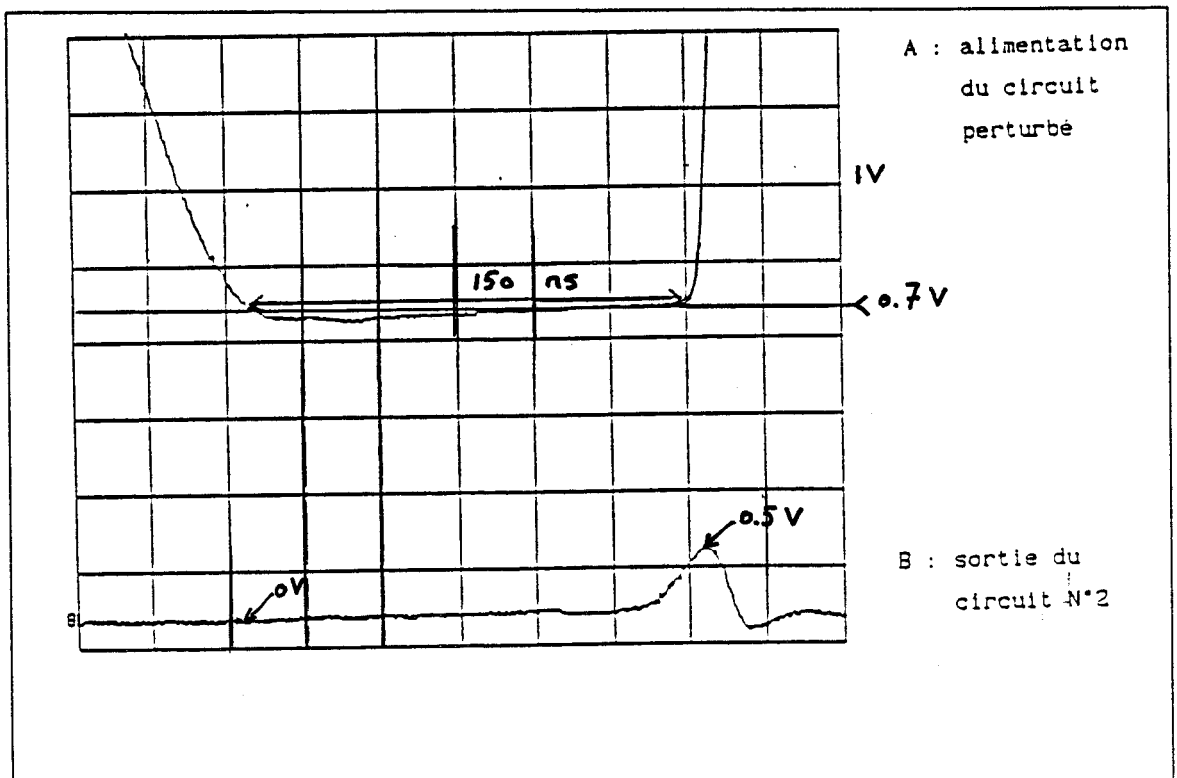


planche II.2

II.1.1.a $V_{\text{logique}} = 0V$

La planche II.1 présente sur un même graphe la tension d'alimentation du circuit "perturbé" ainsi que la tension recueillie en sortie de la seconde porte.

Ces courbes illustrent en fait le ΔV (figure II.2) limite : tant que la tension d'alimentation reste supérieure à 0.7 V, l'état logique en sortie du second circuit n'est pas perturbé.

Le seuil de vulnérabilité dans le domaine temporel est de 150 ns.

En effet dans la configuration étudiée toute impulsion "perturbatrice" qui reste moins de 150 ns en dessous du seuil défini précédemment (0.7V) est sans effet sur l'état logique en sortie du second circuit.

Nous avons représenté planche II.2 la tension en sortie du second circuit lorsque la tension d'alimentation du premier chute à 0.7V pendant 150 ns.

En deça de cette durée la sortie du circuit N°2 n'est pas perturbée.

INTERPRETATION PHENOMENOLOGIQUE

Nous nous proposons ici d'analyser les résultats obtenus planches II.1 et II.2 en se référant aux schémas et données constructeur.

Le schéma interne d'un circuit 74LS00 est donné figure II.3.

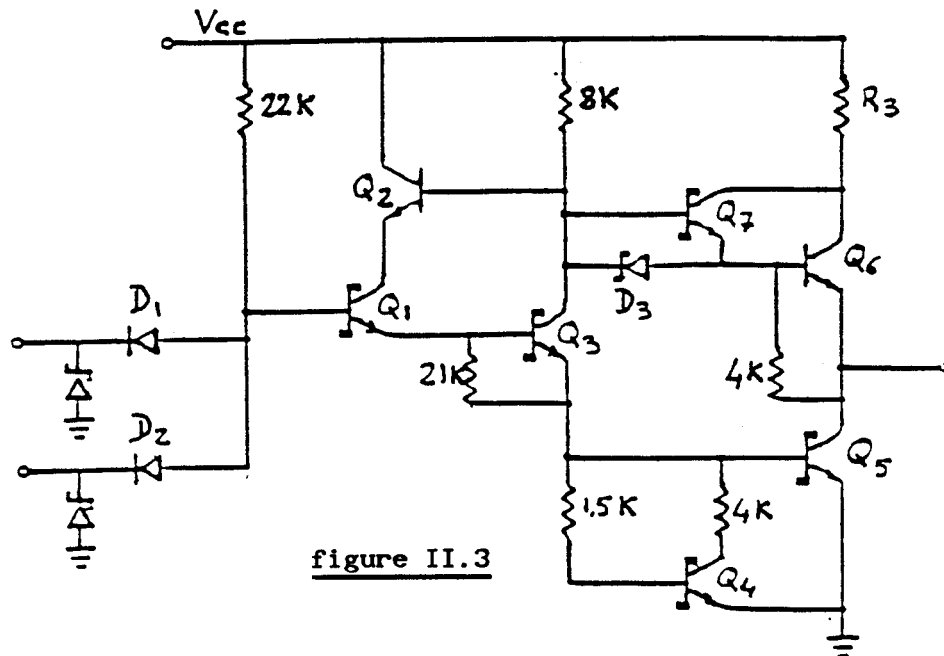


figure II.3

Lorsque la tension d'alimentation chute de 5V à 0V on relève une perturbation en sortie du second circuit.

Ceci implique qu'en dessous d'une certaine tension d'alimentation, l'entrée du second circuit "voit" un niveau bas.

Nous avons représenté figure II.4a un schéma simplifié de la liaison "sortie du circuit N°1-entrée du circuit N°2" en absence de toute perturbation et lorsque l'entrée du circuit N°1 est à l'état haut. C'est la configuration normale pour avoir en sortie du circuit N°2 un état haut.

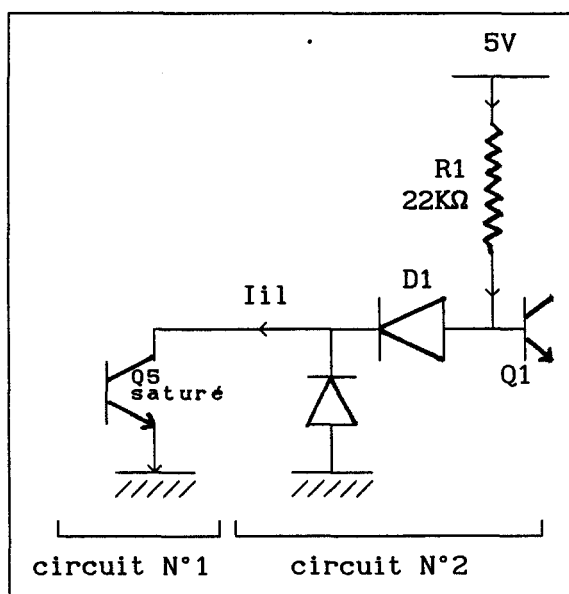


schéma simplifié
configuration "normale"

figure II.4a

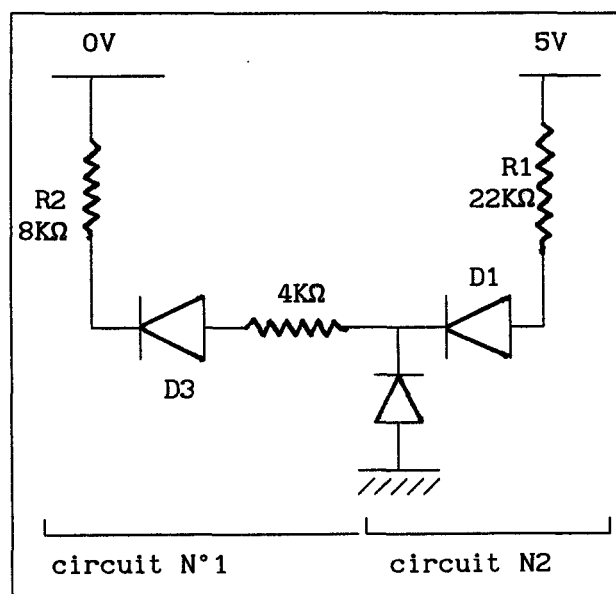


schéma simplifié
du système étudié

figure II.4b

Dans ce cas pour que la sortie du circuit N°2 soit à l'état haut il est nécessaire que la sortie du circuit N°1 soit capable d'absorber le courant I_{i1} (figure II.4a). Lorsque cette condition est remplie, l'alimentation du circuit N°2 ne peut fournir au transistor Q1 le courant nécessaire pour maintenir le transistor de sortie de ce circuit saturé, ce qui permet l'état haut en sortie du circuit N°2.

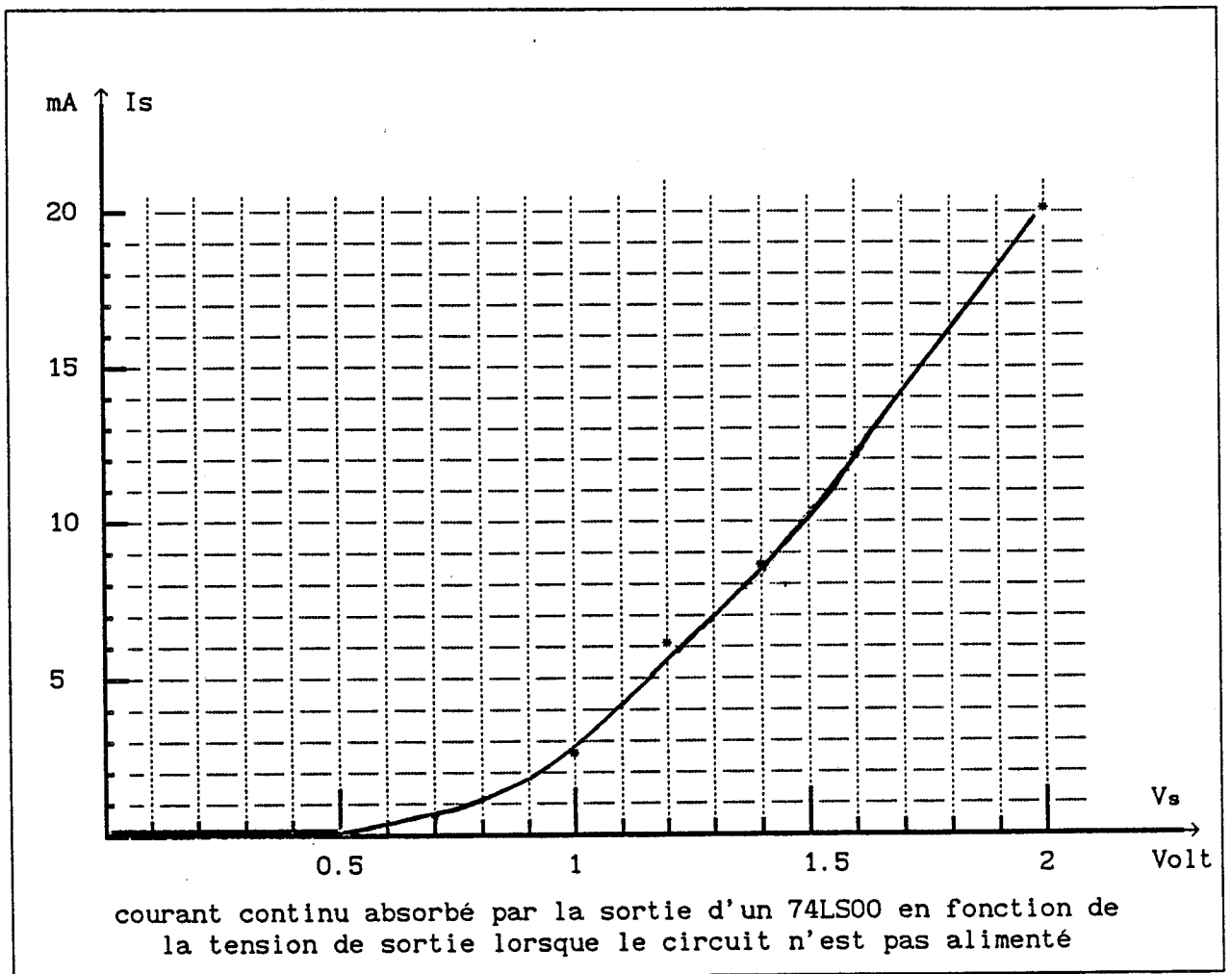


planche II.3

Dans le cas de la figure II.4b (construite à partir de la figure II.3) il n'apparaît pas possible que le circuit N°1 absorbe le courant I_{il} .

On ne comprend pas alors comment la sortie du circuit N°2 peut passer à l'état haut comme nous l'avons relevé en pratique.

Afin de mieux comprendre les phénomènes mis en jeu nous avons réalisé la manipulation décrite figure II.5 : à savoir le relevé, en régime continu, de la caractéristique courant absorbé par la sortie d'une 74LS00 en fonction de la tension présente aux bornes, lorsque le circuit n'est pas alimenté ($V_{alim} = 0$) et que son entrée logique est à zéro.

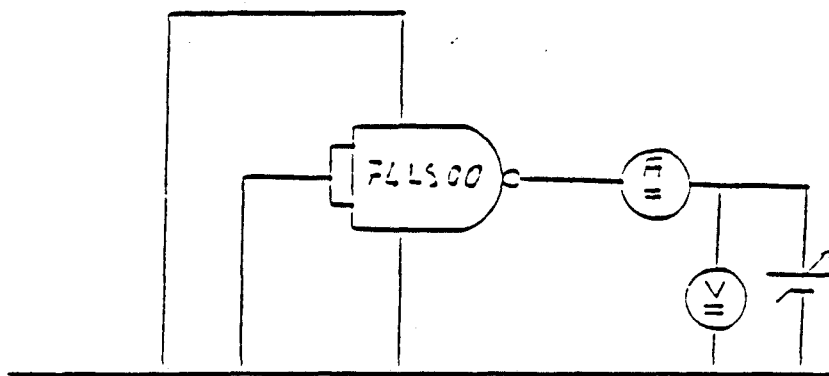


figure II.5

La courbe obtenue est présentée sur la planche II.3.

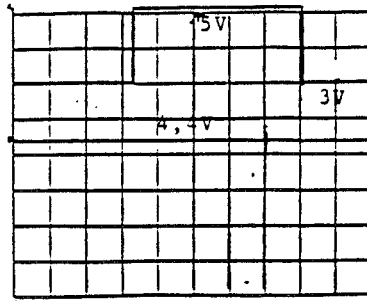
On observe sur cette courbe une forte variation du courant absorbé par le circuit à partir d'une tension de 0.8V.

Le schéma constructeur ne permet pas d'expliquer la caractéristique obtenue.

L'allure fortement non linéaire de la courbe obtenue permet d'envisager la présence probable, d'une diode (dite de technologie) entre la sortie et la borne +Vcc du circuit intégré.

On comprend maintenant comment le circuit N°1 est capable d'absorber le courant I_{il} du second circuit pour engendrer en sortie de celui-ci un état haut.

GRAPHE 1

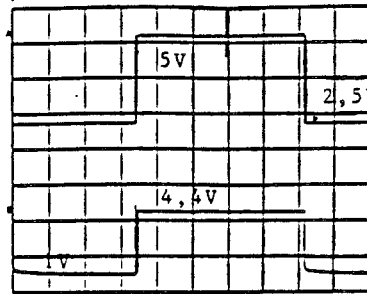


0,5 ms/carreau

tension d'alimentation
du circuit N°1

tension en sortie
du circuit N°2

GRAPHE 2

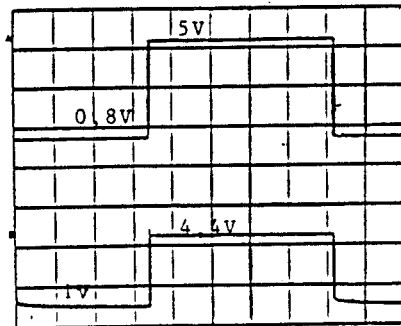


0,5 ms/carreau

tension d'alimentation
du circuit N°1

tension en sortie
du circuit N°2

GRAPHE 3

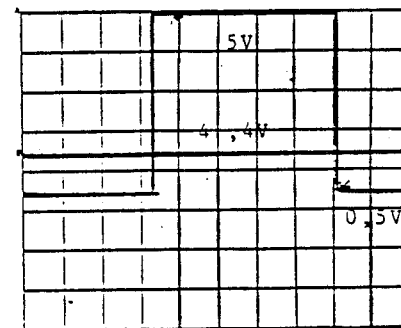


0,5 ms/carreau

tension d'alimentation
du circuit N°1

tension en sortie
du circuit N°2

GRAPHE 4



0,5 ms/carreau

tension d'alimentation
du circuit N°1

tension en sortie
du circuit N°2

En ce qui concerne le seuil, défini planche II.2, dans le domaine temporel ($\tau=150$ ns), aucune donnée constructeur n'en permet la justification.

La durée en deçà de laquelle on n'observe plus d'effet perturbateur étant vraisemblablement liée aux capacités de jonction des composants, constituant le circuit, il est alors difficile de quantifier le phénomène sur le plan théorique.

II.1.1.1.b V_{logique} = 5V

Nous allons maintenant envisager le cas où l'entrée logique du circuit perturbé est à l'état haut. Le schéma de mesure est rappelé ci-après.

Les courbes présentées sur la planche II.4 illustrent les résultats obtenus :

- * graphe 1 - perturbation de faible amplitude n'entraînant pas de changement d'état logique en sortie du second circuit.
- * graphe 2 - perturbation correspondant à une chute de la tension d'alimentation de 5V à 2.5V qui engendre un changement d'état en sortie de la seconde porte.
- * graphe 3 - chute de la tension d'alimentation de 5V à 0.78V qui correspond à l'apparition d'une "contre perturbation" illustrée sur le graphe 4.
- * graphe 4 - perturbation correspondant à une variation de la tension d'alimentation de 5V à 0.3V qui n'entraîne aucun défaut sur le niveau logique en sortie du second circuit.

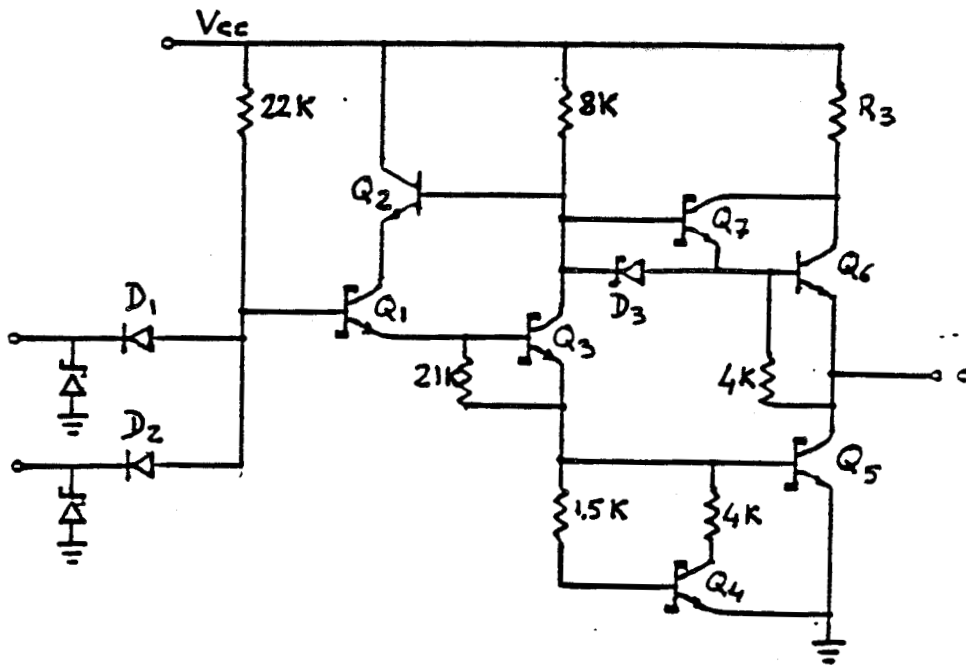


figure II.3

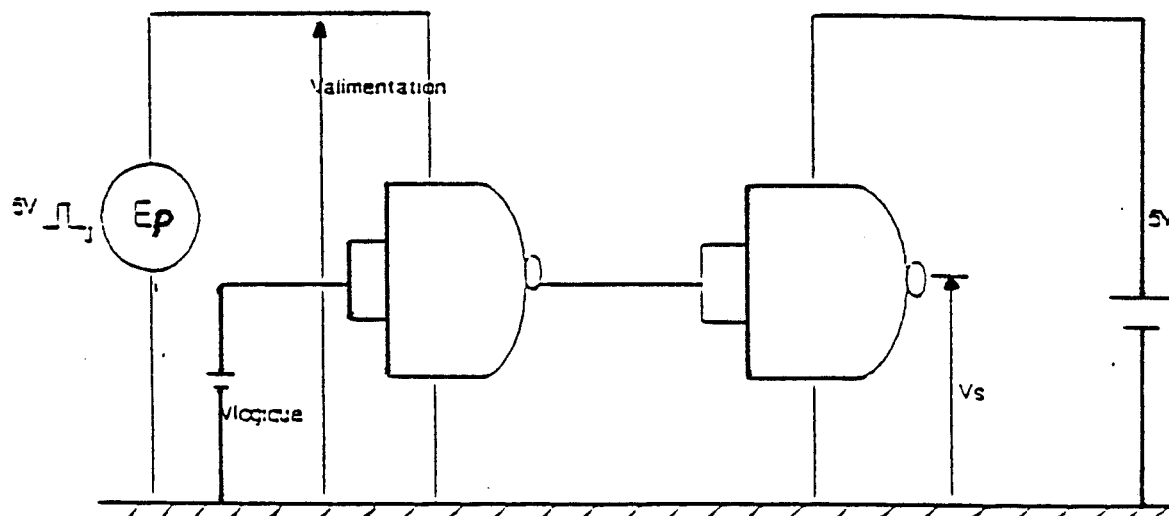


figure II.1

Le circuit 74LS00 dans ce cas s'est révélé être sensible à des perturbations qui engendrent une chute de la tension d'alimentation sur une dynamique variant de 2.5V à 0.7V.

En dehors de cette gamme de tension d'alimentation la configuration paraît insensible aux perturbations.

INTERPRETATION PHENOMENOLOGIQUE.

Nous avons repris ci-contre le schéma constructeur de la figure II.3

Lorsque les entrées du circuit sont à l'état haut l'alimentation du circuit délivre le courant nécessaire à la mise en conduction des transistors Q1 Q3 Q4 et Q5. Ce qui permet d'absorber le courant I_{IL} du circuit N°2 et donc, de maintenir un état haut en sortie de ce circuit.

Si maintenant on diminue la tension d'alimentation du circuit on ne peut plus fournir le courant nécessaire à la conduction de Q1.

Le transistor de sortie Q5 se bloque ce qui l'empêche d'absorber ce courant et donc cause un changement d'état en sortie du second circuit.

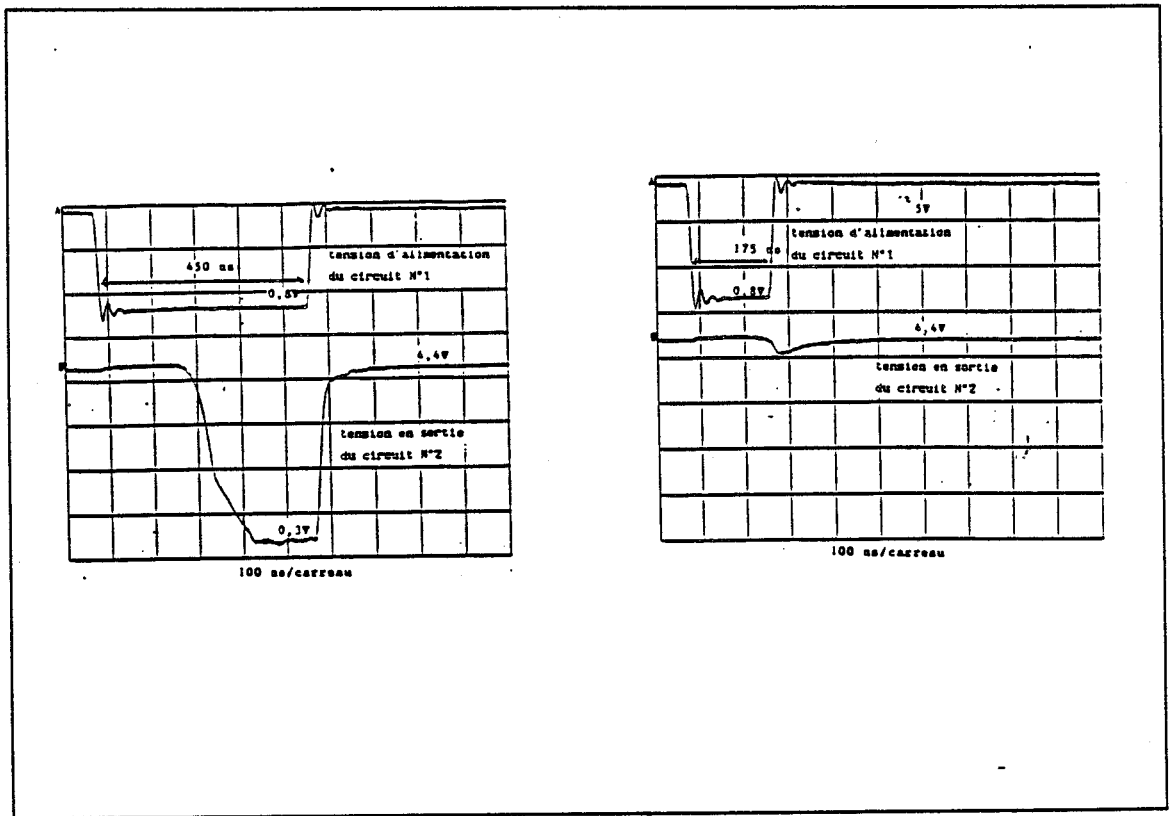


planche II.5

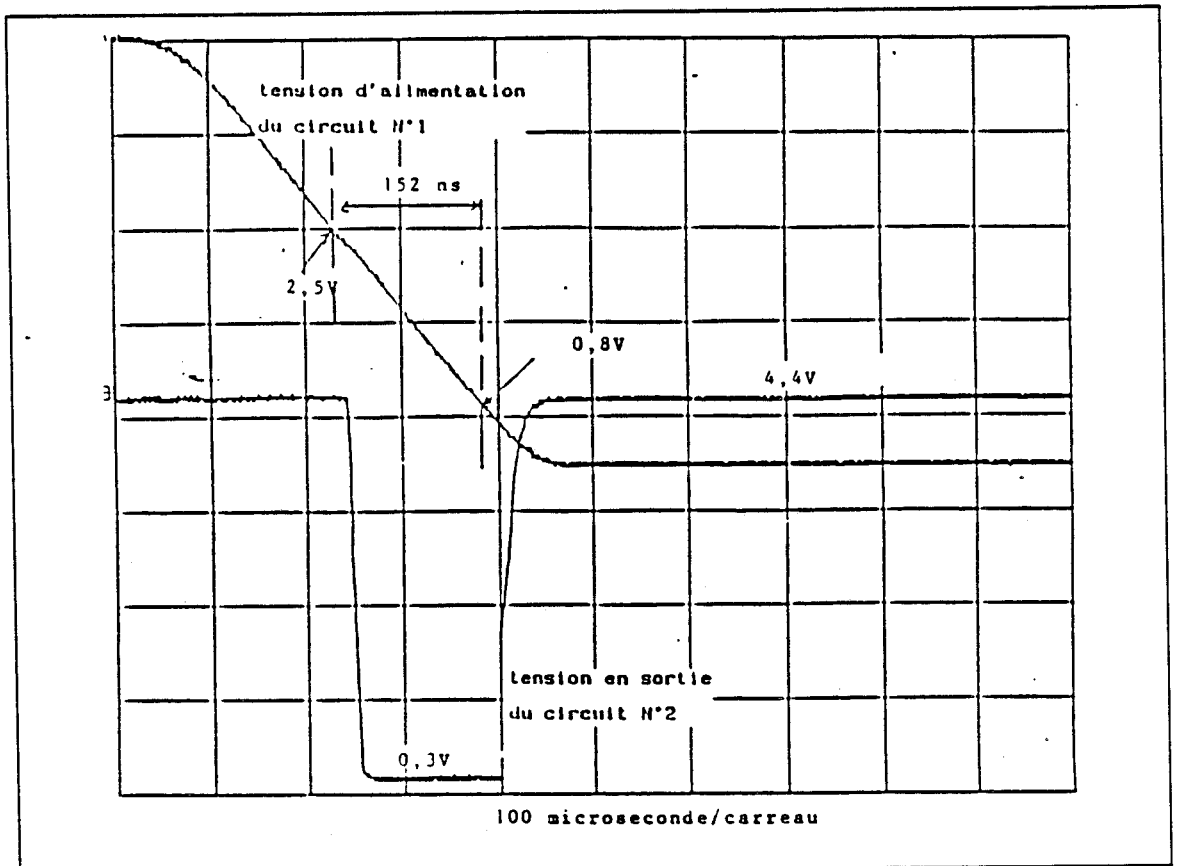


planche II.6

A cette étape nous avons un circuit dont le transistor de sortie n'est pas saturé et la tension d'alimentation inférieure à 5V.

Nous sommes donc revenus à une configuration similaire à celle décrite dans le paragraphe II.1.1.a.

Il suffit dès lors de reprendre le raisonnement que nous avons effectué dans cette configuration pour comprendre comment lorsque la perturbation engendre une tension d'alimentation inférieure à 0.8V, l'effet perturbateur disparaît.

Evidemment le raisonnement ci-dessus ne prend pas en compte les effets dynamiques que nous avons pu rencontrer.

Les courbes de la planche II.5 définissent la durée maximale au delà de laquelle nous n'avons plus d'effet perturbateur.

Sur le graphe 1 nous présentons l'effet produit par une chute de la tension d'alimentation à 0.8V sur une durée de 450 ns.

Lorsque la durée de l'impulsion perturbatrice devient proche de 175 ns l'effet perturbateur disparaît.

On peut donc dire qu'une impulsion polarisée négative aura un effet perturbateur sur un circuit 74LS00, dans cette configuration, si elle induit une tension d'alimentation comprise entre 2.5V et 0.8V pendant plus de 150 ns. La planche II.6 illustre une telle perturbation.

Comme dans le cas du paragraphe II.1.1.a la quantification des phénomènes temporels observés n'est pas possible à partir des seules données constructeur.

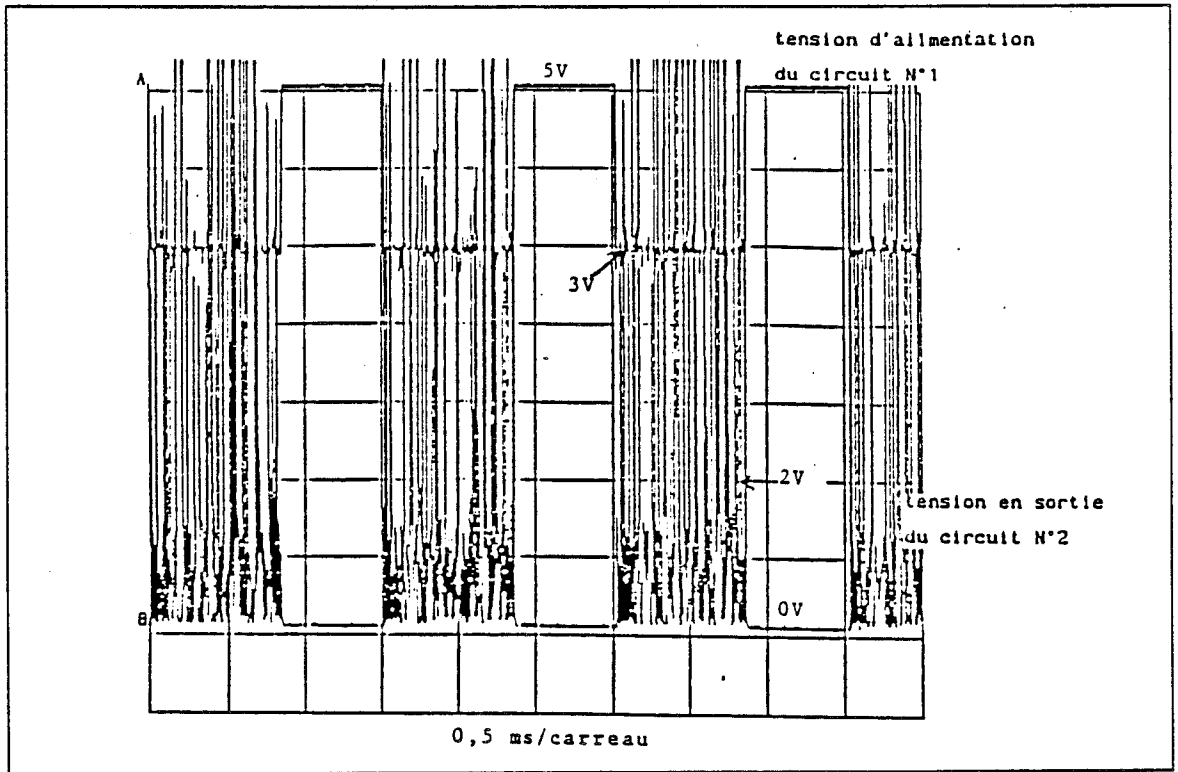


planche II.7

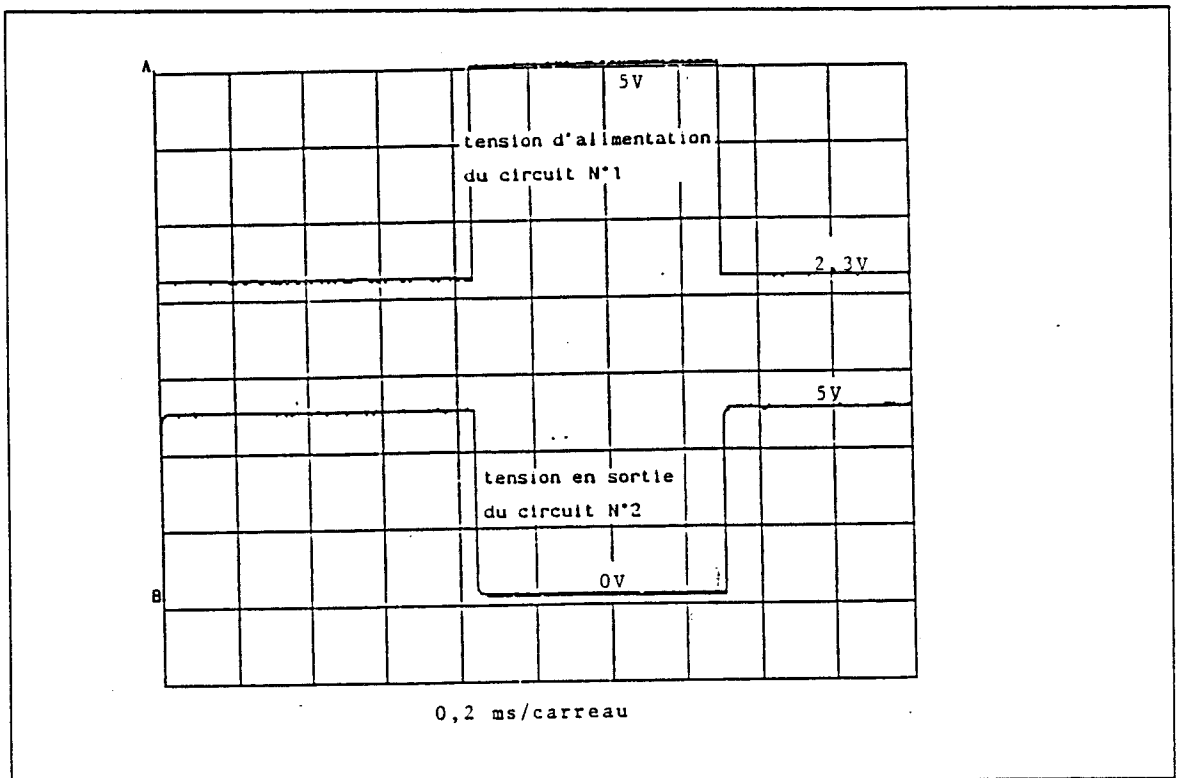


planche II.8

II.1.2 CAS DE LA TECHNOLOGIE MOS : FAMILLE 74 HC

II.1.2.a $V_{\text{logique}} = 0V$

Le schéma de mesure étant identique à celui de la figure II.1 avec $V_{\text{logique}} = 0V$ nous avons relevé les courbes présentées planches II.7 et II.8.

Dans le cas de la planche II.7 on observe une mise en oscillation très forte de la sortie de la seconde porte lorsque la tension d'alimentation du premier circuit chute à 3V.

Lorsque cette tension d'alimentation chute encore jusqu'à atteindre 2.3V les oscillations précédentes disparaissent pour laisser place à une perturbation "permanente" (planche II.8).

Nous avons envisagé deux hypothèses pour expliquer l'origine de ces oscillations.

La première est que le circuit N°1 présente en sortie une haute impédance. Mais dans cette hypothèse on ne comprend pas pourquoi en diminuant encore la tension d'alimentation du circuit perturbé les oscillations disparaissent. Aussi pour vérifier notre hypothèse (la sortie du circuit N°1 présente une grande impédance) nous avons relevé la caractéristique courant continu absorbé par la sortie d'une porte en fonction de la tension lorsque le circuit n'est pas alimenté (figure II.6).

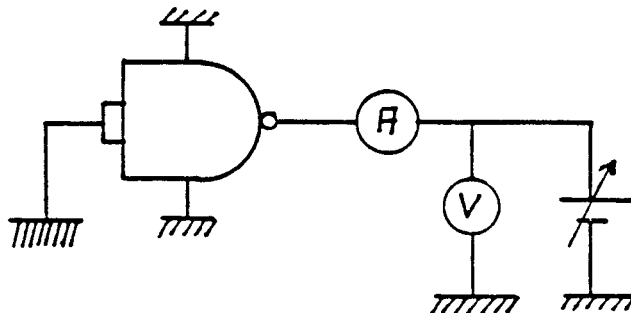


figure II.6

Comme pour la technologie TTL nous avons relevé une caractéristique fortement non linéaire assimilable à la caractéristique d'une diode. Dans le cas de la technologie MOS la présence d'un tel élément peut être mise en évidence à partir du schéma technologique donné par le constructeur (figure II.7). La présence de cet élément "parasite" a certes invalidé la possibilité que la sortie du circuit N°1 présente une grande impédance, mais il est important de savoir que la porte N°1 dans certaines configurations sera capable d'absorber un courant nécessaire à la génération d'un état haut en sortie du circuit N°2.

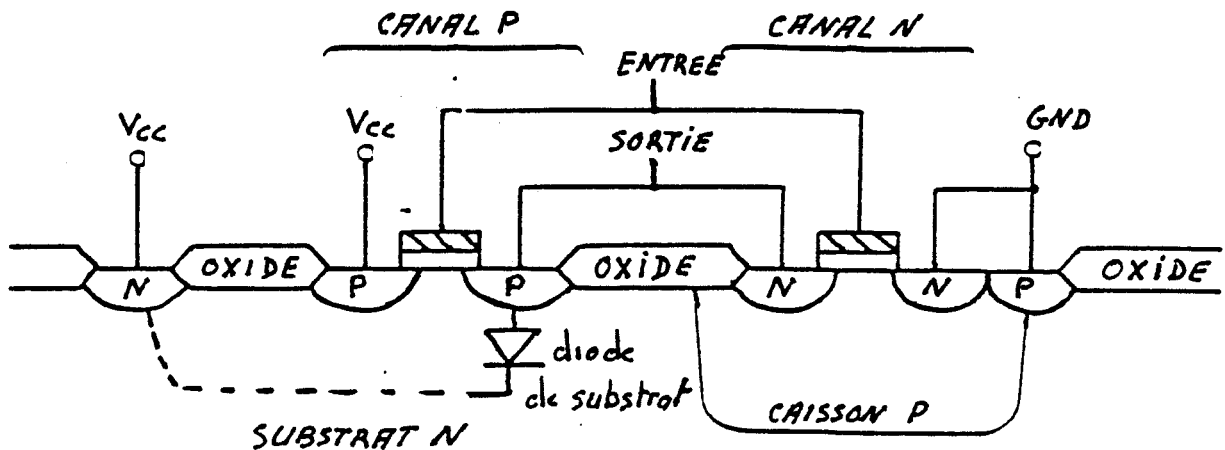


figure II.7

La seconde hypothèse envisagée est la mise en oscillation du circuit N°2 lors du passage par le seuil de commutation de la porte.

Une analyse plus poussée des phénomènes observés nous a permis de valider cette éventualité.

Pour cela nous avons observé pour un même signal perturbateur les tensions suivantes:

- tension d'alimentation du circuit perturbé
- tension en sortie du circuit perturbé
- tension en sortie du second circuit

Ces signaux sont présentés planche II.9

Nous avons choisi un signal perturbateur de forme trapézoïdale (temps de montée et de descente grands).

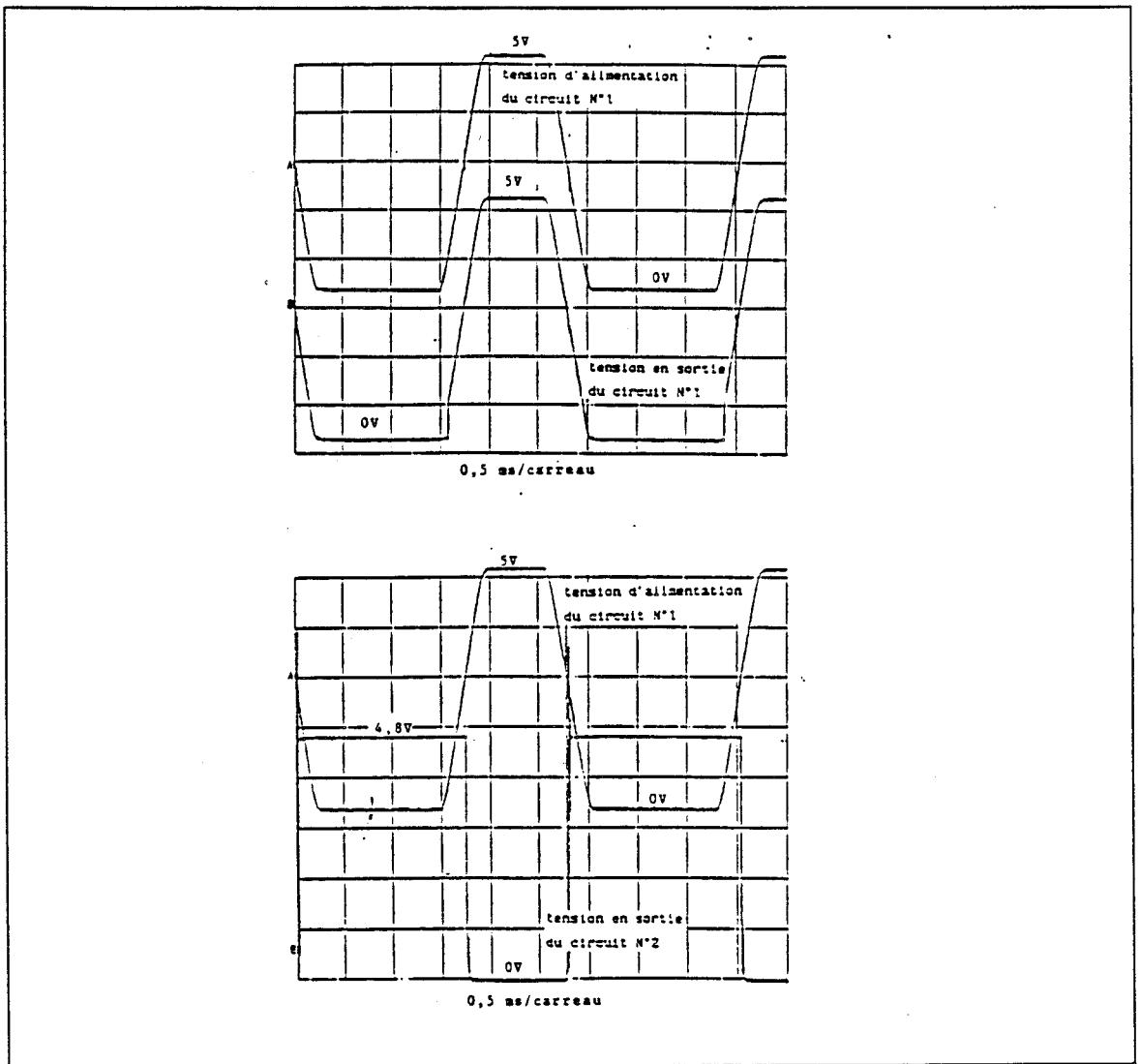


planche II.9

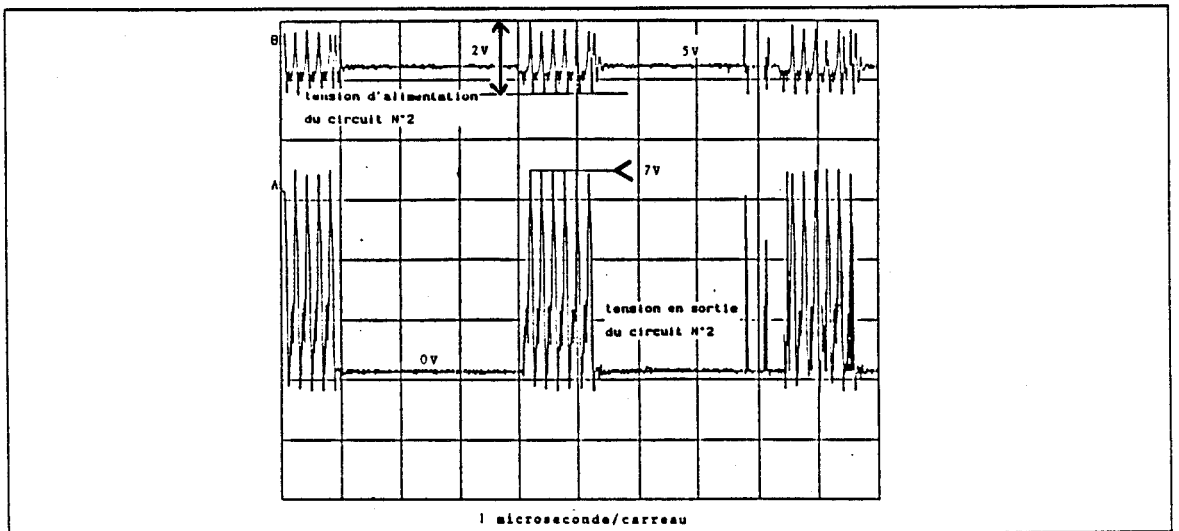


planche II.10

Lors du passage dans la zone 3V-2.3V de la tension d'alimentation une oscillation apparait en sortie du circuit "non perturbé" tandis-qu'elle n'apparait pas en sortie du premier circuit.

Nous avons alors visualisé la tension d'alimentation du second circuit en concordance de temps avec la tension de sortie de ce même composant (planche II.10).

Etant donné les oscillations relevées sur l'alimentation ainsi que sur la sortie de ce circuit, celles-ci ont pour principale origine ce composant.

En effet lorsque la tension d'alimentation du circuit perturbé chute à 3V la sortie de celui-ci chute également et prend une valeur qui correspond au seuil de commutation du circuit suivant.

Or étant donné la structure des circuits de commutation à transistors MOS, à l'instant de la commutation la verticale de sortie du circuit réalise une forte conduction sur sa propre alimentation (figure II.8).

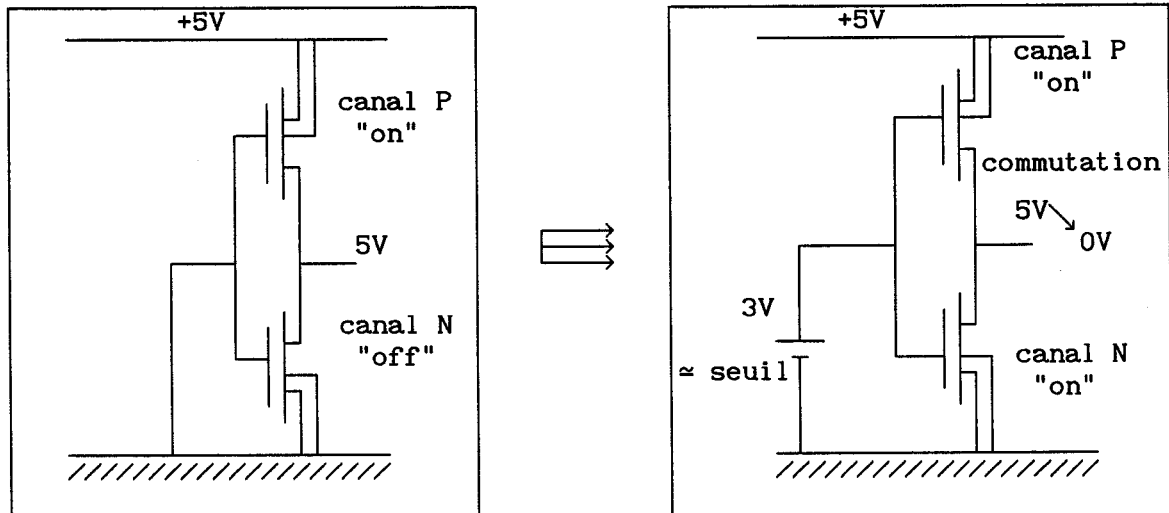


figure II.8

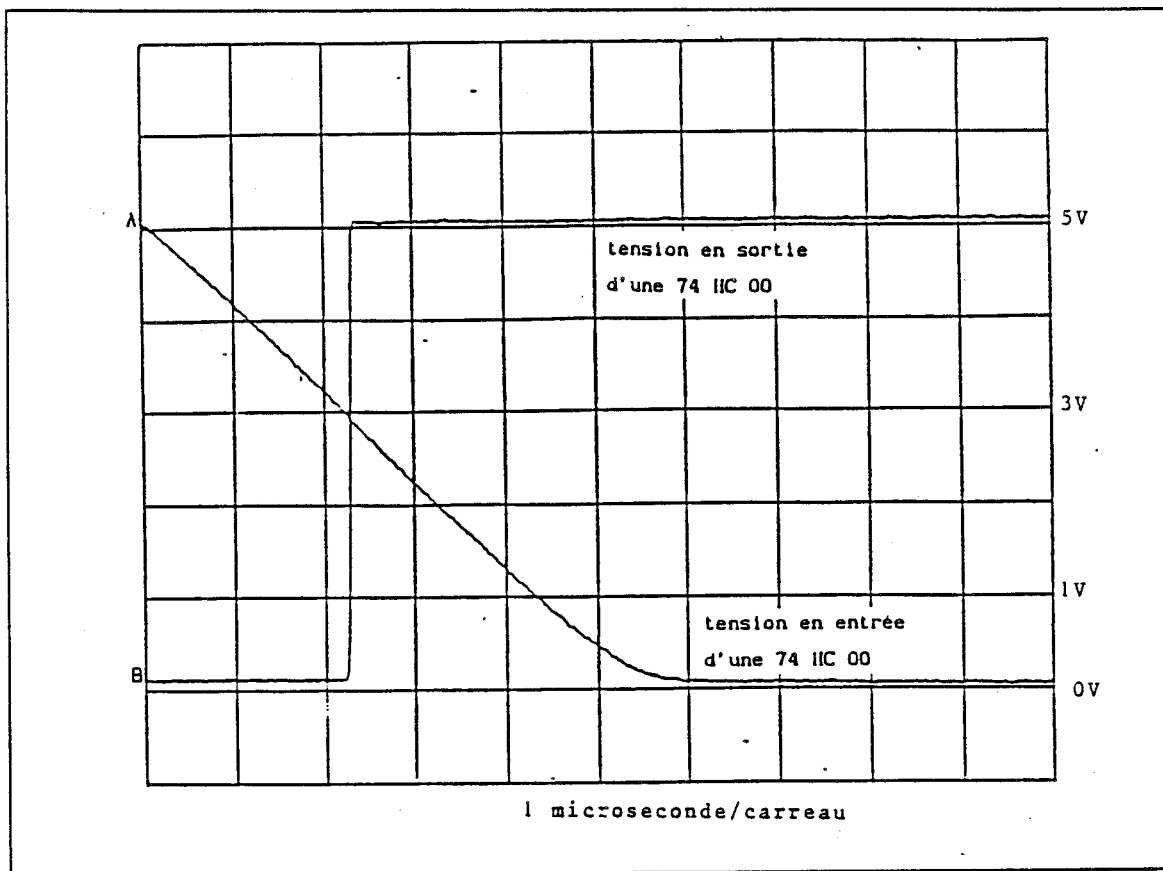


planche II.11

La planche II.11 illustre la variation du signal en sortie d'une porte HC MOS, alimentée dans des conditions normales, lorsque la tension d'entrée varie lentement.

On observe sur cette planche qu'une faible variation de la tension d'entrée suffit pour obtenir une variation très brutale du niveau de sortie.

On peut en mesurant la variation de tension d'entrée ΔV_e qui engendre une variation de la tension de sortie ΔV_s de 5V, calculer le gain G_{SE} de la porte.

$$G_{SE} = \frac{\Delta V_s}{\Delta V_e} \approx 50$$

Ce gain important (pour une porte NAND) se traduit par une variation rapide de la tension en sortie du composant.

Lors de la commutation les deux transistors de sortie d'un circuit en technologie MOS conduisent simultanément, ce qui provoque un appel de courant sur la ligne d'alimentation.

La commutation étant rapide la variation du courant, dans les lignes d'alimentation, est importante (dI/dt fort).

Celles-ci présentant intrinsèquement une self inductance, vont en réaction à la variation de courant, donner naissance à une force contre électromotrice qui a pour effet de faire chuter la tension d'alimentation du circuit.

Naturellement cette chute de tension est d'autant plus grande que la variation de courant est rapide ce qui nécessite un gain G_{SE} important pour se produire.

Le niveau imposé en entrée du circuit redevient, relativement à la tension d'alimentation, un niveau haut ce qui implique un arrêt de l'appel de courant.

Cette nouvelle variation brutale du courant provoque (étant donné le sens de la variation de courant), via la self inductance d'alimentation, une remontée de la tension, ce qui nous ramène à la situation initiale.

En réitérant ce raisonnement sur toute la durée de la perturbation on obtient le régime oscillant observé en pratique.

Il faut bien souligner que ce type de comportement est, comme nous venons de l'expliquer, principalement dû au gain de la porte étudiée, mais aussi à son temps de propagation.

On conçoit aisément que le temps de réaction entrée sortie doit être suffisamment faible pour pouvoir engendrer un phénomène récurrent de ce type.

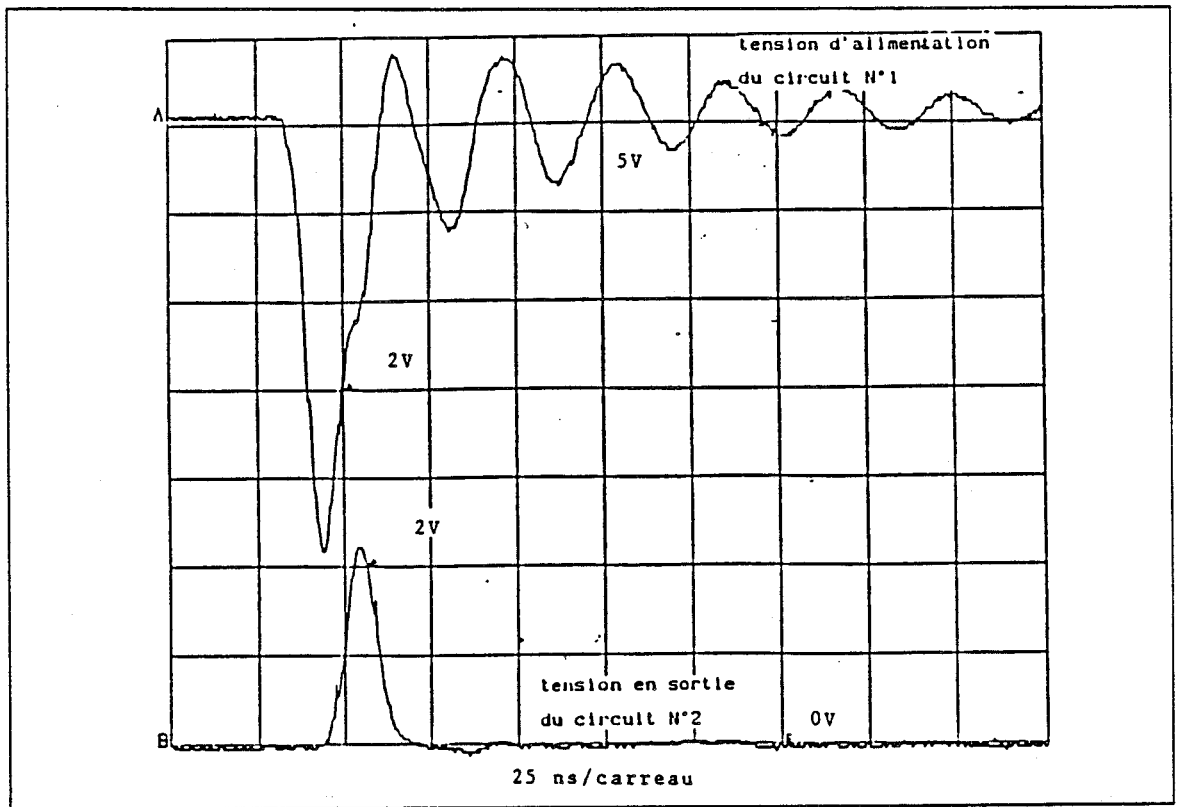


planche II.12

Nous avons vérifié que toute perturbation provoquant une chute de la tension d'alimentation à un niveau inférieur à 3V est sans effet si sa durée est plus faible que le temps de propagation du circuit ($t_{p\max} = 15 \text{ ns}$).

Sur la planche II.12 nous présentons les signaux relevés lorsque la tension d'alimentation du circuit N°1 chute à un niveau inférieur à 3V sur une durée de 16 ns.

La principale conclusion à tirer de ces différentes observations est qu'il est indispensable, dans le cas des circuits de la famille 74HC, quelque soit la fréquence de travail de découpler les alimentations des circuits sous peine de générer des phénomènes oscillatoires en cas de perturbation sur les lignes d'alimentation de ceux-ci.

II.I.2.b V_{logique} = 5V

Nous n'avons pas dans ce cas de figure relevé de courbes étant donné la nature des phénomènes rencontrés.

Afin de mieux comprendre nous allons simplement raisonner sur les schémas constructeur.

La technologie MOS étant très sensible aux décharges électrostatiques il a été prévu lors de la fabrication des circuits intégrés un circuit de protection décrit figure II.9.

Les comportements observés en manipulation proviennent de ce circuit dont nous nous proposons d'analyser le rôle lors de nos essais.

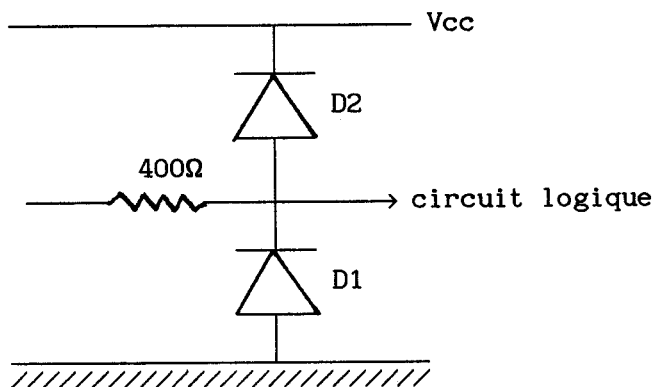


figure II.9

Dans un fonctionnement normal, où l'entrée du circuit est à 5V et la tension d'alimentation aussi, les diodes D1 et D2 sont bloquées.

Si maintenant la tension d'alimentation descend alors la diode D2 commence à conduire.

Ce qui implique que l'alimentation qui fixe le niveau 5V en entrée du circuit N°1 va débiter, via la diode D2, dans l'alimentation de ce circuit.

Tant que l'alimentation logique peut fournir le courant, le niveau logique en entrée reste à 5V.

Dans le cas où le niveau d'entrée est fourni par un circuit intégré il est garanti tant que le courant appelé n'excède pas le courant maximum que peut délivrer le circuit de commande ($I_{oh\ max}$).

Du point de vue de la sortie du composant N°1 aucune nuisance n'est introduite étant donné qu'une chute de tension d'alimentation ne peut que venir confirmer l'état logique bas naturel.

Cependant suivant l'environnement du circuit perturbé la nuisance introduite en entrée du circuit N°1 peut engendrer des perturbations.

En effet considérons simplement les deux schémas de la figure II.10.

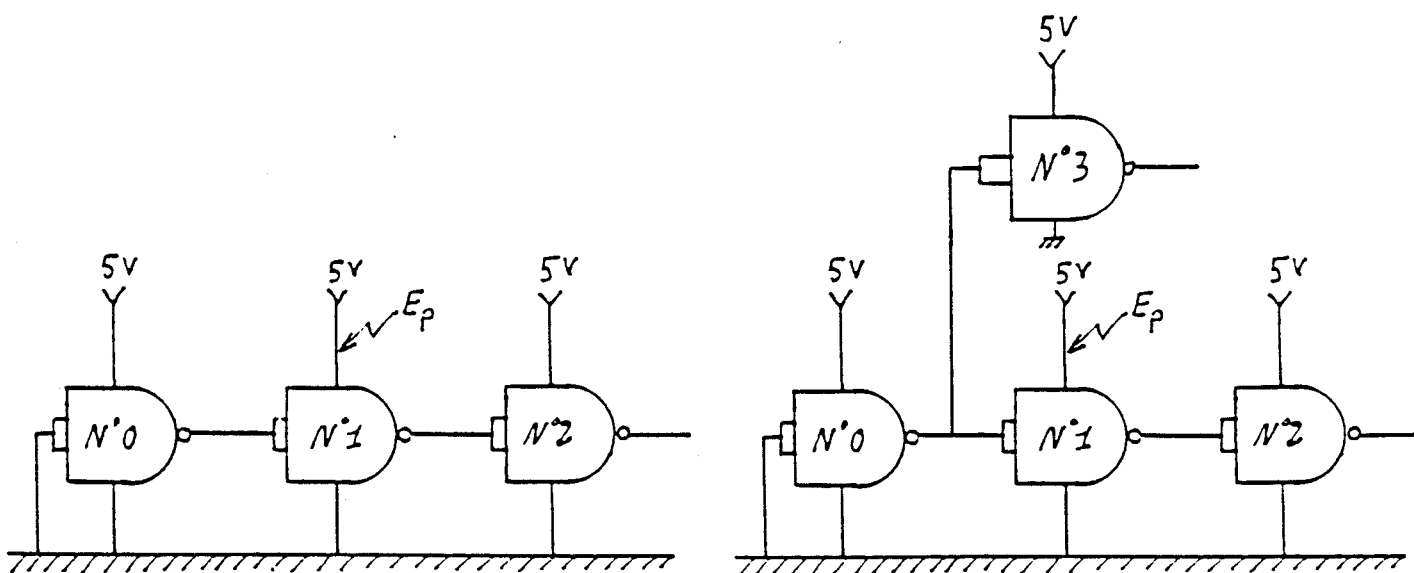


figure II.10

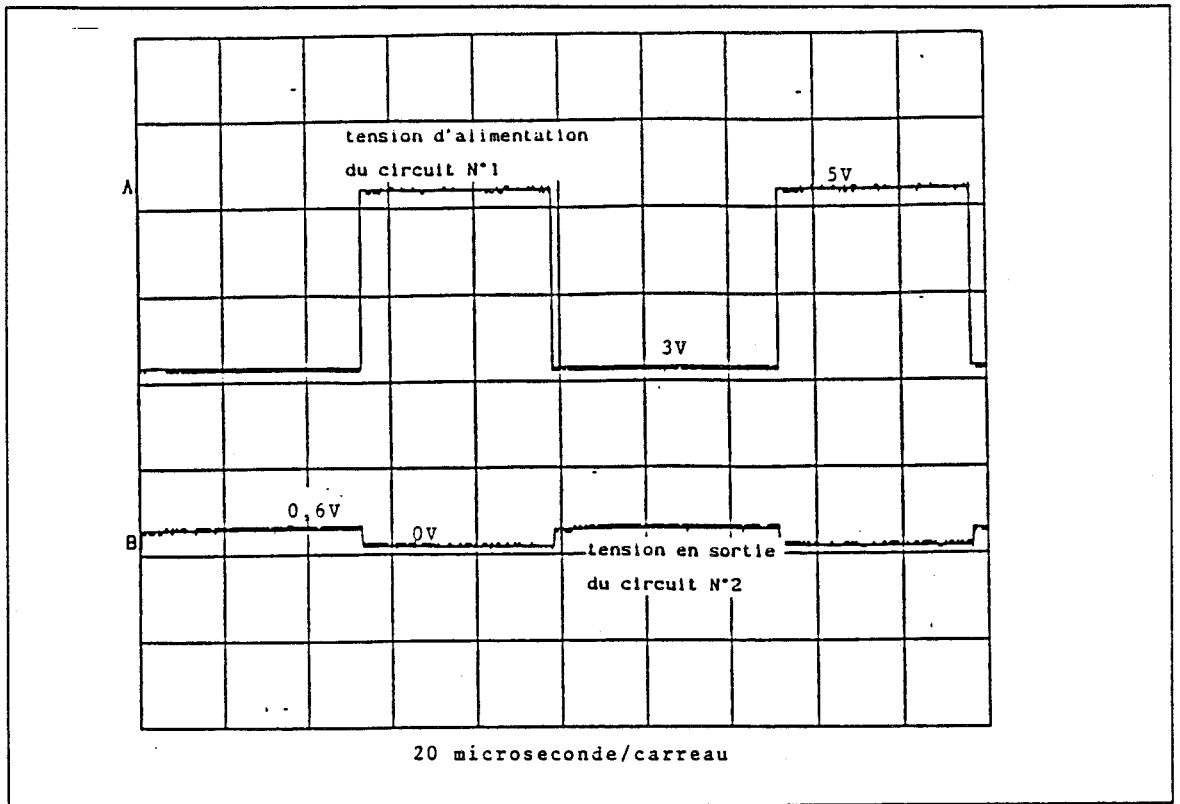


planche II.13

Dans le cas de la figure II.10.a la perturbation engendrée sur le circuit N°1 n'a d'autre effet que de faire chuter la tension en sortie du circuit N°0. Par contre dans le cas de la figure II.10.b la chute de tension induite en sortie du circuit N°0 et donc en entrée du circuit N°3 peut entraîner un état logique "faux" en sortie de ce dernier, ce qui rend cette configuration perturbable.

II.1.3 CAS DE LA TECHNOLOGIE MOS : FAMILLE 74 C

Cette famille, première génération utilisant le concept CMOS est de structure plus fruste que la HC MOS; elle est aussi beaucoup moins rapide. Néanmoins elle présente des structures de sortie et de protections des entrées analogues à celles des circuits 74HC00.

II.1.3.a $V_{\text{logique}} = 0V$

La Planche II.13 montre le seuil, de la perturbation induite sur l'alimentation d'une porte 74C00, au delà duquel le niveau logique en sortie du second circuit est modifié.

Lorsque la tension d'alimentation chute en dessous de 3V un effet perturbateur apparait.

Il est à noter qu'avec cette technologie on obtient un seuil de perturbation identique au seuil rencontré dans le cas de la technologie HC MOS.

Par contre l'effet produit diffère. En effet dans le cas du circuit 74C00 on n'observe pas d'oscillation en sortie du second circuit comme c'était le cas pour les circuits 74HC00.

Comme nous l'avons précisé au début de ce paragraphe les deux technologies diffèrent par leurs caractéristiques dynamiques.

Sur la planche II.14 nous avons tracé l'évolution du signal de sortie de portes NAND 74C00 et 74HC00 lorsque le signal en entrée de celles-ci est une rampe de tension.

Pour la famille 74C la sortie du circuit commute beaucoup plus lentement que

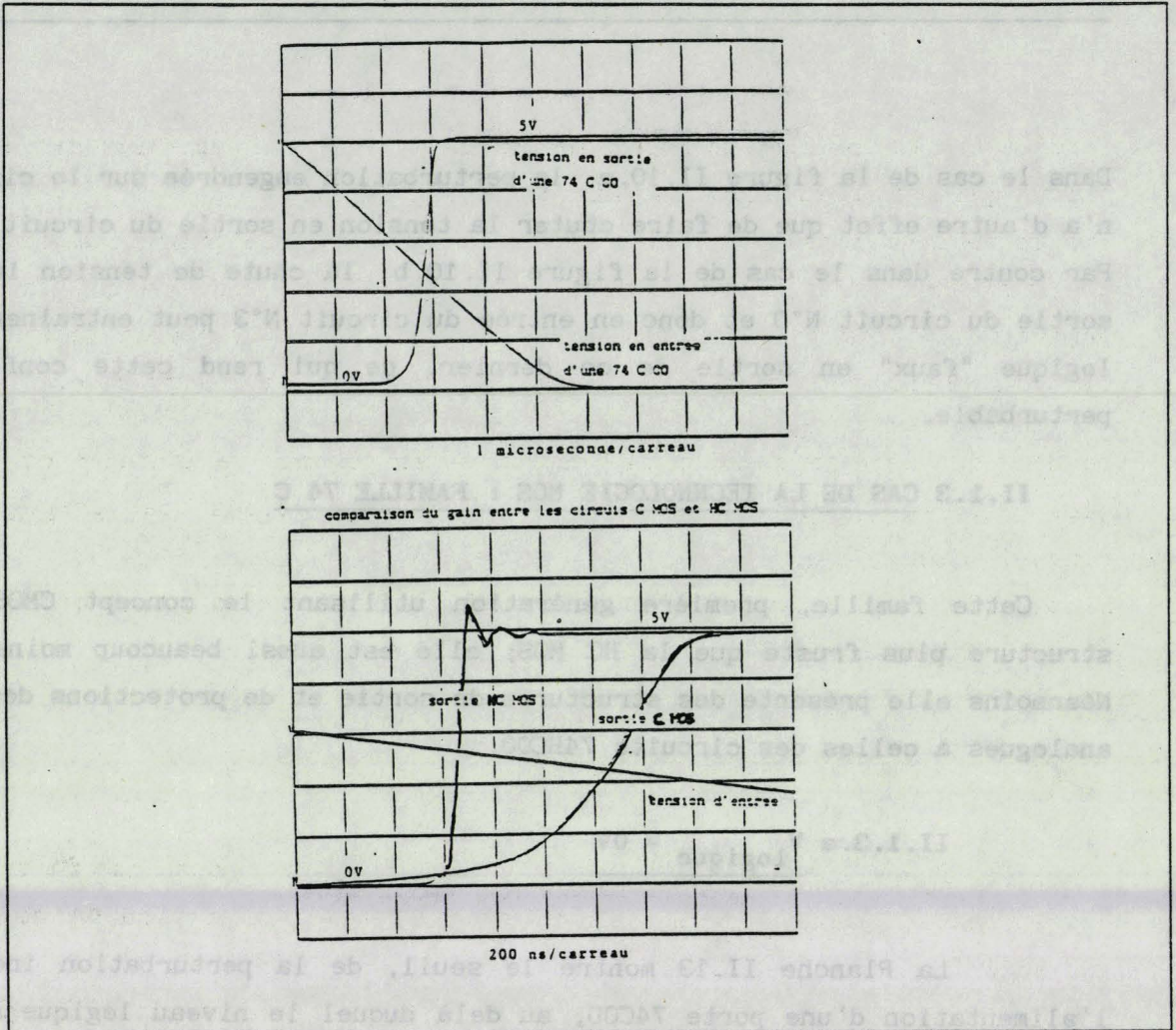


planche II.14

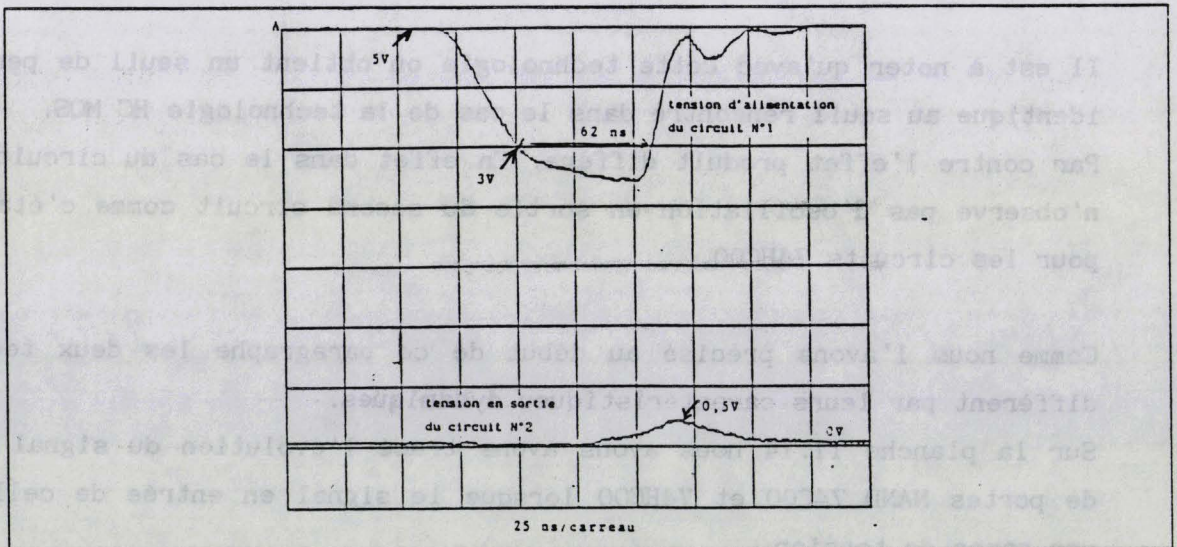


planche II.15

dans le cas de la famille 74HC, ce qui traduit le fait que les circuits 74C00 ont un gain GSE beaucoup plus faible que les 74HC00.

Par conséquent lors de la commutation la porte C MOS produit à courant égal une variation dI/dt beaucoup plus faible que la HC MOS, ce qui entraîne une variation de tension d'alimentation du second circuit beaucoup plus faible qui ne peut engendrer le régime oscillant observé dans le cas précédent.

De même que pour la famille 74HC la durée en dessous de laquelle on n'observe plus d'effet perturbateur est fixé par le temps de propagation du circuit, dans notre cas 60ns ($t_{p\max} = 250ns$).

La planche II.15 illustre l'effet produit par une perturbation qui induit une tension inférieure à 3V sur une durée de 62 ns.

II.1.3.b $V_{\text{logique}} = 5V$

En ce qui concerne cette configuration nous ne faisons aucun développement étant donné que nous avons obtenu le même type de comportement que pour le circuit 74HC00.

Il suffit donc de reprendre les explications données dans le paragraphe II.1.2.b.

II.2 LES IMPULSIONS DE POLARITE POSITIVE.

Nous nous intéressons maintenant aux perturbations qui induisent une augmentation de la tension d'alimentation des circuits et que nous appelons impulsions de polarité positive (figure II.13).

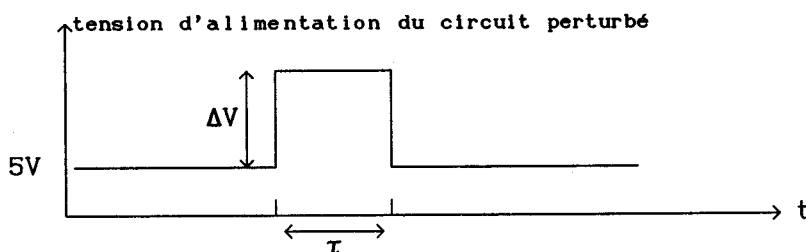


figure II.13

II.2.1 CAS DE LA TECHNOLOGIE TTL

II.2.1.a $V_{\text{logique}} = 0V$

Lorsque l'entrée du circuit est à l'état bas l'alimentation du circuit, même perturbée par une impulsion positive, ne peut fournir le courant nécessaire à la mise en conduction des transistors Q1 Q3 Q4 et Q5 : la tension en sortie du circuit ne peut en aucun cas passer à l'état bas. On voit donc que dans cette configuration aucune perturbation ne peut être induite en sortie du composant.

II.2.1.b $V_{\text{logique}} = 5V$

Lorsque l'entrée du circuit est à 5V l'alimentation fournit le courant nécessaire à la saturation des transistors Q1 Q3 Q4 et Q5. Lors d'une perturbation le potentiel de base de Q1 étant figé par le régime de saturation des transistors Q1 à Q5 le courant de base de Q1 va augmenter de sorte que ce composant sera "sur-saturé", c'est pourquoi la sortie du circuit N°2 ne peut être perturbée.

II.2.2 CAS DE LA TECHNOLOGIE MOS : FAMILLES 74 C ET 74 HC

Dans ce paragraphe nous traitons de façon générale la technologie MOS sans préjuger d'une famille particulière. Considérons la structure générale de l'étage de sortie des circuits MOS (figure II.12).

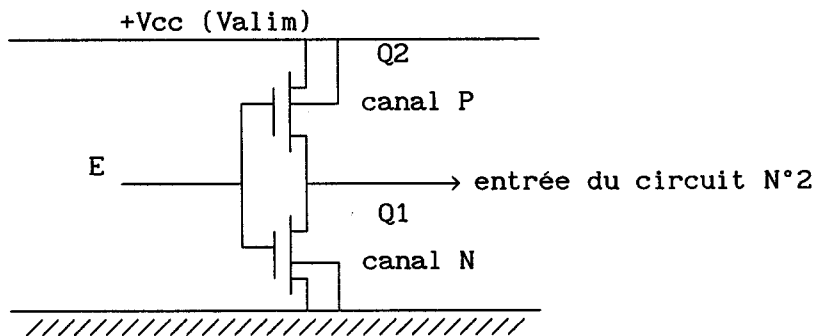


figure II.12

Lorsque l'entrée E (figure II.12) est à 0V, quelle que soit la tension d'alimentation du circuit Valim le canal du transistor Q1 reste pincé et le transistor Q2 commence à conduire ce qui impose à la sortie du composant un état haut quasiment égal à la tension Valim.

Donc dans le cas d'une impulsion de polarité positive l'état logique haut en sortie ne peut qu'être confirmé, aucune perturbation ne peut apparaître en sortie du circuit N°2.

Dans le cas des circuits 74C00 l'état bas est garanti en deça de 30% de la tension d'alimentation tandis que l'état haut l'est au delà de 70% de la tension d'alimentation.

Dans le cas où l'entrée du circuit est à 5V le constructeur garantit que ce niveau est vu par le circuit comme étant un état bas pour une tension d'alimentation supérieure à 16V.

A contrario lorsque la tension d'alimentation est inférieure à 7V une tension de 5 V en entrée du composant est garantie comme étant un état haut.

Tant que la tension d'alimentation reste dans la plage 7V à 16V et que la tension en entrée du circuit est de 5V le constructeur ne garantit pas le comportement du composant.

D'un point de vue pratique nous n'avons pu produire des perturbations qui engendrent une montée de la tension d'alimentation au delà de 10V. Jusqu'à cette limite aucune perturbation n'a pu être relevée en sortie du circuit N°2.

En résumé quelque soit l'état logique présent en entrée du circuit N°1 aucune perturbation n'a pu être mise en évidence lorsque le perturbateur induit une hausse de la tension d'alimentation telle que celle-ci reste inférieure à 10V.

CONCLUSION

Etant donné la nature des résultats obtenus on comprend mieux maintenant pourquoi le protocole de perturbation en régime sinusoïdal a été abandonné.

En effet comme nous l'avons montré dans cette partie du rapport les comportements observés sont totalement différents suivant que l'on s'intéresse à des perturbateurs "positifs" ou "négatifs" ce qui rend donc quasiment impossible l'interprétation des phénomènes observés si le perturbateur est de type sinusoïdal.

Il est important de noter que lors de nos essais nous avons considéré deux portes NAND prises dans des boîtiers différents et que ces circuits n'étaient pas découplés.

Les perturbations que nous avons relevées en sortie du circuits N°2 ont pour origine la présence d'un état logique faux en entrée de celui-ci. Or il est bien évident que cet état logique faux est relatif à la tension d'alimentation du circuit N°2, qui dans notre cas est figée à 5V.

En ce qui concerne le découplage des circuits, les résultats obtenus montrent clairement son importance. Les phénomènes oscillatoires que nous avons observés impliquent que les condensateurs de découplage devront être le moins selfiques possible et connectés au plus près des broches d'alimentation des circuits.

En ce qui concerne les perturbations provoquant des chutes de tension d'alimentation nous avons montré que celles-ci peuvent engendrer en sortie du circuit N°2 des faux états logiques.

Parcontre celles qui provoquent une hausse de tension d'alimentation, à défaut d'engendrer des perturbations en sortie du circuit N°2, risquent de conduire à la destruction des circuits.

CHAPITRE III

INTRODUCTION

Nous nous intéressons maintenant au comportement des circuits intégrés lorsque les connexions sortie-entrée reliant ces composants sont soumises à des perturbations électromagnétiques.

Nous envisageons pour cela le cas de deux portes NAND issues de boîtiers différents et dont les circuits d'alimentation sont découplés.

En effet compte tenu des conclusions du chapitre précédent nous avons choisi de découpler l'alimentation de chacun des circuits. De plus cette configuration est celle la plus souvent rencontrée en pratique.

Le protocole de test consiste à injecter à l'aide des circuits d'injection, définis dans le premier chapitre, des impulsions de tension puis de courant, de largeur et amplitude variables, sur la ligne reliant la sortie du premier circuit à l'entrée du second, et à rechercher les caractéristiques de celles-ci provoquant en sortie du second circuit une perturbation du niveau logique.

L'étude est faite comme dans le chapitre précédent pour des composants des technologies TTL (portes NAND 74LS00) et CMOS (74C00 et 74HC00).

III.1 PERTURBATIONS PAR INJECTION DE TENSION.

Nous allons dans ce paragraphe analyser les phénomènes observés sur des portes NAND en fonction des paramètres suivant:

- technologie des portes considérées.
- polarité du générateur de tension V_p ($V_p > 0$ ou $V_p < 0$)
- largeur des impulsions injectées
- amplitude des perturbations
- état logique en entrée du circuit N°1

Il est à noter que compte tenu des résultats obtenus dans le chapitre précédent nous avons découplé l'alimentation des circuits.

En effet, nous avons montré que l'absence de découplage sur les circuits intégrés peut être à l'origine de phénomènes oscillatoires, aussi afin d'éviter ces problèmes nous avons choisi de découpler les lignes d'alimentation des circuits. De plus cette configuration sera celle rencontrée le plus souvent dans la pratique.

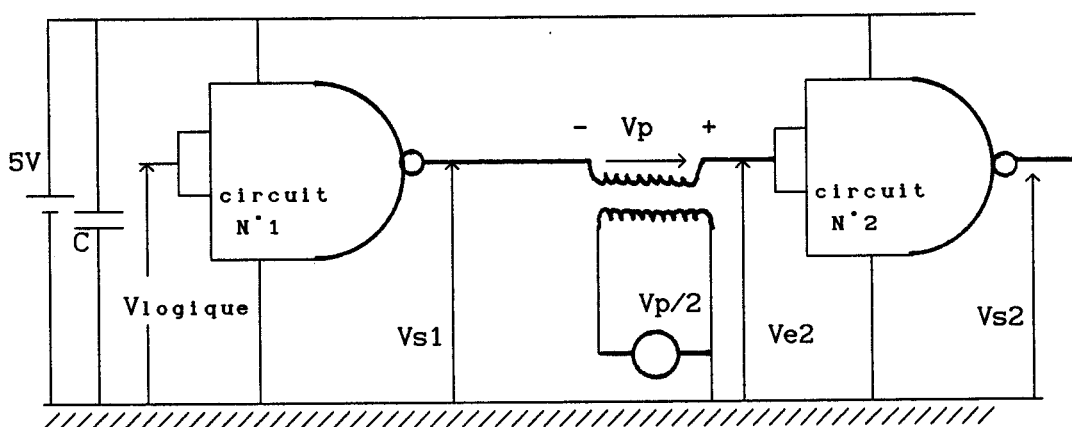


figure III.1

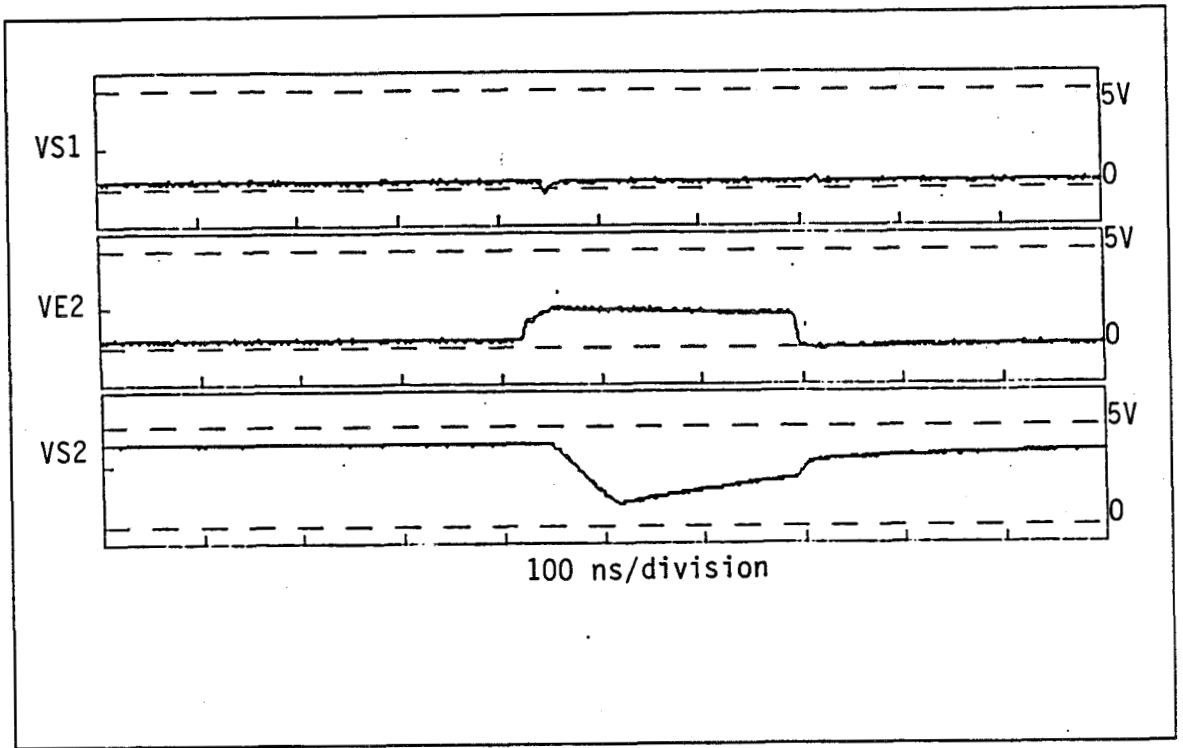


PLANCHE III.1

III.1.1 CAS DES CIRCUITS 74 LS 00 LORSQUE $V_p > 0$

III.1.1.a $V_{\text{logique}} = 5 \text{ V}$

La planche III.1 illustre les tensions V_{s1} , V_{e2} , V_{s2} relevées aux différents points du circuit.

Ces oscillogrammes sont représentatifs de la tension V_p nécessaire à l'obtention d'un effet perturbateur en sortie du second circuit.

La tension V_p aux bornes du secondaire du transformateur peut être obtenue par la soustraction $V_{e2} - V_{s1}$.

On voit que lorsque $V_p \geq 1.45 \text{ V}$ la sortie du second circuit est perturbée.

Tout se passe comme si la tension V_p était appliquée à l'entrée du second circuit ($V_{e2} = V_p$).

Lorsque $V_{\text{logique}} = 5 \text{ V}$ la sortie du circuit N°1 est à l'état bas et le générateur "voit" le collecteur d'un transistor saturé conformément au schéma de la figure III.2 (a).

Etant donné la polarité du générateur V_p et la structure d'entrée de la porte N°2, figurée par les diodes D1 et D2, aucun courant ne peut être injecté dans celle-ci.

D'où l'équivalence entre les schémas de la figure III.2 (a) et III.2 (b).

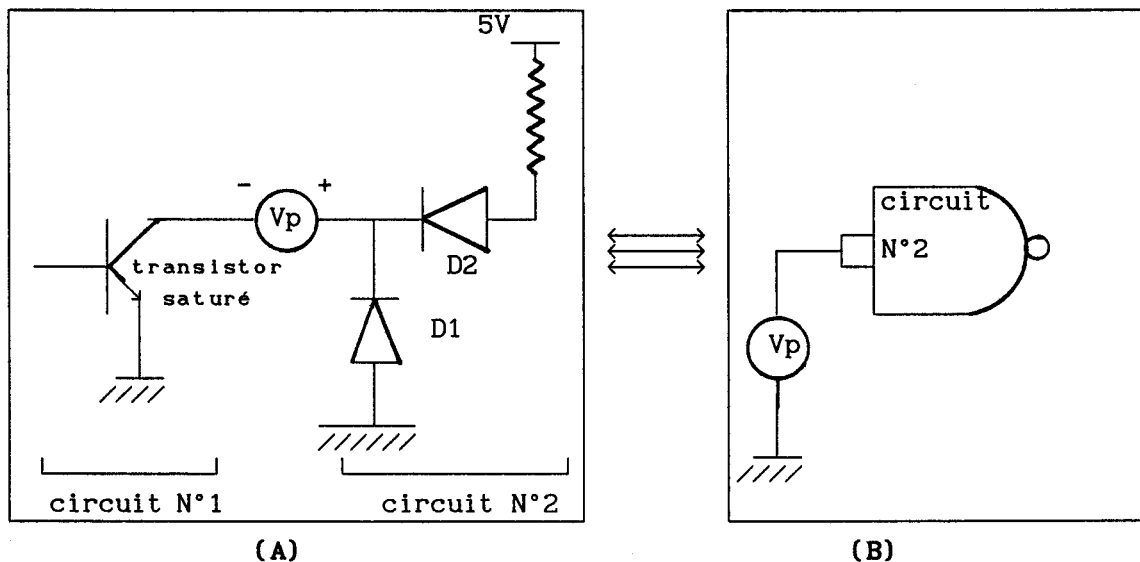


figure III.2

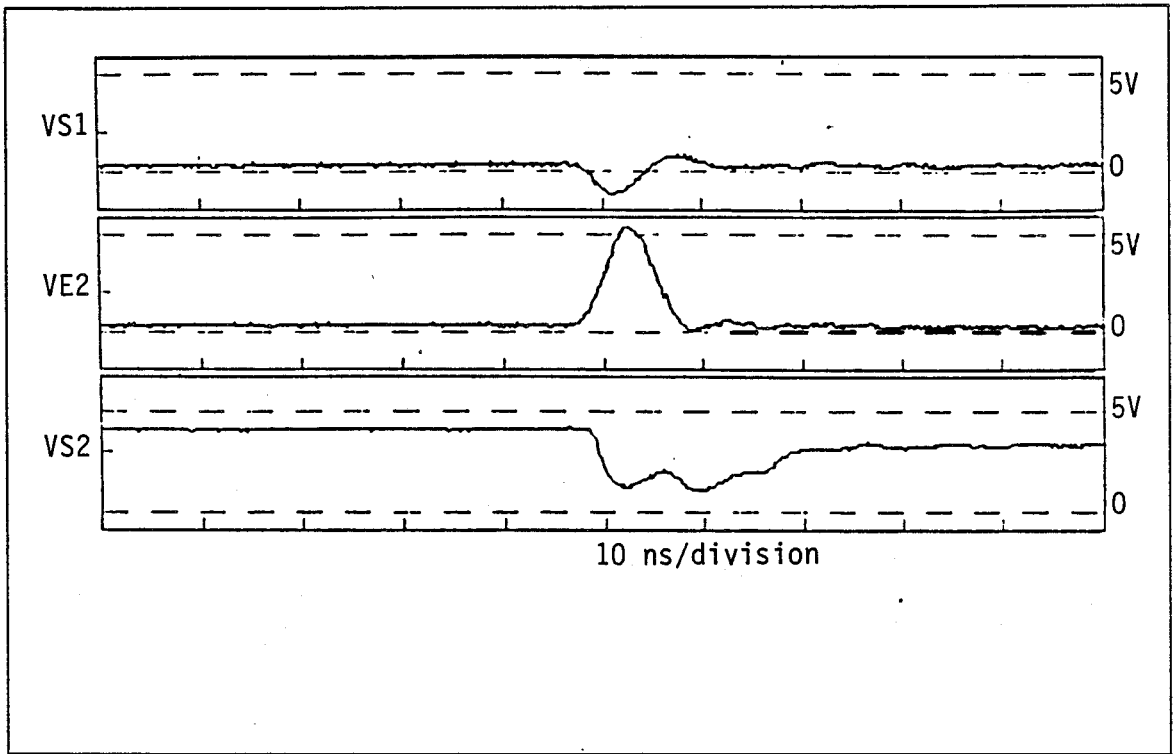


PLANCHE III.2

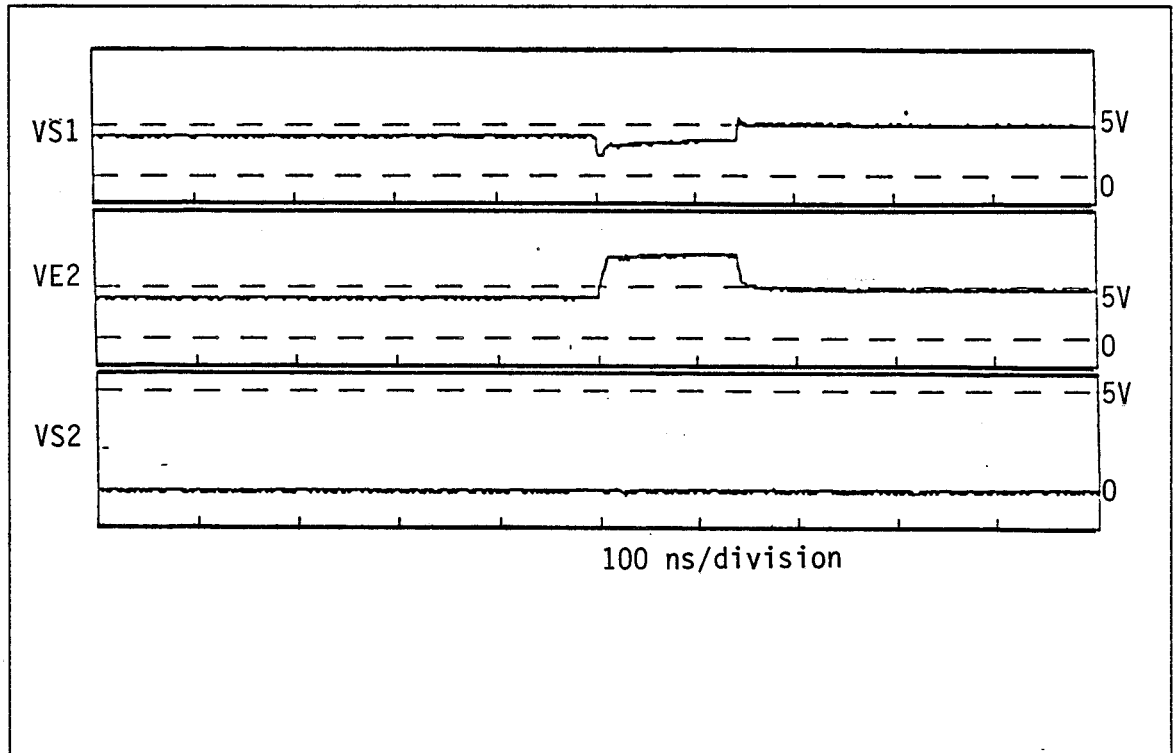


PLANCHE III.3

Dans cette configuration la durée au dessus de laquelle l'effet perturbateur apparait est donc directement liée aux temps de propagation donnés par le constructeur (t_{pxx} typique = 9.5ns).

La planche III.2 illustre l'effet produit par une perturbation d'amplitude 5V et de largeur 6ns.

le constructeur donne des temps de propagation variant de 3 à 11 ns suivant les conditions de mesure, il y a donc bien concordance entre les mesures effectuées et ces données.

En conclusion, dans la configuration envisagée ci-dessus, les caractéristiques des signaux nécessaires à l'obtention d'un effet perturbateur sont, tant en amplitude que dans le domaine temporel, directement liées aux caractéristiques données dans les fiches techniques des circuits.

III.1.1.b $V_{\text{logique}} = 0 \text{ V}$

Le générateur V_p ayant toujours la même polarité nous avons relevé sur la planche III.3 les tensions aux différents points du montage lorsque $V_{\text{logique}} = 0 \text{ V}$ et que la tension V_p n'est pas trop importante (4.5V).

Dans ce cas la sortie du circuit N°2 n'est pas perturbée : en effet la perturbation injectée vient confirmer l'état logique haut en entrée de ce circuit.

Une analyse rapide du schéma de la figure III.3 permet la justification du comportement observé.

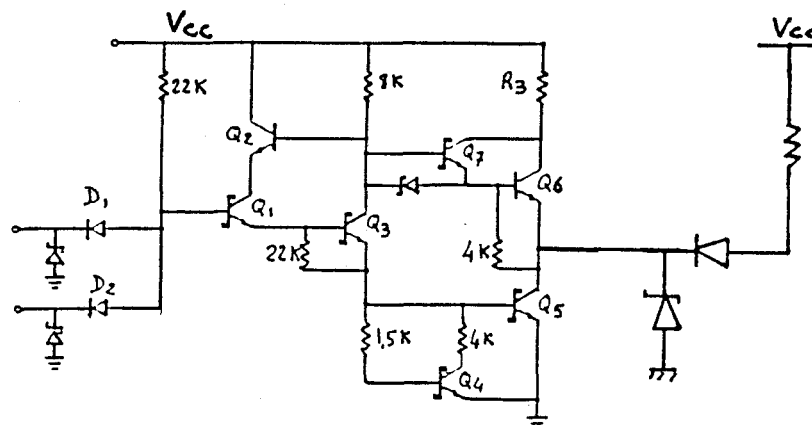


figure III.3

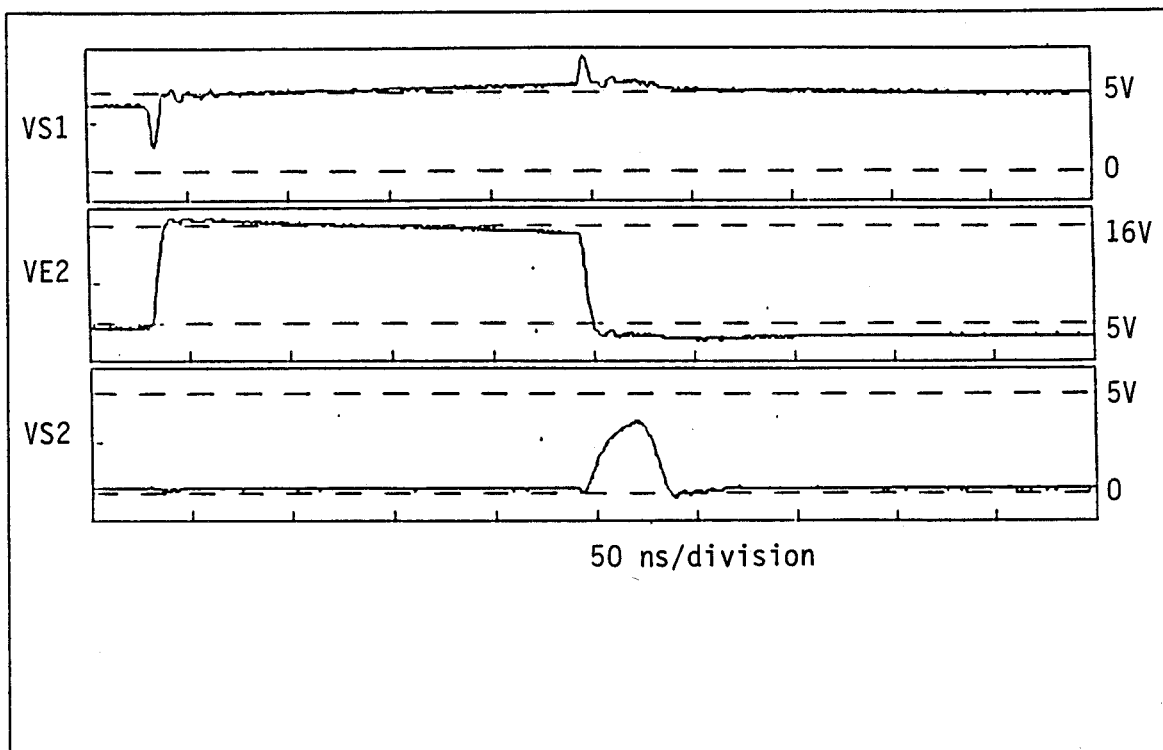


PLANCHE III.4

Lorsque l'entrée logique du circuit N°1 est à l'état bas le transistor Q6 en sortie de ce circuit est conducteur et peut fournir un courant de même sens que celui fourni par le perturbateur. Par contre les diodes d'entrée du circuit N°2 bloquent ce courant ce qui entraine la transmission de l'intégralité de la variation de tension V_p en entrée du second circuit venant ainsi confirmer l'état logique haut.

Nous avons représenté sur la planche III.4 les signaux obtenus lorsque $V_p \approx 11V$. On observe dans ce cas une perturbation en sortie du circuit N°2 qui coincide dans le temps avec la fin du signal perturbateur.

Lorsque l'entrée logique du circuit N°2 est à l'état haut le transistor de sortie Q5 de ce circuit (figure III.4) est saturé.

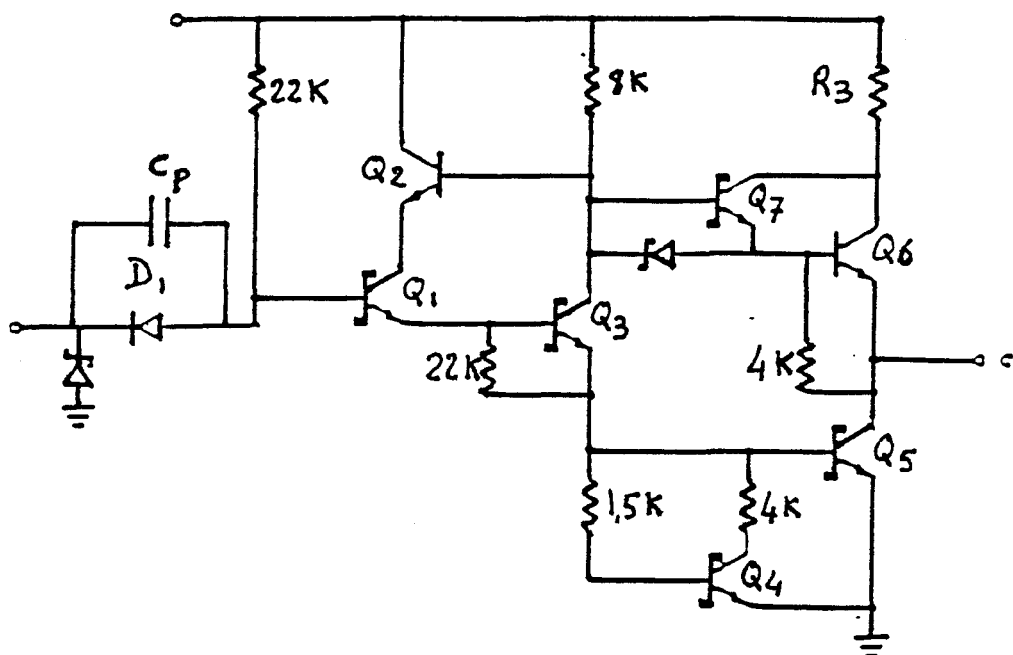


figure III.4

La dé-saturation de Q5 est obtenue lorsque l'entrée du circuit est à l'état bas. Pour obtenir cet état bas la diode D1 doit laisser passer le courant I_{il} . Le temps de propagation de la porte (t_{plh}) est essentiellement le temps

nécessaire à la dé-saturation de Q5. On peut calculer en première approximation la charge Q_D que l'entrée de la porte doit "dérivée" pour obtenir la dé-saturation du transistor de sortie :

$$Q_D \approx t_{plh} * I_{i1} \quad (III.1)$$

Sur la figure III.4 nous avons représenté la capacité parasite de la diode D1.

Lorsque la tension en entrée du circuit commute de 16V à 5V le potentiel de base de Q1 passe de sa valeur initiale $\approx 1.2V$ à $-9.8V$, ceci par la présence de C_p .

Le condensateur va alors se décharger en dérivant une charge Q'_D :

$$Q'_D = V_p * C_p \quad (III.2)$$

Si Q'_D est supérieure à Q_D alors le transistor de sortie Q5 se dé-sature et induit en sortie du composant un changement d'état logique.

En prenant les caractéristiques constructeur :

$$t_{plh} = 10 \text{ ns}$$

$$I_{i1} = 0.36 \text{ mA}$$

Nous avons calculé la capacité parasite C_p de la diode.

$$C_p = \frac{t_{plh} * I_{i1}}{V_p} \approx \frac{10\text{ns} * 0.36\text{mA}}{11V} = 0.3 \text{ pF} \quad (III.3)$$

Ce qui est un ordre de grandeur tout à fait réaliste.

En conclusion dans la configuration étudiée la sortie du circuit N°2 peut être perturbée lorsque l'amplitude de la tension injectée est suffisante pour transmettre la charge nécessaire à la dé-saturation de Q5.

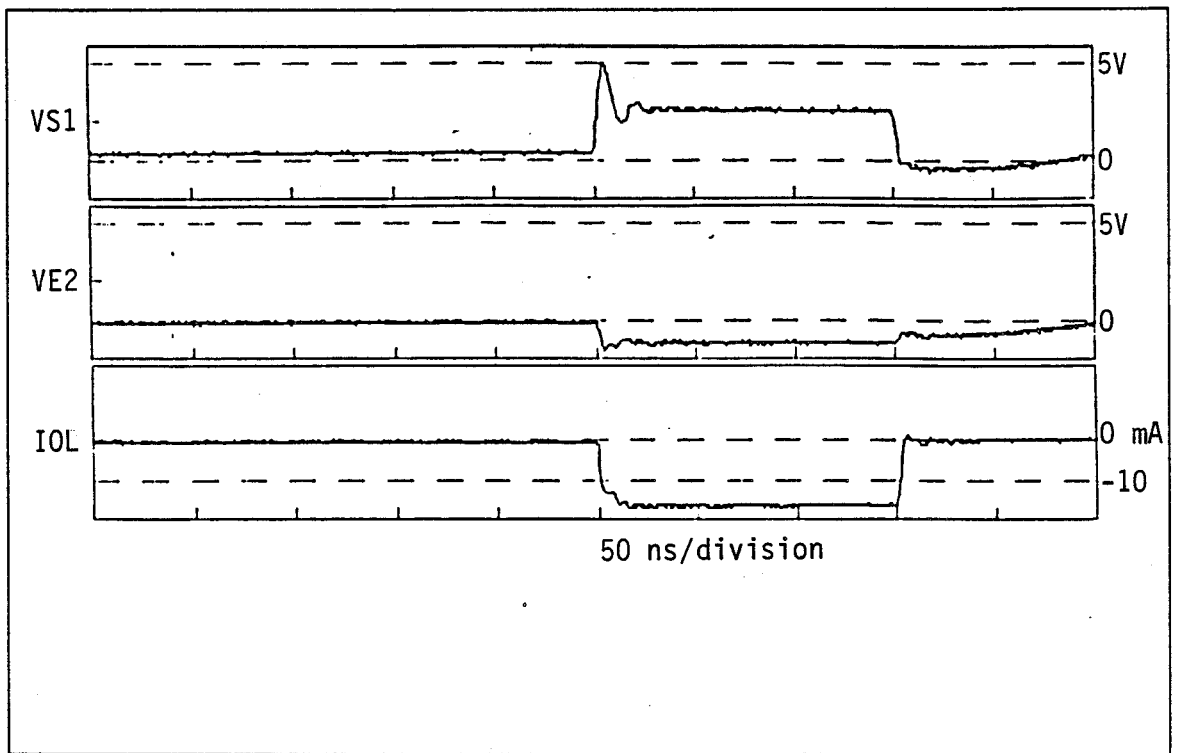


PLANCHE III.5

III.1.2 CAS DES CIRCUITS 74 LS 00 LORSQUE $V_p < 0$

III.1.2.a $V_{\text{logique}} = 5 \text{ V}$

Les courbes de la planche III.5 montrent les signaux obtenus lorsque l'on injecte une tension V_p égale à -3 volts avec un temps de montée de 2 ns. Dans ce cas aucune perturbation n'est relevée en sortie du circuit N°2 par contre la tension en sortie du circuit N°1 est pratiquement égale à la tension V_p ($V_{e2} \approx 0 \text{ V}$).

Une analyse de la liaison sortie du premier circuit entrée du second, en se référant au schéma interne des circuits, nous a permis de comprendre l'origine des phénomènes observés.

Nous avons représenté figure III.5 un schéma simplifié du système étudié.

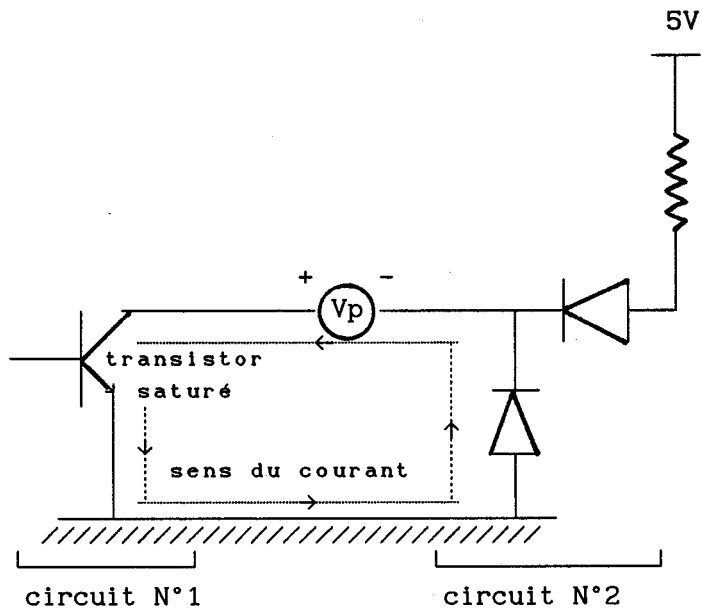


figure III.5

Etant donné la polarité du transformateur la diode de protection en entrée du circuit N°2 est rendue passante et donc présente une faible impédance. Le transformateur pouvant délivrer un courant important ceci entraîne la dé-saturation du transistor en sortie du circuit N°1.

Nous avons relevé un courant I_{ol} de 20 mA alors que le constructeur garanti l'état bas pour un courant absorbé de 16 mA.

Il apparait sur la planche III.5 une surtension à l'instant de la commutation sur le signal Vs1.

Suite à cette observation une étude expérimentale puis théorique [7] à été entreprise. Celle-ci a montré que la capacité présente aux bornes de la jonction base-émetteur, lorsqu'elle est grande, est à l'origine de cette surtension :cette capacité rend possible de façon transitoire la dé-saturation du transistor.

Nous avons illustré ce phénomène sur le graphe ci-dessous, qui montre l'effet produit au niveau du réseau de caractéristiques de sortie du transistor (transistor de sortie du circuit N°1).

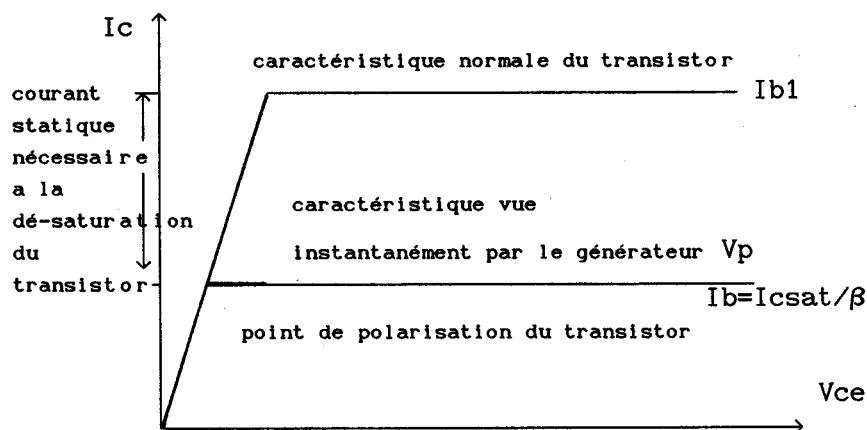


figure III.6

Tout se passe comme si instantanément on travaillait sur la caractéristique $I_c = f(V_{ce})$ à $I_b = I_{csat} / \beta$ du transistor. Une étude est en cours pour valider cette théorie lorsque la capacité base émetteur est faible.

La planche III.6 montre les signaux observés lorsque l'on augmente le temps de montée du signal V_p .

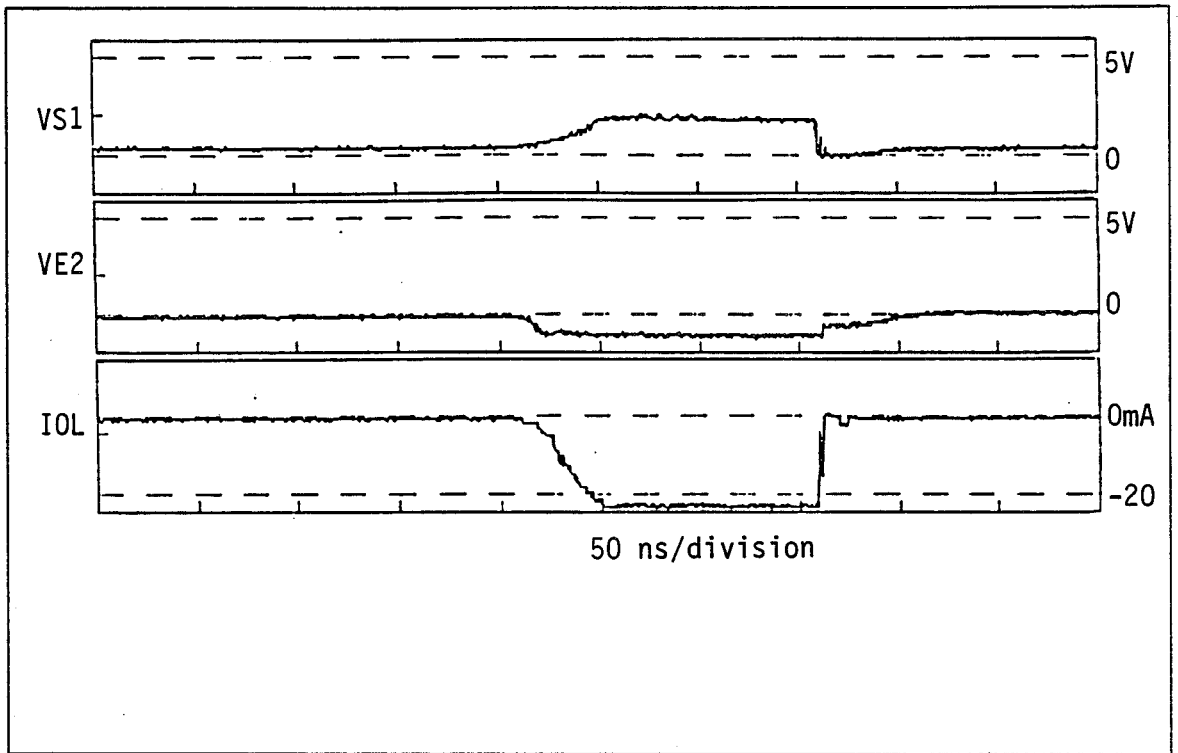


PLANCHE III.6

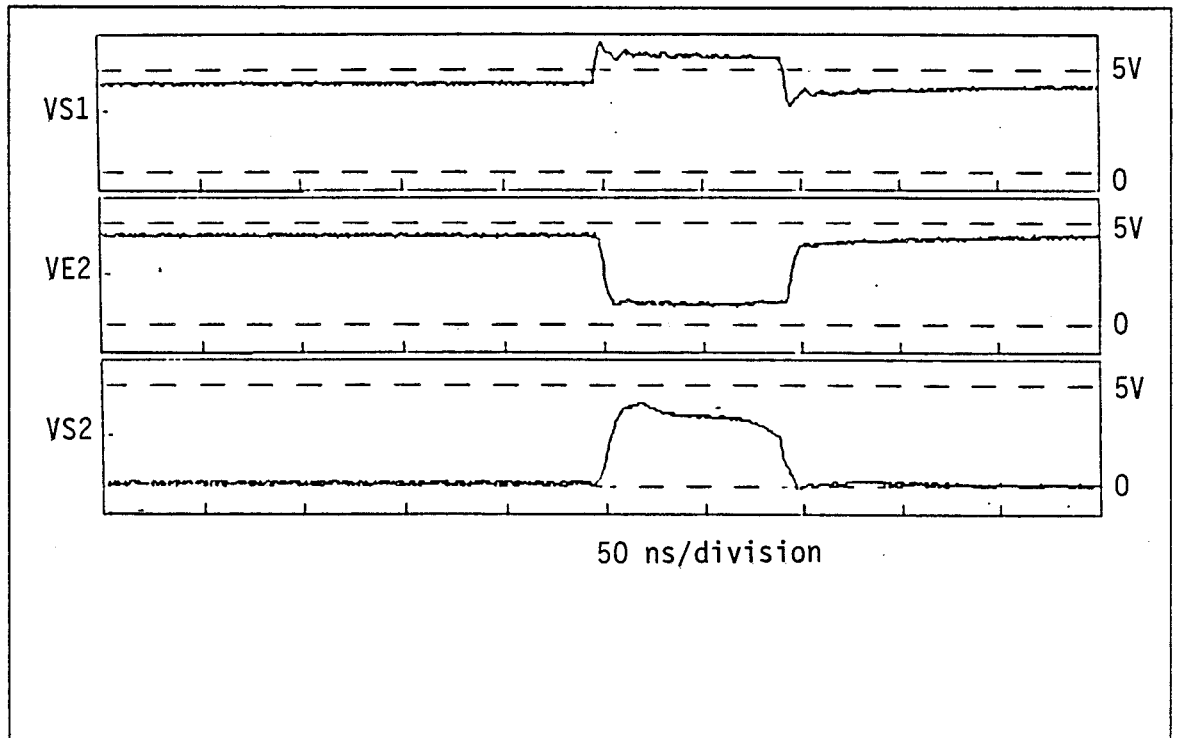


PLANCHE III.7

Lorsque celui-ci est supérieur à 35 ns la surtension observée en sortie du circuit N°1 disparaît.

En résumé, lorsque l'entrée du circuit N°1 est à l'état haut et que le générateur V_p est négatif, la sortie du second circuit ne peut en aucun cas être perturbée.

Par contre dans la configuration de la figure III.7, qui fait intervenir un troisième circuit, la sortie de celui-ci pourra être perturbée.

Sous l'effet de la perturbation induite sur la liaison entre les circuits N°1 et N°2 la tension en sortie du circuit N°1 croît pouvant provoquer en entrée du circuit N°3 un état logique faux.

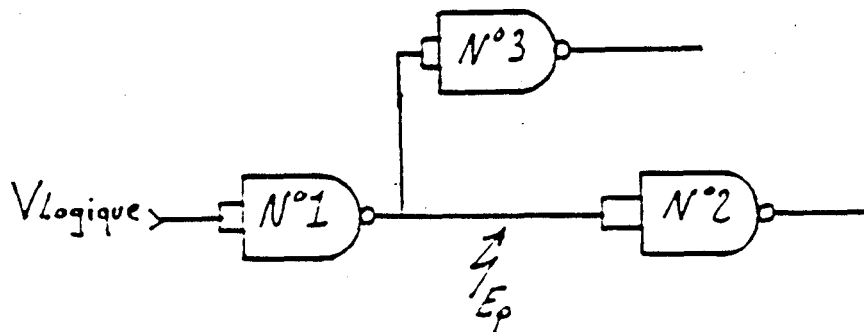


figure III.7

III.1.2 b $V_{\text{logique}} = 0 \text{ V}$

La planche III.7 montre les signaux obtenus lorsque V_p est égal à 4.8V.

Si $V_p < 4.8 \text{ V}$ aucune perturbation n'est relevée en sortie du circuit N°2.

On voit que le circuit N°2 commute lorsque la tension V_{e2} est égale à 0.9V ce qui correspond bien au gabarit (0.8-2V) donné dans les fiches techniques des circuits LS. La tension V_{s1} monte dans ce cas à 5.7V.

Afin de mieux comprendre les signaux relevés nous donnons figure III.8 le schéma équivalent du montage réalisé. Ici Q_6 ne peut laisser passer le courant produit par le perturbateur et le potentiel en sortie du circuit N°1 monte jusqu'à ce que la diode D_t entre en action. Cette diode est en fait la diode dont nous avons mis en évidence la présence dans le chapitre II paragraphe II.1.1.

De part la polarité du générateur V_p cette diode est mise en conduction et limite la tension V_{s1} à 5.7V (tension d'alimentation + tension de seuil de la diode).

La tension V_p est intégralement transmise en entrée du second circuit.

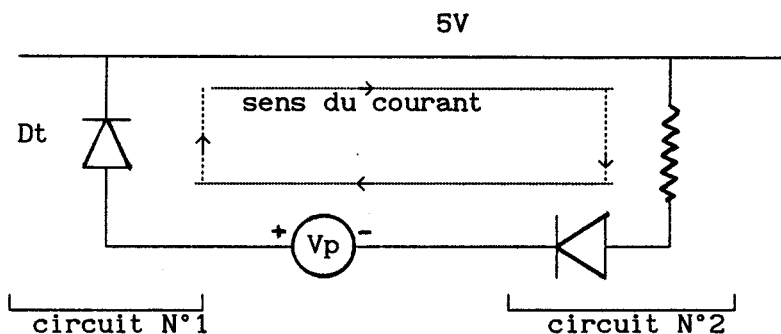


figure III.8

On peut dès lors, dire que tout se passe comme si on avait un générateur, qui délivre des impulsions négatives par rapport au niveau continu 5.7V, en entrée de la seconde porte.

De même que dans le paragraphe III.1.1.a les caractéristiques des signaux nécessaires à l'obtention d'un effet perturbateur en sortie du circuit N°2 sont étroitement liées aux caractéristiques données par le constructeur tant pour l'amplitude que pour la durée.

L'amplitude de la perturbation est donnée, à la tension de seuil d'une diode près, par la tension d'alimentation moins la tension de basculement du circuit. Quant à la durée elle est donnée par le temps de propagation de la porte.

III.1.3 CAS DES CIRCUITS EN TECHNOLOGIE MOS LORSQUE $V_p > 0$

Nous analysons dans ce paragraphe les signaux obtenus aussi bien pour les circuits C MOS que HC MOS.

En effet comme nous le verrons dans notre exposé les phénomènes mis en jeu sont quasiment identiques pour les deux types de circuit.

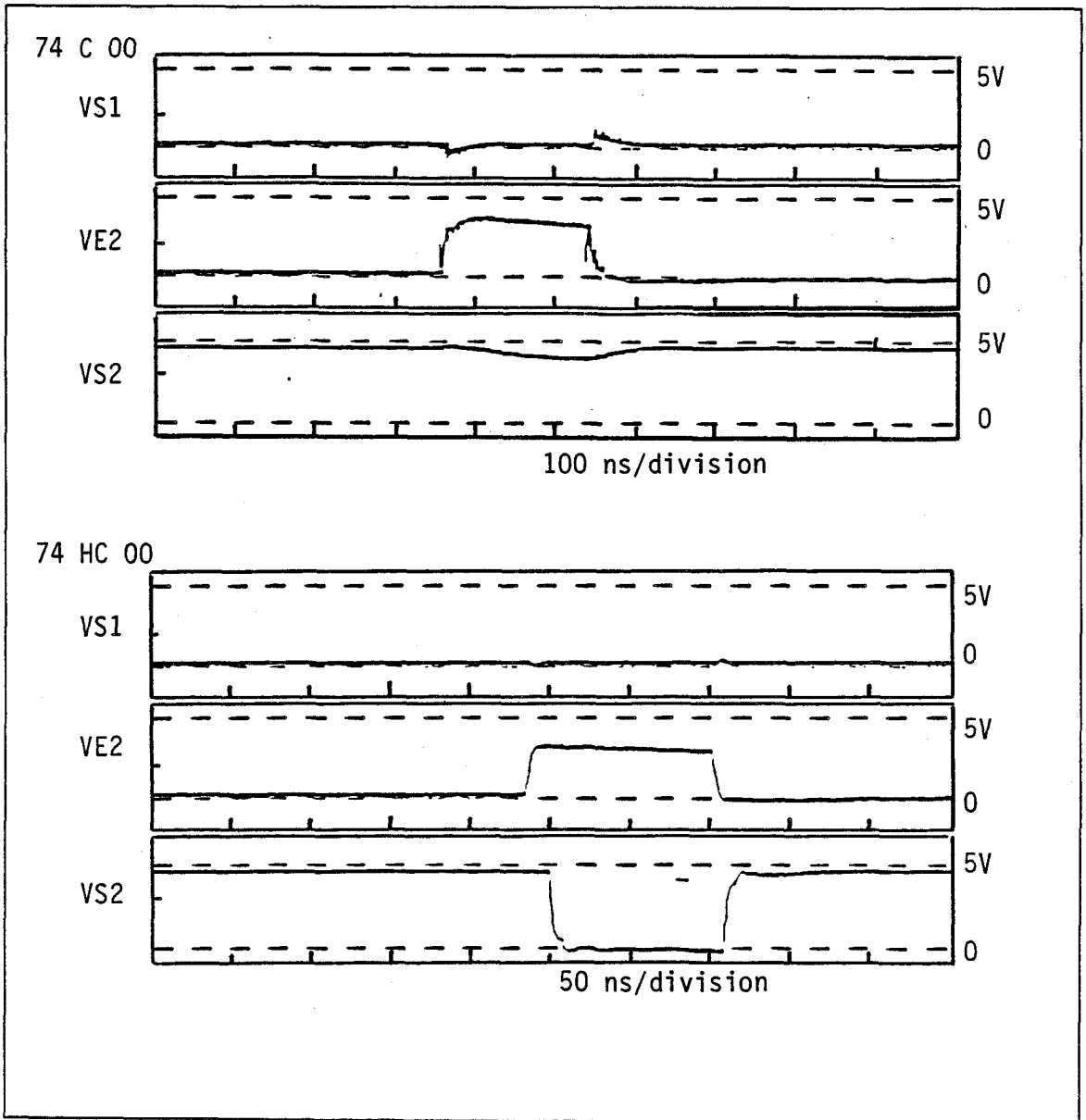


PLANCHE III.8

III.1.3.a $V_{\text{logique}} = 5 \text{ V}$

La planche III.8 illustre les signaux obtenus respectivement sur les circuits 74C00 et 74HC00.

Dans les deux cas la sortie du circuit N°2 est perturbée lorsque $V_p \geq 3.2\text{V}$.

Nous avons représenté, figure III.9, une vue simplifiée de la liaison sortie du circuit N°1-entrée du circuit N°2.

On voit sur ce schéma que étant donnée la polarité du générateur V_p le circuit N°2 offre au transformateur une grande impédance.

Par contre en sortie du circuit N°1 le transistor est conducteur : le potentiel V_{s1} reste nul.

Ceci entraîne que la variation de tension V_p est intégralement transmise en entrée du circuit N°2.

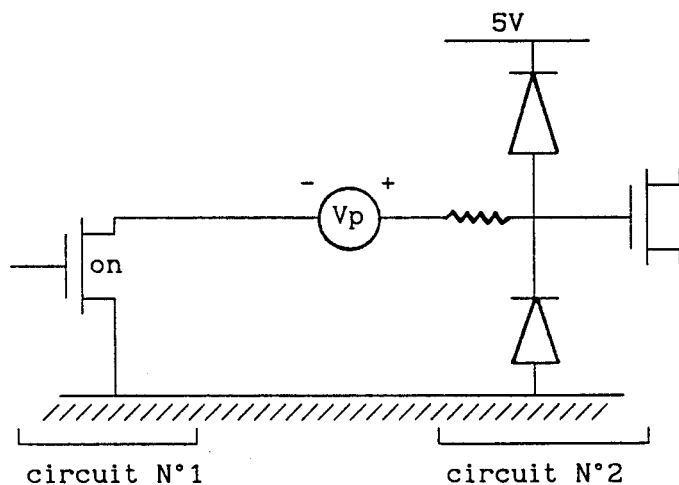


figure III.9

Tout se passe donc comme si on applique en entrée du circuit N°2 un générateur délivrant des impulsions positives référencées par rapport à la masse.

On retrouve donc une configuration analogue à celle décrite dans le paragraphe III.1.1.a.

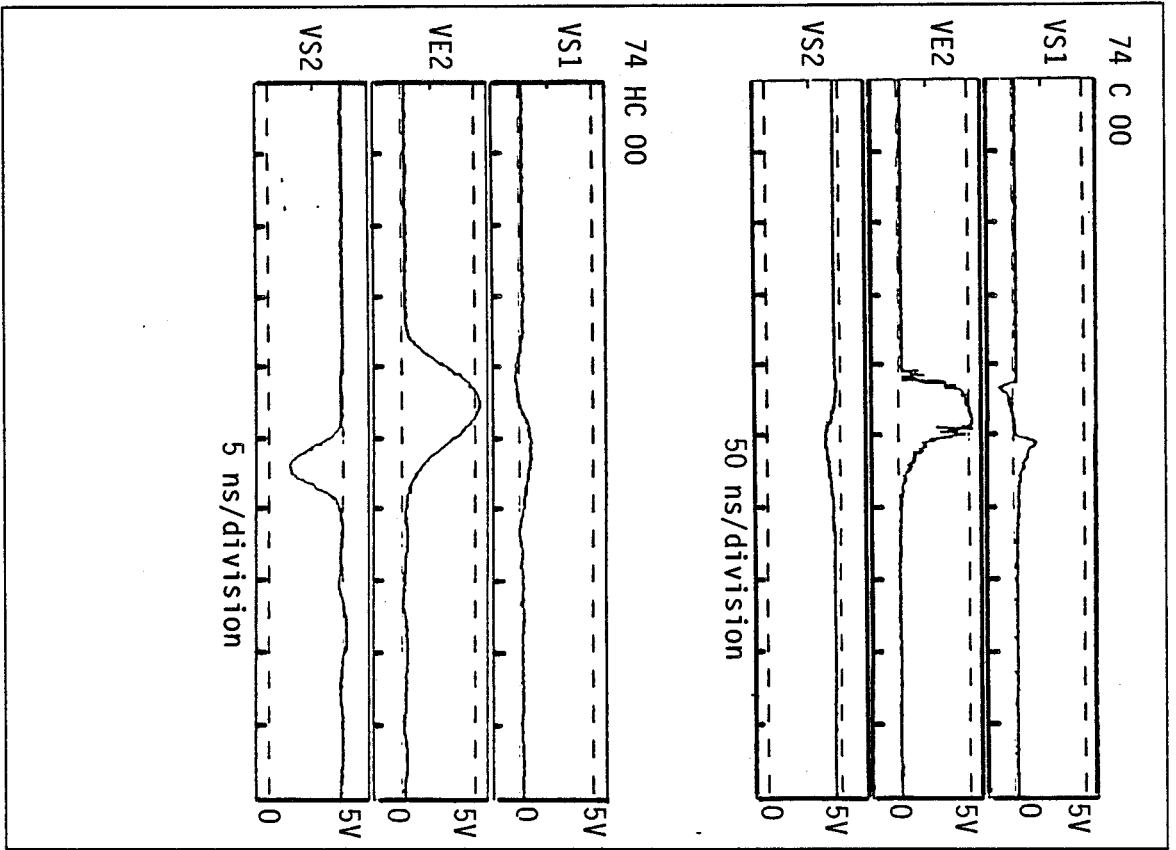


PLANCHE III.9

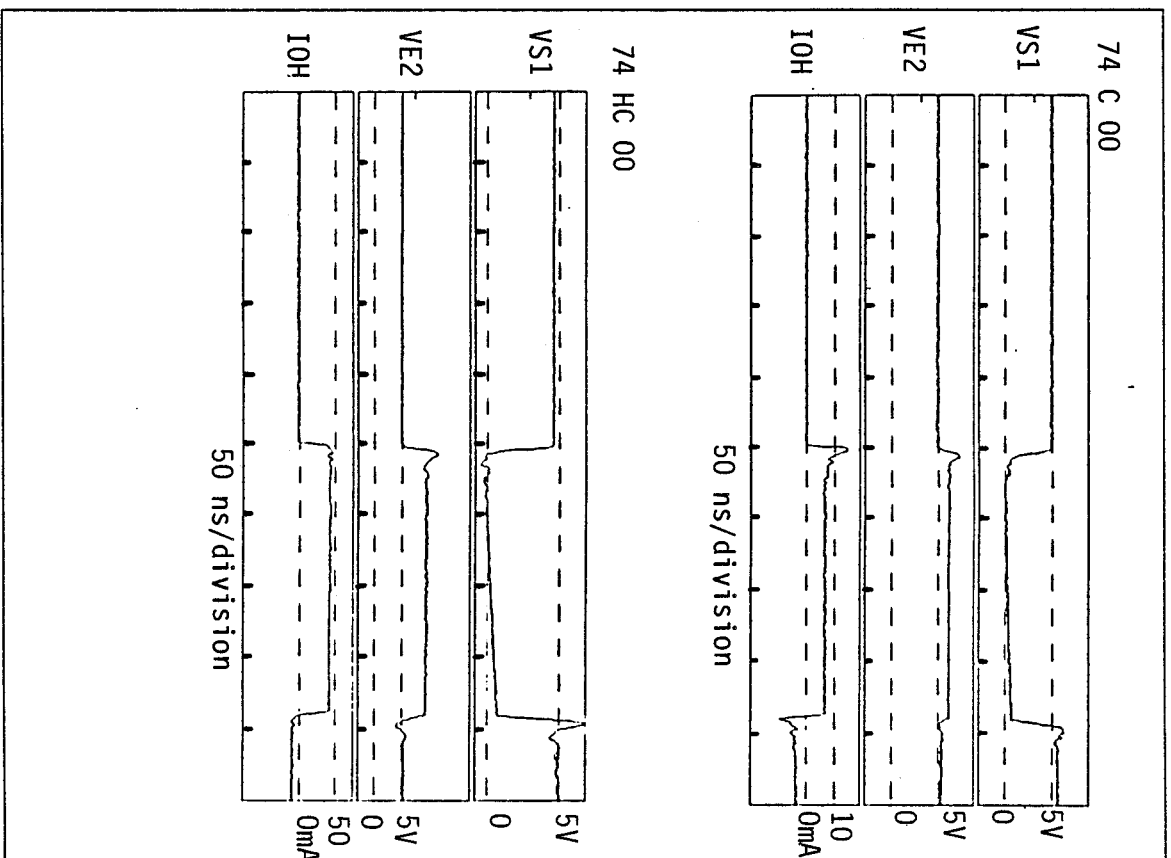


PLANCHE III.10

Les caractéristiques des signaux nécessaires à l'obtention d'un effet perturbateur en sortie du second circuit sont donc étroitement liées aux caractéristiques données par le constructeur.

Nous avons relevé (planche III.9) les signaux aux différents points du montage lorsque la durée de la perturbation est juste suffisante pour produire un effet en sortie du circuit N°2.

Pour le circuit 74C00 nous avons relevé une durée minimale de 35 ns ce qui correspond au temps de propagation typique de 25 ns (donnée constructeur), quant au circuit 74HC00 nous avons relevé 6 ns pour une valeur typique de 7ns.

En conclusion, dans la configuration envisagée ci-dessus, les caractéristiques des signaux nécessaires à l'obtention d'un effet perturbateur sont, tant en amplitude que dans le domaine temporel, directement liées aux caractéristiques données dans les fiches techniques des circuits.

III.1.3.b V_{logique} = 0 V

Les signaux de la planche III.10 montrent l'évolution des tensions Vs1, Ve2 et du courant Ioh pour chacun des circuits étudiés. On comprend, étant donnés les signaux obtenus en Ve2, qu'en aucun cas la sortie du circuit N°2 ne peut être perturbée.

Nous avons représenté figure III.10 le schéma équivalent de la configuration étudiée.

On voit sur cette figure que de par la polarité du générateur Vp la diode de protection en entrée du circuit N°2 conduit.

Ce qui a pour effet de limiter la tension en entrée du circuit N°2 à 5.7V, mais aussi de permettre le passage d'un courant dans le transistor de sortie du circuit N°1 entraînant ainsi quand ce courant dépasse Ioh_{max} un changement d'état en Vs1: résultats que l'on retrouve bien sur les courbes de la planche III.10.

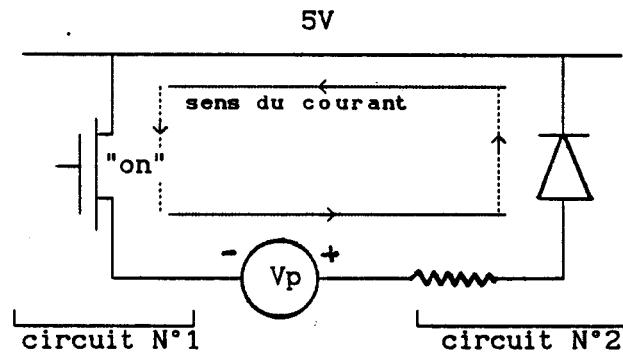


figure III.10

Il est à noter les valeurs de I_{oh} relevées pour chacun des circuits étudiés (-6 mA pour le 74C00 et -50 mA pour le 74HC00) contrastent avec les données typiques constructeur. Ceci s'explique par le fait que les constructeurs ne donnent que le courant minimum que peut fournir le circuit et prennent donc des marges de tolérance très importantes.

En conclusion aucune perturbation ne peut être induite en sortie du circuit N°2 lorsque V_p est positif et l'entrée logique du circuit N°1 est à l'état bas. Par contre dans la configuration de la figure III.7 la sortie du circuit N°3 peut être perturbée.

Sous l'effet de la perturbation induite sur la liaison entre les circuits N°1 et N°2 la tension en sortie du circuit N°1 décroît pouvant provoquer en entrée du circuit N°3 un état logique faux.

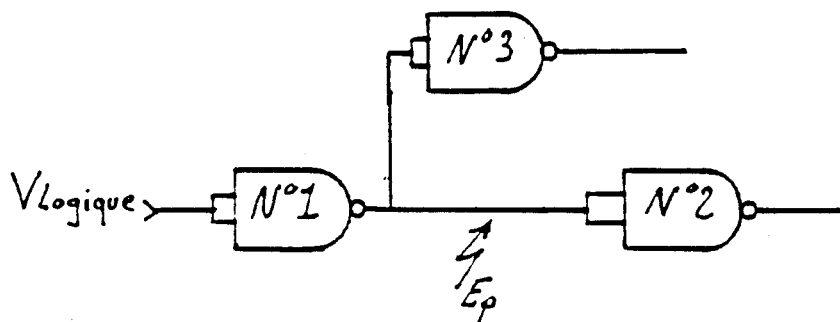


figure III.7

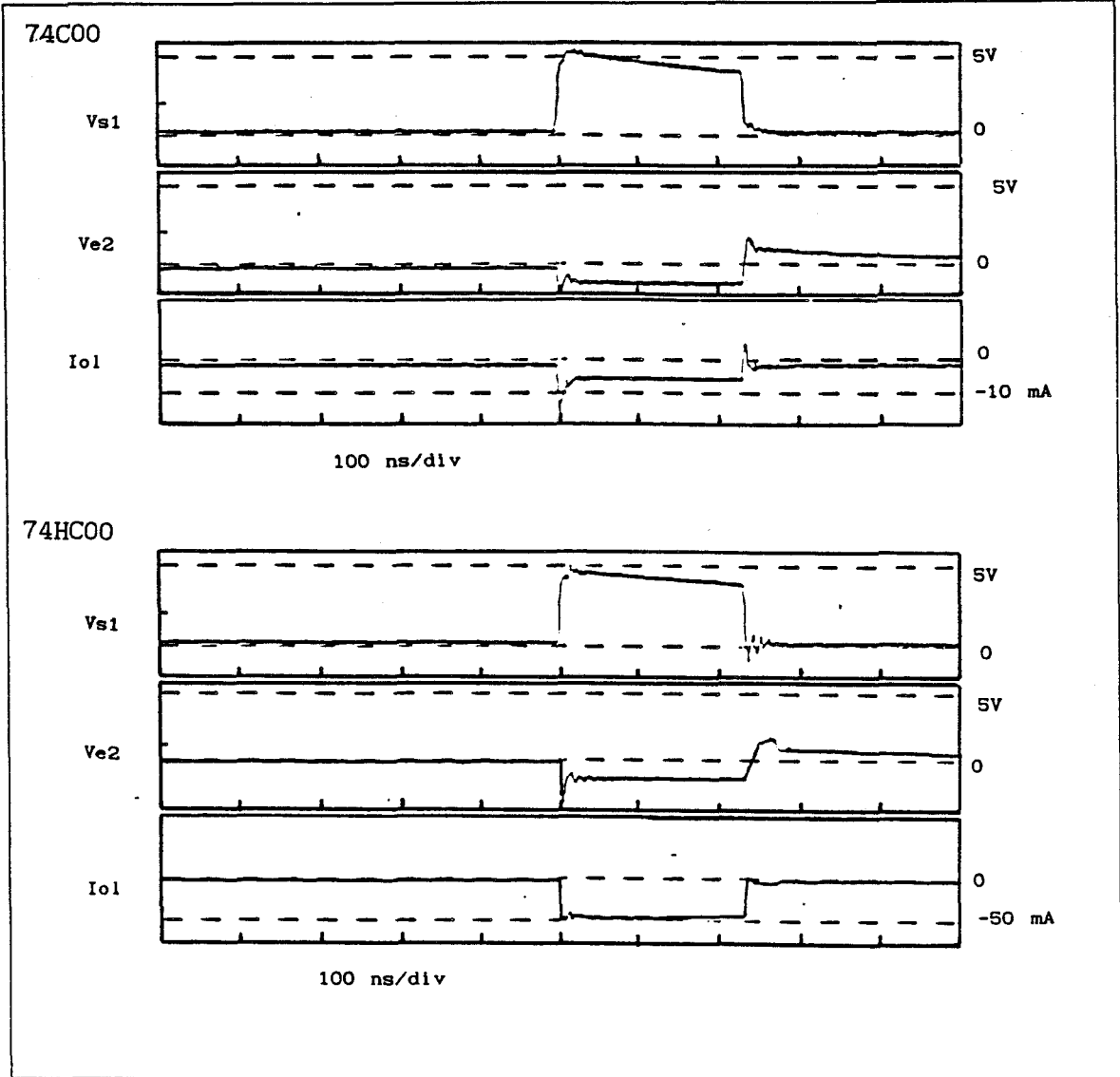


PLANCHE III.11

III.1.4 CAS DES CIRCUITS EN TECHNOLOGIE MOS LORSQUE $V_p < 0$

De même que nous l'avons fait dans le paragraphe précédent nous traiterons simultanément le cas des circuits C MOS et HC MOS.

III.1.4.a $V_{\text{logique}} = 5\text{ V}$

Les signaux de la planche III.11 montrent les évolutions des tensions V_{s1} , V_{e2} et du courant I_{o1} pour chacun des circuits étudiés.

On comprend, étant donnés les signaux obtenus en V_{e2} , que la sortie du circuit N°2 ne peut en aucun cas être perturbée.

Lors de la perturbation, la tension V_{e2} prend une valeur légèrement négative ($\approx -0.8\text{V}$) ce qui montre que la diode de protection en entrée du circuit N°2 conduit.

Nous avons représenté sur le schéma de la figure III.11 le chemin suivi par le courant I_{o1} .

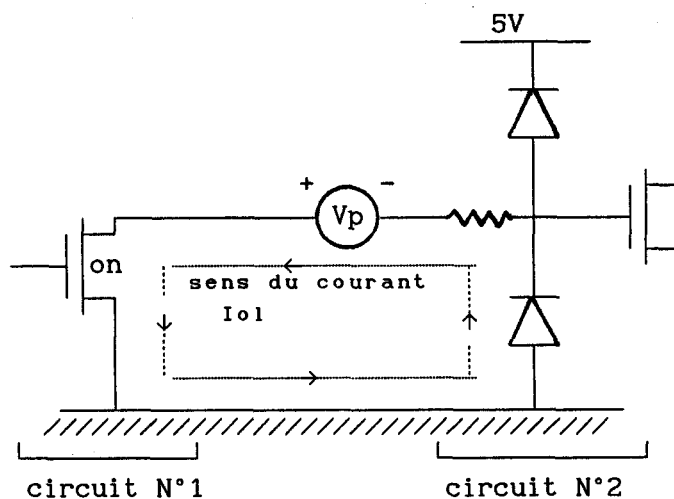
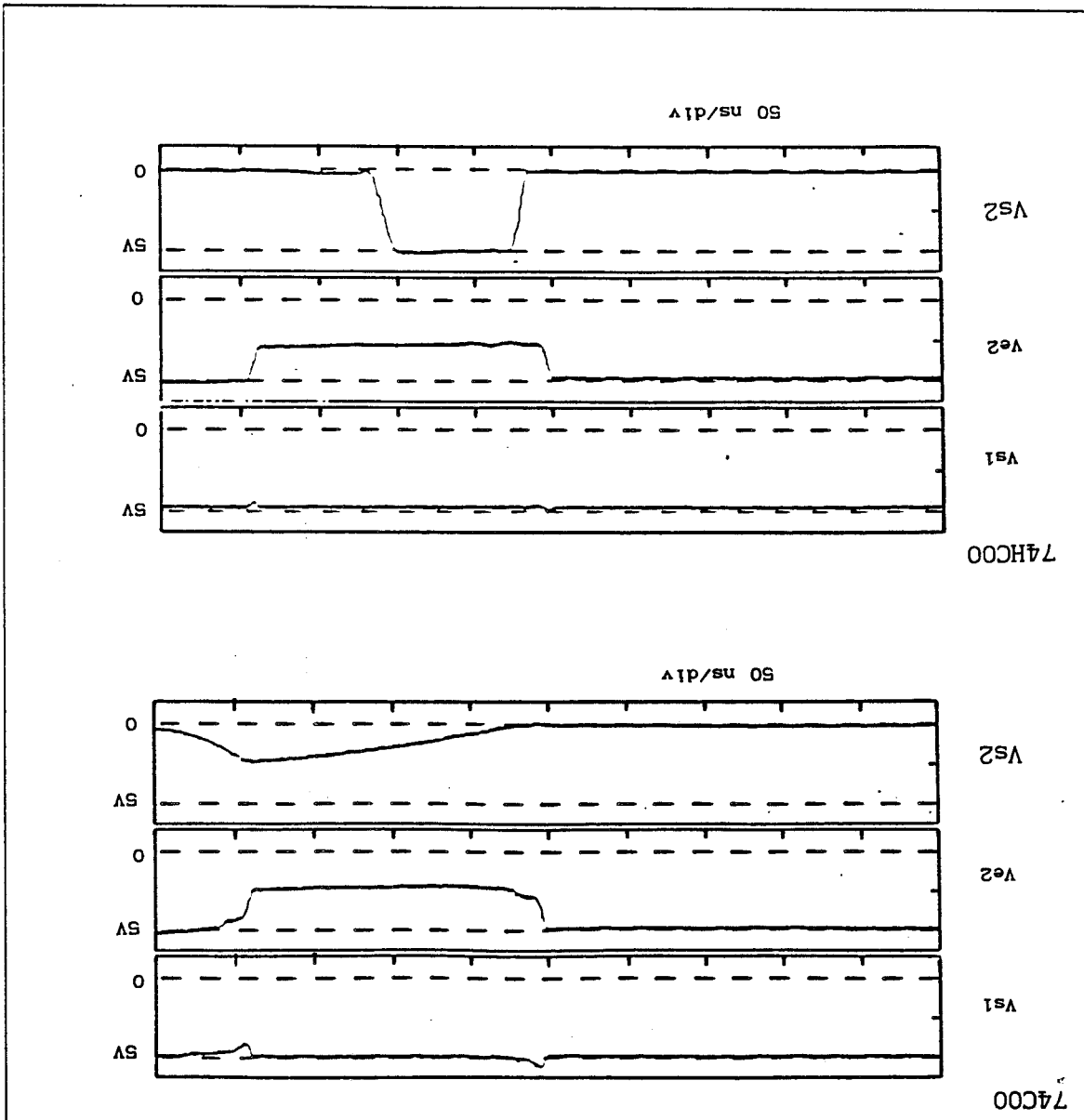


figure III.11

PLANCHE III.12



La sortie du circuit N°1 passe de 0 à 5V pour un courant absorbé de 50 mA pour la HC MOS et 6 mA pour la C MOS (planche III.11).

En conclusion aucune perturbation ne peut être induite en sortie du circuit N°2 lorsque V_p est négatif et L'entrée logique du circuit N°1 est à l'état haut. Par contre dans la configuration de la figure III.7 la sortie du circuit N°3 peut être perturbée.

Sous l'effet de la perturbation induite sur la liaison entre les circuits N°1 et N°2 la tension en sortie du circuit N°1 croit pouvant provoquer en entrée du circuit N°3 un état logique faux.

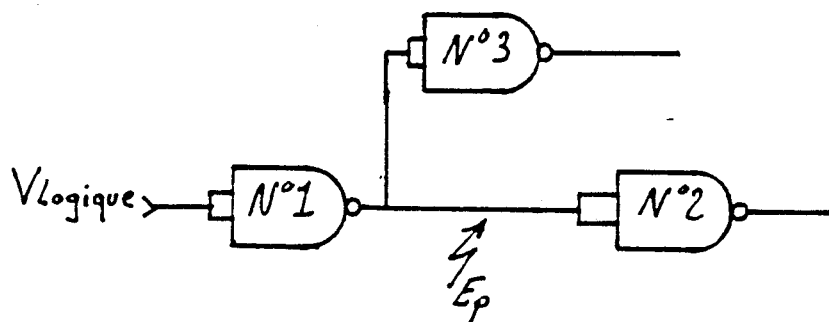


figure III.7

III.1.4.b $V_{\text{logique}} = 0 \text{ V}$

Dans cette configuration (l'entrée logique du circuit N°1 à l'état bas et la tension V_p négative) la sortie du circuit N°2 peut être perturbée comme le montre les oscillogrammes de la planche III.12.

Dans le cas du 74C00 on observe un effet perturbateur pour une tension injectée V_p supérieure à 2.5 V alors que pour le circuit 74HC00 V_p doit être supérieure à 2.1 V

La variation de tension en entrée du second circuit est, quelque soit le circuit considéré, égale à la tension V_p puisque la tension V_{s1} reste égale à 5V.

On voit sur le schéma de la figure III.12 que l'entrée du circuit N°2 offre au transformateur une grande impédance.

Par contre en sortie du circuit N°1 le transistor est conducteur : le potentiel V_{s1} reste égal à la tension d'alimentation.

Ceci a pour conséquence que la variation de tension V_p est intégralement transmise en entrée du circuit N°2.

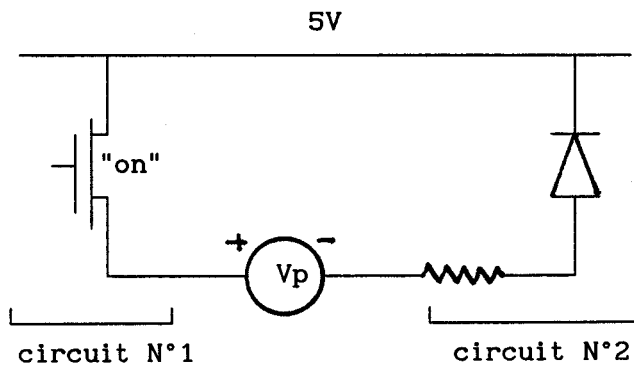


figure III.12

Tout se passe donc comme si on applique en entrée du circuit N°2 un générateur délivrant des impulsions négatives par rapport à la tension 5V.

En conclusion, dans la configuration envisagée ci-dessus, les caractéristiques des signaux nécessaires à l'obtention d'un effet perturbateur sont, tant en amplitude que dans le domaine temporel, directement liées aux caractéristiques données dans les fiches techniques des circuits.

III.1.5 RESUME

Les résultats obtenus peuvent pour la plus part être déduits des données constructeurs, tant en amplitude que dans le domaine temporel.

Le tableau ci-après résume les différents résultats obtenus.

circuit	entrée logique	injection d'une tension positive	injection d'une tension négative
74LS00	0	$V_p > 11V$ ***	$V_p > 4.8 V$
	1	$V_p > 1.4V$	non perturbable
74C00	0	non perturbable	$V_p > 2.5 V$
	1	$V_p > 3V$	non perturbable
74HC00	0	non perturbable	$V_p > 2.1V$
	1	$V_p > 3V$	non perturbable

non perturbable \Rightarrow la sortie du circuit n°2 n'est pas perturbée

*** perturbation non prévisible par les données constructeur.

III.2 PERTURBATIONS PAR INJECTION DE COURANT

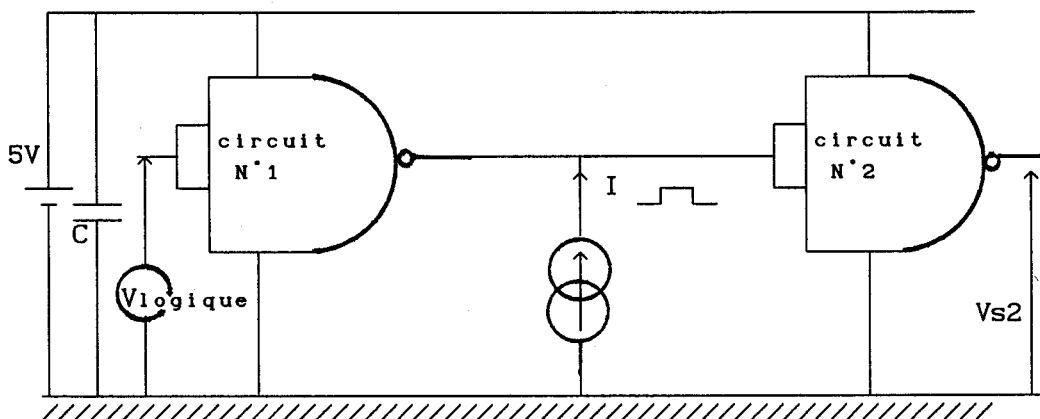


figure III.13

Le générateur de courant I, dont le schéma a été donné au chapitre I, délivre des impulsions de courant d'amplitude et de largeur réglables.

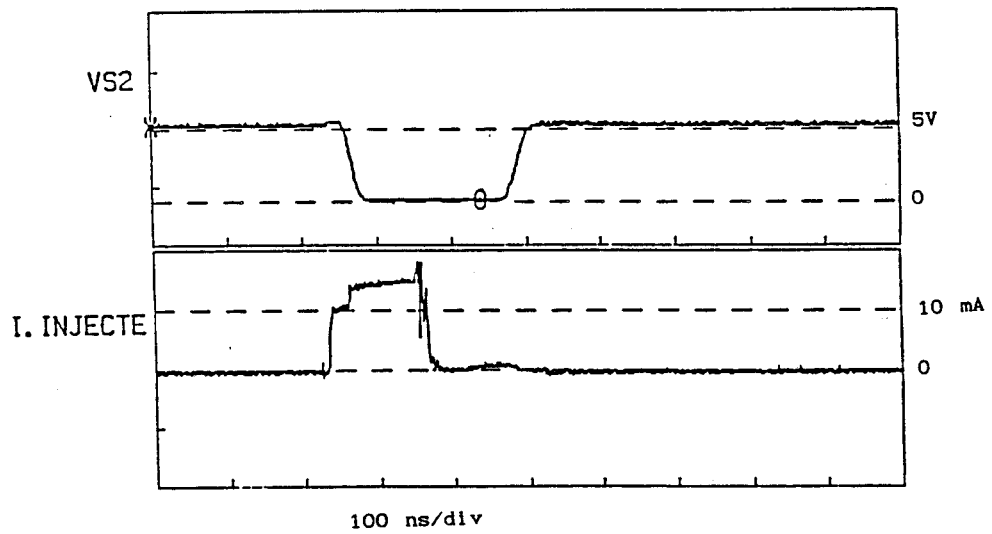
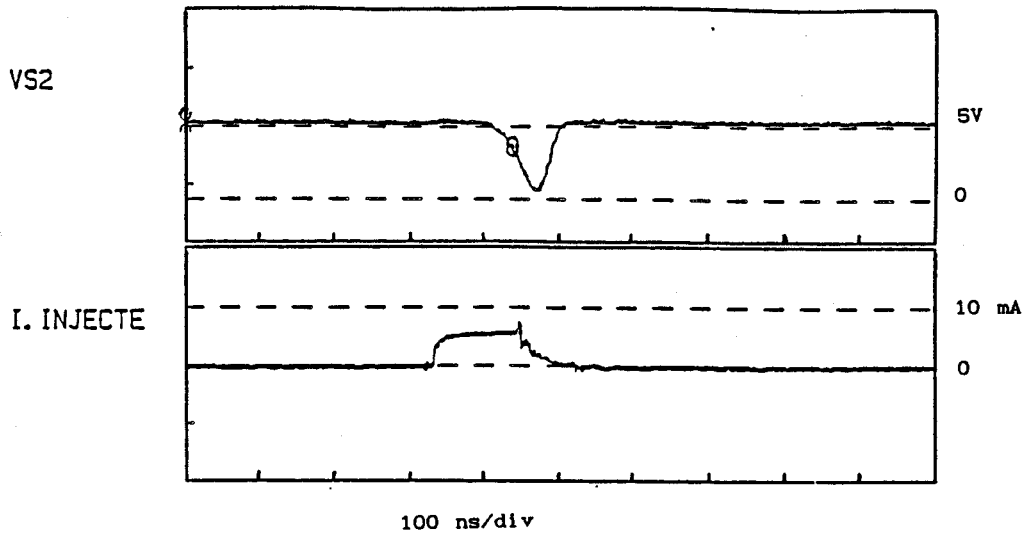


planche III.13

De même que pour les perturbations par injection de tension nous allons étudier les comportements observés en fonction des paramètres suivants :

- technologie des portes considérées.
 - état logique en entrée du circuit N°1
 - polarité
 - largeur
 - amplitude
- | des impulsions de courant injectées

Dans ce paragraphe nous ne nous étendons pas sur l'analyse des résultats obtenus, sauf pour quelques cas exceptionnels, puisque les courants perturbateurs que nous avons relevés se sont révélés être identiques aux courants relevés au paragraphe III.1, qui sont associés à certaines perturbations par injection de tension.

III.2.1 CAS DES CIRCUITS 74C00 LORSQUE $I_p > 0$.

III.2.1.a $V_{\text{logique}} = 5V$

Dans ce cas le NMOS de l'étage de sortie du circuit N°1, qui est passant peut absorber tout ou partie du courant délivré par le perturbateur. Le canal drain-source (de type N) étant créé le courant perturbateur s'écoule du drain vers la source tant que celui-ci reste inférieur au courant I_{olmax} du circuit N°1. Au delà de cette limite le potentiel en sortie du circuit N°1 atteint une tension telle que la sortie du circuit N°2 est perturbée.

Sur la planche III.13 nous avons représenté la tension en sortie du circuit N°2 lorsque le courant injecté est de 6 mA puis 20 mA.

Dans les deux cas la tension V_{s2} passe de 5 à 0 V. Mais lorsque le courant perturbateur est de 20 mA il engendre un effet dont la durée est supérieure à la largeur du perturbateur soit 150 ns.

Aussi afin de comprendre l'origine de ce phénomène de "rallongement du temps" nous avons relevé la tension présente en sortie du circuit N°1 (planche III.14).

La courbe obtenue montre que la tension en sortie du circuit N°1 est, pendant tout le temps où le perturbateur est maintenu, bien supérieure à la tension

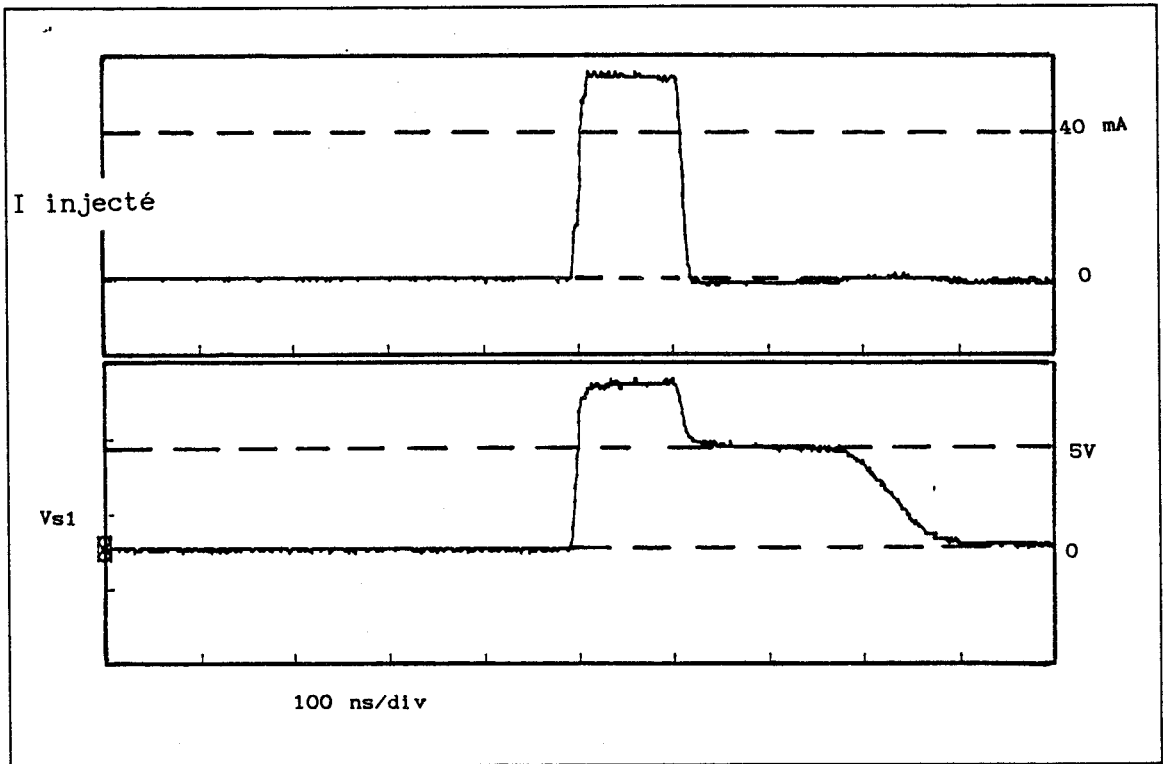
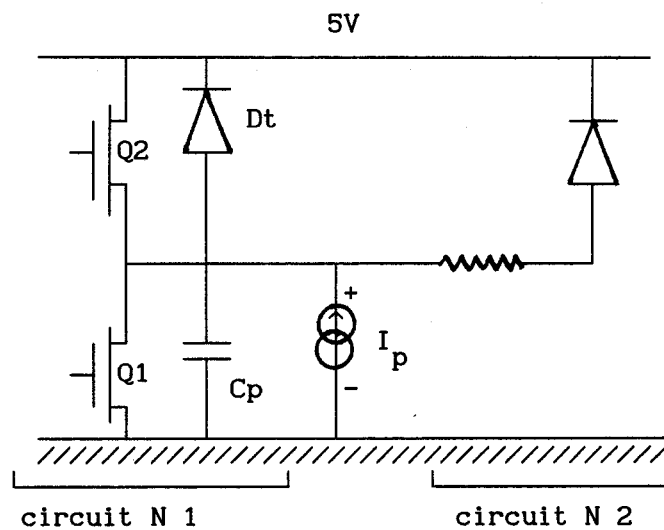


planche III.14

d'alimentation des circuits et qu'ensuite elle ne retrouve l'état logique bas qu'au bout d'un certain laps de temps.

Etant donné le circuit de protection en entrée du circuit N°2 et la diode entre le drain et le substrat du transistor PMOS de l'étage de sortie du circuit N°1 (figure III.14) la tension en ce point ne doit à priori pas excéder la tension d'alimentation de plus de v_d^* .



C_p : somme des différentes capacités parasites du montage

figure III.14

Or sur la courbe de la planche III.14 on observe un excès par rapport à la tension d'alimentation d'environ 1.7V.

Il n'empêche que l'allure de la courbe obtenue peut être imputée à l'effet produit par l'injection d'un courant dans une diode. En effet pour nous en convaincre nous avons tracé planche III.15 la tension mesurée aux bornes d'une simple diode 1N4000 lorsqu'elle est parcourue par un courant de 30mA (figure III.15a) puis cette même caractéristique lorsque l'on connecte une résistance de 220 Ω en parallèle sur la diode (figure III.15b).

* tension de seuil d'une diode

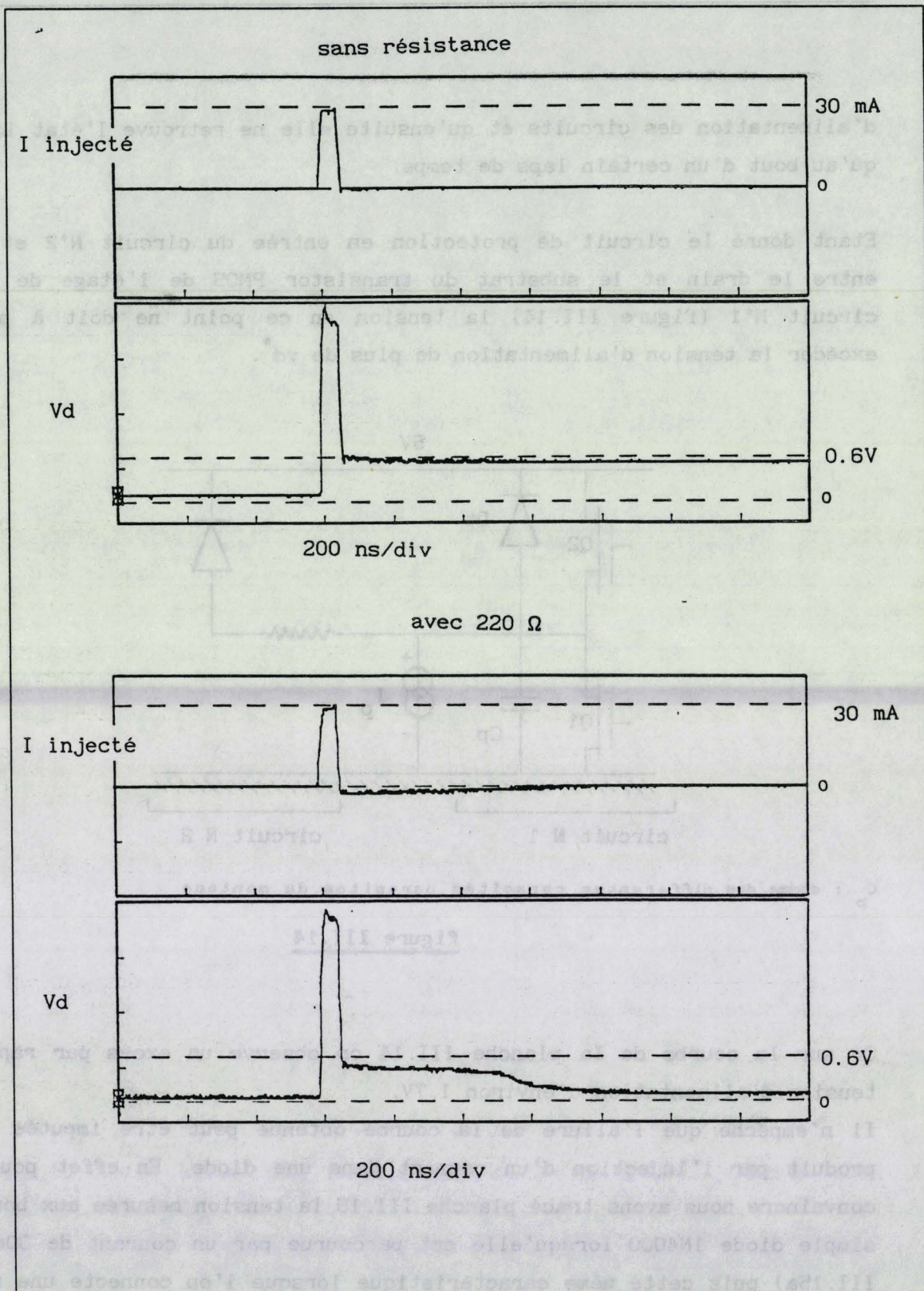


planche III.15

• tension de seuil d'un diode

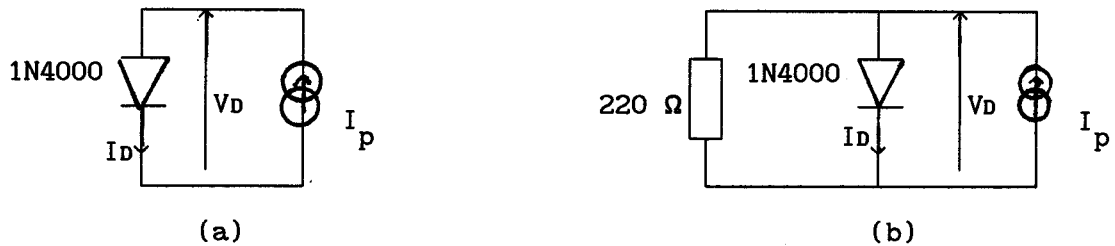


figure III.15

Dans le premier cas la tension V_D aux bornes de la diode passe brutalement sous l'effet du courant injecté de 0 à 2.6V. On a donc une diode dont la tension aux bornes est positive mais qui n'en est pas pour autant dans un régime de fonctionnement normal puisque la tension à ses bornes est différente de v_D^* .

Lorsque l'on supprime l'injection de courant la tension aux bornes de la diode ne reprend pas instantanément une valeur nulle. En effet celle-ci ne peut être atteinte que lorsque la charge initialement stockée dans la jonction (lors de l'injection de courant) est complètement évacuée par le courant inverse de celle-ci.

Le temps (τ_r) mis pour retrouver l'état de blocage de la diode est appelé temps de recouvrement et a pour expression [8]:

$$\tau_r = \gamma \frac{I_{\text{direct}}}{I_{\text{inverse de la diode}}} \quad (\gamma: \text{temps de transit des porteurs})$$

De plus il est nécessaire que la charge stockée par les différentes capacités parasites soit évacuée pour que la tension au point de mesure redevienne nulle. Or dans le cas où l'injection se fait sur une diode seule, aucun élément ne permet cette évacuation de charges.

Par contre lorsque l'on place une résistance en parallèle sur la diode on voit clairement apparaître les deux phases précédemment citées à savoir :

- le temps de recouvrement de la diode
- la décharge des différentes capacités

* v_D tension de seuil d'une diode

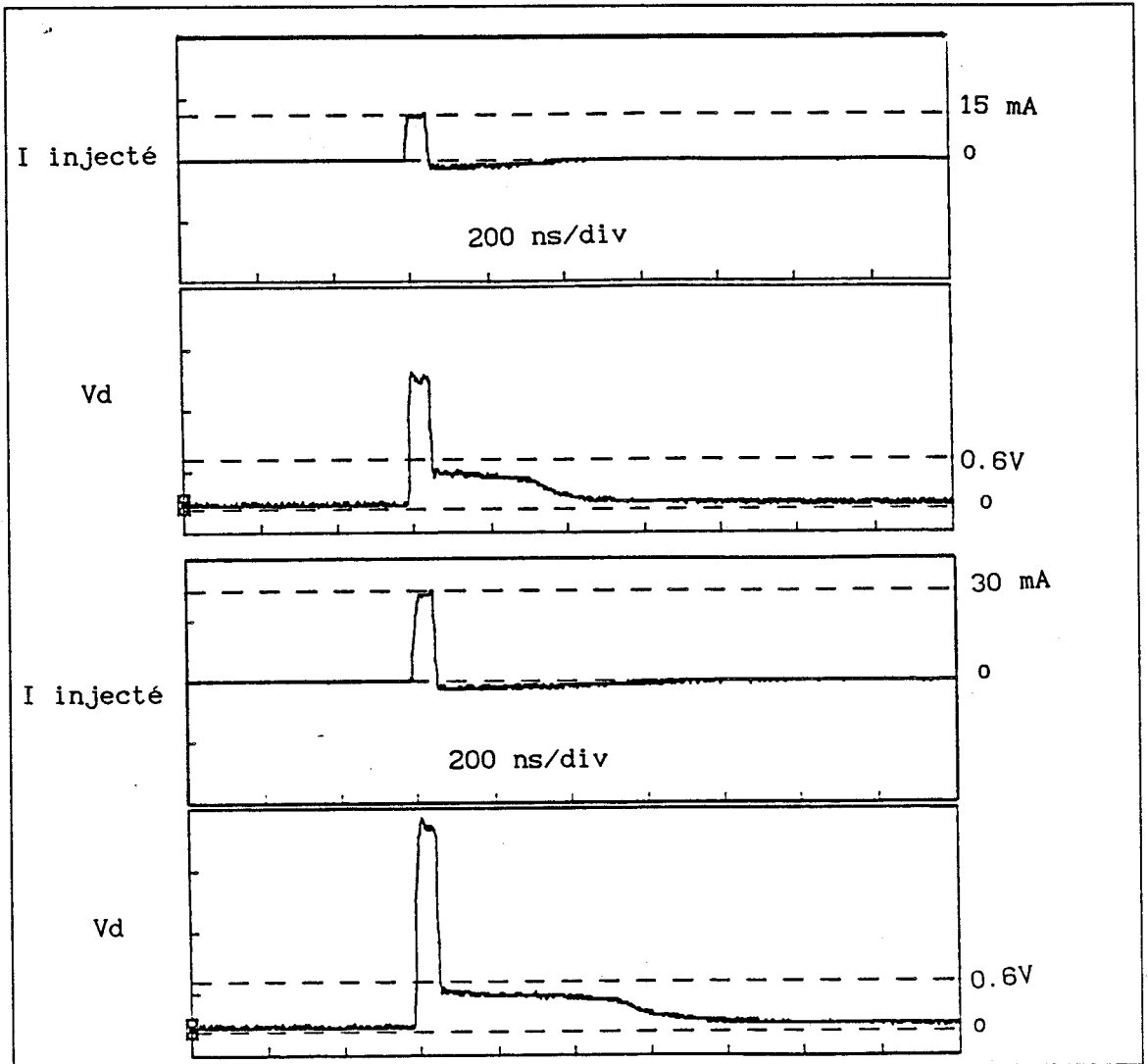


planche III.16

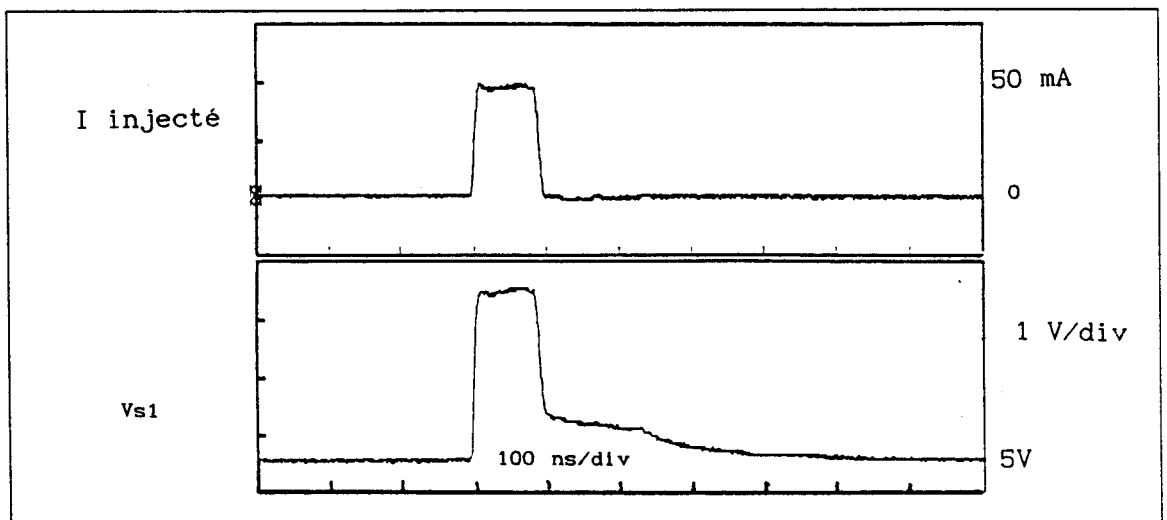


planche III.17

Dans le cas de la courbe associée à la figure III.15b (planche III.15) on distingue parfaitement les deux phénomènes.

On retrouve en pratique la proportionalité entre le temps de recouvrement et le courant direct dans la diode (planche III.16).

On peut donc dire au vu des signaux relevés en sortie du circuit N°1 que tout se passe comme si l'excédent de courant perturbateur (différence entre le courant que peut absorber le NMOS du circuit N°1 et le courant perturbateur) est injecté dans une diode.

Pour affiner encore notre analyse nous avons relevé la tension en sortie du circuit N°1, le circuit N°2 étant déconnecté.

On constate alors que l'allure de la tension reste la même que lorsque le circuit N°2 était présent, ce qui nous permet d'attribuer la cause du phénomène de "rallongement du temps" aux éléments parasites de l'étage de sortie du circuit N°1 et plus particulièrement à la diode de technologie entre la sortie et la borne +Vcc de celui-ci.

En conclusion lorsque le courant injecté est supérieur au courant I_{olmax} du circuit N°1 "l'excès" de courant provoque une accumulation de charges dans les jonctions constituant le circuit ce qui entraîne une prolongation de l'effet perturbateur et rend les circuits sensibles à des perturbations dont la durée peut être inférieure au temps de propagation du circuit.

III.2.1.b $V_{\text{logique}} = 0V$

Dans ce cas l'effet rencontré précédemment, lié à l'accumulation de charges dans des diodes et des capacités existe toujours (planche III.17) mais ne provoque pas de perturbation en sortie du circuit N°2, En effet le perturbateur a pour seul effet de confirmer l'état logique en entrée de ce circuit.

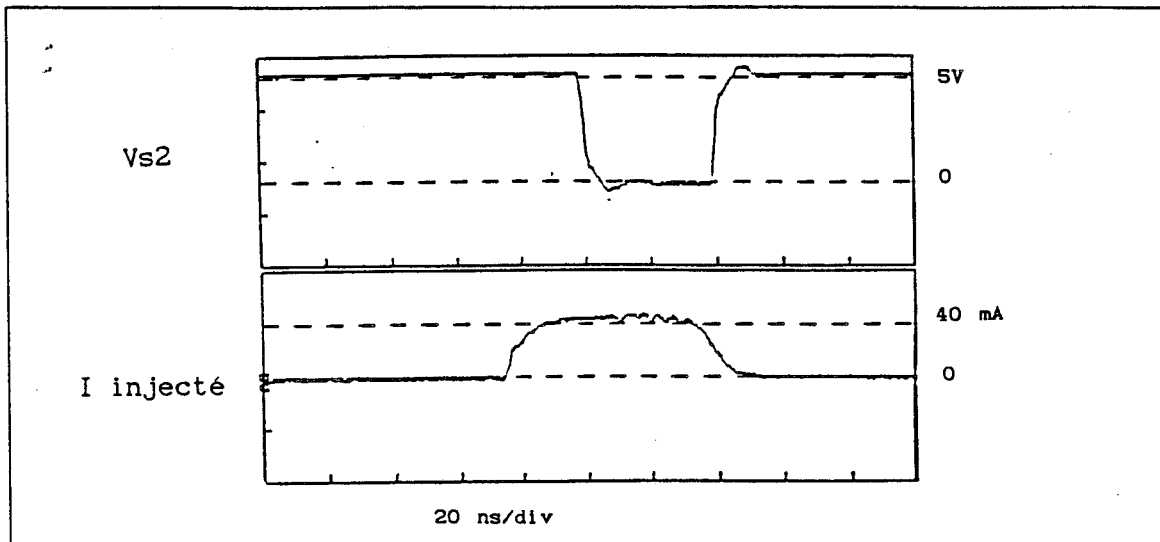


planche III.18

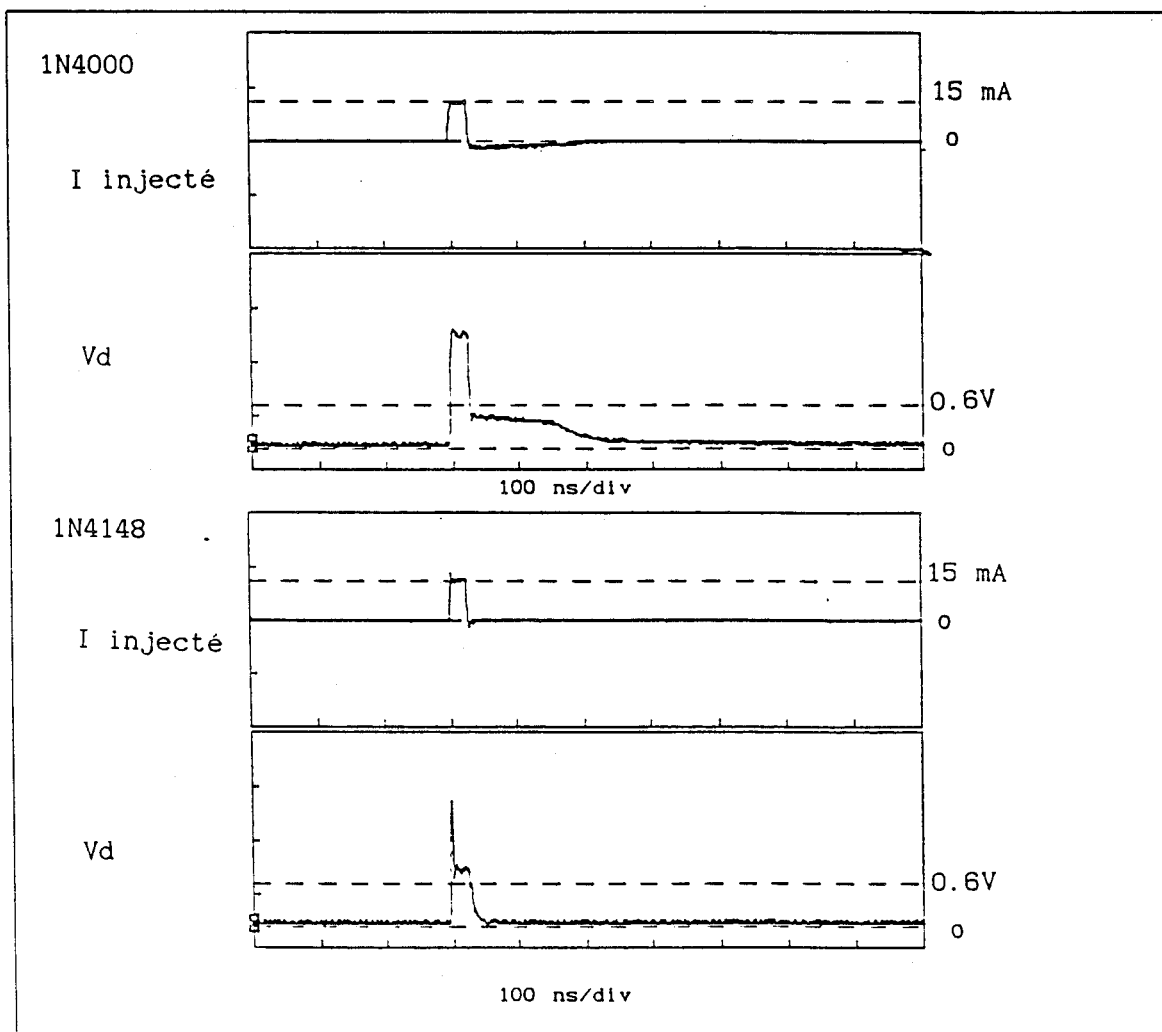


planche III.19

III.2.2 CAS DES CIRCUITS 74HC00 LORSQUE $I_p > 0$.

III.2.2.a $V_{\text{logique}} = 5V$

Etant donné que la structure des portes 74HC00 est très proche de celle des circuits 74C00 on pourrait à priori reprendre mot pour mot l'analyse que nous venons de faire pour les circuits 74C00.

Si cette configuration est également perturbable comme le montre la planche III.18 nous n'avons pu mettre en évidence le phénomène de "rallongement du temps" observé sur les circuits 74C00.

Ceci peut s'expliquer par le fait qu'une porte HCMOS ne présente certainement pas des paramètres technologiques de même caractéristiques que son homologue CMOS. En effet le gain en rapidité a été obtenu grâce à une réduction des largeurs de grilles des transistors constituant le circuit HCMOS ce qui entraîne un changement des dimensions des éléments parasites de substrat et donc naturellement une modification des caractéristiques électriques de ceux-ci vis à vis de ceux rencontrés sur les circuits 74C00.

En effet pour illustrer notre propos nous avons tracé planche III.19 les évolutions des tensions aux bornes des diodes 1N4000 et 1N4148 lorsqu'elle sont soumises à une même injection de courant.

On observe que dans le cas d'une diode dite rapide (1N4148) le générateur de courant dont nous disposons ne permet pas de mettre en évidence le temps de recouvrement de celle-ci.

N'ayant pas accès aux caractéristiques des éléments parasites des circuits intégrés nous pouvons penser que, dans le cas d'un circuit HCMOS, les caractéristiques temporelles de ceux-ci sont telles que nous n'avons pas pu mettre en évidence des effets analogues à ceux rencontrés sur les circuits CMOS.

Quoiqu'il en soit nous avons mis en évidence planche III.18 que la configuration étudiée est perturbable lorsque le courant perturbateur est supérieur au courant I_{olmax} du circuit 74HC00. Dans notre cas nous avons obtenu un effet perturbateur pour un courant de 45mA.

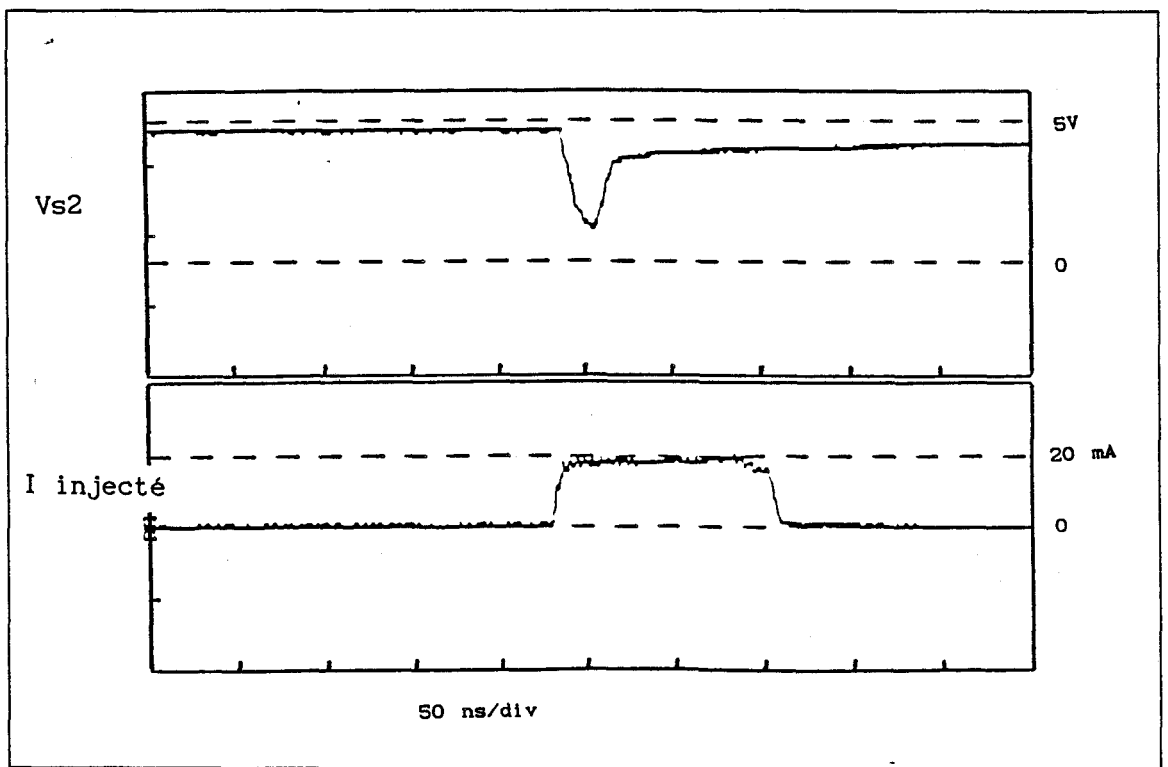


planche III.20

III.2.2.b $V_{\text{logique}} = 0V$

Comme pour le circuit 74C00 aucune perturbation ne peut apparaitre en sortie du circuit N°2 puisque le courant perturbateur a pour seul effet d'entraîner une hausse de la tension en sortie du circuit N°1 qui vient confirmer l'état logique initialement présent.

III.2.3 CAS DES CIRCUITS 74LS00 LORSQUE $I_p > 0$.

III.2.3.a $V_{\text{logique}} = 5V$

Dans cette configuration la tension en sortie du circuit N°1 est quasiment nulle. Le perturbateur injecte donc un courant sur le collecteur du transistor de sortie de la première porte, qui est saturé.

Lorsque l'amplitude du perturbateur est supérieure au courant I_{olmax} du circuit la tension au point d'injection s'élève et ne garantit plus un état bas en entrée de la seconde porte, d'où la possibilité d'un état logique erroné en sortie de celle-ci.

En pratique nous avons relevé l'apparition d'un effet perturbateur pour un courant de 20 mA (planche III.20).

III.2.3.b $V_{\text{logique}} = 0V$

Nous avons montré dans le chapitre II que la sortie du circuit N°1 est capable d'absorber un courant via un élément non linéaire du type diode présent entre la sortie et la borne +Vcc du circuit.

Le courant perturbateur n'a alors d'autre effet que de venir confirmer le niveau logique 1 en entrée du second circuit, ce qui justifie la non vulnérabilité de cette configuration.

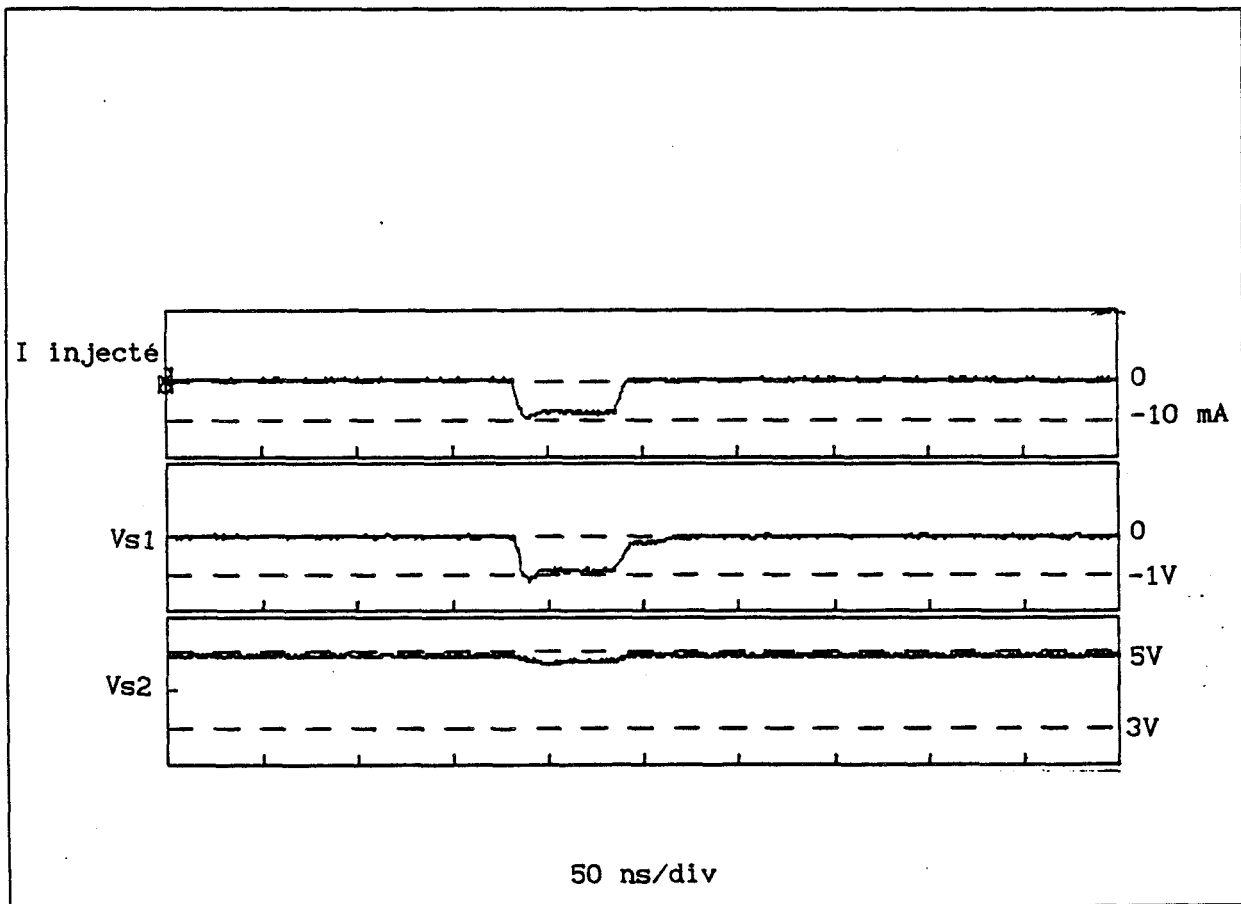


PLANCHE III.21

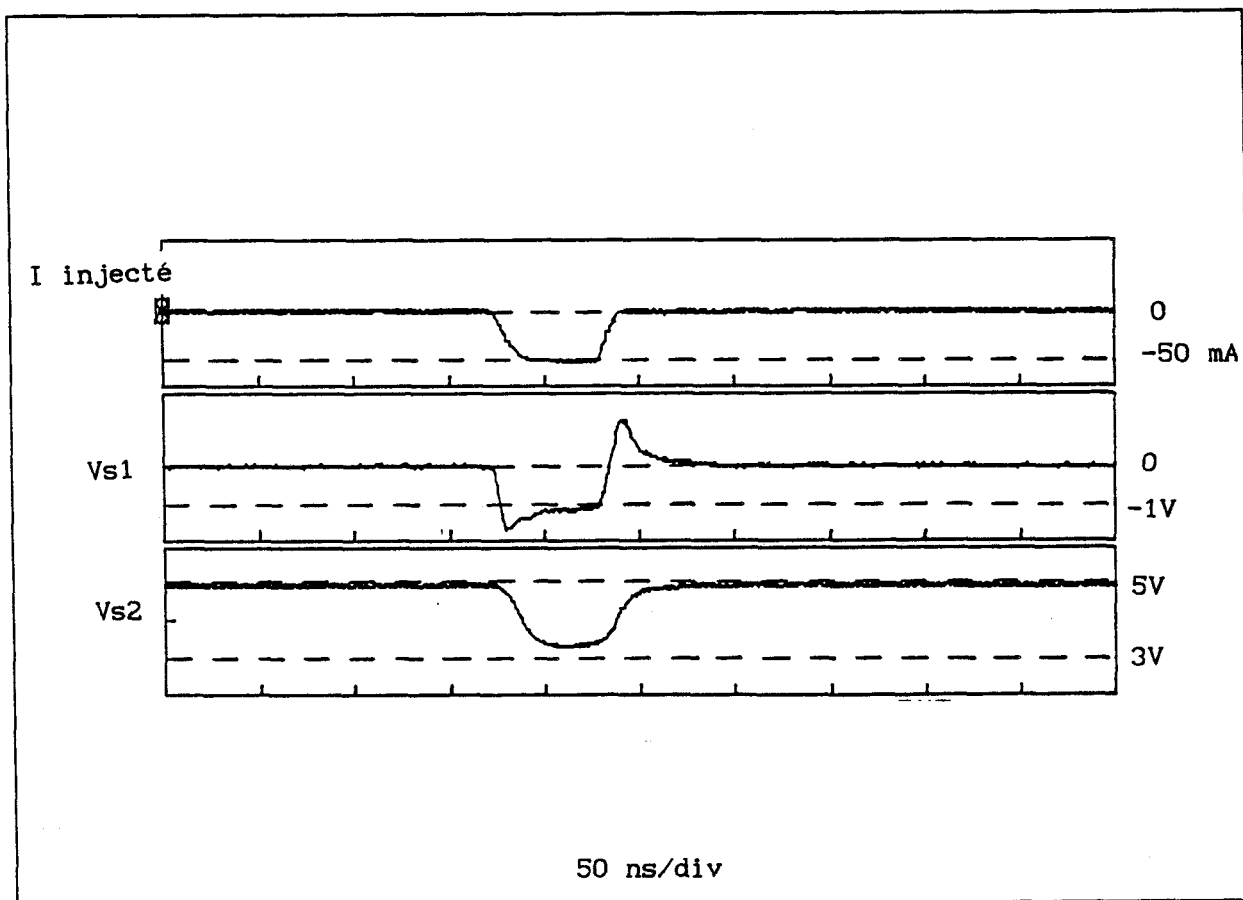


PLANCHE III.22

III.2.4 CAS DES CIRCUITS 74C00 LORSQUE $I_p < 0$.

III.2.4.a $V_{\text{logique}} = 5V$

Compte tenu de la structure symétrique de l'étage de sortie des circuits CMOS, cette configuration lorsque l'on respecte les limites données par le constructeur, est duale de celle où V_{logique} est égal à 0V et I_p est positif.

En effet dans le cas où le courant perturbateur reste inférieur à 6mA on ne relève pas non plus de perturbation en sortie du circuit N°2, en effet le NMOS en sortie du circuit N°1 est passant et est capable d'absorber le courant délivré par le perturbateur. Ce qui a pour conséquence que la tension en sortie du circuit N°1 ne varie quasiment pas, et que aucune perturbation n'apparaît en sortie du circuit N°2.

Une telle configuration est illustrée sur la planche III.21 où nous avons relevé la tension en sortie du circuit N°2 lorsque le courant injecté est de 9mA.

Mais lorsque le courant perturbateur devient important en regard des données constructeur, à savoir qu'il entraîne une chute de la tension en sortie du circuit N°1 telle que celle-ci est inférieure à -0.3V, des perturbations apparaissent. En préconisant de ne pas sortir de la gamme -0.3, V_{cc} +0.3V le constructeur se prémunit contre un possible effet thyristor (latch-up) [9] au sein du substrat sur lequel est réalisé le circuit.

Une illustration en est donnée planche III.22, où nous avons relevé en sortie du circuit N°2 une perturbation du niveau logique normal (5V) alors que le courant perturbateur est de 50mA.

III.2.4.b $V_{\text{logique}} = 0V$

Dans ce cas le PMOS de l'étage de sortie du circuit N°1 permet l'absorption du courant perturbateur tant que celui-ci reste inférieur au I_{olmax} , au delà la tension en sortie de ce circuit chute et entraîne l'apparition d'un faux état logique en sortie du circuit N°2.

Sur la planche III.23 nous présentons l'allure du signal en sortie du second

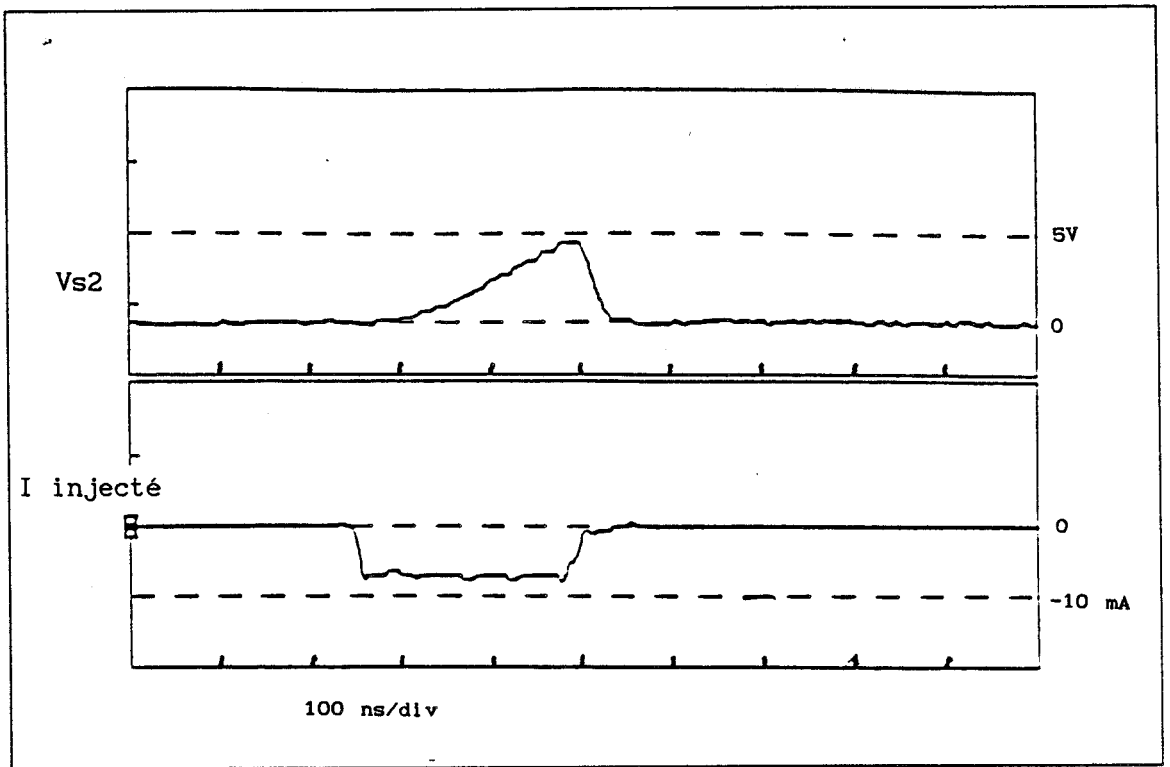


planche III.23

circuit lorsque le courant injecté est de 8mA. En deçà de cette amplitude le perturbateur n'a pas d'effet sur le niveau logique de sortie.

III.2.5 CAS DES CIRCUITS 74HC00 LORSQUE $I_p < 0$.

Pour cette famille technologique les phénomènes rencontrés sont, hormis celui d'effet thyristor, en tout point identiques à ceux rencontrés pour la famille 74C, seules les amplitudes des courants nécessaires à l'apparition d'un faux état logique différent.

Lorsque l'entrée logique est à 0 Volt le courant minimum qui provoque un effet perturbateur est de 50mA alors qu'il n'est que de 6mA pour la famille 74C.

Quant à l'effet perturbateur, obtenu lorsque l'entrée logique du circuit 74C00 est à 5 Volt et que nous avons attribué à un probable effet thyristor, il n'a pu être mis en évidence sur les circuits 74HC00.

III.2.6 CAS DES CIRCUITS 74LS00 LORSQUE $I_p < 0$.

III.2.6.a $V_{\text{logique}} = 5V$

Nous avons représenté sur la figure III.16 le schéma simplifié de la configuration étudiée.

On comprend étant donnée la polarité du générateur de courant I_p que la diode D2 initialement passante ne peut que le rester interdisant de ce fait le changement d'état logique en sortie du circuit N°2.

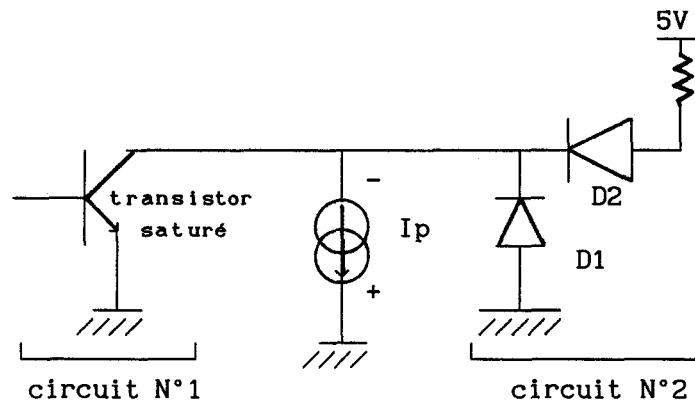


figure III.16

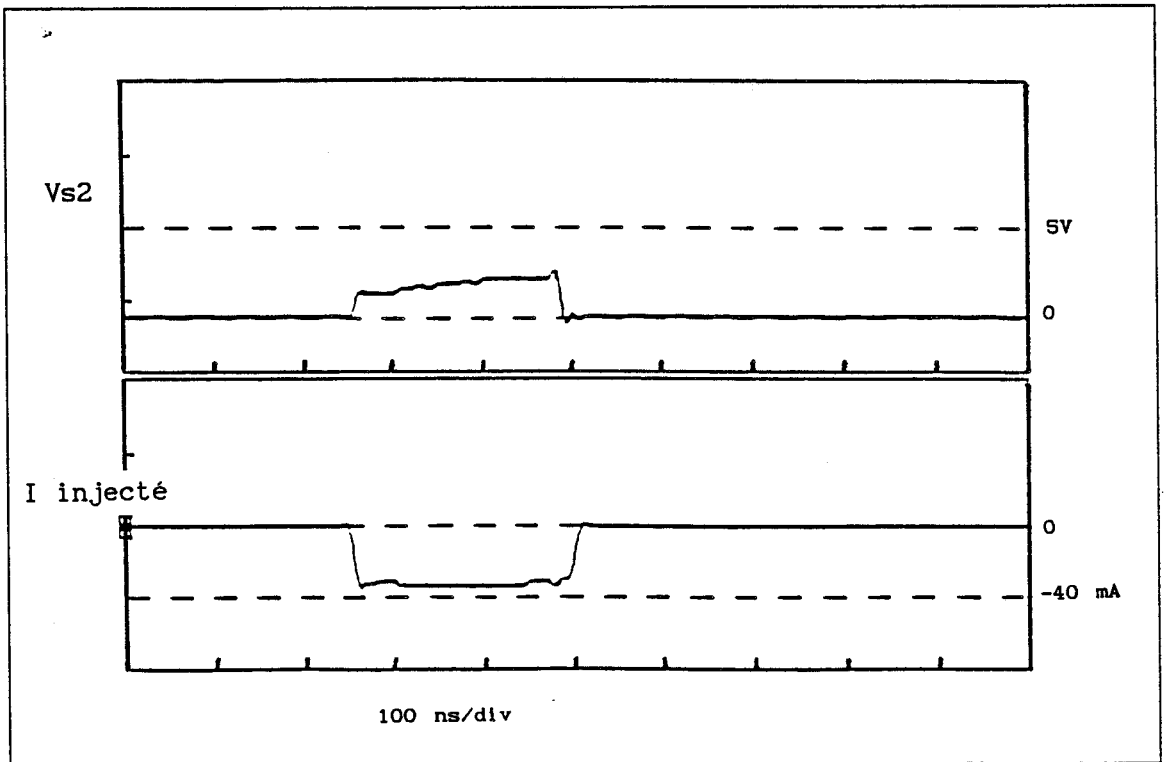


planche III.24

III.2.6.b $V_{\text{logique}} = 0V$

En régime normal de fonctionnement la diode D2 est bloquée et l'alimentation du circuit N°2 fournit le courant nécessaire à la saturation du transistor de sortie de cette porte.

Lorsque le perturbateur est connecté la diode D2 devient passante et dérive le courant nécessaire au maintien de l'état logique bas en sortie, d'où perturbation.

Nous avons relevé planche III.24 la tension en sortie du circuit N°2 lorsque le courant perturbateur a une amplitude de 35mA.

III.2.7 RESUME

Nous avons rassemblé dans le tableau ci-dessous les différents résultats obtenus. Nous avons précisé sur ce dernier les configurations perturbables qui ne peuvent pas être directement déduites des données constructeur.

circuit	entrée logique	injection d'un courant positif	injection d'un courant négatif
74LS00	0	non perturbable	$I > 35 \text{ mA}$
	1	$I > 20 \text{ mA}$	Non perturbable
74C00	0	non perturbable	$I > 6 \text{ mA}$
	1	$I > 6 \text{ mA} * * *$	$I > 50 \text{ mA} * *$
74HC00	0	non perturbable	$I > 50 \text{ mA}$
	1	$I > 42 \text{ mA}$	non perturbable

non perturbable \Rightarrow la sortie du circuit N°2 n'est pas perturbée

* * : perturbation due aux éléments parasites de substrat (latch-up)

* * * : une perturbation dont la durée est inférieure au temps de propagation du circuit peut entraîner l'apparition d'un état logique erroné (phénomène de rallongement du temps)

CONCLUSION

Des expériences pratiquées sur chaque version technologique de la porte NAND, il apparaît que les anomalies observées sur les états logiques de sortie sont étroitement corrélées au couple polarité du perturbateur nature de l'état logique présent en entrée.

Qu'il s'agisse d'une injection de tension ou de courant sur la connexion sortie-entrée, certaines combinaisons de polarité et d'état sont sans effet alors que d'autres sont facilement identifiables par une anomalie en sortie du circuit N°2.

Il est apparu que les seuils de tolérance mesurés en injection de tension sont ceux prévus sur les caractéristiques techniques communiquées sur le descriptif du composant. Dans le cas des perturbations par injection de courant les seuils de sensibilité des composants sont obtenus pour des amplitudes de courant beaucoup plus élevées que celles données dans les fiches techniques des circuits.

Par contre nous avons mis en évidence qu'une perturbation dont la durée est inférieure au temps de propagation de la porte pouvait, dans certaines configurations, engendrer un état logique erroné en sortie du circuit N°2. Les caractéristiques temporelles données dans les fiches techniques des circuits ne suffisent donc pas pour prédire le comportement de ceux-ci lorsqu'ils sont soumis à des perturbations électromagnétiques sur leurs ports d'entrées ou de sorties.

CHAPITRE IV

INTRODUCTION

Dans les deux chapitres précédents nous avons étudié le comportement des circuits intégrés logiques en régime statique lorsqu'ils sont soumis à des perturbations électromagnétiques, celles-ci étant produites à l'aide de générateurs de tension ou de courant.

Ces générateurs qui trouvent leur justification dans la modélisation des phénomènes de couplage présentaient l'avantage de faciliter l'interprétation des phénomènes observés.

Dans le cas de l'étude de circuits en régime dynamique l'utilisation de ces générateurs devient beaucoup plus délicate et perd de son intérêt.

Comme nous l'avons dit dans le premier chapitre une méthode classique pour engendrer des perturbations sur une liaison filaire consiste en l'utilisation d'un système de lignes couplées qui à défaut de permettre une interprétation rapide des phénomènes observés a l'avantage d'être parfaitement réaliste en regard des mécanismes perturbateurs rencontrés en pratique et de ne pas poser de problèmes particuliers sur le plan expérimental quant à l'étude des perturbations des circuits intégrés en régime dynamique.

Par contre comme nous venons de le dire l'analyse des résultats obtenus avec ce moyen de test n'est pas toujours très aisée d'autant qu'on ne dispose pas toujours de formules analytiques traduisant le comportement d'un tel système.

En effet si on sait moyennant quelques approximations calculer les tensions et courants à chaque extrémité des lignes lorsque les composants qui y sont connectés sont linéaires, il n'en va pas de même lorsque ces derniers sont constitués d'éléments non linéaires ou encore lorsque chacune des deux lignes est connectée à un générateur.

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

C'est pourquoi nous avons développé au laboratoire un logiciel utilisant une méthode de résolution directe dans le domaine temporel, basée sur la méthode des caractéristiques [10] qui permet le calcul des tension et courant le long des lignes et ceci même lorsque les circuits connectés aux extrémités sont régis par des fonctionnements non linéaires.

Après une brève description du système à lignes couplées nous présentons dans ce chapitre quelques résultats de simulations qui permettent en les comparant à des résultats expérimentaux ainsi qu'à des résultats issus de formules analytiques approchées quand cela est possible, de valider notre outil.

Nous présentons ensuite quelques courbes qui illustrent les différentes possibilités du logiciel notamment lorsque les lignes sont connectées à des éléments non linéaires ou que chacune des lignes est connectée à un générateur. Nous abordons enfin les limites du logiciel qui sont imposées par la méthode de résolution numérique choisie.

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

IV.1 LE DISPOSITIF DE PERTURBATION A LIGNES COUPLEES : DESCRIPTION

Nous avons représenté figure IV.1 le schéma de principe du système à lignes couplées.

La ligne N1 dite ligne "perturbatrice", reliée à un générateur de force électromotrice E_p et d'impédance interne Z_{in} , est couplée par proximité à la ligne N2 dite perturbée sur laquelle peuvent transiter des signaux logiques.

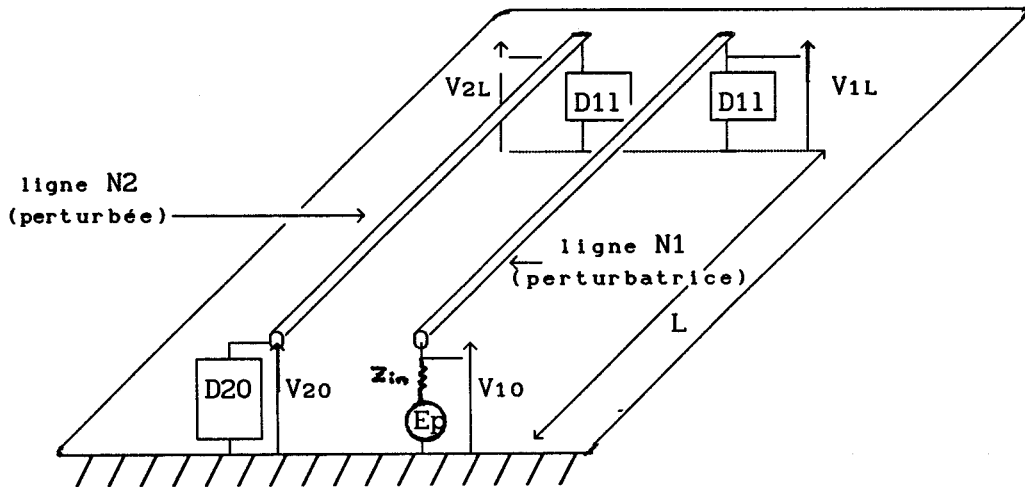


figure IV.1

Le système est caractérisé par les paramètres linéiques $l11$, $c11$, $l22$, $c22$, $l12$ et $c12$ définis conformément aux notations du système d'équations aux lignes couplées IV.1.

$$\left\{ \begin{array}{l} -\frac{\partial V_1}{\partial x} = l11 \frac{\partial I_1}{\partial t} + l12 \frac{\partial I_2}{\partial t} \\ -\frac{\partial V_2}{\partial x} = l12 \frac{\partial I_1}{\partial t} + l22 \frac{\partial I_2}{\partial t} \\ -\frac{\partial I_1}{\partial x} = c11 \frac{\partial V_1}{\partial t} - c12 \frac{\partial V_2}{\partial t} \\ -\frac{\partial I_2}{\partial x} = -c12 \frac{\partial V_1}{\partial t} + c22 \frac{\partial V_2}{\partial t} \end{array} \right. \quad (IV.1)$$

I_1 , I_2 , V_1 et V_2 sont les tensions et courants sur chacune des lignes.

Quant aux dipôles $D11$, $D20$ et $D21$ ils peuvent être constitués d'éléments passifs, linéaires ou non, ou de générateurs.

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

Dans la suite nous représenterons le système aux lignes couplées par le schéma de la figure IV.2.

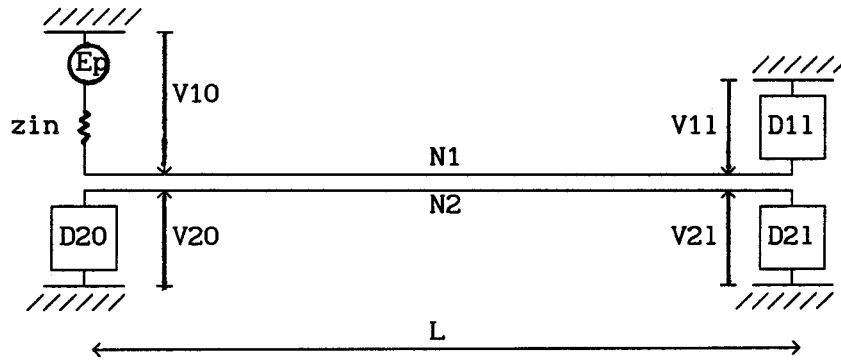


figure IV.2

IV.2 VALIDATION DU LOGICIEL DE SIMULATION : ETUDE DE QUELQUES CAS SIMPLES

IV.2.1 CAS DU COUPLAGE FAIBLE [11]

l'hypothèse simplificatrice du couplage faible :

La résolution analytique du système d'équations aux lignes couplées est très compliquée dans le cas général.

Dans l'approximation du couplage faible on suppose que l'énergie induite sur la ligne N2 est faible comparée à l'énergie véhiculée par la ligne émettrice.

Le système IV.1 peut alors s'écrire comme suit :

$$\left\{ \begin{array}{l} - \frac{\partial V_1}{\partial x} = l_{11} \frac{\partial I_1}{\partial t} \\ - \frac{\partial V_2}{\partial x} = l_{12} \frac{\partial I_1}{\partial t} + l_{22} \frac{\partial I_2}{\partial t} \\ - \frac{\partial I_1}{\partial x} = c_{11} \frac{\partial V_1}{\partial t} \\ - \frac{\partial I_2}{\partial x} = -c_{12} \frac{\partial V_1}{\partial t} + c_{22} \frac{\partial V_2}{\partial t} \end{array} \right. \quad (IV.2)$$

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

En ce qui nous concerne nous ne reprendrons pas les calculs qui conduisent à la résolution de ce système, ceux-ci étant largement développés dans le livre de J.P VABRE [11]. Nous signalons simplement qu'ils basés sur l'utilisation de la transformation de Laplace

Cas de deux lignes identiques adaptées :

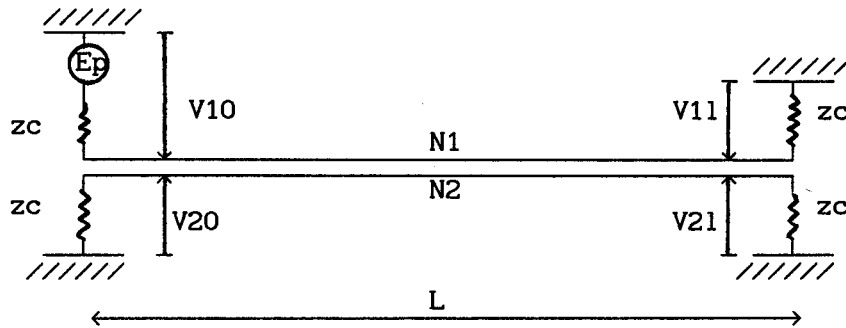


figure IV.2

L'impédance caractéristique Z_c est donnée par la formule approchée :

$$Z_c = \sqrt{\frac{L_{xx}}{C_{xx}}} \quad (IV.3)$$

Précisons que les deux lignes étant identiques les paramètres linéiques sur chacune d'entre elles sont égaux, nous les avons notes L_{xx} et C_{xx} .

Les calculs développés dans le cadre de l'approximation du couplage faible permettent de tracer lorsque le générateur E_p délivre un échelon de tension de temps de montée τ_m , les chronogrammes de la figure IV.3.

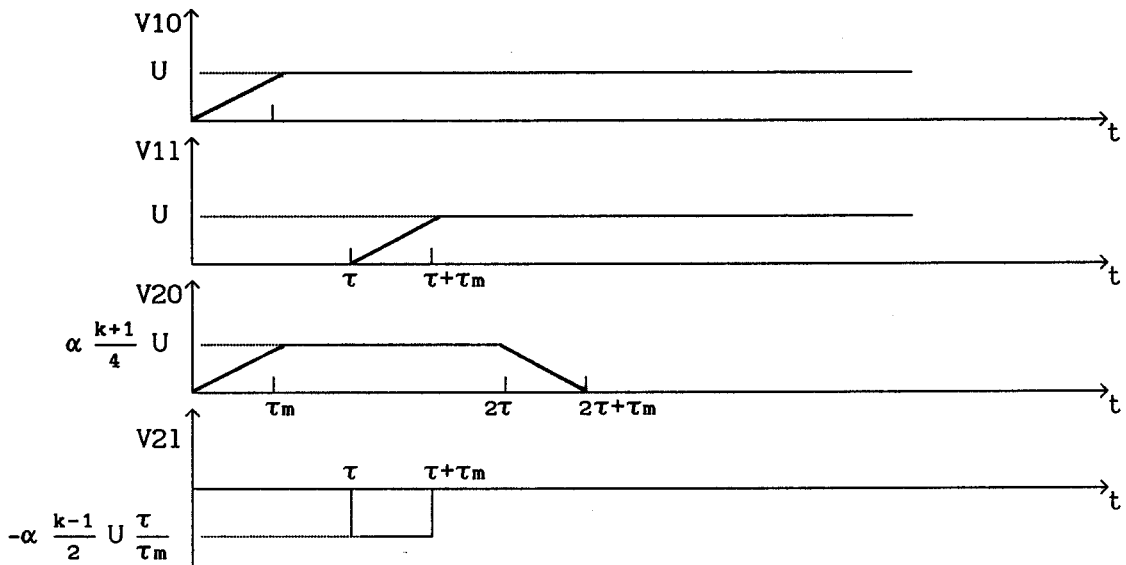


figure IV.3

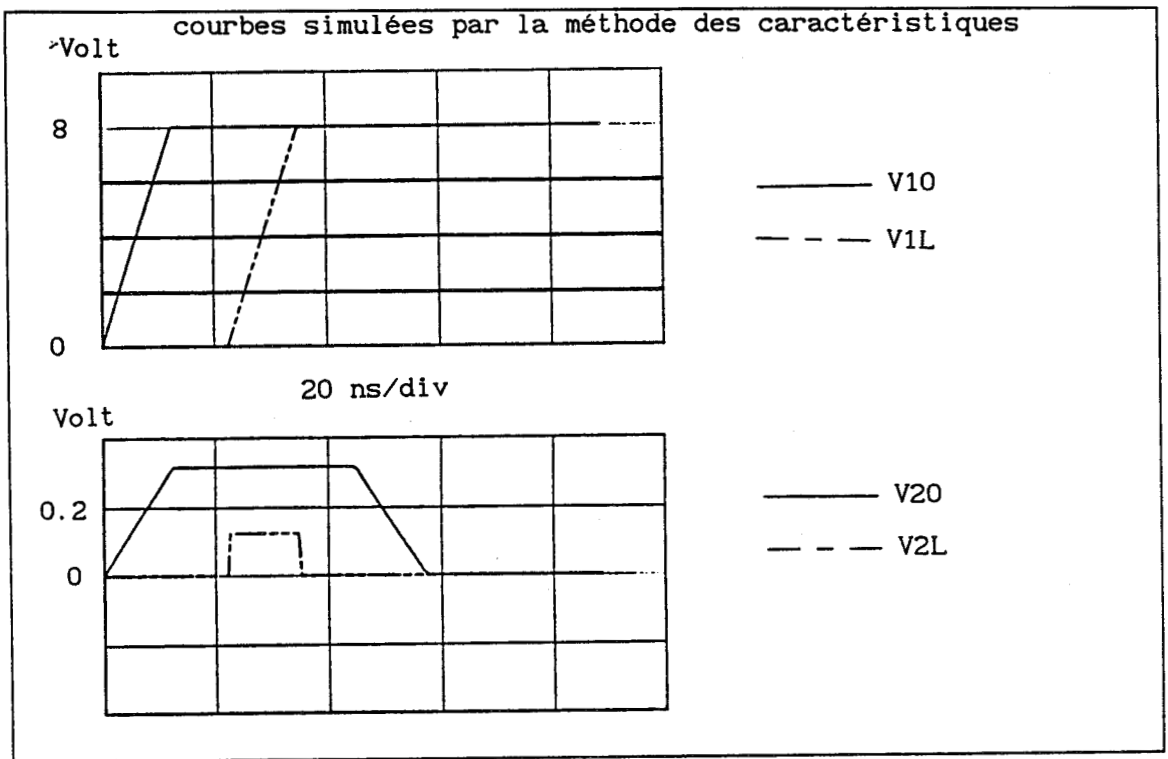


planche IV.1

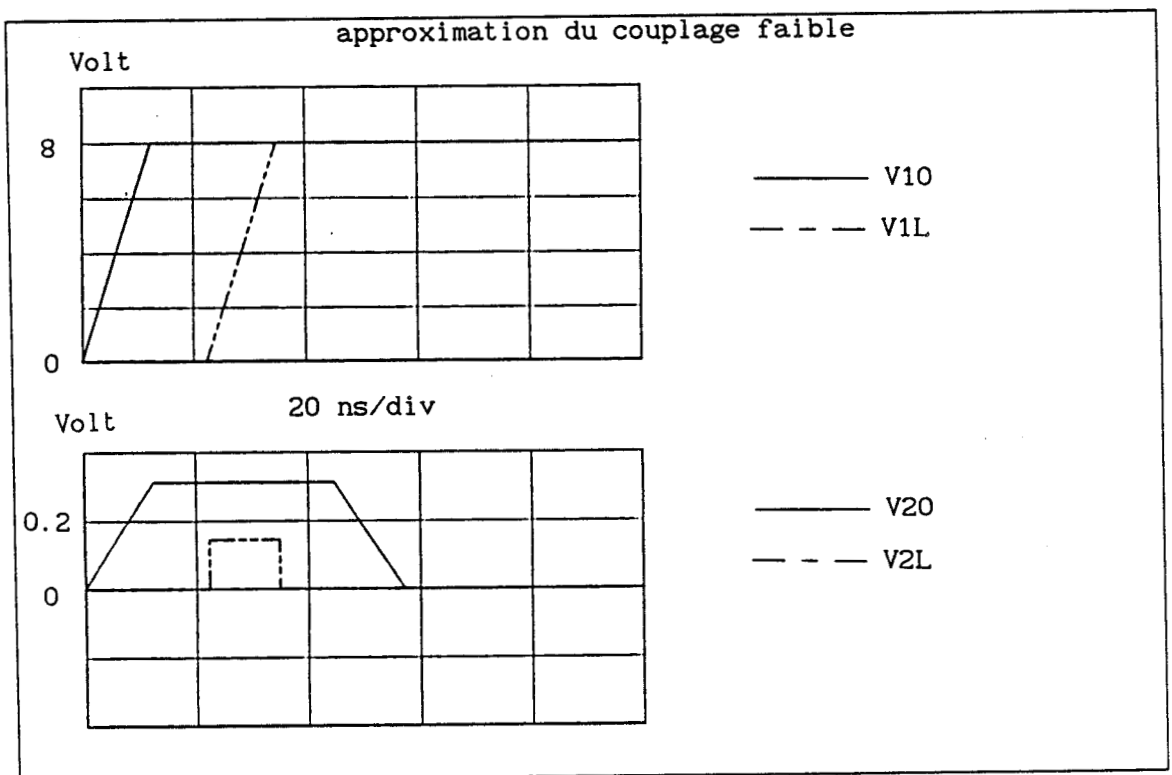


planche IV.2

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

τ est la durée de propagation sur la ligne, elle est définie par la relation suivante :

$$\tau = L \sqrt{L_{xx} C_{xx}} \quad (IV.3)$$

Précisons que les chronogrammes de la figure IV.3 ne sont valables que lorsque le temps de montée de l'impulsion (τ_m) est inférieur au temps de propagation (τ).

Quant aux coefficients α, K ils sont définis par les formules ci-dessous.

$$\alpha = \frac{C_{12}}{C_{xx}} \quad (IV.4)$$

$$K = \frac{L_{12}}{L_{xx}} \frac{C_{xx}}{C_{12}} \quad (IV.5)$$

Nous présentons planche IV.1 les résultats donnés par notre logiciel, basé sur la méthode des caractéristiques détaillée en annexe, dans le cas d'un système de ligne couplées caractérisé par les paramètres suivant :

$$\left\{ \begin{array}{l} L_{11} = L_{22} = 802.3 \text{ nH} \\ L_{12} = 54.7 \text{ nH} \\ C_{11} = C_{22} = 92.3 \text{ pF} \\ C_{12} = 8.2 \text{ pF} \\ L = 2.6 \text{ m} \\ \tau = 10 \text{ ns (entre 10 et 90 \%)} \end{array} \right.$$

Nous avons également représenté planche IV.2 les résultats théoriques donnés par les chronogrammes de la figure IV.3.

On note un très bon accord entre les résultats de simulation et ceux donnés par les calculs effectués dans le cadre de l'approximation du couplage faible. On observe dans le cas traité la présence d'une impulsion de paradiaphonie dont la largeur est fixée par le temps de montée de l'échelon de tension délivré par le générateur Ep. On vérifie planche IV.3 que l'amplitude de cette tension parasite diminue comme le prévoit la théorie lorsque les vitesses de propagation de mode commun et de mode différentiel deviennent très proches, soit donc dans le cas de deux lignes identiques que le couplage entre celles-ci diminue.

En effet les courbes de la planche IV.3 ont été obtenues pour $L_{12} = 27.7 \text{ nH}$ et $C_{12} = 4.2 \text{ pF}$ au lieu de 54.7 nH et 8.2 pF pour celles de la planche IV.1.

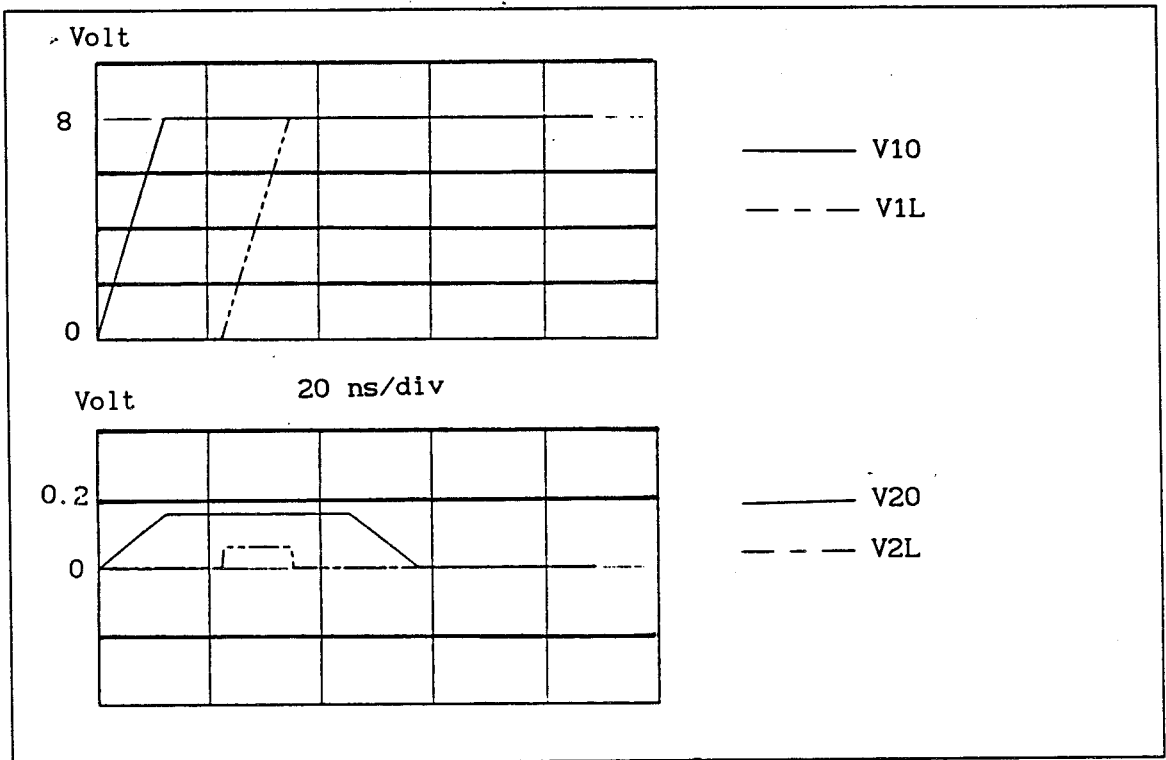


planche IV.3

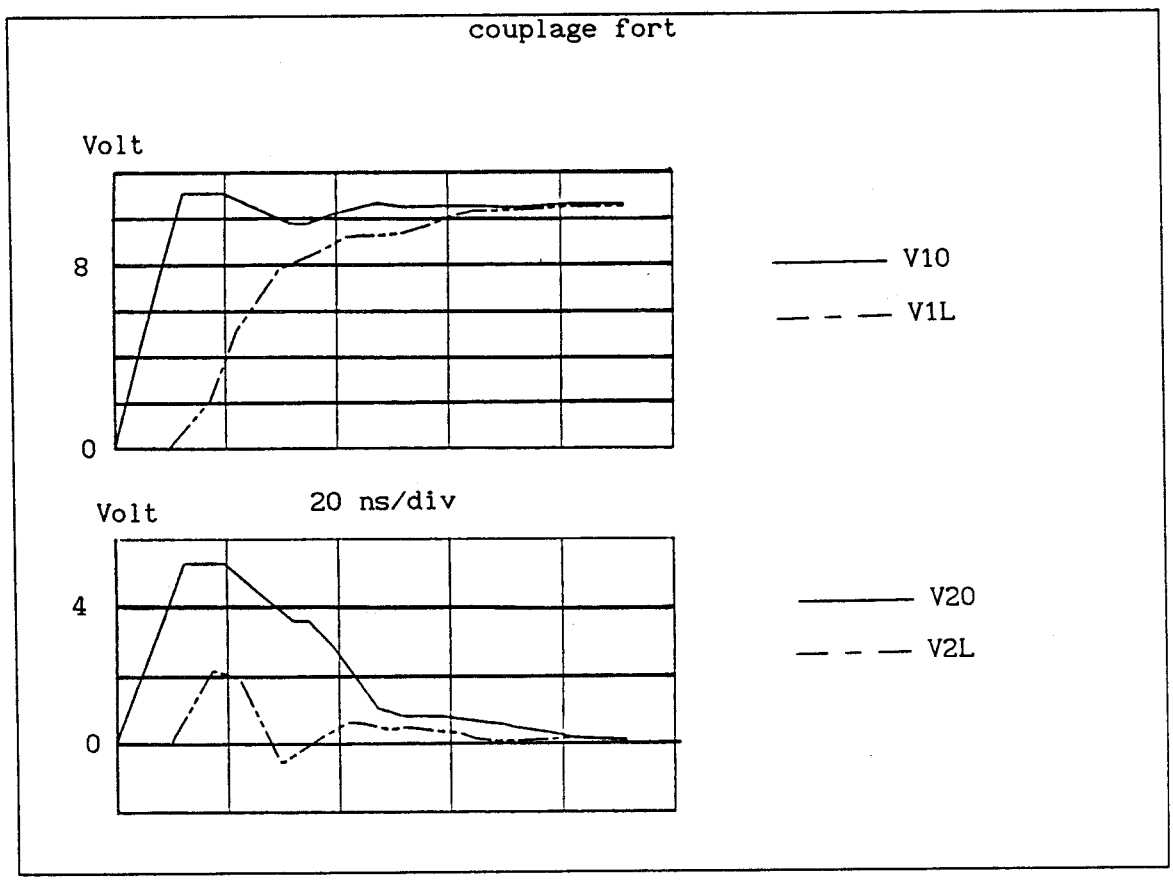


planche IV.4

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

Précisons que le cas où les deux vitesses de propagation sont identiques constitue une limite du logiciel de simulation puisque dans le cas de l'égalité rigoureuse de celles-ci la méthode de résolution numérique ne peut plus être appliquée.

Par contre si lorsque le couplage entre les lignes augmente on ne peut plus trouver de formules analytiques simples traduisant l'évolution des signaux aux extrémités des lignes l'outil de simulation développé permet comme nous allons le montrer de tracer les signaux induits de télé et para diaphonie.

IV.2.2 CAS DU COUPLAGE FORT

Le couplage fort au sens où nous l'entendons est défini par opposition à l'approximation du couplage faible qui implique le respect des inégalités ci-dessous.

$$\frac{l_{12}}{l_{xx}} \ll 1 \quad \text{et} \quad \frac{c_{12}}{c_{xx}} \ll 1 \quad (\text{IV.6})$$

Nous nous intéressons donc dans ce paragraphe au cas d'un système de lignes ne remplissant plus ces conditions, ce dernier est caractérisé par les paramètres suivant :

$$\left\{ \begin{array}{l} l_{11} = l_{22} = 802.3 \text{ nH} \\ l_{12} = 547 \text{ nH} \\ c_{11} = c_{22} = 92.3 \text{ pF} \\ c_{12} = 82 \text{ pF} \\ L = 2.6 \text{ m} \end{array} \right.$$

Nous avons représenté planche IV.4 les tensions simulées avec ce dispositif. Les conditions de simulation sont précisées par le schéma accompagnant cette planche.

A défaut de pouvoir comparer ces résultats à ceux issus de formules analytiques nous pouvons les comparer à ceux de manipulation.

En effet nous avons tracé planche IV.5 les signaux relevés dans les conditions les plus proches possible de celles précisées sur la planche IV.4.

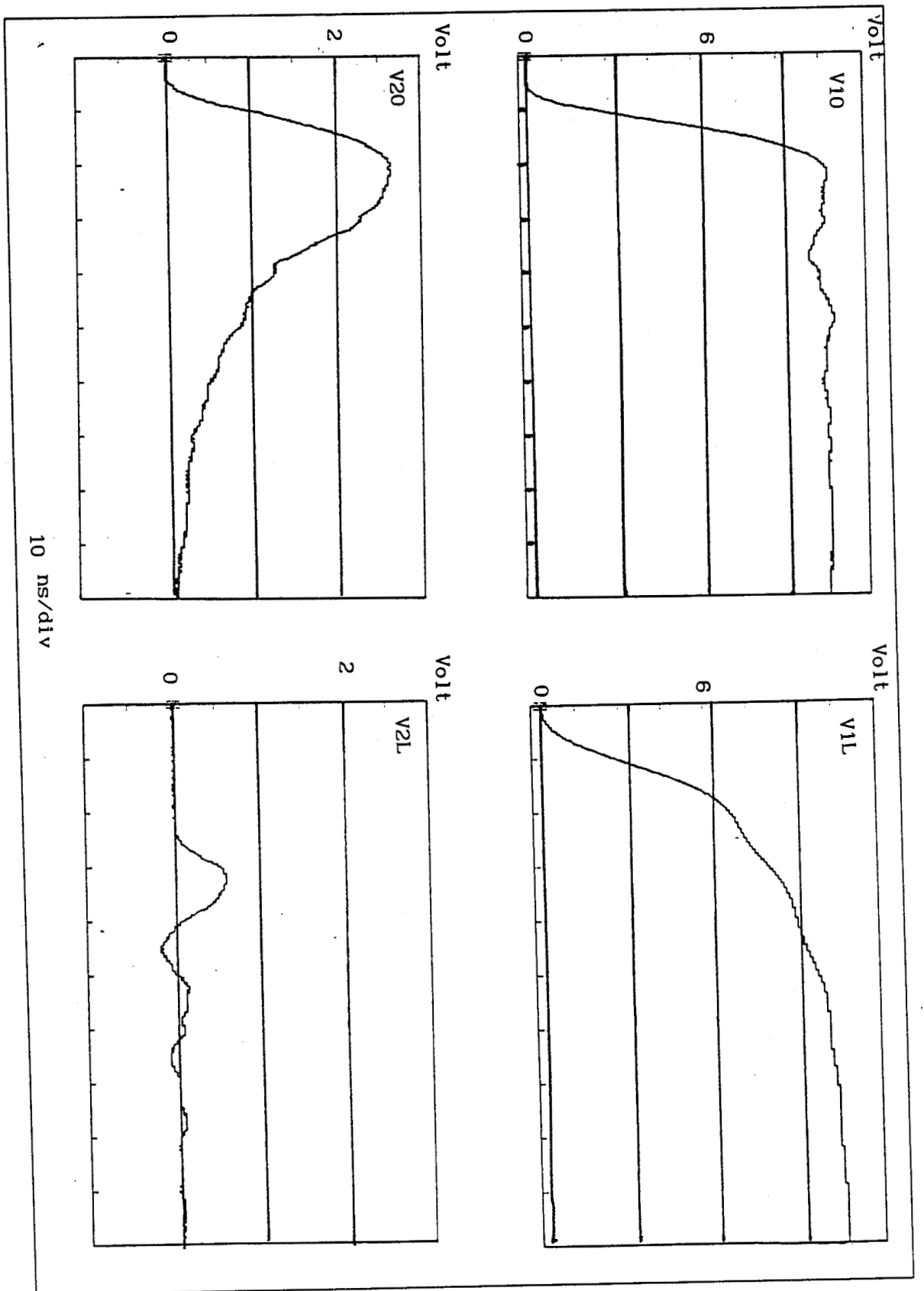


planche IV.5

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

Hormis un léger écart sur l'amplitude de la tension de télé diaphonie on peut noter le très bon accord entre la simulation et l'expérience.

L'erreur sur l'amplitude de la tension de télé diaphonie peut s'expliquer pour une bonne part par le fait que lors de notre simulation nous ne prenons pas en compte les pertes du système.

Précisons que la prise en compte des pertes ne constitue pas une limite de la méthode de simulation. En effet des travaux ayant d'autres objectifs que la compatibilité électromagnétique et qui sont basés sur la même méthode de simulation montrent qu'il est possible de prendre en compte ces phénomènes [12].

A ce stade d'avancement de nos travaux et étant donné le relativement bon accord entre les résultats nous n'avons pas jugé opportun de compliquer notre logiciel par la prise en compte de ce phénomène.

En conclusion nous avons montré sur les deux exemples précédents (couplage faible et couplage fort) la validité des résultats obtenus avec notre logiciel. Nous allons donc maintenant montrer les possibilités qu'offre cet outil avec des charges non linéaires ainsi que dans le cas où chacune des deux lignes est connectée à une source.

IV.3 LES POSSIBILITES DU LOGICIEL

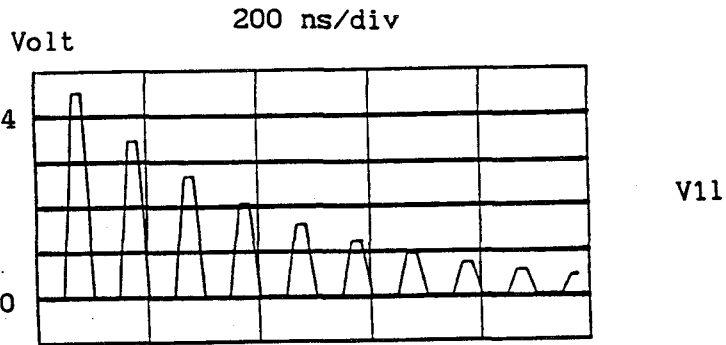
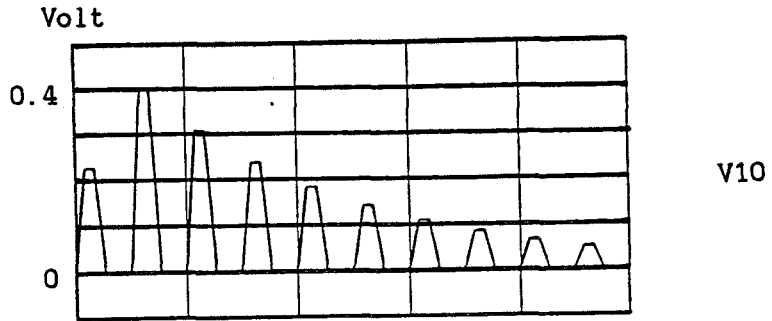
IV.3.1 LA SIMULATION DANS LE DOMAINE NON LINEAIRE

La méthode de simulation utilisant une méthode de résolution directe du système d'équations aux dérivées partielles IV.1 dans le domaine temporel elle permet de prendre en compte des conditions aux limites faisant intervenir des éléments non linéaires tels que des diodes ou des transistors.

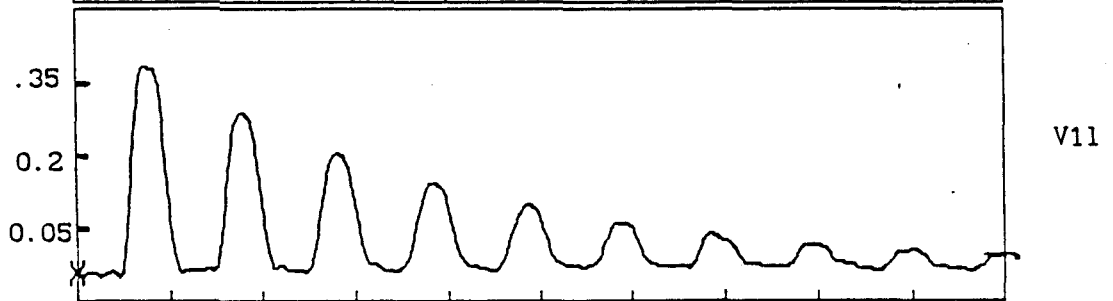
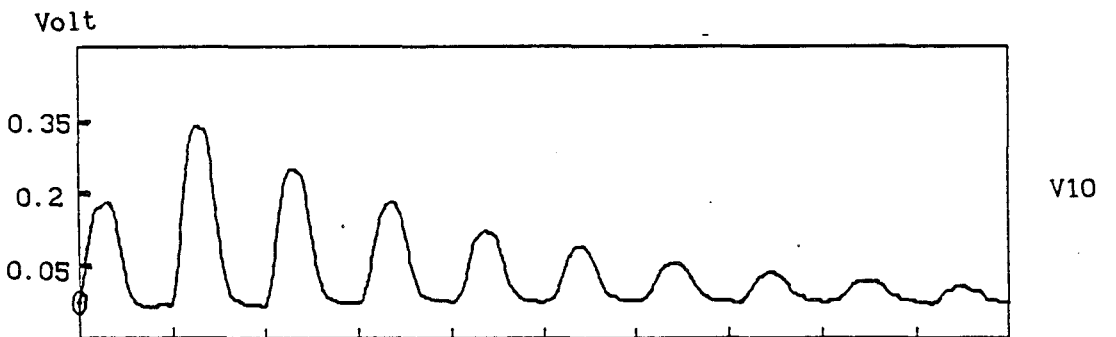
Par raison de simplicité nous allons présenter dans ce paragraphe quelques résultats de simulation faisant intervenir une diode dans l'application des conditions aux limites.

Le but de ce paragraphe étant de montrer la faisabilité des simulations en non linéaire et non de modéliser finement des composants, nous avons caractérisé le comportement de la diode par la simple équation statique $I=I_s(\exp(qV/\lambda kT)-1)$.

simulation



expérimentation



100 ns/div

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

Les paramètres qui entrent en jeu dans cette équation ont été mesurés sur une diode 1N4148 et ont pour valeur :

$$I_s = 9.1 \text{ nA}$$

$$\lambda = 2$$

Avant de traiter le cas complexe de la diaphonie sur une diode nous nous sommes intéressés à celui plus simple de la propagation sur une ligne chargée par une diode.

IV.3.1.a propagation sur une ligne chargée par une diode

Pour traiter ce cas simple à l'aide de notre logiciel nous considérons le schéma de la figure IV.4

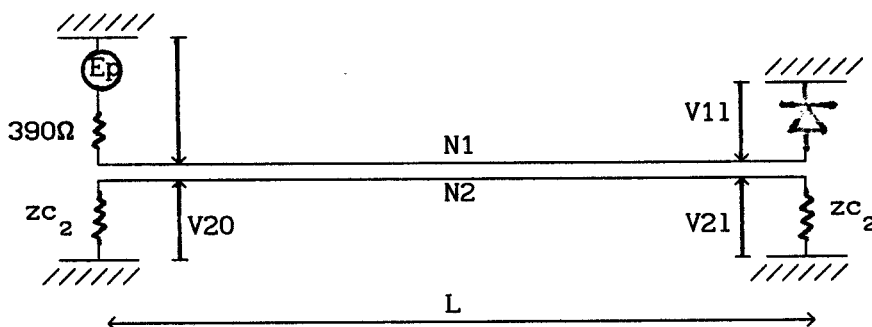


figure IV.4

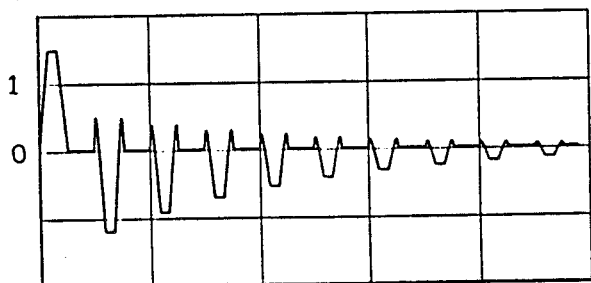
Le logiciel étant prévu pour traiter le cas de deux lignes couplées nous traitons le cas d'une ligne N1 d'impédance caractéristique 50Ω très faiblement couplée à une ligne fictive N2 de telle sorte que cette dernière n'influe pas sur les allures et amplitudes de la tension et du courant sur la ligne N1.

Nous avons tracé planche IV.6 les tensions V_{10} et V_{11} qui seules nous intéressent, lorsque le générateur E_p délivre une impulsion d'amplitude 2V de largeur 35 ns et de temps de montée et descente de 15 ns.

En comparant ces signaux à ceux relevés en pratique dans les mêmes conditions que celles utilisées en simulation on voit la parfaite concordance des résultats.

simulation

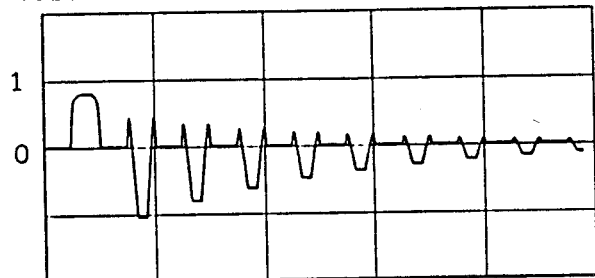
Volt



V10

200 ns/div

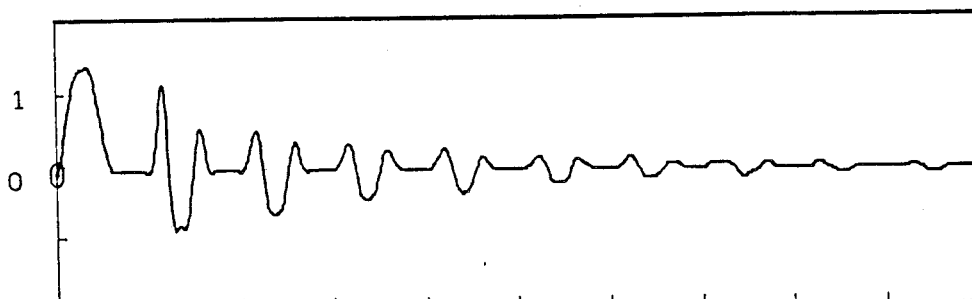
Volt



V11

expérimentation

Volt



V10

Volt



V11

100 ns/div

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

Ce résultat bien que très intéressant ne doit en aucun cas laisser croire que la caractéristique statique de la diode permet à elle seule de traduire le comportement du composant. En effet pour s'en convaincre nous avons tracé planches IV.7 les signaux simulés puis mesurés lorsque l'amplitude de l'impulsion délivrée par le générateur est de 13V. On voit que dans ce cas certaines divergences apparaissent entre la pratique et la simulation. En effet si sur la courbe de simulation la tension aux bornes de la diode n'excède pas 0.8V il n'en va pas de même en pratique puisque la jonction est cette fois en régime de forte injection. Dans ce cas la modélisation simpliste de la diode ne suffit plus.

Nous venons donc de montrer que dans le cas simple de la propagation sur une ligne chargée par une diode notre logiciel moyennant une bonne modélisation du composant permettait de simuler correctement les tensions aux bornes d'éléments non linéaires.

Nous allons maintenant montrer ce qui se produit dans le cas, non plus de la propagation directe, mais du couplage.

IV.3.1.b diaphonie sur une ligne chargée par une diode

Afin de pouvoir mettre en évidence le rôle joué par une diode il est nécessaire que l'amplitude de la tension aux bornes de celle-ci soit suffisante pour la rendre passante. C'est pour cette raison que nous nous intéressons dans ce paragraphe à l'effet produit par une diode sur la tension de paradiaphonie.

La configuration simulée est décrite figure IV.5

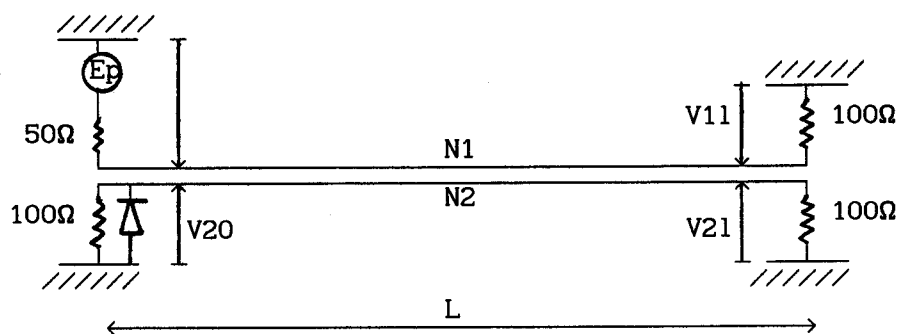


figure IV.5

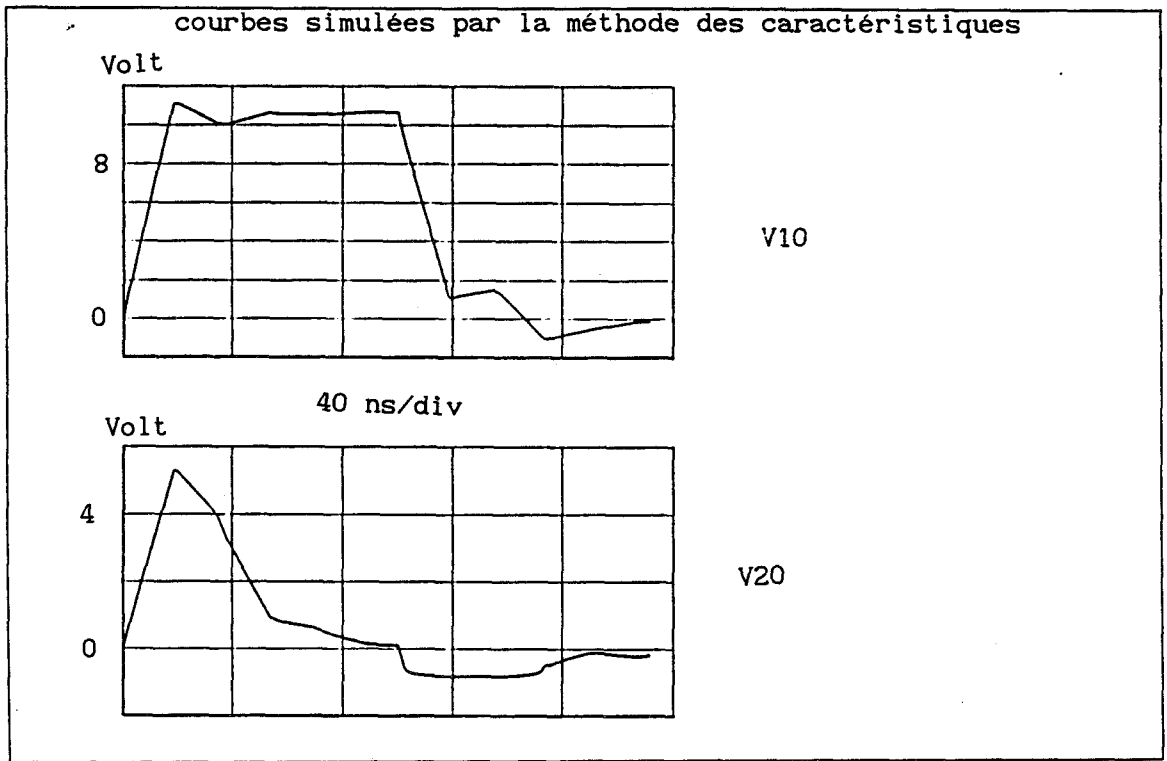


planche IV.8

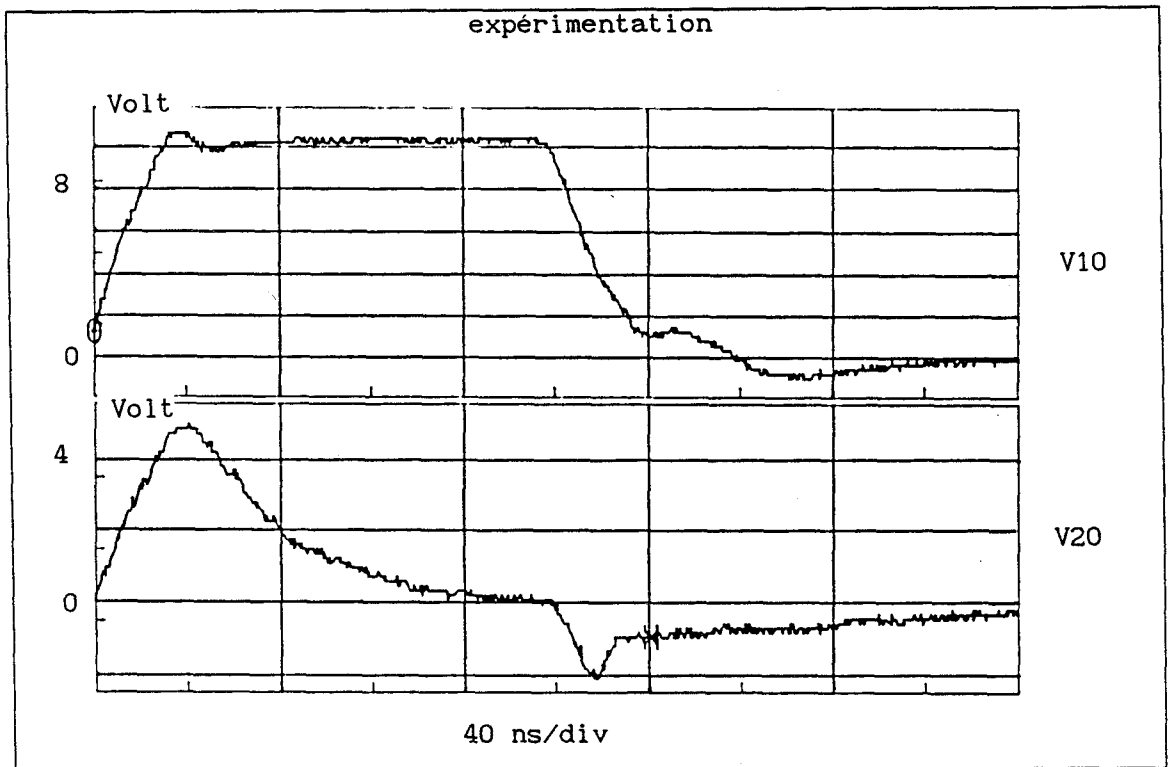


planche IV.9

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

Les paramètres linéiques du système sont ceux du paragraphe II.2. Nous les rappelons ci-dessous.

$$\left\{ \begin{array}{l} l_{11} = l_{22} = 802.3 \text{ nH} \\ l_{12} = 547 \text{ nH} \\ c_{11} = c_{22} = 92.3 \text{ pF} \\ c_{12} = 82 \text{ pF} \\ L = 2.6 \text{ m} \end{array} \right.$$

Nous avons représenté planche IV.8 les signaux simulés lorsque le générateur Ep délivre une impulsion d'amplitude 16V, de largeur 100 ns et de temps de montée et descente de 15 ns.

Le front de montée de l'impulsion perturbatrice V10 produit une impulsion de paradiaphonie V20 d'amplitude 5V identique à celle relevée sur la planche IV.4 puisque dans ce cas la diode de part sa polarité ne joue aucun rôle.

Par contre l'impulsion duale de la précédente produite par le front de descente de l'impulsion perturbatrice est écrêtée à 0.8V par la diode qui cette fois est mise en conduction.

Nous avons tracé planche IV.9 les signaux relevés en pratique dans les mêmes conditions que celles décrites précédemment.

Comme nous l'avons signalé dans le paragraphe précédant la modélisation simpliste de la diode n'apparaît pas suffisante pour traduire intégralement le rôle joué par ce composant lorsqu'il est en régime de forte injection. Néanmoins les résultats de simulation restent tout à fait satisfaisant vis à vis de ceux relevés en pratique.

En conclusion nous venons de montrer sur deux exemples simples la faisabilité des simulations lorsque les composants connectés aux extrémités du système de lignes couplées sont régis par des équations non linéaires.

Bien que des progrès sont à faire dans le domaine de la modélisation des composants les quelques résultats présentés sont satisfaisants. Des travaux en cours au laboratoire concernant la modélisation de circuits intégrés devraient donc permettre en les associant aux possibilités du logiciel de progresser

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

dans l'étude du comportement de ces circuits lorsqu'ils sont soumis à des perturbations électromagnétiques.

L'avancement des travaux concernant la susceptibilité électromagnétique des circuits intégrés passe aussi par l'étude de leur comportement lorsqu'ils sont en mode de fonctionnement normal soit donc en régime dynamique.

Nous allons donc montrer maintenant la faisabilité des simulations dans de telles conditions.

IV.3.2 VERS L'ETUDE DU COMPORTEMENT DES CIRCUITS INTEGRES EN REGIME DYNAMIQUE SOUMIS A DES PERTURBATIONS ELECTROMAGNETIQUES.

Comme nous l'avons dit dans l'introduction de ce chapitre le système à lignes couplées offre un moyen simple pour étudier expérimentalement le comportement des circuits intégrés en régime dynamique soumis à des perturbations électromagnétiques.

Le schéma de la figure IV.6 montre le schéma de principe de la manipulation.

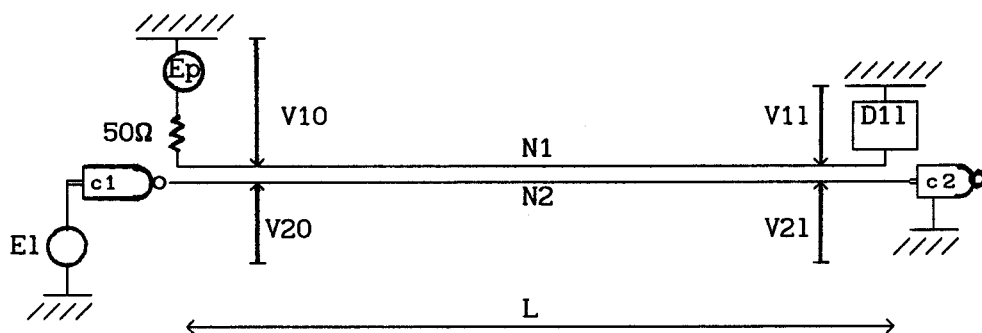


figure IV.6

La simulation d'une telle configuration nécessite la connaissance des équations qui régissent le fonctionnement des composants connectés aux extrémités de chacune des lignes.

Les travaux en cours au laboratoire n'étant pas suffisamment avancés pour fournir les équations qui traduisent le comportement des circuits intégrés, nous avons réduit le circuit C1 à un simple générateur de tension d'impédance interne 35Ω (impédance de sortie petit signal du composant en régime

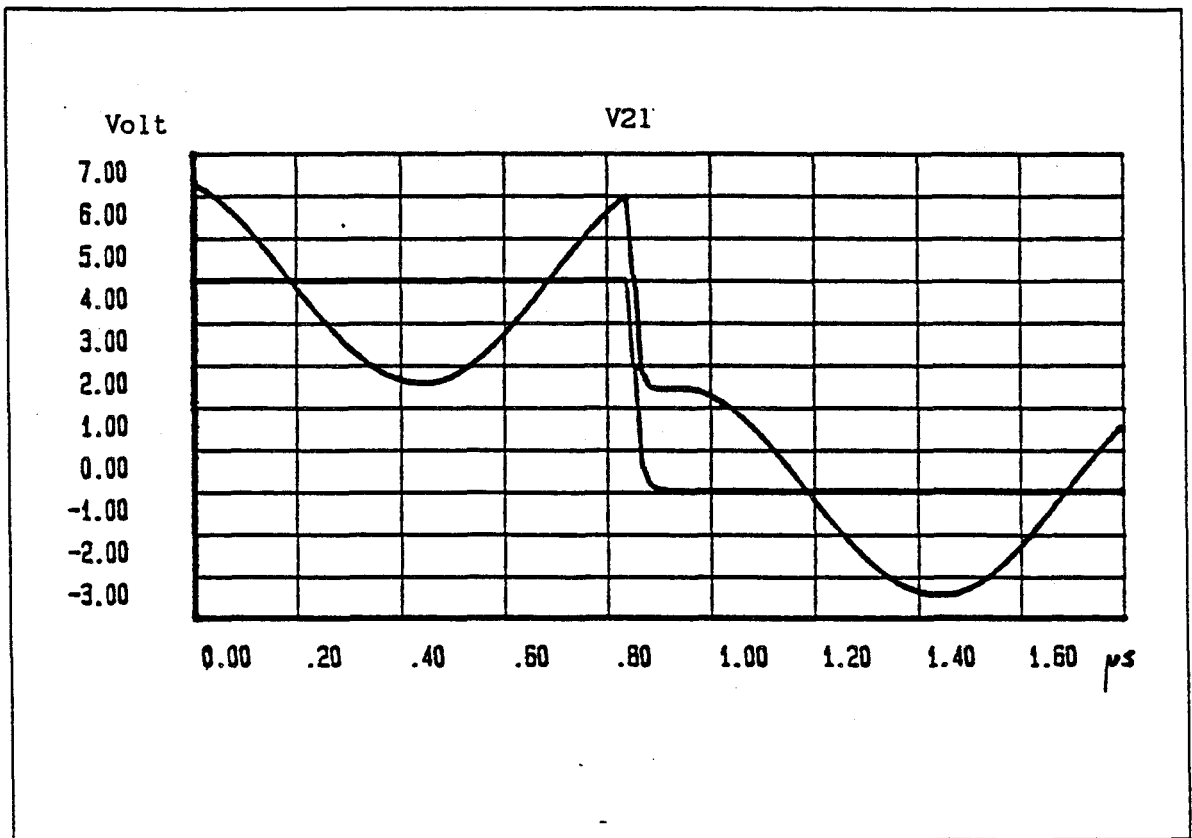


planche IV.10

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

statique) et le circuit C2 à une résistance de 100 K Ω .

C'est donc à la simulation de la configuration décrite figure IV.7 que nous nous limitons afin de montrer la faisabilité de ce type d'étude.

Les paramètres linéiques du système sont identiques à ceux du paragraphe III.1.2.

Le générateur E1 délivre des créneaux basse fréquence (100 KHz) d'amplitude 5V et de temps de montée 10 ns.

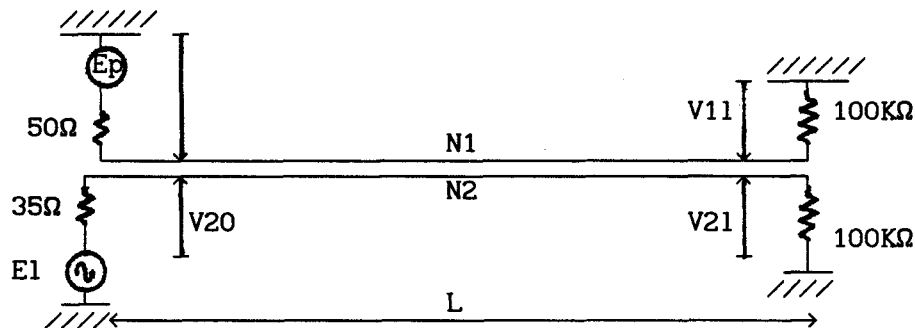


figure IV.7

Les paramètres linéiques du système de lignes couplées sont donnés ci-dessous.

$$\left\{ \begin{array}{l} l_{11} = l_{22} = 203 \text{ nH} \\ l_{12} = 47 \text{ nH} \\ c_{11} = c_{22} = 346 \text{ pF} \\ c_{12} = 46 \text{ pF} \\ L = 1. \text{ m} \end{array} \right.$$

Nous avons tracé planche IV.10 la tension V21 simulée lorsque le générateur Ep délivre un signal sinusoïdal d'amplitude 240V à la fréquence de 1 MHz.

Est également représentée sur cette planche la tension V21 lorsque le générateur Ep est éteint.

On observe bien dans ce cas la superposition au signal logique basse fréquence d'un signal perturbateur à la fréquence de 1MHz.

Il est intéressant de noter sur cette courbe la composition des deux signaux qui provoque l'apparition d'un "plat" lors du changement d'état logique.

Un protocole de test développé par B.COUDORO [13] et qui utilise le schéma de la figure IV.6, a permis de montrer que cette anomalie lors du changement d'état logique est source de perturbation dans le cas d'un système fonctionnant en régime dynamique.

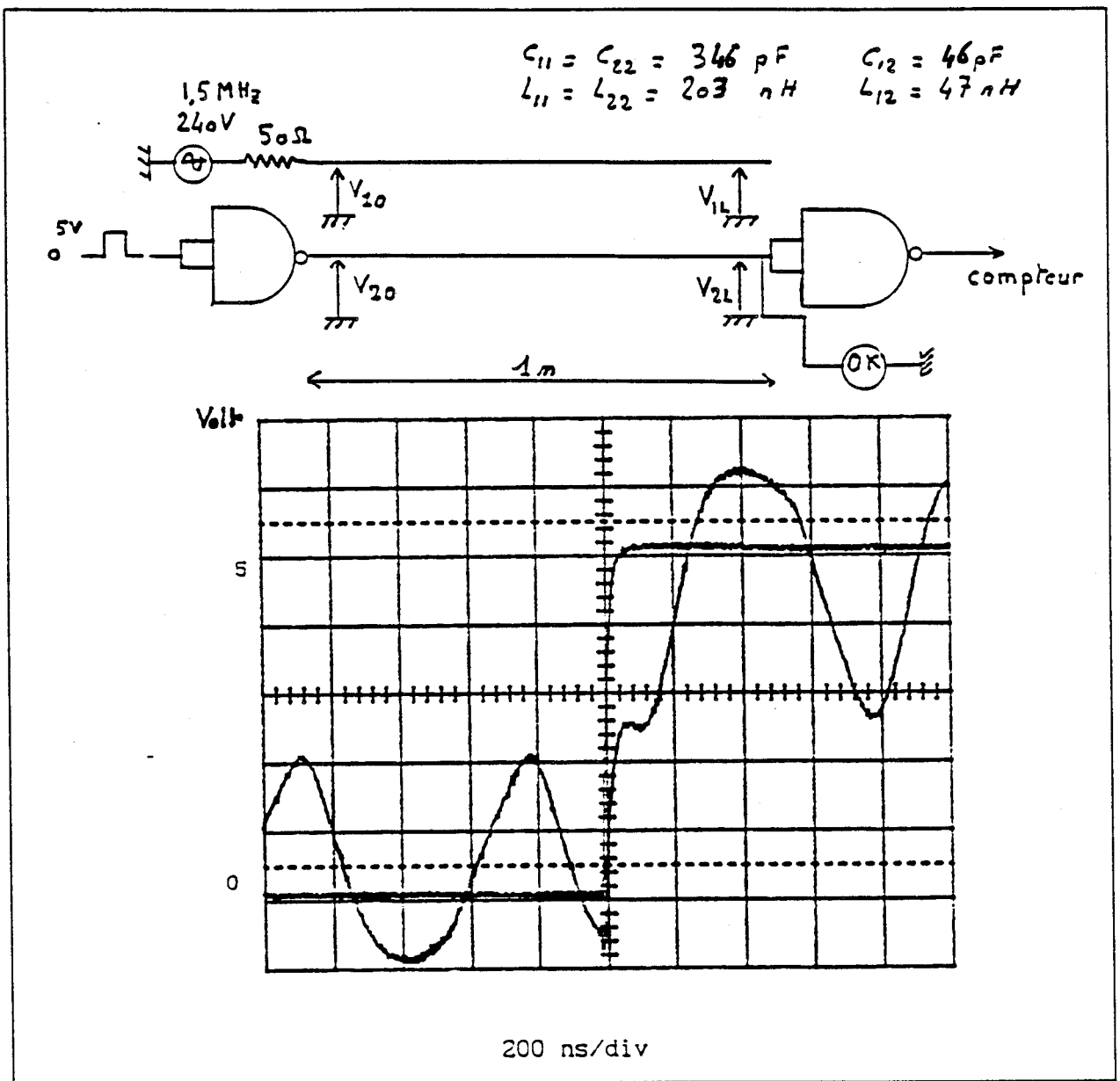


PLANCHE IV.11

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

La courbe de la planche IV.11 présente la tension V_{21} relevée sur la maquette de B.COUDORO (les conditions expérimentales sont précisées sur le schéma qui accompagne la courbe).

On voit en comparant cette courbe à celle de la planche IV.10 que notre simulation bien que simpliste est tout à fait réaliste. Précisons que la comparaison entreprise entre la simulation et la pratique ne permet en aucun cas de tirer de conclusion quant à la modélisation des circuits intégrés en régime dynamique lorsqu'ils sont perturbés par des ondes électromagnétiques.

En conclusion nous venons de montrer dans un cas simple la faisabilité des simulations lorsque chacune des lignes est connectée à un générateur.

Les travaux de modélisation des circuits intégrés entrepris au laboratoire devraient donc en les associant aux possibilités du logiciel, permettre d'avancer dans l'étude du comportement des circuits intégrés soumis à des perturbations électromagnétiques lorsqu'ils sont en régime dynamique.

Après avoir validé notre outil de simulation et montré ses possibilités nous allons maintenant aborder les limites imposées par la méthode de résolution numérique choisie.

IV.4 LES LIMITES IMPOSEES PAR LA METHODE DE RESOLUTION

Le logiciel que nous avons développé est basé sur la méthode des caractéristiques qui permet de résoudre directement dans le domaine temporel le système d'équations aux lignes couplées.

Nous ne détaillons pas dans ce paragraphe le principe même de la méthode (le lecteur pourra se reporter à l'annexe pour de plus amples informations).

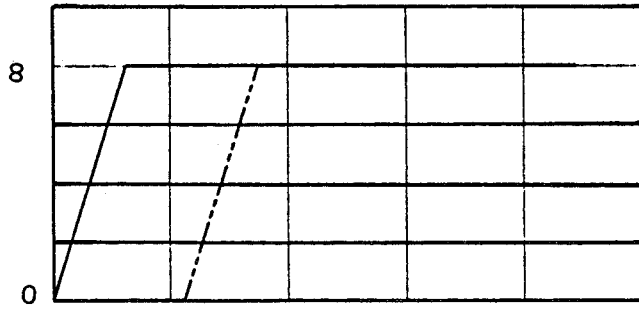
Nous allons tenter ici de répondre à quelques questions que le lecteur peut légitimement se poser.

Dans les méthodes de résolution numérique on est obligé de discrétiser l'espace de travail, ici le temps et la distance le long de la ligne, or jusqu'à présent nous n'avons pas précisé comment dans notre programme nous effectuons ce découpage ni même l'influence de celui-ci sur la précision des résultats.

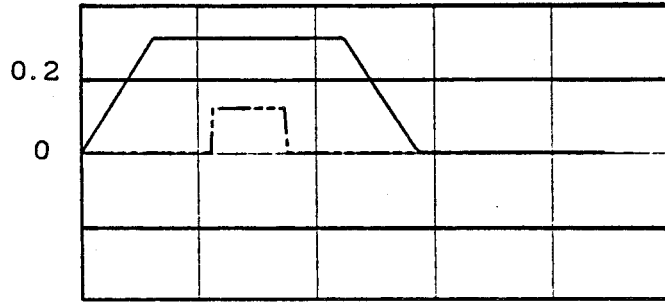
Nous allons donc maintenant éclairer le lecteur sur ce point.

$\Delta x = 1.3 \text{ m}$
 $\Delta t = 96 \text{ ps}$

Volt



— V10
- - - V11

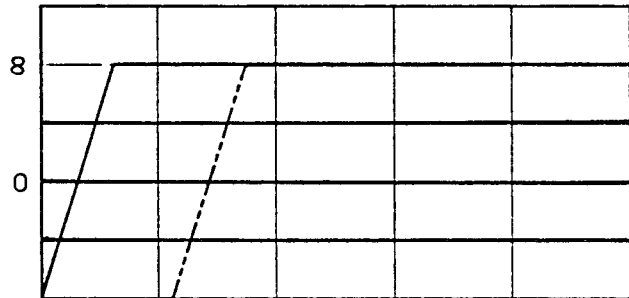


— V20
- - - V21

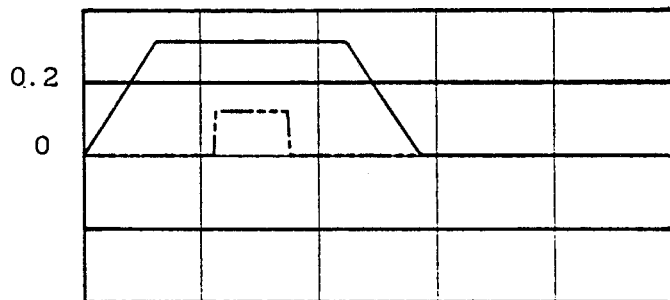
- 20 ns/div

$\Delta x = 8.125 \text{ cm}$
 $\Delta t = 6 \text{ ps}$

Volt



— V10
- - - V11



— V20
- - - V21

20 ns/div

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

IV.4.1 LE CHOIX DE LA RESOLUTION ET SON INFLUENCE. (ANNEXE)

Dans le cas d'un système de lignes couplées on peut calculer deux vitesses de propagation (g_1 et g_2) qui correspondent soit aux vitesses de mode commun sur chacune des lignes si elles ne sont pas (ou peu couplées) soit aux vitesses de propagation de mode commun et de mode différentiel dans le cas contraire.

Dans notre logiciel nous sommes amenés à limiter le nombre de chiffres significatifs dans le calcul de ces vitesses et nous exprimons ainsi deux vitesses "approchées" sous la forme :

$$\begin{cases} g'_1 = g_e 1 \cdot 10^6 \\ g'_2 = g_e 2 \cdot 10^6 \end{cases} \quad (IV.7)$$

$g_e 1$ et $g_e 2$ sont des entiers.

Comme nous l'expliquons dans l'annexe les découpages Δx et Δt sont alors liés par l'expression ci-dessous:

$$\begin{cases} \Delta x = \Delta t \cdot \text{ppcm}(g_e 1, g_e 2) \cdot 10^6 \\ L = k \Delta x \end{cases} \quad (IV.8)$$

L est la longueur du système de lignes couplées et k est un entier supérieur à deux.

L'utilisateur du logiciel peut choisir l'entier k et donc fixer le découpage Δx le long de la ligne. La résolution temporelle Δt est dès lors imposée par la relation ci-dessus.

Nous avons représenté planche IV.12 les tensions de télé diaphonie simulées pour différents découpages Δx et Δt .

On remarque au vu de ces courbes que la discrétisation du système n'a que très peu d'influence sur la précision de la simulation.

Aussi il est préférable pour gagner en temps de calcul de prendre le découpage spatial le plus grand possible soit $\Delta x = L/2$.

Nous allons maintenant aborder une véritable limitation du programme que nous avons déjà évoquée dans le paragraphe II de ce chapitre : lorsque les vitesses de propagation g_1 et g_2 sont identiques.

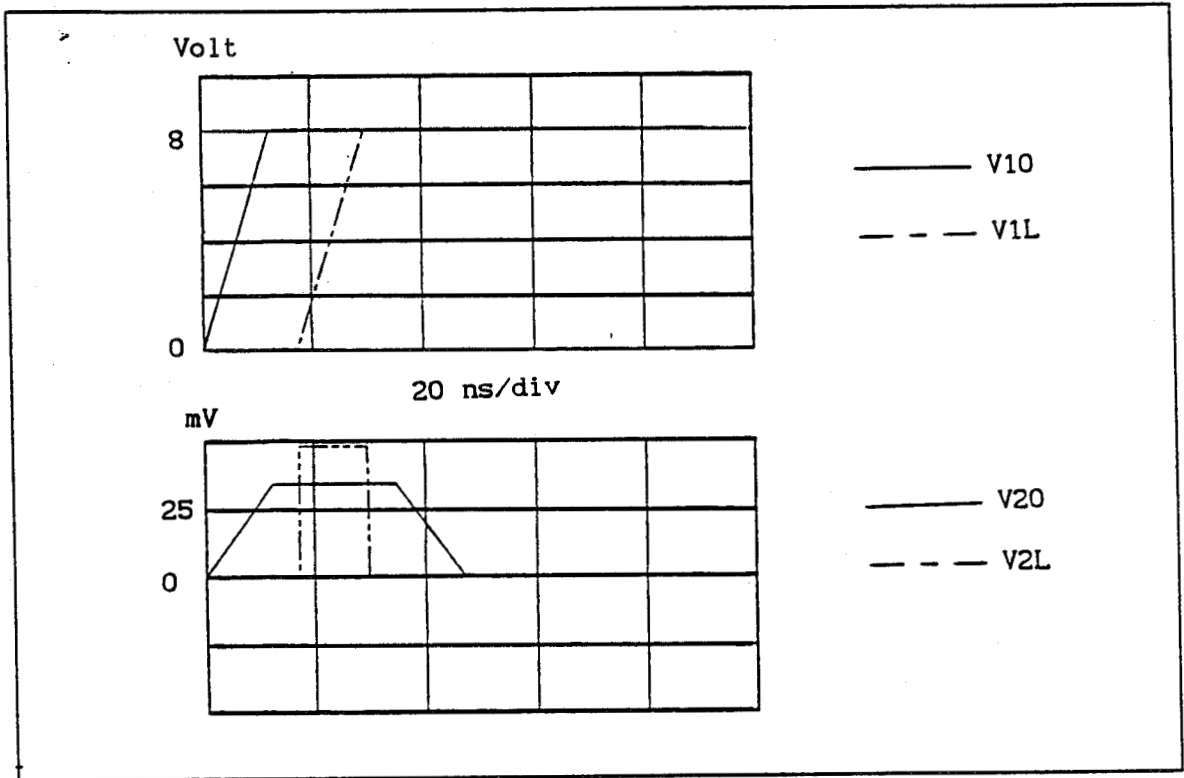


planche IV.13

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

IV.4.2 LE CAS D'UN SYSTEME DE LIGNES COUPLEES SYMETRIQUES DANS UN MILIEU HOMOGENE

Le cas d'un système de lignes couplées symétriques dans un milieu homogène constitue un cas idéal où les vitesses de propagation de mode commun et de mode différentiel sont rigoureusement identiques.

En pratique si on calcule ces vitesses à partir des paramètres linéiques mesurés sur le système il est peu probable de trouver l'égalité de celles-ci. Ce cas idéal constitue le seul cas que ne peut traiter le logiciel. Cette limitation est imposée par le fondement mathématique de la méthode des caractéristiques.

Néanmoins il est possible de traiter le cas où les vitesses de propagation sont très proches. Nous allons donc voir sur quelques courbes l'erreur que l'on peut commettre sur le calcul des tensions de diaphonie en substituant au cas idéal le cas où les vitesses sont très proches.

Nous présentons planche IV.13 les tensions de télé et para diaphonie dans le cas où les vitesses de propagation sont de 1.15 et 1.16 m/s et la longueur de la ligne de 2 m ($l_{xx} = 802.3$ nH, $c_{xx} = 92.3$ pF, $l_{12} = 5$ nH, $c_{12} = 1$ pF).

On observe, en télé diaphonie une tension parasite d'une amplitude de 50 mV alors qu'en théorie si les vitesses de propagation sont rigoureusement identiques cette tension doit être nulle.

Par contre la tension de paradiaphonie doit avoir dans le cas idéal une amplitude de 34 mV ce qui correspond relativement bien à la tension simulée.

En conclusion on peut donc dire que notre logiciel permet de traiter la majorité des cas rencontrés en pratique et que le cas où les vitesses sont rigoureusement identiques peut être traité de manière approchée sachant que l'on commet alors une erreur sur la tension de télé diaphonie.

CHAPITRE IV : présentation d'un logiciel de résolution des équations aux lignes couplées celles-ci étant connectées à des éléments non linéaires

CONCLUSION

Nous avons montré dans ce chapitre les possibilités offertes par un logiciel de simulation développé au laboratoire, qui permet de résoudre le système d'équations aux lignes couplées.

Nous avons mis en évidence la validité de notre outil de simulation dans des cas simples en comparant les résultats obtenus par notre logiciel avec ceux issus de calculs analytiques ainsi qu'avec ceux de manipulations.

Nous avons ensuite montré les différentes possibilités lorsque les composants connectés aux extrémités des lignes sont non linéaires ou que chacune des lignes est connectée à un générateur. Pour cela nous avons confronté les courbes de simulations à celles de manipulations.

Nous disposons donc maintenant d'un simulateur spécifique relativement performant en ce qui concerne ses possibilités ainsi que la précision de ses résultats. Cet outil devrait nous permettre par la suite de progresser dans l'étude du comportement des circuits intégrés tant en régime statique que dynamique, soumis à des perturbations électromagnétiques .

CONCLUSION

CONCLUSION

La première partie de notre travail a consisté à étudier expérimentalement le comportement de circuits NAND lorsqu'ils sont soumis à des perturbations électromagnétiques.

La fonction NAND a été choisie de par sa redondance importante dans les logiques électroniques. Nos expérimentations ont été pratiquées sur des composants issus des familles technologiques les plus courantes à savoir : la TTL LS, la CMOS et la HCMOS.

La difficulté de ce type d'étude réside dans la définition du mode d'injection du signal perturbateur ainsi que de la nature de ce dernier. En effet nous avons montré dans le premier chapitre que l'injection, via un condensateur sur une liaison entrée-sortie entre deux circuits, d'un signal sinusoïdal haute fréquence provoquait à cause des phénomènes d'écrêtage, des polarisations supplémentaires dont l'effet pouvait nuire à l'interprétation phénoménologique.

Aussi nous avons défini, en nous appuyant sur la modélisation des phénomènes de couplage deux modes d'injection à savoir : l'injection de courant et l'injection de tension, et de mener ces tests en régime transitoire. Ces modes d'injection présentent l'avantage d'être peu sensibles aux niveaux logiques sur lesquels on superpose la perturbation. Quant au signal perturbateur comme nous l'avons précisé plus haut nous avons choisi des impulsions unipolaires.

Dans un premier temps nous nous sommes intéressés au comportement des circuits lorsque l'on injecte des perturbations sur leurs lignes d'alimentation. Pour cela nous avons introduit sur la ligne +Vcc d'un premier circuit, dont la sortie logique est connectée à l'entrée d'un second issu d'un boîtier différent, des impulsions positives puis négatives. Cherchant à caractériser le comportement du composant proprement dit, nous n'avons pas découplé l'alimentation des circuits intégrés.

Le principal résultat qui ressort de cette étude est qu'il est impératif, quelque soit le spectre de fréquence du signal perturbateur de découpler l'alimentation des circuits à l'aide de condensateurs les moins selfiques possible, sous peine lors d'agressions électromagnétiques de mise en oscillation des circuits intégrés.

CONCLUSION

Dans un second temps nous avons injecté des perturbations sur la liaison sortie-entrée entre deux portes NAND issues de boîtiers différents et dont les alimentations sont découplées.

Il est alors ressorti que dans le cas des perturbations par injection de tension, les caractéristiques des signaux perturbateurs sont étroitement liées, tant dans le domaine temporel qu'en amplitude, aux seuils de sensibilité intrinsèques aux composants, figurant dans les données constructeur.

Par contre dans le mode d'injection de courant il est apparu que l'impédance de sortie non linéaire du composant est à l'origine de phénomènes de "rallongement du temps". En effet nous avons pu mettre en évidence dans certaines configurations des phénomènes perturbateurs dont la durée était beaucoup plus grande que celle du signal perturbateur lui même, ce qui revient à dire qu'une perturbation dont la largeur est inférieure au temps de propagation des circuits peut provoquer dans certains cas des faux états logiques.

Qu'il s'agisse des perturbations sur les lignes d'alimentation ou sur les connexions sortie-entrée des composants, nos expérimentations ont toujours été effectuées lorsque ceux-ci étaient en régime statique.

Une suite à donner à cette étude serait donc l'étude du comportement de ces circuits soumis à des perturbations électromagnétiques lorsqu'ils sont en régime dynamique, et c'est d'ailleurs dans cette voie que s'engagent les travaux exposés dans le dernier chapitre ainsi que ceux entrepris sur le plan expérimental par B.COUDORO.

En effet dans le dernier chapitre nous avons présenté les possibilités offertes par un logiciel développé au laboratoire qui permet de résoudre le système d'équations aux lignes couplées lorsque celles-ci sont chargées par des éléments non linéaires.

Ce système constitue sûrement le moyen le plus simple pour injecter des perturbations électromagnétiques sur une ligne où transitent des signaux logiques et en effectuer l'analyse phénoménologique. L'outil informatique que nous avons développé sera d'un grand intérêt pour la modélisation et l'analyse des phénomènes rencontrés, celles-ci n'étant pas aussi immédiates que celles entreprises jusqu'à présent.

ANNEXE

RESOLUTION DES EQUATIONS AUX DERIVEES PARTIELLES :
METHODE DES CARACTERISTIQUES

I. CAS D'UNE LIGNE DE TRANSMISSION SEULE.

La propagation le long d'une ligne de transmission fait intervenir le système d'équations aux dérivées partielles du premier ordre suivant :

$$\begin{cases} -\frac{\partial V}{\partial x} = L \frac{\partial I}{\partial t} \\ -\frac{\partial I}{\partial x} = C \frac{\partial V}{\partial t} \end{cases} \quad (1)$$

L et C sont les paramètres linéiques de la ligne.

V et I sont les tension et courant le long de la ligne : il sont fonctions des variables x et t

Les fonctions V(x,t) et I(x,t) satisfont au système faisant intervenir les différentielles totales de celles-ci :

$$\begin{cases} dx \frac{\partial V}{\partial x} + dt \frac{\partial V}{\partial t} = dV \\ dx \frac{\partial I}{\partial x} + dt \frac{\partial I}{\partial t} = dI \end{cases} \quad (2)$$

Le système constitué de l'ensemble des équations (1) et (2) peut être présenté sous la forme matricielle suivante :

$$[A] \begin{matrix} \rightarrow \\ S \end{matrix} = \begin{matrix} \rightarrow \\ B \end{matrix}$$

$$\begin{bmatrix} 1 & L & 0 & 0 \\ 0 & 0 & 1 & C \\ dx & 0 & 0 & dt \\ 0 & dt & dx & 0 \end{bmatrix} \begin{bmatrix} \frac{\partial V}{\partial x} \\ \frac{\partial I}{\partial t} \\ \frac{\partial I}{\partial x} \\ \frac{\partial V}{\partial t} \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ dV \\ dI \end{bmatrix} \quad (3)$$

Lorsque le déterminant de la matrice $[A]$ est différent de zéro le vecteur solution \vec{S} est déterminé de façon unique.

Or la propagation le long d'une ligne ne saurait se faire quelques soient les conditions aux limites, de façon unique.

Ceci implique que le déterminant de la matrice $[A]$ doit être nul. Mais dans ce cas le système possède soit une infinité de solutions soit aucune solution.

Par nécessité de représentation d'un système physique le système doit posséder une infinité de solutions parmi lesquelles on prend celle respectant les conditions aux limites. Il est donc impératif que le déterminant de la matrice $[A']$, obtenue en remplaçant une colonne quelconque de la matrice $[A]$ par la colonne second membre de l'équation (3), soit nul.

La première condition exprimée par l'équation (4) débouche sur une relation entre dx et dt .

$$\det [A] = 0 \quad (4)$$

En effet la résolution de l'équation (4) nous donne l'équation (5).

$$\frac{dx}{dt} = \mp \frac{1}{\sqrt{LC}} = g \quad (5)$$

L'intégration de (5) génère une infinité de droites dont la pente est fixée par la vitesse de propagation le long de la ligne. Ces droites sont appelées courbes caractéristiques du système. On voit que parmi celles-ci certaines font intervenir une vitesse de propagation négative ($g = -1/\sqrt{LC}$) : ce qui peut paraître abérant sur le plan physique.

Mais la décomposition d'une onde en la somme d'une onde incidente et d'une onde rétrograde permet de justifier le fait qu'une vitesse de propagation puisse être négative. En effet si on affecte à l'onde incidente une vitesse de propagation positive il faut affecter à l'onde rétrograde une vitesse négative.

Quant à l'application de la condition $\det[A'] = 0$, elle est exprimée par l'équation (6).

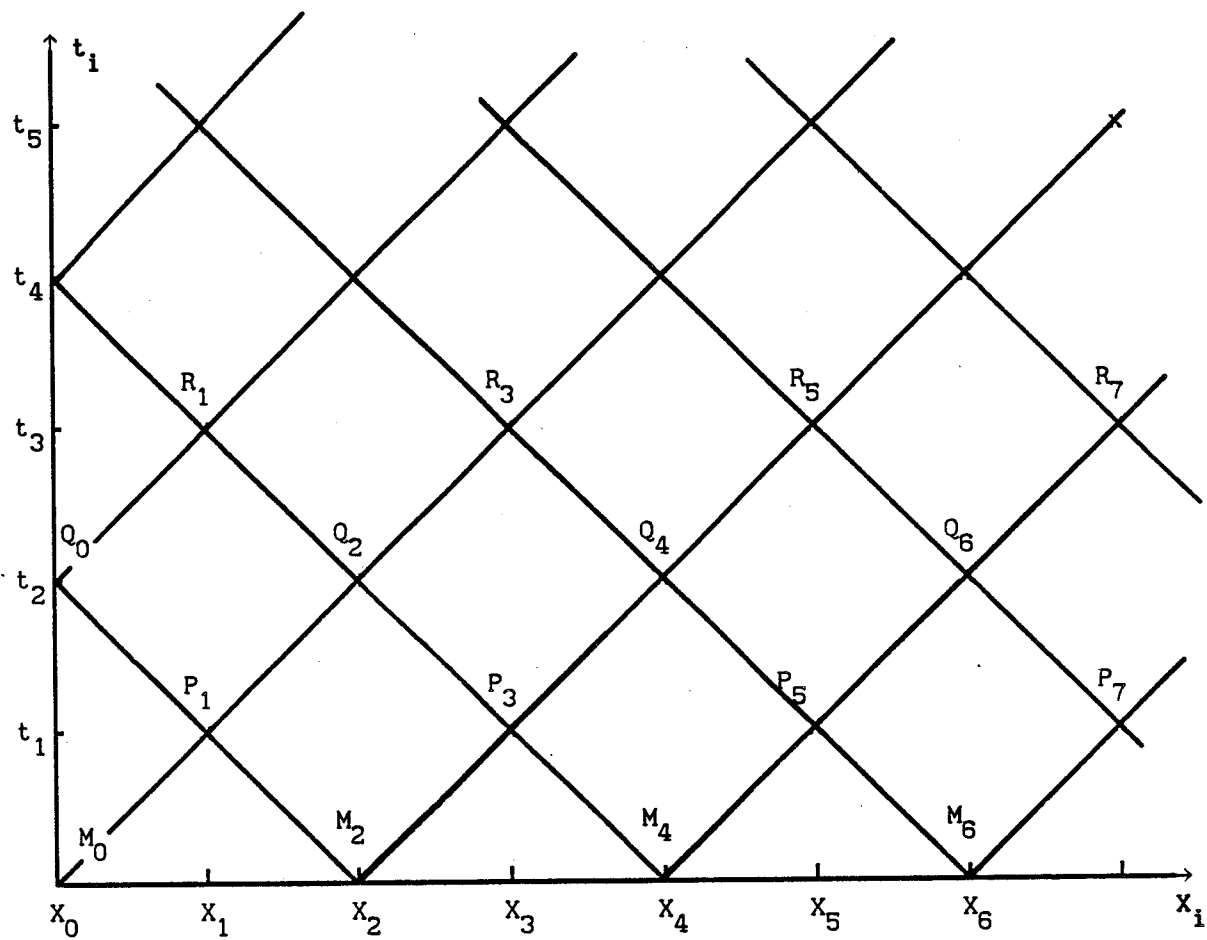


figure 1

$$dI + C \frac{dx}{dt} dV = 0 \quad (6)$$

On obtient donc une relation entre les différentielles totales dI et dV qui ne dépend que de la pente le long des caractéristiques du système, donc de la vitesse de propagation le long de la ligne.

En remplaçant dans (6) dx/dt par les solutions données par l'équation (5) on obtient un système de deux équations qui ne fait intervenir que la vitesse de propagation de la ligne et les différentielles totales (dV et dI) des deux fonctions cherchées. Pour résoudre ce système on substitue aux termes infinitésimaux dV et dI les accroissements finis ΔV et ΔI tels que :

$$\begin{cases} \Delta V = V(x_i, t_i) - V(x_{i-1}, t_{i-1}) \\ \Delta I = I(x_i, t_i) - I(x_{i-1}, t_{i-1}) \end{cases}$$

La connaissance des tensions et courants en chaque point de la ligne à un instant t_{i-1} donné nous permet de calculer ces grandeurs à l'instant t_i , il suffit pour cela de résoudre le système linéaire (7).

$$\begin{cases} I(x_i, t_i) + C g V(x_i, t_i) = I(x_{i-1}, t_{i-1}) + C g V(x_{i-1}, t_{i-1}) \\ I(x_i, t_i) - C g V(x_i, t_i) = I(x_{i+1}, t_{i-1}) - C g V(x_{i+1}, t_{i-1}) \end{cases} \quad (7)$$

Une représentation graphique de la méthode (figure 1) montre que le système d'équations précédant consiste en la détermination du point P_i à partir des points M_{i-1} et M_{i+1} .

Il semble à priori que la détermination du point Q_i est impossible puisqu'il n'existe pas de point P_{-1} . Mais l'application de la condition sur la limite au point Q_i génère une équation supplémentaire qui rend possible le calcul de la tension et du courant en ce point. En procédant de manière identique pour tout les points situés sur une frontière du domaine étudié on peut calculer V et I en chaque noeud du réseau de caractéristiques.

En résumé la méthode consiste en la recherche de courbes dites caractéristiques le long desquelles la résolution de (1) n'est fonction que de la pente le long

de ces courbes, qui est en fait la vitesse de propagation sur la ligne étudiée.

Une fois ces caractéristiques obtenues le problème d'intégration initialement posé se ramène à la résolution d'un simple système de deux équations à deux inconnues (équation (7)).

II RESOLUTION DU SYSTEME D'EQUATIONS AUX LIGNES COUPLEES.

II.1 mise en place des equations.

Le système de deux lignes placées au dessus d'un plan conducteur (figure 2) est régi par le système d'équations aux lignes couplées (équation (8)).

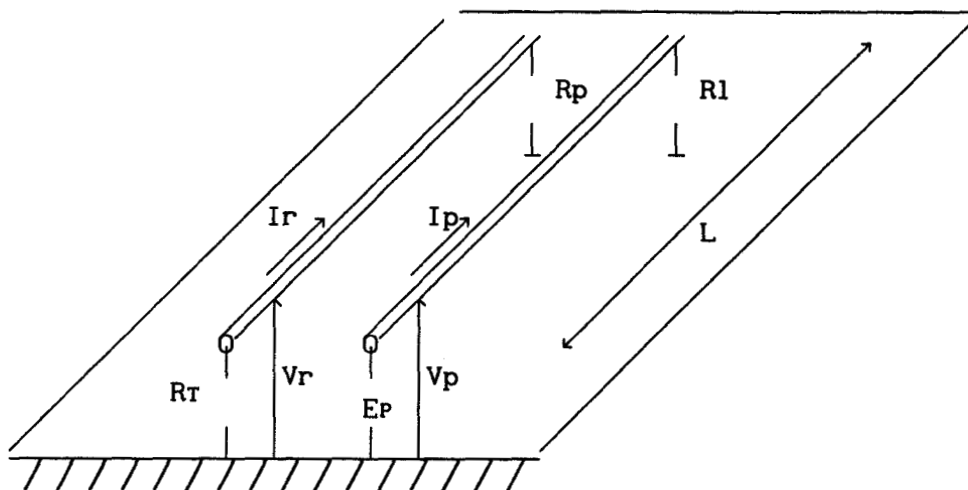


figure 2

$$\left\{ \begin{array}{l} - \frac{\partial V_1}{\partial x} = l_{11} \frac{\partial I_1}{\partial t} + l_{12} \frac{\partial I_2}{\partial t} \\ - \frac{\partial V_2}{\partial x} = l_{21} \frac{\partial I_1}{\partial t} + l_{22} \frac{\partial I_2}{\partial t} \\ - \frac{dI_1}{dx} = C_{11} \frac{\partial V_1}{\partial t} + C_{12} \frac{\partial (V_1 - V_2)}{\partial t} \\ - \frac{\partial I_2}{\partial x} = C_{21} \frac{\partial (V_2 - V_1)}{\partial t} + C_{22} \frac{\partial V_2}{\partial t} \end{array} \right. \quad (8)$$

$$\begin{bmatrix}
 1 & 0 & 0 & 0 & 0 & L11 & 0 & L12 \\
 0 & 0 & 1 & 0 & 0 & L12 & 0 & L22 \\
 0 & c11+c12 & 0 & -c12 & 1 & 0 & 0 & 0 \\
 0 & -c12 & 0 & c22+c12 & 0 & 0 & 1 & 0 \\
 dx & dt & 0 & 0 & 0 & 0 & 0 & 0 \\
 0 & 0 & dx & dt & 0 & 0 & 0 & 0 \\
 0 & 0 & 0 & 0 & dx & dt & 0 & 0 \\
 0 & 0 & 0 & 0 & 0 & 0 & dx & dt
 \end{bmatrix}
 \begin{bmatrix}
 \frac{\partial V_1}{\partial x} \\
 \frac{\partial V_1}{\partial t} \\
 \frac{\partial V_2}{\partial x} \\
 \frac{\partial V_2}{\partial x} \\
 \frac{\partial I_1}{\partial x} \\
 \frac{\partial I_1}{\partial t} \\
 \frac{\partial I_2}{\partial x} \\
 \frac{\partial I_2}{\partial t}
 \end{bmatrix}
 =
 \begin{bmatrix}
 0 \\
 0 \\
 0 \\
 0 \\
 dV_1 \\
 dV_2 \\
 dI_1 \\
 dI_2
 \end{bmatrix}$$

figure 3

Les différentielles totales dI_1 , dI_2 , dV_1 et dV_2 des fonctions cherchées s'expriment sous la forme suivante :

$$\left\{ \begin{array}{l} dI_1 = dt \frac{\partial I_1}{\partial t} + dx \frac{\partial I_1}{\partial x} \\ dI_2 = dt \frac{\partial I_2}{\partial t} + dx \frac{\partial I_2}{\partial x} \\ dV_1 = dt \frac{\partial V_1}{\partial t} + dx \frac{\partial V_1}{\partial x} \\ dV_2 = dt \frac{\partial V_2}{\partial t} + dx \frac{\partial V_2}{\partial x} \end{array} \right. \quad (9)$$

Le système constitué de l'ensemble des huit équations 8 et 9 peut s'écrire sous forme matricielle (figure 3).

La condition de nullité du déterminant de la matrice [A] nous donne une équation "bicarrée" dont la variable est dx/dt , soit donc une vitesse de propagation.

Etant donnée la nature physique du problème à résoudre l'équation bicarrée ne peut qu'avoir soit, quatre racines réelles distinctes mais égales deux à deux en valeur absolue soit, deux racines réelles chacune étant double.

Ces solutions correspondent en fait aux deux cas possibles physiquement à savoir : ou les vitesses de propagation (qui sont réelles) sont rigoureusement identiques sur chacune des deux lignes ou elles sont différentes.

Puisque nous étudions un système composé de deux lignes nous avons à calculer quatre paramètres V_1, V_2, I_1 et I_2 , les tensions et courants sur chacune des deux lignes.

On comprend dès lors la nécessité d'avoir quatre équations, donc quatre caractéristiques, donc quatre solutions distinctes à l'équation bicarrée résultant de la condition de nullité du déterminant de la matrice [A].

Ce qui revient à dire que la méthode des caractéristiques n'est pas applicable lorsque les vitesses de propagation sur chacune des deux lignes sont "rigoureusement" identiques.

Nous préciserons par la suite quelle limite nous donnons au terme "rigoureusement".

Quant à la condition de nullité du déterminant de la matrice [A'], formée de

la matrice [A] lorsqu'une colonne quelconque de celle-ci a été remplacée par la colonne second membre du système matriciel (figure (3)), elle s'exprime sous la forme suivante :

$$c(dx/dt)dI_2 + e(dx/dt) dI_1 + f(dx/dt) dV_1 + h(dx/dt) dV_2 = 0 \quad (10)$$

A partir des quatre valeurs de dx/dt calculées précédemment on a un système de quatre équations à quatre inconnues infinitésimales.

La discrétisation de ce système n'étant pas immédiate nous allons montrer les problèmes rencontrés ainsi que les solutions que nous y avons trouvés.

II.2 discrétisation des équations.

Comme nous l'avons précisé dans le paragraphe précédant le réseau de caractéristiques associé à notre système est entièrement conditionné par la vitesse de propagation sur chacune des deux lignes de transmission, soit g_1 et g_2 ces deux vitesses.

Le réseau des caractéristiques est donc constitué d'un ensemble de droites dont les pentes sont $+g_1, +g_2, -g_1$ et $-g_2$.

La discrétisation le long de ces droites nous amène à définir pour une variation temporelle Δt deux variations de longueur Δx_1 et Δx_2 telles que :

$$\begin{cases} \Delta x_1 = g_1 \Delta t \\ \Delta x_2 = g_2 \Delta t \end{cases} \quad (11)$$

Pour pouvoir décrire le réseau de caractéristiques à l'aide de l'outil informatique il faut que la longueur L des lignes soit un multiple entier de Δx_1 et Δx_2 , ce qui se traduit par les équations (12) dans lesquelles K_1 et K_2 sont des entiers.

$$\begin{cases} L = k_1 g_1 \Delta t \\ L = k_2 g_2 \Delta t \end{cases} \quad (12)$$

La longueur L du câble étant imposée le problème consiste en la détermination de Δt , k_1 et k_2 tels que L soit un commun multiple de Δx_1 et Δx_2 , la résolution de celui-ci passe par la détermination du plus petit commun multiple (ppcm) de g_1 et g_2 (équation (12)).

Précisons avant tout que la notion de ppcm de deux vitesses n'est qu'un artifice mathématique qui nécessite que les grandeurs mises en jeu soient

exprimées par des nombres entiers et ceci dans un même système d'unité. Le ppcm exprime dans ces conditions une grandeur de même nature et exprimée dans le même système d'unité que les données initiales.

Nous allons donc voir comment il est possible d'exprimer les vitesses sous forme entière.

Les vitesses de propagation peuvent être exprimées sous la forme :

$$\begin{cases} g_2 = g_2' & 10^8 \text{ m/s} \\ g_1 = g_1' & 10^8 \text{ m/s} \end{cases} \quad (13)$$

où les coefficients g_2' et g_1' sont des réels.

Le calcul du ppcm de g_2 et g_1 peut alors se ramener au calcul du ppcm de g_2' et g_1' à condition que ceux-ci n'aient pas un nombre de chiffres significatifs trop important.

La détermination de ce nombre de chiffres ne saurait se faire arbitrairement, en effet la précision du calcul de la vitesse de propagation sur un câble, à partir de résultats expérimentaux est imposée par celle des mesures.

A titre d'exemple les valeurs typiques des paramètres linéiques d'un câble 50 Ω sont de 100 pF/m et 250 nH/m et la vitesse de propagation donnée par l'expression ci-dessous est de $2 \cdot 10^8$ m/s.

$$g = \frac{1}{\sqrt{LC}} \quad (14)$$

Si on admet une erreur relative de 1% sur la mesure de chacun des paramètres linéiques, ce qui est plutôt optimiste, on obtient la même erreur relative sur le calcul de la vitesse.

Il paraît donc raisonnable dans le cas plus complexe qui est le notre, de limiter le nombre de chiffres significatifs dans le calcul de g_1' et g_2' à trois, ce qui permet d'exprimer les vitesses g_1 et g_2 sous la forme suivante :

$$\begin{cases} g_1 = N_1 & 10^6 \text{ m/s} \\ g_2 = N_2 & 10^6 \text{ m/s} \end{cases} \quad (15)$$

où N_1 et N_2 sont des entiers inférieurs à 300.

Le problème initialement posé, à savoir le calcul du ppcm des vitesses de propagation se ramène à celui beaucoup plus simple du calcul du ppcm de

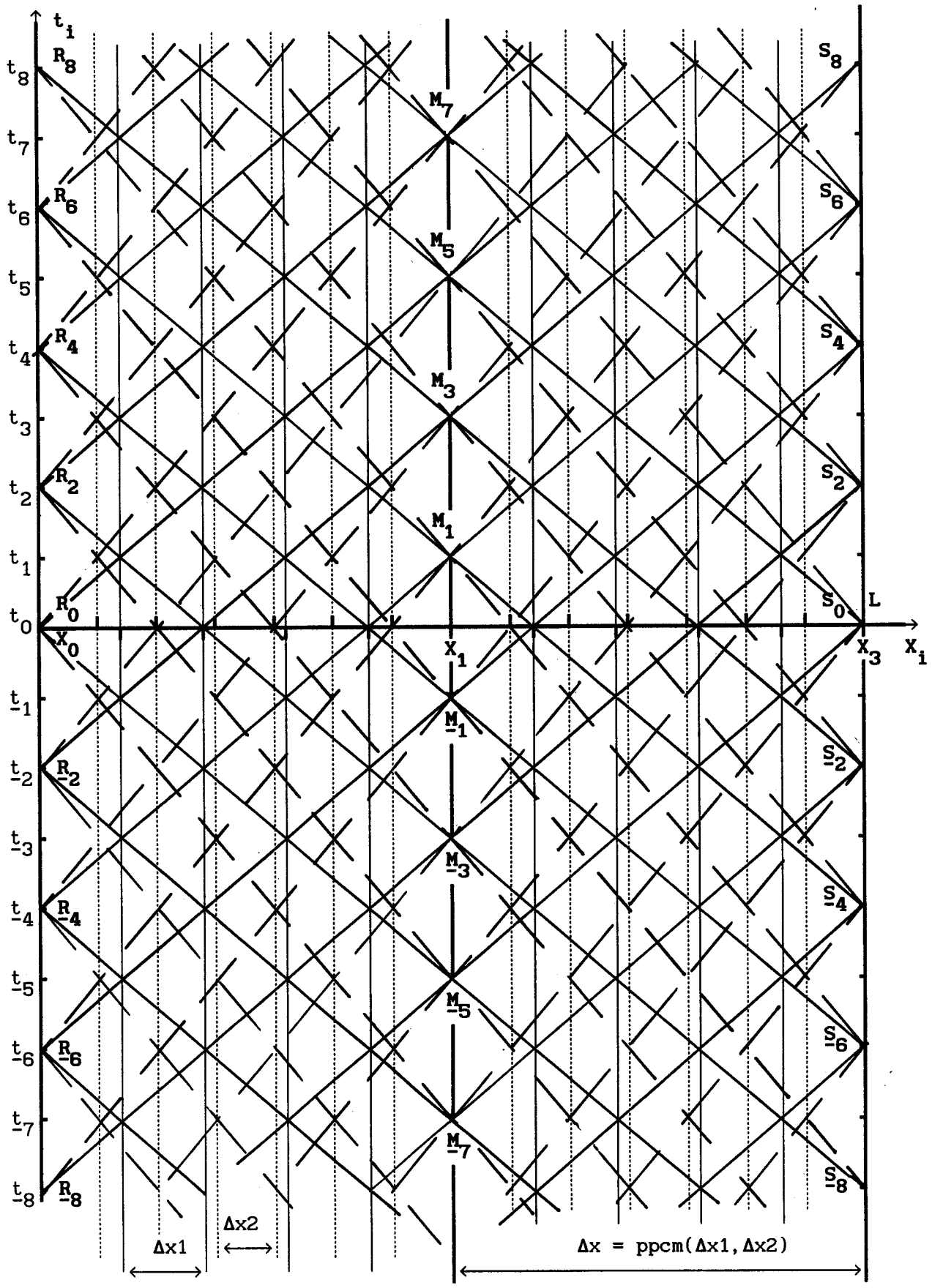


figure 4

deux entiers inférieurs à 300, ceux-ci expriment en fait les vitesses en Mégamètres par seconde.

La condition imposée par les équations (12) se traduit maintenant par la relation unique :

$$L = k \text{ ppcm}(N1, N2) 10^6 \Delta t \quad (16)$$

où k est un entier.

Le produit du $\text{ppcm}(N1, N2)$ par le facteur 10^6 exprime une vitesse équivalente fictive g_{eq} en mètres par seconde, supérieure voir beaucoup plus grande que chacune des deux vitesses initiales. Le produit de cette vitesse par la résolution temporelle Δt détermine un pas unique Δx qui détermine la résolution du découpage le long des lignes.

Nous avons représenté figure (4) un réseau de caractéristique remplissant les conditions (12) et donc (16), avec $k = 2$.

Notons que sur cette figure nous avons exprimé Δx sous la forme du ppcm de $\Delta x1$ et $\Delta x2$, ceci implique que $\Delta x1$ et $\Delta x2$ sont exprimés dans un système d'unités tel que leurs valeurs sont décrites par des nombres entiers.

Avant de décrire la discrétisation proprement dite des équations nous allons revenir à la limitation de la méthode en ce qui concerne le cas où les vitesses sont rigoureusement identiques.

En effet nous avons montré dans le paragraphe II.1 que lorsque que les vitesses sont rigoureusement identiques la méthode des caractéristiques ne pouvait être appliquée. Or nous avons montré ci-dessus qu'en prenant en compte la précision sur les mesures des paramètres linéiques il est justifié de limiter le nombre de chiffres significatifs dans le calcul des vitesses à deux au delà de la virgule lorsque celles ci sont exprimées en 10^8 m/s. Il est donc toujours possible en prenant en compte cette précissions de trouver des vitesses de propagation non rigoureusement identiques, ce qui entraine que la méthode peut être appliquée à tout les cas pratiques.

Quant à la discrétisation des équations on voit sur le graphe de la figure 4 que tous les points M_i peuvent être calculées à partir des points R_i et S_i puisqu'il sont tous issus de quatre caractéristiques, ce qui permet de disposer de quatre équations pour la détermination des inconnues $V1_{mi}, V2_{mi}, I1_{mi}$ et $I2_{mi}$.

Quant aux points placés sur les frontières (R_1 et S_1) ils sont issus de deux caractéristiques issues de points connus. Il est donc nécessaire d'introduire pour le calcul de ces points les conditions aux limites sur chacune des deux lignes ce qui fournit deux équations supplémentaires pour chacun d'entre eux, en rendant ainsi possible le calcul.

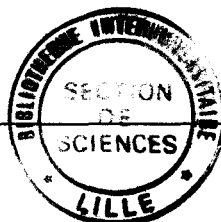
Il est à remarquer sur la figure 4 la présence de points indicés négativement (R_{-1} , M_{-1} et S_{-1}), en effet le calcul de certains points nécessite la connaissance de ceux-ci, le point M_{-1} en est un exemple.

L'ensemble des points indicés négativement exprime la condition initiale à savoir qu'avant l'instant $t=0$ les courant et tension sont nuls en tout point du système.

BIBLIOGRAPHIE

- [1] : RONALD J. TOCCI
"Circuits numériques théorie et applications"
Dunod 1988
- [2] : J. AUVRAY
"Electronique des signaux échantillonnés et numériques"
Dunod université 1979
- [3] : B. DEMOULIN, C. LARDE et P. DEGAUQUE
5^{ème} rapport d'avancement sur:
"Etude du comportement des composants électroniques soumis aux
I.E.M non destructives"
Contrat INRETS-CRESTA décembre 1987
- [4] : C. LARDE
"Influence des perturbations électromagnétiques sur les circuits
logiques : approche pratique"
Rapport de DEA USTLFA 1988
- [5] : A. ZEDDAM
"Couplage d'une onde électromagnétique rayonnée par une décharge
orageuse à un câble de télécommunication"
Thèse d'état USTLFA 1988
- [6] : B. DEMOULIN
"Compléments sur les lignes hautes fréquences"
EUDIL
- [7] : B. HEDDEBAUT
Thèse à paraître
Université de Lille 1992
- [8] : P. LETURCQ, G. REY
"Physiques des composants actifs à semi-conducteurs"
Dunod université 1979
- [9] : CMOS data Book
National Semiconductor 1978





- [10] : J.P. NOUGIER
"Méthode de calcul numérique"
Masson 1991
- [11] : J.P. VABRE
"Electronique des impulsions"
Tome VI : "Lignes couplées en régime transitoire"
Masson 1972
- [12] : A. ZOUNON, P. CROZAT, R. ADDE
"Modèles de lignes simples et couplées, idéales et à pertes, pour
la CAO des circuits gigabits"
Annales des télécommunications 45 n°5-6 pp. 306-314, 1990
- [13] : B. COUDORO, J. BAUDET, B. DEMOULIN et P. DEGAUQUE
"Etude du comportement des composants électroniques soumis aux
I.E.M non destructives"
Contrat INRETS-CRESTA n°B 409021 Avril 1991
- [14] : "Improving time domain network - Analysis measurements"
Notice d'application 62 Hewlett Packard Avril 88
- [15] : Mc Donnell Douglas Astronotics Co.
"Integrated circuit electromagnetic susceptibility investigation
bipolar NAND gate study"
St Louis, MO, Tech. Rep. MDC E1123, (AD-B002279L), July 26, 1974
- [16] : J.J. WHALEN, J.C. TRONT, C.E. LARSON and J.M. ROE
"Computed-Aided Analysis of RFI effects in Digital Integrated
circuits"
IEEE Trans, on EMC Vol EMC-21 n°4, pp 291-297, November 1979
- [17] : J. ALKALAY and D. WEINER
"Computer simulation of EMI effects in a 7400 TTL NAND gate"
4th Symposium on EMC Zurich, Proceeding Editor : T. Dvorak, pp 459-
464, March 1983.

RESUME

L'usage de plus en plus fréquent des logiques bas niveau expose certaines fonctions à un risque électromagnétique important. On comprend alors l'intérêt qu'il y a à réduire ces risques en agissant sur la sensibilité électromagnétique des équipements électroniques. C'est à ce problème qu'est consacrée notre thèse, où nous cherchons à reconnaître à travers les différentes familles technologiques de composants logiques actifs des comportements singuliers vis-à-vis des agressions électromagnétiques.

Dans le premier chapitre nous mettons en place deux dispositifs d'injection de perturbation électromagnétique de type impulsionnel, ceux-ci trouvent leur justification dans la modélisation du phénomène de couplage.

Dans les deux chapitres suivants nous exploitons les deux dispositifs précédents en les appliquant aux ports d'accès de circuits NAND de différentes familles technologiques. Les essais pratiqués montrent le rôle important joué par la nature non linéaire des impédances mises en jeu lors de l'agression électromagnétique des circuits.

Enfin dans le quatrième chapitre nous présentons les différentes possibilités offertes par un logiciel développé au laboratoire, qui permet de simuler le résultat de l'induction électromagnétique produit sur des pistes de circuits imprimés à des circuits intégrés.

Mots clés : Compatibilité Electromagnétique - Perturbation Electromagnétique - Circuits Intégrés - Couplage - Bifilaire blindé - Méthode des caractéristiques.