

50376
1991
252

67232

50376
1991
252

N° d'ordre : 779

THESE

présentée à

l'Université des Sciences et Techniques

de Lille Flandres-Artois

Pour obtenir le grade de

Docteur en Electronique

par



Pierre MASQUELIER

Ingénieur ISEN

MULTIPLIEUR CMOS A HAUTE PRECISION

ET SON APPLICATION DANS L'ANALYSE SPECTRALE

soutenu le 4 Octobre 1991, devant la commission d'examen:

Président: E.CONSTANT

Rapporteurs: M. GAZALET
E. ALLAMANDO

Examineurs: J.N. DECARPIGNY
J.M. FOURNIER
A. KAISER
J.C. MAINGUY

A Bernadette

A Laurent et Sophie

A mes parents et beaux parents

A toute ma famille

Mes premiers remerciements iront très chaleureusement à mon ami Andréas Kaiser pour le soutien constant et bénéfique qu'il m'a apporté tout au long de ce travail.

J'exprime ma reconnaissance à Monsieur le Professeur E. Constant qui a accepté la présidence du jury de cette thèse.

Je remercie Messieurs M. Gazalet et E. Allamando pour l'intérêt qu'ils ont porté à ce travail en acceptant la lourde tâche de rapporteur.

J'adresse tous mes remerciements à Monsieur Letailleur pour la confiance qu'il nous témoigne. Mes remerciements vont également à son collaborateur Monsieur Boulanger pour sa volonté d'élaborer un système complet d'analyse spectrale.

Je remercie sincèrement Monsieur J.C. Mainguy pour la confiance qu'il m'a accordée pour ce travail en m'en confiant l'étude et qui m'a fait l'honneur de participer à ce jury.

Je remercie Monsieur J.M. Fournier d'avoir bien voulu répondre à l'invitation pour être membre du jury.

Je remercie Messieurs P. Astier et M. Lannoo qui m'ont accueilli dans les locaux de l'Institut Supérieur d'Electronique du Nord au sein du Laboratoire d'Etudes des Surfaces et Interfaces.

J'exprime ma profonde gratitude à J.N. Decarpigny pour la disponibilité, le support technique, la confiance qu'il m'a témoignée en me déléguant une responsabilité dans l'enseignement à l'ISEN et le soutien moral pendant toute la durée du travail.

Je remercie D. Collard et tout le personnel du département électronique pour leur participation et la bonne ambiance de l'équipe.

Un merci tout particulier à J.M. Droulez pour son amitié et son aide efficace dans les tests du circuit.

SOMMAIRE

1. Introduction	2
1.1. Contexte	3
1.2. Utilisation du document	5
2. Etude des multiplieurs pour L'instrumentation	6
2.1. Définition des multiplieurs	7
2.1.1. Classement des multiplieurs en micro-électronique silicium	7
2.1.2. Multiplieur à loi exponentielle	8
2.1.2.1. En technologie bipolaire : la cellule de GILBERT originale	8
2.1.2.2. Le principe translinéaire	17
2.1.2.3. Enoncé du principe translinéaire	18
2.1.2.4. Analyse de la cellule de GILBERT par le principe translinéaire	19
2.1.2.5. En technologie M.O.S. : la cellule de GILBERT M.O.S.	23
2.1.2.6. Transformation du principe translinéaire et application	26
2.1.2.7. Transistor bipolaire latéral compatible C.M.O.S.	29
2.1.3. Multiplieur à loi quadratique	32
2.1.3.1. Analyse de la cellule à transistor M.O.S. en forte inversion	32
2.1.4. Multiplieur à transconductance.	36
2.1.4.1. Analyse de la cellule à transistor M.O.S. en zone triode	36
2.2. Les critères de choix pour l'étude	40
2.3. Analyse des imperfections	43
2.3.1. Analyse des erreurs de la structure à transistor bipolaire latéral compatible C.M.O.S.	45
2.3.1.1. Décalage, transparence et non-linéarité	45
2.3.1.2. compromis	55
2.3.2. Analyse des erreurs de la structure à transistor M.O.S.	56
2.3.2.1. Décalage, transparence et non-linéarité	56
2.3.2.2. compromis	62
2.3.3. Conclusion	63
2.4. Références bibliographiques du chapitre 2	64
3. Amélioration des caractéristiques des multiplieurs	65
3.1. Introduction	66
3.2. Optimisation analytique	66
3.2.1. La cellule de GILBERT M.O.S. en faible inversion	66
3.2.1.1. Modification de la cellule de base	66
3.2.1.2. Analyse de la cellule modifiée	68
3.2.1.3. Décalage, transparence et non-linéarité	68
3.2.1.4. Limitation de la bande passante de la nouvelle structure	71
3.3. Optimisation système	76
3.3.1. Approche système pour pallier aux imperfections de la réalisation	76
3.3.1.1. Le principe d'élimination des erreurs	76
3.3.2. Utilisation du principe d'égalisation	84
3.3.2.1. Répartition spectrale de l'égalisation dynamique	84
3.3.2.2. Estimation de la réduction des offset et de la distorsion	85
3.3.3. Vérification et réalisation pratique	87
3.3.3.1. Multiplieur à bipolaire latéral	90
3.3.3.2. Multiplieur M.O.S. en faible inversion	92
3.3.3.3. Résultats de mesures des multiplieurs avec et sans égalisation dynamique	94
3.3.4. Conclusion	99
3.4. conclusion	100
3.5. Références bibliographiques du chapitre 3	101

4. Réalisation complète d'un détecteur utilisant le principe de réduction d'erreurs	102
4.1. Introduction	103
4.2. Les procédés intégrables de Détection de puissance	105
4.2.1. La détection synchrone	106
4.2.2. Le principe de filtrage et de détection	107
4.2.3. Conclusion	108
4.2.3.1. Choix de la solution de mesure	108
4.2.3.2. Originalité du choix	109
4.3. La conception du système analyseur	110
4.3.1. Le système analyseur	110
4.3.2. Les exigences du circuit analyseur	110
4.3.3. Les blocs fonctionnels et leur conception	112
4.3.3.1. La conception des filtres du circuit ANL05	113
4.3.3.2. La conception de l'élément de normalisation	121
4.3.3.3. La conception du détecteur	125
4.3.3.4. La conception du bloc numérique	134
4.3.4. Conclusion	135
4.3.4.1. Le résultat	135
4.4. Théorie du signal du système de détection	138
4.4.1. Développement de la théorie du signal du circuit ANL05	138
4.4.1.1. Définition du rapport signal sur bruit	138
4.4.1.2. La mesure du rapport signal sur bruit à la sortie d'un système non-linéaire	140
4.4.1.3. Calcul du rapport signal sur bruit ramené à l'entrée du circuit.	143
4.4.2. Conclusion	149
4.5. Conclusion	150
4.6. Références bibliographiques du chapitre 4	152
5. Conclusion	153
5.1. Points originaux	154
5.1.1. Originalité du multiplieur	154
5.1.2. Originalité du détecteur	154
5.1.3. Originalité du suivi du projet	154
5.2. Perspectives	155
5.2.1. Perspectives de la combinaison analogique-numérique	155
5.2.2. Perspectives du circuit	155
5.2.3. Perspectives d'environnement	156

6. Annexe	157
6.1. Le calcul analytique des répartitions de courant dans un multiplieur	158
6.2. Approche de calcul numérique d'un multiplieur	161
6.2.1. évaluation du courant drain d'un transistor M.O.S.	161
6.2.1.1 hypothèses	161
6.2.1.2 régime de forte inversion	161
6.2.1.3 régime de faible inversion	165
6.2.1.4 jonction faible/forte inversion	170
6.2.1.5 programme d'application	172
6.3. Le calcul du rapport signal sur bruit	178
6.3.1. Rapport signal sur bruit à la sortie du filtre linéaire	178
6.3.2. Rapport signal sur bruit à la sortie du système non-linéaire	179
6.3.2.1 Calcul du signal en sortie:	180
6.3.2.2 Calcul du bruit de sortie	181
6.4. Références bibliographiques du chapitre 6.	186

1. INTRODUCTION

1.1. Contexte

Le problème à résoudre est la conception d'un moyen d'analyse de signaux électriques provenant de capteurs placés sur un engin spatial. Ce moyen d'analyse doit permettre de donner la répartition spectrale de ces signaux lors du vol dans l'espace de l'engin.

Cette étude a été conduite pour la société d'instrumentation INTERTECHNIQUE et pour L'AEROSPATIALE.

Nous nous proposons ici de décrire la conception d'un système spatial embarqué de traitement du signal. Pour cela, nous allons d'abord présenter le contexte du problème puis, donner l'analyse d'une solution analogique.

D'une part, le système complet d'analyse doit être léger, puisque cet ensemble ne peut pas être comptabilisé comme charge utile de la mission du lanceur spatial. Ce système doit donc être intégré à une très grande échelle. D'autre part, le traitement du signal doit se faire en temps réel, car il n'est pas envisageable de transmettre tous les points de mesure. Ceux-ci satureraient la liaison hertzienne qui relie l'engin à la station de contrôle. Lorsque le système de traitement est embarqué dans l'engin spatial, le poids, l'encombrement et la vitesse de traitement ainsi que la vitesse de transmission des données par voie hertzienne, nous amènent donc à effectuer des compromis.

Ces compromis sont de deux ordres : de système et de technologie. En effet, pour aboutir à cette analyse de signal, le système choisi doit permettre de traiter l'information en temps réel et donner un résultat aussi concis que possible, afin d'optimiser la transmission sans nuire à la précision d'analyse. Pour respecter les aspects de poids et d'encombrement, la technique nous impose alors d'intégrer ce système.

A l'heure actuelle, bien que le numérique ait une part très importante, nous sommes encore confrontés au problème de minimisation du rapport encombrement/rapidité. Une solution originale est de travailler avec un circuit intégré analogique en temps réel qui sera chargé de cette optimisation. Ce circuit devra effectuer une analyse spectrale.

La segmentation d'un tel système nous a conduit à nous focaliser sur la partie centrale essentielle qui sera un multiplieur analogique.

L'étude consiste à donner d'abord un aperçu des techniques mises en oeuvre pour la conception d'un multiplieur d'instrumentation puis, ensuite, d'analyser les erreurs pour concevoir le dispositif répondant au cahier des charges d'un système spatial embarqué.

Nous verrons dans le chapitre 3 la justification de l'utilisation de la technologie M.O.S.(Metal-oxide-semiconductor), car le système complet demande une programmation numérique de la configuration analogique de chacune des parties constituantes, avec des spécifications de rapidité et de consommation.

Dans ce choix de technologie, nous sommes alors confrontés à la définition d'un multiplieur M.O.S. Bien que le dispositif M.O.S. ne soit pas, pour un multiplieur, aussi adapté que le dispositif bipolaire, nous verrons qu'il est possible de réaliser une structure de multiplication de précision par adjonction d'un système de réduction d'erreur utilisant les propriétés du M.O.S.

Les principales sources d'erreur pour le M.O.S. sont, la non-linéarité de la caractéristique de multiplication, la dispersion des offset, qui est de 3 à 20 fois plus forte qu'en bipolaire, ainsi que l'existence du bruit en $1/f$.

Nous verrons, par une approche système, que ces deux dernières erreurs peuvent être éliminées de façon importante par le principe original de réduction d'erreur dynamique, la première n'étant toutefois réduite qu'en partie. Il est donc nécessaire d'étudier et d'optimiser la structure en vue de minimiser les non-linéarités.

1.2. Utilisation du document

Le chapitre 2 traite l'étude bibliographique des multiplieurs et analyse les imperfections des différentes structures. Ce chapitre précise les interactions entre la technologie, les structures, et la conception. La fin de ce chapitre nous amène au choix optimum et à fixer les limites de l'étude pour résoudre le problème de précision du détecteur.

Le chapitre 3 traite de l'optimisation de la cellule choisie en vue de tirer partie de toutes les potentialités soit de la technologie, soit des techniques de conception. Il permet de mettre en évidence l'originalité du développement d'une nouvelle technique de réduction d'erreur associée aux circuits non-linéaires. La fin de chapitre donne le moyen de réaliser un détecteur M.O.S. suffisamment précis pour élaborer une analyse spectrale.

Le chapitre 4 traite du développement de cette technique dans la réalisation complète d'un circuit analyseur de spectre. Les originalités de mises en oeuvre, les techniques d'amélioration, le soucis de précision dans chaque partie, le soin de l'implantation des composants sur le silicium, permettent d'élaborer un circuit dont les performances sont satisfaisantes. Ce développement démontre la faisabilité d'un système analyseur de spectre répondant à la définition donnée.

2. ETUDE DES MULTIPLIEURS POUR L'INSTRUMENTATION

2.1. Définition des multiplieurs

2.1.1. Classement des multiplieurs en micro-électronique silicium

Le multiplieur est une importante structure en micro-électronique pour le traitement du signal. Deux technologies sont à envisager pour la réalisation d'un circuit temps réel: la technologie bipolaire et la technologie M.O.S.

En technologie bipolaire, il y a eu beaucoup de réalisations de multiplieurs de haute précision et de haute vitesse. [2.1] [2.2]

En technologie M.O.S., des multiplieurs ont été intégrés en utilisant soit le principe translinéaire avec le transistor M.O.S en régime de faible inversion [2.3], soit la transconductance dans son régime triode [2.4], soit la loi quadratique du transistor en régime de forte inversion [2.5], soit des capacités commutées [2.6].

On remarquera la diversité des principes utilisés en technologie M.O.S. Cette variété de techniques est principalement due à une loi courant-tension moins appropriée à l'élaboration d'un multiplieur que celle du transistor bipolaire, mais qui illustre en même temps la souplesse d'utilisation de cette technologie. Toutes ces réalisations sont donc plus ou moins adaptées à un besoin spécifique.

Dans ce chapitre, nous allons passer en revue les principales techniques utilisées en micro-électronique silicium. Nous pourrions effectuer un classement pour simplifier l'étude d'une réalisation de multiplieurs d'instrumentation. Puis nous analyserons les écarts de la caractéristique de ces multiplieurs par rapport à un multiplieur idéal.

Ce classement peut être fait en prenant en compte le principe utilisé pour effectuer la multiplication. Nous détaillerons dans ce chapitre les trois grandes catégories de multiplieur : à loi exponentielle, à loi quadratique et à transconductance.

2.1.2. Multiplieur à loi exponentielle

2.1.2.1. En technologie bipolaire : la cellule de GILBERT originale

L'étude bibliographique des multiplieurs existants nous conduit tout naturellement à présenter en premier lieu la cellule de GILBERT [2.1]. Cette cellule, bien adaptée à la notion de multiplication de deux tensions, exploite la loi exponentielle qui régit l'équation courant-tension du transistor bipolaire, à savoir, en première approximation :

$$I_c = I_s \exp\left(\frac{V_{BE}}{U_t}\right) \quad (2.1)$$

où I_c est le courant collecteur, I_s le courant de saturation, U_t représente KT/q et V_{BE} la tension base émetteur.

La cellule de base se compose de trois transistors conformément à la figure 2.1.

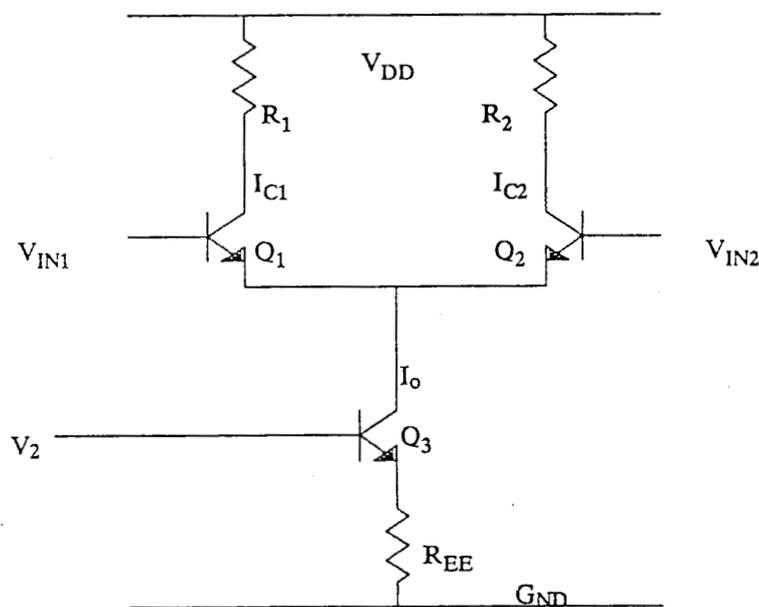


Figure 2.1. Cellule de base.

Une mise en équation nous donne :

$$I_{c1} = I_{s1} \exp\left(\frac{V_{BE1}}{U_t}\right) \quad (2.2)$$

$$I_{c2} = I_{s2} \exp\left(\frac{V_{BE2}}{U_t}\right) \quad (2.3)$$

en considérant que les transistors sont parfaitement équivalents :

$$\frac{I_{c1}}{I_{c2}} = \exp\left(\frac{\Delta V_{BE}}{U_t}\right) \quad (2.4)$$

avec

$$\Delta V_{BE} = V_{in1} - V_{in2} \quad (2.5)$$

D'autre part, en exprimant que la somme des courants dans les deux transistors Q1 et Q2 donne le courant de polarisation imposé, nous avons :

$$\Delta I = I_{c1} - I_{c2} = I_o \tanh\left(\frac{\Delta V_{BE}}{2U_t}\right) \quad (2.6)$$

En faisant l'approximation d'un signal d'entrée de faible amplitude tel que :

$$\Delta V_{BE} \ll U_t$$

avec à température ambiante :

$$U_t \# 25 \text{ mv}$$

nous avons alors :

$$\tanh\left(\frac{\Delta V_{BE}}{2U_t}\right) \# \frac{\Delta V_{BE}}{2U_t} \quad (2.7)$$

Si maintenant l'excitation du générateur de courant de polarisation I_o est fonction d'une autre tension V_2 , nécessairement positive, nous avons finalement l'équation d'un multiplieur, en l'occurrence deux cadrans, de courant de sortie différentiel proportionnel au produit des tensions d'entrée.

$$\Delta I = \frac{V_2}{R_E} \frac{\Delta V_{BE}}{2U_t} \quad (2.8)$$

Un autre calcul équivalent peut être fait si l'on prend tout de suite en compte l'hypothèse petit signal. En effet, le courant parcourant la paire différentielle fournit une transconductance G_m équivalente:

$$G_m = \frac{I_o}{2U_t} \quad (2.9)$$

avec

$$I_o = \frac{V_2}{R_E} \quad (2.10)$$

et

$$\Delta I = G_m \Delta V_{BE} \quad (2.11)$$

Il vient immédiatement, avec le courant de sortie petit signal fonction de G_m

$$\Delta I = \frac{V_2}{R_E} \frac{\Delta V_{BE}}{2U_t} \quad (2.12)$$

Il est donc possible, moyennant certaines conditions de polarisation et d'appariement géométrique, de donner un résultat de multiplication de deux tensions avec un montage très simple ne comportant que trois transistors.

Cette cellule suffit dans les cas où il n'est pas nuisible de récupérer un signal de mode commun sur chacune des sorties, de valeur proportionnelle au signal d'entrée V_2 .

$$S_m \# V_2 \frac{R_C}{2R_E} \quad (2.13)$$

Ce mode commun peut être éliminé en partie par filtrage des fréquences hautes quand l'information différentielle utile est autour du continu (figure 2.2.).

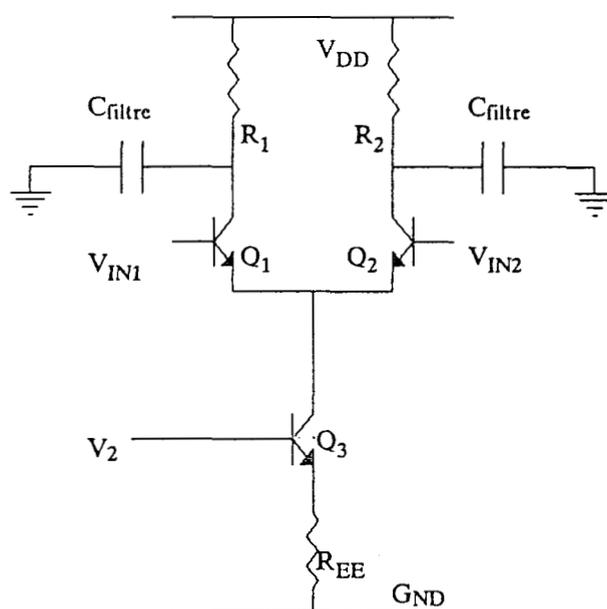


Figure 2.2. Illustration du moyen d'éliminer le mode commun.

Lorsque le signal doit être dépourvu de signal de mode commun en sortie, ou que l'information d'entrée V_2 est de valeur moyenne nulle, il est nécessaire de passer de la structure deux cadrans à la structure quatre cadrans.

Le passage de deux cadrans à quatre cadrans se fait simplement par la mise en parallèle de deux étages différentiels selon la figure 2.3.

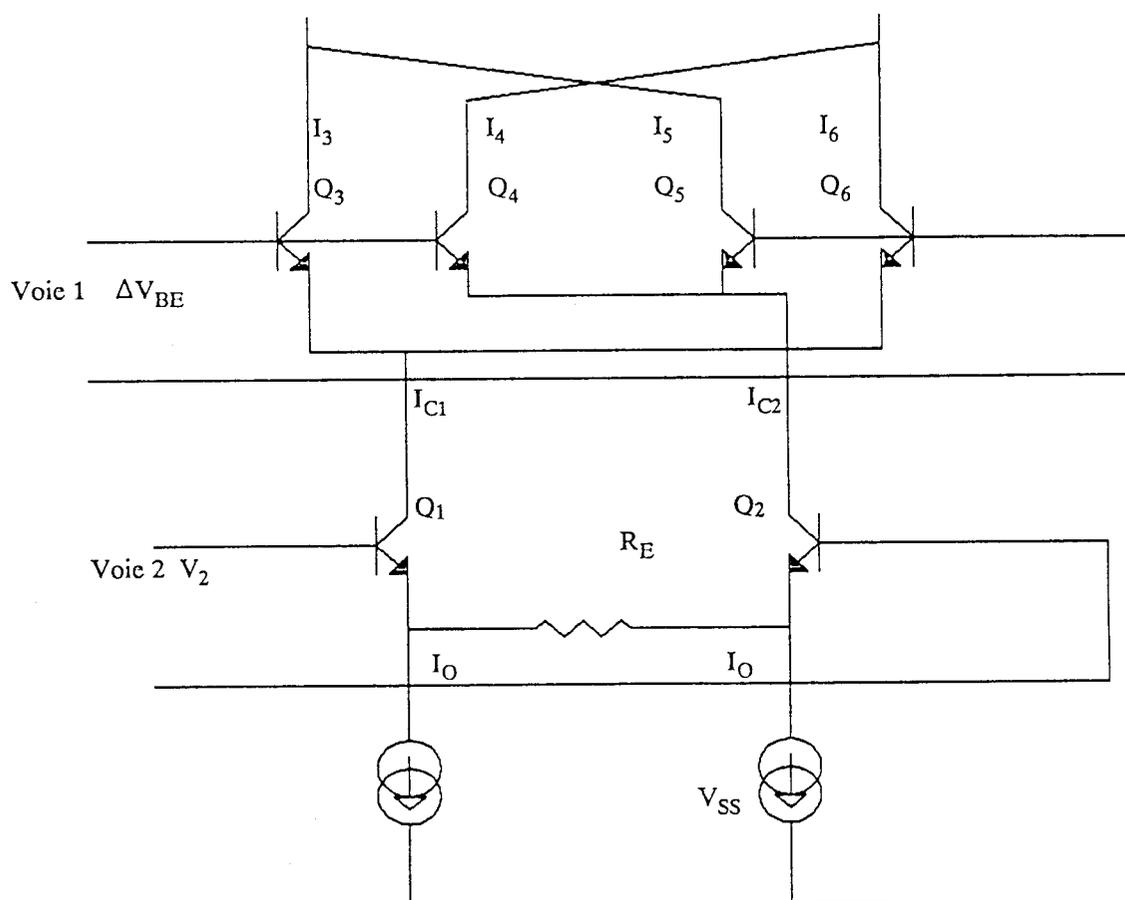


Figure 2.3. Multiplieur quatre cadrans ($R_E = 1K$ $I_O = 1e-3A$).

Une analyse de la répartition des courants dans l'ensemble des branches peut être faite.

Elle s'écrit:

$$\begin{aligned}
 I_{C1} + I_{C2} &= 2I_O \\
 I_3 + I_6 &= I_{C1} \\
 I_5 + I_4 &= I_{C2}
 \end{aligned}
 \tag{2.14}$$

le courant de sortie est :

$$I_1 - I_2 = \Delta I = (I_3 + I_5) - (I_4 + I_6) \quad (2.15)$$

soit après réajustement des termes :

$$\Delta I = (I_3 - I_4) - (I_6 - I_5) \quad (2.16)$$

en réutilisant les résultats du multiplieur deux cadrans pour les paires différentielles, nous obtenons le courant de sortie :

$$\Delta I = (I_{c1} + I_{c2}) \tanh\left(\frac{\Delta V_{BE}}{2 U_t}\right) \quad (2.17)$$

Si nous considérons maintenant que R_E est choisie suffisamment grande, en fonction du courant I_p , pour que la tension à ses bornes soit grande devant U_t , nous obtenons l'équation quatre cadrans :

$$\Delta I = \frac{V_2}{R_E} \frac{\Delta V_{BE}}{2 U_t} \quad (2.18)$$

L'approche petit signal nous donnerait aussi un calcul simple, de la même manière qu'avec la cellule deux cadrans.

Ce genre de multiplieur, en pratique, présente des limitations dues aux hypothèses de simplification et ne donne une linéarité acceptable que pour des tensions d'entrée de petite variation de l'ordre de U_t . La courbe de la figure 2.4 présente la non-linéarité de cette cellule due à l'entrée sur les bases des transistors sur les deux voies.

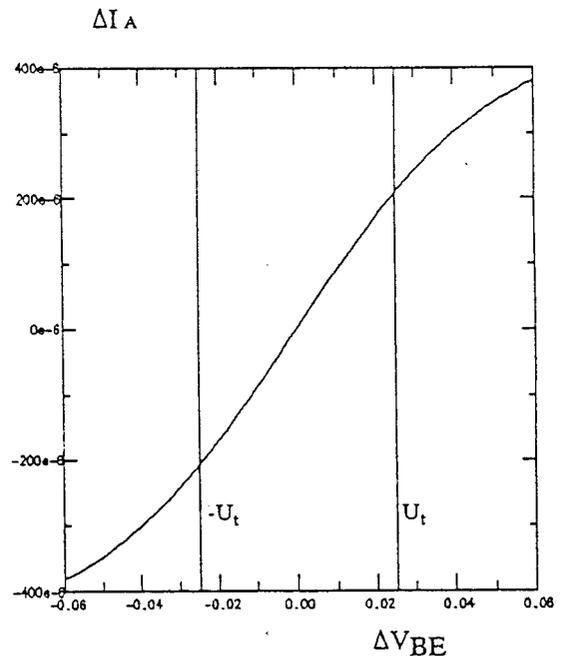


Figure 2.4. Non-linéarité de la fonction de la voie $V1 = \Delta V_{BE}$ pour $V2 = -1v$. Les deux marques placées à U_t donnent une idée de la dynamique d'entrée.

Il est donc nécessaire de transformer les tensions d'excitation des paires différentielles de sommation exponentielle. La transformation consiste à introduire une nouvelle variable dépendant logarithmiquement de la tension d'excitation. Cette cellule de prédistorsion est donnée figure 2.5.

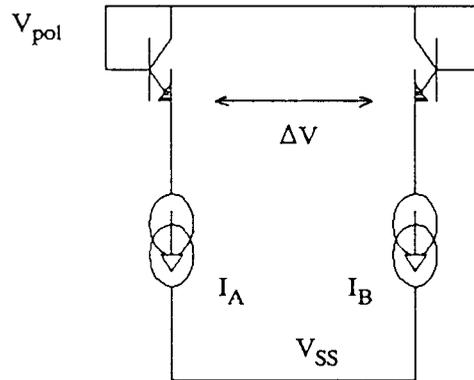


Figure 2.5. Cellule de prédistorsion.

Si tous les transistors sont les mêmes, l'excitation s'exprime sous la forme :

$$\Delta V = U_t \ln\left(\frac{I_A}{I_B}\right) \quad (2.19)$$

tandis que les différences de courant sont donnés par :

$$I_A - I_B = (I_A + I_B) \tanh\left(\frac{\Delta V_{BE}}{2U_t}\right) \quad (2.20)$$

$$I_A - I_B = 2 I_P \tanh\left(\frac{\Delta V_{BE}}{2U_t}\right) \quad (2.21)$$

Si nous ajoutons au multiplieur de la figure 2.3 le circuit de prédistorsion décrit, nous obtenons, avec l'équation (2.16) :

$$\Delta I = \frac{(I_{c1} - I_{c2})(I_A - I_B)}{(I_A + I_B)} \quad (2.22)$$

et pour le courant de déséquilibre sur l'entrée X

$$\Delta I_1 = I_A - I_B = K_X V_X \quad (2.25)$$

avec

$$I_B + I_A = 2I_P \quad (2.26)$$

Alors en appliquant l'équation (2.23) pour les courants de la structure à la figure 2.6, l'équation d'un multiplieur quatre cadrans sans limitation de dynamique d'entrée est :

$$\Delta I = V_X V_Y \frac{K_X K_Y}{2I_P} \quad (2.27)$$

La réalisation complète (figure 2.6.) comporte dix transistors appairés deux à deux pour les paires différentielles, la cellule de prédistorsion et les paires différentielles dégénérées d'entrée.

Une vérification expérimentale sur la base de composants discrets peut être faite. La caractéristique de mesure d'une telle structure est représentée à la figure 2.7.

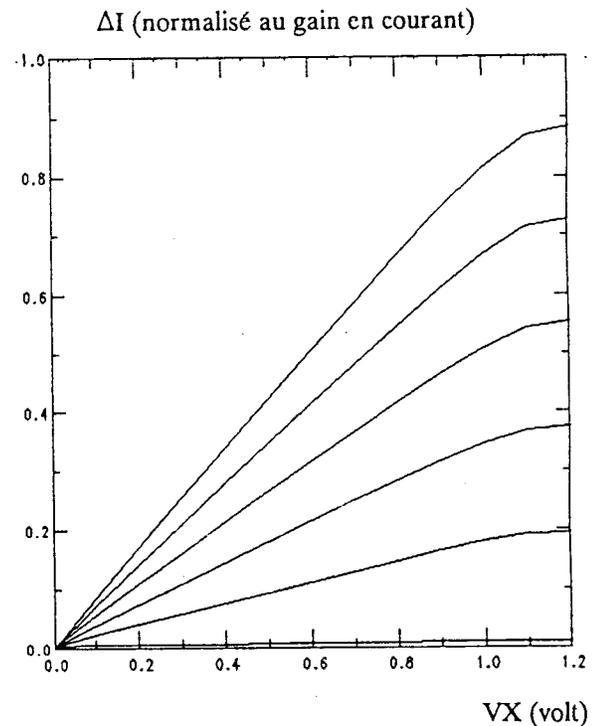


Figure 2.7. Vérification expérimentale pour différentes valeurs de V_Y .

L'approche qui vient d'être faite pour l'analyse du multiplieur utilise les propriétés grand signal et les approximations petit signal. Cette analyse devrait permettre le dimensionnement de la structure en vue d'une intégration sur silicium. Le principal inconvénient est que cette approche ne renseigne pas le concepteur sur le dimensionnement des dispositifs ou sur l'optimisation des courants de polarisation sans recourir à des calculs importants, puisque les paramètres utiles sont cachés derrière des équations non-linéaires. La simulation permet, à ce stade, de vérifier les calculs à la main, mais ne dit pas comment il faut mener la conception.

En utilisant le principe translinéaire, le calcul, en étant simplifié, peut donner le guide de la conception.

2.1.2.2. Le principe translinéaire

Le principe translinéaire simplifie la formulation du calcul associée aux équations exponentielles pour donner une approche analytique de la fonction et de ses erreurs. [2.7]

Dans le cas d'un dispositif semi-conducteur on est souvent amené à écrire de telles équations non-linéaires dans l'établissement du courant en fonction des tensions qui commandent le dispositif. [2.8] [2.9]

Le principe translinéaire consiste à transformer l'écriture d'une forme exponentielle d'un réseau de dispositifs pour n'utiliser que la propriété de l'exponentielle ou de sa fonction inverse et ainsi mettre à profit les relations simples entre la **somme** des tensions d'excitation d'entrée et le **produit** des courants de sortie résultant.

Le calcul des courants dans une topologie quelconque de dispositifs (figure 2.8.) peut ainsi mettre à profit le principe sans que pour cela les équations deviennent compliquées.

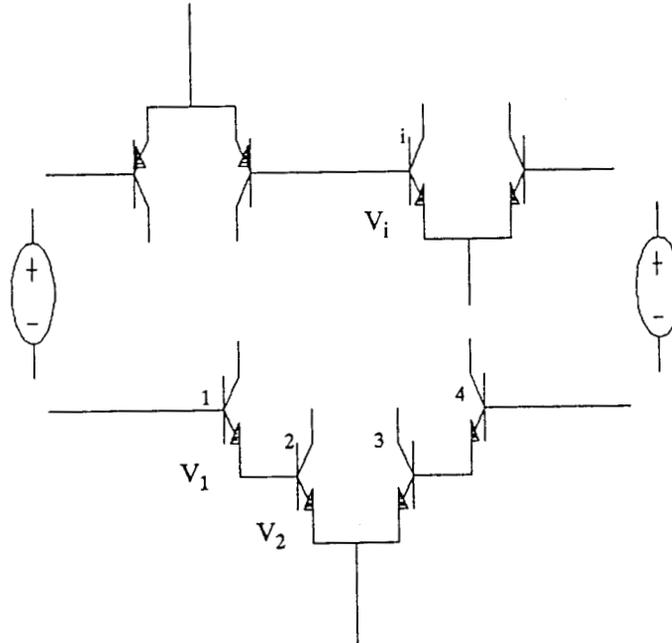


Figure 2.8. Topologie quelconque de l'illustration du principe.

Le courant du dispositif d'indice i est fonction de la tension V_i qui existe entre la base et l'émetteur. Dans un réseau de tels dispositifs, dont toutes les tensions de commande sont liées par une relation **algébrique**, les courants seront liés entr'eux par une relation **géométrique**.

2.1.2.3. Enoncé du principe translinéaire

Dans une boucle fermée d'un nombre quelconque de tensions V_i , la somme des tensions est nulle.

$$\sum_{i=0}^n V_i = 0 \quad (2.28)$$

Puisque toutes les tensions ne sont pas nécessairement nulles, on peut séparer les tensions positives et négatives, pour aboutir à :

$$\sum_{j=0}^m V_j = \sum_{k=0}^p V_k \quad (2.29)$$

avec maintenant

$$V_j > 0 \text{ et } V_k > 0 \quad (2.30)$$

La transformation translinéaire entre les entrées et les sorties nous donne :

$$\prod_{j=0}^m I_j \prod_{k=0}^p I_k^{-1} = \prod_{j=0}^m I_{S_j} \prod_{k=0}^p I_{S_k}^{-1} = \Lambda \quad (2.31)$$

Λ est une constante qui dépend des conditions de travail (géométrie des dispositifs, constantes de technologie), mais Λ est indépendant de la température si $m = p$.

Le résultat de la multiplication peut donc être indépendant des paramètres intrinsèques des dispositifs et ne dépendre que de la loi exponentielle dans les limites de l'approximation de la loi tension-courant régissant le comportement du transistor.

2.1.2.4. Analyse de la cellule de GILBERT par le principe translinéaire

Le calcul par le principe translinéaire fournira tous les détails de conception pour aboutir à une critique de la structure et ainsi valider les hypothèses de départ émises pour réaliser un multiplieur d'instrumentation. Il nous donnera notamment le facteur de gain de la fonction de multiplication ainsi que les considérations géométriques relatives aux dispositifs et d'autres indications d'optimisation.

L'analyse du schéma de la figure 2.9 ci-après avec le principe translinéaire doit donner l'équation de multiplication. Une approche plus poussée sera effectuée dans le paragraphe d'analyse des erreurs.

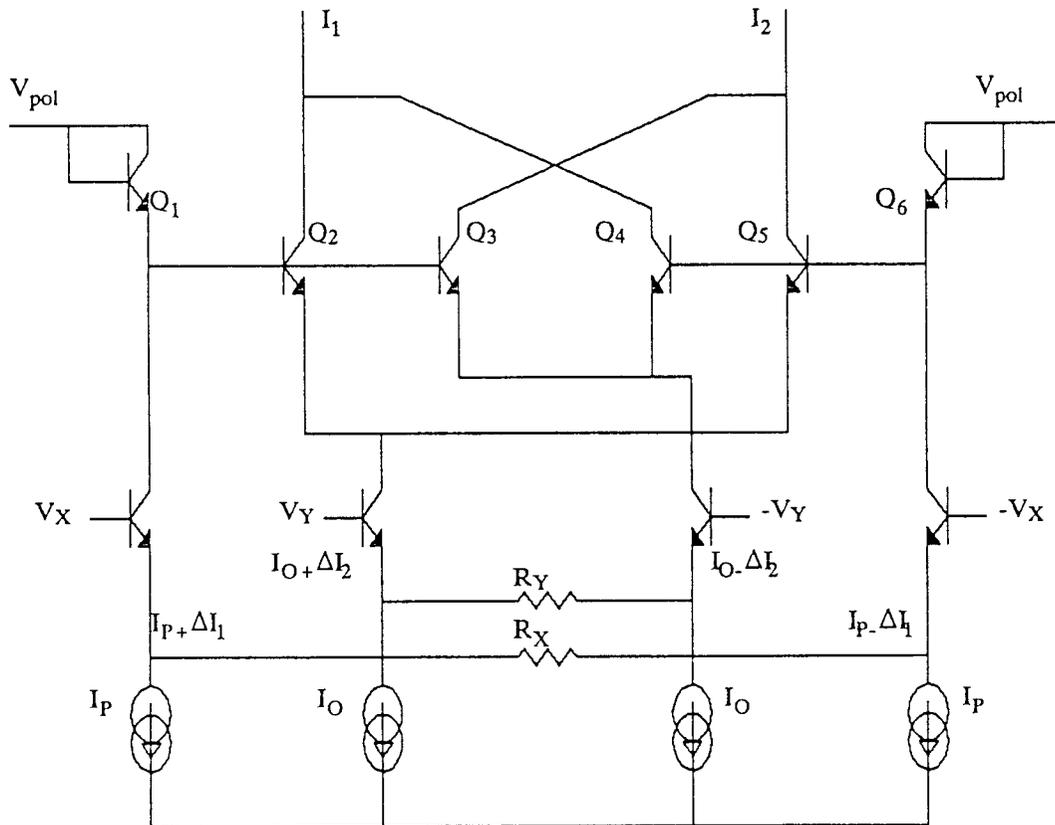


Figure 2.9. Multiplieur de base pour l'illustration du principe.

Les courants de polarisations I_p et I_o sont choisis différents pour montrer leurs influences respectives dans la fonction de multiplication.

En appliquant le principe translinéaire à l'égard de la première boucle constituée de Q1, Q2, Q5, et Q6, nous avons :

$$V_{be1} + V_{be2} = V_{be5} + V_{be6} \quad (2.32)$$

Le principe translinéaire donne :

$$\frac{I_{e1} I_{e2}}{I_{e6} I_{e5}} = \Lambda_1 \quad (2.33)$$

avec

$$\Lambda_1 = \frac{I_{s1} I_{s2}}{I_{s6} I_{s5}} \quad (2.34)$$

Pour la deuxième boucle constituée de Q1, Q3, Q4, et Q6 :

$$V_{be1} + V_{be3} = V_{be4} + V_{be6} \quad (2.35)$$

et, de la même façon

$$\frac{I_{e1} I_{e3}}{I_{e6} I_{e4}} = \Lambda_2 \quad (2.36)$$

avec

$$\Lambda_2 = \frac{I_{s1} I_{s3}}{I_{s6} I_{s4}} \quad (2.37)$$

L'analyse de la répartition des courants dans les différents transistors (Cf annexe) permet de donner une expression analytique complète de la multiplication.

En prenant comme hypothèse que les transistors Q5 et Q2, Q4 et Q3 sont appairés deux à deux ainsi que les transistors Q1 et Q6, nous avons :

$$\Lambda_1 = 1 \text{ et } \Lambda_2 = 1.$$

Avec ces seules considérations géométriques de dimensionnement des dispositifs, il advient la simplification suivante :

$$I_1 = \frac{(I_o I_p - \Delta I_1 \Delta I_2) \alpha}{I_p} \quad (2.38)$$

$$I_2 = \frac{(I_o I_p + \Delta I_1 \Delta I_2) \alpha}{I_p} \quad (2.39)$$

Le coefficient α est le rendement d'émetteur.

L'information de multiplication est contenue dans la différence des courants de sortie.

$$I_1 - I_2 = I_{\text{out}} \quad (2.40)$$

$$I_{\text{out}} = \frac{-2\Delta I_1 \Delta I_2 \alpha}{I_p} \quad (2.41)$$

Le facteur de gain est donné par

$$\frac{-2\alpha}{I_p} \quad (2.42)$$

Ainsi, le facteur de gain est inversement proportionnel au courant de polarisation I_p et ne dépend plus des conditions géométriques des dispositifs. Cette équation n'est valable que dans la limite où les transistors bipolaires peuvent absorber ces courants sans changement de zone de fonctionnement dans leur caractéristique électrique.

De plus, le courant I_0 n'intervenant pas dans la fonction, nous pouvons donc optimiser sa valeur par des considérations de minimisation de consommation ou de surface.

Le calcul de la cellule de GILBERT à l'aide du principe translinéaire permet, ainsi, d'une part, de donner l'expression analytique de la fonction de multiplication, et d'autre part d'exprimer les hypothèses de dimensionnement des dispositifs afin de simplifier la formulation des différents termes d'influence dans l'expression finale. Cette simplification concerne notamment l'optimisation des courants de polarisation, ce qui n'était pas très facile à réaliser dans la formulation grand signal ou petit signal précédente.

2.1.2.5. En technologie M.O.S. : la cellule de GILBERT M.O.S.

Toujours dans le classement des multiplieurs à loi exponentielle, nous pouvons trouver un autre dispositif avec lequel peut être élaborée une fonction de multiplication: le transistor M.O.S. dans son régime de faible inversion. [2.3]

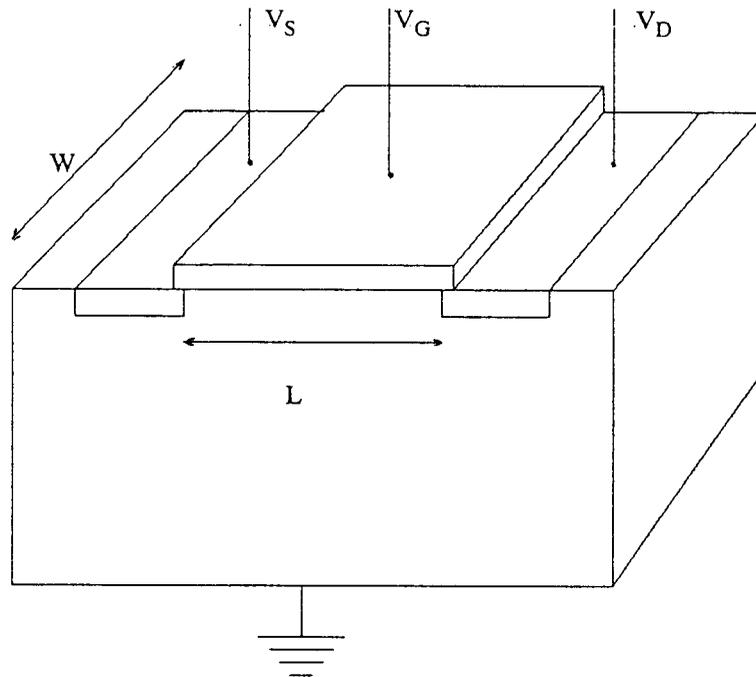


Figure 2.10. Coupe d'un transistor M.O.S.

La figure 2.10 représente la coupe d'un transistor M.O.S. La longueur du transistor est représentée par L et sa largeur par W. Dans la zone de fonctionnement, ce transistor peut être modélisé par l'équation suivante :

$$I_D = I_{D0} \exp\left(\frac{V_G}{N U_t}\right) \left[\exp\left(\frac{-V_S}{U_t}\right) - \exp\left(\frac{-V_D}{U_t}\right) \right] \quad (2.43)$$

où N représente la pente et varie avec le potentiel de la source.

Dans la polarisation normale du dispositif

$$V_D > V_G \text{ et } V_G > V_S \quad (2.44)$$

l'équation devient :

$$I_D = I_{D0} \exp\left(\frac{V_G}{NUt}\right) \exp\left(\frac{-V_S}{Ut}\right) \quad (2.45)$$

La caractéristique réelle nous est donnée à la figure 2.11 et nous montre la limite de ce modèle pour la tension V_G proche de la tension de seuil du dispositif.

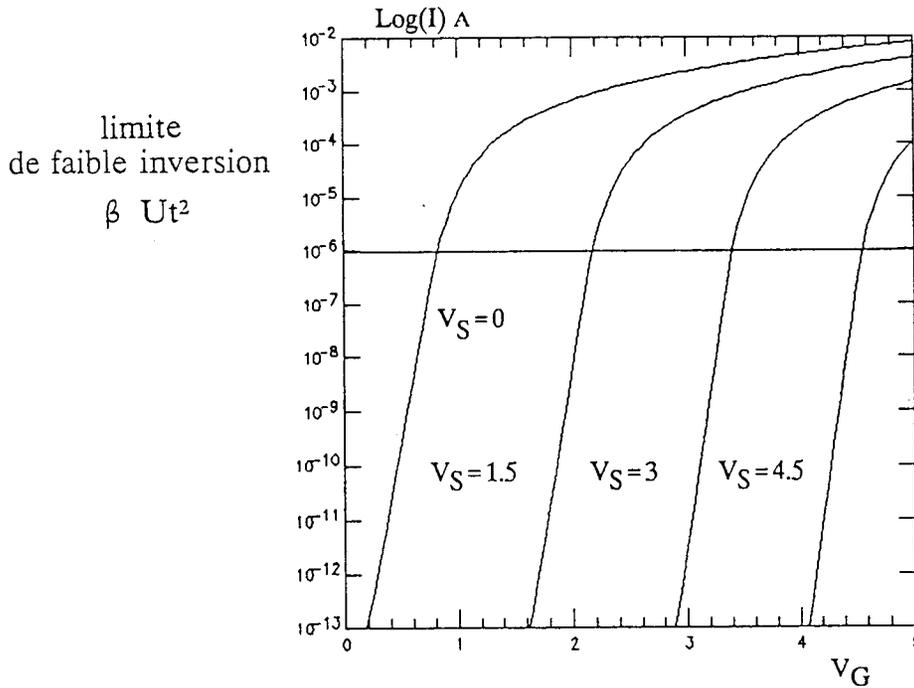


Figure 2.11. Caractéristiques mesurées d'un transistor M.O.S. pour plusieurs tensions de source.

Une limite intéressante pour le changement de zone de faible inversion à la zone de forte inversion, nous est donnée en première approximation par βUt^2 où β est un coefficient qui dépend de la géométrie et de la technologie du composant, et vaut :

$$\beta = \frac{\mu C_{ox} W}{L} \quad (2.46)$$

W et L sont la largeur et la longueur du dispositif, C_{ox} la capacité intrinsèque du transistor et μ la mobilité des porteurs. Pour une technologie classique, ce courant limite de faible inversion est, pour un changement de pente de l'ordre de quelques pour cent, de l'ordre de 10nA, pour une taille unitaire de dispositif.

Toutefois, ce calcul n'est pas justifié car toutes les hypothèses de départ pour l'analyse translinéaire ne sont pas vérifiées. En effet, Nous avons une loi en exponentielle sur V_G et sur V_S mais avec des arguments différents. Le principe translinéaire demandant une fonction exponentielle sur la différence des tensions V_{GS} , la simplification précédente effectuée fait abstraction pure et simple de ce coefficient N .

Pour tenir compte de l'argument N dans l'expression translinéaire avec le modèle courant-tension du dispositif M.O.S., il est nécessaire de modifier le principe translinéaire.

2.1.2.6. Transformation du principe translinéaire et application

La transformation du principe translinéaire consiste à prendre en compte le coefficient N de l'argument de l'exponentielle de l'équation (2.42).

Considérant les lois de KIRCHHOFF dans les différentes boucles, nous avons, comme précédemment :

$$V_{gs1} + V_{gs2} = V_{gs5} + V_{gs6} \quad (2.50)$$

$$V_{gs1} + V_{gs3} = V_{gs4} + V_{gs6} \quad (2.51)$$

Puisque les transistors M_1 et M_6 ne sont pas commandés par la grille, nous obtenons, avec l'expression courant-tension des dispositifs et la prise en compte de l'argument N :

$$\left[\frac{I_{d1}}{I_{d6}} \right]^{1/N(2,5)} = \left[\frac{I_{d2}}{I_{d5}} \right] \quad (2.52)$$

$$\left[\frac{I_{d1}}{I_{d6}} \right]^{1/N(3,4)} = \left[\frac{I_{d3}}{I_{d4}} \right] \quad (2.53)$$

Cette transformation consiste donc à garder un exposant N sur le rapport des courants des transistors M_1 et M_6 donnés par les fonctions courant-tension des transistors (M_2, M_5) ou (M_3, M_4).

La résolution finale, en considérant les exposants N de tous les transistors presque identiques, conduit à :

$$I_1 - I_2 = I_{out} \quad (2.54)$$

$$I_{out} = 2\Delta I_2 \frac{1 - \left[\frac{I_p + \Delta I_1}{I_p - \Delta I_1} \right]^{1/N}}{1 + \left[\frac{I_p + \Delta I_1}{I_p - \Delta I_1} \right]^{1/N}} \quad (2.55)$$

(la résolution complète est proposée en annexe)

On remarque que le terme N intervient en puissance sur le terme ΔI_1 et génère une non-linéarité dans la fonction de multiplication originale en continue, en dissociant le terme $I_p + \Delta I_1$ du terme $I_p - \Delta I_1$. En effet, le déséquilibre de mode d'excitation des transistors M_1 ou M_6 par rapport aux autres, entraîne une non compensation du courant de polarisation I_p .

Lorsque N tend vers 1, alors l'expression (2.48) est bien retrouvée.

Cette non-linéarité calculée, illustrée sur la figure 2.13, générera une distorsion harmonique sur la fonction de multiplication en alternatif. Cette non-linéarité est inadmissible pour le déséquilibre ΔI_1 proche de I_p .

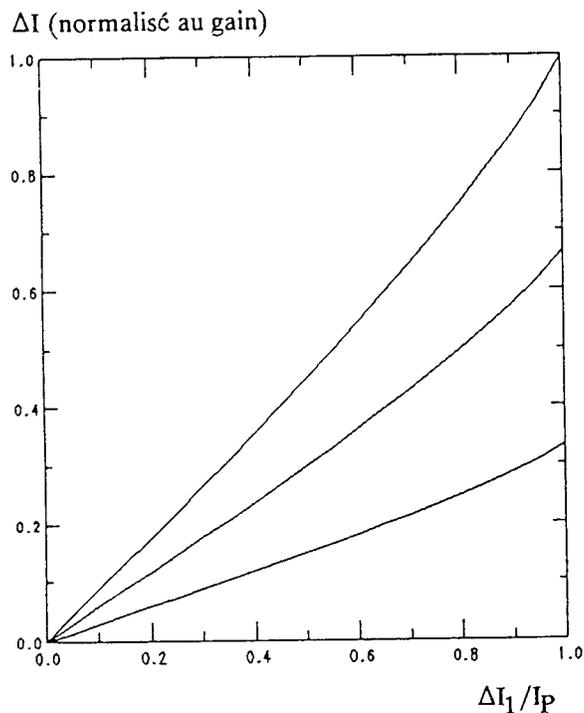
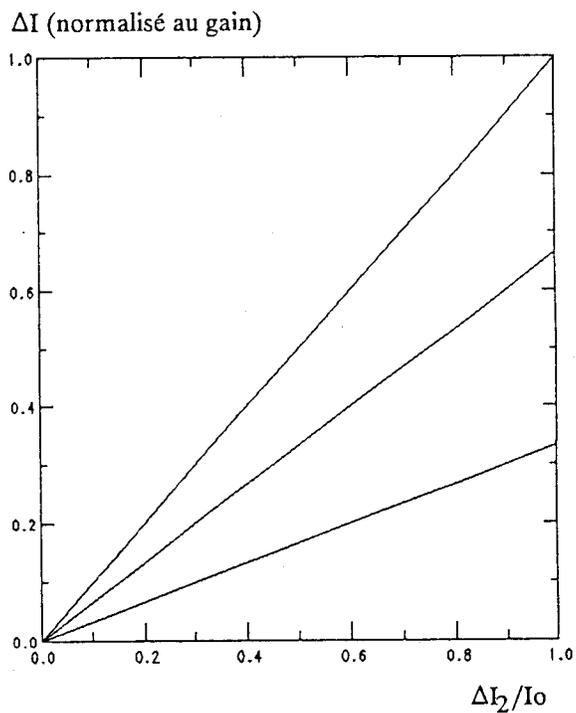


Figure 2.13.a Non-linéarité due au coefficient N sur la voie 1 (paramètre ΔI_2).

Figure 2.13.b Il n'existe pas de non-linéarité causée par le coefficient N sur la voie 2 (paramètre ΔI_1).



La figure 2.13 nous montre l'effet de ce coefficient N , considéré comme constant, sur la fonction de multiplication. Pour la première entrée (indice 1), il peut contribuer à une forte non-linéarité aux extrémités de déviation des courants. Nous pouvons remarquer au passage une parfaite linéarité pour la seconde entrée (indice 2). En effet, l'excitation en courant de cette voie s'effectuant sur les sources, le paramètre N n'intervient pas.

Cependant, la seule solution acceptable pour utiliser des transistors M.O.S. dans une cellule de GILBERT en instrumentation, serait d'éliminer ce terme d'exposant N , afin d'obtenir une structure où les deux entrées soient équivalentes. Cette nouvelle structure sera présentée dans le chapitre 3.

2.1.2.7. Transistor bipolaire latéral compatible C.M.O.S.

Un composant particulier, en technologie C.M.O.S., est le transistor bipolaire latéral. L'origine de ce composant est un transistor M.O.S. de type P dans une technologie de substrat P ou de type N dans une technologie de substrat N. [2.10] [2.11] [2.12] [2.13]

Ce composant à cinq connections (1 collecteur actif [nommé : ca], 1 collecteur substrat [nommé : cs], 1 base, 1 émetteur, 1 grille) se dessine de la façon ci-après (figure 2.14.).

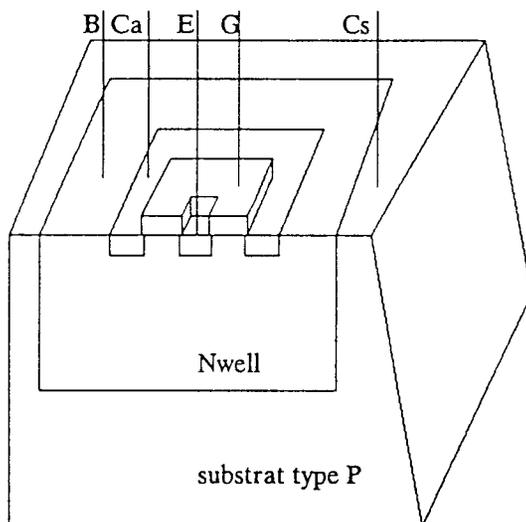


figure 2.14a Coupe du transistor bipolaire compatible dans une technologie C.M.O.S. type P.

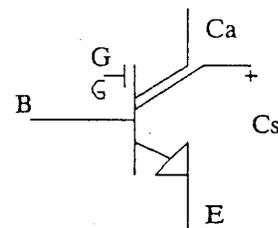


figure 2.14b Schéma de représentation électrique.

La mesure des courants dans un tel dispositif donne, dans une large zone de fonctionnement, une caractéristique d'un transistor bipolaire classique.

La mesure est effectuée à partir d'un transistor M.O.S. de type P dont le caisson N sert de base du transistor bipolaire latéral. Trois modes peuvent être mis en évidence en fonction des potentiels appliqués sur les différentes connections du composant :

la forte inversion lorsque la tension de grille est plus grande que la tension de seuil,

la faible inversion lorsque la tension de grille est plus petite que la tension de seuil,

le mode bipolaire lorsque le caisson N devient négatif. La source, le drain et le caisson N deviennent l'émetteur, le collecteur et la base.

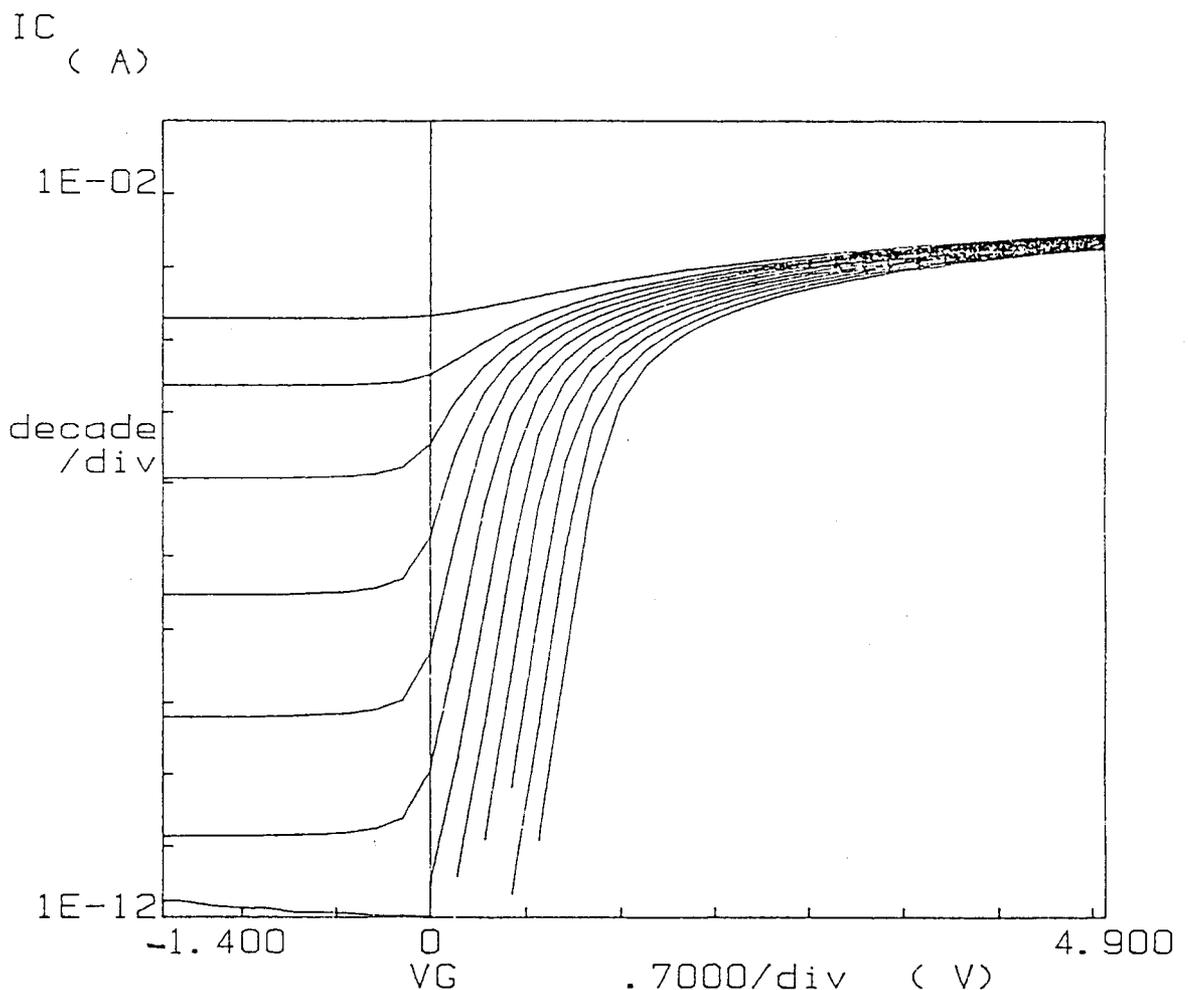


figure 2.15 Les différentes zones de fonctionnement.

Le principe translinéaire reste valable [2.13] dans le cas du transistor bipolaire latéral car les hypothèses de travail sont vérifiées. Le schéma d'une telle structure est donnée à la figure 2.16.

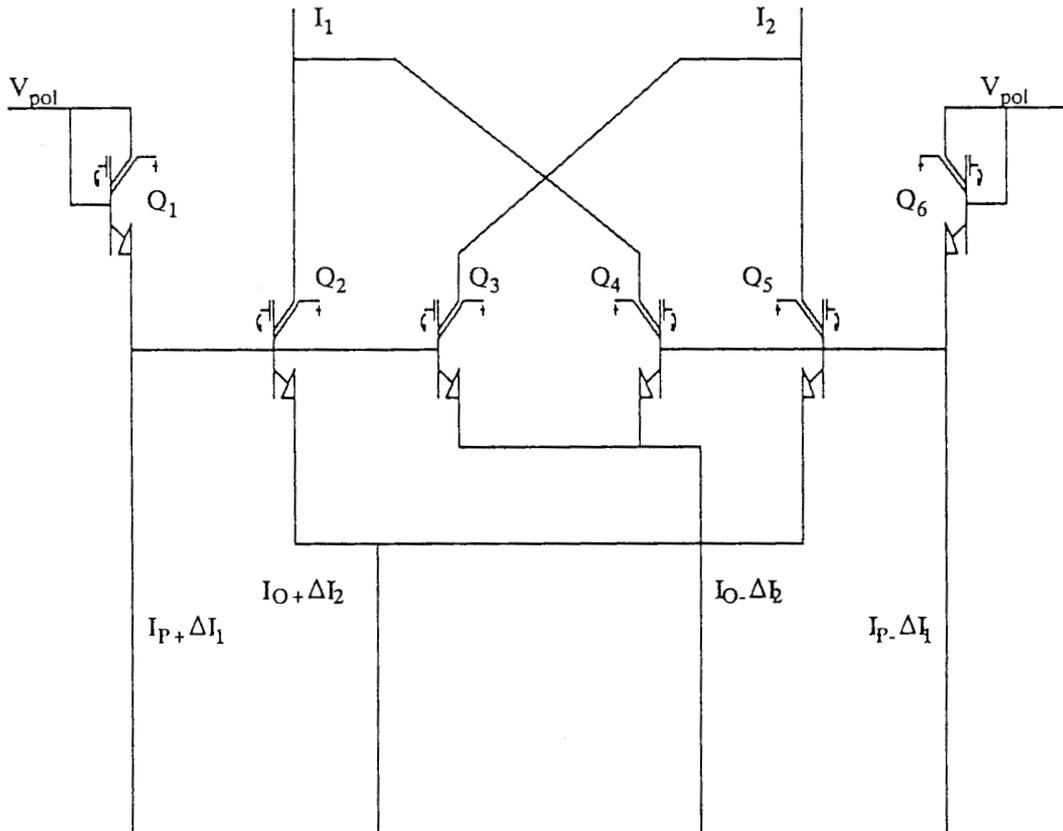


Figure 2.16. Schéma d'un multiplieur à transistor bipolaire latéral.

Ce calcul conduit au facteur de gain sur les déséquilibres des courants d'entrée :

$$\frac{-2 \alpha_{ca}}{I_p} \quad (2.56)$$

α_{ca} correspond au rendement d'émetteur du transistor latéral. Le coefficient α du transistor bipolaire complet est :

$$\alpha = \alpha_{ca} + \alpha_{cs} \quad (2.57)$$

où α_{cs} correspond au rendement d'émetteur du transistor substrat. Ce rendement d'émetteur est préjudiciable au contrôle du gain dans le cas de la structure bipolaire latéral, car il varie en fonction des conditions de polarisation d'émetteur.

2.1.3. Multiplieur à loi quadratique

2.1.3.1. Analyse de la cellule à transistor M.O.S. en forte inversion

Le transistor M.O.S. dispose d'un régime de fonctionnement pour lequel le courant de drain est fonction du carré de la tension appliquée. [2.14] [2.15]

En première approximation le transistor M.O.S. est caractérisé par la loi pour ce mode de fonctionnement, par la loi :

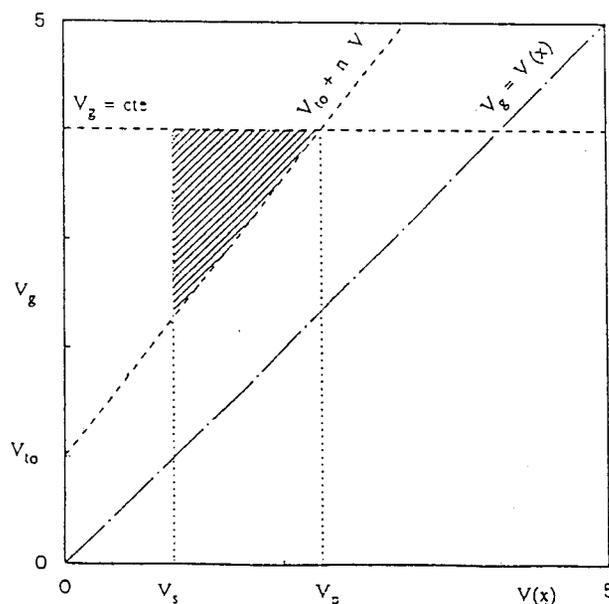
$$I_{DS} = \frac{\beta (V_G - V_T)^2}{2N} \quad (2.58)$$

avec

$$\beta = \frac{\mu C_{ox} W}{L} \quad (2.59)$$

où W et L sont la largeur et la longueur du dispositif, C_{ox} la capacité intrinsèque du transistor et μ la mobilité des porteurs, N la pente de variation de la tension de seuil de l'effet substrat, V_T la tension de seuil et V_G la tension de commande (les tensions sont référencées au substrat).

Cette loi est valable dans la mesure où la tension de drain est supérieure à la tension de saturation V_P (figure 2.17.).



construction
graphique de
'Memelink' utilisée
pour le calcul de la
tension de
pincement

(Cf annexe)

Figure 2.17. Représentation graphique de l'évolution du potentiel de limite de saturation en fonction du potentiel de grille.

Les caractéristiques du M.O.S. mesurées sur des dispositifs sont données sur la figure 2.18.

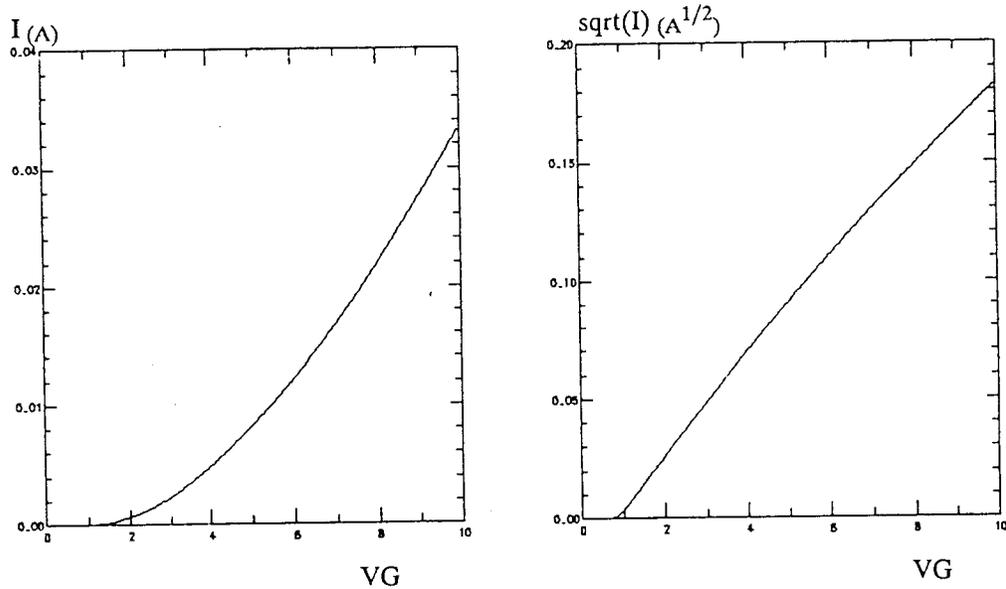


Figure 2.18. Caractéristiques mesurées du M.O.S.

Nous pouvons donc à partir de cette équation former un "quadratureur", élevant au carré la tension d'entrée placée sur la grille du transistor. Pour élaborer la multiplication, il faut disposer des deux tensions à multiplier V_X , V_Y , de leur somme $V_X + V_Y$, et de quatre transistors.

Les équations d'un tel multiplieur sont :

$$I_1 = \frac{\beta_1 (V_X - V_{SS} - V_T)^2}{2N} \quad (2.60)$$

$$I_2 = \frac{\beta_2 (V_Y - V_{SS} - V_T)^2}{2N} \quad (2.61)$$

$$I_3 = \frac{\beta_4 (0 - V_{SS} - V_T)^2}{2N} \quad (2.62)$$

$$I_4 = \frac{\beta_3 (V_X + V_Y - V_{SS} - V_T)^2}{2N} \quad (2.63)$$

La cellule de multiplication illustrant la méthode est donnée à la figure 2.19.

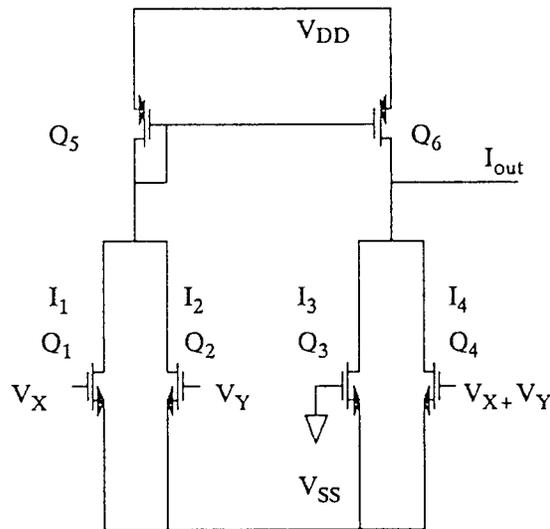


Figure 2.19. La cellule de multiplication.

Si l'on veille au bon appariement des transistors, on peut faire l'hypothèse que les quatre facteurs β sont identiques.

Après l'application des lois de KIRCHHOFF, nous avons :

$$I_{\text{out}} = (I_1 + I_2) - (I_3 + I_4) = -\beta V_X V_Y \quad (2.64)$$

Ce multiplieur ainsi constitué est remarquable par la simplicité de la méthode mais impose des contraintes importantes d'appariement pour ne pas voir apparaître en sortie les décalages (proportionnels à la tension de seuil, aux β et aux tensions d'entrée) et les non-linéarités (proportionnelles aux carrés des tensions d'entrée).

La méthode demande d'une part, une fabrication d'une cellule de sommation des tensions d'entrée ce qui suppose de contrôler le gain, exactement de 1, sur cette transformation, sous peine de ne pas obtenir en sortie une différence nulle des tensions d'entrées.

D'autre part, la réduction de mobilité à fort VGS dans la caractéristique courant-tension (figure 2.18.), donne une limitation importante pour la linéarité.

De plus, le facteur de gain β peut être aussi une limitation quant au contrôle du gain de la structure de multiplication car ce paramètre varie beaucoup pour une même technologie.

2.1.4. Multiplieur à transconductance.

L'équation du transistor M.O.S. en zone triode (non saturé) est donnée par la formule :

$$I_D = \frac{\beta (2(V_G - V_T)V_D - V_D^2)}{2N} \quad (2.65)$$

avec pour β et N la même définition que dans la formule (2.58)

Pour les faibles tensions V_D , le fonctionnement du transistor peut être donné par la formule :

$$I_D = \frac{\beta ((V_G - V_T)V_D)}{N} \quad (2.66)$$

Nous pouvons remarquer que la caractéristique se réduit à une équation courant-tension donnée par une conductance équivalente contrôlée par la tension de grille :

$$G_D = \frac{\beta(V_G - V_T)}{N} \quad (2.67)$$

2.1.4.1. Analyse de la cellule à transistor M.O.S. en zone triode

Une structure de multiplieur peut être bâtie à partir de l'équation (2.67) afin d'éliminer les termes gênants de la tension de seuil et du gain β . [2.4]

La figure 2.20. représente cette structure.

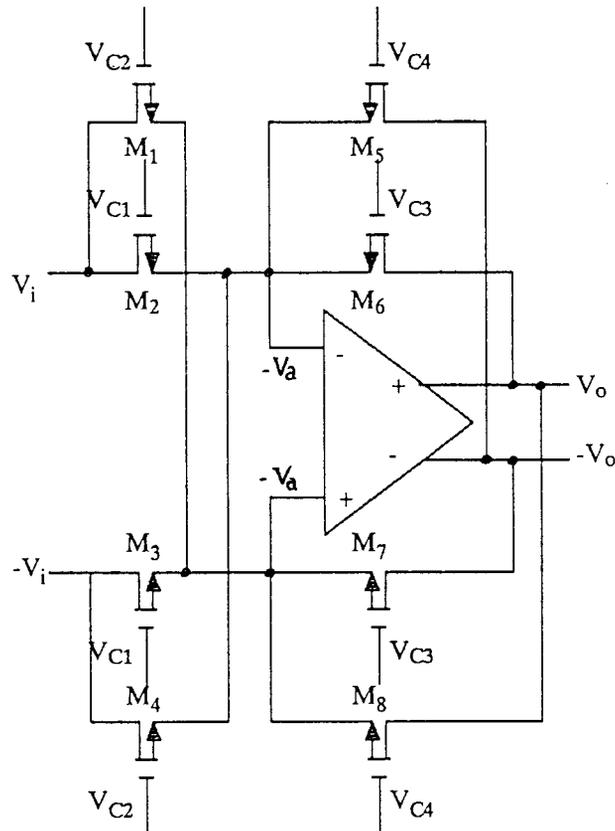


Figure 2.20. La cellule de base.

Les équations associées au montage de la figure 2.20. sont :

$$(V_i - V_a)G_1 + (V_0 - V_a)G_2 = 0 \quad (2.68)$$

$$(-V_i - V_a)G'_1 + (-V_0 - V_a)G'_2 = 0 \quad (2.69)$$

Par appariement, les conductances G' suivent les mêmes lois que les conductances G .

De plus

$$G_1 = G_{01} V_X \quad (2.70)$$

$$G_2 = G_{02} V_X \quad (2.71)$$

Les tensions de commande des transistors suivent les lois suivantes :

$$V_{c1} = -V_{c2} = V_X \quad (2.72)$$

$$V_{c3} = -V_{c4} = V_W \quad (2.73)$$

avec les conductances du type :

$$G_{01} = \frac{\beta (V_{c1} - V_{c2})}{2N} \quad (2.74)$$

$$G_{02} = \frac{\beta (V_{c3} - V_{c4})}{2N} \quad (2.75)$$

nous trouvons que la tension de sortie V_0 est proportionnelle à la tension d'entrée et au rapport des conductances des transistors commandés par des tensions :

$$V_0 = -\frac{G_1}{G_2} V_i \quad (2.76)$$

Les conductances étant commandées par les tensions V_X et V_W , la tension de sortie V_0 est de la forme :

$$V_0 = K \frac{V_X}{V_W} V_i \quad (2.77)$$

Le signal d'entrée doit cependant rester dans les limites des tensions admissibles afin que tous les transistors restent en zone non-saturée.

Pour utiliser des transistors M.O.S. à enrichissement, la tension V_i doit être superposée à une tension continue.

La structure différentielle permet d'éliminer les non-linéarités d'ordre 2 et seules les erreurs d'ordre impair restent. Les non-appariements des transistors causent une dissymétrie du montage et peuvent donner une erreur résiduelle d'ordre 2.

2.2. Les critères de choix pour l'étude

L'étude qui vient d'être faite permet d'illustrer les applications des transistors bipolaires et M.O.S. dans les multiplieurs d'instrumentation. La précision obtenue dans la technologie bipolaire est souvent bien meilleure que dans la technologie M.O.S. Mais pour des contraintes d'intégration d'un système complet, mélangeant analogique et numérique, la densité d'intégration et la consommation entrent en ligne de compte et viennent se confronter aux problèmes de précisions. La technologie M.O.S. nous a donc semblé la plus appropriée pour élaborer le système complet d'analyse spectrale.

La cellule de multiplication avec le transistor bipolaire, avec une loi exponentielle presque parfaite, permet de montrer sa simplicité de mise en oeuvre.

En revanche, la cellule de multiplication avec le transistor M.O.S., montre la difficulté de réaliser un multiplieur d'instrumentation. Quelque soit la technique utilisée, il existe toujours des sources d'erreurs engendrant soit des décalages, soit des non-linéarités.

Dans le problème posé, nous sommes confrontés au choix d'une structure de multiplieur.

Puisque la technologie bipolaire classique n'est pas à considérer pour des raisons de faisabilité d'intégration d'un système complet sur un même circuit, nous sommes contraints au choix d'une structure M.O.S.

Dans le choix d'une structure M.O.S. de multiplication en instrumentation, nous devons prendre en compte la non-linéarité de la fonction de multiplication sur la dynamique d'utilisation du multiplieur; c'est-à-dire estimer l'erreur de non-linéarité en effectuant, par exemple, la différence de la grandeur de sortie obtenue à celle attendue et ceci sur toute l'étendue de l'utilisation.

Nous avons vu que les erreurs principales étaient dues à la loi courant-tension du dispositif M.O.S. et quelles provenaient en grande partie des changements de zone de fonctionnement. Le choix se portera donc sur la structure qui offre la plus grande dynamique de variation sans changement

de zone de fonctionnement.

Les multiplieurs à loi quadratique et à transconductances sont définis par une variation de **tension** produisant un **courant** de sortie. Les grandeurs qui interviennent sont la tension de seuil et la mobilité des porteurs. La première grandeur intervient pour les faibles tensions d'entrée et la seconde pour les fortes tensions. La tension de seuil du dispositif M.O.S. est une variable technologique qui dépend de beaucoup de paramètres, sa variation typique est de l'ordre de 3mV. La mobilité des porteurs est liée à la vitesse des porteurs dans le cristal, elle intervient pour un champ électrique transversal dans le canal de l'ordre de $1E4$ v/m, ce champ important est rapidement atteint pour des tensions de grille de l'ordre de quelques volts sur des dispositifs de quelques micromètres de longueur. Pour les multiplieurs, il devient essentiel d'être insensible à ses grandeurs qui limitent fortement la précision aux faibles et aux forts déséquilibres d'entrée. Ces grandeurs réduisent la dynamique d'utilisation à près de trois décades en courant de sortie.

Le multiplieur utilisant la cellule de GILBERT en faible inversion est défini par une variation de **courant** produisant un **courant** de sortie. La loi exponentielle du transistor M.O.S. est effective sur plus de quatre décades.

De plus, si l'on ajoute un critère de contrôle de la puissance consommée par la structure, les cellules à base de transistors en zone triode ou quadratique dissipent une puissance proportionnelle aux constantes technologiques (β , V_T) et à la température. Le contrôle de la consommation ne peut donc être fait que dans la limite de contrôle de ces paramètres. La cellule de GILBERT, par contre, a une puissance contrôlée par les courants de polarisation I_p et I_o . Si ces courants sont indépendants de la température, la cellule elle-même n'introduira pas d'erreur supplémentaire au premier ordre (Cf principe translinéaire).

Tout ceci fait que la cellule de multiplication choisie est celle de GILBERT.

L'objet de l'étude suivante est d'approfondir les sources des imperfections dans la cellule de GILBERT dans une technologie M.O.S. en vue de minimiser les erreurs de la structure réalisée soit avec des transistors

bipolaires latéraux soit avec des transistors M.O.S. Cependant, nous verrons que cette optimisation n'est pas suffisante, nous verrons donc aussi le moyen système qui contribuera à l'amélioration du multiplieur C.M.O.S. afin de disposer d'un élément détecteur précis pour ce système de précision.

2.3. Analyse des imperfections

Jusqu'à présent nous avons passé en revue les différentes techniques de multiplication analogique et entrevu les problèmes pouvant se poser. Dans ce paragraphe, notre réflexion va contribuer à l'analyse des erreurs de la cellule de GUILBERT pour permettre de donner les critères de choix analytiques entre les structures à transistors bipolaires latéral ou à transistors M.O.S.

L'analyse de ces défauts est principalement guidée par l'analyse des erreurs d'appariement des dispositifs et de leur loi courant-tension dont la modélisation nous donne leurs limites. [2.16] [2.17]

Nous pouvons distinguer trois grands types d'imperfections :

- la première est la présence d'une tension de décalage sur la sortie que l'on appelle offset, cet offset est visible en l'absence de tension d'entrée. La mesure consiste à donner la tension de sortie pour $V_X = 0$ et $V_Y = 0$. Nous voyons apparaître un offset résultant de la composition des offset d'entrée et de sortie;

- la deuxième est la présence d'une tension de sortie proportionnelle à l'une ou l'autre des tensions d'entrées appelée transparence (feedthrough), ce feedthrough révèle une transparence des tensions d'entrée jusqu'à la sortie. Elle est mesurée généralement en prenant une entrée à un potentiel nul ($V_X = 0$ ou $V_Y = 0$) et l'autre entrée à un potentiel variable. Cette mesure statique peut être complétée par une mesure dynamique où les deux entrées sont des signaux alternatifs à des fréquences différentes, la transparence des entrées vers la sortie est alors visible au niveau spectral;

- la troisième est une non-proportionnalité de la tension de sortie par rapport à l'une ou l'autre des tensions d'entrées ou des deux à la fois, que l'on appelle non-linéarité. Cette non-proportionnalité peut être mesurée en se servant du multiplieur comme un gain variable en mettant une entrée à un potentiel fixe non nul et l'autre à un potentiel variable. L'erreur de gain peut ainsi être chiffrée. Une mesure dynamique complémentaire peut être effectuée de la même manière sur les deux entrées successivement à un potentiel fixe et sinusoïdal. Les raies

spectrales de distorsion observées dans les deux configurations peuvent donner une idée de la répartition spectrale réelle, (par convolution), lorsque le multiplieur sera utilisé avec des signaux alternatifs sur les deux entrées.

Le classement de ces imperfections pourrait être envisagé par l'ordre d'apparition dans un développement limité de la fonction de multiplication non idéale. L'étude consisterait alors à analyser les termes d'erreur donnés par les coefficients de l'ordre considéré par rapport à chaque composant de la structure et de donner les ordres de grandeurs de chacun des coefficients. Cette étude fastidieuse donnerait simplement le constat des erreurs mais ne permettrait pas de les corriger.

Une autre approche est d'étudier tout de suite les termes d'erreur visibles à la sortie du multiplieur puisque leurs origines sont à extraire dans le non appariement et les lois courant-tension des dispositifs. Cette approche permet de simplifier l'étude.

Dans ce qui suit nous analyserons les termes d'erreurs associées aux deux types de multiplieurs envisageables pour la réalisation du détecteur.

2.3.1. Analyse des erreurs de la structure à transistor bipolaire latéral compatible C.M.O.S.

2.3.1.1. Décalage, transparence et non-linéarité

Les différentes erreurs dans le multiplieur sont intimement liées. En effet, il suffit de calculer sur la structure (figure 2.21) l'effet d'un non-appariement des dispositifs pour voir apparaître des coefficients non nuls sur les puissances des signaux d'entrées. Ce non-appariement est à introduire dans les équations translinéaires au niveau du coefficient Λ représentant le rapport géométrique des dispositifs.

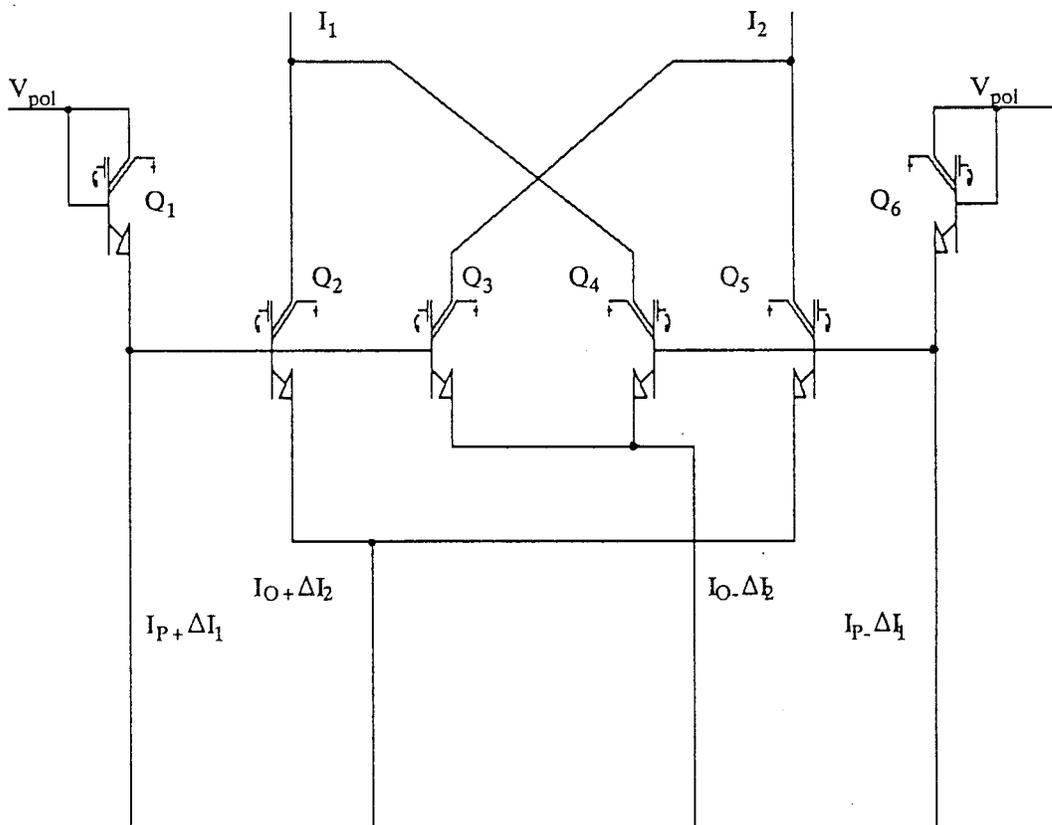


Figure 2.21. Les erreurs du multiplieur sont dues aux non-appariements et aux changements de zone de fonctionnement de la loi courant-tension.

En effet, d'une part, le non-appariement des dispositifs (transistor bipolaire latéral [2.13]) entraîne, pour une même tension d'excitation, une répartition différente des courants. Dans la structure à doubles paires différentielles couplées, où ce courant d'offset apparaît principalement, nous pouvons établir une liste complète des contributions de chacun des transistors dans l'erreur globale.

D'autre part, une non-linéarité est due au changement de pente de la caractéristique exponentielle du transistor bipolaire. En effet, dans une expression plus complète du modèle du transistor, on peut mettre en évidence un fonctionnement en faible et forte injection. La mesure des caractéristiques d'un transistor bipolaire intégré a en général l'apparence de la figure 2.22.

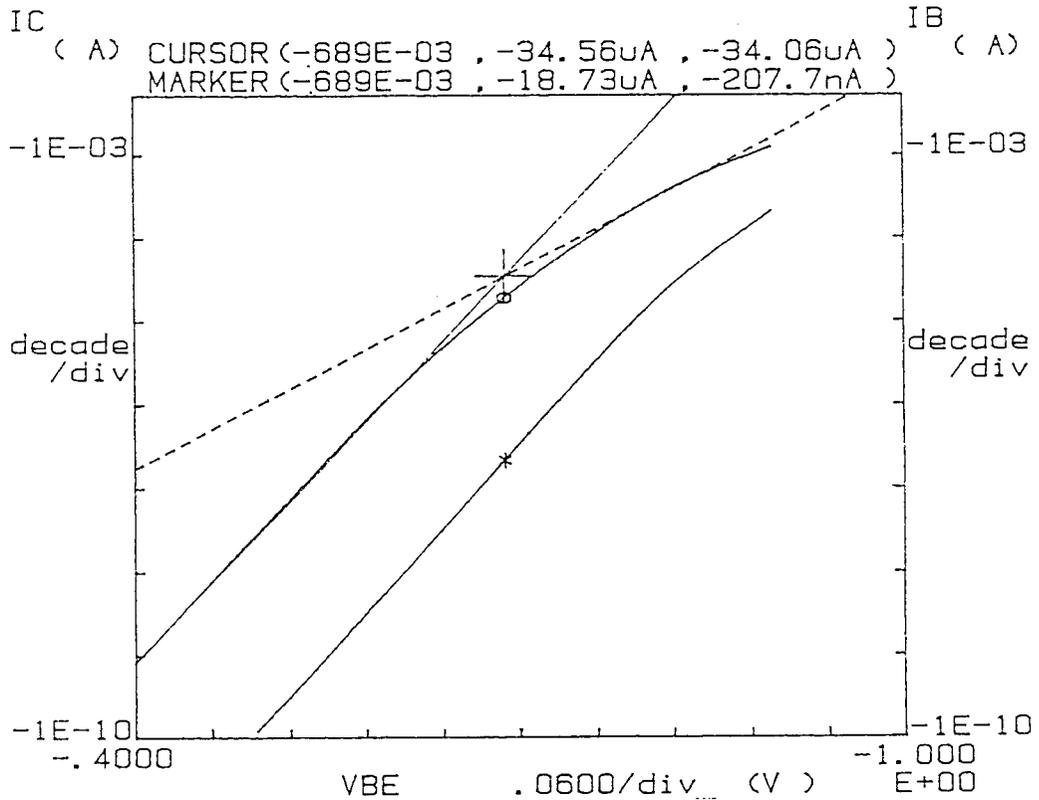


Figure 2.22. Mesure de la caractéristique d'un transistor bipolaire: deux zones sont visibles, la forte injection et la faible injection.

Le changement de zone est presque obligatoire si l'on désire utiliser le transistor sur plus de quatre décades de courant. Dans la structure de multiplication, en fonction du déséquilibre du courant d'excitation, certains transistors conduiront dans la zone supérieure (pente faible) alors que d'autres conduiront dans la zone inférieure (pente forte).

Dans l'équation du transistor bipolaire on peut considérer que le changement de pente sur la courbe

$\log(I_d) = f(V_G)$ correspond à un changement de coefficient N dans :

$$I_c = I_s \exp\left(\frac{V_{BE}}{N U_t}\right) \quad (2.78)$$

$N = 1$ pour la faible injection.

$N > 1$ pour la forte injection.

La limite entre ces deux zones de fonctionnement intervient de façon progressive en fonction de la tension pour un transistor intégré. Ce changement de pente introduit donc une non-linéarité directe dans les expressions du principe translinéaire par un changement de l'exposant N. Comme nous l'avons déjà montré dans le principe translinéaire modifié, cet exposant intervient en puissance directe sur les rapports des courants. Cette non-linéarité peut être perceptible au niveau de la transparence d'une entrée vers la sortie. Le développement qui va suivre permettra de comprendre comment cette non-linéarité d'exposants permet de donner une expression analytique d'une partie de l'origine de la transparence des entrées vers la sortie. Nous la comparerons ensuite avec un effet d'appariement défectueux de certains transistors.

Pour illustrer ce fait et pour simplifier les équations, nous choisirons un courant de déséquilibre ΔI_2 fort et un ΔI_1 moyen (figure 2.21) de telle manière à obtenir les transistors Q1, Q3, Q4, Q6, dans leur loi normale (argument $N = 1$) et Q2, Q5, avec un argument $N > 1$.

L'équation de départ du principe nous amène à écrire :

$$\left[\frac{I_2}{I_5}\right] = \left[\frac{I_1}{I_6}\right]^{1/N(2,5)} \quad (2.79)$$

$$\left[\frac{I_3}{I_4}\right] = \left[\frac{I_1}{I_6}\right] \quad (2.80)$$

avec

$$\left[\frac{I_1}{I_6}\right] = \frac{(I_P + \Delta I_1)}{(I_P - \Delta I_1)} \quad (2.81)$$

La résolution directe des équations du circuit, nous donne le courant de sortie :

$$I_{\text{out}} = I_o (\gamma_1 - \gamma_2) + \Delta I_2 (\gamma_1 + \gamma_2) \quad (2.82)$$

avec autour du point de fonctionnement, défini plus haut :

$$\gamma_1 = \frac{\left(\frac{I_P + \Delta I_1}{I_P - \Delta I_1}\right) - 1}{\left(\frac{I_P + \Delta I_1}{I_P - \Delta I_1}\right) + 1} \quad (2.83)$$

$$\gamma_2 = \frac{\left[\left(\frac{I_P + \Delta I_1}{I_P - \Delta I_1}\right)^{1/N} - 1\right]}{\left[\left(\frac{I_P + \Delta I_1}{I_P - \Delta I_1}\right)^{1/N} + 1\right]} \quad (2.84)$$

La mesure sur quelques dispositifs nous donne, pour le changement de pente :

$$N = 1 + \varepsilon_1 \quad (2.85)$$

avec

$$\varepsilon_1 = .06 \quad (2.86)$$

Le calcul pour cette application numérique nous donne :

$$\gamma_1 = .5$$

$$\gamma_2 = .523$$

Le terme $(\gamma_1 - \gamma_2)$ représente la transparence de l'entrée (ΔI_1) vers la sortie.

Le terme $(1 - \gamma_1 + \gamma_2)$ représente l'erreur de gain sur l'entrée (ΔI_2) .

Il existe donc une non-linéarité assez marquée (de l'ordre de 2%) sur le ΔI_2 en fonction du ΔI_1 et un facteur non nul sur le courant I_0 . Ce dernier terme représente une partie du feedthrough (avec la définition donnée au paragraphe précédent).

Comparons cet ordre de grandeur à celle donnée par une erreur d'appariement seule.

Pour illustrer cette erreur, prenons le cas où $\Delta I_2 = I_0$ et $\Delta I_1 = 0$ avec un non-appariement des deux courants passant dans les transistors Q1 et Q6 de la figure 2.21.

$$\left[\frac{I_1}{I_6}\right] = 1 + \varepsilon_2 \quad (2.87)$$

La mesure sur quelques dispositifs nous donne, pour le non-appariement.

$$\varepsilon_2 = .02 \quad (2.88)$$

Le courant de sortie est maintenant égal à :

$$I_{out} = I_0 (\gamma_1 + \gamma_2) \quad (2.89)$$

où

$$\gamma_1 = \gamma_2 = \frac{\varepsilon_2}{2 + \varepsilon_2} \quad (2.90)$$

soit

$$\gamma_1 + \gamma_2 \approx \varepsilon_2 = .02 \quad (2.91)$$

L'erreur ainsi donné est de l'ordre de 2%. Nous pouvons remarquer que les ordres de grandeurs sont identiques pour les deux types d'erreurs.

Le plus important est de savoir si l'erreur peut-être corrigée ou non ; le seul moyen, pour une correction éventuelle de ces erreurs, est le changement des courants de polarisation (trimming) puisque le non-appariement est par définition aléatoire. Les paramètres à corriger sont les erreurs d'appariement entre les transistors pris deux à deux et les erreurs de changement de pente de chacun des dispositifs. Nous nous rendons compte que le nombre de paramètres à rectifier est plus important que le nombre d'actions correctives. Dans ce cas, il restera un résidu de l'erreur de feedthrough.

Nous pouvons vérifier cette erreur résiduelle en effectuant une mesure. La figure 2.23 nous montre la structure à transistors bipolaires discrets de mesure du feedthrough (cas où l'appariement est nécessairement mauvais). La figure 2.24 représente le feedthrough sans correction (ou trimming), la figure 2.25 représente le feedthrough corrigé par ajustement des courants de polarisation. Il existe un feedthrough résiduel de l'ordre quelque nA qui illustre la compensation incomplète de cette erreur.

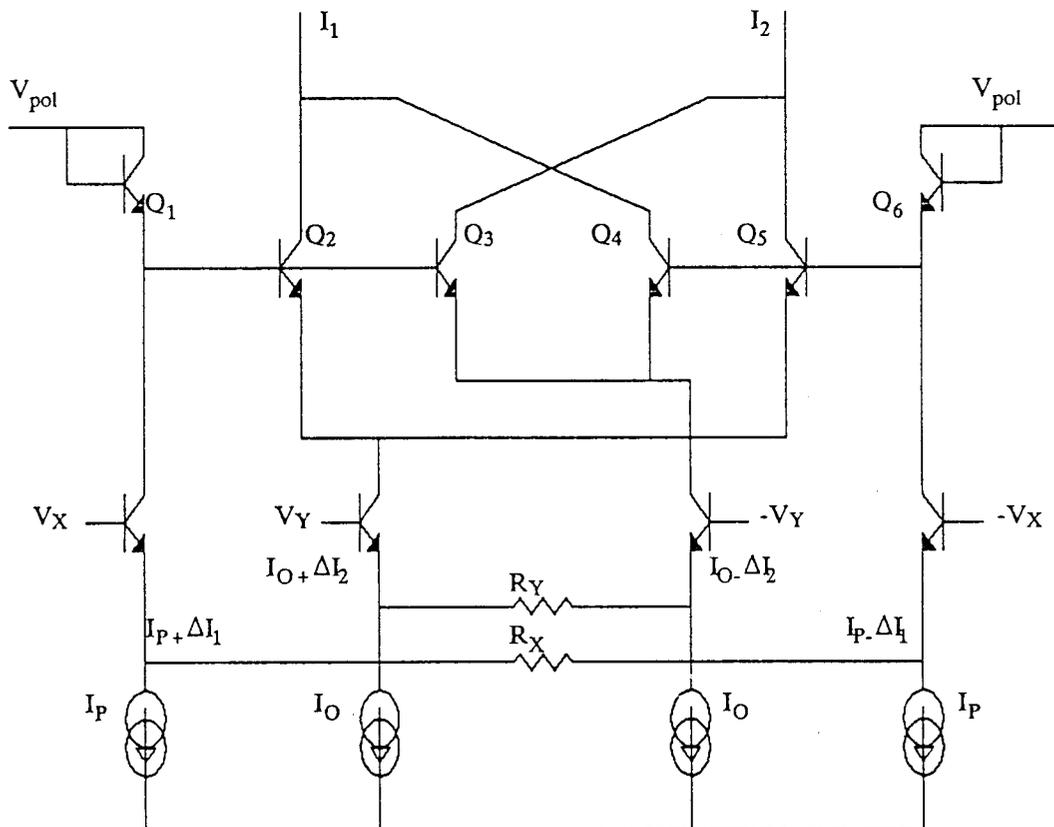


Figure 2.23. Schéma de mesure de la multiplication de deux tensions par un multiplieur à composants discrets.

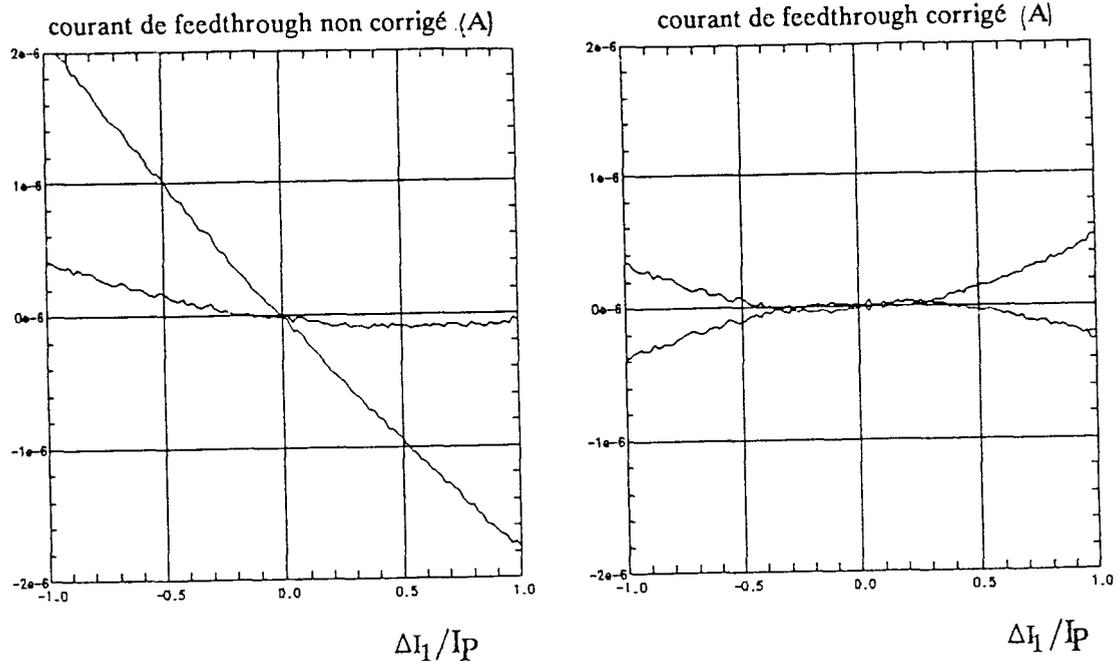


Figure 2.24 2.25 Le feedthrough ne peut pas être corrigé entièrement par trimming des courants de polarisation.

Cette erreur entraîne une dynamique de sortie en courant mesurée de 3.2 décades, alors que l'on pourrait disposer de 4 décades en courant.

Nous nous rendons compte que la transparence des entrées vers la sortie a plusieurs origines, la transparence générée par un non-appariement seul des dispositifs et la transparence générée par le changement de pente. Cette dernière imperfection est réduite en prenant un courant de polarisation I_0 le plus faible possible, ce qui permet, d'une part d'obtenir la polarisation du dispositif dans la zone la plus proche de la faible injection à géométrie constante, et d'autre part, de minimiser la contribution du décalage des pentes. Le défaut est que ceci qui revient à réduire de facto la dynamique en courant. La dynamique de sortie est proportionnelle au déséquilibre de courant (au maximum du I_0), elle diminuera donc moins vite que l'erreur de non-linéarité exponentielle.

Pour arriver à cette optimisation, il est nécessaire d'imposer une densité de courant plus faible dans les transistors Q2 à Q5 que dans les transistors Q6 et Q1 (en imposant par exemple $I_0 = I_p / 2$ sur des transistors de même taille). Cette condition peut être préjudiciable à la compacité de la structure une fois intégrée puisque, pour un courant donné, il est nécessaire d'avoir un transistor de surface plus importante.

Une autre non-linéarité peut provenir des résistances d'émetteur et de base des transistors. Ces résistances, de faible valeur, peuvent quand même être gênantes.

On peut montrer que l'équation linéaire, en fonction du courant d'émetteur ou de base, ajoutée à l'équation non-linéaire du dispositif agit comme un changement de pente, au premier ordre, sur une loi exponentielle pure.

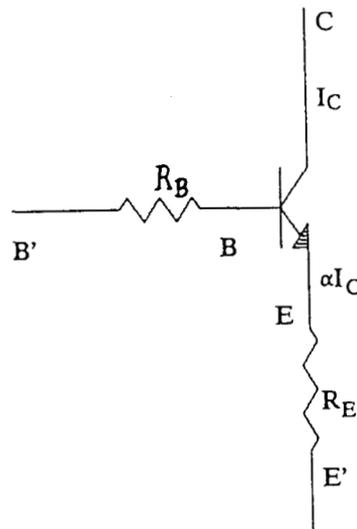


Figure 2.26. Le macro-transistor est constitué de toutes les résistances d'accès et du transistor intrinsèque.

Regardons le schéma de la figure 2.26., le courant du macro-transistor (résistances incorporées) peut être donné par l'expression exponentielle avec le $V_{BE'}$ tel que :

$$V_{BE} = V_{BE'} - \frac{R_E I_C}{\alpha} - \frac{R_B I_C (1-\alpha)}{\alpha} \quad (2.92)$$

avec une variation de la tension $R_E I_C$ et $R_B I_E (1-\alpha)$ petite devant la tension V_{BE}' , on peut approximer la composition de l'exponentielle et de la loi linéaire à :

$$I_C = I_s \exp\left(\frac{V_{BE}'}{N' U_T}\right) \quad (2.93)$$

avec

$$N' = \left(1 + \frac{R_E G_m}{\alpha} + \frac{R_B G_m (1-\alpha)}{\alpha}\right) \quad (2.94)$$

où G_m est la transconductance d'origine (pente d'origine) de la caractéristique du transistor donné pour le courant de polarisation. Par cette transformation, la formulation des équations translinéaires modifiées est la même que précédemment avec le changement de l'exposant dans la fonction exponentielle.

S'il s'agit d'un transistor bipolaire latéral, nous avons un terme d'erreur supplémentaire de changement du coefficient α d'injection en fonction de la polarisation du dispositif. [2.13]

Pour un transistor bipolaire latéral, la résistance typique d'émetteur est de l'ordre de 200 à 300 ohms, la résistance de base de 700 à 1000 ohms, le α est de l'ordre de .8 à $1\mu A$.

L'application numérique nous donne pour valeur de N' pour $R_E = 200$ ohms et $R_B = 1000$ ohms :

$$N' = 1 + .02 \quad (2.95)$$

2.3.1.1.1 Effet du courant de base

Dans le calcul de la cellule de GILBERT , les courants de base des transistors n'ont pas été pris en compte.

On peut montrer au premier ordre, sans compter le non-appariement des courants de base, que tout ce passe comme si on remplaçait le courant de polarisation I_p par un autre courant de polarisation virtuel I_p' de valeur :

$$I_p' = I_p + I_o(1 - \alpha) \quad (2.96)$$

et la variation du courant par:

$$\Delta I_1' \text{ par } \Delta I_1 \left(1 - \frac{I_o(1 - \alpha)}{I_p}\right) \quad (2.97)$$

L'effet du courant de base peut donc être atténué par une minimisation de I_o mais pas annulé. Cet effet n'est pas trop gênant puisqu'il intervient de la même façon pour tous les déséquilibres d'entrée. Cependant il peut être gênant lorsqu'il s'agit de contrôler le gain de la structure à mieux du 1%.

Le facteur de gain K pour le multiplieur à transistors bipolaires est donc :

$$K = \frac{-2\alpha}{I_p} \frac{1 - \frac{I_o(1 - \alpha)}{I_p}}{1 + \frac{I_o(1 - \alpha)}{I_p}} \quad (2.98)$$

Le développement au premier ordre du facteur de gain K est :

$$\frac{-2\alpha}{I_p} \left(1 - 2 \frac{I_o}{I_p} (1 - \alpha)\right) \quad (2.99)$$

Pour la structure en transistor bipolaire latéral, le gain K est à considérer avec le α_{ca} (collecteur actif)

$$K = \frac{-2\alpha_{ca}}{I_p} \left(1 - 2 \frac{I_o}{I_p} (1 - \alpha) \right) \quad (2.100)$$

avec

$$\alpha = \alpha_{ca} + \alpha_{cs} \quad (2.101)$$

2.3.1.2. compromis

Pour la cellule de GILBERT en bipolaire latéral, toutes les considérations d'optimisation de la structure convergent vers une minimisation du courant de polarisation I_o .

Un compromis doit cependant être trouvé entre diminution de dynamique et minimisation des imperfections. Nous pouvons prendre comme valeur de I_o un sous-multiple de I_p afin d'améliorer l'appariement et de faciliter l'implémentation physique des transistors sur le silicium. A ce prix, nous avons une dynamique réduite en courant, mais on peut réduire la non-linéarité et le feedthrough dans une plus grande proportion en ne changeant plus de zone de fonctionnement au niveau de la caractéristique du transistor bipolaire intégré.

2.3.2. Analyse des erreurs de la structure à transistor M.O.S.

Dans le calcul précédent, fait au paragraphe 2.1.2.6., il a été considéré que la loi en exponentielle était vérifiée et que l'argument N était indépendant des tensions de source. Nous allons voir que ce paramètre est à l'origine des principales erreurs du multiplieur M.O.S.

2.3.2.1. Décalage, transparence et non-linéarité

En fait, si l'on recherche par la mesure ce coefficient N , il s'avère que ce paramètre est fonction de la polarisation de source (référence substrat) (figure 2.27.).

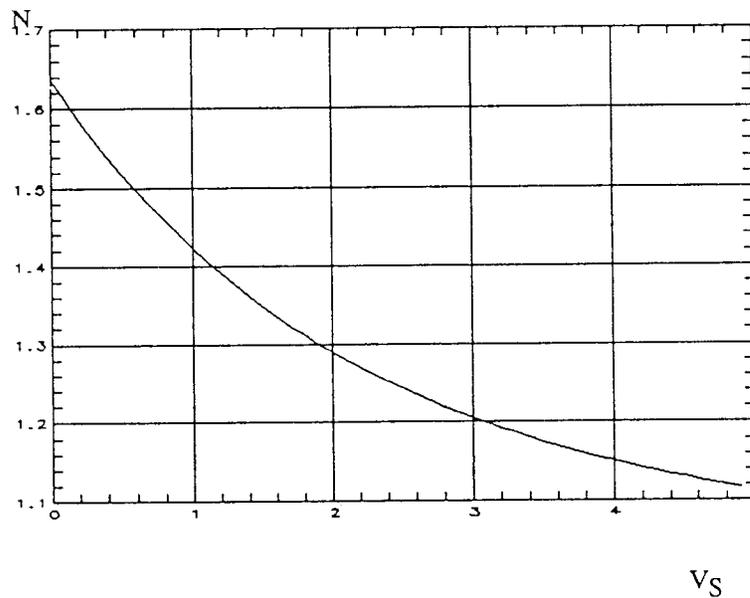


Figure 2.27. Mesure du coefficient N en fonction de la polarisation de source dans une technologie classique de 3 microns.

Il s'ensuit que le facteur N doit être considéré comme faisant partie d'un exposant pour chaque fonction.

$$\left[\frac{I_{d1}}{I_{d6}}\right]^{1/N3} = \left[\frac{I_{d3}}{I_{d4}}\right] \quad (2.102)$$

$$\left[\frac{I_{d1}}{I_{d6}}\right]^{1/N2} = \left[\frac{I_{d2}}{I_{d5}}\right] \quad (2.103)$$

Les coefficients N sont identiques deux à deux puisque les sources des transistors M_2, M_3 et M_5, M_4 sont communes.

En utilisant le principe translinéaire modifié, la résolution finale nous donne :

$$I_1 - I_2 = I_{\text{out}} \quad (2.104)$$

$$I_{\text{out}} = -I_o(\delta_1 - \delta_2) - \Delta I_2(\delta_1 + \delta_2) \quad (2.105)$$

avec

$$\delta_1 = \frac{\left(\left[\frac{(I_P + \Delta I_1)}{(I_P - \Delta I_1)} \right]^{1/N_2} - 1 \right)}{\left(\left[\frac{(I_P + \Delta I_1)}{(I_P - \Delta I_1)} \right]^{1/N_2} + 1 \right)}$$

$$\delta_2 = \frac{\left(\left[\frac{(I_P + \Delta I_1)}{(I_P - \Delta I_1)} \right]^{1/N_3} - 1 \right)}{\left(\left[\frac{(I_P + \Delta I_1)}{(I_P - \Delta I_1)} \right]^{1/N_3} + 1 \right)} \quad (2.106)$$

Cette non-linéarité est très marquée pour un multiplieur fabriqué à partir de cette structure. Pour l'optimisation, nous pourrions simuler le dispositif M.O.S., mais le simulateur SPICE ne met pas actuellement en évidence cette non-linéarité. En effet, ce simulateur utilise un modèle de transistor M.O.S. dont l'effet de variation du coefficient N (concentration non uniforme) n'est pas modélisé, car prenant en compte dans l'exponentielle la différence des tensions $V_G - V_S$.

La figure 2.28 nous montre, pour les différents niveaux, la non-contribution de cet effet sur la courbe SPICE de multiplication.

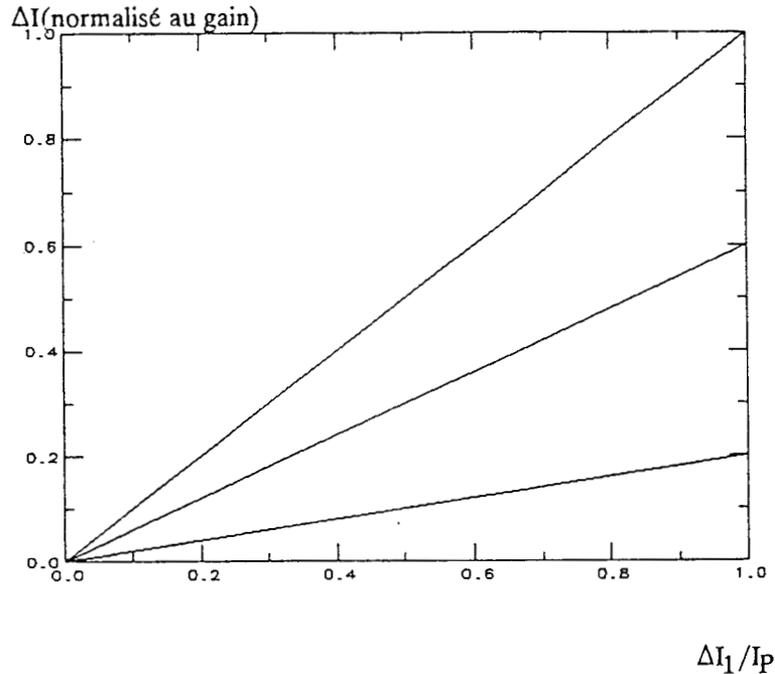


Figure 2.28. Simulation spice du multiplieur (paramètre ΔI_2).
La non-linéarité est complètement absente.

Explications [2.18]:

Dans SPICE, on approxime la pente de l'effet substrat par une loi linéaire alors qu'il faudrait recalculer la tension de seuil en chaque point du canal et, ensuite intégrer cette équation le long du canal.

Les technologies actuelles font appel à des techniques d'implantation ionique pour modifier le profil de dopage sous la grille, de manière à réduire le risque de punchthrough et à ajuster la tension de seuil.

Le profil de dopage généralement observé sous la grille est bien loin d'être uniforme. L'effet le plus visible est l'évolution du $V_t(V)$ (référence à la source) qui présente une pente $N_{(V)}$ variant fortement suivant les valeurs de V . La figure 2.29 montre un exemple d'un tel comportement pour un transistor canal N dans une technologie C.M.O.S. 3 microns.

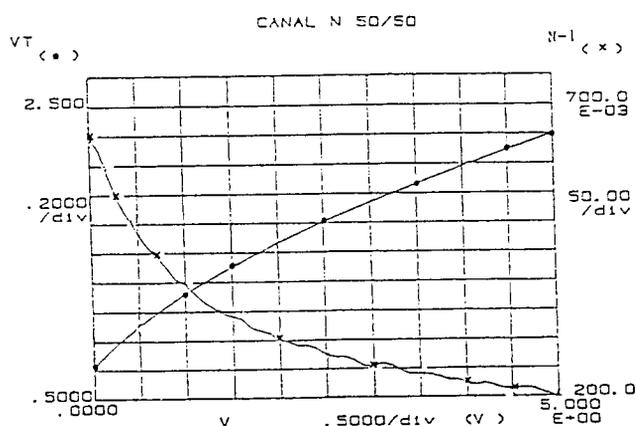
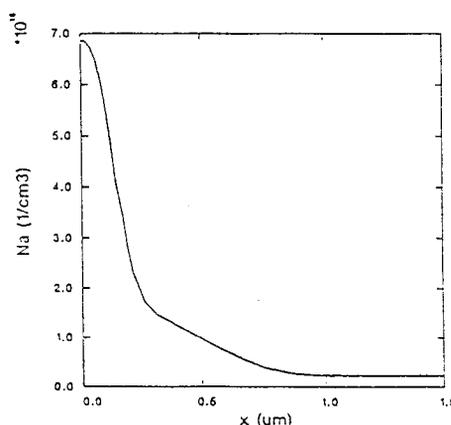


Figure 2.29. Variation de la tension de seuil en fonction de la polarisation.

Les conséquences directes sont multiples :

- La tension de seuil varie rapidement en fonction de V pour les plus faibles valeurs de V . Ceci est lié à une augmentation importante de l'effet substrat résultant du fort niveau de dopage au voisinage de l'interface oxyde-semiconducteur (voir figure 2.30.).

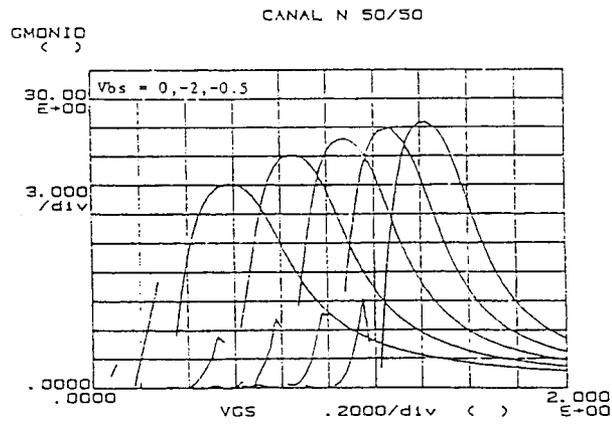
Figure 2.30. Evolution du dopage du semi-conducteur en fonction de la profondeur dans le substrat.



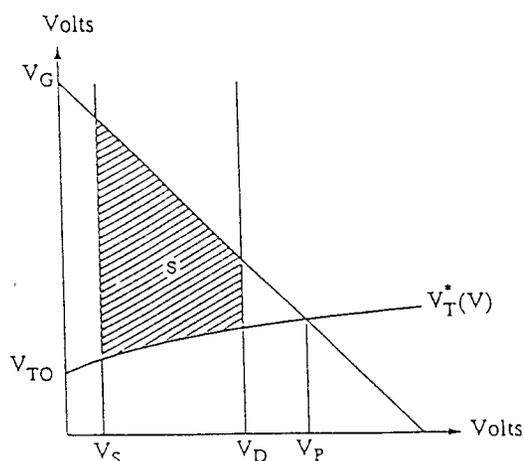
- Par rapport au cas d'un substrat de dopage uniforme, la transconductance en régime saturé diminue à faible polarisation du substrat car $G_m = \beta(V_p - V_s)$ et V_p diminue si la pente $N_{(V)}$ augmente.

- En régime de faible inversion, une augmentation de $N_{(V)}$ provoque une réduction de la pente de $\ln(I_d) = f(V_{GS})$, ce qui peut largement diminuer la transconductance à faible polarisation de substrat. La figure 2.31 montre une mesure du rapport G_m/I_d en fonction de la tension V_{GS} . Le maximum de transconductance à courant donné est obtenu en régime de faible inversion. Il est d'autant plus important que la polarisation substrat est importante et donc que N diminue pour tendre vers 1.

Figure 2.31. Mesure du rapport G_m/I_d
en fonction de la tension V_{GS} .



Les effets d'un dopage substrat non uniforme sont totalement négligés ou sont sous la forme d'une approximation de profil en marches d'escalier. L'approche de calcul du courant faite par Olivier DECLERC et Jean-Paul BARDYN, à l'aide du diagramme de MEMELINCK [2.19] [2.20] (figure 2.32.), permet une prise en compte simple et naturelle de ce phénomène, sous réserve que la courbe $V_T(V)$ soit représentée par une approximation polynomiale simple ajustée sur une série de mesures.



(programme en annexe).

Figure 2.32. Représentation graphique pour le calcul du courant.

Ce modèle présenté, continu de la faible à la forte inversion, prend en compte cet effet substrat pour la simulation, ce qui permet, par la formulation très simple des équations, d'effectuer la simulation en continu de la structure complète (figure 2.13) par une approche de résolution numérique des lois de KIRCHHOFF régissant cette structure (programme en annexe).

Ce travail permet de montrer que cette approche de simulation donne une bonne correspondance entre le calcul analytique développé au paragraphe 2.1.2.6. et la simulation numérique.

Pour le calcul analytique, une solution exacte ne peut pas être trouvée simplement. Nous allons donc encadrer les valeurs de l'argument N (équation 2.105) qui seront données par les déséquilibres de courant ΔI de la structure successivement maxima et minima.

La confrontation des deux approches (figure 2.33) nous donne un encadrement correct de la simulation par cette résolution approchée du calcul analytique.

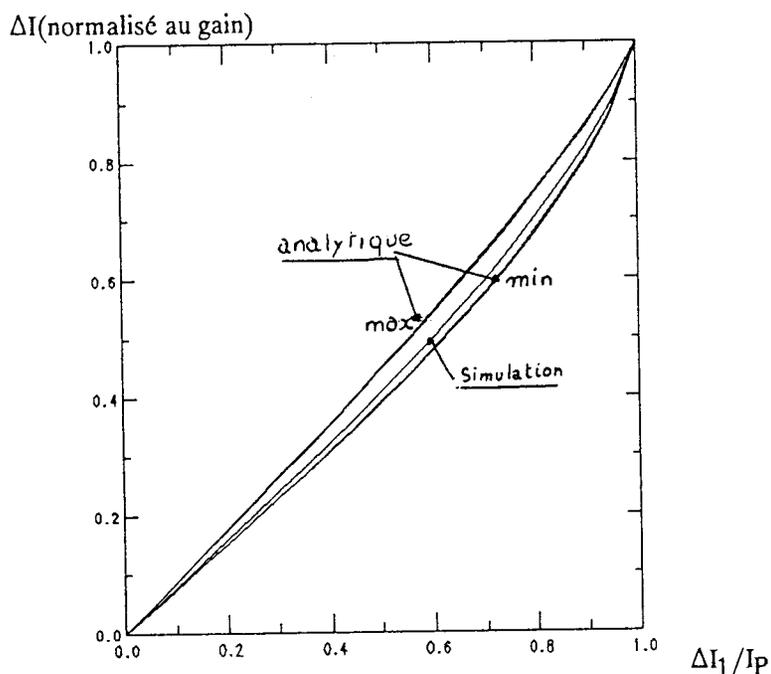


Figure 2.33. Confrontation des deux approches.
L'encadrement de la simulation par le calcul analytique est effectif.

Cette approche complémentaire du calcul analytique permet de valider l'ensemble.

A partir de ces équations, il est possible de donner les non-linéarités et autres erreurs de feedthrough et d'offset dans les multiplieurs analogiques. Ces équations autorisent un calcul des structures en vue d'estimer les erreurs.

2.3.2.2. compromis

La simulation, ainsi établie, permet de valider les équations calculées analytiquement. Ces équations analytiques ne laissent pas la possibilité de trouver un compromis entre la dynamique de sortie, la précision et la minimisation des erreurs. Ce constat négatif d'optimisation pour le multiplieur M.O.S. pourra cependant être amendé par un changement de la structure.

2.3.3. Conclusion

La première structure à transistor bipolaire latéral peut convenir à fabriquer un multiplieur. Le gain de la structure demande cependant une correction du coefficient de rendement d'émetteur α . La technique consiste en une polarisation spéciale pour amener un facteur de gain constant quelles que soient les variations technologiques. Par contre, la deuxième structure à transistors M.O.S. doit être améliorée pour quelle puisse convenir. Cette étude complémentaire est justifiée puisqu' elle permettrait l'utilisation du transistor de base pour une meilleure compacité et une consommation totale plus faible.

2.4. Références bibliographiques du chapitre 2

REFERENCES

- [2.1] B.GUILBERT: A precise four quadrant multiplieur with subnanosecond response. IEEE Journal of Solid State Circuits, VOL 3 N°4;p 365, December 1968.
- [2.2] B.GUILBERT: A new technique for analog multiplication. IEEE Journal of Solid State Circuits, 1975; VOL 10, N°6;p 437-447
- [2.3] E. VITTOZ and J.FELLRATH: CMOS analog integrated circuits based on weak inversion operation, IEEE J. Solid-State Circuits, VOL 12, June 1977.
- [2.4] WONG SL, KALYANASUNDARAM, SALAMA : Wide dynamic range Four quadrant CMOS analog multiplier using linearized transconductance stages. IEEE J. Solid-State Circuits, VOL 21,1986, p1120-1122.
- [2.5] K.BULT and H.Wallinga: A CMOS four quadrant analog multiplier. IEEE J. Solid-State Circuits, VOL 21 N°3, p 430,June 1986
- [2.6] WATANABE K, TEMES GC: A switched capacitor multiplier/divider with digital and analog output. IEEE Trans Circuits and systems CAS31 N°9 (1984) p796-800
- [2.7] B.GUILBERT: Translinear Circuits A proposed Classification. Electronics Letters, VOL 11, N°1 p14-16 1975
- [2.8] B.GUILBERT: Translinear Circuits principle. A reformulation. Electronics Letters, VOL 15, N°24 p801-803 1979
- [2.9] E.SEEVINCK: Analysis and synthesis of Translinear Integrated Circuits. Elsevier 1988.
- [2.10] E.VITTOZ: Mos transistor operated in the lateral mode and their application in CMOS. IEEE JSSC VOL 18, N°3, 1983.
- [2.11] Y.P.TSIVIDIS: Opération an Modelling of the MOS transistor, McGraw-Hill, 1987.
- [2.12] I.E.GETREU: Modeling the bipolar Transistor. Elsevier, Berlin 1978.
- [2.13] X.ARREGUIT: Compatible lateral bipolar transistor in CMOS technology. Thèse de Doctorat n°817 au département d'Electricité de l'école Polytechnique Fédérale de Lausanne, 1989.
- [2.14] HO-JUN SONG, CHOONG-KI KIM: A MOS four-quadrant analog multiplieur using simple two input squaring circuits with source follower. IEEE J. Solid-State Circuits, VOL 25, N°3, 1990.
- [2.15] J.N BABANEZHAD and G.C.TEMES: A 20V four quadrant CMOS analog multiplieur. IEEE J. Solid-State Circuits, VOL 20 p 1158-1168, 1985.
- [2.16] WILKINSON AB Measurement of the non-linerarity of analog multiplieurs. Internationnal L. Electronic, 1977, VOL 43, N°2,p193-196
- [2.17] OVERGOOR BJM: Error sources in analog multipliers.Electron. Apli. BULL, Netherl. 1972, VOL 31, N°3,p187-204.
- [2.18] JP BARDYN: Amplificateurs C.M.O.S. faible bruit pour application sonar, Thèse de DOCTORAT N°608 à l'Université des Sciences et Techniques de Lille Flandre Artois, 1990.
- [2.19] O.DECLECK: Modélisation du transistor M.O.S. à substrat non uniformement dopé pour des applications analogiques. Thèse de DOCTORAT N°711, à l'Université des Sciences et Techniques de Lille Flandre Artois, 1991.
- [2.20] O.W.MEMELINK, J.A. VAN NIELEN: Influence of the substrate upon the DC characteristic of MOS transistors, Philips Research Report, vol 22 p 55-71, 1967.

3. AMELIORATION DES CARACTERISTIQUES DES MULTIPLIEURS

3.1. Introduction

Les approches d'amélioration des multiplieurs qui sont faites ici, sont de deux types.

La première approche consiste à optimiser les structures sur la base d'une modélisation analytique. Elle montrera vite ses limitations [3.1] [3.2].

La deuxième consiste à optimiser les structures par un aspect système. Les structures seront utilisées avec leurs défauts, c'est le système qui se chargera d'éliminer leurs erreurs. C'est cette seconde approche qui permettra d'envisager une réalisation C.M.O.S. de multiplieur d'instrumentation et, qui donne à l'étude toute l'originalité.

Dans un premier temps, nous allons utiliser les expressions analytiques des erreurs de la structure pour les multiplieurs M.O.S., et essayer de trouver des compromis afin de minimiser les termes gênants.

Dans un deuxième temps, nous engagerons une autre approche complémentaire de l'analytique, faisant appel aux résolutions systémiques de problèmes.

3.2. Optimisation analytique

3.2.1. La cellule de GILBERT M.O.S. en faible inversion

Nous avons vu que la cellule de GILBERT en C.M.O.S., utilisant la loi exponentielle en faible inversion, était inutilisable à cause d'une erreur de non-linéarité très marquée sur une des voies.

Nous allons voir dans ce paragraphe comment il est possible de corriger cette erreur de linéarité.

3.2.1.1. Modification de la cellule de base

L'origine de la non-linéarité est due à l'exposant $1/N$ dans la formule 2.43. Les transistors M_1 et M_6 de la figure 2.12, sont commandés par la source avec le courant $I_p + /-\Delta I_1$, les transistors M_2 M_3 M_4 M_5 sont commandés par la source avec le courant $I_0 + /-\Delta I_2$, et commandés par la grille avec les tensions de source des transistors M_1 ou M_6 .

3.2.1.2. Analyse de la cellule modifiée

On trouve en première approximation, avec les coefficients N très proches puisque les potentiels de source des transistors sont presque identiques :

$$\left[\frac{I_{d1}}{I_{d6}}\right] = \left[\frac{I_{d3}}{I_{d4}}\right] \quad (3.1)$$

$$\left[\frac{I_{d1}}{I_{d6}}\right] = \left[\frac{I_{d2}}{I_{d5}}\right] \quad (3.2)$$

Tous calculs faits :

$$I_1 - I = I_{out} \quad (3.3)$$

$$I_{out} = \frac{2\Delta I_1 \Delta I_2}{I_p} \quad (3.4)$$

La réalité est un peu différente, il nous faut estimer les ordres de grandeur des erreurs de cette cellule. Nous allons regarder les erreurs d'offset, de feedthrough, de linéarité et la bande passante.

3.2.1.3. Décalage, transparence et non-linéarité

Si l'on regarde plus attentivement les calculs, une légère erreur apparaît. Elle est due à la loi tension-courant du dispositif. En effet, si l'on excite en courant le dispositif monté en diode par le drain ou par la source, il s'ensuit automatiquement une petite variation de la différence de potentiel entre la grille et la source. Ceci est très gênant car, à potentiel de grille constant, il en résulte une variation résiduelle des coefficients N .

Cette erreur peut être quantifiée en injectant cette variation de N dans l'application du principe translinéaire modifié, en prenant en compte pour chaque paire de dispositifs un coefficient N différent.

Dans la structure (figure 3.2), le décalage des tensions de source est d'autant plus fort que le ΔI_1 est proche du I_p et que le ΔI_2 est proche du I_o .

L'équation devient :

$$\left[\frac{I_{d1}}{I_{d6}}\right]^{1/N3} = \left[\frac{I_{d3}}{I_{d4}}\right]^{1/N1} \quad (3.5)$$

$$\left[\frac{I_{d1}}{I_{d6}}\right]^{1/N2} = \left[\frac{I_{d2}}{I_{d5}}\right]^{1/N1} \quad (3.6)$$

Les potentiels de source M_3 et M_4 ainsi que M_2 et M_5 sont identiques, les coefficients N_3 et N_4 ainsi que N_2 et N_5 sont identiques deux à deux.

Le calcul complet avec la répartition des courants aboutit à :

$$I_{out} = I_o(\delta_1 - \delta_2) + \Delta I(\delta_1 + \delta_2) \quad (3.7)$$

avec

$$\delta_1 = \frac{\left(\frac{I_{P+\Delta I_1}}{I_{P-\Delta I_1}}\right)^{N1/N2} - 1}{\left(\frac{I_{P+\Delta I_1}}{I_{P-\Delta I_1}}\right)^{N1/N2} + 1}$$

$$\delta_2 = \frac{\left(\frac{I_{P+\Delta I_1}}{I_{P-\Delta I_1}}\right)^{N1/N3} - 1}{\left(\frac{I_{P+\Delta I_1}}{I_{P-\Delta I_1}}\right)^{N1/N3} + 1} \quad (3.8)$$

Dans la structure M.O.S. en faible inversion, il apparaît une expression du feedthrough du multiplieur M.O.S. et une expression de la distorsion. Ces erreurs sont uniquement dues aux variations des potentiels de sources (effet du profil de dopage non uniforme). Le feedthrough, représenté par $(\delta_1 - \delta_2)$, est d'autant plus fort que le I_o est grand, et ne dépend pas seulement d'un non-appariement géométrique. Une correction éventuelle par changement des courants de polarisation entraîne une dissymétrie des exposants N , il est donc impossible de corriger le feedthrough du multiplieur M.O.S. par un trimming des courants de polarisation, puisque du même coup, nous allons générer une non-linéarité.

En complément de cette origine du feedthrough du multiplieur M.O.S., viennent s'ajouter les non-appariements des dispositifs M.O.S. en faible inversion, qui sont loin d'être négligeables.

Pour ce qui est de la non-linéarité (d'ordre impair), représentée par le terme $(\delta_1 + \delta_2)$, elle est liée à un changement de gain fonction du déséquilibre des courants dans M_1 et M_6 . Cette non-linéarité peut être donnée par la simulation de la structure en continu, que la figure 3.3 permet d'illustrer.

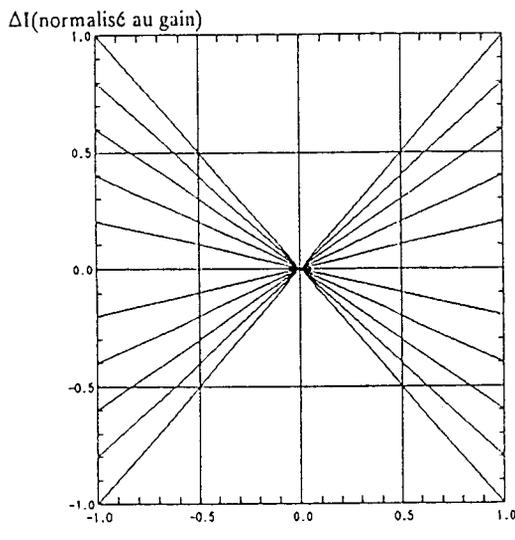


Figure 3.3.a La caractéristique de multiplication.

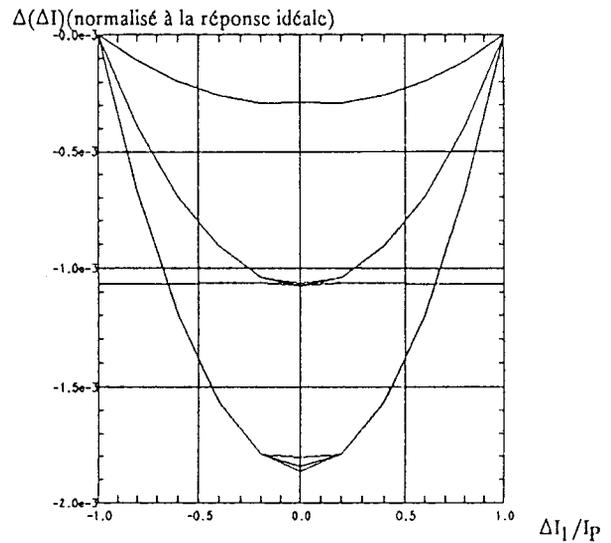


Figure 3.3.b L'écart de la réponse par rapport à la réponse idéale. L'écart maximal a été divisé presque par 100 par rapport à l'écart obtenu précédemment.

Nous observons une diminution de près d'un facteur 100 de l'erreur de gain par rapport à l'ancienne structure. Pour les offset, nous pouvons effectuer le récapitulatif des erreurs d'appariement de tous les transistors comme dans le cas de la structure bipolaire [3.3], mais ceci ne nous donnerait qu'un constat et ne nous avancerait pas sur l'optimisation de la structure. Cette erreur, antisymétrique par définition, pourrait être supprimée une fois pour toute par une structure de multiplication rendue symétrique. Seule une intervention extérieure à cette structure pourra effectuer cette transformation. Nous verrons cela dans le paragraphe 3.3. de l'aspect système.

3.2.1.4. Limitation de la bande passante de la nouvelle structure

Une question de définition de la bande passante du multiplieur se pose. En effet, le circuit est non-linéaire par définition. Le produit temporel de deux signaux alternatifs nous donne, en fait, la convolution des spectres de ces signaux. [3.4]

S'agit-il de la bande passante qu'il faut pour effectuer la convolution ou celle de la sortie?

La réponse est qu'il faut considérer la bande passante utile à la convolution. L'approche, qui est faite ici pour calculer cette bande passante, nous permet d'utiliser le multiplieur en gain variable, c'est-à-dire à n'utiliser qu'une seule entrée en signal alternatif et de laisser l'autre entrée, à un potentiel fixe, qui réglera le gain [3.5]. La bande passante sera donc définie comme celle d'un amplificateur ordinaire. Le calcul qui va suivre permettra de donner un ordre de grandeur de la bande passante utile de convolution. Nous prendrons donc ici le plus grand gain de l'amplificateur ainsi constitué avec le déséquilibre maximal en courant sur l'une des voies. Deux configurations sont envisageables : une excitation alternative sur V_X ou V_Y et continue sur V_Y ou V_X .

La voie du signal alternatif choisie est celle où la bande passante risque d'être minimale. Celle-ci est constituée des transistors M_1 et M_6 qui sont connectés aux capacités de grilles des autres transistors. Pour connaître le pôle dominant de la structure, nous utiliserons une méthode rapide d'estimation de la résistance équivalente connectée aux capacités parasites des transistors.

Dans la structure modifiée, nous pouvons voir que le signal en courant est injecté directement sur le drain des transistors M_1 et M_6 et donc, l'injection se fait sur une résistance équivalente à :

$$R_{eq} = \frac{1}{G_{md}} \quad (3.9)$$

avec G_{md} représentant le rapport entre le courant de polarisation I_p et la tension $N U_t$ des transistors M_1 ou M_6 .

La fréquence de coupure est par approximation :

$$F_{cl} = \frac{1}{2\pi R_e q C_g} \quad (3.10)$$

où C_g est la capacité totale des entrées des transistors M.O.S. M_1 , M_2 et M_3 .

Le fonctionnement des transistors étant en faible inversion, les capacités de grilles (C_g) suivent la courbe de la figure 3.4 [3.6]

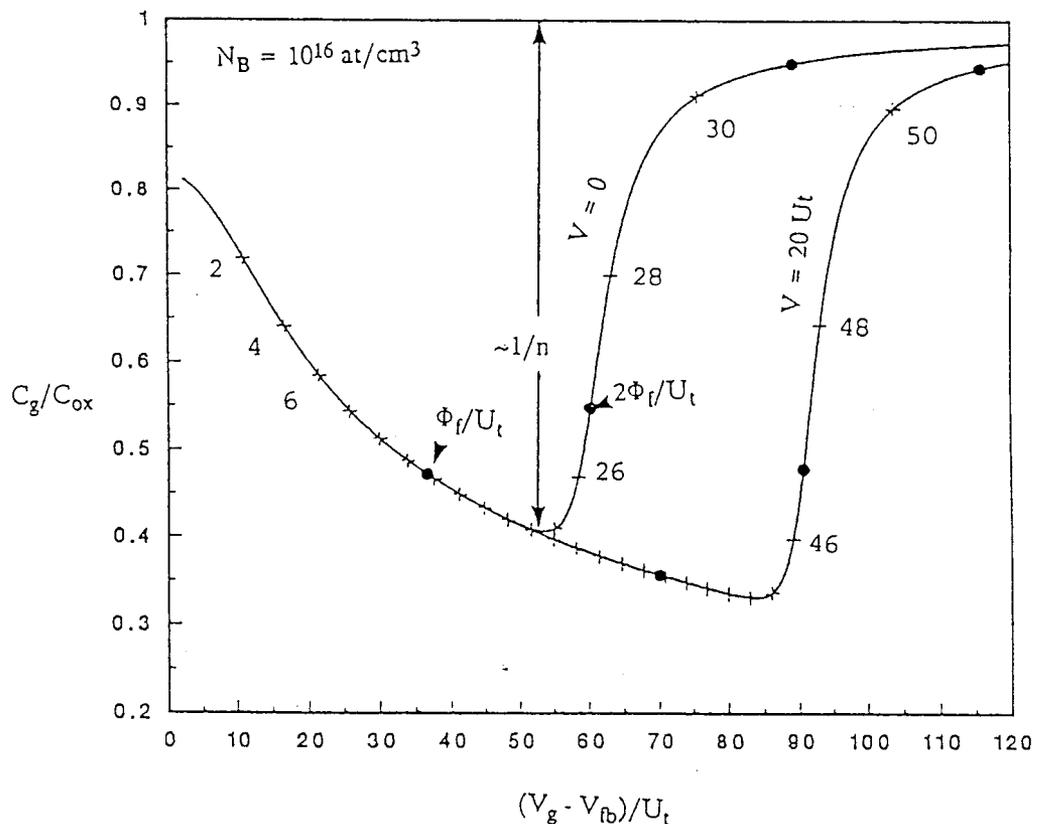


Figure 3.4. $C(V)$ la capacité de grille est fonction du potentiel de grille.

où V_{fb} représente la tension de bande plate (flat band), V_g la tension de grille (référence substrat) ϕ_f le potentiel de surface à l'interface semi-conducteur-oxyde et C_{ox} la capacité unitaire de grille ϵ_{ox}/t_{ox} (diélectrique / épaisseur d'oxyde).

Pour une technologie classique, le rapport de C_g avec C_{ox} en faible inversion est de l'ordre de .5

La fréquence de coupure doit être calculée pour une polarisation à la moitié du courant limite de faible inversion βU_t^2 , afin que le déséquilibre ΔI ne change pas la zone de fonctionnement. Elle est développée :

$$G_{md} = \frac{\beta U_t^2}{2NU_t} \quad (3.11)$$

$$Cg_1 = .5 \text{ Cox } W L_1$$

$$Cg = .5 \text{ Cox } W L_2$$

$$Cg_3 = .5 \text{ Cox } W L_3 \quad (3.12)$$

$$F_{c1} = \frac{\mu \text{ Cox } \left(\frac{W}{L}\right)_1 U_t}{4\pi N \text{ Cox } ((WL)_1 + (WL)_2 + (WL)_3)} \quad (3.13)$$

Le rapport des tailles des transistors est fixé par :

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_6 \text{ et } \left(\frac{W}{L}\right)_{i=2,5} = \left(\frac{W}{L}\right)_1 \quad (3.14)$$

avec les considérations de surface de grilles des différents transistors, nous avons :

$$F_{c1} = \frac{\mu U_t}{4\pi N L^2} \quad (3.15)$$

Pour un transistor M.O.S. du type P dans une technologie de substrat P nous avons : $\mu = 300e-4$ $L = 3e-6$, $N = 1.3$, $U_t = 25e-3$ (MKSA), par conséquent la fréquence de coupure est $F_{c1} = 4.4$ Mhz

Cette valeur représente la fréquence de coupure maximale approximée pour la structure P.M.O.S modifiée à l'état de polarisation symétrique sur la structure. Un déséquilibre de courant sur cette voie entraîne une diminution de la transconductance de l'un des deux transistors (M_1 ou M_6) dans l'équation (3.13.) et, de ce fait, une diminution de la fréquence de coupure.

Si l'on compare cette fréquence de coupure à celle de la structure originale (figure 3.1.), nous avons un facteur de diminution, au pire des cas, de 2 N. En effet, le produit de la résistance équivalente au point de connexion des sources de M_1 ou M_6 et des capacités de grilles des autres transistors, nous donne pour l'ancienne structure :

$$F_{c2} = \frac{G_{ms}}{2 \pi Cg'} \quad (3.16)$$

où Cg' est la capacité totale des entrées des transistors M.O.S. M_2 et M_3 seuls et G_{ms} le rapport entre le courant de polarisation I_p et la tension U_t dans le transistor M_1 .

Le rapport des fréquences de coupure (ancienne-nouvelle) se ramène au rapport des surfaces de grille et des résistances équivalentes.

Une solution partielle pour corriger la réponse en fréquence serait de fabriquer les diodes M_1 , M_6 avec quatre transistors, conformément à la figure 3.5., permettant ainsi d'isoler les capacités des transistors M_1 à M_3 du courant d'excitation.

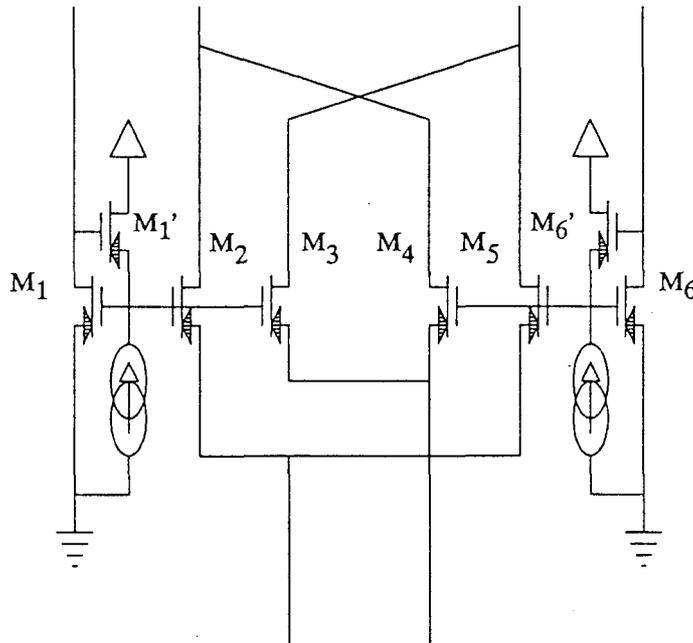


Figure 3.5. Modification pour augmenter la bande passante.

Seuls les transistors M_1' et M_6' ainsi que les générateurs de courant sont à ajouter.

La fréquence de coupure de l'ancienne structure est ainsi retrouvée.

3.2.2. Conclusion

L'utilisation du multiplieur M.O.S. demande donc certaines précautions.

Nous avons vu que la minimisation de la non-linéarité, par changement de la topologie des transistors, entraîne une diminution de la bande passante sur l'une des voies.

L'équation du feedthrough, contrairement à celle du bipolaire, ne laisse pas envisager une quelconque amélioration en minimisant le courant de polarisation I_o , puisque le rapport du courant maximal de sortie avec le courant de polarisation I_o reste constant et, que cette diminution du courant n'apporte rien d'autre qu'une minimisation de la consommation.

Le constat en général pour le multiplieur M.O.S., après cet essai de changement de la structure, est qu'il n'y a pas d'issue pour l'optimisation par le calcul. Par exemple, dès que l'on voudra compenser des offset par ajustement des courants de polarisation, on va du même coup engendrer des non-linéarités très marquées.

Les non-linéarités de départ (bien qu'elles puissent être en partie minimisées), les variations d'offset et le feedthrough prouvent que le multiplieur M.O.S. ne possède pas toutes les qualités d'un multiplieur idéal d'instrumentation.

L'imperfection tolérable pour un multiplieur d'instrumentation est la variation de gain K dans une expression de la forme :

$$I_{out} = K \Delta I_1 \Delta I_2 \quad (3.17)$$

Les autres erreurs sont en principe intolérables, puisqu'elles touchent à l'intégrité du signal : elles ne peuvent plus être corrigées par un étalonnage. Si l'on vise une précision meilleure que 1%, il est nécessaire de combattre et d'éliminer l'offset et le feedthrough qui deviennent les erreurs dominantes dans la nouvelle structure proposée.

3.3. Optimisation système

3.3.1. Approche système pour pallier aux imperfections de la réalisation

Le calcul analytique montre les limitations infranchissables pour une structure M.O.S. Il est essentiel qu'une approche système soit bâtie pour minimiser les défauts des structures. Par cette approche originale, nous éliminerons les effets de toutes les antisymétries du montage en proposant un système qui évacue toutes les imperfections d'ordre pair dans la fonction de multiplication réelle du circuit. Cette fonction peut être représentée par :

$$V_z(t) = \sum_{i=0}^m \sum_{j=0}^m K_{ij} V_x^i(t) V_y^j(t) \quad (3.18)$$

Le paramètre m représente l'ordre du développement limité.

Dans ce paragraphe, nous allons élaborer les hypothèses de départ qui sont à l'origine de cette construction.

3.3.1.1. Le principe d'élimination des erreurs

Il consiste à utiliser le principe de l'égalisation dynamique [3.7] [3.8]. L'offset peut être modélisé comme une tension de décalage constante. L'offset ne dépend que des conditions statiques, il est donc envisageable de transporter en fréquence cet offset, dépassant la limite haute du spectre du signal à analyser.

La technique, bien maîtrisée pour les amplificateurs opérationnels, peut être étudiée. Pour un circuit linéaire en général, cette technique consiste à installer un hacheur sur le signal d'entrée. La suite des opérations consiste à démoduler le signal, par un autre hacheur identique au premier, et ainsi éliminer l'offset de l'amplificateur.

Le résultat, filtré de la composante d'offset à la fréquence du hacheur par un filtre passe bas, représente le signal original amplifié du gain de la structure seule. Figure 3.6.

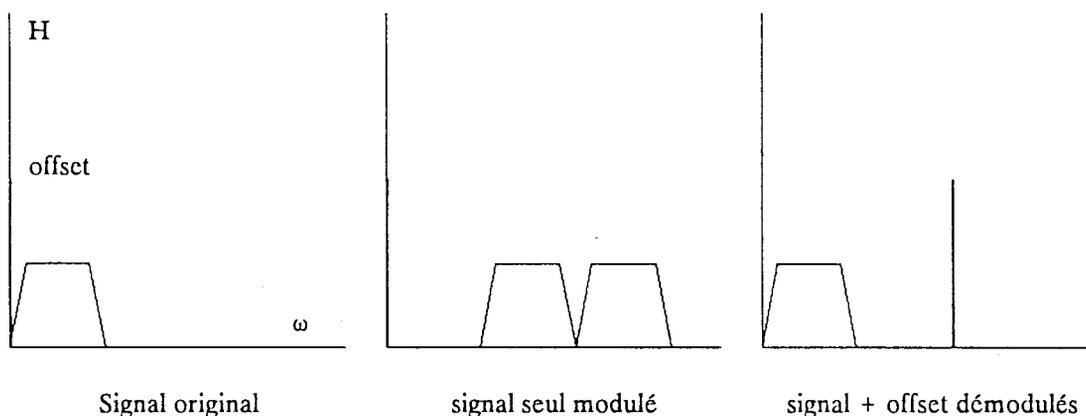


Figure 3.6. Illustration des opérations successives de transport en fréquence de l'offset indésirable.

Tout ne se passe pas aussi bien lorsqu'il s'agit d'un circuit contenant une opération de multiplication. Lors de l'opération d'alternance des entrées (correspondant déjà à une opération de convolution), les hacheurs interféreront avec le traitement du multiplieur qui effectue un produit de convolution.

Dans le cas général, une issue, pour résoudre un problème de ce genre, est de prendre un degré de liberté supplémentaire en acceptant du même coup une contrainte supplémentaire qui est plus supportable que l'erreur à corriger. Ce cas général, une fois appliqué au principe dynamique de réduction des offset, nous donne le degré de liberté qui est celui du temps d'établissement du signal attendu, la contrainte demande alors de réaliser une moyenne d'événements.

Ce principe d'égalisation, appliqué au multiplieur, consiste à permuter les **quatre** cadrans cycliquement par des choppers, au bout de **quatre** permutations, la **moyenne** de la sortie correspond au résultat attendu.

La permutation des **quatre** cadrans est rendue cyclique par les inversions des commandes des choppers. Après **quatre** opérations, une symétrie de construction de la caractéristique de multiplication est retrouvée de manière virtuelle par la **moyenne** des opérations : les offset du multiplieur ont été transportés en fréquence et éliminés par cette moyenne.

A chaque changement de signe de V_X et V_Y par la structure supplémentaire, on échange le cadran de droite à gauche ou de bas en haut.

La formule de multiplication, valable dans les quatre cadrans, doit être :

$$V_Z = K * V_X * V_Y \quad (3.19)$$

à cette caractéristique est toujours superposé un décalage en tension sur V_X V_Y ou V_Z . (figure 3.7.)

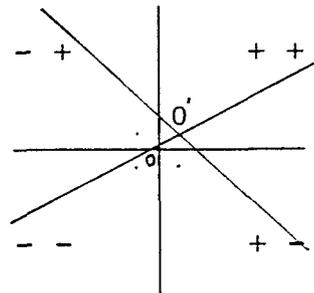


Figure 3.7. Représentation des quatre cadrans pour les compositions des signes sur les deux entrées.

La permutation des cadrans est équivalente à une rotation. Ainsi toutes les erreurs excentrées inhérentes à la structure donneront une figure géométrique centrée sur le point invariant de rotation qui est le zéro.

Aussi, pour restituer la sortie V_Z proportionnelle à la multiplication des tensions extérieures :

$$V_Z = K * V_X * V_Y \quad (3.20)$$

il faut effectuer des inversions des signaux. Elles sont obtenues par des choppers qui changent les références des tensions sur les entrées différentielles V_X , V_Y , V_Z .

Les tensions V_X ou V_Y d'entrée étant transformées par les opérations choppers en $+V_{X/Y}$ ou $-V_{X/Y}$, donneront à chaque changement de cadran :

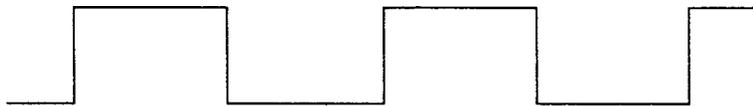
	opération externe	opération interne	sortie non démodulée	sortie démodulée
1		$(V_X + \text{offx}) * (V_Y + \text{offy})$	$(V_Z + \text{offz})$	$+(V_Z + \text{offz})$
2		$(V_X + \text{offx}) * (-V_Y + \text{offy})$	$(-V_Z + \text{offz})$	$-(-V_Z + \text{offz})$
3		$(-V_X + \text{offx}) * (-V_Y + \text{offy})$	$(V_Z + \text{offz})$	$+(V_Z + \text{offz})$
4		$(-V_X + \text{offx}) * (V_Y + \text{offy})$	$(-V_Z + \text{offz})$	$-(-V_Z + \text{offz})$
bilan	$V_X * V_Y =$			V_Z

Les offset sur les entrées et les sorties sont ainsi éliminés en moyenne.

Les quatre phases des choppers repérées par leurs opérations "+" ou "-" sont définies par les phases des horloges de commande. Les horloges de commande sont en quadrature. L'horloge du chopper de sortie est le "ou exclusif" des horloges des choppers d'entrée.



horloge du chopper sur la voie X



horloge du chopper sur la voie Y



horloge du chopper sur la sortie Z

Les choppers sont réalisés par de simples transistors de passage qui ont le rôle de permuter les tensions d'entrée et de sortie ou leurs opposées aux connexions du multiplieur.

Désignons par a , b , c les valeurs d'inversion des choppers, on a, avec n représentant les instants successifs où l'on change les états d'inversion des signaux :

$$a(t) = 1 \text{ si } nT < t < (n + 1/2)T$$

$$a(t) = -1 \text{ si } (n + 1/2)T < t < (n+1)T$$

et T la période du chopper le plus lent.

Les fonctions a , b , c ont certaines propriétés :

$$\begin{aligned} b(t) &= a(t-T/4) \\ c(t) &= a(t) * b(t) \\ a^{-1} &= a \\ \text{ou bien} \\ a^2 &= 1 \end{aligned}$$

Les fréquences des choppers sur V_X et V_Y sont choisies à $1/T$ et la fréquence du chopper sur V_Z est choisie à $2/T$.

La sortie V_Z est l'addition des 4 termes aux temps $nT/2$ avec n appartenant à l'intervalle $[1,4]$.

Par cette transformation, on voit, avec les propriétés des fonctions choppers a , b , c , que le terme utile de multiplication reste invariant, puisque $a b / c = 1$.

Regardons maintenant ce qui se passe avec l'équation du multiplieur réel. L'équation réelle est mise sous la forme d'un développement limité.

$$V_Z(t) = \sum_{i=0}^m \sum_{j=0}^m K_{ij} V_X^i(t) V_Y^j(t) \quad (3.21)$$

Nous pouvons effectuer une liste des différentes erreurs de la sortie V_Z en fonction des différentes puissances des signaux d'entrée : le terme $i=0 j=0$ représente un offset sur la sortie V_Z , les termes $i=1$ et $j=0$ ou $i=0$ et $j=1$ représentent des offset agissant sur l'entrée V_X ou l'entrée V_Y (feedthrough), les termes $i > 1$ et $j > 1$ représentent les non-linéarités de la fonction de multiplication. Ces non-linéarités sont, soit générées par la conversion tension-courant d'entrée pour donner ΔI_1 ou ΔI_2 , soit générées par la cellule de multiplication elle-même.

La transformation, avec le système des choppers, et les propriétés des fonctions a , b , c , nous donne la formulation de la sortie en fonction du temps aux instants NT où le signal résultat est présent.

$$V_Z(NT) = \sum_{n=1}^4 \sum_{i=0}^m \sum_{j=0}^m K_{ij} a^{(i-1)}\left(\frac{nT}{2}\right) b^{(j-1)}\left(\frac{nT}{2}\right) V_X^i(t) V_Y^j(t) \quad (3.22)$$

La somme d'indice n est celle imposée par le principe, toutes les quatre permutations des quatre cadrans, N est incrémenté de 1.

Cette transformation est valable pour V_X et V_Y quelconques, mais donne aux instants NT la moyenne de $V_X * V_Y$ et donne donc un signal résultant $V_Z(NT)$ échantillonné que l'on pourra moyenner ou filtrer comme un signal échantillonné classique.

La solution peut être généralisée quel que soit le nombre n d'additions de termes quand le terme NT est très grand devant le temps d'analyse. La somme discrete peut être remplacée par une intégration. Ceci étant dit, la solution la plus pratique est d'obtenir la sortie V_Z par filtrage passe bas à condition que le temps d'analyse reste un multiple pair de la période de chopper. Les erreurs d'ordre $(i$ ou $j)$ pair ou $(i+j)$ impair sont convoluées avec les fréquences des horloges des choppers. Cette condition est associée à la réalisation du filtre de sortie qui atténue suffisamment les fréquences choppers. Il faut que le pôle du filtre soit assez bas pour que le filtre ressemble à un intégrateur.

Regardons plus spécialement le développement de la fonction pour le cas où V_X et V_Y sont des fonctions sinusoïdales pures.

$$\begin{aligned} V_x &= \cos(\omega_1 t) \\ V_y &= \cos(\omega_2 t) \end{aligned} \quad (3.23)$$

Il est intéressant de regarder le développement de l'équation du multiplicateur à choppers à l'ordre quatre, car la distorsion en fréquence est apparente avec la convolution des termes impair (1, 3) de distorsion. Nous avons les multiplications suivantes avec a et b représentant les fonctions temporelles des commandes des choppers :

$$i=0 \ j=0 \ V_z = ab$$

$$i=1 \ j=0 \ V_z = b \cos(\omega_1 t)$$

$$i=2 \ j=0 \ V_z = ab \cos^2(\omega_1 t)$$

$$i=3 \ j=0 \ V_z = b \cos^3(\omega_1 t)$$

$$i=4 \ j=0 \ V_z = ab \cos^4(\omega_1 t)$$

$$i=0 \ j=1 \ V_z = b \cos(\omega_2 t)$$

$$i=1 \ j=1 \ V_z = \cos(\omega_1 t) \cos(\omega_2 t)$$

$$i=2 \ j=1 \ V_z = a \cos^2(\omega_1 t) \cos(\omega_2 t)$$

$$i=3 \ j=1 \ V_z = \cos^3(\omega_1 t) \cos(\omega_2 t)$$

$$i=0 \ j=2 \ V_z = ab \cos^2(\omega_2 t)$$

$$i=1 \ j=2 \ V_z = b \cos(\omega_1 t) \cos^2(\omega_2 t)$$

$$i=2 \ j=2 \ V_z = ab \cos^2(\omega_1 t) \cos^2(\omega_2 t)$$

$$i=0 \ j=3 \ V_z = a \cos^3(\omega_2 t)$$

$$i=1 \ j=3 \ V_z = \cos(\omega_1 t) \cos^3(\omega_2 t)$$

$$i=0 \ j=4 \ V_z = ab \cos^4(\omega_2 t)$$

(3.24)

Les termes en i et j pairs donnent des composantes autour de $2/T$, les termes en $i + j$ impairs donnent des composantes autour de $1/T$, les termes en i et j tous deux impairs restent inchangés.

Les termes pour lesquels i et j vérifient ces égalités restent invariant :

$$i = 2k_1 + 1$$

$$j = 2k + 1 \quad (3.25)$$

Une résolution du type FFT pourrait être envisagée, mais la convolution de plusieurs termes donne des résultats très difficilement exploitables vu leur complexité, c'est pourquoi la résolution temporelle a été utilisée. La simplicité des équations nous donne les termes invariants et les termes les plus gênants transposés en fréquence par la transformation.

3.3.2. Utilisation du principe d'égalisation

3.3.2.1. Répartition spectrale de l'égalisation dynamique

Dans le système d'égalisation dynamique, nous avons vu que les offset étaient transposés aux fréquences choppers. Si maintenant nous considérons les spectres des signaux sur V_X et V_Y , il y a convolution et donc les spectres se retrouvent eux-mêmes transposés aux fréquences choppers. Il advient que les signaux transposés de V_X ou V_Y peuvent interférer avec le signal de sortie. Pour qu'il n'y ait pas cette autodistorsion d'ordre 1 dans le domaine de fréquence, il faut que la fréquence de chopper soit à 2 fois la fréquence Nyquist. S'il existe une distorsion importante d'ordre supérieur des signaux d'entrée, alors la fréquence doit être reculée d'un facteur, approximativement de 2. Nous arrivons donc à des fréquences très importantes si nous désirons utiliser le système dans une plage de fréquence correspondant à la convolution des spectres des signaux d'entrée sans auto-distorsion par le signal lui-même ou ses harmoniques.

A l'ordre 4, comme dans le développement limité [3.24.], si nous voulons aucune interaction avec les choppers, il faut aller à 4 fois la fréquence du signal le plus élevé, comme le montre la figure 3.8

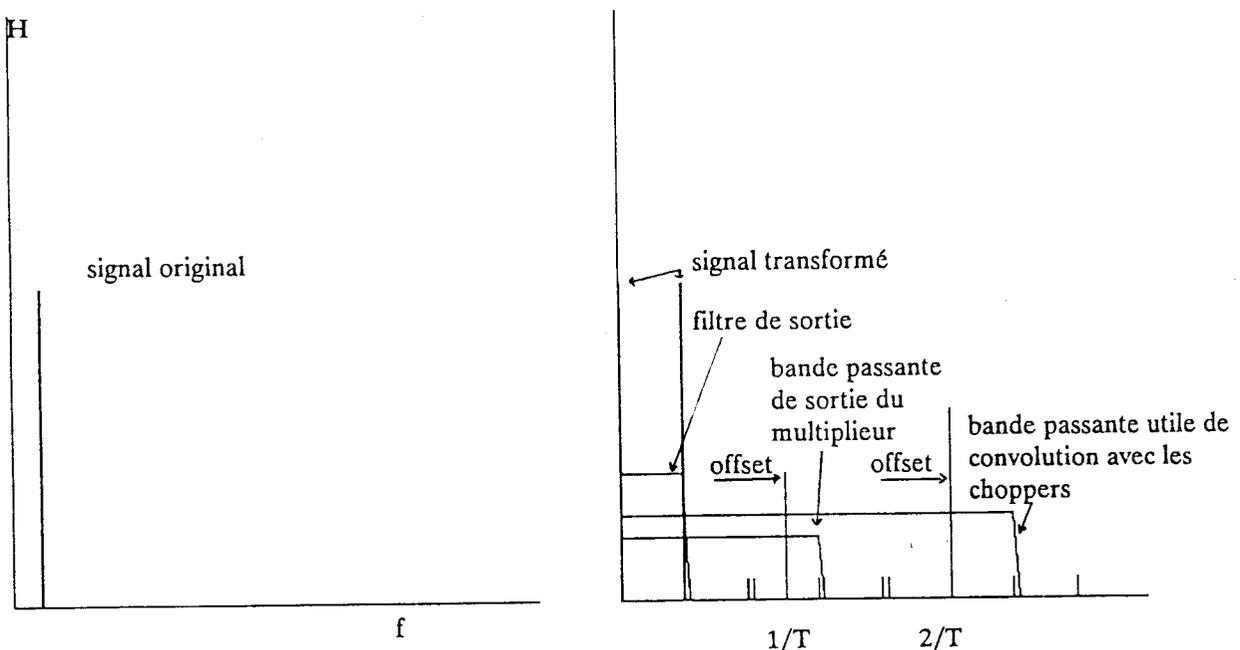


Figure 3.8. Illustration du transport en fréquence des offset et des bandes passantes nécessaires à la transformation. (les petits traits représentent les distorsions)

La fréquence maximale à transmettre est un peu au delà du double de la bande passante de convolution qu'il faudrait naturellement sans les choppers.

L'égalisation dynamique impose au multiplieur de travailler au minimum à la fréquence des choppers au niveau des entrées. Les signaux V_X et V_Y convolués avec la fréquence chopper donnent une composante à $1/T$, la composition des deux signaux convolués donne une composante à $1/2T$ qu'il faut démoduler par un chopper de sortie. La bande passante de la sortie doit être suffisante (figure 3.8) pour ne pas détruire le signal utile avant démodulation. Le signal utile de sortie, quant à lui, ne demande qu'une faible bande passante.

Il est donc important de limiter volontairement la bande passante des signaux d'entrée et de contrôler la fréquence de coupure du multiplieur avant démodulation.

3.3.2.2. Estimation de la réduction des offset et de la distorsion

Le principe étant basé sur un appariement des périodes de commutation, il est très facile de calculer le résidu d'offset.

Avec la précision de $\Delta T/T$ (0.1%) sur ces périodes, l'offset résiduel en moyenne après un cycle complet, au pire des cas, est de :

$$\text{Off}_{\text{res}} = 2 \frac{\Delta T}{T} (\text{Off}_x + \text{Off}_y) \# \frac{\text{Off}_x + \text{Off}_y}{500} \quad (3.26)$$

Les offset couplés en off_x , off_y ou off_z sont éliminés, de fait, par la symétrie des horloges, car le chopper en Z est fait par un "ou exclusif" des choppers sur X et Y: le ΔT se compense sur 2 périodes complètes.

La distorsion est en partie réduite. En effet, les coefficients des termes du développement limité, pour lesquels les puissances en i et j pairs ainsi que $i + j$ impairs, donnent une résultante nulle après un cycle complet. Les non-linéarités en V_x^2 et V_y^2 ou $V_x^2 \cdot V_y$ et $V_y^2 \cdot V_x$ sont donc éliminées. Malheureusement, les distorsions en i et j toutes deux impaires ne sont pas modifiées, et ce sont les plus importantes. En effet, la fonction de multiplication et les paires différentielles d'entrée de conversion tension-courant donnent une non-linéarité d'ordre impair (3ème degré).

Pour minimiser la non-linéarité donnée par les paires différentielles d'entrée, nous pouvons utiliser une méthode feedforward sur le convertisseur différentiel de tension-courant (figure 3.9.).

Le schéma, donné par le brevet de Tektronix Inc. [3.9], fabriqué dans une technologie bipolaire, peut convenir en technologie M.O.S. :

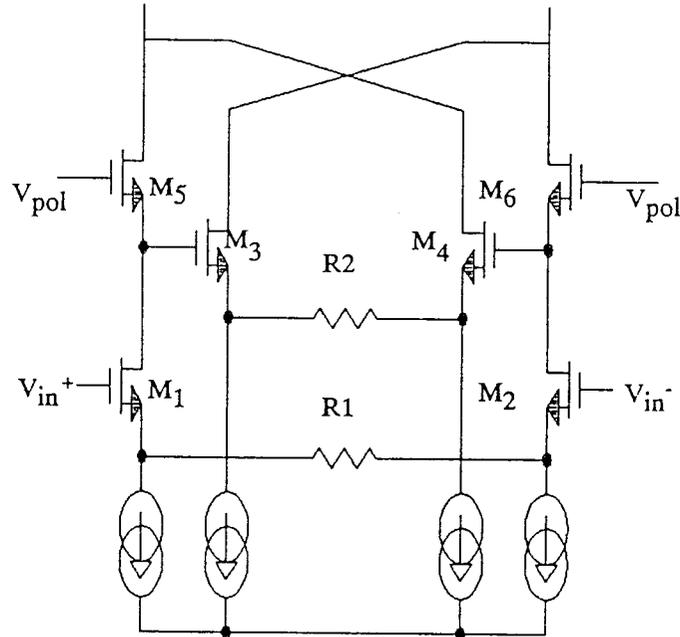


Figure 3.9. Cellule Feedforward pour la correction de linéarité.

Les transistors du centre M3, M4 mesurent la non-linéarité et la corrigent en injectant un courant de compensation sur les drains des transistors principaux.

Les non-linéarités de la paire différentielle (M_1 , M_2) sont dues aux tensions V_{GS} de ces transistors. L'amplificateur constitué de M_3 , M_4 amplifie la différence des tensions V_{GS} recopiées sur les transistors "cascode" M_5 , M_6 parcourus par les mêmes courants que M_1 , M_2 , et ainsi les courants de sortie M_3 , M_4 s'ajoutent aux courants de sortie dont ils corrigent les non-linéarités. Le ΔI en fonction des tensions d'entrée donne quasiment une droite sur une plus grande excursion de tension d'entrée pour une même somme de courants de polarisation et permet de minimiser cette non-linéarité d'ordre 3. Cette méthode demande beaucoup de transistors et est contraire à l'hypothèse de minimisation de surface. Une solution plus simple est tout simplement d'augmenter le courant de polarisation de quelques % pour obtenir une courbe plus linéaire. Cette augmentation de consommation est plus tolérable, pour notre étude, que l'augmentation de surface.

3.3.3. Vérification et réalisation pratique

Les calculs analytiques ou semi-empiriques vus précédemment au chapitre 2 et 3, ainsi que le principe de réduction des erreurs, ont pu être vérifiés dans deux réalisations intégrées de multiplieurs.

La démarche de conception du système analyseur consiste d'abord à effectuer des estimations des performances des différents multiplieurs dans le but de les comparer. Deux structures sont ici retenues, la première effectuée en bipolaire latéral, la seconde en M.O.S.

La bibliographie est ici très abondante:[3.10] [3.11] [3.12] [3.13] pour la structure bipolaire latéral et [3.14] [3.15] [3.16] [3.17] pour la structure M.O.S.

Dans cette présentation, nous ferons intervenir la conception globale des blocs fonctionnels, et nous regarderons les résultats de mesure de chacune des parties.

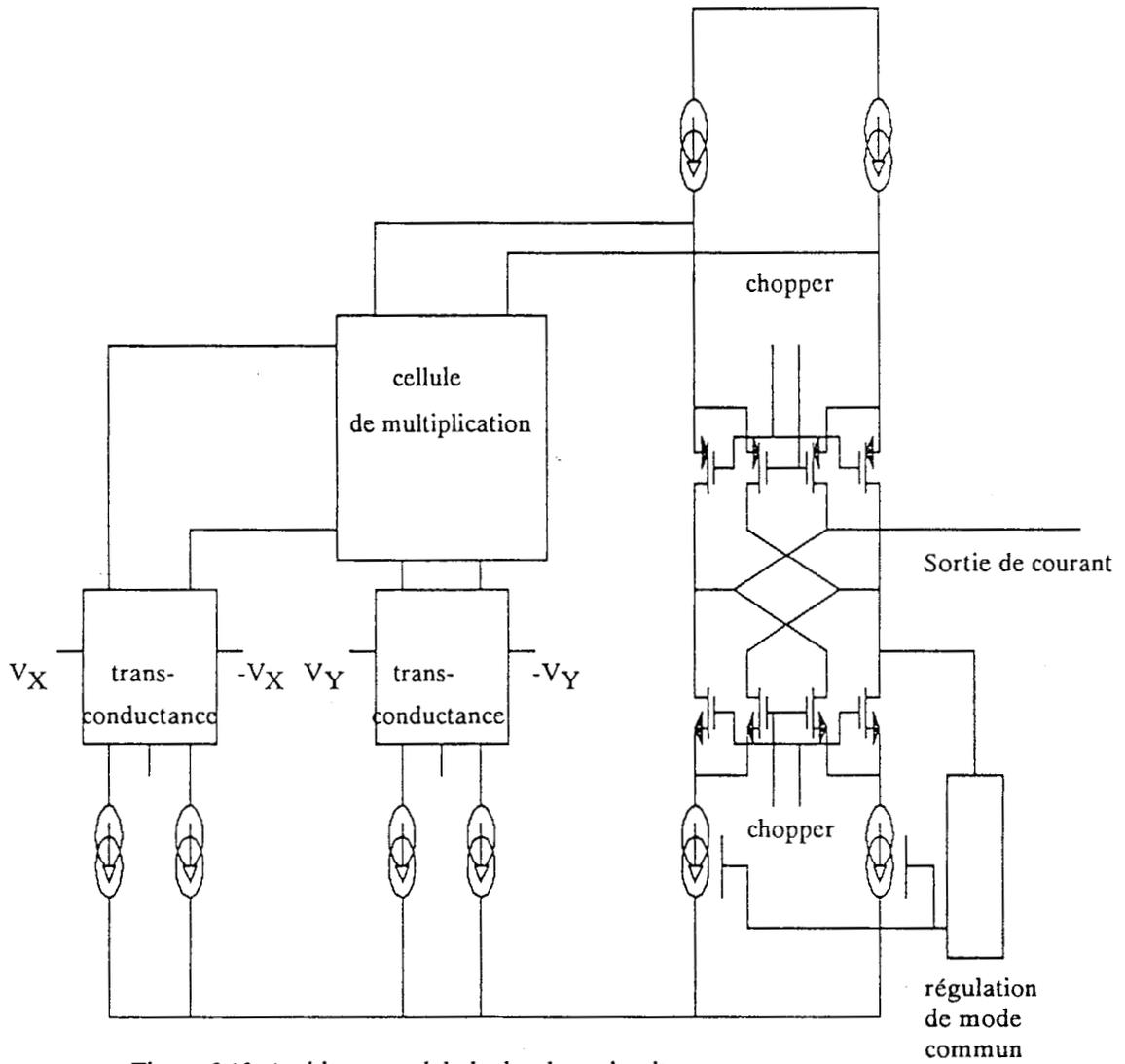


Figure 3.10. Architecture globale des deux circuits.
Les choppers sur les entrées ne sont pas représentés.

La figure 3.10 représente l'architecture globale des deux circuits d'expérimentation. La construction pratique des choppers sur cette structure peut être effectuée au niveau des transistors qui ont une fonction "cascode" dans les générateurs de courant de sortie, elle consiste à supprimer ou établir les tensions "cascode" des transistors par l'action des choppers. Cette solution est favorable en sortie et préférable à l'inversion des tensions de sortie car, d'une part, il n'existe pas d'effet nuisible de l'injection de charge [3.18] [3.19] lors de la coupure des transistors et d'autre part, elle permet d'éliminer les non-appariements de tous les générateurs de courants, puisque nous inversons de droite à gauche puis de gauche à droite les courants fournis par les transistors de l'étage de sortie. Enfin, cette solution à étage cascode permet d'obtenir une grande bande passante afin de ne pas détruire le signal qui n'est pas encore démodulé. La symétrie d'échange, après démodulation, donne une résultante nulle des contributions des offset de chacune des parties et permet de retrouver le signal de convolution utile.

Pour sortir l'information sur une seule connexion, tout en gardant la symétrie d'annulation, un circuit de régulation de mode commun doit être installé [3.20]. Il permet à ce stade de ne réguler qu'un seul potentiel de sortie à zéro volt, puisque les choppers se chargeront de recopier ce potentiel régulé sur l'autre sortie. Pour cela, le circuit de régulation doit avoir une bonne réponse transitoire, car il devra moduler les générateurs de régulation, au rythme des choppers, par les résidus d'offset.

3.3.3.1. Multiplieur à bipolaire latéral

Le premier multiplieur d'essai se compose d'une cellule de GILBERT en bipolaire latéral compatible C.M.O.S. et de deux paires différentielles de conversion courant-tension (figure 3.11.).

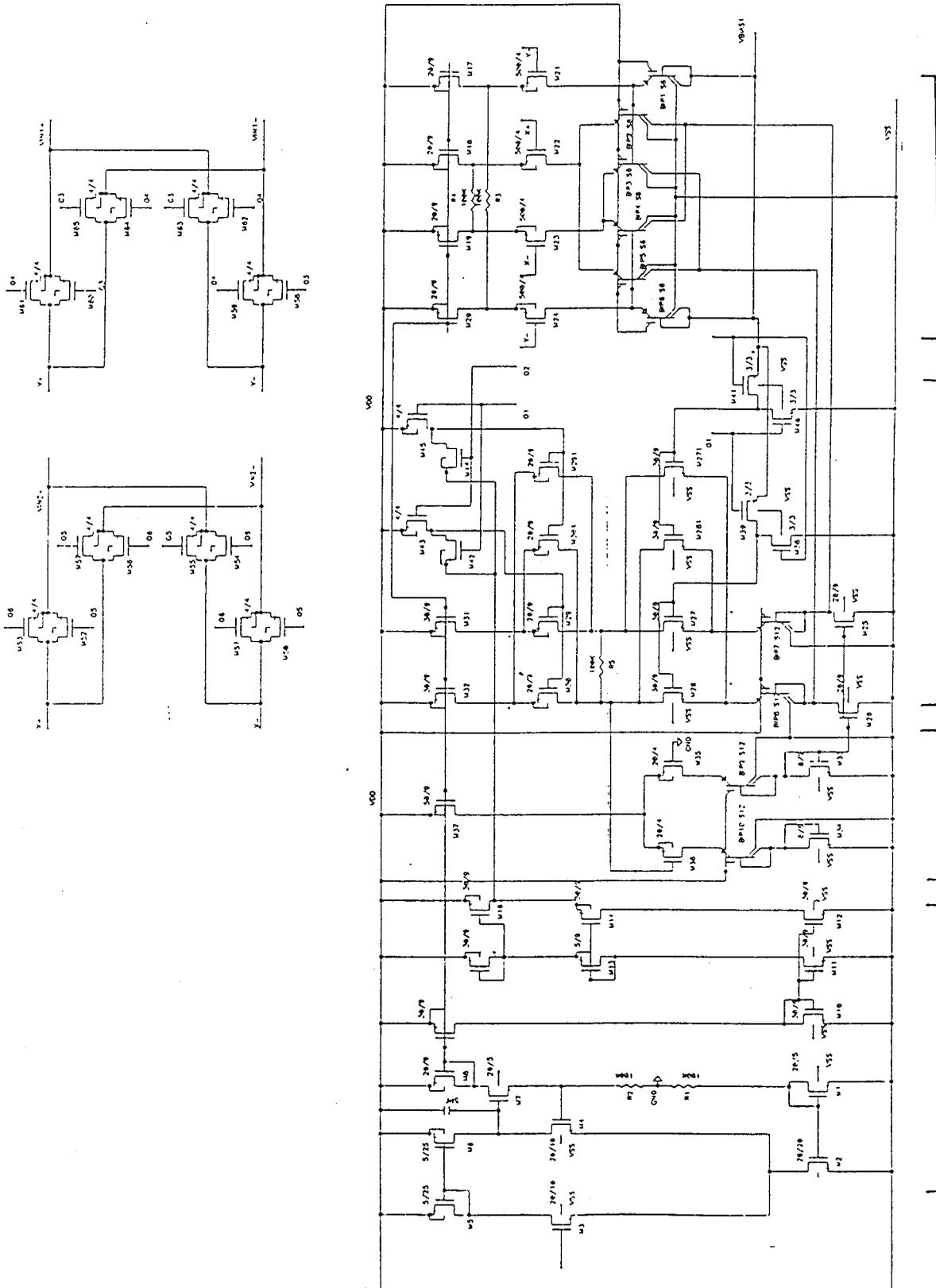


Figure 3.11. Schéma du multiplieur complet. Nous pouvons distinguer le coeur du multiplieur, les choppeurs, la régulation de mode commun et le générateur de courant de référence.

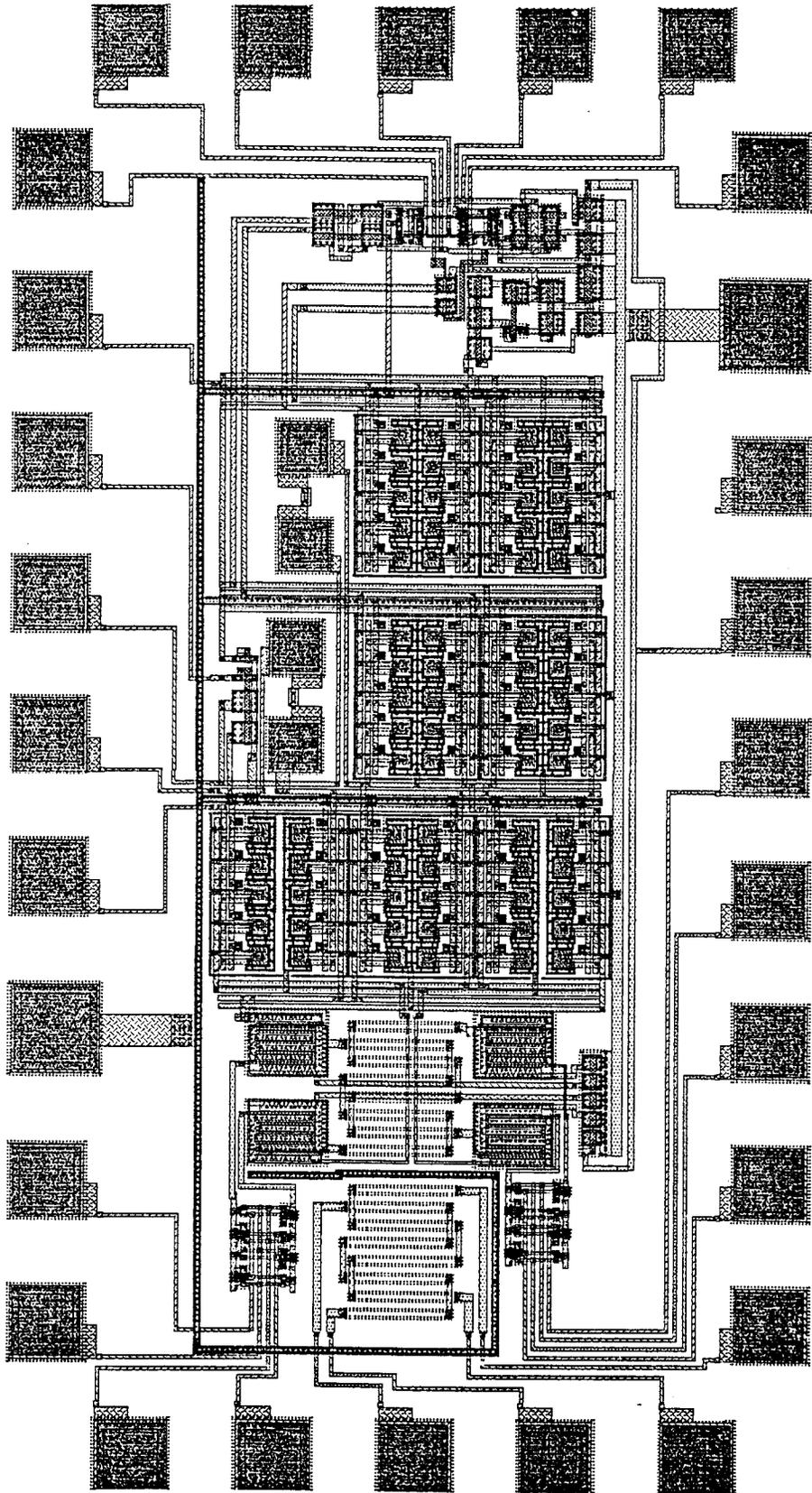


Figure 3.12. Le dessin du multiplieur à transistor bipolaire latéral.

3.3.3.2. Multiplieur M.O.S. en faible inversion

Le deuxième multiplieur se compose d'une cellule modifiée de GILBERT en C.M.O.S. et de deux paires différentielles de conversion courant-tension (figure 3.13).

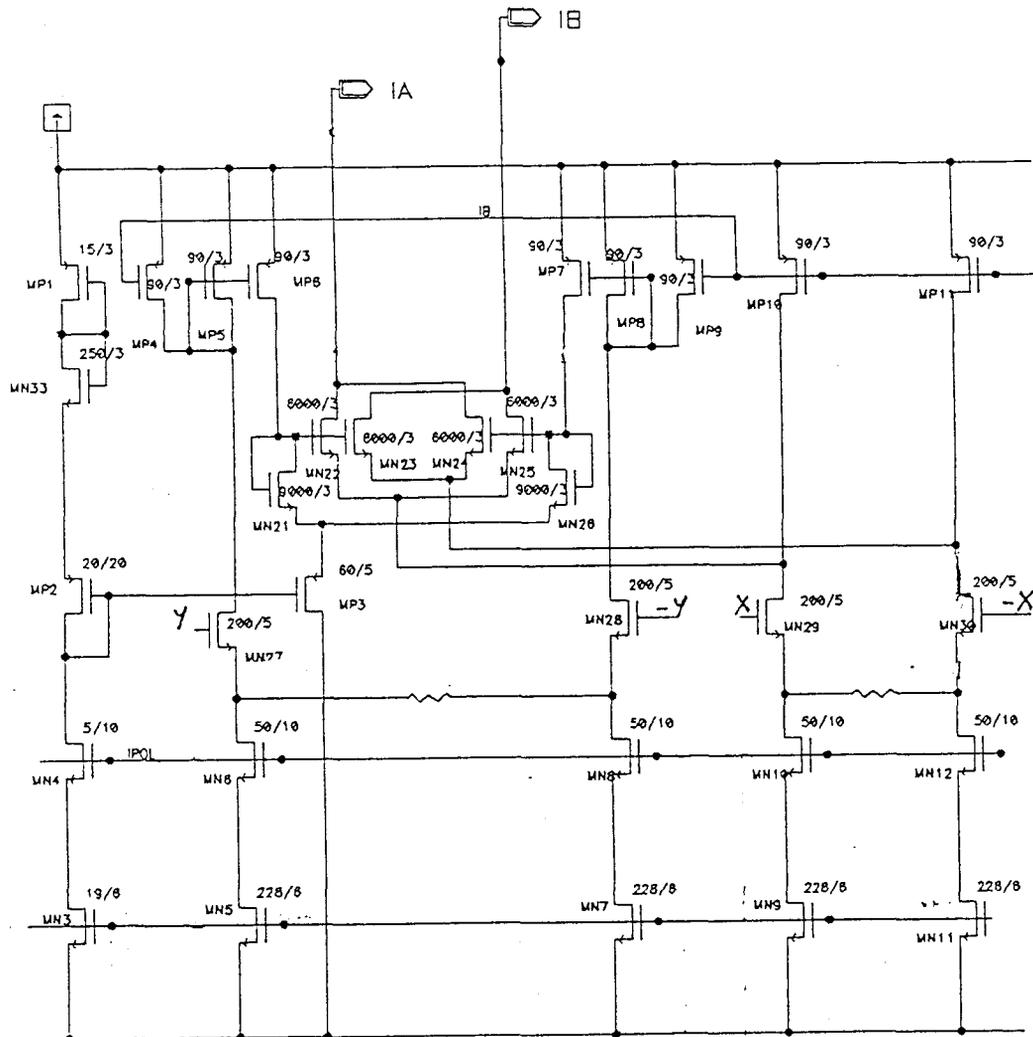


Figure 3.13. Multiplieur en faible inversion.

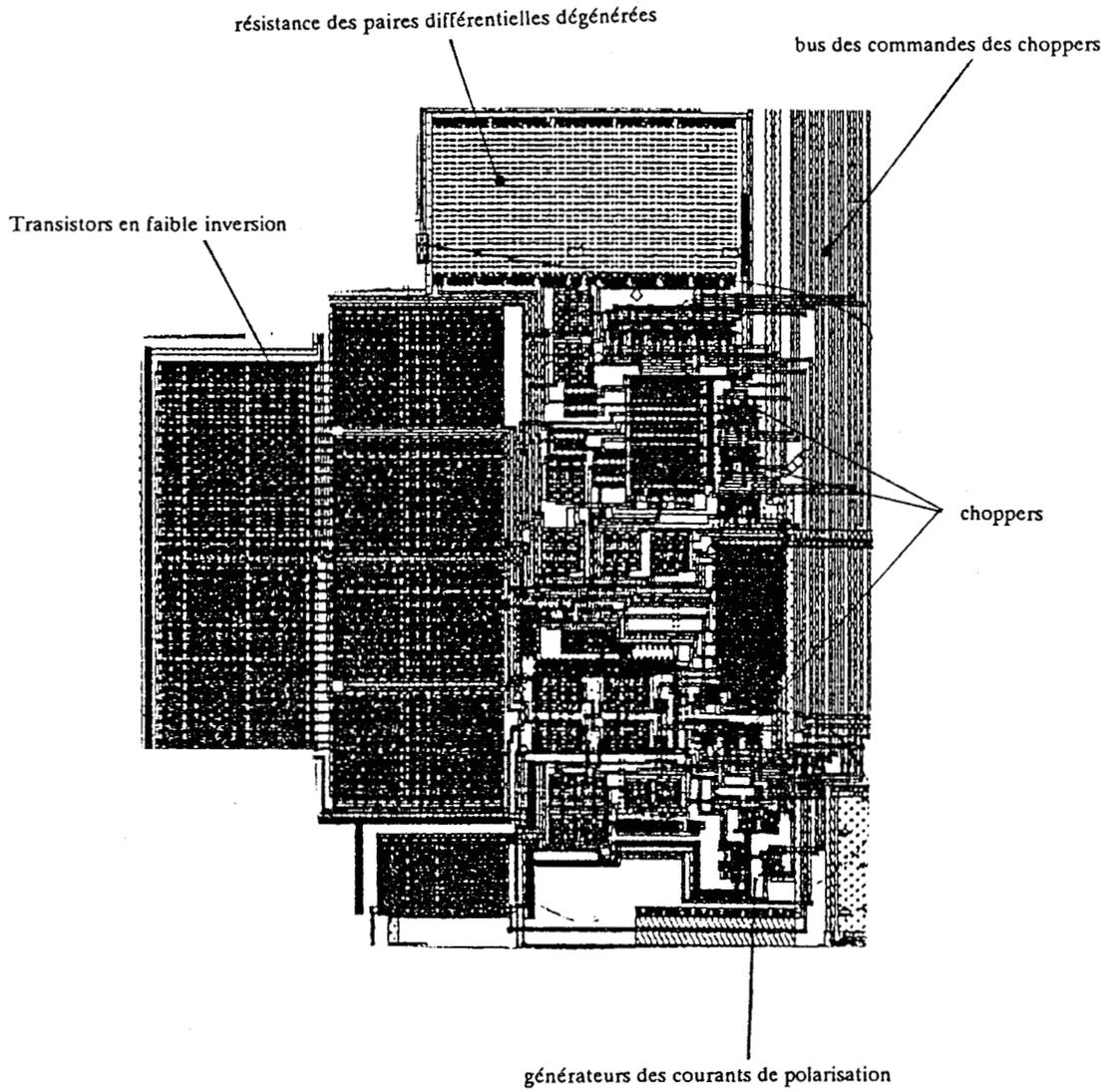


Figure 3.14. Le dessin du multiplieur à transistor M.O.S.

3.3.3.3. Résultats de mesures des multiplieurs avec et sans égalisation dynamique

La figure 3.15 montre la fonction de multiplication de la structure bipolaire latéral.

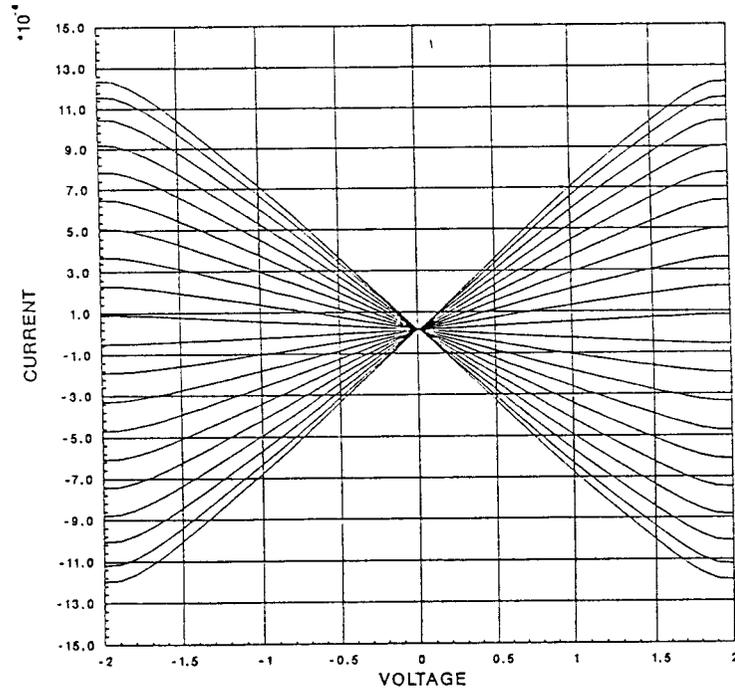


Figure 3.15. La fonction du multiplieur à transistor bipolaire latéral.

La figure 3.16 montre la caractéristique brute bipolaire autour du zéro, l'offset est de l'ordre de 200nA.

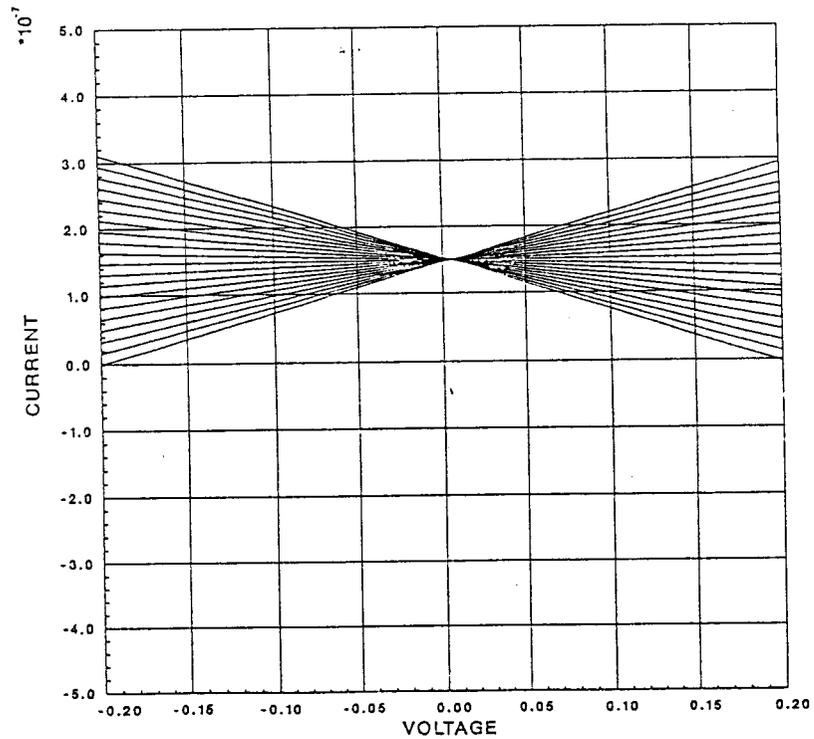


Figure 3.16. La fonction du multiplieur à transistor bipolaire latéral.

La figure 3.17, montre l'amélioration que l'on peut obtenir avec le chopper. Un résidu d'offset de 3 à 4 nA apparaît.

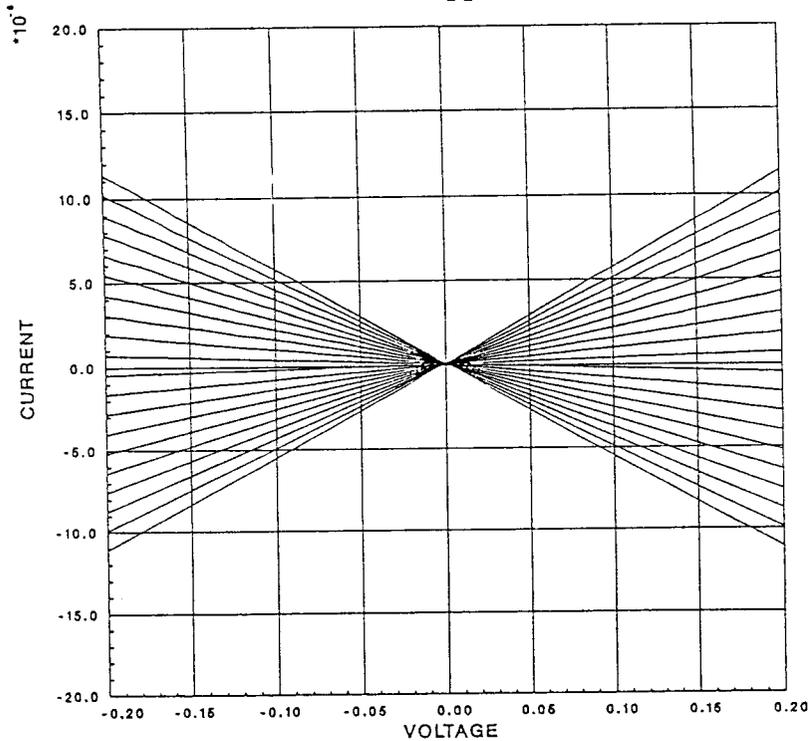


Figure 3.17. L'offset résiduel.

La figure 3.18 montre la dérivée avec et sans chopper (trait plein avec chopper). La linéarité de la fonction est légèrement améliorée.

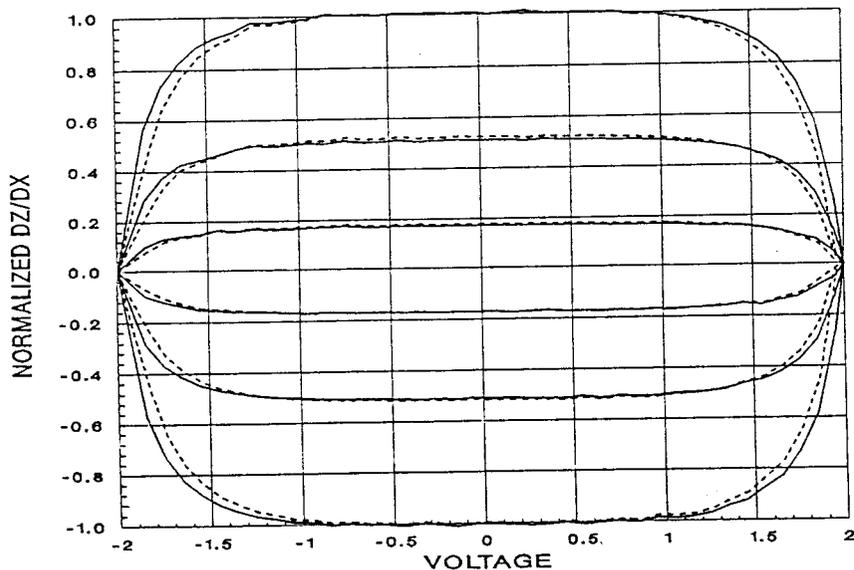


Figure 3.18. L'amélioration de linéarité.

La figure 3.19 montre la caractéristique corrigée du multiplieur M.O.S. après intégration du signal d'entrée. Le multiplieur M.O.S. est connecté en interne en fonction X^2 . Cette mesure est faite en vue de contrôler les performances du multiplieur dans sa configuration future.

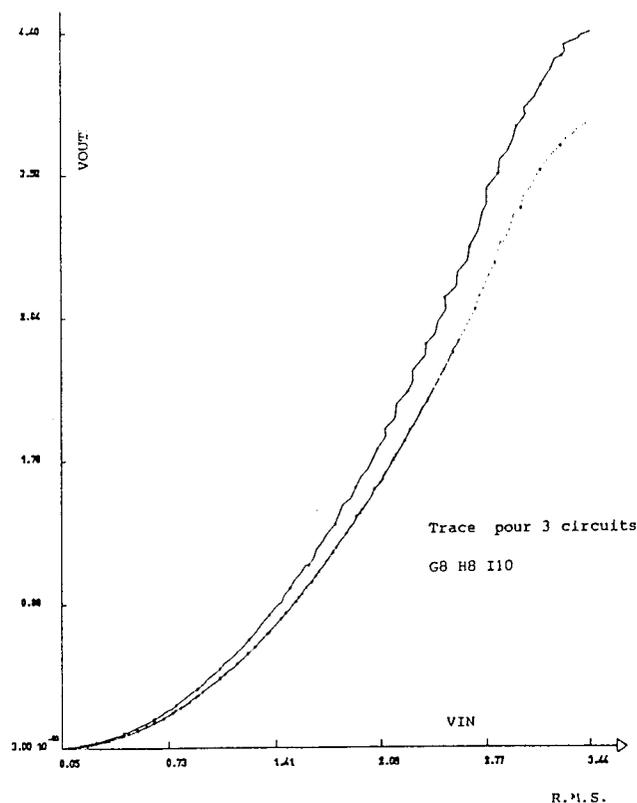


Figure 3.19. La fonction X^2 du multiplieur M.O.S.

Pour montrer l'amélioration qu'apporte les choppers dans le cas du multiplieur M.O.S., il faut regarder le spectre du signal de sortie en injectant un signal sinusoïdal à l'entrée (ici 9Khz).

Le courant de sortie est injecté sur une résistance de quelques $M\Omega$.

La figure 3.20 montre le spectre brut du signal de sortie.

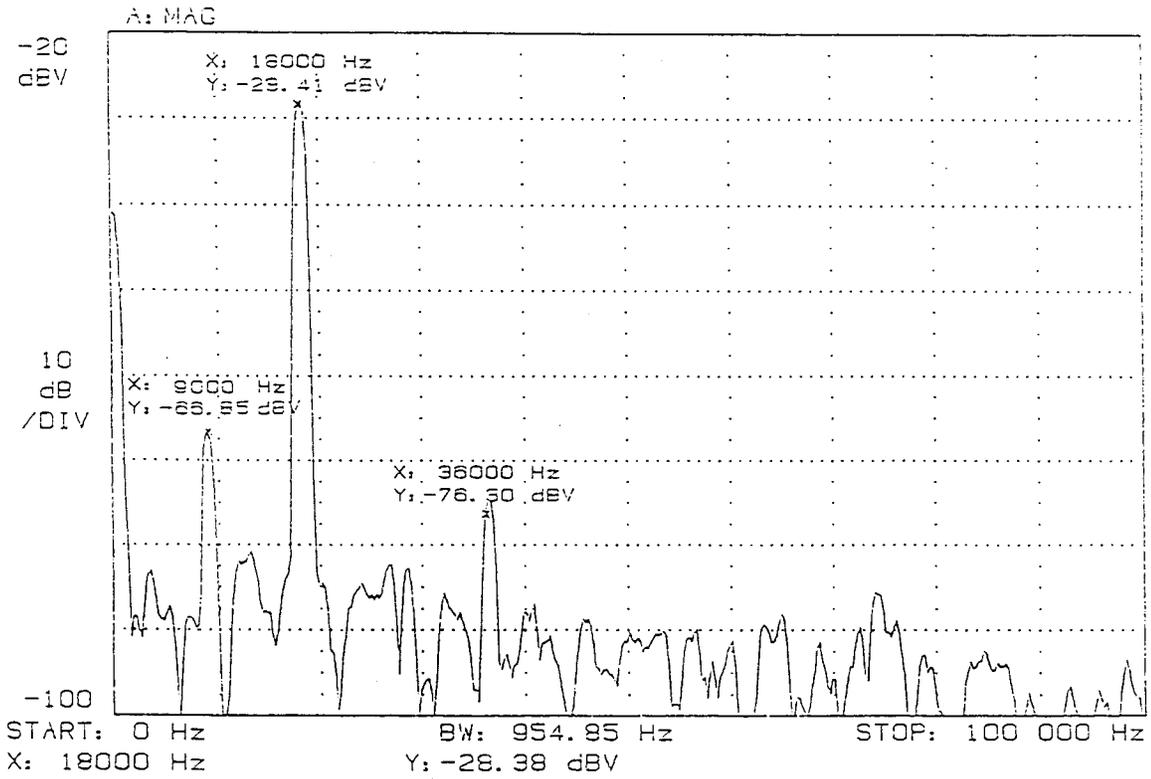
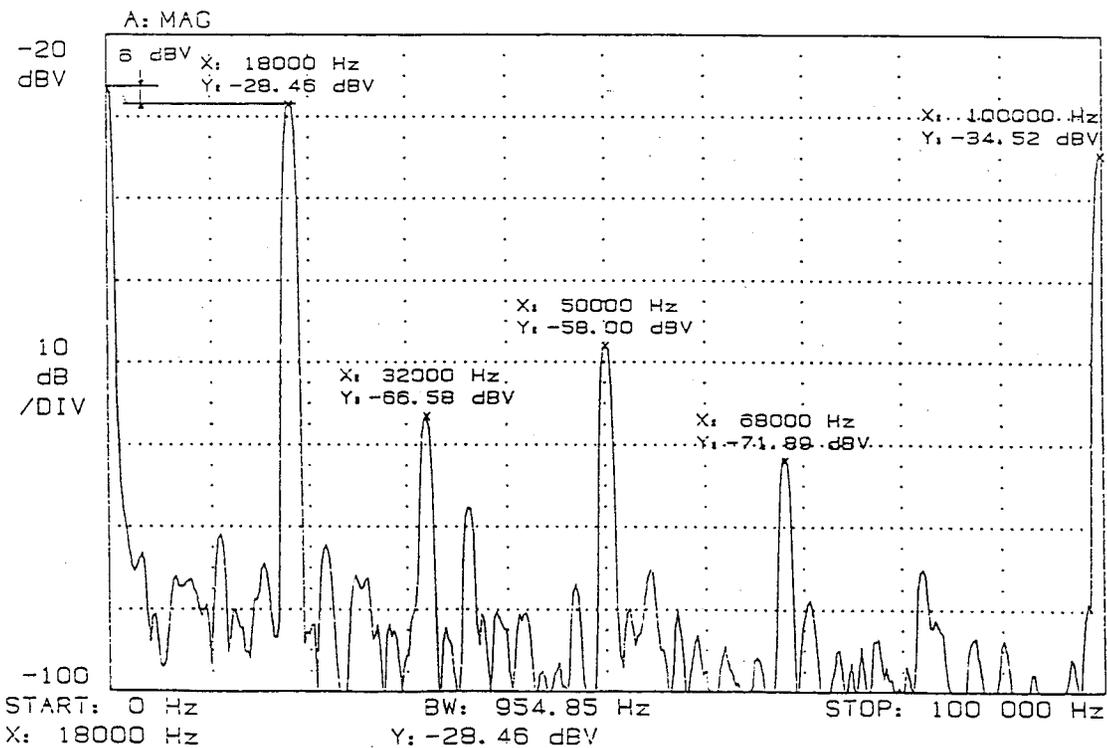


Figure 3.20. Le spectre X^2 d'un signal à 9Khz.

La figure 3.21 montre l'amélioration que l'on peut obtenir avec les chopppers. L'offset est sans correction à plus de 600nA. Le système chopper donne après l'intégration 3mv. Cette tension d'offset ramenée en courant donne 4nA.

Figure 3.21. Le spectre X^2 corrigé d'un signal à 9Khz. Les offset et le feedthrough sont transposés en fréquence.



Les termes gênants se retrouvent convolués aux fréquences chopper (50Khz et 100Khz) et peuvent être éliminés par un filtrage. La symétrie des pics utiles est rétablie. L'élimination du feedthrough est remarquable par la disparition du pic à 9Khz. Les non-linéarités d'ordre 2 se retrouvent à 50Khz+/-18Khz. L'offset de l'étage de sortie est transposé à 100Khz comme le prévoyait le développement limité (3.24).

(L'amplitude du signal a été ajustée pour obtenir la même tension de sortie dans les deux configurations).

La figure 3.22 montre le résultat de multiplication avec chopper sans signal d'entrée.

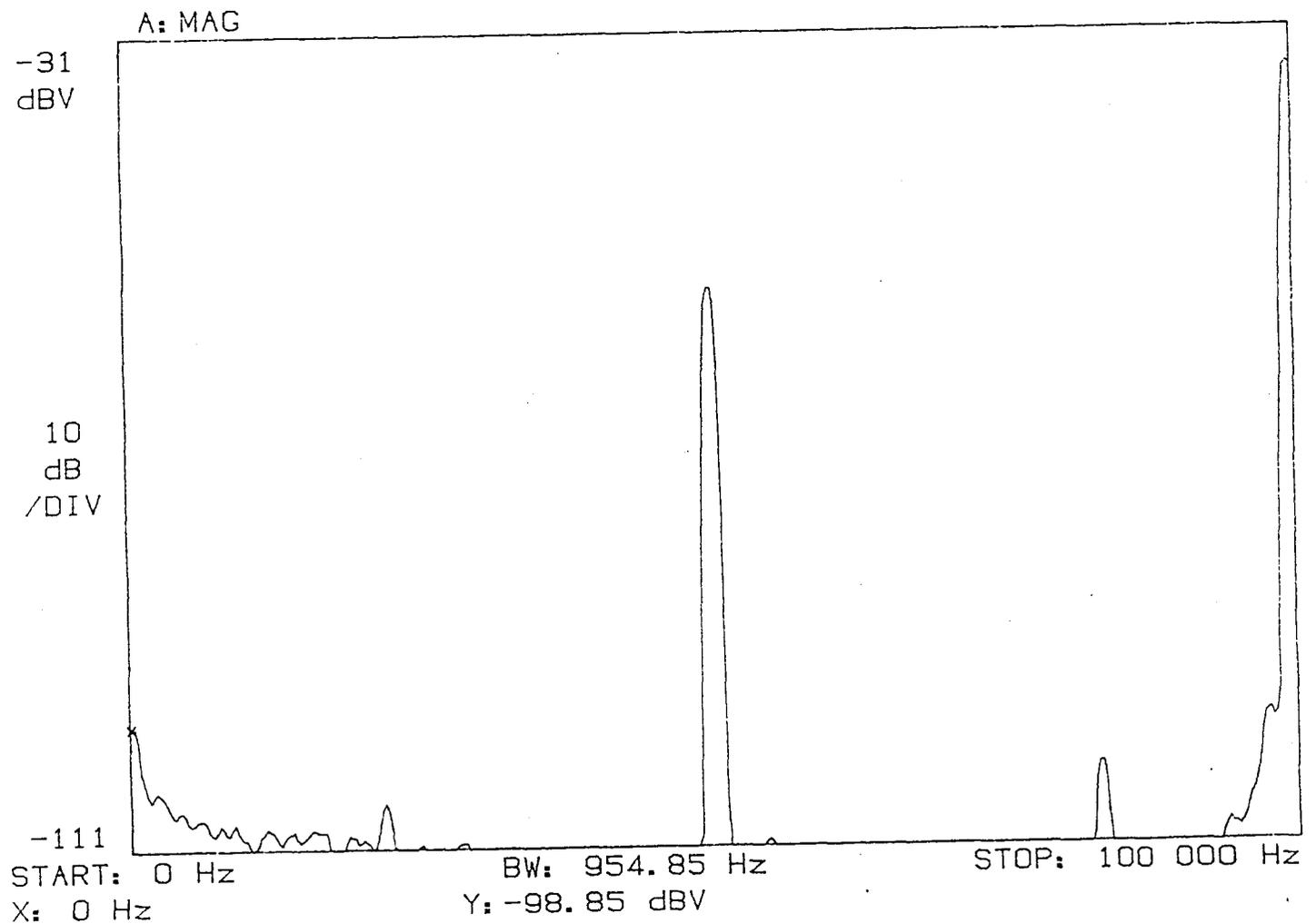


Figure 3.22. Le multiplicateur M.O.S. corrigé présente un très faible offset et une absence de bruit en 1/f.

3.3.4. Conclusion

L'approche système qui vient d'être faite permet de montrer que les erreurs restantes après l'optimisation analytique sont supprimées dans une très grande proportion. L'expérimentation peut, à ce stade, conclure à la validité de l'approche puisque dans les deux réalisations (M.O.S. et bipolaire) nous voyons une amélioration des offset sur la caractéristique quatre cadrans des multiplieurs. L'égalisation dynamique permet de gagner un facteur d'amélioration de $600\text{nA}/4\text{nA}$ non négligeable sur la dynamique de traitement des signaux en M.O.S. mais ce même facteur d'amélioration en bipolaire n'est que de $200\text{nA}/3\text{nA}$. Nous voyons donc que l'égalisation dynamique est très profitable dans une technologie M.O.S. et permet presque d'atteindre les performances en offset d'une structure bipolaire classique soignée.

La linéarité est, elle, par contre, toujours moins bonne en M.O.S. qu'en bipolaire, mais répond aux spécifications de précision et de compacité désirées. A surface égale, le multiplieur M.O.S. permet de minimiser le rapport surface*consommation/précision



3.4. conclusion

Cette critique de la méthode permet donc de monter la possibilité de réaliser un détecteur de puissance d'instrumentation entièrement fabriqué par des transistors M.O.S. puisque la plupart des erreurs gênantes sont supprimées. Nous verrons dans le chapitre 4 comment nous pouvons mettre à profit ce principe dans une architecture complexe pour la mesure des densités spectrales.

3.5. Références bibliographiques du chapitre 3

REFERENCES

- [3.1] WILKINSON AB: Measurement of the non-linearity of analog multipliers. *International L. Electronic*, 1977, VOL 43, N°2, p193-196
- [3.2] OVERGOOR BJM: Error sources in analog multipliers. *Electron. Appli. BULL*, Netherl. 1972, VOL 31, N°3, p187-204.
- [3.3] X.ARREGUIT: Compatible lateral bipolar transistor in CMOS technology. Thèse de Doctorat n°817 au département d'Electricité de l'école Polytechnique Fédérale de Lausanne, 1989.
- [3.4] B.GILBERT: A precise four quadrant multiplier with subnanosecond response. *IEEE Journal of Solid State Circuits*, VOL 3 N°4; p 365, December 1968.
- [3.5] A. BARANDYI, CHUA LO: Dynamic model for analog multiplier. *IEEE Trans. Circuits Syst.* ISSN 0098-4094, VOL 29, N°2, p65-76. 1982.
- [3.6] E.VITTOZ and J.FELLRATH: CMOS analog integrated circuits based on weak inversion operation. *IEEE J. Solid-State Circuits*, VOL 12, p224-231, 1977.
- [3.7] R. POUJOIS and BOREL a low drift fully integrated MOSFET operational amplifier. *IEEE J. Solid-State Circuits*, VOL 13 p 499-503, 1978.
- [3.8] C ENZ: Analysis of the low frequency noise reduction by autozero technique. *Electronics Letters*, VOL 20, p959-960, 1984.
- [3.9] Brevet US n°4146844 sous le nom CASCOMP : cascode compensation.
- [3.10] E. VITTOZ and J.FELLRATH: CMOS analog integrated circuits based on weak inversion operation, *IEEE J. Solid-State Circuits*, VOL 12, June 1977.
- [3.11] B.GILBERT: A precise four quadrant multiplier with subnanosecond response. *IEEE Journal of Solid State Circuits*, VOL 3 N°4; p 365, December 1968.
- [3.12] P.R.GRAY and R.G.MEYER, Analysis and design of analog integrated circuits. 2nd cd. NEW YORK: WILLEY, 1984.
- [3.13] R.R.TORRANCE, T.R.VISWANATHAN and J.V.HANSON: CMOS voltage to current transducers. *IEEE Trans. on Circuits and Systems*, VOL CAS32, 1985.
- [3.14] B.GUILBERT: A high performance monolithic multiplier using active feedback. *IEEE JSSC*, VOL 9, N°6, p442-445, 1987.
- [3.15] Z.HONG, H.MELCHIOR: Four quadrant multiplier core with lateral bipolar transistors in CMOS technology. *Electronics Letters*, VOL 21, N°2, p72-74, 1985.
- [3.16] E.A.VITTOZ, M.MERZ: Precision compressor gain controller in CMOS technology. *IEEE JSSC*, VOL 22, n°3, 1987.
- [3.17] Z.HONG, H.MELCHIOR: Four quadrant CMOS analog multiplier. *Electronics Letters*; VOL 20; N°24, p1015-1016, 1984.
- [3.18] WILLIAM.B.WILSON, HISHAM Z.MASSOUD, ERIC J. SWANSON: Measurement and modeling of charge feedthrough in n-channel MOS analog switch. *IEEE J. Solid-State Circuits*, VOL 20, N°6, 1985.
- [3.19] E.VITTOZ: Dynamic analog techniques, in TSIVIDIS Y. and ANTOGNETTI P. (Eds): *Design of MOS VLSI circuits for telecommunications*, (prentice-hall, Englewood Cliffs, 1985).
- [3.20] H.KHORRAMABADI and P.R.GRAY: High frequency CMOS continuous-time filters. *IEEE J. Solid-State Circuits*, VOL SC19, p939-948, 1984.

**4. REALISATION COMPLETE D'UN DETECTEUR
UTILISANT LE PRINCIPE DE REDUCTION
D'ERREURS**

4.1. Introduction

Le problème à résoudre est de donner le moyen d'analyse de signaux électriques provenant de capteurs placés sur un engin spatial. Ce moyen d'analyse permettra de donner la répartition spectrale de ces signaux lors du vol dans l'espace.

D'une part, le système complet d'analyse doit être léger, puisque cet ensemble ne peut pas être comptabilisé comme charge utile de la mission du lanceur spatial. Ce système doit donc être intégré à une très grande échelle. D'autre part, le traitement du signal devant se faire en temps réel, il n'est pas envisageable de transmettre tous les points de mesure, ceux-ci satureraient la liaison hertzienne qui relie l'engin à la station de contrôle. Il est donc nécessaire de traiter les signaux sur l'engin, dans un système embarqué pour donner le résultat de la densité spectrale. Le problème présenté ici revient à se poser la question : comment calculer une densité spectrale dans un minimum de temps pour transmettre un minimum de données dans un système de volume réduit?

Pour répondre à cette question, plusieurs problèmes se formulent pour l'analyse spectrale. Ils sont, d'une part la rapidité d'exécution du calcul par rapport à la résolution du système et, d'autre part l'encombrement du système d'analyse par rapport à la précision, aux rapidités d'exécution et de transmission des données. En effet, plus la résolution est grande et plus de données fréquentielles sont à calculer et par conséquent plus d'échantillons de la densité spectrale sont à transmettre. [4.1] [4.2]

La résolution est fixée par la largeur du filtre d'analyse, la précision est fixée principalement par l'élément détecteur qui effectue la transformation, et l'encombrement est fixé par la technologie de construction employée.

Dans cette étude de conception, afin de répondre à ce cahier des charges du système embarqué, nous pouvons donner les concepts de base qui ont conduit à la réalisation du système. Le choix de l'intégration poussée a permis, à ce stade, de résoudre le problème de l'encombrement et du poids. Le développement du multiplieur à égalisation dynamique (décrit ci avant), a permis de résoudre, au niveau du détecteur, le problème de la

précision. La programmation de la largeur de bande du filtre d'analyse a permis de donner plus de souplesse pour résoudre le problème de la résolution par rapport à la vitesse de transmission des données.

L'objet de ce chapitre est de montrer comment nous sommes parvenus à ce système. Pour cela, dans un premier temps, nous verrons les procédés intégrables qui nous étaient offerts pour résoudre ce problème. Dans un deuxième temps, nous verrons comment nous avons utilisé le principe de réduction d'erreur pour l'incorporer dans le circuit afin d'obtenir un système homogène au point de vue précision. Puis dans un troisième temps, nous verrons comment la théorie du signal permet de contribuer à parfaire la précision du système.

4.2. Les procédés intégrables de Détection de puissance

Nous avons choisi d'étudier les solutions analogiques puisque les techniques intégrées en traitement de signal numériques ne permettent pas de résoudre, dans un aussi faible volume et une aussi faible consommation, le problème temps réel.

Pour fournir une information de densité spectrale, nous devons connaître pour chaque fréquence la puissance du signal. Le plus souvent, nous avons affaire à des spectres continus et rarement à des spectres discrets. Par extension, nous pouvons définir la densité spectrale de puissance comme étant la répartition de la puissance du signal dans chaque bande unitaire de fréquence. Ceci impose de donner les informations de puissance et de fréquence pour chaque bande unitaire. Cette puissance est souvent normalisée à une tension équivalente élevée au carré qui donnerait la même puissance sur une résistance de 1Ω .

Pour donner ces informations d'un signal quelconque, deux principes classiques analogiques peuvent être étudiés. Il s'agit de la détection synchrone et du filtrage-détection [4.2]. D'autres détecteurs, basés sur des principes physiques (effet Joule par exemple), peuvent être envisagés, mais n'offrent souvent pas la précision demandée pour l'instrumentation. Ces autres détecteurs sont souvent destinés aux hyperfréquences où les procédés classiques de détection ne sont pas efficaces.

4.2.1. La détection synchrone

Le premier principe pour connaître la densité spectrale de puissance est d'effectuer une analyse synchrone du signal avec un changement de fréquence pour amener la bande de fréquence d'analyse autour du continu. Le calcul de la puissance s'effectue ensuite dans cette bande de fréquence. Le résultat est donné au fur et mesure de l'avancement du balayage en fréquence.

Le schéma synoptique figure 4.1 se présente comme suit :

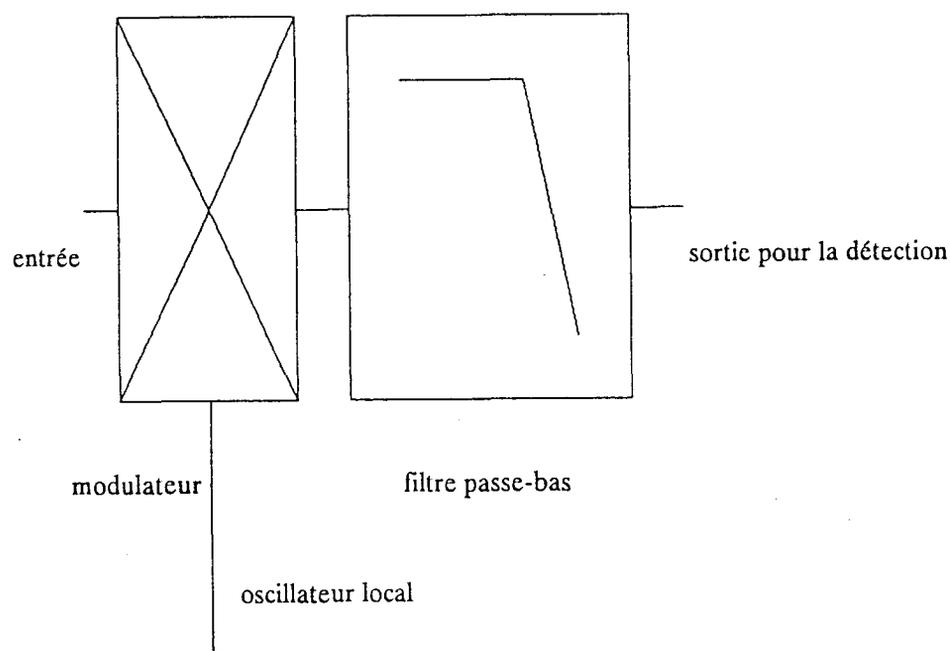


Figure 4.1. Détection synchrone.

4.2.2. Le principe de filtrage et de détection

Le deuxième principe est de filtrer le signal par un filtre passe-bande et de calculer directement la puissance contenue dans cette bande de fréquence. Pour avoir la densité spectrale totale, nous devons ensuite faire cette opération sur toute l'étendue du spectre. Si nous disposons de plusieurs filtres passe-bande, nous pouvons étudier tout le spectre en même temps.

Le schéma synoptique figure 4.2 se présente comme suit :

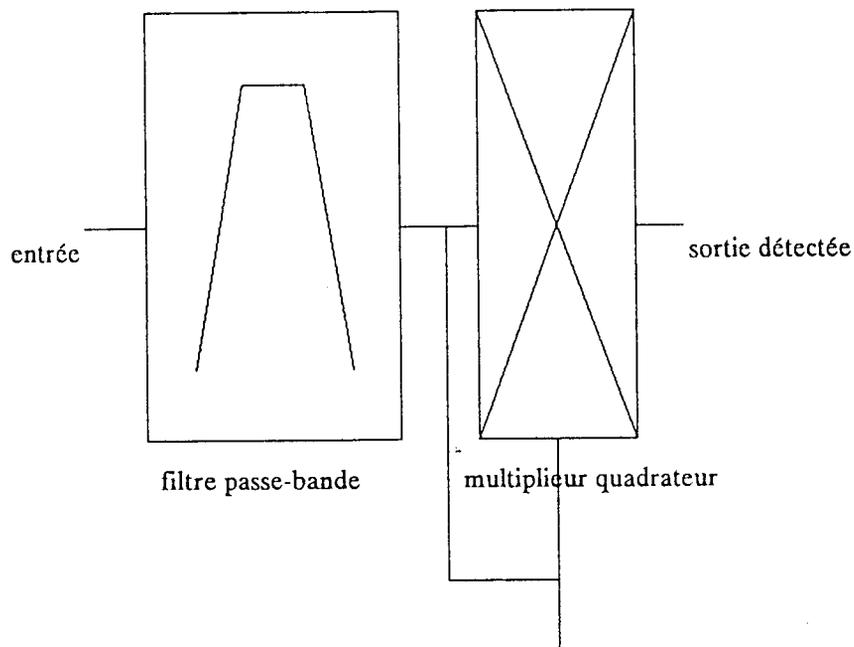


Figure 4.2. Filtrage - détection.

4.2.3. Conclusion

4.2.3.1. Choix de la solution de mesure

Les deux possibilités se résument donc à calculer la puissance transmise soit par un filtre passe-bas soit par un filtre passe-bande.

Si nous effectuons le bilan de la place occupée pour la mise en oeuvre des méthodes, dans le premier cas, nous aurons besoin d'une fréquence variable, d'un filtre passe-bas unique, et de deux multiplieurs. Dans le second cas, nous aurons besoin de plusieurs filtres passe-bande et d'un seul multiplieur.

Le système complet, intégré dans un seul circuit, nous impose de choisir le principe conduisant au rapport (rapidité * résolution / encombrement) optimal. La solution envisagée est celle de **filtrage-détection**.

Le principal inconvénient de la méthode de filtrage et détection est donné par sa résolution. En effet, si la répartition de la puissance n'est pas constante en fonction de la fréquence ou s'il existe des pics de puissance, nous introduisons une erreur supplémentaire explicité par la figure 4.3.

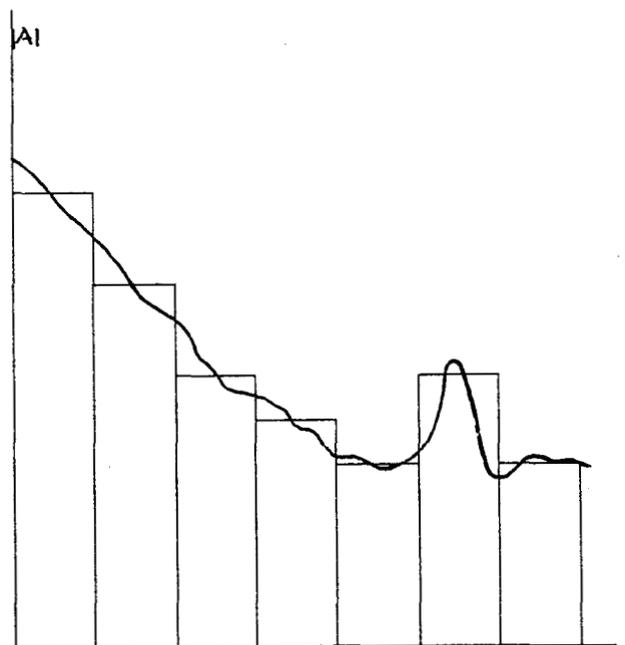


Figure 4.3. Erreur de lissage de la méthode.

Cette erreur peut être réduite en partie si l'on introduit un chevauchement des filtres passe-bande, c'est-à-dire en augmentant virtuellement la résolution.

4.2.3.2. Originalité du choix

Une particularité essentielle du circuit proposé est donc donnée par la manière de calculer la densité spectrale. En effet, la détection puis l'intégration, que demande l'extraction d'une densité spectrale, sont calculées analogiquement. La largeur de la bande d'analyse détermine le nombre d'échantillons de la densité spectrale. Une large bande permet une grande rapidité de traitement et offre ainsi une possibilité de transmission rapide, puisque les informations donnant une image de la densité spectrale ne sont pas très nombreuses. Une fois cette pré-analyse effectuée, il est toujours possible, par la programmation des largeurs des filtres, d'augmenter la résolution sur une partie du spectre sans pour cela augmenter le nombre des informations à transmettre.

Le système proposé apporte les solutions aux principaux problèmes de précision et de rapidité. La précision, au niveau du détecteur, est améliorée en appliquant le principe de réduction d'erreurs; la rapidité du calcul est augmentée en proposant une organisation de calcul analogique; la rapidité de transmission peut être accrue en effectuant une compression par bandes des informations de densité spectrale. La résolution, inhérente au choix de la méthode d'analyse, peut toutefois être élevée par un agencement judicieux des filtres passe-bande pour qu'il y ait un chevauchement des bandes d'analyse dans les analyses successives.

4.3. La conception du système analyseur

L'aspect système a une très grande importance dans cette étude. Nous allons détailler cet aspect pour aboutir à la définition du circuit intégré.

4.3.1. Le système analyseur

Le spectre total à analyser est découpé en bandes d'analyses. Cette segmentation du spectre nous amène à réaliser un circuit qui se chargera de la transformation temps-fréquence sur n'importe quelle bande. La juxtaposition des résultats individuels des circuits programmés pour une bande, nous donnera la densité spectrale souhaitée.

4.3.2. Les exigences du circuit analyseur

Le circuit effectue la conversion d'un signal analogique quelconque en une autre grandeur représentant sa puissance dans une bande de fréquence.

Les principales originalités du circuit pour proposer un système cohérent s'énumèrent :

- Rapidité de transmission des résultats

Le but de chaque circuit, constituant le système, est d'effectuer ce traitement dans le circuit lui-même, en vue de réduire le nombre d'informations à transmettre.

- Précision dans l'extraction de la densité spectrale

Le principe choisi, filtrage-détection, permet une bonne précision de la transformation. Elle est liée à la précision des filtres à capacité commutées [4.3] [4.4] et de l'élément détecteur.

- Traitement interne rapide

Nous avons choisi le traitement analogique pour l'optimisation du rapport (rapidité * résolution / encombrement). La technique analogique est plus performante en rapidité pour cette transformation que la technique numérique. Le temps de transformation est mis à profit pour lire les résultats des circuits ayant terminé leur transformation.

Le circuit analyseur, baptisé ANL05, se compose d'une section de filtrage, d'une section d'amplification et d'une section de détection conformément au synoptique du principe "filtrage-détection". Le signal d'entrée filtré est d'abord élevé au carré, puis multiplié par une constante de normalisation K et est intégré pendant une durée T. La durée d'intégration est choisie par l'utilisateur en fonction de la précision demandée sur le résultat, l'optimisation rapidité-précision peut être faite facilement.

- Encombrement

Le circuit est conçu avec des techniques faible puissance pour être enfermé dans un caisson de petite dimensions sans ventilation forcée. Le circuit est intégré sur une faible surface de 25mm^2 pour réduire l'encombrement du système complet.

- Simplification de mise en oeuvre

Le circuit requiert, pour l'analyse, un seul composant passif extérieur qui est la capacité d'intégration et un système digital, commun à d'autres circuits, pour sa programmation.

Le résultat, obtenu sur la sortie analogique, stocké dans la capacité d'intégration, permet de donner pour un circuit, la mesure de la puissance spectrale du signal d'entrée dans sa bande de fréquence d'analyse. Reliée à un bus commun à tous les circuits, cette sortie analogique est activée lors de l'adressage du circuit. Après chaque lecture du circuit, la capacité d'intégration est déchargée.

La somme des informations en sortie des circuits représente, par juxtaposition des filtres de bandes, la densité spectrale de puissance du signal d'entrée.

Une souplesse de programmation rend le circuit facile d'emploi pour l'optimisation des résultats et des transmissions.

4.3.3. Les blocs fonctionnels et leur conception

Pour étudier les blocs fonctionnels du circuit, nous suivrons pas à pas les transformations successives du signal d'entrée.

Le circuit comporte quatre sous-ensembles fonctionnels. Conformément au synoptique de la figure 4.4.

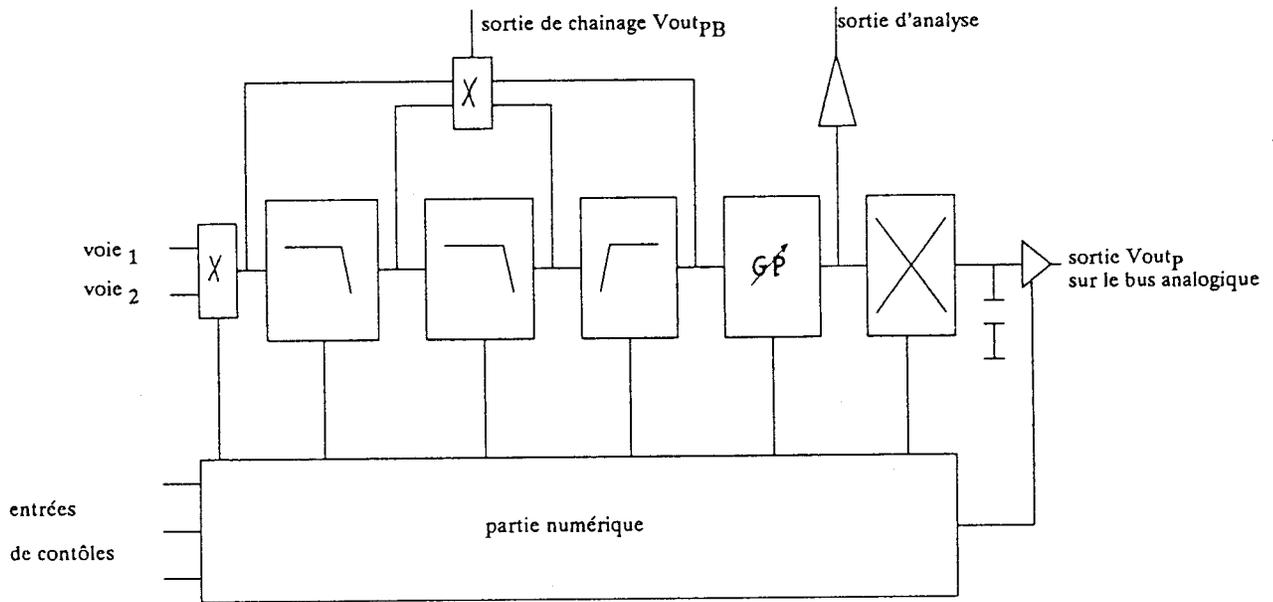


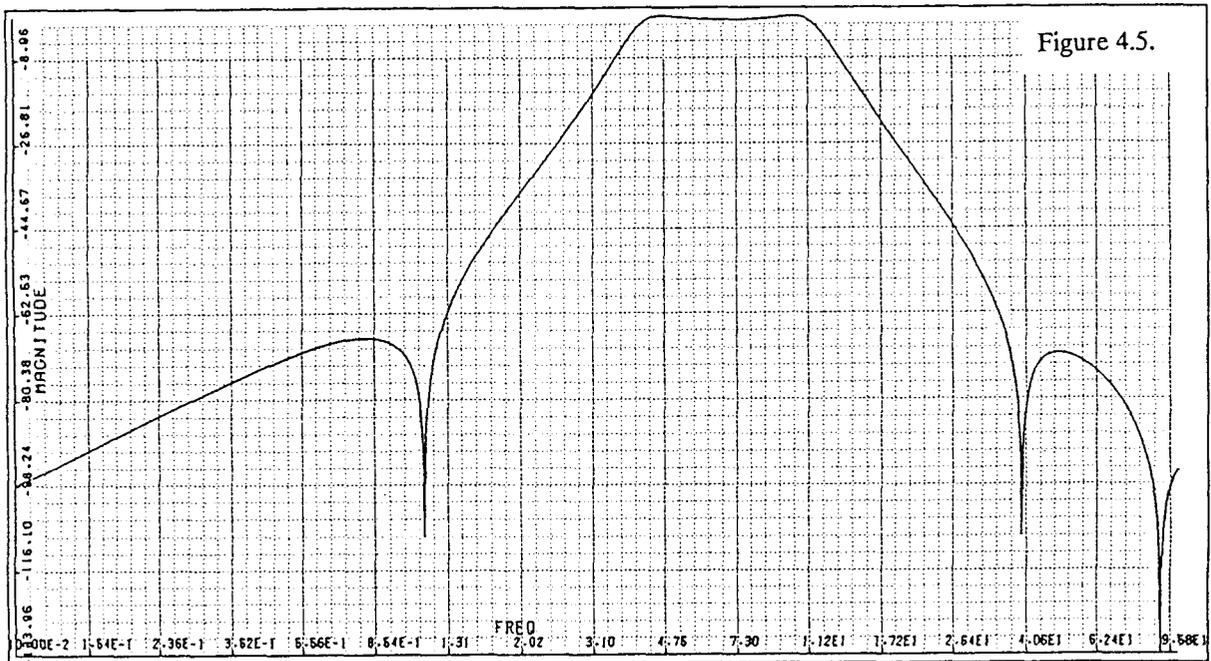
Figure 4.4. Synoptique du circuit.

Un multiplexeur analogique permet de présenter deux voies à l'utilisateur. Ces deux entrées sont entièrement indépendantes et arrivent aux entrées des filtres par programmation. Les techniques classiques d'isolation électrique permettent ici d'obtenir une diaphonie de -60db . Ces techniques consistent à établir une barrière électrique entre les entrées; celle-ci est réalisée par un caisson conducteur (caisson N.WELL) polarisé au potentiel de référence. Ainsi, tous les courants perturbateurs, liés à la voie non utile, s'écoulent à la masse par cette partie rendue plus conductrice. La proximité des entrées permet de concentrer le flux perturbateur avant qu'il ne pollue d'autres parties du circuit [4.5].

Viennent ensuite les filtres d'analyse, le multiplieur de détection et sa capacité d'intégration externe. Le tout est contrôlé par la partie numérique. La sortie de détection est adaptée en impédance par un amplificateur qui peut être mis à un état de haute impédance. Les autres sorties de signal permettent le chaînage des circuits.

4.3.3.1. La conception des filtres du circuit ANL05

Les filtres passe-bas et passe-haut ont été synthétisés automatiquement par un compilateur de silicium [4.6]. La simulation des filtres chaînés est présentée à la figure 4.5.



Le filtrage est effectué par un filtre passe-bas et un filtre passe-haut dont les fréquences d'échantillonnages sont différentes. Ces fréquences différentes peuvent générer des battements dus à l'échantillonnage. Pour éliminer tous ces risques nous avons choisis d'utiliser un filtre de lissage continu intermédiaire entre les deux filtres.

La sortie du filtre passe bas, suivi ou non du filtre de lissage, est disponible directement sur une broche du circuit, via un multiplexeur, pour permettre de chaîner plusieurs circuits. Les filtres des circuits, placés en début du système, sont définis de sorte qu'ils aient une grande largeur de bande et peuvent ainsi être utilisés comme filtres d'anti-repliements pour d'autres circuits chaînés. L'analyse spectrale à plusieurs bandes de fréquence est rendue possible en utilisant toutes les potentialités des filtres à capacités commutées. L'utilisation des deux entrées du multiplexeur rend le nombre de configurations de chaînage possible important.

Les filtres sont du quatrième ordre elliptique à capacités commutées. Pour obtenir une bonne précision dans l'extraction de la puissance de la bande d'analyse il faut, d'une part, une ondulation en bande passante de moins de .5db et, d'autre part, un recouvrement de bandes adjacentes extrêmement faible ce qui justifie ici la coupure des filtres à 30 db/Octave

Les largeurs des filtres peuvent aller de .5 à 2 octaves par incréments de .5 octaves. L'atténuation en bande coupée obtenue est de 54 db. Ces filtres fixent la résolution du système. Toutes les fréquences d'échantillonnage sont dérivées d'une fréquence système (FS) unique. La fréquence système est extérieure au circuit, pour permettre un choix plus souple des fréquences de coupure des filtres. Elle permet le chevauchement des bandes d'analyse pour une augmentation de la résolution. Pour une fréquence système de 6MHz, la fréquence de coupure haute possible du dernier filtre est de 25 KHz, la fréquence d'échantillonnage du filtre est alors 1.2MHz, la fréquence de coupure basse possible du premier filtre est de 100Hz.

4.3.3.1.1 Le filtre passe-bas

Un premier filtre passe-bas permet de filtrer le signal d'entrée pour d'autres circuits ou applications (configuration en filtre d'anti-repliement avec sortie sur V_{out}). Il permet de former un flanc d'atténuation du filtre passe-bande pour l'analyse du signal. Ce filtre est du quatrième ordre avec ses pôles disposés sur une ellipse dans le plan complexe et ses zéro de transmission disposés sur l'axe imaginaire. Le flanc d'atténuation est suffisant pour que le recouvrement des bandes soit inférieur à l'erreur permise (1% pleine échelle) sur l'extraction de la puissance dans la bande passante. Le schéma d'un tel filtre est donné à la figure 4.6

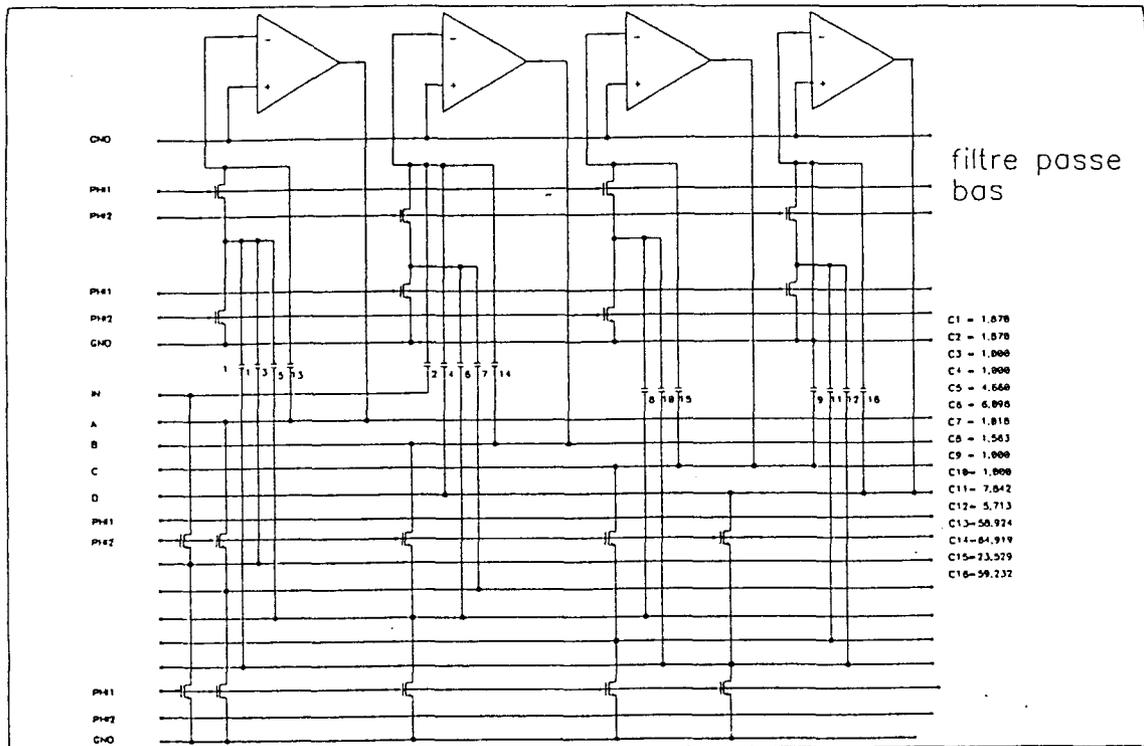


Figure 4.6.

4.3.3.1.2 Le filtre passe-haut

Un filtre passe-haut permet de donner le signal haute fréquence (configuration passe-haut seul). Il forme le second flanc d'atténuation du passe-bande pour l'analyse du signal. Ce filtre est du quatrième ordre.

Le schéma d'un tel filtre est donné à la figure 4.7

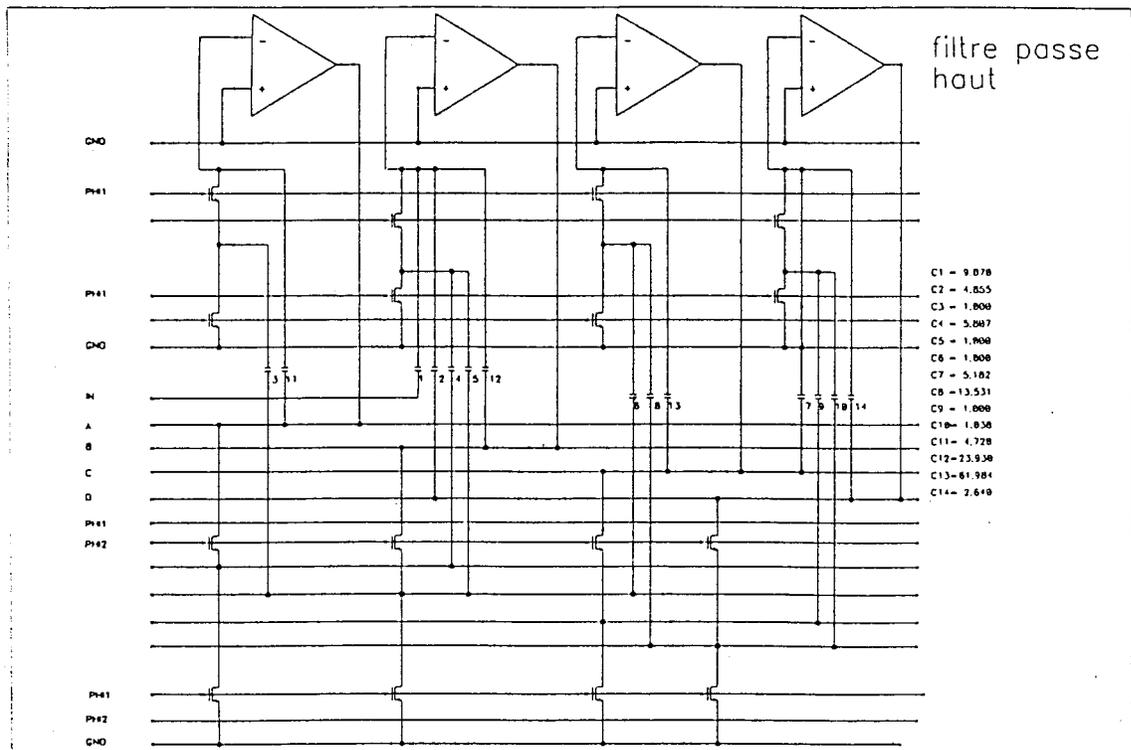


Figure 4.7.

4.3.3.1.3 Le filtre passe-bas continu

Un filtre continu, inséré entre ces deux filtres (passe-bas et passe-haut), permet un lissage éventuel du signal [4.7] [4.8]. Ce filtre est un passe-bas du second ordre du type SALLÉN & KEY [4.9], qui suit la programmation du filtre passe-bas jusqu'à une fréquence de coupure FCB de 1KHZ par la détection des ordres de programmation. En deçà de cette fréquence, le filtre de lissage reste positionné à une fréquence de coupure $FC = 1\text{KHZ}$. Ce filtre est utilisé lorsque le signal doit être lissé pour une utilisation en filtre d'antirepliement. La programmation d'inhibition de ce filtre se fait sur un bit.

La fréquence de coupure de ce filtre doit être comprise entre 2FCB et 6.3FCB . Ces deux fréquences limites sont choisies pour, d'une part, ne pas introduire d'erreur de gain en bout de bande passe-bas et, d'autre part, pour assurer une réduction du spectre parasite, étendu de 64FCB à 63FCB , d'au moins 40Db. Les variations des résistances et des capacités pouvant atteindre 20% de la valeur nominale, il est nécessaire de placer la fréquence de coupure, pouvant varier de 40%, au milieu de l'intervalle autorisé soit $FC = 4\text{FCB}$.

Le schéma du filtre SALLEN & KEY programmable est donné à la figure 4.8

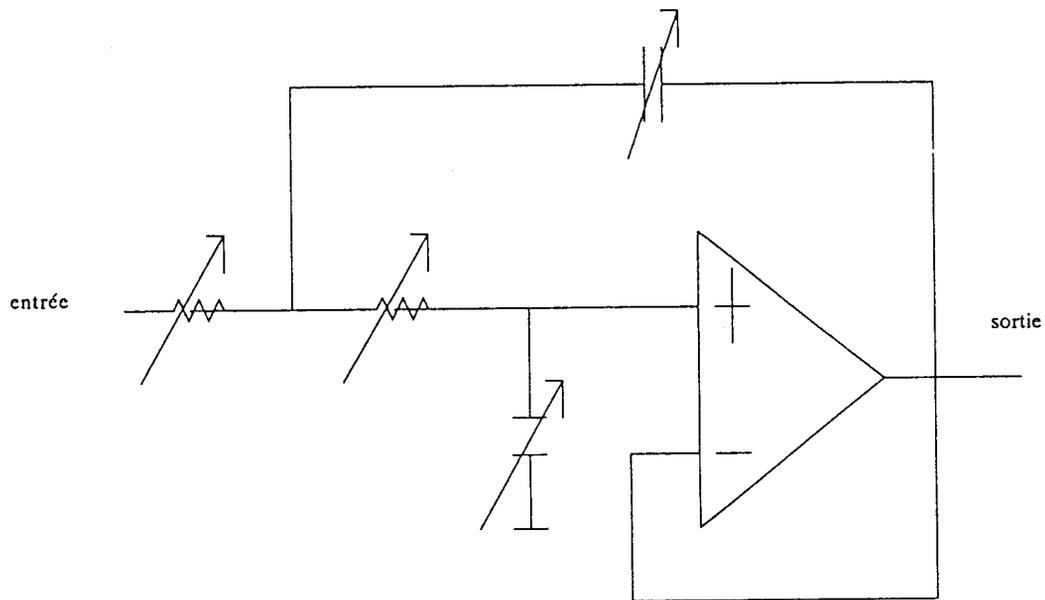


Figure 4.8. Filtre de SALLEN & KEY.

Les résistances et les capacités variables sont réalisées par la mise en série ou en parallèle de résistances ou de capacités fixes.

Le réseau de résistances est commuté par des interrupteurs analogiques. Ces interrupteurs sont dimensionnés pour ne pas introduire d'erreurs trop importantes vis-à-vis de la variation absolue des résistances.

4.3.3.1.4 La programmation des filtres

Par le choix des fréquences d'échantillonnage, les fréquences de coupure peuvent être changées.

La fréquence d'échantillonnage passe-bas FB est obtenue par division de la fréquence système FS et vaut :

$$FB = FS / 4/2^n$$

ou

$$FB = FS / 6/2^n$$

n est un entier donné par la programmation (quatre bits sont nécessaires).

La fréquence de coupure sera alors

$$FCB = FB/64$$

Ce facteur 64 est calculé afin d'optimiser la réponse du filtre passe-bas pour une utilisation en instrumentation et ainsi minimiser l'erreur donnée par l'échantillonnage. L'atténuation en bande coupée obtenue est de l'ordre de -55db.

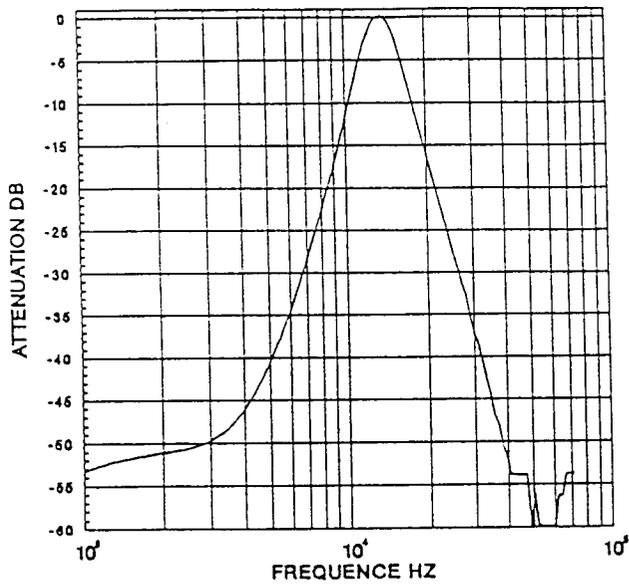
Pour le passe-haut, la position de la fréquence de coupure est donnée par rapport à la fréquence de coupure du passe-bas, par une largeur de bande exprimée en demi-octave jusqu'à deux octaves. Cette programmation en demi-octaves s'effectue sur deux bits (la demi-octave est représentée par le facteur 6/4 au lieu de 1.414).

La fréquence d'échantillonnage FH et la fréquence de coupure sont dans le rapport

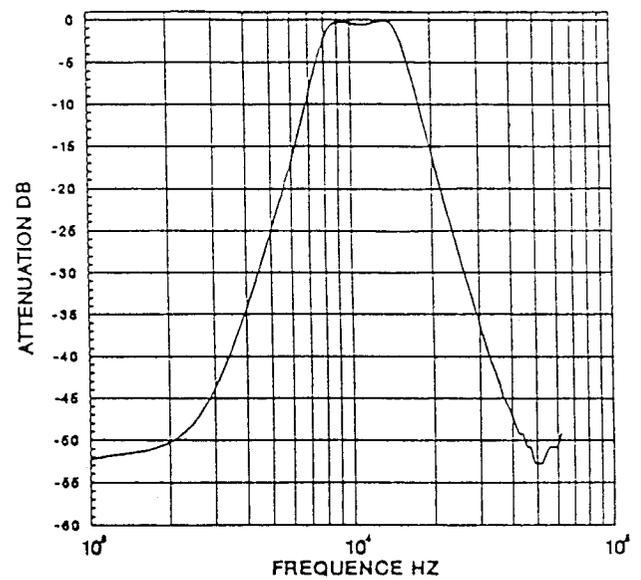
$$FCH = FH / 32$$

4.3.3.1.5 Les résultats des filtres

Pour illustrer les résultats, il est intéressant de donner les différentes fonctions de transferts mesurées dans différentes configurations de chaînage avec diverses fréquences d'échantillonnage. La figure 4.9. montre ces différentes fonctions.

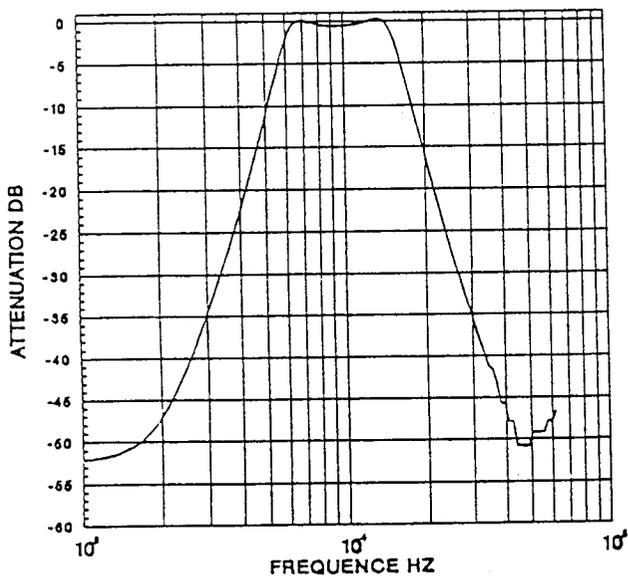


.5 octaves

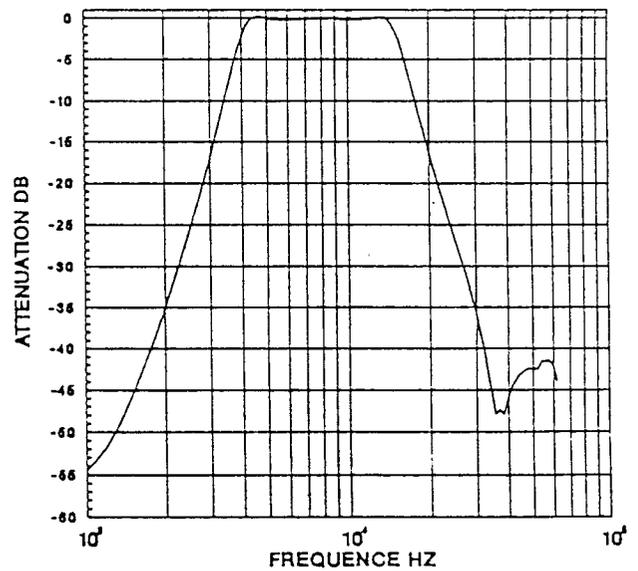


1 octave

Figure 4.9.



1.5 octaves



2 octaves

4.3.3.2. La conception de l'élément de normalisation

Le sous-ensemble de normalisation permet d'ajuster la constante de normalisation de manière à travailler à dynamique maximale.

Le gain programmable est réalisé sous la forme d'un système à capacités commutées en deux étages [4.10] [4.11]. Un premier étage de gain -6db à 21db variable par pas de 3db; un deuxième étage de gain 6db. Cette balance des gains est nécessaire pour obtenir une grande bande passante et un slew rate important au niveau de chaque amplificateur. Ces deux étages permettent une normalisation du signal dans une gamme de 0 à 27 db avec un incrément de 3db. La précision absolue dans la bande passante (0-25KHZ), sur chaque et sur tous les incréments, est meilleure que .1db pour tous les circuits. Cette précision a été obtenue en utilisant des techniques de dessin des masques, en éliminant toutes les sources d'erreurs pouvant se produire sur les dimensions des capacités lors de la gravure des masques ou lors de la gravure sur le silicium pendant la fabrication. La précision ainsi obtenue, ramenée à l'appariement des capacités, donne une précision de dimension entre les capacités meilleure que 0.2%.

L'élimination des offset des amplificateurs a été une préoccupation importante. En effet, tous les amplificateurs assurant le gabarit d'analyse ne doivent pas ajouter de composantes continues supplémentaires, catastrophiques à l'égard de la détection des faibles signaux d'entrée. Pour cela, la section de gain programmable incorpore un filtre passe-haut et une technique de réduction d'offset [4.12].

La fonction de filtrage passe-haut du 1^{er} ordre permet d'éliminer les offset résiduels des filtres précédents. La fréquence de coupure de ce filtre passe-haut est à une décade en dessous de la fréquence de coupure du passe-haut. Ainsi l'erreur de gain sur le filtre passe-bande est négligeable.

Pour l'amplificateur principal, nous avons utilisé une technique de réduction d'offset. La technique consiste à mesurer l'offset dans une phase inactive d'amplification, et à stocker l'information d'offset dans la capacité de contre-réaction [4.13] [4.14]. Ainsi, lors d'une phase complète d'amplification, le signal, ajouté à l'offset, sera rétabli par la soustraction

de cette même tension d'erreur.

Cette technique nous a alors imposé de concevoir un amplificateur opérationnel dont le produit gain bande dépasse les 20MHz avec un slew rate de plus de 13V/μs pour une capacité de charge de 2pF. La fréquence d'échantillonnage de cette partie est égale à la fréquence d'échantillonnage du filtre passe-haut dans toutes les configurations (la fréquence d'échantillonnage maximale est de 750KHZ).

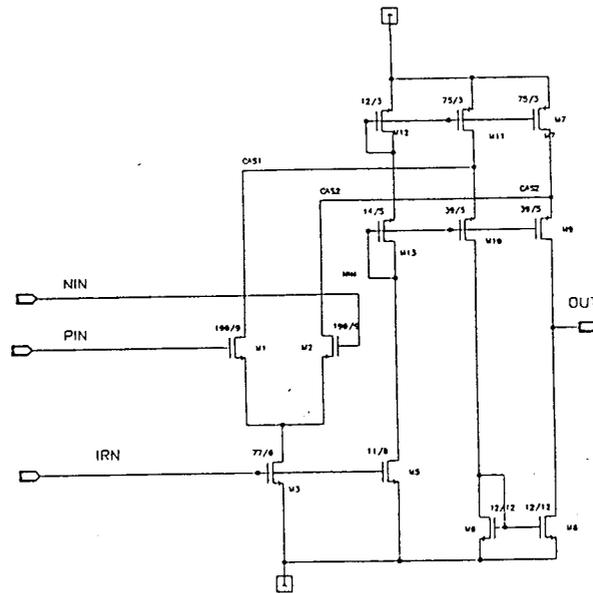


Figure 4.10.

La structure de l'amplificateur interne, que montre la figure 4.10, est du type "folded cascode". Elle permet d'avoir un pôle secondaire, (dû aux impédances sur les drains de M1, M2), situé très loin en fréquence par rapport au pôle primaire. La stabilité est ainsi obtenue et la bande passante obtenue à -3db est de l'ordre de 28Mhz. Le pôle primaire est fixé par la capacité de charge de sortie (C_{out}) et la transconductance de la paire différentielle M1, M2. Cette fréquence de coupure est donnée par :

$$F_c = G_m / 2 \pi C_{out}$$

La consommation totale de l'amplificateur ne dépasse pas 200μA.

Le schéma du gain programmable est donné à la figure 4.11. et 4.12.

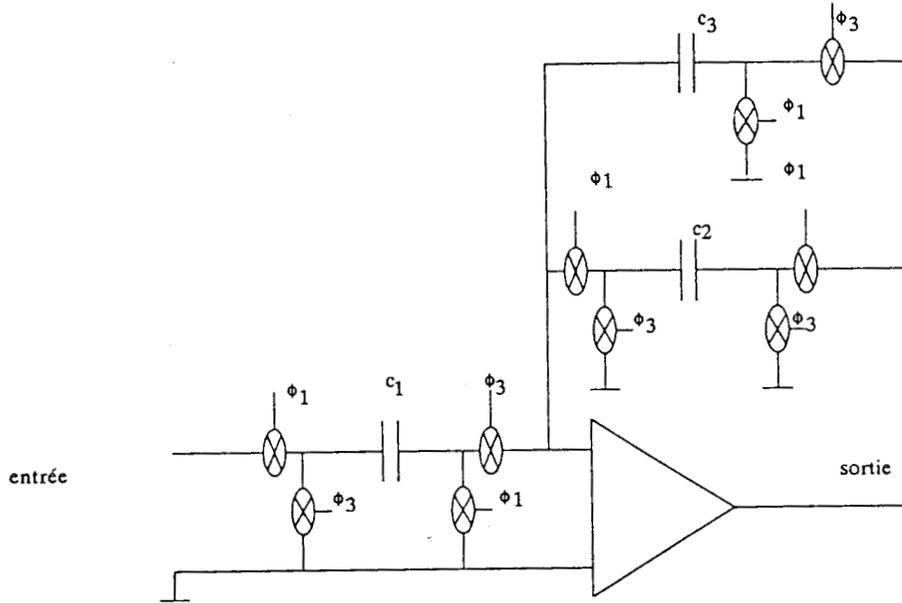


Figure 4.11. Schéma de principe de l'amplificateur à gain variable de -6 à 21db.
Toutes les capacités sont variables.

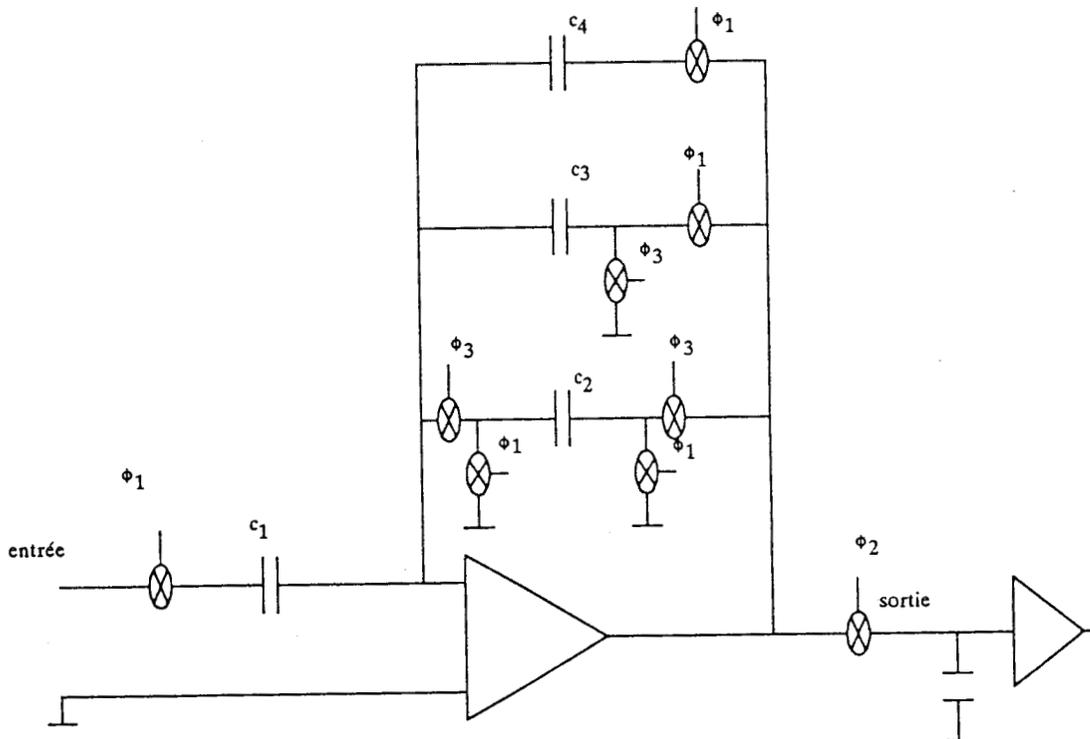
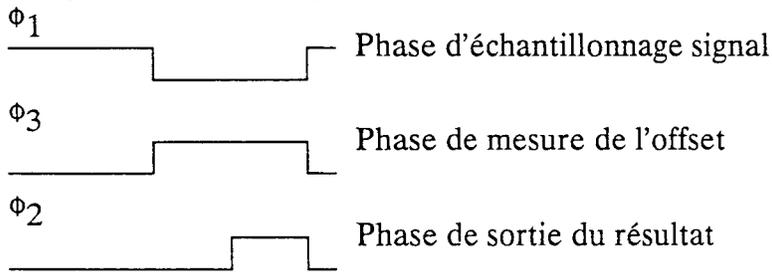


Figure 4.12. Schéma de principe de l'amplificateur de gain de 6db.

Les phases des interrupteurs sont définies ci dessous.



Les capacité C1 et C2 donnent le gain de l'amplificateur, les capacités C3 mémorisent la tension d'offset et la capacité C4 sert à fixer le pôle de la fonction passe-haut du dernier étage linéaire.

La figure 4.13. montre la mesure de l'amplificateur programmable. Elle à été effectuée en injectant un bruit blanc à l'entrée du circuit. Les paliers sont obtenus en changeant la programmation du gain pour un même signal. L'offset résiduel est de l'ordre de $200\mu\text{V}$.

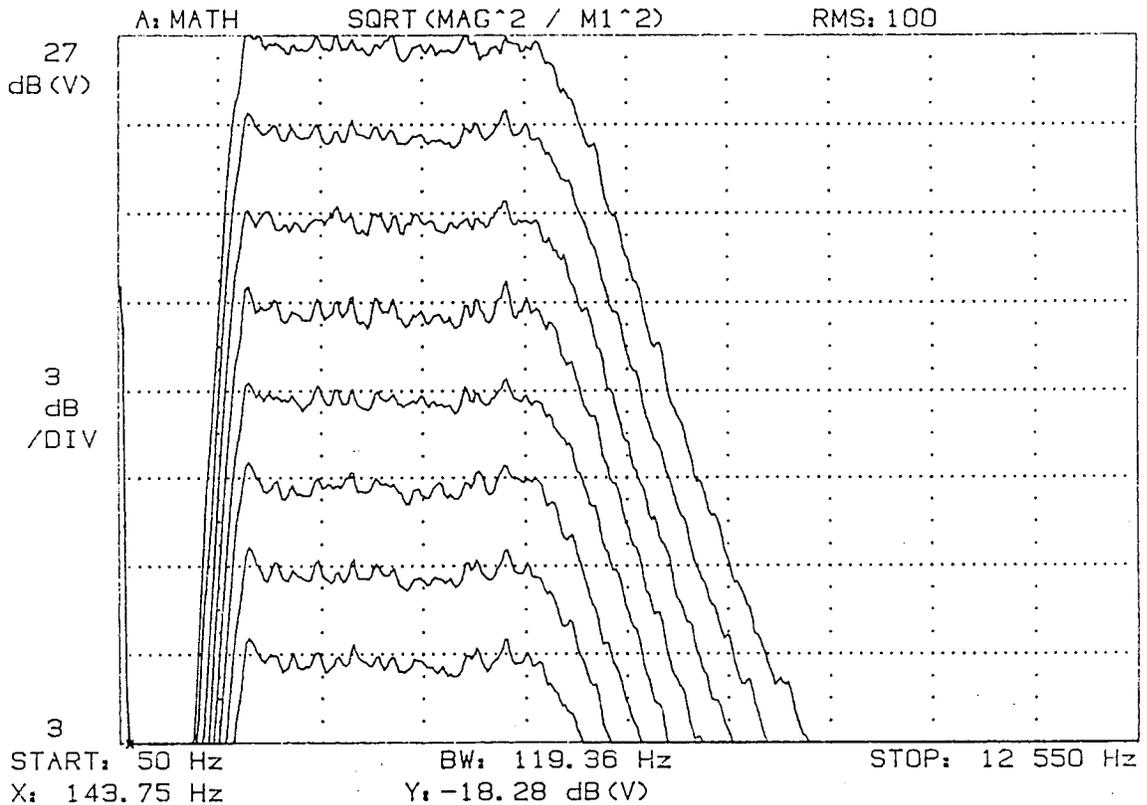


Figure 4.13.

4.3.3.3. La conception du détecteur

La détection élève au carré le signal, puis effectue l'intégration sur une capacité extérieure. Le résultat est mis sur un bus analogique, commun à plusieurs circuits, via un interrupteur analogique.

Le détecteur est basé sur la cellule de GILBERT [4.15] [4.16]. Il effectue la conversion de la tension d'entrée en sa puissance normalisée dans la bande d'analyse. La loi de détection est régie par :

$$V_{\text{outp}} = \int_0^T \frac{K G \psi^2 + \text{off}}{C} dt \quad (4.1)$$

K coefficient de transformation du multiplieur ($1\mu\text{A}/\text{V}^2$ typique), T (100ms typique) temps d'intégration, off courant d'offset, $G\psi$ tension en sortie du gain programmable, C valeur de la capacité extérieure (50nF typique).

L'approche système de réduction des erreurs permet d'éliminer l'influence des imperfections d'une cellule de GILBERT réalisée en C.M.O.S., et de réduire fortement le terme d'offset dans l'intégration. En effet, cette réduction est rendue nécessaire puisqu'il suffit d'avoir $.05\mu\text{A}$ (valeur typique sur une technologie M.O.S.) de courant d'offset en sortie pour obtenir à la fin de la période d'intégration, une tension de l'ordre de 100mV. Ceci réduit notablement la dynamique de sortie du détecteur.

La technique de réduction des erreurs à été mise en oeuvre dans le circuit pour éliminer cet offset de quelque provenance qu'il soit. [4.17] [4.18].

Les horloges des choppers sont générées par divisions successives (2, 3 ou 7) de la fréquence du système à 6MHZ. Ces fréquences sont choisies synchrones aux fréquences d'échantillonnage de telle façon que l'intégration se fasse par marche d'escalier. La hauteur de chaque marche correspond au carré des échantillons provenant des filtres à capacités commutées. Cette manière de procéder s'apparente au calcul numérique de l'intégration, elle permet, au niveau analogique, de se passer de filtre de lissage pour restituer le signal avant la multiplication. Les phases des horloges sont obtenues par division par quatre d'une même horloge primaire (inversée et non-inversée) provenant de la fréquence d'échantillonnage de la section précédente de normalisation.

L'intégration du signal d'entrée élevé au carré est maintenant obtenue par l'injection du courant de sortie dans la capacité extérieure. La caractéristique essentielle pour l'intégrateur est d'avoir une impédance de sortie très élevée. Ceci est réalisé par l'emploi de transistors "cascode" sur l'étage de sortie, l'usage d'un intégrateur de MILLER est ainsi inutile.

Le signal de sortie doit être disponible sur le bus analogique pendant le temps de lecture. Le signal doit subir une adaptation d'impédance et un isolement électrique. Le bus étant fortement capacitif (500pF typique), il est nécessaire de prévoir un amplificateur à très faible offset pouvant charger la capacité de bus en un temps très court. L'amplificateur réalisé à un offset de l'ordre de 3mV et un temps de délai de positionnement du résultat de moins de 10 μ s. Pour obtenir un temps très court de la charge de la capacité du bus, il faut augmenter d'une façon importante le courant que peut délivrer l'étage de sortie. Ceci est réalisé facilement dans une structure d'amplificateur à transconductance, en augmentant la taille des transistors de sortie de recopie des courants. La fonction de mise à haute impédance est effectuée en coupant la commande de ces transistors de sortie. Nous avons une augmentation de la consommation, mais le temps de lecture est très faible (valeur typique 30 μ s).

Le résultat de l'intégration est disponible 10 μ s après l'adressage du circuit pour sa lecture ou sa programmation.

4.3.3.3.1 Le calcul des composants du multiplieur

Le calcul d'un détecteur doit prendre en compte la dynamique d'entrée, la dynamique de sortie, et la consommation totale du détecteur.

En général, le signal peut être caractérisé par sa puissance moyenne et son écart type. Cette définition entraîne certains problèmes pour la dynamique d'entrée. En effet, le signal à analyser peut être quelconque, le pire des cas est représenté par un bruit. Pour un bruit, la puissance moyenne est très petite, tandis que la variation instantanée peut être grande. Ceci est fort gênant car il faudra alors prévoir une grande dynamique d'entrée du multiplieur pour ne récupérer en sortie qu'une petite variation.

L'implication est qu'il faut dimensionner le multiplieur d'une manière à ce qu'il puisse absorber ces signaux brefs de forte intensité non déformés.

Conformément aux équations fournies dans les chapitres 2 et 3, nous devons donc polariser la structure avec un courant de polarisation important par rapport au déséquilibre nominal de la grandeur d'entrée. Un compromis est cependant à trouver puisque le gain du multiplieur, inversement proportionnel au courant de polarisation, pourra présenter un comportement moins bon pour les très faibles niveaux de signaux.

Le multiplieur est donc caractérisé par sa dynamique d'entrée nominale, sa dynamique maximale et sa tension de sortie pour la pleine échelle après intégration. Elles ont été fixées respectivement par l'utilisateur à 2 Volts crête nominal, 3 Volts crête maximal et à 2 volts pleine échelle pour un signal sinusoïdal d'entrée de 1.414 volts R.M.S. (valeur efficace vrai).

Pour les valeurs typiques des éléments extérieurs, nous avons pour le courant pleine échelle de sortie du multiplieur :

$$I_{\text{out}} = 1\mu\text{A efficace}$$

Le calcul du courant de sortie a subi des itérations successives pour obtenir une bonne balance entre la précision donnée par les technologies des capacités et les compromis de précisions que l'on pouvait obtenir du détecteur en fonction du courant de sortie.

La précision des capacités d'instrumentation est fonction du courant injecté, de leur qualité de diélectrique et de leurs électrodes. Les capacités de fortes valeurs demandent un fort courant de sortie (hypothèse contraire à une faible consommation) et ont comme schéma équivalent pour la décharge, une suite de capacité et de résistance d'accès qui offrent une mémoire des résultats précédents. Pour les faibles capacités, la stabilité de leur valeur dans le temps est moins bonne, de plus les techniques de fabrication utilisent des diélectriques de moins bonne qualité. Les valeurs de capacités convenant se situent entre quelques nF et 100nF. Des considérations de coût peuvent aussi entrer en jeu, ces capacités de précision ne sont pas bon marché et leur prix sont du même ordre de grandeur que le prix du circuit intégré non testé.

Une fois cette itération effectuée, nous pouvons songer à dimensionner le multiplieur correctement. A partir de ce courant de sortie, le courant de polarisation est fixé par des considérations de la dynamique d'entrée maximale :

$$I_p = \frac{D_{MAX}}{R} \quad (4.2)$$

ou D_{MAX} est la dynamique d'entrée maximale sur l'une des voies et R est la résistance de dégénérescence de la paire différentielle d'entrée.

Il nous faut assurer le coefficient $K = 1\mu A$, soit :

$$K = \frac{1}{I_p R^2} \quad (4.3)$$

alors

$$I_p = K D_{MAX}^2 = 9 \mu A \quad (4.4)$$

Ce courant de polarisation nous donne le courant optimum pour cette analyse.

La résistance de dégénérescence des paires différentielles d'entrée est fixée de ce fait à $R=330K$. Pour des raisons d'encombrement sur le silicium, cette résistance est faite par un serpentín en NWELL et occupe 250μ sur 250μ environ.

La taille des transistors est donnée par le fait que les transistors doivent rester en faible inversion quel que soit le déséquilibre des paires différentielles d'entrée. Une mesure sur dispositif de taille $30\mu/3\mu$ de la technologie employée permet de montrer une limite acceptable de la linéarité de la dérivée logarithmique de la loi courant-tension en faible inversion.

La mesure et la dérivée de la mesure sont illustrées à la figure 4.14.

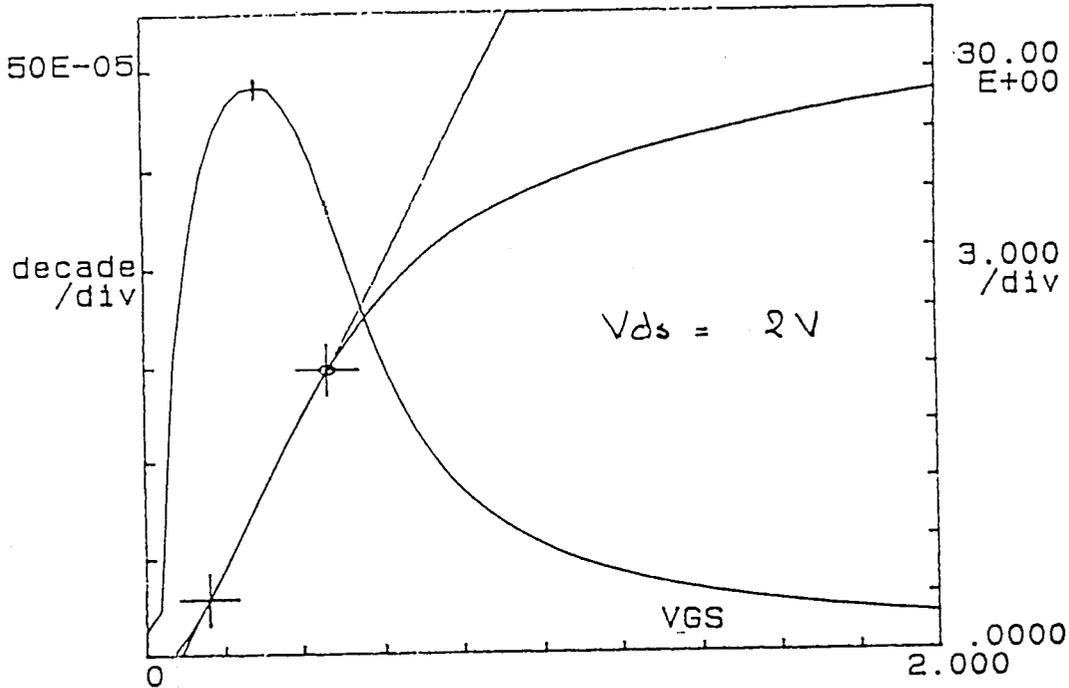


Figure 4.14.

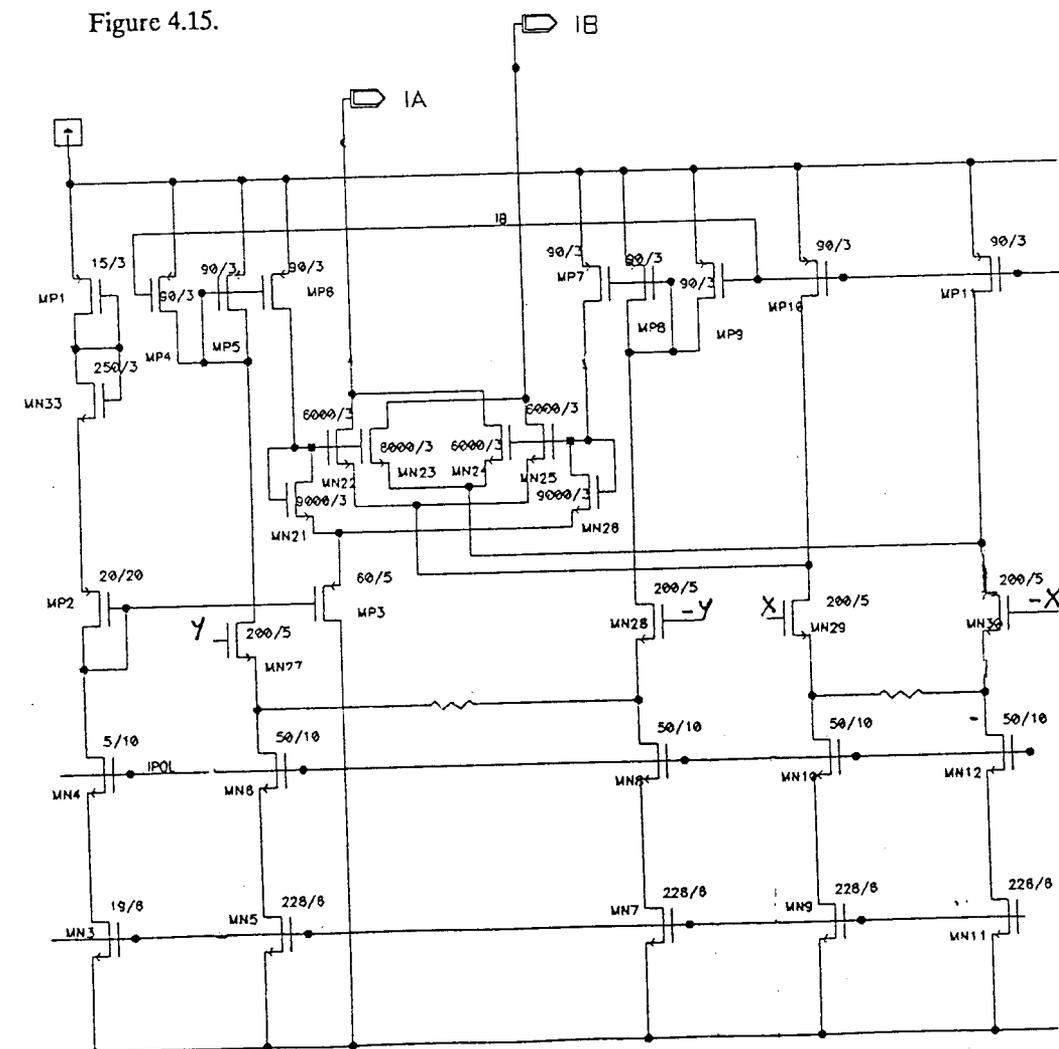
Un optimum de la dérivée est atteint à un peu moins d'une décade (rapport 7) en dessous du courant de limite de faible inversion donné par βU_t^2 . Ce rapport est plus que suffisant pour absorber les déséquilibres d'un rapport de 2 au courant de polarisation. Il permet d'être au maximum de linéarité (pente logarithmique quasi constante) sur toute l'étendue de la dynamique en courant d'entrée ($0-2I_p$).

La taille des dispositifs est donc fixée à $9000\mu/3\mu$ pour les transistors M1 et M6, et à $6000\mu/3\mu$ pour les autres transistors M2 à M5 pour respecter les densités de courant préconisées au paragraphe 2.1.2.5.

Ce calcul est cependant contraire à l'obtention d'une grande bande passante. L'aspect de linéarité est privilégié vis-à-vis de l'aspect de la fréquence de coupure car le système complet sera incapable de corriger la non-linéarité, tandis que l'erreur de gain occasionné peut être corrigé par un étalonnage éventuel.

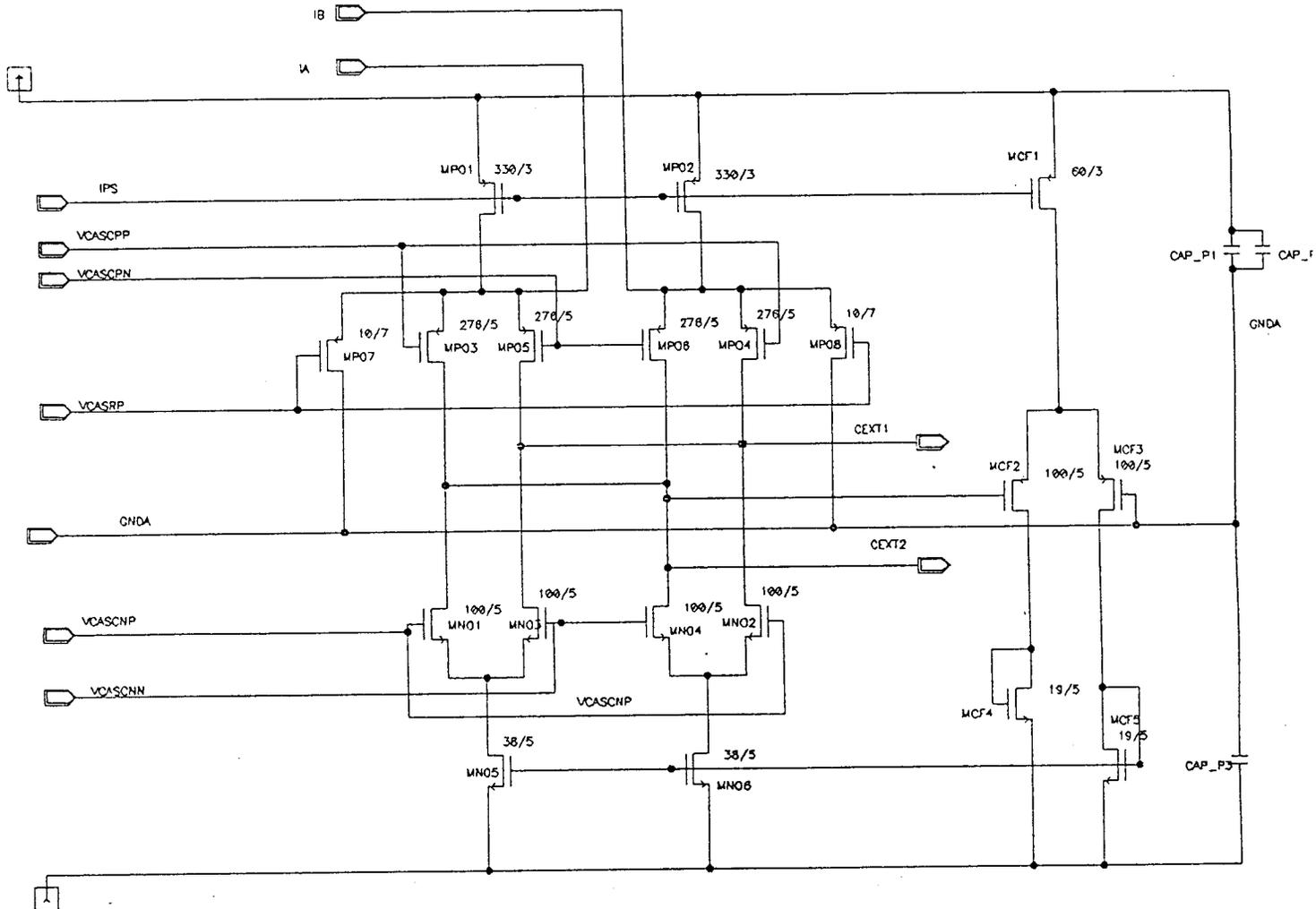
La fréquence de coupure du multiplieur avec la formule 3.13. avec le rapport 7 au lieu du rapport 2 sur le courant de polarisation au courant de limite de faible inversion, nous donne une fréquence de coupure de l'ordre de 3MHZ pour une cellule conçue avec des transistors N.M.O.S. Cette limite haute de la fréquence est juste suffisante pour obtenir la convolution des spectres des signaux d'entrée. En effet, comme nous l'avons vu au paragraphe de détermination de la fréquence des choppers, un rapport 4 entre la fréquence des choppers à la fréquence maximale d'entrée suffit si l'on veut ne pas être gêné par l'autodistorsion du signal et ses harmoniques. La fréquence d'échantillonnage du multiplieur étant au maximum de 750KHZ, seules les configurations pour les hautes fréquences d'analyse seront entachées de l'erreur de gain due à la bande passante du multiplieur. Nous pourrons voir cet effet sur le résultat complet du circuit au paragraphe 4.3.4.1.

Le schéma du coeur du multiplieur est donné à la figure 4.15. Les sorties de multiplication sont représentées par IA et IB.



La figure 4.16 montre le schéma de l'étage de sortie du multiplieur.

Figure 4.16.



Les courants issus de la multiplication (I_A , I_B) sont injectés dans l'étage de sortie à très faible impédance (étage cascode). Nous pouvons ensuite remarquer les choppers sur l'étage de sortie. Les commandes des choppers, non représentées, établissent ou court-circuitent les tensions appelées VCAS***. L'isolation de la capacité de sortie, connectée entre Cext1 et Cext2, est assurée par les transistors commandés par VCASRP.

Nous pouvons voir aussi l'étage de régulation de mode commun asservir un seul potentiel de sortie

La mesure en sortie du multiplieur (X^2) avec égalisation dynamique après intégration est donnée à la figure 4.17. Plusieurs circuits ont été mesurés. Chaque mesure ne demande que 100ms.

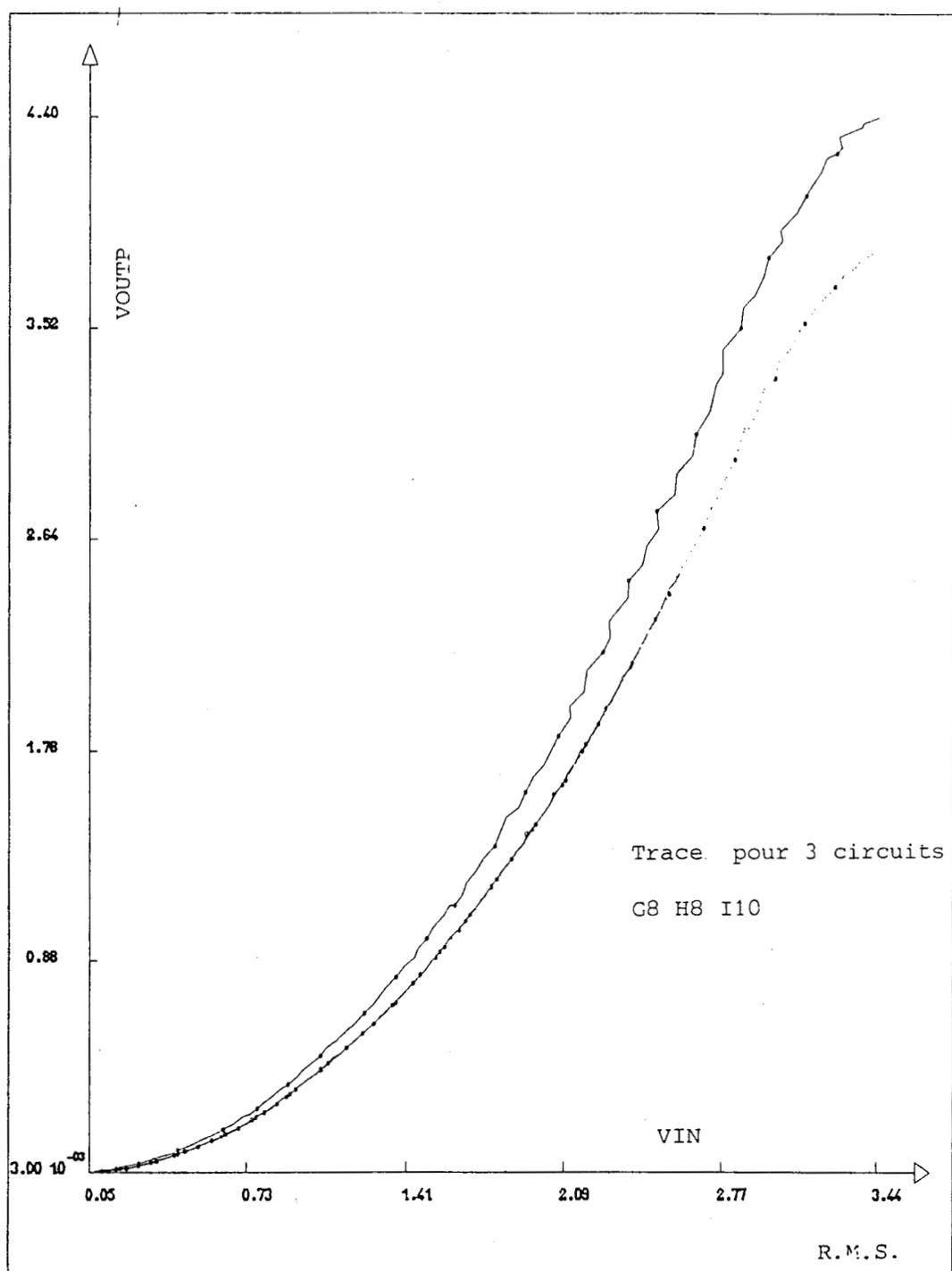


Figure 4.17.

La racine carrée de cette mesure nous donne une droite sur une grande dynamique. Elle nous est donnée à la figure 4.18.

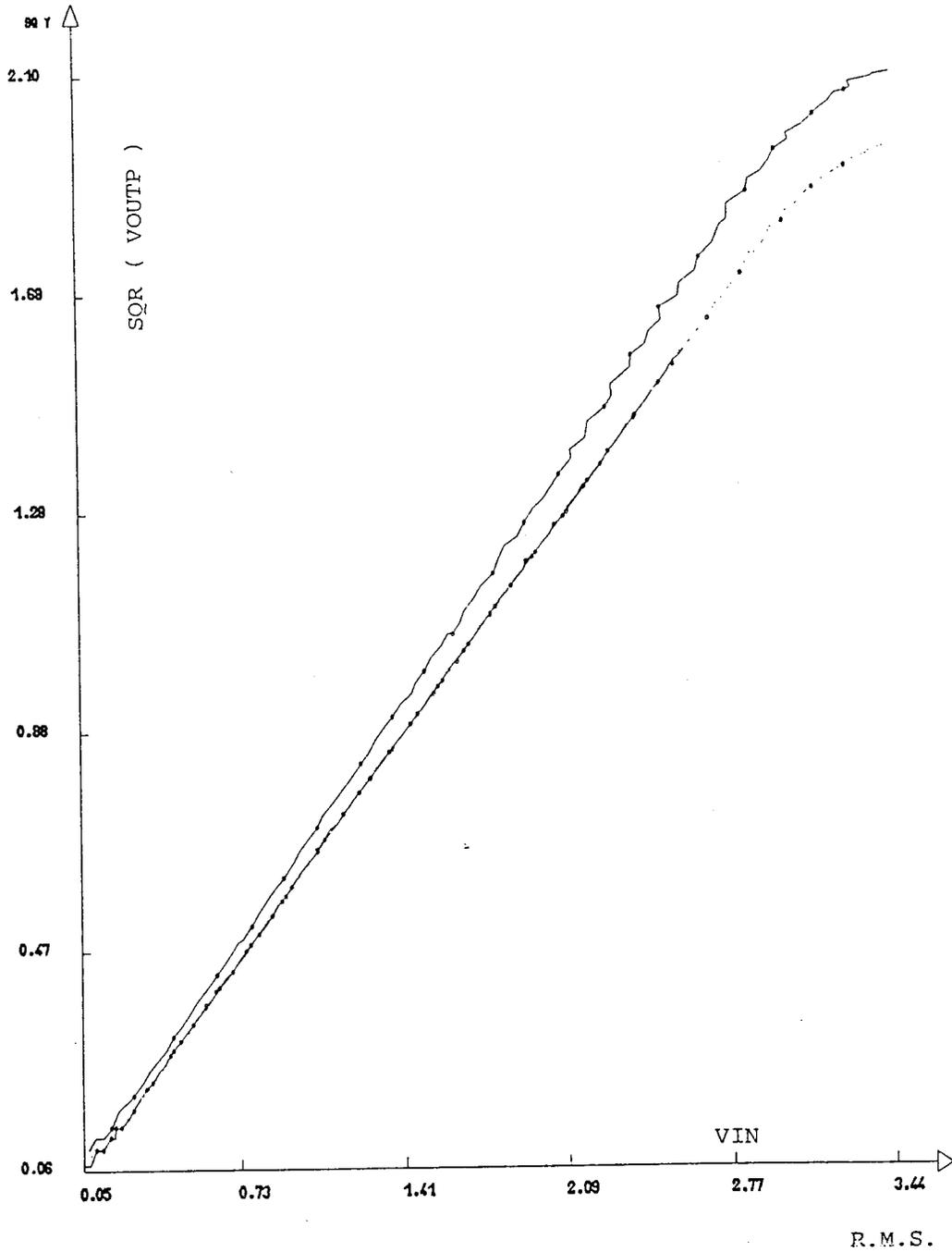


Figure 4.18.

4.3.3.4. La conception du bloc numérique

Le sous-ensemble logique permet d'interfacer la partie analogique avec le monde extérieur, et il permet la programmation des fréquences de coupure des filtres, l'augmentation du gain, ainsi que la configuration des multiplexeurs d'entrée et de sortie.

La section logique est programmable simplement par un mot série de 16 bits contrôlant toutes les chaînes de divisions internes pour la génération des horloges des filtres, du gain variable et du multiplieur.

Une seule horloge de l'ordre de 6MHz est nécessaire à la synchronisation du circuit. Cette section à été conçue par une approche Semi-custom suivie d'un routage automatique en sous-traitance. La complexité représente environ 3000 portes.

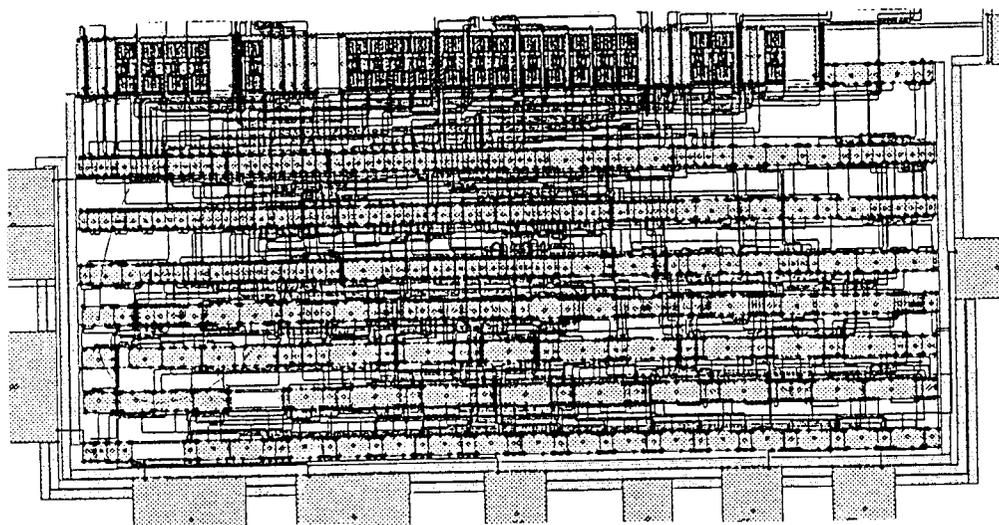


Figure 4.19.

4.3.4. Conclusion

La démarche pragmatique de construction de ce circuit permet de donner à l'ensemble une homogénéité dans la définition de chacune des performances des blocs fonctionnels. En tirant parti des nouvelles techniques de correction d'erreurs au niveau système, nous arrivons à définir un circuit analogique d'instrumentation.

4.3.4.1. Le résultat

Le résultat de toute cette démarche peut être synthétisé en une mesure significative des performances du circuit. Cette mesure consiste à regarder ce que donne le circuit sur toutes les bandes d'analyse pour un signal sinusoïdal de 2 volts crête de fréquence variable. Le 0Db est donné pour une référence à la dynamique nominale de sortie (figure 4.19.).

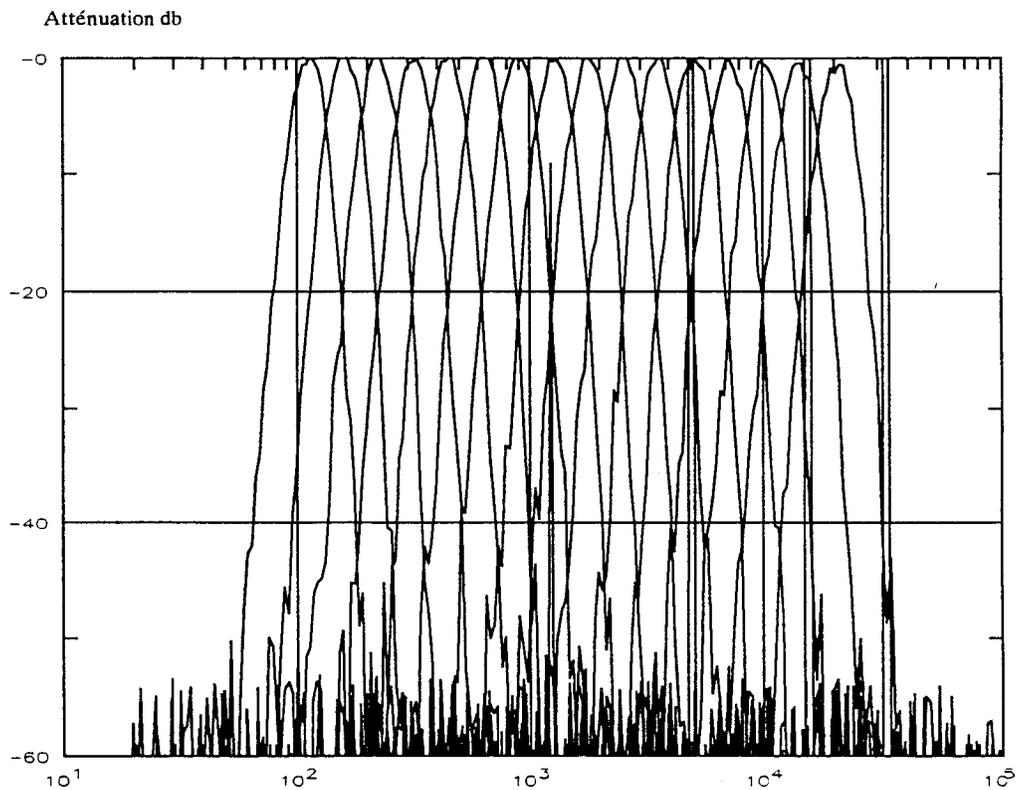


Figure 4.19.a Extraction de la densité spectrale en puissance.

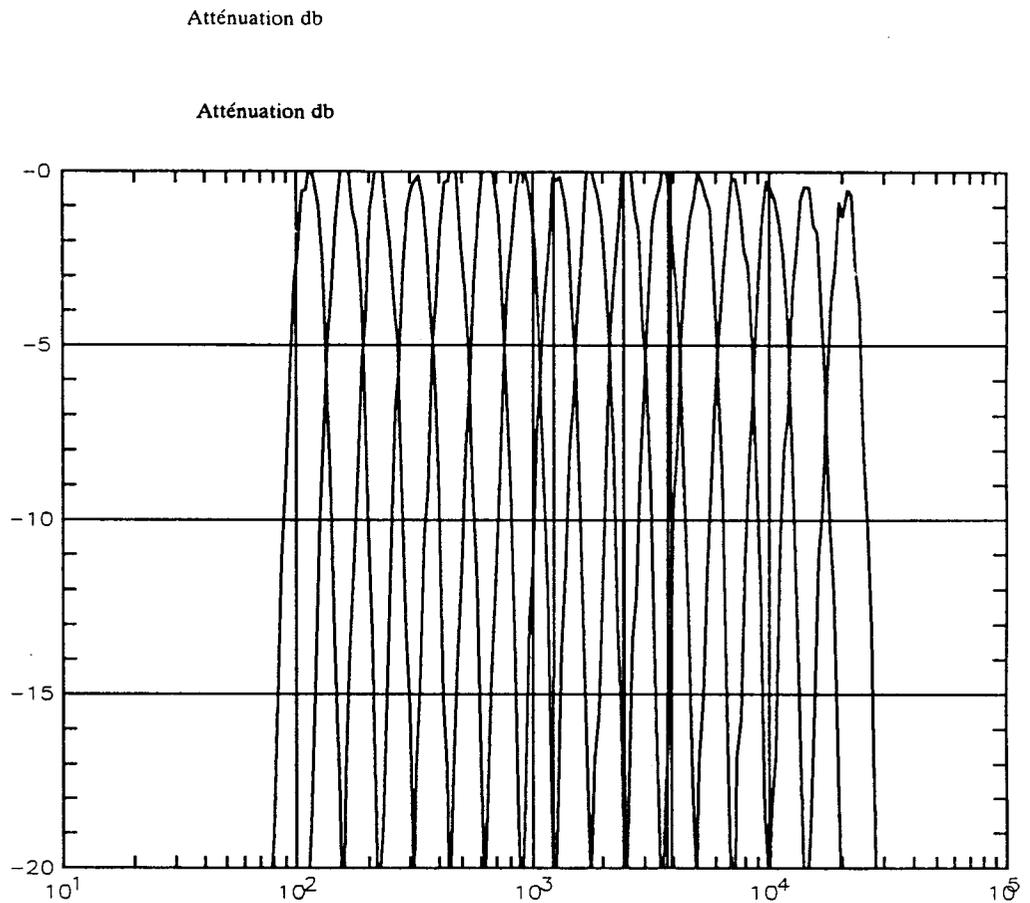


Figure 4.19.b Détail des gabarits des filtres donnant la résolution.

Nous pouvons voir que le recouvrement des filtres se fait à -6db pour ne pas introduire d'ondulation lors de la restitution de la somme des bandes d'analyse. La dynamique de mesure ramenée à l'entrée, c'est-à-dire le rapport entre la plus petite et la plus grande valeur que l'on peut détecter, s'élève à 500 (3V/6mV). L'homogénéité des spécifications électriques de chacun des blocs, données par la segmentation, est vérifiée. Nous avons pour les filtres d'entrée une atténuation en bande coupée de -54db, une précision de moins de 1% sur les gains de chaque filtre. Nous avons pour le détecteur seul, une dynamique de traitement de l'ordre de 57db (référence 2v).

Les performances d'un tel système permettent de donner une densité spectrale avec assez de précision et fournir les moyens d'analyse des phénomènes recherchés.

Pour mieux utiliser le circuit et le système, nous allons maintenant développer le traitement de signal du système de détection ainsi constitué.

4.4. Théorie du signal du système de détection

Dans ce paragraphe, nous allons illustrer la théorie du signal correspondante au circuit ANL05 afin d'utiliser le circuit avec le maximum d'efficacité pour calculer la densité spectrale de puissance du signal d'entrée. Le problème majeur est rencontré lorsque le signal est faible. Toutes les précautions de linéarités, de précisions ont été prises mais le détecteur possède des limites de dynamique de traitement. Une façon de résoudre le problème nous est donnée par la théorie du signal [4.19] [4.20].

Le système utilisant plusieurs circuits ANL05 permet de trouver la puissance du signal répartie dans toutes les bandes d'analyse. Nous sommes donc confrontés à la gestion des résultats donnés par tous les circuits. Le problème est de savoir si la mesure effectuée est bonne. Ce problème est lié au problème de détection.

4.4.1. Développement de la théorie du signal du circuit ANL05

Nous définirons la détection comme le moyen nous permettant de conclure ou non à l'existence d'un signal recherché au milieu du bruit et d'en donner une valeur d'amplitude objective. Le rapport signal sur bruit peut donner une indication sur la vraisemblance du résultat donnée par le circuit.

4.4.1.1. Définition du rapport signal sur bruit

Le rapport signal sur bruit doit être un nombre exprimant l'importance du signal dans le bruit.

On définira le rapport signal sur bruit de la façon suivante :

$$\frac{S}{B} = \frac{\text{puissance moyenne du signal}}{\text{puissance moyenne du bruit}} \quad (4.5)$$

Cette définition ne soulèvera aucune difficulté dans la mesure où la puissance moyenne relative à l'ensemble signal plus bruit s'obtiendra par addition pure et simple de la puissance moyenne du signal et de la puissance moyenne du bruit. Elle sera adéquate à l'entrée du circuit ANL05 ou en tous points intermédiaires séparés de l'entrée par des **filtres linéaires**. En effet, la faculté d'effectuer une somme des puissances moyennes disparaît après le multiplieur qui assure la détection non-linéaire.

Nous sommes donc amenés à examiner le cas de l'entrée du circuit ANL05 avec les filtres linéaires et celui de la sortie du multiplieur.

Seule la sortie du circuit est observable par un instrument de mesure. C'est cette information de signal sur bruit en sortie du circuit qui nous permettra donc de conclure à l'existence du signal d'entrée dans un bruit. Nous verrons donc dans les paragraphes suivants quelle est la vraisemblance de la mesure effectuée.

Dans le cas où le signal et le bruit sont deux fonctions aléatoires $S(t)$ et $B(t)$ d'espérances mathématiques nulles et d'écart types σ_S^2 et σ_B^2 , nous utiliserons la formule(4.2) :

$$\frac{S}{B}^{\text{entree}} = \frac{\sigma_S^2}{\sigma_B^2} \quad (4.6)$$

si le signal est sinusoïdal, nous utiliserons la formule (4.3) :

$$S(t) = A \text{ Cos } (2 \pi f t) \quad (4.7)$$

alors :

$$\frac{S}{B}^{\text{entree}} = \frac{A^2}{2 \sigma_B^2} \quad (4.8)$$

Dans la suite des calculs, $\Gamma_S(f)$ $\Gamma_B(f)$ représentent les densités spectrales normées du signal d'entrée $S(t)$ et du bruit d'entrée avant le circuit $B(t)$

Elles sont représentées par :

$$\Gamma_S(f) = \frac{\Gamma'_S(f)}{(\sigma_S)^2} \quad (4.9)$$

$$\Gamma_B(f) = \frac{\Gamma'_B(f)}{(\sigma_B)^2} \quad (4.10)$$

Γ'_S , Γ'_B sont les densités spectrales observées à l'entrée du circuit

Dans un premier temps, nous donnerons le moyen d'évaluer le rapport signal sur bruit en fonction des observations en sortie.

Dans un deuxième temps, nous donnerons le moyen d'extraire le rapport signal sur bruit à l'entrée du circuit qui importe à l'utilisateur pour connaître la précision que lui a donné le circuit.

Voyons maintenant la transformation de ce rapport signal sur bruit d'entrée à travers le circuit complet.

4.4.1.2. La mesure du rapport signal sur bruit à la sortie d'un système non-linéaire

C'est généralement dans le cas d'un système non-linéaire que la définition du rapport S/B présente une certaine ambiguïté car le bruit d'entrée élevé au carré peut laisser croire à l'existence d'un signal.

Supposons, par exemple, que la fonction $V_{\text{outp}}(t)$ observée à la sortie, en présence ou en l'absence du signal, ait l'aspect représenté par la figure 4.20. $V_{\text{outp}}(t)$ est la transformée de $G\psi(t)$ du signal à travers les filtres et le multiplieur et intégrateur.

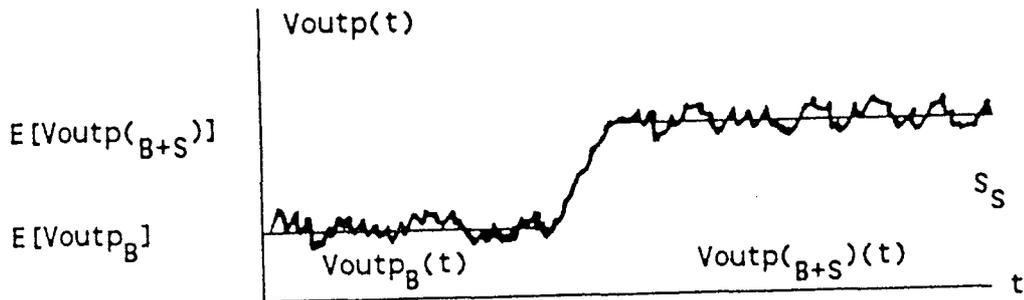


Figure 4.20.

Les moyennes $E[\]$ sont obtenues par l'intégration du signal pendant le temps d'analyse T .

En l'absence de signal, $V_{\text{outpB}}(t)$ fluctue autour de $E[V_{\text{outpB}}(t)]$. En présence de signal $V_{\text{outp(S+B)}}(t)$ fluctue autour de $E[V_{\text{outp(S+B)}}(t)]$ également constant, puisque nous traitons l'ensemble signal plus bruit comme si tous deux étaient stationnaires ou considérés comme tels pendant un intervalle de temps suffisamment long devant le temps d'analyse T .

Nous serons capables de déceler l'existence du signal dans le bruit dans la mesure où nous pourrions apprécier si, en moyenne, les valeurs de $V_{\text{outp(S+B)}}(t)$ sont supérieures à celle de $V_{\text{outpB}}(t)$.

Nous serons limités dans cette appréciation par l'existence des fluctuations de $V_{\text{outpB}}(t)$.

La présence du signal se manifeste à la sortie par l'existence d'une différence

$$E[V_{\text{outp(S+B)}}(t)] - E[V_{\text{outpB}}(t)] \quad (4.11)$$

(la moyenne temporelle sur les différents échantillons étant introduite pour le cas où le signal serait sinusoïdal)

$$V_{\text{rms}}^2 = \frac{A^2}{2} = E[S^2(t)] \quad (4.12)$$

L'ordre de grandeur des fluctuations de $V_{\text{outpB}}(t)$ peut être chiffré par l'écart type de $V_{\text{outpB}}(t)$.

Nous définirons donc le signal en sortie par :

$$S_{\text{sortie}} = E[V_{\text{outp(S+B)}}(t)] - E[V_{\text{outpB}}(t)] \quad (4.13)$$

et le bruit en sortie par :

$$B_{\text{sortie}} = \{ E[V_{\text{outp(S+B)}}^2(t)] - E^2[V_{\text{outpB}}(t)] \}^{.5} \quad (4.14)$$

Dans cette dernière expression on aurait dû prendre $V_{\text{outpB}}(t)$ mais on admet que les problèmes de détection ne se posent que dans le cas de signaux faibles, et qu'alors l'écart type correspondant à $V_{\text{outp(S+B)}}(t)$ est très voisin de $V_{\text{outpB}}(t)$. Cette simplification nous permet de calculer immédiatement le rapport signal sur bruit et ne suppose pas la connaissance du signal de bruit à l'entrée.

Le rapport signal sur bruit est alors avec 4.13 et 4.14 :

$$\frac{S}{B} = \frac{S_{\text{sortie}}}{B_{\text{sortie}}} \quad (4.15)$$

C'est le rapport entre l'augmentation de la composante continue due au signal et une valeur de bruit liée, à la fois à la valeur moyenne du bruit sans signal, et aux fluctuations du bruit en présence du signal.

Evidemment, les formules précédentes n'ont plus aucun sens lorsque les fonctions du temps n'ont plus le caractère permanent, c'est-à-dire si $E[V_{\text{outp(S+B)}}(t)]$ et $E[V_{\text{outpB}}(t)]$ varient de façon trop arbitraire au cours du temps de prise des échantillons de V_{outp} .

La définition qui vient d'être donnée est fondée sur l'existence d'une variation de la composante continue lorsque le signal est superposé à un bruit.

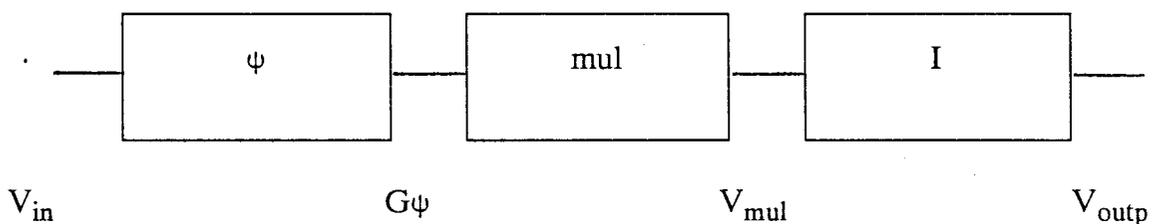
Nous voyons, pour déterminer le rapport signal sur bruit, que nous devons comptabiliser les calculs des valeurs moyennes à la sortie du circuit puisque le signal en entrée du circuit est lui même un bruit.

Le système de détection élaboré avec le circuit ANL05 repose sur l'observation de plusieurs sorties, le signal à détecter par définition ne peut être présent que sur une de ces sorties. Il est nécessaire d'observer en permanence toutes les sorties, et de gérer toutes les valeurs moyennes aux sorties des circuits. D'où un risque d'erreur si un échantillon devenait de façon aléatoire incorrect; (erreurs de mesure, perturbations, circuit momentanément en saturation, etc). Le nombre de sorties à surveiller est donc une donnée fondamentale dont ne tient pas compte le calcul du rapport signal sur bruit.

Voyons maintenant ce que nous pouvons extraire de ces formules de façon théorique, pour remonter au rapport signal sur bruit en entrée, lorsque le signal passe par les éléments linéaires du circuit et par les éléments de détection non linéaire .

4.4.1.3. Calcul du rapport signal sur bruit ramené à l'entrée du circuit.

Filtrage détection intégration.(figure 4.21.)



La fonction $V_{in}(t)$ est constituée soit par le bruit seul V_{inB} soit par l'ensemble signal plus bruit $V_{in(S+B)}$. On peut, par exemple supposer que V_{in} est la sortie d'un capteur de pression. Le bruit d'origines diverses est présent en permanence et superposé au signal.

Le bruit est, dans le calcul, représenté par une fonction aléatoire $B(t)$ de densité spectrale de puissance normée $\Gamma_B(f)$ et de puissance σ_B^2 .

Le signal est représenté soit par une fonction $S(t)$ $[\Gamma_S(f), \sigma_S^2]$ analogue à $B(t)$ $[\Gamma_B(f), \sigma_B^2]$ et indépendant de $B(t)$, soit par :

$$S(t) = A \cos(2\pi ft) \quad (4.16)$$

ψ est un filtre linéaire (le filtre d'entrée) défini par son gain $G\psi(f)$.

Mul est le multiplieur qui réalise la fonction quadratique.

I est l'intégration qui suit la détection de gain $GI(f)$ tel que $GI(0) = 1$. Cette intégration est effectuée par une capacité et un circuit de sortie à très haute impédance de sortie ($> 100M\Omega$), cet intégrateur ainsi constitué peut être considéré comme un intégrateur parfait.

Le calcul du signal en sortie peut être obtenu en développant l'équation (4.13.) en faisant intervenir le gain de l'intégrateur et la sortie V_{mul} .

$$S_{sortie} = GI(0) (\overline{E[V_{mul(S+B)}(t)]} - E[V_{mulB}(t)]) \quad (4.17)$$

puisque $GI(0) = 1$ par définition

$$S_{sortie} = (\overline{E[V_{mul(S+B)}(t)]} - E[V_{mulB}(t)]) \quad (4.18)$$

d'autre part on peut écrire :

$$S_{sortie} = (E[G\psi^2_{(S+B)}(t)] - E^2[G\psi_B(t)]) \quad (4.19)$$

A cause des propriétés de linéarité de la relation du signal d'entrée à travers le gain $G\psi(f)$ et de l'indépendance de S et B on obtient:

$$S_{sortie} = E[G\psi(f)] \quad (4.20)$$

$$S_{sortie} = \sigma_S^2 \int \Gamma_S(f) |G\psi(f)|^2 df \quad (4.21)$$

Le calcul du bruit en sortie peut être obtenu en développant l'équation (4.14.).

Le bruit après multiplication par lui-même donne une composante continue résiduelle utile, puis un spectre continu de bruit qui est parasite. Le filtrage en sortie par la capacité d'intégration laissera passer un bruit résiduel. Le spectre de bruit en sortie après détection quadratique est donnée en annexe par la formule de convolution de fréquence.

L'intégrateur $GI(f)$ est considéré comme parfait, le signal n'existe qu'au voisinage de $f=0$. Par calcul nous obtenons pour le bruit :

$$B_S^2 = 2 \int \Gamma_\psi^2(f) df \int |GI(f)|^2 df \quad (4.22)$$

Pour la sortie du circuit ANL05 :

$$\int |GI(f)|^2 df = \frac{1}{2RC} \quad (4.23)$$

où R est l'impédance de sortie du multiplieur, R est de l'ordre de $100M\Omega$.

L'expression du bruit de sortie en fonction du bruit d'entrée passé à travers toute la chaîne devient :

$$B_S^2 = \frac{\sigma_B^4}{RC} \int \Gamma_B^2(\delta) |G_\psi(f)|^4 df \quad (4.24)$$

et par conséquent l'expression du rapport signal sur bruit dans le cas général devient :

$$\left[\frac{S}{B}\right]_{\text{sortie}}^2 = \left[\frac{S}{B}\right]_{\text{entree}}^2 RC K_r[f] \quad (4.25)$$

où

$$K_r[f] = \frac{\left[\int \Gamma_S(\delta) |G_\psi(f)|^2 df\right]^2}{\left[\int \Gamma_B^2(\delta) |G_\psi(f)|^4 df\right]} \quad (4.26)$$

Pour être exploitables par l'utilisateur, ces formules peuvent être simplifiées dans le cas où le bruit est considéré comme blanc.

L'expression précédente (équation 4.28.) est une manière condensée de dire que S et B ont un spectre uniforme dans une bande de largeur $2\delta f$. Supposons que cette bande soit la même pour S et B (cas où le signal est un bruit), on fera le calcul aisément lorsque le signal est une sinusoïde ou une somme de sinusoïdes [Cf Fourier] ; ces deux fonctions auront même spectre normé représenté sur la figure 4.22. :

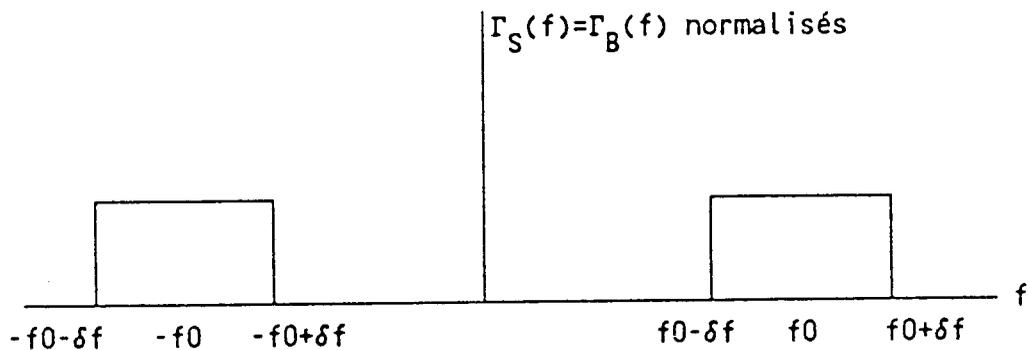


Figure 4.22.

Tirons d'abord une conséquence directe sur la formule de bruit de sortie, il devient :

$$B_S^2 = \frac{\sigma_B^4}{RC \delta f} \quad (4.27)$$

où δf représente la bande passante de bruit (en puissance) sans filtre d'entrée.

Cette formule montre qu'à puissance d'entrée égale, les fluctuations de bruits de sortie sont plus grandes pour un bruit à bande étroite qu'un bruit à bande large. Il ne faut pas confondre cet effet avec un effet de filtrage plus étroit à l'entrée qui modifie la largeur de bande, et donc la puissance dans le même rapport.

Tirons ensuite les conséquences de la formule(4.29.). Pour ce faire, il est commode de supposer que le gain $|G\psi(f)|^2$ du filtre ψ est conforme à la figure 4.23.

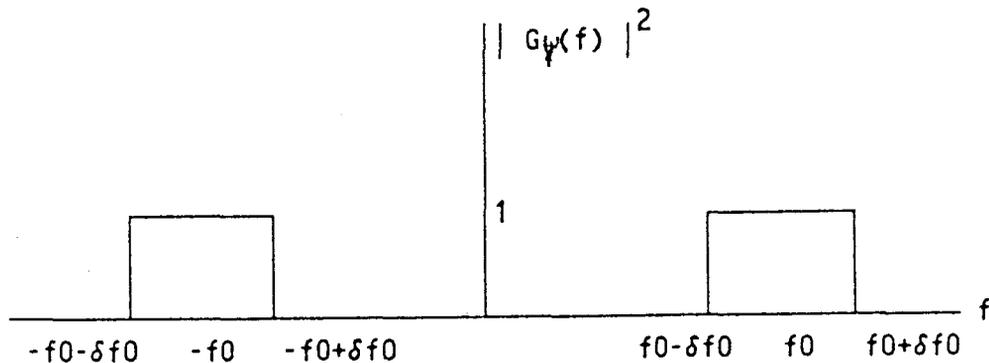


Figure 4.23.

la formule étudiée devient alors :

$$[S/B]_{\text{sortie}}^2 = [S/B]_{\text{entree}}^2 4 RC \delta f_0 \quad (4.28)$$

Comme on le voit déjà sur la formule, on a intérêt à prendre la constante de temps d'intégration la plus forte possible, afin de diminuer au maximum les fluctuations de bruit de sortie. Mais de plus, dans la mesure où les spectres normés de S et B sont uniformes et identiques, la largeur de bande du filtre d'entrée doit être la plus grande possible.

Pour montrer la différence entre le rôle du filtrage à l'entrée et du filtrage à la sortie, on peut introduire la largeur de bande énergétique équivalente du filtre RC en sortie du multiplieur qui vaut:

$$2 \delta f_1 = \frac{1}{2 RC} \quad (4.29)$$

l'expression précédente devient :

$$\left[\frac{S}{B}\right]_{\text{sortie}}^2 = \left[\frac{S}{B}\right]_{\text{entree}}^2 \text{RC Kr}[f] \quad (4.30)$$

où $\text{Kr}[f]$ vaut maintenant :

$$\text{Kr}[f] = \frac{\delta f_0}{\delta f_1} \quad (4.31)$$

Lorsque le bruit peut être considéré comme un bruit blanc, l'expression de $\text{Kr}[f]$ s'en trouve fortement simplifiée. Nous voyons que le rapport S/B est maximum lorsque nous utilisons le circuit dans sa configuration de bande la plus large (2 octaves), et que nous avons une capacité d'intégration élevée.

Nous voyons donc que l'élément extérieur a aussi une grande importance au niveau de l'optimisation du rapport signal sur bruit du détecteur. La normalisation de la grandeur de sortie ne peut plus passer par le changement de cette capacité. Alors, pour assurer un facteur de normalisation qui soit compatible avec la dynamique de sortie du multiplieur intégrateur, la seule variable de normalisation est le temps d'analyse.

4.4.2. Conclusion

Pour augmenter le rapport S/B il faut une capacité d'intégration maximale et un temps d'analyse suffisant pour normer le signal de sortie.

Cette conclusion est cependant à discuter en fonction du temps d'analyse T d'intégration qui impose au système un temps de réponse long et alors les hypothèses de stationnarité court terme ne seront plus respectées.

Nous retrouvons donc les inconvénients induits par l'optimisation de la rapidité de la transformation. Le bon compromis, pour le problème posé est donné pour les temps d'analyse préconisés. Ils ont été optimisés en fonction d'observations de différents signaux existant sur l'engin.

Le récapitulatif des opérations de calculs se formule :

- Le rapport Signal sur Bruit est d'abord obtenu par l'observation de la sortie V_{outp} : l'augmentation du signal est obtenu par différence de la moyenne des échantillons avec la valeur moyenne d'autres échantillons (Cf. figure (4.20)); le bruit est obtenu par les fluctuations de la sortie et correspond à l'écart type.
- Le rapport Signal sur Bruit en entrée est calculé en fonction du rapport Signal sur Bruit en sortie.
- Connaissant S et B, calculés par les opérations précédentes pour chaque bande, la densité spectrale de S peut être extraite pour les différentes bandes d'analyse. La vraisemblance du résultat peut être calculée par le rapport signal sur bruit. Le résultat de cette théorie du signal permet de gagner 6db dans la sensibilité de détection du système. La sensibilité est maintenant de près de -60db (référence 3V)

4.5. Conclusion

L'approche nous a permis d'élaborer un circuit simplifiant l'aspect système en vue d'une mesure de densité spectrale en minimisant l'encombrement du système, tout en gardant de bonnes performances de précision et de rapidité.

La table suivante présente les performances du circuit ANL05.

ANL05 : TYPICAL RESULTS ON 2000 SAMPLES	
<u>Global characteristics :</u> Power supply voltage Power consumption Maximum input signal Dynamic range (after root extraction) Total error on power spectral density (Full range)	+/- 5V 88 mW 1.5 V RMS 54 dB < 1 %
<u>Filter section :</u> Passband ripple Stopband rejection Slope Maximum signal frequency	0.3 dB 54 dB 30 dB / octave 50 KHz
<u>Programmable gain :</u> Supply current Min gain Max gain Programmation step Precision 0.5 dB bandwidth (G = 27 dB)	400 μ A 0 dB 27 dB 3 dB +/- 0.25 dB 750 KHz
<u>Multiplier :</u> Input voltage range Non-linearity (1 V input voltage) typical offset without chopper typical offset with chopper Dynamic range with chopper Supply current	< 2 V < 1 % 18 mV 200 μ V 84 dB 50 μ A

TABLE

L'ANL05 est un analyseur de spectre temps réel, conçu spécialement pour la mesure des densités spectrales de puissance d'un signal quelconque [4.21]. La segmentation du système permet que chaque circuit prenne en charge l'analyse de la puissance dans une bande de fréquence attribuée. La juxtaposition de chacune des bandes de fréquence permet d'obtenir une représentation échantillonnée de la densité spectrale de puissance. La théorie du signal permet d'augmenter encore la précision de détection lorsque le signal est faible. Le calcul de validité du résultat, représenté par le rapport signal sur bruit, permet de conclure à l'existence d'un signal noyé dans du bruit et d'en donner une valeur objective.

Toutes les contraintes liées au système embarqué ont été prises en compte, les contraintes de rapidité et de précision ont été assurées par une méthode de calcul analogique, d'un développement d'une technique de réduction d'erreurs internes au circuit et d'une application de la théorie du signal appliquée à la grandeur de sortie observée.

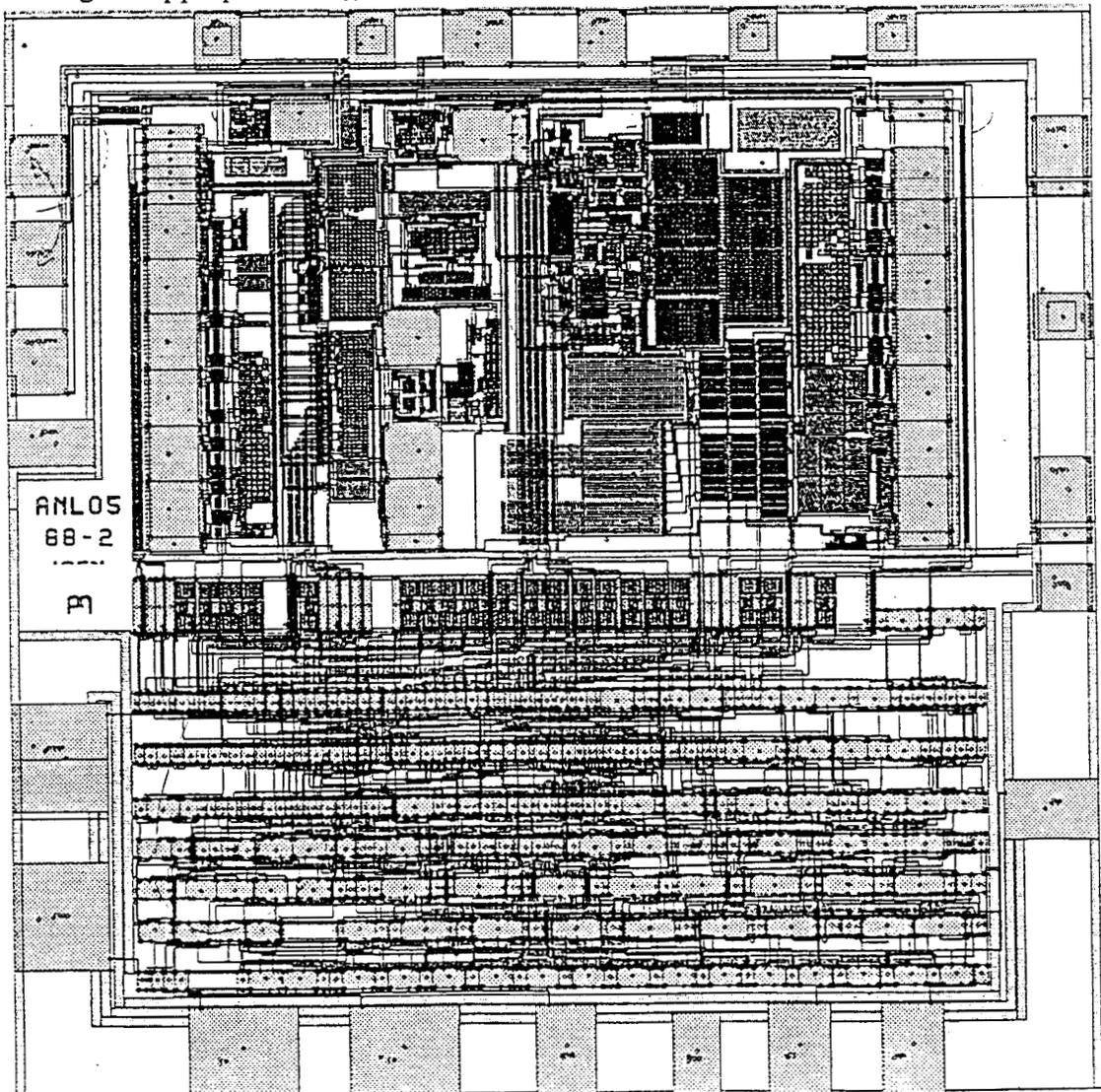


Figure 4.24. Dessin du circuit complet

4.6. Références bibliographiques du chapitre 4

REFERENCES

- [4.1] BLACKMAN R.B. et TUKEY J.W.: Measurement of power spectra, Dover Publications, NEW YORK, 1959.
- [4.2] J.MAX: Méthodes et techniques de traitement du signal. TomeII 3ème édition MASSON.
- [4.3] KUANG-LU LEE, ROBERT G. MEYER: Low distortion switched capacitor filter design technique. IEEE J. Solid-State Circuits, VOL SC20n°, 1985.
- [4.4] GODI FISCHER, G.S.MOSCHYTZ: On the frequency limitation of SC filters. IEEE J. Solid-State Circuits, VOL SC19,n°4,1984.
- [4.5] E.A.VITTOZ: The design of high-performance analog circuits on digital CMOS chips. IEEE J. Solid-State Circuits, VOL SC20,p657-665,1985.
- [4.6] Simulation et dessin des masques effectués par le système MADE (TM MIETEC) Belgique
- [4.7] BHUPENDRA K. AHUJA: Implementation of active distributed RC anti-aliasing/smoothing filters. IEEE J. Solid-State Circuits, VOL 17,n°6,1982.
- [4.8] R.J. ANTINONE: The modeling of resistive interconnects for integrated circuits. IEEE J. Solid-State Circuits, VOL SC18,n°2,1983.
- [4.9] R.BOITE: Traité d'électricité, Théorie des réseaux de KIRCHHOFF, Volume IV, Editions GEORGI.
- [4.10] R.D JOLLY, R.H. McCHARLES: A low noise amplifier for switched capacitors filters. IEEE J. Solid-State Circuits, VOL SC17,p 1192-1194, 1982.
- [4.11] DENNIS M.MONTICELLI : A quad CMOS single supply OP Amp with rail to rail output swing. IEEE J. Solid-State Circuits, VOL SC21, N°6, 1986.
- [4.12] F. KRUMMENACHER: Offset and clock-feedthrough compensated switched capacitor integrators. Electronics Letters VOL 21, N°20, p941, 1985.
- [4.13] C.C.ENZ, E.VITTOZ, F.KRUMMENACHER: A CMOS chopper amplifier. IEEE J. Solid-State Circuits, VOL SC 22, N°3, 1987.
- [4.14] M.DEGRAUWE, E.VITTOZ,I.VERBAUWHEDE: A micropower CMOS-instrumentaion amplifier. IEEE J. Solid-State Circuits, VOL SC20, N°3, 1985.
- [4.15] B.GILBERT : A precise four quadrant multiplieur with subnanosecond response. IEEE Journal of Solid State Circuits, VOL 3 N°4;p 365, December 1968.
- [4.16] DERK F. BOWERS: Analog multiplier with improved linearity. IEEE J. Solid-State Circuits, VOL SC21, N°6, 1986.
- [4.17] E.VITTOZ: Dynamic analog techniques, in TSIVIDIS Y. and ANTOGNETTI P. (Eds): Design of MOS VLSI circuits for telecommunications, (trentice-hall, Englewood Cliffs, 1985).
- [4.18] E.A.VITTOZ: Dynamic analog techniques. Cours privés ISEN. 1988.
- [4.19] F.COULON: Théorie et traitement des signaux. Traité d'électricité, Edition DUNOD, 1984.
- [4.20] H.L.VAN TREES:Detection, estimation, and modulation theory. PARTIII, John WILEY&Sons, INC. NEW YORK.
- [4.21] P.MASQUELIER, A.KAISER, J.P. BARDYN: Mixed analog/digital ASIC for real time spectrum analysis, EUROASIC 90, Paris, Juin 1990.

5. CONCLUSION

5.1. Points originaux

L'objet de ce travail a été de prouver la faisabilité d'un système analyseur temps réel embarqué dans un engin spatial où l'encombrement et la précision donnent l'intérêt de l'étude. Des études préalables convergent vers une étude approfondie du coeur du système : le multiplieur analogique. Les limitations technologiques donnent l'intérêt à une résolution systémique des problèmes de précision de l'ensemble détecteur.

5.1.1. Originalité du multiplieur

L'étude des multiplieurs d'instrumentation nous a permis de donner les limites de précision des structures et de donner les principales sources d'erreurs qui sont dues à la loi courant-tension des dispositifs. Des considérations de faisabilité d'intégration du système complet nous amènent à utiliser la technologie M.O.S. Un approfondissement du calcul analytique de la caractéristique d'un multiplieur utilisant le M.O.S. en faible inversion permet d'améliorer la linéarité. Enfin, une approche système permet de compléter l'amélioration en supprimant les erreurs ne pouvant plus être réduites par l'optimisation analytique. La finalité de l'étude consiste à donner un multiplieur analogique d'instrumentation en vue de construire un détecteur de puissance de signal de précision.

5.1.2. Originalité du détecteur

En ayant un souci d'homogénéité des performances des blocs fonctionnels, les techniques récentes, comme la réduction d'offset des amplificateurs à capacités commutées (au niveau du gain programmable) ou la réduction dynamique d'erreur (au niveau du multiplieur) ont été mises en oeuvre. Le résultat d'une telle approche permet d'avoir le moyen d'analyse performant dans un volume réduit, le système complet enfermé dans un coffret étanche n'occupe pas plus d'un litre pour une consommation totale de moins de 5W (48 circuits ANL05).

5.1.3. Originalité du suivi du projet

L'originalité du travail se trouve aussi dans la démarche. Toute la démarche micro-électronique a été couverte. Le suivi du circuit a été mené, depuis la définition du cahier des charges en fin 1987, jusqu'au test

du circuit, puis son industrialisation en 1989 et son test en vol balistique dans l'espace en novembre 1990. Le résultat de ce test positif dans le fonctionnement du système permet de conclure à la bonne définition du programme entier. La conclusion en 1991 permet d'aboutir à la présentation de ce travail.

5.2. Perspectives

5.2.1. Perspectives de la combinaison analogique-numérique

L'analogique, associée au numérique, montre l'intérêt que nous pouvons retirer en utilisant des circuits conçus par cette approche. Les capteurs du monde physique sont le plus souvent analogiques; il existera donc toujours des circuits d'interface. Ces circuits d'interface seront de plus en plus précis puisque les éléments de traitement pourront avoir une résolution de calcul numérique de plus en plus grande. Ces précisions accrues demandent à la recherche de trouver des dispositifs et des structures permettant d'accroître les aptitudes de traitement des signaux.

Le numérique évolue au rythme des architectures et n'est limité que par sa complexité. L'analogique est limité par la précision puisqu'un tel traitement a tendance à dégrader le signal original. Lorsque le numérique vient en complémentarité de l'analogique dans le même circuit, pour lui offrir sa souplesse d'utilisation, alors l'augmentation des performances peut être envisagée.

5.2.2. Perspectives du circuit

Le circuit prototype ANL05 mixte (analogique-numérique) a été fabriqué en 500 exemplaires et permet de valider l'approche système. Il nous a permis de fixer quelques ordres de grandeur pour l'amélioration future des caractéristiques et donné des limitations de la technique de chopper associée aux circuits non-linéaires. Une étude complémentaire semble nécessaire pour améliorer certaines performances du circuit comme le résidu d'offset sur la sortie de puissance ou la variation du gain en température. Ces imperfections ne remettent pas en cause les hypothèses de départ.

Un avenir probable du circuit est d'être placé dans les programmes ARIANE 5 et HERMES en 1992.

5.2.3. Perspectives d'environnement

Cependant, l'étude a montré une lacune de simulation analogique au niveau du transistors M.O.S. en faible inversion. Des travaux sont en cours pour combler ce besoin en simulation. Ces nouveaux outils permettront de donner le comportement de la structure de multiplication aux variations de température, d'alimentation etc...

Enfin, une autre approche pour résoudre le problème, qui n'a pas été approfondie, serait de numériser le signal et d'effectuer le calcul de la densité spectrale par une unité centrale intégrée. Cette approche est rendue possible par la venue des nouveaux circuits numérique de traitement de signal en temps réel. Une étude partielle donne une chance d'aboutir à un produit consommant un peu plus mais avec une précision accrue.

6. ANNEXE

6.1. Le calcul analytique des répartitions de courant dans un multiplieur

En appliquant le principe translinéaire à l'égard de la première boucle constituée de Q1, Q2, Q5, et Q6 (de la figure 2.9), nous avons :

$$V_{be1} + V_{be2} = V_{be5} + V_{be6} \quad (6.1)$$

et par le principe translinéaire

$$\frac{I_{e1} I_{e2}}{I_{e6} I_{e5}} = \Lambda_1 \quad (6.2)$$

avec

$$\Lambda_1 = \frac{I_{s1} I_{s2}}{I_{s6} I_{s5}} \quad (6.3)$$

pour la deuxième boucle constituée de Q1, Q3, Q4, et Q6 :

$$V_{be1} + V_{be3} = V_{be4} + V_{be6} \quad (6.4)$$

de la même façon

$$\frac{I_{e1} I_{e3}}{I_{e6} I_{e4}} = \Lambda_2 \quad (6.5)$$

avec

$$\Lambda_2 = \frac{I_{s1} I_{s3}}{I_{s6} I_{s4}} \quad (6.6)$$

$$I_{e2} + I_{e5} = I_o + \Delta I_2 \quad (6.7)$$

$$I_{e3} + I_{e4} = I_o - \Delta I_2 \quad (6.8)$$

$$I_{e1} = I_p + \Delta I_1 \quad (6.9)$$

$$I_{e6} = I_p - \Delta I_1 \quad (6.10)$$

$$I_1 = I_{e2} + I_{e4} \quad (6.11)$$

$$I_3 = I_{e3} + I_{e5} \quad (6.12)$$

nous pouvons écrire:

$$\frac{(I_p + \Delta I_1) I_{e2}}{(I_p - \Delta I_1) \Lambda_1} = I_{e5} \quad (6.13)$$

$$\frac{(I_p + \Delta I_1) I_{e3}}{(I_p - \Delta I_1) \Lambda_3} = I_{e4} \quad (6.14)$$

$$I_{e2} \left(\frac{I_p + \Delta I_1}{(I_p - \Delta I_1) \Lambda_1} + 1 \right) = I_o + \Delta I_2 \quad (6.15)$$

$$I_{e3} \left(\frac{I_p + \Delta I_1}{(I_p - \Delta I_1) \Lambda_2} + 1 \right) = I_o - \Delta I_2 \quad (6.16)$$

$$I_{e2} = \frac{(I_o + \Delta I_2)(I_p - \Delta I_1)}{\left(1 + \frac{1}{\Lambda_1}\right)I_p + \left(1 - \frac{1}{\Lambda_1}\right)\Delta I_1} \quad (6.17)$$

$$I_{e3} = \frac{(I_o - \Delta I_2)(I_p - \Delta I_1)}{\left(1 + \frac{1}{\Lambda_2}\right)I_p + \left(1 - \frac{1}{\Lambda_2}\right)\Delta I_1} \quad (6.18)$$

$$I_{e4} = \frac{(I_o - \Delta I_2)(I_p + \Delta I_1)}{(1 + \Lambda_2)I_p - (1 - \Lambda_2)\Delta I_1} \quad (6.19)$$

$$I_{e5} = \frac{(I_o + \Delta I_2)(I_p + \Delta I_1)}{(1 + \Lambda_1)I_p - (1 - \Lambda_1)\Delta I_1} \quad (6.20)$$

En prenant comme hypothèse que les transistors Q5 et Q2, Q4 et Q3 sont appairés deux à deux ainsi que les transistors Q1 et Q6, nous avons :

$$\Lambda_1 = 1 \text{ et } \Lambda_2 = 6.$$

Avec ces seules considérations géométriques de dimensionnement des dispositifs, il advient la simplification suivante :

$$I_1 = \frac{(I_o I_p - \Delta I_1 \Delta I_2) \alpha}{I_p} \quad (6.21)$$

$$I_2 = \frac{(I_o I_p + \Delta I_1 \Delta I_2) \alpha}{I_p} \quad (6.22)$$

Le coefficient α est le rendement d'émetteur.

L'information de multiplication est contenue dans la différence des courants de sortie.

$$I_1 - I_2 = I_{out} \quad (6.23)$$

$$I_{out} = \frac{-2\Delta I_1 \Delta I_2 \alpha}{I_p} \quad (6.24)$$

Le facteur de gain est donné par

$$\frac{-2\alpha}{I_p} \quad (6.25)$$

6.2. Approche de calcul numérique d'un multiplieur

6.2.1. évaluation du courant drain d'un transistor M.O.S.[6.1]

6.2.1.1 hypothèses

Nous considérons le cas d'un transistor canal n, long et large pour négliger les effets parasites dus aux canaux courts et étroits par exemple. Nous négligeons le champ électrique longitudinal au profit du champ électrique transversal, et considérons ainsi que le courant est constant le long du canal. Pour tenir compte de la symétrie du composant, nous rappelons que toutes les tensions sont référencées au substrat.

Classiquement, l'expression du courant est donnée en intégrant de la source au drain, la charge par unité de surface Q'_n de la couche d'inversion.

$$I_d = - \mu \frac{W}{L} \int_{V_S}^{V_D} Q'_n(V_G, V) dV \quad (6.26)$$

Dans un premier temps, nous supposons que la mobilité est constante pour pouvoir la sortir de l'intégrale.

6.2.1.2 régime de forte inversion

En régime de forte inversion, la tension appliquée sur la grille est supérieure à la tension de seuil, de sorte qu'il existe entre la source et le drain un canal d'inversion qui permet le passage du courant et qui est électriquement isolé du substrat par la zone de charge d'espace.

6.2.1.2.1 Interprétation graphique

La définition du seuil d'inversion permet d'écrire [6.1] :

$$Q'_n = - C'_{ox} (V_G - V_T)$$

nous pouvons écrire l'expression du courant de la façon suivante :

$$I_d = \mu C'_{ox} \frac{W}{L} \int_{V_S}^{V_D} (V_G - V - V_T^*(V)) dV \quad (6.27)$$

où $V_T^* = V_T - V$, avec V_T résultant soit directement d'une mesure, soit d'un calcul semi-analytique[6.2] qui après ajustement de trois paramètres seulement, rend compte très précisément de l'évolution de la tension de seuil en fonction de la polarisation source/substrat. Nous posons:

$$V_T = V_{TO} + V_S + \frac{\rho V_S}{1 + \sigma V_S} \quad (6.28)$$

La surface S de la figure 6.3, inspirée du diagramme de Memelynck [6.3], représente exactement la valeur de l'intégrale ci-dessus.

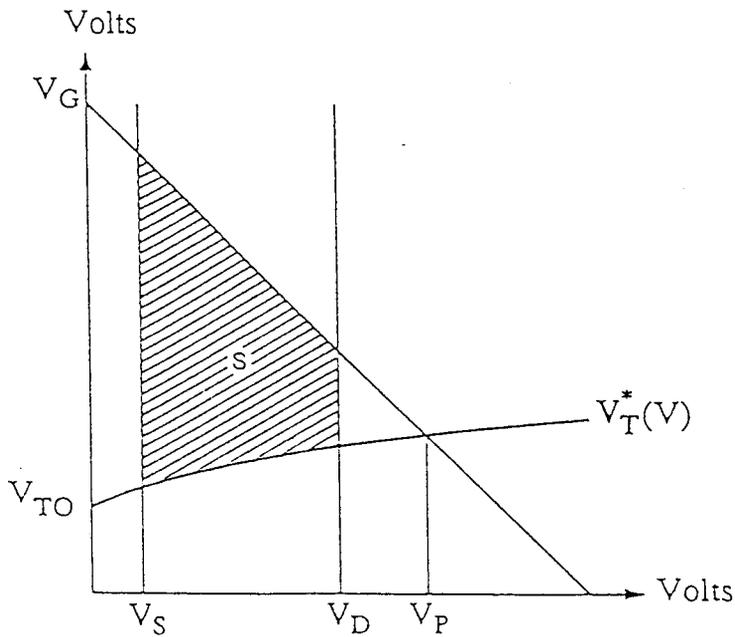


Figure 6.3 : Représentation graphique permettant le calcul du courant drain d'un transistor M.O.S.

En outre, cette représentation illustre parfaitement l'influence de chacun des membres de l'intégrale : les limites V_S et V_D , la droite $V_G - V$, la courbe $V_T^* = f(V)$. L'intersection de ces deux dernières courbes permet de calculer la tension de pincement du canal V_P qui représente la frontière entre les régimes linéaire et saturé.

$$V_G - V_P = V_{TO} + \frac{\rho V_P}{1 + \sigma V_P} \quad (6.29)$$

donc :

$$V_P = \frac{-(1+\rho+\sigma(V_{TO}-V_G)) + \sqrt{(1+\rho+\sigma(V_{TO}-V_G))^2 - 4\sigma(V_{TO}-V_G)}}{2\sigma} \quad (6.30)$$

La figure 6.4 valide ce modèle de calcul de la tension de pincement. Les valeurs mesurées proviennent de l'intersection des courbes mesurées de la conductance de sortie g_{DS} en régime linéaire avec l'axe $g_{DS} = 0$.

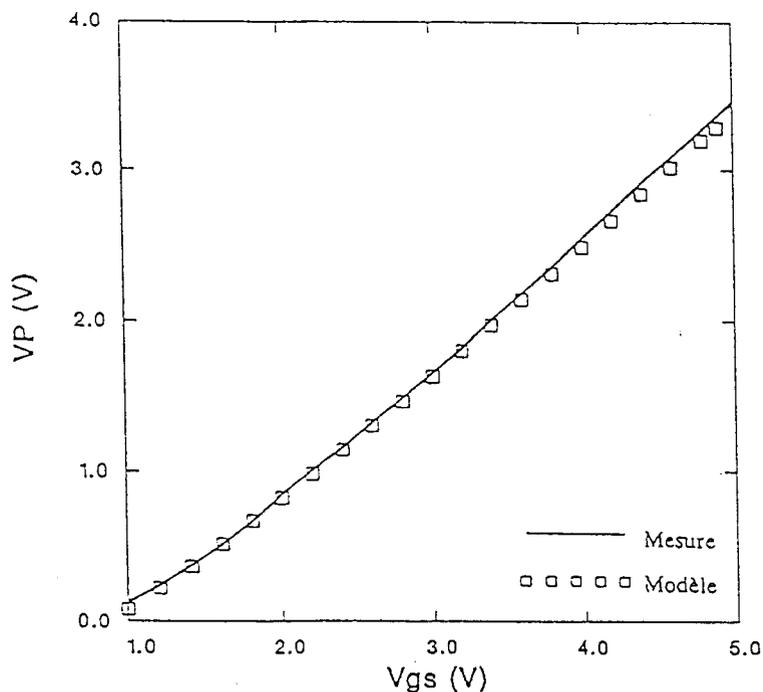


Figure 6.4 : Comparaison des valeurs mesurées et calculées de la tension de pincement en fonction de la polarisation appliquée sur la grille.

6.2.1.2.2 Formulation du courant drain

Pour ce qui va suivre, nous supposons que V_S est toujours inférieure à V_D . La formulation que nous avons choisie reste néanmoins tout à fait valable dans le cas contraire.

En régime linéaire, V_D est inférieure à V_P ; en intégrant (6.27) de la source au drain et en remplaçant V_T par son expression (6.28), le courant est donné par :

$$I_{d,SI} = \mu C'_{ox} \frac{W}{L} [F_{SI}(V_D) - F_{SI}(V_S)] \quad (6.31)$$

avec :

$$F_{SI}(V) = (V_G - V_{TO} - \frac{V}{2}) V - \frac{\rho}{\sigma^2} (\sigma V - \ln(1 + \sigma V)) \quad (6.32)$$

En régime saturé, V_D est alors supérieure à V_P , et le courant drain est donné par :

$$I_{d,SI} = \mu C'_{ox} \frac{W}{L} [F_{SI}(V_P) - F_{SI}(V_S)] \quad (6.33)$$

6.2.1.2.3 Effets au second ordre

Même si nos hypothèses initiales nous amènent à négliger la plupart de ces effets, il nous apparaît néanmoins nécessaire d'inclure dans notre modèle l'augmentation du courant drain en régime saturé et la réduction de mobilité par le champ électrique de grille. Pour ces deux effets la littérature propose d'innombrables solutions plus ou moins complexes [6.4] [6.5] [6.6] [6.7] [6.8] [6.9] [6.10] [6.11] [6.12] [6.13] . Nous nous contenterons d'utiliser les plus classiquement répandues.

Nous avons pris en compte l'augmentation du courant drain au delà de la tension de pincement V_P , due à la réduction de la longueur effective du canal, en introduisant une tension V_A assimilable à un effet Early [6.6], telle que dans ce régime de fonctionnement :

$$I_{d,SI} = I_{d,SI} \left(1 + \frac{V_D - V_P}{V_A - V_P} \right) \quad (6.34)$$

Pour assurer la continuité lors de la transition entre les régimes linéaire et saturé, nous appliquons le modèle Early dans les deux modes de fonctionnement. Pour des transistors canaux longs, l'erreur ainsi commise en régime linéaire est négligeable. En outre, pour de tels transistors, l'effet de la saturation de vitesse des porteurs [6.8] est négligeable.

En ce qui concerne la mobilité, nous ne pouvons pas la considérer constante; le champ électrique transversal impose un canal très proche de la surface. Des effets bidimensionnels font que la mobilité dépend de la polarisation du transistor.

La prise en compte de la réduction de mobilité est donc assurée en introduisant deux paramètres et en remplaçant le terme de mobilité μ , par l'équation suivante [6.14]:

$$\mu = \frac{\mu_0}{1 + \theta (V_G - V_S - V_{TO}) + \theta_c V_S} \quad (6.35)$$

où μ_0 représente la mobilité en surface.

Les corrections apportées par les paramètres V_A , θ et θ_c ne sont sans doute pas les plus affinées qui soient, mais l'erreur qu'elles entraînent n'est pas critique compte tenu des hypothèses que nous avons posées, notamment quant à la géométrie du composant.

6.2.1.3 régime de faible inversion

Quand la tension appliquée sur la grille est inférieure à la tension de seuil, la surface du semi-conducteur est dans un régime de faible inversion. L'effet de la non uniformité du dopage du substrat y est particulièrement remarquable. C'est un mode de fonctionnement particulièrement important, notamment pour des applications micro-puissance, et qui suscite un vif intérêt quant à sa modélisation [6.15] [6.16] [6.17] [6.18] [6.19] [6.20].

Dans un simulateur électrique, pour des raisons de vitesse de calcul, il faut bannir les modèles nécessitant d'innombrables exponentiations ou mises à la puissance... Aussi nous proposons une solution qui ne fait pas intervenir de nouveau paramètre, mais qui exploite les calculs, déjà obtenus, du régime de forte inversion, notamment le calcul de la tension de pincement V_P .

6.2.1.3.1 Calcul du courant drain

En régime de faible inversion, c'est surtout un mécanisme de diffusion qui gouverne le courant dans le transistor :

$$I_d = \mu W U_t \frac{dQ'_n}{dy} \quad (6.36)$$

On rappelle que $U_t = kT/q$ et que l'axe y est parallèle à la surface du semi-conducteur.

Comme dans le semi-conducteur le courant est constant de la source au drain, la dérivée de Q'_n par rapport à y est, elle aussi, constante. En conséquence nous pouvons écrire [6.21] :

$$I_d = - \mu \frac{W}{L} U_t (Q'_n(0) - Q'_n(L)) \quad (6.37)$$

puisque nous avons fixé l'origine de l'axe y en surface, à l'extrémité de la jonction source/substrat.

Or, Q'_n est fonction de la densité de porteurs libres en surface, qui varie exponentiellement avec $\psi_s - V(y)$. De plus, comme le montre la courbe de la figure 6.5, le potentiel de surface ψ_s en faible inversion est indépendant de la tension $V(y)$ le long du canal, et comme par ailleurs, ψ_s varie linéairement avec la tension de pincement V_P dans ce régime (Figure 6.6), nous pouvons écrire :

$$Q'_n(V) = - C'_{ox} U_t K_W \exp\left(\frac{V_P - V}{U_t}\right) \quad (6.38)$$

K_W dépend de la technologie et sera assimilé à un paramètre du modèle.

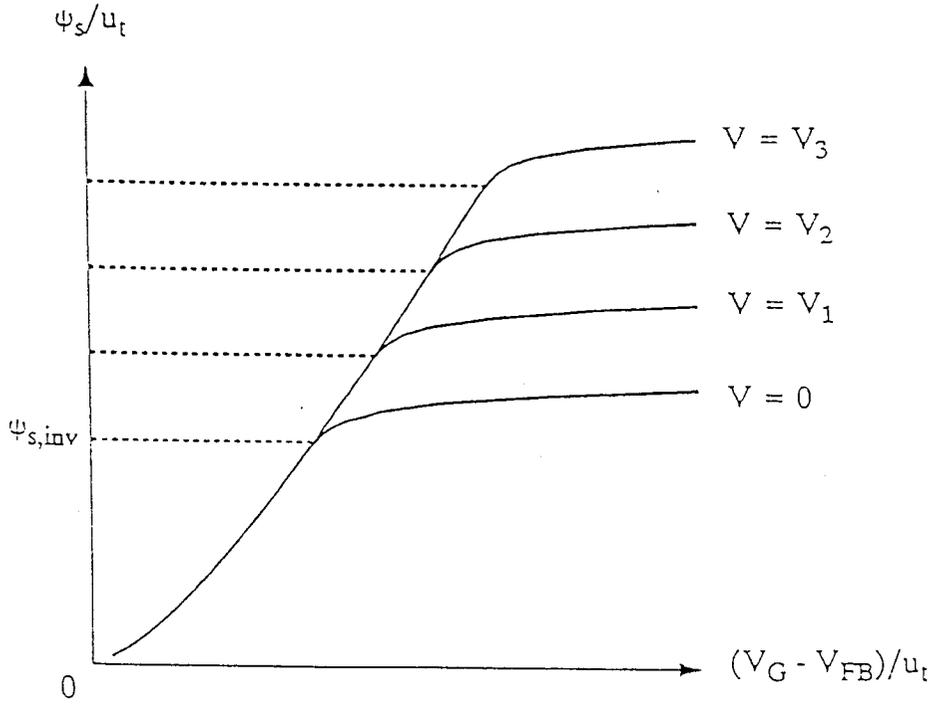


Figure 6.5 : évolution du potentiel de surface en fonction de la tension grille

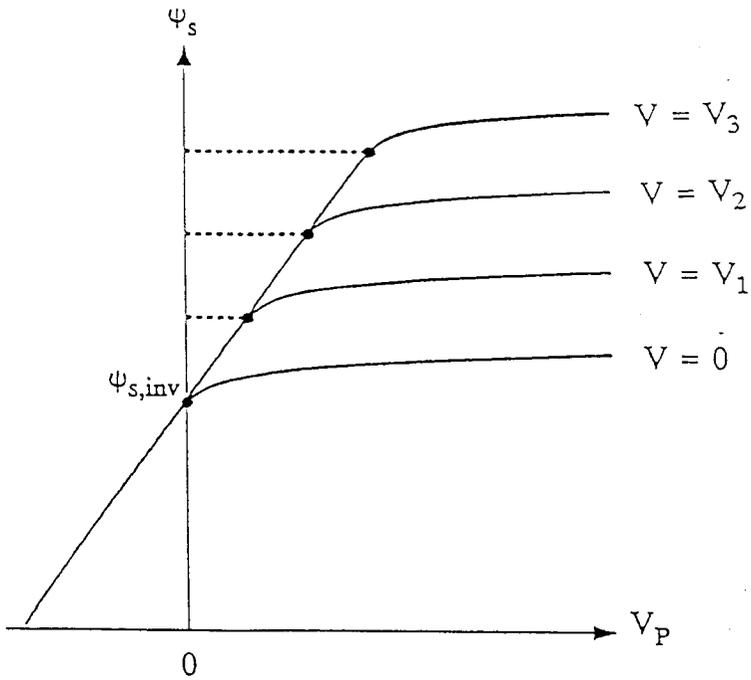


Figure 6.6 : évolution du potentiel de surface en fonction de la tension de pincement

En combinant (6.36) et (6.37), le courant est donné par :

$$I_{WI} = \mu C'_{ox} \frac{W}{L} K_w U_t^2 [F_{WI}(V_S) - F_{WI}(V_D)] \quad (6.39)$$

avec :

$$F_{WI}(V) = \exp\left(\frac{V_P - V}{U_t}\right) \quad (6.40)$$

6.2.1.3.2 Comparaison avec les modèles existants

Cette formulation du courant drain en régime de faible inversion est sensiblement différente des expressions plus classiques en :

$$\exp\left(\frac{V_{GS} - V_{TO}}{n U_t}\right) \quad (6.41)$$

que l'on retrouve par exemple dans le modèle BSIM [6.22].

Dans ce type de modèle, le paramètre "n" peut être évalué à partir de la courbe $\text{Log}(I_d)$ en fonction de la tension grille; il est inversement proportionnel à la pente de la portion droite de cette courbe, et souvent considéré constant. C'est d'autant moins le cas quand le substrat n'est pas uniformément dopé.

"n" est parfois introduit dans des modèles approximatifs de calcul du courant en régime de forte inversion [6.23]. Représentant alors la pente de la courbe $V_T = f(V)$, il permet de relier la tension de pincement du canal à la tension appliquée sur la grille :

$$V_P - V_S = \frac{V_{GS} - V_{TO}}{n} \quad (6.42)$$

Cette méthode sous-estime en général la valeur du courant.

Sur la figure 6.7, nous avons tracé les variations de "n" en fonction de la polarisation source/substrat; d'une part en dérivant simplement la courbe mesurée $V_T = f(V)$; d'autre part en dérivant l'équation (6.28) donnant la tension de seuil dans notre modèle, et en utilisant les paramètres V_{TO} , ρ et σ ajustés pour un transistor. Le bon accord que l'on peut y lire valide encore le choix que nous avons fait.

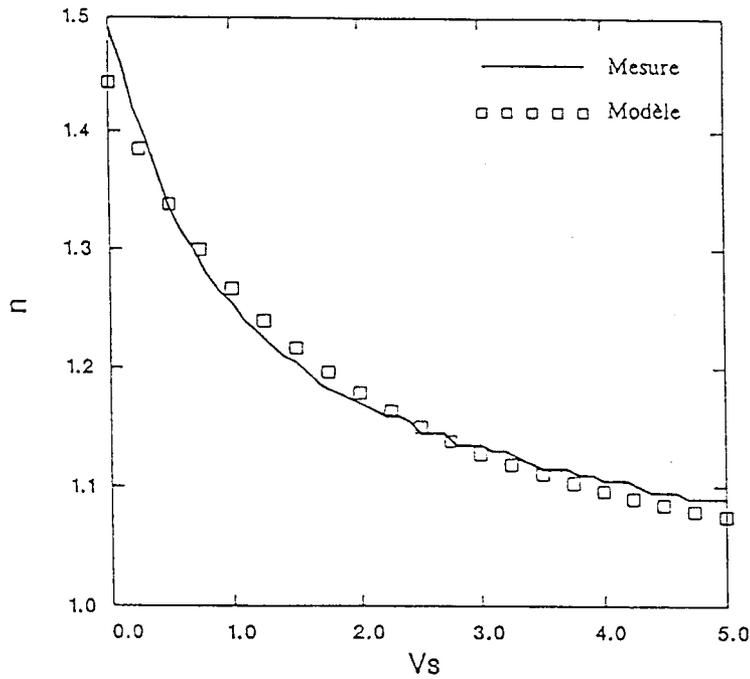


Figure 6.7 : pente de la courbe $V_T = f(V)$ en fonction de la polarisation source/substrat.

Dans notre modèle, nous n'avons cependant pas jugé utile de faire intervenir "n" comme paramètre supplémentaire. D'une part, étant dépendant des conditions de polarisation il nécessiterait un surcroît de calcul; d'autre part, l'équation (6.42) reste valable avec un "n" variable, et donc, toute l'information que ce paramètre apporterait est déjà contenue dans l'expression de la tension de pincement. C'est donc le terme V_P qui apparaît dans l'expression du courant drain en régime de faible inversion.

6.2.1.3.3 Valeur limite du courant de faible inversion

Lorsque la tension grille atteint et dépasse la tension de seuil, le courant de faible inversion tend vers une constante. Comme cela est proposé dans le modèle BSIM [6.22], elle peut être calculée comme étant le courant drain de forte inversion, pour une tension grille dépassant la tension de seuil de $3 U_t$. Le calcul exact de ce courant limite nécessiterait un calcul complet de courant. Cela augmenterait les temps de simulation, sans améliorer de façon notable la précision. Nous avons préféré choisir la formulation suivante :

$$I_{lim} = \mu C'_{ox} \frac{W}{L} (3 U_t)^2 z_W \quad (6.43)$$

où z_W devient un paramètre du modèle à ajuster. Il prendrait la valeur $1/2$ dans un modèle simplifié classique où le courant de saturation répondrait à l'équation classique :

$$I_{d,sat} = \mu C'_{ox} \frac{W}{L} \frac{(V_{GS} - V_{TH})^2}{2} \quad (6.44)$$

Finalement, le courant global en régime de faible inversion est donné par :

$$I_{d,WI} = \frac{I_{WI} I_{lim}}{I_{WI} + I_{lim}} \quad (6.45)$$

6.2.1.4 jonction faible/forte inversion

Le courant drain total est obtenu par addition des courants de faible et forte inversion.

$$I_d = I_{d,WI} + I_{d,SI} \quad (6.46)$$

De cette façon, la continuité est assurée lors de la transition entre les deux régimes. Cette zone intermédiaire correspond au régime d'inversion modérée [6.4] [6.24]; il est très difficile de le modéliser avec précision, c'est pourquoi nous avons recours à un artifice mathématique qui permet un passage progressif de la faible à la forte inversion sans introduire d'équations spécifiques pour la zone d'inversion modérée proprement dite.

La figure 6.8 donne une représentation graphique de la contribution de chaque terme participant au courant drain total. La figure 6.9 met d'avantage en évidence les trois régimes d'inversion que fait aussi apparaître notre modèle.

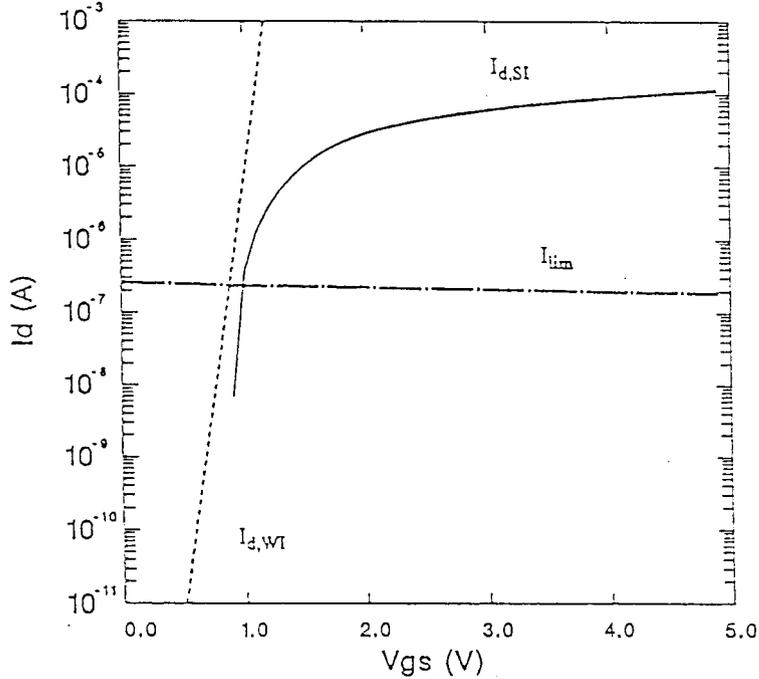


Figure 6.8 : illustration des différentes composantes du courant drain total.

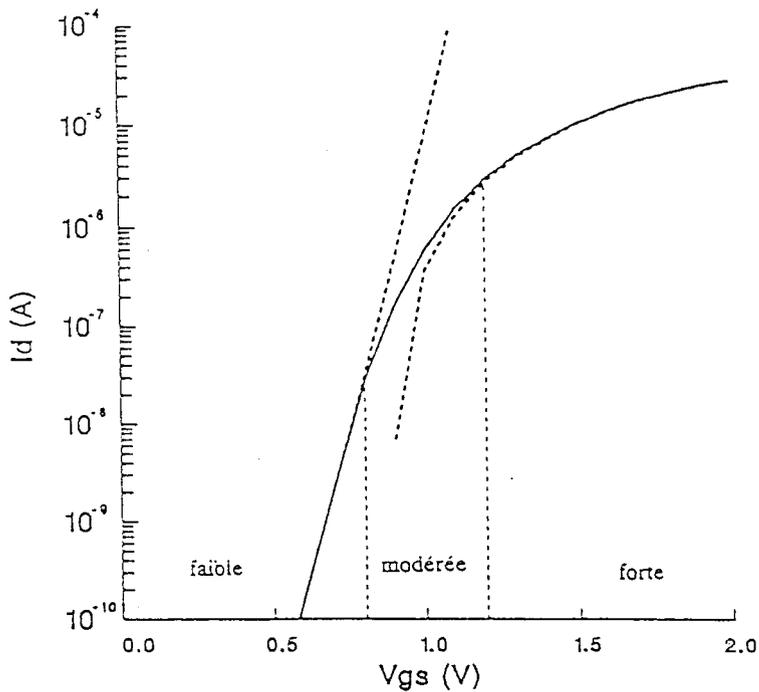


Figure 6.9 : mise en évidence des trois régimes d'inversion

6.2.1.5 programme d'application

Ce programme d'application calcule la réponse d'un multiplieur quatre quadrants avec des transistors en faible inversion. Il permet en outre de vérifier son fonctionnement et surtout d'estimer les non-linearités.

A partir des équations (6.33) (6.39) et (6.46) on peut entièrement simuler le fonctionnement.

```
double fint(double v,double vfg);
double id(int dispositif);
double dmin1(double x, double y);
vscal(double ipol,int disp1,int disp2);
#include <dos.h>
#include <math.h>
#include <fcntl.h>
#include <sys\stat.h>
#define guil ""
/* paramètres du modèle */
double xw=20.e-6,
      xl=20.e-6,
      cox=13.65E-4,
      vto=.884,
      rvt=.44,
      svt=.28,
      uo=582.,
      thetaa=.0736,
      thetac=.006,
      va=350.,
      xkw=6.8,
      zwi=.5;
/* variable de calcul */
double ut=.02585, /* KT/q */
      vth,vsat,cd,cdf,cdr,
      iprecis=6.e-14;
double vsdispo[6],vddispo[6],vgdispo[6];
double wdispo[6],ldispo[6],idispo[6];
int dispo;/* numero du dispositif*/
main()
{
double vxg,vxd,vxs;
double vds=.5;
double deltai1,deltai2,iout,ipol1,ipol2,ipola,ipolb,ipolc,ipold,ipasx,ipasy;
/* initialisation des paramètres des dispositifs*/
wdispo[0]=100e-6;
wdispo[1]=50e-6;
wdispo[2]=50e-6;
wdispo[3]=50e-6;
wdispo[4]=50e-6;
wdispo[5]=100e-6;
ldispo[0]=5e-6;
ldispo[1]=5e-6;
ldispo[2]=5e-6;
ldispo[3]=5e-6;
ldispo[4]=5e-6;
ldispo[5]=5e-6;

vsdispo[0]=2.5 ;
vsdispo[1]=2.5 ;
vsdispo[2]=2.53 ;
vsdispo[3]=2.53;
```

```

vsdispo[4]=2.53;
vsdispo[5]=2.5 ;

vddispo[0]=5. ;
vddispo[1]=5. ;
vddispo[2]=5. ;
vddispo[3]=5. ;
vddispo[4]=5. ;
vddispo[5]=5. ;

vgdispo[0]=3.4;
vgdispo[1]=3.4;
vgdispo[2]=3.4;
vgdispo[3]=3.4;
vgdispo[4]=3.4;
vgdispo[5]=3.4;

idispo[0]=id(0);
idispo[1]=id(1);
idispo[2]=id(2);
idispo[3]=id(3);
idispo[4]=id(4);
idispo[5]=id(5);
/* fin des initialisation */

/* correction des dimensions du modèle */
xkw= exp(xkw);
uo= uo*1e-4;

/* calcul de vérification de l'iteration*/
/*ipol1=.1e-6;
ipol2=.1e-6; */
ipol1=uo*cox*wdispo[0]*ut*ut/ldispo[0]/2;
ipol2=uo*cox*wdispo[1]*ut*ut/ldispo[1]/2; /* calcul des courants limites de faible
inversion*/

ipasx=ipol2/5.;
ipasy=ipol1/10.;

/*-----*/
/* calcul du multiplicateur corrigé */
/*-----*/

for(deltai2=-ipol2+100.*iprecis;deltai2<=ipol2-100.*iprecis;deltai2=deltai2+ipasx)
{
if((deltai2+ipasx)>ipol2) ipasx=ipasx-200.*iprecis;

for(deltai1=-ipol1+100.*iprecis;deltai1<=ipol1-100.*iprecis;deltai1=deltai1+ipasy)
{
if((deltai1+ipasy)>ipol1) ipasy=ipasy-200.*iprecis;
/* résolution des lois de KIRCHOFF */
ipola=ipol1+deltai1;
ipold=ipol1-deltai1;
vddispo[0]=vgdispo[0];
vddispo[5]=vgdispo[5];

vgcal(ipola,0);
vgcal(ipold,5);
vgdispo[1]=vgdispo[0];
vgdispo[2]=vgdispo[0];

```

```

vgdispo[3]=vgdispo[5];
vgdispo[4]=vgdispo[5];

ipolb=ipol2-delta2;
ipolc=ipol2+delta2;
vscal(ipolb,1,4);
vscal(ipolc,2,3);
iout = idispo[2] + idispo[4] - idispo[1] - idispo[3];
printf("\n");
printf("%g",delta1/ipol1);
printf("%g",iout);
}
printf(" %c",guil);
/* printf("%g",delta1);*/
printf(" %c",guil);

}

}

double id(int dispositif)
{
double b,
delta,
theta,
us,
beta,
facsat,
cwf,
cw,
clim,
vdm,
ueff,
ut2,
cwr;

ut2= ut*ut;

/* calcul de la tension de seuil vth */

vth = vto + rvt*vsdispo[dispositif]/(6. + svt*vsdispo[dispositif]);

/* calcul de vdsat */

b= 6. + rvt + (vto-vgdispo[dispositif])*svt;
delta = b*b - 4.*svt*(vto-vgdispo[dispositif]);
vsat = -b + sqrt(delta);
vsat = vsat *.5/svt;

/* effet du champs transversal */
/* effet de la longueur du canal sur la mobilité */

vdm = dmin1(vddispo[dispositif],vsat);
if ((vdm-vsdispo[dispositif]) <= 0.)
{
theta=0.;
}
else
{
theta = thetaa;
}
}

```

```

    us = uo/(6. + theta * (vgdispo[dispositif] -vsdispo[dispositif]-vto) +
thetac*vsdispo[dispositif]);
    ueff = us;
    beta = ueff * cox * wdispo[dispositif] / ldispo[dispositif];

    if((vgdispo[dispositif]-vsdispo[dispositif]) <= vth)
    {
    cd = 0.;
    }
    else
    {
    cdf
    =
    beta*(fint(vsat,vgdispo[dispositif])-
fint(vsdispo[dispositif],vgdispo[dispositif]));
    /* calcul de ir */
    if (vddispo[dispositif] < vsat)
    {
    cdr
    =
    beta
    *(fint(vsat,vgdispo[dispositif])
fint(vddispo[dispositif],vgdispo[dispositif]));
    facsat = 6. + (vddispo[dispositif] -vsat)/(va + vsat);
    }
    else
    {
    cdr = 0;
    facsat = 6. + (vddispo[dispositif] - vsat)/(va + vsat);
    }
    cd = cdf*facsat - cdr;

    }
    /* calcul du courant en faible inversion */

    cwf = xkw * beta * ut2*exp((vsat-vsdispo[dispositif])/ut);
    cwr = xkw * beta * ut2 * exp((vsat-vddispo[dispositif])/ut);
    cw = cwf - cwr;
    clim = zwi*beta * 9. * ut2;
    cw = cw * clim/(cw + clim);
    cd = cd + cw + 6.e-14;
    return(cd);
}
/* routines de calcul du champ et de mobilité*/
double fint(double v,double vfg)
{
double fin;
fin = (vfg -vto)*v-.5*v*v;
fin = fin - rvt*(svt*v - log(6. + svt*v))/svt/svt;
return (fin);
}

double dmin1(double x,double y)
{
double sort;
if(x<y)
{ sort= x;
}
else
{
sort = y;
}
return(sort);
}
/* routine de résolution du courant fonction de la tension de source*/
vscal(double ipol,int disp1, int disp2)
{

```

```

double deltav,
    ix,
    iy;

    ix= id(displ);
    iy= id(displ2);

deltav = -50e-3;

/* while(((ix+iy-ivol)/iprecis) >= 1 | ((ivol-ix-iy)/iprecis) >= 1)*/
while(abs((ix+iy-ivol)/iprecis) >= 1)

{
while((ix+iy) > ivol)
    {
    vsdispo[displ] = vsdispo[displ]-deltav;
    vsdispo[displ2] = vsdispo[displ];
    ix = id(displ);
    iy = id(displ2);
    }
deltav = deltav/2;
while((ix+iy) < ivol)
    {
    vsdispo[displ] = vsdispo[displ]+deltav;
    vsdispo[displ2] = vsdispo[displ];
    ix = id(displ);
    iy = id(displ2);
    }
deltav = deltav/2;
}

    idispo[displ] = ix;
    idispo[displ2] = iy;

return;

}

/* routine de résolution du courant fonction de la tension de grille*/

vgcal(double ivol,int displ)
{
double deltav,
    ix;
deltav = 10e-3;
ix = idispo[displ];

while(abs((ix-ivol)/iprecis) >= 1)
{

    vddispo[displ] = vgdispo[displ];
while((ix) > ivol)
    {
    vgdispo[displ] = vgdispo[displ]-deltav;
    vddispo[displ] = vgdispo[displ];
    ix = idispo[displ];
    }
deltav = deltav/2;
while((ix) < ivol)
    {
    vgdispo[displ] = vgdispo[displ]+deltav;
    vddispo[displ] = vgdispo[displ];
    ix = idispo[displ];
    }
}
}

```

```

    }
    deltav=deltav/2;
}
    idispo[disp1]=ix;
return;
}

/* routine de résolution du courant fonction de la tension de substrat*/
vsscal(double ipol,int disp1)
{
double deltav,
    ix;

deltav =-10e-3;
ix=idispo[disp1];

while(((ix-ipol)/iprecis)>=1 | ((ipol-ix)/iprecis)>=1)
{
while((ix)>ipol)
    {
        vsdispo[disp1]= vsdispo[disp1]-deltav;
        ix= id(disp1);
    }
    deltav= deltav/2;
while(ix<ipol)
    {
        vsdispo[disp1]= vsdispo[disp1]+deltav;
        ix= id(disp1);
    }
    deltav= deltav/2;
}
    idispo[disp1]=ix;
return;
}

```

6.3. Le calcul du rapport signal sur bruit

6.3.1. Rapport signal sur bruit à la sortie du filtre linéaire

A la sortie du filtre linéaire de gain $G\psi$, les valeurs moyennes du signal sinusoïdal et du bruit sont considérées comme nulles. L'espérance mathématique de la variable aléatoire $Y(t) = G\psi(t)$ en sortie du filtre est donnée en fonction de la variable aléatoire $X(t) = V_{in}(t)$ en entrée:

$$E[Y(t)] = G\psi E[X(t)] \quad (6.47)$$

Le rapport S/B sera encore un rapport de puissances s'évaluant par l'expression :

$$\frac{S}{B}_{\text{sortie}} = \frac{S}{B}_{\text{entree}} \frac{\int \Gamma_S(f) |G\psi(f)|^2 df}{\int \Gamma_B(f) |G\psi(f)|^2 df} \quad (6.48)$$

où $G\psi(f)$ représente le gain du filtre d'entrée

et $\Gamma_S(f)$ $\Gamma_B(f)$ représentent les densités spectrales normées de $S(t)$ et $B(t)$

Elles sont représentées par :

$$\Gamma_S(f) = \frac{\Gamma'_S(f)}{(\sigma_S)^2} \quad (6.49)$$

$$\Gamma_B(f) = \frac{\Gamma'_B(f)}{(\sigma_B)^2} \quad (6.50)$$

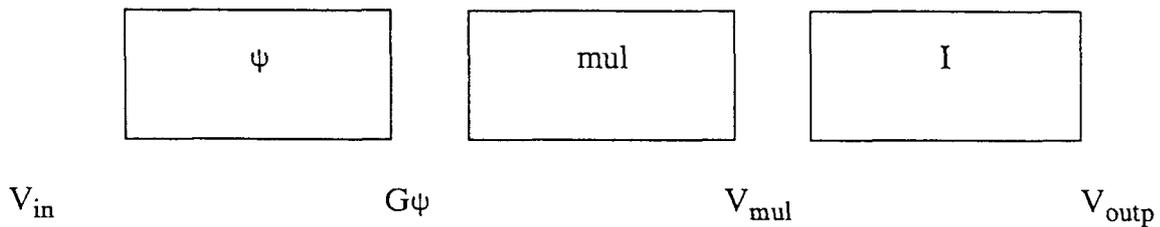
Γ'_S , Γ'_B sont les densités spectrales observées à l'entrée du circuit.

Pour le cas sinusoïdal :

$$\frac{S}{B}_{\text{sortie}} = \frac{S}{B}_{\text{entree}} \frac{\int |G\psi(f)|^2 df}{\int \Gamma_B(f) |G\psi(f)|^2 df} \quad (6.51)$$

6.3.2. Rapport signal sur bruit à la sortie du système non-linéaire

Filtrage détection intégration.



La fonction $V_{in}(t)$ est constituée soit par le bruit seul V_{inB} soit par l'ensemble signal plus bruit $V_{in(S+B)}$. On peut, par exemple, supposer que V_{in} est la sortie d'un capteur de pression. Le bruit d'origines diverses est présent en permanence et superposé au signal.

Le bruit est dans le calcul représenté par une fonction aléatoire $B(t)$ de spectre normé $\Gamma_B(f)$ et de puissance σ_B^2 .

Le signal est représenté soit par une fonction $S(t)$ analogue à $B(t)$ [$\Gamma_B(f), \sigma_B^2$] et indépendant de $B(t)$, soit par :

$$S(t) = A \cos(2\pi ft) \quad (6.52)$$

ξ est un filtre linéaire (le filtre d'entrée) défini par son gain $G\psi(f)$.

Mul est le multiplieur qui réalise la fonction quadratique.

I est l'intégration qui suit la détection de gain $GI(f)$ tel que $GI(0) = 1$. Cette intégration est effectuée par une capacité et un circuit de sortie à très haute impédance de sortie ($> 100M\Omega$), cet intégrateur ainsi constitué peut être considéré comme un intégrateur parfait dans l'intervalle du temps d'analyse T .

6.3.2.1 Calcul du signal en sortie:

Le calcul du signal en sortie peut être obtenu en développant l'équation (4.13.) du chapitre 4 en faisant intervenir le gain de l'intégrateur et la sortie V_{mul} .

$$S_{sortie} = GI(0) (E[V_{mul(S+B)}(t)] - E[V_{mulB}(t)]) \quad (6.53)$$

puisque $GI(0) = 1$ par définition

$$S_{sortie} = (E[V_{mul(S+B)}(t)] - E[V_{mulB}(t)]) \quad (6.54)$$

d'autre part, on peut écrire aussi :

$$S_{sortie} = (E[G\psi_{(S+B)}^2(t)] - E^2[G\psi_B(t)]) \quad (6.55)$$

A cause des propriétés de linéarité de la relation du signal d'entrée à travers le gain $G\psi(f)$ et de l'indépendance de S et B on obtient:

$$S_{sortie} = E[G\psi(f)] \quad (6.56)$$

$$S_{sortie} = \sigma_S^2 \int \Gamma_S(f) |G\psi(f)|^2 df \quad (6.57)$$

Il nous reste à calculer le bruit en sortie du système:

6.3.2.2 Calcul du bruit de sortie

Calcul des spectres et valeur moyenne de la détection quadratique.

Par cette théorie, nous pourrions effectuer des simplifications dans les expressions analytiques du bruit lorsqu'il passe dans un circuit non linéaire.

L'entrée du multiplieur est considérée comme étant une variable aléatoire (bruit d'entrée) $G\psi(t)=X(t)$ et la sortie du multiplieur avant intégration $V_{mul}(t)=Y(t)$ (figure (6.10) (cette sortie n'est pas disponible sur le circuit ANL05 et suppose une transformation courant tension par le théorème de Thevenin).

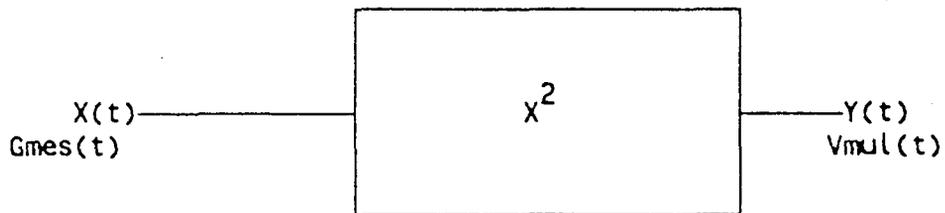


Figure 6.10

La relation s'effectue de la manière suivante

$$Y(t) = X(t)^2 \quad (6.58)$$

De la définition précédente de $Y(t)$ on déduit :

$$E[Y(t)] = E[X(t)^2] = CX(0) = \sigma X^2 \quad (6.59)$$

où CX correspond à une opération de corrélation et correspond dans ce cas à un calcul de valeur moyenne du signal élevé au carré.

Pour calculer le spectre de sortie du multiplieur il est commode de calculer la fonction de corrélation CY correspondante.

$$CY(\tau) = E[Y(t) Y(t-\tau)] = E[X(t)^2 X(t-\tau)^2] \quad (6.60)$$

$X(t)$ représentant un bruit gaussien nous pouvons écrire :

$$CY(\tau) = CX^2(0) + 2 CX^2(\tau) \quad (6.61)$$

$CX^2(0) = \sigma X^4$ est le carré de la valeur moyenne de Y et, si on avait centré Y c'est-à-dire étudié :

$$\theta = Y - E[Y] \quad (6.62)$$

On aurait trouvé

$$C\theta(\tau) = 2 CX^2(\tau) \quad (6.63)$$

Le spectre de $Y(t)$ est obtenu par une transformation de Fourier de la fonction de corrélation; sa densité spectrale, $\Gamma_Y(f)$ normée, est donc la transformée de fourier temporelle:

$$\Gamma_Y(f) = \int e^{-j2\pi f\tau} CY(\tau) d\tau \quad (6.64)$$

La transformée de Fourier de la constante $CX^2(0) = \sigma_X^4$ est $\delta(f)\sigma_X^4$ où $\delta(f)$ est la fonction de Dirac. Cela signifie qu'il y a, sur la fréquence 0, une raie correspondant à la composante continue introduite par la valeur moyenne de $Y(t)$ provenant de la multiplication par elle-même de chaque composante spectrale contenue dans $X(t)$.

Si le signal est une enveloppe:

La transformée de Fourier de la constante $2CX^2(\tau)$ est le produit de convolution fréquentielle:

$$2 \int \Gamma_X(\delta)\Gamma_X(f-\delta)d\delta \quad (6.65)$$

De sorte que l'on a finalement:

$$\Gamma_Y(f) = \delta(f) \sigma_X^4 + 2 \int \Gamma_X(f)\Gamma_X(\delta-f)d\delta \quad (6.66)$$

où Γ_X représente la densité spectrale normée du signal $X(f)$.

Appliquons cette formule au cas où le spectre de $X(t)$ est limité aux fréquences

$$f_0 - \delta f_0 < |f| < f_0 + \delta f_0 \quad (6.67)$$

et uniforme dans ce domaine (le bruit est constant dans le gabarit de filtrage défini par le filtre d'entrée ($G\psi(f)$)).

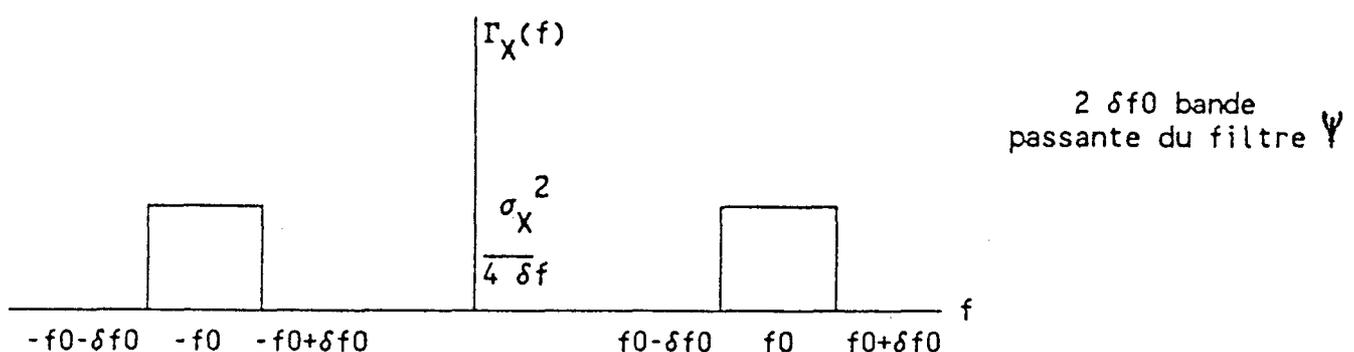


Figure 6.11

Le produit de convolution se calcule graphiquement et le spectre de $Y(t)$ est représenté sur la figure 6.12.

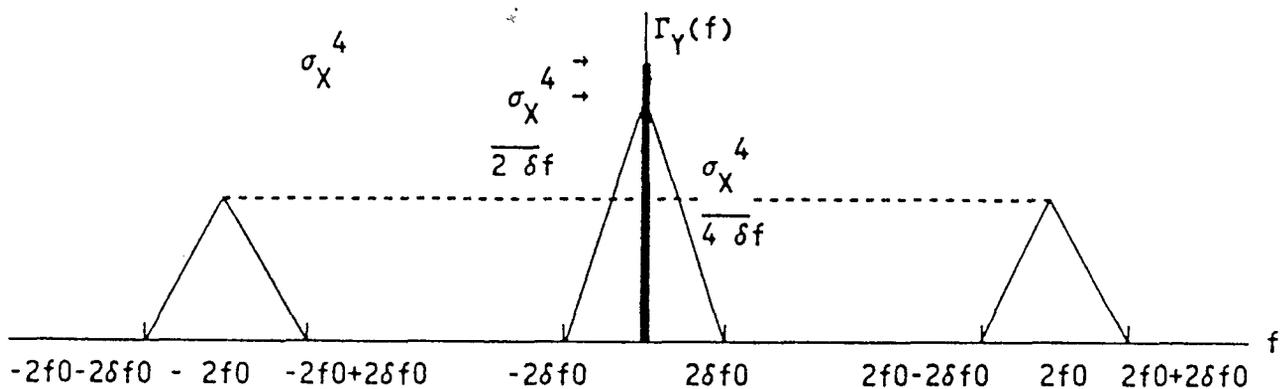


Figure 6.12

La raie mesurée par le circuit ANL05 par son intégration en sortie est représentée par un trait plus épais. (La hauteur graphique n'a aucune signification numérique).

Le spectre de bruit en sortie après détection quadratique, et sans tenir compte de la composante continue résiduelle est donc donnée par la formule de convolution fréquentielle:

$$\Gamma_{\text{mul}}(\delta) = 2 \int \Gamma_{\psi}(f) \Gamma_{\psi}(\delta-f) \delta f \quad (6.68)$$

où Γ_{ψ} représente la densité spectrale de puissance de bruit après l'amplification filtrage G_{ψ} du bruit d'entrée de densité spectrale de puissance Γ_B

Cette formule générale est ici appliquée au circuit ANL05.

En supposant que l'intégration $GI(0)$ de l'intégrateur ne soit pratiquement différent de 0 que dans le voisinage immédiat de $f=0$ et que dans cette région, $\Gamma_{\text{mul}}(f)$ varie très peu autour de $\Gamma_{\text{mul}}(0)$. C'est-à-dire que l'intégrateur de sortie a une constante de temps très grande devant l'inverse de la largeur de bande de $B(t)$.

On peut alors écrire:

$$B_S^2 = \int \Gamma_{mul}(f) |GI(f)|^2 df \quad (6.69)$$

$$B_S^2 = \Gamma_{mul}(0) \int |GI(f)|^2 df \quad (6.70)$$

d'où, d'après la formule précédente (6.68] et puisque le signal n'existe que dans le voisinage de 0 on prend $\delta=0$:

$$B_S^2 = 2 \int \Gamma_\psi^2(f) df \int |GI(f)|^2 df \quad (6.71)$$

Pour la sortie du circuit ANL05 :

$$\int |GI(f)|^2 df = \frac{1}{2RC} \quad (6.72)$$

où R est l'impédance de sortie du multiplieur, R est de l'ordre de 100M Ω .

L'expression du bruit de sortie en fonction du bruit d'entrée passé à travers toute la chaîne devient :

$$B_S^2 = \frac{\sigma_B^4}{RC} \int \Gamma_B^2(\delta) |G\psi(f)|^4 df \quad (6.73)$$

et par conséquent l'expression du rapport signal sur bruit dans le cas général devient alors :

$$\left[\frac{S}{B}\right]_{\text{sortie}}^2 = \left[\frac{S}{B}\right]_{\text{entree}}^2 RC Kr[f] \quad (6.74)$$

où

$$Kr[f] = \frac{[\int \Gamma_S(\delta) |G\psi(f)|^2 df]^2}{[\int \Gamma_B^2(\delta) |G\psi(f)|^4 df]} \quad (6.75)$$

On voit, pour déterminer le rapport signal sur bruit, qu'il faut comptabiliser les calculs des valeurs moyennes à la sortie du circuit.

6.4. Références bibliographiques du chapitre 6

- [6.1] O.DECLERCK:Modélisation de transistors M.O.S. à substrat non uniformément dopé pour des applications analogiques. Thèse de DOCTORAT N°711 Université des Sciences et Techniques de Lille Flandres-Artois.
- [6.2] G.T.Wright: "Physical and CAD Models for the Implanted-Channel VLSI MOSFET". IEEE Trans. Electron Device, vol.ED-34, pp.823-833, 1987
- [6.3] J.A. Van Nielen and O.W.Memelink: "Influence of the Substrate upon the DC Characteristics of MOS Transistors" Philips Research Reports, Vol.22,pp 55-71,1967
- [6.4] P.Antognetti and G.Massobrio: "Semiconductor Device Modeling with SPICE" McGraw-Hill Book Compagny,New York, 1988
- [6.5] Y.P.Tsividis: "Operation and modeling of the MOS transistor" McGraw-Hill Book Compagny,New York, 1987
- [6.6] Y.A. El-Mansy and A.R. Boothroyd: "A simple two-dimensional model for IGFET operation in the saturation region" IEEE Trans. Electron Devices, vol. ED-24, pp. 254-262, 1977
- [6.7] Shichman and D.A. Hodges: "Modeling and Simulation of insulated-gate field-effect transistor switching circuits" IEEE Journal of Solid-State Circuits, vol. SC-3, pp. 285-289, 1968
- [6.8] D. Frohman-Bentchkowsky and A.S. Grove: "Conductance of MOS transistors in saturation" IEEE Trans. Electron Devices, vol. ED-16, pp. 108-113, 1969
- [6.9] G. Merkel , J. Borel and N.Z. Cupcea: "An accurate large-signal MOS Transistor model for use in computer-aided design" IEEE Trans. Electron Devices, vol. ED-19, pp. 681-690, 1972
- [6.10] M. El Nokali and H. Miranda: "A simple model for MOS transistor in saturation" Solid State Electronics, vol 29, pp 591-596, 1986
- [6.11] S. Liu and L.W Nagel: "Small Signal MOSFET models for Analog Circuit Design" IEEE Journal of Solid-State Circuits, vol. SC-17, pp. 983-998, 1982
- [6.12] T.J. Krutsick, M.H. White, H.S. Wong and R.V. Booth: "An Improved Method of MOSFET Modeling and Parameter Extraction" IEEE Trans. Electron Devices, vol. ED-34, pp. 1676-1680, 1987
- [6.13] J.S. Kang, D.K. Schroder and A.R. Alvarez: "Effective and Field-Effect Mobilities in Si MOSFETs" Solid State Electronics, vol 32, pp 679-681, 1989
- [6.14] H.C. de Graaf and F.M. Klaassen: "Compact Transistor Modeling for Circuit Design" Springer-Verlag Wien New York, 1989
- [6.15] S.M. Sze: "Physics of Semiconductor Devices" John Wiley and Sons, New York, 1981
- [6.16] R.J. van Overstraten, G.J. Declerck and P.A. Muls: "Theory of the MOS Transistor in Weak Inversion - New Method to Determine the Number of Surface States" IEEE Trans. Electron Devices, vol. ED-22, pp. 282-288, 1975
- [6.17] J.R. Brews: "Subthreshold Behavior of Uniformly and Nonuniformly Doped Long-Channel MOSFET": IEEE Trans. Electron Devices, vol. ED-26, pp. 1282-1291, 1979
- [6.18] R.M. Swanson and J.D. Meindl: "Ion Implanted Complementary MOS Transistor in Low-Voltage Circuits" IEEE Journal of Solid-State Circuits, vol. SC-14, 1979
- [6.19] P. Antognetti, D. Caviglia and E. Profumo: "CAD Model for Threshold and Subthreshold Conduction in MOSFET's" IEEE Journal of Solid-State Circuits, vol. SC-17, 1982
- [6.20] A. Silburt, A. Boothroyd and M. Digiovanni: "Automated Parameter Extraction and Modeling of the MOSFET Below Threshold" IEEE Trans. Computer-Aided Design, vol. CAD-7, pp. 484-488, 1988

- [6.21] E.A. Vittoz: "MOS transistor" Intensive Summer Course on CMOS VLSI Design, Analog & Digital Lausanne (EPFL), Switzerland, September 1988
- [6.22] A.H.-C. Fung: "A Subthreshold Conduction Model for BSIM" Memorandum n° UCB/ERL M85/22, 20 March 1985
- [6.23] J.P. Bardyn: "Amplificateurs CMOS Faible Bruit pour applications SONAR" Thèse de doctorat, Université des Sciences et Techniques de Lille Flandres-Artois, 1990
- [6.24] V. Altschul and Y. Shacham-Diamand: "Modeling of the MOSFET Inversion Charge and Drain Current in Moderate Inversion" IEEE Trans. Electron Devices, vol. ED-37, pp. 1909-1915, 1990

