

50376
1992
178

62206

50376
1992
178

N° d'ordre: 972

JEF

T 3 --

présentée à

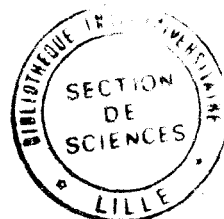
L'UNIVERSITE DES SCIENCES ET TECHNIQUES
DE LILLE FLANDRES ARTOIS

pour obtenir le titre de

DOCTEUR EN ELECTRONIQUE

par

Arno HEDDEBAUT
Ingénieur EUDIL



**ETUDE PHENOMENOLOGIQUE ET MODELISATION
DU COMPORTEMENT DE FONCTIONS LOGIQUES
ELEMENTAIRES TTL ET CMOS SOUMISES
A DES PERTURBATIONS INDUITES
PAR COUPLAGES ELECTROMAGNETIQUES**

soutenue le 23 Septembre 1992 devant la Commission d'Examen

Membres du jury: MM.	R. GABILLARD,	Président, Examineur
	P. AURIOL,	Rapporteur
	E. NANO,	Rapporteur
	B. DEMOULIN,	Directeur de Thèse
	J. BAUDET,	Examineur
	M. HEDDEBAUT,	Invité
	JC. FERRANTE,	Invité



REMERCIEMENTS

Cette étude a été réalisée au Laboratoire de RadioPropagation et Electronique (LRPE) de l'Université des Sciences et Techniques de Lille Flandres-Artois, dirigé par le Professeur R. GABILLARD.

Je le prie d'agréer l'expression de toute ma reconnaissance et de mon plus profond respect pour avoir bien voulu juger ce travail et présider le jury.

Cette thèse s'est effectuée sous la direction de Monsieur B. DEMOULIN maître de conférences. Qu'il trouve ici la manifestation de ma gratitude pour les précieux conseils et le soutien qu'il m'a constamment apportés.

Je remercie Monsieur J. BAUDET, ingénieur CNRS au LRPE, pour son aide et la très grande disponibilité dont il a fait preuve tout au long de ces recherches.

Mes remerciements vont également à Messieurs les Professeurs P. AURIOL, de l'Ecole Centrale de Lyon et E. NANO de l'Ecole Polytechnique de Turin qui me font l'honneur d'examiner ce document et d'assurer la tâche de rapporteurs.

Les contributions de Messieurs M. HEDDEBAUT et JC. FERRANTE en qualité de membres invités à participer au Jury sont à souligner.

Mes remerciements s'adressent aussi à Madame M. DEMOULIN, ingénieur CNRS au LRPE; pour son assistance dans l'utilisation du matériel informatique équipant le laboratoire ainsi qu'à Monsieur JP. DEHORTER qui s'est chargé de la reproduction de ce mémoire.

Enfin, je n'oublie pas tous les membres du laboratoire que j'ai cotoyés durant ces années et qui ont contribué à la bonne ambiance dans laquelle ce travail s'est déroulé.

SOMMAIRE

Introduction générale	1
CHAPITRE 1 : Etude expérimentale du comportement de circuits logiques agressés par leur sortie	
Introduction	4
I.1 Présentation des circuits intégrés logiques	6
1.1 Les caractéristiques générales des circuits logiques	6
1.2 Présentation des familles TTL	9
1.3 Présentation des familles CMOS	12
1.4 Les paramètres électriques et temporels nominaux	13
I.2 La susceptibilité des circuits intégrés logiques	15
2.1 Les différents types de couplages électromagnétiques	16
2.2 Le composant électronique et son environnement électromagnétique	18
2.3 Justification et description d'un perturbateur de type impulsionnel	21
I.3 Détermination expérimentale de la sensibilité des circuits intégrés logiques	23
3.1 Définition de la sensibilité des circuits intégrés logiques	23
3.2 Cas où la sortie est à l'état haut	23
3.3 Cas où la sortie est à l'état bas	25
3.4 Analyse des résultats	27
I.4 Influence de la polarité des impulsions	29
4.1 Cas de la technologie CMOS	29
4.2 Cas de la famille TTL standard	30
4.3 Cas de la famille TTL LS	33
4.4 Cas de la famille FAST	33
Conclusion	34

CHAPITRE 2 : Modélisation de la caractéristique de sortie d'une logique TTL

Introduction	36
II.1 Réduction des caractéristiques de sortie d'une porte NAND à celles d'un dipôle non linéaire	38
1.1 La porte NAND à logique transistor - transistor	38

1.2	Comportement de la porte NAND face à une agression extérieure	41
1.3	Reconstitution de la porte NAND à l'aide de composants discrets	43
1.4	Modélisation du port de sortie de la porte à composants discrets	46
II.2	Description théorique d'un modèle dynamique	50
2.1	Conditions initiales	50
2.2	Analyse physique du front de désaturation	52
2.3	Modélisation de la capacité intrinsèque d'une jonction	54
2.4	Mise en équation de la réponse à un perturbateur	58
II.3	Application du modèle dans le cas d'un perturbateur de type impulsionnel: confrontation théorie - mesure	61
3.1	Détermination des paramètres du modèle	61
3.2	Simulations et courbes expérimentales	64
3.3	Influence de la polarité de l'impulsion	69
3.4	Cas pratique d'un circuit intégré TTL	71
	Conclusion	72
 CHAPITRE 3 : Modélisation de la caractéristique de sortie d'une logique CMOS		
	Introduction	73
III.1	Le TECMOS et l'inverseur CMOS	75
1.1	Le TECMOS	75
1.2	Rappel du fonctionnement d'un MOSFET	75
1.3	L'inverseur CMOS	76
1.4	Réalisation de l'inverseur CMOS et fonctionnement	77
1.5	Portes NAND et NOR à deux entrées	78
III.2	Mesure des caractéristiques de sortie d'un inverseur CMOS	79
2.1	Mesures statiques de I_d , V_d , R_d	79
2.2	Intérêt d'une mesure dynamique	80
2.3	Mesures dynamiques de I_d , V_d , R_d	81
III.3	Modélisation des caractéristiques de sortie d'un MOS	84
3.1	Utilisation des équations classiques	84
3.2	Expression de la mobilité des porteurs dans le canal	85
3.3	Modélisation de la vitesse des porteurs dans le canal	88

3.4	Modélisation du courant drain et de la résistance dynamique en zone de conduction résistive	89
3.5	Modélisation du courant drain et de la résistance dynamique en zone de conduction saturée	91

Conclusion	95
------------	----

CHAPITRE 4 : Détermination des caractéristiques de sortie des familles CMOS

Introduction	96
--------------	----

IV.1 Protocole d'évaluation des paramètres de la modélisation	97
---	----

1.1	Rappels sur la modélisation	97
1.2	Détermination de la tension seuil V_t	98
1.3	Détermination de k et θ	101
1.4	Détermination de α et δ	101
1.5	Détermination de A_1 et r_1	104

IV.2 Résultats expérimentaux et simulations	105
---	-----

2.1	Les logiciels "expémos", "paramos", "simumos"	105
2.2	Valeurs des paramètres des composants étudiés	107
2.3	Représentation des courants drains et des résistances dynamiques des MOS	108
2.4	Comparaison des caractéristiques de sortie de deux composants issus du même constructeur et du même lot de fabrication	109
2.5	Prévision du comportement de circuits intégrés CMOS agressés par leur sortie	109

Conclusion	113
------------	-----

CHAPITRE 5 : Etude et modélisation de la commutation d'une logique intégrée

Introduction	114
--------------	-----

V.1 Modélisation de l'inverseur CMOS	116
--------------------------------------	-----

1.1	Présentation du problème	116
1.2	Etude théorique	117
1.3	Le logiciel "simucmos"	119
1.4	Application à l'évaluation de la tension et du courant de commutation d'un inverseur 74HCU04	120

V.2	Détermination expérimentale et théorique du courant de commutation	1 2 2
2.1	Les difficultés liées à la mesure du courant de commutation	1 2 2
2.2	Influence du temps de montée du signal d'entrée sur l'amplitude et la durée du courant de commutation	1 2 7
2.3	Evaluation théorique du courant de commutation	1 3 2
V.3	Modélisation des caractéristiques de commutation	1 3 3
3.1	Modélisation de la résistance dynamique de sortie d'une logique CMOS	1 3 3
3.2	Modélisation de la signature du courant de commutation d'une fonction logique	1 3 4
3.3	Analyse spectrale du courant de commutation	1 3 6
	Conclusion	1 3 8
	Conclusion générale	1 4 0
	Bibliographie	1 4 2
	Annexes	1 4 6

INTRODUCTION GENERALE

L'usage intensif de fonctions microprogrammées ou plus généralement de logiques bas niveau expose les équipements électroniques à certaines défaillances. En particulier la cohabitation de circuits logiques intégrés avec des champs électromagnétiques hautes fréquences peut introduire des anomalies de fonctionnement de ces logiques. Il en résulte un manque de disponibilité de l'équipement et parfois même une sérieuse mise en cause de sa sécurité de fonctionnement.

L'impact économique induit par ces phénomènes physiques peut être considérable, c'est pourquoi les concepteurs d'équipements ainsi que les utilisateurs d'installations à base d'électronique considèrent de plus en plus ce risque électromagnétique.

Pour qu'un équipement électronique soit compatible, il faut que cet équipement soit capable de fonctionner correctement dans un environnement électromagnétique pollué. Pour obtenir la compatibilité électromagnétique, deux alternatives sont possibles.

La première consiste à faire usage de blindages et pouvoir ainsi soustraire les cartes électroniques et les lignes d'échange de signaux aux effets induits par les agressions électromagnétiques. La seconde consiste à intervenir sur la conception des cartes électroniques afin de les rendre moins sensibles aux champs électromagnétiques ambiants.

La première proposition est évidemment plus simple à mettre en oeuvre, elle est d'ailleurs pour cette raison largement répandue. Toutefois elle possède deux inconvénients majeurs. Les blindages sont des composants coûteux dont l'usage excessif peut nuire aux critères d'allègement exigés sur certains équipements. De plus les blindages peuvent se révéler totalement inefficaces lorsque certaines conditions de continuité électrique ne sont plus satisfaites. Cette conséquence a évidemment un impact indirect sur le coût puisqu'elle nécessite des protocoles de maintenance plus laborieux.

La seconde alternative est bien sûr moins immédiate dans l'application, cependant de gros efforts ont été faits dans certains secteurs d'activités afin d'harmoniser la compatibilité électromagnétique des équipements. Nous pensons ici au domaine du transport où l'application de règles d'implantation topologique a réduit les risques de couplage électromagnétique entre perturbateur et perturbé embarqués à bord de véhicules.

Si cette démarche résoud partiellement les problèmes de cohabitation, des progrès importants restent à accomplir pour obtenir des cartes électroniques moins sensibles aux champs ambiants. C'est pour contribuer à cette entreprise qu'une action de recherche est

actuellement menée par le Groupement Régional Nord Pas de Calais pour la Recherche dans les Transports. Deux équipes installées à l'Université de LILLE (LRPE¹) et à l'INRETS² (CRESTA³) travaillent à cet objectif. Notre thèse s'inscrit dans ce cadre scientifique.

Si nous revenons maintenant aux aspects plus techniques de notre propos, nous dirons qu'une interférence électromagnétique produit des mécanismes d'inductions dont les agents seront les lignes de transmissions et les pistes imprimées qui communiquent avec les ports d'accès à un composant intégré. L'énergie apportée par les sources de tension ou de courant indésirables induits par ces phénomènes fera que le fonctionnement du circuit peut être troublé.

Il pourra apparaître à la sortie du circuit des états logiques erronés dont la manifestation peut être permanente ou au contraire transitoire.

Notre travail a donc consisté à comprendre ces phénomènes et à les modéliser de façon à comparer la sensibilité de différentes variantes de technologie disponible sur le marché des composants. Nous nous sommes intéressés à la fonction logique la plus simple "l'inverseur" toutefois l'orientation future de ce travail sera élargie pour enrichir les banques de données de logiciels destinés à aider à la conception de cartes électroniques moins sensibles.

Le premier chapitre de notre thèse va donc consister à rappeler les principaux acquis sur la sensibilité des circuits intégrés logiques. Il sera montré à cette occasion qu'une donnée nouvelle va devoir intervenir. Il s'agit de la sensibilité du port de sortie du composant vis à vis de l'injection d'un courant perturbateur.

Des expériences réalisées à l'aide de signaux impulsionnels appliqués sur la sortie des fonctions élémentaires prouveront que son comportement joue un rôle majeur lors des agressions. Elles nous aideront à mieux comprendre ses réactions et à définir sa sensibilité face à une source de courant. A partir de là, une classification allant de la famille la moins sensible à celle la plus sensible sera possible.

Le second chapitre est consacré à la modélisation du port de sortie d'une logique TTL. Cette technologie s'avère être très sensible à toute injection impulsionnelle de courant dans sa sortie à l'état bas. En effet, l'action du perturbateur s'accompagne d'un phénomène transitoire

¹ LRPE : Laboratoire de RadioPropagation et Electronique

² INRETS : Institut National de Recherche sur les Transports et leur Sécurité

³ CRESTA : Centre de Recherche et d'Evaluation des Systèmes de Transports Automatisés

qui donne naissance à une surtension capable d'atteindre le seuil de sensibilité d'un composant connecté en aval.

Afin de faciliter l'interprétation phénoménologique de ces réponses, nous reproduirons le fonctionnement d'une porte logique NAND à l'aide de composants discrets. Cet artifice va nous permettre d'établir un modèle théorique de l'évolution temporelle de la tension de sortie en fonction de l'amplitude et du temps de montée du signal parasite. Ce modèle utilise les équations fondamentales du transistor bipolaire.

Le troisième et quatrième chapitre de notre thèse concernent plus particulièrement les logiques CMOS à canaux complémentaires N et P. La particularité de ces composants est le comportement de leur impédance de sortie durant un transit logique.

Lors des états logiques permanents, qu'ils soient hauts ou bas, l'impédance de sortie du composant est faible: c'est celle d'un canal P ou d'un canal N en zone de conduction résistive. Lors du changement d'état, le processus de commutation fait que l'impédance de sortie globale du composant passe par un maximum. Cette situation est évidemment pénalisante lorsqu'au même instant la sortie est soumise à une injection de courant.

Les équations non linéaires régissant le fonctionnement du transistor MOS seront utilisées afin de modéliser à la fois les caractéristiques courant-tension de la sortie et l'évaluation de sa résistance dynamique. Elles font intervenir des paramètres macroscopiques qui seront déduits à partir de mesures spécifiques sur le circuit intégré.

Pour terminer ce travail, le cinquième chapitre présente deux aspects fondamentaux sur le plan de la compatibilité électromagnétique des cartes électroniques.

Nous avons auparavant cité le premier: il s'agit de l'augmentation conséquente de l'impédance de sortie des composants CMOS au cours de leur transit logique. Nous allons constater que plus la logique est rapide moins cette variation est importante. Il semble de ce point de vue que les composants présentant une vitesse de commutation élevée sont moins sensibles aux injections de courant.

L'appel brutal de courant sur l'alimentation au moment de la commutation va constituer le second aspect. Son amplitude et sa durée seront mesurées expérimentalement sur plusieurs familles. Ce phénomène joue un rôle important dans le caractère autoperturbateur des circuits logiques. Nous fournirons par conséquent un modèle de sa représentation temporelle et fréquentielle.

CHAPITRE 1

INTRODUCTION

Dans ce premier chapitre, nous nous intéresserons aux éléments d'intérêt général qui concernent les principaux acquis en matière de perturbations exercées sur les composants intégrés logiques.

Des travaux récents ont montré de façon purement expérimentale que des circuits logiques intégrés sont sensibles aux parasites qui se superposent sur leurs ports d'entrée-sortie ainsi que sur leur ligne d'alimentation.

La variété des circuits logiques est très grande et une même fonction existe dans différentes familles. C'est pourquoi nous consacrons le premier paragraphe à une présentation succincte de ces circuits et des familles les plus répandues.

Nous compléterons cette rétrospective par un énoncé des principaux paramètres électriques et temporels des fonctions de base (NAND ou INVERSEUR) que nous nous proposons de traiter par la suite. En effet, ces dernières représentent la brique élémentaire à partir de laquelle est conçue tout circuit intégré plus complexe.

Comme nous l'avons déjà mentionné plus haut, la perturbation des circuits intégrés logiques a donné lieu à de nombreuses études et des données intéressantes sont d'ores et déjà acquises. Il nous a paru utile de répertorier les résultats essentiels dans un second paragraphe et de rappeler comment les effets induits par les rayonnements électromagnétiques peuvent se résumer à des sources de tension ou de courant rapportées aux différents ports d'accès du composant.

Cette étude prospective des résultats déjà acquis en matière de sensibilité des composants logiques intégrés nous incitera à approfondir un aspect peut connu qui concerne l'agression de ces composants vis à vis de leur sortie. Nous verrons que cet aspect est fondamental lorsque des fonctions logiques sont imbriquées les unes aux autres comme c'est pratiquement toujours le cas sur les cartes électroniques.

L'objectif est de fournir des informations sur la capacité d'une famille logique à résister à une agression extérieure que nous identifierons à une impulsion dont nous décrivons les caractéristiques.

Toute une série de portes sera alors testée avec leur sortie à l'état haut puis à l'état bas. Les conclusions seront confinées sur un histogramme qui nous éclairera sur la sensibilité de ces circuits.

Pour des raisons évidentes de confidentialité, les manufacturiers des composants étudiés resteront anonymes. Nous verrons que de l'un à l'autre, les résultats peuvent être très différents.

Le dernier paragraphe mettra en évidence le rôle joué par le changement de polarité de l'impulsion appliquée sur la sortie à l'état bas du composant. Des comportements très différents seront observés suivant la famille et le constructeur dont est issu le circuit sous test.

Il faut noter que dans toutes les expériences qui seront effectuées dans ce chapitre, la durée du perturbateur, c'est à dire la largeur de l'impulsion, sera toujours supérieure au temps de propagation de l'élément perturbé.

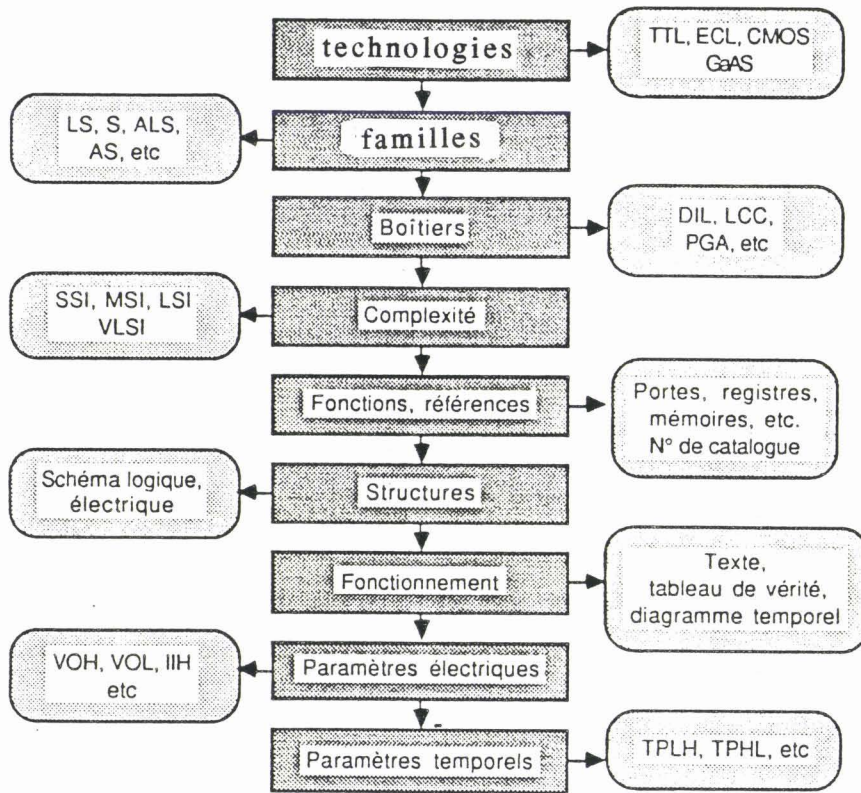


figure 1.1: les différents aspects des circuits intégrés logiques

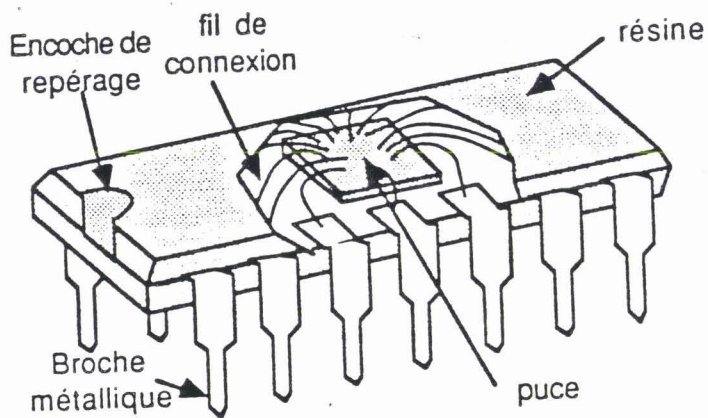


figure 1.2: constitution d'un boîtier de circuit intégré

I.1 PRESENTATION DES CIRCUITS INTEGRES LOGIQUES. [1] [2] [3]

Dans ce paragraphe, nous nous intéressons aux caractéristiques des circuits disponibles sur le marché. Nous passons en revue les familles logiques, la présentation des boîtiers et des fonctions, les paramètres électriques nominaux (potentiels d'entrée et de sortie) et temporels (temps de retard).

I.1.1 Les caractéristiques générales des circuits logiques

La *figure 1.1* présente un synoptique des circuits comprenant: familles et sous-familles, mode d'encapsulation dans des boîtiers, structure interne, principales fonctions existantes et leurs références catalogue, description de structure et de fonctionnement, principales caractéristiques électriques et temporelles.

Il existe aujourd'hui les technologies:

- TTL (Transistor Transistor Logic)
- ECL (Emitter Coupled Logic)
- CMOS (Complementary Metal Oxyde Semiconductor)
- GaAs (Arséniure de Gallium)

Elles se caractérisent essentiellement par leur performance de commutation et leur consommation.

Dans le cadre de notre thèse, nous n'étudierons que les logiques TTL et CMOS. Une présentation détaillée de ces deux technologies ainsi que de leurs familles aura lieu aux *paragraphes 1.1.2* et *1.1.3*.

I.1.1.a Les boîtiers

Les fonctions logiques résultent de l'intégration de transistors, résistances et diodes diffusés sur un substrat de silicium, dont les dimensions microscopiques s'échelonnent de quelques dixièmes de millimètres à un centimètre. Cette partie de silicium actif appelée "puce", est protégée par une enveloppe en matière synthétique ou recouverte de céramique et montée sur un support mécanique appelé boîtier (*figure 1.2*). Des fils de connexions relient la puce aux broches métalliques qui sortent du boîtier pour les liaisons avec les autres circuits. Ce boîtier avec deux rangées de sept broches est dit Dual In Line (DIL). Il mesure 20 mm sur 8 mm environ.

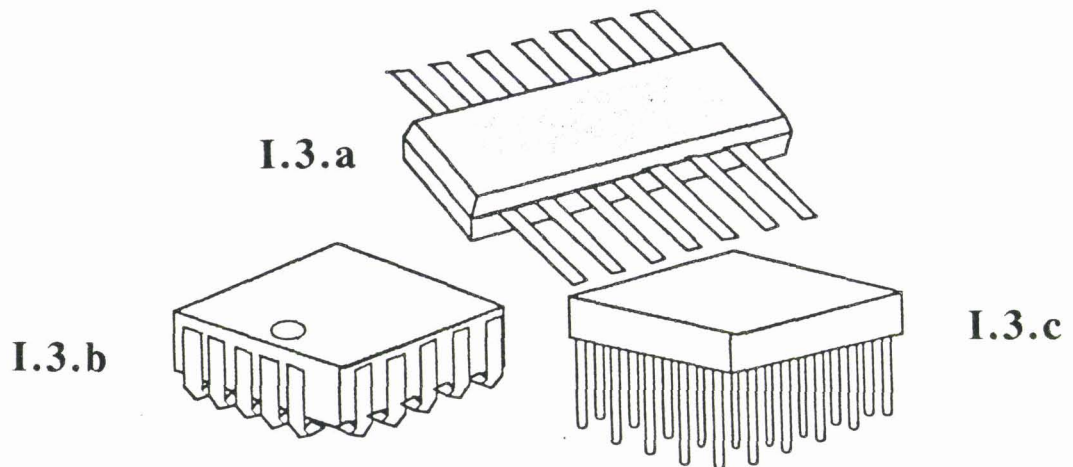


figure I.3: différentes formes de boîtiers

I.3.a : boîtier plat (flat pack)

I.3.b : boîtier porteur avec broches recourbées (chip carrier)

I.3.c : boîtier fakir (pin grid array)

La figure I.3 donne trois autres exemples :

- un boîtier plat (flat pack) ayant deux rangées de broches non recourbées sur deux côtés
- un boîtier porteur (chip carrier) de forme carré avec des broches réparties sur les quatre côtés et recourbées
- un boîtier fakir (pin grid array) avec des broches par dessous

D'autres présentations existent et notamment la technologie CMS (composants montés en surface).

Une carte électronique logique sera donc composée d'un ensemble de fonctions reliées par les pistes d'un circuit imprimé en époxy. Les broches d'un boîtier DIL ou fakir traversent la carte et sont soudées de l'autre côté. Au contraire, un boîtier porteur est soudé sur la surface de la carte sans que ses broches la traversent.

La carte supporte aussi des composants discrets comme des résistances, capacités, transformateurs, relais ou transistors.

Les cartes peuvent être rassemblées dans des bâtis ou rack pour constituer des ensembles plus importants. Les liaisons se font au moyen de câbles plats ou d'un circuit imprimé reliant les connecteurs des cartes.

I.1.1.b La structure interne

Quatre catégories définissent la structure interne ou la densité d'intégration des circuits intégrés logiques :

- SSI ou Small Scale Integration, il comprend quelques fonctions simples NAND, NOR, etc.. appelées portes.
- MSI ou Medium Scale Integration, de 12 à 100 portes par boîtier (la plupart des circuits intégrés réalisés en technologie bipolaire).
- LSI ou Large Scale Integration, de 100 à 1000 portes par boîtier (compteurs, registres, ROM et RAM jusqu'à 8 Kbits), c'est la limite d'intégration de la technologie bipolaire.
- VLSI ou Very Large Scale Integration, au delà de 1000 portes par boîtier (microprocesseurs 4, 8 et 16 bits, EPROM de 64 Kbits).
- SLSI/ULSI ou Super/Ultra Large Scale Integration, plus de 10000 par boîtier (microprocesseurs 16/32 bits et 32 bits vrais). Les circuits les plus denses, les mémoires, comportent plus d'un million de cellules élémentaires.

I.1.1.c Fonctions disponibles, références

Il existe des centaines de fonctions logiques différentes dans les catalogues de circuits: portes bascules, registres, mémoires, processeurs, etc.. Chacune d'elles y est repérée par une référence composée de chiffres et de lettres.

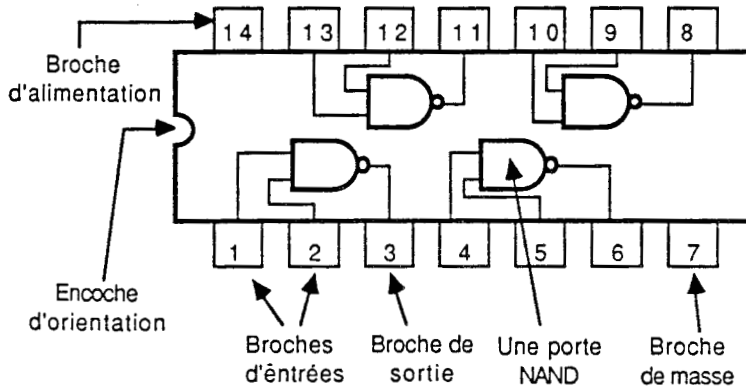


figure I.4: Boîtier d'une porte NAND vue de dessus

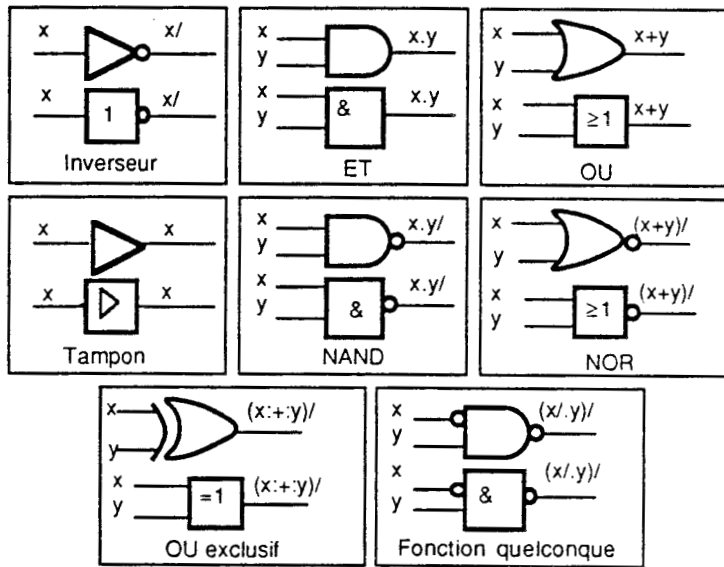


figure I.5: Symboles graphiques associés aux fonctions simples

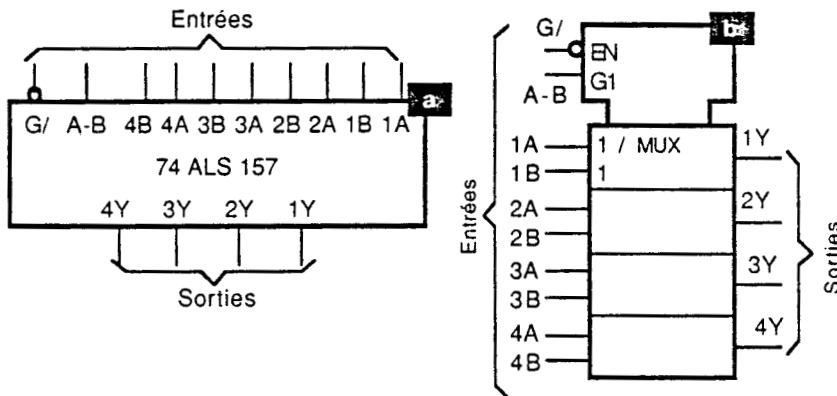


figure I.6: Symboles graphiques associés aux fonctions complexes

Par exemple, un boîtier de porte NAND peut porter la référence SN74LS00N :

- SN désigne la famille standard. Il existe d'autres familles à caractéristiques spéciales (résistance aux radiations spécifications particulières de fiabilité, etc..).

- 74 caractérise la série civile, travaillant dans la gamme de température 0 à 70 °c.

- LS signifie Low Power Schottky (famille de circuits intégrés de la technologie TTL).

- 00 est le numéro du boîtier dans la famille qui caractérise la fonction NAND.

- N correspond au type d'encapsulation "Dual In Line": deux rangées de broches sur les côtés et un moulage en matière synthétique.

Le boîtier de la *figure 1.4* comporte quatre portes NAND à deux entrées. Une encoche sur un côté donne l'orientation pour numérotter les broches d'entrées et de sortie.

Les boîtiers très spécifiques peuvent porter des noms très différents selon leur constructeur.

1.1.1.d Les symboles graphiques des fonctions

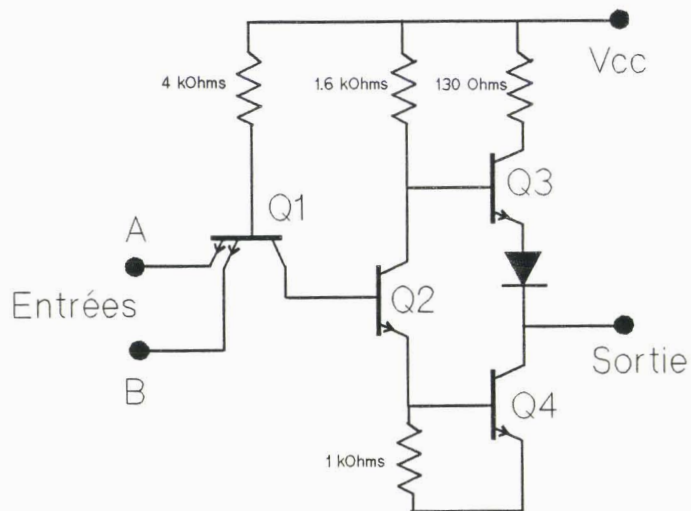
Les fonctions logiques se représentent par des symboles graphiques caractéristiques (*figure 1.5*).

La forme curviligne est la plus ancienne, un triangle matérialise l'inverseur ou le tampon, un carré terminé par un demi-cercle la porte ET ou NAND, etc..

La forme carrée, normalisée par le Comité Electrotechnique International, avec une indication de fonction à l'intérieur (1 pour l'inverseur, & pour le ET ou le NAND, ≥ 1 pour le OU ou le NOR, un triangle pour le tampon, etc..).

Un rond situé sur une entrée ou une sortie indique que celle-ci est active avec un niveau 0. Un triangle remplace parfois le rond pour spécifier cette activité inverse.

Les fonctions complexes, groupant un nombre important de portes sont représentées soit par un rectangle simple avec indication des entrées et des sorties sur les grands côtés du rectangle comme sur la *figure 1.6a*, soit par une forme plus complexe avec un bloc de commande en partie supérieure et un bloc de données en partie inférieure (*figure 1.6b*).



*figure 1.7: Schéma interne d'une porte NAND
en version TTL standard*

I.1.2 Présentation des familles TTL

Les familles TTL (Transistor Transistor Logic) sont les plus développées. Depuis leur création à la fin des années 1960, il y a eu de nombreuses évolutions dans le domaine de la vitesse de commutation, de la consommation et de la variété des fonctions proposées. Le point le plus important concerne le compromis entre la consommation et la vitesse de commutation. Il s'est ainsi succédé des familles appelées :

- L (low Power)
- LS (Low Power Schottky)
- S (Schottky)
- ALS (Advanced Low Power Schottky)
- AS (Advanced Schottky)
- FAST (Fairchild Advanced Schottky TTL)

recherchant le meilleur compromis entre une grande vitesse de commutation et une faible consommation. Cette dernière est quasiment constante en fonction de la fréquence et augmente au dessus de quelques Mhz.

Dans le cadre de notre thèse nous ne travaillerons que sur les trois sous-familles suivantes :

- la TTL standard car elle représente la famille de référence
- la TTL LS qui est la plus utilisée actuellement
- la FAST qui est la plus récente.

I.1.2.a La TTL standard

Elle utilise des transistors bipolaires de type NPN comme principaux éléments du circuit. Cette technologie constitue un standard de référence électrique (tension et courant) pour les autres familles.

L'élément de base est une porte NAND schématisée sur la *figure 1.7* dont le fonctionnement sera expliqué au *chapitre 2*. L'entrée est constituée d'un transistor multi-émetteur, dans le cas contraire on obtient le schéma interne de l'inverseur simple.

Cette famille est maintenant délaissée au profil de la TTL-LS.

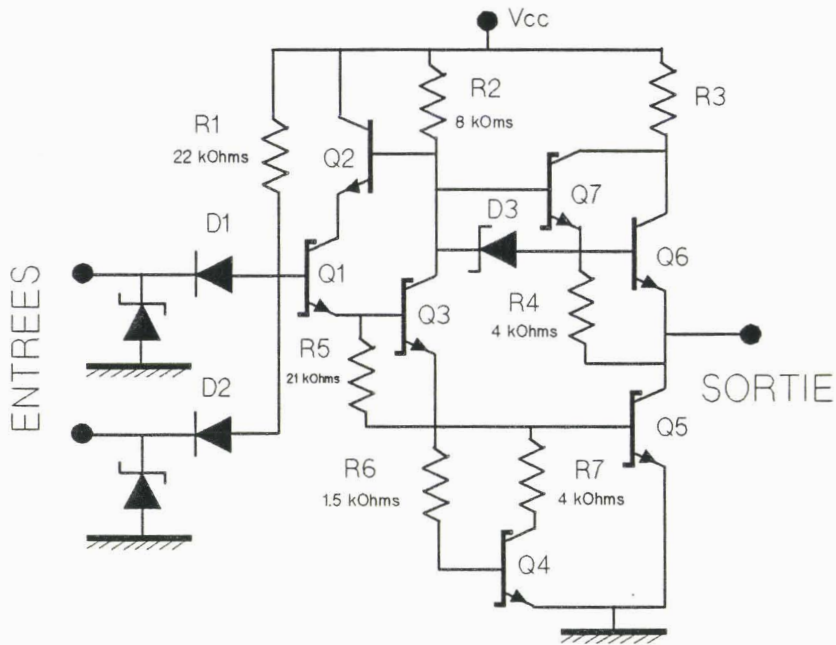


figure 1.8: Schéma interne d'une porte NAND en version TTL LS

I.1.2.b La TTL LS

Apparue au début des années 1970, la TTL-LS (Low Power Schottky) supprime actuellement dans les conceptions TTL, la TTL standard. Elle utilise des diodes et transistors Schottky. Un transistor Schottky peut être assimilé à un transistor bipolaire ordinaire sur lequel a été ajoutée une jonction Schottky basse puissance entre le collecteur et la base.

Cette diode Schottky se débloque avant la jonction base-collecteur du transistor car sa tension directe (.4 Volt) est inférieure à celle de la jonction pn. De cette façon, le transistor de commutation ne peut fonctionner en régime de saturation, il n'y a donc plus de charges accumulées dans la jonction base-collecteur à éliminer au moment du blocage de ce dernier. Le temps de réponse est ainsi beaucoup plus rapide.

Le schéma électrique de principe est fourni *figure 1.8*, l'entrée de la porte NAND n'est plus constituée par un transistor multi-émetteur, mais par deux diodes Schottky. Le fonctionnement du circuit est cependant identique à celui avec transistor à émetteurs multiples. D'un constructeur à l'autre, nous avons constaté des variantes dans le schéma de base de la *figure 1.8*.

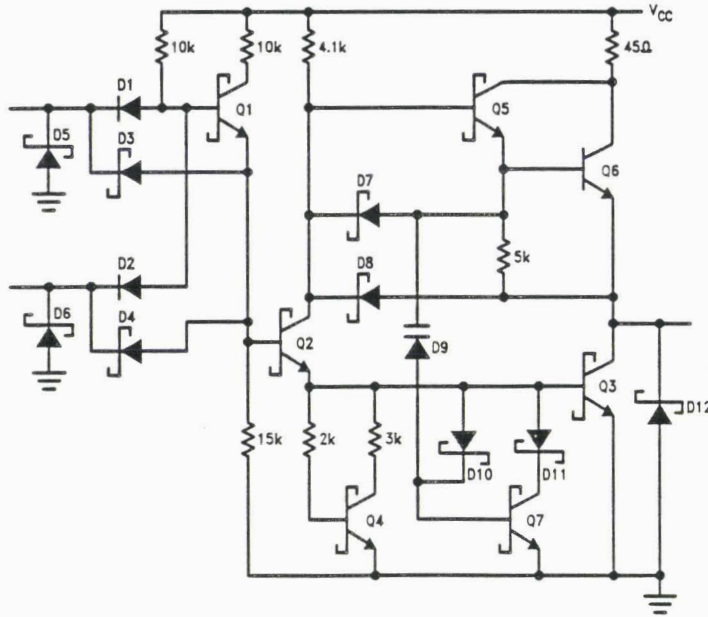


figure I.9: Schéma interne d'une porte NAND en version FAST

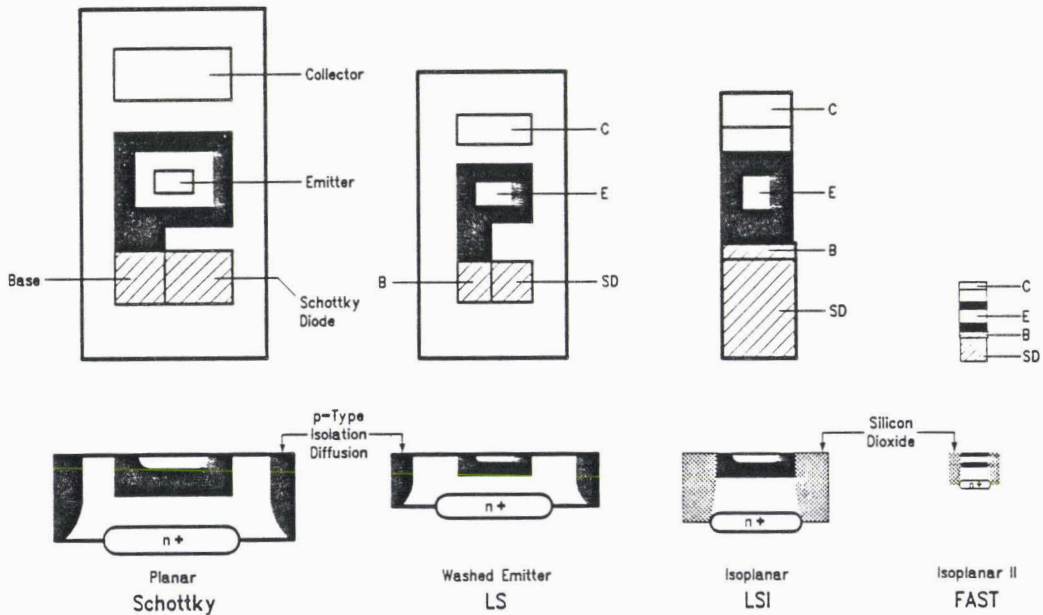


figure I.10 * : transistor Schottky intégré
 a) vue de dessus; b) vue en coupe à partir de l'émetteur

* figure extraite de: National Semiconductor FAST
 Advanced Schottky TTL Logic Databook 1988

I.1.2.c La FAST

Le schéma interne d'une porte NAND de la sous-famille FAST (Fairchild Advanced Schottky TTL) est représenté *figure 1.9*. A la différence des deux autres, il comporte trois étages de gain (Q1, Q2, Q3) et de nombreuses diodes Schottky rapides qui facilitent la décharge des capacités intrinsèques.

Le fait important est l'utilisation d'un nouveau procédé de fabrication appelé "isoplanar II" (années 1980). La couche d'oxyde SiO₂ enrobe chaque transistor intégré et remplace ainsi l'isolation p⁺ de la technologie planar classique. Cette couche sert aussi à l'élaboration des jonctions Schottky d'où gain en volume, comme le montre la *figure 1.10* qui représente le transistor Q2 de la *figure 1.9*, par rapport à la TTL standard et LS.

Il en résulte une amélioration importante des propriétés dynamiques du composant intégré.

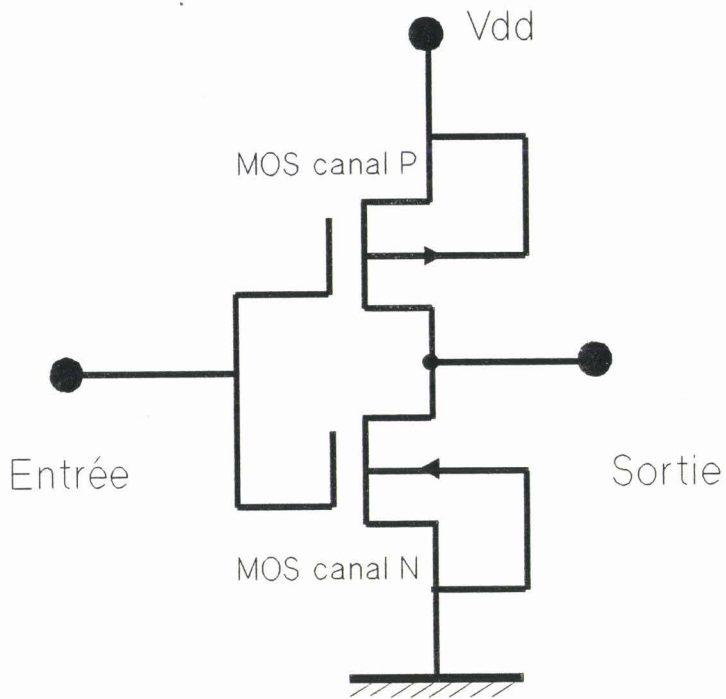


figure I.11: Schéma interne de l'inverseur CMOS

I.1.3 Présentation des familles CMOS

La technologie CMOS (Complementary Metal Oxyde Semiconductor) emploie des transistors unipolaires à effet de champ, et non plus des bipolaires comme dans la technologies TTL.

Ses avantages sont sa faible consommation et la taille réduite de ses composants élémentaires (MOSFET). Elle associe en effet uniquement des transistors MOS à canal p et à canal n: il n'y a donc plus de résistance dans les schémas internes. Ces logiques consomment du courant uniquement aux instants de commutation. La consommation négligeable en statique, varie proportionnellement à la fréquence.

Les circuits TTL les plus courants sont proposés en technologie CMOS qui est en expansion. L'utilisateur conserve ainsi le schéma d'un équipement existant tout en réduisant la consommation.

I.1.3.a La CMOS standard

La première série de cette logique a été produite par la société RCA dans les années 1970 sous le nom de série CD4000. National Semiconductor a ensuite créé la 54/74C compatible broche à broche avec la 54/74 des logiques TTL.

Elle fonctionne dans une plage de tension importante (de 3 à 16 Volts). La fonction de base de la famille CMOS est L'inverseur schématisé sur la *figure 1.11*. Un rappel sur le fonctionnement intrinsèque du transistor MOSFET et sur l'inverseur CMOS sera présenté au *chapitre 3* de notre thèse.

La série 74C00 reste malgré tout très lente vis à vis des technologies bipolaires. Avec l'amélioration du savoir faire technologique sont apparues les séries 54/74HC et 54/74HCT.

I.1.3.b La HCMOS (High Speed CMOS)

Depuis le début des années 1980, il existe les circuits HC/HCU qui fonctionnent dans la gamme de tension 2 Volts - 6 Volts (possibilité d'employer des piles au lithium comme alimentation) et les HCT alimentés en 5 Volts et compatibles TTL (utilisation pour des liaisons TTL-CMOS).

Les éléments logiques comportant le préfixe "HC" sont entièrement "bufferisés": leur sortie comporte deux inverseurs associés en série. Ils présentent un très grand gain ($\Delta V_s / \Delta V_e$) lorsqu'ils commutent. La catégorie 54/74HCU ne possède pas cette caractéristique, ces composants sont utilisés pour des applications linéaires ou la réalisation d'oscillateurs.

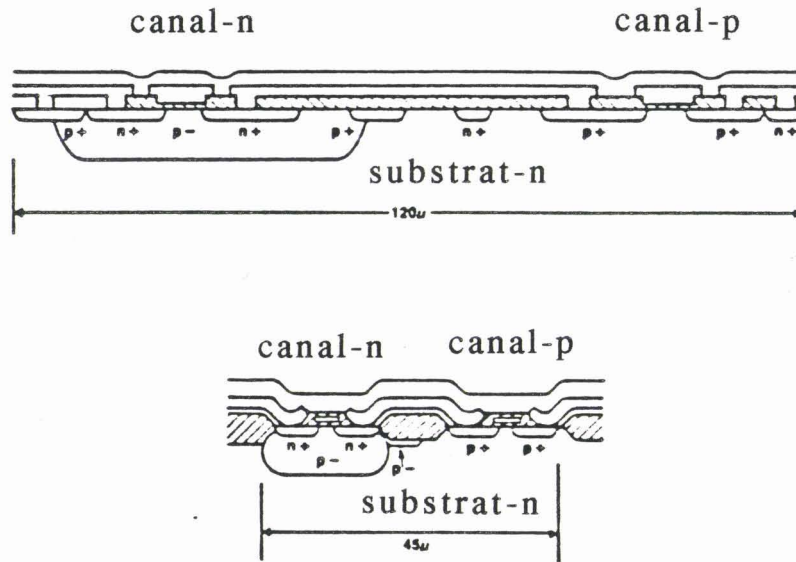


figure 1.12: comparaison entre les structures CMOS et HCMOS
a) CMOS; b) HCMOS

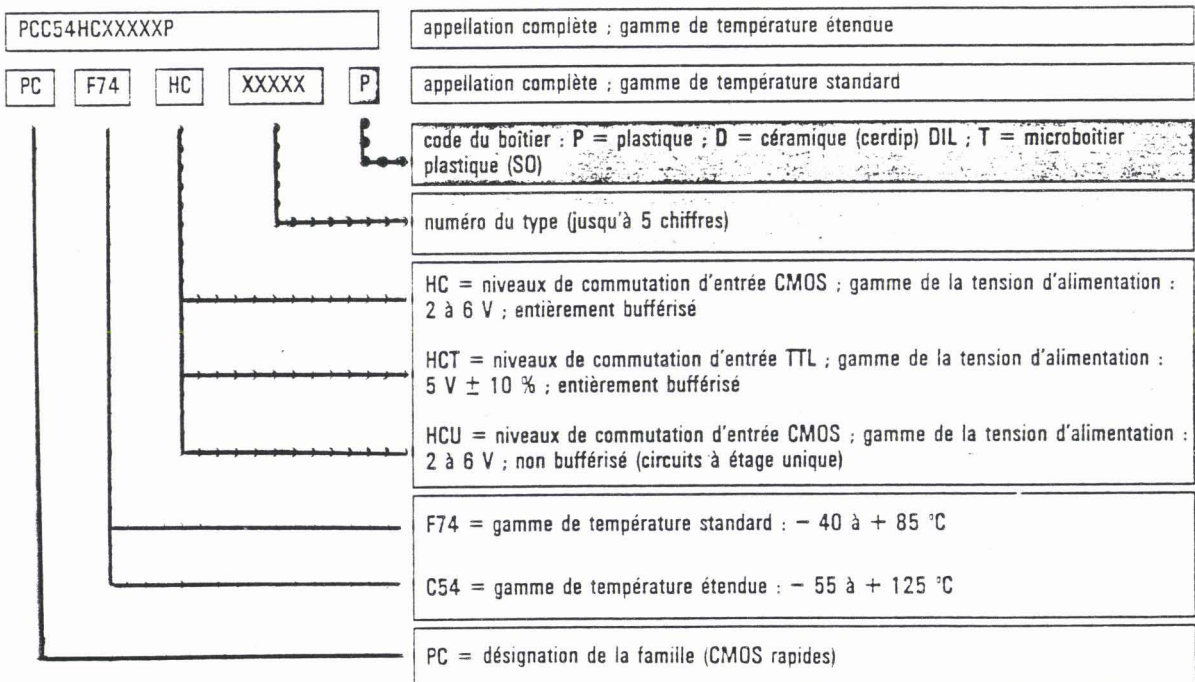


figure 1.13: code de désignation de la famille HCMOS
(Philips Components)

La *figure 1.12* montre l'évolution de la structure HCMOS par rapport à celle de la CMOS. Notons que la largeur de grille passe de 7 à 3 μm . Le temps de transit des porteurs s'en trouve donc fortement diminué et les performances améliorées (les temps de commutation deviennent comparables à ceux de la TTL LS).

La *figure 1.13* présente toutes les possibilités offertes par la famille HCMOS de chez Philips Components.

I.1.3.c La FACT (Fairchild Advanced CMOS Technology)

Une troisième évolution de la CMOS a vu le jour en 1985: la FACT. La largeur de grille vaut 1.3 μm . Ces composants présentent les avantages de la CMOS combinés à la rapidité de fonctionnement de la FAST. Entièrement "bufferisés", ils existent en version AC et ACT (compatibilité TTL en entrée).

Toutefois, toutes les fonctions logiques de la HCMOS ne figurent pas encore au catalogue de la FACT, c'est pourquoi la HCMOS est largement utilisée dans les réalisations actuelles.

I.1.4 Les paramètres électriques et temporels nominaux

Nous énonçons dans ce paragraphe les principaux paramètres caractéristiques des circuits intégrés logiques.

I.1.4.a Niveaux d'entrée et de sortie

Les sigles suivants définissent les niveaux d'entrée et de sortie à des tensions d'alimentation et des courants définis.

- V_{ih} (minimum high level input voltage)
tension d'entrée minimale pour laquelle le composant logique voit son entrée à l'état haut.

- V_{il} (maximum low level input voltage)
tension d'entrée maximale pour laquelle le composant logique voit son entrée à l'état bas.

- V_{oh} (minimum high level output voltage)
tension de sortie minimale à l'état haut pour un courant de sortie et une tension d'alimentation donnée.

- V_{ol} (maximum low level output voltage)
tension de sortie maximale à l'état bas pour un courant de sortie et une tension d'alimentation donnée.

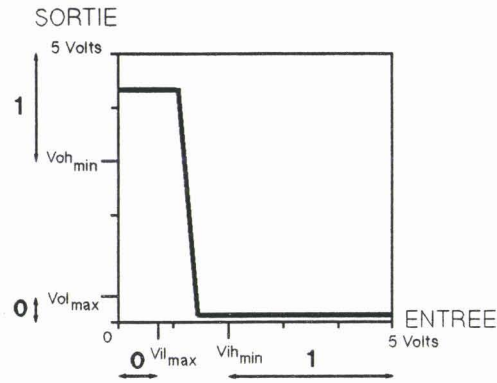


figure I.14: caractéristique statique entrée-sortie d'une porte TTL sur laquelle figurent les niveaux d'entrée et de sortie

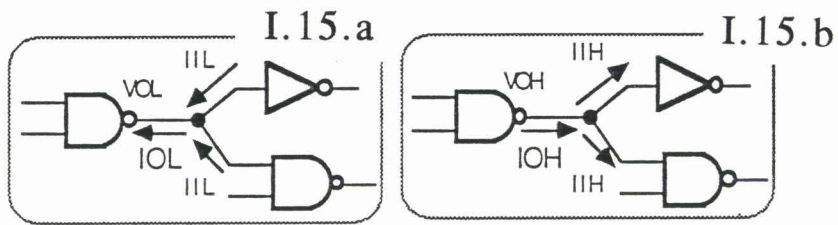


figure I.15: sens des courants absorbés et fournis par des portes TTL

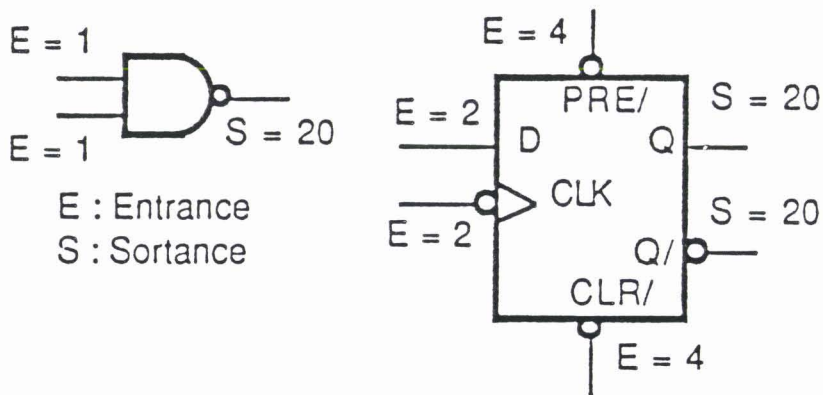


figure I.16: entrances et sortances de circuits logiques

Les niveaux électriques d'un signal logique entrant V_e ou sortant V_s de l'inverseur 74LS04 sont garantis dans les plages suivantes:

- $0. < V_e < V_{il} = .8 \text{ V.} \quad \rightarrow \quad V_{oh} = 3 \text{ V.} < V_s < 5$
- $V_{ih} = 2 \text{ V.} < V_e < 5 \text{ V.} \quad \rightarrow \quad 0. < V_s < V_{ol} = .5 \text{ V.}$

Comme la sortie d'une porte alimente l'entrée d'une autre porte, il est nécessaire que la plage de reconnaissance en entrée soit plus large que la plage de variation du signal de sortie de façon à disposer d'une marge de sécurité (*figure 1.14*).

1.1.4.b Courants de sortie et d'entrée

Les sigles suivant définissent les courants d'entrée et de sortie :

- I_{ih} (high level input current)
courant dans une entrée lorsque celle-ci est forcée au niveau haut.
- I_{il} (low level input current)
courant dans une entrée lorsque celle-ci est forcée au niveau bas.
- I_{oh} (high level output current)
courant que peut fournir la sortie pour maintenir celle-ci à $V_{oh_{min}}$.
- I_{ol} (low level output current)
courant que peut absorber la sortie lorsque celle-ci est au niveau bas $V_{ol_{max}}$.

Un courant est positif lorsqu'il entre dans un élément logique, négatif lorsqu'il en sort. Une sortie de porte TTL au niveau bas absorbe un courant I_{ol} égal à la somme des courants I_{il} fournis par les entrées des portes connectées à la sortie considérée (*figure 1.15a*). Au niveau haut, la sortie fournit un courant I_{oh} égal à la somme des courants I_{ih} absorbés par les entrées des portes (*figure 1.15b*)

1.1.4.c Entrance et sortance de circuits

Le courant d'entrée I_{ih} ou I_{il} de la porte NAND TTL correspond à une charge unitaire. Son entrance ("fan in" en anglais) vaut 1. La sortance ("fan out"), nombre maximal d'entrées qu'une sortie peut alimenter, est égale au plus petit des rapports I_{oh}/I_{ih} ou I_{ol}/I_{il} . Pour la NAND 74LS00 la sortance vaut 20.

L'assemblage électrique des circuits logiques suit ainsi une règle très simple (règle des charges): il suffit que la sortance d'un circuit soit supérieure ou égale à la somme des sortances des circuits qu'il commande. Certains circuits présentent comme sur la *figure 1.16* une entrance différente de 1.

Pour la technologie CMOS les rapports des courants d'entrée et de sortie sont énormes en raison de la très faible valeur des courants d'entrée: il faut alors considérer la sortance comme étant le nombre maximal de portes pouvant être connectées à la sortie du composant

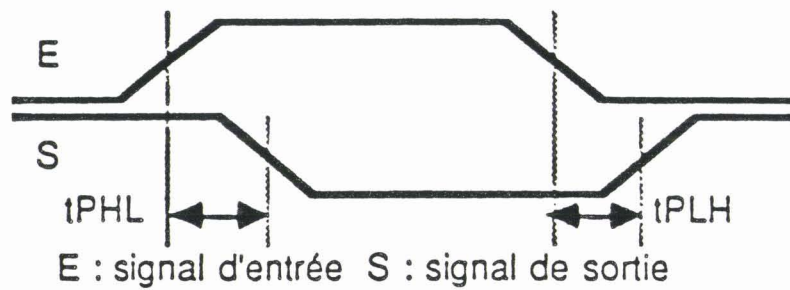


figure I.17: temps de propagation dans une porte logique

	TTL			CMOS				
	7400	74LS00	74F00	74C04	74HCU04	74HC04	74HCT04	74AC04
Alim. (V)	5+/-5%	5+/-5%	5+/-10%	3 à 16	2 à 6	2 à 6	5+/-10%	2 à 6
Vih _{min} (V)	2	2	2	3.5	4	3.5	2	3.5
Vil _{max} (V)	.8	.8	.8	1.5	.9	1.5	.8	1.5
Voh _{min} (V) à Ioh	2.4 -400 μA	2.7 -400 μA	2.5 -1 mA	4.5 -10 μA	4.5 -20 μA	4.9 -20 μA	4.9 -20 μA	4.9 -50 μA
Vol _{max} (V) à Iol	.4 16 mA	.5 8 mA	.5 20 mA	.5 10 μA	.5 20 μA	.1 20 μA	.1 20 μA	.1 50 μA
Iih(μA) à Ve(V)	40 2.4	20 2.7	20 2.7	5nA 15	1 6	1 6	.1 5.5	.1 5.5
Iil à Ve(V)	-1.6 mA .4	-.36 mA .4	-.6 mA .5	-5 nA 0.	1 0.	1 0.	.1 0.	.1 0.
Sortance	10	20	33	2 LS	10 LS	10 LS	10 LS	>10 LS
t _{plh} (ns)	12	11	3.7	50	8	8	8	4
t _{phl} (ns)	8	8	3.2	50	8	8	8	3.5
à Cl(pF)	15	15	50	50	50	50	50	50
consommation par porte à 1 MHz	10 mW	2mW	2mW	5mW (.03μW en statique)	.1 mW			
f _{max} Mhz	25	33	160	4	55	55	55	160

tableau I.1: paramètres électriques et temporels nominaux des principales fonctions de base

logique sans faire évaluer considérablement le temps de propagation (défini ci-dessous) de la logique.

I.1.4.d Paramètres temporels

Deux paramètres caractérisent le retard d'un circuit.

- t_{phl} (propagation delay time, high to low level)

C'est le temps de propagation du niveau bas au niveau haut pour la transition descendante du signal de sortie. Les origines sont prises lors des passages à la moitié de l'amplitude totale.

- t_{plh} (propagation delay time, low to high level)

C'est le temps de propagation du niveau bas au niveau haut pour la transition montante du signal de sortie. Les origines sont également prises lors des passages à la moitié de l'amplitude totale.

Le temps de propagation moyen ou temps de traversée de l'opérateur élémentaire peut se définir comme étant la valeur moyenne de t_{phl} et t_{plh} :

$$t_{pd} = 1/2 (t_{phl} + t_{plh}) \quad (I.1)$$

La *figure 1.17* illustre ces notions de temps de propagation dans le cas d'un circuit inverseur.

Il existe d'autres paramètres dans les catalogues des fabricants de circuits intégrés logiques. Ceux-ci n'étant pas utile pour la suite de l'étude nous ne les mentionnerons pas. Pour résumer ce paragraphe nous présentons ci-contre un tableaux récapitulatif des différentes caractéristiques des composants TTL et CMOS de base (pour une tension d'alimentation de 5 Volts) que nous allons retrouver tout au long de ce document.

I.2 LA SUSCEPTIBILITE DES CIRCUITS INTEGRES LOGIQUES.

Le fonctionnement des circuits intégrés logiques, dont nous venons de faire une description sommaire, peut être affecté sous l'influence d'interférences électromagnétiques (IEM) non destructives. Leurs actions sur les entrées et sorties actives du composant ainsi que sur son alimentation, peuvent introduire des retards de commutation, des faux états logiques transitoires ou permanents, etc.. avec toutes les conséquences catastrophiques que cela peut provoquer sur l'électronique situé en aval de l'élément logique perturbé.

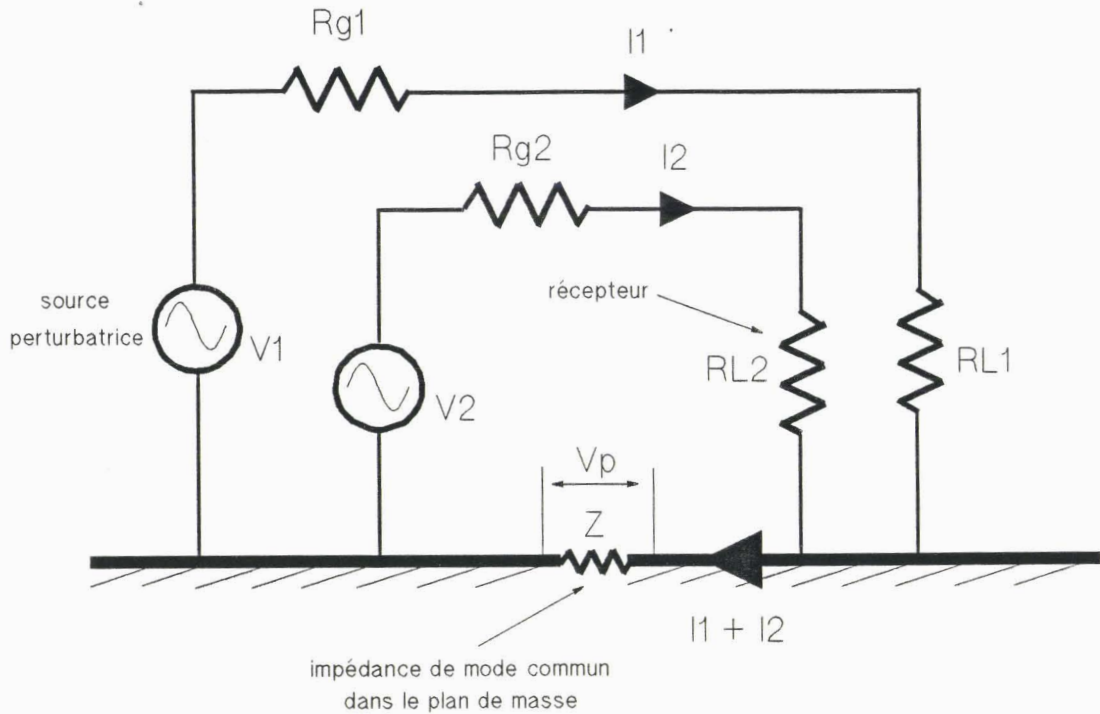


figure I.18: schéma représentant un couplage par impédance commune

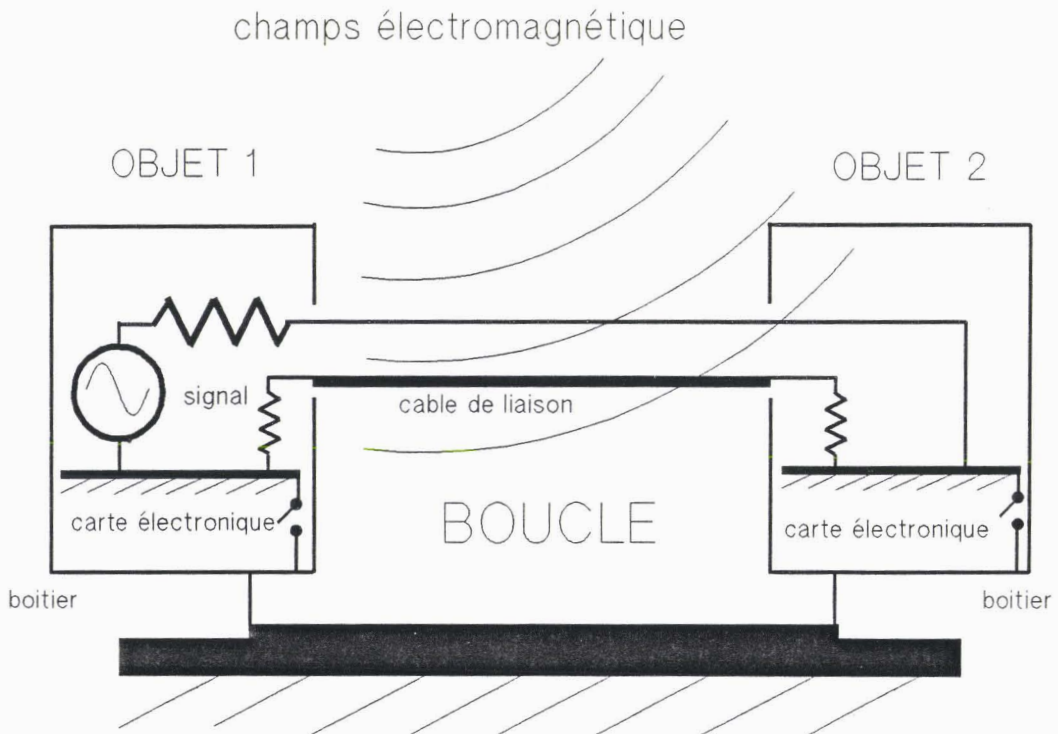


figure I.19: induction du champ électromagnétique au travers d'une boucle de masse

Les interférences ont pour origine des mécanismes d'induction qui prennent naissance sur les lignes reliant un composant à son environnement. Il peut s'agir de lignes de dimensions importantes, connectées entre des équipements électroniques, ou au contraire, des pistes de circuit imprimé reliant les fonctions logiques d'une même carte.

I.2.1 Les différents types de couplage électromagnétique

Il existe plusieurs mécanismes de couplage [4] [5] entre une source créant l'IEM et la victime qui joue le rôle de récepteur.

I.2.1.a Couplage par impédance commune

Il s'agit d'un phénomène par lequel une impédance (self, résistance) apparaît entre la source perturbatrice et la victime. Ce cas est fréquent sur une ligne d'alimentation ou de retour.

Une différence de potentiel RI ou $L\omega I$ aux bornes de cette impédance (tension de mode commun) gênera le bon fonctionnement du récepteur en venant s'ajouter en série dans la boucle du circuit.

La *figure 1.18* illustre cet exemple de couplage.

I.2.1.b Couplage par rayonnement: induction de mode commun

La source de rayonnement est ponctuelle et souvent éloignée du perturbateur. Le système se comporte alors vis à vis du champ électromagnétique rayonné par la source comme une antenne réceptrice qui sera le siège de tensions ou courants induits dont le résultat sera une tension parasite sur les composants les plus vulnérables des équipements.

Dans une boucle constituée par un ou plusieurs circuits reliés entre eux et une masse commune (*figure 1.19*), le calcul de la tension de mode commun qui apparaîtra à l'extrémité de la ligne peut se faire par un raisonnement magnétostatique (calcul du flux de la composante magnétique au travers de la boucle) ou électrostatique (calcul du potentiel créé par la composante électrique).

La tension de mode commun va débiter dans des impédances (ligne, entrée du circuit 2, sortie du circuit 1) et générer un courant perturbateur dans la ligne.

I.2.1.c Couplage par rayonnement: induction de mode différentiel

Le principe reste le même que précédemment, mais la boucle est cette fois constituée par deux lignes qui peuvent correspondre à un échange d'informations entre deux appareils électroniques (*figure 1.20*). La tension sera induite entre les extrémités des deux lignes.

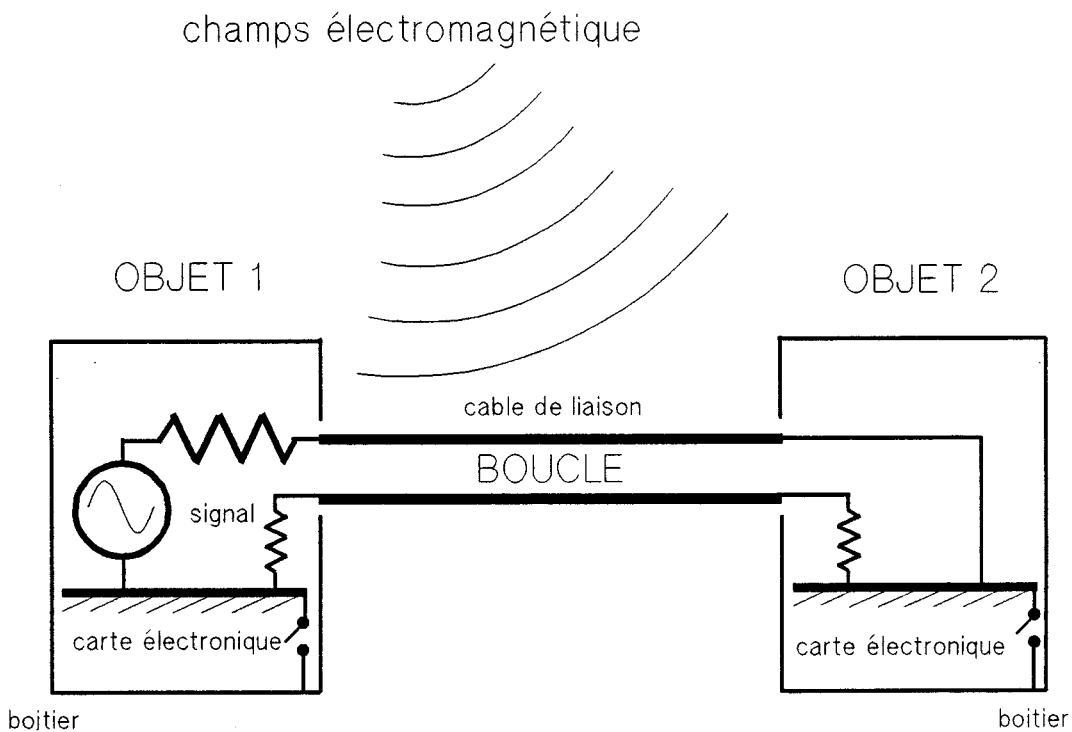


figure 1.20: Induction du champ par l'intermédiaire de deux conducteurs

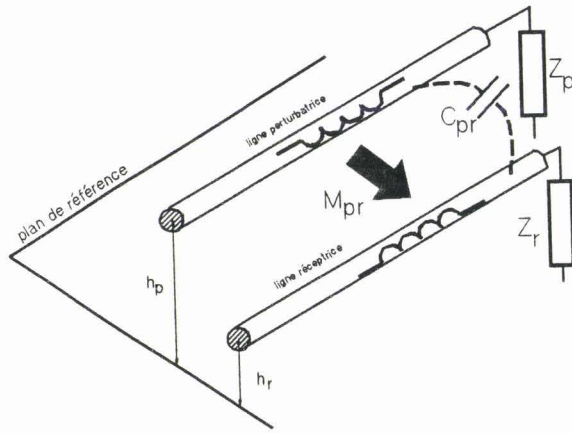


figure 1.21: schéma montrant le couplage entre deux conducteurs

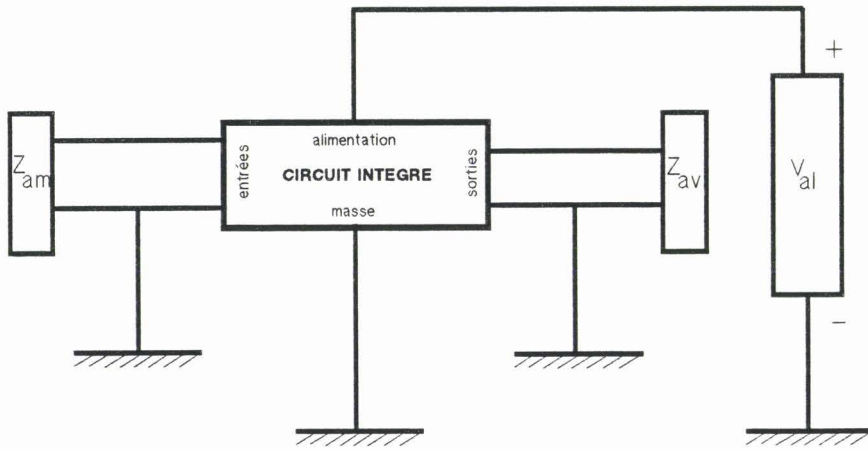


figure 1.22: fonction élémentaire d'une carte connectée à son environnement

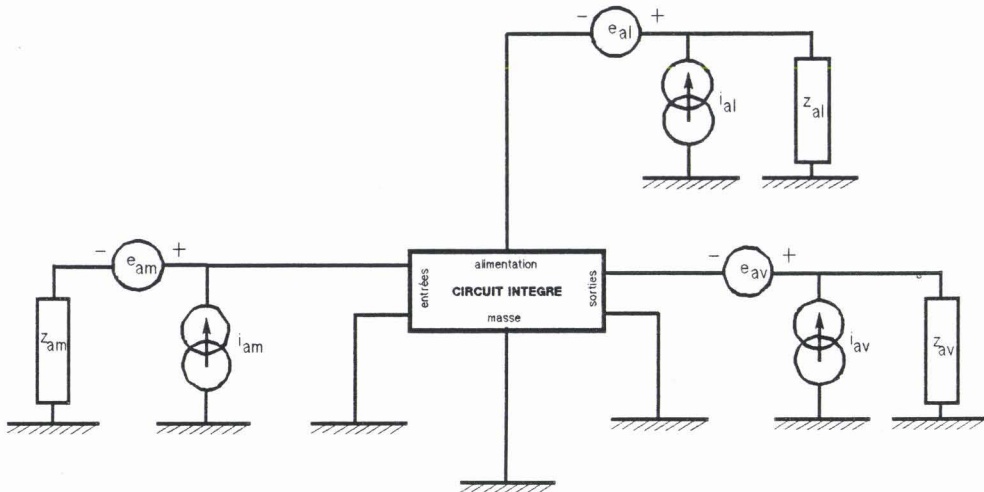


figure 1.23: Schéma dynamique du composant soumis à l'action d'une IEM

I.2.1.d Couplage par proximité entre deux lignes de transmission

Le couplage par influence se manifeste généralement lorsqu'une ligne véhiculant des courants intenses ou des tensions de grande amplitude, suit un parcours parallèle à une ligne véhiculant des signaux de faible amplitude.

La *figure 1.21* considère le cas d'une ligne perturbatrice et d'une ligne réceptrice présentant une inductance mutuelle M_{pr} et une capacité mutuelle C_{pr} . Dans la ligne perturbatrice passe un courant I_p au potentiel V_p , la ligne réceptrice verra:

- une tension issue du couplage magnétique: $V_{mag} = M_{pr}.dI_p/dt$
- un courant issu du couplage capacitif: $I_{cap} = C_{pr}.dV_p/dt$

De cette façon, l'effet de la perturbation peut être schématisé par des générateurs de tension et de courant équivalents sur la ligne perturbée.

Les conducteurs peuvent être également deux pistes parallèles d'un circuit imprimé. La théorie des lignes fournit les équations qui décrivent la relation existant entre le perturbateur et le récepteur.

I.2.2 Le composant électronique et son environnement électromagnétique [6] [7]

Une carte électronique logique est constituée de plusieurs circuits reliés entre eux par un réseau de pistes. La complexité est telle qu'il est presque impossible d'aborder la compatibilité électromagnétique de la carte de façon globale.

Aussi, nous allons dans le cadre de notre thèse simplifier le problème en regardant uniquement une fonction élémentaire (porte NAND, INVERSEUR). En effet, la plupart des circuits intégrés issus de la même famille présentent des sorties identiques. C'est pourquoi, les résultats obtenus peuvent être généralisés aux autres fonctions logiques.

Sur le schéma de la *figure 1.22*, nous avons représenté un circuit intégré (qui pourrait s'assimiler à une fonction NAND) connecté à son environnement par des éléments qui correspondent à deux impédances Z_{am} , Z_{av} et une source d'alimentation V_{al} .

- Z_{am} est la charge amont: en général l'impédance de sortie d'un autre composant.
- Z_{av} est la charge aval que nous supposons être l'impédance d'entrée d'un autre composant.

Soumis aux effets d'une IEM, nous assimilons le schéma dynamique du composant à la représentation de la *figure 1.23* à la condition de négliger les phénomènes de propagation sur les lignes ou les pistes. Le perturbateur est réduit à des générateurs de tension et de

courant directement appliqués aux ports d'accès du circuit intégré. Nous admettons dans le cas présent que le zéro de potentiel n'est pas concerné par l'action de l'IEM.

Z_{am} , Z_{av} , Z_{al} sont alors respectivement les représentations dynamiques des impédances amont, aval et du circuit d'alimentation. L'amplitude de e_{am} , e_{av} , e_{al} , i_{am} , i_{av} , i_{al} sont déterminées par les conditions de couplage électromagnétique du perturbateur sur la carte.

Les conséquences du perturbateur sur les lignes d'alimentation et les ports d'entrée-sortie ont été analysées par C. LARDE [7]. Nous rappelons les résultats obtenus.

I.2.2.a Action du perturbateur sur les lignes d'alimentation

La perturbation par injection de courant n'est pas envisageable compte tenu de l'impédance très faible présentée par la source d'alimentation du circuit intégré dans laquelle serait dérivée la source de courant.

Des impulsions d'amplitude, de polarité et de durée variables ont été superposées au niveau continu classique de 5 Volts, de l'alimentation non découplée d'une porte NAND (TTL ou CMOS).

Toute augmentation brutale de la tension d'alimentation (dans la gamme 5-10 Volts) n'a pu affecter le fonctionnement de la logique. Par contre lorsque la tension chute en dessous de 3 Volts, des oscillations ou un faux état logique permanent se manifestent en sortie du composant.

Par conséquent, il est impératif de découpler un circuit intégré en utilisant un condensateur le moins selfique possible, connecté aux abords immédiats des broches d'alimentation.

I.2.2.b Action du perturbateur sur les ports sortie-entrée

L'entrée d'un circuit intégré est généralement reliée à la sortie d'un autre. Des études sur une liaison NAND-NAND soumise à des perturbations par injection de tension ou de courant ont été menées [7].

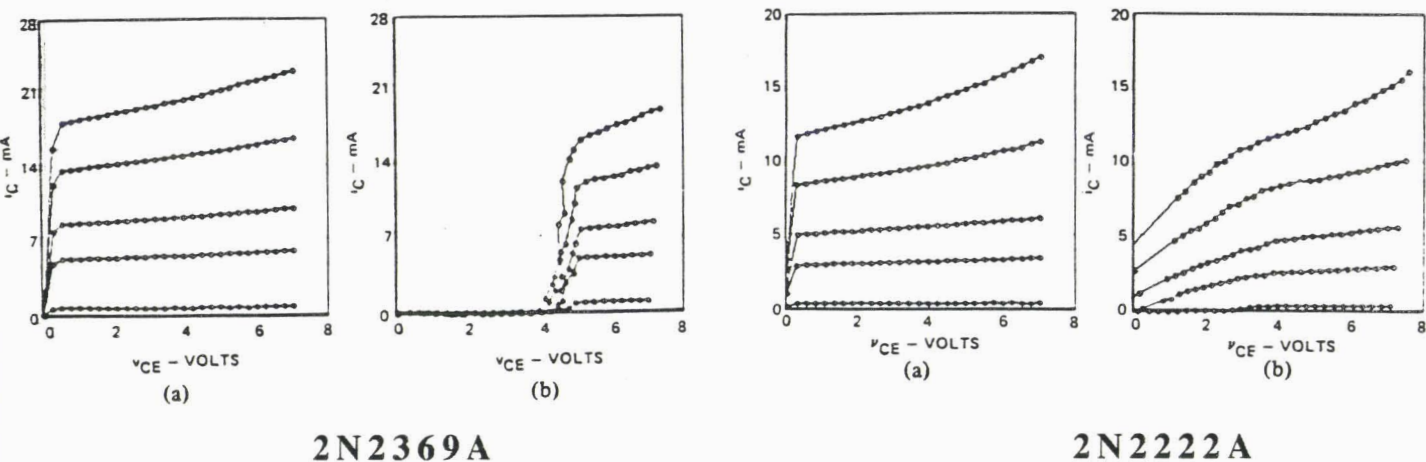
Globalement, les caractéristiques des signaux nécessaires à l'obtention d'un effet perturbateur sont, tant en amplitude que dans le domaine temporel, directement liées à celles fournies dans les fiches techniques des circuits.

Des phénomènes transitoires sur des technologies TTL ont cependant été observés lors d'une injection de courant dans leur sortie. Les recherches n'ont pas été approfondies malgré l'importance de ce résultat sur le plan de la compatibilité électromagnétique. Par ailleurs aucune étude sur les familles récentes FAST et FACT ne figure actuellement dans la bibliographie.

I.2.2.c Choix de la caractérisation de la sortie du composant

Nous proposons dans la suite de notre thèse d'étudier de façon plus précise le comportement de la sortie d'un composant élémentaire lorsque celle-ci est agressée par un perturbateur.

Ce choix est d'autant plus justifié, que contrairement aux entrées, l'élément logique présente vu de sa sortie une très forte non linéarité de ses caractéristiques tant statiques (relation courant-tension) que dynamique (résistance dynamique) en raison de sa structure interne. Ce sont donc celles de la sortie du circuit amont qui feront que l'entrée du circuit aval sera plus ou moins sensible à l'interférence.



*figure I.24**: caractéristiques courant-tension des transistors bipolaires
 a) sans perturbateur
 b) avec perturbateur harmonique (220Mhz - 90mW) appliqué sur son collecteur
 (le courant base varie par pas de 50 μ A)

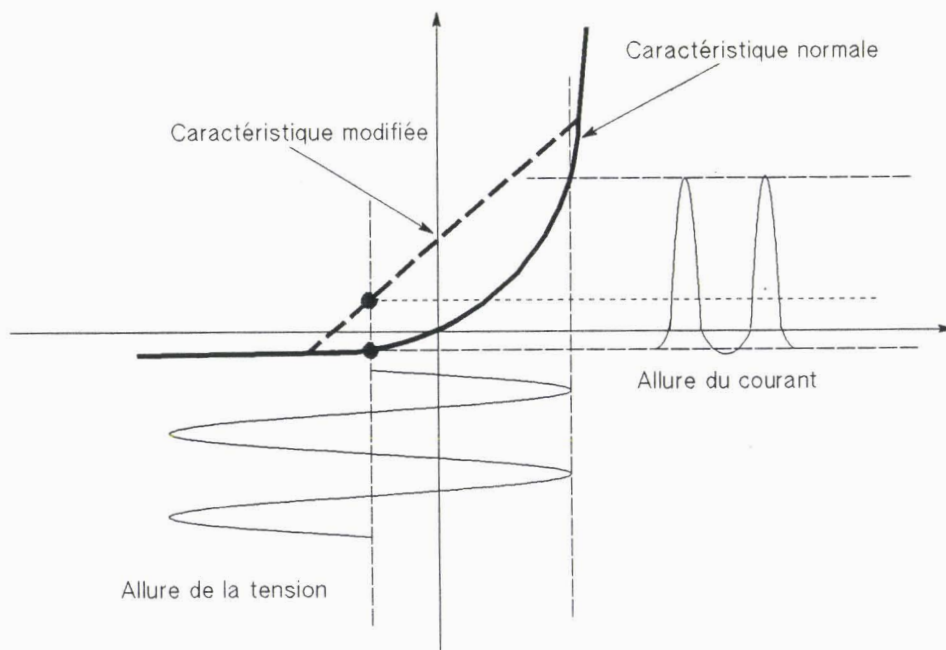


figure I.25: illustration du redressement dans une jonction PN

* figure extraite de: C.E. LARSON and J.M. ROE
 "A modified Ebers-Moll transistor model for RF interference analysis"
 IEEE Transactions on Electromagnetic Compatibility, vol EMC-21 n°4
 November 1979

I.2.3 Justification et description d'un perturbateur de type impulsionnel

J.J. WHALEN et C.E. LARSON [8] [9] ont étudié vers la fin des années 1970 les effets induits par des perturbations électromagnétiques sur des composants logiques intégrés.

I.2.3.a Les travaux de J.J. WHALEN et C.E. LARSON [8] [9]

Ces chercheurs ont étudié l'influence des radio-fréquences (environ 200 MHz) sur la technologie bipolaire.

Pour ce faire, différents transistors (2N2222A, 2N2369A) ont été soumis à un perturbateur harmonique appliqué sur leur collecteur (*figure I.24*). L'analyse des résultats a révélé des changements dans les caractéristiques courant-tension des composants dus aux phénomènes de redressement.

Les jonctions pn, qui constituent les transistors bipolaires, redressent à cause de leur comportement non linéaire, les signaux harmoniques. En effet, une tension sinusoïdale appliquée sur une jonction polarisée en inverse, fournira un courant non symétrique dont la valeur moyenne sera plus élevée que celle du courant de polarisation. La *figure I.25* illustre ces explications.

Ce phénomène de redressement a été modélisé et utilisé pour simuler les effets des RF sur la sortie, initialement à l'état bas, d'une porte NAND TTL. Des tests sur la sensibilité d'un circuit intégré logique, soumis à des perturbations électromagnétiques, ont par conséquent été entrepris par ces auteurs.

Cette approche bien que limitée à un nombre restreint de familles logiques a mis en relief les mécanismes perturbateurs.

I.2.3.b Choix d'un perturbateur de type impulsionnel

Nous avons vu précédemment que J.J. WHALEN et C.E. LARSON ont opté pour un perturbateur harmonique dont la fréquence voisine de 200 MHz est nettement supérieure à la fréquence maximale de fonctionnement du circuit intégré (*cf tableau I.1*). Ce dernier ne peut suivre ses variations d'amplitude et voit alors la valeur moyenne du perturbateur qui vient modifier son fonctionnement normal. Les effets transitoires qui peuvent apparaître sur les ports du composant, lorsque le perturbateur se manifeste de façon fugitive, sont masqués.

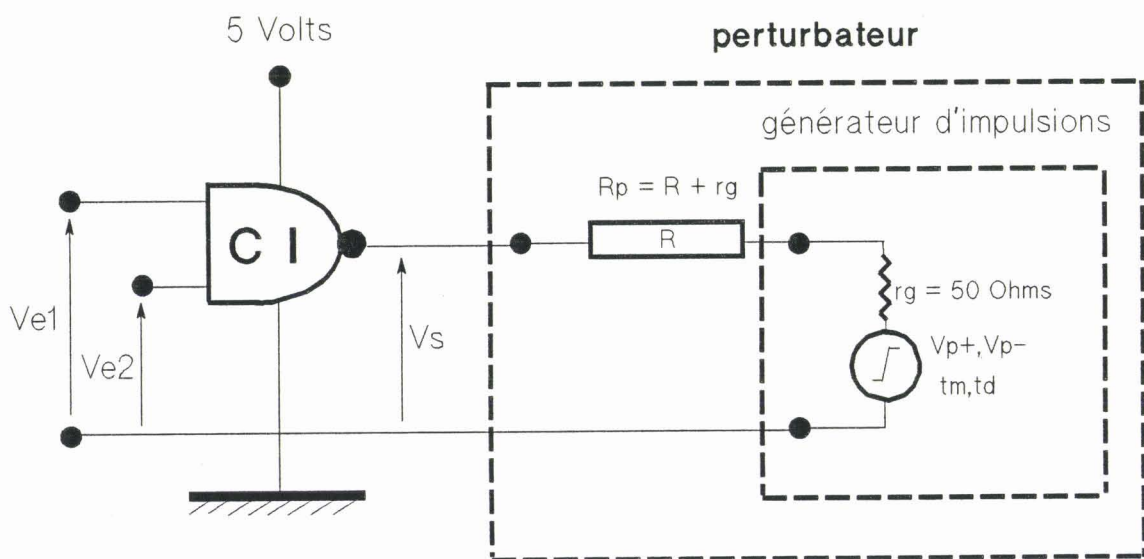


figure 1.26: Dispositif expérimental utilisé pour la perturbation de la sortie des circuits intégrés

Afin d'élargir cette étude, nous avons envisagé de soumettre le circuit intégré à des perturbateurs de type impulsif. Les signatures donner par ces circuits nous permettrons de mieux cerner les mécanismes perturbant.

I.2.3.c Réalisation expérimentale

Un générateur d'impulsions (positives, négatives, alternées) de temps de montée (ou de descente) et d'amplitude variables, est utilisé en série avec une résistance R reliée à la sortie du composant. L'impédance interne r_g du générateur est de 50Ω .

Le dispositif de la *figure 1.26* s'apparente donc le plus à une injection ou un appel de courant sur la sortie du circuit intégré. Il est équivalent de par sa conception à celui utilisé par J.J. WHALEN et C.E. LARSON pour leurs simulations.

La visualisation de la tension de sortie de l'élément logique en fonction du niveau du perturbateur permettra de définir sa sensibilité ainsi que le modèle correspondant au comportement de sa sortie.

Dans toutes nos études expérimentales:

- l'alimentation du circuit intégré sera découplée sur sa broche avec une capacité céramique de $1 \mu\text{F}$.

- les pistes des circuits imprimés seront les plus courtes possibles afin d'atténuer au maximum les effets des capacités et des selfs parasites.

- V_p^+ sera l'amplitude du perturbateur pour une impulsion positive, V_p^- l'amplitude pour une impulsion négative, t_m correspondra au temps de montée de l'impulsion, t_d au temps de descente. La durée de l'impulsion sera toujours supérieure au temps moyen de propagation t_{pd} de l'élément logique défini au *paragraphe 1.1.4.d*.

- $R_p = R + r_g$ sera l'impédance interne du perturbateur.

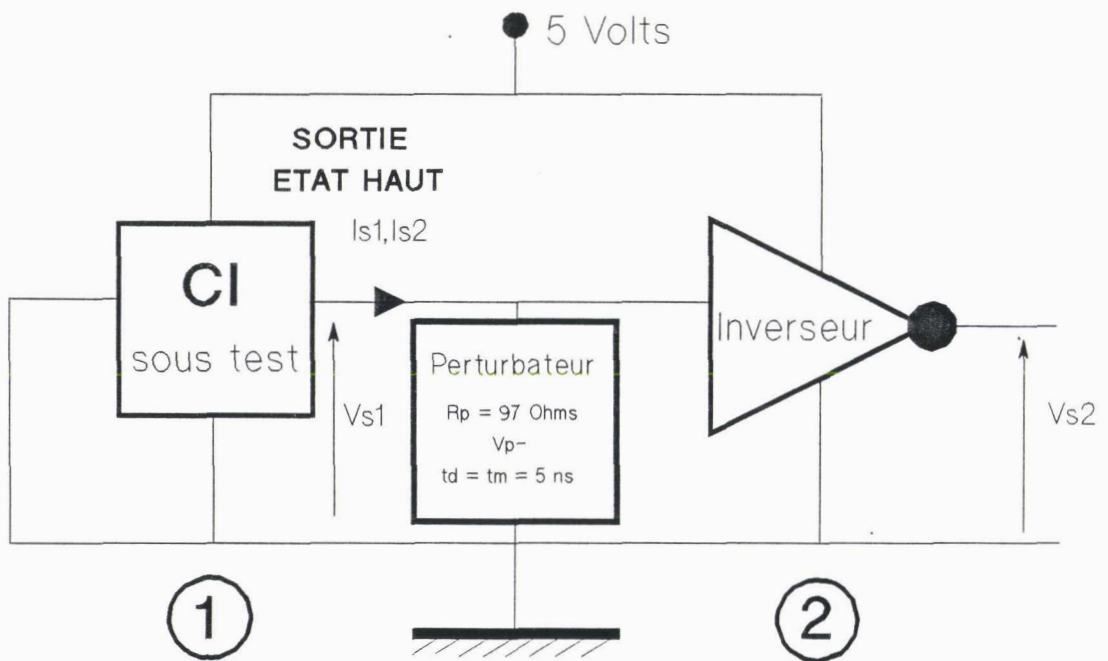


figure I.27: Schéma expérimental de la perturbation de la sortie à l'état haut d'un composant logique

I.3 DETERMINATION EXPERIMENTALE DE LA SENSIBILITE DES CIRCUITS INTEGRES LOGIQUES.

Dans ce paragraphe, nous étudions la sensibilité aux injections et aux appels de courants de toute une série de composants élémentaires provenant des familles logiques décrites aux 1.1.2 et 1.1.3, lorsque leur sortie est figée à un état haut puis bas.

I.3.1 Définition de la sensibilité des circuits intégrés logiques

Nous avons choisi de définir la sensibilité d'un circuit intégré logique comme étant sa capacité à absorber ou fournir un courant de sortie I_s sans que celle-ci change d'état logique.

Pour la mesurer, il suffit donc de déterminer I_s lorsque la sortie est à l'état haut (I_s négatif dans ce cas) puis lorsque celle-ci est à l'état bas (I_s positif dans ce cas). Le composant sera d'autant plus sensible que la valeur absolue de I_s sera faible.

Des études sont actuellement en cours afin de caractériser la sensibilité des composants en cours de commutation [10]. Dans cette configuration, le paramètre pris en compte n'est plus un courant, mais un temps qui traduit le retard à la commutation.

I.3.2 Cas où la sortie est à l'état haut

Le schéma de l'expérience est représenté sur la *figure 1.27*. Le perturbateur envoie une impulsion négative qui se superpose au niveau continu de la tension de sortie initiale V_{s1} .

Une première étape consiste à descendre momentanément V_{s1} à $V_{ih_{min}}$ et d'en déduire le courant I_{s1} :

$$I_{s1} = (V_{p1}^- + V_{s1} - V_{ih_{min}}) / R_p \quad (I.2)$$

Officiellement ce courant respecte les normes observées dans les livres techniques et aucune perturbation ne devrait être détectée par le composant qui suit. Nous dirons en effet, que le composant sous test est perturbé, si un inverseur de la même famille placé sur sa sortie change d'état de façon définitive, temporaire ou si sa tension de sortie passe au dessus de $V_{il_{max}}$ (à ce moment, la sortie de l'inverseur ne sera plus un état bas, donc son entrée qui est évidemment la sortie de l'élément sous test ne correspondra plus à un 1 logique).

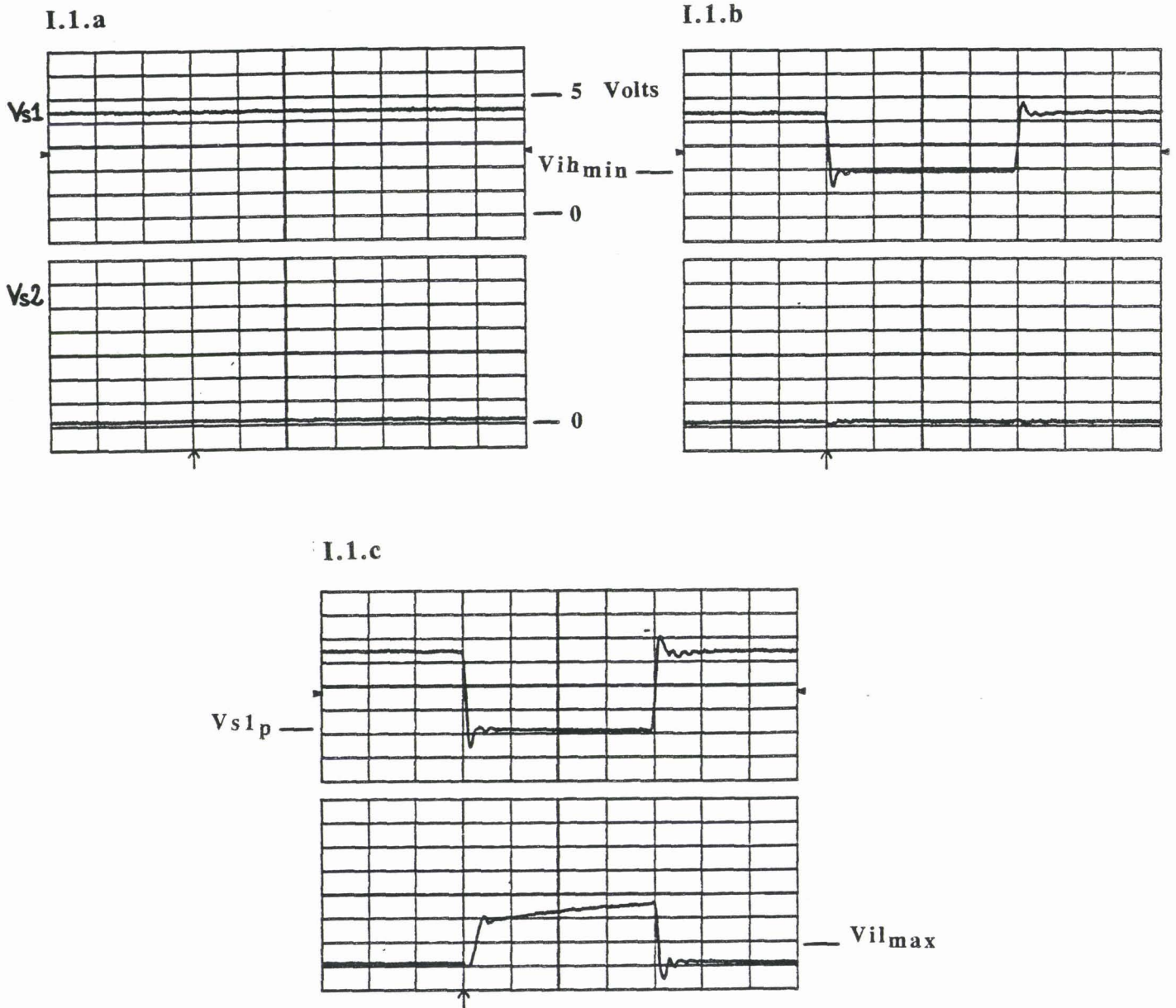


planche I.1: Perturbation de la sortie à l'état haut

1 = 74LS00 (C3) ; 2 = 74LS04 (C1)

base de temps: 50 ns/div
amplitude: 1 Volt/div

I.1.a : état initial, sortie du composant sous test à l'état haut,
sortie inverseur à l'état bas.

I.1.b : application de l'impulsion négative à $V_{ih_{min}}$
l'inverseur ne détecte rien.

I.1.c : le critère de perturbabilité est respecté
 $V_{s2} > V_{il_{max}}$

La seconde étape détermine le courant I_{s2} nécessaire à la réalisation de ce critère :

$$I_{s2} = (V_{p2} + V_{s1} - V_{s1p}) / R_p \quad (I.3)$$

Pour la technologie MOS, l'inverseur est un 74HC04. Pour la technologie TTL, l'inverseur est un 74LS04 ou 74HCT04 (cas pratique d'une liaison TTL-CMOS).

La *planche I.1* ci-contre fournit les graphes des signaux V_{s1} et V_{s2} correspondant aux deux étapes décrites ci-dessus. Les résultats sont confinés dans le tableau ci-dessous.

techno- logie	référence	cons- tructeur	V_{ihmin} (Volts)	I_{s1} (mA)	V_{ilmax} (Volts)	I_{s2} (mA)	
						74HC04	
MOS	74C04	C1	3.5	- 2.3	1.5	- 3.1	
	74HCU04	C2	4	- 25	.9	- 48	
	74HC04	C1	3.5	- 34	1.5	- 47	
		C3	3.5	- 27	1.5	- 42	
		C4	3.5	- 28	1.5	- 39	
	74HCT04	C4	3.5	- 26	1.5	- 36	
74AC04	C1	3.5	-125	1.5	-172		
						74HCT04	74LS04
TTL	7400	C1	2	- 12.4	.8	- 18	- 17.5
		C5	2	- 12.4	.8	- 16.5	- 17
		C6	2	- 11.4	.8	- 14.5	- 15
	74LS00	C1	2	- 28.9	.8	- 40.2	- 39.2
		C3	2	- 32	.8	- 41.2	- 40.7
		C6	2	- 35	.8	- 45.4	- 44.8
	74F00	C1	2	- 50.5	.8	- 66	- 65

tableau I.2: mesure de I_{s1} et I_{s2} sortie à l'état haut

Pour l'inverseur 74HCT04, le V_{ihmin} et le V_{ilmax} ont été assimilés à ceux d'un 74HC04 compte tenu du fait que la sortie d'un 74HCT04 est identique à celle d'un 74HC04.

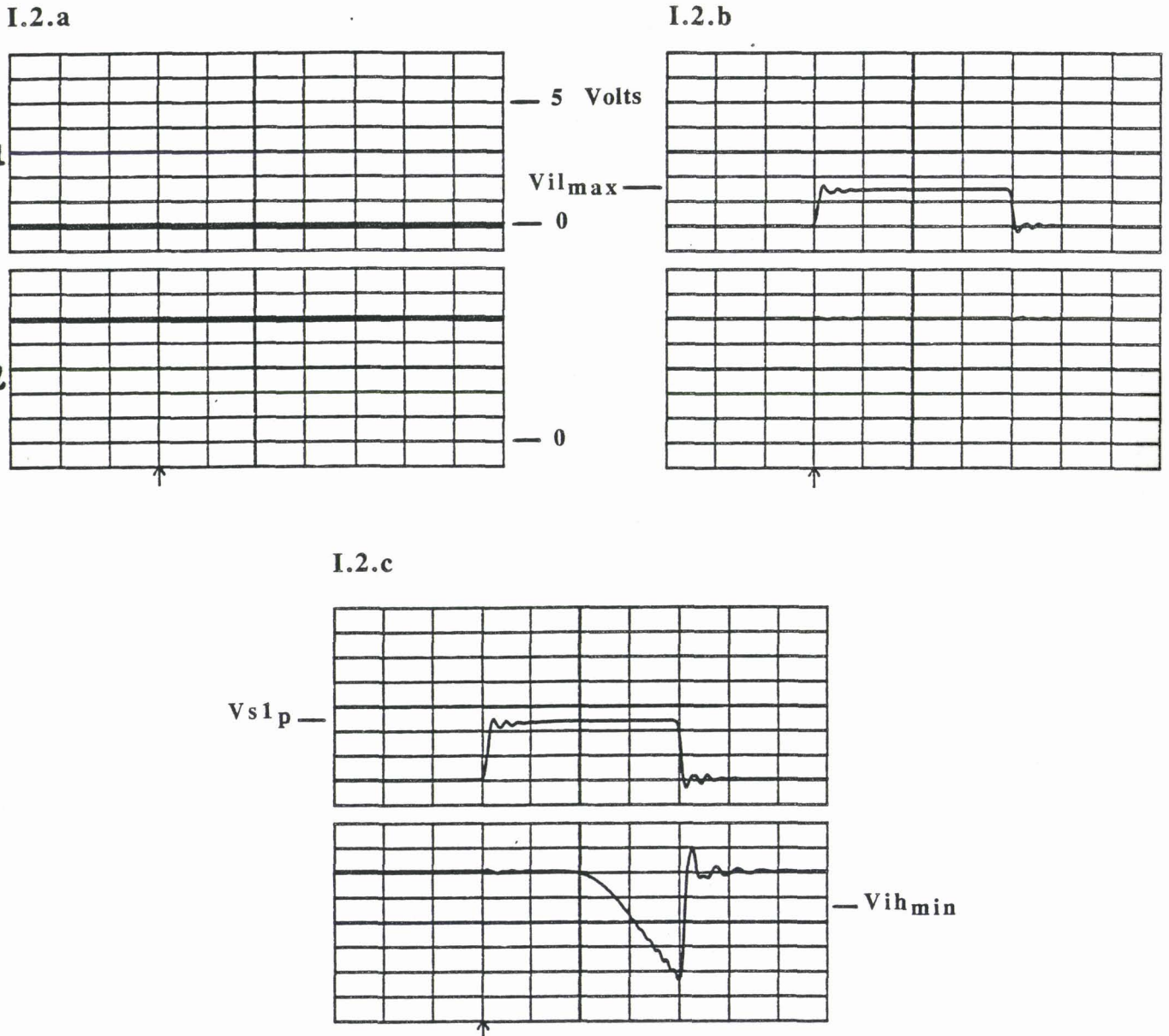


planche I.2: Perturbation de la sortie à l'état bas sur technologie CMOS

$1 = 74HC04 (C1) ; 2 = 74HC04 (C1)$

base de temps: 50 ns/div
amplitude: 1 Volt/div

- I.2.a : absence de perturbation, sortie du composant sous test à l'état bas, sortie inverseur à l'état haut.*
- I.2.b : application de l'impulsion positive à $V_{il_{max}}$ l'inverseur ne détecte rien.*
- I.2.c : le critère de perturbabilité est respecté $V_{s2} < V_{ih_{min}}$*

I.3.3 Cas où la sortie est à l'état bas

Le schéma de l'expérience est représenté sur la *figure 1.28* ci-dessous.

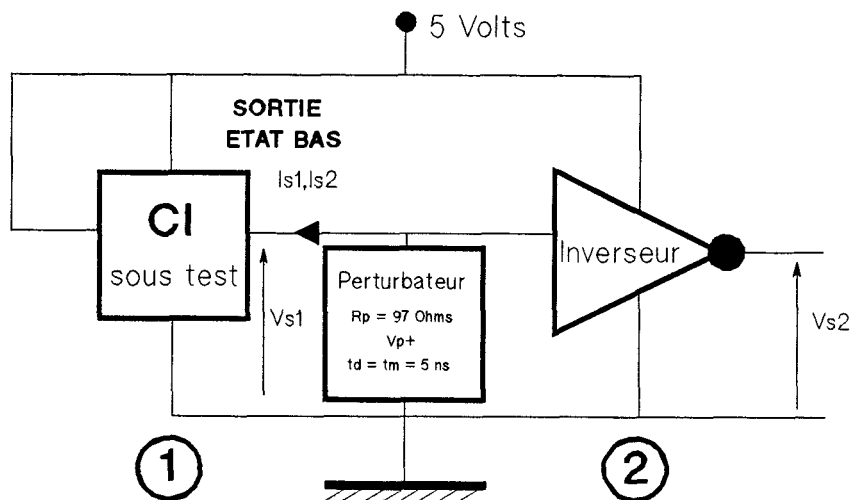


figure 1.28: schéma expérimental de la perturbation de la sortie à l'état bas

Le perturbateur envoie une impulsion positive. Le potentiel de sortie V_{s1} est élevé tout d'abord à $V_{il_{max}}$.

Le courant I_{s1} vaut alors:

$$I_{s1} = (V_{p1^+} - V_{il_{max}}) / R_p \quad (I.4)$$

Le composant sous test est perturbé si un inverseur de la même famille, placé sur sa sortie, change d'état de façon définitive, temporaire ou si sa tension de sortie V_{s2} passe en dessous de $V_{ih_{min}}$ (la sortie de l'inverseur ne sera alors plus un état haut, donc celle de l'élément sous test ne correspondra plus à un 0 logique).

Dés l'obtention de l'une de ces conditions:

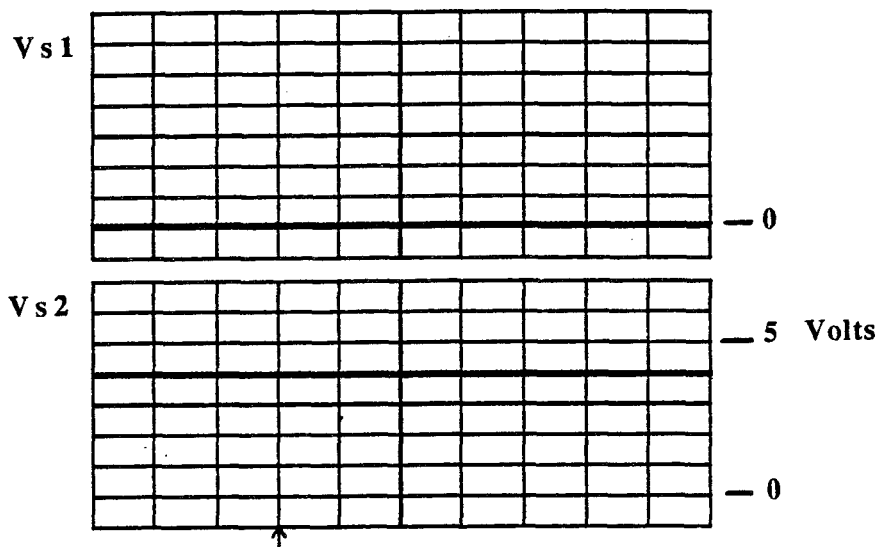
$$I_{s2} = (V_{p2^+} - V_{s1p}) / R_p \quad (I.5)$$

De même que précédemment, l'inverseur est un

- 74HC04 pour la technologie MOS
- 74HCT04 ou 74LS04 pour la technologie TTL.

La *planche 1.2* fournit les graphes des signaux V_{s1} et V_{s2} correspondant aux deux étapes décrites ci-dessus dans le cas où le composant sous test appartient à la technologie CMOS.

I.3.a



I.3.b

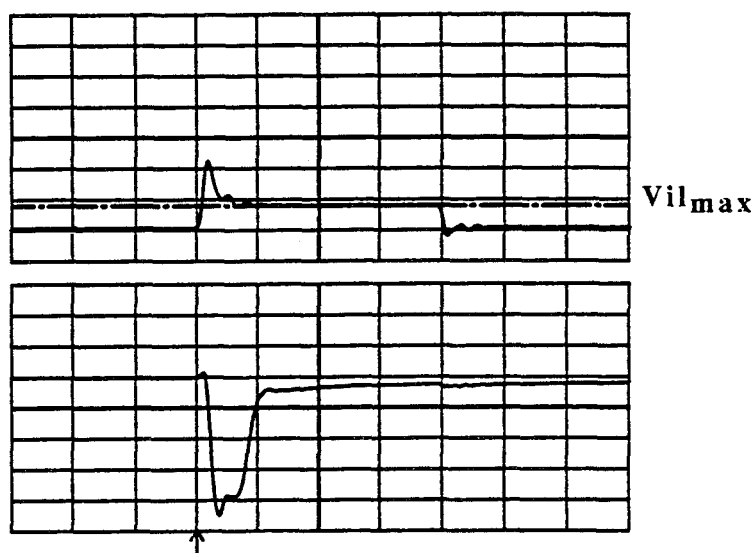


planche I.3: Perturbation de la sortie à l'état bas sur technologie TTL

$1 = 7400 (C1) ; 2 = 74LS04 (C1)$

base de temps: 50 ns/div

amplitude: 1 Volt/div

I.3.a : absence de perturbation, sortie du composant sous test à l'état bas, sortie inverseur à l'état haut.

I.3.b : application de l'impulsion positive à $V_{il_{max}}$ l'inverseur change d'état logique.

Pour la technologie TTL, nous constatons l'apparition d'une surtension sur le signal V_{s1} provoquée par l'application de l'impulsion positive. Ce phénomène transitoire peut provoquer la commutation de l'inverseur placé en aval bien que le niveau permanent du signal V_{s1} soit égal à $V_{il_{max}}$ (planche I.3 et I.4).

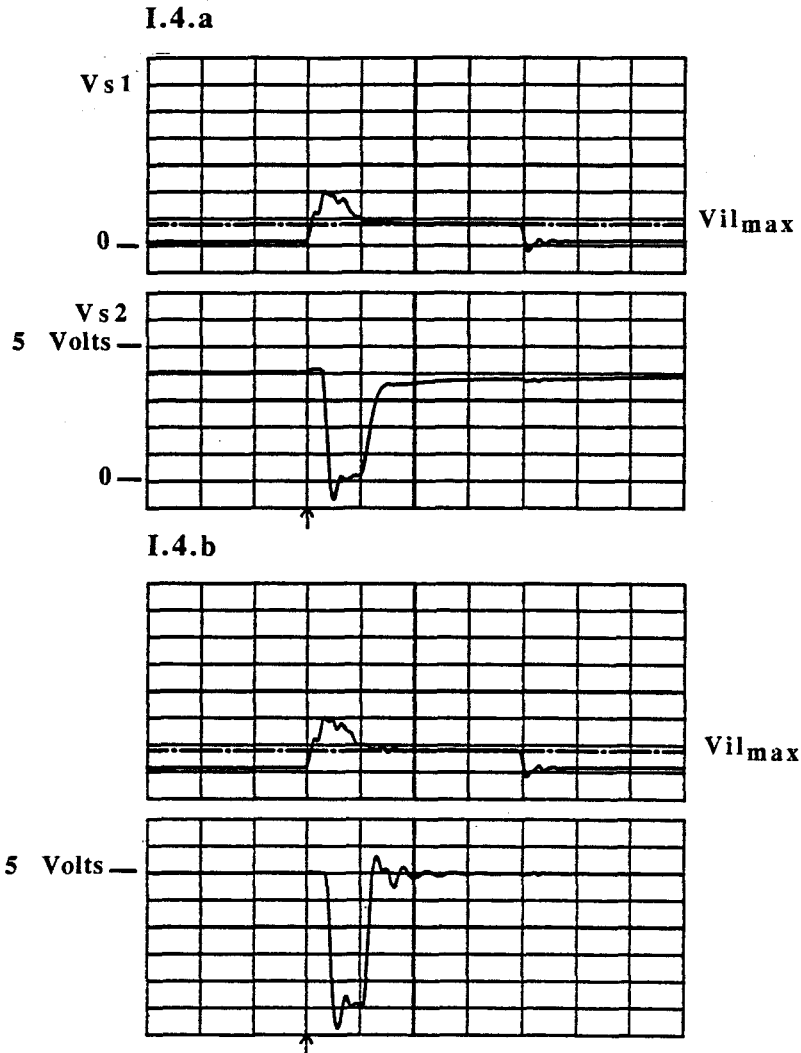


planche I.4: Perturbation de la sortie à l'état bas sur technologie TTL

$$1 = 74F04 (C1)$$

base de temps: 50 ns/div

amplitude: 1 Volt/div

I.4.a : 2 = 74LS04

changement d'état logique de l'inverseur

I.4.b : 2 = 74HCT04

changement d'état logique de l'inverseur

techno- logie	référé- nce	construc- teur	Vil _{max} (Volts)	Is1 (mA)	vih _{min} (Volts)	Is2 (mA)	
						74HC04	
MOS	74C04	C1	1.5	5.1	3.5	6.4	
	74HCU04	C2	.9	31	4	45.8	
	74HC04	C1	1.5	33.7	3.5	41.65	
		C3	1.5	26.8	3.5	37	
		C4	1.5	32	3.5	40.3	
	74HCT04	C4	1.5	27.8	3.5	34.3	
	74AC04	C1	1.5	151	3.5	179	
						74HCT04	74LS04
TTL	7400	C1	.8	74.2	2	72	69
		C5	.8	33.3	2	34.4	34.2
		C6	.8	46.4	2	45.9	43.4
	74LS00	C1	.8	33	2	35.6	34
		C3	.8	34.1	2	37	37
		C6	.8	14.8	2	15	15
	74F00	C1	.8	86.6	2	80	80

tableau I.3: mesure de Is1 et Is2 sortie à l'état bas

référence		7400			74LS00			74HC04		
constructeur		C1			C3			C1		
composant N°		1	2	3	1	2	3	1	2	3
Is2 (mA)	sortie en1	-17.5	-19	-19.6	-40.7	-39.8	-42.8	-47	-47.7	-46.2
	sortie en0	69	67.5	67	37	37.4	36	41.8	40.8	39.8

tableau I.4: courant de seuil Is2 pour des composants
issus du même fabricant et du même lot

Par conséquent le courant I_{s1} de l'expression 1.4 sera supérieure au courant I_{s2} de l'expression 1.5, puisque l'inverseur a déjà commuté lorsqu'on élève V_{s1} à V_{ilmax} .

Les résultats sont confinés dans le *tableau 1.3* ci-contre.

1.3.4 Analyse des résultats

La sensibilité de l'élément logique est donnée par le courant I_{s2} . Cette valeur représente le seuil au delà duquel sa sortie présente un faux état logique susceptible de faire commuter toute fonction placée en amont.

La lecture des *tableaux 1.2* et *1.3* fournit les indications suivantes:

- quel que soit l'état logique de sortie, les composants les plus lents (CMOS) sont les plus sensibles, à l'inverse les logiques les plus rapides (FAST et FACT) sont les moins sensibles.

- les liaisons TTL-HCT et TTL-TTL présentent les mêmes caractéristiques, le courant I_{s2} est identique.

- la réponse de la technologie TTL au perturbateur est différente de celle de la technologie MOS lorsque la sortie est à l'état bas. Des transitoires provoquant une surtension apparaissent. C'est pourquoi à vitesse de commutation égale, un composant issu de la technologie MOS sera moins sensible qu'un composant issu de la technologie TTL (citons par exemple le cas de la HCMOS par rapport à la TTL-LS).

- des différences notoires existent entre deux circuits intégrés de la même famille mais de constructeur différents. Dans le *tableau 1.3*, nous constatons que la 7400 du fabricant C1 peut absorber un courant inférieur à 69 mA contre 34 mA pour celle de C5.

- les composants issus d'un même fabricant et provenant du même lot présentent comme le prouve le *tableau 1.4* des comportements identiques.

La conclusion de cette première étude peut se traduire par un histogramme représenté *figure 1.29*. Nous y avons reporté, pour les différentes familles testées, les valeurs minimales par ordre décroissant du courant seuil I_{s2} pour la sortie à l'état bas et à l'état haut.

Nous obtenons ainsi une classification allant de la logique la moins sensible à la plus sensible aux injections et aux appels de courant.

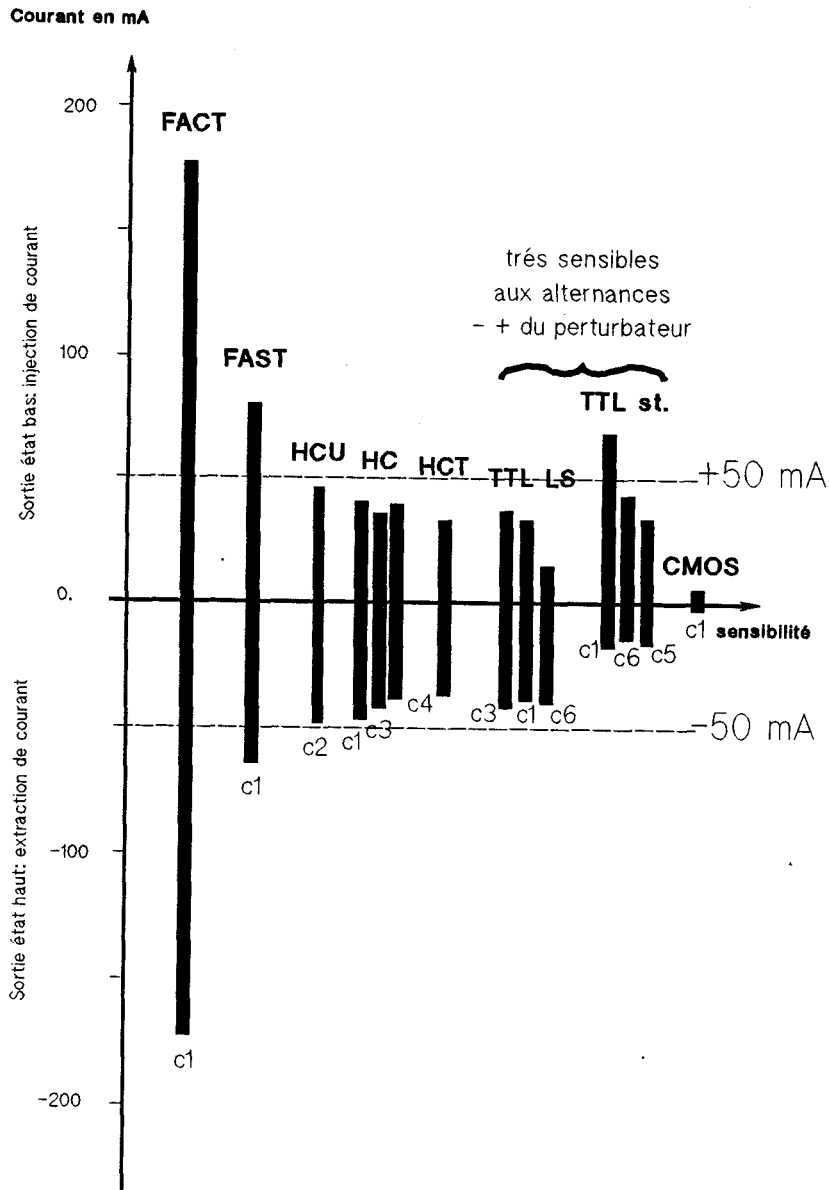
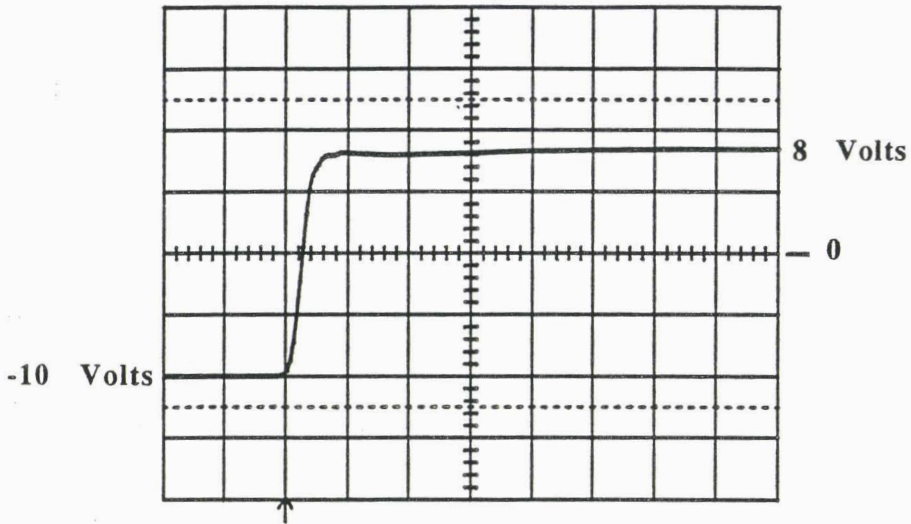


figure 1.29: Classification des composants étudiés en fonction de leur sensibilité

I.5.a



I.5.b

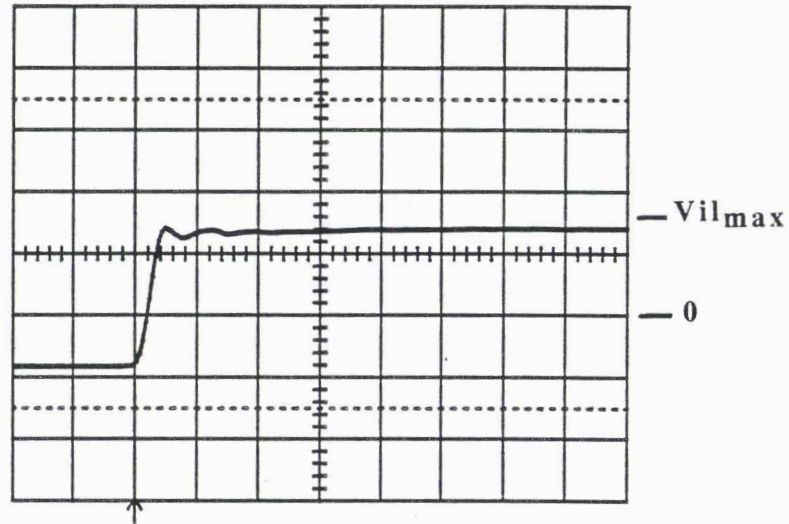


planche I.5: Transition négative-positive sur une NAND 74HC00

base de temps: 20 ns/div

I.5.a : caractéristiques de la transition
amplitude: 5 Volts/div

I.5.b : tension de sortie de la porte
amplitude: 1 Volt/div

I.4 INFLUENCE DE LA POLARITE DES IMPULSIONS

Nous avons constaté, lors de l'étude menée au paragraphe précédent, que le transitoire provoquant une surtension, apparaissait sur des logiques TTL dont la sortie était à l'état bas. Pour cette raison, cette configuration de la sortie d'une porte semble être la plus sensible aux agressions extérieures.

Dés lors, nous proposons pour ce cas précis, d'appliquer sur ces composants des impulsions alternées "négative-positive" ou "positive-négative" comme le montre la *figure 1.30*.

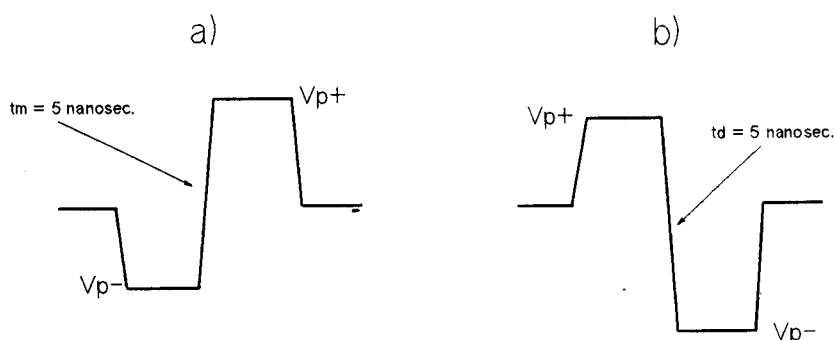


figure 1.30: Impulsions alternées
a) négative-positive; b) positive-négative

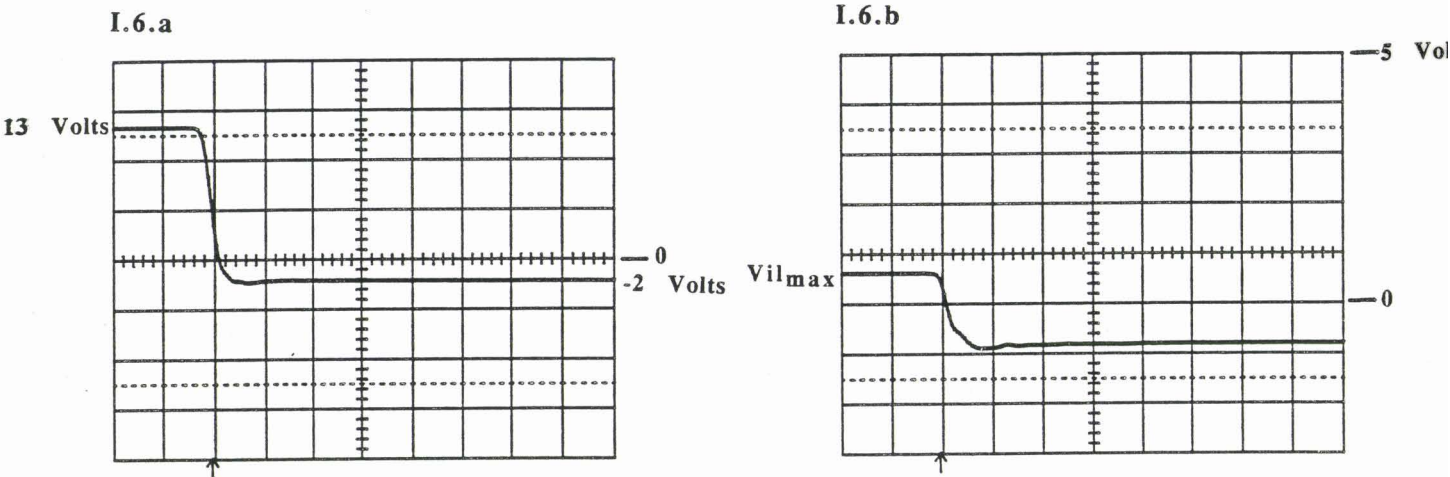
Ces signaux ne seront pas obligatoirement symétriques: ils peuvent simuler l'effet d'un perturbateur qui a la forme d'oscillations amorties et dont les deux premières sont à prendre en considération.

L'amplitude V_{p+} sera ajustée de façon à ce que le signal de sortie du circuit intégré atteigne la valeur V_{ilmax} en régime stationnaire.

I.4.1 Cas de la technologie MOS

Sur les diverses familles testées (CMOS standard, HCMOS, FACT), il ne s'est manifesté aucun phénomène transitoire, aussi bien lors d'une transition positive-négative que lors d'une transition négative-positive.

Lorsque l'alternance négative a une amplitude importante (*planche I.5.a*), la valeur absolue de la tension de sortie de l'élément logique (*planche I.5.b*) sera voisine de la tension de seuil de la diode de protection (environ .8 Volt). Cet élément se situe entre la sortie et la masse du circuit intégré.



*planche I.6: front d'une impulsion alternée positive-négative
sur une NAND 7400*

base de temps: 20 ns/div

I.6.a : caractéristiques du front

amplitude: 5 Volts/div

I.6.b : tension de sortie de la porte

amplitude: 1 Volt/div

Pour accélérer la charge de cette capacité et augmenter la sortance de l'élément logique, on utilise au lieu de l'inverseur simple réalisé à l'aide d'un seul transistor, un inverseur complexe faisant appel à trois transistors et une diode (*figure II.4*).

Dans l'inverseur complexe, les transistors T2 et T4 sont en montage Darlington et peuvent donc être considérés comme un tout: ils se bloquent et se débloquent simultanément. La présence de la résistance R4 sert uniquement à dériver une fraction du courant I_{e2} ce qui permet de réduire le courant de base I_{b4} et donc le degré de saturation du transistor T4.

T3 et T4 travaillent à tour de rôle: T3 charge la capacité C (courant I_2) et T4 la décharge (courant I_3).

La diode D assure le blocage du transistor T3 lorsque T4 est saturé. La résistance R3 limite le courant pendant les intervalles au cours desquels T3 commence à conduire alors que T4 ne s'est pas encore bloqué.

Nous remarquons que lorsque la sortie est à l'état logique 0, c'est à dire T4 saturé, le blocage de T3 empêche un courant I_c de circuler dans le collecteur de T4 si aucun courant venant de l'extérieur n'est à absorber. Pour ces raisons, nous pouvons affirmer que T4 est alors dans un état saturé non conducteur.

Dans le cas où un courant extérieur doit être absorbé, la diode D obligera ce courant à transiter par le collecteur de T4. L'état du transistor de sortie sera donc modifié.

C'est ce comportement pour une porte NAND type SN7400 que nous allons tenter d'analyser et de modéliser.

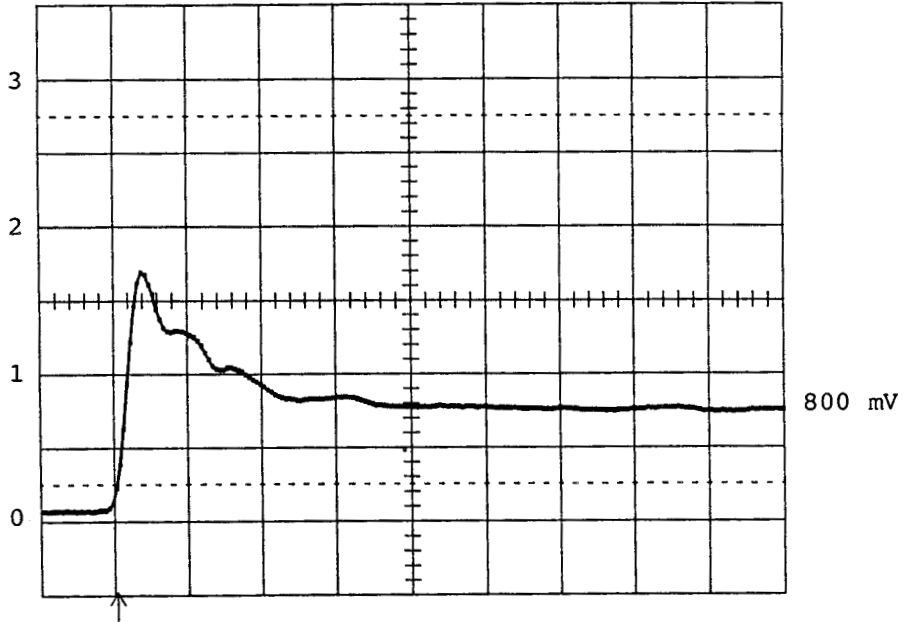
II.1.2 Comportement de la porte NAND face à une agression extérieure

Comme nous l'avons écrit au chapitre précédent (*paragraphes I.2.1 et I.2.2*), les perturbations d'origine électromagnétiques peuvent se manifester sur le composant par l'intermédiaire de sources de tension ou de courant appliquées sur ses ports d'alimentation, d'entrée ou de sortie. Les résultats des travaux antérieurs y ont été rappelés brièvement.

Nous envisageons ici l'étude du cas le plus sensible : celui où la sortie de la porte est à l'état bas, ce qui correspond à la saturation du transistor T4 sur le schéma de la *figure II.4* .

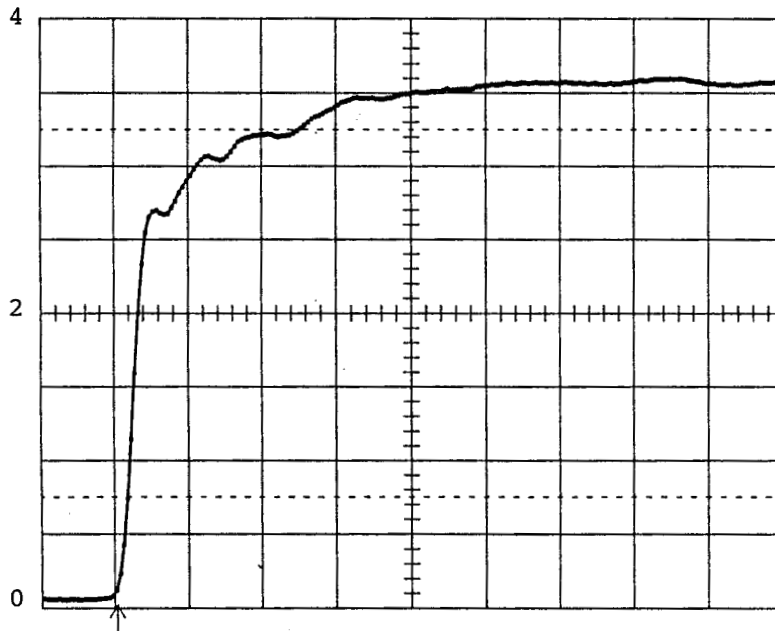
II.1.a : $I_p = 33 \text{ mA}$

tension de sortie
de la porte (V)



II.1.b : $I_p = 35 \text{ mA}$

tension de sortie
de la porte (V)



*planche II.1: comportement de la NAND 7400
face à une injection de courant dans sa sortie*

II.1.a : désaturation temporaire

II.1.b : désaturation totale

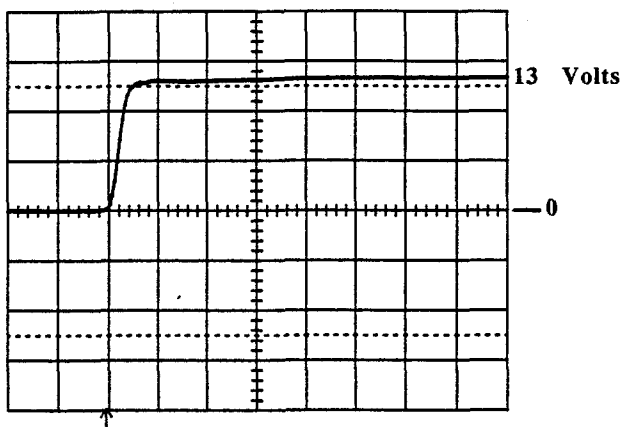
base de temps : 20 ns/div

I.4.2 Cas de la famille TTL standard

Le cas de la transition impulsion positive-impulsion négative ne peut que confirmer l'état logique 0 de la sortie du composant. Comme le montre la *planche I.6*, elle ne s'accompagne jamais d'un transitoire.

Les expériences d'injection de courant impulsionnel, d'amplitude positive, sur le niveau logique bas en sortie de la porte, révèlent que la tension de sortie du composant comporte un pic de surtension suivi d'un palier dont les amplitudes sont en relation avec le niveau du parasite. L'amplitude crête, dans le cas où le palier de tension vaut $V_{il_{max}}$, dépasse nettement le $V_{ih_{min}}$ (*planche I.7*) et provoque comme nous l'avons montré précédemment l'apparition d'un faux état logique 1 temporaire sur la sortie du composant.

I.7.a



I.7.b

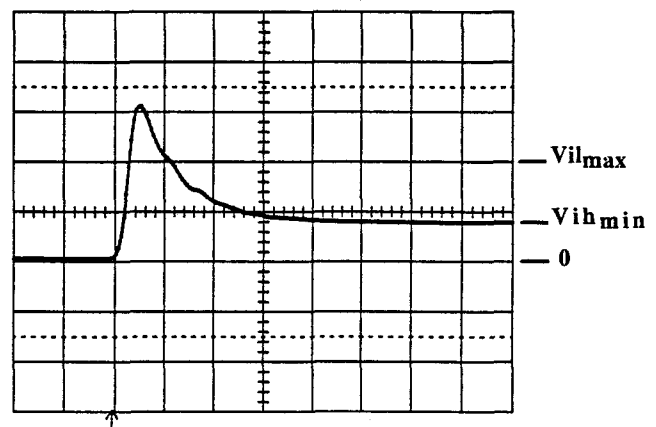


planche I.7: Front d'une impulsion positive sur une NAND 7400

base de temps: 20 ns/div

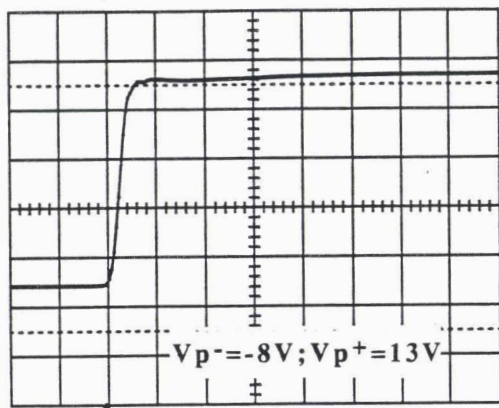
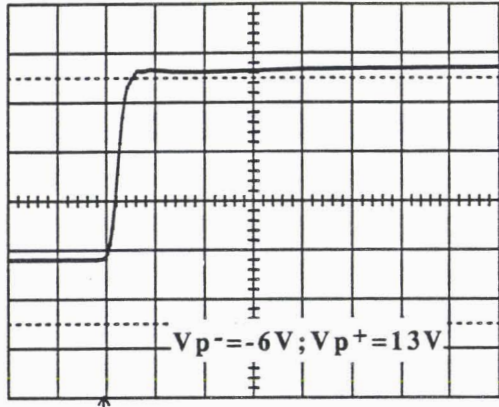
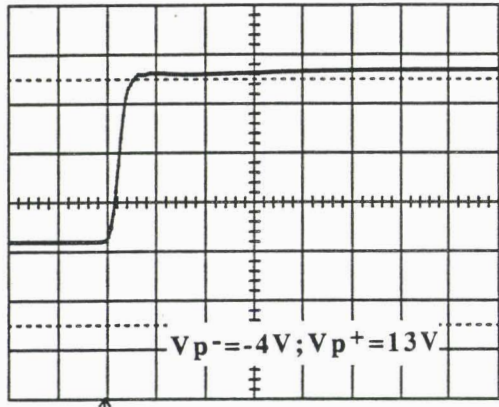
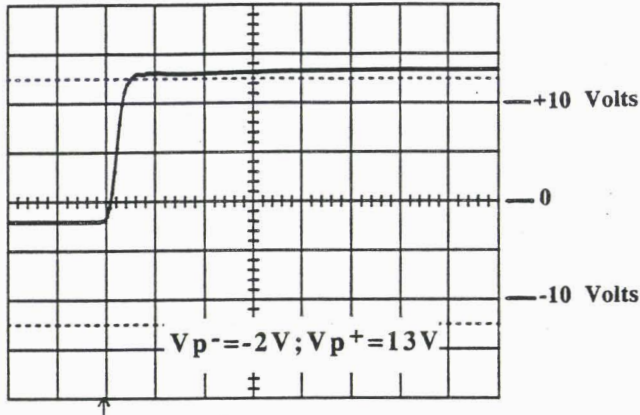
I.7.a : caractéristiques du front

amplitude: 5 Volts/div

I.7.b : tension de sortie de la porte

amplitude: 1 Volt/div

front de l'impulsion
amplitude: 5 Volts/div



tension de sortie de la NAND
amplitude: 1 Volt/div

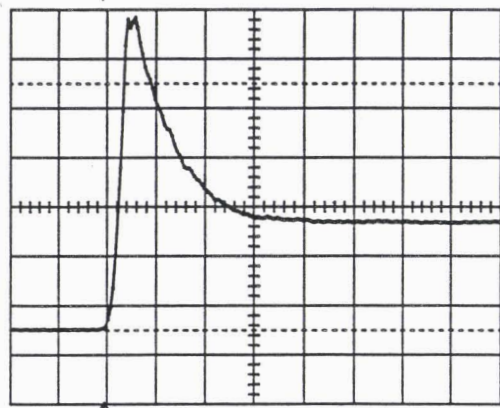
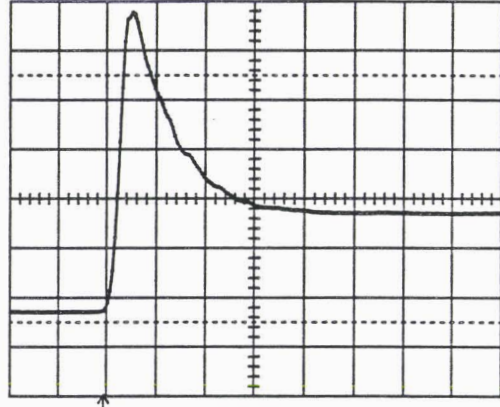
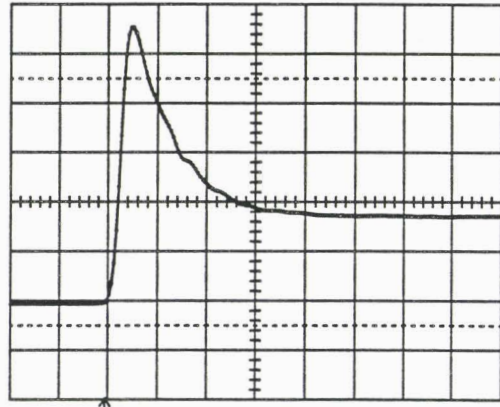
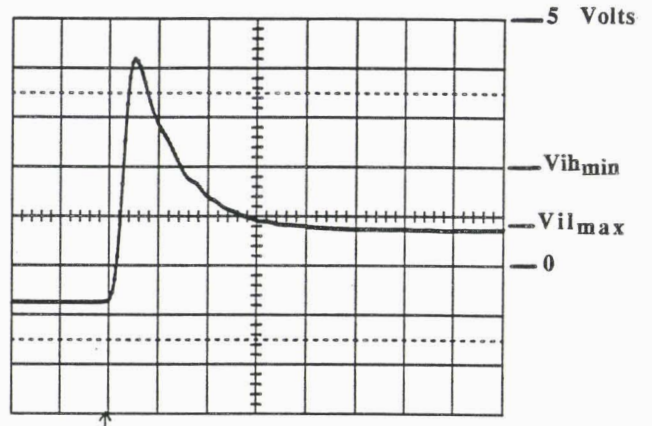


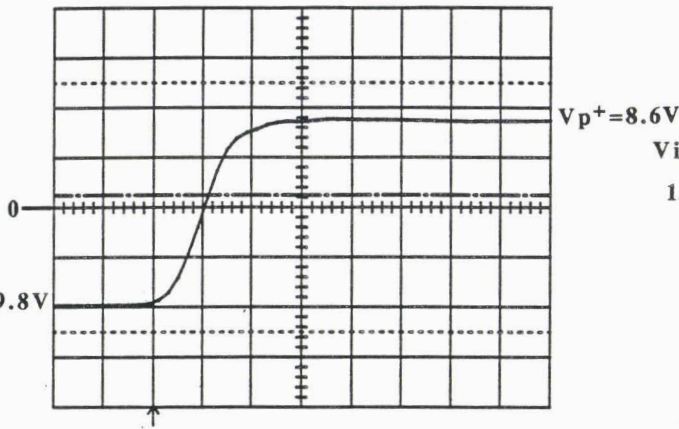
planche I.8: Impulsion alternée négative-positive sur une NAND 7400
base de temps: 20 ns/div

L'application d'impulsions alternées négatives-positives montre que l'effet de surtension s'amplifie avec l'amplitude V_p^- de la partie négative. La valeur maximale de la crête est limitée à la tension d'alimentation 5 Volts du circuit intégré. Les signaux sont reportés sur la *planche I.8*.

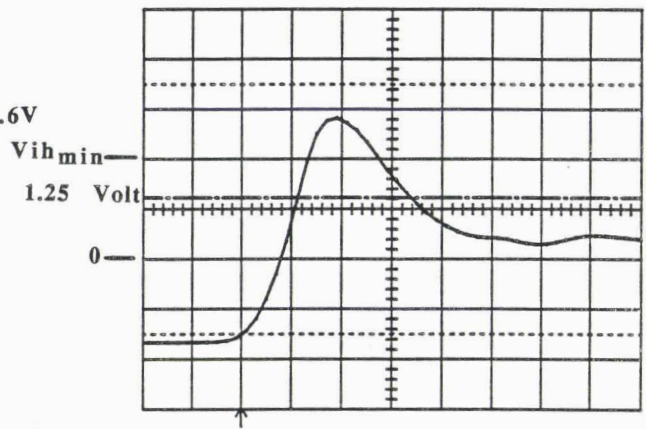
Les résultats proviennent du composant C6 qui figure dans le *tableau I.3*. L'impulsion positive correspond à une injection de 46.4 mA ce qui est plus élevé que la limite autorisée égale à 43.4 mA.

Nous nous proposons alors de simuler, sur cette même porte, le cas d'un courant symétrique d'amplitude crête à crête de 60 mA. Pour cela, il suffit d'ajuster V_p^- et V_p^+ pour répondre à cette condition, connaissant R_p et les deux paliers de la tension de sortie.

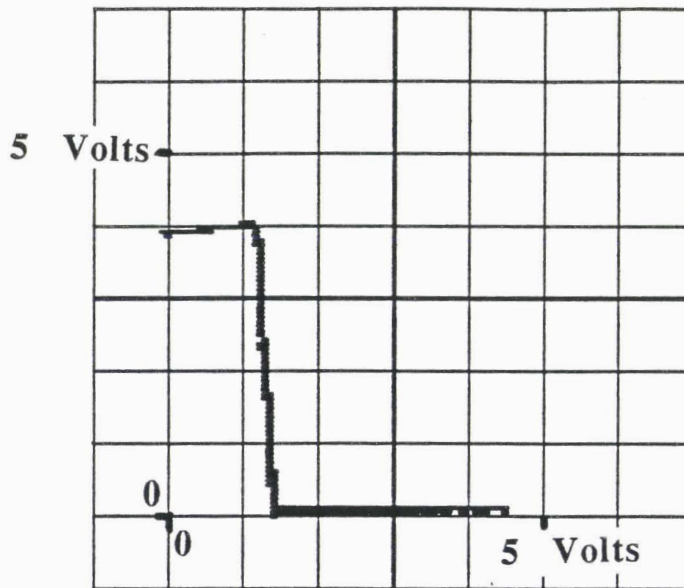
I.9.a



I.9.b



I.9.c



*planche I.9: simulation expérimentale de l'application
d'un front de courant symétrique sur une NAND 7400*

base de temps: 5 ns/div

I.9.a : caractéristiques du front de l'impulsion

amplitude: 5 Volts/div

I.9.b : tension de sortie de la NAND

amplitude: 1 Volt/div

*I.9.c : fonction de transfert de la porte
changement d'état à 1.25 Volt*

La *planche 1.9* fournit les caractéristiques de l'impulsion, le signal recueilli sur la sortie du circuit intégré ainsi que la fonction de transfert de ce dernier (tension de sortie en fonction de la tension d'entrée). celle-ci a été mesurée expérimentalement en appliquant une rampe 0-5 Volts sur l'entrée et en notant l'évolution du signal de sortie. L'oscilloscope numérique travaille en XY et fournit l'oscillogramme. La commutation s'effectue autour de 1.25 Volt.

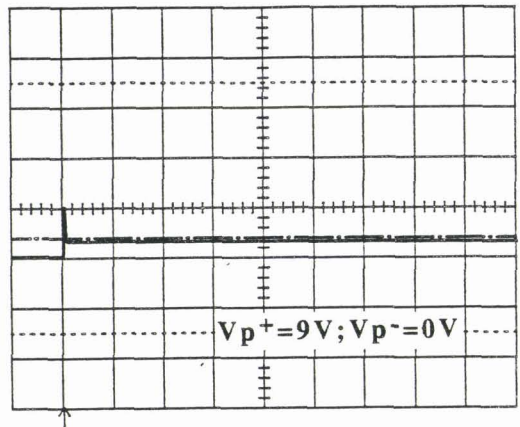
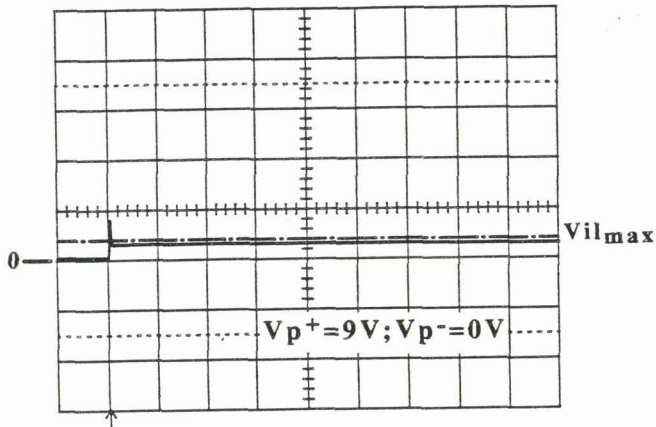
Nous avons reporté ce niveau, en traits discontinus, sur l'oscillogramme de la tension de sortie (*planche 1.9.b*). Nous constatons qu'elle dépasse ce seuil durant 11 ns ce qui est suffisant pour faire commuter toute logique en aval de ce point.

Dans ces conditions, l'injection d'un courant, dont l'amplitude est nettement inférieure à la sensibilité limite trouvée au *paragraphe 1.3.3*, provoque l'apparition d'un état logique 1 temporaire. Cet effet s'est manifesté sur chacune des portes 7400 des différents constructeurs que nous avons testés.

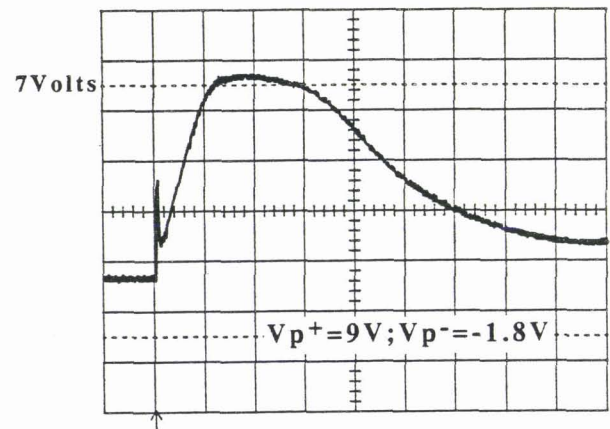
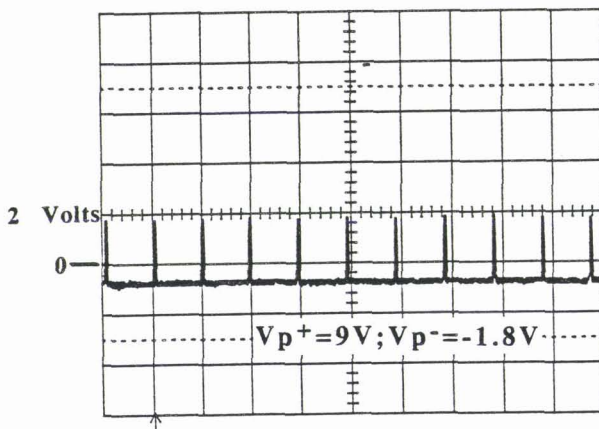
Dés lors, il nous semble que les logiques TTL standards sont très vulnérables aux sources de courant alternées induites par un perturbateur de type harmonique.

Nous reviendrons sur ces phénomènes transitoires dans le chapitre suivant par une étude théorique et une modélisation de la sortie d'une porte TTL standard.

I.10.a



I.10.b



*planche I.10: Application d'un front négatif-positif
sur des NAND 74LS00 (à gauche C3, à droite C1)*

**base de temps: 500 ns/div
amplitude: 2 Volts/div**

I.10.a : sortie des portes pour $V_{p^+} = 9$ volts et $V_{p^-} = 0$ Volt

I.10.b : sortie des portes pour $V_{p^+} = 9$ Volts et $V_{p^-} = -1.8$ Volt

I.4.3 Cas de la famille TTL-LS

Les mêmes expériences menées sur la famille TTL-LS font apparaître d'autres signatures, variables suivant le constructeur de la porte. Nous pouvons expliquer ces différences de comportement par le simple fait que le schéma interne, déjà complexe, diffère d'un fabricant à l'autre.

Nous avons reporté, sur la *planche 1.10* ci-contre, les réponses obtenues sur une NAND provenant de deux manufacturiers différents (notés C1 et C3 dans le *tableau 1.3*). Le niveau haut de la perturbation correspond à une injection de courant d'environ 30 mA. C'est en dessous des seuils figurant dans le *tableau 1.3*.

Nous constatons que le simple fait d'appliquer au départ une polarisation légèrement négative, provoquant un appel de courant inférieur à 4 mA, a pour conséquence

- un phénomène de relaxation à la fréquence 2 MHz sur toute la largeur de la fenêtre temporelle au travers de laquelle nous observons la tension de sortie de la porte C3
- une surtension de plus de 7 Volts durant 1 μ s juste après le premier transitoire pour C1.

L'interprétation est difficile et sort du cadre de cette thèse. Toutefois, comme la TTL standard, la TTL-LS (largement utilisée actuellement dans les cartes électroniques) est très sensible aux alternances négative-positive d'un perturbateur.

I.4.4 Cas de la famille FAST

Nous n'avons décelé aucune surtension ou relaxation aussi bien lors d'une transition négative-positive que lors d'une transition positive-négative.

CONCLUSION

Deux technologies dominent actuellement le marché des composants logiques. Il s'agit de la TTL (Transistor-Transistor-Logic) et de la CMOS (Complementary Metal Oxyde Semiconductor).

Parmi toutes les fonctions disponibles, nous avons choisi l'élément de base de chacune des deux technologies à savoir, la porte NAND pour la TTL et l'INVERSEUR pour la CMOS. Nous avons rappelé leurs paramètres électriques et temporels pour les familles les plus répandues ou les plus récentes c'est à dire les TTL standard, LS, FAST et les CMOS standards, HC, FACT. Nous retrouverons ces composants tout au long du présent document.

Afin d'étudier la sensibilité de ces circuits aux agressions extérieures d'origine électromagnétique, nous avons opté pour un perturbateur de type impulsionnel dont les caractéristiques (polarité, amplitude, impédance ,etc..) sont variables. Pour compléter et enrichir les travaux déjà menés dans ce domaine, seule la sortie du composant a été soumise à ce signal parasite qui simule l'induction de courants sur ce port.

Les tests sont effectués lorsque le circuit intégré est dans un état figé et non pas en cours de commutation. Dans les configurations d'expérimentation que nous avons effectuées, la plus critique s'avère être celle où la sortie du composant est à l'état logique 0 et lorsque le perturbateur présente une transition brutale de sa polarité dans le sens négatif-positif.

Nous avons alors observé des phénomènes transitoires conséquents, sur les familles TTL standard et TTL-LS. Les surtensions qui se manifestent introduisent un faux état logique temporaire qui provoque la commutation de toute logique présente en aval.

Les résultats des travaux entrepris dans ce chapitre permettent d'ores et déjà de fournir quelques recommandations auprès des concepteurs de cartes électroniques. Certains composants sont en effet beaucoup plus sensibles que d'autre.

Dans un environnement électromagnétique très perturbé (proximité de lignes hautes tensions, présence d'un émetteur radio, satellite dans l'espace), nous déconseillons vivement l'utilisation de CMOS standards très réceptifs au moindre appel ou injection de courant sur leurs liaisons entrées-sorties.

De même, et pour les raisons citées plus haut, l'usage de circuits intégrés TTL standard ou TTL-LS n'est pas recommandé. Par contre, pour des logiques devant commuter en une dizaine de nanosecondes, la HCMOS présente des garanties suffisantes. Toutefois, les familles très rapides telles que la FAST ou la FACT résistent à des courants de plus de 50 mA et semblent difficilement perturbables.

Des études sont en cours pour vérifier la validité de ces résultats lorsque le parasite est appliqué à l'instant de la commutation.

INTRODUCTION

Lors du précédent chapitre, nous avons montré de façon purement expérimentale que des circuits logiques intégrés sont sensibles aux parasites qui se superposent aux ports d'entrée-sortie du composant. Une configuration particulièrement vulnérable s'est révélée lorsque la sortie d'une fonction NAND TTL est à l'état logique bas c'est à dire zéro Volt. Nous avons déterminé expérimentalement, en fonction de la technologie et des performances de ce composant, le seuil limite des courants qu'il faut appliquer à sa sortie pour obtenir de façon transitoire ou permanente le passage à l'état haut de ce port. Nous pouvons également chercher à modéliser ce comportement par la théorie.

C'est justement ce que nous allons envisager dans ce chapitre. Nous comprenons alors tout l'intérêt d'un tel modèle dans la prédiction de la sensibilité aux perturbations électromagnétiques imposée aux cartes électroniques câblées avec ces logiques TTL.

Dans la première partie du chapitre, nous nous efforcerons de réduire le port de sortie d'une NAND TTL à un dipôle non linéaire. Pour cela, nous entreprendrons d'en reproduire son fonctionnement, après l'avoir rappelé, grâce à une association de composants discrets reflétant le mieux possible le schéma interne du composant intégré.

Nous perturberons alors sa sortie comme nous l'avons fait auparavant sur le composant intégré, c'est à dire à l'aide d'un générateur d'impulsion dont on maîtrise parfaitement le niveau de sortie, la résistance interne et surtout le front de montée des signaux. Nous retrouverons des signatures temporelles identiques à celles observées sur le circuit intégré.

Afin d'expliquer ce comportement, nous allons montrer qu'il existe une analogie entre la sortie de la porte à l'état bas et celle d'un transistor bipolaire saturé: les mêmes expériences refaites uniquement sur ce transistor fournissent des résultats similaires. Dès lors nous allons explorer cette analogie afin de retrouver théoriquement le comportement de la porte face à une agression extérieure.

La seconde partie du chapitre est consacrée à cette tâche. Nous recourons pour cela aux équations fondamentales qui régissent le fonctionnement du composant bipolaire. Les transitoires observés lors de l'étude expérimentale sont en fait produits par un diviseur capacitif

comprenant les capacités base-collecteur et base-émetteur intrinsèques au transistor. Le modèle intègre par conséquent la contribution de ces éléments.

Pour ce faire, il a fallu rechercher les formules habituelles qui expriment les variations des capacités intrinsèques en fonction de la tension appliquée aux jonctions. Cependant, si cette tension s'approche du potentiel de seuil, la capacité devient infinie. Le composant étudié fonctionnant précisément dans cette région, les expressions ont du être affinées à partir de modèles plus sophistiqués de capacité trouvés dans la bibliographie.

La mise en équation de la réponse à un perturbateur débouche alors sur une double équation différentielle non linéaire. Sa résolution sera entreprise au moyen d'une technique numérique.

Au cours de la troisième partie, nous appliquerons cette théorie afin de retrouver les phénomènes physiques mis en évidence lors des essais. La réponse simulée sera échantillonnée puis comparée à la signature obtenue lors de la mesure.

La formulation théorique dépend d'un grand nombre de paramètres qu'il a fallu au préalable estimer ou mesurer sur notre transistor à l'aide d'un protocole décrit en annexe.

Nous fournissons alors l'ensemble des résultats théoriques que nous comparons aux oscillogrammes représentant les tensions et courants relevés sur le composant. Nous envisageons également le scénario qui consiste à abaisser le potentiel de sortie du transistor. Plus généralement, nous étudierons le cas plus réaliste d'une impulsion bipolaire que nous construirons à l'aide d'un générateur programmable.

Nous terminerons ce chapitre par la perspective d'appliquer notre modèle au composant intégré. Nous verrons alors qu'une recherche des mesures adéquates pratiquées sur le circuit intégré s'avère nécessaire afin de rechercher la valeur des paramètres qui interviennent dans les équations générales utilisées pour construire notre modélisation.

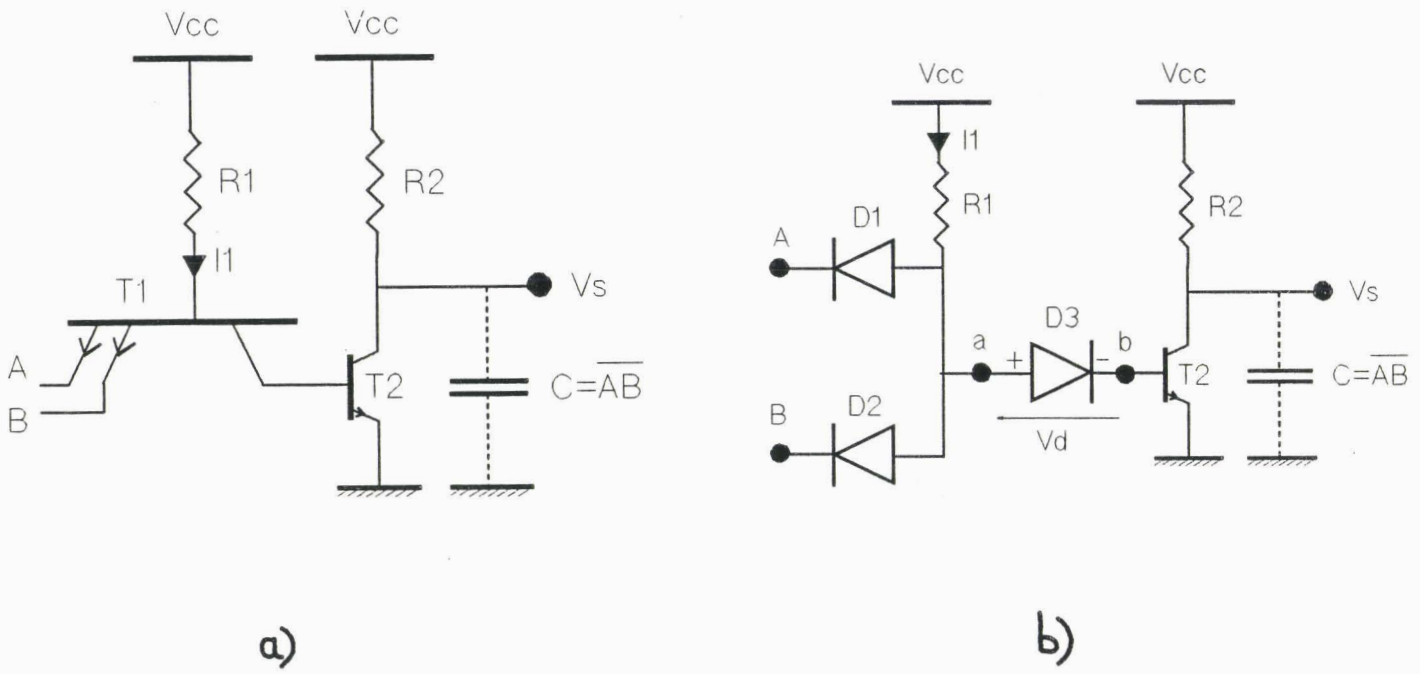


figure II.1: fonctionnement simplifié d'une porte NAND TTL
 a) schéma simplifié
 b) approximation par des diodes

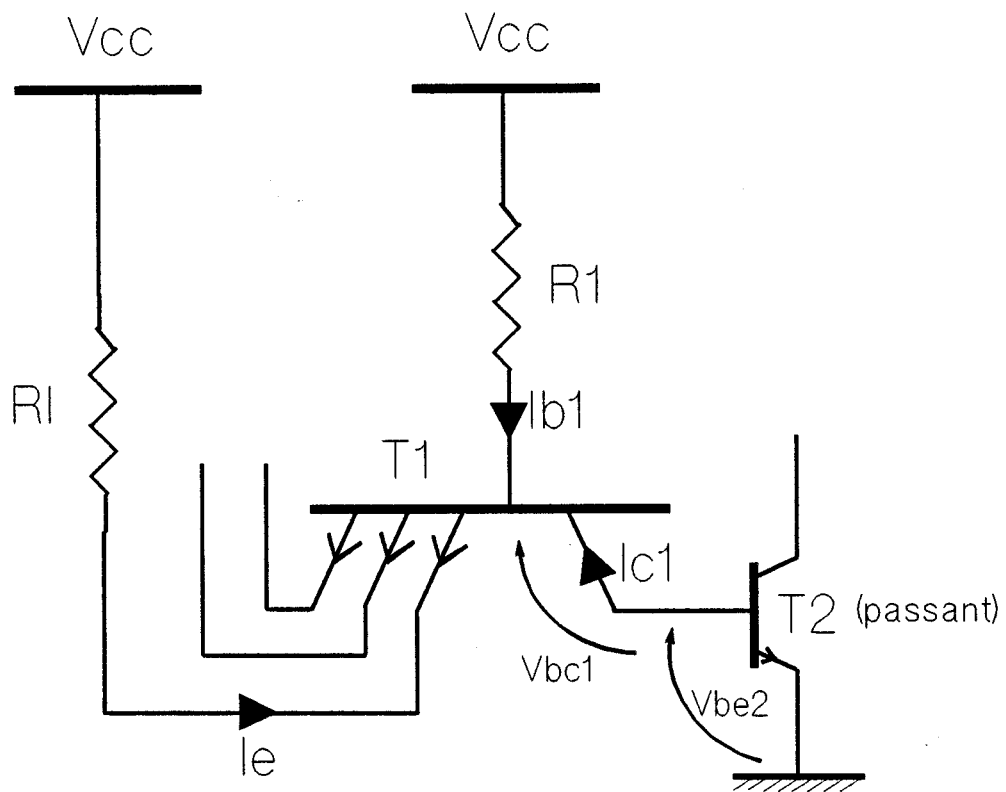


figure II.2: effet transistor inverse

II.1 REDUCTION DES CARACTERISTIQUES DE SORTIE D'UNE PORTE NAND A CELLES D'UN DIPOLE NON LINEAIRE

Dans cette première partie, nous allons rappeler le fonctionnement normal de la porte et son comportement face à une agression extérieure frappant son port de sortie.

Afin d'expliquer les phénomènes observés, une reconstitution du schéma interne à partir d'éléments discrets (transistors, diodes, résistances) sera proposée.

Elle permettra de mieux comprendre les réponses relevées lors de l'application d'un perturbateur de type impulsionnel et surtout de simplifier la représentation du port de sortie du composant logique en fournissant un modèle.

II.1.1 La porte NAND à logique transistor-transistor [11]

Afin de bien comprendre le fonctionnement d'une telle porte, on peut la représenter sous la forme des schémas ci-contre (*figures II.1a et II.1b*).

Ils mettent en évidence deux étages. Le premier est constitué du transistor multi-émetteurs T1 dont la base est alimentée à travers la résistance R1. Cet étage peut être en première approximation analogué à un "ET" à diodes qui commande la base du transistor T2 à travers la diode collecteur-base de T1. Cette diode assure une tension constante entre les points a et b. Le fonctionnement de la porte s'analyse donc comme suit.

Supposons qu'à l'état initial les tensions aux entrées logiques soient nulles : $U_A = U_B = U_0 = 0$. Dans un tel cas, les diodes D1 et D2 sont conductrices et parcourues par un courant I1. La tension en "a" est égale à la tension directe sur la diode : $U_a = V_D$

Le courant I1 a pour expression

$$I_1 = (V_{CC} - V_D) / R_1 \quad (II.1)$$

Le potentiel de la base du transistor est inférieur à celui du point a d'environ V_D également si bien que : $U_b \approx 0$.

Le transistor T2 est bloqué, la tension de sortie V_s à la valeur maximale égale à la tension d'alimentation, c'est le niveau logique haut

$$V_s \approx V_{CC} = U_1$$

Supposons maintenant que l'entrée A soit portée au potentiel $V_{CC} = U_1$. Puisque la tension sur la seconde entrée est comme précédemment nulle, la jonction D2 est toujours conductrice et donc la tension en a est égale comme précédemment à V_D . Aucune modification ne se produit dans le circuit, le niveau de sortie est égal à V_{CC} . Il en sera de même si U_1 est appliqué à l'entrée B.

Si la tension U_1 est appliquée aux deux entrées logiques à la fois, les deux diodes D1 et D2 se bloquent et le courant I_1 emprunte la jonction D3 base-collecteur de T1 vers la base de T2. Le potentiel de sa base devient égal à V_D et le potentiel du collecteur à $V_{ce_{sat}}$ (à condition que le transistor passe à saturation). Cette valeur est celle du niveau logique bas :

$$U_0 = V_{ce_{sat}} (\approx 100 \text{ mVolts})$$

Afin que le transistor T2 passe en régime de saturation, on doit respecter la condition

$$I_{b_{sat}} > V_{CC} / (R_2 \cdot \beta_{forcé}) \quad \text{avec} \quad \beta_{forcé} = I_{c_{sat}} / I_{b_{sat}} \quad (II.2)$$

$$I_{b2} = I_{b_{sat}} \approx (V_{CC} - 2V_D) / R_1 \quad (II.3)$$

Ainsi, le niveau de tension de sortie ne passe de V_1 à V_0 que lorsque le niveau U_1 est appliqué à toutes les entrées (fonction ET-NON).

Remarque : Effet transistor inverse (*figure II.2*)

Nous pouvons remarquer que si toutes les entrées de la porte sont dans l'état haut (potentiel U_1), la jonction base-collecteur de T1 est en direct et forme avec l'émetteur relié à l'entrée étudiée un transistor inversé de gain β_i .

le courant circulant dans l'entrée considérée a pour expression

$$I_e = \beta_i \cdot I_{b1} \quad \text{avec} \quad I_{b1} = (V_{CC} - V_{be2} - V_{bc1}) / R_1$$

I_{b1} est le courant de base de T1 lorsque T2 est passant.

D'après les données constructeur nous pouvons déduire que ce β_i est très faible. Il oblige cependant l'ajout d'une résistance R_L entre l'entrée et l'alimentation V_{CC} .

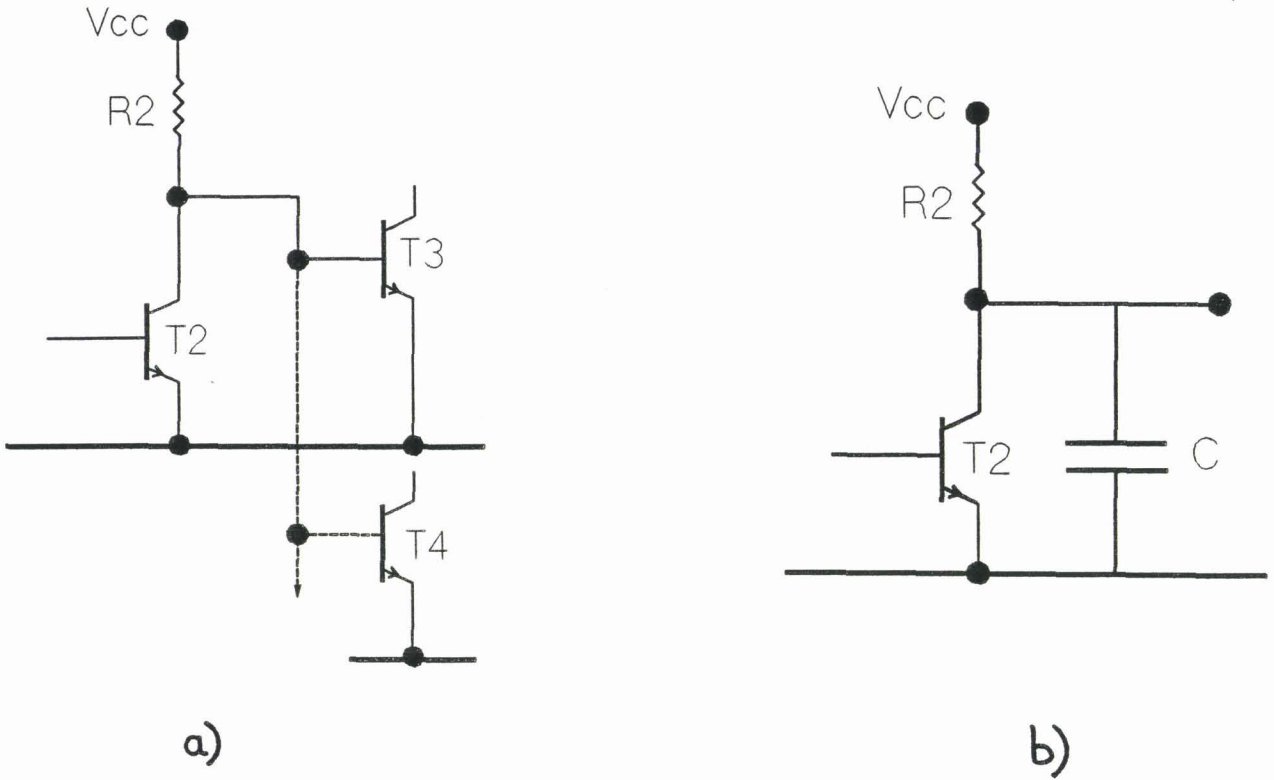


figure II.3: sortance d'une porte
a) *combinaison de plusieurs portes*
b) *représentation par une charge capacitive*

Un des inconvénients sérieux du circuit que nous venons d'étudier est la faible sortance.

Le cas typique pour les circuits de commutation est celui où des portes connectées en série sont combinées avec celles couplées en parallèle. Dans une cascade de portes en série chacun des transistors peut commander non pas une seule mais plusieurs portes couplées en parallèle.

Sur la *figure II.3a*, les traits interrompus montrent que le transistor T2 commande non seulement la porte T3 mais aussi la porte T4 et dans le cas général encore plusieurs portes.

En fonctionnement dynamique, l'ensemble des portes commandé par T2 constitue une charge capacitive représentée *figure II.3.b* par une capacité C.

Sa valeur est la résultante des capacités parasites des connexions et des capacités d'entrée (on considère généralement que la capacité d'entrée est égale à la somme des capacités des jonctions émettrice et collectrice d'un transistor) de ces différentes portes. Par conséquent cette capacité augmente avec le nombre de portes connectées.

Son effet est d'entraîner un retard à la commutation des portes commandées par T2 (constante de temps $R_2.C$). Ce retard peut alors entraîner un fonctionnement incorrect pour des fréquences de commutation élevées.

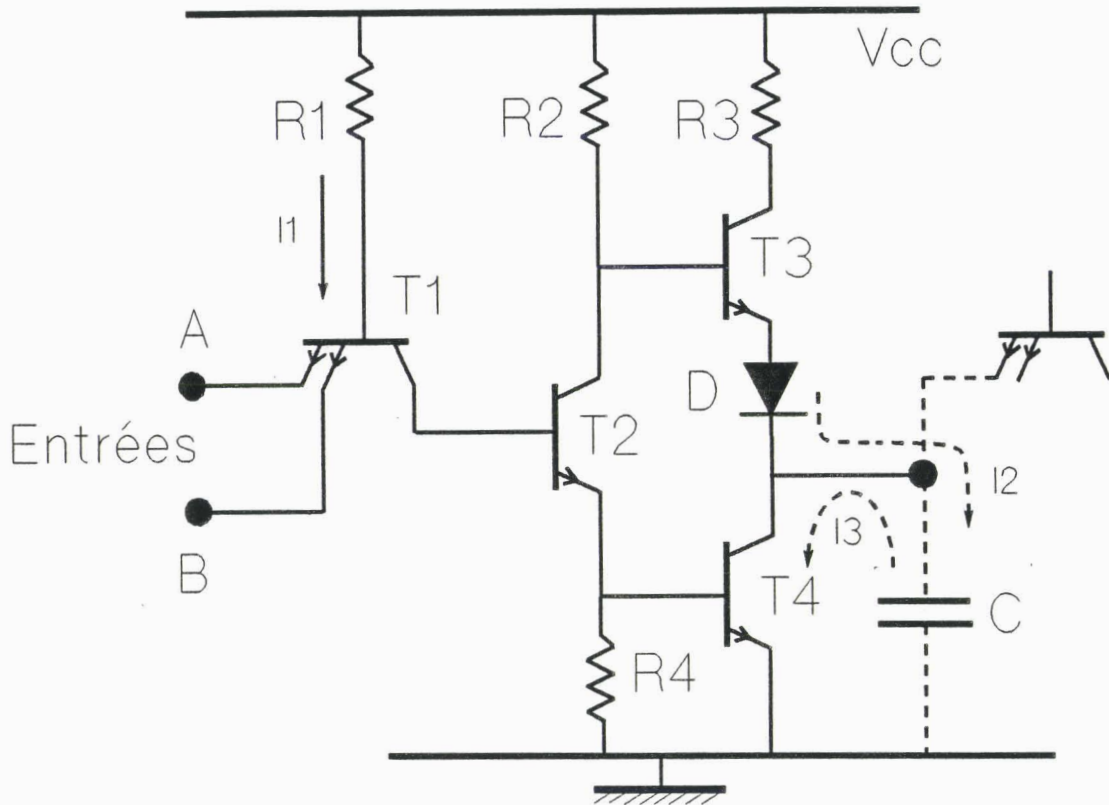


figure II.4: schéma interne d'une porte NAND TTL

II.1.2.a désaturation temporaire du transistor de sortie

Une injection de courant sous la forme d'une impulsion d'amplitude 33 mA et de temps de montée de 5 ns peut provoquer la désaturation temporaire du transistor de sortie comme le montre la *planche II.1.a*. Comme nous l'avons vu au *paragraphe 1.3.1*, ce phénomène transitoire peut provoquer des commutations logiques dans l'électronique située en aval.

Ceci est d'autant plus vrai que les logiques TTL changent d'état pour une valeur relativement faible de la tension appliquée à l'entrée: approximativement 1.2 Volt comme nous pouvons le constater sur la *figure II.5* ci-dessous.

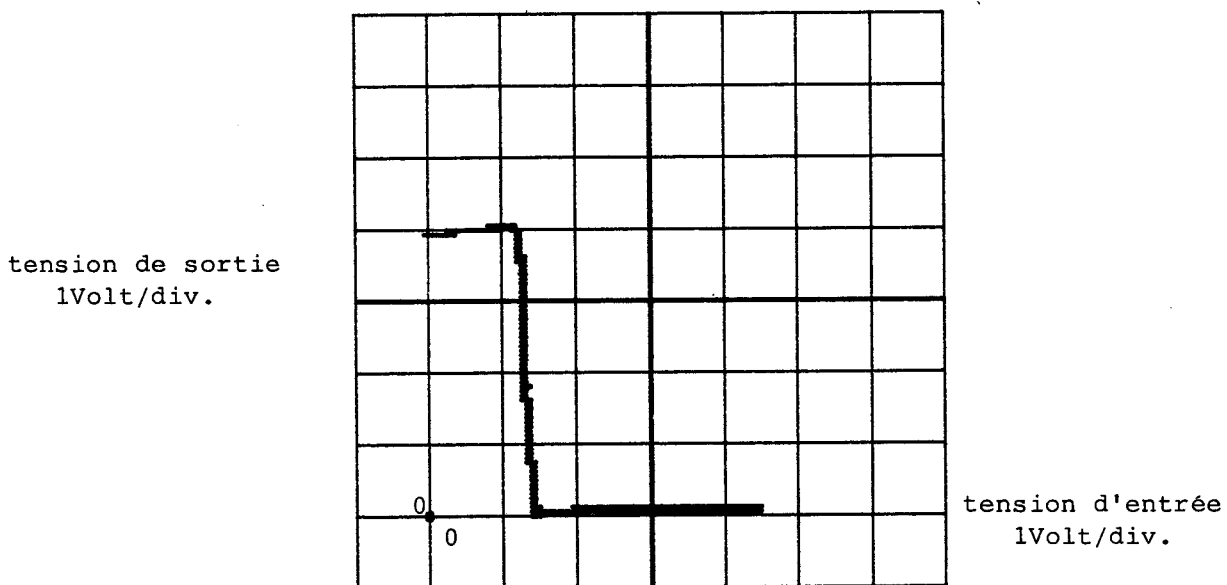


figure II.5: mesure expérimentale de la caractéristique de transfert de la porte NAND 7400 utilisée sur la planche II.1

Cette valeur peut être largement dépassée par le pic de désaturation dont la durée est suffisante pour qu'il soit pris en compte par tout autre composant logique connecté sur sa sortie.

II.1.2.b désaturation totale du transistor de sortie

Lorsque l'amplitude de l'impulsion augmente légèrement et prend la valeur de 35 mA, la désaturation temporaire laisse place à une désaturation totale et à un régime de fonctionnement "classe A" du transistor T4 (*planche II.1.b*).

La tension de sortie peut prendre une valeur voisine de 5 Volts: la sortie n'est plus à l'état bas mais à l'état haut. La désaturation totale est donc un phénomène physique qui apparait brutalement pour une faible variation du courant perturbateur.

II.1.3 Reconstitution d'une porte NAND à l'aide de composants discrets

Il est difficile d'interpréter les signatures obtenues en restant sur le circuit intégré puisque l'accès aux éléments internes est impossible. Nous pensons pouvoir y arriver en travaillant sur le montage expérimental qui suit. Nous proposons en effet la reconstitution à l'aide de composants discrets du schéma de la *figure II.4*.

II.1.3.a description du montage expérimental

Ne disposant pas de transistors multi-émetteurs, notre montage se résume à un inverseur représenté sur la *figure II.6* ci dessous. cette restriction ne gêne en rien le fonctionnement décrit dans le *paragraphe II.1.1* ainsi que les expériences qui vont suivre.

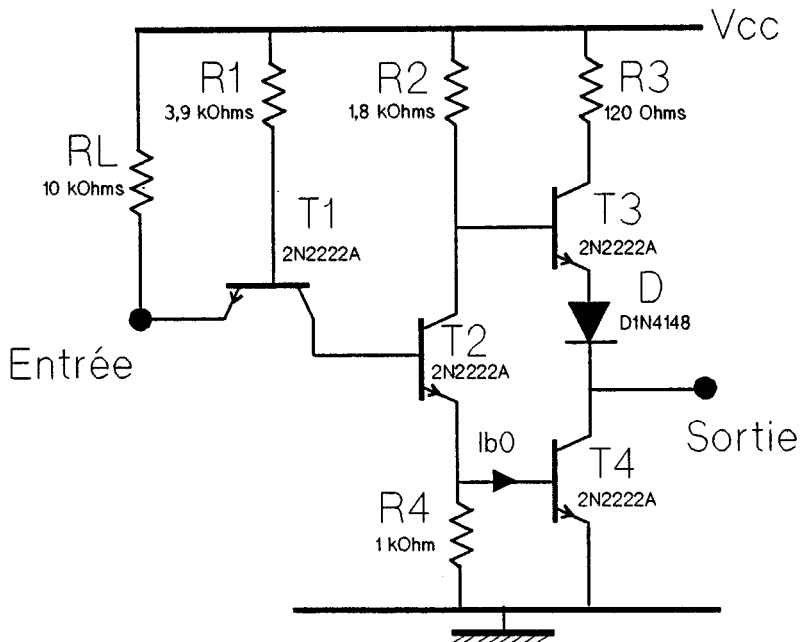
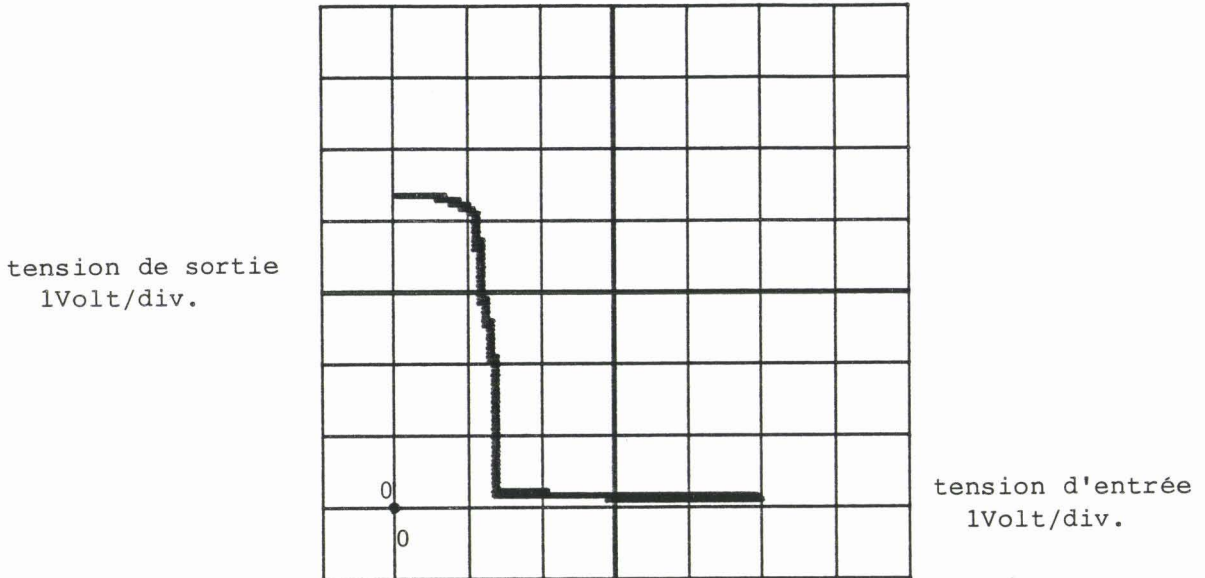


figure II.6: Schéma expérimental de la porte NAND

Les transistors utilisés sont des 2N2222A, la diode une D1N4148. L'objectif n'est pas de restituer les performances dynamiques de la porte intégrée (au niveau des temps de commutation par exemple) mais de s'approcher au mieux de ses caractéristiques d'entrée-sortie à savoir :

- la tension et le courant de commutation
- le courant nécessaire à la désaturation du transistor de sortie.

II.2.a



II.2.b

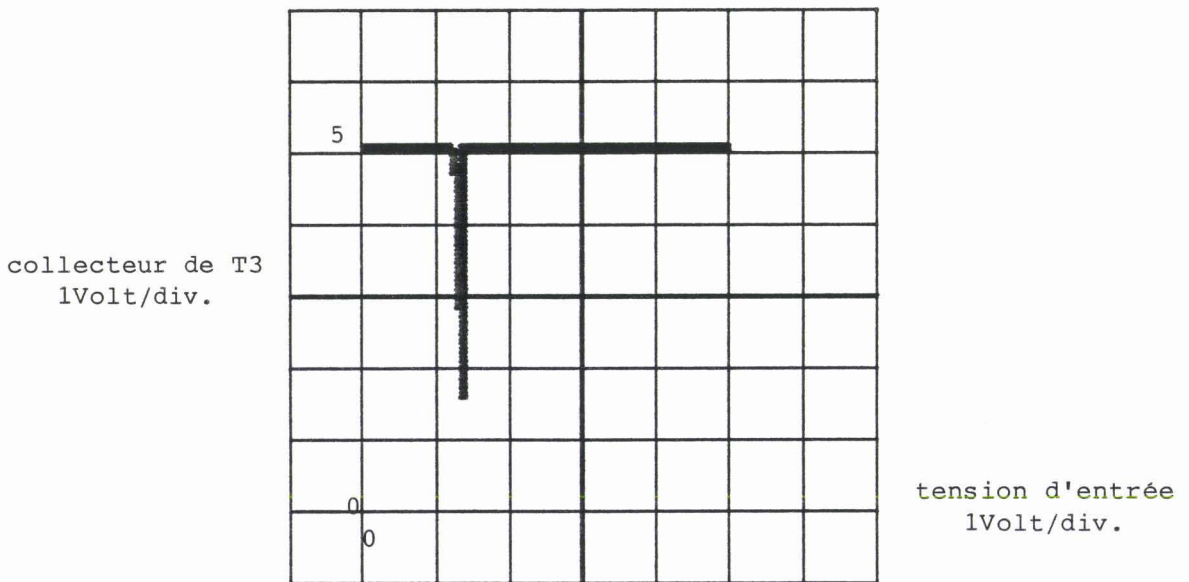


planche II.2: détermination expérimentale de la tension et du courant de commutation de la porte NAND reconstituée

II.2.a : fonction de transfert

II.2.b : potentiel du collecteur de T3 en fonction de la tension d'entrée V_e

II.1.3.b mesure de la tension et du courant de commutation

Nous avons fait varier la tension d'entrée de 0 à 5 volts sous la forme d'une rampe. Les signaux obtenus sur le collecteur de T4, qui est également le port de sortie de la porte, ainsi que celui sur le collecteur de T3 ont été visualisés.

Le premier représenté sur la *planche II.2.a* correspond à la caractéristique de transfert de notre montage. Cette courbe fait apparaître une zone critique pour une tension d'entrée comprise entre 1.2 et 1.3 Volt. Le changement d'état logique de la porte s'effectue sur une variation de 100 mVolts de la tension d'entrée, lorsque celle-ci passe de 0 à 5 Volts.

tension d'entrée	0.	[1.2;1.3]	5.
état en entrée	0	?	1
état en sortie	1	?	0

Le même phénomène a été observé sur une NAND intégrée (*figure II.5*). Les tensions de commutation sont identiques. Dans la zone de commutation, les deux transistors T3 et T4 sont passants alors qu'en fonctionnement normal T3 et T4 sont dans des états opposés.

Du point de vue de la compatibilité électromagnétique, l'important appel de courant sur l'alimentation que génère la commutation d'un élément logique peut avoir un rôle pollueur sur les pistes voisines. Son amplitude peut être déterminée en mesurant la variation de potentiel collecteur du transistor T3.

Lorsque T3 et T4 sont tous deux passants, ils forment un court-circuit, la plus grande partie du courant fourni par l'alimentation passe alors dans R3 provoquant la chute brutale de la tension collecteur de T3 initialement à 5 Volts. L'oscillogramme correspondant est fourni sur la *planche II.2.b*.

L'amplitude du courant de commutation vaut alors :

$$I_{com} = (V_{cc} - V_{c(T4)com}) / R3 \approx 30 \text{ mA} \quad (\text{II.4})$$

Nous développerons plus longuement la mesure et l'amplitude de ce courant tout au long du *chapitre 5* de notre thèse.

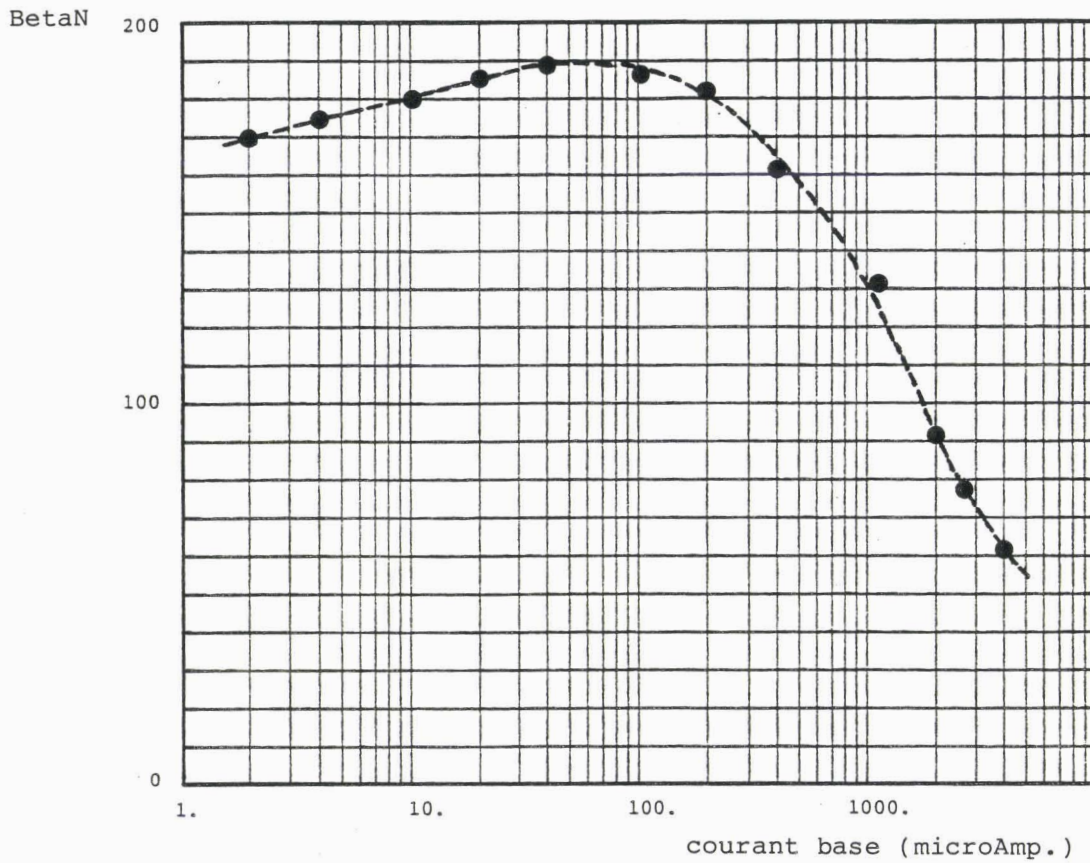


planche II.3: courbe de gain du transistor de sortie de la NAND reconstituée en fonction de son courant base

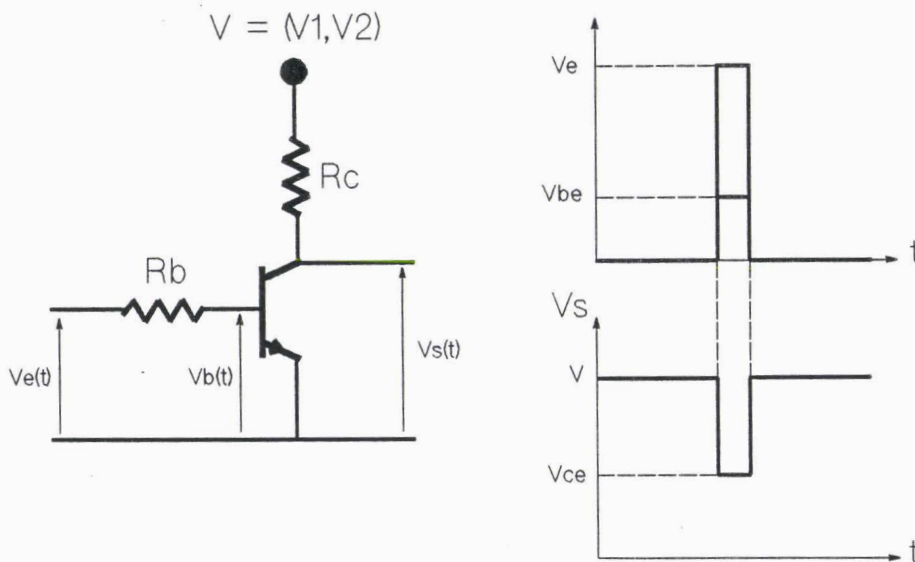


figure II.7: méthode dynamique de mesure du β_n

II.1.3.c évaluation du courant de désaturation

Un rappel des caractéristiques de sortie d'un transistor bipolaire est fourni en *annexe 1*.

Nous avons relevé la courbe β_n en fonction de I_b pour un transistor type 2N2222A (*planche II.3*). β_n est le gain en courant du transistor dans le montage émetteur commun, I_b son courant base. Afin de mesurer β_n à I_b élevé nous avons utilisé une méthode dynamique afin d'éviter tout échauffement du composant.

Nous pouvons la rappeler très succinctement.

Une impulsion de tension est envoyée sur la résistance de base du transistor considéré. Son amplitude est ajustée de façon à avoir le courant base pour lequel la mesure de β_n doit être effectuée. Le transistor initialement bloqué lorsque l'impulsion n'est pas appliquée ($I_b=0$.) fonctionne grâce à une prépolarisation de sa tension collecteur en régime "classe A" durant l'instant où son courant base n'est plus nul, c'est à dire pendant toute la durée de l'impulsion (*figure II.7*). Il suffit de recommencer la même expérience pour une autre valeur de la tension de prépolarisation pour déterminer grâce à une expression analytique rappelée en *annexe 1* la valeur de β_n et de la conductance d'effet Early g_n .

La *planche II.3* montre que β_n diminue fortement au delà de 200 μ A. Lorsque l'entrée de la porte est à l'état haut nous avons mesuré un courant base proche de 2.5 mA. Pour cette valeur de I_b , nous voyons sur le graphe que β_n est voisin de 80. Dès lors la désaturation de T4 se produira pour un courant collecteur égal à

$$I_c(T4) = \beta_n \cdot I_b \approx 200 \text{ mA} \quad (\text{II.5})$$

La désaturation de T4 serait obtenue en injectant un tel courant, ce qui est considérable et non réaliste par rapport à la valeur de 35 mA trouvée sur la NAND intégrée de la *planche II.1.b*.

En réalité dans les circuits intégrés, le courant base peut être estimé à 2.5 mA mais les transistors bipolaires ont des gains beaucoup plus faible pour cette valeur.

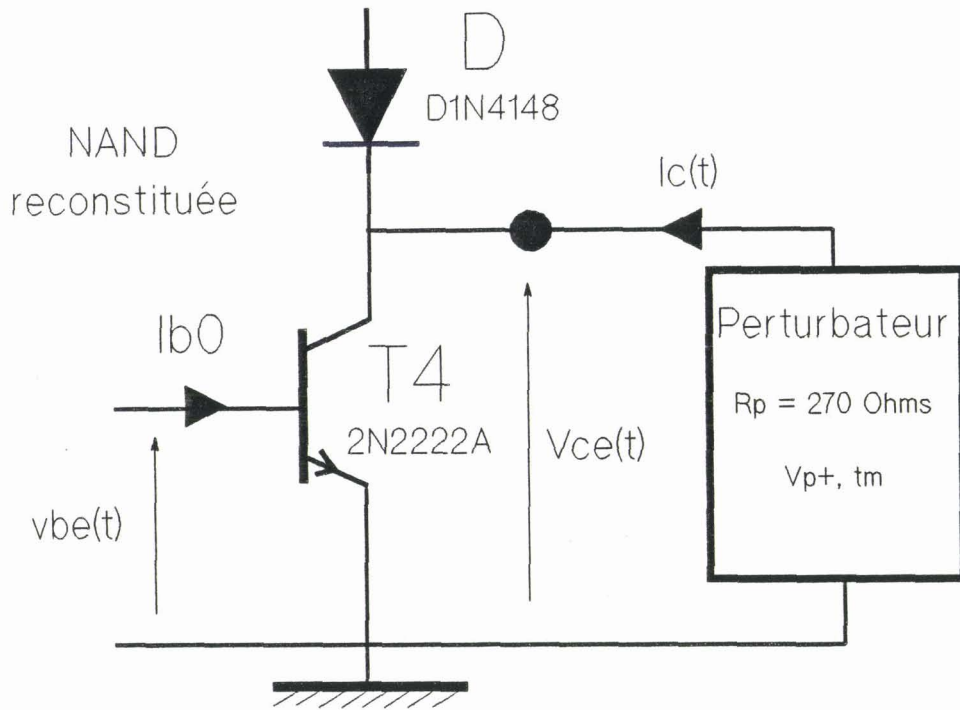


figure II.8: application d'un courant perturbateur sur la sortie à l'état bas de la porte NAND à éléments discrets

L'intérêt de l'étude est justement la modélisation des phénomènes de désaturation du transistor T4. Il n'est pas réaliste de travailler avec des courants de quelques centaines de mA. Il faut donc se rapprocher des valeurs rencontrées pour les NAND intégrées qui se situent comme nous l'avons constaté au chapitre précédent dans la plage 30-70 mA.

Pour ces raisons, nous avons fait le choix de multiplier par un facteur 10 les valeurs des résistances R1, R2, R3 et R4 du schéma de la *figure II.6*. De cette façon, le courant base est atténué d'un facteur 10 et le β_n qui vaut maintenant 175 donne un courant de désaturation proche de 40 mA donc du même ordre de grandeur que les valeurs rencontrées sur les NAND intégrées.

Pour l'étude que nous allons entreprendre, la contribution de ces résistances intervient uniquement au niveau de la valeur du courant base de T4 et donc de son courant de désaturation. Bien entendu, le fonctionnement dynamique du montage (vitesse de commutation) s'en trouvera modifié cependant il est analogue à celui d'une NAND intégrée dont la sortie est à l'état bas. Il ne peut par conséquent être utilisé pour représenter le comportement dynamique de la porte, c'est à dire sa vitesse de commutation ou son courant de commutation (plus faible d'un facteur 10 environ dans ce cas).

C'est sur ce schéma interne, dont nous avons augmenté la valeur des résistances d'un facteur 10, que nous allons travailler désormais.

II.1.4 Modélisation du port de sortie de la porte à composants discrets

Nous nous proposons de soumettre notre montage expérimental aux mêmes effets perturbateurs que ceux appliqués sur une porte intégrée.

II.1.4.a comportement de la porte à éléments discrets face à une agression extérieure

Nous allons reprendre les expériences réalisées au *paragraphe II.1.2*, c'est à dire injecter un courant $I_c(t)$ dans la sortie à l'état bas de notre porte.

Comme le montre la *figure II.8*, ce courant perturbateur entre dans le collecteur du transistor T4 initialement saturé afin de modifier son potentiel. Nous observerons l'évolution dans le temps de la tension $V_{ce}(T4)$.

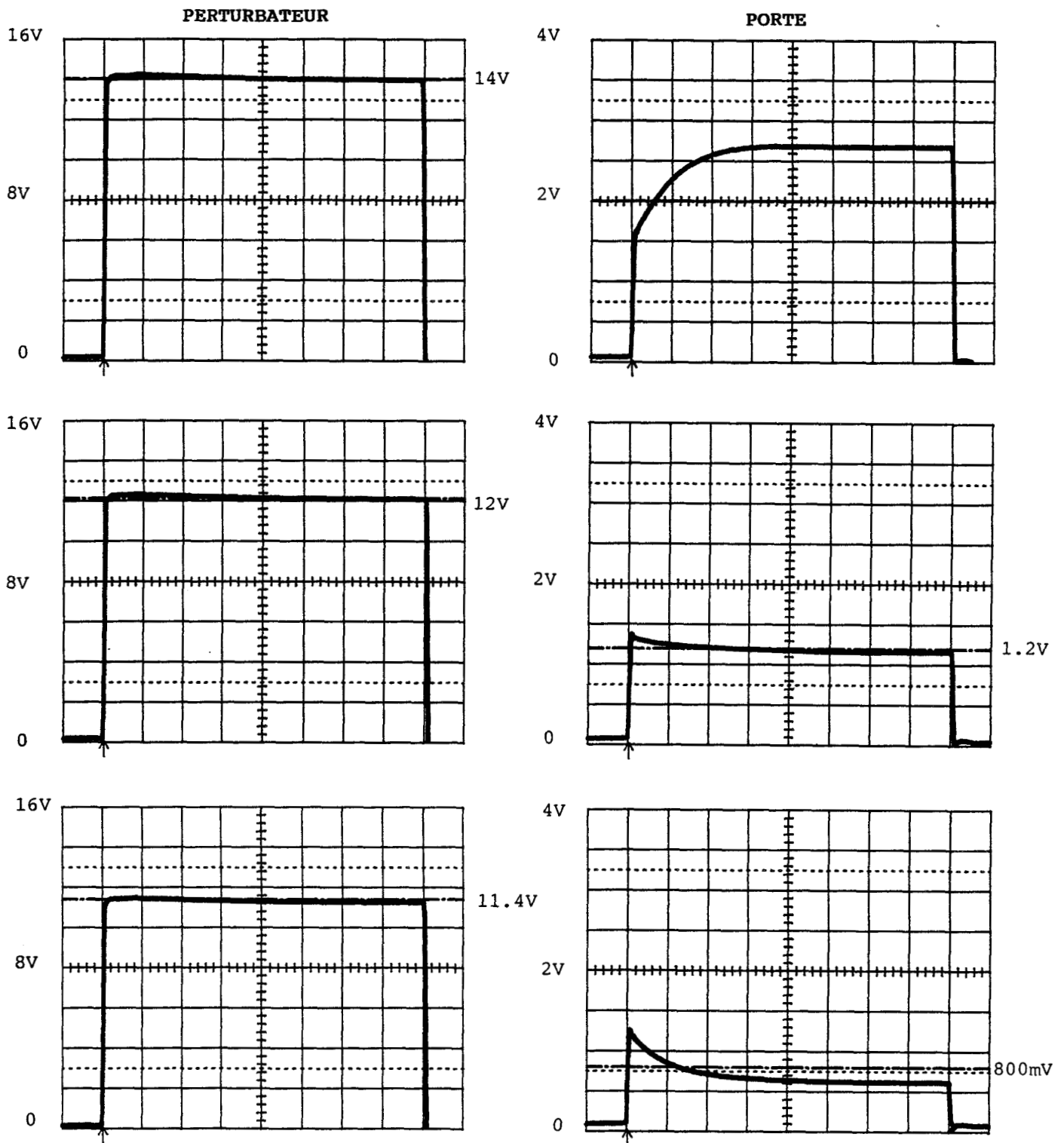


planche II.4: Influence de l'amplitude du perturbateur sur le signal de sortie de la porte reconstituée

base de temps : 500 ns/div

Le perturbateur est identique à celui déjà utilisé au précédent chapitre. Ses caractéristiques sont:

- une résistance interne de 270 Ohms
- un signal impulsionnel de temps de montée t_m et d'amplitude V_p variables.

L'observation de la tension de sortie de la porte sera paramétrée en fonction du niveau V_p du perturbateur et du temps de montée t_m de celui-ci.

- étude de l'influence du niveau du perturbateur pour un temps de montée donné égal à 20 ns :

Pour un temps de montée égal à 20 ns, nous avons relevé le signal de sortie de la porte pour différentes valeurs de l'amplitude V_p . Les résultats apparaissent sur la *planche II.4* ci-contre. Il se dégage trois types de courbes de cette étude que nous allons décrire.

1er type: Un niveau important du perturbateur ($V_p = 14$ Volts) qui correspond à un courant injecté d'environ 42 mA provoque la désaturation rapide du transistor de sortie puis son passage progressif en régime de fonctionnement "classe A". La sortie de la porte n'est plus à l'état bas mais à l'état haut: la valeur finale de la tension dépasse le $V_{ih_{min}}$ égal à 2 Volts et provoque la commutation de toute logique connectée sur ce port.

2ième type: Si nous diminuons légèrement l'intensité du courant perturbateur (41 mA), la caractéristique de sortie, pour une valeur V_p de 12 Volts change d'allure et un pic de désaturation suivi d'un palier de tension apparaît. Le niveau final est ici voisin de 1.2 Volt. Il est compris dans la zone d'instabilité de la porte: la sortie est alors dans un état logique indéterminé.

3ième type: Pour une injection de courant inférieure à 40 mA (39.5 mA) provoquée par une impulsion d'amplitude 11.4 Volts, la valeur finale devient inférieure à la tension $V_{il_{max}}$ égale à 800 mVolts. La réponse comporte cependant une singularité représentée par le pic de désaturation dont l'amplitude crête dépasse 1.2 Volt et provoque l'apparition temporaire d'un faux état logique 1 en sortie.

PERTURBATEUR

PORTE

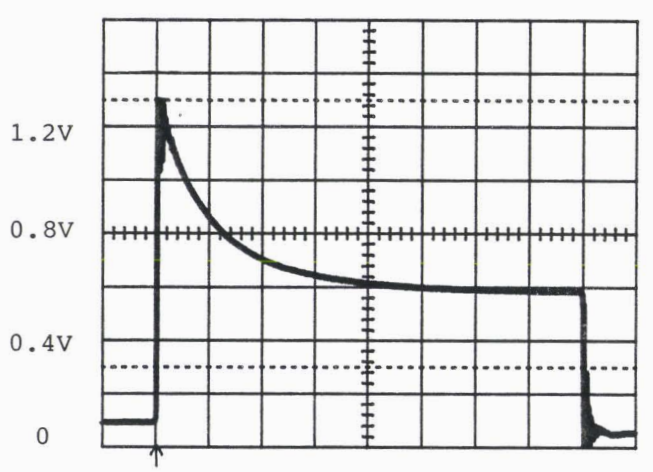
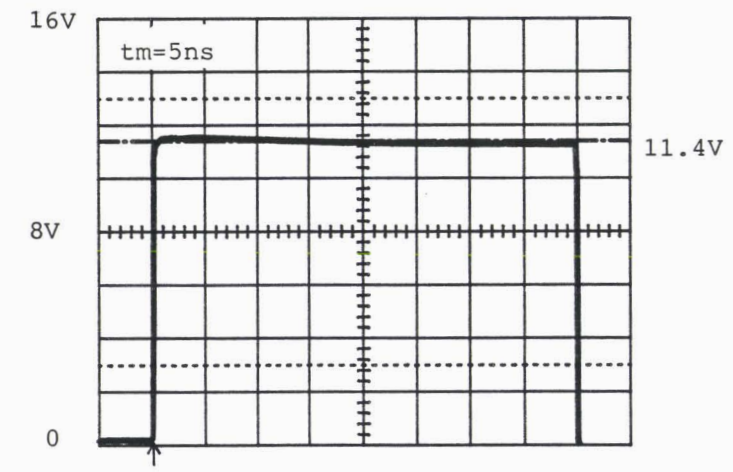
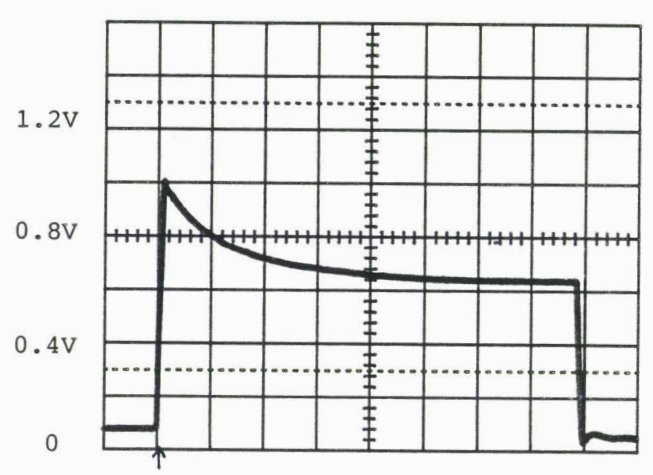
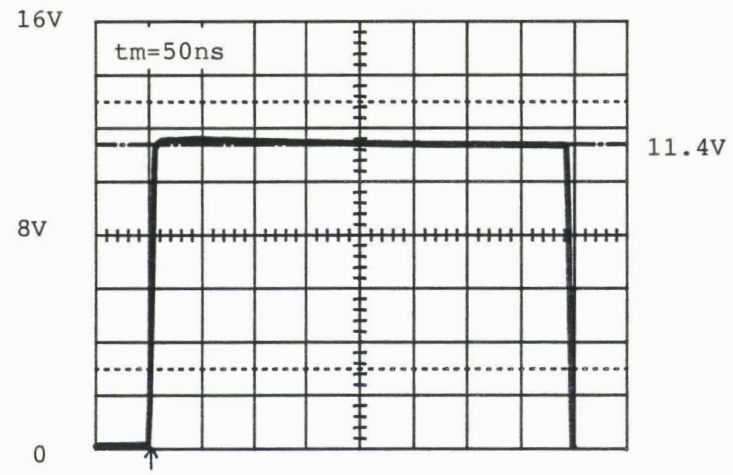
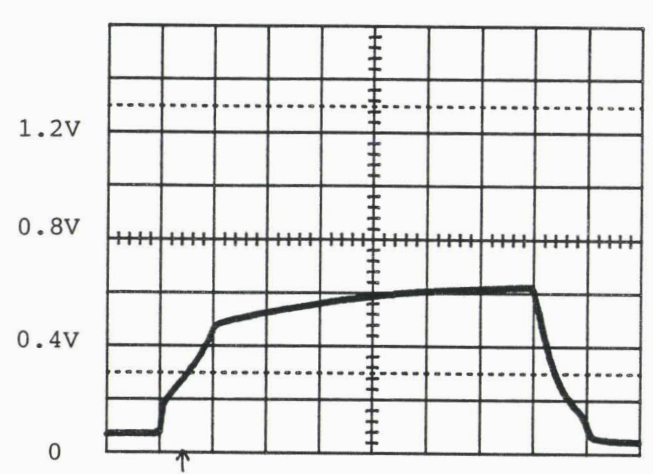
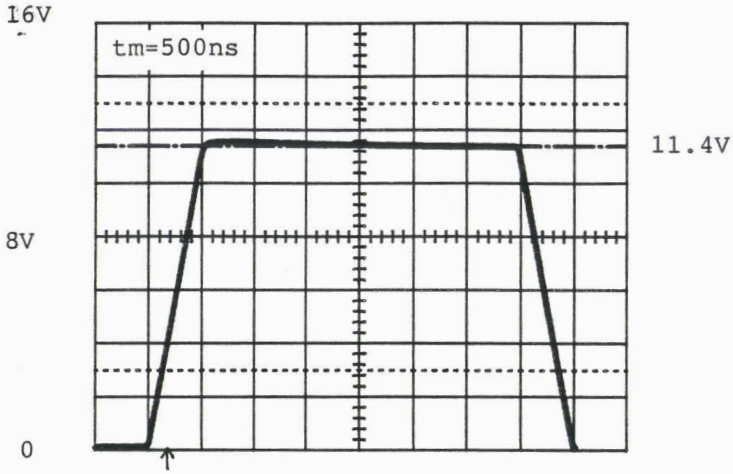


planche II.5: Influence du temps de montée du perturbateur sur le signal de sortie de la porte reconstituée

base de temps : 500 ns/div

le transistor initialement dans un état saturé non conducteur se désature rapidement lors du temps de montée de l'impulsion puis se sature de nouveau à une tension plus élevée en restant conducteur.

Les comportements correspondant aux 1er et 3ème types sont analogues à ceux observés sur la NAND intégrée. Les transitoires sont plus longs en raison de l'utilisation de composants discrets moins rapides que des transistors intégrés.

- étude de l'influence du temps de montée pour une amplitude fixe du perturbateur égale à 11.4 Volts :

Nous avons choisi d'étudier l'évolution de la réponse lorsqu'on augmente le temps de montée de l'impulsion pour un niveau perturbateur de 11.4 Volts équivalent à une injection de 39.5 mA. Il s'agit donc du 3ième type de signature si on se reporte à la page précédente.

Les courbes obtenues figurent sur la *planche II.5* ci-contre. Les temps de montée sont tels que:

$$\begin{aligned}t_{m1} &= 5 \text{ ns} \\t_{m2} &= 50 \text{ ns} \\t_{m3} &= 500 \text{ ns}\end{aligned}$$

A la vue des résultats, nous pouvons affirmer que le pic de désaturation est d'autant plus important que le temps de montée est faible. Pour un temps de montée supérieur à 50 ns, la désaturation temporaire disparaît et seul le niveau du perturbateur reste le facteur prédominant.

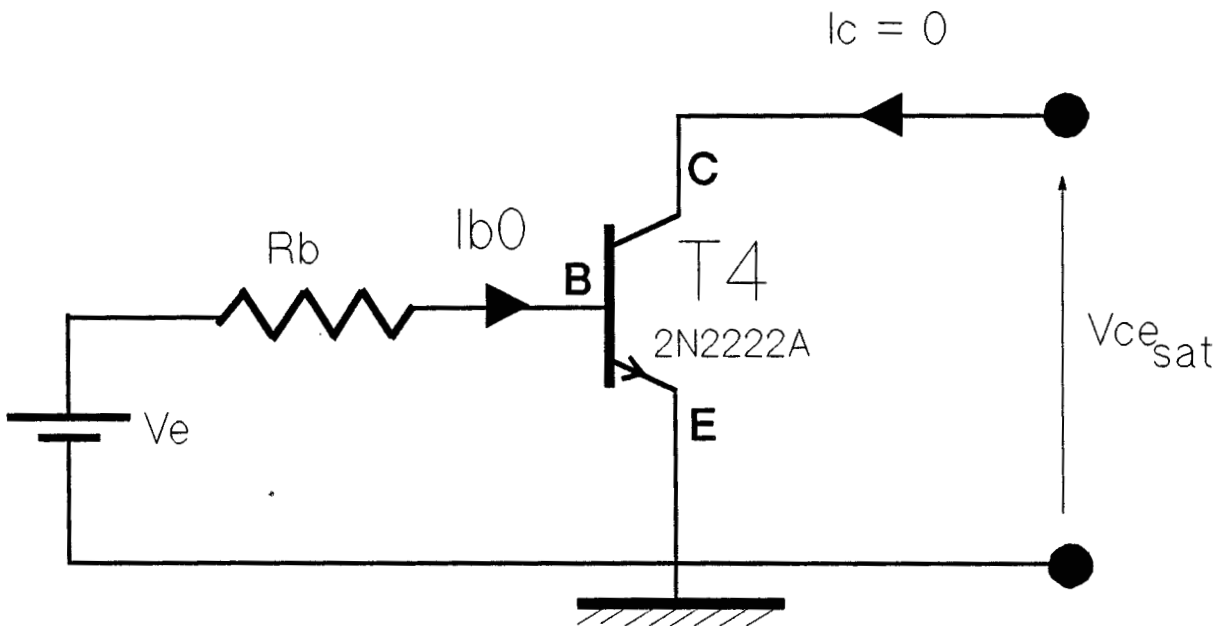


figure II.9: modèle équivalent de la sortie à l'état bas de la porte NAND à éléments discrets

II.1.4.b analogie de comportement avec celui d'un simple transistor

Il serait intéressant de pouvoir substituer à la porte un circuit plus simple de façon à obtenir les mêmes caractéristiques lorsqu'une perturbation est appliquée sur sa sortie.

Comme nous l'avons déjà indiqué plus haut, lorsque l'entrée est à l'état haut T4 est saturé mais ne débite pas de courant puisque T3 est non conducteur. T3 joue le rôle d'un coupe-circuit.

De la même manière T1 est assimilé à une diode passante ainsi que la jonction base-émetteur de T2 puisque celui-ci est saturé. Dans ces deux jonctions circule le courant passant dans R1 et R2. Ce ne sont pas les légères variations de la tension base de T4 qui modifierons la conduction de ces jonctions. Nous pouvons donc les remplacer par un court-circuit.

La résistance R4 est en parallèle sur une jonction passante dont l'impédance interne est très inférieure en statique comme en dynamique à celle de R4. Cette résistance n'a pour effet que de changer légèrement le courant base $i_b(T4)$ de T4 lorsque sa tension base varie. Pour les valeurs de résistances choisies, une variation de +150 mVolts de la base de T4 fait que R4 dérive 15 μA de plus: cette valeur est négligeable par rapport à la valeur initiale I_{b0} (260 μA) de $I_b(T4)$.

Notre porte peut donc se ramener au seul transistor T4 saturé par son courant base I_{b0} mais non conducteur.

Cette simplification est d'autant plus vraie que le signal dynamique est appliqué à la sortie de la porte et non sur l'entrée: vue de l'entrée la commande est statique.

Le courant base I_{b0} est obtenu par une résistance $R_b = R4$ polarisée par une tension V_e comme le montre la *figure II.9*.

Les études effectuées au *paragraphe II.1.4.a* ont été refaites avec ce montage simplifié.

Les *planches II.6* et *II.7* montrent des réponses identiques entre celles relevées sur la porte et celles relevées sur le transistor seul.

Dans ce paragraphe nous avons prouvé qu'il était possible de remplacer l'ensemble de la porte, lorsque son entrée est à l'état 1, par son seul transistor de sortie attaqué par un courant base identique.

Dorénavant notre étude portera sur ce montage équivalent.

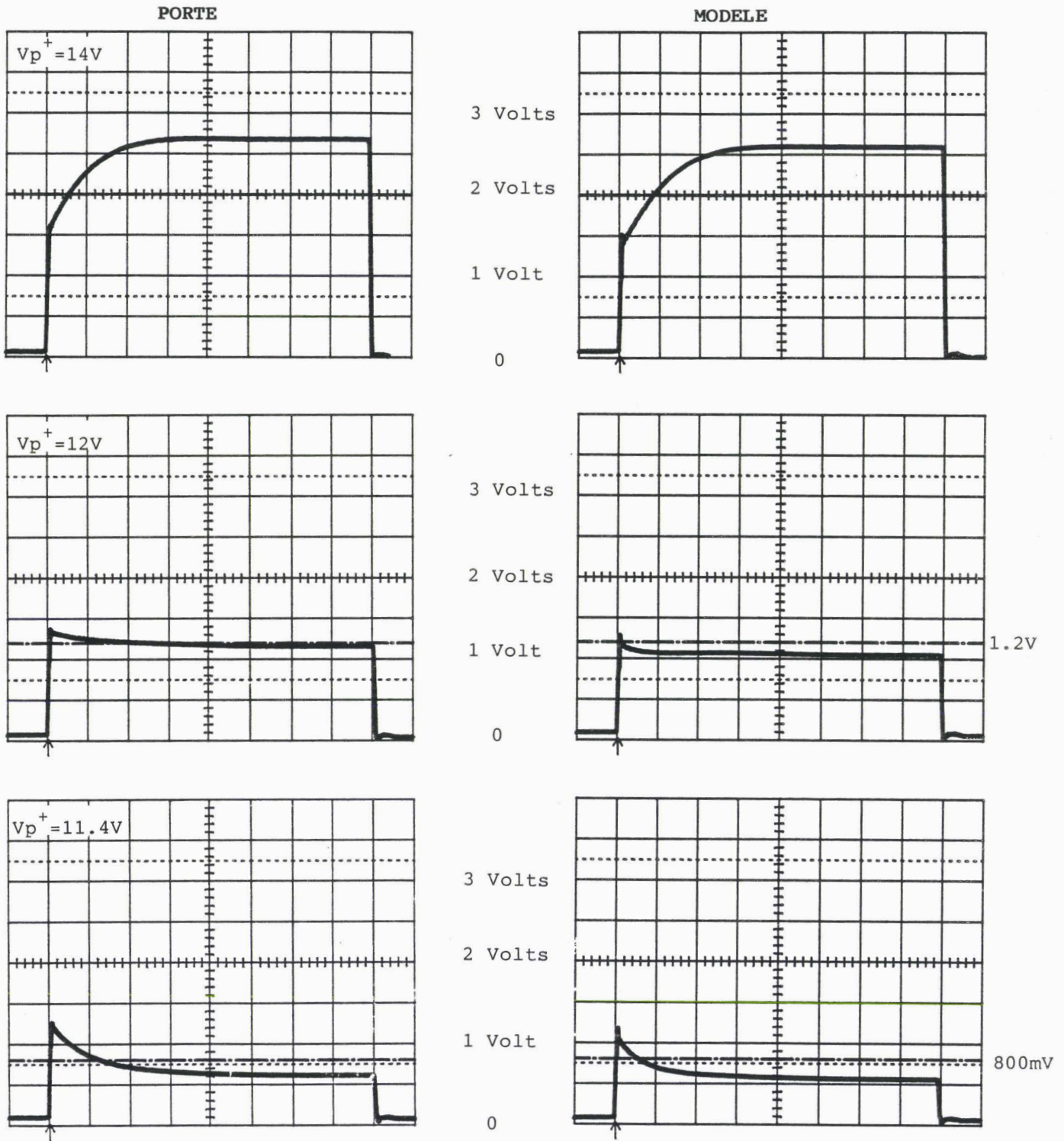
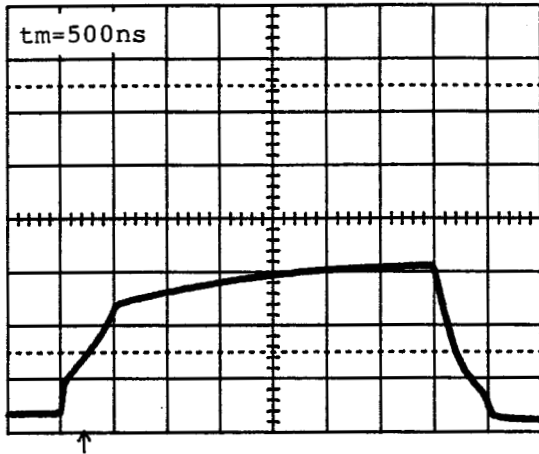


planche II.6: Comparaison des réponses observées sur la porte et sur le modèle simplifié pour des amplitudes variables du perturbateur

base de temps : 500 ns/div

PORTE



MODELE

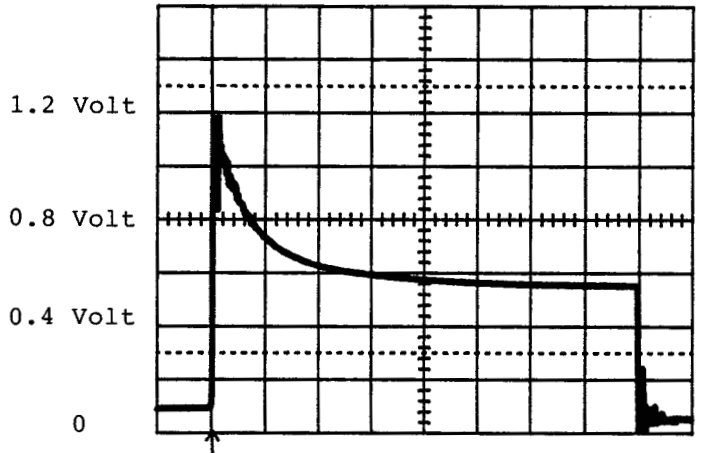
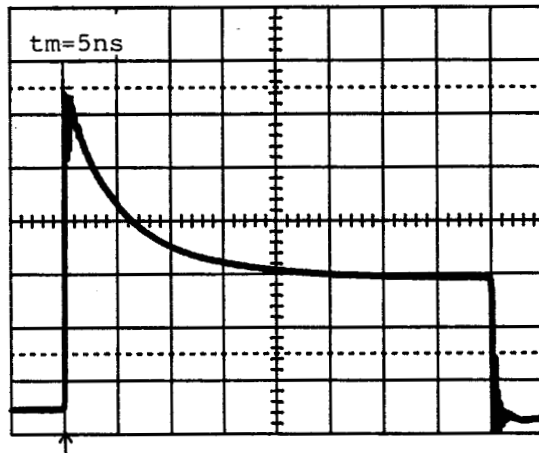
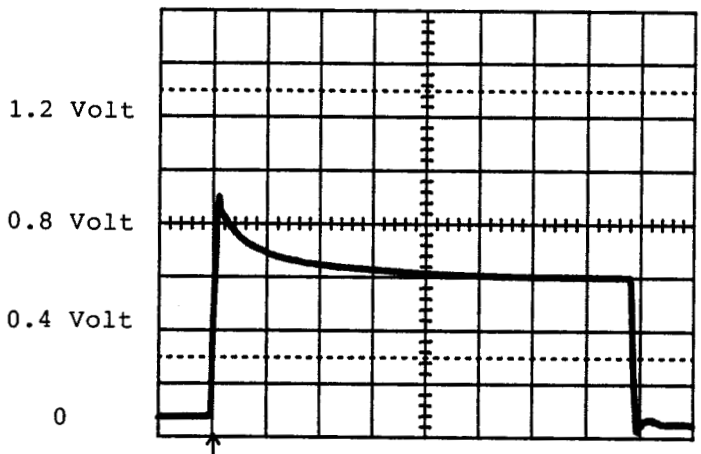
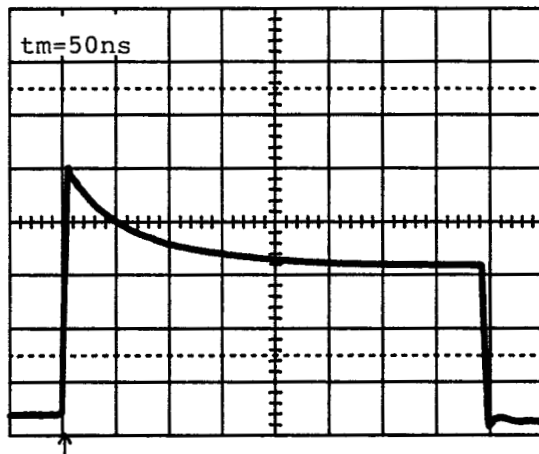
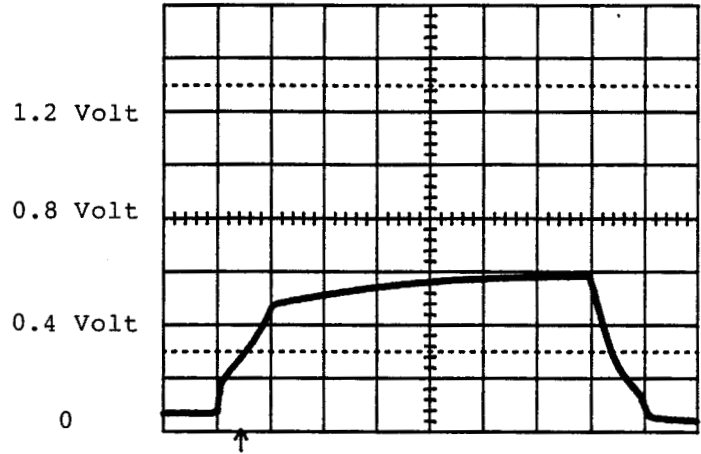


planche II.7: Comparaison des réponses observées sur la porte et sur le modèle simplifié pour des temps de montée variables du perturbateur

base de temps : 500 ns/div

II.2 DESCRIPTION THEORIQUE D'UN MODELE DYNAMIQUE DU TRANSISTOR DE SORTIE

Dans cette seconde partie, nous allons considérer uniquement un transistor bipolaire T de courant base initial I_{b0} et dont le collecteur sera soumis à un perturbateur d'amplitude $V_p(t)$ et d'impédance R_p .

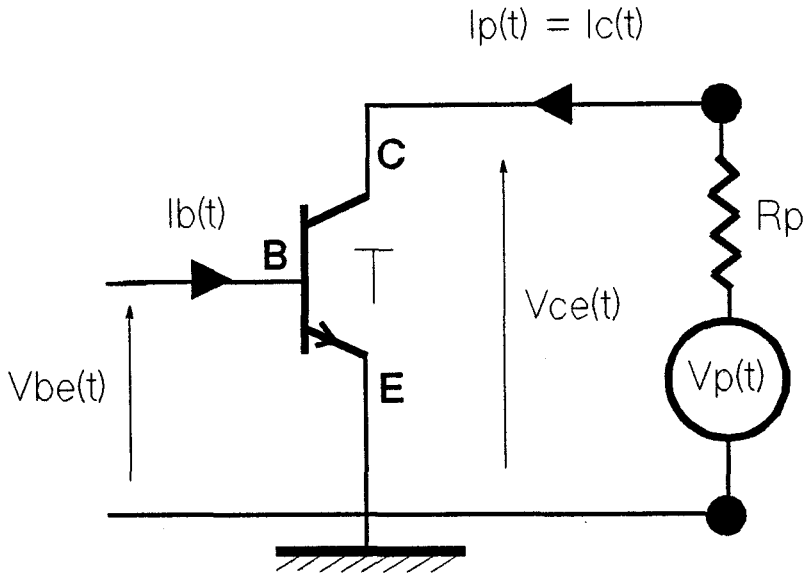


figure II.10: modèle équivalent d'une porte NAND où un signal perturbateur est appliqué sur sa sortie initialement à l'état bas

Comme nous l'avons montré dans la première partie, le montage de la *figure II.10* est équivalent à la sortie d'une porte lorsque son entrée est à l'état logique 1.

II.2.1 Conditions initiales

Avant application de la perturbation ($t < 0$.) nous avons vu que le transistor était dans un état saturé non conducteur. Nous avons :

- pour les courants $I_b = I_{b0}$; $I_{c_{sat}} = 0$.
- pour les tensions $V_{ce} = V_{ce_{sat}}$; $V_{be} = V_{be_{sat}}$

Les tensions $V_{ce_{sat}}$ et $V_{be_{sat}}$ peuvent être connues en développant leur expression respective en fonction des paramètres intrinsèques du transistor T. Ces paramètres, ainsi que la théorie du transistor bipolaire sont rappelés en *annexe 1*.

L'expression théorique tirée de l'Annexe 1 donnant la tension base-émetteur en fonction des courants base et collecteur est

$$V_{be} = \lambda_1 V_t \cdot \text{Log} \left(1 + \frac{I_b + (1 - \alpha_i) \cdot I_c}{I_{s1} \cdot (1 - \alpha_n \cdot \alpha_i)} \right) \quad (\text{II.6})$$

elle permet de calculer dans ce cas précis la tension $V_{be_{sat}}$ du transistor saturé ($I_c = 0$; $I_b = I_{b0}$)

$$V_{be_{sat}} = \lambda_1 V_t \cdot \text{Log} \left(1 + \frac{I_{b0}}{I_{s1} \cdot (1 - \alpha_n \cdot \alpha_i)} \right) \quad (\text{II.7})$$

nous montrons en Annexe 1 que la tension collecteur-émetteur varie en régime saturé en fonction de I_b et I_c suivant la relation

$$V_{ce} = \lambda_2 V_t \cdot \text{Log} \left(\frac{c1 \cdot (c2 + c3 \cdot I_c) \frac{\lambda_1 V_t}{\lambda_2 V_t}}{c4 - I_c} \right) \quad (\text{II.8})$$

avec

$$c1 = \frac{1 - \alpha_n \cdot \alpha_i}{1 - \alpha_n} \cdot I_{s2}$$

$$c2 = \frac{I_b}{I_{s1} \cdot (1 - \alpha_n \cdot \alpha_i)}$$

$$c3 = \frac{1 - \alpha_i}{I_{s1} \cdot (1 - \alpha_n \cdot \alpha_i)}$$

$$c4 = \beta_n \cdot I_b$$

Les paramètres $\lambda_1 V_t$, $\lambda_2 V_t$, I_{s1} , I_{s2} , α_n et α_i sont intrinsèques au transistor. Nous pouvons calculer le $V_{ce_{sat}}$ du transistor saturé

$$V_{ce_{sat}} = \lambda_2 V_t \cdot \text{Log} \left(\frac{c1}{c4} \cdot c2 \frac{\lambda_1 V_t}{\lambda_2 V_t} \right) \quad (\text{II.9})$$

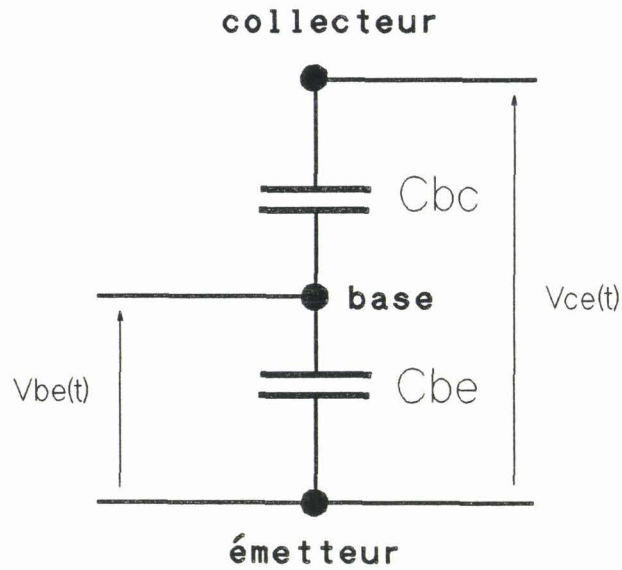


figure II.11: transistor analogué à un diviseur capacitif pour des temps de montée très rapides (quelques ns) du perturbateur

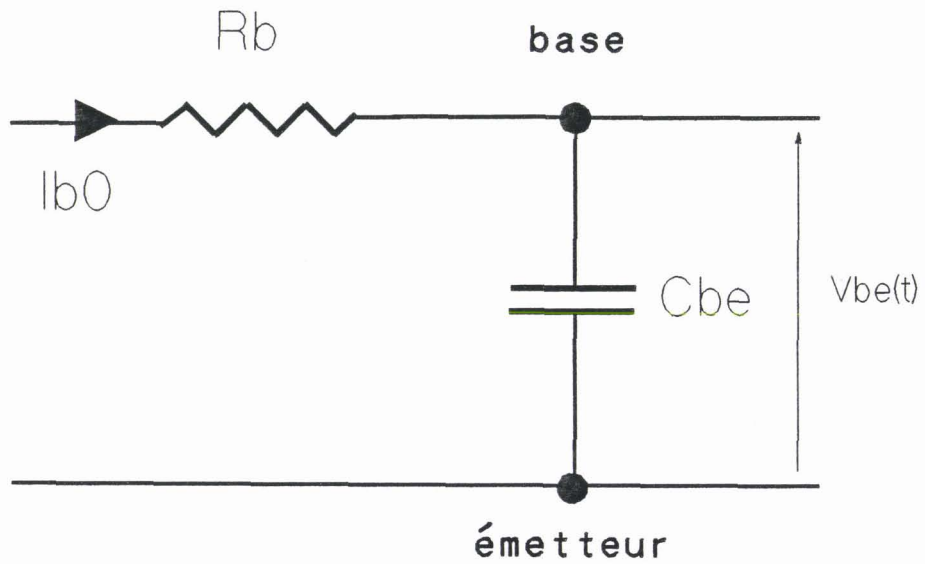


figure II.12: transistor analogué à un circuit R-C pour des temps de montée lents (>100 ns) du perturbateur

Les valeurs initiales des courants et tensions sont accessibles par la théorie moyennant la connaissance des paramètres intrinsèques. Nous reviendrons ultérieurement sur la manière de mesurer ou d'évaluer ces derniers.

La connaissance précise des valeurs initiales des courants et tensions est primordiale pour la résolution numérique des expressions, décrivant l'évolution dans le temps de ces grandeurs, qui seront fournies au *paragraphe II.2.4*.

II.2.2 Analyse physique des fronts de désaturation

Les courbes expérimentales des *planches II.6* et *II.7* mettent en évidence l'existence d'une rapide variation de V_{ce} lorsque le temps de montée du perturbateur est très court (inférieur à 50 ns).

Le transistor étant initialement non conducteur, pour conduire sa tension base doit franchir un palier ΔV_{be} . Ce palier peut être calculé à l'aide de l'*expression II.6*

$$\Delta V_{be} = V_{be_{final}} - V_{be_{initial}} \cong \lambda_1 V_t \cdot \text{Log} \left(\frac{I_{b0} + (1 - \alpha_i) I_{c_{final}}}{I_{b0} + (1 - \alpha_i) I_{c_{initial}}} \right) \quad (\text{II.10})$$

Lors de la désaturation ($I_{c_{final}} \approx \beta_n \cdot I_{b0}$), l'*expression II.10* montre que le ΔV_{be} est plus élevé pour un transistor initialement non conducteur ($I_{c_{initial}} = 0$) que pour un transistor dont le collecteur est relié à la tension d'alimentation V_{CC} par une résistance R_c ($I_{c_{initial}} \approx V_{CC}/R_c$). Or, plus le ΔV_{be} est important plus la zone durant laquelle le transistor est "aveugle" est importante. Lors d'une transition brutale, seules les capacités intrinsèques base-émetteur et base-collecteur permettent le passage à un V_{be} plus élevé. Physiquement au moment de cette transition le transistor peut être analogué à un diviseur capacitif comme le montre la *figure II.11*.

Nous concevons alors que la tension collecteur peut atteindre un niveau $V_{ce_{pic}}$ supérieur à la tension de commutation d'un élément logique dont l'entrée serait reliée à ce point.

Pour des temps de montée beaucoup plus lent (500 ns) l'effet diviseur capacitif ne joue plus. Le ΔV_{be} est fourni par la résistance de base R_b et la capacité base-émetteur (schéma de la *figure II.12*).

Dés que le ΔV_{be} est franchi, le montage tend vers son régime permanent donné par le système ci-dessous:

$$\left\{ \begin{array}{l} I_{c_{final}} = \frac{V_p - V_{ce_{final}}}{R_p} \\ I_{c_{final}} = f(V_{ce_{final}}) \end{array} \right. \quad (II.11)$$

L'allure des courbes $V_{ce} = f(t)$ met en évidence le rôle important tenu par les capacités intrinsèques du transistor en régime transitoire. Le paragraphe qui suit explique à quoi est due l'existence de ces capacités et donne leur expression analytique.

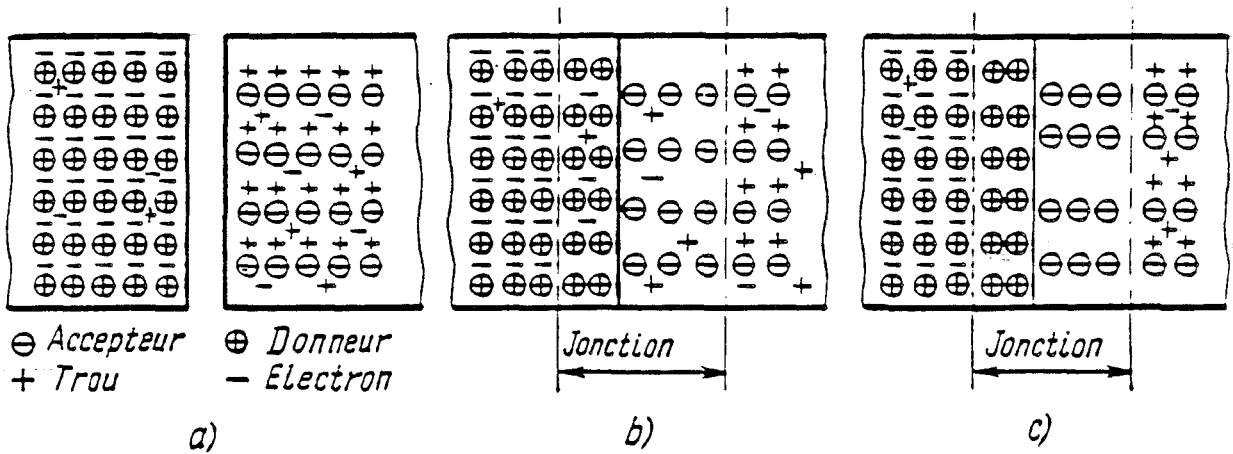


figure II.13: structure électrique d'une jonction P-N

- a) état initial des couches
- b) charges d'espace dans une jonction réelle
- c) charges d'espace dans une jonction idéalisée

II.2.3 Modélisation de la capacité intrinsèque d'une jonction [11] [12] [13]

II.2.3.a capacité totale d'une jonction

Elle peut s'écrire sous la forme $C = C_j + C_d$ où :

- C_j est la capacité constituée par la zone de charge d'espace au voisinage immédiat de la jonction. Cette zone est vide de porteurs.

Les trous, majoritaires dans la région de type P, diffusent vers la région de type N où ils se recombinaient avec les électrons; il en est de même avec les électrons dans l'autre sens. La recombinaison des porteurs libres de part et d'autre de la jonction fait apparaître une charge d'espace résultant de la présence des donneurs et accepteurs ionisés, dont les charges ne sont plus intégralement compensées par celles des porteurs libres.

L'ensemble de la jonction se comporte comme un condensateur dont la zone de charge d'espace serait le diélectrique et les régions N et P les armatures (*figure II.13*).

- C_d est la capacité due à la diffusion des porteurs dans les régions de diffusion-recombinaison. Elle est liée à la charge stockée, c'est à dire à la quantité de porteurs minoritaires en excès injectés de part et d'autre de la jonction.

Cette capacité est prédominante lorsque la jonction est polarisée en direct.

II.2.3.b expression analytique de la capacité due à la zone de charge d'espace

La capacité C_j s'écrit généralement [12] [13] sous la forme

$$C_j = \frac{C_0}{\left(1 - \frac{V_{ap}}{V_d}\right)^r} \quad (\text{II.12})$$

V_{ap} : tension aux bornes de la jonction

V_d : potentiel de built-in de la jonction

C_0 : capacité de la jonction à polarisation nulle

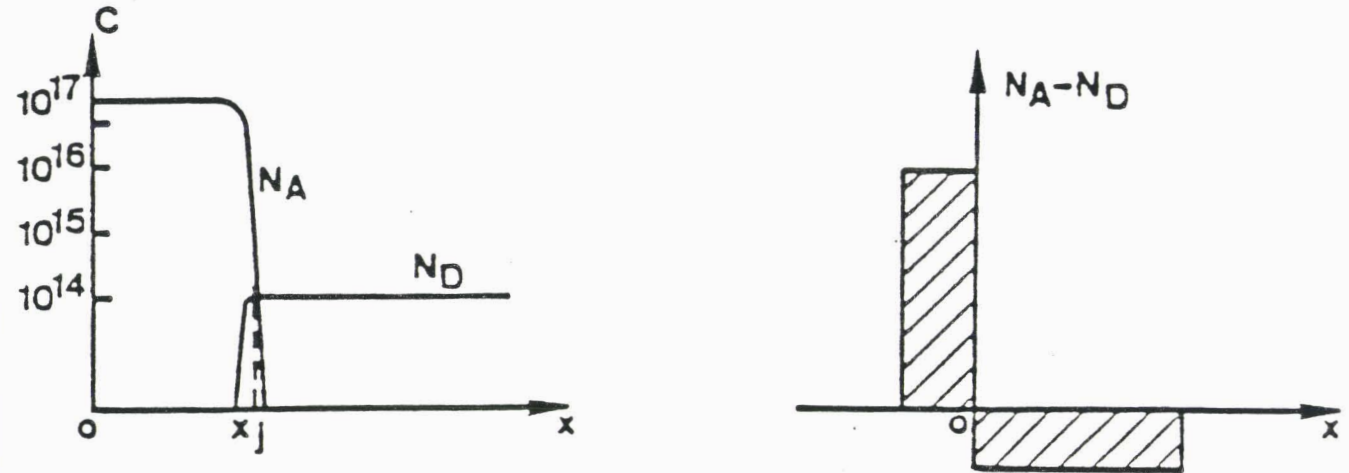


figure II.14: représentation du profil d'impuretés d'une jonction abrupte

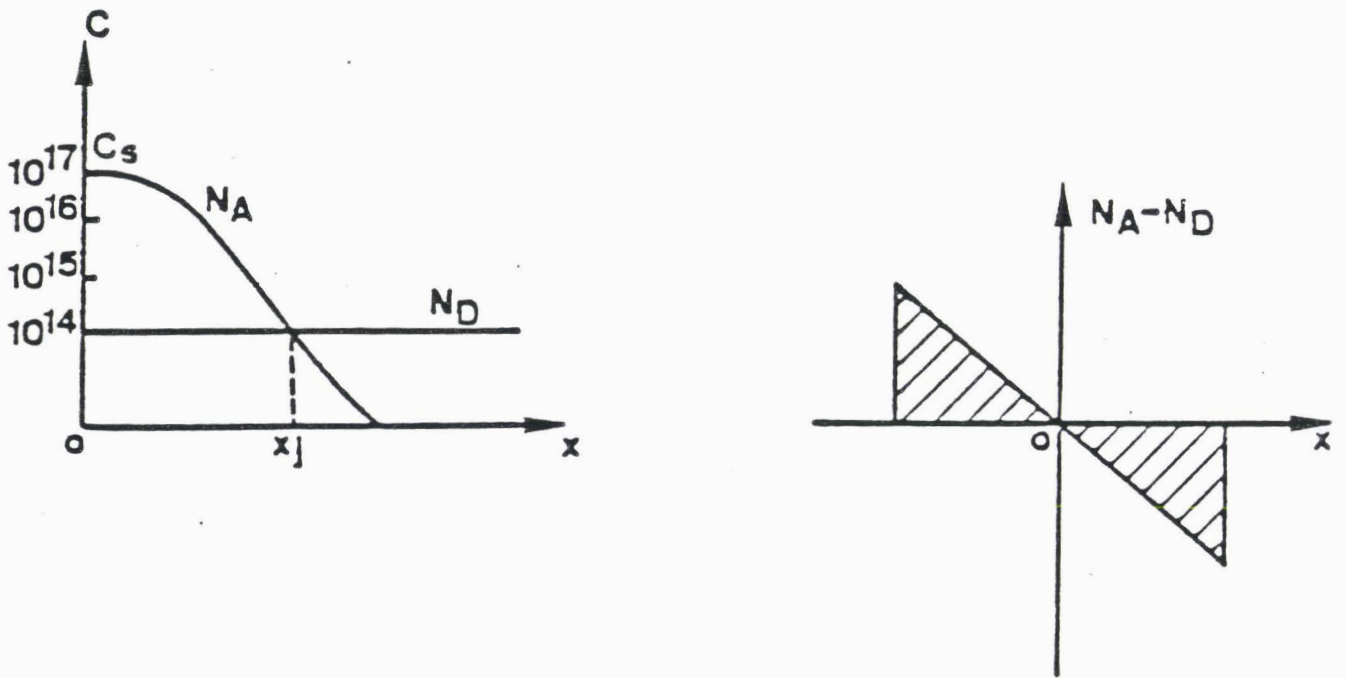


figure II.15: représentation du profil d'impuretés d'une jonction graduelle

Pour la valeur de r , deux cas extrêmes se présentent :

- cas d'une jonction abrupte: il s'agit d'une jonction dont le profil d'impuretés est représenté *figure II.14*, la capacité de jonction vaut alors

$$C_j = \frac{C_0}{\left(1 - \frac{V_{ap}}{V_d}\right)^{\frac{1}{2}}} \quad \left(r = \frac{1}{2}\right) \quad (\text{II.13})$$

- cas d'une jonction graduelle: il s'agit d'une jonction dont le profil d'impureté est représenté *figure II.15*, la capacité de jonction a pour expression

$$C_j = \frac{C_0}{\left(1 - \frac{V_{ap}}{V_d}\right)^{\frac{1}{3}}} \quad \left(r = \frac{1}{3}\right) \quad (\text{II.14})$$

En pratique, et notamment dans le cas des transistors bipolaires, la valeur de r est intermédiaire

$$r \in \left[\frac{1}{3}, \frac{1}{2}\right]$$

L'expression II.12 traduit correctement la variation de la capacité lorsque la jonction est polarisée en inverse. Lorsque la jonction est polarisée en direct la valeur de C_j croît et pour V_{ap} voisin de V_d elle tend vers l'infini ce qui n'a pas de signification physique.

Pour palier à cet inconvénient, nous lui préférons la *formulation II.15** à partir de $V_{ap} = \eta \cdot V_d$

$$C_j = \frac{C_0}{(1 - \eta)^{(1+r)}} \cdot \left(1 - \eta(1+r) + r \cdot \frac{V_{ap}}{V_d}\right) \quad (\text{II.15})$$

où η est un coefficient inférieur à 1

L'expression II.15 au comportement linéaire en fonction de V_{ap} permet de ne pas obtenir des valeurs infinies de C_j et d'assurer la

* Cette expression est issue du manuel de référence du logiciel SPICE:
SPICE: A guide to circuit simulation and analysis using SPICE

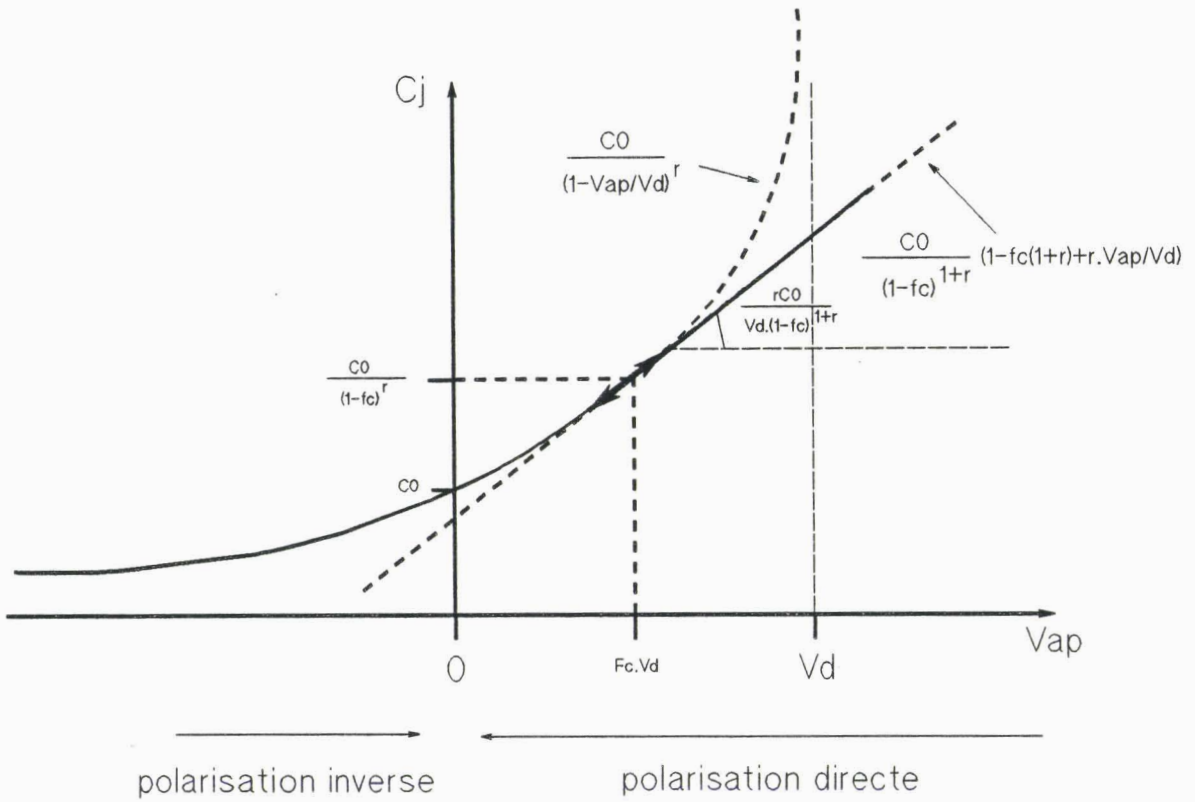


figure II.16: représentation de la variation de la capacité C_j en fonction de la tension V_{ap} appliquée à ses bornes

continuité de la courbe $C_j = f(V_{ap})$ en $V_{ap} = \eta \cdot V_d$ comme le montre la figure II.16 ci-contre.

Si nous décidons de situer cette continuité à $V_{ap} = V_d/2$ c'est à dire pour $\eta = .5$, en admettant que pour ce transistor $r = .4$ et $v_d = .75$, nous avons alors une bonne approximation de la variation de c_j en fonction de la tension de polarisation dans toute la gamme de variation de celle-ci.

La valeur de C_0 peut être mesurée expérimentalement comme nous allons le montrer au *paragraphe II.3.1*.

II.2.3.c Expression analytique de la capacité due à la diffusion des porteurs

Une variation dV de la tension de polarisation modifie le profil des porteurs et par conséquent la charge stockée Q_s d'où un effet capacitif :

$$C_d = \frac{dQ_s}{dV} \quad (\text{II.16})$$

Pour expliciter l'expression II.16, nous allons considérer le cas de jonctions dissymétriques.

- cas d'une jonction P^+N : ce modèle correspond à la jonction base-collecteur d'un transistor bipolaire NPN. Elle injecte essentiellement du côté N. La charge stockée est alors le produit du courant de diffusion des trous (J_p) par leur durée de vie dans la région N (τ_{pn})

$$Q_s = \tau_{pn} \cdot J_p \approx \tau_{pn} \cdot J$$

où J est le courant de diffusion total: $J = J_n + J_p$

d'où

$$C_d \approx \tau_{pn} \cdot \left(\frac{dJ}{dV} \right)_{V=V_{ap}} \quad (\text{II.17})$$

- cas d'une jonction P^+N^{++} : ce modèle correspond à la jonction base-émetteur d'un transistor bipolaire NPN. Cette fois, ce sont les électrons qui sont injectés du côté P. La charge stockée est le produit du courant de diffusion des électrons (J_n) par leur durée de vie dans la région P (τ_{np}).

$$Q_s = \tau_{np} \cdot J_n \approx \tau_{np} \cdot J$$

d'où

$$C_d \approx \tau_{np} \cdot \left(\frac{dJ}{dV} \right)_{V=V_{ap}} \quad (\text{II.18})$$

D'une façon générale, nous pouvons écrire

$$C_d = \tau_d \cdot g_d \quad (\text{II.19})$$

τ_d : durée de vie des porteurs minoritaires en excès dans la région de diffusion

g_d : conductance différentielle de la jonction en son point de polarisation

$$g_d = \left(\frac{dJ}{dV} \right)_{V=V_{ap}} \quad (\text{II.20})$$

Pour une jonction

$$J \approx J_s \cdot \exp\left(\frac{V_{ap}}{\lambda V_t}\right)$$

nous pouvons alors déduire l'expression de C_d

$$C_d = \frac{\tau_d \cdot J_s}{\lambda V_t} \cdot \exp\left(\frac{V_{ap}}{\lambda V_t}\right) \quad (\text{II.21})$$

Il reste maintenant à prendre en considération ces capacités dans la description analytique du comportement de notre modèle face à un perturbateur externe.

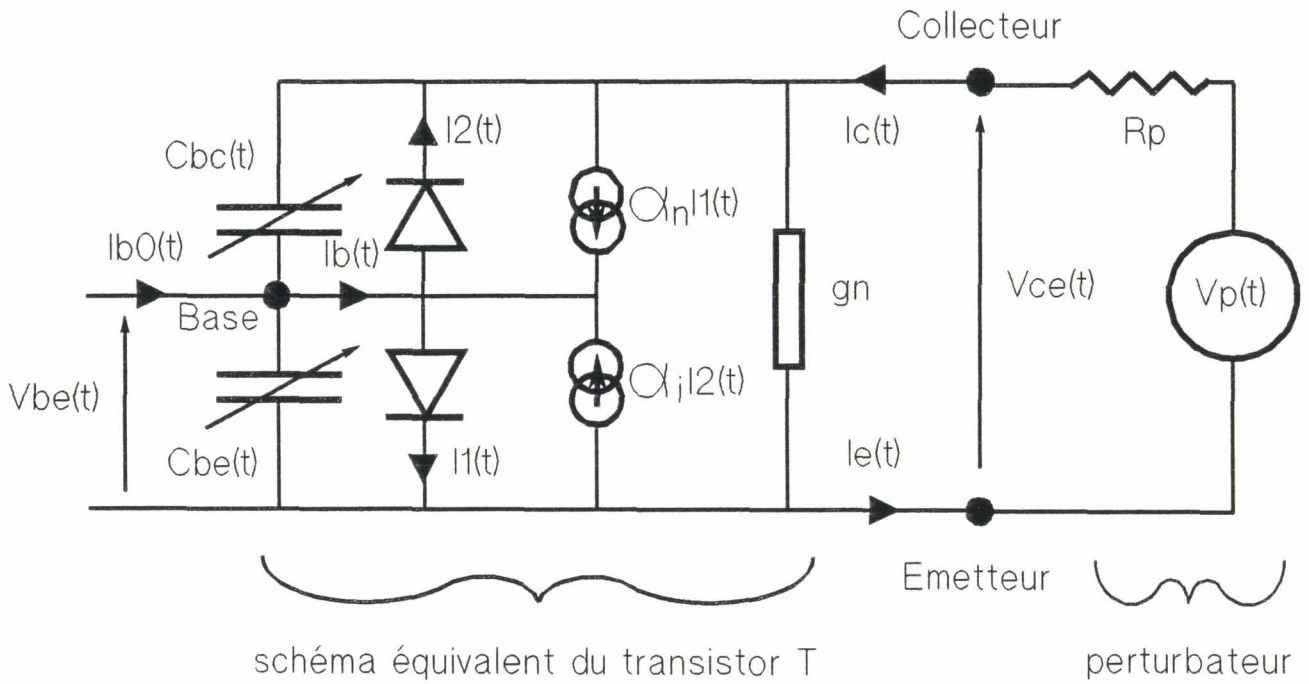


figure II.17: représentation du modèle théorique utilisé dans nos simulations

II.2.4 Mise en équation de la réponse à un perturbateur

Le modèle théorique utilisé pour nos simulations est représenté sur la *figure II.17* ci-contre. Le transistor T est remplacé par son modèle d'EBERS-MOLL¹ complété par les capacités des jonctions base-émetteur Cbe et base-collecteur Cbc. L'effet EARLY² est pris en compte par l'ajout d'une conductance gn entre le collecteur et l'émetteur du transistor.

Les courants de jonction I1 et I2 ont pour expression

$$I1 = Is1 \exp\left[\frac{Vbe}{\lambda_1 Vt}\right] \quad (II.22)$$

$$I2 = Is2 \exp\left[\frac{Vbc}{\lambda_2 Vt}\right] \quad (II.23)$$

Les calculs des courants et tensions sont donnés en *Annexe 2*, dans le cas général où l'on prend en compte les résistances Rbb', Ree' et Rcc' qui correspondent aux résistances intrinsèques de la base, de l'émetteur et du collecteur. Dans le cas présent nous négligeons l'effet de ces résistances et nous posons:

$$Rbb' = Ree' = Rcc' = 0$$

Les expressions se simplifient alors.

II.2.4.a Expression des tensions base-émetteur et base-collecteur

Elles se présentent sous la forme d'un système de deux équations différentielles:

$$\frac{dVbe}{dt} = F(t, Vbe, Vce) = \frac{1}{Cbe(t)} \left[Ib0(t) + \frac{Vp(t) - Vce(t)}{Rp} - I1(t) + \alpha_1 I2(t) - gn Vce(t) \right]$$

$$e = G(t, Vbe, Vce) = \frac{1}{Cbe(t)} \left[q Ib0(t) + (1+q) \left(\frac{Vp(t) - Vce(t)}{Rp} - gn Vce(t) \right) - (\alpha_n + q) I1(t) + (1 + q\alpha_1) I2(t) \right]$$

$$\text{en posant } q = Cbc(t)/Cbe(t) \quad (II.24)$$

¹ un rappel sur le modèle d'EBERS-MOLL est fourni en Annexe 1

² un rappel sur l'effet EARLY est fourni en Annexe 1

les conditions initiales étant:

$$\begin{aligned} V_{be}(t=0) &= V_{besat} \\ V_{ce}(t=0) &= V_{cesat} \end{aligned}$$

Ces expressions ne peuvent être résolues analytiquement. Il s'agit cependant d'une difficulté d'analyse numérique connue sous le nom de problème de CAUCHY. [15] [16] [17] [18]

Nous avons choisi la méthode de résolution d'EULER dite "améliorée" afin de calculer à chaque instant t les tensions base-émetteur et base-collecteur.

II.2.4.b Expression des capacités base-émetteur et base-collecteur

Connaissant la tension base V_{be} et collecteur V_{ce} à chaque instant t , il est possible de simuler l'évolution des capacités intrinsèques des jonctions base-émetteur et base-collecteur à l'aide des *expressions II.12, II.15 et II.21.*

- Capacité de la jonction base-émetteur: $V_{ap} = V_{be}(t)$

• pour $V_{be}(t) \leq \eta_1 \cdot V_{d1}$

$$C_{be}(t) = \frac{C_{be0}}{\left[1 - \frac{V_{be}(t)}{v_{d1}}\right]^{r_1}} + \frac{\tau_1 \cdot I_{s1}}{\lambda_1 V_t} \exp\left[\frac{V_{be}(t)}{\lambda_1 V_t}\right] \quad (II.25)$$

• pour $V_{be}(t) > \eta_1 \cdot V_{d1}$

$$C_{be}(t) = \frac{C_{be0}}{\left[1 - \eta_1\right]^{1+r_1}} \left[1 - \eta_1(1+r_1) + r_1 \frac{V_{be}(t)}{V_{d1}}\right] + \frac{\tau_1 \cdot I_{s1}}{\lambda_1 V_t} \exp\left[\frac{V_{be}(t)}{\lambda_1 V_t}\right] \quad (II.26)$$

- capacité de la jonction base-collecteur: $V_{ap} = V_{be}(t) - V_{ce}(t)$

• pour $V_{be}(t) - V_{ce}(t) \leq \eta_2 \cdot V_{d2}$

$$C_{bc}(t) = \frac{C_{bc0}}{\left[1 - \frac{V_{be}(t) - V_{ce}(t)}{V_{d2}}\right]^{r_2}} + \frac{\tau_2 \cdot I_{s2}}{\lambda_2 V_t} \exp\left[\frac{V_{be}(t) - V_{ce}(t)}{\lambda_2 V_t}\right] \quad (II.27)$$

• pour $V_{be}(t) - V_{ce}(t) > \eta_2 \cdot V_{d2}$

$$C_{bc}(t) = \frac{C_{bc0}}{\left[1 - \eta_2\right]^{1+r_2}} \left[1 - \eta_2(1+r_2) + r_2 \frac{V_{be}(t) - V_{ce}(t)}{V_{d2}}\right] + \frac{\tau_2 \cdot I_{s2}}{\lambda_2 V_t} \exp\left[\frac{V_{be}(t) - V_{ce}(t)}{\lambda_2 V_t}\right] \quad (II.28)$$

Ces valeurs de capacités sont connues aux instants $t < 0$ puisqu'alors:

$$V_{be}(t) = V_{be_{sat}} \text{ et } V_{ce}(t) = V_{ce_{sat}}$$

II.2.4.c Expression des courants base et collecteur

La connaissance de V_{be} et V_{ce} à chaque instant t permet le calcul de:

$$I_c(t) = \frac{V_p(t) - V_{ce}(t)}{R_p} \quad (II.29)$$

$$I_{b0}(t) = I_{b0} + \frac{V_{be_{sat}} - V_{be}(t)}{R_b} \quad (II.30)$$

mais également celui du courant $I_b(t)$ de la base intrinsèque du transistor T

$$I_b(t) = [1 - \alpha_n] I_1(t) + [1 - \alpha_i] I_2(t) \quad (II.31)$$

$I_1(t)$ et $I_2(t)$ sont donnés par les expressions II.22 et II.23 .

Les courants et tensions sur chaque accès du transistor sont alors parfaitement définis à chaque instant $t_0, t_1, t_2, \dots, t_n$. Il est possible de représenter leurs variations en fonction du temps à condition bien sûr de choisir un pas d'échantillonnage convenable.

II.3 APPLICATION DU MODELE A UN PERTURBATEUR DE TYPE IMPULSIONNEL; CONFRONTATION THEORIE-MESURE

Dans ce paragraphe, nous allons confronter les réponses impulsionnelles obtenues, avec le modèle théorique décrit précédemment, aux courbes expérimentales relevées avec un oscilloscope numérique sur le modèle équivalent de notre porte NAND reconstituée.

II.3.1 Détermination des paramètres du modèle théorique

Comme le montre les équations du paragraphe précédent, notre modèle théorique utilise un grand nombre de paramètres qu'il va falloir

- soit mesurer directement sur le transistor utilisé qui nous le rappelons est un transistor 2N2222A
- soit évaluer en consultant par exemple les banques de données dans la bibliothèque des composants des logiciels de simulation de circuits électroniques.

Nous distinguerons deux types de paramètres:

- les paramètres statiques qui correspondent aux courants de saturation et raideurs des jonctions, aux gains du transistor.
- les paramètres dynamiques tels que ceux intervenant dans la modélisation des capacités des deux jonctions.

dénomination des paramètres	représentation	valeur
courant de saturation de la jonction B-E (fA)	I_{s1}	4,85
courant de saturation de la jonction B-C (nA)	I_{s2}	7,5
raideur de la jonction B-E (mV)	$\lambda_1 V_t$	24,5
raideur de la jonction B-C (mV)	$\lambda_2 V_t$	49,8
courant base initial (μA)	I_{b0}	260
gain en régime normal direct à I_{b0}	β_n	165
conductance en régime normal direct à I_{b0} (mho)	g_n	$0,65 \cdot 10^{-3}$
gain en régime normal inversé à I_{b0}	β_i	0,06
conductance en régime normal inversé à I_{b0} (mho)	g_i	négligeable

tableau II.1: paramètres statiques du modèle

dénomination des paramètres	représentation	valeur
<u>- jonction base-émetteur</u>		
capacité de jonction à polarisation nulle (pF)	C_{be0}	30
potentiel de built-in (V)	V_{d1}	0,75
paramètres intervenant dans la modélisation de la variation de la capacité	r_1	0,4
	η_1	0,5
durée de vie des porteurs minoritaires en excès dans la base (psec.)	τ_1	500
<u>- jonction base-collecteur</u>		
capacité de jonction à polarisation nulle (pF)	C_{bc0}	18
potentiel de built-in (V)	V_{d2}	0,75
paramètres intervenant dans la modélisation de la variation de la capacité	r_2	0,4
	η_2	0,5
durée de vie des porteurs minoritaires en excès dans le collecteur (nsec.)	τ_2	30

tableau II.3: paramètres dynamiques du modèle

II.3.1.a Paramètres statiques

La liste de ces paramètres ainsi que leurs valeurs figurent dans le *tableau II.1* ci-contre. Ils ont été mesurés expérimentalement sur le transistor T avec les méthodes indiquées en *Annexe 1*.

Il est alors possible de calculer les valeurs théoriques de $V_{be_{sat}}$ et $V_{ce_{sat}}$ et de les comparer aux valeurs expérimentales avant l'application du perturbateur (*tableau II.2*).

	mesure	théorie
$I_{b_{sat}}$ (μA)	260	260
$V_{be_{sat}}$ (mV)	607,0	606,7
$I_{c_{sat}}$ (mA)	0	0
$V_{ce_{sat}}$ (mV)	85,4	83,5

tableau II.2: état initial du transistor

Nous constatons que l'état initial du transistor T est parfaitement déterminé.

II.3.1.b Paramètres dynamiques

Ils interviennent dans la modélisation des capacités intrinsèques du transistor. Nous rappelons ci-dessous les deux expressions traduisant la variation de la capacité totale d'une jonction en fonction de la tension appliquée à ses bornes.

- pour $V_{ap} \in]-\infty, \eta \cdot V_d]$

$$C(V_{ap}) = \frac{C_0}{\left[1 - \frac{V_{ap}}{V_d}\right]^r} + \frac{\tau \cdot I_s}{\lambda V_t} \exp\left[\frac{V_{ap}}{\lambda V_t}\right] \quad (II.32)$$

- pour $V_{ap} \in [\eta \cdot V_d, +\infty[$

$$C(V_{ap}) = \frac{C_0}{[1 - \eta]^{1+r}} \left[1 - \eta(1+r) + r \frac{V_{ap}}{V_d}\right] + \frac{\tau \cdot I_s}{\lambda V_t} \exp\left[\frac{V_{ap}}{\lambda V_t}\right] \quad (II.33)$$

Le *tableau II.3* donne les valeurs des différents paramètres intervenant dans ces expressions pour les deux jonctions base-émetteur et base-collecteur.

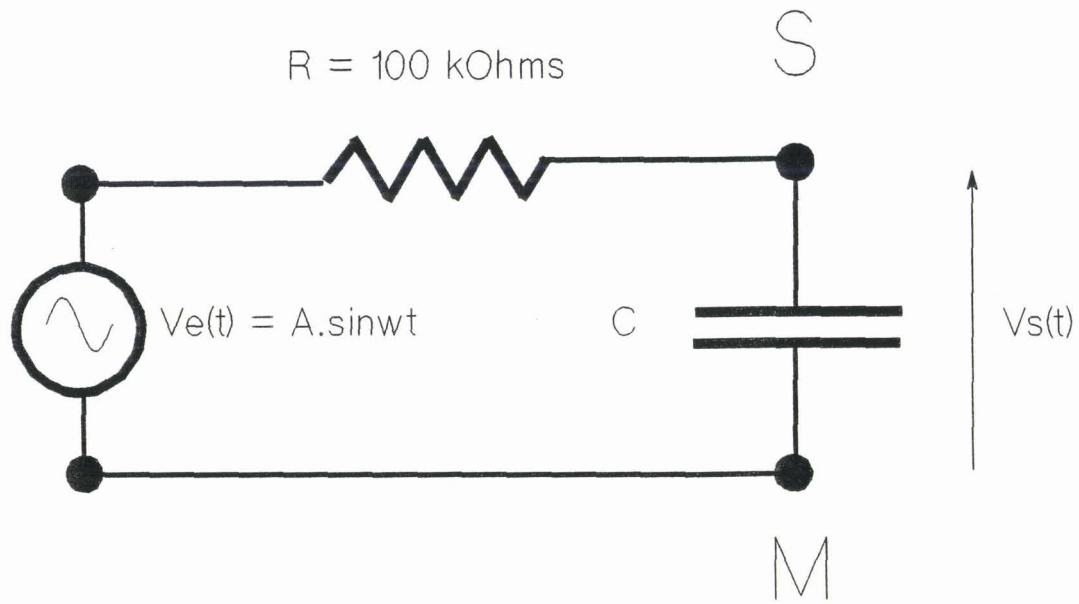


figure II.18: Schéma du circuit R-C

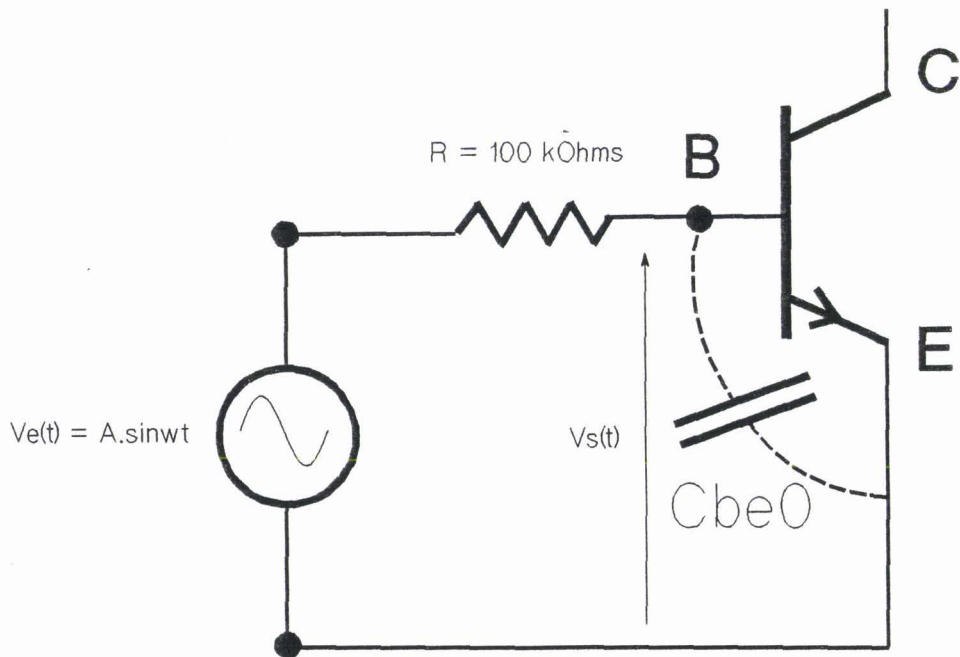


figure II.19: Schéma pratique de la mesure de Cbe0

V_d , η et r ont été choisis tels que:

$$\begin{aligned} V_d &= V_{d1} = V_{d2} = 0,75 \text{ Volt} \\ \eta &= \eta_1 = \eta_2 = 0,5 \\ r &= r_1 = r_2 = 0,4 \end{aligned}$$

Il s'agit des valeurs généralement utilisées dans la librairie des transistors bipolaires du logiciel PSPICE. De la même manière, afin de chiffrer les ordres de grandeurs de τ_1 et τ_2 , respectivement les durées de vie des porteurs minoritaires dans la base et dans le collecteur, nous nous sommes inspirés de celles fournies dans la bibliothèque de composants bipolaires de ce logiciel.

$$\begin{aligned} \tau_1 &= 500 \text{ picosec.} \\ \tau_2 &= 30 \text{ nanosec.} \end{aligned}$$

Par contre, il a été possible de mesurer expérimentalement C_{be0} et C_{bc0} . Nous décrivons ci-dessous la méthode utilisée.

• mesure de C_{be0} et C_{bc0} :

Le principe consiste à déterminer la fréquence de coupure f_c à -3dB d'un circuit constitué d'une résistance R et d'une capacité C et représenté *figure II.18*. Nous savons que f_c est donnée pour

$$\frac{V_s(t)}{V_e(t)} = \frac{\sqrt{2}}{2} \quad \text{lorsque} \quad V_e(t) = V_{e0} \cos \omega t \quad \text{avec} \quad \omega \text{ variable}$$

nous avons alors la relation :

$$f_c = \frac{1}{2 \pi RC} \quad (\text{II.34})$$

En pratique, la capacité C sera la capacité base-émetteur ou base-collecteur du transistor définie à polarisation nulle, l'autre jonction n'étant pas connectée (*figure II.19*). En régime de petits signaux (pour $V_e(t)$ de l'ordre de 100 mV crête-crête), cette méthode permet de trouver la valeur de C_{be0} et C_{bc0} .

Expérimentalement le signal $V_s(t)$ est mesuré à l'aide d'une sonde compensée. La capacité intrinsèque de la sonde (≈ 10 pF) n'est pas négligeable devant C_{be0} et C_{bc0} . Au préalable, il est donc utile de déterminer cette capacité. Pour cela, il suffit de connecter uniquement la

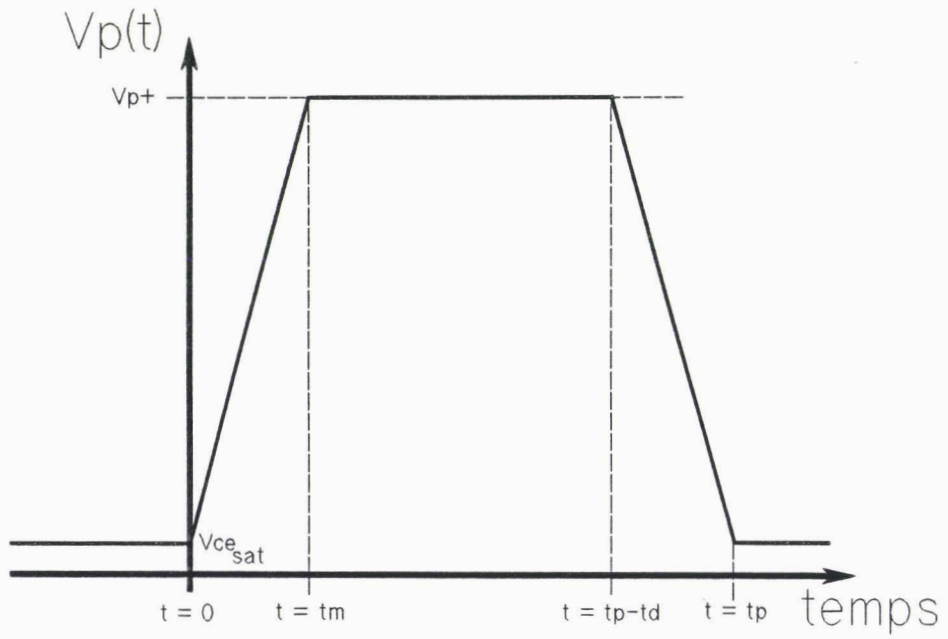


figure II.20: modélisation de l'impulsion unipolaire positive

sonde entre les bornes S et M du circuit. La valeur trouvée sera ensuite retranchée aux valeurs expérimentales de C_{be0} et C_{bc0} . De plus, afin de limiter les capacités parasites, la connexion entre composants sera réalisée en les soudant bout à bout.

Avec les précautions citées ci-dessus, nous avons testé cette méthode de mesure avec succès sur une capacité connue. Pour le transistor T étudié nous avons obtenu:

$$C_{be0} = 30 \text{ pF} ; C_{bc0} = 18 \text{ pF}$$

II.3.2 Simulations et courbes expérimentales

Nous avons repris l'étude expérimentale du *paragraphe II.2.4* sur le transistor T, c'est à dire

- représentation de la tension collecteur $V_{ce}(t)$ pour les différents niveaux de l'amplitude V_p^+ de la perturbation $V_p(t)$ ainsi que pour des temps de montée variables.
- représentation temporelle du courant injecté dans le collecteur $I_c(t)$ pour les mêmes expériences.
- évolution de la tension base $V_{be}(t)$ de T.

A cela nous reportons les simulations correspondantes.

II.3.2.a Modélisation de la perturbation $V_p(t)$

La perturbation $V_p(t)$ est une impulsion positive suffisamment large de façon à ce que le régime permanent puisse s'établir. Sa période est prise très grande devant sa durée t_p de façon à éviter tout risque d'échauffement du composant.

Le niveau bas est égal à $V_{ce_{sat}}$ et le niveau haut à V_p^+ comme le montre la *figure II.20* ci-contre. Le signal $V_p(t)$ est modélisé de la façon suivante:

$$\begin{aligned} t \leq 0 & : V_p(t) = V_{ce_{sat}} \\ 0 < t \leq t_m & : V_p(t) = (V_p^+ - V_{ce_{sat}}).t/t_m + V_{ce_{sat}} \\ t_m < t \leq t_p - t_d & : V_p(t) = V_p^+ \\ t_p - t_d < t \leq t_p & : V_p(t) = (V_{ce_{sat}} - V_p^+).(t - t_p + t_d)/t_d + V_p^+ \\ t_p < t & : V_p(t) = V_{ce_{sat}} \end{aligned}$$

En pratique, $t_m = t_d$ et le perturbateur débite dans une résistance fixe R_p de 270 Ohms.

II.3.2.b Evolution temporelle de la tension collecteur

Nous avons repris sur les *planches II.8* et *II.9* qui suivent, l'évolution de la tension collecteur du transistor T, du montage équivalent de la sortie à l'état bas de notre porte NAND reconstituée pour

- les différents niveaux du perturbateur (14, 12 et 11.4 Volts) évoqués précédemment (*paragraphe II.1.4*). Le temps de montée du parasite est donc de 20 ns. Sur la *planche II.8*, les oscillogrammes apparaissent à gauche. Nous avons reporté à droite les simulations correspondantes.

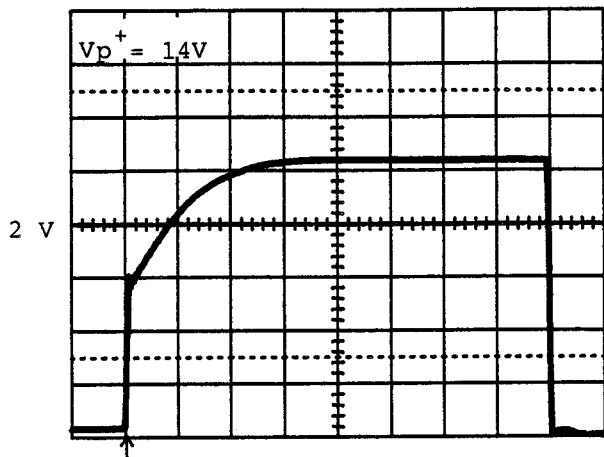
- les temps de montée 5, 50 et 500 ns du signal perturbateur maintenu à un niveau de 11.4 Volts. A gauche de la *planche II.9* figurent les oscillogrammes et à droite les résultats de notre modélisation.

Nous retrouvons numériquement avec une bonne précision les signatures expérimentales fournies par le transistor de sortie. Notre modélisation permet de retrouver les phénomènes physiques provoqués par le perturbateur quels que soient son temps de montée et son niveau. Il semble par conséquent que notre théorie s'avère exacte.

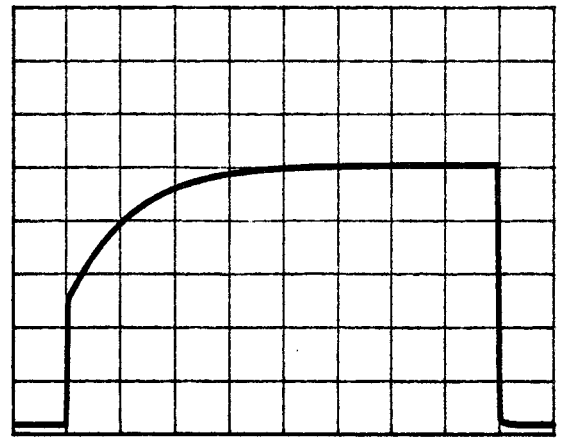
Les capacités intrinsèques du composant jouent un rôle considérable sur les réponses temporelles. Les changements de pentes observées sur la *planche II.9*, lors de la montée du signal $V_{ce}(t)$ entre l'instant où le perturbateur est appliqué et celui égal à t_m pour t_m valant 500 ns, prouvent bien la variation de ces capacités en fonction de leur polarisation et la validité de nos calculs.

OSCILLOGRAMMES

SIMULATIONS

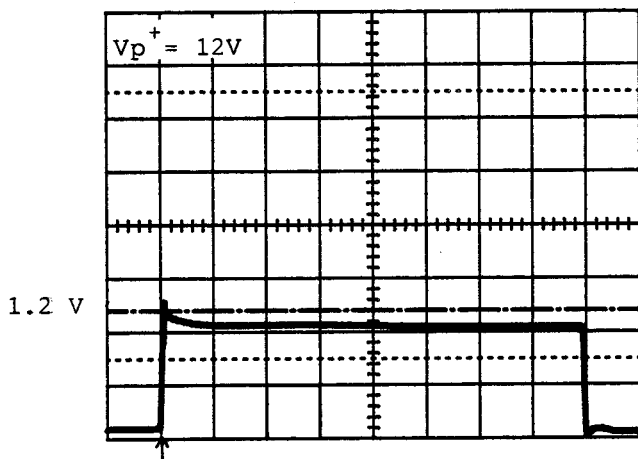


4 Volts

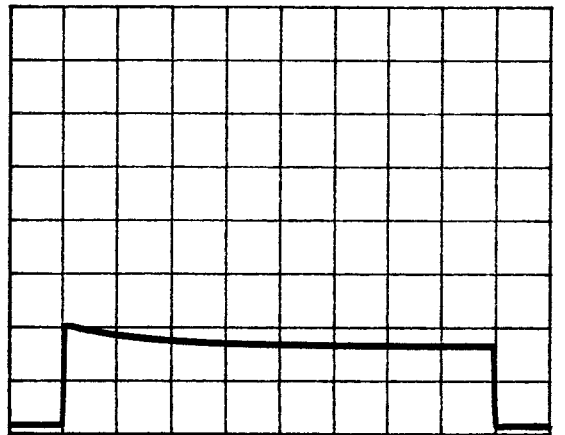


2 Volts

0.

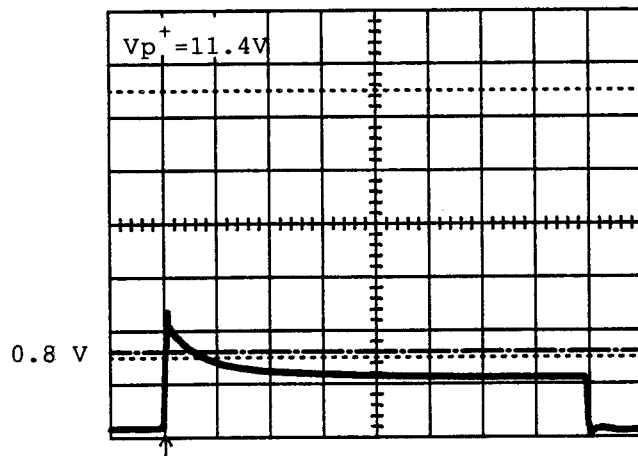


4 Volts

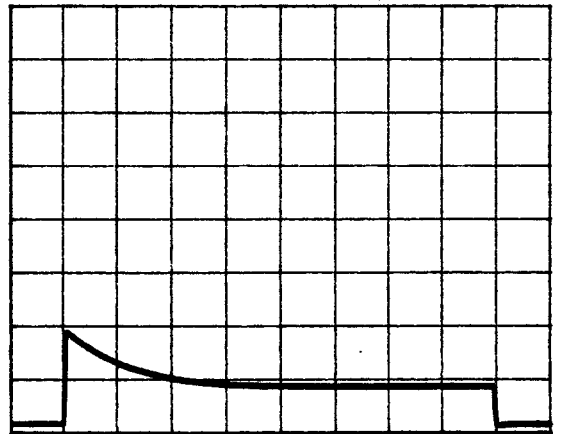


2 Volts

0.



4 Volts



2 Volts

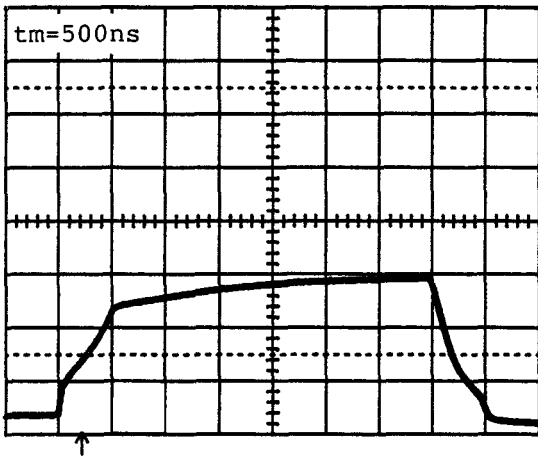
0.

planche II.8: Oscillogrammes et simulations de l'évolution de la tension collecteur du transistor équivalent pour des amplitudes variables du signal perturbateur

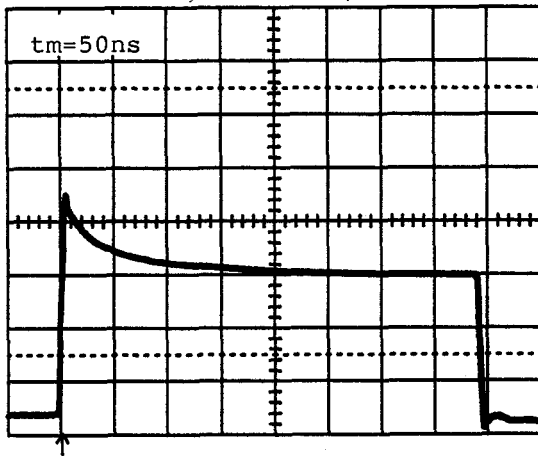
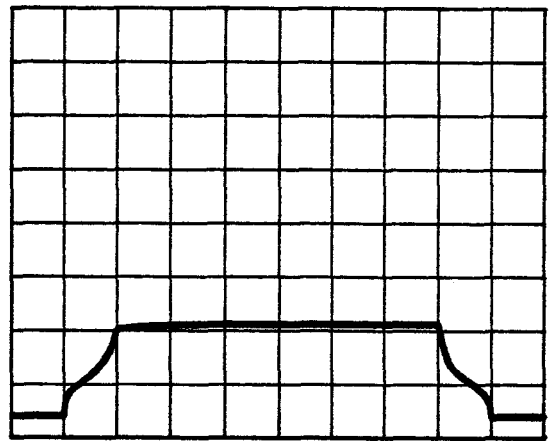
base de temps: 500 ns/div

OSCILLOGRAMMES

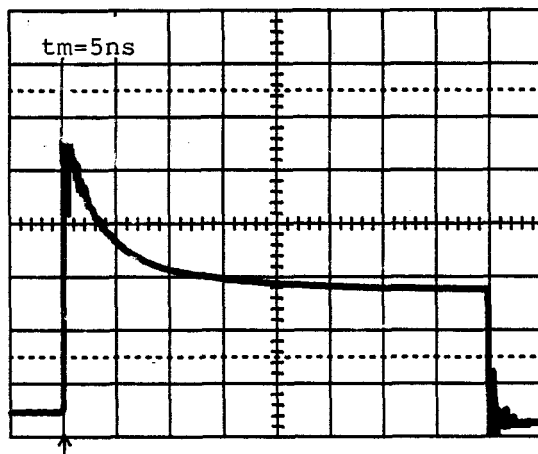
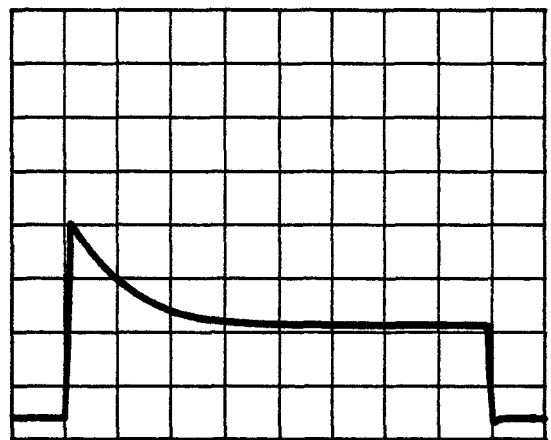
SIMULATIONS



1.2 Volt
0.8 Volt
0.4 Volt
0.



1.2 Volt
0.8 Volt
0.4 Volt
0.



1.2 Volt
0.8 Volt
0.4 Volt
0.

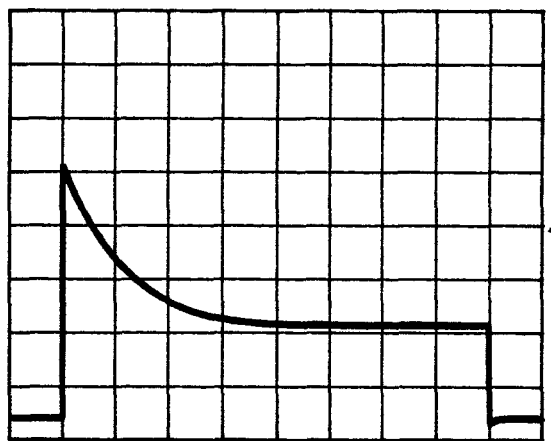


planche II.9: Oscillogrammes et simulations de l'évolution de la tension collecteur du transistor équivalent pour des temps de montée variables du signal perturbateur

base de temps: 500 ns/div

OSCILLOGRAMMES

SIMULATIONS

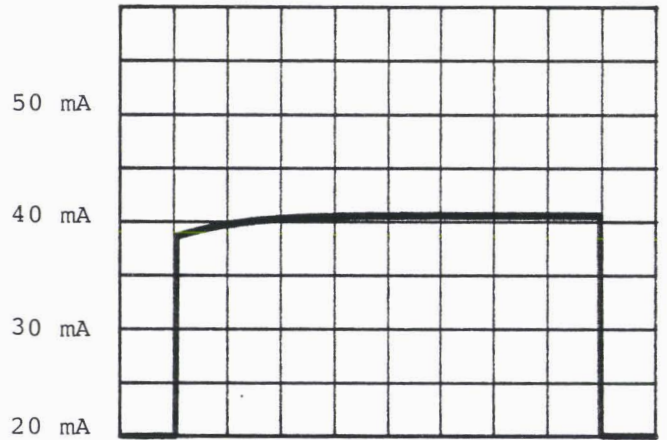
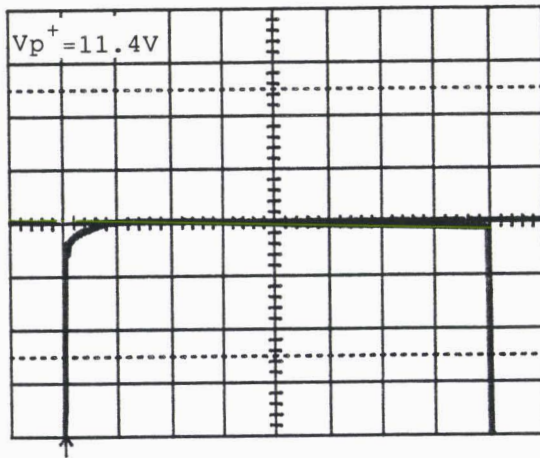
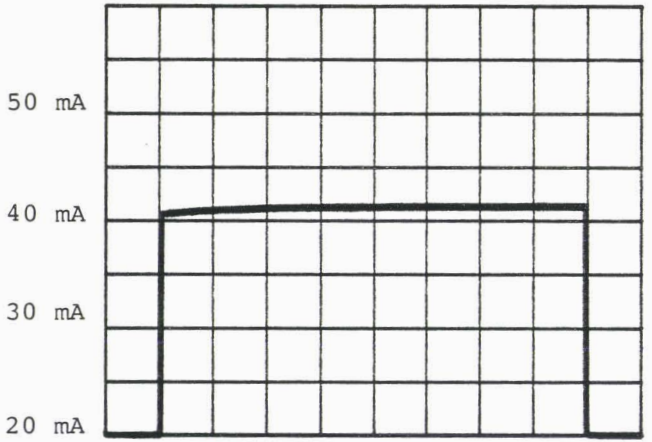
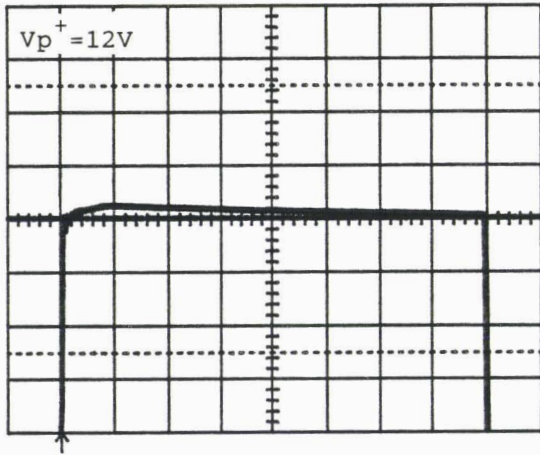
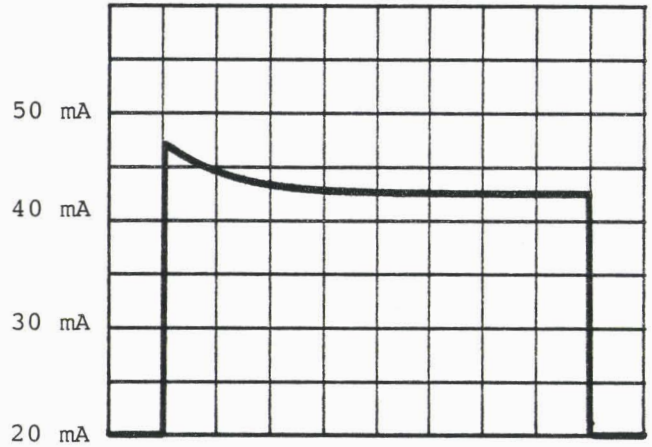
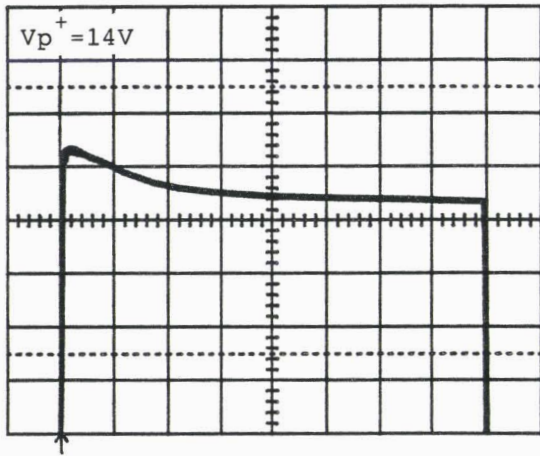


planche II.10: Oscillogrammes et simulations de l'évolution du courant parasite injecté pour des amplitudes variables du perturbateur

base de temps : 500 ns/div

II.3.2.c Evolution temporelle du courant injecté

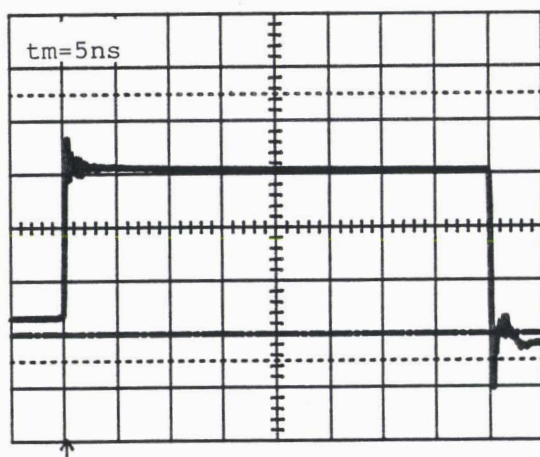
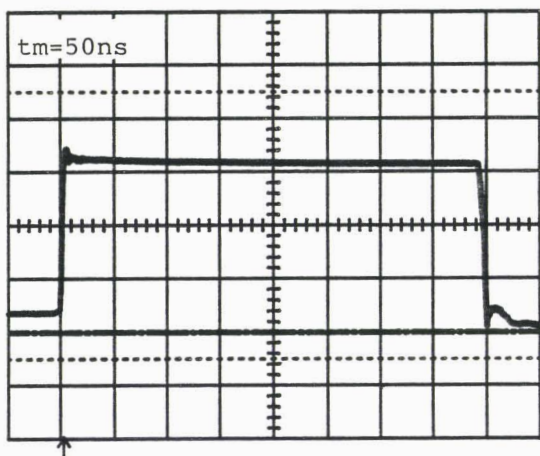
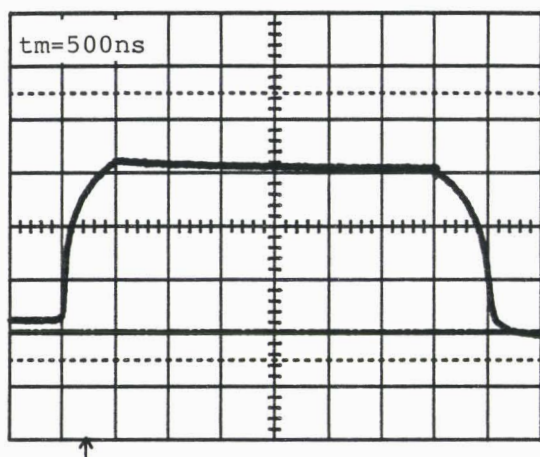
Sur la *planche II.10*, nous avons représenté la variation du courant perturbateur entrant dans le collecteur du transistor T pour les courbes de la *planche II.8*.

A gauche, figurent les mesures réalisées à l'aide d'une sonde de courant type CT2 placée entre le collecteur de T et le perturbateur. Ce courant s'établit en même temps que la perturbation $V_p(t)$ puis met plus ou moins de temps à atteindre sa valeur finale.

Nous constatons que c'est bien une très faible variation du niveau de ce courant (≈ 3 mA) à partir de 40 mA qui provoque des réponses totalement différentes de la sortie du composant.

Nous avons reporté à droite les courbes théoriques qui reproduisent correctement la réalité.

OSCILLOGRAMMES



SIMULATIONS

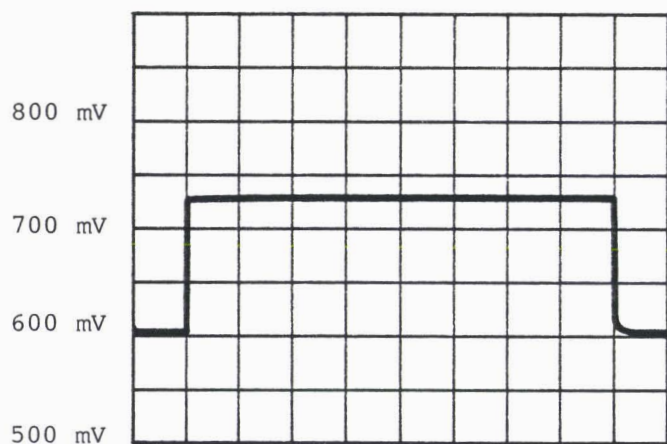
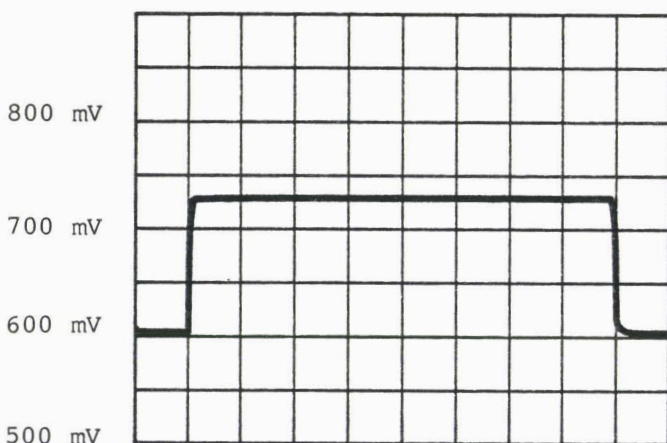
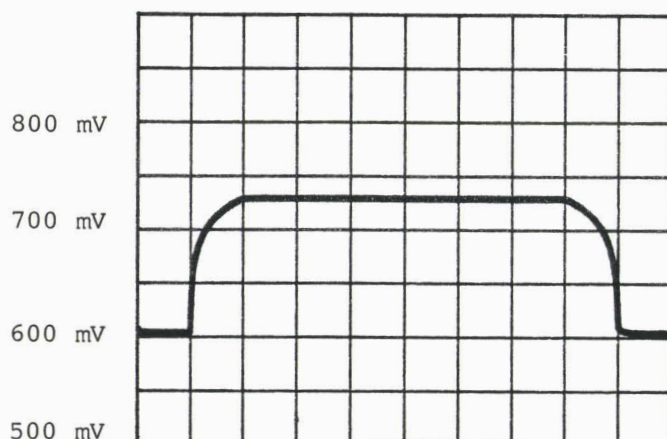


planche II.11: Oscillogrammes et simulations de l'évolution de la tension base pour des temps de montée variables du signal perturbateur.

base de temps : 500 ns/div

II.3.2.d Evolution de la tension base

Sur la *planche II.11*, nous avons représenté la variation théorique (à droite) de la tension base du transistor T que nous pouvons comparer aux mesures expérimentales (à gauche). Nous avons tracé ces courbes avec les conditions de la *planche II.9* c'est à dire:

$$\begin{aligned}V_p^+ &= 11.4 \text{ Volts} \\t_m &= 5, 50, 500 \text{ ns}\end{aligned}$$

Expérimentalement ce potentiel augmente de 150 mV lorsque le perturbateur est appliqué. Notre simulation donne 135 mV. Plus cette transition s'effectue rapidement, plus les effets capacitifs sont importants et se répercutent sur la tension collecteur (*planche II.9*).

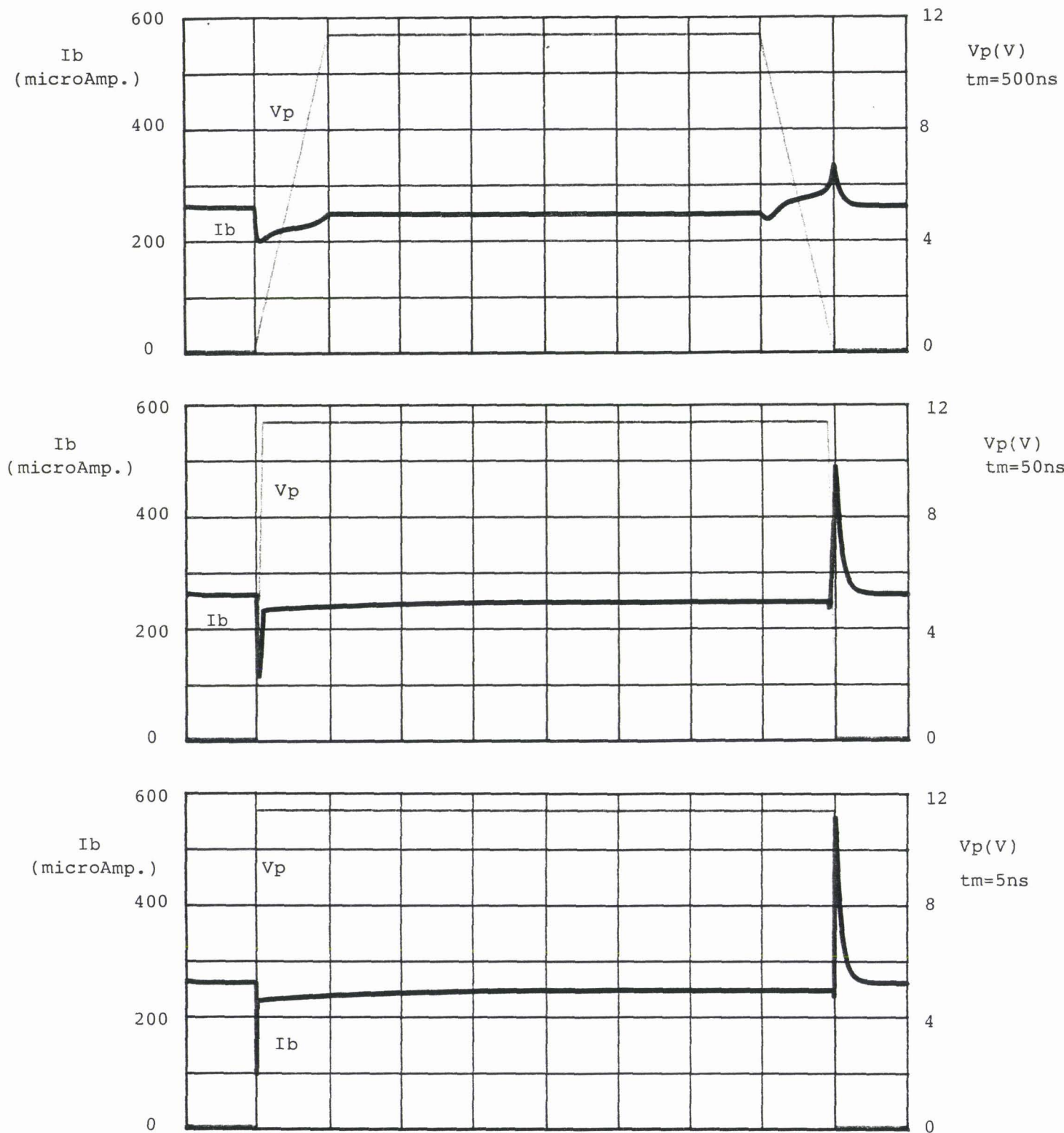


planche II.12: Simulation de l'évolution du courant intrinsèque de base pour des temps de montée variables du perturbateur

base de temps : 500 ns/div

II.3.2.e Modélisation du courant intrinsèque de base

L'évolution de ce courant, fournie par l'expression II.30, a été représentée sur la *planche II.12* ci-contre pour les tensions bases de la *planche II.11*. Elle montre très bien le rôle important joué par les capacités des deux jonctions de notre transistor.

Malgré l'apport du courant statique I_{b0} de $260 \mu\text{A}$, nous constatons que le courant $I_b(t)$ intrinsèque à la base a tendance à diminuer fortement au moment de l'application du perturbateur puis à remonter plus ou moins rapidement vers sa valeur en régime permanent. L'effet inverse apparaît lors de la suppression du parasite.

Ce phénomène physique est provoqué par le courant important traversant la capacité totale de la jonction base-émetteur polarisée en direct, durant le front de montée de l'impulsion.

$$I_{C_{be}} = C_{be} \frac{dV_{be}}{dt} \quad (\text{II.35})$$

Sa valeur est plus grande que celle du courant amené par la capacité de la jonction base-collecteur puisque celle-ci fonctionne à cet instant en inverse (d'où $C_{bc} \ll C_{be}$).

Ce transitoire est bien évidemment accentué lorsque le temps de montée du perturbateur diminue et entraîne une variation plus rapide de la tension base.

Lors de la suppression du parasite, les deux jonctions fonctionnent en direct mais la variation de la tension base-collecteur ($\approx 850 \text{ mV}$) est plus importante que celle de la tension base-émetteur ($\approx 150 \text{ mV}$). Le courant traversant la capacité base-collecteur est le plus élevé: il est la cause de l'élévation du courant $I_b(t)$.

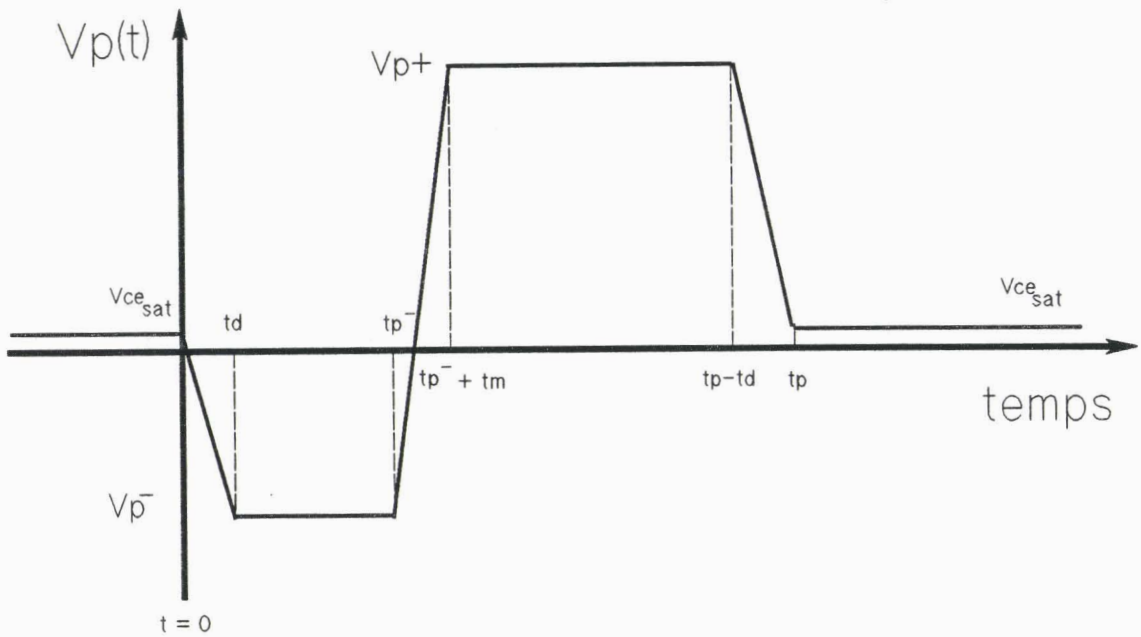


figure II.21: modélisation de l'impulsion alternée

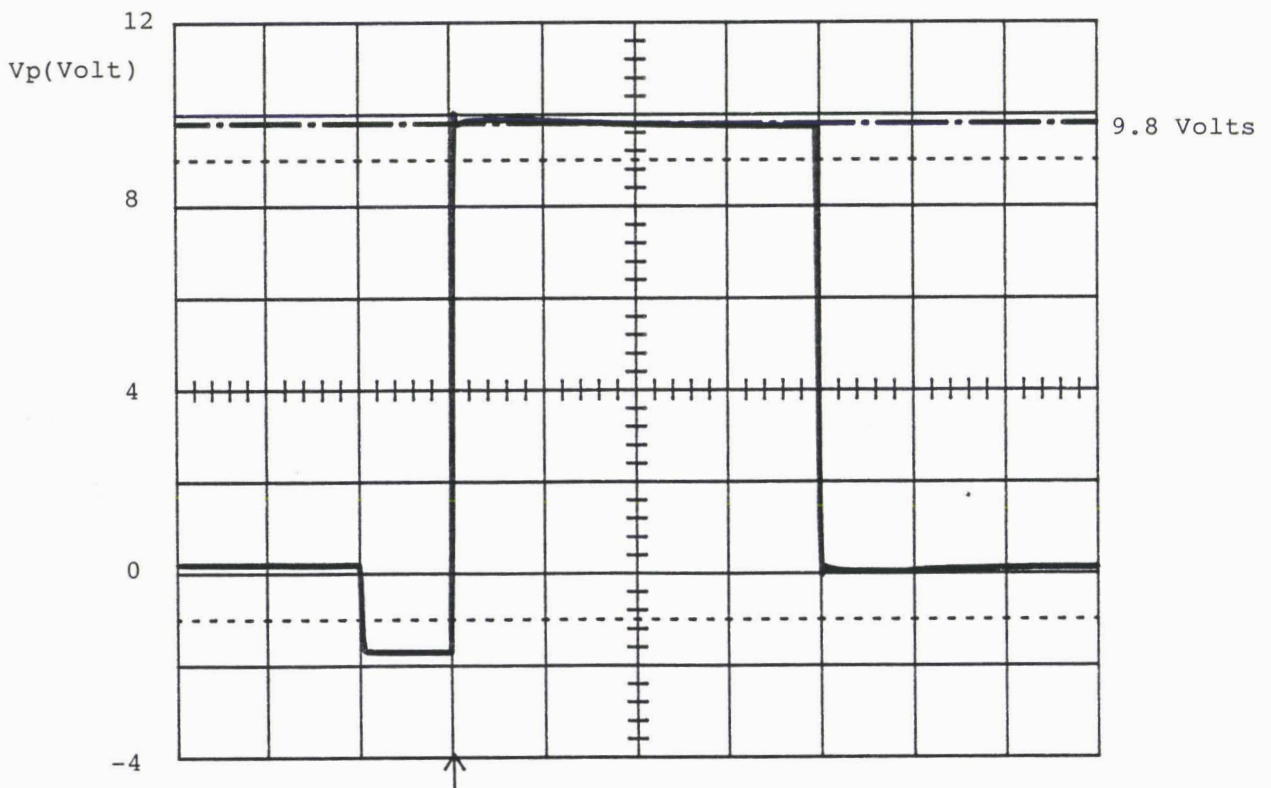


figure II.22: Oscillogramme de l'impulsion alternée réalisée

base de temps : 500 ns/div

II.3.3 Influence de la polarité de l'impulsion

Jusqu'à présent, il n'a été question que d'impulsions positives. En pratique nous pouvons supposer que le parasite aura l'allure d'une sinusoïde amortie dont les deux premières alternances seront à considérer.

A ce moment, nous l'assimilerons à une impulsion alternée d'amplitude négative V_p^- et positive V_p^+ , de durée t_p comme le montre la *figure II.21*.

Nous avons constaté au chapitre précédent que seule la transition $V_p^- \rightarrow V_p^+$ provoquait un pic de surtension qui était plus important, toute chose étant égale par ailleurs à celui d'une transition $V_{ce_{sat}} \rightarrow V_p^+$.

Nous proposons par conséquent d'appliquer ce parasite sur notre transistor équivalent à la sortie état bas de notre porte NAND reconstituée.

II.3.3.a Description et réalisation d'une impulsion alternée

Nous pouvons la décrire analytiquement de la façon suivante en posant $t_p = t_p^- + t_p^+$:

$$\begin{array}{ll}
 t \leq 0 & : V_p(t) = V_{ce_{sat}} \\
 0 < t \leq t_d & : V_p(t) = (V_p^- - V_{ce_{sat}}) t/t_d + V_{ce_{sat}} \\
 t_d < t \leq t_p^- & : V_p(t) = V_p^- \\
 t_p^- < t \leq t_m + t_p^- & : V_p(t) = (V_p^+ - V_p^-) (t - t_p^-)/t_m + V_p^- \\
 t_p^- + t_m < t \leq t_p - t_d & : V_p(t) = V_p^+ \\
 t_p - t_d < t \leq t_p & : V_p(t) = (V_{ce_{sat}} - V_p^+) (t - t_p + t_d)/t_d + V_p^+ \\
 t_p < t & : V_p(t) = V_{ce_{sat}}
 \end{array}$$

expérimentalement ce signal est réalisé en le programmant à l'aide d'un logiciel spécialisé et en le transférant ensuite sur le générateur de fonction approprié. Son oscillogramme est fourni sur la *figure II.22*. Ses caractéristiques sont:

$$\begin{array}{l}
 V_p^+ = 9.8 \text{ V} ; V_p^- = -1.7 \text{ V} \\
 t_m = t_d = 20 \text{ ns} \\
 t_p^+ = 2 \mu\text{s} ; t_p^- = 500 \text{ ns} \\
 \text{et } R_p = 230 \Omega
 \end{array}$$

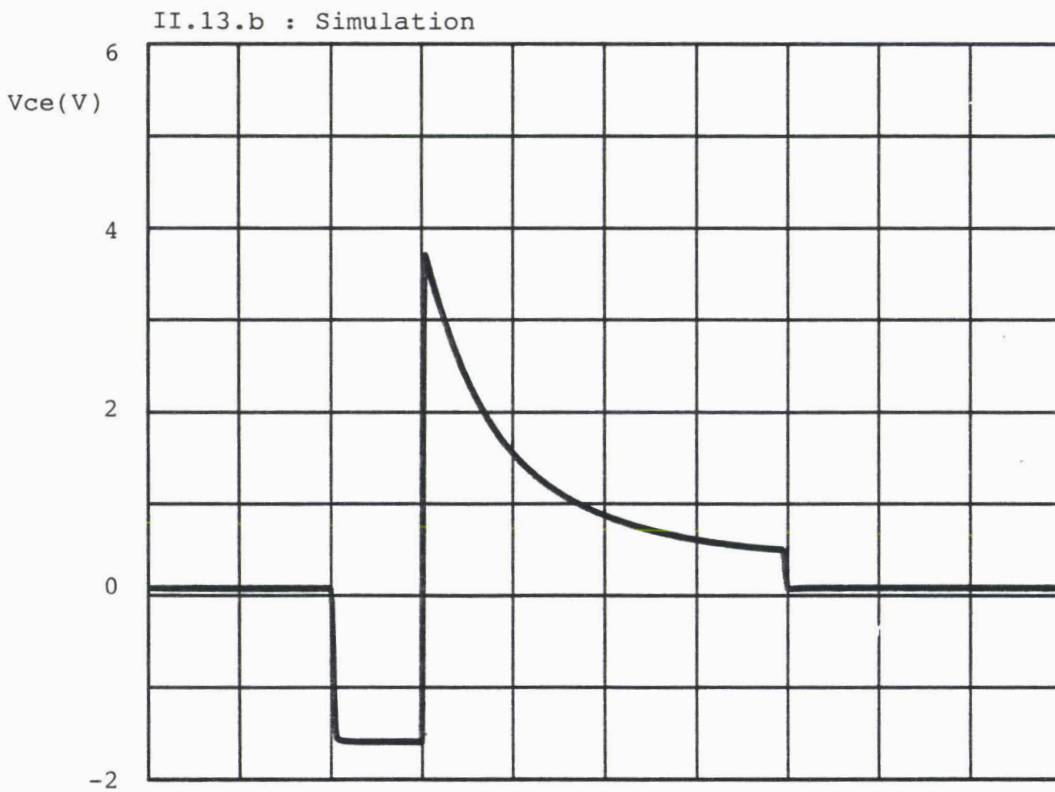
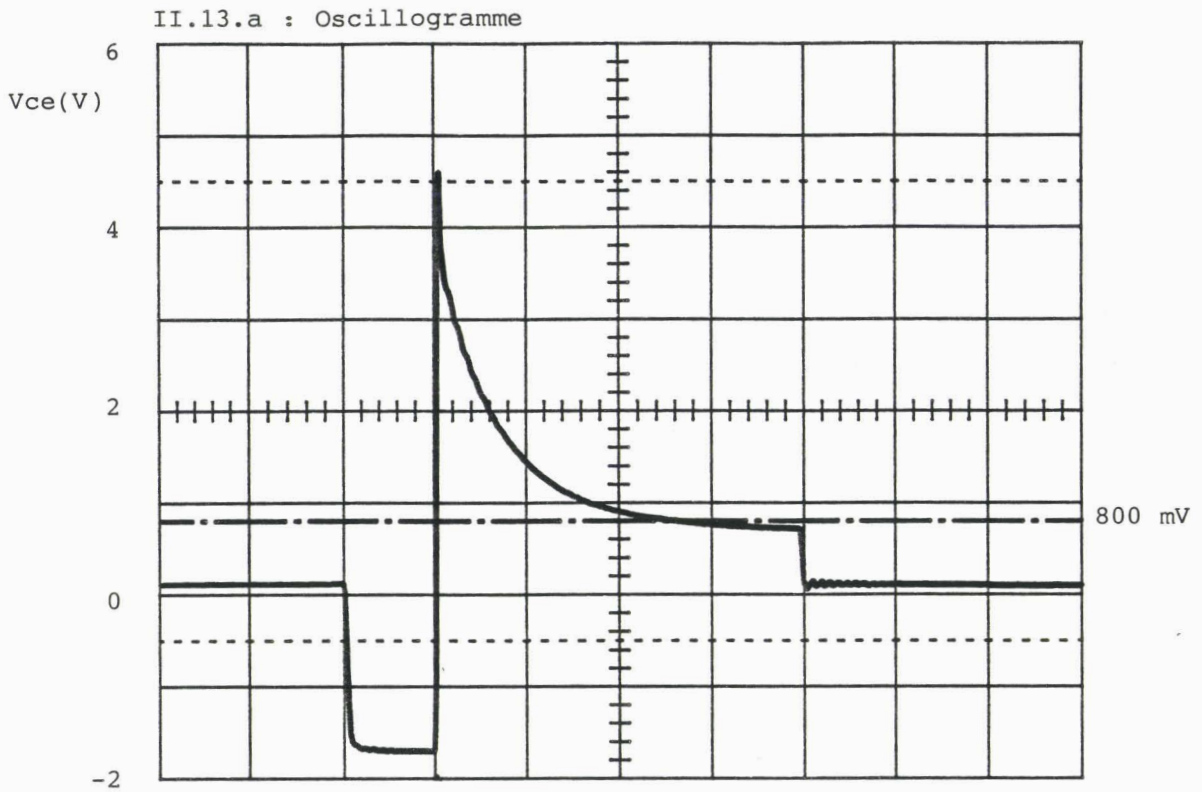


planche II.13: Oscillogramme (II.13.a) et simulation (II.13.b) de l'évolution de la tension collecteur du transistor équivalent pour l'application du perturbateur de la figure II.22

base de temps : 500 ns/div

La valeur V_p^+ a été calculée de façon à ce que l'amplitude du courant injecté soit identique à celle obtenue précédemment avec une résistance R_p de 270 Ω et un niveau de 11.4 V.

II.3.3.b Evolution temporelle de la tension collecteur

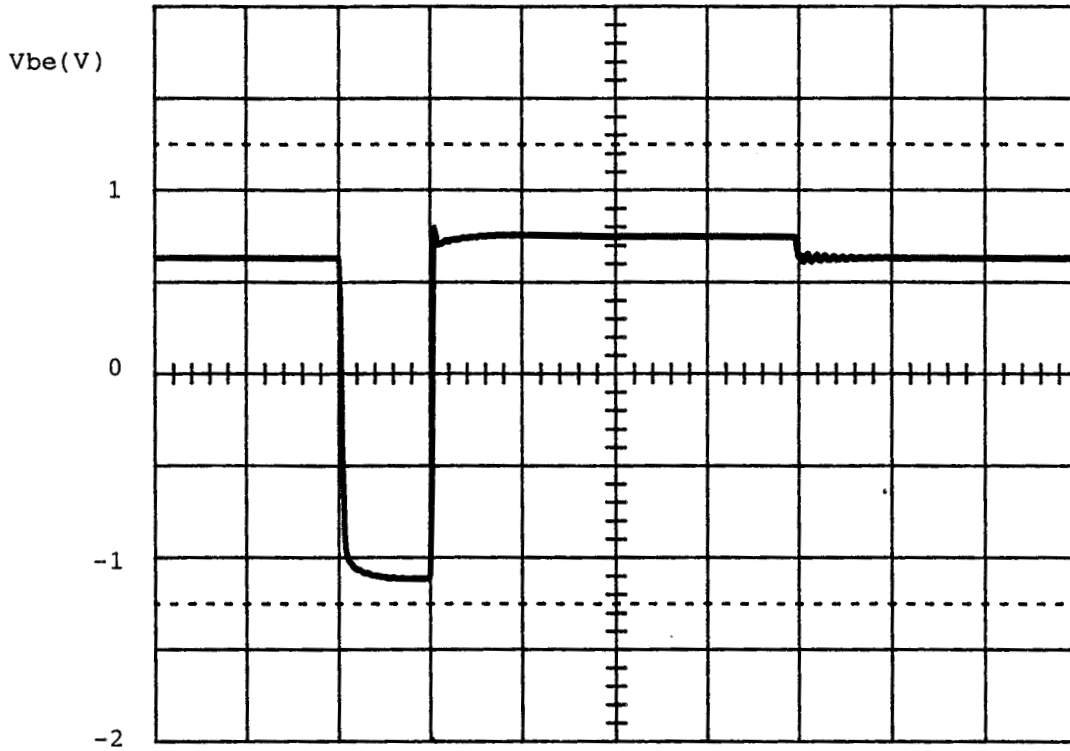
Nous avons reporté sur la *planche II.13* l'oscillogramme (en haut) et la simulation correspondante (en bas) de l'évolution de la tension collecteur du transistor T lorsqu'on applique sur sa sortie le signal décrit précédemment.

Lors de l'alternance négative, le collecteur se polarise négativement: le transistor fonctionne en inverse. Son Beta inverse étant très faible ($\beta_i = .06$), il ne peut se resaturer, le transistor agit en suiveur: sa tension collecteur suit le signal impulsif.

Lors de l'alternance positive, nous constatons que le pic de surtension à une amplitude nettement supérieure (environ 4 Volts) à celui lorsque l'impulsion uniquement positive était appliquée (environ 1 Volt). La durée du transitoire est également plus élevée. Nous reviendrons sur l'explication phénoménologique au paragraphe suivant.

Nous vérifions que notre modélisation reproduit parfaitement la signature expérimentale.

II.14.a : Oscillogramme



II.14.b : Simulation

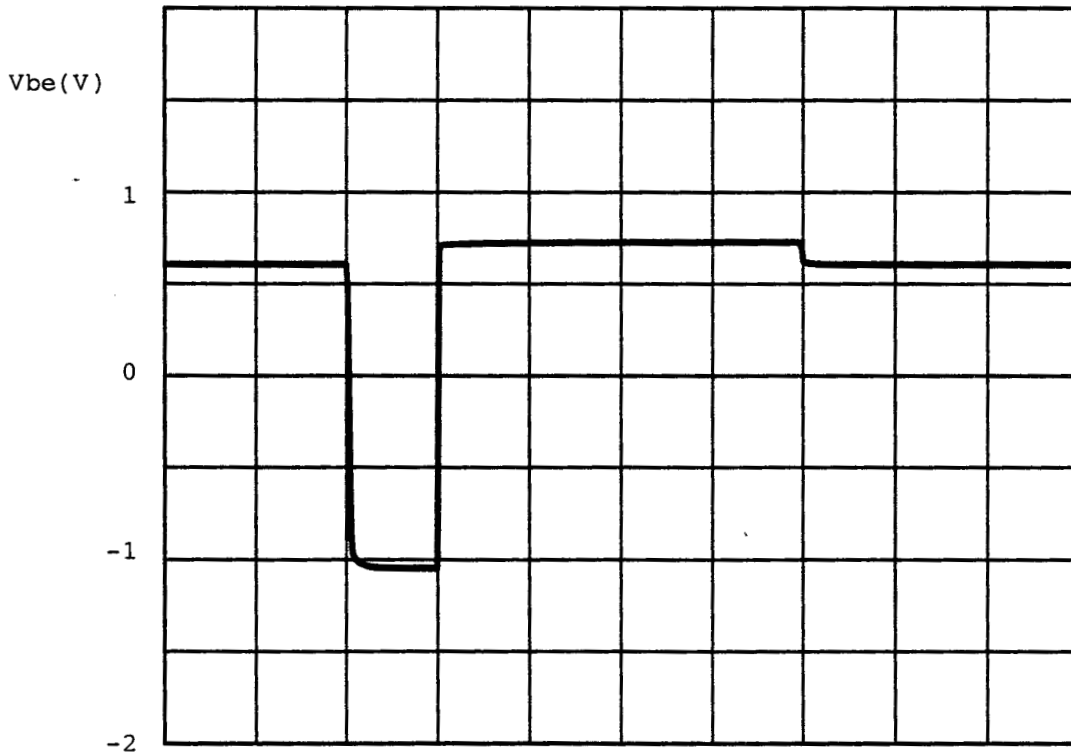


planche II.14: Oscillogramme (II.14.a) et simulation (II.14.b) de la tension base du transistor équivalent pour les courbes de la planche II.13

base de temps: 500 ns/div

II.3.3.c Evolution temporelle de la tension base

Nous avons reporté sur la *planche II.14*, l'oscillogramme (en haut) et la simulation correspondante (en bas) de l'évolution de la tension base du transistor T pour les courbes de la *planche II.13*.

Nous observons que celle-ci suit également le perturbateur lors de l'alternance négative, si bien que la transition s'effectue pour une variation de V_{be} égale à 2 Volts ce qui est considérable.

Or, nous avons démontré au *paragraphe II.2.2*, lors de l'analyse physique des fronts de désaturation, que plus cette variation était conséquente, plus les effets capacitifs sont accentués car seules les capacités intrinsèques du transistor permettent le passage à un V_{be} plus élevé (théorie du diviseur capacitif).

Nous trouvons par conséquent l'explication à l'accentuation du transitoire observé sur la *planche II.13*.

Notre modélisation permet de mettre en évidence ces phénomènes avec une bonne précision.

II.3.4 Cas pratique d'un circuit intégré TTL

Nous avons retrouvé expérimentalement et théoriquement, avec l'aide d'un modèle simple: un transistor saturé dont le courant base et les caractéristiques sont ceux du transistor de sortie de la porte, tous les phénomènes physiques observés sur la sortie initialement à l'état bas d'une porte NAND TTL reconstituée.

Ces résultats nous laissent penser que notre modélisation peut s'appliquer au cas pratique d'une logique intégrée, à condition de connaître les paramètres du transistor de sortie de ce circuit.

Ces derniers relativement faciles à évaluer sur un composant discret le sont beaucoup moins sur un circuit intégré. C'est d'autant plus vrai que le schéma interne d'une porte peut être relativement complexe comme nous l'avons vu au début du chapitre 1 et que l'accès au transistor de sortie n'est par conséquent possible que par la sortie de la logique.

Cela limite et complique considérablement les tests à effectuer afin de caractériser cet élément.

Nous n'avons pas étudié la façon de résoudre ce problème dans le cas de la technologie TTL. Nous verrons dans les chapitres qui suivent que nous l'avons fait pour les logiques CMOS.

CHAPITRE 2

CONCLUSION

L'approche théorique et phénoménologique que nous venons de proposer montre que le port de sortie d'une logique NAND TTL câblée avec des transistors bipolaires peut être modélisé avec une précision acceptable. Cette modélisation a été rendue possible en faisant usage des équations non linéaires qui gèrent le fonctionnement du transistor bipolaire.

Nous avons en effet démontré que le comportement du transistor de sortie de la porte est la cause des phénomènes physiques observés expérimentalement.

Les équations font intervenir un grand nombre de paramètres (courants de saturation, gains, raideurs des jonctions, paramètres dynamiques entrant dans la modélisation des capacités intrinsèques). Les valeurs numériques peuvent être trouvées dans le cas d'un composant discret.

Les signatures temporelles du circuit intégré sont tout à fait semblables à celles du composant câblé. Notre modèle s'applique donc également à ce circuit. Cependant ses paramètres n'auront pas les mêmes valeurs. Nous pensons qu'il doit être possible de les évaluer. Il faudrait pour cela déduire, par des mesures adéquates pratiquées sur la sortie de l'élément logique, les données correspondant à son transistor de sortie.

Nous pensons que cette étude, certes intéressante sur le plan pratique, nécessiterait beaucoup de temps et de moyens. Nous avons préféré consacrer la suite de nos travaux à la caractérisation des logiques CMOS. En effet cette technologie tend à supplanter de plus en plus les familles TTL.

CHAPITRE 3

INTRODUCTION

Dans les précédents chapitres, nous avons montré que les caractéristiques dynamiques de sortie d'un composant logique jouent un rôle déterminant sur sa sensibilité. Pour cette raison, nous tentons de les modéliser lorsque la sortie est soumise à l'effet indirect d'un perturbateur assimilé à une impulsion de courant.

La correspondance satisfaisante qui a résulté de la confrontation des réponses théoriques à celles observées sur une porte NAND TTL nous a incité à étendre cette approche aux composants actifs CMOS.

La démarche sera différente de celle entreprise tout au long du second chapitre. Comme nous le rappelons dans une première partie, la structure interne et le fonctionnement de la technologie CMOS, et plus spécialement de l'inverseur qui sera étudié, n'a plus rien en commun avec la technologie TTL.

Son comportement face à une agression extérieure, comme nous l'avons constaté au premier chapitre n'est pas la même non plus. Cependant des expériences pratiquées sur un banc de test où étaient reproduites des perturbations électromagnétiques ont révélé que cette technologie était vulnérable lors des transitions logiques du niveau de sortie du composant [10].

C'est dans cet état fugitif que l'impédance de sortie parvient à une valeur maximale, on comprend alors aisément que ces conditions rendront vulnérables la logique à toute injection de courant parasite. Cette évolution de l'impédance dépendra fort probablement des possibilités de commutations du composant et des paramètres internes liés à sa structure microscopique. Ces grandeurs ne figurent pas dans les données habituelles constructeurs.

Pour y avoir accès, nous nous sommes intéressés à la façon d'obtenir les caractéristiques de sortie d'un inverseur CMOS c'est-à-dire les lois courant drain - tension drain et résistance dynamique de drain - tension drain des canaux complémentaires N et P. Ceci sera l'objet de la seconde partie de ce troisième chapitre.

Nous verrons que pour s'affranchir des effets thermiques, provoqués par des tensions drain et grille non compatibles avec son fonctionnement usuel mais nécessaires aux conditions d'essai, nous avons dû expérimenter une solution où les caractéristiques courant - tension seront déduites de l'application d'impulsions de tensions "dent de scie" à faible période de récurrence.

Elle présente l'avantage de fournir directement sur l'écran d'un oscilloscope numérique l'image de la caractéristique recherchée. L'impédance de sortie est alors déduite de la dérivée numérique appliquée à cette courbe mémorisée. Des erreurs dues à la numérisation de ces courbes nous amèneront à traiter ces données pour en tirer des caractéristiques de résistance dynamique satisfaisante.

La troisième partie du chapitre est consacrée à la modélisation proprement dite des caractéristiques statiques et des résistances des canaux N et P.

C'est une étude bibliographique approfondie qui nous a fourni les principaux éléments de ce modèle. Nous verrons qu'il est nécessaire de partager cet outil en deux sous-modèles suivant que la tension drain du canal est inférieure ou supérieure à la tension limite qui provoque la saturation du canal.

Les expressions analytiques du courant et de la résistance dynamique dépendent de sept paramètres parmi lesquels on distingue la tension de seuil qui appliquée sur la grille, contrôle le blocage du composant, un facteur caractérisant la transconductance et un coefficient qui fait intervenir la variation de la mobilité des porteurs avec le champ électrique excitateur.

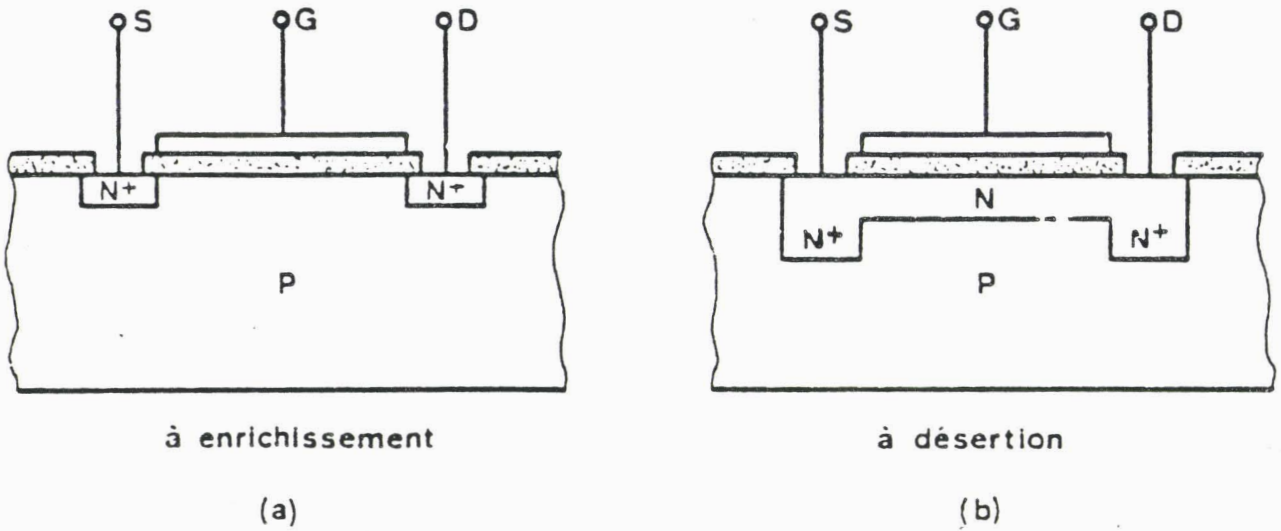


figure III.1: les deux types de MOSFET à canal N

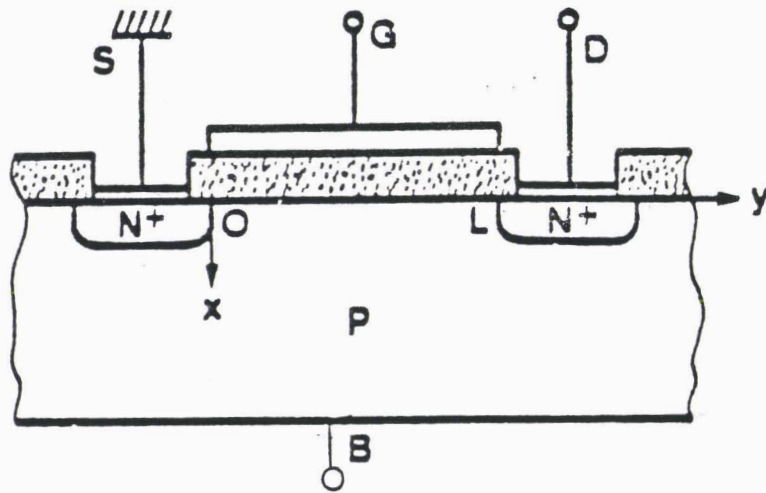


figure III.2: connexions d'un MOSFET canal N à enrichissement

III.1 LE TECMOS ET L'INVERSEUR CMOS [12]

III.1.1 Le TECMOS (MOSFET, Metal Oxyde Semiconductor FET ou IGFET, Insulated Gate FET)

Ces transistors à effet de champ peuvent exister sous la forme "à enrichissement" ou "à désertion".

La *figure III.1a* représente un MOSFET à enrichissement. En polarisant la grille positivement, on permet aux électrons des caissons N^+ de s'accumuler sous la grille contre l'interface semiconducteur-oxyde constituant un "canal d'inversion" reliant source et drain. Le canal est normalement fermé il faut polariser la grille au-delà d'une tension V_t ($t = \text{threshold} = \text{seuil}$) pour ouvrir le canal.

La *Figure III.1b* représente un MOSFET à désertion. Le canal normalement ouvert peut être pincé en appliquant une polarisation de grille négative.

III.1.2 Rappel du fonctionnement d'un MOSFET

Nous envisagerons le cas d'un transistor "à enrichissement" et à canal N dont la structure apparaît sur la *figure III.2*. Aux trois connexions : source (S), drain (D), grille (G) il faut ajouter une connexion de substrat B (Bulk).

Il en résulte que le courant drain I_d va dépendre des polarisations :

- Drain - Source notée V_{ds}
- Grille - Source notée V_{gs}
- Substrat - Source notée V_{bs}

En l'absence de tension appliquée sur la grille $V_{gs} = 0$ (et si l'oxyde ne contient pas trop de charges positives) on ne peut faire circuler qu'un courant très faible entre source et drain -quel que soit le signe de la tension drain- puisqu'on a toujours une des deux jonctions N^+P en inverse.

Si on polarise la grille positivement au-delà d'une tension V_t dite tension de seuil ($V_{gs} > V_t$) une couche d'inversion va se constituer d'une façon quasi instantanée sous l'isolant. Dans ces conditions, un courant véhiculé par les électrons de la couche d'inversion (canal N) va pouvoir circuler entre source et drain. Ce courant dépend de la tension drain qui agit sur la vitesse d'entraînement des électrons et des tensions de grille et de substrat qui contrôlent la densité de charge dans la couche d'inversion.

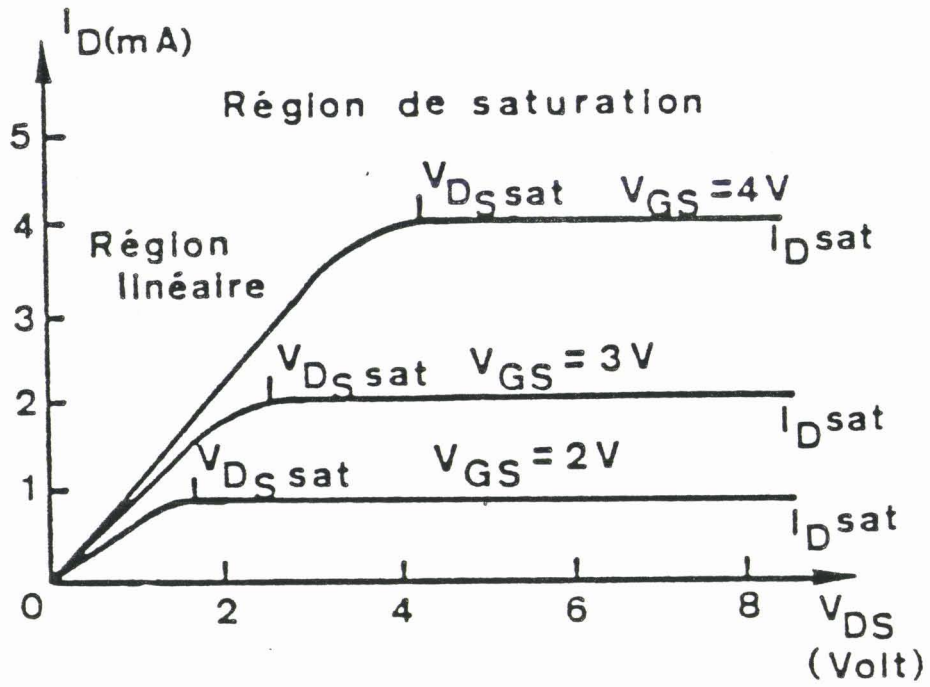


figure III.3: réseau de caractéristiques d'un MOSFET canal N à enrichissement

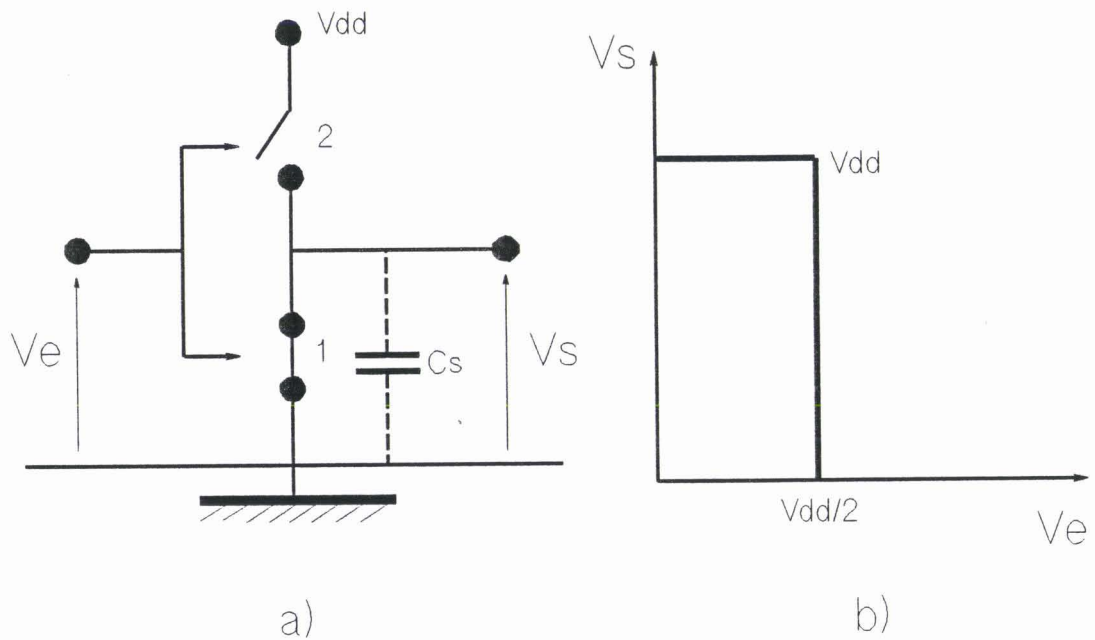


figure III.4: inverseur CMOS idéal

- (a) schéma interne
- (b) fonction de transfert

Tant que la tension drain source est petite le canal induit se comporte comme une simple résistance ohmique. Le courant I_d est proportionnel à V_{ds} pour un V_{gs} donné, on est dans la région linéaire des caractéristiques de la *figure III.3*.

Si on applique une tension drain positive notable mais toutefois inférieure à la tension $V_{ds_{sat}}$ définie ci-dessous, la différence de potentiel entre grille et canal décroît et la résistance du canal augmente : les caractéristiques $I_d(V_{ds})$ forment un coude.

Pour $V_{ds} = V_{ds_{sat}}$ la vitesse limite des porteurs dans le canal est atteinte, il y a saturation du courant. Lorsque la tension grille croît, la vitesse limite est obtenue plus difficilement d'où il résulte que $V_{ds_{sat}}$ et $I_{ds_{sat}}$ croissent avec V_{gs} . L'étude de la variation du courant drain dans la zone de saturation sera plus approfondie dans la 3^{ème} partie de ce chapitre.

III.1.3 L'inverseur CMOS

La présente étude a été menée sur l'élément logique, à base de transistors MOS intégrés, le plus simple disponible sur le marché, l'inverseur. Ce choix est d'autant plus justifié que la majorité des fonctions logiques ont leur étage de sortie constitué par un inverseur.

Deux types d'inverseurs existent :

- L'inverseur non "bufférisé", qui se présente comme un circuit à étage unique et qui est bien adapté pour réaliser des fonctions linéaires telle que les oscillateurs. A titre d'exemple, nous pouvons citer la famille CMOS classique 54-74CXX apparue dans les années 70 et plus récemment la famille 54-74HCXX. La largeur de grille des transistors MOS vaut environ 6 μm pour la CMOS et 3 μm pour la HCMOS (HC pour "high speed CMOS").

- L'inverseur "bufférisé", constitué de trois étages CMOS non bufférisés montés en série. Le très grand gain apporté par les trois inverseurs en cascade empêche toute stabilisation de la sortie, dans la zone de commutation, par une commande sur l'entrée. Les familles 54-74HCXX, créée au début des années 80, et 54-74ACXX, en 1985, (AC pour FACT : "Fairchild Advanced CMOS Technology") sont entièrement bufférisées". La largeur de grille des transistors MOS pour la famille AC vaut 1.3 μm .

Le fonctionnement d'un étage CMOS peut être idéalisé par deux interrupteurs parfaits commandés en opposition de phase (*figure III.4*).

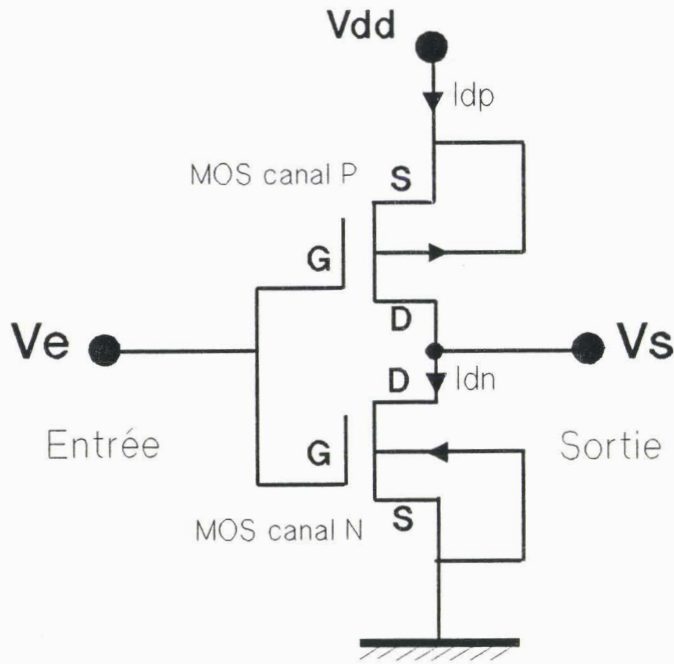


figure III.5: schéma interne de l'inverseur CMOS réel

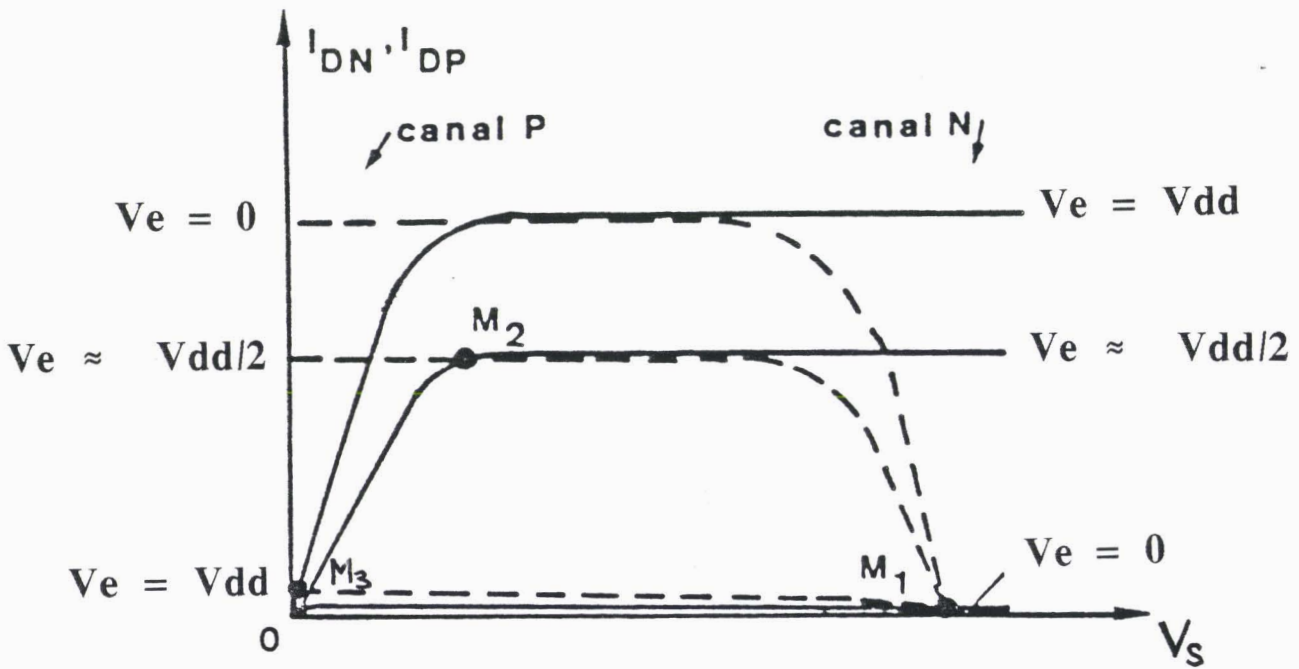


figure III.6: réseau des caractéristiques de drain de l'inverseur CMOS

Pour $V_{dd}/2 < V_e$ l'interrupteur 1 est fermé, l'interrupteur 2 ouvert. La capacité de sortie C_s peut alors se décharger très rapidement. Pour $V_e < V_{dd}/2$, l'interrupteur 1 est ouvert, 2 est fermé, c'est la charge de C_s . La fonction de transfert d'un tel inverseur présenterait la forme idéale de la *figure III.4b*. Sa dynamique serait par ailleurs excellente puisque charge et décharge de C_s s'effectueraient à travers des éléments actifs commandés au maximum de leur conduction.

III.1.4 Réalisation de l'inverseur CMOS et fonctionnement

Pour être réalisé à l'aide de transistors MOS, l'inverseur doit utiliser des dispositifs à canaux complémentaires. De là provient la notation CMOS pour "complementary" MOS.

Le schéma de principe de l'inverseur CMOS est donné *figure III.5*. Les deux transistors sont à enrichissement. Leurs tensions de seuil sont respectivement V_{tn} pour le canal N et V_{tp} pour le canal P. On note que les "substrats" respectifs des deux transistors sont reliés le premier à la masse, le second au potentiel V_{dd} , dans les deux cas la tension substrat-source vaut 0.

Lorsque l'entrée est au niveau logique bas, c'est-à-dire au potentiel de la masse, le transistor "n" est bloqué et le transistor "p" est conducteur. Son potentiel de source est en effet V_{dd} , de sorte que son potentiel grille source $V_{gsp} = -V_{dd}$ est négatif. Il suffit donc que :

$$-V_{dd} < V_{tp}$$

pour que le canal de trous soit formé. La tension de sortie de l'inverseur vaut V_{dd} qui constitue le niveau logique haut.

Lorsque l'entrée est au niveau logique haut, c'est-à-dire à V_{dd} , le transistor à canal N est passant. Il suffit pour cela que :

$$V_{tn} < V_{dd}$$

Le canal P est bloqué, la tension de sortie est donc très voisine de zéro.

Le réseau des caractéristiques de drain des deux transistors est représenté sur la *figure III.6* (pour les orientations de courant précisées sur la *figure III.5*).

On y voit représentées les positions M1 et M3 des points de repos dans les états respectifs (0,1) et (1,0). On note que ces positions correspondent à des courants drains pratiquement nuls, puisque ce sont les courants de fuite des transistors bloqués, et donc à de très faibles dissipations.

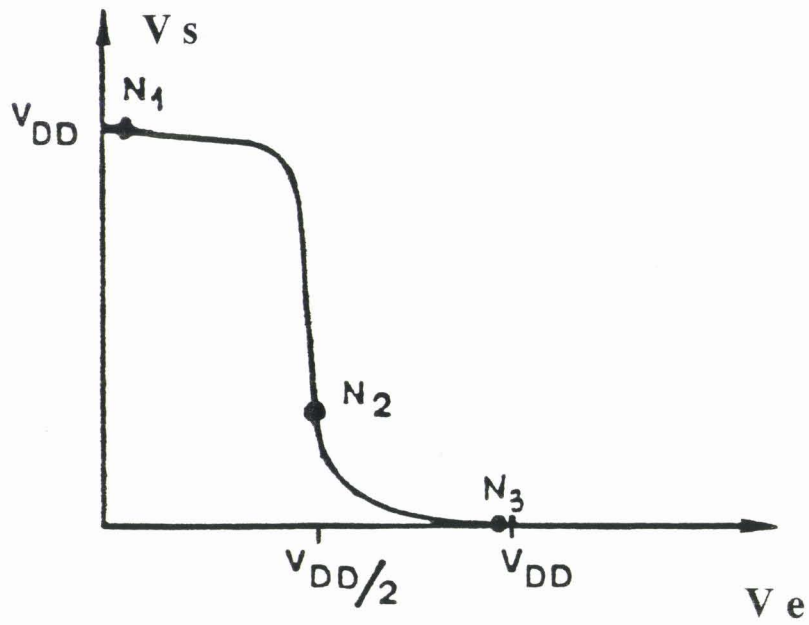


figure III.7: caractéristique de transfert de l'inverseur CMOS

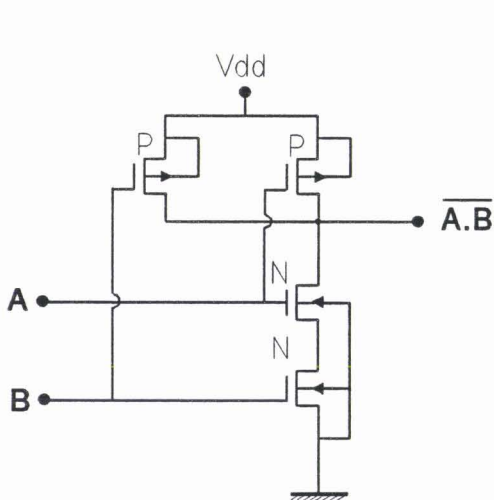


figure III.8: schéma interne d'une porte NAND en technologie CMOS

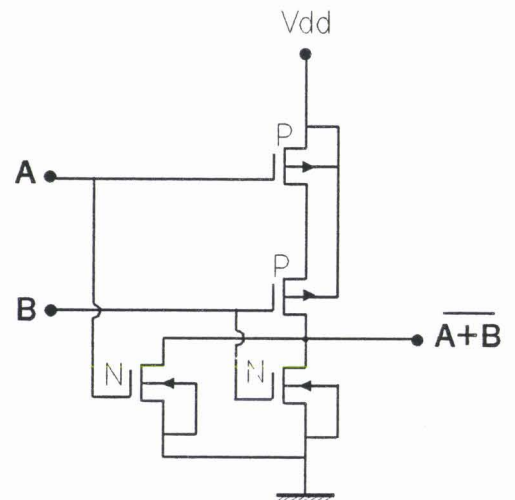


figure III.9: schéma interne d'une porte NOR en technologie CMOS

Lorsque V_e évolue de 0 à V_{dd} , la tension de sortie reste au niveau haut V_{dd} tant que le transistor "n" reste bloqué :

$$V_e = V_{dd} \quad V_e < V_{t_n}$$

Lorsque V_e passe le seuil du transistor "n", celui-ci devient conducteur et se sature. Simultanément, le transistor "p" qui était au départ dans l'état passant non saturé voit croître sa tension grille et son courant de drain diminuer.

La transition du niveau 1 au niveau 0 en sortie va s'effectuer brutalement lorsque les caractéristiques des deux transistors vont se croiser dans leur zone de saturation. A l'issue de cette transition, on se trouve dans une situation décrite par le point M2 de la *figure III.6*.

La caractéristique de transfert correspondante est alors celle de la *figure III.7* sur laquelle les points N1, N2 et N3 correspondent respectivement à M1, M2 et M3 du précédent graphe.

III.1.5 Portes NAND et NOR à deux entrées

Comme pour la technologie TTL, il est possible de réaliser des portes à plusieurs entrées à l'aide de transistors MOS canal N et P. Les *figures III.8* et *III.9* donnent le schéma interne de deux portes NAND et NOR à deux entrées.

On notera la dualité des deux structures en ce qui concerne la mise en série et en parallèle des transistors et le fait qu'une entrée est toujours reliée à la grille d'un MOS canal N et à celle d'un MOS canal P. La sortie (drain d'un MOS canal N et d'un MOS canal P) présente toujours la caractéristique d'un inverseur lorsqu'une entrée est fixe et que l'autre commute.

Afin d'envisager des études ultérieures plus spécifiques à la compatibilité électromagnétique, nous allons nous attacher à la réalisation d'un modèle mathématique décrivant le fonctionnement statique d'un MOS dans la gamme de tensions prévue par le constructeur.

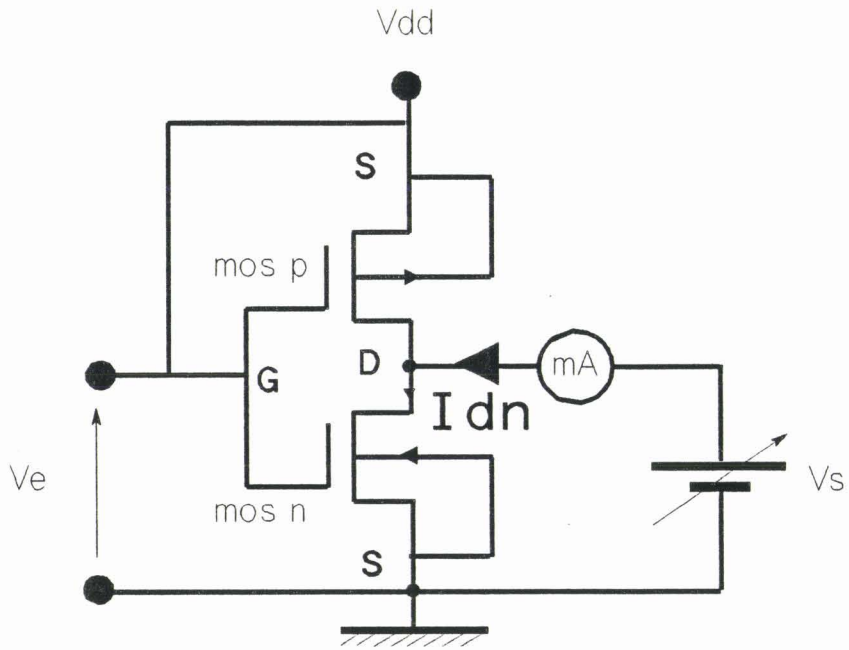


figure III.10: mesure de $I_d = f(V_d)$ du MOS canal N

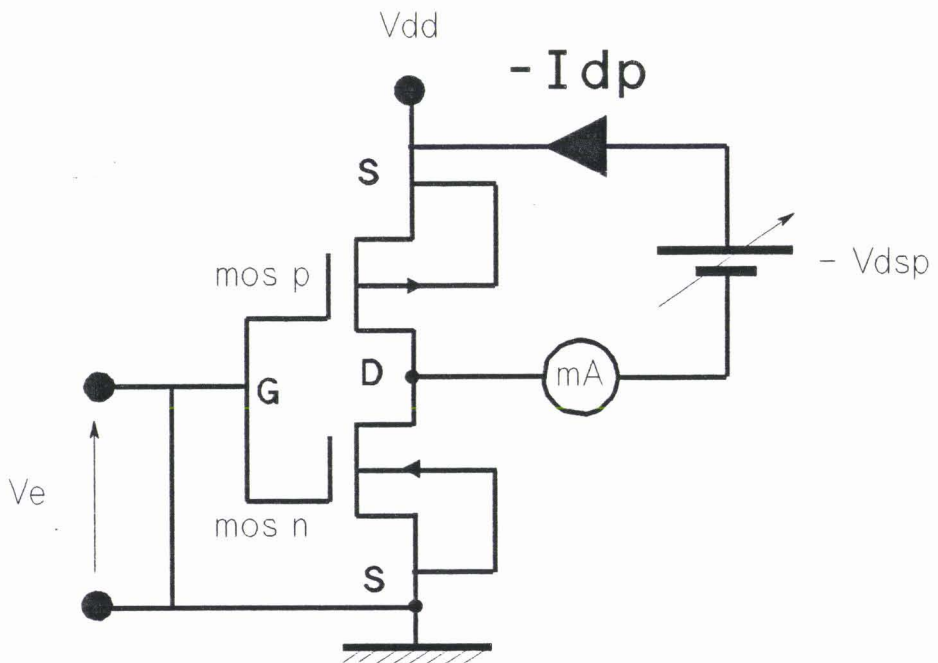


figure III.11: mesure de $I_d = f(V_d)$ du MOS canal P

III.2 MESURE DES CARACTERISTIQUES DE SORTIE D'UN INVERSEUR CMOS

La mise au point de la modélisation ne peut s'effectuer sans l'obtention préalable des caractéristiques :

$$\begin{aligned} I_d &= f(V_d) \\ R_d &= g(V_d) \end{aligned}$$

pour différentes valeurs de la tension grille V_g .

V_d représente la tension drain, I_d le courant drain et R_d la résistance dynamique vue du drain.

Comme nous l'avons vu au paragraphe précédent, il est possible de mesurer les caractéristiques électriques des deux MOS constituant l'inverseur en bloquant l'un ou l'autre des transistors.

III.2.1 Mesures statiques de I_d , V_d , R_d

III.2.1.a Mesure du courant drain I_d

L'étude du MOS canal N s'effectue dans les conditions expérimentales suivantes :

- V_e représente la tension d'entrée de l'inverseur, qui est également la tension grille du MOS canal N, et vaut V_{dd} la tension d'alimentation.

- V_s représente la tension de sortie de l'inverseur, qui est également la tension drain du MOS canal N, et varie entre 0 et V_{dd} .

La *figure III.10* ci-contre schématise le montage réalisé : Le milliampèremètre placé sur la sortie permet le relevé point par point du courant drain I_{dN} en fonction de V_s pour une tension grille V_g donnée. En changeant la tension d'alimentation nous obtenons une autre valeur de V_g .

L'étude du MOS canal P s'effectue comme le montre la *figure III.11* :

- L'entrée de l'inverseur est cette fois reliée à la masse, la tension grille du MOS canal P est de signe contraire à la tension d'alimentation.

- Un générateur de tension est connecté entre la sortie de l'inverseur et le port d'alimentation. Il délivre une tension comprise entre 0 et V_{dd} . La tension drain du MOS canal P évolue dans la plage $[-V_{dd}, 0]$.

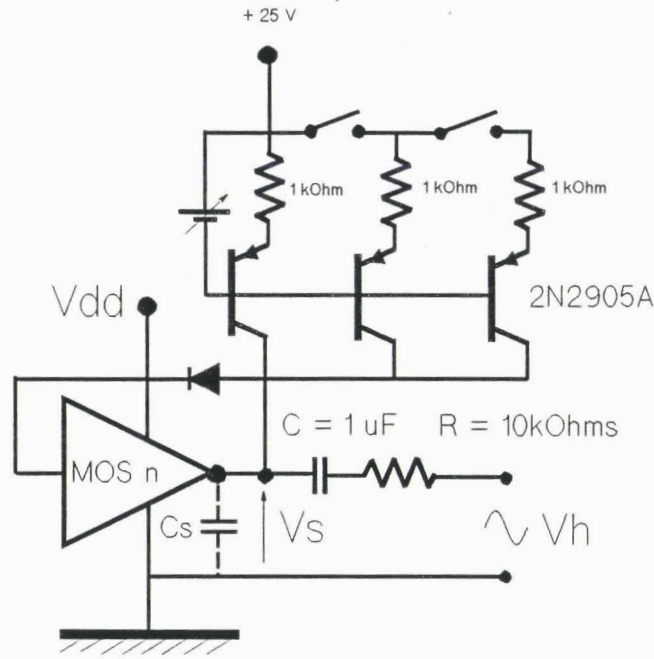


figure III.12: mesure de $R_d = g(V_d)$ du MOS canal N

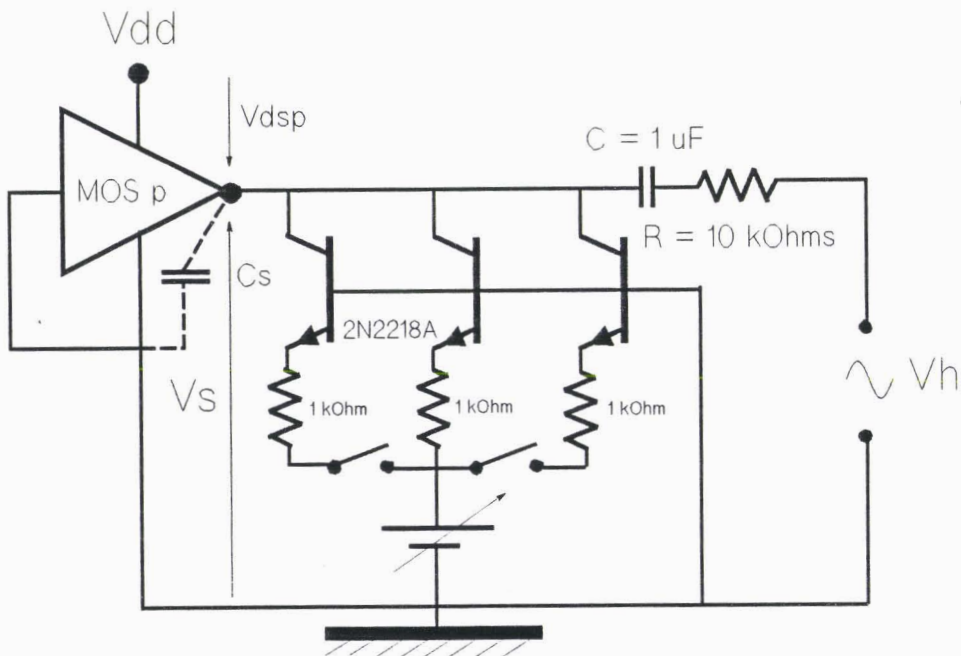


figure III.13: mesure de $R_d = g(V_d)$ du MOS canal P

III.2.1.b Mesure de la résistance dynamique de drain Rd

La mesure de la résistance dynamique de drain Rd s'effectue comme suit :

- On polarise la sortie du MOS, à l'aide d'un générateur de courant réalisé par l'intermédiaire de transistors bipolaires, à la tension drain choisie.

- On injecte sur la sortie du composant, par l'intermédiaire d'une capacité C, un signal harmonique V_h de faible amplitude (≈ 50 mV crête à crête). Sa fréquence (10 kHz) est nettement supérieure à la fréquence de coupure du filtre RC mais très inférieure à celle présentée par le filtre RC_s où C_s est la capacité parasite de sortie de l'inverseur.

Les figures III.12 et III.13 ci-contre représentent les montages utilisés pour accéder à la valeur de Rd.

Dans ces conditions, la mesure des valeurs crête-crête V_{scc} et V_{hcc} de V_s et V_h donne Rd pour la tension drain Vd :

$$R_d = R \cdot \frac{V_{scc}}{V_{hcc} - V_{scc}} \quad (\text{III.1})$$

III.2.2 Intérêt d'une mesure dynamique

Les résultats obtenus avec les montages précédents sont tout à fait corrects. Néanmoins la méthode nécessite du temps et de nombreux réglages.

Pour des tensions drains voisines de la tension d'alimentation de l'inverseur, le courant drain vaut quelques dizaines de mA. La puissance dissipée dans le composant devient importante et entraîne un effet thermique non négligeable sur les mesures du courant drain et de la résistance dynamique.

Nous ne développerons donc pas plus ces mesures, par contre il nous est apparu très utile de reprendre l'idée générale d'une caractérisation du composant grâce à un montage permettant un balayage rapide de la tension de sortie de 0 à Vdd.

En effet, pour les deux MOS, la tension de sortie commande la tension drain et la tension d'alimentation, la grille.

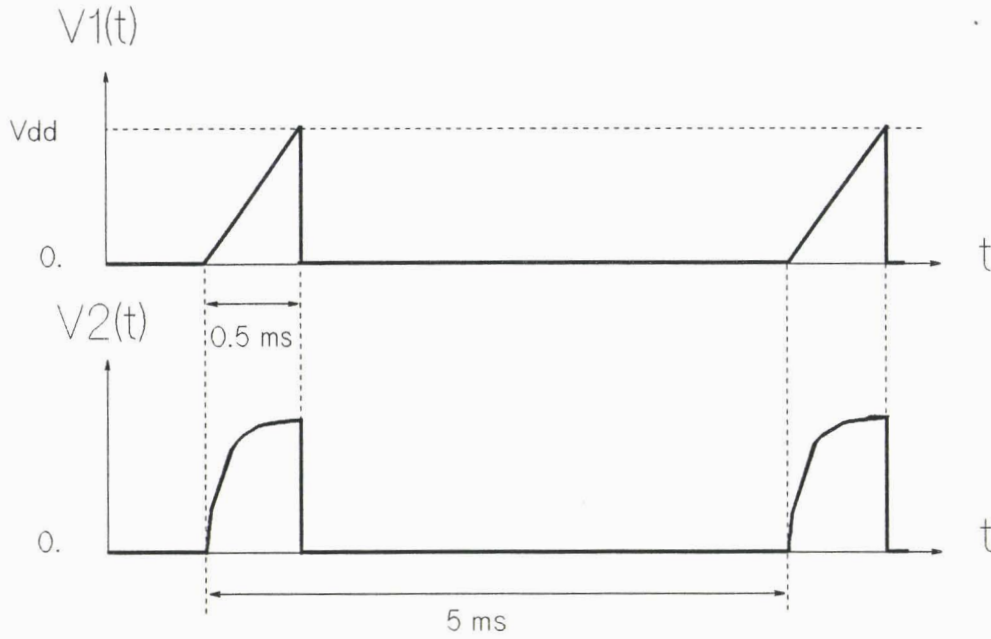


figure III.14: principe d'une mesure en dynamique

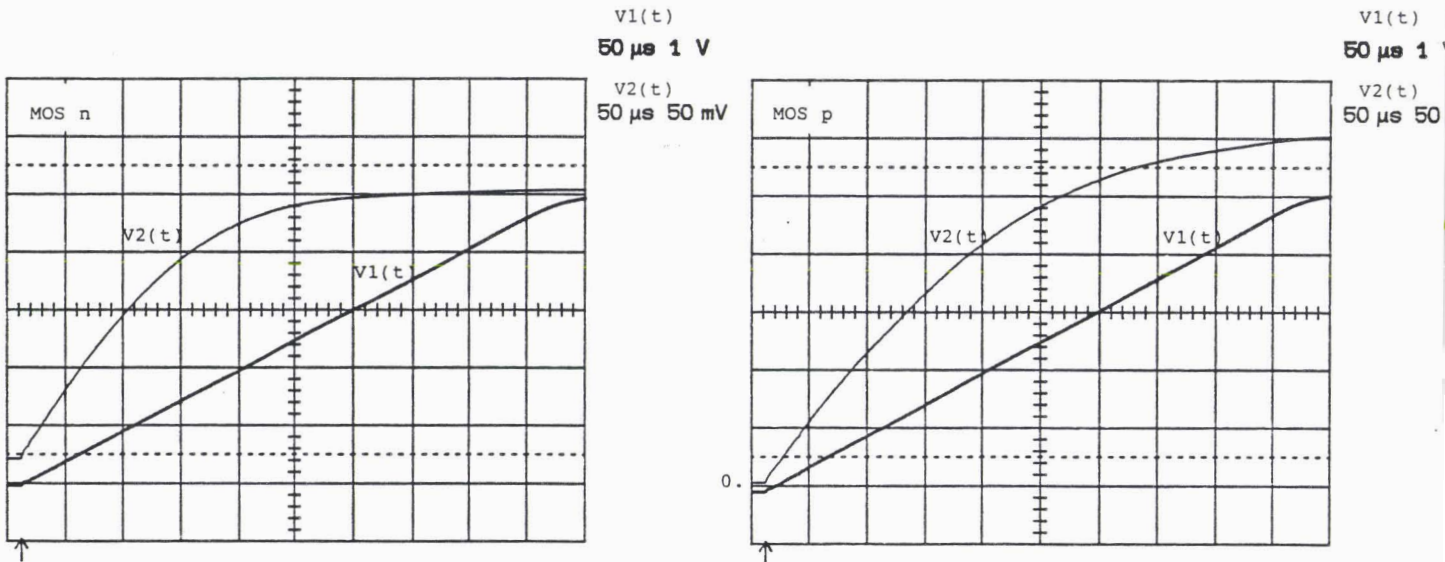


figure III.15: oscillogrammes des signaux enregistrés par une mesure dynamique

III.2.3 Mesures dynamiques de I_d , V_d , R_d

L'idée consiste à injecter sur le drain un signal $V_1(t)$ ayant la forme d'une rampe $0 \rightarrow V_{dd}$. Cette rampe a une faible durée et une faible récurrence de manière à minimiser les dissipations de puissance instantanée et moyenne et donc les effets thermiques qui en découlent.

Le signal $V_2(t)$ pris aux bornes d'une résistance faible, placée sur la source, donne le courant correspondant. La valeur de cette résistance est prise telle que la chute de tension à ses bornes ($V_2(t)$) soit toujours négligeable vis-à-vis de V_{gs} pour ne pas faire de contre-réaction par la source.

Les figures III.14 et III.15 ci-contre fournissent respectivement les allures et les oscillogrammes des signaux $V_1(t)$ et $V_2(t)$.

L'enregistrement de ces deux oscillogrammes permet le calcul du courant et de la tension drain comme le montre la figure III.16 ci-dessous :

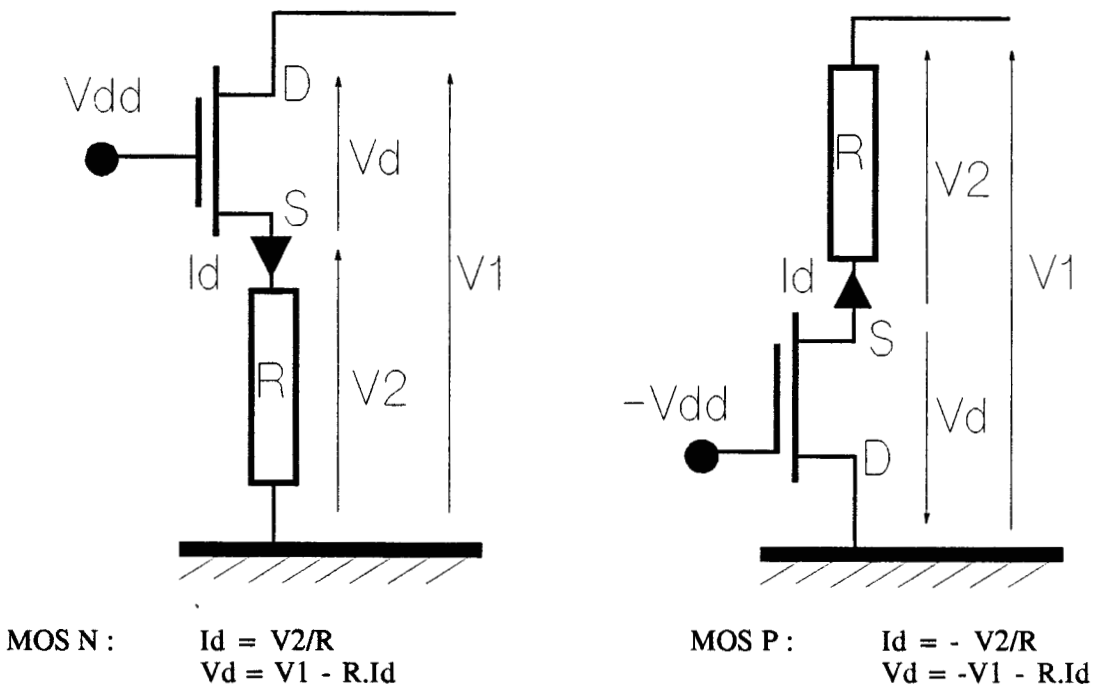


figure III.16: calcul de I_d et V_d pour les deux MOS.

La résistance dynamique sera tout simplement l'inverse de la tangente en chaque point de la caractéristique $I_d = f(V_d)$ obtenue.

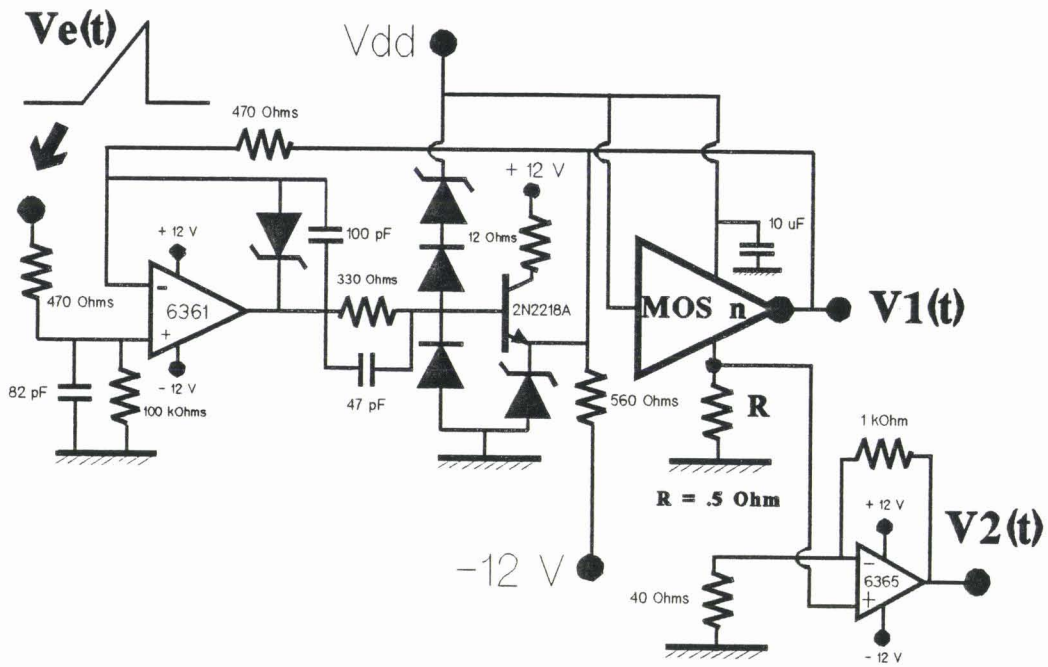


figure III.17: schéma du circuit électronique pour l'étude des caractéristiques du MOS canal N

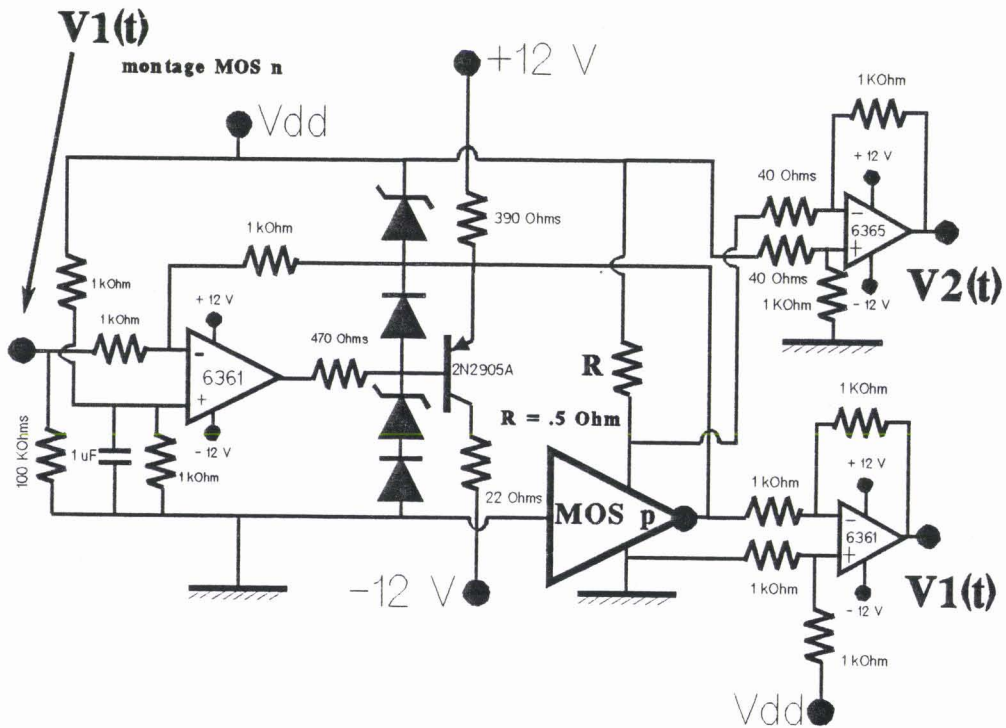


figure III.18: schéma du circuit électronique pour l'étude des caractéristiques du MOS canal P

III.2.3.a Réalisation expérimentale

En pratique le signal $V1(t)$ est envoyé dans la sortie de l'inverseur par l'intermédiaire d'un montage électronique (*figure III.17*).

Il comporte un amplificateur opérationnel et un transistor bipolaire qui permettent de compenser l'évolution de l'impédance de sortie de l'inverseur et de fournir le courant nécessaire à l'augmentation de la tension drain.

Le signal $V2(t)$ est amplifié avec un gain dont le calcul donne:

$$g_n = 25.9 \quad (III.2)$$

Les résistances utilisées ont une précision de 1 %.

Pour la caractérisation du MOS canal P, le montage électronique de la *figure III.18* a été conçu de façon à ce que les signaux $V1(t)$ et $V2(t)$ aient la même allure que pour l'étude du MOS canal N (*figure III.14*).

La tension $V1(t)$ est obtenue à l'aide d'un montage soustracteur, la tension $V2(t)$ à l'aide d'un montage amplificateur soustracteur. Le calcul du gain donne:

$$g_p = 25.4 \quad (III.3)$$

Deux supports sur la carte électronique permettent de placer le composant à étudier sur l'un ou l'autre des circuits. Les signaux $V1(t)$ et $V2(t)$ sont visualisés sur un oscilloscope numérique.

L'appareil effectue une moyenne sur 1000 acquisitions. Cette opération a été rendue nécessaire à cause du bruit numérique qu'il a fallu éliminer en utilisant ce procédé. Tout calcul de la résistance dynamique aurait été, dans le cas contraire, impossible en raison de la précision exigée en zone de saturation notamment.

Chaque signal, enregistré sur disquette informatique, est représenté par 2000 points.

Les deux montages ont été conçus, par le choix des composants et notamment des amplificateurs opérationnels à large bande passante, pour étudier des circuits intégrés CMOS tels que les familles C, HC, HCU et AC qui présentent des caractéristiques de sortie très différentes les uns par rapport aux autres comme nous allons le voir dans le chapitre suivant.

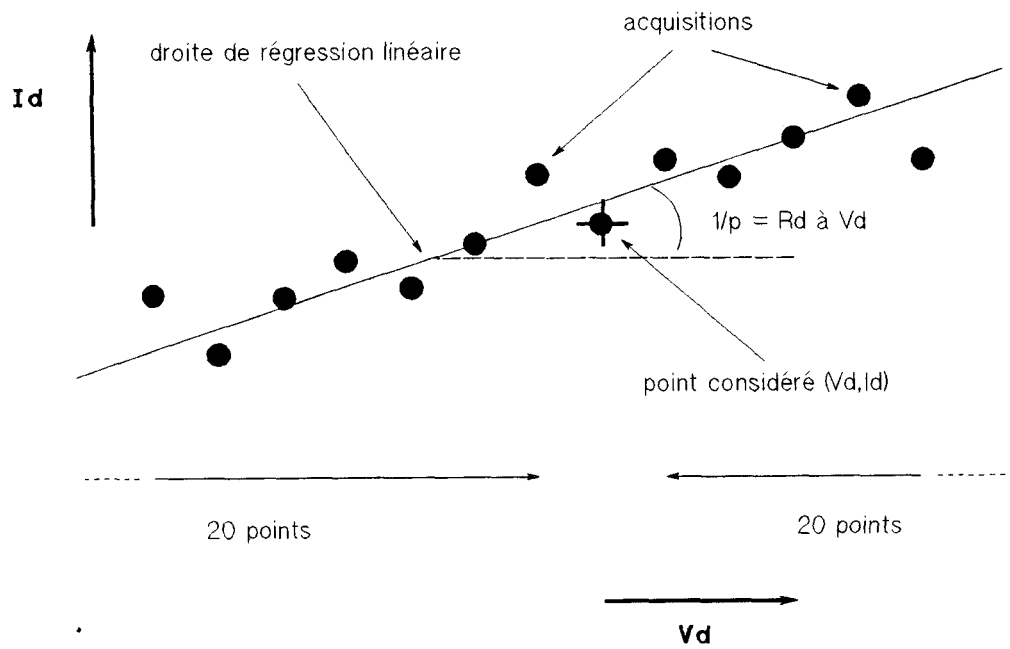


figure III.19: méthode de calcul de la résistance dynamique

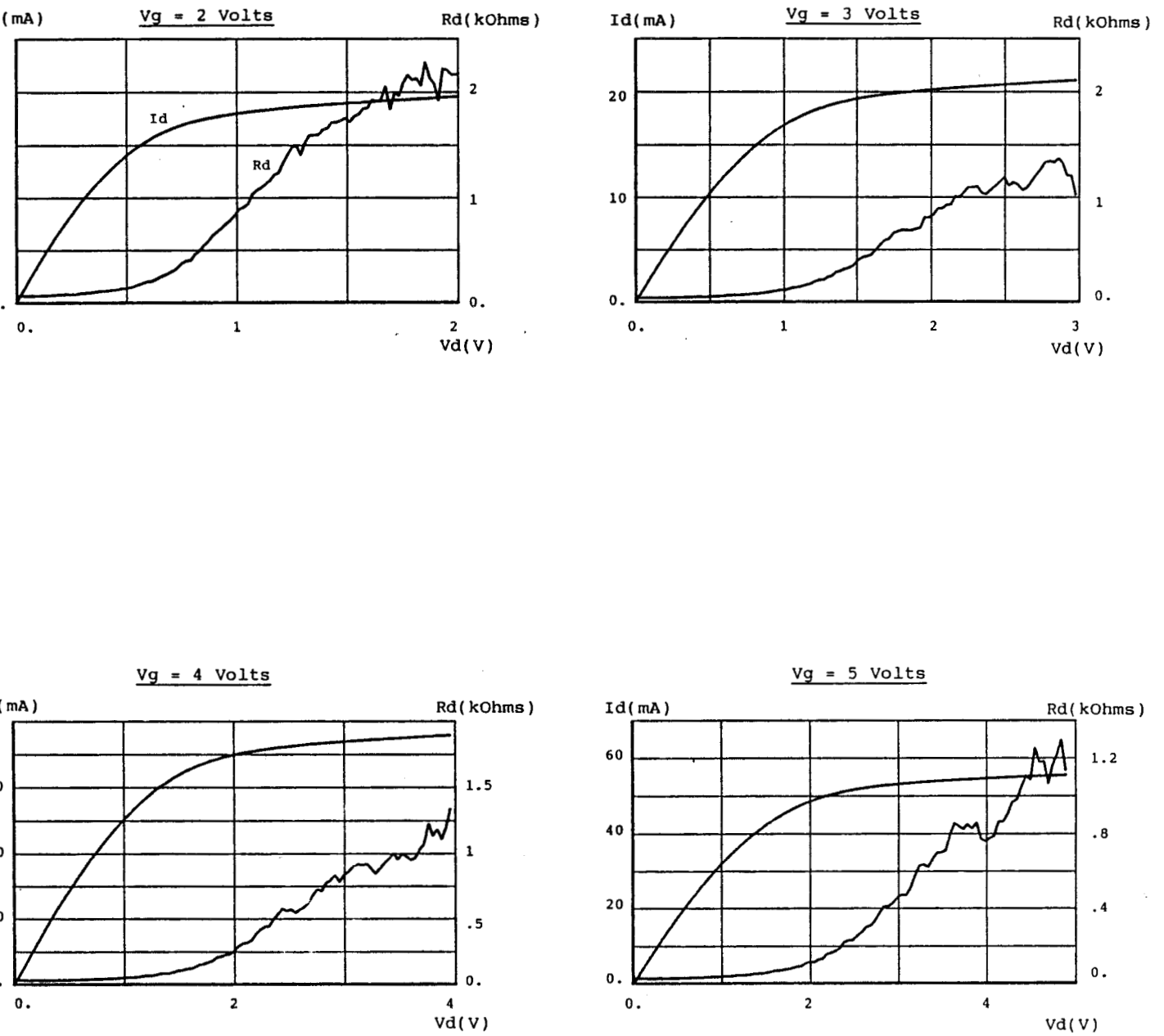


planche III.1: courbes expérimentales du MOS canal N d'un 74HCU04 (C2)

III.2.3.b Résultats et interprétations

Les données sont enregistrées et transférées sur un ordinateur. Un logiciel "expémos" conçu par nos soins effectue le traitement nécessaire de façon à ne garder que 100 points de mesure pour chacune des courbes $I_d = f(V_d)$ et $R_d = g(V_d)$.

Nous avons représenté ces courbes pour le MOS canal N (*planche III.1*) et le MOS canal P (*planche III.2*) d'un inverseur 74HC04. Différentes valeurs de la tension grille ont été appliquées.

Cette méthode est nettement plus rapide que celle présentée au *paragraphe III.2.1* et évite tout échauffement du composant. Nous avons testé d'autres inverseurs, de divers fabricants, dont nous reparlerons dans le quatrième chapitre.

- Calcul de la résistance dynamique R_d

Par définition $R_d = \frac{\Delta V_d}{\Delta I_d}$ à V_g constant.

La résistance dynamique est calculée en effectuant une régression linéaire sur les 40 acquisitions qui entourent le point considéré comme le montre la *figure III.19* ci-contre.

La première valeur de R_d est déterminée en ne prenant que les 20 points situés à droite du 1^{er} point (V_d, I_d) retenu, la dernière en ne prenant que les 20 points situés à gauche du dernier point (V_d, I_d).

- Evolution de $R_d = g(V_d)$ en zone de saturation

Dans cette zone, le courant drain évolue très lentement avec la tension drain. La limitation de la tension de sortie de l'inverseur, provoquée par le dispositif de protection interne du circuit intégré, ne permet pas de dépasser V_{dd} et donc de couvrir longuement cette zone.

On observe que la résistance dynamique évolue alors quasiment linéairement avec la tension drain.

Cette observation a son intérêt pour la modélisation du fonctionnement du composant comme nous le verrons dans la partie suivante.

III.3 MODELISATION DES CARACTERISTIQUES DE SORTIE D'UN MOS

Etant donné que maintenant nous pouvons mesurer expérimentalement les caractéristiques de sortie d'un transistor MOS intégré, il serait bon de trouver une représentation mathématique s'appuyant sur la physique de ce composant afin d'avoir à notre disposition un modèle capable de simuler correctement les phénomènes pouvant intervenir sur le port de sortie d'un circuit intégré CMOS agressé par une interférence électromagnétique.

III.3.1 Utilisation des équations classiques [12] [13]

Nous les rappelons brièvement pour un MOS canal N à enrichissement :

$$- V_g \leq V_t \quad I_d = 0$$

$$- V_g > V_t \quad V_d \leq V_{d_{sat}}$$

$$I_d = \frac{k}{2} [2(V_g - V_t) - V_d] V_d$$

$$V_d > V_{d_{sat}}$$

$$I_d = \frac{k}{2} (V_g - V_t)^2$$

$$\text{avec } V_{d_{sat}} = V_g - V_t \quad (\text{III.4})$$

Nous avons appliqué ces équations afin de représenter pour une tension grille de 5 Volts les variations du courant drain et de la résistance dynamique de drain du MOS canal N d'un inverseur 74AC04. Nous avons pour cela repris les valeurs des paramètres k et V_t déterminés à l'aide d'un protocole de mesure que nous détaillerons au chapitre suivant.

Nous comparons les résultats aux courbes expérimentales déduites de la méthode expliquée au paragraphe précédent.

Sur la *planche III.3* ci-contre ont été ajoutées également les caractéristiques obtenues en utilisant la formulation que nous allons développer au cours de cette partie.

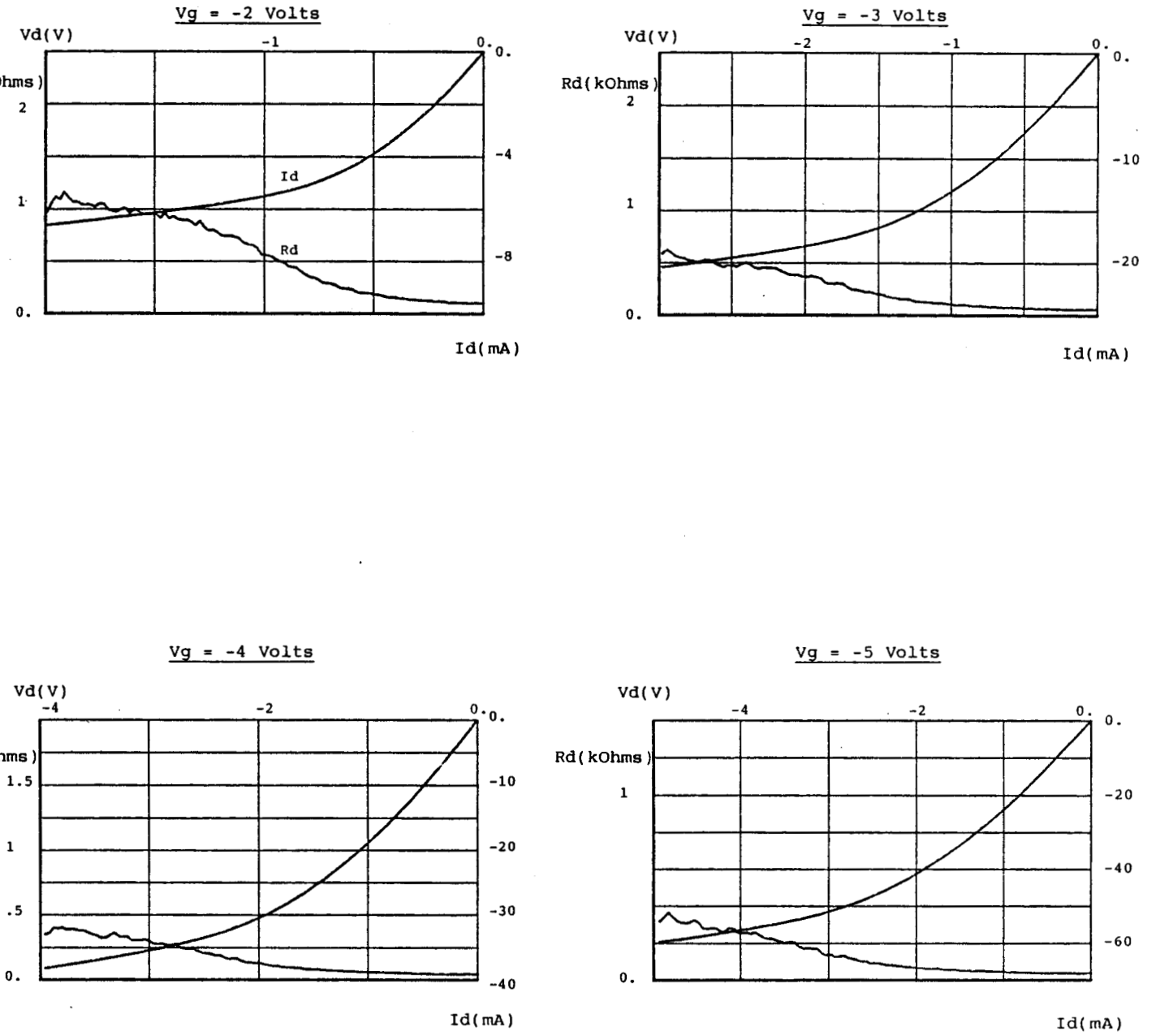


planche III.2: courbes expérimentales du MOS canal P d'un 74HCU04 (C2)

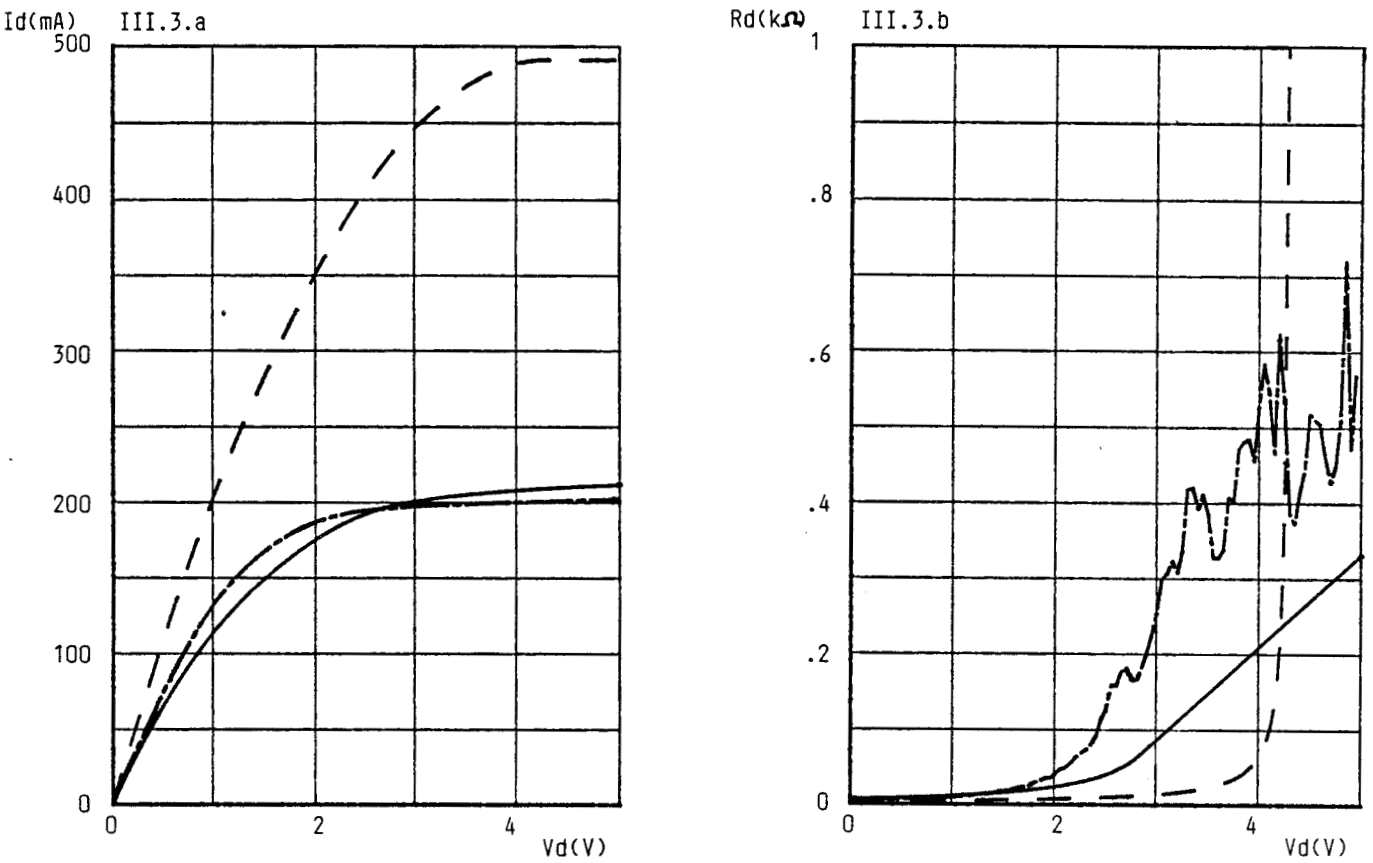


planche III.3: caractéristiques de drain du MOS canal N d'un inverseur 74AC04 pour une tension grille de 5 Volts

- : modèle utilisant les équations classiques du MOSFET
- - - - - : mesures expérimentales
- : modèle élaboré par nos soins

III.3.a : courant drain

III.3.b : résistance dynamique du canal

échelles : V_d 1 Volt/div.
 I_d 50 mA/div.
 R_d 100 Ω /div.

Nous constatons que les *équations III.4* sont très loin de représenter le comportement réel du composant :

- La valeur finale du courant s'établit à environ 500 mA contre 200 mA mesurée.

- La résistance dynamique en zone de saturation est infinie. Ce qui signifie que le composant logique présente une impédance de sortie infinie au moment de sa commutation or en réalité, elle vaut quelques centaines d'Ohms.

Par conséquent, nous ne pouvons nous appuyer sur ce modèle pour décrire le comportement d'un circuit intégré logique.

Par contre nous pouvons vérifier que la modélisation plus complexe que nous allons entreprendre répond beaucoup mieux à l'évolution des grandeurs physiques étudiées.

Le modèle a été élaboré grâce à :

- des expressions théoriques tirées d'une bibliographie ;
- des approximations effectuées suite à des résultats expérimentaux et aux conditions d'utilisation ($V_{ds} \leq V_{dd}$)
- des conditions aux limites.

Il est valable pour des MOS à canal court ($\approx 3 \mu\text{m}$) qui constituent les circuits intégrés d'aujourd'hui. Ces circuits intégrés sont constitués essentiellement des familles CMOS type HEF4000B, 54/74C et des CMOS rapides 54/74HC et 54/74AC.

III.3.2 Expression de la mobilité des porteurs dans le canal

Pour des MOS à grille large la saturation du courant drain résulte du pincement du canal. La mobilité des porteurs libres dans le canal conducteur est supposée constante. Cette approximation n'est plus exacte pour des MOS à canal court.

III.3.2.a Mobilité et vitesse des porteurs [11] [13]

Dans l'espace libre (vide), les électrons soumis à l'action d'un champ électrique sont animés d'un mouvement accéléré.

Dans un solide, les électrons en mouvement entrent sans cesse en collision avec les noeuds du réseau cristallin, les impuretés et les

défauts. Le mouvement uniformément accéléré des électrons sous l'action du champ n'est possible que sur de courts intervalles entre deux collisions, c'est-à-dire sur la longueur du libre parcours moyen. Après chaque collision l'électron doit "reprendre de la vitesse". Il en résulte que la vitesse moyenne de dérive des électrons et des trous est une quantité bien déterminée, proportionnelle à l'intensité du champ :

$$V(E) = \mu \cdot E \quad (\text{III.5})$$

le coefficient de proportionnalité μ est appelé mobilité des porteurs ($\text{cm}^2/\text{V}/\text{s}$). Les masses effectives des électrons et des trous sont différentes, leurs mobilités le sont également. En règle générale, la mobilité des électrons est plus grande que celle des trous (dans le silicium de 3 fois environ). Plus élevée est la mobilité, plus grande est la vitesse de mouvement des porteurs et donc plus rapide est la réponse d'un dispositif à semi-conducteurs.

La mobilité dépend de toute une série de facteurs parmi lesquels la température, la concentration des impuretés et l'intensité du champ électrique sont les principales. Nous n'étudierons dans ce paragraphe que la variation de μ avec l'intensité du champ électrique.

Cette dernière est une des conséquences de la relation de non linéarité entre le courant et l'intensité du champ, ce qui signifie que la caractéristique courant - tension du semi-conducteur sera elle aussi non linéaire.

Dans le domaine des faibles champs électriques, lorsque le champ est inférieur à une valeur critique E_c la mobilité reste constante ($\mu = \mu_0$).

Au point de vue physique, l'intensité critique du champ correspond au cas où la vitesse de mouvement d'ensemble des porteurs sous l'influence de ce champ (vitesse de dérive) devient comparable à la vitesse (vitesse quadratique moyenne $\sqrt{v^2}$) de leur mouvement désordonné (d'agitation thermique).

La vitesse totale des porteurs au régime surcritique devient supérieure à la vitesse thermique, leur température est donc plus grande que celle du semi-conducteur et du milieu environnant. Les porteurs à température accrue, c'est-à-dire ayant une énergie comparable ou supérieure à l'énergie thermique $3/2 kT$, sont dits "chauds".

Lorsque les porteurs chauds entrent en collision avec des phonons (vibrations du réseau cristallin) ils leur cèdent de l'énergie, "échauffent" pour ainsi dire le réseau cristallin. Il en résulte un nouveau phénomène que l'on appelle saturation de la vitesse des porteurs : la vitesse devient indépendante de l'intensité du champ, c'est-à-dire que la condition $\mu E = C_{\text{ste}}$ est réalisée.

La vitesse limite des porteurs est voisine de la vitesse thermique moyenne :

$$V_T = \sqrt{3kT/m^*} \quad (\text{III.6})$$

m^* étant la masse effective de la particule. Si l'on pose $m^* = m$ et $T = 300 \text{ K}$ on a $V_T \approx 10^7 \text{ cm/s}$. La saturation de la vitesse signifie la saturation du courant dans le domaine des tensions suffisamment élevées.

III.3.2.b Expression de la mobilité des porteurs [19]

La conductivité du canal ne présente de valeur appréciable que lorsque la structure est en régime de forte inversion, c'est-à-dire que la tension grille V_g est supérieure à la tension de seuil V_t . Bien avant d'arriver à la tension de saturation $V_{d_{\text{sat}}}$, la couche d'inversion est localisée près de l'interface. La diffusion par les états d'interface joue alors un rôle important et la mobilité des porteurs de surface est inférieure à celle des porteurs de volume. L'extension transversale du canal conducteur est fonction de la densité superficielle des porteurs, c'est-à-dire de la tension de polarisation grille source. Les porteurs dans le canal sont alors caractérisés par une mobilité effective μ_{eff} qui varie avec la tension grille source. La mobilité effective peut s'écrire :

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta (V_g - V_t)} \quad * \quad (\text{III.7})$$

où :

- μ_0 est la mobilité de volume à faible champ,
- V_t est la tension seuil du MOS,
- θ est un paramètre empirique prenant en compte l'effet du champ normal au canal qui a tendance à dévier la trajectoire des porteurs,
- V_g est la tension grille source.

* formule extraite de : Steven L. GARVERICK and C.G. SODINI

"A simple model for scaled MOS transistors that includes field dependent mobility"
IEEE Journal of solid. state circuits, Vol. SC-22, n° 1, Février 1987

vitesse (cm/s)

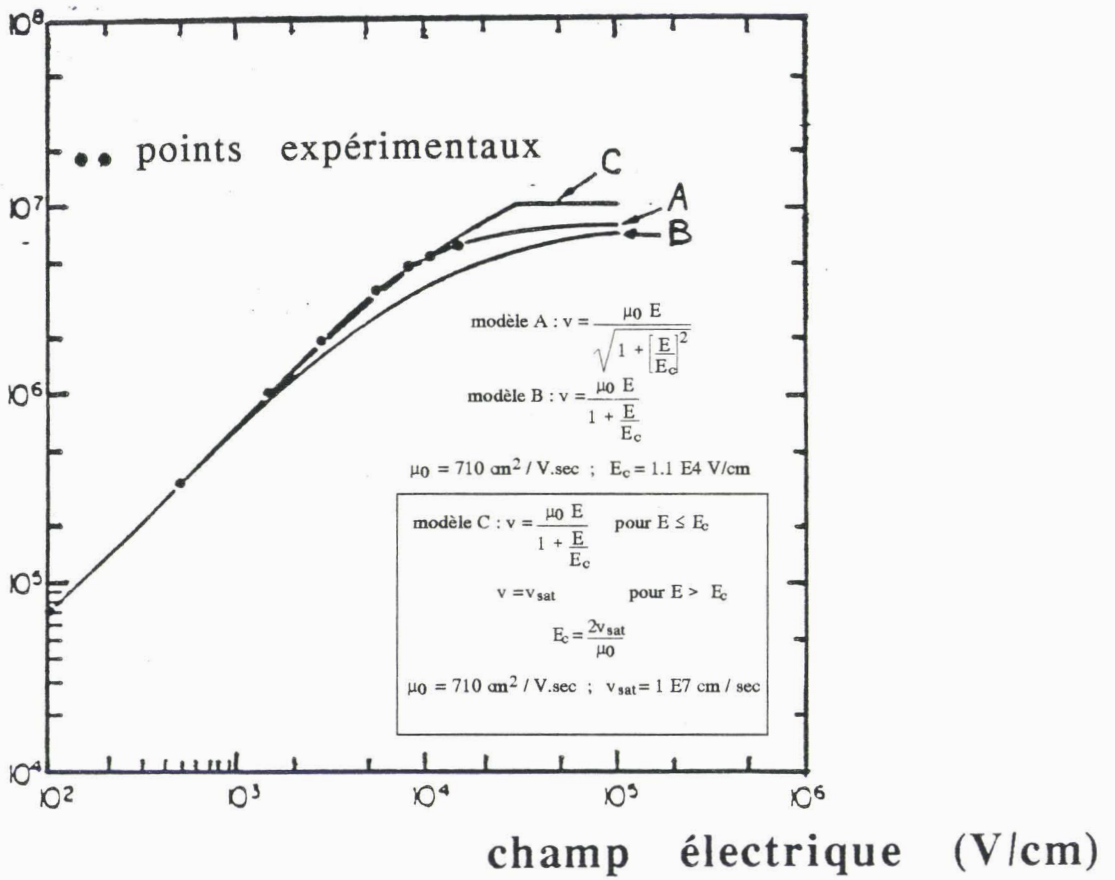


figure III.20* : modélisation de la vitesse des porteurs dans le canal d'un MOSFET

* figure extraite de:

C. G. SODINI et al. "The effect of high field on MOS device"
 IEEE transactions on electron devices, vol. ED-31, n° 10 Octobre 1984

III.3.3 Modélisation de la vitesse des porteurs dans le canal [20]

L'évolution de la vitesse des porteurs en fonction du champ latéral E est représentée sur la *figure III.20*. Trois modèles empiriques décrivent la variation de la vitesse des porteurs. Ces courbes sont tracées avec $\theta = 0$.

Les deux modèles A et B sont utilisés fréquemment.

Celui approchant le plus les points expérimentaux est le A mais c'est également le plus complexe. L'équation B est en-dessous de la réalité : il faut un champ électrique très supérieur à E_c pour atteindre la vitesse de saturation v_{sat} . La formulation* qui suit, tout en donnant un bon aperçu de l'évolution de la vitesse des porteurs en fonction du champ latéral (*modèle C* sur la *figure III.20*), permet un traitement analytique des phénomènes physiques observés dans le canal.

$$v = \frac{\mu_{eff} \cdot E}{1 + E/E_c} \quad E \leq E_c$$

$$v = v_{sat} \quad E > E_c$$

$$E_c = \frac{2 v_{sat}}{\mu_{eff}} \quad \text{avec} \quad \mu_{eff} = \frac{\mu_o}{1 + \theta (V_g - V_t)} \quad (III.8)$$

Pour ces raisons, cette représentation de la vitesse a été choisie par C.G. Sodini et al. [19], [20] pour calculer l'expression du courant drain en fonction de la tension grille et de la tension drain.

Dans les transistors à canal court la valeur du champ critique E_c est souvent largement dépassée. La saturation du courant résulte alors de la vitesse limite des porteurs. La vitesse limite des porteurs dans le canal est obtenue pour une tension drain égale à la tension de saturation $V_{d_{sat}}$.

La caractéristique courant tension peut donc se décomposer en deux parties :

- une zone dite "résistive" où le courant drain croît pratiquement linéairement avec la tension drain ($V_d \ll V_{d_{sat}}$) ;

- une zone dite "saturée" où le courant drain est quasiment constant ($V_d \gg V_{d_{sat}}$).

* formule extraite de :

C.G. SODINI et al. "The effect of high field on MOS device"

IEEE Transactions on electron devices, vol. ED-31, n° 10, Octobre 1984

III.3.4 Modélisation du courant drain et de la résistance dynamique en zone de conduction résistive [19] [20]

Nous reprenons dans ce paragraphe l'étude théorique effectuée par C.G. Sodini où il considère que l'expression du courant drain en fonction de la tension grille et de la tension drain fait intervenir cinq paramètres : α , δ , θ , k et V_t :

$$I_d = \frac{k}{2} \frac{[2(V_g - V_t) - (1 + \delta) \cdot V_d] \cdot V_d}{1 + \theta(V_g - V_t) + \alpha V_d} \quad (\text{III.9})$$

La démonstration de cette expression est rappelée en *Annexe 3*.

- V_d , V_g , V_t représentent respectivement la tension drain, la tension grille et la tension seuil du MOS.
- k s'appelle le facteur transconductance.
- Les paramètres empiriques θ (vu au *paragraphe III.3.2.b*), α , δ tiennent justement compte de la variation de la mobilité des porteurs dans le canal, de la saturation de la vitesse des porteurs dans le canal et de la courbure du canal.

Compte tenu de l'expression *III.8* la tension de saturation vaut :

$$V_{d_{\text{sat}}} = \frac{1}{1 + \delta} \frac{[1 + \theta(V_g - V_t)](V_g - V_t)}{1 + (\theta + \alpha')(V_g - V_t)} \quad (\text{III.10})$$

$$\text{où } \alpha' = \frac{\alpha}{1 + \delta}$$

Si nous remplaçons dans l'expression *(III.10)* V_d par $V_{d_{\text{sat}}}$ nous obtenons :

$$I_{d_{\text{sat}}} = \frac{k'}{2} \frac{(V_g - V_t)^2}{1 + (\theta + \alpha')(V_g - V_t)} \quad (\text{III.11})$$

$$\text{où } k' = \frac{k}{1 + \delta}$$

La résistance dynamique est calculée en prenant l'inverse de la dérivée par rapport à V_d de l'expression III.9.

$$R_d = \frac{2 \cdot [1 + \theta (V_g - V_t) + \alpha V_d]^2}{k [2 \cdot (1 + \theta (V_g - V_t)) (V_g - V_t - V_d \cdot (1 + \delta)) - \alpha (1 + \delta) V_d^2]}$$

(III.12)

Si l'on pose $\alpha = \theta = \delta = 0$ dans les expressions III.9, III.10 et III.11, on retrouve les équations classiques du MOS :

$$I_d = \frac{k}{2} [2 (V_g - V_t) - V_d] V_d \quad \text{pour} \quad V_d \leq V_{d_{sat}}$$

$$V_{d_{sat}} = V_g - V_t$$

$$I_d = I_{d_{sat}} \quad \text{pour} \quad V_d > V_{d_{sat}}$$

$$I_{d_{sat}} = \frac{k}{2} (V_g - V_t)^2$$

Nous signalons à titre d'informations qu'il existe d'autres modèles de MOSFET, citons par exemple :

- le modèle CSIM développé par L. Cong chez ATT Bell Laboratories [21]
- le modèle BSIM pour Berkeley Short-Channel IGFET Model [22]

Ces deux modèles reposent sur les mêmes bases que celui de C.G. Sodini mais avec une formulation plus complexe.

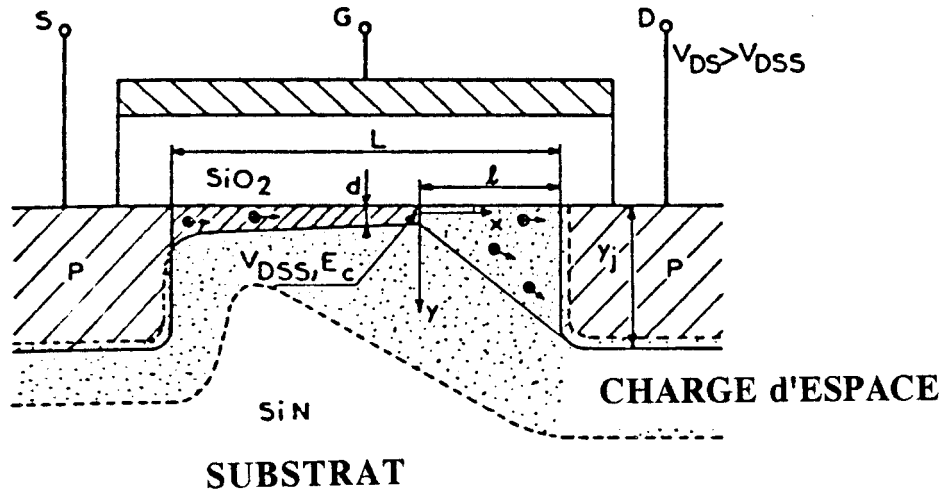


figure III.21 *: section du transistor MOS (ici canal P)
en zone de conduction saturée

* figure extraite de: G. MERCKER, J. BOREL et N. Z. CUPCEA

"An accurate large-signal MOS transistor model for use in computer-aided-design"
IEEE Transactions on Electron Devices, Vol. Ed-19, n° 5, Mai 1972

III.3.5 Modélisation du courant drain et de la résistance dynamique en zone de conduction saturée

Les phénomènes physiques qui apparaissent dans cette zone sont plus complexes. Les publications sur le sujet ne sont pas très nombreuses. Nous présentons ci-dessous la théorie de G. Merckel et J. Borel.

III.3.5.a La théorie de G. Merckel et J. Borel [23]

La tension de pincement du canal est obtenue pour $V_d = V_{d_{sat}}$, la composante longitudinale du champ électrique vaut alors E_c et les porteurs ont atteint leur vitesse limite v_{sat} . Pour $V_d > V_{d_{sat}}$ l'expression du courant vaut :

$$I_d = I_{d_{sat}} \frac{L}{L-1} \quad (III.13)$$

où L est la distance drain-source et l la distance point de pincement drain (*figure III.21*). Les porteurs sont maintenant éloignés de la surface du composant par la composante normale du champ électrique et sont collectés par la jonction de drain à la profondeur y_j . Ces porteurs mobiles modifient la largeur de la zone de charge d'espace située en dessous du canal au fur et à mesure que la tension drain-source croît. Les auteurs ont considéré une diffusion uniforme de ces porteurs dans cette région entre la profondeur d et y_j . La prise en compte de ces considérations et leurs expressions analytiques conduisent à un développement de l'expression III.13 qui amène à :

$$V_d - V_{d_{sat}} = A \left(1 - \frac{I_{d_{sat}}}{I_d}\right)^2 (1 + B I_d) + C \left(1 - \frac{I_{d_{sat}}}{I_d}\right) \quad (III.14)$$

où A , B , C sont des constantes dépendant des paramètres intrinsèques du transistor (dopage, largeur du canal) mais aussi de α , θ , V_t définis précédemment.

L'obtention de R_d est immédiate :

$$R_d = \frac{dV_d}{dI_d} = A \left(1 - \frac{I_{d_{sat}}}{I_d}\right) \left[2 \frac{I_{d_{sat}}}{I_d^2} + B \left(1 + \frac{I_{d_{sat}}}{I_d}\right) \right] + C \frac{I_{d_{sat}}}{I_d^2}$$

(III.15)

L'expression III.14 assure la continuité du courant drain au point $V_d = V_{d_{sat}}$, mais nous avons vérifié que la résistance dynamique présente deux valeurs distinctes, pour ce même point, suivant que l'on prenne l'expression III.12 ou III.15. L'égalité n'est respectée qu'en choisissant certains paramètres nuls. Cette discontinuité n'a pas de signification physique, d'où le manque d'intérêt de cette formulation qui nous a amené à développer un autre modèle plus adapté à nos besoins.

III.3.5.b Expression de la résistance dynamique

Les résultats expérimentaux (*planches III.1 et III.2*) montrent qu'en première approximation la résistance dynamique évolue linéairement avec la tension drain pour $V_d \in [V_{d_{sat}}, V_{dd}]$. Cela aussi bien pour les MOS canal N que pour les MOS canal P. Nous pouvons donc aisément relier R_d à une équation telle que:

$$R_d = \frac{dV_d}{dI_d} = R_{d_{sat}} + \frac{\Delta R_d}{\Delta V_d} (V_d - V_{d_{sat}}) \quad (\text{III.16})$$

où $R_{d_{sat}}$ est la valeur de R_d pour $V_d = V_{d_{sat}}$.

Si nous imposons la continuité de la dérivée première en chaque point à la caractéristique $R_d = g(V_d)$. Cette condition s'appliquera aussi pour la tension de saturation d'où :

$$\frac{\Delta R_d}{\Delta V_d} = H(\alpha, \delta, \theta, k, V_t, V_g, V_d) \quad (\text{III.17})$$

où $H(\alpha, \delta, \theta, k, V_t, V_g, V_d)$ sera la dérivée par rapport à V_d exprimée conformément à la *relation III.12*.

Pour une tension grille donnée V_g , en supposant connues les valeurs de $\alpha, \delta, \theta, k, V_t$ et $\frac{\Delta R_d}{\Delta V_d}$, la résolution numérique de l'équation III.17 va nous donner la tension de saturation, la résistance dynamique qui lui correspond ainsi que le courant de saturation. Appelons $V_{d_{satsim}}, R_{d_{satsim}}$ et $I_{d_{satsim}}$ ces valeurs simulées. En raison de l'approximation effectuée sur l'évolution de $R_d, V_{d_{satsim}}$ et $I_{d_{satsim}}$ sont légèrement différentes des valeurs théoriques $V_{d_{satthé}}$ et $I_{d_{satthé}}$ fournies par les *expressions III.10 et III.11*.

Néanmoins, comme nous le verrons plus loin avec nos résultats, cela ne remet pas en cause la validité du modèle.

En zone de saturation nous posons donc

$$R_d = R_{d_{satsim}} + \frac{\Delta R_d}{\Delta V_d} (V_d - V_{d_{satsim}}) \quad (III.18)$$

avec :

$$\begin{aligned} V_{d_{satsim}} &\neq V_{d_{satthé}} \\ I_{d_{satsim}} &\neq I_{d_{satthé}} \\ R_{d_{satsim}} &\neq R_{d_{satthé}} \end{aligned}$$

$V_{d_{satsim}}$, $I_{d_{satsim}}$, $R_{d_{satsim}}$ seront les valeurs simulées des tension, courant et résistance dynamique de saturation.

III.3.5.c Expression du courant drain

La variation du courant drain en zone de saturation est obtenue en intégrant l'expression III.18 puisque:

$$\frac{dV_d}{dI_d} = R_{d_{satsim}} + \frac{\Delta R_d}{\Delta V_d} (V_d - V_{d_{satsim}})$$

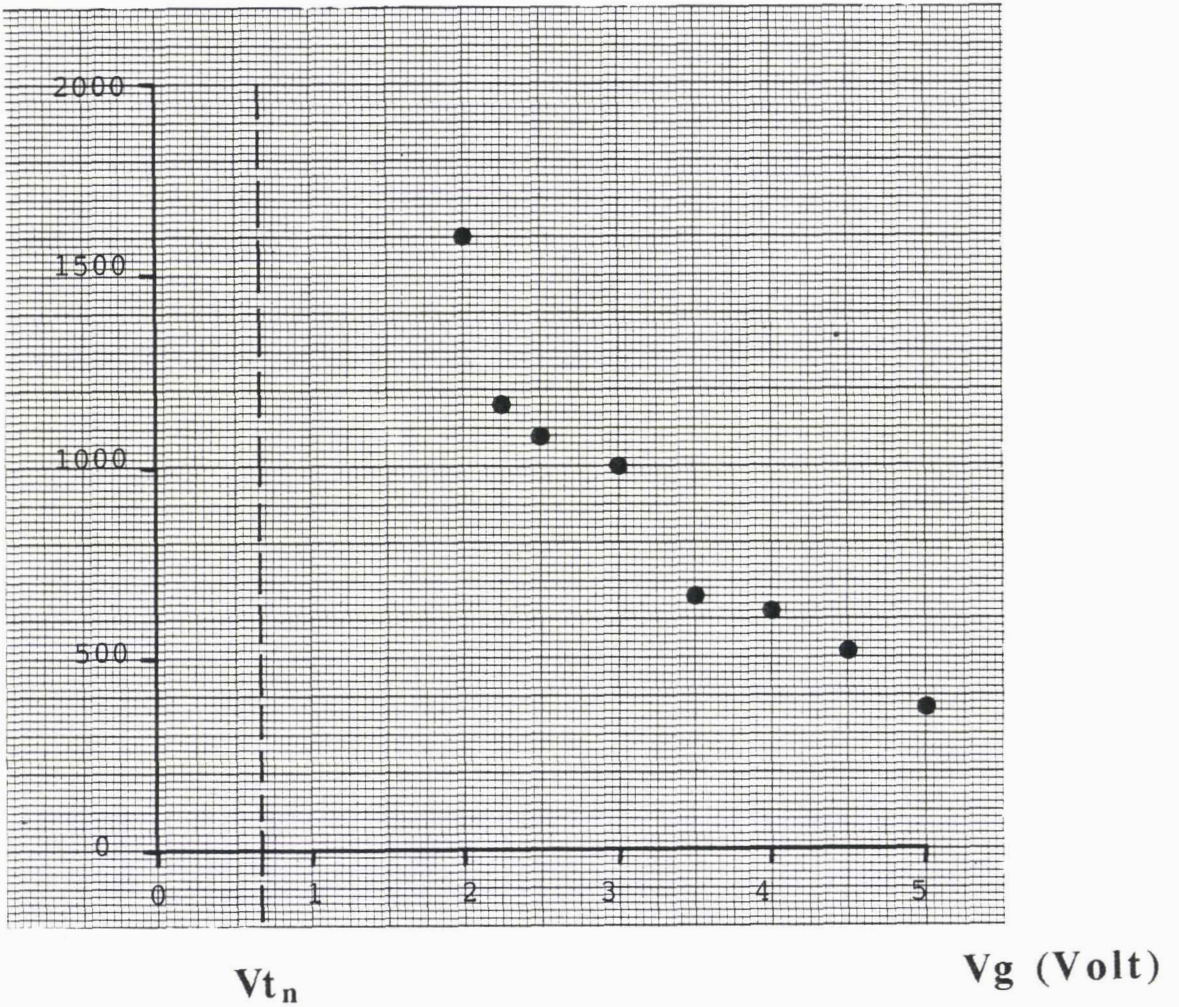
$$\int_{V_{d_{satsim}}}^{V_d} \frac{dV_d}{R_{d_{satsim}} + \frac{\Delta R_d}{\Delta V_d} (V_d - V_{d_{satsim}})} = \int_{I_{d_{satsim}}}^{I_d} dI_d$$

$$I_d = I_{d_{satsim}} + \frac{\Delta V_d}{\Delta R_d} \text{Log} \left[1 + \frac{(V_d - V_{d_{satsim}}) \frac{\Delta R_d}{\Delta V_d}}{R_{d_{satsim}}} \right]$$

(III.19)

pour $V_d = V_{d_{satsim}}$ nous obtenons bien $I_d = I_{d_{satsim}}$, $R_d = R_{d_{satsim}}$ et l'équation III.17 assure la continuité de la tangente à la caractéristique $R_d = g(V_d)$ en $V_{d_{satsim}}$.

$$\frac{\Delta R_d}{\Delta V_d} \text{ (}\Omega / \text{Volt)}$$



*planche III.4: évolution de la pente $\Delta R_d / \Delta V_d$
en fonction de la tension grille V_g*

(mesures effectuées sur le MOS canal N d' un inverseur 74HC04)

III.3.5.d Expression de $\frac{\Delta R_d}{\Delta V_d}$

Cette pente varie en fonction de la tension grille. Physiquement, elle est très grande lorsque la tension grille est voisine de la tension seuil V_t et elle décroît rapidement lorsque V_g augmente (*planche III.4*). Dès lors nous proposons de représenter la variation de $\frac{\Delta R_d}{\Delta V_d}$ en fonction de V_g de la façon suivante :

$$\boxed{\frac{\Delta R_d}{\Delta V_d} = \frac{A_1}{|V_g - V_t|^{r_1}}} \quad (\text{III.20})$$

De cette façon la modélisation du MOS est parfaitement définie pour $V_d \in [V_{d_{\text{satsim}}} \pm V_{dd}]$ et $V_g \in [0 \pm V_{dd}]$ où V_{dd} est la tension d'alimentation qui est une donnée constructeur (de 2 à 6 volts pour un HCMOS et de 3 à 15 volts pour un CMOS).

Ce résultat est très important car $[V_{d_{\text{satsim}}}, V_{dd}]$ est la zone de commutation des portes logiques à transistors MOS. Il est alors utile de connaître l'évolution du courant et de la résistance dynamique dans cette zone.

CONCLUSION

L'analyse du comportement des logiques CMOS face à une agression extérieure passe obligatoirement par une très bonne connaissance du fonctionnement interne d'un MOSFET intégré. Pour cela l'obtention et la modélisation des caractéristiques de sortie de ce composant est nécessaire.

L'élaboration d'un banc permettant la caractérisation complète de l'étage CMOS de diverses familles a permis la réalisation d'un modèle mathématique décrivant l'évolution non linéaire du courant drain et de la résistance dynamique de drain.

Ce modèle qui se décompose en deux sous modèles, suivant que le composant évolue en zone résistive ou en zone de saturation, a été conçu à partir d'une recherche bibliographique qui nous a permis de connaître les formulations couramment utilisées et en particulier celles intégrées dans les logiciels de simulation de circuits électroniques.

Pendant la complexité de certaines formulations nous a incité à effectuer quelques approximations et notamment à propos de l'évolution de la résistance dynamique en zone de saturation.

Nous avons considéré un accroissement linéaire de cette grandeur en fonction de la tension drain (lorsque cette dernière se situe dans la plage tension de saturation-tension grille) qui nous a permis de déduire une expression plus simple du courant drain.

Après avoir présenté la théorie du composant logique CMOS rappelée dans ce chapitre, nous allons nous intéresser aux paramètres utiles à la modélisation de la résistance dynamique.

Ces paramètres au nombre de sept ne sont accessibles qu'à partir de mesures. C'est à cet aspect important de notre travail que sera consacré le prochain chapitre de notre thèse. Nous procéderons alors à une confrontation des résistances dynamiques mesurées puis évaluées par notre modèle sur plusieurs composants.

CHAPITRE 4

INTRODUCTION

Dans le chapitre précédent, nous avons proposé un modèle théorique qui s'appuie sur les équations régissant le fonctionnement interne du transistor MOS. Cet outil comporte un certain nombre de paramètres qui peuvent être évalués expérimentalement à l'aide de la méthode de mesure que nous allons décrire dans la première partie de ce chapitre.

Elle est basée sur le traitement de quelques signatures relevées sur le banc de caractérisation que nous avons élaboré et dont une description a été faite précédemment.

De façon à vérifier la validité de notre modélisation, nous présenterons en seconde partie sa confrontation à des mesures pratiquées sur des circuits intégrés provenant de divers manufacturiers et répondant avec des vitesses de commutation différentes. Les résultats obtenus au premier chapitre de notre thèse seront repris afin de montrer l'intérêt du modèle pour la description du comportement de leur sortie lorsque celle-ci est soumise aux effets indirects des interférences électromagnétiques.

IV.1 PROTOCOLE D'EVALUATION DES PARAMETRES DE LA MODELISATION

Ces paramètres sont évalués à partir des courbes $I_d = f(V_d)$ et $R_d = g(V_d)$. Nous avons vu dans le chapitre précédent comment obtenir ces caractéristiques dans le cas d'un circuit intégré inverseur, à l'aide d'un montage électronique relativement simple et d'un programme informatique que nous avons intitulé "expémos". Nous allons détailler dans cette partie les différents procédés utilisés pour la détermination des sept paramètres V_t , k , α , δ , θ , A_1 et r_1 entrant dans la modélisation.

IV.1.1 Rappels sur la modélisation

Comme nous l'avons montré au chapitre précédent, elle se décompose en deux sous modèles suivant que le transistor MOS est en zone de conduction résistive ou en zone de conduction saturée. La transition entre ces deux fonctionnements est réalisée pour la valeur $V_{d_{satsim}}$ de la tension drain. Nous rappelons ci-dessous les expressions du courant drain et de la résistance dynamique du canal:

- $|V_g| \leq |V_t|$: $I_d = 0$

$$R_d = +\infty$$

- $|V_g| > |V_t|$:

a) $|V_d| \leq |V_{d_{satsim}}|$

$$I_d = \frac{k}{2} \frac{[2(V_g - V_t) - (1 + \delta)V_d] \cdot V_d}{1 + \theta(V_g - V_t) + \alpha V_d} \quad (IV.1)$$

$$R_d = \left(\frac{dV_d}{dI_d} \right)_{V_g} = \frac{2 \cdot [1 + \theta(V_g - V_t) + \alpha V_d]^2}{k [2 \cdot (1 + \theta(V_g - V_t))(V_g - V_t - V_d(1 + \delta)) - \alpha(1 + \delta)V_d^2]} \quad (IV.2)$$

b) $|V_d| > |V_{d_{satsim}}|$

$$I_d = I_{d_{satsim}} + \frac{|V_g - V_t|^{r-1}}{A_1} \text{Log} \left[1 + \frac{A_1}{|V_g - V_t|^{r-1}} \cdot (V_d - V_{d_{satsim}}) \right] R_{d_{satsim}}$$

(IV.3)

$$R_d = R_{d_{satsim}} + \frac{A_1}{|V_g - V_t|^{r-1}} \cdot (V_d - V_{d_{satsim}})$$

(IV.4)

$V_{d_{satsim}}$, $I_{d_{satsim}}$, et $R_{d_{satsim}}$ sont les valeurs simulées des tension, courant et résistance dynamique de saturation. $V_{d_{satsim}}$ est calculée numériquement de façon à avoir une continuité de la dérivée seconde de la courbe $I_d = f(V_d)$ en ce point.

$$V_{d_{satsim}} \cong V_{d_{satthé}} = \frac{1}{1+\delta} \cdot \frac{[1+\theta(V_g-V_t)](V_g-V_t)}{1 + \left(\theta + \frac{\alpha}{1+\delta}\right)(V_g-V_t)} \quad (IV.5)$$

IV.1.2 Détermination de la tension seuil V_t

Nous rappelons que V_t représente la tension grille limite en-dessous de laquelle le MOS est bloqué c'est-à-dire :

$$V_g \leq V_t \Rightarrow I_d = 0 \quad \text{et} \quad R_d = \infty \quad \text{pour tout} \quad V_d \in [0, V_{dd}]$$

IV.1.2.a Théorie

En posant $x = V_g - V_t$, l'expression donnant le courant de saturation théorique peut s'écrire :

$$I_{d_{sat}} = \frac{k'}{2} \frac{(V_g - V_t)^2}{1 + (\theta + \alpha')(V_g - V_t)} = ax^2 \frac{1}{1 + bx} \quad (IV.6)$$

Un développement limité au voisinage de $x = 0$ donne :

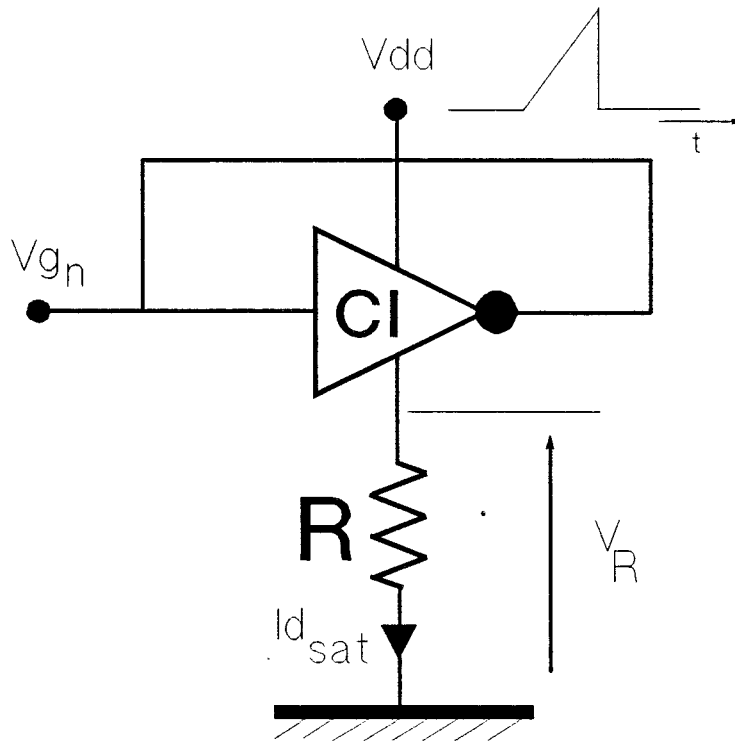
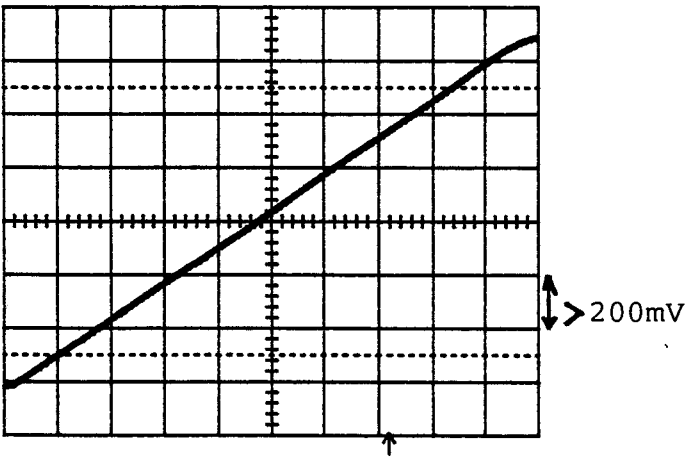
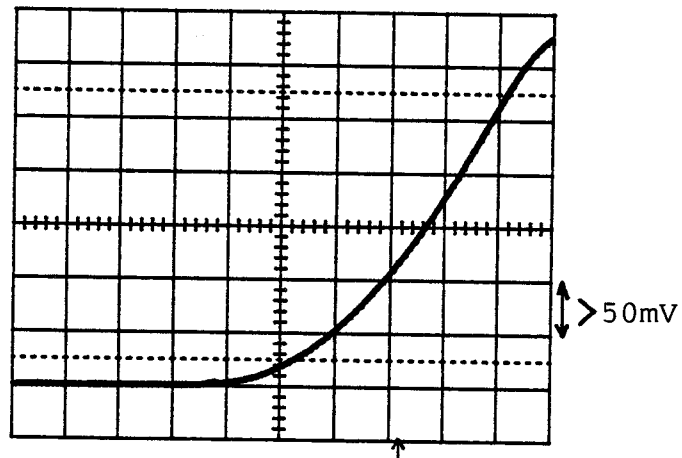


Figure IV.1 : Schéma montrant le principe de la mesure de $I_{d\text{sat}}$ en fonction de V_g pour un MOS canal N.

IV.2.a



IV.2.b



base de temps : 500 ns/div

Figure IV.2 : Détermination de la tension seuil V_t d'un MOS canal N
 IV.2.a : enregistrement de la tension grille
 IV.2.b : enregistrement de la tension aux bornes de R.



$$I_{d_{sat}} = ax^2 [1 - bx + b^2 x^2 - \dots]$$

En effectuant l'hypothèse (vérifiée avec les résultats du *paragraphe IV.2.2*) que bx est très petit devant 1 et en se plaçant à V_g tel que:

$$(\theta + \alpha') (V_g - V_t) \ll 1$$

nous obtenons :

$$[I_{d_{sat}}]^{1/2} = \sqrt{a} (V_g - V_t) \left(1 - \frac{\epsilon}{2}\right) \quad \text{avec} \quad \epsilon = (\theta + \alpha') (V_g - V_t)$$

La courbe $[I_{d_{sat}}]^{1/2} = f(V_g)$ coupe l'axe horizontal en $V_g = V_t$.

IV.1.2.b Réalisation expérimentale

En utilisant les montages décrits au chapitre 3 [*figures III.17 et III.18*], on relève la tension aux bornes de R en fonction de la tension grille en appliquant cette fois la rampe comme tension d'alimentation Vdd.

Pour le montage d'étude du MOS canal N (*figure IV.1*), drain et grille sont reliés à la tension d'alimentation Vdd. A chaque instant t nous sommes alors certains que le transistor travaille en zone de conduction saturée puisque nous avons :

$$V_{gn} = V_{dn} = V_{dd} > V_{dn_{sat}}$$

le MOS canal N fonctionne bien en régime de saturation et de plus compte tenu des faibles valeurs de V_{gn} , $I_{dn} \approx I_{d_{sat}}$.

La *figure IV.2* représente les deux oscillogrammes obtenus pour le MOS canal N d'un inverseur 74AC04.

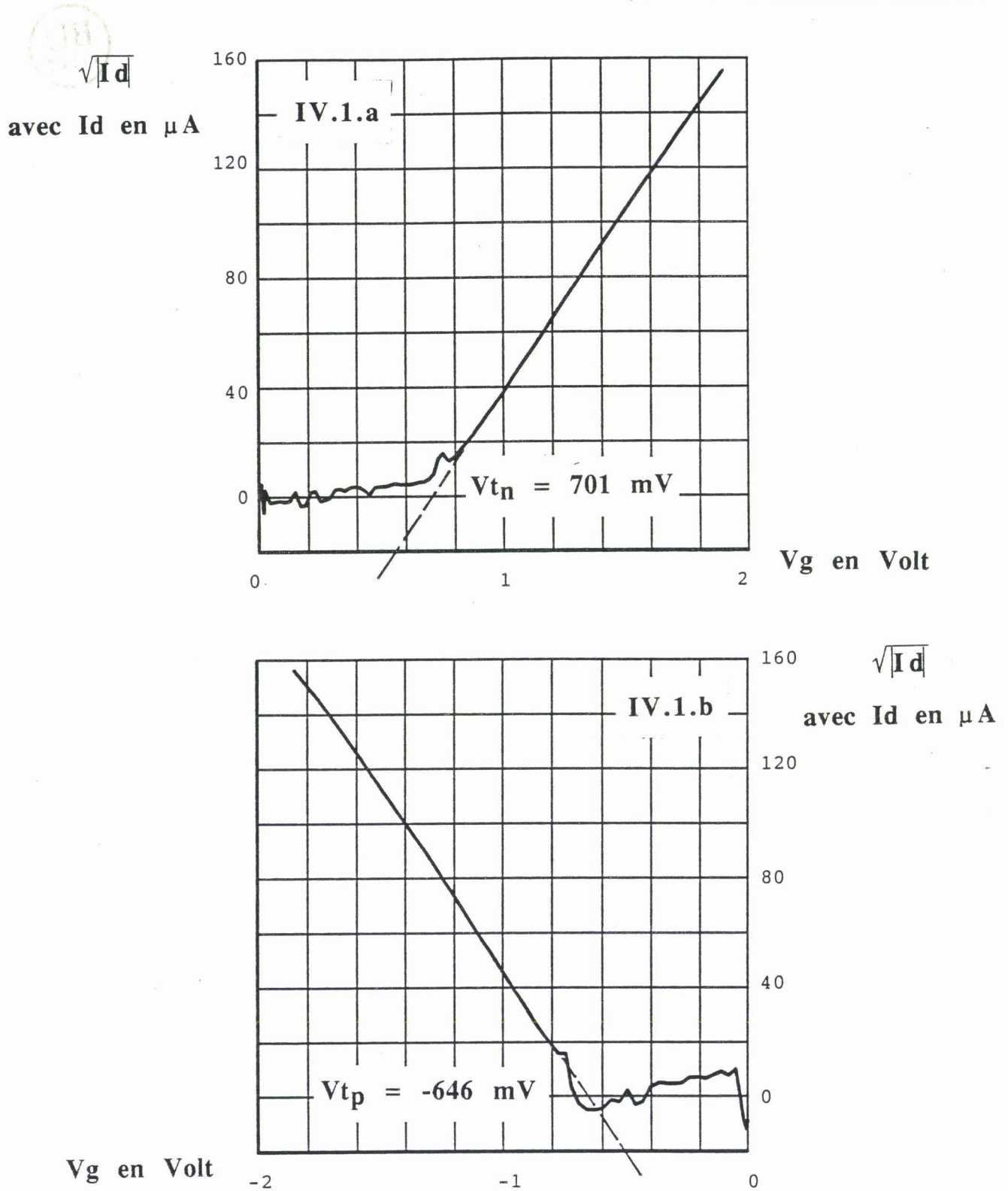


Planche IV.1 : Détermination de la tension seuil V_t

IV.1.a : résultats sur le MOS canal N d'un 74AC04

IV.1.b : résultats sur le MOS canal P d'un 74AC04.

Pour le montage d'étude du MOS canal P (*figure IV.3*) la sortie et la grille sont reliées cette fois à la masse. A chaque instant t nous aurons alors :

$$- V_{gp} = - V_{dp} = V_{dd} > - V_{dp_{sat}}$$

et le MOS canal P fonctionne en régime de saturation.

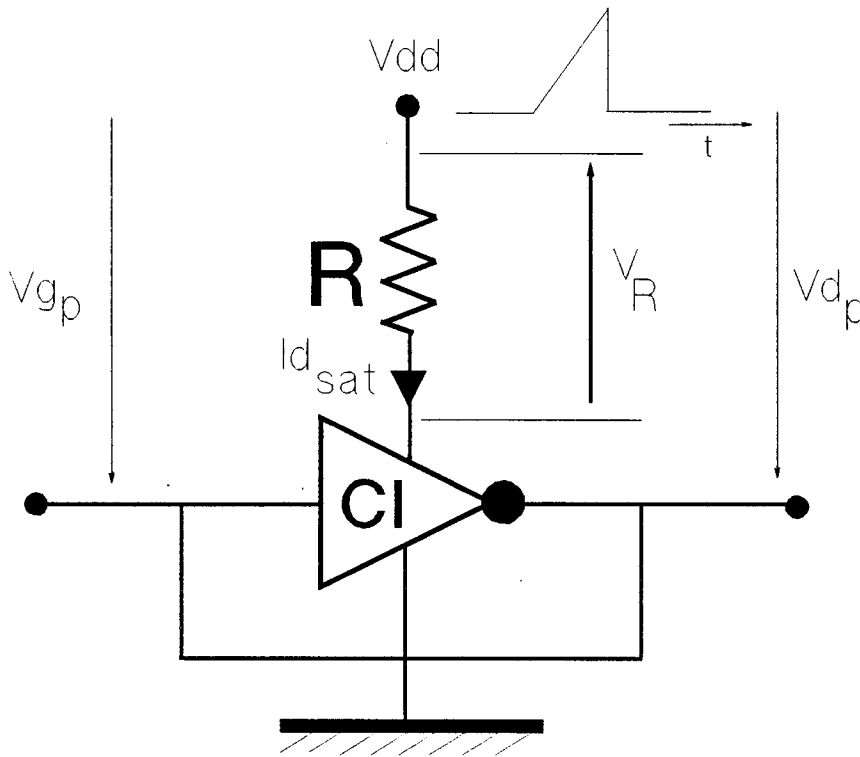


figure IV.3: Schéma montrant le principe de la mesure de I_{dsat} en fonction de V_g pour un MOS canal P

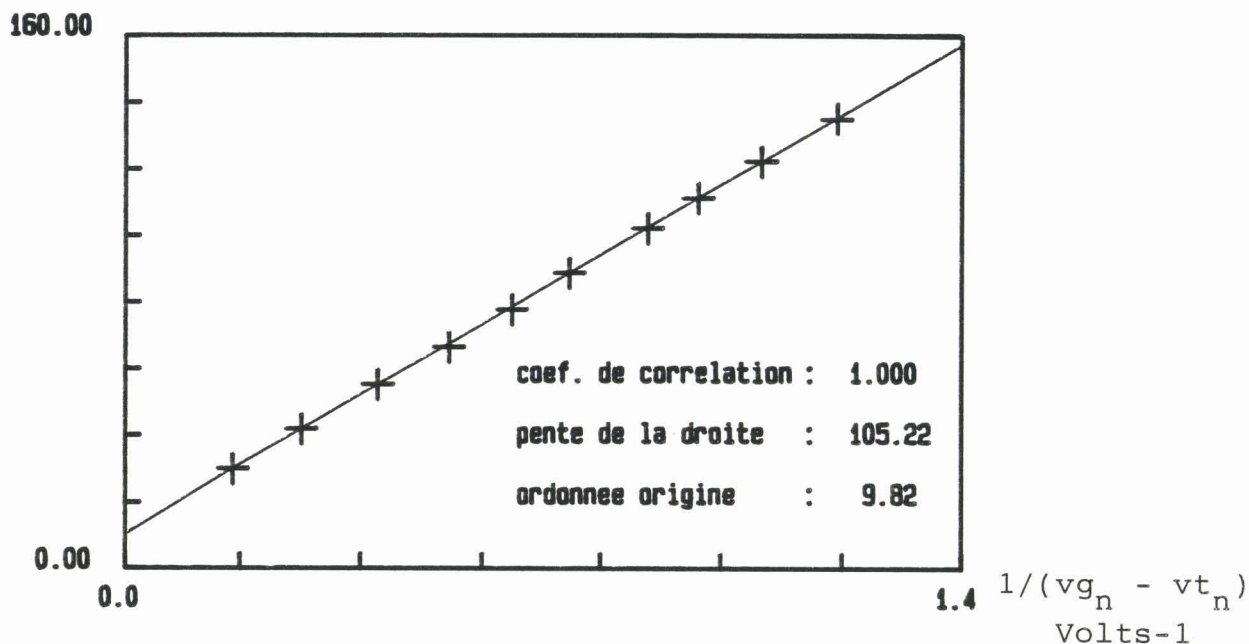
Le programme "paramos" assure dans ce cas :

- le traitement informatique des données (tension grille et tension aux bornes de R) et donne les courbes de la *planche IV.1* ci-contre ;
- le calcul automatique de la tension seuil V_t par extrapolation linéaire.

Le paramètre V_t interviendra tout au long des calculs qui vont suivre. V_t est positif pour un MOS canal N et négatif pour un MOS canal P.

R_{d0_n} (Ohms)

IV.2.a



R_{d0_p} (Ohms)

IV.2.b

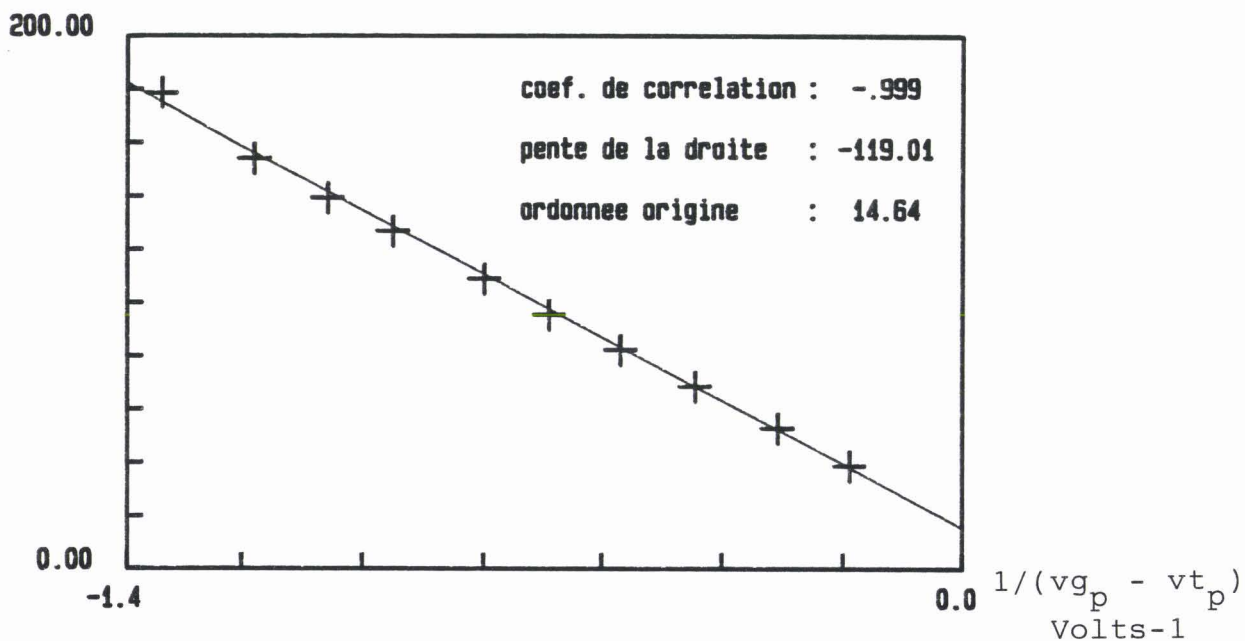


Planche IV.2 : Détermination des paramètres k et θ

IV.2.a : Résultats sur le MOS canal N d'un 74HC04

IV.2.b : Résultats sur le MOS canal P d'un 74HC04.

IV.1.3 Détermination de k et θ

La méthode est basée sur le calcul de la pente de la caractéristique $I_d = f(V_d)$ en $V_d = 0$. Il suffit donc de faire $V_d = 0$ dans l'expression IV.2 donnant R_d en zone résistive :

$$R_d (V_d = 0) = \frac{1}{k} \left[\frac{1}{V_g - V_t} \right] + \frac{\theta}{k} \quad (\text{IV.7})$$

$$R_d = F \left(\frac{1}{V_g - V_t} \right) \quad \text{est une droite}$$

La *planche IV.2* représente les résultats de mesures statiques (cf. *paragraphe III.2.1*) effectuées sur un 74HC04 (MOS canal N et MOS P). L'expression IV.7 est bien vérifiée. Les valeurs de la pente et de l'ordonnée à l'origine donnent respectivement k et θ .

Il suffit donc de ne garder que 2 points de mesure. L'enregistrement et le traitement par "paramos" des caractéristiques $I_d = f(V_d)$ pour 2 valeurs distinctes et éloignées de V_g va donner ces deux points. Nous avons choisi $|V_g| = 2$ volts et $|V_g| = 5$ volts dans le cas d'un 74HC04, d'un 74HCU04 ou d'un 74AC04.

Une précision un peu meilleure serait obtenue en procédant comme indiqué sur la *planche IV.2* (c'est à dire une régression linéaire effectuée sur plusieurs points de mesure). Elle serait cependant acquise au détriment d'un nombre plus important de manipulations.

L'objectif est de minimiser le nombre de points de mesure et donc le temps d'expérimentation.

Nous pensons par conséquent que la méthode explicitée plus haut est un très bon compromis entre ces deux paramètres.

IV.1.4 Détermination de α et δ

Nous avons développé ici une méthode numérique. Nous procédons par approximations successives de α et δ à partir de deux caractéristiques courant tension C1 et C2 telles que :

$$\begin{aligned} C1 : I_{d1} &= F1 (V_{d1}) \text{ à } V_{g1} \\ C2 : I_{d2} &= F2 (V_{d2}) \text{ à } V_{g2} \end{aligned}$$

L'objectif est de retrouver la valeur de la tension de saturation pour chacune des deux valeurs de la tension grille.

A partir de l'expression théorique du courant de saturation il est possible de calculer α et δ . Nous rappelons cette expression :

$$I_{d_{sat}} = \frac{k'}{2} \frac{(V_g - V_t)^2}{1 + (\theta + \alpha')(V_g - V_t)} \quad \text{où} \quad k' = \frac{k}{1 + \delta} \quad \text{et} \quad \alpha' = \frac{\alpha}{1 + \delta} \quad (IV.8)$$

Elle peut s'écrire sous la forme :

$$I_{d_{sat}} = \frac{a V_{gt}^2}{1 + b V_{gt}}$$

$$\text{où} \quad V_{gt} = V_g - V_t ; a = \frac{k}{2(1 + \delta)} ; b = \theta + \frac{\alpha}{1 + \delta}$$

Soient $V_{d1(i)}$, $I_{d1(i)}$, $V_{d2(i)}$, $I_{d2(i)}$ les tensions et courants de saturation calculés à la $i^{\text{ème}}$ itération pour V_{g1} et V_{g2} .

$$I_{d1(i)} = \frac{a V_{gt1}^2}{1 + b V_{gt1}} \quad (IV.9)$$

$$I_{d2(i)} = \frac{a V_{gt2}^2}{1 + b V_{gt2}} \quad (IV.10)$$

Les expressions (IV.9) et (IV.10) permettent d'exprimer les constantes $a^{(i)}$ et $b^{(i)}$ en fonction de $I_{d1(i)}$ et $I_{d2(i)}$

$$a^{(i)} = \frac{(V_{gt1} - V_{gt2}) I_{d1(i)} I_{d2(i)}}{\left[V_{gt2} I_{d1(i)} - V_{gt1} I_{d2(i)} \right] V_{gt1} V_{gt2}} \quad (IV.11)$$

$$b^{(i)} = \frac{1 - \left(\frac{V_{gt2}}{V_{gt1}} \right)^2 \frac{I_{d1(i)}}{I_{d2(i)}}}{V_{gt2} \left[\frac{V_{gt2}}{V_{gt1}} \frac{I_{d1(i)}}{I_{d2(i)}} - 1 \right]} \quad (IV.12)$$

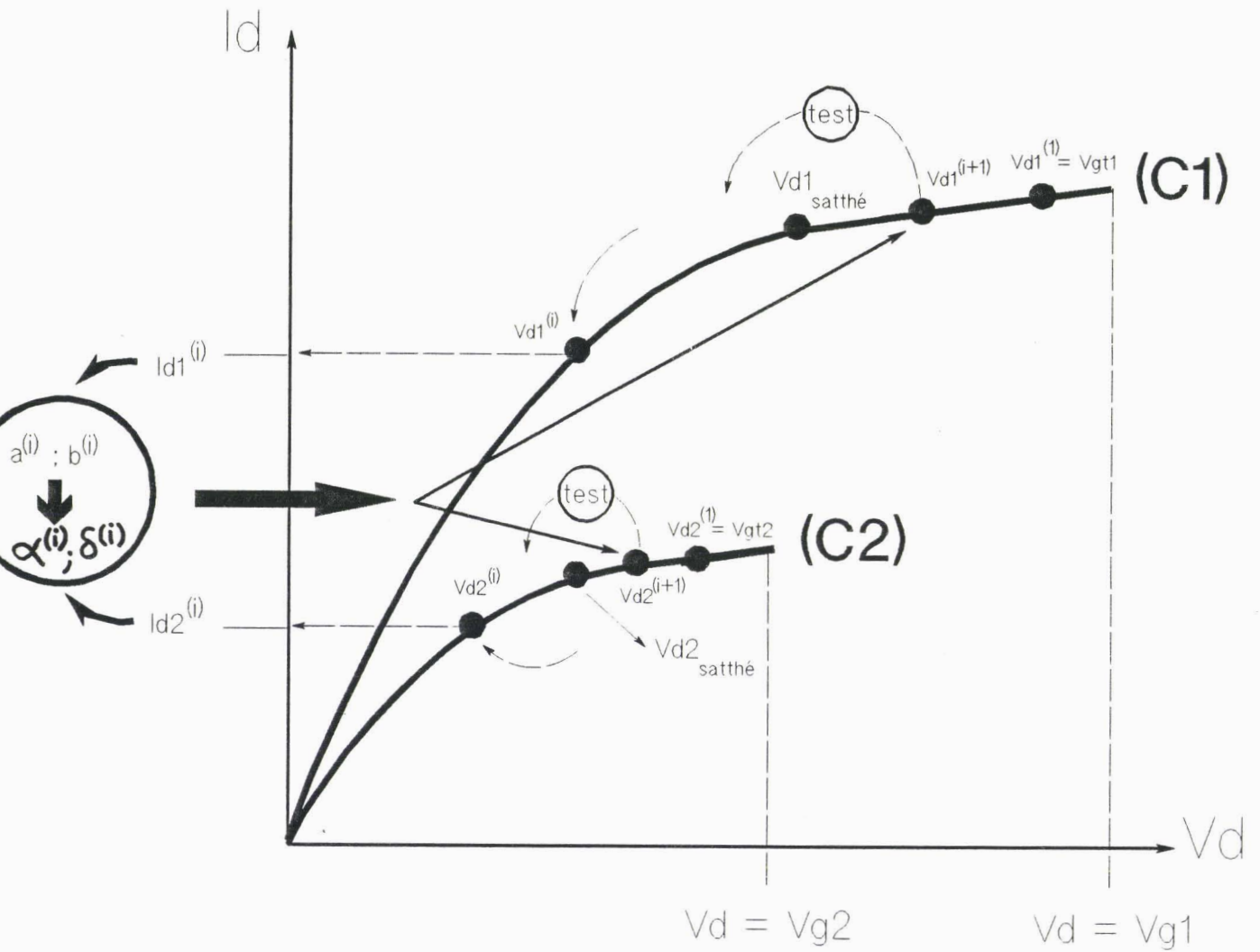


figure IV.4 : Schéma montrant la méthode utilisée pour l'évaluation des paramètres α et δ du modèle.

Connaissant k et θ , nous obtenons alors les valeurs respectives de $\alpha^{(i)}$ et $\delta^{(i)}$

$$\alpha^{(i)} = \frac{k (b^{(i)} - \theta)}{2 a^{(i)}} \quad (IV.13)$$

$$\delta^{(i)} = \frac{k - 2 a^{(i)}}{2 a^{(i)}} \quad (IV.14)$$

Grâce à l'expression théorique de la tension de saturation que nous rappelons ci-dessous :

$$V_{d_{sat}} = \frac{1}{1 + \delta} \frac{[1 + \theta (V_g - V_t)] (V_g - V_t)}{1 + \left(\theta + \frac{\alpha}{1 + \delta}\right) (V_g - V_t)}$$

Nous pouvons calculer V_{d1} et V_{d2} à l'itération $i+1$

$$V_{d1}^{(i+1)} = \frac{1}{1 + \delta^{(i)}} \cdot \frac{V_{gt1} (1 + \theta V_{gt1})}{1 + V_{gt1} \left(\theta + \frac{\alpha^{(i)}}{1 + \delta^{(i)}}\right)} \quad (IV.15)$$

$$V_{d2}^{(i+1)} = \frac{1}{1 + \delta^{(i)}} \cdot \frac{V_{gt2} (1 + \theta V_{gt2})}{1 + V_{gt2} \left(\theta + \frac{\alpha^{(i)}}{1 + \delta^{(i)}}\right)} \quad (IV.16)$$

et leur attribuer deux valeurs expérimentales $I_{d1}^{(i+1)}$ et $I_{d2}^{(i+1)}$ du courant drain. Nous recalculons alors $a^{(i+1)}$, $b^{(i+1)}$, $\alpha^{(i+1)}$ et $\delta^{(i+1)}$.

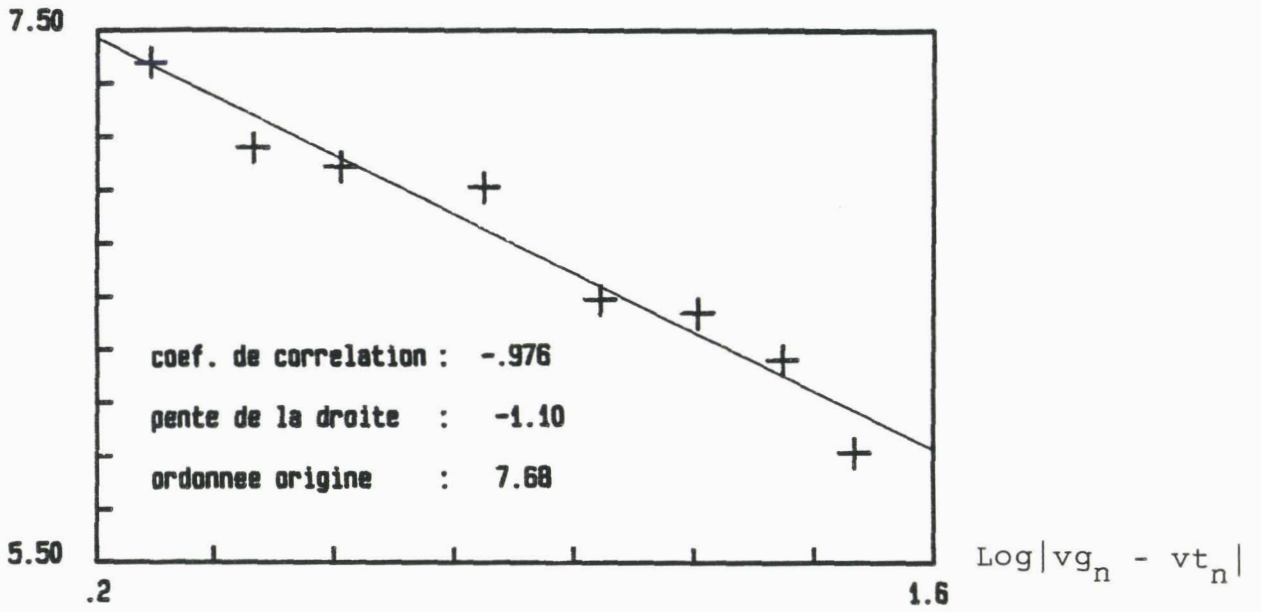
L'itération s'arrête lorsque :

$$\text{Max} \left[\left| \frac{V_{d1}^{(i+1)} - V_{d1}^{(i)}}{V_{d1}^{(i+1)}} \right|, \left| \frac{V_{d2}^{(i+1)} - V_{d2}^{(i)}}{V_{d2}^{(i+1)}} \right| \right] < \epsilon$$

ϵ a été choisi égal à 1 %. Le schéma de la *figure IV.4* résume le processus d'évaluation de α et δ .

$\text{Log}|\Delta R_d / \Delta V_d|$

IV.3.a



$\text{Log}|\Delta R_d / \Delta V_d|$

IV.3.b

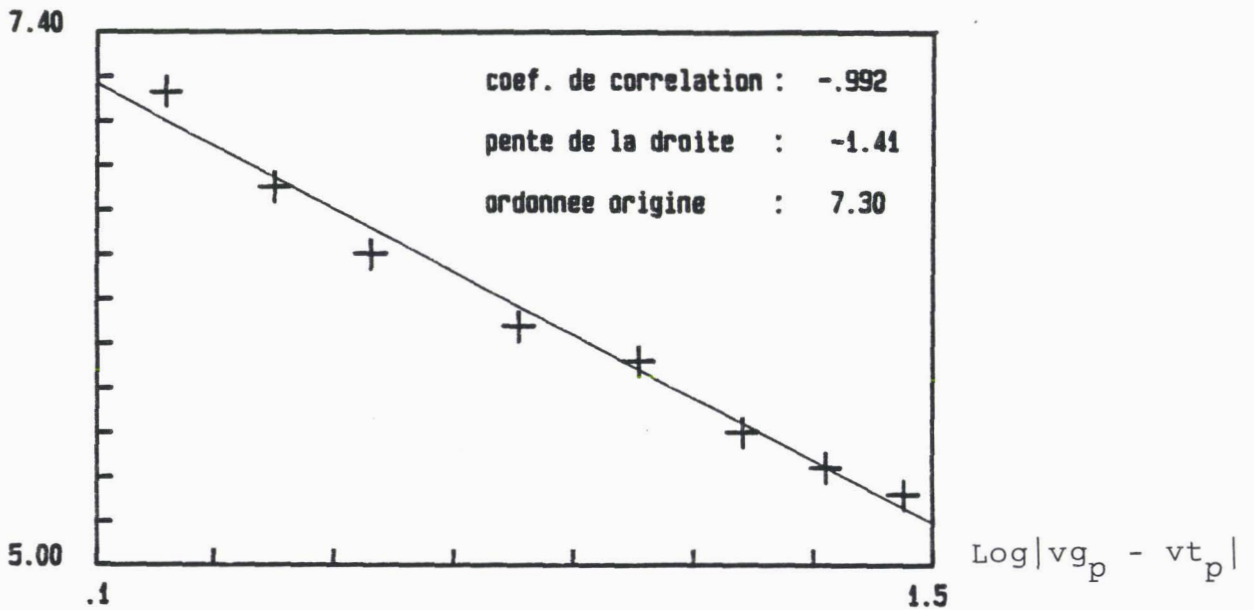


Planche IV.3 : Modélisation de la variation de la résistance dynamique par rapport à la tension drain en zone de saturation d'un MOS en fonction de sa tension grille.

IV.3.a : résultats sur le MOS canal N d'un 74HC04

IV.3.b : résultats sur le MOS canal P d'un 74HC04

Vd1(1) et Vd2(1) sont initialisées respectivement à Vgt1 et Vgt2 qui sont les valeurs des tensions de saturations pour $\alpha = \delta = \theta = 0$.

En pratique le calcul de α et δ converge au bout de 4 ou 5 itérations comme le montre l'exemple ci-dessous pour le canal N d'un 74HCU04.

Calcul de alpha et delta

itération 1 :	alpha =	.155
	delta =	-.031
itération 2 :	alpha =	.138
	delta =	.066
itération 3 :	alpha =	.134
	delta =	.082
itération 4 :	alpha =	.133
	delta =	.085
	alpha =	.133
	delta =	.085

IV.1.5 Détermination de A1 et r1

Sur la *Planche IV.3*, des mesures statiques de la pente de la résistance dynamique en zone de saturation nous montrent que cette pente suit approximativement une loi empirique du type :

$$\frac{\Delta R_d}{\Delta V_d} = \frac{A_1}{|V_g - V_t|^{r_1}}$$

$$\text{Log} \left| \frac{\Delta R_d}{\Delta V_d} \right| = \text{Log} |A_1| - r_1 \text{Log} |V_g - V_t| \quad (\text{IV.17})$$

dés lors le tracé du $\text{Log} |\Delta R_d / \Delta V_d|$ en fonction du $\text{Log} |v_g - V_t|$ est une droite, comme nous le voyons ci-contre, dont la pente vaut $-r_1$ et l'ordonnée à l'origine $\text{Log} |A_1|$.

En pratique r_1 est toujours positif tandis que A_1 est positif pour un MOS canal N et négatif pour un MOS canal P.

A partir des courbes C1 et C2 du *paragraphe IV.1.4*, le programme

“Paramos” calcule les pentes $\frac{\Delta R_d}{\Delta V_d}$ à Vg1 et à Vg2 et détermine ainsi les valeurs de A_1 et r_1 .

IV.2 RESULTATS EXPERIMENTAUX ET SIMULATIONS

Cette seconde partie est consacrée à la caractérisation et la modélisation des caractéristiques de sortie de quelques composants de la technologie CMOS et notamment des inverseurs, 74HC04, 74HCU04 et 74AC04.

Pour mémoire, nous rappelons que les inverseurs 74HC04 et 74AC04 sont "bufférisés" c'est-à-dire qu'ils sont constitués de trois inverseurs simples mis en cascade. Seul l'étage de sortie peut être étudié avec la méthode décrite dans la première partie.

Un inverseur 74HCU04 (ou 74C04 également) n'est pas "bufférisé", il ne comporte qu'un seul étage.

Nous avons détaillé dans le premier chapitre de notre thèse les autres différences notoires entre ces familles et nous ne reviendrons pas la-dessus pour l'instant.

IV.2.1 Les logiciels "expémos", "paramos" et "simumos"

Nous avons déjà dit quelques mots auparavant sur ces logiciels. Ce sont les outils nécessaires à la caractérisation et à la modélisation des MOSFET intégrés.

IV.2.1.a le programme "expémos"

Il permet la représentation graphique des caractéristiques $I_d = f(V_d)$ et $R_d = g(V_d)$ du MOSFET pour V_d variant de 0 à la tension d'alimentation V_{dd} . Les données d'entrée sont les courbes $V_1(t)$ et $V_2(t)$ (vues au chapitre précédent) enregistrées sur un oscilloscope numérique.

IV.2.1.b le programme "paramos"

Il calcule automatiquement les 7 paramètres de la modélisation à savoir V_t , k , α , δ , θ , A_1 et r_1 à l'aide des méthodes décrites dans la première partie de ce chapitre et en utilisant :

- les caractéristiques : $I_d = f(V_d)$ et $R_d = g(V_d)$ pour deux valeurs distinctes de la tension grille ;

. la courbe $I_{d_{sat}} = h(V_g)$.

IV.2.1.c le programme "simumos"

Il simule les caractéristiques $I_d = f(V_d)$ et $R_d = g(V_d)$ pour toute valeur de la tension grille comprise entre 0 et V_{dd} . Les données d'entrée sont les paramètres V_t , $k/2$, α , δ , θ , A_1 et r_1 .

Il détermine les valeurs $V_{d_{satsim}}$, $I_{d_{satsim}}$ et $R_{d_{satsim}}$.

Les logiciels "expémos", "paramos" et "simumos" ont tous les trois été développés par nos propres soins.

Nous avons étudié 6 composants, il s'agit :

- de l'inverseur 74HCU04 figurant dans les *tableaux I.2* et *I.3* du chapitre 1 et dont le constructeur a été dénommé en C2 ;
- de deux inverseurs 74HC04 (C1 et C3 dans les *tableaux I.2* et *I.3*) ;
- d'un inverseur 74AC04 (constructeur C1 dans les *tableaux I.2* et *I.3*) ;
- de deux inverseurs 74 HC04 issus du même lot et dont le constructeur est noté C4.

Paramètres	74HCU04 (C2)		74HC04 (C4) A		74HC04 (C3)		74HC04 (C1)		74AC04 (C1)	
	MOS N	MOS P	MOS N	MOS P	MOS N	MOS P	MOS N	MOS P	MOS N	MOS P
Vt(mV)	777	-807	658	-720	709	-415	690	-487	701	-646
k/2(mAV ⁻²)	7,0	-4,6	5,1	-3,8	4,1	-4,4	4,9	-4,4	26,6	-28,9
θ(V ⁻¹)	0,155	-0,130	0,152	-0,119	0,159	-0,282	0,103	-0,134	0,132	-0,397
α(V ⁻¹)	0,133	0,051	0,051	0,026	0,087	0,093	0,097	0,055	0,213	0,218
δ(V ⁻¹)	0,085	0,033	0,214	0,140	-0,223	-0,025	0,148	0,147	0,015	0,337
A1	1870,0	-876,2	4298,4	-3120,2	741,0	-1580,8	3990,8	-1327,8	729,9	-347,2
rl	1,080	1,561	1,138	1,582	0,462	1,182	1,140	1,385	1,222	1,333

Tableau IV.1 : paramètres des MOS canal N et P de différents inverseurs.

Paramètres	74HC04 (C4) A		74HC04 (C4) B	
	MOS N	MOS P	MOS N	MOS P
Vt(mV)	658	-720	673	-651
k/2 (mAV ⁻²)	5,1	-3,8	5,1	-3,9
θ(V ⁻¹)	0,152	-0,119	0,126	-0,136
α(V ⁻¹)	0,051	0,026	0,114	0,061
δ(V ⁻¹)	0,214	0,140	0,131	0,167
A1	4298,4	-3120,2	3862,6	-2753,7
rl	1,138	1,582	1,142	1,542

Tableau IV.2 : paramètres des MOS canal N et P de deux inverseurs du même constructeur.

IV.2.2 Valeurs des paramètres des composants étudiés

Dans ce paragraphe, nous fournissons les valeurs des différents paramètres du modèle pour les MOS canal N et canal P. Nous avons donc utilisé le logiciel "Paramos".

Les deux valeurs choisies pour les tensions grilles sont respectivement 2 volts et 5 volts pour le MOS canal N, -2 Volts et -5 Volts pour le MOS canal p. Les données constructeurs indiquent un fonctionnement prévu pour des tensions d'alimentation comprises entre 2 Volts et 6 Volts. Toutefois les 2 tensions usuellement caractérisées sont 2 et 5 Volts, c'est pourquoi nous les avons retenu pour le calcul des paramètres.

Les résultats figurent dans le *tableau IV.1* .

A la vue de ce tableau, il nous paraît difficile de tirer des conclusions générales. Chaque composant présente des caractéristiques différentes d'un constructeur à l'autre. Nous pouvons seulement donner quelques ordres de grandeur pour V_t , k et θ :

$$|V_t| \# 700 \text{ mV}$$

$$\text{et } |k| \# 10 \text{ mAV}^{-2} \text{ pour la famille HC}$$

$$|k| \# 50 \text{ mAV}^{-2} \text{ pour la famille AC}$$

$$|\theta| \# .15 \text{ V}^{-1}$$

Nous rappelons que V_t , k et θ sont toujours positifs pour un MOS canal N et négatifs pour un MOS canal P.

Si nous comparons maintenant les paramètres des deux inverseurs issus du même fabricant et du même lot nous obtenons les résultats du *tableau IV.2*.

Nous constatons alors des ressemblances plus marquantes entre les valeurs des différents paramètres. Toutefois ces ressemblances sont plus frappantes lorsque nous regarderons les caractéristiques expérimentales dans le *paragraphe IV.2.4*.

Il reste maintenant à s'assurer de la validité du modèle en comparant les caractéristiques $I_d = f(V_d)$ et $R_d = g(V_d)$ aux simulations obtenues en introduisant les différents paramètres dans le programme "simumos".

IV.2.3 Représentation des courants drains et des résistances dynamiques des MOS

Nous fournissons dans ce paragraphe les courbes expérimentales $I_d = f(V_d)$ et $R_d = g(V_d)$ ainsi que les simulations correspondantes pour différentes valeurs de la tension grille. Les courbes expérimentales sont relevées pour chaque composant d'après les indications du *paragraphe III.2.3* et cela pour la tension d'alimentation de 2 Volts à 6 Volts avec un pas de 1 Volt.

Seules les courbes expérimentales à 2 et 5 Volts sont utilisées pour le calcul des paramètres, les autres servent à la validation de notre modèle.

Les *Planches IV.4 à IV.13* représentent ces courbes (en pointillés). Les tracés en traits pleins correspondent aux simulations résultantes du programme "simumos". Les échelles en ordonnées (courant drain "Id" en mA et résistance dynamique "Rd" en k Ω) sont, à une tension grille "Vg" donnée, identiques pour le MOS canal N et le MOS canal P. Les courbes du 74HC04 du constructeur C4 correspondent au composant A dans le *tableau IV.2* du paragraphe précédent.

Quelques remarques sont à faire sur ces planches :

- Les résultats des simulations sont très encourageants, les courbes théoriques coïncident avec la réalité pour les tensions intermédiaires 3, 4 et 6 Volts. Il faut d'ailleurs noter que les simulations à $|V_g| = 2$ Volts et $|V_g| = 5$ Volts ne sont pas toujours les meilleures bien que les paramètres soient calculés à partir de ces mesures.
- L'approximation de l'évolution de la résistance dynamique en zone de saturation par une droite s'avère correcte. Les oscillations de la résistance dynamique dans cette zone sont provoquées par la très faible variation du courant drain autour du point de mesure. (Nous arrivons au voisinage de la résolution de l'oscilloscope numérique utilisé).
- A une tension grille donnée, les courants drains en zone de saturation des MOS canal N et P, pour un même composant, restent voisins. Par contre la résistance dynamique du MOS canal P est toujours beaucoup plus faible.

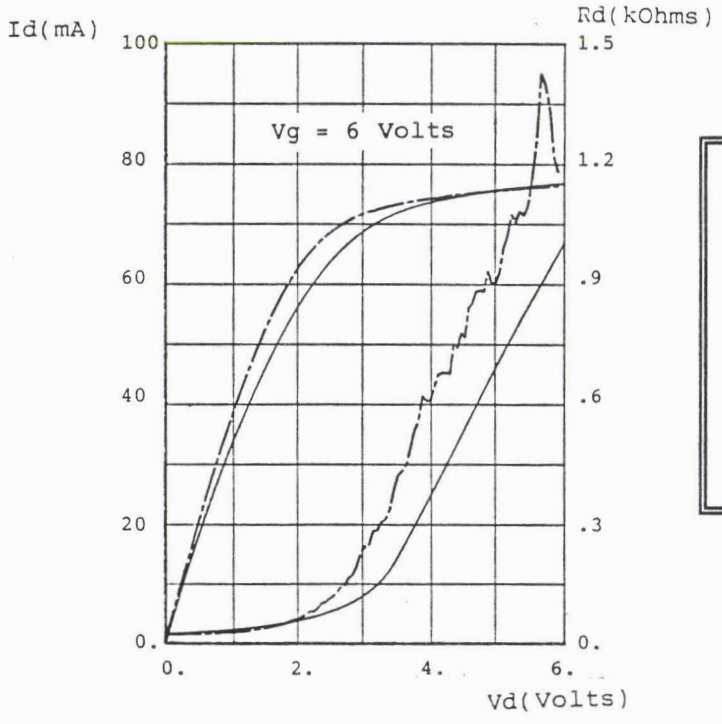
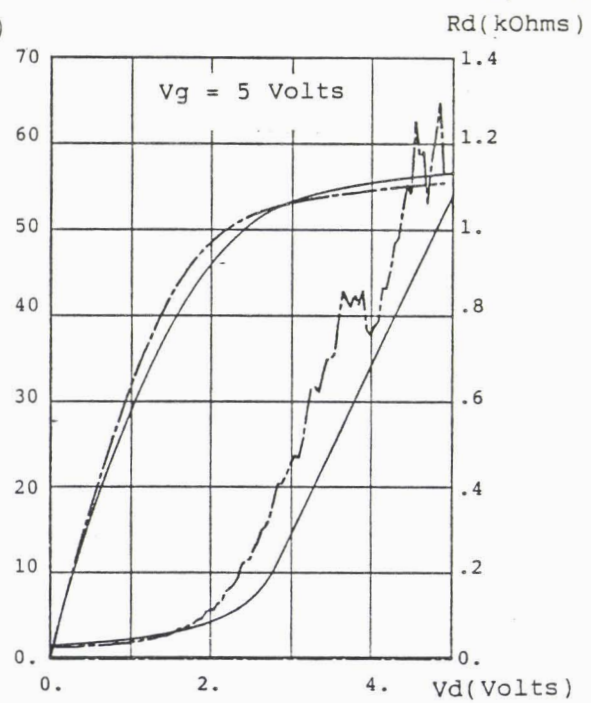
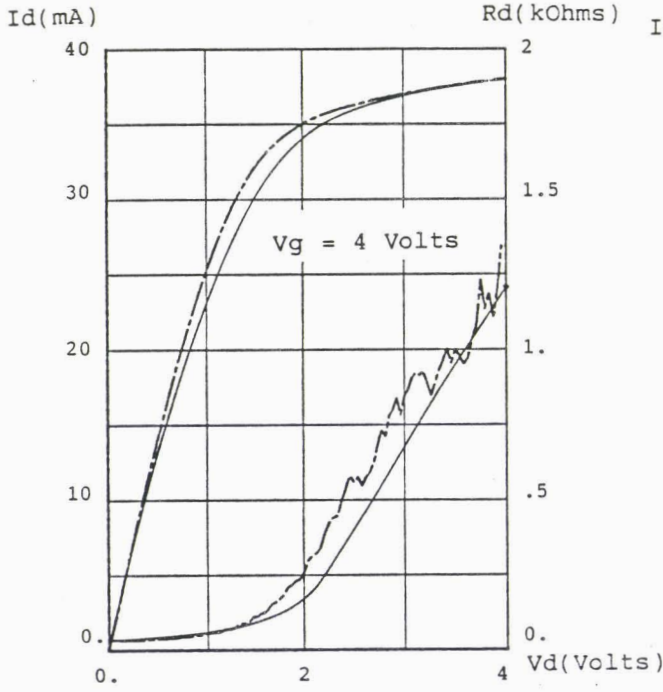
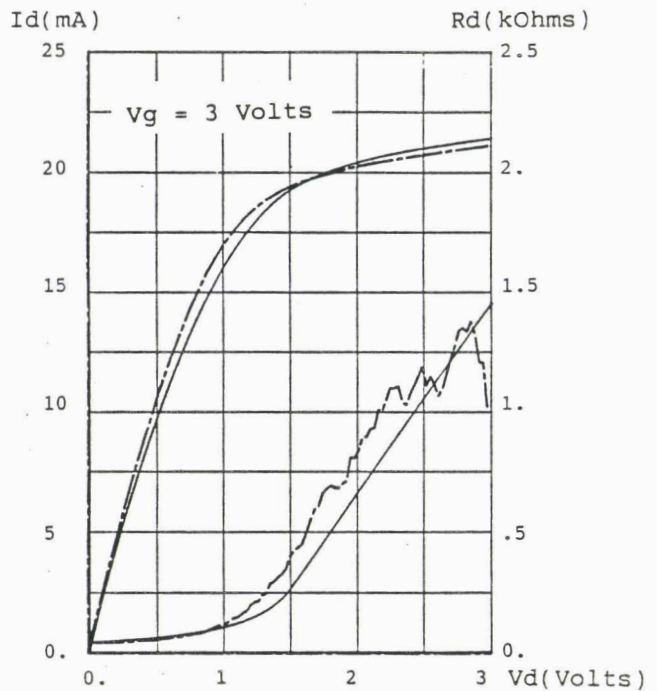
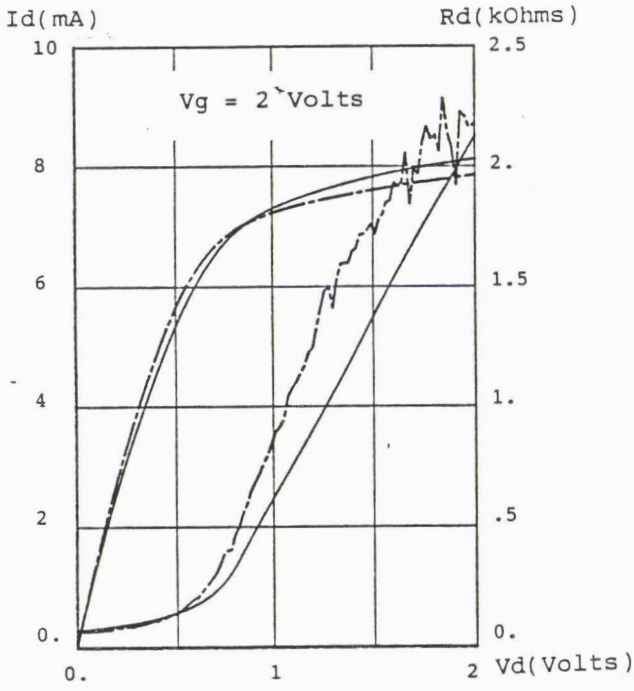


planche IV.4: courant drain et résistance dynamique du canal N d'un 74HCU04 (C2)

--- : courbes expérimentales
 — : modélisation

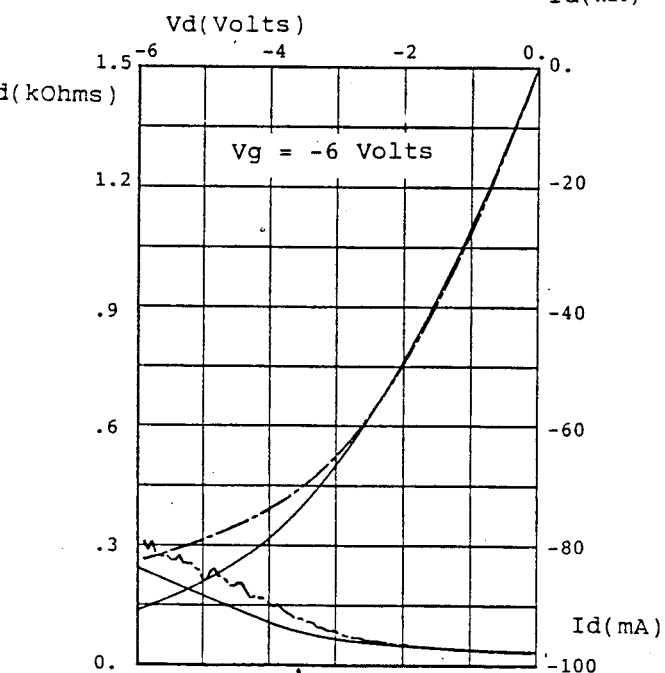
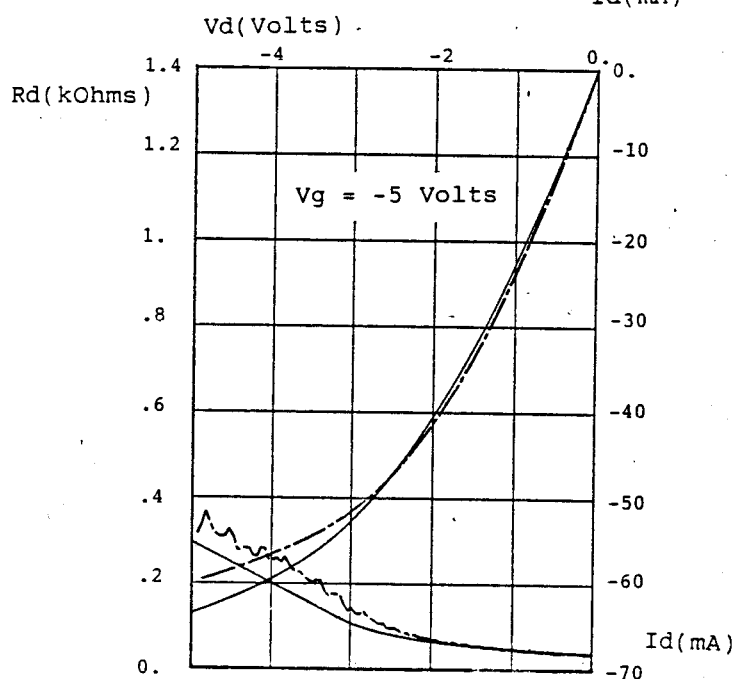
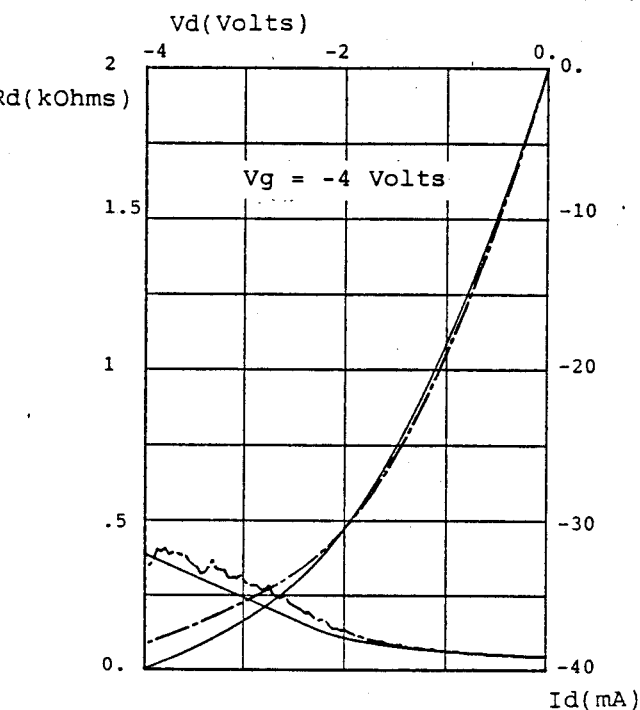
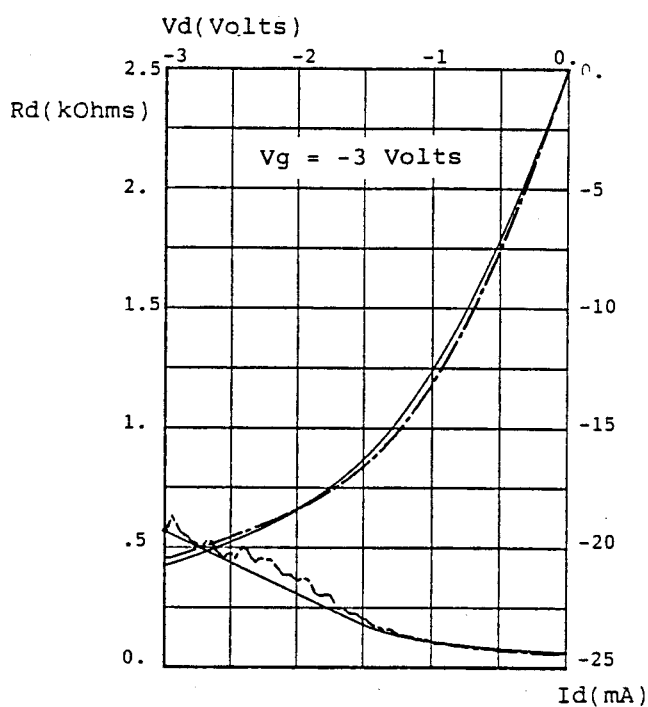
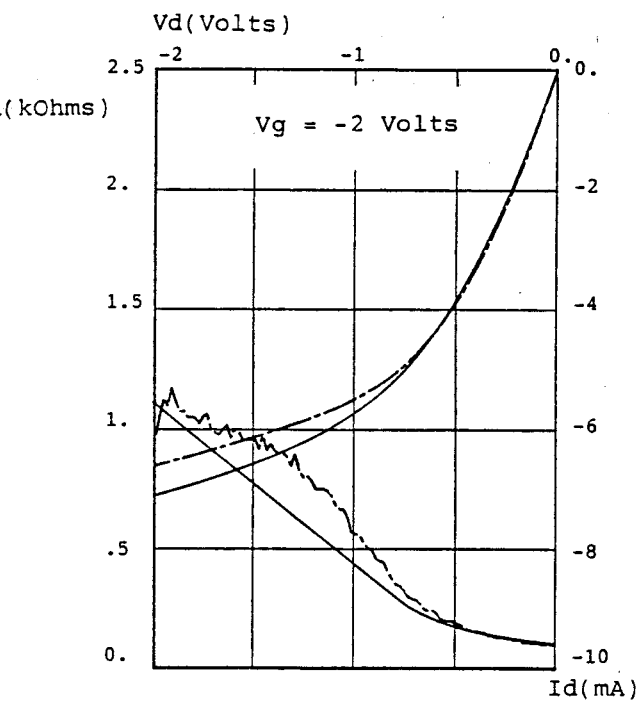


planche IV.5: courant drain et résistance dynamique du canal P d'un 74HCU04 (C2)

--- : courbes expérimentales

— : modélisation

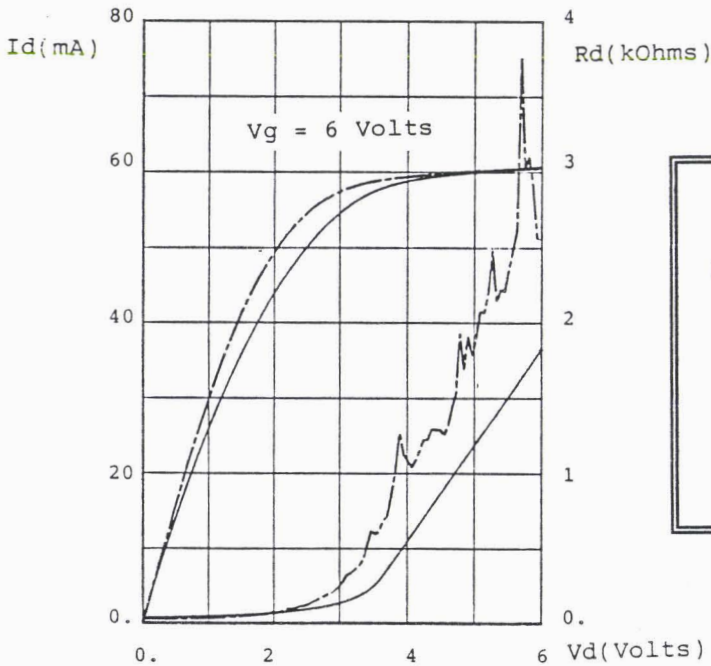
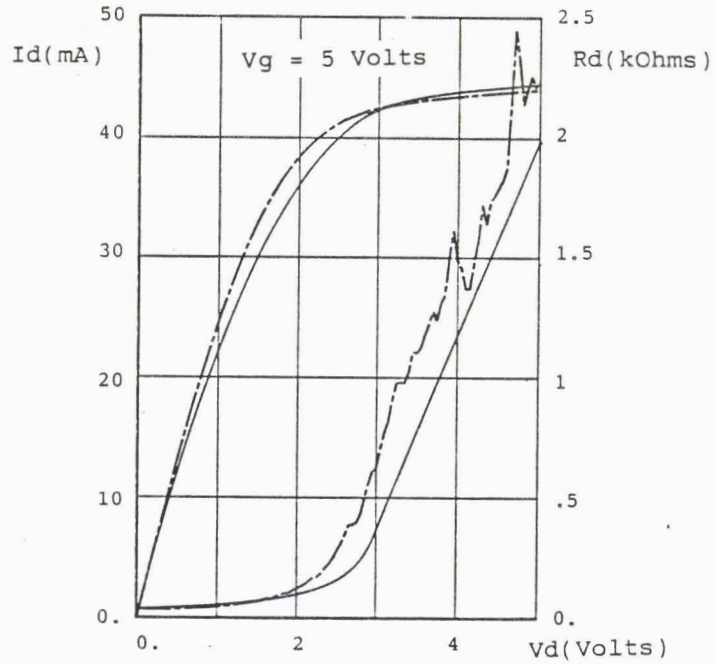
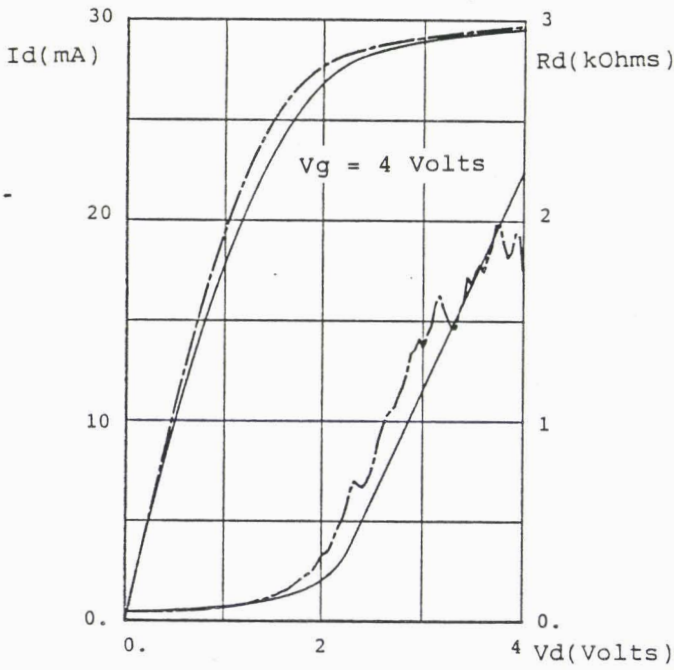
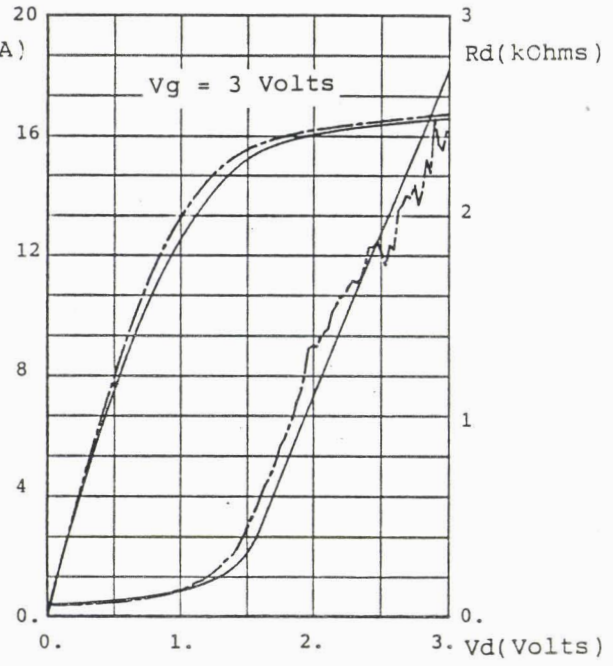
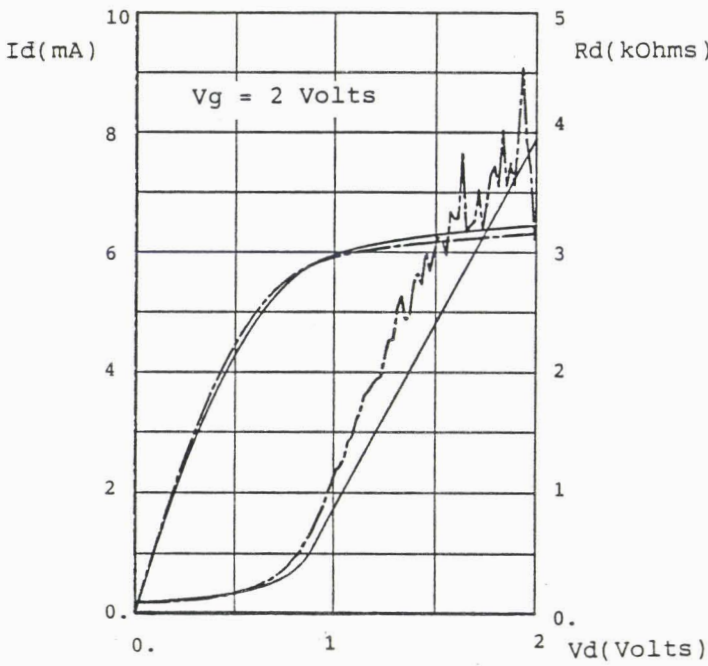


planche IV.6: courant drain et résistance dynamique du canal N d'un 74HC04 (C4)

--- : courbes expérimentales
 — : modélisation

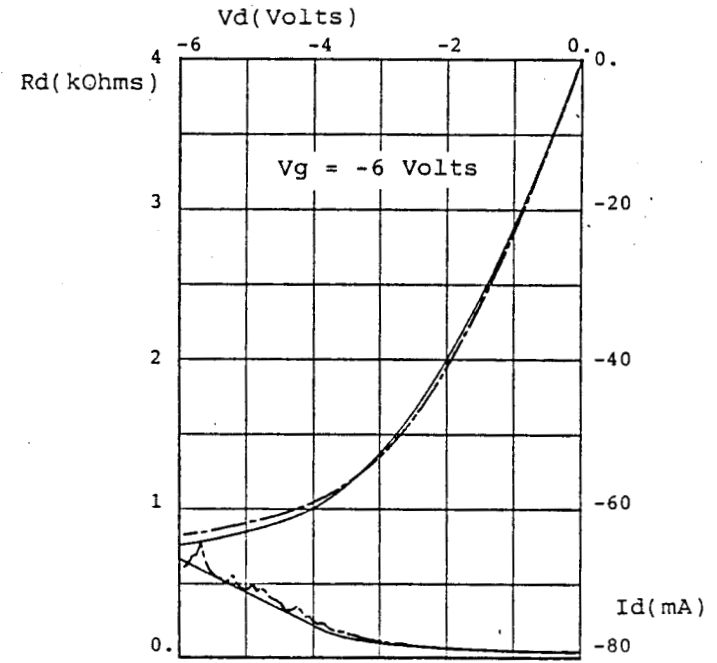
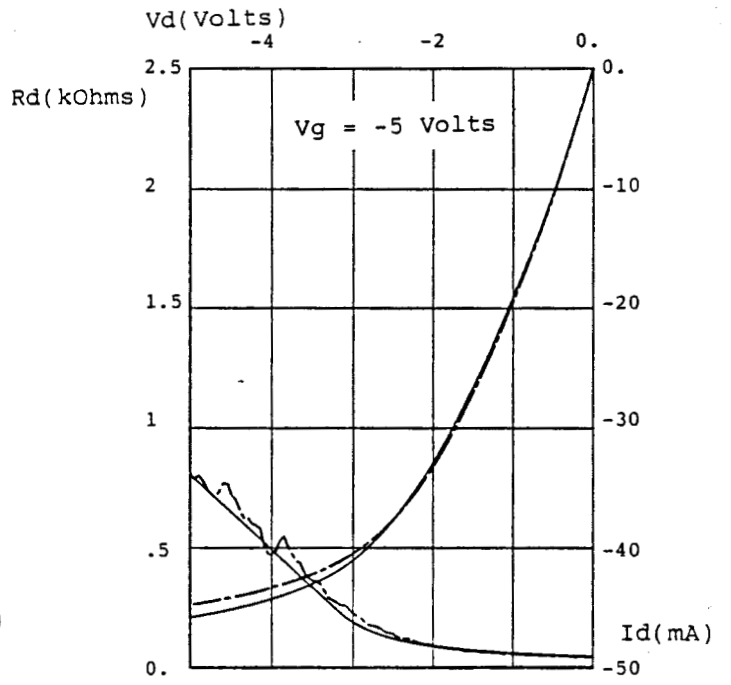
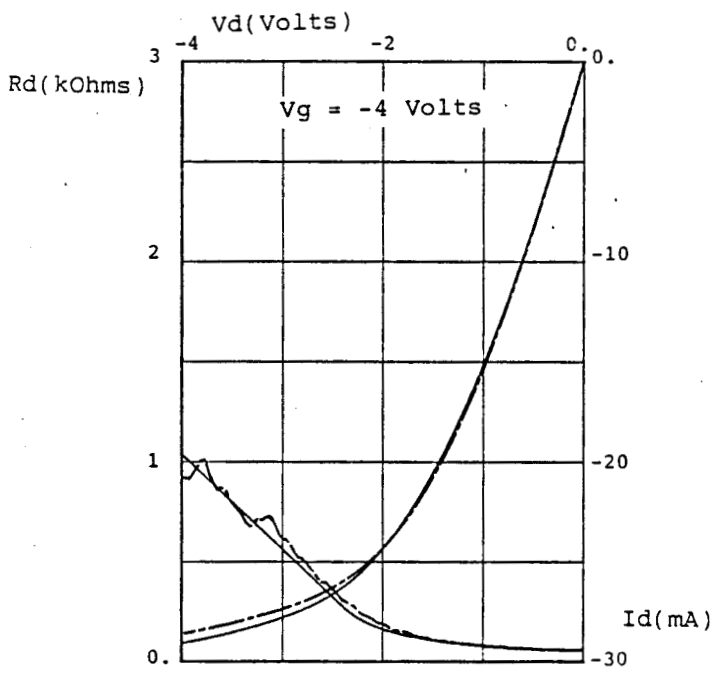
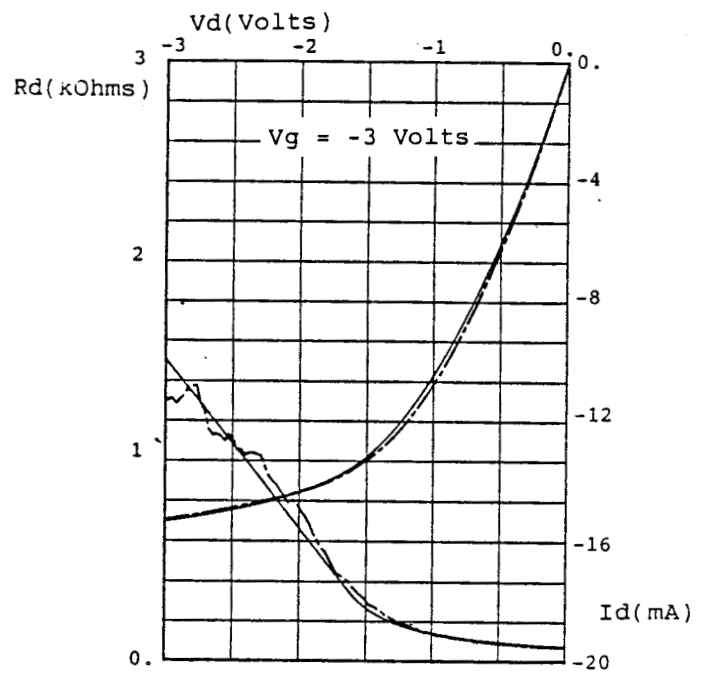
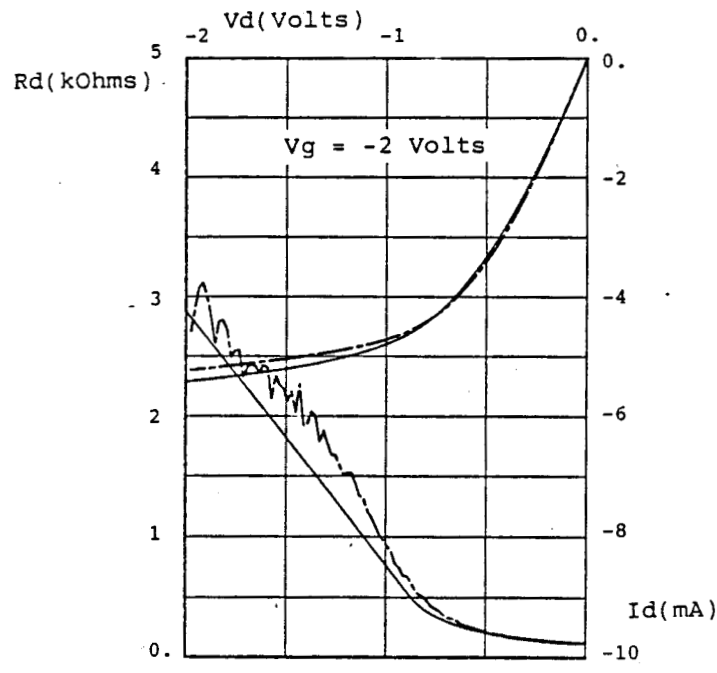


planche IV.7: courant drain et résistance dynamique du canal P d'un 74HC04 (C4)

--- : courbes expérimentales

— : modélisation

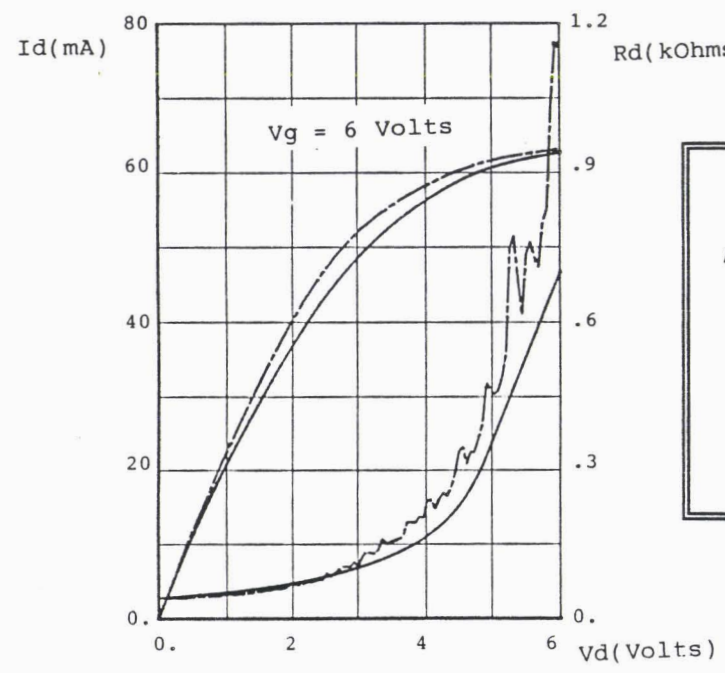
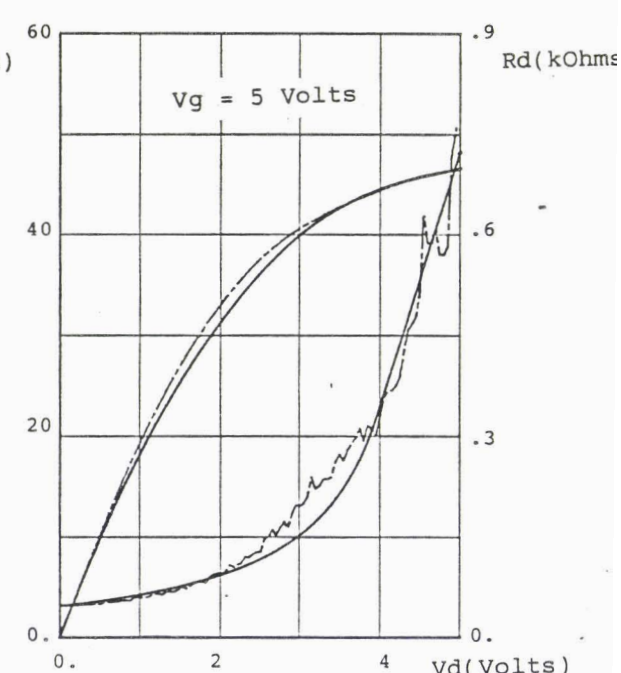
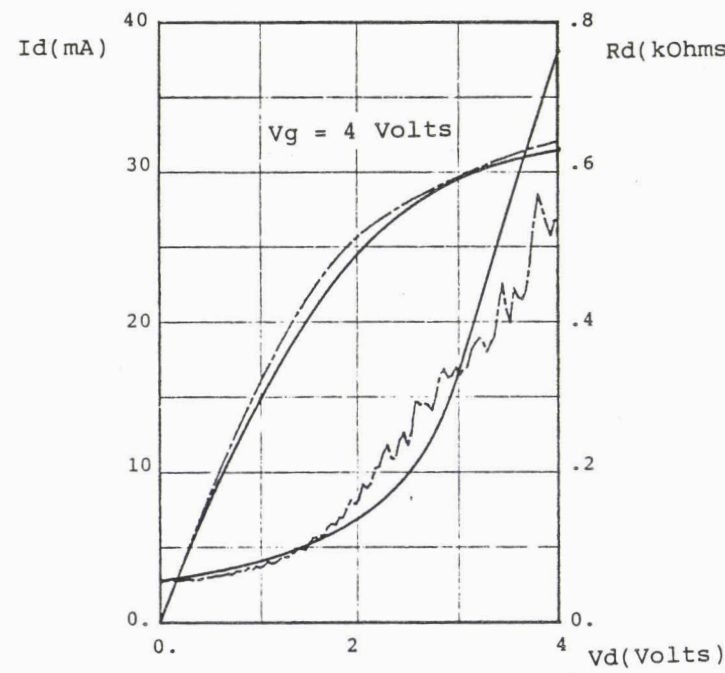
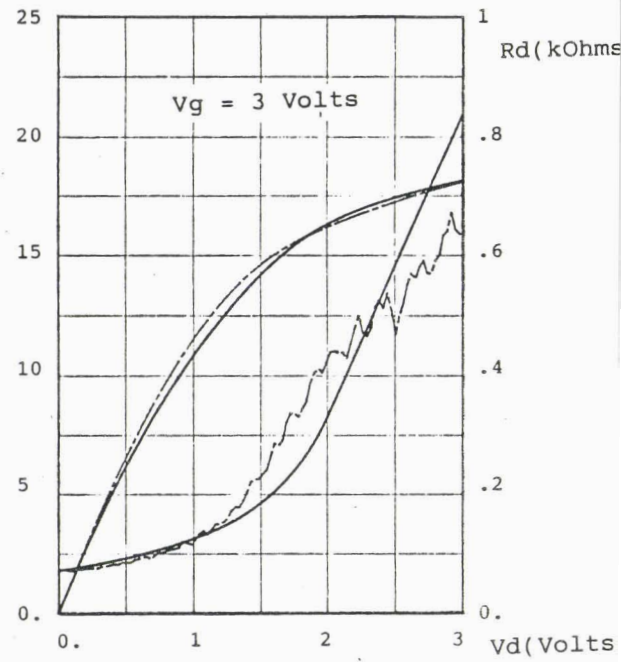
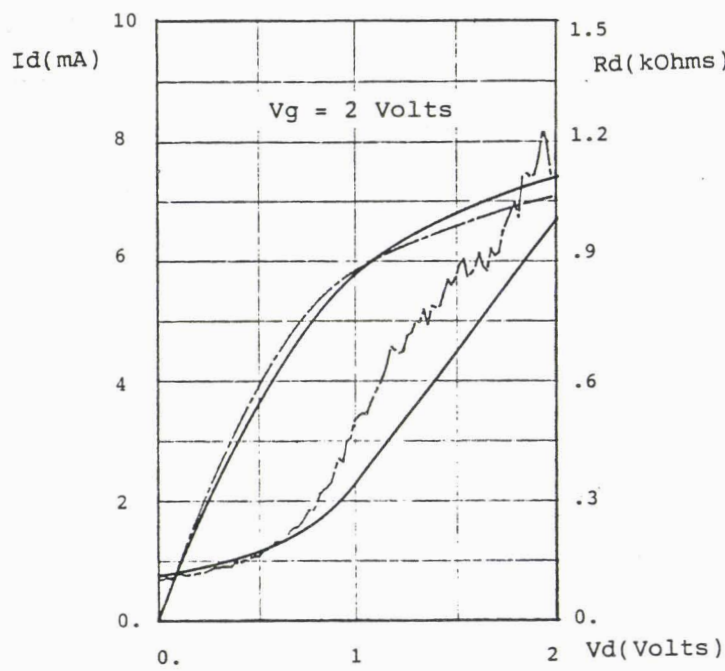


planche IV.8: courant drain et résistance dynamique du canal N d'un 74HC04 (C3)

--- : courbes expérimentales
 — : modélisation

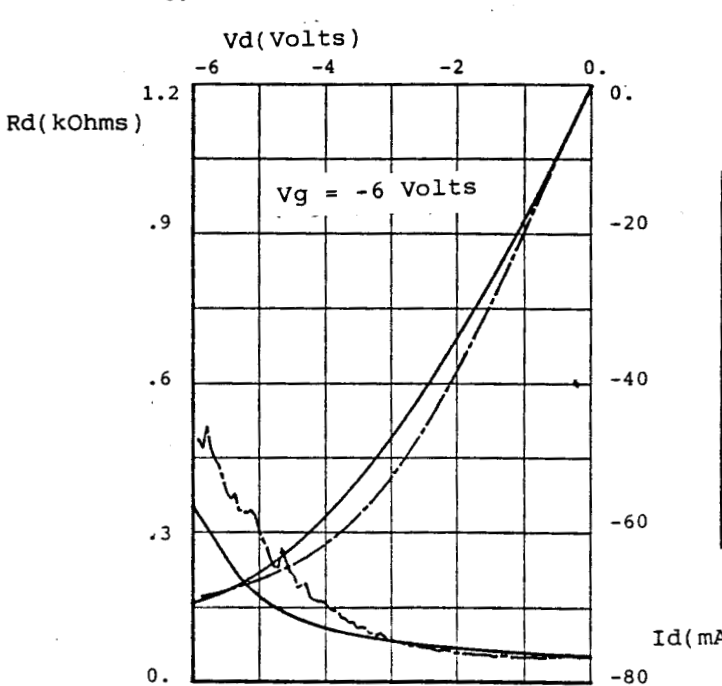
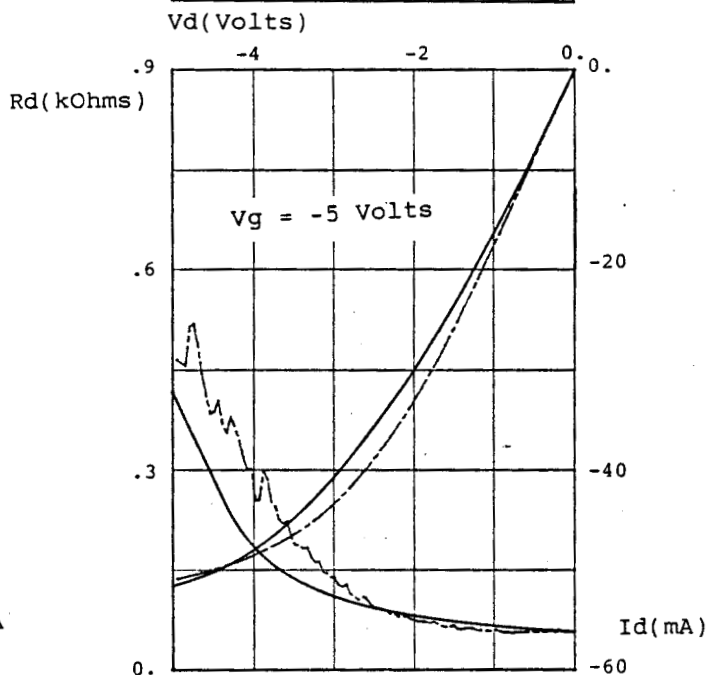
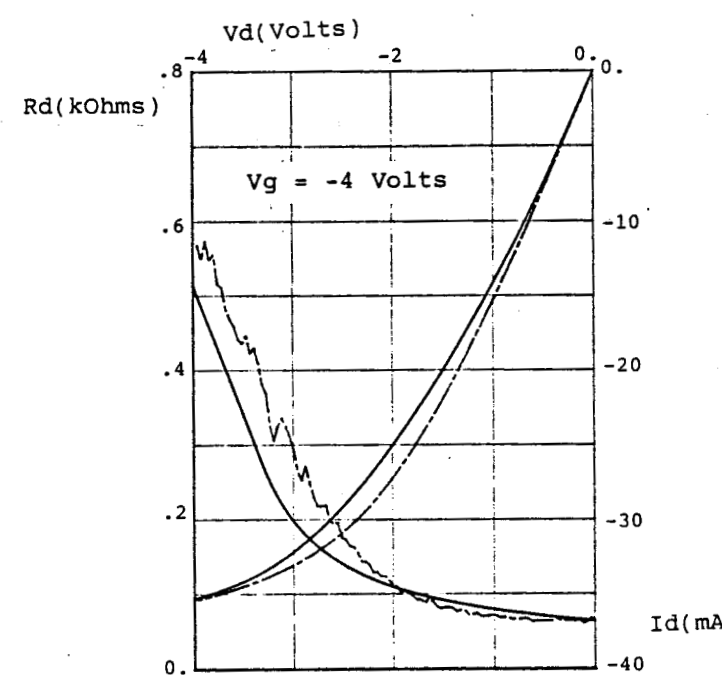
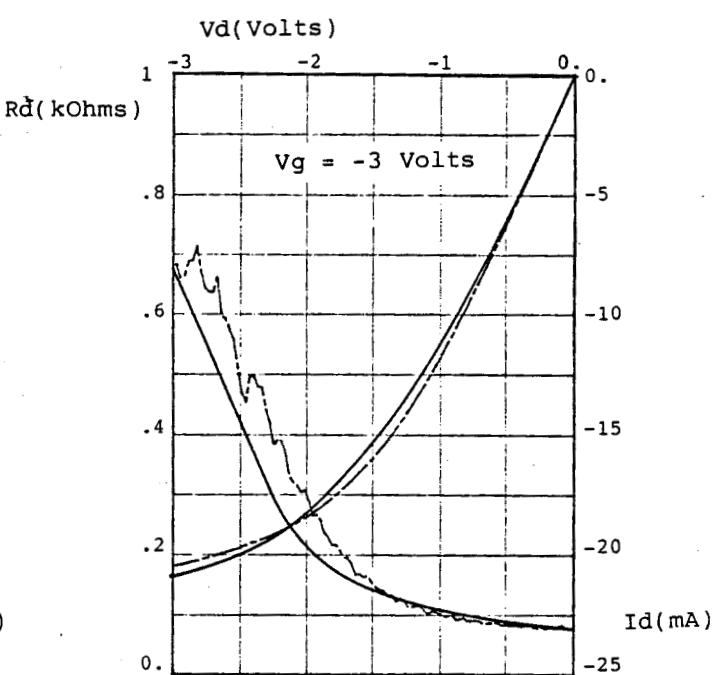
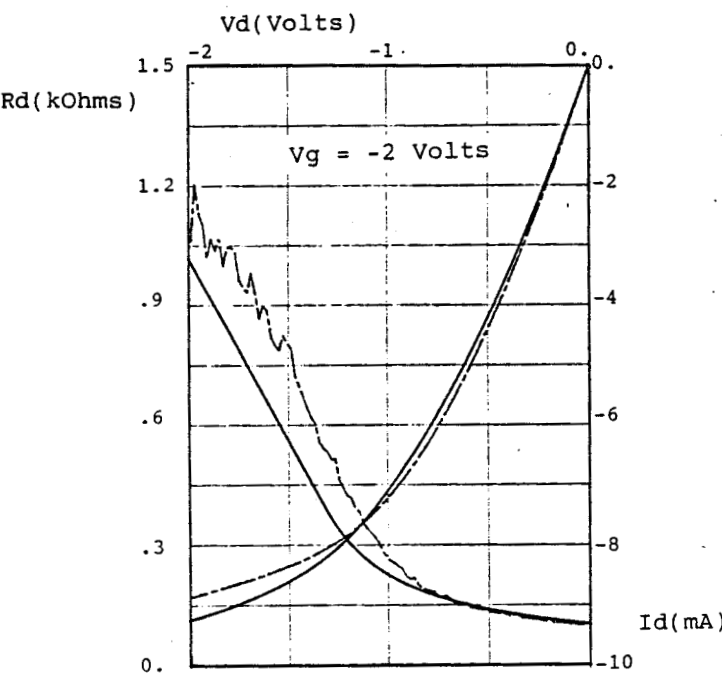


planche IV.9: courant drain et résistance dynamique du canal P d'un 74HC04 (C3)

--- : courbes expérimentales

— : modélisation

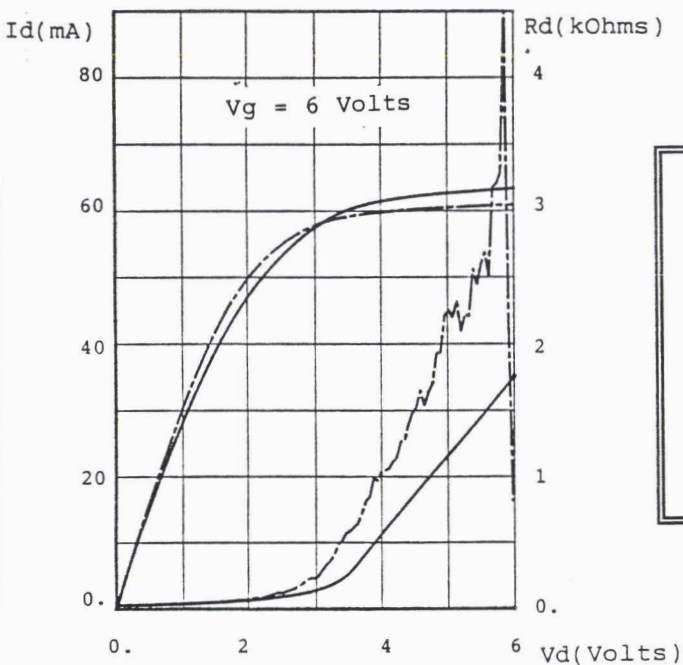
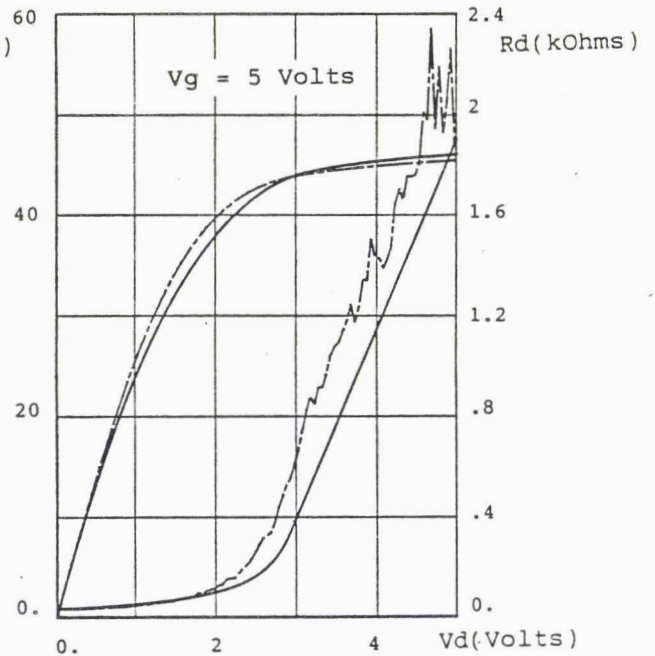
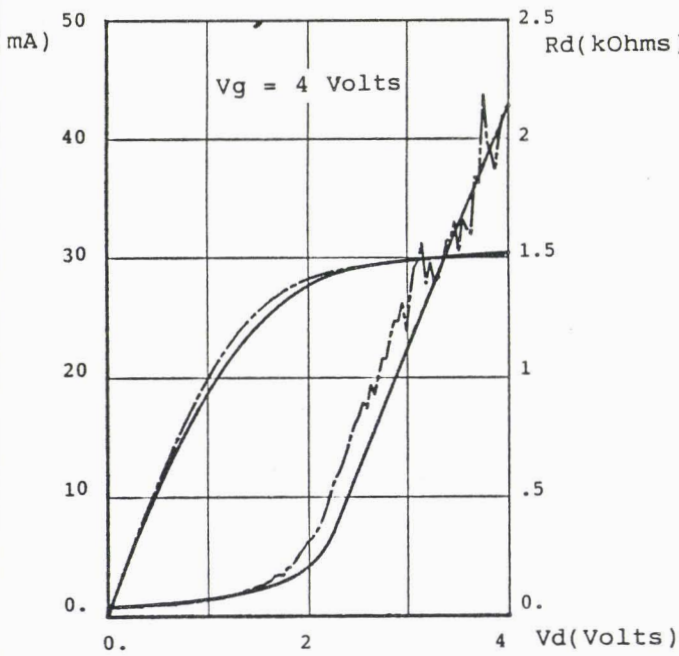
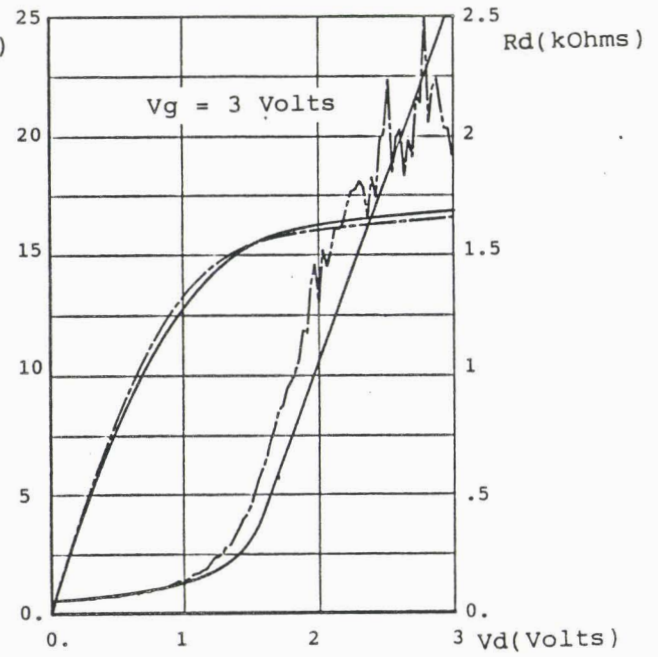
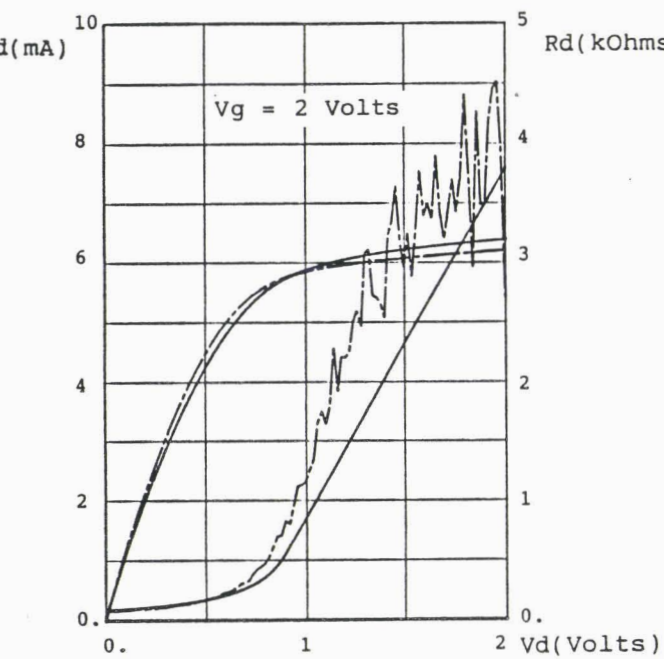
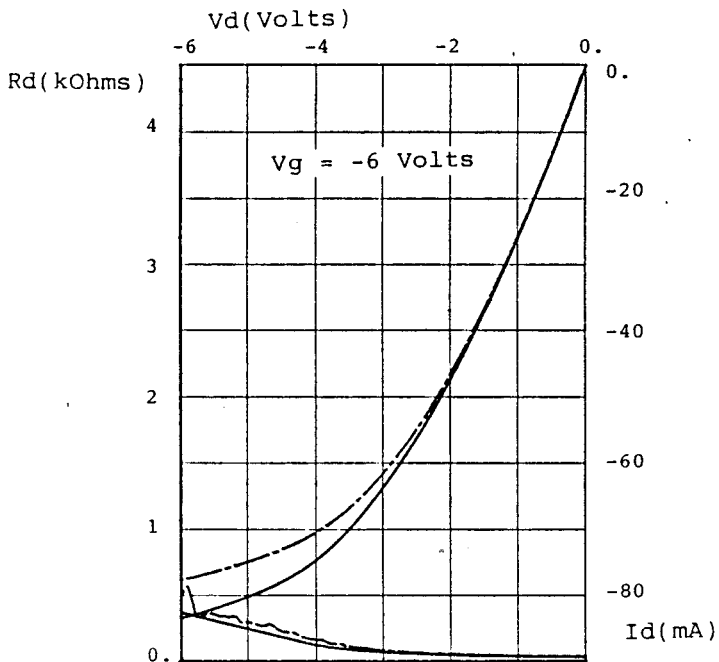
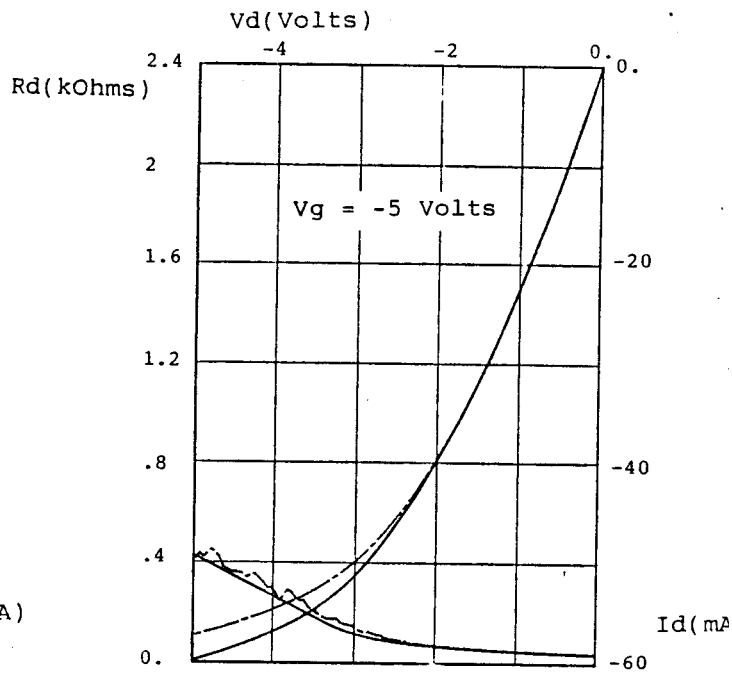
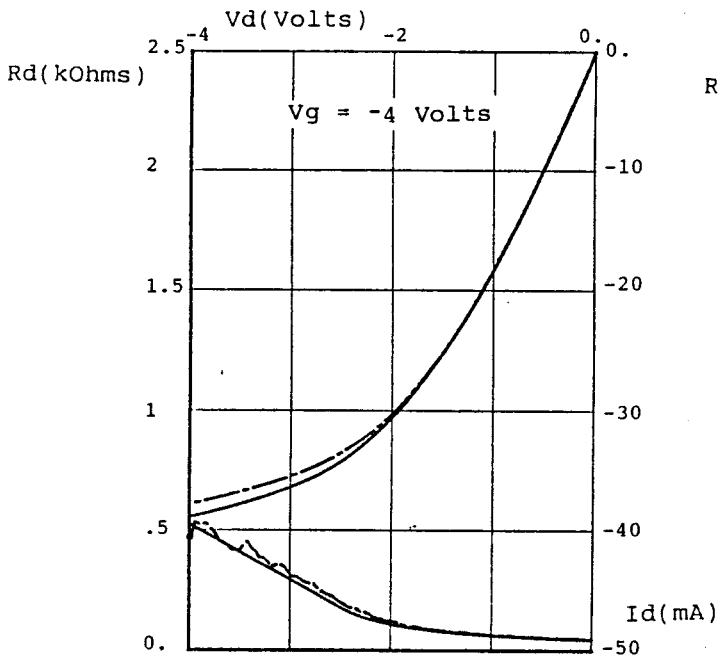
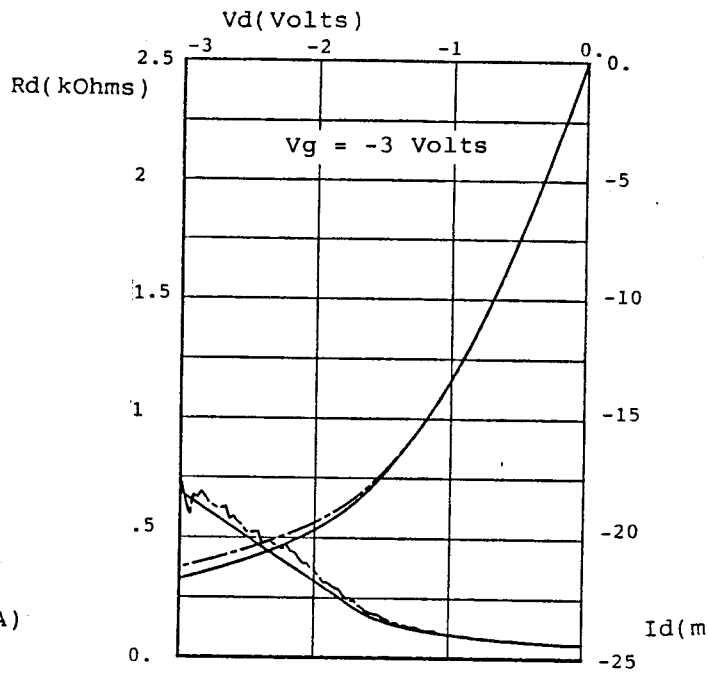
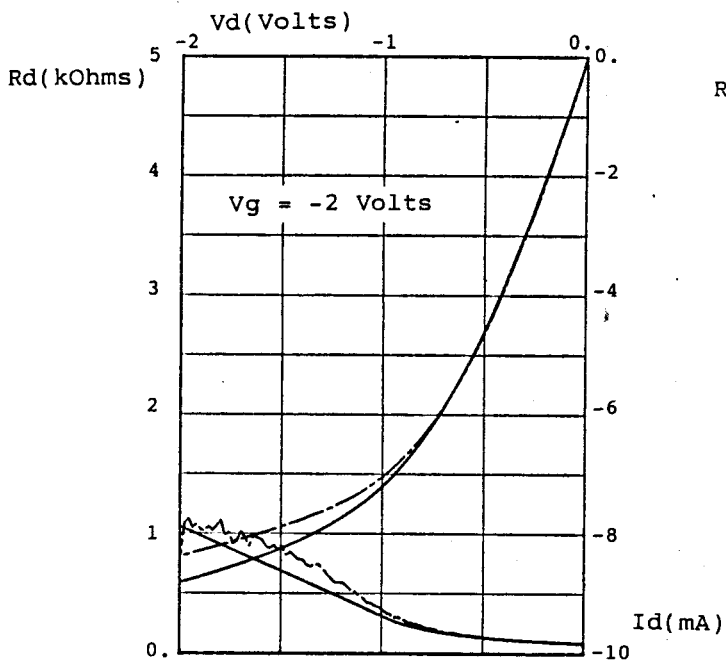


planche IV.10: courant drain et résistance dynamique du canal N d'un 74HC04 (C1)

--- : courbes expérimentales
 — : modélisation



*planche IV.11: courant drain et
résistance dynamique du canal P
d'un 74HC04 (C1)*

--- : courbes expérimentales

— : modélisation

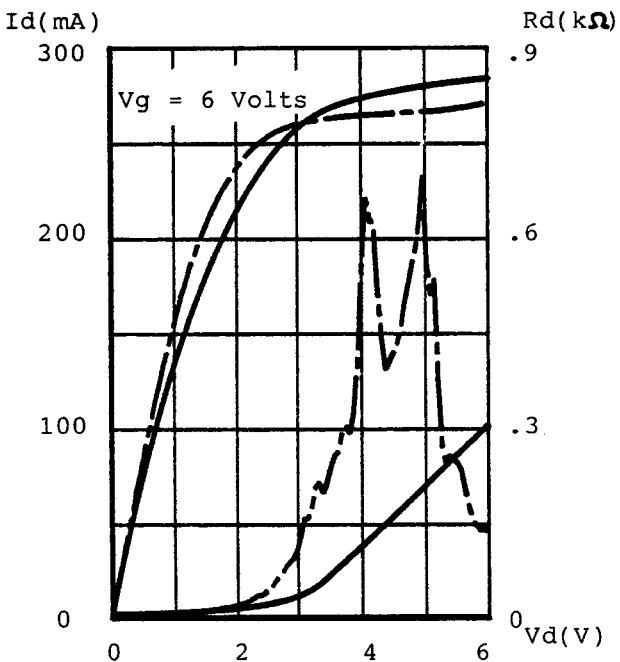
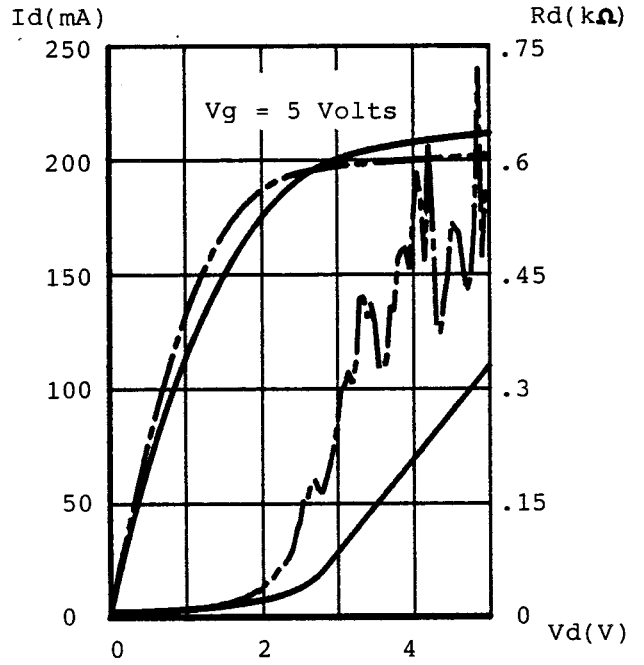
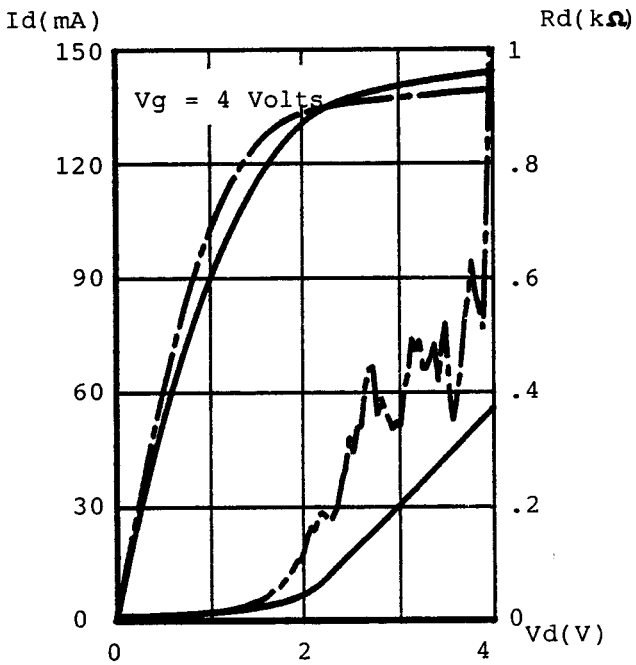
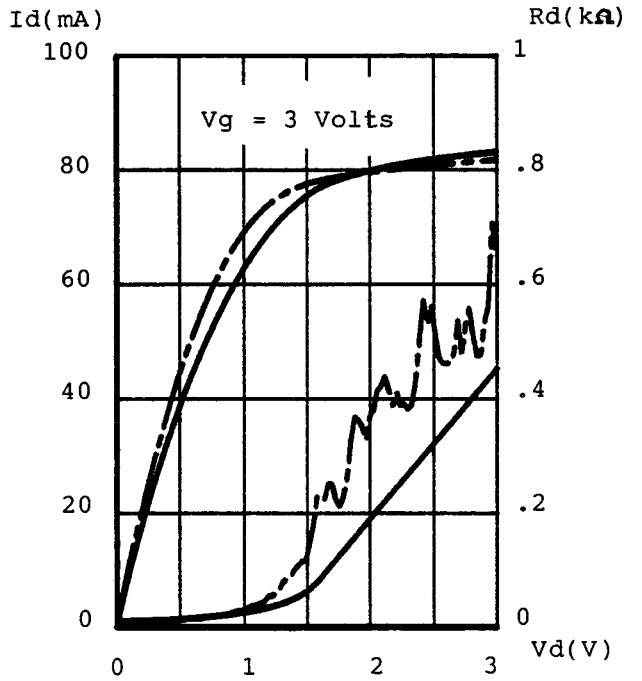
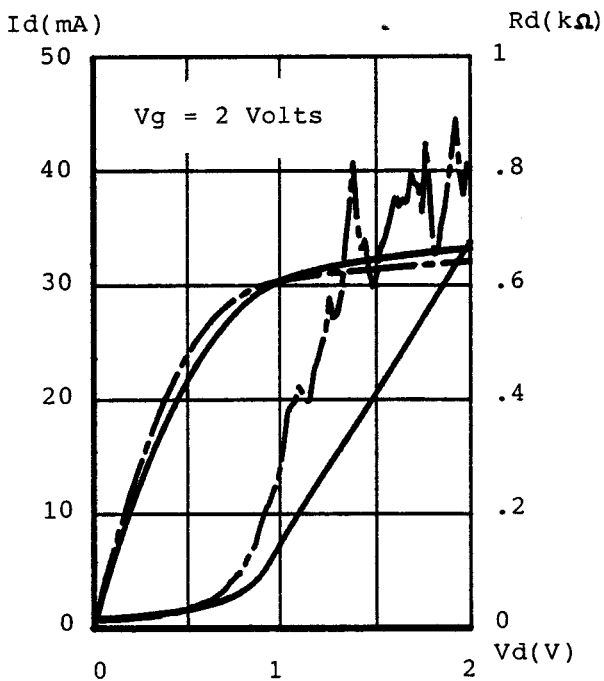


planche IV.12: courant drain et résistance dynamique du canal N d'un 74AC04 (C1)

---- : courbes expérimentales

— : modélisation

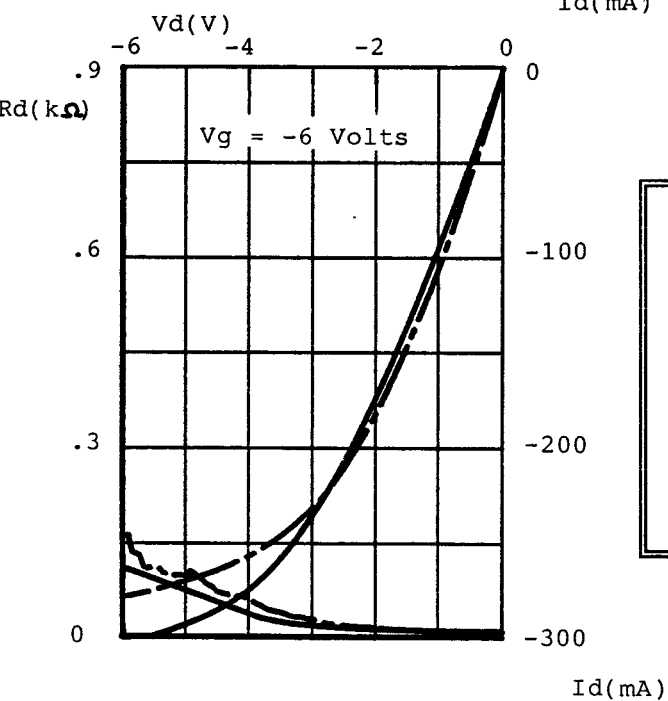
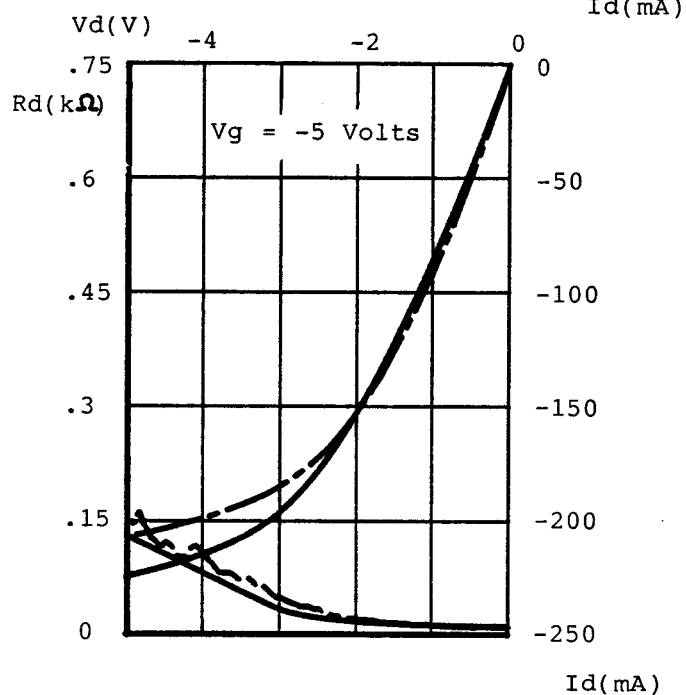
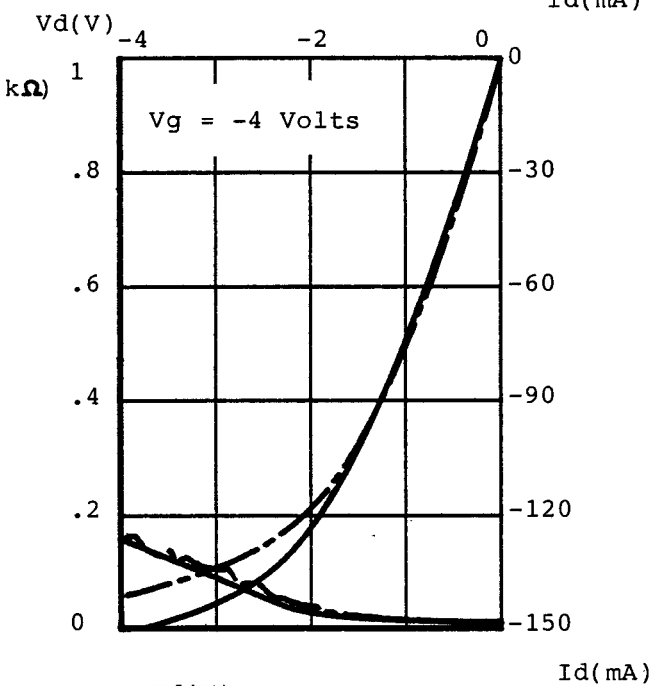
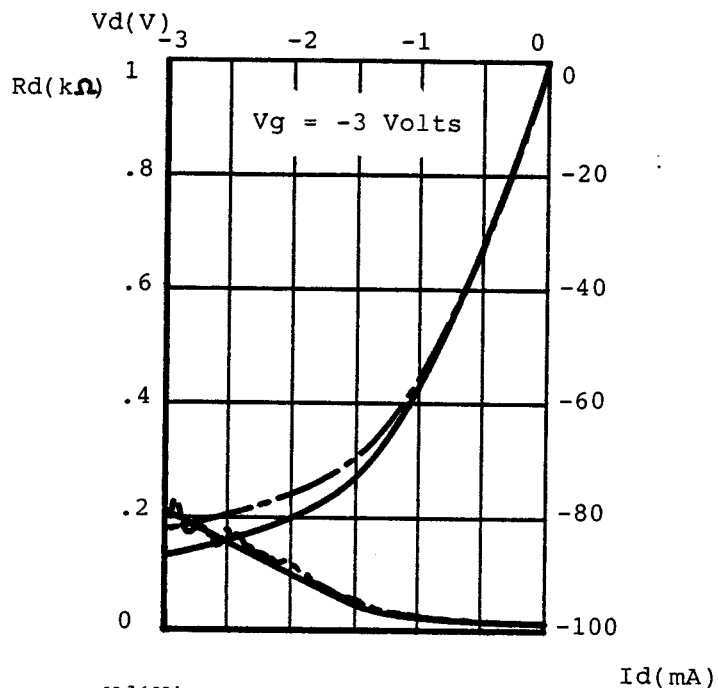
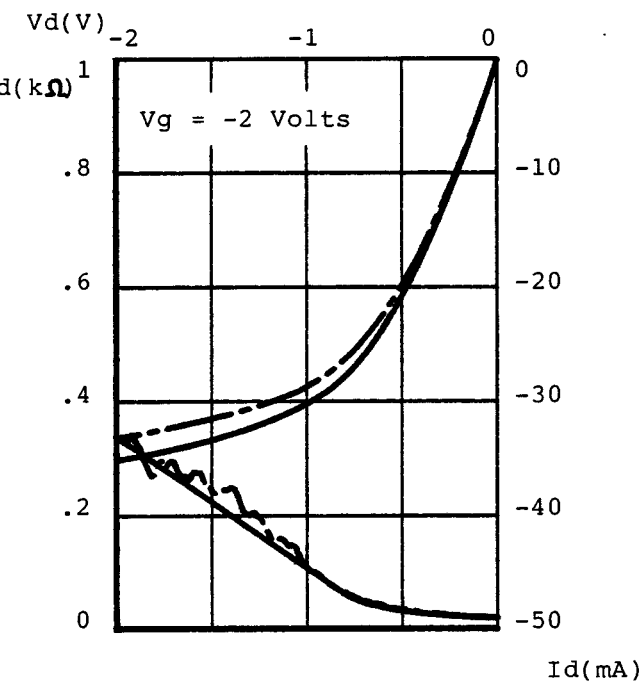


planche IV.13: courant drain et résistance dynamique du canal P d'un 74AC04 (C1)

---- : courbes expérimentales
 — : modélisation

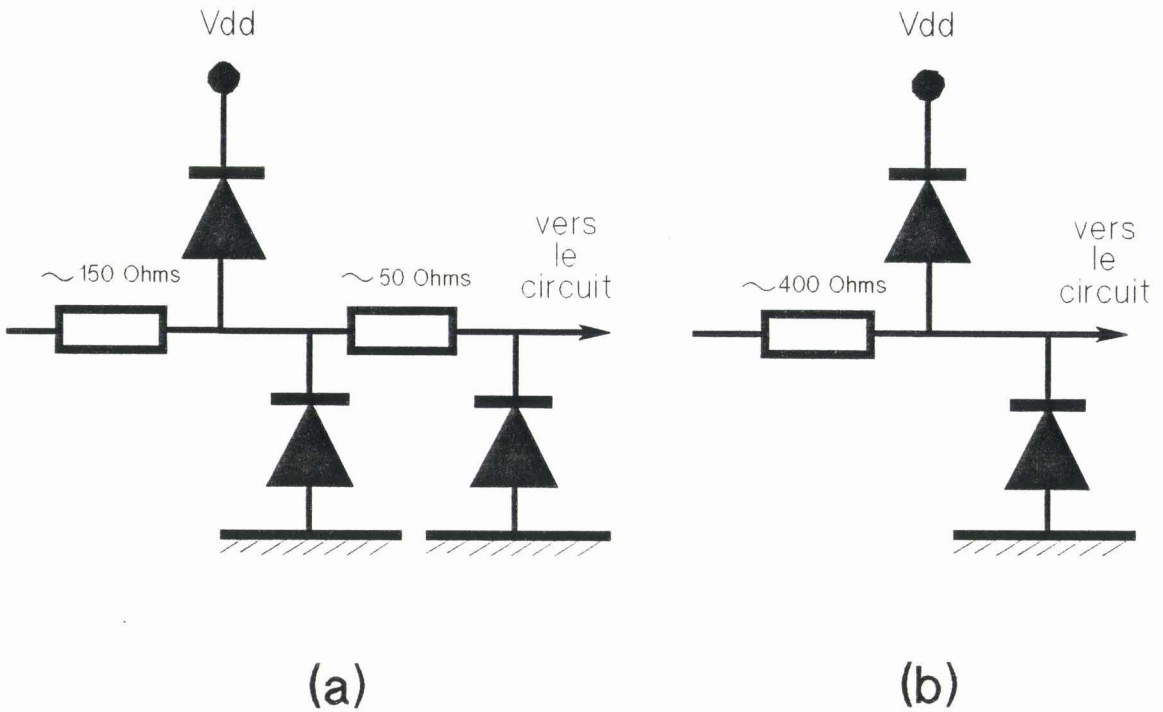


Figure IV.5 Dispositif de protection en entrée d'un circuit intégré de la famille HCMOS (a) et CMOS (b).

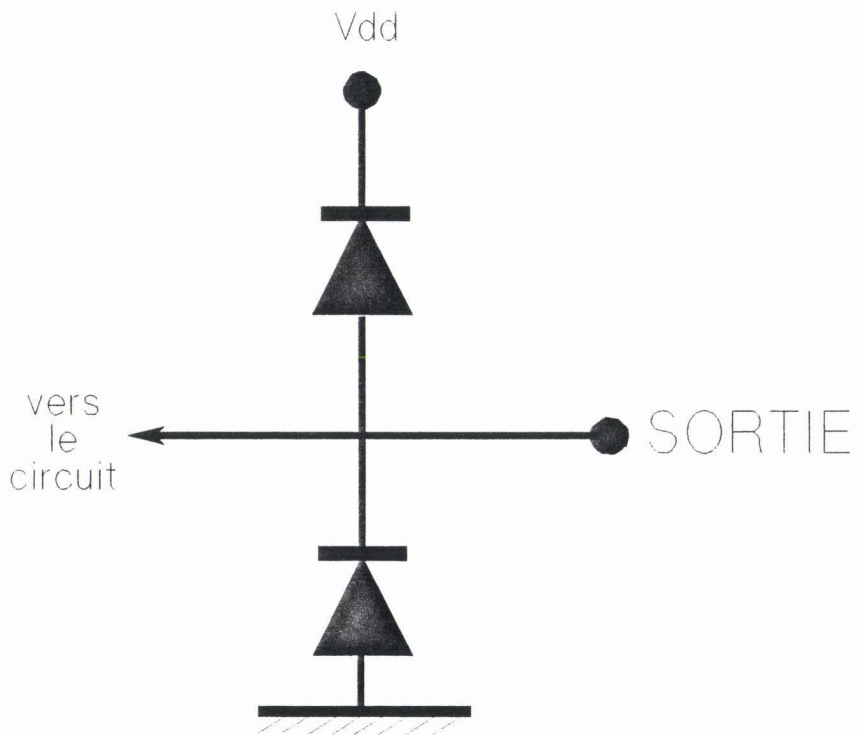


Figure IV.6 Dispositif de protection en sortie d'un circuit intégré de la technologie CMOS.

- Les dispositifs de protection, ajoutés par les constructeurs en entrée (*figure IV.5*) et en sortie (*figure IV.6*) des circuits intégrés limitent les plages de variations des tensions grilles ($0 \leq |V_g| \leq V_{dd}$) et drains ($0 \leq |V_d| \leq V_{dd}$). Par conséquent la modélisation est correcte dans ces zones d'utilisation du composant. Elle n'est donc plus réaliste pour des grandeurs situées en dehors. Dans ce cas, il est nécessaire de prendre en compte le rôle de redressement joué par les diodes qui dérivent le courant.

IV.2.4 Comparaison des caractéristiques de sortie de deux composants issus du même constructeur et du même lot de fabrication

Les caractéristiques de sortie de deux composants, réalisant la même fonction mais issus de deux constructeurs peuvent présenter des différences notoires pour une tension grille donnée. Nous pouvons citer l'exemple des *Planches IV.6 et IV.8* où nous ne voyons pas un comportement similaire des deux MOS en zone de saturation et donc une évolution plus lente de l'augmentation de la résistance dynamique du MOS du manufacturier C3.

Dans une carte électronique, les circuits intégrés d'une même fonction proviennent généralement d'un même lot de fabrication. C'est pourquoi nous avons fourni au *paragraphe IV.2.2* les paramètres mesurés sur deux inverseurs répondant à cette condition. Nous avons reporté sur les *Planches IV.14 et IV.15* les caractéristiques de sortie des deux MOS pour les valeurs 2 Volts et 5 Volts de la tension d'alimentation. Nous constatons de fortes similitudes en ce qui concerne les variations de I_d et R_d ce qui nous amène à penser que le comportement global de ces deux composants sera identique. Dès lors la connaissance des caractéristiques intrinsèques d'un circuit permet une extrapolation aux autres circuits utilisant des étages CMOS à la condition qu'ils proviennent du même lot de fabrication.

IV.2.5 Prévision du comportement de circuits intégrés CMOS agressés par leur sortie

Nous avons étudié expérimentalement au chapitre 1 de notre thèse le comportement de quelques circuits intégrés de la technologie CMOS agressés par un courant perturbateur appliqué sur leur sortie. Nous avons constaté qu'un régime permanent s'établissait immédiatement contrairement aux réponses des familles TTL. Dès lors notre modèle, qui ne prend en compte que l'aspect statique et néglige

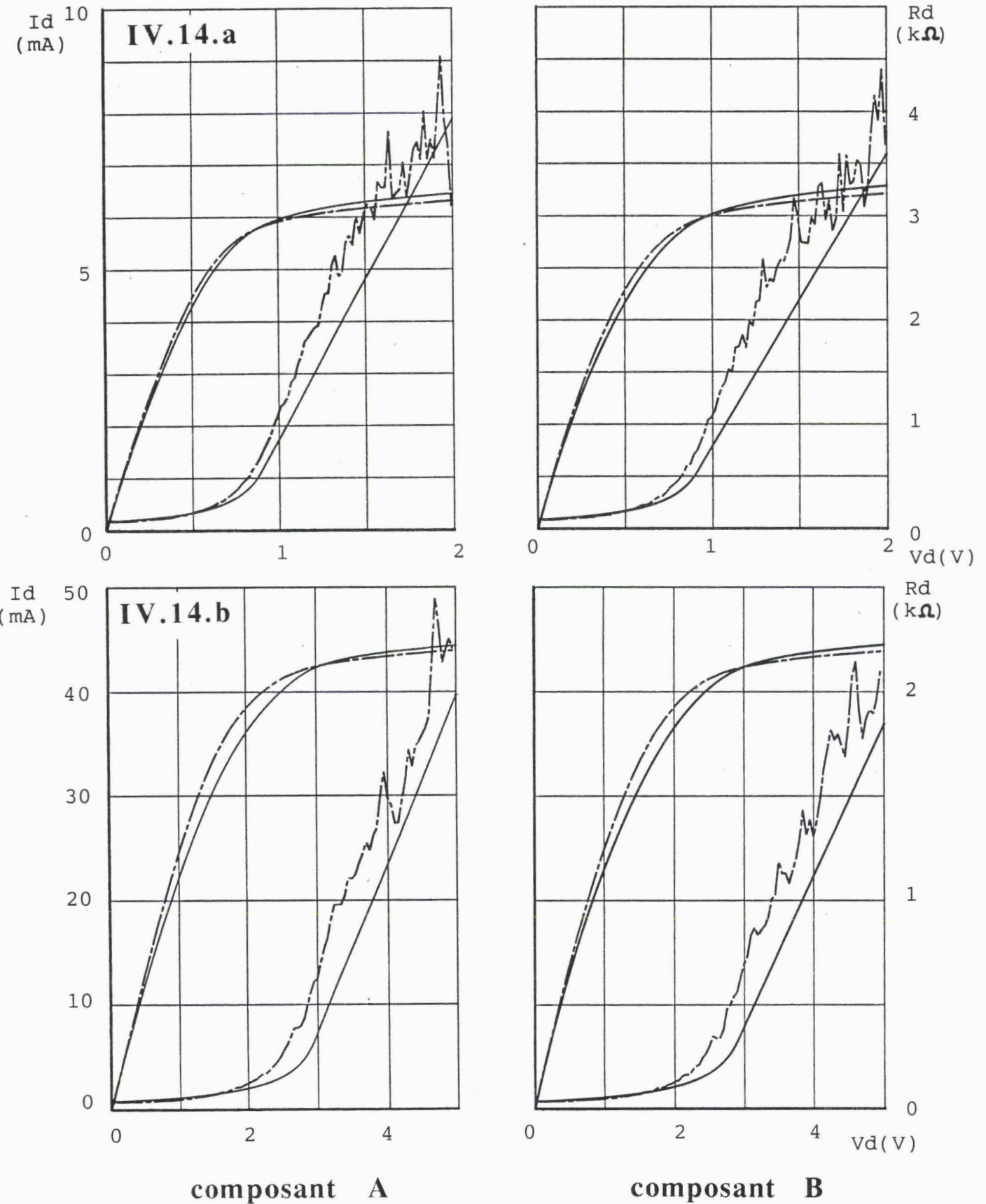
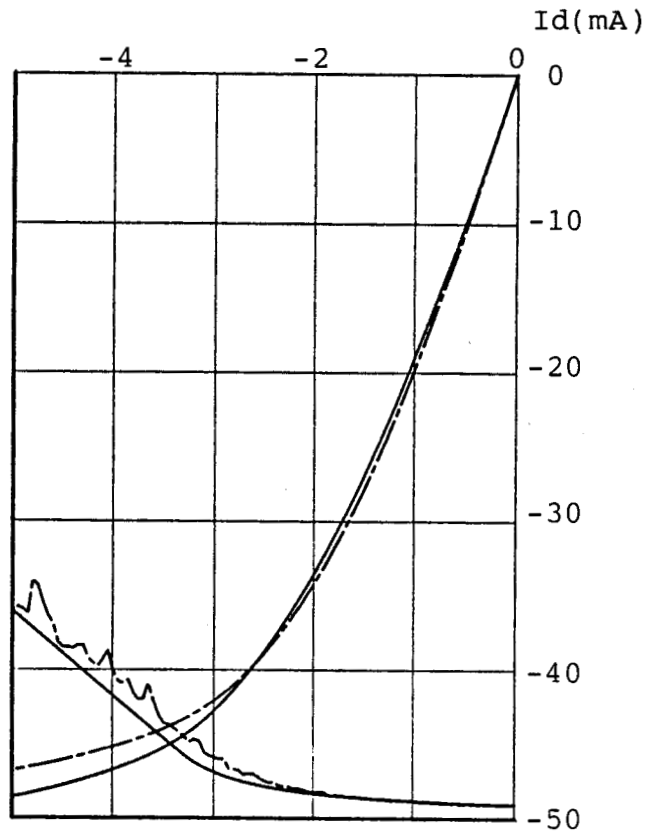
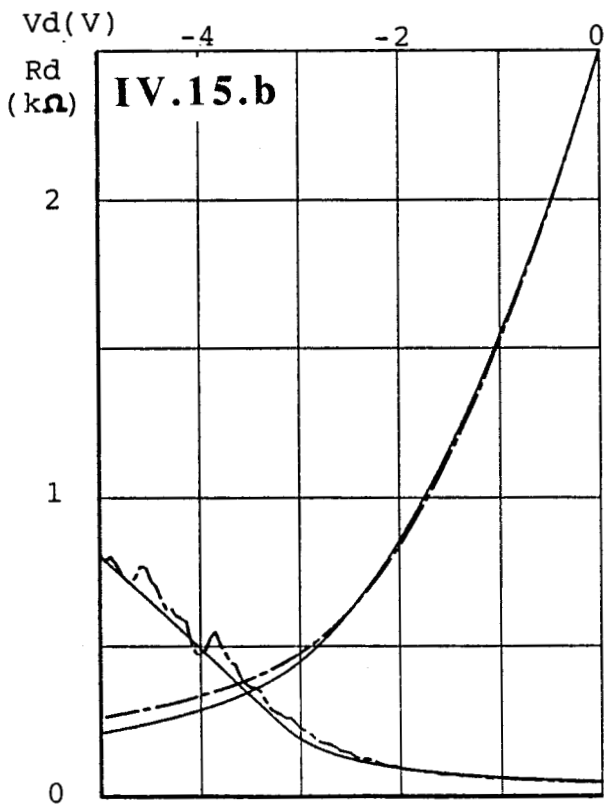
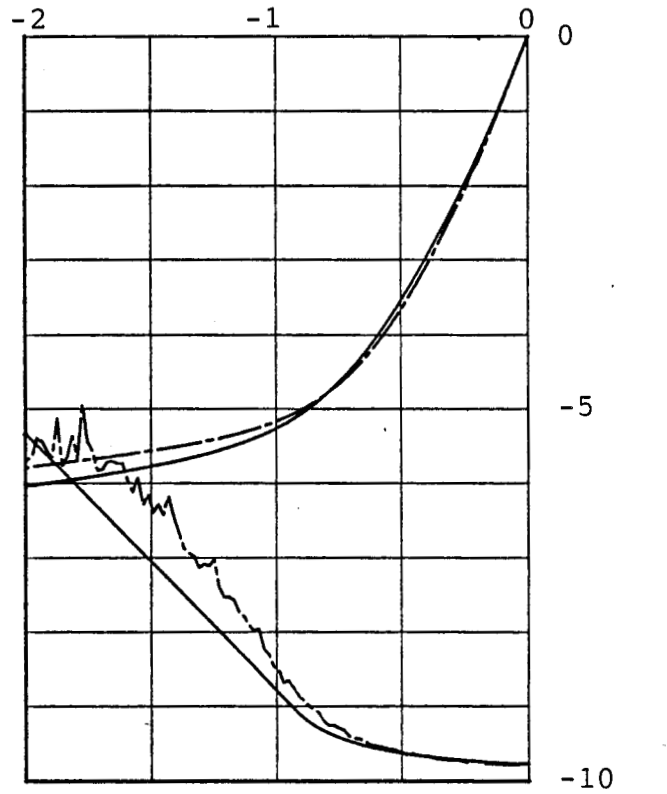
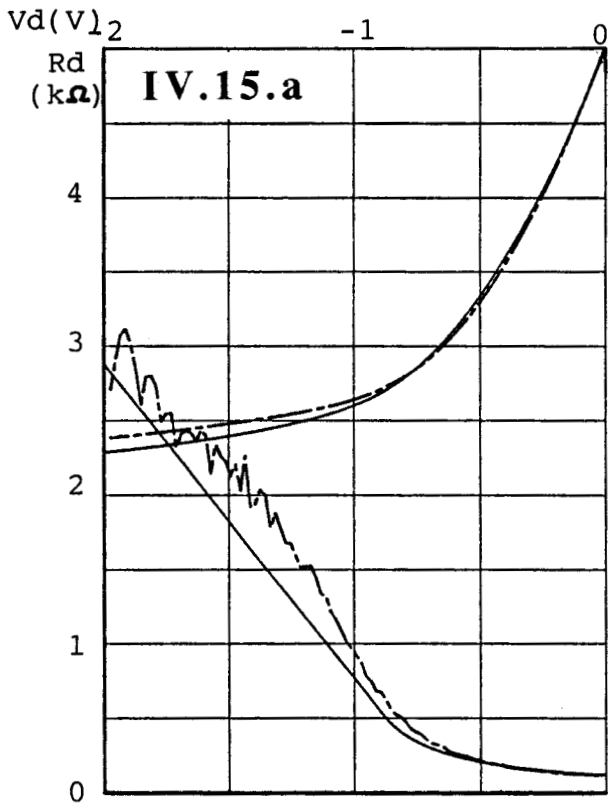


Planche IV.14 Caractéristiques de sortie du MOS canal N de deux inverseurs 74HC04 (C4)
 IV.14.a : tension grille à 2 Volts
 IV.14.b : tension grille à 5 Volts.



composant A

composant B

Planche IV.15 Caractéristiques de sortie du MOS canal P
de deux inverseurs 74HC04 (C4)
IV.15.a : tension grille à -2 Volts
IV.15.b : tension grille à -5 Volts.

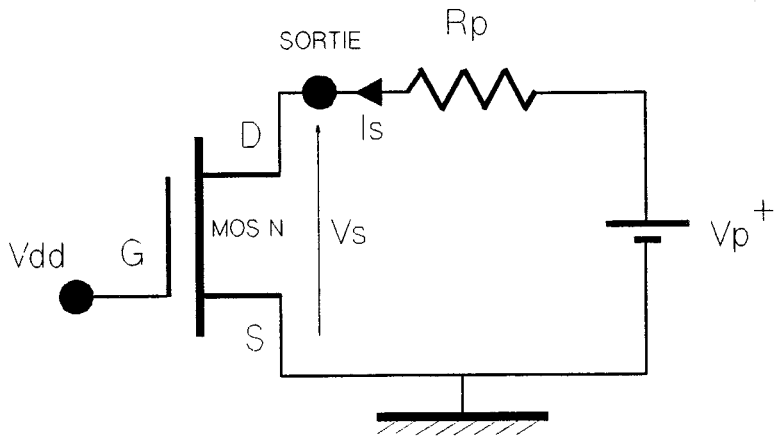


Figure IV.7 : Schéma équivalent de la sortie à l'état bas d'un inverseur CMOS.

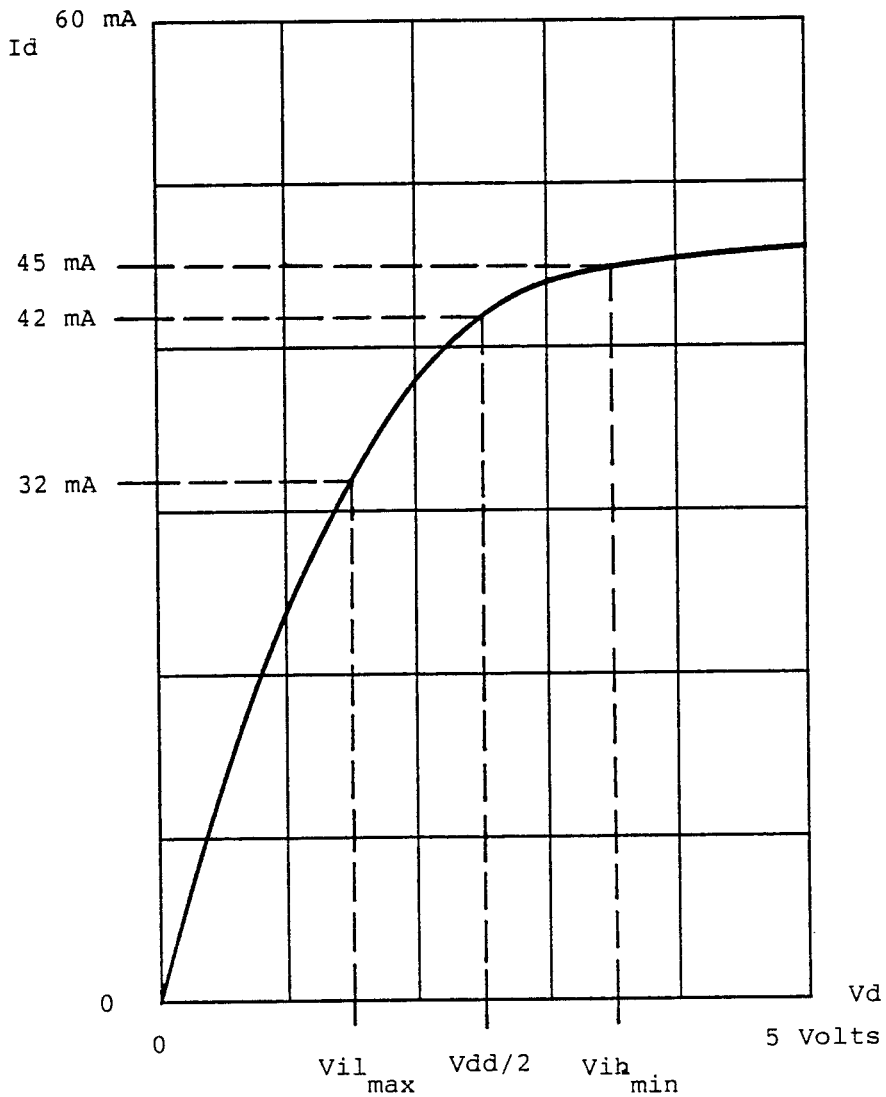


Figure IV.8 : Prévisions du comportement de l'inverseur 74HC04 (C1) dont la sortie, initialement à l'état bas, serait agressée par une injection de courant.

tout phénomène transitoire (dû à des capacités intrinsèques par exemple) convient parfaitement pour prévoir les conséquences d'un signal perturbateur appliqué sur la sortie à un état figé (0 ou 1) d'un composant CMOS logique (cette conclusion est peut être différente dans le cas de MOS de puissance).

IV.2.5a Sortie à l'état bas

Le schéma de la *figure IV.7* fournit le modèle équivalent de la sortie à l'état bas d'un inverseur de la technologie CMOS lorsque celui-ci est agressé comme nous l'avons envisagé au chapitre 1. Le MOS canal P est bloqué (sa grille est au potentiel 0) seul le MOS canal N conduit.

Notre modèle fournit la relation liant la tension drain au courant drain du MOS N dont le canal est ouvert grâce à l'application de la tension grille égale à la tension d'entrée :

$$I_{dn} = f_n(V_{dn}) \quad \text{à} \quad V_{gn} = V_{dd} \quad (\text{IV.18})$$

l'équation de la maille de sortie donne :

$$I_{dn} = \frac{V_{p^+} - V_{dn}}{R_p} \quad (\text{IV.19})$$

La résolution numérique du système d'équations constitué par les *expressions IV.18* et *IV.19* fournirait le courant perturbateur I_s entrant dans la sortie ainsi que le potentiel V_s que prendrait cette dernière.

D'une façon plus générale le modèle permet de prévoir le courant perturbateur I_s qui, injecté dans la sortie, élèverait le potentiel de celle-ci à V_s ou inversement V_s pour un courant perturbateur donné. A titre d'exemple nous avons reporté sur la *figure IV.8* la modélisation $I_{dn} = f_n(V_{dn})$ du MOS canal N de l'inverseur 74HC04 du constructeur noté C1 :

- pour $V_s = V_{il_{max}} = 1,5$ Volt
la courbe donne $I_{s_{mod}} = 32$ mA
et la valeur expérimentale vaut $I_{s_{exp}} = 33,7$ mA
(I_{s1} dans le *tableau I.3* du chapitre 1)

- pour $V_s = \frac{V_{dd}}{2} = 2,5$ Volt qui peut être considéré comme la tension de commutation théorique de la logique
la modélisation donne $I_{s_{mod}} = 42$ mA
et la valeur expérimentale vaut $I_{s_{exp}} = 41,6$ mA
(I_{s2} dans le *tableau I.3* du chapitre 1).

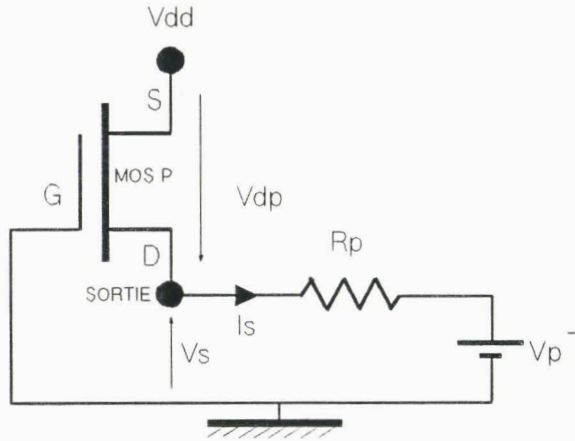


Figure IV.9: Schéma équivalent de la sortie à l'état haut d'un inverseur CMOS.

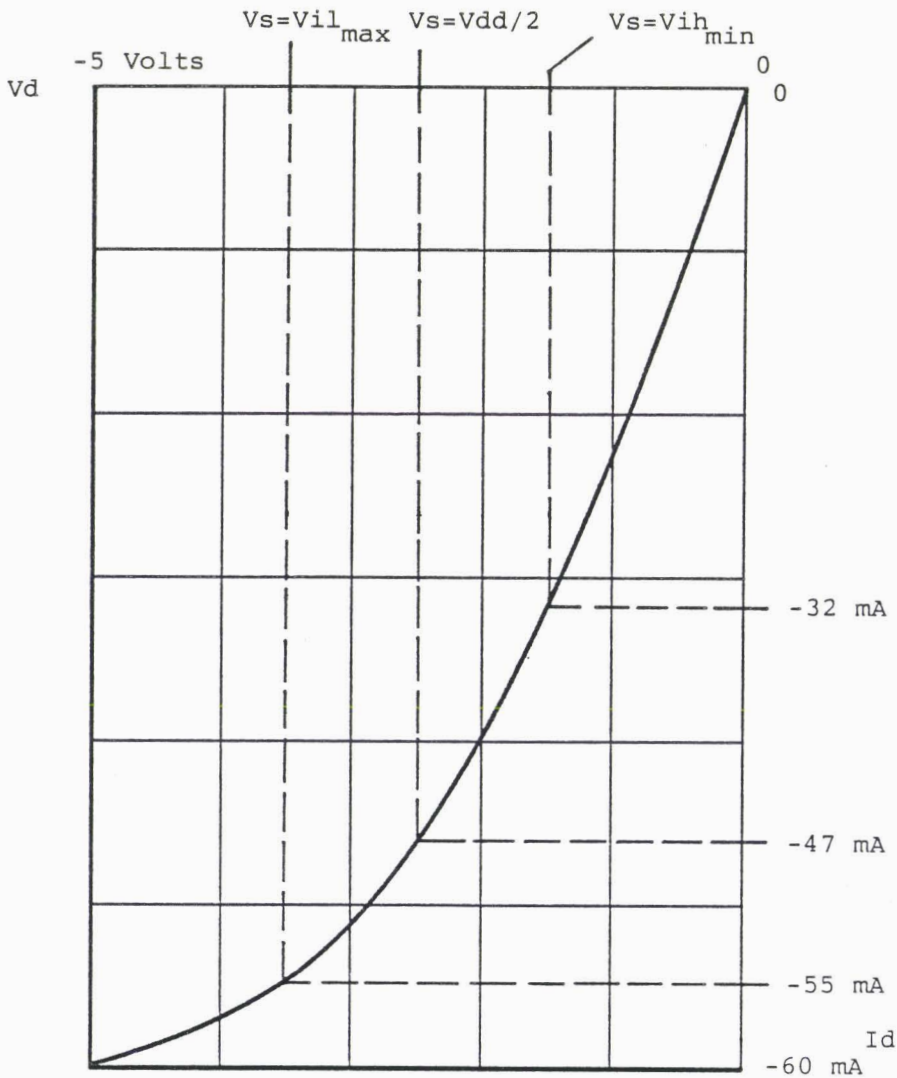


figure IV.10 Prévisions du comportement de l'inverseur 74HC04 (C1) dont la sortie, initialement à l'état haut, serait soumise à un appel de courant.

Nous voyons également que tout courant supérieur ou égal à 45 mA provoquerait inévitablement le passage à l'état haut de la sortie de ce composant (V_s serait alors supérieur à $V_{ih_{min}}$) et donc la commutation de toutes les logiques situées en aval.

IV.2.5b Sortie à l'état haut

Le schéma de la *Figure IV.9* ci-contre montre le schéma équivalent de la sortie à l'état haut d'un inverseur de la technologie CMOS. Dans ce cas, le MOS canal N est bloqué et le MOS canal P voit sa tension grille passer à $-V_{dd}$. A la relation liant le courant drain à la tension drain, il faut ajouter celle liant la tension drain à la tension de sortie V_s :

$$\left\{ \begin{array}{l} I_{dp} = f_p(V_{dp}) \text{ à } V_{gp} = -V_{dd} \\ V_{dp} = V_s - V_{dd} \end{array} \right. \quad (IV.20)$$

l'équation de la maille de sortie donne :

$$I_{dp} = \frac{V_s - V_{p^-}}{R_p} \quad (IV.21)$$

De la même manière que précédemment, la résolution numérique du système d'équations constitué par les *expressions IV.20* et *IV.21* fournirait le courant perturbateur I_s sortant ainsi que le potentiel V_s que prendrait la sortie.

Si nous reportons sur la *figure IV.10* la modélisation $I_{dp} = f_p(V_d)$ du MOS canal P de l'inverseur 74HC04 du constructeur noté C1, nous constatons que :

- pour abaisser la sortie à $V_{ih_{min}} = 3,5$ Volts (dans ce cas V_{dp} vaut $-1,5$ Volt) il est nécessaire d'extraire un courant dont l'amplitude vaut :

$$I_{s_{mod}} = -32 \text{ mA}$$

et $I_{s_{exp}} = -34 \text{ mA}$ (I_{s1} dans le *tableau I.2* du chapitre 1)

- pour $V_s = 2,5$ Volts qui est la valeur nominale de la tension de commutation :

$$I_{s_{mod}} = -47 \text{ mA}$$

et $I_{s_{exp}} = -47 \text{ mA}$ (I_{s2} dans le *tableau I.2* du chapitre 1)

tout courant dont l'intensité approche cette valeur risque donc de faire commuter les circuits logiques placés en aval.

Nous voyons également que tout courant inférieur ou égal à -55 mA provoquerait inévitablement le passage à l'état bas de la sortie de cet inverseur puisque V_s serait inférieur au $V_{il_{max}}$ (1,5 Volt) dans ce cas.

Nous pouvons généraliser l'exemple de l'inverseur aux autres fonctions logiques de la technologie CMOS. Leurs sorties présentent toujours les caractéristiques de celles d'un inverseur et plus particulièrement celles d'un transistor MOS passant.

Dés lors, notre modèle permet de prédire le comportement du circuit intégré, initialement dans un état logique déterminé, face à un signal perturbateur de type impulsionnel.

CONCLUSION

Les paramètres intervenant dans les différentes équations de la modélisation du fonctionnement d'un MOSFET sont accessibles grâce au traitement informatique de quelques signatures obtenues à partir du dispositif expérimental décrit dans le chapitre précédent.

Différents composants ont été traités grâce à cet outil mais la liste n'est pas exhaustive. Nous pensons en effet que d'autres composants et surtout des MOS provenant d'autres fonctions logiques peuvent être également caractérisés moyennant quelques aménagements. La confrontation des mesures avec les résultats issus des développements théoriques prouvent la validité ainsi que la reproductibilité de notre modèle.

Il peut être destiné en particulier à la simulation des réactions de la sortie d'une logique, initialement dans un état stable, lorsqu'elle est agressée par des courants perturbateurs. Il peut également être complété, comme nous allons le voir dans le prochain chapitre, de façon à obtenir des informations lors du transit logique.

CHAPITRE 5

INTRODUCTION

Nous nous sommes intéressés tout au long des chapitres précédents au port de sortie d'une fonction logique élémentaire, lorsque celui-ci était dans un état stable. Il est évident qu'une perturbation peut venir frapper ce port au moment où ce dernier change d'état logique. Ce cas est d'ailleurs actuellement étudié expérimentalement au laboratoire [25]. Il est alors utile de connaître les caractéristiques qui accompagnent le transit logique du composant.

Nous en retiendrons deux principales: l'appel de courant sur l'alimentation du circuit intégré et l'augmentation de l'impédance dynamique présentée par sa sortie.

Nous allons aborder ce cinquième et dernier chapitre de notre thèse en proposant une modélisation théorique du fonctionnement logique d'un inverseur CMOS.

Pour cela, il suffit de reprendre les équations développées tout au long du troisième chapitre pour le MOSFET. Il s'est confirmé au chapitre suivant qu'elles étaient bien représentatives des mesures relevées expérimentalement sur un MOS canal N ou P.

Dès lors, l'association de ces deux types de MOSFET, l'utilisation des équations fondamentales et la connaissance des paramètres qui y figurent vont nous permettre de simuler les caractéristiques de transfert (courant, tension et résistance dynamique) de l'inverseur CMOS.

Toutefois, comme nous le verrons dans la seconde partie de ce chapitre, ce modèle ne permet pas d'obtenir véritablement la signature temporelle du courant de commutation. Certes il nous indique son aspect brutal et son amplitude importante mais ne prend pas en compte les effets dynamiques qui l'accompagnent (retard à la commutation, temps de commutation, courant supplémentaire dû aux capacités parasites intrinsèques au composant, etc...).

Afin de mettre en évidence ces phénomènes, nous nous sommes attachés à mesurer expérimentalement ce courant sur les fonctions élémentaires des principales familles. Il a fallu s'entourer de grandes précautions de façon à limiter au maximum les risques de venir perturber et donc déformer ces caractéristiques.

En effet, pour des composants dont la vitesse de commutation est importante, il peut être analogué à une impulsion très brève (2 ns) dont la visualisation correspond à celle d'un régime oscillatoire amorti provoqué par les capteurs nécessaires à la mesure.

C'est à cette condition que nous avons pu établir un récapitulatif des valeurs crêtes des courants de commutation ainsi que de leur durée.

Nous terminerons ce chapitre en présentant une modélisation plus représentative de cet appel de courant. Elle prend en compte les résultats expérimentaux acquis dans la seconde partie et permettra peut être de mettre théoriquement en évidence des phénomènes d'autoperturbation sur les pistes de cartes électroniques constituées de logiques rapides lors de leurs commutations.

Nous donnerons également quelques courbes représentant la modélisation de l'évolution de la résistance dynamique de sortie de quelques composants CMOS. Elles nous aideront à mieux comprendre pourquoi les circuits intégrés qui commutent très rapidement sont moins sensibles que d'autres aux injections de courant parvenant sur la sortie en cours de commutation.

V.1 MODELISATION DE L'INVERSEUR CMOS

A partir des équations théoriques développées au chapitre 3 et des valeurs des paramètres mesurées au chapitre 4, il est possible d'établir un modèle de l'inverseur CMOS qui nous le rappelons est constitué de deux transistors MOS dont les canaux respectifs N et P sont reliés par l'intermédiaire de leur drain.

V.1.1 Présentation du problème

Le modèle servira à la représentation:

- de la caractéristique de transfert de l'inverseur, c'est à dire la courbe V_s en fonction de V_e pour V_e variant de 0 à V_{dd}
- du courant délivré par l'alimentation lors de la variation de la tension d'entrée
- de la variation de la résistance dynamique de sortie R_{ds} de l'étage lors de la commutation de l'élément logique.

La *figure V.1* ci-dessous schématise un inverseur CMOS.

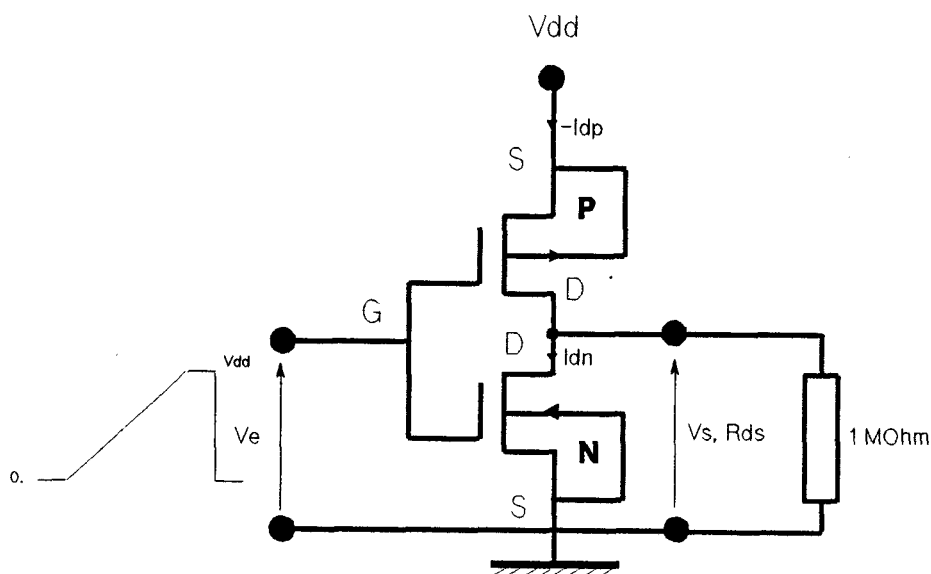


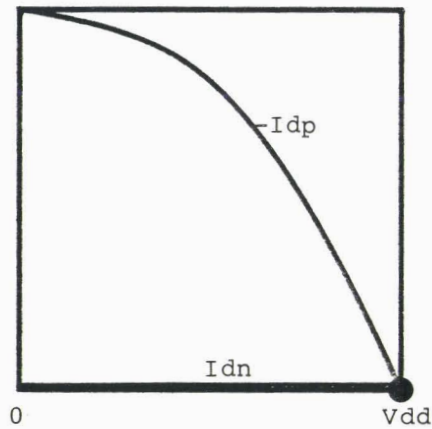
figure V.1: Etage CMOS

Nous avons les relations suivantes entre les grandeurs d'entrée-sortie et les tensions grille et drain des deux MOS:

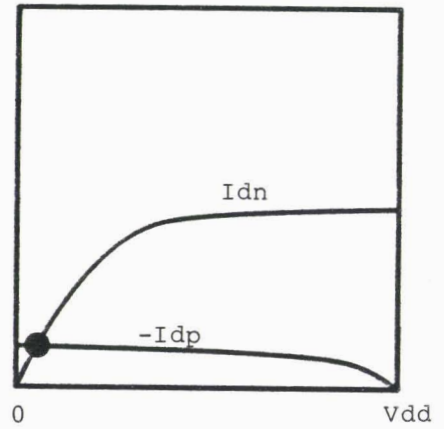
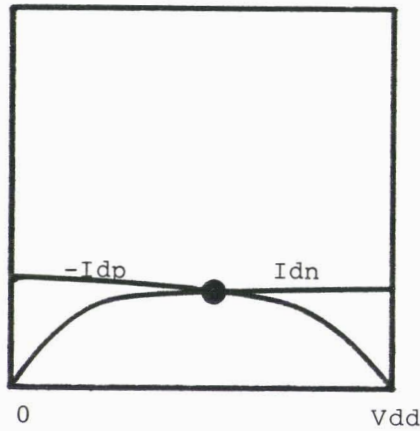
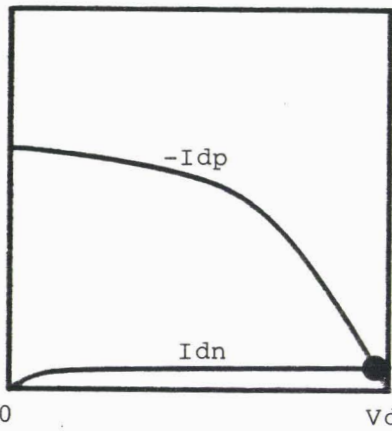
$$V_s = V_{d_n} = V_{dd} + V_{d_p} \quad (V.1)$$

$$V_e = V_{g_n} = V_{dd} + V_{g_p} \quad (V.2)$$

- $V_e \leq V_{tn}$



- $V_{tn} < V_e < V_{tp} + V_{dd}$



- $V_e \geq V_{tp} + V_{dd}$

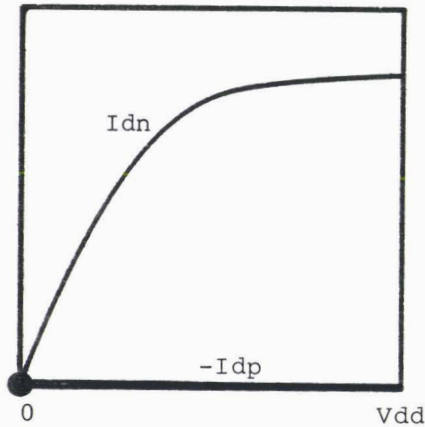


figure V.2: Principe de la modélisation de la caractéristique de transfert d'un inverseur CMOS

● point de la caractéristique de transfert du CMOS

A cela il faut ajouter la relation liant les deux courants drain

$$I_{d_n} + I_{d_p} = 0 \quad (V.3)$$

en supposant bien sûr, que la sortie est ouverte ou reliée à une impédance très grande (entrée d'un autre circuit CMOS par exemple).

La résistance dynamique de sortie R_{d_s} correspond à la résistance dynamique R_{d_n} du canal N en parallèle avec la résistance dynamique R_{d_p} du canal P.

$$R_{d_s} = R_{d_n} // R_{d_p} = \frac{R_{d_n} R_{d_p}}{R_{d_n} + R_{d_p}} \quad (V.4)$$

V.1.2 Etude théorique

La tension de sortie V_s et le courant de traversée I_{dd} sont donnés par l'intersection des caractéristiques courant-tension des deux MOS canal N et P. La *figure V.2* présente les trois cas possibles lorsque la tension d'entrée varie de 0 à V_{dd} .

V.1.2.a MOS canal N bloqué, MOS canal P conducteur

Ce cas se produit lorsque la tension d'entrée V_e est inférieure à la tension seuil V_{t_n} du MOS canal N. Le MOS canal P conduit et la résistance dynamique du canal N est très grande. Par conséquent

$V_s = V_{dd}$ $I_{dd} = 0$ $R_{d_s} = R_{d_p}$

V.1.2.b Les deux MOS sont conducteurs

$V_{t_n} < V_e < V_{t_p} + V_{dd}$ et trois sous-cas se présentent

- L'intersection des deux caractéristiques a lieu dans la zone résistive du MOS canal P et la zone de saturation du MOS canal N. L'équation à résoudre se présente donc sous la forme suivante:

$$\frac{k_p}{2} \frac{(V_s - V_{dd}) [2(V_e - V_{dd} - V_{t_p}) - (1 + \delta_p)(V_s - V_{dd})]}{1 + \theta_p(V_e - V_{dd} - V_{t_p}) + \alpha_p(V_s - V_{dd})} + I_{dsat_{sim(n)}} + \frac{1}{P_n} \text{Log} \left[1 + P_n \frac{V_s - V_{dsat_{sim(n)}}}{R_{dsat_{sim(n)}}} \right] = 0 \quad (V.5)$$

$$\text{où } P_n = \frac{A I_n}{(V_e - V_{t_n})^{r_{I_n}}}$$

$V_{dsat_{sim(n)}}$, $I_{dsat_{sim(n)}}$ et $R_{dsat_{sim(n)}}$ sont les valeurs simulées des tension, courant et résistance dynamique de saturation (chapitre 3) du MOS canal N à la tension grille $V_{g_n} = V_e$.

• L'intersection des deux caractéristiques se produit dans les zones de saturation du MOS canal N et du MOS canal P. C'est dans cette zone que l'élément logique commute.

$$V_{commutation} \in [V_{dsat_{sim(n)}}; V_{dsat_{sim(p)}} + V_{dd}]$$

la tension de sortie correspondante sera solution de l'équation

$$I_{dsat_{sim(n)}} + \frac{1}{P_n} \text{Log} \left[1 + P_n \frac{V_s - V_{dsat_{sim(n)}}}{R_{dsat_{sim(n)}}} \right] + I_{dsat_{sim(p)}} + \frac{1}{P_p} \text{Log} \left[1 + P_p \frac{V_s - V_{dd} - V_{dsat_{sim(p)}}}{R_{dsat_{sim(p)}}} \right] = 0$$

$$\text{où } P_p = \frac{A I_p}{(V_e - V_{dd} - V_{t_p})^{r_{I_p}}} \quad (V.6)$$

$V_{dsat_{sim(p)}}$, $I_{dsat_{sim(p)}}$ et $R_{dsat_{sim(p)}}$ sont les valeurs simulées des tension, courant et résistance dynamique de saturation (chapitre 3) du MOS canal P à la tension grille $V_{g_p} = V_e - V_{dd}$.

• La tension de sortie correspond à la zone résistive du MOS canal N et à la zone de saturation du MOS canal P. Dès lors

$$\frac{k_n}{2} \frac{V_s [2(V_e - V_{t_n}) - (1 + \delta_n)V_s]}{1 + \theta_n(V_e - V_{t_n}) + \alpha_n V_s} + I_{dsat_{sim(p)}} + \frac{1}{P_p} \text{Log} \left[1 + P_p \frac{V_s - V_{dd} - V_{dsat_{sim(p)}}}{R_{dsat_{sim(p)}}} \right] = 0 \quad (V.7)$$

V.1.2.c MOS canal N conducteur, MOS canal P bloqué

Ce cas se produit lorsque $V_e \geq V_{tp} + V_{dd}$. La résistance dynamique du MOS canal P est donc très grande. Par conséquent:

$V_s = 0$
$I_{dd} = 0$
$R_{ds} = R_{dn}$

V.1.3 Le logiciel "Simucmos"

Nous avons élaboré un logiciel "Simucmos" de façon à calculer pour V_e variant de 0 à V_{dd}

- la tension de sortie V_s
- le courant de traversée I_{dd}
- la résistance dynamique R_{ds} .

Les données à entrer sont

- la tension d'alimentation V_{dd}
- les sept paramètres du MOS canal N de l'inverseur simulé
- les sept paramètres du MOS canal P de l'inverseur simulé

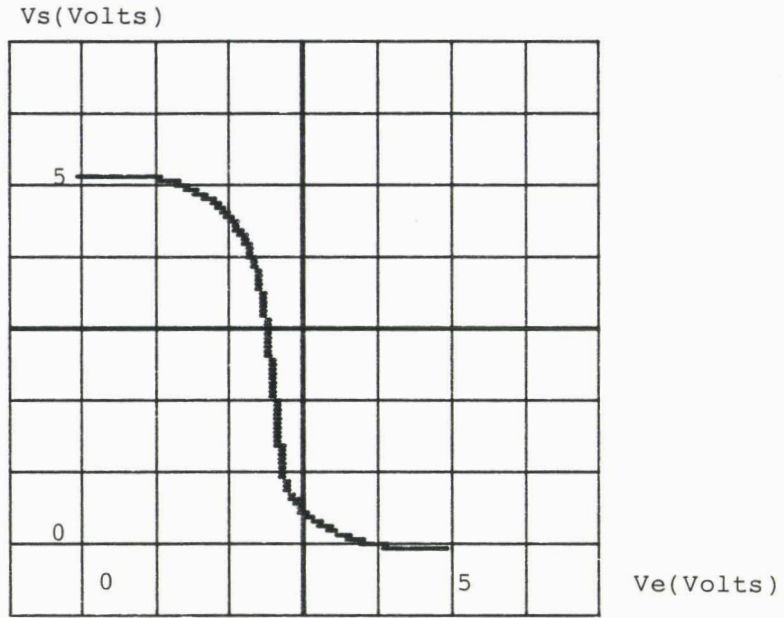
Les résolutions numériques des équations V.5, V.6 et V.7 sont effectuées grâce à la méthode de dichotomie de BOLZANO [26]. C'est une méthode très simple que la fonction dont on cherche la racine soit connue numériquement ou analytiquement: si l'on connaît l'intervalle dans lequel est située la solution de l'équation à résoudre, elle consiste à réduire à chaque itération cet intervalle et par conséquent à encadrer de plus en plus précisément la racine. Le calcul s'arrête lorsque le degré de précision désiré est obtenu.

La bufferisation des inverseurs est prise en compte en calculant 3 fois en cascade la tension de sortie V_s .

$$V_e \text{ ---> } V_{s1} \text{ ---> } V_{s2} \text{ ---> } V_{s3} = V_s$$

Nous considérons trois étages identiques. Seul le dernier étage sert au calcul du courant de traversée (en pratique les deux premiers étages consomment très peu lors de leur commutation). Le pas de la tension d'entrée V_e est adapté en fonction de la variation ΔV_s de la tension de sortie de façon à optimiser le calcul.

V.1.a



V.1.b

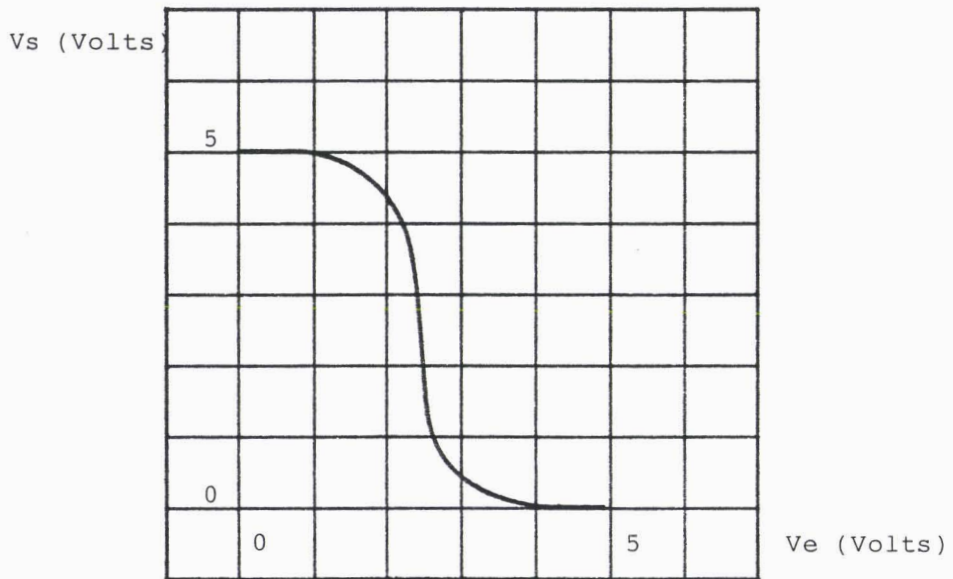


planche V.1: Fonction de transfert de l'inverseur 74HCU04 (C2)

V.1.a : Résultats expérimentaux

V.1.b : Résultats théoriques avec "SIMUCMOS"

V.1.4 Application à l'évaluation de la tension et du courant de commutation d'un inverseur 74HCU04

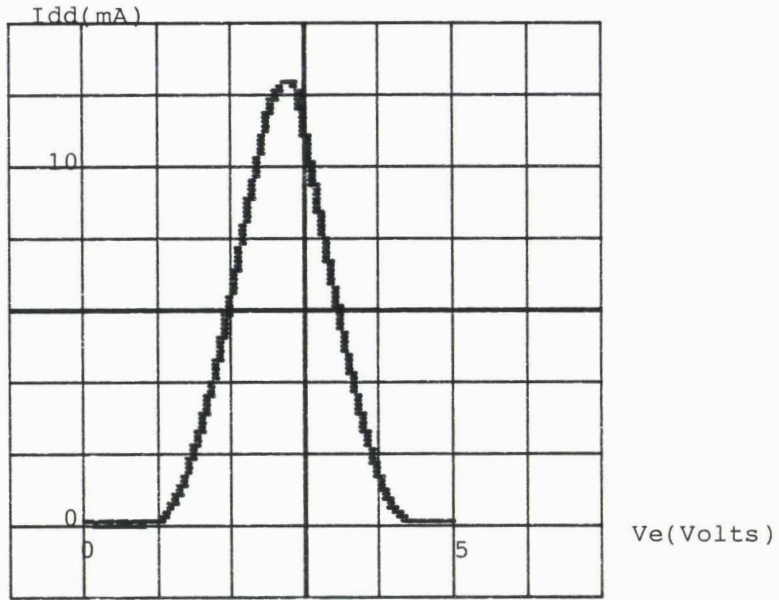
Nous allons dans ce paragraphe comparer les résultats théoriques fournis par notre logiciel "Simucmos" aux mesures effectuées sur un inverseur non bufferisé 74HCU04. Nous rappelons que nous avons dans le précédent chapitre caractérisé les deux canaux N et P de ce composant. La tension d'alimentation de cette fonction logique a été choisie égale à la valeur classique d'utilisation, c'est à dire 5 Volts.

V.1.4.a Fonction de transfert de l'inverseur

Elle est représentée sur la *planche V.1* ci-contre. La courbe expérimentale est obtenue en appliquant sur l'entrée une rampe $V_e(t)$ variant de 0 à 5 Volts. Il est alors possible de visualiser le signal de sortie $V_s(t)$ en fonction de l'entrée (*planche V.1.a*).

La simulation correspondante (*planche V.1.b*) donne un très bon aperçu du phénomène physique: la fonction de transfert a un profil caractéristique de ce genre de composant.

V.2.a



V.2.b

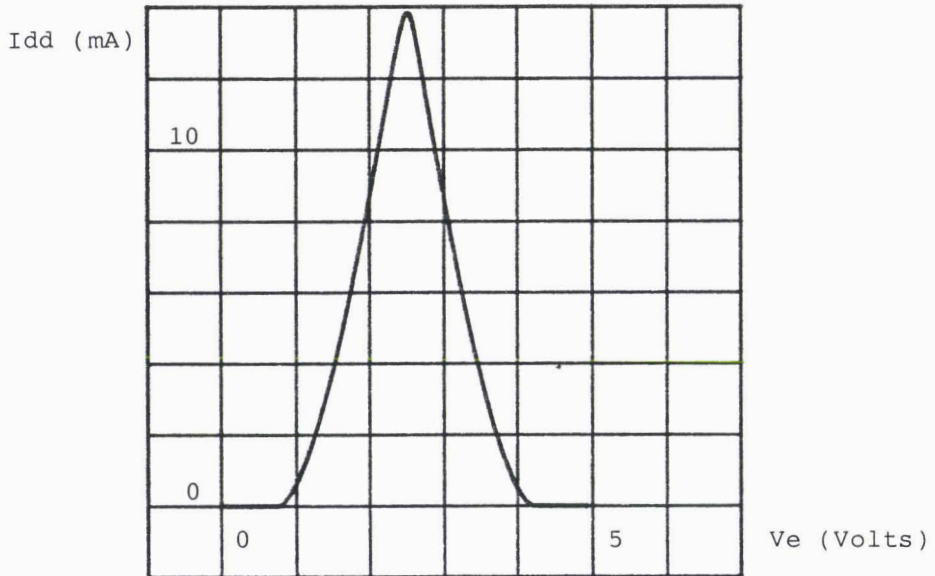


planche V.2: Courant de commutation de l'inverseur 74HCU04 (C2)

V.2.a : Résultats expérimentaux

V.2.b : Résultats théoriques avec "SIMUCMOS"

V.1.4.b Courant de commutation et tension de commutation

La courbe représentant la variation du courant d'alimentation I_{dd} en fonction de la tension V_e appliquée à l'entrée du composant (*planche V.2*) permet de déterminer la tension de commutation V_{com} : V_{com} est la valeur de V_e pour laquelle I_{dd} est maximum et vaut I_{com} , le courant de commutation.

I_{dd} est mesuré dans le cas présent à l'aide d'une sonde de courant. Nous avons vérifié que l'amplitude du courant de commutation reste constante quelque soit le temps de montée de la rampe $V_e(t)$.

Le *tableau V.1* ci-dessous donne les valeurs expérimentales et simulées de V_{com} et I_{com} .

	mesure	simulation
I_{com} (mA)	12,5	13,65
V_{com} (V)	2,7	2,5

tableau V.1: Valeurs de la tension et du courant de commutation d'un 74HCU04

Nous constatons une bonne concordance entre les valeurs mesurées et celles obtenues avec "Simucmos".

Nous remarquons sur la *planche V.2* que la plage de la tension d'entrée couverte par l'appel de courant I_{dd} sur l'alimentation du circuit intégré est relativement importante. Pour la caractériser, nous convenons de déterminer l'excursion des tensions d'entrée ΔV_e nécessaire pour réduire l'amplitude du courant de commutation d'un facteur 2 soit dans ce cas particulier $\Delta V_e = 1.4$ V puisque

$$V_e \in [V_{com} - 0.7 ; V_{com} + 0.7]$$

Nous verrons dans la seconde partie de ce chapitre que les résultats sont différents pour des composants "bufferisés". Le changement d'état logique s'effectue beaucoup plus brutalement et le $\Delta I_{dd}/\Delta V_e$ est nettement plus élevé.

Ce phénomène physique peut être à l'origine de perturbations intrinsèques autogénérées par les propres composants d'une carte électronique en cours de commutation.

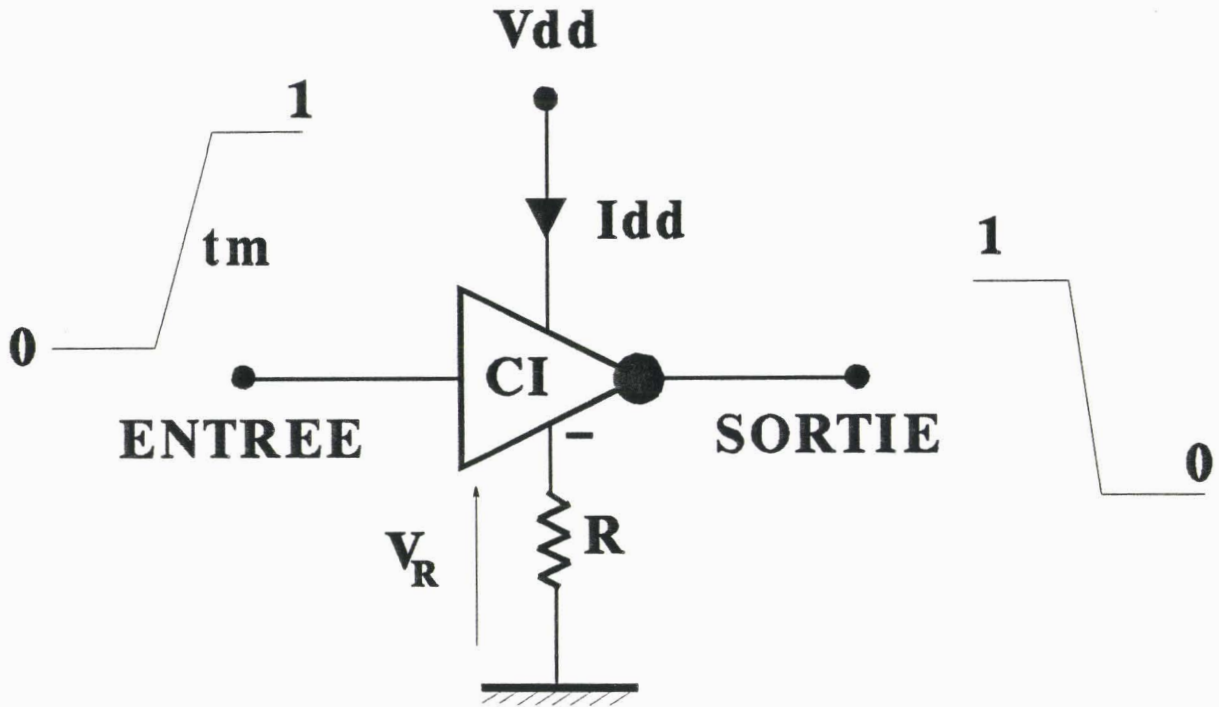


figure V.3: Schéma montrant le principe de la mesure du courant de commutation

V.2 DETERMINATION EXPERIMENTALE ET THEORIQUE DU COURANT DE COMMUTATION

Il est très utile de connaître pour un composant logique donné la signature du courant d'appel d'alimentation lorsque celui-ci commute.

En effet, pour des fonctions logiques dont les vitesses de commutation sont importantes, cet appel de courant peut être analogué à une percussion, c'est à dire un courant d'amplitude élevée (quelques dizaines de mA) agissant pendant un temps très court (quelques nanosecondes). Cette percussion peut introduire, lors du fonctionnement d'une carte électronique, des effets parasites par l'intermédiaire de boucles de masse ou de connexions présentant des inductances et des capacités intrinsèques certes faibles mais susceptibles de constituer un circuit résonnant qui ne demandera qu'à osciller dès qu'il sera excité.

V.2.1 Les difficultés liées à la mesure du courant de commutation

Nous nous proposons d'étudier l'amplitude et la durée du courant de commutation des familles logiques dont nous avons évalué la sensibilité au cours du chapitre 1 de notre thèse.

V.2.1.a Perturbation due à la mesure [27]

Nous déduisons le courant de la mesure de la variation de potentiel aux bornes d'une résistance R placée entre le "moins" du circuit intégré et la masse du circuit imprimé. Nous choisissons pour cette résistance les valeurs suivantes

- R vaut 10Ω (valeur à 1%) dans le cas d'un circuit appartenant à la technologie CMOS.

- R vaut 1Ω (valeur à 5%) dans le cas d'un circuit appartenant à la technologie TTL. Nous avons volontairement diminué sa valeur pour atténuer au maximum la contre-réaction d'émetteur du transistor de sortie.

Un créneau 0 ---> 5 Volts est appliqué sur l'entrée de la fonction logique. Le temps de montée est ajustable mais sera fixé à 5 ns pour les mesures d'amplitudes.

Le schéma de principe de la mesure est représenté sur la *figure V.3*. Le signal V_R aux bornes de R est prélevé à l'aide d'une sonde d'oscilloscope. L'appareil présente une bande passante analogique de 400 MHz sous 50Ω .

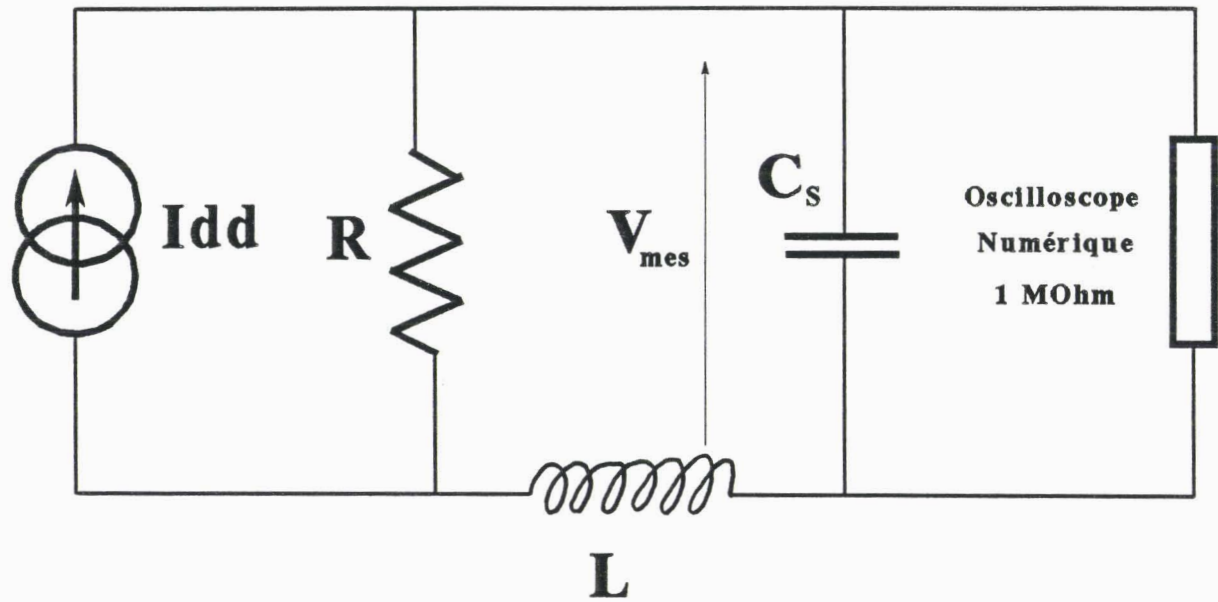


figure V.4: Circuit équivalent de la connexion

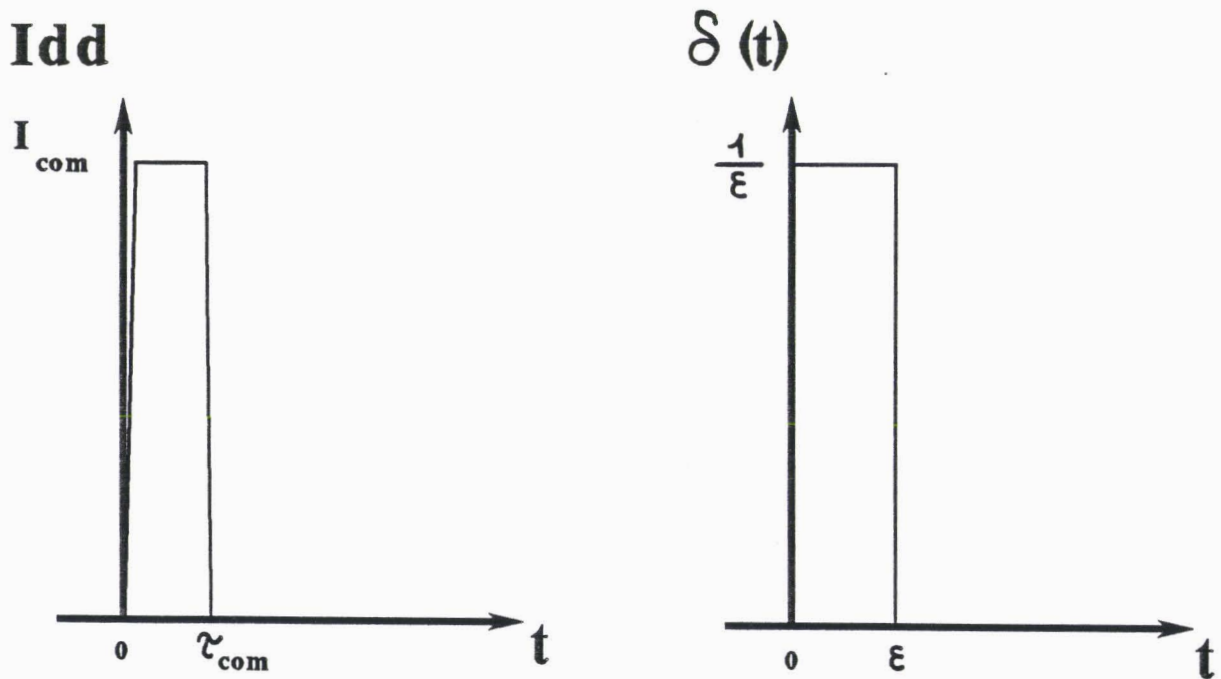


figure V.5: Approximation du courant de commutation d'une logique rapide

La *figure V.4* illustre le circuit équivalent d'une sonde classique connectée aux bornes de la résistance R [27]. Nous constatons que l'inductance L introduite par le cordon de masse de la sonde forme un circuit résonnant avec la capacité d'entrée C_s de la sonde et amorti par la résistance R . Ce circuit peut donc osciller dès qu'il est parcouru par l'impulsion d'appel de courant. C'est ce que nous allons montrer dans ce qui suit.

V.2.1.b Estimation du courant de commutation d'une logique rapide

Nous assimilons le courant I_{dd} à une percussion (*figure V.5*) d'amplitude I_{com} (valeur du courant de commutation) élevée agissant pendant un temps très court τ_{com} (temps de commutation). On peut donc associer à ces deux paramètres un transfert de charge q que l'on exprimera

$$q = \int_0^{\tau_{com}} I_{com} dt \quad (V.8)$$

Nous posons

$$I_{dd}(t) = q \delta(t) \quad (V.9)$$

où $\delta(t)$ est l'impulsion de DIRAC (limite d'une impulsion de durée ε et d'amplitude $1/\varepsilon$ pour $\varepsilon \rightarrow 0$).

V.2.1.c Expression théorique du signal mesuré [28]

La tension qui apparaît aux bornes de la résistance permettant la mesure de I_{dd} s'exprime en variables symboliques [28]

$$V_{mes} = Z_{\acute{e}q} \cdot I_{dd}$$

avec

$$Z_{\acute{e}q} = \frac{\frac{1}{C_s p} [R + L.p]}{R + L.p + \frac{1}{C_s p}} \quad (V.10)$$

$$Z_{\acute{e}q}(p) = \frac{1}{C_s} \frac{p + 2\omega_0 \zeta}{[p + \omega_0 \zeta]^2 + \omega_0^2 (1 - \zeta^2)} \quad (\text{V.11})$$

en posant $\omega_0^2 = \frac{1}{L.C_s}$ et $2\omega_0 \zeta = \frac{R}{L}$ ($\zeta = \frac{R}{2} \sqrt{\frac{C_s}{L}}$)

et sachant que la transformée de LAPLACE de $\delta(t)$ vaut 1, l'expression de V_{mes} devient:

$$V_{mes}(p) = \frac{q}{C_s} \frac{p + 2\omega_0 \zeta}{[p + \omega_0 \zeta]^2 + \omega_0^2 (1 - \zeta^2)} \quad (\text{V.12})$$

Le dénominateur de cette expression, $p^2 + 2\omega_0 \zeta p + \omega_0^2$ peut présenter 0, 1 ou 2 pôles où il sera possible de reconnaître un régime oscillant pour $\zeta < 1$ c'est à dire:

$$L > \frac{C_s R^2}{4} \Rightarrow L > 0,4 \text{ nH pour } R = 10 \Omega$$

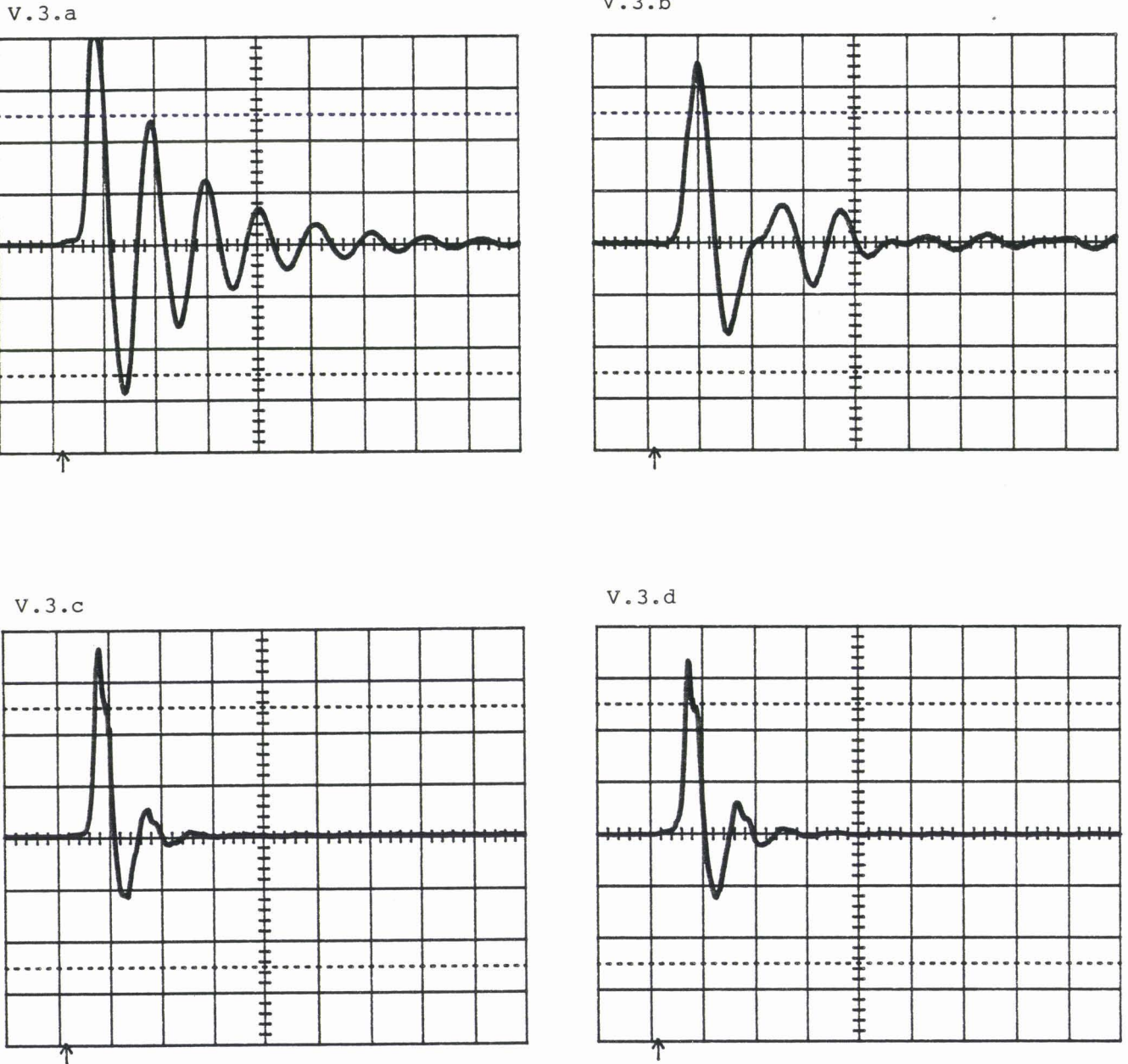
Il s'agit d'une condition réaliste tout à fait probable en pratique. V_{mes} s'exprime alors comme une oscillation amortie de pulsation propre ω_0 et de coefficient d'amortissement ζ

$$V_{mes}(t) = \frac{q}{C_s \sqrt{1 - \zeta^2}} \exp[-\zeta \omega_0 t] \cos[\omega_0 \sqrt{1 - \zeta^2} t - \varphi] \quad (\text{V.13})$$

avec $\cos \varphi = \sqrt{1 - \zeta^2}$

la pseudo-période vaut

$$T = \frac{2\pi}{\omega_0 \sqrt{1 - \zeta^2}} = \frac{2\pi}{\sqrt{\frac{1}{L.C_s} - \frac{R^2}{4L^2}}} \quad (\text{V.14})$$



*planche V.3: Mesures du courant de commutation
d'un inverseur 74AC04*

- V.3.a : mesure effectuée à l'aide d'une sonde de courant type CTI*
- V.3.b : mesure effectuée à l'aide d'une sonde d'oscilloscope passive*
- V.3.c : mesure effectuée à l'aide d'une sonde d'oscilloscope active*
- V.3.d : mesure effectuée à l'aide d'un coaxial 50 Ω*

base de temps : 10 ns/div

V.2.1.d Remarques et conclusion

Nous pouvons considérer que le terme

$$\zeta = \frac{R}{2} \sqrt{\frac{C_s}{L}}$$

est petit devant l'unité. En effet, C_s est de l'ordre de 10 pF et L est supérieure à 10 nH dans les conditions expérimentales où nous nous plaçons.

Dès lors $Z^2 \ll 1$ et la pseudo-période vaut:

$$T = 2\pi\sqrt{LC_s} \quad (\text{V. 15})$$

Pour que la mesure ne soit pas entachée de ces oscillations, on peut rechercher à ce que cette pseudo-fréquence de résonance soit supérieure à la fréquence de coupure haute de l'oscilloscope utilisé pour les mesures. Pour cela, il suffit d'augmenter la pseudo-période en diminuant l'inductance L et la capacité C_s .

La première condition est réalisée en prenant une connexion de masse la plus courte possible en utilisant un embout court, flexible, qui se fixe près de la pointe de touche de la sonde.

L'usage d'une sonde active dont la capacité d'entrée vaut 2 pF répond à la seconde condition.

Nous pouvons également prélever le signal aux bornes de la résistance R au moyen d'un câble d'impédance caractéristique 50 Ω de façon à limiter les risques de réflexion sur cette liaison.

A titre d'exemple, une inductance de 10 nH et une capacité de 2 pF donnent une pseudo-période d'environ 1 ns qui correspond à une fréquence de 1 GHz, donc bien en dehors de la bande passante de l'oscilloscope numérique utilisé (400 MHz sous 50 Ω).

Nous avons reporté sur la *planche V.3* ci-contre les oscillogrammes du signal relevé suivant plusieurs protocoles lors de la commutation d'un inverseur 74ACO4:

a) à l'aide d'une sonde de courant hautes fréquences placée entre le moins du circuit intégré et la masse (*planche V.3.a*).

b) à l'aide d'une sonde passive et son cordon de masse aux bornes d'une résistance de 10 Ohms entre le moins du circuit intégré et la masse (*planche V.3.b*).

c) à l'aide d'une sonde active et son embout de masse flexible aux bornes de la même résistance (*planche V.3.c*).

d) à l'aide d'un coaxial 50Ω dont un embout est soudé directement sur la résistance et l'autre connecté à l'entrée 50Ω de l'oscilloscope numérique (*planche V.3.d*).

Le signal d'entrée est un créneau $0 \rightarrow 5$ Volts de fréquence 500 kHz et dont le temps de montée est inférieur à 5 ns

Bien que les résultats aient été améliorés avec l'utilisation de la sonde active ou du coaxial 50Ω , il subsiste après le maximum de courant une traînée oscillante.

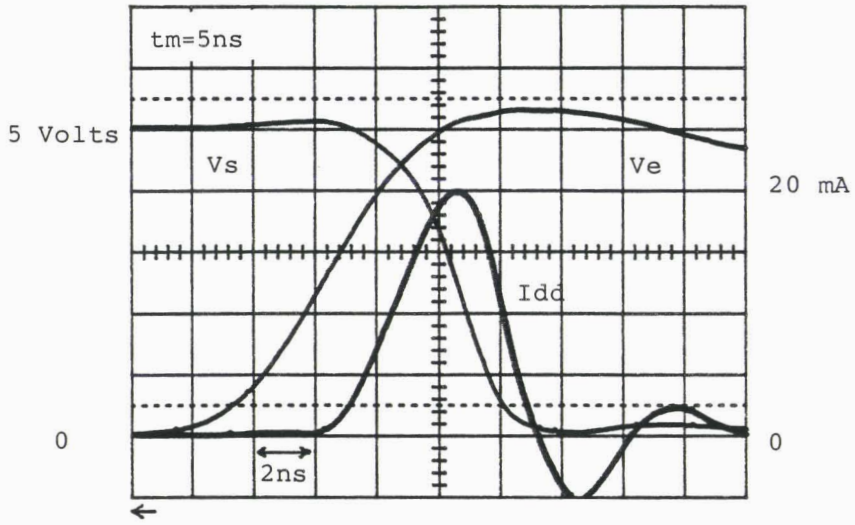
Différentes hypothèses sont à considérer sur la présence de cette anomalie qui se superpose à la signature théorique du courant de commutation. Nous en retiendrons deux.

L'influence des inductances des fils de connexion et du cadre de brochage du circuit intégré ainsi que ses propres capacités parasites dont l'effet n'est pas négligeable. Il est très difficile de chiffrer ces paramètres. On peut dire qu'ils prennent d'autant plus d'importance que la variation du courant sera rapide ce qui est le cas pour les logiques aux performances de commutation élevées.

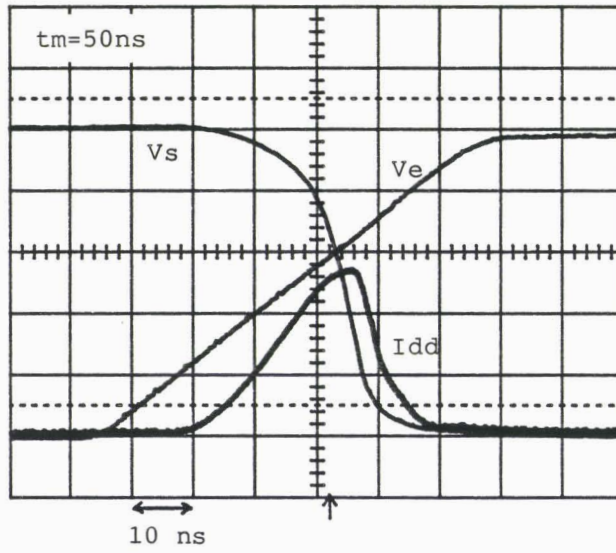
Il faut aussi ajouter que la bande passante limite de l'oscilloscope provoque une convolution du signal mesuré. Si celui-ci s'apparente à un pic de DIRAC, on peut montrer que l'oscilloscope ne permet pas de résoudre moins que 2 ns.

En conclusion de cette étude, nous constatons que notre montage n'est plus adapté à la mesure des courants de commutation des logiques rapides de type FACT. C'est pourquoi, l'interprétation des oscillogrammes obtenus est difficile. Ils représentent plus, à notre avis, la réponse impulsionnelle du montage expérimental (circuit intégré, circuit imprimé et instrumentation) que la visualisation du courant de commutation.

V.4.a



V.4.b



V.4.c

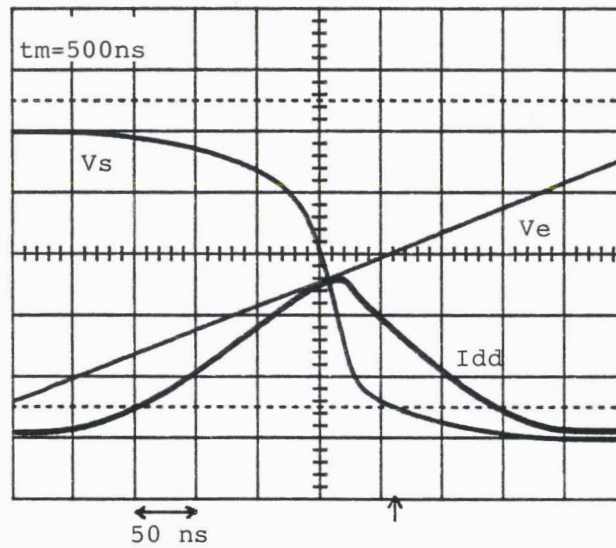


planche V.4: Influence du temps de montée du signal d'entrée sur l'amplitude et la durée du courant de commutation d'un composant CMOS non bufferisé

V.2.2 Influence du temps de montée du signal d'entrée sur l'amplitude et la durée du courant de commutation

Dans ce paragraphe, nous allons faire varier le temps de montée du signal d'entrée et constater son effet sur la signature du courant de commutation mesurée avec une sonde active, munie de son embout de masse flexible, aux bornes d'une résistance.

Le temps de montée est défini comme le temps mis par la tension d'entrée pour passer de 10% à 90% de sa valeur crête.

V.2.2.a Cas des circuits CMOS non bufferisés

Compte tenu des difficultés à estimer le temps de commutation τ_{com} nous procéderons comme ceci: On applique à l'entrée du circuit un signal logique dont le front de montée peut être modifié. On commence la mesure avec le front le plus grand, ensuite on réduit ce front et on relie l'évolution du temps de commutation du courant d'appel à ce paramètre. Au dessous d'un certain temps de montée minimum, le temps de commutation devient invariant: on a donc atteint la limite de commutation (*planche V.4*). Nous définissons τ_{com} comme étant la largeur à mi hauteur du pic de courant.

t_m (ns)	500	50	5
τ_{com} (ns)	170	18	3,5
I_{com} (ns)	13	13,5	20
$\Delta V_e / \Delta t$ (V/s)	10^7	10^8	10^9

tableau V.2: Variation du temps et du courant de commutation en fonction du temps de montée du signal d'entrée dans le cas d'un inverseur 74HCU04

Nous constatons également que l'amplitude du courant de commutation croît lorsque le temps de montée du signal de commande diminue, c'est-à-dire lorsque le $\Delta V_e / \Delta t$ augmente (*tableau V.2*). Ce phénomène physique met en évidence le rôle joué par les éléments parasites à l'intérieur du circuit intégré. Si nous effectuons l'hypothèse que ces éléments sont purement capacitifs (capacités grille-drain et grille-source des MOS n et p), un rapide calcul permet de déterminer la valeur approximative de la capacité équivalente placée en parallèle avec les canaux N et P.

En considérant que la variation ΔI_{com} du courant de commutation, entre celui (20 mA) pour un temps de montée très court (5 ns) et celui (13 mA) pour un temps de montée très lent (500 ns), correspond au courant nécessaire à la charge de cette capacité nous avons:

$$\Delta I_{com} = C_{eq} \frac{\Delta V_e}{\Delta t}$$

$$C_{eq} = \frac{7.10^{-3}}{10^9} = 7 \text{ pF} \quad (\text{V.16})$$

qui est une valeur tout à fait acceptable.

Nous voyons par conséquent que le courant de commutation est la superposition du courant "statique" fourni par les canaux N et P et d'un courant "dynamique" dû à des éléments intrinsèques au circuit intégré. Cette composante n'est plus négligeable pour des temps de montée très rapides du signal de commande.

La *figure V.6* ci-dessous fournit l'oscillogramme du courant de commutation d'un inverseur CMOS standard. La valeur crête est de 2.5 mA mais nous constatons la présence d'un pic précurseur. L'amplitude du courant est nettement moins importante que pour le HCU et le temps de commutation vaut 15 ns ce qui montre bien que la CMOS standard est une logique lente.

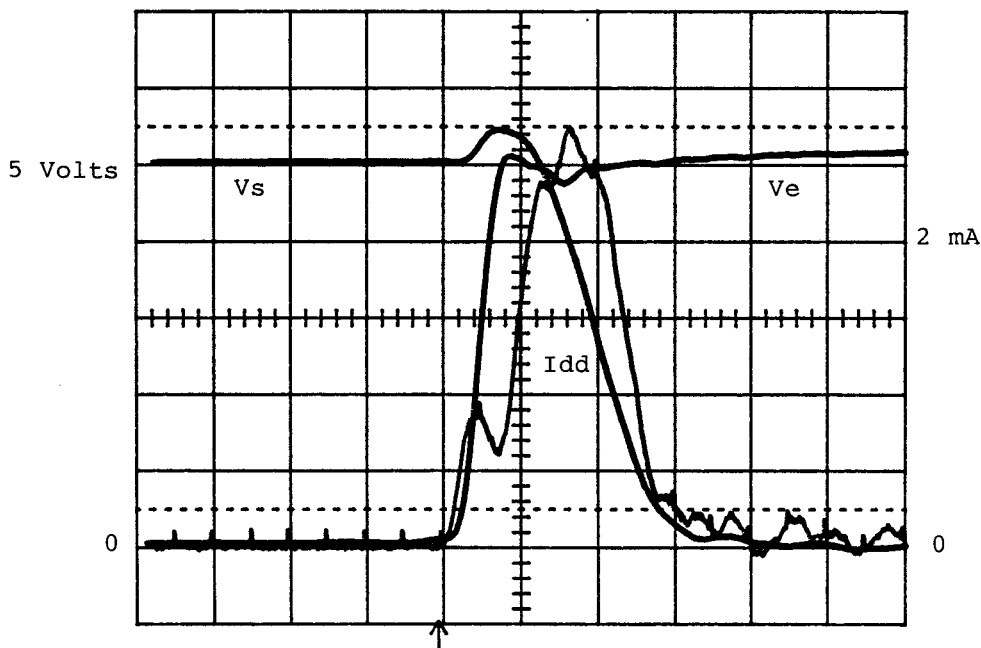
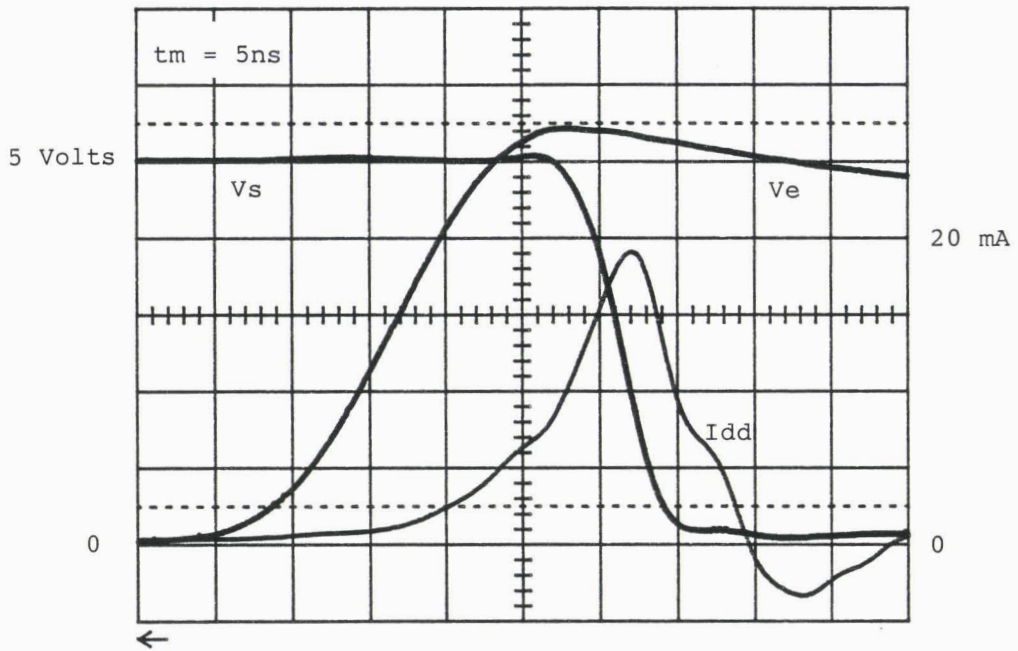


figure V.6: mesure du courant de commutation d'un inverseur CMOS standard

base de temps: 10 ns/div

V.5.a



V.5.b

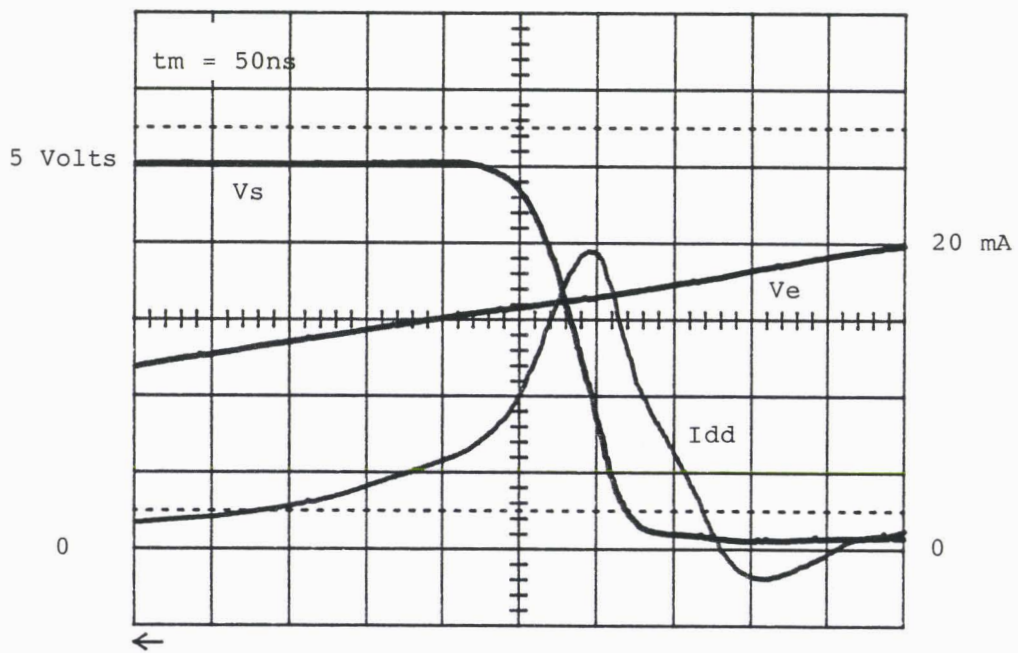


planche V.5: Influence du temps de montée du signal d'entrée sur l'amplitude et la durée du courant de commutation d'un inverseur 74HC04

base de temps: 2 ns/div

V.2.2.b Cas des circuits CMOS bufferisés

Les circuits bufferisés appartiennent à la classe des logiques rapides (HCMOS) voir très rapides (FACT) qui sont les plus utilisées actuellement. Si l'on fait varier le temps de montée t_m du signal d'entrée, le courant fourni par l'alimentation du circuit intégré au moment de la commutation reste constant à la fois en amplitude et en durée sur une large plage de variation de t_m .

Nous avons reporté sur la *planche V.5* ci-contre les résultats des mesures effectuées sur un inverseur 74HC04 pour deux temps de montée 5 ns et 50 ns. Nous constatons que la valeur crête du courant reste constante et égale à 19 mA. Il en est de même pour le temps de commutation du composant (3 ns).

Cette étude montre que pour un composant donné, un courant d'appel plus ou moins important existera quelle que soit la transition des signaux d'entrée. L'amplitude et la durée de ce courant sont quasiment constantes pour des fronts rapides (< 10 ns). Il est par conséquent erroné de croire que le caractère autoperturbateur s'atténuera en choisissant des temps de montée très courts (1 ou 2 ns) pour les signaux de commande.

Pour des logiques très rapides (FACT), les difficultés de mesurer ce courant sans perturber sa signature sont importantes comme nous l'avons vu précédemment. Nous présentons sur la *figure V.7* ci-dessous les oscillogrammes relevés sur un inverseur 74AC04.

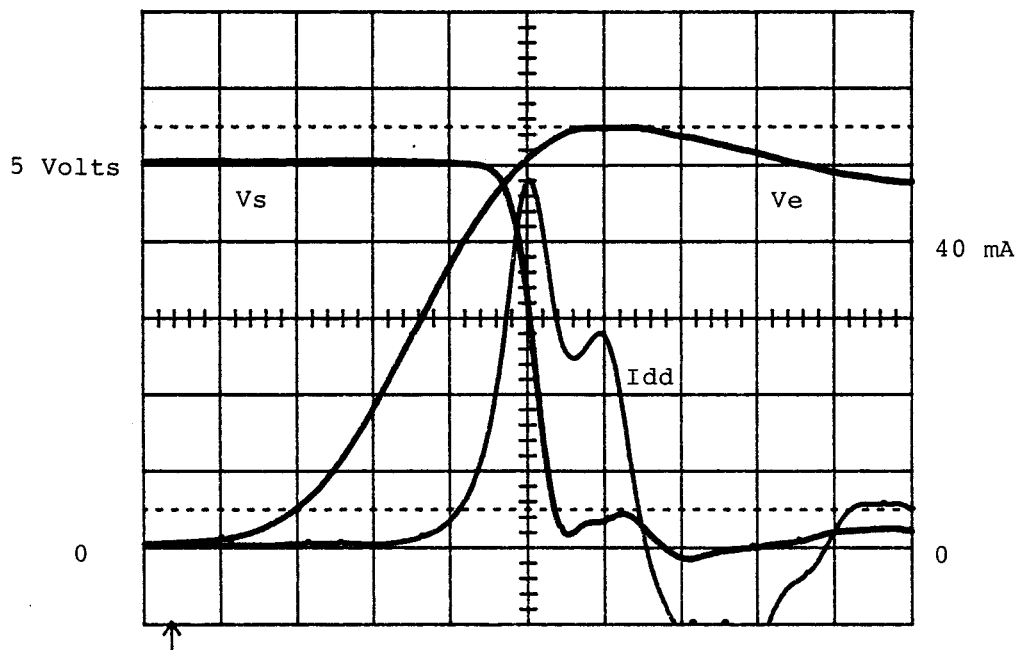
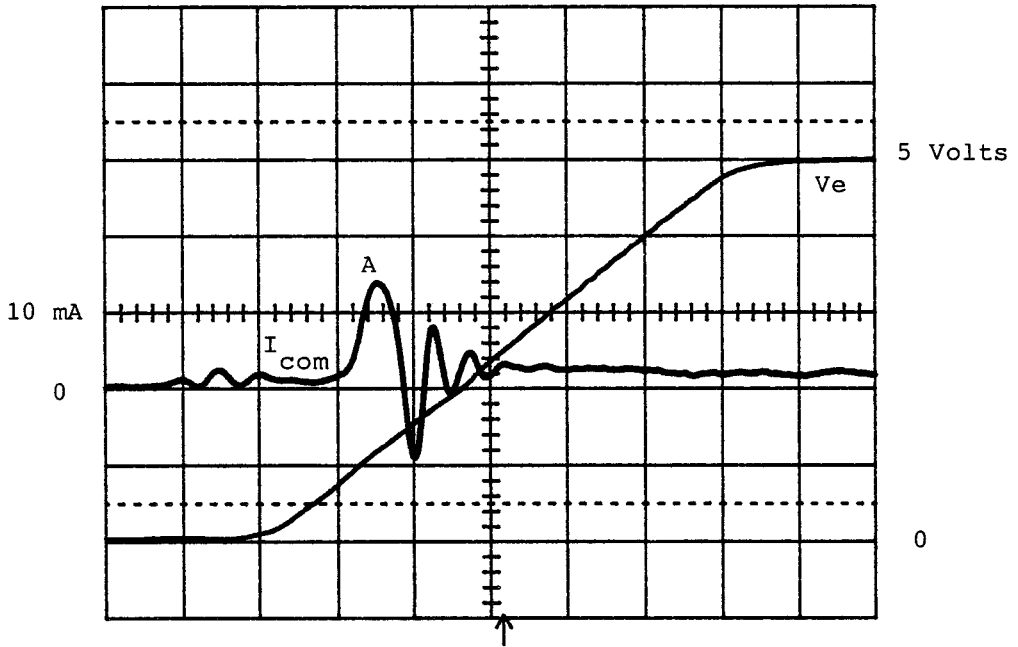


figure V.7: mesure du courant de commutation d'un inverseur 74AC04

base de temps: 2 ns /div

V.6.a



V.6.b

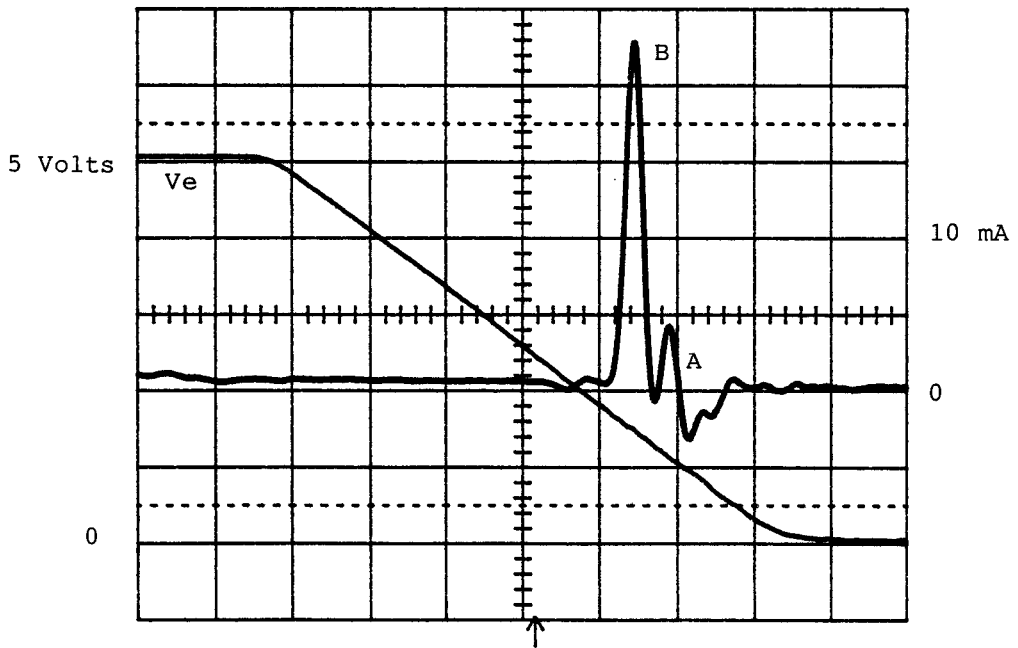


planche V.6: Courant de commutation d'une 74LS00 pour

V.6.a : le front montant du signal d'entrée

V.6.b : le front descendant du signal d'entrée

base de temps: 10 ns/div

Nous constatons que l'appel de courant est plus important (50 mA) pendant une durée de 2 ns. D'autre part le signal est entaché d'oscillations qui traduisent clairement l'accroissement du spectre du courant d'appel.

Notre étude montre clairement que plus une logique commute rapidement plus les appels de courants sont brefs et importants sur les alimentations.

V.2.2.c Cas de la technologie TTL

Nous rappelons que le courant est déduit de la mesure de la tension à l'aide d'un transfert 50Ω par câble coaxial connecté à la résistance de 1Ω situé entre le port de masse du circuit intégré et la masse du montage expérimentale.

Nous avons représenté sur la *planche V.6* ci-contre la signature du courant de commutation d'une NAND TTL-LS pour le front montant du signal d'entrée (*planche V.6.a*) et le front descendant (*planche V.6.b*). Les temps de montée et de descente sont égaux à 50 ns.

Nous constatons une différence notable d'amplitude: il apparaît en effet clairement que la valeur crête est nettement plus grande sur le front descendant du signal d'entrée (23 mA contre 7mA). Il s'agit d'un phénomène propre à la TTL que nous n'avons pas vu apparaître sur la CMOS.

Une analyse plus minutieuse des courbes montre que le courant résultant est la superposition de deux composantes. L'une (pic A) apparaît lorsque la tension d'entrée atteint le seuil de commutation de la logique (1,2 Volt). Son amplitude reste approximativement constante sur les deux oscillogrammes (≈ 5 mA). La seconde (pic B) est prédominante lorsque l'entrée passe de 5 Volts à 0 Volt. Pour analyser ce phénomène il faut considérer le schéma interne de la porte étudiée au chapitre 1 (*figure I.8*).

Une étude approfondie des mécanismes qui accompagnent la transition logique, et notamment la contribution des transistors Schottky, permettrait de le décrire. Cette étude dépassant l'objectif initial de notre thèse, qui était l'action d'un perturbateur extérieur sur le composant, n'a pas été poursuivie.

Pour cette raison, nous allons nous limiter à énumérer les faits relevés lors d'expériences et plus particulièrement les conditions les plus pénalisantes du point de vue de l'autoperturbation de la TTL.

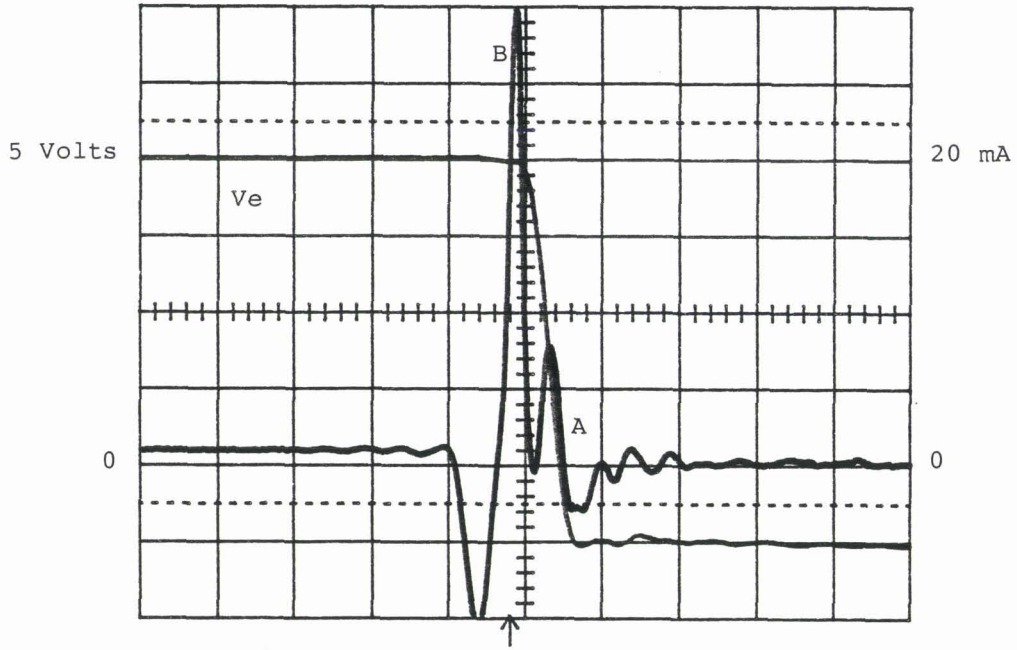


figure V.8: Courant de commutation d'une 74LS00 pour un front de 5 ns

base de temps: 10 ns/div

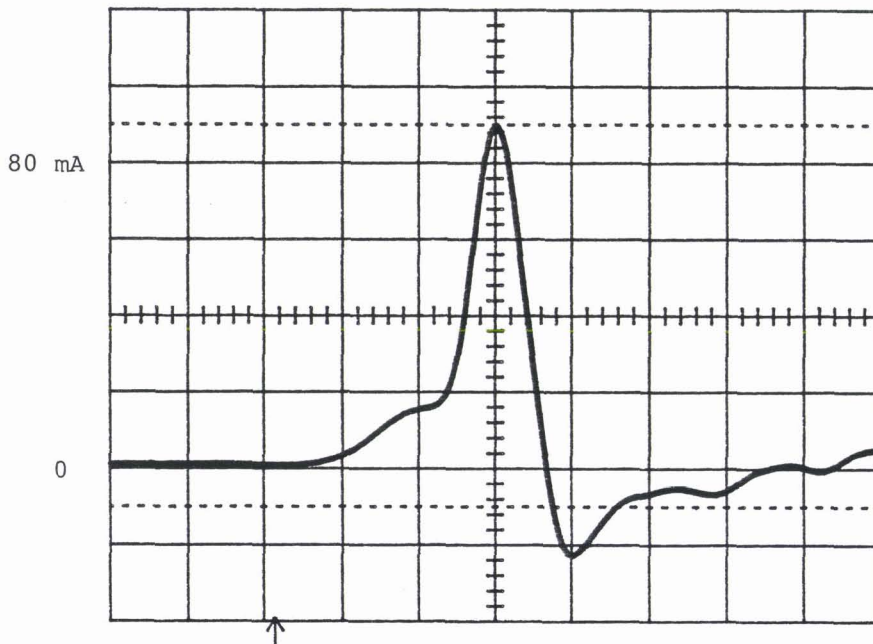


figure V.9: Courant de commutation d'une 74F00 pour un front de 5 ns

base de temps: 2 ns/div

C'est pourquoi nous avons reporté sur la *figure V.8* le signal de la *planche V.6.b* obtenu cette fois avec l'application à l'entrée de la porte d'un signal logique de 5 ns de transit. Nous voyons une augmentation conséquente du pic noté B alors que celle du pic A reste quasiment constante.

Dès lors, il est aisé d'attribuer ce changement à l'accroissement de la pente $\Delta V_e/\Delta t$ traduisant la transition du signal d'entrée. Nous l'avions déjà observé sur l'inverseur 74HCU04 au *paragraphe V.2.2.a*.

Les constructeurs de circuits intégrés recommandent de toute façon des temps de montée très courts pour les signaux logiques. C'est d'autant plus vrai pour des familles à grande vitesse de commutation telle que la FAST dont nous avons tracé l'allure du courant de commutation sur la *figure V.9*. Il est intéressant de relever ses caractéristiques:

- une amplitude crête de 90 mA
- une durée de 1.5 ns à mi-hauteur

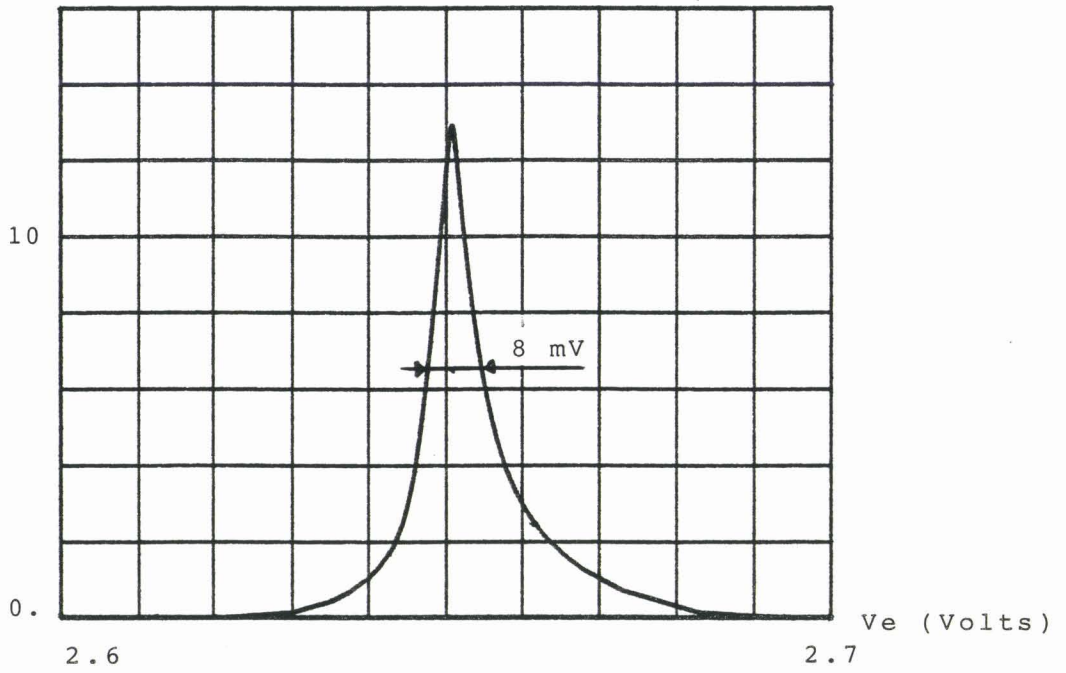
Il se confirme donc, en conclusion de cette étude, que les logiques présentant une grande vitesse de commutation provoquent des appels de courant d'amplitude élevé comme le récapitule le *tableau V.3* ci-dessous.

	familles	74C04	74HCU04	74HC04	74AC04	74LS04	74F04
pour	I_{com} (mA)	2,5	20	19	50	30	90
$t_m=5ns$	τ_{com} (ns)	15	3,5	3	2	2	1,5

tableau V.3: Courant de commutation et temps de commutation des fonctions élémentaires de diverses familles logiques

V.7.a

I_{dd} (mA)



V.7.b

I_{dd}(mA)

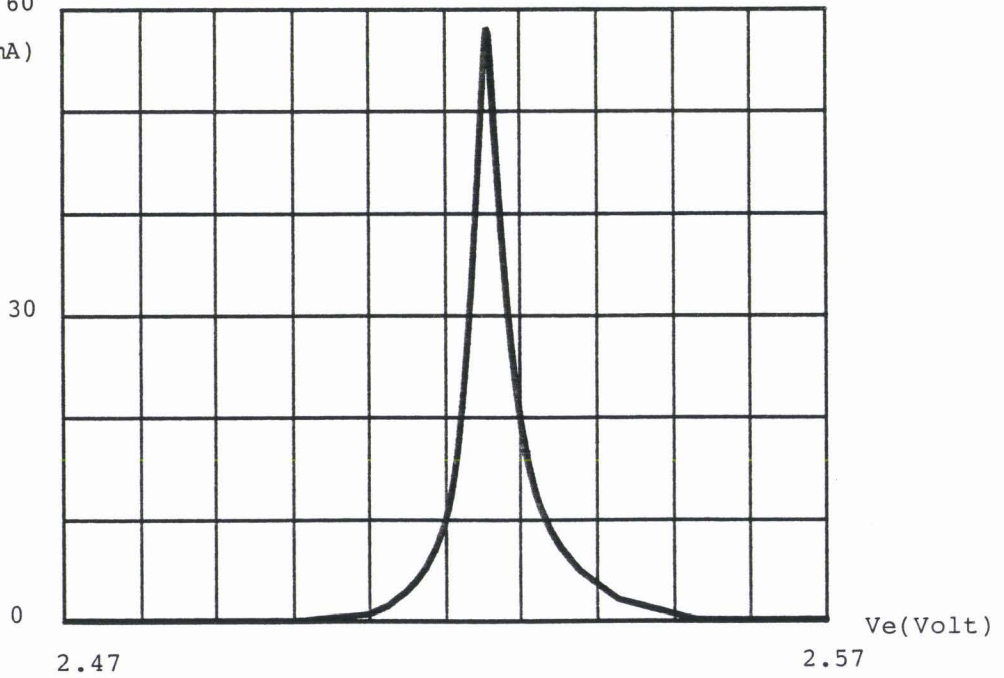


planche V.7: Modélisation du courant de commutation d'un composant bufferisé

V.7.a : 74HC04 (C1)

V.7.b : 74AC04 (C1)

V.2.3 Evaluation théorique du courant de commutation

Nous avons vérifié au *paragraphe V.1.4* que le logiciel "Simucmos" fournissait des résultats corrects pour l'inverseur non bufferisé 74HCU04. Nous allons maintenant l'appliquer au cas des composants bufferisés.

Nous avons reporté sur la *planche V.7*, les caractéristiques courant de commutation - tension d'entrée des inverseurs 74HC04 et 74AC04 dont nous avons caractérisé théoriquement les canaux N et P au cours du chapitre précédent.

Nous obtenons un courant d'amplitude 13 mA pour le 74HC04 et 58 mA pour le 74AC04. Ces grandeurs sont à comparer respectivement aux 19 mA et aux 50 mA du *tableau V.2* fournis lors de la mesure. L'accord est acceptable.

Nous avons considéré dans les simulations trois étages CMOS identiques assemblés en cascade, l'appel de courant produit par les deux étages amont est négligé.

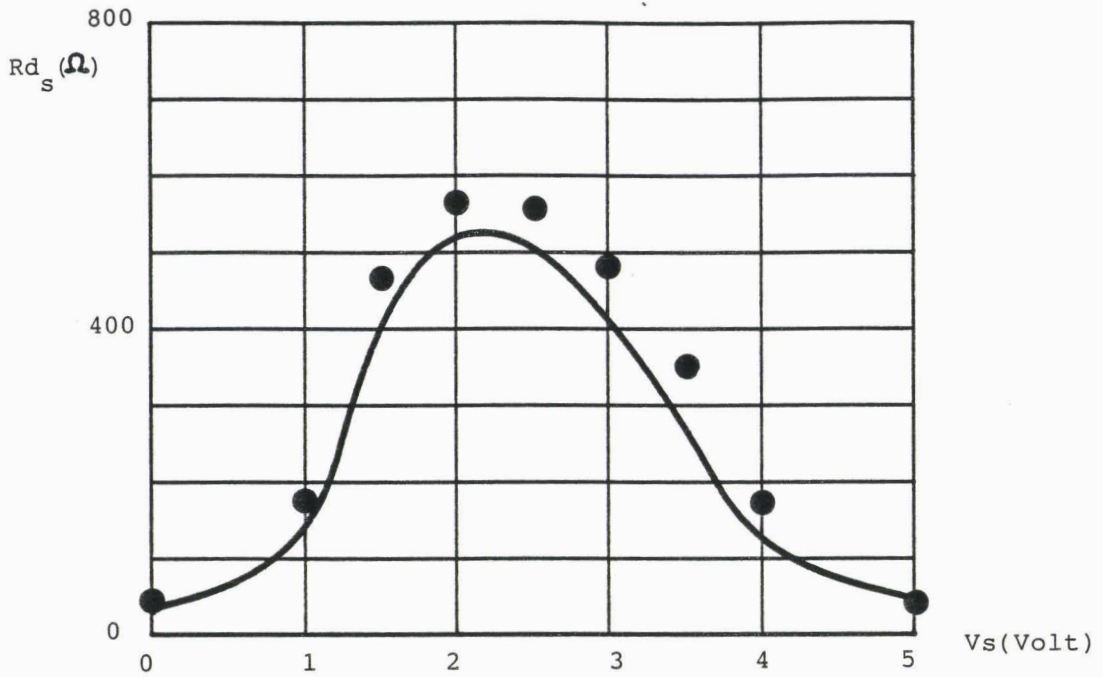
En ce qui concerne le 74HC04, l'écart de 6 mA obtenu entre la théorie et la mesure est certainement dû à l'approximation consentie auparavant. En effet, sur un composant moins rapide (74HCU04) l'appel de l'unique étage est moindre: il en résulte que la consommation de ces étages amonts n'est pas tout à fait négligeable.

Il en est autrement pour le 74AC04, puisque la valeur mesurée (50 mA) est plus faible que celle prévue (58 mA). Cet écart peut lui être relié aux difficultés de mesure évoquées précédemment (*paragraphe V.2.1.d*).

La modélisation ne fournit que le courant "statique" de traversée des canaux N et P à la tension de commutation. Nous avons construit un inverseur idéal sans considérer l'aspect "dynamique" c'est à dire sans prendre en compte les capacités parasites qui élargissent le courant de commutation d'un pic supplémentaire. On peut donc dire que le courant est la somme du courant de traversée et du courant CdV_e/dt des capacités parasites et de charge.

Cette situation limite par conséquent les possibilités de notre modèle puisqu'il devient difficile d'y adjoindre la signature temporelle exacte des signaux sensiblement perturbés par ces capacités parasites. Notre modélisation a tout de même le mérite de traduire la brutalité et l'amplitude importante de ce courant pour des logiques rapides.

V.8.a



● : points expérimentaux¹

V.8.b

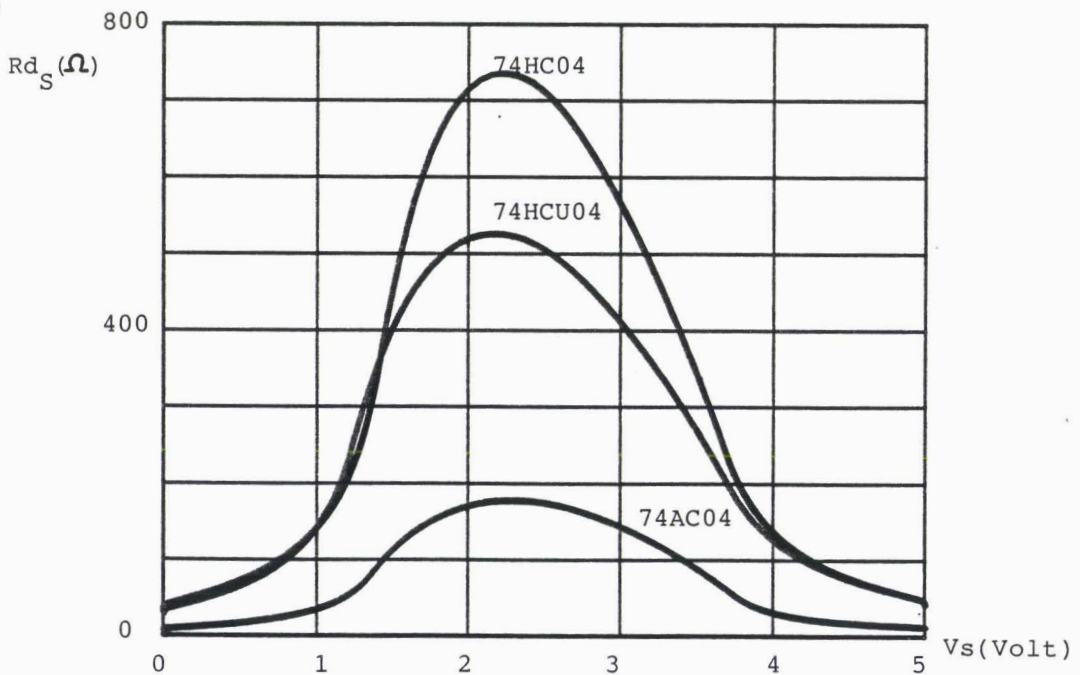


planche V.8: Modélisation de la résistance dynamique de sortie d'une logique CMOS

¹ tirés de B. COUDORO, J. BAUDET, B. DEMOULIN et P. DEGAUQUE
 "Etude du comportement des composants électroniques soumis aux IEM non destructives" - Etude phénoménologique des portes logiques à technologie CMOS perturbées lors de transitions état haut - état bas.

V.3 MODELISATION DES CARACTERISTIQUES DE COMMUTATION

Tout au long de la seconde partie de ce chapitre, nous avons tenté de mesurer le courant de commutation d'une logique, c'est à dire son amplitude et sa signature temporelle. Nous avons montré qu'il correspond à un courant global dont on ne peut fournir les caractéristiques complètes en considérant uniquement le courant de traversée des canaux N et P au moment de la commutation.

Nous allons par conséquent chercher une autre voie en nous appuyant toutefois sur les acquis précédents.

V.3.1 Modélisation de la résistance dynamique de sortie d'une logique CMOS

Nous avons vu dans la première partie de ce chapitre qu'un composant logique CMOS commute au moment où les caractéristiques courant-tension des deux MOS canal N et P se croisent en zone de conduction saturée. A cet instant, les deux canaux présentent une résistance dynamique élevée.

L'augmentation de la résistance dynamique de sortie du composant au moment du transit logique peut donc engendrer des phénomènes secondaires tels que retard et distorsion [10] lorsqu'une source de courant est appliquée sur cette sortie en phase de commutation.

Pour illustrer ce propos, nous représentons sur la *planche V.8.a* l'évolution de la résistance de sortie de l'inverseur 74HCU04 prévue par le modèle (logiciel "Simucmos") comparée aux mesures effectuées lorsque l'entrée varie entre le niveau logique bas et le niveau logique haut.

La valeur maximale est de 520 Ω contre 30 Ω pour un état stable.

Elle peut être différente pour d'autres familles comme le montre la *planche V.8.b* où figurent également les modélisations obtenues pour un inverseur 74HC04 et 74AC04. Pour ces composants à grand gain, la mesure de la résistance dynamique de sortie est très délicate à cause des risques d'instabilité thermique et de l'impossibilité de polariser de façon stable la sortie, par une commande sur l'entrée.

C'est pourquoi nous ne disposons pas des données expérimentales.

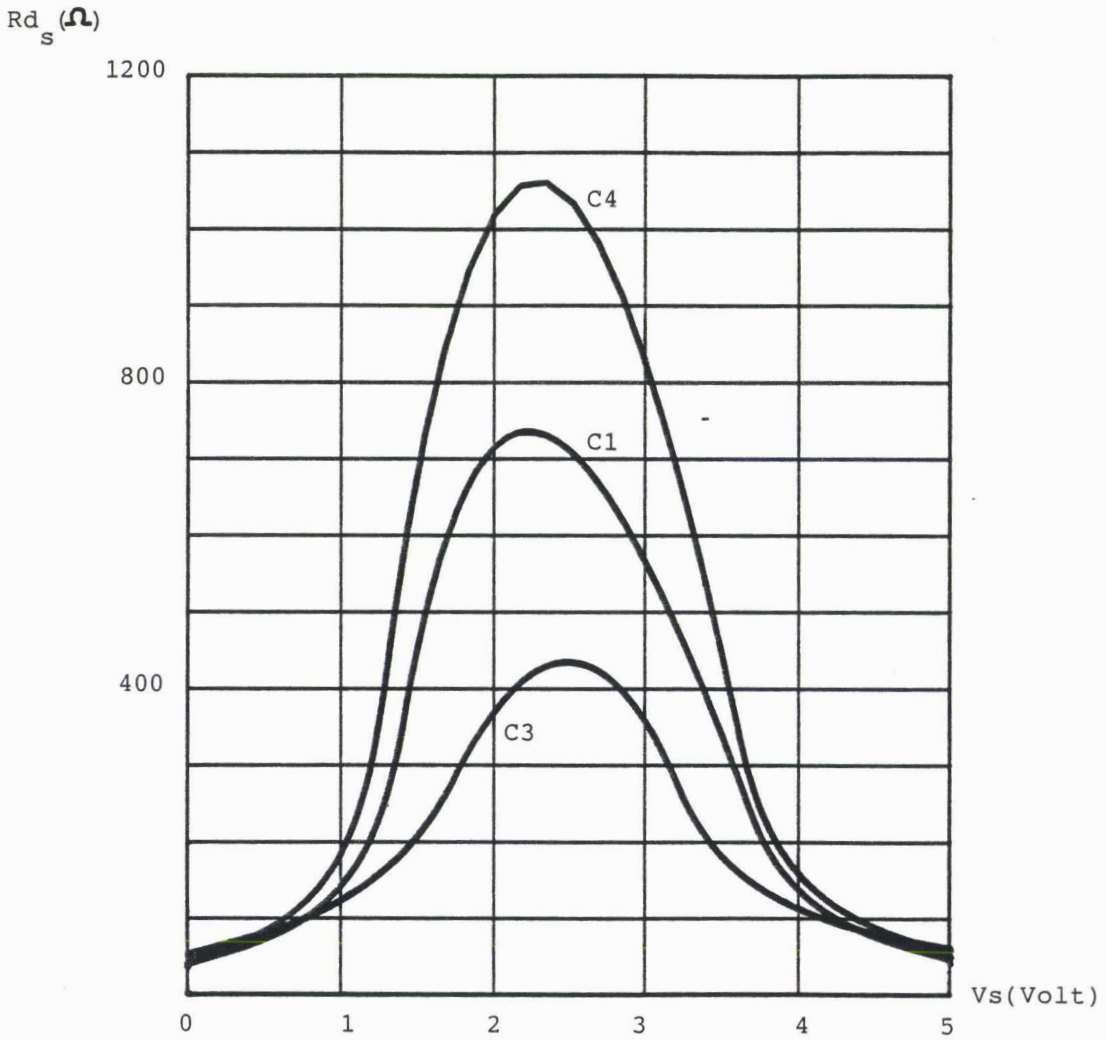


planche V.9: Modélisation de la résistance dynamique de sortie de trois inverseurs 74HC04 issus de trois constructeurs différents

L'analyse de ces courbes nous incite à penser que des trois composants le 74AC04 sera celui le moins sensible à une injection de courant au moment de sa commutation puisqu'il présente la plus faible résistance dynamique (175Ω). Pour une même injection, le 74HC04, dont la valeur crête de la résistance dynamique atteint 730Ω , présentera une plus grande sensibilité.

Cet aspect fait l'objet du travail de thèse de B. COUDORO [25].

Il est également intéressant de constater des différences notoires au sein de composants issus d'une même famille. Nous avons représenté sur la *planche V.9* l'évolution des résistances dynamiques de trois inverseurs 74HC04 issus de trois constructeurs différents (notés C1, C3 et C4 dans le *tableau IV.1* du chapitre 4).

La dispersion des maxima (430Ω , 730Ω et 1050Ω) nous laisse penser que la sensibilité de ces inverseurs dépend également du procédé de manufacture.

V.3.2 Modélisation de la signature du courant de commutation d'une fonction logique

Il serait intéressant de fournir une représentation temporelle du courant de commutation d'une fonction logique. Elle est susceptible d'être utilisée afin de mettre en évidence, de façon théorique, des phénomènes d'autoperturbation qui se produiraient à l'intérieur des cartes électroniques.

Nous avons montré tout au long de la seconde partie de ce chapitre que ce courant se traduit par une impulsion que nous pouvons caractériser par son amplitude et largeur à mi-hauteur.

Nous proposons ci-dessous trois modèles possibles de signatures.

V.3.2.a Modèle de l'impulsion rectangulaire

Il s'agit d'une impulsion dont l'amplitude est la valeur maximale du courant de commutation (que nous avons noté I_{com} au *paragraphe V.2.2*) et la largeur celle à mi-hauteur du pic de courant (τ_{com} au *paragraphe V.2.2*).

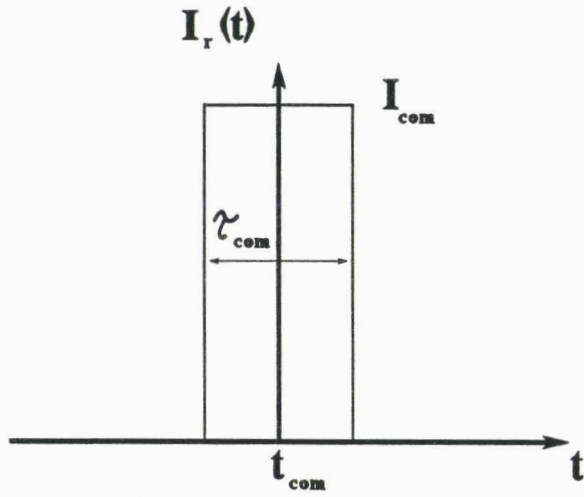


figure V.10: Représentation de l'impulsion rectangulaire

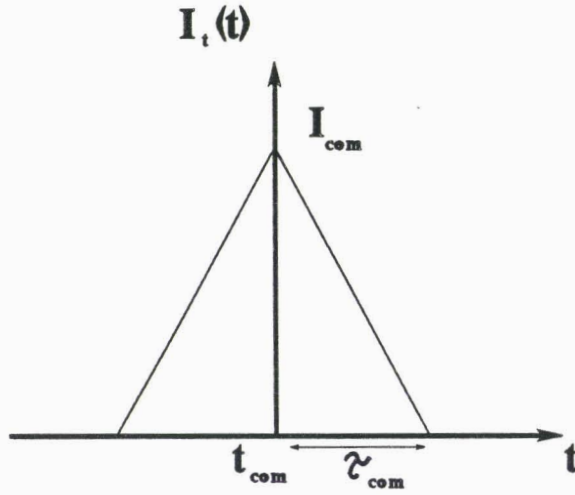


figure V.11: Représentation de l'impulsion triangulaire

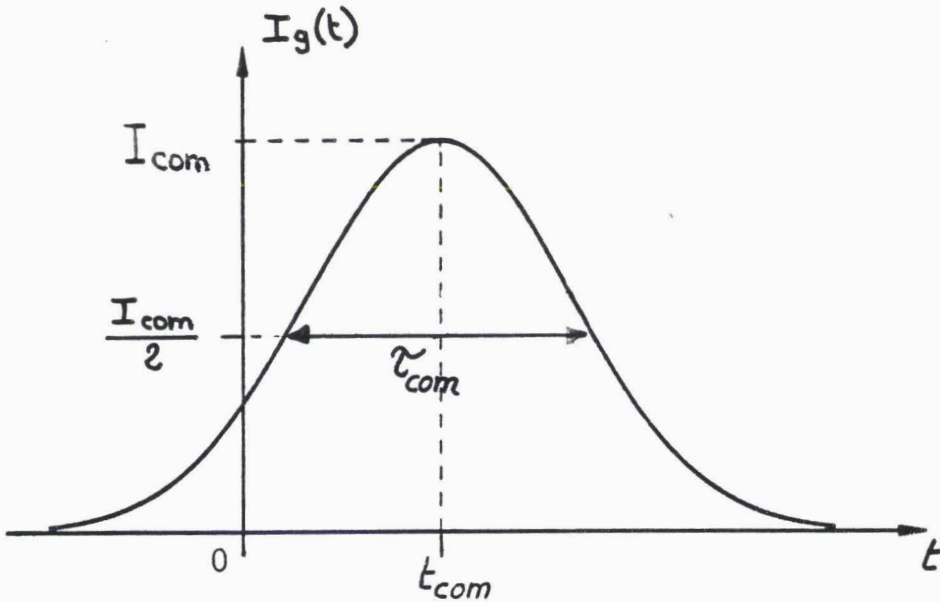


figure V.12: Représentation de l'impulsion gaussienne

Cette impulsion est centrée sur l'amplitude crête observée en pratique comme le montre la *figure V.10* ci-contre. Ce temps peut être défini comme le moment où la tension de sortie change d'état logique. Si l'origine des temps est prise lors de la transition du signal d'entrée, il est égal au temps de propagation moyen tpd de l'opérateur défini au chapitre 1.

Cette représentation ne peut convenir pour un composant non bufferisé de la technologie CMOS en raison de sa transition progressive.

V.3.2.b Modèle de l'impulsion triangulaire

Une seconde possibilité un peu plus réaliste consiste à modéliser cet appel de courant sous la forme d'une impulsion triangulaire d'amplitude I_{com} et dont la largeur à la base, centrée sur t_{com} , vaut $2\tau_{com}$ (*figure V.11*). L'expression analytique de ce signal peut s'écrire sous la forme:

$$\begin{aligned} t \in [t_{com} - \tau_{com}; t_{com} + \tau_{com}] &\Rightarrow I_t(t) = I_{com} - \left| \frac{I_{com}}{\tau_{com}} \cdot t \right| \\ t \notin [t_{com} - \tau_{com}; t_{com} + \tau_{com}] &\Rightarrow I_t(t) = 0 \end{aligned} \quad (V.17)$$

Cette représentation, si elle traduit mieux la réalité, présente des discontinuités de pentes.

V.3.2.c Modèle de l'impulsion gaussienne

Une impulsion gaussienne a pour expression analytique:

$$I_g(t) = I_0 \exp[-\beta^2 t^2] \quad (V.18)$$

dans le cas présent nous pouvons l'écrire sous la forme

$$I_g(t) = I_{com} \exp[-\beta^2 (t - t_{com})^2] \quad (V.19)$$

sachant que $I_g(t) = I_{com}/2$ pour $t = t_{com} + \tau_{com}/2$, un rapide calcul fournit la valeur de β^2

$$\beta^2 = \frac{1}{0,36 \tau_{com}^2} \quad \text{d'où} \quad I_g(t) = I_{com} \exp\left[-\frac{(t - t_{com})^2}{0,36 \tau_{com}^2}\right] \quad (V.20)$$

La courbe a l'allure de la figure V.12.

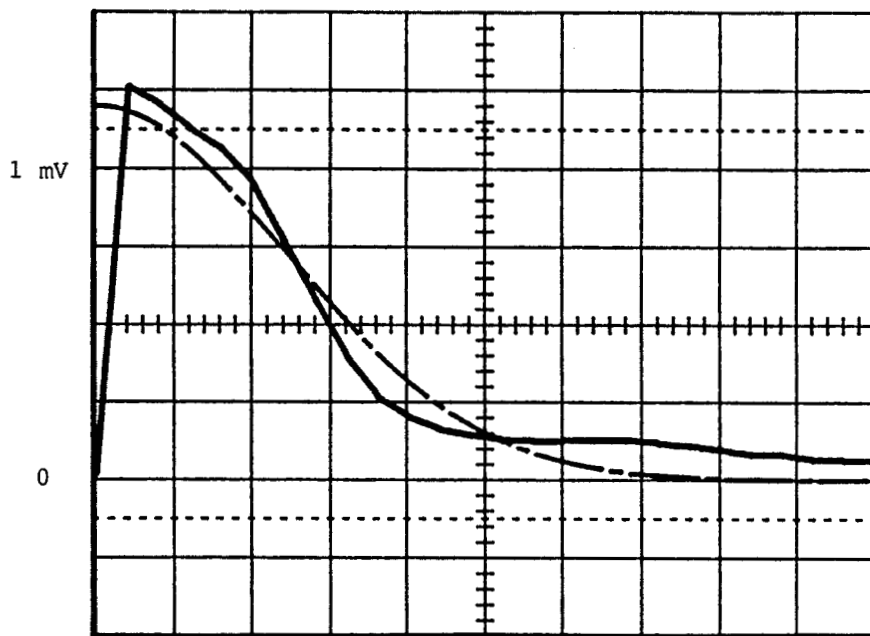


figure V.13: Représentation spectrale du courant de commutation d'un inverseur 74HC04

—: Résultat expérimental
- - - : Transformée de FOURIER de la gaussienne équivalente

échelle: 50 MHz/div

Il faut noter que cette représentation du courant convient aussi bien pour un composant bufferisé que pour un composant non bufferisé de la technologie CMOS et qu'elle ne présente pas de discontinuités mathématiques (expression dérivable à l'infini).

Les grandeurs I_{com} et τ_{com} ont été évaluées pour différentes familles logiques au *paragraphe V.2.2 (tableau V.3)*.

V.3.3 Analyse spectrale du courant de commutation

Nous nous intéressons cette fois à la comparaison des signatures spectrales du courant de commutation d'une logique lente, rapide et très rapide. La visualisation du spectre mesuré et la comparaison avec celui du modèle du signal temporel, nous renseignera sur le choix optimal de la représentation analytique.

Si les courants de traversée sont identiques et si le signal d'entrée est de rapport cyclique 50%, le spectre doit avoir pour fondamental une fréquence double de celle du signal d'entrée. Or la première condition n'est pas toujours remplie (cas de la TTL) et l'on se trouve en face d'un spectre d'interprétation très difficile. L'utilisation d'un analyseur de spectre s'avère par conséquent délicate. C'est d'autant plus vrai que la bande passante de ce dernier est largement supérieure à celle de l'oscilloscope numérique utilisé: le signal fréquentiel risque d'être déformé par des parasites éliminés par le filtrage de l'oscilloscope.

Nous pensons que la meilleure solution consiste à prendre la transformée de FOURIER rapide du signal temporel mémorisé. Cette opération mathématique s'applique particulièrement bien dans le cas de signaux bornés (l'amplitude de ces signaux tend vers 0 lorsque le temps augmente) ce qui est justement le cas du courant de commutation. La tâche est d'autant plus facilitée que l'oscilloscope numérique utilisé peut effectuer directement le calcul.

Nous fournissons sur la *figure V.13* ci-contre:

- la transformée de FOURIER rapide calculée par l'oscilloscope numérique, sur une fenêtre de 50 ns, du courant de commutation d'un inverseur 74HC04 dont la représentation temporelle a été donnée par la *planche V.5.a*.

- la transformée de FOURIER théorique de l'impulsion gaussienne équivalente ($I_{com} = 19 \text{ mA}$; $\tau_{com} = 3 \text{ ns}$) dont nous avons déterminé l'expression analytique en utilisant l'équivalence [29] :

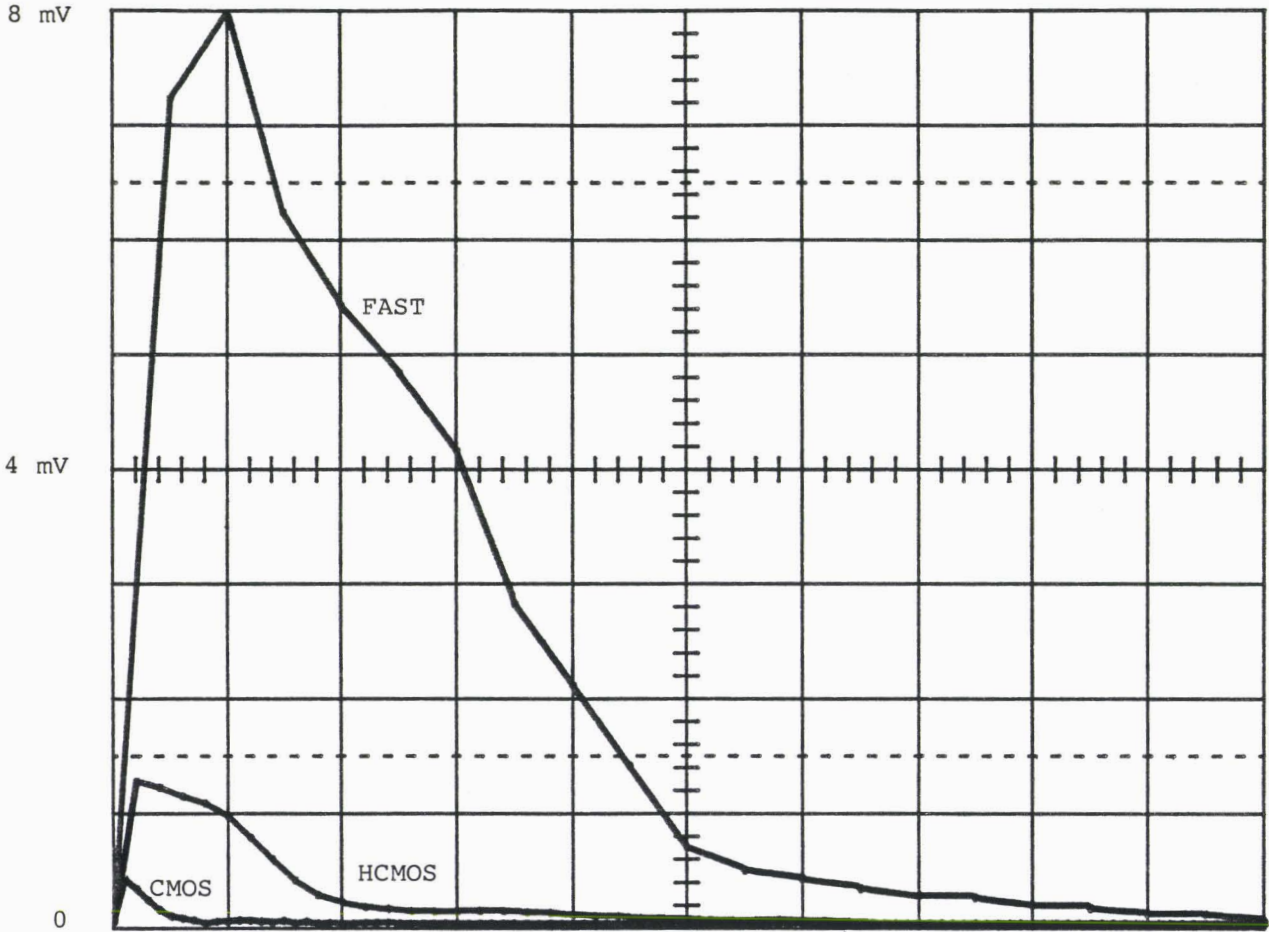


planche V.10: Représentation spectrale du courant de commutation de quelques inverseurs issus de familles logiques différentes

échelle: 100 MHz/div

$$I_g(t) = I_0 \exp[-\beta^2 t^2] \Leftrightarrow I_g(f) = \frac{I_0 \sqrt{\pi}}{\beta} \exp\left[-\frac{\pi^2 f^2}{\beta^2}\right] \quad (\text{V.21})$$

$$\text{d'où} \quad I_g(f) = I_{\text{com}} \cdot \tau_{\text{com}} \cdot 1,0635 \exp\left[-0,36 (\pi f \tau_{\text{com}})^2\right] \quad (\text{V.22})$$

Nous constatons alors une similitude des deux courbes qui prouve bien que l'on peut représenter ce signal, à la fois dans le temps et en fréquence, par une gaussienne définie au paragraphe précédent.

La *planche V.10* ci-contre donne les spectres jusqu'à 1 GHz des courants de commutation

- d'un inverseur 74C04 (logique lente)
- d'un inverseur 74HC04 (logique rapide)
- d'un inverseur 74F04 (logique très rapide)

Ils sont calculés par le processeur de FOURIER intégré à l'oscilloscope numérique à partir des signaux de la *figure V.6*, de la *planche V.5.a* et de la *figure V.9*. Les amplitudes ont été rapportées à celles d'une tension mesurée aux bornes d'une résistance de 1 Ω .

Nous constatons que plus un composant est rapide plus son spectre est étendu (au delà de 500 MHz) et plus il est intense.

Cette représentation spectrale montre également qu'une carte produit lors de son fonctionnement dynamique un bruit de fond qui peut se combiner à un perturbateur externe et par conséquent modifier la sensibilité apparente de cette carte électronique. Ce pouvoir autoperturbateur nous paraît être un aspect à considérer lors de l'édification de projet rendant les cartes moins sensibles.

CONCLUSION

Nous avons voulu décrire dans ce chapitre les deux phénomènes physiques importants qui coexistent sur le plan de la compatibilité électromagnétique, lorsqu'un composant logique entre en commutation. Il s'agit de l'augmentation conséquente de son impédance de sortie et de l'appel de courant sur son alimentation.

Les faits relevés et modélisés au cours des précédents chapitres ont été utilisés afin de tenter de décrire, à l'aide d'un modèle mathématique le plus représentatif possible, ces deux phénomènes.

La résistance dynamique de sortie, au moment du transit logique, peut atteindre une valeur crête de l'ordre du $k\Omega$. L'évolution de cette grandeur a été modélisée en fonction de la tension de sortie dans le cas des inverseurs CMOS. Nous avons alors constaté que la résistance dynamique obtenue sur la famille la plus rapide (FACT) présentait la plus faible valeur. La conséquence en est une sensibilité moindre aux injections de courant sur le port de sortie lors du changement d'état. Nous avons également montré que des divergences importantes pouvaient exister pour une même fonction logique issue de manufacturiers différents.

Le courant de commutation est un courant global réunissant plusieurs composantes. L'une que l'on peut considérer comme statique est le courant de traversée de l'étage de sortie. Elle subsiste toujours même si les fronts des signaux de commande sont très faibles (de l'ordre de la ns). Dans ce cas, il est nécessaire de prendre également en compte une autre composante provenant des éléments parasites (selfs, capacités) internes au circuit intégré. L'amplitude totale du courant s'échelonne de quelques mA (CMOS standard) à une centaine de mA (circuits TTL rapides FAST). Sa durée que l'on peut définir comme étant la largeur du signal à mi-hauteur varie en fonction de la vitesse de commutation des familles logiques. A titre d'exemple, nous avons mesuré une valeur de 1.5 ns pour la famille FAST.

Dès lors, nous comprenons bien que sa représentation temporelle prend la forme d'une impulsion que nous avons choisie de décrire analytiquement comme une gaussienne centrée sur l'instant où la sortie commute, dont la largeur à mi-hauteur est égale au temps de commutation. Ce choix de représentation s'est trouvé être en bon accord avec la signature fréquentielle du courant de commutation. La transformée de FOURIER rapide du signal est également une gaussienne centrée à l'origine et dont la largeur s'étend de 100 MHz pour les composants les plus lents à 500 MHz pour les plus rapides. Du point de vue de la compatibilité électromagnétique, nous dirons alors que le composant le plus rapide est plus polluant en raison de l'étendue et de l'intensité plus importante du spectre émis par son fonctionnement.

CONCLUSION GENERALE

l'étude entreprise dans notre thèse apporte des précisions intéressantes sur le comportement des circuits logiques perturbés par des sources de courant ou de tension indésirables.

Bien que notre étude soit limitée à la fonction logique la plus élémentaire "l'inverseur" nous pensons que les conclusions rassemblées dans ce travail peuvent être assez bien étendues à d'autres fonctions.

L'élément sur lequel nous avons orienté notre approche est l'injection de courant sur la sortie du composant. En effet, ce mode d'agression a des effets assez méconnus que nous nous sommes efforcés d'éclaircir.

En tout premier lieu, nous nous sommes intéressés à la technologie TTL en reproduisant à partir de composants bipolaires discrets la structure d'un composant intégré. Cette démarche a été décisive pour montrer qu'une impulsion de courant parvenant sur la sortie du composant pouvait se traduire par des effets concernant la CEM de composants assemblés en cascade.

C'est ainsi que la contribution du transistor qui contrôle l'état de sortie du composant joue un grand rôle. L'expérience et la mise en oeuvre de notre modèle de simulation ont révélé ces phénomènes et en particulier l'apparition d'une surtension provoquée par des mécanismes de recouvrement de charges électriques que nous avons pu chiffrer. La surtension ainsi produite sera le facteur agissant le plus sur la sensibilité du composant vis à vis de ce genre de perturbateur.

Les composants de la technologie CMOS n'obéissent pas au même processus dans la mesure où c'est la résistance faible des canaux N ou P présentée par la sortie à l'état stable qui imposera la tension résiduelle produite par l'injection de courant. Par contre, il est apparu lors du transit logique que cette résistance de sortie peut s'accroître dans des proportions importantes et agir de ce fait sur la sensibilité du composant.

Pour comprendre ce phénomène, il a fallu caractériser totalement les deux canaux complémentaires N et P. Les équations habituelles du MOS font apparaître un courant de saturation beaucoup trop élevé et une résistance dynamique infinie dans cette zone. Une étude bibliographique a donc été nécessaire. Elle nous a fourni les principaux éléments d'un modèle qui est basé sur le calcul du champ électrique dans la couche d'inversion. Ce calcul prend en compte des effets secondaires non négligeables tels que la variation de la mobilité des porteurs sous la grille et la composante normale du champ électrique.

Le modèle est tributaire de paramètres macroscopique que nous avons dûs mesurer au moyen de techniques spécifiques évitant la

dérive thermique du composant en le polarisant de façon cyclique par un générateur de contrôle.

Les conclusions de ces travaux ont montré que la vitesse de commutation du composant intervenait beaucoup sur sa sensibilité. La provenance du composant est également un facteur déterminant. C'est notamment le cas si l'on regarde le comportement de la résistance dynamique durant le transit logique. En effet les mesures et les simulations faites sur ce paramètre ont montré que pour des composants portant la même référence, il y avait des dispersions sensibles suivant le constructeur d'origine.

Ce comportement se traduit toujours par un accroissement de la résistance de sortie dont la valeur peut atteindre plus de dix fois la résistance statique. Nous comprenons alors aisément qu'un perturbateur parvenant lors du transit logique réunira les conditions de sensibilité les plus défavorables.

Ce mécanisme fait l'objet d'une étude plus approfondie entreprise par B. COUDORO.

Notre recherche a également révélé que l'appel de courant produit sur la ligne d'alimentation lors du transit logique pouvait être considéré comme une source perturbatrice latente. Ceci est particulièrement vrai pour les composants les plus rapides et à grand gain. Une signature typique s'apparentant à une gaussienne a pu être établie pour caractériser ce courant d'appel et par voie de conséquence le spectre perturbant qu'il est capable de générer.

Au terme de cette étude nous pouvons dire que les modèles élaborés dans notre thèse peuvent enrichir les informations concernant aussi bien l'action de perturbateurs extérieurs sur le circuit intégré que la propre pollution qu'il produit lors de sa commutation.

La mise en oeuvre de ces modèles a nécessité une description très complète du fonctionnement du transistor bipolaire et du composant CMOS en cours de commutation. Le recours aux travaux publiés dans la bibliographie a été fondamental pour mener à bien ce travail. Il ressort que nos résultats peuvent aussi sortir du cadre très spécialisé de la compatibilité électromagnétique. En effet, il est apparu que certaines données mesurées sur les composants et utiles à l'exploitation de nos modèles subissaient une importante dispersion.

Cette dispersion n'est pas vraiment corrélée aux caractéristiques nominales du composant mais plutôt liée aux critères de conceptions du substrat. Cette remarque nous incite, pour une évolution future de ce travail, à mettre à profil cette dispersion pour rechercher une dérive éventuelle de la fiabilité de ces circuits soumis à des contraintes à répétition.

BIBLIOGRAPHIE

-
- [1] : J.M. BERNARD et J. HUGON
"Pratique des circuits logiques"
Eyrolles 1990
- [2] : FAST Advanced Schottky TTL Logic Databook
National Semiconductor 1988
- [3] : FACT Advanced CMOS Logic Databook
National Semiconductor 1989
- [4] : M. MARDIGUIAN
"Electromagnetic control in components and devices"
A handbook series on electomagnetic interference and
compatibility Volume 5
Interference Control Technologies, Inc. 1988
- [5] : B. DEMOULIN
"Notions de compatibilité électromagnétique"
cours EUDIL (Ecole Universitaire Des Ingénieurs de Lille)
- [6] : B. DEMOULIN, C. LARDE et P. DEGAUQUE
"Comportement phénoménologique des circuits logiques
soumis à des perturbations électromagnétiques de
nature harmonique"
CEM Evian 1989
- [7] : C. LARDE
"Etude expérimentale du comportement des circuits
intégrés logiques soumis à des perturbations
électromagnétiques"
Thèse en électronique
Université de Lille 1991
- [8] : C.E. LARSON and J.M. ROE
"A modified Ebers-Moll transistor model for RF-
interference analysis"
IEEE Transactions on Electromagnetic Compatibility
vol. EMC-21 n°4 November 1979

-
- [9] : J.J. WHALEN, J.G. TRONT, C.E. LARSON and J.M. ROE
"Computer-aided analysis of RFI effects in digital
integrated circuits"
IEEE Transactions on Electromagnetic Compatibility
vol. EMC-21 n°4 November 1979
- [10] : B. COUDORO, J. BAUDET, B. DEMOULIN et P. DEGAUQUE
"Etude phénoménologique de la distorsion introduite
sur les fronts de transition de signaux logiques traités
par des composants intégrés de type CMOS"
Contrat INRETS-CRESTA Octobre 1991
- [11] : I. STEPANENKO
"Principes de la microélectronique"
Mir 1983
- [12] : A. VAPAILLE et R. CASTAGNE
"Dispositifs et circuits intégrés semiconducteurs"
Dunod 1990
- [13] : H. MATHIEU
"Physique des semiconducteurs et des composants
électroniques"
Masson 1987
- [14] : SPICE: A guide to circuit simulation and analysis using
SPICE
- [15] : F. AYRES Jr
"Théorie et applications des équations différentielles"
Série SCHAUM 1982
- [16] : C. BREZINSKI
"Algorithme numérique"
Ellipses 1988
- [17] : P. LAURENT-GENGOUSE et D. TRYSTRAM
"Comprendre l'informatique numérique"
Info sup. 1989
- [18] : M. SIBONY et J.Cl. MARDON
"Approximations et équations différentielles"
(Analyse numérique II)
Hermann 1984

-
- [19] : S.L. GARVERICK and C.G. SODINI
"A simple model for scaled MOS transistors that includes field dependent mobility"
IEEE Journal of solid. state circuits
vol. SC-22 n°1 February 1987
- [20] : C.G. SODINI, PING-KEUNG KO and J.L. MOLL
"The effect of high fields on MOS device and circuit performance"
IEEE Transactions on electron devices
vol. ED-31 n°10 October 1984
- [21] : S. LIU and L.W. NAGEL
"Small-signal MOSFET models for analog circuit design"
IEEE Journal of solid. state circuits
vol. SC-17 n°6 December 1982
- [22] : B.J. SHEU, D.L. SCHARFETTER, P.K. KO and M.C. JENG
"BSIM: Berkeley short-channel IGFET model for MOS transistors"
IEEE Journal of solid. state circuits
vol. SC-22 n°4 August 1987
- [23] : G. MERCKER, J. BOREL and N.Z. CUPCEA
"An accurate large-signal MOS transistor model for use in computer aided design"
IEEE Transactions on electron devices
vol. ED-19 n°5 May 1972
- [24] : P. DEGAUQUE et J. HAMELIN
Compatibilité électromagnétique:
"bruits et perturbations radioélectriques"
Dunod 1990
- [25] : B. COUDORO
thèse en électronique à paraître
Université de Lille 1993
- [26] : A. GOURDIN et M. BOUMAH RAT
"Méthodes numériques appliquées"
Technique et documentation Lavoisier 1989

- [27] : P. LESNE
"Les effets de masse"
Electronique radio plans 509
- [28] : G. METZGER et J.P. VABRE
Electronique des impulsions tome 1
"Circuits à constantes localisées"
Masson 1966
- [29] : F. de COULON
"Théorie et traitement des signaux"
Dunod 1984
- [30] : I. BURGER
"Important characteristics of the Icc causing EMI on
PCBs and their values measured on several types of
devices"
10th Int. symp. on EMC WROCLAW 1990
- [31] : A.M. BRIGININ and N.A. TITOVICH
"Electromagnetic interference effects on digital
integrated circuits"
10th Int. symp. on EMC WROCLAW 1990
- [32] : B. HEDDEBAUT, J. BAUDET, B. DEMOULIN et P. DEGAUQUE
"Modélisation d'une porte logique NAND (TTL) perturbée
en faisant usage des équations générales du transistor
bipolaire"
Contrat INRETS-CRESTA, Janvier 1991
- [33] : J. BAUDET, C. LARDE, B. HEDDEBAUT, B. DEMOULIN
and P. DEGAUQUE
"Modelization of the susceptibility of digital circuits to
Electromagnetic disturbances"
Proceedings of the second international conference on
Electromagnetics in Aerospace applications
September 17-20, 1991 Politecnico di TORINO
- [34] : B. HEDDEBAUT, J. BAUDET, B. DEMOULIN et P. DEGAUQUE
"Modélisation théorique et protocoles de mesures
permettant de prévoir le comportement de circuits
CMOS agressés par leur sortie"
Contrat INRETS-CRESTA, Octobre 1991

- [35] : J. BAUDET, B. HEDDEBAUT, B. COUDORO, B. DEMOULIN et
P. DEGAUQUE
"Caractérisation de la sensibilité aux I.E.M des circuits
intégrés CMOS et HCMOS lors de leur transit logique"
6ième Colloque International et Exposition sur la
Compatibilité Electromagnétique
Juin 2-4, 1992 ECULLY
- [36] : J. BAUDET, B. HEDDEBAUT, B. COUDORO, B. DEMOULIN et
P. DEGAUQUE
"Implication du risque électromagnétique dans la
sécurité du fonctionnement des circuits logiques
intégrés"
8ième colloque $\lambda\mu$, Octobre 1992 GRENOBLE
- [37] : B. HEDDEBAUT, J. BAUDET, B. COUDORO, B. DEMOULIN et
P. DEGAUQUE
"Susceptibility of CMOS and HCMOS integrated circuits to
transient disturbing signals"
Mars 1993 ZURICH

ANNEXES

ANNEXE 1

Caractéristiques de sortie d'un transistor bipolaire

Les résultats sont obtenus à partir des équations d'EBERS-MOLL qui traduisent les relations courants-tensions dans le transistor.

1.1 Rappel des conventions de signes des courants et tensions dans un transistor bipolaire

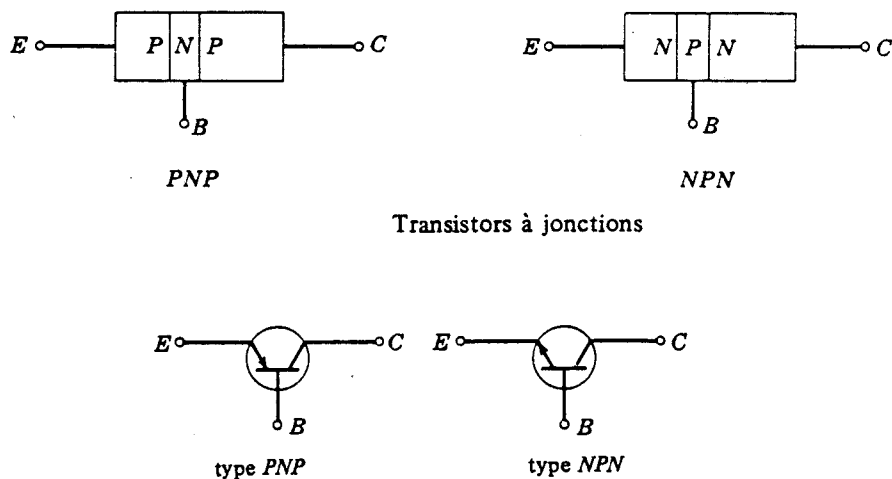


figure A1.1

- la flèche indique la direction réelle du courant dans l'émetteur lorsque la jonction base-émetteur est polarisée en direct.
- l'amplitude du courant d'émetteur est la somme des amplitudes des courants de base et de collecteur. Les directions réelles des courants de base et de collecteur sont déterminées à partir du sens de la flèche dans l'émetteur.
- le sens de référence des courants est tel que, tout courant entrant dans le transistor a une amplitude positive. Quand la direction réelle du courant est opposée à la direction de référence on utilise un signe -.
- les chutes de tensions sont choisies positives entre une borne et la borne de référence.

: sens positif de référence des courants et tensions
 : sens réel

1.1.a Transistor NPN

La *figure A1.2* représente un transistor NPN avec le sens de référence des courants et tensions instantanés. Lorsqu'un transistor NPN est monté en émetteur commun les tensions V_{be} et V_{ce} , ainsi que les courants I_{be} et I_{ce} , sont positifs. On le voit en considérant la direction de la flèche de l'émetteur ou le signe de la polarisation sur chaque jonction.

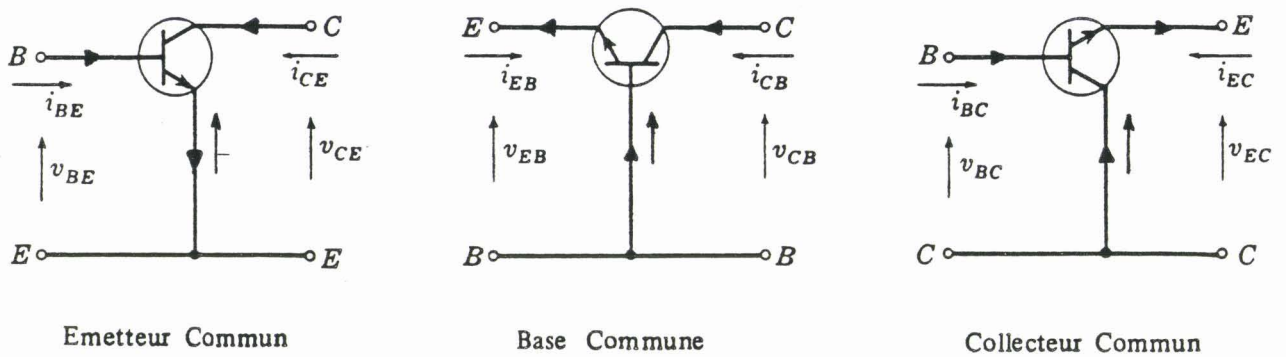


figure A1.2

1.1.b Transistor PNP

Les sens de référence des tensions et courants instantanés dans un transistor PNP sont donnés par la *figure A1.3*. Comme les sens de référence sont les mêmes que dans le cas d'un transistor NPN, les courants et les tensions ont des signes opposés à ceux et celles qui correspondent au transistor NPN. Par exemple, dans un montage base commune, I_{cb} et V_{cb} sont négatifs et I_{eb} et V_{eb} sont positifs.

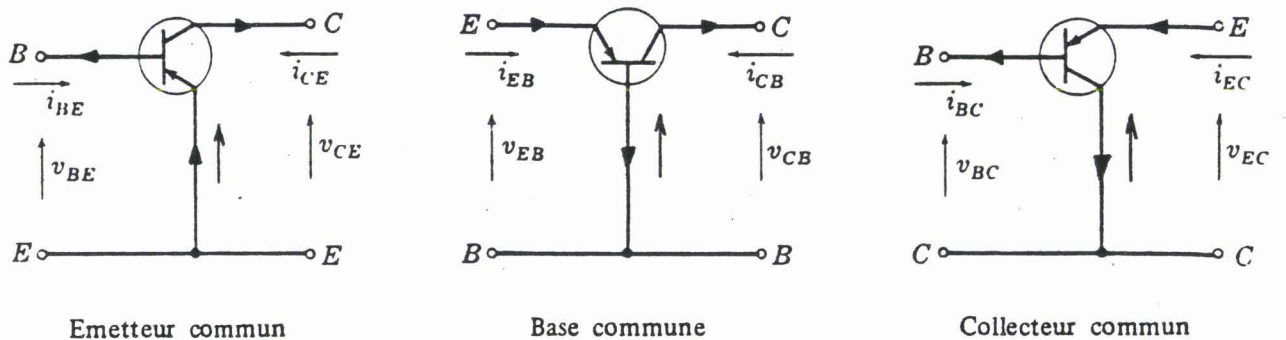


figure A1.3

1.2 Modèle d'EBERS-MOLL

En partant du fait qu'un transistor bipolaire est l'ensemble de deux jonctions PN mises en opposition et interagissantes, il peut être représenté par un schéma électrique équivalent ou, comme on le dit, par un modèle physique.

Le modèle d'EBERS-MOLL reflète bien la réversibilité d'un transistor, c'est à dire l'équivalence de principe de ses deux jonctions.

Cette équivalence se manifeste d'une façon particulièrement claire au régime de double injection lorsque les deux jonctions sont soumises à des tensions directes. A ce régime, chacune des jonctions injecte des porteurs dans la base et en même temps collecte des porteurs issus de l'autre jonction qui l'atteignent.

Les courants transportés par les porteurs injectés sont désignés par I_1 et I_2 et les courants constitués par les porteurs collectés par $\alpha_n I_1$ et $\alpha_i I_2$. Dans le modèle considéré les courants $\alpha_n I_1$ et $\alpha_i I_2$ sont obtenus à l'aide de générateurs de courant.

1.2.a Modèle pour un NPN

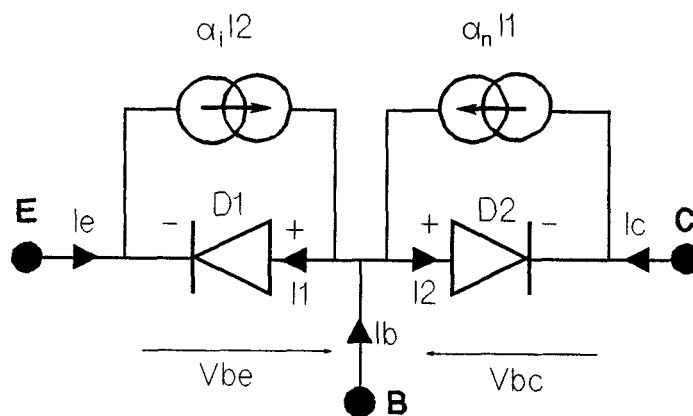


figure A1.4

$$\begin{aligned}
 I_b &= -I_c - I_e \\
 I_e &= \alpha_i I_2 - I_1 \\
 I_c &= \alpha_n I_1 - I_2 \\
 I_1 &= I_{s1} \left(\exp \frac{V_{be}}{\lambda_1 V_t} - 1 \right) \\
 I_2 &= I_{s2} \left(\exp \frac{V_{bc}}{\lambda_2 V_t} - 1 \right)
 \end{aligned}$$

1.2.b Modèle pour un PNP.

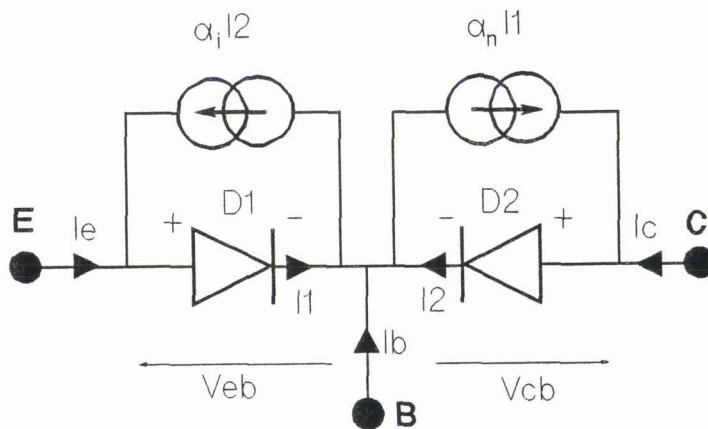


figure A1.5

$$\begin{aligned}
 I_b &= -I_c - I_e \\
 I_e &= I_1 - \alpha_i I_2 \\
 I_c &= I_2 - \alpha_n I_1 \\
 I_1 &= I_{s1} \left(\exp \frac{V_{eb}}{\lambda_1 V_t} - 1 \right) \\
 I_2 &= I_{s2} \left(\exp \frac{V_{cb}}{\lambda_2 V_t} - 1 \right)
 \end{aligned}$$

1.2.c Signification physique des paramètres

- α_n : gain en courant du transistor en régime normal
- α_i : gain en courant du transistor en régime inversé
- $\alpha_i \ll \alpha_n$
- I_{s1} : courant de saturation de la jonction émetteur-base
- I_{s2} : courant de saturation de la jonction base-collecteur
- λ_1 : coefficient de raideur de la jonction émetteur-base
- λ_2 : coefficient de raideur de la jonction base-collecteur
- $\lambda_1, \lambda_2 \in [1, 2]$
- V_t : tension thermique

$$V_t = \frac{kT}{q}$$

k: constante de BOLTZMANN

$$(k = 1,381 \cdot 10^{-23} \text{ JK}^{-1})$$

q: charge de l'électron

$$(q = 1,602 \cdot 10^{-19} \text{ C})$$

T: température en Kelvin

1.3 Expression théorique donnant $I_c = f(V_{ce})$

Les calculs sont effectués pour un transistor NPN, les équations d'EBERS-MOLL donnent:

$$I_e = \alpha_i I_{s2} \left[\exp \frac{V_{bc}}{\lambda_2 V_t} - 1 \right] - I_{s1} \left[\exp \frac{V_{be}}{\lambda_1 V_t} - 1 \right] \quad (1)$$

$$I_c = \alpha_n I_{s1} \left[\exp \frac{V_{be}}{\lambda_1 V_t} - 1 \right] - I_{s2} \left[\exp \frac{V_{bc}}{\lambda_2 V_t} - 1 \right] \quad (2)$$

$$I_b = - (I_c + I_e)$$

On multiplie (2) par α_i et on ajoute (1) :

$$I_e + \alpha_i I_c = - I_{s1} (1 - \alpha_n \alpha_i) \cdot \left[\exp \frac{V_{be}}{\lambda_1 V_t} - 1 \right] \quad (3)$$

On remplace I_e par $- (I_b + I_c)$, on obtient une expression de V_{be} en fonction de I_b et I_c :

$$\exp \frac{V_{be}}{\lambda_1 V_t} = 1 + \frac{I_b + (1 - \alpha_i) I_c}{I_{s1} (1 - \alpha_n \alpha_i)}$$

$$\exp \frac{V_{be}}{V_t} = \left[1 + \frac{I_b + (1 - \alpha_i) I_c}{I_{s1} (1 - \alpha_n \alpha_i)} \right]^{\lambda_1} \quad (4)$$

$$V_{be} = \lambda_1 V_t \text{Log} \left[1 + \frac{I_b + (1 - \alpha_i) I_c}{I_{s1} (1 - \alpha_n \alpha_i)} \right] \quad (5)$$

On remplace $\exp \frac{V_{be}}{V_t}$ par sa valeur dans (2)

$$I_c = \alpha_n I_{s1} \left[\frac{I_b + (1 - \alpha_i) I_c}{I_{s1} (1 - \alpha_n \alpha_i)} \right] - I_{s2} \left[\left(1 + \frac{I_b + (1 - \alpha_i) I_c}{I_{s1} (1 - \alpha_n \alpha_i)} \right)^{\frac{\lambda_1}{\lambda_2}} \cdot \exp \frac{-V_{ce}}{\lambda_2 V_t} - 1 \right]$$

$$\exp \frac{-V_{ce}}{\lambda_2 V_t} = \frac{-I_c + \left[\frac{\alpha_n I_b + \alpha_n (1 - \alpha_i) I_c}{1 - \alpha_n \alpha_i} \right] - I_{s2}}{I_{s2} \left(1 + \frac{I_b + (1 - \alpha_i) I_c}{I_{s1} (1 - \alpha_n \alpha_i)} \right)^{\frac{\lambda_1}{\lambda_2}}}$$

$$\exp \frac{-V_{ce}}{\lambda_2 V_t} = \frac{(1 - \alpha_n \alpha_i) I_{s2} + \alpha_n I_b - (1 - \alpha_n) I_c}{I_{s2} (1 - \alpha_n \alpha_i) \left[\frac{I_b + I_{s1} (1 - \alpha_n \alpha_i)}{I_{s1} (1 - \alpha_n \alpha_i)} + \frac{(1 - \alpha_i) I_c}{I_{s1} (1 - \alpha_n \alpha_i)} \right]^{\frac{\lambda_1}{\lambda_2}}}$$

en posant

$$c1 = \frac{1 - \alpha_n \alpha_i}{1 - \alpha_n} I_{s2}$$

$$c2 = \frac{I_b + I_{s1} (1 - \alpha_n \alpha_i)}{I_{s1} (1 - \alpha_n \alpha_i)}$$

$$c3 = \frac{1 - \alpha_i}{I_{s1} (1 - \alpha_n \alpha_i)}$$

$$c4 = \frac{\alpha_n I_b + I_{s2} (1 - \alpha_n \alpha_i)}{1 - \alpha_n}$$

$$r = \frac{\lambda_1}{\lambda_2}$$

on obtient

$$V_{ce} = \lambda_2 V_t \text{Log} \left[\frac{c1 (c2 + c3 \cdot I_c)^r}{c4 - I_c} \right] \quad (6)$$

La formulation est la même pour un transistor PNP en prenant

$$I_b < 0 ; I_c < 0 ; V_{ce} < 0$$

effet Early:

Les tensions base-collecteur et base-émetteur modifient la valeur de la largeur effective de la base. Lorsque la tension collecteur-base croît en module, on a une diminution de l'épaisseur "électrique" de la région quasi-neutre de base: il en résulte une augmentation du α_n .

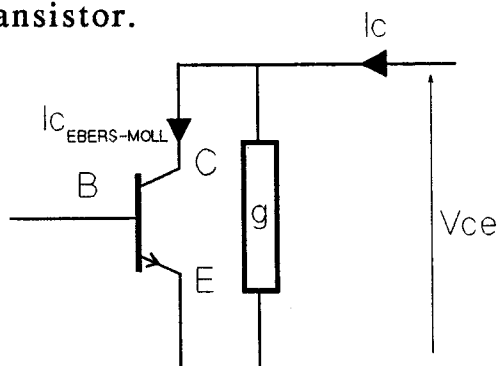
Cette modulation de la largeur effective de la base constitue l'effet Early.

En pratique l'effet Early se traduit par une pente positive des caractéristiques de sortie en régime amplificateur (ou classe A). Nous pouvons montrer que la pente est la plus importante dans le montage émetteur commun.

Les équations d'EBERS et MOLL ne tiennent pas compte de cet effet. Le courant entrant réellement dans le collecteur vaut:

$$I_c = I_{cEBERS-MOLL} + I_{cEarly} \quad (7)$$

En première approximation, l'effet Early peut être modélisé par l'ajout d'une conductance g entre le collecteur et l'émetteur du transistor.



$g = g_n$ en fonctionnement normal
 $g = g_i$ en fonctionnement inverse
 $g_i \ll g_n$

figure A1.6

l'expression (7) s'écrit alors :

$$\begin{aligned} I_c &= I_{cEBERS-MOLL} + gV_{ce} \\ I_{cEBERS-MOLL} &= I_c - gV_{ce} \end{aligned} \quad (8)$$

la tension V_{ce} devient alors solution de :

$$V_{ce} = \lambda 2V_t \text{Log} \left[\frac{c1 (c2 + c3. (I_c - g.V_{ce}))^r}{c4 - g.V_{ce} + I_c} \right] \quad (9)$$

En régime de saturation, l'effet Early est négligeable et l'expression (6) reste une très bonne représentation de l'évolution du courant $I_{c_{sat}}$ en fonction de $V_{ce_{sat}}$.

1.4 Détermination expérimentale des paramètres du transistor

1.4.a Détermination de λV_t et I_s

Le courant traversant la jonction base-émetteur lorsque le collecteur est ouvert s'écrit:

$$I_b = I_{s1} \left[\exp\left(\frac{V_{be}}{\lambda_1 V_t}\right) - 1 \right] \approx I_{s1} \cdot \exp\left(\frac{V_{be}}{\lambda_1 V_t}\right) \quad (10)$$

Le courant traversant la jonction base-collecteur lorsque l'émetteur est ouvert s'écrit:

$$I_b = I_{s2} \left[\exp\left(\frac{V_{bc}}{\lambda_2 V_t}\right) - 1 \right] \approx I_{s2} \cdot \exp\left(\frac{V_{bc}}{\lambda_2 V_t}\right) \quad (11)$$

D'une façon générale, nous allons montrer que pour un courant

$$I = I_s \cdot \exp\left(\frac{V}{\lambda V_t}\right)$$

deux mesures de la tension V , respectivement V_1 et V_2 correspondant à deux courants I_1 et I_2 , suffisent pour déterminer I_s et λV_t .

$$I_1 = I_s \cdot \exp\left(\frac{V_1}{\lambda V_t}\right) \quad ; \quad I_2 = I_s \cdot \exp\left(\frac{V_2}{\lambda V_t}\right)$$

Nous choisissons $I_2 = 10 I_1$ de façon à obtenir une variation conséquente de la tension et donc une meilleure précision sur le résultat.

Calcul de I_s :

$$\begin{cases} \text{Log } \frac{I_1}{I_s} = \frac{V_1}{\lambda V_t} \\ \text{Log } \frac{I_2}{I_s} = \frac{V_2}{\lambda V_t} \end{cases} \Rightarrow \frac{V_2}{V_1} = \frac{\text{Log } \frac{I_2}{I_s}}{\text{Log } \frac{I_1}{I_s}} \quad (12)$$

$$(12) \Rightarrow \frac{\text{Log } I_2 - \text{Log } I_s}{\text{Log } I_1 - \text{Log } I_s} = \frac{V_2}{V_1}$$

$$(12) \Rightarrow V_1 (\text{Log } I_2 - \text{Log } I_s) = V_2 (\text{Log } I_1 - \text{Log } I_s)$$

$$(12) \Rightarrow \text{Log } I_s = \frac{V_2 \text{Log } I_1 - V_1 \text{Log } I_2}{V_2 - V_1}$$

$$I_s = \exp \left[\frac{v_2 \text{Log } I_1 - V_1 \log I_2}{V_2 - V_1} \right]$$

Calcul de λV_t :

$$\frac{I_2}{I_1} = \exp \left[\frac{V_2 - V_1}{\lambda V_t} \right]$$

$$\lambda V_t = \frac{V_2 - V_1}{\text{Log } \frac{I_2}{I_1}}$$

1.4.b Détermination de $\alpha_n, \alpha_i, g_n, g_i$

Ces paramètres dépendent du courant base I_b . Lorsqu'on applique une tension collecteur suffisamment importante pour que le transistor fonctionne en classe A, nous pouvons écrire:

$$I_c = \beta_n . I_b + g_n . V_{ce}$$

$$\text{avec } \beta_n = \frac{\alpha_n}{1 - \alpha_n} \Rightarrow \alpha_n = \frac{\beta_n}{1 + \beta_n}$$

Une mesure de I_c pour deux valeurs différentes de V_{ce} permet de déterminer β_n et g_n .

$$\left\{ \begin{array}{l} (V_{ce1}, I_{c1}) , (V_{ce2}, I_{c2}) \\ I_{c1} = \beta_n I_b + g_n V_{ce1} \\ I_{c2} = \beta_n I_b + g_n V_{ce2} \end{array} \right.$$

$$\beta_n = \frac{V_{ce2} I_{c1} - V_{ce1} I_{c2}}{(V_{ce2} - V_{ce1}) I_b}$$

$$g_n = \frac{I_{c2} - I_{c1}}{V_{ce2} - V_{ce1}}$$

De la même façon nous déduisons les valeurs de β_i et g_i avec cette fois le collecteur à la masse.

$$I_e = \beta_i I_b + g_i V_{ce}$$

$$\text{avec } \beta_i = \frac{\alpha_i}{1 - \alpha_i} \Rightarrow \alpha_i = \frac{\beta_i}{1 + \beta_i}$$

Une mesure du courant émetteur I_e pour deux valeurs différentes de V_{ce} permet de déterminer β_i et g_i

$$\beta_i = \frac{V_{ce2} I_{e1} - V_{ce1} I_{e2}}{(V_{ce2} - V_{ce1}) I_b}$$

$$g_i = \frac{I_{e2} - I_{e1}}{V_{ce2} - V_{ce1}}$$

Toutefois pour des courants I_c importants (>10 mA) une mesure statique n'est plus possible en raison de l'échauffement du transistor. Il est nécessaire de déterminer β_n grâce à des impulsions comme le montre la *figure A1.7*.

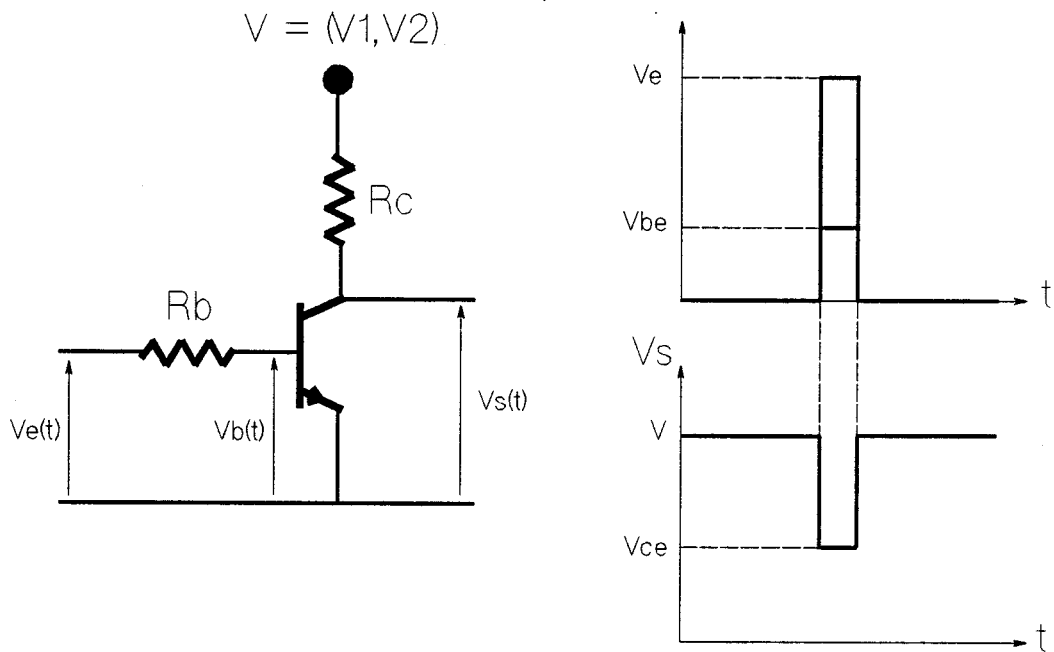


figure A1.7

$$\beta_n = \frac{V_{ce2} V_1 - V_{ce1} V_2}{(V_{ce2} - V_{ce1}) \cdot I_b \cdot R_c}$$

$$g_n = \frac{(V_2 - V_1) - (V_{ce2} - V_{ce1})}{R_c (V_{ce2} - V_{ce1})}$$

ANNEXE 2

Transistor bipolaire en régime dynamique, expression des courants et tensions

Le transistor est polarisé par la tension d'entrée V_e fixe et la résistance de base R_b . Nous avons représenté également les résistances parasites $R_{bb'}$, $R_{ee'}$, $R_{cc'}$ sur la *figure A2.1*.

$$R_B = R_b + R_{bb'}$$

$$R_C = R + R_{cc'}$$

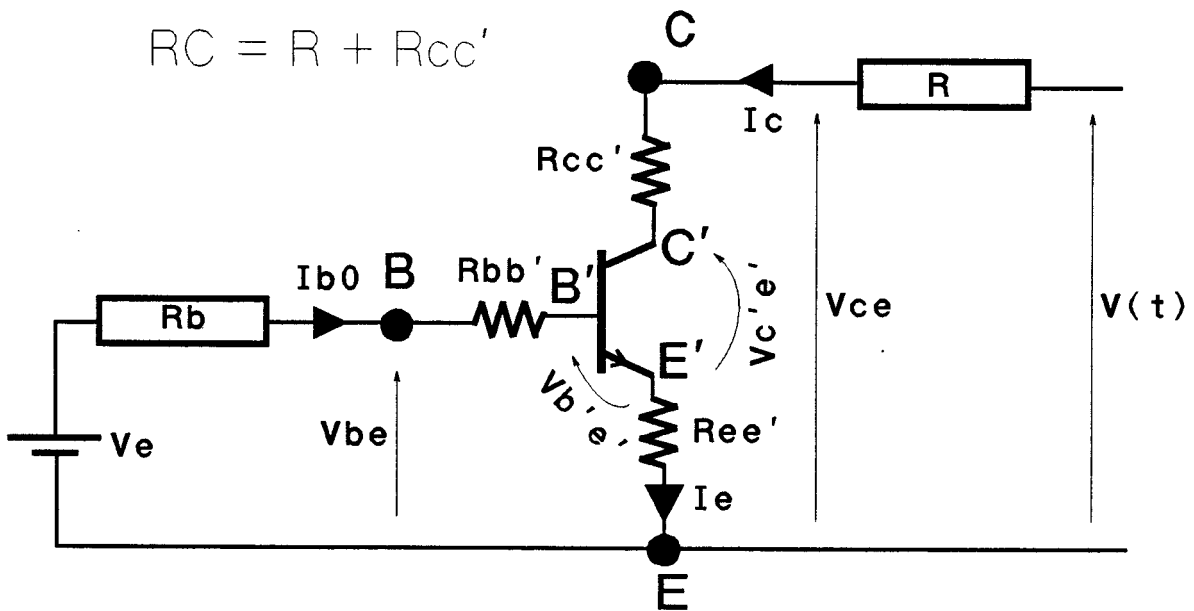


figure A2.1

Les grandeurs mesurables sont alors V_{be} , V_{ce} , I_{b0} , I_e , I_c .

Pour $t \leq 0$: l'état initial est défini par I_{b0} , V_{be0} , I_{c0} , I_{e0} , V_{ce0} .

$$V_e = R_b \cdot I_{b0} + V_{be0}$$

Pour $t > 0$: un signal $V(t)$ est appliqué en C à travers R. Un régime transitoire s'établit: $I_{b0}(t)$, $V_{be}(t)$, $I_c(t)$, $I_e(t)$, $V_{ce}(t)$.

$$V_e = R_b \cdot I_{b0}(t) + V_{be}(t)$$

2.1 Expressions des courants en fonction de $V_{b'e'}(t)$ et $V_{c'e'}(t)$

$$I_e(t) = I_{b0}(t) + I_c(t)$$

l'équation de la maille d'entrée donne:

$$V_e - R_B \cdot I_{b0}(t) - V_{b'e'}(t) - R_{ee'} \cdot I_e(t) = 0$$

$$I_{b0}(t) = \frac{V_e - V_{b'e'}(t)}{R_B} - \frac{R_{ee'}}{R_B} \cdot I_e(t)$$

l'équation de la maille de sortie donne:

$$V(t) - R_C \cdot I_c(t) - V_{c'e'}(t) - R_{ee'} \cdot I_e(t) = 0$$

$$I_c(t) = \frac{V(t) - V_{c'e'}(t)}{R_C} - \frac{R_{ee'}}{R_C} \cdot I_e(t)$$

l'expression de $I_e(t)$ devient alors:

$$I_e(t) \cdot \left[1 + \frac{R_{ee'}}{R_B} + \frac{R_{ee'}}{R_C} \right] = \frac{V_e - V_{b'e'}(t)}{R_B} + \frac{V(t) - V_{c'e'}(t)}{R_C}$$

en réduisant au même dénominateur nous obtenons:

$$I_e(t) = \frac{R_C \cdot [V_e - V_{b'e'}(t)] + R_B \cdot [V(t) - V_{c'e'}(t)]}{R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C)} \quad (1)$$

en substituant dans l'expression de $I_{b0}(t)$:

$$I_{b0}(t) = \frac{V_e - V_{b'e'}(t)}{R_B} - \frac{R_{ee'}}{R_B} \cdot \frac{R_C \cdot [V_e - V_{b'e'}(t)] + R_B \cdot [V(t) - V_{c'e'}(t)]}{R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C)}$$

$$I_{b0}(t) = \frac{[R_C + R_{ee'}] [V_e - V_{b'e'}(t)] - R_{ee'} \cdot [V(t) - V_{c'e'}(t)]}{R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C)} \quad (2)$$

$I_c(t)$ est obtenu en effectuant la différence (1) - (2)

$$I_c(t) = \frac{[R_B + R_{ee'}] [V(t) - V_{c'e'}(t)] - R_{ee'} \cdot [V_e - V_{b'e'}(t)]}{R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C)} \quad (3)$$

2.2 Expressions des tensions en fonction de $V_{b'e'}(t)$ et $V_{c'e'}(t)$

$$V_{be}(t) = R_{bb'} \cdot I_{b0}(t) + R_{ee'} \cdot I_e(t) + V_{b'e'}(t)$$

en remplaçant $I_{b0}(t)$ et $I_e(t)$ par les expressions (1) et (2) nous obtenons:

$$V_{be}(t) = \frac{N}{R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C)}$$

avec

$$\begin{aligned} N = & R_{bb'} \cdot \{ [V_e - V_{b'e'}(t)] \cdot [R_C + R_{ee'}] - R_{ee'} \cdot [V(t) - V_{c'e'}(t)] \} \\ & + R_{ee'} \cdot \{ R_C \cdot [V_e - V_{b'e'}(t)] + R_B \cdot [V(t) - V_{c'e'}(t)] \} \\ & + V_{b'e'}(t) \cdot \{ R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C) \} \end{aligned}$$

$$\begin{aligned} N = & R_{ee'} R_b \cdot [V(t) - V_{c'e'}(t)] + [R_{bb'} \cdot R_C + R_{ee'} \cdot R_C + R_{bb'} \cdot R_{ee'}] \cdot V_e \\ & + R_b \cdot [R_{ee'} + R_C] \cdot V_{b'e'}(t) \end{aligned}$$

$$\begin{aligned} V_{be}(t) = & \frac{R_{ee'} R_b \cdot [V(t) - V_{c'e'}(t)] + [R_{bb'} \cdot R_C + R_{ee'} \cdot R_C + R_{bb'} \cdot R_{ee'}] \cdot V_e}{R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C)} \\ & + \frac{R_b \cdot [R_{ee'} + R_C] \cdot V_{b'e'}(t)}{R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C)} \end{aligned} \quad (4)$$

Il est facile d'obtenir $V_{ce}(t)$ à partir de l'expression (4) en substituant:

R_b	----->	R
$R_{bb'}$	----->	$R_{cc'}$
R_B	----->	R_C
V_e	----->	$V(t)$
$V_{b'e'}(t)$	----->	$V_{c'e'}(t)$

$$\begin{aligned} V_{ce}(t) = & \frac{R_{ee'} R \cdot [V_e - V_{b'e'}(t)] + [R_{cc'} \cdot R_B + R_{ee'} \cdot R_B + R_{cc'} \cdot R_{ee'}] \cdot V(t)}{R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C)} \\ & + \frac{R \cdot [R_{ee'} + R_B] \cdot V_{c'e'}(t)}{R_B \cdot R_C + R_{ee'} \cdot (R_B + R_C)} \end{aligned} \quad (5)$$

2.3 Equations différentielles vérifiées par $V_{b'e'}(t)$ et $V_{c'e'}(t)$

Le transistor est modélisé grâce au modèle d'EBERS et MOLL auquel nous avons ajouté les capacités intrinsèques $C_{b'e'}$, $C_{b'c'}$ et la conductance g_n qui simule l'effet Early en classe A.

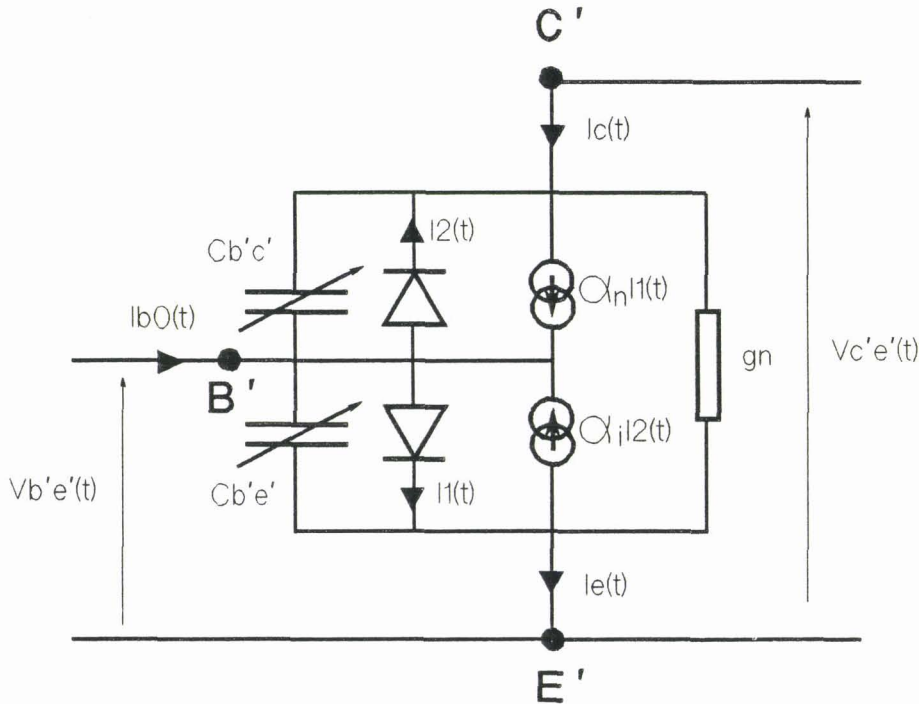


figure A2.2

$$C_{b'e'} = f(V_{b'e'}(t))$$

$$C_{b'c'} = g(V_{b'c'}(t))$$

$$I_1(t) = I_{s1} \cdot \exp \left[\frac{V_{b'e'}(t)}{\lambda_1 V_t} \right]$$

$$I_2(t) = I_{s2} \cdot \exp \left[\frac{V_{b'e'}(t) - V_{c'e'}(t)}{\lambda_2 V_t} \right]$$

en appliquant la loi des noeuds aux courants $I_e(t)$ et $I_c(t)$ nous obtenons:

$$I_e(t) = I_1 - \alpha_i I_2 + g_n \cdot V_{c'e'} + C_{b'e'} \cdot \frac{dV_{b'e'}}{dt}$$

$$I_c(t) = \alpha_n I_1 - I_2 + g_n \cdot V_{c'e'} + C_{b'c'} \cdot \left[\frac{dV_{b'e'}}{dt} - \frac{dV_{c'e'}}{dt} \right]$$

$I_e(t)$ et $I_c(t)$ sont donnés par les expressions (1) et (3) :

$$\frac{dV_{b'e'}}{dt} = \frac{1}{C_{b'e'}} \left[\frac{RC \cdot (V_e - V_{b'e'}(t)) + R_B \cdot (V(t) - V_{c'e'}(t))}{R_B \cdot RC + R_{ee'} \cdot (R_B + RC)} - I_1(t) + \alpha_i I_2(t) - g_n V_{c'e'}(t) \right] \quad (6)$$

$$\frac{dV_{c'e'}}{dt} = \frac{1}{C_{b'c'}} \cdot \left[\frac{(R_B + R_{ee'}) \cdot (V(t) - V_{c'e'}(t)) - R_{ee'} \cdot (V_e - V_{b'e'}(t))}{R_B \cdot RC + R_{ee'} \cdot (R_B + RC)} - \alpha_n I_1(t) + I_2(t) - g_n V_{c'e'}(t) + C_{b'c'} \cdot \frac{dV_{b'e'}}{dt} \right]$$

en remplaçant $\frac{dV_{b'e'}}{dt}$ par l'expression (6) et en posant $q = \frac{C_{b'c'}}{C_{b'e'}}$ nous obtenons:

$$\frac{dV_{c'e'}}{dt} = \frac{1}{C_{b'c'}} \cdot \left[\frac{((1+q) \cdot R_B + R_{ee'}) \cdot (V(t) - V_{c'e'}(t)) + (q \cdot RC - R_{ee'}) \cdot (V_e - V_{b'e'}(t))}{R_B \cdot RC + R_{ee'} \cdot (R_B + RC)} - (\alpha_n + q) I_1(t) + (1 + q \alpha_i) I_2(t) - (1 + q) g_n V_{c'e'}(t) \right] \quad (7)$$

Les expressions (6) et (7) peuvent se regrouper sous la forme d'un système d'équations différentielles vérifiant:

$$\begin{cases} \frac{dV_{b'e'}}{dt} = F(t, V_{b'e'}, V_{c'e'}) \\ \frac{dV_{c'e'}}{dt} = G(t, V_{b'e'}, V_{c'e'}) \end{cases}$$

La complexité des fonctions F et G ne permet pas d'obtenir une expression analytique de $V_{b'e'}(t)$ et $V_{c'e'}(t)$. Cependant si l'on connaît les états initiaux $V_{b'e'}(0)$ et $V_{c'e'}(0)$, les fonctions $V_{b'e'}(t)$ et $V_{c'e'}(t)$ peuvent être approchées numériquement. En effet $V_{b'e'}(t)$ et $V_{c'e'}(t)$ sont alors solutions du problème de CAUCHY bien connu en analyse numérique.

ANNEXE 3

Expression du courant drain d'un MOSFET en fonction de la tension drain V_d pour $V_d \leq V_{d,sat}^*$

La densité superficielle de charges, localisées à l'interface oxyde - semiconducteur (couche d'inversion), en un point d'abscisse x s'écrit :

$$Q = C_{ox} [V_g - V_t - (1+\delta).V(x)] \quad (1)$$

C_{ox} : capacité MOS par unité de surface $C_{ox} = \epsilon_{ox}/t_{ox}$

V_g : tension grille

V_t : tension seuil nécessaire à la création de la couche d'inversion supposée indépendante de la tension drain

δ : paramètre prenant en compte la courbure du canal

$V(x)$: potentiel à l'abscisse x du canal

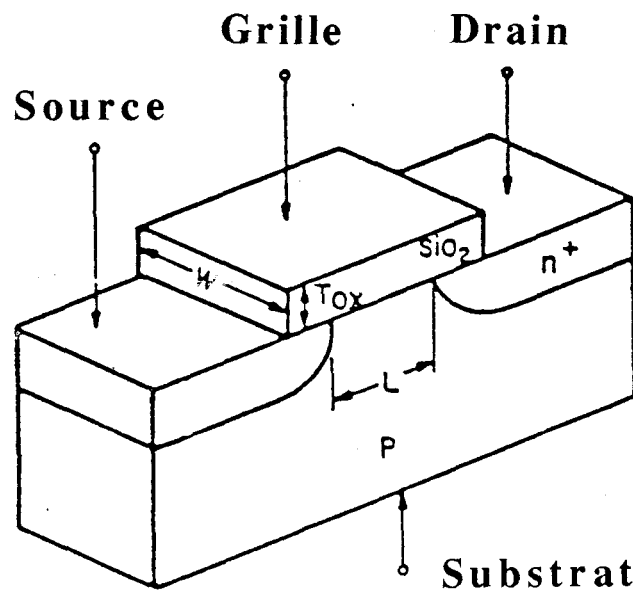


figure A3.1

* d'après C.G. SODINI et al.

"A simple model for scaled MOS transistor that includes field dependent mobility"
IEEE journal of solid. state circuits, vol. sc-22, n°1, février 1987

en posant $Vg' = Vg - Vt$, le courant dans le canal vaut alors:

$$I_d = I(x) = WC_{ox} \cdot [Vg' - (1+\delta) \cdot V(x)] \cdot v(x) \quad (2)$$

$v(x)$: vitesse des porteurs en x

$$v(x) = \frac{\mu_{eff} E(x)}{1 + \frac{E(x)}{Ec}} \quad \text{pour } E \leq Ec$$

$$v(x) = v_{sat} \quad \text{pour } E > Ec$$

$E(x)$: champ latéral en x

Ec : valeur critique du champ E

$$Ec = \frac{2 v_{sat}}{\mu_{eff}} \quad \mu_{eff} = \frac{\mu_0}{1 + \theta Vg'}$$

μ_0 : mobilité à faible champ

θ : paramètre prenant en compte l'effet du champ normal sous la grille

en remplaçant $v(x)$ par son expression, le champ latéral vaut:

$$E(x) = \frac{I_d}{W \cdot \mu_{eff} \cdot C_{ox} [Vg' - (1 + \delta) V(x)] - \frac{I_d}{Ec}} = \frac{dV(x)}{dx} \quad (3)$$

en intégrant sur la longueur L du canal (x variant de 0 à L et $V(x)$ de $V_s = 0$ à V_d) :

$$\int_0^L I_d \cdot dx = W \cdot \mu_{eff} \cdot C_{ox} \int_0^L [Vg' - (1 + \delta) V(x)] dV(x) - \frac{I_d}{Ec} \int_0^L dV(x)$$

$$I_d = \frac{W \cdot \mu_{eff} \cdot C_{ox}}{2L} \cdot \frac{2Vg' - (1 + \delta) V_d}{1 + \frac{V_d}{L \cdot Ec}} \cdot V_d \quad \text{pour } V_d \leq V_{d,sat} \quad (4)$$

C.G. Sodini et al. définissent la tension de saturation $V_{d_{sat}}$ comme étant la tension drain pour laquelle la vitesse des porteurs atteint la vitesse limite v_{sat} , le champ vaut alors E_c . L'équation (3) donne:

$$I_d = \frac{W \cdot \mu_{eff} \cdot C_{ox} [V_{g'} - (1 + \delta) V_{d_{sat}}] E_c}{2} \quad (5)$$

en égalisant les expressions (4) et (5) on obtient:

$$V_{d_{sat}} = \frac{L \cdot E_c \cdot V_{g'}}{L \cdot E_c (1 + \delta) + V_{g'}} \quad (6)$$

en remplaçant dans (4) μ_{eff} par son expression en fonction de $V_{g'}$ et en posant:

$$k = \frac{W \cdot \mu_0 \cdot C_{ox}}{L} \quad \text{et} \quad \alpha = \frac{\mu_0}{2L \cdot v_{sat}}$$

alors

$$I_d = \frac{k}{2} \cdot \frac{[2V_{g'} - (1 + \delta) V_d] V_d}{(1 + \theta \cdot V_{g'}) \cdot \left(1 + \frac{V_d}{L \cdot E_c}\right)}$$

et

$$\frac{1 + \theta \cdot V_{g'}}{L \cdot E_c} = \frac{\frac{\mu_0}{\mu_{eff}}}{2L \cdot v_{sat}} = \frac{\mu_0}{2L \cdot v_{sat}} = \alpha$$

d'où:

$$I_d = \frac{k}{2} \cdot \frac{[2V_{g'} - (1 + \delta) V_d] V_d}{1 + \theta \cdot V_{g'} + \alpha \cdot V_d}$$

$$\text{pour } V_d \leq V_{d_{sat}} \quad (7)$$

et

$$V_{d_{sat}} = \frac{1}{1 + \delta} \cdot \frac{V_{g'} \cdot (1 + \theta \cdot V_{g'})}{1 + V_{g'} \cdot (\theta + \alpha')}$$

avec $\alpha' = \frac{\alpha}{1 + \delta}$ (8)

en reprenant l'expression (5), le courant de saturation vaut:

$$I_{d_{sat}} = \frac{k}{2} \cdot \frac{[V_{g'} - (1 + \delta) V_{d_{sat}}] L \cdot E_c}{1 + \theta \cdot V_{g'}}$$

$$I_{d_{sat}} = \frac{k}{2\alpha} \cdot \left[V_{g'} - (1 + \delta) \cdot \frac{V_{g'}}{(1 + \delta) + \frac{V_{g'}}{L \cdot E_c}} \right]$$

$$I_{d_{sat}} = \frac{k}{2\alpha} \cdot \left[V_{g'}^2 \cdot \frac{L \cdot E_c}{(1 + \delta) \cdot L \cdot E_c + V_{g'}} \right]$$

$$I_{d_{sat}} = \frac{k'}{2} \cdot \frac{V_{g'}^2}{1 + (\theta + \alpha') V_{g'}}$$

avec $k' = \frac{k}{1 + \delta}$ (9)



RESUME

L'usage intensif de fonctions microprogrammées ou plus généralement de logiques bas niveau expose les équipements électroniques à certaines défaillances en présence de champs électromagnétiques hautes fréquences. Ces derniers produisent des mécanismes d'inductions dont les agents sont les lignes de transmissions et les pistes imprimées qui communiquent avec les ports d'accès à un composant intégré dont le fonctionnement peut être troublé.

Notre thèse consiste à comprendre et à modéliser ces phénomènes de façon à comparer la sensibilité de différentes variantes de technologie disponible sur le marché des composants.

Au cours du premier chapitre, des signaux impulsionnels appliqués sur la sortie de fonctions logiques élémentaires prouvent que son comportement joue un rôle majeur lors des agressions. Une classification allant de la famille la moins sensible à celle la plus sensible est fournie.

Le second chapitre est consacré à la modélisation du port de sortie dans le cas d'une logique TTL. L'action du perturbateur s'accompagne ici de transitoires capable d'atteindre les seuils de sensibilité d'un composant connecté en aval.

Dans les deux chapitres qui suivent, nous présentons un modèle théorique du fonctionnement d'un étage CMOS ainsi qu'un protocole de mesure des paramètres macroscopiques du circuit intégré sous test.

Ces résultats permettront de mettre en évidence, lors du cinquième chapitre, deux aspects fondamentaux sur le plan de la compatibilité électromagnétique des cartes électroniques: l'augmentation conséquente de l'impédance de sortie des logiques CMOS et l'appel brutal de courant sur l'alimentation au moment de leur commutation. Nous fournissons pour ce deuxième phénomène un modèle de sa signature temporelle et fréquentielle.

Mots clés: Compatibilité Electromagnétique - Circuits Intégrés - Perturbateur impulsionnel - Modélisation - Capacité intrinsèque - Résistance dynamique - Commutation