

50376
1992
311

63307

50376
1992
311

N° d'ordre 1013

Présentée à

l'Université des Sciences et Techniques

de Lille Flandres - Artois

pour obtenir le grade de

Docteur en Electronique

par

Jean-Marc CAPRON

Ingénieur ISEN

**MODELISATION DES DIODES DE
PUISSANCE**

**et application aux pertes des convertisseurs de type
hacheur et onduleur**

Soutenue le 27 novembre 1992, devant la commission d'examen:

Président: E. CONSTANT

Rapporteurs: R. BAUSIERE

J.P. CHANTE

P. ROSSEL

Jury: J.N. DECARPIGNY

S. FAURE

J'exprime ma reconnaissance à Monsieur le Professeur E. CONSTANT qui a accepté la présidence du jury de cette thèse.

Je tiens également à remercier Messieurs les Professeurs R. BAUSIERE, J.P. CHANTE et P. ROSSEL pour l'intérêt qu'ils ont porté à ce travail en acceptant la lourde tâche de rapporteur.

Merci à Monsieur D. BOUCHER, chef du groupe Antennes d'Emission au Centre d'Etudes et de Recherches de Détection Sous-Marine (DCN Toulon) pour le soutien technique et financier qui a permis de commencer cette thèse. J'associe à ces remerciements son collaborateur Monsieur S. FAURE qui a accepté de faire partie des membres du jury.

Je remercie Monsieur P. ASTIER, Directeur Général de l'ISEN, et Monsieur M. LANNOO, Directeur de la Recherche, de m'avoir accueilli au sein du Laboratoire d'Etude des Surfaces et Interfaces.

Merci à Monsieur J.N. DECARPIGNY, directeur de recherche, pour son soutien pendant la durée de ce travail et la confiance qu'il m'a témoignée en me confiant une responsabilité dans l'enseignement à l'ISEN.

Merci enfin à Monsieur D. COLLARD et tout le personnel du département Electronique pour l'ambiance et le dynamisme qui règne au sein de l'équipe.



TABLE DES MATIERES

NOMENCLATURE	1
I - Introduction	4
II - Caractéristiques de la diode de puissance	7
2•1: Causes de dissipation du dispositif	7
2•1•a: Mise en conduction	7
2•1•b: Blocage	8
2•2: Etude statique de la diode faibles signaux (jonction PN)	11
2•2•a: Etude à l'équilibre	11
2•2•b: Etude hors équilibre	13
2•2•c: Calcul du courant	16
2•3: Etude statique de la diode de puissance (jonction PIN)	17
2•3•a: Etude hors équilibre	18
2•3•b: Caractéristique électrique du composant	21
2•4: Comportement dynamique de la diode	22
2•4•a: Zone de charge d'espace	22
2•4•b: Charge stockée (dispositif faible puissance)	24
2•4•c: Charge stockée (dispositif de puissance)	26
2•4•d: Phases du recouvrement inverse d'une structure PIN	30
III - Modélisation SPICE de la diode de puissance	35
3•1: Descriptif général de SPICE	35
3•1•a: Types d'analyse	35
3•1•b: Limitations du simulateur	36
3•2: Equations du modèle standard	37
3•2•a: Caractéristique statique	37
3•2•b: Modélisation dynamique	38
3•2•c: Limitations du modèle	39
3•3: Macro-modélisation de la diode de puissance	42
3•3•a: Modifications par rapport au modèle standard	42
3•3•b: Expression de la résistance variable	43
3•3•c: Modélisation du recouvrement inverse	45

3•4:	Intégration du macro-modèle dans SPICE	48
3•4•a:	Mode direct ($V_D > 0$)	48
3•4•b:	Mode inverse ($V_D < 0$)	49
3•4•c:	Construction d'opérateurs idéaux	50
3•4•d:	Description du macro-modèle complet	53
3•5:	Technique d'extraction des paramètres	58
3•5•a:	Caractéristique statique	58
3•5•b:	Capacité de jonction	59
3•5•c:	Concentration en impuretés de la base	60
3•5•d:	Section de diode	60
3•5•e:	Largeur de base	60
3•5•f:	Mobilité des porteurs	61
3•5•g:	Durée de vie	61
3•5•h:	Influence des hypothèses utilisées sur les paramètres	62
IV -	Extraction de paramètres et validation expérimentale	63
4•1:	Montage utilisé	63
4•2:	Schéma de simulation	67
4•3:	Résultats expérimentaux	68
4•3•a:	Dispositif Motorola MUR810	69
4•3•b:	Dispositif Motorola MUR850	73
4•3•c:	Dispositif Thomson BYT08P	76
4•3•d:	Dispositif International Rectifier IRF640	80
4•4:	Paramètres des modèles	84
4•5:	Synthèse intermédiaire	86
V -	Simulation d'onduleur	87
5•1:	Pertes dans les onduleurs	87
5•2:	Montage mesuré	90
5•3:	Détermination des éléments du circuit	92
5•4:	Simulation du montage complet	95
5•5:	Synthèse intermédiaire	99
VI -	Conclusion	100

VII - Annexe: Modélisation du transistor MOS de puissance	103
7•1: Caractéristiques du MOS de puissance	103
7•2: Modélisation SPICE standard du transistor MOS	106
7•3: Macro-modélisation du MOS de puissance	106
VIII -Bibliographie	108

NOMENCLATURE

BV:	Tension de claquage
b:	Rapport des mobilités d'électrons et de trous
C_D :	Capacité totale de diode
C_{ds} :	Capacité drain-source
C_{gd} :	Capacité grille-drain
C_{gs} :	Capacité grille-source
C_s :	Capacité de diffusion
C_j :	Capacité de jonction
C_{j0} :	Capacité de jonction à l'équilibre
D:	Constante de diffusion ambipolaire
D_n :	Constante de diffusion des électrons
D_p :	Constante de diffusion des trous
E:	Champ électrique
G_n :	Terme de génération des électrons
G_p :	Terme de génération des trous
I_D :	Courant de diode
I_F :	Courant direct de diode
I_n :	Courant d'électrons
I_p :	Courant de trous
I_R :	Courant inverse de diode
I_i :	Courant dynamique de diode en inverse
I_{RM} :	Courant inverse maximal
I_S :	Courant de saturation
I_g :	Courant dynamique de diode en direct
IBV:	Courant de diode à la tension de claquage
k:	Constante de Boltzmann
L:	Longueur de diffusion ambipolaire
L_d :	Longueur de la zone droite de base où la charge est évacuée par diffusion
L_g :	Longueur de la zone gauche de base où la charge est évacuée par diffusion
L_n :	Longueur de diffusion des électrons
L_p :	Longueur de diffusion des trous
m:	Coefficient de profil de jonction
N:	Coefficient d'émission
N_A :	Concentration en impuretés dans la zone P (accepteurs)
N_D :	Concentration en impuretés dans la zone N (donneurs)
n:	Concentration en électrons

\bar{n} :	Concentration moyenne de porteurs dans la base (diode PIN)
n_i :	Concentration intrinsèque de porteurs
n_p :	Concentration d'électrons dans la zone P
n_{p0} :	Concentration d'électrons dans la zone P à l'équilibre
p :	Concentration de trous
p_m :	Concentration de porteurs dans le milieu de base (diode PIN)
p_n :	Concentration de trous dans la zone N
p_{n0} :	Concentration de trous dans la zone N à l'équilibre
p_0 :	Concentration de porteurs dans le milieu de base au début du recouvrement inverse
Q_d :	Charge stockée dans la partie droite de la base (diode PIN)
Q_g :	Charge stockée dans la partie gauche de la base (diode PIN)
Q_j :	Charge dans la zone de charge d'espace
Q_m :	Charge stockée dans le milieu de la base (diode PIN)
Q_s :	Charge stockée dans le composant
q :	Charge de l'électron
R_B :	Résistance de base (diode PIN)
R_D :	Résistance de diode
R_n :	Terme de recombinaison des électrons
R_p :	Terme de recombinaison des trous
R_s :	Résistance série du modèle de diode
R_0 :	Résistance intrinsèque de diode
S :	Section de diode
T :	Température absolue
t_{FR} :	Temps d'établissement du courant direct
t_{RR} :	Temps de recouvrement inverse
V_D :	Tension de diode
V_d :	Tension de jonction à droite de la base (diode PIN)
V_F :	Tension de diode en direct
V_{FP} :	Surtension à la mise en conduction
V_g :	Tension de jonction à gauche de la base (diode PIN)
V_R :	Tension inverse appliquée
V_{RM} :	Tension inverse maximale
V_{rb} :	Chute de tension ohmique dans la base (diode PIN)
V_T :	Potentiel thermique
W :	Largeur de base (diode PIN)
W_n :	Largeur de la zone N (diode PN)
W_p :	Largeur de la zone P (diode PN)
W_{ZCE} :	Largeur de zone de charge d'espace (diode PN)
x_d :	Largeur de la zone droite de charge d'espace dans la base (diode PIN)

x_g :	Largeur de la zone gauche de charge d'espace dans la base (diode PIN)
x_n :	Largeur de la zone de charge d'espace dans la zone N (diode PN)
x_p :	Largeur de la zone de charge d'espace dans la zone P (diode PN)
ϵ_0 :	Permittivité absolue
ϵ_{si} :	Permittivité relative du silicium
ϵ_{ox} :	Permittivité relative de l'oxyde
ϕ_0 :	Potentiel de jonction
μ_n :	Mobilité des électrons
μ_p :	Mobilité des trous
ρ :	densité de charge
τ_n :	Durée de vie des électrons
τ_p :	Durée de vie des trous
τ :	Durée de vie des porteurs dans la base (diode PIN)

I - Introduction

Traditionnellement, les composants utilisés en électronique de puissance ont été considérés comme de simples interrupteurs, leurs temps de commutation pouvant toujours être considérés faibles étant données les fréquences de travail des systèmes. Le problème des contraintes et des pertes induites par leur comportement transitoire était essentiellement résolu par expérimentation sur un montage pratique, en arrivant par itérations successives au système final. Actuellement, afin de tirer parti au maximum des avantages des convertisseurs de puissance par rapport aux systèmes linéaires, en termes de rendement, d'encombrement, et de fonctionnalité, les fréquences de fonctionnement sont plus élevées et le dimensionnement des composants prend une toute autre signification, car il est maintenant nécessaire de mieux connaître leurs limites afin de les exploiter au maximum et en réduire éventuellement le nombre. De ce fait, une investigation plus fine est nécessaire afin de mieux prévoir leur comportement dans une configuration de travail donnée.

D'autre part, les convertisseurs peuvent être considérés comme un assemblage de cellules de commutation, constituées de composants actifs, et destinées à doser un transfert d'énergie entre une source et une charge. Dans le cas le plus favorable, les commutations mises en jeu sont "douces", comme dans le cas des alimentations à résonance pour lesquelles les transitions se font à puissance nulle par annulation de la tension ou du courant, ou encore lorsque sont employés des composants qui se bloquent spontanément, l'exemple typique étant l'extinction d'un thyristor au passage par zéro de l'intensité. Néanmoins, ces configurations ne peuvent pas toujours être utilisées et dans la plupart des cas, les commutations sont "dures", c'est à dire destinées à bloquer des grandeurs électriques non nulles, ce qui peut entraîner simultanément des valeurs importantes de tension et de courant, et par conséquent de fortes dissipations de puissance. C'est notamment le cas des onduleurs de tension ou des commutateurs de courant (hacheurs).

C'est pourquoi, afin de mieux prévoir les contraintes résultantes, se fait de plus en plus sentir le besoin d'un outil permettant d'analyser ces différentes formes de commutation. Un élément de réponse peut être apporté par le biais de la simulation, si celle-ci permet d'étudier le comportement d'un système complet, tout en procurant suffisamment de précision quant aux composants utilisés. La Conception Assistée par Ordinateur apporte alors un atout supplémentaire lorsqu'elle offre la possibilité de mettre en évidence l'influence du comportement des composants sur le fonctionnement global d'un système. La difficulté majeure pour ce type de problème provient néanmoins de la disparité des constantes de temps mises en jeu à la fois par le système et les composants. En effet, les grandeurs temporelles associées aux dispositifs sont typiquement de l'ordre de la nanoseconde, tandis que celles

relatives aux systèmes s'expriment plutôt en micro, voire millisecondes. Diverses approches sont utilisées pour tenter d'apporter une solution au problème. Aucune n'est idéale ou inadaptée; elles offrent simplement des possibilités différentes.

La simulation de dispositifs qui résout directement les équations électriques du semi-conducteur offre la meilleure précision quant à l'analyse des commutations de composants [1]. Elle nécessite cependant des temps de calcul importants et ne permet pas d'étudier un circuit électronique dans son ensemble. Son intérêt principal réside plutôt dans les explications qu'elle peut apporter concernant le mécanisme physique des transitions, ce qui peut ensuite être utilisé pour créer un modèle mieux adapté à la simulation de circuits.

Par opposition à la philosophie précédente, il est également possible de simplifier le composant à l'extrême afin d'obtenir des modèles peu coûteux en temps de résolution et simples à résoudre, ce qui permet de se focaliser sur le fonctionnement des systèmes proprement dits. C'est le cas des simulateurs qui représentent les caractéristiques des dispositifs par des "portions" de courbes linéaires, en considérant par exemple une diode comme étant une résistance binaire [2][3]. Si la simulation des formes d'onde globales peut être effectuée dans ce cas, il n'est pas permis de mettre en évidence les pertes provoquées par le comportement non idéal des semi-conducteurs.

Connaissant l'allure des formes d'onde caractéristiques pour un type de composant donné, il est parfois possible de trouver une analogie avec un schéma équivalent constitué par des éléments n'ayant pas nécessairement un lien physique avec le dispositif simulé, mais permettant de retrouver l'allure des commutations, ce qui conduit à un modèle empirique [4]. Bien que cette démarche se prête aisément à l'utilisation de simulateurs de circuit de type SPICE, il est à craindre que des paramètres d'ajustement valides dans une configuration de test donnée ne le soient plus dès lors que les conditions de travail diffèrent de celle-ci, ce qui est la principale limitation des modèles construits à partir de paramètres n'ayant pas une signification physique.

Une alternative réside dans la simulation des composants à l'aide de variables d'état [5][6]. Les grandeurs caractéristiques intéressantes, par exemple courant et tension, sont alors reliées entre-elles par des équations de lien. Ceci offre une plus grande souplesse d'utilisation car cette méthode permet de traiter aussi bien des variables thermiques qu'électriques. Elle nécessite cependant l'emploi d'un simulateur spécifique.

Concernant le travail présenté ici, l'idée de départ est de pouvoir simuler un système électronique de puissance dans son intégralité, en considérant aussi bien les contraintes liées aux composants actifs que celles relatives par exemple aux transformateurs. Le domaine d'application envisagé en premier lieu est l'étude de générateurs destinés à piloter des transducteurs acoustiques SONAR, et travaillant typiquement dans des gammes de tensions et courants de 100V et 10A, ce qui permet de fixer l'ordre de grandeur des puissances qui seront

mises en jeu par la suite. Dans ce domaine d'application, il est en effet courant de concevoir les antennes acoustiques à l'aide d'outils de C.A.O., mais ce moyen de développement n'est généralement pas appliqué à l'électronique destinée à mettre en forme les signaux qui leur sont appliqués. D'où l'idée d'étendre cette technique à toute la chaîne d'émission et plus particulièrement à la partie électronique qui nous intéresse ici.

Afin de permettre une utilisation étendue et ouverte, l'outil de simulation choisi est un dérivé de SPICE (DSPICE). En effet, ce logiciel ayant maintenant un caractère universel, il est intégré sous diverses versions dans des chaînes de simulation complètes allant de la saisie de schéma électrique jusqu'à l'exploitation des résultats de simulation à partir de post-processeurs élaborés. De plus, sa portabilité sur stations de travail lui confère une puissance de calcul intéressante.

Les dispositifs de puissance constituant le type de générateurs auxquels nous nous attacherons sont essentiellement de deux types: diode et transistor MOS. Au sujet de ce dernier, nombre d'articles proposent des modèles décrivant son fonctionnement et utilisables dans SPICE [7][8][9]. Concernant la diode, il n'existe qu'un échantillon restreint de travaux et ceci constituait l'obstacle principal à l'objectif initialement fixé: c'est dans ce sens qu'il a été tenté d'apporter un élément de réponse. Le but du travail présenté ici est donc de mettre au point un modèle de diode de puissance compatible avec SPICE, permettant l'analyse de générateurs et convertisseurs statiques, et permettant d'évaluer les contraintes introduites par les commutations, en termes de surintensités et de surtensions, avec une précision de l'ordre de 20% (ce taux étant dicté par les dispersions non négligeables qui existent sur les composants travaillant à forts niveaux de tensions et courants et par les incertitudes provenant des éléments parasites induits notamment par la topologie des circuits). Ce modèle doit être basé sur une description physique du dispositif afin de pouvoir l'utiliser dans des configurations de travail les plus variées possibles. Les résultats qui en découlent sont décrits dans les pages qui suivent.

La présentation sera organisée de la manière suivante:

- dans un premier temps, les équations de base des semi-conducteurs seront rappelées afin d'en arriver aux divers mécanismes dynamiques régissant les commutations du composant,
- seront ensuite abordés les aspects de simulation proprement dits, et notamment l'intégration du modèle dans SPICE,
- afin d'évaluer le modèle, les résultats de simulation seront confrontés aux mesures pour un montage de type hacheur, et ce dans un éventail des configurations de test couvrant à peu près la gamme de puissance qui nous intéresse,
- finalement, le modèle sera testé dans la simulation d'un convertisseur de puissance continu-alternatif de type pont en H, qui est typiquement le générateur utilisé dans les applications SONAR.

II - Caractéristiques de la diode de puissance

2.1: Causes de dissipation du dispositif

Pour les composants utilisés en commutation, la puissance dissipée est prédominante lors des transitions entre états passant et bloqué [10], ce qui constitue généralement le point critique d'utilisation des dispositifs. Les pertes mises en cause dans chaque cas ont des origines de nature différente [11] et il est utile d'en voir les effets à l'échelle macroscopique avant d'en arriver à l'étude physique proprement dite.

2.1.a: Mise en conduction

Lors du passage de l'état bloqué à l'état passant, les porteurs assurant le transport du courant sont injectés et commencent à diffuser dans le composant. La résistivité du matériau diminue donc au fur et à mesure que s'établit l'intensité. La résistance R_D du matériau décroît ainsi progressivement de sa valeur initiale à l'équilibre R_0 (qui dépend des longueur, section et dopage intrinsèque de diode) jusque sa valeur en régime établi. Ceci se traduit par un délai d'établissement du courant, associé à une surtension aux bornes de la diode (notés respectivement t_{FR} et V_{FP}). Ce phénomène, qualifié de *recouvrement direct*, est illustré à la figure 2.1.

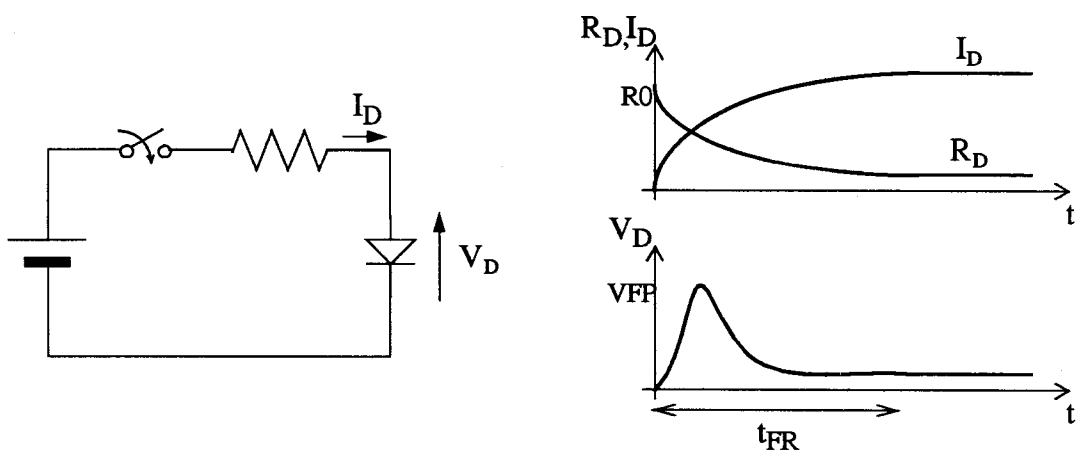


Figure 2.1: mise en conduction d'une diode

A cette surtension de type résistif, peut venir s'en ajouter une autre à caractère selfique qui provient des inductances parasites du composant (fils de connexion et cristal du semi-conducteur). Selon le niveau et la vitesse d'établissement du courant commuté, cette surtension est plus ou moins prononcée (elle est négligeable pour des commutations lentes) et peut

éventuellement être associée à une oscillation [12].

Un exemple typique pour lequel cet effet peut entraîner des pertes conséquentes est celui où une diode est placée dans le circuit de commande d'un transistor. Le recouvrement direct ralentit alors la commutation de l'interrupteur et augmente ainsi la dissipation du composant (figure 2•2).

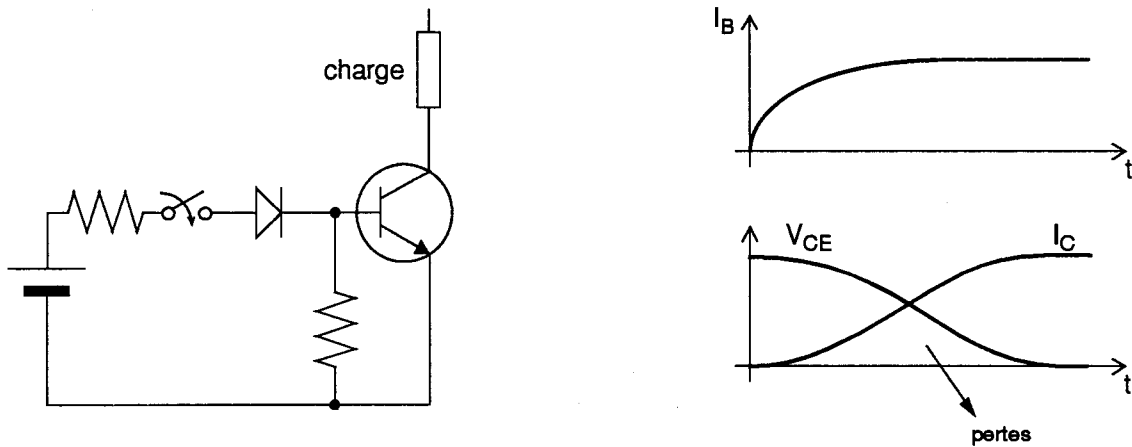


Figure 2•2: influence du recouvrement direct sur les commutations de transistor

Pratiquement, cet effet est difficile à mesurer car les inductances parasites de ligne jouent un rôle similaire et souvent prédominant. Il est donc malaisé d'isoler l'influence de l'un et l'autre. Pour s'affranchir au maximum de ce phénomène, le concepteur devra choisir un composant conçu pour supporter la tension la plus basse, et donc présentant les dimensions les plus courtes: ceci diminue sa résistance et améliore son comportement transitoire.

2•1•b: Blocage

La majeure partie des pertes de commutation interviennent néanmoins lors du passage de l'état passant à l'état bloqué. La cause en est l'évacuation des porteurs stockés dans le matériau durant la phase de conduction, ce qui se traduit par un courant négatif dans la diode. Cet effet est d'autant plus marqué pour les dispositifs de puissance qu'ils présentent des dimensions et une charge stockée importantes. Lors d'une commutation, la jonction ne retrouvera pleinement son pouvoir de blocage qu'après élimination complète des porteurs présents en polarisation directe. Ceux-ci vont être évacués selon deux processus:

- par recombinaison interne,
- par le courant inverse.

Lorsque la vitesse de commutation des composants est élevée, la proportion de charge

évacuée par recombinaison est faible, ce qui augmente alors le courant inverse.

L'intervalle de temps durant lequel I_D est négatif est qualifié de *temps de recouvrement inverse*.

La figure 2•3 illustre la configuration typique au blocage d'une diode de puissance: la jonction est placée en série avec une inductance (de charge ou parasite) et polarisée en direct par l'intermédiaire d'une source de tension, dans le cas d'un montage redresseur, ou d'une source de courant, dans le cas d'une diode de roue libre. Au blocage, la diode est polarisée en inverse et la vitesse de décroissance de l'intensité est déterminée par le circuit extérieur.

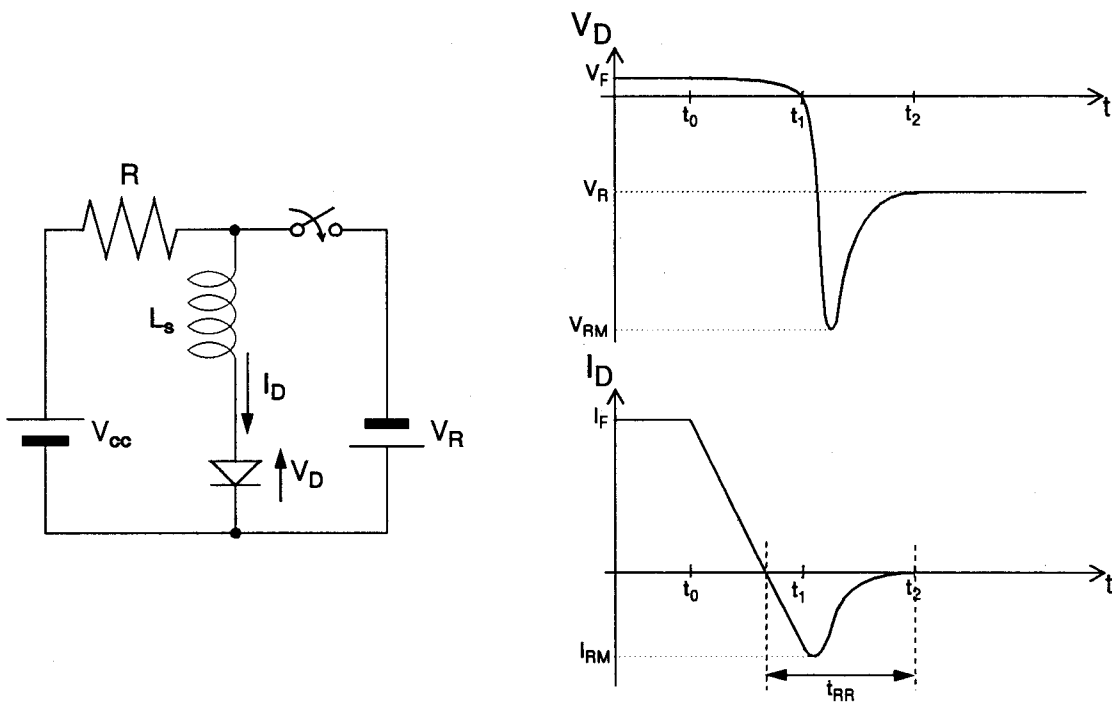


Figure 2•3: blocage d'une diode de puissance

Initialement, la diode est donc passante et le courant I_F est fixé par le montage externe. Le potentiel V_F aux bornes du dispositif est essentiellement formé par la hauteur de potentiel de jonction ainsi que par la chute de tension dans la résistance du composant.

- A l'instant t_0 , une tension inverse V_R est appliquée aux bornes de la branche contenant la diode. Le courant I_D décroît à une vitesse imposée par les éléments extérieurs. La charge stockée de part et d'autre de la jonction commence alors à être évacuée et la diode reste passante tant que celle-ci n'est pas disparue.

Dans le cas de la figure 2•3,
$$\frac{dI_D}{dt} = -\frac{(V_R + V_D)}{L_S} \approx -\frac{V_R}{L_S}$$

La puissance dissipée dans le composant reste faible car V_D est pratiquement nulle.

- A l'instant t_1 , la charge située dans le voisinage de la jonction disparaît: la diode retrouve son pouvoir bloquant et le courant dans le composant a pratiquement atteint sa valeur inverse maximale I_{RM} . La zone de charge d'espace aux bornes de la jonction commence à croître en même temps que la tension inverse.

Le courant I_D remonte lorsque $|V_D|$ devient supérieur à $|V_R|$. Celui-ci est assuré par l'évacuation de la charge restante dans le semi-conducteur, qui est située dans la zone centrale de diode. C'est son profil qui détermine la vitesse de variation du courant, et non plus le circuit extérieur comme dans la première phase.

La tension V_D est égale à la tension inverse appliquée, majorée de la différence de potentiel aux bornes de l'inductance L_S . Elle atteint sa valeur inverse crête V_{RM} pour le maximum de dI_D/dt .

La puissance dissipée est alors importante étant données les fortes valeurs simultanées de tension et d'intensité.

Pour les dispositifs présentant une remontée rapide du courant inverse (comportement *snap off*), les surtensions engendrées peuvent être très élevées et donner lieu à des oscillations dues à la présence des capacités parasites du circuit et des composants. Dans certains cas, il faut ainsi mieux utiliser des diodes dont le recouvrement s'effectue de façon progressive (*soft recovery*).

- A l'instant t_2 , la charge stockée est totalement évacuée et le courant de diode s'annule. L'intervalle entre l'instant où le courant s'inverse et t_2 est le temps de recouvrement inverse noté t_{RR} . Par la suite, on qualifiera de "rapide" une diode présentant une faible valeur de t_{RR} . Ce dernier, puisqu'il affecte directement les temps de commutation, constitue une limite pour la fréquence de fonctionnement des convertisseurs. Il est également source de dissipation dans les composants associés à la diode, ce qui sera illustré aux chapitres IV et V relatifs aux mesures sur des convertisseurs de puissance.

Sur un plan pratique, les grandeurs significatives pour le concepteur sont I_{RM} , V_{RM} , et t_{RR} , puisqu'elles affectent directement les contraintes maximales sur les composants. Elles dépendent d'une part des conditions de fonctionnement, à savoir le courant direct commuté I_F , sa vitesse de coupure dI_F/dt , la tension inverse appliquée V_R et d'autre part des caractéristiques liées au dispositif utilisé, notamment la vitesse de remontée du courant inverse dI_R/dt . Le sens de variation de ces grandeurs en fonction des conditions de travail est résumé dans le tableau 1.

Puisque les commutations de diode affectent le comportement global des circuits de

puissance, l'accent sera par la suite mis sur ce point. Mais avant d'en arriver à la construction d'un modèle permettant l'analyse transitoire d'un convertisseur, il est nécessaire d'analyser en détail le fonctionnement physique du dispositif: c'est ce qui est proposé dans les sections suivantes en élaborant les équations du composant dans le cas de jonctions de faible et forte puissance, ce qui permettra de mettre en évidence les différences entre ces deux types de dispositifs et ultérieurement d'insister sur les limitations des modèles classiques.













	I_F	dI_F/dt	V_R	dI_R/dt
I_{RM}				
V_{RM}				
t_{RR}				

Tableau 1: Evolution des grandeurs caractéristiques au blocage

2.2: Etude statique de la diode faibles signaux (jonction PN)

Pour les diodes de faible puissance, dont les tensions supportées au blocage sont faibles, la structure peut être assimilée à la juxtaposition de deux semi-conducteurs de types N et P. L'on supposera pour la durée de l'étude que la transition entre les deux zones se fait de manière abrupte. De plus, l'analyse sera limitée au cas uni-dimensionnel, ce qui suppose que les courants sont tous perpendiculaires à la jonction.

2.2.a: Etude à l'équilibre

L'on note:

n_i : concentration intrinsèque de porteurs ($\approx 1,5 \times 10^{10}$ at/cm³ pour le silicium à 300°K)

n : concentration d'électrons

p : concentration de trous

N_A : concentration en impuretés dans la zone P

N_D : concentration en impuretés dans la zone N.

Dans le matériau intrinsèque de type N, les conditions suivantes sont vérifiées:

$$n \approx N_D \quad (2\cdot1a)$$

$$p \approx \frac{n_i^2}{N_D} \quad (2\cdot1b)$$

De même, pour le matériau de type P:

$$p \approx N_A \quad (2\cdot2a)$$

$$n \approx \frac{n_i^2}{N_A} \quad (2\cdot2b)$$

Au voisinage de la jonction et en l'absence de polarisation extérieure, les trous majoritaires de la zone P diffusent et se recombinent avec les électrons majoritaires de la zone N. Puisque cette région se trouve privée de porteurs libres, les impuretés ionisées ne sont plus compensées électriquement: la charge électrique ainsi constituée crée donc un champ électrique qui s'oppose à toute diffusion ultérieure des porteurs. L'équilibre est atteint lorsque ces deux effets contraires se compensent [13]. Le champ électrique donne lieu à une barrière de potentiel notée ϕ_0 et qualifiée de *potentiel de jonction*. La figure 2•4 illustre les concentrations correspondantes de porteurs dans le composant.

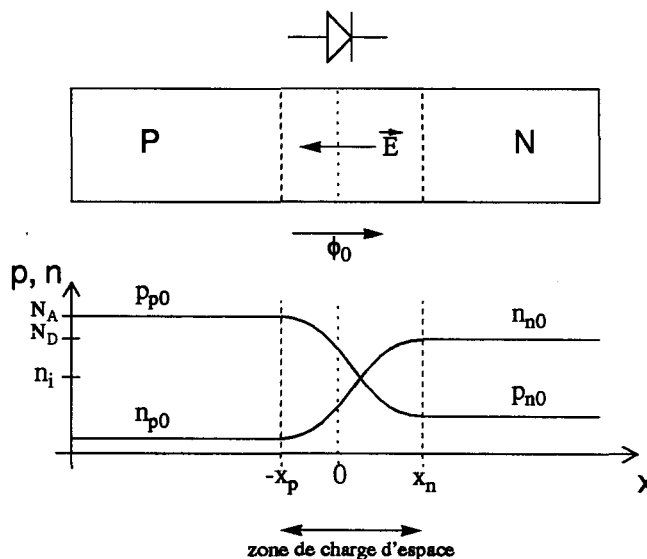


Figure 2•4: concentration de porteurs pour une jonction à l'équilibre

En écrivant que le courant total dans la structure est nul aux conditions d'équilibre, l'expression du champ électrique peut être déduite. L'intégration de celui-ci permet de donner

l'expression du potentiel de jonction:

$$\phi_0 = \frac{k.T}{q} \left(\ln \frac{N_A \cdot N_D}{n_i^2} \right) \quad (2.3)$$

où q est la charge électronique, k la constante de Boltzmann, et T la température absolue. L'utilisation des équations 2.1 et 2.2 permet d'exprimer la concentration des porteurs minoritaires de part et d'autre de la zone de charge d'espace en fonction de la concentration des majoritaires.

$$n_{p0}(-x_p) = n_{n0}(x_n) \times e^{\frac{(-q) \cdot \phi_0}{k.T}} = N_D \times e^{\frac{(-q) \cdot \phi_0}{k.T}} \quad (2.4a)$$

$$p_{n0}(x_n) = p_{p0}(-x_p) \times e^{\frac{(-q) \cdot \phi_0}{k.T}} = N_A \times e^{\frac{(-q) \cdot \phi_0}{k.T}} \quad (2.4b)$$

Les équations 2.4 sont plus connues sous le nom de *relations de Boltzmann*.

2.2.b: Etude hors équilibre

L'on considère maintenant le cas d'une tension V_D appliquée aux bornes du composant, polarisant l'anode par rapport à la cathode. On peut supposer en première approximation que toute la tension est appliquée aux bornes de la jonction, si le courant traversant le dispositif est suffisamment faible pour n'entraîner que de faibles chutes de potentiel dans les régions neutres.

Pour les valeurs négatives de V_D , la barrière de potentiel croît et s'oppose d'autant plus à la diffusion des porteurs à travers la zone de charge d'espace. Cette dernière est plus large qu'à l'équilibre (voir section 2.4.a).

Pour des tensions V_D positives, la barrière de potentiel est réduite par rapport à sa valeur d'équilibre: la zone de charge d'espace se resserre et la diffusion des porteurs à travers celle-ci est favorisée. La région P injecte des trous dans la région N et vice-versa. Ces porteurs minoritaires diffusent dans les zones neutres et sont rapidement recombinaisonnés avec les majoritaires présents [14].

En régime de faible injection, les minoritaires traversant la jonction créent une augmentation négligeable des majoritaires présents dont la concentration reste égale à celle des impuretés. Les équations de Boltzmann peuvent alors s'écrire:

$$n_p(-x_p) = N_D \times e^{\frac{(-q) \cdot (\phi_0 - V_D)}{k.T}} = n_{p0} \times e^{\frac{q \cdot V_D}{k.T}} \quad (2.5a)$$

$$p_n(x_n) = N_A \times e^{\frac{(-q) \cdot (\Phi_0 - V_D)}{k \cdot T}} = p_{n0} \times e^{\frac{q \cdot V_D}{k \cdot T}} \quad (2\cdot5b)$$

La détermination du profil des minoritaires dans la structure peut se faire à partir de la résolution des équations de continuité 2•6.

$$\frac{\partial n}{\partial t} = (G_n - R_n) + \frac{1}{q \cdot S} \times \frac{\partial I_n}{\partial x} \quad (2\cdot6a)$$

$$\frac{\partial p}{\partial t} = (G_p - R_p) - \frac{1}{q \cdot S} \times \frac{\partial I_p}{\partial x} \quad (2\cdot6b)$$

$G_{n,p}$ et $R_{n,p}$ sont les termes de génération et recombinaison de porteurs, S est la section de diode, I_n et I_p sont respectivement les courants d'électrons et de trous.

Les termes de génération-recombinaison peuvent être exprimés à partir de la théorie de Shockley-Read-Hall [15] comme fonctions de la concentration de minoritaires en excédent par rapport à l'équilibre.

Dans un matériau de type P, le taux de recombinaison des électrons peut s'écrire

$$G_n - R_n = -\frac{n_p - n_{p0}}{\tau_n} \quad (2\cdot7a)$$

où τ_n est la *durée de vie* des électrons.

Parallèlement, pour les trous dans un matériau de type N:

$$G_p - R_p = -\frac{p_n - p_{n0}}{\tau_p} \quad (2\cdot7b)$$

τ_p étant la durée de vie des trous.

Les expressions des courants de porteurs introduits dans les équations 2•6 s'écrivent de la manière suivante:

$$I_n = q \cdot S \cdot n \cdot \mu_n \cdot E + q \cdot S \cdot D_n \cdot \frac{dn}{dx} \quad (2\cdot8a)$$

$$I_p = q \cdot S \cdot p \cdot \mu_p \cdot E - q \cdot S \cdot D_p \cdot \frac{dp}{dx} \quad (2\cdot8b)$$

où μ_n et μ_p sont respectivement les *mobilités* d'électrons et de trous, E est le champ électrique, D_n et D_p sont les *constantes de diffusion* des électrons et des trous. Dans chacune de ces égalités, le premier terme du membre de droite représente le *courant de conduction*, tandis que le second correspond au *courant de diffusion*.

Par combinaison des équations 2•6, 2•7 et 2•8, et en tenant compte du fait que le champ

électrique est constant dans les régions neutres, la concentration des porteurs minoritaires est donnée par:

$$\frac{\partial n_p}{\partial t} = D_n \cdot \frac{\partial^2 n_p}{\partial x^2} - \frac{(n_p - n_{p0})}{\tau_n} \quad (\text{pour la zone P}) \quad (2\cdot9a)$$

$$\frac{\partial p_n}{\partial t} = D_p \cdot \frac{\partial^2 p_n}{\partial x^2} - \frac{(p_n - p_{n0})}{\tau_p} \quad (\text{pour la zone N}) \quad (2\cdot9b)$$

En régime établi ($\frac{\partial}{\partial t} = 0$), les équations 2•9 donnent une solution de la forme suivante:

$$n_p(x) = n_{p0} + n_{p0} \left(e^{\frac{q \cdot V_D}{k \cdot T}} - 1 \right) e^{-\frac{x+x_p}{L_p}} \quad (2\cdot10a)$$

$$p_n(x) = p_{n0} + p_{n0} \left(e^{\frac{q \cdot V_D}{k \cdot T}} - 1 \right) e^{-\frac{(x-x_n)}{L_p}} \quad (2\cdot10b)$$

Les grandeurs caractéristiques L_n et L_p sont les *longueurs de diffusion* des porteurs, données par $L_n = \sqrt{D_n \cdot \tau_n}$ et $L_p = \sqrt{D_p \cdot \tau_p}$. Elles représentent la longueur moyenne parcourue par les minoritaires avant leur recombinaison.

Les équations 2•10 permettent de tracer le profil des porteurs minoritaires pour une diode longue ($W_n \gg L_n$ et $W_p \gg L_p$) en polarisation directe (voir figure 2•5).

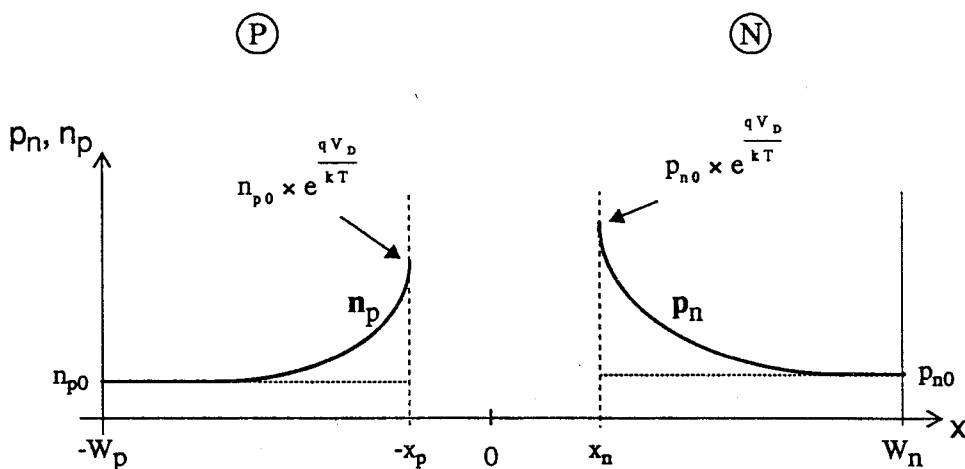


Figure 2•5: concentration des minoritaires en polarisation directe (jonction PN)

2.2.c: Calcul du courant

Le champ électrique dans les zones neutres étant très faible, l'expression du courant se résume à la somme des termes de diffusion (voir équations 2.8). De plus, la génération et recombinaison de porteurs étant nulle en première approximation dans la zone de charge d'espace, I_n et I_p sont constants dans celle-ci. Ces deux hypothèses simplificatrices permettent de représenter les composantes du courant total de diode I_D (figure 2.6).

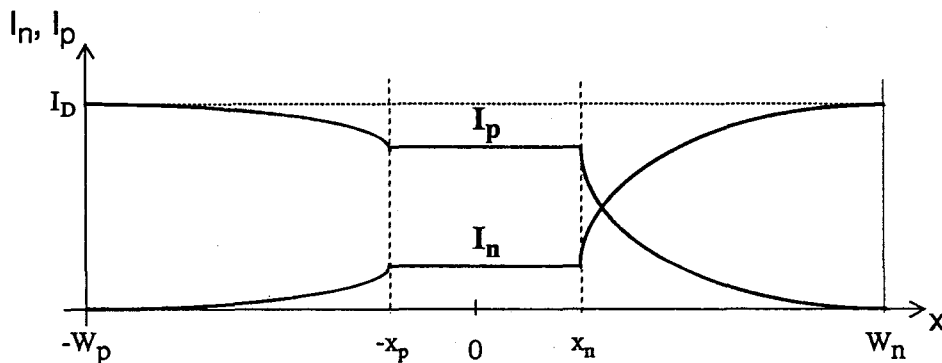


Figure 2.6: courants de particules en polarisation directe

L'expression des courants de diffusion s'établit à partir des concentrations de minoritaires données par les équations 2.10.

$$I_D = I_{n,diffusion}(-x_p) + I_{p,diffusion}(-x_p) = I_{n,diffusion}(-x_p) + I_{p,diffusion}(x_n) \quad (2.11)$$

$$I_D = q \cdot S \cdot D_n \cdot \left. \frac{dn}{dx} \right|_{-x_p} - q \cdot S \cdot D_p \cdot \left. \frac{dp}{dx} \right|_{x_n} \quad (2.12)$$

Soit l'expression finale du courant de jonction:

$$I_D = I_S \left(e^{\frac{q \cdot V_D}{k \cdot T}} - 1 \right) \quad (2.13)$$

où I_S est le courant de saturation, donné par l'équation 2.14.

$$I_S = q \cdot S \cdot n_i^2 \left(\frac{D_p}{N_D \cdot L_p} + \frac{D_n}{N_A \cdot L_n} \right) \quad (2.14)$$

NB: l'équation 2.13 a été développée en considérant un régime de faible injection (augmentation négligeable des majoritaires dans les zones neutres). En régime de forte injection, $n(x,t)$ et $p(x,t)$ sont pratiquement égaux et prédominants par rapport au dopage. Le produit de ces deux grandeurs, de part et d'autre de la zone de charge d'espace et pour une

polarisation de la jonction égale à V_D , est donné par:

$$p \times n = n_i^2 \times e^{\frac{q \cdot V_D}{k \cdot T}} \quad (2 \cdot 15)$$

Lorsque $p(x, t) \approx n(x, t) \approx n_i \times e^{\frac{q \cdot V_D}{2 \cdot k \cdot T}}$, I_D varie toujours de façon exponentielle par rapport à V_D , mais avec un coefficient égal à $\frac{q}{2 \cdot k \cdot T}$.

2.3: Etude statique de la diode de puissance (jonction PIN)

Pour les diodes destinées à supporter des tensions inverses importantes, le champ électrique présent dans le matériau doit rester inférieur à la valeur critique produisant la génération de porteurs par avalanche (de l'ordre de 10^5 V/cm), et de là la destruction du composant. Or, lorsque la jonction est polarisée en inverse, le champ croît dans la zone de charge d'espace conformément à l'équation de Poisson:

$$\frac{dE}{dx} = \frac{\rho}{\epsilon_0 \cdot \epsilon_{si}} \quad (2 \cdot 16)$$

où ρ est la densité de charge $q(p - n + N_A - N_D)$, ϵ_0 est la permittivité absolue et ϵ_{si} est celle du silicium. La tension V aux bornes du composant est liée au profil du champ électrique:

$$V = -\int E \cdot dx \quad (2 \cdot 17)$$

Il est clair que pour accroître la tenue en tension, le dispositif doit comporter une zone "large" et faiblement dopée afin de réduire la valeur maximale du champ pour une tension inverse fixée (figure 2.7).

La structure ainsi constituée est illustrée à la figure 2.8, où sont données des valeurs typiques de dopage. Les zones fortement dopées de type P et N sont qualifiées d'*émetteurs* et la zone centrale est référencée sous le nom de *base*. Pour une base non dopée (silicium intrinsèque) la diode est qualifiée de PIN, si elle est faiblement dopée de type N ou P, les termes respectifs PS_nN et PS_pN sont employés. La théorie étant assez voisine pour ces différentes structures, le terme PIN est généralement utilisé.

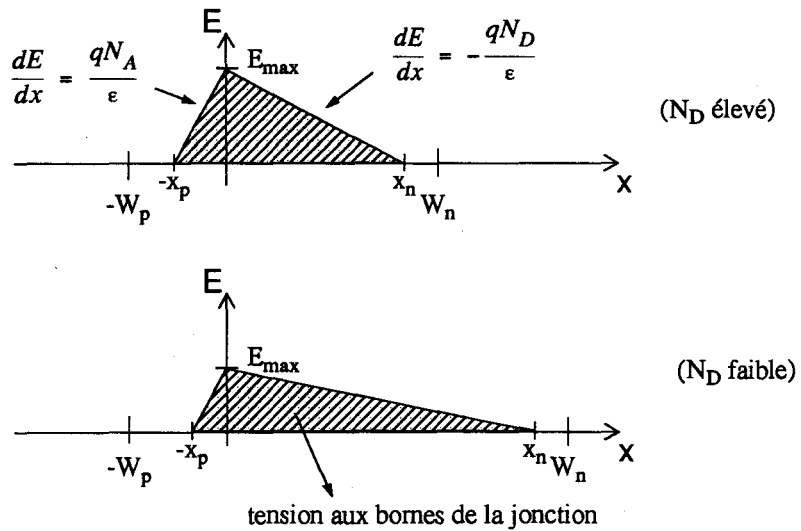


Figure 2-7: influence du dopage sur la tenue en tension.

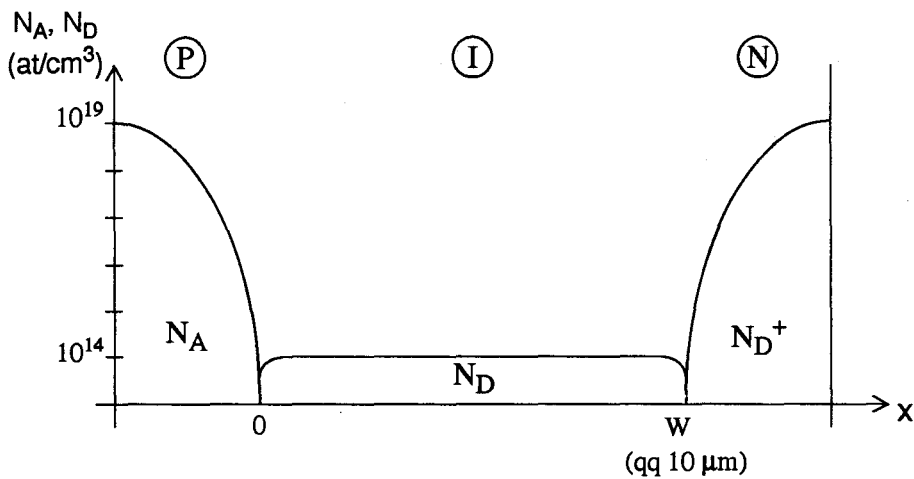


Figure 2-8: profil typique de diode de puissance

2.3.a: Etude hors équilibre

En polarisation directe d'une structure telle que celle de la figure 2-8, la base est envahie de trous venant de la zone P et d'électrons venant de la zone N. Le dopage de base étant très faible par rapport à celui des émetteurs, on peut estimer que dans celle-ci $p(x,t) \approx n(x,t) \gg N_D$ (régime de forte injection) [16].

En toute rigueur, les porteurs injectés se recombinent dans la base ainsi que dans les émetteurs, mais ce dernier effet n'est significatif que lorsque la largeur W de la zone faiblement dopée est faible par rapport aux longueurs de diffusion des porteurs [17],[18]. En négligeant cet effet pour les dispositifs de puissance, les courants de porteurs remplissent les

conditions aux limites suivantes:

$$I_n(x=0) = 0 \quad (2\cdot18a)$$

$$I_n(x=W) = I_D \quad (2\cdot18b)$$

$$I_p(x=0) = I_D \quad (2\cdot18c)$$

$$I_p(x=W) = 0 \quad (2\cdot18d)$$

Par combinaison de 2•18a et 2•18d avec les expressions de courant 2•8, les valeurs de champ aux limites de la base s'écrivent en fonction du profil de porteurs.

$$E(0) = \frac{-V_T}{n(0)} \times \frac{dn}{dx} \Big|_{x=0} \quad (2\cdot19a)$$

$$E(W) = \frac{V_T}{p(W)} \times \frac{dp}{dx} \Big|_{x=W} \quad (2\cdot19b)$$

où V_T est le *potentiel thermique* ($V_T = \frac{k \cdot T}{q}$).

L'écriture des équations 2•19 à partir des équations de courant introduites plus haut utilise les *relations d'Einstein*:

$$D_{n,p} = \mu_{n,p} \times V_T \quad (2\cdot20)$$

Par application de 2•18b et 2•18c avec 2•19:

$$\frac{dn}{dx} \Big|_{x=0} = \frac{-I_D}{2 \cdot q \cdot S \cdot \mu_p \cdot V_T} \quad (2\cdot21a)$$

$$\frac{dn}{dx} \Big|_{x=W} = \frac{I_D}{2 \cdot q \cdot S \cdot \mu_n \cdot V_T} \quad (2\cdot21b)$$

NB: En régime de forte injection et selon les équations 2•21, les courants de conduction et diffusion sont égaux aux limites de la région de base.

Afin de déterminer le profil des porteurs pour la totalité de la base, les équations de continuité 2•6 sont utilisées en considérant que leur durée de vie notée τ est indépendante de leur concentration:

$$\frac{\partial n}{\partial t} = -\frac{n}{\tau} + \mu_n \cdot \frac{\partial}{\partial x} \left[V_T \cdot \frac{\partial n}{\partial x} + n \cdot E \right] \quad (2\cdot22a)$$

$$\frac{\partial n}{\partial t} = -\frac{n}{\tau} - \mu_p \cdot \frac{\partial}{\partial x} \left[-V_T \cdot \frac{\partial p}{\partial x} + n \cdot E \right] \quad (2\cdot22b)$$

En effectuant $\mu_p \cdot (2\cdot22a) + \mu_n \cdot (2\cdot22b)$, l'expression du champ électrique peut être supprimée pour ne garder que celle des concentrations:

$$\frac{\partial n}{\partial t} = -\frac{n}{\tau} + \frac{2 \cdot \mu_n \cdot \mu_p}{\mu_n + \mu_p} \cdot V_T \cdot \frac{\partial^2 n}{\partial x^2} \quad (2\cdot23)$$

Cette relation est plus souvent représentée sous la forme

$$L^2 \cdot \frac{\partial^2 n}{\partial x^2} = n + \tau \cdot \frac{\partial n}{\partial t} \quad (2\cdot24)$$

qui fait intervenir les *longueur et constante de diffusion ambipolaires* L et D définies par:

$$L = \sqrt{\left(\frac{2 \cdot \mu_n \cdot \mu_p}{\mu_n + \mu_p} \cdot V_T \right) \cdot \tau} = \sqrt{D \cdot \tau} \quad (2\cdot25)$$

En régime établi, la résolution de 2•24 en tenant compte des conditions aux limites 2•21 donne une solution de la forme:

$$n(x) = \frac{\tau}{2 \cdot q \cdot S \cdot L} \cdot I_D \cdot \left(\frac{\cosh\left(\frac{x - \frac{W}{2}}{L}\right)}{\sinh\frac{W}{2L}} - \left(\frac{\mu_n - \mu_p}{\mu_n + \mu_p}\right) \frac{\sinh\left(\frac{x - \frac{W}{2}}{L}\right)}{\cosh\frac{W}{2L}} \right) \quad (2\cdot26)$$

Etant donné la différence de mobilité des électrons et des trous ($\mu_n \approx 1500 \text{cm}^2/(\text{V}\cdot\text{s})$ et $\mu_p \approx 500 \text{cm}^2/(\text{V}\cdot\text{s})$ à 300°K), le profil des porteurs injectés est dissymétrique par rapport au centre de la structure, et de la forme illustrée à la figure 2•9.

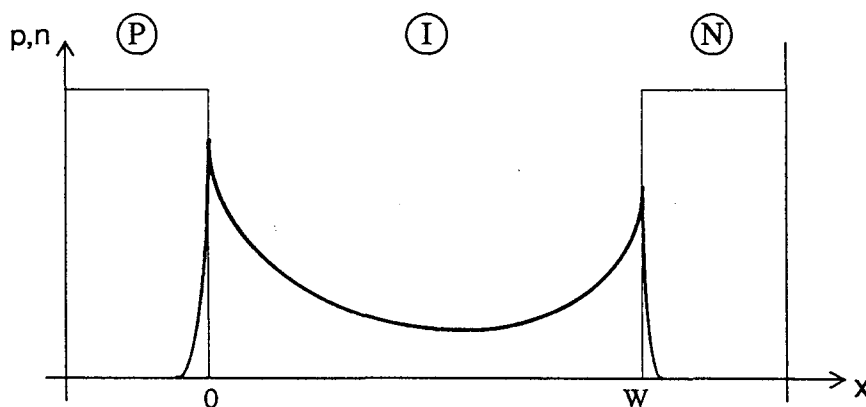


Figure 2•9: profil des minoritaires (diode PIN en direct)

2.3.b: Caractéristique électrique du composant

Les rapports des concentrations de porteurs entre les états d'équilibre et de non équilibre sont donnés par les relations de Boltzmann, soit:

$$n(W) = N_D \times e^{\frac{V_d}{V_T}} \quad (\text{pour les électrons}) \quad (2.27a)$$

$$p(0) = \frac{n_i^2}{N_D} \times e^{\frac{V_g}{V_T}} \quad (\text{pour les trous}) \quad (2.27b)$$

où V_d est la tension aux bornes de la jonction à droite de la base (jonction IN) tandis que V_g représente la tension de jonction à gauche de cette zone (jonction PI).

En multipliant entre elles 2.27a et 2.27b, et en utilisant 2.26 pour $x=0$ et $x=W$, l'on obtient l'équation suivante décrivant la caractéristique directe du composant:

$$I_D = \left\{ 2 \cdot q \cdot S \cdot n_i \cdot \frac{D}{L} \cdot \tanh \frac{W}{2 \cdot L} \left(1 - \left(\frac{\mu_n - \mu_p}{\mu_n + \mu_p} \right)^2 \tanh^4 \frac{W}{2 \cdot L} \right)^{-1/2} \right\} e^{\frac{V_d + V_g}{2 \cdot V_T}} \quad (2.28)$$

La relation 2.28 est de la même forme que l'équation 2.13 trouvée dans le cas précédent. Cette formulation qui relie directement le courant et la tension est la mieux appropriée pour l'insertion de modèles dans les simulateurs de circuits qui traitent les composants sur un plan macroscopique.

Toutefois, si l'on distingue les différentes composantes de la tension aux bornes du dispositif, celle-ci se compose de la somme des tensions de jonction V_d et V_g en $x=0$ et $x=W$, de la tension Dember aux bornes de la base V_{db} et de la chute de tension ohmique V_{rb} dans celle-ci [19][20].

$$V_D = \underbrace{\frac{k \cdot T}{q} \ln \frac{n(0) \cdot n(W)}{n_i^2}}_{V_d + V_g} + \underbrace{\frac{k \cdot T}{q} \left(\frac{D_n - D_p}{D_n + D_p} \right) \ln \frac{n(0)}{n(W)}}_{V_{db}} + \underbrace{I_D \cdot R_B}_{V_{rb}} \quad (2.29)$$

D'après [16], V_{rb} est indépendante de I_D en régime établi (et uniquement dans ce cas) car la résistance de base R_B est inversement proportionnelle à la concentration de porteurs, elle-même proportionnelle au courant I_D (équation 2.26): de ce fait V_{rb} varie uniquement en fonction de $W/(2 \cdot L)$ dans le cas où τ est indépendant du niveau d'injection.

2.4: Comportement dynamique de la diode

Lors des diverses commutations du composant, le comportement dynamique est dicté par l'accumulation et l'évacuation des charges en présence dans le dispositif. Celles-ci sont de deux types, selon qu'elles soient liées aux impuretés dopantes du matériau (zone de charge d'espace) ou aux porteurs assurant le transport du courant (charge stockée). Si dans le premier cas un raisonnement similaire peut être mené pour les dispositifs faible et forte puissance, la différence du profil de charge associé à ces deux types de composants (voir figures 2.5 et 2.9) entraîne un comportement très différent pour chaque structure en considération des porteurs accumulés.

2.4.a: Zone de charge d'espace

A l'interface entre deux régions comportant des dopages différents, la recombinaison des porteurs de part et d'autre de la jonction crée la zone de charge introduite page 12. Sa largeur ainsi que la capacité qui lui est associée peuvent être déterminées par intégration de l'équation de Poisson (relations 2.16 et 2.17) en prenant l'hypothèse d'une transition brusque entre les zones neutres et les régions déplétées de porteurs libres (approximation de déplétion) [14]. La figure 2.10 illustre ceci dans le cas d'une jonction abrupte pour laquelle le dopage côté P est supérieur à celui côté N.

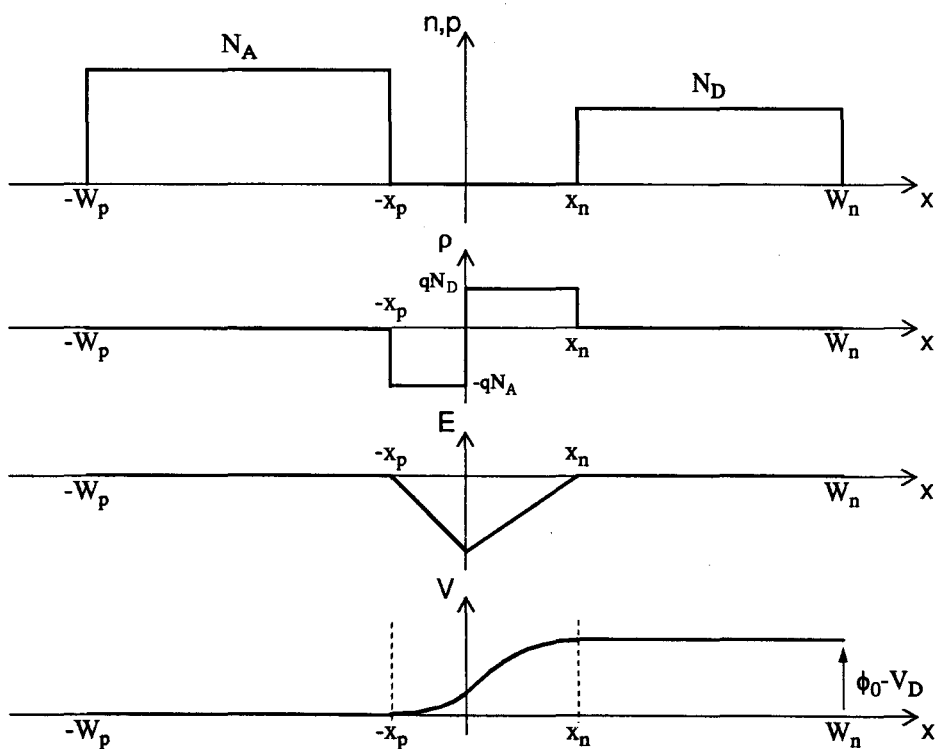


Figure 2.10: zone de charge d'une jonction abrupte

Le champ électrique dans la zone déplétée vaut:

$$E = -\frac{q \cdot N_A}{\epsilon_0 \cdot \epsilon_{si}} (x + x_p) \quad (\text{pour } -x_p < x < 0) \quad (2\cdot30a)$$

$$E = -\frac{q \cdot N_D}{\epsilon_0 \cdot \epsilon_{si}} (x_n - x) \quad (\text{pour } 0 < x < x_n) \quad (2\cdot30b)$$

ϵ_0 étant la permittivité absolue ($8,854 \cdot 10^{-12} \text{F/m}$) et ϵ_{si} la permittivité relative du silicium (11,6).

Par intégration du champ, la tension aux bornes de la jonction est donnée par:

$$(\phi_0 - V_D) = \frac{q}{2 \cdot \epsilon_0 \cdot \epsilon_{si}} (N_A \cdot x_p^2 + N_D \cdot x_n^2) \quad (2\cdot31)$$

D'autre part, le champ étant continu pour $x = 0$, les équations 2•30a et 2•30b impliquent:

$$N_A \cdot x_p = N_D \cdot x_n \quad (2\cdot32)$$

L'utilisation de 2•32 dans 2•31 permet d'exprimer la largeur de la zone de charge d'espace W_{ZCE} en fonction de la tension de jonction:

$$W_{ZCE} = x_p + x_n = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{si}}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) (\phi_0 - V_D)} \quad (2\cdot33)$$

La zone déplétée va donc s'accroître par rapport à son état d'équilibre pour des tensions appliquées négatives. A noter également que lorsque la jonction est fortement dissymétrique (par exemple $N_A \gg N_D$) le comportement de la zone est essentiellement dicté par le côté le moins dopé. Celle-ci s'étend alors de ce même côté (équations 2•32 et 2•33).

Puisque la tension de jonction influe sur la largeur de zone déplétée, il en est de même pour la charge associée Q_j ($Q_j = q \cdot S \cdot N_A \cdot x_p = q \cdot S \cdot N_D \cdot x_n$). Il est donc possible de définir la *capacité de jonction* C_j par:

$$C_j = \frac{dQ_j}{dV_D} = q \cdot S \cdot N_D \cdot \frac{dx_n}{dV_D} = q \cdot S \cdot N_A \cdot \frac{dx_p}{dV_D} = q \cdot S \left(\frac{N_A \cdot N_D}{N_A + N_D} \right) \cdot \frac{dW_{ZCE}}{dV_D} \quad (2\cdot34)$$

Par combinaison des équations 2•33 et 2•34, l'on obtient ainsi la valeur de C_j :

$$C_j = \sqrt{\frac{q \cdot S^2 \cdot \epsilon_0 \cdot \epsilon_{si}}{2 \left(\frac{1}{N_A} + \frac{1}{N_D} \right) (\phi_0 - V_D)}} = \frac{C_{j0}}{\sqrt{1 - \frac{V_D}{\phi_0}}} \quad (2\cdot35)$$

C_{j0} est la capacité de jonction à l'équilibre ($V_D = 0$).

NB: Lorsque V_D s'approche de ϕ_0 , la solution de l'équation 2•35 devient indéterminée. En réalité, un développement plus précis dans cette zone montre que la variation de C_j en fonction de V_D a l'allure montrée à la figure [21].

A noter que l'étude présentée ici concerne le cas d'une jonction abrupte pour laquelle la capacité de jonction varie en $V_D^{-1/2}$. Pour d'autres profils, la forme du résultat reste identique mais la puissance de V_D est modifiée: C_j varie par exemple en $V_D^{-1/3}$ pour un profil linéaire.

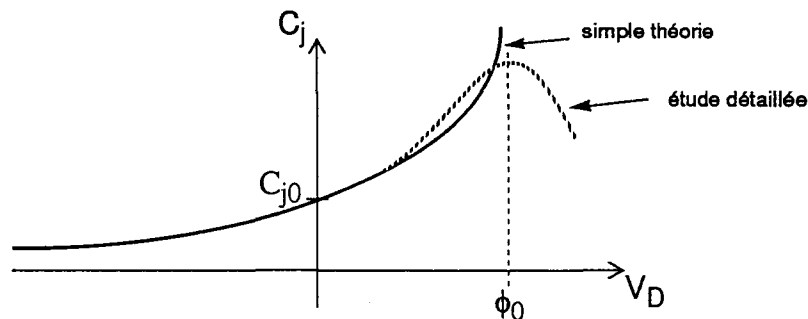


Figure 2•11: variation de la capacité de jonction en fonction de la tension

2•4•b: Charge stockée (dispositif faible puissance)

Pour une jonction PN polarisée dans le sens direct, les porteurs minoritaires excédentaires par rapport à l'équilibre et assurant le transport du courant constituent une charge qu'il faut accumuler à la mise en conduction et évacuer au blocage. Ce sont essentiellement ces deux aspects qui vont déterminer les temps de commutation du dispositif. Cette *charge stockée* Q_s se calcule en intégrant le profil de charge de la figure 2•5. De manière similaire à l'étude de la zone de charge d'espace, l'hypothèse d'une jonction dissymétrique est prise, ce qui limite le calcul des porteurs excédentaires au côté N pour une jonction P⁺N.

$$Q_s = q \cdot S \int_{-w_p}^{-x_p} (n_p(x) - n_{p0}) dx + q \cdot S \int_{x_n}^{w_n} (p_n(x) - p_{n0}) dx \approx q \cdot S \int_{x_n}^{w_n} (p_n(x) - p_{n0}) dx \quad (2•36)$$

D'après 2•10b, et pour une diode longue ($w_n \gg L_p \gg x_n$) :

$$Q_s \approx q \cdot S \cdot L_p \cdot p_{n0} \cdot \left(e^{\frac{q \cdot V_D}{k \cdot T}} - 1 \right) \quad (2•37)$$

Par analogie avec les équations 2•13 et 2•14, Q_s peut s'exprimer en fonction du courant de jonction et de la durée de vie τ_p introduite page 14.

$$I_D = q \cdot S \cdot \frac{D_p}{L_p} \cdot p_{n0} \cdot \left(e^{\frac{q \cdot V_D}{k \cdot T}} - 1 \right) \quad (2.38)$$

$$\Rightarrow Q_s = \frac{L_p^2}{D_p} \times I_D = \tau_p \times I_D \quad (2.39)$$

Sur un plan statique, la relation 2.39 exprime le fait que le courant fournit la structure en porteurs minoritaires au fur et à mesure de leur recombinaison. Les figures 2.12 et 2.13 illustrent respectivement les transitoires de charge à la mise en conduction et au blocage d'une jonction P+N.

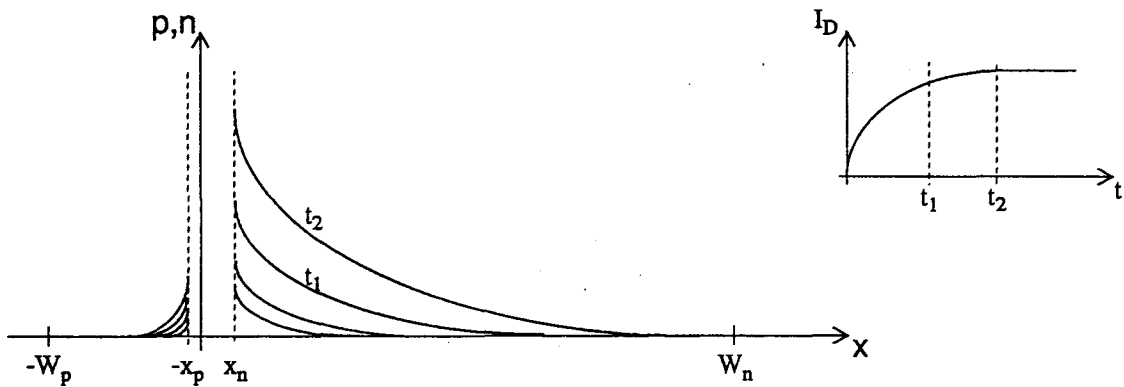


Figure 2.12: mise en conduction d'une jonction P+N

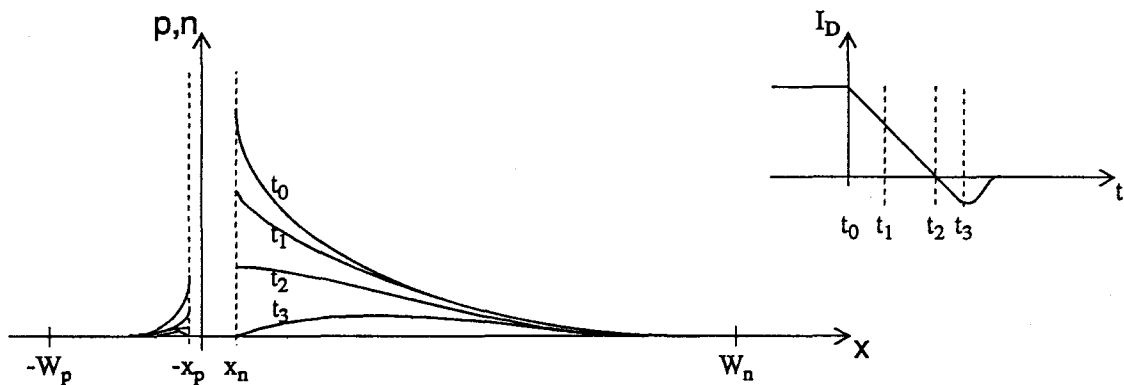


Figure 2.13: blocage d'une jonction P+N

Au blocage, la charge est d'abord évacuée au voisinage de la jonction. La diode reste polarisée en direct tant que la concentration des minoritaires reste supérieure à la valeur d'équilibre ($t_0 < t < t_3$).

Dans le cas d'une région N faiblement dopée avec l'hypothèse d'un fonctionnement en

régime de forte injection, le gradient des minoritaires injectés à la limite de zone de charge d'espace est fonction du courant traversant le composant (équation 2•21a), ce qui permet d'interpréter l'évolution du profil de charge en fonction de l'intensité:

- en $t = t_1$, les porteurs continuent de diffuser dans le matériau, le courant total reste positif
- en $t = t_2$, le courant de diode s'annule: il n'existe plus d'injection de porteurs et la charge stockée décroît par recombinaison interne. Pour $t > t_2$, le courant devient négatif et Q_s est extraite par le courant inverse
- en $t = t_3$, la charge de part et d'autre de la jonction est extraite: la tension aux bornes de celle-ci s'annule, la zone de charge d'espace commence à s'élargir et le composant retrouve son pouvoir de blocage. Si le temps de la commutation est faible par rapport à la durée de vie des porteurs, la charge stockée ne s'est pas totalement recombinaisonnée, il reste un excédent de porteurs qui diffuse hors du dispositif. Pour les composants de faible puissance dont les largeurs de base sont faibles par rapport aux longueurs de diffusion, cet excédent est très faible et l'on peut admettre en première approximation que $Q_s = 0$ lorsque $V_D = 0$ [22]. Le phénomène de recouvrement inverse est dans ce cas peu prononcé et les pertes au blocage sont réduites.

Afin de tenir compte de la variation temporelle de la charge dans le dispositif pour l'étude de son comportement transitoire, l'équation 2•39 doit être modifiée et comprendre un terme dynamique supplémentaire [23]:

$$I_D(t) = \frac{Q_s}{\tau_p} + \frac{dQ_s}{dt} \quad (2•40)$$

Cette formulation est le *modèle à contrôle de charge* utilisé dans la plupart des simulateurs électriques et notamment dans SPICE [24].

2•4•c: Charge stockée (dispositif de puissance)

Pour les structures de type PIN, la charge stockée est simultanément constituée d'électrons et de trous en concentrations équivalentes, les porteurs minoritaires en présence dans les émetteurs étant en quantité négligeable par rapport à ceux de la base. Q_s est donné par:

$$Q_s = q \cdot S \int_0^W n(x) \cdot dx = q \cdot S \cdot (n(0) + n(W)) \cdot L \cdot \tanh \frac{W}{2 \cdot L} \quad (2•41)$$

Plus simplement, Q_s peut s'écrire en fonction de la concentration moyenne \bar{n} des porteurs dans la base à partir de 2•26 pour retrouver la forme classique introduite avec l'équation 2•39 [16]:

$$\bar{n} = \frac{1}{W} \int_0^W n(x) \cdot dx = \frac{\tau \cdot I_D}{q \cdot S \cdot W} \quad (2•42)$$

$$\Rightarrow Q_s = q \cdot S \cdot W \cdot \bar{n} = \tau \cdot I_D \quad (2\cdot43)$$

A la mise en conduction, le comportement dynamique est de la même nature que pour un dispositif faible puissance (figure 2•12). En revanche, la transition durant le blocage est de nature plus complexe à cause du retrait des porteurs par les deux jonctions. La figure 2•14 montre l'allure du profil de charge dans la base durant cette commutation.

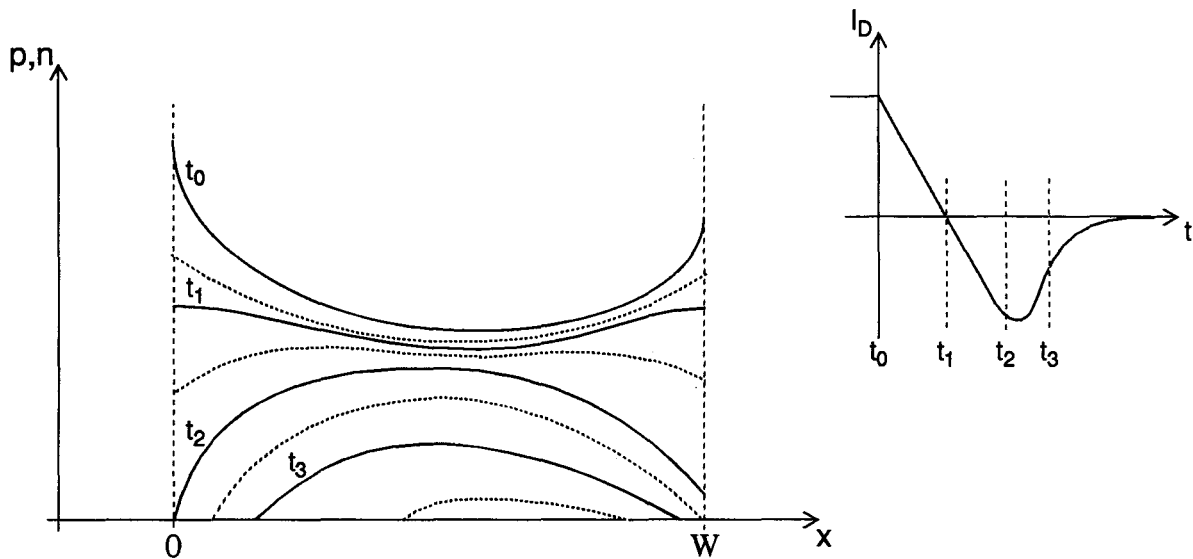


Figure 2-14: blocage d'une structure PIN

Pour toute la durée du blocage, l'on estimera que la base est en régime de forte injection et que la région envahie par les porteurs est électriquement neutre. Ces hypothèses permettent d'une part de relier le gradient de concentration aux limites de cette zone avec le courant total du dispositif (équations 2•21a et 2•21b), d'autre part de maintenir la validité de l'équation aux dérivées partielles 2•24.

L'équation 2•43 permet de fixer une limite de validité pour l'hypothèse de forte injection: celle-ci est vraisemblable lorsque la concentration moyenne de porteurs dans la base est grande devant la concentration d'impuretés N_D . Le courant direct I_F avant le blocage doit donc vérifier la condition suivante:

$$I_F \gg \frac{q \cdot S \cdot N_D \cdot W}{\tau} \quad (2\cdot44)$$

Pour les valeurs typiques suivantes:

$$q = 1,6 \cdot 10^{-19} \text{Cb}$$

$$S = 0,05 \text{cm}^2$$

$$N_D = 10^{14} \text{ at.cm}^{-3}$$

$$W = 50 \cdot 10^{-4} \text{ cm}$$

$$\tau = 100 \text{ ns}$$

I_F doit être supérieur à 40mA, ce qui sera généralement vérifié.

La résolution de l'équation aux dérivées partielles 2•24 peut se faire numériquement à l'aide de séries de Fourier ou de méthodes par différences finies [25][26][27]. Dans tous les cas, la solution analytique $n(x,t)$ de l'équation différentielle s'écrit sous une forme très complexe [16]. Il est néanmoins évocateur d'étudier qualitativement le phénomène de recouvrement inverse.

Au début du blocage (entre les instants t_0 et t_1 de la figure 2•14), le courant dans le dispositif décroît ainsi que l'injection de porteurs dans la base. Dans la pratique, le temps de commutation est faible par rapport à la durée de vie de ces derniers et la proportion de charge recombinée par rapport à celle évacuée est très faible: l'évacuation se fait donc initialement au voisinage des jonctions.

A partir de t_1 , le courant change de signe: il en est de même pour la pente des concentrations en $x = 0$ et $x = W$. Les trous stockés dans la base sont évacués par la gauche (jonction PI) tandis que les électrons le sont par la droite (jonction NI).

Etant donné le rapport des mobilités d'électrons et de trous, le gradient à gauche est supérieur à celui de droite. La charge excédentaire $n(0)$ s'annulera par conséquent plus rapidement que $n(W)$, et ceci à l'instant noté t_2 .

NB: pour pouvoir estimer que les équations 2•21 restent valides aux limites de la zone neutre jusqu'à la disparition complète des porteurs, il faut que le temps où la structure repasse en régime de faible inversion soit faible par rapport à la durée de forte injection. D'après [18], l'erreur introduite en utilisant ces équations jusque $t = t_2$ est inférieure à 10%.

A $t = t_2$, $p(0) = 0$ et le dispositif se bloque: contrairement aux dispositifs de faibles dimensions, la charge restant à évacuer dans la zone milieu est importante. Ce sont les porteurs encore présents qui déterminent la vitesse de remontée du courant jusque son annulation, ainsi que le temps de recouvrement inverse.

A $t = t_3$, la relation $n = p$ n'est plus vérifiée de part et d'autre de la zone neutre et il se crée une charge d'espace dans ces régions non compensées: le courant y est essentiellement assuré par conduction. Le fait de négliger les recombinaisons dans les émetteurs permet d'écrire que les porteurs présents à gauche de la charge centrale sont uniquement les trous qui en proviennent, sans aucune présence éventuelle d'électrons venant de la région P. Le même

raisonnement peut être tenu à droite de la zone milieu (voir figure 2•15).

Le champ électrique assurant le transport du courant hors de la zone neutre est créé par les porteurs qui y sont présents et les impuretés non compensées dans les zones déplétées des émetteurs.

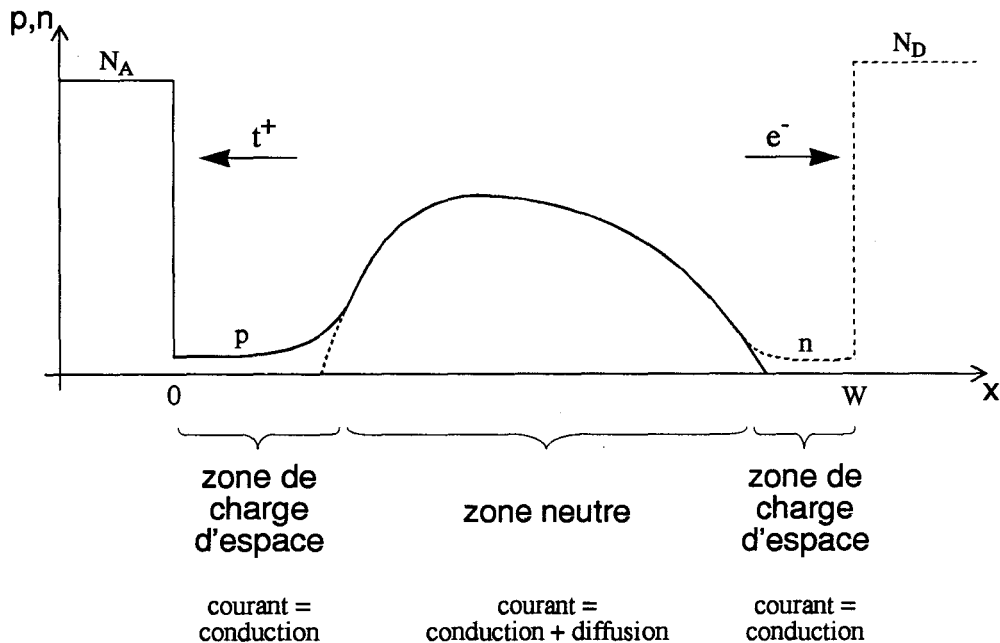


Figure 2•15: porteurs en présence dans la base durant le recouvrement

Lorsque le composant devient polarisé en inverse, la tension est essentiellement supportée par les zones de charge d'espace dans la base. Le rapport entre les tensions aux bornes de celle de gauche et celle de droite dépend du rapport de mobilité entre électrons et trous: typiquement, pour un rapport de mobilités égal à 3, la tension supportée par celle de gauche vaut 90% de la tension totale [16][28].

Afin de décrire quantitativement l'évolution de la charge pendant le recouvrement inverse, diverses approximations peuvent être faites. S'appuyant sur les équations 2•21, le profil géométrique des porteurs peut être approximé afin d'exprimer la charge stockée en fonction du courant inverse I_R . L'hypothèse d'une valeur de I_R fixée et très "grande" devant celle du courant direct I_F permet d'approximer la charge avec un profil rectangulaire [16]. En supposant des mobilités égales pour les électrons et les trous, ainsi qu'un profil triangulaire, des équations simplifiées peuvent être obtenues [29][30]. Les résultats obtenus grâce à des simulateurs de dispositifs montrant plutôt des profils d'allure sinusoïdale, la dérivation des équations de modèles à partir de ces hypothèses donnent des comportements plus proches de la

réalité [31][32].

2•4•d: Phases du recouvrement inverse d'une structure PIN

Selon [31], l'allure de la charge stockée peut être assimilée durant le recouvrement au modèle de la figure 2•16. La base est décomposée en trois régions:

- dans le milieu ($x_1 < x < x_2$) la charge Q_m est uniquement éliminée par recombinaison interne, la concentration de porteurs est constante et égale à p_m .

- à gauche ($x_g < x < x_d$) la charge Q_g est éliminée par recombinaison et par courant inverse, $p(x)$ y est approximé par un quart de sinusoïde:

$$p(x) = p(x_g) + (p_m - p(x_g)) \times \sin\left(\frac{\pi}{2 \cdot L_g} \cdot (x - x_g)\right) \quad (2•45a)$$

en prenant $L_g = x_1 - x_g$, ce qui donne bien une pente nulle pour la concentration en $x = x_g$.

- à droite ($x_2 < x < x_d$), la charge contenue est notée Q_d ; un raisonnement similaire à Q_g peut être appliqué, en notant $L_d = x_d - x_2$:

$$p(x) = p(x_d) + (p_m - p(x_d)) \times \sin\left(\frac{\pi}{2 \cdot L_d} \cdot (x_d - x)\right) \quad (2•45b)$$

Les expressions de Q_g et Q_d peuvent être reliées à I_D grâce aux équations 2•21:

$$Q_g = q \cdot S \int_{x_g}^{x_1} p(x) \cdot dx = q \cdot S \cdot p(x_g) \cdot L_g + q \cdot S \cdot (p_m - p(x_g)) \cdot \frac{2 \cdot L_g}{\pi} \quad (2•46)$$

D'autre part:

$$\left. \frac{dp}{dx} \right|_{x_g} = \frac{\pi}{2 \cdot L_g} \cdot (p_m - p(x_g)) = \frac{-I_D}{2 \cdot q \cdot S \cdot D_p} \quad (2•47)$$

$$2•46, 2•47 \Rightarrow Q_g = q \cdot S \cdot p(x_g) \cdot L_g + \frac{-I_D}{2 \cdot D_p} \cdot \left(\frac{2 \cdot L_g}{\pi}\right)^2 \quad (2•48a)$$

De la même manière:

$$Q_d = q \cdot S \cdot p(x_d) \cdot L_d + \frac{-I_D}{2 \cdot D_n} \cdot \left(\frac{2 \cdot L_d}{\pi}\right)^2 \quad (2•48b)$$

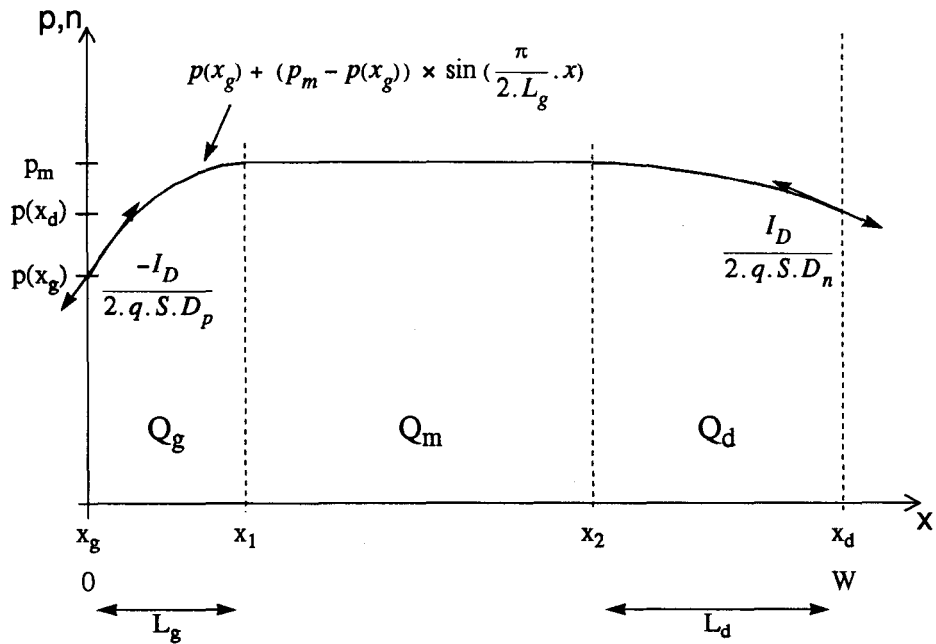


Figure 2-16: représentation schématique de la charge dans la base au début du recouvrement inverse

Le gradient de concentration étant nul au milieu de la base, le terme de diffusion dans l'expression du courant de particules l'est également. Celui-ci ne comprend donc que le terme de conduction. Le rapport entre courants d'électrons et de trous est égal au rapport de leurs mobilités respectives, noté b .

Typiquement, $b = \frac{\mu_n}{\mu_p} \approx 3$, ce qui donne pour la répartition des courant I_n et I_p l'allure de la figure 2-17 [31].

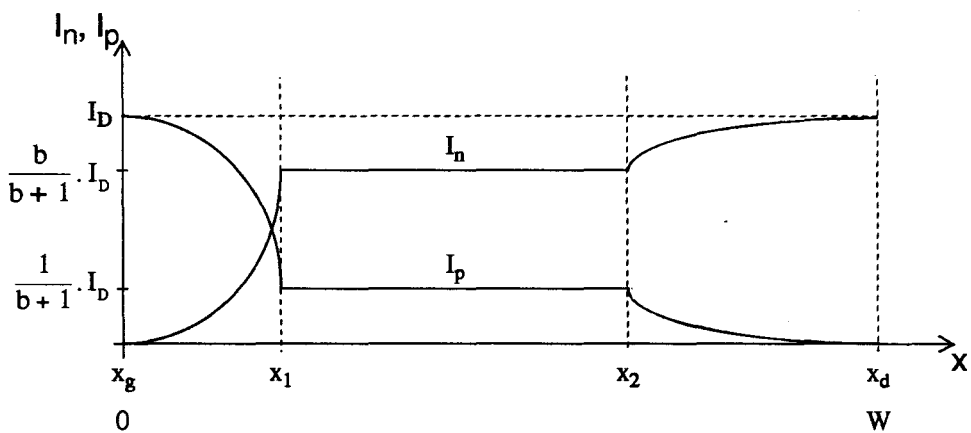


Figure 2-17: courants de particules dans la base au début du recouvrement inverse

Les équations de conservation des charges Q_g et Q_d peuvent être obtenues en intégrant les équations de continuité 2•6 [33].

$$\frac{1}{q \cdot S} \int_{x_g}^{x_1} \frac{\partial I_p}{\partial x} \cdot dx = - \int_{x_g}^{x_1} \frac{P}{\tau} \cdot dx - \int_{x_g}^{x_1} \frac{\partial p}{\partial t} \cdot dx \quad (2•49)$$

En appliquant le théorème de Gauss:

$$I_p(x_1) - I_p(x_g) = - \frac{Q_g}{\tau} - \frac{dQ_g}{dt} \quad (2•50)$$

$$\Rightarrow \frac{Q_g}{\tau} + \frac{dQ_g}{dt} = \frac{b}{b+1} \cdot I_D \quad (\text{où } I_D \text{ est négatif}) \quad (2•51a)$$

Le même raisonnement peut être tenu pour Q_d :

$$\frac{Q_d}{\tau} + \frac{dQ_d}{dt} = \frac{1}{b+1} \cdot I_D \quad (2•51b)$$

La concentration dans le milieu n'étant déterminée que par la recombinaison interne ($Q_m/\tau + dQ_m/dt = 0$), p_m peut être déterminé de la façon suivante:

$$p_m = p_0 \cdot e^{-\frac{t}{\tau}} \quad (2•52)$$

où p_0 représente la concentration initiale au début du recouvrement.

NB: Les équations 2•51 présentent l'avantage de s'écrire comme de simples équations différentielles mettant en jeu la variable temps. Elles seront donc plus aisément exploitables dans un modèle de simulation que les équations aux dérivées partielles 2•6.

Les figures 2•16 et 2•17 représentent la situation dans la base lorsque la jonction PI est encore polarisée en direct ($x_g = 0$). Dans un second temps, celle-ci se bloque et $p(x_g)$ s'annule. Les équations différentielles 2•51 restent en application, tandis que les expressions décrivant Q_g et Q_d sont de ce fait légèrement différentes. Si les deux régions contenant ces charges respectives sont toujours distinctes, la charge dans le milieu continue à décroître par simple recombinaison. La troisième et dernière phase commence lorsque les deux zones se rejoignent ($x_1 = x_2 = x_m$) et que toute la charge stockée est évacuée partiellement par diffusion. Le profil de charge et les courants de particules correspondants ont alors l'allure présentée à la figure 2•18.

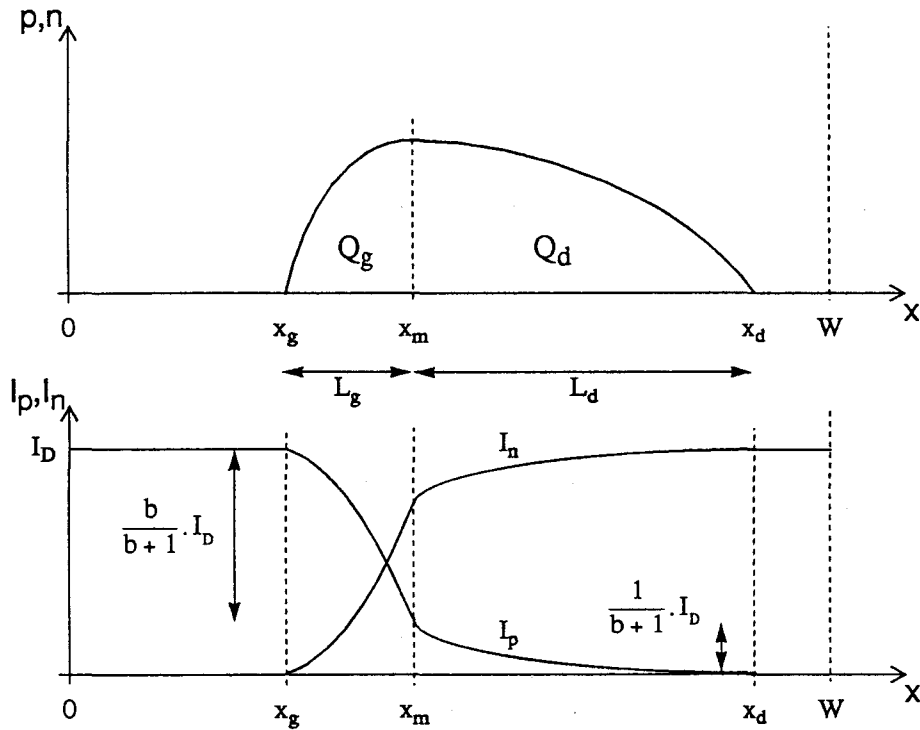


Figure 2-18: charge et courants de particules dans la base à la fin du recouvrement

En $x = x_m$, le courant est assuré par conduction uniquement ($dp/dt = 0$) et le rapport entre I_n et I_p reste égal à b . Les équations de conservation de la charge 2-51 restent applicables.

Q_g et Q_d s'écrivent:

$$Q_g = \left(\frac{2}{\pi}\right)^2 \left(\frac{-I_D}{2 \cdot D_p}\right) L_g^2 \quad (2-53a)$$

$$Q_d = \left(\frac{2}{\pi}\right)^2 \left(\frac{-I_D}{2 \cdot D_n}\right) L_d^2 \quad (2-53b)$$

Aux bornes de la jonction PI, la largeur de zone de charge d'espace côté base est égale à x_g . Celle-ci est fortement liée à la tension inverse aux bornes du composant. Si la concentration des porteurs dans cette région est négligeable par rapport à celle des impuretés N_D , le développement effectué à la section 2-4-a reste valable et x_g est donné par:

$$x_g = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{si}}{q \cdot N_D}} \times (\phi_0 - V_D) \quad (2-54)$$

Si le courant inverse n'est pas négligeable, les porteurs doivent être pris en compte dans l'écriture de l'équation de Poisson et x_g est alors simultanément fonction du courant et de la

tension [16]. Dans certains cas, et afin de simplifier les relations alors obtenues, ceci peut se modéliser par des expressions analytiques approchées [31].

Le système formé par les équations 2•51, 2•48 ou 2•53, et 2•54 permet de déterminer la relation tension-courant propre au dispositif durant le recouvrement inverse. La valeur effective de ces grandeurs sera déterminée en tenant compte également des conditions imposées par le circuit externe.

III - Modélisation SPICE de la diode de puissance

3.1: Descriptif général de SPICE

Le logiciel de simulation SPICE (*Simulation Program with Integrated Circuit Emphasis*) a été initialement conçu dans les années 70 pour l'analyse de circuits électroniques à faibles niveaux [34][35]. Il permet la résolution de systèmes non-linéaires en continu (analyse DC), linéaires et fonction de la fréquence (analyse AC), ainsi que non-linéaires et fonction du temps (analyse TRANSITOIRE). Les éléments modélisés sont:

- les composants passifs: résistances, capacités, inductances couplées ou non, lignes de transmission, sources de tension et courant indépendantes ou linéairement dépendantes d'autres grandeurs courant-tension, transformateurs également dans certaines versions dérivées plus récentes (DSPICE [36], HSPICE [37], etc...),
- les principaux composants actifs: diode, transistor bipolaire (d'après le modèle de Gummel-Poon [38]), transistor JFET (d'après le modèle de Shichman-Hodges [39]) et transistor MOS [40] (à noter que là aussi, les versions dérivées plus récentes proposent un nombre accru de modèles disponibles pour chaque type de composant [37]).

3.1.a: Types d'analyse

Analyse DC: Ce type d'analyse permet d'étudier le comportement d'un circuit sans prendre en compte les éléments dynamiques (capacités en circuit ouvert, inductances en court-circuit). Une ou plusieurs sources de tension ou courant étant balayées dans une gamme spécifiée, l'évolution des diverses grandeurs électriques est calculée. Ceci permet notamment de déterminer une fonction de transfert en continu, ainsi que le point de fonctionnement d'un circuit électronique. Il est également possible d'obtenir les modèles de composants linéarisés, ou d'étudier la sensibilité des grandeurs de sortie aux paramètres du circuit.

Analyse AC: La simulation en AC s'effectue à partir des *modèles petit-signal* de composants linéarisés autour d'un point de fonctionnement. Ces modèles sont déterminés à partir d'une analyse DC. La ou les sources d'entrée sont de type sinusoïdales et balayées dans une gamme de fréquence donnée: les amplitudes et phases des variables de sortie sont déterminées en fonction de la fréquence. La résolution en interne utilise la notation complexe pour déterminer les parties réelles et imaginaires des diverses grandeurs électriques. En parallèle, il est permis d'effectuer une analyse de bruit: des sources parasites modélisant les

diverses formes de bruit (thermique, de grenaille, ou en 1/f) sont insérées dans le circuit, leur contribution individuelle étant calculée en un noeud spécifié du réseau.

Analyse transitoire: Afin de déterminer la réponse temporelle du circuit à une source d'excitation, l'analyse transitoire calcule la variation en fonction du temps des grandeurs du circuit. En démarrant d'une solution initiale obtenue par analyse DC, un processus itératif cherche à partir d'un état donné du circuit à l'instant t_n , la nouvelle solution à l'instant t_{n+1} . Afin d'augmenter la précision sans dégrader de façon déraisonnable la vitesse de simulation, le pas de calcul $t_{n+1} - t_n$ est variable et évolue en fonction des événements. Typiquement, avec les options de calcul par défaut de SPICE, le pas est divisé par 4 si plus de 10 itérations sont nécessaires pour déterminer la nouvelle solution à partir de la précédente. En contrepartie, il est multiplié par 2 si moins de 4 itérations sont requises.

Suite à une simulation en transitoire, une analyse de Fourier peut être effectuée afin de déterminer un taux de distorsion (un calcul de FFT étant possible avec certaines versions plus élaborées [36]).

3.1.b: Limitations du simulateur

L'une des principales limitations du simulateur est certainement son caractère hermétique, à savoir la difficulté voire l'impossibilité d'insérer de nouveaux modèles. Afin de décrire un type de composant spécifique, l'utilisateur n'a pas l'opportunité d'intégrer de nouvelles équations de façon simple et de définir ainsi un élément de base supplémentaire (cette option étant réservée à un autre type de simulateurs dits *comportementaux* [41]). Il faut dans ce cas construire un sous-circuit (ou macro-modèle) donnant la description du nouveau composant à partir d'éléments de base déjà existants, ce qui nuit à la souplesse d'utilisation du logiciel.

Une autre limitation de SPICE est l'impossibilité de prendre en compte une éventuelle élévation de température dans le circuit simulé. Celui-ci ayant initialement été développé pour l'analyse de circuits mettant en jeu de faibles dissipations, la température de fonctionnement est constante pour toute la durée de la simulation: ceci ne permet donc pas d'effectuer une rétroaction de la dissipation thermique sur les paramètres d'un modèle.

De la même manière, les perturbations électro-magnétiques ne sont pas prises en compte par le logiciel. En règle générale, ces effets parasites font souvent appel à des simulateurs spécifiques et sont rarement intégrés dans les simulateurs électriques.

3.2: Equations du modèle standard

La description des composants intégrés dans SPICE est basée sur des modèles à éléments discrets, chaque élément décrivant un effet physique propre. Typiquement, le modèle de diode standard du simulateur est basé sur le schéma de la figure 3.1.

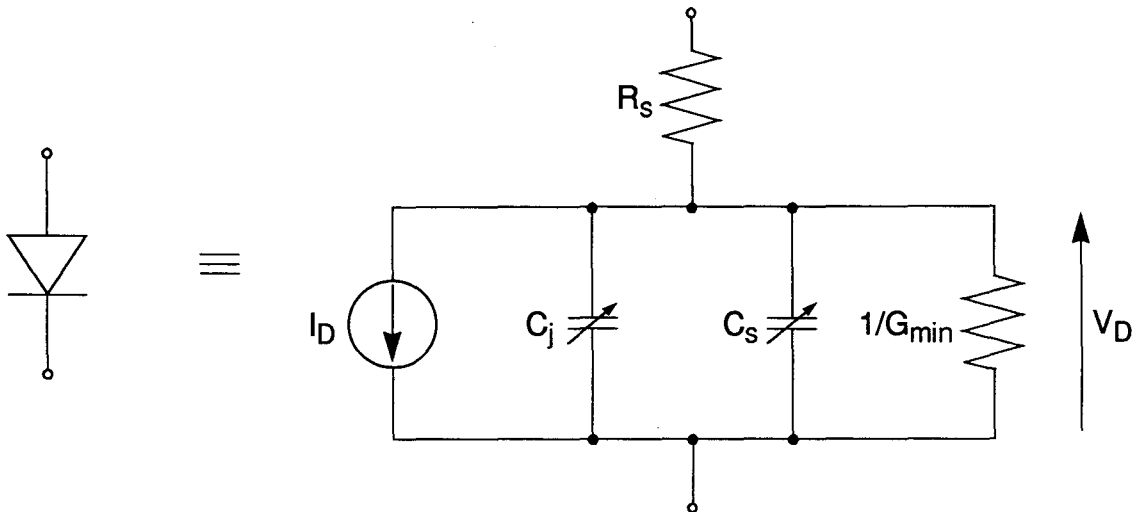


Figure 3.1: modèle standard de diode

3.2.a: Caractéristique statique

Le fonctionnement statique est simulé à partir des trois éléments I_D , R_s et G_{min} de la figure 3.1.

R_s modélise la résistance du semi-conducteur (résistances d'accès et chutes de potentiel dans les régions neutres), sa valeur est supposée fixe.

Une conductance minimale G_{min} est automatiquement insérée par le simulateur en parallèle avec chaque jonction PN (diode ou transistor bipolaire). Celle-ci sert à améliorer la convergence et notamment à faciliter le calcul du point de polarisation pour les composants fortement non-linéaires. Typiquement, la valeur de G_{min} est de 10^{-12} siemens.

La caractéristique proprement dite est modélisée par la source de courant I_D commandée par la tension V_D aux bornes de la jonction. L'expression de I_D en mode direct est obtenue à partir de l'équation 2.13. Afin de tenir compte des différences de fonctionnement en régimes de faible et forte injection, un paramètre N (coefficient d'émission) est introduit. En mode inverse, la caractéristique est exprimée en fonction de la tension de claquage notée BV et du

courant correspondant IBV.

$$I_D = I_S \left(e^{\frac{V_D}{N \cdot V_T}} - 1 \right) + V_D \cdot G_{min} \quad (V_D \geq -5 \cdot N \cdot V_T) \quad (3 \cdot 1a)$$

$$I_D = -I_S + V_D \cdot G_{min} \quad (-BV < V_D < -5 \cdot N \cdot V_T) \quad (3 \cdot 1b)$$

$$I_D = -IBV \quad (V_D = -BV) \quad (3 \cdot 1c)$$

$$I_D = -I_S \left(e^{\frac{-(V_D + BV)}{V_T}} - 1 + \frac{BV}{V_T} \right) \quad (V_D < -BV) \quad (3 \cdot 1d)$$

I_S est le courant de saturation défini par la relation 2•14, la valeur de N traduisant le régime moyen de fonctionnement vaut 1 en faible injection et 2 en forte injection. La figure 3•2 montre la caractéristique simulée en modes direct et inverse.

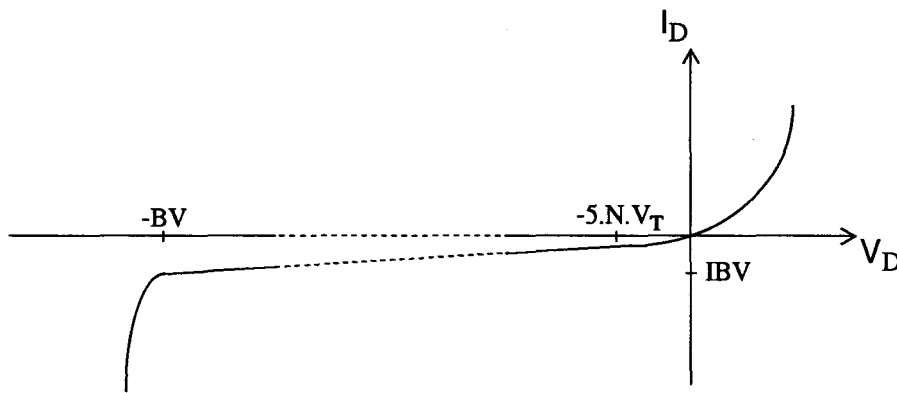


Figure 3•2: caractéristique statique du modèle standard

3•2•b: Modélisation dynamique

La charge accumulée dans le dispositif est modélisée par les deux capacités C_j et C_s de la figure 3•1.

La capacité de jonction C_j est définie à partir de l'équation 2•35.

$$C_j = \frac{C_{j0}}{\left(1 - \frac{V_D}{\phi_0}\right)^m} \quad (V_D < FC \times \phi_0) \quad (3 \cdot 2)$$

La capacité de jonction à l'équilibre C_{j0} est un paramètre du modèle, le profil de la

jonction est pris en compte par le coefficient de correction m qui vaut $1/2$ pour une jonction abrupte et $1/3$ pour un profil linéaire. Afin de modéliser la charge de déplétion en direct (voir la figure de la page 24) C_j est approximée par une extrapolation linéaire pour $V_D \geq FC \times \phi_0$ (typiquement, FC est égal à $0,5$).

La charge stockée Q_s définie avec la relation 2•39 est modélisée par la capacité de diffusion C_s .

$$C_s = \frac{dQ_s}{dV_D} = \tau \times \frac{dI_D}{dV_D} \approx \frac{\tau}{N \cdot V_T} \cdot I_D \quad (3\cdot3)$$

L'importance relative de C_j et C_s dépend de la polarisation de la jonction: la capacité de diffusion est prédominante en mode direct, celle de jonction l'est en mode inverse (voir figure 3•3).

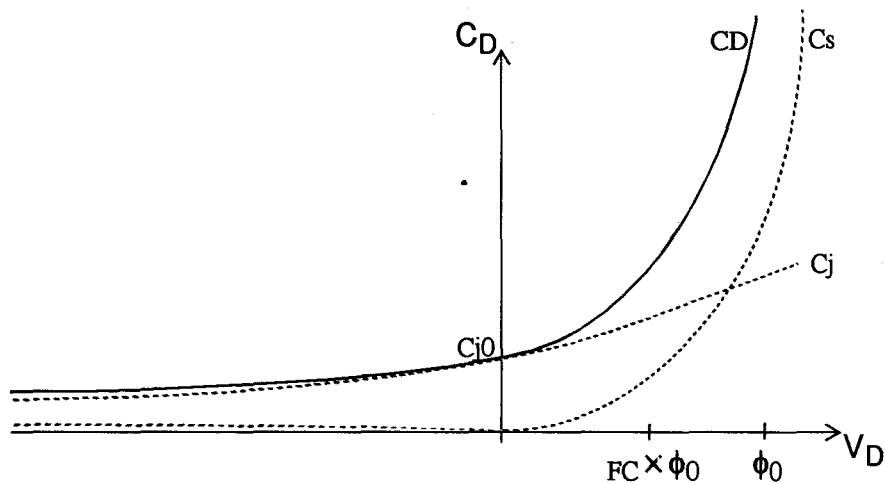


Figure 3•3: capacité totale du modèle de diode

3•2•c: Limitations du modèle

- **Caractéristique statique:**

Pour des densités de courant modérées, le modèle standard suffit à décrire le fonctionnement statique des structures PIN. En effet, la recombinaison dans la base est alors prédominante: sa conductivité est proportionnelle à la concentration moyenne des porteurs et donc au courant du dispositif. La différence de potentiel à ses bornes est de ce fait constante et la tension totale de diode est égale à la tension de jonction majorée de cette grandeur invariante [16]. Le courant varie dans ce cas en $\exp(V_D/2V_T)$, ce qui est décrit par l'équation 3•1a où N vaut 2.

Par contre, à forte densité de courant (supérieure à 20A/cm^2), le courant de diffusion dans les émetteurs devient prédominant dans l'expression du courant total [42][43]. Ces courants de diffusion varient comme le carré du courant de recombinaison dans la base [17], ce qui s'explique par la continuité du produit $p \times n$ aux jonctions (voir équation 2•15). La chute ohmique de potentiel dans la base varie alors comme la racine carrée du courant total, ce qui s'ajoute aux potentiels de jonction définis selon une loi exponentielle.

De même, lorsque les concentrations de porteurs atteignent des ordres de grandeur de 10^{17}cm^{-3} , les effets de réduction de mobilité [44] et de recombinaison Auger [45] réduisent la durée de vie des porteurs, ce qui contribue à augmenter d'autant plus la chute de potentiel dans la base et donc la tension de diode.

La caractéristique courant-tension d'une diode PIN a donc l'allure suivante:

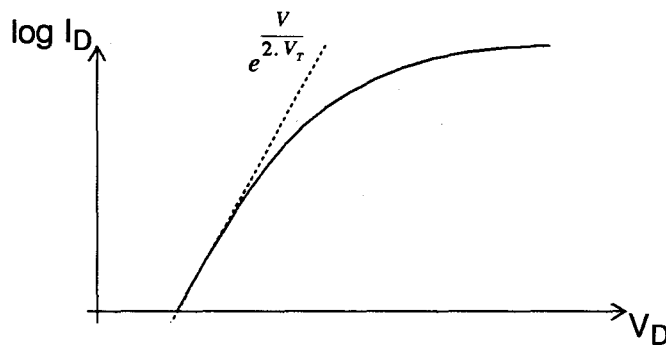


Figure 3•4: caractéristique statique d'une structure PIN selon le niveau de courant

NB: la caractéristique statique sera néanmoins décrite par les équations 3•1 pour le modèle relatif aux dispositifs de puissance. Si nécessaire, la valeur du coefficient d'émission N sera ajustée dans une gamme de courant donnée à des valeurs supérieures à 2 pour tenir compte des dérives par rapport à la caractéristique idéale.

- **Résistance du composant:**

La résistance du matériau est supposée fixe dans le modèle standard. Dans la réalité, sa valeur à l'état passant est cependant inférieure à celle de l'état bloqué car l'augmentation des porteurs présents hors équilibre augmente la conductivité du composant. Le recouvrement direct ne peut donc pas être modélisé avec une résistance prise constante.

- **Charge stockée:**

Le principe de modélisation de la charge stockée Q_s est basée sur le modèle à contrôle de

charge (voir page 26). Ce modèle est *quasi-statique* car Q_s est décrite par sa valeur en régime continu, directement proportionnelle au courant du dispositif, lui-même fonction de la tension. Les équations du modèle impliquent qu'à tension de diode nulle, le courant décrit par les équations 3•1 l'est également, et donc $Q_s = \tau \times I_D = 0$. Pour un composant de faible puissance, cette hypothèse est acceptable car la charge restante dans le dispositif est faible au moment où V_D s'annule (voir figure 2•13). Par contre, dans le cas d'un composant de puissance, ce cas de figure n'est plus du tout applicable et la charge qui reste à évacuer au blocage est importante (voir figure 2•14). Pour que le modèle reste valide dans le cas d'une structure PIN, il faudrait que la charge stockée s'annule en même temps que la tension de diode, et donc que la charge diminue selon le schéma de la figure 3•5. Cette condition n'est bien sûr pas remplie dans la réalité et ne serait vérifiée que si le blocage était suffisamment lent pour permettre aux porteurs de se recombiner intégralement de façon interne et d'être totalement éliminés au moment du blocage. Les vitesses de commutation des composants utilisés dans les convertisseurs de puissance ne permettent pas de justifier cette approche.

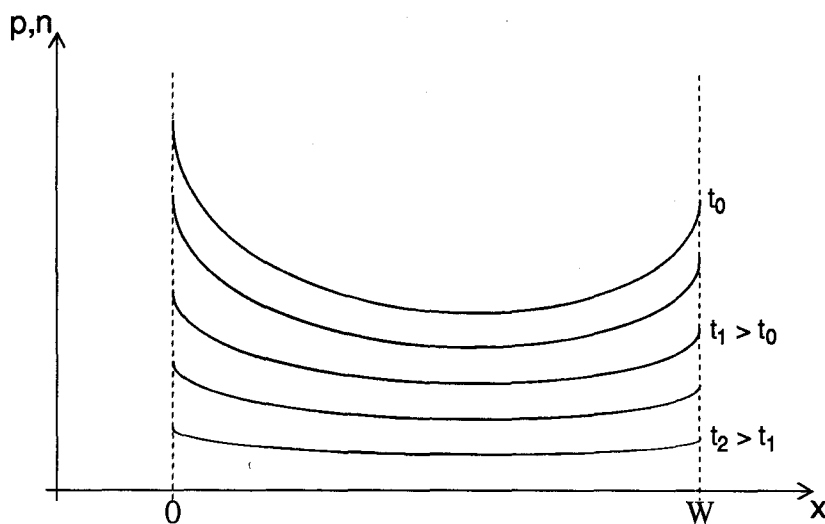


Figure 3-5: condition de validité du modèle standard pour le blocage d'une structure PIN

En fait, lorsque le modèle SPICE standard est utilisé pour simuler le recouvrement inverse de diodes de puissance, le résultat laisse apparaître des oscillations au blocage non visibles dans la réalité. Puisque la charge stockée est modélisée par une capacité qui se trouve "déchargée" au moment où le dispositif devient polarisé en inverse, la continuité du courant, généralement imposée par une charge inductive, ne peut être permise que par la capacité de jonction du modèle (voir schéma 3•1). Pour que celle-ci puisse assurer le transport d'intensités alors élevées, la tension du composant doit subir des variations brutales. Ceci donne alors lieu à des oscillations purement fictives liées à la résonance de la capacité de jonction avec les

inductances du circuit. La figure 3•6 montre un résultat typique obtenu avec SPICE pour calculer les courant et tension de diode lorsque celle-ci est soudainement connectée aux bornes d'une source de tension inverse, une inductance série fixant la vitesse de décroissance du courant.

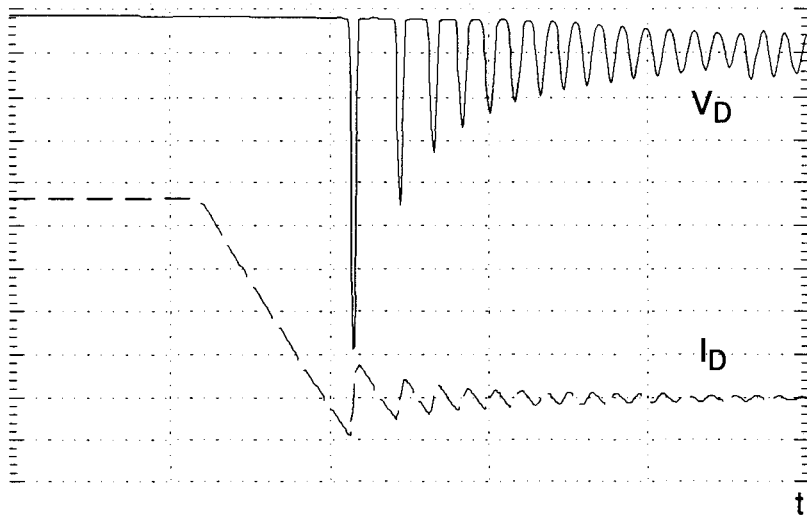


Figure 3•6: simulation de recouvrement inverse avec le modèle SPICE standard

3•3: Macro-modélisation de la diode de puissance

3•3•a: Modifications par rapport au modèle standard

Parmi les trois points de limitation cités précédemment, les deux derniers ne peuvent pas être corrigés par ajustement des paramètres standards. Afin de prendre en compte ces effets, un nouveau modèle a dû être créé, apportant deux modifications majeures:

- la résistance n'est plus modélisée par un composant fixe mais par un générateur de tension commandé par le courant dans le dispositif et une grandeur fonction de la charge stockée, ceci afin de prendre en compte la modulation de conductivité, même si ce point n'est en général pas critique étant donné la prédominance des effets dûs aux inductances parasites du circuit,

- la charge stockée n'est plus modélisée par une capacité variable mais par un générateur de courant simulant l'accumulation et l'évacuation de la charge; ce générateur permet d'imposer l'allure de la remontée du courant dans la diode durant le recouvrement inverse, en

fonction de la charge restant à évacuer et des conditions imposées par le circuit extérieur, tout en supprimant le problème d'oscillations énoncé précédemment. D'autre part, le fonctionnement dynamique n'est plus basé intégralement sur le modèle quasi-statique mais tient compte du fait qu'au blocage de la diode, lorsque la tension de jonction s'annule, il reste une quantité de porteurs non négligeable à évacuer.

Comme il a été vu précédemment (page 36), la modification des équations du modèle ne peut pas être intégrée directement dans le simulateur, ce qui est d'autant plus vrai sur les versions utilisées en milieux de production pour lesquelles les fichiers source du programme sont protégés. C'est pourquoi il faut dans ce cas créer un macro-modèle destiné à insérer les diverses améliorations à partir des éléments de base simulables. Ce principe est généralement utilisé pour l'insertion de nouveaux modèles dans un simulateur donné [46][47]. Le circuit équivalent qui correspond schématiquement la structure de la figure 3•7, où les équations de base décrivent le fonctionnement statique (hormis la résistance variable), ainsi que la capacité de jonction qui reste inchangée. L'accumulation et l'évacuation de la charge stockée tant que la diode est polarisée en mode direct sont décrites par le générateur I_s , le courant inverse après le blocage de la jonction étant décrit par I_r .

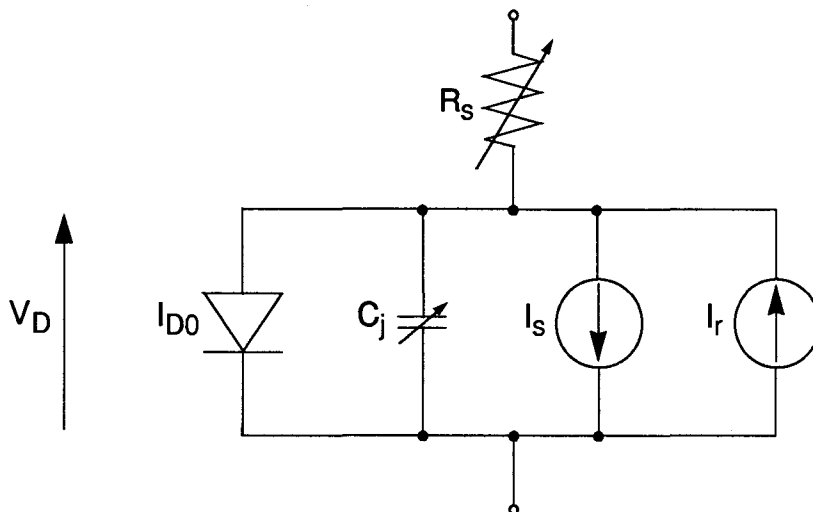


Figure 3•7: macro-modèle de diode de puissance

3•3•b: Expression de la résistance variable

Si la chute de potentiel ohmique est sans influence en régime continu car indépendante du courant [16], elle peut dépendre en transitoire des conditions précédentes et donner ainsi lieu à des surtensions [48][49][50][51]. Selon [12], la résistance série de diode R_s peut se mettre sous la forme:

$$R_s = \frac{R_0}{1 + K \cdot I_D} \quad (3.4)$$

où K est une constante et R_0 est la résistance intrinsèque de diode définie par:

$$R_0 = \frac{W}{(q \cdot \mu_n \cdot N_D) \cdot S} \quad (3.5)$$

En mode direct, les porteurs minoritaires injectés dans la base contribuent à l'augmentation de conductivité du matériau et la résistance R_s peut alors s'écrire:

$$R_s = \frac{\left(\frac{W}{S}\right)}{q \cdot \mu_n \cdot N_D + q \cdot \mu_n \cdot n + q \cdot \mu_p \cdot p} \approx \frac{\left(\frac{W}{S}\right)}{q \cdot \mu_n \cdot N_D + q (\mu_n + \mu_p) \bar{n}} \quad (3.6)$$

En utilisant l'équation 2.43, 3.6 peut se mettre sous la forme:

$$R_s = \frac{\left(\frac{W}{S}\right)}{q \cdot \mu_n \cdot N_D + \left(\frac{\mu_n + \mu_p}{W \cdot S}\right) \cdot Q_s} = \frac{\left(\frac{W}{S}\right)}{q \cdot \mu_n \cdot N_D + \left(\frac{\mu_n + \mu_p}{W \cdot S}\right) \cdot \tau \cdot I_D} \quad (3.7)$$

NB: la deuxième égalité de 3.7 est vraie en régime continu lorsque $Q_s = \tau \times I_D$, ce qui est alors cohérent avec l'expression 3.4. Si N_D est négligeable, $R_s \times I_D$ est effectivement indépendant du courant en mode statique, mais non en mode dynamique.

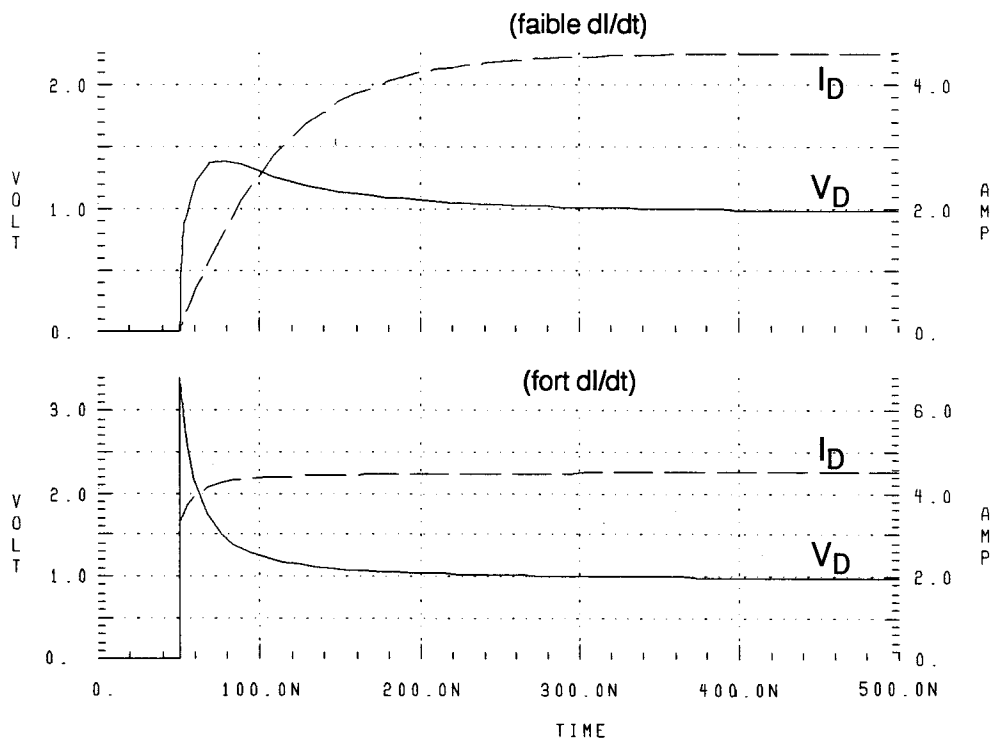


Figure 3.8: simulation de recouvrement direct

Puisque la charge Q_s peut être calculée à partir du courant de jonction et de τ , la valeur de R_s est bien définie à I_D donné et peut de ce fait être utilisée dans le modèle. Un résultat typique ainsi obtenu est montré à la figure 3•8, qui illustre bien l'influence de la vitesse de montée du courant de diode sur le pic de tension à ses bornes

3•3•c: Modélisation du recouvrement inverse

Comme il a été vu au paragraphe 2•4•d, le recouvrement inverse devrait en théorie être "découpé" en 3 phases, dont l'évolution serait décrite par les équations de charge 2•51 et 2•52, avec les conditions aux limites 2•21 appliquées de part et d'autre des porteurs restant dans la base. Le résultat ainsi obtenu serait certes intéressant au niveau de la précision de calcul [31]. Cependant, la complexité du modèle tiendrait plus de la simulation de dispositif que de la simulation de circuit et permettrait l'étude d'un composant en commutation, mais non pas celle d'un convertisseur de puissance dont les constantes de temps sont largement supérieures à celles du semi-conducteur. Le but ici est donc, à partir des équations décrivant précisément le mécanisme de la commutation, de construire un schéma restituant ces principes théoriques tout en les simplifiant afin de les intégrer dans un modèle n'entraînant pas des temps et des problèmes de résolution incompatibles avec la simulation de circuits pratiques. Bien sûr, la validité des résultats ainsi obtenus devra ensuite être vérifiée sur un échantillon représentatif de confrontations expérimentales.

C'est dans cette optique que le nombre de phases étudiées a été réduit, comme illustré à la figure 3•9.

En théorie, les équations du modèle telles qu'elles ont été décrites dans les paragraphes 3•2•a et 3•2•b sont valables lorsque V_D et I_D sont positifs.

Dès que le courant change de signe, les porteurs commencent à être extraits du matériau et en toute rigueur le modèle quasi-statique n'est déjà plus valable car Q_s ne s'écrit plus comme le simple produit de la durée de vie et du courant mais dépend des conditions précédentes: les équations décrivant le profil des porteurs restants doivent être utilisées, en distinguant bien les zones où la charge est évacuée par recombinaison et celles où elle est également éliminée par diffusion. Tant que la jonction PI reste passante, la tension de diode est pratiquement nulle et le composant subit dans ce cas les lois de variation du circuit externe.

Lorsque celle-ci se bloque, V_D devient négatif et le profil de charge dépend alors de la tension aux bornes du composant, ce qui fait intervenir une nouvelle relation courant-tension. La jonction IN se bloque ensuite.

Finalement, toute la charge est évacuée par recombinaison et diffusion, ce qui correspond à la phase finale du blocage.

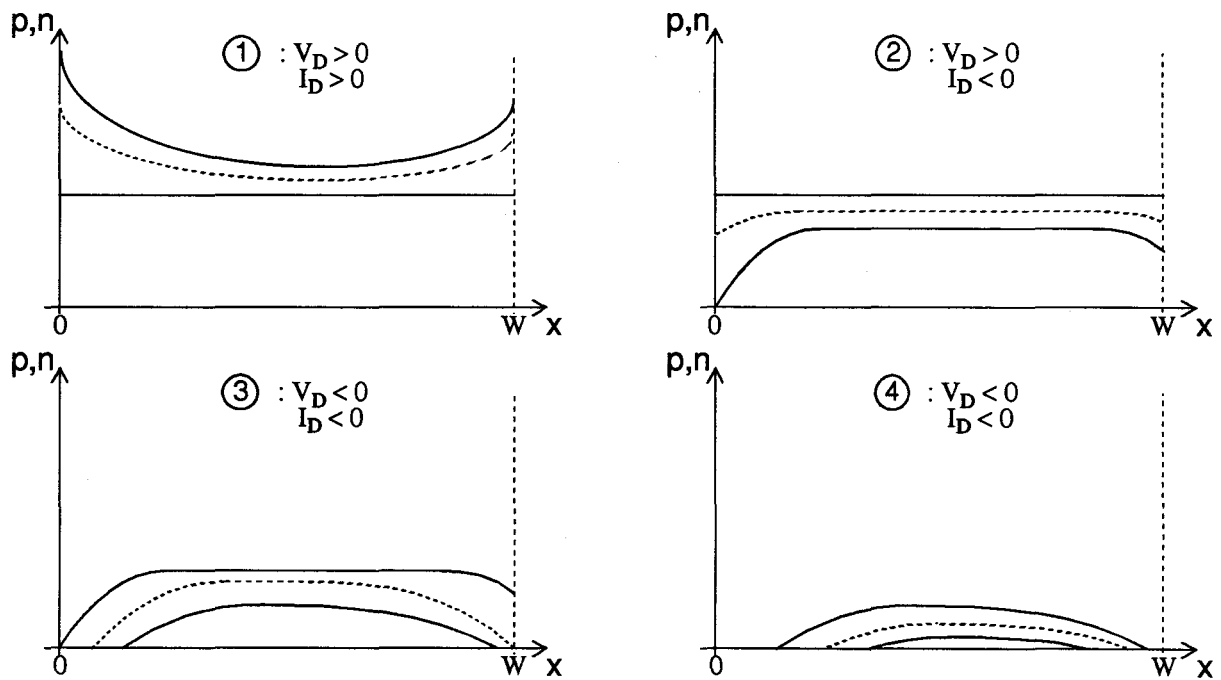
Dans le modèle, il ne sera considéré que deux phases de fonctionnement, correspondant

respectivement à V_D positif et V_D négatif.

Dans le premier cas de figure, le modèle quasi-statique est quand même utilisé car il correspond à la période durant laquelle la charge au voisinage de la jonction PI ne s'est pas encore annulée. Cette charge est réduite à zéro en même temps que la tension de jonction, ce qui est compatible avec le principe même de ce modèle. Celui-ci est donc en quelque sorte appliqué aux porteurs accumulés en périphérie de la base: la validation expérimentale déterminera le domaine d'utilisation de cette démarche.

Pour la phase de blocage, le modèle quasi-statique ne sera plus employé, mais le profil des porteurs sera estimé à partir du courant et de la tension du dispositif, en prenant comme hypothèse simplificatrice que toute la charge est évacuée par diffusion et que les deux jonctions se bloquent en même temps.

THEORIE:



MODELE:

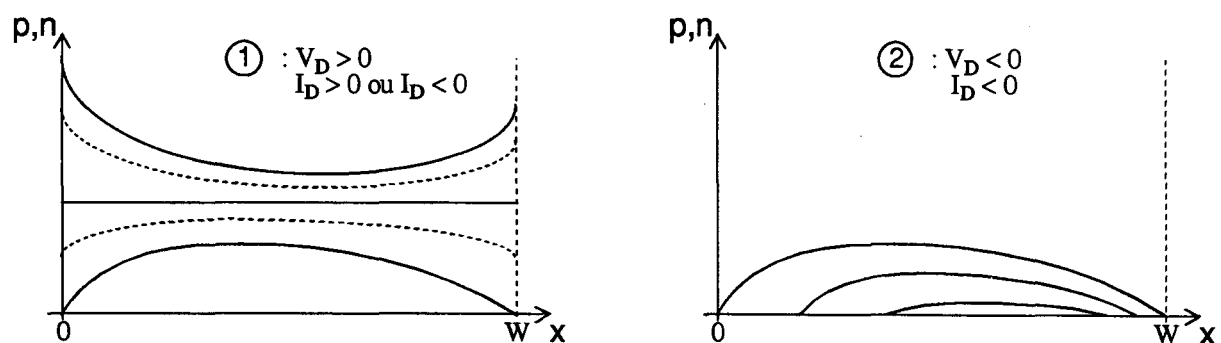


Figure 3-9: recouvrement inverse (théorie et modèle)

Durant la seconde phase prise en compte par le modèle, la charge stockée peut être scindée en deux parties Q_g et Q_d , respectivement à gauche et à droite du point où $\frac{dp}{dt} = \frac{dn}{dt} = 0$ (voir figure 2•18). A partir de l'équation 2•53a, Q_g peut s'exprimer en fonction du courant et de la longueur L_g qu'elle occupe dans la base. Reste alors à déterminer L_g .

Pour ce faire, une approximation est faite afin d'obtenir une formulation simple. Comme il a été vu à la page 33, le rapport entre courants d'électrons et de trous au sommet est égal à b . La charge de gauche est extraite par le courant d'électrons tandis que celle de droite est extraite par le courant de trous. Si la commutation est assez rapide pour supposer que la proportion de charge éliminée par recombinaison est faible devant celle éliminée par diffusion, le rapport entre les zones de charge d'espace de gauche et droite vaut également b [52]. Le schéma de la figure 3•10 s'applique donc pendant le recouvrement inverse.

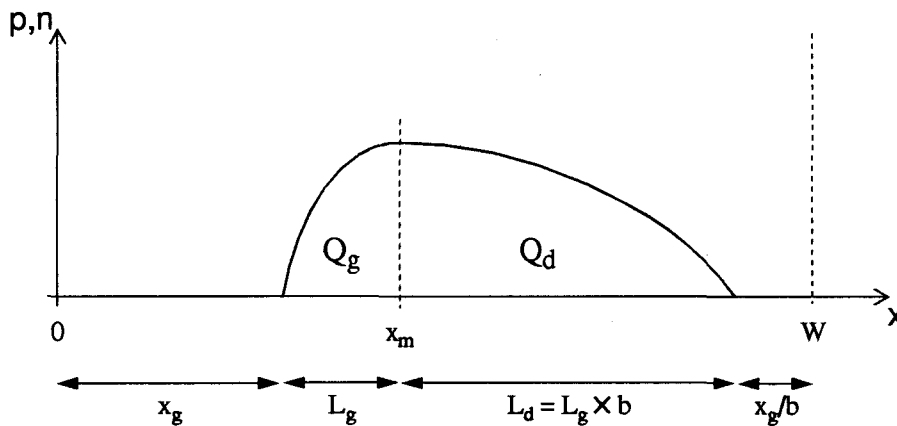


Figure 3-10: géométrie approximée de la charge durant le recouvrement

Du schéma ci-dessus peut être déduite la relation suivante:

$$L_g \cdot (b + 1) + x_g \cdot \left(\frac{b + 1}{b}\right) = W \quad (3\cdot8)$$

Typiquement, b est égal à 3, d'où:

$$L_g = \frac{W}{4} - \frac{x_g}{3} \quad (3\cdot9)$$

avec x_g défini dans le modèle par l'équation 2•54. Cette dernière faisant intervenir la différence de potentiel aux bornes du dispositif, une relation est ainsi définie entre le courant et la tension. Avec les conditions imposées par le circuit extérieur, l'évolution des diverses formes d'onde pourra ainsi être calculée par le simulateur.

3.4: Intégration du macro-modèle dans SPICE

Puisque SPICE ne traite que des grandeurs électriques, les différentes variables utiles doivent être converties en tensions et courants, d'où l'obligation de créer des "blocs fonctionnels" destinés à réaliser les diverses opérations.

Le transfert de la charge stockée est modélisé par les deux générateurs I_s et I_r du schéma de la figure 3.7. Le premier sera effectif en mode direct ($V_D > 0$) uniquement, tandis que I_r ne sera utilisé que pour le mode inverse ($V_D < 0$). Pour leur modélisation, il sera dans la mesure du possible fait appel aux sources commandées disponibles dans SPICE.

Celles-ci sont des opérateurs idéaux et permettent de générer une tension ou un courant qui est combinaison linéaire d'autres grandeurs électriques du circuit (voir figure 3.11 où les flèches en pointillés signifient *contrôlé par*). Ces fonctions ne nécessitent qu'un faible temps de calcul, tout en minimisant les problèmes de convergence.

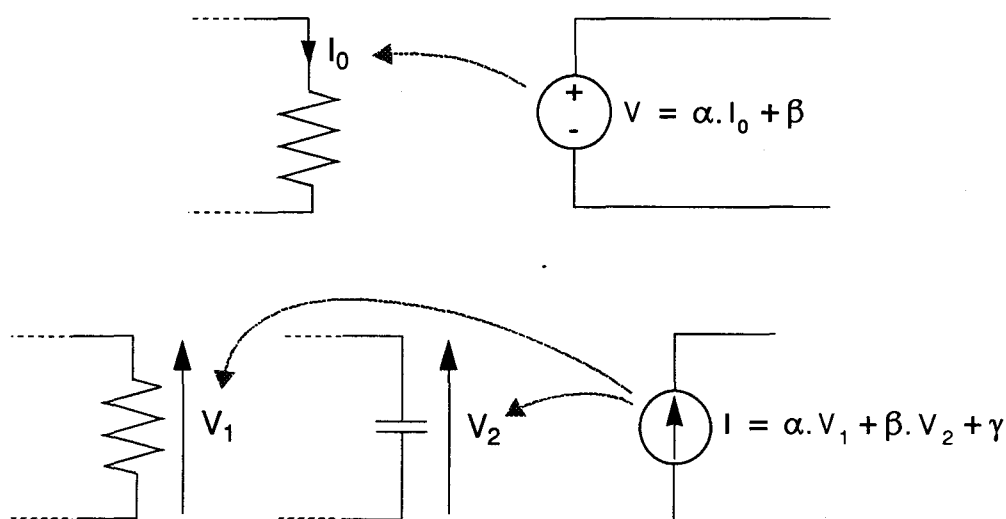


Figure 3.11: principe des sources commandées

3.4.a: Mode direct ($V_D \geq 0$)

Le principe du modèle quasi-statique est de calculer Q_s à partir de la valeur statique de l'intensité I_{D0} , puis d'ajouter à ce dernier le terme dQ_s/dt pour obtenir le courant total du composant. Le générateur I_s est ainsi contrôlé comme le montre la figure 3.12.

Le fonctionnement dynamique est modélisé par un réseau RC de constante de temps τ . Le principe de modélisation est dans ce cas identique au modèle standard, mais l'utilisation de blocs annexes permet de distinguer les diverses phases de la commutation.

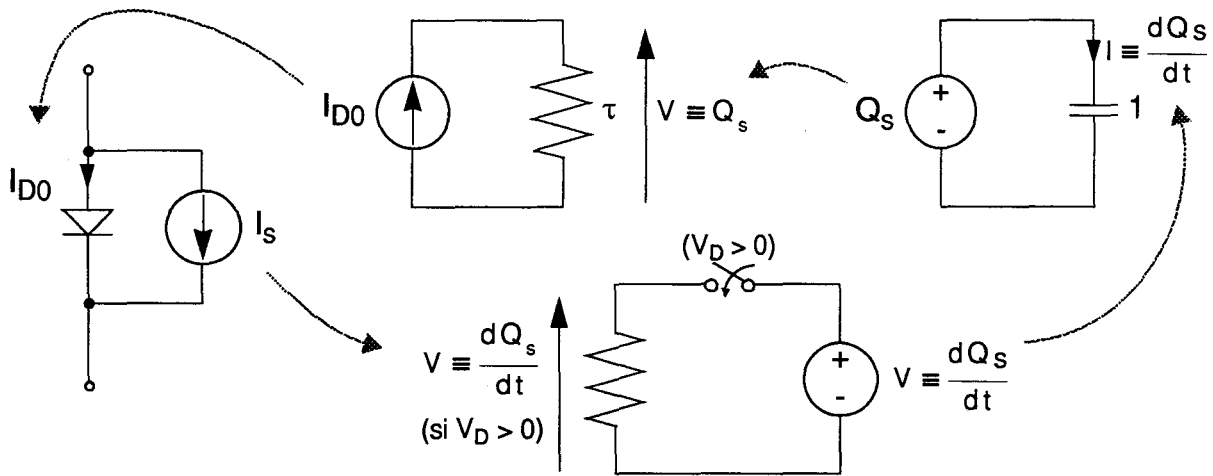


Figure 3-12: modélisation du mode direct

3-4-b: Mode inverse ($V_D < 0$)

Lorsque la diode commence à se bloquer, l'équation 2-51a peut s'exprimer électriquement sous la forme de la figure 3-13, sous réserve que Q_g soit initialisé convenablement (on note I_g le courant servant à évacuer la charge Q_g).

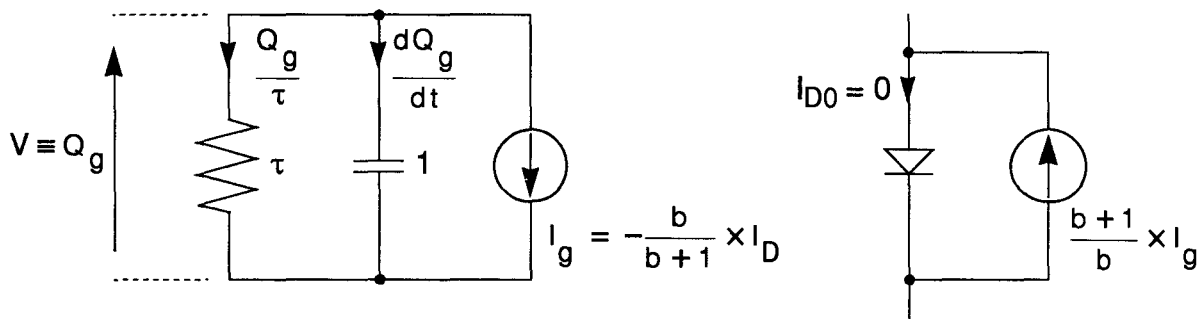


Figure 3-13: calcul du courant inverse

A partir de l'équation 2-53a, la relation suivante peut être déterminée entre Q_g et I_g :

$$Q_g = \frac{2}{\pi^2} \cdot \frac{L_g^2}{D_p} \cdot \left(\frac{b+1}{b}\right) \cdot I_g \quad (3-10)$$

$$\Rightarrow I_g = \left(\frac{b}{b+1}\right) \cdot \frac{\pi^2}{2} \cdot \frac{D_p}{L_g^2} \cdot Q_g \approx 3,70 \cdot \frac{D_p}{L_g^2} \cdot Q_g \quad (3\cdot11)$$

Associée au système de la figure 3•13, cette deuxième équation va ainsi permettre de déterminer les deux inconnues Q_g et I_g (et donc I_D).

Lors du passage mode direct - mode inverse, le réseau annexe de la figure 3•13 doit être convenablement initialisé. Cette transition s'effectue à $V_D = 0$. Selon 2•53a et 3•9, Q_g est alors égal à:

$$Q_g = \frac{2}{\pi^2} \cdot \frac{\left(\frac{W}{4}\right)^2}{D_p} \cdot (-I_D) \quad (3\cdot12)$$

Finalement, le recouvrement inverse sera modélisé selon le processus schématisé de la figure 3•14.

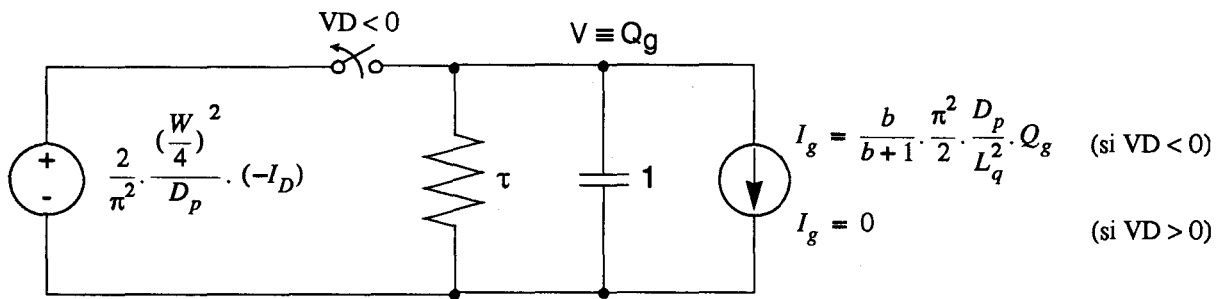


Figure 3•14: modélisation du recouvrement inverse

3•4•c: Construction d'opérateurs idéaux

Il a déjà été pointé que l'une des principales contraintes de SPICE est l'obligation de travailler avec des grandeurs électriques et de tout ramener sous cette forme. De surcroît, les opérateurs utilisables entre tensions ou courants sont limités aux simples additions et multiplications. Ces possibilités sont bien sûr insuffisantes et la modélisation nécessite d'autres opérations élémentaires telles que la division (équation 3•11), le calcul de racine carrée (équation 2•54) et la réalisation d'interrupteurs conditionnels parfaits (figures 3•12 et 3•14). Ces fonctions non disponibles au départ doivent être réalisées de la façon la plus simple possible afin de ne pas alourdir sensiblement les temps de calcul, tout en n'introduisant aucune constante de temps supplémentaire.

•Interrupteur parfait:

Il existe dans la littérature des principes de réalisation d'interrupteurs parfaits utilisant des sources commandées linéaires, et remplissant les conditions énoncées ci-dessus [53][54]. L'idée directrice est celle de la figure 3•15. Le but du schéma est de créer une impédance nulle entre les nœuds A et B lorsque $V+ > V-$. Celle-ci doit par contre être infinie lorsque $V+ < V-$.

Lorsque $V+ > V-$, le courant dans $G0$ est positif. La diode $D1$ est alors bloquée tandis que $D2$ est passante. Ces deux composants sont idéaux et leurs paramètres sont choisis de telle sorte qu'ils présentent une chute de tension nulle à l'état passant. La tension entre les nœuds 7 et 0 est nulle: il en est donc de même pour celle entre les nœuds 6 et 2. Par le biais du générateur de tension $E1$, $V(1)-V(6) = 0$. L'impédance entre A et B est alors nulle et l'interrupteur est fermé.

Lorsque $V+ < V-$, le courant dans $G0$ est négatif: $D1$ est passante et $D2$ bloquée. La tension $V(7)-V(0)$ vaut 1 et de ce fait $V(5)$ est égal à $V(6)$. Ceci maintient une tension et donc un courant nuls pour $R0$. La conductance entre A et B vaut 0 et l'interrupteur est ainsi ouvert.

NB: la capacité $C0$ ne sert qu'à améliorer la convergence numérique.

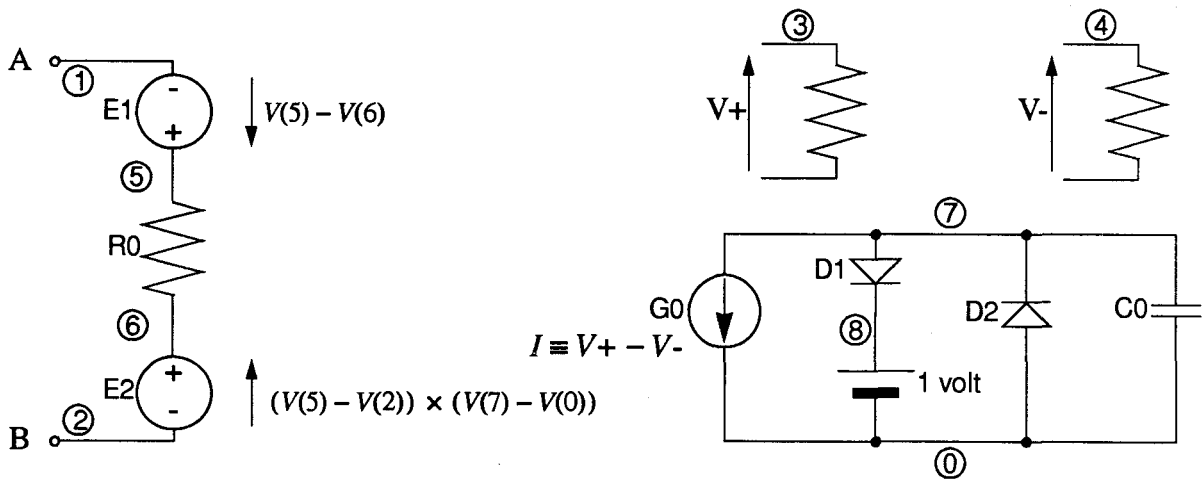


Figure 3-15: modélisation d'interrupteur parfait

La syntaxe SPICE du macro-modèle est la suivante:

```
.SUBCKT INTERRUPT 1 2 3 4
E1 5 1 5 6 1
R0 5 6 1
E2 6 2 POLY(2) 5 2 7 0 0 0 0 1
```

```

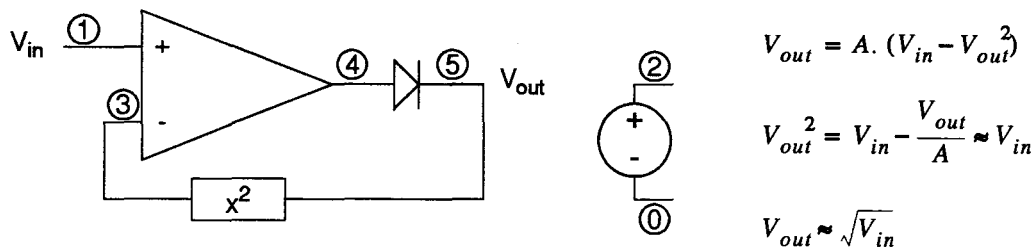
RIN1 3 0 1G
RIN2 4 0 1G
G0 7 0 3 4 1
D1 7 8 DIDEALE
D2 0 7 DIDEALE
.MODEL DIDEALE D IS=1U N=100U RS=0 CJO=0 TT=0
V0 8 0 1
C0 7 0 100P
.ENDS INTERRUPT

```

•**Racine carrée:**

La fonction racine carrée est construite à partir d'un ampli différentiel contre-réactionné. La structure utilisée est celle de la figure 3•16.

NB: la diode idéale du macro-modèle permet d'éviter des problèmes de convergence en empêchant la sortie de prendre des valeurs négatives.



$$V_{out} = A \cdot (V_{in} - V_{out})^2$$

$$V_{out}^2 = V_{in} - \frac{V_{out}}{A} \approx V_{in}$$

$$V_{out} \approx \sqrt{V_{in}}$$

Figure 3•16: calcul de racine carrée

La fonction réalisée s'écrit de la façon suivante:

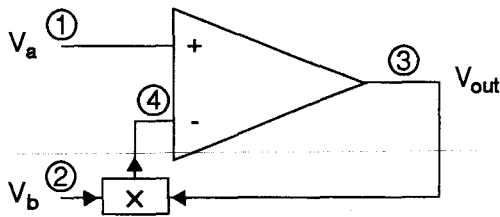
```

.SUBCKT RACINE 1 2
RIN 1 0 1G
E0 3 0 5 0 0 0 1
R0 3 0 1G
EOUT 4 0 1 3 100
DOUT 4 5 DIDEALE
ROUT 5 0 1
E2 2 0 5 0 1
.ENDS RACINE

```

•Diviseur de tensions:

Comme dans le cas précédent, un ampli différentiel contre-réactionné est utilisé pour réaliser cette fonction.



$$V_{out} = A \cdot (V_a - V_b \cdot V_{out})$$

$$V_{out} = \frac{V_a}{V_b + \frac{1}{A}} \rightarrow \frac{V_a}{V_b}$$

Figure 3•17: diviseur de tensions

La syntaxe correspondante est la suivante:

```
.SUBCKT DIVISEUR 1 2 3
R1 1 0 1G
R2 2 0 1G
R4 4 0 1G
EOUT 3 0 1 4 100
E0 4 0 POLY(2) 2 0 3 0 0 0 0 1
.ENDS DIVISEUR
```

3•4•d: Description du macro-modèle complet

La figure 3•18 donne le schéma complet de simulation du composant.

La syntaxe DSPICE du macro-modèle est également donnée ci-après à titre indicatif (l'unité de longueur utilisée pour les divers paramètres est le mètre, c'est pourquoi certains facteurs multiplicatifs sont introduits afin de véhiculer des grandeurs raisonnables).

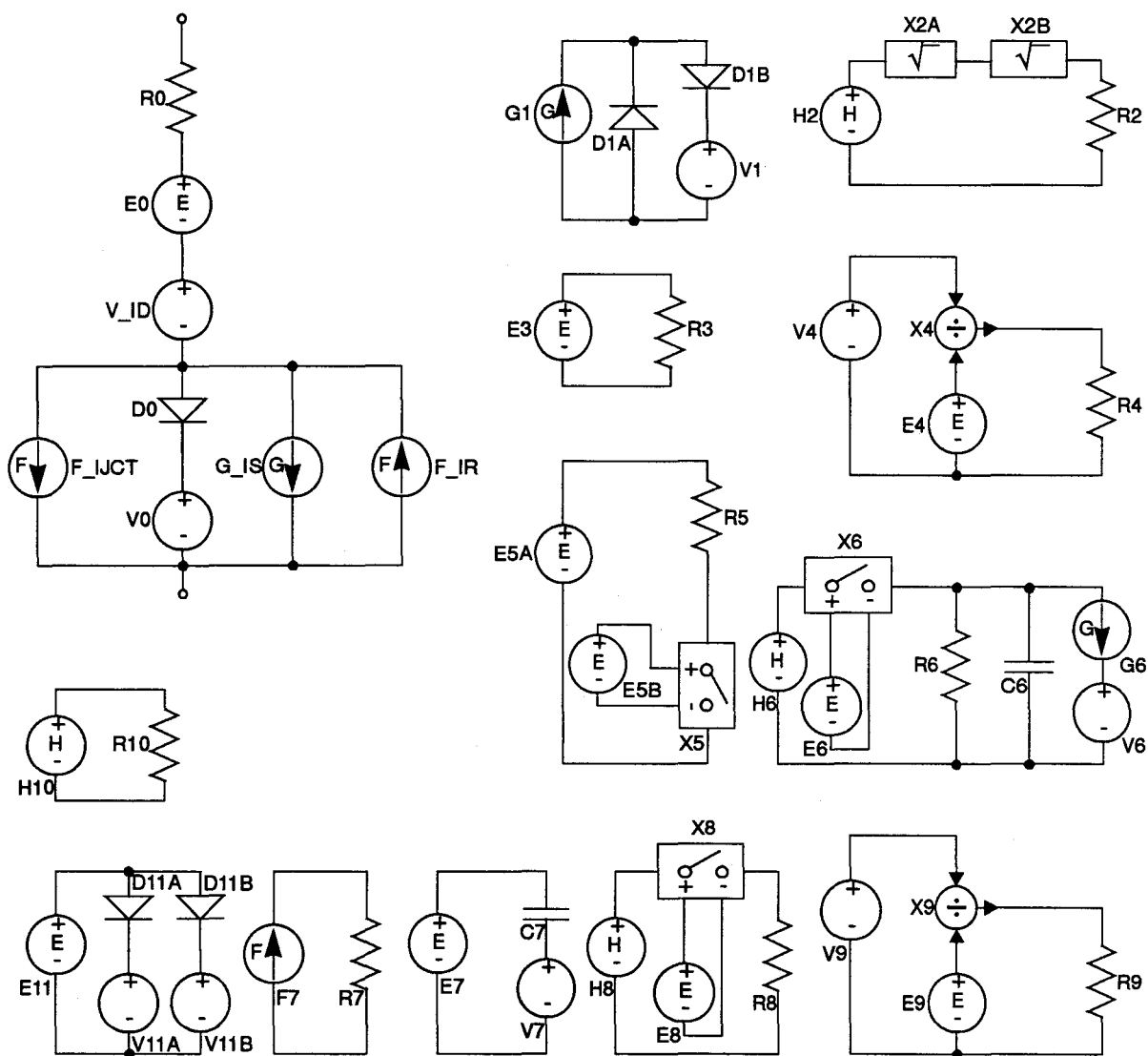


Figure 3-18: macro-modèle complet de diode

.SUBCKT D_PUIS 1 2 PARAM IS N RS CJO VJ M ND S W UN UP TAU

- * IS: courant de saturation
- * N: coefficient d'émission
- * RS: résistance série
- * CJO: capacité de jonction à l'équilibre
- * VJ: potentiel de jonction
- * M: coefficient de jonction
- * ND: concentration en impuretés de base
- * S: section de diode
- * W: largeur de base
- * UN: mobilité des électrons

```

* UP: mobilité des trous
* TAU: durée de vie des porteurs dans la base
"PARAM1 = -1.3039E21/ND"
"PARAM2 = (W*1E6)**2/16"
"PARAM3 = -W*1E6/6"
"PARAM4 = 25.875*UP"
"PARAM5 = (W*1E6/4)**2/(UP*25.875)*(-0,203)
"PARAM6 = W/S"
"PARAM7 = 1.6E-19*UN*ND"
"PARAM8 = (UN+UP)/(S*W)*1E-9
"PARAM9 = TAU*1E9"
*
R0 1 3 RS
E0 3 4 POLY(2) 92 0 100 0 0 0 0 1
V_ID 4 5 0
D0 5 6 DIODE0
.MODEL DIODE0 D IS=IS N=N CJO=0 TT=0
V0 6 2 0
F_IJCT 5 2 POLY(2) V11A V11B 0 1 -1
F_IDIF 2 5 V6 1.333
G_IREC 5 2 81 0 1
*
G1 0 10 5 6 "PARAM1"
D1A 0 10 DIDEALE
D1B 10 11 DIDEALE
.MODEL DIDEALE D IS=1U N=100U CJO=0 TT=0
V1 11 0 0
*  $I(V1) = x_g^2 (\mu m^2)$  si  $V_D < 0$ ,  $I(V1) = 0$  si  $V_D > 0$ 
*
H2 20 0 V1 0 0 1
X2A 20 21 RACINE
X2B 21 22 RACINE
R2 22 0 1G
*  $V(22) = L_j (\mu m)$ 
*
E3 30 0 22 0 "PARAM2" "PARAM3" 0.1111
R3 30 0 1G
*  $V(30) = L_g^2 (\mu m^2)$ 
*

```

V4 40 0 "PARAM4"
E4 41 0 30 0 1
X4 40 41 42 DIVISEUR
R4 42 0 1G
* $V(42) = D_p/L_g^2 \times 1E9$
*
E5A 50 0 42 0 1
R5 50 51 1
X5 51 0 52 53 INTERRUP
E5B 52 53 5 6 10
* $V(51) = 0$ si $V_D > 0$, $V(51) = D_p/L_g^2 \times 1E-9$ si $V_D < 0$
*
H6 60 0 V_ID "PARAM5"
X6 60 61 62 63 INTERRUP
E6 62 63 5 6 10
R6 61 0 "PARAM9"
C6 61 0 1N
G6 61 64 POLY(2) 51 0 61 0 0 0 0 0 3.701
V6 64 0 0
* $V(61) = Q_g \times 1E9$, $I(V6) = 3/4 \times (-I_D)$ si $V_D < 0$
*
F7 0 70 V0 1
R7 70 0 "PARAM9"
E7 71 0 70 0 1
C7 71 72 1N
V7 72 0 0
* $V(70) = Q_s \times 1E9$ en polarisation directe, $I(V7) = dQ_s/dt$
*
H8 80 0 V7 1
X8 80 81 82 83 INTERRUP
E8 82 83 5 6 10
R8 81 0 1
* $V(81) = dQ_s/dt$ si $V_D > 0$, $V(81) = 0$ si $V_D < 0$
*
V9 90 0 "PARAM6"
X9 90 91 92 DIVISEUR
E9 91 0 70 0 "PARAM7" "PARAM8"
R9 92 0 1G
* $V(92) =$ résistance variable de diode

```

*
H10 100 0 V_ID 1
R10 100 0 1
* V(100) = ID
*
E11 110 0 5 6 1
D11A 110 111 DIODE1
.MODEL DIODE1 D IS=10F N=1 CJO=CJO VJ=VJ M=M TT=0
V11A 111 0 0
D11B 110 112 DIODE2
.MODEL DIODE2 D IS=10F N=1 CJO=0 TT=0
V11B 112 0 0
*I(V11A)-I(V11B) = Ijonction
*
.ENDS D_PUIS

```

Bien que la vérification expérimentale fasse l'objet d'une étude plus détaillée par la suite, il est d'ores et déjà permis de tester ce modèle sur un cas pratique. C'est ce qui est proposé aux figures 3-19 et 3-20 qui montrent les formes d'onde du courant de recouvrement inverse pour deux diodes de puissance testées dans les conditions suivantes:

- courant direct commuté: 8 A
- vitesse de décroissance du courant: 70 A/μs
- tension inverse appliquée: 30 V

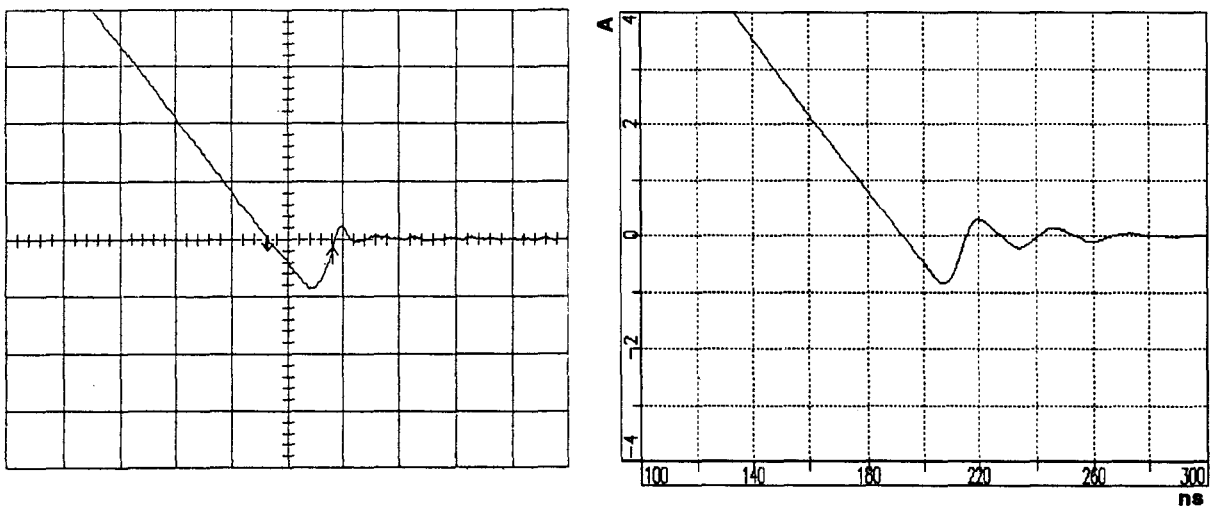


Figure 3-19: recouvrement inverse dispositif n°1
mesure (gauche) et simulation (droite)

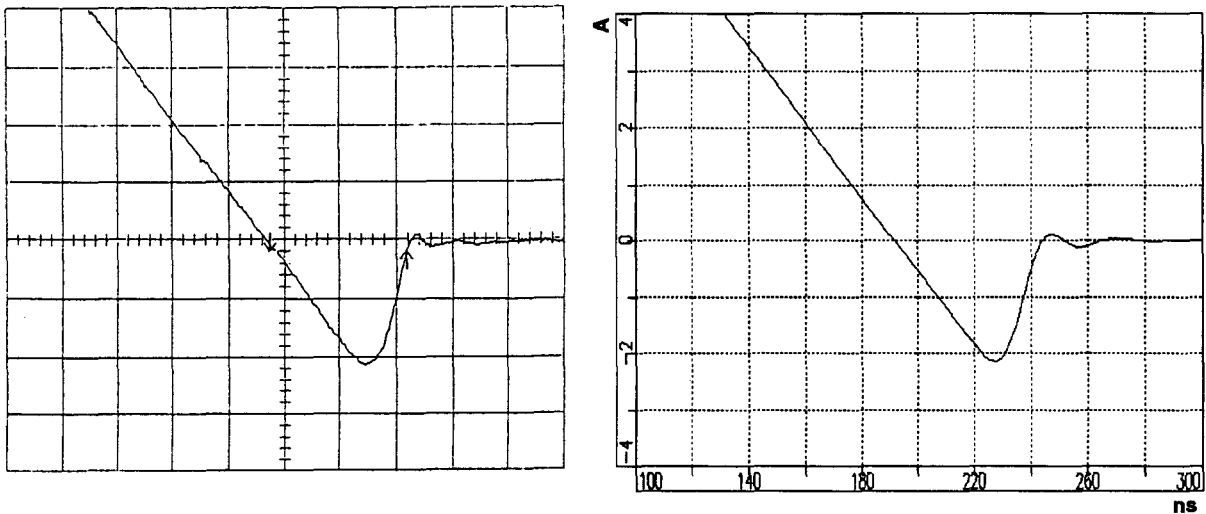


Figure 3-20: recouvrement inverse dispositif n°2
mesure (gauche) et simulation (droite)

3-5: Technique d'extraction des paramètres

Le modèle qui vient d'être décrit comporte 12 paramètres (voir page 54), certains étant directement reliés aux caractéristiques électriques du composant (caractéristique statique et capacité de jonction), d'autres aux caractéristiques géométriques de celui-ci (section et longueur de base), d'autres enfin se rapportant au semi-conducteur proprement dit (mobilité des porteurs et concentration en impuretés). Leur nombre a été choisi le plus faible possible afin de faciliter leur détermination.

3-5-a: Caractéristique statique

La caractéristique $I_D(V_D)$ est déterminée par les 3 paramètres qui sont le courant de saturation I_S , le coefficient d'émission N , et la résistance série R_S . Ceux-ci pourraient évidemment être extraits à partir de la courbe $\ln(I_D) = f(V_D)$, I_S étant déterminé par l'intersection avec l'axe des ordonnées et N par la pente de la courbe. Cependant, l'utilisation d'un logiciel d'optimisation [37] permet d'ajuster les courbes simulées avec les mesures ou les caractéristiques constructeur avec une efficacité supérieure.

L'exemple de la figure 3-21 montre que le modèle standard peut s'appliquer à certains dispositifs de puissance avec des valeurs raisonnables de paramètres ($N = 1,6$ dans le cas présent), ce qui ne sera pas systématiquement vérifié dans la totalité des cas (voir page 39).

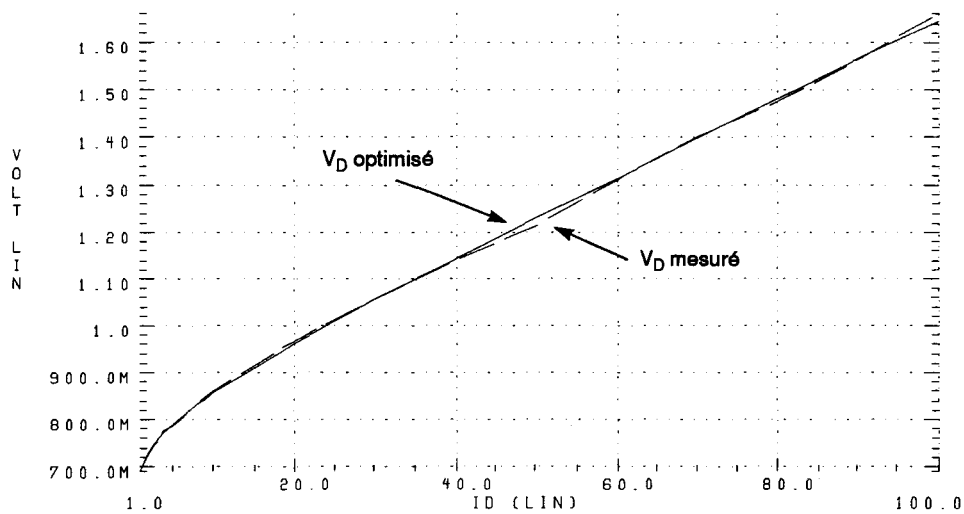


Figure 3-21: extraction de la caractéristique statique

3-5-b: Capacité de jonction

L'expression de C_j fait intervenir les 3 paramètres C_{JO} , V_J et M . Ces derniers pourraient être extraits "manuellement" grâce à la courbe $\log(1/C_j) = f(-V_D)$, la pente valant M et l'intersection avec l'axe de ordonnées valant $\log(1/C_{JO})$, V_J étant ensuite calculé pour une valeur particulière de V_D . Là aussi, une optimisation numérique donne des résultats plus intéressants (figure 3-22).

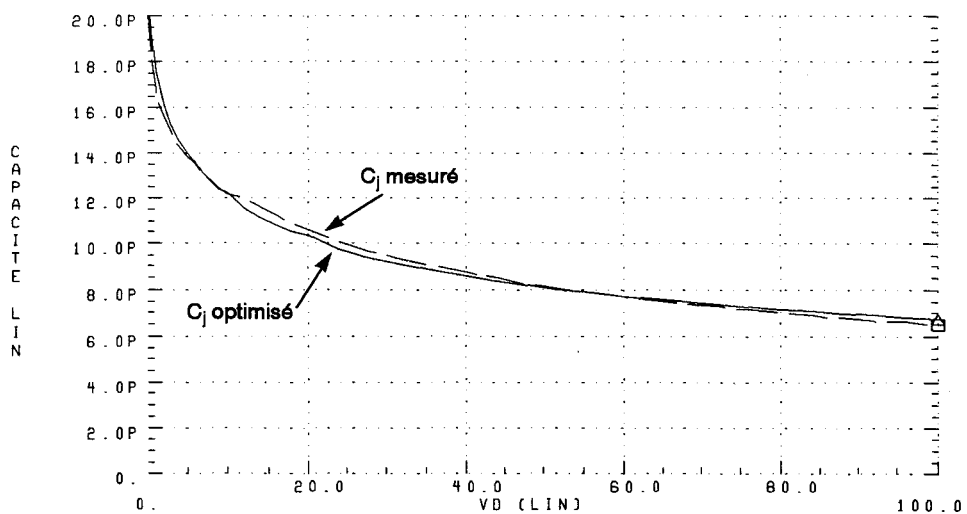


Figure 3-22: extraction de la capacité de jonction

3.5.c: Concentration en impuretés de la base

Le moyen le plus sûr pour dimensionner ce type de paramètre est bien évidemment d'avoir accès aux caractéristiques technologiques, par mesure de *spreading resistance*. Dans le cas contraire, il faut le déterminer par mesure ou évaluation. Un ordre de grandeur peut être obtenu par l'expression de C_j en fonction de V_D (équation 2.35), en considérant une jonction abrupte fortement dissymétrique [55]. Dans l'alternative, une valeur approchée raisonnable est 10^{14} at/cm^3 .

3.5.d: Section de diode

Outre l'examen optique du composant, S peut être évalué à partir de la densité de courant nominale utilisée par les constructeurs et de l'ordre de 200 A/cm^2 [55].

3.5.e: Largeur de base

La valeur de W est primordiale pour le modèle car c'est elle qui détermine la vitesse de remontée du courant après le blocage. Cette dernière est elle-même essentielle puisqu'elle caractérise le type de recouvrement inverse (*soft recovery* ou *snap off*) et de là les surtensions induites par les inductances parasites. Dans notre cas, W est donc déterminé par ajustement entre les simulations et les mesures, en s'intéressant notamment à la surtension qui apparaît aux bornes de la diode lorsque celle-ci se bloque. Ceci donne une valeur approchée de la largeur réelle étant données les approximations faites pour modéliser la commutation du composant. La figure 3.23 montre un résultat de simulation illustrant bien l'influence de W sur le comportement transitoire (la remontée du courant étant plus rapide pour une diode courte que pour une diode longue).

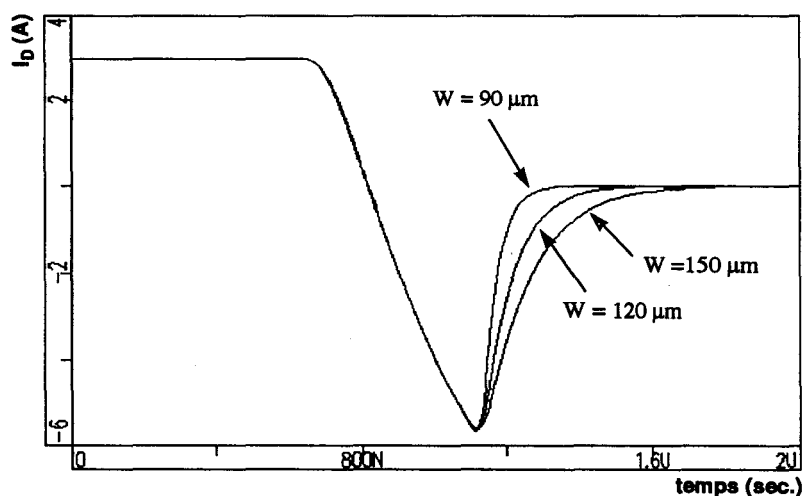


Figure 3.23: influence de W sur la remontée de I_R

3•5•f: Mobilité des porteurs

Les valeurs de μ_n et μ_p varient en fonction de la température, du dopage, et du niveau d'injection (produit $p \times n$). L'utilisation de formules semi-empiriques permet d'évaluer avec une bonne précision la mobilité des porteurs en fonction de ces divers paramètres [56]. Les simulations effectuées par SPICE ne tiennent cependant pas compte de l'évolution de température des semi-conducteurs et considèrent ce paramètre comme étant figé dès le départ. De ce fait, μ_n et μ_p seront pris fixes dans le modèle. Un ordre de grandeur pour les mobilités à 300°K, pour des concentrations en impuretés de 10^{14} à 10^{15} at/cm³, est de $1500\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ pour les électrons et $500\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ pour les trous [56].

3•5•g: Durée de vie

La valeur de τ détermine la valeur du courant inverse maximal au blocage (voir figure 3•24). Sa valeur dépend également du niveau d'injection, de la température, et peut être réduite par irradiation électronique aussi bien que par dopage à l'or ou au platine [57][58]. Comme pour les mobilités, c'est une valeur moyenne qui sera ici utilisée. Diverses méthodes peuvent être utilisées pour sa détermination.

Des procédures s'appuyant sur le modèle à contrôle de charge sont applicables pour la calculer: certaines considèrent la charge restante après blocage de la jonction [59][60], d'autres non [33]. La méthode décrite dans [33] est directement applicable au modèle SPICE qui considère que Q_s est nulle en même temps que V_D , et également au calcul de τ utilisé pour la première phase de recouvrement inverse du macro-modèle.

La durée de vie peut également être déterminée à partir des équations du semi-conducteur sous forme analytique selon la technique de commutation (I_R constant [61][22] ou dI_D/dt constant [62][63]). A noter que la résolution numérique de ces expressions analytiques permet également de déterminer la largeur de base [64].

Enfin, la méthode *OCVD* (*Open-Circuit Voltage Decay*) qui consiste à examiner la décroissance de tension de diode lorsque le courant est annulé par ouverture du circuit de polarisation [65] donne de très bons résultats mais s'avère difficile à mettre en œuvre pour des valeurs de τ inférieures à 100ns [66].

Pratiquement, la détermination de τ pour le modèle sera affinée par ajustement entre les simulations et les relevés expérimentaux.

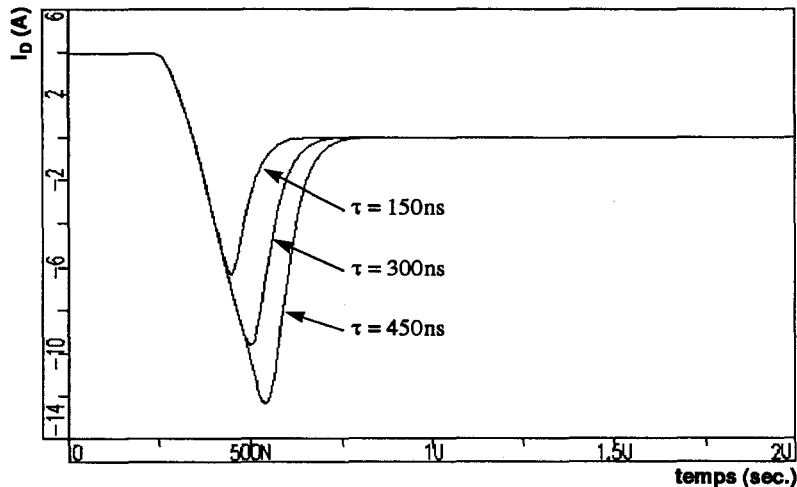


Figure 3-24: influence de τ sur le courant inverse

3-5-h: Influence des hypothèses utilisées sur les paramètres

Le modèle qui vient d'être créé s'appuie sur un certain nombre d'hypothèses, notamment le profil sinusoïdal de la charge stockée durant le recouvrement inverse et le blocage simultané des jonctions PI et IN. Il est bien évident que ceci se répercute sur les paramètres extraits pour un dispositif donné.

Dans le cas du profil de porteurs dont l'allure est supposée connue à priori après que les jonctions se soient bloquées, il est clair que la charge résiduelle est fonction de la largeur de base (équations 2-53a et 3-9). Cette dernière est donc en quelque sorte un paramètre d'ajustement qui sert à fixer la vitesse de remontée du courant inverse. Dans le cas où un scénario différent serait adopté pour le recouvrement, avec par exemple une allure de charge triangulaire, l'extraction donnerait des valeurs de W différentes du cas présent. L'on peut donc s'attendre à un écart entre les largeurs extraites qui sont des paramètres du modèle et les largeurs effectives qui sont des paramètres technologiques. Cet écart doit être d'autant plus réduit que le scénario utilisé est proche de la réalité.

Une remarque similaire peut être faite en ce qui concerne la durée de vie des porteurs. Durant la première phase du recouvrement, tant que V_D reste positif, le modèle est quasi-statique et dépend fortement de la valeur choisie pour τ , qui régit le temps que met le dispositif pour se bloquer. Durant ce délai les porteurs évacués se situent essentiellement aux abords des jonctions. Puisque τ est utilisé pour modéliser cet intervalle, il se rapporte donc plus à la charge périphérique qu'à la charge totale: la durée de vie utilisée dans le modèle est de ce fait inférieure à la valeur effective.

IV - Extraction de paramètres et validation expérimentale

4.1: Montage utilisé

Le modèle ayant été construit selon la démarche définie au paragraphe précédent, il est logique de le confronter maintenant à des résultats expérimentaux, afin de déterminer son degré de validité ainsi que ses limitations. Pour pouvoir exploiter les résultats de mesure de façon optimale, les relevés doivent être effectués à partir d'un montage permettant de bien isoler les caractéristiques du dispositif étudié, en l'occurrence la diode. Le point intéressant dans notre cas est le comportement transitoire du composant, notamment au blocage. En effet, c'est durant cette période que la puissance dissipée dans le dispositif est la plus importante et que ce dernier peut entraîner de fortes contraintes sur les composants qui lui sont associés.

Comme il a été vu au paragraphe 2.1.b, le blocage d'une diode est en général caractérisé par deux grandeurs: le courant direct avant blocage I_F et la vitesse de décroissance du courant dI_D/dt . Ces deux paramètres influent directement sur le recouvrement inverse et doivent pouvoir être modifiés lors des divers relevés expérimentaux. En effet, il est toujours relativement aisé d'ajuster un résultat de simulation sur une courbe de mesure, le nombre de paramètres offrant un degré de liberté suffisamment grand pour pouvoir obtenir un accord satisfaisant. Mais pour pouvoir juger de la validité d'un modèle, il est nécessaire de le vérifier dans des configurations de test variées afin de déterminer si l'approche de simulation concorde toujours en modifiant les conditions expérimentales. C'est dans cette optique qu'est menée la phase de validation.

D'autre part, le montage utilisé doit faire intervenir le minimum de composants afin de ne pas "noyer" la mesure dans d'éventuels effets parasites dont l'importance augmenterait à coup sûr avec la complexité du circuit (l'utilisation du modèle dans un schéma plus complexe fera l'objet du chapitre suivant, en complément de la démarche de validation proprement dite).

Un très bon cas de figure permettant de bien mettre en évidence le phénomène de recouvrement inverse est celui du hacheur (convertisseur DC-DC ou *Buck*) de la figure 4.1, qui tient en quelque sorte lieu de cas d'école pour l'étude des commutations de dispositifs. En effet, ce montage est bien représentatif de l'utilisation habituelle des diodes dans les circuits dont le rôle est de contrôler la puissance délivrée à une charge via un composant travaillant en commutation (habituellement un transistor MOS ou bipolaire). Cette charge étant en général selfique et présentant une inertie de courant, il faut permettre à ce dernier de continuer à circuler lorsque l'on bloque le transistor: d'où le rôle de la *diode de roue libre* de la figure 4.1.

A chaque remise en conduction du transistor, la diode initialement passante commence à se bloquer, mais se comporte comme un court-circuit au début du recouvrement inverse.

L'intensité dans la charge restant pratiquement constante, c'est le transistor qui supporte le courant inverse de jonction. Celui-ci subit donc une surintensité à chaque cycle de fonctionnement, et cela sous une tension à ses bornes maximale et égale à la tension d'alimentation, puisque V_D est alors pratiquement nulle. Le recouvrement inverse de la diode engendre donc une dissipation importante dans le transistor qu'il convient de dimensionner en conséquence, d'où l'intérêt de pouvoir simuler et prendre en compte cet effet durant la phase de conception.

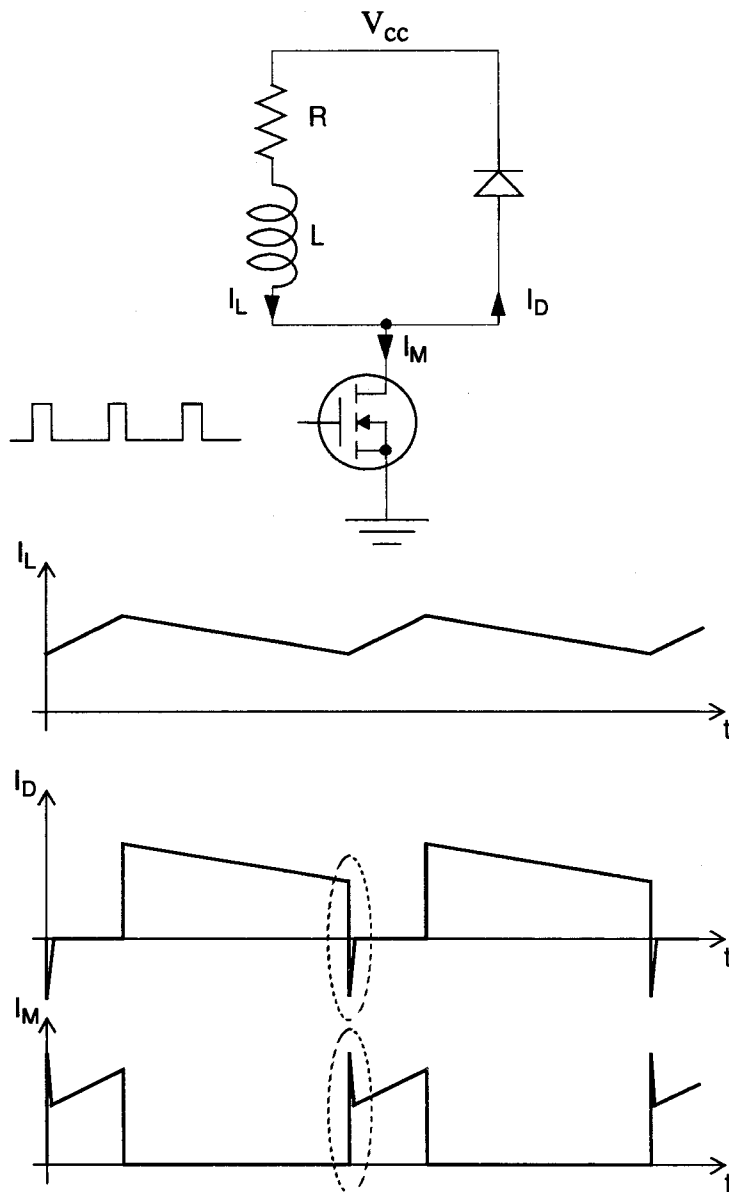


Figure 4-1: convertisseur Buck

Afin de relever les contraintes sur les composants, une plaquette de test a été réalisée selon le montage de la figure 4-2; le transistor utilisé pour la commutation est un transistor MOS de puissance, commandé par un étage bipolaire push-pull afin de garantir une commutation rapide, notamment en appliquant une tension grille-source négative au blocage.

En jouant sur le rapport cyclique θ de commande du transistor et sur la tension d'alimentation V_{cc} , il est possible de fixer la valeur du courant moyen dans la charge et donc l'intensité commutée par les composants (celle-ci étant égale à $(V_{cc}/R) \times \theta$).

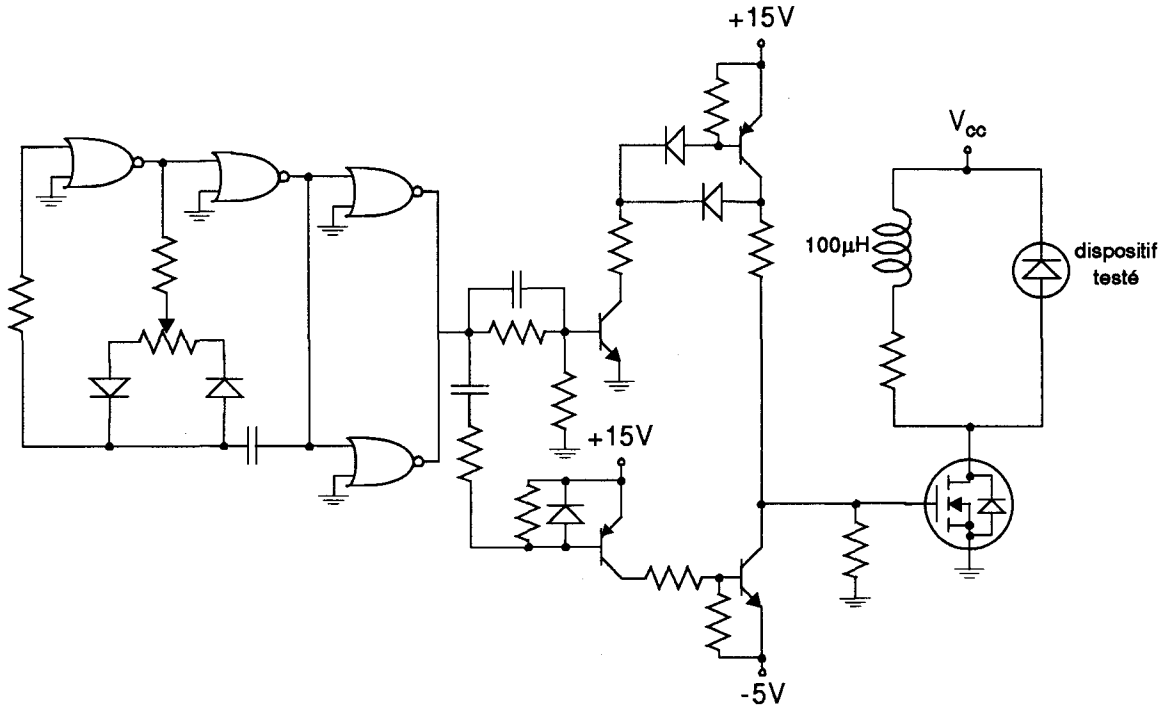


Figure 4-2: circuit de mesure de recouvrement inverse

Afin d'avoir un échantillon de mesures relativement large, les 4 dispositifs suivants ont été mesurés:

- BYT08P THOMSON (8 A - 400 V)
- MUR810 MOTOROLA (8 A - 100 V)
- MUR850 MOTOROLA (8 A - 500 V)
- IRF640 INTERNATIONAL RECTIFIER (18 A - 200 V) (diode interne de transistor MOS)

Les trois premiers composants sont des diodes “rapides” (faible charge stockée et faible temps de recouvrement inverse) tandis que le quatrième est la diode interne d'un transistor MOS de puissance. Ce dernier type de dispositif est d'office présent dans les MOSFET's à structure verticale et il est intéressant pour le concepteur de le caractériser afin de savoir s'il est possible de l'utiliser comme diode de roue libre dans un convertisseur, ou si au contraire il est nécessaire de rajouter un composant discret plus rapide.

Afin de mettre en valeur l'influence de la diode sur l'énergie dissipée par le transistor, les figures 4-3 et 4-4 montrent le courant circulant dans le transistor du hacheur ainsi que la tension à ses bornes lorsque la diode testée est respectivement rapide (BYT08P) ou lente

(IRF640). Pour un courant direct de diode avant blocage de 0,5A, la surintensité est d'environ 0,2A pour la diode rapide contre 2A pour la diode lente, soit un facteur 10 entre les surcourants subis dans chaque cas par le transistor, dans des conditions de fonctionnement identiques.

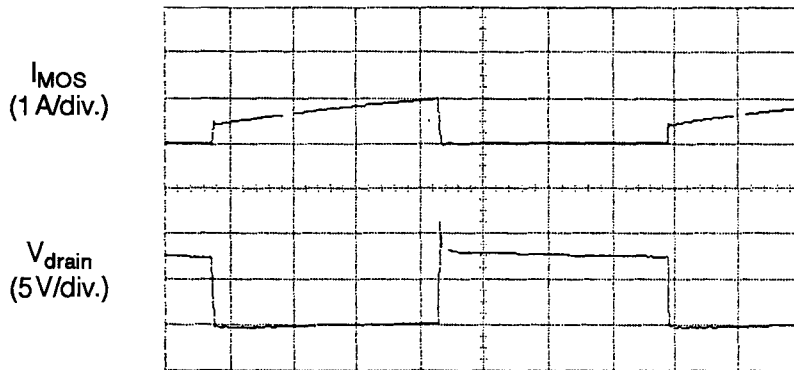


Figure 4-3: mesure de I_{MOS} et V_{drain} (diode rapide)

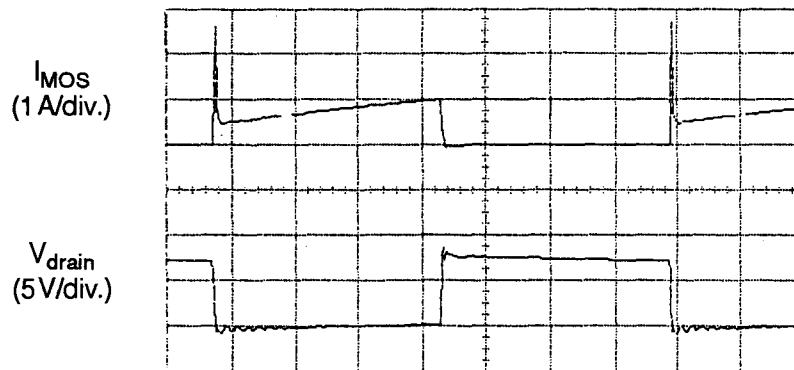


Figure 4-4: mesure de I_{MOS} et V_{drain} (diode lente)

L'exemple ci-dessus illustre typiquement le fait que les composants doivent être dimensionnés en tenant compte des dissipations introduites par les composants de protection, alors que celles-ci varient selon les conditions de fonctionnement. Ce dernier point est donc difficile à quantifier autrement que par la simulation.

Comme il a été vu précédemment, l'objectif fixé est de tester les dispositifs dans une gamme relativement large de conditions de travail, qui sont les suivantes:

- $I_F = 0,5\text{ A}$ $V_{CC} = 7\text{ V}$ $dI_D/dt = 20\text{ A}/\mu\text{s}$
- $I_F = 1\text{ A}$ $V_{CC} = 14\text{ V}$ $dI_D/dt = 20\text{ A}/\mu\text{s}$
- $I_F = 3\text{ A}$ $V_{CC} = 80\text{ V}$ $dI_D/dt = 25\text{ A}/\mu\text{s}$
- $I_F = 4,6\text{ A}$ $V_{CC} = 120\text{ V}$ $dI_D/dt = 30\text{ A}/\mu\text{s}$
- $I_F = 4,6\text{ A}$ $V_{CC} = 120\text{ V}$ $dI_D/dt = 50\text{ A}/\mu\text{s}$
- $I_F = 7,2\text{ A}$ $V_{CC} = 120\text{ V}$ $dI_D/dt = 50\text{ A}/\mu\text{s}$

Entre les valeurs extrêmes, il existe donc un facteur 15 sur les courants et tensions, et un facteur 2,5 sur les vitesses de commutation, ce qui permet de couvrir la majeure partie de la gamme d'utilisation habituelle pour les applications qui nous intéressent.

4.2: Schéma de simulation

Le schéma de simulation est donné à la figure 4.5, qui donne le détail des éléments parasites pris en considération.

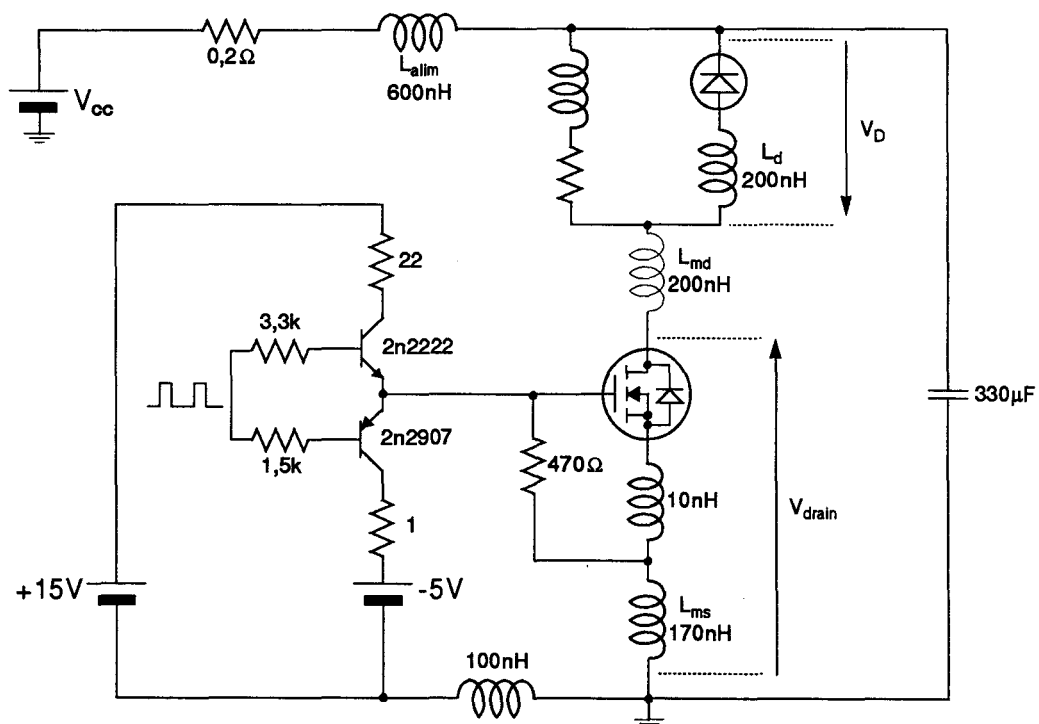


Figure 4.5: schéma de simulation

Des essais ont été effectués avec ou sans la capacité de $330\mu\text{F}$ aux bornes du circuit, ce qui explique les différentes valeurs mesurées de dI_D/dt (la coupure étant plus rapide avec la capacité qui contribue à réduire l'influence des inductances de ligne).

Les inductances de câblage jouent un rôle prédominant sur les vitesses de commutation et les surtensions parasites et doivent par conséquent être prises en compte: L_{ms} fixe la valeur de dI_D/dt au blocage, L_{md} joue sur la tension maximale mesurée, tandis que L_d fixe le ΔV_D qui apparaît aux bornes de la diode pendant la phase de décroissance du courant. Pour les mesures sans capacité de découplage, la tension inverse maximale est également fixée par L_{alim} (cas où $I_F = 3\text{ A}$, $V_{cc} = 80\text{ V}$ et $I_F = 4,6\text{ A}$, $V_{cc} = 120\text{ V}$, $dI_D/dt = 30\text{ A}/\mu\text{s}$). Ces valeurs d'inductances doivent impérativement être déterminées avant d'examiner l'influence des paramètres propres aux semi-conducteurs. Ces deux effets jouant indépendamment sur des grandeurs similaires, il est difficile de les dissocier et leur détermination, souvent fastidieuse, s'obtient par confrontation entre simulations et mesures.

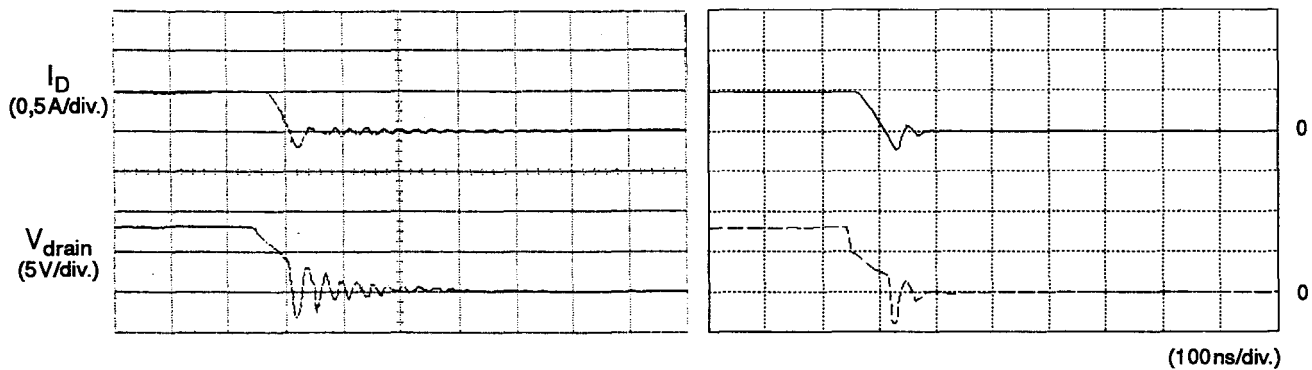
Les transistors bipolaires constituant l'étage de commande peuvent être simulés de façon standard (modèle de Gummel-Poon). Par contre, les structures verticales des transistors MOS de puissance ne correspondent pas aux modèles SPICE de base développés pour des structures horizontales. La discordance est surtout sensible au niveau des capacités non linéaires des premiers, alors que les seconds présentent essentiellement des capacités de recouvrement, de valeurs fixes. Le transistor MOS a donc été simulé à partir du macro-modèle décrit dans [7] (voir l'annexe correspondante page 103). L'utilisation simultanée des modèles de MOS et de diode de puissance permet ainsi d'évaluer la précision possible pour la modélisation des convertisseurs.

4-3: Résultats expérimentaux

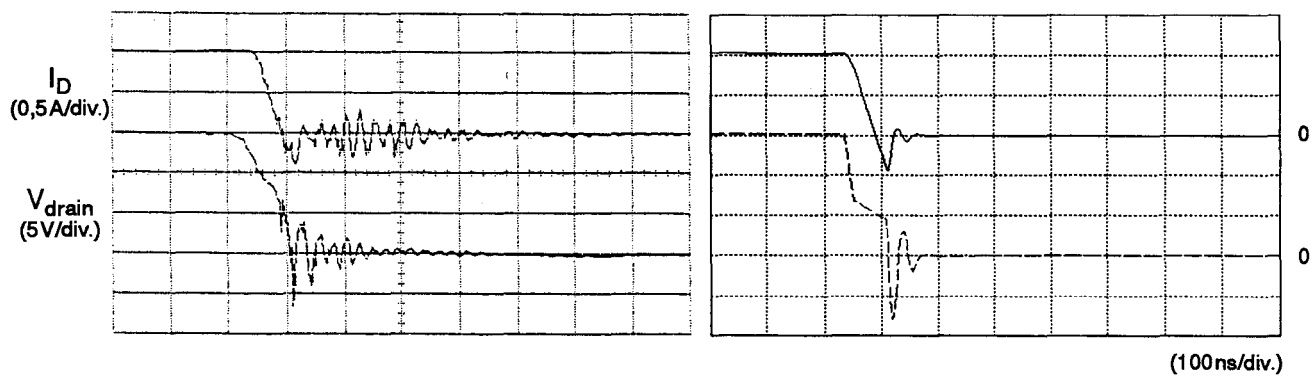
Dans le compte-rendu de mesure, les courbes expérimentales sont comparées aux résultats de simulation, afin de permettre une comparaison qualitative entre les deux approches (les résultats expérimentaux étant placés à gauche, et les simulations à droite). Pour pouvoir ensuite faire une comparaison quantitative, sont également confrontées dans chaque cas les grandeurs principales intéressant le concepteur, à savoir l'intensité inverse maximale de diode ainsi que la tension maximale au blocage (aux bornes du transistor de commande dans les deux premiers cas de mesure, aux bornes de la diode dans les autres cas).

4.3.a: Dispositif Motorola MUR810

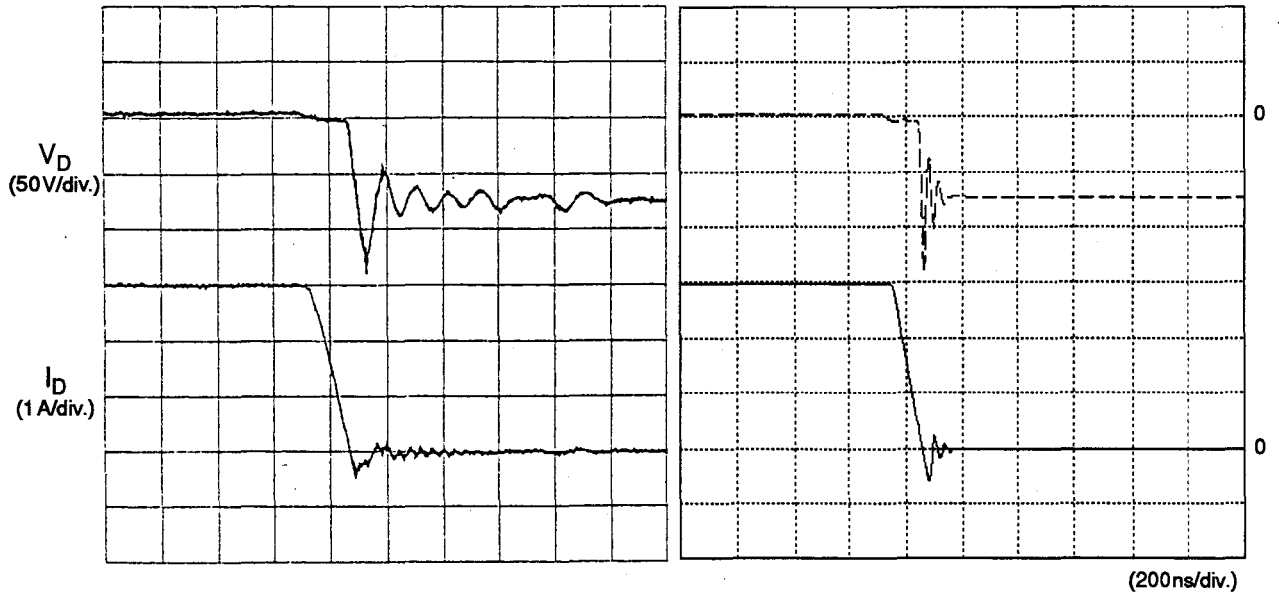
- $I_F = 0,5\text{ A}$, $V_{CC} = 7\text{ V}$, $dI_D/dt \approx 20\text{ A}/\mu\text{s}$:



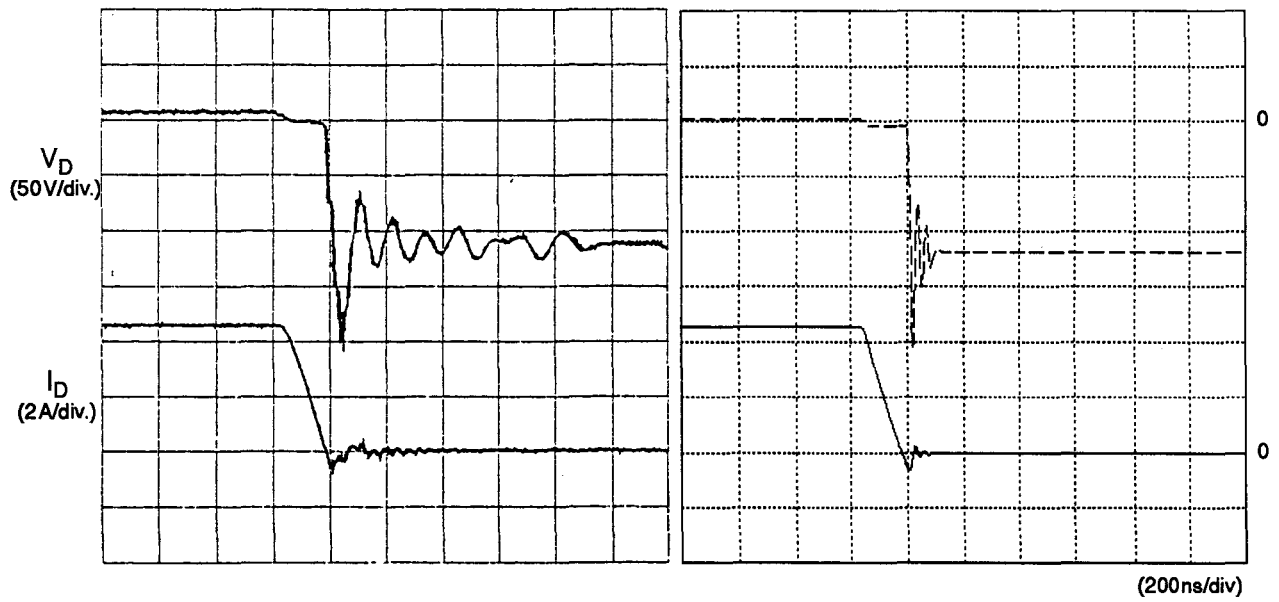
- $I_F = 1\text{ A}$, $V_{CC} = 14\text{ V}$, $dI_D/dt \approx 20\text{ A}/\mu\text{s}$:



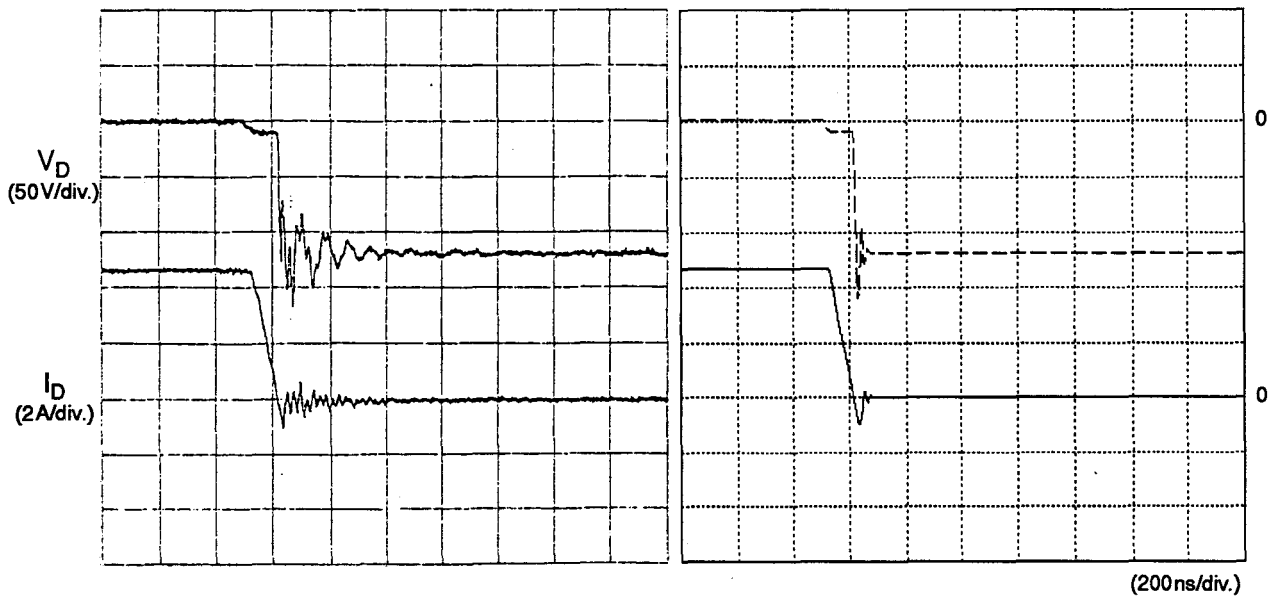
- $I_F = 3\text{ A}$, $V_{CC} = 80\text{ V}$, $dI_D/dt \approx 25\text{ A}/\mu\text{s}$



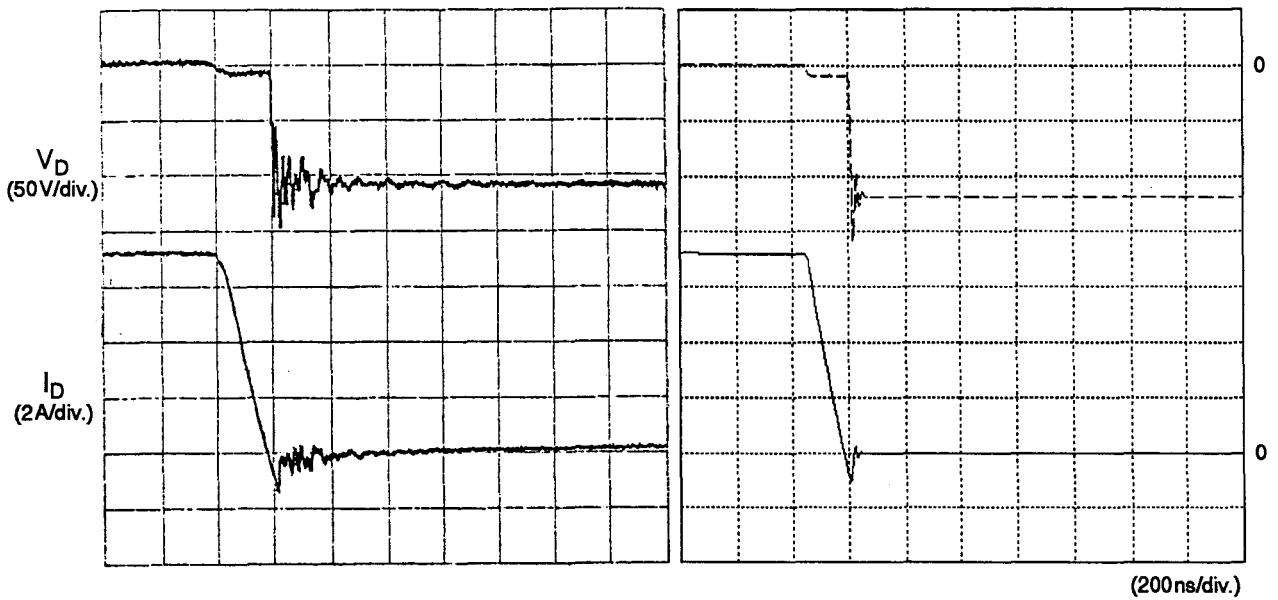
- $I_F = 4,6\text{ A}$, $V_{CC} = 120\text{ V}$, $dI_D/dt \approx 30\text{ A}/\mu\text{s}$



- $I_F = 4,6\text{A}$, $V_{CC} = 120\text{V}$, $dI_D/dt \approx 50\text{A}/\mu\text{s}$



- $I_F = 7,2\text{A}$, $V_{CC} = 120\text{V}$, $dI_D/dt \approx 50\text{A}/\mu\text{s}$

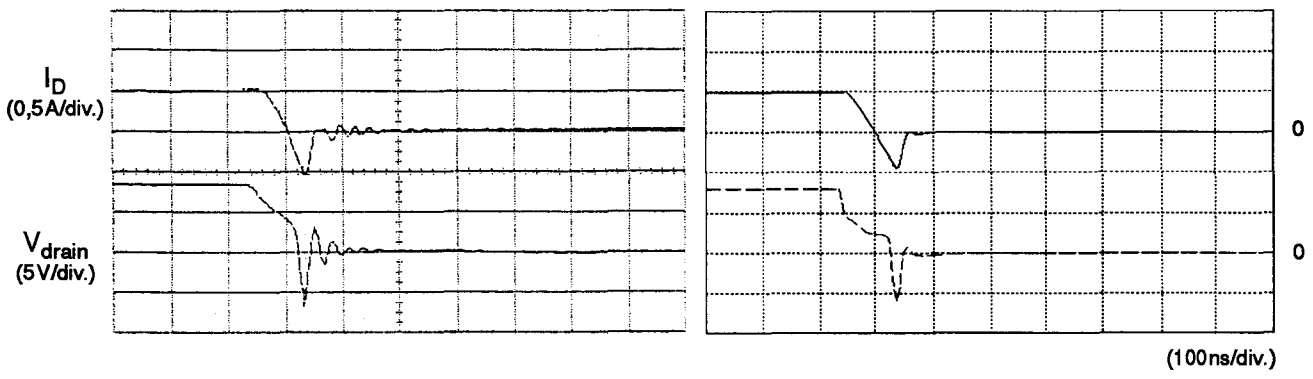


	I_{RM} mesuré (A)	I_{RM} simulé (A)	écart relatif	V_{max} mesuré (V)	V_{max} simulé (V)	écart relatif
$I_F=0,5A$ $V_{CC}=7V$ $dI_D/dt \approx 20A/\mu s$	0,2	0,23	+ 15%	3,5	3,8	+ 8%
$I_F=1A$ $V_{CC}=14V$ $dI_D/dt \approx 20A/\mu s$	0,4	0,44	+ 10%	6,8	7,9	+ 16%
$I_F=3A$ $V_{CC}=80V$ $dI_D/dt \approx 25A/\mu s$	0,5	0,56	+ 12%	140	140	0%
$I_F=4,6A$ $V_{CC}=120V$ $dI_D/dt \approx 30A/\mu s$	0,68	0,62	- 9%	210	205	- 2%
$I_F=4,6A$ $V_{CC}=120V$ $dI_D/dt \approx 50A/\mu s$	1	1	0%	165	160	- 3%
$I_F=7,2A$ $V_{CC}=120V$ $dI_D/dt \approx 50A/\mu s$	1,4	1	- 28%	150	155	+ 3%

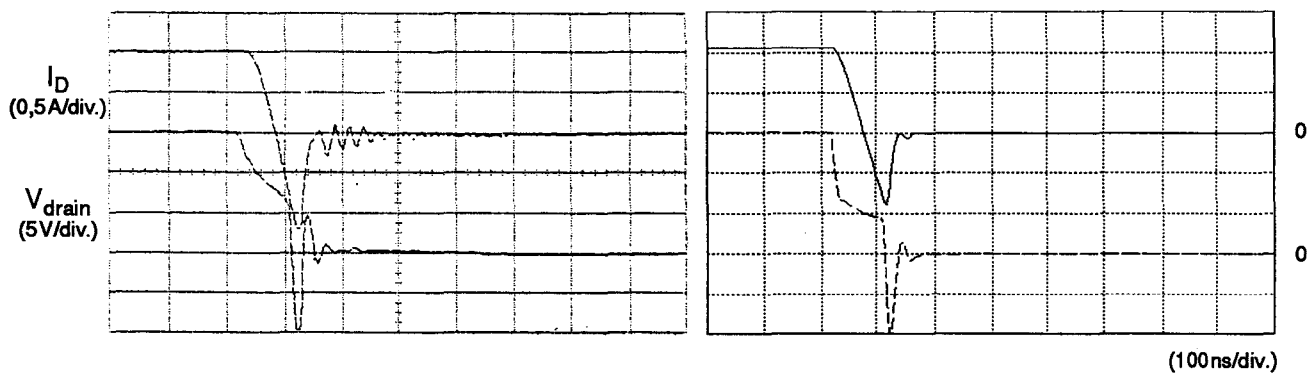
Tableau 2: Récapitulatif MUR810

4•3•b: Dispositif Motorola MUR850

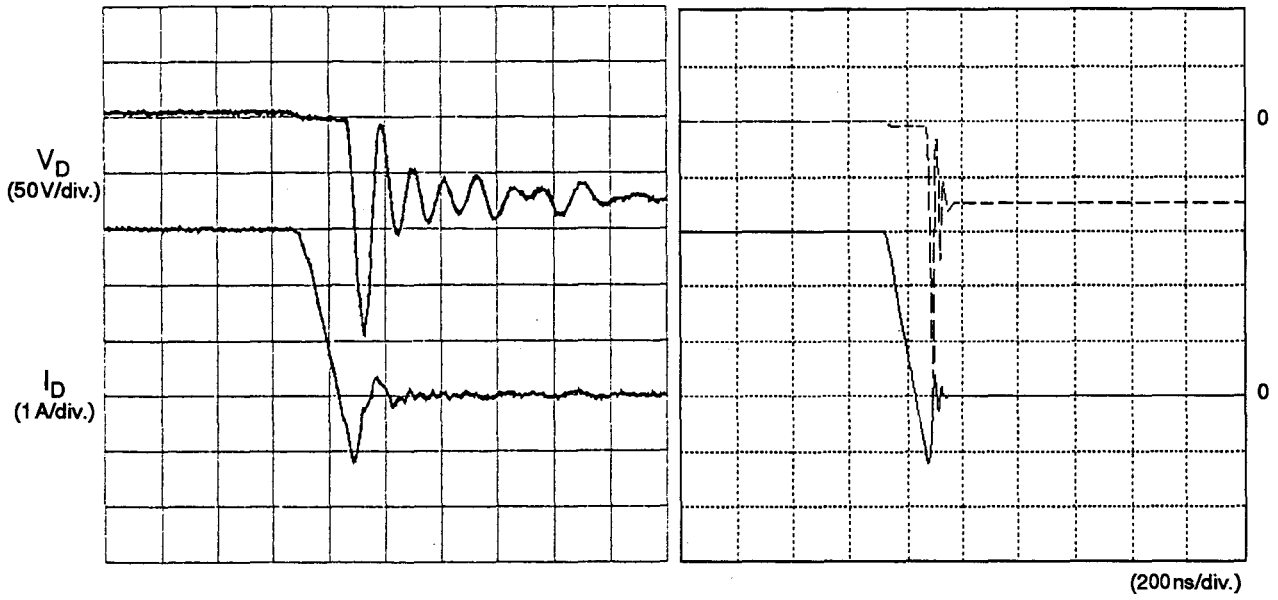
• $I_F = 0,5A$, $V_{CC} = 7V$, $dI_D/dt \approx 20A/\mu s$:



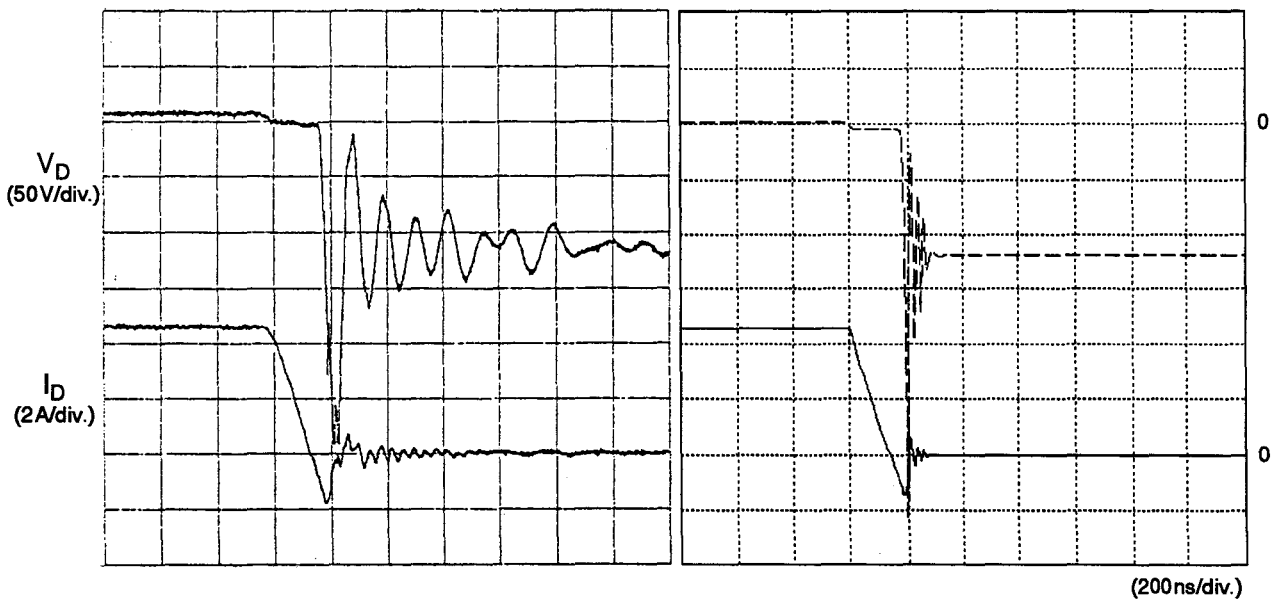
• $I_F = 1A$, $V_{CC} = 14V$, $dI_D/dt \approx 20A/\mu s$:



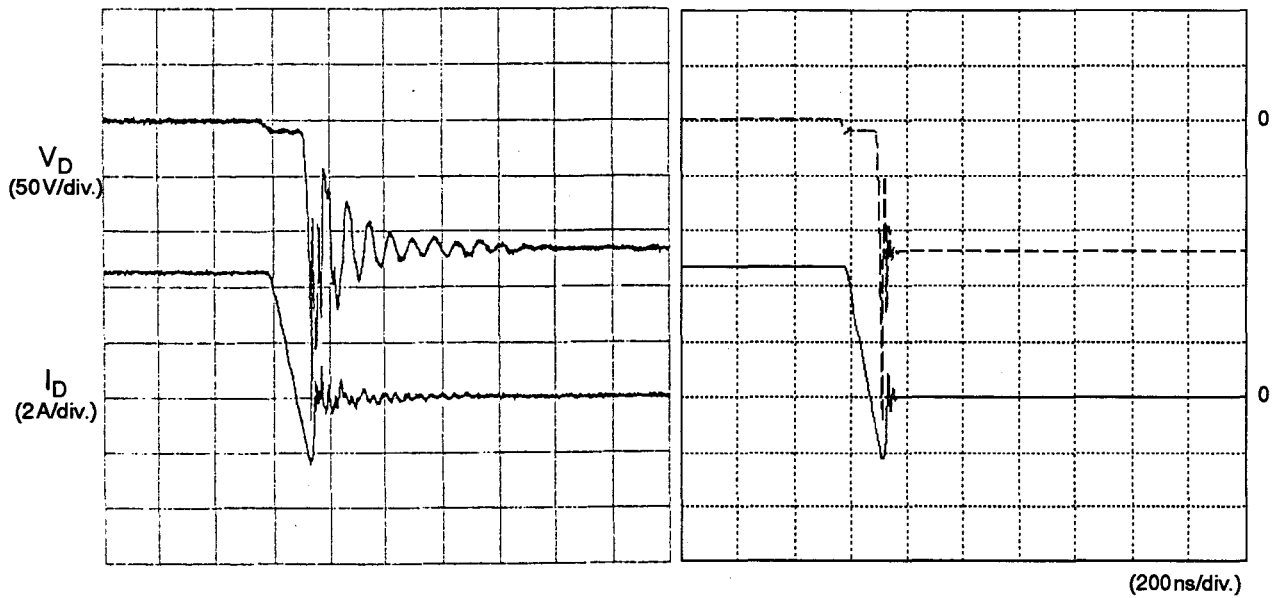
- $I_F = 3\text{ A}$, $V_{CC} = 80\text{ V}$, $dI_D/dt \approx 25\text{ A}/\mu\text{s}$



- $I_F = 4,6\text{ A}$, $V_{CC} = 120\text{ V}$, $dI_D/dt \approx 30\text{ A}/\mu\text{s}$



- $I_F = 4,6A$, $V_{CC} = 120V$, $dI_D/dt \approx 50A/\mu s$

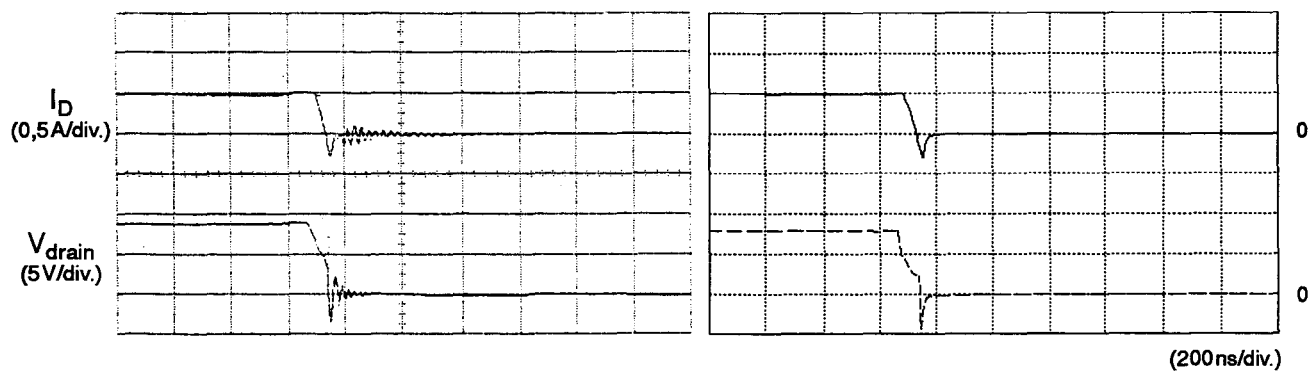


	I_{RM} mesuré (A)	I_{RM} simulé (A)	écart relatif	V_{max} mesuré (V)	V_{max} simulé (V)	écart relatif
$I_F=0,5A$ $V_{CC}=7V$ $dI_D/dt \approx 20A/\mu s$	0,53	0,45	- 15%	6,7	5,9	- 12%
$I_F=1A$ $V_{CC}=14V$ $dI_D/dt \approx 20A/\mu s$	1,17	0,88	- 25%	11	10,5	- 5%
$I_F=3A$ $V_{CC}=80V$ $dI_D/dt \approx 25A/\mu s$	1,25	1,22	- 2%	200	230	+ 15%
$I_F=4,6A$ $V_{CC}=120V$ $dI_D/dt \approx 30A/\mu s$	1,7	1,45	- 15%	290	315	+ 9%
$I_F=4,6A$ $V_{CC}=120V$ $dI_D/dt \approx 50A/\mu s$	2,5	2,3	- 8%	270	270	0%

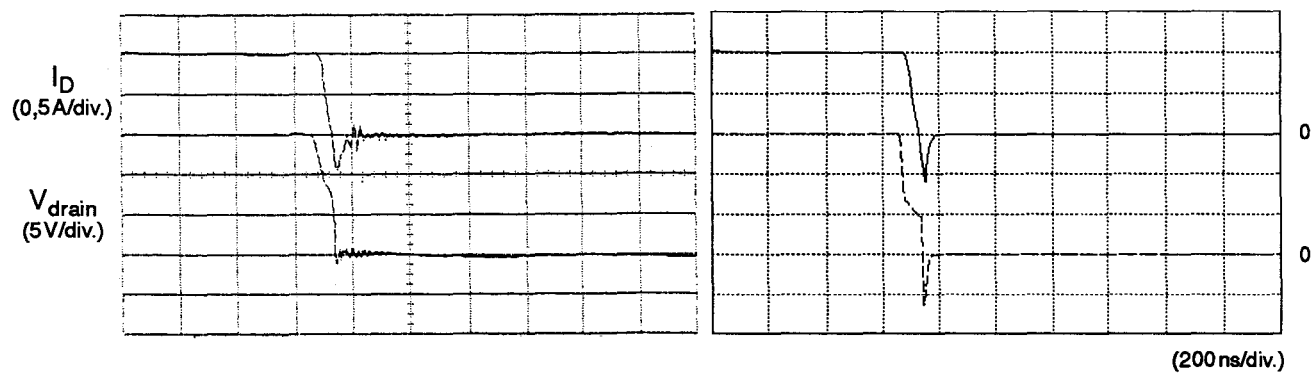
Tableau 3: Récapitulatif MUR850

4•3•c: Dispositif Thomson BYT08P

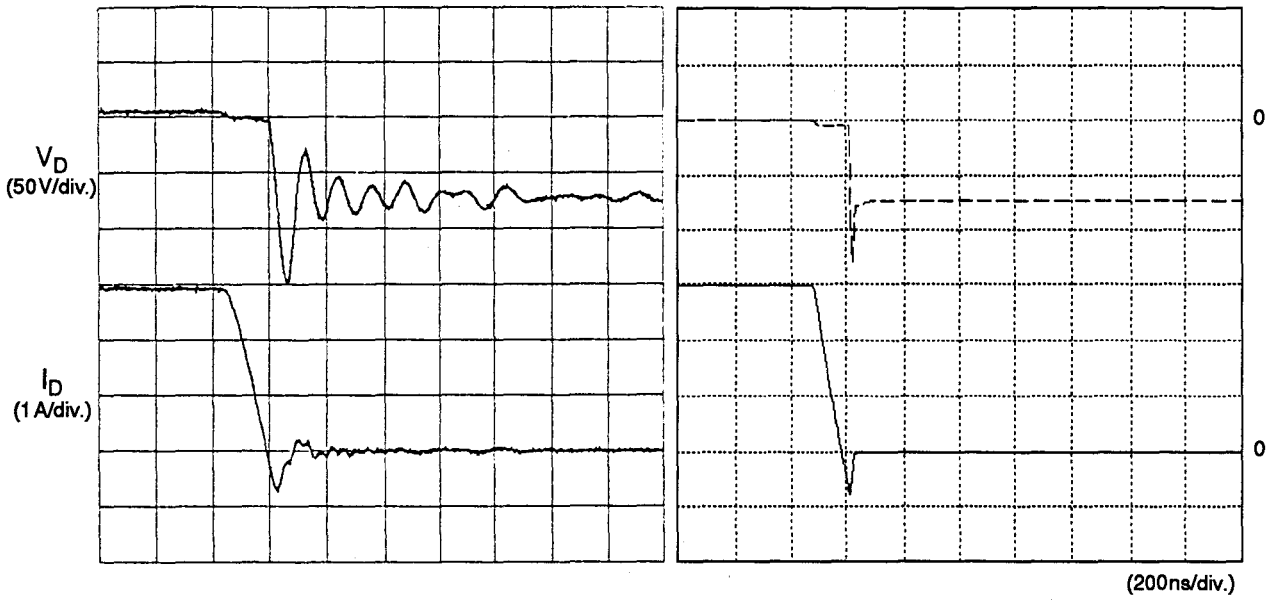
- $I_F = 0,5\text{ A}$, $V_{CC} = 7\text{ V}$, $dI_D/dt \approx 20\text{ A}/\mu\text{s}$:



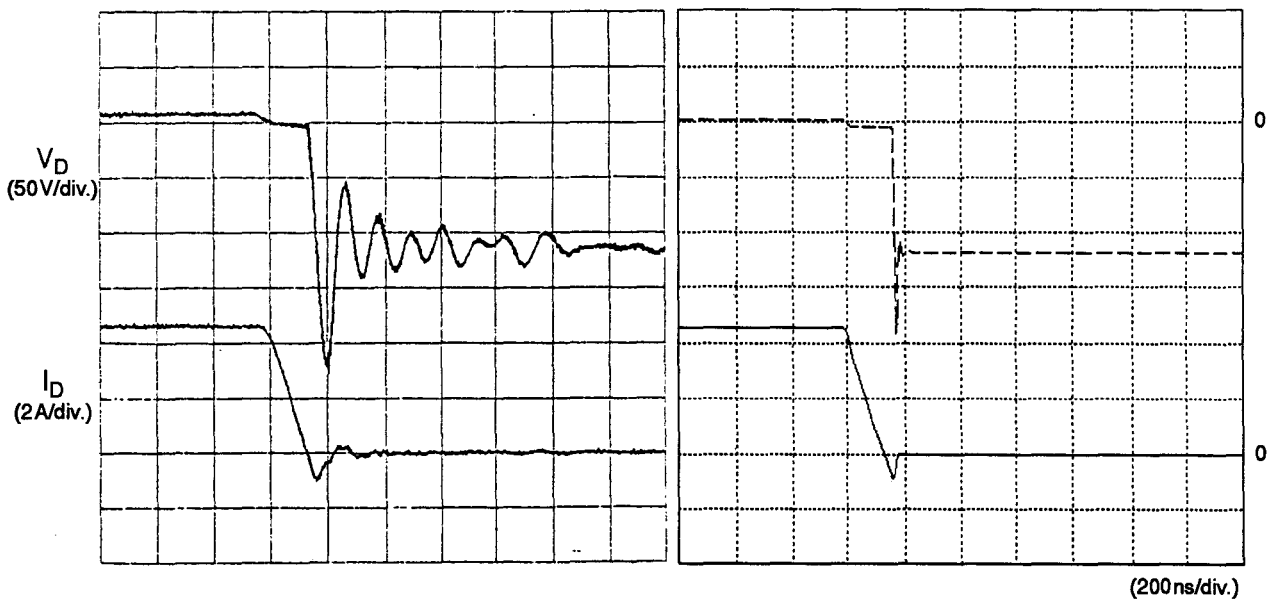
- $I_F = 1\text{ A}$, $V_{CC} = 14\text{ V}$, $dI_D/dt \approx 20\text{ A}/\mu\text{s}$:



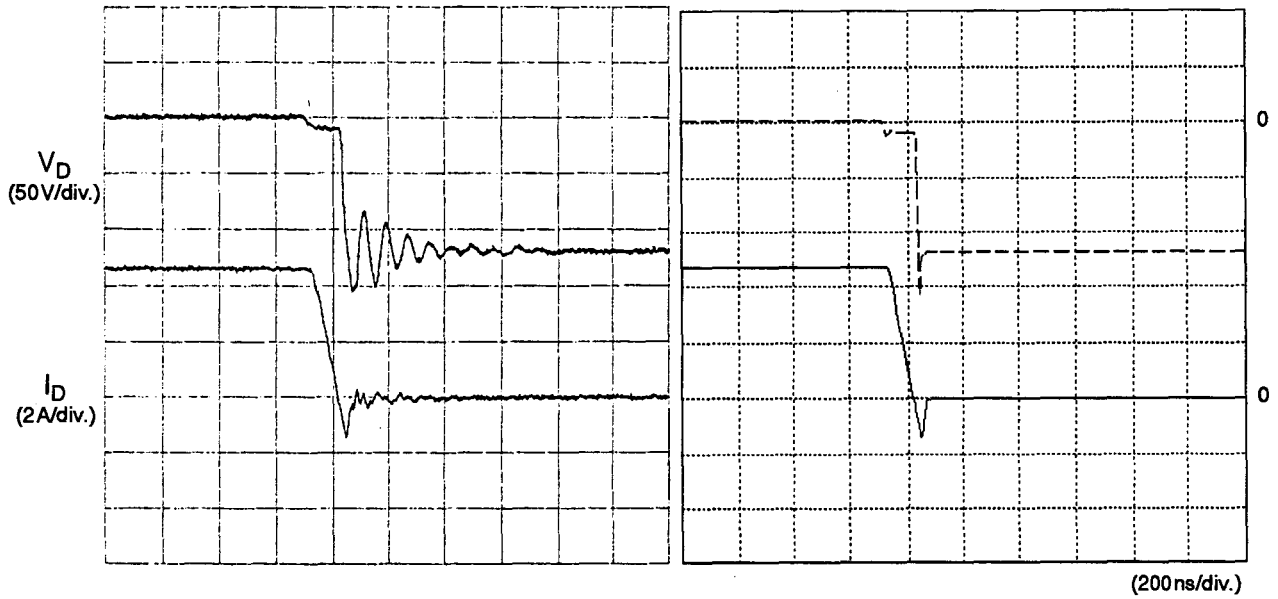
- $I_F = 3\text{ A}$, $V_{CC} = 80\text{ V}$, $dI_D/dt \approx 25\text{ A}/\mu\text{s}$



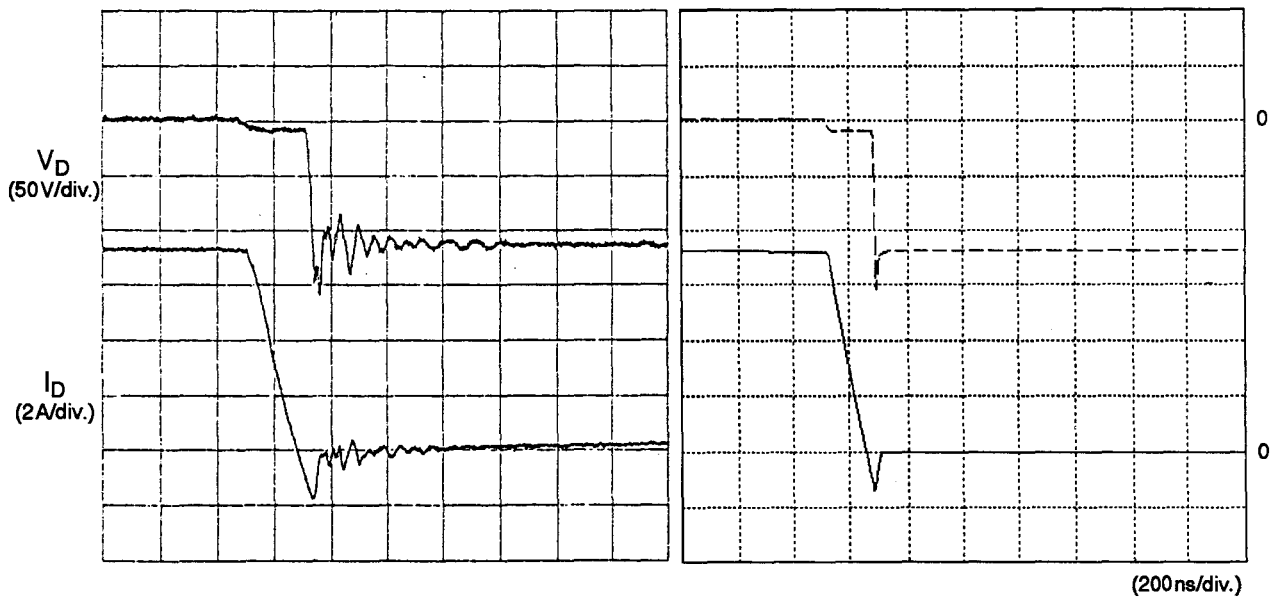
- $I_F = 4,6\text{ A}$, $V_{CC} = 120\text{ V}$, $dI_D/dt \approx 30\text{ A}/\mu\text{s}$



• $I_F = 4,6\text{A}$, $V_{CC} = 120\text{V}$, $dI_D/dt \approx 50\text{A}/\mu\text{s}$



• $I_F = 7,2\text{A}$, $V_{CC} = 120\text{V}$, $dI_D/dt \approx 50\text{A}/\mu\text{s}$



	I_{RM} mesuré (A)	I_{RM} simulé (A)	écart relatif	V_{max} mesuré (V)	V_{max} simulé (V)	écart relatif
$I_F=0,5A$ $V_{CC}=7V$ $dI_D/dt \approx 20A/\mu s$	0,2	0,2	0%	3,5	4	+ 14%
$I_F=1A$ $V_{CC}=14V$ $dI_D/dt \approx 20A/\mu s$	0,44	0,58	+ 31%	1 (?)	6,5	
$I_F=3A$ $V_{CC}=80V$ $dI_D/dt \approx 25A/\mu s$	0,75	0,78	+ 4%	155	130	- 16%
$I_F=4,6A$ $V_{CC}=120V$ $dI_D/dt \approx 30A/\mu s$	1,1	0,94	- 14%	235	190	- 19%
$I_F=4,6A$ $V_{CC}=120V$ $dI_D/dt \approx 50A/\mu s$	1,4	1,45	+ 3%	155	157	+ 1%
$I_F=7,2A$ $V_{CC}=120V$ $dI_D/dt \approx 50A/\mu s$	1,75	1,45	- 17%	159	151	- 5%

Tableau 4: Récapitulatif BYT08P

4-3-d: Dispositif International Rectifier IRF640

Les résultats expérimentaux obtenus avec la diode interne du transistor MOS mettent en jeu un cas de figure particulier étant donnée la charge importante stockée dans le dispositif. En effet, pour les essais à forte puissance ($V_{cc} = 80$ et $120V$), I_{RM} était limité par l'alimentation à une valeur avoisinant $6,5A$, la source fournissant alors le courant de charge en complément du courant inverse de diode, soit $4,5 + 6,5 = 11A$.

Le résultat de simulation de la figure 4-6 permet bien d'illustrer l'augmentation du temps de recouvrement avec la limitation du courant inverse. Cet aspect peut être critique dans le cas du hacheur car tant que la diode reste passante, le transistor supporte toute la tension d'alimentation à ses bornes. En résumé, la puissance dissipée dans ce dernier s'en trouve accrue.

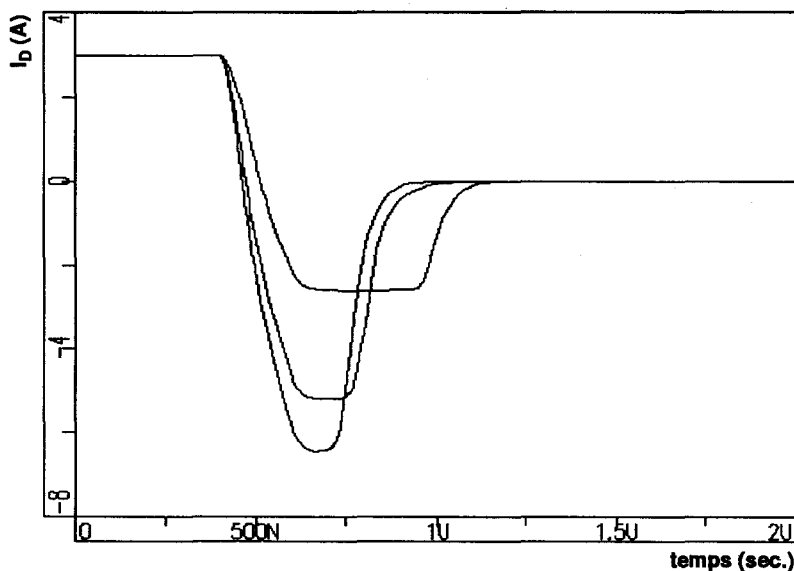


Figure 4-6: limitation du courant inverse

Le schéma utilisé pour les simulations précédentes utilisant une source de tension parfaite et ne permettant donc pas de prendre en compte cet effet, le convertisseur a été modélisé avec un transistor bipolaire dans les cas où la limitation en courant était sensible (voir figure 4-7). La topologie employée est de ce fait différente du circuit de mesure, puisque l'accent est mis ici sur l'évolution du courant de diode; la tension simulée aux bornes du dispositif est donc sans signification dans le cas présent, ce qui explique les cases non remplies dans le tableau récapitulatif de la page 84.

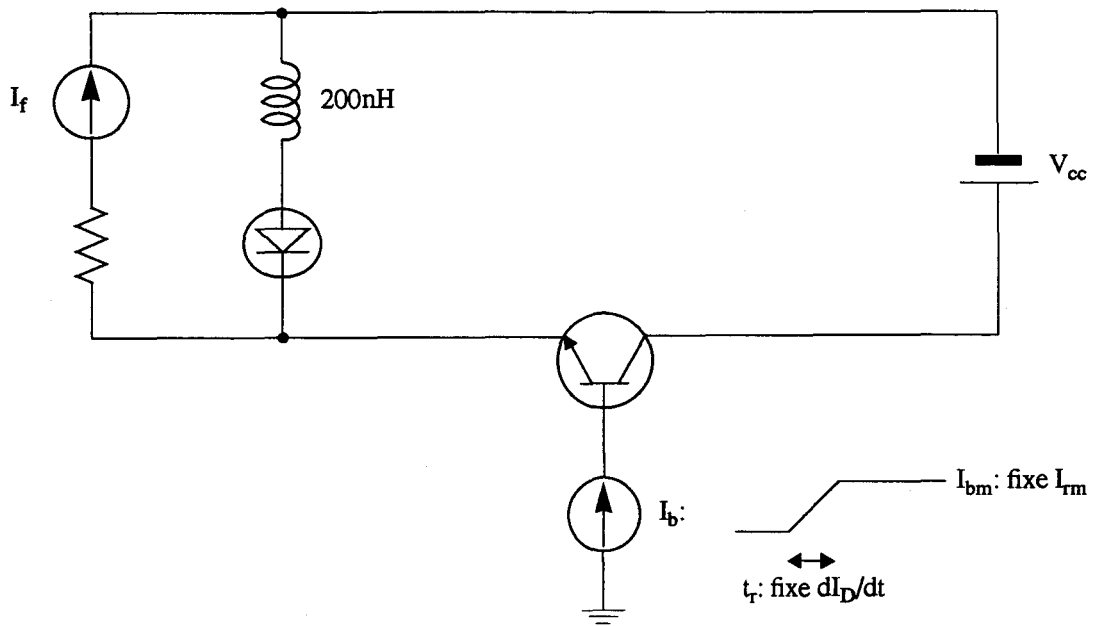
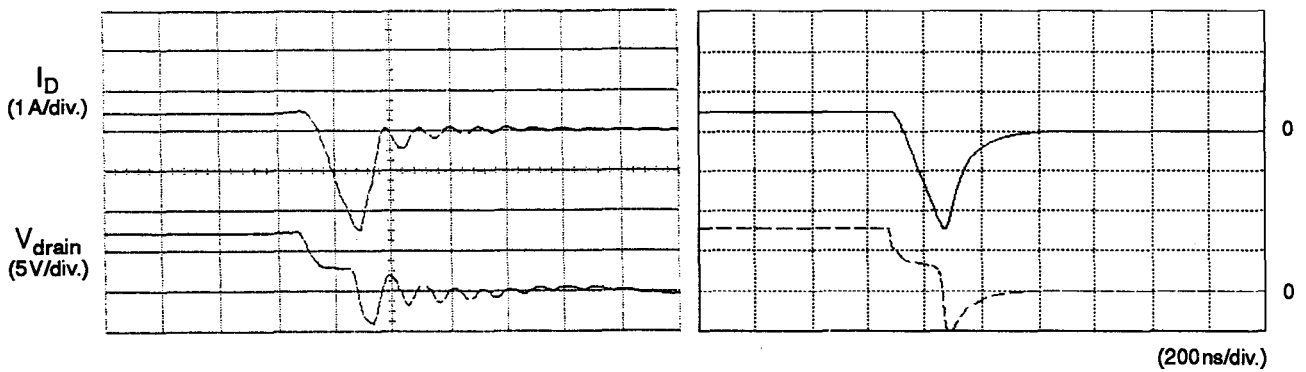
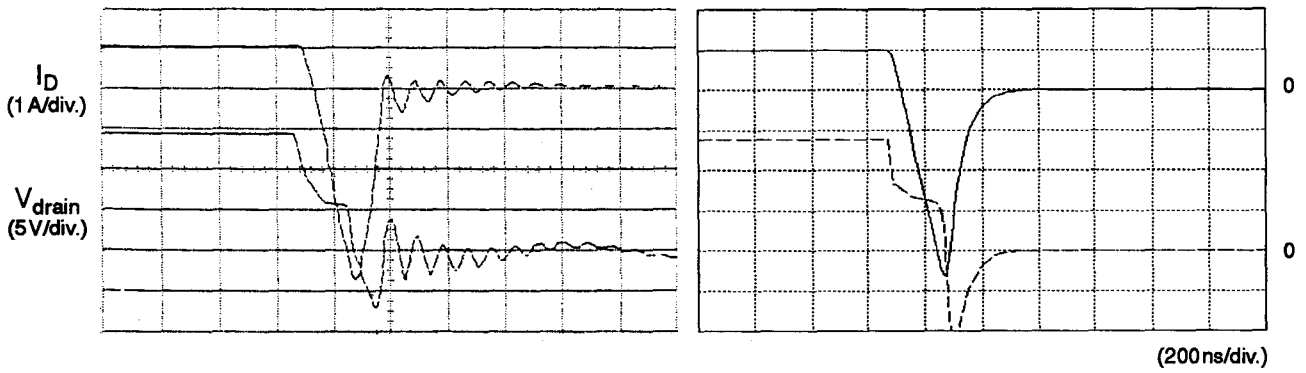


Figure 4-7: schéma de simulation utilisé pour le dispositif IRF640

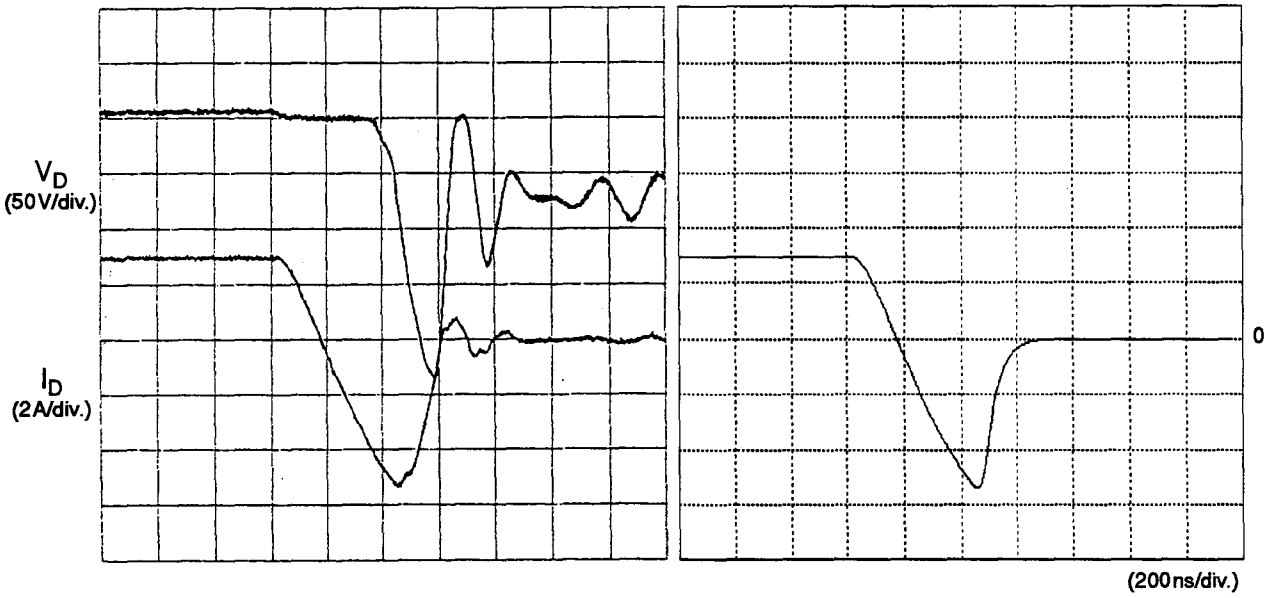
- $I_F = 0,5\text{ A}$, $V_{cc} = 7\text{ V}$, $dI_D/dt \approx 20\text{ A}/\mu\text{s}$:



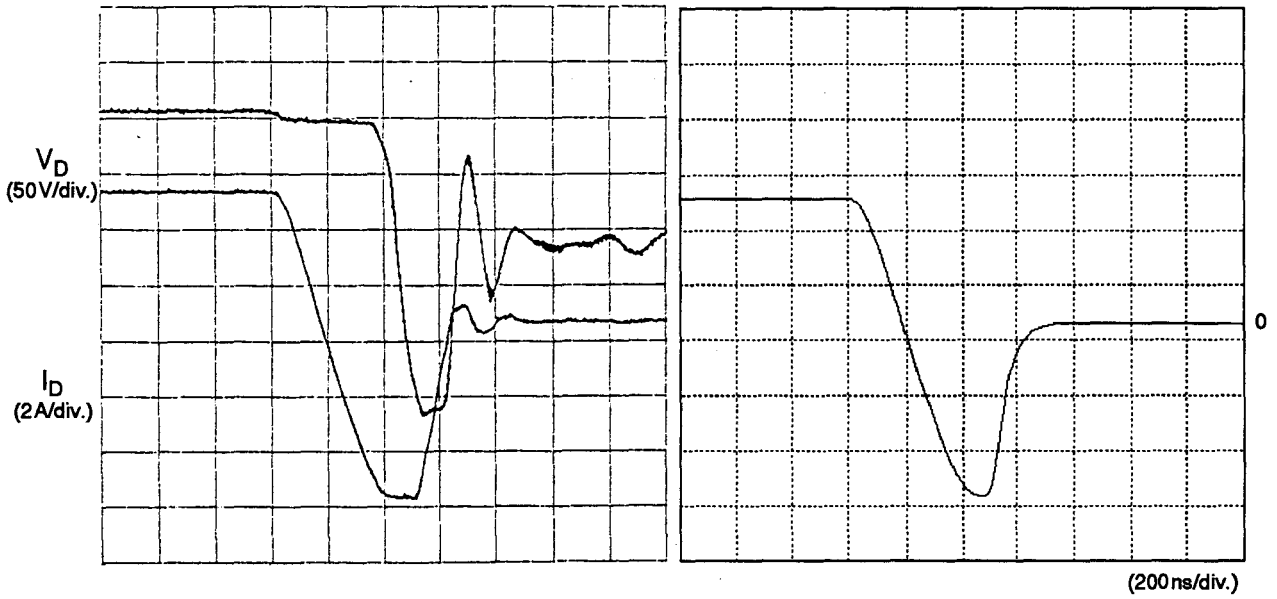
• $I_F = 1\text{ A}$, $V_{CC} = 14\text{ V}$, $dI_D/dt \approx 20\text{ A}/\mu\text{s}$:



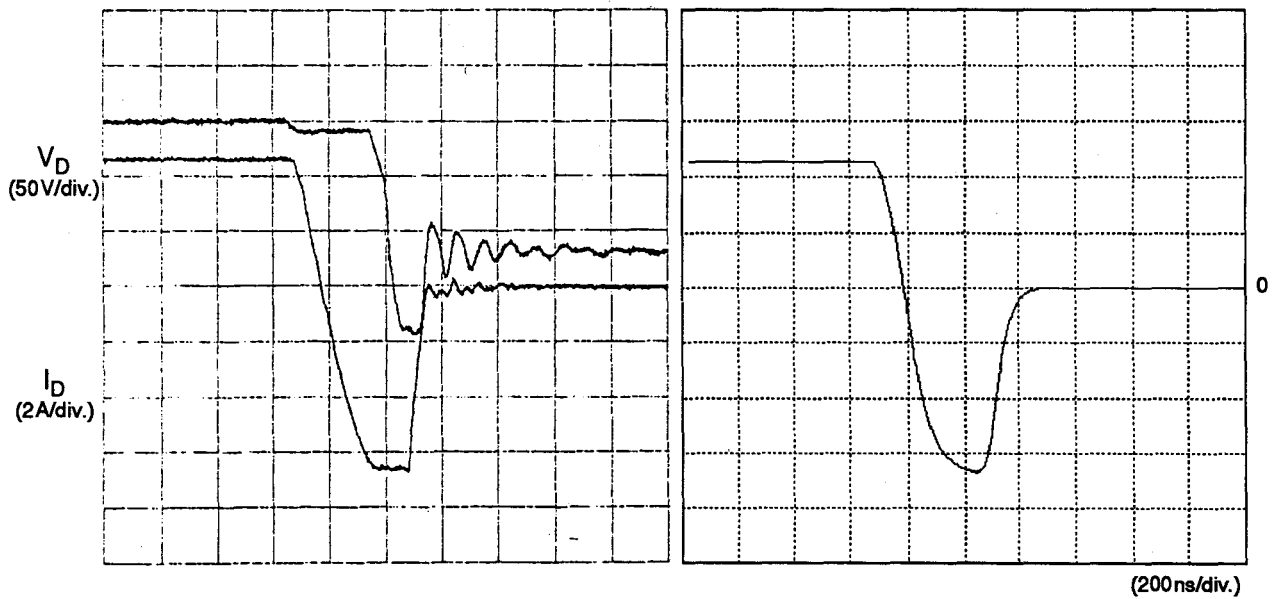
• $I_F = 3\text{ A}$, $V_{CC} = 80\text{ V}$, $dI_D/dt \approx 25\text{ A}/\mu\text{s}$



• $I_F = 4,6\text{A}$, $V_{cc} = 120\text{V}$, $dI_D/dt \approx 30\text{A}/\mu\text{s}$



• $I_F = 4,6\text{A}$, $V_{cc} = 120\text{V}$, $dI_D/dt \approx 50\text{A}/\mu\text{s}$



	I_{RM} mesuré (A)	I_{RM} simulé (A)	écart relatif	V_{max} mesuré (V)	V_{max} simulé (V)	écart relatif
$I_F=0,5A$ $V_{CC}=7V$ $dI_D/dt \approx 20A/\mu s$	2,46	2,47	+ 1%	4,1	5,5	+ 34%
$I_F=1A$ $V_{CC}=14V$ $dI_D/dt \approx 20A/\mu s$	4,76	4,88	+ 2%	7,1	11,9	+ 67%
$I_F=3A$ $V_{CC}=80V$ $dI_D/dt \approx 25A/\mu s$	5,31 ($t_{rr} = 490ns$)	5,62 ($t_{rr} = 550ns$)	+ 6% (+ 12%)			
$I_F=4,6A$ $V_{CC}=120V$ $dI_D/dt \approx 30A/\mu s$	6,3 ($t_{rr} = 550ns$)	6,25 ($t_{rr} = 560ns$)	- 1% (imposé) (+ 2%)			
$I_F=4,6A$ $V_{CC}=120V$ $dI_D/dt \approx 50A/\mu s$	6,7 ($t_{rr} = 430ns$)	6,75 ($t_{rr} = 475ns$)	+ 1% (imposé) (+ 10%)			

Tableau 5: Récapitulatif IRF640

NB: il a été tenté de caractériser le recouvrement inverse du composant pour un courant commuté de 7 A, mais la puissance dissipée dans ce cas a entraîné la destruction du dispositif.

4.4: Paramètres des modèles

Les paramètres concernant les quatre dispositifs testés sont recensés dans le tableau 6. A noter que ceux-ci permettent un accord de l'ordre de 20% entre les simulations et les résultats expérimentaux, dans une gamme de puissance cohérente avec les applications développées pour les techniques d'émission SONAR, qui sont le point de départ des travaux présents. Cet ordre de grandeur semble a priori convenable pour un domaine d'application où les éléments parasites et les dispersions sur les composants sont loin d'être négligeables. Il convient en effet de rappeler une fois de plus combien il importe de tenir compte de ces éléments parasites dans les schémas de simulation. Leur valeur peut dans un premier temps être évaluée de manière approximative, pour ensuite être affinée par comparaison entre les résultats de mesure et de simulation. Ce dernier point, assez fastidieux, n'est possible que sur un nombre important de confrontations. Il est cependant nécessaire pour tout travail de modélisation, car le meilleur modèle peut s'avérer totalement inefficace et donner des résultats erronés si les éléments tels que les inductances de ligne sont négligés.

Le but qui était de réaliser un modèle utilisable dans une gamme relativement élargie de

conditions de travail semble ainsi atteint, ce qui n'est possible qu'en considérant le fonctionnement physique du composant. Dans le cas présent, un premier modèle avait d'abord été développé en s'appuyant sur un raisonnement simplifié, utilisant des paramètres d'ajustement non reliés à une grandeur physique. Le principe du modèle à contrôle de charge était également utilisé, mais la remontée du courant inverse était contrôlée au moyen d'un paramètre "artificiel"; les résultats étaient pourtant corrects dans une gamme restreinte de puissance mise en jeu et donnaient des résultats acceptables lors de la phase préliminaire de confrontations expérimentales (essais à faible puissance pour V_{cc} respectivement égal à 7 et 14V). Néanmoins, pour les essais à plus forte puissance (V_{cc} égal à 80 et 120V), l'accord n'était plus satisfaisant et les discordances étaient significatives, notamment sur les tensions maximales observées lors des commutations, qui s'avèrent être des moyens d'observation redoutables des vitesses de variation des intensités. C'est pourquoi il a été nécessaire de reprendre l'étude à partir d'une étude plus approfondie de la commutation.

Il est à craindre que certains modèles faisant également intervenir des coefficients d'ajustement non réalistes et validés sur un nombre restreint de résultats expérimentaux ne souffrent aussi des mêmes inconvénients et ne soient plus valables dès lors que les conditions de travail diffèrent de celles utilisées pour l'extraction des paramètres [4][67].

	MUR810	MUR850	BYT08P	IRF640
IS (A)	$462,2 \times 10^{-9}$	140×10^{-6}	206×10^{-9}	780×10^{-12}
N	1,9	3,79	2	1,3
RS (Ω)	10×10^{-3}	44×10^{-3}	8×10^{-3}	11×10^{-3}
CJO (F)	$184,4 \times 10^{-12}$	$142,8 \times 10^{-12}$	34×10^{-12}	300×10^{-12}
VJ (V)	326×10^{-3}	571×10^{-3}	300×10^{-3}	300×10^{-3}
M	389×10^{-3}	467×10^{-3}	396×10^{-3}	400×10^{-3}
ND (m^{-3})	4×10^{20}	4×10^{20}	8×10^{20}	4×10^{20}
S (m^{-2})	6×10^{-6}	6×10^{-6}	8×10^{-6}	8×10^{-6}
W (m)	50×10^{-6}	50×10^{-6}	50×10^{-6}	85×10^{-6}
UN ($m^2 V^{-1} s^{-1}$)	0,15	0,15	0,15	0,15
UP ($m^2 V^{-1} s^{-1}$)	0,05	0,05	0,05	0,05
TAU (s)	15×10^{-9}	40×10^{-9}	25×10^{-9}	450×10^{-9}

Tableau 6: Paramètres des modèles

4-5: Synthèse intermédiaire

La partie qui vient d'être présentée montre l'utilisation du modèle pour un cas de figure particulier (convertisseur Buck). Celui-ci permet de déterminer les paramètres d'un dispositif accessibles uniquement en fonctionnement dynamique, comme par exemple la durée de vie des porteurs.

Ces simulations démontrent également qu'il est important de considérer au mieux les inductances parasites du montage afin de mettre en évidence l'influence que chacune exerce sur les formes d'onde à la commutation, ce qui permet ensuite de les évaluer par identification des courbes simulées avec celles mesurées. L'omission de cette étape peut entraîner la détermination de paramètres erronés au niveau du dispositif, en attribuant à un composant un effet dû en réalité à un élément parasite. Les surtensions au blocage proviennent par exemple de l'action simultanée des inductances parasites et des vitesses de blocage des diodes. Une erreur d'appréciation est souvent possible, mais elle se remarque lorsque les paramètres extraits dans une configuration de test particulière ne sont plus valables pour d'autres conditions de mesure.

Lorsque le circuit de test est entièrement caractérisé, il peut ensuite être utilisé pour l'étude de dispositifs supplémentaires.

En ce qui concerne la modélisation du semi-conducteur, la limitation majeure provient de l'utilisation du principe quasi-statique durant la première phase de recouvrement. Celle-ci ne permet pas d'avoir une précision optimale quelles que soient l'intensité commutée et la vitesse de décroissance de celle-ci.

En revanche, ce principe simple à mettre en œuvre permet d'espérer une précision de 20% dans la gamme étudiée ici, à savoir une décade sur les courants et tensions nominales du convertisseur.

V - Simulation d'onduleur

5.1: Pertes dans les onduleurs

La validation du modèle de diode ayant été effectuée à partir d'un montage simple, pour des raisons de simplification expérimentale, l'étape suivante consiste à étudier un circuit plus complexe, afin de voir une application pratique sur un montage d'application réelle. L'étude présente étant initialement destinée à simuler des générateurs pilotant des charges acoustiques, une confrontation a été menée sur un convertisseur de puissance typique pour ce genre d'application. Ces amplificateurs étant destinés à convertir une énergie provenant de sources continues en signaux alternatifs, avec des puissances de l'ordre du kW, la structure la mieux adaptée est celle des générateurs DC-AC du type pont en H, qui permettent à partir d'une alimentation continue de générer un signal carré qui peut ensuite être filtré si l'on désire réduire ses harmoniques (voir figure 5.1).

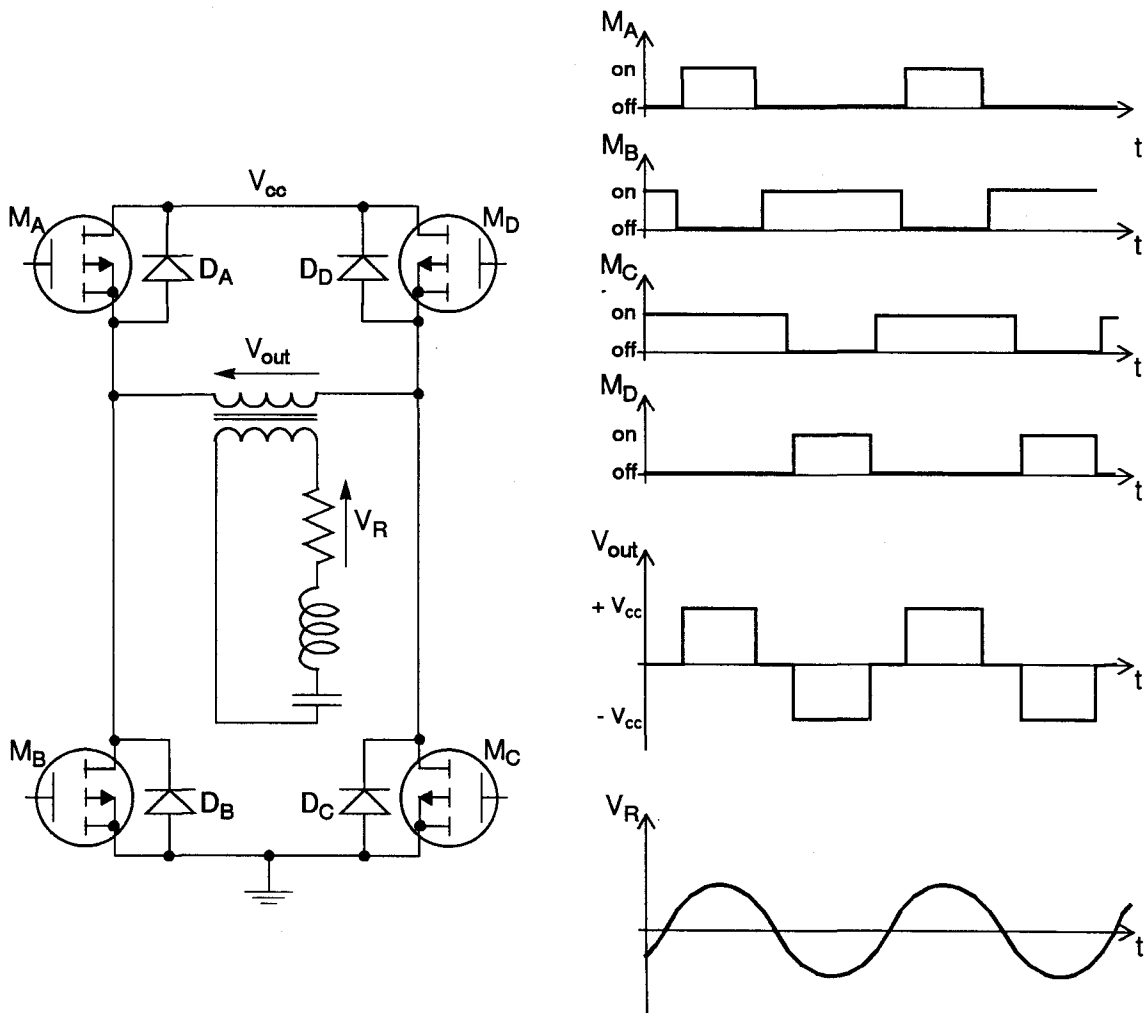


Figure 5.1: structure de pont en H

Les composants utilisés comme commutateurs dans les branches du pont peuvent être de type bipolaire ou MOS. Dans notre cas, ce sont ces derniers qui sont utilisés pour la simplicité de leur commande, constituée par un étage bipolaire push-pull permettant une charge et une décharge rapides des capacités de grille.

La charge étant généralement selfique, la continuité du courant doit être assurée au primaire du transformateur lors du blocage des transistors. Ceci se fait par le biais des diodes en parallèle sur ces derniers, traversées par l'intensité de charge à chaque changement d'état de l'onduleur.

Il est en effet impossible de rendre conducteurs simultanément les deux transistors d'une même branche du pont (paires associées M_A-M_B et M_C-M_D de la figure 5•1), ce qui aurait pour effet de court-circuiter l'alimentation. Lorsque l'on inverse la tension de sortie, il existe donc un intervalle de temps durant lequel deux transistors associés doivent être bloqués. Pour une charge selfique, cette commutation se fait à courant non nul, ce qui est d'autant plus vrai si la fréquence de fonctionnement du montage est différente de la fréquence de résonance de la charge. Le courant, selon son sens de circulation, traverse alors la diode supérieure ou inférieure de la branche concernée. La remise en conduction d'un transistor provoque la polarisation en inverse de la diode qui reste conductrice durant le recouvrement inverse. Une branche complète du pont est ainsi passante, ce qui peut être désastreux pour le dit transistor ou encore l'alimentation.

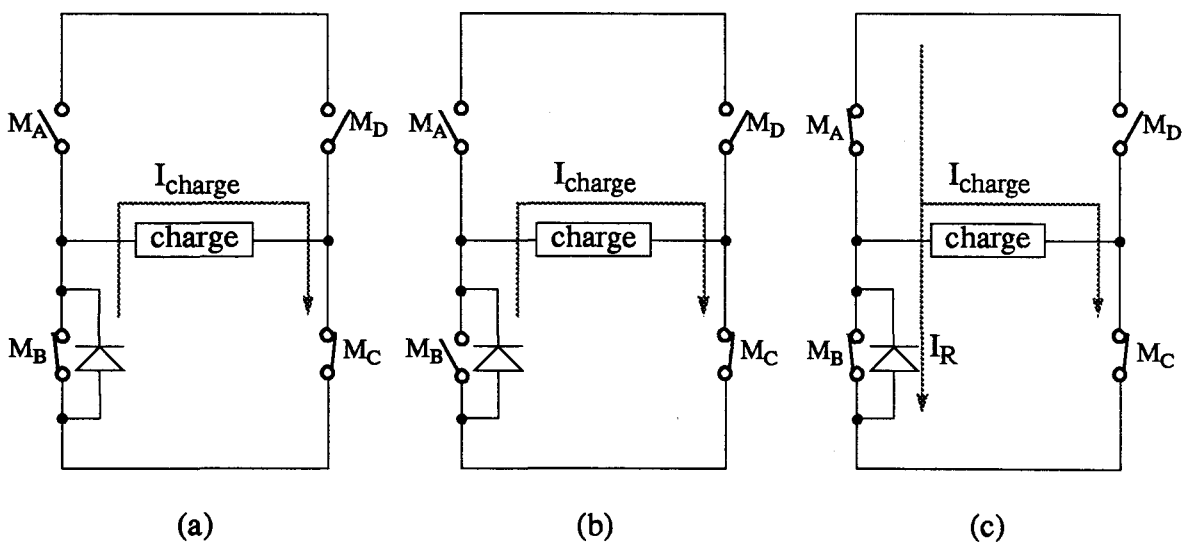


Figure 5-2: pertes dues aux diodes de roue libre

La figure 5•2 illustre typiquement la surintensité résultante d’une commutation. En (a), la tension de sortie est maintenue égale à zéro par la conduction simultanée de M_B et M_C . Le courant de charge est supposé non nul. Le but étant d’appliquer ensuite une tension de sortie positive par conduction de M_A et M_C , il importe en premier lieu d’ouvrir le transistor inférieur de la branche de gauche avant de fermer le transistor supérieur, ce qui est fait en (b). Le courant de charge circule alors à travers la diode en parallèle avec M_B . Lorsque M_A devient passant, il polarise celle-ci en inverse et doit fournir le courant de recouvrement inverse en plus de l’intensité de charge. La surintensité se répercute également sur l’alimentation.

Afin de limiter ces pertes additionnelles, il convient de réduire le recouvrement inverse des diodes, ce qui revient à choisir des composants rapides. Les transistors MOS comportent néanmoins une diode interne entre la source et le drain, inhérente à leur structure verticale, qui est systématiquement présente dans le circuit. Celle-ci est généralement lente et peut avoir un temps de recouvrement de l’ordre de quelques centaines de nanosecondes, ce qui peut avoir une influence néfaste sur le système. Deux solutions se présentent alors au concepteur; il peut dans l’un des cas utiliser ces dispositifs comme diodes de roue libre, au détriment des pertes de commutation, ou sinon les contrer par des diodes rapides, mais ceci augmente sensiblement le nombre de composants du circuit (voir figure 5•3). Afin de mettre cet effet en évidence, des relevés expérimentaux ont été effectués sur le courant d’alimentation d’un onduleur, les diodes internes étant successivement utilisées ou annulées.

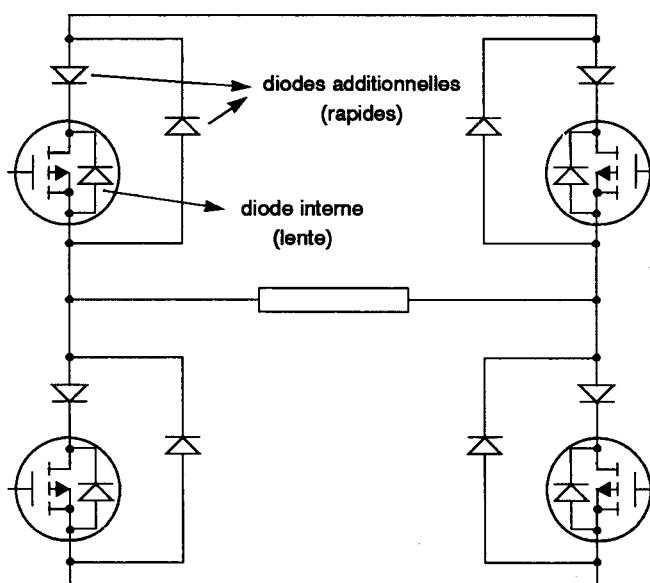


Figure 5•3: utilisation de diodes rapides supplémentaires

5.2: Montage mesuré

Lorsque les puissances à fournir sont élevées, ou que la tension de sortie doit être supérieure à celle délivrée par l'alimentation, il est envisageable d'associer plusieurs onduleurs fournissant chacun une tension égale à plus ou moins celle de l'alimentation V_{cc} , en additionnant leurs sorties par le biais de transformateurs (générateur dit à *espaliers*). La tension résultante est alors constituée de plusieurs paliers obtenus par addition ou soustraction de grandeurs proportionnelles à V_{cc} . Si les transformateurs sont tous similaires, la sortie est la superposition de signaux carrés identiques et son taux de distorsion est alors important. Afin de réduire celui-ci, il faut augmenter le nombre de paliers générés en sortie, ce qui est possible en utilisant des rapports de transformation différents. Une application de ce type a été réalisée au CERDSM¹, qui permet de délivrer une puissance de 10kVA en utilisant huit étages dont six fournissent une même tension nominale V_n , les deux autres délivrant en sortie des tensions réduites $V_n/3$ et $V_n/9$.

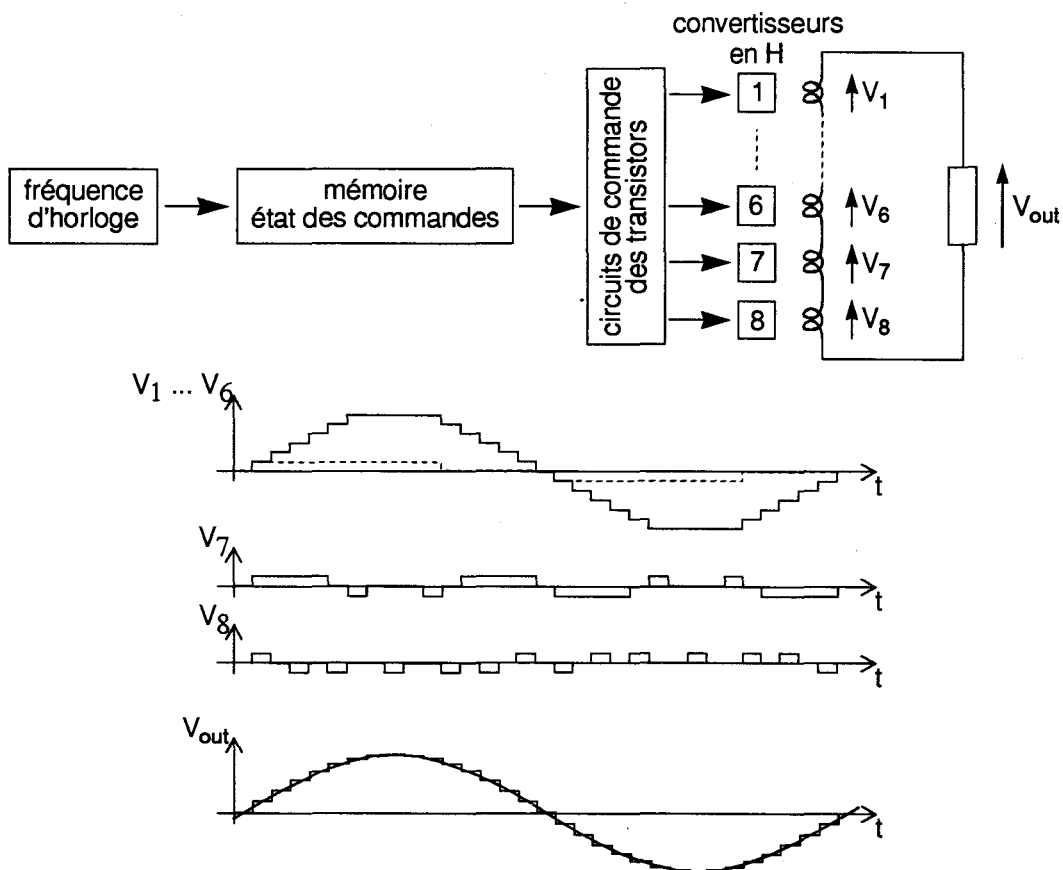


Figure 5.4: générateur à espaliers modulé en amplitude

1. Centre d'Etudes et de Recherches de Détection Sous-Marine - DCN Toulon, Le Brusç, 83140 SIX-FOURS-LES-PLAGES

Le signal résultant peut de cette façon être modulé en amplitude et avoir une allure sinusoïdale en jouant sur les temps de conduction des différents étages. Les ordres de commande pour ces derniers sont stockés en mémoire et scrutés séquentiellement avec une fréquence égale à 32 fois celle du signal de sortie (voir figure 5•4) [68].

Afin d'uniformiser les dimensions des transformateurs, les temps de conduction des étages de puissance nominale sont égaux et ils sont utilisés selon le principe "premier excité, premier éteint".

Les mesures de courant d'alimentation ont été effectuées sur l'un de ces étages pour une tension d'alimentation égale à 100V et une charge oscillante constituée d'un circuit R-L-C (6Ω -2mH-5 μ F) dont la fréquence de résonance (1,6kHz) est volontairement différente de celle du signal de sortie (1,1 kHz) afin de mettre en évidence les effets de recouvrement inverse en commutant le pont en H pour un courant de charge non nul. Les temporisations des divers ordres de commande sont détaillées à la figure 5•5.

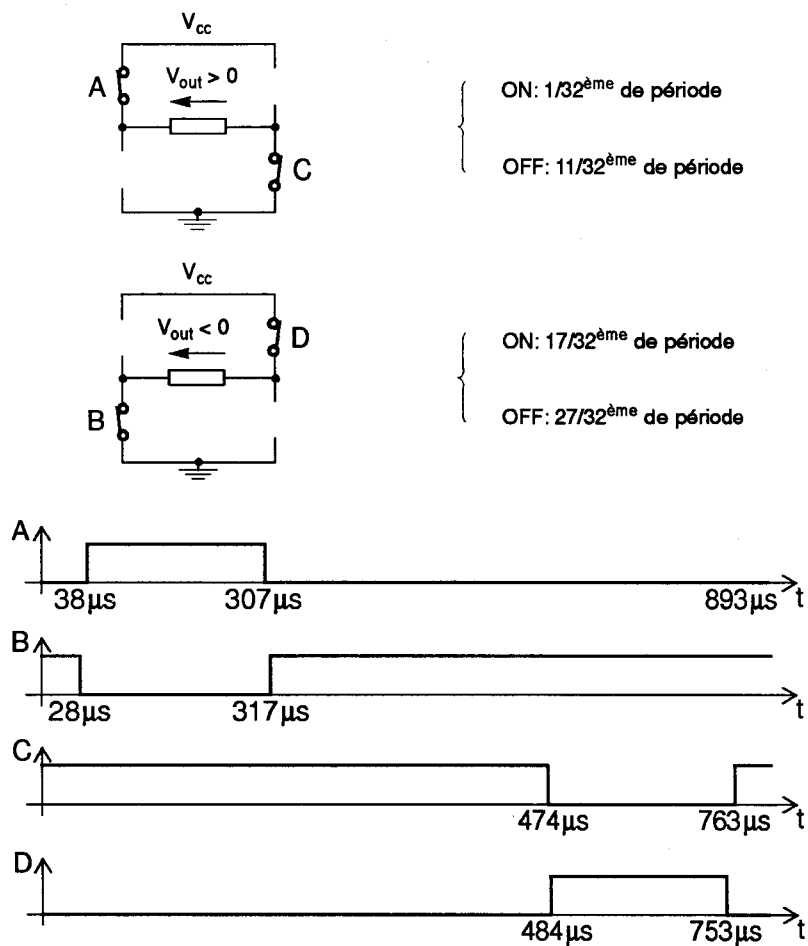


Figure 5-5: signaux de commande des transistors du pont en H

Le détail du courant fourni par la source de tension mesuré lors la commutation est inséré à la figure 5•7 (courbe de gauche). Les transistors utilisés sont des IRF640, leurs diodes internes étant contrées par des dispositifs BYT08P (Thomson). Le courant commuté vaut alors 4A, la surintensité est d'environ 3A pour un dI/dt de $10A/\mu s$. (A noter que le courant d'alimentation est inversé sur le relevé expérimental; il part en réalité de zéro pour atteindre des valeurs positives.)

La montée du courant d'alimentation s'accompagne d'un phénomène oscillatoire qui provient à priori de la résonance de l'inductance d'alimentation L_{alim} avec la capacité C_{alim} de 82nF connectée aux bornes de la carte du convertisseur. La fréquence d'oscillation étant de l'ordre de 500kHz, une valeur approchée de L_{alim} peut en être déduite.

$$L_{alim} \times C_{alim} = \left(\frac{1}{2 \cdot \pi \cdot f} \right)^2 \quad (5.1)$$

$$\Rightarrow L_{alim} \approx 1 \text{ mH}$$

Les transistors de puissance sont commandés par des transistors bipolaires dont les résistances de polarisation ont les valeurs spécifiées à la figure 5•6. Si les inductances de ligne étaient négligeables, la montée du courant d'alimentation se ferait à une vitesse supérieure à celle mesurée. Cette variation est donc limitée par les selfs parasites qui sont fixées à 500nH pour obtenir les $10A/\mu s$.

Pour cette faible variation d'intensité, le courant inverse des diodes BYT08P est réduit (on peut l'estimer de l'ordre de 0,5 à 1A selon le tableau de la page 79). La surintensité de 3A observée sur le courant d'alimentation est donc essentiellement provoquée par la résonance $L_{alim} - C_{alim}$, avec un amortissement dû à la résistance de source notée R_{alim} . Celle-ci est fixée à $0,3\Omega$ pour obtenir la valeur de 3A.

Le résultat de simulation correspondant est également montré à la figure 5•7 (courbe de droite).

NB: le demi-onduleur a été simulé en utilisant simultanément les macro-modèles de diode et de MOS de puissance. Néanmoins, dans le cas présent, les vitesses de commutation dépendent plus fortement des éléments parasites que des transistors eux-mêmes. En utilisant pour ces derniers les modèles standards au lieu des macro-modèles, les résultats obtenus sont quasiment identiques. Le temps calcul, par contre, s'en trouve sensiblement réduit.

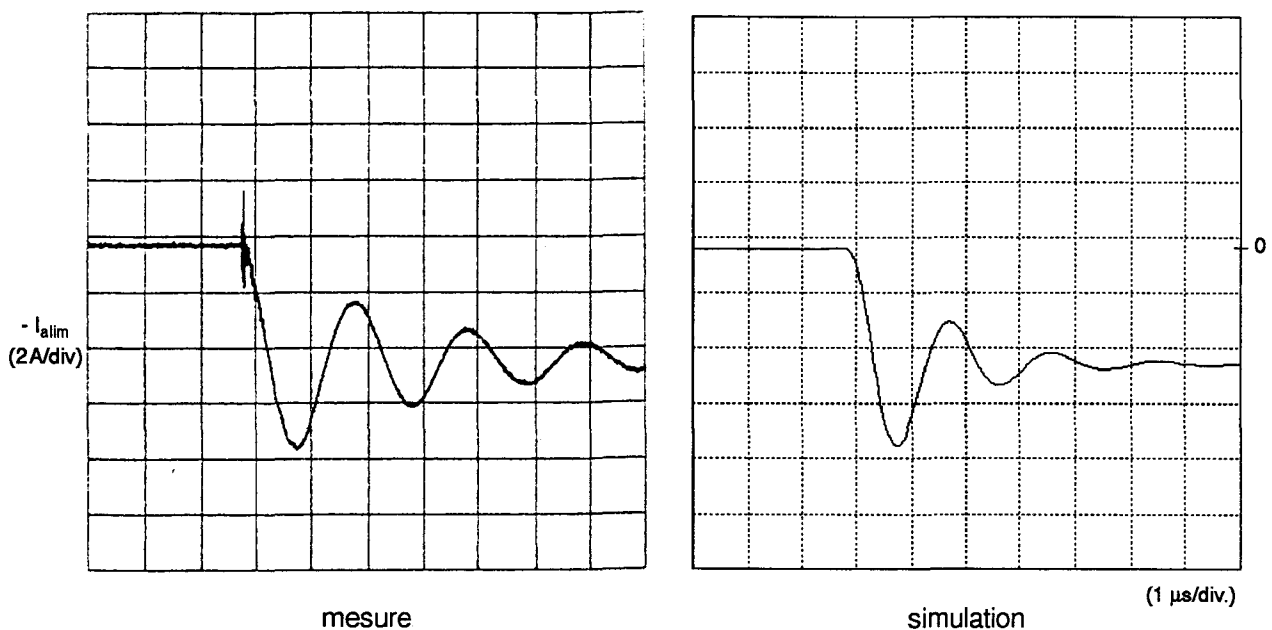


Figure 5-7: détail du courant d'alimentation (inversé) avec diodes rapides

La même démarche a ensuite été reconduite en utilisant cette fois les diodes internes des transistors en tant que diodes de roue libre. Le courant mesuré dans ce cas est donné à la figure 5-8 (courbe de gauche) où la surintensité passe de 3 A à 4,6 A.

Le circuit a été simulé de nouveau en modifiant en conséquence les paramètres de diode: pour obtenir de nouveau l'accord entre mesure et simulation, tout en gardant les mêmes valeurs pour les inductances de ligne et d'alimentation, il faut fixer la résistance de source à $1,5\Omega$. Sans cette modification par rapport au cas précédent, le courant d'alimentation simulé dépasse 10 A.

Ce problème est similaire à celui qui s'est présenté pour les mesures sur le hacheur. Avec les diodes rapides, l'alimentation se comportait comme une source de tension idéale (impédance de sortie négligeable), tandis que le courant était limité lors des relevés expérimentaux concernant les diodes lentes. Afin de prendre en compte cet effet, un schéma équivalent avait été construit en utilisant un transistor bipolaire. Dans le cas présent, la variation d'impédance de source peut se traduire par une augmentation de R_{alim} .

Sous réserve de modifier cette valeur, l'on obtient le résultat de simulation de la figure 5-8 (courbe de droite).

NB: si l'on désire absolument garder les mêmes valeurs de paramètres dans les deux cas d'étude (diodes lentes ou rapides) il est envisageable de fixer l'impédance de source à $1,5\Omega$.

Dans ce cas, le courant d'alimentation simulé en prenant les diodes rapides passe à 6 A. Par rapport aux 7 A mesurés, l'erreur est de l'ordre de 15%, ce qui reste raisonnable.

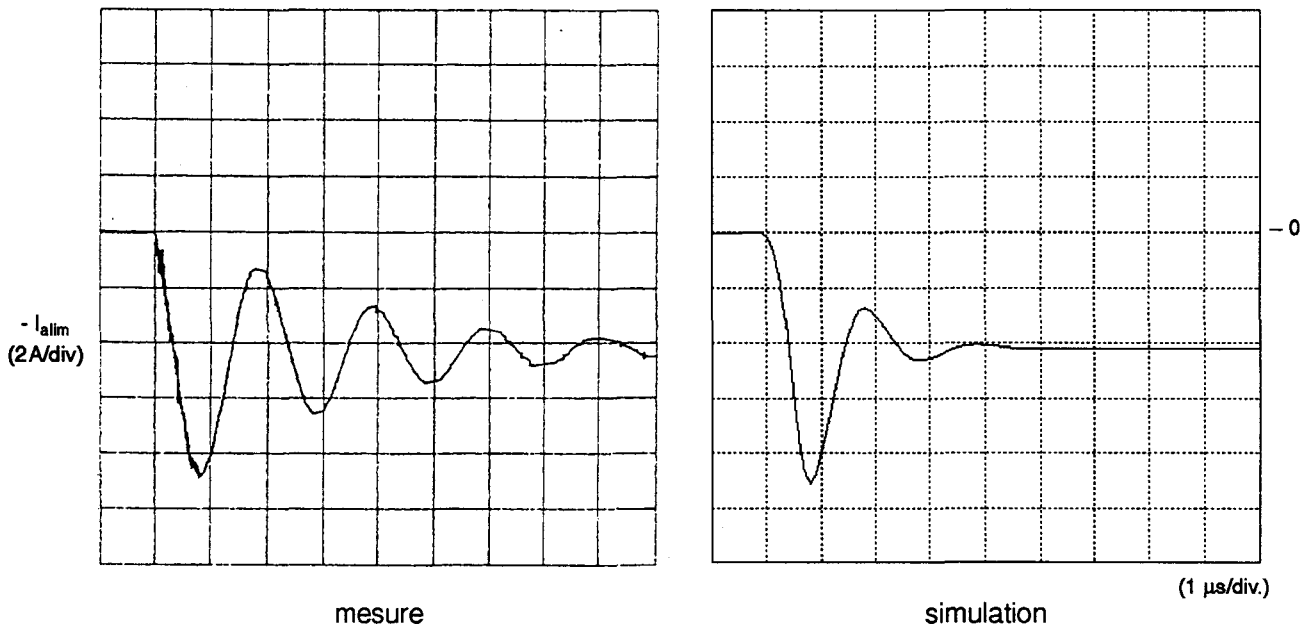


Figure 5-8: détail du courant d'alimentation (inversé) sans diodes rapides

5-4: Simulation du montage complet

Connaissant les divers éléments constitutifs du montage, la simulation complète du circuit est maintenant possible.

La charge est reliée dans le cas présent à l'onduleur par un transformateur de rapport 0,8. Les simulateurs tels que celui utilisé ici offrent des modèles de composants magnétiques complexes permettant de prendre en compte les caractéristiques électriques dues à la configuration du transformateur (inductances de fuite, capacités parasites entre spires ou entre enroulements, ...) de même que les effets liés à la magnétisation du noyau (hystérésis de l'induction magnétique en fonction du champ, saturation du flux dans le noyau, ...). Etant donné que l'on s'intéresse ici aux surintensités provoquées par le recouvrement inverse des redresseurs, ce qui est totalement indépendant des pertes relatives au transformateur, et afin de ne pas surcharger la simulation, celui-ci est modélisé de manière idéale. Pour ce faire, l'on suppose que la tension secondaire ne dépend que de la tension primaire (pas de phénomène de saturation), tandis que le courant primaire n'est fonction que du courant de charge, ce qui revient à négliger le courant magnétisant nécessaire pour créer la force magnétomotrice dans le

noyau (dans la réalité, le transformateur est calculé de façon à ce que le courant magnétisant ne dépasse pas quelques pour cent de l'intensité utile). De plus, les inductances de fuite (de l'ordre de $100\mu\text{H}$) étant petites par rapport à la self de charge (2 mH) et les capacités parasites (de l'ordre de 500 pF) n'intervenant pas à la fréquence de travail ($\approx 1\text{ kHz}$), le schéma équivalent simplifié de la figure 5•9 est utilisé.

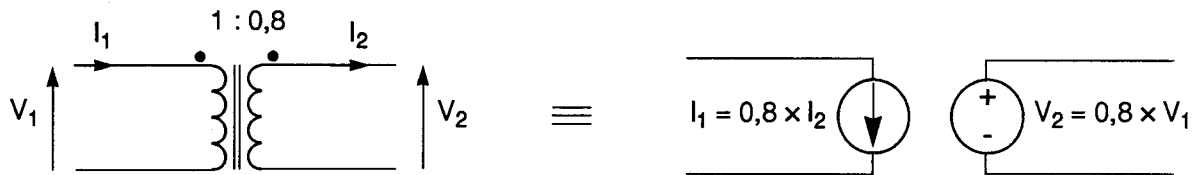


Figure 5•9: schéma idéal du transformateur

Le schéma complet simulé est donné à la figure 5•10 où sont pris en compte les éléments parasites de ligne et d'alimentation ainsi que les étages de commande des transistors de puissance (la partie digitale qui pilote ces étages proprement dits n'est pas considérée). Selon que les diodes soient rapides ou lentes, les confrontations entre mesure et simulation sont respectivement données aux figures 5•11 et 5•12.

Comme il a été noté à la page 93, les vitesses de commutation étant tout d'abord limitées par les inductances de ligne, les résultats sont similaires selon que l'on utilise ou non des macro-modèles pour les transistors MOS. S'ils sont néanmoins utilisés, le temps de calcul devient considérable et la précision supplémentaire ainsi acquise sur le résultat ne justifie pas cette augmentation de coût. Ceci serait bien-sûr moins vrai dans le cas de systèmes plus simples où les vitesses de commutation seraient accrues et mieux contrôlées par les composants actifs.

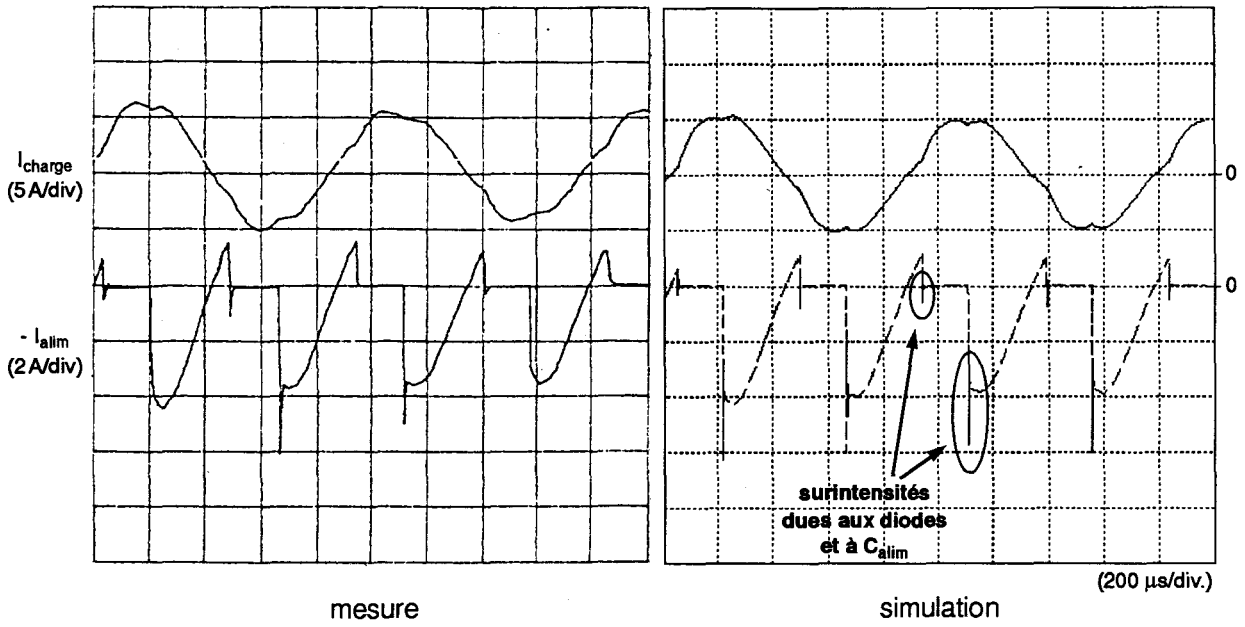


Figure 5-11: courants de charge et d'alimentation avec diodes rapides

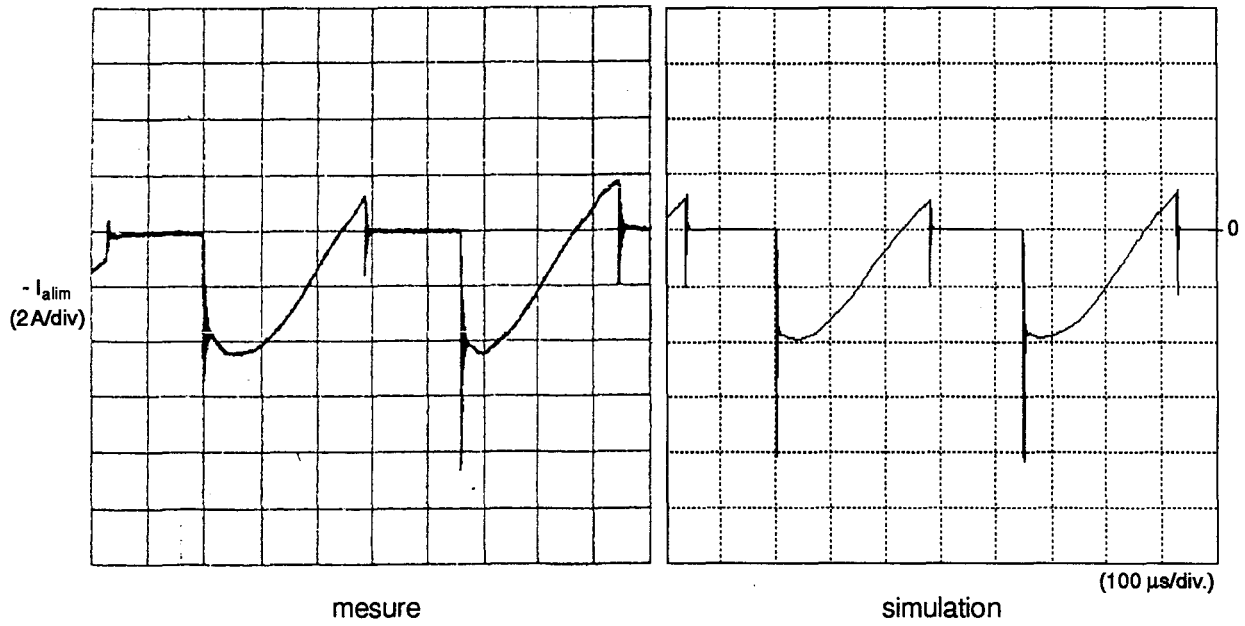


Figure 5-12: courant d'alimentation sans diodes rapides

5-5: Synthèse intermédiaire

Le but de cette démarche était de vérifier si le modèle de diode de puissance pouvait être utilisé pour la simulation d'un circuit destiné à une application réelle et plus complexe que ceux généralement utilisés lors des procédures de validation. Il s'avère que le fonctionnement du montage choisi est correctement restitué à condition là aussi de tenir compte des éléments parasites et éventuellement du caractère non idéal de la source d'énergie.

Il faut toutefois noter que les temps de simulation peuvent rapidement devenir importants (plusieurs heures C.P.U. sur station SUN type SPARC 1+ pour le calcul de quelques périodes de fonctionnement). Ceci est dû à l'utilisation de macro-modèles, que ce soit au niveau de la diode ou du transistor MOS. L'utilisation de simulateurs à modèles externes offrant la possibilité à l'utilisateur de définir les équations d'un nouveau modèle permettrait de gagner une part appréciable sur le temps de calcul.

Sur un plan pratique, les mesures effectuées sur l'onduleur montrent que les surintensités qui apparaissent lors des commutations sont d'environ 3A avec les diodes rapides supplémentaires et de 4,5A si l'on utilise les diodes internes des MOS. Dans le premier cas, cette valeur est essentiellement due aux oscillations de la capacité de filtrage C_{alim} avec l'inductance de la source. Dans le second cas, le recouvrement des diodes lentes joue un rôle non négligeable. Malgré cela, les pertes supplémentaires dues à celles-ci sont à la rigueur acceptables et il serait envisageable de les utiliser quand même, ce qui permettrait de simplifier le schéma électrique en réduisant le nombre de dispositifs. Cette démarche serait toutefois critique car une augmentation de la vitesse de commutation, due par exemple à une nouvelle implantation des composants et une réduction des inductances de ligne, augmenterait sensiblement les surintensités. La simulation peut apporter une aide à ce niveau en montrant que les pointes de courant d'alimentation dépassent rapidement 10A dès que dI_{alim}/dt augmente. C'est pourquoi il est préférable dans la pratique de garder les diodes supplémentaires pour garantir le bon fonctionnement du montage.

VI - Conclusion

Le but du travail présenté était de créer un modèle de diode qui puisse être utilisé afin de simuler des convertisseurs de puissance. Afin d'être compatible avec la plupart des outils de C.A.O. portés sur station de travail, un simulateur de type SPICE a été choisi. La plupart des travaux publiés de ce type étant relativement empiriques ou non validés de manière satisfaisante, un modèle a été construit avec l'intention de le confronter à l'expérience dans une gamme relativement étendue de configurations de test. Celui-ci a été construit sous forme de macro-modèle, pour les raisons liées au simulateur et évoquées au paragraphe 3.3. Le fondement de celui-ci s'appuie sur le fonctionnement physique du dispositif, ce qui est a priori nécessaire pour garantir une utilisation la plus large possible. A titre d'illustration, dans une première étape qui n'est pas détaillée ici, il avait été tenté de construire entièrement ce modèle par une approche quasi-statique, c'est à dire en considérant le régime comme étant établi pour calculer la charge stockée à chaque instant, puis en dérivant la valeur ainsi trouvée pour tenir compte du fonctionnement dynamique, ce que font la plupart des simulateurs analogiques standards tels que SPICE. Un coefficient d'ajustement était alors utilisé pour fixer la vitesse de remontée du courant inverse. Si les résultats étaient satisfaisants avec des conditions de mesure identiques à celles ayant servi à extraire les paramètres du modèle, il n'en était plus de même dès lors que celles-ci étaient modifiées. Ceci montre bien la nécessité de garder une approche physique et de n'utiliser que des paramètres ayant une signification réelle. Il n'est pourtant pas rare de trouver des publications dans lesquelles les formes d'onde sont restituées à partir de réseaux oscillants utilisant des composants passifs de valeurs judicieusement choisies. Les résultats sont en effet probants dans une configuration de test bien spécifique, mais l'on peut douter quant à l'étendue de leur gamme d'utilisation.

Ici, le modèle a été validé sur un montage typique en essayant de couvrir une large gamme de conditions de test. Celles-ci étant fixées par les tensions appliquées et les intensités résultantes, les composants ont été utilisés pour commuter des courants allant de moins d'un ampère jusqu'à des valeurs avoisinant leur valeur nominale maximale (7,2A pour des dispositifs 8A). De la même manière les tensions appliquées ont été modifiées avec plus d'une décade de variation. Les vitesses de coupure des intensités sont cohérentes avec les valeurs habituellement rencontrées dans les montages classiques (20 à 50 A/ μ s). Au vu des écarts obtenus, il est permis de compter sur des précisions de l'ordre de 20% lorsque le composant est soumis à des tensions et des intensités variant d'un facteur 10. La principale limitation à l'extension de cette gamme provient de l'utilisation d'un raisonnement quasi-statique au début du recouvrement inverse, dont l'avantage est néanmoins la simplicité de mise en œuvre et la précision acceptable sur une large plage d'utilisation.

Un autre point sur lequel il est nécessaire d'insister est l'importance des éléments parasites, et notamment des inductances de câblage, qui peuvent jouer un rôle aussi primordial que les composants actifs proprement dits. L'exemple typique est la valeur de tension aux bornes des dispositifs durant le recouvrement inverse, qui dépend autant des selfs de ligne que des vitesses de variation des intensités. Il est donc nécessaire d'en tenir compte sous peine de faire fausse route lors de la détermination des paramètres. Tout le problème réside dans la détermination de ces éléments parasites qui n'est souvent possible de façon précise que par comparaison entre simulations et mesures et nécessite dans ce cas quelques essais itératifs avant de les évaluer correctement. Afin d'économiser le temps calcul, il est alors préférable de procéder par étapes en ne simulant dans un premier temps que les parties de circuit qui interviennent, comme ce qui a été fait pour l'onduleur, pour en arriver finalement à l'étude complète du schéma électrique, une fois ses divers éléments déterminés.

Un montage tel que le pont en H montre que l'importance des éléments parasites croît avec la complexité du circuit étudié et qu'il conviendrait peut-être par la suite de considérer d'autres facteurs comme par exemple le caractère non idéal des sources d'énergie. Moyennant ces quelques précautions, l'on peut escompter une précision de l'ordre de 20% entre les grandeurs mesurées et simulées dans les gammes de courants et tensions étudiées. Cette précision semble raisonnable et suffisante pour un domaine d'application où les dispersions sur les composants sont loin d'être négligeables et où la topologie des circuits joue un rôle considérable par le biais des éléments parasites. Pour la simulation de circuits, il peut en effet sembler superflu d'avoir un modèle précis à 1% alors que des variations de courant de l'ordre de quelques 10A/ μ s dans les inductances de ligne provoquent des différences de potentiel de plusieurs dizaines de volts. Ceci ne veut bien-sûr pas dire qu'il ne faut pas chercher à gagner en précision en ce qui concerne les modèles, mais il est clair qu'il faudra toujours se fixer une marge de sécurité par rapport aux résultats de simulation avant de concevoir un système réel (ce qui est d'ailleurs vrai dans d'autres domaines d'application).

L'une des principales limitations concernant l'approche utilisée ici réside dans la difficulté d'intégrer de nouveaux modèles dans SPICE. Il est vrai que le fait d'utiliser des macro-modèles complique la résolution des diverses équations et peut poser des problèmes de convergence et de temps d'exécution (l'on a vu que la simulation d'un convertisseur tel que celui de la page 97 nécessitait plusieurs heures de calcul sur station de travail). Si ces délais sont encore acceptables pour des composants tels que la diode, ceci risque de devenir critique pour des dispositifs plus complexes comme le transistor bipolaire. En ce qui nous concerne, une étude a été initialisée afin de modéliser le comportement de ce dernier à forts niveaux de puissance, où la modulation de conductivité du collecteur entraîne un mode de fonctionnement qualifié de *quasi-saturation*, qui n'est généralement pas pris en compte dans les modèles classiques ne considérant que les états linéaires et saturés. Bien qu'un modèle décrivant le

comportement statique ait pu être développé, il semble improbable d'utiliser une approche similaire à celle de la diode pour modéliser le fonctionnement dynamique. Le problème ne réside pas dans la description du phénomène, mais dans son intégration au sein du simulateur. A ce sujet, la nouvelle génération des simulateurs dits *comportementaux* où il est permis de décrire directement les modèles sous forme de lignes de programme apporte une solution intéressante. Notamment, ceci permet de résoudre par exemple les équations différentielles régissant l'évolution du profil de porteurs. Ces outils autorisent donc la construction de modèles plus homogènes et plus compacts, sans avoir recours à l'utilisation de macro-modèles. De ce fait, les simulations devraient théoriquement être plus efficaces en termes de rapidité d'exécution et de convergence. C'est dans cette direction qu'il serait logique d'envisager une poursuite pour l'étude présentée ici.

VII - Annexe: Modélisation du transistor MOS de puissance

7.1: Caractéristiques du MOS de puissance

Les principales fonctions demandées aux transistors de puissance sont la capacité de supporter d'une part des tensions élevées, et de conduire d'autre part des intensités importantes. Le premier point nécessite la présence dans le semi-conducteur d'une zone faiblement dopée de grande dimension (voir page 18), le deuxième nécessite une utilisation optimale de la surface du silicium afin de réduire la densité de courant. Ces deux caractéristiques peuvent être obtenues par l'utilisation de structures verticales et interdigitées, où le transistor est en fait constitué de cellules réparties sur toute la structure, ce qui permet une répartition optimale du courant. Une telle configuration est illustrée à la figure 7.1.

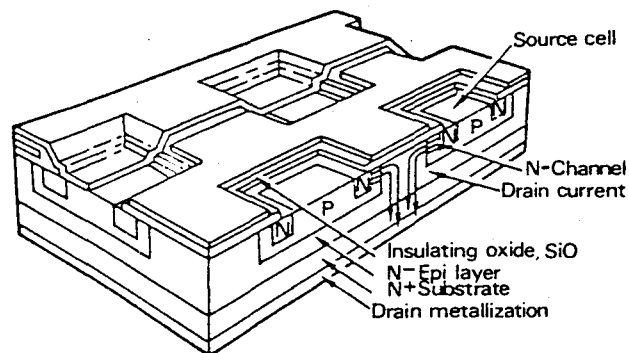


Figure 7.1: structure verticale interdigitée [69]

Si cette structure remplit effectivement les conditions énoncées ci-dessus, elle met néanmoins en jeu des valeurs de capacités non négligeables entre les diverses électrodes, ce qui limite sa fréquence d'utilisation à quelques MHz. De plus, elle fait apparaître un transistor bipolaire parasite constitué par la source, le P-Well, et le drain. Bien que l'émetteur et la base soient reliées par la métallisation de source, il subsiste néanmoins une diode interne source-drain en parallèle avec le MOSFET (figure 7.2).

A noter toutefois que la résistance court-circuitant la jonction base-émetteur est faible mais non nulle, et qu'elle dépend de la résistivité de la zone P. Dans certaines conditions telles que l'existence de variations brutales de tension, cette jonction peut se polariser en direct et le bipolaire parasite devenir passant. Néanmoins, ce dernier est généralement négligé en régime normal de fonctionnement pour ne considérer que sa diode base-collecteur.

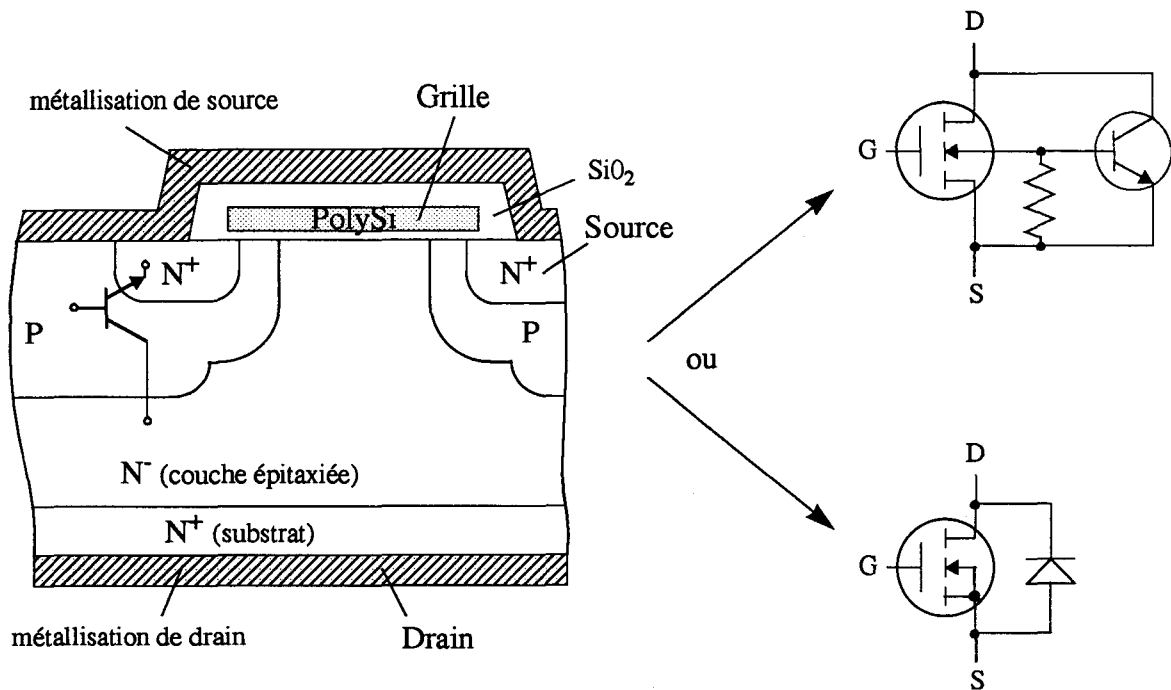


Figure 7-2: transistor MOS vertical avec sa diode interne

La structure ci-dessus permet également de faire apparaître les diverses capacités entre connexions. Si la capacité grille-source C_{gs} est essentiellement une capacité de recouvrement et peut être considérée constante, la capacité grille-drain C_{gd} est typiquement une capacité MOS dont la valeur varie en fonction de la polarisation.

- Lorsque le potentiel de grille est supérieur à celui du drain pour un MOSFET canal N (transistor passant), le matériau sous la grille est en régime d'accumulation et la capacité est égale à la capacité d'oxyde C_{OX} définie par $(\epsilon_0 \times \epsilon_{OX} \times S) / t_{OX}$ où ϵ_0 et ϵ_{OX} sont respectivement les permittivités absolue et relative d'oxyde, t_{OX} représente l'épaisseur d'oxyde de grille et S est égale à la surface de la zone épitaxiée sous la grille. C_{OX} peut alors être considérée constante.
- Lorsque le potentiel de grille est inférieur à celui du drain (transistor bloqué), il se crée une zone de déplétion sous la grille et la capacité correspondante décroît lorsque la tension bloquée augmente.

Quant à la capacité source-drain C_{ds} , il s'agit typiquement d'une capacité de jonction qui varie également de façon opposée à la tension appliquée aux bornes du transistor.

La figure 7-3 montre l'allure des capacités du transistor en fonction des divers régimes de fonctionnement. La notation suivante est utilisée:

$$C_{iss} = C_{gs} + C_{gd} \text{ (capacité d'entrée)}$$

$$C_{oss} = C_{gd} + C_{ds} \text{ (capacité de sortie)}$$

$$C_{rss} = C_{gd} \text{ (capacité Miller)}$$

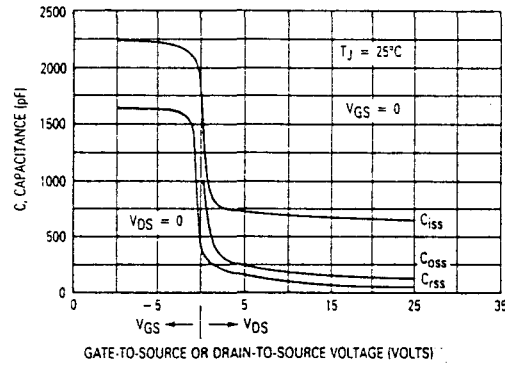


Figure 7-3: capacités de MOSFET de puissance en fonction des tensions de connexions [70]

En ce qui concerne la caractéristique statique du dispositif, il est possible de considérer qu'il existe un transistor JFET en série avec le canal du MOS, dû au pincement des lignes de courant entre les multiples cellules élémentaires [69] et dont la grille est formée par les zones P créant des zones de déplétion dans la couche épitaxiée. Bien que cet effet soit parfois considéré dans certains modèles inclus dans les bibliothèques de simulation [37] sous la forme d'un sous-circuit similaire à celui de la figure 7-4, il est la plupart du temps négligé.

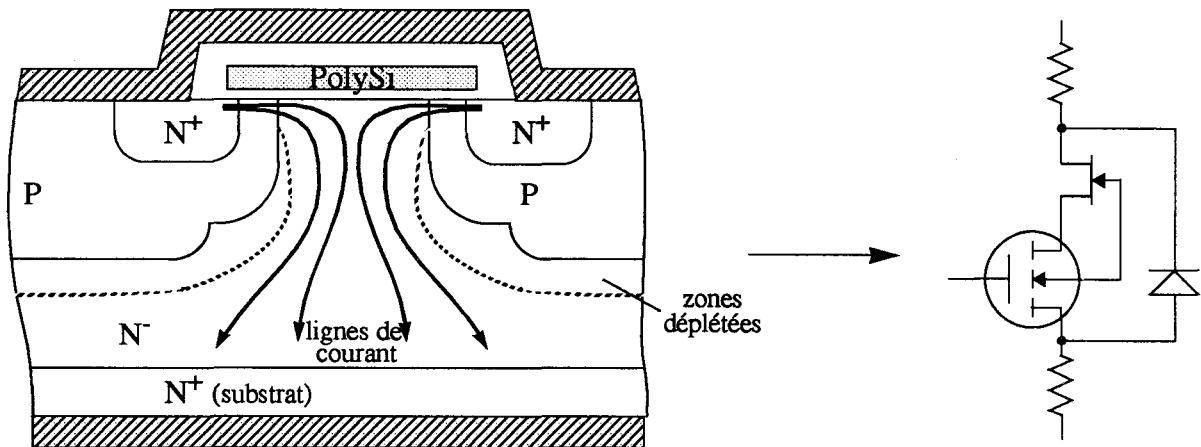


Figure 7-4: modèle possible du MOS de puissance tenant compte du pincement des lignes de courant

7.2: Modélisation SPICE standard du transistor MOS

Le modèle SPICE de MOSFET s'applique aux structures horizontales pour lesquelles les zones de source et drain sont en surface de la puce. Les différences majeures avec la topologie de la figure 7.2 sont d'une part l'inexistence du bipolaire parasite, mais surtout la différence des capacités inter-connexions, puisque C_{gs} et C_{gd} sont alors de même nature et sont dues au recouvrement de la grille sur les zones de source et de drain. Le modèle est de ce fait inadapté car ces capacités sont considérées constantes (voir figure 7.5) et ne peuvent ainsi pas restituer la caractéristique de la figure 7.3. Pour la modélisation de dispositifs travaillant en bloqué-passant, les temps de commutation simulés peuvent donc être erronés.

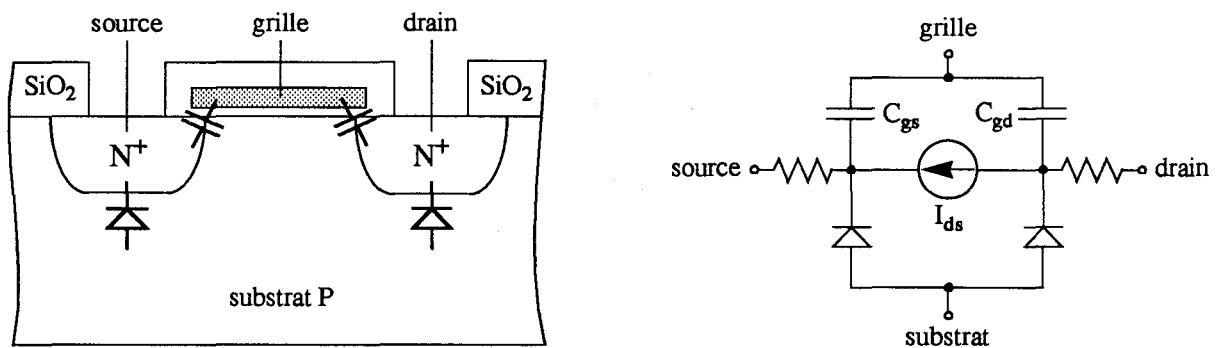


Figure 7.5: modèle SPICE standard de transistor MOS

7.3: Macro-modélisation du MOS de puissance

Afin de pallier au problème cité ci-dessus, la plupart des modèles rencontrés dans la littérature considèrent C_{gd} comme une capacité de déplétion et utilisent une formulation similaire à celle de l'équation 3.2. C'est le cas du modèle décrit dans [7] qui considère, pour un transistor canal N, C_{gd} comme une capacité fixe si V_{grille} est supérieur à V_{drain} , et comme une diode en inverse dans le cas contraire. Ce modèle a été utilisé pour les simulations des chapitres précédents avec toutefois une légère modification en ce qui concerne les éléments utilisés: dans la version originale le pincement des lignes de courant est modélisé par une résistance de faible valeur (environ $1\text{ m}\Omega$) en série avec la résistance de drain proprement dite, cette dernière provenant de la couche épitaxiée. La procédure peut être risquée car elle fait apparaître de faibles constantes de temps, étant données les diverses capacités du modèle, ce qui peut réduire le pas de calcul et créer des problèmes de convergence. C'est pourquoi dans notre cas cette faible résistance n'est pas insérée. En résumé, le modèle utilisé est donné à la

figure ci-dessous.

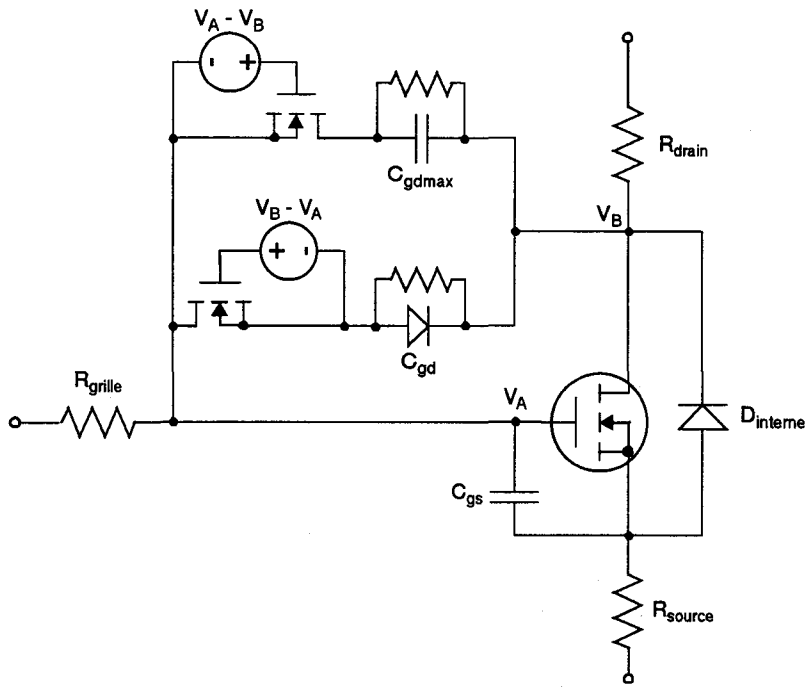


Figure 7-6: macro-modèle de MOS de puissance utilisé (d'après [7])

VIII - Bibliographie

- [1]: H. FUKUI & T. YAGINUMA, *Two-dimensional Numerical Analysis of Turn-off Process in a GTO under Inductive Load*, IEEE Transactions on Electron Devices, ED 32, n° 9, 1985.
- [2]: F. OMS, J.P. ARCHES, R. MAIMOUNI, A. MONNIER, *SCRIPT Simulator: From Converter to Semiconductor*, European Power Electronics, Aix la Chapelle, pp. 207-212, 1989.
- [3]: R. FEUILLET, G. ENJALBERT, A. BOLOPION, J.M. ZAZA, *Simulation et CAO en Electronique de Puissance: le Logiciel CIRCUIT*, Electronique de Puissance, n° 26, pp. 60-66, 1988.
- [4]: Y. C. LIANG & V. J. GOSBELL, *Diode Forward and Reverse Recovery Model for Power Electronic SPICE Simulations*, IEEE Transactions on Power Electronics, Vol. 5, n° 3, 1990.
- [5]: H. MOREL, O. HAMEL, K. BESBES, J.P. CHANTE, *Simulation Comportementale des Composants de Puissance*, Journée GRECO-CNRS "Dispositifs et Systèmes Electrotechniques", Clamart, 1988.
- [6]: H. MOREL, O. HAMEL, K. BESBES, J.P. CHANTE, *Résultats d'une nouvelle méthode de simulation de diodes de puissance en commutation*, Congrès national SEE "Electronique de Puissance du Futur", Bordeaux, 1988.
- [7]: P. ROSSEL, R. MAIMOUNI, M. BELABADIA, H. TRANDUC, C.E. CORDONNIER & M. BAIRANZADE, *Power MOSFET Models for Switching Circuits*, Journal de Physique, Colloque C4, supplément au n° 9, Tome 49, 1988.
- [8]: R.A. MINASIAN, *Power MOSFET Dynamic Large-Signal Model*, IEE Proc., Vol. 130, n° 2, 1983.
- [9]: H.P. YEE & P.O. LAURITZEN, *SPICE Models for Power MOSFETs: An Update*, CH2504-9/88/0000-0281, 1988 IEEE.
- [10]: S. H. GAMAL, M.L. LOCATELLI & J.P. CHANTE, *Power Losses in Silicon and Silicon Carbide Diodes*, European Power Electronics Florence, pp. 0-003 - 0-007, 1991.

- [11]: THOMSON-CSF, *Le Transistor de Puissance dans la Conversion d'Énergie*, 1983.
- [12]: A. A. BARNA & D. HORELICK, *A Simple Diode Model Including Conductivity Modulation*, IEEE Transaction on Circuit Theory, Vol. 18, pp. 233-240, 1971.
- [13]: S. M. SZE, *Physics of Semiconductors Devices*, Wiley, New York, 1969.
- [14]: R.S. MULLER & T. I. KAMINS, *Device Electronics for Integrated Devices*, Wiley, New York, 1977.
- [15]: W. SHOCKLEY & W. T. READ, *Statistics of the Recombinations of Holes and Electrons*, Physical Review, Vol. 87, 1952.
- [16]: H. BENDA & E. SPENKE, *Reverse Recovery Processes in Silicon Power Rectifiers*, Proceedings of the IEEE, Vol. 55, n° 8, 1967.
- [17]: H. SCHLANGENOTTO & W. GERLACH, *On the Effective Carrier Lifetime in p-s-n Rectifiers at High Injection Levels*, Solid-State Electronics, Vol. 12, pp. 267-275, 1969.
- [18]: J. A. G. SLATTER & J. P. WHELAN, *p-i-n Diode Recovery Storage Time*, Solid-State Electronics, Vol. 23, pp. 1235-1242, 1980.
- [19]: F. BERZ, *A Simplified Theory of the p-i-n Diode*, Solid-State Electronics, Vol. 20, pp. 709-714, 1977.
- [20]: J. BURTSCHER, F. DANNHAUSER & J. KRAUSSE, *Die Rekombination in Thyristoren und Gleichrichtern aus Silizium: Ihr Einfluss auf die Durchlasskennlinie und das Freiwerdezeitverhalten*, Solid-State Electronics, Vol. 18, pp. 35-63, 1975.
- [21]: B. R. CHAWLA & H. K. GUMMEL, *Transition Region Capacitance of Diffused pn Junctions*, IEEE Transactions on Electron Devices, ED 18, 1971.
- [22]: F. BERZ, *Step Recovery of p-i-n Diodes*, Solid-State Electronics, Vol. 22, pp. 927-932, 1979.
- [23]: D. A. HODGES & H. G. JACKSON, *Analysis and Design of Digital Integrated Circuits*, McGraw-Hill, New York, 1983.
- [24]: P. ANTOGNETTI & G. MASSOBRIO, *Semiconductor Device Modeling with SPICE*,

McGraw-Hill, New York, 1988.

- [25]: B. BIANCO, G. R. BISIO & R. DELFINO, *Analytical Solution for Reverse Recovery of Power Rectifiers*, IEEE Transactions on Electron Devices, ED 27, n° 9, 1980.
- [26]: M. DERDOURI, P. LETURCQ & A. MUNOZ-YAGUE, *A Comparative Study of Methods of Measuring Carrier Lifetime in p-i-n Devices*, IEEE Transactions on Electron Devices, ED 27, n° 11, 1980.
- [27]: P. A. PERSSON, *A Circuit Simulation Model for the High Power Diode*, European Power Electronics, Florence, pp. 1-068 - 1-073, 1991.
- [28]: H. BENDA & F. DANNHAUSER, *Switching Processes in Diffused Rectifiers - I*, Solid-State Electronics, Vol. 11, 1968.
- [29]: J. CEREMUGA, *A Dynamic Model of the p-n-n+ Step Recovery Diodes for the Numerical Analysis of Pulse Circuits*, Solid-State Electronics, Vol. 24, 1981.
- [30]: R. C. VARSHNEY & D. J. ROULSTON, *Turn-off Transient Behaviour of p-i-n Diodes*, Solid-State Electronics, Vol. 14, 1971.
- [31]: B. E. DANIELSSON, *Studies of Turn-off Effects in Power Semiconductor Devices*, Solid-State Electronics, Vol. 28, n° 4, 1985.
- [32]: C. XU & D. SCHRODER, *Modelling and Simulation of Power MOSFET's and Power Diodes*, 19th IEEE Power Electronics Specialists Conference , pp. 76-83, 1988.
- [33]: Y. C. KAO & J. R. DAVIS, *Correlations Between Reverse Recovery Time and Lifetime of p-n Junction Driven by a Current Ramp*, IEEE Transactions on Electron Devices, ED 17, n° 9, 1970.
- [34]: L. W. NAGEL & D. PEDERSON, *Simulation Program with Integrated Circuit Emphasis*, Electronics Research Laboratory Rep. n° ERL-M382, University of California, Berkeley, 1973.
- [35]: L. W. NAGEL, *SPICE2: A Computer Program to Simulate Semiconductor Circuits*, Electronics Research Laboratory Rep. n° ERL-M520, University of California, Berkeley, 1975.

- [36]: DSPICE User's Guide, Daisy Intergraph.
- [37]: HSPICE User's Guide, Meta Software.
- [38]: H. GUMMEL & H. POON, *An Integral Charge Control Model of Bipolar Transistors*, Bell Syst. Tech. J., 49, 1970.
- [39]: H. SHICHMAN & D. HODGES, *Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits*, IEEE Journal of Solid-State Circuits, SC 3, 1968.
- [40]: Y. TSIVIDIS, *Operation and Modeling of the MOS Transistor*, McGraw-Hill, New York, 1987.
- [41]: ANALOGY, *SABER Manual*, Beaverton, U.S.A., 1989.
- [42]: A. MUNOZ-YAGUE & P. LETURCQ, *High-Level Behavior of Power Rectifiers: A Quantitative Analysis of the Forward Voltage Drop*, IEEE Transactions on Electron Devices, ED-25, n° 1, 1978.
- [43]: S. C. CHOO, *Effect of Carrier Lifetime on the Forward Characteristics of High-Power Devices*, IEEE Transactions on Electron Devices, ED 17, n° 9, 1970.
- [44]: N. FLETCHER, *The High Current Limit for Semiconductor Junction Devices*, Proc. IRE, Vol. 45, 1957.
- [45]: N. NILSSON, *The Influence of Auger Recombination on the Forward Characteristic of Semiconductor Power Rectifiers at High Current Densities*, Solid-State Electronics, Vol. 16, 1973.
- [46]: BATARD, MEYNARD, FOCH & MASSOL, *Circuit Oriented Simulation of Power Semiconductor Using SUCCESS. Application to Diodes and Bipolar Transistors*, European Power Electronics, Florence, pp. 1-068 - 1-073, 1991.
- [47]: D. SCHRODER, *Modelling of Power Devices for CAE*, European Power Electronics, Florence, pp. 0-331 - 0-338, 1991.
- [48]: D. F. COURTNEY, *A Brief Analysis of the Transient Forward Voltage Drop in Fast Diodes*, IEE Proceedings, Vol. 132, Pt. I, n° 6, 1985.

- [49]: G. W. NEUDECK & L. R. RAZOUK, *The p+n-n+ Pulsed Diode at Extreme Current Densities*, Solid-State Electronics, Vol. 23, 1980.
- [50]: S. WINTERNHEIMER, *Investigations on the Turn-on Process in Fast Recovery Power Diodes*, European Power Electronics Florence, pp. 0-119 - 0-124, 1991.
- [51]: Y. JIN, K. HOFFMANN & W. KIFFE, *A Forward Recovery Model of Power Diodes*, European Power Electronics Florence, pp. 0-339 - 0-342, 1991.
- [52]: R. KRAUS, K. HOFFMANN, & P. TURKES, *Reverse Recovery Model of Power Diodes*, European Power Electronics Florence, pp. 0-343 - 0-345, 1991.
- [53]: J. XU & J. YU, *Equivalent Circuit Models of Switches for SPICE Simulation*, Electronics Letters, Vol. 24, n° 7, 1988.
- [54]: Y. C. LIANG & V. J. GOSBELL, *A Versatile Switch Model for Power Electronics SPICE2 Simulations*, IEEE Transactions on Industrial Electronics, Vol. 36, n° 1, 1989.
- [55]: K. BESBES, *Contribution à la modélisation comportementale des composants de puissance en commutation*, Thèse de doctorat, INSA Lyon, 1989.
- [56]: J. M. DORKEL & P. LETURCQ, *Carrier Mobilities in Silicon Semi-Empirically Related to Temperature, Doping and Injection Level*, Solid-State Electronics, Vol. 24, n° 9, 1981.
- [57]: D. E. HOUSTON, M. S. ADLER & E. D. DUANE WOLLEY, *Measurement and Analysis of Carrier Distribution and Lifetime in Fast Switching Power Rectifiers*, IEEE Transactions on Electron Devices, ED 27, n° 7, 1980.
- [58]: G. VAHER, V. RUHAMKIN & M. TARMA, *Studies of Reverse Recovery Effects in Power Fast Recovery Diodes*, European Power Electronics, Florence, pp. 2-518 - 2-522, 1991.
- [59]: H. J. KUNO, *Analysis and Characterization of P-N Junction Diode Switching*, IEEE Transactions on Electron Devices, ED 11, 1964.
- [60]: B. TIEN & C. HU, *Determination of Carrier Lifetime from Rectifier Ramp Recovery Waveform*, IEEE Electron Device Letters, Vol. 9, n° 10, 1988.
- [61]: D. C. LEWIS, *On the Determination of the Minority Carrier Lifetime from the Reverse*

Recovery Transient of pnR Diodes, Solid-State Electronics, Vol. 18, pp. 87-91, 1975.

[62]: F. BERZ, *Ramp Recovery in p-i-n Diodes*, Solid-State Electronics, Vol. 23, pp. 783-792, 1980.

[63]: S. R. DHARIWAL & R. C. SHARMA, *Determination of Carrier Lifetime in p-i-n Diodes by Ramp Recovery*, IEEE Electron Devices Letters, Vol. 13, n° 2, 1992.

[64]: S. H. GAMAL, H. MOREL & J. P. CHANTE, *Carrier Lifetime Measurement by Ramp Recovery in p-i-n Diodes*, IEEE Transactions on Electron Devices, Vol. 37, pp. 1921-1924, 1990.

[65]: P. G. WILSON, *Recombination in Silicon p- π -n Diodes*, Solid-State Electronics, Vol. 10, p. 145, 1967.

[66]: M. DERDOURI, P. LETURCQ & A. MUNOZ-YAGUE, *A Comparative Study of Methods of Measuring Carrier Lifetime in p-i-n Devices*, IEEE Transactions on Electron Devices, ED 27, n° 11, 1980.

[67]: E. TATAKIS & J. SANCHEZ-MOLERO, *Modelling Power MOSFET DC-DC Converters Using SPICE2 Program*, 3rd European Conference on Power Electronics and Applications, pp. 159 - 164, 1989.

[68]: C. POHLENZ, *Chaîne d'Emission dans le SONAR Actif*, DCAN Toulon, 1989.

[69]: P. ALOISI, *Power Switch*, Motorola Semiconductors, DLE 401/D, 1987.

[70]: MOTOROLA, *Power MOSFET Transistor Data*, DLE 135R2/D, 1988.

