

1993
234

50376
1993
234

n° d'ordre: 1193

THESE

présentée à

L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE

Spécialité : ELECTRONIQUE

par

Bernardin Y. D. COUDORO



**ETUDE PHENOMENOLOGIQUE DE LA SENSIBILITE DES
CIRCUITS LOGIQUES FONCTIONNANT EN REGIME
DYNAMIQUE SOUMIS AUX EFFETS INDUITS PAR DES
CHAMPS ELECTROMAGNETIQUES**

soutenu le 26 Octobre 1993 devant la Commission d'Examen

Membres du jury: MM. R. GABILLARD
Ph. AURIOL
M. IANOZ
B. DEMOULIN
J. BAUDET
M. HEDDEBAUT
J. L. BOULAY
J. P. APARICIO

Président
Rapporteur
Rapporteur
Directeur de Thèse
Examineur
Examineur
Examineur
Examineur

*A Abiba
A ma famille
A tous mes Amis*

REMERCIEMENTS

Ce travail à été réalisé au Laboratoire de Radiopropagation et Electronique (LRPE) de l'Université des Sciences et Technologies de Lille (USTL), dirigé par Monsieur le Professeur Robert GABILLARD.

J'adresse ma reconnaissance à Monsieur le Professeur GABILLARD pour m'avoir fait l'honneur de juger ce travail et de présider le jury.

Cette thèse est effectuée sous la direction de Monsieur le Professeur Bernard DEMOULIN au sein de l'équipe de Compatibilité Electromagnétique du LRPE. Je lui adresse mes sincères remerciements pour l'attention qu'il a portée à mon travail, pour les conseils qu'il m'a donnés, pour sa disponibilité à mes côtés tout le long de mes travaux et pour la confiance qu'il m'a faite en me laissant prendre beaucoup d'initiatives. Qu'il reçoive également ici l'expression de mon profond respect et de toute ma reconnaissance.

Je remercie très chaleureusement Monsieur Jacques BAUDET, Ingénieur CNRS au LRPE pour sa collaboration étroite avec le Professeur B. DEMOULIN pour la direction scientifique et l'orientation de mes travaux, pour sa qualité d'écoute et de confiance pour mes prises d'initiatives. Il a immanquablement su me soutenir par ses conseils et ses suggestions durant toutes ces années d'études. Qu'il trouve ici l'expression de ma sincère reconnaissance pour avoir accepté d'examiner ce travail.

Je tiens à remercier Monsieur le Professeur Pierre DEGAUQUE pour sa contribution au déroulement de cette thèse.

Je remercie Monsieur le Professeur Philippe AURIOL de L'Ecole Centrale de Lyon qui me fait l'honneur d'examiner ce travail en qualité de Rapporteur.

Je remercie également Monsieur le Professeur Michel IANOZ de l'Ecole Polytechnique Fédérale de Lausanne pour avoir accepté d'assurer la tâche de rapporteur.

J'exprime mes vifs remerciements à Monsieur Marc HEDDEBAUT, Directeur de recherche à l'INRETS-CRESTA qui me fait l'honneur d'examiner ce travail.

Je tiens à remercier également Monsieur J. P. APARICIO, Ingénieur à THOMSON-CSF et Monsieur Jean-Louis BOULAY, Adjoint au Directeur Scientifique de la Physique Générale à l'ONERA, pour avoir accepté de participer au jury et d'examiner ce travail.

Ce travail a été financé par l'Institut National de Recherche sur les Transports et leur Sécurité (INRETS) que je remercie en la personne de Monsieur Yves DAVID, Directeur du Centre de Recherche et d'Evaluation des Systèmes de Transport Automatisés (CRESTA).

J'adresse mes sincères remerciements:

- à Madame Marine DEMOULIN, Ingénieur CNRS au LRPE pour son soutien et son aide technique lors de l'utilisation du matériel informatique au LRPE. Qu'elle trouve ici l'expression de toute ma reconnaissance,
- à Monsieur Christian SEMET, Ingénieur de recherche au LRPE pour son aide technique lors de la réalisation, au cours de mon DEA, de la cellule TEM qui a servi aux tests en illumination effectués lors de mes travaux de thèse,
- à Monsieur Philippe MARIAGE, Maître de conférence au LRPE pour son aide technique en ce qui concerne l'élaboration des graphiques tridimensionnels,
- à Monsieur Lamine KONE, Ingénieur au LRPE pour l'aide qu'il a souvent su m'apporter dans mes expérimentations.
- à Mademoiselle Béatrice POUDROUX pour sa contribution à la dactylographie de ce document,
- à Monsieur Jean-Pierre DEHORTER pour avoir assuré la reproduction de ce mémoire,
- à tous les membres du LRPE et les membres de l'équipe CEM du CRESTA pour l'aide et la sympathie qu'ils m'ont toujours témoignés

SOMMAIRE

SOMMAIRE

INTRODUCTION GÉNÉRALE.....	1
----------------------------	---

Chapitre I . PERTURBATIONS INDUITES SUR LES CIRCUITS ELECTRONIQUES

INTRODUCTION.....	5
-------------------	---

I-1 GÉNÉRALITÉS SUR LA COMPATIBILITÉ ÉLECTROMAGNÉTIQUE.....	7
---	---

I-1-1 Les axes d'études de la compatibilité électromagnétique.....	7
--	---

I-1-2 Les principales sources de perturbations.....	8
---	---

I-1-3 Caractérisation des sources de perturbations, modes de couplage et description générale des sous-systèmes perturbés.....	10
---	----

I-2 APERÇU SUR QUELQUES EFFETS OBSERVÉS SUR LES CIRCUITS	
--	--

NUMÉRIQUES LORS D'UNE AGRESSION ÉLECTROMAGNÉTIQUE.....	14
--	----

I-2-1 Cas de circuits en régime dynamique.....	14
--	----

I-2-1-1 Les Travaux de Joseph G. TRONT [4].....	14
---	----

I-2-1-2 Les Travaux de A. M. BRIGININ et N. A. TITOVICH [5].....	17
---	----

I-2-2 Cas de circuits en régime statique.....	18
---	----

I-2-2-1 Les Travaux de C. E. LARSON et J. M. ROE [6].....	18
---	----

I-2-2-2 Les Travaux de J. J. WHALEN, J. G. TRONT, C. E. LARSON et J. M. ROE [7].....	21
---	----

I-3 POSITION DE NOTRE TRAVAIL PAR RAPPORT AUX TRAVAUX	
---	--

RECENTS ENTREPRIS SUR LA SENSIBILITÉ DE COMPOSANTS	
--	--

INTEGRÉS LORS DE LEUR TRANSIT LOGIQUE.....	24
--	----

I-3-1 Définition de la sensibilité des circuits électroniques.....	24
--	----

I-3-2 Description des principaux acquis de notre thèse.....	28
---	----

I-3-3 Les travaux de J. J. LAURIN, S. G. ZAKY et K. G. BALMAIN [12].....	36
---	----

Chapitre II . SUSCEPTIBILITE ELECTROMAGNETIQUE DES CIRCUITS LOGIQUES FONCTIONNANT EN REGIME DYNAMIQUE

INTRODUCTION	40
II-1 CHOIX DE LA SOURCE DE PERTURBATION ET MISE EN OEUVRE DU PROTOCOLE DE TEST	42
II-1-1 Choix de la source perturbatrice	42
II-1-1-1 Aperçu sur les modes d'action d'un signal perturbateur	42
II-1-1-2 Le type de source utilisée	42
II-1-1-3 Méthode d'injection des IEM.	42
II-1-2 Mise en oeuvre du dispositif de test - Faits expérimentaux observés	45
II-1-2-1 Procédure de mesure des retards	49
II-1-2-2 Procédure de détection des pseudo-commutations	51
II-2 INTERPRETATION DES RESULTATS	52
II-2-1 Description et modèle simplifié du circuit de test	53
II-2-1-1 Modèle simplifié des lignes en couplage électrique.....	53
II-2-1-2 Modèles équivalents des charges aux extrémités de la ligne	55
II-2-1-2-1 Entrée du composant 2	55
II-2-1-2-2 Sortie du composant 1.....	56
1. Comportement lors des transitions d'états logiques.....	57
1.1 . 1ère situation: la caractéristique de transfert n'est pas modifiée	57
1.2 . 2ème situation: la caractéristique de transfert est modifiée	58
2. Comportement sur les états statiques.....	62
II-2-2 Interprétation des retards de fronts.	63
II-2-3 Interprétation de la pseudo-commutation	67

II-3 SIMULATION NUMERIQUE DES DISTORSIONS DE SIGNAUX LOGIQUES CREEES PAR L'INJECTION DE COURANT PERTURBATEUR.....	69
II-3-1 Description du principe de la simulation	70
II-3-2 Présentation des résultats de simulation.....	73
II-3-3 Comparaison des résultats expérimentaux et résultats de simulation.	75
II-3-3-1. Cas de la pseudo-commutation (palier à 2,5 volts).....	75
II-3-3-2. Cas du retard de front.....	76
II-4 COMPARAISON DU COMPORTEMENT DU COMPOSANT SOUS TEST VIS A VIS DE SA FAMILLE TECHNOLOGIQUE.....	78
II-4-1 Comparaison à l'aide de la caractéristique de retard de fronts.....	78
II-4-2 Modélisation de la caractéristique de retards en fonction du courant perturbateur.	81
II-4-3 Application du modèle de retard à la caractérisation d'avance de front.....	84
II-4-4 Application du modèle de décalage de front à la modélisation des effets de phase et de formes d'onde perturbatrices.	85
CONCLUSION	89

Chapitre III . APPROCHE STATISTIQUE DE LA SUSCEPTIBILITE ELECTROMAGNETIQUE DES CIRCUITS LOGIQUES

INTRODUCTION	90
III-1 LES OBJECTIFS	92
III-2 L'OUTIL DE TEST	94
III-2-1 Principe de l'outil.....	94
III-2-1-1 Définition et échantillonnage des fenêtres de test des transits décalés	94

III-2-1-2 Comparaison des échantillons et génération du mot "résultats".....	95
III-2-1-3 Justificatif du choix de trois échantillons avant le front.....	97
III-2-2 Le banc de test.....	98
III-2-2-1 Les principaux équipements du banc.....	98
III-2-2-2 La carte de test et d'acquisition des données (mot "résultats") en temps réel.	98
III-2-3 Algorithme de transfert et de traitement du microcontrôleur.	99
III-2-3-1 Transfert sans pré-traitement.....	102
III-2-3-2 Transfert avec pré-traitement.....	103
 III-3 RESULTATS EXPERIMENTAUX	105
III-3-1 Etude expérimentale du nombre N : Utilisation du 1er algorithme de transfert	105
III-3-2 Caractérisation de la sensibilité électromagnétique de l'équipement sous test par des paramètres à caractère statistique : Utilisation du 2nd algorithme de transfert et de traitement.....	109
 CONCLUSION	114
 Chapitre IV . EXPLOITATION DE L'OUTIL D'ANALYSE RECOMMANDATIONS - PERSPECTIVES FUTURES	
 INTRODUCTION	115
 IV-1 PRESENTATION DES PERTURBATEURS	117
IV-1-1 Présentation de la structure à pistes couplées par influence électromagnétique	117
IV-1-2 Présentation de la cellule TEM.....	120
 IV-2 ETUDE PHENOMENOLOGIQUE DES AGRESSIONS EN COUPLAGE ELECTROMAGNETIQUE.....	125
IV-2-1 Impédance caractéristique Z_c de la ligne microruban	125
IV-2-2 Cas du couplage électrique	126

IV-2-3 Cas du couplage magnétique	127
IV-2-4 Cas du couplage électromagnétique	132
IV-3 Tests avec la structure à pistes couplées.....	145
IV-3-1 Etude en fonction de la famille technologique du composant sous test.....	145
IV-3-1-1 Comparaison des décalages extrêmes subis par les familles C, HC, et AC vis à vis des trois types de couplage	145
IV-3-1-1-1 Définition du critère d'évaluation de la sensibilité du composant sous test.....	145
IV-3-1-1-2 La famille HC.....	146
IV-3-1-1-3 La famille AC.....	148
IV-3-1-1-4 La famille C.....	149
IV-3-1-2 Comparaison des familles C, HC et AC à amplitude d'IEM identique avec le critère de sensibilité précédent.....	153
IV-3-2 Etude en fonction de la fréquence du perturbateur	154
IV-3-3 Etude en fonction de la cadence des transitions des mots binaires.....	158
IV-3-3-1 Etude en fonction du sens de la transition en sortie du composant 1.....	159
IV-3-3-2 Test en fonction de la cadence des transitions des mots binaires.....	161
IV-4 Essais en cellule TEM	163
IV-4-1 Validation des tests pratiqués en cellule TEM.....	164
IV-4-1-1 Mise en évidence de l'influence du couplage magnétique	164
IV-4-1-2 Caractérisation en fonction de l'amplitude et de la fréquence des IEM.....	167
IV-4-2 Influence de la géométrie des pistes de circuits imprimés.....	169
IV-5 QUELQUES RECOMMANDATIONS POUR LA CONCEPTION ORIENTEE CEM DES CARTES ELECTRONIQUES	174
IV-5-1 Quelles familles de composant faut-il utiliser ?.....	174

IV-5-2 Quelles cadences des transitions de signal logique faut-il utiliser ?	174
IV-5-3 Quelle géométrie de pistes de circuit imprimé faut-il choisir ?.....	176
IV-6 PERSPECTIVES FUTURES.....	179
IV-6-1 Thèmes d'études.....	180
IV-6-2 Amélioration du protocole de test à approche statistique	181
CONCLUSION	182
CONCLUSION GENERALE.....	182
REFERENCES BIBLIOGRAPHIQUES	184
ANNEXE I : BANC DE MESURE DE LA RESISTANCE DYNAMIQUE R_d D'UN INVERSEUR HCU LORS DU TRANSIT LOGIQUE.....	192
ANNEXE 2 : PROPAGATION DES ONDES MOBILES SUR LA LIGNE DE LIAISON ENTRE LES DEUX COMPOSANTS	197

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Le travail présenté dans cette thèse a été effectué au LRPE¹ de l'USTL² dans le cadre de travaux de compatibilité électromagnétique (CEM) menés avec le Groupement Régional Nord Pas de Calais pour la Recherche dans les Transports (GRRT). Ce travail a bénéficié de l'aide financière de l'INRETS³ et de la collaboration du CRESTA⁴.

Les perturbations électromagnétiques qu'elles proviennent de sources d'énergie électriques, de transitoires issus de la foudre, de rayonnements hautes fréquences provenant des sources les plus diverses peuvent atteindre des équipements électroniques, qu'il s'agisse d'équipements fixes ou d'équipements embarqués à bord de véhicules. L'effet d'une perturbation peut se traduire s'il est très intense par la destruction de composants actifs ou s'il est d'amplitudes plus modestes, par des dysfonctionnements. Lorsqu'on est confronté à des équipements à haut niveau de sécurité, des codeurs ou correcteurs d'erreurs, des dispositifs de redondance où de contrôle de logiques permettent d'avertir les processeurs de l'existence de ce type de défaillance et de mettre en sécurité positive le fonctionnement des automatismes. Lorsque ce type de perturbation devient trop récurrent, on peut s'attendre à un ralentissement d'exécution de certaines tâches, ce qui peut altérer la disponibilité d'un automate. Lorsque les perturbations concernent des fonctions beaucoup moins essentielles, elles peuvent produire un abus d'alarme, ce qui engendre également une dégradation de la disponibilité.

¹ Laboratoire de Radiopropagation et Electronique

² Université des Sciences et Technologies de Lille

³ Institut National de Recherche sur les Transports et leur Sécurité

⁴ Centre de Recherche et d'Evaluation des Systèmes de Transports Automatisés

Le recours aux blindages est une solution qu'on évite de plus en plus pour protéger les équipements contre ce type d'agression. Ils sont coûteux, ils vont à l'encontre de l'allègement des véhicules et ils peuvent se dégrader lors des phases de maintenance des équipements. Une solution alternative consiste à intervenir sur la sensibilité intrinsèque de l'équipement en proposant par exemple la conception de cartes électroniques avec des composants intégrés moins sensibles aux perturbations.

C'est à l'étude de cette sensibilité qu'est consacrée notre thèse et plus spécialement à l'étude de la sensibilité des composants en phase de transit logique soumis aux effets induits par des champs électromagnétiques. Nous n'étudions pas ici les phénomènes de rayonnement que peuvent engendrer les cartes électroniques, et qui entraînent généralement des diaphonies entre les pistes de circuits imprimés.

Dans le premier chapitre de notre travail, nous avons rappelé les principaux acquis traitant de la sensibilité des circuits logiques aux effets induits par les champs électromagnétiques. En particulier, les travaux de J. TRONT signalent théoriquement que les transitions d'états logiques des signaux numériques peuvent être perturbées par des sources extérieures. Notre travail a consisté à approfondir la compréhension de ces phénomènes en essayant de caractériser les mécanismes qui peuvent altérer le fonctionnement d'une porte logique élémentaire durant sa transition d'états logiques. L'analyse de ces phénomènes montre qu'ils constituent une situation catastrophique pour les systèmes synchrones. Les travaux de LAURIN, ZAKY et BALMAIN de l'Université de Toronto également résumés dans ce chapitre confirment cela. Ce premier chapitre résume par ailleurs les principaux faits que nous avons observés dans notre recherche expérimentale.

Nous avons ensuite développé au second chapitre une analyse de ces phénomènes en soumettant la sortie du composant à une injection de courant. Aux faibles niveaux du courant perturbateur, la perturbation des transits logiques se traduit par des retards ou des avances des signaux traités. Le dispositif expérimental consiste à procéder à une mesure de ces décalages temporels capturés par un analyseur de transitoires. Les niveaux élevés peuvent produire, quant

à eux, une distorsion des transitions d'états logiques, distorsions qui ont pour conséquence la mise en anomalie de compteurs connectés en aval des circuits sous test.

Dans la troisième partie de notre thèse, nous avons développé un outil informatique permettant de mesurer les décalages temporels produits par les perturbations. Son principe est basé sur une étude statistique des décalages produits sur un grand nombre de transits logiques. Cet artifice est indispensable dans la mesure où il n'y a pas un rigoureux synchronisme entre la période du perturbateur et la période des signaux logiques traités par les circuits. La sensibilité des diverses variantes technologiques qui sont expérimentées est exprimée en terme de valeur moyenne et d'écart type des décalages temporels.

Lors du programme expérimental développé dans les précédents chapitres de notre thèse, nous avons généré les perturbations électromagnétiques au moyen d'un système de lignes couplées. En effet, un tel dispositif excité par une source de signaux harmoniques permet si la longueur d'onde reste grande devant la longueur des lignes de mettre en oeuvre des sources de tension et des sources de courant sur les ports de sortie et d'entrée du composant. Les premières sont produites par le couplage magnétique, les secondes par le couplage électrique.

Le quatrième chapitre qui vient conclure notre travail a d'abord été consacré à l'extension des essais au cas particulier où les circuits sont câblés sur une carte au moyen de circuits imprimés et sur laquelle différents types de couplage électromagnétique sont expérimentés. Nous avons mis en évidence que les circuits réagissaient différemment en produisant des décalages temporels d'amplitudes différentes suivant que les circuits logiques sont perturbés par le couplage électrique, le couplage magnétique ou par les deux couplages à la fois (couplage électromagnétique). Dans les deux derniers cas, il peut se produire aux forts niveaux des perturbateurs, une forte conduction des jonctions de protection contre les décharges électrostatiques qui figurent généralement sur les ports d'entrée-sortie des circuits logiques. Par ailleurs, la mise en oeuvre de ces différents types de couplage a permis de comparer dans chacun des cas, les effets subis par plusieurs variantes technologiques.

En immergeant la carte où sont implantés les composants dans le champ électromagnétique produit par une cellule TEM, nous avons pu mettre en évidence le rôle important que joue la géométrie des circuits imprimés dans la sensibilité intrinsèque des composants.

D'autre part, l'exploitation de l'outil informatique a également révélé le rôle de la fréquence du perturbateur, de la cadence des transitions d'états logiques et de quelques géométries de pistes de circuits imprimés. Grâce aux résultats obtenus au cours de nos travaux, nous avons proposé quelques recommandations permettant d'agir sur le seuil de sensibilité des cartes électroniques.

Chapitre I

**PERTURBATIONS
INDUITES SUR LES
CIRCUITS ELECTRONIQUES**

Chapitre I . PERTURBATIONS INDUITES SUR LES CIRCUITS ELECTRONIQUES

INTRODUCTION.....	5
I-1 GENERALITES SUR LA COMPATIBILITE ELECTROMAGNETIQUE.....	7
I-1-1 Les axes d'études de la compatibilité électromagnétique.....	7
I-1-2 Les principales sources de perturbations.....	8
I-1-3 Caractérisation des sources de perturbations, modes de couplage et description générale des sous-systèmes perturbés.....	10
I-2 APERÇU SUR QUELQUES EFFETS OBSERVES SUR LES CIRCUITS NUMERIQUES LORS D'UNE AGRESSION ELECTROMAGNETIQUE.....	14
I-2-1 Cas de circuits en régime dynamique.....	14
I-2-1-1 Les Travaux de Joseph G. TRONT [4].....	14
I-2-1-2 Les Travaux de A. M. BRIGININ et N. A. TITOVICH [5].....	17
I-2-2 Cas de circuits en régime statique.....	18
I-2-2-1 Les Travaux de C. E. LARSON et J. M. ROE [6].....	18
I-2-2-2 Les Travaux de J. J. WHALEN, J. G. TRONT, C. E. LARSON et J. M. ROE [7].....	21
I-3 POSITION DE NOTRE TRAVAIL PAR RAPPORT AUX TRAVAUX RECENTS ENTREPRIS SUR LA SENSIBILITE DE COMPOSANTS INTEGRES LORS DE LEUR TRANSIT LOGIQUE.....	24
I-3-1 Définition de la sensibilité des circuits électroniques.....	24
I-3-2 Description des principaux acquis de notre thèse.....	28
I-3-3 Les travaux de J. J. LAURIN, S. G. ZAKY et K. G. BALMAIN [12].....	36

INTRODUCTION

Dans ce chapitre introductif, nous avons rassemblé quelques sujets et résultats de travaux de recherche de la perturbation des circuits logiques qui nous ont contribué à l'ébauche de nos travaux dont le résumé y est également présenté.

La première partie est consacrée aux généralités sur la compatibilité électromagnétique. Nous y avons présenté les principales sources de perturbations, en particulier, les sources d'origine industrielle car une grande majorité des signaux parasites qui agressent les cartes électroniques se retrouvent dans cette catégorie de sources. Nous avons également présenté les modes de couplage des IEM aux équipements, et aussi la description générale des sous-systèmes qui sont le plus souvent les premières victimes à partir desquelles les anomalies évoluent vers l'ensemble du système.

Dans la seconde partie, nous avons fait une présentation en deux catégories de quelques unes de ces anomalies tirées de la littérature: la première catégorie concerne les effets observés en régime dynamique, et la seconde est relative au régime statique. Il s'agit en effet des deux régimes de fonctionnement des circuits électroniques. Notons que ces résultats extraits de la bibliographie concernent principalement une étude du comportement des circuits électroniques vis à vis d'un signal perturbateur. Or, les interrogations et préoccupations des concepteurs et utilisateurs de matériels électroniques ne cessent de croître quant aux conséquences de ces anomalies sur un système globale. C'est pour cette raison que nous sommes intéressés à cette étude de perturbations des circuits logiques, et plus particulièrement à la mise en évidence des erreurs d'informations qui peuvent survenir sur un système électronique à la suite de l'agression d'un circuit sensible.

La troisième partie est consacrée à la situation de nos travaux par rapport aux travaux récents entrepris sur la sensibilité de composants intégrés lors de leur transit logique. Pour cela, après avoir défini la sensibilité des circuits sous test vis à vis de leurs ports d'accès, nous avons fait un résumé de nos travaux et des résultats obtenus, puis, présenté une synthèse des résultats récents obtenus par des chercheurs de l'Université de Toronto qui se sont également intéressés

à ce sujet. Le résumé de nos travaux permet de faire une présentation condensée des démarches que nous avons suivies et des résultats obtenus de façon à faire une corrélation avec les travaux des chercheurs de l'Université de Toronto qui sont parvenus à des résultats semblables à ceux que nous avons obtenus lorsque nous appliquons de faibles niveaux d'IEM (chapitre II) à la sortie des composants sous test: c'est le cas des décalages temporels des transits logiques observés. Concernant nos travaux, nous nous sommes attachés à rechercher des anomalies que peuvent produire ces effets sur un système électronique: c'est le cas par exemple de l'apparition de données erronées lors des processus d'échantillonnage des signaux d'information. Nous nous sommes également intéressés aux effets à forts niveaux d'IEM: c'est le cas des fausses commutations lors des transitions d'états logiques que nous désignons par le terme "pseudo-commutations" qui provoquent par exemple sur un compteur binaire des erreurs d'incrément ou de comptage.

Ces résultats nous ont permis de mettre en oeuvre des protocoles de test qui nous permettent de rechercher l'influence d'autres paramètres sur la sensibilité des circuits logiques parmi lesquels nous pouvons citer la famille technologique du composant sous test.

I-1 GENERALITES SUR LA COMPATIBILITE ELECTROMAGNETIQUE.

I-1-1 Les axes d'études de la compatibilité électromagnétique.

Les effets de la pollution électromagnétique vis à vis des dispositifs électroniques se présentent différemment suivant la signature du signal perturbateur, la nature des éléments sensibles, leur seuil énergétique [1],[51] de destruction (Figure I-1), leur interconnexion au sein du dispositif et aussi les modes d'action du couplage électromagnétique des IEM au dispositif. Il est alors impossible de traiter la susceptibilité électromagnétique d'un système sans faire d'hypothèse sur certains facteurs, sans établir des modèles équivalents des parties du système susceptibles d'être agressées. La compatibilité électromagnétique va donc s'articuler autour de plusieurs axes [1], à savoir ;

- caractérisation de la source de perturbation et détermination des champs parasites qu'elle peut rayonner,
- étude de tous les modes de couplage entre le perturbateur et le système perturbé,
- simulation et tests devant aboutir ensuite à l'élaboration de techniques de protection.

Composants	Seuils énergétiques de destruction (mJ)
Diodes hyperfréquences	$10^{-4} - 10^{-3}$
Circuits intégrés CMOS	$10^{-3} - 10^{-2}$
Transistor faible puissance	$10^{-3} - 10^{-1}$
Diodes de commutation	$10^{-2} - 10^{-1}$
Diodes Zener	$10^{-1} - 10^{-2}$
Relais	1 - 100
Résistance au carbone (0,25 W)	10

— Valeurs approximatives des seuils énergétiques de destruction de composants lorsque ceux-ci sont soumis à des impulsions de largeur égale ou inférieure à 1 μ s. Des valeurs 10 à 100 fois inférieures sont suffisantes pour provoquer un mauvais fonctionnement temporaire.

Figure I-1 *

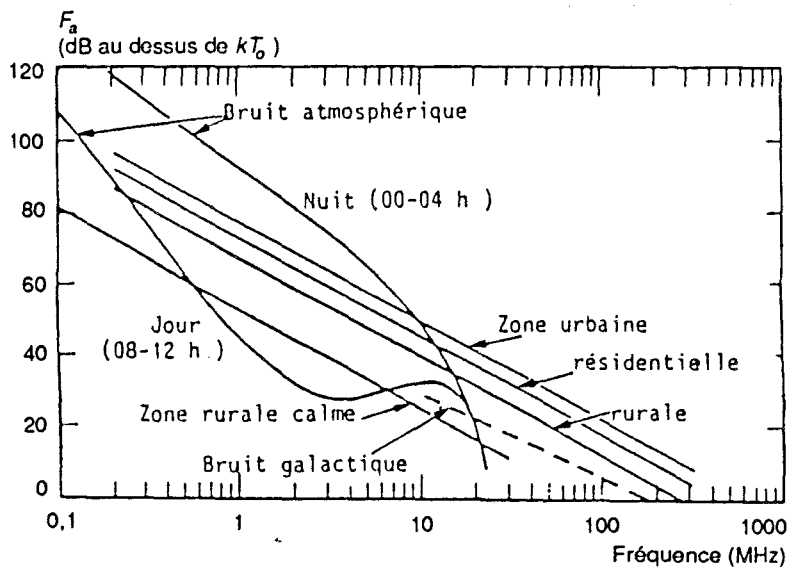
* extraite de la bibliographie [1]

I-1-2 Les principales sources de perturbations.

Elles sont généralement classées en deux catégories :

- le bruit naturel provenant par exemple d'orages lointains,
- le bruit dû aux activités humaines, encore appelé bruit industriel.

Nous sommes intéressés au cours de nos travaux à la deuxième catégorie, puisque c'est là qu'on distingue les pollutions électromagnétiques. Notons aussi que le bruit industriel prédomine généralement sur le bruit d'origine naturelle aux fréquences supérieures à quelques kilo hertz, en particulier en milieu urbain fortement industrialisé. Le jour, il devient la principale source de perturbation et ce, même pour des fréquences relativement basses comme l'illustre la figure I-2 qui donne la valeur moyenne du bruit ambiant F_a mesuré durant l'été dans les environs de Washington. F_a est reliée à la puissance P_n reçue par l'antenne, par l'expression $F_a = \log [P_n / (kT_0 B)]$ où k est la constante de Boltzmann, T_0 la température et B la bande passante du système de réception.



— Valeurs moyennes de l'amplitude du bruit ambiant mesurée près de Washington, DC, durant l'été.

Figure I-2 *

* extraite de la bibliographie [1]

Sur la figure I-3, sont présentées les principales sources d'émission ou de perturbations radioélectriques d'origine industrielle. La grande diversité de ces sources montre que la plupart des systèmes électriques et électroniques de notre environnement peut être à l'origine du dérangement d'un équipement électronique.

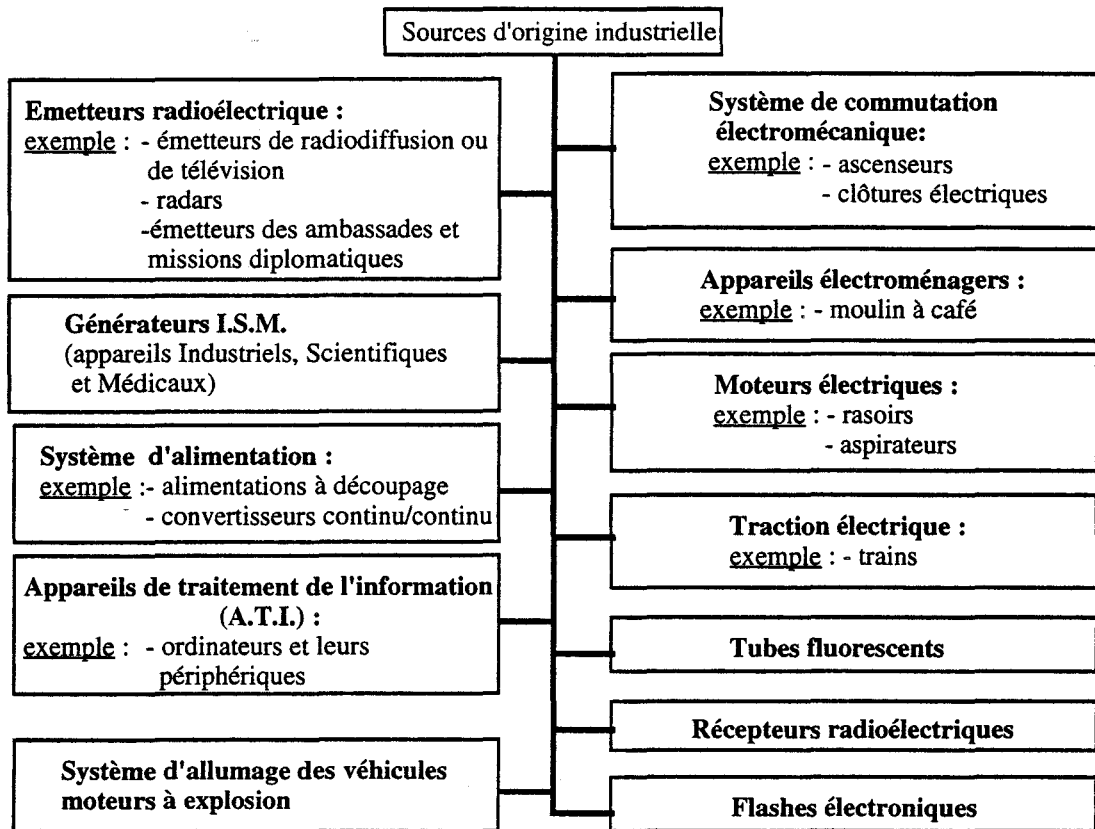


Figure I-3*

* source bibliographique --->[1]

I-1-3 Caractérisation des sources de perturbations, modes de couplage et description générale des sous-systèmes perturbés.

Pour connaître les risques auxquels un circuit électronique est exposé afin de définir les moyens de protection, la compatibilité électromagnétique (CEM) va le plus souvent faire recours à quatre critères [39] pour identifier et caractériser la source d'ITEM, à savoir ;

- l'occurrence dans le temps,
- l'amplitude crête,
- le niveau énergétique,
- l'étendue spectrale.

De part leur nature et leur bande de fréquence occupée, les signaux perturbateurs vont affecter différemment les signaux utiles du système sensible [66]. Ainsi, on les classe habituellement en fonction de leur réponse en fréquence ou de leur nature:

occupation spectrale : - signaux perturbateurs à bande étroite
- signaux perturbateurs à large bande ou à spectre quasi continu

nature : - impulsive
- sinusoïdale
- aléatoire
- ..etc.

Dans la pratique, les signaux perturbateurs peuvent parfois se présenter sous forme de mélange de signaux à bande étroite et de signaux à large bande ou de nature complexe (exemple : sinusoïdale amortie à caractère aléatoire). Compte tenu de la multiplicité des cas de figure qui peuvent se présenter, les méthodes de mesure vont être basées sur des textes des organisations compétentes en matière de normalisation . Celles-ci peuvent être classées en trois catégories [2] comme suit :

1- Les organisations internationales de portée générale :

exemple: CISPR (Comité International Spécial des Perturbations Radioélectriques)

2- Les organisations spécialisées, (para-)gouvernementales ou privées :

exemple [(para-)gouvernementales] : CCITT (Comité Consultatif International Télégraphique et Téléphonique)

exemple [privées (constructeurs ou utilisateurs)] : ECMA (European Computer Manufacturing Association)

3- Les organisations nationales :

exemple : IEEE (Institute of Electrical and Electronics Engineers)

Dès lors que la source de perturbation est caractérisée, on recherche le ou les modes de couplage des IEM aux éléments sensibles du système. Ces modes peuvent être repartis en trois catégories:

- **le couplage par influence** : il se manifeste lorsqu'une ligne véhiculant des courants intenses ou des tensions de grande amplitude suit un parcours parallèle à une ligne véhiculant des signaux de faibles amplitudes.

- **le couplage par conduction** : il fait intervenir un contact électrique entre la source de perturbation et les circuits sensibles.

- **le couplage par rayonnement** : il résulte de l'action d'une source ponctuelle très distante du système.

De façon analogue à l'éventuelle complexité du signal perturbateur, le couplage peut aussi être de nature complexe, c'est à dire, résulter d'un enchaînement de couplages. Une telle situation peut être illustrée par la figure I-4 où l'action de la source de rayonnement sur une

ligne secteur crée des courants que celle-ci véhicule. Ces courants peuvent se coupler par influence sur d'autres lignes et être aussi transmis directement par conduction sur un équipement.

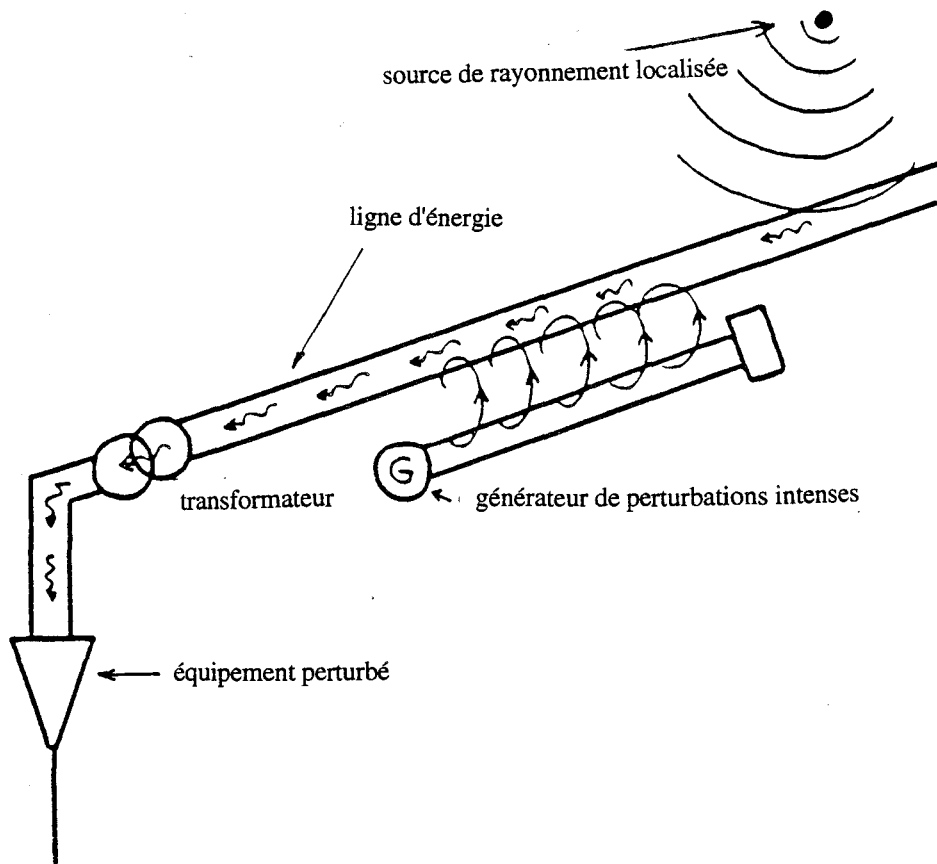


Figure I-4: * Enchaînement de couplage.

Vu la complexité que peuvent revêtir les mécanismes de couplage des IEM aux équipements qui, eux mêmes peuvent avoir des configurations et implantations mal définies, la CEM va faire fréquemment usage de modèles élémentaires représentatifs des parties sensibles du système et reconstituer de proche en proche le comportement de celui-ci. Ces modèles peuvent se présenter sous forme de schémas équivalents auxquels seront appliqués des calculs

* extraite de la bibliographie [3]

analytiques ou directement sous forme d'algorithme de calcul basés sur la description fonctionnelle des éléments du système.

L'analyse des résultats (théoriques et expérimentaux) issus de ces modèles vont aider à l'établissement de protocoles et procédures de test, lesquels devraient permettre la prédiction d'anomalies de fonctionnement. Ainsi, les travaux que nous avons entrepris notamment sur le comportement en régime dynamique des circuits logiques soumis aux IEM ont eu pour phase préliminaire la mise en oeuvre de modèles et protocoles de test pouvant mieux rendre compte des anomalies qui surviennent lors des transits logiques de ces circuits.

En nous inspirant des résultats extraits de la littérature dont quelques exemples sont publiés au paragraphe suivant et en faisant une analyse théorique approfondie du comportement des circuits, nous pouvons établir que le modèle général du sous-système perturbé peut se ramener à l'interconnexion de trois principaux éléments (Figure I-5), à savoir ;

- un premier circuit qui se comporte comme l'émetteur des signaux utiles,
- un second circuit qui joue le rôle de récepteur de ces signaux, ceux-ci étant en général transmis par la suite à d'autres circuits,
- une structure d'interconnexion qui relie les deux circuits et qui est généralement une structure filaire.

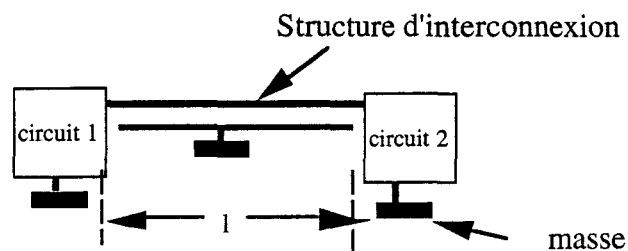


Figure I-5: Description générale des sous-systèmes sensibles.

Compte tenu des faibles dimensions des circuits électroniques (circuits intégrés, diodes, transistors,...etc.), l'élément susceptible d'être couplé au rayonnement électromagnétique incident à l'équipement va être la structure d'interconnexion chargée à ses extrémités par l'impédance de sortie du premier circuit et d'entrée du second circuit.

I-2 **A**PERÇU SUR QUELQUES EFFETS OBSERVÉS SUR LES CIRCUITS NUMÉRIQUES LORS D'UNE AGRESSION ÉLECTROMAGNÉTIQUE

I-2-1 Cas de circuits en régime dynamique.

I-2-1-1 Les Travaux de Joseph G. TRONT [4]

(effets des IEM sur les circuits numériques de technologie CMOS)

Dans un article [4] publié en 1985, J. G. TRONT a montré grâce aux résultats d'une simulation numérique avec le programme d'analyse SPICE2 que les circuits numériques pouvaient présenter des anomalies de fonctionnement lorsqu'on les soumet à des signaux HF de 100 à 200 MHz. En effet, il a considéré le schéma de test de la figure I-6 qui représente l'interconnexion de l'étage de sortie d'un circuit MOS (driver) à l'entrée d'un autre MOS (buffer) par une piste de circuit imprimé de 1 à 10 cm.

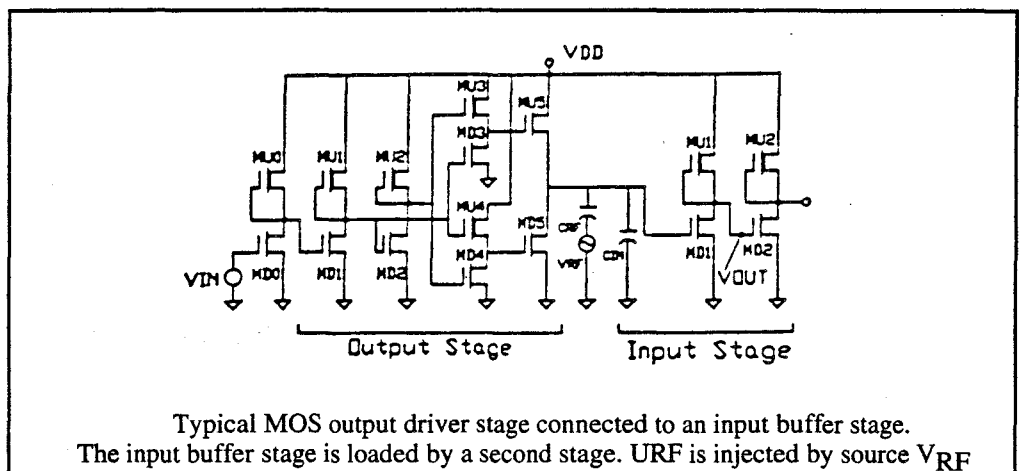


Figure I-6: * Schéma de simulation de J. G. TRONT

* extraite de la bibliographie [4]

En simulant un couplage capacitif des IEM à la ligne de liaison par la source de tension V_{RF} , il a montré en visualisant le signal de sortie V_{OUT} que, d'une part des transitions multiples pouvaient apparaître lors d'un changement d'états logiques (Figure I-7) et d'autre part, les durée de propagation TDR des transitions de montée et TDF des transitions de descente (Figure I-8) pouvaient subir des variations fonction de l'amplitude, de la fréquence et de la phase du signal perturbateur.

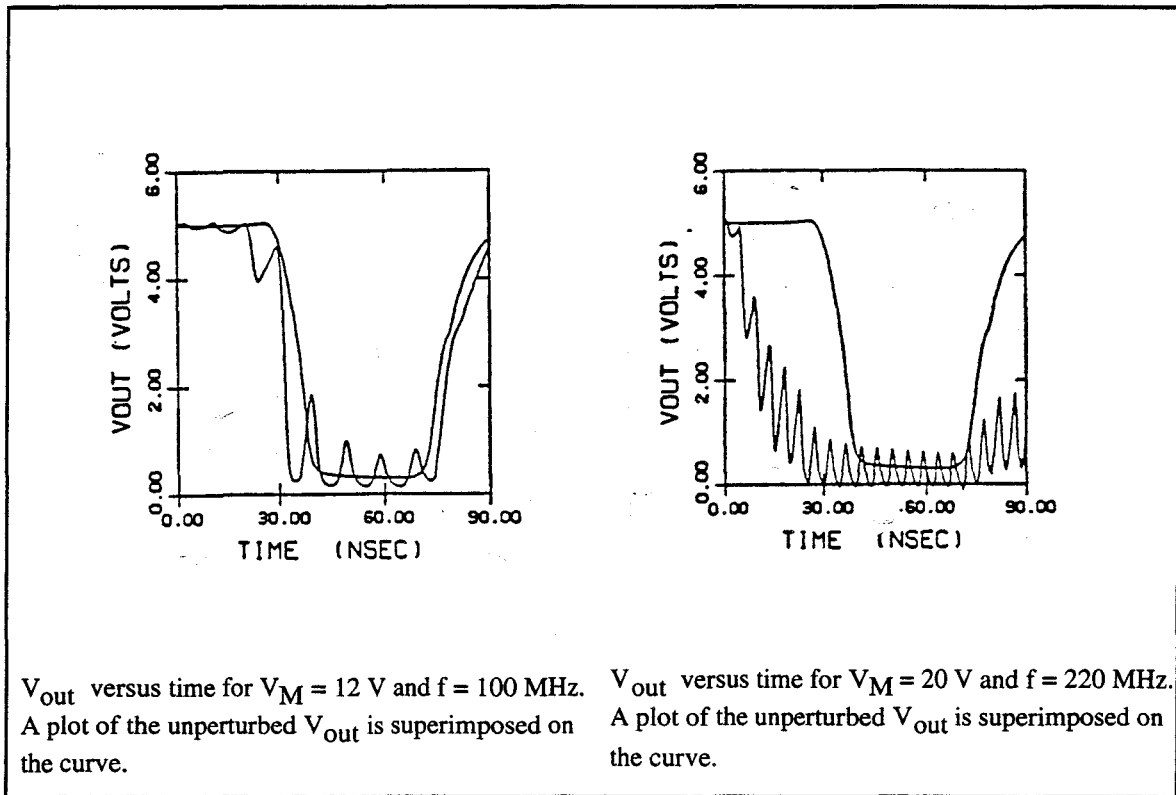


Figure I-7: * Résultats théoriques (Apparition de transitions multiples)

* extraite de la bibliographie [4]

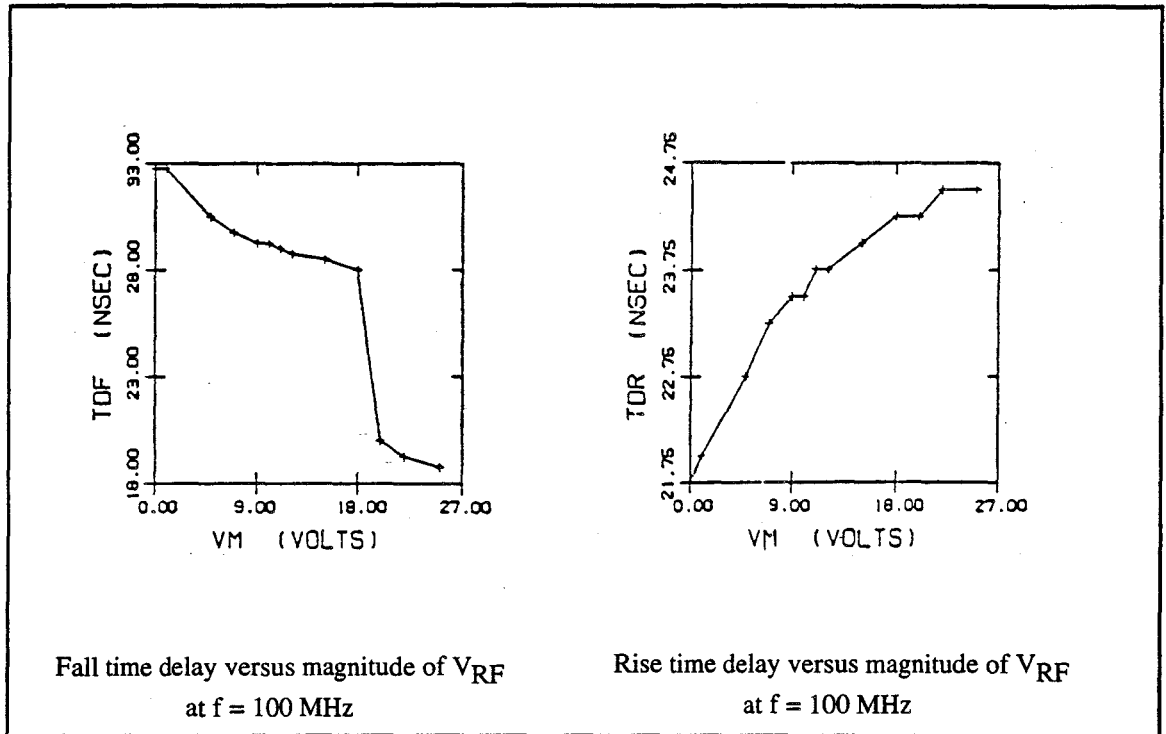


Figure I-8: * Résultats théoriques (variation de TDR et TDF)

Il a ensuite entrepris une vérification expérimentale de ces observations théoriques sur un circuit équivalent et a mis en évidence grâce à un oscilloscope analogique qu'à 100 MHz, la largeur de l'impulsion reçue en sortie du buffer diminue. Elle peut se réduire à zéro pour des fréquences plus élevées.

Bien que des informations quantitatives, telles que le niveau d'ITEM nécessaire pour produire ces défauts, n'ont pu être tirées de cette expérimentation, les résultats obtenus sont très intéressants car ils indiquent quelques types d'effets qui résultent de l'injection des signaux radiofréquences sur les circuits intégrés numériques.

* extraite de la bibliographie [4]

I-2-1-2 Les Travaux de A. M. BRIGININ et N. A. TITOVICH [5]
(effets des IEM sur les circuits numériques de technologie TTL)

De façon analogue aux travaux précédents, ces chercheurs ont étudié et publié en 1990 un article [5] sur les effets des IEM sur des circuits numériques à des fréquences élevées (95, 200 MHz). Les résultats des nombreux essais pratiqués sur des circuits de type TTL NAND (Figure I-9) par injection des IEM à leur entrée et l'observation du comportement de leur sortie, ont montré que les signaux perturbateurs peuvent non seulement changer les états statiques (états logiques haut et bas) en sortie du composant sous test mais aussi les paramètres dynamiques tels que les temps de propagation et de commutation.

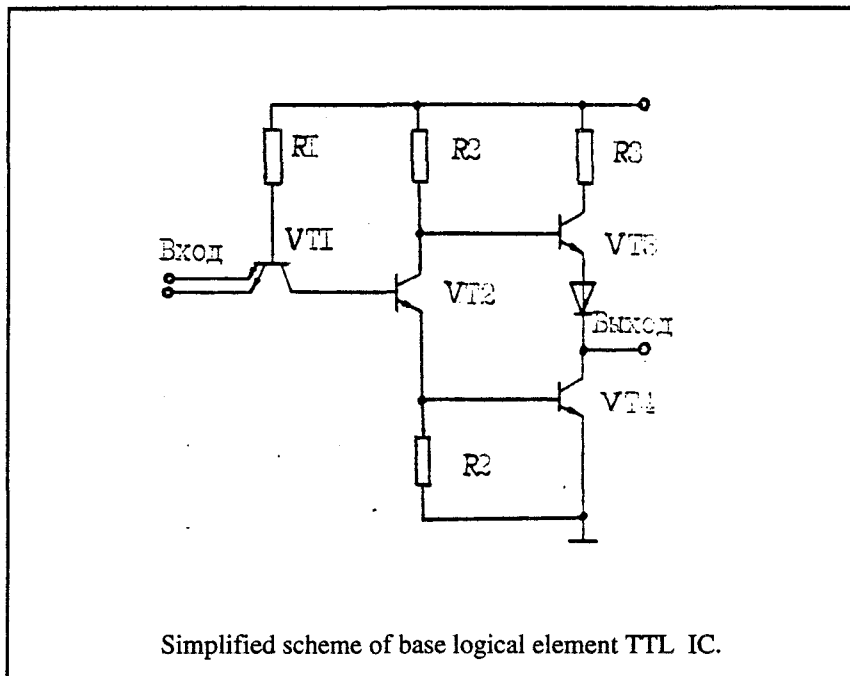


Figure I-9: * Schéma de test

La figure I-10 illustre les perturbations du circuit en fonctionnement dynamique par la modification de sa fonction de transfert, P est la puissance d'IEM injectée à son entrée. Ces

* extraite de la bibliographie [5]

résultats sont aussi très intéressants puisque, d'une part, ils confirment les effets présentés précédemment et d'autre part, élargissent leur mise en évidence sur la technologie TTL.

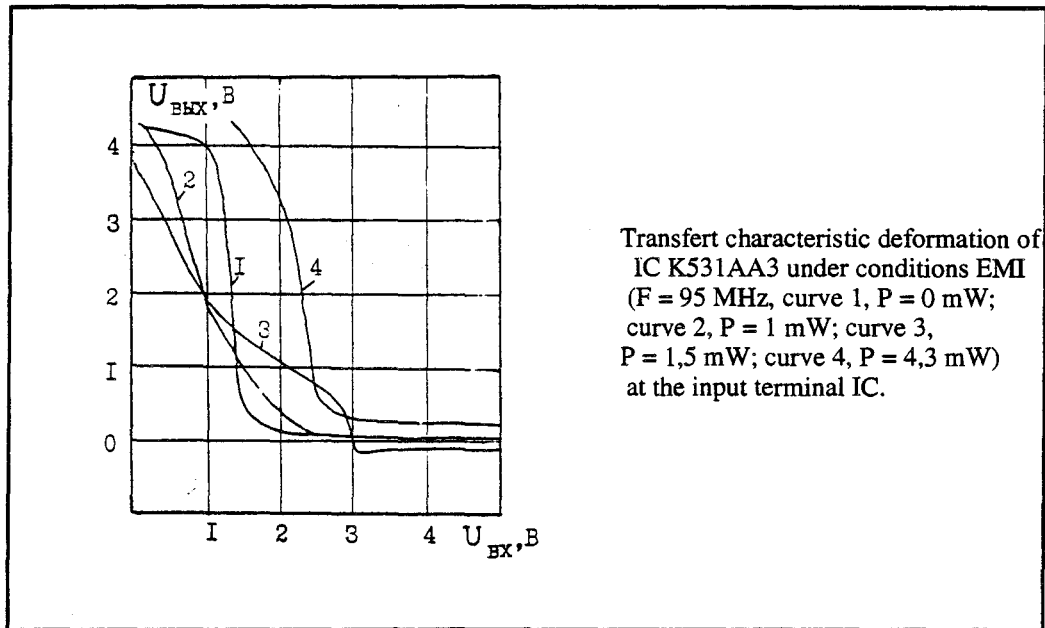


Figure I-10: * Résultats expérimentaux (modification de la fonction de transfert)

I-2-2 Cas de circuits en régime statique.

I-2-2-1 Les Travaux de C. E. LARSON et J. M. ROE [6]

Dans un article publié en 1979 [6] sur les effets de non linéarité des dispositifs semi-conducteurs soumis aux signaux radiofréquences (RF), ces chercheurs ont montré en appliquant un signal RF de 220 MHz sur l'anode d'une diode (Figure I-11) et en mesurant sa caractéristique courant-tension (I_D - V_D) que des phénomènes de redressement dus à l'apparition de courant moyen de polarisation pouvaient apparaître au sein d'une jonction p-n, modifiant ainsi sa propre caractéristique I_D - V_D comme l'illustre les résultats présentés sur la figure I-12.

* extraite de la bibliographie [5]

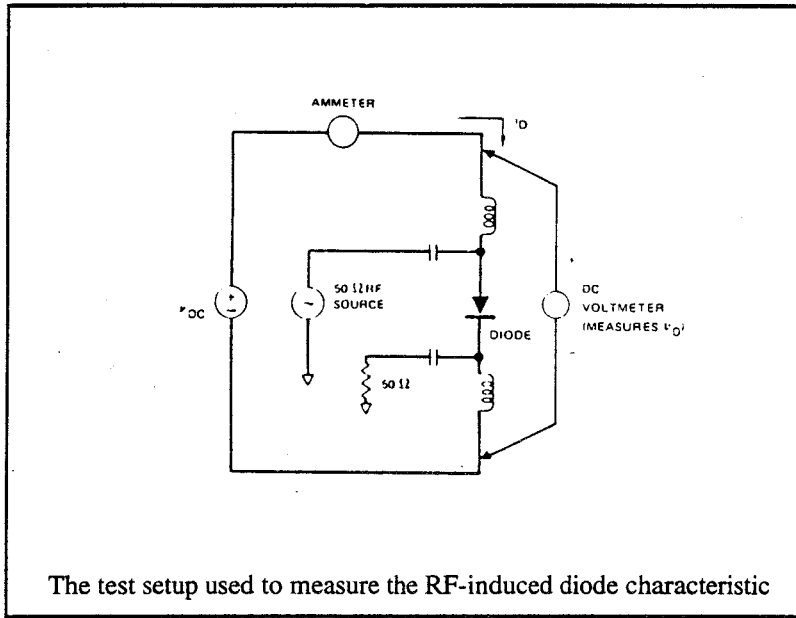


Figure I-11: * Banc de test

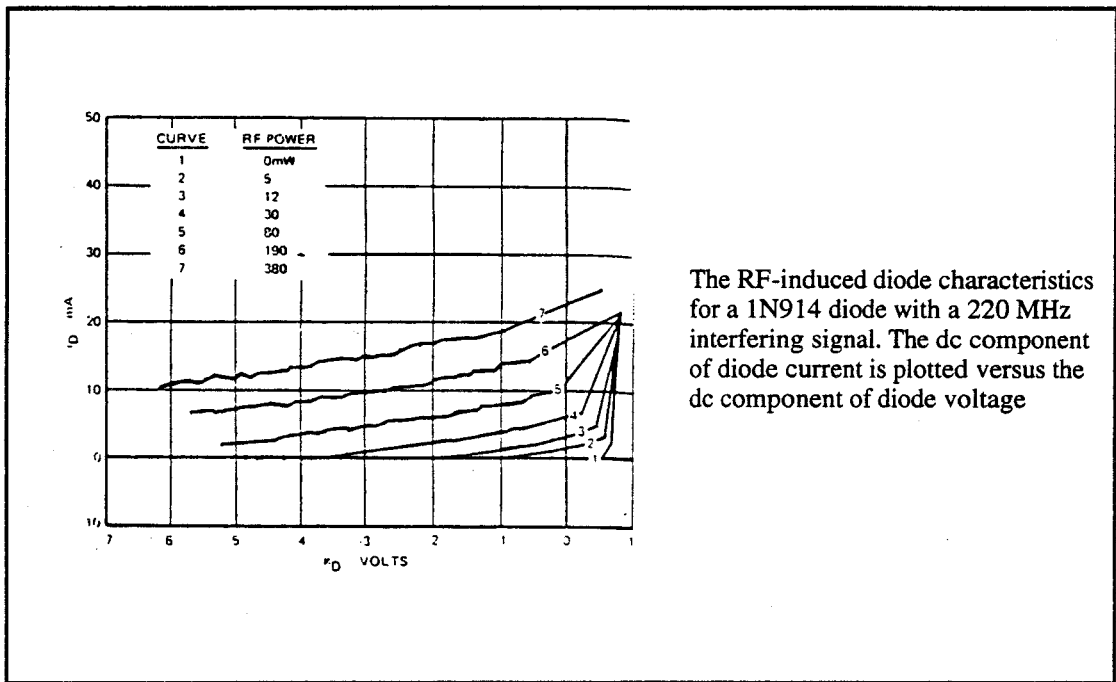
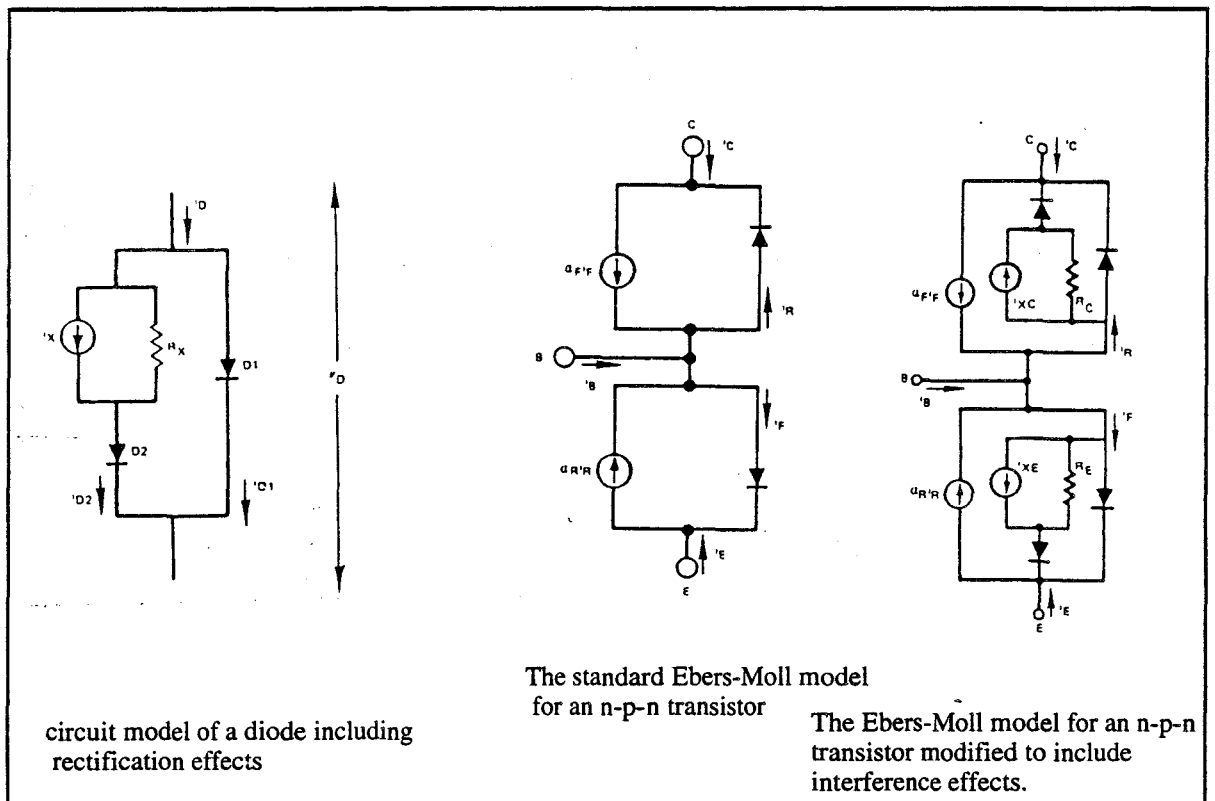


Figure I-12: * Résultats expérimentaux (modification de la caractéristique I_D - V_D)

* extraite de la bibliographie [6]

La modélisation de ce comportement de la jonction vis à vis des signaux RF (Figure I-13-a) leur a permis de compléter le modèle standard de EBERS-MOLL (Figure I-13-b) pour pouvoir interpréter et modéliser les défauts observés (Figure I-14) sur un transistor bipolaire lorsque le collecteur de celui-ci est soumis au signal RF de fréquence 220 MHz.



(a) modèle d'une diode

(b) modèle d'un transistor

Figure I-13: * Modèles des jonctions p-n tenant compte des effets de redressement

* extraite de la bibliographie [6]

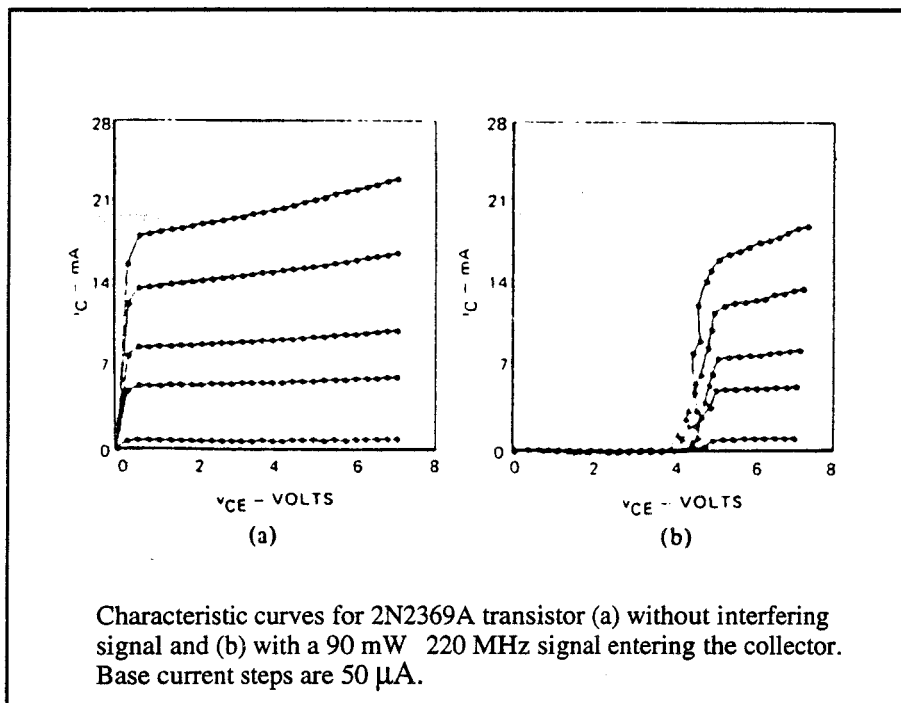


Figure I-14: * Résultats expérimentaux (modification de caractéristiques courant-tension)

Nous pouvons déduire de ces résultats que lorsqu'on soumet les circuits logiques aux signaux radiofréquences de fréquences élevées, les jonctions p-n de protection contre les décharges électrostatiques qui figurent généralement sur les ports d'entrée et de sortie de ces circuits peuvent subir des modifications de leurs caractéristiques en faisant apparaître des nouveaux points de polarisation. Il est donc évident que cet effet jouera un rôle important dans leur comportement en régime dynamique.

* extraite de la bibliographie [6]

I-2-2-2 Les Travaux de J. J. WHALEN, J. G. TRONT, C. E. LARSON et J. M. ROE [7]

En utilisant le modèle modifié d'EBERS-MOLL précédent pour reconstituer une fonction NAND de type TTL (Figure I-15), ces chercheurs ont montré en 1979 grâce aux résultats de simulation numérique par SPICE du schéma de test présenté sur la figure I-16, que soumis à un signal RF de fréquence 220 MHz, les seuils de tolérance des états statiques de plusieurs variantes de la technologie TTL pouvaient être dépassés (Figure I-17), provoquant ainsi des faux états logiques.

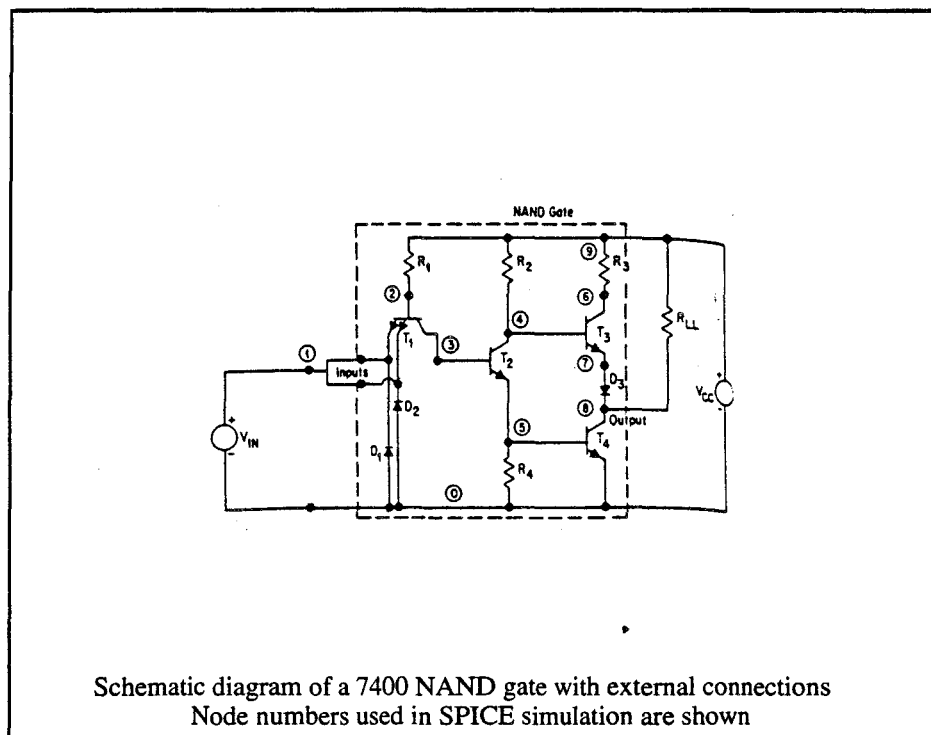
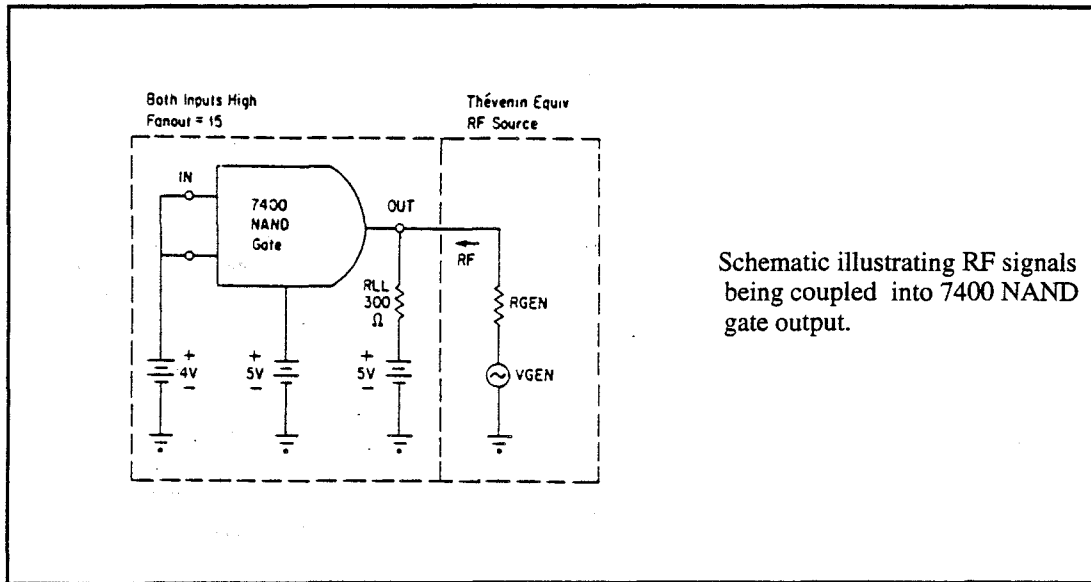


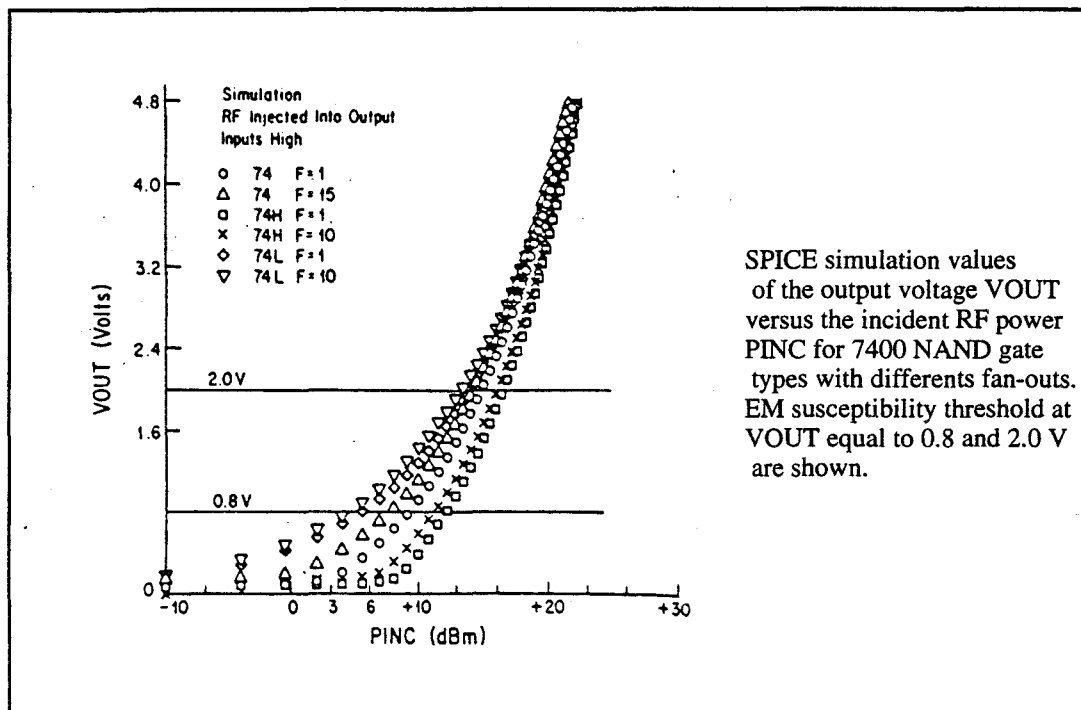
Figure I-15: * Fonction NAND reconstituée pour la simulation numérique

* extraite de la bibliographie [7]



Schematic illustrating RF signals being coupled into 7400 NAND gate output.

Figure I-16: * Schéma d'analyse numérique



SPICE simulation values of the output voltage VOUT versus the incident RF power PINC for 7400 NAND gate types with different fan-outs. EM susceptibility threshold at VOUT equal to 0.8 and 2.0 V are shown.

Figure I-17: * Résultats théoriques (dépassement des tensions de seuil)

* extraite de la bibliographie [7]

Ils ont déduit de ces résultats que la sortance (fan out en anglais) désignée par "f" sur la figure précédente influence que dans de très faibles proportions (moins de 2 dB) le niveau d'IEM requis pour provoquer les dépassements de seuils. Par ailleurs, par rapport à ce type de couplage qui s'apparente à une injection de tension à la sortie du circuit, la variante faible puissance 74L00 s'avère la plus sensible et la variante rapide 74H00, la moins sensible. En réalisant un circuit le plus semblable possible du circuit d'analyse numérique, ils ont vérifié que les observations expérimentales sont très peu différentes de celles issues de la simulation.

Au vue de ces résultats, nous pouvons dire que les IEM de fréquences très élevées se manifestant par une injection de tension sont aussi des agresseurs potentiels pouvant entraîner la perturbation du fonctionnement normal des circuits logiques intégrés.

I-3 POSITION DE NOTRE TRAVAIL PAR RAPPORT AUX TRAVAUX RECENTS ENTREPRIS SUR LA SENSIBILITE DE COMPOSANTS INTEGRES LORS DE LEUR TRANSIT LOGIQUE

I-3-1 Définition de la sensibilité des circuits électroniques.

Nous pouvons déduire des résultats présentés dans le paragraphe précédent, que la réponse des circuits aux signaux perturbateurs injectés à leur entrée est en définitive une conséquence d'un mécanisme qui se manifeste soit par un dépassement de seuil en entrée, soit par une modification des points de polarisation. Il est de ce fait évident qu'un perturbateur qui agresse leur alimentation peut engendrer des effets analogues.

C. LARDE [8] a en effet traité le cas de la perturbation de l'alimentation et a justifié de part la très faible valeur de l'impédance de sortie en régime dynamique des sources d'alimentation, que les tests en injection de courant n'étaient pas envisageables puisque tout courant injecté s'écoulerait plutôt en sortie de la source d'alimentation que dans la broche d'alimentation du circuit intégré. Il a par ailleurs montré expérimentalement par injection de tension sur des circuits de technologies TTL et CMOS, que les impulsions provoquant des chutes de tension d'alimentation peuvent engendrer des faux états logiques, tandis que celles se

manifestant par des hausses de tension d'alimentation, à défaut d'engendrer des perturbations en sortie du second circuit, risquent de conduire à la destruction des circuits. Nous nous sommes donc limités à traiter le cas des ports d'entrée-sortie suivant le modèle de la figure I-18 où le NAND 1 représente le circuit sous test et le NAND 2 joue le rôle d'interface conformément au modèle général de test (Figure I-5, page 13). Les sources de tension ϵ_p et de courant J_p matérialisent l'action du couplage des IEM à la ligne de liaison des composants.

Des multiples essais [8], [9], [10] pratiqués sur les circuits électroniques, il est apparu que l'on ne peut définir de façon globale la sensibilité de l'entrée ou de la sortie d'un composant sans tenir compte respectivement du comportement du circuit amont (NAND 1) ou du circuit aval (NAND 2) vis à vis de la nature de l'agresseur.

En effet, lorsque celui-ci s'apparente à une source de courant, le comportement du circuit amont est très déterminant puisque la sortie des circuits est généralement de basse impédance par rapport à celle de l'entrée des circuits qui les suivent, ainsi le courant J_p induit s'écoule plutôt à travers ce port que par l'entrée du circuit aval. Toutefois, ce sont les seuils de commutation en entrée de ce dernier qui gèrent les faux états logiques susceptibles d'apparaître à sa sortie.

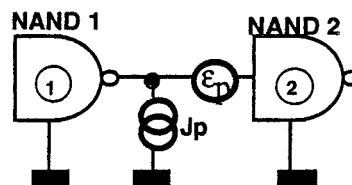


Figure I-18: Modèle de définition de la sensibilité vis à vis des ports d'entrée-sortie.

Lorsque le perturbateur s'apparente à une source de tension, une relation directe peut être établie entre la source de tension induite et les niveaux de tolérance en entrée du NAND 2 (niveau minimum état haut et niveau maximum état bas).

La situation devient complexe lorsque source de tension et de courant agissent simultanément. Il est évident que dans ce cas, les anomalies engendrées en sortie du NAND 2 seront dues à une combinaison des comportements des deux circuits vis à vis de l'agresseur. Par ailleurs, des conditions particulières liées aux polarités des sources induites par les IEM peuvent entraîner des phénomènes autres que les dépassements de niveaux de tolérance en entrée du circuit aval qui provoquent son basculement: il s'agit de phénomènes de conduction (cf.. chapitre IV) de jonctions que l'on distingue généralement sur les ports d'entrée et de sortie de ces circuits.

Toutefois, nous pouvons définir la sensibilité des circuits en admettant que ces phénomènes de conduction de jonction ne viennent modifier l'état de polarisation du second circuit : deux approches seront utilisées, celle considérant uniquement le fonctionnement statique et celle considérant le fonctionnement dynamique c'est à dire les perturbations apparaissant durant le transit logique.

Première approche : Régime statique (le signal en entrée du circuit sous test est un signal continu, état logique bas ou haut)

Nous définissons la sensibilité du composant sous test comme étant les paramètres des sources perturbatrices ϵ_p et J_p induites qui entraînent de façon fugitive ou permanente des basculements en sortie du second circuit.

Deuxième approche : Régime dynamique (le signal en entrée du circuit sous test est un signal commutant suivant les gabarits de la famille considérée)

Nous définissons la sensibilité du composant sous test comme étant les paramètres des sources perturbatrices ϵ_p et J_p induites qui entraînent le basculement anticipé ou retardé de la sortie du NAND 2 par rapport au transit logique non perturbé.

Les essais réalisés par C. LARDE [8] sur la sensibilité des états statique de circuits TTL et CMOS en utilisant un protocole de test équivalent au précédent, ont montré que les faux basculements en sortie du second circuit sont étroitement liés au couple polarité du perturbateur impulsionnel , nature de l'état logique présent en sortie du circuit sous test .

Ces travaux poursuivis par B. HEDDEBAUT [10] ont permis à celui-ci d'établir une classification de différentes variantes technologiques (Figure I-19) en fonction de leur sensibilité en régime statique aux impulsions de courant.

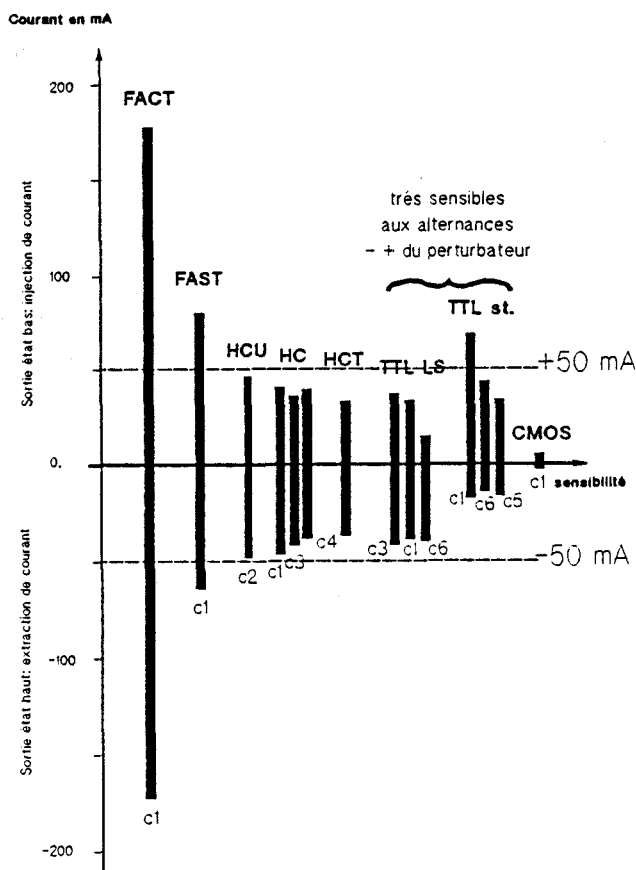


Figure I-19: * Classification des variantes technologiques en fonction de leur sensibilité en régime statique aux injections de courant impulsionnel

* extrait de la bibliographie [10]

Quant au régime dynamique, M. KLINGLER [9] a montré en utilisant un critère de sensibilité semblable à celui précédemment défini pour le régime statique, que les circuits de la technologie TTL sont plus sensibles aux perturbateurs sinusoïdaux que ceux de la technologie CMOS dans la bande de fréquences allant de 1 MHz à 200 MHz.

Les nombreux résultats issus des travaux d'études de la sensibilité des circuits numériques, dont quelques uns sont rappelés ici, montrent que les tests ne peuvent être pratiqués que cas par cas en fixant bon nombre de paramètres tels que la famille technologique du circuit 2 lorsque l'on étudie la susceptibilité du circuit 1. Compte tenu du fait que source de courant et source de tension ne produisent pas forcément les mêmes effets, le type de couplage des IEM devient également un paramètre à fixer si l'on désire comprendre les effets qui résultent de l'action combinée de ces sources.

I-3-2 Description des principaux acquis de notre thèse.

Le travail rassemblé dans notre thèse s'est surtout axé sur l'étude des perturbations produites durant le transit logique. En effet, les premières expériences que nous avons entreprises [16], [17] ont montré que des sources de courant ou de tension rapportées aux ports d'accès des circuits suivant le protocole de la figure I-18 introduisent des avances ou des retards dans le transit logique. Ces phénomènes étaient perceptibles à de faibles niveaux d'injection bien avant qu'apparaissent des effets perturbateurs sur les états statiques des signaux logiques.

Ces décalages du transit logique peuvent avoir une importance stratégique lorsqu'on contrôle par exemple des systèmes synchrones. Ceci étant d'autant plus vrai que la durée des états statiques est faible, c'est à dire que la densité d'informations traitées par les circuits est importante. Nous nous sommes donc attachés à étudier ces phénomènes de façon approfondie dans les chapitres qui suivent. Toutefois, avant d'aborder cette phase phénoménologique de notre travail, nous avons préféré résumer nos travaux sur le synoptique de la figure I-20 et rassembler dans ce paragraphe les principaux acquis de cette thèse.

Pour mettre en oeuvre les sources de courant et de tension, nous avons utilisé un système à lignes couplées où une ligne émettrice perturbe la liaison d'entrée-sortie de composants logiques. Le perturbateur est un signal sinusoïdal de fréquence 1,5 MHz. Ce choix

a été guidé par le fait que la période étant bien plus grande que la durée du transit, nous pouvons interpréter beaucoup plus facilement les phénomènes engendrés par ce type de perturbateur, de plus la longueur d'onde du signal étant bien plus grande que la dimension de la ligne émettrice, nous pouvons en imposant à sa sortie un court-circuit ou un circuit-ouvert, reproduire entre les deux circuits logiques soit une source de tension ou une source de courant.

Deux types de phénomènes ont été observés. Aux faibles amplitudes, nous observons les avances ou les retards signalés plus haut, alors qu'aux amplitudes plus élevées, se produisent de distorsions du front de transit logique dont l'effet peut être nuisible lorsque ce front attaque par exemple un dispositif compteur.

Nous pouvons remarquer sur les chronogrammes présentés sur la figure I-21 que seules les transitions d'états logiques des signaux traités sont perturbées. Il est à noter que pour des amplitudes très élevées on enregistre la perturbation des états statiques (Figure I-22). Cet aspect fait l'objet de la thèse de C. MARECHAL [11].

D'autre part, les expériences montrent que les composants réagissaient différemment suivant leur origine technologique et que les effets de décalage temporel observés sont liés à la fréquence du perturbateur comme l'illustrent les relevés expérimentaux de retard en fonction du courant perturbateur présentés sur la figure I-23. Par ailleurs, une modélisation tridimensionnelle du décalage temporel en fonction de l'amplitude de perturbateur et de son déphasage par rapport aux transits logiques (Figure I-24) a permis de montrer que c'est ce déphasage qui est à l'origine de la nature du décalage. En effet, un décalage positif est un retard, et un décalage négatif est une avance du transit logique.

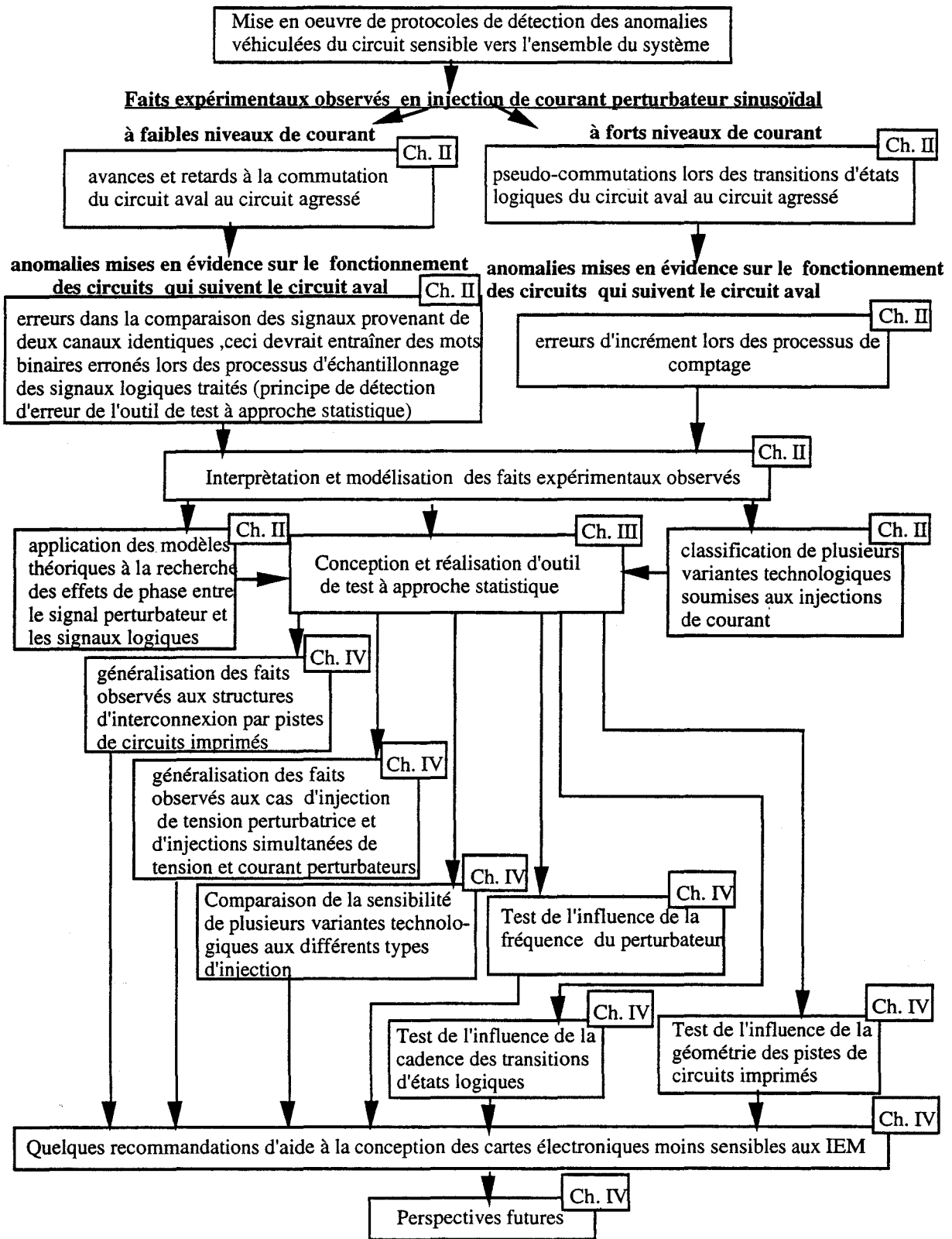
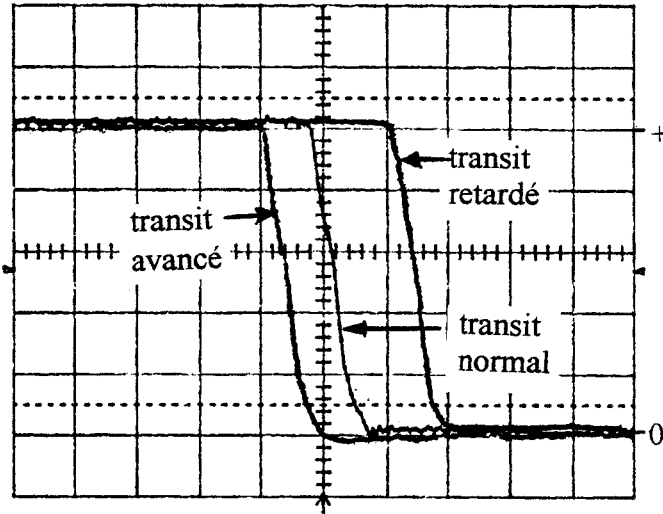
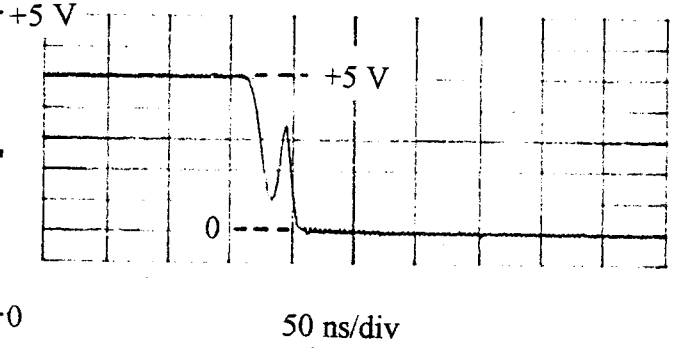


Figure I-20: Synthèse de nos travaux



(a) décalages temporels des transitions d'états logiques (faibles amplitudes du perturbateur)



(b) pseudo-commutation (amplitudes élevées du perturbateur)

Figure I-21 :

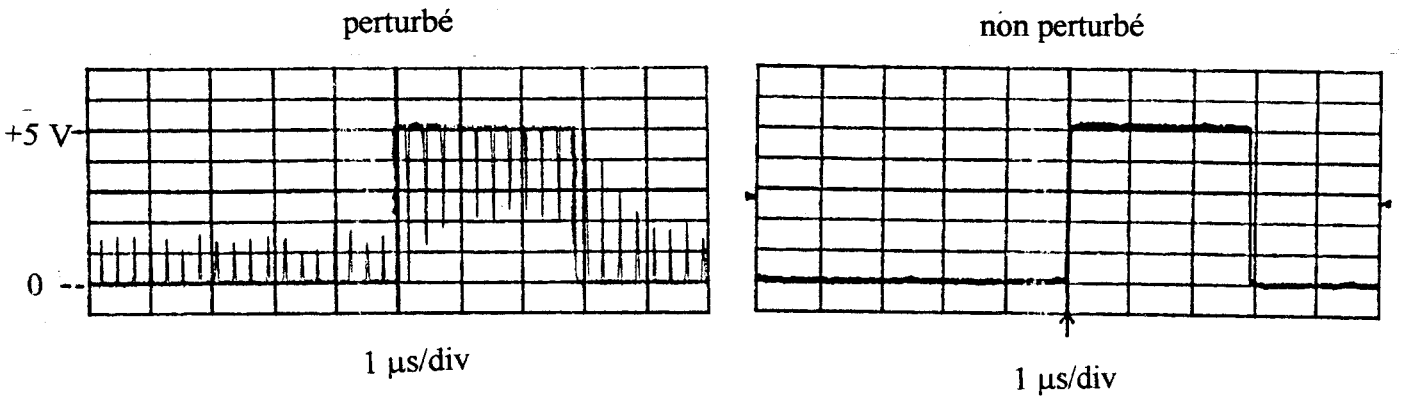


Figure I-22: Perturbation des états statiques (amplitudes très élevées du perturbateur)

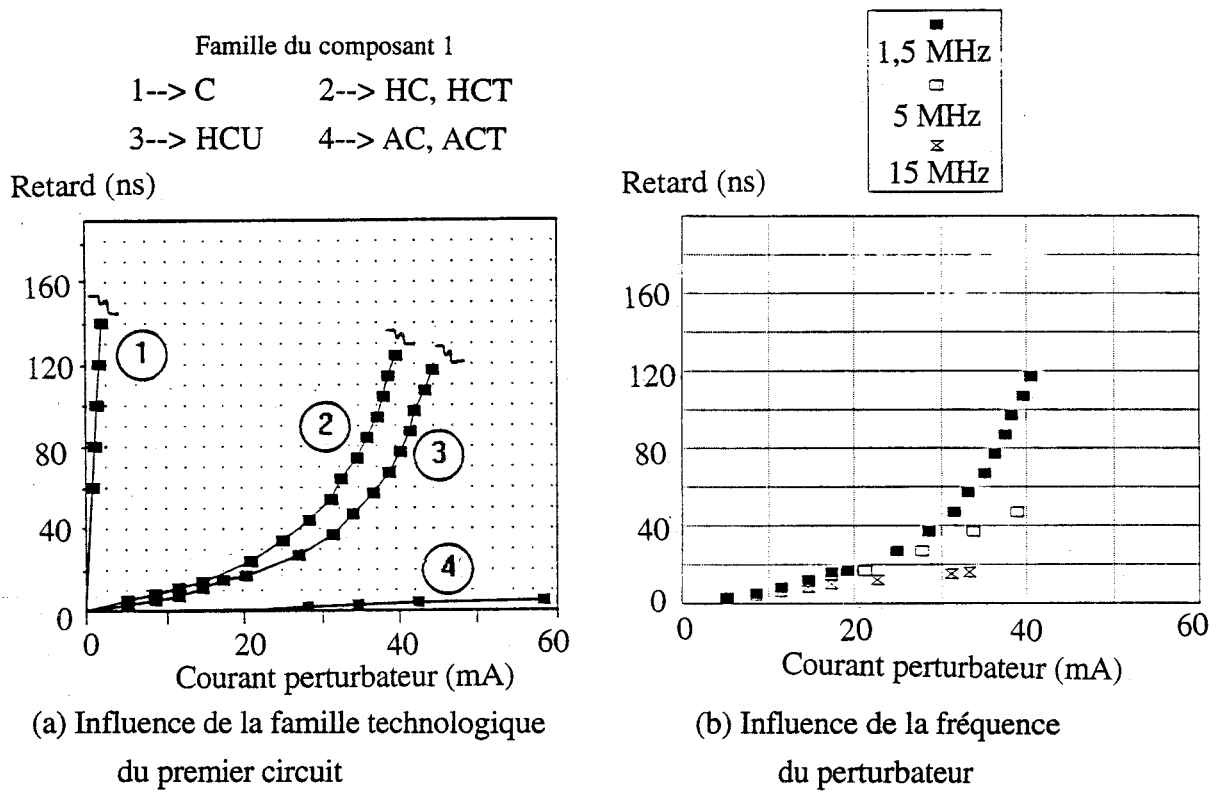


Figure I-23:

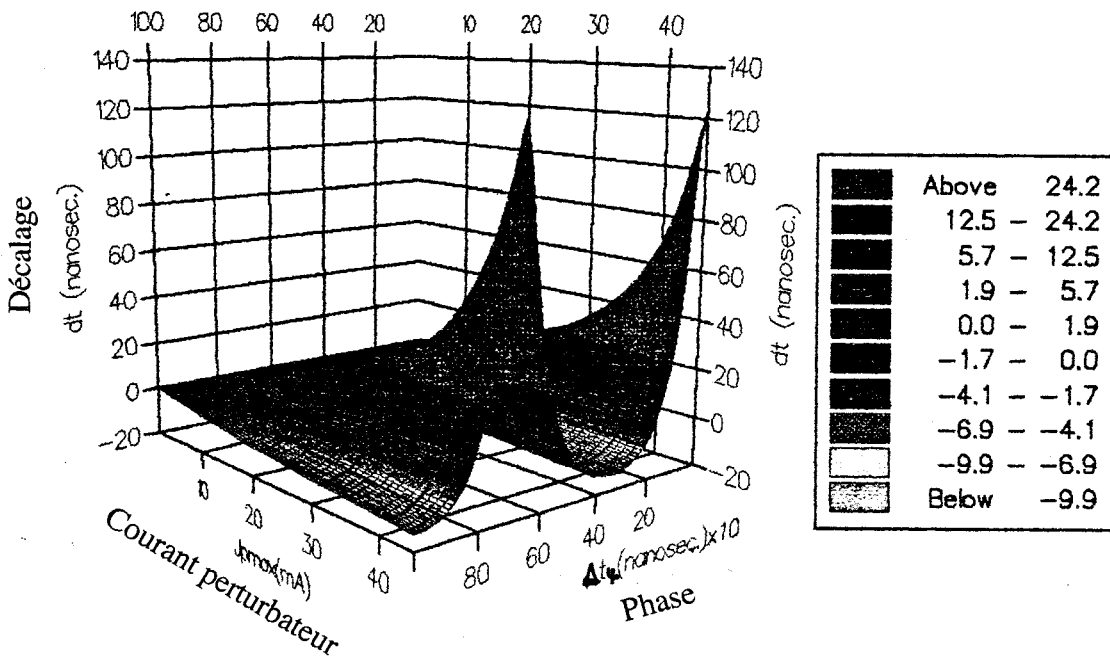


Figure I-24: Influence de la phase entre perturbateur et perturbé sur les décalages temporels produits

Pour ces raisons, nous avons entrepris de classer la sensibilité des circuits logiques suivant leur origine technologique. Pour ce faire, nous avons développé un outil informatique qui traite la perturbation d'un grand nombre de transits logiques qui pouvaient subir inégalement les effets du perturbateur. Cet outil permet de gérer la mesure des décalages temporels que nous exprimons en terme de valeur moyenne et écart type. Un traitement statistique de ces résultats était donc le moyen le plus efficace d'atteindre des données objectives sur la sensibilité des composants.

Les expériences ont aussi montré que les circuits réagissent différemment à des sources de courant ou de tension. Notre dispositif perturbateur permet de produire une source de tension par un couplage magnétique entre lignes, et une source de courant par un couplage électrique. On pouvait également combiner l'action des sources en appliquant un couplage électromagnétique où la ligne émettrice est connectée à son impédance caractéristique. Sur la figure I-25 sont présentés, pour plusieurs variantes technologiques, les phénomènes observés lors du transit logique lorsqu'on applique ces trois modes de couplage.

Le traitement statistique a été également appliqué aux cas où les circuits sont reliés par une piste de circuit imprimé illuminée par un champ électromagnétique produit à l'intérieur d'une cellule TEM. A titre d'exemple, les courbes de la figure I-26 correspondant aux mesures des décalages temporels en fonction de la puissance appliquée à la cellule, illustrent l'influence de la largeur de la piste de circuit imprimé. On remarque que la valeur moyenne des écarts enregistrés est très faible alors que l'écart type est beaucoup plus important: ce dernier paraît être la donnée qui caractérise le mieux la sensibilité de l'élément sous test.

Pour conclure cette partie introductive, nous donnons quelques informations sur les travaux entrepris par des chercheurs de l'Université de Toronto qui ont également mis en évidence les effets produits lors des transits logiques.

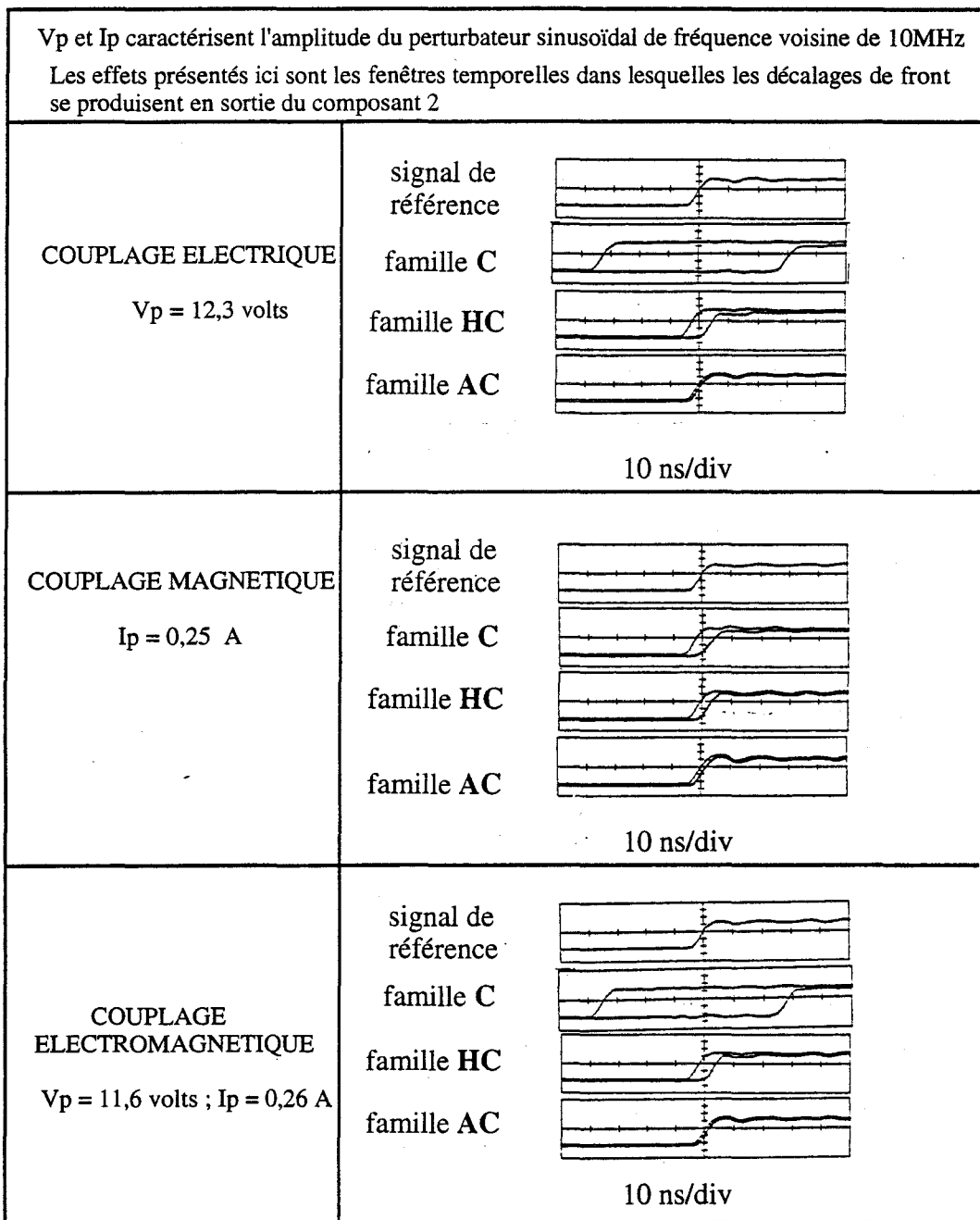


Figure I-25: Généralisation des faits expérimentaux observés à d'autres types de couplage.
 Comparaison des effets produits sur différentes variantes technologiques

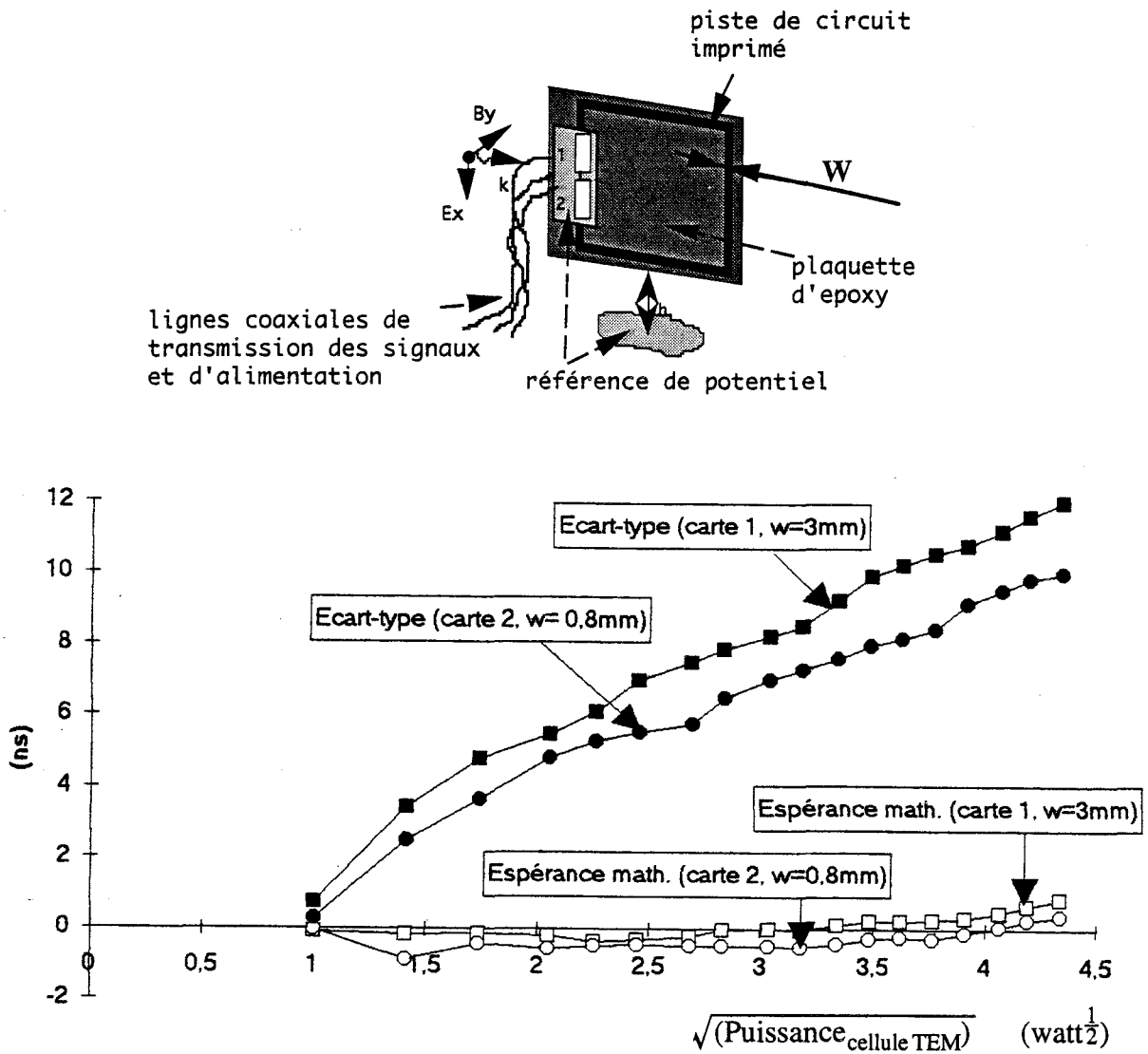


Figure I-26: Influence de la largeur des pistes de circuit imprimé testée en cellule TEM

La synthèse des résultats obtenus nous a permis de fournir quelques recommandations d'aide à la conception de cartes ou systèmes électroniques moins sensibles aux IEM. Compte tenu de la complexité des mécanismes de perturbation et la grande variété des paramètres dont peut dépendre la sensibilité d'une carte, il est évident que cette étude que nous avons menée est loin d'être terminée. Pour ce faire, nous avons proposé quelques perspectives d'avenir qui devraient conduire à la mise au point de protocoles de test d'une carte toute entière.

I-3-3 Les travaux de J. J. LAURIN, S. G. ZAKY et K. G. BALMAIN

[12]

Ces chercheurs se sont intéressés à la mise en évidence expérimentale de la perturbation des temps de propagation des signaux logiques à travers les circuits numériques. Dans un article [12] publié en août 1992 sur la prédiction des retards de temps de propagation induits par les IEM sur les circuits numériques, ils ont démontré analytiquement en utilisant le modèle de la figure I-27 que les retards Δt_5 et Δt_6 de front, respectivement en sortie du premier et second circuit pouvaient s'exprimer comme suit :

$$\Delta t_5 = \frac{(2,5 - \Delta V(0)) C_5}{I_0 + G \Delta V(0)} - \frac{2,5 C_5}{I_0} \quad (I-1)$$

$$\Delta t_6 = \frac{2,5 - \Delta V(0)}{s_5 \left[1 + \frac{G \Delta V(0)}{I_0} \right]} - \frac{2,5}{s_5} + \frac{2,5}{s_6 \left[1 + \frac{\alpha G \Delta V(0)}{C_5 I_0} \right]} - \frac{2,5}{s_6} \quad (I-2)$$

où 2,5 est le seuil de commutation en entrée du second circuit,

$\Delta V(0)$ est l'ondulation créée par les IEM en sortie du premier circuit juste avant le transit logique, G est l'admittance de sortie du premier circuit,

s_5 et s_6 sont respectivement la vitesse de variation de tension ("slew rate" en anglais) en sortie du premier et second circuit,

I_0 est l'amplitude crête du courant de sortie du premier circuit et α une constante positive liant les variations de s_5 à celles de s_6 .

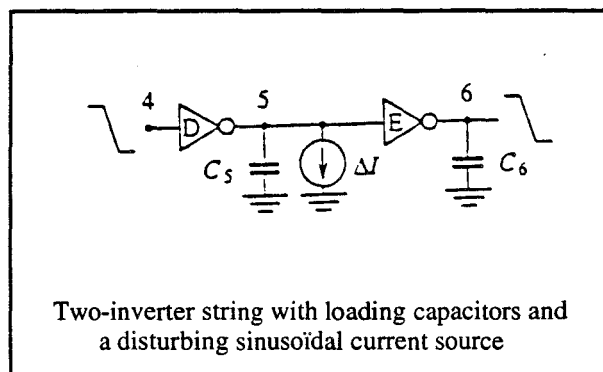


Figure I-27 : * Modèle de calcul

* extraite de la bibliographie [12]

Pour les IEM de faibles amplitudes et basses fréquences, Δt_6 peut se réduire à l'expression suivante où l'on observe théoriquement sa dépendance linéaire en fonction de $\Delta V(0)$. Le relevé de Δt_6 (Figure I-29-b) en fonction de l'ondulation crête à crête V_{pp} mesurée, grâce au banc de la figure I-28, sur l'état bas en sortie du premier circuit leur a permis de vérifier cela expérimentalement.

$$\Delta t_6 = \Delta V(0) \left[\frac{A}{S_5} + \frac{B}{S_6} \right]$$

(I-3)

où $A = -(1+2,5 G/I_0)$ et $B = -2,5 G \alpha/C_5 I_0$

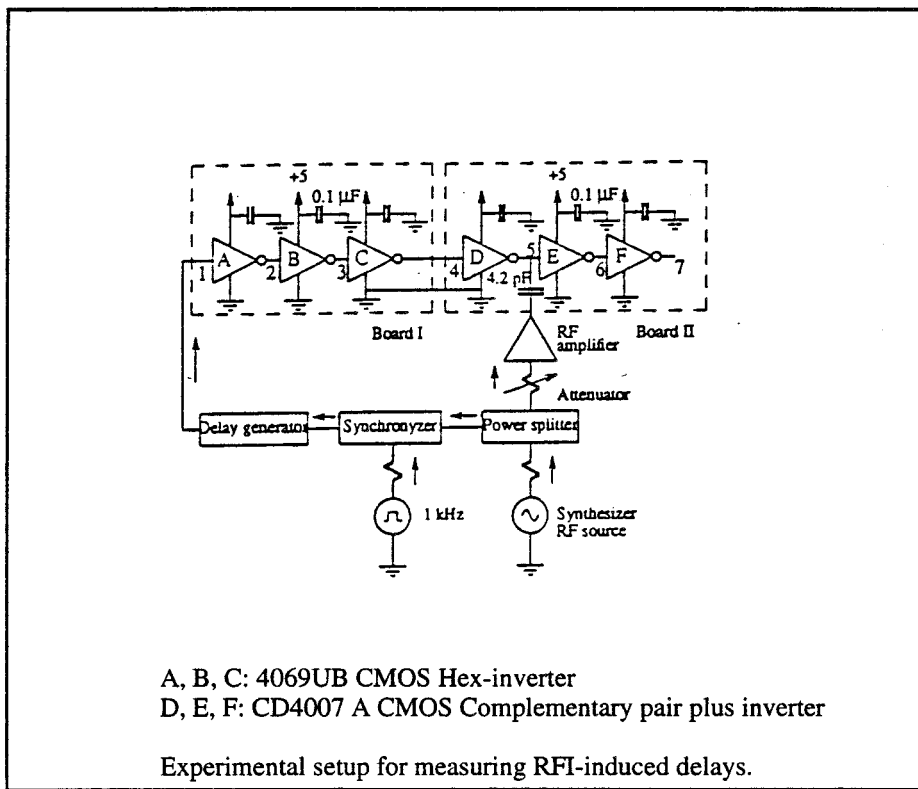
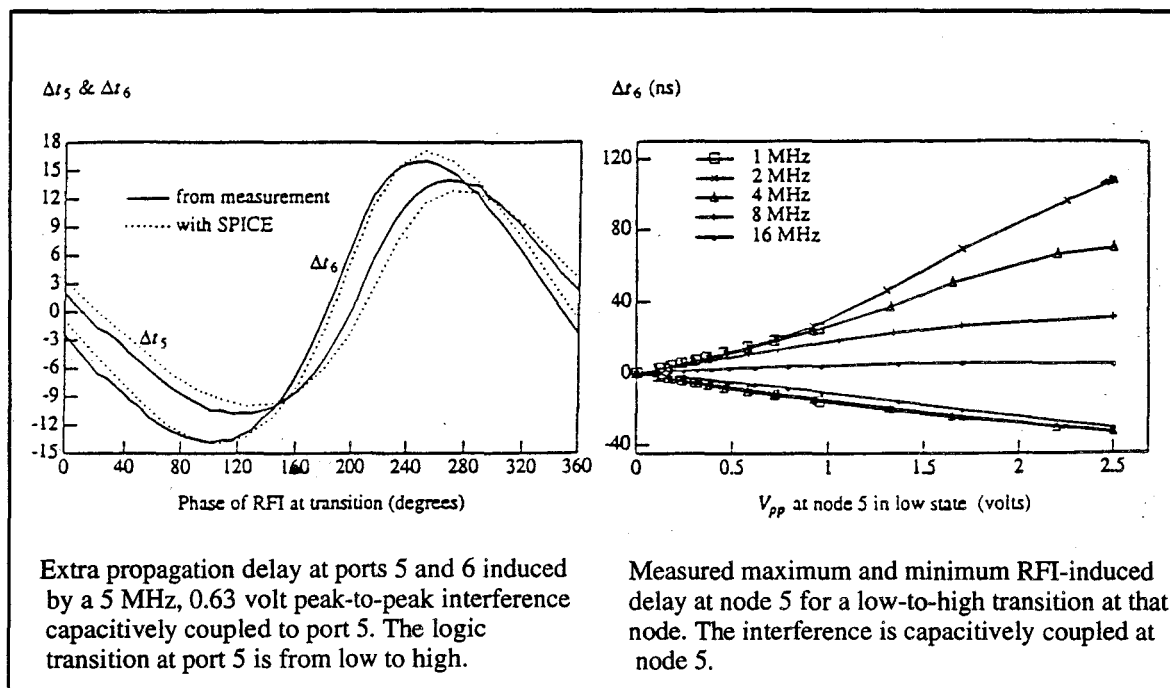


Figure I-28: * Banc de mesure des retards de fronts

* extraite de la bibliographie [12]

Ces chercheurs ont aussi vérifié que les retards de front dépendent de la phase entre les IEM et les fronts (Figure I-29-a) tel que J. G. TRONT [4] l'a suggéré.



(a) Influence de la phase entre les IEM et les transitions logiques

(b) Influence de l'amplitude et de la fréquence des IEM

Figure I-29 *

Par ailleurs, au cours des essais, ils ont observé que les retards relevés en sortie du second circuit sont supérieurs à ceux en sortie du premier circuit lorsque la fréquence des IEM est plus petite que 5 MHz. Cette comparaison s'inverse pour les fréquences supérieures à 5 MHz. Cet effet a été attribué au comportement "filtre passe-bas" des circuits sous test du fait que 5 MHz correspond à la fréquence maximale de commutation des inverseurs utilisés.

* extraite de la bibliographie [12]

Afin d'illustrer quelques conséquences que ces effets peuvent produire sur le fonctionnement d'un système synchrone, ces chercheurs ont montré dans un deuxième article [13] en utilisant un système à bascule J-K (Figure I-30), qu'il pouvait se produire une violation de leurs temps de maintien et de pré-positionnement, ce qui crée de fausses données à leurs sorties.

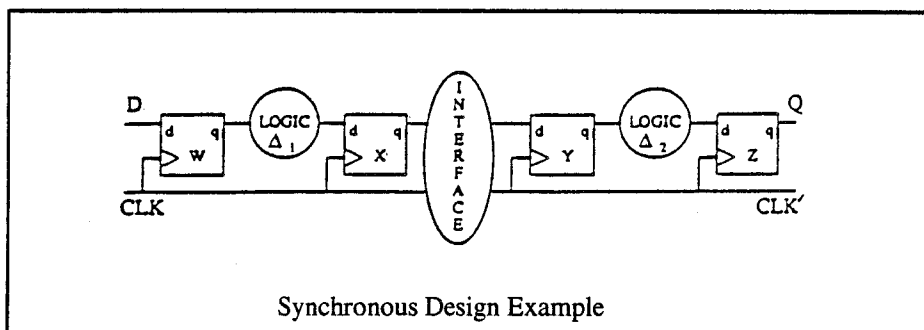


Figure I-30 *

Cette procédure est analogue à celle que nous avons utilisé dans notre outil de test à approche statistique. En ce qui nous concerne nous avons utilisé des bascules synchrones D, et seules les lignes de données sont soumis à l'action des IEM. Nos travaux apportent un complément intéressant à cette étude dans la mesure où sommes parvenus à classer les composants en fonction de leur sensibilité et que nous avons provoqué ces phénomènes à partir de couplage électromagnétique.

* extrait de la bibliographie [13]

Chapitre II

**SUSCEPTIBILITE
ELECTROMAGNETIQUE
DES CIRCUITS LOGIQUES
FONCTIONNANT
EN REGIME DYNAMIQUE**

Chapitre II . SUSCEPTIBILITE ELECTROMAGNETIQUE DES CIRCUITS LOGIQUES FONCTIONNANT EN REGIME DYNAMIQUE

INTRODUCTION	40
II-1 CHOIX DE LA SOURCE DE PERTURBATION ET MISE EN OEUVRE DU PROTOCOLE DE TEST	42
II-1-1 Choix de la source perturbatrice	42
II-1-1-1 Aperçu sur les modes d'action d'un signal perturbateur.....	42
II-1-1-2 Le type de source utilisée	42
II-1-1-3 Méthode d'injection des IEM.	42
II-1-2 Mise en oeuvre du dispositif de test - Faits expérimentaux observés	45
II-1-2-1 Procédure de mesure des retards	49
II-1-2-2 Procédure de détection des pseudo-commutations	51
II-2 INTERPRETATION DES RESULTATS	52
II-2-1 Description et modèle simplifié du circuit de test	53
II-2-1-1 Modèle simplifié des lignes en couplage électrique.....	53
II-2-1-2 Modèles équivalents des charges aux extrémités de la ligne	55
II-2-1-2-1 Entrée du composant 2	55
II-2-1-2-2 Sortie du composant 1.....	56
1. Comportement lors des transitions d'états logiques.	57
1.1 . 1ère situation: la caractéristique de transfert n'est pas modifiée	57
1.2 . 2ème situation: la caractéristique de transfert est modifiée	58
2. Comportement sur les états statiques.....	62
II-2-2 Interprétation des retards de fronts.	63
II-2-3 Interprétation de la pseudo-commutation	67
II-3 SIMULATION NUMERIQUE DES DISTORSIONS DE SIGNAUX LOGIQUES CREES PAR L'INJECTION DE COURANT PERTURBATEUR.....	69
II-3-1 Description du principe de la simulation	70
II-3-2 Présentation des résultats de simulation.....	73

II-3-3 Comparaison des résultats expérimentaux et résultats de simulation.	75
II-3-3-1. Cas de la pseudo-commutation (palier à 2,5 volts).....	75
II-3-3-2. Cas du retard de front.....	76
 II-4 COMPARAISON DU COMPORTEMENT DU COMPOSANT SOUS TEST VIS A VIS DE SA FAMILLE TECHNOLOGIQUE.....	78
II-4-1 Comparaison à l'aide de la caractéristique de retard de fronts.....	78
II-4-2 Modélisation de la caractéristique de retards en fonction du courant perturbateur.	81
II-4-3 Application du modèle de retard à la caractérisation d'avance de front.....	84
II-4-4 Application du modèle de décalage de front à la modélisation des effets de phase et de formes d'onde perturbatrices.	85
 CONCLUSION	89

INTRODUCTION

De nombreux travaux menés [8], [9], [10], [14] sur la susceptibilité électromagnétique des composants logiques intégrés ont montré que ceux-ci pouvaient subir des dysfonctionnements lors d'une agression électromagnétique leur parvenant soit par l'alimentation, soit par l'entrée ou par la sortie. Ces travaux ont également révélé que le port d'accès qui détermine le comportement d'une liaison entre circuit CMOS soumis à une injection de courant est le port de sortie. C'est pour cette raison que nous avons orienté nos études à la compréhension des mécanismes par lesquels un agresseur peut modifier le comportement du port de sortie de ces composants, en particulier aux moments de changement d'états logiques. Leur résistance dynamique de sortie joue un rôle déterminant dans ces phénomènes car elle atteint sa plus grande valeur lors des transitions d'états logiques et de ce fait contribue majoritairement aux distorsions des signaux d'informations lorsque l'agresseur s'apparente à une source de courant. Ainsi, l'objectif de ce chapitre est de faire une étude phénoménologique approfondie de ces distorsions en injectant un courant perturbateur à la sortie des composants logiques sous test.

Après avoir fait dans la première partie de ce chapitre le choix de la source de perturbation, nous avons mis en oeuvre des dispositifs de test permettant d'analyser le comportement des circuits lors du transit logique tel que nous l'avons introduit au chapitre précédent. Nous avons également présenté dans cette partie, les faits expérimentaux observés, en particulier les décalages temporels et distorsions des transits logiques.

Dans la deuxième partie, ces faits expérimentaux ont été interprétés grâce à des modèles équivalents simplifiés des éléments sous test.

La troisième partie est consacrée à la simulation numérique des distorsions de signaux logiques produites par l'injection du courant perturbateur à la sortie du circuit sous test. Les résultats issus de cette simulation ont permis de déduire qualitativement la dépendance des effets observés par rapport à la phase du perturbateur.

Dans la quatrième partie, nous avons effectué une comparaison de la sensibilité de différentes familles de composants de technologie CMOS. Nous avons ensuite modélisé la caractéristique de retard temporel relevé au cours de cette comparaison, et enfin appliqué le modèle théorique à la caractérisation d'avances de front et à la modélisation de l'influence de la phase et de quelques formes d'onde du courant perturbateur.

II-1 CHOIX DE LA SOURCE DE PERTURBATION ET MISE EN OEUVRE DU PROTOCOLE DE TEST

II-1-1 Choix de la source perturbatrice

II-1-1-1 Aperçu sur les modes d'action d'un signal perturbateur

Le plus souvent, un signal perturbateur se manifeste par trois modes d'actions [3], à savoir :

- par superposition simple aux informations analogiques traitées par l'équipement,
- par introduction d'erreurs dans les informations numériques ou niveaux logiques,
- par destruction de composants électroniques actifs.

C'est le second point qui nous concerne dans ce document car les informations que nous traitons sont de types numériques et il est évident que la destruction des composants qui les traitent ne facilite, en aucun cas, la compréhension des mécanismes par lesquels les IEM modifient le fonctionnement du système.

II-1-1-2 Le type de source utilisée

Les sources perturbatrices peuvent revêtir un caractère permanent ou transitoire. Nous nous sommes limités dans ce document à un seul type de source (source à caractère permanent sinusoïdal) car l'un des objectifs à long terme est de faire une synthèse de l'influence de tous les paramètres pouvant contribuer à abaisser le seuil de sensibilité des équipements électroniques: il est alors évident que pour déduire la contribution d'un paramètre, la plupart des autres doivent être maintenus fixes. Par ailleurs, ce type de source nous permet de faire coïncider plus facilement les amplitudes crêtes du perturbateur aux transitions d'états logiques.

II-1-1-3 Méthode d'injection des IEM.

Il existe plusieurs méthodes d'injection [9] à savoir ;

- injection de type parallèle,
- injection de type série,
- injection par lignes couplées,
- injection par illumination.

Nous avons choisi la méthode d'injection par lignes couplées, car elle présente l'avantage de simuler les trois autres suivant la valeur de l'impédance de charge Z_{charge} (Figure II-1).

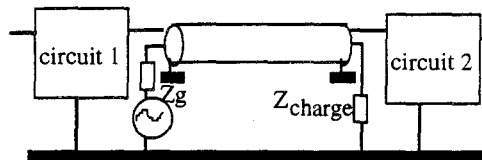


Figure II-1: Injection par lignes couplées

Lorsque $Z_{charge} = \infty$, tout se passe comme si on réalisait une injection de type parallèle encore appelée "couplage capacitif" ou "couplage par champ électrique" : ce type de couplage équivaut à une injection de courant perturbateur sur la ligne d'interconnexion des composants (figure II-2).

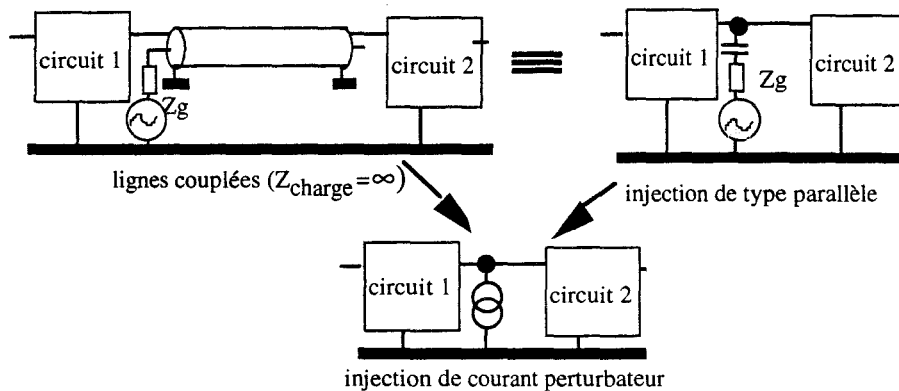


Figure II-2: Injection de type parallèle

Lorsque $Z_{charge} = 0$, on réalise une injection de type série encore appelée "couplage inductif" ou "couplage par champ magnétique" : de façon analogue au précédent, cela équivaut à une injection de tension perturbatrice (figure II-3).

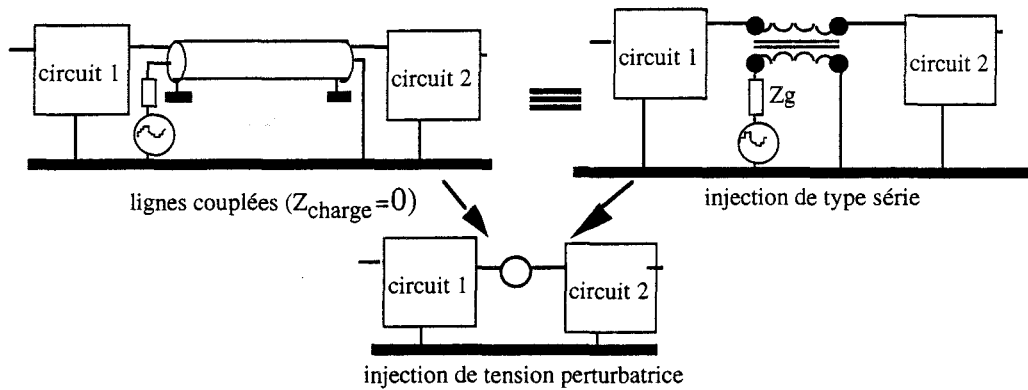


Figure II-3: Injection de type série

Lorsque $Z_{charge} = Z_c$, (Z_c =impédance caractéristique de la ligne), on simule une injection par illumination (rayonnement) encore appelée "couplage par champ électromagnétique" : ce couplage équivaut à une injection de courant et de tension perturbateurs (figure II-4).

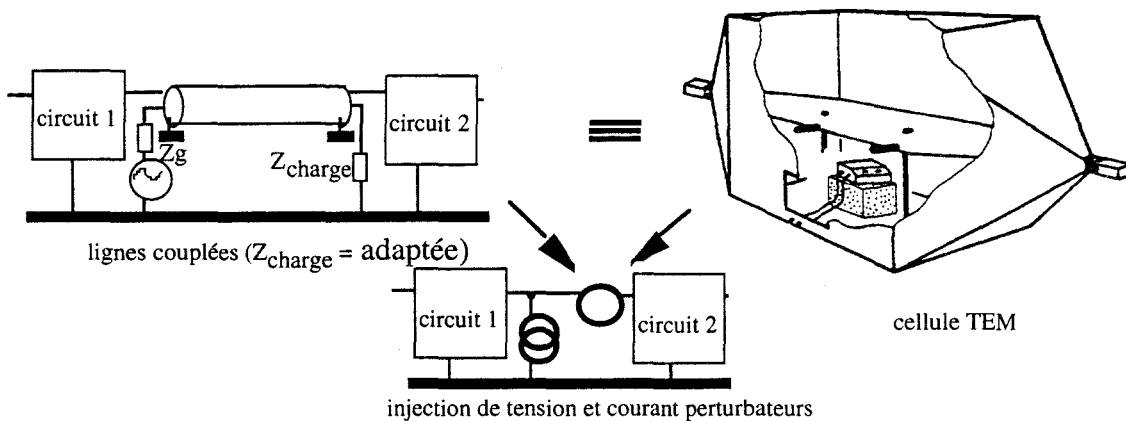


Figure II-4: Injection par illumination

II-1-2 Mise en oeuvre du dispositif de test - Faits expérimentaux observés

Le principe du dispositif de test est très simple. Il consiste à détecter les erreurs d'incrément produites sur un compteur dont les signaux de contrôle d'horloge sont déformés par une agression électromagnétique: les circuits victimes sont de la technologie CMOS.

En nous inspirant des résultats présentés au chapitre précédent, nous avons choisi des portes NAND fonctionnant en inverseur (Figure II-5) et connectées en cascade au moyen d'une ligne de transmission qui est appelée ligne réceptrice vis à vis du perturbateur. Afin que cette ligne soit le siège d'interférences électromagnétiques, nous l'avons couplée par influence électromagnétique à une seconde ligne appelée ligne émettrice qui est reliée à un générateur délivrant un signal sinusoïdal de fréquence 1,5 MHz. Nous avons choisi cette fréquence parce que la période du signal étant beaucoup plus grande que la durée du transit logique, nous pouvons interpréter plus facilement les phénomènes créés par ce type de perturbateur, de plus la longueur d'onde étant plus grande devant la longueur de la ligne émettrice, nous pouvons compte tenu de la charge à sa sortie, produire une source de tension ou de courant ou ces deux sources à la fois, lesquelles se rapportent aux ports d'entrée-sortie des circuits sous test. Les deux lignes constituent alors des lignes couplées. La sortie de la seconde porte logique (NAND 2) commande le fonctionnement d'un compteur placé en aval de celle-ci et dont le choix offre un intérêt particulier de mémoriser toute défaillance intervenue lors du processus d'incrément.

Le test consiste alors à perturber la ligne de transmission des signaux d'horloge et à observer les défauts de comptage qui résulteraient des distorsions induites sur les transitions d'états logiques des signaux d'horloge.

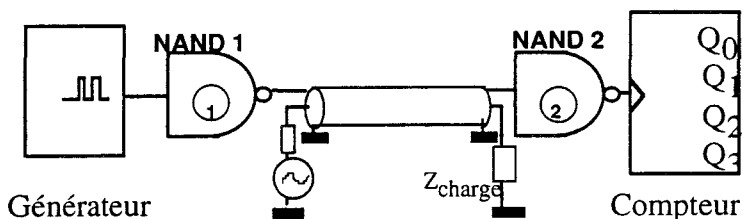


Figure II-5: Schéma de principe du dispositif de test

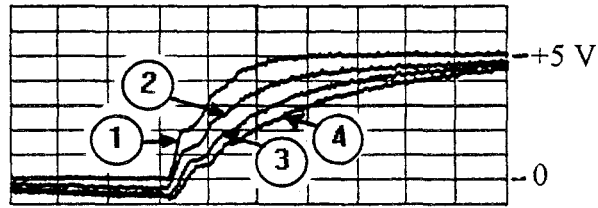
La mise en oeuvre de cette expérience a nécessité une étude minutieuse du mécanisme qui relie le couplage du perturbateur au fonctionnement non linéaire des portes logiques par lesquelles transitent les signaux d'horloge [14]. En effet, un couplage de type électrique induit sur la ligne de transmission un générateur de courant qui vient agresser la sortie de la porte en amont du système (NAND 1).

L'étude a montré qu'il apparaît, pour de faibles amplitudes du courant perturbateur J_p , des décalages des fronts de commutation en sortie du composant 2 (Figure II-6) alors que pour les amplitudes importantes de J_p , on enregistre à la fois des décalages de fronts et des pseudo-commutations (Figure II-7). Ces effets sont en partie analogues à ceux observés théoriquement par Joseph G. TRONT [4] lors de l'analyse numérique aux fréquences très élevées (100, 200 MHz) par le programme SPICE2 d'un circuit semblable au nôtre et présenté au chapitre précédent.

Il est certain qu'à ces fréquences, des phénomènes de détection ou de redressement interviennent, compliquant ainsi la compréhension du comportement physique des composants logiques dont les fréquences limites de fonctionnement de la plupart se situent en dessous de 60 MHz. Nous avons donc choisi d'étudier la susceptibilité de ces composants à des fréquences plus basses (1 à 20 MHz).

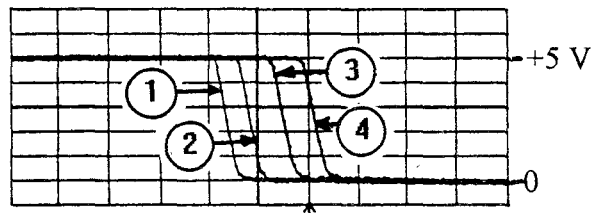
D'autre part, nous avons décelé que les anomalies sont d'amplitudes plus importantes à ces fréquences et montré qu'elles peuvent apparaître lors d'une agression électromagnétique sans que les états logiques présents au niveau des circuits avals (compteur par exemple) ne soient affectés, ceci grâce aux protocoles de test que nous allons décrire dans les paragraphes suivants.

signal en entrée
du composant 2



- 1----> $J_{pmax}=0$
- 2----> $J_{pmax}=15 \text{ mA}$
- 3----> $J_{pmax}=24 \text{ mA}$
- 4----> $J_{pmax}=29 \text{ mA}$

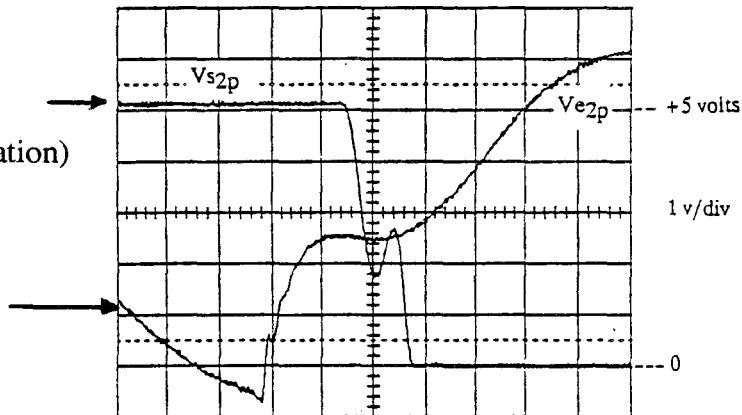
signal en sortie
du composant 2
(retard de front)



20 ns/div

Figure II-6: Décalages de front de commutation

signal en sortie
du composant 2
(pseudo-commutation)



$J_{pmax}=49 \text{ mA}$

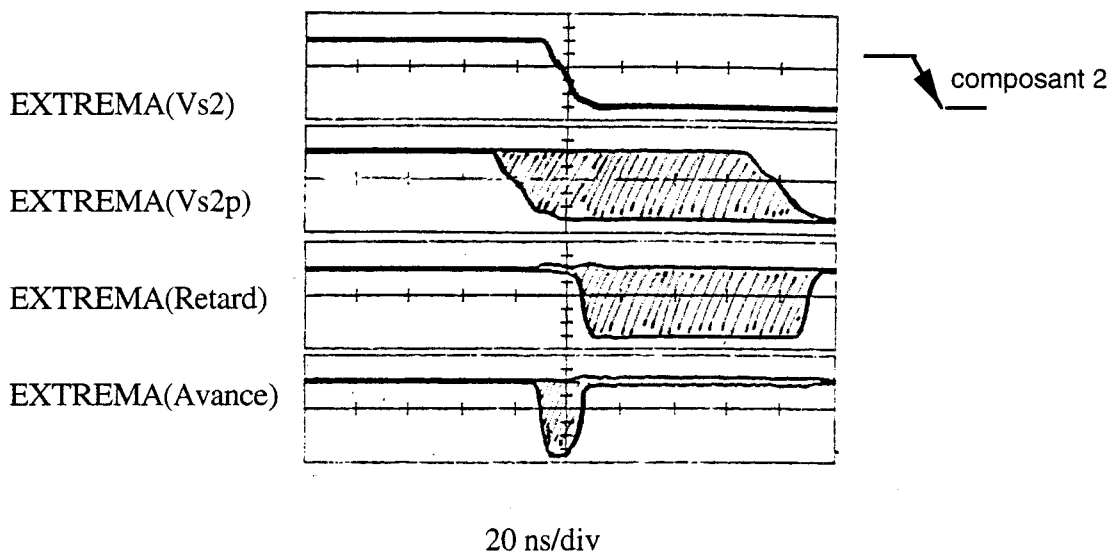
signal en entrée
du composant 2

50 ns/div

Figure II-7: Pseudo-commutation

Les tests pratiqués ont en effet montré que ces décalages temporels de front pouvaient être des retards (cas de la figure II-6) ou des avances comme le montre la figure II-8 qui indique les zones où sont localisés avances et retards dans le cas d'une transition descendante en sortie du composant 2. En effet, le signal désigné par EXTREMA(Vs2) représente le transit non perturbé en sortie du composant 2. Quant à EXTREMA(Vs2p), il correspond à ce même signal perturbé par les déformations des transits logiques en entrée de ce composant produites par le perturbateur.

La zone hachurée est la zone où apparaissent les transits logiques décalés pour la valeur crête J_{pmax} du courant perturbateur égale à 47 mA. Le signal indiqué par EXTREMA(Retard) est la zone correspondant aux retards. De façon analogue, EXTREMA(Avance) est la zone des avances de front.



"EXTREMA" est une fonction de l'oscilloscope qui permet de faire un encadrement d'un nombre n donné d'acquisition (ici $n=200$).

Figure II-8: Retards et avances de front

Cette double nature des décalages a été mise en évidence par le circuit de tests de la figure II-9 qui associe au circuit principal de tests, un comparateur à base de portes logiques. Par ailleurs, ces essais ont révélé quantitativement que, les retards sont très supérieurs aux avances. Ceci semble évident puisque ces dernières sont en réalité une accélération du transit logique déjà commencé, et de ce fait, se limitent à la durée moyenne du transit.

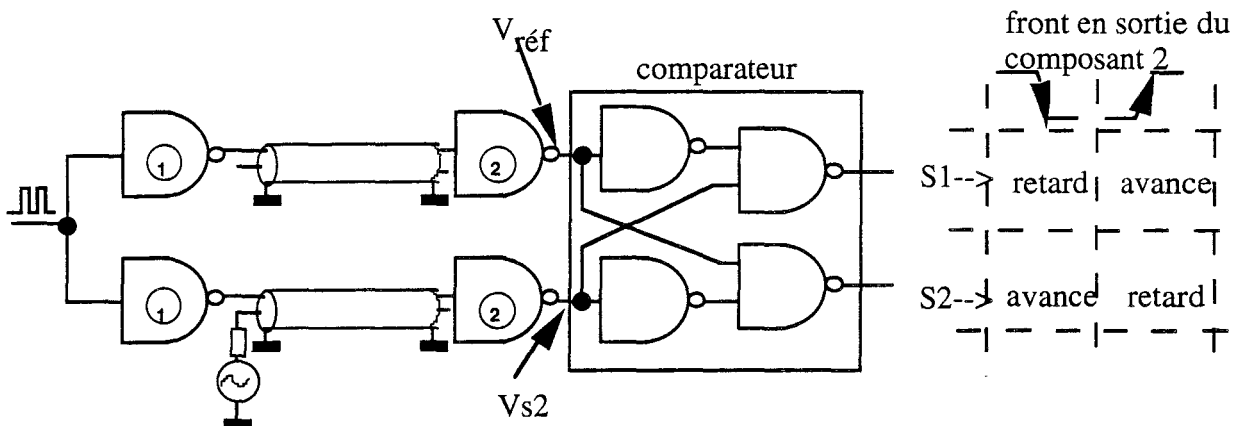


Figure II-9: Circuit de détection d'avances et de retards de front

Ainsi, pour simplifier l'étude, nous nous sommes limités dans un premier temps à la compréhension et à l'interprétation des retards dont la procédure de mesure est présentée dans le paragraphe suivant.

II-1-2-1 Procédure de mesure des retards

Cette procédure associe au schéma de test de la Figure II-5, un oscilloscope numérique LECROY à grande vitesse d'échantillonnage (1 G échantillons/s) et à grande profondeur mémoire (50 000 points). En désignant par V_{s2} le signal de sortie du composant 2 et par V_{e1} , le signal en entrée du composant 1 (Figure II-10), le principe de mesure consiste à utiliser V_{e1} comme signal de référence et à mesurer l'écart temporel dt entre la durée de propagation Δt_0 des signaux de l'entrée du composant 1 à la sortie du composant 2 lorsque le perturbateur est absent et la durée Δt lorsque celui-ci est présent, soit ;

$$dt = \Delta t - \Delta t_0 \quad (\text{II-1})$$

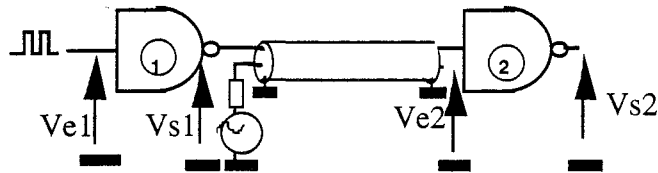


Figure II-10

Les signaux V_{e1} et V_{s2} sont donc utilisés pour le déclenchement de l'oscilloscope dans le mode "SMART TRIGGER". Il s'agit d'un mode de déclenchement "intelligent" qui offre une grande diversité de qualifications de déclenchement basée sur l'aptitude du tiroir 7242 de l'oscilloscope à exécuter un certain nombre de tâches parmi lesquelles, la mesure des intervalles de temps. Lorsque ce mode est choisi, plusieurs méthodes de déclenchement peuvent être sélectionnées.

Dans notre cas, c'est la méthode "PATTERN" (séquentielle) que nous avons choisie. Elle combine par une fonction logique "ET" les états des entrées CH1, CH2 et EXT de l'oscilloscope. Une entrée est dans l'état haut lorsque le niveau de tension qui s'y trouve est supérieur au niveau choisi pour le TRIGGER, dans le cas contraire, elle est dans l'état bas. Le déclenchement se fait quand la combinaison choisie de signaux se produit et que la qualification sélectionnée se produit également.

Nous avons choisi pour cette expérimentation la qualification "Pattern width > trigger on exiting" (largeur de séquence > entraîne déclenchement sur sortie). Cela signifie que le déclenchement se produit lorsque la combinaison de signaux a existé pendant un temps t (Pattern width) supérieur au temps t_s sélectionné (selected width) comme l'illustre la figure II-11.

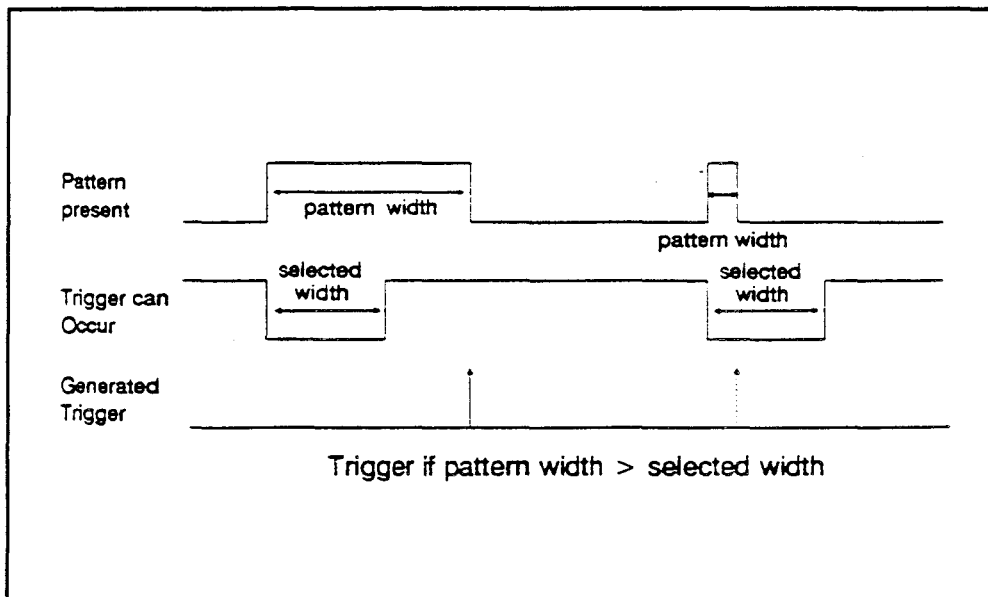


Figure II-11*

En nous limitant à l'étude des fronts descendants en sortie du composant 2 pour des raisons de simplification, la mesure des retards qu'ils subissent sous l'action du perturbateur consiste à mettre l'entrée du composant 1 sur la voie 1 (CH1) dont l'état spécifié est l'état bas (L) et la sortie du composant 2 sur la voie 2 (CH2) dont l'état spécifié est l'état haut. Aucun signal n'est sur la voie EXT : l'état "X" que l'on doit spécifier signifie que cette voie ne rentre pas dans la combinaison logique des états d'entrée. Le procédé de mesure consiste à incrémenter le temps sélectionné t_s par pas de 1 nanoseconde jusqu'à ne plus avoir de déclenchement, le Δ_t cherché est le t_s présent.

Par exemple pour la mesure de Δ_{t0} , à $t_s = 32$ ns le déclenchement ne se produit plus. Cela veut dire que l'écart entre V_{e1} et V_{s2} n'est pas supérieur à 32 ns. Du fait qu'à $t_s = 31$ ns, on continue à avoir des déclenchements, le Δ_{t0} réel sera encadré par 31 ns et 32 ns. Nous prenons par excès $\Delta_{t0} = 32$ ns.

* extraite de la bibliographie [15]

II-1-2-2 Procédure de détection des pseudo-commutations

Pour corrélér le plus efficacement possible les erreurs de comptage aux distorsions subies par le signal d'horloge, nous avons étudié et réalisé [16] une carte de détection automatique. Sa conception est basée sur le fait qu'un compteur recevant un front actif doit s'incrémenter de "1". Par conséquent, s'il acquiert une valeur autre que "1", ou si en recevant un front inactif ou pas du tout de front, il change d'état, c'est qu'il y a une erreur (perturbation ou dérangement). Nous avons élaboré un système synchrone selon trois phases qui conduisent au schéma synoptique de la figure II-12.

- Phase 1 : Envoie de la transition à tester à l'entrée du composant 1
- Phase 2 : Test de résultat du compteur, blocage du système et visualisation des signaux s'il y a erreur.
- Phase 3 : Remise à zéro (RAZ) du compteur et retour à la phase 1.

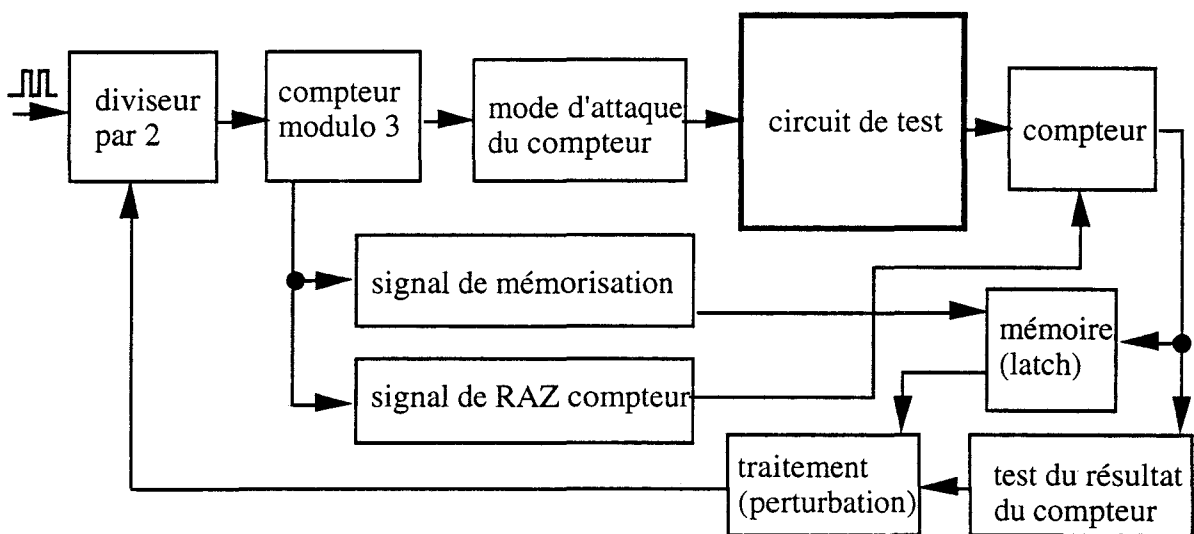


Figure II-12: Schéma synoptique de la carte de détection automatique des pseudo-commutations

II-2 INTERPRÉTATION DES RESULTATS

II-2-1 Description et modèle simplifié du circuit de test

Comme nous l'avons présenté sur la figure II-5 (page 45), le circuit de test se compose de deux composants de la technologie CMOS. Le premier désigné sous le nom de composant 1 est de la famille HCU. Dans tout ce qui suit, ce composant est appelé "composant sous test". En effet, comme sa sortie est en basse impédance par rapport à l'entrée du second composant, le courant perturbateur induit s'écoule à travers cette sortie, ainsi le retard de front observé varie plutôt en fonction de sa famille technologique que de celle du second composant (cf. paragraphe II-4, page 78). Ce dernier désigné sous le nom de composant 2 est de la famille HC et joue le rôle d'interface entre le composant 1 et le compteur binaire. Les deux circuits sont reliés par une ligne de transmission de 1 m de long (ligne réceptrice). Une deuxième ligne (ligne émettrice) alimentée par un générateur de signaux sinusoïdaux associé à un amplificateur et chargée par un circuit ouvert (Figure I-13) crée un couplage électrique des IEM à la ligne réceptrice. Nous nous sommes limités ici au couplage électrique car celui-ci semble produire des décalages plus importants. Nous aborderons le cas des autres couplages dans le quatrième chapitre.

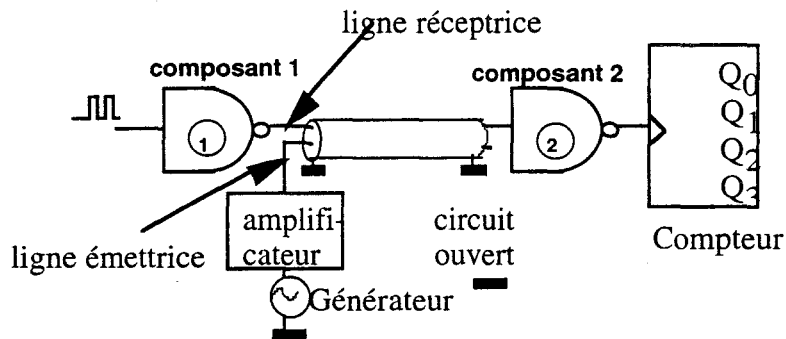


Figure II-13: Circuit de test en couplage électrique

II-2-1-1 Modèle simplifié des lignes en couplage électrique

Il s'agit en définitif de lignes couplées par influence électromagnétique. Etant donné que nous avons besoin que de deux lignes, nous avons choisi une ligne bifilaire. Les paramètres linéiques, extraits de la bibliographie [17] où ils ont été mesurés en considérant la ligne comme étant sans pertes, sont présentés dans le tableau suivant.

$C_{12} \equiv C_{21}$	$C_{11} \equiv C_{22}$	$L_{11} \equiv L_{22}$	$L_{12} = L_{21}$
46 pF/m	346 pF/m	203 nH/m	5nH/m

Tableau II-1 : Paramètres linéiques de la ligne bifilaire

En considérant l'hypothèse des grandes longueurs d'onde, la théorie des lignes de transmission montre que l'action du couplage électrique de la ligne émettrice à la ligne réceptrice équivaut à l'injection d'une source fictive de courant perturbateur J_p (Figure II-14) sur cette dernière.

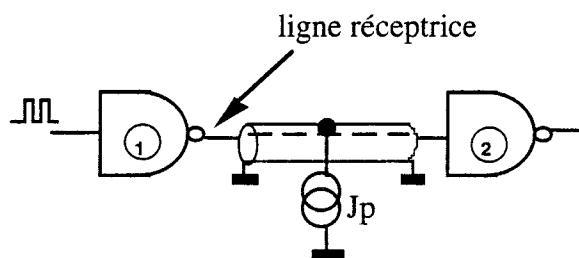


Figure II-14: Action de la ligne émettrice

La ligne réceptrice quant à elle, peut être assimilée à sa capacité propre $C = 1 \cdot C_{11}$ (Figure II-15) lorsque les coefficients de réflexion à ses deux extrémités sont tous deux positifs, autrement dit lorsque les impédances aux extrémités sont supérieures à son impédance caractéristique [18], ce qui est le cas ici. En effet, son impédance caractéristique est estimée en première approximation à 24 ohms par la relation suivante :

$$Z_c \cong \sqrt{\frac{L_{11}}{C_{11}}} \quad (\text{II-2})$$

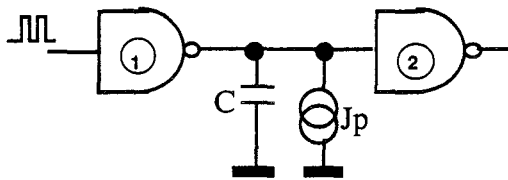


Figure II-15: Assimilation de la ligne réceptrice à sa capacité propre

Quant aux impédances de charge aux extrémités de cette ligne, ce sont des impédances non linéaires toutes supérieures à Z_c comme nous le montreront dans le paragraphe suivant.

II-2-1-2 Modèles équivalents des charges aux extrémités de la ligne

II-2-1-2-1 Entrée du composant 2

La plupart des fonctions réalisées en technologie CMOS ont leur étage d'entrée et de sortie constitués d'un inverseur MOS (deux transistors complémentaires) et protégés avec des diodes contre les décharges électrostatiques comme l'illustre la figure II-16.

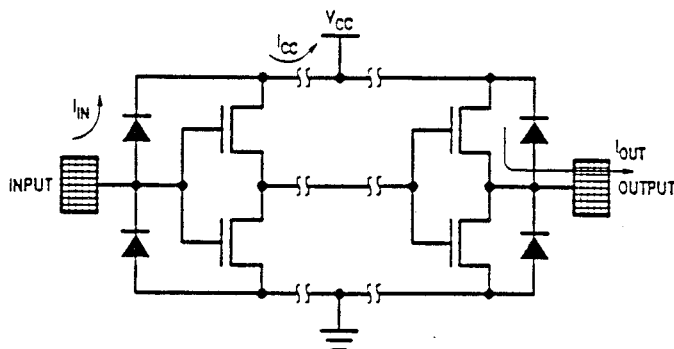


Figure II-16: * Modèles d'entrée et de sortie des circuits de la technologie CMOS

Par conséquent, vue de l'entrée, le composant 2 présente une résistance grille-source très élevée (plusieurs Méga-ohm) lorsque la tension d'entrée est comprise entre -0,5 volts et 5,5 volts comme c'est généralement le cas, et une capacité de fuite de l'ordre de 5 pF. Nous pouvons alors admettre l'hypothèse de grande impédance d'entrée par rapport à l'impédance caractéristique de la ligne à des fréquences allant du continu à plusieurs centaines de MHz.

II-2-1-2-2 Sortie du composant 1

Dans ce cas-ci, la situation est différente puisque vue de la sortie, le composant 1 présente une résistance drain-source beaucoup plus faible qui varie en fonction de la situation du point de fonctionnement du composant sur la caractéristique courant-tension des transistors MOS (pMOS et nMOS) qui constituent l'étage de sortie (Figure II-16) : nous parlerons alors de résistance dynamique. Lorsque l'état logique bas est présent en sortie de ce composant, la résistance de sortie est celle du transistor nMOS (R_{dn}) en zone de conduction résistive (le pMOS bloqué, présente une résistance quasi-infini en parallèle sur R_{dn} du point de vue

* extraite de la bibliographie [19]

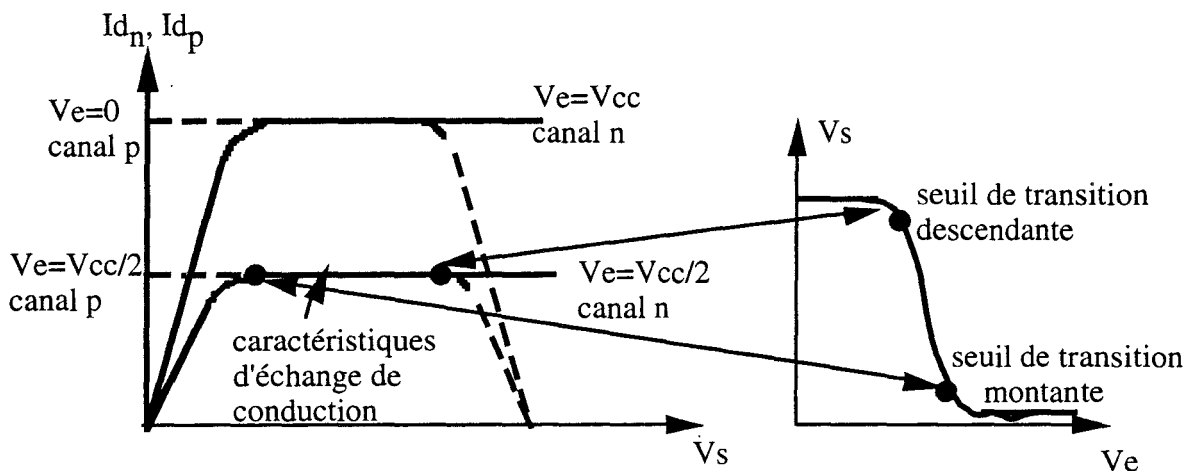
dynamique). Par contre, lorsque l'état logique haut est présent, la résistance de sortie est celle du pMOS (R_{dp}) en zone de conduction résistive (le nMOS est bloqué).

1. Comportement lors des transitions d'états logiques.

Deux situations sont à distinguer selon que la caractéristique de transfert du composant sous test est modifiée ou non par la présence d'un agresseur à sa sortie.

1.1 . 1ère situation: la caractéristique de transfert n'est pas modifiée

Il s'agit du cas de fonctionnement normal du composant sous test lorsque sa sortie n'est pas chargée. Cette situation s'applique aussi aux cas de faibles charges capacitives. Ainsi, au cours des changements d'états logiques, il se produit un transfert de conduction d'un transistor à l'autre de telle sorte que leurs points de fonctionnement se croisent sur les caractéristiques courant-tension paramétrées par $V_e = V_{cc}/2$ comme l'illustre la figure II-17: les deux transistors se trouvent en zone de conduction saturée et présentent tous deux des résistances dynamiques de valeurs très élevées.



(a) réseau de caractéristiques courant tension

(b) fonction de transfert

Figure II-17: Fonction de transfert non perturbée de l'inverseur CMOS

La résistance dynamique équivalente de sortie atteint alors à ce moment son maximum. Sa mesure présentée en pointillés sur la figure II-18 est effectuée grâce au banc de mesure présenté en annexe I (page 192). La courbe en trait continu est le résultat de simulation numérique effectuée par B. HEDDEBAUT [10] : nous pouvons remarquer qu'il y a bon accord entre la mesure et le résultat théorique. Nous pouvons d'autre part, noter que R_d passe par un maximum au voisinage de 500 ohms dans la zone de commutation.

Compte tenu des valeurs élevées que prend la résistance dynamique de sortie lors des transitions d'états logiques, nous pouvons considérer que la sortie du composant sous test se comporte, dans la zone de commutation, comme une source de courant .

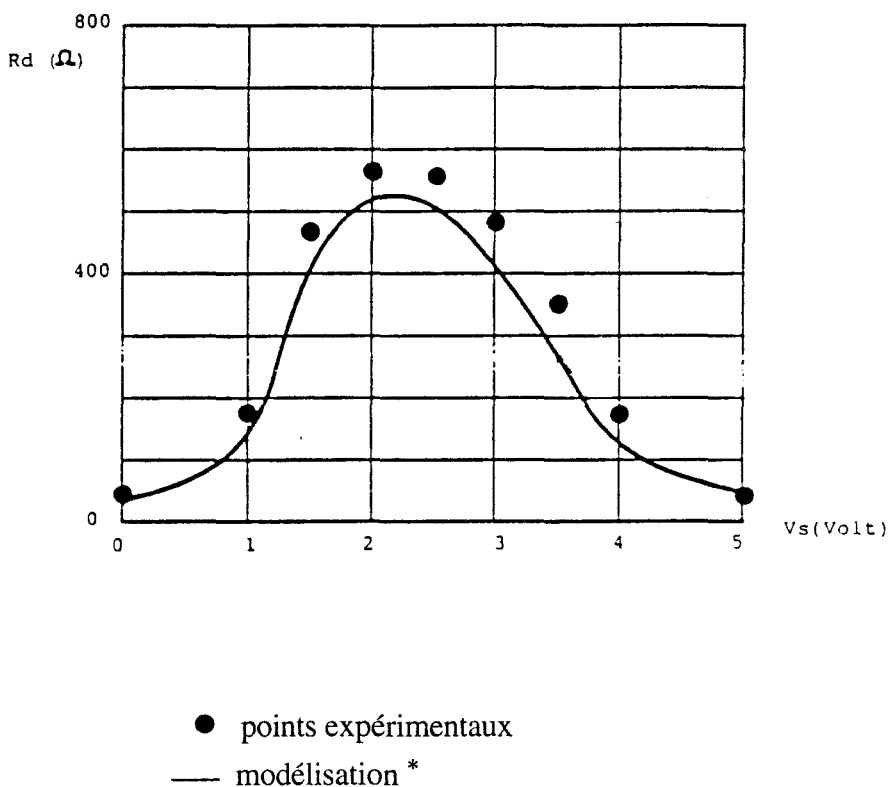


Figure II-18: Résultats expérimental et théorique de R_d

* extraite de la bibliographie [10]

1.2 . 2ème situation: la caractéristique de transfert est modifiée

Cette situation s'applique par exemple au cas où le composant 1 est chargé par une grande capacité comme c'est le cas avec notre protocole de test: la tension de sortie du composant sous test transite alors d'un état logique à un autre avec une durée très longue comme l'illustrent les signaux de la figure II-19. Nous pouvons remarquer le traînage de la transition état bas - état haut de la tension en sortie du composant 1 (V_{s1}) bien que sa tension d'entrée (V_{e1}) soit déjà passée de 5 volts à 0. En effet, vu la forte charge capacitive, le potentiel de sortie varie très lentement puisque le courant drain du transistor qui conduit, nécessite un temps élevé pour apporter la quantité d'électricité nécessaire à la charge complète de la capacité C de la ligne.

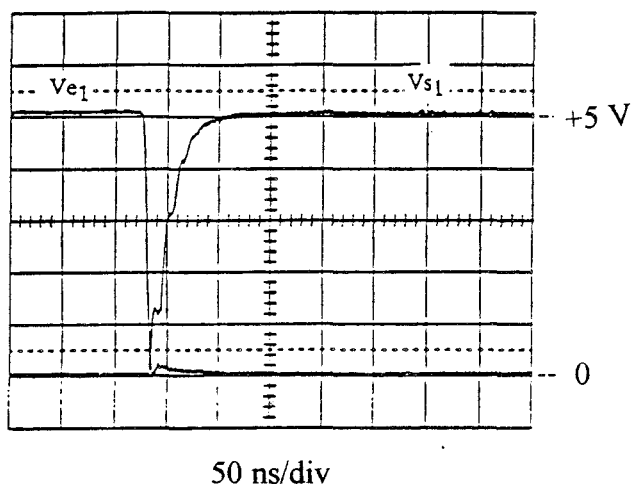


Figure II-19: Mise en évidence de la modification de la fonction de transfert du composant 1

Le transfert de conduction d'un transistor à l'autre va cette fois-ci se produire sur les caractéristiques paramétrées par $V_{e \text{ canal } p} = 0$ et $V_{e \text{ canal } n} = V_{cc}$ comme le montre la figure II-20. Dans le cas de la transition montante en sortie du composant sous test (cas précédent), le point de fonctionnement à sa sortie va décrire la trajectoire de la caractéristique courant-tension du transistor canal p . Par conséquent, la résistance dynamique de sortie va être celle du canal p évoluant de la zone de conduction saturée à la zone de conduction résistive.

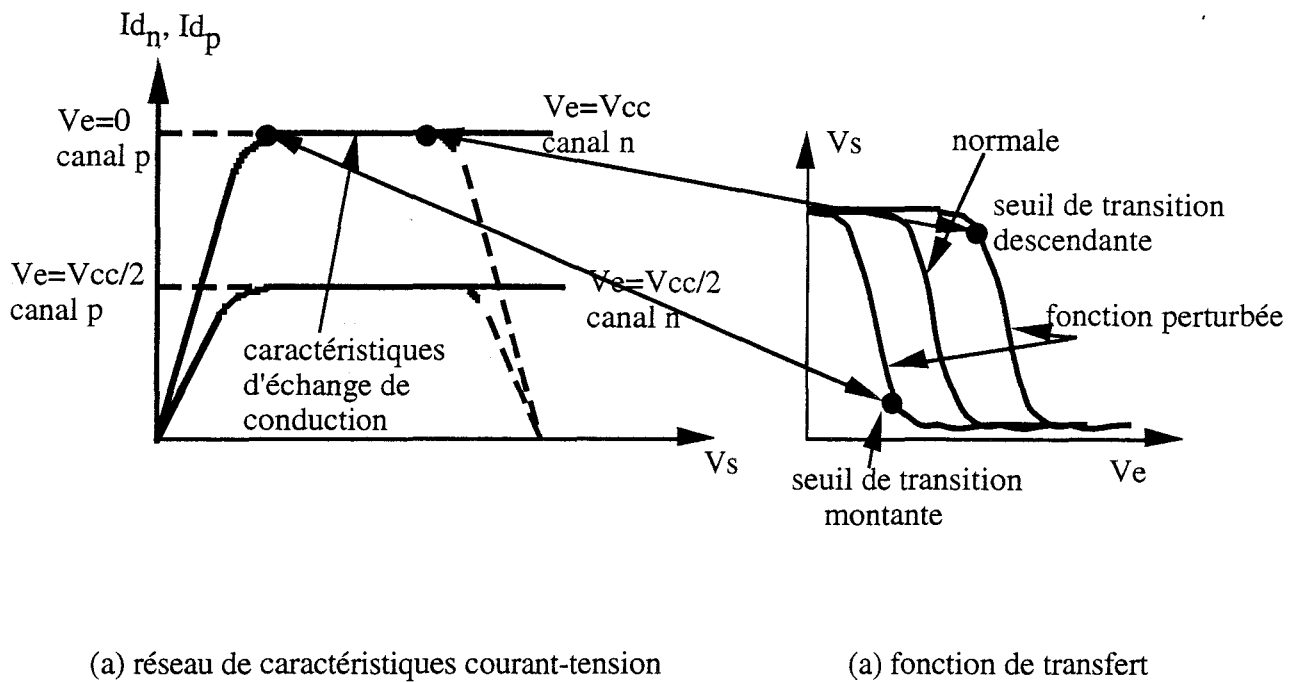


Figure II-20: Fonction de transfert perturbée

Afin de déterminer l'évolution de la résistance dynamique du pMOS (R_{d_p}), de même que celle du nMOS (R_{d_n}), nous avons utilisé le banc de mesure de R_d (annexe I, page 192) où le potentiel d'entrée du composant 1 est fixé à 5 volts pour la mesure de R_{d_p} et à 0 pour la mesure de R_{d_n} . Le potentiel de sortie quant à lui, est fixé par une source de courant variable à transistors placée en sortie du composant comme le montre la figure II-21.

Les résultats de mesure de R_{d_p} et R_{d_n} ainsi que les caractéristiques courant-tension qui leur sont associées sont présentés sur la figure II-22. Nous pouvons remarquer que la résistance dynamique de sortie est toujours grande dans la zone de commutation. La sortie du composant 1 peut encore être assimilée à une source de courant. Par ailleurs, cette résistance dynamique étant grande devant l'impédance caractéristique de la ligne, l'assimilation de la ligne à sa capacité se justifie.

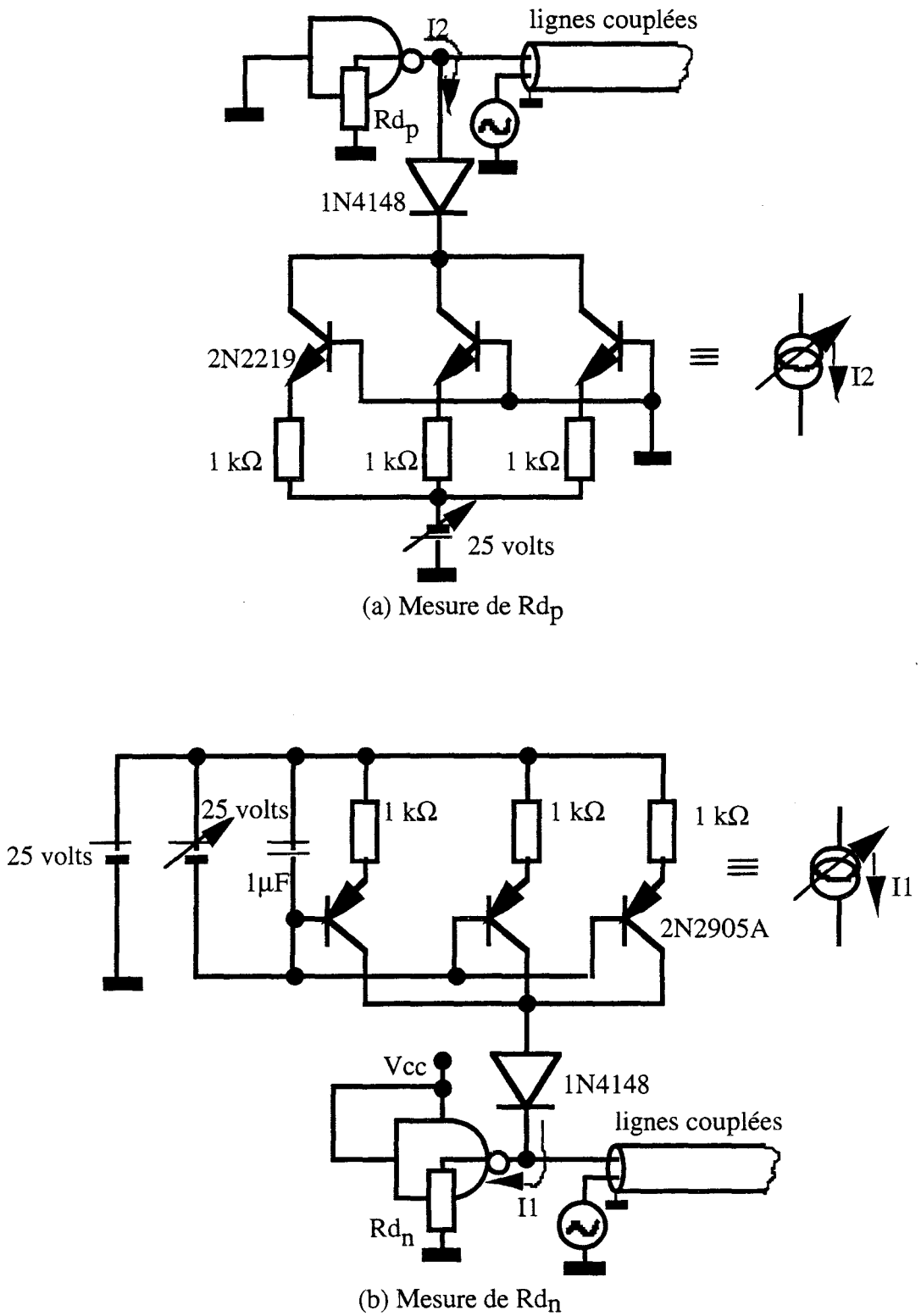


Figure II-21: Protocole de mesure de R_{d_p} et R_{d_n}

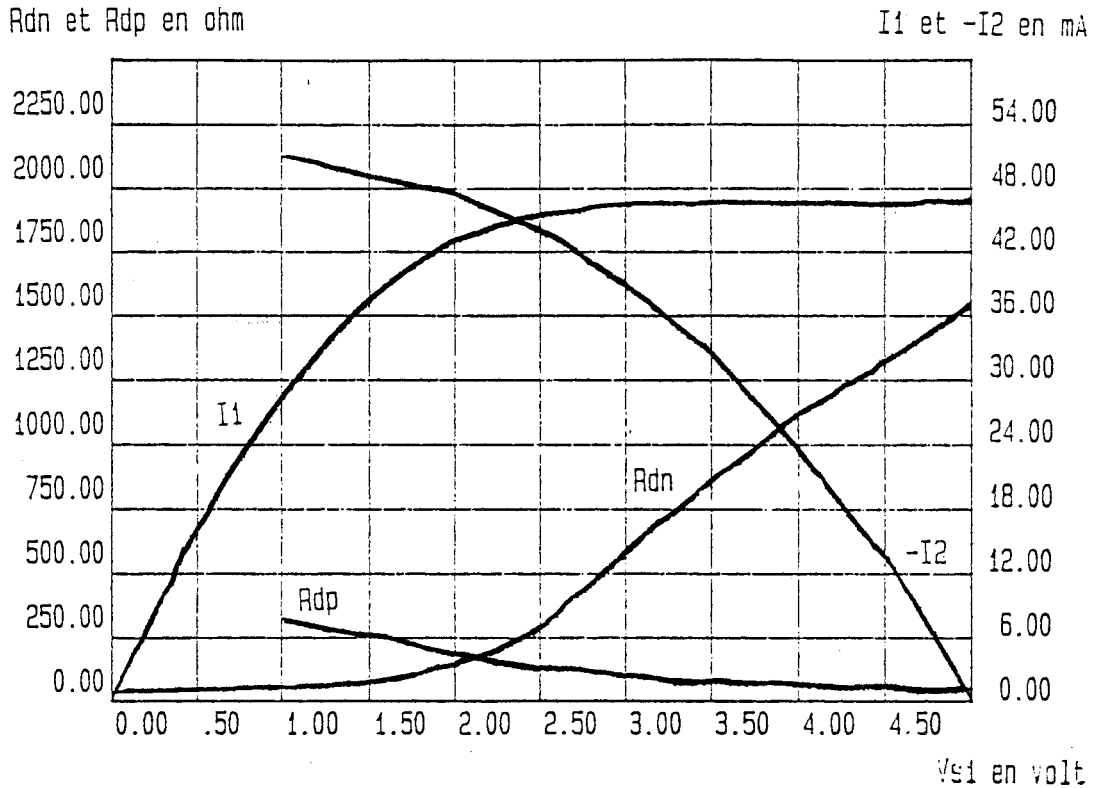


Figure II-22: Résultats de mesure de R_{dp} et R_{dn}

2. Comportement sur les états statiques

En première approximation, nous pouvons étendre la notion de résistance dynamique aux états statiques en admettant que la résistance statique de ces états est peu différente de la résistance dynamique en zone de conduction résistive: ce sont les valeurs de R_{dn} à 0 volts et de R_{dp} à 5 volts (voisines de 50 ohms pour les familles HCU, HC). La sortie se trouve alors en basse impédance et peut alors être considérée comme une source de tension continue 0 volt sur l'état bas et 5 volts sur l'état haut. Du point de vue dynamique, la sortie se comporte sur ces états statiques comme des charges R_{dp} et R_{dn} (Figure II-23).

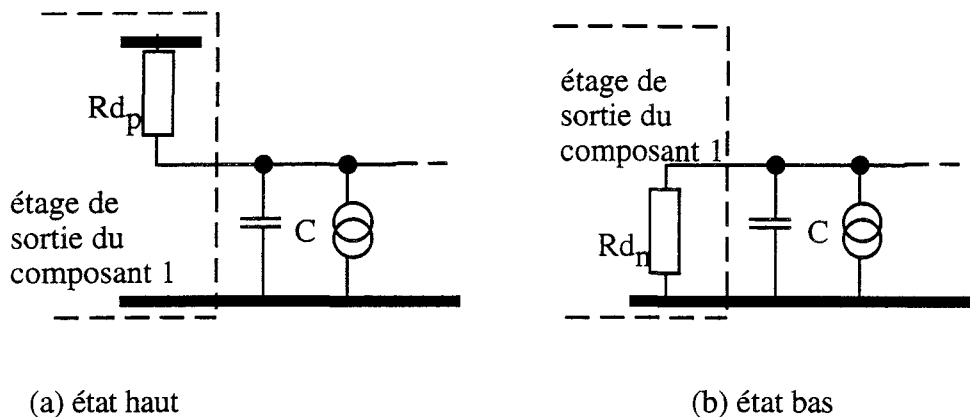


Figure II-23 :Comportement dynamique de la sortie de l'inverseur CMOS sur les états statiques

II-2-2 Interprétation des retards de fronts.

Ces faits expérimentaux sont observés en sortie du composant 2 grâce à la grande vitesse d'échantillonnage de l'oscilloscope numérique utilisé. La tension sinusoïdale d'alimentation $V_p(t)$ de la ligne émettrice est de fréquence 1,5 MHz et d'amplitude telle que son action n'entraîne pas la destruction des composants mais plutôt une déformation des signaux qu'ils transmettent .

La tension $V_p(t)$ induit sur la ligne réceptrice une source de courant $J_p(t)$ qui s'écoule à travers la sortie du composant 1 du fait que celle-ci est en basse impédance par rapport à celle de l'entrée du composant 2. Ceci produit une déformation des signaux présents entre les deux composants notamment des transitions d'états logiques et par conséquent, des retards à la commutation en sortie du composant 2. En considérant l'hypothèse des grandes longueurs d'onde, $V_p(t)$ peut s'écrire;

$$V_p(t) = V_{pmax} \sin(2 \pi f t) \quad (II-3)$$

Le courant perturbateur induit s'exprime comme suit ;

$$J_p(t) = C_{12} \cdot 1 \cdot \frac{dV_p(t)}{dt} \quad (II-4)$$

$$\text{soit } J_p(t) = J_{p\max} \cdot \cos(2 \pi f t) \quad (\text{II-5})$$

$$\text{où } J_{p\max} = 2 \pi f C_{12} \cdot l \cdot V_{p\max} \quad (\text{II-6})$$

f est la fréquence du perturbateur
et l, la longueur de la ligne

Comme la ligne est fortement capacitive, nous pouvons considérer qu'au moment des commutations "Etat bas-Etat haut" du composant 1, la sortie de celui-ci peut être assimilée à une source de courant I_{d_p} qui charge la capacité équivalente C de la ligne. Le taux d'accroissement de la tension en sortie de ce composant peut s'écrire :

- En absence du perturbateur :

$$\frac{\Delta V_{S1}(t)}{\Delta t} = \frac{I_{S1}}{C} = \frac{I_{d_p}}{C} \quad (\text{II-7})$$

I_{d_p} est le courant de conduction du transistor canal p.

I_{S1} est le courant de sortie du composant 1 qui est égal à I_{d_p} .

- En présence du perturbateur (Figure II-24): V_{S1} devient V_{S1p} et I_{S1} devient I_{S1p}

$$\frac{\Delta V_{S1p}(t)}{\Delta t} = \frac{I_{S1p}}{C} = \frac{I_{d_p} - J_p(t)}{C} \quad (\text{II-8})$$

Remarque: Nous verrons plus loin qu'un signe "+" devant $J_p(t)$ traduit la phénoménologie des avances de fronts.

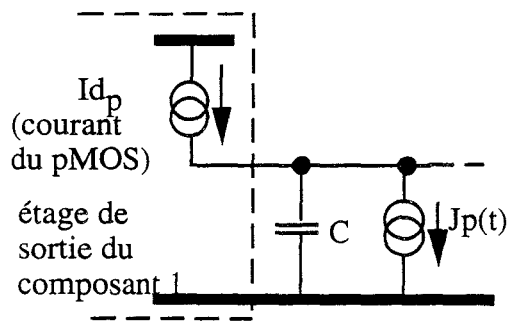


Figure II-24: Modèle équivalent en présence du perturbateur

En remplaçant la relation II-7 dans II-8 nous pouvons montrer que :

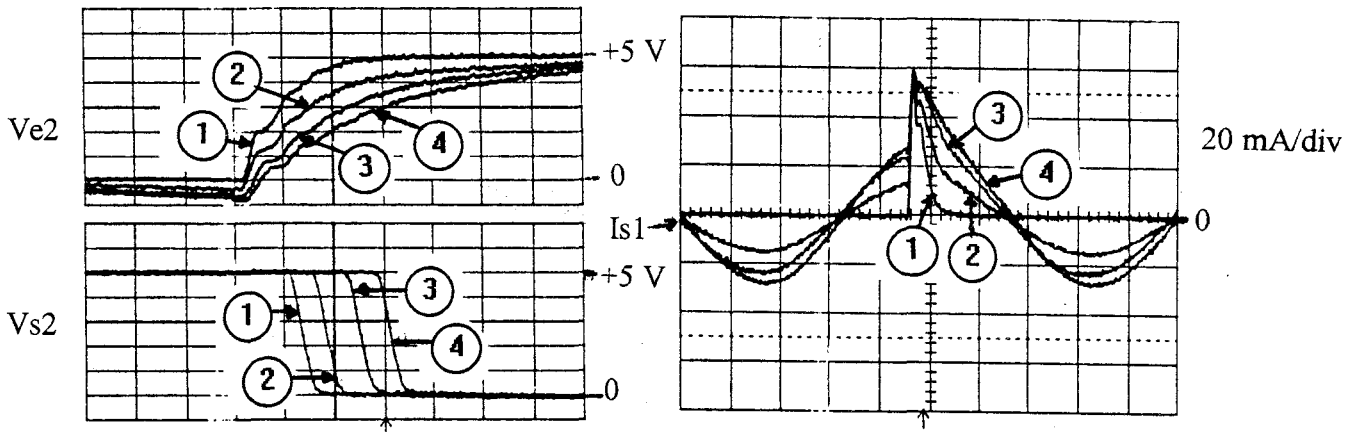
$$\frac{\Delta V_{S1p}(t)}{\Delta t} = \frac{\Delta V_{S1}(t)}{\Delta t} - \frac{Jp(t)}{C} \quad (\text{II-9})$$

Cette dernière relation montre que c'est la présence du courant perturbateur $Jp(t)$ qui est à l'origine de la diminution de la pente $\frac{\Delta V_{S1}}{\Delta t}$ de V_{S1} et par conséquent des retards de fronts. Nous déduisons de cette relation que les retards critiques sont provoqués lorsque $Jp(t)$ se trouve au voisinage de sa valeur crête au moment de la commutation du composant 1, soit ;

$$\frac{\Delta V_{S1p}(t)}{\Delta t} = \frac{\Delta V_{S1}(t)}{\Delta t} - \frac{Jp \text{ max}}{C} \Rightarrow \text{retards critiques} \quad (\text{II-10})$$

La procédure de mesure des décalages décrite antérieurement, mesure ces retards critiques. Ainsi, nous associons à chaque enregistrement la valeur de Jp_{max} mesurée avec une sonde de courant placée en sortie du composant 1. L'exemple d'enregistrement présenté sur la figure II-25 montre d'une part que le retard augmente lorsque Jp_{max} augmente (a), et d'autre

part, le retard maximum pour un niveau donné du perturbateur se produit lorsque la commutation a lieu au voisinage de J_{pmax} (b).



a) 20 ns/div

b) 100 ns/div

- (1) $J_{pmax} = 0$
- (2) $J_{pmax} = 15 \text{ mA}$
- (3) $J_{pmax} = 24 \text{ mA}$
- (4) $J_{pmax} = 29 \text{ mA}$

Figure II-25

Au vu de ces résultats, nous pouvons dire que les relations établies à partir des modèles théoriques de la structure sous test traduisent bien le lien entre le courant perturbateur et la dégradation des transitions d'états logiques en sortie du composant 1, donc en entrée du composant 2.

II-2-3 Interprétation de la pseudo-commutation

Nous avons mis en évidence cette anomalie grâce à la fonction mémoire du compteur binaire placé en aval du composant 2. En effet, il compte deux fronts descendants au lieu d'un, comme le montrent les signaux présentés sur la figure II-26 où l'on voit le compte binaire qu'il effectue sur ses sorties Q_0 et Q_1 (Q_0 indique le bit de poids le plus faible et Q_1 , le bit de poids immédiatement supérieur).

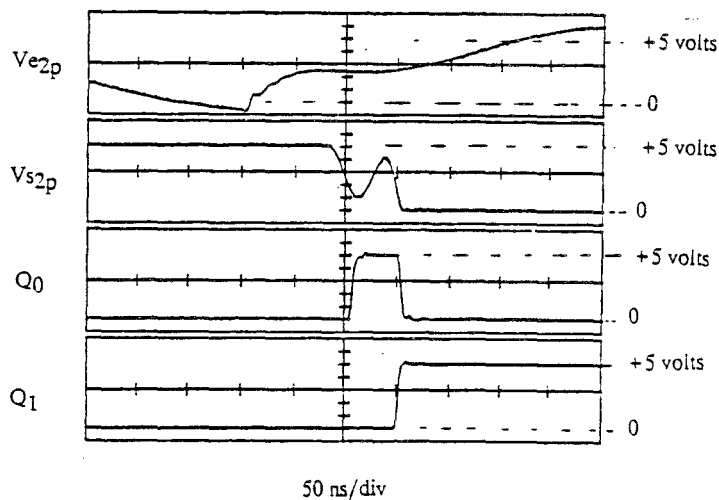


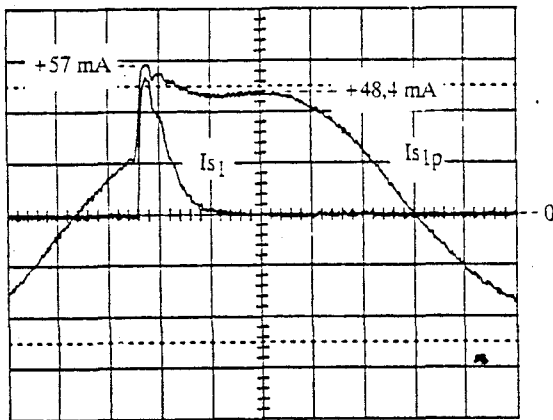
Figure II-26 : Les signaux Q_0 et Q_1 du compteur binaire en aval du composant 2

Le premier front descendant entraîne le basculement de Q_0 du niveau logique "0" au niveau logique "1" tandis que le second front descendant le fait rebasculer à "0", ce qui entraîne le passage de Q_1 de "0" à "1". La tension efficace du perturbateur nécessaire pour entraîner cette anomalie à la fréquence de 1,5 MHz est de 80 volts en sortie de l'amplificateur de puissance. En utilisant la relation II-11, nous pouvons calculer le courant perturbateur induit sur la ligne réceptrice.

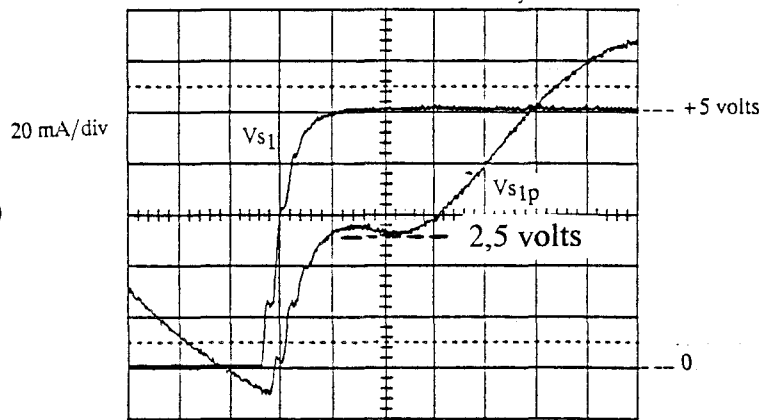
$$J_{pmax} = 2 \pi f C_{12} \cdot l \cdot \sqrt{2} V_{peff} \quad (II-11)$$

$$\left. \begin{array}{l} V_{peff} = 80 \text{ volts} \\ f = 1,5 \text{ MHz} \\ l = 1 \text{ m} \\ C_{12} = 46 \text{ pF/m} \end{array} \right\} \Rightarrow J_{pmax} = 49 \text{ mA} \quad (II-12)$$

Compte tenu des valeurs élevées de l'impédance d'entrée du composant 2 et de l'impédance que présente la capacité C de la ligne à la fréquence de travail, nous pouvons admettre que la quasi-totalité du courant induit se dirige vers le composant 1 dont la sortie est en basse impédance. Etant donné que ce courant varie très peu pendant un temps très long (environ 100 ns) au voisinage du courant drain maximum que peut débiter le composant 1 (Figure II-27-a), la commutation de celui-ci se trouve maintenue dans une zone où ni l'état haut ni l'état bas ne sont garantis (V_{s1} voisin de 2,5 volts, figure II-27-b).



(a) 50 ns/div



(b) 50 ns/div

Figure II-27: signaux de sortie du composant 1 (en présence et en absence du perturbateur)

La tension en sortie des composant 1 et d'entrée du composant 2 subissent alors de fortes distorsions au voisinage du seuil de commutation (2,5 volts) du composant 2. Il en résulte par conséquent une commutation erratique ou pseudo-commutation à sa sortie.

Au vue de ces mécanismes d'agression, nous pouvons dire que la susceptibilité de la structure sous test est, non seulement liée à la capacité de la ligne mais aussi aux caractéristiques propres du composant 1 telles que les caractéristiques courant-tension des transistors MOS qui constituent son étage de sortie. L'utilisation de ces caractéristiques modélisées par B. HEDDEBAUT [10] devrait nous permettre de reproduire sur le plan théorique les mêmes distorsions précédemment interprétées.

II-3 SIMULATION NUMERIQUE DES DISTORSIONS DE SIGNAUX LOGIQUES CREES PAR L'INJECTION DE COURANT PERTURBATEUR

L'objectif de cette simulation est de modéliser le comportement de l'ensemble composant 1 - ligne de liaison - composant 2 en tenant compte le mieux possible des caractéristiques de sortie du composant 1.

Nous pouvons remarquer sur les relevés de tensions (Figure II-27-b, page 68) que les désadaptations d'impédances aux extrémités de la ligne produisent des réflexions multiples. Nous allons donc considérer dans ce paragraphe, le régime transitoire que représente le processus de commutation du composant 1 et utiliser le principe de propagation des ondes mobiles [79], [80], [81] sur la ligne pour la détermination de l'évolution des signaux aux extrémités de la ligne. La présence d'un perturbateur va alors modifier l'amplitude de ces ondes de tension et de courant, et par conséquent faire varier les durées de transitions d'états logiques. La caractéristique courant-tension du composant 1 nous permet de déterminer à chaque réflexion, l'amplitude exacte des ondes incidentes selon la méthode de Bergeron pour résoudre les problèmes où interviennent des charges non linéaires. Quant à l'entrée du composant 2, nous considérons, compte tenu de la résistance grille-source élevée, et en dehors de l'action du réseau de protection, qu'il s'y produit une réflexion totale des ondes (coefficient de réflexion égal à 1).

II-3-1 Description du principe de la simulation

Considérons le schéma de la figure (II-28) où S est la sortie du composant 1, E l'entrée du composant 2 et le triplet (Z_c, τ, J_p) caractérise la ligne perturbée en régime transitoire. τ désigne le temps de propagation de l'onde de S en E, Z_c l'impédance caractéristique, et J_p le courant perturbateur.

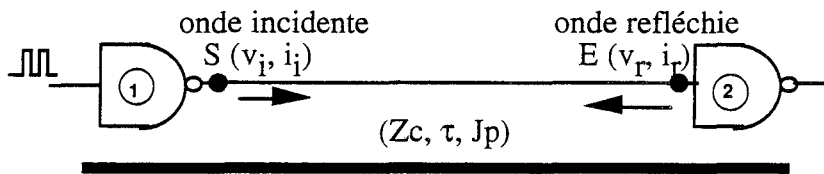


Figure II-28 : Schéma de principe

La méthode des ondes mobiles considère que sur une telle structure, se propagent deux ondes en sens inverse, l'une et l'autre avec la même vitesse de propagation v_p . On appelle v_i l'onde incidente de tension (propagation de S vers E) à laquelle on associe une onde incidente de courant $\frac{v_i}{Z_c}$ et v_r l'onde réfléchie de tension (propagation de E vers S) à laquelle on associe une onde réfléchie de courant $-\frac{v_r}{Z_c}$. On peut décomposer l'onde incidente de tension v_i au point S en une somme d'onde v_i, v_i', v_i'', \dots apparaissant aux instants $t_0, t_0 + 2\tau, t_0 + 4\tau, \dots$ [18]. De même, on peut décomposer l'onde réfléchie de tension v_r au point E en une somme d'onde v_r, v_r', v_r'', \dots apparaissant aux instants $t_0 + \tau, t_0 + 3\tau, t_0 + 5\tau, \dots$. La même règle s'applique aux ondes de courant.

A l'établissement du front de commutation (état bas-état haut) la sortie du composant 1 se comporte comme un générateur de courant (cf. paragraphe II-2-1-2-2, page 56) I_{dp} chargé par l'impédance caractéristique Z_c de la ligne comme le montre la figure II-29. En effet, la transition se faisant de l'état logique bas vers l'état logique haut (tension initiale de sortie $V_{s1}(t_0)$ égale à zéro), la tension drain initiale V_{dp1} du pMOS est égale à - 5 volts.

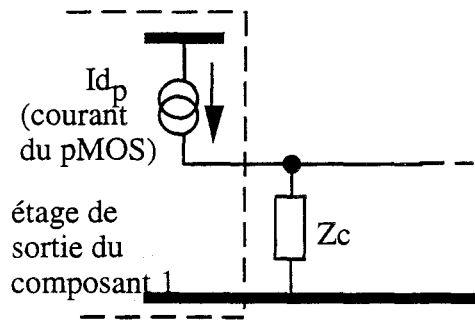


Figure II-29: Schéma équivalent en régime transitoire

En déduisant le courant drain I_{dp1} correspondant à partir de la caractéristique courant-tension du pMOS, on peut calculer l'onde initiale $v_i(t_0 + \epsilon)$ par la relation suivante où ϵ est la durée d'établissement de v_i inférieure à τ et considéré égal en première approximation à zéro :

$$v_i(t_0 + \epsilon) = Z_c \cdot I_{dp1} \quad (\text{II-13})$$

Lorsque le courant perturbateur J_p , dont la longueur d'onde est très supérieure à la longueur de la ligne, est non nul à l'établissement du front, l'onde incidente $v_i(t_0 + \epsilon)$ dépend à la fois de I_{dp1} et de J_p . Ces deux sources se comportent comme une source unique $I_{dp1} - J_p$. Le schéma précédent peut alors être complété par le source perturbatrice J_p comme suit:

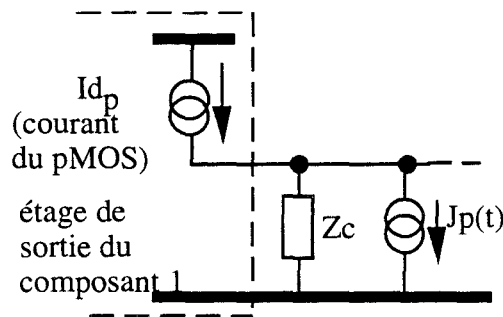


Figure II-30

L'onde incidente initiale devient :

$$v_i(t_0 + \varepsilon) = Z_c \cdot (I_{dp1} - J_p(t_0 + \varepsilon)) \quad (\text{II-14})$$

où $J_p(t_0 + \varepsilon)$ est la valeur du courant perturbateur à l'instant $t_0 + \varepsilon$

Cette valeur de l'onde incidente est la valeur de l'échelon au moment de la commutation qui va s'ajouter à la tension initiale $V_{s1}(t_0)$ en sortie du composant à l'instant t_0 . $V_{s1}(t_0)$ n'est plus nulle à cause du perturbateur. Il est à noter que lorsque celle-ci est plus grande que -0,5 volts, elle est calculée par le produit $R_{dn} \cdot J_p(t_0)$ où R_{dn} est la résistance du MOS canal n quand celui-ci est en zone de conduction résistive. Par contre lorsqu'elle tend à être plus petite que -0,5 volt, les diodes de protection la limitent à cette valeur. Cette limitation est introduite analytiquement par l'évolution du courant direct aux bornes d'une diode. Connaissant la valeur de $V_{s1}(t_0)$, on déduit la tension drain du pMOS, puis son courant drain I_{dp1} à partir de la caractéristique courant-tension. Le niveau $V_{s1}(t_0 + \varepsilon)$ du premier palier de réflexion peut donc s'écrire ;

$$V_{s1}(t_0 + \varepsilon) = V_{s1}(t_0) + Z_c \cdot (I_{dp1} - J_p(t_0 + \varepsilon)) \quad (\text{II-15})$$

En utilisant le développement de la propagation de l'onde incidente présenté en annexe II (page 197), nous pouvons montrer que si $v_r(t_0 + \tau)$ est l'onde réfléchie au temps $t_0 + \tau$, la nouvelle onde incidente v_i' au temps $t_0 + 2\tau + \varepsilon$ va s'écrire ;

$$v_i'(t_0 + 2\tau + \varepsilon) = \Gamma_S \cdot v_r(t_0 + \tau) \quad (\text{II-16})$$

où Γ_S est le coefficient de réflexion à la sortie du composant 1.

Compte tenu de la non linéarité de la résistance dynamique de sortie du composant 1 dans sa zone de commutation, la détermination de la nouvelle onde incidente est faite à partir de la caractéristique courant-tension du pMOS. Après avoir obtenu la nouvelle onde incidente, le processus recommence et se poursuit jusqu'à la fin complète de la commutation.

Sur l'état logique haut, lorsque V_{s1} est plus petite que 5,5 volts, elle est calculée par $5 + R_{dp} \cdot J_p$ où R_{dp} est la résistance du MOS canal p. De façon analogue à ce qui se passe sur l'état bas, lorsque V_{s1} tend à être plus grande que 5,5 volts, elle est limitée à cette valeur par les diodes de protection.

II-3-2 Présentation des résultats de simulation.

Pour deux valeurs du courant perturbateur respectivement égales à 0 et 49 mA crête, nous avons présenté sur la figure II-31 la tension en sortie du composant 1 et en entrée du composant 2.

Pour les mêmes valeurs du courant perturbateur, nous avons présenté sur la figure II-32, uniquement le courant en sortie du composant 1 car le courant en entrée du composant 2 est constamment nul du fait de la réflexion totale avec changement de signe des ondes mobiles de courant.

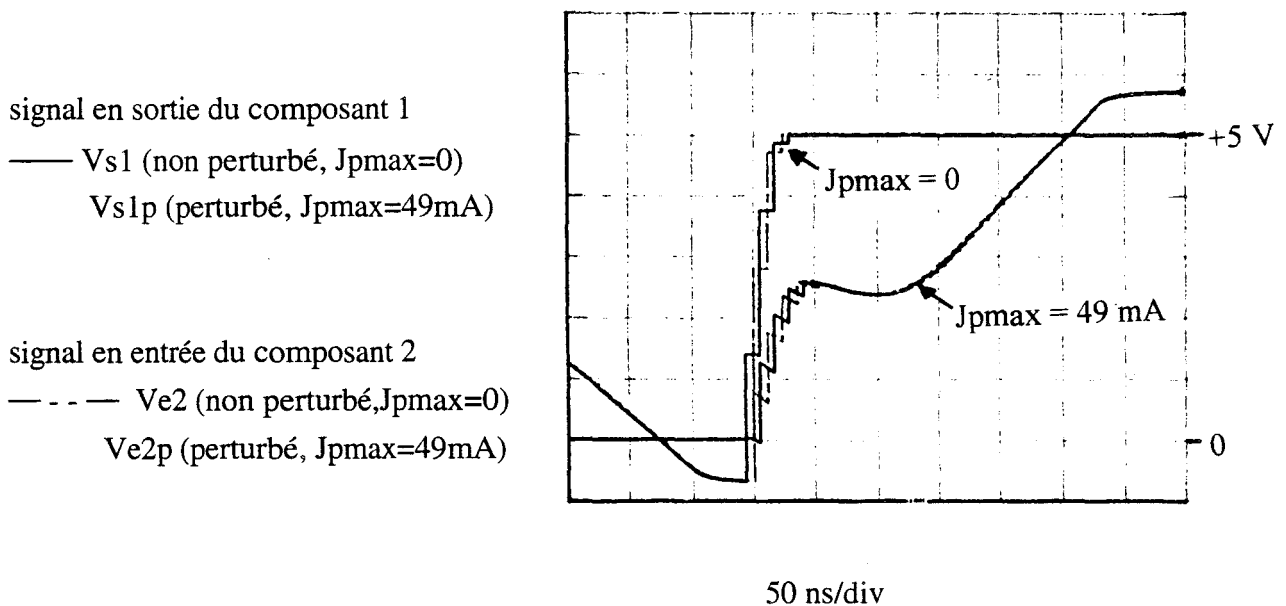


Figure II-31: Tension de sortie du composant 1 et d'entrée du composant 2

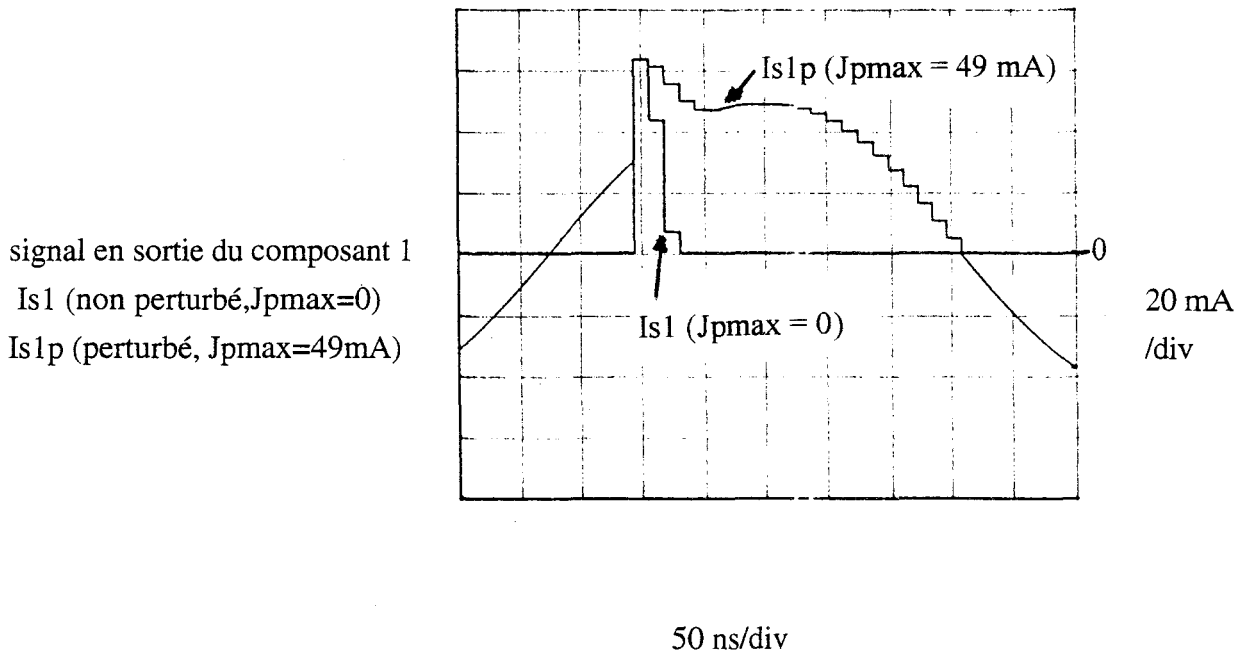


Figure II-32: Courant en sortie du composant 1

Les paliers que l'on observe sur le courant sont les niveaux du courant drain I_{dp} imposés par le pMOS. Ces niveaux restent constants durant les temps d'aller-retour des ondes de courant lorsque pendant ce temps le courant du pMOS est plus grand que le courant perturbateur J_p . Notons que nous avons considéré pendant ce temps que la polarisation du pMOS ne change pas. Le courant traversant l'impédance caractéristique quant à lui, est modifié par les variations en fonction du temps du perturbateur puisqu'il résulte de la combinaison de I_{dp} et J_p . Ceci provoque une variation des paliers de V_{s1p} et de V_{e2p} . Ces variations restent faibles puisque le temps d'aller-retour des ondes mobiles est faible par rapport à la longueur d'onde du perturbateur.

Par ailleurs, afin d'associer ces résultats au "modèle capacité" de la ligne, nous avons déduit de la figure II-31 la tension V_c équivalente (Figure II-33) aux bornes de la capacité C de la ligne en reliant tous les points où V_{s1p} et V_{e2p} se croisent.

Vc
Valeur moyenne de
Vs1 et Ve2 (Jpmax=0)
et de Vs1p et Ve2p (Jpmax=49 mA)

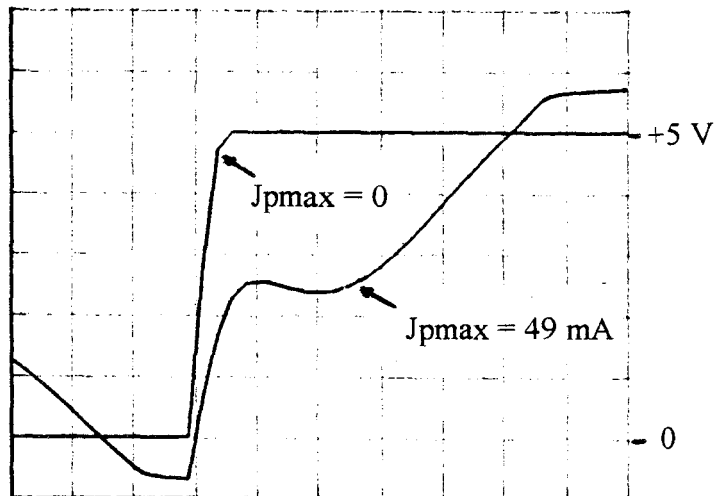


Figure II-33: Tension équivalente aux bornes de la capacité C de la ligne.

II-3-3 Comparaison des résultats expérimentaux et résultats de simulation.

II-3-3-1. Cas de la pseudo-commutation (palier à 2,5 volts)

Pour J_p égal respectivement à 0 et 49 mA, nous avons superposé les signaux de simulation aux signaux expérimentaux (Figure II-34). Nous pouvons remarquer qu'il y a un bon accord entre ces résultats.

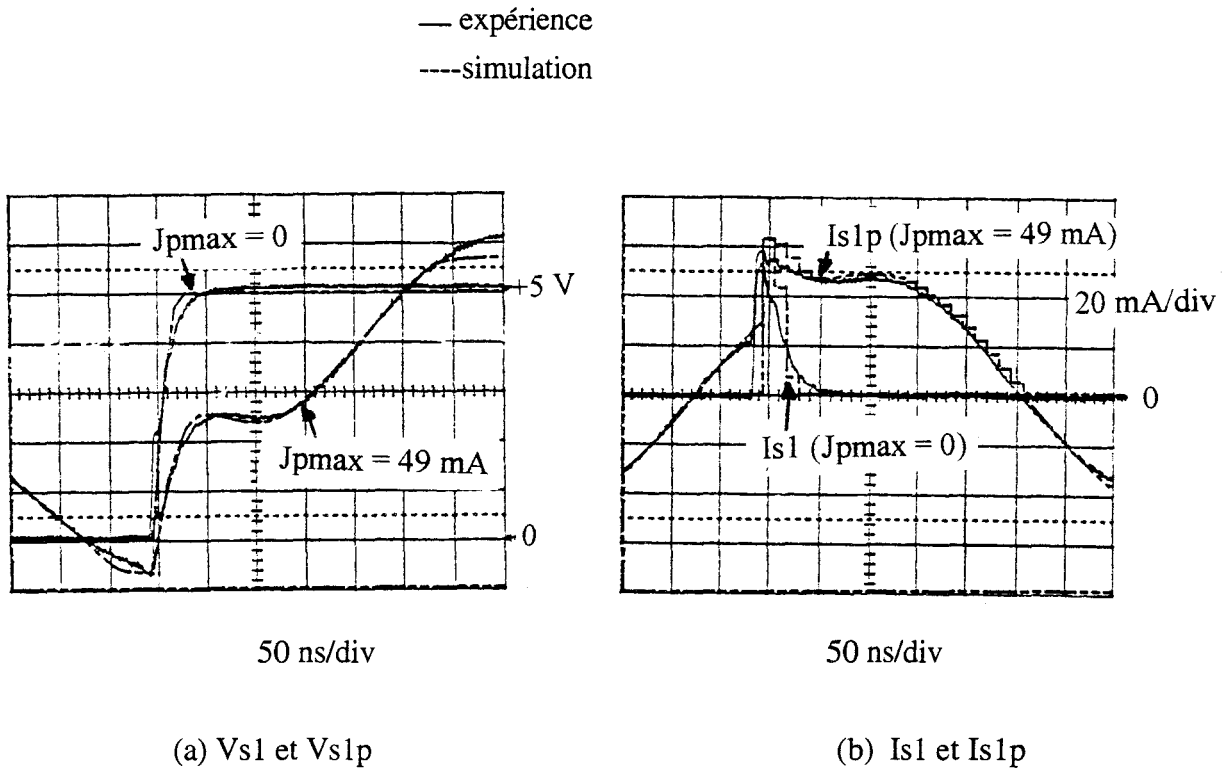


Figure II-34

II-3-3-2. Cas du retard de front

Pour J_{pmax} prenant quatre valeurs différentes, nous avons présenté sur la figure II-35 les résultats expérimentaux et de simulation de la tension d'entrée et de sortie du composant 2. Pour bien mettre en évidence le changement de pente sur les résultats théoriques, nous avons substitué V_c à V_{e2} .

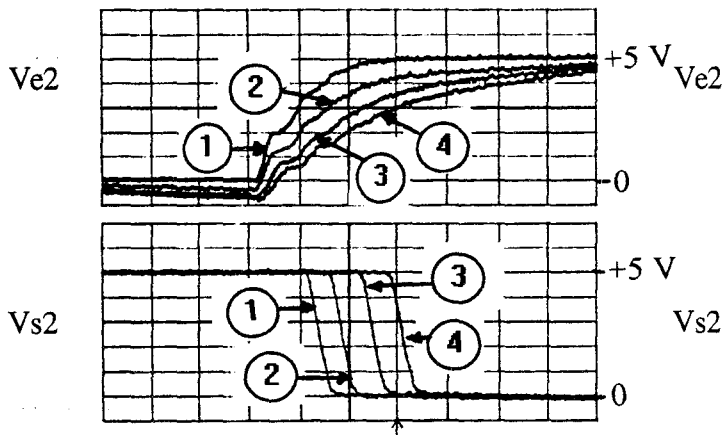
Joseph G. TRONT [4] a montré théoriquement que les relations de phase entre perturbateur et perturbé pouvaient influencer les anomalies observées. Nous pouvons mettre en évidence cette influence si nous considérons la formulation $[J_{pmax} \sin(\omega t + \psi)]$ de J_p encore égale à $[J_{pmax} \sin(\omega(t + \Delta t\psi))]$. En effet, il apparaît que pour mieux corrélérer les résultats de simulation aux résultats expérimentaux, il faut tenir compte de $\Delta t\psi$. Nous avons choisi en première approximation comme phase pour la simulation des décalages, les retards de front

relevés sur les signaux expérimentaux et pour la simulation de la pseudo-commutation, l'écart temporel entre les deux maxima du courant I_{s1p} en sortie du composant 1 (Figure II-34-b).

Résultats expérimentaux

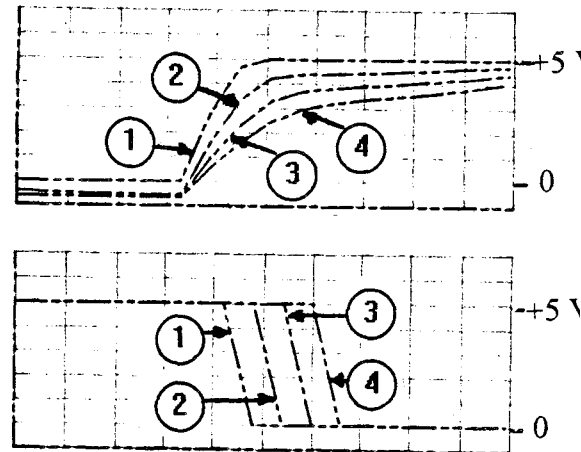
Résultats théoriques

- (1)-----> $J_{pmax} = 0$
- (2)-----> $J_{pmax} = 15 \text{ mA}$
- (3)-----> $J_{pmax} = 24 \text{ mA}$
- (4)-----> $J_{pmax} = 29 \text{ mA}$



20 ns/div

(a)



20 ns/div

(b)

Figure II-35

II-4 COMPARAISON DU COMPORTEMENT DU COMPOSANT SOUS TEST VIS A VIS DE SA FAMILLE TECHNOLOGIQUE.

II-4-1 Comparaison à l'aide de la caractéristique de retard de fronts.

L'étude de la sensibilité aux injections de courant à la sortie des composants logiques de la famille HCU a permis de comprendre la phénoménologie de superposition des IEM. en couplage électrique sur les signaux logiques que véhiculent ces composants. Nous avons montré précédemment que l'injection de courant en sortie du composant 1 se manifeste éventuellement par des retards des fronts de commutation en sortie du composant 2. Ce retard pouvant atteindre plusieurs dizaines de nanosecondes, on comprend aisément le risque que peuvent représenter ces injections de courant pour le fonctionnement des systèmes synchrones que constituent la plupart des fonctions de sécurité.

D'autre part, lorsque le niveau du courant injecté atteint le courant maximum que peut délivrer le composant alors que celui-ci est en cours de commutation, on assiste à une pseudo-commutation du composant en aval. Ces deux anomalies nous ont servi ici, de critères de comparaison des familles C, HC, HCT, HCU, AC, ACT de la technologie CMOS. Notons que les deux dernières familles sont à l'heure actuelle une nouvelle génération de circuits CMOS (FACT [19],[20]) caractérisée par des temps de commutation les plus courts et des courants de sortie les plus élevés de la technologie CMOS. La série AC (exemple AC04) dispose des niveaux d'entrée-sortie CMOS comme la HC tandis que la série ACT (exemple ACT04) dispose des niveaux d'entrée TTL et des niveaux de sortie CMOS comme la HCT.

Nous avons porté sur la planche II-1 l'évolution du retard à la commutation de ces familles dans la gamme de courant perturbateur (0 à 60 mA crête) que peut délivrer notre protocole de test. Le symbole " \curvearrowright " qui figure à l'extrémité des courbes représente le seuil où apparaît la pseudo-commutation. Remarquons que les courbes d'indice 4 correspondant aux familles AC et ACT ne portent pas ce symbole. En effet, le courant perturbateur maximum dont nous disposons est insuffisant pour s'opposer au courant de sortie du composant 1 et de ce fait produire la pseudo-commutation.

Les quatre graphiques de cette planche correspondent chacun à une famille différente du composant 2. Sur chaque graphique, les retards présentés sont pris par rapport au transit logique non perturbé suivant la procédure de mesure du paragraphe II-1-2-1 (page 49). On remarque que le composant 2 joue bien le rôle d'interface car si l'on ne tient pas compte de son temps de propagation propre, le changement de celui-ci modifie très peu les décalages temporels dus au perturbateur.

En comparant les courbes d'un même graphique, nous pouvons remarquer que la CMOS classique (C) est plus sensible aux injections de courant que la CMOS rapide "bufférisée" (HC, HCT). Celle-ci est à leur tour plus sensible que la CMOS rapide "non bufférisée" (HCU). Cette dernière est plus sensible que la CMOS très rapide (AC, ACT).

En admettant que la valeur crête du courant perturbateur nécessaire à l'obtention de la pseudo-commutation est assez représentative de la sensibilité du composant sous test aux retards de front et aux pseudo-commutations, nous pouvons donner une classification des différentes familles testées (Tableau suivant).

Jpmax (mA) (pseudo-commutation)	3	40	45	supérieur à 60
Famille	C	HC HCT	HCU	AC ACT

Tableau II-2 : Classification des différentes variantes technologiques testées

famille du composant 1 : 1---> C

2---> HC, HCT

3---> HCU

4---> AC, ACT

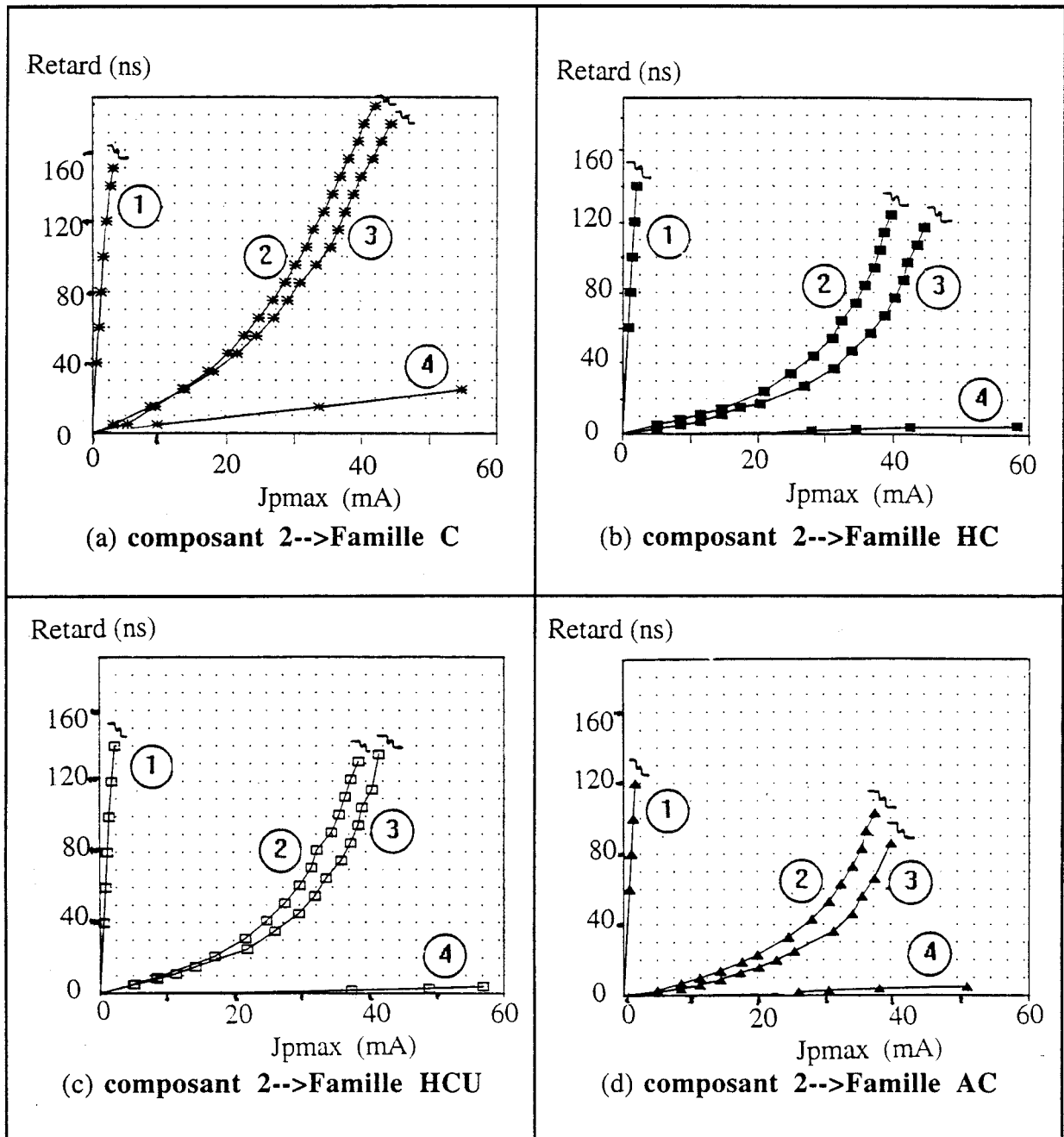


Planche II-1: Comparaison de plusieurs variantes technologiques.

II-4-2 Modélisation de la caractéristique de retards en fonction du courant perturbateur.

L'objectif de cette modélisation est de rechercher une formulation analytique approchée de l'évolution du retard de front de façon à en déduire son évolution en fonction de la phase Δt_{φ} et de quelques formes d'onde du perturbateur.

Considérons donc le graphique de la figure II-36 qui représente la tension de début de commutation en sortie du composant 1 en absence (V_{s1}) et en présence (V_{s1p}) du perturbateur.

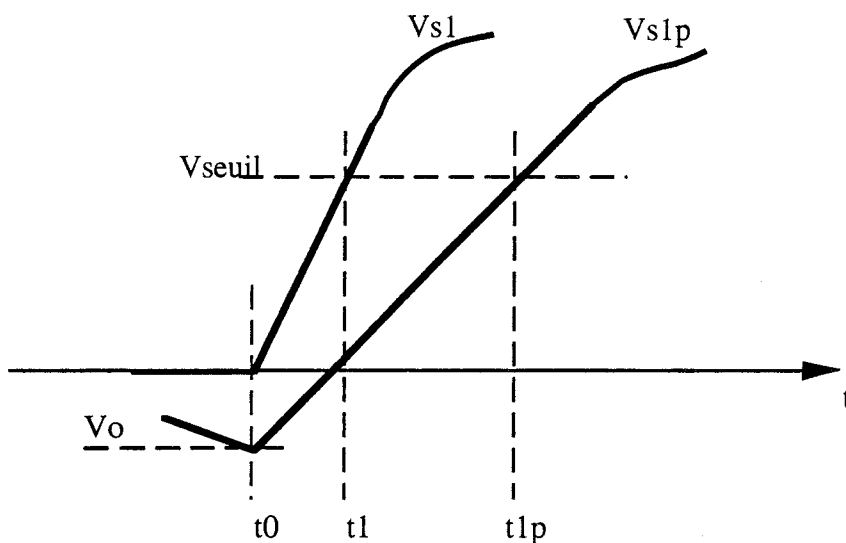


Figure II-36

t_0 est l'instant du début de la commutation

t_1 " où V_{s1} atteint le seuil de commutation du composant 2 (V_{seuil})

t_{1p} " V_{s1p} " " " "

V_0 est le niveau initial de V_{s1p} . Elle s'écrit différemment suivant les valeurs de V_{s1p} :

- si V_{s1p} tend à être inférieure à -0,7 volt, $V_0 = -0,7$ volt
- lorsque V_{s1p} est comprise entre -0,7 volts et 0, $V_0 = -R_{dn} \cdot J_p$
- et si V_{s1p} est supérieure à 0, $V_0 = R_{dn} \cdot J_p$

En définitive, si nous admettons que la période du perturbateur est bien plus grande que le temps de propagation du composant 2 (voisin de 5 ns) le retard Δ_{tr} peut être approchée par l'écart entre t_{1p} et t_1 , soit ;

$$\Delta_{tr} = t_{1p} - t_1 \quad (\text{II-17})$$

En associant les relations II-7 et II-10 (page 48 et 49) à la description de la figure précédente, nous pouvons écrire :

$$\frac{\Delta V_{s1p}}{\Delta t} = \frac{V_{seuil} - V_o}{t_{1p} - t_o} = \frac{I_{d_p} - J_{pmax}}{C} \quad (\text{II-18})$$

$$\frac{\Delta V_{s1}}{\Delta t} = \frac{V_{seuil}}{t_1 - t_o} = \frac{I_{d_p}}{C} \quad (\text{II-19})$$

En introduisant la relation II-17 dans la relation II-18, on a ;

$$\frac{V_{seuil} - V_o}{\Delta_{tr} + t_1 - t_o} = \frac{I_{d_p} - J_{pmax}}{C} \quad (\text{II-20})$$

soit ;

$$\Delta_{tr} = - (t_1 - t_o) + C \frac{V_{seuil} - V_o}{I_{d_p} - J_{pmax}} \quad (\text{II-21})$$

Les relations II-19 et II-21 donnent ;

$$\Delta_{tr} = C \frac{V_{seuil} \cdot J_{pmax} - V_o \cdot I_{d_p}}{I_{d_p} (I_{d_p} - J_{pmax})} \quad (\text{II-22})$$

où $C = 350$ pF et V_{seuil} est pris arbitrairement à 2,5 volts

En considérant le famille HCU pour laquelle $Rd_n = 40 \Omega$ et $Id_p = 53 \text{ mA}$, nous avons comparé sur la figure II-37 l'évolution théorique de Δtr au relevé expérimental. Nous remarquons un bon accord entre ces deux courbes. Par ailleurs, nous pouvons déduire de la relation II-22 que la loi d'évolution de Δtr est en effet une hyperbole dont les limites sont les suivantes :

$$\left. \begin{array}{l} \lim_{J_{pmax} \rightarrow Id_p} \Delta tr = +\infty \\ \lim_{J_{pmax} \rightarrow 0} \Delta tr = 0 \end{array} \right\} \quad (II-23)$$

Physiquement, la limite infinie au voisinage de Id_p se traduit par un retard très grand en sortie du composant 2 avec apparition de pseudo-commutations. Au delà de Id_p , plusieurs commutations liées à la fréquences du perturbateur peuvent apparaître sur l'un des états statiques ou sur les deux à la fois.

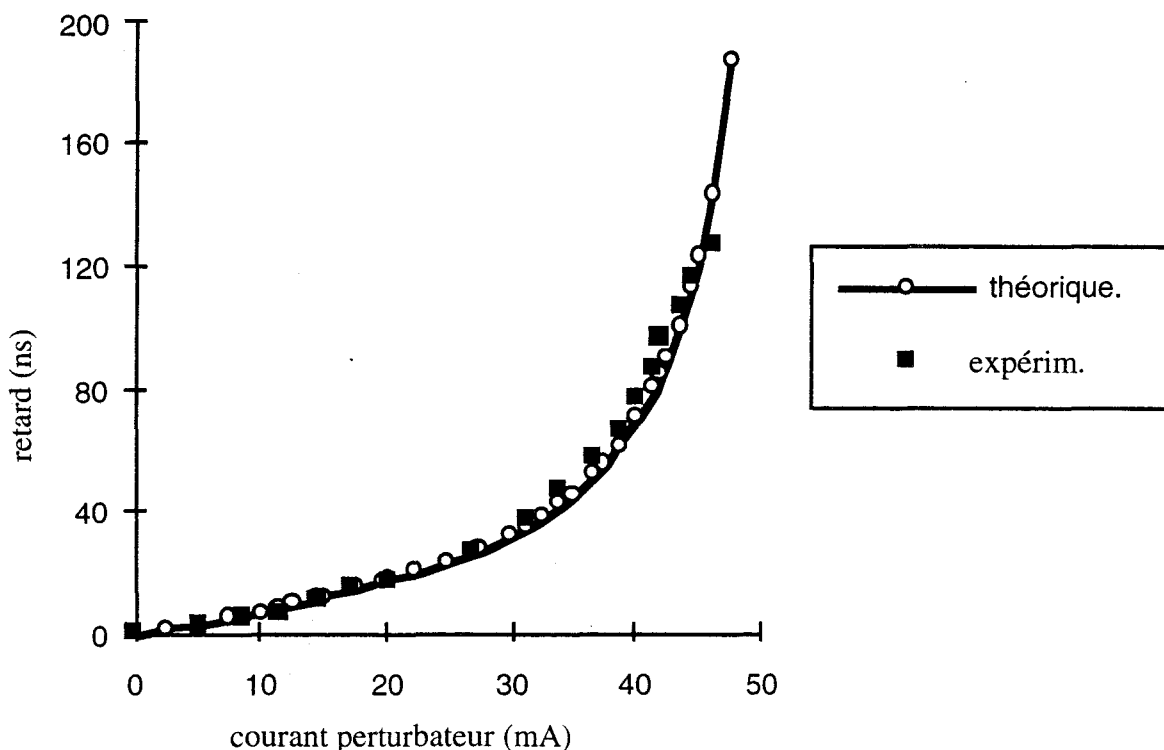


Figure II-37

II-4-3 Application du modèle de retard à la caractérisation d'avance de front

En considérant les transitions état bas-état haut en sortie du composant 1 où I_{d_p} est un courant sortant du composant (considéré positif), le modèle de retard de front correspond au cas où I_{d_p} et J_{pmax} sont de même signe, soit :

$$J_{pmax} = + |J_{pmax}| \quad (II-24)$$

ce qui entraîne

$$dt = C \cdot \frac{V_{seuil} \cdot |J_{pmax}| - V_o \cdot I_{d_p}}{I_{d_p} (I_{d_p} - |J_{pmax}|)} \quad (\text{formule de retard}) \quad (II-25)$$

Dans le cas contraire où I_{d_p} et J_{pmax} sont de signes opposés ($J_{pmax} = - |J_{pmax}|$, relation suivante), le modèle de dt est par conséquent de signe opposé au précédent (Figure II-38).

$$dt = C \cdot \frac{-V_{seuil} \cdot |J_{pmax}| - V_o \cdot I_{d_p}}{I_{d_p} (I_{d_p} + |J_{pmax}|)} \quad (\text{formule d'avance}) \quad (II-26)$$

Cette relation traduit l'évolution des avances de front. Nous pouvons par ailleurs remarquer que les avances sont d'amplitudes plus faibles. Cela est dû au fait qu'elles sont liées à un mécanisme d'accélération des transitions d'états logiques et ne peuvent de ce fait, être plus grandes que la durée moyenne du front en absence du perturbateur. Pour des raisons de simplifications, nous avons désigné dans tout le reste du document, retard et avance de front par le terme "décalage temporel de front" ou encore "décalage". Ainsi les décalages négatifs sont des avances de front et les positifs sont des retards de front.

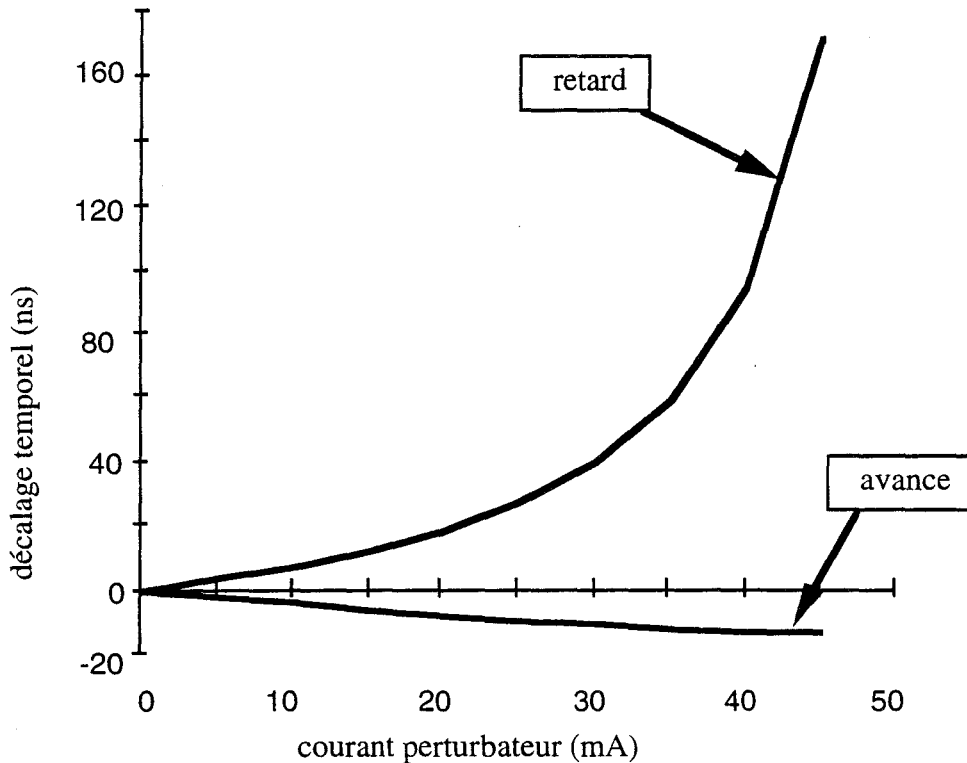


Figure II-38

II-4-4 Application du modèle de décalage de front à la modélisation des effets de phase et de formes d'onde perturbatrices.

Nous avons fait usage de l'expression II-22 du décalage dans laquelle nous avons remplacé J_{pmax} par $J_{pmax} * g(t, \Delta t\psi)$ où $g(t, \Delta t\psi)$ caractérise la forme d'onde, t est l'instant de commutation du composant et $\Delta t\psi$ la phase de l'onde par rapport à t . Par exemple $g(t, \Delta t\psi) = \cos(2\pi f(t + \Delta t\psi))$ désigne une onde sinusoïdale de fréquence f . Les planches II-2 à II-4 présentent les résultats théoriques de l'évolution du décalage en fonction de $\Delta t\psi$ et de l'amplitude crête J_{pmax} de l'onde pour plusieurs formes de celle-ci.

$$g(t, \Delta t \psi) = \cos(2\pi f(t + \Delta t \psi))$$

$$t = 0$$

$$f = 1,5 \text{ MHz}$$

x -----> phase temporelle $\Delta t \psi$ du perturbateur par rapport
au transit logique en entrée du composant 2

y -----> valeur crête J_{pmax} du courant perturbateur

z -----> décalage temporel du transit logique en sortie du composant 2

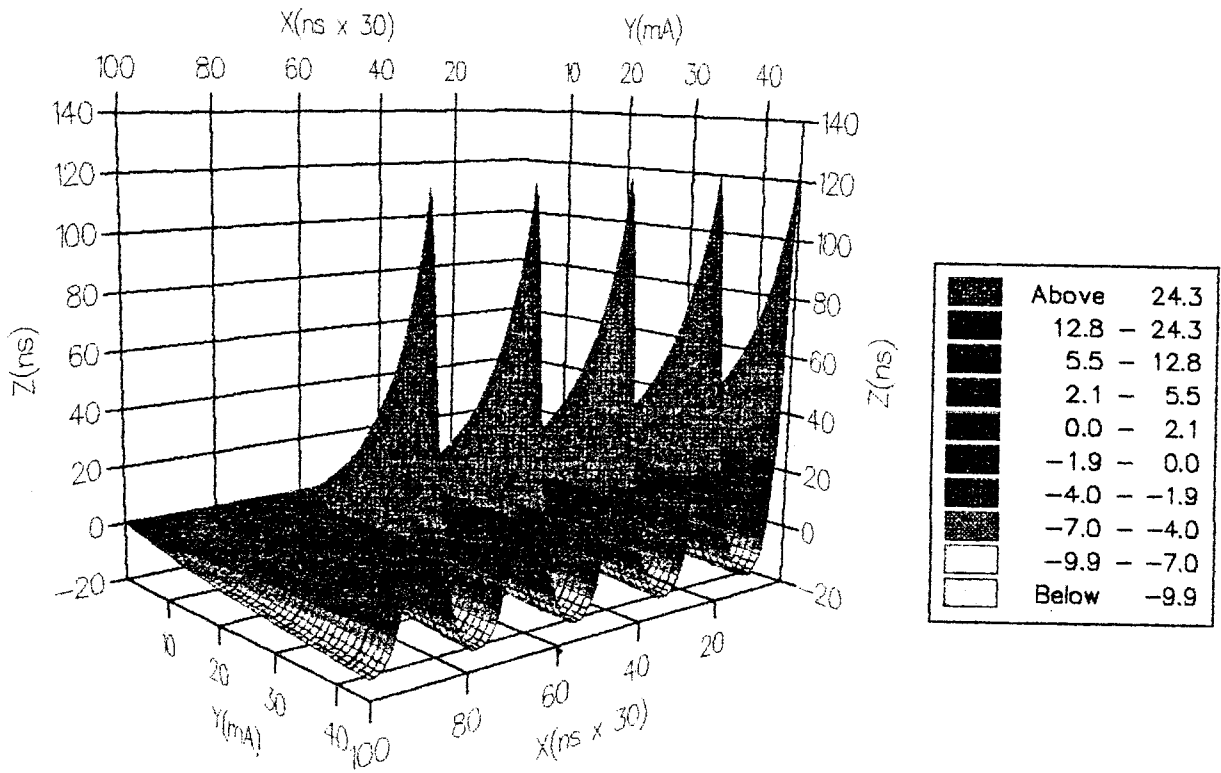


Planche II-2

$$g(t, \Delta t\psi) = e^{-\frac{(t+\Delta t\psi)}{\tau}} \cos(2\pi f(t+\Delta t\psi))$$

$$t = 0$$

$$f = 1,5 \text{ MHz}$$

$$\tau = 20 \mu\text{s}$$

x -----> phase temporelle $\Delta t\psi$ du perturbateur par rapport

au transit logique en entrée du composant 2

y -----> valeur crête $J_{p\text{max}}$ du courant perturbateur

z -----> décalage temporel du transit logique en sortie du composant 2

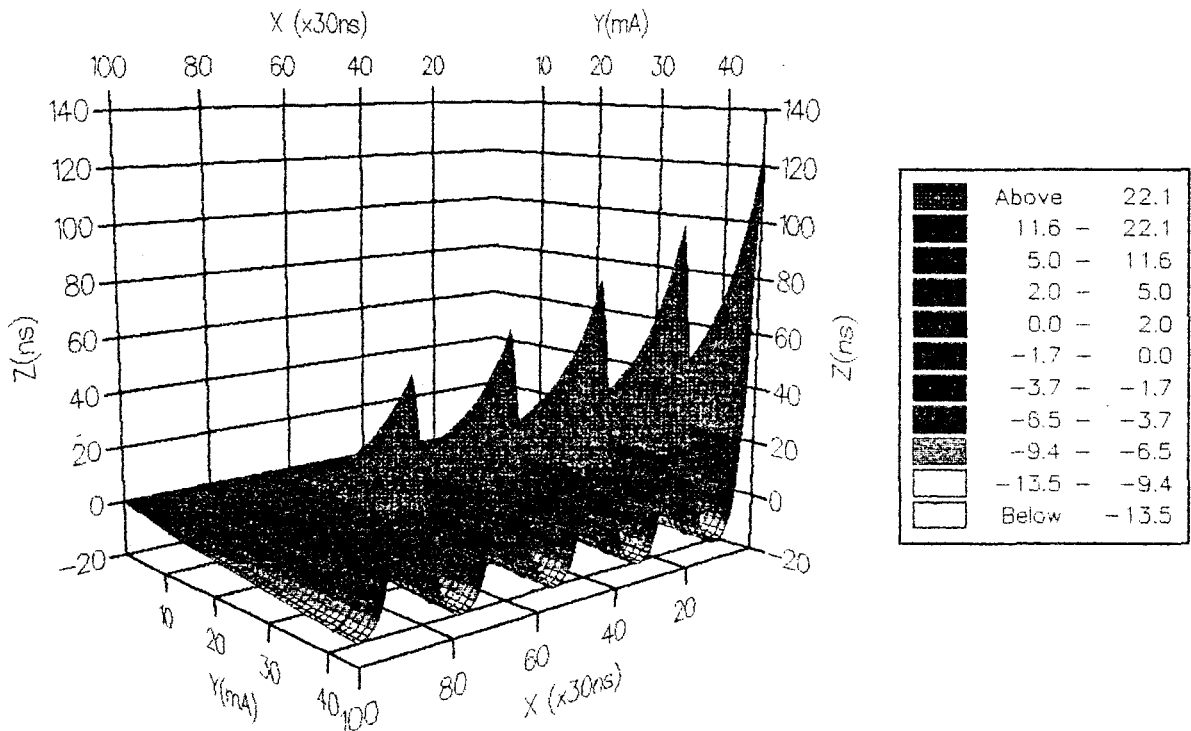


Planche II-3

$$g(t, \Delta t\psi) = \sin \left[2\pi \frac{f}{\alpha} (t + \Delta t\psi) \right] \cos(2\pi f(t + \Delta t\psi))$$

$$t = 0$$

$$f = 1,5 \text{ MHz}$$

$$\alpha = 5$$

x -----> phase temporelle $\Delta t\psi$ du perturbateur par rapport au transit logique en entrée du composant 2

y -----> valeur crête J_{pmax} du courant perturbateur

z -----> décalage temporel du transit logique en sortie du composant 2

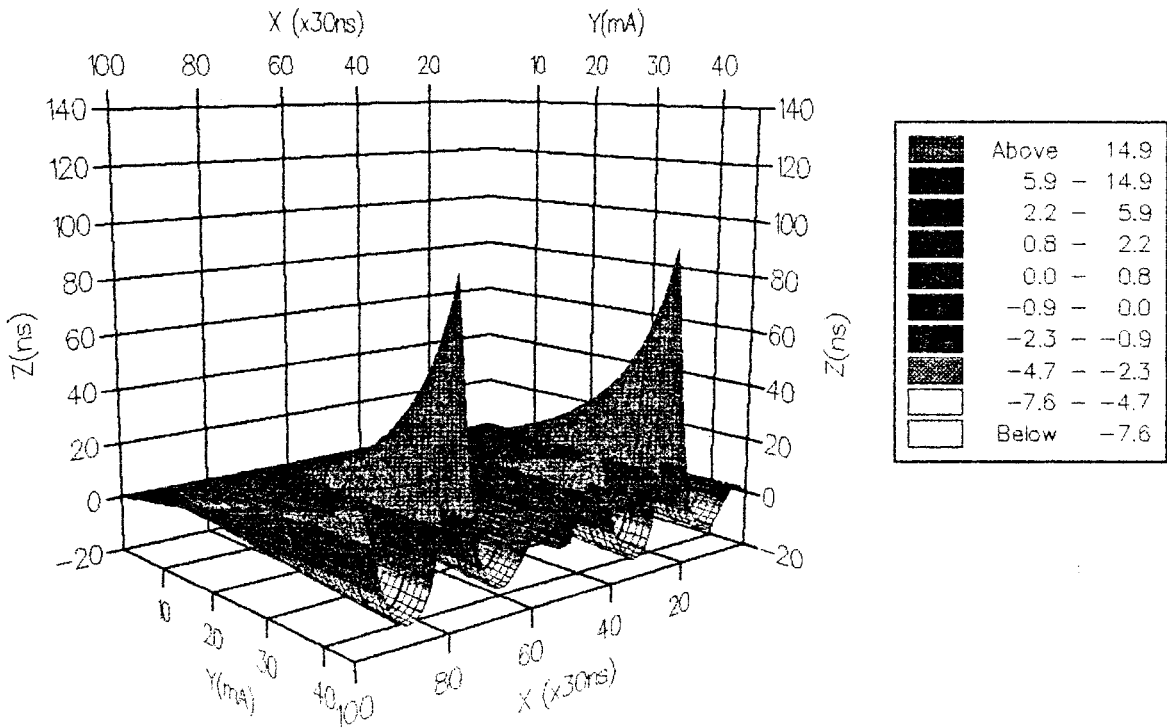


Planche II-4

CONCLUSION

L'**E**tude phénoménologique du comportement des composants logiques soumis aux injections de courant perturbateur, présentée dans ce chapitre, a montré que leur sensibilité électromagnétique dépend d'un grand nombre de paramètres parmi lesquels nous pouvons citer: leur famille technologique, la capacité des lignes d'interconnexion, la relation de phase entre perturbateur et perturbé, la fréquence et la forme d'onde du signal perturbateur.

Deux anomalies principales ont été mises en évidence : les décalages temporels des transitions d'états logiques aux faibles niveaux du perturbateur et l'apparition de pseudo-commutation à des niveaux élevés. Cette dernière anomalie est due au fait que l'amplitude du courant perturbateur atteint un niveau voisin du courant crête que peut débiter le composant sous test dans la charge capacitive à sa sortie.

L'interprétation des faits expérimentaux observés et la simulation numérique des distorsions de signaux qu'ils engendrent, nous a permis de mieux comprendre les mécanismes qui gèrent ces effets. Par ailleurs, l'étude comparative des différentes variantes technologiques soumises aux injections de courant perturbateur a montré que la famille CMOS classique est plus sensible en subissant un retard voisin de 150 ns lorsque sa sortie est soumise à un courant perturbateur de 2 mA. S'agissant des familles les moins sensibles, nous pouvons mentionner la FACT (AC, ACT) qui subit un retard voisin de 5 ns pour un courant de 60 mA : les familles les plus rapides sont donc moins sensibles aux injections de courant perturbateur. La modélisation des caractéristiques de retard nous a permis de modéliser l'influence de la phase et de quelques formes d'onde du perturbateur

Compte tenu du grand nombre des paramètres qui interviennent dans les effets produits par un signal perturbateur, nous avons consacré le chapitre suivant à la mise en oeuvre d'un outil qui devrait nous permettre de faire des tests systématiques dans le chapitre IV. Ces tests concernent aussi bien l'influence de la cadence des transitions d'états logiques que celle de la géométrie des lignes d'interconnexion dans le cas où celles-ci sont des pistes de circuit imprimé.

Chapitre III

**APPROCHE STATISTIQUE
DE LA SUSCEPTIBILITE
ELECTROMAGNETIQUE
DES CIRCUITS LOGIQUES**

Chapitre III . APPROCHE STATISTIQUE DE LA SUSCEPTIBILITE ELECTROMAGNETIQUE DES CIRCUITS LOGIQUES

INTRODUCTION	90
III-1 LES OBJECTIFS	92
III-2 L'OUTIL DE TEST	94
III-2-1 Principe de l'outil	94
III-2-1-1 Définition et échantillonnage des fenêtres de test des transits décalés	94
III-2-1-2 Comparaison des échantillons et génération du mot "résultats"	95
III-2-1-3 Justificatif du choix de trois échantillons avant le front.....	97
III-2-2 Le banc de test.....	98
III-2-2-1 Les principaux équipements du banc.....	98
III-2-2-2 La carte de test et d'acquisition des données (mot "résultats") en temps réel.	98
III-2-3 Algorithme de transfert et de traitement du microcontrôleur.	99
III-2-3-1 Transfert sans pré-traitement.....	102
III-2-3-2 Transfert avec pré-traitement.....	103
III-3 RESULTATS EXPERIMENTAUX	105
III-3-1 Etude expérimentale du nombre N : Utilisation du 1er algorithme de transfert	105
III-3-2 Caractérisation de la sensibilité électromagnétique de l'équipement sous test par des paramètres à caractère statistique : Utilisation du 2nd algorithme de transfert et de traitement.....	109
CONCLUSION	114

INTRODUCTION

Les décalages des transits logiques peuvent avoir une conséquence importante dans la gestion des systèmes logiques synchrones puisqu'ils peuvent produire de faux états logiques par rapport au signal d'horloge ou de synchronisation. Nous avons montré dans le chapitre précédent que ces perturbations dépendent d'un grand nombre de paramètres parmi lesquels nous pouvons citer le déphasage entre le perturbateur et le transit perturbé. En effet, suivant sa valeur, le décalage peut prendre des valeurs allant de zéro à sa valeur critique et peut être un retard ou une avance.

Considérons un rapport non entier entre la fréquence du perturbateur et celle des signaux logiques de telle sorte que le déphasage varie d'un transit à un autre. Il est évident que le décalage variera lui aussi. Lors du test d'un grand nombre de transits logiques, nous avons mis en évidence que chacune des valeurs dt du décalage dispose d'une chance ou probabilité d'apparition qui peut être estimée en faisant le rapport du nombre N_{dt} donnant dt sur le nombre total N de transits testés.

La difficulté majeure de cette estimation réside dans le choix du nombre N qui donne une probabilité caractéristique de dt même dans les cas où le rapport entre fréquence du perturbateur et fréquence des signaux logiques est voisin d'un nombre entier de sorte que le décalage varie peu d'un transit à un autre. La solution la plus simple pour résoudre cette difficulté consiste à faire une analyse sur un nombre suffisamment grand pour obtenir des résultats statistiques valables. Ainsi nous avons conçu et réalisé au laboratoire un outil de test dont la fonction est d'établir la probabilité d'erreur due à la présence des décalages. Il s'agit d'une carte électronique qui comporte un générateur de mots binaires sur lesquels une perturbation est appliquée, un dispositif d'échantillonnage permet de tester les transits logiques. Les résultats de test sont stockés dans une mémoire de masse. Un microcontrôleur permet de transférer ces informations vers un ordinateur qui se charge de faire le traitement statistique.

Nous définissons dans la première partie de ce chapitre, les objectifs visés par cette approche statistique. La seconde partie est consacrée à la mise en oeuvre de l'outil d'analyse. Et enfin, dans la dernière partie, nous publions quelques résultats expérimentaux qui illustrent la mesure des décalages exprimée au moyen de leurs valeur moyenne et écart type.

III-1 LES OBJECTIFS

Dans le chapitre précédent, nous avons caractérisé la sensibilité électromagnétique de plusieurs familles de composants en présentant l'évolution du décalage de transits logiques en fonction du courant perturbateur. Pour bien comprendre l'approche statistique, il est indispensable de rappeler que cette caractéristique représente l'évolution des cas les plus défavorables en fonction du courant perturbateur. En effet, lorsque nous nous plaçons à un point de coordonnées (dt, J_{pmax}) , dt représente le plus grand décalage enregistré pour $J_p = J_{pmax}$. Or, suivant le déphasage entre le courant perturbateur et le transit logique, le décalage peut prendre d'autres valeurs entre les apparitions de deux cas défavorables consécutifs. Pour mieux distinguer les cas intermédiaires, nous avons repris sur une période et demi (Figure III-1) du perturbateur, le graphique de la planche II-2 (page 86), pour lequel le décalage dt s'écrit:

$$dt(J_{pmax}, t, \Delta t\psi) = C \cdot \frac{V_{seuil} \cdot J_{pmax} \cos(\omega(t + \Delta t\psi)) - V_o \cdot Id_p}{Id_p [Id_p - J_{pmax} \cos(\omega(t + \Delta t\psi))]} \quad (III-1)$$

où $\omega = 2\pi f$; $f = 1,5 \text{ MHz}$; $t = 0$

Les paramètres Id_p , C , V_{seuil} , V_o sont les mêmes que ceux du chapitre précédent. Nous pouvons remarquer sur cette figure que le décalage du transit logique produit par le perturbateur est bien lié à la valeur atteinte par celui-ci et pour un déphasage donné.

Remarque.

dt est maximal (retard maximal) pour $\cos(\omega(t + \Delta t\psi)) = 1$ soit $\omega(t + \Delta t\psi) = 2k\pi$, k entier naturel. On en déduit $t + \Delta t\psi = \frac{k}{f} = kT$, où T est le période du perturbateur.

dt est minimal (avance maximale) pour $\cos(\omega(t + \Delta t\psi)) = -1$ soit $\omega(t + \Delta t\psi) = (2k + 1)\pi$. On en déduit $t + \Delta t\psi = (k + \frac{1}{2})T$.

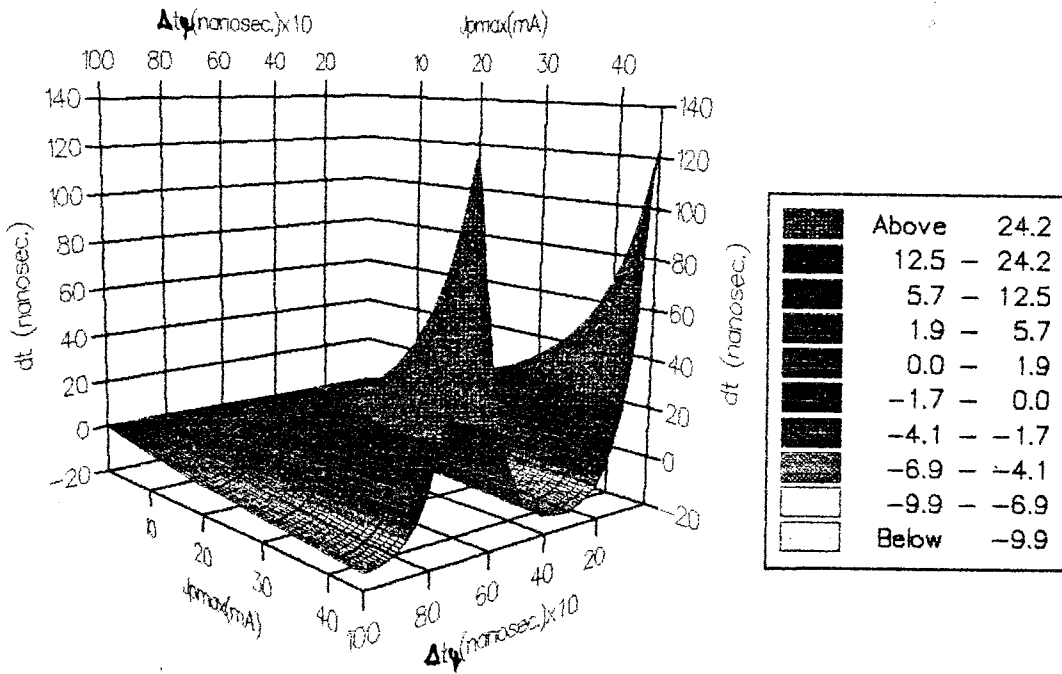


Figure III-1 : Simulation numérique des effets de phase du perturbateur sur les valeurs du décalage

On voit apparaître sur cette courbe tous les autres cas pouvant exister entre deux cas défavorables consécutifs (deux maxima consécutifs).

Ainsi l'objectif fondamental de l'approche statistique est de déterminer la probabilité d'apparition de chacun des cas de décalage pour chaque amplitude du perturbateur, et de rechercher leur valeur moyenne de même que les fluctuations autour de cette moyenne. Notons que l'utilisation d'une approche statistique se justifie lorsque le phénomène physique (ici décalage du transit logique) que l'on étudie revêt un caractère aléatoire. Or dans l'exemple d'illustration précédent, nous sommes en présence d'un phénomène déterministe car du fait de la connaissance de l'évolution du perturbateur nous avons pu proposer une formulation analytique des décalages.

Il faut dire que l'outil de test que nous mettons au point n'exclut pas l'utilisation de perturbateur à caractère aléatoire comme il est généralement le cas dans la réalité et de ce fait seul un traitement statistique peut nous renseigner sur la susceptibilité des équipements sous tests et plus précisément à répondre à des interrogations telles que :

- Quelle est l'influence de la fréquence du perturbateur ?
- Quelle relation existe-t-il entre les perturbations et la cadence des transits logiques ?
- Quelle est l'influence de la géométrie de la ligne de liaison dans le cas d'interconnexion par piste de circuit imprimé ?

Afin d'apporter dans le chapitre suivant une réponse à ces questions, nous avons conçu et réalisé un outil permettant d'obtenir expérimentalement les probabilités d'apparition des décalages. Un traitement permet de déduire leur valeur moyenne. Notons que lorsque le perturbateur sera tel que les décalages vont s'apparenter à une variable aléatoire centrée, la moyenne nous fournira très peu d'informations car elle restera constante. D'où l'intérêt de connaître aussi l'évolution de l'écart type des décalages qui caractérise leurs fluctuations autour de la moyenne.

III-2 L'UTIL DE TEST

III-2-1 Principe de l'outil

III-2-1-1 Définition et échantillonnage des fenêtres de test des transits décalés

Le schéma de principe de l'équipement sous test (E.S.T.) est identique à celui de la Figure (II-13, page 53) à la différence qu'un second E.S.T. non perturbé analogue au précédent génère le signal de référence $V_{\text{réf}}$ (Figure III-2).

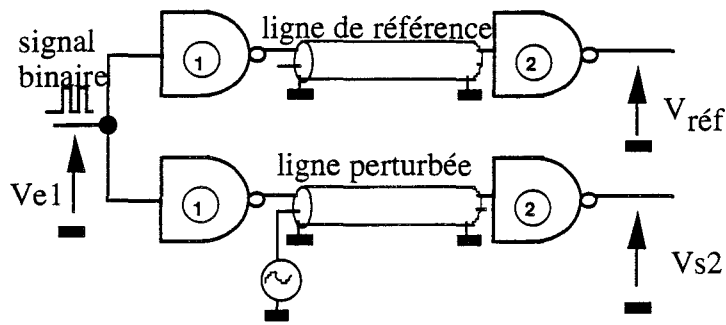


Figure III-2 : Schéma de principe de l'équipement sous test

Le test porte sur les niveaux logiques au voisinage immédiat de tous les transits logiques que comportent les signaux logiques transmis (V_{s2} et $V_{réf}$). Ce voisinage constitue la fenêtre de test et est défini par huit instants d'échantillonnage (Figure III-3) autour de chaque front avec un pas de 5 ns. Notons que ce pas est défini par le temps de propagation t_{pd} d'une porte logique 'AND' de technologie FACT et représente la plus fine résolution que nous pouvons avoir à l'heure actuelle avec la technologie CMOS. Dans tout ce document il restera fixé à 5 ns.

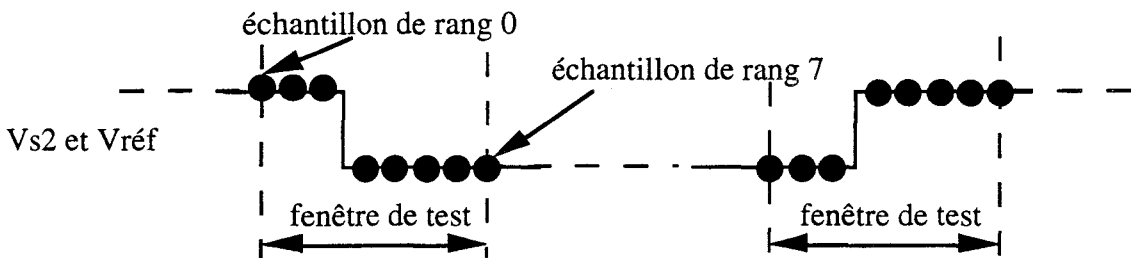


Figure III-3 : Définition de la fenêtre de test

III-2-1-2 Comparaison des échantillons et génération du mot "résultats"

Les niveaux de V_{s2} et $V_{réf}$ sont testés simultanément lors de chacun de ces huit instants. Les échantillons sont comparés deux à deux : un échantillon de rang r de V_{s2} est comparé à l'échantillon du même rang de $V_{réf}$. Un résultat nul (état logique 0) est généré lorsqu'ils sont

identiques. Dans le cas contraire, un résultat non nul (état logique 1) est généré. Ainsi, à chaque transition testée correspond un mot "résultats" à 8 bits (octet). Lorsqu'un message binaire à analyser comporte N transits logiques, N mots "résultats" sont générés et sont stockés en temps réel en mémoire. Ce mot est nul lorsque la transition testée n'est pas perturbée (Figure III-4).

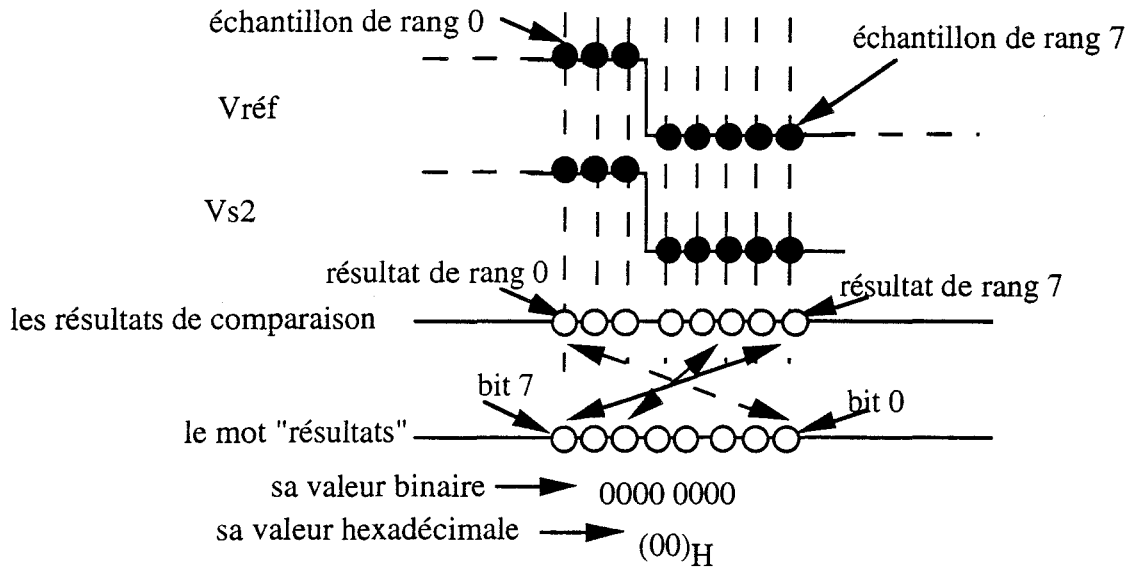


Figure III-4: Mot "résultats" pour un front non perturbé

En présence d'une perturbation (retard ou avance de front), le mot "résultats" est non nul et le rang des résultats non nuls permet de quantifier cette perturbation. Ceci est illustré par l'exemple de la figure III-5 où l'on a un retard de 15 ns.

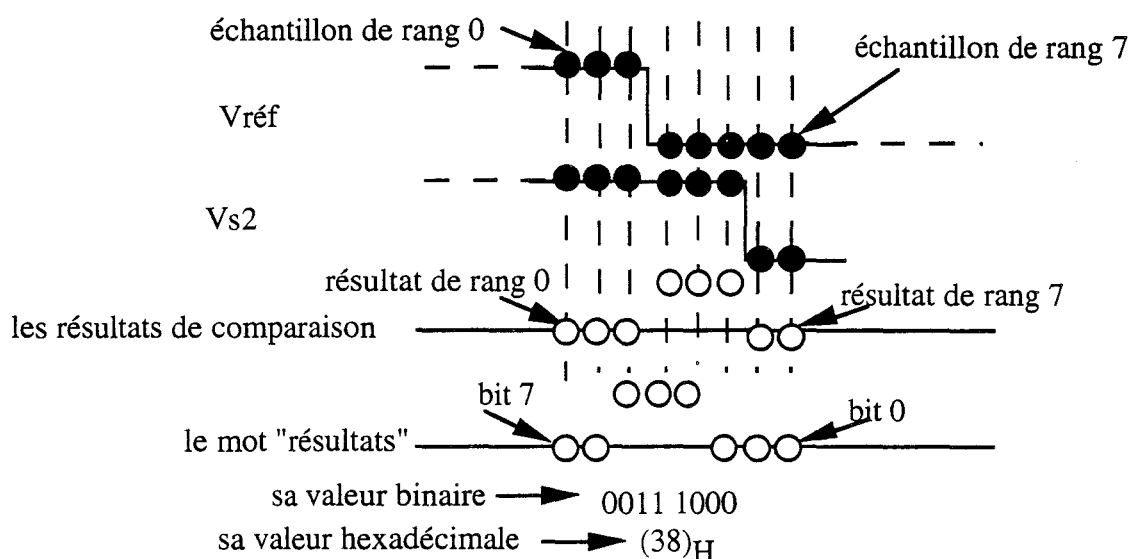


Figure III-5 : Mot "résultats" pour un front perturbé

III-2-1-3 Justificatif du choix de trois échantillons avant le front.

Les échantillons situés avant le front permettent de détecter les avances de front tandis que les autres permettent la détection des retards. Une expérience pratiquée du chapitre II sur un protocole de test qui associe un comparateur à base de portes logiques au schéma de test (Figure II-9, page 49) a en effet montré que pour un courant perturbateur de 47 mA valeur crête à 1,5 MHz, les avances de front se limitent à 15 ns pour la famille HCMOS sous test (Figure II-8, page 48). Il s'agit, comme nous l'avons déjà indiqué d'une accélération du transit logique du composant sous test. Ainsi, trois échantillons suffisent pour couvrir cette plage. Les échantillons étant séparés entre eux d'un pas de 5 ns, les cinq restant couvriront un retard allant jusqu'à 25 ns.

Il faut noter que les échantillons extrêmes (15 ns d'avance et 25 ns de retard) ne sont pas très significatifs car l'un regroupe toutes les avances supérieures ou égales à 15 ns et l'autre, tous les retards supérieurs ou égaux à 25 ns. Par contre, ils renseignent sur le taux de décalage situé au delà de ces valeurs.

III-2-2 Le banc de test.

III-2-2-1 Les principaux équipements du banc.

Le banc comprend les équipements suivants :

- L'équipement sous test.
- Le perturbateur.
- La carte de test et d'acquisition des données en temps réel.
- Un système micro-informatique de pré-traitement et de transfert des données intégré à la carte.
- Un calculateur qui fait le traitement ultérieur des données transmises par la carte.

Le signal analysé par ce banc est composé de mots binaires identiques codés sur 8 bits et issus d'un générateur de fonction intégré à la carte d'acquisition. L'intérêt d'analyser un signal composé de mots identiques est de pouvoir également étudier la sensibilité du système en fonction de la structure (combinaison de "1" et "0") des mots.

III-2-2-2 La carte de test et d'acquisition des données (mot "résultats") en temps réel.

Son schéma synoptique est celui de la figure III-6. Les transitions de mots binaires sont échantillonnées par les blocs échantillonneurs. Le bloc comparateur compare les échantillons issus des deux canaux et génère les mots "résultats". Ces derniers sont stockés en temps réel dans une mémoire de grande capacité (256 K octets). Lorsque celle-ci est remplie, une interruption est générée. Cette dernière permet d'une part de bloquer la génération des mots binaires et d'autre part d'autoriser le microcontrôleur à transférer, avec ou sans pré-traitement, les données vers le calculateur. Cette opération de transfert est basée sur un algorithme spécifique décrit dans le paragraphe suivant et dont le programme est implanté en mémoire du microcontrôleur.

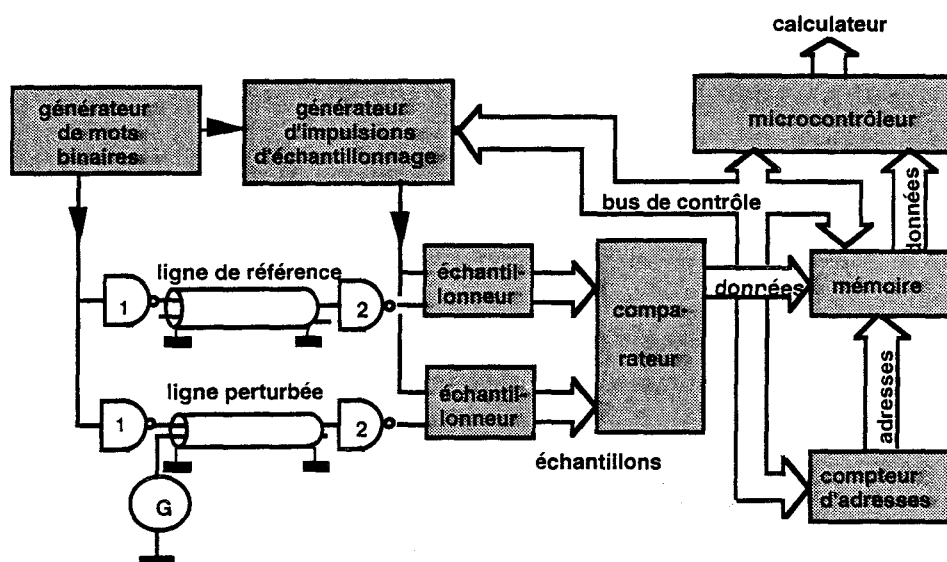


Figure III-6 : Schéma synoptique de la carte d'acquisition

III-2-3 Algorithme de transfert et de traitement du microcontrôleur.

L'organe central de transfert des données stockées en mémoire vers le calculateur est le microcontrôleur. Il s'agit du 87C51 de INTEL [22] qui est un microprocesseur 8 bits disposant d'une mémoire EPROM interne de 4 K octets réservée aux programmes et d'une mémoire RAM de 128 octets servant de tampon aux données. Ce composant assure non seulement le transfert sous forme série (norme RS 232C) des données mais aussi le lancement automatique de la séquence d'acquisition selon l'organigramme présenté sur la figure III-7. Il comporte deux procédures:

- La première effectue un transfert sans traitement intermédiaire, c'est-à-dire que la totalité des données est transférée au calculateur telles qu'elles se présentent en mémoire (1ère colonne Tableau III-1, page 101). Cette procédure est indispensable à l'étape de mise au point de protocole de test car elle permet d'étudier le nombre N de données sur lequel il faut effectuer les tests pour avoir une reproductibilité parfaite des résultats.

- La seconde procédure qui est la procédure réelle de test procède à un traitement intermédiaire avant le transfert. En effet, le traitement intermédiaire consiste à trier les N données représentant les résultats de test des N transitions traitées, et à rechercher pour chacun des neuf décalages temporels, le nombre (Ndt) de données ayant ce décalage. A la fin de ce tri,

seuls les nombres Ndt sont transférés au calculateur. Cette seconde procédure confère au système un gain de temps énorme car ce tri est effectué en assembleur par le microcontrôleur au lieu du langage compilé "Basic" du calculateur. Cependant, ce traitement réduit les possibilités d'exploitation liées à la disponibilité de la totalité des données au niveau du calculateur.

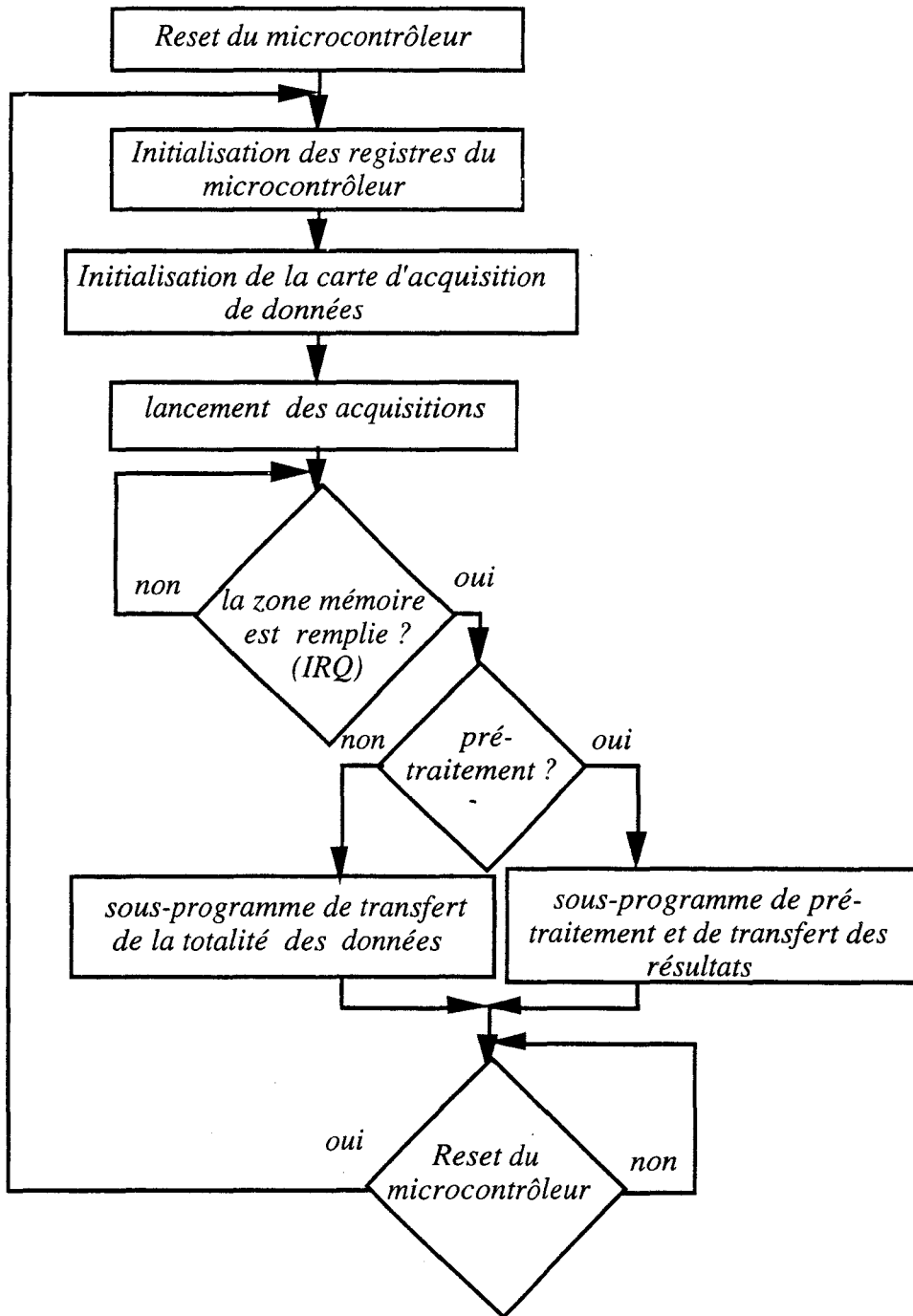


Figure III-7: Organigramme de transfert et de traitement du microcontrôleur

En conclusion, un tel système de test doit permettre de faire des tests systématiques en fonction de la nature du perturbateur suivant qu'il est purement sinusoïdal, composé d'impulsions récurrentes ou d'ondes normalisées.

Valeur hexadécimale ou code du mot "résultats"	Décalage de front dt (exprimé en nanosecondes)	
	Groupement par intervalles	dt (Désignation des intervalles)
07	dt < - 15	- 15
06	- 15 < dt < - 10	- 10
04	- 10 < dt < - 5	- 5
00	- 5 < dt < 5	0
08	5 < dt < 10	+ 5
18	10 < dt < 15	+ 10
38	15 < dt < 20	+ 15
78	20 < dt < 25	+ 20
F8	25 < dt	+ 25

Tableau III-1

III-2-3-1 Transfert sans pré-traitement.

Il s'agit du transfert de la totalité des données, soit 262143 octets. Cette procédure s'applique à l'étude du nombre N pour lequel le rapport $\frac{N_{dt}}{N}$ appelé fréquence relative [21] converge vers une valeur finie définissant la probabilité d'apparition du décalage dt considéré, et donc pour lequel on obtient une reproductibilité parfaite des résultats. L'organigramme de ce sous-programme est présenté sur la figure III-8. Sur le plan pratique, cette étude s'avère fastidieuse car demandant un temps de transfert important, environ 10 minutes auxquelles s'ajoute le temps du tri des données par le calculateur qui vaut autant par donnée . Le tri des neuf codes du mot "résultats" (chacun sur 262143 octets) nécessite environ 90 minutes. Le

temps global de l'opération est chiffré entre 1h30mn et 2h.. Toutefois, cette étape de l'étude est indispensable pour la validation de N. Une fois franchie, seule la seconde procédure de transfert est utilisée. Celle-ci est relativement moins coûteuse en temps. Elle requiert seulement quelques secondes.

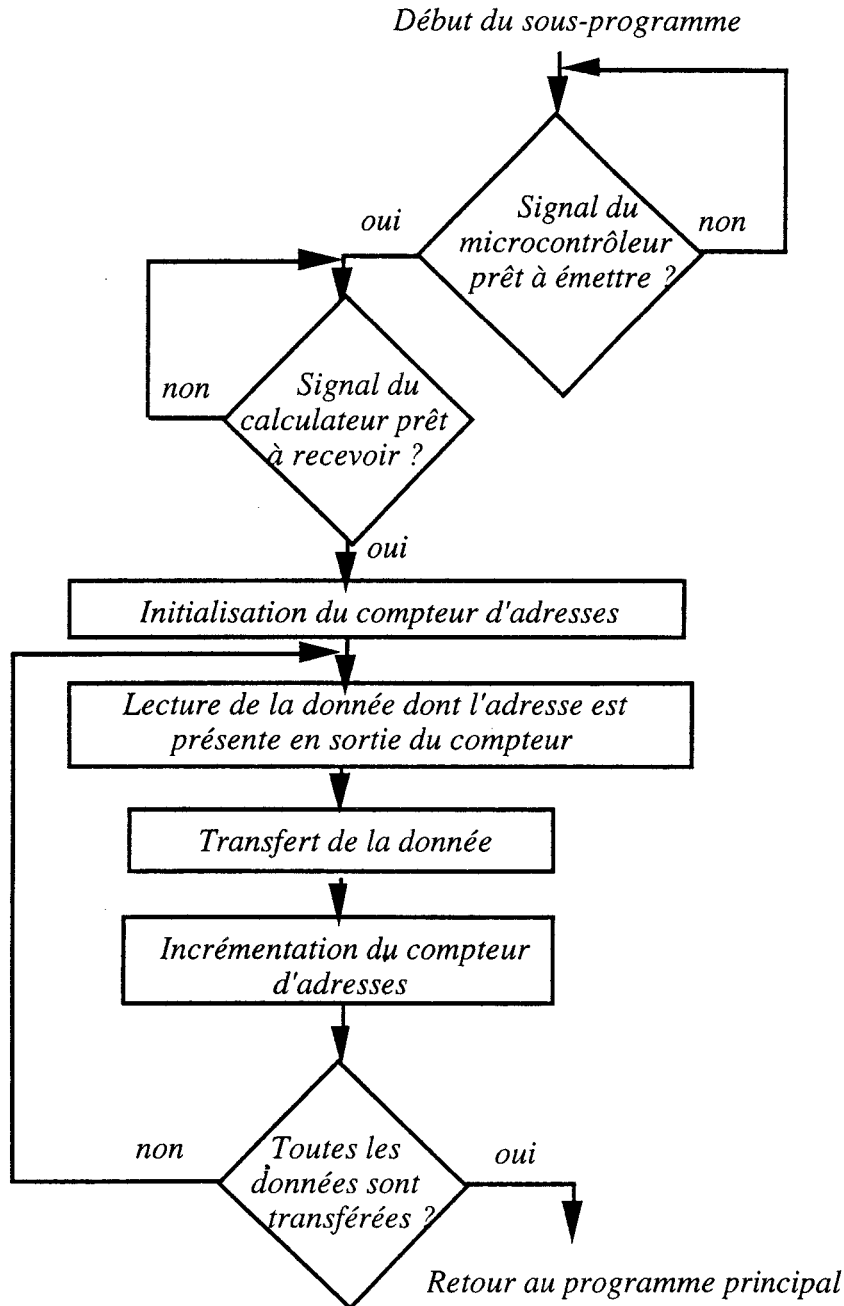


Figure III-8 : Sous-programme de transfert de la totalité des données (transfert sans pré-traitement)

III-2-3-2 Transfert avec pré-traitement.

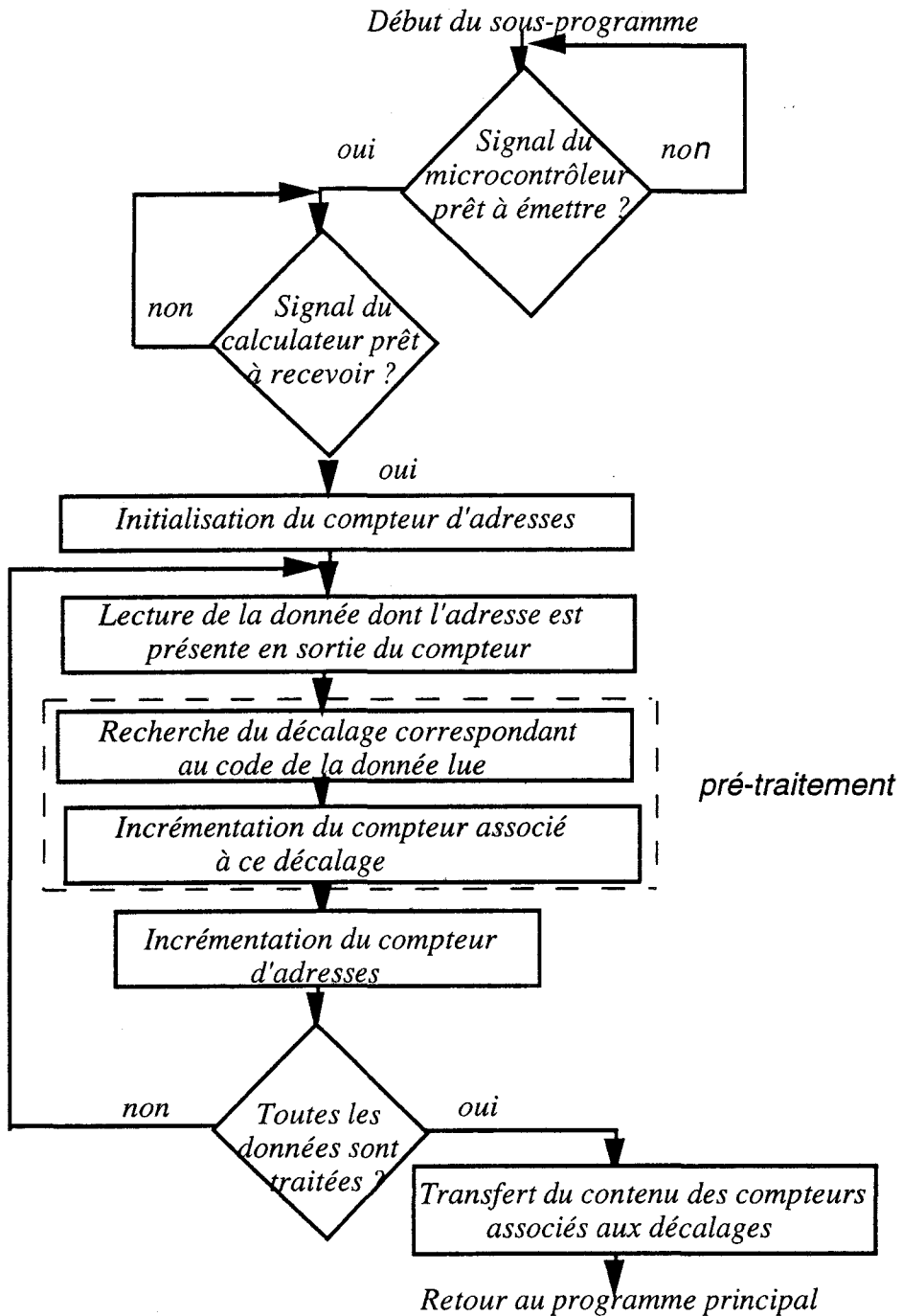


Figure III-9: Sous-programme de pré-traitement et de transfert de ses résultats

Dans ce cas-ci, le tri des données est effectué au sein du microcontrôleur et seuls les résultats N_{dt} sont transmis au calculateur. Comme, en absence d'IEM., le nombre N_{dt} de l'intervalle 0 (Tableau III-1) vaut 262143 (décimal) ou 03FFFE (hexadécimal : 3 octets), le résultat de tous les autres intervalles est codé sur trois octets et chaque octet est codé à son tour sur deux octets ASCII lors du transfert. Ce qui donne un nombre total de $9 \times 3 \times 2$ octets = 54 octets à transmettre au calculateur. On note un rapport d'environ 5000 entre les temps de transfert des deux procédures. L'organigramme de ce sous-programme est présenté sur la figure suivante.

III-3 **R**ESULTATS EXPERIMENTAUX

Les premiers essais sont menés sur la structure à lignes couplées étudiée jusqu'ici. Dans le chapitre suivant, nous allons aborder le cas des structures à pistes de circuit imprimé couplées par influence ou illuminées en cellule TEM. C'est sur ces structures que nous allons pratiquer des tests en fonction de la géométrie des pistes, de la fréquence du signal perturbateur, de la cadence des transits logiques ainsi que de la famille du composant sous test.

III-3-1 Etude expérimentale du nombre N : Utilisation du 1^{er} algorithme de transfert

Notons que les données statistiques sont, en ce qui nous concerne, le résultat de test d'un grand nombre de transits logiques. Compte tenu de la difficulté à définir avec précision tous les paramètres dont dépendent les décalages temporels de fronts, nous admettons pour des raisons de simplification que ces résultats s'apparentent à des phénomènes physiques aléatoires. Afin de caractériser l'éventualité de réalisation des décalages, nous allons appliquer à cette approche statistique la théorie des probabilités. On désigne par $p^*(dt)$ le rapport du nombre N_{dt} de réalisation du décalage dt au nombre total N de fronts testés.

$$p^*(dt) = \frac{Ndt}{N} \quad (\text{III-2})$$

(dt) désigne par convention un décalage de dt nanosecondes.

$p^*(dt)$ est appelé fréquence relative du décalage dt.

Des expériences préliminaires ont permis de vérifier que pour un nombre N suffisamment grand, la valeur finale des fréquences relatives diffère très peu pour plusieurs essais indépendants (Figure III-10).

Nous pouvons alors écrire :

$$p(dt) = \lim_{N \rightarrow \infty} \frac{Ndt}{N} \quad (\text{III-3})$$

$p(dt)$ est appelé probabilité de réalisation du décalage dt.

De ce résultat, nous pouvons conclure d'un comportement stationnaire de la variable dt puisque lorsque N est assez grand la valeur de $p(dt)$ est indépendant de l'instant d'enregistrement. Aussi nous pouvons constater que la relation précédente découle du théorème de J. Bernoulli [21] qui s'applique aux phénomènes stationnaires et qui se formule de la manière suivante.

Théorème :

Quand le nombre d'épreuves (expériences répétées) augmente indéfiniment, la fréquence relative de l'événement tend vers la probabilité p de la réalisation de cet événement.

Sur la figure III-10, nous avons représenté l'évolution de la fréquence relative des fronts n'ayant subi aucun décalage ($dt = 0$). Pour trois enregistrements indépendants, pratiqués dans les mêmes conditions d'expérimentation, nous pouvons constater que la fréquence relative

converge toujours vers la même valeur qui est la probabilité de réalisation de l'événement ($dt=0$) pour ce niveau du perturbateur. Au vue de ce résultat, nous pouvons tenter de conclure que pour $N > 1000$, nous atteignons le seuil de convergence de $p^*(dt)$. Remarquons cependant que ce seuil est fonction du rapport entre la fréquence du perturbateur et celle des signaux logiques. Par exemple sur la figure III-11, le seuil de convergence est atteint pour $N > 30\ 000$. En effet, dans ce dernier cas la fréquence du perturbateur est très voisine de 1,5 MHz, alors que la cadence maximale des transits logiques des mots binaires est à 3 MHz. Il y a donc une quasi synchronisation entre les deux signaux, ce qui a pour conséquence de repousser plus loin le seuil de convergence. Cette situation ne revêt aucun caractère aléatoire et de ce fait risque d'entraîner des résultats statistiques non significatifs.

La solution pour éviter cela, est de choisir des fréquences de perturbateur qui ne sont ni multiples, ni sous multiples de celle des transits logiques des mots binaires ou de faire une modulation de fréquence du perturbateur. Une autre solution qui paraît plus rigoureuse est de travailler sur des mots binaires pseudo-aléatoires car il n'est pas impossible qu'un agresseur naturel soit synchrone par rapport à la cadence des transits logiques. Cette dernière solution peut être envisagée ultérieurement. Dans toute la suite de cette étude, bien que $N = 100\ 000$ donne des résultats satisfaits, nous utiliserons toute la profondeur mémoire dont nous disposons, soit $N = 262\ 143$ et des fréquences du perturbateur non multiples de celles des transits logiques.

$$p(dt) = \lim_{N = 262143} \frac{Ndt}{N} \quad (\text{III-4})$$

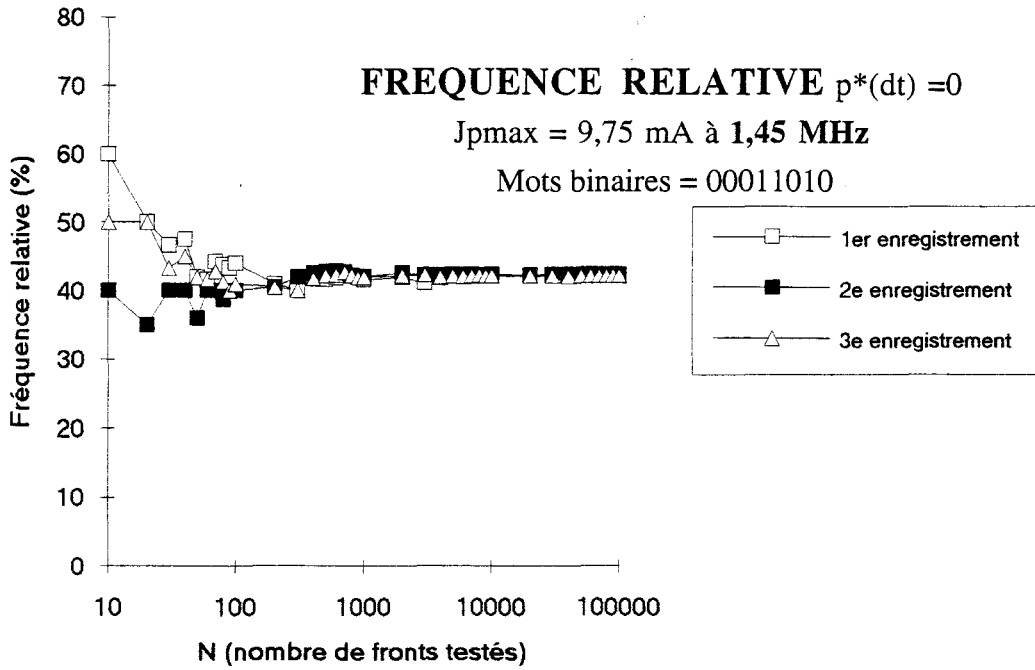


Figure III-10

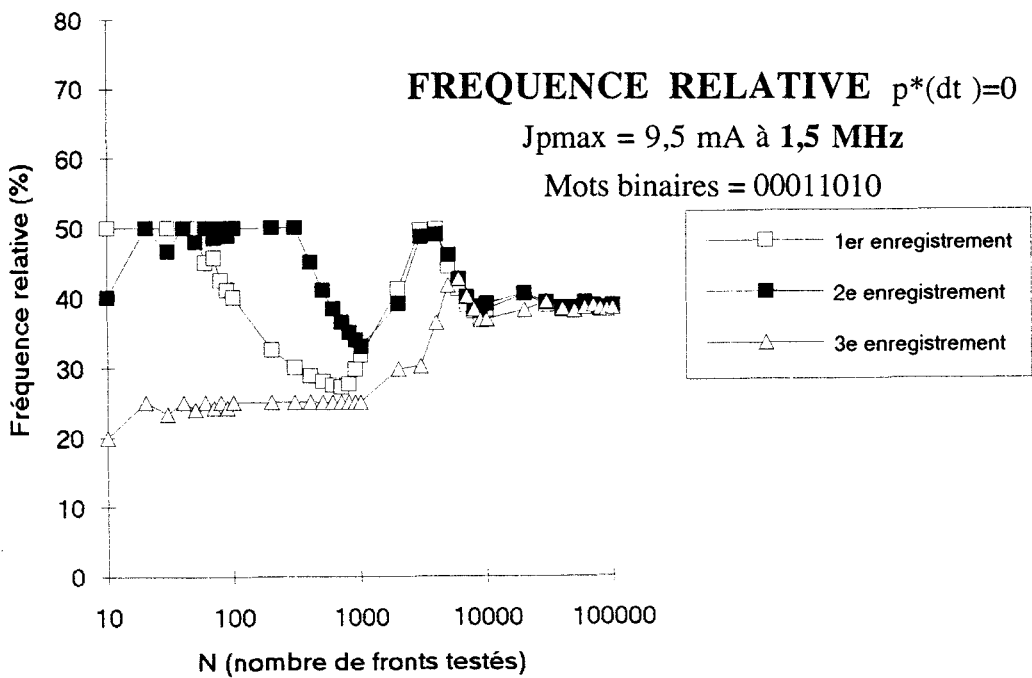


Figure III-11

III-3-2 Caractérisation de la sensibilité électromagnétique de l'équipement sous test par des paramètres à caractère statistique : Utilisation du 2nd algorithme de transfert et de traitement

Il s'agit ici de déterminer pour une amplitude donnée du perturbateur, la probabilité correspondant à chaque intervalle dt de décalage tel que ces intervalles sont définis au Tableau III-1 et de calculer la moyenne et les fluctuations qui leur sont associées. En admettant que N est suffisamment grand pour que le rapport $\frac{Ndt}{N}$ s'apparente à la probabilité $p(dt)$ du décalage dt et que dt s'identifie à une variable aléatoire pour appeler sa moyenne espérance mathématique $E[dt]$ de la variable dt , nous pouvons écrire [23], [24],:

$$p(dt) = \lim_{N \rightarrow \infty} \frac{Ndt}{N} \quad (\text{III-5})$$

$$\overline{dt} = E[dt] = \sum_{dt} dt \cdot p(dt) \quad (\text{III-6})$$

Les écarts de dt par rapport à la moyenne $E[dt]$ sont en effet rendus compte par la variance $\sigma^2[dt]$

$$\sigma^2[dt] = \sum_{dt} (dt - E[dt])^2 \cdot p(dt) \quad (\text{III-7})$$

Pour des raisons d'homogénéité de dimensions, nous caractérisons la dispersion de dt autour de $E[dt]$ par la racine carrée de la variance encore appelée écart type $\sigma[dt]$.

$$\sigma[dt] = \sqrt{\sum_{dt} (dt - E[dt])^2 \cdot p(dt)} \quad (\text{III-8})$$

En utilisant toujours la structure à lignes couplées avec le perturbateur sinusoïdal de fréquence 1,45 MHz, nous représentons sur la figure III-12 pour quatre niveaux du courant

perturbateur, les histogrammes traduisant le effets du perturbateur sur les transitions d'états logiques de l'équipement sous test. Nous pouvons remarquer sur cette figure que pour $J_{pmax}=0$, la totalité des fronts testés ne subit aucun décalage, et que leur probabilité $p(0)$ diminue à mesure que le perturbateur augmente en laissant apparaître par exemple pour $J_{pmax}=8$ mA des tests positifs dans les classes 5 ns et 10 ns.

Un aspect qui semble être intéressant à approfondir et qui ne fera pas l'objet de cette thèse est d'associer à ces histogrammes une loi de probabilité, qu'elle soit empirique ou pas de façon à aider l'interprétation de certains résultats par une modélisation numérique.

Dans l'exemple traité précédemment, nous pouvons vérifier que les probabilités des différentes perturbations étudiées vérifient la condition de normalisation :

$$p(-15) + p(-10) + p(-5) + p(0) + p(+5) + p(+10) + p(+15) + p(+20) + p(+25) = 1 \quad (\text{III-9})$$

$$\text{soit } \sum_{dt \in \{-15, -10, -5, 0, +5, +10, +15, +20, +25\}} p(dt) = 1 \quad (\text{III - 10})$$

Afin que les résultats du traitement donnant l'espérance mathématique et l'écart type soient statistiquement valables, il est impératif que durant les tests, la variable dt conserve la même définition qui est basée sur la présence d'une seule transition d'états logiques dans les fenêtres de test, ce qui entraîne la vérification de la condition de normalisation. Pour cela une restriction qui s'applique aux tests est de se limiter aux niveaux de perturbateur qui ne produisent pas des transitions supplémentaires dans ces fenêtres. Pour illustrer cette situation qu'il faut éviter au cours de cette procédure de test, nous avons présenté sur la figure III-13 un chronogramme montrant la perturbation des niveaux statiques. Son inconvénient est qu'elle entraîne plusieurs transitions d'états logiques dans les fenêtres de test, et par conséquent, donne des mots "résultats" qui ne figurent pas dans le tableau III-1 et ne sont donc pas pris en compte par le traitement. La condition de normalisation n'est plus vérifiée ($\sum_{dt} p(dt)$ plus petit que 1).

Ce qui conduit à des résultats statistiques non significatifs.

PROBABILITE

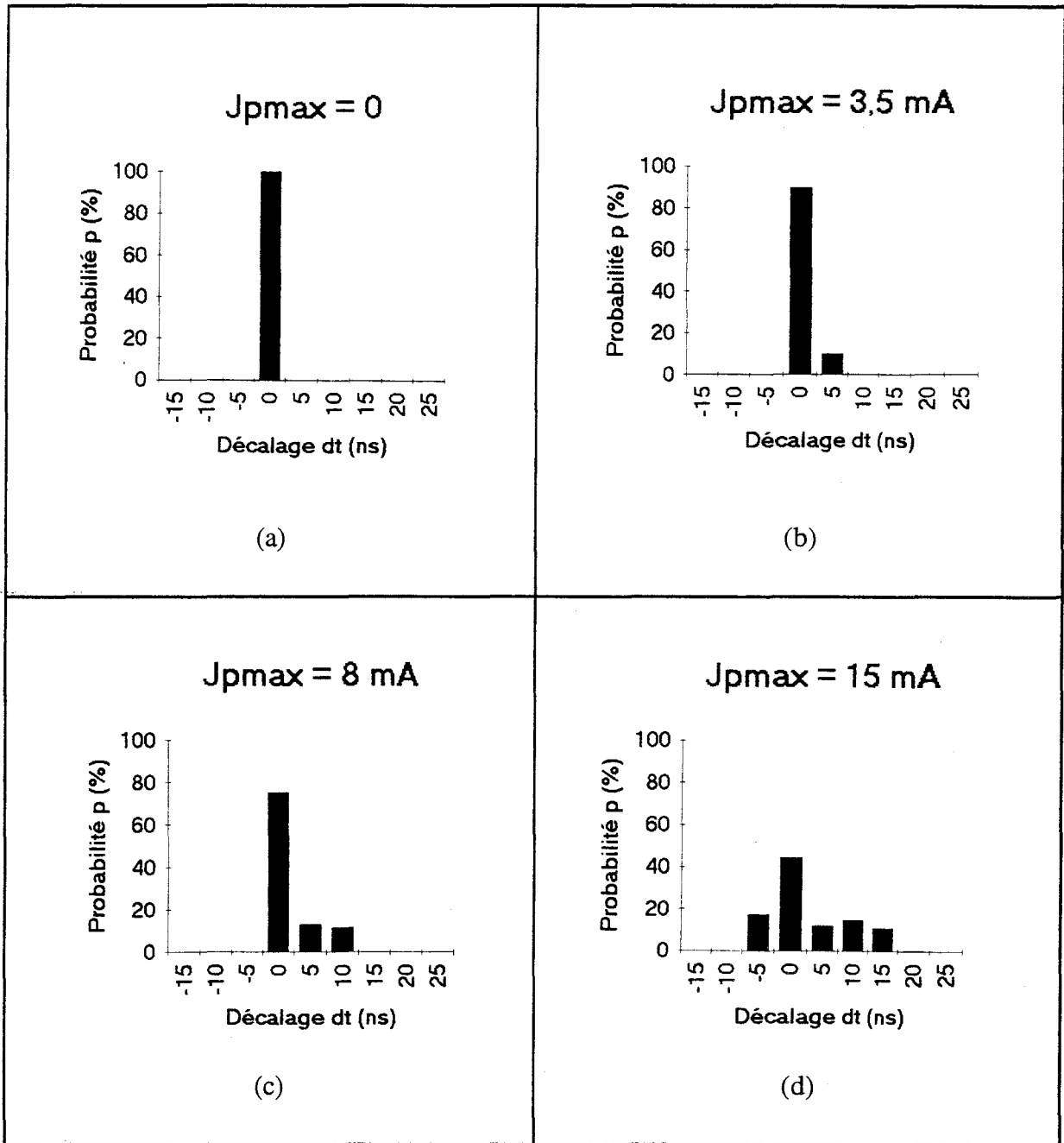


Figure III-12

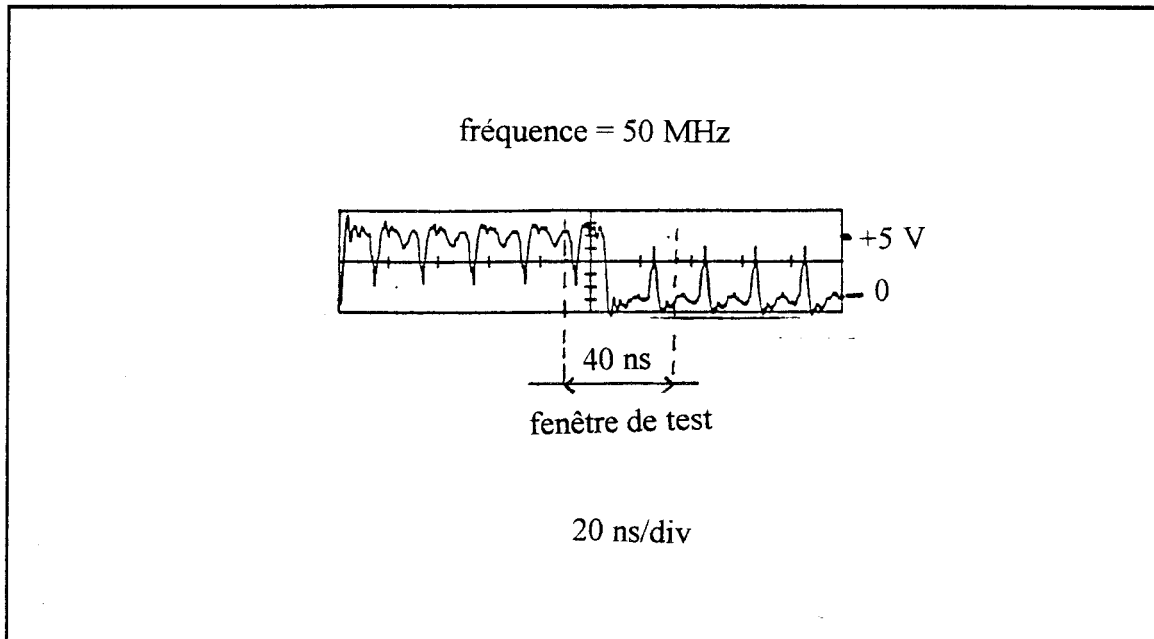


Figure III-13 : Perturbation des niveaux statiques

Une autre considération qui est important de souligner ici, est le réalisme des valeurs de dt . Il faut noter que dt désigne des résultats de mesures de décalages regroupés par intervalles. Par exemple, +5 ns désigne les décalages figurant dans l'intervalle [+5 ns, +10 ns[. Cette pratique considère en effet que les valeurs à l'intérieur d'un intervalle sont proches les unes des autres. Une approximation plus rigoureuse et plus réaliste de ces valeurs est de les associer au centre de l'intervalle. Ainsi on associe à l'intervalle [+5ns, +10ns[non plus +5 ns qui était adopté pour des raisons de simplification mais +7,5 ns.

Nous construisons alors à partir du Tableau III-1, le tableau suivant dans lequel les intervalles désignés par -15 ns et +25 ns sont exclus car ne disposant pas de centre précis.

Les intervalles de décalages	dt (Désignation des intervalles)	\tilde{dt} (Centre des intervalles)
] - ∞ , - 15 ns [- 15	
] - 15 ns, - 10 ns]	- 10	- 12,5
] - 10 ns, - 5 ns]	- 5	- 7,5
] - 5 ns, + 5 ns[0	0
[+ 5 ns, + 10 ns [+ 5	+ 7,5
[+ 10 ns, + 15 ns[+ 10	+ 12,5
[+ 15 ns, + 20 ns[+ 15	+ 17,5
[+ 20 ns, + 25 ns[+ 20	+ 22,5
[+ 25ns, + ∞ [+ 25	

Tableau III-2

Une nouvelle restriction s'ajoute alors à la procédure de test : choix des niveaux d'IEM tels que la probabilité d'avoir des décalages situés dans les intervalles extrêmes soit nulle, autrement dit ;

$$p(-15) = p(+25) = 0 \quad \text{(III-11)}$$

Nous avons porté sur la figure III-14, les espérances mathématiques et écart types correspondants aux résultats publiés sur la figure III-12. Nous pouvons remarquer que l'écart type augmente avec le courant perturbateur J_{pmax} . Ce qui traduit une augmentation des dispersions de décalage autour de la moyenne statistique ou espérance mathématique. Il est à noter que celle-ci évolue aussi en fonction de J_{pmax} . Ces deux paramètres statistiques montrent bien l'augmentation des effets produits par l'équipement sous test lorsqu'il est soumis à un perturbateur dont le niveau croît.

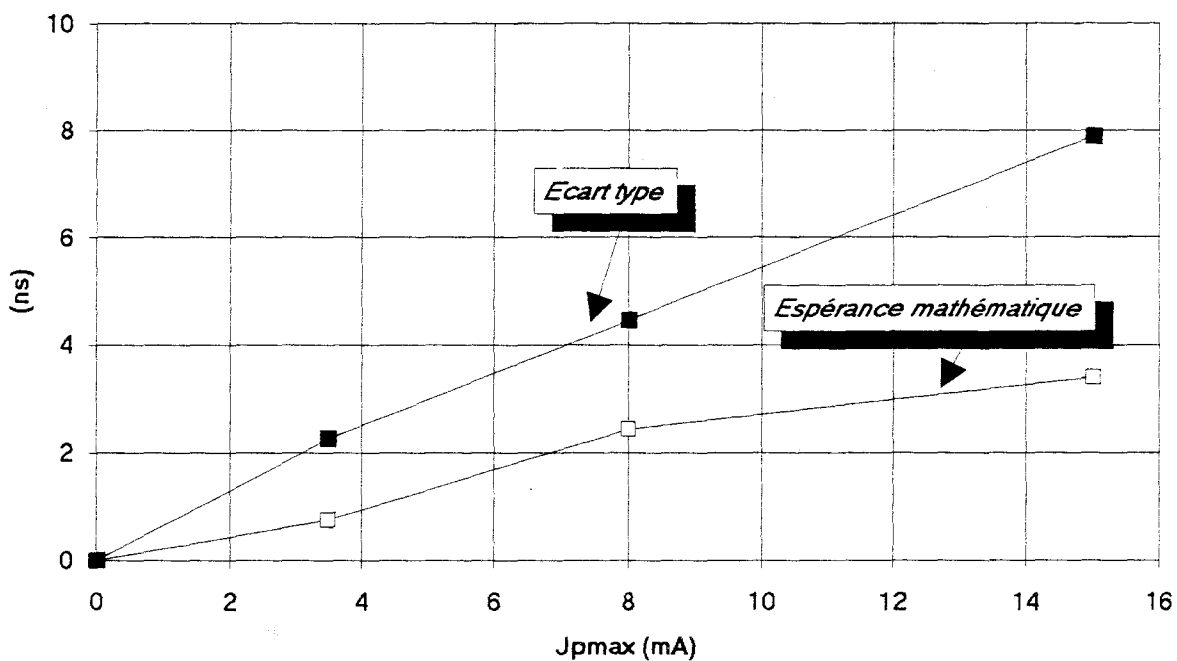


Figure III-14

CONCLUSION

Ce banc de test que nous avons conçu et réalisé a pour fonction principale d'établir la probabilité d'erreur due à la présence des décalages de transits logiques soumis à une agression électromagnétique qui s'apparente à une injection de courant. De ce résultat, nous avons évalué la moyenne ou espérance mathématique des décalages et déduit l'écart type ou fluctuations autour de cette moyenne. Les premiers essais ont montré que ces deux paramètres sont représentatifs de la sensibilité des circuits sous test. Ils constituent les données statistiques principales dont nous nous servirons pour caractériser la susceptibilité électromagnétique des équipements sous test. Nous pensons qu'un tel système de test peut fournir des informations sur la relation entre les décalages et la cadence des signaux logiques, la géométrie des lignes (piste de circuit imprimé) d'interconnexion, la famille des composants sous test et la fréquence du perturbateur. C'est précisément ce qui fera l'objet du chapitre suivant dont les résultats de test devraient permettre de donner quelques recommandations sur la susceptibilité électromagnétique de cartes électroniques.

Chapitre IV

***EXPLOITATION DE
L'OUTIL D'ANALYSE -
RECOMMANDATIONS -
PERSPECTIVES FUTURES***

Chapitre IV . EXPLOITATION DE L'OUTIL D'ANALYSE RECOMMANDATIONS - PERSPECTIVES FUTURES

INTRODUCTION	115
IV-1 PRESENTATION DES PERTURBATEURS	117
IV-1-1 Présentation de la structure à pistes couplées par influence électromagnétique	117
IV-1-2 Présentation de la cellule TEM.....	120
IV-2 ETUDE PHENOMENOLOGIQUE DES AGRESSIONS EN COUPLAGE ELECTROMAGNETIQUE.....	125
IV-2-1 Impédance caractéristique Z_c de la ligne microruban	125
IV-2-2 Cas du couplage électrique	126
IV-2-3 Cas du couplage magnétique	127
IV-2-4 Cas du couplage électromagnétique	132
IV-3 Tests avec la structure à pistes couplées.....	145
IV-3-1 Etude en fonction de la famille technologique du composant sous test.....	145
IV-3-1-1 Comparaison des décalages extrêmes subis par les familles C, HC, et AC vis à vis des trois types de couplage	145
IV-3-1-1-1 Définition du critère d'évaluation de la sensibilité du composant sous test.....	145
IV-3-1-1-2 La famille HC.....	146
IV-3-1-1-3 La famille AC.....	148
IV-3-1-1-4 La famille C.....	149
IV-3-1-2 Comparaison des familles C, HC et AC à amplitude d'IEM identique avec le critère de sensibilité précédent.....	153
IV-3-2 Etude en fonction de la fréquence du perturbateur	154
IV-3-3 Etude en fonction de la cadence des transitions des mots binaires.....	158
IV-3-3-1 Etude en fonction du sens de la transition en sortie du composant 1.....	159
IV-3-3-2 Test en fonction de la cadence des transitions des mots binaires.....	161
IV-4 Essais en cellule TEM	163
IV-4-1 Validation des tests pratiqués en cellule TEM	164

IV-4-1-1 Mise en évidence de l'influence du couplage magnétique	164
IV-4-1-2 Caractérisation en fonction de l'amplitude et de la fréquence des IEM.....	167
IV-4-2 Influence de la géométrie des pistes de circuits imprimés.....	169
IV-5 QUELQUES RECOMMANDATIONS POUR LA CONCEPTION ORIENTEE CEM DES CARTES ELECTRONIQUES	174
IV-5-1 Quelles familles de composant faut-il utiliser ?.....	174
IV-5-2 Quelles cadences des transitions de signal logique faut-il utiliser ?	174
IV-5-3 Quelle géométrie de pistes de circuit imprimé faut-il choisir ?.....	176
IV-6 PERSPECTIVES FUTURES.....	179
IV-6-1 Thèmes d'études.....	180
IV-6-2 Amélioration du protocole de test à approche statistique	181
CONCLUSION	182

INTRODUCTION

Nous avons présenté dans le chapitre précédent un banc de test de susceptibilité électromagnétique de composants électroniques fonctionnant en régime dynamique que nous avons mis au point. L'organe central de ce banc est une carte électronique qui comporte un générateur de mots binaires sur lesquels une agression électromagnétique est appliquée. Un dispositif d'échantillonnage analyse les transitions d'états logiques des mots binaires. Le traitement des résultats effectué par un microcontrôleur associé à un ordinateur fournit des informations statistiques qui nous permet de conclure sur la sensibilité électromagnétique de l'équipement sous test. Il s'agit notamment de la moyenne ou espérance mathématique des décalages de front et de leur écart type ou fluctuations autour de cette moyenne.

Nous allons, dans ce chapitre, appliquer cette procédure de test aux structures d'interconnexion de composants logiques par pistes de circuit imprimé. L'intérêt de cette application est que le vecteur de test est une structure fréquemment rencontrée sur les cartes électroniques. La démarche suivie consiste dans un premier temps à pratiquer des tests sur une structure à pistes couplées par influence électromagnétique de façon à bien comprendre la phénoménologie d'une agression en couplage électromagnétique avant de pratiquer dans un second temps les tests par illumination du vecteur de test en cellule TEM. En effet, contrairement au cas des lignes couplées où nous pouvons choisir le mode de couplage du perturbateur au perturbé (cf. chapitre II), en cellule TEM, nous nous trouvons à la fois en présence d'un couplage électrique et d'un couplage magnétique. Toutefois, nous pouvons privilégier un couplage à un autre en choisissant convenablement l'orientation du vecteur de test par rapport aux champs électromagnétiques [9].

Dans la première partie de ce chapitre, nous avons fait une présentation du perturbateur à pistes couplées et de la cellule TEM.

Dans la seconde partie, une étude phénoménologique nous a permis d'étendre la mise en évidence des décalages de transits logiques aux cas de couplage magnétique et de couplage électromagnétique et d'en déduire la contribution des injections de tension sur les ports

d'entrée-sortie des composants sous test. En effet, il a été jusqu'ici question d'injection de courant puisque c'est ce type d'agresseur qui a été mis en évidence comme étant le perturbateur pouvant entraîner de sévères dysfonctionnements dynamiques des cartes électroniques.

La troisième partie est consacrée aux tests pratiqués en faisant usage du protocole à pistes couplées. Ceux-ci concernent la susceptibilité électromagnétique des familles technologiques C, HC et AC vis à vis du type de couplage des IEM au système, l'influence de la fréquence du perturbateur dans la gamme de fréquences allant de quelques MHz à une vingtaine de MHz et l'influence de la cadence des transitions d'états logiques des mots binaires. Dans ce dernier cas, seules les deux cadences extrêmes (0,5 MHz et 2 MHz) que peut fournir le générateur de fonction intégré à la carte de test ont été utilisées.

La quatrième partie est destinée aux tests en cellule TEM, lesquels ont permis d'étudier le comportement du vecteur de test en fonction de quelques géométries de piste de circuit imprimé.

Dans la cinquième partie, nous avons déduit de nos travaux quelques recommandations d'aide à la conception de cartes électroniques moins sensibles aux agressions électromagnétiques. Ces recommandations concernent aussi bien le choix des technologies de composants et le dessin des pistes, que les précautions à prendre lors de la mise au point de systèmes synchrones à grandes cadences de transfert d'informations.

Et enfin, dans une dernière partie, nous proposons quelques thèmes d'études futures qui devront permettre de mettre au point des protocoles de test logique pouvant gérer une carte toute entière.

IV-1 **P**RESENTATION DES PERTURBATEURS

IV-1-1 Présentation de la structure à pistes couplées par influence électromagnétique

Elle comprend deux canaux, comme il a été défini dans le système d'analyse (Figure III-6, page 99): un canal de référence ou "non perturbé" et un canal perturbé. Chacun d'eux comporte ;

- un composant amont ou "composant 1" de type Inverseur qui est le composant sous test. Il est chargé par une ligne d'interconnexion. Sa famille technologique peut être modifiée.
- un composant aval ou "composant 2" de type Inverseur de la famille AC qui joue le rôle d'interface entre le dispositif d'échantillonnage des transits logiques et le composant 1.
- la ligne d'interconnexion de type microruban (Figure IV-1).

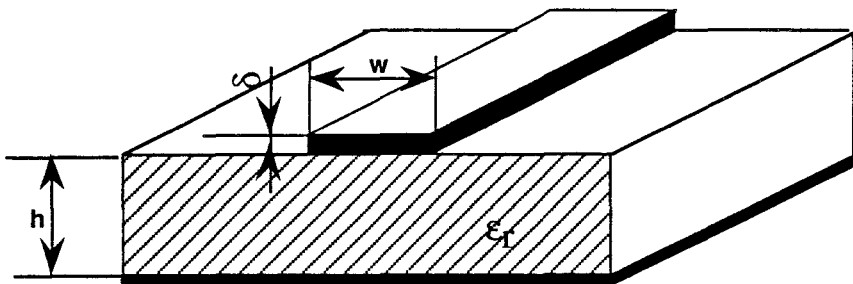


Figure IV-1: Ligne microruban

Les connexions imprimées entre circuits logiques prennent en général l'aspect de lignes à microruban lorsqu'un plan de masse est présent sur la face opposée de la plaquette (Figure IV-2-a) et l'aspect de rubans coplanaires dans le cas contraire (Figure IV-2-b).

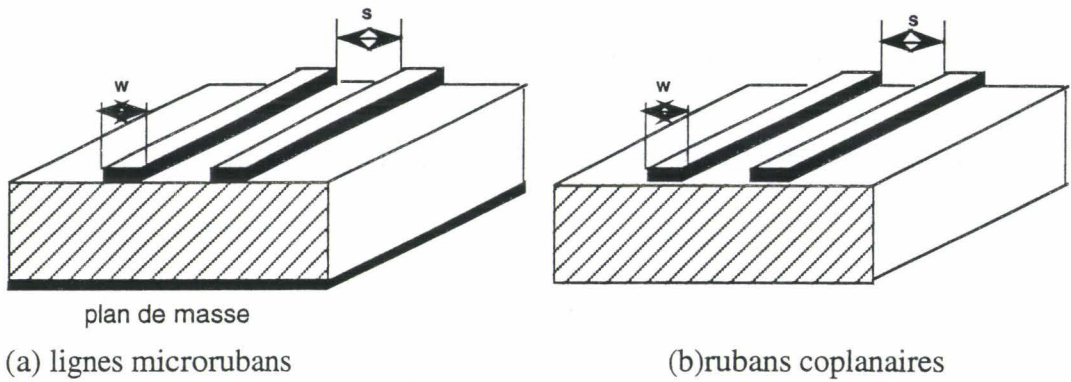


Figure IV-2

Il faut noter que la configuration de lignes microrubans est une configuration adéquate pour comparer les résultats de test des structures à pistes à ceux obtenus dans les chapitres précédents puisque cette configuration présente une référence de potentiel bien définie. Les phénoménologies peuvent être traitées par le même formalisme qui est celui de la théorie des lignes. En effet la théorie des images électriques montre que les deux schémas de la figure suivante sont équivalents.

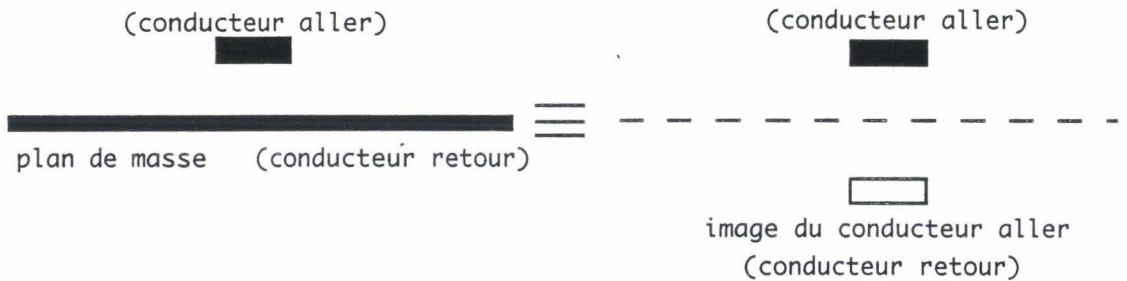


Figure IV-3

Par contre lorsque le plan de masse est absent, la référence d'équipotentiel est mal définie. La théorie des lignes est alors remplacée par la théorie des circuits ou par la théorie des antennes. Cette configuration sera traitée qu'expérimentalement lors des tests en fonction de la géométrie des pistes .

En ce qui concerne notre protocole initial de test, les pistes se présentent sous forme de lignes microrubans couplées par influence électromagnétique. En utilisant la représentation schématique de la figure IV-4 et en considérant que l'énergie dans la ligne réceptrice est négligeable par rapport à celle de la ligne émettrice [17], [25] nous pouvons écrire les équations IV-1 à IV-4 des lignes couplées où ϵ_p et J_p sont les termes sources du couplage électromagnétique.

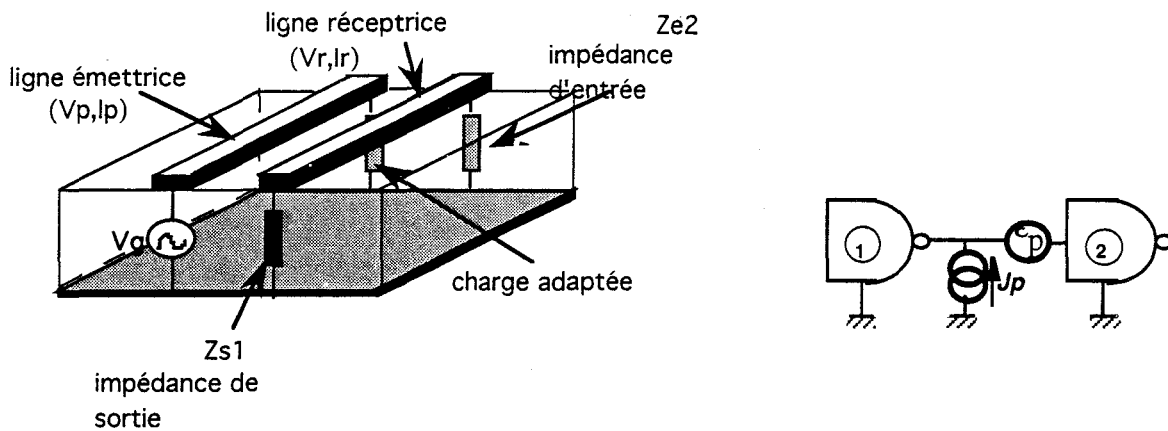


Figure IV-4: Lignes couplées

$$-\frac{dV_p}{dz} = j L_p \omega I_p(z) \tag{IV-1}$$

$$-\frac{dI_p}{dz} = j (C_p - C_{12}) \omega V_p(z) \tag{IV-2}$$

$$-\frac{dV_r}{dz} = j L_r \omega I_r(z) + \epsilon_p \tag{IV-3}$$

$$-\frac{dI_r}{dz} = j (C_r - C_{12}) \omega V_r(z) + J_p \tag{IV-4}$$

Cp et Cr sont les capacités linéiques de chaque ligne par rapport au plan de masse
Lp et Lr les inductances linéiques correspondantes
C12 la capacité linéique de couplage entre les deux lignes
L12 l'inductance linéique de couplage correspondante

En considérant l'hypothèse des grandes longueurs d'onde, les termes sources peuvent s'écrire ;

$$\varepsilon_p = j L_{12} \cdot l \cdot \omega I_p \quad (\text{IV-5})$$

$$J_p = j C_{12} \cdot l \cdot \omega V_p \quad (\text{IV-6})$$

où l est la longueur de la ligne

Lors des tests, le perturbateur sera caractérisé par les valeurs de tension Vp et de courant Ip sur la ligne émettrice.

IV-1-2 Présentation de la cellule TEM.

Il s'agit d'une cellule blindée fonctionnant en mode quasi-TEM. Elle génère une onde électromagnétique plane transversale à la direction \vec{k} de propagation dans la cellule (Figure IV-5). Elle peut engendrer un champ électrique de l'ordre de 150 V/m dans une bande de fréquences allant de quelques kHz à une centaine de MHz.

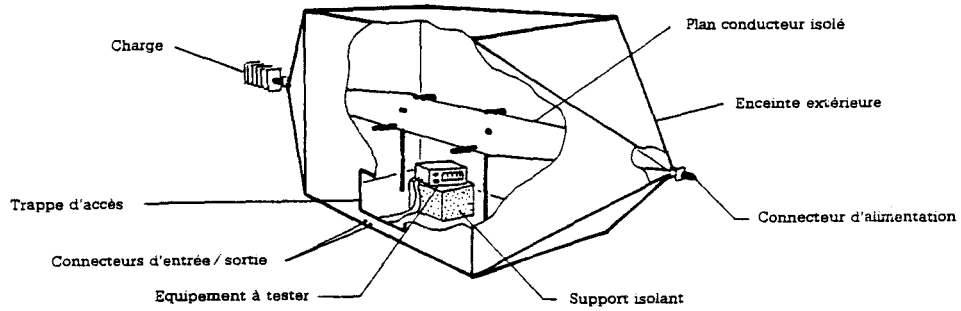


Figure IV-5: La cellule TEM

La photographie présentée sur la figure IV-6 donne une vue réelle de cette cellule.



Figure IV-6: Photographie de la cellule TEM

Si P est la puissance injectée dans la cellule et si celle-ci est chargée par son impédance caractéristique R_c , le potentiel V de la cloison centrale et le champ électrique E dans la cellule dû au gradient de potentiel peuvent s'écrire de façon simplifiée comme suit:

$$V = \sqrt{P \cdot R_c} \quad (IV-7)$$

$$\vec{E} = - \text{grad } V \quad (IV-8)$$

En considérant les directions transversales x, y et longitudinales z et en admettant que l'onde générée est une onde TEM, nous pouvons montrer que E_x et H_y sont respectivement les composantes des champs électrique E et magnétique H qui se propagent dans l'axe longitudinal de la cellule et sont liées par l'impédance d'onde z.

$$\frac{E_x}{H_y} = \sqrt{\frac{\mu}{\epsilon}} = z \quad (IV-9)$$

μ est la perméabilité du milieu de propagation et ϵ sa permittivité

Une approximation de la composante du champ électrique à l'intérieur de la cellule peut être donnée par la relation suivante:

$$E_x = - \frac{\partial V}{\partial x} = \frac{\sqrt{P \cdot R_c}}{d} \quad (IV-10)$$

où d est l'espace entre la cloison et le plan de masse

En assimilant le milieu de propagation au vide, on peut écrire;

$$\frac{E_x}{H_y} = \sqrt{\frac{\mu_0}{\epsilon_0}} = 377 \Omega \tag{IV-11}$$

Lorsqu'une ligne d'interconnexion est immergée dans la cellule, la circulation du champ E le long du contour C (Figure IV-7) délimitant la surface S d'une portion infinitésimale dz peut s'écrire (théorème de Stocke) :

$$\int_c \vec{E}(t) d\vec{l} = - \int_{(s)} \frac{\partial B(t)}{\partial t} \vec{n} d\vec{S} \tag{IV-12}$$

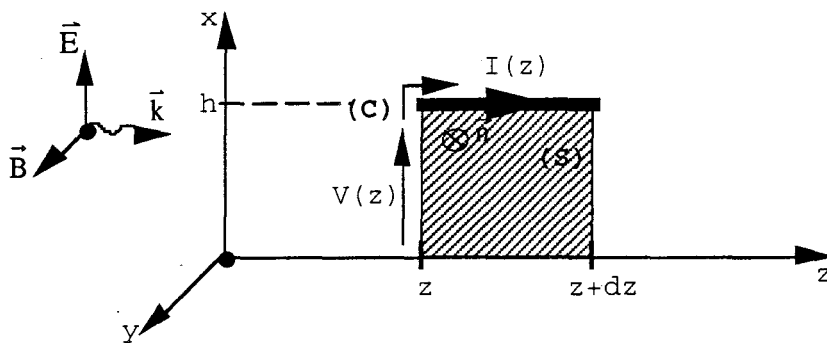


Figure IV-7

En associant cette expression à la théorie des lignes et en négligeant les pertes dans la ligne avec une hypothèse quasi-TEM, les variations de tension et de courant le long de cette portion dz peuvent s'écrire [9], [25] ;

$$\begin{cases} \frac{\partial V(z, t)}{\partial z} + L \frac{\partial I(z, t)}{\partial t} = \frac{\partial}{\partial t} \int_0^h B_y^i(z, t) dx \\ \frac{\partial I(z, t)}{\partial z} + C \frac{\partial V(z, t)}{\partial t} = -C \frac{\partial}{\partial t} \int_0^h E_x^i(z, t) dx \end{cases} \quad (IV-13)$$

C est la capacité linéique de la ligne

L son inductance linéique

B_y^i est la composante suivant y de l'induction incidente

E_x^i est la composante suivant x du champ électrique

Les termes des membres de droite sont en définitive les termes sources par unité de longueur qui traduisent le couplage électromagnétique. Par conséquent, les sources élémentaires induites peuvent s'écrire ;

$$\frac{\partial \epsilon p}{\partial z} = \frac{\partial}{\partial t} \int_0^h B_y^i(z, t) dx \quad (IV-14)$$

$$\frac{\partial J p}{\partial z} = -C \frac{\partial}{\partial t} \int_0^h E_x^i(z, t) dx \quad (IV-15)$$

En considérant une onde sinusoïdale, nous pouvons écrire :

$$\frac{\partial \epsilon p}{\partial z} = j \omega h B_y^i(z, t) \quad (IV-16)$$

$$\frac{\partial J p}{\partial z} = -j \omega C h E_x^i(z, t) \quad (IV-17)$$

Cette formulation purement théorique des sources élémentaires induites montre cependant que leur amplitude reste proportionnelle à l'intensité et à la fréquence du perturbateur.

IV-2 **E**TUDE PHENOMENOLOGIQUE DES AGRESSIONS EN COUPLAGE ELECTROMAGNETIQUE

Nous avons jusqu'ici montré qu'une injection de courant (couplage électrique) en sortie du composant 1 pouvait entraîner des décalages plus ou moins importants de fronts en sortie du composant 2. Nous allons maintenant étendre cette étude à d'autres types de couplage (couplages magnétique et électromagnétique). Pour cela, nous avons réalisé suivant le principe du schéma de la figure IV-4, les trois types de couplage :

- Couplage électrique (charge = circuit ouvert)
- Couplage magnétique (charge = court-circuit)
- Couplage électromagnétique (charge adaptée 50 Ω)

Notons que dans le dernier cas, il est indispensable que la ligne émettrice ait une impédance caractéristique de 50 Ω afin de réaliser une bonne adaptation entre la charge 50 Ω et l'amplificateur qui alimente la ligne car l'impédance de sortie de celui-ci est 50 Ω . Pour cela, nous avons consacré le paragraphe suivant à la définition des dimensions de la piste, en particulier sa largeur w , donnant une impédance caractéristique de 50 Ω .

IV-2-1 Impédance caractéristique Z_c de la ligne microruban

Plusieurs auteurs [26], [27], [28], [29] ont caractérisé les lignes microrubans en publiant des formules approchées de Z_c . Nous nous sommes limités, dans ce document, à celle de Schneider. Il considère un ruban infiniment mince ($\delta \rightarrow 0$) et un plan de masse de largeur très grande par rapport à la largeur w de la piste. Il publie les formules suivantes de Z_c en fonction du rapport w/h où h est la hauteur du diélectrique.

- Pour $\frac{w}{h} > 1$:

$$Z_c = \frac{1}{\sqrt{\epsilon_{r \text{ eff}}}} \cdot \frac{120 \pi}{\frac{w}{h} + 2,42 - 0,44 \frac{h}{w} + \left(1 - \frac{h}{w}\right)^6} \quad (\text{IV-18})$$

- Pour $0 < \frac{w}{h} < 1$:

$$Z_c = \frac{60}{\sqrt{\epsilon_{r \text{ eff}}}} \ln \left(8 \frac{h}{w} + 0,25 \frac{w}{h} \right) \quad (\text{IV-19})$$

$\epsilon_{r \text{ eff}}$ = permittivité effective du diélectrique

Il a également montré que la relation suivante donne une approximation suffisante pour les valeurs de la permittivité relative ϵ_r inférieures à 15. Ce qui est souvent le cas avec l'isolant (époxy) des plaquettes de circuit imprimé.

$$\epsilon_{\text{eff}} = 1/2 (\epsilon_r + 1) + \frac{1/2 (\epsilon_r - 1)}{\sqrt{1 + 10 \frac{h}{w}}} \quad (\text{IV-20})$$

La hauteur usuelle "h" du diélectrique est 1,6 mm. La valeur moyenne de la permittivité relative ϵ_r est de l'ordre de 4,5. Une valeur de w de 3 mm donne par conséquent une impédance caractéristique voisine de 50 Ω . A partir de ces dimensions nous avons réalisé la carte de test à pistes couplées, puis pratiqué des tests en soumettant la piste émettrice aux trois types de couplages. Le composant 1 lors de ces tests est de la famille HC.

IV-2-2 Cas du couplage électrique

Le schéma équivalent de la ligne perturbée est celui de la figure suivante. Les relevés des courant et tension aux différents points de ce schéma sont ceux présentés sur la planche IV-1 (page 130).

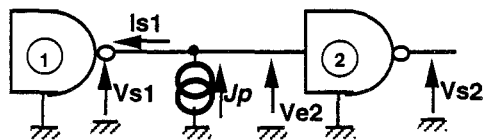


Figure IV-8: Schéma équivalent du couplage électrique

Nous pouvons remarquer sur cette planche, comme nous l'avons démontré au chapitre II, que le couplage électrique crée une source de courant qui va à son tour créer, du fait des résistances dynamique R_{dn} de l'état bas et R_{dp} de l'état haut en sortie du composant 1, une onde sinusoïdale sur ces états logiques. Nous remarquons également que l'amplitude de l'onde sinusoïdale sur V_{s1} est la même que sur V_{s2} (Planche IV-1-a et b). Compte tenu du fait que, dans la zone de commutation, le courant perturbateur se combine au courant de sortie du composant 1 pour produire un courant équivalent de sortie plus ou moins grand que le courant initial, les transits logiques en entrée du composant 2 se trouvent perturbés, ce qui entraîne des décalages temporels à sa sortie (Planche IV-1-d).

IV-2-3 Cas du couplage magnétique

Le schéma équivalent du perturbé est le suivant. La planche IV-2 (page 131) présente les tension et courant relevés aux différents points du montage.

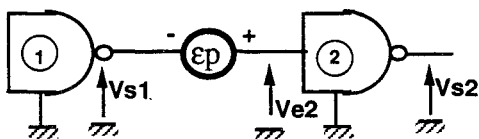


Figure IV-9: Schéma équivalent du couplage magnétique

Nous pouvons remarquer que les signaux présentés sur la planche IV-2-a et b vérifient bien la relation :

$$V_{e2}(t) = V_{s1}(t) + \varepsilon p(t) \quad (\text{IV-21})$$

$$\text{avec } \varepsilon p(t) = \varepsilon p_{\max} \sin(\omega t + \Phi) \quad (\text{IV-22})$$

Afin de comparer ces signaux à ceux relevés dans le cas du couplage électrique, nous avons réglé l'amplitude du générateur de perturbation de telle sorte que la valeur crête-à-crête εp_{cc} de $\varepsilon p(t)$ soit égale à celle de l'onde $v(t)$ sur l'état haut de V_{s1} en couplage électrique ($\varepsilon p_{cc} = v_{cc} = 1 \text{ volt}$).

Nous pouvons également remarquer que εp_{cc} est identique sur les deux états logiques de V_{e2} (Planche IV-2-b).

$$\varepsilon p_{cc}(\text{état haut}) = \varepsilon p_{cc}(\text{état bas}) \quad (\text{IV-23})$$

Cette remarque est très importante car elle confirme que εp_{cc} est indépendante des impédances dynamiques. Contrairement à ce qui précède, nous avons eu en couplage électrique l'inégalité suivante;

$$v_{cc}(\text{état haut}) > v_{cc}(\text{état bas}) \quad (\text{IV-24})$$

Cela est dû au fait que l'ondulation $v(t)$ est liée à la résistance dynamique en zone de conduction des transistors MOS constituant l'étage de sortie du composant 1:

$$\begin{aligned} \text{état bas : } v(t) &= R_{dn} \cdot J_p(t) \\ \text{état haut : } v(t) &= R_{dp} \cdot J_p(t) \end{aligned} \quad \text{avec } R_{dp} > R_{dn} \quad (\text{IV-25})$$

Remarque:

En réalité, le courant perturbateur voit une impédance composée de la résistance dynamique en zone de conduction en parallèle sur l'impédance équivalente $1/(j2\pi f C_r l)$ de la capacité $l.C_r$ de la ligne où l est sa longueur (40 cm) et f , la fréquence du perturbateur. Nous avons utilisé uniquement ci-dessus la résistance dynamique, car à 10,1 MHz elle est plus petite (R_{d_n} et R_{d_p} inférieures à 50 ohms) que l'impédance de C_r (280 ohms).

C_r est évaluée théoriquement à 140 pF/m à partir de la relation suivante [26]:

$$C_r = \frac{\sqrt{\epsilon_{r\text{eff}}}}{Z_0 \cdot c} \quad (\text{IV-26})$$

où c est la célérité, Z_0 l'impédance caractéristique de la ligne

$Z_0=50$ ohms, $c=3.10^8$ m/s et $\epsilon_{r\text{eff}}$ est estimé à 3,44 par la relation IV-20

Le décalage (Planche IV-2-d) produit en couplage magnétique est dû au fait que $\epsilon_p(t)$ s'additionne algébriquement à V_{s1} et, par conséquent, déforme la tension d'entrée V_{e2} du composant 2. Ainsi, la tension de seuil de commutation (V_{seuil}) en entrée de celui-ci est atteinte avec un temps $\pm\tau$ de décalage. En désignant par t_f le temps de descente de la transition en entrée de ce composant et en admettant que son seuil de commutation se situe au voisinage de $\frac{t_f}{2}$ (Figure IV-10), nous pouvons dire que τ est peu différent de $\frac{t_f}{2}$ tant que ϵ_{pcc} est inférieur à V_{seuil} (condition de non perturbation des états statiques).

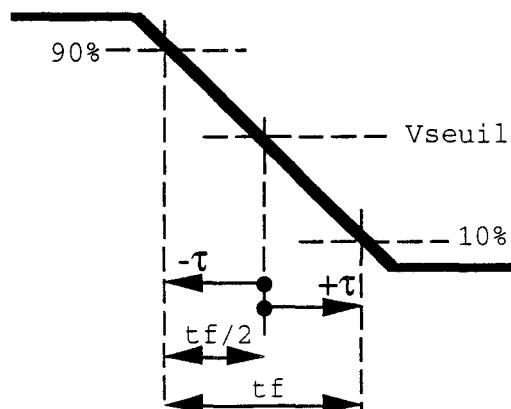
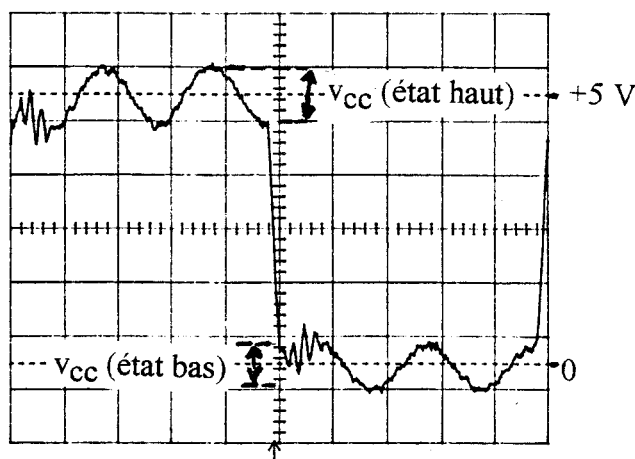


Figure IV-10: Front de descente en entrée du composant 2

COUPLAGE ELECTRIQUE

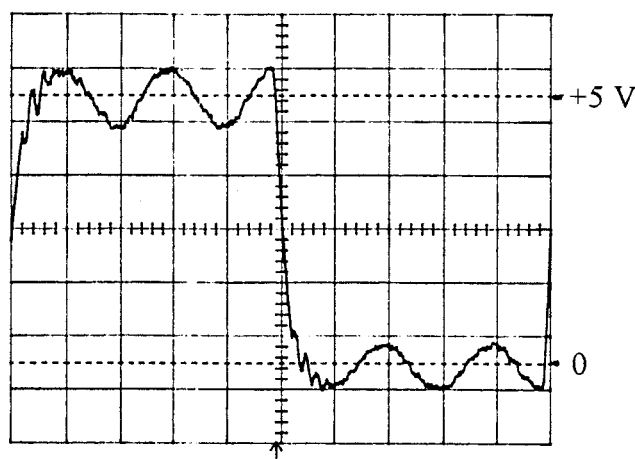
fréquence du perturbateur sinusoïdale = 10 MHz

fréquence des signaux logiques = 2 MHz



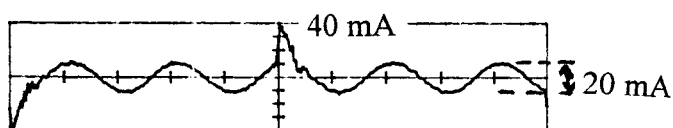
50 ns/div

a) Tension en sortie composant 1
(V_{s1})



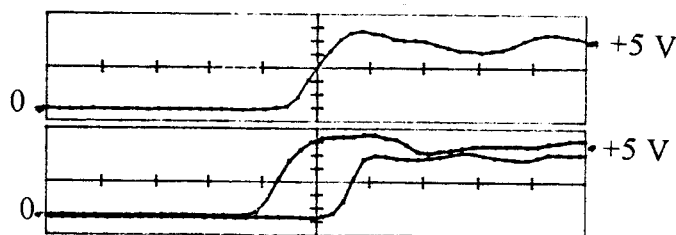
50 ns/div

b) Tension en entrée composant 2
(V_{e2})



50 ns/div

c) Courant de sortie composant 1



5 ns/div

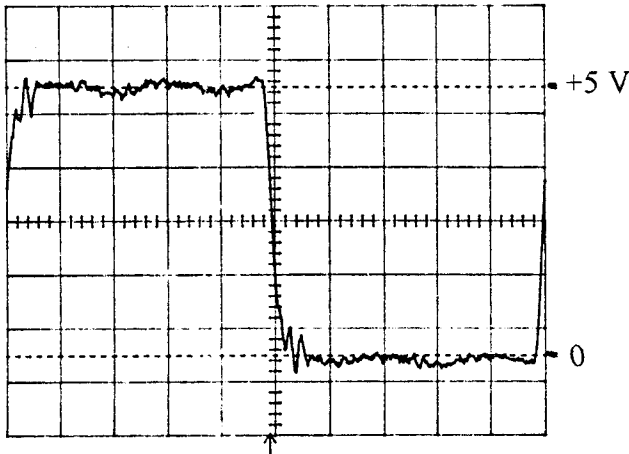
d) Tension de sortie composant 2
EXTREMA (V_{s2})

"EXTREMA" est une fonction de l'oscilloscope qui permet de faire un encadrement d'un nombre n d'acquisition. Ici, n = 100

COUPLAGE MAGNETIQUE

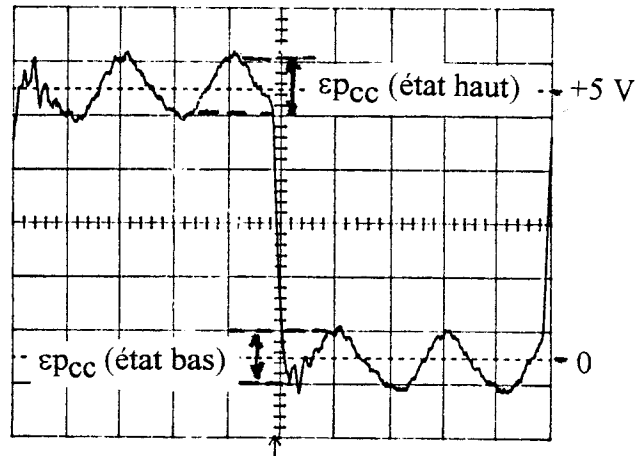
fréquence du perturbateur sinusoïdale = 10 MHz

fréquence des signaux logiques = 2 MHz



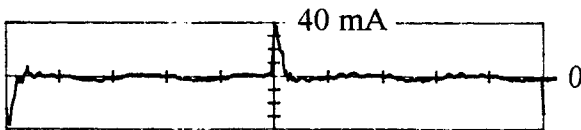
50 ns/div

a) Tension en sortie composant 1
(V_{s1})



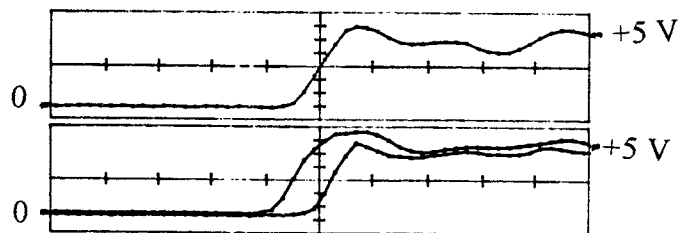
50 ns/div

b) Tension en entrée composant 2
(V_{e2})



50 ns/div

c) Courant de sortie composant 1



5 ns/div

d) Tension de sortie composant 2
EXTREMA (V_{s2})

La relation IV-23 montre que la source de tension induite est indépendante de l'impédance dynamique en sortie du composant 1. Une conséquence évidente que nous pouvons tirer de cette remarque est que la présence de cette source n'empêche pas le composant 1 de commuter de l'état haut à l'état bas avec sa durée normale de descente qui est identique à t_f . Ceci signifie que, tant que la condition de non perturbation des états statiques est vérifiée, le décalage de front pouvant apparaître en sortie du composant 2 sera voisin de t_f . On obtient par analogie la même phénoménologie sur les transitions état bas-état haut en sortie du composant 1. Ce comportement des circuits sous test a été vérifié expérimentalement dans la bande de fréquence allant de 1MHz à 23 MHz. Le chronogramme d'illustration relevé à la fréquence de 18 MHz, et présenté sur la figure suivante, montre que ce maximum ne dépasse pas une dizaine de nanoseconde qui est le temps moyen de commutation du composant 1 chargé par la ligne. Le niveau du générateur sinusoïdal est réglé de telle sorte que l'on soit au seuil de perturbation des niveaux statiques de V_{s2} . C'est en effet au voisinage de ce seuil que l'on peut quantifier le décalage maximal.

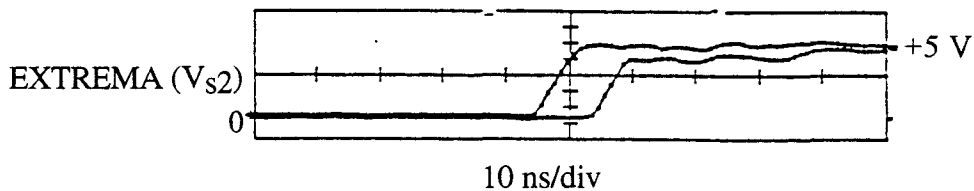


Figure IV-11: Illustration du décalage maximum en couplage magnétique

IV-2-4 Cas du couplage électromagnétique

Dans ce cas, nous nous trouvons à la fois en présence de la source de courant et de la source de tension figure IV-12. Comme dans le cas du couplage électrique, le générateur de signaux harmoniques est réglé de façon que l'ondulation $v(t)$ ait une valeur crête-à-crête de 1 volt sur l'état haut de V_{s1} .

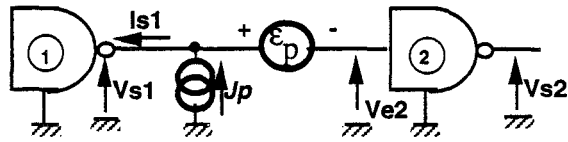
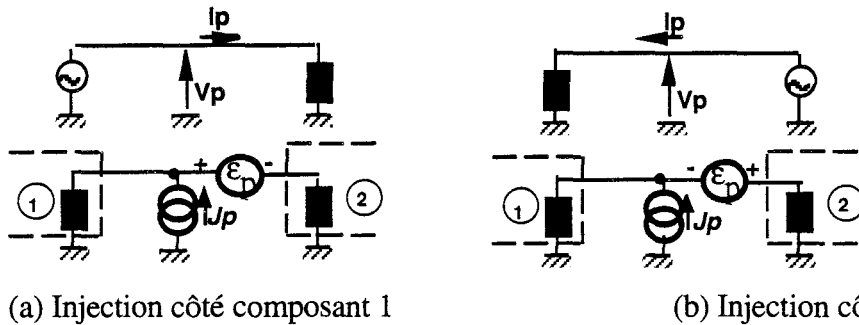


Figure IV-12: Schéma équivalent du couplage électromagnétique

Notons que dans ce cas, deux configurations vont se présenter selon que le signal perturbateur (IEM) est injecté du côté composant 1 ou du côté composant 2. En effet, cette permutation du point d'injection des IEM crée une inversion du sens du courant I_p qui circule sur la ligne émettrice (Figure suivante).



(a) Injection côté composant 1

(b) Injection côté composant 2

Figure IV-13

En choisissant arbitrairement les polarités de la source de tension ϵ_p induite du cas (a) comme polarités de référence, nous pouvons matérialiser cette inversion de sens de I_p par une inversion des polarités de ϵ_p . Nous en déduisons que dans un cas (a) les ondulations résultant des couplages magnétique $[\epsilon_p(t)]$ et électrique $[v(t)]$ vont se soustraire, et dans l'autre cas (b) elles vont s'additionner. En effet, si nous désignons leur somme algébrique par $v'(t)$, nous pouvons écrire :

(a) Injection côté composant 1

$$v'(t) = R_d \cdot J_p(t) - \epsilon_p(t) \quad (IV-27)$$

(b) Injection côté composant 2

$$v'(t) = R_d \cdot J_p(t) + \epsilon_p(t) \quad (IV-28)$$

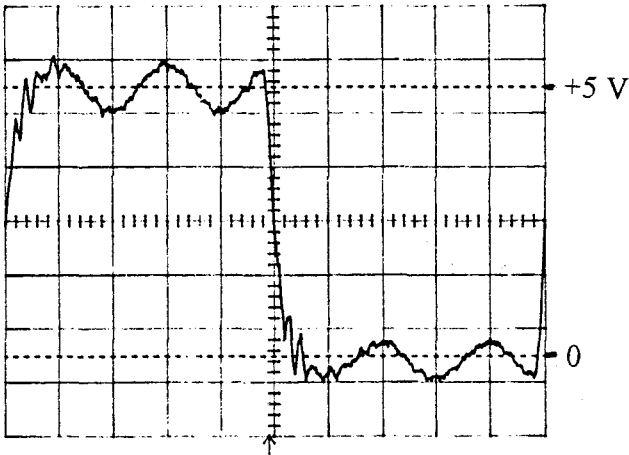
En pratique, les différents signaux relevés (Planche IV-3 et IV-4) pour mettre en évidence ce comportement des sources induites ont également montré que dans le cas (b) leur action combinée peut provoquer une forte conduction des diodes de protection en entrée du composant 2. Nous reviendrons plus loin sur ce dernier aspect.

COUPLAGE ELECTROMAGNETIQUE

injection côté composant 1 : $v'(t) = Rd.Jp(t) - \epsilon p(t)$

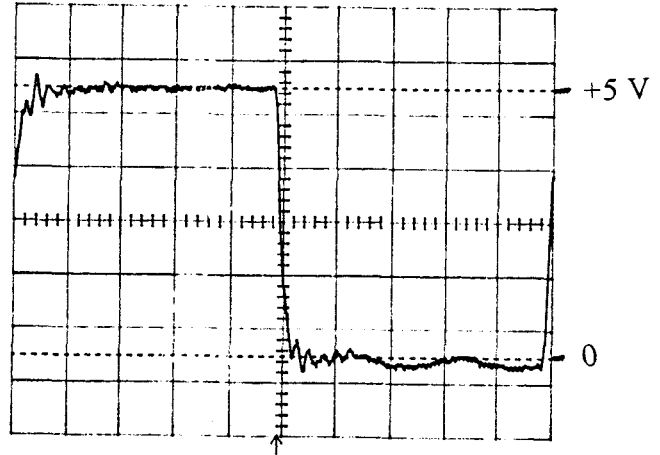
Perturbateur : $f = 10 \text{ MHz}$, $P = 3,7 \text{ watts}$

Signaux logiques : $f = 2 \text{ MHz}$



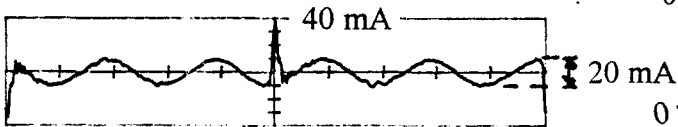
50 ns/div

a) Tension en sortie composant 1 (V_{s1})



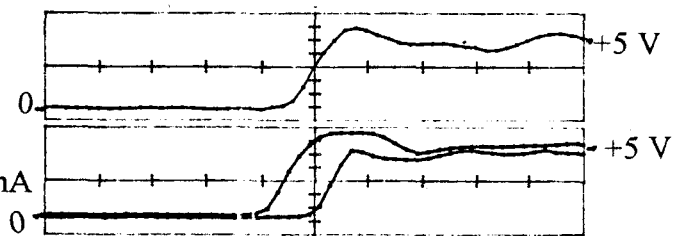
50 ns/div

b) Tension en entrée composant 2 (V_{e2})



50 ns/div

c) Courant de sortie composant 1



5 ns/div

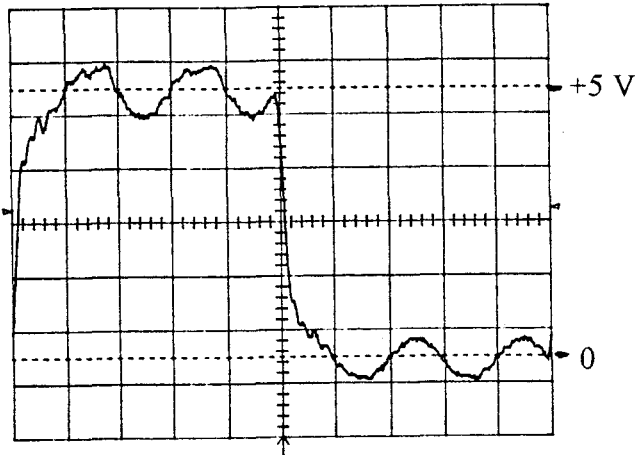
d) Tension de sortie composant 2
EXTREMA (V_{s2})

COUPLAGE ELECTROMAGNETIQUE

injection côté composant 2 : $v'(t) = R_d.J_p(t) + \epsilon_p(t)$

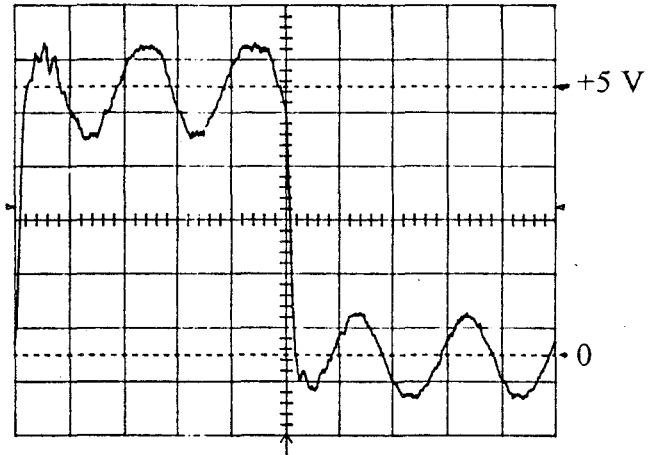
Perturbateur : $f = 10 \text{ MHz}$, $P = 3,7 \text{ watts}$

Signaux logiques : $f = 2 \text{ MHz}$



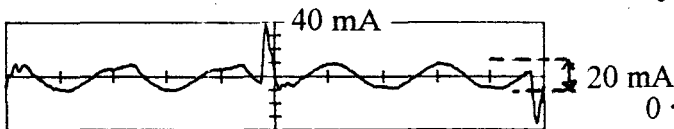
50 ns/div

a) Tension en sortie composant 1 (V_{s1})



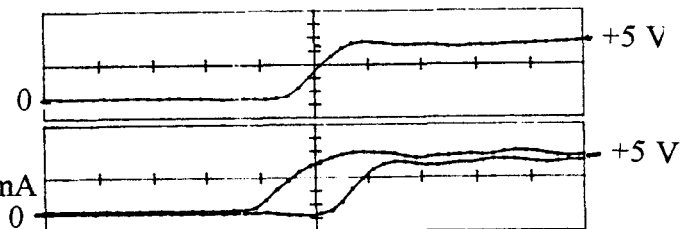
50 ns/div

b) Tension en entrée composant 2 (V_{e2})



50 ns/div

c) Courant de sortie composant 1



5 ns/div

d) Tension de sortie composant 2
EXTREMA (V_{s2})

Sur la planche IV-3-a les ondulations observées sur V_{s1} sont dues à la présence du générateur fictif de courant J_p . Sur le niveau haut de V_{e2} , nous pouvons remarquer que ces ondulations ont disparu et apparaissent avec une amplitude plus faible sur l'état bas. Ceci est dû au fait que la source fictive de tension $\epsilon_p(t)$ est en opposition de phase avec l'onde $v(t)$ créée par la source de courant. Par ailleurs, les paramètres inductance et capacité de couplage entre les deux lignes sont tels que $\epsilon_p(t)$ et $v(t)$ ont la même amplitude sur l'état haut de V_{s1} . On a donc :

- sur l'état haut ;

$$\epsilon_p(t) = [v(t) = R_{d_p} \cdot J_p(t)] \quad (\text{IV-29})$$

- sur l'état bas;

$$[\epsilon_p(t) = R_{d_p} \cdot J_p(t)] > [v(t) = R_{d_n} \cdot J_p(t)] \quad \text{car } R_{d_p} > R_{d_n} \quad (\text{IV-30})$$

Par contre, dans la zone de commutation la valeur élevée de la résistance dynamique R_d par rapport à celles de R_{d_p} et R_{d_n} sur les états statiques (cf. Chapitre II) fait que l'ondulation $v(t)$ devient plus importante que $\epsilon_p(t)$. Nous pouvons alors écrire ;

$$\epsilon_p(t) < [v(t) = R_d \cdot J_p(t)] \quad (\text{IV-31})$$

Ainsi, le décalage en sortie du composant 2 va être majoritairement dû à l'action de $J_p(t)$. De façon générale, nous pouvons dire que ce décalage résulte de l'action combinée de $\epsilon_p(t)$ et $v(t)$, autrement dit de l'ondulation $v'(t)$ telle que $v'(t) = R_d \cdot J_p(t) - \epsilon_p(t)$.

Nous pouvons aisément déduire de ce qui précède que dans le cas où $v'(t)$ est la somme de $\epsilon_p(t)$ et $v(t)$, on assistera à un décalage plus important (Planche IV-3-d et IV-4-d). Le relevé des courbes de retard de front associées aux deux formulations de $v'(t)$ et publiées sur la figure IV-14 permet de confirmer que dans un cas, le retard temporel est plus important que dans l'autre.

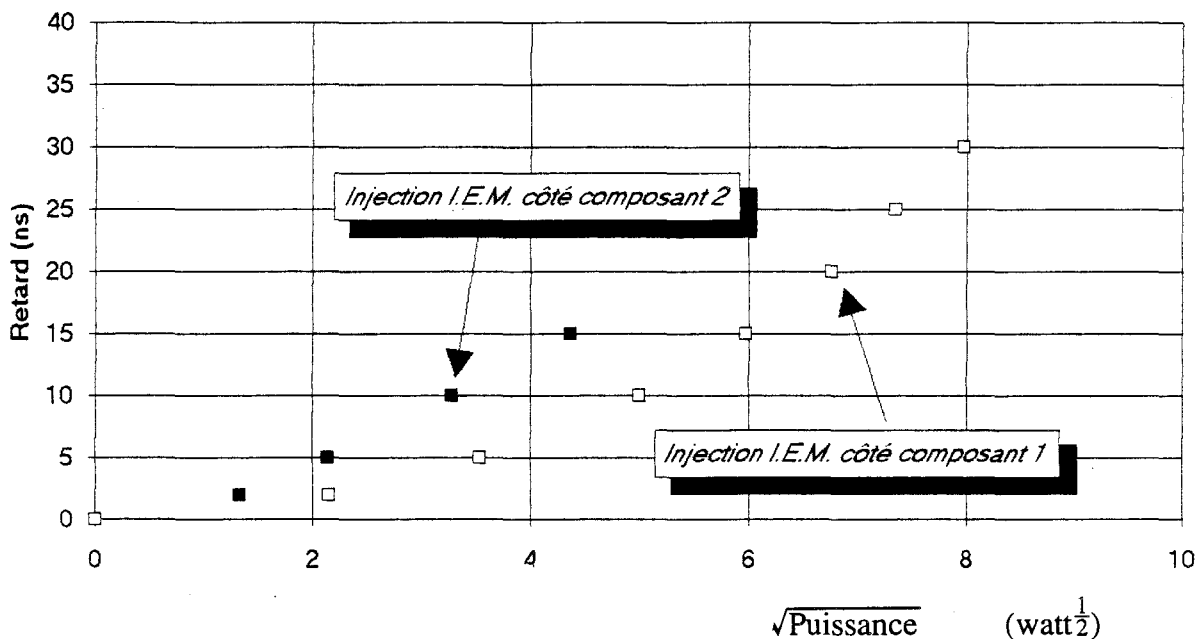


Figure IV-14

Cette caractéristique montre effectivement qu'à puissance d'IEM. égale, une injection côté composant 2 crée un retard de front plus important que celui d'une injection côté composant 1. Nous avons choisi comme abscisse, \sqrt{P} (P = puissance injectée), parce que les sources de courant J_p et de tension ϵ_p sont toutes deux proportionnelles à \sqrt{P} , ce qui permet d'avoir un modèle (les caractéristiques de retard) analogue à ceux du chapitre II.

En effet :

$$J_p = C_{12} \cdot l \cdot \omega V_p \tag{IV-32}$$

$$\epsilon_p = L_{12} \cdot l \cdot \omega I_p \tag{IV-33}$$

1. C_{12} = capacité de couplage entre les 2 lignes.

1. L_{12} = mutuelle inductance entre les 2 lignes.

En considérant l'hypothèse des grandes longueurs d'onde et admettant que la ligne émettrice dans laquelle l'on injecte une puissance P est adaptée ($R_{charge} = 50$ ohms), nous pouvons écrire :

$$V_p = \sqrt{P \cdot 50} \quad (\text{IV-34})$$

$$I_p = \sqrt{\frac{P}{50}} \quad (\text{IV-35})$$

ce qui donne :

$$J_p = C_{12} \cdot l \cdot \omega \sqrt{50} \cdot \sqrt{P} \quad (\text{IV-36})$$

$$\varepsilon_p = \frac{L_{12} \cdot l \cdot \omega}{\sqrt{50}} \cdot \sqrt{P} \quad (\text{IV-37})$$

- Conduction des diodes de protection.

Nous avons remarqué au cours de ces essais que l'action combinée de la source de tension ε_p et de l'ondulation ($R_d \cdot J_p$) résultant de la source de courant J_p peut provoquer une forte conduction des diodes de protection en entrée du composant 2. C'est la cause de la distorsion que l'on observe sur l'alternance positive de la sinusoïde située avant l'appel de courant (Planche IV-3-c).

Pour mieux interpréter cette observation, considérons les schémas équivalents (Tableau IV-1) associant les modèles d'entrée des composants de la famille AC et de sortie des composants de la famille sous test (HC). Considérons ensuite les résultats des planches IV-5 et IV-6 (pages 140 et 141) où les conditions d'expérimentation sont les mêmes que celles des planches IV-3 et IV-4 sauf que l'amplitude des IEM est environ quatre fois plus grande. Ceci permet de bien faire apparaître l'effet de conduction des diodes.

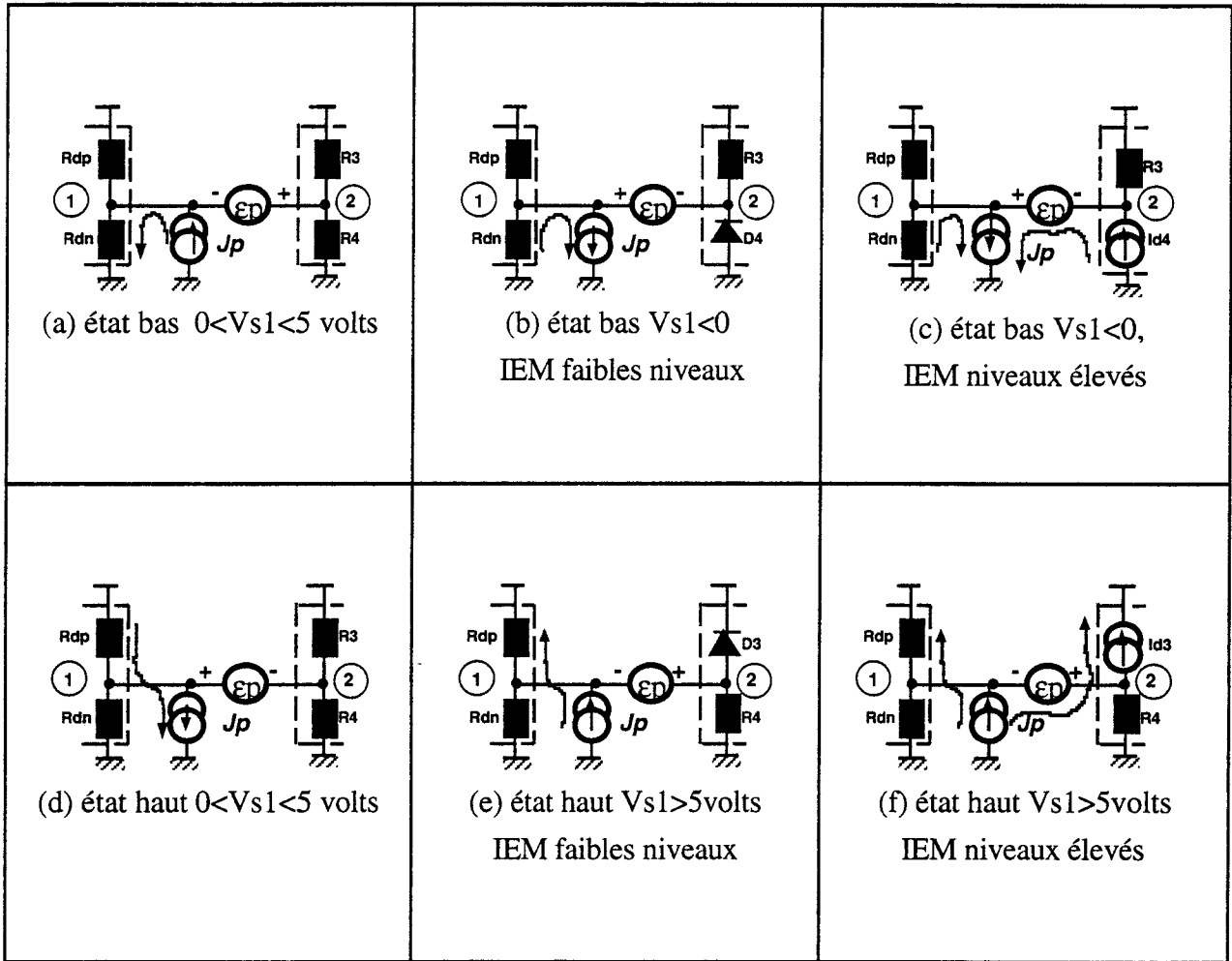


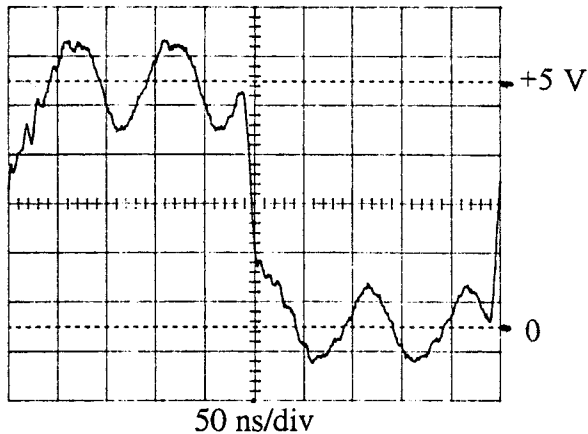
Tableau IV-1: Schémas équivalents sur les états statiques

COUPLAGE ELECTROMAGNETIQUE

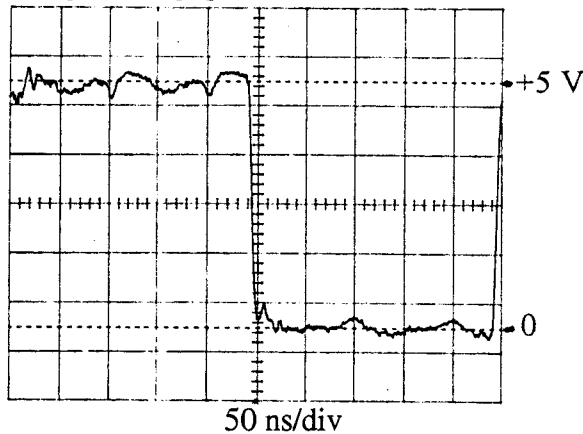
injection côté composant 1: $v'(t) = Rd.Jp(t) - \epsilon p(t)$

Perturbateur : $f = 10 \text{ MHz}$, $P = 15 \text{ watts}$

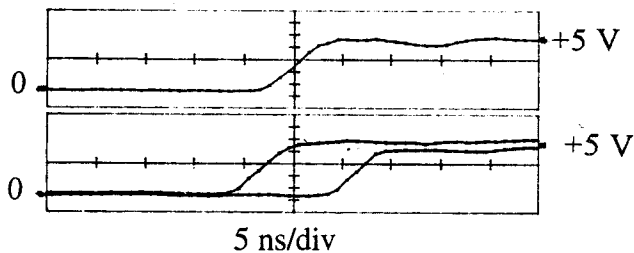
Signaux logiques : $f = 2 \text{ MHz}$



a) Tension en sortie composant 1 (V_{s1})

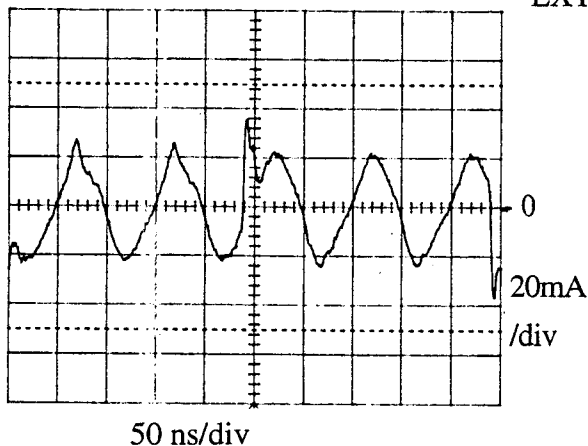


b) Tension en entrée composant 2 (V_{e2})

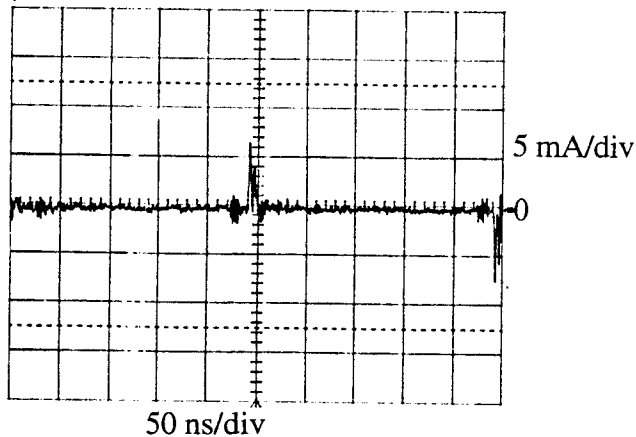


c) Tension de sortie composant 2

EXTREMA (V_{s2})



d) Courant de sortie
du composant 1



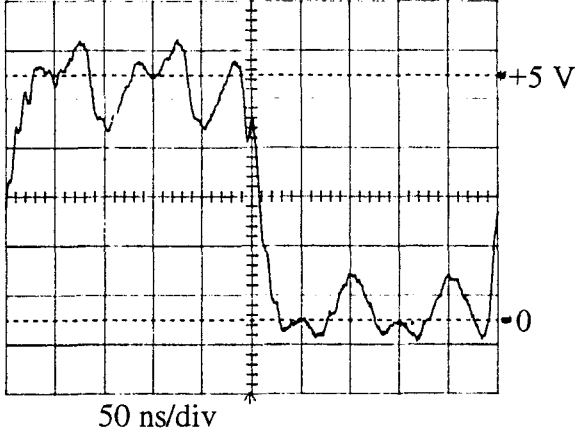
e) courant d'entrée
du composant 2

COUPLAGE ELECTROMAGNETIQUE

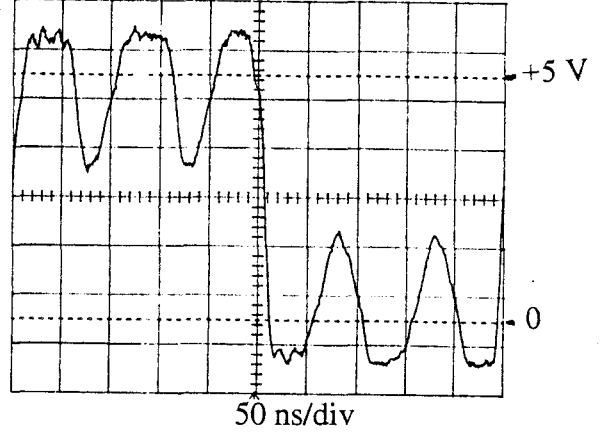
injection côté composant 2: $v'(t) = R_d.J_p(t) + \epsilon_p(t)$

Perturbateur : $f = 10 \text{ MHz}$, $P = 15 \text{ watts}$

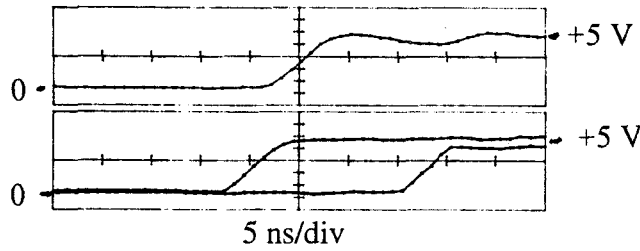
Signaux logiques : $f = 2 \text{ MHz}$



a) Tension en sortie composant 1 (V_{s1})

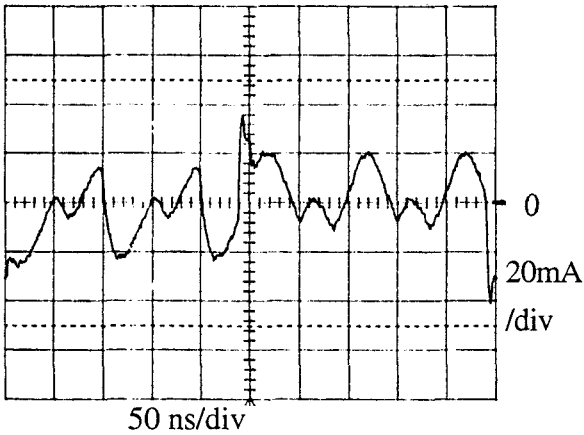


b) Tension en entrée composant 2 (V_{e2})

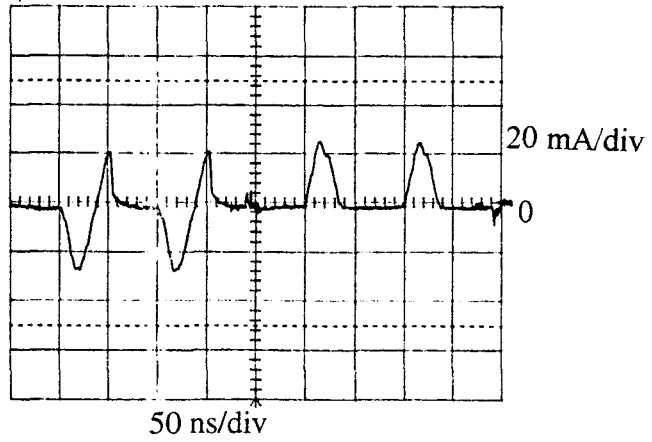


c) Tension de sortie composant 2

EXTREMA (V_{s2})



d) Courant de sortie
du composant 1



e) courant d'entrée
du composant 2

Lorsque l'ondulation sur l'état bas de V_{e2} est positive, la diode D4 est polarisée en inverse et équivaut à une résistance R4 très élevée (Tableau IV-1-a), ce qui correspond aux zones où I_{e2} est nul (Planche IV-6-e). Du fait que la sortie du composant 1 est en basse impédance, le courant perturbateur $J_p(t)$ se trouve dérivé vers ce composant. Ceci correspond aux alternances positives (courant entrant) que l'on observe après le pic de courant sur I_{s1} (Planche IV-6-d).

Lorsque V_{e2} est négative de façon à polariser la diode D4 en direct (Tableau IV-1-b) et que la sollicitation de courant est faible, D4 conduit très peu. La résistance qu'elle présente est faible mais suffisamment grande pour que le courant perturbateur continue à se diriger vers le composant 1 (courant sortant). Ceci correspond aux zones de I_{s1} entourées sur la Planche suivante.

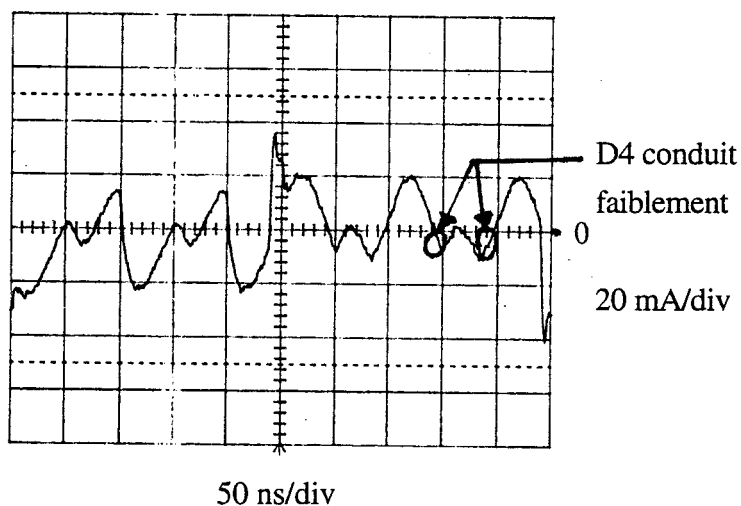


Figure IV-15

Par contre, lorsque la sollicitation de courant sur la ligne devient importante avec la présence de la source de tension $\epsilon_p(t)$ qui maintient V_{e2} négative, la diode D4 est soumise à une forte conduction matérialisée par la source de courant I_{d4} (Tableau IV-1-c). Le courant perturbateur est donc réparti entre le composant 1 et le composant 2. Autrement dit, les

alternances négatives de $J_p(t)$ sont la somme algébrique de I_{s1} et I_{d4} (ou I_{e2}) comme le montrent les signaux de la figure IV-16.

Un raisonnement analogue sur les états logiques haut de V_{s1} et V_{e2} montre que les alternances positives de $J_p(t)$ sont la somme algébrique du courant I_{d3} (ou I_{e2}) de la diode D_3 et de I_{s1} (zone située avant le pic de courant (Planche IV-6-d)). Les schémas équivalents associés sont ceux du tableau IV-1-d à IV-1-f. Nous pouvons constater qu'il n'y a pas de symétrie rigoureuse entre les deux zones de I_{s1} et de I_{e2} (avant et après la commutation). Ceci serait lié au temps de recouvrement de la diode D_3 qui serait plus grand que celui de D_4 . Par ailleurs, les formes d'onde sur V_{s1} sont liées à celles de I_{s1} par les résistances dynamiques.

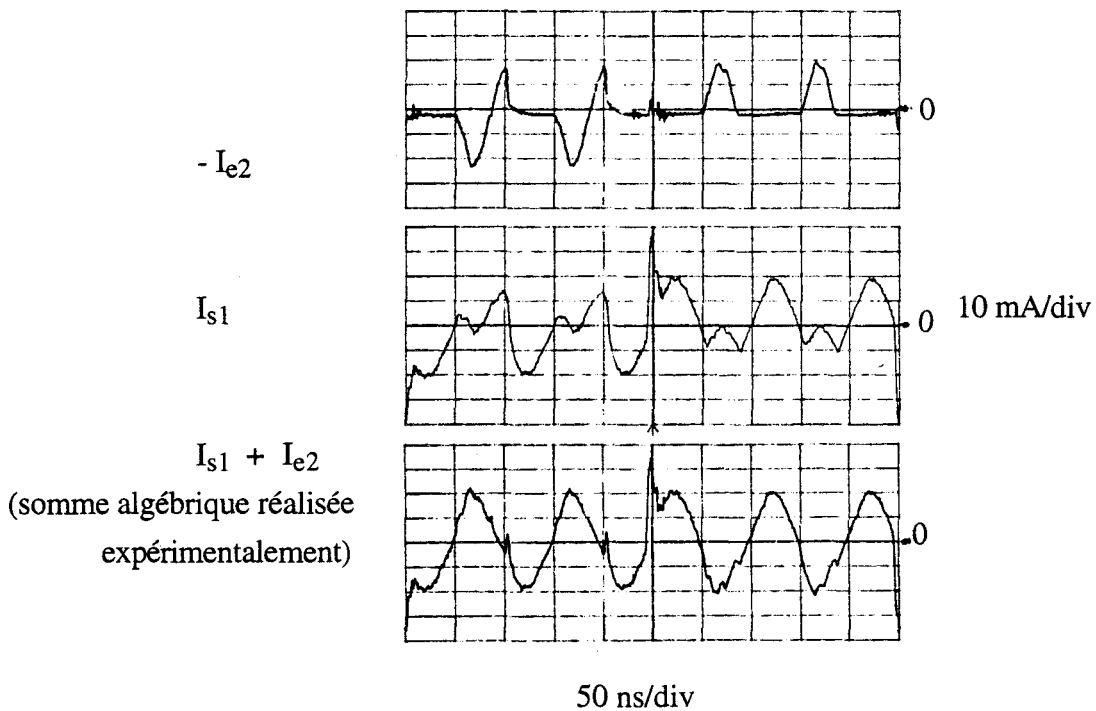


Figure IV-16

Il faut noter qu'il existe également en sortie des composants sous test une diode de protection D_2 qui limite V_{s1} à $-V_{d2}$ sur l'état bas et une diode D_1 (Figure IV-17) qui limite V_{s1} à $V_{cc} + V_{d1}$ sur l'état haut. V_{d1} et V_{d2} étant respectivement les tensions de seuil de conduction de D_1 et D_2 .

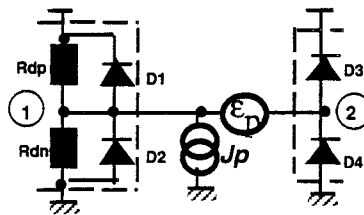


Figure IV-17: Diodes de protection en sortie du composant 1

De façon analogue, V_{e2} est limitée à $-V_{d4}$ sur l'état bas et $V_{cc} + V_{d3}$ sur l'état haut par les diodes D_3 et D_4 .

Ces essais nous ont permis de comprendre la phénoménologie de superposition de la source de tension ϵ_p sur les signaux véhiculés par les composants sous test et de mettre en évidence son influence sur les décalages de front créés en sortie du composant en aval de la ligne réceptrice. Cependant, ils demeurent insuffisants pour conclure sur la susceptibilité électromagnétique de la structure sous test vis à vis d'une agression électromagnétique. Ainsi, dans les paragraphes suivants, nous essayerons traiter les aspects concernant l'influence :

- de la famille technologique du composant 1.
- de la fréquence du perturbateur.
- de la cadence des transitions des mots binaires.

IV-3 TESTS AVEC LA STRUCTURE À PISTES COUPLÉES

IV-3-1 Etude en fonction de la famille technologique du composant sous test

Nous avons montré au chapitre II que soumis à une injection de courant à leur sortie, les composants des familles les moins rapides (C) engendrent des décalages plus importants que ceux des familles les plus rapides (AC). La question fondamentale à laquelle nous tenterons d'apporter une réponse dans ce paragraphe est de connaître le comportement de ces familles vis à vis d'une injection de tension (couplage magnétique).

Nous avons dans un premier temps fait une étude comparative des décalages extrêmes que les familles C, HC et AC peuvent engendrer avec notre protocole de test. Rappelons que la "HC" dispose de caractéristiques de vitesse intermédiaires entre celles de la C et la AC. Dans un second temps, nous avons fait une comparaison, à amplitudes égales d'IEM. , de ces familles en ce qui concerne les décalages qu'elles produisent.

Afin d'exploiter les résultats du paragraphe précédent, cette étude est menée à une fréquence de 10,1 MHz en couplages électrique, magnétique et électromagnétique.

IV-3-1-1 Comparaison des décalages extrêmes subis par les familles C, HC, et AC vis à vis des trois types de couplage

IV-3-1-1-1 Définition du critère d'évaluation de la sensibilité du composant sous test

Les caractéristiques de sortie du composant 1, en particulier sa résistance dynamique, sont différentes (c.f. chapitre II) d'une famille technologique à l'autre. Il en résulte bien évidemment que les niveaux d'IEM nécessaires pour produire ces décalages extrêmes soient aussi différents. Leur comparaison est rendue possible par le fait que la famille technologique du composant 2 (AC) ne change pas. Ainsi, les mesures et enregistrements des signaux se font au voisinage immédiat des amplitudes d'IEM. (V_p et/ou I_p) qui perturbent les états statiques en

sortie du composant 2 en faisant apparaître des débuts de commutations erratiques. Dans ces conditions, la valeur crête de l'ondulation résultante sur les états statiques en entrée de ce composant est au voisinage de son seuil de commutation comme l'illustre les signaux présentés sur la figure suivante.

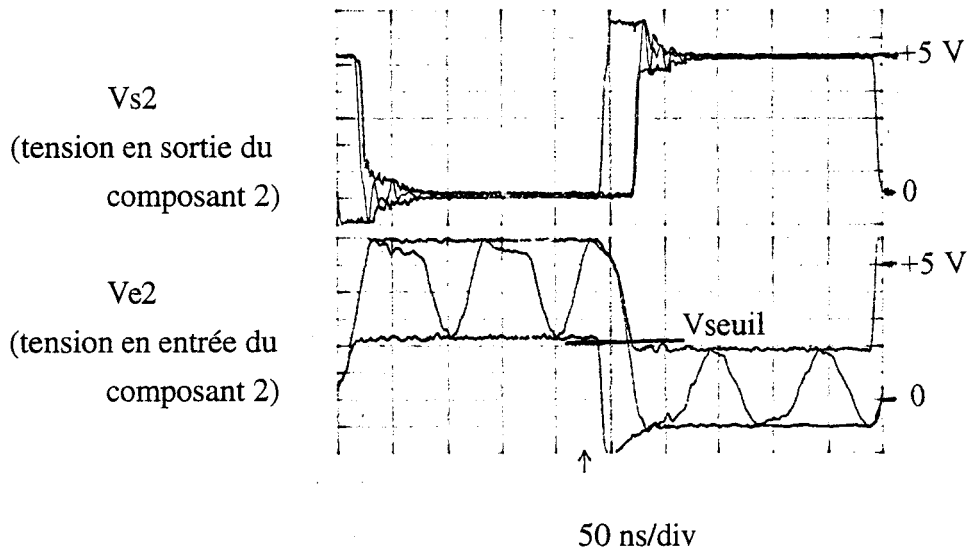


Figure IV-18: Illustration de la configuration de test - famille HC en couplage électrique.

IV-3-1-1-2 La famille HC

Nous avons présenté sur la planche IV-7 (page 148) les décalages extrêmes enregistrés sur les fronts de montée du signal en sortie du composant 2 pour les trois types de couplage.

Nous pouvons remarquer comme nous l'avons déjà mis en évidence qu'en couplage magnétique ce maximum est d'environ 10 ns. En couplage électrique, il atteint 25 ns. En couplage électromagnétique avec injection côté composant 1, il vaut environ 40 ns. Par contre en injection côté composant 2 il se réduit à 25 ns. En résumé, nous pouvons dire que:

1° Le décalage créé par le couplage magnétique est inférieur à celui dû au couplage électrique.

2° En couplage électromagnétique, deux cas se présentent :

- **1er cas - Composition soustractive** des ondulations créées par les couplages électrique et magnétique (injection côté composant 1).

L'onde électromagnétique produite par le couple ($V_p=56$ volts ; $I_p=1,2$ A) crée la même ondulation à l'entrée du composant 2 qu'une onde électrique seule engendrée par $V_p = 37$ volts ou une onde magnétique seule engendrée par $I_p=1,1$ A. Cependant, les décalages temporels observés en sortie de ce composant sont beaucoup plus élevés dans le premier cas. Ceci s'explique par la forte augmentation de la composante électrique nécessaire pour respecter le critère de niveau en entrée du composant 2 défini précédemment.

- **2ème cas : Composition additive** des ondulations (injection côté composant 2).

Les niveaux d'IEM. sont passés de $V_p=56$ volts et $I_p=1,2$ A du le cas précédent à $V_p=31$ volts et $I_p=0,69$ A dans ce cas-ci. Ceci est lié à la composition additive qui fait que la valeur crête de l'ondulation résultante sur les états statiques en entrée du composant 2 a atteint plus vite le seuil de commutation de celui-ci. La planche IV-8 confirme ce paradoxe: le décalage enregistré est inférieur au précédent. Cela est dû à la diminution de I_p et surtout de V_p .

Examinons maintenant le cas de la famille AC qui est plus rapide que la HC et qui présente comme nous l'avons montré au chapitre II une sensibilité moindre aux injections de courant (couplage électrique).

FAMILLE HC (temps moyen de propagation = 15 ns)

fréquence du perturbateur = 10,1 MHz

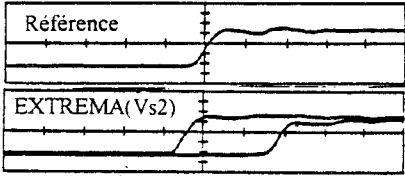
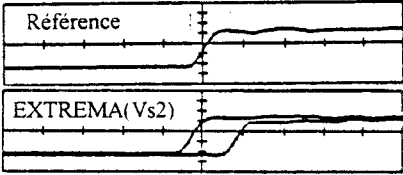
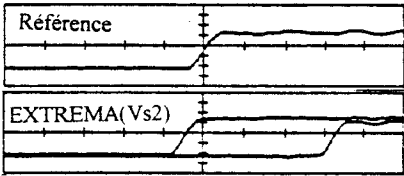
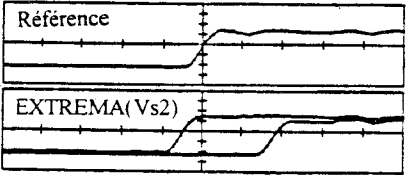
	Injection côté composant 1	Injection côté composant 2
<p>Couplage Electrique (charge = C.O)</p>	 <p>10 ns/div Vp=37 volts</p>	<p>idem</p>
<p>Couplage Magnétique (charge = C.C)</p>	 <p>10 ns/div Ip=1,1 A</p>	<p>idem</p>
<p>Couplage Electromagnétique (charge = 50 Ω)</p>	 <p>10 ns/div Vp=56 V:Ip=1,2 A P=65 w</p>	 <p>10 ns/div Vp=31V:Ip=0,69A P=20 w</p>

Planche IV-7

IV-3-1-1-3 La famille AC

Les anomalies obtenues sont très inférieures à celles de la famille HC. Elles se limitent à des décalages extrêmes de l'ordre de 5 ns, ce qui rend difficile les comparaisons. Cependant les valeurs de V_p et I_p (Planche IV-8) semblent fournir les mêmes informations que précédemment à la différence qu'en composition soustractive des ondulations (injection côté composant 1) le décalage produit est inférieur à celui des couplages électrique et magnétique. Ceci serait dû au fait que le retard produit en couplage magnétique avec $I_p=0,83$ A est voisin de celui du couplage électrique avec $V_p=120$ V.

En comparant les amplitudes de V_p et I_p nous pouvons conclure à une prédominance des effets du couplage magnétique et donc une sensibilité relative injections de tension/injections de courant de cette famille supérieure à celle de la famille HC. Nous allons voir dans le paragraphe suivant que celle de la famille C est beaucoup moindre que celle de la famille HC. Rappelons que la famille du composant 2 (AC) reste inchangée lors des procédures de test et que le composant sous test est le composant 1.

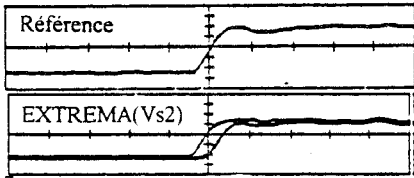
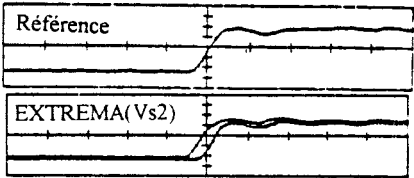
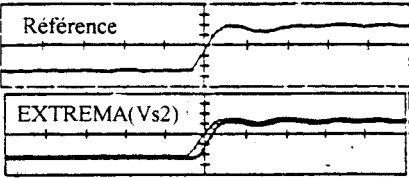
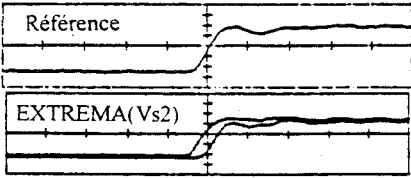
IV-3-1-1-4 La famille C

Les relevés des signaux sont présentés sur la planche IV-9. Ici aussi, nous pouvons tirer les mêmes informations que celles de la famille HC à la différence que les décalages relevés en couplage électrique et en couplage électromagnétique (composition soustractive et additive des ondulations) sont identiques. Tout se passe comme si en couplage électromagnétique, la contribution du couplage magnétique n'avait aucune influence.

En effet, en couplage électromagnétique, les effets de l'onde magnétique créée par $I_p=0,26$ A sont négligeables par rapport à celles qui résultent de l'onde électrique créée par $V_p=11,6$ volts. Cette sensibilité moindre de la famille C au rapport couplage magnétique/couplage électrique se retrouve sur les relevés des données statistiques présentées sur la planche IV-10. En effet, dans le cas de la famille C, nous remarquons une quasi superposition des espérances mathématiques et écart types relevés en injection côté composant 1 et en injection côté composant 2.

FAMILLE AC (temps moyen de propagation = 5 ns)

fréquence du perturbateur = 10,1 MHz

	Injection côté composant 1	Injection côté composant 2
<p>Couplage Electrique (charge = C.O)</p>	 <p>10 ns/div Vp=120 volts</p>	<p>idem</p>
<p>Couplage Magnétique (charge = C.C)</p>	 <p>10 ns/div Ip=0,83 A</p>	<p>idem</p>
<p>Couplage Electromagnétique (charge = 50 Ω)</p>	 <p>10 ns/div Vp=44 V:Ip=0,9 A P=36 w</p>	 <p>10 ns/div Vp=33V:Ip=0,7A P=22 w</p>

FAMILLE C (temps moyen de propagation = 50 ns)

fréquence du perturbateur = 10,1 MHz

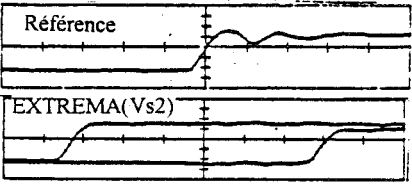
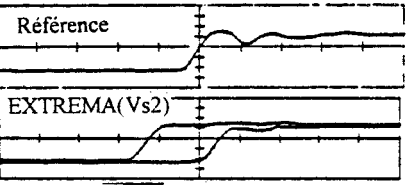
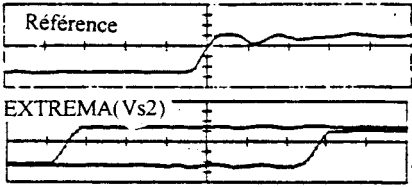
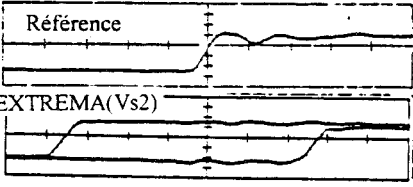
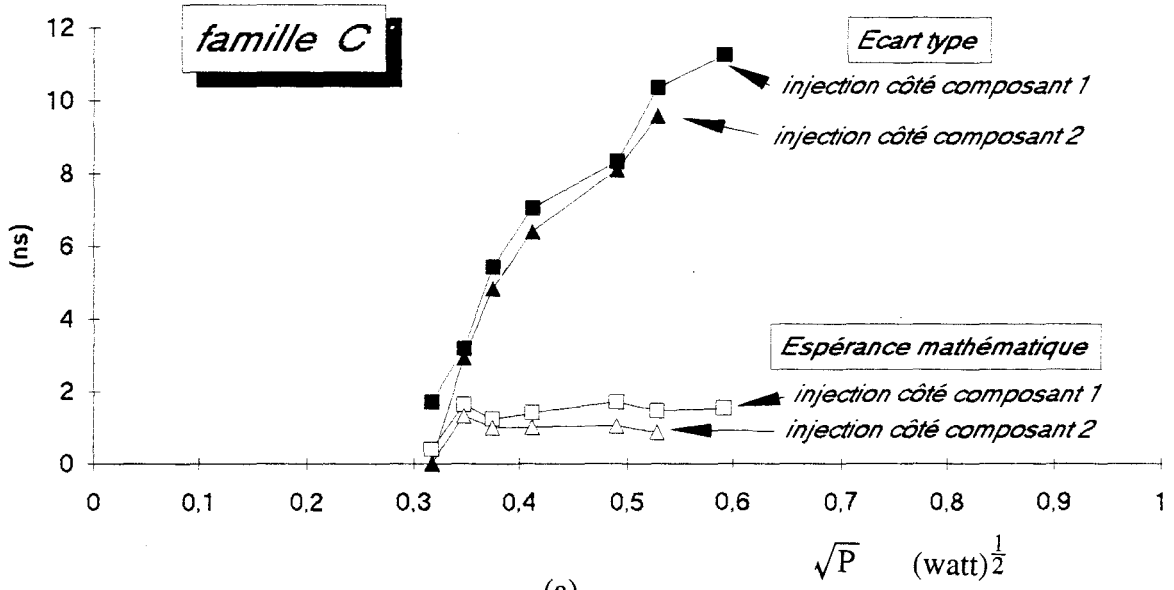
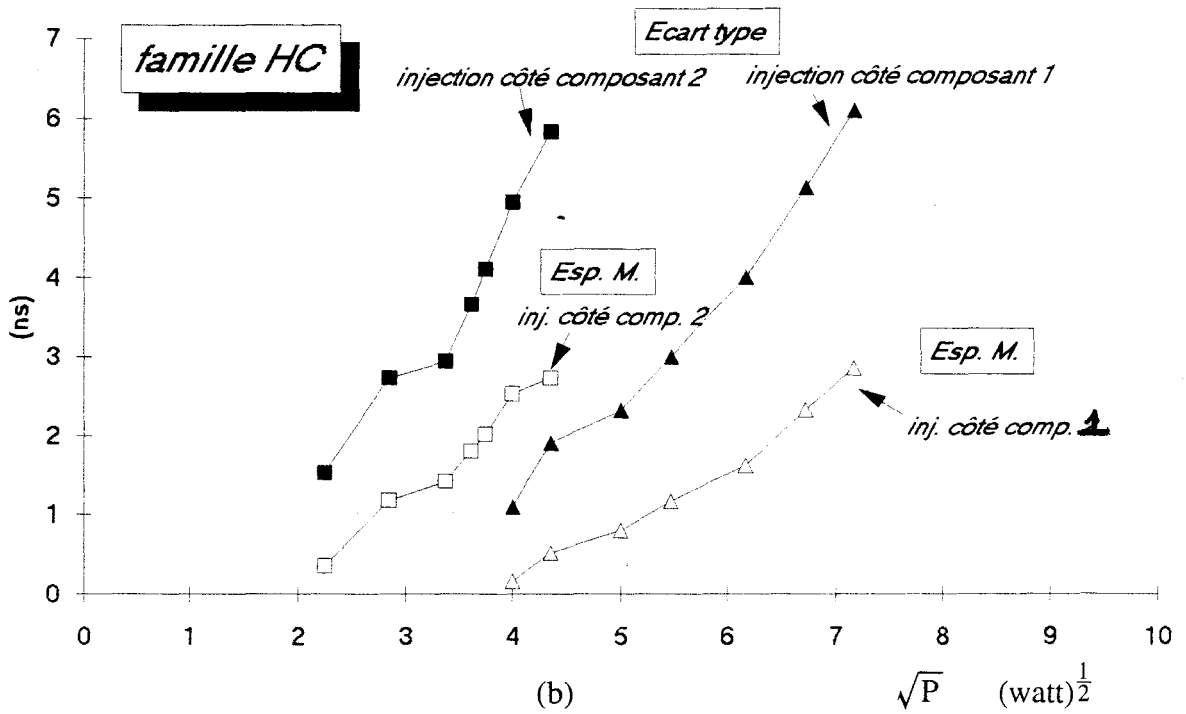
	Injection côté composant 1	Injection côté composant 2
<p>Couplage Electrique (charge = C.O)</p>	 <p>10 ns/div Vp=12,3 volts</p>	idem
<p>Couplage Magnétique (charge = C.C)</p>	 <p>10 ns/div Ip=1,4 A</p>	idem
<p>Couplage Electromagnétique (charge = 50 Ω)</p>	 <p>10ns/div Vp=11,6V:Ip=0,26A P=2,8 w</p>	 <p>10 ns/div Vp=11,2V:Ip=0,24A P=2,5 w</p>

Planche IV-9

Fréquence du perturbateur = 10,1 MHz
mots binaires = 10101010 ---> F=2 MHz



(a)



(b)

Planche IV-10

Par contre dans le cas de la famille HC, on observe une translation de l'évolution de ces paramètres. qui serait due à la forte contribution du couplage magnétique. Nous n'avons pas pu faire la même caractérisation avec la famille AC parce que les décalages qu'elle subit sont inférieurs au pas d'échantillonnage de l'outil de test (5 ns). Cependant au vue des résultats de la planche IV-7, nous pouvons nous attendre à avoir une plus grande translation de ces caractéristiques avec la famille AC.

Nous pouvons alors conclure que les familles les plus rapides présentent une sensibilité relative "couplage magnétique / couplage électrique" plus importante que les familles les moins rapides. Nous pouvons illustrer davantage cette conclusion par l'étude comparative à amplitudes d'IEM égales de ces familles présentée au paragraphe suivant.

IV-3-1-2 Comparaison des familles C, HC et AC à amplitude d'IEM identique avec le critère de sensibilité précédent.

Elle est effectuée 10,1 MHz comme précédemment. Les signaux présentés sur la planche suivante montrent bien que la C présentent une sensibilité moindre aux injections de tension par rapport aux injections de courant. Ce qui n'est pas le cas pour la HC.

Quant à la AC, elle ne subit aucun décalage avec ces niveaux d'IEM. Toutefois, nous pouvons admettre que son comportement serait voisin, à des niveaux plus importants, de celui de la HC.

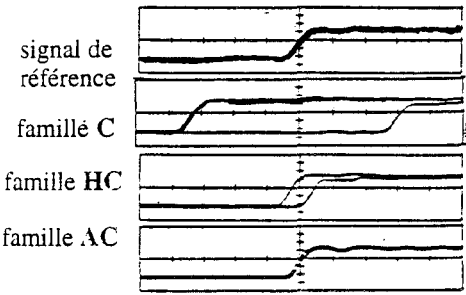
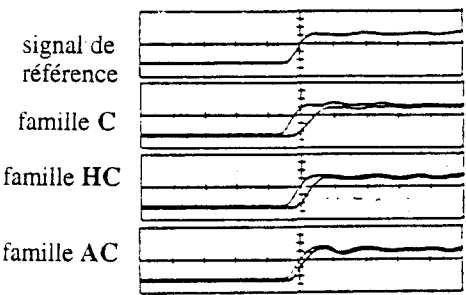
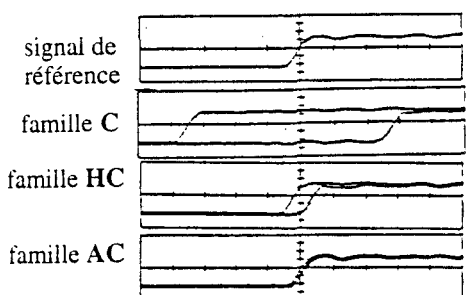
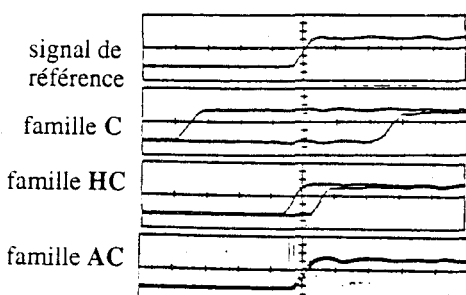
	Injection côté composant 1	Injection côté composant 2
Couplage Electrique	 <p>10 ns/div Vp=12,3 volts</p>	idem
Couplage Magnétique	 <p>10 ns/div Ip=0,25 A</p>	idem
Couplage Electromagnétique	 <p>10 ns/div Vp=11,6V:Ip=0,26A P=2,8 w</p>	 <p>10 ns/div Vp=11,2 v : Ip=0,24A P=2,5 w</p>

Planche IV-11: Comparaison des familles C, HC, AC

IV-3-2 Etude en fonction de la fréquence du perturbateur

Cette étude est menée uniquement en couplage électromagnétique car celui-ci présente l'avantage lorsque la ligne émettrice est adaptée de générer des sources de tension et de courant qui évoluent linéairement en fonction de la fréquence comme le montre le relevé du courant perturbateur J_{pmax} induit sur la ligne réceptrice (Figure IV-19). Ceci permet d'éliminer l'influence qu'auraient les résonances de ces sources sur l'évolution des données statistiques et par conséquent de faciliter l'interprétation des résultats. Les résultats des tests pratiqués sur les familles C et HC sont présentés sur la planche IV-12. Ceux-ci révèlent plusieurs choses, à savoir :

1. Cas de la famille C.

- Pour les fréquences inférieures à 10 MHz, on note une superposition des deux courbes (injection côté composant 1 et injection côté composant 2) avec un passage par un maximum au voisinage de 7 MHz.
- Pour les fréquences supérieures à 10 MHz, on note une légère translation des caractéristiques qui semble augmenter avec la fréquence, de même qu'un passage par un minimum au voisinage de 20 MHz. Ceci serait dû au caractère non linéaire des impédances d'entrée et de sortie des circuits sous test.

2. Cas de la famille HC.

Dans toute la bande de fréquences utilisées, nous remarquons une translation notable des deux caractéristiques (écart type et espérance mathématique) lorsqu'on passe de l'injection côté composant 1 à l'injection côté composant 2: ce qui confirme l'influence non négligeable du couplage magnétique.

En nous référant aux résultats du paragraphe précédent, nous pouvons dire que les familles les plus lentes présentent en basse fréquence une sensibilité plus élevée au couplage électrique par rapport au couplage magnétique. En haute fréquence, d'autres phénomènes plus complexes semblent intervenir notamment l'influence de la non linéarité des impédances aux extrémités de la ligne réceptrice qui provoquerait des zones à sensibilité minimale. Quant aux familles rapides, la contribution non négligeable du couplage magnétique est permanente dans toute la gamme de fréquence explorée (quelques MHz à une vingtaine de MHz).

Une autre information que nous pouvons tirer de cette étude est que la sensibilité maximale de l'équipement sous test comportant la famille la plus lente se situe en basse fréquence. Ce qui n'est pas le cas lorsque l'équipement intègre une famille rapide.

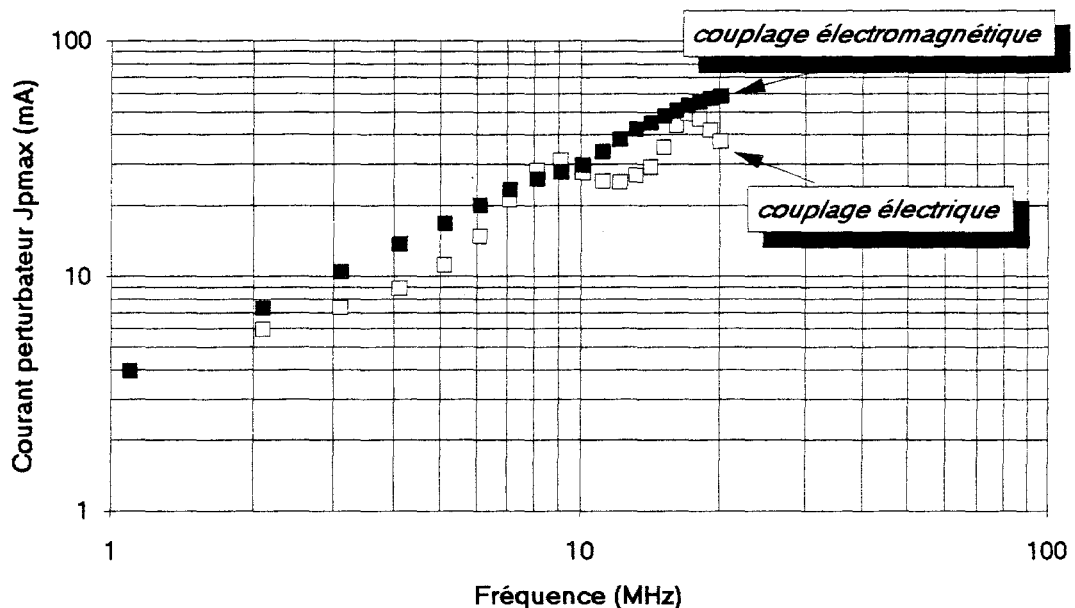


Figure IV-19: Courant induit sur la ligne émettrice - le composant 1 est de la famille HC

Le comportement filtre passe-bas des composants logiques [12] serait à l'origine du fait que la fréquence de forte sensibilité des familles lentes se situe en basses fréquences puisque leur fréquence maximum de commutation est inférieure à celle des familles rapides.

Une autre question liée à la susceptibilité électromagnétique du composant sous test, et qui est fréquemment posée et à laquelle nous essayerons aussi d'apporter une réponse dans le paragraphe suivant, est de savoir si la cadence des transitions d'états logiques des mots binaires traités par les circuits pouvait modifier leur comportement en régime dynamique .

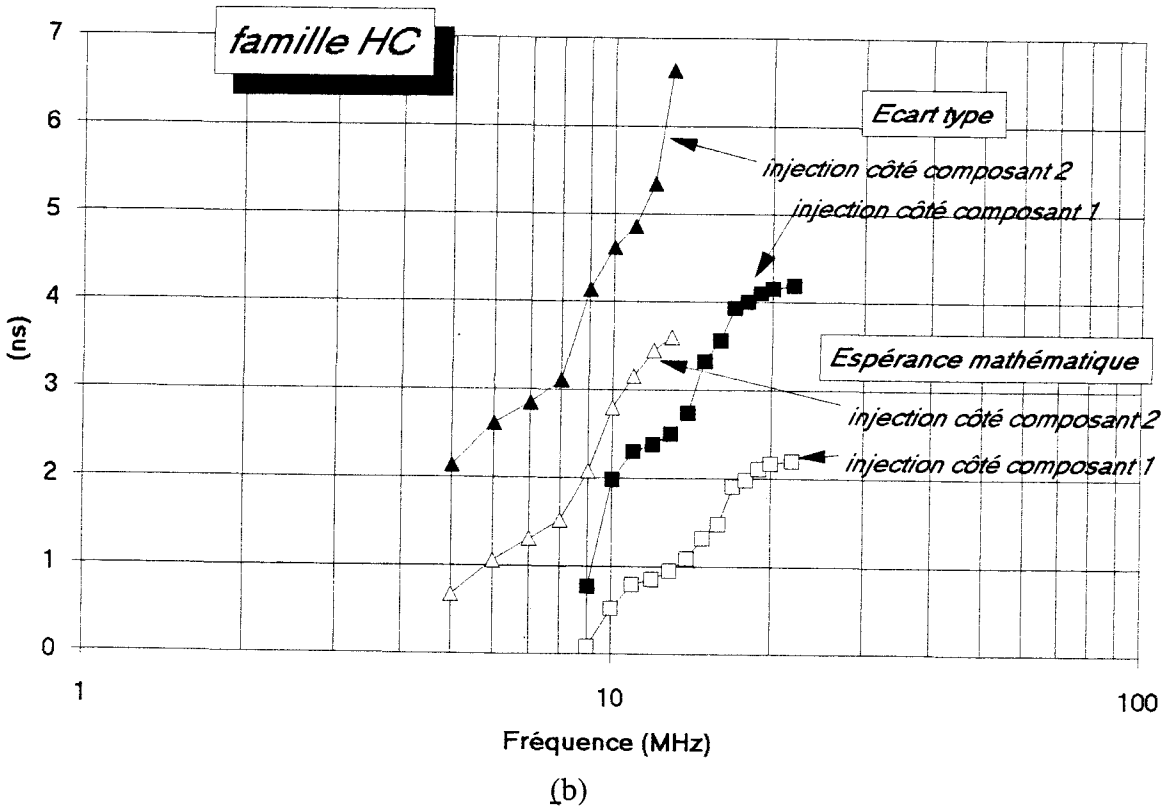
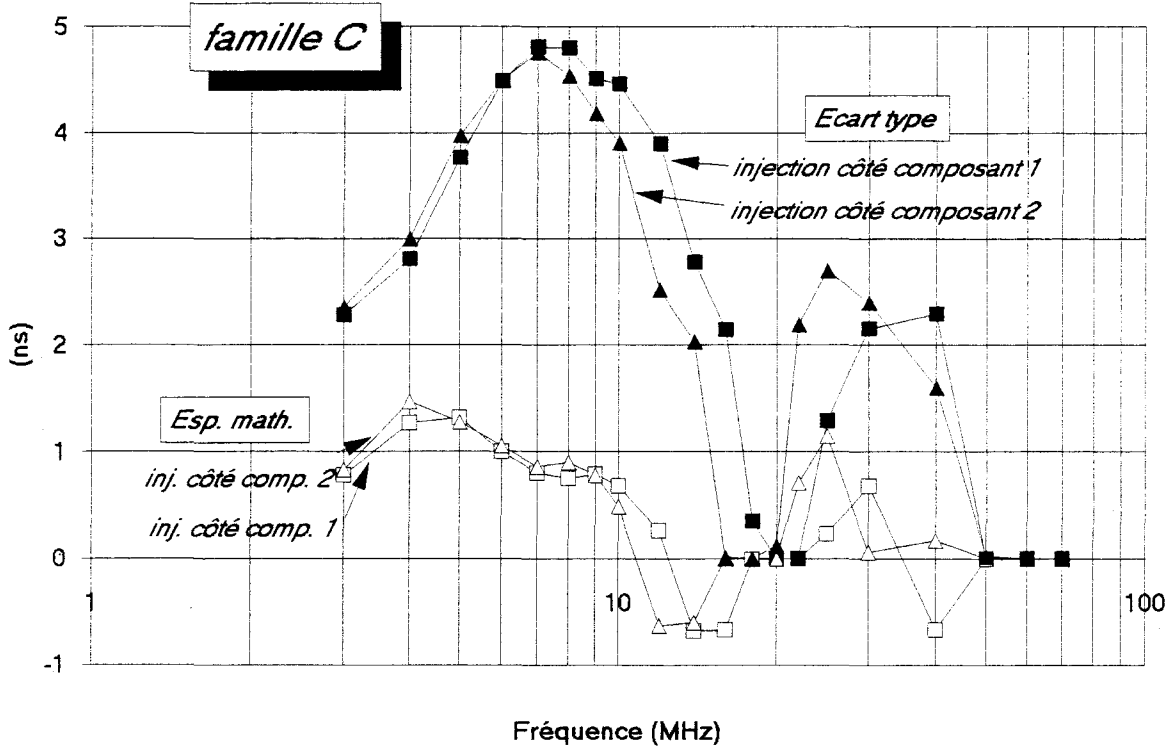


Planche IV-12: Tests en fonction de la fréquence du perturbateur

IV-3-3 Etude en fonction de la cadence des transitions des mots binaires

Nous avons jusqu'à présent utilisé un signal logique de fréquence f égale à 2 MHz, ce qui équivaut à une succession de mots à huit bits comme le montre la figure IV-20 et dont la durée du bit est donnée par $1/2f$, soit 250 ns.

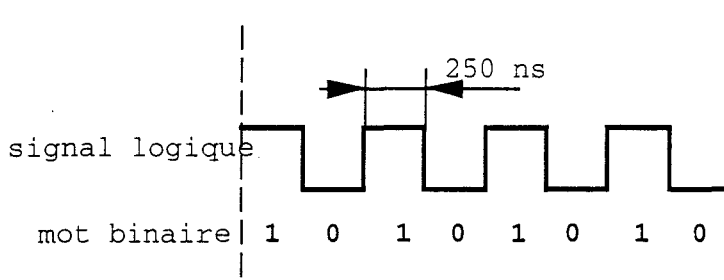


Figure IV-20

Remarque :

Nous avons été contraint de diminuer cette fréquence de 3 MHz comme il était le cas au chapitre III à 2 MHz compte tenu des problèmes de synchronisme des signaux de contrôle de la carte de test que pose le temps de propagation trop élevé du composant 1 (famille C) et des lignes d'interconnexion de la carte à l'équipement sous test lorsque celui-ci doit être immergé dans la cellule TEM.

Des expériences préliminaires pratiquées sur les composants sous test ont en effet montré que les transitions montantes et les transitions descendantes revêtent une susceptibilité différente vis à vis des agressions électromagnétiques. Dès lors, nous nous interrogeons sur l'influence que peut avoir la présence plus ou moins fréquente de ces fronts dans un signal logique sur la susceptibilité du composant.

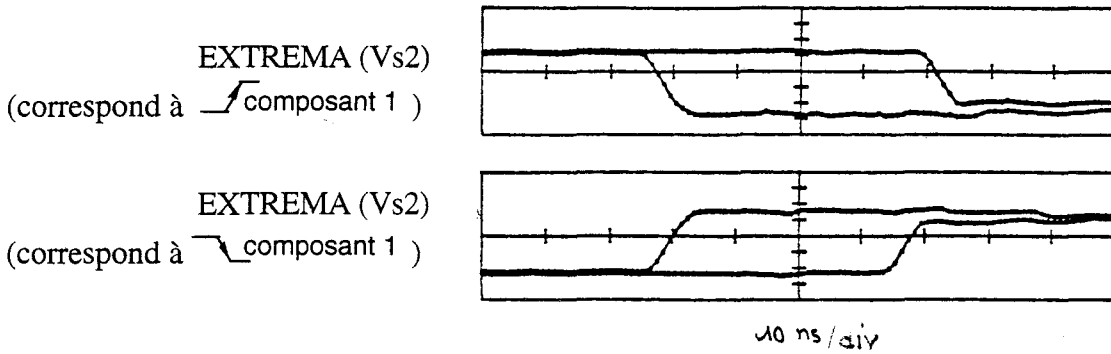
IV-3-3-1 Etude en fonction du sens de la transition en sortie du composant 1

Les caractéristiques courant-tension et résistances dynamiques présentées au second chapitre montrent que les deux transistors nMOS et pMOS qui constituent l'étage de sortie des circuits CMOS ne sont pas rigoureusement symétriques. Cette dissymétrie se traduit sur le plan de la susceptibilité électromagnétique en régime dynamique par une variation du décalage. En effet pour un composant 2 de type inverseur, lorsque le front à sa sortie est un front montant, il correspond à un front descendant en sortie du composant 1 (conduction du nMOS) et quand il s'agit d'un front descendant, il correspond à un front montant en sortie du composant 1 (conduction du pMOS).

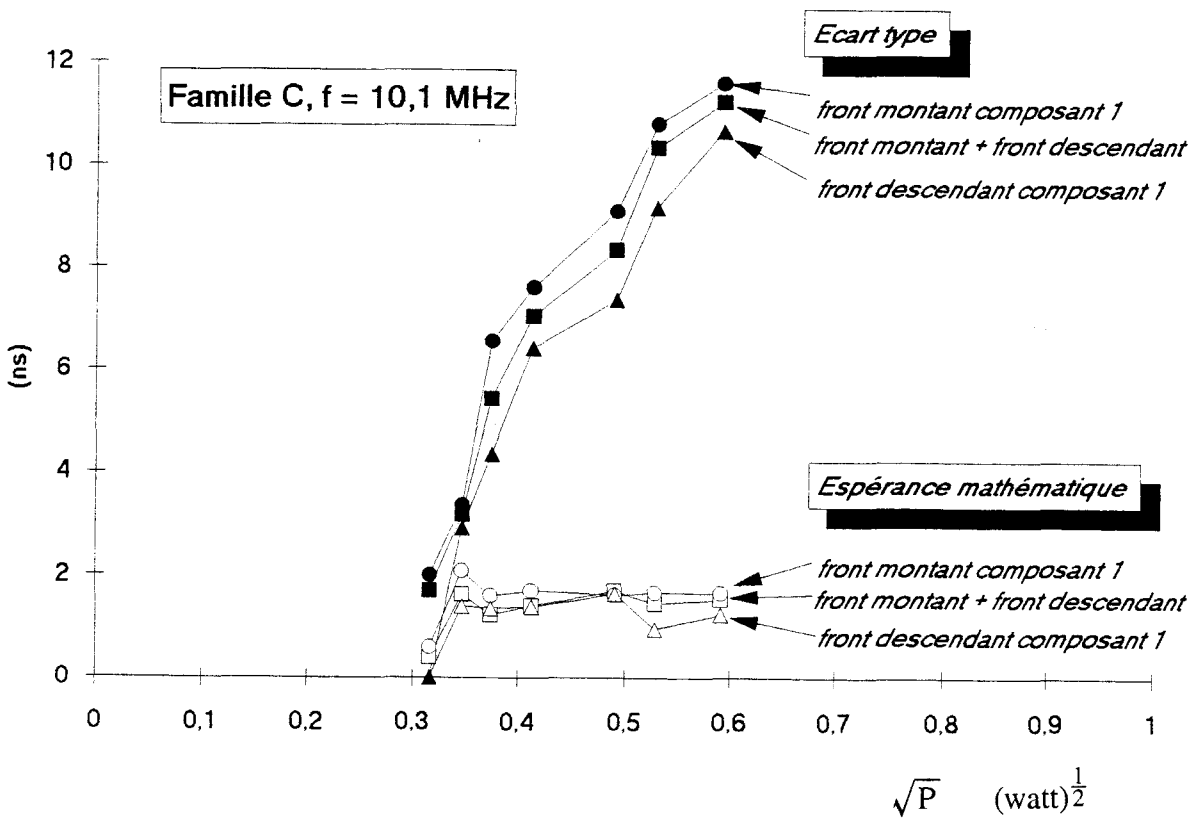
Nous pouvons illustrer la différence de comportement de ces fronts par les chronogrammes présentés sur la planche IV-13-a où on voit le front descendant en sortie du composant 2 subir un décalage plus important que le front montant. Par l'approche statistique, nous pouvons caractériser cette dissymétrie par l'écart entre les courbes d'écart type et d'espérance mathématique présentées sur la même planche. En effet, la sensibilité supérieure du front montant en sortie du composant 1 se traduit par un écart type et une espérance mathématique supérieurs.

Par ailleurs, les résultats (espérance mathématique et écart type) correspondant au test englobant les deux fronts apparaissent comme étant la moyenne des résultats des deux fronts testés séparément. Si ceci est vrai dans tous les cas, nous pouvons nous attendre à avoir une susceptibilité invariante quelque soit le mot binaire étudié puisque celui-ci est toujours constitué d'une association de transitions montantes et descendantes en dehors des mots où tous les bits sont à 1 ou à 0 et qui ne comportent donc pas de fronts.

P = 1 watt famille C f=10,1 MHz



a) $EXTREMA (V_{s2}, \text{ /composant 1}) > EXTREMA (V_{s2}, \text{ \composant 1})$



b)

Planche IV-13

IV-3-3-2 Test en fonction de la cadence des transitions des mots binaires

Ce test est pratiqué sur les deux cadences extrêmes (Figure IV-21) que peut réaliser notre système de test.

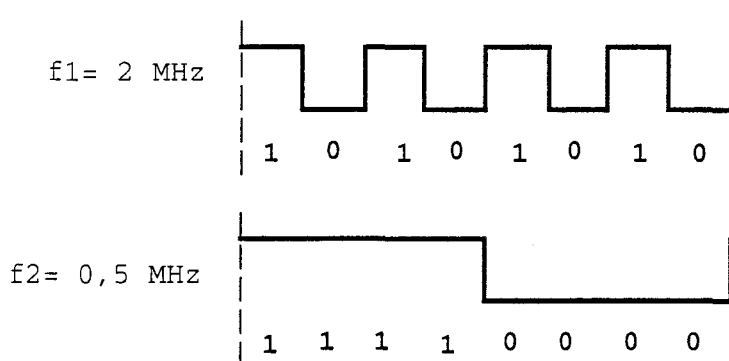


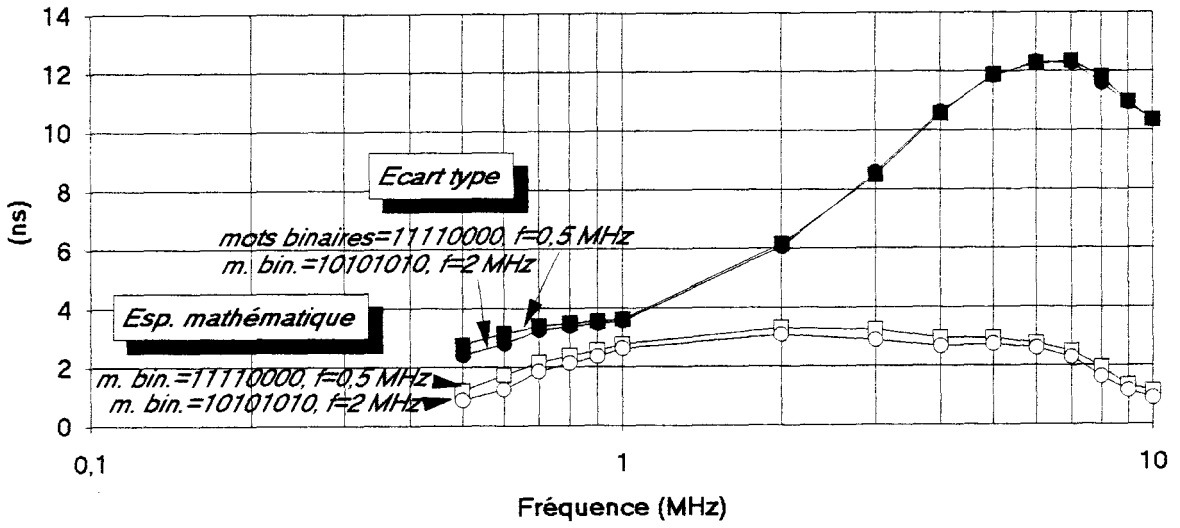
Figure IV-21

Le composant 1 est de la famille C. Le composant 2 est toujours de la famille AC. Du fait que l'amplitude des sources de tension et de courant induites par l'onde électromagnétique augmentent avec la fréquence du perturbateur, il est difficile de réaliser un relevé sur plusieurs décades de fréquences sans violer les restrictions du système de test définies au chapitre précédent. Ainsi, pour explorer la gamme de fréquence allant de quelques centaines de kHz à une vingtaine de MHz, nous avons procédé à deux relevés, chacun sur deux décades comme le montre la planche IV-14. Le premier est effectué avec une tension perturbatrice V_p égale à 3,5 volts et le second avec $V_p/3$. Les résultats de cette expérience publiés sur cette planche montrent une invariance de l'écart type et de l'espérance mathématique en fonction de la cadence des transitions des mots binaires.

Ces études que nous avons menées sur la structure à pistes couplées par influence électromagnétique nous a permis de comprendre le comportement des circuits sous test vis à vis des injections simultanément de courant et tension. La possibilité d'isoler injection de courant et injection de tension qu'offre cette structure a été un facteur déterminant dans l'interprétation des résultats. Nous disposons maintenant d'un certain nombre de résultats pratiques nous permettant d'aborder les tests en cellule TEM.

$V_p = 3,5 \text{ V}$

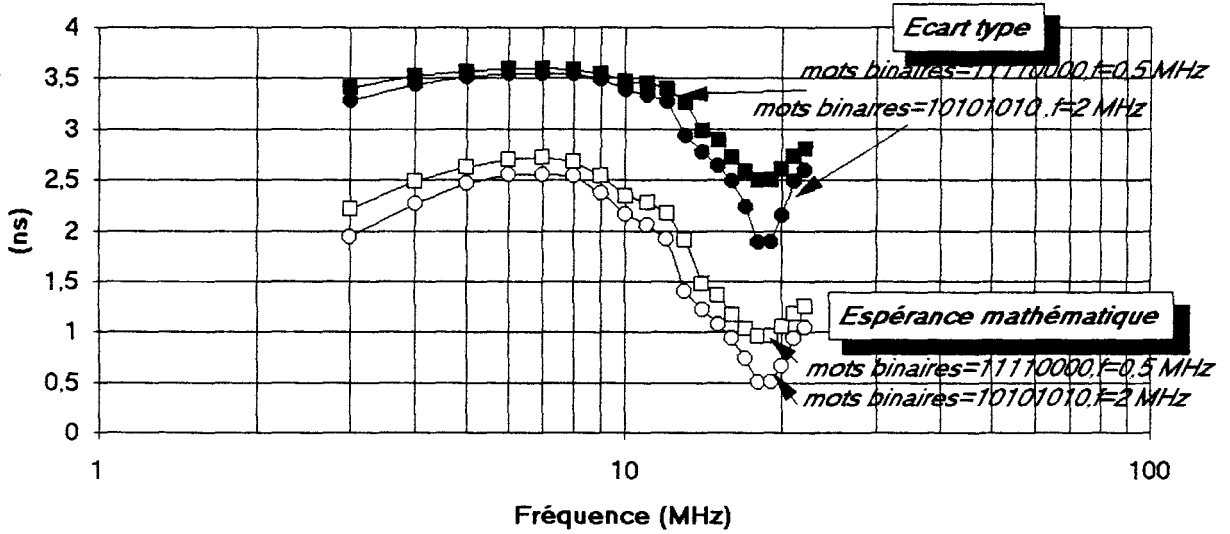
$I_p = 0,071 \text{ A}$



(a)

$V_p = 1,1 \text{ V}$

$I_p = 0,023 \text{ A}$



(b)

IV-4 ESSAIS EN CELLULE TEM

Rappelons qu'en cellule TEM, le couplage de l'onde électromagnétique à l'équipement sous test est un couplage électromagnétique. Toutefois, suivant l'orientation du vecteur de test, nous pouvons privilégier un couplage à l'autre. Le vecteur de test est composé comme le précédent des composant 1 et 2 interconnectés par une piste de circuit imprimé, mais, l'agression se fait par illumination de la piste par l'onde électromagnétique générée par la cellule. Le schéma de principe peut, dans ce cas, se réduire à une boucle de section (S) comme le montre la figure IV-22 où "1" désigne l'impédance de sortie du composant 1 et "2" l'impédance d'entrée du composant 2. L'onde électromagnétique plane générée par la cellule va induire le long de la piste des sources de tension e_p et de courant J_p qui se rapportent aux ports d'accès des composants 1 et 2 comme dans le cas de la structure à pistes couplées.

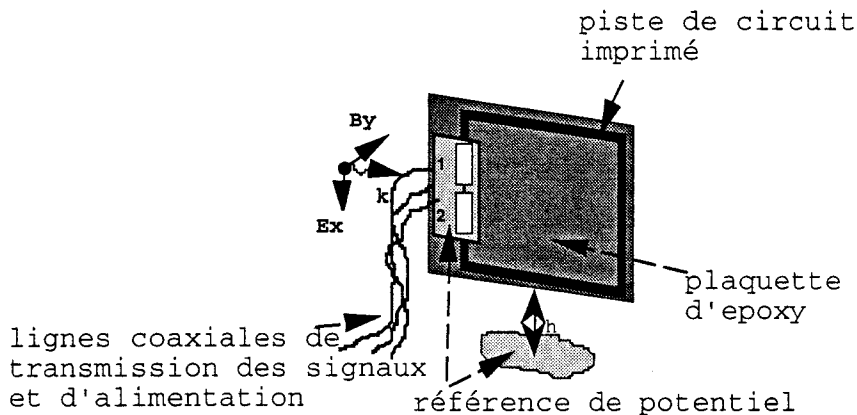


Figure IV-22: Schéma de principe

L'amplitude de ces sources dépend non seulement des dimensions géométriques de la piste mais aussi de l'angle d'incidence de l'onde électromagnétique illuminant cette piste. Ceci a été également mis en évidence expérimentalement par M. KLINGLER [9].

Lors des tests précédents, nous avons caractérisé le perturbateur par la tension V_p et courant I_p qui induisent respectivement les sources J_p et e_p . Ici, étant donné que nous pratiquons une illumination, le perturbateur est caractérisé par le champ électrique E , dans la cellule déduit de la puissance qui y est injectée.

Afin de valider les tests effectués ici, nous avons consacré le paragraphe suivant à mettre en évidence les effets du couplage magnétique observés sur les familles C et HC et à retrouver l'allure des données statistiques en fonction de l'amplitude et de la fréquence des IEM.

IV-4-1 Validation des tests pratiqués en cellule TEM

IV-4-1-1 Mise en évidence de l'influence du couplage magnétique

La boucle constituée par la piste de circuit imprimé est disposée perpendiculairement au plan de masse et au plan transversal de la cellule comme le montrent les figures IV-23-a et b. Cette orientation permet de soumettre à la fois le vecteur de test à un couplage maximal des champs électrique E et magnétique H .

Nous désignons par "côté composant" la face où les composants sont implantés et par "côté non composant" la face opposée. Le passage de (a) à (b) entraîne à une opposition de phase des sources de tension induites par le champ magnétique. En effet, nous pouvons remarquer sur la figure IV-24 que le décalage extrême produit par la famille HC est plus important lorsque le côté non composant est face à la porte de la cellule. Ce qui n'est pas le cas avec la famille C dont le décalage est indépendant du côté de la carte qui fait face à la porte.

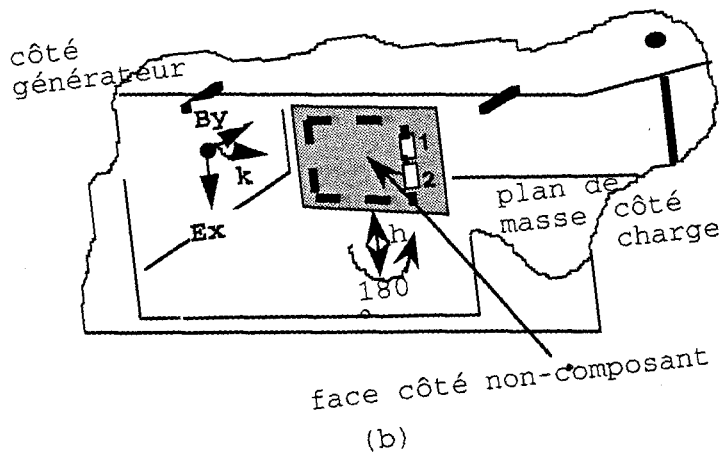
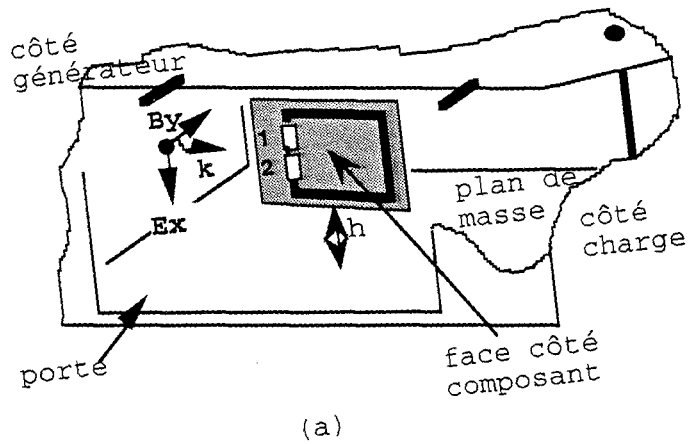


Figure IV-23

$f =$ fréquence du générateur = 10 MHz $P =$ puissance injectée dans la cellule

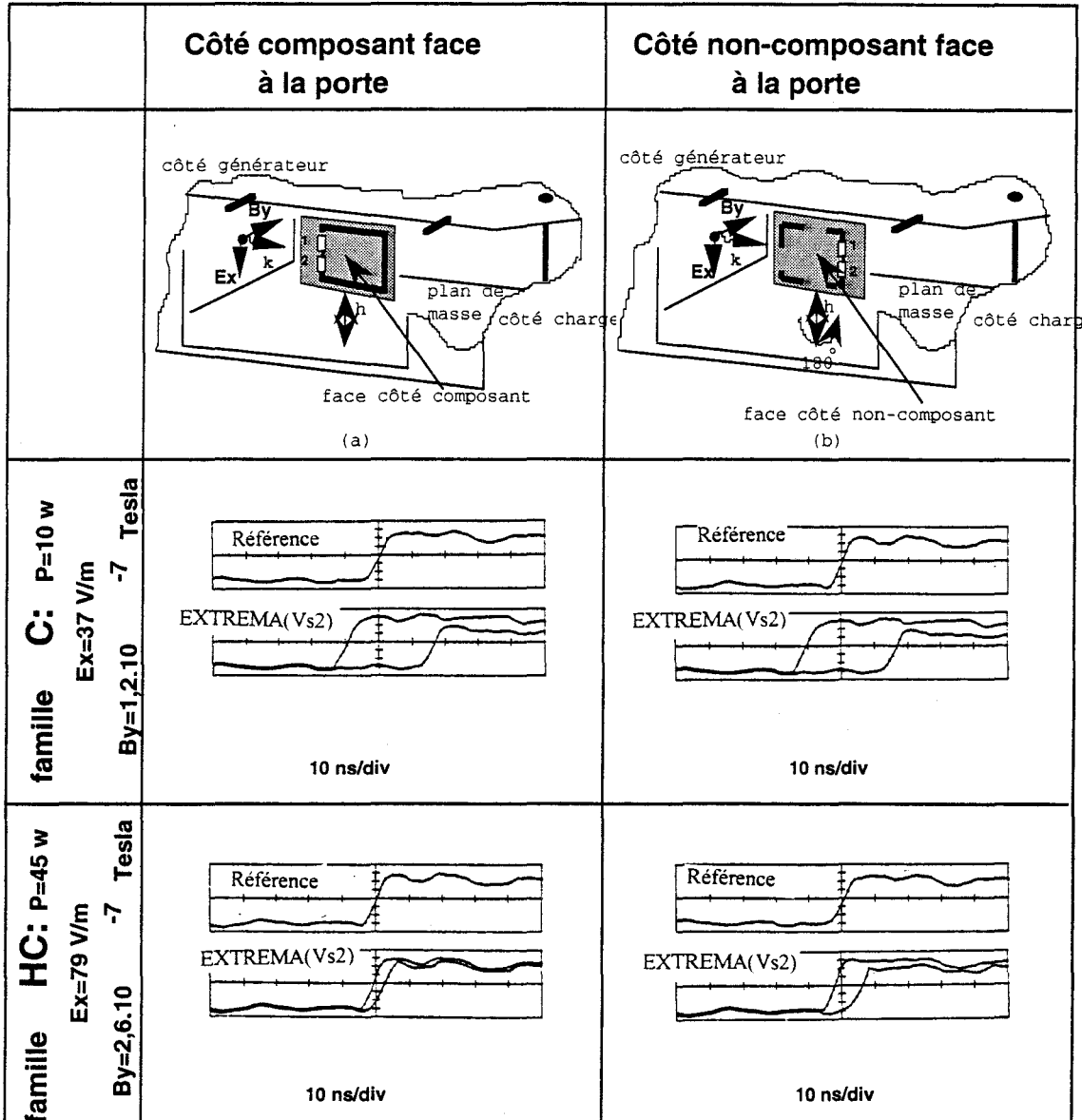


Figure IV-24

Ces résultats sont analogues à ceux obtenus sur la structure à pistes couplées si on fait une équivalence entre "côté composant" face à la porte et "injection côté composant 1", de même que entre "côté non composant" face à la porte et "injection côté composant 2". En effet, si on considère que la cellule TEM équivaut à une ligne de transmission [30], [31] portée à un

potentiel V_p et où circule un courant I_p du générateur vers la charge, nous pouvons déduire que dans le cas (a) I_p circule du côté composant 1 vers le côté composant 2 et inversement dans le cas (b). On voit donc là, la parfaite analogie avec la figure IV-13 (page 133) démontrant le mécanisme d'inversion de phase de la source de tension induite.

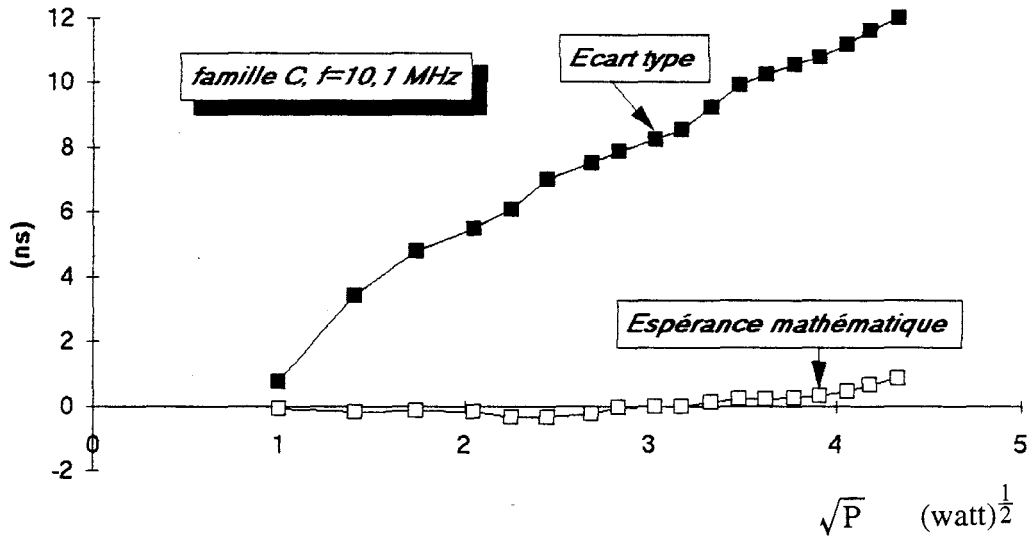
IV-4-1-2 Caractérisation en fonction de l'amplitude et de la fréquence des IEM.

Le vecteur de test est le même que le précédent. Son orientation est celle correspondant à l'injection côté composant 1. Nous pouvons également remarquer ici que les résultats de ce test publiés sur la planche IV-15 sont analogues à ceux obtenus avec la ligne structure à piste couplées. Par contre la courbe en fonction de la fréquence révèle un maximum non plus au voisinage de 7 MHz, mais de 15 MHz. Nous en déduisons que la position de ce maximum est non seulement liée aux caractéristiques propres des circuits utilisées mais aussi à la structure de la ligne de liaison. Il est aussi probable dans ce cas-ci que les résonances propres de la piste interviennent dans cette phénoménologie.

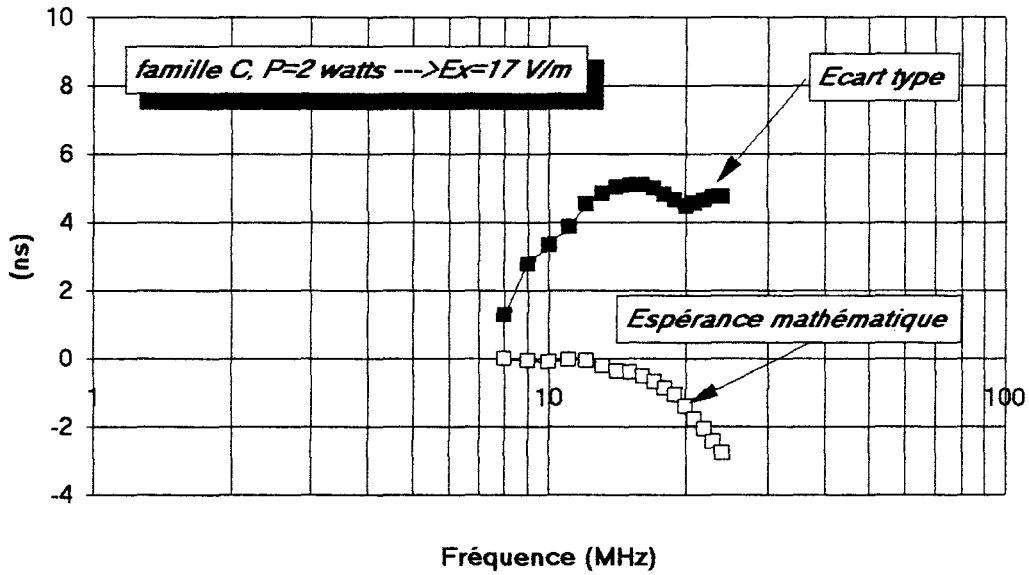
Une autre constatation se dégage, commune avec le cas de la structure étudiée antérieurement : le minimum se situe toujours au voisinage de 20 MHz. Ce qui semble démontrer qu'il est lié aux impédances de charge, autrement dit, aux composants utilisés. Il faut noter que nous avons admis en première approximation que les effets observés sur les deux structures (ligne microruban et ligne coplanaire) sont analogues sans qu'elles soient traitées, sur le plan théorique, avec la même théorie: l'une (ligne microruban) avec la théorie des lignes et l'autre (ligne coplanaire) avec la théorie des antennes.

Cette étude de validation que nous venons de faire, confirme la reproductibilité en cellule TEM des phénomènes physiques mis en évidence et nous permet d'aborder l'étude de l'influence de la géométrie des pistes de circuits imprimés.

f = fréquence du générateur = 10,1 MHz P = puissance injectée dans la cellule



(a)



(b)

IV-4-2 Influence de la géométrie des pistes de circuits imprimés

Les pistes de circuits imprimés revêtent des géométries difficiles à définir et variables en fonction de la complexité des cartes électroniques. Comme c'est sur ces pistes que vont être induites les sources de tension et de courant perturbatrices, on comprend aisément que leur géométrie peut contribuer à rehausser le seuil de sensibilité d'une carte toute entière. Nous nous sommes limités ici à quelques exemples pour montrer que notre banc de test peut bien caractériser la susceptibilité d'une carte électronique en fonction de sa géométrie.

A partir des résultats obtenus, nous avons fait le point sur certaines règles empiriques de tracé des pistes que l'on peut déduire de l'étude de lignes de transmission microruban [26], [27], [28], [29], [32]. Il faut noter que les interconnexions filaires peuvent se comporter comme des lignes microrubans si un plan de masse est présent sur la face opposée de la plaquette de montage. Celui-ci se comporte en effet comme une référence de potentiel vis à vis de l'agresseur, et de ce fait, rehausse le seuil de sensibilité de la carte. Afin de mettre les cartes dans des configurations de sensibilité maximale, nous nous sommes intéressés aux lignes qui ne comportent pas de plan de masse.

Le protocole de test est identique à celui du paragraphe précédent. Les éléments sous test sont présentés sur la planche IV-12 (carte 1, carte 2,, carte 5). Les géométries des cartes 1 et 2 sont différentes de part leur largeur w de piste ($w_{\text{(carte 1)}} = 3 \text{ mm}$ et $w_{\text{(carte 2)}} = 0,8 \text{ mm}$).

Remarque: Les tests pratiqués précédemment utilisent la géométrie de la carte 1.

Le choix de la géométrie "carte 2" est motivé par le fait que la permittivité effective ϵ_{eff} de l'isolant de la plaquette augmente avec w , ce qui aura pour conséquence d'augmenter la capacité C de la piste et donc d'augmenter les décalages de front. Notons que dans le cas de pistes sans plan de masse il est difficile de définir une permittivité effective et une capacité de piste. Toutefois, nous admettons la définition d'une capacité équivalente C_{eq} de charge du composant 1 qui devrait augmenter, par analogie à ce qui précède, avec w . La géométrie de la carte 2 devrait donc entraîner des décalages plus faibles que ceux de la géométrie "carte 1". En effet, nous pouvons remarquer sur la planche IV-16 (page 171) que l'écart type de la carte 2 est

inférieur à celui de la carte 1. Nous nous limitons à la comparaison des écarts types car c'est ce paramètre qui semble rendre le mieux compte ici de la sensibilité du vecteur de test.

Quant à la carte 3, la longueur (l) et la largeur (w) de la piste sont identiques à celles de la carte 2, mais sa section (s_3) est plus petite. Là aussi, nous pouvons remarquer très nettement que l'écart type de la carte 3 est inférieur à celui de la carte 2.

La carte 4 est identique à la "3" mais la boucle de section s_4 qu'elle constitue se situe à une hauteur supérieure à celle de la carte 3. Les résultats expérimentaux révèlent que l'écart type de la carte 4 est supérieur à celui de la carte 3. Cette observation nous incite à faire une caractérisation par rapport à la hauteur h en déplaçant verticalement la carte 3. Les résultats publiés sur la planche IV-17 (page 172) montrent en effet que l'écart type augmente avec la hauteur. Ce résultat est particulièrement intéressant car il montre que lors des procédures de test en cellule TEM, l'on doit tenir compte de la hauteur de l'équipement sous test: les perturbations sont d'amplitude plus importante pour les grandes hauteurs c'est-à-dire lorsque celui-ci se rapproche de la zone de rayonnement intense qui se situe au voisinage de la cloison centrale de la cellule portée au potentiel V.

Il est aussi probable que la référence de masse, ramenée localement au voisinage des composants 1 et 2 par les lignes coaxiales blindées de transmission des signaux, contribue à modifier la distribution de champ que voit la boucle de la carte 4 par rapport à celle de la carte 3.

Remarquons que la section de la carte 2 est supérieure à celle de la carte 5. Cependant, cette dernière présente une susceptibilité plus élevée. Ceci est dû au fait que les sources de tension et de courant induites sont aussi proportionnelles à la longueur l de la piste. Par conséquent, la piste de la carte 5 ayant une longueur plus grande présente une sensibilité plus élevée.

Ces résultats associés à tous ceux qui sont publiés jusqu'ici montrent que la susceptibilité électromagnétique d'un équipement dépend d'un grand nombre de paramètres et que chacun d'eux mérite d'être pris en compte lors de la conception d'un dispositif électronique destiné à être le moins vulnérable possible aux agressions électromagnétiques.

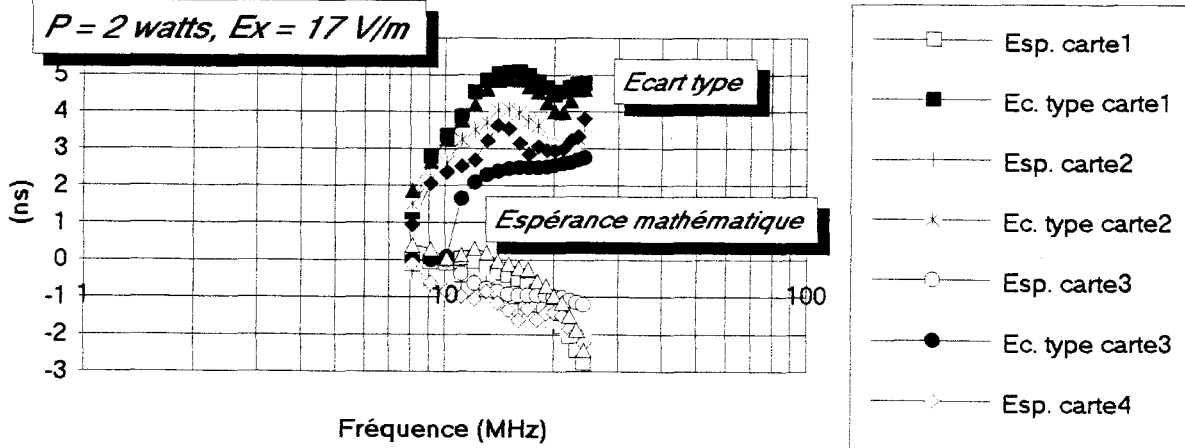
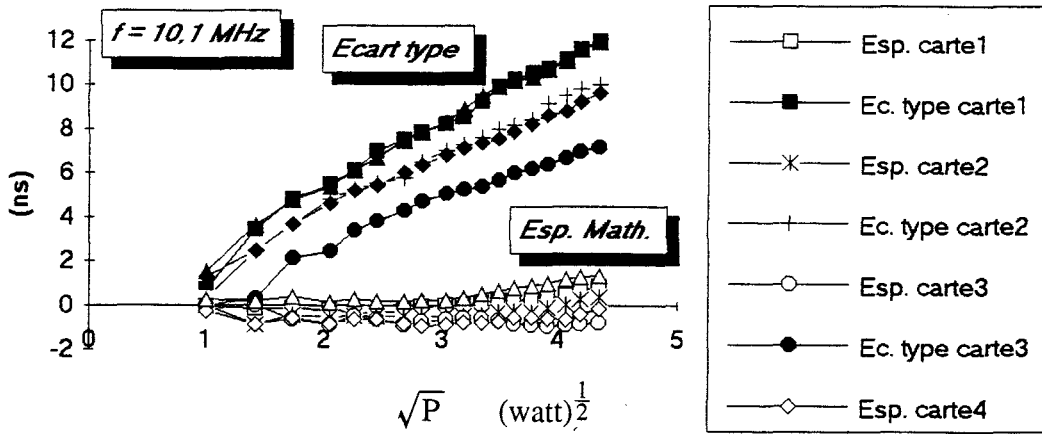
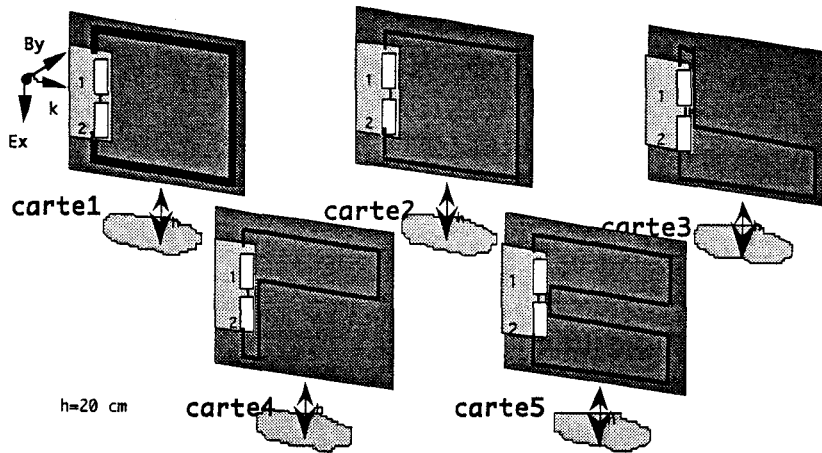


Planche IV-16

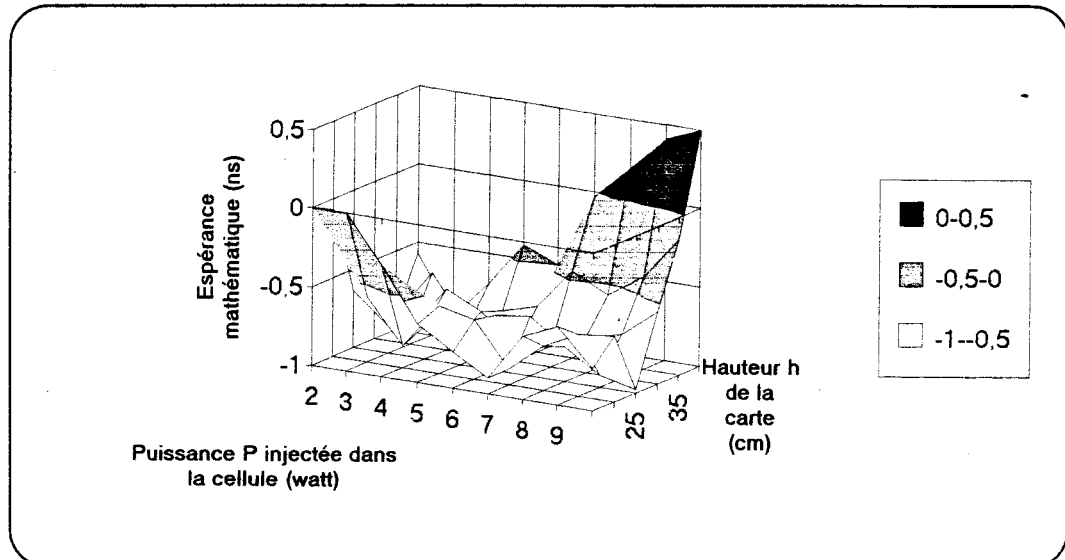
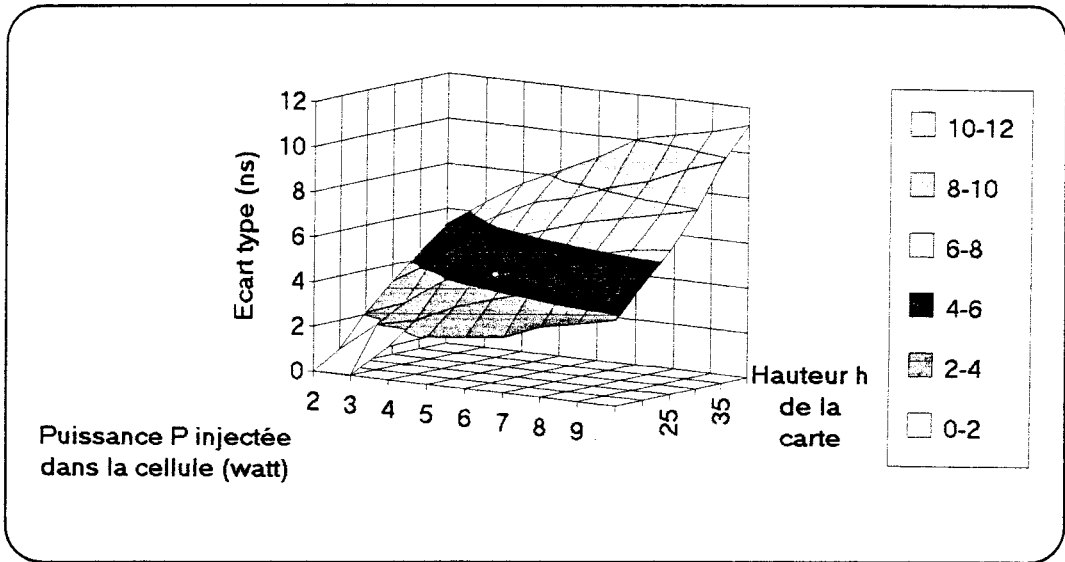
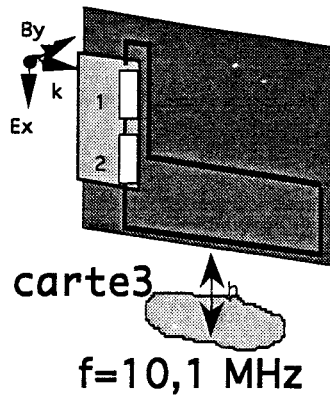


Planche IV-17

IV-5 QUELQUES RECOMMANDATIONS POUR LA CONCEPTION ORIENTEE CEM DES CARTES ELECTRONIQUES

Le grand nombre et la complexité des paramètres qui interviennent dans la perturbation des systèmes électroniques soumis aux sources indésirables sont, des données qui rendent difficile l'étude des dispositifs de protection. Ceci incite à redoubler d'effort dans la mise en oeuvre des procédures de test et à faire constamment le point sur les règles de conception que l'on peut tirer des innombrables travaux entrepris dans ce domaine. C'est pourquoi nous proposons ici, quelques recommandations déduites des études que nous avons faites et qui visent en tout premier lieu à relever les seuils de sensibilité des cartes électroniques fonctionnant dans des environnements à forte contrainte électromagnétique. Celles-ci seront complétées par quelques unes tirées de la littérature.

IV-5-1 Quelles familles de composant faut-il utiliser ?

Les études menées à propos de ce paramètre ont montré que les familles les plus rapides sont moins sensibles aux injections de courant. Par contre les familles les moins rapides sont nettement moins sensibles aux injections de tension par rapport aux injections de courant que les familles rapides. Compte tenu du fait qu'il est impossible de prévoir si une agression électromagnétique se manifesterait par une injection de courant ou par une injection de tension, il est délicat de conseiller d'emblée l'utilisation de telle famille par rapport à telle autre. Cependant il faut noter qu'une comparaison à amplitude égale d'IEM a montré que les décalages subis par les familles rapides en couplages électrique, magnétique et électromagnétique restent inférieurs à ceux des familles les moins rapides. De ce fait, nous pouvons désigner les familles rapides telle que la FACT (AC, ACT) comme celles qui confèrent au système un seuil de sensibilité minimum aux décalages.

IV-5-2 Quelles cadences des transitions de signal logique faut-il utiliser ?

Les résultats des tests que nous avons pratiqués semblent montrer que quantitativement le comportement des éléments sous test est invariant en fonction de la cadence des transitions

des signaux logiques. Il faut rester relativement prudent à cette observation car en terme de taux de décalage par rapport à la période des signaux logiques, les cadences les plus élevées rendent, sans aucun doute, plus vulnérables les cartes qui gèrent ces signaux.

Nous pouvons illustrer cette remarque par le graphique de la figure IV-25 où nous désignons par "zone d'insécurité" le rapport décalage/période du signal logique. En effet lorsqu'un élément sous test produit, par exemple, un décalage de 20 ns à la suite d'une perturbation, un signal logique de fréquence 10 MHz ($T = 100$ ns) a une zone d'insécurité de 20 % alors que celle d'un signal de fréquence 1 MHz ($T=1000$ ns) n'est que de 2 %. On voit donc là que les signaux à cadences élevées confèrent au système synchrone qui les véhiculent une sensibilité supérieure, car leur tolérance autour des signaux de contrôle se trouve considérablement réduite.

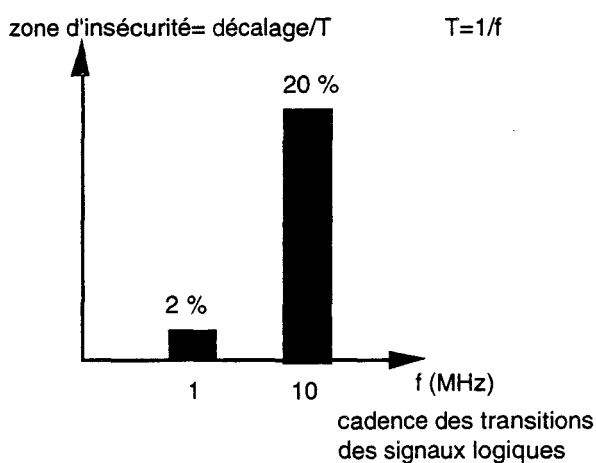
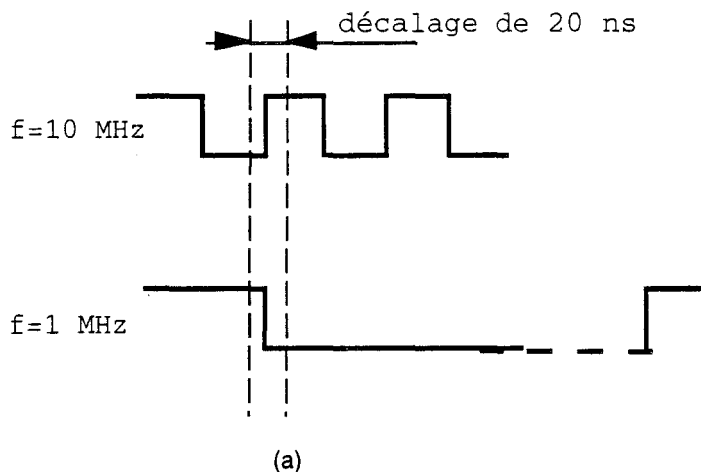


Figure IV-25

Ainsi, dans la conception des équipements à signaux synchrones, l'utilisation des cadences très élevées doit avoir une raison valable et de ce fait, intervenir sur d'autres éléments pour rehausser leur seuil de sensibilité.

IV-5-3 Quelle géométrie de pistes de circuit imprimé faut-il choisir ?

A propos de la géométrie, il est très difficile de donner des recommandations universelles d'immunité, car le tracé des pistes se fera, le plus souvent, en fonction de la complexité de la carte électronique. Plusieurs paramètres vont la rendre plus ou moins complexe, comme par exemple ;

- le nombre de composants utilisés.
- la taille et le brochage des boîtiers des composants.
- le regroupement des points d'entrée-sortie de signaux.
- le choix du type de plaquette (simple face, double face ou multicouches).
- le rapprochement indispensable des lignes d'alimentation et de masse pour un découplage efficace des circuits.
- etc...

D'autres paramètres insolites tels que l'esthétique de la carte à laquelle beaucoup de concepteurs de cartes accordent de crédibilité peuvent aussi la rendre moins performant vis à vis de la compatibilité électromagnétique. Face à la diversité de ces paramètres qui interviennent dans le tracé des pistes, les logiciels commerciaux de routage pourraient être efficacement assistés par les acquis de compatibilité électromagnétique si l'on désire concevoir des cartes capables de fonctionner dans des environnements à forte contrainte électromagnétique.

Ces logiciels disposent aujourd'hui de commandes d'optimisation dont le but principal est de lui permettre de reprendre tout ou partie du circuit imprimé afin d'en réduire la complexité, la longueur des pistes, les traversées inutiles. Cependant beaucoup de paramètres tels que la largeur des pistes restent liés au choix du manipulateur. Il faut noter que celle-ci peut augmenter la susceptibilité d'une carte électronique toute entière: elle peut non seulement augmenter sa sensibilité vis à vis d'une onde extérieure à la carte comme nous l'avons montré lors des tests précédents, mais aussi sa sensibilité vis à vis des phénomènes d'auto-

perturbation. Nous pouvons justifier ce dernier aspect par la formule théorique approchée suivante tirée de la bibliographie [33] et montrant la dépendance de la capacité C_{12} de couplage inter-pistes de la largeur w des pistes et des espacements s entre pistes.

$$C_{12} = \frac{28 \epsilon_{\text{reff}}}{\ln\left(\frac{\pi s}{w + \tau}\right)} \quad [\text{pF/m}] ; s > w \quad (\text{IV-38})$$

$$\epsilon_{\text{reff}} = \frac{\epsilon_r + 1}{2} \quad (\text{IV-39})$$

ϵ_{reff} = permittivité effective de l'isolant

τ = épaisseur des pistes

s = espacement entre les pistes

w = largeur des pistes

Une largeur élevée contribue alors à augmenter le couplage capacitif entre pistes. Nous pouvons également déduire qu'un faible espacement entre pistes augmente C_{12} . Dans le cas de notre protocole de test en cellule TEM, nous avons pris les précautions nécessaires ($s > 3w$) extraites de la bibliographie [26] afin d'avoir un couplage quasi nul entre les conducteurs repliés d'une même piste (Figure IV-26).

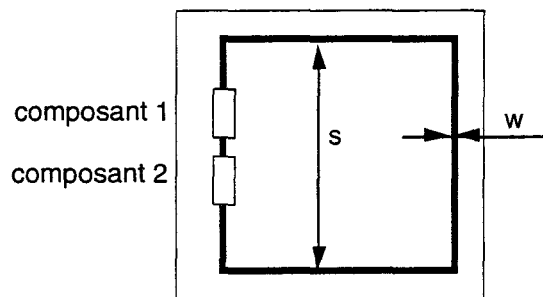


Figure IV-26

Nous avons résumé dans le tableau ci-après, quelques règles simples tirées de littérature [26] [33] et des études que nous avons faites et qui peuvent contribuer à rendre moins sensibles les cartes électroniques.

NOTE :

- Nous avons fait précéder d'un astérisque "*" les règles qui découlent de nos tests.
- Celles qui proviennent de la littérature et que nous avons vérifiées avec nos protocoles de tests sont précédées d'un astérisque suivi d'un plus "* +".
- Celles qui sont tirées directement de la littérature portent un plus "+".

	Recommandations	Effets
choix des composants	(1) * Utilisation des composants des familles rapides Attention. Les familles rapides augmentent le rayonnement des cartes électroniques	Immunité supérieure aux couplages électrique et magnétique
choix de la cadence du signal	(2) * Avoir une raison valable pour l'utilisation des signaux logiques à fréquence élevée. Sinon, choisir des fréquences basses.	Augmentation des zones de sécurité
logique traité	(3) * Prévoir dans les systèmes synchrones des zones de sécurité les plus larges possibles autour des signaux de contrôle	Diminution des risques de désynchronisation
Choix des géométries de pistes	(4) * + Utilisation de plan de masse sur la face opposée des plaquettes de circuits imprimés.	Réduction du couplage capacitif entre piste
	(5) * + Diminution de la longueur des pistes	Réduction des capacités et inductances de pistes
	(6) * + Diminution des largeurs des pistes "signal"	Réduction des capacités et inductances de piste, de même que les capacités et inductances de couplage entre pistes

(7) * + Augmentation des espacements entre pistes "signal"	Réduction des capacités et inductances de couplage entre pistes
(8) + Utilisation de ligne de masse entre pistes et la connecter point par point au plan de masse se situant sur la face opposée de la plaquette de circuit imprimé.	Réduction du couplage capacitif
(10) * + Réduction des sections de boucle	Réduction de l'amplitude des source de tension induite
(11) + Arrondir les angles de discontinuité de piste	Réduction des capacités parasites entre deux portions d'une même piste. Réduction de rayonnement de champ électrique par la piste.

Tableau IV-2

Il existe de multiples autres recommandations. Nous nous sommes limités ici à présenter un résumé des recommandations simples, faciles à mettre en oeuvre et qui pourtant peuvent rehausser le seuil de sensibilité des cartes électroniques aux agressions électromagnétiques.

IV-6 **P**ERSPECTIVES FUTURES

Elles concernent aussi bien l'étude de la susceptibilité des composants électroniques que le protocole de tests utilisés.

IV-6-1 Thèmes d'études

Les travaux menés dans le cadre de cette étude nous ont permis de comprendre un certain nombre des mécanismes par lesquels un agresseur extérieur à une carte électronique ou les paramètres propres de la carte peuvent modifier son fonctionnement. Toutefois, ils ne suffisent pas pour conclure globalement sur la susceptibilité électromagnétique d'une carte toute entière. Pour cela nous proposons une évolution des travaux que nous répartissons en plusieurs thèmes d'études présentés dans le tableau suivant:

1°	Etude de la susceptibilité de l'élément sous test sur une large bande de fréquence (1MHz - 100 MHz).
2°	Etude des effets de détection et/ou de redressement des signaux pouvant apparaître aux fréquences élevées.
3°	Etude approfondie de la non linéarité des composants logiques sous test.
4°	Etude analytique approfondie du couplage des pistes de circuit imprimé à une onde électromagnétique.
5°	Recherche des formes d'ondes pouvant entraîner des dysfonctionnements sur les composants électroniques.
6°	Recherche des solutions de prévention du dysfonctionnement des cartes électroniques.
7°	Etude approfondie de la répartition du champ électromagnétique dans la cellule TEM.

Tableau IV-3

IV-6-2 Amélioration du protocole de test à approche statistique

1°	Intégration au système d'un générateur de Mots binaires pseudo-aléatoires.
2°	Elaboration d'un système de "mots résultats" à 16 bits au lieu de 8 comme actuellement.
3°	Mise en oeuvre d'un système de compensation à commutateurs des retards dus aux changements de l'élément sous test.
4°	Mise en oeuvre d'un système de repositionnement automatique de la carte sous test dans la cellule TEM pour l'étude de l'isotropie de son comportement face aux agressions électromagnétiques.
5°	Automatisation complète du banc de test y compris la gestion des fichiers de résultats.
6°	Installation de capteurs de champs au voisinage de l'équipement sous test.
7°	Diminution du pas d'échantillonnage à moins de 5 ns

Tableau IV-4

Nous pensons que ces améliorations pourront conférer au protocole de test non seulement un gain de temps énorme mais aussi une augmentation considérable des possibilités de test et d'exploitation de ses résultats.

CONCLUSION

Des résultats expérimentaux publiés dans ce chapitre nous pouvons dire que le protocole de tests que nous avons mis en oeuvre rend bien compte de la susceptibilité électromagnétique des éléments sous test, en particulier de leur comportement vis à vis de leur famille technologique, de la fréquence du perturbateur sinusoïdal, de la cadence des transitions de signaux logiques traités et aussi vis à vis de la géométrie des pistes de circuit imprimé qui interconnectent les composants logiques.

Cette étude basée sur une approche statistique qui utilise l'espérance mathématique et l'écart type pour caractériser la sensibilité des composants sous test, a permis de fournir et de faire le point sur un certain nombre de recommandations visant à rehausser le seuil de sensibilité d'une carte électronique.

En effet, il est apparu que les composants logiques rapides présentent une vulnérabilité moindre aux ondes électromagnétique. Quant à la cadence des transitions des mots binaires traités par ces composants, l'utilisation des cadences élevées réduit les zones de sécurité où l'on peut insérer les signaux de contrôle. Nous avons également montré en ce qui concerne la géométrie des pistes de circuits imprimés, que l'absence de plan de masse, la pratique de grandes largeurs de piste, de petits espacements entre pistes et des grandes sections de boucle peuvent elles aussi augmenter la susceptibilité électromagnétique d'une carte toute entière.

Par ailleurs, ces essais ont permis de mettre en évidence l'inhomogénéité de l'onde électromagnétique produit par la cellule TEM.

Nous pensons que les propositions d'avancement des travaux et de perfectionnement du protocole de test permettront de comprendre davantage les multiples et complexes relations perturbateurs-perturbés.

CONCLUSION GENERALE

CONCLUSION GENERALE

La présente thèse traite de la susceptibilité des circuits logiques intégrés fonctionnant en régime dynamique et soumis aux effets induits par des champs électromagnétiques. Les travaux que nous avons effectués visent en premier lieu à rehausser les seuils de sensibilité des cartes électroniques aux rayonnements électromagnétiques et par conséquent trouvent leurs applications dans tous les secteurs d'activités qui font usage de l'électronique en particulier ceux où l'on retrouve des automatismes dont la disponibilité et la sécurité sont prépondérantes.

Il est évident que l'on ne peut traiter d'emblée de la même façon toutes les perturbations qui surviennent sur un système. Toutefois, l'utilisation des circuits logiques intégrés est commune à presque tous les équipements électroniques. C'est pour cette raison que nous sommes attachés à comprendre le comportement de ces circuits aux effets induits par les champs électromagnétiques et à mettre en évidence les anomalies que leur perturbation peut entraîner sur un système global.

La synthèse des travaux qui se rapprochent de notre sujet et qui ont fait l'objet de publications met en évidence la corrélation entre certains défauts engendrés sur des cartes logiques perturbées et l'étude phénoménologique entreprise dans notre thèse. C'est en simplifiant le problème à une configuration simple de liaison de composants logiques par des structures filaires telles qu'on les rencontre sur les cartes électroniques que nous sommes parvenus à mettre en évidence des phénomènes perturbateurs apparaissant durant le transit logique du composant. C'est ainsi qu'on peut observer des décalages temporels de signaux et des pseudo-commutations (fausses commutations) en relation avec l'amplitude et la fréquence du perturbateur appliqué sur la liaison filaire connectant la sortie et l'entrée de portes logiques.

Notre étude s'est surtout axée vers des perturbateurs à caractère harmonique occupant un spectre ne dépassant pas 20 MHz. Cette solution facilitait la mise en oeuvre de nos essais, elle permettait également de rendre compte de scénarios qui peuvent se produire lors de l'agression par un perturbateur à caractère transitoire.

L'application des faits expérimentaux que nous avons observés à la recherche de familles technologiques moins sensibles a montré que les familles rapides telles que la FACT

(AC et ACT) ont une sensibilité moindre aux injections de courants perturbateurs sur leur sortie que les familles lentes telles que la CMOS classique. En injection de tension, les effets produits sur les familles lentes se réduisent considérablement par rapport à ceux produits en injection de courants, ce qui n'est pas le cas pour les familles rapides. Toutefois, ces dernières subissent des effets moindres quelque soit le type d'injection. Ceci leur confère une sensibilité électromagnétique moindre aux perturbations en régime dynamique. Il faut cependant noter que l'utilisation de familles rapides rehausse les phénomènes d'auto-perturbation des cartes (diaphonie entre pistes) car celles-ci fournissent des courants de commutation importants. Dans ce document, nous avons considéré uniquement l'effet d'une onde électromagnétique extérieure aux cartes, qui se couple aux structures d'interconnexion entre composants.

Cette étude a par ailleurs montré que la sensibilité des circuits sous test dépend d'un grand nombre de paramètres parmi lesquels nous pouvons citer les dimensions géométriques des lignes de liaison des composants, la cadence des signaux traités par ces composants, les caractéristiques (fréquence, amplitude) du signal perturbateur et le type de couplage de celui-ci. Nous pouvons également citer les caractéristiques propres des circuits sous test, notamment leurs seuils et leur vitesse de commutation. Par ailleurs, nous pouvons déduire de cette étude qu'il existe entre ces caractéristiques et la fréquence du perturbateur une corrélation qui détermine les fréquences de sensibilité maximale. Des essais complémentaires sont indispensables pour la compréhension de cette corrélation. D'autre part, la modélisation des caractéristiques de décalages temporels relevés a montré que l'amplitude des effets produits est également liée à la forme des ondes perturbatrices.

Cette étude de la perturbation en régime dynamique des circuits logiques révèle les risques auxquels sont exposés les systèmes synchrones. Ceci a été mise en évidence par l'outil d'analyse que nous avons réalisé et dont le mécanisme de mémorisation des données est géré par des signaux synchrones. Ce risque est d'autant plus nuisible lorsque ces systèmes sont en cours de comparaison de données et plus précisément en phase de validation de données présentes à l'entrée d'un circuit mémoire. La conséquence de ces effets sur le fonctionnement d'un équipement électronique peut se manifester par un dérangement de la disponibilité de certaines fonctions ou par une défaillance du fonctionnement de l'équipement. Les automatismes embarqués à bord de véhicules sont un exemple évident de systèmes exposés à ces perturbations car ceux-ci sont généralement amenés à fonctionner dans un environnement pollué d'ondes électromagnétiques.

REFERENCES
BIBLIOGRAPHIQUES

REFERENCES BIBLIOGRAPHIQUES

- [1] J. HAMELIN et P. DEGAUQUE,
"Comptabilité Electromagnétique (bruits et perturbations)".
Collection Techniques et Scientifique des Télécommunications - DUNOD 1990
- [2] CRESTA/LRPE,
"Synthèse des travaux de compatibilité électromagnétique appliquée à la caractérisation de la sensibilité des composants électroniques actifs"
Rapport GRRT (Groupement Régional Nord Pas de Calais pour la Recherche dans les Transports. Villeneuve d'Ascq, Mai 1992
- [3] B. DEMOULIN,
"Notions de Comptabilité Electromagnétique".
Cours photocopiés-EUDIL (Ecole Universitaire d'Ingénieurs de Lille) 1988-1989.
- [4] Joseph G. TRONT,
"Predicting URF Upset of MOSFET Digital IC's"
IEEE Trans. Electromagn. Compat. vol EMC-27, pp.64-69 May 1985
- [5] A. M. BRIGININ, N. A. TITOVICH,
"Electromagnetic Interference effects on digital integrated circuits"
10th Intern. Wroclaw Symp. on Electromagnetic Compatibility, June 26-29 1990
- [6] C. E. LARSON and J. M. ROE,
"A modified Ebers-Moll transistor model for RF-Interference analysis"
IEEE Transactions on Electromagnetic Compatibility vol. EMC-21 n°4, Nov. 1979
- [7] J. J. WHALEN, J. G. TRONT, C. E. LARSON and J. M. ROE,
"Computer-aided analysis of RFI effects in digital integrated circuits"
IEEE Transactions on Electromagnetic Compatibility vol. EMC-21 n°4, Nov. 1979
- [8] C. LARDE,
"Etude expérimentale du comportement des circuits intégrés logiques soumis à des perturbations électromagnétiques".
Thèse de Doctorat en Electronique, Université de LILLE, Décembre 1991.
- [9] Marco KLINGLER,
"Etudes phénoménologique de la sensibilité électromagnétique de composants électroniques logiques implantés sur circuits imprimés".
Thèse de Doctorat en Electronique , Université de LILLE Octobre 1992.

- [10] B. HEDDEBAUT,
"Etude phénoménologique et modélisation du comportement des fonctions logiques élémentaires TTL et CMOS soumises à des perturbations induites par couplages électromagnétiques"
Thèse de Doctorat en Electronique, Université de LILLE, Septembre 1992
- [11] C. MARECHAL,
Thèse de Doctorat en Electronique à paraître, Université de LILLE, 1994
- [12] J.J. LAURIN, S. G. ZAKY and K.G. BALMAIN,
"EMI induced delays in digital circuits : Prediction".
IEEE: Symposium on Electromagnetic Compatibility (anaheim, Calif.) August 1992
- [13] J.F. CHAPPEL and S. G. ZAKY,
"EMI Induced Delays in Digital Circuits : Application".
IEEE: Symposium on Electromagnetic Compatibility (anaheim, Calif.) 1992.
- [14] B. COUDORO, J. BAUDET, B. DEMOULIN et P. DEGAUQUE,
"Etude phénoménologique de la distorsion introduite sur les fronts de transition de signaux logiques traités par des composants intégrés de type CMOS".
Rapport de contrat INRETS-CRESTA n° B409021 - 15 Oct 1991.
- [15] "7200 Precision digital oscilloscope - Operator's Manual".
Document édité par LECROY - pp 4 - 34 - Oct 1990.
- [16] B. COUDORO, C. LARDE, J. BAUDET, B. DEMOULIN et P. DEGAUQUE,
"Etude du comportement des composants électroniques soumis aux IEM non destructives".
- Impact des perturbations électromagnétiques sur les régulateurs et bascule R/S.
- Susceptibilité des circuits intégrés logiques fonctionnant en régime dynamique, soumis à des perturbations électromagnétiques.
Rapport de contrat INRETS-CRESTA n° B 401.90.016 20 Juillet 1990.
- [17] B. COUDORO, J. BAUDET, B. DEMOULIN et P. DEGAUQUE,
"Etude du comportement des composants électroniques soumis aux IEM non destructives".
- Etude phénoménologique des portes logiques à technologie CMOS perturbés lors de transition Etat haut - Etat bas.
Rapport de contrat INRETS-CRESTA n° B 409021 24 Avril 1991.
- [18] G. HETZGER et J.P. VABRE,
"Electronique des impulsions".
Tome II - Circuits à constantes réparties, Edition MASSON et Cie ,1966.
- [19] National Semiconductor
Data Book - "FACTTM - Advanced - CMOS Logic", Printed in USA, 1989.
- [20] B. HOHREIN,
"Processeurs et systèmes" - le brochage médian en logique.
Document édité par Texas Instrument, N° 20, pp 23, Mai 1988.

- [21] N. PISKOUNOV,
"Calcul Différentiel et Intégral"
Tome II, pp 479-484, Editions MIR, MOSCOU 1980.
- [22] "Embedded Controller Handbook"
Volume 1 - 8 Bit , Edité par INTEL, 1988
- [23] B. DEMOULIN,
"Processus aléatoires".
Extrait de la collection "Les techniques de l'ingénieur" R 210, 4 - 1990.
- [24] B. DEMOULIN,
"Fonctions aléatoires".
Extrait de la collection "Les techniques de l'ingénieur" R 220, 4 - 1990.
- [25] B. DEMOULIN,
"Compléments sur les lignes hautes fréquences"
- Théorie des lignes couplées
- Lignes couplées appliquées à la CEM
- Propagation des impulsions dans les lignes
Cours polycopié EUDIL (Ecole Universitaire d'Ingénieurs de Lille).
- [26] Jos DE NEEF,
"Les lignes à microruban".
Revue ELECTRONIQUE APPLICATIONS - Trimestriel n°10 été 1979.
- [27] K.P. SCHWAN,
"Take the Guesswork out of thick Microstrip K".
Microwaves, pp 184-185, Dec 1977.
- [28] I.J. BAHL,
"Use exact methods for microstrip Design".
Microwaves, pp 61-62, Dec 1978.
- [29] T.G. BRYANT et J.A. WEISS,
"Parameters of Microstrip Transmission lines and of Coupled Pairs of
Microstrip-Lines".
IEEE Trans. on Microwaves Theory and Technique, MTT, pp 1021-102, Déc. 1966.
- [30] B. COUDORO, B. DEMOULIN, C. SEMET et P. DEGAUQUE,
"Etude du comportement des composants électroniques soumis aux IEM non destructives".
- Etude et réalisation d'une cellule TEM pour soumettre les cartes électroniques à
des champs électromagnétiques de grande amplitude.
Rapport de contrat INRETS-CRESTA n°401-89-192, 20 Déc. 1989.
- [31] B. COUDORO
"Conception et réalisation d'une cellule TEM blindée pour le test de cartes électroniques sous
contrainte électromagnétique de grande amplitude".
Rapport de DEA - Juillet 1990.

- [32] Jos DE NEEF,
 "Les lignes à microruban".
 Revue ÉLECTRONIQUE APPLICATIONS - Trimestriel n°12 hiver 1980.
- [33] "Designing For Electromagnetic Compatibility".
 Student Workbook, cours N° HP 11949 A
 Document édité par Hewlett Packard, USA, Sept 1989.
- [34] "MS-DOS 3.2 Vectra Volume III"
 Rubrique "Character Codes and Keystrokes".
 Document édité par Hewlett Packard - Sept 1985 et Juin 1987.
- [35] Peter W. GOFTON,
 "Techniques de communication série sur PC et compatibles".
 Document édité par SYBEX, 1986.
- [36] P. DEGAUQUE et A. ZEDDAM,
 "Couplage d'une onde plane à un fil parallèle à la surface du sol: quelques remarques
 concernant l'approche par la théorie des lignes de transmission".
 Acte du 4^e Colloque International sur la CEM, Juin 1987.
- [37] B. HEDDEBAUT, J. BAUDET, B. COUDORO, B. DEMOULIN
 et P. DEGAUQUE,
 "Susceptibility of CMOS and HCMOS integrated circuits to transient disturbing signals".
 10th International Zurich Symposium and Technical Exhibition on EMC, Zurich, March 1993.
- [38] B. DEMOULIN, C. LARDE et P. DEGAUQUE,
 "Comportement phénoménologique des circuits soumis à des perturbations électromagnétiques
 de nature harmonique".
 Acte du 5^{ème} Colloque sur la CEM, Evian, Septembre 1989.
- [39] B. DEMOULIN, P. DEGAUQUE et M. HEDDEBAUT,
 "Approche de la compatibilité électromagnétique dans les systèmes de transports"
 Revue RTS n°17-Mars 1988.
- [40] A. VAPAILLE, R. CASTAGNE,
 "Dispositifs et Circuits Intégrés Semiconducteurs"
 Edition DUNOD 1990.
- [41] J. BAUDET, B. HEDDEBAUT, B. COUDORO, B. DEMOULIN et P. DEGAUQUE,
 "Caractérisation de la sensibilité aux IEM des circuits intégrés CMOS et HCMOS lors de leur
 transit logique"
 Acte du 6^e Colloque Intern. et Exposition sur la CEM, Lyon-Ecully, Juin 1992
- [42] L. KONE,
 "Conception d'outils numériques et de bancs de mesures permettant d'évaluer l'efficacité de
 blindage de câbles et connecteurs".
 Thèse de Doctorat en Electronique, Université de LILLE, Octobre 1989.

- [43] V. SCUKA and B. DEMOULIN,
 "Effects of transients on equipment"
 10th Intern. Symp. and Technical Exhibition on EMC, 9-11 March 1993.
- [44] J. BAUDET, B. HEDDEBAUT, B. COUDORO, B. DEMOULIN et P. DEGAUQUE,
 "Implication du risque électromagnétique dans la sécurité du fonctionnement des circuits logiques intégrés"
 Acte du 8^e Colloque sur la maintenabilité et la fiabilité, Grenoble, Octobre 1992
- [45] J. BAUDET, B. HEDDEBAUT, B. COUDORO, B. DEMOULIN et P. DEGAUQUE,
 "Effets des Interférences électromagnétiques sur le fonctionnement d'équipements électroniques embarqués à bord de véhicules"
 Symp. Intern. sur l'Innovation Technologique dans les Transports guidés, Villeneuve d'Ascq
 Septembre 1993
- [46] CRESTA/LRPE,
 "Synthèse des travaux de compatibilité électromagnétique appliquée à la caractérisation de la sensibilité des composants électroniques actifs"
 Rapport GRRT, Villeneuve d'Ascq, Juin 1993
- [47] G. HETZGER et J.P. VABRE,
 "Electronique des impulsions".
 Tome I - Circuits à constantes localisées, Edition MASSON et Cie ,1966.
- [48] Jean Paul VABRE,
 "Electronique des impulsions".
 Tome VI - Lignes couplées en régime transitoire, Edition MASSON et Cie ,1972.
- [49] "Circuits logiques CMOS rapides - Famille PC 54/74"
 Document édité par RTC, réf. 5693-06/1983
- [50] Harris Semiconductor Data book "RCA High Speed CMOS Logic ICs", Printed in 1989.
- [51] M. HEDDEBAUT,
 "Influence des perturbations électromagnétiques sur le fonctionnement de cartes sécuritaires de dispositifs de conduite automatisée de Métros"
 Acte du 4^e Colloque Intern. et Exposition sur la CEM, Limoges, Juin 1987
- [52] M. KLINGLER, M. SZELAG, M. HEDDEBAUT,
 "Comparaison théorique et expérimentale des niveaux de susceptibilité électromagnétique de circuits intégrés logiques fonctionnant en régime statique et dynamique"
 Acte pp. 495-500 du 6^e Colloque Intern. et Exposition sur la CEM, Lyon-Ecully, Juin 1987.
- [53] J. BAUDET, C. LARDE, B. HEDDEBAUT, B. DEMOULIN et P. DEGAUQUE,
 "Modelization of the susceptibility of digital circuits to electromagnetic disturbances"
 Symp. on Electromagnetics in Aerospace applications, Turin, September 1991

- [54] J. J. LAURIN, K. G. BALMAIN and SAFWAT G. ZAKY,
"Modeling of field-exposed digital circuits for the prediction of EMI Immunity"
10th Intern. Zürich Symp. and Technical Exhibition on Electromagnetic Compatibility, 9-11
March 1993.
- [55] H. R. KAUPP,
"Characteristics of Microstrip Transmission lines"
IEEE Transaction on Electronic Computers, pp 185-193, vol. EC-16, n° 2, april 1967
- [56] Claude M. WEIL,
"The Characteristic Impedance of Rectangular transmission lines with thin Center Conductor
and Air Dielectric"
IEEE Transactions on Microwave Theory and Techniques, pp. 238-242, vol. MTT-26, n°4
April 1978.
- [57] M. T. MA, E. B. LARSEN and M. L. CRAWFORD,
"Electromagnetic Fields with Arbitrary Wave Impedances Generated Inside a TEM Cell"
IEEE Transactions on Electromagnetic Compatibility, pp. 358-362, vol. 33, n°4, November
1991.
- [58] M. L. CRAWFORD, J. L. WORKMAN and C. L. THOMAS,
"Expanding the Bandwidth of TEM Cells for EMC Measurements"
IEEE Transactions on Electromagnetic Compatibility, pp.368-375, vol. EMC-20, n°3 August
1978.
- [59] TSUNG-SHAN CHEN,
"Determination of the Capacitance, Inductance and Characteristic Impedance of Rectangular
Lines"
IRE Transactions on Microwave Theory and Techniques, pp. 510-519, September 1960
- [60] Michel MARDIGUIAN,
"Electromagnetic Control in Components and Devices"
A Handbook Series on Electromagnetic Interference and Compatibility, vol. 5
Printed by Interference Control Technologies, Inc, Virginia 1971.
- [61] E. L. BRONAUGH and W. S. LAMBDIN,
"Electromagnetic Interference Test Methodology and Procedures"
A Handbook Series on Electromagnetic Interference and Compatibility, vol. 6
Printed by Interference Control Technologies, Inc, Virginia 1988.
- [62] K. DOGBE,
"Contribution à la mise en oeuvre et à l'interprétation de protocoles d'essais destinés à vérifier
la susceptibilité électromagnétique de cartes logiques sécuritaires"
Rapport de DEA, Juillet 1991.
- [63] T. WILLIAMSON,
"Designing Microcontroller Systems for Electrically Noisy Environments"
INTEL. Application Note AP-125, pp. 9-15, November 1986

- [64] C. MARECHAL,
"Les effets d'une décharge orageuse sur un faisceau de câbles intra-véhicule"
Rapport de DEA, Octobre 1991.
- [65] M. KLINGLER, M. SZELAG and M. HEDDEBAUT,
"Electromagnetic susceptibility of digital LSI circuits monted on a printed circuit board"
10th Intern. Zürich Symp. and Technical Exhibition on Electromagnetic Compatibility, 9-11
March 1993.
- [66] Rohde & Schwarz - Eberhard Gauger,
"Les nouvelles méthodes de mesure des perturbations radioélectriques seront introduites dans
les futures normes européennes".
Acte du 5^{ème} colloque intern. et exposition sur la CEM - Evian, Sept. 1989
- [67] O. PARDO-GIBSON and Ph. AURIOL,
"A time domain for susceptibility prediction in systems with frequency dependent parameters
and nonlinear protective devices"
7th International Zürich Symposium & Technical Exhibition, March 1987
- [68] P. GUILLERY,
"Les essais d'immunité à la C.E.I."
3^{ème} Journée d'étude sur la CEM, mai 1988.
- [69] Isidor STRAUSS,
"European Immunity requirements: a preview"
IEEE - National Symposium on EMC, May 1989.
- [70] Luc B. GRAVELLE and Perry F. WILSON,
"EMI/EMC in Printed Circuit Board - A Literature Review"
IEEE Transactions on Electromagnetic Compatibility - Vol. 34, n°2 May 1992.
- [71] H. GIRAUD et G. EUMURIAN,
"Utilisation d'une cellule TEM pour essais en compatibilité électromagnétique (IEM, CEM)"
L'onde Electrique, vol. 70, n°2 Mars 1990.
- [72] J. G. TRONT,
"RFI Susceptibility Evaluation of VLSI Logic Circuits"
9th Intern. Zürich Symposium on EMC, March 1991.
- [73] Etienne SICARD and Antonio RUBIO,
"Analysis of Crosstalk Interference in CMOS Integrated Circuits"
IEEE Transactions on Electromagnetic Compatibility - Vol. 34, n°2, May 1992
- [74] M. ELLIOTT,
"The Susceptibility of analogue circuits to radio frequency interference - Prediction and
Measurement"
IERE Publication n°56 - Conference on EMC. Sept. 1982.

- [75] H. GARBE and H. SINGER,
 "Computation of transient electromagnetic effects in systems with nonlinear components"
 7th Intern. Zürich Symposium and Technical Exhibition, March 1987.
- [76] Fred GARDIOL,
 "Radiation from high frequency printed circuits"
 9th International Zürich Symposium on EMC, March 1991
- [77] Kevin M. GERTISER,
 "Design of engine control modules for electromagnetic compatibility: case study"
 Delco Electronics Division, General Motors Corporation,
 Int. J. of Vehicle Design, Vol.6, n°6, 1985. Printed in U.K.
- [78] O. PARDO-GIBSON,
 "Etude et simulation temporelle de la susceptibilité électromagnétique de systèmes interconnectés"
 Thèse de Doctorat en Electrotechnique, Ecole Centrale de Lyon, septembre 1987.
- [79] C. D. TAYLOR, R. S. SATTERWHITE, C. W. HARRISON,
 "The Response of a Terminated Two-wire Transmission Line Excited by a Non-Uniform Electromagnetic Field"
 IEEE Trans. on Antennas Propagat., vol AP.13 nov 1965, p 987-989
- [80] H. DOMMEL,
 "Digital Computer Solution of Electromagnetic Transients in Single and Multiphase Networks"
 IEEE Trans., vol PAS.88, april 1969, pp. 388-399.
- [81] J. C. SABONNADIÈRE, Ph. AURIOL,
 "Principales Méthodes de Calcul des Régimes Transitoires dans les Réseaux THT"
 Revue Générale de l'Electricité, t. 82, n°11, nov 1973, pp. 718-727.

BANC DE MESURE DE LA RESISTANCE DYNAMIQUE R_d D'UN INVERSEUR HCU LORS DU TRANSIT LOGIQUE

Le banc de mesure est présenté sur la figure A-I-2. La résistance dynamique R_d est définie [10] comme étant le rapport des faibles variations de tension V_s et courant I_s de sortie du composant sous test autour d'un point de fonctionnement donné défini par sa tension d'entrée V_e (relation A-I-1).

$$R_d = \frac{\Delta V_s}{\Delta I_s} \quad \text{à } V_e = \text{constant} \quad (\text{A-I-1})$$

Vue la formulation de R_d , sa mesure pouvait être effectuée avec un protocole plus simple que celui de la figure A-I-2 et n'utilisant pas de lignes couplées. Il faut dire que la considération fondamentale sur laquelle nous nous sommes basés pour mettre au point ce banc, est de pratiquer les mesures sur le composant tel qu'il est connecté aux autres éléments du protocole de test présenté au chapitre II en particulier, la ligne bifilaire.

Ce banc de mesure de R_d comporte les équipements suivants ;

- un générateur de signaux sinusoïdaux qui alimente la ligne émettrice.

remarque : cette manipulation se fait à faible niveau. L'amplificateur de puissance n'est donc pas nécessaire ici.

- un vecteur-mètre qui mesure l'atténuation et la phase de $T(f) = \frac{v}{V_p}$ de la fonction de transfert du quadripôle que constitue la ligne bifilaire et dont l'entrée est le point d'alimentation de la ligne émettrice, et la sortie, l'extrémité de la ligne réceptrice connectée au composant 1.

- une alimentation continue variable qui alimente l'entrée du composant, fixant ainsi son potentiel de sortie. Notons que ceci n'est possible qu'avec la famille HCU qui dispose d'un faible gain et est de ce fait, son niveau de sortie peut être commandé par celui de son entrée

- un calculateur qui assure la commande programmée de l'ensemble des équipements et détermine la fréquence de coupure expérimentale de $T(f)$ à partir de laquelle la valeur de R_d est évaluée.

En considérant l'hypothèse des grandes longueurs d'onde et le formalisme des paramètres localisés, nous pouvons montrer analytiquement qu'en basses fréquences, l'ensemble lignes couplées + composant 1 + composant 2 s'apparente à un filtre passe-haut dont la fonction de transfert est $T(\omega)$ (Figure A-I-1).

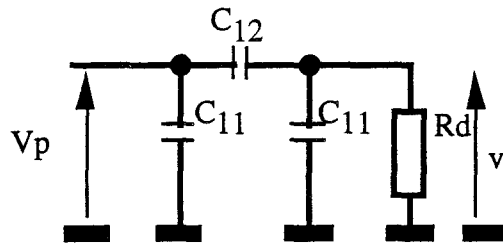


Figure A-I-1

La fonction de transfert de ce quadripôle peut s'écrire;

$$T(\omega) = \frac{j C_{12} \omega R_d}{1 + j (C_{12} + C_{11}) \omega R_d} \quad (\text{A-I-2})$$

où $\omega = 2 \pi f$ (A-I-3)

Il s'agit de la fonction de transfert d'un filtre passe-haut de 1er ordre dont la fréquence de coupure f_c à -3 dB peut s'écrire ;

$$f_c = \frac{1}{2 \pi R_d (C_{12} + C_{11})} \quad (\text{A-I-4})$$

Ainsi, le principe de détermination de R_d consiste à tracer les lieux de Bode expérimentaux d'atténuation et de phase de $T(\omega)$, puis à déterminer à l'aide d'un programme que nous avons développé sur le calculateur, la fréquence de coupure f_c et ensuite d'en déduire R_d par la formule suivante :

$$R_d = \frac{1}{2 \pi f_c (C_{12} + C_{11}) l} \quad (A-I-5)$$

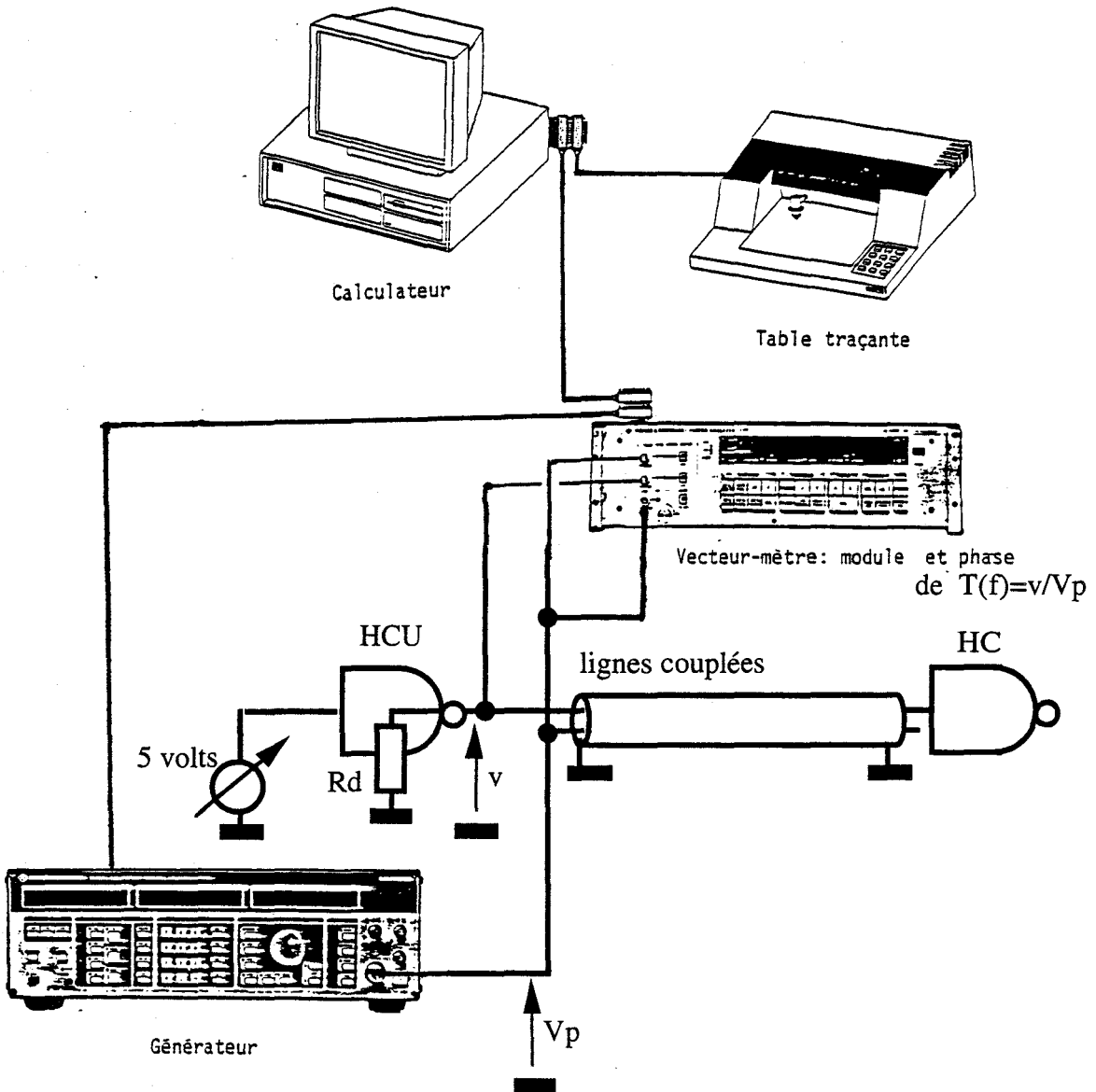


Figure A-I-2: Banc de mesure de R_d

Afin de valider ce modèle, nous avons remplacé la sortie du composant 1 par une résistance de 1 k Ω de façon à ramener la fréquence de coupure dans la gamme de fréquences où les phénomènes de propagation n'interviennent pas sur la ligne, et montré que $T(f)$ suit parfaitement l'allure de la réponse d'un filtre passe-haut de 1er ordre (Figure A-I-3).

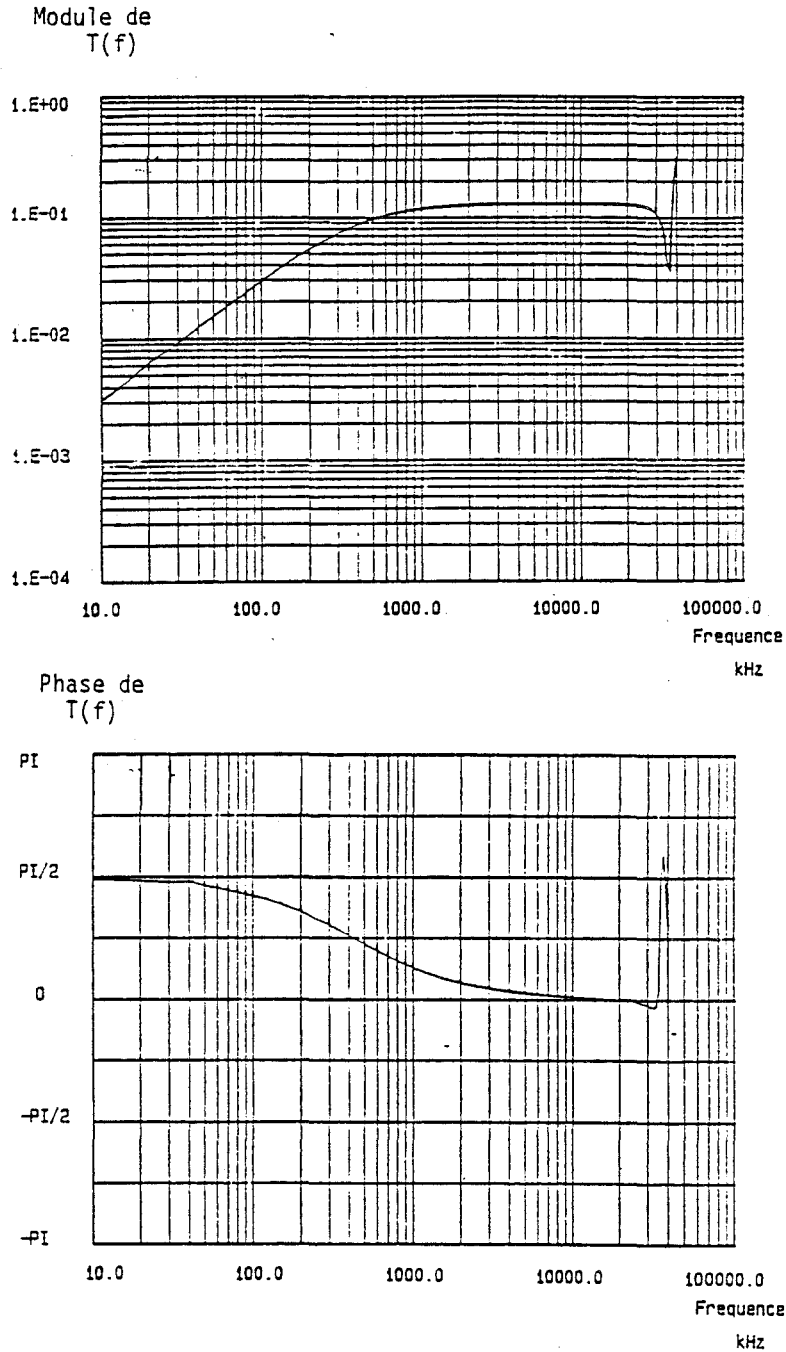


Figure A-I-3: Validation du modèle

Remarque:

Lors de la mesure de R_d , lorsque la fréquence de coupure se situe dans la zone de phénomènes de propagation (au delà de 20 MHz), le code de calcul recherche la fréquence à -20 dB et en déduit celle à -3 dB qui vaut dix fois la précédente.

Le résultat de mesure pratiquée sur l'inverseur de la famille HCU que nous utilisons est présenté en pointillés sur la figure suivante. La courbe en trait continu est un résultat de simulation numérique extrait de la bibliographie [10].

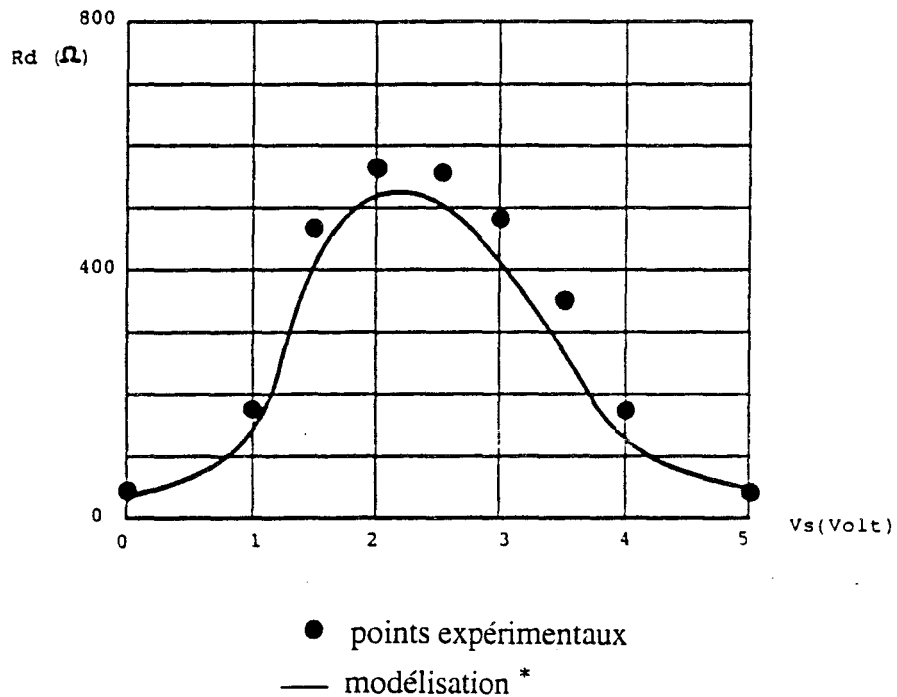


Figure A-I-4: Résultats expérimental et théorique de R_d

PROPAGATION DES ONDES MOBILES SUR LA LIGNE DE LIAISON
ENTRE LES DEUX COMPOSANTS

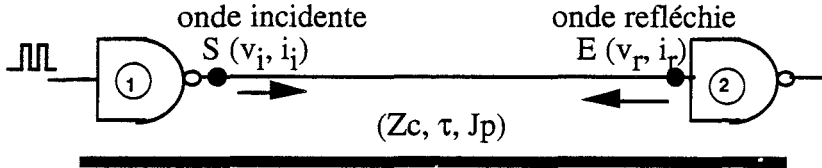


Figure A-II-1

Considérons le modèle de la figure suivante qui caractérise le comportement de la sortie du composant 1 soumis à une injection de courant perturbateur J_p lors du transit logique état bas - état haut.

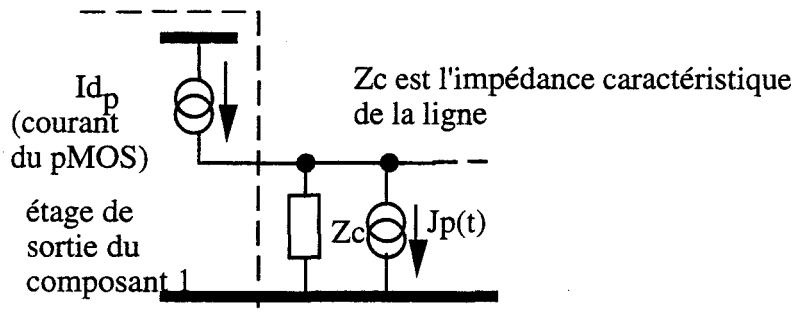


Figure A-II-2

En considérant le mécanisme de déformation du transit logique en sortie du premier circuit qui donne un décalage du transit en sortie du second circuit, le niveau en sortie du premier circuit à l'instant $t_0 + \epsilon$ s'écrit;

$$V_{s1}(t_0 + \epsilon) = V_{s1}(t_0) + v_i(t_0 + \epsilon) \tag{A-II-2}$$

$V_{s1}(t_0)$ est le niveau à l'instant initial t_0

$v_i(t_0 + \varepsilon)$ est l'onde mobile incidente de tension à l'instant $t_0 + \varepsilon$
 ε est la durée d'établissement de v_i supposée nulle

Lorsque le courant perturbateur J_p s'oppose au courant drain I_{dp1} du transistor (pMOS) qui conduit au cours de ce transit, l'onde incidente initiale s'écrit;

$$v_i(t_0 + \varepsilon) = Z_c \cdot (I_{dp1} - J_p(t_0 + \varepsilon)) \quad (\text{A-II-3})$$

Si τ désigne le temps de propagation de l'onde de la sortie du premier circuit à l'entrée du second circuit, à l'instant $t_0 + \tau$, l'onde incidente parvient à l'entrée de ce dernier, se réfléchit totalement du fait l'impédance d'entrée élevée de celui-ci, et donne une onde réfléchie $v_r(t_0 + \tau)$ telle que ;

$$v_r(t_0 + \tau) = \Gamma_E \cdot v_i(t_0 + \varepsilon) \quad (\text{A-II-4})$$

où Γ_E est le coefficient de réflexion à l'entrée du composant 2 voisin de 1.

Il est à noter que compte tenu de l'impédance d'entrée de ce composant très élevée par rapport à l'impédance caractéristique de la ligne, il se produit au point E une réflexion totale des ondes mobiles. Par ailleurs, cette réflexion est sans changement de signe pour les ondes de tension tandis que celle des ondes de courant subit un changement de signe : le courant résultant en entrée du composant 2 est alors constamment nul .

Le niveau $V_{e2}(t_0 + \tau)$ du premier palier de réflexion à l'entrée du composant 2 s'écrit :

$$V_{e2}(t_0 + \tau) = V_{s1}(t_0) + v_i(t_0 + \varepsilon) + v_r(t_0 + \tau) \quad (\text{A-II-5})$$

$$\text{soit } V_{e2}(t_0 + \tau) = V_{s1}(t_0) + 2v_i(t_0 + \varepsilon) \quad (\text{A-II-6})$$

$$\text{car } v_r(t_0 + \tau) = v_i(t_0 + \varepsilon) \quad (\text{A-II-7})$$

A l'instant $t_0 + 2\tau$ l'onde réfléchie $v_r(t_0 + \tau)$ parvient à la sortie du composant 1, se réfléchit et donne à l'instant $t_0 + 2\tau + \varepsilon$ une nouvelle onde incidente $v_i'(t_0 + 2\tau + \varepsilon)$ telle que :

$$v_i'(t_0 + 2\tau + \varepsilon) = \Gamma_S \cdot v_r(t_0 + \tau) \quad (\text{A-II-8})$$

où Γ_S est le coefficient de réflexion à la sortie du composant 1.

Compte tenu de la non linéarité de la résistance dynamique de sortie du composant 1 dans sa zone de commutation, la détermination de la nouvelle onde incidente est faite à partir de la caractéristique courant-tension du pMOS. En effet, on considère qu'à l'instant $t_0+2\tau$ l'onde réfléchie $v_r(t_0+\tau)$ arrive à la sortie du composant 1, donne une tension de sortie $V_{s1}(t_0+2\tau)$ telle que :

$$V_{s1}(t_0+2\tau) = V_{s1}(t_0) + v_i(t_0+2\tau) + v_r(t_0+\tau) \quad (\text{A-II-9})$$

$$\text{avec } v_i(t_0+2\tau) = Z_c \cdot (I_{dp1} - J_p(t_0+2\tau)) \quad (\text{A-II-10})$$

$V_{s1}(t_0+2\tau)$ entraîne une tension drain $V_{dp2} = V_{s1}(t_0+2\tau) - V_{cc}$. On déduit de la caractéristique du pMOS le courant drain I_{dp2} correspondant à V_{dp2} . Il en résulte $v_i'(t_0+2\tau+\epsilon)$ telle que ;

$$v_i'(t_0+2\tau+\epsilon) = Z_c \cdot (I_{dp2} - J_p(t_0+2\tau+\epsilon)) \quad (\text{A-II-11})$$

Le niveau en sortie du composant 1 devient à cet instant;

$$V_{s1}(t_0+2\tau+\epsilon) = V_{s1}(t_0) + v_i(t_0+2\tau) + v_r(t_0+\tau) + v_i'(t_0+2\tau+\epsilon) \quad (\text{A-II-12})$$

Le processus recommence et se poursuit jusqu'à la fin complète de la commutation.

