

N° d'ordre : 1043

50376
1993
85

THESE

50376
1993
85

L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE

Spécialité : Electronique

par

Hussein FAWAZ

Ingénieur en Electronique

**TECHNOLOGIE MULTIFONCTION DE
TRANSISTORS A EFFET DE CHAMP SUR
MATERIAUX III-V POUR LOGIQUE RAPIDE ET
HYPERFREQUENCES**



Soutenue le 15 Janvier 1993 devant la commission d'examen :

Membres du Jury : MM

E. CONSTANT

Président

J. ZIMMERMANN

Directeur de Thèse

D. ESTEVE

Rapporteur

E. PEREA

Rapporteur

A. CLEI

Examineur

G. SALMER

Examineur

*Cette thèse a été préparée à l'Institut d'Electronique et de Microélectronique du Nord
(IEMN) UMR-CNRS 9929*

UST-Lille, Bâtiment P3, 59650 Villeneuve d'Ascq.



030 046307 2

SOMMAIRE

SOMMAIRE

	<i>Page</i>
INTRODUCTION GENERALE	1
 <i>Chapitre I</i> LES CIRCUITS INTEGRES EN ARSENIURE DE GALLIUM	
I.1 INTRODUCTION	5
I.2 GENERALITES	6
I.3 CONTRIBUTION DE L'INTEGRATION	6
I.4 LES TECHNOLOGIES DE FABRICATION DE CIRCUITS INTEGRES GaAs	9
<i>I.4.1 Technique d'isolation par mesa</i>	<i>10</i>
<i>I.4.2 La technique d'implantation avec autoalignement de la grille</i>	<i>15</i>
I.5 LES FAMILLES DE CIRCUITS INTEGRES GaAs	16
I.6 NOTRE CONTRIBUTION FUTURE	17
I.7 CONCLUSION	17
 <i>Chapitre II</i> TECHNOLOGIE AUTOALIGNEE POUR LA REALISATION DE TRANSISTORS A EFFET DE CHAMP ET DE CIRCUITS INTEGRES	
II.1 INTRODUCTION	19
II.2 LA TECHNOLOGIE AUTOALIGNEE	20
II.3 REALISATION DE GRILLE EN T	22
<i>II.3.1 Choix du matériau de la grille</i>	<i>22</i>
<i>II.3.2 Méthode de dépôt du nitrure de tungstène</i>	<i>23</i>
<i>II.3.3. Réalisation de la barre du T</i>	<i>27</i>
<i>II.3.4 Définition de la grille</i>	<i>27</i>
II.4 REALISATION DES CAISSONS DE SOURCE ET DE DRAIN	30
II.5 REALISATION DES CONTACTS OHMIQUES	34
II.6 EPAISSISSEMENT DE LA GRILLE EN TiPtAu	34
II.7 METALLISATION	35
II.8 CONCLUSION	35

Chapitre III

**REALISATION ET CARACTERISATIONS DES TRANSISTORS A EFFET
DE CHAMP SUR ARSENIURE DE GALLIUM**

III.1 INTRODUCTION	41
III.2 LE TRANSISTOR MESFET	43
III.2.1 <i>Structure MBE et réalisation technologique</i>	43
III.2.2 <i>Le masque</i>	44
III.2.3 <i>Caractérisation électrique</i>	45
III.2.3.1 <i>Caractérisation statique</i>	45
III.2.3.2 <i>Caractérisation hyperfréquences</i>	45
III.2.4 <i>Conclusion sur les MESFET's</i>	48
III.3 LE MISFET	48
III.3.2 <i>N-MISFET's conventionnels</i>	50
III.3.3 <i>Structure des épitaxies</i>	50
III.3.4 <i>Evaluation physique des couches par spectroscopie AUGER</i>	51
III.3.5 <i>Evaluation physique des couches AlGaAs/GaAs implantées</i>	52
III.3.6 <i>Réalisation technologique</i>	56
III.3.7 <i>Le masque</i>	56
III.3.8 <i>Caractérisation électrique</i>	57
III.3.8.1 <i>Caractérisation statique</i>	57
III.3.8.2 <i>Caractérisation hyperfréquences</i>	64
III.3.9 <i>Conclusion sur les MISFET's conventionnels</i>	67
III.4 N - MISFET's PSEUDOMORPHIQUES	69
III.4.1 <i>Introduction</i>	69
III.4.2 <i>Structure du MISFET PM</i>	69
III.4.3 <i>Le masque</i>	71
III.4.4 <i>Caractérisation électrique</i>	71
III.4.4.1 <i>Caractérisation statique</i>	71
III.4.4.2 <i>Caractérisation hyperfréquences</i>	81
III.4.5 <i>Comparaison entre le MISFET conventionnel et le MISFET PM</i>	87
III.4.6 <i>Conclusion sur les MISFET's pseudomorphiques</i>	88
III.5 P- MISFET	89
III.6 LE COURANT DE GRILLE	92
III.7. CONCLUSION	94
CONCLUSION GENERALE	95
REFERENCES BIBLIOGRAPHIQUES	101
ANNEXE	105

***INTRODUCTION
GENERALE***

INTRODUCTION GENERALE

Les dispositifs semiconducteurs rapides sont les composants clé pour les systèmes électroniques avancés qui traitent des données numériques à vitesse supérieure à 1 Gbit/s ou des signaux analogiques à fréquence supérieure à 1 GHz. Ces dispositifs sont vitaux pour la continuation de la croissance de l'industrie électronique. Cette dernière exige le développement de circuits intégrés de plus en plus performants, complexes et rapides.

Pour l'électronique rapide, un semiconducteur à haute mobilité électronique et une vitesse de saturation élevée est désirable. Une conductivité thermique élevée et un champ de claquage élevé sont encore des propriétés souhaitables. Toutes ces exigences sont bien retrouvées dans l'arseniure de gallium (GaAs) [Sze, 90]. Ces dernières années, le GaAs a gagné en importance comme semiconducteur pour les composants discrets hyperfréquences tels que les transistors MESFET's et HEMT's, mais beaucoup moins pour les technologies des circuits intégrés digitaux, domaine réservé jusqu'à un passé récent au silicium.

Durant les années 80 des efforts considérables ont été faits pour fabriquer des circuits intégrés sur arséniure de gallium. Ces travaux ont permis la réalisation de circuits intégrés monolithiques microondes (MMIC) utilisant

des transistors MESFETs ou HEMTs et des circuits intégrés logiques LSI et VLSI. Un des paris de la microélectronique des matériaux III-V du futur est de faire cohabiter des circuits logiques, analogiques et optoélectroniques. Pour parvenir à cette intégration il faut résoudre les deux problèmes élémentaires suivants.

Premièrement, il faut disposer d'une technologie permettant d'obtenir de bonnes performances en logique, en analogique et en optoélectronique. Ce problème semble être résolu avec les techniques d'autoalignement de grille qui donnent de très bonnes performances et des rendements élevés et présentent une bonne reproductibilité.

Deuxièmement, utiliser un composant standard qui fonctionne très bien en logique et en hyperfréquences. Un bon concurrent envisageable pour les circuits intégrés logiques et hyperfréquences est le transistor MISFET (Metal Isolator Semiconductor FET). Les atouts importants de ces transistors sont: i) leur relative simplicité de mise en oeuvre, ii) l'indépendance de la tension de seuil vis-à-vis des paramètres technologiques et iii) leur large domaine d'application (logique, hyperfréquences et puissance).

La structure MISFET est la mieux adaptée pour la réalisation des circuits intégrés logiques sur GaAs. Elle permet entre autre la réalisation de structures complémentaires, structures nécessaires et inévitables pour la réalisation de circuits intégrés GaAs VLSI à faible consommation.

La séquence de développement d'une technologie de dispositifs rapides commence par la reconnaissance qu'un nouveau matériau ou dispositif peut avoir des propriétés avantageuses. Elle sera suivie par le développement des techniques de croissance de matériaux et de fabrication de dispositifs discrets actifs, et finalement par la fabrication de circuits intégrés basés sur le nouveau matériau et/ou le dispositif.

La mise au point d'un procédé de fabrication de circuits intégrés sur GaAs est une des préoccupations majeures pour les concepteurs de dispositifs et de circuits intégrés. Notre travail se situe dans ce domaine. Nous proposons d'apporter une contribution au développement des technologies de fabrication de circuits intégrés sur GaAs. Les principaux problèmes fondamentaux que nous souhaitons résoudre sont:

- la mise au point d'un procédé de fabrication de dispositifs et de circuits intégrés GaAs,
- la réalisation de transistors à effet de champ pour des applications logiques rapides et hyperfréquences,
- l'étude du transistor MISFET.

Plus précisément notre mémoire est divisé en trois chapitres.

Dans le premier chapitre nous proposons en toute généralité de dresser l'état de l'art des circuits intégrés GaAs. Nous décrivons les différentes familles de technologies en cours de développement actuellement avec pour chacune d'entre elles leurs avantages et leurs inconvénients.

Le deuxième chapitre est à caractère technologique. Nous décrivons le procédé technologique de fabrication de transistors à effet de champ que nous avons développé au laboratoire. Chaque étape de ce procédé est analysée, détaillée et optimisée à chaque fois que possible dans la mesure de nos moyens.

Dans le troisième chapitre nous décrivons la réalisation de transistors à effet de champ MESFET et MISFET. Nous décrivons les phases de conception et de réalisation depuis le dessin de masque jusqu'aux tests électriques des produits. Une caractérisation complète statique et hyperfréquence est effectuée pour chaque composant et les résultats sont reportés.

Nous concluons notre mémoire en dressant le bilan des résultats majeurs obtenus jusqu'à présent. Nous faisons quelques propositions pour la suite de ce travail en visant plus spécifiquement la possibilité de réaliser des circuits intégrés.

CHAPITRE I

*Chapitre 1***LES CIRCUITS INTEGRES EN ARSENIURE DE GALLIUM****I.1 INTRODUCTION.**

La percée de l'arséniure de gallium sur le marché des circuits intégrés n'est plus à prouver. La raison clé de cette percée a été surtout liée aux récents progrès réalisés dans le domaine de la technologie des semiconducteurs III-V, et la réalisation de nouveaux composants à hétérojonctions très performants. Les retombées directes de l'adoption de ces technologies sont:

- ➔ la possibilité d'obtenir une grande densité d'intégration,
- ➔ une augmentation des performances en terme de facteur de bruit et de fréquence de coupure,
- ➔ l'élargissement du domaine d'utilisation des circuits intégrés GaAs à d'autres types d'applications que celui de "l'hyperfréquence" et qui étaient traditionnellement réservé aux circuits intégrés silicium; il s'agit de la logique rapide.

L'objet de ce premier chapitre est de présenter l'état de l'art des circuits intégrés GaAs. Nous décrivons les différentes filières technologiques proposées à ce jour. Nous montrons que les technologies développées d'une part pour les circuits intégrés monolithiques micro-ondes et d'autre part pour les circuits

intégrés logiques conduisent à envisager des nouvelles familles de circuits mélangeant les deux types de fonctions dans les mêmes circuits.

I.2 GENERALITES.

Durant les dernières années, la technologie des circuits intégrés en arsénure de gallium (GaAs) a fait des progrès impressionnants. Jusqu'à 1980, cette technologie fut particulièrement réservée aux circuits intégrés en silicium. L'application de la technologie MESFET (Metal Semiconductor FET) dans le domaine des circuits intégrés a permis la réalisation des circuits intégrés logiques VLSI très complexes permettant d'avoir des fonctions électriques diverses et performantes [Mikkelson, 91].

Les progrès réalisés en épitaxie ont permis la fabrication de nouveaux composants à hétérojonction tels que le transistor HEMT (High Electron Mobility Transistor) et le transistor MISFET (Metal Insulator Semiconductor FET). Ces composants ont créé l'opportunité de pouvoir réaliser des circuits intégrés monolithiques micro-ondes très faible bruit dans le cas du HEMT [Kwon, 91] et des circuits intégrés logiques complémentaires à faible consommation dans le cas du MISFET [Grider, 91].

I.3 CONTRIBUTION DE L'INTEGRATION.

Environ dix années d'efforts ont été nécessaires pour arriver à la définition des principes de configuration des circuits, pour trouver leur futurs domaines d'application et apprécier l'économie résultant de l'avantage de la solution GaAs vis-à-vis de la solution silicium. Sans entrer dans les détails précis des familles de circuits deux types d'idées fondamentales concernant ces nouveaux circuits doivent être considérés:

□ pour les applications: les circuits intégrés en GaAs sont destinés à des applications bien définies dans la gamme de fréquences se situant au delà de 1 GHz. De telles applications concernent en premier lieu les radars, les télécommunications, l'aéronautique, les satellites, la télévision, les processeurs de signaux en temps réel, les systèmes optroniques et les ordinateurs. Actuellement une vingtaine d'entreprises dans le monde commercialisent des circuits intégrés GaAs.

□ pour les avantages de la solution GaAs vis-à-vis de la solution Si: à géométrie égale une technologie GaAs est cinq à dix fois plus rapide et consomme trois fois moins. La différence entre le GaAs et le Si découle de la différence de leurs propriétés physiques. Les principaux avantages du GaAs sur le Si sont:

- ➔ une mobilité à champ faible environ cinq fois supérieure,
- ➔ une vitesse à champ fort plus élevée,
- ➔ l'existence d'un substrat semi-isolant de bonne qualité,
- ➔ la possibilité d'épitaxies variées permettant la réalisation d'hétérojonctions. Ceci a donné lieu à ce qu'on appelle "Bandgap Engineering".

Les circuits intégrés GaAs utilisent des technologies similaires à la technologie NMOS Si. Comme la densité d'intégration des circuits intégrés GaAs passe au-delà du niveau LSI, le problème de la consommation d'énergie et de la dissipation thermique devient critique et il sera impérativement nécessaire de développer une technologie sur GaAs similaire à la technologie CMOS Si. [Akinwande, 90]

Si la mobilité des électrons dans le GaAs est cinq fois supérieure à celle des électrons dans le Si, la mobilité des trous dans le GaAs est du même ordre que celle des trous dans le Si [Sze, 82]. Néanmoins, du moment où les performances des circuits complémentaires se ramènent à une moyenne des propriétés de transport des électrons et des trous, des avantages considérables en performances peuvent être obtenues par l'utilisation du GaAs. [Kiehl, 87]

Plusieurs technologies complémentaires GaAs ont été proposées. La faible consommation obtenue dans ces circuits est attractive pour la réalisation des mémoires RAM statiques. Cependant la faible transconductance du canal P limite les applications des circuits intégrés complémentaires GaAs en hyperfréquence.

Le marché des circuits intégrés GaAs pour les circuits numériques est estimé à augmenter de 183 millions de dollars en 1992 à 400 millions de dollars en 1995. [Bis Mackintosh,92], [Schneiderman, 92]

Plusieurs industries travaillent actuellement à l'insertion des circuits ASIC GaAs dans leurs systèmes. En 1995, 46% du marché des circuits numériques GaAs sera destiné à l'industrie informatique. Comme exemple CONVEX lance sur le

marché une nouvelle série d'ordinateur C3800 configuré avec 1 à 8 processeurs et qui utilise des circuits intégrés GaAs fabriqués par VITESSE Semic. Le tableau 1.1 montre quelques exemples de l'état de l'art des circuits intégrés GaAs.

Si le GaAs est un matériau très intéressant, il faut cependant bien avoir à l'esprit que son stade de développement a environ dix ans de retard par rapport à celui du silicium. La réalisation de circuits intégrés GaAs VLSI sera économiquement viable si les points suivants sont améliorés dans le proche futur;

- ⇒ concevoir des circuits à un prix compétitif quelque soit la gamme de fréquence,
- ⇒ obtenir un très haut rendement de fabrication et une très bonne reproductibilité,
- ⇒ fabriquer des circuits intégrés de très faible consommation et dissipation thermique
- ⇒ intégrer des fonctions mixtes; logiques, analogiques et opto-électroniques dans le même circuit.

I.4 LES TECHNOLOGIES DE FABRICATION DE CIRCUITS INTEGRES GaAs.

Les étapes de réalisation de circuits intégrés GaAs ne sont pas fondamentalement différentes de celles de la technologie planar Si. Elles sont en générale moins nombreuses.

C'est par contre au niveau du procédé lui même que l'intégration III-V se distingue, d'une part par l'utilisation de techniques froides (implantation ionique par exemple) et sèches (gravure ionique et usinage plasma), d'autre part, dans l'utilisation des procédés de lithographie très fins qui permettent d'obtenir des composants de dimensions submicroniques de hautes performances ($f_c > 15$ GHz) et de minimiser les éléments parasites.

Les deux procédés de fabrication de circuits intégrés GaAs les plus utilisés seront décrits ci-dessous.

Type de circuits	Compagnie	Caractéristiques du circuit	Applications
350000 portes 2*44 Ko SRAM	VITESSE	SRAM t = 3,5 ns	ASIC
Diviseur de fréquence	NTT	31.4 GHz	Synthétiseur
Multiplieur 12*12	ITT	t _{mult.} = 4.5 ns	Processeur de signaux
Multiplexeur/ démultiplexeur	NTT	10 Gbit/s	Communication optique
Amplificateur en bande L	PML	G = 21 db P = 40 mW	Communication mobile
Récepteur DSP	TRIQUINT	5 canaux	GPS
Commutateurs 8*8 et 32*32	TRIQUINT	8*8: 2.5 Gbit/s 1 ns, 2.5 W 32*32: 1 Gbit/s 1.5 ns, 5.5 W	Communication optique
4 Ko SRAM	HONEYWELL	SRAM t = 4.4 ns P = 0.183 W	ASIC
Réjecteur d'image et mélangeur en bande L	PML	30 db rejet. NF = 2db P = 120 mW	Communication mobile

Tableau 1. 1. [Gourrier, 92]

I.4.1 TECHNIQUE D'ISOLATION PAR MESA .

Fréquemment employée pour les dispositifs discrets micro-ondes, la technique d'isolation par MESA fut la première approche utilisée pour la réalisation des circuits intégrés.

La couche active est élaborée par croissance épitaxiale [Mizutami, 80] ou par implantation ionique [Dobratz, 80]. La technique de creusement localisée sous la grille permet d'améliorer les caractéristiques des composants en réduisant les résistances parasites d'accès au drain et à la source ainsi que les effets de surface.

Les principaux inconvénients liés à cette technique d'isolation par MESA sont:

- ➔ l'existence d'une capacité parasite au passage de la marche du MESA pénalisant fortement les performances des transistors de faible largeur de grille,
- ➔ l'augmentation localisée de la résistance des lignes d'interconnexion au passage du bord du MESA réduisant le rendement de fabrication des circuits ,
- ➔ une fragilisation due au relief et au procédé de gravure.

Un exemple de fabrication de transistors MESFET's et de composants passifs développé par THOMSON utilisant cette technique est illustré sur la Fig. 1.1. [Thomson, 92]

La première étape de ce procédé est le dépôt d'une couche de Si_3N_4 obtenue par pulvérisation. Le premier niveau de masquage est le niveau de préalignement (masque 1) qui permet la localisation des zones actives obtenues par implantation ionique (masque 2). L'activation des impuretés est obtenue par recuit thermique. Les contacts ohmiques AuGeNi sont donc déposés. La grille du transistor est ensuite définie par masquage électronique (masque 4).

Avant de déposer les contacts métalliques, le canal est creusé pour enlever la couche N^+ . Le masque 4 est réutilisé pour réaliser le premier niveau de métallisation et l'électrode basse de la capacité.

Un niveau de passivation (Si_3N_4) protège la zone active du transistor et forme le diélectrique de la capacité. Le diélectrique est ensuite gravé (masque 5) pour réaliser les contacts de recouvrement. Le masque suivant (masque 6) est un dépôt de TaN pour faire la résistance métallique. Les étapes restantes concernent

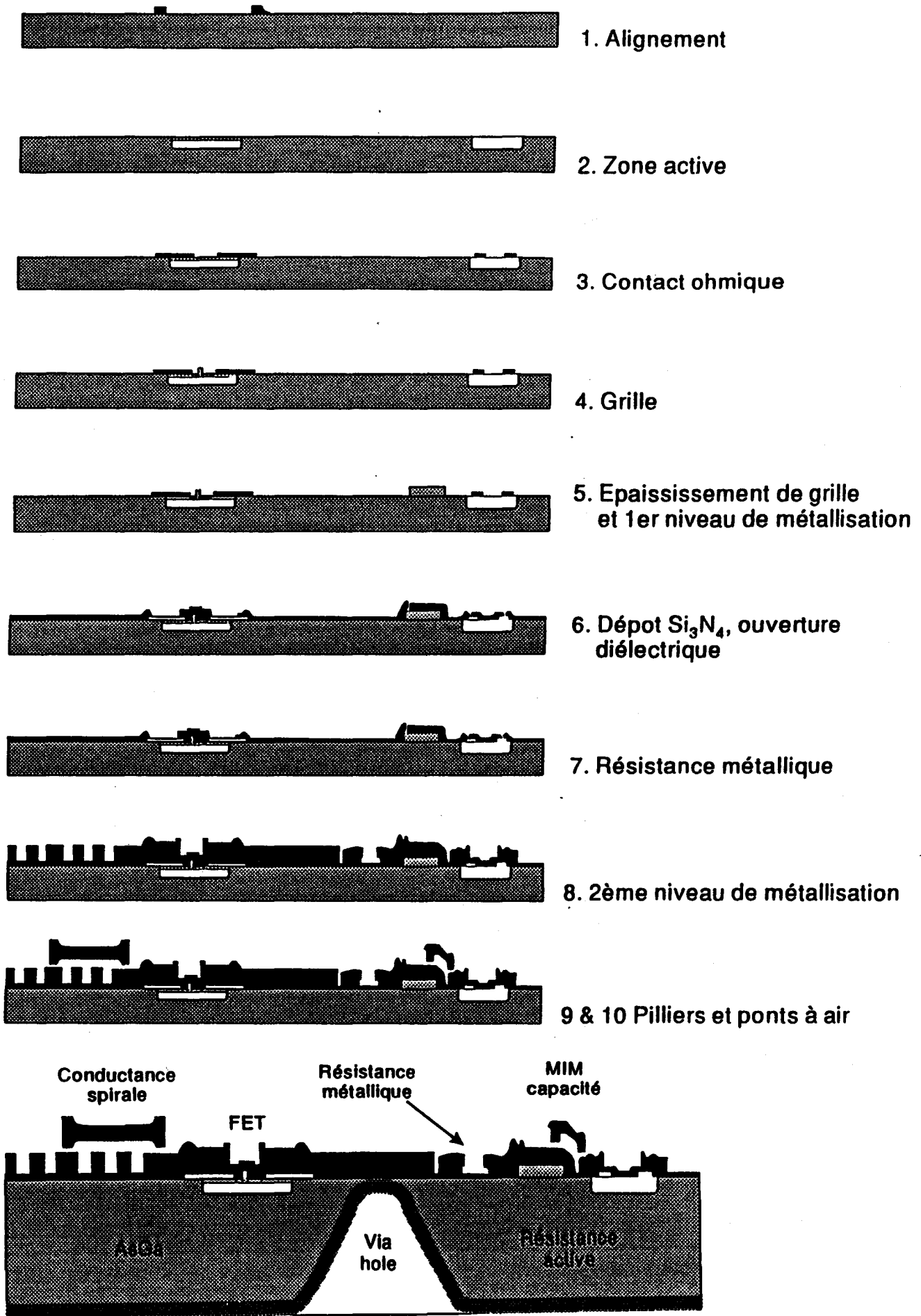


Fig 1.1 - Séquence de fabrication de circuits intégrés avec la technologie d'isolation par MESA [TCM 92].

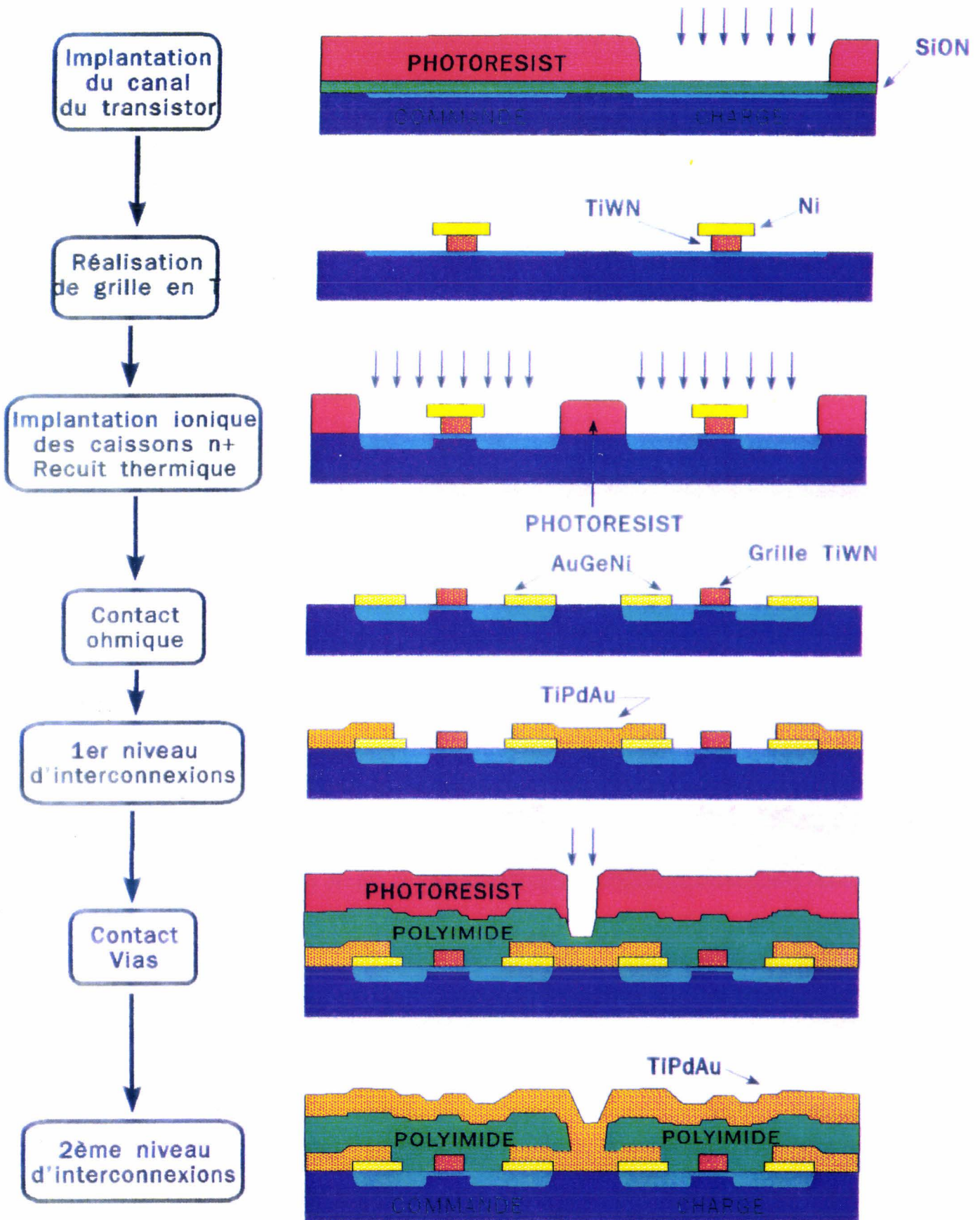


fig. 1.2 - Séquence de fabrication de circuits intégrés GaAs avec une technique autoalignée [Sing, 89].

les interconnexions pour la réalisation des inductances, et de l'électrode supérieure de la capacité avec un niveau épais de métallisation en TiPtAu (masque 7).

Le dernier niveau d'interconnexion entre les composants du circuit est fait à l'aide de ponts et de piliers (masque 8 et 9). Après amincissement du substrat en dessous de 100 μm des via holes sont définis (masque 10) et le GaAs est gravé par RIE. La face arrière du substrat est finalement métallisée par une couche d'or.

I.4.2 LA TECHNIQUE D'IMPLANTATION AVEC AUTO-ALIGNEMENT DE LA GRILLE.

C'est le procédé de réalisation le plus récemment développé. Cette approche très prometteuse a été introduite par FUJITSU pour résoudre les problèmes de reproductibilité de fabrication de circuits intégrés MESFET GaAs à enrichissement de complexité LSI/VLSI [Yokoyama, 82]. Cette technique est utilisable pour une large gamme de tension de seuil car elle améliore son uniformité. De même elle offre l'intérêt majeur de pouvoir réduire à 0.2 μm la distance source-grille et grille-drain faisant chuter d'autant les résistances parasites d'accès.

De plus, les caractéristiques des transistors sont nettement améliorées puisque leurs transconductances sont trois fois supérieures et leurs résistances série sont cinq fois plus petites que celles obtenues sur les transistors à creusement localisé de grille conventionnels. Notons que leur facteur de bruit est moins bon.

Plusieurs variantes de cette technologie ont été développées dans différents centres de recherche. Ci-dessous nous décrivons une des variantes de cette technologie développée par ITT.

Les étapes de fabrication de transistors MESFET à l'aide de cette technologie sont présentées sur la Fig. 1.2. Une couche de SiON est déposée avant l'implantation des canaux des transistors MESFET. Après implantation cette couche est enlevée et une grille en TiWN est réalisée. Les zones de source et de drain sont ensuite réalisées par implantation ionique suivie d'un recuit thermique. Le circuit est achevé par la réalisation de deux niveaux de métallisation en TiPdAu. Les niveaux d'interconnexion sont séparés par une

couche de polyimide.

I.5 LES FAMILLES DE CIRCUITS INTEGRES GaAs.

Les circuits intégrés GaAs se sont développés suivant trois voies:

□ **les circuits intégrés monolithiques micro-ondes:** tels que les amplificateurs à large bande, à faible bruit ou à moyenne puissance, les oscillateurs, les déphaseurs, les commutateurs, les mélangeurs, les atténuateurs, les coupleurs, etc.... Ces circuits utilisent comme composant de base le transistor MESFET ou HEMT. Ils sont fabriqués avec une technologie à creusement localisé de grille.

Malgré leurs performances très élevées en fréquence, en gain et en puissance, ces circuits sont limités en densité d'intégration (une vingtaine de composants au maximum) par la taille des composants (largeur typique des transistors entre 100 et 200 μm) et le nombre important d'éléments passifs. L'augmentation de la densité d'intégration et la complexité des circuits passent par le franchissement des obstacles suivants:

⇒ la réduction des géométries des composants et la minimisation des composants passifs dans les circuits,

⇒ le bon contrôle de la tension de seuil et donc nécessairement éviter le creusement localisé de la grille.

⇒ l'intégration dans ces circuits de fonctions logiques afin de simplifier les signaux de commandes, donc utiliser une technologie compatible logique/analogique.

□ **les circuits logiques:** tels que les diviseurs de fréquences, les bascules, les additionneurs, les multiplexeurs, les mémoires, etc... Ces circuits sont réalisés dans une technologie autoalignée qui en général utilise à la fois des transistors MESFET's à enrichissement comme composant de charge et à déplétion comme composant de commande. Ces circuits ont atteint le niveau d'intégration VLSI (des circuits comportant 350000 portes sont commercialisés actuellement). Cependant l'utilisation de grilles réfractaires limite leur montée en fréquence (fréquence de coupure de l'ordre de 4 GHz pour une longueur de grille de 1 μm). De même les technologies utilisées ne sont pas compatibles avec des technologies

analogiques.

□ **les circuits intégrés opto-électroniques:** tel que les laser-drivers, les photodétecteurs-préamplificateurs, les photocoupleurs, etc... Le développement des circuits intégrés opto-électroniques est plus récent que celui des circuits logiques et MMIC. Ces circuits utilisent soit la technologie autoalignée, soit la technologie à grille creusée suivant le type de composants intégrés. Ils sont essentiellement réalisés sur substrat InP. Leur niveau d'intégration atteint actuellement la centaine de composants et leur fréquence de coupure est de l'ordre de 10 GHz.

Le problème majeur des circuits intégrés opto-électroniques est dans la compatibilité de réalisation des différents composants (FET, laser, diode PIN, résistance, etc..) sur la même structure épitaxiale. Ce problème accroît les étapes de fabrication du circuit et par conséquent l'efficacité de production et les performances des circuits intégrés seront réduites.

I.6 NOTRE CONTRIBUTION FUTURE.

Dans ce mémoire nous proposons d'apporter une contribution à la fabrication des circuits intégrés GaAs. Nous nous limiterons à la mise au point d'un nouveau procédé technologique compatible logique/analogique/opto-électronique. Nous établirons les étapes de fabrication et effectuerons une validation technologique sur des composants MESFET's de type N, MISFET's AlGaAs/GaAs, et MISFET's pseudomorphique, de type N et P.

A l'heure où nous écrivons ce mémoire les transistors de type P ne sont pas encore au point. Les aspects liés au fort courant de grille et la faible transconductance ne sont pas tous résolus. Les points essentiels qui seront traités sont:

- ➔ l'optimisation des contacts Schottky réfractaires,
- ➔ les problèmes liés aux conditions d'implantation et de recuit,
- ➔ l'amélioration de la montée en fréquence des transistors,
- ➔ la vérification des bien fondés des solutions proposées par la validation sur des dispositifs réalisés dans une technologie dont nous sommes

maîtres d'oeuvre,

↳ l'étude et la modélisation du courant de grille dans les transistors à effet de champ à hétérojonction.

I.7 CONCLUSION.

Les circuits intégrés GaAs ont atteint un niveau de maturité tel que leurs domaines d'applications s'étendent vers les circuits analogiques, logiques VLSI et opto-électroniques. Ils représentent une réelle opportunité de marché pour l'industrie GaAs.

Dans ce chapitre nous avons présenté les différentes technologies de fabrication de circuits intégrés GaAs, il s'agit de:

□ la technologie d'isolation par MESA pour les circuits intégrés monolithiques micro-ondes,

□ la technologie autoalignée qui permet de réaliser des circuits intégrés logiques rapides.

Toutes ces technologies ne permettent pas encore une intégration mixte. Pour cette raison et compte tenu du large programme et la vaste taille du projet de recherche que constitue le domaine général d'étude des circuits intégrés GaAs, nous proposons dans la suite de notre mémoire d'apporter une contribution à cette recherche. Il s'agit de développer une nouvelle technologie de fabrication permettant la réalisation de circuits intégrés mixtes.

CHAPITRE II

*Chapitre II***TECHNOLOGIE AUTOALIGNEE POUR LA REALISATION DE TRANSISTORS A EFFET DE CHAMP ET DE CIRCUITS INTEGRES****II.1 INTRODUCTION.**

Les technologies de réalisation évoluent toujours pour satisfaire deux critères primordiaux en microélectronique:

- l'amélioration des rendements de fabrication,
- la recherche de performances supérieures.

Ils sont généralement indissociables lorsque l'on prétend vouloir fabriquer des transistors et des circuits intégrés de hautes performances. Ce sont ces principes qui ont guidé les chercheurs engagés sur ce thème, au cours de ces dernières années. Ils ont débouché sur des processus utilisant des techniques d'implantation, de dépôt, de masquage, de gravure, etc., très fines et très reproductibles.

Pour ce qui est des caractéristiques électriques les travaux se font dans trois directions:

- améliorer le contrôle précis de la tension de seuil,
- réduire la dimension longitudinale de la grille,

- réduire les éléments parasites.

En effet, afin d'améliorer les caractéristiques des transistors, il est essentiel, non seulement de réduire la longueur de grille, mais aussi de minimiser les résistances d'accès dans les zones source-grille et grille-drain. La solution communément admise consiste à disposer d'une couche N^+ (généralement implantée) sur toute la surface, exceptée sous la grille.

Cette solution permet d'améliorer la qualité des contacts ohmiques de source et drain, de réduire les résistances d'accès dans les zones source-grille et grille-drain et de minimiser la déplétion naturelle dans ces espaces.

Dans l'application de cette technique nous avons développé une technologie autoalignée avec grille en T. L'objet de ce chapitre est de décrire en détail une nouvelle technologie de fabrication de transistors à effet de champ et de circuits intégrés GaAs.

II.2 LA TECHNOLOGIE AUTOALIGNEE.

Un des facteurs qui limite la performance des circuits intégrés GaAs conventionnels (utilisant la technique MESA) est la nécessité d'effectuer un réalignement critique de la grille par rapport à la zone active du canal. Pour surmonter ce problème il faut augmenter la distance source-drain mais en augmentant en même temps les résistances parasites de source et de drain ainsi que la longueur du canal. Une solution à ce problème consiste à réaliser les caissons de source et drain par implantation ionique de façon autoalignée par rapport à la grille, c'est à dire que la grille sert de masque pour la définition des bords des zones dopées N^+ (ou P^+) [Levy, 83].

Cette approche est présentée sur la Fig. 2.1. Ce procédé consiste en la succession d'opérations suivantes:

- 1) dépôt d'un métal de grille
- 2) définition de la grille
- 3) implantation N^+ (ou P^+) et recuit thermique
- 4) réalisation des contacts ohmiques.

Si cette approche permet d'obtenir des résistances parasites les plus faibles possibles ce n'est pas le cas des capacités parasites. En effet, il existe un effet inverse entre les capacités et les résistances parasites lorsque la distance entre le bord des régions N^+ (ou P^+) et la grille change. L'arrivée du contact N^+ (ou P^+) au bord de la grille permet d'avoir une résistance parasite la plus faible possible mais, une capacité parasite relativement élevée et vice versa.

Une alternative de cette technique, illustrée sur la Fig. 2.2, permet de résoudre ce problème. Il s'agit d'utiliser une structure de grille en T lors de la réalisation des caissons N^+ (ou P^+). La séparation entre la grille et les zones implantées sera fonction de la longueur de la barre du T et il sera facile de trouver un compromis entre la résistance et la capacité parasites.

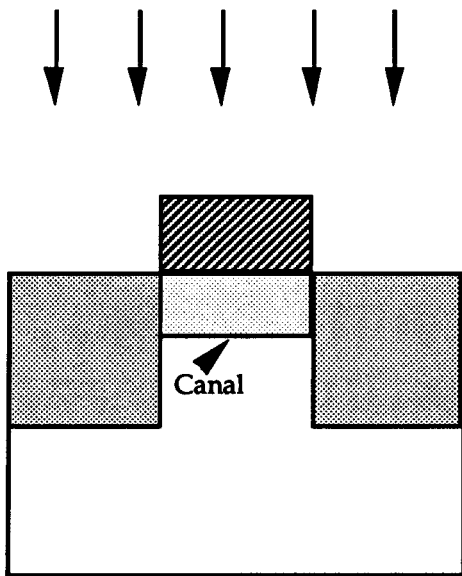


Fig. 2.1: *Technique autoalignée*

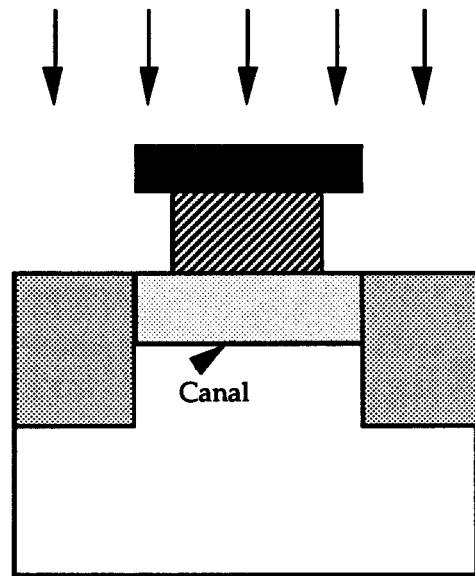


Fig. 2.2: *Technique autoalignée avec une structure de grille en T*

La technologie autoalignée est entièrement planar à l'inverse de la technologie MESA qui nécessite une attaque chimique ce qui peut induire une non uniformité de la tension de seuil. De même, cette technologie offre l'avantage majeur de n'utiliser qu'un seul masque qui est celui de la grille, le reste du procédé étant effectué sans aucun alignement critique.

Dans la suite de ce chapitre nous allons détailler les différentes étapes de réalisation de transistors à effet de champ avec cette technologie.

II.3 REALISATION DE GRILLE EN T.

II.3.1 CHOIX DU MATERIAU DE GRILLE.

La sélection d'un métal pour la réalisation des contacts Schottky des composants et des circuits intégrés doit inclure les critères suivants [Morgan, 89]:

- Le contact doit produire un comportement électrique correct pour la grille ce qui implique un contact Schottky avec une hauteur de barrière relativement élevée pour réduire les fuites.

- Une bonne stabilité durant le fonctionnement (cela peut être un problème pour la fiabilité dans les applications de puissance).

- Une bonne résistance aux réactions métallurgiques, à l'oxydation et à la corrosion.

- Une bonne adhérence mécanique avec la surface de GaAs ce qui implique ici un bon compromis entre les coefficients d'expansion thermique.

- Une résistance carrée relativement faible, en particulier dans le cas des grilles submicroniques.

- Une sélectivité de gravure potentielle entre le métal et le GaAs.

Il est très difficile de trouver un métal qui satisfait tous les critères cités ci-dessus et ceci a mené au développement du système de métallisation multicouche [Palmerston, 85] qui donne une solution optimale à ce problème.

L'utilisation de l'implantation ionique et du recuit thermique dans les technologies autoalignées impose de choisir un matériau pour la réalisation de la grille qui non seulement permet d'obtenir un très bon contact Schottky, mais aussi une excellente stabilité thermique de façon à résister au recuit d'implantation. Ce dernier est effectué à des températures supérieures à 800°C, dans la plupart des cas.

Les matériaux couramment utilisés en technologie sont l'or, l'aluminium, le nickel, le cobalt, le platine etc., mais ils présentent l'inconvénient de ne pas résister à des recuits thermiques de température élevée, en effet:

□ un dépôt de nickel ou de cobalt perd ses qualités d'adhésion vers les 350°C [Yu, 87],

□ un dépôt d'or diffuse fortement dans le semiconducteur pour des températures supérieures à 370°C,

□ un dépôt d'aluminium ou de platine se décolle à des températures supérieures à 500 °C. Il réagit avec le substrat, ce qui provoque une détérioration des qualités de la jonction [Chino, 73].

C'est pourquoi nous nous sommes tournés vers les matériaux réfractaires comme le tungstène ou certains de ces composés comme les siliciures ($W\text{Si}_x$) et les nitrures ($W\text{N}_x$) [So, 87].

Ces matériaux présentent une faible résistivité et une très bonne stabilité thermique après le recuit d'implantation [Callegari, 87]. L'ajout d'azote ou de silicium a l'avantage de stabiliser le tungstène, qui une fois saturé n'a plus tendance à réagir avec le semiconducteur pour donner des composés du type $W_2\text{As}_3$ [Yu, 88]. Le tungstène présente aussi l'avantage d'être un bon constituant pour fabriquer une barrière anti-diffusion entre le substrat et un autre métal qui réagit avec le GaAs à des températures inférieures à celles du W ou du $W\text{N}_x$, mais qui a par exemple une résistance carrée plus petite [Kattelus, 85].

II.3.2 METHODE DE DEPOT DU NITRURE DE TUNGSTENE.

Les qualités d'un contact Schottky dépendent fortement des qualités de l'interface métal-semiconducteur, il faudra donc s'assurer de la propreté de cette dernière. J.R. Waldrop [Waldrop, 82] a montré que le substrat souffrait de pollution avec l'air ambiant, et notamment d'oxydation sur une profondeur de 10 à 20 Å. Suivant les métaux utilisés l'action de la couche d'oxyde n'est pas la même. Par exemple avec un métal réactif comme l'or, il y a un phénomène de dispersion de l'oxyde qui tend donc à créer un contact "intime" entre le métal et le semiconducteur. Par contre, avec un métal non réactif et électropositif comme le tungstène, il y a réaction chimique entre ce dernier et l'oxyde pour donner une jonction graduelle composée de : $\text{Ga O} + \text{WO} + \text{WAs}$.

Une double désoxydation sera donc effectuée sur nos échantillons:

□ attaque HCl de 30 secondes avant introduction dans le bâti.

- "pulvérisation inverse" juste avant le dépôt.

Beaucoup de méthodes existent pour déposer du tungstène ou l'un de ces composés:

- Réaction avec de l'hexafluorure de tungstène [Crowell, 65].
- Diffusion dans le NH₃ [Deneuveille, 85].
- Evaporation par faisceaux d'ions [Murray, 85].
- Pulvérisation cathodique réactive [Murray, 85].

Nous emploierons la quatrième méthode qui est d'ailleurs la plus utilisée (les deux dernières méthodes sont celles qui donnent les meilleurs résultats). Elle est de plus immédiatement disponible au laboratoire.

Les avantages de la pulvérisation sont:

- ➔ bonnes qualités d'accrochage, (avec utilisation d'une pulvérisation inverse éventuellement)
- ➔ mise en oeuvre relativement simple,
- ➔ possibilité de déposer plusieurs couches de compositions différentes avec un système multi-cibles.

Ses inconvénients sont:

- ➔ pour le tungstène, vitesse de dépôt lente : inférieure à 100 Å par minute (d'où des problèmes de pollution dus au dégazage du bâti). Nous ne disposons pas d'une cible magnétron.
- ➔ à puissance importante, échauffement excessif de la cible, mais heureusement très limité pour le substrat.

Les premiers paramètres importants à fixer lors d'une pulvérisation cathodique sont la tension de polarisation et la puissance. Pour minimiser la résistivité du matériau, nous nous placerons à une polarisation de -1600 Volts et une puissance de 200 Watts. Les résultats obtenus sont cohérents avec la courbe de R. Murray [Murray, 85] (voir Fig. 2.3).

Un autre paramètre important à fixer est le pourcentage d'azote dans le gaz de pulvérisation qui se définit à partir des pressions partielles des gaz $\gamma (= P_{N_2}/[P_{N_2}+P_{Ar}])$ (voir Fig. 2.4.):

- pour $0 < \gamma < 0.2$, la résistivité de la couche a une valeur quasi-constante,
- pour $\gamma > 0.2$, la résistivité croit rapidement surtout pour $\gamma > 0.5$.

Le mélange choisi est $\gamma = 0.035$. Cette composition gazeuse a été celle utilisée au LEP pour leurs MISFET's. Elle a été optimisée de façon à obtenir une hauteur de barrière ϕ_b la plus élevée possible [Paccagnella, 91].

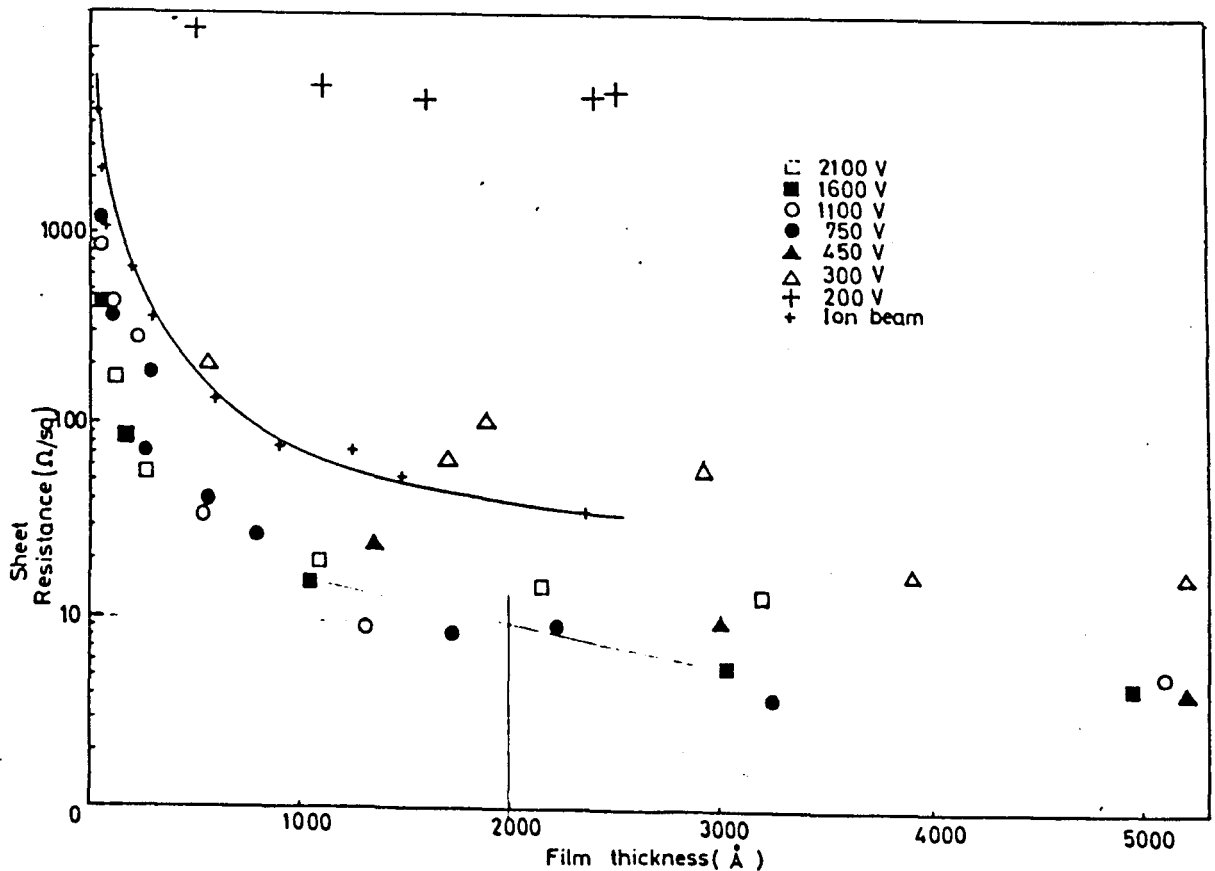


Fig. 2.3: Dépendance de la résistance carrée de films déposés par pulvérisation en fonction de la tension de polarisation.

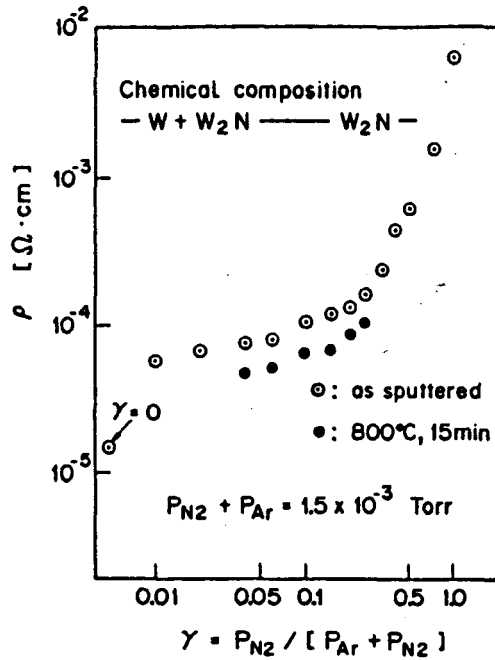


Fig. 2.4: Résistivité d'un film de WN, déposé sur du substrat GaAs semi-insolant, en fonction de la pression partielle d'azote, avant et après recuit à 800°C pendant 15 minutes [Yamagishi, 84].

Pression total	10 ⁻² Torr
P _{N₂} /(P _{N₂} + P _{Ar})	3.5%
Puissance	200 W
Tension de polarisation	1200Volt
Vitesse de dépôt	50 Å/min

Tableau 2.1: Condition de dépôt du WN par pulvérisation cathodique

Afin d'optimiser les différents paramètres cités ci-dessus nous avons réalisé des diodes Schottky en structure mesa sur des substrat GaAs N/N⁺, les conditions optimales de dépôt sont regroupés dans le tableau 2.1. Un exemple de diodes Schottky réalisées est présenté sur la Fig. 2.5. Nous avons mesuré un facteur d'idéalité de 1.3, une hauteur de barrière de 0.95 V et une tension de claquage de 15V.

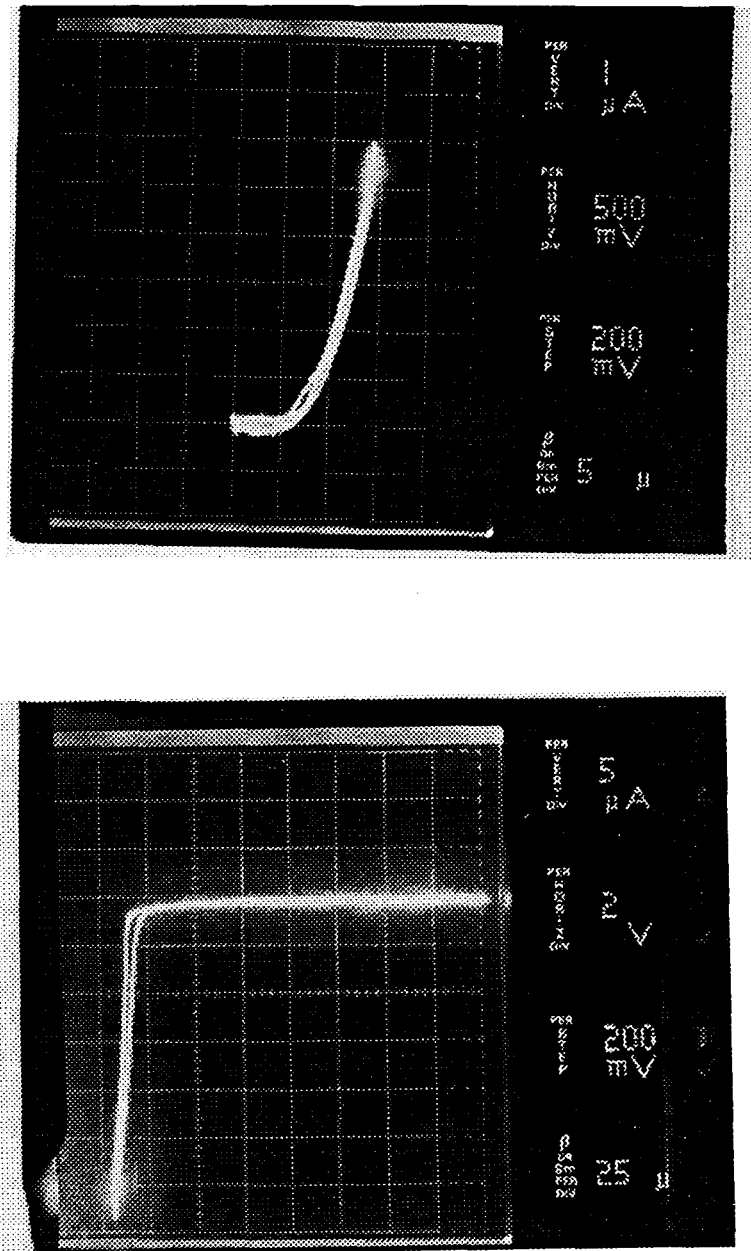


Fig. 2.5: Exemple d'une diode Schottky réalisée à l'aide en nitrure de tungstène

II.3.3. REALISATION DE LA BARRE DU T.

Après le dépôt du WN nous réalisons la barre du T de la grille. Comme nous l'avons dit au début de ce chapitre cette barre sert à créer un espacement très court entre la grille et le bord des caissons de source et drain qui seront implantés par la suite. Pour cela nous effectuerons un dépôt métallique au dessus de la couche de WN à travers un masque de grille.

Différents types de métaux tels que le Ni, le Ti ou l'Al peuvent être utilisés pour réaliser la barre du T. Nous avons choisi le nickel car il résiste à la gravure ionique réactive (GIR) utilisée dans ce procédé lors de la définition de la grille, et il s'enlève facilement par attaque chimique avant le recuit thermique d'implantation.

Le nickel est déposé par évaporation sous vide suivie d'un lift-off. L'épaisseur de la couche de Ni utilisée est de 1500 Å. C'est au cours de cette étape que la géométrie de la grille est essentiellement définie.

II.3.4 DEFINITION DE LA GRILLE.

La définition de la grille nécessite une gravure anisotrope du WN, et sélective par rapport au Ni et au GaAs. La gravure ionique réactive GIR ou RIE (Réactive Ion Etching) convient très bien à notre procédé. En effet le GIR assure:

- ➡ une excellente uniformité d'attaque sur toute la plaquette,
- ➡ une très bonne sélectivité,
- ➡ un excellent contrôle de fin d'attaque.

Les gaz utilisés couramment dans la gravure GIR sont le SF₆, le CF₄, le CCl₄, le CF₄/O₂ et le HCF₃. Nous avons étudié et mesuré la vitesse d'attaque du WN, GaAs, Si₃N₄, SiO₂, et Ni en fonction des gaz d'attaque suivants: le CF₄, SF₆, ou le CF₄ + 8% O₂. Les conditions de gravure et les vitesses d'attaque mesurées sont présentées dans les tableaux 2.2. et 2.3 respectivement.

Pression Partielle	50 mTorr
Puissance	60 - 70 W
Débit de gaz	95 cm ³
Tension de polarisation	340 Volt

Tableau 2.2: Conditions de gravure par GIR

	CF ₄	CF ₄ + 8% O ₂	SF ₆
GaAs	50	50	50
WN	250	560	2250
Si ₃ N ₄	1200	1350	5400
SiO ₂			850

Tableau 2.3: Vitesse de gravure par GIR en Å/min des différents composés.

Pour définir la grille il faut:

- ➔ attaquer le WN partout en dehors du masque en ,nickel,
- ➔ attaquer le WN en dessous du masque mais en maîtrisant la longueur sous-gravée,
- ➔ ne pas attaquer le Ni ou le GaAs.

Pour graver le WN les différents gaz peuvent être utilisés sans aucun problème [Tang, 84]. De même la gravure du GaAs est très lente quelque soit le gaz utilisé. Cependant seul le CF₄ mélangé avec de l'oxygène n'attaque pas le Ni, ceci s'explique par le fait que l'oxygène ajouté au CF₄ réagit avec le Ni et forme

une couche d'oxyde à sa surface empêchant ainsi l'attaque du nickel. Notons que plus le pourcentage d'oxygène est important plus la vitesse d'attaque est grande.

Nous avons choisi comme gaz d'attaque pour la définition de la grille le $CF_4+8\%O_2$. Les conditions de gravure sont celles citées dans le tableau 2.2.

Une photo prise au microscope électronique d'une grille en T telle que celles réalisées est présentée sur la Fig. 2.6.

Lors de la définition de la grille le WN n'est pas complètement gravé, nous faisons en sorte d'en garder une fine couche de 100 à 150 Å d'épaisseur sur toute la surface de la plaquette. Cette couche servira à protéger le GaAs pendant l'implantation ionique et l'attaque du Ni.

Après l'implantation ionique et avant le recuit thermique le nickel est enlevé par une attaque chimique. Nous utilisons comme solution d'attaque l'acide chlorhydrique qui n'attaque pas le tungstène et très légèrement le GaAs, mais comme la surface du GaAs est protégée par une couche de WN il n'y a aucun risque d'attaque du GaAs. La vitesse d'attaque du Ni avec le HCl est de 300 Å/mn.

Finalement la fine couche restante de WN est enlevée par gravure ionique réactive, ce qui met le GaAs à nu.

II.4 REALISATION DES CAISSONS DE SOURCE ET DE DRAIN*.

Les contacts N^+ (ou P^+) de source et drain sont réalisés par implantation ionique** et recuit thermique.

Comme nous le disions à l'instant l'implantation ionique se fait à travers une couche fine (de l'ordre de 100 Å) de WN afin de protéger le substrat de GaAs.

La dose d'impuretés implantées est choisie de façon à obtenir des caissons fortement dopés (de l'ordre de $4.10^{18} \text{ cm}^{-3}$) pour obtenir des contacts ohmiques de

* L'implantation ionique et le recuit thermique ont été effectués par M^{elle} B. Descout et M. P. Crauz au service d'implantation à France Télécom CNET de Bagneux.

** Pour plus de détails sur l'implantation ionique dans l'arseniure de gallium, voir les articles de [De Souza, 92], [Anholt, 88 et 89], [Khiel, 91] et [Adachi, 88].

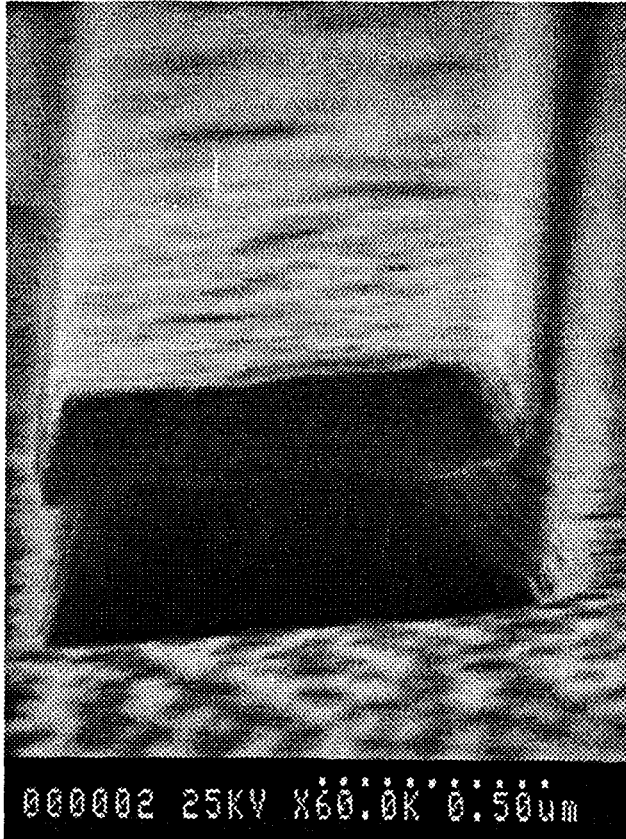


Fig. 2.6: Grille en T Ni/WN*

*Photographie par microscopie électronique faite à France télécom CNET de Bagnex.

bonnes qualités et des faibles résistances parasites. L'énergie est fixée telle que le maximum de la distribution des ions implantés R_p se trouve au voisinage de l'interface de la couche active et la couche tampon située dessous. Le faisceau d'ions est incliné d'un angle de 7° pour limiter l'effet de canalisation.

Comme dopant de type N nous avons utilisé le silicium ^{29}Si , et comme dopant de type P le magnésium.

Après implantation les impuretés sont inactives, un recuit thermique à très haute température est nécessaire pour les activer.

Les recuits d'implantation dans le GaAs sont totalement inactifs en dessous de 700°C . Cependant le GaAs est instable au delà de 500°C , l'arsenic s'évapore facilement à partir de 600°C . Il est donc nécessaire de prendre des précautions pendant le recuit d'implantation afin de protéger le GaAs et empêcher l'évaporation de l'arsenic.

Plusieurs techniques de recuits ont été développées. Les meilleurs résultats sont obtenus par la technique de recuit thermique rapide sous ambiance d'arsine [Pearton, 85], [Myers, 92]. Malheureusement l'utilisation de l'arsine dans cette technique impose l'installation d'équipements de sécurité spéciaux dont nous ne disposons pas. Néanmoins, nous avons utilisé une technique de recuit thermique rapide développé au CNET - Bagnex qui donne de très bons résultats sans utiliser de gaz toxiques.

La technique de recuit thermique rapide consiste à porter l'échantillon à une température élevée ($> 800^\circ\text{C}$) pendant un temps très court en utilisant un dispositif expérimental à très faible inertie thermique.

Le four utilisé est un four AET-RV 1000. Deux séries de lampes sont disposées en dessus et en dessous d'une chambre de recuit en quartz. Pour protéger le GaAs pendant le recuit et éviter l'évaporation de l'arsenic, une couche de 500 \AA de Si_3N_4 est déposée par PECVD. L'échantillon est ensuite mis en face de la surface polie d'un substrat de GaAs enrichi en arsenic, le tout (l'échantillon et le substrat) est pris en sandwich entre deux substrats de silicium comme le montre la Fig. 2.7.

Le recuit est effectué dans une atmosphère $\text{N}_2 + 10\% \text{ H}_2$. Avant le recuit un balayage de gaz est effectué (trois fois) pour s'assurer de la propreté de l'ambiance dans le four.

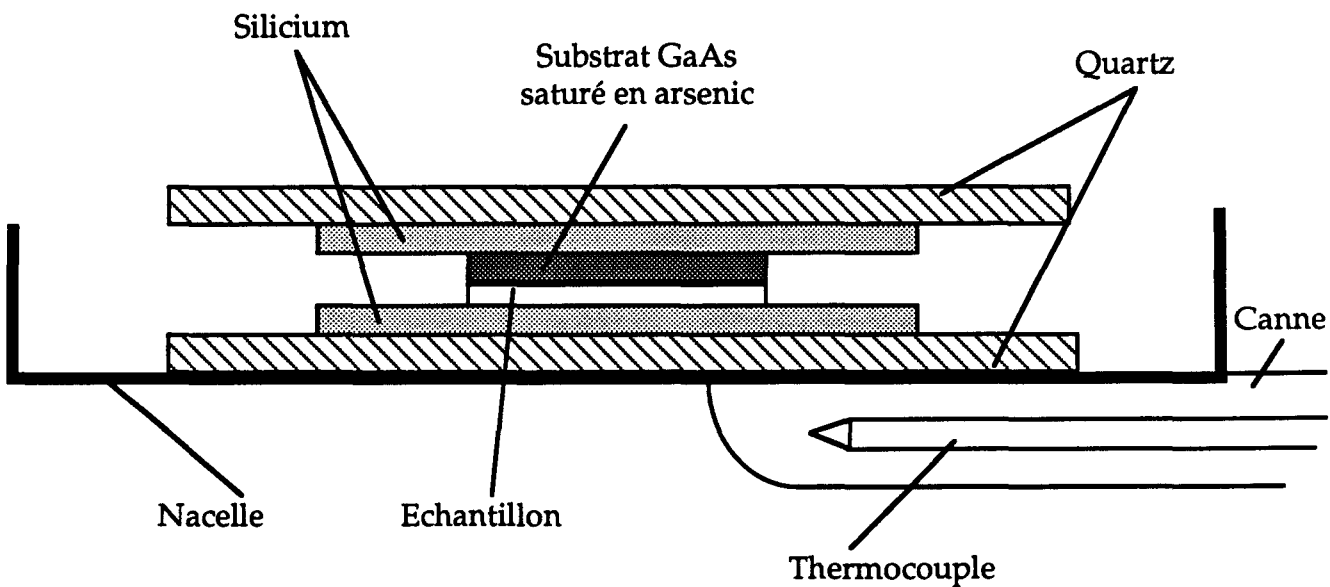


Fig. 2.7: Configuration de l'échantillon dans le four lors du recuit thermique rapide.

La température et la durée de recuit n'est pas la même pour tous les types d'impuretés. En effet si la température ou la durée de recuit sont plus élevées que nécessaire, les impuretés diffusent latéralement dans le substrat. De même si ces deux paramètres sont inférieurs aux valeurs désirées le taux d'activation des impuretés ne sera pas maximal. Pour une implantation silicium le recuit est effectué à 900°C pendant 5s. Par contre lors d'une implantation magnésium il est effectué à 850°C pendant 1s. Les profils de température de recuits des deux types d'impuretés sont représentés sur les Fig. 2.8 et 2.9 respectivement.

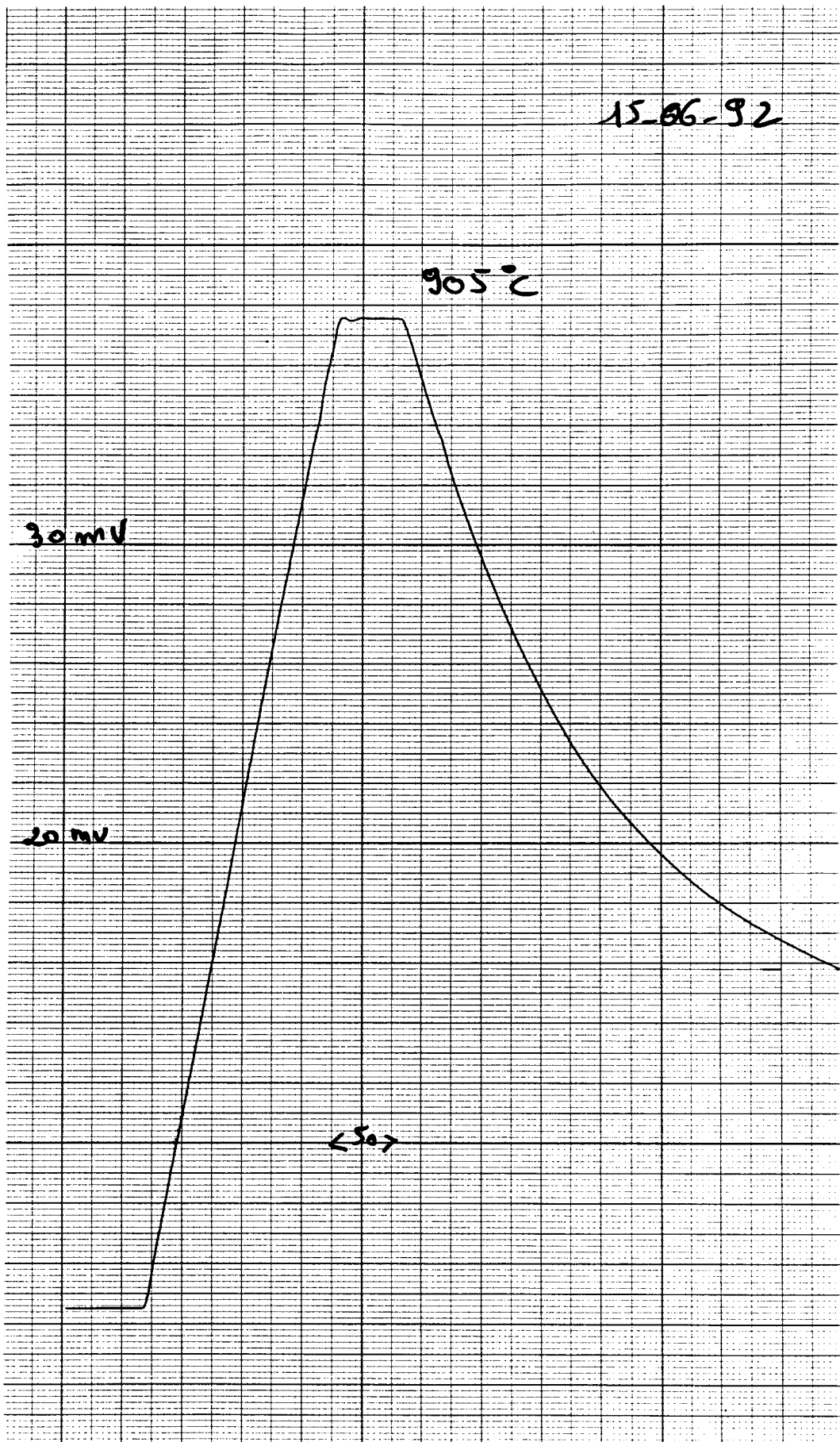


Fig. 2.8: Profil de température de recuit d'implantation de silicium

10-06-92

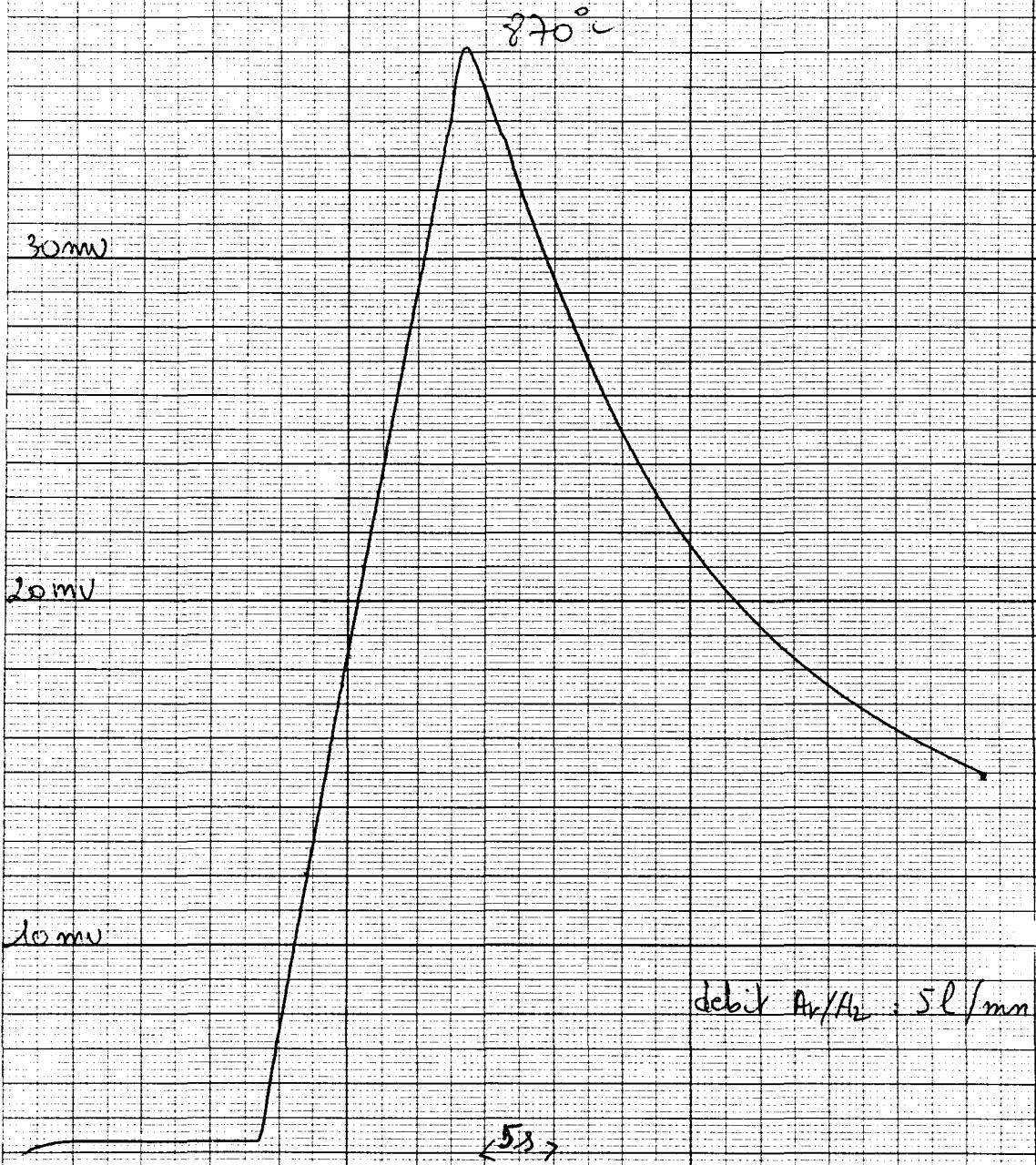


Fig. 2.9: Profil de température de recuit d'implantation magnésium.

II.5 REALISATION DES CONTACTS OHMIQUES.

Les contacts ohmiques permettent l'accès au drain et à la source. Ils sont définis par lift-off. La métallisation utilisée diffère suivant le type de conduction des caissons. Elle doit être la moins résistive possible, fiable, et largement utilisable pour la réalisation des contacts ohmiques.

Les contacts ohmiques de type N sont réalisés par évaporation d'un eutectique mixte d'AuGe (88-12%, 1200/500 Å respectivement) suivi d'un dépôt d'une fine couche de 500 Å de Ni. Le germanium joue le rôle d'un dopant N⁺ du semiconducteur, le nickel est utilisé pour maintenir un état de surface lisse durant l'opération. Un recuit thermique rapide à 450°C pendant 45s est nécessaire pour la formation de l'alliage AuGeNi [Heilblum, 82].

Les contacts ohmiques de type P sont réalisés par évaporation sous vide d'un eutectique AuMn (1900/300 Å, respectivement). Le magnésium joue ici le rôle du germanium en surdopant P⁺ le semiconducteur. L'alliage est formé après un recuit thermique à 400°C.

II.6 EPAISSISSEMENT DE LA GRILLE EN TiPtAu.

Par rapport aux matériaux classiques utilisés en technologie GaAs, les matériaux réfractaires présentent des résistances de grille très élevées et par conséquent des fréquences de coupure plus faibles, ce qui limite les applications des transistors et des circuits intégrés à grilles réfractaires en hyperfréquences comme l'amplification faible bruit par exemple.

Pour réduire cette résistance on peut essayer de recouvrir la grille réfractaire trop résistive à l'aide d'un métal bon conducteur. La solution consiste à se réaligner d'une façon très précise sur la grille pour déposer le métal. Cela signifie donc perdre l'avantage principal de la technologie autoalignée, de n'effectuer aucun alignement critique après la réalisation de la grille et donc de réduire le rendement et la reproductibilité de cette technologie.

Nous avons utilisé une nouvelle méthode originale qui permet de déposer un métal sur la grille sans aucun alignement critique.

Pour cela nous utilisons une résine photosensible tri-couche PMMA/P(MMA/MAA)/PMMA. Cette résine a la propriété d'être très sensible

lorsqu'elle est déposée sur un métal et beaucoup moins sensible si elle est déposée sur le GaAs. On dépose cette résine sur la plaquette et on expose la plaquette à travers un masque de grille beaucoup plus large que la grille déjà réalisée dans un masqueur électronique Cambridge EBMF 2.4. Le masque s'ouvre uniquement au dessus de la grille. Ceci s'explique par l'existence d'un effet de retrodiffusion des électrons dû à la métallisation. Dans cette technique il faut faire attention de ne pas exposer la résine au dessus des contacts ohmiques, car la résine peut s'ouvrir au dessus des contacts ohmiques dans ce cas. Notons que cette étape peut s'effectuer avant le dépôt des contacts ohmiques. Le principe de cette technique est schématisé sur la Fig. 2.10.

Après la définition du masque on dépose une couche de 4250 Å de TiPtAu par évaporation sous vide et lift-off selon la procédure type de la grille des transistors à effet de champ pour hyperfréquences.

L'avantage de cette méthode est de pouvoir réduire la résistance de grille d'un facteur dix ou plus sans avoir besoin d'effectuer aucun alignement précis au-dessus de la grille. La Fig. 2.11. montre une photographie en microscopie électronique de la grille finale réalisée en WN/TiPtAu.

II.7 METALLISATION

L'étape finale dans ce procédé est la réalisation des métallisations des plots de source, grille et drain. Pour cela on dépose une couche de 5000 Å de TiAu par évaporation sous vide et lift-off.

Une photo d'un transistor à effet de champ complet ainsi qu'un résumé de notre procédé technologique sont insérés sur les Fig. 2. 12 et 2.13 respectivement.

II.8 CONCLUSION.

Dans ce chapitre, nous avons présenté l'ensemble des étapes technologiques nécessaires pour la réalisation de transistors à effet de champ et de circuits intégrés en GaAs.

Mais pour conclure au devenir en microélectronique du procédé, un travail important reste à réaliser pour optimiser la plupart des étapes technologiques,

comme la gravure par plasmas, l'implantation ionique d'ions N, ou P, les recuits d'activation, la formation des contacts ohmiques sur des couches de type P. etc..

Par exemple, il est indispensable de comprendre les phénomènes qui interviennent à l'interface métal-semiconducteur non dopé. Il faut étudier en parallèle l'influence de la diffusion des ions implantés pendant le recuit, sur les performances des transistors.

Enfin, pour évaluer l'intérêt que peut représenter un procédé de fabrication totalement autoaligné, il nous reste maintenant à réaliser des transistors à effet de champ et c'est la description de l'élaboration et de la caractérisation de ces composants que nous allons présenter dans le prochain chapitre.

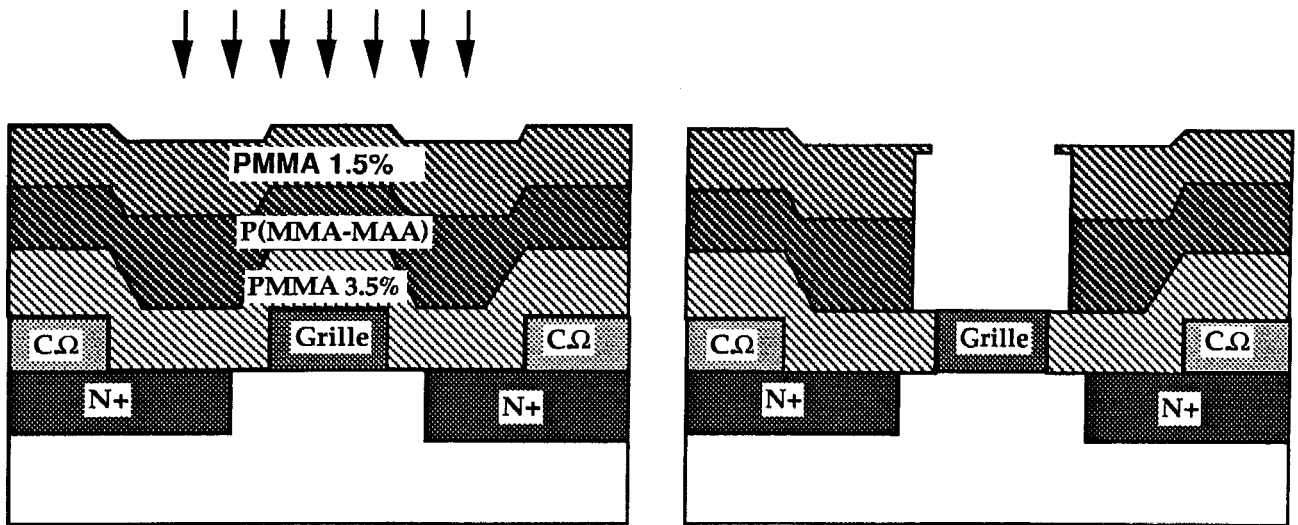


Fig. 2.10: Technique d'épaississement de grille autoalignée.

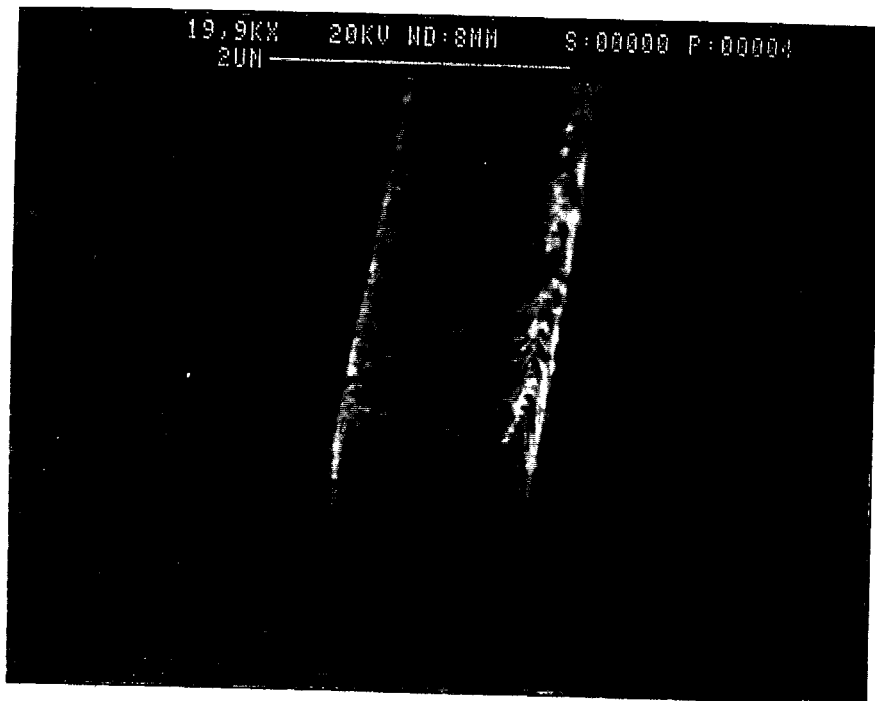


Fig. 2.11: Photographie par microscopie électronique d'une grille épaissie en TiPtAu.

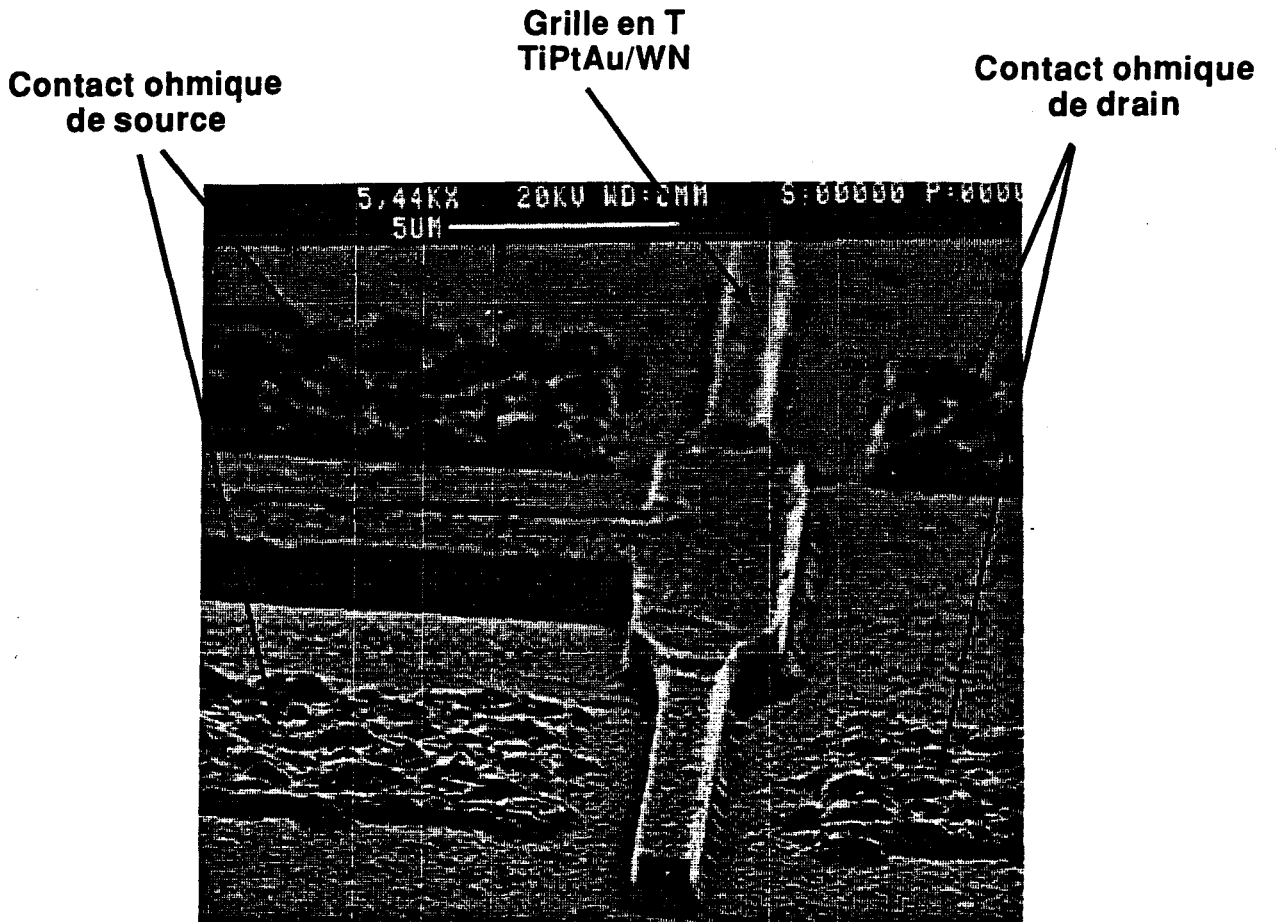


Fig. 2.12: Photographie d'un transistor à effet de champ réalisé par notre procédé technologique.

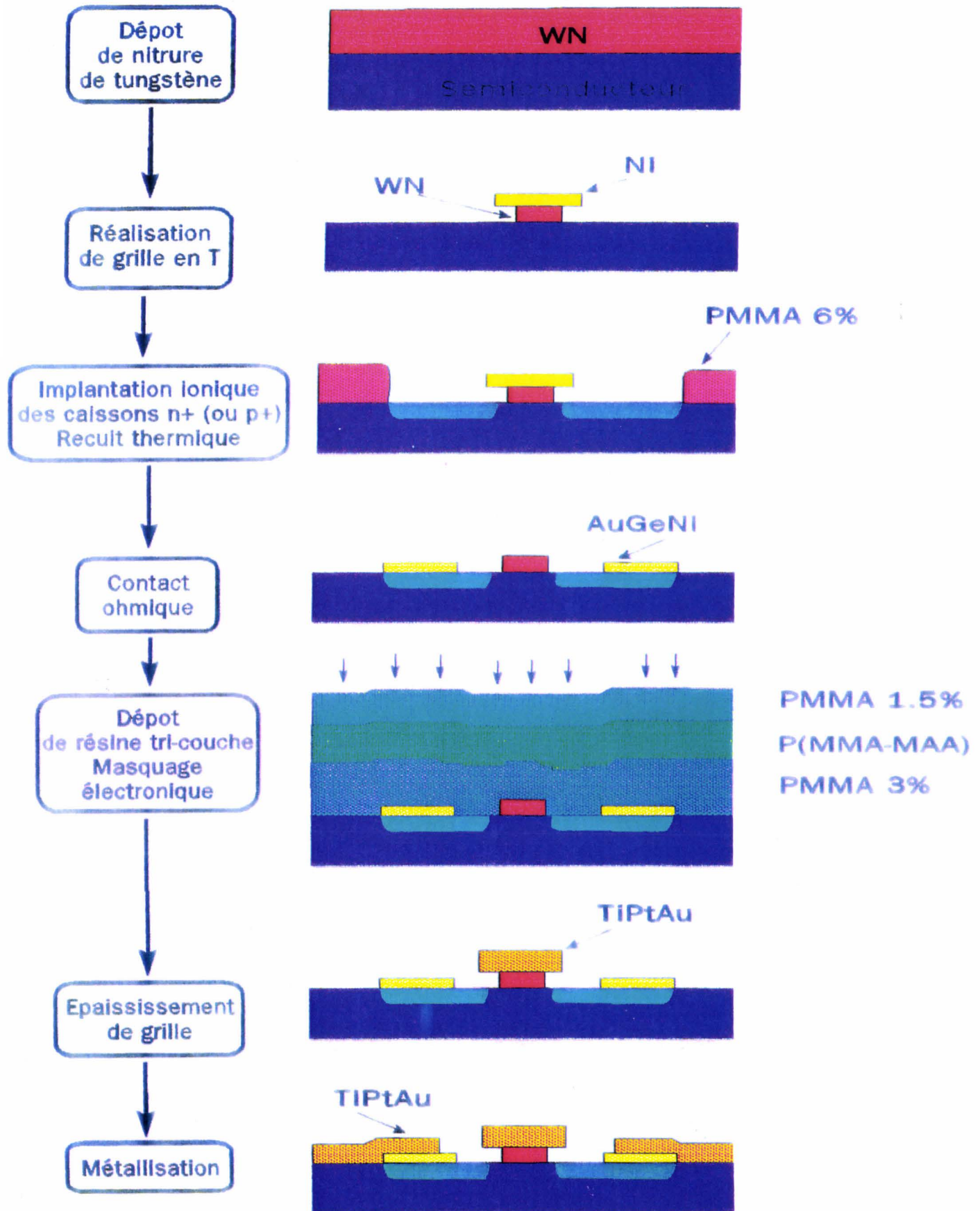


Fig. 2.13: Séquence de fabrication de transistor à effet de champ par notre procédé autoaligné multifonction

CHAPITRE III

Chapitre III

REALISATION ET CARACTERISATION DES TRANSISTORS A EFFET DE CHAMP SUR ARSENIURE DE GALLIUM

III.1 INTRODUCTION.

Dans les chapitres précédents nous nous sommes intéressés à l'étude des technologies de fabrication de circuits intégrés sur GaAs. Une nouvelle technologie autoalignée a été proposée et a porté sur les deux points suivants: i) l'intégration monolithique et ii) les circuits intégrés logiques et/ou hyperfréquences.

Pour compléter cet aspect pratique et vérifier le bien fondé de cette technologie nous proposons dans ce chapitre de décrire la réalisation de transistors à effet de champ MESFET et MISFET. Nous décrivons les phases de conception et de réalisation depuis le dessin de masque jusqu'aux tests électriques des produits réalisés.

Ce chapitre est divisé en cinq parties:

- La première partie concerne les transistors MESFET's; nous étudions la faisabilité de circuits intégrés MESFET's.
- La deuxième partie traite les transistors MISFET's de type N à structure conventionnelle AlGaAs/GaAs. Un premier paragraphe est consacré au problème

de l'implantation ionique; nous comparerons les performances des transistors pour des doses d'implantation différentes. Dans un second paragraphe nous nous intéresserons aux caractéristiques hyperfréquences des transistors. Dans ce cadre nous étudions ainsi:

- la dépendance de la résistance de grille avec le matériau utilisé,
- l'évolution des performances hyperfréquences avec les paramètres technologiques.

Le reste de cette seconde partie concernera l'évaluation des performances logiques des transistors réalisés. Une caractérisation électrique statique complète des MISFET's conventionnels sera effectuée.

□ Dans la troisième partie on étudiera le transistor MISFET pseudomorphique (PM) AlGaAs/InGaAs/GaAs. Nous effectuerons une étude similaire à celle réalisée dans la deuxième partie. Une étude comparative des MISFET's conventionnels et des MISFET's pseudomorphiques sera effectuée.

□ La quatrième partie sera consacrée à l'étude des transistors à effet de champ MISFET's de type P. Nous montrons une première réalisation et nous proposerons en particulier les améliorations technologiques nécessaires pour l'obtention de transistors MISFET's de type P de meilleure qualité.

□ La cinquième partie sera consacrée à l'étude du courant de grille. Nous analyserons les mécanismes physiques qui interviennent dans ce courant et nous proposerons un modèle quantique bidimensionnel pour l'étude du courant de grille. Il est important de voir que le courant de grille dans ces composants est le phénomène physique parasite qui influe sans doute le plus négativement sur les performances ultimes des transistors MISFET's. Toute étude ou simulation soignée du MISFET doit tenir compte de ce courant de grille de façon la plus précise possible.

Dans ce chapitre nous nous limiterons à l'étude de la faisabilité des composants et nous proposerons dans chaque cas les améliorations nécessaires pour rendre les performances meilleures. Ce n'est qu'au terme de telles études expérimentales qu'il nous sera possible de démontrer l'intérêt de notre procédé technologiques pour la réalisation de transistors et de circuits intégrés logique en arséniure de gallium.

III.2 LE TRANSISTOR MESFET.

C'est le premier composant réalisé sur GaAs. Le premier MESFET a été fabriqué en 1966 [Mead, 66] par évaporation d'une grille à barrière Schottky en aluminium directement sur une couche GaAs de type N. Depuis, les progrès technologiques notamment l'apparition des techniques d'épitaxies fines ont permis le développement du transistor MESFET.

Le MESFET tire ses excellentes performances de trois propriétés essentielles:

- l'existence du substrat semi-isolant de haute qualité contre lequel vient se pincer le canal,
- la possibilité d'utiliser une électrode de contrôle de type Schottky de grande qualité,
- la mobilité élevée des électrons du GaAs.

III.2.1 STRUCTURE MBE ET REALISATION TECHNOLOGIQUE.

La structure utilisée pour la réalisation du transistor MESFET est représentée sur la Fig. 3.1. Elle est réalisée par épitaxie par jet moléculaire. Elle est constituée d'une couche tampon GaAs non dopé sur laquelle est déposée une couche de GaAs dopé $3.10^{17} \text{ cm}^{-2}$ de 800 Å d'épaisseur suivie d'une fine couche de 50 Å de GaAs non dopée.

GaAs nid	50 Å
GaAs 3.10^{17} nid	800 Å
GaAs nid	5000 Å
Substrat S.I.	

Fig. 3.1: Structure épitaxiale du MESFET standard

La Fig. 3.2 montre un transistor MESFET tel que celui réalisé ici. Le procédé de fabrication du MESFET est résumé ci-dessous:

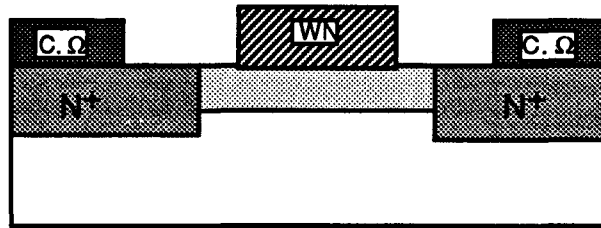


Fig. 3.2: transistor MESFET

- ➔ Dépôt de 2000 Å de nitrure de tungstène.
- ➔ Réalisation d'un masque de grille.
- ➔ Dépôt de 1500 Å de nickel.
- ➔ Définition de la grille par gravure ionique réactive au $\text{CF}_4 + 8\% \text{O}_2$.
- ➔ Réalisation des caissons de source et de drain par implantation ionique de ^{29}Si (120Kev, $3.10^{13} \text{ cm}^{-3}$).
- ➔ Retrait du nickel par attaque chimique.
- ➔ Recuit thermique rapide d'implantation à 900°C pendant 5s pour l'activation des ions implantés.
- ➔ Dépôt métallique des contacts ohmiques en Au/Ge/Ni.
- ➔ Epaisseur des plots de contacts de source, de grille, et de drain en TiAu.

III.2.2 LE MASQUE.

Le masque est composé de trois transistors de développement de grille de deux doigts, et d'une barrette de résistances formée de plots de $75 \mu\text{m}$ de large éloignés de 5, 10 et $20 \mu\text{m}$.

Les caractéristiques géométriques exactes des grilles des transistors sont:

dimensions de grille: $2 \cdot 35 \cdot 0.8 \mu\text{m} \cdot \mu\text{m}$

$2 \cdot 50 \cdot 1 \mu\text{m} \cdot \mu\text{m}$

$2 \cdot 75 \cdot 2 \mu\text{m} \cdot \mu\text{m}$.

(nombre de doigts * largeur de grille * longueur)

III.2.3 CARACTERISATION ELECTRIQUE.

III.2.3.1 CARACTERISATION STATIQUE.

Pour évaluer les performances statiques des MESFET's réalisés nous avons utilisé un banc de mesure HP opérationnel à l'IEMN-DHS, et permettant un traitement immédiat des mesures électriques effectuées. Ainsi nous avons mesuré tous les paramètres statiques tels que la caractéristique de sortie, la transconductance, et la tension de seuil.

Un exemple des caractéristiques obtenues est illustré sur la Fig. 3.3. Il s'agit d'un transistor MESFET $2 \cdot 35 \cdot 0.8 \mu\text{m}^2$. La transconductance g_m est de 91 mS/mm, la conductance de sortie g_d est de 4 mS/mm, d'où un gain statique (g_m/g_d) de 20. Le facteur β (valeur maximum de $\delta g_m / \delta V_{gs}$) est de l'ordre de 143 mS/V/mm.

Le courant de saturation I_{dss} (mesuré pour $V_{gs} = 0 \text{ V}$ et $V_{ds} = 3 \text{ V}$) est de 43 mA/mm. La tension de seuil V_{th} (définie comme étant la tension V_{gs} nécessaire pour obtenir un courant drain source égal à 5% de I_{dss}) est de -0.8 V.

Le fonctionnement des MESFET's est très bon en enrichissement mais aussi en déplétion. Nous avons noté que la tension de claquage V_{BR} est de l'ordre de 8V. Ils supportent une tension V_{gs} de 3V et une tension V_{ds} de 11V sans destruction.

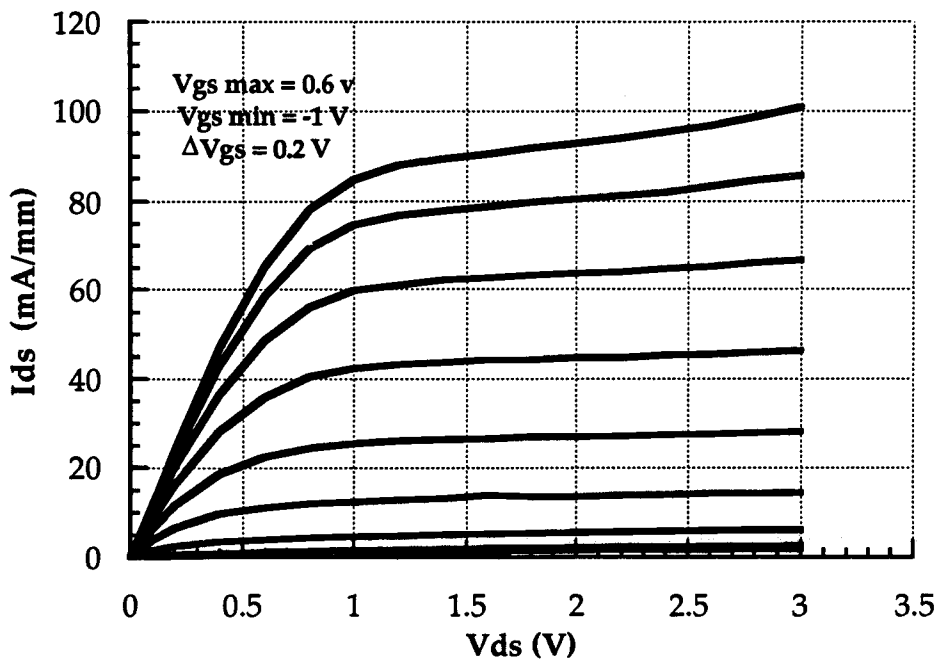


Fig. 3.3: Caractéristique de sortie $I_{ds}(V_{ds})$ d'un transistor MESFET $2 \times 35 \times 0.8 \mu\text{m}^2$.

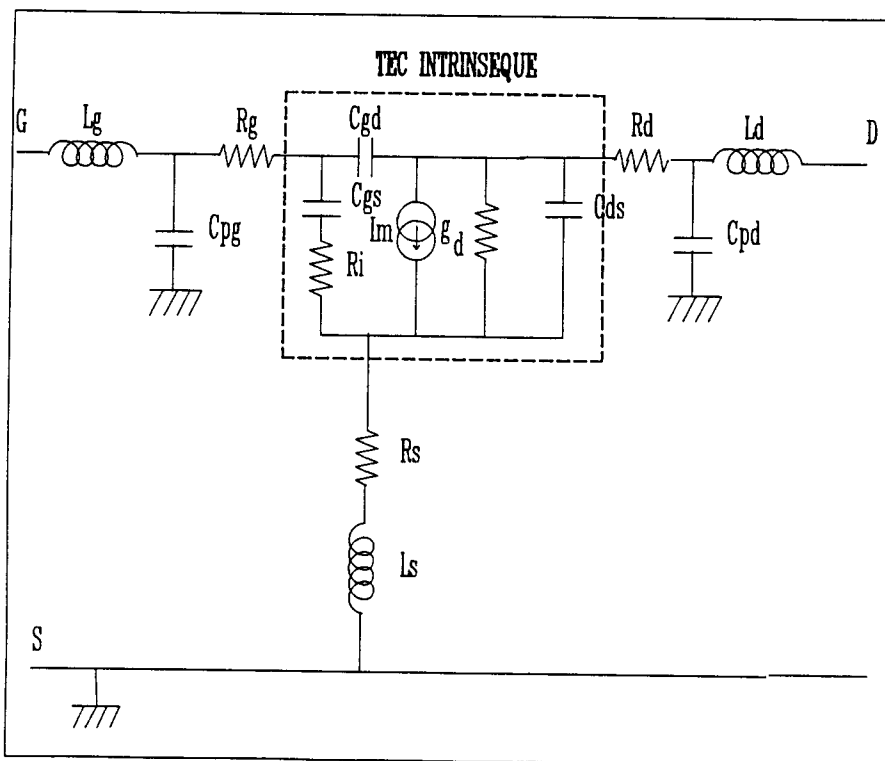


Fig. 3.4: Schéma équivalent petit signal hyperfréquence d'un transistor à effet de champ.

III.2.3.2 CARACTERISATION HYPERFREQUENCE.

Les mesures hyperfréquences des paramètres S permettent de déterminer directement le schéma équivalent petit signal du transistor, dans une large bande de fréquence. L'évaluation de ce schéma permet d'obtenir les éléments du transistor dits "intrinsèques" et la connaissance des éléments d'accès à ce transistor intrinsèque [Dambrine, 88].

Le schéma équivalent que nous avons utilisé est représenté sur la Fig. 3.4. La mesure des paramètres S, puis la détermination des éléments du schéma équivalent, permettent de connaître, entre autre, F_c , la fréquence de coupure de transistor, qui est la fréquence à laquelle le gain en courant, H_{21} est égal à un, le gain maximum disponible (MAG) et la fréquence maximale de transition du gain maximum disponible, F_m .

Les différents paramètres du schéma équivalent mesurés (pour le même MESFET caractérisé en statique) sont regroupés dans le tableau 3.1.

R_s (Ω .mm)	1.05	C_{gd} (pF/mm)	0.02
R_d (Ω .mm)	3.3	τ (ps)	2.3
R_g (k Ω /mm)	3.42	F_0 (GHz)	8.4
g_{mint} (mS/mm)	86.1	F_m (GHz)	5
g_{dint} (mS/mm)	12.8	F_c (GHz)	4.79
C_{gs} (pF/mm)	2.85	H_{21} (db) $f = 2$ GHz	4.46
C_{ds} (pF/mm)	0.07	Mag (db) $f = 2$ GHz	3.04

Tableau 3.1.: Paramètre hyperfréquences du MESFET caractérisé en Fig.3.3.

Les valeurs des résistances d'accès relativement élevées sont sans doute dues aux conditions d'implantation (énergie et dose) qui n'ont pas été

optimisées. La faible fréquence de coupure peut être liée à l'utilisation d'une grille réfractaire de résistivité importante. Pour situer les performances que nous avons obtenus, on peut les comparer* avec celles qui sont réalisées ailleurs. En effet Vitesse Semic. fabrique des circuits intégrés logiques MESFET de 0.6 μm de longueur de grille, qui ont une transconductance de 250 mS/mm, un facteur β de 390 mS/V/mm et une résistance parasite de source R_s de 0.8 $\Omega\cdot\text{mm}$ [Mikelson, 91]. De même NTT a fabriqué dernièrement des transistors MESFET's faible bruit de 0.3 μm de longueur de grille qui ont une transconductance de 450 mS/mm, une résistance parasite de source R_s de 0.3 $\Omega\cdot\text{mm}$ et une fréquence de coupure intrinsèque de 74 GHz [Onodera, 91].

III.2.4 CONCLUSION SUR LES MESFET's.

Lors de cette première réalisation nous avons essentiellement voulu étudier la faisabilité du dispositif en visant des chances de réussite aussi grandes que possible. En conséquence la structure réalisée est loin d'être optimisée. Les performances des MESFET's peuvent certainement être améliorées. Pour cela il faut:

- Optimiser l'énergie et la dose d'implantation ce qui permettrait d'augmenter le courant I_{dss} , la transconductance et de réduire la résistance parasite de source et de drain.
- Optimiser la qualité des couches épitaxiales sachant qu'elles doivent supporter des traitements thermiques à température très élevée.
- Effectuer un épaissement de la grille en TiPtAu par le procédé tricouche décrit au chapitre II, ce qui améliorera les performances hyperfréquences des MESFET's.

Cependant cette étude montre que notre procédé technologique a permis la réalisation de MESFET's de performances significatives bien que les procédés n'aient pas été optimisés pour ce type de composant.

Bien que, jusqu'à présent, aucune étude n'a été faite par nous sur l'évaluation de l'uniformité des MESFET's réalisés ici, tout porte à croire que

* De même, voir les articles de [Sadler, 90 et 91], [Grave, 91], [Jackson, 90] et [Bahl, 90].

cette technologie est utilisable pour la fabrication de circuits intégrés sur substrat GaAs en vue d'application pour la logique rapide.

III.3 LE MISFET.

Le transistor MISFET ressemble par sa structure à un HEMT. La structure épitaxiée du MISFET est constituée d'une couche tampon de GaAs non dopée sur laquelle a été déposée une couche de AlGaAs non dopée d'une épaisseur de quelques dizaines de nanomètres. La fraction molaire d'AlAs est variable et peut être choisie en fonction de facteurs d'optimisation divers.

L'absence de dopage dans la couche d'AlGaAs se traduit dans le cas du MISFET par l'insensibilité de la tension de seuil aux paramètres de la structure d'où il résulte une meilleure uniformité de cette dernière. En effet, la tension de seuil s'exprime dans le cas du MISFET par la différence des deux hauteurs de barrière, métal/AlGaAs Φ_b , d'une part et AlGaAs /GaAs ΔE_c d'autre part (Fig. 3.5).

$$V_{th} = \Phi_b - \Delta E_c$$

De même l'absence de dopage dans la couche d'AlGaAs implique la suppression ou au moins la diminution de l'effet des pièges liés à la présence d'un dopage comme les centres DX par exemple.

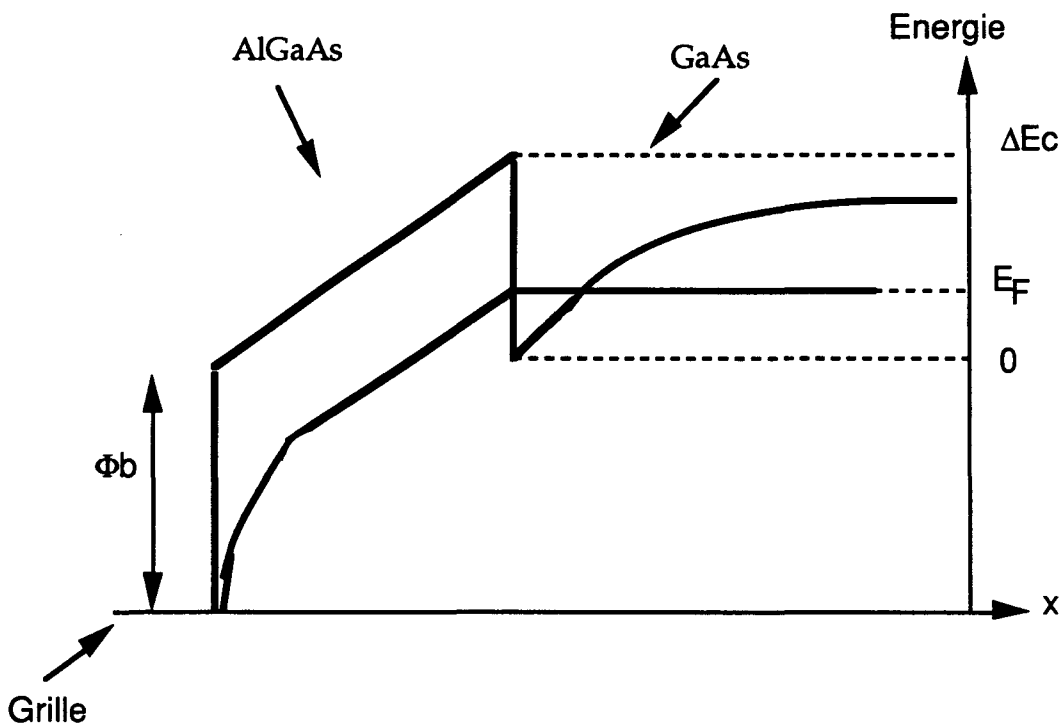


Fig. 3.5: Diagramme de bande de conduction d'un transistor MISFET suivant l'axe perpendiculaire au plan de la grille.

Cependant, les pièges éventuels présents au voisinage de l'hétérojonction AlGaAs/GaAs ou près de l'interface métal-AlGaAs subsistent. De même, d'autres effets de pièges peuvent apparaître suite aux implantations ioniques et aux traitements thermiques subis par la structure.

Pour des raisons purement pratiques, aucune étude systématique n'a été entreprise jusqu'à présent visant à analyser les pièges et en évaluer les effets sur le fonctionnement des composants réalisés. Il est clair cependant que de telles études sont nécessaires pour réaliser une optimisation correcte des composants, sans parler de l'intérêt propre de ces pièges du point de vue de la physique.

Le transistor MISFET offre l'avantage majeur de pouvoir réaliser des structures complémentaires N et P. La réalisation d'un type de transistor dépend uniquement du choix du type d'impuretés implantées lors de la réalisation des caissons de source et drain.

Nous nous sommes intéressés à la structure MISFET pour étudier la faisabilité des circuits intégrés logiques rapides. Pour cela, nous avons réalisé des MISFET's de type N et de type P et ceci sur des structures MISFET's conventionnelles et pseudomorphiques.

III.3.2 N-MISFET CONVENTIONNELS.

III.3.3 STRUCTURE DES EPITAXIES.

La structure utilisée pour la réalisation des MISFET's conventionnels est représentée sur la Fig. 3.6. Elle est réalisée par épitaxie par jet moléculaire.

GaAs	nid	150 Å
$\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$	nid	300 Å
GaAs	nid	2000 Å
$\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}$	nid	3000 Å
GaAs	nid	1000 Å
Substrat S.I.		

Fig. 3.6: Structure épitaxiale du MISFET conventionnel.

Le taux d'aluminium dans la couche active a été choisi de façon à obtenir une hauteur barrière ΔE_C la plus élevée possible. En effet cette dernière dépend du taux d'aluminium x et s'exprime par:

$$\Delta E_C = 0.62 \cdot (1.087 \cdot x + 0.438 \cdot x^2) \quad (x \leq 0.45)$$

pour $x = 0.4$ nous obtenons: $\Delta E_C = 0.312$ eV. Nous nous sommes limités jusqu'à présent à cette valeur, au maximum, pour des raisons pratiques. Toutefois des études de ce type de dispositif entreprises entre autres par Honeywell [Akinwande 91] ont montré qu'une solution de choix pour des MISFET's bien optimisés consisterait à utiliser des taux d'aluminium plus élevés, de l'ordre de $x = 0.75$. Il est toutefois important de noter que si nous avons disposé de ce matériau la technologie de fabrication décrite au chapitre II se serait appliquée de toute manière sans aucune modification.

III.3.4 EVALUATION PHYSIQUE DES COUCHES PAR SPECTROSCOPIE AUGER.

La qualité prévisible d'un composant passe d'abord par une évaluation de la qualité du matériau lui même. En particulier la couche AlGaAs à un taux d'aluminium élevé qui joue le rôle de l'isolant dans ces structures doit être de bonne qualité. C'est dire que les conditions de croissance de celle-ci sont primordiales (il s'agit de croissance par épitaxie par jet moléculaire).

En effet la croissance de AlGaAs à $x = 0.4$, c'est-à-dire à une composition proche du point de changement de symétrie cristalline où le cristal passe d'une bande interdite directe à une bande interdite indirecte est assez délicate et demande un bon contrôle du flux d'aluminium dans le bâti d'épitaxie par jet moléculaire. L'évolution du flux d'aluminium avec la température de la cellule le contenant devient critique.

Au début de cette étude nous avons eu accès à la technique de spectrométrie Auger pour vérifier dans un certain nombre de cas si le pourcentage d'aluminium dans la couche est conforme à ce qui a été demandé*.

* Ces analyses de composition par spectrométrie Auger (AES) ont été faites par Mme Gisèle Dalmai de l'IIEMN-DESI.

La Fig. 3.7 montre un exemple de profil de composition d'une couche de AlGaAs entre deux couches de GaAs . La composition présumée de la couche est représentée dans l'insert. Le profil montre une composition normale de GaAs avec un rapport relatif de Ga 51%, As 49%. Dans la couche AlGaAs on trouve Ga 35%, As 47%, Al 18% ce qui correspond à une fraction d'aluminium $x = 0.387$, à comparer au 0.4 demandé.

Dans toutes les couches que nous avons été amenées à analyser de cette manière, les valeurs de x mesurées étaient toujours comprises entre 0.36 et 0.41, pour des couches espérées à 0.40. L'exemple de spectre de photoluminescence de la Fig. 3.8 corrobore ces valeurs: à l'énergie de 2.046 eV correspondraient des valeurs de x situées entre 0.36 et 0.4. La dispersion chromatique de 19 meV témoigne d'une qualité cristalline tout à fait acceptable.

III.3.5 EVALUATION PHYSIQUE DES COUCHES AlGaAs/GaAs IMPLANTEES.

Une étude préliminaire a été effectuée pour avoir une idée plus précise sur ce que les matériaux de notre laboratoire donnent lorsqu'on les implante. Pour cela nous avons effectué une évaluation physique et électrique sur une couche implantée consistant en un tampon GaAs non dopé suivi d'une couche AlGaAs à fraction d'aluminium de 0.4 de 300 Å d'épaisseur et d'une couche de GaAs non dopé de 50 Å. Cette couche a été implantée à la dose de $2.10^{13} \text{ cm}^{-2}$ en ^{29}Si à l'énergie de 60 keV.

Un profil SIMS ainsi obtenu pour la densité de dopage de cette couche est montré sur la Fig. 3.9. Ce profil a été réalisé à l'INSA de Lyon au laboratoire de M. Dupuis. Les couches implantées et recuites ainsi obtenues sont caractérisées électriquement par effet Hall-Van der Pauw sur des tréfles soudés à l'indium et par la réalisation d'échelles de résistances de type TLM.

La Fig. 3.10 montre des résultats typiques de mesures sur des TLM faites sur le matériau décrit précédemment et traité avec les paramètres indiqués ci-dessus. Pour les structures TLM de 100 μm de large, on trouve des résistances carrées de $440 \Omega/\text{cm}^2$. La résistance de contact des plots de contact ohmique des résistances TLM est typiquement de 0.8 $\Omega.\text{mm}$. Compte tenu de la présence de la couche AlGaAs à $x \text{ Al}$ de 0.4, ce résultat peut être considéré comme assez correct. Il n'est pas dissuasif pour l'utilisation de l'implantation ionique dans nos structures.

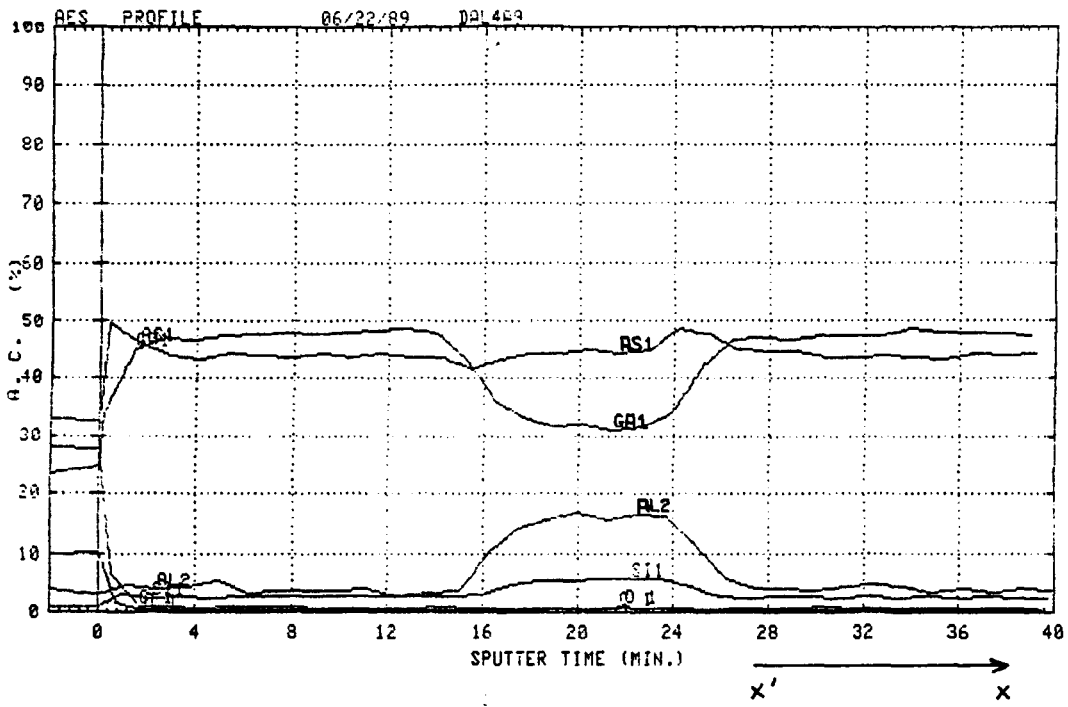
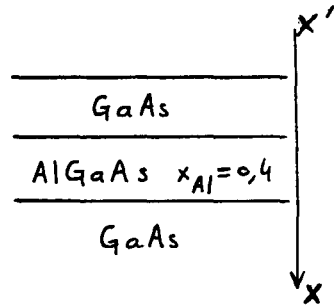


Fig. 3.7: Profil de spectroscopie Auger d'une couche GaAs/AlGaAs/GaAs.



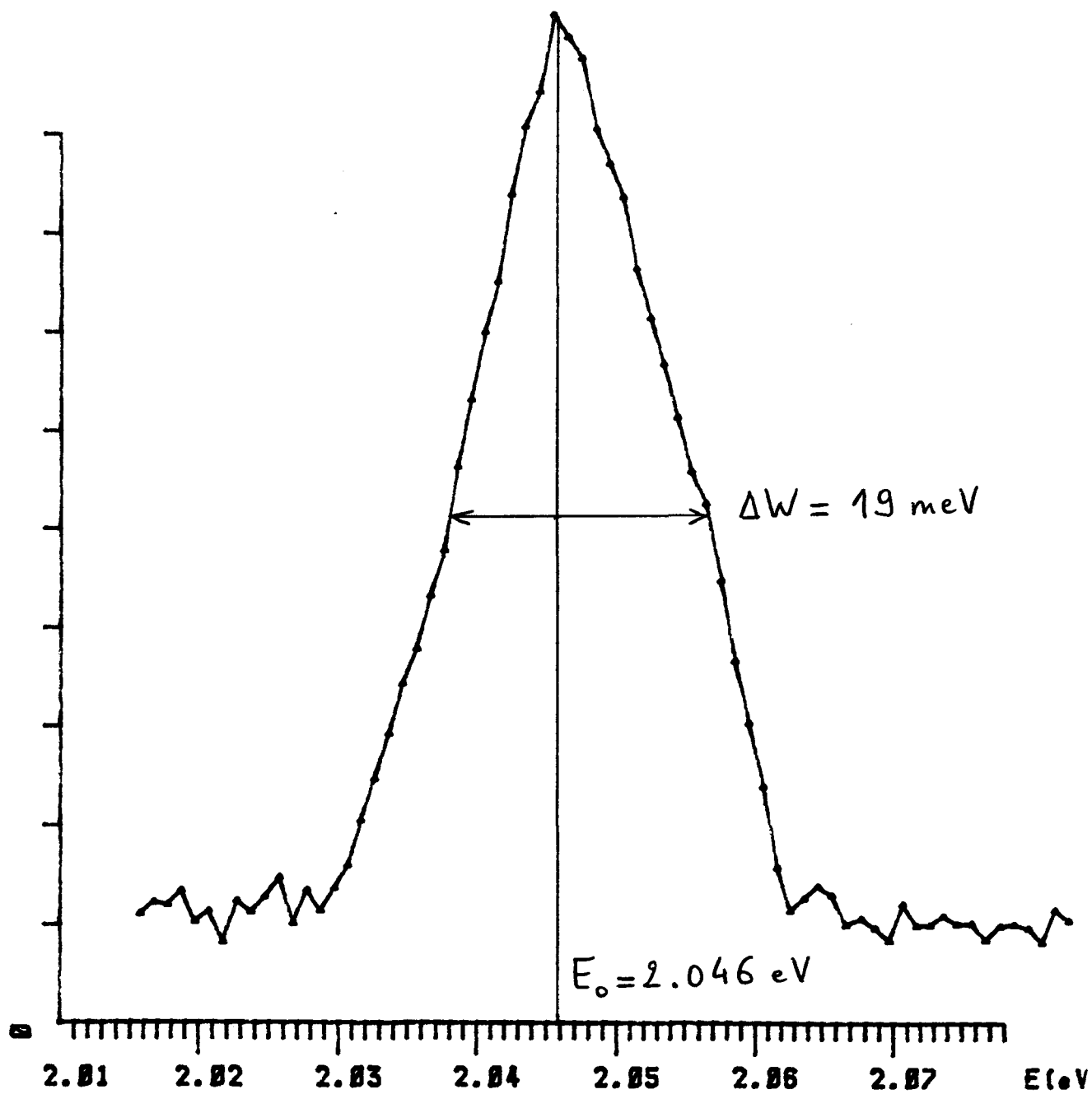


Fig. 2.8: Spectre de photoluminescence de la couche analysée dans la Fig. 3.7.

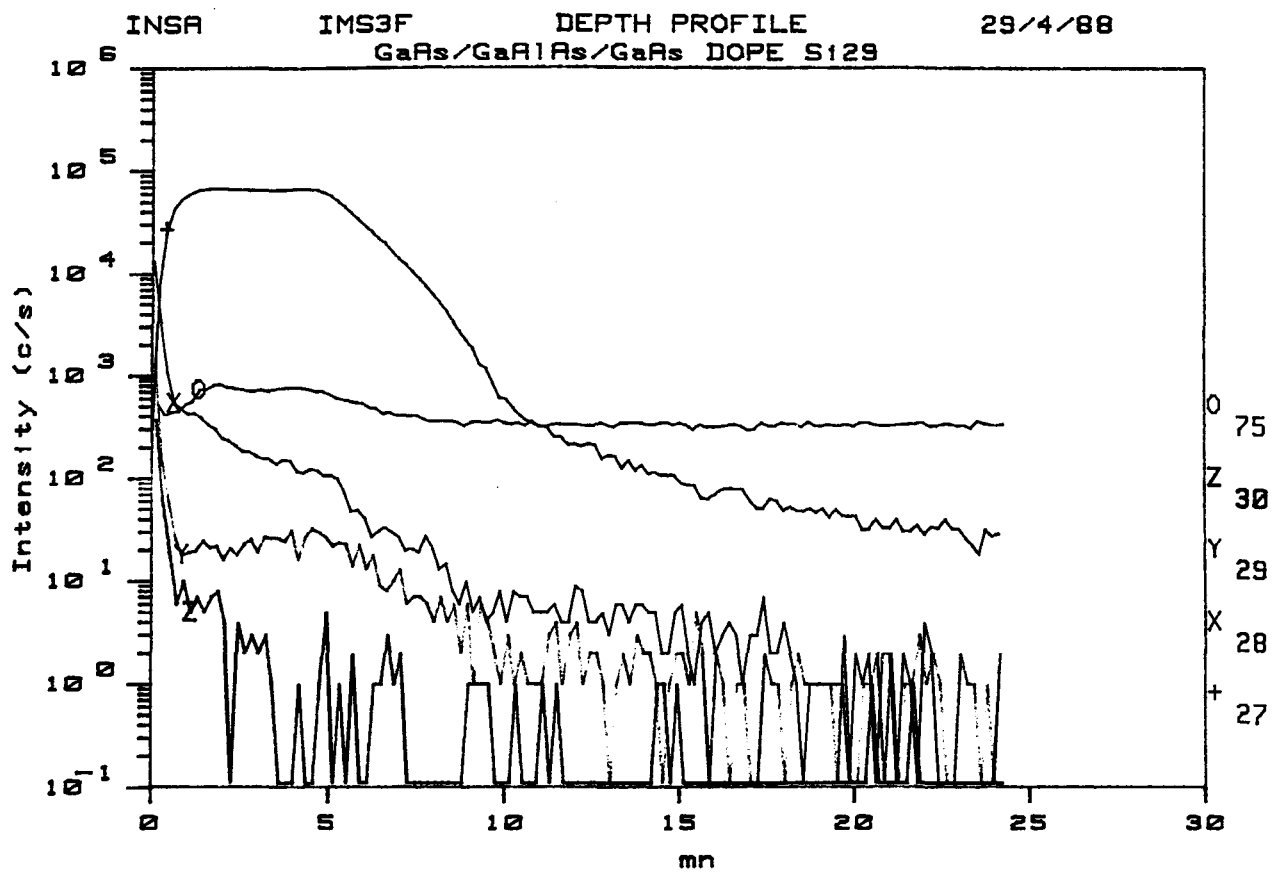


Fig. 3.9: Profil SIMS d'une couche GaAs/AlGaAs/GaAs implantée au ^{29}Si ; + représente ^{29}Si ; X représente ^{28}Si ; Y représente ^{29}Si .

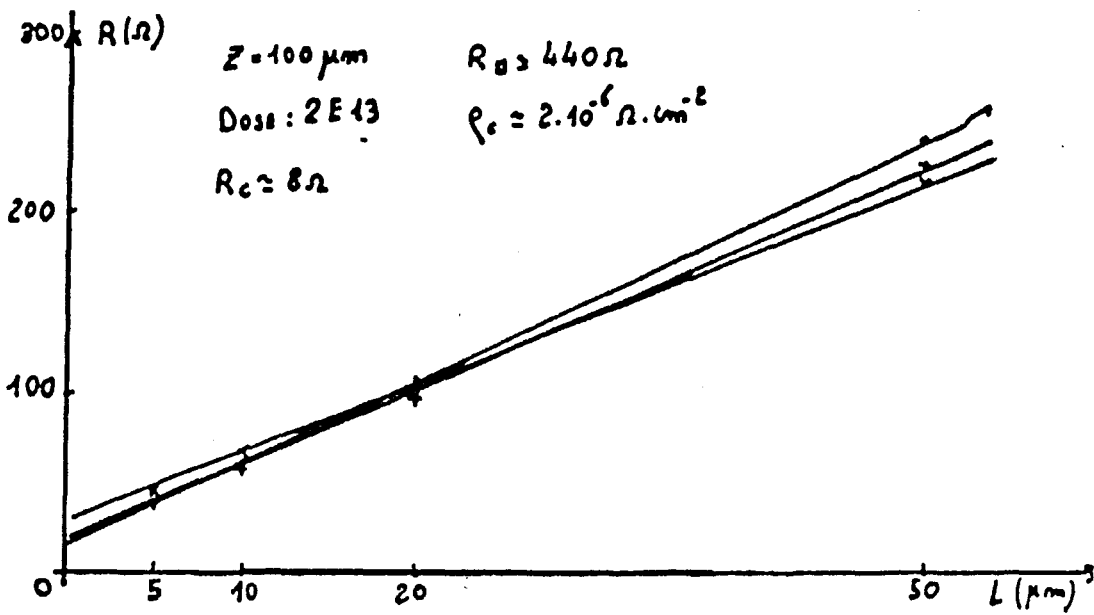


Fig. 3.10: Exemples de relevés de résistances sur des structures TLM fabriquées sur des couches GaAs/AlGaAs/GaAs implantées au ^{29}Si .

III.3.6 REALISATION TECHNOLOGIQUE.

Le N-MISFET conventionnel réalisé est représenté sur la Fig. 3.11. Les étapes de fabrication sont les mêmes que celles du transistor MESFET sauf que pour les MISFET's nous avons effectué à la fin du procédé un épaissement de grille.

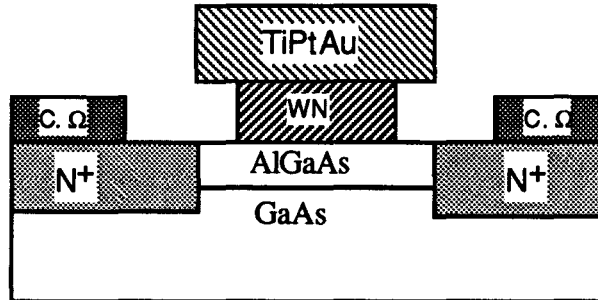


Fig. 3.11: *Transistor MISFET Conventionnel à grille épaisse*

Deux séries de transistors ont été réalisées. La première série (op. 534) a été réalisée avec une dose d'implantation de $3.10^{13} \text{ cm}^{-2}$ et sans épaissement de grille. Dans la seconde série (op. 565) nous avons doublé la dose d'implantation ($6.10^{13} \text{ cm}^{-2}$) et nous avons épaissi les grilles. Ceci mis à part, les procédés utilisés sont strictement identiques.

III.3.7 LE MASQUE.

Le masque de la série 534 est identique à celui utilisé pour la réalisation des MESFET's. Par contre dans la série 565 nous avons utilisé 6 géométries différentes.

Les dimensions de grille sont: $2 \cdot 10 \cdot 1.4 \text{ } \mu\text{m} \cdot \mu\text{m}$ $2 \cdot 25 \cdot 1.4 \text{ } \mu\text{m} \cdot \mu\text{m}$

$2 \cdot 10 \cdot 0.9 \text{ } \mu\text{m} \cdot \mu\text{m}$ $2 \cdot 25 \cdot 0.9 \text{ } \mu\text{m} \cdot \mu\text{m}$

$2 \cdot 10 \cdot 0.4 \text{ } \mu\text{m} \cdot \mu\text{m}$ $2 \cdot 25 \cdot 0.4 \text{ } \mu\text{m} \cdot \mu\text{m}$.

(nombre de doigts * largeur de grille * longueur)

III.3.8 CARACTERISATION ELECTRIQUE.

III.3.8.1 CARACTERISATION STATIQUE.

III.3.8.1 - a - Série 534.

Pour mettre en évidence l'influence des paramètres technologiques, implantations ioniques, grille TiPtAu et longueur de grille, sur les performances électriques des composants, nous avons caractérisé des composants de géométries différentes et issues des deux séries de réalisations.

Deux réseaux de caractéristiques de sortie $I_{ds} - V_{ds}$ de transistors MISFET's de la série 534 sont reportés sur les Fig. 3.12 et 3.13. L'ensemble des paramètres statiques mesurés est présenté dans le tableau 3.2.

Paramètre	N - MISFET $2*35*0.8 \mu\text{m}^2$	N - MISFET $2*50*1 \mu\text{m}^2$
I_{dss} (mA/mm) ($V_{gs}=3V, V_{ds}=3V$)	94	54.4
g_m (mS/mm)	135	115
g_d (mS/mm)	4.2	2
g_m/g_d	32	57.5
β (mS/V/mm)	400	300
I_g (mA/mm) ($V_{gs}=3V, V_{ds}=3V$)	49	55

Tableau 3.2: Paramètres statiques des MISFET's conventionnels (op. 534).

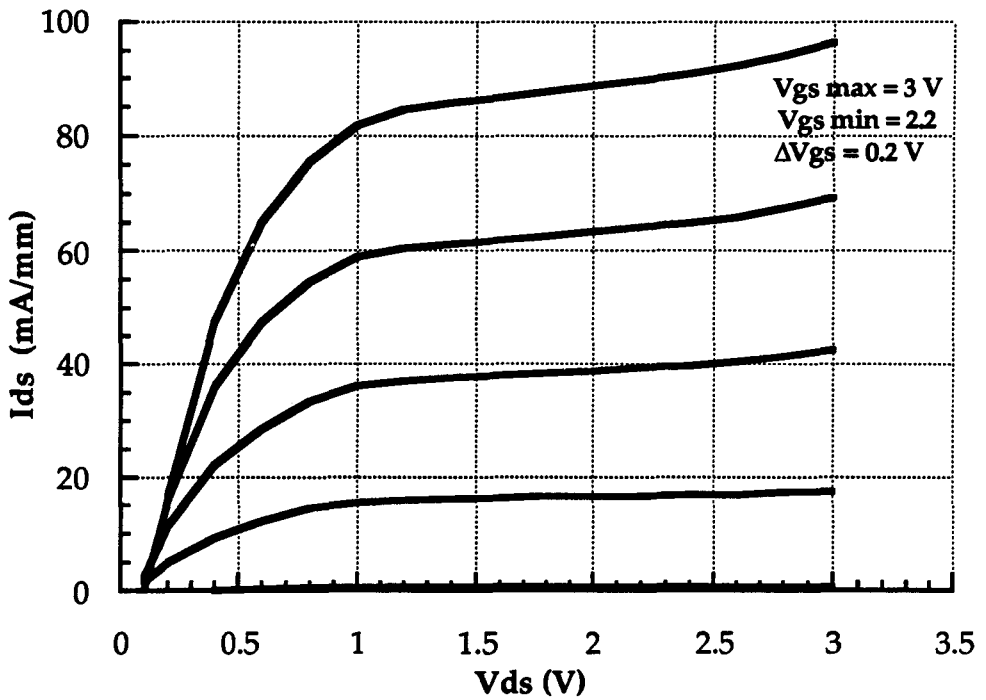


Fig. 3.12 : Caractéristique $I_{ds}(V_{ds})$ d'un MISFET conventionnel $2 \times 35 \times 0.8 \mu\text{m}^2$ (op 534 - dose d'implantation $3.10^{13} \text{ cm}^{-2}$).

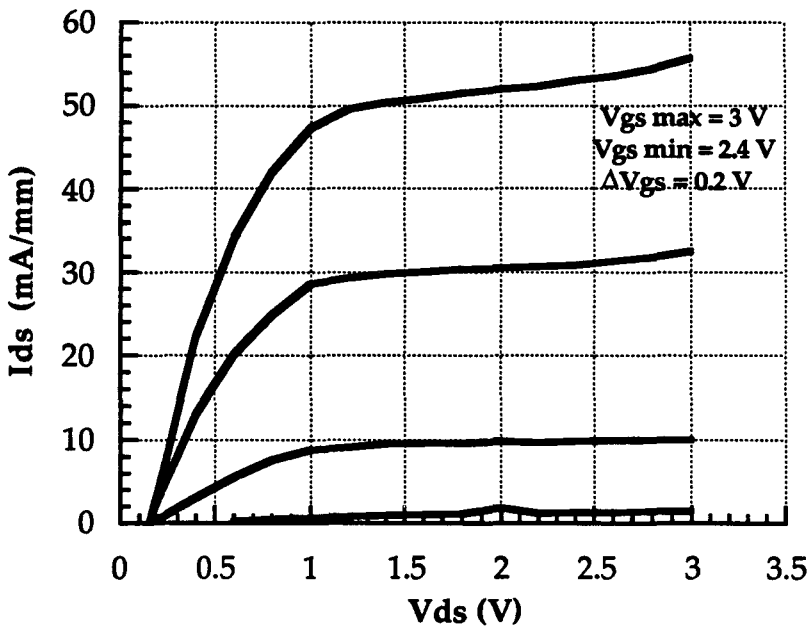


Fig. 3.13 : Caractéristique $I_{ds}(V_{ds})$ d'un MISFET conventionnel $2 \times 50 \times 1 \mu\text{m}^2$ (op 534 - dose d'implantation $3.10^{13} \text{ cm}^{-2}$).

L'homogénéité des tensions de seuil est primordiale pour l'utilisation de transistors en logique. Pour étudier l'uniformité de la tension de seuil nous avons caractérisé 27 transistors de géométrie identique ($2 \times 35 \times 0.8 \mu\text{m}^2$) répartis sur une surface de 4 cm^2 . Nous avons mesuré une tension de seuil moyenne de 1.85 V et un écart type de 39 mV. Cette tension de seuil est mesurée à partir de la caractéristique $I_{ds}^{1/2} (V_{gs})$ à $V_{ds} = 3\text{V}$. Cette caractéristique est extrapolée linéairement jusqu'au courant nul. La tension de seuil est la valeur de V_{gs} ainsi obtenue.

III.3.8.1 - b Série 565.

L'évolution des caractéristiques statiques pour les différentes géométries de transistors MISFET's de la série 565 est reportée sur les Fig. 3.14 - a et b, 3.15 -a et b et 3.16 -a et b. Les caractéristiques statiques de ces transistors sont regroupées dans le tableau 3.3.

La tension de claquage de ces transistors est de l'ordre de 12 V. Certains de ces transistors supportent une tension de drain V_{ds} de 16 V, et une tension de grille V_{gs} de 8 V, sans destruction. Ceci est intéressant pour l'utilisation du MISFET pour des applications de puissance notamment pour la réalisation de circuits intégrés mixtes dans lesquels on a besoin d'un étage de puissance (pour les radio-téléphones par ex.). La Fig. 3.16 - c, montre un transistor MISFET conventionnel $2 \times 50 \times 1 \mu\text{m}^2$ sur lequel on a appliqué un tension V_{ds} de 12 V, et une tension V_{gs} de 5V.

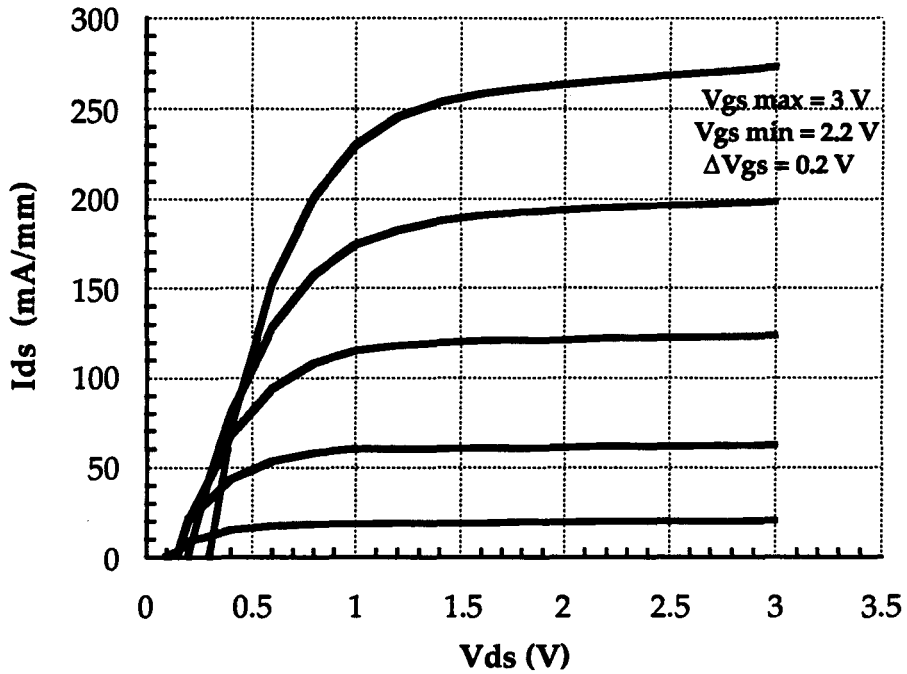


Fig. 3.14 - a: Caractéristique $I_{ds}(V_{ds})$ d'un MISFET conventionnel $2 \times 10 \times 1.4 \mu\text{m}^2$ (op 565 - dose d'implantation $6 \cdot 10^{13} \text{ cm}^{-2}$).

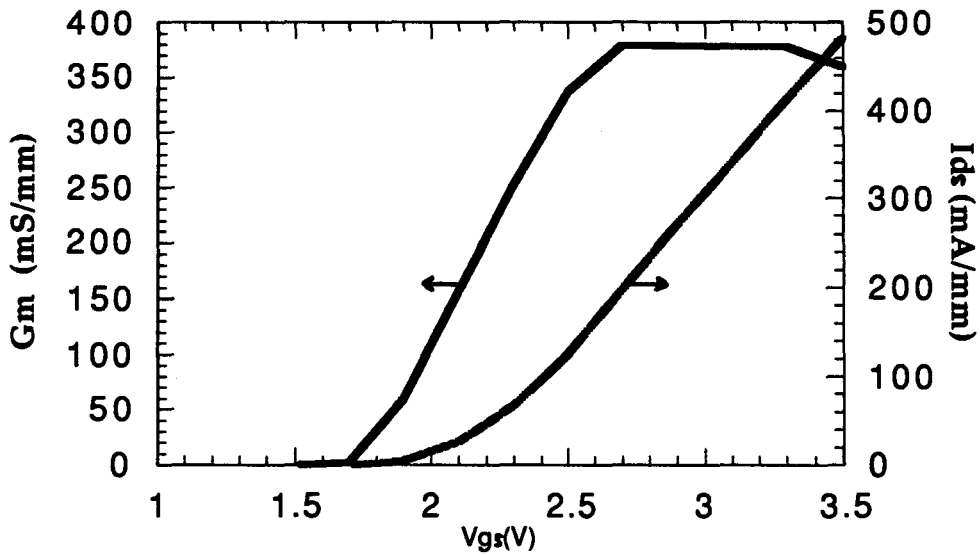


Fig. 3.14 - b: Evolution de la transconductance statique g_m et du courant drain I_{ds} en fonction de la tension de grille à $V_{ds} = 3 \text{ V}$ d'un MISFET conventionnel $2 \times 10 \times 1.4 \mu\text{m}^2$ (op 565 - dose d'implantation $6 \cdot 10^{13} \text{ cm}^{-2}$).

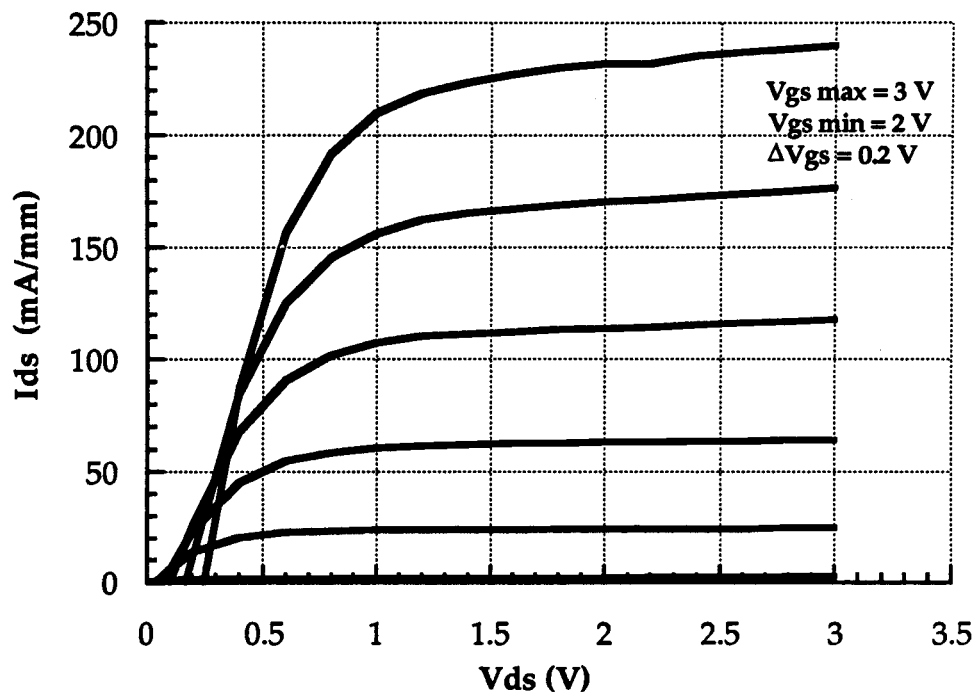


Fig. 3.15 - a: Caractéristique $I_{ds}(V_{ds})$ d'un MISFET conventionnel $2 \times 10 \times 0.9 \mu\text{m}^2$ (op 565 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

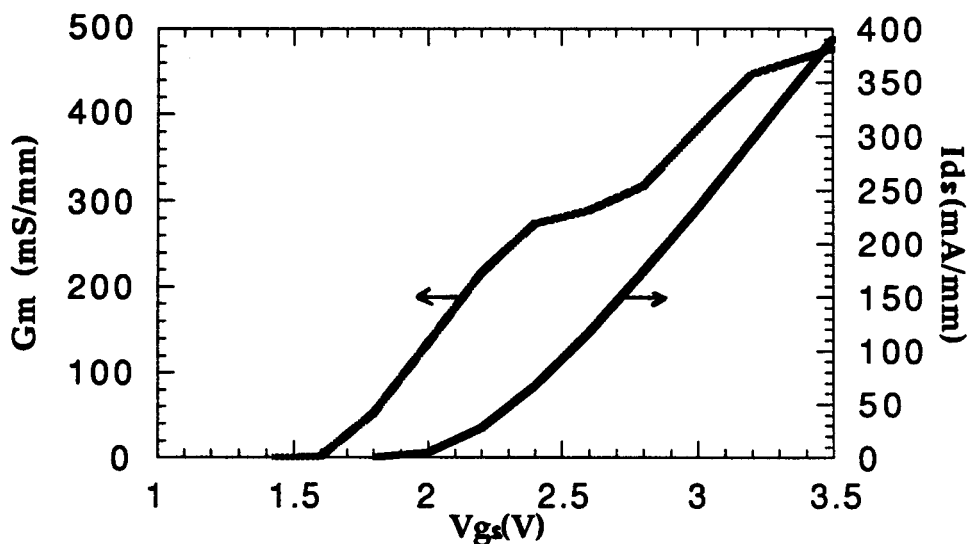


Fig. 3.15 - b: Evolution de la transconductance statique g_m et du courant drain I_{ds} en fonction de la tension de grille à $V_{ds} = 3 \text{ V}$ d'un MISFET conventionnel $2 \times 10 \times 0.9 \mu\text{m}^2$ (op 565 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

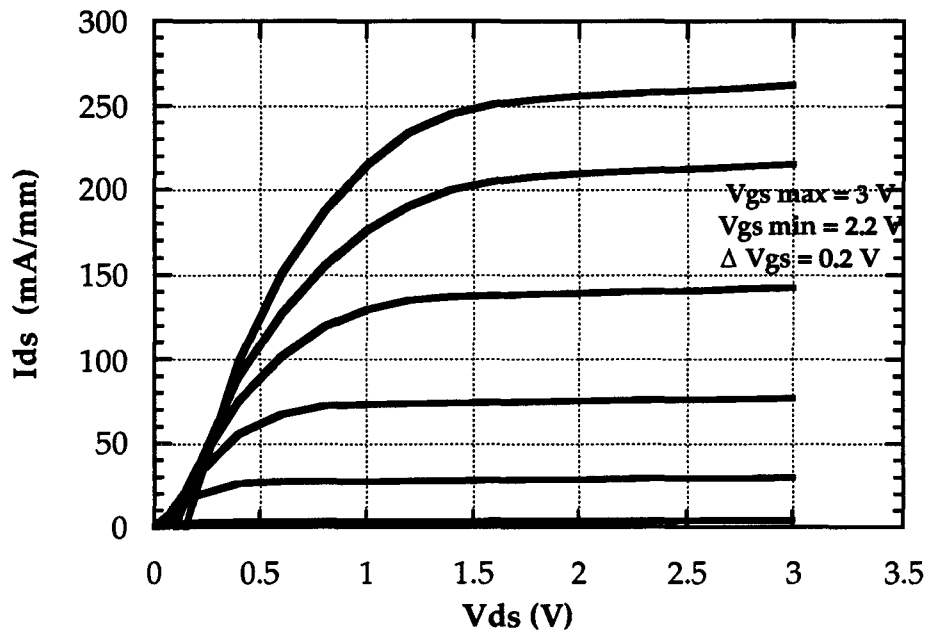


Fig. 3.16 - a: Caractéristique $I_{ds}(V_{ds})$ d'un MISFET conventionnel $2 \times 25 \times 0.4 \mu\text{m}^2$ (op 565 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

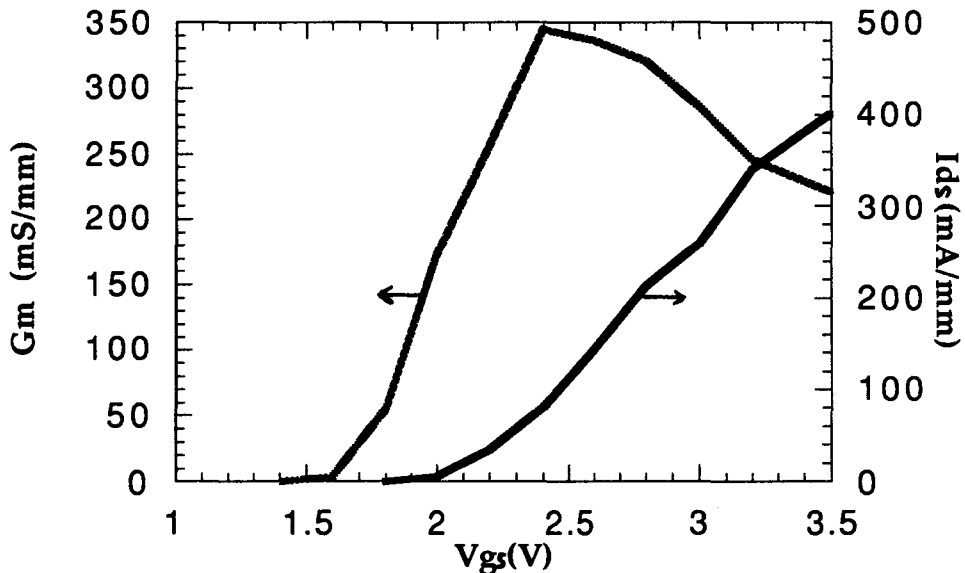


Fig. 3.16 - b: Evolution de la transconductance statique g_m et du courant drain I_{ds} en fonction de la tension de grille à $V_{ds} = 3 \text{ V}$ d'un MISFET conventionnel $2 \times 25 \times 0.4 \mu\text{m}^2$ (op 565 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

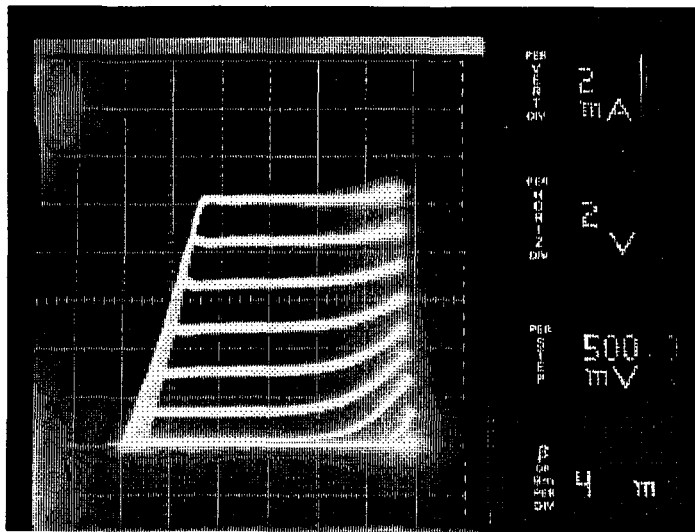


Fig. 3.16 -c: Caractéristique $I_{ds}(V_{ds})$ d'un MISFET conventionnel $2*50*1 \mu\text{m}^2$
 $V_{g \text{ max}} = 5\text{V}$, $\Delta V_{g} = 0.5 \text{ V}$.
 (op 565 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

	2*25*1.4	2*25*0.9	2*25*0.4	2*10*1.4	2*10*0.9	2*10*0.4
I_{dss} (mA/mm)	100	200	270	275	250	180
g_m (mS/mm)	252	497.5	360	375	475	243.5
g_d (mS/mm)	4	4	4	10	10	10
g_m/g_d	50.5	125	90	37.5	47.5	24
β mS/V/mm	200	700	500	200	375	200
I_g (mA/mm) ($V_{gs} = 3\text{V}$, $V_{ds} = 3\text{V}$)	260	300	340	575	500	534

Tableau 3.3: Paramètres statiques des MISFET's conventionnels (op. 565)

Si nous comparons les résultats des deux opérations 534 et 565 nous constatons une nette amélioration de tous les paramètres statiques. Nous pouvons noter les bonnes performances du transistor $2*25*0.9 \mu\text{m}^2$ pour lequel on obtient, avec un courant drain de 200 mA/mm une transconductance de 497,5 mS/mm et un facteur β de 700 mS/V/mm. Ce résultat est tout à fait remarquable pour une grille aussi longue ($L_g = 0.9 \mu\text{m}$) [Akinwande, 90].

L'amélioration des performances statiques dans la série 565 est sans doute due à l'augmentation de la dose d'implantation. Malheureusement le courant de grille augmente lui aussi.

III.3.8.2 CARACTERISATION HYPERFREQUENCE.

L'existence d'un courant de grille dans les transistors MISFET's rend la caractérisation dynamique plus délicate. En effet le modèle du schéma équivalent petit signal utilisé suppose que le courant de grille est nul, ce qui n'est pas le cas pour les composants étudiés ici. Afin d'éviter les erreurs et exploiter au mieux les mesures hyperfréquences, nous avons caractérisé les transistors uniquement dans l'intervalle de tension de grille V_{gs} dans lequel le courant de grille est faible. Nous avons fixé comme valeur maximale de ce courant 4 mA/mm. Ceci a pour conséquence que la tension appliquée à la grille sera toujours peu supérieures à la tension de seuil et ne donnera que des valeurs de courant drain faible.

Il est clair que cette limitation ne permet pas d'évaluer les performances limites des transistors MISFET's. Néanmoins les mesures effectuées nous donnent une idée générale sur les possibilités d'utilisation des MISFET's en hyperfréquences.

Nous avons caractérisé quelques transistors des deux séries 534 et 565 en hyperfréquences. L'essentiel des paramètres mesurés sur deux transistors différents est résumé dans les tableaux 3.4-a et 3.4-b respectivement.

Sur la Fig. 3.16 - d nous avons représenté la variation du gain en courant (H_{21}) et du gain maximum disponible (MAG) en fonction de la fréquence du MISFET conventionnel $2*25*0.4 \mu\text{m}^2$ de la série 565. Si la fréquence de coupure du H_{21} est de l'ordre de 7 GHz, nous observons une fréquence de coupure du MAG de l'ordre de 24 GHz. La fréquence de coupure F_c est de 21.1 GHz. Ce résultat peut être considéré comme encourageant.

L'épaississement de la grille en TiPtAu permet de réduire la résistance de grille d'un facteur dix. Les résultats hyperfréquences obtenus ci-dessus permettent de connaître l'intervalle d'utilisation des MISFET's en ondes millimétriques. Pour étendre ce domaine il est nécessaire de réduire le courant de grille afin d'obtenir des courant de drain plus élevés à des tensions de grille supérieures au seuil.

Rappelons ce qui distingue les deux séries de transistors étudiées ici: la série 534 a été implantée à la dose de 3.10^{13} cm^{-2} et n'a pas d'épaississement de grille; la série 565 a été implantée à 6.10^{13}cm^{-2} et possède l'épaississement de grille TiPtAu.

Rs (Ω .mm)	0.5	Cgd (pF/mm)	0.28
Rd (Ω .mm)	0.7	τ (ps)	7.04
Rg (k Ω /mm)	3.7	F ₀ (GHz)	4.72
gm _{int} (mS/mm)	36.4	F _m (GHz)	4.26
gd _{int} (mS/mm)	7	F _c (GHz)	3.81
C _{gs} (pF/mm)	1.42	H ₂₁ (db) f = 2 GHz	0.62
C _{ds} (pF/mm)	n. mes.	Mag (db) f = 2 GHz	3.97

Tableau 3.4-a: Paramètres hyperfréquences du MISFET 2*35*0.8 μm^2 (op 534) caractérisé en Fig.3.10.

Rs (Ω .mm)	0.5	Cgd (pF/mm)	0.18
Rd (Ω .mm)	0.6	τ (ps)	0.59
Rg (k Ω /mm)	0.72	F ₀ (GHz)	8.5
gm _{int} (mS/mm)	106	F _m (GHz)	29.3
gd _{int} (mS/mm)	9.4	F _c (GHz)	19.2
C _{gs} (pF/mm)	0.8	H ₂₁ (db) f = 2 GHz	9.5
C _{ds} (pF/mm)	n. mes.	Mag (db) f = 2 GHz	14.8

Tableau 3.4-b: Paramètres hyperfréquences du MISFET 2*25*0.4 μm^2 (op 565) caractérisé en Fig.3.14.

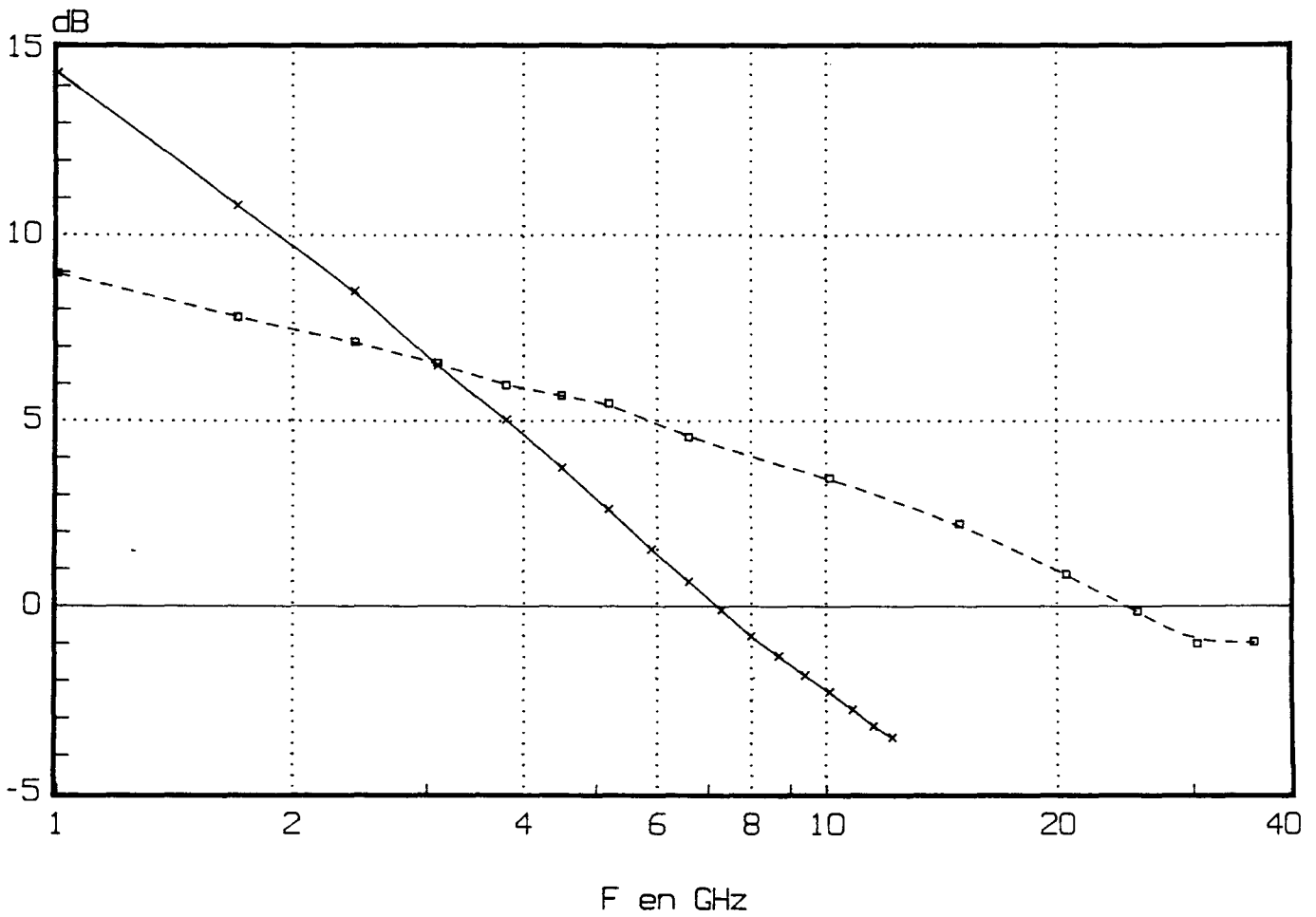


Fig. 3.16 - d: Evolution des gains H21 (ligne continue) et MAG (ligne discontinue) d'un MISFET conventionnel $2 \times 25 \times 0.4 \mu\text{m}^2$ en fonction de la fréquence pour une tension de grille $V_g = 2.2 \text{ V}$. (op 565 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

III.3.9 CONCLUSION SUR LES MISFET's CONVENTIONNELS.

Nous avons réalisé des MISFET's conventionnels présentant des performances encore assez limitées mais assez satisfaisantes dans l'ensemble pour un début. Malgré sa valeur élevée, la tension de seuil est bien uniforme avec seulement un écart type de 39 mV sur une surface de 4 cm². On retrouve bien là un des avantages fondamentaux des structures MISFET's.

La modification des conditions d'implantation ionique influe beaucoup sur les caractéristiques des composants, d'où la nécessité d'optimiser ces dernières. La technique d'épaississement de grille en TiPtAu apporte quelques améliorations notables qui donnent à penser que cette technologie, globalement, peut s'appliquer, moyennant quelques aménagements, à la fabrication de circuits intégrés monolithiques pour microondes.

Pour résumer, en l'état actuel des choses et pour prendre le transistor individuellement, deux points sont à étudier en vue d'améliorations futures.

□ Premièrement, trouver le moyen de réduire la tension de seuil pour la rééquilibrer avec celle du MISFET type P (dont nous parlons à la fin de ce chapitre). Divers moyens pourraient permettre d'y parvenir. Par exemple, nous avons trouvé que l'épaisseur de la couche de WN formant la grille a une influence certaine sur la tension de seuil. Au cours de nos différents essais, nous avons pu nous apercevoir que la tension de seuil est d'autant plus élevée que la couche de WN est épaisse. Ainsi pour des épaisseurs de 1500 , 2200, et 4000 Å nous trouvons des tensions de seuil de 1.2, 1.55 et 2 V respectivement. Bien que la raison de ce phénomène n'est pas encore claire pour nous, il se pourrait que, du fait de la très forte adhérence de WN sur la couche superficielle de GaAs, des contraintes superficielles existent qui seraient d'autant plus élevées que la couche WN est épaisse. Comprendre ces phénomènes nécessiterait une étude détaillée de la stoechiométrie de l'interface WN/GaAs en fonction de la composition du WN et des conditions de dépôt et de recuit après implantation. Une autre approche serait de voir l'effet d'un changement de composition du matériau réfractaire comme WSi ou WTiSi, etc., ou d'autres formules s'inspirant pour beaucoup de ce qui est fait dans la technologie MOS silicium.

□ Le second point concerne le courant de grille. Compte tenu de la valeur peu élevée de la barrière de potentiel à l'hétérojonction $\Delta E_c = 0.3$ eV, on peut s'attendre à des courants de grille élevés et ces courants existeront toujours. C'est

le problème majeur pour les composants MISFET's et on ne peut que minimiser leur effet. Pour ce faire, il faut que la qualité d'interface soit aussi bonne que possible avec une barrière aussi abrupte et élevée que possible. Les travaux de Honeywell [Akinwande, 90] montrent que l'utilisation d'une fraction molaire d'AlAs de l'ordre de 0.75 est faisable et donne de bons résultats. Ce serait donc là une voie intéressante à explorer.

III.4 N - MISFET'S PSEUDOMORPHIQUES.

III.4.1 INTRODUCTION.

L'utilisation d'une couche de InGaAs pseudomorphique (PM) pour former le canal conducteur d'un MISFET à la place d'une couche GaAs n'est pas récente. Les transistors HEMT's PM présentent des performances supérieures aux HEMTs conventionnels. L'intérêt d'utiliser une couche de InGaAs est que l'on peut espérer dans le canal conducteur:

- une mobilité électronique plus élevée que dans le GaAs
- une discontinuité de bande de conduction ΔE_C plus grande
- une plus grande séparation des vallées L et Γ que dans le GaAs ce qui peut limiter l'effet nocif des transferts intervallées.

Nous avons utilisé ce matériau pour la réalisation de transistors MISFET's PM. Cette étude est intéressante car elle permet de voir ce que l'insertion d'une couche de InGaAs dans la structure d'un MISFET peut apporter de plus par rapport au MISFET conventionnel.

Nous allons présenter les résultats obtenus et dans la suite effectuer une étude comparative des deux types de structures: MISFET's conventionnels et MISFET's PM. Il est intéressant de noter que les MISFET's PM ont été fabriqués en parallèle avec les MISFET's conventionnels ayant la même structure et les mêmes paramètres de fabrication. C'est dire que les deux types de composants ont reçu des traitements rigoureusement identiques.

III.4.2 STRUCTURE DU MISFET PM.

La structure utilisée pour la réalisation des MISFET's PM est représentée sur la Fig. 3.17. Elle est réalisée par épitaxie par jet moléculaire.

Le taux d'aluminium dans la couche active x est de 0.23, le taux d'indium dans la couche d'InGaAs y est de 0.19. Ces taux ont été choisis de façon à obtenir une hauteur de barrière ΔE_C équivalente à celle obtenue dans les transistors MISFET's conventionnels.

Cette dernière s'écrit:

$$\Delta E_c = 0.75*y + 0.62*(1.087*x + 0.438*x^2).$$

Ainsi pour $x = 0.23$ et $y = 0.19$ nous obtenons $\Delta E_c = 0.312$ eV

GaAs	nid	50 Å
AlGaAs - GaAs	nid	130 Å
Al _{0.23} Ga _{0.77} As	nid	300 Å
In _{0.19} Ga _{0.81} As	nid	100 Å
GaAs	nid	5000 Å
Substrat S.I.		

Fig. 3.17: Structure épitaxiale

Le MISFET PM de type N réalisé est représenté sur la Fig. 3.18. Les étapes de fabrication sont les mêmes que celles du transistor MISFET conventionnel. Nous avons réalisé des transistors de longueur de grille variant de 1 à 0.2 μm , et des largeurs variant de 150 à 20 μm .

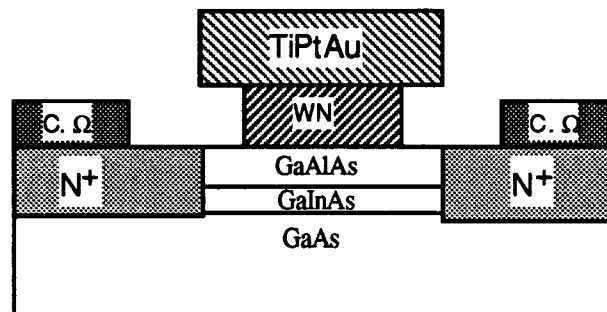


Fig. (3.18): Structure du transistor MISFET PM de type N à grille épaisse.

Comme nous l'avons fait avec les MISFET's conventionnels, deux séries de transistors ont été réalisées. La première série (op. 535) a été réalisé avec une dose

d'implantation de $3.10^{13} \text{ cm}^{-2}$ et sans épaisseur de grille. Dans la seconde série (op. 567) nous avons doublé la dose d'implantation ($6.10^{13} \text{ cm}^{-2}$) et nous avons épaissi les grilles. Toujours dans le but de valider notre technologie nous avons réalisé des transistors à grilles submicroniques ($L_g = 0.2 \mu\text{m}$). La longueur de grille des transistors a été mesurée à l'aide d'un microscope optique RICHERT-JUNG très précis.

III.4.3 LE MASQUE.

Nous avons utilisé des grilles à deux doigts. Dans le masque de la série 535 nous avons trois transistors différents ainsi qu'une échelle de résistances. En revanche dans le masque de la série 567 nous avons six transistors différents et une échelle de résistances.

Les dimensions des grilles dans la série 535 sont:

$$L_{g1} = 2 \cdot 75 \cdot 1.2 \mu\text{m}^2, \quad L_{g2} = 2 \cdot 50 \cdot 1 \mu\text{m}^2, \quad L_{g3} = 2 \cdot 35 \cdot 0.7 \mu\text{m}^2$$

Les dimensions des grilles dans la série 567 sont:

$$L_{g1} = 2 \cdot 10 \cdot 1 \mu\text{m}^2, \quad L_{g2} = 2 \cdot 10 \cdot 0.5 \mu\text{m}^2, \quad L_{g3} = 2 \cdot 10 \cdot 0.2 \mu\text{m}^2$$

$$L_{g4} = 2 \cdot 25 \cdot 1 \mu\text{m}^2, \quad L_{g5} = 2 \cdot 25 \cdot 0.5 \mu\text{m}^2, \quad L_{g6} = 2 \cdot 25 \cdot 0.2 \mu\text{m}^2.$$

(nombre de doigts * largeur * Longueur)

III.4.4 CARACTERISATION ELECTRIQUE.

III.4.4.1 CARACTERISATION STATIQUE.

III.4.4.1 - a - Série 535.

Sur les Fig. 3.19, 3.20 et 3.21 nous avons tracé les caractéristiques de sortie I_{ds} - V_{ds} de trois transistors de géométries différentes de la série 535. L'ensemble des paramètres mesurés sont montrés dans le tableau 3.5. Pour un transistor de $0.7 \mu\text{m}$ de longueur de grille, la transconductance maximale atteint 131 mS/mm pour $V_{gs} = 3 \text{ V}$. Le courant I_{dss} est de 92 mA/mm .

Le point le plus intéressant est la bonne homogénéité des tensions de seuil. En effet pour étudier l'uniformité de la tension de seuil nous avons caractérisé 21 transistors de géométries identiques ($2 \times 35 \times 0.7 \mu\text{m}^2$) répartis sur une surface de 4 cm^2 . Nous avons mesuré une tension de seuil moyenne de 1.75 V et un écart type de 63 mV .

Paramètre	$2 \times 75 \times 1.2 \mu\text{m}^2$	$2 \times 50 \times 1 \mu\text{m}^2$	$2 \times 35 \times 0.7 \mu\text{m}^2$
I_{dss} (mA/mm) ($V_{gs}=3\text{V}$, $V_{ds}=3\text{V}$)	46	60	92
g_m (mS/mm)	61.3	90	131
g_d (mS/mm)	0.45	3	7
g_m/g_d	136	30	18.9
β (mS/V/mm)	133	160	285
I_g (mA/mm) ($V_{gs}=3\text{V}$, $V_{ds}=3\text{V}$)	31.4	27.7	37

Tableau 3.5: Paramètres statiques des MISFET's PM caractérisés (op 535).

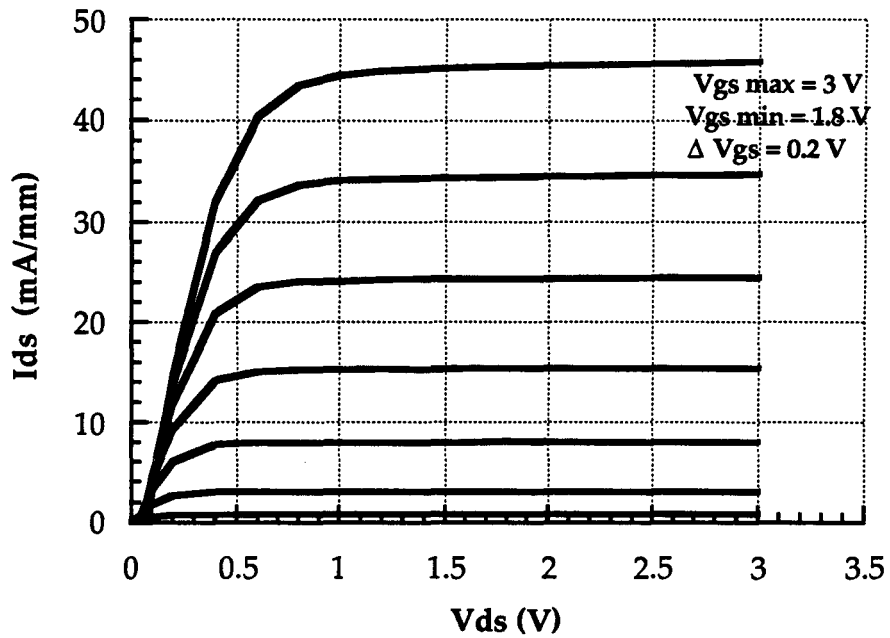


Fig. 3.19 : Caractéristique $I_{ds}(V_{ds})$ d'un MISFET PM $2 \times 75 \times 1.2 \mu\text{m}^2$ (op 535 - dose d'implantation $3.10^{13} \text{ cm}^{-2}$).

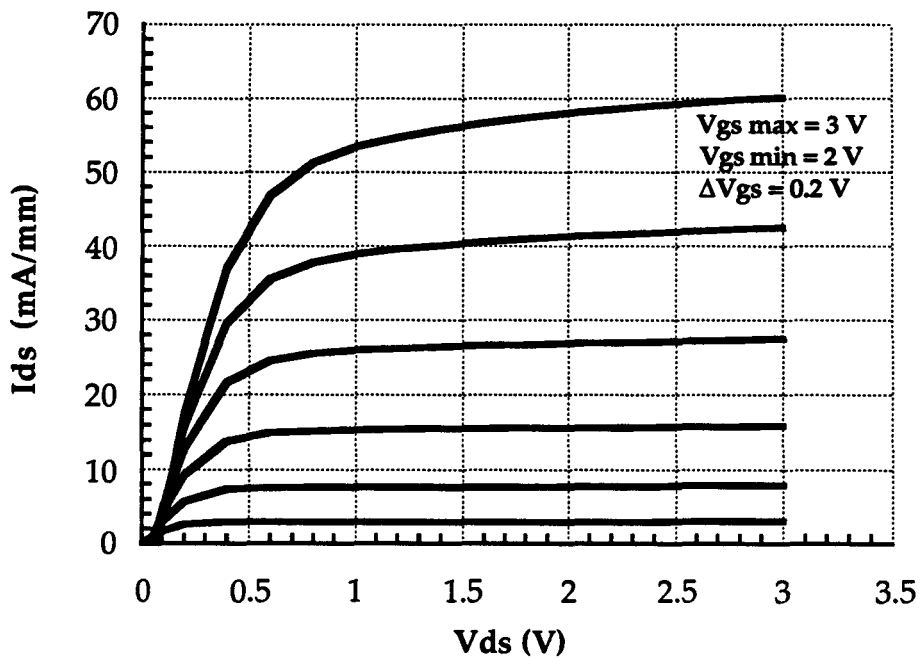


Fig. 3.20 : Caractéristique $I_{ds}(V_{ds})$ d'un MISFET PM $2 \times 50 \times 1 \mu\text{m}^2$ (op 535 - dose d'implantation $3.10^{13} \text{ cm}^{-2}$).

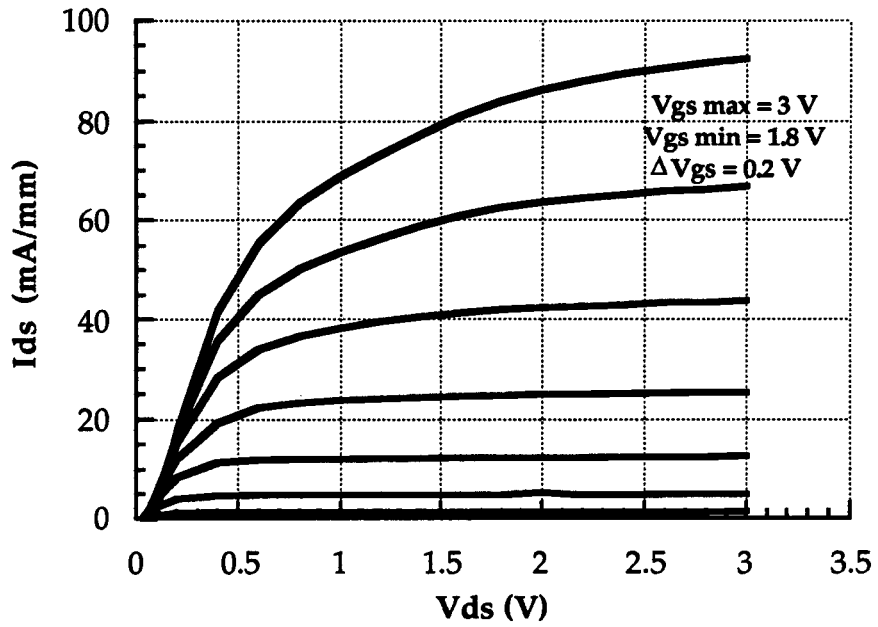


Fig. 3.21 : Caractéristique $I_{ds}(V_{ds})$ d'un MISFET PM $2 \times 35 \times 0.7 \mu\text{m}^2$ (op 535 - dose d'implantation $3 \cdot 10^{13} \text{ cm}^{-2}$).

III.4.4.1. - b Série 567.

C'est sur cette série de composants que nous avons obtenu les meilleurs résultats. Nous l'avons étudié d'une façon plus approfondie que les autres séries.

Sur la Fig. 3.22 - a, est montrée $I_{ds}(V_{ds})$ d'un MISFET PM $2*25*1 \mu\text{m}^2$ à 300K pour V_{gs} variant de 2.2 à 3 V. En particulier, ce transistor a un g_m de 600 mS/mm (Fig. 3.22 - b). La conductance de sortie g_d est de 20 mS/mm, d'où un gain statique de 30. Le facteur β est de 800 mS/V/mm et la tension de seuil est de 1.65 V. Ces résultats sont parmi les meilleurs déjà publiés pour une longueur de grille de $1 \mu\text{m}$. [Grider, 91].

La Fig. 3.23 - a représente la caractéristique $I_{ds} - V_{ds}$ d'un MISFET PM $2*10*0.5 \mu\text{m}^2$. La transconductance g_m est de 850 mS/mm (Fig. 3.23 - b). Le facteur β est de 1250 mS/V/mm. Le courant I_{dss} est de 500 mA/mm. Ces valeurs sont les plus élevées jamais obtenues sur ce type de composant ayant cette géométrie de grille. Par comparaison les meilleurs résultats obtenus par Honeywell sont: une transconductance de 314 mS/mm et un facteur β de 326 mS/V/mm pour un MISFET de $1 \mu\text{m}$ de longueur de grille [Grider, 91].

Toujours dans le but de valider notre procédé technologique nous avons réalisé des transistors à grille submicronique. Sur la Fig. 3.24 - a nous avons tracé l'évolution du courant de drain en fonction de la tension de drain pour V_{gs} allant de 2 V jusqu'à 3 V d'un MISFET PM $2*25*0.2 \mu\text{m}^2$. Avec un courant I_{dss} de 625 mA/mm, nous obtenons un g_m de 600 mS/mm et un facteur β de 1040 mS/V/mm (Fig. 3.23 - b). On constate une augmentation du courant I_{dss} , cependant la transconductance et le facteur β sont moins bons que ceux obtenus pour un transistor de $0.5 \mu\text{m}$ de longueur de grille. Nous pensons que cela est dû aux effets de canaux courts et à une diffusion des ions implantés en dessous de la grille. Il est important de noter que c'est la première fois que des MISFET's PM à grille submicronique ($L_g = 0.2 \mu\text{m}$) sont réalisés. Ces résultats que nous avons obtenus sont très encourageants en ce qui concerne la réalisation de transistors à grille submicronique à l'aide de notre procédé technologique.

Sur la Fig. 3.25 nous avons tracé l'évolution du courant I_{dss} en fonction de la longueur de grille. De même les variations du facteur β et de la transconductance en fonction de la longueur de grille sont reportées sur les Fig. 3.26 et 3.27.

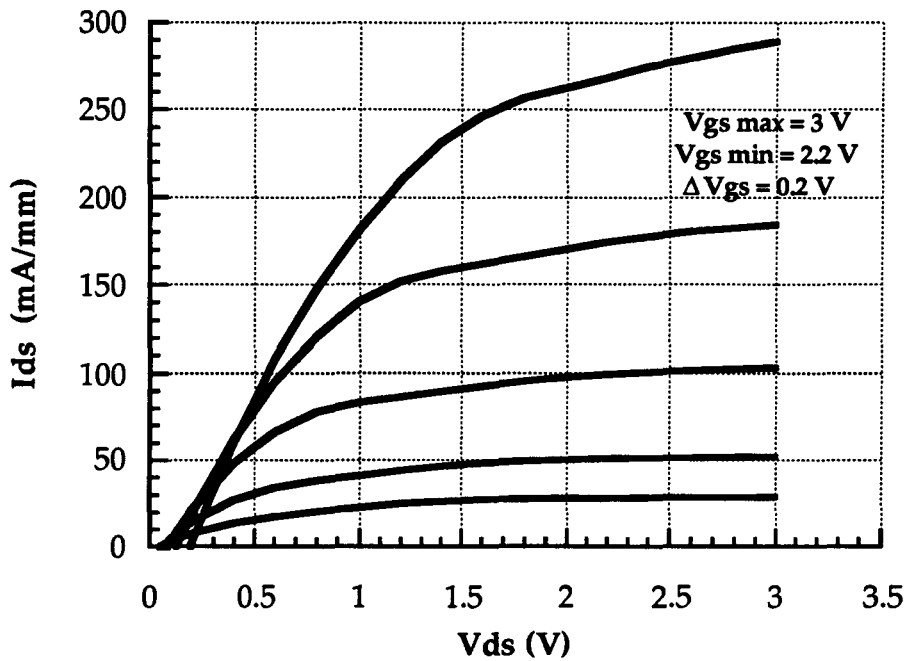


Fig. 3.22 - a: Caractéristique $I_{ds}(V_{ds})$ d'un MISFET PM $2 \times 25 \times 1 \mu\text{m}^2$ (op 567 - dose d'implantation $6 \cdot 10^{13} \text{ cm}^{-2}$).

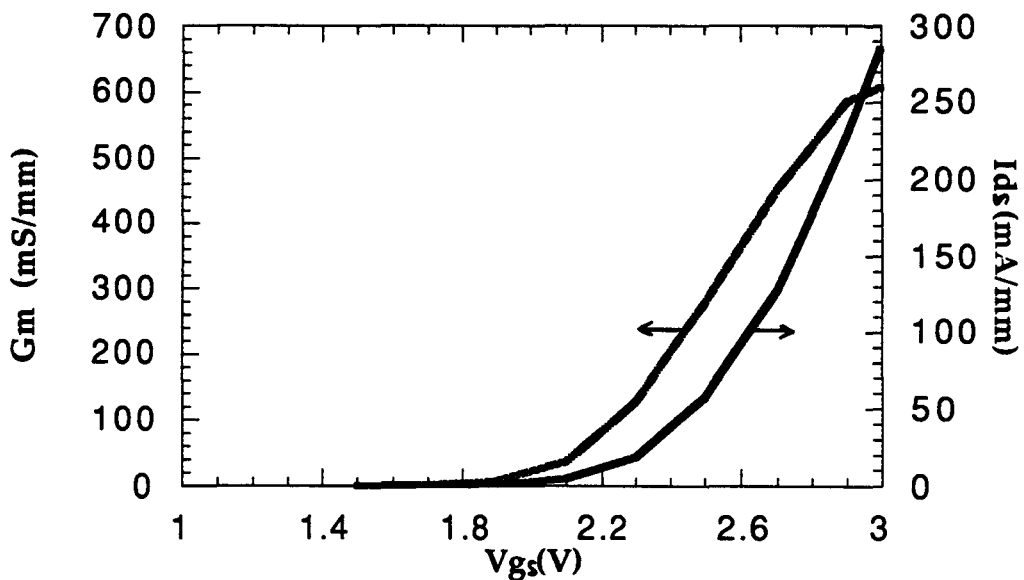


Fig. 3.22 - b: Evolution de la transconductance statique g_m et du courant de drain I_{ds} en fonction de V_g à $V_{ds} = 3 \text{ V}$ d'un MISFET PM $2 \times 25 \times 1 \mu\text{m}^2$ (op 567 - dose d'implantation $6 \cdot 10^{13} \text{ cm}^{-2}$).

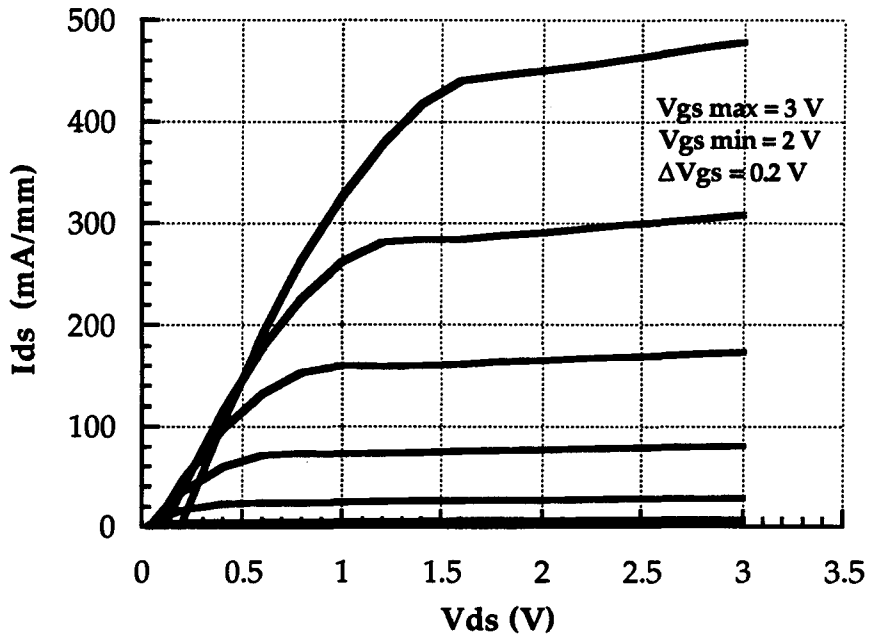


Fig. 3.23 - a: Caractéristique $I_{ds}(V_{ds})$ d'un MISFET PM $2 \times 10 \times 0.5 \mu\text{m}^2$ (op 567 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

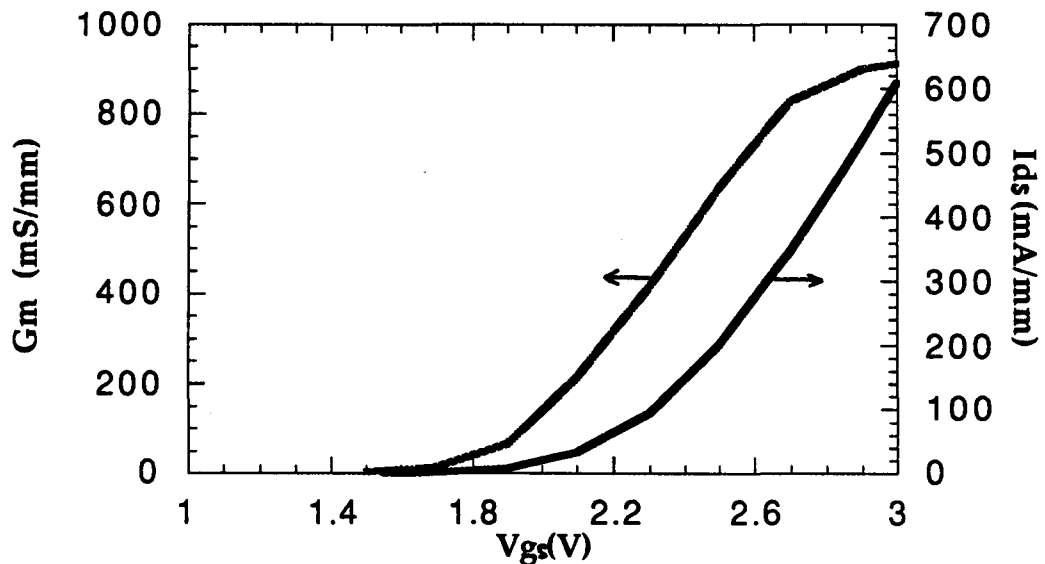


Fig. 3.23 - b: Evolution de la transconductance statique g_m et du courant de drain I_{ds} en fonction de V_g à $V_{ds} = 3 \text{ V}$ d'un MISFET PM $2 \times 10 \times 0.5 \mu\text{m}^2$ (op 567 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

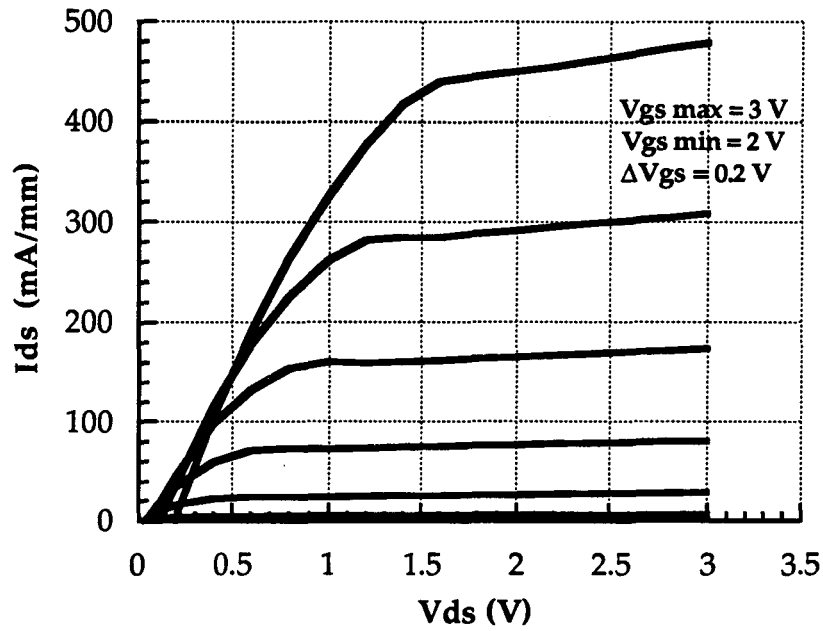


Fig. 3.24 - a: Caractéristique $I_{ds}(V_{ds})$ d'un MISFET PM $2 \times 25 \times 0.2 \mu\text{m}^2$ (op 567 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

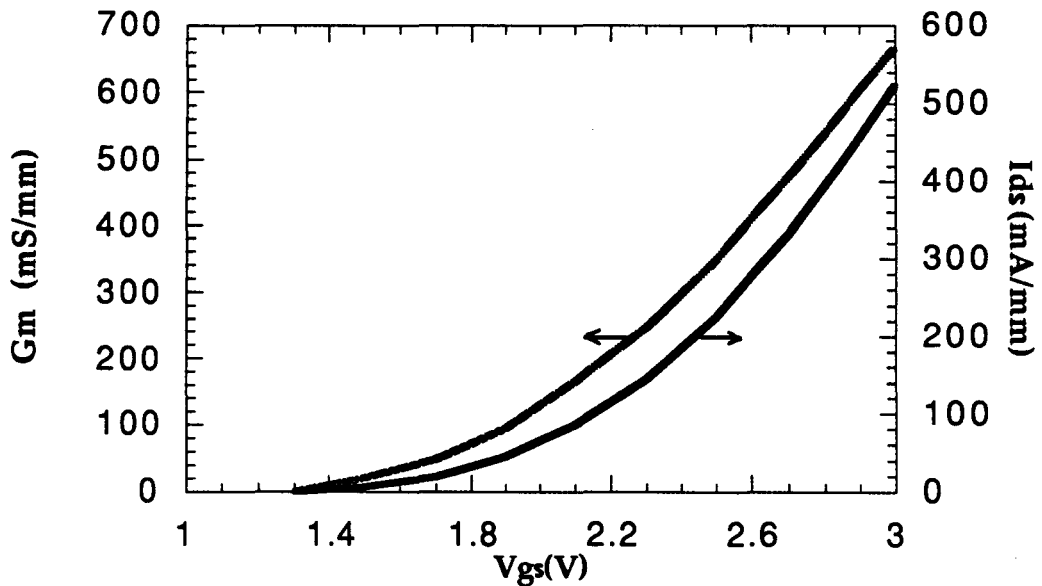


Fig. 3.24 - b: Evolution de la transconductance statique g_m et du courant de drain I_{ds} en fonction de V_g à $V_{ds} = 3 \text{ V}$ d'un MISFET PM $2 \times 25 \times 0.2 \mu\text{m}^2$ (op 567 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).

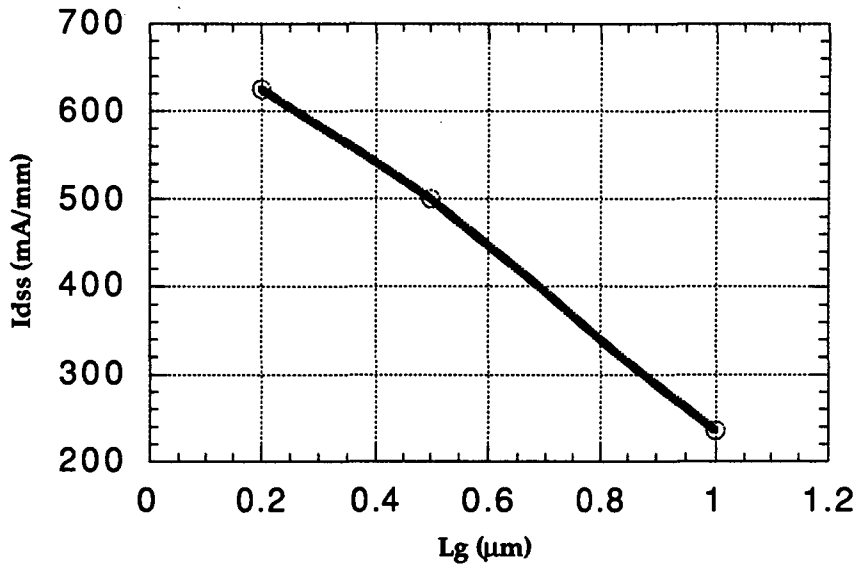


Fig. 3.25 : Variation du courant I_{dss} du transistor MISFET PM en fonction de la longueur de grille L_g .

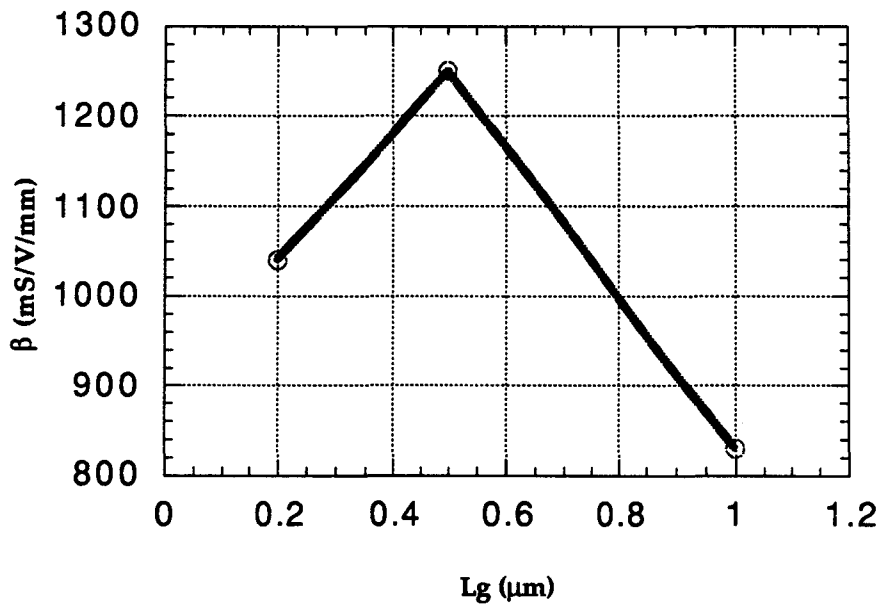


Fig. 3.26 : Variation du facteur β du transistor MISFET PM en fonction de la longueur de grille L_g .

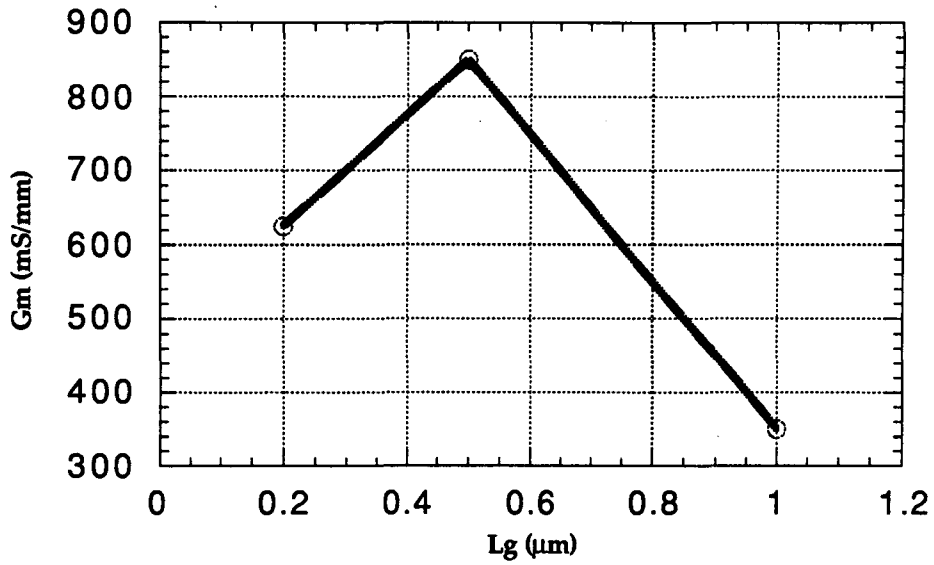


Fig. 3.27 : Variation de la transconductance du transistor MISFET PM en fonction de la longueur de grille L_g .

On notera sur les Fig. 3.25 à 3.27 que du point de vue des performances en régime statique les meilleures valeurs sont en général obtenues sur les grilles de longueurs intermédiaires (vers $0.5 \mu\text{m}$). Ce point est intéressant à noter en vue de l'intégration éventuelle de ces composants. La caractérisation hyperfréquence en revanche nous montrera qu'il n'en va pas de même pour les applications en haute fréquence.

Les caractéristiques statiques complètes de ces transistors sont resumées dans le tableau 3.6.

	2*25*1	2*25*0.5	2*25*0.2	2*10*1	2*10*0.5	2*10*0.2
I_{dss} (mA/mm)	290	400	500	235	500	625
g_m (mS/mm)	600	820	670	350	850	600
g_d (mS/mm)	20	20	35	20	22	25
g_m/g_d	30	41	18	17.5	39	24
β mS/V/mm	800	1200	700	830	1250	1040
I_g (mA/mm) ($V_{gs} = 2.5V,$ $V_{ds} = 3V$)	162	46	46	67.4	22	39

Tableau 3.6: Paramètres statiques des MISFET's PM caractérisés. (op 567)

Comme déjà noté pour les MISFET's conventionnels nous remarquons que les performances statiques des MISFET's PM implantés avec une dose de 6.10^{13} cm⁻² sont nettement supérieures à celles des MISFET's implantés avec une dose de 3.10^{13} cm⁻². On peut s'en rendre compte, par exemple, en comparant les valeurs de la deuxième colonne du tableau 3.5 avec les valeurs de la première colonne du tableau 3.6 multipliées par un facteur 2. On notera que l'ensemble des paramètres est amélioré de façon significative, mais qu'au contraire le courant de grille est fortement dégradé. Les raisons de cette dégradation ne sont pas encore très claires pour nous.

III.4.4.2 CARACTERISATION HYPERFREQUENCES.

Comme pour les MISFET's conventionnels nous avons caractérisé les MISFET's PM en hyperfréquences, et ceci dans les mêmes conditions. Malgré les excellents résultats obtenus en statique, l'existence du courant de grille limite l'exploitation des mesures en hyperfréquences. Pourvu qu'on utilise un nouveau schéma équivalent qui tient compte du courant de grille, les valeurs du schéma équivalent devraient être meilleures.

Sur les Fig. 3.28 - a, b et c, nous avons représenté l'évolution du module des gain en courant H_{21} (db) et du gain maximum disponible MAG (db) en fonction de la fréquence pour les MISFET's PM $2 \times 25 \times 0.5$, $2 \times 25 \times 0.2$ et $2 \times 10 \times 0.5 \mu\text{m}^2$ de la série 567 respectivement. Nous remarquons que c'est le transistor le plus court ($L_g = 0.2 \mu\text{m}$) qui a les fréquences de coupure de gains les plus élevées, ce qui est tout à fait logique. En particulier pour ce transistor nous obtenons une fréquence de coupure du MAG de l'ordre de 100 GHz (valeur obtenue par extrapolation à partir de la Fig. 3.28 - b). Ce résultat même s'il est encore loin des valeurs obtenues sur les transistors HEMT's est tout à fait acceptable voire très encourageant. Il est certain qu'une diminution du courant de grille d'un facteur trois permettra d'obtenir des performances hyperfréquences beaucoup plus élevées.

Sur la Fig. 3.29 nous avons représenté les paramètres S mesurés et calculés à $V_{ds} = 3.5 \text{ V}$ et V_{gs} égale à 2.2 V du MISFET PM $2 \times 25 \times 0.2 \mu\text{m}^2$, et l'on peut observer la bonne concordance des deux familles de valeurs dans ces conditions. Pour des valeurs de V_{gs} supérieures nous avons trouvé une différence importante entre les paramètres S mesurés et calculés due sans doute à l'augmentation du courant de grille.

L'ensemble des paramètres mesurés sur des composants des deux séries 535 et 567 est résumé dans le tableau 3.7.

Au terme de cette étude de faisabilité et de caractérisation des MISFET's PM, nous pouvons déjà tirer quelques conclusions:

□ le procédé de fabrication de composants décrit au chapitre II s'applique, semble-t-il, sans problème particulier aux couches pseudomorphiques.

□ la présence de la couche pseudomorphique apporte spontanément une amélioration globale des performances par rapport à celles du MISFET conventionnel. Ce résultat était bien évidemment attendu. Il apparaît cependant que le problème du courant parasite de grille subsiste dans les MISFET's PM, ce qui nous a empêché d'estimer les caractéristiques hyperfréquences dans des conditions optimales. (tension de grille toujours très près du seuil).

Néanmoins, la structure à 0.2 μm de longueur de grille, lorsque celle-ci est épaissi au TiPtAu et grâce à un ajustement correct du dopage actif des caissons implantés, nous a permis de montrer que des performances hyperfréquences significatives sont possibles: ainsi une fréquence de coupure du MAG de 100 GHz a été mesurée avec un MAG de 3,5 db à 36 GHz.

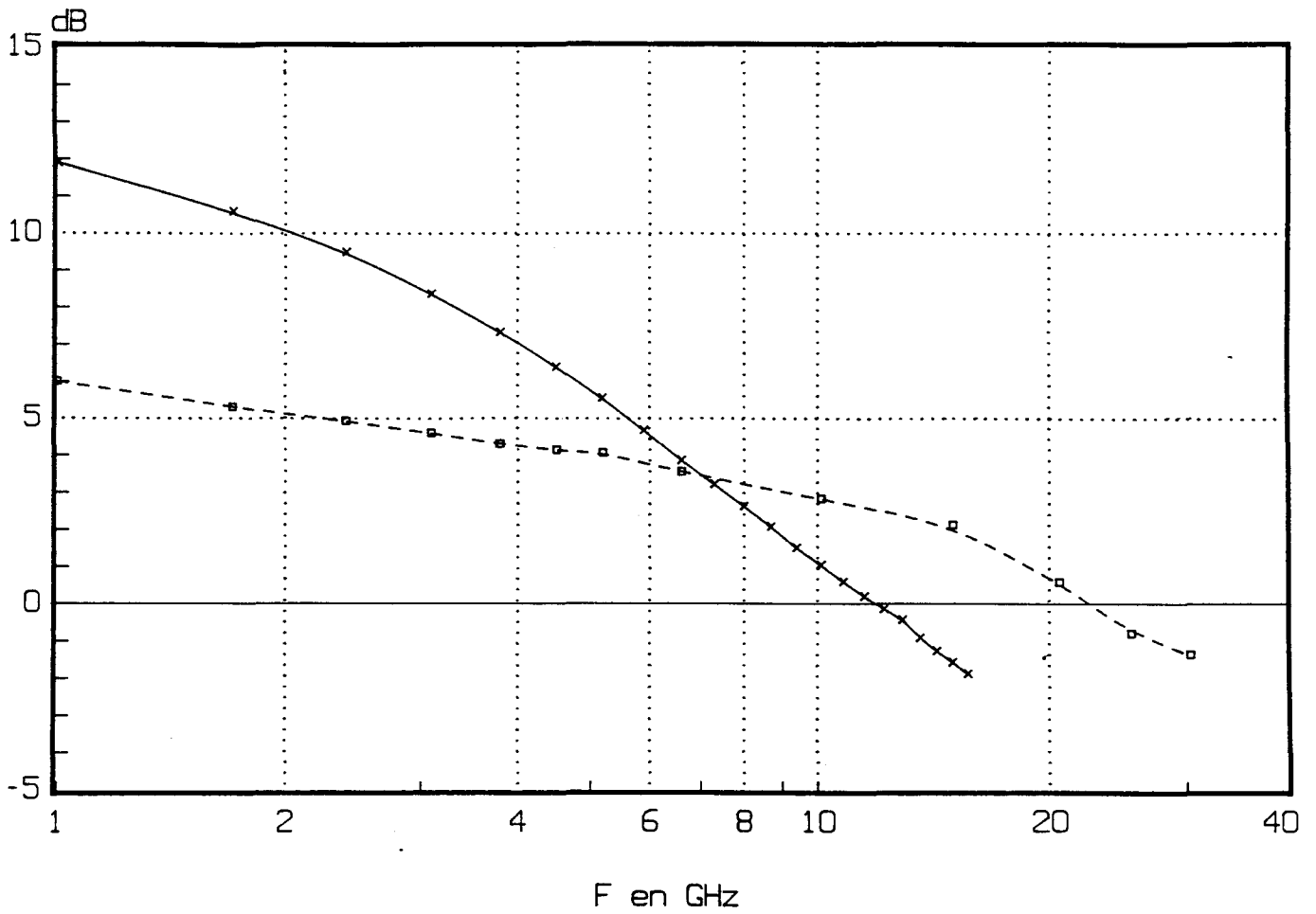


Fig. 3.28 - a: Evolution des gains H₂₁ (ligne continue) et MAG (ligne discontinue) d'un MISFET PM $2 \times 25 \times 0.5 \mu\text{m}^2$ en fonction de la fréquence pour une tension de grille $V_g = 2.2 \text{ V}$. (op 565 - dose d'implantation $6 \cdot 10^{13} \text{ cm}^{-2}$).

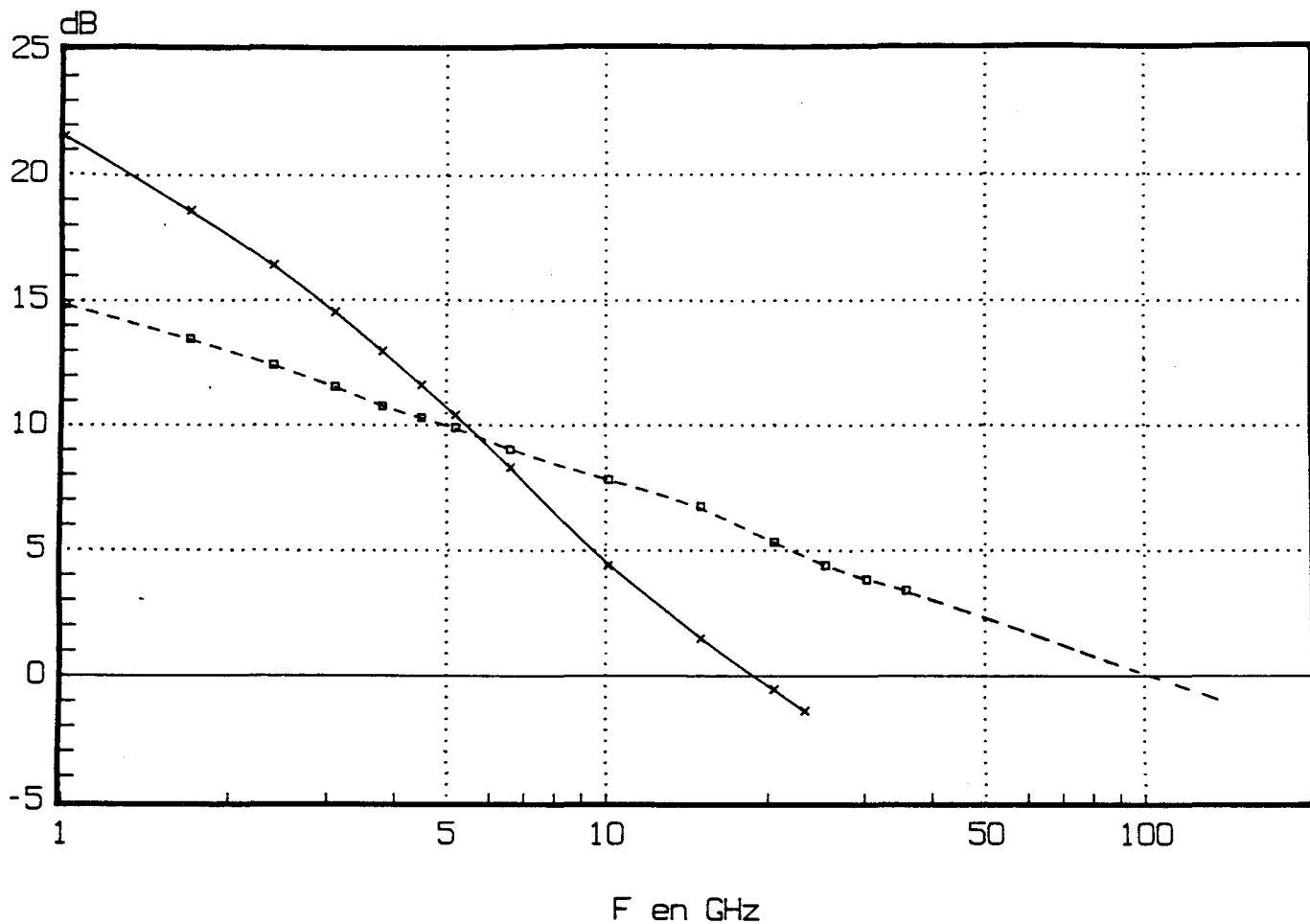


Fig. 3.28 - b: Evolution des gains H_{21} (ligne continue) et MAG (ligne discontinue) d'un MISFET PM $2 \times 25 \times 0.2 \mu\text{m}^2$ en fonction de la fréquence pour une tension de grille $V_g = 2.2 \text{ V}$. (op 565 - dose d'implantation $6 \cdot 10^{13} \text{ cm}^{-2}$).

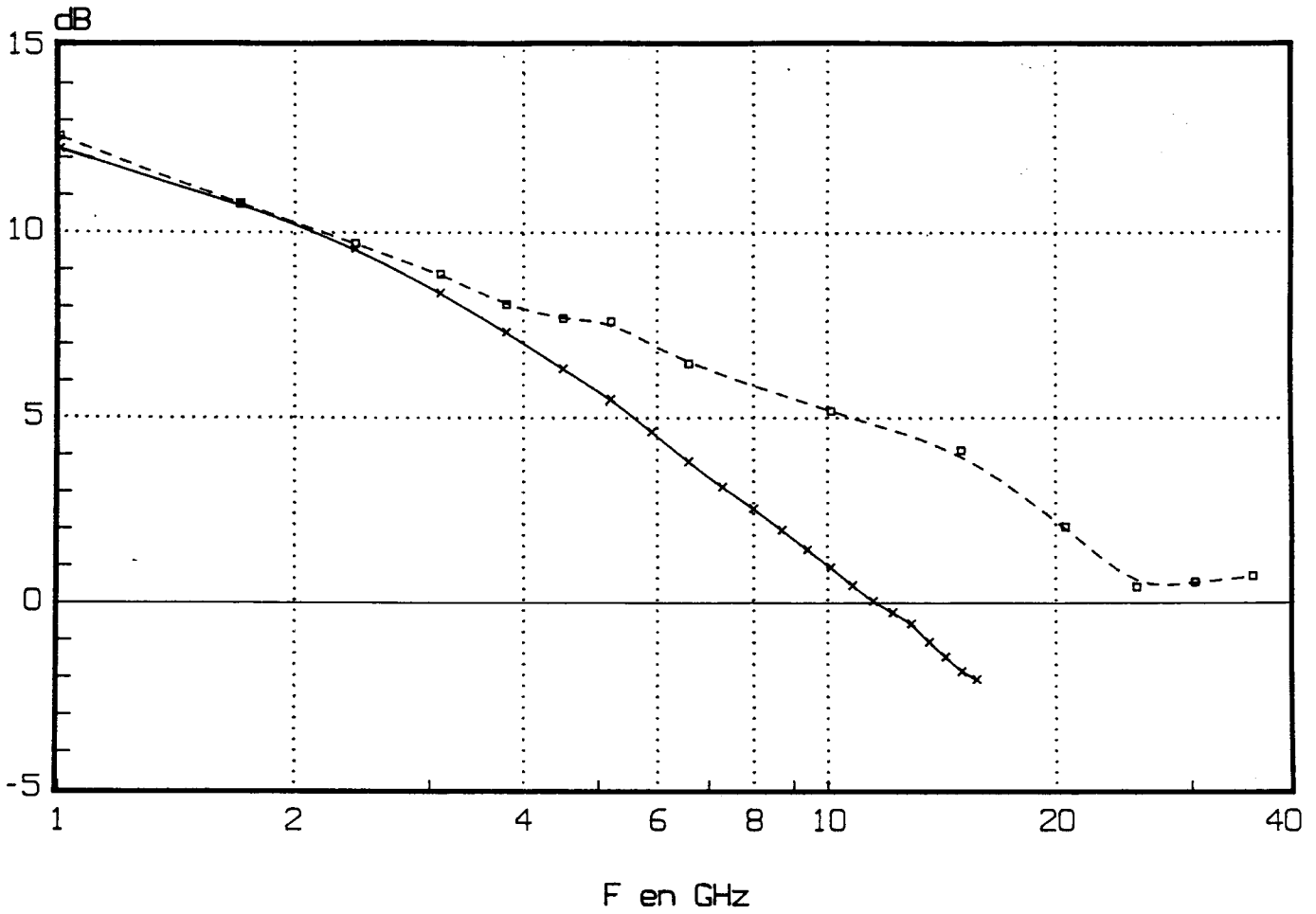
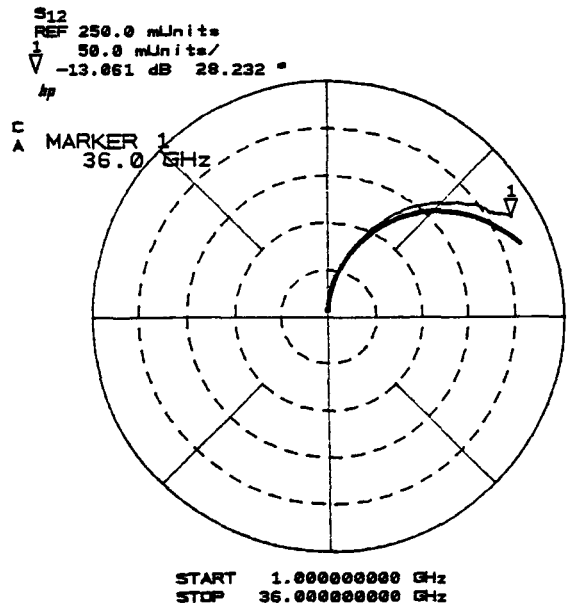
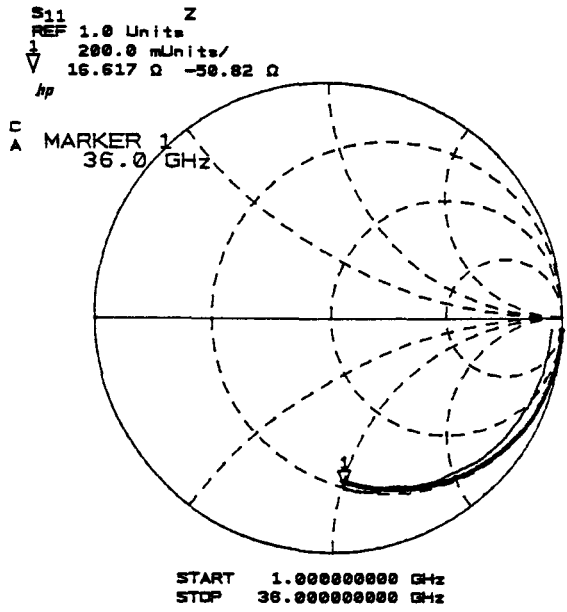


Fig. 3.28 - c: Evolution des gains H_{21} (ligne continue) et MAG (ligne discontinue) d'un MISFET PM $2 \times 10 \times 0.5 \mu\text{m}^2$ en fonction de la fréquence pour une tension de grille $V_g = 2.2 \text{ V}$. (op 565 - dose d'implantation $6.10^{13} \text{ cm}^{-2}$).



MISFET PM

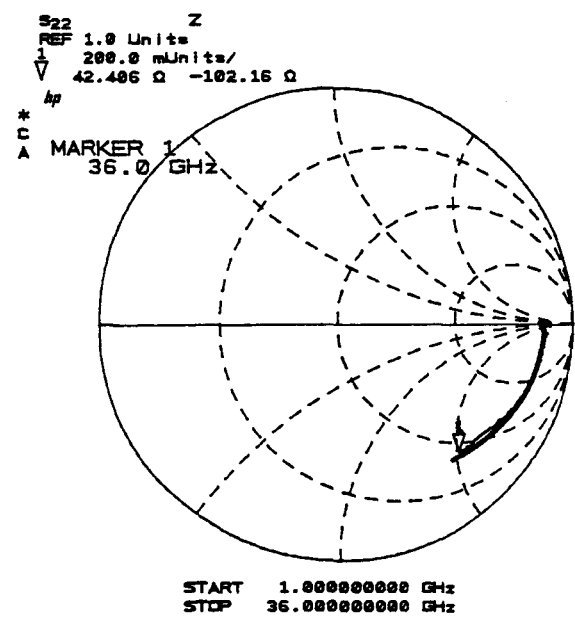
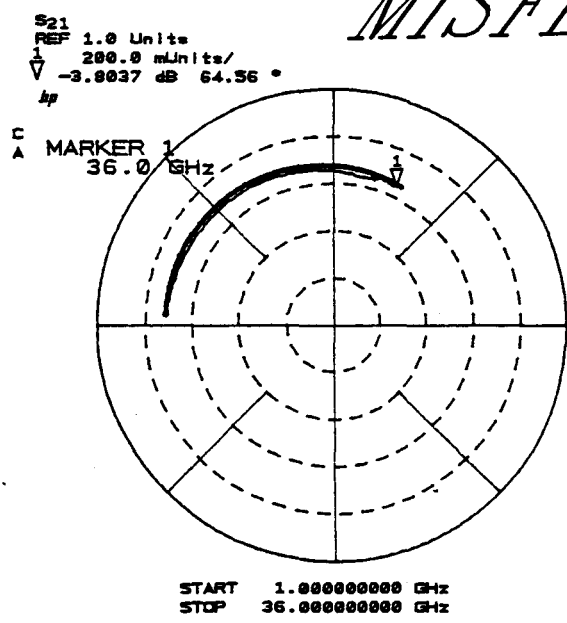


Fig. 3.29: Paramètres S_{ij} mesurés et calculés pour un MISFET PM $2 \times 25 \times 0.2 \mu\text{m}^2$.
 Comparaison théorie-expérience entre 1 et 36 GHz à $V_{ds} = 3.5 \text{ V}$ et $V_{gs} = 2.2 \text{ V}$.
 (op. 567).

Eléments	N-MISFET PM (op 535) 2*35*0.7	N-MISFET PM (op 567) 2*25*0.5	N-MISFET PM (op 567) 2*25*0.2	N-MISFET PM (op 567) 2*10*0.5
Rs (Ω .mm)	1.12	1	0.9	0.54
Rd (Ω .mm)	1.26	1.2	0.85	1
Rg (k Ω /mm)	4.05	0.4	0.52	1
gmint (mS/mm)	97	155.2	238	175
gdint (mS/mm)	29	35.8	34.2	19.5
Cgs (pF/mm)	0.71	1.12	1.24	2
Cds (pF/mm)	0.0157	0.16	n. mes.	0.185
Cgd (pF/mm)	0.157	0.2	0.26	0.43
τ (ps)	1.43	2.06	1.32	1.04
F0 (GHz)	4.46	27.4	21	9.4
Fm (GHz)	n. mes.	51.9	47	n. mes.
Fc (GHz)	17	22	30.3	18.6
H21 (db) f = 2 GHz	8.77	10	17.8	10.2
Mag (db) f = 2 GHz	12.64	5.15	14.3	10.4

Tableau 3.7: Paramètres hyperfréquences des MISFET's PM caractérisés.

III.4.5 COMPARAISON DU MISFET CONVENTIONNEL ET DU MISFET PM.

Il est intéressant de comparer les deux types de structures de MISFET's, afin de qualifier le meilleur des deux. Rappelons que les deux structures ont été fabriquées en même temps et dans les mêmes conditions.

Dans le tableau 3.8 nous comparons un MISFET conventionnel $2 \times 25 \times 0.4 \mu\text{m}$ de la série 565, et un MISFET PM $2 \times 25 \times 0.5 \mu\text{m}$ de la série 567, caractérisés au même point de polarisation.

Paramètre	MISFET Conv(565) 2*25*0.4	MISFET PM (567) 2*25*0.5
I_{dss} (mA/mm) ($V_{gs}=3V$, $V_{ds}=3V$)	270	400
g_m (mS/mm)	360	820
g_d (mS/mm)	4	20
g_m/g_d	90	41
β (mS/V/mm)	500	1200
I_g (mA/mm) ($V_{gs} = 2.5V$)	36.8	46
F_m (GHz)	29.3	51.9
F_c (GHz)	19.2	22
H21 (db) F = 2 GHz	9.5	10

Tableau 3.8 : Comparaison entre un MISFET Conventionnel et un MISFET PM.

Il est clair d'après le tableau que les performances du MISFET PM sont deux à trois fois supérieures à celles du MISFET conventionnel et ceci bien que le MISFET PM ait une grille un peu plus longue que le MISFET conventionnel. En effet, au même point de polarisation nous observons un rapport deux entre les courants, un rapport deux et demi entre les transconductances et de même pour les facteurs β . En conclusion pour la même technologie et sans aucun changement dans les conditions de fabrication des composants, il a suffi de modifier légèrement la structure épitaxiale pour améliorer les performances des transistors d'un facteur deux. Nous pouvons dire que les structures pseudomorphiques sont vraisemblablement meilleures pour la réalisation des transistors MISFET's. A la fin de ce chapitre nous discutons des améliorations possibles pour obtenir des composants plus performants.

III.4.6 CONCLUSION SUR LES MISFET's PM.

Nous avons réalisé des MISFET's PM, présentant des performances très élevées, et des résultats au meilleur niveau mondial ont été obtenus avec des transconductances maximum statiques de 850 mS/mm. La réalisation pour la première fois des MISFET's PM à grille submicronique montre l'efficacité de notre procédé technologique. Finalement nous avons prouvé par une étude comparative l'avantage d'une structure pseudomorphique sur une structure conventionnelle pour la réalisation de transistors MISFET's.

L'ensemble des remarques que nous avons faites dans la conclusion sur les MISFET's conventionnels reste vrai pour ce qui concerne les MISFET's PM. Les tensions de seuil sont encore trop élevées, le courant de grille trop fort, ce qui nous a empêché de voir les performances ultimes de ces composants. Les remèdes éventuels que nous avons décrits doivent ici aussi, pour les MISFET's PM, s'appliquer: modification de la géométrie et de la structure des grilles réfractaires, utilisation d'une fraction d'aluminium plus élevée.

III.5 MISFET DE TYPE P*.

L'intérêt du MISFET est sa compatibilité avec le développement d'une technologie complémentaire. C'est effectivement le signe de la polarisation appliquée à la grille qui définit la nature des porteurs accumulés dans le canal, électron ou trou. L'accès à ce canal nécessite la réalisation de caisson implantés du même type de conduction que les porteurs.

Nous avons donc réalisé des MISFET's, de type P, sur des structures conventionnelles et PM. Les couches épitaxiées utilisées sont les mêmes que celles utilisées pour la fabrication des transistors MISFET's de type N.

Nous avons utilisé le même procédé technologique à l'exception des paramètres d'implantation ionique. Comme dopant nous avons substitué le silicium par le magnésium. La dose utilisée est de $2 \cdot 10^{14} \text{ cm}^{-2}$, et l'énergie est de 110 keV.

Sur les Fig. 3.30 et 3.31 nous avons représenté les caractéristiques de sorties de deux MISFET's de type P conventionnel et pseudomorphique respectivement. Comme nous le constatons les composants sont loin d'être optimisés.

La première constatation qui s'impose dès l'observation de la caractéristique $I_{ds}(V_{ds})$ des transistors a trait aux importants courants de fuite qui accompagne le fonctionnement des composants. Ceci s'explique par le fait que la hauteur de barrière de la bande de valence à l'hétérojonction est très petite ($\Delta E_v = 0.19 \text{ eV}$). Le fait que le courant I_{dss} et la transconductance sont si faibles, s'explique par le fait que la mobilité des trous dans le GaAs est 20 fois plus faible que celle des électrons. Nous remarquons que la tension de seuil est nulle et que les P-MISFET's conventionnels ne pincent pas à tension de grille nulle.

Pour conclure, ce n'est qu'à des fins prospectives que nous avons réalisé des MISFET's de type P. En effet, ces transistors ont été fabriqués sans études technologiques préalables. Cette carence et notre manque d'expérience des technologies de type P se traduisent directement sur les résultats. Les améliorations technologiques à étudier dans ce cadre concernerait en premier lieu:

* Les implantations ioniques, les recuits thermiques rapides d'activation et les contacts ohmiques sur matériau P ont été réalisés au CNET Bagneux.

- ❑ l'optimisation des conditions d'implantations (dose et énergie), profils éventuellement,
- ❑ l'optimisation de la structure épitaxiale, elle-même, restant toutefois compatible avec la technologie de MISFET de type N,
- ❑ la formation des contacts ohmiques de qualité meilleure, sur des couches dopées P⁺.

Rappelons que cette étude ne fait que montrer la faisabilité de structures MISFET de type P. Mentionnons pour conclure que Honeywell [Daniels, 88], [Ruden, 89], [Grider, 91] a réalisé des MISFET's de type P ayant des transconductances de 80 mS/mm à 300 K pour des longueurs de grille de 1 μ m.

Si tous ces problèmes étaient un jour résolus, l'étape suivante serait évidemment la réalisation d'une structure C-MISFET monolithique.

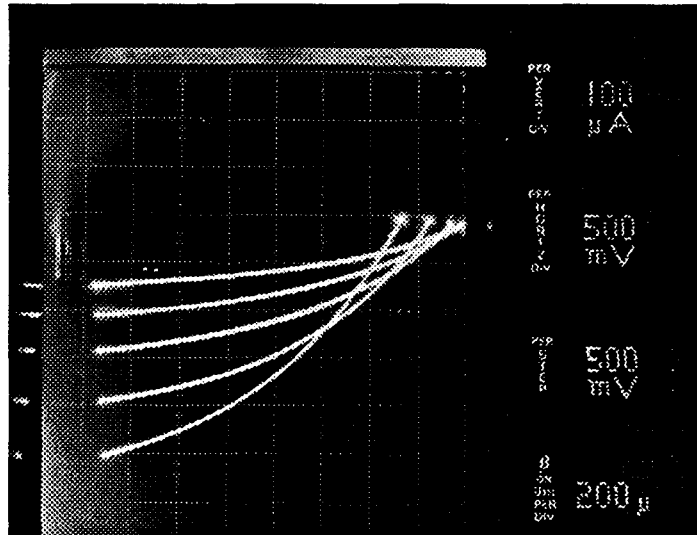


Fig. 3.29: P-MISFET conventionnel $1 \times 100 \mu\text{m}^2$.
(op 566).

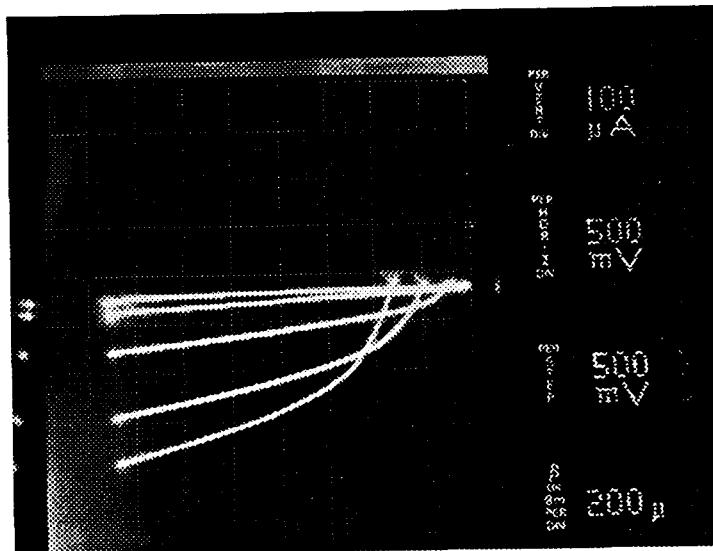


Fig. 3.30: P-MISFET PM $1 \times 100 \mu\text{m}^2$.
(op 568).

III.6 LE COURANT DE GRILLE.

Le courant de grille qui peut atteindre des valeurs très élevées parfois même supérieures au courant I_{ds} , peut être considéré comme l'inconvénient majeur du MISFET. Cet important courant résulte de la structure même du dispositif. En effet, la barrière de potentiel assurant l'isolation de la grille, réalisé par l'interface AlGaAs/GaAs, ΔE_C , a une valeur assez faible, de l'ordre de 0.3 eV. Les électrons provenant de la source et échauffés par la polarisation source-drain, peuvent acquérir le long du passage sous la grille une énergie suffisante pour être capable de franchir la barrière rendue de forme triangulaire à cause de la polarisation positive de grille. Le franchissement peut se faire soit par effet tunnel, soit par effet thermoionique soit par les deux. Dans le cadre de ce travail nous avons été amenés à développer un logiciel de simulation de ce courant. Pour cela une double étude a été effectuée.

Premièrement, une étude de la charge électrique dans le canal d'inversion en fonction de la polarisation de grille a été faite. Elle a pour but de nous fournir des données essentielles qui permettront par la suite l'évaluation du courant de grille, à savoir de trouver la relation qui existe entre la charge surfacique dans le canal avec la position du niveau de Fermi au travers de la bande de conduction, mais aussi de connaître la position des énergies de sous-bandes électroniques en fonction de la charge N_S dans le canal. Un logiciel résolvant les équations de Schrödinger et de Poisson a été développé. Il tient compte entre autre de la charge dépletée dans la couche tampon et le substrat. Cette charge est calculée par un modèle simple supposant que la couche tampon et le substrat sont de type P de densité d'accepteurs faible.

Deuxièmement, un modèle de courant de grille a été développé. Il utilise les données fournies par le logiciel de résolution des équations de Schrödinger et de Poisson, et tient en compte l'aspect quantique du canal électronique par l'intermédiaire des énergies de sous-bande existant à l'interface quand la densité N_S d'électrons est suffisante. Ce modèle a été développé en s'appuyant sur un modèle quantique bidimensionnel du courant tunnel et du courant thermoionique s'inspirant de ce qui est fait dans les modèles classiques tridimensionnels.

Les résultats que nous avons trouvés montrent que pour limiter ce courant de grille il faut utiliser un matériau possédant des hauteurs de barrière des bandes de conduction ΔE_C et de valence ΔE_V les plus élevées possibles [Fawaz, 91].

Une première comparaison théorie-expérience a été faite avec des MISFET's du LEP [Wolny, 90] et s'est révélé très satisfaisante [Fawaz, 93]. Il s'agit d'un modèle très rapide qui nous paraît bien adapté à la conception assistée par ordinateur.

Cette étude théorique a été entreprise par nous dès le début de nos travaux technologiques sur les MISFET's. Pour éclairer le lecteur sur cette théorie nous reproduisons en annexe le texte d'une publication dernièrement présentée [Fawaz, 93].



III.7. CONCLUSION.

Nous avons été amenés dans ce chapitre à décrire les réalisations des dispositifs à effet de champ qui ont été effectuées en vue de valider le procédé technologique développé au chapitre II.

Nous avons tout d'abord fabriqué des transistors MESFET's de type N. Sur ces produits nous avons mesuré les performances statiques et hyperfréquences. Nous avons ainsi prouvé la faisabilité de composants de ce type à l'aide de notre procédé.

Le deuxième volet de ce chapitre a été consacré à l'étude de transistors MISFET's de type N et P. Ces transistors sont fabriqués sur des structures conventionnelles et pseudomorphiques. Des MISFET's à grilles submicroniques ($L_g = 0.2 \mu\text{m}$) ont été réalisés. Comme pour les MESFET's chaque série de transistors a été caractérisée en statique et en hyperfréquences.

En ce qui concerne les performances des MISFET's nous avons montré que les structures pseudomorphiques sont meilleures que les structures conventionnelles. Sur les MISFET's PM nous avons obtenu des performances statiques meilleures que toutes celles publiées jusqu'à ce jour ($g_m = 850 \text{ mS/mm}$, $\beta = 1250 \text{ mS/V/mm}$).

En ce qui concerne les caractérisations hyperfréquences nous n'avons pas pu mesurer exactement les performances des transistors; en effet le schéma dynamique utilisé n'est pas valable vu l'existence d'un courant de fuite de grille qu'il nous a fallu minimiser en polarisant faiblement la grille.

Pour terminer nous avons montré la faisabilité de transistors MISFET's de type P. Les performances trouvées sont assez médiocres pour l'instant. Cependant l'optimisation de la structure épitaxiale et des conditions d'implantations devraient permettre d'améliorer les caractéristiques des MISFET's de type P.

Finalement nous avons étudié le courant de grille. Nous avons montré qu'il est lié à la structure épitaxiale. Les valeurs importantes de courant de grille que nous avons obtenues sont liées à un choix peut-être non judicieux de la structure. Pour réduire ce courant il est nécessaire de choisir un matériau possédant des hauteurs de barrières ΔE_C et ΔE_V élevées.

***CONCLUSION
GENERALE***

CONCLUSION GENERALE

Le but de ce travail était de développer une nouvelle technologie de fabrication permettant la réalisation de transistors à effet de champ et de circuits intégrés sur arséniure de gallium pour des applications logiques rapides et hyperfréquences.

Pour mener à bien un tel objectif, nous avons mis au point un nouveau procédé technologique autoaligné compatible logique, analogique et peut-être optoélectronique. Chaque étape de ce procédé a fait l'objet d'une étude préliminaire détaillée. Les principales étapes du procédé que nous avons mis au point sont les suivantes:

- le dépôt de matériaux réfractaires par pulvérisation cathodique pour la réalisation de contacts Schottky,
- la réalisation de grille en T WN/Ni par gravure ionique réactive
- l'autoalignement des caissons de source et de drain réalisés par implantation ionique et recuit thermique rapide
- l'épaississement de grille par une technique autoalignée originale nécessitant toutefois l'utilisation d'un masqueur électronique.

Pour valider ce procédé technologique nous avons réalisé des transistors à effet de champ MESFETs de type N et MISFETs de type N et P conventionnels AlGaAs/GaAs et pseudomorphiques AlGaAs/InGaAs/GaAs de géométries variées.

Pour un MISFET conventionnel AlGaAs/GaAs de longueur de grille 0.9 μm nous avons atteint une valeur de transconductance extrinsèque de 497.5 mS/mm. Comparativement, un MISFET pseudomorphique de même géométrie présente une transconductance extrinsèque de 600 mS/mm, valeur inégalée jusqu'à présent. La dispersion absolue des tensions de seuil sur 4 cm^2 est de 39 mV (écart type). Cette dernière remarque souligne pour une bonne part l'intérêt de cette technologie pour la réalisation de circuits intégrés.

Notre procédé technologique a été validé par la réalisation de structures submicroniques. Ainsi nous avons réalisé des transistors MISFETs pseudomorphiques de longueur de grille 0.2 μm ; pour ces composants nous avons mesuré une transconductance statique de 600 mS/mm. Des performances au meilleur niveau mondial ont été obtenues sur des MISFETs PM de longueur de grille de 0.5 μm . En effet des transconductances extrinsèques de 850 mS/mm et des facteurs β de 1250 mS/V/mm ont été mesurés. De tels résultats confirment l'intérêt du MISFET pour des applications circuits intégrés.

Compte tenu de ces résultats encourageants, il nous a paru intéressant d'aller plus loin et d'étudier la faisabilité de transistors de type P. Une première réalisation de transistors MISFETs de type P a été effectuée. Malgré des résultats très modestes, il semble y avoir une possibilité qui mérite d'être explorée de façon plus approfondie qui à terme peut mener à la mise au point d'une technologie de MISFET's complémentaires sur GaAs.

Enfin, au terme de ce travail, quelles sont les perspectives d'application du nouveau procédé étudié pour la réalisation de dispositifs et de circuits intégrés ?

Trois voies sont envisageables pour le développement de ce procédé technologique.

La première est constituée des circuits intégrés MISFETs complémentaires. Parmi les différentes possibilités pour réaliser des circuits

intégrés logiques, la plus avantageuse est celle qui associe des transistors "normally-off" de type N et P (structures complémentaires). Cette solution permet de minimiser la consommation électrique statique de chaque porte. Pour réaliser des circuits complémentaires il est souhaitable de disposer de composants de type N et P à tensions de seuil équilibrées et un courant de grille aussi faible que possible. Les MISFETs réalisés dans ce travail ont des tensions de seuil et un courant de grille trop élevés. Des structures pseudomorphiques telles que celles représentées dans la figure 4.1. [Grider, 91] peuvent remédier à certains de ces problèmes.

GaAs	nid	30 Å	
Al _{0.75} Ga _{0.25} As	nid	250 Å	
In _{0.25} Ga _{0.75} As	nid	150 Å	
Espaceur GaAs	nid	50 Å	Dopage δ Si
GaAs	nid	5000 Å	
Substrat S.I.			

Fig. 4.1: Structure épitaxiale

L'insertion d'un plan de dopage δ permet de réduire la tension de seuil à +0.55 V pour les transistors de type N et à -0.55 V pour les transistors de type P. L'utilisation d'un taux d'aluminium de 75% dans la couche AlGaAs et d'un taux d'indium de 25% dans la couche InGaAs permet d'augmenter les hauteurs de barrières ΔE_c à 0.845 eV et ΔE_v à 0.59 eV et par suite réduire en principe considérablement le courant de grille. Des structures similaires à celle présentée dans la figure 4.1 ont été utilisées par Honeywell Inc. pour la réalisation de circuits intégrés complémentaires si ces derniers doivent réellement s'imposer.

Pour terminer rappelons que la technologie complémentaire s'impose comme la seule technologie viable pour la fabrication de circuits intégrés logiques réalisés sur silicium. A l'identique nous pensons que la technologie

complémentaire s'imposera dans le proche avenir comme technologie la plus prometteuse pour la fabrication de circuits intégrés logiques sur arséniure de gallium.

La seconde voie concerne les circuits intégrés mixtes logique-optoélectronique. Dans le premier chapitre nous avons rappelé que le problème majeur des circuits intégrés optoélectroniques est la compatibilité des structures épitaxiales pour la réalisation simultanée de détecteurs optiques et de transistors à effet de champ. La structure MISFET sur InP peut être une solution à ce problème. En effet la structure présentée sur la figure 4.2 est un exemple de structure épitaxiale que l'on peut utiliser pour la réalisation d'amplificateurs-détecteurs.

InGaAs nid 30 Å
AlInAs nid 250 Å
InGaAs nid 1µm
Substrat S.I. InP

Fig. 4.2: Structure épitaxiale

Les deux premières couches AlInAs/GaInAs servent à la réalisation du transistor MISFET, la couche GaInAs de 1µm sert à détecter la lumière. Le transistors et le détecteur Shottky peuvent être réalisés simultanément à l'aide de notre procédé. Notons que les résultats très encourageants obtenus récemment par [Chan, 91 et 92] et [Kamada, 92] sur des transistors MISFET's sur InP montrent clairement l'intérêt du transistor MISFET pour ce genre d'application.

La troisième voie serait les circuits intégrés mixtes logique-analogique. La fabrication de tels circuits nécessite la réalisation de dispositifs performants

à la fois en hyperfréquence et en logique. Le procédé que nous avons développé peut être utilisé pour la réalisation de circuits mixtes utilisant des transistors MESFETs et ceci pour des applications inférieure à 30 GHz. De telles applications concernent les micro-capteurs micro-ondes, où on souhaite intégrer à la fois l'antenne, l'oscillateur, le mélangeur et le circuit de traitement du signal. La partie analogique du circuit peut être réalisée avec des transistors MESFET's à déplétion et la partie logique du circuit peut être réalisée à l'aide de structures MESFET's à Enrichissement/Déplétion.

En résumé, une technologie multifonction destinée à la réalisation de circuits intégrés logiques et/ou hyperfréquences sur arséniure de gallium a été développée. Des résultats très encourageants ont été obtenus sur des transistors à effet de champ. Nous espérons que ce travail permettra d'ouvrir une voie nouvelle dans la réalisation et l'optimisation des composants et circuits sur semiconducteurs III-V.

REFERENCES
BIBLIOGRAPHIQUES

REFERENCES BIBLIOGRAPHIQUES

ADACHI S.: "Si-ion implantation in GaAs and $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ ", J. appl. phys. Vol. 63, N° 1, p. 64, janvier 1988.

AKINWANDE A. et. al.: "Complementary III-V heterostructure FET's for low power integrated circuits", IEDM, p. 983, San Fransisco, 1990.

ANHOLT R. et. al.: "Ion implantation into gallium arsenid", J. appl. phys., Vol. 64, N° 7, p. 3429, Octobre 1989.

BAHL J. I. et. al.: "Multifunction SAG process for high yield, low-cost GaAs microwave integrated circuit", IEEE trans. on MTT, Vol MTT-38, N° 9, September 1990.

CALLEGARI A. et. al.: "Effect of interface states on the electrical properties of W, WSi_x and WAl_x Schottky contacts on GaAs", J. appl. phys., Vol. 62, N° 12, p. 4815, Decembre 1987.

CHAN Y. J. et. al.: "High performance E/D-mode InAlAs/InGaAs HIGFET technology and integrated logic function", 4th international conference on indium phosphide and related materials, Newport, 1992.

CHAN Y. J. et. al.: "InAlAs/InGaAs HIGFET's using novel 0.2 μm self aligned T gate technology", 18th international symposium on GaAs and related compoud, Washington, 1991.

CHINO K.: "Behavior of Al-Si Schottky barrier diode under heat treatment", Solid-state electron., Vol. 16, p. 121, 1973.

CROWELL C. R. et. al.: "Tungsten-semiconductor Schottky barrier diode", Trans. met. soc. AIME, N° 233, p.478, 1965.

DAMBRINE G. et. al.: IEEE trans. on MTT, Vol. 36, N° 7, p. 1151, 1988.

DANIELS R. R. et. al.: "Quantum well p-channel AlGaAs/InGaAs/GaAs HIGFET with very high transconductance", IEEE Electron Dev. lett., Vol. 9, N° 9, Juillet 1988.

DE SOUZA J. P. et. al.: "Ion implantation in gallium arsenid MESFET technology", IEEE trans. on Electron Dev., Vol ED-39, N° 1, p. 166, Janvier 1992.

DENEUVILLE et. al.: "Conducting diffusion barrier: formation and characterisation of WN obtained by thermal annealing under NH₃ of W films deposited on Si", Journal de physique, colloque C4, suppl. 9, N° 49, p. 499, 1988.

FAWAZ H. et. al.: "Quantum twodimensional model of the gate current in AlGaAs/GaAs MISFET's", ISDRS, Charlottesville, 1991.

FAWAZ H. et. al.: "A novel model of the gate current in the heterojunction FET's", IEEE trans. on Electron Dev., 1993.

GOURRIER S.: "GaAs integrated circuits with normaly-off process a real market opportunity", 1992.

GRAVE T. et. al.: "A self aligned MESFET process with WSi gates for analog and digital applications", Solid-state electron., Vol. 34, p. 861, 1991.

GRIDER D. et. al.: "Delta doped complementary heterostructure FET's with high Y value pseudomorphic In_yGa_{1-y}As channels for ultra low power digital IC applications", IEDM, P. 235, Washington, 1991.

HEILBLUM M. et. al.: "Characteristics of AuGeNi ohmic contacts to GaAs", Solid-state electron., Vol. 25, N° 7, p. 185, 1982.

JACKSON T. et. al.: "Short gate length epitaxial channel self aligned GaAs MESFET's with very large k-factor", IEDM, p. 507, San Fransisco, 1990.

KAMADA M. et. al.: "High transconductance self aligned WSi gate AlInAs/GaInAs HIGFET's grown by MOCVD", Electronic lett., Vol. 28, 30 Juillet 1992.

KATTELUS H. P.: "Sputtered W-N diffusion barriers", J. vac. sci. technology, A3, N° 6, P. 2246, Novembre 1985.

KEIHL R. A. et. al.: "High transconductance p-channel AlGaAs/GaAs HFET's with low-energy beryllium and fluorine co-implantation self alignment", IEEE Electron Dev. lett., Vol. 12, N° 10, p. 530, Octobre 1991.

KIEHL R. A. et. al.: "The potential of complementary heterostructure FET's IC's", IEEE Trans. on Electron Dev., Vol. ED-34, N° 12, p. 2412, December 1987.

KWON Y. et. al.: "W-band monolithic oscillator using InAlAs/InGaAs HEMT", Electronics letters, Vol. 26, N° 18, p. 1425, August 1990.

LEVY H. et. al.: "Self-aligned submicron gate digital GaAs integrated circuits", IEEE Electron Dev. lett., Vol. EDL-4, N° 4, p. 102, April 1983.

MEAD C.: "Schottky barrier gate field effect transistor", Proc. IEEE, Vol. 54, N° 307, 1966.

MIKKELSON J.: "GaAs digital VLSI device and circuit technology", IEDM, p. 231, Washington, 1991.

MIZUTAMI T. et. al.: IEEE Trans. on MTT, Vol MTT-28, p. 486, may 1980.

MORGAN D. V. et. al.: "Refractory and silicide metallisation for GaAs MESFET's", Applied surface science, Vol. 38, p. 517, 1989.

MURRAY R.: "Comparison of the structure and electrical properties of thin tungsten films deposited by radio frequency sputtering and ion beam sputtering", J. appl. phys., Vol. 58, N° 9, p. 3583, 1985.

MYERS D. R. et. al.: "Rapid thermal annealing for quantum well heterostructure device fabrication", IEEE, trans. on Electron Dev. , Vol. ED-39, N° 1, Janvier 1992.

ONODERA K. et. al.: "Ultra low noise fully ion implanted GaAs MESFET with Au/WSiN refractory metal gate", IEDM, p. 251, Washington, 1991.

PACAGNELLA A.: "GaAs surface plasma treatments for Schottky contacts", Solid-state electron., Vol. 34, N° 12, p. 1409, 1991.

PALMESTROM C. J.: "Gallium arsenide materials, devices and circuits", Willey, 1985.

PEARTON J. et. al.: "Rapid thermal annealing in GaAs IC processing", J. electrochem. soc.: solid-state science and technology, p. 2743, Novembre 1985.

RUDEN P. P. et. al.: "Quantum well p-channel AlGaAs/InGaAs/GaAs HIGFET, IEEE, trans. on Electron Dev. , Vol. ED-36, N° 11, Novembre 1989.

SADLER R. A. et. al.: "A high yield buried p-layer fabrication for GaAs LSI circuits", IEEE, trans. on Electron Dev. , Vol. ED-38, N° 6, Janvier 1991.

SADLER R. A. et. al.: "A manufacturable 0.4 μm process for high performance LSI circuits", GaAs IC symposium, p. 63, 1990.

SINGH H. et. al.: "GaAs low power integrated circuit for a high speed digital signal processor", IEEE Trans. on Electron Dev., Vol. 36, p. 240, 1989.

SCHNEIDERMAN W.: "GaAs sales gain as markets mature", Microwave and RF., p. 31, Octobre 1992.

SO F. C. I. et. al.: " WN_x properties and applications", Thin solid film, N° 153, p. 507, 1987.

SZE S. M.: "High speed semiconductor devices", wiley, 1990.

SZE S. M.: "Physics of semiconductor devices", wileys, 1982.

TANG C. C. et. al.: "Tungstene etching in CF_4 and SF_6 discharges", J. electrochem. soc.: solid-state science and technology, Vol. 131, N° 1, p. 115, Janvier 1984.

THOMSON: "Short form catalogue", Thomson composant microonde, 1992.

WALDROP J.R.: "Interface chemistry and electrical properties of tungstène Schottky-barrier contacts to GaAs", Appl. phys. lett., Vol. 41, N° 4, p. 350, 1982.

WOLNY M. et. al.: "High Performance WN -gate MISFET Fabricated from MOVPE Wafers", Electronics Letters, vol. 23, pp. 1127-1128, 1987.

YAMAGISHI H.: "Characteristics of WN/GaAs Schottky contacts formed by reactive RF sputtering", Jpn. j. appl. phys., Vol 58, N° 15, p. 895, 1984.

YOKOYAMA: IEEE Trans on Electron Dev. Vol. ED-29, N° 10, p. 1541, Octobre 1982.

YU K. M. et. al.: "Effect of interface reactions on electrical characteristics of metal-GaAs contacts", Appl. phys. lett., Vol. 53, N° 3, p. 189, 1987.

YU K. M. et. al.: "High temperature annealing characteristics of tungsten and tungsten nitride Schottky contacts to GaAs and different annealing conditions", J. appl. phys., Vol. 64, N° 3, P. 1284, Aout 1988.

ANNEXE

ANNEXE

**A NOVEL MODEL OF THE GATE CURRENT IN
HETEROJUNCTION FETs***

Hussein FAWAZ, Student member IEEE, Joel GEST,
and Jacques ZIMMERMANN

Institut d'Electronique et de Microélectronique du Nord, UMR CNRS 9929,
Département Hyperfréquences et Semiconducteurs, Batiment P3,
Université des Sciences et Technologies de Lille,
59655 Villeneuve d'Ascq Cedex, France

ABSTRACT

We present a new model of the gate current in heterojunction FETs, taking into account two-dimensional electron gas effects at the heterojunction interface. The gate current results from tunnel and thermionic contributions. This model takes into account a number of technological parameters such as heterojunction barrier height, threshold voltage, gate length, and temperature. It has been tested against experimental measurements of gate current in AlGaAs/GaAs MISFETs at various temperatures. The agreement has been found quite satisfactory in a large range of temperature.

INTRODUCTION

The GaAs MISFET (Metal Insulator Semiconductor FET) rises real hopes for the realization of fast complementary logic structures and microwave applications as well. In fact, in addition to its very low noise figure, this device presents an excellent large scale threshold-voltage uniformity on the wafer and good reproductibility from wafer to wafer [1]-[5]. Moreover, one of the particularities of MISFETs is the presence of a negative differential resistance due to the onset of an important gate current correlated to a sudden decrease of the drain current when the gate is forward biased above threshold voltage and at moderate drain biases [6]. Consequently, the gate current plays a dominant role in the operation of this device, whence the necessity of a good understanding and modeling of the device, in particular at different temperatures and for different structures. Depending on the application, in fact, the gate current must be optimized in different ways. In [6] for instance, for high frequency analog applications, the gate current sharply controls the appearance and amplitude of the drain negative differential resistance. In this paper, we study the phenomena responsible for the gate current and propose a quantum model for heterojunction FETs here applied to MISFETs. The model results are compared with experimental measurements achieved in our laboratory. Models of gate current in MISFETs even in n or p-type [7] or trying to incorporate quantum effects [8] have already been proposed. This is not a simple problem and here we attempt to show how far empirical parameters can be removed from previously proposed models through a more physically accurate analysis of the gate current.

THEORY OF THE MISFET GATE CURRENT

The modeled structure is presented in fig.1. Its consists in a simple AlGaAs/GaAs heterojunction with a metallic contact on top. The heterojunction interface inversion layer forms a two-dimensional electron gas. The energy band diagram shows that the electrons are confined in a quasi-triangular potential well, whence, the creation of a series of energy sub-bands on the GaAs side of the interface. The arrangement of these sub-bands strongly depends on the total charge in the well. This charge consists in the mobile electronic charge qN_s accumulated due to the positive bias of the gate and the static charge qN_{Dep} depleted in the GaAs substrate. In the case of MISFET, the Fermi level is not flat

[9] since a current of electrons circulates from the well to the gate, thus requiring the knowledge of the Fermi levels E_{F1} and E_{F2} on each side of the potential barrier. The first of these depends on the accumulated charge at the interface, while the second is chosen by assuming that the quasi-Fermi level is always parallel to the conduction band [10], [11], and for which we assume the same value as the quasi-Fermi level at the point where E_{F1} crosses again the barrier in the AlGaAs side. The origin of energies is taken at the bottom of the quantum well at the interface on the GaAs side. Then

$$E_{F2} = 2E_{F1} - \Delta E_c \quad (1)$$

The self-consistent resolution of the Schroedinger and Poisson equations (see appendix) allows the calculation of the sub-bands energies and of the Fermi level E_{F1} at a given electron density N_s . From a quantum mechanical point of view, the space charge must penetrate into the potential barrier and, if the barrier is thin enough, give rise to a tunnel current and a thermionic current. For the sub-band α , let us consider a small interval of energy dE and write the current element that the electrons having an energy between E and $E+dE$ are capable to contribute:

$$dJ_\alpha(E) = J_\alpha(E)d(E) = 2q \frac{P_\alpha}{m^*} T(E) \frac{m^*}{2\pi\hbar^2} (f_1 - f_2) \frac{dE}{L_\alpha} \quad (2)$$

For example, in Fromhold [12], an equivalent formula is detailed in the case of a fully three-dimensional electron system. The formula used here is an extension of the three-dimensional formula but it requires a renormalization such that the current density is correctly defined. This is why we divide by some effective width L_α which physically represents the portion of space in which the electrons are truly located. L_α is the effective width of sub-band α [13] defined by:

$$\frac{1}{L_\alpha} = 2 \int_{-\infty}^{+\infty} \Psi_\alpha^4(x) dx \quad (3)$$

where $\Psi_\alpha(x)$ is the electron wave-function of sub-band α . Formula (2) thus obtained is somewhat different from the three-dimensional case because the electron states spilling over or through the barrier may also be strongly localized in the quantum well while in the three-dimensional case these are free states. Here $P_\alpha/m^* = V_\alpha$ represents an electron velocity taken as an analogue of the

conduction velocity occurring in the normal three-dimensional problem (see appendix for a definition). $T(E)$ is the transparency of the barrier, $m^*/2\pi\hbar^2$ is the two-dimensional density of states of the accumulated electrons, f_1 and f_2 are the probabilities of presence of electrons (Fermi-Dirac statistics) on the GaAs and AlGaAs sides respectively. In fact, the experience shows that the term of eq. 2 containing f_2 in general is of very little importance compared with the other term, except maybe at extremely low current i.e. near the flat band condition. In fact, E_{F2} in general is well below E_{F1} in the energy scale. At the limit, the f_2 term can easily be omitted in most cases. This assumes that the occupancy of electron states in the AlGaAs layer is always weak.

The transparency $T(E)$ is calculated using the WKB approximation which can adequately apply to our problem where the barrier is slowly varying in space. Assuming a nearly triangular barrier at the interface and the potential to be :

$$V(x) = E_c(x) = \frac{q}{\epsilon_{sc}} (N_s + N_{Depl})x \equiv F_s x \quad (4)$$

where F_s is the interface field at the heterojunction,

we find :

$$T(E) = \exp \left[-\frac{4\sqrt{2m^*}}{3\hbar q F_s} (\Delta E_c - E)^{3/2} \right] \quad (5)$$

where N_{Depl} is the electron density depleted in the GaAs substrate. ϵ_{sc} and m^* refer to the material in which current flows, i.e. AlGaAs. In expression (5) the energies are in Joule.

In relation (2), the tunneling contribution corresponds to the energy values for which the transparency is less than one and lies between E_α and ΔE_c , and the contribution to the thermionic emission current has the same expression in which the transparency equals one and the energies are greater than ΔE_c . With the WKB approximation this assumption is necessary because at ΔE_c , $T(E) = 1$, and there is no turning points for the WKB integral above ΔE_c . This point is illustrated by Fromhold in [12]. The exact transparency, above ΔE_c , if the particle

mass is not too high (this is our case) remains close to one and exhibits a weak wavy structure which is ignored here. This wavy structure fades out when the energy is higher. The total current is then expressed as (in practice up to 11 subbands are taken into account) :

$$J_{\text{total}} = \sum_{\alpha=1}^N \left[\int_{E_{\alpha}}^{\Delta E_c} dJ_{\alpha}(E) + \int_{\Delta E_c}^{+\infty} dJ_{\alpha}(E) \right] \quad (6)$$

$$\begin{array}{ccc} \Downarrow & & \Downarrow \\ T(E) < 1 & & T(E) = 1 \end{array}$$

At this point, we see that the current is obtained as a function of the N_s in the channel. In order to determine the gate current as a function of the gate bias voltage, we need to know the charge control law by the gate. This is obtained with the help of experiments and the $N_s(V_g)$ depends on the device configuration.

At this point we must say that in all the formulas above the satellite valleys in the AlGaAs layers are ignored and all the quantities involved refer to the Γ valley only. It is known that at 45% of Al mole fraction all three valleys probably level off in AlGaAs. We believe this fact to be of importance in case where we had hot electron effects in the GaAs channel, due to an important drain bias for instance, in which case the satellite valleys in GaAs could be partially occupied and thus could communicate with the other valleys in the AlGaAs layer. At present we still deal with equilibrium electron populations.

DEVICES AND ELECTRON CHARGE ACCUMULATION

The wafers used here are made of a thin (typically 400 Å thick) undoped layer of AlGaAs with a 45 % aluminum mole fraction grown over an undoped GaAs buffer by MOCVD [14]. A very thin (50-80 Å) undoped GaAs cap layer is grown over the AlGaAs for protection during device processing. The gate geometries are 20 x 0.7 or 50 x 1.2 μm^2 . A self-aligned ^{29}Si ion implantation technology is used with WN refractory gates. In the process, SiN mushroom gates are used in order to achieve unimplanted spacers on each side of the gate. A typical characterization of these MISFETs is shown in fig. 2. Three remarks are of interest. We first see that, in the present case, the threshold voltage of the drain current is nearly 1.4 V. Several processes made at the LEP and two made by us in

our own laboratory using the same technology and geometries have shown that threshold is very sensitive to the thickness of the WN layer. Namely, we have noted that for thicknesses of 150, 220 and 300 nm of WN we found thresholds of nearly 1.2, 1.4 and 2 V, respectively. A reason might be that the constraint in the semiconductor at the gate interface is stronger when the WN gate is thicker. Second, the uniformity of threshold voltages over a wafer is rather good with standard deviations of nearly 30-40 mV in an area of 4 cm². However we find that small gates have slightly different, in general smaller, thresholds than large gates. Third, we see from fig. 2, that above some gate voltage the MISFETs exhibit a negative transconductance. Using this property, interesting applications are possible like frequency doublers for instance as shown in [15]. This effect was recently studied and modelled by Ruden et al [16] and Baek et al [17], and in [6].

The charge control law by the gate is obtained with a measurement of the gate capacitance with source and drain at zero potential. The capacitance is then integrated over V_g and gives the $N_s(V_g)$ (see fig. 3). Theoretically, the charge control law [18] can be written as

$$V_g = \frac{qN_s}{\epsilon_{sc}}d + V_{th} + E_{F1}(N_s) \quad (7)$$

where E_{F1} has been defined above and d is the thickness of the AlGaAs layer. In order to illustrate the method, in fig. 4, we plot the variation of the Fermi level at different temperatures. The Fermi level is calculated at each value of N_s with the self-consistent resolution of Schroedinger and Poisson equations, also providing all the ingredients needed for the computation of the gate current using eqs 2, 5 and 6. It is found that the $N_s(V_g)$ experimental dependance obtained with gate capacitance measurements is rather well fitted by relation (7) with $V_{th} = 1.2$ eV, $\Delta E_c = 0.35$ eV, $d = 400$ Å, a value reasonably close to the presumed one, and the Fermi level obtained from the Schroedinger and Poisson solver. A typical fit of theory with experience was illustrated in fig. 3. It is clear that a correct evaluation of the Fermi level is essential if we are to accurately fit the charge control law near or below threshold. Equation (7) does not involve the usual Δd representing the distance of the charge centroid from the interface because the E_{F1} term represents this effect. From figure 4, at 293 K, it is easy to see that $\Delta d (= \epsilon_{sc}/q \delta E_{F1}/\delta N_s)$ would be 80 Å, the usual value [18], at $N_s = 10^{12}$ cm⁻² and 170 Å at $2 \cdot 10^{11}$ cm⁻², nearer the threshold. The E_{F1} term in eq. (7) is a better representation of this distance effect than is a fixed Δd . In fact, eq. (7) is similar to

the HEMT charge control law of [19] in which the exact Fermi level is no longer neglected.

RESULTS AND DISCUSSION OF THE GATE CURRENT

It is worth noting that the model takes into account the variation of the gate current as a function of temperature, threshold voltage and the AlAs mole fraction in the AlGaAs layer. The advantage of this model is that it permits a numbers of physical effects to be taken into account in a rather rigourous although simple way. To calculate all the physical parameters of the structure needed in the model (m^* , ΔE_C , ϵ_{SC}) we use standard expressions and formulas of [20]. Compared with other models previously proposed in the literature by other authors, this model has the advantage of being free from a number of empirical parameters which are sometimes difficult to justify on physical backgrounds. Anyway the model is fast and easy. The computer time needed for calculating one $I_g(V_g)$ with twelve points taking into account eleven sub-bands is twenty seconds on a IBM RISC 6000/320. This time includes the Schroedinger and Poisson equations resolution.

In fig.5, we present the total gate current together with the tunnel and thermionic contributions drawn apart. We note that the thermionic current contribution is large for low values of V_g (consequently of N_g). This current becomes less important when the charge density increases or when the temperature decreases leaving the place for a stronger tunnel contribution. Also in fig. 5, we have reported calculated currents assuming that the AlAs fraction in the AlGaAs insulating layer was reduced to 0.3. We note that in this case the gate current will be increased by a factor of 400 or so. Finally, the calculated gate currents are compared with the experimental values in fig. 6, and we can in general observe a good agreement at room temperature and at lower temperatures as well. This comparison is shown for a device with a gate of $50 \times 1.2 \mu\text{m}^2$.

We also have measured the gate current on transistors of various gate lengths. We noted already that the threshold voltage slightly depends on the transistor geometry. This probably means that the ohmic contact are not self-aligned on the gate but on spacers with areas greater than the areas of the real gates as we said above. This might explain the difference with the results

obtained by Schuermeyer et al [7] who found that the gate current is independent of the gate length. In fig. 6 we illustrate a comparison between experiment and theory of the gate current obtained at 293 K in a device with a gate of $20 \times 0.7 \mu\text{m}^2$. The theoretical fit is made in the following way. We take the full curve at 293 K of the previous device having a bigger gate and first multiply it by the ratio of the gate areas (0.233). Then we shift back this curve by 0.03 V and obtain the fit shown in fig. 6. This gate voltage shift could be interpreted as the difference between the threshold voltages different devices may have, depending on the gate geometry, even though all the devices came from the same wafer and used the same technology. The gate current curve thus obtained of course cannot coincide with the previous one since in our devices, as we said, the presence of unimplanted spacers in each side of the gate makes the gate current dependent on gate length unlike what is reported in [7] on devices without spacers in which the gate current does not depend on the gatelength.

In summary from these results we note that the gate current strongly depends on the AlAs mole fraction and the gate area and of course on temperature. For logic application the gate current represents a parasitic effect and we wish to minimize this current. On the other hand, for analog applications of the negative differential resistance effect the gate current plays an important role and then a good trade-off between the gate current and the drain current is to be found. In both cases it is important to choose the good value of the area and the AlAs mole fraction [6], [21].

CONCLUSION

We have presented a new model of gate current in MISFET transistors. This model takes into account the two-dimensional electron gas effects at the heterojunction interface. All the quantities needed for the calculation are obtained from a simple Schroedinger and Poisson equations solver. The variation of the threshold voltage, of the AlAs mole fraction, of the temperature and the gate area can be taken into account. The agreement of the theory with experiments is quite satisfactory. This approach can be used to model other type of structures such as standard HEMTs or SISFETs or pseudomorphic HFETs as well. Together with models like in [16] and [17], this model could be the starting point of a GaAs MISFET CAD code for analog or logic applications.

APPENDIX

A. The Schroedinger and Poisson equations solver.

The simulated structure is the zone located between the gate plane ($x = 0$) and a parallel plane at a distance D into the substrate. In practice $D = 2000 \text{ \AA}$. Since a current circulates between the well and the gate we should solve the time dependent Schroedinger equation. Although tractable this would complicate the problem and we rather solve the time independent problem using the fact that the current is weak and stationary. We thus get real wave functions for localized electron states. Thus we use the set:

$$-\frac{\hbar^2}{2m^*} \frac{d^2\psi_\alpha}{dx^2} + (E_c(x) - E_\alpha)\psi_\alpha(x) = 0 \quad (\text{A1})$$

with $\psi_\alpha(x)$ and $\frac{1}{m^*} \frac{d\psi_\alpha}{dx}$ continuous at $x = d$.

$$N_{s\alpha} = \frac{m^* k_B T}{\pi \hbar^2} \ln \left[1 + \exp \left(\frac{E_F - E_\alpha}{k_B T} \right) \right] \quad (\text{A2})$$

$$n(x) = \sum_{\alpha=1}^N N_{s\alpha} |\psi_\alpha(x)|^2 \quad (\text{A3})$$

$$\frac{d^2 E_c}{dx^2} = \frac{q}{\epsilon_{sc}} [n(x) - N_D + N_A - p(x)] \quad (\text{A4})$$

$$\left(\frac{dE_c}{dx} \right)_{x=D} = \left(\frac{2qN_A}{\epsilon_{sc}} \right)^{1/2} [E_c(x_d) - E_c(D)]^{1/2} \quad (\text{A5})$$

For a given $E_c(D)$, after convergence we obtain the value of N_s , of x_d and of N_{Dep1} . We used $N_A = 2.10^{14} \text{ cm}^{-3}$ which gives $x_d = 2.9 \text{ \mu m}$ and $N_{\text{Dep1}} = 6.10^{10} \text{ cm}^{-2}$. In fact we see that we solve the equations of the standard MODFET but with a high barrier ΔE_c at the heterointerface. These equations are solved using a simple and straightforward finite difference method. As to the Schroedinger

boundary conditions we used $\Psi_\alpha(D) = 0$ and tried different values of $\Psi_\alpha(0)$. We found that the sub-band eigenenergies and the real (and orthogonal) eigenfunctions are rather hardly affected, in fact because of the high value of ΔE_C . The associated effective well widths L_α also hardly depend on the value of $\Psi_\alpha(0)$. This is also true of the Fermi level. In conclusion to these studies we may say that all the quantities needed for the calculation of the gate current proposed here depend almost only on the shape of the quantum well at the heterojunction i.e. only on the value of N_S provided that ΔE_C is high enough.

B. The conduction velocity.

The problem with the above treatment is that we are left with real wave-functions, and the associated velocity V_α is imaginary. If we want to have a current we need to define a real velocity or wave-vector. Our approach then is somewhat subtle. We know from elemental theories that in the case of an infinitely deep square well potential the allowed wave vectors are the same whether they are localized and imaginary (the wave functions vanish at the boundaries) or itinerant and real (the wave functions are periodic in space). Thus referring to the three-dimensional case, we use an analogue of the conduction velocity $V = (1/\hbar)dE/dk$ as

$$V_\alpha = \frac{1}{\hbar} \frac{E_{\alpha+1} - E_\alpha}{k_{\alpha+1} - k_\alpha} \quad (\text{A } 6)$$

taking $k_\alpha = \pi/L_\alpha$ with L_α defined in the text, we find that the expression

$$V_\alpha = \frac{\pi\hbar}{2m^*L_\alpha} \quad (\text{A } 7)$$

is a good approximation of the quantity we need. We could have used expression A6 as well, but we see that the velocity involved in the current is not the velocity of a localized state but rather the velocity associated with a transfer from one sub-band to an upper sub-band to what a change in position corresponds because the wave-functions are orthogonal.

REFERENCES

- [1] N. C. CIRILLO, M. S. SHUR, P. J. VOLD, J. K. ABROKWAH and O. N. TUFTE, 'Realization of n-Channel and p-Channel High-Mobility (Al,Ga)As/GaAs Heterostructure Insulating Gate FETs on a Planar Wafer Surface', IEEE Electron Device Letters, vol. EDL-6, pp. 645-647, 1985.
- [2] M. S. SHUR, D. K. ARCH, R. R. DANIELS and J. K. ABROKWAH, 'New Negative Resistance Regime of Heterostructure Insulated Gate Transistor (HIGFET) Operation', IEEE Electron Device Letters, vol. EDL-7, pp. 78-80, 1986.
- [3] S. FUJITA and T. MIZUTANI, 'Characterization of Heterostructure Complementary MISFET Circuits Employing the New Gate Current Model', IEEE Trans. Electron Devices, vol. ED-34, pp. 1839-1896, 1987.
- [4] P. P. RUDEN, M. SHUR, D. K. ARCH, R. R. DANIELS, D. E. GRIDER and T. E. NOHAVA, 'Quantum-Well p-Channel AlGaAs/InGaAs/GaAs Heterostructure Insulated-Gate FETs', IEEE Trans. Electron Devices, vol. ED-36, pp. 2371-2378, 1989.
- [5] P. BOISSENOT, E. DELHAYE, J MALUENDA, P FRIJLINK, C. VARIN, F. DESCHAMPS and I. LECURU, 'A 0.4 μ m Gate-Lenght AlGaAs/GaAs p-Channel HIGFET with 127-mS/mm Transconductance at 77 K', IEEE Electron Device Letters, vol. EDL-11, pp. 282-284, 1990.
- [6] F. DANNEVILLE, P. GODTS, J. ZIMMERMANN and E. CONSTANT, 'Modelling of Negative Differential Resistance (NDR) in HIGFET and SISFET GaAs/AlGaAs Structures and Possible Application in Microwave Integrated Circuits', in Int. Symp. on GaAs and Related Compounds, Jersey UK, 1990. (in IOP Conference Series 112, K.E. Singer Editor, Inst. of Physics, Bristol UK 1990, pp. 483-488)
- [7] F. L. SCHUERMEYER, M. SHUR, D. E. GRIDER, 'Gate Current in Self-aligned n-channel and p-channel Pseudomorphic Heterostructure Field-effect Transistors', IEEE Trans. Electron Device Letters, vol. 12, pp. 571-573, 1991.

- [8] P. P. RUDEN, C. J. HAN, M. SHUR, 'Gate Current of Modulation Doped Field-effect Transistors', *J. Appl. Physics*, vol. 64, pp. 1541-1646, 1988.
- [9] E. PONS, W. T. MASSELINK, and H. MORKOC, 'Quasi Fermi Level Bending in MODFETs and its Effect on FET Transfer Characteristics', *IEEE Trans. Electron Devices*, vol. ED-32, pp. 1017-1023, 1985.
- [10] D. DEPREEUW, P. GODTS, E. CONSTANT, J. ZIMMERMANN, and F. DANNEVILLE, 'Gate Current and 2D Electron Concentration in HIGFET and SISFET', *Electronics Letters*, vol. 24, pp. 944-945, 1988.
- [11] H. FAWAZ and J. ZIMMERMANN, 'Quantum Two-dimensional Model of the Gate Current in AlGaAs/GaAs MISFETs', in *Int. Semiconductor Device Research Symposium*, Charlottesville VA, 1991 (Proceedings pp. 441-444).
- [12] A. T. FROMHOLD: *Quantum Mechanics for Applied Physics and Engineering*, Academic Press New York 1981, Chap.4.
- [13] P. J. PRICE, 'Two-dimensional Electron Transport in Semiconductor Layers', *Annals of Physics*, Vol. 133, pp. 217-239, 1981.
- [14] M. WOLNY, T. AGUILA, P. DECONINCK, D. MORONI, J.P. ANDRE, 'High Performance WN-gate MISFET Fabricated from MOVPE Wafers', *Electronics Letters*, vol. 23, pp. 1127-1128, 1987.
- [15] E. DELHAYE, T. AGUILA, M. WOLNY, P. BOISSENOT, 'Circuits Applications of the Negative Resistances in Heterojunction GaAs MISFETs', *Japan. J. Appl. Phys.*, vol. 29, pp.236-239, 1990.
- [16] P. P. RUDEN, M. SHUR, A. I. AKINWANDE, P. JENKINS, 'Distributive Nature of Gate Current and Negative Transconductance in Heterostructure Field-effect Transistors', *IEEE Trans. Electron Devices*, vol. 36, pp. 453-456, 1989.
- [17] J. BAEK, M. SHUR, 'Mechanism of Negative Transconductance in Heterostructure Field-effect Transistors', *IEEE Trans. Electron Devices*, vol. 37, pp. 1917-1921, 1990.

- [18] S. M. SZE: High-speed semiconductor devices, John Wiley and Sons New York 1990, Chap.5.
- [19] D. DELAGEBEAUDEUF and N.T. LINH, 'Metal - (n) AlGaAs - GaAs two dimensional electron gas FET' IEEE Trans. Electron Devices, vol. 29, pp. 955-960, 1982.
- [20] S. ADACHI 'GaAs, AlAs, and Al_xGa_{1-x}As: Material Parameters for Use in Research and Devices Applications' J. Appl. Phys., vol 53, pp. 1-29, 1985.
- [21] D. E. GRIDER, P. P. RUDEN, J. C. NOHAVA. I. R. MACTAGGART, J. J. STRONEZER, T. E. NOHAVA, and S. S. SWIRHUN, 'Delta-doped Complementary Heterostructure FETs with High γ -value Pseudomorphic In_yGa_{1-y}As Channel for Ultra-low Power Digital IC Applications', IEDM Techn. Digest, pp. 235, 1991.

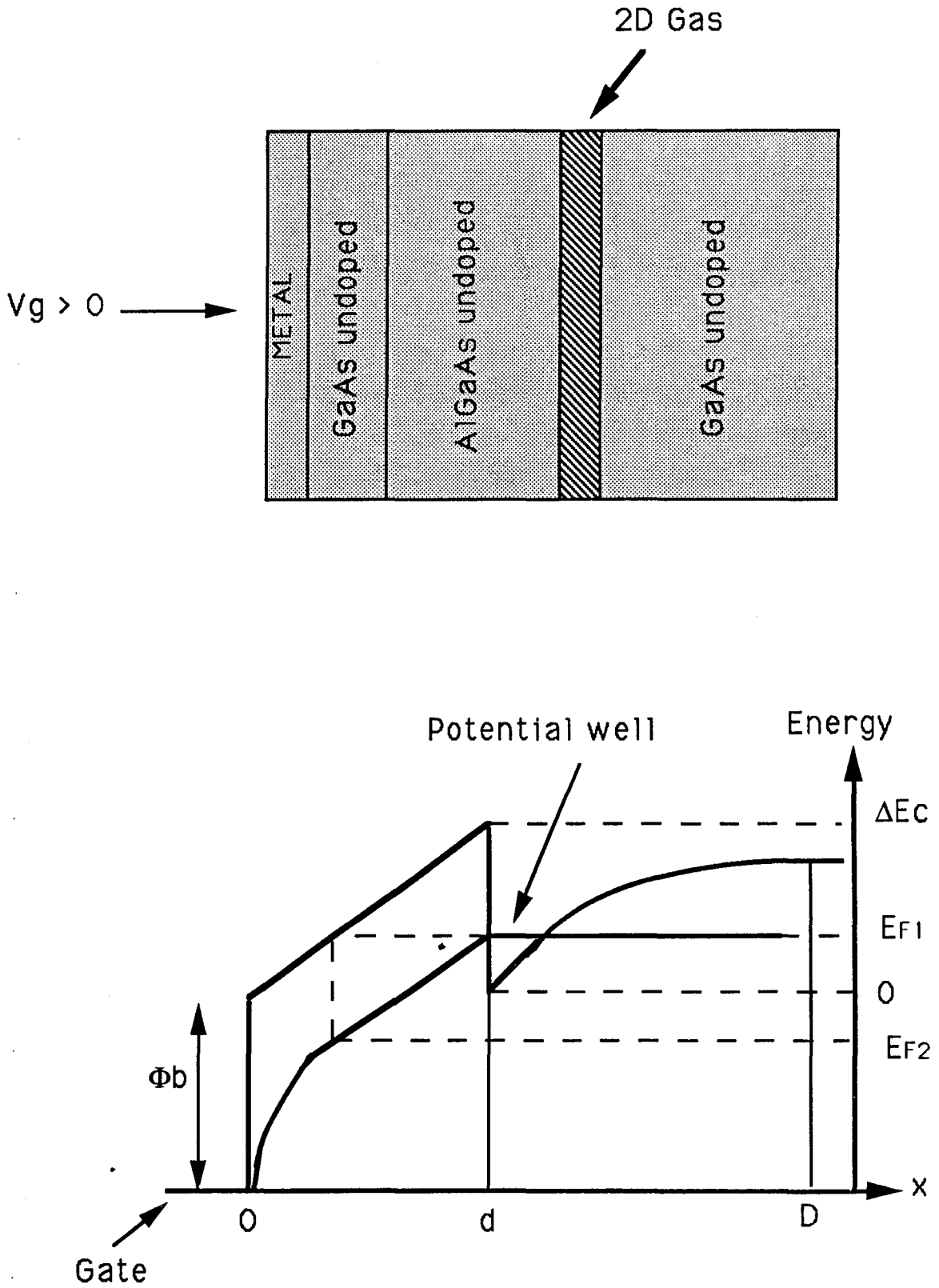


Fig. 1. Band diagram of an n-channel MISFET.

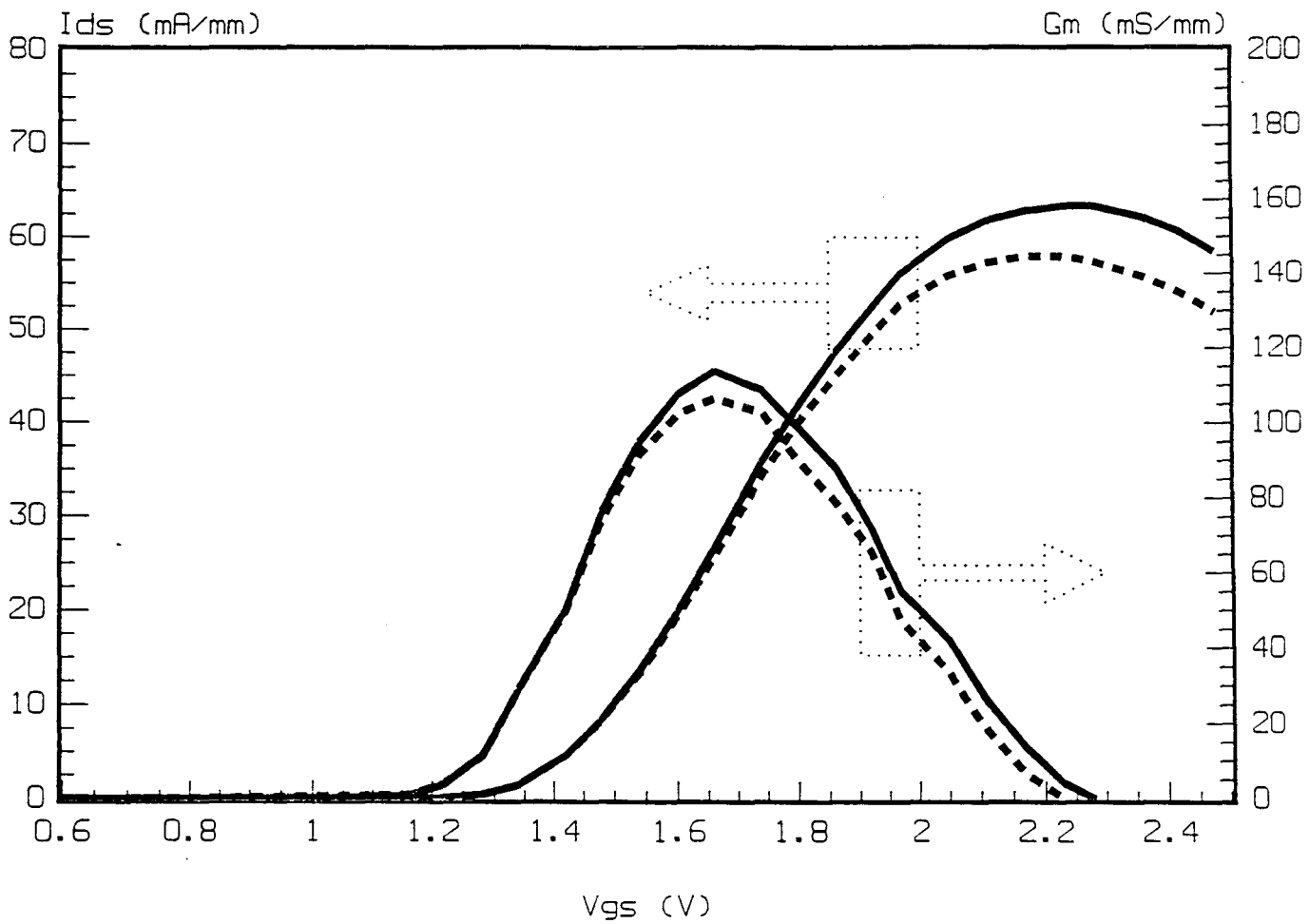


Fig. 2. Transfer characteristics $I_{ds}(V_{gs})$ and transconductance $G_m(V_{gs})$ of a typical AlGaAs/GaAs n-channel MISFET at $V_{ds} = 1$ V (full lines) and $V_{ds} = 3$ V (dashed lines). Gate geometry is $1.2 \times 50 \mu\text{m}^2$.

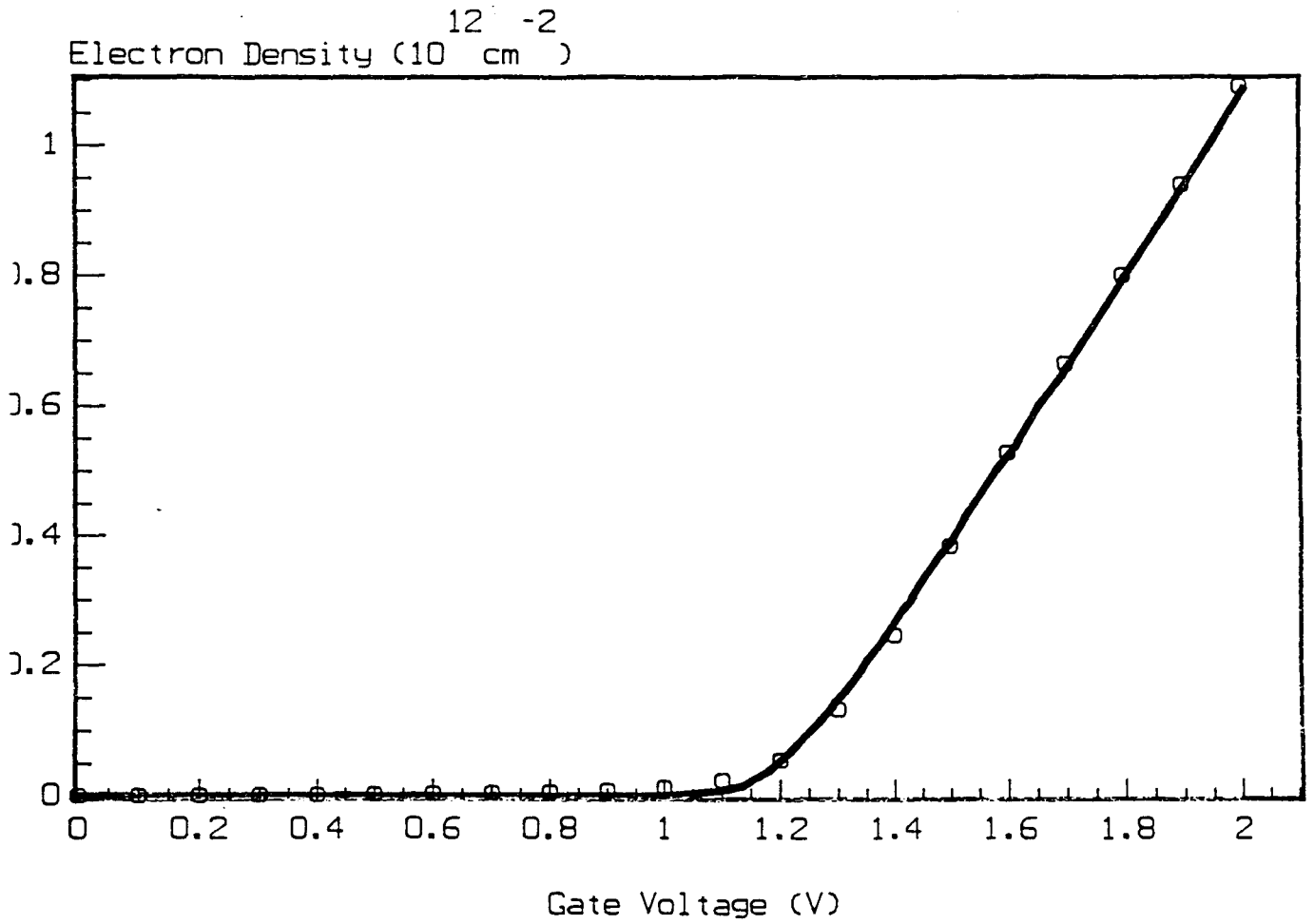


Fig. 3. Calculated (solid line) and measured (circles) electron sheet density N_s as a function of gate voltage at $V_{ds} = 0$.

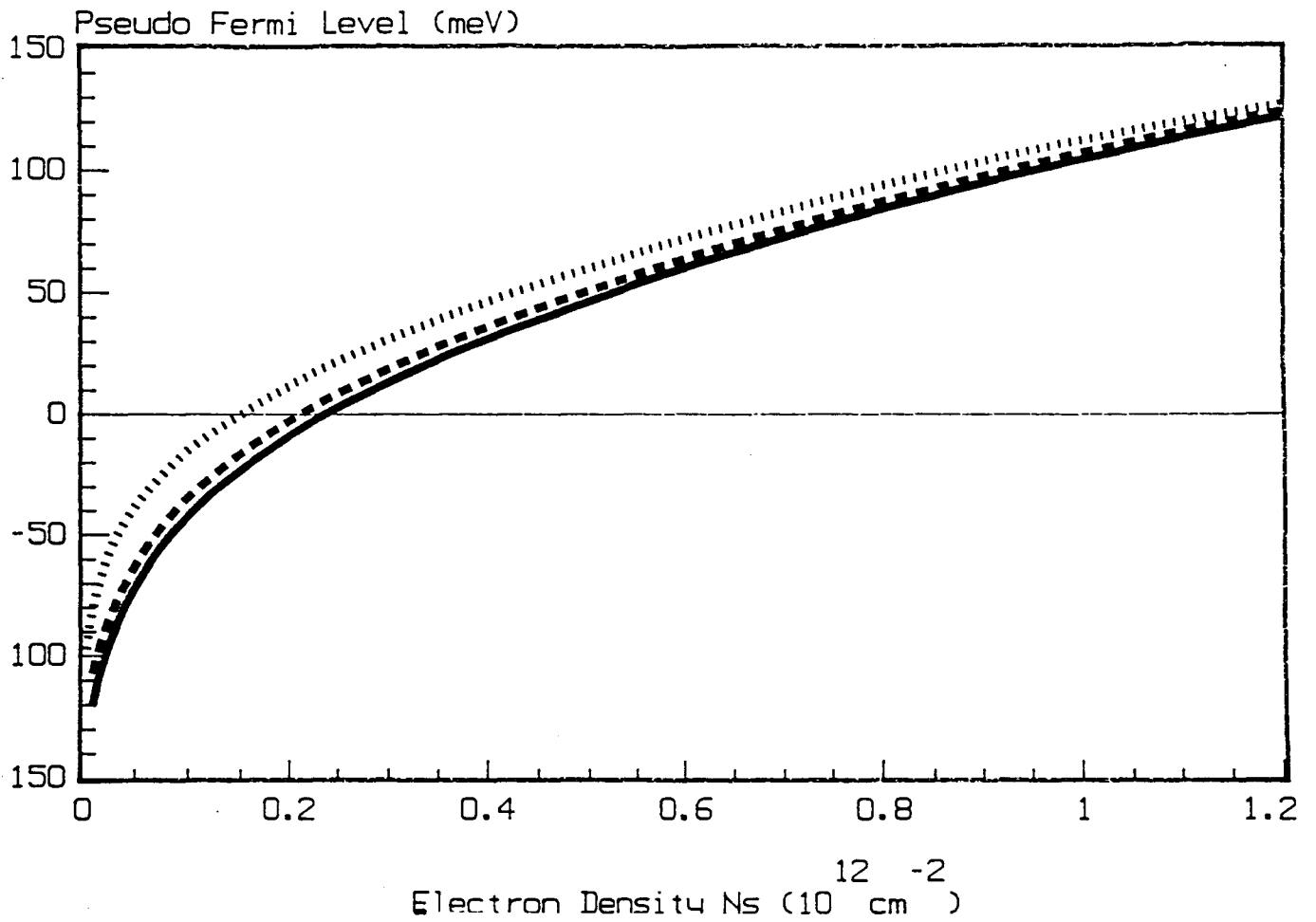


Fig. 4. Calculated Fermi level from a self-consistent resolution of Schroedinger and Poisson equations at three different temperatures (solid line: 293 K; dashed line: 273 K; dotted line: 223 K).

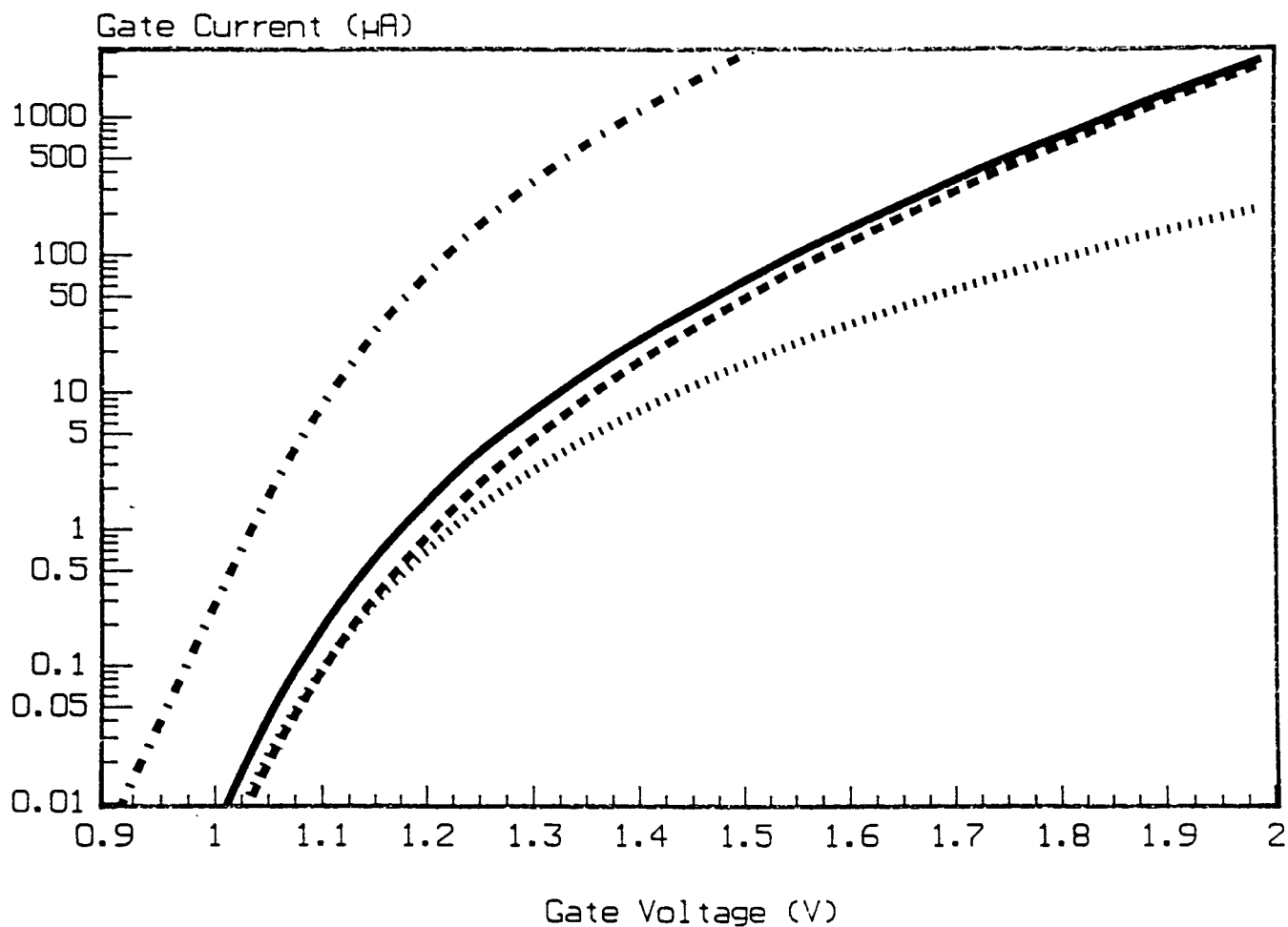


Fig. 5. Total gate current (full line), and tunnel (dashed line) and thermionic (dotted line) currents respective contributions calculated at room temperature with $x\text{Al} = 0.45$. The total gate current calculated with $x\text{Al} = 0.3$ (dash-dotted line) is shown for comparison.

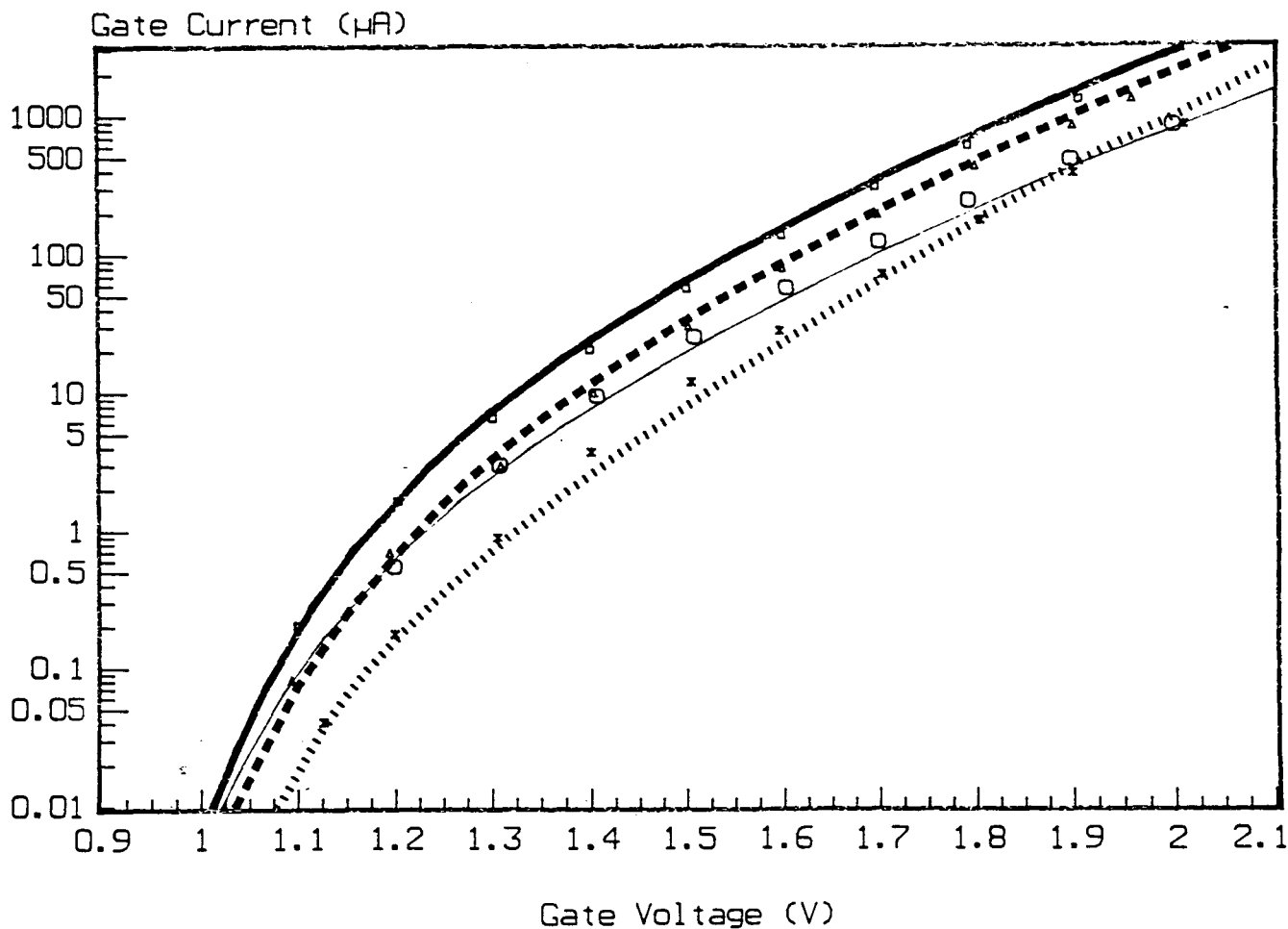


Fig. 6. Calculated (lines) and measured (symbols) gate current-voltage characteristics at different temperatures in AlGaAs/GaAs n-channel MISFETs with gate size = $50 \times 1.2 \mu\text{m}^2$. Full thick line and squares: 293K; dashed thick line and triangles: 273 K; dotted thick line and stars: 223 K. Also shown calculated (full thin line) and measured (circles) gate current at 293 K in a device with gate size = $20 \times 0.7 \mu\text{m}^2$.

