

N° d'ordre : 1380

50376  
1994  
191

GEN 20 102 418  
50376  
1994  
191

# THÈSE

présentée à

**L'UNIVERSITÉ DES SCIENCES ET TECHNOLOGIES  
DE LILLE**



pour obtenir le titre de

**DOCTEUR EN ÉLECTRONIQUE**

par

Catherine MARÉCHAL  
Ingénieur E.U.D.I.L.

**ÉTUDE DE L'INFLUENCE DE LA TECHNOLOGIE ET DE  
L'ASSOCIATION DE COMPOSANTS LOGIQUES SUR LA  
SENSIBILITÉ ÉLECTROMAGNÉTIQUE DE CARTES  
ÉLECTRONIQUES.**

**APPLICATION A L'ÉTUDE D'UNE FONCTION DONT LA SÉCURITÉ EST  
FONDÉE SUR LA REDONDANCE MATÉRIELLE.**

Soutenue le 21 octobre 1994 devant la Commission d'Examen.

Membres du jury : MM.	R. GABILLARD	Président
	B. DEMOULIN	Directeur de thèse
	E. NANO	Rapporteur
	M. HEDDEBAUT	Rapporteur
	J. BAUDET	Examineur
	J. P. APARICIO	Invité
	C. MESNAGE	Invité

Cette étude a été réalisée au Laboratoire d'Électronique Ondes et Signaux pour les Transports (LEOST) de l'Institut National de Recherche sur les Transports et leur Sécurité (INRETS) dirigé par Monsieur M. HEDDEBAUT, en étroite collaboration scientifique avec le Laboratoire de Radio-Propagation et Électronique (LRPE) de l'Université des Sciences et Technologies de Lille, dirigé par Monsieur le Professeur P. DEGAUQUE.

Je remercie Monsieur le Professeur R. GABILLARD pour l'honneur qu'il me fait en présidant le jury de thèse. Qu'il trouve ici l'expression de ma reconnaissance et de mon plus profond respect.

Cette thèse a été effectuée sous la direction de Monsieur le Professeur B. DEMOULIN. Je lui témoigne toute ma gratitude pour le soutien constant et les multiples encouragements qu'il n'a cessé de me prodiguer.

Je remercie particulièrement Monsieur M. HEDDEBAUT, Directeur de Recherche à l'INRETS et rapporteur de ce mémoire, pour m'avoir confié ce sujet de recherche. Je lui suis très reconnaissante de ses lectures attentives de mes travaux : ses critiques judicieuses, et ses encouragements ont constitué pour moi une aide précieuse. Je lui exprime ici toute ma gratitude et mon estime.

Je remercie également Monsieur le Professeur E. NANO de l'École Polytechnique de Turin qui me fait l'honneur de juger ce travail et d'assurer la tâche de rapporteur.

Monsieur J. BAUDET, Ingénieur CNRS au LRPE a porté un grand intérêt à ce travail. J'ai pu bénéficier de sa connaissance approfondie des différentes technologies de composants et de ses remarques pertinentes sur certains aspects de mon travail. Qu'il trouve ici l'expression de mes remerciements les plus sincères.

J'exprime tous mes remerciements à Monsieur J. P. APARICIO, Ingénieur d'Étude à THOMSON-CSF d'Elancourt pour les informations qu'il m'a fournies et pour avoir accepté de participer à ce jury en tant qu'invité.

Que Monsieur C. MESNAGE, Chef du Service Électronique à la Direction Technique de l'établissement GEC ALSTHOM Transport de Saint-Ouen, qui examine également ce travail trouve ici l'expression de ma plus vive gratitude.

J'ai reçu tout au long de mes travaux une aide précieuse de Monsieur M. KLINGLER, chargé de Recherche à l'INRETS. La qualité de ses conseils ont beaucoup contribué à l'aboutissement de ces travaux. J'ai notamment bénéficié des bibliothèques informatiques qu'il a développées au laboratoire et qui m'ont grandement aidé dans l'élaboration de mes propres programmes. Je lui témoigne ici toute ma reconnaissance.

Je tiens à remercier Monsieur B. COUDORO vacataire au LRPE pour nos discussions qui m'ont permis d'orienter certains choix lors de mes travaux ainsi que Monsieur C. SEMET, Ingénieur de recherche au LRPE pour les informations qu'il m'a procurées.

Ce travail, financé par la Région Nord Pas de Calais et l'INRETS, a été effectué dans le cadre du Groupement Régional pour la Recherche dans les Transports (GRRT). Des réunions périodiques entre les stagiaires de DEA et doctorants qui travaillent au LRPE ou au LEOST sur la CEM des cartes électroniques sont organisées. Ces réunions régulières me semblent bénéfiques pour chaque étudiant. Les questions et suggestions des professeurs responsables, mais aussi des autres étudiants ont notamment fait progresser mes travaux. Qu'ils en soient tous remerciés.

Le centre de recherche de l'INRETS situé à Villeneuve d'Acsq, anciennement nommé Centre de Recherche et d'Étude sur la Sécurité des Transports Automatisés (CRESTA) a été récemment divisé en deux laboratoires : ESTAS (Évaluation des Systèmes de Transports Automatisée et de leur Sécurité) et LEOST. Je remercie vivement Monsieur Y. DAVID, Directeur du centre, pour l'accueil qu'il m'a réservé au sein de son équipe de chercheurs.

Je tiens à remercier Monsieur J. P. GHYS et Monsieur J. RIOULT, techniciens à l'INRETS pour la réalisation des différentes cartes électroniques. Je n'oublie pas Monsieur P. HELLE, ingénieur mécanicien qui nous a malheureusement quitté cette année. Je le remercie pour la réalisation des supports mécaniques indispensables pour l'obtention de résultats reproductibles et fiables.

J'ai reçu au début de cette thèse l'aide technique de Madame M. SZELAG, Ingénieur d'Étude à l'INRETS. Je la remercie et lui exprime toute ma sympathie et mon amitié ainsi qu'à Madame M. BERBINEAU, Chargée de Recherche à l'INRETS.

Enfin je remercie tout le personnel de l'INRETS pour l'accueil chaleureux qu'il m'a réservé. Je remercie également ma famille et mes amis pour leur sollicitude et notamment mon mari pour son aide.

<b>Introduction générale.....</b>	<b>1</b>
-----------------------------------	----------

<b>Chapitre I : Généralités sur la compatibilité électromagnétique. ....</b>	<b>7</b>
--	----------

<b>INTRODUCTION .....</b>	<b>7</b>
---------------------------	----------

<b>I.1. LES PERTURBATIONS ÉLECTROMAGNÉTIQUES.....</b>	<b>7</b>
---	----------

Introduction.....	7
-------------------	---

I.1.1. Les perturbations par rayonnement. ....	9
--	---

I.1.1.1. Les décharges orageuses. ....	9
--	---

I.1.1.2. Les émissions bande étroite. ....	10
--	----

I.1.1.3. Les rayonnements involontaires. ....	10
---	----

I.1.1.4. Les méthodes de protection. ....	10
---	----

a) La source de rayonnement est externe au dispositif. ....	11
---	----

b) La source de rayonnement est interne au dispositif, les phénomènes de diaphonie. ....	13
--	----

I.1.2. Les perturbations par conduction. ....	15
---	----

I.1.2.1. Origine des perturbations de mode conduit. ....	15
--	----

I.1.2.2. Méthodes de protection.....	16
--------------------------------------	----

I.1.3. Les décharges électrostatiques. ....	17
---	----

I.1.3.1. Description du phénomène. ....	17
---	----

I.1.3.2. Mesures de protection et précautions. ....	18
---	----

Conclusion. ....	18
------------------	----

<b>I.2. LES MESURES, LES TESTS ET LES SIMULATIONS EN CEM.....</b>	<b>19</b>
---	-----------

Introduction.....	19
-------------------	----

I.2.1. Les méthodes de perturbation des équipements à tester.....	20
---	----

I.2.1.1. Les perturbations locales. ....	20
--	----

I.2.1.2. Les perturbations globales. ....	20
---	----

I.2.2. Les méthodes de simulation et leur domaine d'utilisation.....	22
--	----

I.2.2.1. Longueur d'onde grande comparativement aux dimensions de la structure. ....	22
--	----

I.2.2.2. Longueur d'onde de l'ordre de la dimension de la structure. ....	22
---	----

I.2.2.3. Longueur d'onde très inférieure à la dimension de la structure. ....	23
---	----

I.2.3. Les outils de simulation et leurs performances. ....	23
---	----

Introduction .....	23
--------------------	----



I.2.3.1. Analyse des circuits analogiques. ....	25
I.2.3.2. Analyse des circuits logiques.....	26
I.2.3.3. Autres outils d'analyse. ....	27
I.2.3.4. Présentation des logiciels PSpice, Saber et Quad-Design. ....	28
a) Description de PSpice. ....	28
b) Description de Saber. ....	30
c) Description de Quad Design ....	31
d) Tentative de comparaison des logiciels PSpice, Saber et Quad Design.....	33

**I.3. LES PRATIQUES INDUSTRIELLES DANS LE DOMAINE DE LA RÉALISATION DES CARTES IMPRIMÉES.....34**

Introduction.....	34
I.3.1. Les différentes topologies des circuits. ....	35
I.3.1.1. Historique. ....	35
I.3.1.2. Les procédés de fabrication. ....	35
I.3.1.3. Les cartes simple face. ....	36
I.3.1.4. Les cartes double faces. ....	36
I.3.1.5. Les cartes multicouches. ....	36
I.3.2. Les logiciels d'aide au routage.....	37
I.3.3 Les règles de conception ....	40
Conclusion. ....	41

**CONCLUSION. ....42**

**Chapitre II : Acquis scientifiques sur le processus de perturbations des composants logiques soumis à une agression électromagnétique. ....45**

**INTRODUCTION. ....45**

**II.1. ÉVOLUTION DES TECHNOLOGIES DE COMPOSANTS.....47**

II.1.1. La technologie TTL. ....	47
II.1.2. La technologie CMOS. ....	49
II.1.3. Vers une augmentation de l'intégration.....	50
II.1.4. Vers une diminution des tensions d'alimentation et une augmentation des fréquences de travail. ....	51

<b>II.2. LES PRATIQUES INDUSTRIELLES POUR LE CHOIX D'UNE TECHNOLOGIE DE COMPOSANTS.</b> .....	<b>52</b>
II.2.1. Choix des composants pour éviter les auto-perturbations. ....	52
II.2.2. Choix des composants pour un environnement radiatif. ....	53
<b>II.3. SENSIBILITÉ DES COMPOSANTS LOGIQUES DANS LA GAMME DES RADIOFRÉQUENCES (1 MHz à 300 MHz).</b> .....	<b>53</b>
II.3.1. Action du perturbateur sur les lignes d'alimentation. ....	53
II.3.2. Action du perturbateur sur les ports d'entrée-sortie. ....	54
II.3.2.1. Les différents types de défauts observés. ....	54
II.3.2.2. Sensibilité lors d'une agression en régime harmonique basse fréquence. ....	55
a) La technologie CMOS. ....	55
b) La technologie TTL ....	56
II.3.2.3. Sensibilité lors d'une agression de type impulsionnel. ....	56
a) La technologie CMOS. ....	56
b) La technologie TTL ....	58
II.3.2.4. Sensibilité lors d'une agression en régime harmonique haute fréquence. ....	58
a) Conséquences de la non-linéarité des jonctions PN. ....	58
b) Sensibilité des composants logiques. ....	59
II.3.3. Influence de l'angle de couplage. ....	60
II.3.4. Éléments parasites dus au procédé de fabrication.....	61
II.3.5. Classification des composants logiques selon leur technologie.....	62
<b>II.4. LES MODÈLES UTILISÉS EN VUE DE TENIR COMPTE DES PERTURBATIONS RADIOFRÉQUENCES.</b> .....	<b>62</b>
II.4.1. La technologie CMOS. ....	62
II.4.2. La technologie bipolaire.....	63
<b>CONCLUSION</b> .....	<b>65</b>

# **Chapitre III : Étude statistique des distorsions des signaux propagés par des portes logiques soumises à une perturbation électromagnétique de mode rayonné.....67**

**INTRODUCTION. ....67**

## **III.1. DESCRIPTION DU BANC DE MESURE ET DE LA MÉTHODOLOGIE**

**UTILISÉE. ....71**

III.1.1. Description du dispositif sous test et du banc de mesure. .... 71

III.1.2. Pilotage automatique des expériences. .... 73

**III.2. DESCRIPTION DE L'OUTIL STATISTIQUE.....74**

III.2.1. Principe de l'outil statistique. .... 74

III.2.2. Caractérisation des défauts observés. .... 75

III.2.3. Automatisation du traitement et automatisation de la visualisation des fichiers. ... 76

## **III.3. INTERPRÉTATION DES RÉSULTATS STATISTIQUES OBTENUS**

**POUR UNE PERTURBATION EN RÉGIME HARMONIQUE PUR. ....78**

III.3.1. Limites en fréquence du banc de mesure. Choix des fréquences et des amplitudes du champ électromagnétique perturbateur. Choix du signal véhiculé sur le dispositif sous test. .... 78

III.3.2. Exemples de résultats obtenus lorsque les défauts d'un niveau sont tous détectés par l'outil statistique. .... 79

III.3.2.1. Cas d'un signal non complètement perturbé. .... 79

III.3.2.2. Cas d'un signal complètement perturbé. .... 82

III.3.3. Exemples de résultats obtenus lorsque les défauts ou séparations entre défauts ne sont pas tous détectés par l'outil statistique. .... 84

**III.4. COMPARAISON DE DIFFÉRENTS TYPES DE PERTURBATEURS. VISUALISATION ET ANALYSE DE L'ÉVOLUTION DES DÉFAUTS RELEVÉS SELON L'AMPLITUDE DU CHAMP ÉLECTROMAGNÉTIQUE PERTURBATEUR. ....86**

Introduction..... 86

III.4.1. Précaution à prendre lors des expérimentations. .... 87

III.4.2. Comparaison du régime modulé en fréquence au régime harmonique pur. .... 87

III.4.3. Comparaison du régime modulé en amplitude au régime harmonique pur. .... 89

III.4.4. Méthode de mesure utilisée pour visualiser les extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électrique perturbateur.....	94
III.4.5. Mise en évidence d'une perturbation des signaux d'alimentation par la nouvelle méthode de mesure. Amélioration des cartes imprimées..	95
<b>III.5. ÉTUDE COMPARATIVE DES TECHNOLOGIES TTL ET CMOS VIS À VIS DES PERTURBATIONS EN RÉGIME HARMONIQUE PUR.....</b>	<b>96</b>
Introduction.....	96
III.5.1. Perturbation des niveaux hauts et bas pour la technologie CMOS.....	97
III.5.1.1. La technologie CMOS-HC.....	97
a) Résultats statistiques. ....	97
b) Graphes visualisant les extremums de tension entre lesquels le niveau perturbé varie selon l'amplitude du champ électrique. ....	97
III.5.1.2. La technologie CMOS-HCU.....	98
a) Résultats statistiques. ....	98
b) Graphes visualisant les extremums de tension entre lesquels le niveau perturbé varie selon l'amplitude du champ électrique. ....	98
III.5.2. Comparaison des familles LS et ALS de la technologie TTL. ....	99
a) Résultats statistiques. ....	99
b) Graphes visualisant les extremums de tension entre lesquels le niveau perturbé varie selon l'amplitude du champ électrique. ....	99
III.5.3. Comparaison des familles F et AS de la technologie TTL. ....	100
a) Résultats statistiques. ....	100
b) Graphes visualisant les extremums de tension entre lesquels le niveau perturbé varie selon l'amplitude du champ électrique. ....	100
III.5.4. Processus de perturbation des familles ALS, LS, F et AS de la technologie TTL.....	101
III.5.5. Comportement particulier de la technologie TTL-S.....	103
III.5.6. Synthèse des résultats obtenus.....	104
<b>III.6. ASSOCIATION EN CASCADE DE DIFFÉRENTES TECHNOLOGIES.....</b>	<b>105</b>
Introduction.....	105
III.6.1. Diminution de la tension maximale du niveau normalement à l'état haut lorsque les composants de sortie sont de technologies TTL-LS, TTL-ALS, TTL-AS et TTL-F. ....	106
III.6.2. Comportement particulier du dispositif sous test lorsque le composant de sortie est de technologie TTL-S et le niveau en entrée à l'état haut. ....	109

III.6.3. Tension maximale des niveaux normalement à l'état bas selon la technologie du composant de sortie, pour une association de composants de technologie TTL. ....	111
III.6.3.1. Le composant de sortie est de technologie TTL-ALS ou TTL-LS. ....	111
III.6.3.2. Le composant de sortie est de technologie TTL-AS ou TTL-F. ....	111
III.6.3.3. Le composant de sortie est de technologie TTL-S. ....	113
III.6.4. Association de composants de technologie CMOS. ....	114
III.6.4.1. Niveau haut en entrée du dispositif sous test. ....	114
III.6.4.2. Niveau bas en entrée du dispositif sous test. ....	114
Conclusion .....	115

### **III.7. PROPAGATION DES DÉFAUTS LE LONG D'UNE CHAÎNE DE COMPOSANTS LOGIQUES. ....117**

Introduction.....	117
III.7.1. Propagation de l'information sur les niveaux.....	118
III.7.1.1. Résultats statistiques. ....	118
III.7.1.2 Visualisation des extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électrique. Différence de comportement selon que la fonction de sortie est encapsulée en boîtier commun ou dans un boîtier séparé. ....	122
a) Cas de la technologie TTL-LS .....	123
b) Cas de la technologie TTL-ALS.....	124
c) Cas de la technologie TTL-AS. ....	125
d) Cas de la technologie TTL-F. ....	126
e) Cas de la technologie TTL-S. ....	127
f) Cas de la technologie CMOS-HC. ....	127
g) Cas de la technologie CMOS-HCU. ....	128
Conclusion .....	129
III.7.2. Détection d'anomalie de transitions d'état logique. ....	130
III.7.2.1. Niveau haut en entrée.....	130
III.7.2.2. Niveau bas en entrée. ....	132
III.7.2.3. Horloge en entrée. ....	133
Conclusion. ....	135

### **CONCLUSION DU CHAPITRE III.....135**



# Chapitre IV : Détermination des courants et tensions induits sur la ligne de transmission de notre dispositif sous test.....137

<b>INTRODUCTION.</b> .....	<b>137</b>
<b>IV.1. MODÉLISATION DU COUPLAGE ÉLECTROMAGNÉTIQUE.</b> .....	<b>138</b>
IV.1.1. Modélisation d'une ligne de transmission par le modèle de Bergeron. ....	138
IV.1.1.1. La théorie des lignes. ....	138
IV.1.1.2. Le modèle de Bergeron pour une ligne sans perte. ....	140
a) Modélisation de la propagation de l'onde depuis le générateur vers le récepteur. ....	140
b) Modélisation de la propagation de l'onde depuis le récepteur vers le générateur. ....	141
c) Modèle de Bergeron des lignes de transmission. ....	141
IV.1.2. Modélisation du couplage électromagnétique hybride. ....	142
IV.1.2.1. Le modèle obtenu par la théorie. ....	142
IV.1.2.2. La modélisation sous PSpice. ....	143
<b>IV.2. ÉTUDE PRÉLIMINAIRE : LES CHARGES AUX EXTRÉMITÉS DE LA LIGNE DE TRANSMISSION SONT LINÉAIRES.</b> .....	<b>144</b>
Introduction.....	144
IV.2.1. Cas particulier où les équations se simplifient. ....	145
IV.2.1.1. La ligne est adaptée en $x=0$ . ....	145
IV.2.1.2. La ligne est adaptée en $x=L$ . ....	146
IV.2.1.3. Les impédances aux extrémités de la ligne sont très inférieures à l'impédance caractéristique de la ligne. ....	147
IV.2.1.4 Les impédances aux extrémités de la ligne sont très supérieures à l'impédance caractéristique de la ligne. ....	148
IV.2.1.5. Réflexion sur l'impact du sens de propagation de l'onde. ....	150
IV.2.2. Étude des cas où les équations ne se simplifient pas. ....	151
IV.2.2.1. Une impédance de charge est très inférieure à l'impédance caractéristique et l'autre impédance de charge est très supérieure à l'impédance caractéristique. ....	151
IV.2.2.2. Les impédances aux extrémités de la ligne sont identiques. ....	152
a) Les impédances aux extrémités de la ligne sont inférieures à l'impédance caractéristique sans être négligeables. ....	152
b) Les impédances aux extrémités de la ligne sont supérieures à l'impédance caractéristique qui n'est cependant pas négligeable. ....	153
IV.2.2.3. Les impédances aux extrémités de la ligne correspondent aux impédances d'entrée et de sortie à l'état bas d'une logique TTL-LS. ....	154
a) Les capacités parasites sont négligées. ....	154

b) Les capacités parasites ne sont pas négligées. ....	157
Conclusion. ....	158
<b>IV.3. UTILISATION DES MODÈLES DES ÉTAGES D'ENTRÉE/SORTIE DES COMPOSANTS LOGIQUES DISPONIBLES DANS LES BIBLIOTHÈQUES DES LOGICIELS DE TYPE SPICE.....</b>	<b>159</b>
Introduction.....	159
IV.3.1. Étude des signaux induits sur la ligne couplée à une onde électromagnétique lorsque les composants sont de technologie CMOS-HC. ....	160
IV.3.1.1. Modélisation des étages d'entrée/sortie.....	160
IV.3.1.2. L'entrée est à l'état logique haut, la ligne est portée à un potentiel correspondant à un état logique bas. ....	160
IV.3.1.3. L'entrée est à l'état logique bas, la ligne est portée à un potentiel correspondant à un état logique haut. ....	162
IV.3.2. Étude des signaux induits sur la ligne couplée à une onde électromagnétique lorsque les composants sont de technologie TTL-LS. ....	162
IV.3.2.1. Modélisation des étages d'entrée/sortie.....	162
IV.3.2.2. L'entrée est à l'état logique haut, la ligne est portée à un potentiel correspondant à un état logique bas. ....	163
IV.3.2.3. L'entrée est à l'état logique bas, la ligne est portée à un potentiel qui correspond à un état logique haut. ....	164
Conclusion. ....	165
<b>CONCLUSION. ....</b>	<b>166</b>

## **Chapitre V : Effets de perturbations électromagnétiques sur un système de sécurité..... 169**

<b>INTRODUCTION .....</b>	<b>169</b>
<b>V.1. ÉTAT DE L'ART SUR LA SÉCURITÉ DES SYSTÈMES.....</b>	<b>171</b>
V.1.1. Le vocabulaire utilisé par la sûreté des systèmes. ....	171
V.1.2. La sécurité intrinsèque. ....	173
V.1.3. La sécurité par redondance. ....	173
V.1.3.1. La redondance de l'information.....	174
V.1.3.2. La redondance logicielle. ....	174
V.1.3.3. La redondance matérielle. ....	175

<b>V.2. ÉTUDE D'UNE CARTE DE SÉCURITÉ UTILISANT LA REDONDANCE MATÉRIELLE HÉTÉROGÈNE, IMPLANTÉE SUR LE MÉTRO AUTOMATIQUE VAL.</b> .....	<b>176</b>
Introduction.....	176
V.2.1. Principe de la sécurité antisurvitesses sur le VAL. ....	177
V.2.2. Description de la carte. ....	178
V.2.2.1. Description de la remise à zéro du compteur. ....	181
V.2.2.2. Description de la génération des horloges. ....	185
V.2.2.3. Description du compteur pseudo-aléatoire.....	186
V.2.2.4. Description des blocs de décodage. ....	188
V.2.2.5. Description du multiplexeur.....	190
V.2.2.6. Description du bloc génération DC.....	190
Conclusion. ....	190
V.2.3. Étude de la sensibilité par rayonnement de la carte ERS. ....	191
Introduction.....	191
V.2.3.1. Conditions d'expérimentation en rayonnement.....	191
a) Banc de mesure.....	191
b) Étude de l'influence des sondes optiques sur le fonctionnement de la carte en absence d'agression électromagnétique.....	194
V.2.3.2. Résultats obtenus lors d'un couplage par rayonnement.....	196
Introduction.....	196
a) Comparaison de la sensibilité de chaque voie et impact de la piste métallique qui entoure la carte.....	197
b) Origine des perturbations observées.....	199
c) Influence de la sonde optique sur la sensibilité par rayonnement de la carte et utilisation de diodes électroluminescentes.....	202
d) Conclusion .....	204
V.2.3.3. Réflexions sur les tensions et courants induits aux bornes des composants connectés à une boucle conductrice.....	204
V.2.4. Étude de la sensibilité par conduction de la carte ERS.....	212
V.2.4.1. Banc de mesure pour la perturbation par conduction.....	212
V.2.4.2. Perturbation de la carte ERS par conduction. ....	216
a) Configuration des signaux d'entrée, essai préliminaire.....	216
b) Résultats obtenus. ....	217
V.2.4.3. Synthèse des résultats.....	221
V.2.5. Réflexions sur les résultats obtenus. ....	223
Introduction.....	223
V.2.5.1. Perturbation par conduction des entrées. ....	223
V.2.5.2. Perturbation par rayonnement de la carte complète.....	223
Conclusion.....	224
<b>CONCLUSION.</b> .....	<b>225</b>

<b>Conclusion générale.</b> .....	<b>227</b>
<b>Glossaire.</b> .....	<b>233</b>
<b>Bibliographie.</b> .....	<b>235</b>
<b>Annexes.</b>	

# Introduction générale.

La compatibilité électromagnétique (CEM) est l'aptitude d'un appareil à fonctionner normalement dans un environnement électromagnétique donné sans produire lui-même des perturbations intolérables pour les appareils qui se trouvent dans cet environnement.

Les problèmes de CEM sont apparus avec l'utilisation de l'électricité. Par exemple, au début du siècle dernier, les influences de l'électricité atmosphérique produisaient de temps en temps et notamment pendant les orages, des perturbations qui troublaient les transmissions télégraphiques par les fils aériens [DUMONT, 1891]. Lorsque les premières lignes téléphoniques ont été installées, le voisinage des lignes télégraphiques exerçait une influence : en effet, l'envoi de courants intermittents par une transmission télégraphique Morse déterminait dans le fil supportant la liaison téléphonique, la production de courants instantanés, introduisant ainsi des bruits parasites sur la liaison analogique. Par la suite, l'emploi du support hertzien en tant que canal de transmission a nécessité et nécessite toujours une gestion du spectre des fréquences pour éviter les interférences. Des organismes spécialisés ont fait leur apparition pour assurer cette gestion et normaliser les différentes émissions. A la fin de la seconde guerre mondiale, l'apparition des semi-conducteurs ainsi que les nouveaux procédés de connexions des composants par cartes imprimées ont favorisé le développement de l'électronique. Mais entre autres, l'utilisation croissante de l'électronique employant des signaux de faible amplitude et la proximité de systèmes électriques dont les niveaux sont de forte amplitude ont augmenté la fréquence d'apparition des problèmes de CEM. Les résoudre au coup par coup est devenu onéreux pour les industriels. Des études spécifiques à la CEM ont été mises en place.

Les sujets traités par la CEM sont nombreux. On peut citer par exemple l'étude des décharges électrostatiques, l'étude de l'efficacité de blindage des câbles ou des enceintes faradisées, l'étude des connecteurs, la modélisation des couplages dans des lignes de transmission, la modélisation des champs électromagnétiques, l'étude du comportement électromagnétique des composants électroniques. Nous nous intéressons dans ce mémoire à la sensibilité électromagnétique des composants logiques selon leur technologie. En effet, les perturbations électromagnétiques produites sur un système électronique sont acheminées à l'entrée des composants au même titre que les signaux utiles. La façon dont vont réagir les composants vis à vis de ces perturbations peut être déterminante pour la sensibilité globale du système. Les quatre premiers chapitres de notre thèse seront donc principalement axés sur une étude CEM.

En ce qui concerne la sûreté de fonctionnement nous retiendrons la définition suivante : la



sûreté de fonctionnement est l'aptitude d'une entité à satisfaire à une ou plusieurs fonctions requises dans des conditions données. Ce concept peut englober la fiabilité, la disponibilité, la maintenabilité, la durabilité, la sécurité... ou des combinaisons de ces aptitudes.

L'étude des problèmes de sûreté de fonctionnement remonte tout au début de l'ère industrielle. On peut citer l'exemple des roulements à billes dont la durée de vie a fait l'objet d'études poussées afin de permettre l'expansion du chemin de fer. Avant les années 1940, les aspects qualitatifs des techniques de la fiabilité et de la sécurité étaient pris en compte de manière fort intuitive, voire subjective, et se limitaient à l'expérience acquise par les concepteurs. Cette période peut être comparée à celle où les problèmes de CEM étaient résolus au coup par coup. A partir de la seconde guerre mondiale, le besoin d'armes fiables a poussé les ingénieurs à concevoir des outils mathématiques avec la volonté de laisser le moins de place possible au hasard. Dans les années 1950, aux États-Unis, la complexité grandissante des systèmes électroniques -surtout à usage militaire- généra des taux de défaillance qui entraînaient une disponibilité des matériels fortement réduite et une augmentation des coûts. Il fallait dépenser chaque année 2 dollars pour maintenir en état de fonctionner l'équivalent d'un dollar d'équipement électronique! Commence ainsi à se faire jour l'idée qu'il est plus raisonnable de concevoir des équipements fiables plutôt que d'attendre les défaillances, et ensuite réparer [VILLEMEUR, chapitre 1]. C'est donc pour des raisons similaires à l'apparition de la CEM en tant que discipline, que la fiabilité est elle aussi devenue une discipline de l'ingénieur. A partir de 1954, le congrès international *Reliability and Maintainability* Symposium fut organisé annuellement par l'Institute of Electrical and Electronic Engineers (IEEE). En France, en 1955, le Centre National d'Etudes des Télécommunications (CNET) commençait ses premiers travaux sur la fiabilité. Le centre de fiabilité du CNET fut ensuite créé en 1961. Les années 1960 connurent l'émergence de nouvelles techniques de fiabilité et une variété plus large d'application. C'est le début des analyses détaillées relatives aux défaillances de composants et à leurs effets sur le fonctionnement du système ou sur la sécurité des personnes. Les aspects probabilistes sont de plus en plus introduits dans la conception au cours de cette décennie [VILLEMEUR, chapitre 1]. Les calculs probabilistes montrent que la mise en redondance du matériel augmente la sûreté de fonctionnement des systèmes électriques et ce principe de mise en sécurité est couramment utilisé.

Cependant, pour les systèmes redondants, ces calculs ne tiennent pas compte des pannes de mode commun provoquées par une erreur de conception, une erreur de fabrication, une erreur d'exploitation ou encore une agression de l'environnement telle une perturbation électromagnétique. Pour éviter ces pannes de mode commun, des différences de conception sont généralement introduites entre les voies de traitement de l'information. L'utilisation de composants de technologies différentes (par exemple TTL ou CMOS) est aussi un moyen intuitif de minimiser le risque d'apparition de ce type de pannes. En ce qui concerne les pannes dues à une perturbation électromagnétique, les résultats obtenus au chapitre III sur la sensibilité des composants logiques

selon leur technologie apporteront d'ores et déjà des éléments de réponse quant à l'efficacité de ce moyen intuitif. Le cinquième chapitre est consacré à l'étude de la sensibilité d'une fonction électronique effectivement installée sur le métro automatique de Lille dont le principe de mise en sécurité est la redondance. Les deux voies de la carte sont conçues différemment et les technologies de composants utilisées sont différentes. L'étude de cette carte complète les éléments de réponse apportés par le chapitre III.

Nous voyons donc ici que l'objectif de notre thèse est double. D'une part nous désirons approfondir les connaissances concernant la sensibilité des composants électroniques logiques soumis à une perturbation électromagnétique, et d'autre part nous regardons les conclusions pratiques que l'on peut tirer de cette étude pour tenter d'améliorer la sécurité de systèmes électroniques.

Ce mémoire s'articule en cinq chapitres. Le premier est consacré à une étude bibliographique d'ordre général sur la CEM. Dans un premier sous chapitre, une description des différents types de perturbations électromagnétiques est donnée. On distingue les perturbations par rayonnement, les perturbations par conduction et les décharges électrostatiques. Les méthodes de protection classiques relatives à chaque type de perturbation sont décrites. Dans un deuxième sous chapitre, nous nous intéressons aux moyens dont disposent les industriels pour étudier la sensibilité électromagnétique des appareils qu'ils conçoivent. Nous entendons par "moyens", les équipements de test électromagnétique (cellule TEM, chambre anéchoïde), les méthodes mathématiques spécifiques à la CEM et les logiciels de simulation. Enfin nous nous intéressons dans ce premier chapitre, aux pratiques industrielles utilisées pour réaliser des cartes imprimées et aux nouveaux logiciels de routage de cartes imprimées qui prennent en compte les problèmes de CEM.

Le deuxième chapitre est consacré aux acquis scientifiques sur le processus de perturbation des composants logiques soumis à une perturbation électromagnétique. Nous évoquons dans ce chapitre, l'évolution des technologies et les pratiques industrielles pour le choix d'une technologie de composants. En ce qui concerne la sensibilité des portes logiques, les principaux résultats concernant la perturbation des composants par les lignes d'alimentation ou par les ports d'entrée-sortie pour différents types d'agressions (harmoniques basse fréquence, impulsions, harmoniques hautes fréquences) sont résumés. Nous avons aussi décrit différents modèles de transistors MOS ou bipolaires qui prennent en compte les perturbations radiofréquences.

Le troisième chapitre est consacré à l'étude expérimentale que nous avons effectuée sur la sensibilité des composants logiques selon leur technologie. Pour compléter les connaissances concernant la sensibilité des composants, nous avons réalisé un banc de mesure entièrement automatisé qui permet de perturber deux inverseurs montés en cascade par la ligne de transmission qui les relie. Le dispositif sous test est placé sous une cellule "stripline" qui génère une onde

électromagnétique plane. Le couplage entre cette onde et la ligne de transmission qui relie les deux inverseurs est hybride. Un outil statistique conçu par nos soins permet de caractériser les défauts qui arrivent sur les niveaux logiques suite à la perturbation électromagnétique. Un grand nombre de données expérimentales sont ainsi recueillies. Après avoir décrit le banc de mesure et l'outil statistique, nous montrons au lecteur la façon d'interpréter les résultats obtenus et les limites de notre outil. Nous nous intéressons à trois régimes de perturbation (harmonique, modulé en fréquence et modulé en amplitude) et nous en déduisons une méthode de mesure qui permet de visualiser sur un graphe les extremums de tension entre lesquels le signal perturbé varie selon l'amplitude du champ électromagnétique. A l'aide de l'outil statistique et de cette méthode de mesure, l'étude de la sensibilité en régime harmonique selon la technologie des composants est entreprise. Nous montrons des comportements propres à chaque technologie de composants. L'association de différentes technologies permet de savoir quel est le composant d'entrée ou de sortie qui détermine le comportement observé, et permet ainsi d'affiner notre compréhension des phénomènes. Par la suite, nous nous intéressons à la propagation des défauts selon que l'information se situe sur niveau ou selon que l'information se situe sur les transitions (exemple classique de l'horloge). Nous regardons ainsi dans quelles mesures nos résultats statistiques prédisent la sensibilité d'une carte électronique qui serait située en sortie de notre dispositif sous test.

Les signaux induits sur la connexion qui relie les deux portes logiques et qui est couplée à l'onde électromagnétique sont difficilement accessibles à la mesure. Cependant, comme nous avons pris soin de connecter les composants par une ligne de transmission, il est possible de simuler les courants et tensions induits sur cette ligne. Le quatrième chapitre est consacré à la simulation de ces signaux. Une première étude consiste à analyser les signaux induits lorsque les charges aux extrémités de la ligne sont linéaires. Cette analyse permet de valider le modèle en comparant les résultats obtenus par les simulations à ceux obtenus par le calcul analytique. Elle permet aussi de comprendre d'une manière schématique l'évolution des signaux induits selon les valeurs des impédances de charge. Le modèle linéaire est cependant insuffisant pour modéliser les étages d'entrée/sortie des composants logiques soumis à une perturbation électromagnétique de forte amplitude. Dans une seconde étude, nous utilisons les modèles des étages d'entrée/sortie des technologies CMOS-HC et TTL-LS. Les simulations obtenues confirment et complètent les conclusions effectuées au chapitre III quant au processus de perturbation de ces technologies.

Le cinquième chapitre est consacré à l'étude d'une fonction de sécurité effectivement installée sur le métro automatique de Lille. Dans un premier sous chapitre nous rappelons le vocabulaire de la sûreté de fonctionnement et les principaux principes de mise en sécurité des systèmes électroniques. Le second sous chapitre est consacré à l'étude proprement dite de la carte. Afin de bien comprendre l'origine des perturbations observées, nous décrivons d'abord le fonctionnement des différents blocs fonctionnels de la carte en présentant les simulations Spice.

Lors de l'étude d'une agression électromagnétique de mode rayonné, la carte est disposée sous une cellule "stripline" de façon à favoriser le couplage magnétique et électrique. Dans les systèmes de transport, les circuits imprimés disposés dans des paniers à cartes sont parfois entourés d'une piste périphérique reliée au plan de masse par le biais du panier métallique. C'est notamment le cas de la carte électronique étudiée. Nous nous intéressons à l'impact de cette piste sur la sensibilité par rayonnement de la carte. Nous analysons également l'impact de nos sondes de mesure sur le fonctionnement de la carte en absence ou en présence d'une agression électromagnétique de mode rayonné. Les signaux étant de basse fréquence, nous utilisons des diodes électroluminescentes afin de visualiser les signaux de sortie. Cette disposition limite la perturbation apportée par la prise d'information. L'étude d'une antenne magnétique simple constituée par une boucle permet de bien comprendre le processus d'un couplage magnétique entre une onde et un circuit imprimé. L'étude d'une agression électromagnétique de mode conduit, complète celle effectuée pour une agression de mode rayonné. Ces deux études permettent de conclure quant à l'efficacité des différences de conception apportées entre les deux voies de la carte pour améliorer la sécurité de la fonction lorsqu'elle est soumise à une perturbation électromagnétique. Nous verrons notamment l'intérêt d'utiliser des composants de technologie différentes sur les deux voies d'un système redondant.

# Chapitre I : Généralités sur la compatibilité électromagnétique.

## INTRODUCTION

Dans ce chapitre, nous passons en revue les différents types de perturbations électromagnétiques ainsi que les méthodes de protection des équipements électroniques couramment employées pour remédier à ces perturbations. Nous montrons que quel que soit le dispositif sous test, la philosophie des protections à adopter est la même. Nous décrivons ensuite les moyens de contrôle des systèmes dont disposent les industriels. Les différentes méthodes de perturbations, les méthodes mathématiques et les logiciels de simulation sont présentés. Enfin, l'importance de la topologie des cartes imprimées sur la sensibilité ou le rayonnement global d'un système nous incite à nous intéresser aux pratiques industrielles utilisées pour leur réalisation.

### I.1. LES PERTURBATIONS ÉLECTROMAGNÉTIQUES.

#### Introduction.

La première cause de perturbation d'un circuit électronique est relative au mode de transfert de l'énergie entre la source de perturbation et le circuit. Les interférences électromagnétiques créées sur un équipement électronique peuvent provenir d'un couplage par rayonnement direct sur les équipements ( $E_1$  et  $E_2$  de la figure I-1) ou encore par conduction lorsque le couplage s'effectue sur les câbles reliés aux équipements ( $L$  ou  $S$ ).

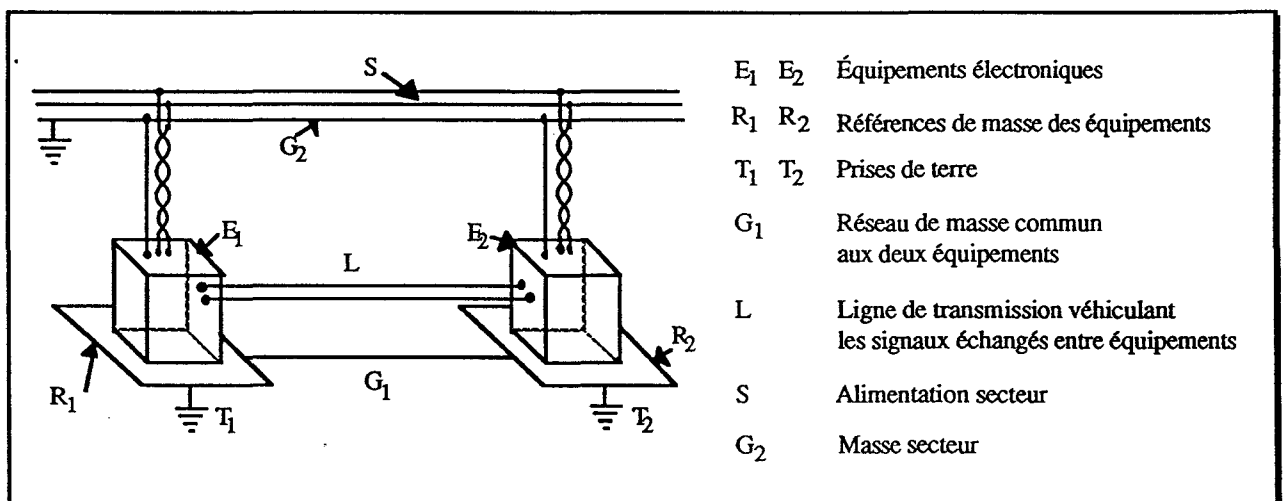


Figure I-1 : Équipements susceptibles d'être perturbés par rayonnement ou conduction.



De même, une carte imprimée peut être perturbée par rayonnement direct d'une onde électromagnétique. Les signaux perturbateurs peuvent aussi être ramenés par les câbles extérieurs qui relient la carte à l'ensemble du système (figure I-2). Un processus similaire se retrouve au niveau des composants électroniques qui peuvent être perturbés directement par l'onde rayonnée ou par les signaux parasites véhiculés par les pistes de la carte imprimée (figure I-3).

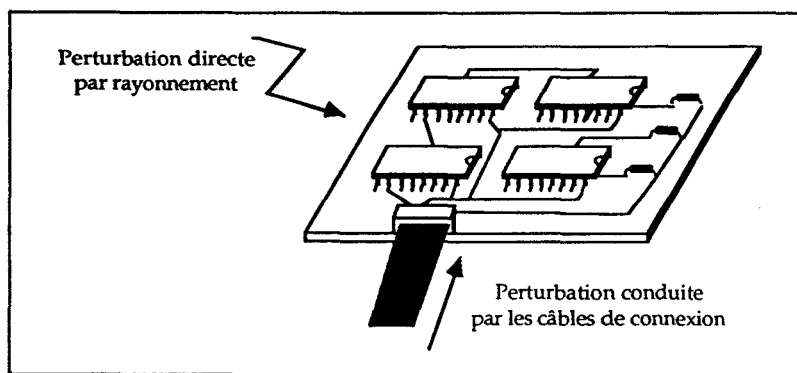


Figure I-2 : Circuit imprimé susceptible d'être perturbé par rayonnement ou par conduction.

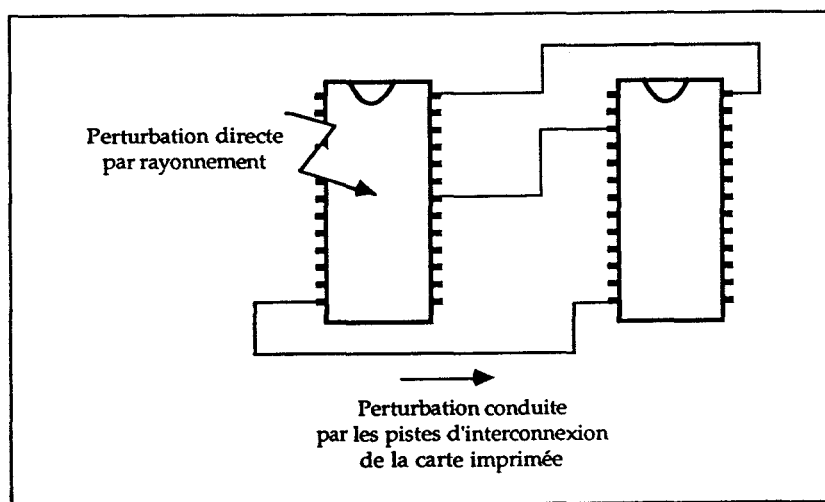


Figure I-3 : Composant électronique susceptible d'être perturbé par rayonnement ou par conduction.

Nous nous proposons dans ce sous chapitre de décrire quelques sources de perturbation par rayonnement et par conduction ainsi que les méthodes de protection utilisées. Nous consacrons également un paragraphe aux décharges électrostatiques qui peuvent induire des perturbations de mode rayonné ou de mode conduit. Notons qu'en particulier l'industrie de l'armement se préoccupe fortement des effets induits par l'IEMN (Impulsion Electromagnétique d'Origine Nucléaire) susceptibles de perturber gravement le fonctionnement des équipements stratégiques d'une nation. Ce type de perturbation n'est pas considéré dans ce mémoire.

### **I.1.1. Les perturbations par rayonnement.**

Le couplage est le phénomène à l'origine des perturbations par rayonnement par lequel tout ou une partie de la puissance électromagnétique d'une source est transférée vers un autre dispositif. Cette énergie va se manifester par l'apparition de tensions ou courants parasites induits sur les câbles ou pistes du système. Les gammes de fréquences des champs électromagnétiques susceptibles de perturber un dispositif électronique sont fonction de la taille de ce dernier. Les systèmes de grandes dimensions sont sensibles à des perturbations basse fréquence contrairement à des systèmes de petites dimensions physiques. Ainsi le système présenté sur la figure I-1 peut être perturbé par rayonnement sur les câbles de connexion à partir de fréquences de l'ordre d'une centaine de kilohertz. L'ordre de grandeur des fréquences les plus basses de champs électromagnétiques susceptibles de perturber un circuit imprimé (figure I-2) par couplage sur les pistes est d'une dizaine de mégahertz. Enfin les dimensions très petites des circuits intégrés semblent les protéger contre des perturbations directes des champs électromagnétiques (figure I-3) [MAILLY]. Par contre ces composants électroniques sont fortement agressés par des radiations telles que les rayons X ou les rayons gamma. La quantité d'énergie  $E$  transmise par ces radiations est suffisante pour notamment changer le contenu de mémoires non volatiles.

Les sources principales de perturbation par rayonnement sont les décharges orageuses, les émetteurs de type radiodiffusion ainsi que les rayonnements involontaires tels les applications industrielles, scientifiques et médicales.

#### I.1.1.1. Les décharges orageuses.

Dès 1894, le russe POPOV, qui étudiait les décharges atmosphériques, avait émis l'hypothèse qu'il s'agissait d'ondes électromagnétiques. En 1973, en France, à Saint-Privat d'Allier, la foudre était pour la première fois déclenchée artificiellement au-dessus du sol. Des mesures précises du courant de foudre, du champ électromagnétique émis ou de l'action sur un équipement sous test sont maintenant possibles. Les différentes campagnes de part le monde montrent que le courant de foudre a une forme d'onde de bi-exponentielle et atteint couramment des valeurs de 20 kA. Le canal foudre peut être assimilé à une gigantesque antenne électrique (figure I-4). "Les arcs en retour d'une décharge orageuse vont produire dans un rayon de plus de 200 km des impulsions électromagnétiques de plus de 1 V/m, les amplitudes à moins de 100 mètres étant supérieures à 10 kV/m. Ces impulsions électromagnétiques, ou du moins certaines composantes spectrales sont, une fois piégées par le guide d'onde terre ionosphère, la source des "siffleurs" ou "atmosphériques" détectés en réception onde courte [HAMELIN]." Le spectre électromagnétique s'étend de quelques kilohertz à une dizaine de mégahertz pour les décharges orageuses déclenchées artificiellement [MARECHAL 1]. Le spectre des décharges naturelles présente une énergie encore conséquente pour des fréquences de l'ordre du gigahertz. La norme CEI 801-5 en cours de

préparation concerne les impulsions d'énergie élevée induites sur des systèmes et provoquées par des décharges atmosphériques (une présentation des différents organismes de normalisation est effectuée dans l'annexe A.I.1).

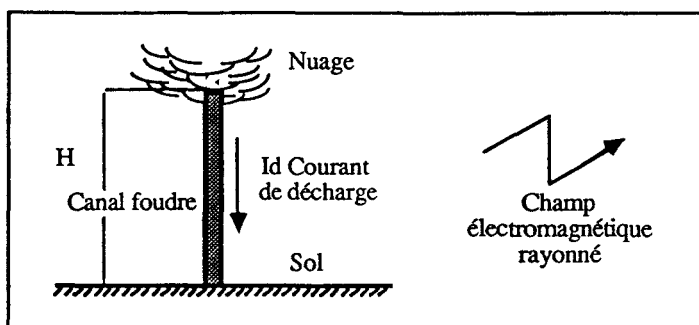


Figure I-4 : Assimilation du canal foudre à une gigantesque antenne électrique.

#### I.1.1.2. Les émissions bande étroite.

Contrairement aux décharges orageuses qui sont une source de bruit naturelle et involontaire, les émetteurs radiofréquences sont des sources humaines et volontaires. Ces émetteurs très nombreux ont une utilisation de plus en plus répandue depuis les télécommandes de jouets (quelques dizaines de microwatt) jusqu'aux radars d'aéroports (plusieurs mégawatt crête). On peut distinguer les perturbations dues au signal utile ou celles dues aux rayonnements parasites hors bande de l'émetteur. Une classification des émetteurs par leur pouvoir perturbateur est proposée dans [AZOULAY]. La publication 801-3 du CEI concerne l'immunité des systèmes vis à vis des perturbations radiofréquence.

#### I.1.1.3. Les rayonnements involontaires.

Tout équipement électrique ou électronique peut être une source de rayonnement ou de parasites. Citons pour exemple, les alimentations à découpage et convertisseurs continu / continu, les appareils de traitement de l'information (ordinateurs et leurs périphériques), l'effet couronne sur les lignes de transport d'énergie et les systèmes à très hautes tensions (THT) tels les tubes cathodiques des télévisions.

#### I.1.1.4. Les méthodes de protection.

Nous distinguons les méthodes de protection selon la source de rayonnement. Cette source peut provenir d'une décharge orageuse, d'un émetteur ou d'un rayonnement involontaire d'un autre dispositif. Nous parlons alors de "CEM externe" au dispositif. Cette source peut aussi provenir d'un rayonnement involontaire du dispositif lui même. Nous évoquons alors les problèmes de diaphonie qui concernent la "CEM interne" au dispositif.

a) La source de rayonnement est externe au dispositif.

Au niveau d'un système tel que celui présenté figure I-1, les premières mesures de protection concernent les supports d'information que sont les câbles de transmission de signaux ou les câbles d'alimentation. En ce qui concerne ces derniers, de nombreux constructeurs préconisent l'utilisation d'une paire de fils torsadés afin de lutter contre les perturbations magnétiques basse fréquence [HEWLETT PACKARD, page 5-3]. Nous avons notamment utilisé ce mode de protection pour l'alimentation des portes logiques du dispositif sous test du chapitre III, et pour l'alimentation de la carte électronique du chapitre V. La figure I-5 montre le raisonnement suivi ainsi que le gain apporté par cette disposition.

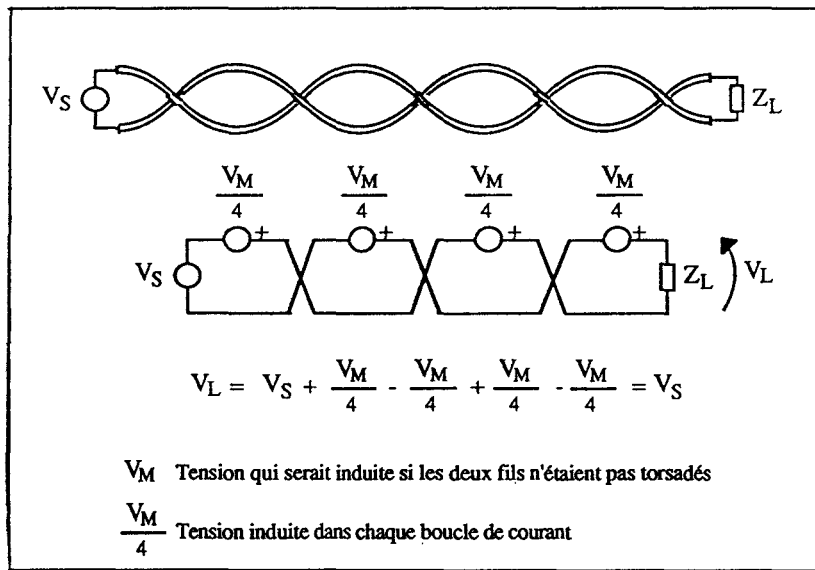


Figure I-5 : Utilisation de fils torsadés pour éviter les perturbations magnétiques basse fréquence.

Que les câbles soient monofilaires ou multifilaires, leurs blindages assurent une certaine protection vis à vis des ondes électromagnétiques. Nous distinguons le blindage à écran homogène, le blindage tressé et le blindage à rubans conducteurs hélicoïdaux. Pour améliorer encore leurs performances, des blindages multiples superposés sont envisageables. On peut en outre associer aux écrans bon conducteurs des matériaux ferromagnétiques. Ces câbles sont caractérisés par leur impédance et admittance de transfert. Des méthodes de mesure sont proposées pour les câbles coaxiaux et pour les câbles multifilaires [DEMOULIN 1]. Pour être efficaces, ces câbles doivent être reliés correctement au réseau de masse [DEMOULIN 2] et [HEWLETT PACKARD, page 5-19]. Si le blindage est flottant, s'il n'est pas connecté à la masse, il devient inefficace. Si une seule extrémité du blindage est reliée à la masse, la ligne est protégée contre les couplages électriques mais pas contre les couplages magnétiques. Pour protéger la ligne contre les deux types de couplage, les deux extrémités doivent être connectées à la masse (figure I-6).



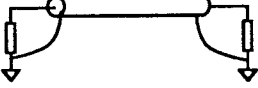
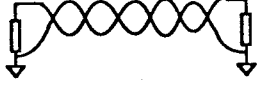

	Protection contre les champs	
	Électriques	Magnétiques
	Nulle	Nulle
	Efficace	Nulle
	Efficace	Bonne au dessus de la fréquence de coupure du blindage
	Mauvaise	Assez bonne en basse fréquence
	Efficace	Bonne au dessus de la fréquence de coupure du blindage Assez bonne en basse fréquence

Figure I-6 : Efficacité du blindage selon la façon dont il est relié à la masse.

La disposition spatiale du support d'information doit être choisie de façon à diminuer tant que possible les boucles de courant formées par le réseau de masse et les câbles (figure I-7) [HEWLETT PACKARD, page 2-16]. Notons aussi que le choix de la fibre optique comme support de communication entre des équipements protège les signaux transmis de toute perturbation électromagnétique. Ainsi, lors de l'étude de la sensibilité par rayonnement de la carte électronique du chapitre V, de la fibre optique est utilisée pour protéger les signaux d'entrée-sortie.

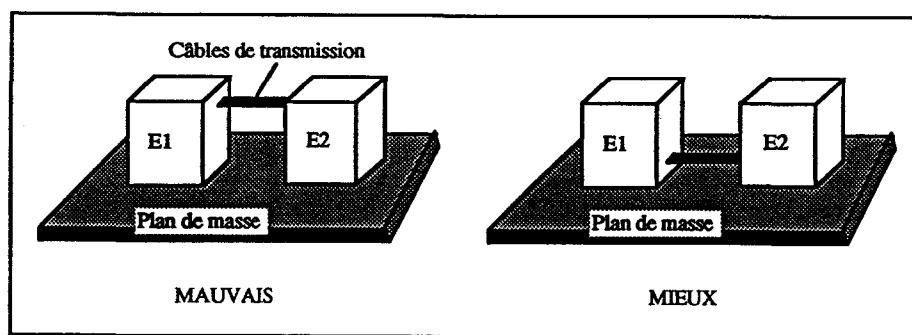


Figure I-7 : Disposition spatiale des câbles de transmission.

Les secondes mesures de protection du système concernent le blindage des équipements. Celui-ci n'est pas toujours possible pour des raisons de coûts, de poids ou d'encombrement. Si le concepteur choisit néanmoins de blinder les câbles de transmission et les équipements, il est alors impératif de soigner les connexions. En effet, les investissements concédés au blindage intégral peuvent être anéantis par une mauvaise continuité de blindage [LABAUNE]. On évite par exemple une connexion "Pigtail" par l'utilisation d'un connecteur approprié (figure I-8).



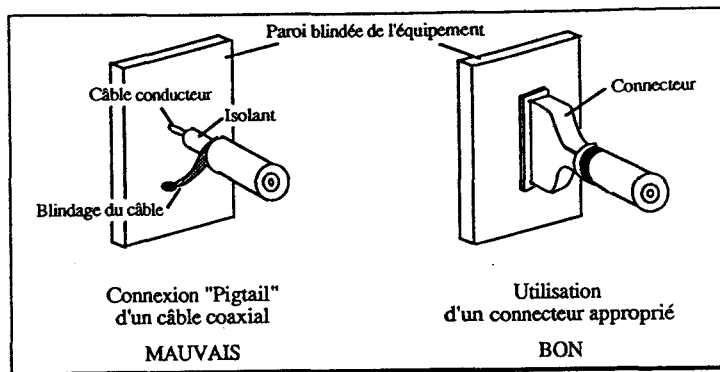


Figure I-8 : Importance de la connexion des câbles.

Au niveau des cartes électroniques ou circuits imprimés (figure I-2), les mesures de protection couramment appliquées aux supports d'information peuvent être généralisées aux pistes de la carte imprimée. Premièrement, le "blindage des pistes" est assuré par un plan de masse. Celui-ci n'est cependant pas réalisable sur des cartes imprimées simple face. Deuxièmement, l'implantation des composants doit éviter la formation de boucles de courant trop importantes. Celles-ci agissent en effet comme des antennes magnétiques. Troisièmement, les pistes qui agissent comme des antennes électriques doivent être les plus courtes possibles. Cette dernière recommandation aussi valable pour les câbles de transmission d'un système, est généralement appliquée par bon sens pour éviter un surcoût de la liaison.

Au niveau des composants électroniques, aucune protection particulière n'est à prendre puisque ces derniers ne sont pas sensibles à un rayonnement électromagnétique direct. Nous verrons cependant qu'un choix judicieux de la technologie des composants logiques implantés sur un circuit imprimé, aide à pallier certains défauts induits par un couplage d'une onde électromagnétique sur ce circuit.

*b) La source de rayonnement est interne au dispositif, les phénomènes de diaphonie.*

Les problèmes de diaphonie se rencontrent :

- au niveau d'un système sur les câbles de transmission qui relient les équipements,
- au niveau d'un équipement sur les câbles plats qui relient les circuits imprimés,
- au niveau d'un circuit imprimé sur les pistes qui relient les composants (figure I-9),
- et au sein même des composants intégrés.

L'onde électromagnétique émise par les signaux véhiculés par un des supports d'information est couplée à l'autre support d'information et réciproquement. Les deux supports d'information peuvent ainsi être perturbés. Ce type de perturbation s'apparente donc à une

perturbation de mode rayonné dont la source est interne au dispositif électrique. Notons aussi que les problèmes de diaphonie se retrouvent au niveau des composants intégrés électroniques et qu'ils sont résolus avant la mise sur le marché de ces composants.

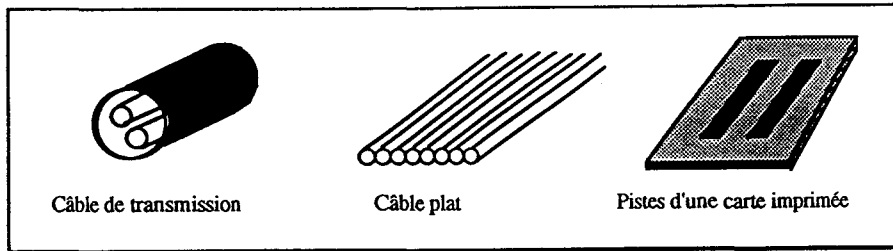


Figure I-9 : Risque de diaphonie pour les différents supports d'information.

La solution la plus simple pour éviter ces phénomènes de diaphonie consiste à éloigner l'un de l'autre les deux supports d'information autant que faire se peut. Pour connecter deux équipements, l'utilisation de deux câbles monofilaires éloignés l'un de l'autre au lieu d'un câble bifilaire peut résoudre des problèmes de diaphonie<sup>1</sup>. Pour connecter deux circuits imprimés, si tous les fils du câble plat ne sont pas utilisés, il est recommandé d'éloigner l'un de l'autre les signaux utiles. Tous les fils non utilisés pourront être utilisés comme référence de masse supplémentaire. Enfin pour connecter les composants électroniques, on éloignera les unes des autres les pistes qui s'auto-perturbent dans la mesure de la place disponible. Notons sur la figure I-10 que l'orientation des pistes influe sur la diaphonie [HEWLETT PACKARD, page 2-16] et qu'une mesure analogue à celle utilisée sur les câbles plats, à savoir intercaler une référence de masse entre deux signaux utiles est proposée dans [HEWLETT PACKARD, pages 2-8 et 2-11].

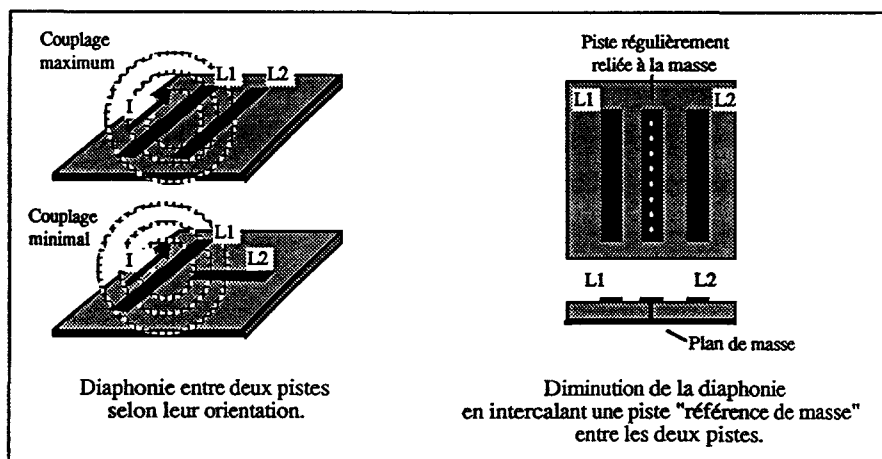


Figure I-10 : Diminution de la diaphonie entre deux pistes d'un circuit imprimé.

<sup>1</sup> On suppose ici qu'aucun des deux fils ne constitue le retour de masse. Sinon on agrandirait fortement la boucle de courant. Par ailleurs la masse n'est pas considérée ici comme un support d'information mais comme une référence. De plus chaque fil doit être accompagné d'une référence de masse qui peut être un autre fil ou encore mieux un blindage.

## **I.1.2. Les perturbations par conduction.**

### I.1.2.1. Origine des perturbations de mode conduit.

Les perturbations conduites sur les pistes peuvent avoir plusieurs origines.

La première origine des perturbations de mode conduit est le couplage d'une onde électromagnétique sur les liaisons externes du dispositif électronique considéré. Au niveau d'un équipement, le rayonnement induit des courants et tensions parasites sur les câbles de transmission. Ces signaux parasites sont ensuite conduits à l'entrée des équipements au même titre que les signaux utiles. Au niveau d'un circuit imprimé, ces perturbations sont ramenées par les câbles plats ou autres types de câbles. Ces câbles peuvent eux même subir un couplage électromagnétique et véhiculer d'autres perturbations issues d'un rayonnement électromagnétique. Enfin au niveau d'un composant électronique, les parasites issus d'un couplage en amont de la carte ainsi que les parasites issus d'un couplage sur les pistes d'interconnexion de la carte imprimée sont ramenés à l'entrée des composants. Un projet de publication est en préparation pour la partie 6 de la publication 801 concernant l'immunité aux signaux haute fréquence ( $> 9$  kHz) par conduction. L'essai préconisé dans cette publication pourrait se substituer dans certains cas au test complexe sous l'influence de champs électromagnétiques rayonnés.

La seconde origine des perturbations de mode conduit est le fonctionnement propre du dispositif électrique et concerne la "CEM interne" du dispositif. Un exemple de ce type de perturbation est celui des perturbations sur l'alimentation provoquées par des appels simultanés de courant effectués par plusieurs utilisateurs. Si nous considérons le réseau de distribution d'EDF comme un système, ce dernier est perturbé lorsque certaines charges sont raccordées au réseau. Or, la qualité de la tension distribuée par le réseau est un facteur important de la CEM des équipements. La multiplication des sources de pollution entraîne une révision des réseaux. Cependant, pour des raisons économiques, ceux-ci ne pourront jamais être exempts de toute perturbation [MENDES], [LÉOST]. On se reportera aux travaux du CE 77 de la CEI dont l'un des aspects concerne les perturbations du réseau d'alimentation.

Le même phénomène de perturbation de l'alimentation se retrouve au niveau des circuits imprimés lorsque les composants logiques commutent. La commutation des composants logiques est en effet accompagnée d'un fort appel de courant. Si EDF n'est pas du tout maître de la demande d'énergie de ses clients, le concepteur de circuit imprimé doit éviter tant que possible la commutation simultanée des composants. Notons que la publication 801-4 du CEI concerne l'immunité des équipements vis à vis de surtensions transitoires très rapides provoquées par la commutation de composants tels des bobines de relais.

Un autre exemple de perturbation interne à un dispositif est celui provoqué par l'impédance

du réseau de masse ou du réseau d'alimentation. Théoriquement, l'impédance entre deux points du réseau de masse est nulle. Ainsi, malgré l'importance du courant qui circule entre ces deux points due à l'addition des différents courants de retour des équipements, des cartes ou des composants, l'équipotentialité du réseau est assurée. Malheureusement, les différents supports de la référence (câble de transmission, câble plat, piste) présentent parfois une inductance non négligeable vis à vis des fréquences des courants qui y circulent. La différence de potentiel entre deux points du réseau qui en résulte affecte le rôle de référence habituellement assuré par la masse.

### I.1.2.2. Méthodes de protection.

Nous ne reviendrons pas ici sur le blindage du support d'information ou sur les mesures à prendre pour diminuer les phénomènes de diaphonie qui, en évitant un couplage électromagnétique en amont du dispositif éliminent une grande partie des perturbations conduites en entrée. Nous considérons dans un premier temps la protection du dispositif électrique ou électronique contre les signaux parasites conduits quelle que soit leur origine. Dans un deuxième temps, nous donnons quelques recommandations quant à la réalisation du réseau de masse.

La protection du dispositif contre les perturbations de mode conduit consiste à filtrer les signaux parasites, sans pour autant dégrader les signaux utiles. Pour protéger les signaux basse fréquence tels que l'alimentation contre les signaux parasites haute fréquence, on peut augmenter l'inductance du fil en utilisant un morceau d'inductance ou des perles de ferrite (figure I-11) [HEWLETT PACKARD, page 3-17].

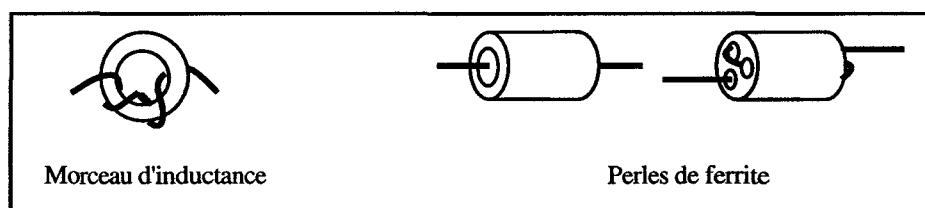


Figure I-11 : Utilisation de ferrites pour filtrer les signaux haute fréquence.

Des versions CMS des ferrites permettent d'intégrer aisément ce type de protection sur des circuits imprimés. Le filtrage peut aussi être assuré par des filtres passe-bas, passe-bande ou passe-haut à l'aide de résistances, capacités et inductances. Un exemple classique de protection de signaux continus contre des perturbations haute fréquence est celui réalisé par les capacités de découplage des composants logiques.

En ce qui concerne la réalisation du réseau de masse, le concepteur choisira la topologie qui donne au réseau l'impédance la plus faible possible. L'évolution de l'électronique a entraîné une modification des topologies recommandées par les experts. Au niveau d'un équipement, le réseau

en étoile est abandonné au profit du réseau maillé. En effet, l'augmentation des fréquences de l'électronique rend les capacités parasites entre branches de l'étoile non négligeables. "De plus, l'inductance linéique entre deux extrémités de branches est supérieure à celle obtenue par maillage du réseau. La conception d'un réseau maillé ne dispense pas pour autant de faire attention à la topologie des raccordements, c'est à dire ne pas mélanger de façon non maîtrisée les références de potentiel analogique, digitale et mécanique [CHAMPIOT]." Au niveau d'un circuit imprimé, le plan de masse est la meilleure solution pour assurer une bonne équipotentialité de la référence. Relier directement les masses de l'électronique au plan de masse par traversées, évite l'introduction d'impédance supplémentaire par la piste de référence côté composants (cf. chapitre III). Dans le cas des cartes simple face, on évitera une liaison en série de la masse [HEWLETT PACKARD, pages 3-2 et 3-3].

### **I.1.3. Les décharges électrostatiques.**

Les décharges électrostatiques sont à l'origine de perturbations indirectes par rayonnement et de perturbations directes par conduction de courant. Nous leur accordons un paragraphe car contrairement aux autres sources de perturbations telles les décharges orageuses ou les émetteurs volontaires, dans certains cas, nous pouvons limiter la source par de simples précautions. De plus, l'électronique est très sensible aux décharges électrostatiques.

#### **I.1.3.1. Description du phénomène.**

L'électricité statique est le premier phénomène électrique connu par les hommes. Les problèmes pratiques qu'elle pose rendent son étude importante : manipulation des carburants, accumulation de charges sur les avions ou engins spatiaux, fragilité des composants électroniques aux décharges électrostatiques. A ce titre, "les fabricants de circuits intégrés, spécialement dans le domaine des transistors à effet de champ et technologie MOS ont fait un travail considérable d'investigation du phénomène électrostatique pour diminuer la mortalité infantile des modules lors de la fabrication en usine [MARDIGUIAN]." Les composants les plus vulnérables sont en effet les diodes à jonction PN et les diodes Schottky, les oxydes de grille des transistors MOS et les métallisations [FALLOU].

L'accumulation de charges par des personnes ou par les objets qu'elles manipulent est une des causes premières des décharges électrostatiques. Les potentiels électrostatiques induits sont compris entre 4 kV et 15 kV selon la nature du revêtement du sol, la taille de la personne et l'humidité relative réelle dans la pièce. Les charges sont concentrées aux pointes (doigt, outil, etc.).

C'est le courant de décharge qui est le paramètre important du processus de perturbation. L'impulsion de courant a un temps de montée très rapide (quelques nanosecondes) et son spectre est

donc très large (du continu à une centaine de mégahertz). L'amplitude crête du courant est fonction du potentiel électrostatique et de l'impédance traversée. Des décharges "humaines" (en dessous de 3A) ont donc une amplitude moins importante que des décharges "mobilier" (en dessous de 10A).

Le couplage peut s'effectuer de quatre manières différentes.

- Le couplage direct par conduction du courant de décharge sur le circuit est le plus stressant. Selon l'amplitude du courant, on observe soit des défauts de fonctionnement, soit la destruction du système ou des circuits intégrés.

- La décharge de courant peut être appliquée sur la surface métallique d'un équipement et un arc second peut se produire entre la surface et le circuit interne.

- Le champ électrique associé à la décharge peut se coupler au circuit.

- Le champ magnétique associé peut se coupler au circuit.

#### I.1.3.2. Mesures de protection et précautions.

On peut classer les mesures de protection selon que le couplage est direct ou indirect.

De nombreuses mesures de protection pour éviter la détérioration des composants intégrés CMOS à un couplage direct sont données dans [MOTOROLA]. Quelques unes de ces mesures sont présentées dans l'annexe A.I.2.2. Les protections relatives au couplage indirect s'apparentent à celles utilisées contre les champs électromagnétiques rayonnés. Le lecteur se reportera à la norme CEI 801-2 pour le test de l'immunité des équipements vis à vis des décharges électrostatiques.

#### **Conclusion.**

Nous avons rapidement passé en revue les différentes sources de perturbation électromagnétique. On distingue les perturbations par rayonnement et les perturbations par conduction. Quel que soit le niveau du dispositif électronique - système, équipement, circuit imprimé, composant électronique - la philosophie des mesures de protection est similaire. Contre les perturbations de mode rayonné, on préconise le blindage des supports d'information et des équipements, la diminution des boucles de courant et de la longueur des câbles ou pistes, ainsi que l'éloignement de la victime de la source de rayonnement lorsque cela est possible (exemple de la diaphonie entre deux supports d'information). Contre les perturbations de mode conduit, le filtrage et l'optimisation du réseau de masse sont préconisés.

La figure I-12 résume les différentes voies de perturbation d'un système. En dernier recours la perturbation produite est conduite à l'entrée des composants électroniques dont le rôle est

de traiter les signaux d'information. La façon dont vont réagir ces composants influence donc grandement la sensibilité globale du système. Cette constatation est la source des travaux effectués par différentes équipes de chercheurs, sur la sensibilité des composants électroniques vis à vis de perturbations électromagnétiques. Elle motive notre étude sur la sensibilité des cartes électroniques selon la technologie des composants logiques implantés.

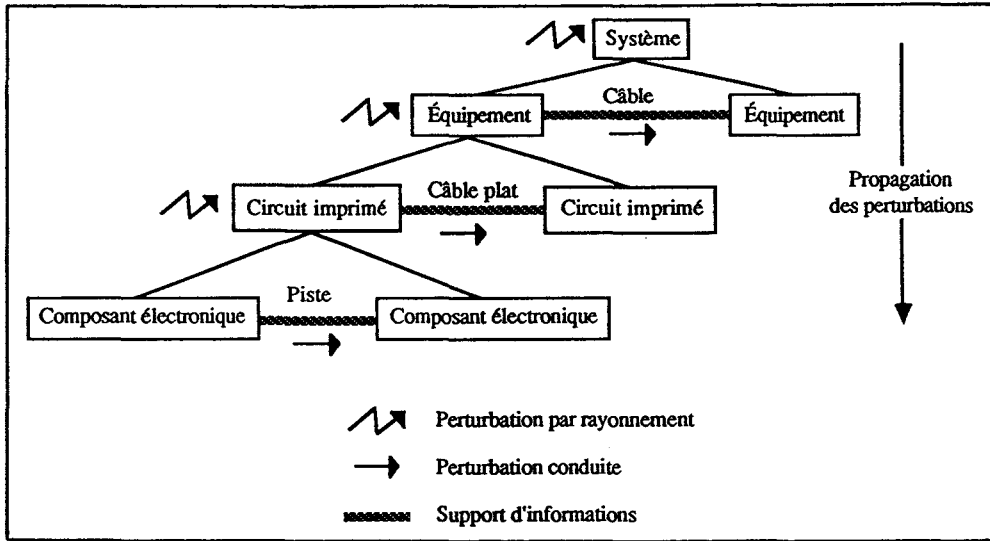


Figure I-12 : Propagation des perturbations dans un système.

## I.2. LES MESURES, LES TESTS ET LES SIMULATIONS EN CEM.

### Introduction.

Il est important de pouvoir évaluer les performances d'un système en cours de conception. Nous présentons dans ce sous chapitre les outils dont disposent actuellement les industriels.

Selon que l'on désire perturber des éléments filaires ou un système complet, on choisira une méthode de perturbation soit locale, soit globale.

Les méthodes mathématiques pour simuler la transmission d'énergie dépendent de la taille des systèmes vis à vis de la longueur d'onde. La résolution par des programmes d'analyse de circuits basée sur ces méthodes utilise des codes numériques spécialisés. Un tour d'horizon des différents programmes d'analyse qui existent est effectué. Nous focalisons cette présentation sur les logiciels PSpice, Saber et Quad-Design couramment utilisés par les équipes de recherche.

## I.2.1. Les méthodes de perturbation des équipements à tester.

### I.2.1.1. Les perturbations locales.

Elles sont effectuées par injection de courants ou de tensions. L'injection de type parallèle aussi appelée couplage capacitif simule un couplage électrique. L'injection de type série aussi appelée couplage inductif simule un couplage magnétique. Lorsque la longueur de la ligne est très petite relativement à la longueur d'onde, l'injection par lignes couplées permet de choisir le type de couplage que l'on désire simuler : couplage électrique, magnétique ou hybride (figure I-13).

Notons que les lignes couplées permettent aussi de mesurer le rayonnement d'un câble. On remplace pour cela le générateur de signaux par un récepteur du type analyseur de spectre ou oscilloscope.

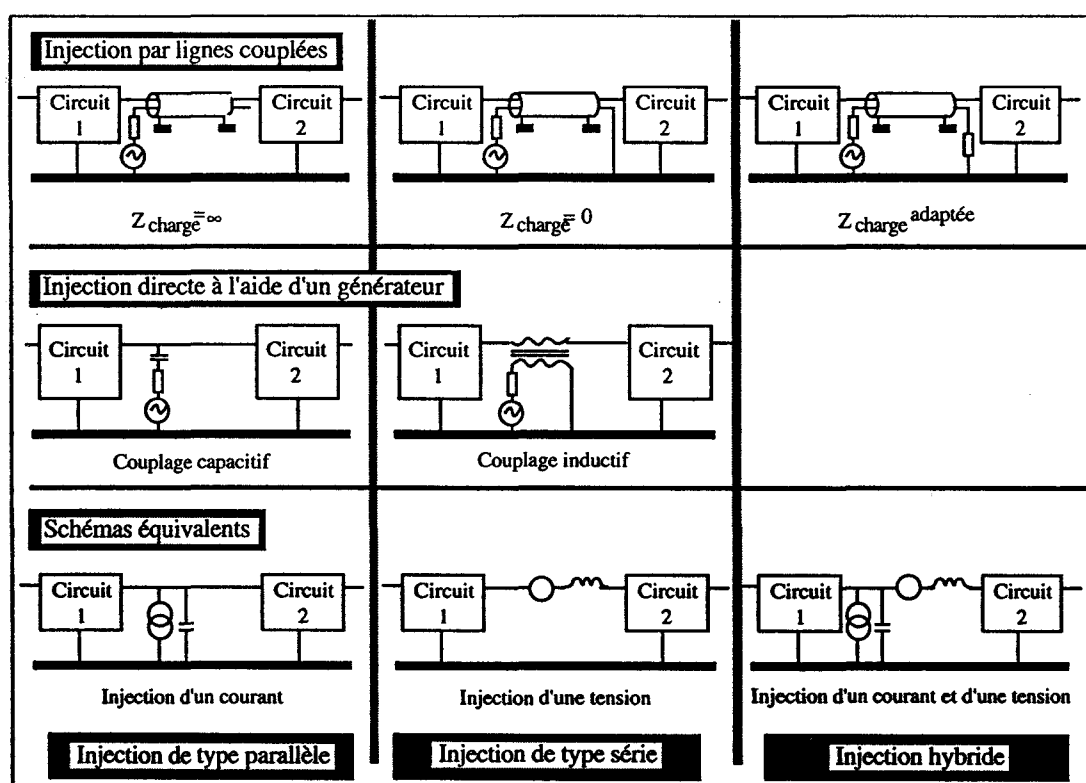


Figure I-13 : Perturbation locale par injection.

### I.2.1.2. Les perturbations globales.

Une cellule TEM<sup>2</sup> reprend le principe d'une ligne de transmission dans laquelle se propage une onde électromagnétique plane lorsqu'une tension est appliquée à une extrémité de la ligne

<sup>2</sup> Transverse Électromagnétique.



constituée de deux plaques conductrices (figure I-14). Le circuit sous test est placé entre les deux conducteurs. L'un de ces conducteurs constitue le septum et l'autre la référence de masse. On distingue la cellule de type "stripline", la cellule TEM rectangulaire et la cellule GTEM<sup>3</sup>. Les deux dernières cellules permettent une maîtrise de l'environnement électromagnétique car elles sont fermées contrairement à la cellule de type "stripline". Les fréquences maximales de travail des cellules TEM et "stripline" sont fonction de la hauteur qui sépare le septum de la référence de masse.

L'utilisation d'une cage de Faraday permet de s'affranchir de l'environnement électromagnétique existant. La réflexion du champ électromagnétique généré à l'intérieur sur les parois de l'enceinte blindée, ne permet cependant pas de reproduire une perturbation par rayonnement en site libre. Deux solutions sont alors envisageables. La première consiste à recouvrir les parois de la cage de matériaux absorbants qui est alors appelée chambre anéchoïde<sup>4</sup>. Une antenne génère dans cette chambre le champ électromagnétique perturbateur (figure I-15a). La seconde solution est moins courante. Elle consiste à utiliser un brasseur de modes de type rotatif qui change les conditions aux limites de l'enceinte dont les dimensions sont grandes vis à vis de la longueur d'onde (figure I-15b). Le fonctionnement de cette nouvelle méthode de perturbation est actuellement étudié dans différents laboratoires dont le LRPE [BESNAULT].

La norme CEI 801-3 préconise l'utilisation d'une cellule TEM ou d'une chambre anéchoïde pour mesurer l'immunité d'un dispositif électrique vis à vis de perturbations par rayonnement et notamment l'emploi de la cellule GTEM qui associe les avantages des deux.

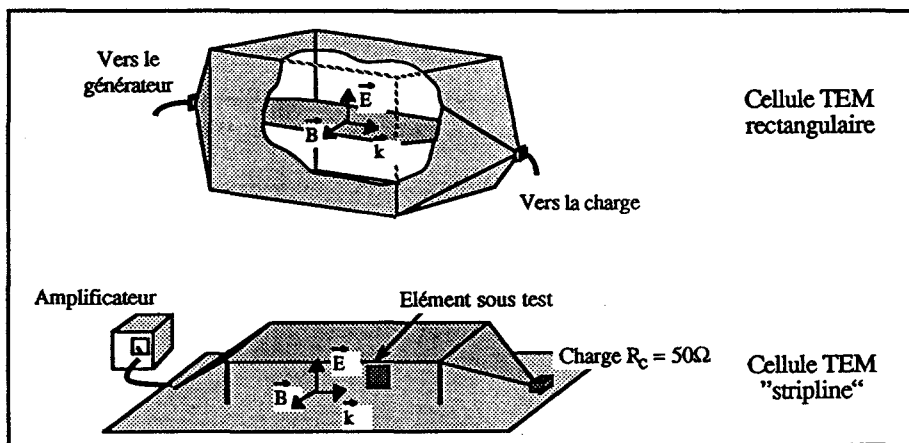


Figure I-14 : Les différents types de cellules TEM pour générer une onde plane.

<sup>3</sup> Gigahertz TEM. Cette cellule est un hybride entre une cellule TEM conventionnelle et une chambre anéchoïde.

<sup>4</sup> "Les chambres anéchoïdes sont peu efficaces pour des fréquences inférieures à 100 MHz. Pour être efficaces à des fréquences de l'ordre de 100 MHz, les chambres anéchoïdes doivent avoir des absorbeurs d'environ 2 m d'épaisseur [CEI 801-3, p. 14]."

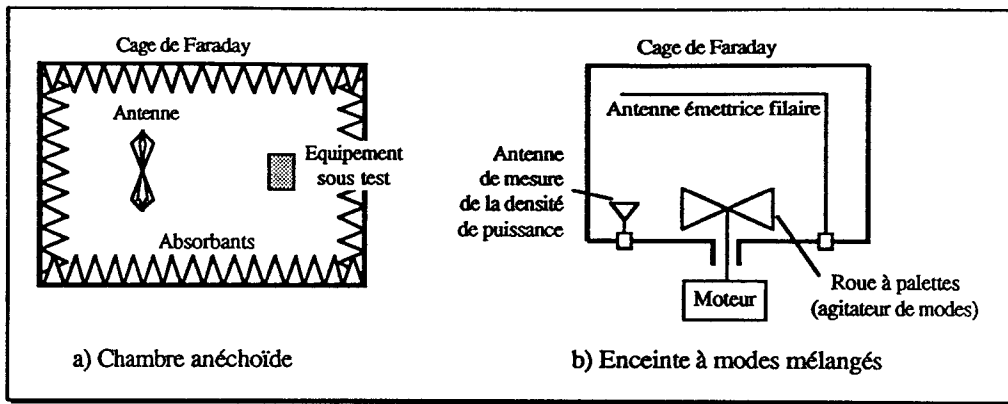


Figure I-15 : Amélioration de la cage de Faraday.

## I.2.2. Les méthodes de simulation et leur domaine d'utilisation.

Nous reprenons ici la classification adoptée par [ROQUES]. Les citations sont issues de cet article. Nous indiquons d'autres références qui développent plus amplement les méthodes de simulation mentionnées.

### I.2.2.1. Longueur d'onde grande comparativement aux dimensions de la structure.

La **théorie des lignes de transmission** permet de résoudre de manière relativement simple le problème général du couplage d'une onde plane avec des câbles de structure quelconque. On suppose dans cette théorie que les fréquences des signaux sont suffisamment basses pour que seul le mode fondamental ou TEM se propage. Cette théorie est développée dans le premier chapitre de [RISBOURG] et l'aspect CEM est pris en compte par [DEGAUQUE]. Cette méthode initialement conçue pour un espace à deux dimensions s'est développée pour pouvoir résoudre des problèmes dans un espace à trois dimensions [CHRISTOPOULOS]. Dans [ROQUES], la résolution se fait dans le domaine spectral. La résolution dans l'espace à trois dimensions appartient à la classe des méthodes différentielles numériques dans le domaine temporel ("class of time-domain differential numerical methods").

### I.2.2.2. Longueur d'onde de l'ordre de la dimension de la structure.

"Ce cas est mathématiquement le plus délicat car aucune approximation n'est envisageable. Il faut résoudre des équations exactes qui sont les équations de Maxwell ou les équations intégrales qui s'en déduisent. On distingue deux grandes sous-familles de méthodes :"

- **méthodes des différences finies** : dans ces méthodes, les équations de Maxwell sont résolues par discrétisation spatiale et temporelle. Ces méthodes conviennent donc beaucoup mieux à des analyses temporelles qu'à des analyses spectrales. Elles sont utilisées pour modéliser des

structures tridimensionnelles (calculs de volumes) [LE GUILLOU]. Le lecteur peut se référer aux articles [TIRKAS], [LI], [OMICK] pour des exemples d'application.

- **méthode des éléments finis** : cette méthode est devenue un véritable outil de résolution des équations aux dérivées partielles rencontrées dans la physique des milieux continus, pour modéliser des surfaces. Couramment utilisée en mécanique des solides ou des fluides et en thermique, elle commence à étendre son domaine d'application à l'électromagnétisme [DIXON]. "Ceci est dû à son aptitude à bien représenter des structures complexes du point de vue forme ou propriétés, tout en permettant d'obtenir une bonne précision [LE GUILLOU]." Le lecteur peut se référer à l'article [LAROUSSI] pour un exemple d'application CEM. Cette méthode peut aussi être utilisée pour modéliser des composants électroniques [JAOUAD].

### I.2.2.3. Longueur d'onde très inférieure à la dimension de la structure.

"On peut utiliser des **méthodes asymptotiques dites "haute fréquence"**. La plupart sont basées sur des théories dérivées de l'optique géométrique, parmi lesquelles on trouve en particulier celles basées sur la théorie géométrique de la diffraction." Ces méthodes sont aussi expliquées dans [LE GUILLOU].

La liste des méthodes exposées par [ROQUES] n'est pas exhaustive. La méthode des moments, des méthodes itératives, des méthodes itératives avec transformée de Fourier spatiale permettent de résoudre numériquement des équations intégrales dans le domaine spectral. Ces équations intégrales peuvent aussi être résolues dans le domaine temporel. Nous pouvons encore citer la méthode de développement des singularités et la méthode basse fréquence. Ces différentes méthodes sont expliquées dans [LE GUILLOU]. La résolution par des programmes d'analyse de circuits basée sur ces méthodes utilise des codes numériques spécialisés [PENG], [LEUCHTMANN], [JAOUAD]. Notons aussi l'approche topologique qui évite des calculs globaux et complexes des systèmes en distinguant des volumes élémentaires au sein de l'objet global [PARMANTIER], [BESNIER].

### **I.2.3. Les outils de simulation et leurs performances.**

#### Introduction

Quelle que soit la technologie utilisée, l'élaboration d'un produit électronique comprend schématiquement les phases suivantes <sup>5</sup>.

---

<sup>5</sup> La majorité des renseignements qui suivent sont des citations de [RAULT 1] auxquelles nous avons ajouté quelques remarques personnelles. Nous avons repris le plan de présentation de l'auteur.

Phase a) *établissement du cahier des charges* : spécifications fonctionnelles et performances physiques du produit. (Parmi les performances physiques figurent les performances CEM du produit aussi bien pour l'aspect rayonnement que pour l'aspect sensibilité);

Phase b) *vérification de la cohérence et de la complétude des spécifications*;

Phase c) *choix d'un schéma de principe*;

Phase d) *choix des éléments constitutifs* de la réalisation physique (nos études sur la sensibilité des cartes électroniques selon la technologie des composants logiques implantés, visent notamment à aider les concepteurs à choisir une technologie en vue de respecter les contraintes CEM, aspect sensibilité);

Phase e) *vérification du respect des contraintes* de la technologie et du *respect des spécifications initiales* ;

Phase f) *préparation des données nécessaires à la fabrication* : schémas logiques et électriques, liste de composants, implantation, câblage;

Phase g) *vérification des données de la fabrication*;

Phase h) *fabrication*;

Phase i) *contrôle de la fabrication* (les tests CEM devront être intégrés à ce contrôle).

A chacune de ces phases correspondent des outils de CAO (Conception Assistée par Ordinateur), un même outil pouvant être utilisé dans plusieurs d'entre elles. Ces outils sont de plusieurs catégories.

Catégorie 1) outils pour *l'établissement et la vérification des spécifications* : ce sont les langages permettant une description formelle à un niveau fonctionnel élevé ainsi que les simulateurs qui leur sont associés (phases a et b);

Catégorie 2) outils pour *la synthèse fonctionnelle aidant à la traduction des spécifications fonctionnelles en une structure de principe* : ce sont des langages de description structurelle associés à des simulateurs et des évaluateurs de performances (phase c)<sup>6</sup>;

Catégorie 3) outils aidant le *choix d'une structure physique*, c'est-à-dire la traduction de la structure de principe en une structure de réalisation : ce sont les simulateurs logiques et électriques, les analyseurs de testabilité, les programmes de calculs mécaniques ou thermiques (phases d et e).

Catégorie 4) outils aidant à *l'établissement des données de fabrication* : ce sont surtout des

---

<sup>6</sup> Ces outils de synthèse sont peu nombreux. "Les synthèses automatiques ne sont effectuées que dans quelques cas particuliers de circuits analogiques et logiques. Les outils de CAO développés jusqu'à maintenant s'adressent essentiellement à l'analyse et à l'optimisation de circuits une fois leur structure choisie."

aides au dessin et au câblage (phases f et g);

Catégorie 5) outils pour la préparation des programmes de test (phase i) dont certains peuvent intervenir en phases d et e.

Nous proposons dans les deux sous paragraphes qui suivent (I.2.3.1 et I.2.3.2), de décrire rapidement les analyseurs de circuits électriques (analogiques et numériques) qui font partie de la catégorie 3 des outils de CAO. Les autres outils d'analyse et notamment ceux concernant la CEM sont évoqués au sous paragraphe I.2.3.3. Nous proposons ensuite une description plus fine des logiciels PSpice, Saber et Quad Design très employés actuellement. Nous verrons notamment avec Quad-Design que des interfaces entre les logiciels de la catégorie 3 (les simulateurs) et les logiciels de la catégorie 4 (saisie de schémas électriques mais aussi routage de cartes imprimées) se développent. Ceci permet de tenir compte dans les simulations des impédances caractéristiques des pistes ainsi que des problèmes de diaphonie entre pistes. Nous nous intéressons plus particulièrement aux logiciels de la catégorie 4 dans le sous chapitre I.3.

#### I.2.3.1. Analyse des circuits analogiques.

En ce qui concerne les programmes de simulation des circuits analogiques, quatre grandes classes prévalent :

Classe a) **les simulateurs généraux s'adressant surtout aux circuits non linéaires et fonctionnant en régime transitoire.** Nous ne ferons que citer pour mémoire les produits suivants : ECAP II et ASTAP (IBM France), ASTEC (C.I.S.I.), IMAG-3 (Micado), CIRCUS-II, PHILPACK, SUPERSCEPTRE, SYSCAP (Control Data France), I/SPICE (CSS France), TRAC, I/TRAC, CSC-TRAC (Computer Sciences Corp.), COD, UCCAP (University Computing Co), etc.;

Classe b) **les simulateurs spécifiques d'une technologie s'adressant essentiellement aux circuits non linéaires fonctionnant en régime transitoire;** ces programmes sont fréquemment issus de ceux de la classe précédente; appartiennent à cette classe : MSINC, MOTIS-C (circuits intégrés MOS, University of California), SPICE-2 (circuits intégrés bipolaires), DIANA (LISCO), MICE et SPICE (circuits intégrés MOS et bipolaires, University of California), etc.;

Classe c) **les simulateurs s'adressant aux circuits linéaires,** ces programmes sont moins complexes que les précédents, d'utilisation moins coûteuse et permettent des calculs que l'on n'entreprend pas, en général, avec les programmes des classes précédentes, appartiennent à cette classe : ESOPE, SLIC, SNAP, NASAP, OPNODE (Hewlett-Packard France), CORNAP, COMPACT (Compact Engineering Inc.), ANP3, ACLINE (C.I.S.I.), ESAMEC;

Classe d) **les programmes spécifiques de circuits particuliers :** amplificateurs, oscillateurs, alimentations, filtres passifs et actifs (FILSYN de Compact Engineering Inc.), etc.; il existe une profusion de programmes de ce genre.

De façon schématique, les programmes des classes a et b sont exploités sur des gros ordinateurs; toutefois, on voit apparaître des versions opérant sur mini-ordinateurs pour certains de ces programmes et notamment ceux de la classe b. Les programmes des classes c et d sont exploités à la fois sur gros ordinateurs et mini-ordinateurs.

### I.2.3.2. Analyse des circuits logiques.

Les simulateurs logiques peuvent être classés suivant le mode de description des circuits et suivant le mode de mise en œuvre informatique. Parmi les modes de description, on distingue :

**a) la simulation au niveau du module élémentaire :** dans ce cas, le circuit à simuler est décrit par sa structure physique, c'est-à-dire l'ensemble de ses modules élémentaires (portes, bascules) et par les interconnexions entre ces modules.

**b) la simulation fonctionnelle (CASSANDRE de Micado) :** dans ce cas, le circuit est décrit par un ensemble de fonctions et leurs interconnexions. Le schéma de description est fonctionnel et ne correspond pas nécessairement point pour point à une réalisation physique.

**c) la simulation hiérarchisée :** il s'agit des simulateurs permettant la cohabitation des deux types de description (fonctionnelle et au niveau des modules élémentaires) pour des parties différentes d'un même circuit. De tels simulateurs ne sont pas encore très courants.

**d) la simulation symbolique :** il s'agit d'un mode de simulation innovant qui fait l'objet de travaux de recherche. Le but est de changer la forme classique des données et des signaux exprimés sous forme de séquences de 0 et de 1. Ces formes et volumes de données pénalisent en effet les simulateurs classiques quant à la souplesse d'utilisation. Ce mode de simulation se rapproche des techniques de simulation fonctionnelle.

Parmi les modes de mise en œuvre, on distingue :

**a) la compilation :** le circuit est considéré comme une unité fonctionnelle dont la description est traitée de la même façon qu'un programme écrit en langage source. Les programmes de simulation relevant de ce principe de mise en œuvre sont en général efficaces pour des circuits de taille moyenne (quelques centaines d'éléments constitutifs) et pour la simulation fonctionnelle. Par contre, ils présentent les inconvénients suivants : impossibilité de mise en œuvre des techniques de trace sélective<sup>7</sup>, prise en compte difficile des boucles de rétroaction et des caractéristiques temporelles.

**b) la manipulation de tables :** ici, chaque élément constitutif est traité séparément. La description du circuit n'est pas traitée globalement par le simulateur, mais spécifiée au fur et à

---

<sup>7</sup> A un instant donné, seuls sont traités les éléments dont au moins une entrée a changé de niveaux.

mesure du déroulement de la simulation. Ainsi, à chaque étape de la simulation, le programme détermine l'élément qui doit être traité et appelle une procédure appropriée. La description du circuit est en fait mise en mémoire sous forme de tables qui constituent les données du programme. Ces modes de description et de simulation offrent de nombreux avantages. Les simulateurs modernes, notamment ceux traitant de circuits décrits au niveau des modules élémentaires, procèdent de ce principe de mise en œuvre.

### I.2.3.3. Autres outils d'analyse.

Selon le domaine considéré (composants, télécommunications, hyperfréquences, radar, avionique, acoustique sous-marine, etc.), la conception d'un produit électronique peut être aidée par d'autres programmes.

Par exemple des programmes spécifiques de traitement du signal sont utiles pour la conception de composants, d'équipements de télécommunication ou de détection. Cette conception fait intervenir des calculs de rapport signal sur bruit, de taux d'erreurs dans une chaîne de transmission, d'allocation de fréquences d'émission, etc.

Les problèmes d'évacuation de la chaleur rencontrés constamment dans les équipements électroniques, sont eux aussi traités par des programmes spécifiques (exemple du logiciel SINDA, distribué et maintenu par l'Agence spatiale européenne). Le choix de la meilleure structure thermique constitue, en effet, un facteur prépondérant d'optimisation.

Par ailleurs, l'élaboration d'un équipement électronique peut comprendre le choix de structures mécaniques (antennes, embases de composants, etc.). Ce choix peut être aidé par l'utilisation de programmes de calcul de structures notamment ceux mettant en œuvre la méthode des éléments finis (exemple de NASTRAN et FEM).

Enfin, l'électromagnétisme, domaine moins traditionnel de la CAO connaît actuellement une évolution rapide en raison à la fois de la disponibilité accrue des ordinateurs et de progrès récents dans les techniques d'analyse numérique comme celle des éléments finis. Plusieurs logiciels orientés CEM sont en cours d'élaboration dans des laboratoires de recherche. Par exemple, à l'École Centrale de Lyon, un logiciel de simulation temporelle de la sensibilité électromagnétique de systèmes électriques interconnectés utilise le modèle de boîtes noires [SELTNER], [PARDON-GIBSON]. Face à la complexité des problèmes de CEM, l'École Polytechnique Fédérale de Lausanne, a choisi l'approche de type systèmes experts [NIEBUR]. Le système expert communique avec des codes numériques de programmes qui conviennent aux problèmes présentés par l'utilisateur. Nous pouvons encore citer le Centre National d'Études Spatiales, Don White Consultants Inc. et TRW Applied Technology Division qui ont mis au point des logiciels orientés CEM. Nous invitons par ailleurs le lecteur à se reporter aux articles [SABONNADIÈRE],

[PAPPAIANNI] et [PEREZ] où d'autres programmes sont décrits.

La liste des outils présentés ci-dessus, qu'ils soient orientés CEM ou non, ne se veut pas exhaustive. Le fait qu'un logiciel soit cité ou non ne doit en aucun cas être perçu comme un jugement de valeur de notre part. D'ailleurs il est bien difficile de juger ces logiciels les uns par rapport aux autres car leur domaine de validité ou leurs champs d'application diffèrent. Nous proposons maintenant de décrire avec plus de détails les trois logiciels, PSpice, Saber et Quad-Design employés fréquemment par les équipes de recherche et par l'industrie et sur lesquels nous possédons de plus amples informations voire une expérience.

#### 1.2.3.4. Présentation des logiciels PSpice, Saber et Quad-Design.

##### *a) Description de PSpice.*

Nos renseignements concernant le logiciel PSpice proviennent des guides d'utilisateurs fournis lors de son acquisition, ainsi que d'une utilisation réelle du logiciel dont nous présentons plusieurs résultats dans le cours de ce mémoire.

PSpice appartient à la famille des simulateurs de circuits SPICE. La version 3.00 est une réécriture complète en langage C du programme de simulation SPICE2<sup>8</sup> développé en Fortran à l'Université de Californie à Berkeley durant le début des années 1970. Elle est à distinguer de la version SPICE3 elle aussi réécrite en langage C. PSpice utilise le même algorithme numérique que SPICE2. Il est aussi conforme au format des fichiers d'entrées et de sorties de SPICE2.

PSpice est le premier simulateur dérivé de SPICE accessible sur micro-ordinateur. Sa commercialisation a commencé en janvier 1984. Milieu 1985, d'autres programmes SPICE sont devenus accessibles sur micro-ordinateurs lorsque Microsoft a abandonné le compilateur Fortran version 3.0. D'après MicroSim Corporation, la plupart de ces logiciels ont modifié quelque peu le code originel de l'Université de Californie à Berkeley. PSpice tournerait 1,3 à 30 fois plus vite que les autres logiciels dérivés de SPICE et son utilisation serait plus étendue que celle de tous les autres programmes SPICE réunis<sup>9</sup>.

Notons cependant que Super-Spice<sup>10</sup> de Compact Software est compatible à la syntaxe de Spice2G6 et de PSpice. Ce logiciel offre un "module électromagnétique" qui calcule le couplage

---

<sup>8</sup> PSpice est donc compatible à la dernière version de SPICE2 qui est SPICE2G6.

<sup>9</sup> Les réserves que nous formulons sur ces renseignements proviennent du fait que les seules sources d'informations que nous avons à ce sujet sont les livres fournis par MicroSim Corporation lors de l'acquisition de PSpice.

<sup>10</sup> Les sources d'informations concernant Super-Spice sont les fiches techniques de présentation du logiciel.



entre les pistes de circuits multicouches. Super-Spice permet aussi le calcul des paramètres S. Un autre logiciel de la famille de Spice, HSpice, permet aussi de modéliser les pistes d'un circuit multicouche [KUMAR].

PSpice, de MicroSim Corporation est un simulateur de schémas électriques analogiques et numériques ainsi que de schémas mixtes qui comportent les deux types de composants. Pour chaque noeud analogique, la tension et le courant sont calculés. Pour chaque noeud numérique, l'état du signal (haut, bas, indéterminé, transition état bas/état haut, transition état haut/état bas, haute impédance) est donné. Les interfaces numériques/analogiques et analogiques/numériques sont générées automatiquement de façon transparente à l'utilisateur. Toutefois, ce dernier peut intervenir sur la définition de l'interface s'il le désire [MICROSIM CORPORATION 1, p. 264]. Le mode de mise en œuvre de PSpice est la manipulation de tables.

La description du schéma électrique peut être saisie sur un logiciel de DAO (Dessin Assisté par Ordinateur). Cette description peut être aussi saisie "manuellement" par traitement de texte. En ajoutant à cette description les spécifications de simulation, nous obtenons le fichier de description du circuit. Ce fichier fait référence aux bibliothèques de composants que PSpice va devoir appeler pour mener à bien sa simulation. PSpice génère deux types de fichiers résultats : un fichier de sortie qui est un fichier texte et un fichier de données qu'on lance avec l'utilitaire "Probe" afin de visualiser et manipuler graphiquement les résultats (figure I-16b).

D'autres utilitaires sont aussi disponibles (figure I-16a). "Stimulus Editor" est un outil de création de signaux d'entrée logiques et analogiques à l'aide d'une interface graphique. "Filter Designer" aide le concepteur à réaliser des filtres passifs et actifs. Enfin "Parts" est un outil pour créer des modèles de semi-conducteurs ou pour définir des sous-circuits en estimant les paramètres des modèles des semi-conducteurs. "Parts" aide à convertir les informations données par les constructeurs (data sheet) en valeurs de paramètres pour les modèles utilisés par PSpice. Il est aussi possible de changer les modèles des circuits de PSpice. Les nouveaux modèles sont programmés en C puis une édition de liens est effectuée pour produire un nouveau fichier de programmation exécutable. L'utilisateur peut ainsi ajouter ses propres modèles. PSpice constitue donc un simulateur ouvert.

PSpice permet des analyses type Monte Carlo, ainsi qu'une approche hiérarchisée dans la conception d'un système qui peut être décrit au moyen d'une équation, d'un circuit ou de primitives. Notons que si PSpice est un simulateur uniquement électrique à la base, en transposant un problème mécanique, hydraulique ou chimique en un problème électronique et en utilisant le modèle d'équations de PSpice, il est possible de modéliser d'autres technologies. Au cours des années, les utilisateurs ont trouvé des astuces pour répondre à leurs propres besoins. Ces astuces sont regroupées dans un manuel [MICROSIM CORPORATION 2]. Il est ainsi expliqué comment

modéliser un moteur continu ou des perles de ferrites. On trouve aussi une modélisation de l'effet de radiations (rayon X ou autre) sur les semi-conducteurs. PSpice peut être installé sur micro-ordinateur, sur Macintosh ou sur station HP.

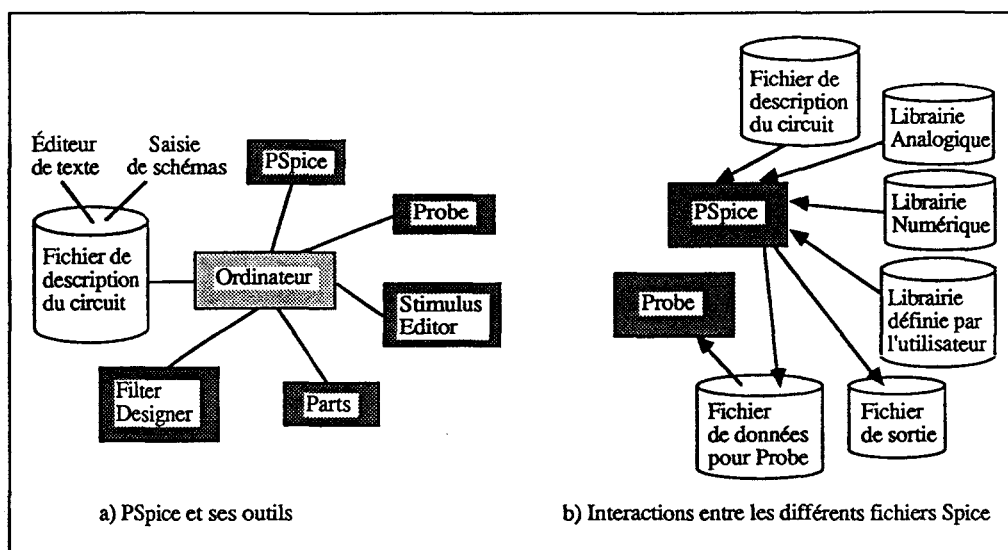


Figure I-16 : Organisation de PSpice.

*b) Description de Saber.*

Nos renseignements concernant ce logiciel proviennent des fiches techniques de présentation utilisées par Racal Redac.

Saber, de Racal Redac, est un simulateur multi-technologies à part entière. Quatre modules ou logiciels sont proposés séparément pour simuler des systèmes électriques, des systèmes mécaniques, des systèmes chimiques ou des systèmes optoélectroniques. Un utilisateur ayant acquis les quatre modules peut simuler sous la forme d'une seule entité un système composé de sous-systèmes chimiques, mécaniques, optoélectroniques et électriques.

En ce qui concerne la simulation électrique, Saber est un simulateur de schémas analogiques et numériques ainsi que de circuits mixtes qui comportent les deux types de composants. Le fichier de description du schéma électrique peut être obtenu à partir d'un logiciel de DAO (Visula) et les signaux obtenus visualisés graphiquement (Pltool). Saber est un logiciel ouvert. Les bibliothèques de composants sont externes au simulateur. Outre les modèles fournis par Racal Redac, les bibliothèques supportent les modèles de Spice existants, des modèles écrits en langage de programmation C et Fortran et des modèles écrits dans un langage de type AHDL (Analog Hardware Description Language).

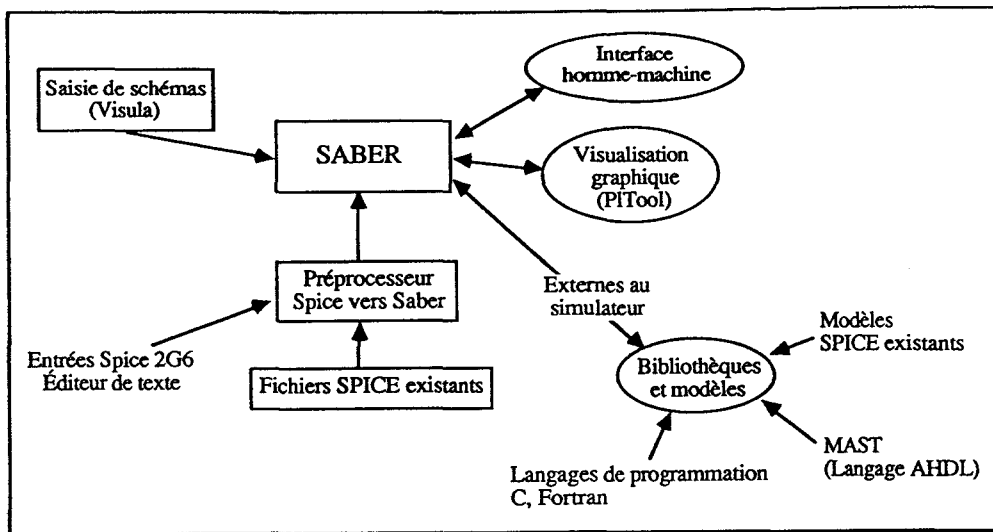


Figure I-17 : Intégration de Saber dans l'environnement Visula.

Saber permet les analyses de Monte Carlo et l'approche hiérarchisée dans la conception. Il offre en plus la possibilité de modéliser les défaillances des composants et peut s'avérer ainsi d'une aide précieuse pour les ingénieurs traitant des problèmes de sécurité. Saber est utilisable uniquement sur station de travail.

### c) Description de Quad Design

Nos renseignements concernant ce logiciel proviennent des fiches techniques de présentation utilisées par MB Électronique.

Quad Design de MB Électronique est un simulateur temporel pour systèmes numériques haute vitesse avant et après routage des cartes. Quatre logiciels ou modules composent l'intégralité du produit. Ce sont Motive (Modular Timing Verifier), PDQ (Preplacement Delay Quantifier) (figure I-19), TLC (Transmission Line Calculator) et XTK (Croostalk Tool Kit) (figure I-20). XTK est composé de XFS (Electromagnetic Field and Parameter Extraction) et de XNS (Multi Conductor Crosstalk Network Simulation). Le vérificateur des contraintes temporelles (Motive) et l'analyseur de préplacement des composants sur la carte imprimée (PDQ) sont utilisés avant et après le routage de la carte. Les analyseurs de lignes de transmission (TLC et XTK) sont utilisés après le routage (figure I-18).

Pour utiliser les analyseurs de lignes de transmission, il est nécessaire de modéliser les émetteurs (sorties des composants) et les récepteurs (entrées des composants). Deux techniques sont utilisables. Soit on linéarise les courbes  $V_{o1}/I_{o1}$  et  $V_{oh}/I_{oh}$  ( $V_{i1}/I_{i1}$  et  $V_{ih}/I_{ih}$ ) des composants autour du point de fonctionnement; on obtient ainsi la résistance de sortie (d'entrée) à l'état haut et

la résistance de sortie (d'entrée) à l'état bas. Soit on utilise un modèle non linéaire de la courbe  $I=f(V)$  et on introduit un tableau qui associe pour les valeurs de tension, les valeurs de courant correspondantes. Ce modèle peut être celui d'une diode clamp (data book ou traceur de courbes) ou provenir d'une simulation SPICE.

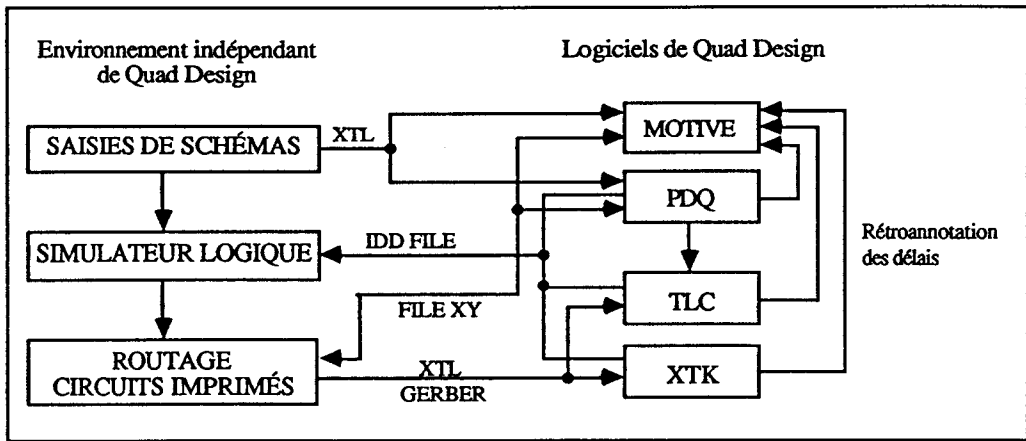


Figure I-18 : Principe de fonctionnement des logiciels de Quad Design.

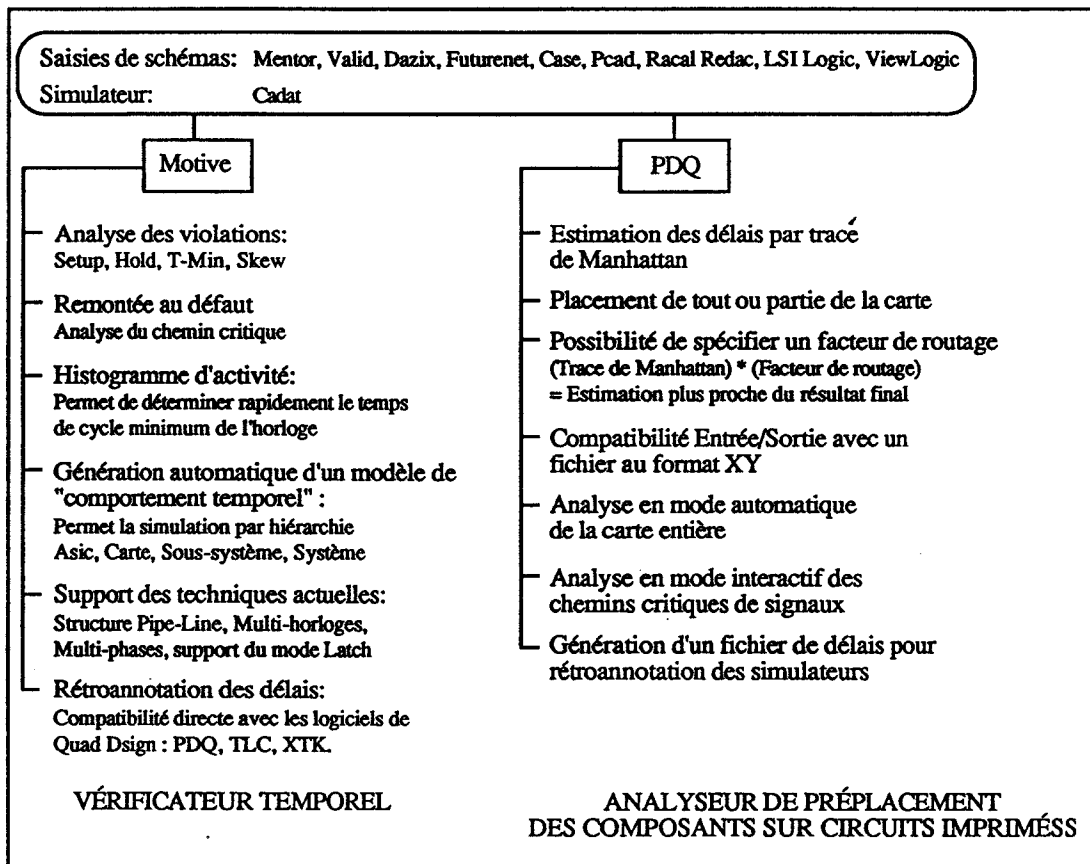


Figure I-19 : Motive et PDQ de Quad Design.

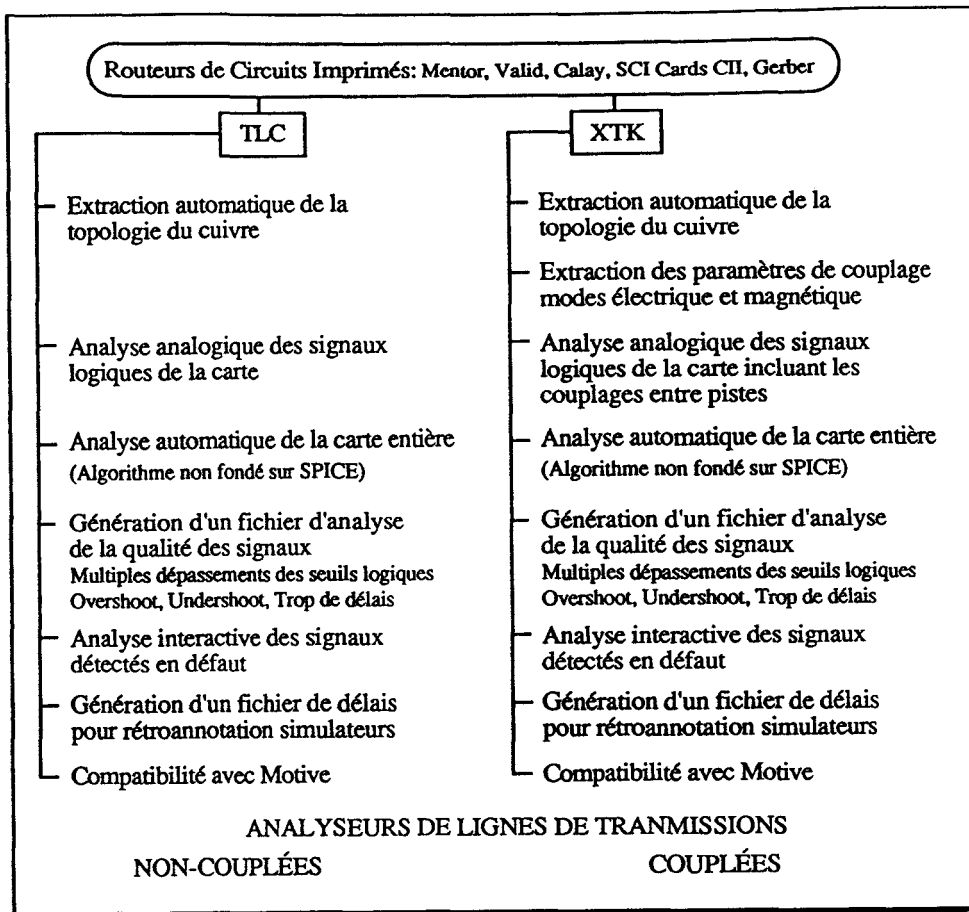


Figure I-20 : TLC et XTK de Quad Design.

*d) Tentative de comparaison des logiciels PSpice, Saber et Quad Design.*

Il peut sembler peu réaliste de comparer des logiciels de simulation qui ont chacun leur propre spécificité. Nous proposons cependant quelques éléments non exhaustifs de comparaison. des logiciels PSpice, Saber et Quad Design.

Saber et PSpice sont des simulateurs mixtes (analogiques/numériques) tandis que Quad Design est un simulateur logique. Saber est un simulateur beaucoup plus "important" que PSpice. Il permet de simuler plusieurs technologies et peut intégrer les modèles de PSpice. Contrairement à PSpice, Saber n'est pas installable sur micro-ordinateur.

L'originalité de Quad Design par rapport à PSpice et Saber est son orientation CEM. Les interfaces existant entre les logiciels de routage et Quad Design pour tenir compte d'une manière transparente à l'utilisateur des caractéristiques du circuit imprimé sont d'une aide précieuse pour les concepteurs, afin de résoudre les problèmes de "CEM interne". Quad Design n'est pas installable sur micro-ordinateur.

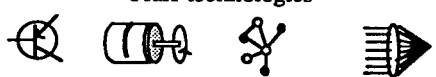

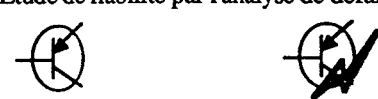
	PSPICE	SABER	QUAD DESIGN
<p>Pluri-technologies</p>  <p>Électrique Mécanique Chimique Opto-électronique</p>	Non prévu pour mais possible	OUI	NON Uniquement électronique.
<p>Approche hiérarchisée dans la conception</p>  <p> <math>\frac{A}{1+s\tau A}</math>      Système      Fonction      Primitive </p>	OUI	OUI	OUI
Simulation mixte (analogique/numérique)	OUI	OUI	NON
<p>Étude de fiabilité par l'analyse de défaillance</p>  <p>Caractéristiques de bon fonctionnement      Analyses des défaillances et de leurs conséquences</p>	NON	OUI	NON
Modélisation statistique et analyse de Monte Carlo	OUI	OUI	ND
Logiciel orienté CEM	Modèle de lignes couplées sur station	→	OUI
Interface avec les logiciels de routage	NON	NON	OUI
Installation	PC et Station	Station	Station, CRAY

Figure I-21 : Comparaison des logiciels PSpice, Saber et Quad Design.

### I.3. LES PRATIQUES INDUSTRIELLES DANS LE DOMAINE DE LA RÉALISATION DES CARTES IMPRIMÉES.

#### Introduction.

Nous avons conclu dans le sous chapitre I.1. que les perturbations électromagnétiques survenues aux différents niveaux d'un système sont propagées jusqu'aux composants électroniques dont la fonction consiste à traiter les signaux d'information. Cette constatation justifie nos travaux de thèse sur la sensibilité des composants électroniques logiques aux champs électromagnétiques. L'étude bibliographique montre que ces composants ne sont pas directement perturbés par rayonnement. L'énergie électromagnétique se couple aux pistes d'interconnexion et les courants ou tensions parasites induits sur ces pistes sont ramenés aux ports d'entrée-sortie des composants. Nous comprenons aisément que les disposition et orientation des pistes que l'on appelle communément topologie de la carte imprimée, joue un rôle important sur le phénomène de

couplage. C'est pourquoi nous nous intéressons dans ce sous chapitre aux différentes techniques de réalisation industrielles des cartes imprimées ainsi qu'aux mesures à prendre lors du routage pour limiter les perturbations.

### **I.3.1. Les différentes topologies des circuits.<sup>11</sup>**

#### I.3.1.1. Historique.

La carte imprimée est appelée dans le langage courant "circuit imprimé". La carte imprimée désigne un substrat isolant recouvert de conducteurs plats. Le circuit imprimé comporte en plus les composants. La rapide expansion de l'électronique au début de la seconde guerre, a rendu nécessaire la production en série des câblages d'interconnexion. Les câblages filaires sont alors remplacés par des câblages à plat réalisés par impression de conducteurs sur un isolant. Le principe des cartes imprimées est né. En 1946, les cartes simple face se sont développées de manière industrielle sur la base des travaux de P. EISLER. Ce dernier a eu l'idée en 1941 d'appliquer les techniques d'imprimerie à l'électronique. La technique soustractive de fabrication des cartes imprimées était inventée. En 1953, avec le développement des transistors, il parut nécessaire de faire non plus une couche mais deux couches de câblage d'interconnexion (cartes double face). Enfin en 1960, le procédé encore actuellement le plus utilisé pour réaliser des cartes multicouches est lancé.

#### I.3.1.2. Les procédés de fabrication.

Deux grands types de procédés existent ou ont existé pour réaliser des cartes imprimées. Les procédés mécaniques utilisables pour les cartes simple face ont pratiquement disparus hormis le procédé par fraisage parfois utilisé pour les prototypes. Les procédés physico-chimiques sont classés dans deux grands groupes.

Les procédés soustractifs partent d'un support isolant recouvert de cuivre. Une première opération consiste à protéger les emplacements où l'on désire avoir des conducteurs (réalisation d'une épargne ou réserve). La seconde opération consiste à enlever le cuivre non protégé et fait apparaître l'isolant (gravure chimique ou morsure). Les procédés soustractifs sont utilisés pour tous les types de cartes imprimées.

Les procédés additifs partent d'un support isolant et ajoutent du métal où cela est nécessaire. Ils ne sont vraiment intéressants que pour les cartes imprimées double face ou multicouches.

---

<sup>11</sup> Les informations qui suivent sont issues de [COLONNA CECCALDI].

### I.3.1.3. Les cartes simple face.

Une seule face comporte toutes les pistes d'interconnexion. La complexité du circuit imprimé relativement à la surface est limitée. Le plan de masse recommandé pour limiter les perturbations électroniques n'est pas envisageable.

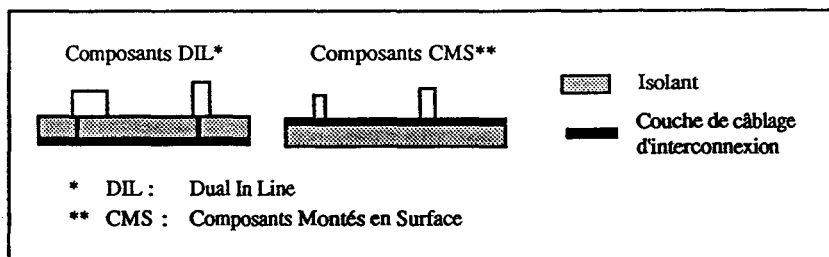


Figure I-22 : Carte imprimée simple face.

### I.3.1.4. Les cartes double faces.

En utilisant les deux faces de l'isolant, deux couches de câblage d'interconnexion sont disponibles. Les liaisons électriques entre les deux couches sont réalisées dans l'immense majorité par des trous métallisés percés à travers l'isolant (figure I-23). Les composants peuvent être implantés sur une seule face ou sur les deux faces externes de la carte imprimée. Une des couches peut être utilisée comme plan de masse pour éviter que le circuit imprimé ne rayonne trop ou pour le protéger des perturbations électromagnétiques. La complexité du circuit imprimé relativement à la surface est alors équivalente à celle du circuit simple face.

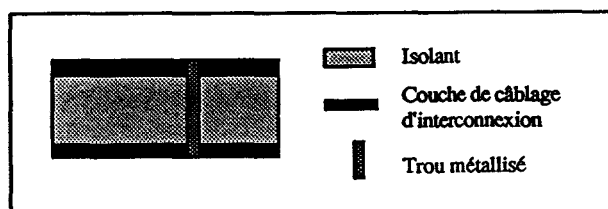


Figure I-23 : Carte imprimée double faces.

### I.3.1.5. Les cartes multicouches.

Une carte imprimée multicouche est un empilage de cartes imprimées simple ou double faces, collées ensemble et interconnectées entre elles aux endroits voulus par des trous métallisés. Les trous métallisés borgnes qui ne traversent qu'une partie de l'empilage permettent d'augmenter la densité des cartes (figure I-24). Les composants sont soudés au choix sur les surfaces externes de la carte.



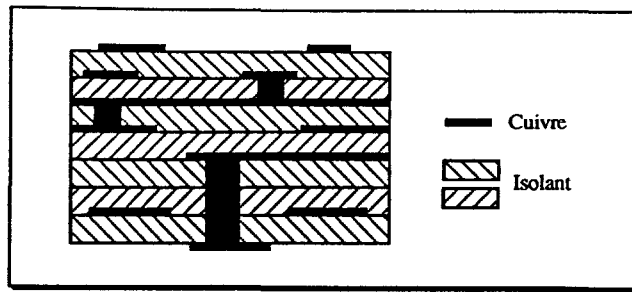


Figure I-24 : Carte imprimée multicouche séquentielle à trous enterrés.

L'utilisation d'un plan de masse ne diminue donc plus forcément la complexité du circuit imprimé lorsqu'il est multicouche. Il est maintenant possible d'ajouter un plan d'alimentation (figure I-25a). L'impédance caractéristique du système de distribution d'énergie est alors exceptionnellement basse. Les radiations sont ainsi réduites ainsi que le couplage de mode commun entre les circuits. Si l'on utilise plusieurs plans de masse, il convient de veiller à leur répartition sur la carte multicouche [HEWLETT PACKARD, pages 4-9 et 4-10]. La figure I-25b montre qualitativement l'intérêt d'un empilage judicieux des couches.

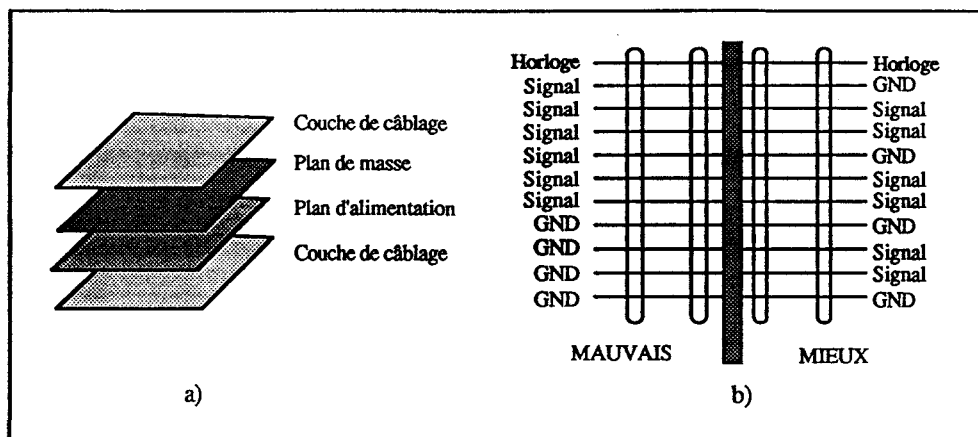


Figure I-25 : Les cartes multicouches et la CEM.

Notons que l'évolution des topologies des cartes imprimées entraîne une évolution des boîtiers qui contiennent les puces électroniques. En effet, il n'est plus possible d'utiliser des boîtiers DIL qui se soudent par traversées dans le cas des cartes multicouches. Seuls les composants montés en surface sont utilisables avec ce type de carte. De plus, la volonté d'augmenter le niveau d'intégration des circuits imprimés amène les concepteurs à revoir les méthodes d'encapsulation et d'interconnexion des composants [NICOLAS].

### I.3.2. Les logiciels d'aide au routage.

Nous avons présenté au paragraphe I.2.3. les outils aidant au choix d'une structure physique. Nous nous intéressons maintenant aux outils aidant à l'établissement des données de

fabrication. Ces outils sont surtout des aides au dessin (saisie de schémas électriques) et des aides au câblage (routage des cartes imprimées) qui sont bien souvent intégrés dans un même logiciel. L'étape correspondant au dessin d'un circuit imprimé a pour données initiales la description du circuit à implanter ainsi que des données traduisant des contraintes technologiques qui sont de plusieurs sortes<sup>12</sup> :

- *données géométriques et mécaniques* : dimensions de la carte, forme et position des connecteurs, etc.;

- *données électriques* : mode de distribution des équipotentielles de masse et d'alimentation; regroupement de composants dans une même zone de la carte, etc.;

- *données caractérisant les procédés de fabrication (photogravure, physico-chimie et règles de construction)* : largeur minimale des pistes; espacement minimal entre deux pistes, entre deux pastilles, entre une pastille et une piste, restriction sur la forme (absence d'angles aigus) et la longueur des pistes, nombre maximal de couches, etc.

Une fois ces données rassemblées, le dessin proprement dit peut être entrepris. De façon schématique, trois opérations interdépendantes mais le plus souvent effectuées en séquence interviennent;

- a) Affectation des fonctions aux composants (boîtiers)

- b) Placement des composants sur la carte. Pour l'automatisation du placement, deux méthodes de résolution prévalent : construction directe d'un placement initial ou amélioration par échange par paires.

- c) Tracé des interconnexions : trois types de méthodes sont utilisées.

- L'algorithme de Lee consiste à noircir des cases d'une grille pour router les pistes.

- Les algorithmes de visée sont utilisés pour un routage automatique. Une fois les composants placés et les connexions définies, des pistes verticales sont tracées sur une face et des pistes horizontales sont tracées sur l'autre face. Les pistes horizontales et verticales sont reliées par traversées si nécessaires. Les problèmes de croisements de pistes sont ainsi évités puisque toutes les pistes d'une même face sont parallèles. Nous pouvons citer pour exemple le logiciel Maxi/PC de la société Racal Redac. La capacité de routage automatique est cependant limitée à des cartes électroniques simples.

- Les algorithmes de tracé par canaux consistent à réserver des zones pour des fils à directions privilégiées. L'espace d'isolement étant défini, le logiciel gère le tracé des différentes pistes dans la zone réservée.

---

<sup>12</sup> La source des informations de ce paragraphe est [RAULT 2].

Nous avons décrit ici le principe général des logiciels de dessins (saisie de schémas électriques et routage des cartes imprimées). Nous allons maintenant aborder les logiciels de routage de cartes qui possèdent la spécificité de prendre en compte certains problèmes de CEM. En effet, en prévision de la nouvelle directive CEM de la Communauté Économique et Européenne dont l'application sera effective en 1996, ces types de logiciels apparaissent sur le marché.

Les phénomènes de réflexion sur les pistes des circuits imprimés ainsi que les effets de diaphonie inter pistes étaient auparavant analysés avant et après routage par des logiciels spécialisés. La première génération de logiciels de placement-routage de cartes imprimées orientés CEM travaillent sous un contrôle plus étroit de ces logiciels d'analyse.

Nous avons déjà abordé ce type de logiciels dans le sous paragraphe I.2.3.5. lors de la description de Quad Design. Certains constructeurs tels que Mentor Graphics ont intégré les logiciels de Quad Design à leurs outils de placement-routage de cartes simple face, double faces ou multicouches. Les outils d'analyse sont utilisés avant implantation, pour prédire les retards, et après implantation, pour calculer avec précision les effets de lignes de transmission et de diaphonie [GROSS].

D'autres logiciels de placement-routage travaillent simultanément avec les outils d'analyse de circuits. Avec Allegro-CBD de chez Cadence, l'utilisateur spécifie des contraintes de synchronisation et de bruit à l'aide d'un éditeur de contraintes indépendant des outils de placement-routage. Le placement automatique, le routage interactif et automatique travaillent en dialoguant avec une version simplifiée du logiciel d'analyse SNA (SigNoise Analysis) de Cadence, de manière transparente à l'utilisateur. Dans CadExpert 2.0 de Racal-Redac, le placeur-routeur Visula est relié, entre autres, aux logiciels d'analyse HyperScan, à base de tableaux de formules, et ScopeProbe, dérivé des outils de Quantic Labs. Un "éditeur de technologies" permet de rentrer des contraintes de diaphonie et des retards. Ces contraintes sont prises en compte durant le placement-routage de la carte [GROSS].

Des nouveaux produits apparaissent depuis peu sur le marché. ContecRLGC de la division CAO de Contec Microelectronics, la filiale américaine du Japonais Daifuku Company, est un simulateur de champ électromagnétique. Cet outil permet en particulier d'inclure les effets électriques tels que les traversées, les fils de soudure, et les plans de masse dans les simulations d'intégrité de signaux et de circuits. ContecRLGC utilisé simultanément avec le module d'intégrité du signal ContecSI, fournit une solution intégrée de simulation de signaux mixtes et de modélisation de champ électromagnétique. Le logiciel ContecRadia est quant à lui destiné à l'analyse et à la simulation du rayonnement électromagnétique des cartes imprimées et des modules multipuces. A noter que Contec adhère au programme OpenDoor de Mentor Graphics et au programme Connections de Cadence (c'est à dire qu'il existe des interfaces avec les outils de *layout*,

ou dessin physique, des produits Allegro de Cadence et les Board Station de Mentor). [S. D., Septembre 1993].

Enfin, le dernier outil passé en revue dans cette analyse diffère totalement des autres par son principe de fonctionnement. Il s'agit du logiciel EMC Adviser de Racal-Redac [HALLEUX], [S. D.], [SLADE], [LOUKIL]. EMC Adviser utilise des techniques de système expert et de logique floue. Le principe du logiciel est de vérifier la conformité du circuit à un ensemble de règles de base. Les règles fournies par Racal-Redac sont pour l'instant au nombre de quatorze, mais l'utilisateur peut en créer de nouvelles pour enrichir sa base de données. Les problèmes liés à une non-conformité de la carte imprimée sont visualisés au sein de l'éditeur de "Layout" dans des couleurs différentes, fonction de la sévérité des cas rencontrés. EMC Adviser dispose d'une fonction "Suggest", qui détaille chaque problème, en explique la cause, suggère une ou plusieurs corrections et indique les règles à vérifier après modification du routage. Dans sa première version, EMC Adviser est avant tout axé sur les problèmes d'émission plutôt que sur l'aspect sensibilité. De toute façon, en matière de carte imprimée, les précautions prises pour éviter une trop grande radiation engendrent une meilleure immunité. EMC Adviser ne doit pas être confondu avec un simulateur. Aucun modèle de composant n'est utilisé. Ce n'est pas non plus un outil de calcul pilotant automatiquement un routeur. "Outil de diagnostic" est un terme semble t'il beaucoup plus approprié pour désigner ce logiciel.

### **I.3.3 Les règles de conception**

Les diverses études CEM ont amené les chercheurs à définir plusieurs règles de base qu'il convient d'appliquer lors de la conception d'un circuit imprimé. Les règles les plus connues forment par ailleurs la base de connaissance du logiciel EMC Adviser. Les différents problèmes traités par ce logiciel sont les suivants [FOURGEAU].

- Le blindage des pistes. Celui-ci est réalisé aux moyens de plans de masse.
- La longueur des pistes : une piste dont la longueur est du même ordre que la longueur d'onde du signal qui transite agira comme une antenne électrique. Pour éviter cela, il est recommandé de diminuer au maximum la longueur des pistes.
- Les rebouclages : chaque piste où transite un courant doit être associé à une "piste retour" (généralement la masse). Pour éviter le rayonnement magnétique, on cherche à diminuer la surface de chaque boucle de courant.
- La direction de routage : les risques de diaphonie sont plus importants entre deux pistes parallèles qu'entre deux pistes perpendiculaires.
- L'adaptation des lignes : elle consiste soit à choisir une largeur de piste de telle façon que son impédance caractéristique soit égale à l'impédance présentée par le composant cible, soit à

effectuer une adaptation d'impédance en entrée du composant [HEWLETT PACKARD, pp. 4-19 à 4-22]. On évite ainsi les réflexions en extrémité de ligne.

- Le raccordement des signaux. Des déphasages liés au temps de propagation des signaux peuvent provoquer des erreurs.

- Les cassures des angles : les discontinuités abruptes des pistes favorisent le rayonnement électriques. Les angles droits sont à éviter.

- Les profils d'impédance. Il est parfois utile de modifier l'impédance d'une piste. On évite alors une modification abrupte de la largeur de cette piste.

- Le découplage de composants et de boîtiers : nous verrons au chapitre suivant que ce découplage suffit bien souvent à éviter les perturbations par le biais de l'alimentation des composants.

- La localisation et le regroupement des composants en fonction des plans de masse, de la fréquence des signaux et de la puissance dissipée : il est recommandé de placer les composants les plus perturbateurs (c'est à dire les plus rapides et les plus puissants) le plus près possible du système d'alimentation [HEWLETT PACKARD, page 4-15].

- L'impédance des plans d'alimentation. Les courants de retour vont induire des différences de potentiel non négligeables si cette impédance est trop importante.

- L'isolement des zones conductrices. Un mauvais isolement est en effet perçu comme un court-circuit.

## **Conclusion.**

L'importance de la topologie des cartes imprimées d'un point de vue CEM amène les constructeurs à sortir de nouveaux produits d'aide au placement-routage. La description des logiciels effectuée précédemment ne se veut pas exhaustive. Nous aurions pu citer FASTERIX [CLOUX] ou encore HSPICE qui permet de modéliser les pistes d'un circuit selon qu'elles soient à l'intérieur d'un diélectrique entre un ou deux plans de masse ou selon qu'elles soient en surface [KUMAR]. A la date où la référence bibliographique est parue (Juin 1993), un logiciel d'interface entre HSPICE et les routeurs de circuits imprimés était envisagé par les auteurs. Cette démarche, utilisation d'une interface entre un ou des logiciels de simulation et d'un routeur de carte imprimé, est la plus courante. Elle demande cependant un temps de calcul important. Une autre approche, actuellement unique au monde, consiste à utiliser un logiciel type système expert qui se fonde sur des règles de conception empiriques. Cette dernière approche a l'avantage de donner rapidement un diagnostic CEM et des conseils en vue d'améliorer les performances de la carte imprimée. Par contre, elle ne permet pas de vérifier précisément le résultat final avant la réalisation de la carte puisque aucune simulation n'est effectivement réalisée.

## CONCLUSION.

Les sources de perturbations électromagnétiques sont variées et nombreuses. Avec la généralisation de l'utilisation, d'une part des ondes comme support de communication (téléphones mobiles, radios, télévisions, etc.), et d'autre part de l'électronique dans tous les domaines, les problèmes de CEM sont devenus quotidiens.

Pour assurer la qualité des appareils électriques et la sécurité des personnes, une normalisation apparaît nécessaire. Au niveau Européen, le CENELEC est chargé d'émettre les normes auxquelles tous les industriels voulant commercialiser leurs produits dans les pays de la CEE devront se référer. Ces normes deviendront effectives en 1996.

Pour éviter des surcoûts de production dus à une mise au norme tardive dans le processus d'élaboration d'un système, l'industriel dispose d'outils informatiques pour l'aider à prendre en compte les problèmes de CEM dès la conception du dit système. Les outils de simulation permettent de vérifier le bon fonctionnement d'une solution technologique ou de choisir la meilleure solution.

Une fois une solution retenue, un logiciel de CAO est souvent utilisé pour tirer la carte imprimée. On discerne deux grands types de logiciels de CAO orientés CEM. Les premiers travaillent simultanément avec un simulateur. Les contraintes électriques telles que les retards ou les bruits sont prises en compte au fur et à mesure du routage. L'automatisation du routage devient possible. Certains de ces logiciels simulent dans une certaine mesure le champ électromagnétique rayonné par le circuit imprimé. Les seconds ou plutôt pour l'instant le second, peut être comparé à un système expert qui vérifie la conformité de la carte imprimée à un certain nombre de règles de base. Tous ces logiciels vérifient la "CEM interne" du circuit (problèmes de diaphonie et de contraintes temporelles) et le taux de radiation émis. La "CEM externe" du circuit, à savoir la sensibilité de la carte vis à vis d'un champ électromagnétique extérieur n'est pas directement étudiée. Cependant les précautions prises pour éviter un taux de radiation trop important de la carte imprimée vont dans le sens d'une meilleure immunité.

Si le concepteur n'a pas utilisé un logiciel de CAO orienté CEM, de nouvelles simulations prenant maintenant en compte le tracé de la carte imprimée, permettent a posteriori de détecter les problèmes de diaphonie ou de contraintes temporelles.

Nous avons établi que les perturbations créées à un niveau quelconque du système sont finalement conduites à l'entrée des composants électroniques. La façon dont va réagir les composants à ces perturbations est donc déterminante pour la sensibilité globale d'un système. Lors

d'une illumination par une onde électromagnétique, ces composants ne sont pas directement perturbés. Les courants et tensions sont induits par couplage sur les pistes d'interconnexion de la carte imprimée. La topologie de la carte imprimée joue donc un rôle primordial dans le processus de perturbation des composants et c'est pourquoi nous lui avons consacré un sous chapitre. Les courants et tensions parasites induits sur une piste dépendent aussi fortement des charges non linéaires présentées par les étages d'entrée-sortie des composants électroniques interconnectés par cette piste. En ce qui concerne les composants logiques, ces étages d'entrée-sortie sont différents selon le processus de fabrication. Ce constat amène à penser que le choix d'une famille technologique pour réaliser une fonction logique en électronique est important d'un point de vue CEM. C'est pourquoi nous nous intéressons à la sensibilité des composants électroniques logiques dans nos travaux de thèse. Le chapitre suivant, consacré aux acquis scientifiques sur le processus de perturbation des composants logiques soumis à une perturbation électromagnétique, décrit l'état actuel de la recherche sur ce sujet.

# Chapitre II : Acquis scientifiques sur le processus de perturbations des composants logiques soumis à une agression électromagnétique.

## INTRODUCTION.

Dans ce deuxième chapitre, nous nous intéressons à la sensibilité des composants logiques selon leur technologie. Vu l'importance et l'enjeu économique du sujet traité, différents laboratoires ont entrepris des recherches sur cet aspect de la CEM.

Au niveau international, aux États-Unis, l'institut polytechnique de Virginie s'intéresse aux différents types de perturbations qui apparaissent sur les composants logiques [TRONT 1]. Toujours aux États-Unis, l'université de New York développe le programme d'analyse de circuits non linéaires NCAP pour les transistors et les circuits intégrés MOS [CHEN]. Cette université étudie aussi la sensibilité de composants analogiques tels que les amplificateurs opérationnels [GHADAMABADI 1], [GHADAMABADI 2], [WHALEN 2]. Plusieurs laboratoires se sont regroupés pour entreprendre un travail demandé par le gouvernement des États-Unis. Le centre de développement "Rome Air", "Level One Communications" et le groupe astronautique Martin Marietta Corporation ont ainsi étudié la sensibilité de bascules D de technologie CMOS et TTL [KENNEALLY]. Au Canada, l'université de Toronto axe sa recherche sur les défauts temporels observés sur les signaux lorsque le perturbateur est de faible amplitude [LAURIN], [CHAPPEL]. Au Pays Bas, le laboratoire de composants de chez Philips étudie la sensibilité et le rayonnement des composants selon l'emplacement des broches d'alimentation et le type de boîtier (SO ou DIL) [COENEN]. Enfin les pays de l'Est s'intéressent aussi à la sensibilité des composants logiques vis à vis de perturbations radiofréquences [BRIGINI].

Au niveau national, la société Emitech étudie le comportement de composants électroniques face à la foudre et aux décharges électriques pour Thomson [LOUKIL 2]. Une recherche sur la base de données CD Thèses<sup>1</sup> nous a permis de localiser les Universités qui s'intéressent à la CEM des composants logiques intégrés. En ce qui concerne la sensibilité des composants vis à vis d'agressions extérieures, l'INSA de Lyon étudie la protection des circuits

---

<sup>1</sup> CD Thèse : Base de données des thèses soutenues en France.



intégrés MOS contre les décharges électrostatiques [TAILLIET]. La sensibilité électrique des jonctions aux radiofréquences et la sensibilité des oscillateurs à quartz au champ magnétique sont étudiées à l'université de Besançon [AMMARI], [ROUISSI] et [EL HASSANI]. L'INP de Toulouse s'intéresse au couplage entre les ondes lentes et les porteurs des semi-conducteurs [BOUALLEGUE]. Hormis les travaux effectués à Lille, l'étude macroscopique qui consiste à étudier la perturbation de la fonction des composants logiques que l'on peut alors considérer comme une boîte noire, n'est pas mentionnée. Par contre l'étude de la sensibilité aux radiations du type spatial a fait l'objet de plusieurs thèses (Université de Montpellier 2 [BRUGUIER] et [BAHARLOU HERMELIN], ENSAE [BION] et ECP [YOUSSEF]).

À niveau national, l'étude macroscopique de la sensibilité des composants logiques semble donc très peu abordée. Cependant, la recherche par CD Thèses ne donne pas une liste exhaustive de toutes les Universités susceptibles de travailler sur le sujet<sup>2</sup>. Au niveau régional, sur les quatre thèses passées à l'Université de Lille [LARDE], [HEDDEBAUT B], [KLINGLER 1] et [COUDORO] seule la première thèse soutenue en 1991 [LARDE] est mentionnée par la base de données. Ces thèses ont été soutenues dans le cadre du GRRT<sup>3</sup> à l'USTL<sup>4</sup>-LRPE<sup>5</sup>, en liaison avec l'INRETS<sup>6</sup>-LEOST<sup>7</sup>. L'utilisation croissante de l'électronique dans les transports a en effet incité les professionnels du secteur à s'intéresser à la sensibilité des composants électroniques logiques.

Il existe à l'heure actuelle trois grandes technologies de composants :

- la technologie TTL (Transistor Transistor Logic) fondée sur l'utilisation de transistors bipolaires,
- la technologie ECL (Emitter Coupled Logic) à base de transistors bipolaires NPN montés en amplificateur différentiel,
- la technologie CMOS (Complementary Metal Oxide Semiconductor) constituée de transistors à effet de champ complémentaires NMOS et PMOS.

Les deux technologies les plus répandues et utilisées sont la TTL et la CMOS. Ces deux technologies ont fait l'objet de différentes études quant à leur sensibilité vis à vis d'une agression

---

<sup>2</sup> La liste des laboratoires internationaux n'est pas plus exhaustive. Elle montre cependant l'intérêt du monde scientifique au sujet premier de notre thèse, à savoir la sensibilité des composants électroniques logiques.

<sup>3</sup> Groupement Régional Nord-Pas de Calais pour la Recherche dans les Transports.

<sup>4</sup> Université des Sciences et Techniques de Lille.

<sup>5</sup> Laboratoire de Radio Propagation et Électronique.

<sup>6</sup> Institut National de Recherche et d'Étude sur les Transports et leur Sécurité.

<sup>7</sup> Laboratoire d'Électronique Ondes et Signaux pour les Transports.

électromagnétique. Avant d'aborder leur sensibilité, nous rappelons sommairement l'évolution de ces deux technologies (les nouvelles familles et leurs caractéristiques) et les pratiques industrielles pour le choix d'une technologie de composants.

## II.1. ÉVOLUTION DES TECHNOLOGIES DE COMPOSANTS.

Une description détaillée avec schéma constructeur des différentes familles des technologies TTL et CMOS est donnée dans [KLINGLER 1, pp. 70-78]. Les caractéristiques des portes sont disponibles toujours dans [KLINGLER 1, pp. 221-223]. On trouvera par ailleurs une présentation générale des circuits intégrés logiques (boîtiers, symboles graphiques, références, etc.) dans [HEDDEBAUT B, pp. 6-15]. Nous invitons le lecteur à s'y reporter et nous allons pour notre part insister sur l'évolution des technologies.

### II.1.1. La technologie TTL.

La technologie TTL est fondée sur l'emploi de composants bipolaires. Les portes sont constituées de transistors bipolaires, de résistances et de diodes. L'alimentation est de 5V [TEXAS INSTRUMENT, pp. 5-8 à 5-11].

Une première évolution donne naissance aux familles S et LS par l'utilisation de diodes Schottky (diodes à barrière Métal-Semiconducteur) qui sont plus rapides que les diodes à jonction PN (figure II-1). En effet, le courant direct est un courant de porteurs majoritaires pour une barrière Métal-Semiconducteur, et un courant de porteurs minoritaires pour une jonction PN. Le temps de recouvrement<sup>8</sup> des diodes Schottky est négligeable car contrairement aux diodes à jonction PN, il n'y a pas stockage de porteurs minoritaires [BOITTIAUX].

Différents facteurs limitent le fonctionnement en hautes fréquences du transistor bipolaire. Ces facteurs sont le temps de transit des porteurs à travers la base, la constante de charge de la capacité émetteur-base, le temps de charge de la capacité de collecteur, et le temps que mettent les porteurs collectés pour traverser la jonction collecteur-base dont la zone désertée peut devenir importante en polarisation inverse [BOITTIAUX]. L'ajout d'une diode entre le collecteur et la base d'un transistor permet de diminuer ce temps de transit (figure II-2a). Dans le cas des familles S et

---

<sup>8</sup> Durée nécessaire à une diode pour passer d'une polarisation inverse à une polarisation directe.

LS, cette diode est à barrière Schottky, ce qui augmente encore la rapidité de commutation (figure II-2b).

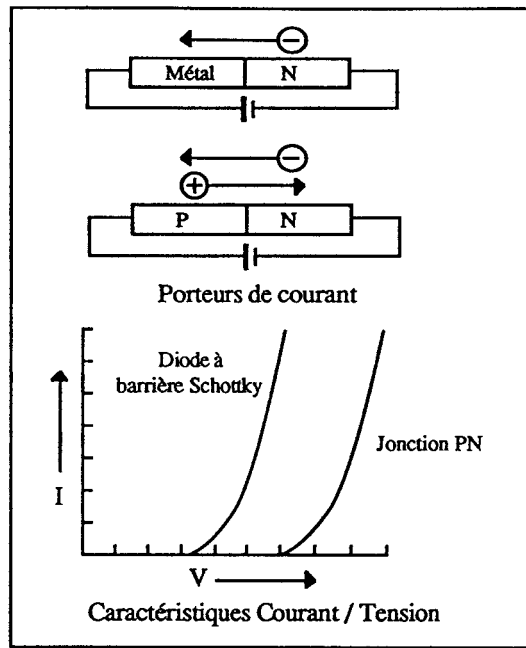


Figure II-1 : Différence de rapidité des deux diodes.

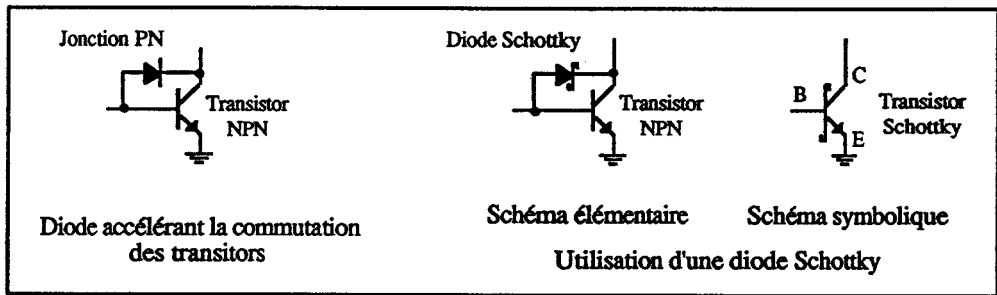


Figure II-2 : Diminution du temps de transit des porteurs au travers de la jonction collecteur-base.

Une deuxième évolution donne naissance aux familles AS et ALS. L'implantation d'impuretés par diffusion est remplacée par l'implantation ionique. Ce nouveau procédé donne un meilleur contrôle des profondeurs de dopage et une meilleure résolution des contours géométriques (figure II-3). Il en résulte une diminution des capacités parasites.

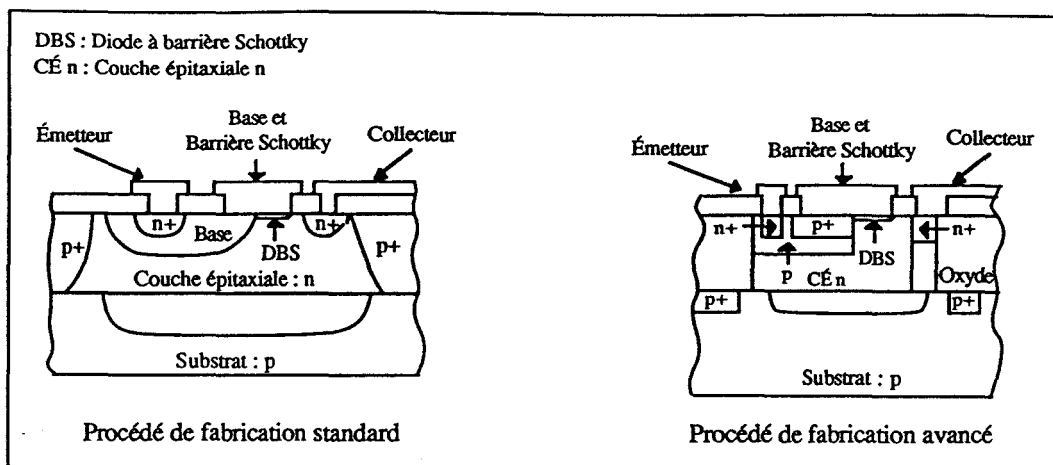


Figure II-3 : Procédés d'implantation des impuretés.

### II.1.2. La technologie CMOS.

La technologie CMOS utilise des transistors unipolaires à effet de champ. La première série de cette logique est produite en 1970 par la société RCA sous le nom de série CD4000. National Semiconductor a ensuite créé la série 54/74C compatible broche à broche avec la série 54/74 des logiques TTL. Cette technologie reste cependant lente par rapport à la technologie TTL. L'alimentation peut être choisie et fixée entre 3 V et 16 V.

Une première évolution a diminué la largeur de grille qui passe de 7  $\mu\text{m}$  à 3  $\mu\text{m}$  pour donner naissance vers 1980 aux familles HC et HCU ainsi qu'à la famille HCT dont l'étage d'entrée est compatible avec les niveaux TTL (liaison TTL-CMOS). La tension d'alimentation des familles HC et HCU peut être choisie entre 2 V et 6 V. La tension d'alimentation de la famille HCT est de 5 V. Les familles HC et HCT sont "bufferisées" : leur sortie comporte deux inverseurs associés en série. La diminution de la largeur de grille réduit le temps de transit porteurs et les temps de commutation deviennent comparables à ceux de la technologie TTL-LS.

En 1985, l'évolution de la technologie de fabrication a permis de réduire la largeur de grille à une valeur de 1,3  $\mu\text{m}$  pour donner naissance à la FACT (Fairchild Advanced CMOS Technologie). Les familles AC et ACT (entrée compatible TTL) sont entièrement "bufferisées". La diminution de la largeur de grille a encore augmenté la rapidité de ces composants.

Notons que la technologie CMOS est très sensible aux décharges électrostatiques. Bien que les entrées et les sorties soient protégées par un réseau de diodes, le constructeur MOTOROLA recommande de prendre toutes les précautions nécessaires lors de la manipulation des circuits intégrés [MOTOROLA, pp. 5-2 à 5-3].

### II.1.3. Vers une augmentation de l'intégration.

La miniaturisation de plus en plus poussée des systèmes passe par une intégration croissante des composants électroniques.

La limite d'intégration de la technologie bipolaire se situe au niveau de la catégorie LSI (Large Scale Integration) qui comprend de 100 à 1000 portes par boîtier. Les fonctions réalisées sont les compteurs, les registres, les mémoires mortes et les mémoires vives (jusqu'à 8 koctets).

Les catégories supérieures VLSI (Very Large Scale Integration, + de 1000 portes) et SLSI/ULSI (Super/Ultra Large Scale Integration, + de 10000 portes) sont réalisées uniquement en technologie CMOS. Les circuits réalisés sont des microprocesseurs, des EPROM et autres.

Aujourd'hui les performances des systèmes ne sont plus limitées uniquement par le niveau d'intégration des puces mais aussi par les technologies d'interconnexion et d'encapsulation [NICOLAS]. D'un point de vue CEM, on comprend que la technologie d'encapsulation choisie puisse intervenir sur la sensibilité des composants. Par exemple, les boîtiers à montage par trous métallisés (boîtiers DIL) qui nécessitent la percée d'un plan de masse auront un impact CEM différent des boîtiers montés en surface.

Le niveau d'intégration peut lui aussi intervenir sur la sensibilité des composants électroniques. Considérons une fonction réalisée dans un premier cas sur une seule puce (exemple des ASIC), et dans un second cas à partir de plusieurs circuits intégrés. Nous avons établi au chapitre I, que les composants électroniques ne sont pas directement sensibles aux rayonnements<sup>9</sup> électromagnétiques de part leur faible dimension. Le couplage s'effectue sur les pistes d'interconnexion de la carte imprimée qui supporte les composants, et les perturbations sont conduites en entrée ou en sortie des boîtiers électroniques. Dans le premier cas, seuls les signaux d'entrée ou de sortie de la fonction réalisée sur une seule puce, sont susceptibles d'être directement perturbés par rayonnement. Dans le second cas, tous les signaux véhiculés sur les pistes de la carte imprimée qui réalise la fonction sont susceptibles d'être directement perturbés par rayonnement. Le risque de perturbation par un champ électromagnétique extérieur est donc beaucoup plus important dans le second cas. Notons cependant que la réalisation d'une fonction intégrée sur une seule puce pose des problèmes de "CEM interne", notamment des problèmes de diaphonie.

La dimension physique de la puce semble aussi intervenir. "En passant d'une dimension physique de 12,5  $\mu\text{m}$  pour les géométries TTL à une dimension de 1,25  $\mu\text{m}$  pour les géométries des circuits très fortement intégrés, une estimation chiffre qu'une diminution de l'ordre de 17 dB du

---

<sup>9</sup> Nous distinguons ici les rayonnements électromagnétiques des radiations électromagnétiques qui concernent les champs de très haute fréquences (rayons X, rayons gamma, etc.).

niveau de sensibilité est due uniquement à la superficie de la puce [DENNY]<sup>10</sup>."

Dans l'étude de l'état de l'art des perturbations électriques transitoires sur les circuits numériques [STELLATO], il est indiqué a contrario que l'augmentation de la densité des circuits qui correspond à une diminution de la taille des composants, va dans le sens d'une plus grande sensibilité. Pour expliquer cette apparente contradiction, il est nécessaire d'indiquer que les perturbations par radiations (rayons X, protons, neutrons) sont aussi considérées dans l'article. Lorsque le champ électromagnétique de très haute fréquence peut être analysé par la théorie corpusculaire des ondes, la diminution des largeurs des couches de silicium entraîne une plus grande sensibilité des composants à ce type de perturbation.

#### **II.1.4. Vers une diminution des tensions d'alimentation et une augmentation des fréquences de travail.**

Les niveaux de miniaturisation exigés par une intégration croissante nécessitent une diminution de l'alimentation. Déjà, des composants fonctionnant sous 3,3 V sont apparus sur le marché. On considère généralement que la limite géométrique au-delà de laquelle il devient dangereux de fonctionner sous 5 V est de 0,5  $\mu\text{m}$ . La technologie 3,3 V permet d'atteindre sans problème le 0,3  $\mu\text{m}$  [NICOLAS], [CREMADES], [BAINES], [FESTE]. Les constructeurs prévoient des circuits alimentés sous 2,2 V puis 1,5 V pour la fin de la décennie (tableau II-1 dont la source est [NICOLAS]).

L'avantage d'un point de vue CEM d'une alimentation à 3,3 V réside dans la réduction des radiations émises par les composants. L'inconvénient majeur quant à lui consiste en une diminution de la marge de bruit<sup>11</sup>.

Nous constatons aussi sur le tableau II-1 une augmentation des fréquences de travail. "Or plus la fréquence de fonctionnement augmente, plus les signaux se trouvant dans l'environnement électromagnétique rentreront dans la bande passante des composants. On estime qu'une augmentation de la fréquence de travail de 350 MHz à 5 GHz accroîtrait de 10 dB la sensibilité des circuits à des signaux radio fréquences [DENNY]."

---

<sup>10</sup> Toutes les références concernant l'article [DENNY] sont des traductions personnelles.

<sup>11</sup> Marge de bruit niveau haut =  $V_{OHMin} - V_{IHMin}$  ·  
Marge de bruit niveau bas =  $V_{ILMax} - V_{OLMax}$  ·

La marge de bruit représente donc la perturbation que peut supporter la sortie d'un circuit sans perturber un circuit aval de même technologie. Cette notion concerne donc les erreurs qui apparaissent sur les états statiques.

Année		1992	1995	1999	2003	2008	2013
Géométrie		0,5 $\mu\text{m}$	0,35 $\mu\text{m}$	0,25 $\mu\text{m}$	0,18 $\mu\text{m}$	0,12 $\mu\text{m}$	0,1 $\mu\text{m}$
Portes par puce		300 k	800 k	2 M	5 M	10 M	20 M
Bits par puce	DRAM	16 M	64 M	256 M	1 G	4 G	16 G
	SRAM	4 M	16 M	64 M	256 M	1 G	4 G
Coût plaquettes (F/cm <sup>2</sup> )		22,4	21,8	21,3	20,7	20,1	19,6
Dimensions des puces	$\mu\text{P}$	250 mm <sup>2</sup>	400 mm <sup>2</sup>	600 mm <sup>2</sup>	800 mm <sup>2</sup>	1 000 mm <sup>2</sup>	1 250 mm <sup>2</sup>
	DRAM	132 mm <sup>2</sup>	200 mm <sup>2</sup>	320 mm <sup>2</sup>	500 mm <sup>2</sup>	700 mm <sup>2</sup>	1 000 mm <sup>2</sup>
Diamètre des plaquettes		15-20 cm	20 cm	20-40 cm	20-40 cm	20-40 cm	20-40 cm
Densité de défauts / cm <sup>2</sup>		0,1	0,05	0,03	0,01	0,004	0,002
Nbre niveaux interco.	Logic	3	4-5	5	5-6	6	6-7
Tension d'alimentation	$\mu$ ordinateur	5 V	3,3 V	2,2 V	2,2 V	1,5 V	1,5 V
	Portable	3,3 V	2,2 V	2,2 V	1,5 V	1,5 V	1,5 V
Nombre E / S		500	750	1 500	2 000	3 500	5 000
Performance	Externe	60 MHz	100 MHz	175 MHz	250 MHz	350 MHz	500 MHz
	Interne	120 MHz	200 MHz	350 MHz	500 MHz	700 MHz	1 000 MHz
Maxi PWR (W / puce)	Haute perf.	10	15	30	40	40-120	40-200
	Portable	3,3	2,2	2,2	1,5	1,5	1,5

Tableau II-1 : Prédiction de l'évolution des performances de la technologie micro-électronique pour les 20 prochaines années [NICOLAS].

## II.2. LES PRATIQUES INDUSTRIELLES POUR LE CHOIX D'UNE TECHNOLOGIE DE COMPOSANTS.

### II.2.1. Choix des composants pour éviter les auto-perturbations.

Le premier problème auquel est confronté un industriel est le bon fonctionnement du système indépendamment de l'environnement électromagnétique. C'est sans doute pourquoi les industriels choisissent les technologies de composants les moins polluantes. Ce choix diminue les phénomènes d'auto-perturbation des systèmes et en même temps facilite leurs mises aux normes relatives aux niveaux maximums de champs électromagnétiques qu'il est permis d'émettre.

Le titre du chapitre 4 des cours donnés par Hewlett Packard sur la CEM est à ce titre très révélateur : *Radiated emissions from digital circuits* [HEWLETT PACKARD]. On conseille dans ce cours d'utiliser si possible la famille logique qui conduit le moins de courant ou encore la famille logique la moins rapide. Le chapitre 8 *Susceptibility* ne donne par contre aucune indication sur le choix d'une famille de composants; nous verrons plus loin que la conclusion peut être très différente sur ce second aspect.

## **II.2.2. Choix des composants pour un environnement radiatif.**

"De nombreux systèmes électroniques sont amenés à fonctionner dans des environnements radiatifs aussi divers que l'espace, le champ de bataille, les accélérateurs de particules, les usines de retraitement et les centrales nucléaires [ANSTETT]". Les radiations les plus dangereuses pour les composants électroniques sont les rayons X et surtout gamma. Contrairement aux perturbations électromagnétiques qui perturbent indirectement les composants par couplage sur les pistes des circuits imprimés, un rayon X ou gamma agit directement sur les couches de silicium et d'oxyde de silicium qui forment les composants [GUEULLE].

Deux approches sont utilisées pour durcir les composants. Soit on développe directement une technologie durcie aux radiations, soit on adapte une technologie CMOS standard pour la rendre tolérante à des doses de radiation moins élevées que dans l'approche précédente. La technologie CMOS est en effet choisie pour l'environnement radiatif.

Une autre approche est de s'approvisionner sur le marché standard et de tester au coup par coup les composants. L'inconvénient de cette méthode est le coût des tests radiatifs. De plus les tenues radiatives d'un type de composant donné peuvent varier considérablement d'un lot de fabrication à l'autre [LERAY].

## **II.3. SENSIBILITÉ DES COMPOSANTS LOGIQUES DANS LA GAMME DES RADIOFRÉQUENCES (1 MHz à 300 MHz).**

### **II.3.1. Action du perturbateur sur les lignes d'alimentation.**

Les constructeurs conseillent vivement aux utilisateurs de découpler les circuits intégrés et de s'assurer de la stabilité de la source d'alimentation [TEXAS INSTRUMENT]. Une étude expérimentale effectuée sur des composants de technologie TTL famille LS et de technologie CMOS familles HC et C, montre que les circuits non découplés sont sensibles à une diminution de la tension d'alimentation en dessous de 3 V [LARDE, pp. 24-43]. On n'observe aucune perturbation lors d'une augmentation de tension. Cependant les constructeurs indiquent qu'une tension supérieure à 7 V peut détériorer les composants de technologie TTL.

Une tentative de perturbation de l'alimentation en favorisant un couplage entre la piste de référence et la piste d'alimentation est présentée dans [KLINGLER 1, pp. 156-157] sur des composants découplés. Aussi bien pour la technologie TTL que pour la technologie CMOS, aucun défaut n'a pu être observé pour un perturbateur en régime harmonique pur dont la fréquence est comprise entre 1 MHz et 200 MHz.



Dans la suite du sous chapitre, toutes les études présentées portent sur la perturbation des composants par leurs ports d'entrée ou de sortie. Les circuits sont découplés et les auteurs supposent que l'alimentation n'est pas perturbée.

Avant d'aborder l'action du perturbateur sur les ports d'entrée-sortie, notons que l'emplacement des broches d'alimentation semble influencer sur la sensibilité des composants [COENEN]. Les composants dont les broches d'alimentation sont placées au centre sont moins sensibles aux perturbations radiofréquences que ceux dont les broches d'alimentation sont placées sur le côté (figure II-4). En outre, les composants dont l'alimentation est centrale rayonnent moins que ceux dont l'alimentation est sur le côté.

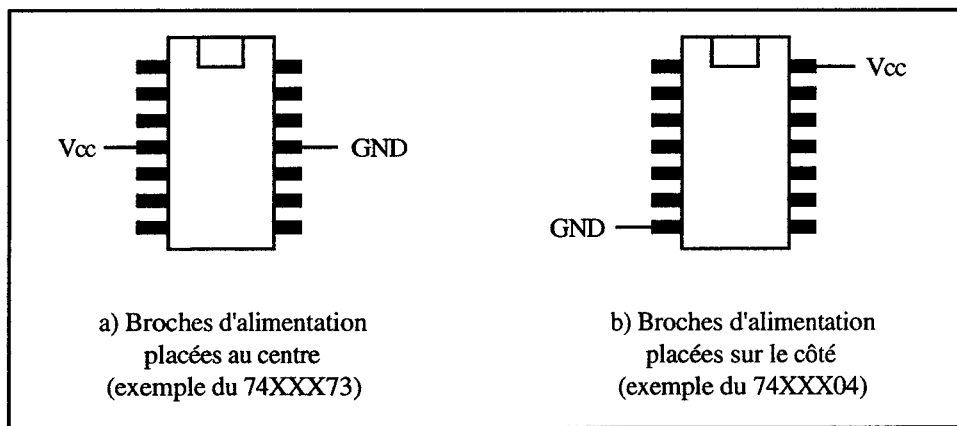


Figure II-4 : Situation des broches d'alimentation.

### II.3.2. Action du perturbateur sur les ports d'entrée-sortie.

La plupart des résultats présentés dans ce paragraphe sont issus des travaux de thèse menés dans le cadre du GRRT.

#### II.3.2.1. Les différents types de défauts observés.

La puissance du perturbateur détermine le type de défauts observés en sortie des composants. Des avances ou des retards des signaux apparaissent pour des amplitudes faibles du perturbateur. Ces défauts temporels sont dus à une modification des temps de transition des signaux d'entrée [LARSON], [CHAPPEL], [TRONT 2], [COUDORO]. Aux amplitudes un peu plus élevées, nous observons aussi des distorsions du front de transit logique ou pseudo-commutation [TRONT 2], [COUDORO]. Enfin pour un couplage forts niveaux, les états logiques statiques sont perturbés [TRONT 2], [LARDE], [HEDDEBAUT B], [KLINGLER 1]. La figure II-5 résume ces résultats.

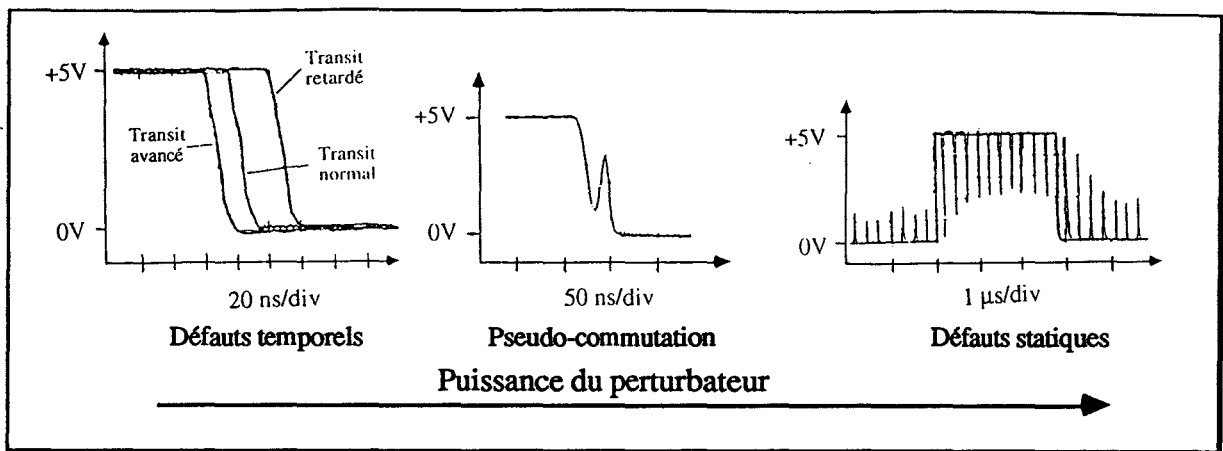


Figure II-5 : Les différents types de défauts selon la puissance du perturbateur.

### II.3.2.2. Sensibilité lors d'une agression en régime harmonique basse fréquence.

#### *a) La technologie CMOS.*

En basse fréquence (fréquence du perturbateur inférieure à la fréquence de travail maximale du circuit), les processus de couplage électrique ou magnétique sur une piste reliant deux composants de technologie CMOS sont relativement simples.

Pour un **couplage électrique** ou une injection de courant, le comportement du circuit amont est déterminant. En effet, "puisque la sortie des circuits est généralement de basse impédance par rapport à celle de l'entrée des circuits qui les suivent, le courant induit s'écoule plutôt à travers ce port que par l'entrée du circuit aval. Toutefois, ce sont les seuils de commutation en entrée de ce dernier qui gèrent les faux états logiques susceptibles d'apparaître à sa sortie<sup>12</sup>." Cette assertion est vérifiée expérimentalement dans [COUDORO, pp. 78-80].

Les défauts temporels qui apparaissent pour des perturbations faible puissance, proviennent de l'augmentation de l'impédance dynamique de sortie lors des transitions logiques. Or, cette résistance atteint une valeur d'autant plus grande que les composants sont lents [HEDDEBAUT B, p. 133]. Les retards observés sont donc d'autant plus grands que la technologie est lente et les composants sont plus sensibles au moment où ils commutent. De plus, la pseudo-commutation apparaît lorsque le niveau de courant injecté atteint le courant maximum que peut délivrer le composant. Or le courant maximum délivré par les composants rapides est plus important que celui délivré par les composants lents. Le niveau de courant perturbateur nécessaire pour obtenir une pseudo-commutation est donc moins important pour les technologies lentes.

<sup>12</sup> [COUDORO, p. 25].

Pour un **couplage magnétique** ou une injection de tension, une relation directe peut être établie entre la source de tension induite et les niveaux de tolérance en entrée de la porte aval. La tension induite se superpose à la tension de sortie délivrée par le composant amont indépendamment de sa résistance dynamique de sortie (le signal en sortie du composant amont n'est pas perturbé). Les décalages observés pour des perturbations faible puissance sont de ce fait directement liés au temps de commutation du signal d'entrée [COUDORO, pp. 127-132].

En ce qui concerne la perturbation des états statiques, nous n'avons trouvé aucune bibliographie pour ce type d'agression.

#### *b) La technologie TTL*

Nous n'avons trouvé aucune bibliographie pour ce type d'agression.

#### II.3.2.3. Sensibilité lors d'une agression de type impulsionnel.

Deux points sont à noter sur ce type d'agression. Premièrement, plus les temps de transition d'une impulsion sont faibles, plus l'étendue spectrale est importante. Deuxièmement, l'apparition d'une seule impulsion n'engendre pas l'apparition d'une valeur moyenne importante due au redressement des signaux par les diodes de protection par exemple (sous paragraphe II.3.2.3), même pour une étendue spectrale importante. Ce type d'agression ne s'apparente donc pas à une agression en régime harmonique et c'est pourquoi nous lui consacrons un sous paragraphe.

#### *a) La technologie CMOS.*

Le processus de **couplage électrique** produit par une impulsion de courant est le même que celui produit par un couplage harmonique basse-fréquence. A savoir, tout ou une partie du courant injecté s'écoule par le port de sortie de la porte amont. Celle-ci est donc déterminante [LARDE, pp. 61-69].

Pour la famille lente CMOS-C, des effets supplémentaires sont apparus. Un "phénomène de rallongement de temps" rend les circuits sensibles à des perturbateurs dont la durée est inférieure au temps de propagation du circuit. L'effet thyristor ("Latch-Up")<sup>13</sup> induit une perturbation en sortie du composant lorsque l'entrée normalement à l'état bas chute en dessous de -0,3 V. Ces effets qui n'apparaissent pas sur la technologie CMOS-HC sont liés au procédé de manufacture (temps de recouvrement des diodes, largeur des grilles, dimension des éléments parasites de substrat).

---

<sup>13</sup> "En préconisant de ne pas sortir de la gamme -0,3V, Vcc + 0,3V le constructeur se prémunit contre un possible effet thyristor au sein du substrat sur lequel est réalisé le circuit. [LARDE, p. 67]".

Notons que l'effet thyristor ("SCR Latch-up") est un phénomène commun à la plupart des composants de technologie CMOS. Cet effet consiste à activer un thyristor parasite (P-N-P-N) interne situé entre l'alimentation ( $V_{cc}$ ) et la référence (GND). Cette structure P-N-P-N est formée par des interconnexions parasites entre les zones actives par le biais du substrat. Le phénomène peut être facilement déclenché en appliquant une tension d'entrée négative ou supérieure à la tension d'alimentation de manière à polariser les diodes de protection en direct. Ces diodes peuvent alors agir comme la gâchette du thyristor parasite si le courant direct est suffisamment élevé (20 mA efficace ou 100 mA crête). Le thyristor parasite, une fois activé, se comporte comme un court-circuit entre l'alimentation et la référence du composant. Ceci provoque généralement des défauts de fonctionnement et peut aller jusqu'à la destruction du circuit. Des nouveaux procédés de fabrication diminuent fortement cet effet thyristor, notamment pour la famille HC [NATIONAL SEMICONDUCTOR, pp. 2-112 à 2-119]<sup>14</sup>.

Mis à part le cas de la perturbation par effet thyristor, certaines combinaisons de polarité et d'états logiques de sortie sont sans effet (courant perturbateur rentrant /  $V_{s1}$  normalement à l'état haut; courant perturbateur sortant /  $V_{s1}$  normalement à l'état bas). Le perturbateur vient en effet confirmer l'état logique de sortie. Lorsque le courant injecté est d'amplitude suffisante les autres combinaisons entraînent la perturbation de la sortie du circuit aval<sup>15</sup>.

Des études similaires donnent les mêmes résultats [HEDDEBAUT B, pp. 23-28]. La sensibilité est encore une fois liée à la capacité des composants à absorber un courant. Les composants les plus rapides dont le courant de sortie est plus important se sont révélés être les moins sensibles.

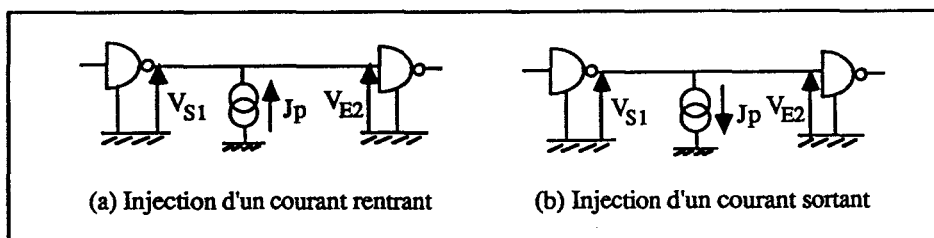


Figure II-6 : Sens du courant injecté.

Pour un couplage de type magnétique, lorsque  $V_{s1}$  est normalement à l'état bas et que la tension injectée est positive, ou lorsque  $V_{s1}$  est normalement à l'état haut et que la tension injectée

<sup>14</sup> Nous avons repris la traduction de [KLINGLER 1, p. 78].

<sup>15</sup> Le courant de sortie est normalement sortant pour un état logique de sortie haut. Ce courant est rentrant pour un état logique de sortie bas. Lorsque courant perturbateur et courant de sortie sont de même signe il y a donc possibilité de perturbation. Lorsque ces deux courants sont de signe contraire, le perturbateur vient confirmer l'état logique du signal et aucune perturbation n'est observée en sortie du circuit aval.

est négative, nous retrouvons le même processus de couplage que celui observé pour des perturbations harmoniques basse fréquence.  $V_{e2}$  est la somme algébrique de la tension injectée et de  $V_{s1}$  qui n'est pas perturbée. Par conséquent, la perturbation est intégralement transmise en entrée du circuit aval. Les caractéristiques des signaux nécessaires à la perturbation de  $V_{s2}$  sont directement liées aux caractéristiques données par les constructeurs.

Pour les autres combinaisons d'état logique et de polarité de la tension injectée, la perturbation se répartit entre  $V_{s1}$  et  $V_{e2}$ .  $V_{s1}$  est fortement perturbée et peut changer d'état logique.  $V_{e2}$  est peu perturbée et la perturbation confirme son état logique. De ce fait, la sortie du circuit aval ( $V_{s2}$ ) ne peut pas être perturbée [LARDE, pp. 53-59].

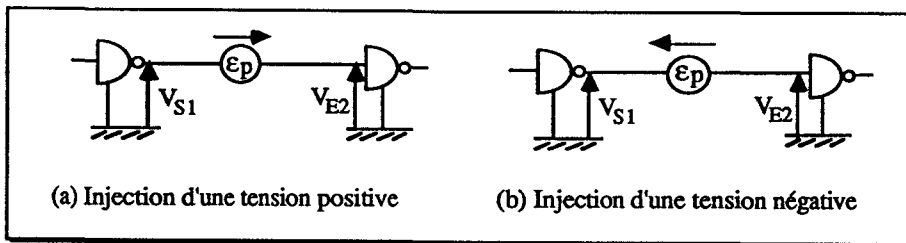


Figure II-7 : Sens de la tension injectée.

#### b) La technologie TTL

Pour les deux types de couplage les mêmes combinaisons -état logique de  $V_{s1}$  / sens de la perturbation injectée- que la technologie CMOS sont susceptibles de perturber  $V_{s2}$  [LARDE, pp. 46-53 et pp. 66-69]. De part les différences technologiques, le processus de couplage diffère cependant et des phénomènes non observés sur la technologie CMOS apparaissent. Pour la technologie TTL-LS la combinaison - $V_{s1}$  normalement à l'état haut / tension injectée positive- peut engendrer une perturbation sur  $V_{s2}$ . Les technologies TTL standard et TTL-LS sont très sensibles aux alternances négatives-positives d'un courant injecté. Des pics de surtension apparaissent sur les signaux de sortie [HEDDEBAUT B, pp. 29-33].

#### II.3.2.4. Sensibilité lors d'une agression en régime harmonique haute fréquence.

##### a) Conséquences de la non-linéarité des jonctions PN.

Les perturbations haute fréquence engendrent des phénomènes de redressement dans les jonctions PN. Les caractéristiques statiques des diodes ou transistors bipolaires sont modifiées car la valeur moyenne du signal redressé change les points de polarisation [LARSON]. Une autre conséquence du redressement des signaux est l'apparition d'harmoniques multiples de la fréquence fondamentale.

La non-linéarité des composants entraîne aussi la démodulation de signaux radiofréquences. Le signal audio est ensuite véhiculé par le composant. Ce phénomène est observé sur des amplificateurs opérationnels dont les étages d'entrée sont composés de transistors [GHADAMABADI 1], [GHADAMABADI 2], [WHALEN 2]. Dans [CATANI], une théorie simplifiée de la non-linéarité du deuxième ordre est développée pour des composants fonctionnant dans le domaine audiofréquence. Des formules sont données dans [DENNY] pour calculer le rendement de démodulation (rectification efficiency) qui apparaît sur des jonctions base-émetteur de transistors bipolaires d'une part et sur des circuits MOS d'autre part. Pour la technologie bipolaire ce rendement est proportionnel à  $(2\pi f)^{-1/2}$  et pour la technologie MOS, ce rendement est proportionnel à  $(2\pi f)^{-2}$ , où  $f$  est la fréquence porteuse de l'onde. Pour des fréquences élevées, le rendement de démodulation sera sans doute plus important pour la technologie bipolaire que pour la technologie MOS. La technologie bipolaire apparaît ainsi plus sensible au phénomène de perturbations par démodulation.

Une non-linéarité non usuelle apparaît lorsqu'un signal harmonique pur attaque une jonction PN. On observe des fréquences sous-multiples de la fondamentale d'ordre 1/4, 1/2 et 3/4 ainsi que des fréquences supérieures d'ordre  $i/4$ , avec  $i > 4$  [KLINGLER 1, pp. 98-130].

Enfin, le signal utile traversant une diode et le perturbateur se mélangent [KLINGLER 1, pp. 143-144]. En effet, "le courant perturbateur dans le circuit est la somme d'une part du courant perturbateur en absence du signal utile et d'autre part du courant introduit par le mélange de la fonction temporelle du signal utile et du courant perturbateur." Le signal utile contribue donc à la perturbation des jonctions PN.

#### *b) Sensibilité des composants logiques.*

Les étages d'entrée-sortie des composants sont composés de diodes et de transistors dont la non-linéarité rend le processus de couplage haute fréquence complexe. De plus les capacités parasites ne sont plus négligeables.

L'impact d'une perturbation radiofréquence faible puissance, qui provoque des décalages temporels des signaux attaquant des composants de technologie CMOS, est plus important lorsque sa fréquence est inférieure à la fréquence maximale du composant [LAURIN]. Des zones de sensibilité minimale apparaissent en haute fréquence [COUDORO, pp. 155-157]. Le comportement filtre passe-bas des composants logiques serait à l'origine d'une plus grande sensibilité à un perturbateur de fréquence inférieure à la fréquence maximale de travail.

Une perturbation forte puissance qui affecte les états statiques a un impact totalement différent selon que le composant est de technologie TTL ou CMOS.

Une injection de tension en entrée d'une porte NAND montée en inverseuse modifie les fonctions d'entrée/sortie des composants [KLINGLER 1, pp. 79-96]. Les composants de technologie TTL (hormis la famille S) ou des composants dont l'étage d'entrée est compatible au niveau TTL (famille HCT de la technologie CMOS) subissent une diminution apparente de leur tension de seuil. Ce phénomène est sans doute dû à un effet de redressement au niveau d'une diode interne, ou d'une jonction base-émetteur de transistor d'entrée. Pour les familles F et AS, on observe en plus de ce phénomène une augmentation de la tension de sortie niveau bas. Les composants de technologie CMOS conservent leur valeur de seuil en présence du perturbateur, malgré la présence de diodes de protection qui auraient pu engendrer le même phénomène de redressement.

Un couplage électromagnétique induit sur une piste reliant deux portes NAND de même technologie et montées en inverseuse, perturbe uniquement les niveaux hauts ( $V_{s2}$ ) des composants de technologie TTL. Ceci est en partie dû à l'abaissement de la tension de seuil observé lors de l'injection de tension en entrée d'une porte. Ce phénomène est également lié à la dissymétrie de l'étage de sortie. Pour la technologie CMOS, les défauts observés en sortie de la porte peuvent se produire soit sur des niveaux bas, soit sur des niveaux hauts ou encore sur des fronts. Dans la gamme d'amplitude de champ électrique étudiée, le type de défauts est fonction de la fréquence du perturbateur. Cette alternance de type de défauts est liée à la bonne symétrie que présente l'interface entre l'étage de sortie de la porte émettrice et l'étage d'entrée de la porte réceptrice [KLINGLER 1, pp. 158-161].

Notre étude sur la sensibilité d'un dispositif sous test simple selon la technologie des composants logiques implantés, confirmera ces différents résultats (cf. chapitre III).

Notons enfin que le phénomène de mélange entre le signal utile et le perturbateur démontré pour une diode, est perceptible lors de la perturbation de composants de technologie TTL ou CMOS [KLINGLER 1, pp 145-155 et pp 167-168]. L'information transmise intervient donc aussi sur la sensibilité des composants.

### **II.3.3. Influence de l'angle de couplage.**

L'angle de couplage entre le plan des circuits et la direction de propagation de l'onde perturbatrice, intervient sur l'amplitude des tensions ou courants induits. Selon la géométrie des pistes du circuit imprimé, selon la technologie utilisée, l'un ou l'autre des couplages (magnétique ou électrique) peut dominer. L'action des deux couplages peut soit s'additionner, soit se soustraire [COUDORO, p. 147]. Ceci provoque une anisotropie des résultats selon le sens de propagation de l'onde [KLINGLER 1, pp. 163-167]. Les dispositifs sous test sont plus sensibles lorsque le champ électromagnétique se propage depuis la porte réceptrice vers la porte émettrice, c'est à dire dans le sens inverse des signaux logiques.

### II.3.4. Éléments parasites dus au procédé de fabrication

Dans [LARDE, p. 29 et pp. 52-53], les mesures montrent "la présence probable d'une diode (dite de technologie) entre la sortie et la borne +Vcc" d'un circuit intégré de famille TTL-LS. Pages 34 et 62, une diode de substrat est indiquée sur les schémas technologique et constructeur d'une porte CMOS. Cette diode ne possède pas les mêmes caractéristiques selon que la porte est de famille HC ou C (p. 65). Le comportement d'une porte CMOS lié à la présence de cette diode n'est donc pas le même selon la famille de la porte. Ces diodes parasites sont présentées sur la figure II-8.

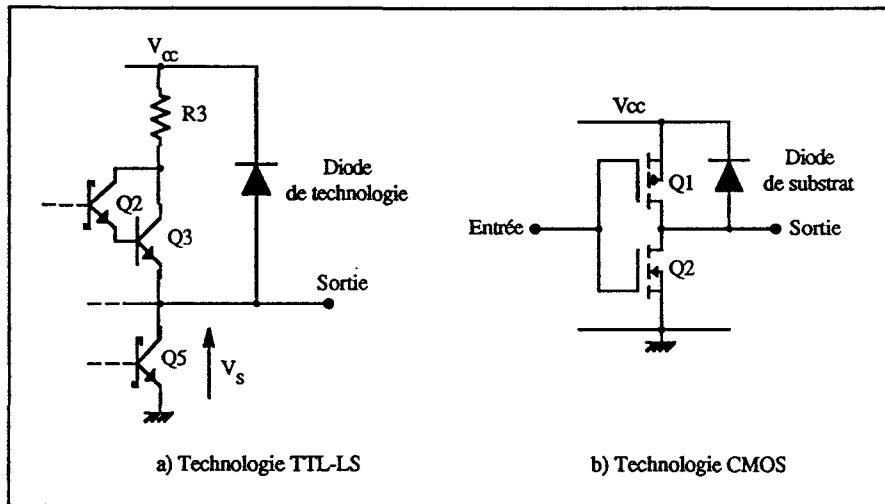


Figure II-8 : Diodes parasites entre la sortie et l'alimentation.

Dans [KLINGLER 1, pp. 86-87 et pp. 92-93], les mesures montrent que pour les portes des familles TTL-LS, TTL-AS, TTL-S et TTL-F, un transistor parasite relie directement la sortie à l'entrée du composant. Un nouveau schéma est proposé par l'auteur (figure II-9).

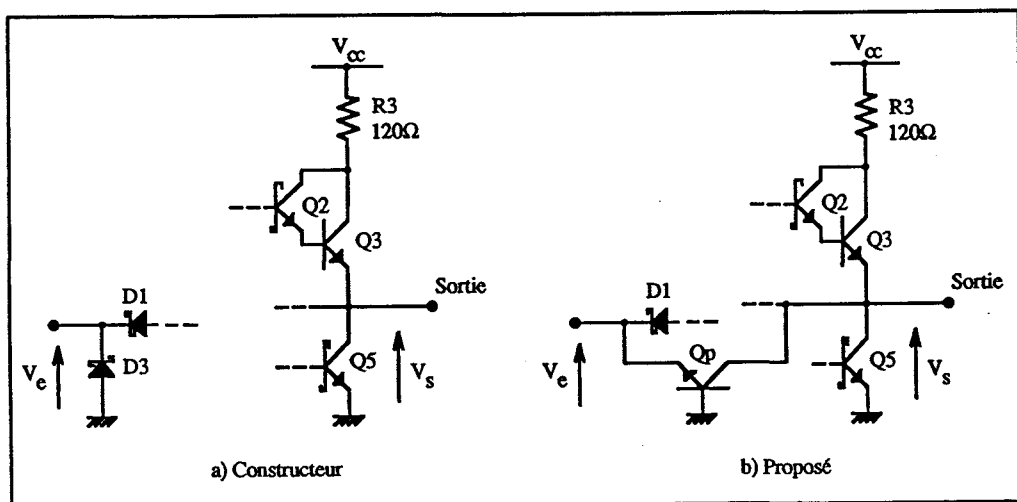


Figure II-9 : Schémas internes d'une porte NAND.



### **II.3.5. Classification des composants logiques selon leur technologie.**

Globalement tous les tests révèlent que plus la technologie est rapide et moins elle est sensible<sup>16</sup>. A vitesse de commutation égale, un composant issu de la technologie MOS est moins sensible qu'un composant issu de la technologie TTL [HEDDEBAUT B, p. 27]. En contrepartie, plus la vitesse du composant est grande, plus le circuit imprimé sur lequel est implanté ce composant rayonne et pollue. Des phénomènes de diaphonie entre pistes risquent d'apparaître.

Pour une même famille de technologie, des différences significatives de sensibilité sont observées selon le constructeur. Les composants issus d'un même fabricant et provenant du même lot présentent des comportements identiques [KLINGLER 1, pp. 88-89 et p. 162], [HEDDEBAUT B, p. 27].

## **II.4. LES MODÈLES UTILISÉS EN VUE DE TENIR COMPTE DES PERTURBATIONS RADIOFRÉQUENCES.**

### **II.4.1. La technologie CMOS.**

En 1982, le programme d'analyse de circuit non linéaire NCAP ne contenait pas de modèle pour la technologie MOS ou MOSFET. Pour compléter le programme, un modèle d'incrémentation non linéaire du MOSFET est proposé dans [CHEN]. "Ce modèle est obtenu par un développement en série de Taylor des équations non linéaires aux environs du point de fonctionnement non perturbé<sup>17</sup>." La non-linéarité du courant drain est ainsi prise en compte. La non-linéarité des capacités drain-substrat et source-substrat des jonctions polarisées en inverse est aussi modélisée. Ce modèle a notamment permis de prévoir la démodulation de signaux RF modulés en amplitude par un circuit amplificateur CMOS. Nous invitons le lecteur à se reporter à l'article pour de plus amples informations.

---

<sup>16</sup> Les différentes classifications selon l'ordre décroissant de sensibilité.

Défauts temporels :

[COUDORO, pp. 79-80] : CMOS classique (C), CMOS rapide bufferisé (HC, HCT), CMOS rapide non bufferisé (HCU), CMOS très rapide (AC, ACT).

Défauts sur les états statiques :

[KLINGLER 1, p. 163] : TTL-LS, TTL-F, TTL-S, CMOS-HC.

[WHALEN 1] : TTL-L, TTL standard, TTL-H.

<sup>17</sup> Traduction personnelle.

Un autre modèle du transistor MOS est proposé dans [HEDDEBAUT B, pp. 84-95]. Ce modèle se décompose en deux sous modèles, suivant que le composant évolue en zone résistive ou en zone de saturation, et est conçu à partir d'une recherche bibliographique poussée. La complexité de certaines formulations incite l'auteur à effectuer quelques approximations et notamment à propos de l'évolution de la résistance dynamique en zone de saturation. Sept paramètres sont nécessaires pour modéliser la résistance dynamique et ces sept paramètres ne sont accessibles qu'à partir de mesures effectuées sur le transistor étudié. L'auteur a donc élaboré un banc de caractérisation de ces paramètres. Les simulations obtenues à partir du modèle concordent avec les mesures expérimentales.

#### II.4.2. La technologie bipolaire.

Un modèle de la jonction PN qui prend en compte le redressement et le décalage des signaux de polarisation lors d'une perturbation RF est décrit dans [LARSON]. De ce fait, le modèle standard d'Ebers-Moll du transistor bipolaire est modifié (figure II-10). Les simulations obtenues avec ce modèle concordent avec les résultats expérimentaux. Dans [WHALEN 1] une simulation SPICE utilise le schéma constructeur pour reconstituer une porte 7400 à partir des éléments discrets (transistors, résistances, diodes). Tous les composants utilisent les modèles SPICE hormis le transistor de sortie actif lorsque la sortie est normalement à l'état bas: le modèle d'Ebers-Moll modifié est utilisé pour ce transistor. La bonne concordance des résultats expérimentaux et des simulations montre que lors d'une agression radiofréquence (220 MHz) sur la sortie d'un composant TTL normalement à l'état bas, le transistor actif intervient principalement dans le processus de perturbation.

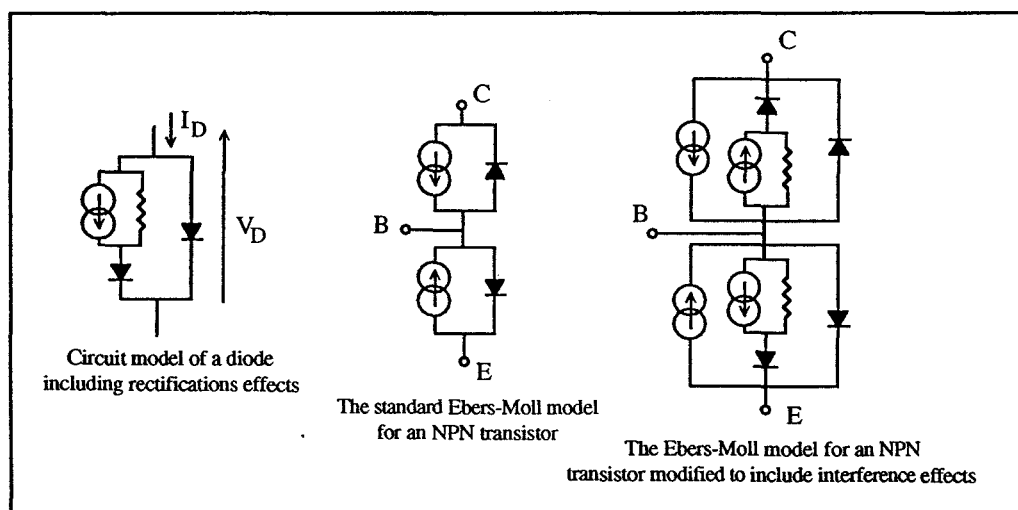


Figure II-10 : Modèle d'Ebers-Moll modifié.

Ce même résultat est obtenu dans [HEDDEBAUT B, pp. 43-67] pour une agression en régime d'impulsion. Dans un premier temps, une porte TTL est entièrement reconstituée à partir du schéma constructeur et de composants discrets. La perturbation du composant discret par une injection de courant sur sa sortie normalement à l'état bas donne des comportements analogues à ceux observés sur la porte NAND intégrée. Si l'ensemble du composant discret est remplacé par le transistor de sortie actif à l'état bas, on obtient à nouveau des résultats similaires. C'est donc bien ce transistor qui intervient pour l'essentiel dans le processus de perturbation. Le modèle d'Ebers-Moll complété permet de retrouver les résultats expérimentaux par simulation. Ce modèle tient compte des capacités parasites et de l'effet Early<sup>18</sup> par le biais de la conductance  $g_n$  (figure II-11).

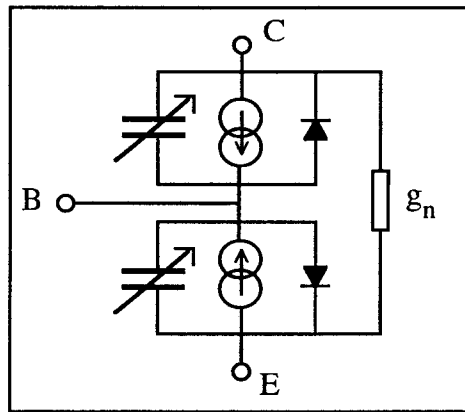


Figure II-11 : Modèle d'Ebers-Moll complété.

Un tout autre modèle est préféré aux modèles d'Ebers-Moll dans [ELLIOTT]. Le modèle en pi du transistor ("hybrid-pi transistor model") est usuellement utilisé pour estimer les performances des circuits transistors. Il nécessite un minimum de paramètres non publiés par les constructeurs (figure II-12).

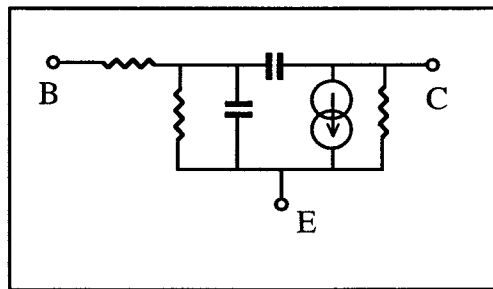


Figure II-12 : Modèle en pi du transistor.

<sup>18</sup> "Les tensions base-collecteur et base-émetteur modifient la valeur de la largeur effective de la base. Lorsque la tension collecteur-base croît en module, on a une diminution de l'épaisseur "électrique" de la région quasi-neutre de base. Cette modulation de la largeur effective de la base constitue l'effet Early [HEDDEBAUT B, p. A7]."

## CONCLUSION

Le choix d'une famille de composants logiques, choix en terme de CEM n'est pas aisé car les composants les moins sensibles sont ceux qui induisent un maximum de rayonnement des circuits imprimés. L'option retenue par les industriels est pour l'instant de minimiser le rayonnement. Il ne semble pas que ces industriels prennent en compte l'aspect sensibilité des composants. Nous sommes cependant persuadés que cet aspect est important et ne doit pas être négligé lors de la conception d'un système.

Les études de sensibilité effectuées jusqu'à présent sont des études phénoménologiques sur le comportement des circuits vis à vis d'un agresseur électromagnétique. Le besoin s'est fait ressentir d'effectuer une étude statistique sur les défauts du type avance ou retard des transitions logiques, dus aux perturbations faible puissance [COUDORO].

Nous pensons de même qu'une étude statistique sur les caractéristiques des défauts qui apparaissent sur les états statiques suite à une agression forte puissance, est nécessaire pour approfondir notre connaissance sur la sensibilité des familles de technologie. Le chapitre III est maintenant consacré à la description de l'outil statistique élaboré par nos soins. Une méthode de mesure visualisant les extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électromagnétique perturbateur, est aussi amplement utilisée. Les résultats obtenus par ces deux approches sont présentés.

# **Chapitre III : Étude statistique des distorsions des signaux propagés par des portes logiques soumises à une perturbation électromagnétique de mode rayonné.**

## **INTRODUCTION.**

Les principaux résultats établis lors de l'étude bibliographique portant sur les acquis scientifiques sur le processus de perturbation des composants logiques soumis à une perturbation électromagnétique sont les suivants :

- Le filtrage des signaux d'alimentation par les capacités de découplage est dans la plupart des cas suffisant pour protéger ces signaux contre des perturbations électriques induites sur les lignes d'alimentation.

- Lors de la commutation, l'impédance dynamique de sortie des composants augmente. De ce fait, les composants sont particulièrement sensibles à des perturbations équivalentes à des injections de courant au moment des transitions logiques et les premiers types de défauts observés selon la puissance du perturbateur sont des avances ou des retards de fronts. Lorsque l'on augmente la puissance du perturbateur, des pseudo-commutations puis des défauts statiques sur les états logiques apparaissent.

- Les processus de perturbation par des agressions en régime harmonique basse fréquence (<10 MHz) ou par des impulsions ont fait l'objet de plusieurs travaux. Une bonne compréhension des phénomènes mis en jeu commence à être acquise. Par contre, les processus de perturbation par des signaux harmoniques haute fréquence sont peu connus. Les capacités parasites des éléments constituant les portes (diodes et transistors) ne sont plus négligeables et des changements de polarisation sont observés.

L'objectif de ce chapitre est d'apporter de nouvelles approches pour étudier la sensibilité des cartes électroniques fondées sur l'utilisation de composants logiques. Une réflexion préliminaire sur le mécanisme de couplage électromagnétique sur une carte électronique nous semble cependant nécessaire.

Quel que soit le perturbateur, le principe du couplage est toujours identique. Tout ou une partie de la puissance électromagnétique est transférée vers le dispositif perturbé. Cette puissance transférée va se manifester par l'apparition de courants et tensions induits. Si le couplage n'a pas pour origine un champ électromagnétique mais simplement des courants et tensions indésirables qui se propagent sur les éléments filaires d'un circuit, on dit qu'on a affaire à un couplage par

conduction. Inversement, lorsque ces sources de tension et de courant sont dues à un champ électromagnétique, on appelle cet effet perturbation de mode rayonné. Dans ce mémoire, nous parlerons de couplage par rayonnement lorsque la carte imprimée ou la ligne qui relie deux circuits intégrés est directement couplée à une onde électromagnétique. Nous parlerons de perturbation de mode conduit lorsque la perturbation est amenée sur la carte imprimée par les câbles extérieurs. Les composants intégrés ne sont pas perturbés directement par rayonnement en raison de leur faible dimension. Le couplage s'effectue sur les pistes du circuit imprimé ou sur les câbles reliés à ce circuit. Le couplage par rayonnement réunit les couplages inductifs entre le champ magnétique incident et les boucles formées par les pistes du circuit imprimé, ainsi que les couplages capacitifs entre le champ électrique et deux pistes séparées. Dans les deux cas, ces interférences se traduisent sous la forme de courants et de tensions supplémentaires rapportés aux bornes des composants du circuit électronique. Ces courants et tensions induits dépendent des paramètres suivants (figure III-1) :

- les caractéristiques du champ électromagnétique (amplitude, forme de l'onde, direction et sens de propagation),
- la topologie de la carte imprimée et notamment les dimensions et la géométrie des pistes qui participent au phénomène de couplage,
- les charges non linéaires présentées par les étages d'entrée/sortie des composants.

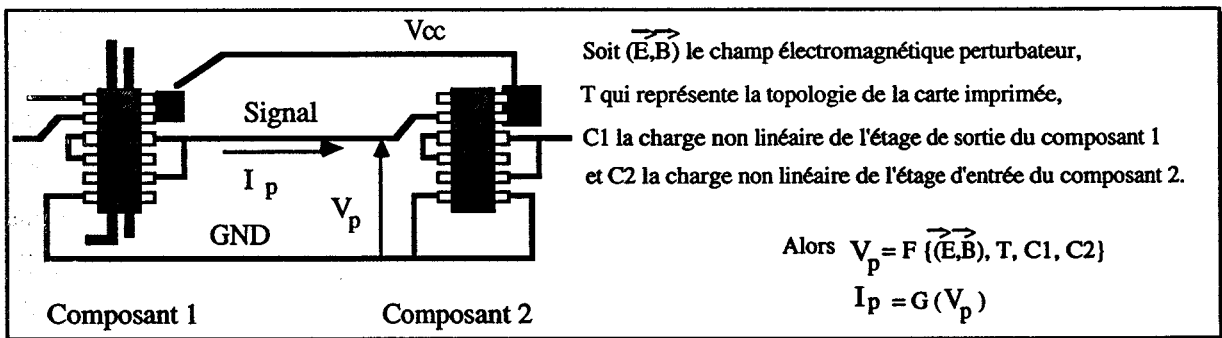


Figure III-1 : Perturbation par rayonnement d'une carte imprimée.

**Pour un champ électromagnétique perturbateur et une carte imprimée donnés, les courants et tensions induits dépendent donc uniquement des charges non linéaires présentées par les composants. Pour une famille de technologie donnée ces charges non linéaires sont identiques quelle que soit la fonction logique. L'étude d'une porte simple telle qu'une porte NAND ou une porte inverseuse est donc en première approximation représentative de l'ensemble de la technologie. En réalité, la figure III-2 montre que si les courant ( $I_p$ ) et tension ( $V_p$ ) induits sur la piste soumise au couplage électromagnétique dépendent uniquement de la technologie des composants connectés, les signaux observés en sortie du composant 2 dépendent aussi de la fonction logique ou fonction de transfert de la porte. De la même manière, les signaux en sortie du composant 2 ne vont pas**

avoir le même impact sur le composant aval (composant 3), selon la fonction que celui-ci assure.

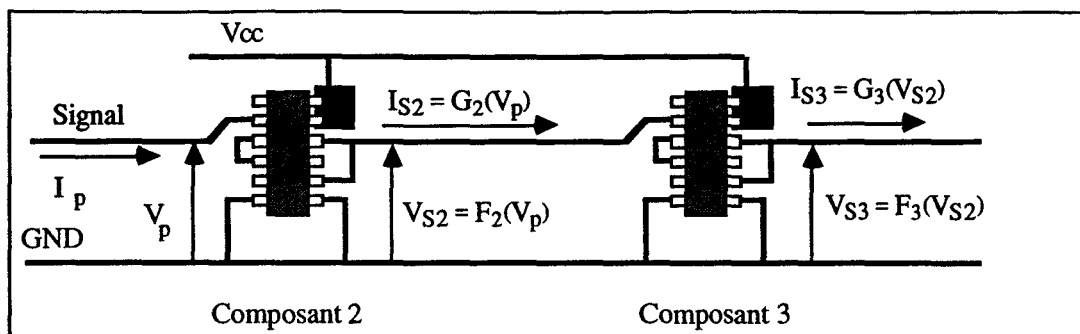


Figure III-2 : Propagation des défauts sur une chaîne de composants.

Prenons pour exemple le signal perturbé présenté sur la figure III-3. Si la fonction logique assurée par le composant aval est une porte inverseuse (cas 1a), le temps de propagation de la porte ou encore sa fréquence maximale de travail est déterminant. Si le signal perturbé est une donnée d'une bascule D (cas 1b), une défaillance apparaît ou non en sortie selon le moment de l'apparition du front d'horloge par rapport au défaut. Si le signal perturbé est une horloge d'une bascule D, un front supplémentaire peut-être perçu et la donnée est alors transmise en avance (cas 2).

Lorsque nous observons un signal perturbé, il est donc difficile de prédire les conséquences sur le fonctionnement d'une carte électronique. Cependant, lorsque le signal ne respecte pas les contraintes temporelles ou de niveaux mentionnées dans les caractéristiques nominales des composants, il existe un risque non nul d'apparition de défaillances. Il nous semble donc intéressant de comparer les perturbations électromagnétiques fugitives à des défaillances fugitives de composants. Pour établir le taux de défaillances des composants dû à des perturbations électromagnétiques, nous proposons une étude statistique des défauts fugitifs qui ne respectent pas les contraintes sur niveaux des composants. Cette étude complète l'étude statistique réalisée par B. COUDORO sur les erreurs de type avance ou retard des transitions logiques. Elle permet de caractériser les défauts statiques sur les états logiques entre autres par leur durée et leur nombre, et analyse l'impact des perturbations électromagnétiques sous une forme de probabilité d'apparition de défauts. L'intérêt purement CEM des résultats statistiques est de comparer le comportement des composants logiques selon leur technologie lorsqu'ils sont soumis à une perturbation électromagnétique.

Dans ce chapitre, nous décrivons l'outil statistique réalisé au laboratoire. Cet outil est utilisé pour étudier la perturbation par rayonnement d'un dispositif sous test constitué de deux portes inverseuses reliées par une ligne de transmission. Les alimentations sont protégées par des capacités de découplage et nous nous intéressons à la perturbation des étages d'entrée/sortie des composants.

L'étude est effectuée pour des champs électromagnétiques en régime harmonique pur mais aussi en régime modulé en fréquence et en amplitude. Nous en déduisons une nouvelle méthode de mesure qui visualise l'excursion du signal de sortie en présence d'une perturbation électromagnétique. Les deux approches -étude statistique et visualisation de l'excursion du signal- sont employées afin d'analyser le comportement des composants soumis à des perturbations électromagnétiques de fréquences élevées relativement aux fréquences de travail maximales des portes logiques. Nous complétons ainsi la connaissance des phénomènes de couplage lorsque les capacités parasites ne sont plus négligeables. Nous associons notamment différentes technologies pour tenter de discerner quel est le composant (amont ou aval) qui intervient d'une manière prédominante lors du couplage. Enfin, nous étudions l'impact des perturbations que nous avons caractérisées en sortie du dispositif sous test, sur différentes fonctions logiques.

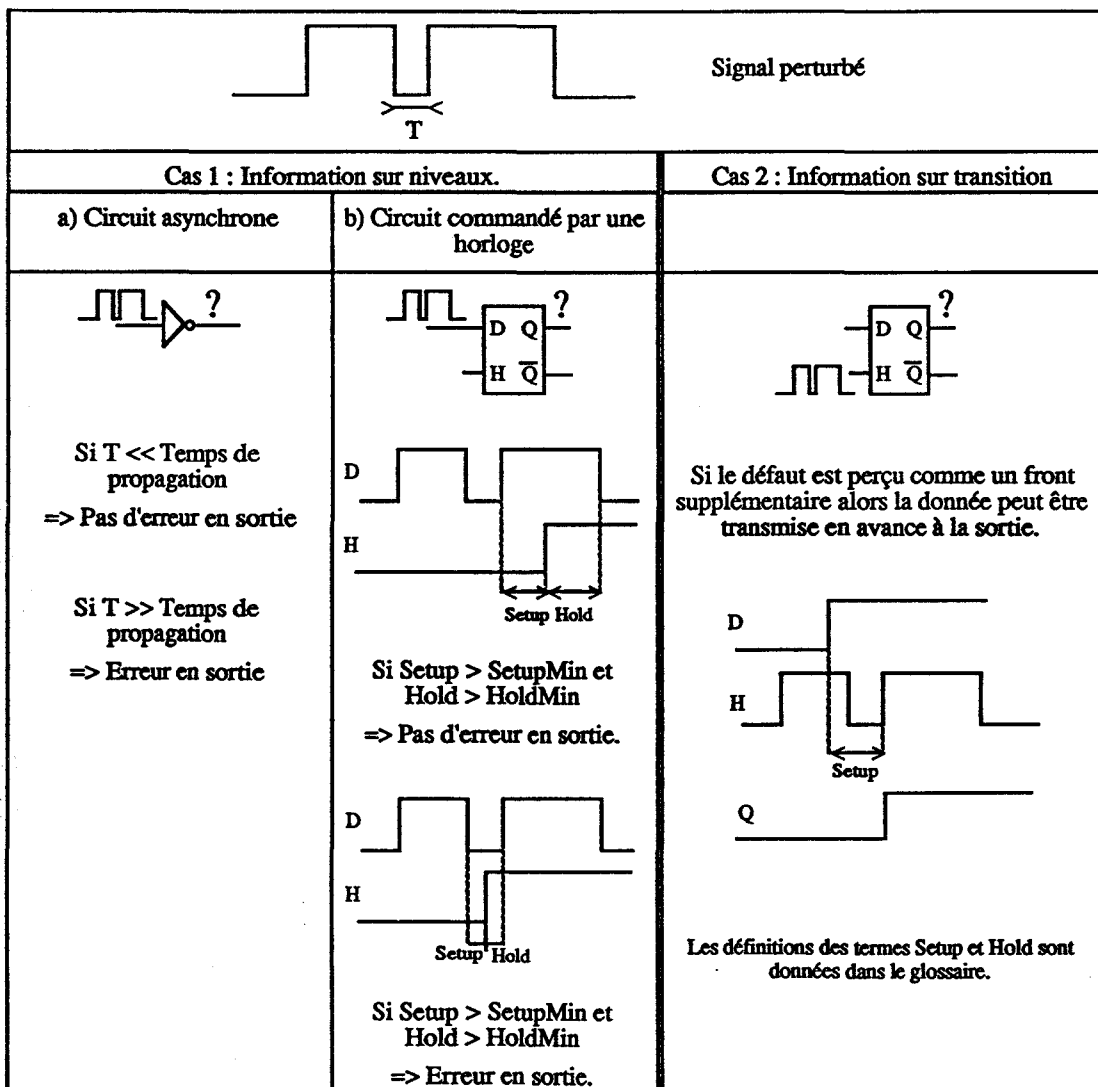


Figure III-3 : Risque d'apparition d'erreurs selon la fonction du circuit.



## **III.1. DESCRIPTION DU BANC DE MESURE ET DE LA MÉTHODOLOGIE UTILISÉE.**

### **III.1.1. Description du dispositif sous test et du banc de mesure.**

Les études précédentes ont montré que les capacités de découplage suffisent la plupart du temps à protéger les signaux d'alimentation contre des perturbations électromagnétiques véhiculées par les pistes de la carte imprimée. Nous cherchons donc à perturber uniquement les composants par leur étage d'entrée/sortie. Lors de la perturbation par rayonnement d'une carte électronique, les tensions et courants induits sur une piste dépendent de tous les composants électroniques connectés à cette piste. Afin de s'approcher de la perturbation par rayonnement d'une piste reliant deux composants logiques, l'élément sous test initial est composé de deux portes inverseuses reliées par une ligne que nous couplons à un champ électromagnétique incident (figure III-4). L'utilisation de lignes couplées offre alors l'avantage de pouvoir choisir le type de couplage -électrique, magnétique ou hybride- que l'on désire étudier. Nous avons cependant choisi d'utiliser une cellule de type "stripline" qui permet de générer une onde plane. Le couplage obtenu est en effet plus représentatif de la perturbation réelle d'une piste par un champ électromagnétique dont la source est lointaine.

En ce qui concerne l'élément sous test, nous avons choisi de connecter les deux portes inverseuses par une ligne de transmission qui mesure 20 cm de longueur et 2,1 cm de hauteur au dessus d'un plan conducteur. On peut ainsi utiliser le modèle de lignes de transmission et simuler sous PSpice le couplage électromagnétique comme nous le montrons au chapitre IV. La mise en parallèle de deux éléments sous test permet de tester deux technologies simultanément et de simuler un système redondant simple (figure III-5). Des précautions de manipulation sont prises pour que seule la ligne de transmission soit en pratique perturbée :

- chaque inverseur est alimenté par sa propre pile située à l'extérieur de la cellule, la tension étant ramenée aux bornes d'un régulateur de tension au moyen de fils tressés. Un découplage adéquat de la tension délivrée par le régulateur évite toute perturbation de l'alimentation.

- les signaux d'entrée et de sortie du système sont transmis à l'aide de câbles coaxiaux semi-rigides collés sur le plan de masse au moyen de ruban adhésif métallisé. Ces signaux sont ainsi protégés efficacement du champ électromagnétique perturbateur généré par la cellule.

- les composants utilisés sont des composants montés en surface (CMS). On diminue ainsi le risque de perturbation directe du champ électrique sur les broches des circuits et on évite l'interruption du plan de masse exigée par les composants à implantation par traversées (DIL).

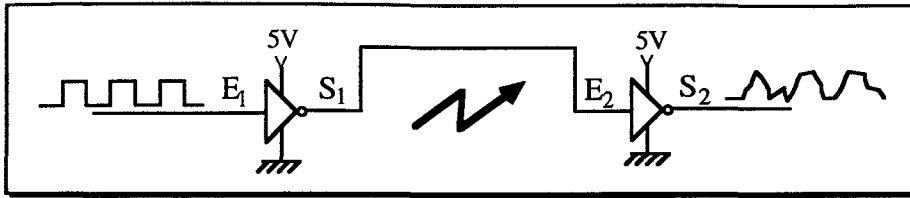


Figure III-4 : Élément sous test de base.

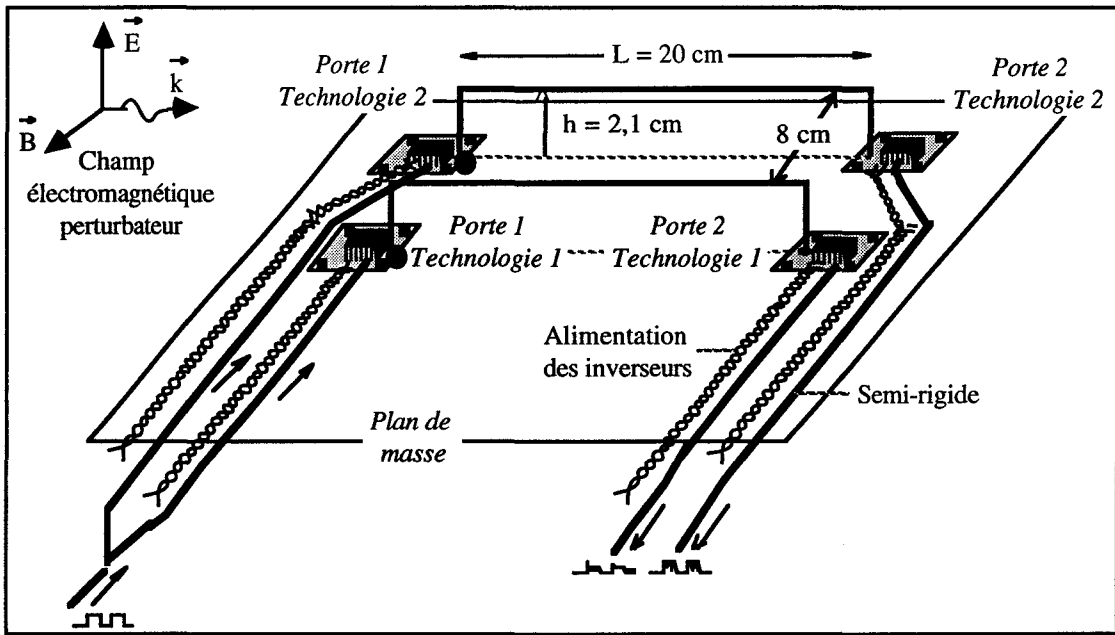


Figure III-5 : Dispositif sous test.

La cellule "stripline" utilisée mesure 5 cm de haut et 25 cm de large et présente une impédance caractéristique de 50  $\Omega$ . Cette cellule présente peu de réflexions jusqu'à une fréquence de 1 GHz. La tension à l'entrée de la cellule est délivrée par un générateur de signaux pouvant fournir des signaux allant de 100 kHz à 1000 MHz. Ces signaux peuvent être modulés par le signal de modulation du générateur de fonctions. La puissance délivrée est amplifiée par un amplificateur de gain 40 dB qui monte en fréquence jusqu'à 225 MHz (figure III-6). La puissance maximale délivrée par l'amplificateur est de 10 W. L'amplitude maximale du champ électrique que nous pouvons générer en régime entretenu est donc de 450 V/m. Un générateur d'impulsions envoie une trame constituée d'une succession d'états hauts et d'états bas à l'entrée du dispositif sous test. Simultanément à la génération de la trame, le générateur d'impulsions envoie un signal à l'oscilloscope pour déclencher l'acquisition des données à la sortie du dispositif sous test. L'oscilloscope et le générateur de signaux sont pilotés par l'unité de traitement et d'acquisition par l'intermédiaire de bus GPIB.

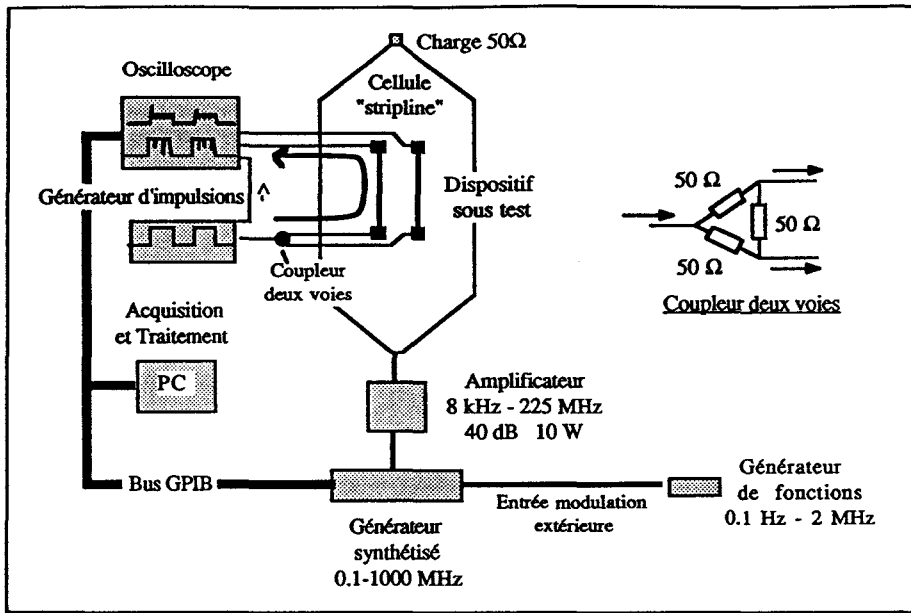
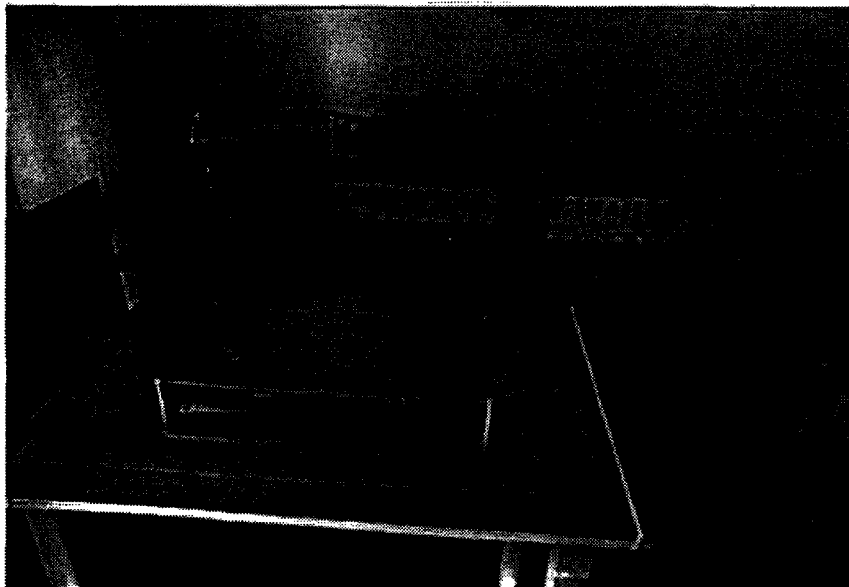


Figure III-6 : Le banc de mesure.



Photographie III-1 : Le banc de mesure.

### III.1.2. Pilotage automatique des expériences.

Le banc de mesure est entièrement automatisé. Dans un premier temps, nous rapatrions tous les signaux que nous voulons caractériser. L'organigramme du programme d'acquisition est présenté en annexe sur la figure A-III-1. Nous choisissons le type de perturbation souhaité (signal non modulé, signal modulé en fréquence, signal modulé en amplitude), l'excursion en fréquence du signal radiofréquence ainsi que son excursion en amplitude. Le champ électromagnétique est

ensuite généré automatiquement et les signaux perturbés correspondants rapatriés sur l'ordinateur. Les signaux de référence (non perturbés) de chaque technologie sont aussi enregistrés.

Une fois l'acquisition des signaux terminée, nous pouvons passer au traitement statistique. Nous ne traitons pas simultanément les signaux après chaque enregistrement afin de diminuer le temps de manipulation. Un temps de manipulation trop long est en effet pénalisant vis à vis de notre alimentation des boîtiers électroniques par piles.

## III.2. DESCRIPTION DE L'OUTIL STATISTIQUE.

### III.2.1. Principe de l'outil statistique.

Un défaut est défini par l'écart entre une caractéristique d'une entité et la caractéristique voulue, cet écart dépassant des limites d'acceptabilité [VILLEMEUR]. En ce qui concerne les niveaux des composants logiques, les limites d'acceptabilité sont les tensions de seuil données par les constructeurs. Le principe de l'étude statistique est donc le suivant. On compare échantillon par échantillon le signal  $S_2$  (cf. figure III-2) perturbé au signal  $S_2$  non perturbé dit de référence (figure III-7). Nous déterminons trois états possibles. L'état bas si le signal est en dessous de la tension de seuil niveau bas  $V_{il}$ , l'état haut si le signal est au-dessus de la tension de seuil  $V_{ih}$  et l'état indéterminé. Si à un instant donné, l'échantillon du signal perturbé ne se trouve pas dans le même état que l'échantillon du signal de référence, celui-ci est considéré comme erroné. L'état indéterminé est ainsi considéré comme un état erroné. Une fenêtre de 20 ns est définie autour de chaque front pour limiter l'étude aux états statiques.

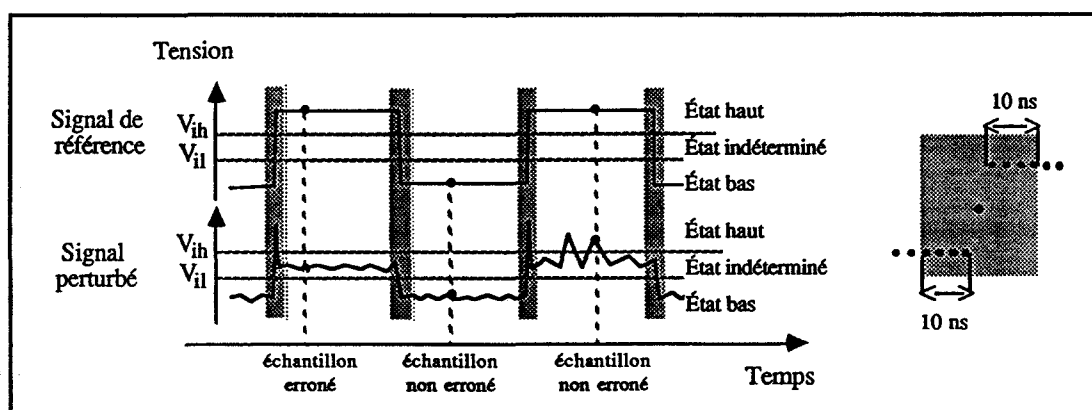


Figure III-7 : Comparaison des niveaux des deux signaux.

### III.2.2. Caractérisation des défauts observés.

Lors de la conception de l'outil statistique la première question posée a été de savoir si la décomposition du signal transmis en bits est judicieuse pour notre étude. En effet, prenons par exemple le signal de la figure III-8. Ce signal peut représenter la transmission d'un mot de 8 bits ou d'un mot de  $N \cdot 8$  bits si le débit est  $N$  fois plus rapide. Pour un même défaut survenu à la suite d'une perturbation électromagnétique fugitive (par exemple à la suite d'une décharge atmosphérique), le nombre de bits perturbés peut différer selon le débit et selon l'emplacement du défaut. C'est pourquoi nous avons préféré décomposer le signal transmis en niveaux élémentaires de durée variable (figure III-9).

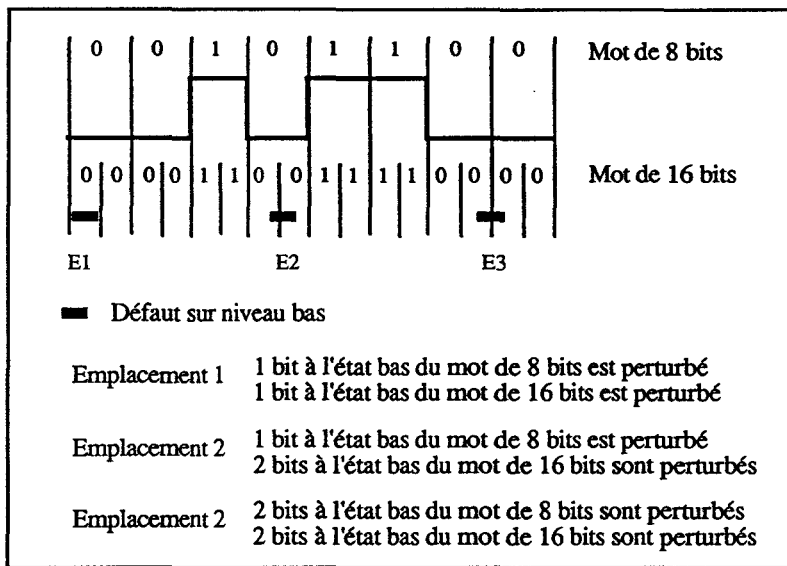


Figure III-8 : Interprétation possible des défauts fugitifs selon le débit ou selon l'emplacement du défaut sur le signal transmis.

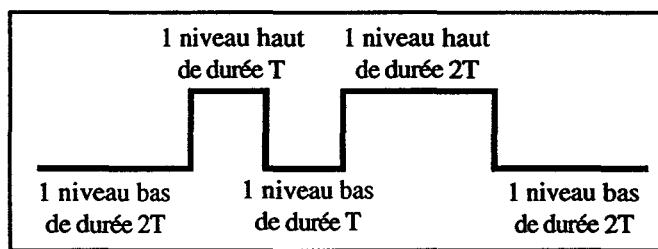


Figure III-9 : Décomposition du signal en niveaux élémentaires de durée variable.

L'inconvénient de la décomposition du signal en niveaux élémentaires réside dans le fait que celui-ci est usuellement considéré en tant qu'une succession de bits. En parlant en termes de niveaux, il est difficile de déterminer un taux d'erreurs. Cependant ce taux d'erreurs est fonction du débit et nous supposons dans notre étude que nous ne connaissons par les circuits situés en aval du dispositif sous test, c'est à dire que nous ne connaissons pas a priori les fréquences des horloges qui

déterminent le débit.

L'avantage majeur de cette décomposition du signal réside dans le fait que les résultats statistiques dépendent uniquement des paramètres qui interviennent dans le processus de couplage : le champ électromagnétique, la ligne de transmission, la technologie des composants mais aussi la durée des différents niveaux bas et hauts qui composent le signal de transmission. En effet les caractéristiques du signal transmis interviennent dans le processus de perturbation [KLINGLER 1].

Les caractéristiques retenues pour l'étude statistique sont donc les suivantes.

- La durée des niveaux donne des informations quant au signal transmis.
- Le pourcentage de temps durant lequel les niveaux sont perturbés donne des informations quant à la sensibilité des niveaux.
- La durée des défauts, la durée des séparations entre deux défauts consécutifs situés sur un même niveau et le nombre de défauts situés sur un même niveau, donnent des informations sur la façon dont sont perturbés les niveaux.
- Le pourcentage de temps que durent les défauts par rapport à la durée des niveaux sur lesquels ils se trouvent, permet d'apprécier l'impact de la durée des niveaux sur les défauts qui apparaissent sur ces niveaux.
- Enfin le nombre de niveaux consécutifs erronés donnent des informations quant à la répartition des niveaux perturbés suite à une perturbation électromagnétique fugitive.

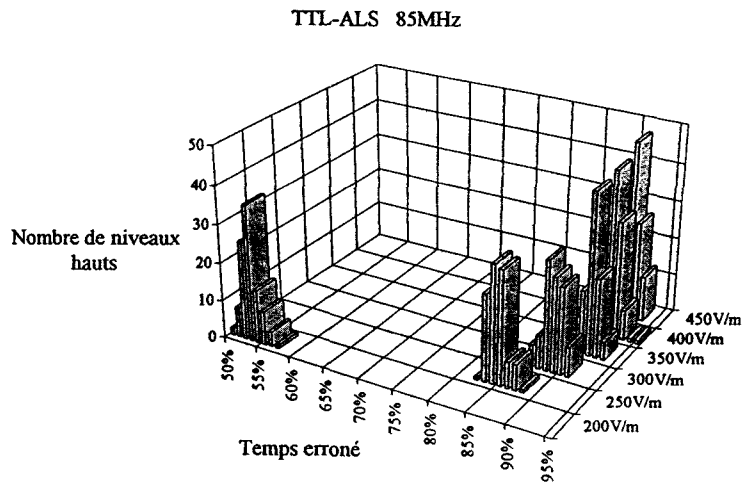
Un exemple de caractérisation d'une trame composée de deux niveaux hauts et d'un niveau bas est donné en annexe (cf. figure A-III-2). Nous supposons sur cet exemple que la durée entre deux échantillons consécutifs est de 2,5 ns.

Notons que parallèlement à l'étude statistique, nous calculons le nombre d'échantillons du signal perturbé qui ont une tension donnée afin d'obtenir une distribution des échantillons selon leur tension.

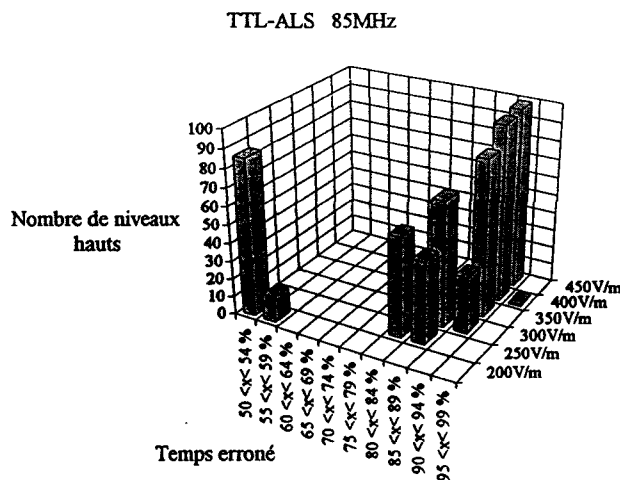
### **III.2.3. Automatisation du traitement et automatisation de la visualisation des fichiers.**

Le traitement statistique des fichiers est entièrement automatisé. Les résultats statistiques sont enregistrés sous forme de tableaux à deux entrées (cf. figure A-III-2) dans des fichiers texte. Deux macro-commandes programmées sous le tableur Excel permettent une visualisation graphique selon l'amplitude du champ électrique, selon la fréquence du perturbateur, selon la manipulation (circuits sous tests, type de modulation) ou selon la technologie des composants. Des boîtes de dialogue facilitent l'utilisation de ces macro-commandes.

Pour une présentation des graphiques plus claire, il est possible de choisir le nombre de graduations regroupées ensemble. Par exemple, sur le graphique III-1a), chaque histogramme représente le nombre de niveaux hauts dont le pourcentage de temps erroné est de  $x\%$ . Sur le graphique III-1b), les résultats sont présentés par histogramme regroupant le nombre de niveaux hauts dont le pourcentage de temps erroné est compris entre  $x$  et  $x+5\%$ .



a) Pourcentage de temps erroné de  $x\%$ .



b) Pourcentage de temps erroné compris entre  $x$  et  $x+5\%$ .

Graphes III-1 : Choix du nombre de graduations regroupées.

### III.3. INTERPRÉTATION DES RÉSULTATS STATISTIQUES OBTENUS POUR UNE PERTURBATION EN RÉGIME HARMONIQUE PUR.

#### III.3.1. Limites en fréquence du banc de mesure. Choix des fréquences et des amplitudes du champ électromagnétique perturbateur. Choix du signal véhiculé sur le dispositif sous test.

Une première limite en fréquence de la perturbation électromagnétique est due à l'adaptation de la cellule de type "stripline" et au générateur de signaux. Cette limite est de 1 GHz. Elle n'est pas pénalisante.

Nous avons ensuite le choix entre l'utilisation de deux amplificateurs. Le premier présente une puissance maximale de 6 W, et permet de générer des champs électriques d'environ 350 V/m. La limite en fréquence de cet amplificateur est de 1 GHz. Le second présente une puissance maximale de 10 W, et permet de générer des champs électriques d'environ 450 V/m. La limite haute en fréquence de cet amplificateur est de 225 MHz. Nous avons choisi le second amplificateur.

En effet, une deuxième limite en fréquence est liée à notre désir de caractériser des défauts provoqués par un champ électromagnétique perturbateur. On conçoit bien que la forme de ces défauts ou leur fréquence d'apparition soit liée à la fréquence du perturbateur. La deuxième limitation en fréquence de 300 MHz est due à la bande passante de notre oscilloscope de mesure.

L'oscilloscope numérique que nous utilisons a une fréquence d'échantillonnage maximale de 400 MHz (2,5 ns entre deux échantillons consécutifs) en mode normal et pour une base de temps de 10  $\mu$ s par division. Ceci correspond au nombre maximal d'échantillons par courbe qui est de 40000. Pour une base de temps de 20  $\mu$ s par division, cette fréquence d'échantillonnage devient donc de 200 MHz (5 ns entre deux échantillons consécutifs) et ainsi de suite. Pour une base de temps inférieure à 10  $\mu$ s par division, en mode normal, l'échantillonnage reste de 2,5 ns mais le nombre d'échantillons par courbe diminue.

Le mode entrelacé ne convient pas à notre étude statistique. Pour avoir la meilleure précision temporelle possible, nous avons donc choisi une base de temps de 10  $\mu$ s par division. Nous avons ainsi une fréquence d'échantillonnage de 400 MHz. Les fréquences de perturbateurs générées sont choisies de manière à éviter un échantillonnage identique sur chaque défaut :

$$F_{\text{Perturbateur}} \neq \frac{F_{\text{Échantillonnage}}}{k} \quad \text{avec } k \in \mathbb{N} \quad \text{Équation III-1.}$$

Expression où  $F_{\text{Perturbateur}}$  est la fréquence du champ électromagnétique perturbateur et où  $F_{\text{Échantillonnage}} = 400$  MHz est la fréquence d'échantillonnage de l'oscilloscope.



Pour toutes nos mesures, la fréquence du champ électromagnétique perturbateur varie de 15 MHz à 95 MHz par pas de 10 MHz. L'amplitude du champ électrique varie de 50 V/m à 450 V/m par pas de 50 V/m.

Nous avons décidé de commencer l'étude à l'aide d'un signal transmis simple composé d'une succession de niveaux hauts et de niveaux bas de même durée. Ce signal élémentaire permet de bien comprendre les résultats statistiques obtenus et d'apprécier les limites de l'outil statistique mis en place. De part la base de temps de l'oscilloscope fixée à 10  $\mu$ s par division, chaque signal rapatrié dure 100  $\mu$ s. Nous avons choisi une durée des niveaux de 500 ns. Chaque signal rapatrié sur ordinateur est donc constitué de 100 niveaux hauts et de 100 niveaux bas. Le nombre de niveaux hauts ou bas présenté dans nos résultats statistiques correspond ainsi au pourcentage de niveaux hauts ou bas. En ce qui concerne le signal transmis, il peut être assimilé à un signal d'horloge de fréquence 1 MHz. Comme tous les niveaux ont une même durée de 500 ns, nous ne présentons pas dans ce mémoire les graphes donnant la durée des niveaux et les graphes donnant le pourcentage de temps que durent les défauts relativement à la durée du niveau sur lequel ils se trouvent.

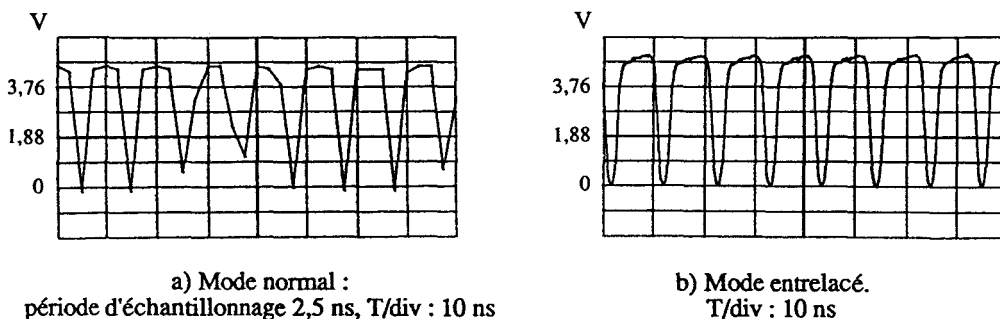
### **III.3.2. Exemples de résultats obtenus lorsque les défauts d'un niveau sont tous détectés par l'outil statistique.**

#### **III.3.2.1. Cas d'un signal non complètement perturbé.**

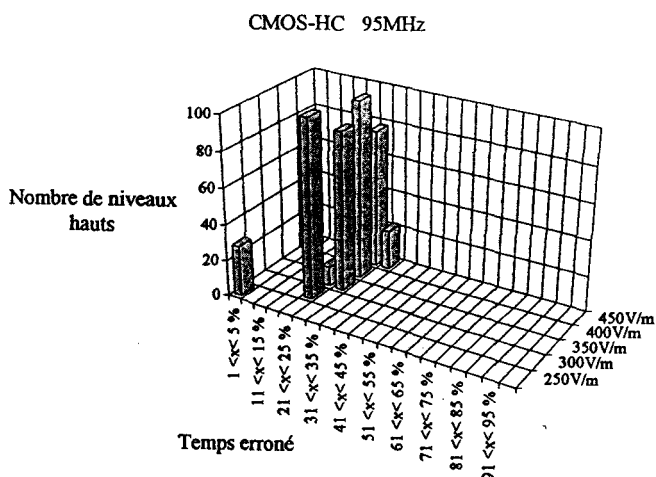
Si les défauts sont tous détectés par l'outil statistique et si le signal n'est pas complètement perturbé (graphes III-2), lorsque la fréquence du perturbateur est fixe et que son amplitude augmente, le pourcentage de temps erroné des niveaux plafonne à une valeur donnée (graphe III-3). Les signaux obtenus dans le domaine temporel montrent que les défauts observés sont tous identiques et apparaissent selon la même fréquence que le perturbateur. Le nombre de défauts  $N$  (graphe III-6) sur un même niveau est une fonction de la durée  $T_n$  des niveaux et de la fréquence  $F_p$  du perturbateur (tableau III-1). Le pourcentage de temps erroné est donc directement lié à la durée des défauts et à la fréquence d'apparition de ces défauts, c'est à dire à la fréquence du perturbateur. Bien que ce pourcentage de temps erroné plafonne et n'atteint pas 100%, on constate que ce pourcentage augmente faiblement avec l'amplitude (graphe III-7) car le nombre de défauts de durée 5 ns augmente (graphe III-4). La fréquence d'échantillonnage de notre oscilloscope ne nous permet cependant pas de connaître exactement la durée de ces défauts.

Notons que la dispersion des résultats donnant le nombre de défauts pour une amplitude de 300 V/m est due à un problème d'échantillonnage. Pour des amplitudes de perturbateur supérieures à 350 V/m les défauts étant tous détectés par l'outil statistique, leur nombre sur un même niveau est identique (graphe III-6). Pour une amplitude de 250 V/m, un seul défaut est détecté sur trente

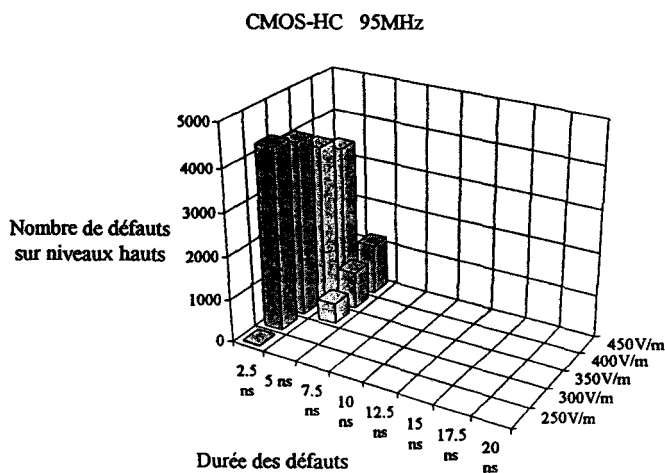
niveaux environ. Ce défaut est sans doute lié à une erreur du type retard ou avance de front dont la durée est supérieure à 20 ns, c'est à dire dont la durée est supérieure à la largeur de notre fenêtre "aveugle" (cf. figure III-5).



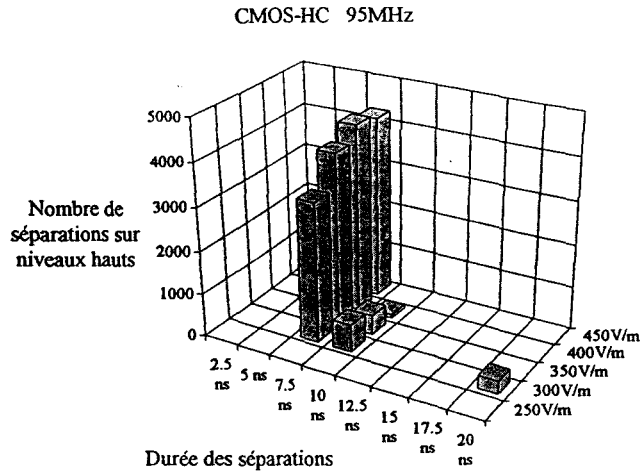
Graphes III-2 : Courbes obtenues dans le domaine temporel montrant que les niveaux hauts ne sont pas complètement perturbés. Technologie CMOS-HC, Fréquence 95 MHz, Amplitude 450 V/m.



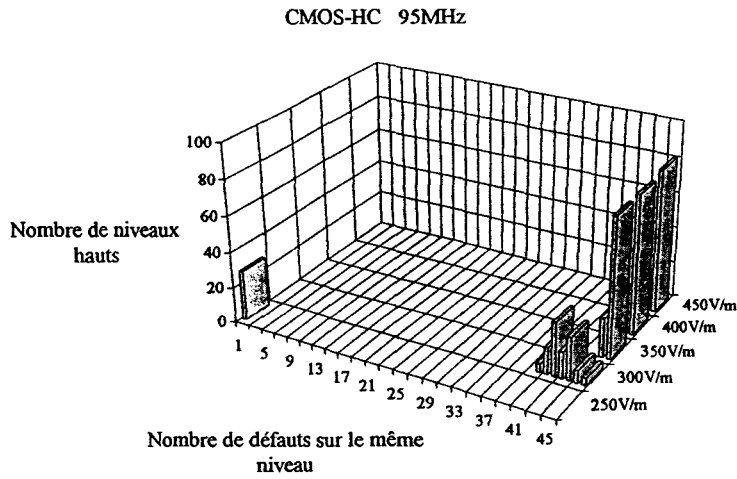
Graphe III-3 : Pourcentage de temps durant lequel les niveaux hauts sont perturbés.



Graphe III-4 : Durée des défauts sur niveaux hauts.



Graph III-5 : Durée des séparations entre deux défauts consécutifs situés sur un même niveau haut.

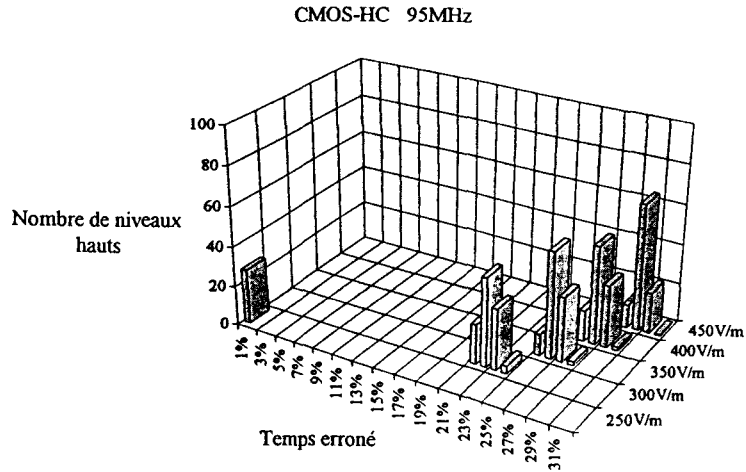


Graph III-6 : Nombre de défauts situés sur un même niveau haut.

Nous avons noté ci-dessus que la fréquence d'apparition des défauts est identique à la fréquence du perturbateur. Le nombre de défauts sur un niveau est donc une fonction de la durée  $T_n$  de ce niveau et de la fréquence  $F_p$  du perturbateur. Puisque tous les niveaux du signal transmis ont une même durée d'environ 482,5 ns, il est possible de calculer le nombre théorique de défauts par niveau selon la fréquence du perturbateur. Nous donnons les calculs tableau III-1. Les résultats ne sont pas des entiers. Pour une fréquence de 55 MHz par exemple, on peut s'attendre à obtenir un nombre de défauts par niveau de 26 et 27.

$F_p$	15MHz	25MHz	35MHz	45MHz	55MHz	65MHz	75MHz	85MHz	95MHz
$T_n * F_p$	7,2	12,1	16,9	21,7	26,5	31,4	36,2	41,0	45,8

Tableau III-1 : Nombre théorique de défauts par niveaux selon la fréquence du perturbateur ( $T_n$  Durée d'un niveau soit 482,5 ns.)

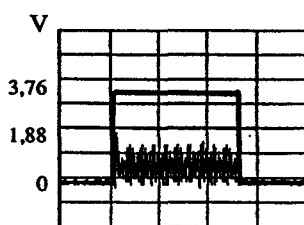


Graphe III-7 : Pourcentage de temps durant lequel les niveaux hauts sont perturbés.

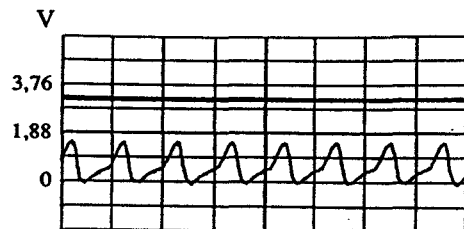
### III.3.2.2. Cas d'un signal complètement perturbé.

Si le signal est complètement perturbé (graphes III-8), le pourcentage de temps erroné des niveaux est de 100% (graphe III-9 pour les amplitudes de 350 V/m, 400 V/m et 450 V/m). Bien que les défauts observés soient tous identiques et apparaissent selon la même fréquence que le perturbateur, les défauts étant complètement en dessous de la tension de seuil niveau haut, ils sont perçus comme un seul et unique défaut dont la durée est identique à celle du niveau (graphes III-10 et III-11). Il n'y a donc pas de graphes donnant la durée des séparations entre deux défauts consécutifs situés sur le même niveau.

Notons que pour une amplitude de 300 V/m, la dispersion des résultats concernant le nombre de défauts est due à un problème d'échantillonnage. Pour une amplitude de 250 V/m, il est difficile de préciser à quel type de perturbation -retard ou avance de front, pseudo-commutation, ou début de perturbation des états statiques- correspondent les défauts détectés.

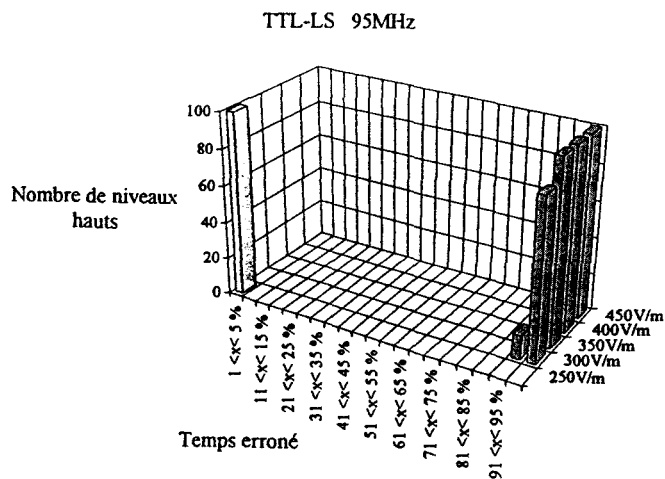


a) Mode normal :  
période d'échantillonnage 2,5 ns, T/div : 0,2  $\mu$ s

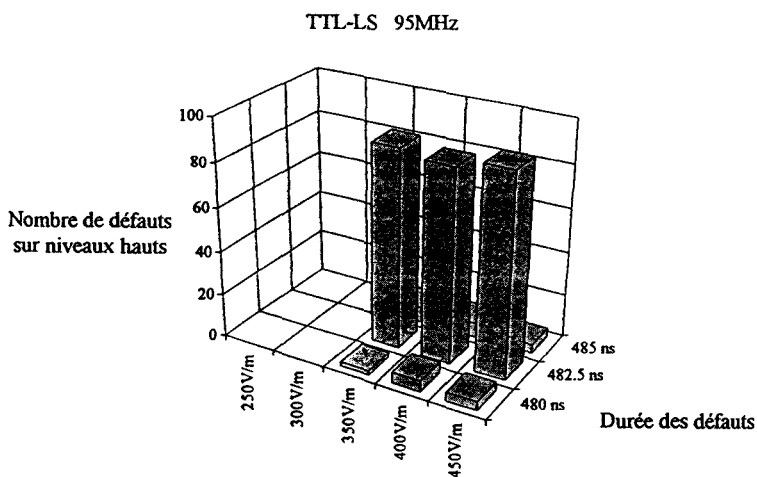


b) Mode entrelacé.  
T/div : 10 ns

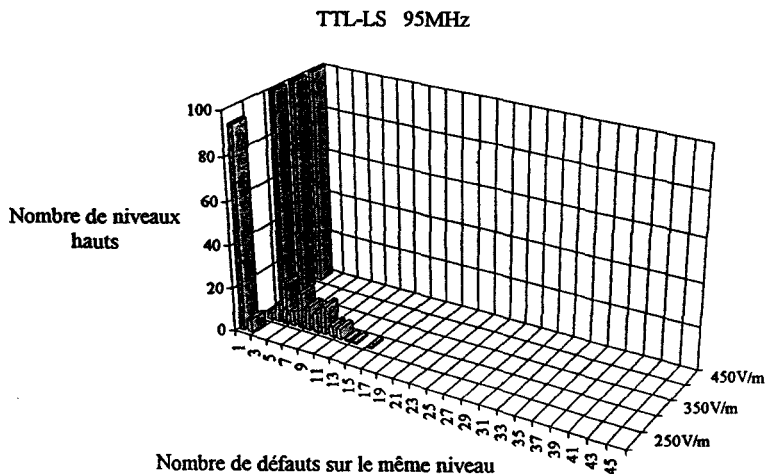
Graphes III-8 : Courbes obtenues dans le domaine temporel montrant que les niveaux hauts sont complètement perturbés. Technologie TTL-LS, Fréquence 95 MHz, Amplitude 450 V/m.



Graph III-9 : Pourcentage de temps durant lequel les niveaux hauts sont perturbés.



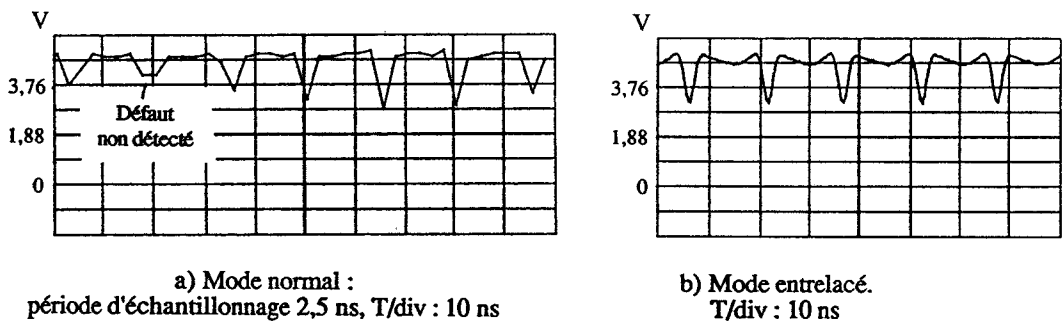
Graph III-10 : Durée des défauts sur niveaux hauts.



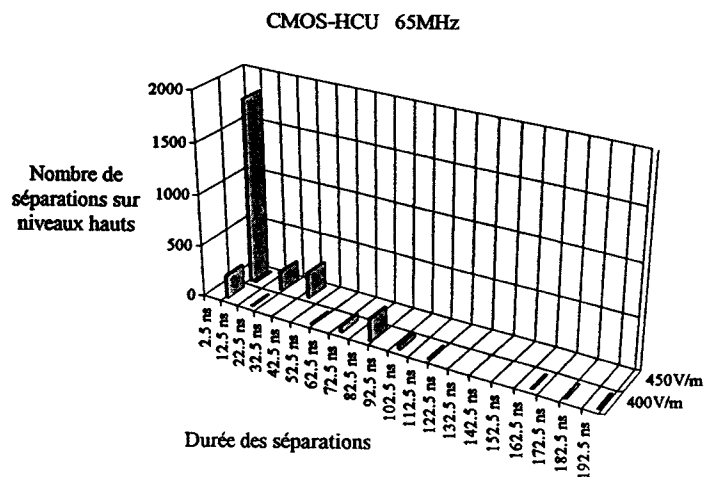
Graph III-11 : Nombre de défauts situés sur un même niveau haut.

### III.3.3. Exemples de résultats obtenus lorsque les défauts ou séparations entre défauts ne sont pas tous détectés par l'outil statistique.

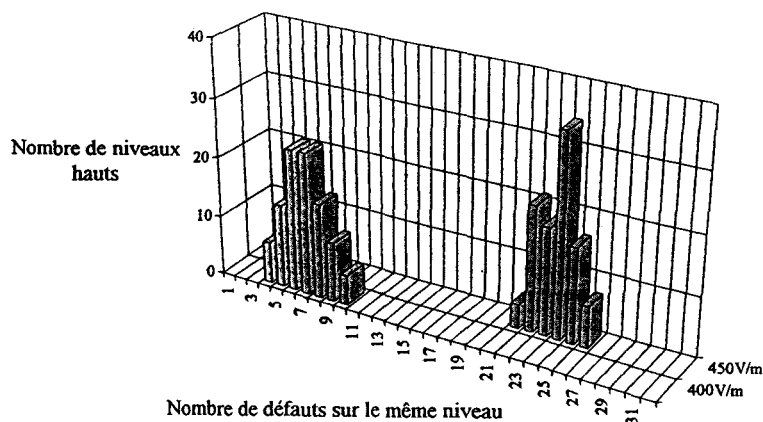
Lorsque l'amplitude des défauts est faible, certains d'entre eux ne sont pas détectés par l'outil statistique (graphes III-12). Il en résulte une minimisation du pourcentage de temps erroné des niveaux, une dispersion des résultats concernant la durée des séparations entre deux défauts consécutifs (graphe III-13) et enfin une minimisation et une dispersion des résultats concernant le nombre de défauts par niveaux (graphe III-14). Toutefois, 2,5 ns représente une durée d'impulsion bien trop brève pour pouvoir être traitée correctement par les composants logiques considérés. Ainsi, lorsque les défauts ne sont pas tous détectés par l'outil statistique, de part leur faible durée et leur faible amplitude, ces transitions ou fluctuations d'amplitude rapides ne sont pas perçues par les composants situés en aval. Nous étudierons à nouveau cet aspect lors de l'étude de la propagation des défauts le long d'une chaîne d'inverseurs.



Graphes III-12 : Courbes obtenues dans le domaine temporel montrant que les défauts ne sont pas tous détectés. Technologie CMOS-HCU, Niveau normalement à l'état haut  
Fréquence 65 MHz, Amplitude 450 V/m.

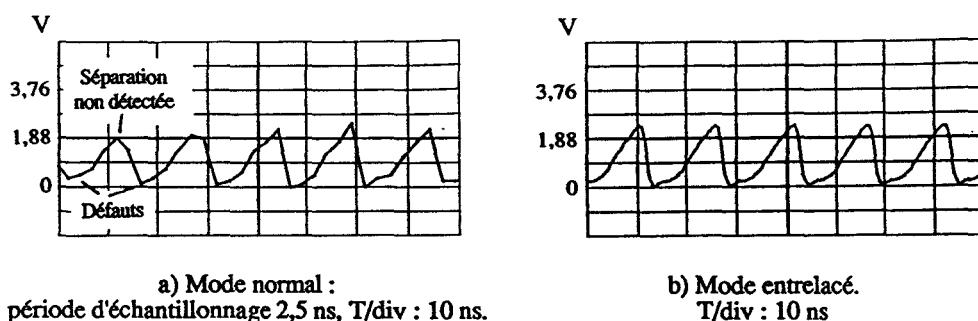


Graphe III-13 : Durée des séparations entre deux défauts consécutifs situés sur un même niveau haut. On constate une dispersion des résultats.



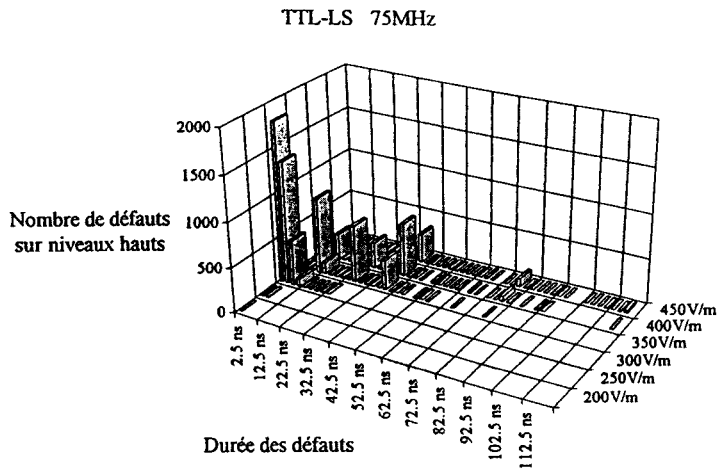
Graphe III-14 : Nombre de défauts situés sur un même niveau haut.  
Le nombre théorique de défauts à la fréquence de 65 MHz est de 32.

Lorsque la tension maximale des niveaux normalement à l'état haut décroît en sortie, certaines séparations entre deux défauts consécutifs peuvent de même ne pas être détectées par l'outil statistique (graphes III-15). Il en résulte une maximisation du pourcentage de temps erroné des niveaux, une dispersion accrue des résultats concernant la durée des défauts (graphe III-16) et enfin une minimisation<sup>1</sup> et une dispersion des résultats concernant le nombre de défauts par niveaux (graphe III-17). Pour des raisons similaires au problème d'échantillonnage des défauts, la maximisation du pourcentage de temps erroné due à un problème d'échantillonnage des séparations entre deux défauts consécutifs, constitue un majorant utile à acquérir.

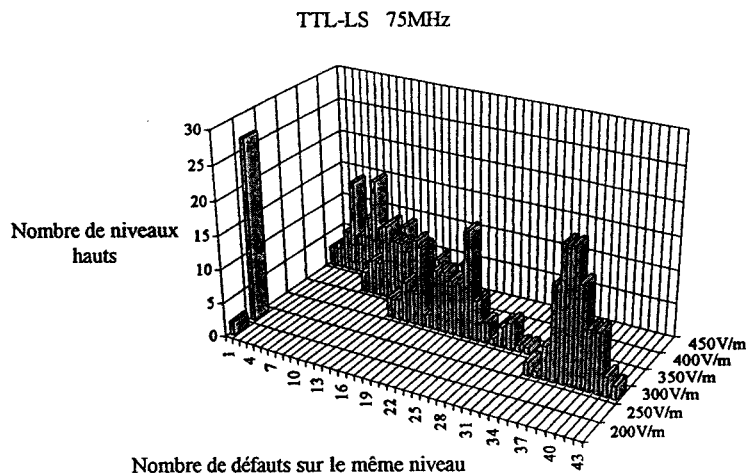


Graphes III-15 : Courbes obtenues dans le domaine temporel montrant que les séparations entre deux défauts consécutifs ne sont pas toutes détectées. Technologie TTL-LS, Niveau normalement à l'état haut, Fréquence 65 MHz, Amplitude 450 V/m.

<sup>1</sup> Pour une amplitude de 300 V/m, le nombre de défauts donné par l'étude statistique est au contraire maximisé. Nous n'avons observé ce résultat particulier que pour cette fréquence (75 MHz) et amplitude (300 V/m) de champ électromagnétique. Ce résultat est lié à la forme des signaux perturbés.



Graphes III-16 : Durée des défauts sur niveau haut.  
On constate une dispersion des résultats.



Graphes III-17 : Nombre de défauts situés sur un même niveau haut.  
Le nombre théorique de défauts à la fréquence de 75 MHz est de 37.

### III.4. COMPARAISON DE DIFFÉRENTS TYPES DE PERTURBATEURS. VISUALISATION ET ANALYSE DE L'ÉVOLUTION DES DÉFAUTS RELEVÉS SELON L'AMPLITUDE DU CHAMP ÉLECTROMAGNÉTIQUE PERTURBATEUR.

#### Introduction.

Pour des fréquences comprises entre 5 MHz et 225 MHz, les sources principales de perturbations en régime entretenu sont les émetteurs de radiodiffusion ou de télévision. En ondes décamétriques (5-30 MHz), le régime de radiodiffusion utilisé est la modulation d'amplitude. La bande I (47-68 MHz) est réservée à la télévision. Elle est cependant de moins en moins utilisée. La radiodiffusion en modulation de fréquence s'effectue dans la bande II (87,5-108 MHz). Enfin, la bande III (174-223 MHz) est exploitée par les émetteurs de télévision [TELECOM].



Nous étudions dans ce chapitre, la perturbation du dispositif sous test par des champs électromagnétiques modulés en fréquence ou en amplitude. Nous comparons les résultats statistiques obtenus pour les différents régimes de modulation, aux résultats obtenus en régime harmonique pur. Nous en déduisons une nouvelle méthode de mesure qui visualise l'excursion du signal de sortie en présence d'une perturbation électromagnétique.

### III.4.1. Précaution à prendre lors des expérimentations.

Comme le dessin de la figure III-10 le montre, afin de représenter correctement le signal de modulation, il est nécessaire que la fréquence de ce signal soit un multiple de  $1/T_f$ , où  $T_f$  est la fenêtre temporelle de notre oscilloscope. Puisque nous avons choisi une fenêtre temporelle de  $100 \mu s$ , la fréquence du signal de modulation doit être un multiple de  $10 \text{ kHz}$ . Nous avons choisi une fréquence de  $20 \text{ kHz}$ .

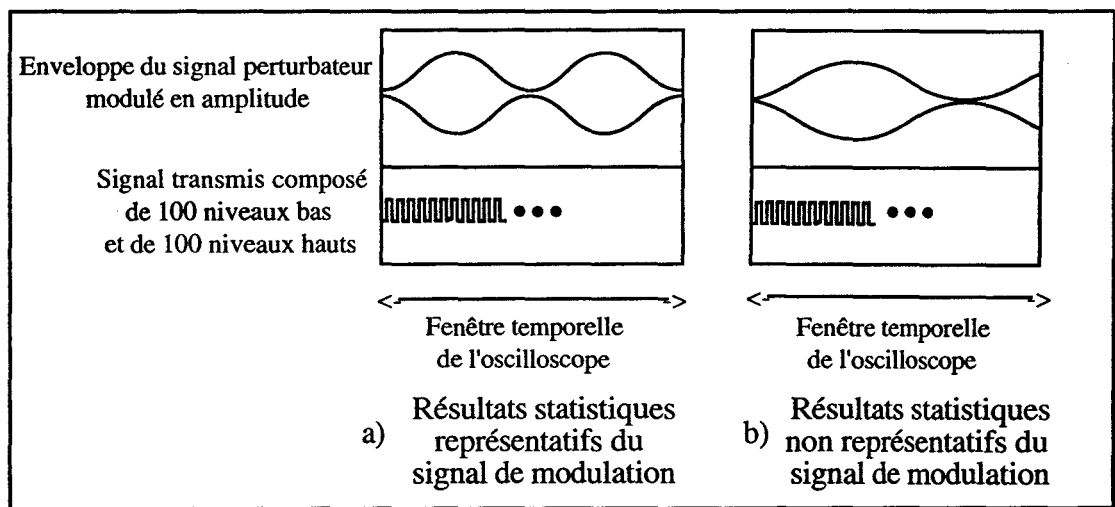


Figure III-10 : Représentation correcte du signal de modulation selon sa fréquence.

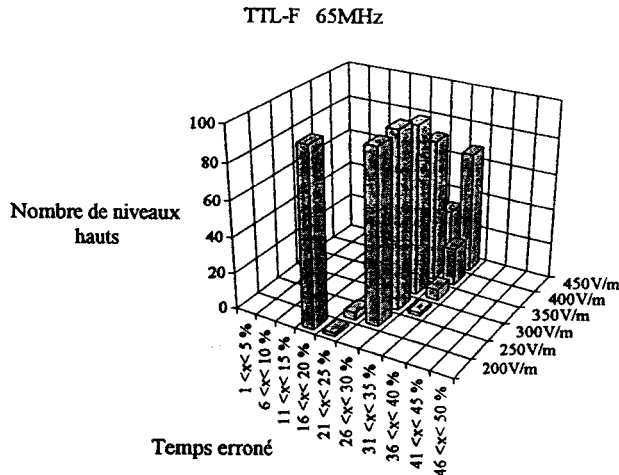
### III.4.2. Comparaison du régime modulé en fréquence au régime harmonique pur.

Nous présentons sur les graphes III-18, le pourcentage de temps pendant lequel les niveaux hauts sont erronés selon l'amplitude du champ électrique. La fréquence du champ électromagnétique perturbateur est de  $65 \text{ MHz}$ . Les deux inverseurs de l'élément sous test sont de technologie TTL-F. Nous constatons que les résultats obtenus en régime modulé en fréquence avec une excursion de  $50 \text{ kHz}$  et une fréquence du signal de modulation de  $20 \text{ kHz}$  (indice de modulation de 2,5), sont identiques aux résultats obtenus en régime harmonique pur.

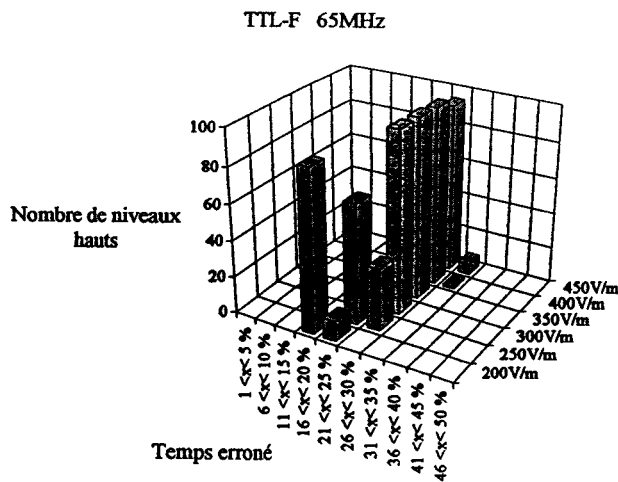
Sur les graphes III-19, les résultats statistiques sont donnés selon la fréquence du champ électromagnétique. L'amplitude du champ électrique est de  $300 \text{ V/m}$ . Là encore, nous constatons

que les résultats statistiques en régime modulé en fréquence avec une excursion de 50 kHz et une fréquence du signal de modulation de 20 kHz, sont identiques aux résultats en régime harmonique pur.

Pour les autres technologies, nous obtenons des résultats similaires, à savoir une similitude de comportement vis à vis d'un perturbateur modulé en fréquence et d'un perturbateur en régime harmonique pur<sup>2</sup>.



a) Régime harmonique pur.

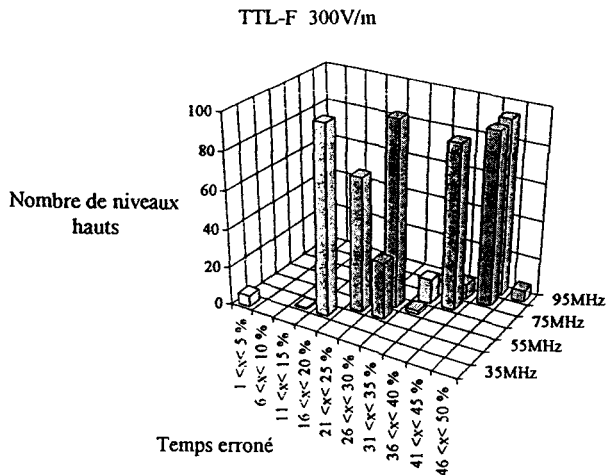


b) Régime modulé :

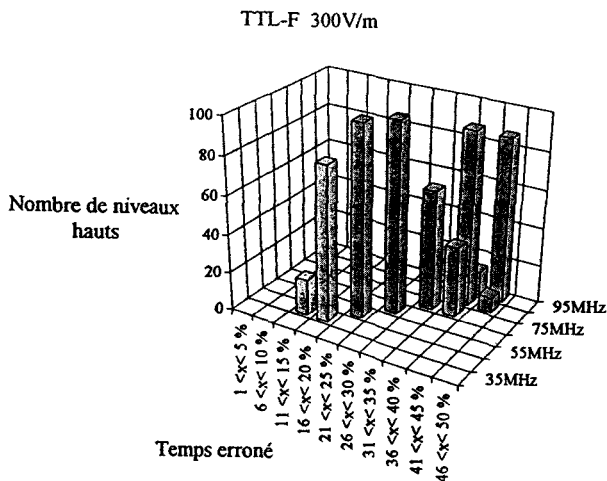
Fréquence du signal de modulation = 20 kHz, Excursion en fréquence = 50 kHz (m=2,5).

Graphes III-18 : Comparaison du régime harmonique pur au régime modulé en fréquence.

<sup>2</sup> Ce résultat est obtenu pour une excursion en fréquence de 50 kHz soit une excursion de moins de 1% par rapport à la fréquence fondamentale.



a) Régime harmonique pur.



b) Régime modulé :

Fréquence du signal de modulation = 20 kHz, Excursion en fréquence = 50 kHz (m=2,5).

Graphes III-19 : Comparaison du régime harmonique pur au régime modulé en fréquence.

### III.4.3. Comparaison du régime modulé en amplitude au régime harmonique pur.

Sur les graphes III-20, est représenté le pourcentage de temps erroné des niveaux hauts selon l'amplitude du champ électrique pour une fréquence de 65 MHz. Les inverseurs de l'élément sous test sont de technologie TTL-ALS. Nous constatons que le type de perturbation (régime harmonique pur ou régime modulé en amplitude) influe notablement sur les résultats statistiques. Les résultats montrent l'importance de bien définir les critères de sensibilité lors d'une étude CEM. En se référant à l'amplitude minimale du champ électrique nécessaire pour détecter une

perturbation, alors la perturbation la plus sévère est obtenue en modulation d'amplitude, et ce d'autant que le taux de modulation est grand. Si nous analysons le nombre total de niveaux hauts erronés (graphes III-21), alors la perturbation la plus sévère est obtenue en régime harmonique pur. Nous insisterons au cours de ce mémoire sur les interprétations différentes des résultats selon le critère de sensibilité électromagnétique retenu.

Les résultats obtenus lorsque le champ électromagnétique perturbateur est modulé en amplitude peuvent s'expliquer à partir des résultats obtenus sans modulation. En effet, le champ électrique harmonique  $E_h(t)$  est donné par l'équation III-2, où  $E$  est l'amplitude du champ (elle varie de 100 V/m à 450 V/m sur nos graphes) et où  $f_R$  est la fréquence radio (65 MHz ici). Le champ électrique modulé en amplitude est donné par l'équation III-3, où  $m$  est le taux de modulation et  $f_A$  la fréquence du signal de modulation.

$$E_h(t) = E \sin(2\pi f_R t) \quad \text{Équation III-2}$$

$$E_m(t) = E [1 + m \sin(2\pi f_A t)] \sin(2\pi f_R t) \quad \text{Équation III-3}$$

Soit  $T_L$  la durée d'un niveau. D'après les équations III-4 et III-5, la variation maximale de  $\sin(2\pi f_A t)$  durant un niveau est majorée par  $2\pi f_A T_L$ . Or dans nos expériences, la fréquence du signal de modulation  $f_A$  est de 20 kHz et la durée des niveaux  $T_L$  est de 500 ns, ce qui donne une majoration de 0,06. En première approximation, nous pouvons considérer que  $\sin(2\pi f_A t)$  est constant durant la durée d'un niveau.

$$\frac{\partial \sin(2\pi f_A t)}{\partial t} = 2\pi f_A \cos(2\pi f_A t) \quad \text{Équation III-4}$$

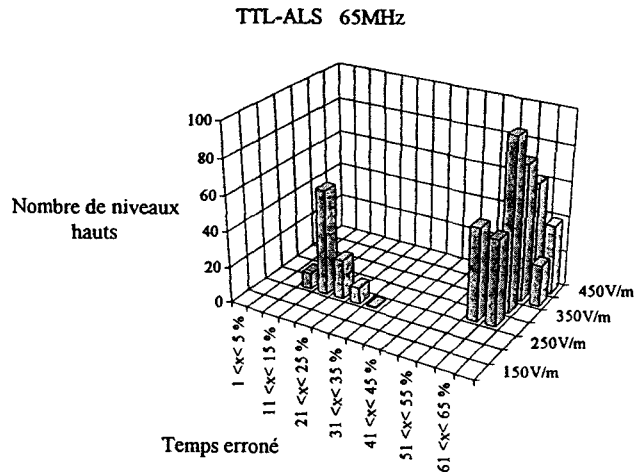
$$\text{MAX} \left[ \frac{\partial \sin(2\pi f_A t)}{\partial t} \right] = 2\pi f_A \quad \text{Équation III-5}$$

Soit  $K$ , la valeur de  $\sin(2\pi f_A t)$  pendant un niveau. Tout se passe comme si ce niveau "voyait" un champ électromagnétique harmonique pur dont le champ électrique est d'amplitude  $E(1+mK)$ . En régime harmonique 100% des niveaux hauts sont perturbés lorsque l'amplitude du champ électrique est supérieure à 250 V/m. Nous pouvons donc supposer que le pourcentage de temps pendant lequel le champ électrique modulé est assimilable à un champ non modulé d'amplitude supérieure à 250 V/m, correspond au pourcentage de niveaux hauts erronés (graphes III-21). Pour trouver ce pourcentage, on part de l'équation III-6 qui est équivalente à l'équation III-7 (l'amplitude du champ  $E$  est exprimée en V/m). Le pourcentage cherché est égal au pourcentage de temps durant lequel la fonction  $\sin(x)$  est supérieure à  $1/m (250/E - 1)$ .

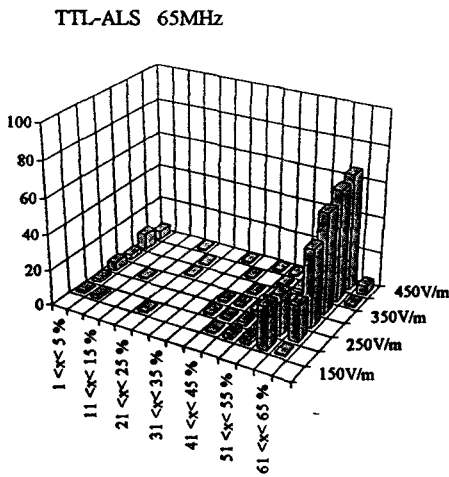
$$E(1+mK) > 250 \quad \text{Équation III-6}$$

$$K > 1/m (250/E - 1) \quad \text{Équation III-7}$$

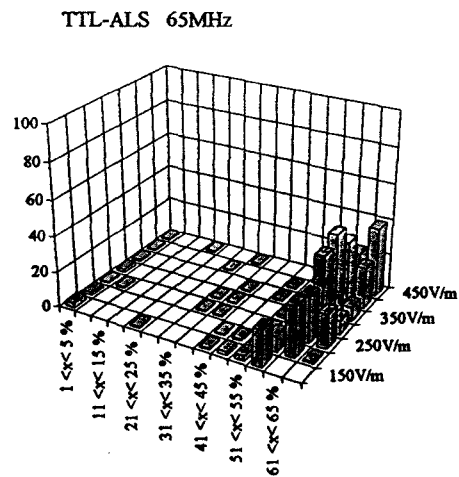
Nous pouvons voir tableau III-2 une bonne concordance entre les deux types de pourcentage<sup>3</sup> pour les deux taux de modulation et en particulier pour un taux de modulation de 100%.



a) Régime harmonique pur.



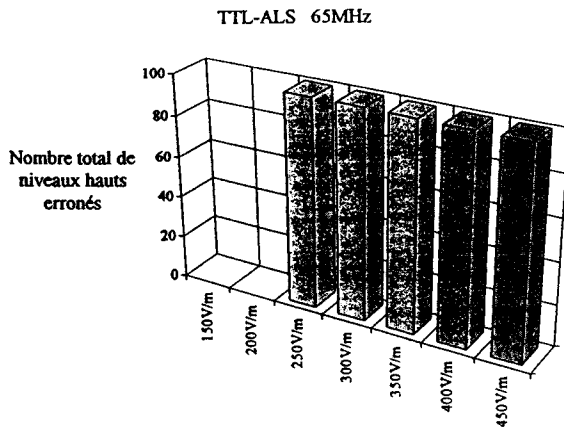
b) Régime modulé :  
Fréquence du signal de modulation = 20 kHz,  
Taux de modulation = 50%.



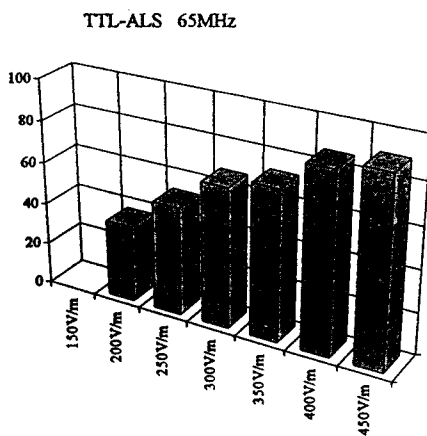
c) Régime modulé :  
Fréquence du signal de modulation = 20 kHz,  
Taux de modulation = 100%.

Graphes III-20 : Comparaison du régime harmonique pur au régime modulé en amplitude.

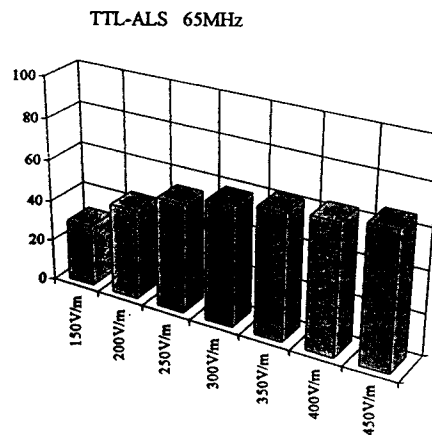
<sup>3</sup> La comparaison des probabilités est possible parce que la fréquence du signal de modulation est un multiple de  $1/T$  où  $T$  est la fenêtre temporelle de l'oscilloscope (cf. paragraphe III.4.1.).



a) Régime harmonique pur.



b) Régime modulé :  
Fréquence du signal de modulation = 20 kHz,  
Taux de modulation = 50%.



c) Régime modulé :  
Fréquence du signal de modulation = 20 kHz,  
Taux de modulation = 100%.

Graphes III-21 : Nombre total de niveaux hauts erronés.

L'amplitude minimale du champ électrique perturbateur pour laquelle l'étude statistique décèle une perturbation en régime harmonique pur est de 250 V/m. Dans le tableau ci-dessous (tableau III-2), on effectue la comparaison entre d'une part, le pourcentage de temps pendant lequel le champ électromagnétique modulé en amplitude est assimilable à un champ électromagnétique harmonique pur dont le champ électrique est d'amplitude supérieure à 250 V/m, et d'autre part, le pourcentage de niveaux hauts erronés.

Lorsque l'indice de modulation est de 1, la différence maximale entre les valeurs de pourcentage est de 10% pour une amplitude de champ de 150 V/m. Lorsque l'indice de modulation est de 0,5, la différence maximale entre les valeurs de pourcentage est de 11% pour une amplitude de champ de 200 V/m. On peut donc admettre que ces résultats sont quasi identiques.

L'amplitude minimale pour laquelle l'étude statistique a révélé une perturbation en régime

non modulé est de 250 V/m. Pour une amplitude de 200 V/m, aucune perturbation n'est décelée. L'amplitude réelle pour laquelle le signal devient perturbé est donc comprise entre 200 V/m et 250 V/m. Ceci explique pourquoi le pourcentage de niveaux hauts erronés est toujours légèrement supérieur au pourcentage de temps durant lequel l'amplitude locale du champ électromagnétique modulé est supérieure à 250 V/m.

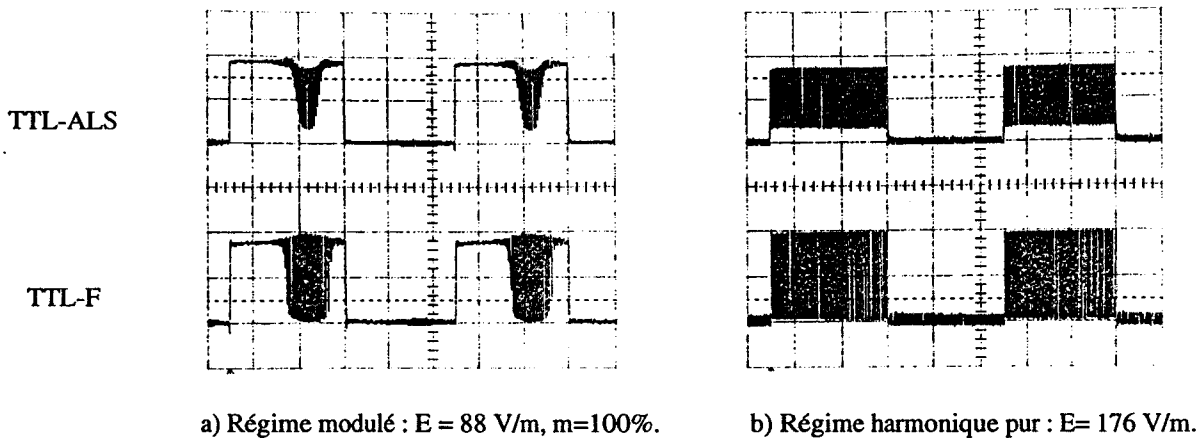
Conformément à l'équation III-7, on pose  $X = 1/m (250/E-1)$ . Soit P, le pourcentage de temps pendant lequel la fonction sinus est supérieure à X. Le pourcentage P représente aussi le pourcentage de temps pendant lequel le champ électromagnétique modulé en amplitude est assimilable à un champ électromagnétique pur dont le champ électrique est d'amplitude supérieure à 250 V/m.

E en V/m		100	150	200	250	300	350	400	450
X		1,5	0,66	0,25	0	-0,16	-0,28	-0,375	-0,444
m= 1	P	0%	27%	42%	50%	55%	59%	62%	65%
	% niv. hauts erronés	0%	30%	44%	53%	58%	61%	63%	66%
X		3	1,33	0,5	0	-0,33	-0,57	-0,75	-0,88
m= 0,5	P	0%	0%	33%	50%	61%	69%	77%	85%
	% niv. hauts erronés	0%	0%	37%	52%	67%	72%	86%	90%

Tableau III-2 : Comparaison du pourcentage de temps P pendant lequel le champ électromagnétique modulé en amplitude est assimilable à un champ électromagnétique pur dont le champ électrique est d'amplitude supérieure à 250 V/m, au pourcentage de niveaux hauts erronés.

Nous avons montré que pendant un niveau, l'amplitude du champ électromagnétique peut être considéré comme constant. Lorsque le signal de modulation varie très lentement par rapport au signal radio, le champ modulé en amplitude peut être localement (durant une très courte durée) assimilé à un champ harmonique pur.

Les graphes III-22 confirment cette assertion. Le comportement des technologies TTL-F et TTL-ALS, lorsque le signal modulé en amplitude est maximal correspond bien au comportement observé en régime harmonique pur pour cette amplitude (la durée des niveaux est ici de 50  $\mu$ s).



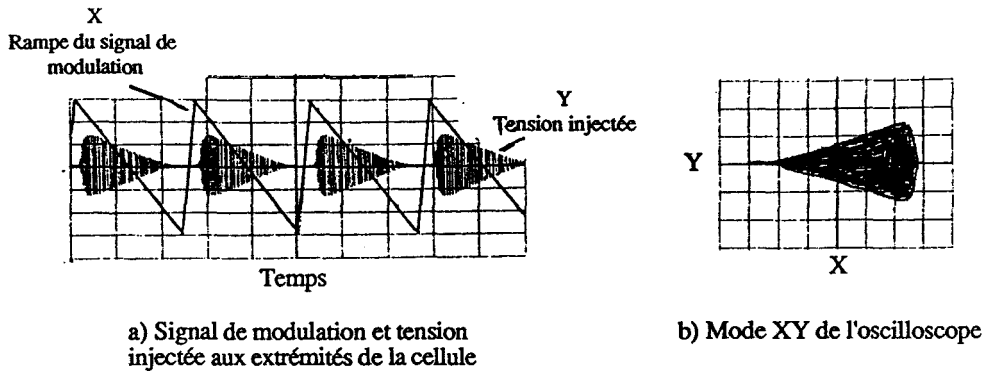
Graphes III-22 : Comparaison du régime modulé au régime harmonique pur  
( $F=65\text{MHz}$ ,  $T/\text{Div} : 20 \mu\text{s}$ ).

#### III.4.4. Méthode de mesure utilisée pour visualiser les extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électrique perturbateur.

Nous avons vérifié dans le paragraphe précédent la propriété suivante : lorsque le signal de modulation varie très lentement par rapport au signal radio fréquence, le champ électromagnétique peut être localement assimilé à un champ électromagnétique harmonique. Ce résultat a été obtenu avec un signal de modulation en régime harmonique pur très basse fréquence (20 kHz). Si nous modulons désormais le signal haute fréquence avec un signal de modulation basse fréquence en forme de rampe, nous obtenons un signal modulé équivalent à un signal haute fréquence dont l'amplitude varie linéairement avec le temps (graphe III-23a). En illuminant le dispositif sous test par ce champ électromagnétique, nous observons le comportement du dispositif sous test pour une grande gamme d'amplitudes de champ électromagnétique. Afin de visualiser sur un seul graphe le comportement du dispositif sous test en fonction de l'amplitude du champ électromagnétique, nous utilisons l'option XY de l'oscilloscope : le signal de sortie est mesuré sur la voie Y et le signal de modulation qui représente l'amplitude du champ électrique est mesuré sur la voie X. Comme le montre la figure III-11, les graphes obtenus par cette méthode de mesure visualisent les extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électrique. Ce type de représentation ne nous donne cependant pas d'information sur la façon dont varie le signal perturbé entre les deux extremums observés. Le graphe III-23b est obtenu en injectant la rampe du signal de modulation sur la voie X et la tension perturbatrice sur la voie Y.

L'intérêt de cette méthode de mesure est de visualiser sur un seul graphe le comportement du dispositif sous test pour des amplitudes de champ électromagnétique variant de 0 V/m à une valeur approximative de 900 V/m (cf. Annexe A-III-5). De plus les informations apportées par cette méthode complètent celles obtenues par l'approche statistique.





Graphes III-23 : Signal modulé en amplitude utilisé pour visualiser les défauts.

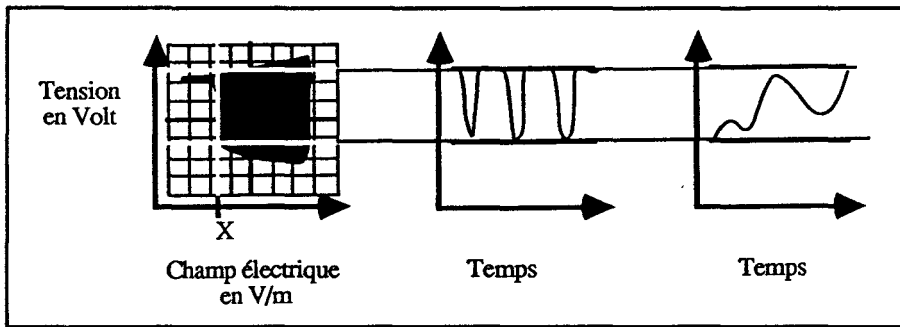
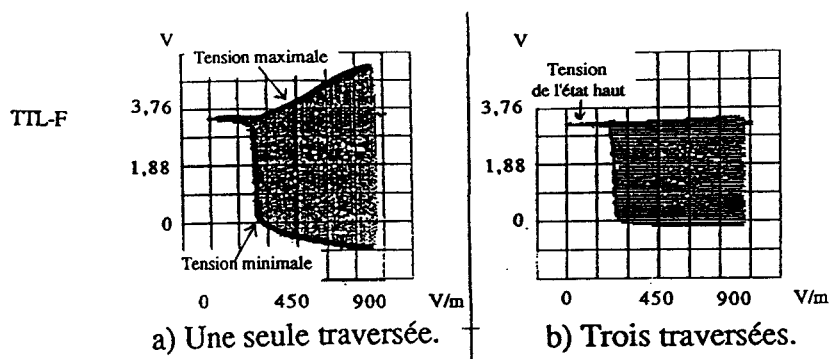


Figure III-11 : Extremums de tension entre lesquels un niveau normalement à l'état haut varie selon l'amplitude du champ électrique.

### III.4.5. Mise en évidence d'une perturbation des signaux d'alimentation par la nouvelle méthode de mesure. Amélioration des cartes imprimées.

Lors de nos expériences, toutes les précautions sont prises pour éviter la perturbation des signaux d'alimentation. La tension d'alimentation de 9 V fournie par la pile est ramenée sur les éléments sous test au moyen de fils tressés collés au plan de masse. Le régulateur de tension est placé le plus près possible du composant à alimenter. Des capacités de découplage sont utilisées.

Cependant, les résultats obtenus par la méthode de mesure présentée ci-dessus, semblent montrer que l'alimentation des composants de technologie TTL, est perturbée pour des amplitudes élevées du champ électromagnétique perturbateur. En effet, la tension maximale des niveaux normalement à l'état haut (graphes III-24a), évolue d'une façon similaire à l'amplitude de la perturbation (graphe III-23b). En ajoutant sur les cartes imprimées des traversées afin de relier directement la piste de référence côté composants au plan de masse par un chemin basse impédance, cette tension maximale correspond à la tension de l'état haut (graphes III-24b).



Graphes III-24 : Impact du nombre de traversées sur les perturbations.  
Niveau haut en entrée; Fréquence du perturbateur : 65 MHz.

De nouvelles cartes imprimées où les pistes de référence côté composants sont directement connectées au plan de masse ont été réalisées. Elles constituent désormais notre standard de réalisation pour la suite de l'étude.

Les résultats présentés au sous chapitre III-3 sont obtenus à partir des nouvelles cartes imprimées. Les résultats présentés aux sous chapitre III-4 et ci dessus sont obtenus à partir des anciennes cartes imprimées. Tous les résultats présentés dans la suite de ce chapitre sont désormais obtenus à partir des nouvelles cartes imprimées. Les typons des différentes cartes imprimées utilisées lors de nos expériences apparaissent en annexe (figures A-III-4, A-III-5, A-III-7, A-III-8 et A-III-10).

### III.5. ÉTUDE COMPARATIVE DES TECHNOLOGIES TTL ET CMOS VIS À VIS DES PERTURBATIONS EN RÉGIME HARMONIQUE PUR.

#### Introduction.

Pour comparer la sensibilité des technologies vis à vis d'une perturbation électromagnétique, nous utilisons l'outil statistique et les graphes visualisant les extremums de tension entre lesquels le niveau perturbé varie selon l'amplitude du champ électrique. En ce qui concerne les résultats statistiques, les enregistrements sont effectués pour des fréquences de perturbateur variant de 15 MHz à 95 MHz par pas de 10 MHz et des amplitudes variant de 100 V/m à 450 V/m par pas de 50 V/m. En ce qui concerne les graphes visualisant les extremums de tension, les enregistrements sont effectués pour des fréquences variant de 15 MHz à 195 MHz par pas de 10 MHz. L'amplitude varie d'une manière linéaire de 0 V/m à une valeur approximative de 900 V/m (introduction du paragraphe A.III.5. de l'annexe). Nous avons vérifié que l'outil statistique et les graphes donnent des résultats cohérents. Afin de ne pas surcharger le corps du document, les résultats statistiques sont donnés en annexe.

### III.5.1. Perturbation des niveaux hauts et bas pour la technologie CMOS.

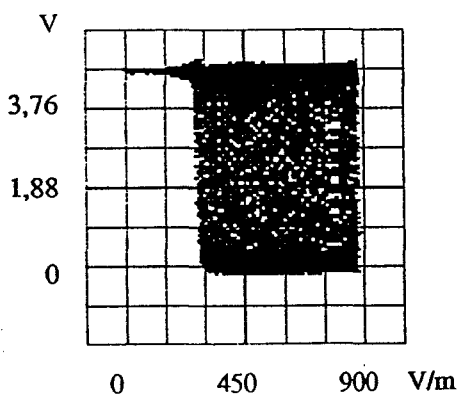
#### III.5.1.1. La technologie CMOS-HC

##### a) Résultats statistiques.

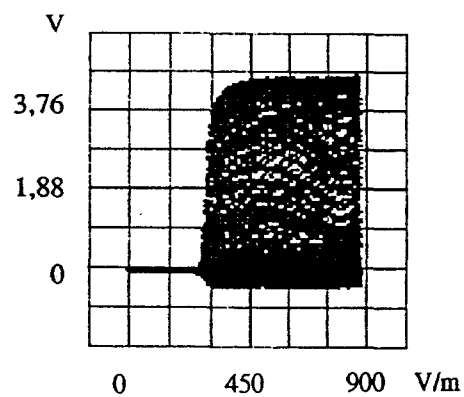
La famille HC est perturbée sur niveaux bas et hauts à partir de la fréquence de 55 MHz. En regardant les résultats statistiques selon la fréquence pour une amplitude de perturbateur de 450 V/m, on constate que pour les fréquences de 65 MHz et 75 MHz (graphe A-III-1 à A-III-4), les défauts sur niveaux bas et hauts sont tous détectés par l'outil statistique et les résultats sont quasi-identiques. Pour les fréquences de 55 MHz, 85 MHz et 95 MHz la dispersion des résultats concernant le nombre de défauts sur niveaux bas révèle un problème d'échantillonnage : les défauts de faible amplitude ne sont pas tous détectés. Quelle que soit la fréquence du perturbateur les défauts sont de très courte durée, à savoir principalement de 2,5 ns et éventuellement 5 ns. La durée des séparations entre deux défauts consécutifs diminue avec la fréquence du perturbateur puisque la fréquence d'apparition de ces défauts est égale à celle de la fréquence du perturbateur. Le nombre de défauts par niveau augmente avec la fréquence, ainsi que le pourcentage de temps erroné (cf. sous chapitre III.3.2.1).

##### b) Graphes visualisant les extremums de tension entre lesquels le niveau perturbé varie selon l'amplitude du champ électrique.

Lorsque l'amplitude varie entre 0 et 900 V/m, la technologie CMOS-HC est perturbée pour des fréquences allant de 25 MHz à 195 MHz. Les graphes visualisant les extremums de tension entre lesquels les niveaux normalement à l'état bas varient, et les graphes visualisant les extremums de tension entre lesquels les niveaux normalement à l'état haut varient, sont symétriques (graphes III-25).



a) Niveau haut en entrée.



b) Niveau bas en entrée.

Graphes III-25 : Extremums de tension entre lesquels les niveaux perturbés varient.  
Technologie CMOS-HC, Fréquence du perturbateur 95 MHz.

### III.5.1.2. La technologie CMOS-HCU

#### *a) Résultats statistiques.*

La technologie CMOS-HCU est perturbée sur niveau bas à partir d'une fréquence de 35 MHz et sur niveau haut à partir d'une fréquence de 55 MHz. Tous les défauts sont de très courte durée, à savoir principalement 2,5 ns et aussi 5 ns pour la fréquence de 45 MHz (graphes A-III-7). Hormis à la fréquence de 45 MHz, la dispersion des résultats concernant le nombre de défauts par niveau révèle que les défauts sont de faible amplitude et qu'ils ne sont pas tous détectés par l'outil statistique (graphes A-III-6). Les résultats donnant le pourcentage de temps erroné des niveaux sont donc minimisés (graphes A-III-5). Ils ne sont pas complètement rigoureux si l'on considère la façon dont nous avons défini un défaut. Malgré cela, d'après la remarque faite au paragraphe A.III.3.3., la comparaison des résultats obtenus pour les familles HC et HCU de la technologie CMOS, montre que la probabilité d'apparition de défaillances sur des circuits situés en aval de notre dispositif sous test, est moins importante lorsque les composants sont de la famille HCU, plutôt que de la famille HC.

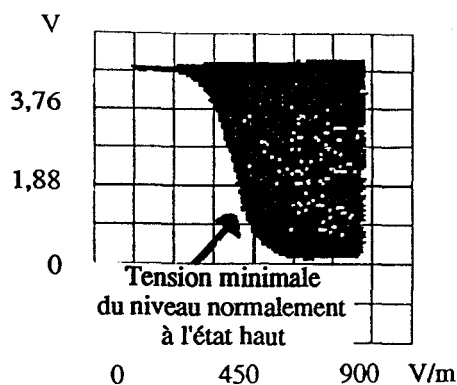
#### *b) Graphes visualisant les extremums de tension entre lesquels le niveau perturbé varie selon l'amplitude du champ électrique.*

Pour la famille HCU, les graphes visualisant les extremums de tension entre lesquels les niveaux normalement à l'état haut varient, et les graphes visualisant les extremums de tension entre lesquels les niveaux normalement à l'état bas varient, ne sont pas symétriques (graphes III-26).

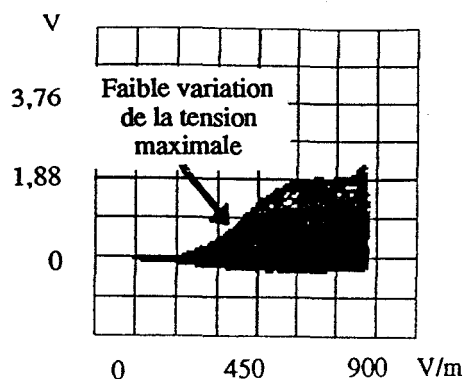
Une perturbation est observée sur niveaux hauts pour des fréquences variant de 25 MHz à 195 MHz. Cependant, à partir d'une fréquence de 175 MHz, la tension minimale des niveaux normalement à l'état haut augmente fortement. Pour des fréquences élevées, les niveaux hauts sont donc moins perturbés (planche A-III-17).

Une perturbation est observée sur niveaux bas pour des fréquences variant de 25 MHz à environ 135 MHz. A partir de la fréquence de 95 MHz, la tension maximale des niveaux normalement à l'état bas diminue progressivement.

La faible variation de la tension maximale (minimale) des niveaux bas (hauts) perturbés selon l'amplitude du champ électromagnétique est à l'origine des problèmes d'échantillonnage observés lors de l'étude statistique. Cette faible variation est due au faible gain de la famille HCU.



a) Niveau haut en entrée.



b) Niveau bas en entrée.

Graphes III-26 : Extremums de tension entre lesquels les niveaux perturbés varient. Technologie CMOS-HCU, Fréquence du perturbateur 95 MHz.

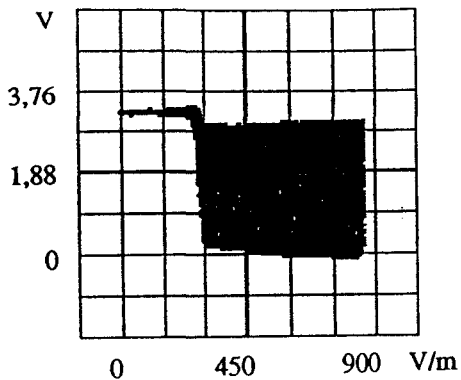
### III.5.2. Comparaison des familles LS et ALS de la technologie TTL.

#### a) Résultats statistiques.

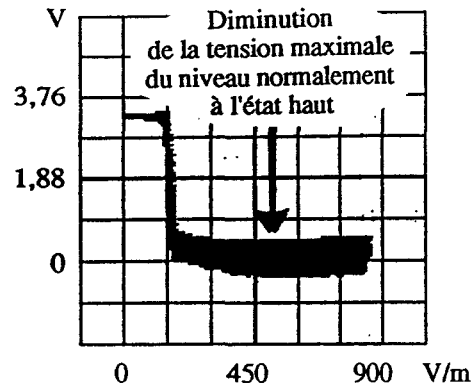
Quelles que soient la fréquence et l'amplitude, les résultats statistiques n'ont révélé aucune erreur statique sur niveaux bas. En ce qui concerne les niveaux hauts, la technologie TTL-ALS commence à être perturbée pour une fréquence de 35 MHz et la technologie TTL-LS pour une fréquence de 45 MHz. Pour une amplitude de 450 V/m du champ électrique, les niveaux hauts observés en sortie des technologies TTL-LS et TTL-ALS sont perturbés à 100% à partir respectivement d'une fréquence de 85 MHz et de 95 MHz (graphes A-III-10). Ce résultat statistique correspond à une diminution importante de la tension maximale du niveau normalement à l'état haut (cf. sous paragraphe III.3.2.2.). Cette diminution de tension se retrouve sur les graphes donnant la répartition des échantillons selon la tension (cf. graphes A-III-15).

#### b) Graphes visualisant les extremums de tension entre lesquels le niveau perturbé varie selon l'amplitude du champ électrique.

Les graphes donnant les extremums de tension montrent que les niveaux hauts sont perturbés pour des fréquences variant de 15 MHz à 195 MHz lorsque l'amplitude du champ électrique varie entre 0 et 900 V/m. La diminution de la tension maximale du niveau normalement à l'état haut apparaît à la fréquence de 45 MHz pour la technologie TTL-LS et à la fréquence de 55 MHz pour la technologie TTL-ALS. Cette diminution de tension s'accroît lorsque la fréquence du perturbateur augmente (graphes III-27). En ce qui concerne les niveaux bas, les résultats statistiques et les graphes montrent qu'ils ne sont pas perturbés jusqu'à une fréquence de 95 MHz. Cependant à partir de 105 MHz, une très faible perturbation des niveaux bas est observée. On peut penser que cette perturbation n'aura aucun impact sur un circuit situé en aval.



a)  $F = 55 \text{ MHz}$ .



b)  $F = 195 \text{ MHz}$ .

Graphes III-27 : Extremums de tension entre lesquels les niveaux perturbés varient.  
Technologie TTL-ALS, Niveau haut en entrée.

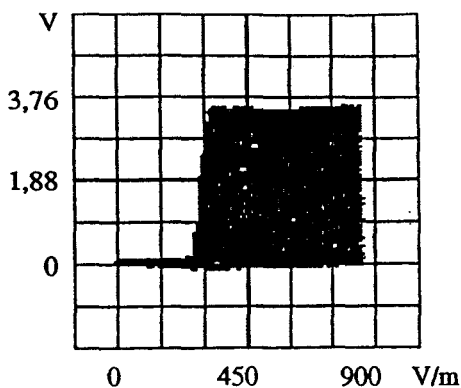
### III.5.3. Comparaison des familles F et AS de la technologie TTL.

#### a) Résultats statistiques.

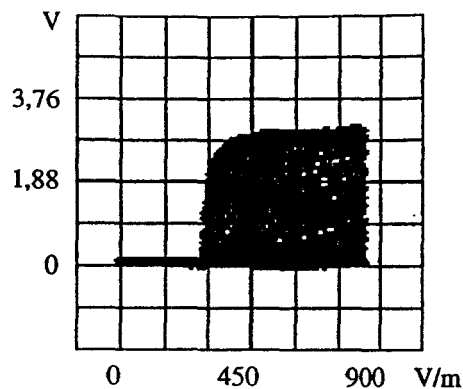
Quelles que soient la fréquence et l'amplitude, les résultats statistiques n'ont révélé aucune erreur sur les niveaux bas. En ce qui concerne les niveaux hauts, la technologie TTL-AS commence à être perturbée pour une fréquence de 25 MHz et la technologie TTL-F pour une fréquence de 35 MHz. Aucune diminution de la tension maximale des niveaux hauts n'est révélée par l'étude et le pourcentage de temps pendant lequel les niveaux sont perturbés (graphes A-III-16) plafonne donc à une valeur qui dépend de la fréquence et de la durée des défauts (graphes A-III-18). Les défauts étant tous détectés par l'outil statistique, les résultats donnant leur nombre par niveau (graphes A-III-17) sont identiques au nombre théorique de défauts (tableau III-1). Les graphes donnant la répartition des échantillons selon la tension (graphes A-III-20) montrent bien que la tension maximale du niveau normalement à l'état haut ne décroît pas.

#### b) Graphes visualisant les extremums de tension entre lesquels le niveau perturbé varie selon l'amplitude du champ électrique.

Ces graphes montrent une diminution de la tension maximale du niveau normalement à l'état haut lorsque la fréquence du champ électromagnétique est supérieure à 145 MHz pour la technologie TTL-F et à 175 MHz pour la technologie TTL-AS. Les niveaux bas sont perturbés pour des fréquences variant entre 45 et 195 MHz pour la technologie TTL-F et entre 35 et 195 MHz pour la technologie TTL-AS (graphes III-28).



a) Technologie TTL-AS.



b) Technologie TTL-F.

Graphes III-28 : Extremums de tension entre lesquels les niveaux perturbés varient.  
Niveau bas en entrée,  $F = 115$  MHz.

### III.5.4. Processus de perturbation des familles ALS, LS, F et AS de la technologie TTL.

La similitude de comportement des technologies TTL-LS et TTL-ALS d'une part et des technologies TTL-F et TTL-AS d'autre part se retrouve sur les graphes présentés dans [KLINGLER 1, pp. 86-87] (graphes III-29). Les fonctions d'entrée sortie des portes sont visualisées lorsqu'un signal perturbateur à la fréquence de 300 MHz est injecté en entrée des portes.

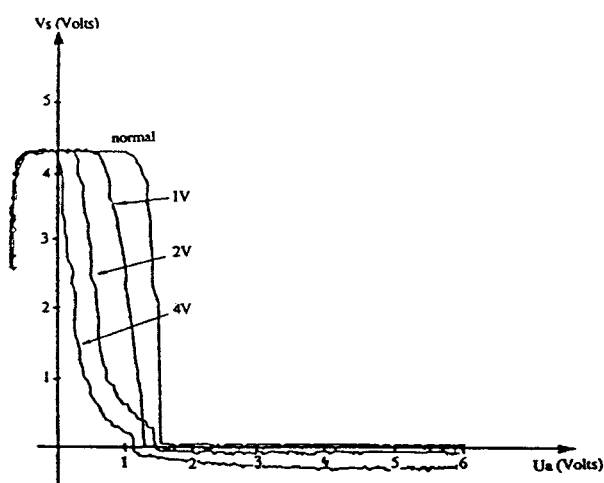
On constate un décalage vers une tension plus élevée de la tension de l'état bas pour les technologies TTL-F et TTL-AS contrairement aux résultats enregistrés sur les technologies TTL-LS et TTL-ALS. Cette augmentation de la tension de l'état bas correspond à la perturbation des niveaux bas observées pour les technologies TTL-F et TTL-AS.

La diminution de la tension maximale du niveau normalement à l'état haut observée précédemment s'explique par une baisse de la tension de commutation. Cette diminution de la tension maximale des niveaux hauts perturbés ou cette baisse de la tension de commutation des composants est en relation directe avec les paramètres : fréquence du perturbateur et fréquence maximale de travail des composants. Les constructeurs fournissent une information concernant le temps de propagation des composants. On peut en déduire la fréquence maximale des signaux d'entrée susceptibles d'être traités par les composants logiques. En ce qui concerne une porte inverseuse, les fréquences maximales de travail des composants de technologie TTL-LS, TTL-ALS, TTL-F et TTL-AS sont respectivement de 33 MHz, 45 MHz, 83 MHz et 100 MHz. Lorsqu'un signal perturbateur haute fréquence est superposé aux signaux logiques habituels, son impact va dépendre de sa fréquence mais également de la relation fréquence du perturbateur/fréquence maximale d'utilisation du composant logique. En première approche, on peut considérer qu'au delà de sa fréquence maximale de travail, le composant joue le rôle d'un filtre passe-bas. L'action de ce

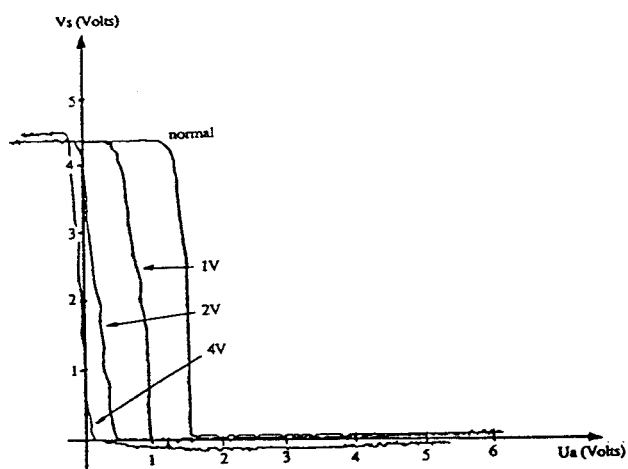
filtre passe bas associée à la présence de non linéarités génère l'apparition d'une tension de polarisation supplémentaire, issue de la détection-filtrage du signal perturbateur. Cette tension de polarisation supplémentaire se superpose à la tension de polarisation nominale et décale ainsi les niveaux de fonctionnement nominaux des composants et notamment le seuil de commutation.

Nous établissons au chapitre IV que la non perturbation des technologies TTL-LS et TTL-ALS sur les niveaux bas en sortie du dispositif sous test, est due aussi à la détection-filtrage des signaux dont la fréquence est bien supérieure à la fréquence maximale de ces technologies. La tension de polarisation supplémentaire détectée par la porte confirme l'état logique bas en sortie et "protège" ainsi les signaux.

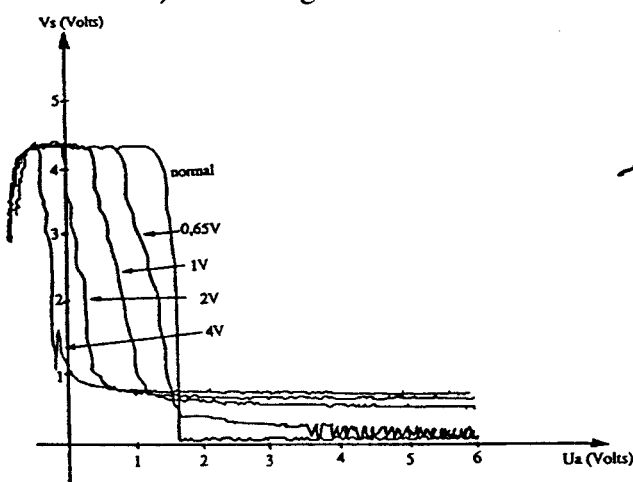
Les similitudes de comportement entre les technologies TTL-LS et TTL-ALS d'une part et les technologies TTL-F et TTL-AS d'autre part sont liées aux fréquences maximales de travail qui sont voisines.



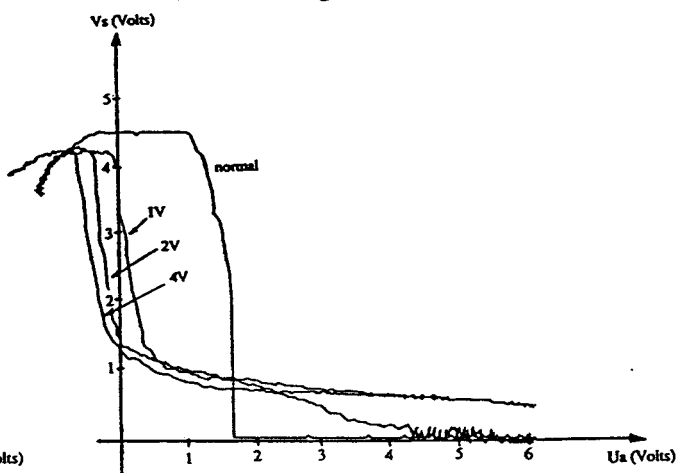
a) Technologie TTL-LS.



b) Technologie TTL-ALS.



c) Technologie TTL-F.



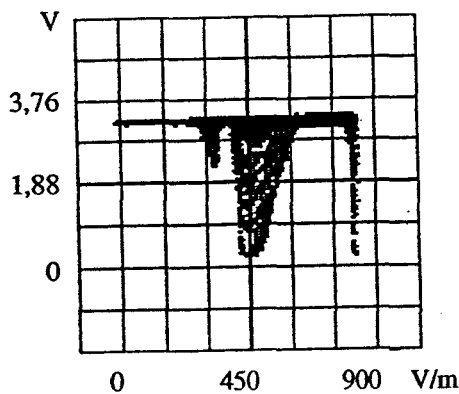
d) Technologie TTL-AS.

Graphes III-29 : Fonction d'entrée-sortie pour une fréquence perturbatrice de 300 MHz.  
(source : [KLINGLER 1, chapitre III])

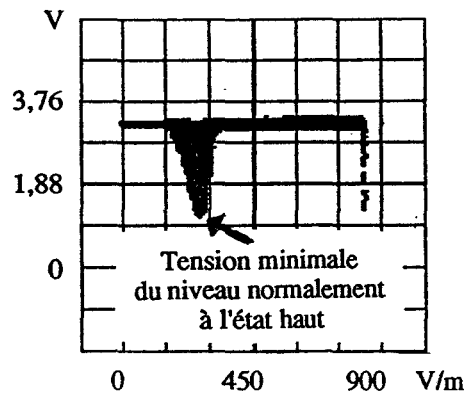


### III.5.5. Comportement particulier de la technologie TTL-S.

La technologie TTL-S présente un comportement particulier. En effet cette technologie n'est perturbée sur niveaux hauts que pour des couples fréquence/amplitude du champ électromagnétique bien déterminés (graphes III-30 et III-31). Des perturbations sont observées pour des fréquences variant entre 15 MHz et 95 MHz. Mais à partir d'une fréquence de 65 MHz, la tension minimale des niveaux normalement à l'état haut augmente progressivement et on peut considérer que les niveaux hauts ne sont pas perturbés pour les fréquences de 85 MHz et 95 MHz. En ce qui concerne les niveaux bas, une faible perturbation est observée uniquement à la fréquence de 125 MHz. On peut penser que cette perturbation n'aura aucun impact sur un circuit situé en aval.

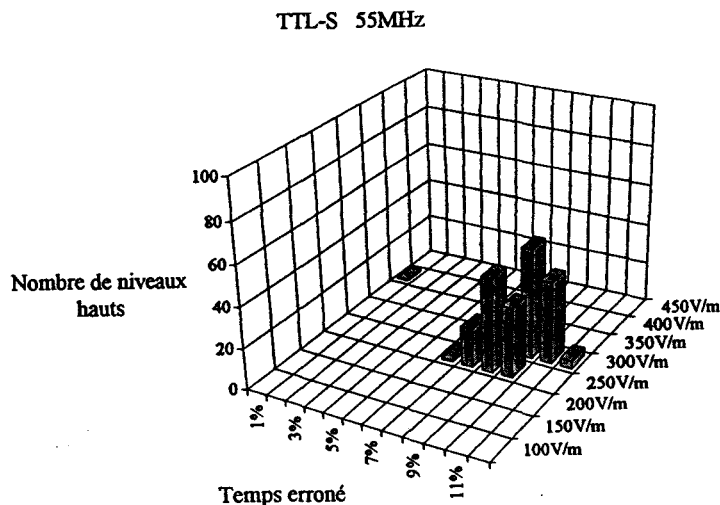


a) F = 25 MHz.



b) F = 55 MHz.

Graphes III-30 : Extremums de tension entre lesquels les niveaux perturbés varient. Niveau haut, Technologie TTL-S.



Graphe III-31 : Pourcentage de temps durant lequel les niveaux hauts sont perturbés.

### III.5.6. Synthèse des résultats obtenus.

Il est difficile de déterminer dans l'absolu un ordre de croissance de sensibilité électromagnétique des technologies. Selon le critère de comparaison que l'on choisi -fréquence ou amplitude du champ minimale nécessaire à la perturbation, pourcentage de temps pendant lequel les niveaux sont perturbés, etc.- cet ordre peut changer.

En se référant aux résultats statistiques, si l'on prend comme critère de comparaison la fréquence minimale nécessaire pour perturber le dispositif sous test, l'amplitude minimale servant à différencier les technologies perturbées à partir d'une même fréquence, alors l'ordre décroissant de sensibilité est : TTL-AS, TTL-F, TTL-ALS, TTL-LS, CMOS-HCU et CMOS-HC.

Si l'on prend comme critère de comparaison l'amplitude minimale nécessaire pour perturber le dispositif sous test alors l'ordre décroissant de sensibilité est : TTL-AS, TTL-F, TTL-ALS, TTL-LS, CMOS-HC et CMOS-HCU.

Si l'on prend comme critère de comparaison le pourcentage de temps pendant lequel les niveaux sont perturbés, alors l'ordre décroissant de sensibilité est : TTL-LS, TTL-ALS, TTL-F, TTL-AS, CMOS-HC et CMOS-HCU. Nous rappelons que ce pourcentage de temps erroné représente une probabilité pour que les défauts observés provoquent une défaillance sur une carte électronique.

Une synthèse des résultats obtenus à l'aide des graphes visualisant les extremums de tension entre lesquels les niveaux perturbés varient est présentée figure III-12. La technologie TTL-S que nous n'avons pas classée précédemment compte tenu de son comportement très particulier s'est révélée comme étant la moins sensible.

Si l'on fait abstraction de la famille S de la technologie TTL, le dispositif sous test étudié est moins sensible lorsque les composants logiques implantés sont de technologie CMOS.

Notons que la sensibilité en fonction de la fréquence est peut être liée à la mise en œuvre de mécanismes de résonance qui dépendent de la dimension de la ligne. Dans ces conditions les fréquences de perturbations ne sont pas des paramètres intrinsèques des composants logiques. Ces fréquences de perturbation sont par contre des paramètres intrinsèques au dispositif sous test constitué par l'ensemble composants logiques et ligne de transmission. Nous reverrons cet aspect au chapitre IV.

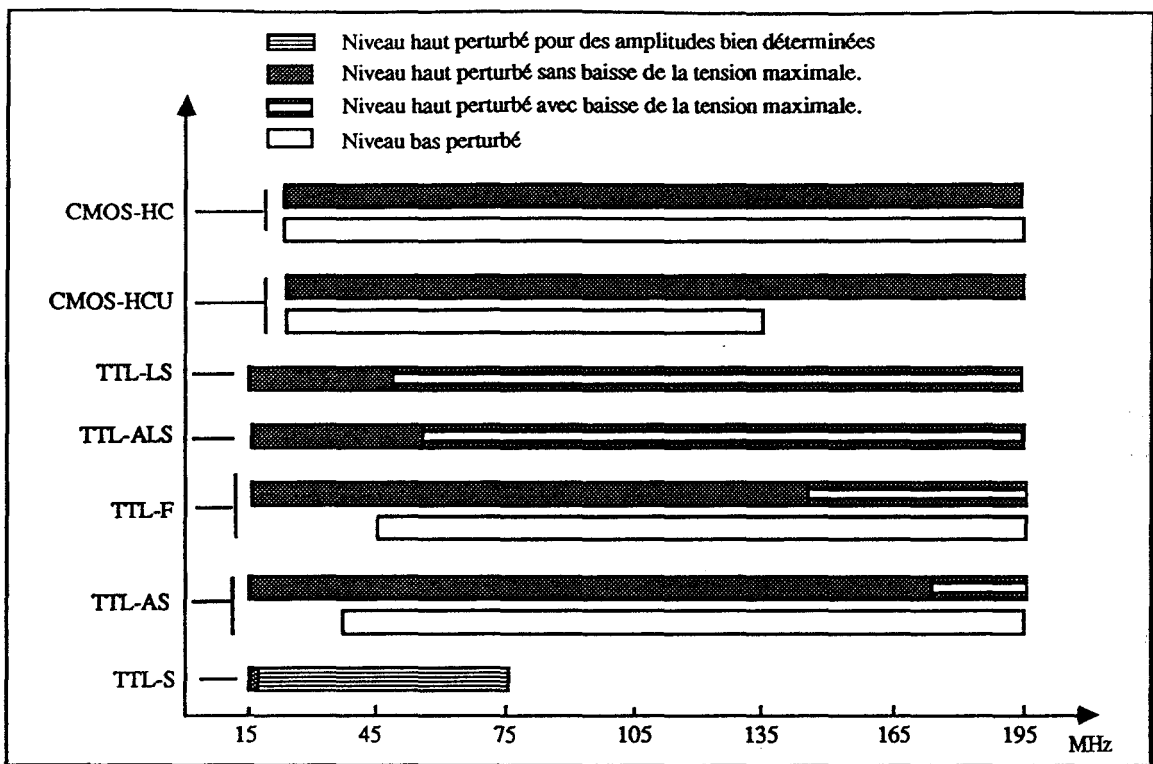


Figure III-12 : Fréquences pour lesquelles des perturbations ont été observées sur les graphes visualisant l'excursion des défauts.

### III.6. ASSOCIATION EN CASCADE DE DIFFÉRENTES TECHNOLOGIES.

#### Introduction.

Dans ce sous chapitre, nous étudions la perturbation du dispositif sous test lorsque des composants de différentes technologies sont utilisés pour la porte inverseuse d'entrée et la porte inverseuse de sortie. L'objectif de cette étude est d'une part d'isoler le composant -d'entrée ou de sortie- qui intervient d'une manière prépondérante dans les phénomènes observés précédemment, et d'autre part de tenter d'obtenir une association particulière de technologies permettant de réduire notablement la sensibilité du dispositif sous test. Pour ce faire, nous utilisons la méthode de mesure qui permet de visualiser les extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électrique. Un grand nombre d'informations est en effet obtenu sur un seul graphe. Il convient cependant de rester prudent quant à l'interprétation de ces graphes en ce qui concerne le second objectif (introduction du paragraphe A.III.4. de l'annexe).

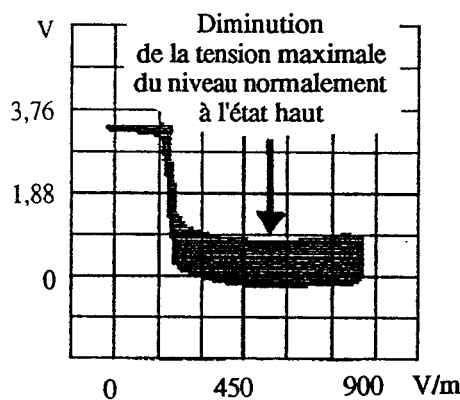
La fréquence du perturbateur varie dans cette étude de 15 MHz à 195 MHz par pas de 10 MHz. L'amplitude varie d'une manière linéaire entre 0 V/m et une valeur approximative de

900 V/m. On associe d'une part les familles LS, ALS, AS, F et S de la technologie TTL (25 associations possibles) et d'autre part les familles HC et HCU de la technologie CMOS (4 associations possibles). Afin de ne pas surcharger le corps du document, les planches mentionnées ci-dessous sont disponibles en annexe.

### III.6.1. Diminution de la tension maximale du niveau normalement à l'état haut lorsque les composants de sortie sont de technologies TTL-LS, TTL-ALS, TTL-AS et TTL-F.

Lorsque la technologie du composant de sortie est fixée (TTL-LS, TTL-ALS, TTL-AS ou TTL-F), quelle que soit la technologie du composant d'entrée (TTL-LS, TTL-ALS, TTL-AS, TTL-F ou TTL-S), la diminution de la tension maximale du niveau normalement à l'état haut (graphe III-32) apparaît toujours à la même fréquence du perturbateur. Le tableau A-III-3 donne les fréquences pour lesquelles cette diminution apparaît selon la technologie du composant de sortie.

Ces résultats confirment que l'action filtre passe bas de l'inverseur de sortie, associée à la présence de non linéarité est à l'origine de la diminution de tension observée (paragraphe III.6.4.).



Graph III-32 : Diminution de la tension maximale du niveau normalement à l'état haut.





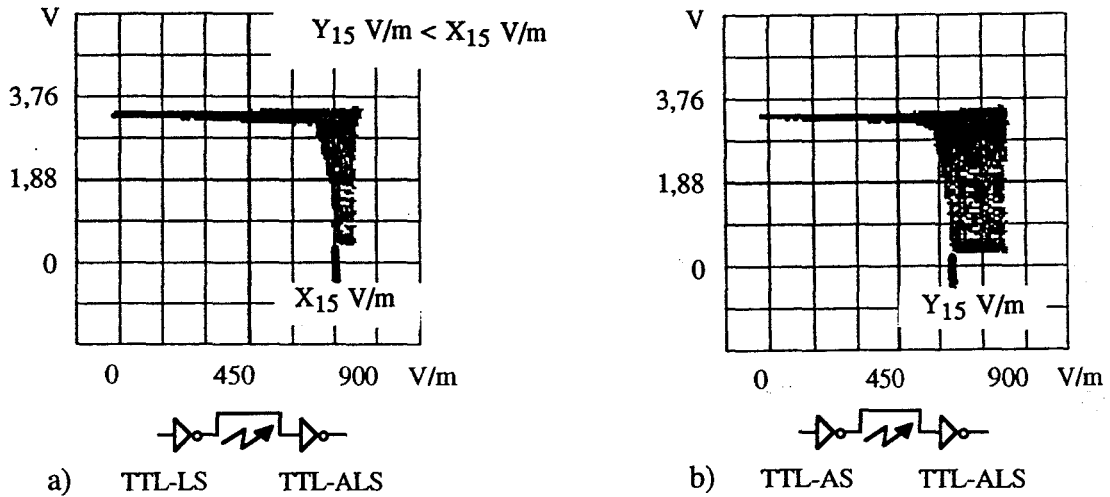
Technologie du composant de sortie	 TTL-LS	 TTL-ALS	 TTL-F	 TTL-AS
Fréquence pour laquelle les niveaux hauts commencent à décroître	45-55 MHz	55 MHz	145 MHz	185 MHz

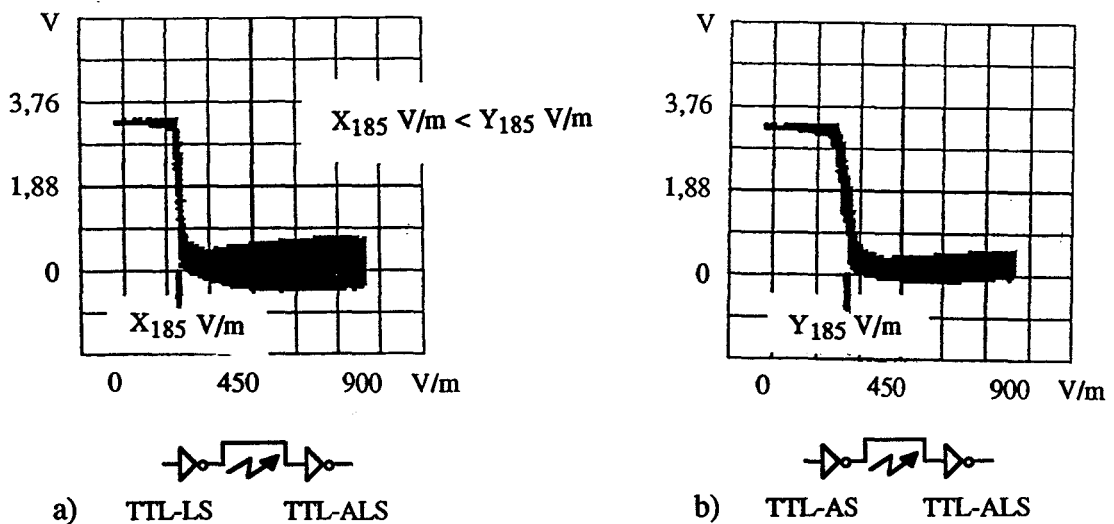
Tableau III-3 : Fréquence pour laquelle la diminution de la tension maximale du niveau normalement à l'état haut commence à apparaître selon la technologie du composant de sortie.

Les résultats obtenus et présentés en annexe montrent que lorsque l'amplitude du champ électrique est identique (graphes C3 de l'annexe), la sensibilité des dispositifs sous test peut

s'inverser en fonction de la fréquence. A titre d'exemple, aux fréquences de 15 MHz et 55 MHz, l'association de composants TTL-AS TTL-ALS est perturbée pour une amplitude de champ électrique inférieure à l'association de composants TTL-LS TTL-ALS (graphe III-33). Par contre à la fréquence de 185 MHz, c'est l'association de composants TTL-LS TTL-ALS qui est perturbée pour une amplitude de champ inférieure à l'association de composants TTL-AS TTL-ALS (graphe III-34).



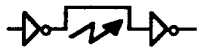
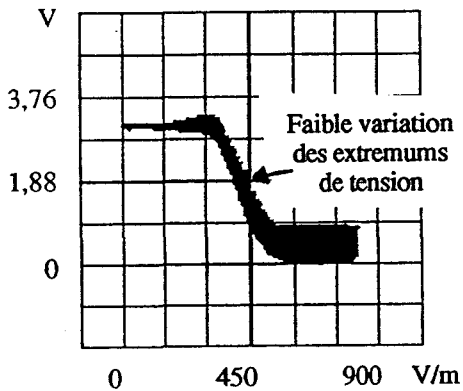
Graphes III-33 : Extremums de tension entre lesquels les niveaux perturbés varient. Niveau haut, F = 15 MHz.



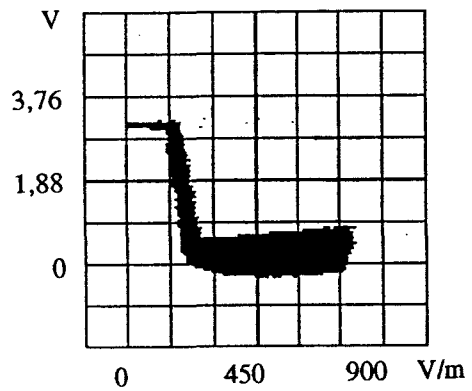
Graphes III-34 : Extremums de tension entre lesquels les niveaux perturbés varient. Niveau haut, F = 185 MHz.

Lorsque le niveau de l'entrée est à l'état haut, le comportement du dispositif sous test soumis à une perturbation dépend principalement de la technologie du composant de sortie. Cependant, la technologie du composant d'entrée intervient aussi dans le processus de couplage. Cette dernière modifie la sensibilité du dispositif sous test si l'on prend comme critère de comparaison l'amplitude minimale à partir de laquelle une perturbation apparaît.

On remarque sur la planche A-III-3 que pour une fréquence de 185 MHz, lorsque le composant de sortie est de technologie TTL-LS, la variation des extremums de tension selon l'amplitude du champ électrique est faible pour des composants d'entrée de technologie TTL-AS, TTL-F et TTL-S (graphe III-35a) comparativement à des composants d'entrée de technologie TTL-LS et TTL-ALS (graphe III-35b).



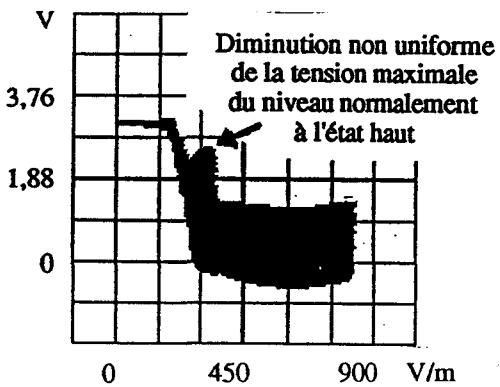
a) TTL-AS TTL-LS



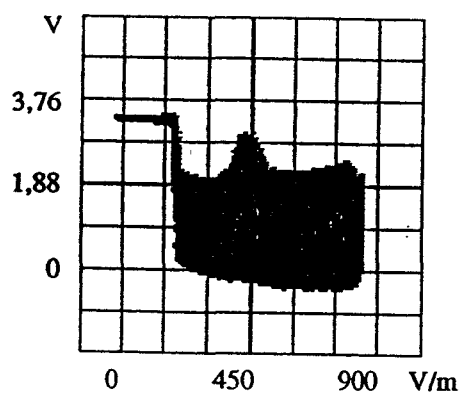
b) TTL-ALS TTL-LS

Graphes III-35 : Extremums de tension entre lesquels les niveaux perturbés varient. Niveau haut, F = 185 MHz.

On remarque aussi sur la planche A-III-7 un comportement particulier pour une association de composants TTL-AS TTL-LS et des fréquences du perturbateur variant entre 105 MHz et 175 MHz, ainsi que pour une association de composants TTL-AS TTL-ALS et des fréquences variant entre 95 MHz et 135 MHz. La diminution de la tension maximale du niveau normalement à l'état haut n'est pas uniforme selon l'amplitude du champ électrique (graphe III-36). La synthèse des résultats obtenus dans ce paragraphe est donnée figure III-13.



a) TTL-AS TTL-LS 105MHz



a) TTL-AS TTL-ALS 95MHz

Graphes III-36 : Extremums de tension entre lesquels les niveaux perturbés varient. Niveau haut

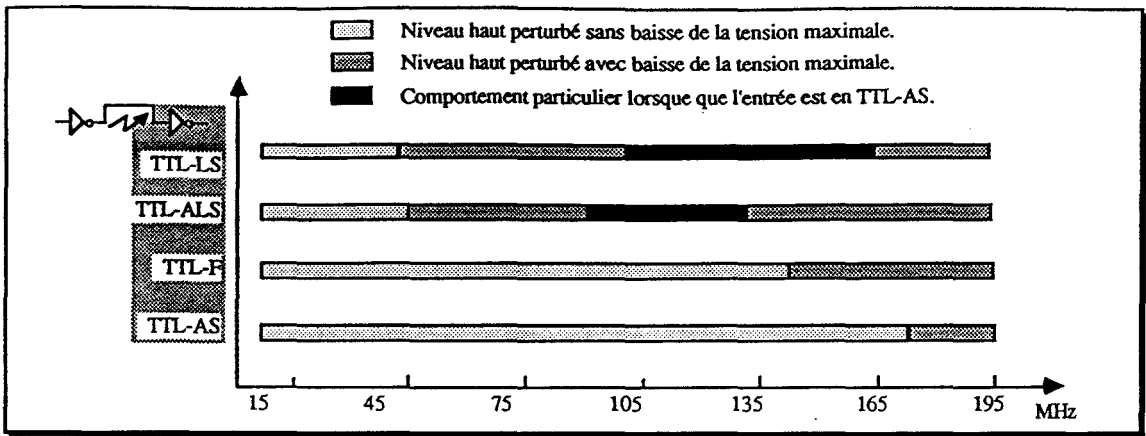
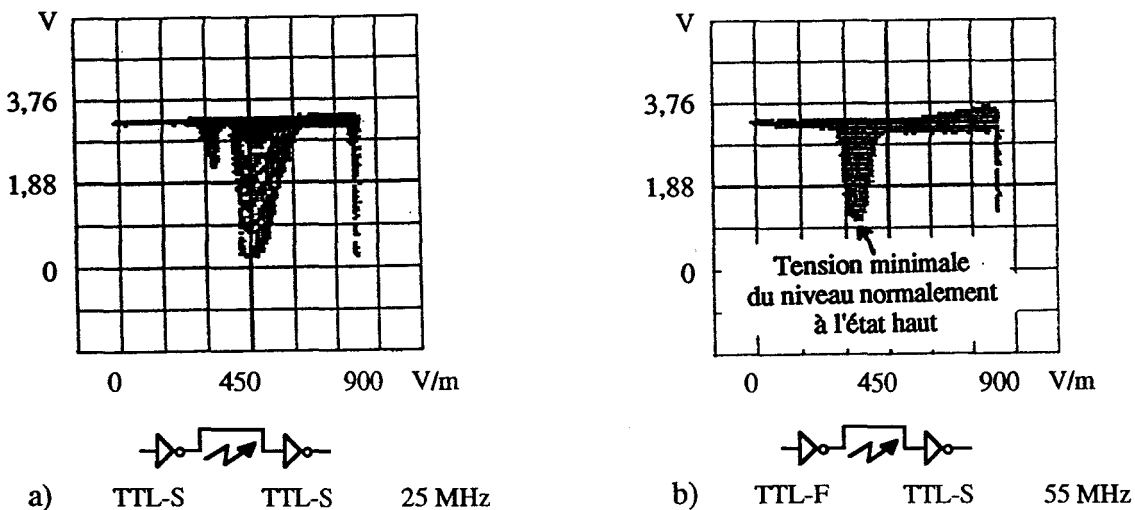


Figure III-13 : Gamme de fréquences et type de perturbations observées selon la technologie du composant de sortie.

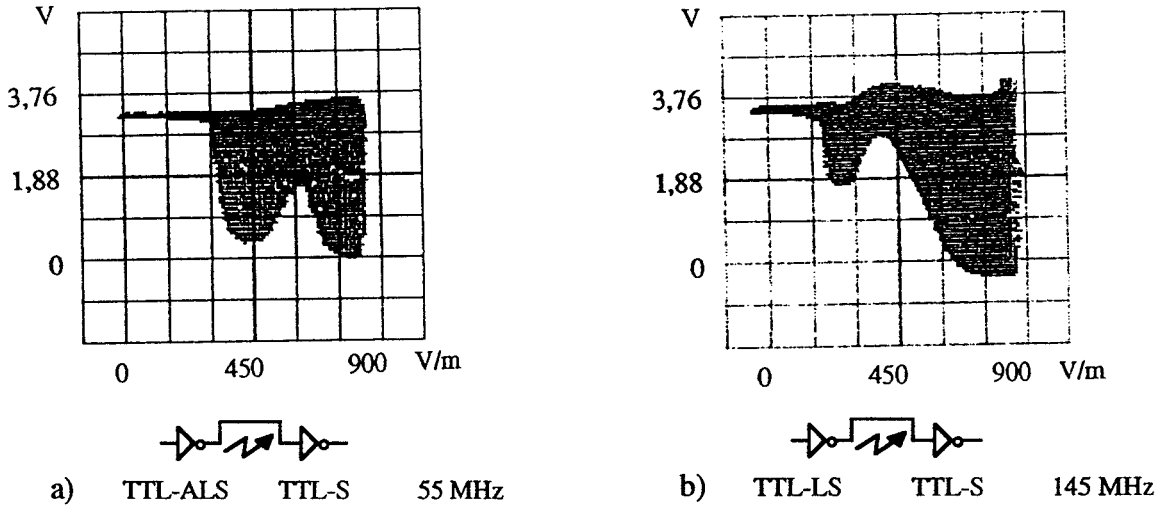
### III.6.2. Comportement particulier du dispositif sous test lorsque le composant de sortie est de technologie TTL-S et le niveau en entrée à l'état haut.

Lorsque le composant de sortie est de technologie TTL-S, selon la technologie du composant d'entrée, on observe des perturbations uniquement pour des couples fréquence/amplitude bien déterminés. Ce phénomène apparaît dès la fréquence de 25 MHz lorsque le composant d'entrée est de technologie TTL-S (graphe III-37a). A partir d'une fréquence de 35 MHz, une similitude de comportement est observée pour les associations de technologie TTL-AS TTL-S, TTL-F TTL-S et TTL-S TTL-S (graphe III-37b). Pour une fréquence donnée, une seule plage d'amplitudes est perturbée. A partir d'une fréquence de 65 MHz, la tension minimale des niveaux normalement à l'état haut augmente progressivement et l'on peut considérer pour une fréquence supérieure à 85 MHz, que les niveaux hauts de ces associations de technologies ne sont plus perturbés (planches A-III-13, A-III-14 et A-III-15).



Graphes III-37 : Extremums de tension entre lesquels les niveaux hauts perturbés varient.

En ce qui concerne l'association TTL-ALS TTL-S, ce comportement singulier commence à apparaître à la fréquence de 45 MHz (graphe III-38a). Il commence à apparaître à la fréquence de 105 MHz pour l'association TTL-LS TTL-S (graphe III-38b). En comparant les planches A-III-13, A-III-14 et A-III-15, on constate que le comportement du dispositif sous test évolue selon la fréquence et la technologie du composant d'entrée. On peut considérer que les niveaux hauts ne sont plus perturbés à partir d'une fréquence de 165 MHz pour l'association TTL-ALS TTL-S et à partir d'une fréquence de 175 MHz pour l'association TTL-LS TTL-S. La figure III-14 synthétise les résultats obtenus dans ce paragraphe.



Graphes III-38 : Extremums de tension entre lesquels les niveaux hauts perturbés varient.

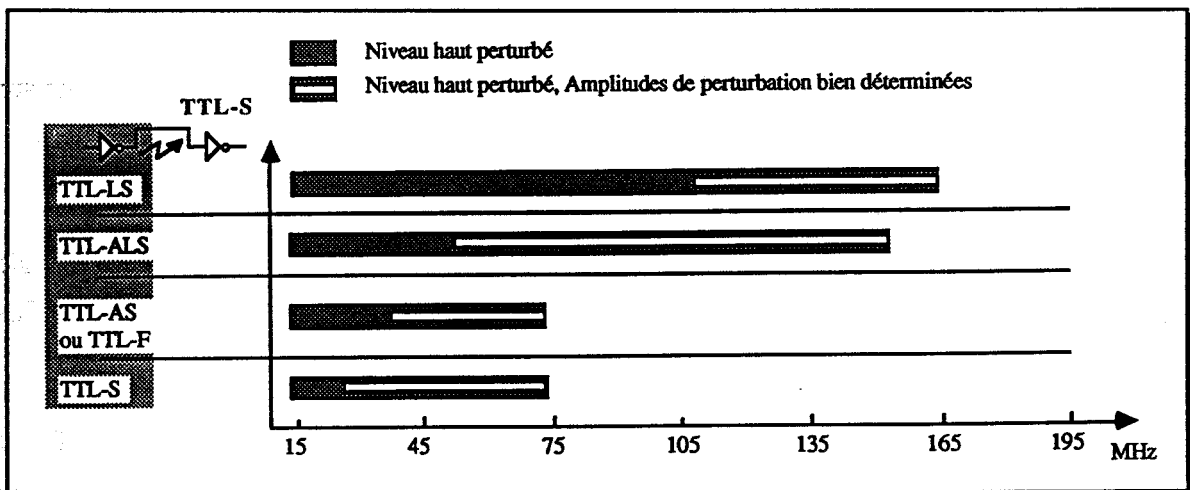


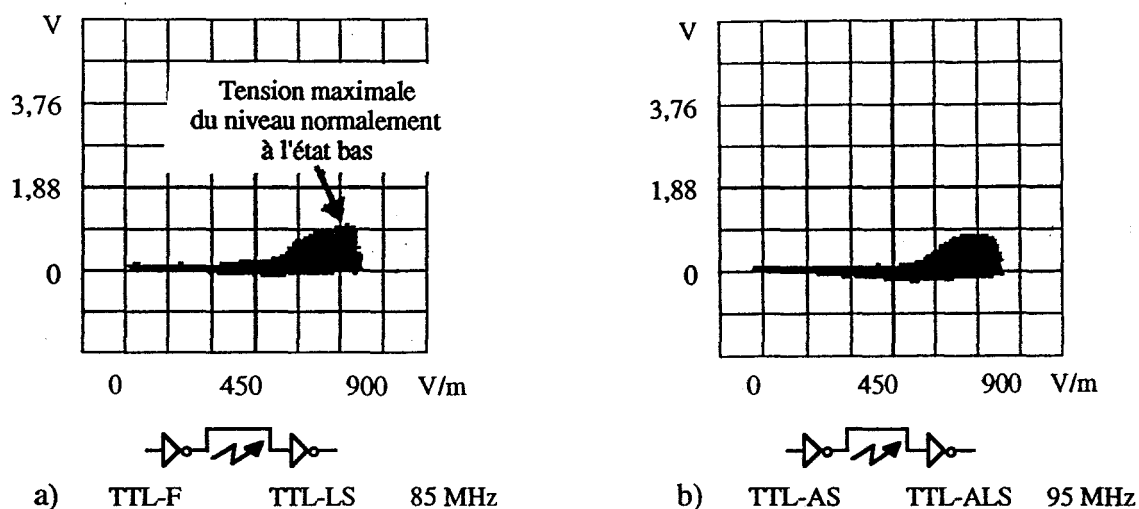
Figure III-14 : Gammes de fréquences pour lesquelles les niveaux hauts sont perturbés lorsque le composant de sortie est de technologie TTL-S



### III.6.3. Tension maximale des niveaux normalement à l'état bas selon la technologie du composant de sortie, pour une association de composants de technologie TTL.

#### III.6.3.1. Le composant de sortie est de technologie TTL-ALS ou TTL-LS.

Lorsque le composant de sortie est de technologie TTL-LS ou TTL-ALS, la tension maximale des défauts sur niveaux bas est faible quelle que soit la technologie du composant d'entrée et quelle que soit la fréquence du perturbateur (graphes III-39, planches A-III-18 et A-III-19). On peut considérer que les niveaux bas ne sont pas perturbés. Ces résultats confirment que l'action filtre passe bas de l'inverseur de sortie, associée à la présence de non linéarité est à l'origine de la "protection" des niveaux bas en sortie de la porte (cf. paragraphe III.6.4. et chapitre IV).



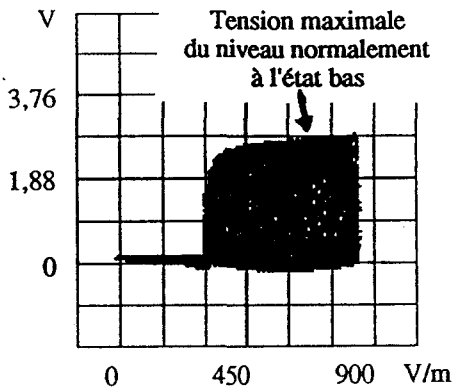
Graphes III-39 : Extremums de tension entre lesquels les niveaux bas perturbés varient.

#### III.6.3.2. Le composant de sortie est de technologie TTL-AS ou TTL-F.

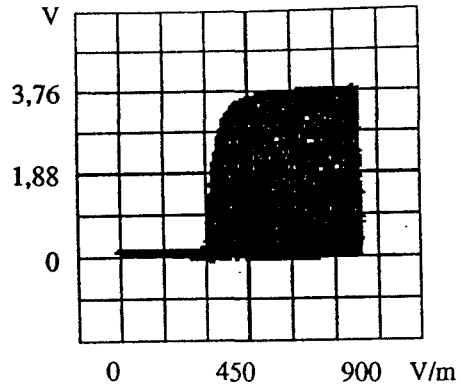
On constate sur les planches A-III-20 à A-III-23 que la tension maximale des défauts sur niveaux bas est beaucoup plus importante lorsque le composant de sortie est de technologie TTL-F ou TTL-AS (graphes III-40).

La fréquence à partir de laquelle les niveaux bas sont perturbés dépend de la technologie du composant d'entrée. Elle est de 35 MHz lorsque le composant d'entrée est de technologie TTL-AS ou TTL-ALS.

Lorsque le composant d'entrée est de technologie TTL-F, le niveau bas subit une faible perturbation à partir de la fréquence de 45 MHz. Cette perturbation se confirme aux fréquences plus élevées.



a) TTL-ALS TTL-F 135 MHz

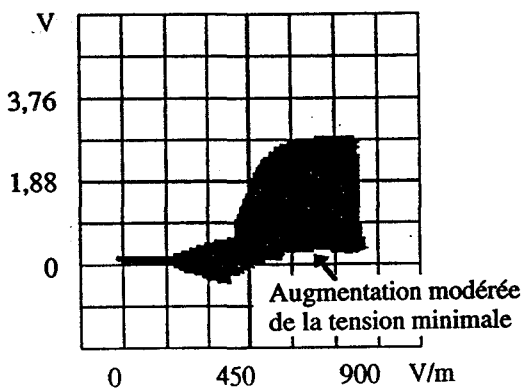


b) TTL-ALS TTL-AS 135 MHz

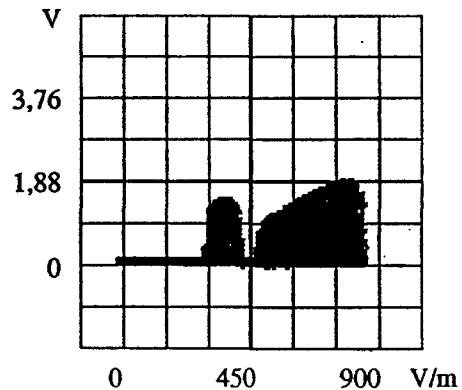
Graphes III-40 : Extremums de tension entre lesquels les niveaux bas perturbés varient.

Lorsque la technologie du composant d'entrée est de la TTL-LS, les niveaux bas commencent à être perturbés à partir d'une fréquence de 105 MHz. On observe une petite augmentation de la tension minimale du niveau normalement à l'état bas pour l'association de composants TTL-LS TTL-AS et pour les fréquences perturbatrices de 135 MHz, 145 MHz et 155 MHz (graphe III-41a).

Lorsque le composant d'entrée est de technologie TTL-S, des perturbations sont observées aux fréquences de 75 MHz et 85 MHz et pour des fréquences supérieures à 125 MHz. Pour des fréquences de 125 MHz à 145 MHz environ, le comportement sur niveau bas rappelle celui observé sur niveau haut lorsque la composant de sortie est de technologie TTL-S (graphe III-41b). Ce comportement s'estompe à partir de la fréquence de 155 MHz pour disparaître totalement à la fréquence de 195 MHz. La synthèse des résultats obtenus dans ce sous paragraphe est donnée figure III-15.



a) TTL-LS TTL-AS 135 MHz



b) TTL-S TTL-F 135 MHz

Graphes III-41 : Extremums de tension entre lesquels les niveaux bas perturbés varient.

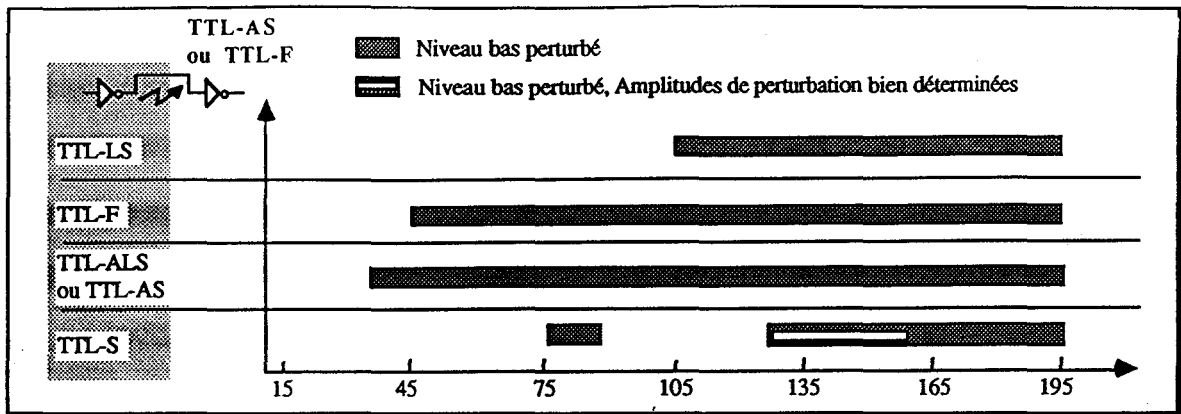


Figure III-15 : Gammes de fréquences pour lesquelles les niveaux bas sont perturbés selon la technologie du composant d'entrée

### III.6.3.3. Le composant de sortie est de technologie TTL-S.

Lorsque le composant de sortie est de technologie TTL-S, le maximum de tension relevé sur les niveaux bas perturbés est faible (planches A-III-24 et A-III-25). Les fréquences pour lesquelles les niveaux bas sont perturbés dépendent de la technologie du composant d'entrée.

Pour un composant d'entrée de technologie TTL-S ou TTL-F une faible perturbation est observée uniquement pour une ou deux fréquences. On peut considérer que les niveaux bas ne sont pas perturbés. Pour un composant d'entrée de technologie TTL-ALS ou TTL-AS, la tension maximale des défauts sur niveau bas reste faible (fréquences variant entre 45 MHz et 95 MHz). On peut considérer que les niveaux bas sont faiblement perturbés pour les fréquences de 75 MHz et 85 MHz.

Enfin, pour un composant d'entrée de technologie TTL-LS, la fréquence à partir de laquelle les niveaux bas sont perturbés est de 125 MHz. A partir d'une fréquence de 145 MHz, les niveaux bas sont perturbés uniquement pour des gammes d'amplitudes bien définies (planche A-III-25). A partir de la fréquence de 185 MHz, la faible valeur de la tension maximale associée aux défauts sur niveaux bas permet de considérer ces derniers comme non perturbés.

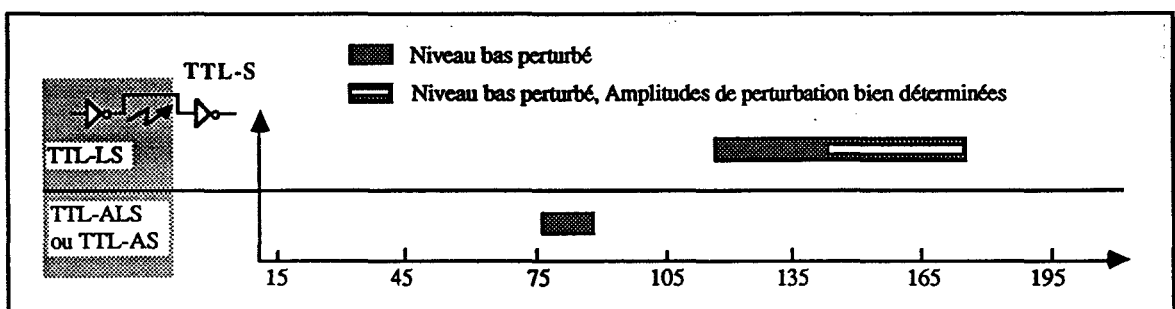
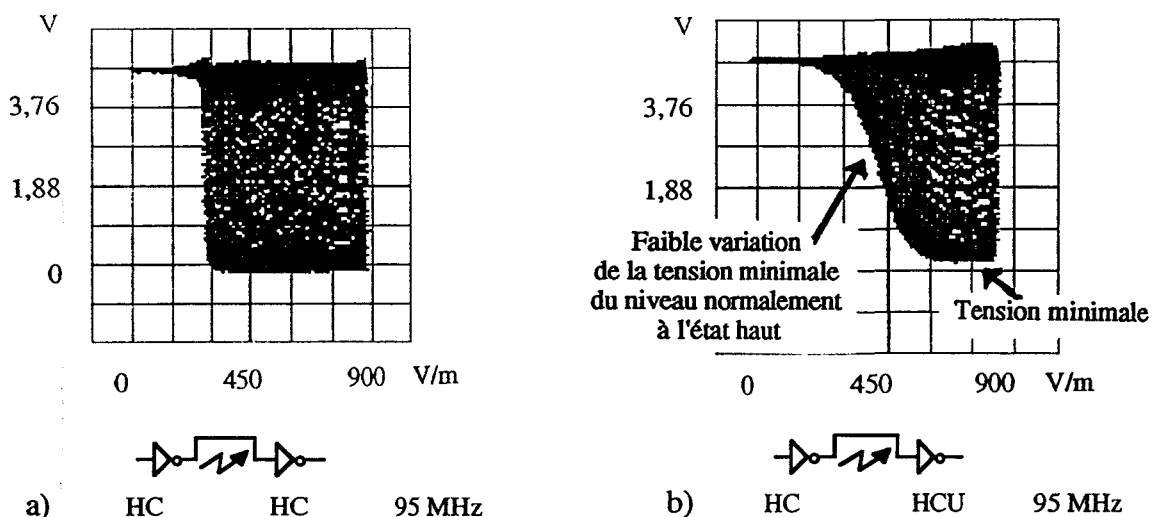


Figure III-16 : Gammes de fréquence pour lesquelles les niveaux bas sont perturbés.

### III.6.4. Association de composants de technologie CMOS.

#### III.6.4.1. Niveau haut en entrée du dispositif sous test.

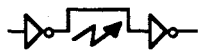
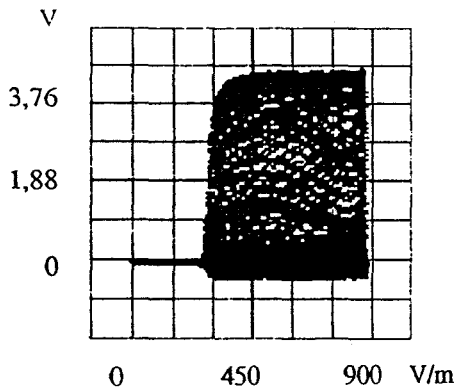
Lorsque le niveau à l'entrée du dispositif correspond à un état logique haut, quelle que soit l'association de technologies (CMOS-HC CMOS-HC, CMOS-HC CMOS-HCU, CMOS-HCU CMOS-HC, CMOS-HCU CMOS-HCU), des perturbations sont observées pour des fréquences variant de 25 MHz à 195 MHz. Lorsque le composant de sortie est de technologie CMOS-HCU, la variation selon l'amplitude du champ électrique de la tension minimale du niveau haut perturbé est faible (graphe III-42b). Pour des fréquences élevées, la tension minimale augmente et la perturbation disparaît donc progressivement (planche A-III-17).



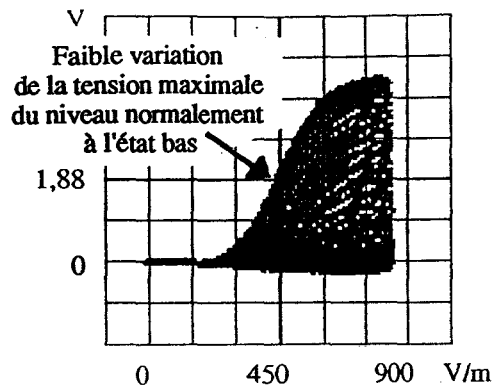
Graphes III-42 : Extremums de tension entre lesquels les niveaux hauts perturbés varient.

#### III.6.4.2. Niveau bas en entrée du dispositif sous test.

Lorsque le composant de sortie est de technologie CMOS-HC, les niveaux bas sont perturbés pour des fréquences variant de 25 MHz à 195 MHz. Les fréquences de perturbation varient entre 25 MHz et 165 MHz pour l'association de technologies CMOS-HC CMOS-HCU et entre 25 MHz et 105 MHz pour l'association de composants CMOS-HCU CMOS-HCU. Lorsque le composant de sortie est de technologie CMOS-HCU, la variation selon l'amplitude du champ électrique de la tension maximale du niveau normalement à l'état bas est faible (graphe III-43b). Nous avons aussi une faible variation de cette tension pour l'association de composants CMOS-HCU CMOS-HC et des fréquences supérieures à 165 MHz (planche A-III-26).



a) HC HC 95 MHz



b) HC HCU 95 MHz

Graphes III-43 : Extremums de tension entre lesquels les niveaux bas perturbés varient.

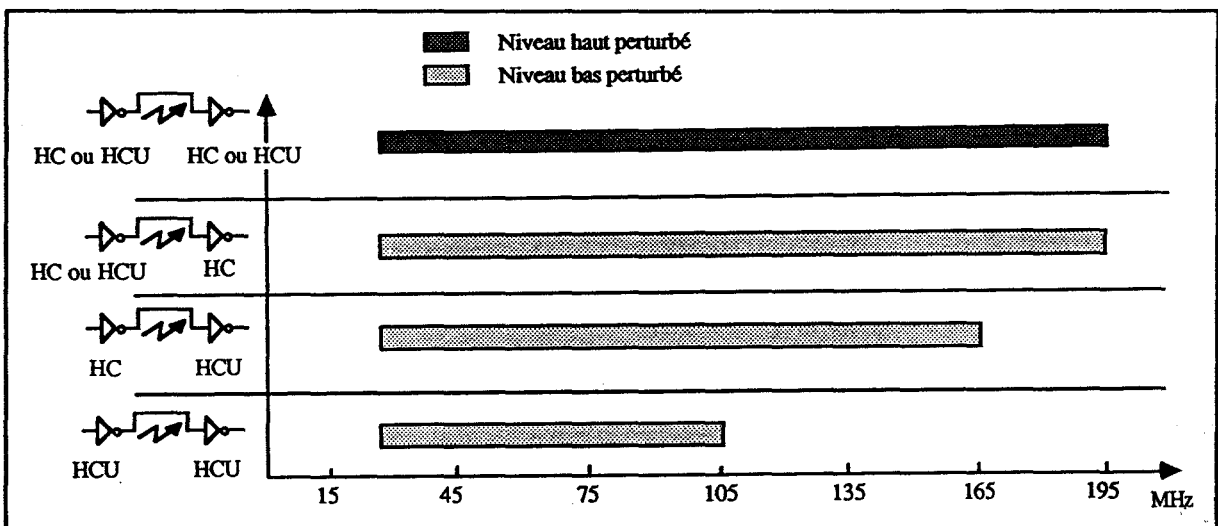


Figure III-17 : Gamme de fréquences pour lesquelles les associations de technologie CMOS sont perturbées.

## Conclusion

De part notre banc de mesure, le couplage introduit sur notre dispositif sous test est hybride. Avec ce type de couplage, nous obtenons les résultats suivants.

En ce qui concerne l'association de composants de technologie TTL et la perturbation des niveaux hauts, hormis pour la famille S, le comportement du dispositif sous test vis à vis de la perturbation est déterminé principalement par la technologie du composant de sortie. Une diminution de la tension maximale des niveaux normalement à l'état haut est observée lorsque la fréquence du perturbateur est bien supérieure à la fréquence maximale de travail du composant de

sortie. Bien que le comportement du dispositif sous test dépende principalement de la technologie du composant de sortie, la technologie du composant d'entrée intervient aussi dans l'effet consécutif au processus de couplage. Ainsi, nous avons pu constater des similitudes de comportement plus marquées lorsque les composants d'entrée sont de technologie TTL-AS, TTL-F ou TTL-S. Lorsque le composant de sortie est de technologie TTL-S, le comportement particulier qui veut que le niveau soit perturbé uniquement pour une plage bien déterminée d'amplitudes du champ perturbateur, apparaît pour différentes fréquences selon la technologie du composant d'entrée. Nous avons aussi remarqué des similitudes de comportement lorsque les composants d'entrée sont de technologie TTL-AS, TTL-F ou TTL-S.

En ce qui concerne l'association de composants de technologie TTL et la perturbation des niveaux bas, la tension maximale du niveau perturbé est déterminée par la technologie du composant de sortie. Les gammes de fréquences perturbatrices sont déterminées quant à elles par la technologie du composant d'entrée. Par exemple, lorsque la technologie du composant de sortie est de type TTL-LS ou de type TTL-ALS, la tension maximale des niveaux bas perturbés est très faible et on peut admettre qu'ils ne sont pas perturbés. Lorsque la technologie du composant d'entrée est de type TTL-LS, les niveaux bas commencent à être perturbés à partir d'une fréquence de 105 MHz. Lorsque les composants de sortie sont de technologie TTL-AS ou TTL-F, des similitudes de comportement sur niveaux bas sont observés. Notamment pour un composant d'entrée de technologie TTL-S, le comportement particulier qui veut que le niveau est perturbé pour une plage bien déterminée d'amplitudes du champ électrique, est observé pour les mêmes fréquences du champ perturbateur.

En ce qui concerne l'association de composants de technologie CMOS et la perturbation des niveaux hauts, on constate une différence de comportement selon la technologie du composant de sortie. Le faible gain en tension de la technologie CMOS-HCU provoque une faible variation de la tension minimale des niveaux normalement à l'état haut selon l'amplitude du perturbateur. Quelle que soit l'association de technologie les niveaux sont perturbés pour des fréquences variant de 25 MHz à 195 MHz. Cependant, lorsque la fréquence augmente et que le composant de sortie est de technologie CMOS-HCU, la tension minimale du niveau normalement à l'état haut augmente et les perturbations tendent à disparaître.

En ce qui concerne l'association de composants de technologie CMOS et la perturbation des niveaux bas, des résultats similaires à la perturbation des niveaux hauts sont obtenus. Cependant, lorsque la fréquence augmente et que le composant de sortie est de technologie CMOS-HCU, la diminution de la tension maximale des niveaux normalement à l'état bas est plus rapide que l'augmentation de la tension minimale des niveaux normalement à l'état haut. Ainsi aux fréquences élevées, les niveaux bas ne sont pas perturbés.

Il ressort de cette étude que l'association de technologie TTL-S TTL-S est beaucoup moins sensible que les autres associations de composants pour le type de couplage étudié, à savoir un couplage hybride.

### III.7. PROPAGATION DES DÉFAUTS LE LONG D'UNE CHAÎNE DE COMPOSANTS LOGIQUES.

#### Introduction.

Dans ce sous chapitre, nous désirons connaître les conditions de la propagation des défauts caractérisés précédemment le long d'une chaîne de fonctions logiques, la perturbation n'étant appliquée qu'entre deux boîtiers situés en amont dans la chaîne. En d'autres termes, nous analysons si ces défauts sont susceptibles de provoquer des défaillances sur une carte électronique. En effet, nous avons noté dans l'introduction de ce chapitre que des perturbations appliquées à l'entrée d'un composant logique peuvent avoir des effets totalement différents selon sa fonction et selon ses caractéristiques techniques (cf. figure III-3). Nous pouvons en première approche considérer que l'information est portée soit par les niveaux logiques, soit par les transitions d'états. Cette remarque est déterminante sur la façon dont seront perçus les défauts par un composant aval. Nous avons donc décidé de regarder l'action des perturbations selon que l'information du signal se trouve sur un niveau, ou selon que l'information du signal est portée par les transitions (cas d'un signal d'horloge). Nous espérons ainsi avoir un aperçu des différents types de fonctions existantes.

Lors des études sur la sensibilité du dispositif sous test initial, la sortie est chargée par une impédance d'environ  $500 \Omega$  (figure III-18). Les résultats obtenus peuvent cependant changer selon la valeur de cette impédance de charge. Ainsi, le fait de connecter un composant en sortie du composant 2 peut modifier les perturbations observées en  $S_2$ . Dans ce sous chapitre, nous nous plaçons néanmoins dans la configuration rencontrée généralement sur les cartes électroniques : nous connectons directement une troisième porte logique en sortie du composant 2 et nous comparons les perturbations observées en  $S_3$  à la sortie du troisième composant<sup>4</sup> aux perturbations observées en  $S_2$  en absence du troisième composant (impédance de charge d'environ  $500 \Omega$ ). Cette étude permettra de déterminer si nos résultats statistiques, et notamment la caractéristique

---

<sup>4</sup> Le choix de l'adaptation du câble semi-rigide par une résistance de  $470 \Omega$  en parallèle à une résistance de  $56 \Omega$  (cf. figure III-18) est dicté par la sensibilité en tension de l'oscilloscope. Une adaptation par des valeurs de résistances supérieures (par exemple  $1 \text{ k}\Omega$  en parallèle à  $52 \Omega$ ) constitue un diviseur en tension trop pénalisant. Les niveaux en tension sont alors difficilement exploitables sur l'oscilloscope.

pourcentage de temps pendant lequel les niveaux sont erronés, représentent bien une probabilité d'apparition de défaillances.

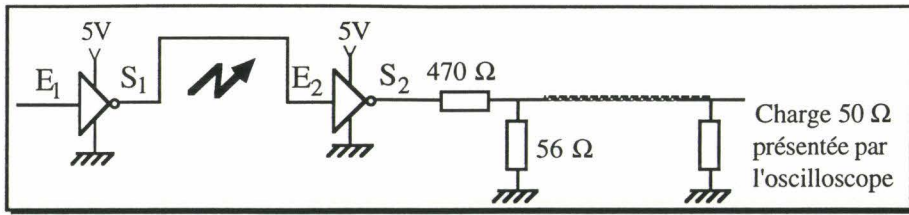


Figure III-18 : Impédance de charge du dispositif sous test initial.

### III.7.1. Propagation de l'information sur les niveaux.

Pour étudier la propagation des perturbations lorsque l'information se situe sur niveaux, nous avons ajouté une porte inverseuse en sortie de l'élément sous test précédent (figure III-19). Lors de l'étude de la propagation des niveaux hauts, le signal d'entrée  $E_1$  est à l'état haut, les signaux  $S_1$  et  $E_2$  sont normalement à l'état bas, les signaux  $S_2$  et  $E_3$  sont normalement à l'état haut et le signal de sortie  $S_3$  est normalement à l'état bas. Lors de l'étude de la propagation des niveaux bas, le signal d'entrée  $E_1$  est à l'état bas, les signaux  $S_1$  et  $E_2$  sont normalement à l'état haut, les signaux  $S_2$  et  $E_3$  sont normalement à l'état bas et le signal de sortie  $S_3$  est normalement à l'état haut. La porte inverseuse numéro 3 est encapsulée dans le même boîtier que la porte numéro 2. Les typons des cartes imprimées utilisées sont présentés en annexe (cf. figure A-III-7).

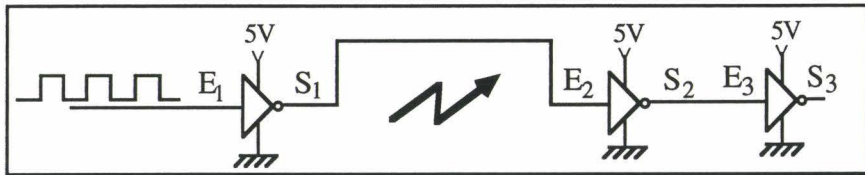


Figure III-19 : Ajout d'une porte inverseuse en sortie.

#### III.7.1.1. Résultats statistiques.

Les signaux dont les défauts de faible amplitude ne sont pas tous détectés par l'outil statistique, ne sont plus perturbés. Ainsi, aucun défaut n'a été trouvé lorsque les composants sont de technologie CMOS-HCU. Pour la technologie TTL-S, seuls des défauts sont caractérisés pour une fréquence du champ électromagnétique perturbateur de 35 MHz et une amplitude du champ électrique de 400 V/m.



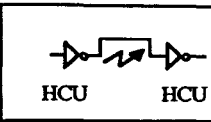
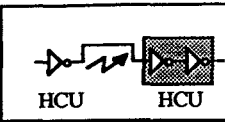
			
		HCU HCU	HCU HCU
Pourcentage de temps erroné	Entrée à l'état bas	1 << 5 %	----
	Entrée à l'état haut	16 << 20 %	----
Durée des défauts	Entrée à l'état bas	2,5 ns	----
	Entrée à l'état haut	2,5 ns	----
Durée des séparations entre deux défauts	Entrée à l'état bas	Durée maximale 397,5 ns	----
	Entrée à l'état haut	7,5 ns; 20 ns; 30 ns	----

Tableau III-4 : Résultats statistiques pour la technologie CMOS-HCU, F = 95 MHz, A = 450 V/m.

En ce qui concerne la technologie CMOS-HC, des défauts apparaissent sur le signal S<sub>3</sub>, pour les couples fréquence/amplitude du perturbateur pour lesquels les défauts sur le signal S<sub>2</sub> sont d'amplitude suffisante pour être tous détectés par l'outil statistique. Les défauts sur S<sub>2</sub> dont l'amplitude est trop faible pour être tous détectés, disparaissent totalement sur le signal S<sub>3</sub> (graphes A-III-22 comparés aux graphes A-III-2). Pour chaque fréquence étudiée, les amplitudes minimales pour lesquelles l'outil statistique révèle une perturbation sont donc soit identiques, soit plus grandes. Les défauts observés sur S<sub>3</sub> sont toujours de très courte durée (principalement 2,5 ns et 5 ns, cf. graphes A-III-23). Le pourcentage de temps erroné des niveaux a légèrement baissé (graphes A-III-21 comparés aux graphes A-III-1). On peut considérer que les défauts de forte amplitude sont intégralement transmis en sortie du troisième inverseur.

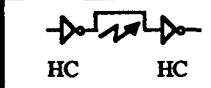

			
		HC HC	HC HC
Pourcentage de temps erroné	Entrée à l'état bas	20 << 24 %	16 << 25 %
	Entrée à l'état haut	25 << 34 %	26 << 30 %
Durée des défauts	Entrée à l'état bas	2,5 ns	2,5 ns
	Entrée à l'état haut	2,5 ns, 5 ns	surtout 2,5 ns; 5 ns
Durée des séparations entre deux défauts	Entrée à l'état bas	surtout 7,5 ns, 10 ns; 20 ns	surtout 7,5 ns; 10ns; 20 ns
	Entrée à l'état haut	surtout 7,5 ns, 5ns	surtout 7,5 ns; 10 ns

Tableau III-5 : Résultats statistiques pour la technologie CMOS-HC, F = 95 MHz, A = 450 V/m.

En ce qui concerne la technologie TTL, les niveaux bas n'étant pas perturbés en S<sub>2</sub>, aucun niveau haut n'est perturbé en S<sub>3</sub>. Pour la famille F, tous les défauts observés sur niveau haut en S<sub>2</sub> se retrouvent sur niveaux bas en S<sub>3</sub> (graphe A-III-32b comparé au graphe A-III-17b). Les amplitudes minimales pour lesquelles l'outil statistique a révélé des défauts sur niveaux sont identiques. Cependant, la durée des défauts a tendance à diminuer. Pour des fréquences supérieures à 55 MHz, la durée des défauts sur S<sub>2</sub> est de 7,5 ns et principalement de 5 ns (graphe A-III-18b). Elle est sur S<sub>3</sub> de 2,5 ns et principalement de 5 ns (graphe A-III-33b). Le pourcentage de temps pendant lequel les niveaux sont perturbés a donc diminué (graphe A-III-31b comparé au graphe A-III-16b).

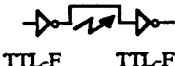

		 TTL-F TTL-F	 TTL-F TTL-F
Pourcentage de temps erroné	Entrée à l'état haut	46 <math>x</math> 55 %	36 <math>x</math> 45 %
Durée des défauts	Entrée à l'état haut	surtout 5 ns, 7,5 ns	5 ns; 2,5 ns
Durée des séparations entre deux défauts	Entrée à l'état haut	surtout 5 ns, 7,5 ns	7,5 ns; 5ns

Tableau III-6 : Résultats statistiques pour la technologie TTL-F, F = 95 MHz, A = 450 V/m.

Pour la famille LS, à chaque fréquence étudiée, les amplitudes minimales de champ électromagnétique pour lesquelles l'outil statistique a révélé des défauts, sont identiques. Le comportement de cette famille a cependant beaucoup changé. Les défauts sont maintenant tous de très courte durée (2,5 ns et principalement 5 ns, cf. graphe A-III-28a) et aucun niveau n'est perturbé à 100% (graphe A-III-26a). Pourtant, nous nous attendions à obtenir des niveaux bas complètement perturbés en S<sub>3</sub>, lorsque la tension maximale du niveau normalement à l'état haut de S<sub>2</sub> est en dessous de la tension de seuil de l'état haut.



		 TTL-LS TTL-LS	 TTL-LS TTL-LS
Pourcentage de temps erroné	Entrée à l'état haut	100 %	41 <math>x</math> 45 %
Durée des défauts	Entrée à l'état haut	482,5 ns	surtout 5 ns; 2,5 ns
Durée des séparations entre deux défauts	Entrée à l'état haut	---	5 ns; 7,5 ns

Tableau III-7 : Résultats statistiques pour la technologie TTL-LS, F = 95 MHz, A = 450 V/m.

Les mêmes remarques peuvent être faites pour la famille ALS. Sur S<sub>3</sub>, les défauts ont une durée de 5 ns et principalement de 7,5 ns (graphe A-III-28b) alors que sur S<sub>2</sub> lorsque le niveau n'était pas complètement perturbé, la durée des défauts était de 10 ns et de 12,5 ns (graphe A-III-12b). Aucun niveau bas de S<sub>3</sub> n'est perturbé à 100% (graphe A-III-26b).

Cependant, pour une fréquence de 95 MHz et une amplitude de 450 V/m du champ électrique perturbateur, quelques défauts ont une durée de 12,5 ns, 15 ns et 17,5 ns. On peut s'attendre à une perturbation plus importante des niveaux bas de S<sub>3</sub> pour des fréquences supérieures à 95 MHz.

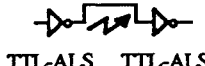
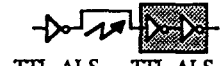
		 TTL-ALS TTL-ALS	 TTL-ALS TTL-ALS
Pourcentage de temps erroné	Entrée à l'état haut	100 %	51 <x< 60 %
Durée des défauts	Entrée à l'état haut	482,5 ns	5 ns; 7,5 ns
Durée des séparations entre deux défauts	Entrée à l'état haut	---	surtout 5 ns; 2,5 ns mais aussi 12,5 ns; 15 ns et 17,5 ns

Tableau III-8 : Résultats statistiques pour la technologie TTL-ALS, F = 95 MHz, A = 450 V/m.

En ce qui concerne la famille AS, l'outil statistique a révélé un comportement différent des autres technologies. Nous avons observé jusqu'à présent une baisse plus ou moins importante du pourcentage de temps pendant lequel les niveaux sont perturbés. Au contraire, pour la famille AS, les niveaux bas de S<sub>3</sub> présentent un pourcentage de temps erroné plus important que les niveaux hauts de S<sub>2</sub> (graphe A-III-31a comparé au graphe A-III-16a). Quelle que soit la fréquence, la durée des défauts a augmenté (graphe A-III-33a comparé au graphe A-III-18a) et pour une fréquence de 95 MHz, certains niveaux sont complètement perturbés. Ce résultat révèle une hausse de la tension minimale du niveau normalement à l'état bas de S<sub>3</sub>. On s'attendait a priori à observer ce type de perturbation pour les technologies TTL-LS et TTL-AS.



		 TTL-AS TTL-AS	 TTL-AS TTL-AS
Pourcentage de temps erroné	Entrée à l'état haut	36 <x< 40 %	81 <x< 100 %
Durée des défauts	Entrée à l'état haut	5ns; 2,5 ns	Maximum de 477,5 ns
Durée des séparations entre deux défauts	Entrée à l'état haut	7,5 ns; 5ns	Entre 2,5 ns et 15 ns

Tableau III-9 : Résultats statistiques pour la technologie TTL-AS, F = 95 MHz, A = 450 V/m.

### III.7.1.2 Visualisation des extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électrique. Différence de comportement selon que la fonction de sortie est encapsulée en boîtier commun ou dans un boîtier séparé.

Les résultats statistiques ont montré des comportements inattendus des technologies TTL-LS et TTL-AS lorsque la porte inverseuse ajoutée en sortie du dispositif sous test est encapsulée dans le même boîtier que le deuxième inverseur. Deux hypothèses nous viennent à l'esprit pour expliquer ces résultats inattendus. Dans la première hypothèse nous supposons que la connexion d'une troisième porte modifie de façon importante les signaux perturbés observés en sortie du composant 2. Dans la seconde hypothèse nous supposons que les défauts en entrée du composant 2 sont perçus en tant que de nombreuses transitions d'état logique accompagnées d'appels de courant sur l'alimentation du boîtier du deuxième inverseur. Le fonctionnement des autres portes logiques encapsulées dans ce boîtier peut alors être perturbé par ces appels de courant. La source d'alimentation est en effet la même.

Nous avons étudié plus particulièrement la seconde hypothèse. Pour ce faire, nous avons repris le schéma synoptique de la figure III-19 en ajoutant la troisième porte inverseuse sur un troisième boîtier. Les typons des cartes imprimées utilisées sont présentés en annexe (cf. figure A-III-8).

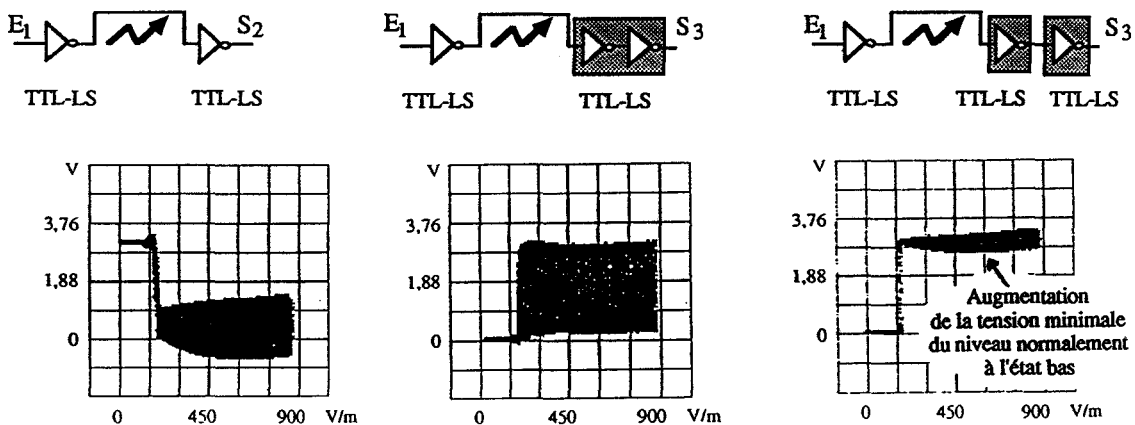
Cette étude est réalisée à l'aide des graphes visualisant les extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électrique, car ils montrent bien le comportement des technologies. Cependant nous renouvelons notre mise en garde quant à l'interprétation de ces graphes. En effet, les réglages du générateur basse fréquence sont assurés à l'aide de potentiomètres. Il n'est pas aisé de restituer les mêmes réglages après utilisation du générateur par une tierce personne. En ce qui concerne l'étude de la propagation des défauts lorsque la troisième porte inverseuse est encapsulée dans un troisième boîtier, l'amplitude du signal de modulation du champ électromagnétique est beaucoup plus importante. L'amplitude maximale du champ électromagnétique est donc probablement plus importante. Ainsi à la fréquence de 25 MHz, lorsque les composants sont de technologie TTL-AS, bien que les niveaux bas ne soient pratiquement pas perturbés, on constate une perturbation sur niveaux hauts lorsqu'un troisième boîtier est utilisé (planche A-III-33). Néanmoins les graphes obtenus permettent de tirer des conclusions intéressantes concernant la propagation des défauts sur niveaux selon que le troisième inverseur est ou non encapsulé dans le boîtier du deuxième inverseur : nous n'avons pas jugé utile de reprendre avec précision ces mesures.

La fréquence du champ électromagnétique perturbateur varie entre 15 MHz et 195 MHz par pas de 10 MHz. L'amplitude varie d'une façon linéaire entre 0 V/m et une valeur approximative de 900 V/m.

a) Cas de la technologie TTL-LS

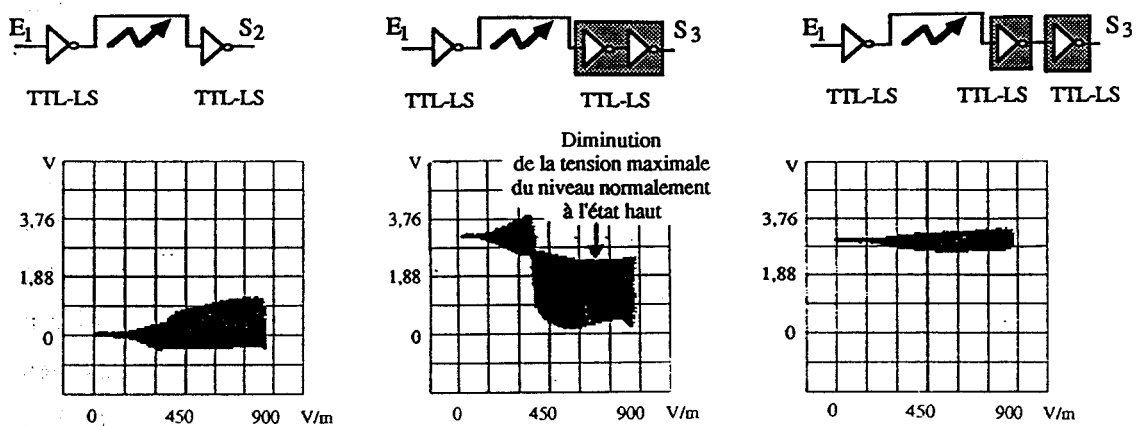
Lorsque les composants sont de technologie TTL-LS, une grande différence dans la propagation des défauts sur niveaux hauts et bas est observée, selon que la fonction qui suit le dispositif sous test est encapsulée dans le boîtier du deuxième inverseur ou dans un autre boîtier (planches A-III-28 et A-III-29).

Si un troisième boîtier est utilisé, lorsque la tension maximale des niveaux normalement à l'état haut diminue fortement en  $S_2$ , les niveaux normalement à l'état bas en  $S_3$  sont à l'état haut (graphe III-44). Lorsque la porte ajoutée est encapsulée dans le boîtier du deuxième inverseur, aucune augmentation importante de la tension minimale du niveau normalement à l'état bas n'est observée en  $S_3$ . Les niveaux bas en  $S_3$  ne sont pas totalement perturbés.



Graphes III-44 : Technologie TTL-LS, Niveau haut en entrée,  $F = 135$  MHz.

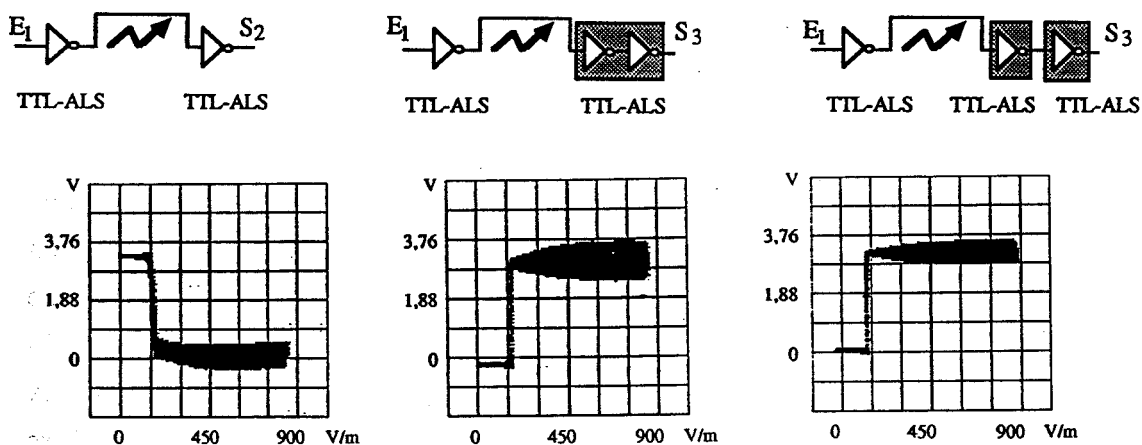
Les niveaux normalement à l'état bas en  $S_2$  sont très faiblement perturbés. On s'attend à ce que les niveaux hauts ne soient pas perturbés en  $S_3$ . C'est effectivement ce que l'on observe lorsque la troisième porte est encapsulée dans un troisième boîtier. Par contre, pour des fréquences variant de 105 MHz à 195 MHz, de très fortes perturbations sont observées si cette porte est encapsulée en boîtier commun. Entre 115 MHz et 185 MHz, on observe une diminution de la tension maximale du niveau normalement à l'état haut (graphes III-45).



Graphes III-45 : Technologie TTL-LS, Niveau bas en entrée,  $F = 145$  MHz.

*b) Cas de la technologie TTL-ALS.*

Lorsque les composants sont de technologie TTL-ALS, la propagation des défauts sur niveaux bas ou hauts est identique que la fonction logique soit encapsulée sur boîtier séparé ou non (planche A-III-30). Les niveaux normalement à l'état bas en  $S_2$  étant très faiblement perturbés, aucune perturbation n'est observé sur les niveaux hauts en  $S_3$ . Lorsque la tension maximale des niveaux normalement à l'état haut diminue fortement en  $S_2$ , les niveaux normalement à l'état bas en  $S_3$  sont à l'état haut (graphes III-46).

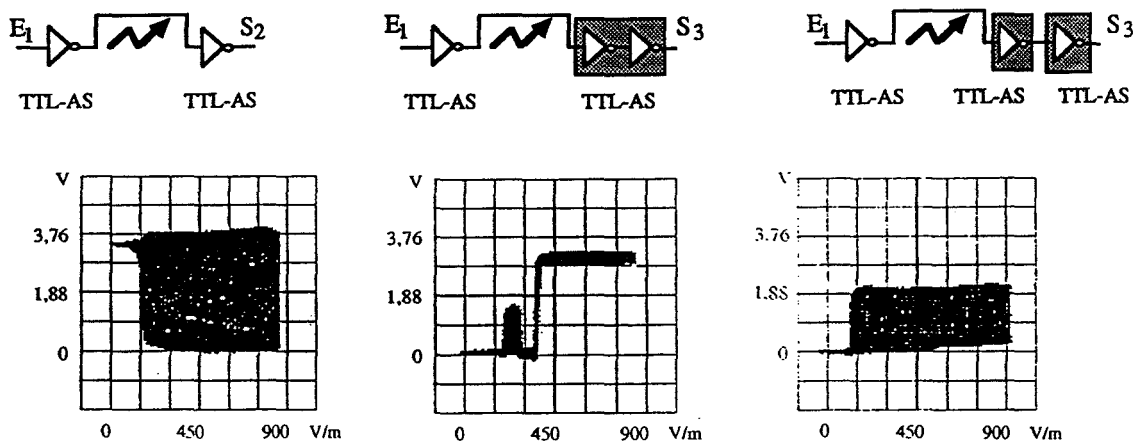


Graphes III-46 : Technologie TTL-ALS, Niveau haut en entrée,  $F = 195$  MHz.

c) Cas de la technologie TTL-AS.

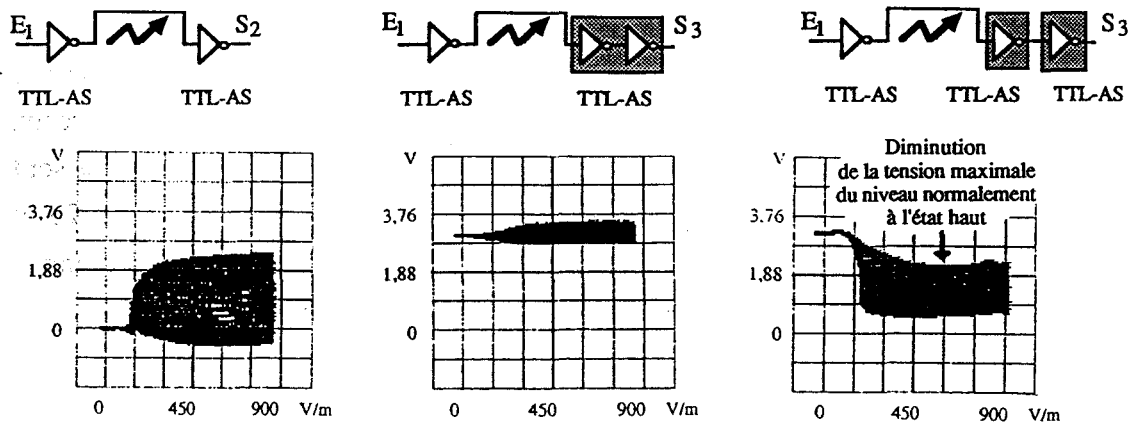
Lorsque les composants sont de technologie TTL-AS, la propagation des défauts sur niveaux bas ou hauts est totalement différente selon que le troisième inverseur est encapsulé dans le boîtier du deuxième inverseur ou non (planches A-III-31 à A-III-33).

La diminution de la tension maximale du niveau normalement à l'état haut commence à apparaître en  $S_2$  à la fréquence de 175 MHz. Cependant, dès la fréquence de 95 MHz, la tension minimale du niveau normalement à l'état bas augmente fortement en  $S_3$  lorsque le troisième inverseur est encapsulé en boîtier commun. De plus pour des fréquences variant de 105 MHz à 145 MHz, se différencient deux zones de perturbation. Sur une première plage d'amplitudes, des faibles perturbations apparaissent. Pour des amplitudes plus élevées, le niveau normalement à l'état bas en  $S_3$  est à l'état haut (graphes III-47). Lorsqu'un autre boîtier est utilisé pour ajouter la fonction logique, une faible augmentation de la tension du niveau normalement à l'état bas est observée en  $S_3$  à partir de la fréquence de 135 MHz.



Graphes III-47 : Technologie TTL-AS, Niveau haut en entrée,  $F = 135$  MHz.

Les niveaux normalement à l'état bas étant fortement perturbés en  $S_2$ , on s'attend à ce que les niveaux hauts de  $S_3$  soient perturbés. Cependant, lorsque la porte ajoutée est encapsulée en boîtier commun, aucune perturbation n'est observée sur les niveaux hauts de  $S_3$ . Par contre, lorsque le troisième inverseur est encapsulé dans un troisième boîtier, on observe une perturbation dès la fréquence de 25 MHz. A partir de la fréquence de 155 MHz, la tension maximale des niveaux normalement à l'état haut diminue en  $S_3$  (graphes III-48). Cette diminution est due à l'action filtre passe bas de l'étage d'entrée du troisième inverseur. En  $S_2$ , nous avons obtenu une diminution de la tension maximale des niveaux normalement à l'état haut à partir de la fréquence de 175 MHz. La différence de fréquence pour laquelle la diminution de tension apparaît en sortie du composant 2 ou en sortie du composant 3, est probablement due à une étendue spectrale différente du niveau bas perturbé en entrée du composant 2 et du niveau bas perturbé en entrée du composant 3.

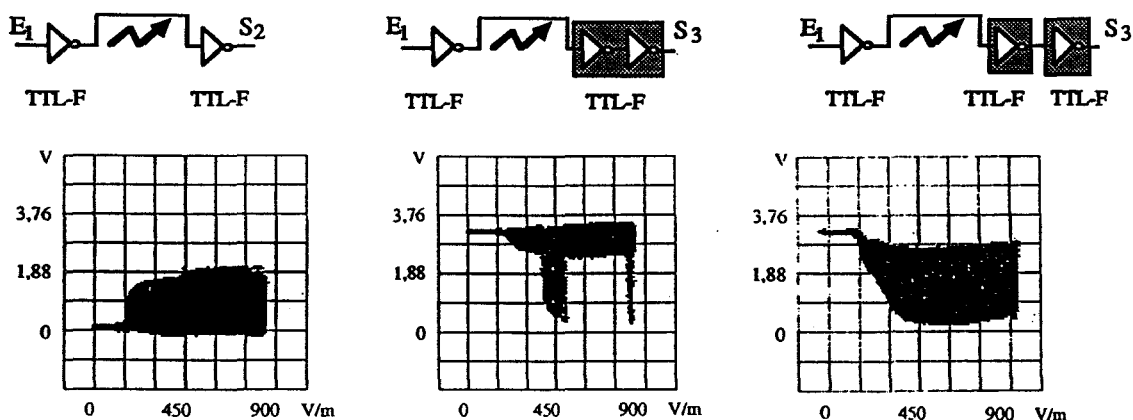


Graphes III-48 : Technologie TTL-AS, Niveau bas en entrée,  $F = 195$  MHz.

*d) Cas de la technologie TTL-F.*

Lorsque les composants sont de technologie TTL-F, la propagation des défauts sur niveaux hauts est identique que le troisième inverseur soit encapsulé dans le boîtier du deuxième inverseur ou non (planche A-III-34).

En ce qui concerne la propagation des défauts sur niveaux bas, elle est similaire pour des fréquences entre 15 MHz et 155 MHz. Par contre, on constate sur la planche A-III-35, qu'à partir de la fréquence de 165 MHz, la propagation des défauts sur niveaux bas diffère selon que la troisième porte est en boîtier commun ou non. Notamment, pour une fréquence de 195 MHz, en boîtier commun, le comportement observé en  $S_3$  sur les niveaux hauts rappelle celui de la technologie TTL-S (graphes III-49).

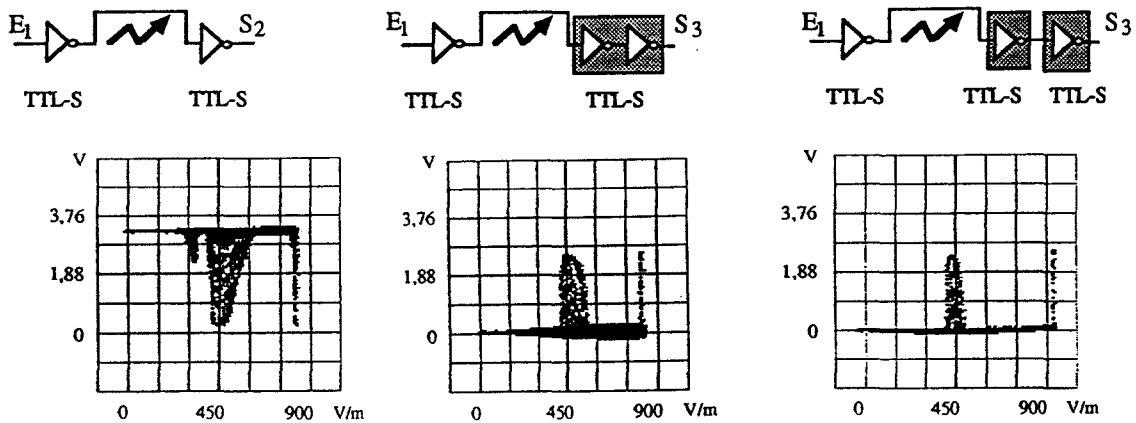


Graphes III-49 : Technologie TTL-F, Niveau bas en entrée,  $F = 195$  MHz.



e) Cas de la technologie TTL-S.

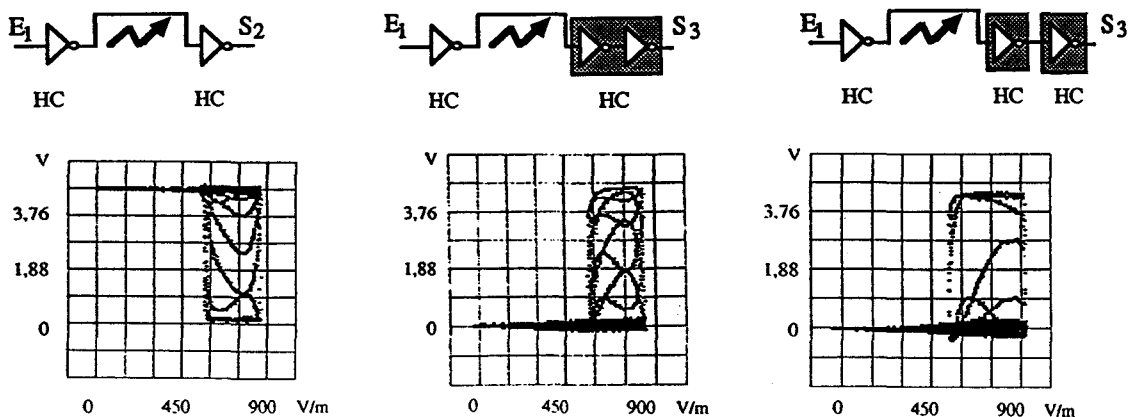
Lorsque les composants sont de technologie TTL-S, la propagation des défauts sur niveaux hauts ou bas est identique, qu'un troisième boîtier soit utilisé ou non. Les niveaux bas n'étant pas perturbés en  $S_2$ , aucune perturbation des niveaux hauts n'est observée en  $S_3$ . En  $S_2$ , les niveaux hauts sont perturbés pour des fréquences variant de 15 MHz à 75 MHz. En  $S_3$ , les niveaux bas sont perturbés pour des fréquences variant entre 15 MHz et 35 MHz. Pour les fréquences de 25 et 35 MHz, les perturbations apparaissent uniquement pour une plage d'amplitudes donnée (graphes III-50).



Graphes III-50 : Technologie TTL-S, Niveau haut en entrée,  $F = 25$  MHz.

f) Cas de la technologie CMOS-HC.

Lorsque les composants sont de technologie CMOS-HC, la propagation des défauts est identique qu'un troisième boîtier soit utilisé ou non. Les défauts sur niveaux bas ou hauts sont propagés intégralement par la fonction logique (graphes III-51).

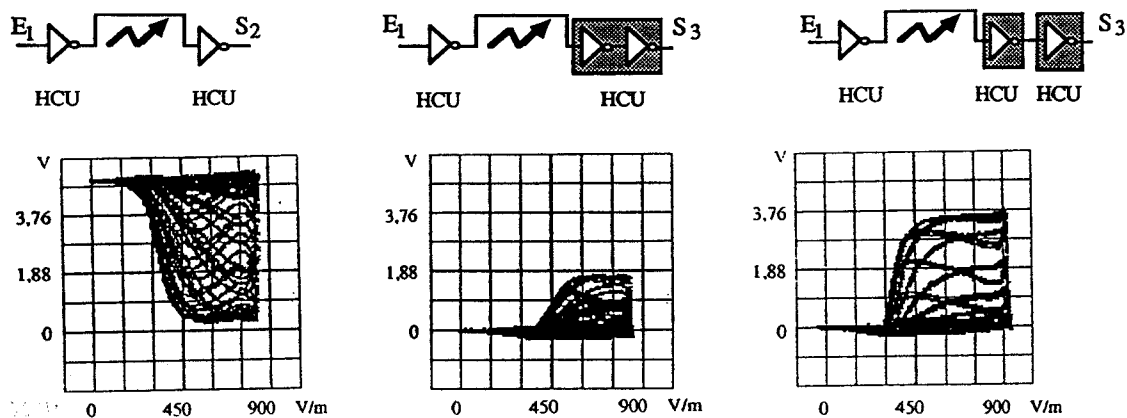


Graphes III-51 : Technologie CMOS-HC, Niveau haut en entrée,  $F = 25$  MHz.

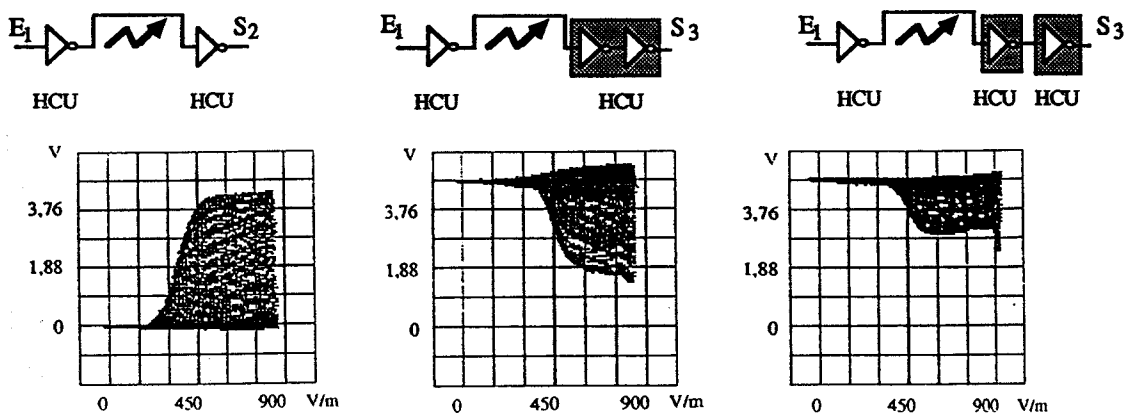
g) Cas de la technologie CMOS-HCU.

Lorsque les composants sont de technologie CMOS-HCU, quelques différences sont observées dans la propagation des défauts selon que la fonction logique ajoutée est encapsulée en boîtier commun ou non. Les défauts sur niveaux hauts se propagent mieux lorsqu'un troisième boîtier est utilisé (graphes III-52). Par contre les défauts sur niveaux bas se propagent mieux en boîtier commun (graphes III-53).

Globalement, de part le faible gain des portes de technologie CMOS-HCU, les perturbations tendent à disparaître lorsqu'une troisième porte est ajoutée (planches A-III-38 et A-III-39).



Graphes III-52 : Technologie CMOS-HCU, Niveau haut en entrée,  $F = 125$  MHz.



Graphes III-53 : Technologie CMOS-HCU, Niveau bas en entrée,  $F = 55$  MHz.

## Conclusion

En ce qui concerne les technologies TTL-LS et TTL-AS, le comportement du dispositif sous test est totalement différent selon que la troisième porte logique est encapsulée dans le boîtier du second inverseur ou dans un autre boîtier. Nous pensons que l'origine de ces différences de comportement réside dans les nombreux appels de courant sur l'alimentation dus à la perception des défauts en entrée des composants en tant que transitions logiques. Pour confirmer ou infirmer cette hypothèse, il serait intéressant d'observer le signal en sortie d'une porte inverseuse encapsulée dans le boîtier du second composant, et dont l'entrée est connectée à la référence de masse (figure III-20). Au moment de la rédaction de ce mémoire, cette expérience complémentaire n'a pas été réalisée.

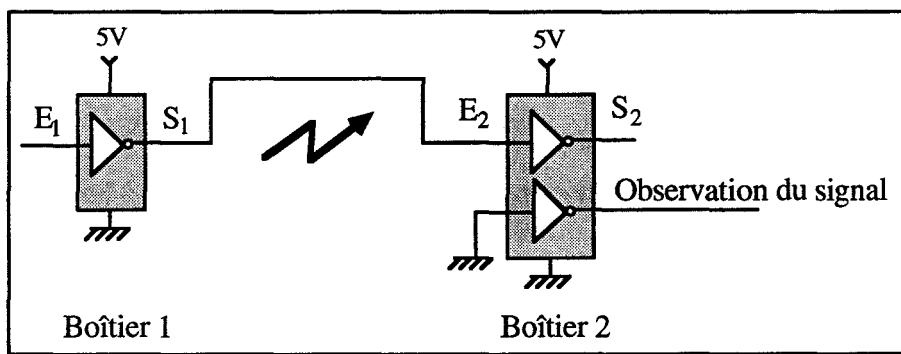


Figure III-20 : Expérience proposée afin d'étudier l'influence des appels de courant de l'alimentation du deuxième composant sur les portes logiques encapsulées dans le même boîtier.

Lorsque les composants sont de technologie TTL-F, la propagation des niveaux hauts ne change pas selon l'emplacement physique du troisième composant. Par contre aux fréquences élevées, nous avons observé des différences dans la propagation des niveaux bas selon que la troisième porte est encapsulée en boîtier commun ou non.

Lorsque les composants sont de technologie CMOS-HCU, nous avons constaté des petites différences de sensibilité selon que la troisième porte est encapsulée dans le boîtier du deuxième inverseur ou non.

Lorsque les composants sont de technologie TTL-ALS, TTL-S et CMOS-HC, les comportements sont identiques que le troisième inverseur soit encapsulé dans le boîtier du deuxième inverseur ou dans un autre boîtier.

D'une manière générale, lorsque le troisième inverseur est encapsulé dans un autre boîtier que le deuxième la propagation des défauts est prévisible. Dans ce cas, nos résultats statistiques sont représentatifs d'une probabilité d'apparition de défaillance, bien que la connexion d'un troisième composant soit susceptible de venir modifier les défauts observés en sortie de la porte logique 2, chargée initialement sur une impédance d'environ 500  $\Omega$ .

Une étude comparative de la sensibilité du dispositif sous test auquel une troisième porte a été ajoutée, montre encore que la technologie TTL-S est beaucoup moins sensible que les autres technologies.

### III.7.2. Détection d'anomalie de transitions d'état logique.

Le schéma synoptique utilisé pour étudier ce type de perturbation est présenté figure III-21. Par manque de possibilité d'approvisionnement en bascules D encapsulées dans des boîtiers montés en surface, seules les technologies TTL-ALS, TTL-LS et TTL-AS ont été étudiées. L'entrée du système  $E_1$  est fixée à un état logique donné, haut ou bas. Lorsque les défauts en  $S_2$  sont perçus comme des transitions, le signal de sortie  $S_3$  change d'état.

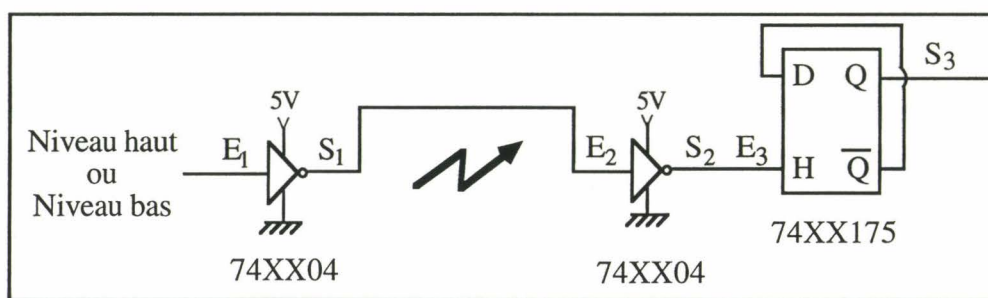


Figure III-21: Étude de la propagation des défauts lorsque l'information est sur les transitions.

La procédure de test est la suivante. Pour une fréquence donnée, on augmente l'amplitude du champ électromagnétique jusqu'à l'obtention d'une perturbation en sortie. On rapatrie alors le couple fréquence/amplitude et on passe à la fréquence suivante. On obtient ainsi une première courbe de sensibilité de l'élément sous test. La deuxième courbe de sensibilité est obtenue en diminuant l'amplitude du champ électromagnétique perturbateur à partir d'une valeur maximale. Ces deux courbes nous permettent de définir une zone dans l'espace à deux dimensions (fréquence, amplitude) où l'élément sous test est perturbé.

#### III.7.2.1. Niveau haut en entrée.

Les résultats obtenus lorsque l'entrée est à l'état haut sont présentés graphes III-54. La zone non perturbée 1 correspond à la zone d'espace où les niveaux hauts ne sont pas perturbés ou très peu perturbés. La zone perturbée 2 correspond à la zone où les niveaux hauts sont perturbés et où les défauts sont perçus comme des transitions logiques par la bascule D. La zone non perturbée 3 correspond à la zone où les niveaux hauts sont fortement perturbés mais où les défauts ne sont pas perçus comme des transitions logiques.

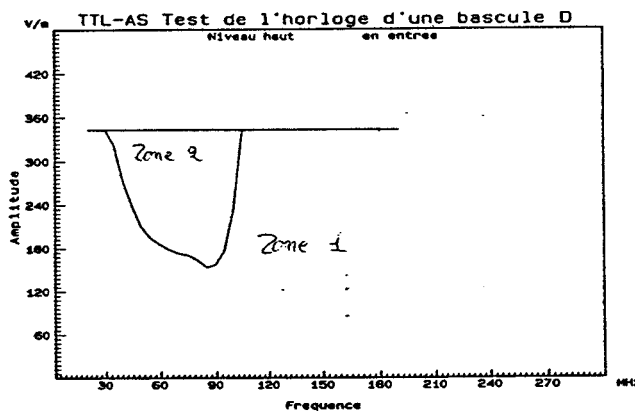
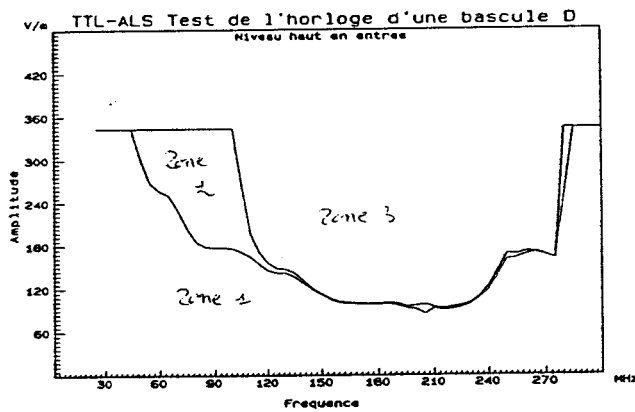
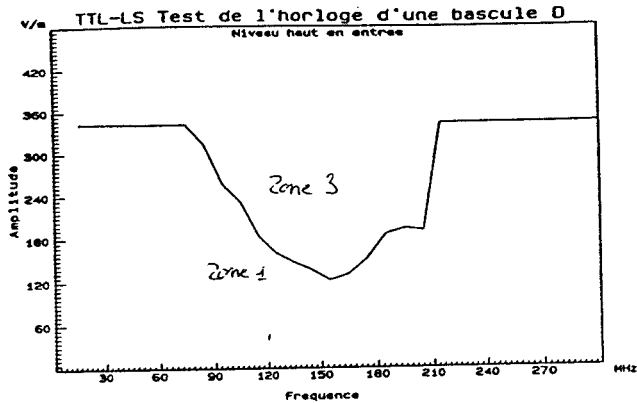
Pour les familles LS et ALS, nous avons montrée une diminution de la tension maximale

des niveaux normalement à l'état haut lorsque l'amplitude du champ électrique augmente (cf. sous chapitre III-6). Lorsque cette diminution est suffisamment importante, l'horloge de la bascule D perçoit un niveau constamment à l'état bas. De ce fait les perturbations sur le niveau normalement à l'état haut ne sont pas perçus en tant que transitions d'état logique. Nous observons ainsi une zone d'espace 3 pour les familles LS et ALS (graphes III-54a et III-54b). La tension maximale ne diminuant pas pour la famille AS, à partir d'une certaine amplitude, les défauts sont toujours perçus comme des transitions. Aucune zone 3 n'apparaît (graphe III-54c).

Les résultats statistiques ont montré que pour une fréquence de 65 MHz, les amplitudes minimales pour perturber les niveaux hauts en  $S_2$  sont de 300 V/m pour la famille LS (niveaux faiblement perturbés), 250 V/m pour la famille ALS et de 150 V/m pour la famille AS. A la fréquence de 95 MHz, elles sont de 250 V/m (famille LS), 200 V/m (famille ALS) et 100 V/m (famille AS).

Pour perturber l'horloge de la bascule D à la fréquence de 65 MHz, les amplitudes minimales nécessaires sont d'environ 240 V/m pour la famille ALS et de 180 V/m pour la famille AS. Pour des amplitudes allant jusqu'à 350 V/m, la famille LS n'est pas perturbée. A la fréquence de 95 MHz, ces amplitudes sont d'environ 240 V/m pour la famille LS, 180 V/m pour la famille ALS et 150 V/m pour la famille AS.

Les amplitudes minimales nécessaires pour perturber l'horloge de la bascule D ne sont pas identiques à celles obtenues par notre approche statistique car, d'une part la connexion de la bascule D est susceptible de modifier les signaux perturbés observés en sortie du composant 2, et d'autre part les critères pour définir une erreur ne sont pas les mêmes. Néanmoins, on constate que ce sont toujours les mêmes familles qui sont perturbées en premier pour une fréquence donnée.

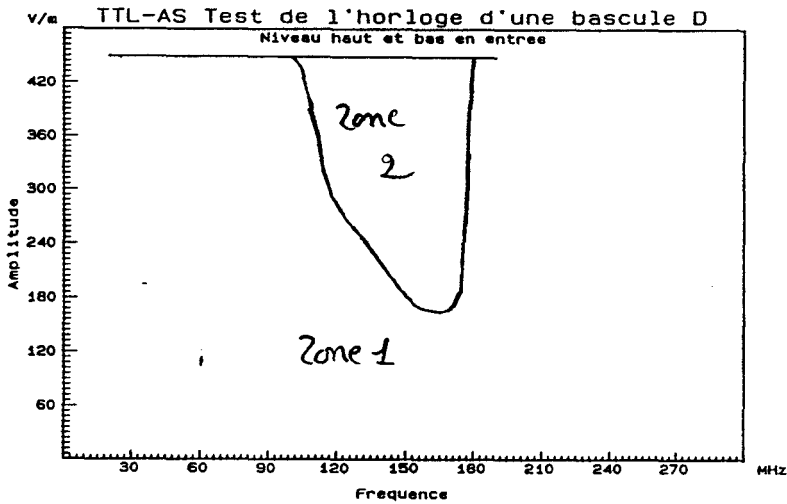


Graphes III-54 : Courbes de sensibilité lorsque l'entrée est à l'état haut.

### III.7.2.2. Niveau bas en entrée.

Les résultats obtenus lorsque l'entrée est à l'état bas sont présentés graphe III-55. Aucune perturbation n'est observée lorsque les composants sont de technologie TTL-LS ou TTL-ALS. En effet, pour ces technologies, nous avons remarqué sur nos graphes visualisant les extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électrique, que les niveaux bas de  $S_2$  sont insensibles au couplage hybride. Par contre, en ce qui concerne la

technologie TTL-AS, les graphes visualisant les extremums de tension ont révélé des perturbations sur niveaux bas. A partir d'une fréquence approximative de 90 MHz, ces perturbations sont perçues comme des transitions et provoquent des changements d'état de la sortie de la bascule D.

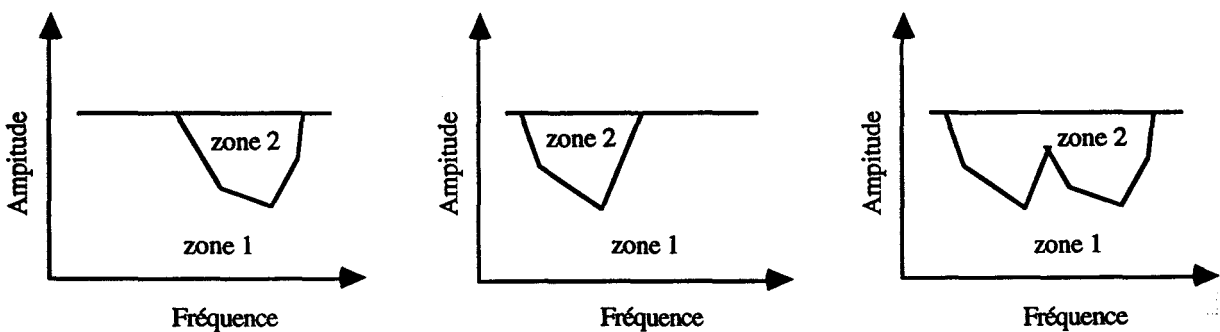


Graph III-55 : Courbe de sensibilité lorsque l'entrée est à l'état bas.

### III.7.2.3. Horloge en entrée.

Nous ne disposons pas des courbes de sensibilité pour un signal d'entrée  $E_1$  de type horloge. Néanmoins, connaissant les courbes de sensibilité pour un signal d'entrée tantôt à l'état bas, tantôt à l'état haut, on peut déduire les résultats pour ce type de signal d'entrée.

En ce qui concerne la technologie TTL-AS, on s'attend à obtenir une zone perturbée qui est l'union de la zone perturbée sur niveau bas et de la zone perturbée sur niveau haut (figure III-22).



a)  $E_1$  à l'état bas.

b)  $E_1$  à l'état haut.

c)  $E_1$  est une horloge

Figure III-22 : Prédiction de la courbe de sensibilité quant l'entrée est une horloge.

En ce qui concerne les technologies TTL-LS et TTL-ALS, nous avons observé que la transition logique état bas, état haut ne disparaît pas totalement. Si cette transition est encore perçue comme un front montant et si les données sont validées sur front montant alors les courbes de sensibilité pour un signal d'entrée  $E_1$  de type horloge sont identiques aux courbes obtenues pour un signal d'entrée qui est un niveau haut (figure III-23). Par contre, si cette transition n'est plus perçue comme un front montant ou si les données sont validées par un front descendant, la zone non perturbée 3 deviendra une zone perturbée (figure III-24).

Notons que quelques tests ont été effectués. Pour la technologie TTL-LS, nous avons obtenu une courbe de sensibilité analogue à celle présentée figure III-24c.

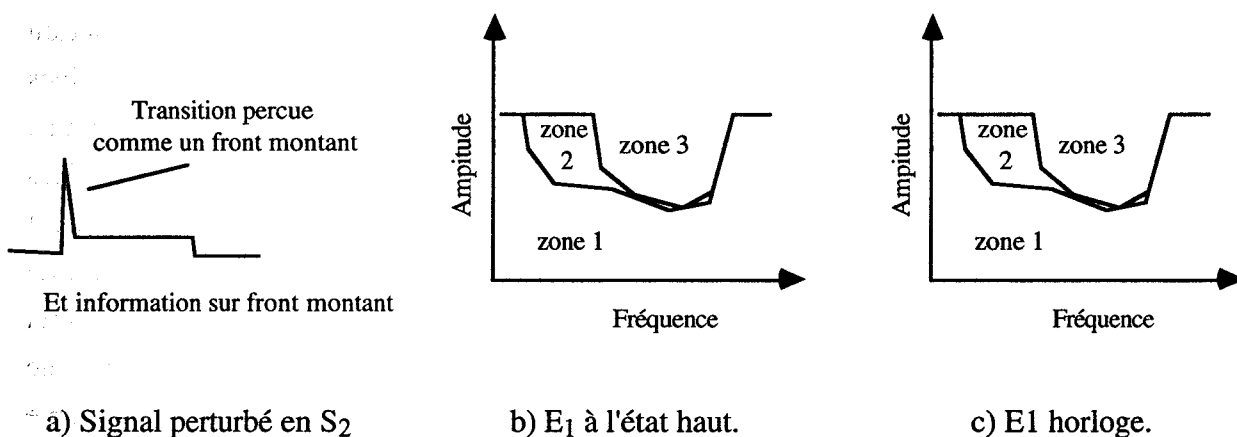


Figure III-23 : Prédiction de la courbe de sensibilité quant l'entrée est une horloge.

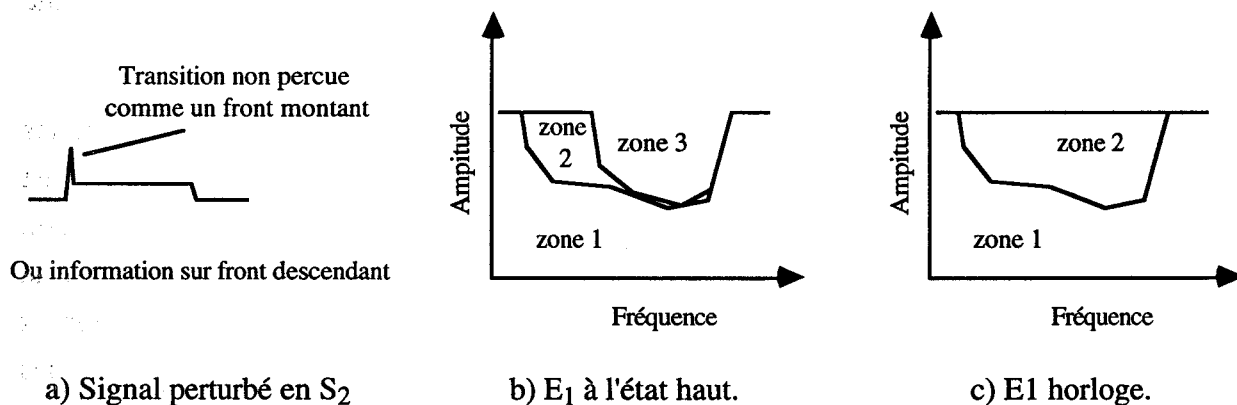


Figure III-24 : Prédiction de la courbe de sensibilité quant l'entrée est une horloge.

Les courbes schématisées ci-dessus représentent des anomalies du type détection d'un front d'horloge parasite. Notons pour compléter ce sous-paragraphe que les défauts de type avance ou retard de front étudiés dans [COUDORO] pour de faibles amplitude de perturbateur peuvent engendrer des anomalies de synchronisation.



## Conclusion.

L'étude statistique et la méthode de mesure permettant de visualiser les extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électromagnétique, concernent la perturbation des niveaux logiques. Néanmoins les résultats obtenus permettent de prédire dans une certaine mesure la perturbation d'une fonction logique pour laquelle l'information du signal perturbé est située sur les transitions d'état logique.

### **CONCLUSION DU CHAPITRE III.**

Nous avons présenté dans ce chapitre, un outil statistique spécifique afin de caractériser les défauts qui arrivent sur les états logiques d'un système numérique soumis à une perturbation électromagnétique. Cet outil est représentatif d'une probabilité d'apparition de défaillances fugitives sur un système ayant pour entrée les signaux perturbés. La caractérisation des défauts pour une perturbation modulée en fréquence est identique à celle obtenue en régime harmonique. Les résultats statistiques obtenus pour une perturbation modulée en amplitude sont localement équivalents à ceux obtenus en régime harmonique. Cette constatation nous a permis de mettre au point une méthode de mesure qui visualise les extremums de tension entre lesquels le signal perturbé varie selon l'amplitude du champ électromagnétique. Cette méthode de mesure complète l'outil statistique qui ne fournit pas ce type d'informations. Elle est peu précise en ce qui concerne les amplitudes de champs électromagnétiques pour lesquelles les phénomènes apparaissent. Par contre, le comportement global des différentes technologies de composants est très bien représenté. C'est pourquoi nous avons amplement utilisé cette méthode de mesure, notamment pour étudier la sensibilité du dispositif sous test lorsque les composants d'entrée et de sortie ne sont pas de même technologie.

Lors de nos mesures, le couplage sur la ligne de transmission est hybride. Pour les technologies TTL-LS, TTL-ALS, TTL-F et TTL-AS, le comportement sur niveaux hauts est imposé essentiellement par la porte de sortie. On observe une diminution de la tension maximale du niveau normalement à l'état haut lorsque la fréquence du perturbateur est très supérieure à la fréquence maximale de travail des composants. Cette diminution de tension est due au redressement des signaux et à l'action filtre passe bas des portes. Le comportement sur niveau bas dépend des deux portes. La tension maximale du niveau bas perturbé est déterminée par la porte de sortie et les gammes de fréquences perturbatrices par la porte d'entrée. On observe de très faibles perturbations lorsque la porte de sortie est de technologie TTL-LS ou TTL-ALS. La détection-filtrage des signaux induits sur la ligne et dont la fréquence est bien supérieure à la fréquence maximale de ces deux technologies confirme en effet l'état logique bas en sortie. Globalement, la sensibilité sur niveaux hauts est beaucoup plus importante que sur niveaux bas.

En ce qui concerne la technologie CMOS-HC, on observe un comportement symétrique sur niveau haut et bas. Pour la technologie CMOS-HCU, cette symétrie tend à disparaître. Le faible gain de cette technologie entraîne une faible variation de la tension maximale (minimale) des niveaux normalement à l'état bas (haut) selon l'amplitude du champ électromagnétique perturbateur.

La technologie TTL-S a un comportement particulier puisqu'elle n'est perturbée que pour des couples amplitudes/fréquences bien déterminés. Ce comportement montre qu'il est impératif de ne pas effectuer les tests CEM uniquement pour les amplitudes maximales de perturbation auxquelles un système est susceptible d'être soumis.

Globalement pour le type de couplage étudié, à savoir un couplage hybride, l'association de composants qui s'est révélée être beaucoup moins sensible sur niveaux que les autres associations de composants logiques, est la TTL-S TTL-S. Cependant, nous n'avons pas étudié la sensibilité des technologies CMOS-AC et CMOS-ACT par manque de possibilité d'approvisionnement en composants de ce type. Si l'on fait abstraction de la famille S de la technologie TTL, les familles de la technologie CMOS que nous avons étudiées (HC et HCU) se sont révélées moins sensibles que les familles de la technologie TTL (LS, ALS, F et AS).

En ce qui concerne la propagation des défauts le long d'une chaîne d'inverseurs de technologie TTL-AS ou TTL-LS, nous avons relevé des différences de comportement selon que le troisième inverseur ajouté en sortie du dispositif sous test est encapsulé dans le boîtier du deuxième inverseur ou dans un troisième boîtier. Ces différences de comportement peuvent provenir d'une perturbation interne de l'alimentation du deuxième boîtier, due aux appels de courant provoqués par la perception des défauts en tant que transitions d'état logique. Nous avons proposé une expérience complémentaire pour confirmer ou infirmer cette hypothèse.

Sur le dispositif sous test initial, la sortie  $S_2$  du composant 2 est chargée sur une impédance d'environ  $500 \Omega$ . La connexion en sortie d'un composant dont l'entrée est en haute impédance est susceptible de modifier les signaux perturbés observés en  $S_2$ . Néanmoins, quelle que soit la technologie de composants, lorsque la sortie du dispositif sous test initial pilote l'horloge d'une bascule D ou encore un troisième inverseur encapsulé dans un troisième boîtier, le comportement observé en sortie du troisième composant peut être expliqué à partir des résultats obtenus en sortie du composant 2 chargé sur  $500 \Omega$ . Dans ce cas précis, nos résultats statistiques représentent donc bien une probabilité d'apparition de défaillances. Il convient cependant de garder à l'esprit que les gammes de fréquences pour lesquelles des perturbations sont observées dépendent des dimensions de la ligne de transmission qui relie les deux inverseurs. Nous traitons à nouveau cet aspect dans le chapitre suivant.

# Chapitre IV : Détermination des courants et tensions induits sur la ligne de transmission de notre dispositif sous test.

## INTRODUCTION.

Le dispositif sous test que nous venons d'étudier dans le chapitre précédent est composé de deux inverseurs reliés par une ligne de transmission couplée à une onde électromagnétique plane générée par une cellule "stripline". Nous avons établi dans l'introduction du chapitre III que les tensions et courants induits sur la ligne de transmission dépendent des caractéristiques du champ perturbateur, de la ligne de transmission et des charges non linéaires présentées par les composants logiques (cf. figure III-1). L'analyse des signaux est pratiquée en sortie d'une porte inverseuse. Les perturbations observées dépendent non seulement des courants et tensions induits sur la ligne de transmission mais aussi de la fonction logique assurée par la porte (cf. figure III-2).

La petite taille de la cellule "stripline" nous interdit l'utilisation des sondes de courant disponibles au laboratoire pour mesurer les courants et tensions induits sur la ligne de transmission. Seuls les signaux en sortie de la porte logique sont aisément accessibles sur notre dispositif sous test. Cependant, comme nous avons pris soin d'utiliser pour connecter nos deux inverseurs une ligne de transmission, il est possible de simuler les tensions et courants induits sur la ligne, grâce notamment au modèle de Bergeron et à la description fine des charges non linéaires des étages d'entrée/sortie des portes logiques que l'on trouve dans les bibliothèques des logiciels de type Spice. Par contre, les modèles des fonctions logiques ne sont plus valides lorsque les signaux en entrée de la porte sont soumis à une perturbation électromagnétique. En d'autres termes, les modèles actuels ne permettent qu'imparfaitement de simuler les signaux  $S_2$  que nous avons observés au chapitre III. Expérimentations et simulations se complètent donc de manière constructive (figure IV-1).

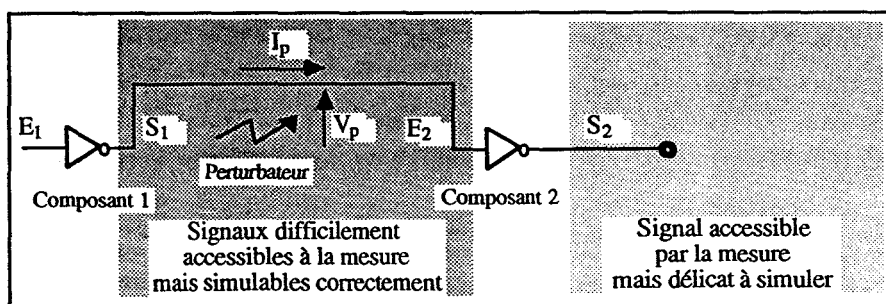


Figure IV-1 : Dispositif sous test utilisé au chapitre III.

L'objectif de ce chapitre est d'analyser par simulation les courants et tensions induits sur la connexion qui relie les deux inverseurs. Nous décrivons dans un premier temps la modélisation du couplage électromagnétique sur la ligne de transmission. Le modèle de Bergeron est utilisé pour modéliser d'une part la propagation de l'onde électromagnétique et d'autre part la ligne de transmission.

Nous analysons ensuite les signaux induits lorsque la ligne est connectée à des charges linéaires et notamment des résistances. L'étude de cas simples permet de comparer les résultats obtenus par le calcul numérique aux simulations. On valide ainsi le modèle du couplage électromagnétique sur une ligne de transmission. L'influence du sens de propagation de l'onde par rapport à celui des signaux logiques est étudiée. Les charges étant linéaires, nous avons effectué ces simulations dans le domaine spectral.

Dans un troisième sous-chapitre, nous nous plaçons dans la configuration de l'étude expérimentale réalisée au chapitre III. La ligne est connectée à des portes logiques des bibliothèques PSpice et les sens de propagation de l'onde électromagnétique et des signaux logiques sont identiques. L'utilisation des bibliothèques PSpice permet d'obtenir une modélisation fiable des charges non linéaires présentées par les composants. Les interfaces analogiques/numériques et numériques/analogiques ont été en effet développées en étroite collaboration avec les fabricants de composants. Ces charges étant fortement non linéaires seules des simulations dans le domaine temporel sont entreprises.

## **IV.1. MODÉLISATION DU COUPLAGE ÉLECTROMAGNÉTIQUE.**

### **IV.1.1. Modélisation d'une ligne de transmission par le modèle de Bergeron.**

#### **IV.1.1.1. La théorie des lignes.**

On appelle ligne de transmission, deux conducteurs parallèles qui permettent de véhiculer de l'énergie d'un générateur vers un récepteur et dont les dimensions transversales sont négligeables relativement à leur longueur (figure IV-2) [RISBOURG].

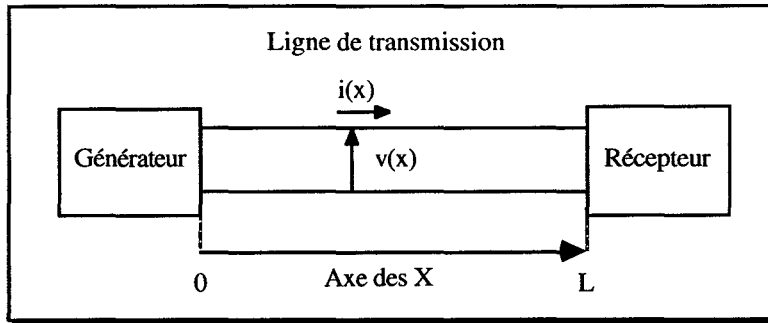


Figure IV-2 : Ligne de transmission d'énergie.

Les tensions et courants circulant sur une ligne de transmission sont régis par les équations de propagation (équations IV-1).

$$\frac{\partial^2 v(x)}{\partial x^2} = \gamma^2 v(x) \quad \text{et} \quad \frac{\partial^2 i(x)}{\partial x^2} = \gamma^2 i(x) \quad \text{Équations IV-1.}$$

$$\text{avec } \gamma = \sqrt{zy} = \alpha + j\beta \quad \text{Équation IV-2}$$

où  $z$  est l'impédance linéique de la ligne,

$y$  est l'admittance linéique de la ligne,

$\alpha$  est la constante d'affaiblissement de l'onde qui traduit les pertes par effet Joules dans la ligne.

$\beta$  est la constante de longueur d'onde ou de phase qui traduit la propagation de l'onde dans la ligne.

La résolution de ces équations est immédiate et donne :

$$v(x) = Ae^{-\gamma x} + Be^{+\gamma x} = v_i + v_r \quad \text{et} \quad i(x) = Ce^{-\gamma x} + De^{+\gamma x} = i_i + i_r \quad \text{Équations IV-3.}$$

Les constantes d'intégration A et B sont déterminées à partir des conditions aux limites (extrémités de la ligne en  $x=0$  et  $x=L$ ). Les constantes C et D sont reliées à A et B.

$$i(x) = (Ae^{-\gamma x} - Be^{+\gamma x}) \times \frac{1}{Z_c} \quad \text{Équation IV-4.}$$

où  $Z_c = \sqrt{\frac{z}{y}}$  est l'impédance caractéristique de la ligne.

Les équations IV-3 montrent qu'à tout instant nous pouvons considérer la tension et le courant comme la somme d'une onde incidente et d'une onde réfléchie.

L'onde incidente sur le récepteur se propage du générateur vers le récepteur ( $e^{-\gamma x}$ ). Cette onde a pour amplitude à l'origine (en  $x=0$ ): pour la tension A et pour le courant  $\frac{A}{Z_c}$ .

L'onde réfléchie par le récepteur se propage du récepteur vers le générateur ( $e^{+\gamma x}$ ). Cette

onde a pour amplitude à l'origine (en  $x=L$ ): pour la tension  $Be^{+\gamma L}$  et pour le courant  $-\frac{B}{Z_c}e^{+\gamma L}$ .

Les constantes A et B peuvent être déterminées analytiquement lorsque les charges présentées par le générateur et le récepteur sont linéaires (résistances, inductances, capacités). Ces constantes dépendent des réflexions multiples sur le récepteur et sur le générateur. Ainsi l'onde incidente dépend aussi de l'onde réfléchie et réciproquement. Lorsque les charges présentées par le récepteur et générateur ne sont pas linéaires, une résolution analytique devient difficile voire impossible. Le modèle de Bergeron permet de modéliser la propagation d'une onde dans une ligne de transmission en tenant compte des réflexions multiples.

#### IV.1.1.2. Le modèle de Bergeron pour une ligne sans perte.

a) *Modélisation de la propagation de l'onde depuis le générateur vers le récepteur.*

La figure IV-3 schématise la propagation de l'onde depuis le récepteur vers le générateur avec une vitesse  $V_{\text{onde}}$ . Lorsque la ligne est sans perte, les signaux générés par le générateur arrivent sur le récepteur avec un retard  $\tau$  qui correspond au temps de propagation de l'onde le long de la ligne. Les équations de la figure IV-3 permettent d'établir le modèle présenté figure IV-4.

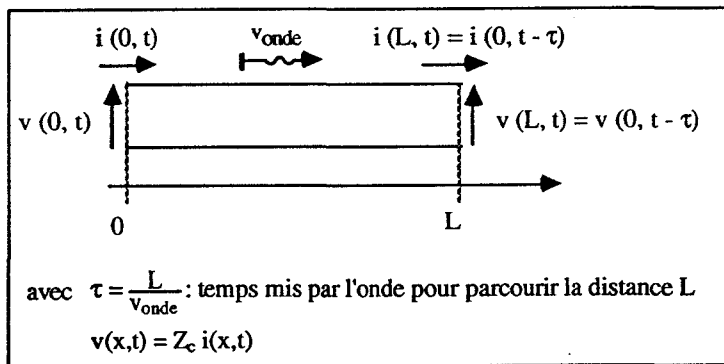


Figure IV-3 : Propagation de l'onde incidente dans une ligne sans perte.

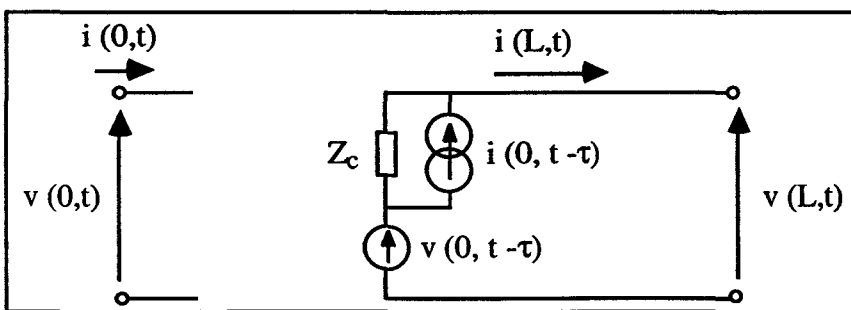


Figure IV-4 : Modélisation de la propagation de l'onde depuis le générateur vers le récepteur dans une ligne sans perte.

b) Modélisation de la propagation de l'onde depuis le récepteur vers le générateur.

La figure IV-5 schématise la propagation de l'onde depuis le générateur vers le récepteur avec une vitesse  $V_{\text{onde}}$ . Lorsque la ligne est sans perte, les signaux réfléchis par le récepteur arrivent sur le récepteur avec un retard  $\tau$  qui correspond au temps de propagation de l'onde le long de la ligne. Les équations de la figure IV-5 permettent d'établir le modèle présenté figure IV-6. Si au niveau du récepteur, la ligne est adaptée, on obtient :

$$V(L, t) = Z_C I(L, t) \quad \text{Équation IV-5.}$$

Les générateurs idéaux de courants et tensions du modèle de Bergeron au niveau du générateur se compensent. On retrouve ainsi par le modèle que lorsque la ligne est adaptée, il n'existe pas d'onde réfléchie.

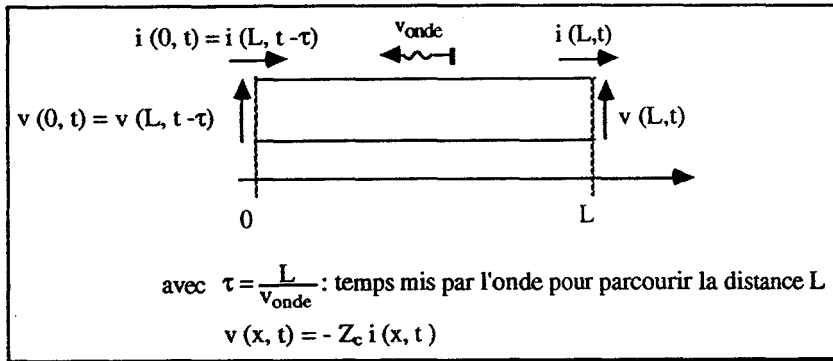


Figure IV-5 : Propagation de l'onde réfléchie dans une ligne sans perte.

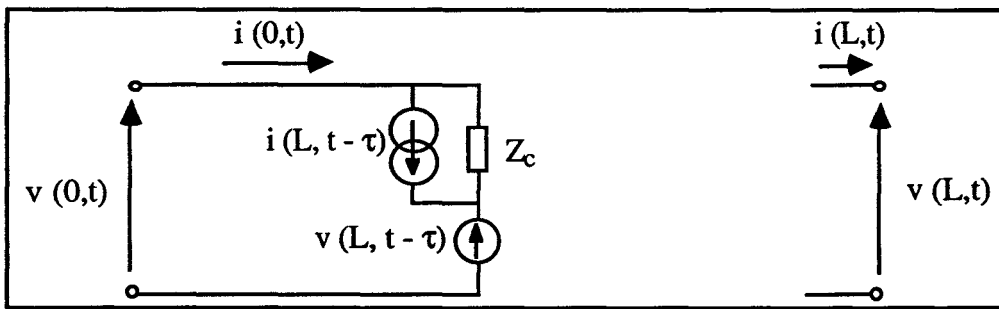


Figure IV-6 : Modélisation de la propagation de l'onde depuis le récepteur vers le générateur dans une ligne sans perte.

c) Modèle de Bergeron des lignes de transmission.

Le modèle de Bergeron considère les deux sens de propagation de l'onde sur la ligne de transmission (figure IV-7). Le schéma du modèle proposé n'est qu'apparemment simple car les tension et courant en sortie du générateur ( $x=0$ ) dépendent des tension et courant en entrée du

récepteur ( $x=L$ ) et réciproquement. Ces différents courants et tensions sont fonction des charges présentées par les récepteur et générateur (conditions aux limites). Lorsque ces charges ne sont pas linéaires, la complexité des calculs augmente considérablement.

Ce modèle est très bien adapté aux logiciels de simulation qui ont la possibilité de modéliser des générateurs de tensions et de courants idéaux, dont l'amplitude est une fonction d'une tension ou d'un courant en un point ou dans une maille quelconque d'un circuit électrique. C'est notamment le cas du logiciel PSpice que nous utilisons au laboratoire. Le modèle de Bergeron est directement disponible dans les bibliothèques du logiciel. L'utilisateur indique l'impédance caractéristique  $Z_c$  de la ligne, ainsi que le temps de propagation  $\tau$ .

Ce modèle est aussi disponible pour des lignes avec pertes : les générateurs de courants et de tensions (figure IV-7) sont alors pondérés par des termes qui tiennent compte de la forme d'onde du signal. Ces termes sont calculés en fonction des caractéristiques linéiques de la ligne (résistance, inductance, conductance et capacité) que l'utilisateur doit indiquer [MICROSIM CORPORATION 1].

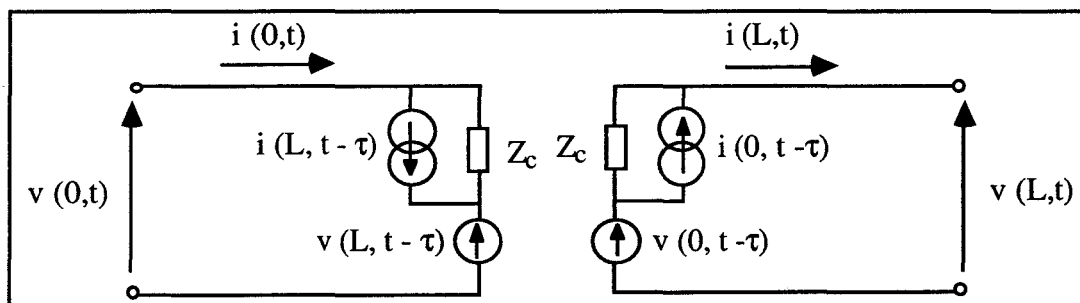


Figure IV-7 : Modèle de Bergeron d'une ligne de transmission sans perte.

## IV.1.2. Modélisation du couplage électromagnétique hybride.

### IV.1.2.1. Le modèle obtenu par la théorie.

Les deux portes logiques du dispositif sous test dont l'étude est présentée au chapitre III, sont reliées par une ligne de transmission de longueur 20 cm et de hauteur 2,1 cm ( $L \gg h$ ). Il est ainsi possible d'utiliser les modèles classiques de couplage des champs électromagnétiques aux lignes. Le champ électromagnétique se propageant dans la même direction que la ligne de transmission, le couplage est hybride. La modélisation de ce couplage est donnée figure IV-8. Dans [DEGAUQUE], la tension  $V_1$  induite est égale à environ  $2hE_{incident}$  car la réflexion du champ lointain sur le plan de masse est prise en compte ( $E=2E_{incident}$ ). En ce qui nous concerne, le champ électrique est généré par une cellule de type "stripline" et l'amplitude du champ total  $E$  est égale à la tension entre les deux plaques de la cellule divisée par la hauteur de la cellule. Les valeurs de champ électrique données au chapitre III correspondent directement au champ électrique  $E$ .



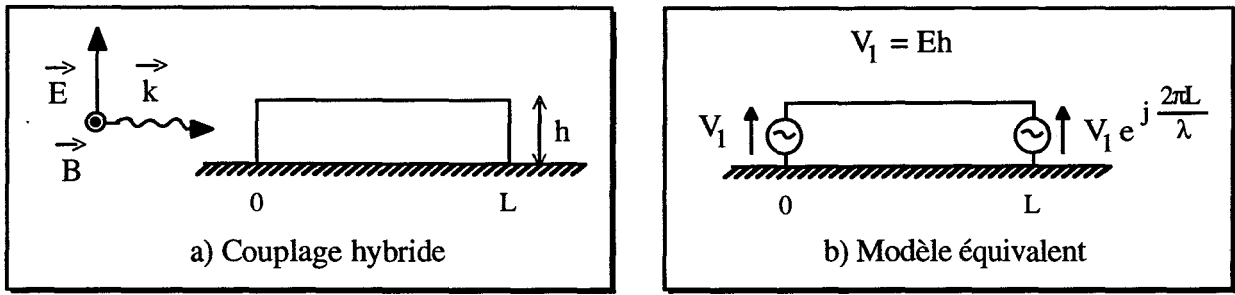


Figure IV-8 : Couplage hybride sur une ligne de transmission.

#### IV.1.2.2. La modélisation sous PSpice.

Pour modéliser le couplage hybride réalisé sur le dispositif sous test du chapitre III (figure IV-9), nous utilisons le modèle de Bergeron. Une première ligne de transmission modélise la propagation de l'onde électromagnétique plane dont l'impédance caractéristique est de  $120\pi \Omega$  (figure IV-10a). Le couplage hybride sur la ligne de transmission qui relie les deux inverseurs est simulé à l'aide de deux générateurs de tension fonction du champ électrique propagé et de la hauteur  $h$  de la ligne (figure IV-10b).

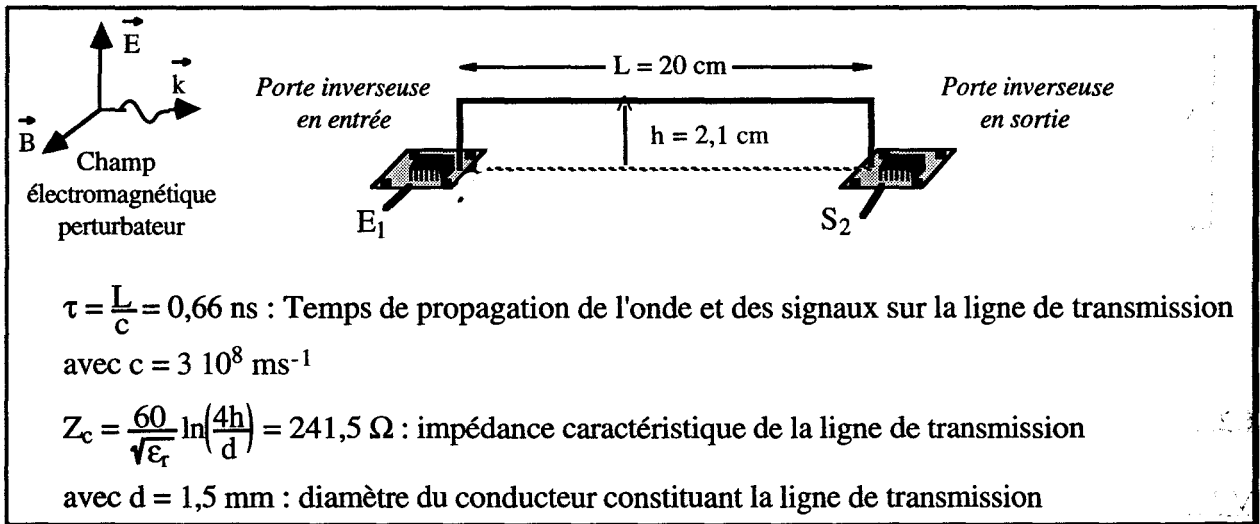


Figure IV-9 : Caractéristique de la ligne de transmission qui relie les portes inverseuses.

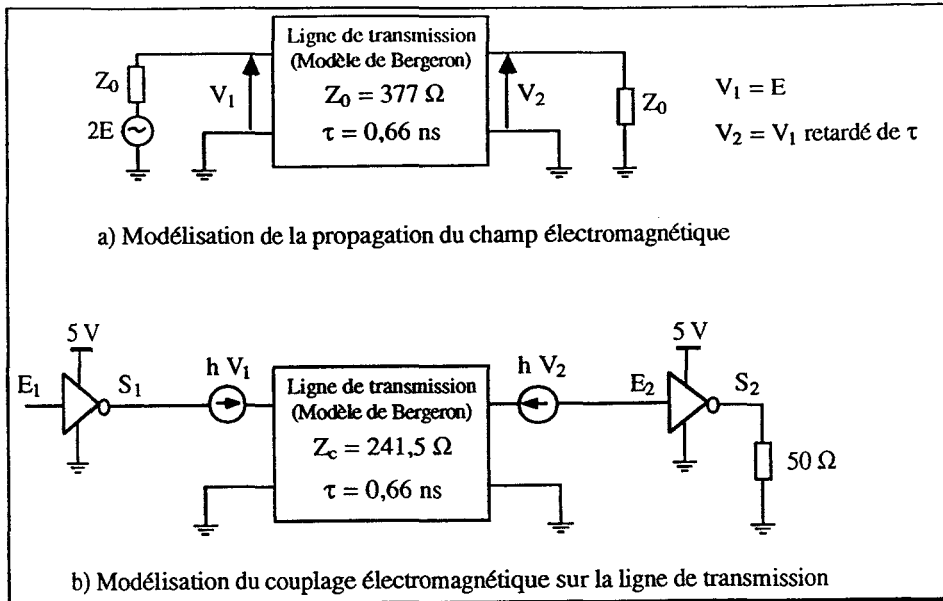


Figure IV-10 : Modélisation sous PSpice du couplage hybride par une onde électromagnétique qui se propage dans le même sens que les signaux logiques sur la ligne de transmission.

Dans [MAILLY], ce modèle de couplage d'une ligne de transmission est vérifié expérimentalement lorsque les charges connectées à la ligne sont linéaires (résistances et capacités). Ce modèle est par ailleurs utilisé dans [KLINGLER 3] pour valider une méthode d'injection permettant de reproduire la distribution de courant sur une ligne de transmission produite par une onde plane.

## IV.2. ÉTUDE PRÉLIMINAIRE : LES CHARGES AUX EXTRÉMITÉS DE LA LIGNE DE TRANSMISSION SONT LINÉAIRES.

### Introduction.

Tant que les signaux ne sont pas redressés par les diodes de protection, on peut considérer que les charges présentées par les étages d'entrée ou de sortie des composants logiques sont équivalentes à une résistance en parallèle à une capacité parasite. Selon la technologie, cette charge en entrée ou en sortie du composant est de faible impédance ou de forte impédance.

L'objectif de ce sous chapitre est d'analyser les courants et tensions induits selon la fréquence du perturbateur pour différentes valeurs d'impédances linéaires. La résolution analytique donne pour le courant induit en un point quelconque de la ligne [MAILLY] :

$$I(x) = h E_z^i(0) \frac{(Z_c + Z_L) \sin[\beta(L - x)] + (Z_c - Z_0) e^{-\gamma L} \sin(\beta x)}{D} \quad \text{Équation IV-6.}$$

Expression où :  $D = (Z_c^2 + Z_0 Z_L) \sin(\beta L) - j Z_c (Z_0 + Z_L) \cos(\beta L)$ ,  
 $h$  est la hauteur de la ligne,  $Z_c$  l'impédance caractéristique de la ligne,  
 $\beta$  la constante de longueur d'onde ou de phase  
et  $\gamma$  la constante de propagation de l'onde.

La définition des autres termes est donnée figure IV-11.

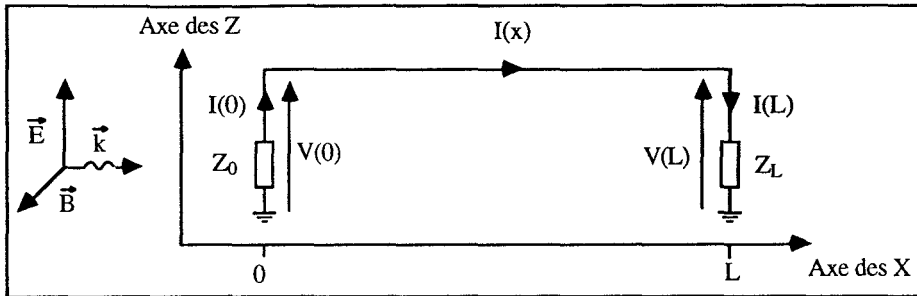


Figure IV-11 : Représentation de la ligne couplée à une onde électromagnétique.

Aux extrémités de la ligne, les courants s'écrivent donc :

$$I(0) = h E_z^i(0) \frac{(Z_c + Z_L) \sin(\beta L)}{D} \quad \text{Équation IV-7.}$$

$$I(L) = h E_z^i(0) \frac{(Z_c - Z_0) e^{-\gamma L} \sin(\beta L)}{D} \quad \text{Équation IV-8.}$$

Notons que nous avons adopté la convention suivante. Le sens positif de l'axe des X correspond au sens de propagation de l'onde.

#### IV.2.1. Cas particulier où les équations se simplifient.

##### IV.2.1.1. La ligne est adaptée en $x=0$ .

Lorsque la ligne est adaptée en  $x=0$  ( $Z_0 = Z_c$ ), le courant et la tension en bout de ligne sont nuls quelle que soit la charge  $Z_L$  (équation IV-8). Le module du dénominateur  $D$  des équations IV-6 à IV-8 se simplifie :

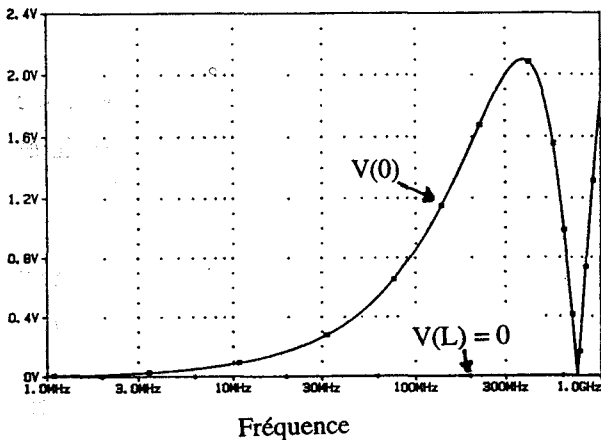
$$|D| = Z_c (Z_c + Z_L) \text{ lorsque } Z_0 = Z_c \quad \text{Équation IV-9}$$

Pour un champ électromagnétique donné, les courants et tensions induits en  $x=0$  sont constants selon la charge  $Z_L$

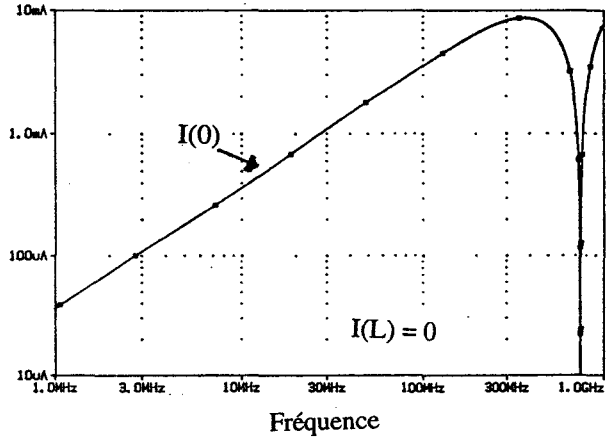
$$|I(0)| = h E_z^i(0) \frac{|\sin(\beta L)|}{Z_c} = h E_z^i(0) \frac{|\sin\left(\frac{2\pi L}{\lambda}\right)|}{Z_c} \quad \text{Équation IV-10.}$$

$$|V(0)| = h E_z^i(0) \left| \sin\left(\frac{2\pi L}{\lambda}\right) \right| \quad \text{Équation IV-11.}$$

Les valeurs des courants et tensions induits obtenues par simulation sont données sur les graphes IV-1. L'amplitude du champ électrique est de 100 V/m et sa fréquence varie de 1 MHz à 1 GHz. L'amplitude des signaux est maximale pour une fréquence de 375 MHz ( $L = \frac{\lambda}{4}$ ) et minimal pour une fréquence de 750 MHz ( $L = \frac{\lambda}{2}$ ). Lorsque la fréquence du champ électromagnétique incident est inférieure à 375 MHz, l'amplitude des signaux perturbateurs augmente avec la fréquence.



a) Tension induite.



b) Courant induit.

Graphes IV-1 : Simulation des courants et tensions induits lorsque  $Z_0 = Z_c$  ( $E=100$  V/m).

#### IV.2.1.2. La ligne est adaptée en $x=L$ .

Lorsque la ligne est adaptée en  $x=L$  ( $Z_L = Z_c$ ), le module du dénominateur D des équations IV-6 à IV-8 se simplifie :

$$|D| = Z_c (Z_c + Z_0) \quad \text{Équation IV-12.}$$

Les courants  $I(0)$  et  $I(L)$  s'écrivent alors :

$$|I(0)| = h E_z^i(0) \frac{2 \times |\sin(\beta L)|}{Z_c + Z_0} \quad \text{Équation IV-13.}$$

$$|I(L)| = h E_z^i(0) \frac{|(Z_c - Z_0) \sin(\beta L)|}{Z_c (Z_c + Z_0)} \quad \text{Équation IV-14.}$$

Les valeurs des tensions et courants obtenues par la simulation à la fréquence de résonance de 375 MHz sont comparées aux valeurs calculées dans le tableau IV-1 (à cette fréquence,  $|\sin(\beta L)| = 1$ ). Nous constatons un parfait accord entre les résultats obtenus par le calcul analytique et les résultats obtenus par simulation.

Résistance en $x=0$		I(0)	V(0)	I(L)	V(L)
1 $\Omega$	Simulation	17,3 mA	17,3 mV	8,6 mA	2,1 V
	Calcul	17,3 mA	17,3 mV	8,6 mA	2,1 V
50 $\Omega$	Simulation	14,4 mA	720 mV	5,7 mA	1,37 V
	Calcul	14,4 mA	720 mV	5,7 mA	1,38 V
1 M $\Omega$	Simulation	4,2 $\mu$ A	4,2 V	8,7 mA	2,1 V
	Calcul	4,2 $\mu$ A	4,2 V	8,7 mA	2,1 V

Tableau IV-1 : Comparaison des résultats obtenus par simulation et par calcul à la fréquence de résonance de 375 MHz lorsque  $Z_L = Z_c$ .

Lorsque  $Z_L = Z_c$  et que l'impédance  $Z_0$  est très inférieure ou très supérieure à l'impédance caractéristique de la ligne, l'équation IV-14 qui exprime le module du courant I(L) se simplifie et devient similaire à l'équation IV-10 qui exprime le module du courant I(0) lorsque  $Z_0 = Z_c$ .

Cependant, contrairement au cas où la ligne est adaptée en  $x=0$  et où les signaux induits sont nuls en  $x=L$ , lorsque la ligne est adaptée en  $x=L$ , les signaux induits ne sont pas nuls en  $x=0$ .

Lorsque  $Z_0$  est très inférieure à l'impédance caractéristique  $Z_c$ , le courant I(0) est indépendant des impédances  $Z_0$  et  $Z_L$ . La tension V(0) est déterminée par l'impédance  $Z_0$ .

$$|I(0)| = h E_z^i(0) \frac{2 \times |\sin(\beta L)|}{Z_c} \quad \text{quand } Z_0 \ll Z_c \text{ et } Z_L = Z_c \quad \text{Équation IV-15.}$$

Lorsque  $Z_0$  est très supérieure à l'impédance caractéristique  $Z_c$ , la tension V(0) est indépendante des impédances  $Z_0$  et  $Z_L$ . Le courant I(0) est déterminé par l'impédance  $Z_0$ .

$$|V(0)| = 2h E_z^i(0) |\sin(\beta L)| \quad \text{quand } Z_0 \ll Z_c \text{ et } Z_L = Z_c \quad \text{Équation IV-16.}$$

#### IV.2.1.3. Les impédances aux extrémités de la ligne sont très inférieures à l'impédance caractéristique de la ligne.

Lorsque les charges aux extrémités de la ligne sont des résistances pures dont la valeur est très inférieure à celle de l'impédance caractéristique, les équations IV-7 et IV-8 peuvent s'écrire :

$$I(0) \approx h E_z^i(0) \frac{Z_c \sin(\beta L)}{D} \quad \text{quand } Z_L \ll Z_c \quad \text{Équation IV-17.}$$

$$I(L) \approx h E_z^i(0) \frac{Z_c e^{-\gamma L} \sin(\beta L)}{D} \quad \text{quand } Z_0 \ll Z_c \quad \text{Équation IV-18.}$$

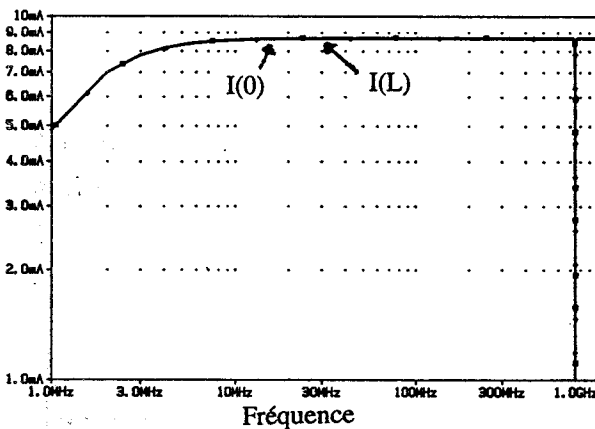
Expression où  $D = (Z_c^2 + Z_0 Z_L) \sin(\beta L) - j Z_c (Z_0 + Z_L) \cos(\beta L) \approx Z_c^2 \sin(\beta L)$  lorsque

$\beta L \neq k\pi$  avec  $k \in \mathbb{N}$  c'est à dire  $L \neq k \frac{\lambda}{2}$

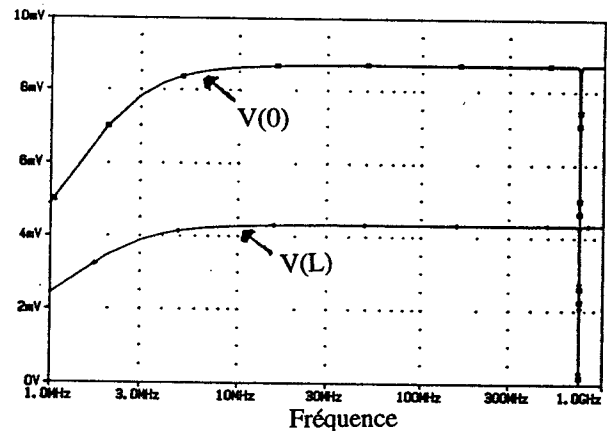
Lorsque la fréquence du champ électrique n'est pas proche des fréquences d'antirésonance  $k \times 750\text{MHz}$  ( $k \in \mathbb{N}$ ), et que la constante de propagation  $\gamma$  est une valeur imaginaire pure (ligne sans perte), les équations IV-17 et IV-18 donnent :

$$|I(0)| = |I(L)| \approx \left| \frac{h E_z^i(0)}{Z_c} \right| \quad \text{quand } Z_0 \ll Z_c \text{ et } Z_L \ll Z_c \quad \text{Équation IV-19.}$$

Pour un champ électrique de 100 V/m, une hauteur de ligne de 2,1 cm et une impédance caractéristique de 241  $\Omega$ , on obtient une valeur de courant de 8,7 mA. Nous retrouvons ces résultats sur les simulations présentées sur les graphes IV-2. L'absence de phénomène de résonance à la fréquence de 375 MHz est liée à la simplification du dénominateur D. Notons que les courants induits aux deux extrémités de la ligne ont le même module, que l'impédance  $Z_0$  soit égale à l'impédance  $Z_L$  ou non. Ces courants sont indépendants de la valeur des impédances de charge. Par contre, les tensions induites aux extrémités sont directement proportionnelles à l'impédance de la charge.



a) Courant induit.



b) Tension induite.

Graphes IV-2 : Simulation des courants et tensions induits lorsque  $Z_0 = 1 \Omega$  et  $Z_L = 0,5 \Omega$  ( $E=100 \text{ V/m}$ )

#### IV.2.1.4 Les impédances aux extrémités de la ligne sont très supérieures à l'impédance caractéristique de la ligne.

Lorsque les charges aux extrémités de la ligne sont des résistances pures dont la valeur est très supérieure à celle de l'impédance caractéristique, les équations IV-7 et IV-8 peuvent s'écrire :

$$I(0) \approx h E_z^i(0) \frac{Z_L \sin(\beta L)}{D} \quad \text{quand } Z_c \ll Z_L \quad \text{Équation IV-20.}$$

$$I(L) \approx h E_z^i(0) \frac{-Z_0 e^{-\gamma L} \sin(\beta L)}{D} \quad \text{quand } Z_c \ll Z_0 \quad \text{Équation IV-21.}$$

Nous voyons dès lors que les courants induits ne sont pas identiques aux extrémités de la ligne sans perte lorsque les impédances  $Z_0$  et  $Z_L$  ont des modules différents.

Le dénominateur D s'écrit  $D = (Z_c^2 + Z_0 Z_L) \sin(\beta L) - j Z_c (Z_0 + Z_L) \cos(\beta L) \approx Z_0 Z_L \sin(\beta L)$  lorsque  $\beta L \neq k\pi$  avec  $k \in \mathbb{N}$  c'est à dire  $L \neq k \frac{\lambda}{2}$

Lorsque la fréquence du champ électrique n'est pas proche des fréquences d'antirésonance  $k \times 750\text{MHz}$  ( $k \in \mathbb{N}$ ), et que la constante propagation  $\gamma$  est une valeur imaginaire pure (ligne sans perte), les équations IV-20 et IV-21 donnent :

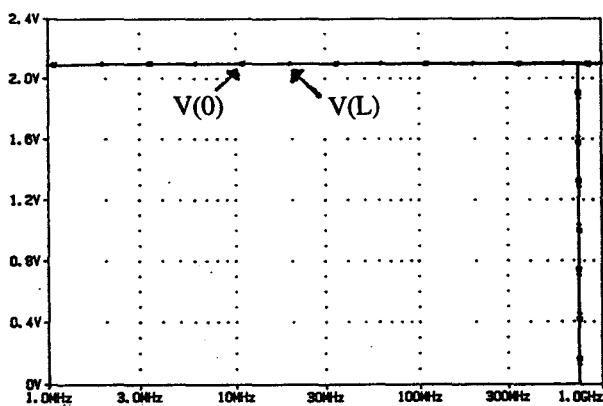
$$|I(0)| \approx \left| \frac{h E_z^i(0)}{Z_0} \right| \quad \text{quand } Z_c \ll Z_0 \text{ et } Z_c \ll Z_L \quad \text{Équation IV-22.}$$

$$|I(L)| \approx \left| \frac{h E_z^i(0)}{Z_L} \right| \quad \text{quand } Z_c \ll Z_0 \text{ et } Z_c \ll Z_L \quad \text{Équation IV-23.}$$

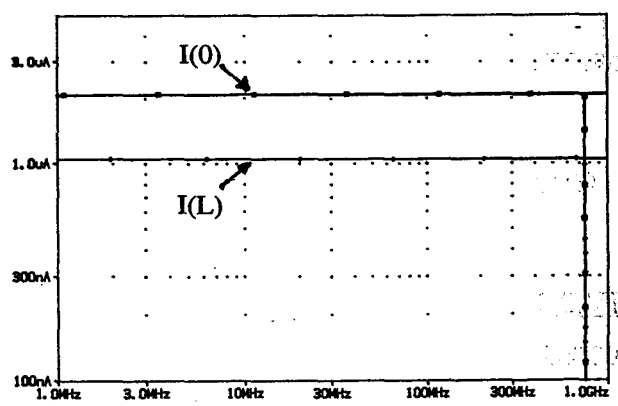
Les tensions induites aux extrémités de la ligne ont donc un module identique que l'impédance  $Z_0$  soit égale à l'impédance  $Z_L$  ou non :

$$|V(0)| = |V(L)| \approx |h E_z^i(0)| \quad \text{quand } Z_c \ll Z_0 \text{ et } Z_c \ll Z_L \quad \text{Équation IV-24.}$$

Pour un champ électrique de  $100 \text{ V/m}$  et une hauteur de ligne de  $2,1 \text{ cm}$ , on obtient une valeur de tension de  $2,1 \text{ V}$ . Nous retrouvons ces résultats sur les simulations présentées sur les graphes IV-3. L'absence de phénomène de résonance à la fréquence de  $375 \text{ MHz}$  est liée à la simplification du dénominateur D. Les courants induits sont inversement proportionnels à l'impédance de la charge.



a) Tension induite.



b) Courant induit.

Graphes IV-3 : Simulation des courants et tensions induits lorsque  $Z_0 = 1 \text{ M}\Omega$  et  $Z_L = 2 \text{ M}\Omega$  ( $E=100 \text{ V/m}$ ).

#### IV.2.1.5. Réflexion sur l'impact du sens de propagation de l'onde.

Les courants et tensions induits dépendent généralement du sens de propagation de l'onde. Les résultats présentés ci-dessus sont obtenus lorsque le sens de propagation de l'onde est identique au sens positif de l'axe des X (figure IV-13a). Nous rappelons les équations du courant induit lorsque l'onde se propage dans le sens positif de l'axe des X (équations IV-25 et IV-26) et nous donnons les équations qui correspondent à la propagation de l'onde dans le sens négatif de l'axe des X (équations IV-27 et IV-28).

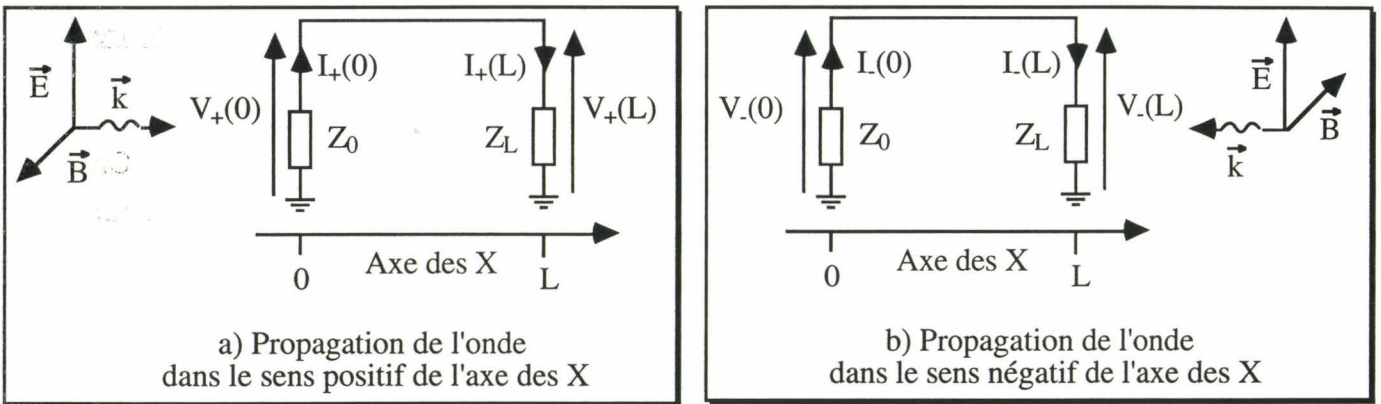


Figure IV-13 : Présentation des différents sens de propagation de l'onde.

$$I_+(0) = hE_z^i(0) \frac{(Z_c + Z_L) \sin(\beta L)}{D} \quad \text{Équation IV-25.}$$

$$I_+(L) = hE_z^i(0) \frac{(Z_c - Z_0) e^{-\gamma L} \sin(\beta L)}{D} \quad \text{Équation IV-26.}$$

$$I_-(0) = hE_z^i(0) \frac{(Z_c - Z_L) e^{-\gamma L} \sin(\beta L)}{D} \quad \text{Équation IV-27.}$$

$$I_-(L) = hE_z^i(0) \frac{(Z_c + Z_0) \sin(\beta L)}{D} \quad \text{Équation IV-28.}$$

avec : 
$$D = (Z_c^2 + Z_0 Z_L) \sin(\beta L) - j Z_c (Z_0 + Z_L) \cos(\beta L).$$

La comparaison des équations IV-25 et IV-27 d'une part et des équations IV-26 et IV-28 d'autre part, montre que pour une ligne sans perte, si l'impédance de la charge à l'autre extrémité de la ligne est soit très supérieure, soit très inférieure à l'impédance caractéristique, les courants induits ne changent pas selon le sens de propagation de l'onde. Dans le cas contraire les courants induits sont fonction du sens de propagation de l'onde.

Pour une ligne sans perte :

Si  $Z_L \ll Z_c$  ou si  $Z_L \gg Z_c$  alors  $I_-(0) = I_+(0)$  sinon  $I_-(0) \neq I_+(0)$

Si  $Z_0 \ll Z_c$  ou si  $Z_0 \gg Z_c$  alors  $I_-(L) = I_+(L)$  sinon  $I_-(L) \neq I_+(L)$



Les résultats obtenus lorsque les deux impédances  $Z_0$  et  $Z_L$  sont soit très petites, soit très grandes relativement à l'impédance caractéristique, confirment cette remarque.

La différence de courants induits selon la direction de propagation de l'onde électromagnétique est maximale lorsque l'impédance disposée à l'autre extrémité de la ligne est égale à l'impédance caractéristique.

#### IV.2.2. Étude des cas où les équations ne se simplifient pas.

##### IV.2.2.1. Une impédance de charge est très inférieure à l'impédance caractéristique et l'autre impédance de charge est très supérieure à l'impédance caractéristique.

Les courants et tensions induits ne dépendent pas du sens de propagation de l'onde. On suppose que l'onde se propage dans le sens positif de l'axe des X et que  $Z_0 \ll Z_c$  et  $Z_L \gg Z_c$ . Pour une ligne sans perte, on obtient les équations suivantes :

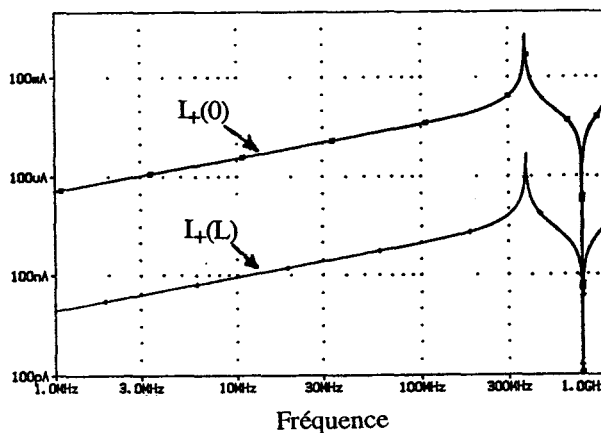
$$|I_+(0)| = Z_L \left| \frac{hE_z^i(0) \sin(\beta L)}{D} \right| \quad |V_+(0)| = Z_0 Z_L \left| \frac{hE_z^i(0) \sin(\beta L)}{D} \right|$$

$$|I_+(L)| = Z_c \left| \frac{hE_z^i(0) \sin(\beta L)}{D} \right| \quad |V_+(L)| = Z_c Z_L \left| \frac{hE_z^i(0) \sin(\beta L)}{D} \right|$$

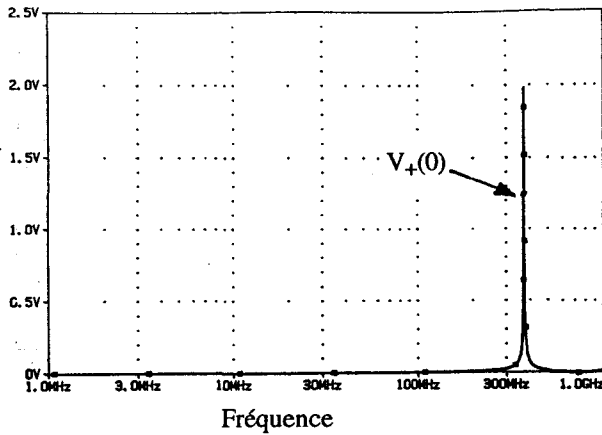
Comme :  $Z_L \gg Z_c$  on a  $|I_+(0)| \gg |I_+(L)|$

$Z_0 \ll Z_c$   $|V_+(0)| \ll |V_+(L)|$

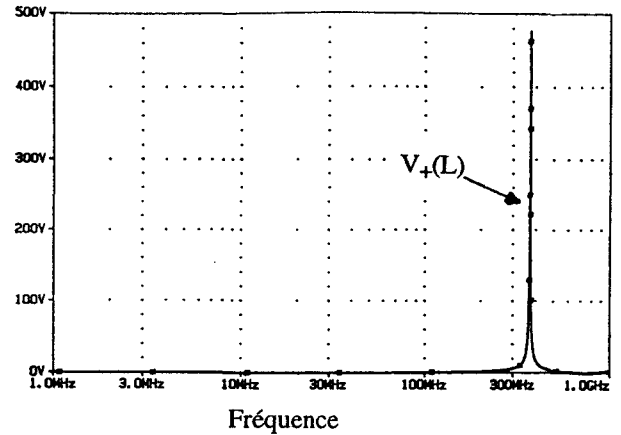
Nous retrouvons ces résultats sur les simulations (graphes IV-4 et IV-5).



Graphe IV-4 : Simulation du courant induit lorsque  $Z_0 = 1 \Omega$  et  $Z_L = 1 M\Omega$  ( $E=100 V/m$ ).



a) Tension aux bornes de  $Z_0$ .



b) Tension aux bornes de  $Z_L$ .

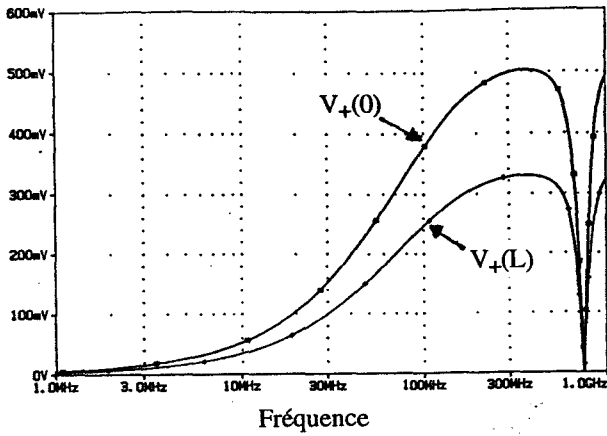
Graphes IV-5 : Simulation des tensions induites lorsque  $Z_0 = 1 \Omega$  et  $Z_L = 1 M\Omega$  ( $E=100 \text{ V/m}$ ).

#### IV.2.2.2. Les impédances aux extrémités de la ligne sont identiques.

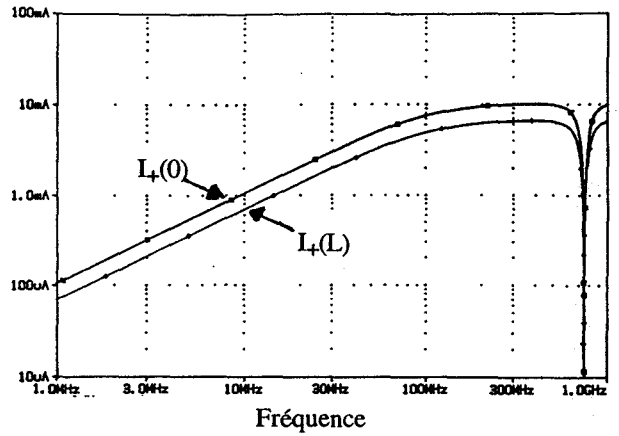
La comparaison des équations IV-25 à IV-28 montre que lorsque les impédances de charge sont identiques et que la ligne est sans perte, les courants induits sont supérieures à la source de l'onde propagée. Ainsi si l'onde se propage dans le sens positif le courant induit en  $x=0$  est supérieur au courant induit en  $x=L$  ( $I_+(0) > I_+(L)$ ). Si l'onde se propage dans le sens négatif, le courant induit en  $x=L$  est supérieur au courant induit en  $x=0$  ( $I_-(L) > I_-(0)$ ). La différence de courant induit est d'autant plus grande que la valeur des impédance de charge est proche de la valeur de l'impédance caractéristique.

*a) Les impédances aux extrémités de la ligne sont inférieures à l'impédance caractéristique sans être négligeables.*

Lorsque les charges aux extrémités de la ligne sont des résistances pures dont la valeur est de  $50 \Omega$  et que l'onde se propage dans le sens positif de l'axe des X, la tension  $V_+(0)$  atteint une valeur d'environ 0,5 V et la tension  $V_+(L)$  une valeur d'environ 0,33 V pour une fréquence de 375 MHz. Le courant  $I_+(0)$  atteint une valeur d'environ 10 mA et le courant  $I_+(L)$  une valeur d'environ 6,6 mA (graphes IV-6). Nous rappelons que toutes les simulations sont effectuées pour une amplitude de champ électrique de 100 V/m.



a) Tension induite.

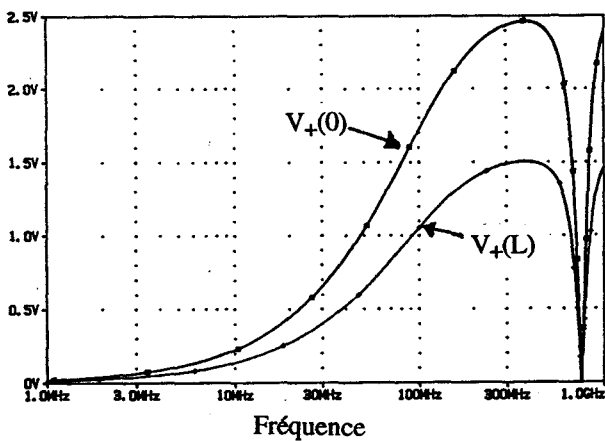


b) Courant induit.

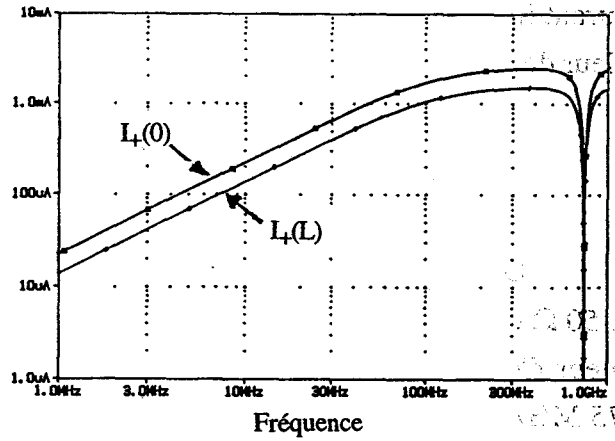
Graphes IV-6 : Simulation des courants et tensions induits lorsque  $Z_0 = Z_L = 50 \Omega$  ( $E=100 \text{ V/m}$ ).

b) *Les impédances aux extrémités de la ligne sont supérieures à l'impédance caractéristique qui n'est cependant pas négligeable.*

Lorsque les charges aux extrémités de la ligne sont des résistances pures de  $1 \text{ k}\Omega$ , la tension  $V_+(0)$  atteint une valeur d'environ  $2,5 \text{ V}$  et la tension  $V_+(L)$  une valeur d'environ  $1,5 \text{ V}$  pour une fréquence de  $375 \text{ MHz}$ . Le courant  $I_+(0)$  atteint une valeur d'environ  $2,5 \text{ mA}$  et le courant  $I_+(L)$  une valeur d'environ  $1,5 \text{ mA}$  (graphes IV-7). Nous constatons encore que les courants et tensions induits en  $x=0$  sont supérieurs aux courants et tensions induits en  $x=L$ .



a) Tension induite.



b) Courant induit.

Graphes IV-7 : Simulation des courants et tensions induits lorsque  $Z_0 = Z_L = 1 \text{ k}\Omega$ . ( $E=100 \text{ V/m}$ ).

Nous avons analysé jusqu'à présent des cas simples pour bien comprendre comment l'onde se couple à la ligne selon les charges connectées. Les résultats obtenus montrent logiquement que plus l'impédance de la charge est importante, plus la tension induite aux bornes est importante et moins le courant induit dans la charge est important. Un cas de figure étudié correspond au cas où les composants logiques connectés à la ligne sont de technologie CMOS. Les étages d'entrée présentent dès lors des impédances très importantes quel que soit l'état logique. Nous nous intéressons maintenant à un cas de figure qui correspond à la connexion de composants de

technologie TTL lorsque la ligne est à l'état logique bas. Nous avons en effet observé des perturbations sur les niveaux normalement à l'état haut en sortie de la porte inverseuse (cf. chapitre III).

#### IV.2.2.3. Les impédances aux extrémités de la ligne correspondent aux impédances d'entrée et de sortie à l'état bas d'une logique TTL-LS.

Lorsque la ligne est à l'état bas, l'étage de sortie du composant 1 présente alors une impédance d'environ  $50 \Omega$ . L'étage d'entrée du composant 2 présente une impédance d'environ  $1 \text{ k}\Omega$ . Les valeurs de ces impédances qui sont proches de l'impédance caractéristique de la ligne, montrent que les signaux induits sur la ligne seront différents selon le sens de propagation de l'onde par rapport au sens de propagation des signaux logiques.

Nous posons  $Z_0 = 50 \Omega$  et  $Z_L = 1 \text{ k}\Omega$ . Le sens positif de l'axe des X correspond ainsi au sens de propagation des signaux logiques. Nous avons étudié au chapitre III les perturbations en sortie du composant lorsque l'onde électromagnétique se propage dans le même sens que les signaux logiques (figure IV-14).

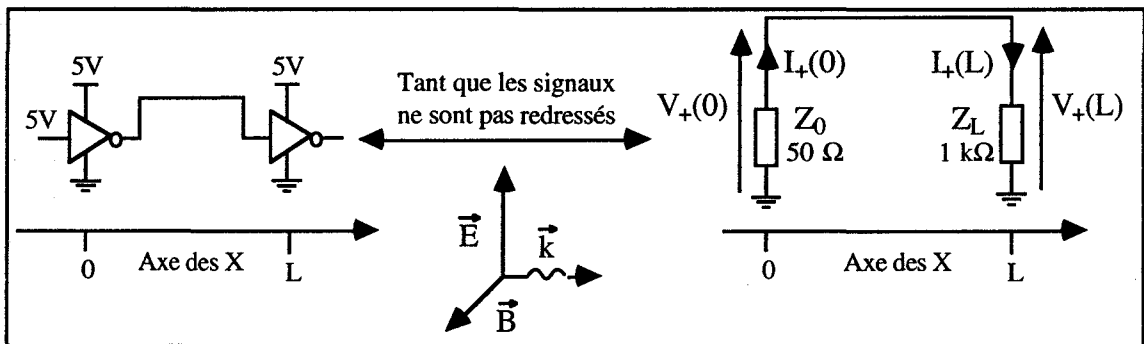


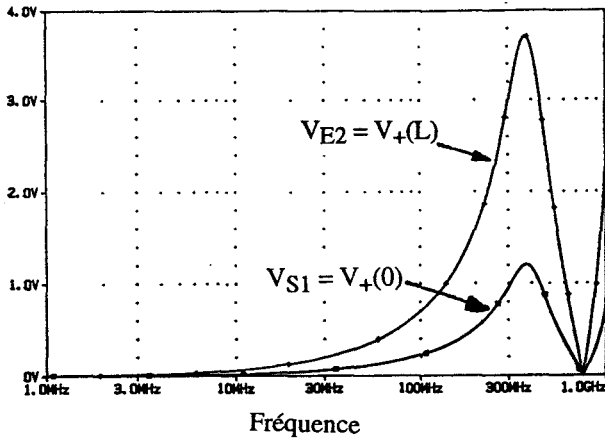
Figure IV-14 : Étude simplifiée des signaux induits sur la ligne de notre dispositif sous test lorsque les composants sont de technologie TTL-LS et que la ligne est à l'état logique bas.

Nous donnons aussi les tensions et courants simulés par cette approche simple lorsque l'onde se propage dans le sens inverse des signaux logiques. L'analyse est effectuée dans un premier temps lorsque les capacités parasites sont négligées. Dans un deuxième temps, nous ajoutons une capacité parasite de  $20 \text{ pF}$  en parallèle à la résistance de  $1 \text{ k}\Omega$  qui représente l'impédance de l'étage d'entrée. Nous rappelons que toutes les simulations sont effectuées pour un champ électrique de  $100 \text{ V/m}$ .

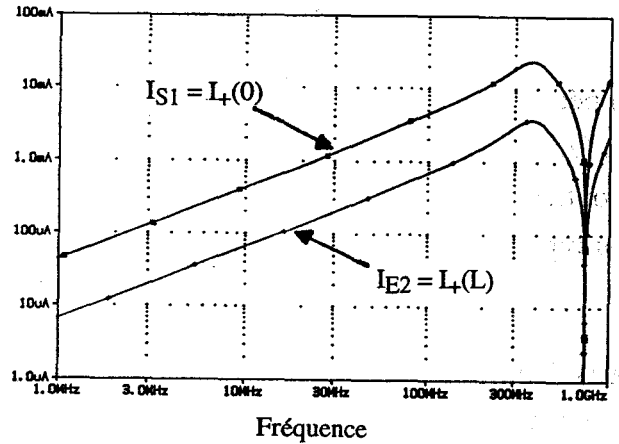
##### *a) Les capacités parasites sont négligées.*

Bien que le modèle des portes logiques soit très approximatif, les résultats obtenus préfigurent une sensibilité maximale de notre dispositif sous test à la fréquence de résonance de  $375 \text{ MHz}$ . La tension induite en entrée du composant 2 est plus importante lorsque l'onde se propage dans le sens inverse de celui des signaux logiques. Or nous obtiendrons dans le sous

chapitre IV.3., que la perturbation observée en sortie du composant 2 est déterminée par la tension induite en entrée. D'après cette remarque, la sensibilité du dispositif sous test est plus importante lorsque l'onde se propage dans le sens inverse des signaux logiques. C'est effectivement le résultat expérimental obtenu par [KLINGLER, chapitre V.5.] lors de l'étude des erreurs statiques observées sur un dispositif sous test analogue au notre. C'est également le résultat obtenu par [COUDORO, chapitre IV.2.4.] lors de l'étude des défauts temporels.

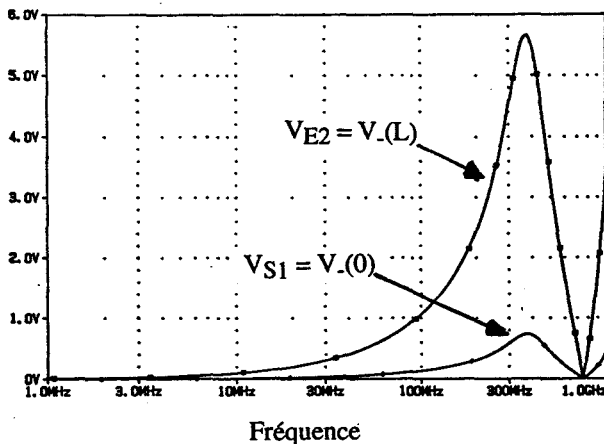


a) Tension induite.

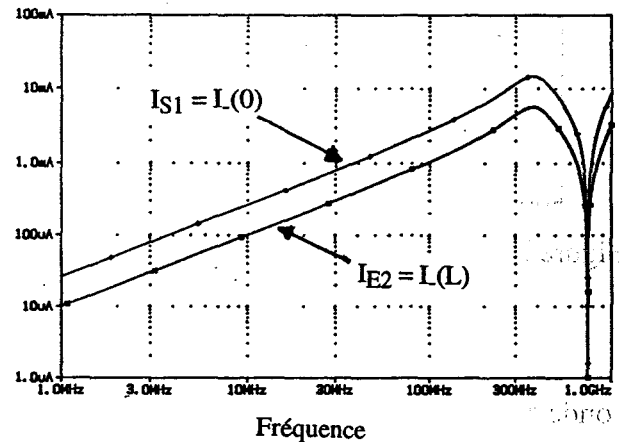


b) Courant induit.

Graphes IV-8 : Simulation des courants et tensions induits lorsque l'onde se propage dans le sens des signaux logiques ( $E=100$  V/m).



a) Tension induite.



b) Courant induit.

Graphes IV-9 : Simulation des courants et tensions induits lorsque l'onde se propage dans le sens inverse des signaux logiques ( $E=100$  V/m).

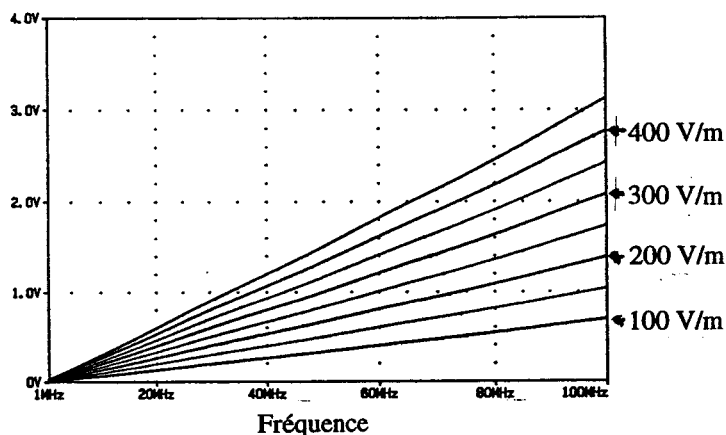
Nous analysons maintenant plus particulièrement les signaux induits lorsque l'onde se propage dans le même sens que les signaux logiques ainsi que dans les expérimentations du chapitre III. Le graphe IV-10 présente la tension induite en entrée du composant 2 pour des

amplitudes de champ électrique variant de 100 V/m à 450 V/m par pas de 50 V/m. Dans le tableau IV-2, nous avons reporté les amplitudes de champ électrique minimales qui sont nécessaires pour perturber le dispositif sous test lorsque les composants sont de technologie TTL-LS (résultats expérimentaux du chapitre III). Nous avons reporté aussi la valeur de la tension induite en entrée du composant 2, obtenue par simulation.

Plus la fréquence du perturbateur augmente, plus l'amplitude minimale du champ électrique nécessaire pour observer une perturbation en sortie diminue (résultats expérimentaux), car pour une amplitude de champ électrique donnée la tension induite sur la ligne augmente avec la fréquence ( $F < 375$  MHz). Cependant, plus la fréquence du perturbateur augmente et plus l'amplitude de la tension induite nécessaire pour perturber le dispositif sous test augmente.

Si l'on considère comme critère de sensibilité l'amplitude du champ électrique nécessaire pour perturber le dispositif sous test, alors la sensibilité du dispositif sous test augmente avec la fréquence. Si l'on considère comme critère de sensibilité la tension induite en entrée du composant nécessaire pour observer une perturbation en sortie, alors la sensibilité du dispositif sous test diminue avec la fréquence.

Certes ce résultat est obtenu avec un modèle très simplifié qui ne prend pas en compte les phénomènes de redressement. Il montre cependant l'importance de bien définir les critères de sensibilité lors d'une étude CEM.



Graphe IV-10 : Simulation de la tension induite en entrée du composant 2 pour des amplitudes variant de 100 V/m à 450 V/m par pas de 50 V/m.

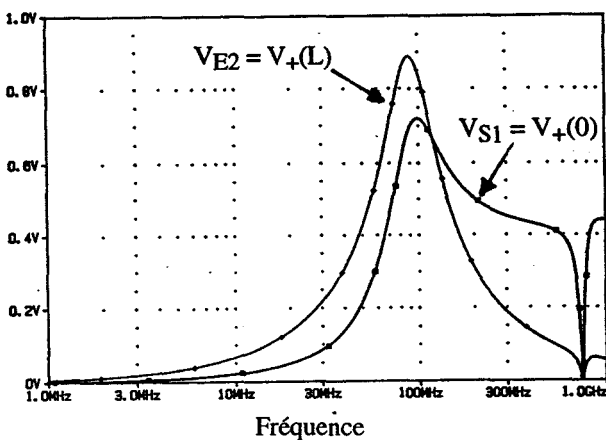
Fréquence	Amplitude minimale pour observer une perturbation	Valeurs des tensions induites en entrée du composant 2 obtenues par la simulation				
		200 V/m	250 V/m	300 V/m	350 V/m	400 V/m
45 MHz	400 V/m				1,05 V	1,21 V
55 MHz	350 V/m			1,11 V	1,29 V	
65 MHz	350 V/m			1,32 V	1,54 V	
75 MHz	300 V/m		1,27 V	1,53 V		
85 MHz	300 V/m		1,45 V	1,75 V		
95 MHz	250 V/m ; 300 V/m	1,3 V	1,64 V	1,97 V		

Tableau IV-2 : Amplitudes minimales nécessaires pour perturber expérimentalement le dispositif sous test pour des composants de technologie TTL-LS et valeurs des tensions induites en entrée du composant 2 obtenues par simulation avec un modèle linéaire simple.

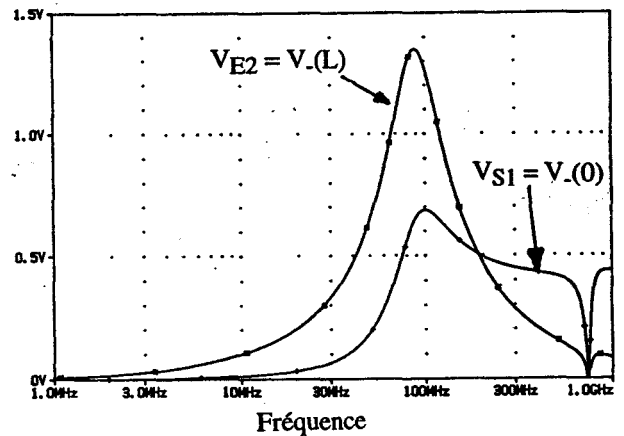
*b) Les capacités parasites ne sont pas négligées.*

Les composants logiques présentent des capacités parasites en entrée ou en sortie. Ces capacités peuvent être dues au boîtier, au substrat, aux capacités parasites en parallèles aux diodes et jonctions des transistors constituant les portes. Dans PSpice, une valeur minimale de 0,1 pF est fixée pour ces capacités et il est prévu que l'utilisateur puisse l'augmenter facilement.

Nous avons ajouté une capacité parasite de 20 pF en parallèle à la résistance de 1 kΩ qui représente l'impédance de l'étage d'entrée du composant 2 lorsque les signaux ne sont pas redressés. La présence d'une capacité parasite a pour effet de baisser la première fréquence de résonance qui est maintenant de 90 MHz. La tension maximale induite à la résonance diminue fortement en présence d'une capacité parasite (graphes IV-11). Par contre, en ce qui concerne les fréquences de perturbateurs étudiées lors de l'étude statistique du chapitre III, c'est à dire pour des fréquences inférieures à la nouvelle fréquence de résonance (90 MHz), la tension induite en entrée du composant 2 est supérieure lorsque la capacité parasite n'est pas négligée (graphe IV-12).

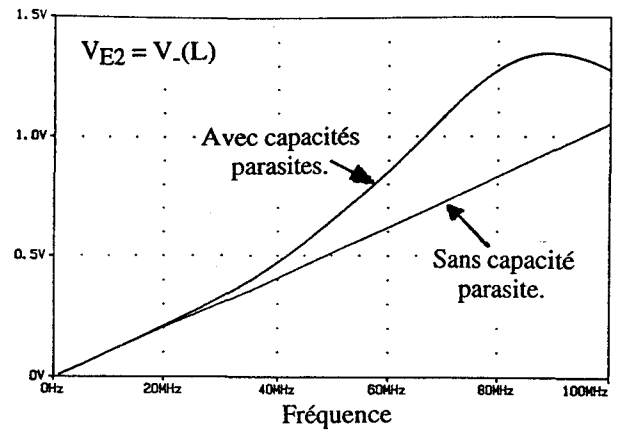
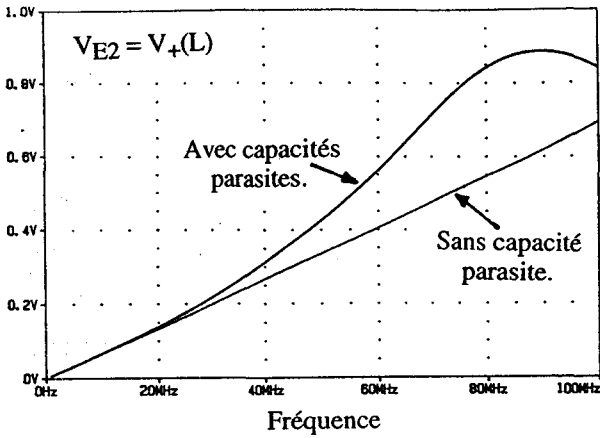


a) L'onde se propage dans le sens des signaux.



b) L'onde se propage dans le sens inverse des signaux.

Graphes IV-11 : Simulation de la tension induite en entrée du composant 2 lorsqu'une capacité parasite est ajoutée dans le modèle (E=100 V/m).



a) L'onde se propage dans le sens des signaux.

b) L'onde se propage dans le sens inverse des signaux.

Graphes IV-12 : Simulation de la tension induite en entrée du composant 2 ( $E=100 \text{ V/m}$ ).

### Conclusion.

Lorsque les impédances aux extrémités de la ligne sont très inférieures à l'impédance caractéristique, les modules des courants induits en  $x=0$  et  $x=L$  sont identiques et indépendants des charges  $Z_0$  et  $Z_L$  hormis aux fréquences d'antirésonance. Ces modules sont proportionnels à la hauteur de la ligne et à l'amplitude du champ électromagnétique. Ils sont inversement proportionnels à l'impédance caractéristique de la ligne (équation IV-14). La tension  $V(0)$  est déterminée par l'impédance  $Z_0$  et la tension  $V(L)$  par l'impédance  $Z_L$ .

Lorsque les impédances aux extrémités de la ligne sont très supérieures à l'impédance caractéristique, les modules des tensions induites en  $x=0$  et  $x=L$  sont identiques et indépendants des charges  $Z_0$  et  $Z_L$  hormis aux fréquences d'antirésonance. Ces modules sont proportionnels à la hauteur de la ligne et à l'amplitude du champ électromagnétique. Le courant  $I(0)$  est déterminé par l'impédance  $Z_0$  et le courant  $I(L)$  par l'impédance  $Z_L$ .

Lorsque les impédances aux extrémités de la ligne sont identiques et de l'ordre de grandeur de l'impédance caractéristique, l'amplitude des courants et tensions induits en  $x=0$  est supérieure à l'amplitude des courants et tensions induits en  $x=L$ , le sens de propagation de l'onde étant identique au sens positif de l'axe des  $X$ . La différence entre les valeurs de courants et tensions induits à chaque extrémité de la ligne est d'autant plus grande que le module des impédances  $Z_0$  et  $Z_L$  est voisin de l'impédance caractéristique  $Z_c$ . Lorsque  $Z_0 = Z_c$ , quelque soit la valeur de  $Z_L$ , les courants et tensions induits ont une amplitude nuls en  $x=L$ . Les tensions et courants induits en  $x=0$  sont constants selon la charge  $Z_L$ . La différence entre les valeurs des signaux induits en  $x=0$  et en  $x=L$  est alors maximale.

Lorsqu'une impédance est très inférieure à l'impédance caractéristique de la ligne et l'autre



très supérieure, les courants induits sont quasi-identiques selon le sens de propagation de l'onde. La tension induite aux bornes de la charge à haute impédance est très supérieure à la tension induite aux bornes de la charge à faible impédance. Par contre le courant induit dans la charge à haute impédance est très inférieur au courant induit dans la charge à faible impédance.

L'étude d'un cas de figure qui s'apparente aux impédances présentées par une technologie TTL-LS à l'état logique bas en absence de redressement de signaux, a montré que les capacités parasites ont pour effet de diminuer la fréquence de résonance. En présence des capacités parasites, l'amplitude maximale des signaux observée aux différentes fréquences de résonance est inférieure. Par contre, en basse fréquence les signaux induits ont une amplitude supérieure.

### **IV.3. UTILISATION DES MODÈLES DES ÉTAGES D'ENTRÉE/SORTIE DES COMPOSANTS LOGIQUES DISPONIBLES DANS LES BIBLIOTHÈQUES DES LOGICIELS DE TYPE SPICE.**

#### **Introduction.**

L'étude du couplage entre l'onde électromagnétique et la ligne connectée à des charges linéaires a permis, d'une part de valider le modèle en comparant les résultats obtenus par simulation aux résultats obtenus analytiquement, d'autre part d'analyser d'une manière schématique les tensions et courants induits selon la valeur des impédances. Cette étude a confirmé que la sensibilité du dispositif étudié peut changer selon le sens de propagation de l'onde par rapport aux sens des signaux logiques [KLINGLER 1] et [COUDORO]. Certains cas de figures étudiés correspondent aux impédances présentées par les composants en absence de redressement des signaux. Le modèle linéaire est cependant limité aux perturbations de faible amplitude.

Nous nous intéressons dans ce sous-chapitre à l'effet des non linéarités sur les signaux induits sur la ligne. Nous utilisons les modèles des étages d'entrée/sortie des composants de la bibliothèque PSpice afin d'analyser les valeurs des signaux induits lorsque l'onde électromagnétique se propage dans le sens des signaux logiques ainsi que dans l'étude expérimentale (cf. chapitre III). Deux exemples de technologies sont données : la CMOS-HC et la TTL-LS.

Nous donnons figure IV-15, la convention des signes adoptée pour le sens des courants.

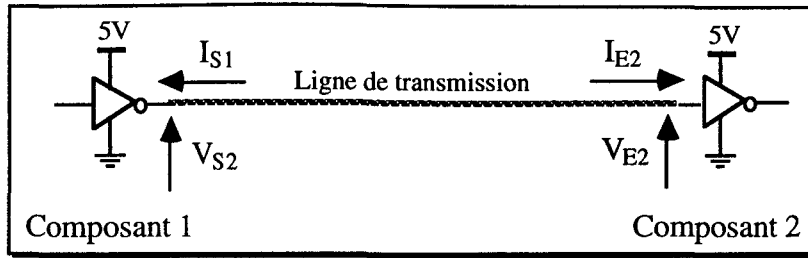


Figure IV-15 : Convention adoptée pour le signe des courants.

### IV.3.1. Étude des signaux induits sur la ligne couplée à une onde électromagnétique lorsque les composants sont de technologie CMOS-HC.

#### IV.3.1.1. Modélisation des étages d'entrée/sortie.

Les modèles de l'entrée et de la sortie d'une porte CMOS sont donnés figure IV-16. Il sont composés des deux diodes de protection des étages d'entrée/sortie des composants et d'une capacité parasite de 0,01 pF. Les diodes sont modélisées par un tableau qui donne le courant selon la tension. Ces valeurs correspondent exactement aux caractéristiques des diodes de protection.

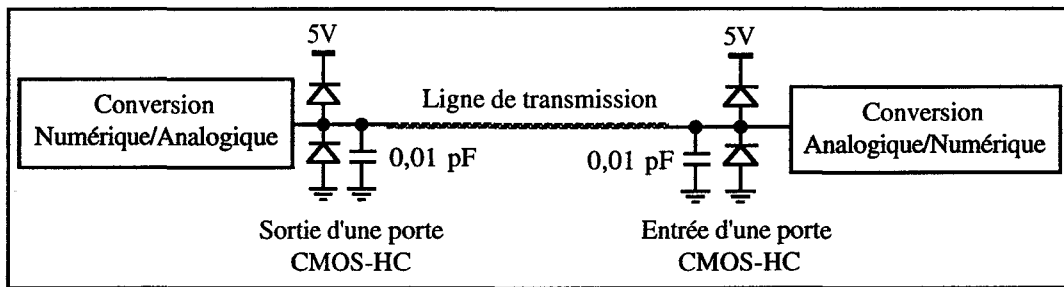


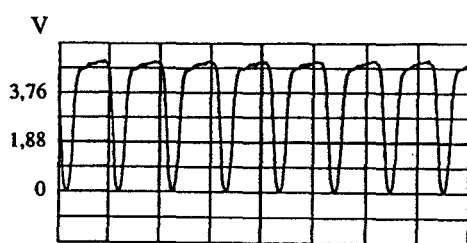
Figure IV-16 : Modélisation des étages d'entrée/sortie sous PSpice.

#### IV.3.1.2. L'entrée est à l'état logique haut, la ligne est portée à un potentiel correspondant à un état logique bas.

La tension en entrée du composant 2 correspond aux signaux observés expérimentalement en sortie du dispositif sous test (graphe IV-14b comparé au graphe IV-13). Les signaux étant redressés par les diodes de protection, l'amplitude de la tension reste comprise entre -1 V et +6 V. Si l'on regarde le signal numérique correspondant, les défauts sont de très courte durée (< 5 ns) et la durée des séparations entre les défauts diminue avec la fréquence. Les valeurs de ces deux caractéristiques obtenues par simulation sont en parfait accord avec les résultats statistiques issus des mesures expérimentales. Les perturbations induites sur la ligne de transmission sont donc intégralement transmises en sortie de l'inverseur. Ceci a été vérifié lors de l'étude expérimentale en ajoutant une troisième porte en sortie du composant 2.

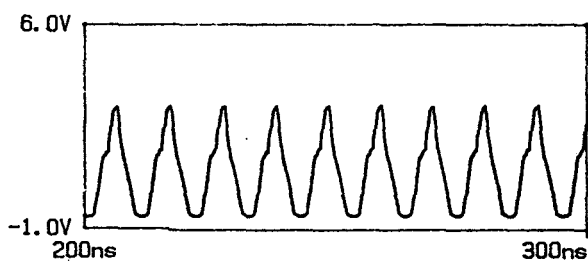
Les tensions en sortie du composant 1 et en entrée du composant 2 sont présentées sur les graphes IV-14 lorsque le champ électrique perturbateur a une fréquence de 95 MHz et une amplitude de 450 V/m. Nous donnons également pour information les courants induits. Cependant les transistors MOS étant commandés en tension, ces courants n'agissent pas sur la fonction de transfert de la porte. La similitude des tensions simulées en entrée du composant 2 et des tensions observées expérimentalement en sortie confirment cette assertion.

Nous constatons que les signaux induits en entrée du composant 2 diffèrent des signaux induits en sortie du composant 1. La valeur moyenne des signaux est par contre sensiblement égale. Dans la suite de ce sous-chapitre nous focalisons notre attention sur les signaux qui déterminent les perturbations observées expérimentalement en sortie du dispositif sous test, à savoir les tensions induites en entrée de la porte 2.

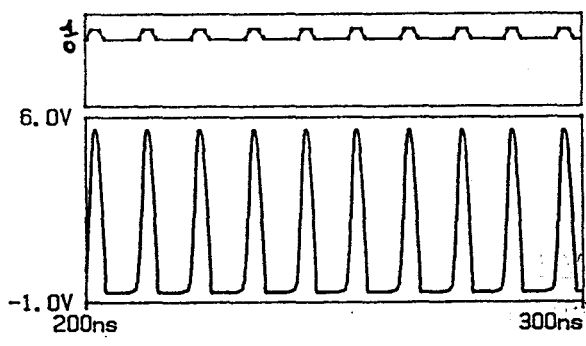


Mode entrelacé.  
T/div : 10 ns

Graphe IV-13 : Tension observée expérimentalement en sortie du composant 2 lorsque les composants sont de technologie CMOS-HC ( $E=450$  V/m,  $F=95$  MHz).

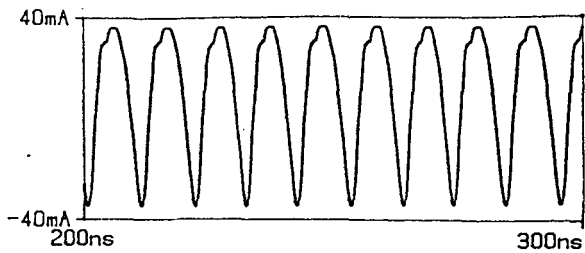


a) Sortie du composant 1.  
Valeur moyenne : 0,9 V.

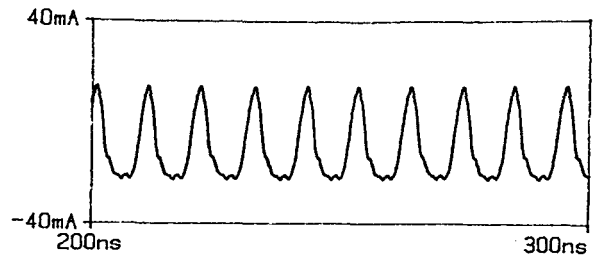


b) Entrée du composant 2.  
Valeur moyenne : 0,9 V.

Graphes IV-14 : Simulation des tensions induites en entrée et en sortie des composants de technologie CMOS-HC ( $E=450$  V/m,  $F=95$  MHz).



a) Sortie du composant 1.  
Valeur moyenne : +9,8 mA.

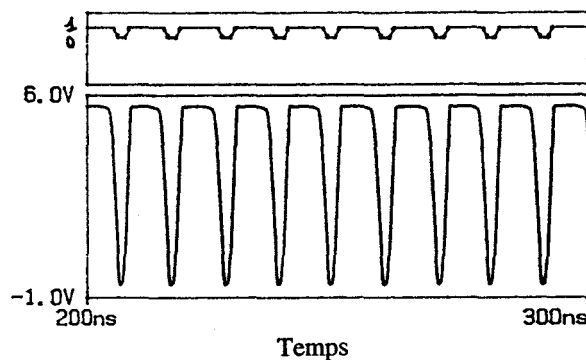


b) Entrée du composant 2.  
Valeur moyenne : -10 mA.

Graphes IV-15 : Simulation des courants induits en entrée et en sortie des composants de technologie CMOS-HC ( $E=450$  V/m,  $F=95$  MHz).

### IV.3.1.3. L'entrée est à l'état logique bas, la ligne est portée à un potentiel correspondant à un état logique haut.

On obtient des résultats similaires à ceux obtenus lorsque l'entrée est à l'état logique haut (graphes IV-16). Il est à noter que les fréquences pour lesquelles des changements d'état logique commencent à être observés sur le signal numérique en entrée du composant 2, correspondent aux fréquences pour lesquelles des perturbations ont été observées expérimentalement en sortie du composant 2.



Valeur moyenne : 4,1 V.  
Graphes IV-16 : Simulation de la tension induite en entrée du composant 2 ( $E=450$  V/m,  $F=95$  MHz).

## **IV.3.2. Étude des signaux induits sur la ligne couplée à une onde électromagnétique lorsque les composants sont de technologie TTL-LS.**

### IV.3.2.1. Modélisation des étages d'entrée/sortie.

Les modèles de l'entrée et de la sortie d'une porte TTL-LS sont donnés figure IV-17. Il sont composés d'une capacité parasite de 0,1 pF et pour l'étage d'entrée d'une diode de protection modélisée dans une table qui donne le courant selon la tension.

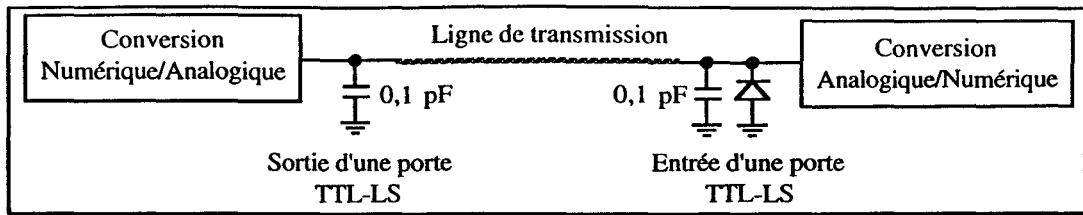
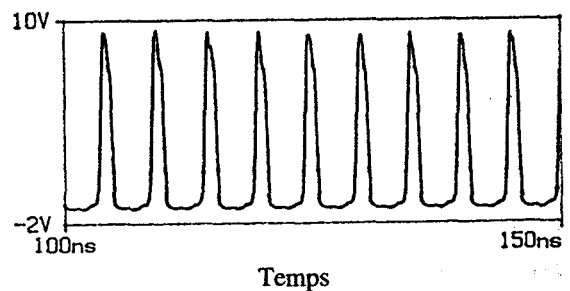
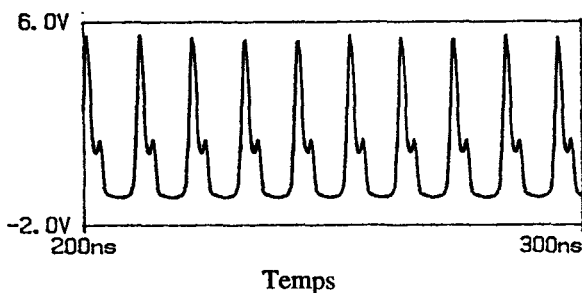


Figure IV-17 : Modélisation des étages d'entrée/sortie sous PSpice.

IV.3.2.2. L'entrée est à l'état logique haut, la ligne est portée à un potentiel correspondant à un état logique bas.

La tension induite en entrée du composant 2 est redressée par la diode de protection entre la masse et l'entrée. La valeur moyenne de la tension augmente. L'augmentation de cette valeur moyenne est d'autant plus grande que la fréquence est élevée, car aucune diode de protection entre l'entrée et l'alimentation ne limite la tension (graphes IV-17). La porte agissant comme un filtre passe bas lorsque la fréquence du perturbateur est bien supérieure à la fréquence de travail, cette valeur moyenne provoque un changement d'état logique en sortie (cf. chapitre III).

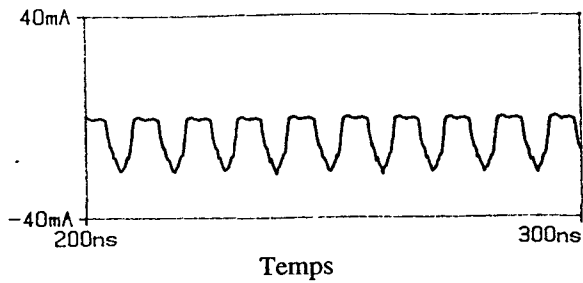
Les composants de technologie TTL, sont composés de transistors bipolaires commandés en courant, de diodes et de résistances. Les courants induits dans la porte 2 peuvent d'une part perturber le fonctionnement des transistors internes à la porte et d'autre part, engendrer des différences de potentiel aux bornes des résistances. Les perturbations observées expérimentalement en sortie du composant peuvent aussi être provoquées par le courant induit en entrée (graphes IV-18). Cependant, bien que la moyenne du courant induit soit bien supérieure aux valeurs maximales de courants d'entrée données dans les caractéristiques nominales des composants, le courant moyen est de même signe que le courant d'entrée en absence de perturbation. C'est donc probablement la tension induite en entrée du composant qui est principalement à l'origine de la perturbation observée en sortie.



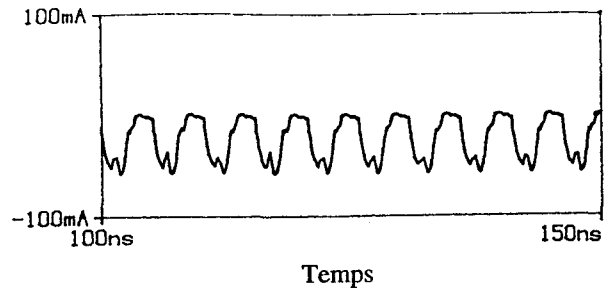
a)  $F = 95 \text{ MHz}$ , Valeur moyenne : 0,5 V.

b)  $F = 195 \text{ MHz}$ , Valeur moyenne : 1,2 V.

Graphes IV-17 : Simulation des tensions induites en entrée du composant 2 ( $E=450 \text{ V/m}$ ).



a)  $F = 95 \text{ MHz}$ , Valeur moyenne :  $-7,5 \text{ mA}$ .



b)  $F = 195 \text{ MHz}$ , Valeur moyenne :  $-23 \text{ mA}$ .

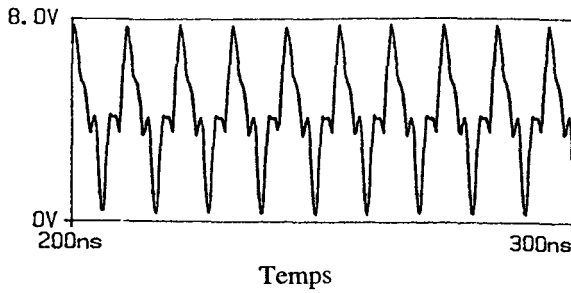
Graphes IV-18 : Simulation des courants induits dans le composant 2 ( $E=450 \text{ V/m}$ ).

#### IV.3.2.3. L'entrée est à l'état logique bas, la ligne est portée à un potentiel qui correspond à un état logique haut.

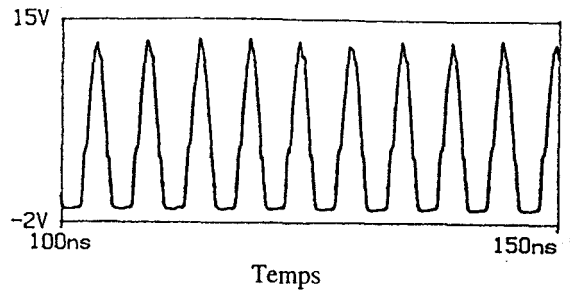
Tant que l'amplitude des signaux induits reste inférieure à environ  $5 \text{ V}$ , les signaux ne sont pas redressés (graphes IV-19). Que les signaux soient redressés ou non, nous observons une augmentation de la valeur moyenne de la tension. Cette augmentation de la valeur moyenne associée à l'action filtre passe bas des portes pour des fréquences bien supérieures à leur fréquence de travail peut expliquer la différence de sensibilité observée au chapitre III entre d'une part les familles ALS et LS et d'autre part les familles F et AS.

Lors de nos expériences, nous n'avons observé aucune perturbation sur les niveaux bas en sortie du composant 2, pour les familles LS et ALS de la technologie TTL qui ont une fréquence de travail maximale respective de  $33 \text{ MHz}$  et de  $45 \text{ MHz}$ . Par contre, des perturbations sont observées sur les niveaux bas pour les familles F et AS qui possèdent une fréquence maximale de travail de  $83 \text{ MHz}$  et de  $100 \text{ MHz}$ .

La détection/filtrage des signaux perturbés induisant une tension de polarisation supplémentaire qui vient confirmer l'état logique bas en sortie des composants, les familles dont la fréquence de travail est bien inférieure à la fréquence du perturbateur sont "protégées". Les planches A-III-20 à A-III-23 montrent par ailleurs que les perturbations observées sur les niveaux normalement à l'état bas sont plus importantes pour un composant 2 de technologie TTL-AS que pour un composant 2 de technologie TTL-F. En ce qui concerne la technologie TTL, plus la fréquence de travail du composant 2 est élevée et plus le dispositif sous test est sensible sur niveaux bas.



a)  $F = 95 \text{ MHz}$ , Valeur moyenne : 4,3 V.



b)  $F = 195 \text{ MHz}$ , Valeur moyenne : 4,2 V.

Graphes IV-19 : Simulation des tensions induites en entrée du composant 2 ( $E=450 \text{ V/m}$ ).

Lorsque l'entrée est à l'état bas, la valeur maximale du courant indiquée dans les catalogues constructeurs est de l'ordre de  $-0,4 \text{ mA}$ . A une fréquence de  $195 \text{ MHz}$ , le courant induit en entrée du composant normalement à l'état haut possède une valeur moyenne de  $-4,4 \text{ mA}$ . Cependant, nous n'avons observé aucune perturbation en sortie pour cette fréquence. C'est donc bien la tension induite en entrée du composant 2 qui détermine les signaux en sortie.

### Conclusion.

En ce qui concerne la technologie CMOS, les transistors étant commandés en tension, les tensions simulées en entrée de la porte 2, sont similaires aux tensions observées expérimentalement en sortie. Les défauts observés sur le signal numérique en entrée du composant 2, ont une durée qui correspond aux résultats statistiques obtenus au chapitre III. Ces défauts apparaissent à la même fréquence que le perturbateur et la durée entre deux défauts consécutifs diminue donc lorsque la fréquence augmente. La durée entre défauts obtenue par simulation correspond à celle donnée par les résultats statistiques. De plus les fréquences de champ électrique d'amplitude  $450 \text{ V/m}$ , pour lesquelles ces défauts commencent à apparaître sur les simulations et expérimentalement, sont similaires. Néanmoins, le signal numérique en entrée de la porte 2 ne respecte pas les contraintes temporelles des composants CMOS. Le signal numérique simulé en sortie de la porte 2 n'est pas perturbé (figure IV-18).

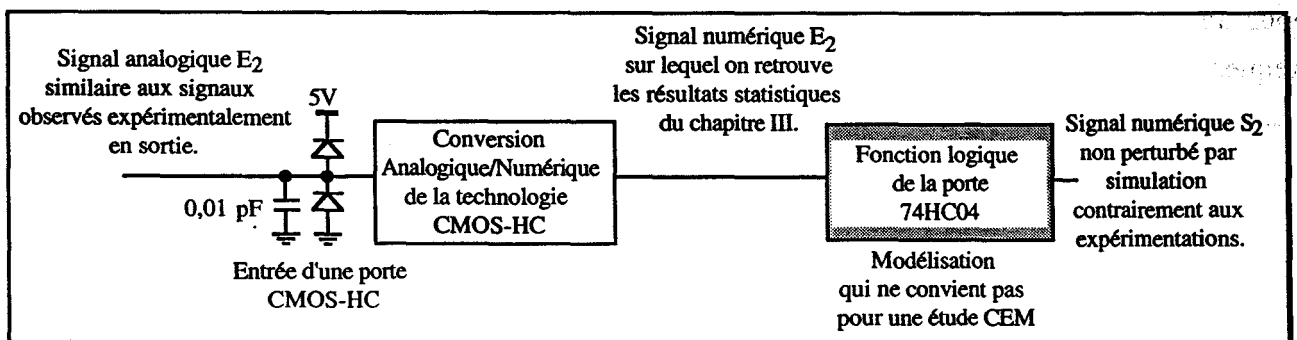


Figure IV-18 : Comparaison de résultats obtenus par simulation et expérimentalement.

En ce qui concerne la technologie TTL, il n'existe pas de lien direct entre la tension simulée en entrée du composant 2 et le signal perturbé observé en sortie du composant. Lorsque l'entrée  $E_1$  du dispositif sous test est à l'état logique haut, nous avons obtenu au chapitre III, le résultat suivant : pour des fréquences de perturbateurs bien supérieures à la fréquence maximale de travail des composants, la sortie normalement à l'état haut passe à l'état bas. Nous avons expliqué ce résultat par l'action de type filtre passe bas des portes logiques en haute fréquence qui associée à la présence de non linéarité génère l'apparition d'une tension de polarisation supplémentaire. Les simulations confirment cette explication : pour une fréquence de 195 MHz, lorsque les composants sont de technologie TTL-LS, la valeur moyenne de la tension redressée par la diode de protection est de 1,2 V. Cette valeur est suffisante pour provoquer un changement d'état logique en sortie. Lorsque l'entrée  $E_1$  du dispositif sous test est à l'état bas, la valeur moyenne du signal en entrée du composant 2 augmente aussi. Dans ce cas, la tension de polarisation supplémentaire obtenue par l'action filtre passe bas de la porte vient confirmer l'état logique bas en sortie des composants. De ce fait les composants dont la fréquence de travail est peu importante (TTL-LS et TTL-ALS) ne sont pas perturbés sur niveaux bas contrairement aux composants dont la fréquence de travail est plus élevée (TTL-F et TTL-AS). Il est à noter que l'absence de diodes de protection entre l'entrée et l'alimentation, favorise l'apparition de tensions de polarisation supplémentaires importantes. De plus, les tensions induites peuvent dépasser une valeur de 10 V. Or les composants logiques de technologie TTL sont susceptibles d'être détruits lorsque la tension en entrée est supérieure à 7 V. Lors de nos expérimentations aucun composant n'a été détruit. Par contre il est possible que les perturbations provoquent un vieillissement prématuré, voire une dégradation des caractéristiques intrinsèques du composant. Ce type de recherche est actuellement initié au GRRT.

## CONCLUSION.

Les signaux induits sur la ligne de transmission du dispositif sous test étudié au chapitre III, sont fonction des charges non linéaires présentées par les composants logiques. La petite taille de la cellule "stripline" nous interdit une mesure directe et aisée de ces signaux. La simulation permet cependant d'accéder à ces valeurs.

L'étude préliminaire consistant à analyser les signaux induits lorsque les charges connectées sont linéaires a confirmé que la sensibilité du dispositif sous test peut changer selon le sens de propagation de l'onde par rapport au sens des signaux logiques sur la ligne, notamment lorsque les impédances présentées par les composants sont proches de l'impédance caractéristique de la ligne.



Lorsque les impédances aux extrémités de la ligne sont très supérieures à l'impédance caractéristique, les modules des tensions induites en  $x=0$  et  $x=L$  sont identiques et indépendants des charges  $Z_0$  et  $Z_L$  et de la fréquence, hormis aux fréquences d'antirésonance. Ces modules sont proportionnels à la hauteur de la ligne et à l'amplitude du champ électromagnétique. Le courant  $I(0)$  est déterminé par l'impédance  $Z_0$  et le courant  $I(L)$  par l'impédance  $Z_L$ .

L'étude d'un cas de figure qui s'apparente aux impédances présentées par **une technologie TTL** à l'état logique bas en absence de redressement de signaux, a montré que les capacités parasites ont pour effet de diminuer la fréquence de résonance. En présence des capacités parasites, l'amplitude maximale des signaux observée aux différentes fréquences de résonance est inférieure. Cette conclusion s'apparente à une baisse du coefficient de qualité du circuit. Par contre, en basse fréquence les signaux induits obtenus par simulation possèdent une amplitude supérieure lorsque les capacités parasites ne sont pas négligées. Les simulations effectuées à l'aide des modèles des étages d'entrée/sortie de cette technologie, confirment le résultat suivant : la diminution de tension observée expérimentalement sur les niveaux normalement à l'état haut en sortie du composant 2, est due à l'action filtre passe bas de la porte et à la détection de la valeur moyenne de la tension redressée par la diode de protection de l'étage d'entrée. De plus ces simulations permettent d'expliquer la différence de sensibilité de la technologie TTL sur les niveaux normalement à l'état bas en sortie du composant 2. La valeur moyenne de la tension en entrée du composant 2 augmente aussi lorsque la sortie est à l'état bas. La détection/filtrage de cette valeur moyenne confirme l'état logique bas en sortie et "protège" ainsi les composants dont la fréquence de travail est très inférieure à la fréquence du perturbateur.

Les simulations obtenues lorsque les composants sont de technologie CMOS-HC confirment que les défauts en entrée des composants se propagent intégralement en sortie. Les tensions simulées en entrée du composant 2, sont très similaires aux tensions observées expérimentalement en sortie.

En ce qui concerne la simulation de la perturbation d'une carte électronique, il reste à modéliser correctement les fonctions logiques des portes afin de connaître le signal en sortie d'un composant lorsque l'entrée est perturbée.

# Chapitre V : Effets de perturbations électromagnétiques sur un système de sécurité.

## INTRODUCTION

Dans [GABILLARD], il est dit que toutes entreprises humaines génèrent un aspect négatif et un aspect positif. Par exemple, l'aspect positif d'un système de transport est le bien de consommation produit qui est le déplacement de marchandises ou de personnes. "Mais, comme rien en ce monde ne peut entièrement être positif, chaque système de transport engendre aussi des nuisances de toutes natures dont les plus graves sont ses accidents. C'est l'aspect négatif de son fonctionnement. Cette coexistence dans toutes les entreprises humaines du positif et du négatif semble être une dualité inévitable. Peut-être même est-elle la conséquence d'une loi profonde de la nature. Vouloir y échapper, c'est à dire, pour le sujet qui nous intéresse, vouloir construire un système de transport dont le fonctionnement n'engendre jamais d'accidents relève certainement de la plus pure utopie. Tout ce que l'on peut faire est d'essayer d'obtenir le plus faible rapport possible entre l'aspect négatif et l'aspect positif de ce fonctionnement. L'étude de l'ensemble des moyens qu'il est possible de mettre en œuvre pour tenter d'y parvenir constitue une discipline que nous appellerons *Science de la Sécurité*."

La sécurité d'un système de transport par exemple fait appel à de nombreuses disciplines. Nous pouvons citer parmi ces disciplines : la mécanique qui s'occupe entre autres des problèmes de résistances des structures métalliques des véhicules, la chimie qui s'intéresse par exemple aux risques d'incendies, et aussi l'étude des facteurs humains tels que l'inattention ou la fatigue du conducteur qui peuvent entraîner un accident grave.

Dans ce chapitre, nous nous intéressons aux automatismes électroniques de sécurité dont le mauvais fonctionnement peut entraîner une catastrophe. Le premier sous chapitre est consacré au vocabulaire de base et à la description des méthodes classiques de mise en sécurité d'une fonction électronique. Deux grands principes de mise en sécurité existent : la sécurité intrinsèque et l'emploi de la redondance. Le principe de la redondance peut être cependant mis en défaut lorsque qu'une défaillance de cause commune apparaît. Ces causes communes peuvent provenir d'une erreur de conception, d'une erreur de fabrication ou encore d'une erreur d'exploitation. Nous nous intéressons aux causes communes dont l'origine est une agression de l'environnement et en particulier une perturbation électromagnétique.

En ce qui concerne les systèmes de sécurité fondés sur la redondance matérielle, des différences de conception électronique sont apportées sur les voies de traitement des signaux. On espère ainsi diminuer la probabilité d'obtenir des défaillances de cause commune dont les effets sur la fonction sont identiques et simultanés sur les deux voies (défaillances de mode commun). La similitude et la simultanéité des défaillances qui apparaissent sur les deux voies, vont en effet à l'encontre de la sécurité. Nous avons obtenu au chapitre III le résultat suivant : lorsque la cause commune de perturbation est une agression électromagnétique, l'utilisation de composants de technologies différentes sur chaque voie peut éviter sur un dispositif sous test simple l'apparition de défauts identiques sur les deux voies. Les composants de technologie TTL et de technologie CMOS, soumis à une agression électromagnétique ont notamment des comportements très différents. La perturbation du dispositif simple étudié peut être assimilée à la perturbation d'une piste qui relie deux composants logiques d'un circuit imprimé. Selon les circuits électroniques situés en aval de ces inverseurs, ces défauts vont provoquer des défaillances en sortie de la carte ou non. On conçoit que lorsque les défauts observés sont différents sur les deux voies, la probabilité qu'ils provoquent des défaillances de mode commun diminue.

L'objectif premier de notre second sous chapitre consiste à évaluer sur une carte électronique inspirée d'une carte de sécurité effectivement implantée sur le métro VAL de Lille, si les différences de conception électronique entre les deux voies du circuit imprimé suffisent à éviter des défaillances de mode commun lors d'une agression électromagnétique. Le second objectif est de bien comprendre le fonctionnement de la carte étudiée et d'expliquer l'origine des perturbations observées en sortie de la carte. Pour cela, une description par blocs fonctionnels de la carte est réalisée. Une étude préliminaire consiste à analyser l'impact des sondes de mesure sur le fonctionnement de la carte en absence de perturbation. Nous présentons ensuite les résultats obtenus lorsque la carte est soumise à une perturbation de mode rayonné et à une perturbation de mode conduit. Lors de l'étude des perturbations introduites par un couplage par rayonnement, nous porterons notamment notre intérêt sur l'impact de la présence à la périphérie de la carte électronique d'une piste cuivrée, entourant la carte et pouvant être assimilée à une piste en court-circuit ou en circuit ouvert.

## V.1. ÉTAT DE L'ART SUR LA SÉCURITÉ DES SYSTÈMES.

Dans le langage courant, les adjectifs "solide", "constant", "infaillible", "sûr" sont tous des synonymes de l'adjectif "fiable". L'adjectif "sûr" quant à lui fait référence aux noms communs "sécurité" et "sûreté". Cependant la fiabilité, la sécurité et la sûreté d'un système industriel sont des concepts différents. Il convient donc avant toute chose de définir ces concepts.

### V.1.1. Le vocabulaire utilisé par la sûreté des systèmes.

La **fiabilité** est l'aptitude d'une entité à accomplir une fonction requise, dans des conditions données, pendant une durée donnée. Le terme "entité" est ici employé pour désigner tout composant, sous système, système ou équipement que l'on peut considérer individuellement et essayer séparément. Par "fonction requise", on entend une fonction ou un ensemble de fonctions d'une entité dont l'accomplissement est considéré comme nécessaire pour la fourniture d'un service donné. La fiabilité est généralement mesurée par la probabilité qu'une entité E accomplisse une fonction requise, dans des conditions données, pendant l'intervalle de temps  $[0,t]$  [VILLEMEUR, chapitre 2] :

$$R(t) = P \{E \text{ non défaillante sur } [0,t]\}$$

La **disponibilité** est l'aptitude d'une entité à être en état d'accomplir une fonction requise, dans des conditions données et à un instant donné. La disponibilité est généralement mesurée par la probabilité qu'une entité E soit en état d'accomplir une fonction requise dans des conditions données, et à un instant  $t$  donné :

$$A(t) = P \{E \text{ non défaillante à l'instant } t\}$$

La **maintenabilité** est l'aptitude d'une entité à être maintenue ou rétablie dans un état dans lequel elle peut accomplir une fonction requise, lorsque la maintenance est accomplie dans des conditions données, avec des procédures et des moyens prescrits. La maintenance est généralement mesurée par la probabilité que la maintenance d'une entité (E) accomplie dans des conditions données, avec des procédures et des moyens prescrits, soit achevée au temps  $t$ , sachant que l'entité est défaillante au temps  $t = 0$  :

$$M(t) = P \{E \text{ est réparée sur } [0,t]\}$$

La **sécurité** est l'aptitude d'une entité à éviter de faire apparaître, dans des conditions données, des événements critiques ou catastrophiques. La sécurité est généralement mesurée par la probabilité qu'une entité E évite de faire apparaître, dans des conditions données, des événements critiques ou catastrophiques.

La **sûreté de fonctionnement** est l'aptitude d'une entité à satisfaire à une ou plusieurs fonctions requises dans des conditions données. Ce concept peut englober la fiabilité, la disponibilité, la sécurité,... ou des combinaisons de ces aptitudes (figure V-1)

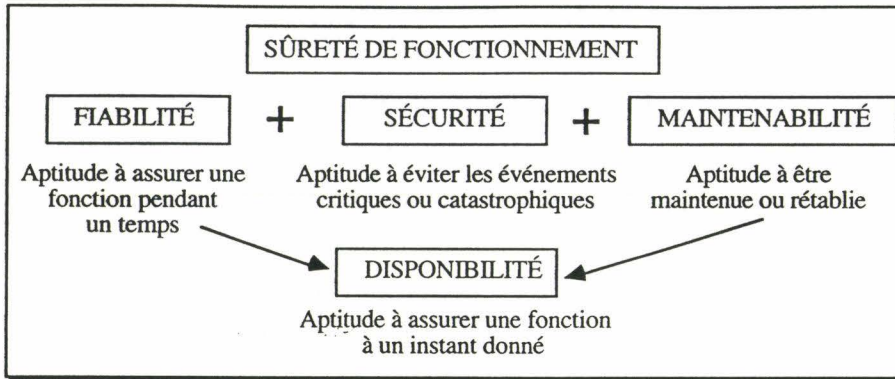


Figure V-1 : Définitions des différentes rubriques de la sûreté de fonctionnement.

Il est à noter que la sûreté de fonctionnement d'un système est la propriété qui permet à ses utilisateurs de placer une confiance justifiée dans le service qu'il leur délivre. Selon l'application envisagée, l'accent sur le service attendu sera mis sur la sécurité, la fiabilité, la maintenabilité ou/et la disponibilité. En effet, un système de transport qui serait continuellement à l'arrêt aurait peu de chances de provoquer des accidents. Le niveau de sécurité de ce système serait donc très bon. Par contre, le niveau de sûreté de fonctionnement serait exécrable car le système à l'arrêt serait incapable d'assurer sa mission qui est de transporter des marchandises ou des personnes. On dira alors que la disponibilité du système est nulle. Notons aussi que la disponibilité d'une entité est une fonction de la fiabilité et de la maintenabilité. Dans certains systèmes, les concepts de sécurité et de disponibilité sont étroitement liés (exemple des transports aériens et des centrales nucléaires).

Dans la suite de ce chapitre, nous nous intéressons plus particulièrement à l'aspect sécurité des systèmes électroniques. Mais avant d'aborder cet aspect, nous donnons la définition des termes utilisés dans la suite de ce mémoire et qui caractérisent la perturbation d'une entité.

La **défaillance** est la cessation d'une entité à accomplir une fonction requise [CEI-271-1974]. Après défaillance, une entité est en panne. La **panne** est l'inaptitude d'une entité à accomplir une fonction requise.

Les **défaillances dépendantes** sont des défaillances survenant de manière simultanée ou concomitante sur de multiples entités et ayant entre elles des relations de dépendance.

Les **défaillances de cause commune** sont des défaillances dépendantes ayant pour origine la même cause directe.

Les **défaillances de mode commun** sont des défaillances de cause commune se manifestant par le même mode de défaillance des entités.

Le **mode de défaillance** est l'effet par lequel une défaillance est observée (CEI-271-1974).

Un **défaut** est l'écart entre une caractéristique d'une entité et la caractéristique voulue, cet écart dépassant des limites d'acceptabilité.

### V.1.2. La sécurité intrinsèque.

Une entité est dite de sécurité intrinsèque ou encore à sûreté intégrée lorsqu'elle est conçue en vue d'éviter que ses défaillances n'entraînent des conséquences critiques ou catastrophiques.

Le mot "intrinsèque" qualifie donc la sécurité qui résulte de la structure même d'une entité de sécurité. Une technique particulière pour élaborer une entité en sécurité intrinsèque consiste à faire en sorte que l'état de sécurité de l'appareil coïncide avec l'état de plus basse énergie de l'appareil. En effet, tout système laissé à l'abandon va naturellement tendre vers son état de plus basse énergie. Cette technique particulière de mise en sécurité intrinsèque d'un appareil est appelée "sécurité positive".

Les entités électroniques élaborées en sécurité intrinsèque doivent obéir à deux conditions indispensables :

- toute panne pouvant arriver à un composant ne doit pas mettre l'entité dans un état pernicieux;
- toute panne pouvant arriver à un deuxième composant alors qu'un premier composant est déjà en panne, non détectée, ne doit pas mettre l'entité dans un état pernicieux.

Ces deux conditions imposent la connaissance parfaite de tous les modes de défaillance pouvant affecter chaque composant utilisé et la conception d'entités simples.

### V.1.3. La sécurité par redondance.

La redondance est définie par la norme X 60-500 de l'AFNOR comme étant l'existence dans une entité, de plus d'un moyen pour accomplir une fonction requise. La norme distingue plusieurs types de redondance :

- **La redondance active** est une redondance telle que tous les moyens d'accomplir une fonction requise fonctionnent simultanément. Cette redondance permet d'assurer la sécurité.

- **La redondance passive** est une redondance telle qu'une partie seulement des moyens d'accomplir une fonction requise est en fonctionnement. Le reste n'est utilisé sur sollicitation qu'en cas de défaillance de la partie en fonctionnement. Cette redondance permet d'assurer la disponibilité.

- **La redondance majoritaire m/n** est une redondance telle qu'une fonction requise n'est assurée que si au moins m des n moyens existants sont en état de fonctionner ou en fonctionnement.



Cette redondance permet d'assurer la sécurité et la disponibilité.

Nous proposons de décrire maintenant différents types de redondance active qui permettent d'assurer la sécurité. Nous invitons le lecteur à se référer à [EL KOURSI] et [ROUCHOUSE] pour des compléments d'informations.

### V.1.3.1. La redondance de l'information.

Cette technique consiste à détecter les pannes ou les erreurs dues aux perturbations par un codage de l'information qui apporte une certaine redondance. La validation des données est faite en vérifiant l'appartenance au code choisi (figure V-2).

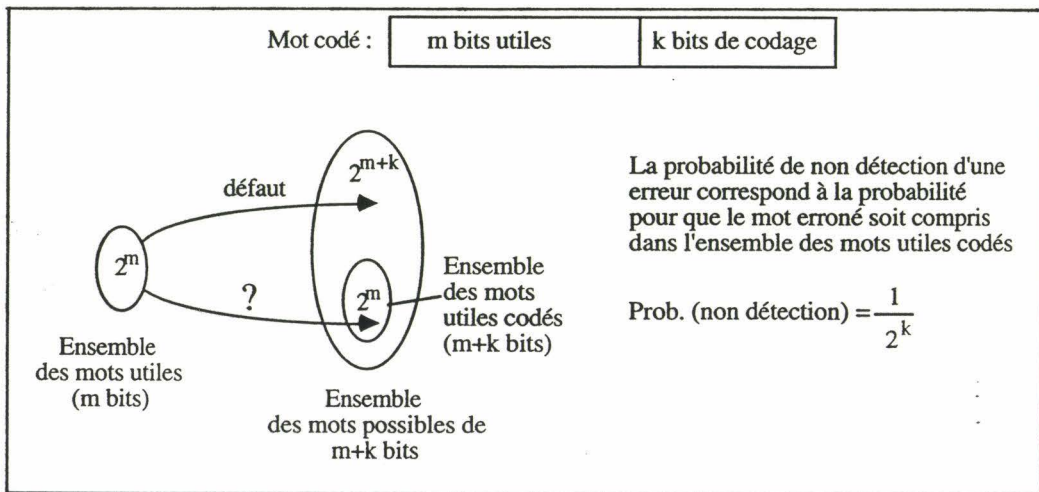


Figure V-2 : Principe de la redondance par codage de l'information.

Les industriels et exploitants français des transports terrestres ont pour la plupart opté pour ce type de redondance et notamment pour l'utilisation du monoprocasseur codé dans les systèmes de transport. La première réalisation a porté sur le système SACEM (Système d'Aide à la Conduite, à l'Exploitation et à la Maintenance) qui assure le contrôle de vitesse des rames du RER de Paris. Ce type de monoprocasseur est installé depuis 1988 sur la ligne A du RER de Paris, depuis 1989 sur le POMA de Laon et depuis 1993 sur le TGV Nord. Il équipe également le métro de Lyon ainsi que les installations des pilotes automatiques fixes du système VAL de Chicago qui comporte une gestion de voie unique temporaire en cas de travaux sur une des deux voies. Ce composant est considéré comme un composant de sécurité et son utilisation se généralise en France dans les applications de sécurité des transports automatisés.

### V.1.3.2. La redondance logicielle.

La redondance logicielle massive, aussi appelée redondance temporelle hétérogène, consiste à doubler totalement dans une même unité de contrôle le logiciel. Pour éviter les défaillances de mode commun (humaines, compilateur) chaque logiciel est confié à une équipe différente de programmeurs. Ces équipes utilisent si possible des méthodes et des langages de programmation différents. Les deux

logiciels sont complétés par un programme de comparaison des résultats faisant l'objet d'une attention particulière afin de le rendre fiable. Au niveau logiciel, la fiabilisation du programme de comparaison correspond au niveau matériel à la sécurité intrinsèque des composants.

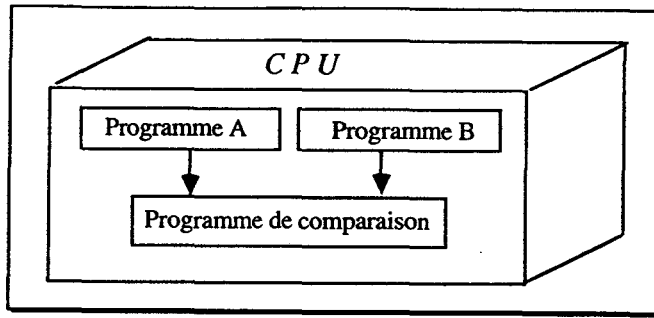


Figure V-3 : Redondance logicielle massive.

### V.1.3.3. La redondance matérielle.

La redondance matérielle massive consiste à doubler, tripler, etc. le matériel (et le logiciel si un microprocesseur est utilisé sur le matériel que l'on veut doubler). La fragilité de tels systèmes redondants réside dans le comparateur qui doit être réalisé impérativement en sécurité.

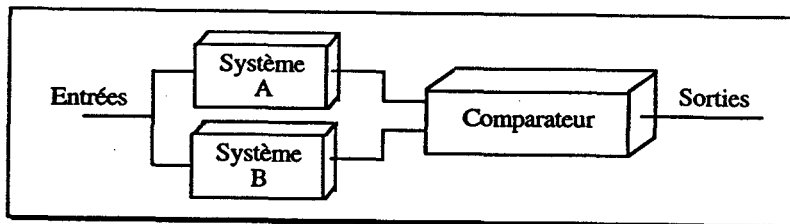


Figure V-4 : Redondance matérielle massive.

Une autre fragilité des systèmes de sécurité fondés sur la redondance matérielle, réside dans l'apparition de défaillances de mode commun, qui ne sont pas détectées par le comparateur. Pour éviter ce type de défaillances dues à des causes classiques telles par exemple une coupure de l'alimentation, des différences de conception électronique sont généralement apportées sur les deux voies. Nous nous intéressons dans ce mémoire, aux défaillances dont la cause commune est une agression de l'environnement et en particulier une perturbation électromagnétique. Nous étudions l'impact des différences de conception des deux voies vis à vis de ce type de perturbation.

En ce qui concerne une perturbation par rayonnement d'une carte électronique, le couplage est une fonction du champ électromagnétique (régime, puissance, orientation par rapport à la carte), de la topologie de la carte imprimée, et des charges non linéaires présentées par les étages d'entrée/sortie des composants. L'utilisation de dessins de carte imprimée et/ou de composants de technologies différentes, rend le couplage différent sur chaque voie. On diminue ainsi la probabilité d'apparition de défaillances de mode commun. Ceci a été vérifié au chapitre III en ce qui concerne



l'utilisation de technologies différentes : plus les charges non linéaires présentées par les composants sont différentes et plus le comportement des technologies est différent vis à vis d'une perturbation électromagnétique. Ainsi des similitudes de comportement sont observées pour certaines familles de la technologie TTL d'une part et pour les familles de la technologie CMOS d'autre part. Par contre les composants de technologie TTL et de technologie CMOS réagissent d'une manière totalement différente à une agression électromagnétique. C'est notamment, la combinaison de technologies utilisées par la carte de sécurité Élaboration Retard Survitesse implantée sur le métro VAL de Lille, qui sert maintenant d'exemple d'application aux éléments que nous venons d'introduire ainsi qu'aux résultats obtenus dans les chapitres III et IV.

## **V.2. ÉTUDE D'UNE CARTE DE SÉCURITÉ UTILISANT LA REDONDANCE MATÉRIELLE HÉTÉROGÈNE, IMPLANTÉE SUR LE MÉTRO AUTOMATIQUE VAL.**

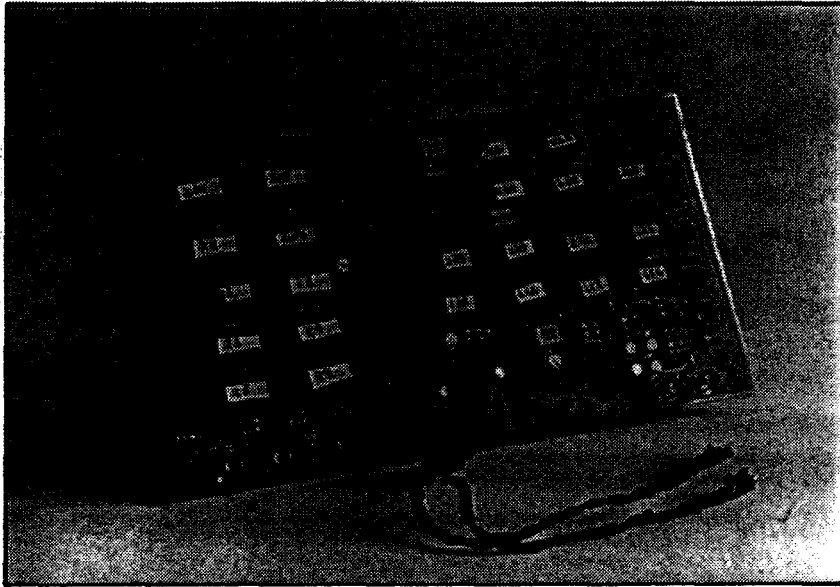
### **Introduction.**

La carte Élaboration Retard Survitesse (ERS) assure une fonction de sécurité dans le système antisurveillance du métro VAL de Lille. La sécurité de cette carte est fondée sur la redondance matérielle. Pour éviter des défaillances de mode commun, des différences de conception électronique au niveau du schéma électrique, de l'alimentation et de la technologie de composants sont apportées sur les deux voies. Une des voies est en technologie TTL et est alimentée en 5 V. L'autre voie est en technologie CMOS et est alimentée en 12 V.

L'objectif de ce sous chapitre est d'analyser si l'utilisation de composants dont les caractéristiques sont très différentes est suffisante pour éviter des défaillances de mode commun lors d'une agression électromagnétique. Pour cela, il est nécessaire de bien comprendre le fonctionnement de la carte étudiée, afin d'expliquer l'origine des perturbations observées en sortie de la carte. Pour cela, une description par blocs fonctionnels de la carte est réalisée. Une étude préliminaire consiste à regarder l'impact des sondes de mesure sur le fonctionnement de la carte en absence de perturbation. Nous présentons ensuite les résultats obtenus lorsque la carte est soumise à une perturbation de mode rayonné et à une perturbation de mode conduit.

Pour mener à bien cette étude, nous avons reproduit la carte ERS en laboratoire d'après le schéma électrique constructeur. Quelques modifications quant à la génération des horloges sont apportées et le dessin des cartes imprimées n'est pas identique. Pour générer le typon de la carte (photographie V-1), nous avons utilisé un logiciel de DAO classique qui n'intègre pas de contraintes CEM. Aucune précaution spécifique à la CEM n'est prise lors du tracé de la carte. La disposition des

boîtiers sur la carte est cependant optimisée pour assurer un ensemble compact. Si l'étude fonctionnelle de la carte reproduite est représentative de la carte d'origine, l'étude de sa sensibilité par rayonnement ne l'est pas puisque le couplage diffère de part le dessin de la carte imprimée. Mais elle permet de tirer certaines conclusions d'ordre général sur les systèmes redondants, et en particulier sur la carte d'origine. Nous proposons au lecteur de se reporter à l'annexe A-V pour une description de la carte réelle.

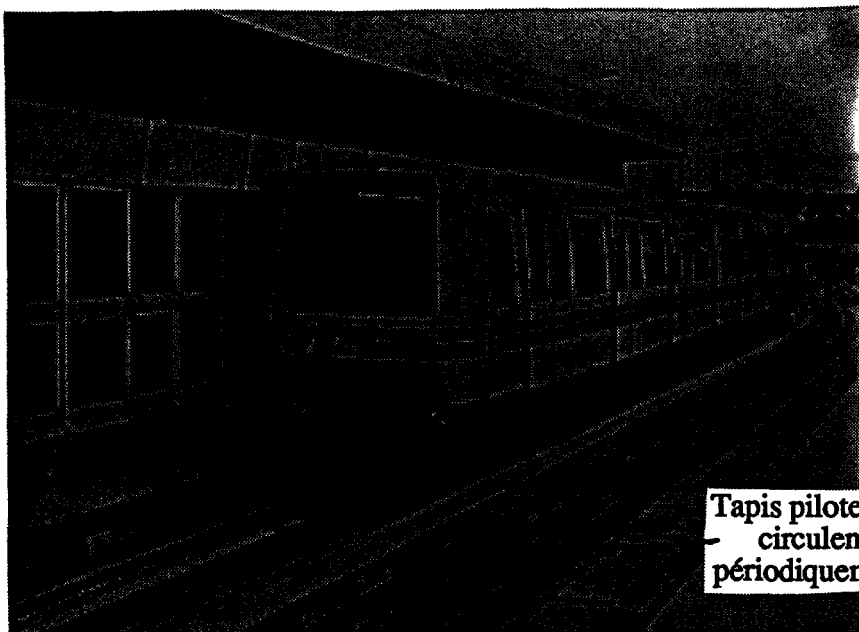


Photographie V-1 : Carte ERS réalisée au laboratoire.

### V.2.1. Principe de la sécurité antisurvitesses sur le VAL.

La sécurité antisurvitesses du métro de Lille est assurée grâce à une ligne constituée de deux fils parallèles périodiquement croisés [HEDDEBAUT M] et placée dans un tapis pilote le long de la voie (photographie V-2). Cette ligne est alimentée par une onde porteuse dans la gamme des 100 kHz. Les variations de phase engendrées par les croisements des fils sont captées par une antenne magnétique située sous le véhicule (figure V-5).

Le principe de la sécurité antisurvitesses du métro de Lille consiste à générer un signal d'alarme si un intercroisement est parcouru en moins de 0,27 s dans le cas nominal et en moins de 0,3 s en cas de consigne de vitesse affine. La vitesse du métro est donc asservie sur le temps nécessaire au véhicule afin de parcourir la distance séparant deux croisements consécutifs.



Tapis pilote dans lequel circulent les fils périodiquement croisés

Photographie V-2 : Le métro VAL de Lille.

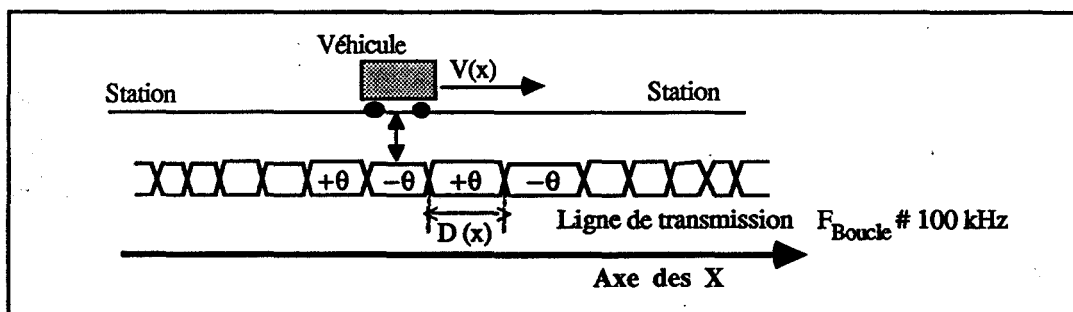


Figure V-5 : Détection des croisements de la ligne par le véhicule.

### V.2.2. Description de la carte.

La carte *Élaboration Retard Survitesse (ERS)* que nous étudions a pour fonction de générer des impulsions retardées de 0,27 s et 0,3 s par rapport à la détection d'un croisement. Si un autre croisement est détecté avant leur génération, la vitesse du véhicule est trop rapide et le signal de freinage d'urgence doit impérativement être déclenché. On note bien ainsi le caractère particulièrement critique de cette fonction à réaliser en sécurité. A chaque croisement, la carte comparateur de phases située en amont de la carte ERS fournit des impulsions sur les signaux d'entrée de la carte ERS (DNC et DPC). Nous générons extérieurement les signaux DNC et DPC préconisés dans les fiches techniques afin de tester le bon fonctionnement de la carte. Ces signaux, ainsi que les signaux obtenus en sortie sont schématisés sur la figure V-6.

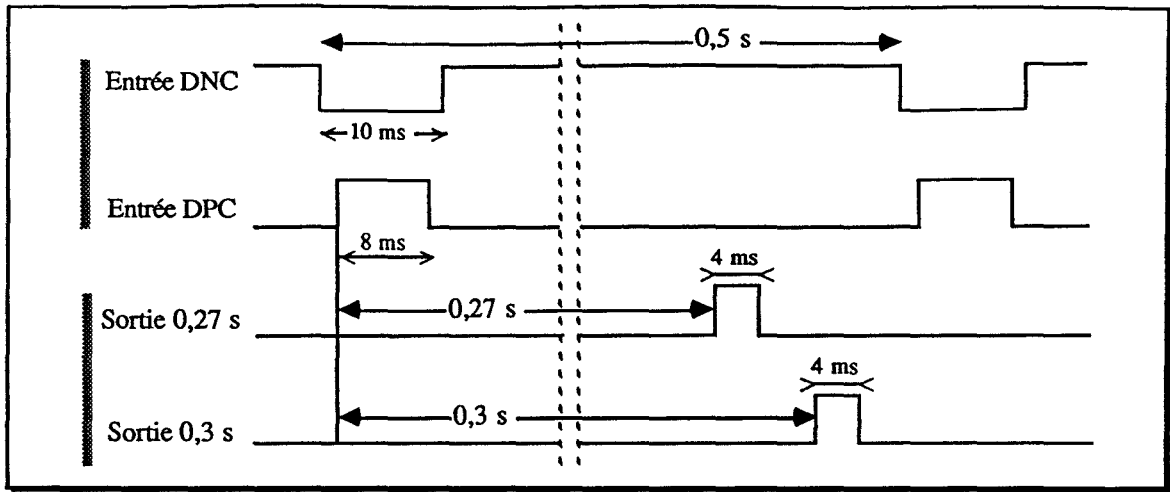


Figure V-6 : Signaux d'entrée et signaux de sortie de la carte.

Les impulsions à 0,27 s et à 0,3 s servent à définir le temps minimal permis pour parcourir la distance séparant deux croisements consécutifs. Si ces impulsions ne sont pas générées en sortie, le système antisurveillance déclenche une alarme dès qu'un autre croisement est détecté. Ce mode de panne n'est pas dangereux pour la sécurité (figure V-7). Il est par contre très pénalisant pour la disponibilité. Si ces impulsions sont générées avec un retard  $\Delta t$ , le temps minimal permis pour parcourir la distance entre deux croisements consécutifs augmente de  $\Delta t$ . La vitesse maximale permise diminue. Ce mode de panne n'est pas dangereux pour la sécurité. Si ces impulsions sont générées avec une avance de  $\Delta t$ , le temps minimal permis pour parcourir la distance entre deux croisements consécutifs diminue de  $\Delta t$ . La vitesse maximale permise augmente. Ce mode de panne est dangereux pour la sécurité.

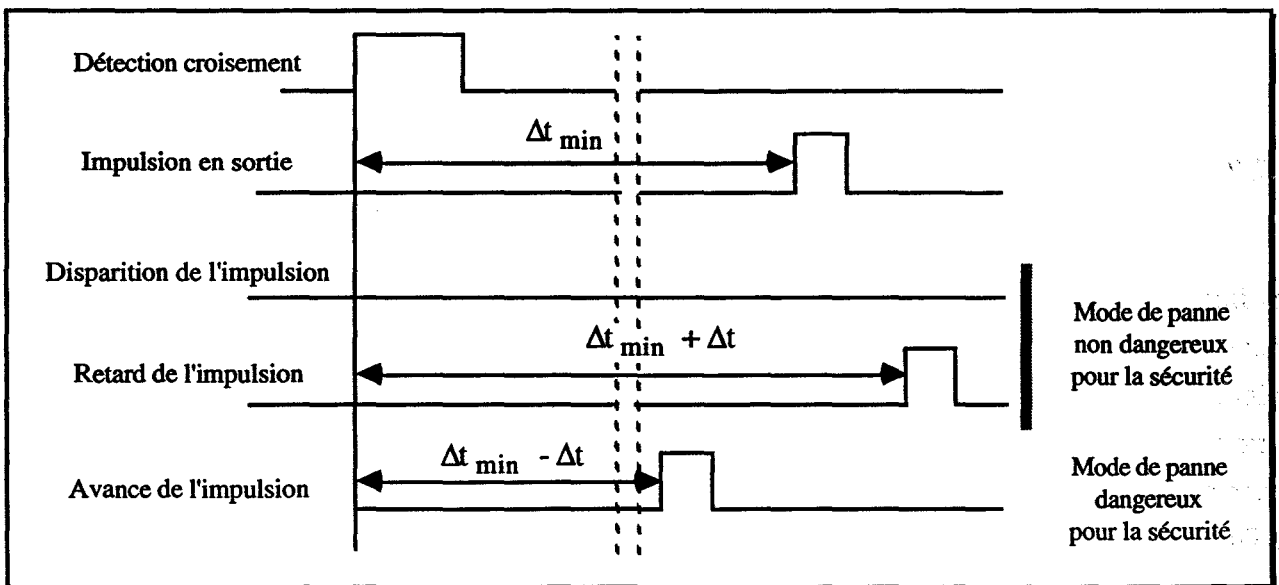


Figure V-7 : Les principaux modes de panne.

Le schéma synoptique de la carte ERS reproduite au laboratoire est présenté figure V-8. On observe sur celui-ci l'utilisation d'une redondance bâtie autour de deux voies de traitement de l'information, fondées l'une sur l'emploi d'une technologie TTL, l'autre sur l'emploi d'une technologie CMOS. Les impulsions 0,27 s et 0,3 s sont fournies par des décodages à diodes à partir d'un compteur pseudo-aléatoire. L'impulsion DPC est à l'origine du signal de remise à zéro du compteur. L'horloge rapide est alors validée en entrée du compteur. Elle sert à charger les registres en série pendant 1,5 ms pour que toutes les sorties du compteur soient à 1. Lorsque le compteur est activé, tous les signaux de sortie sont initialement à 1 et une horloge lente de 250 Hz est utilisée. La période de cette horloge est de 4 ms, ce qui correspond à la durée des signaux de sortie.

Nous allons maintenant décrire la carte ERS par blocs fonctionnels. Ces blocs peuvent être considérés comme des entités. Le principe de fonctionnement étant identique sur les deux voies, nous décrivons plus particulièrement une seule voie et en particulier la voie TTL. Les schémas électriques montrent les différences de conception entre les deux voies. On retrouve sur ces schémas des inverseurs reliés par une piste ainsi que le dispositif sous test dont l'étude est présentée au chapitre III.

Nous utilisons dans la suite de ce chapitre des codes à 1 ou 2 chiffres correspondant à différents nœuds du circuit pour lesquels une analyse des signaux est effectuée.

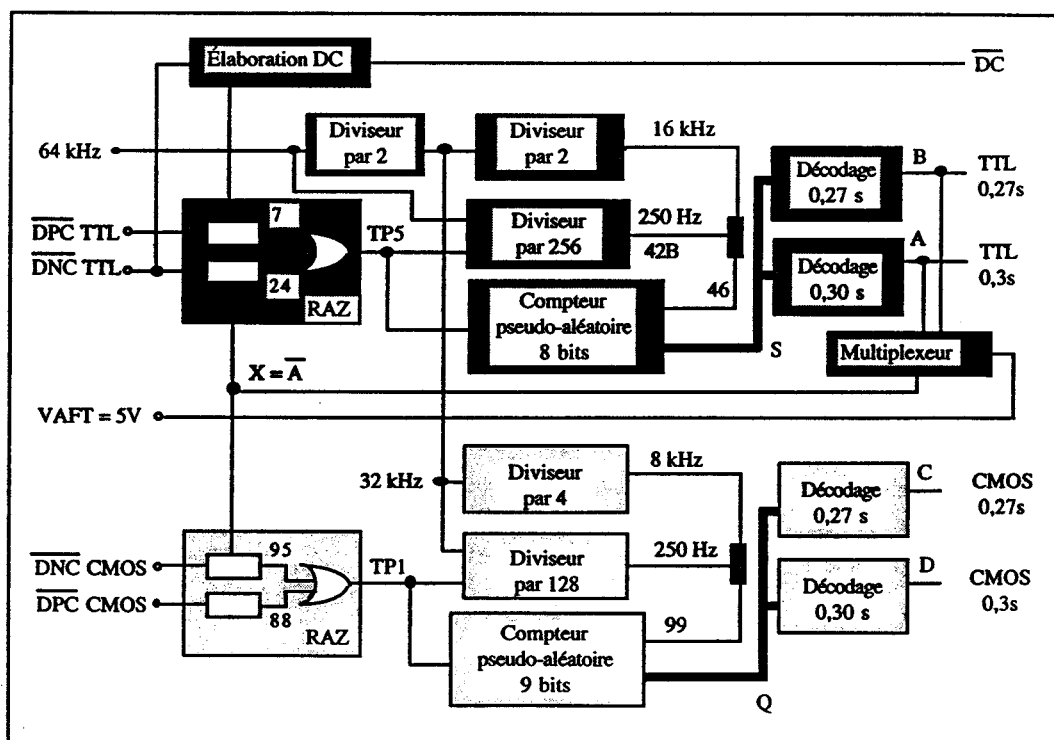


Figure V-8 : Schéma synoptique de la carte ERS.

### V.2.2.1. Description de la remise à zéro du compteur.

Avec la configuration des signaux d'entrée que nous fixons, le signal de remise à zéro du compteur est généré uniquement par le bloc DPC (figures V-9 et V-10).

En ce qui concerne la voie TTL, à l'arrivée de l'impulsion DNC, le signal CLR (23) et la donnée (22) de la bascule 74LS74 passent à l'état haut. Le signal de sortie 24 passe à l'état haut si un front montant d'horloge arrive en même temps que l'impulsion DNC. L'horloge (signal 17) est cependant identique au signal de sortie 0,3 s de la voie TTL et en fonctionnement normal, cette horloge reste à l'état bas lorsque l'impulsion DNC apparaît. Sur la carte d'origine, le bloc DNC génère le signal de remise à zéro lors d'un arrêt de la rame sur croisement. Dans ce cas, les signaux DNC, 22 et 23 sont constamment à l'état haut et lors de la transition état bas/état haut de l'impulsion du signal multiplexé (horloge 17), les signaux 24 et TP5 passent à l'état haut. Lors d'un arrêt sur croisement, le signal TP5 est constamment à l'état haut, ce qui a pour effet d'inhiber l'action du compteur. De ce fait aucune impulsion n'apparaît sur les signaux de sortie de la voie TTL.

Sur le bloc DPC de la voie TTL, un filtre passe haut associé à une diode permet de détecter uniquement le front montant du signal DPC. La rapidité avec laquelle la capacité se décharge détermine la largeur des impulsions 5 et 6. Notons qu'en absence de défaillance, le signal 7 est égal au signal 6. La ligne 2 et la porte NAND X22C pourraient être omises.

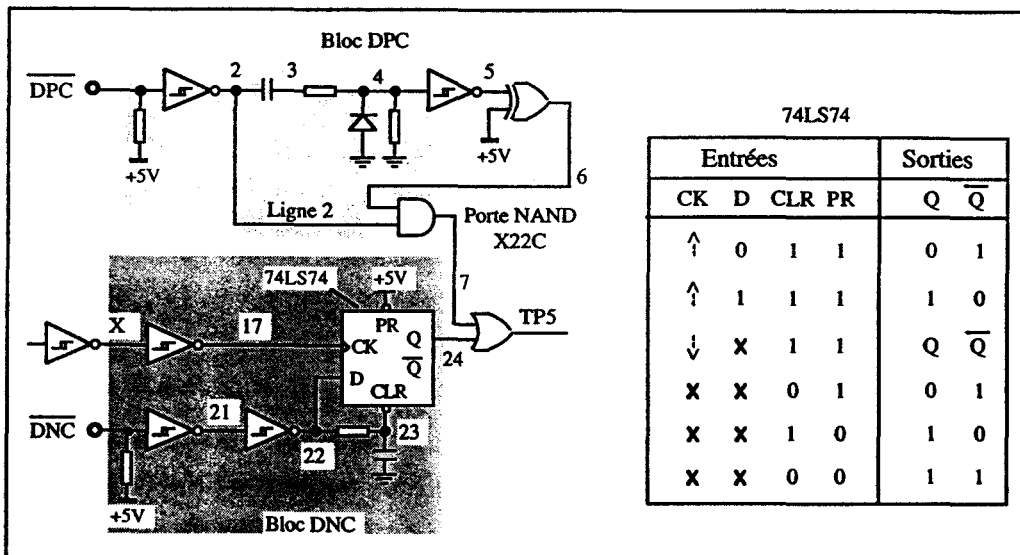
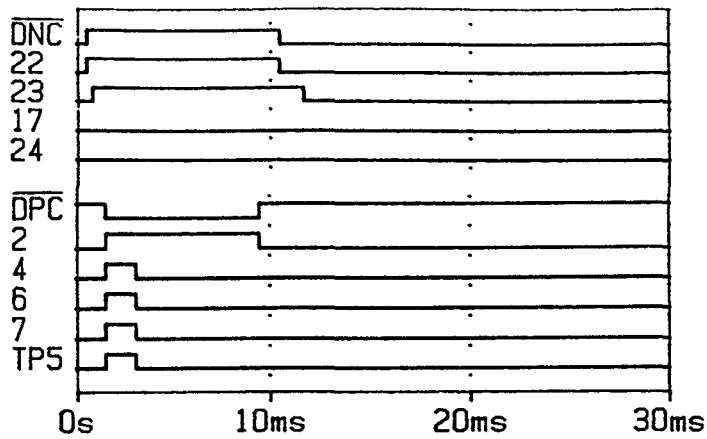
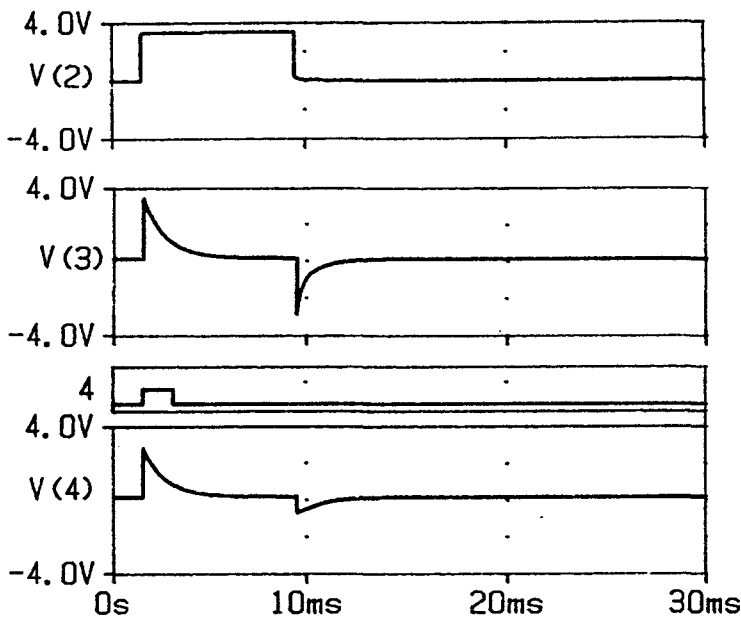


Figure V-9 : Schéma électrique de la remise à zéro de la voie TTL.

L'outil employé afin d'effectuer les simulations de fonctionnement des entités de la carte ERS, est le logiciel PSpice dont les caractéristiques ont été présentées au chapitre I. Le graphe V-1 représente ainsi les états logiques des signaux de la voie TTL et le graphe V-2 les tensions simulées en entrée et en sortie du filtre passe haut.



Grphe V-1 : Simulations PSpice des signaux de remise à zéro du compteur de la voie TTL.



Grphe V-2 : Simulation PSpice des signaux de remise à zéro du compteur de la voie TTL.

En ce qui concerne la voie CMOS, le principe de fonctionnement est identique à la voie TTL. Néanmoins, l'élaboration du signal de remise à zéro TP1 diffère. Le filtre passe haut de la voie TTL est remplacé par un filtre passe bas qui augmente les temps de montée et de descente du signal 83 (figure V-10 et graphe V-4). Le temps de montée du signal 85 détermine le décalage du signal 87 par rapport au signal 83. Ce décalage correspond à la durée du signal de remise à zéro. Contrairement à la voie TTL, le signal 88 n'est pas égal au signal 87. La ligne 83 et la porte NAND X14A sont indispensables pour générer le signal de remise à zéro TP1.

Comme pour la voie TTL, le bloc DNC n'intervient pas dans l'élaboration du signal de remise à zéro pour une configuration des signaux DNC et DPC qui correspond à une détection normale des croisements lorsque le véhicule est en marche. L'inverseur qui attaque l'horloge de la bascule est réalisé à l'aide d'un transistor afin d'obtenir un signal logique compatible avec

l'alimentation 12 V de cette voie. La bascule CD4013 ayant des signaux de commande (R et S) opposés à ceux de la bascule 74LS74 (CLR et PR), le signal DNC attaque maintenant un suiveur au lieu d'un inverseur. Le signal de donnée 92 est pris à la sortie de ce suiveur.

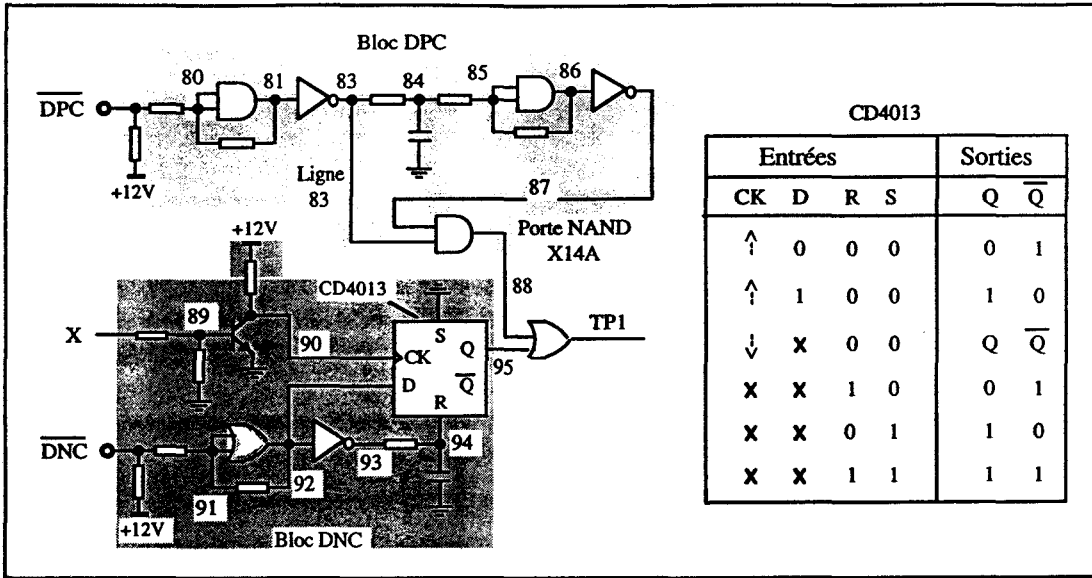
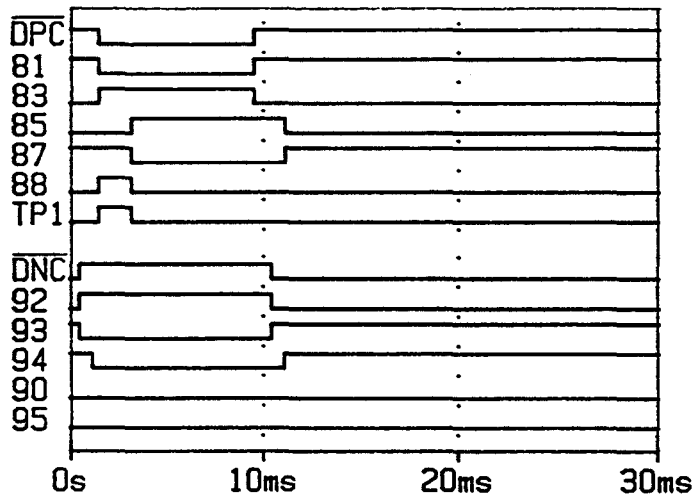
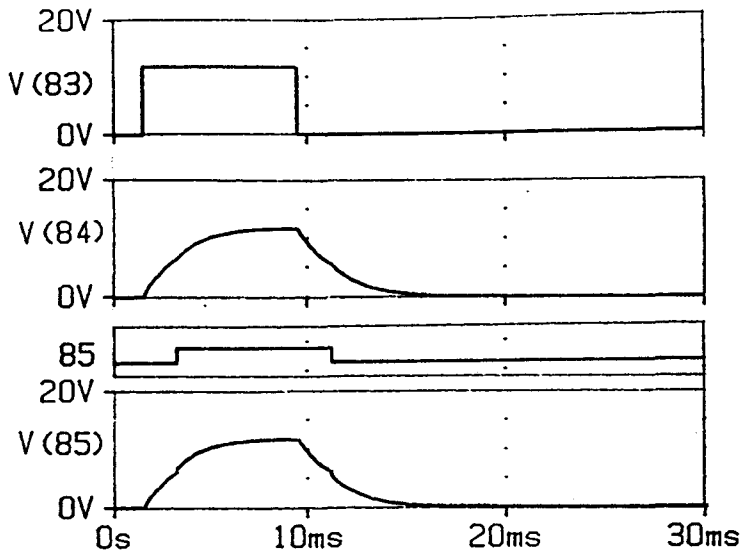


Figure V-10 : Schéma électrique de la remise à zéro de la voie CMOS.



Graphe V-3 : Simulations PSpice des signaux de remise à zéro du compteur de la voie CMOS.





Grphe V-4 : Simulations PSpice des signaux de remise à zéro du compteur de la voie CMOS.

Les signaux DNC et DPC préconisés pour tester la carte correspondent aux signaux normaux générés lorsque des croisements sont détectés, le véhicule étant en marche. Le bloc DNC et le multiplexeur des signaux de sortie n'interviennent donc pas dans l'élaboration du signal de remise à zéro et des signaux de sortie. Cependant, ces entités peuvent intervenir lors d'une perturbation électromagnétique. Par exemple sur la voie TTL, nous retrouvons le schéma électrique d'un dispositif sous test équivalent étudié au chapitre III. Nous avons vu sur ce dispositif que la perturbation de la ligne de transmission qui relie les deux inverseurs peut engendrer des défauts sur  $S_2$  interprétés comme un front par la bascule D qui suit (figure V-11a). De la même manière, une perturbation sur le signal X (par rayonnement ou par conduction) peut engendrer des défauts sur le signal d'horloge 17 interprétés comme un front montant (figure V-11b). Si au moment de cette perturbation, les signaux DNC, 22 et 23 sont à l'état haut, le signal de sortie 24 peut passer à l'état haut et provoquer ainsi une remise à zéro intempestive du compteur. Nous avons effectivement observé ce type de perturbation lors de l'étude par rayonnement de la carte (cf. sous paragraphe V.3.4.3.).

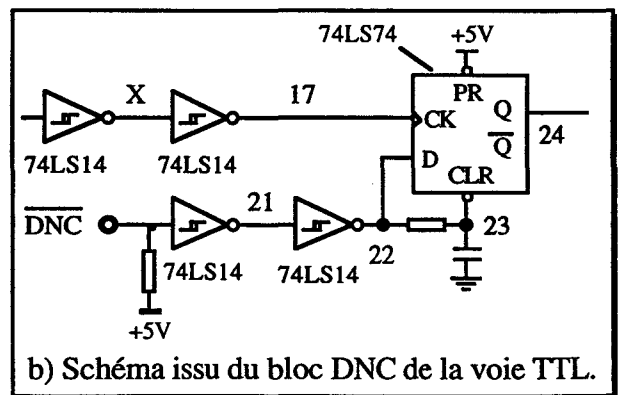
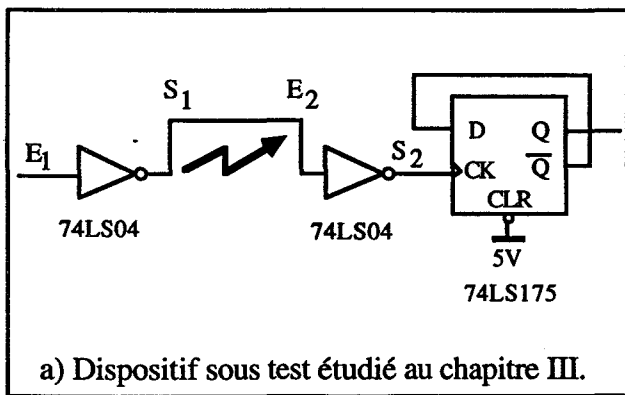


Figure V-11 : Équivalence entre une entité de la carte ERS et un dispositif sous test étudié au chapitre III.

### V.2.2.2. Description de la génération des horloges.

Le schéma électrique de ce bloc fonctionnel diffère du schéma électrique d'origine. Une horloge à 64 kHz est délivrée par un générateur externe. En ce qui concerne la voie TTL (figure V-12), un premier diviseur par 2 fournit l'horloge à 32 kHz de la voie CMOS et un autre diviseur par 2 fournit l'horloge à 16 kHz.

Lorsque le signal de remise à zéro TP5 est à l'état haut, la sortie 42B du diviseur par 256 réalisé par les deux composants 74LS93, est forcée à 0. Le signal 44 est alors une horloge de fréquence 16 kHz ainsi que les signaux 45 et 46 (graphes V-5). Lorsque le signal TP5 est à l'état bas, le signal 44 l'est aussi. Le diviseur par 256 fournit une horloge de fréquence 250 Hz (signaux 42B, 45 et 46). Le principe de la génération de l'horloge de la voie CMOS est identique. Mais l'horloge rapide possède maintenant une fréquence de 8 kHz (graphes V-6).

Notons que la réalisation du premier diviseur par deux de la voie TTL représente typiquement le dispositif sous test étudié au chapitre III (figure V-11a). Une perturbation par couplage directe du signal 45 peut aussi être assimilée à l'étude réalisée au chapitre III sur la perturbation d'une ligne de transmission qui relie deux inverseurs. En effet, la charge présentée par la sortie de la porte OU est identique à celle d'une porte inverseuse. Cependant le couplage serait totalement différent de part la topologie de la piste d'interconnexion.

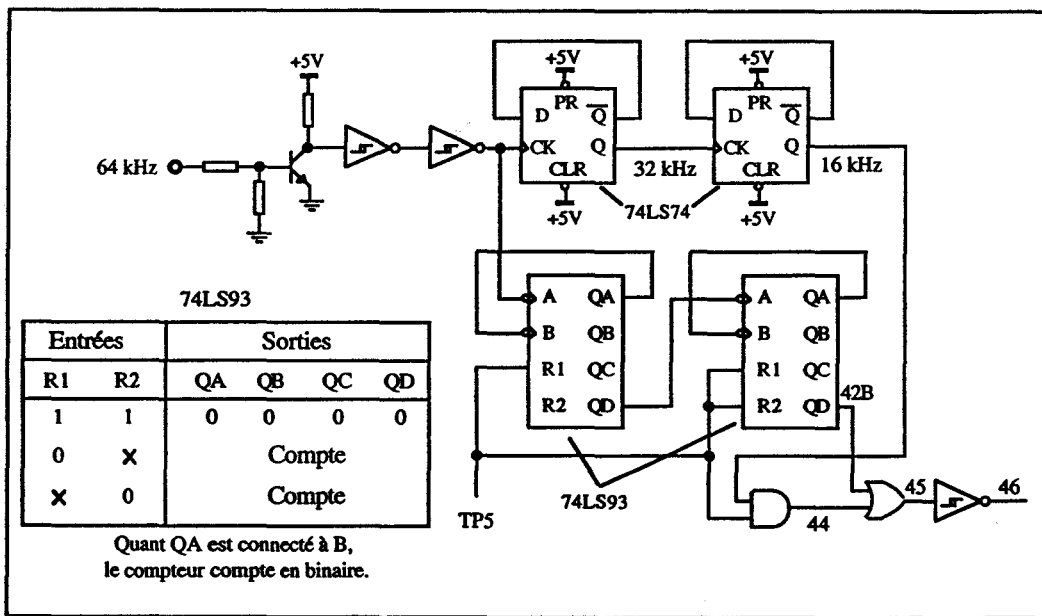


Figure V-12 : Schéma électrique de la génération de l'horloge de la voie TTL.

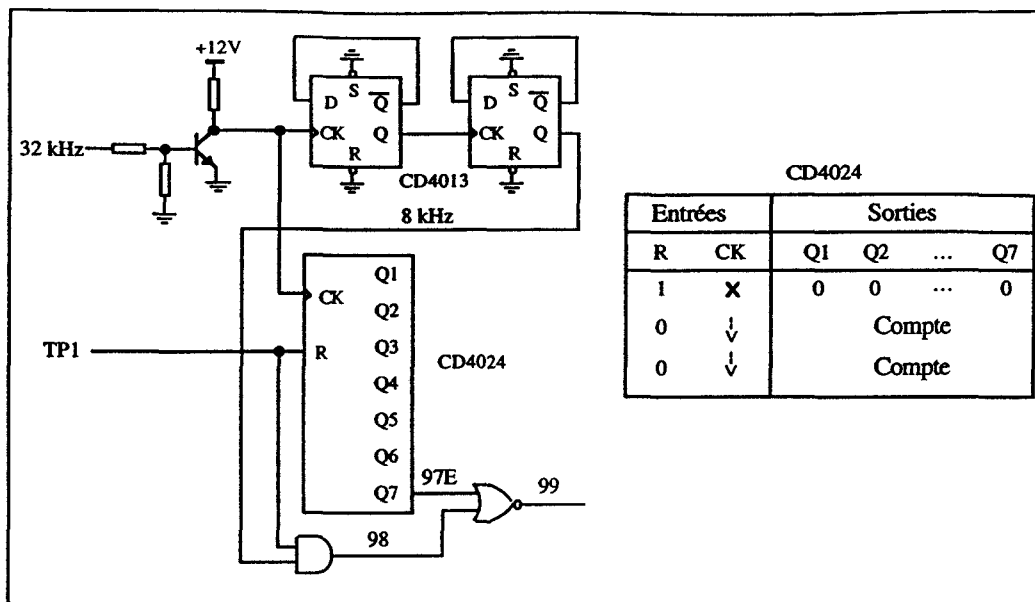
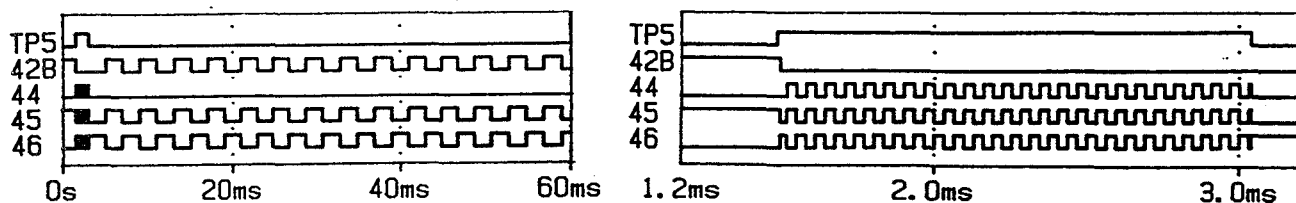
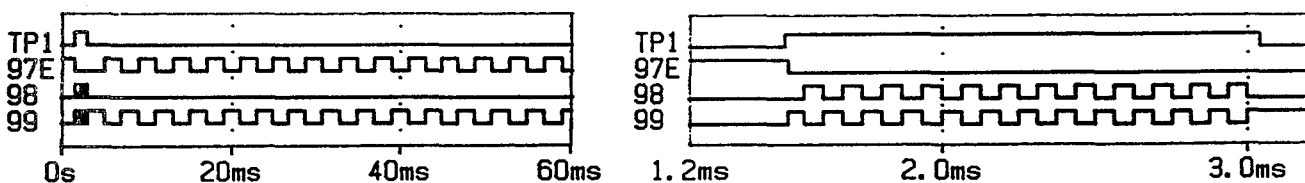


Figure V-13 : Schéma électrique de la génération de l'horloge de la voie CMOS.



Graphes V-5 : Simulation PSpice des horloges de la voie TTL.



Graphes V-6 : Simulation PSpice des horloges de la voie CMOS.

### V.2.2.3. Description du compteur pseudo-aléatoire.

Le compteur est réalisé à l'aide d'un registre à décalage. Sur la voie TTL (figure V-14), lorsque le signal TP5 est à l'état haut, les signaux d'entrée du registre sont à l'état haut et l'horloge de 16 kHz initialise rapidement (0,5 ms) les sorties à 1. Lorsque le signal TP5 est à l'état bas, les entrées du registre sont une fonction des signaux de sortie, et l'horloge lente de 250 Hz est utilisée pour décaler les signaux de 4 ms. Le compteur pseudo-aléatoire de 8 bits est réalisé grâce à la boucle de rétroaction.

Pour la voie CMOS (figure V-15), le principe du compteur pseudo-aléatoire est identique. Le

signal 108 d'entrée du registre à décalage est aussi utilisé comme signal de sortie, ce qui porte à 9 le nombre de bits du compteur. La réalisation de la boucle de rétroaction diffère totalement de celle de la voie TTL. La mise à 1 de tous les signaux de sortie s'effectue en 1,125ms.

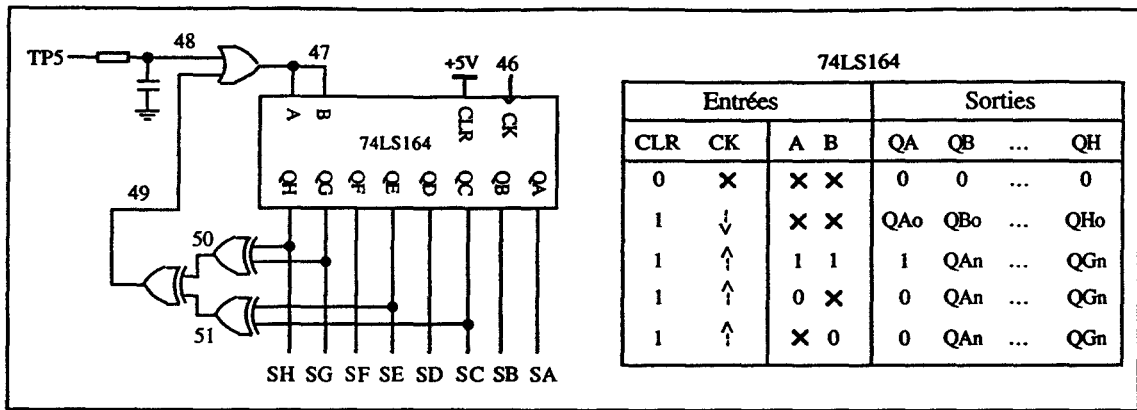


Figure V-14 : Schéma électrique du compteur pseudo-aléatoire de la voie TTL.

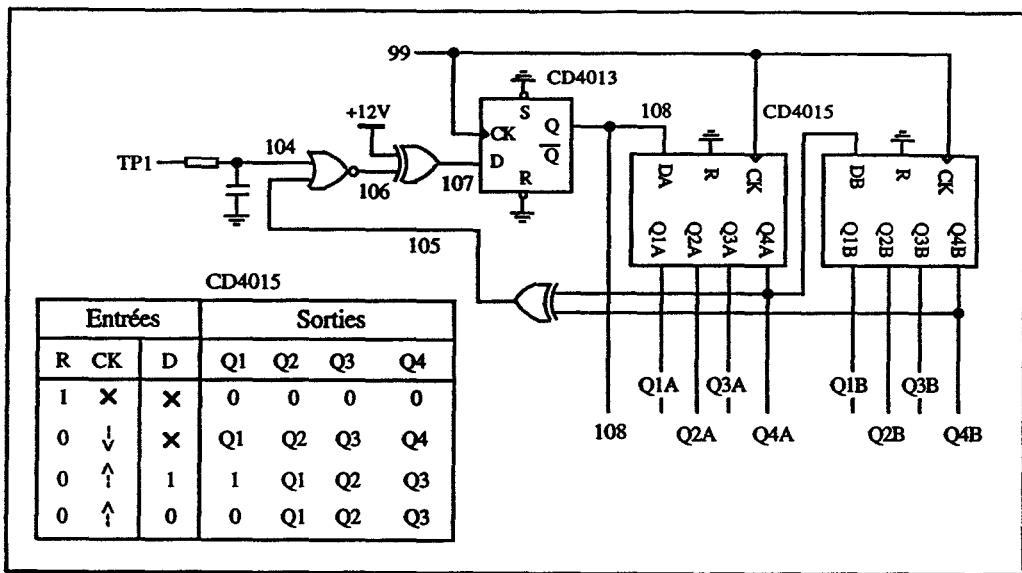
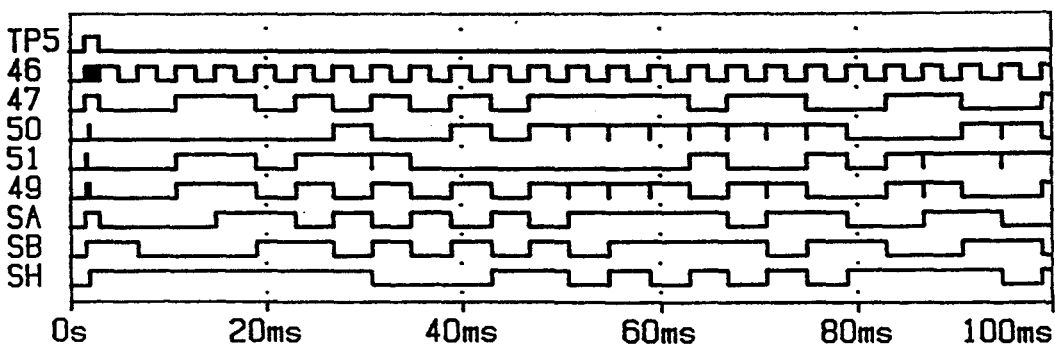
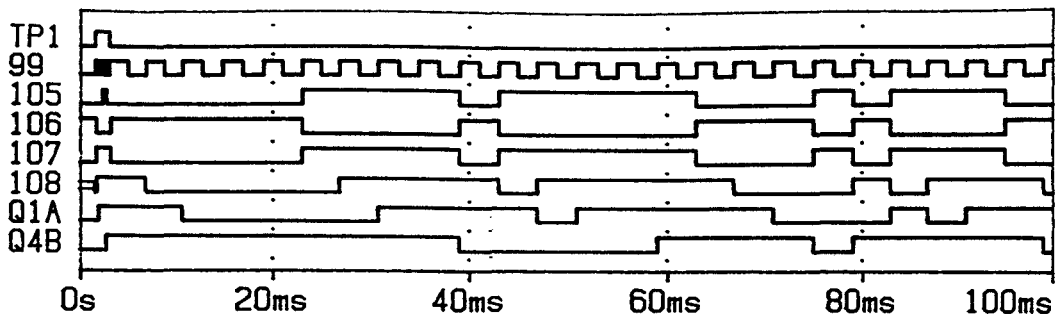


Figure V-15 : Schéma électrique du compteur pseudo-aléatoire de la voie CMOS.



Graphes V-7 : Simulation PSpice des signaux du compteur pseudo-aléatoire de la voie TTL.



Graphes V-8 : Simulation PSpice des signaux du compteur pseudo-aléatoire de la voie CMOS.

V.2.2.4. Description des blocs de décodage.

Les signaux de sortie des compteurs pseudo-aléatoires sont décodés par des diodes assurant une fonction OU et des diodes assurant une fonction ET pour donner les signaux de sortie à 0,27 s et 0,3 s.

Des transistors sont utilisés pour réaliser les inverseurs de l'étage de sortie de la voie TTL (figure V-16). Des petites impulsions apparaissent en entrée du dernier inverseur de sortie (graphe V-9, signaux 67 ou 73). Ces petites impulsions proviennent du signal obtenu par la fonction ET (60 ou 62) et du signal obtenu par la fonction OU (61 ou 63).

Des composants intégrés sont utilisés pour réaliser les inverseurs de la voie CMOS (figure V-17). Les micro impulsions supplémentaires observées sur la voie TTL n'apparaissent pas en entrée du dernier inverseur (graphe V-10). Les signaux 110 et 114 fournis par les diodes placées en sortie du compteur pseudo-aléatoire et assurant une fonction OU sont aussi une fonction des signaux décodés par les diodes montées en ET (111 et 115). Par contre sur la voie TTL, ces signaux (61 et 63) sont uniquement générés par les diodes de sortie du compteur pseudo-aléatoire qui assurent une fonction OU. Nous verrons dans ce mémoire que ces différences de conception des blocs de décodage sont importantes vis à vis d'une perturbation électromagnétique de mode rayonné.

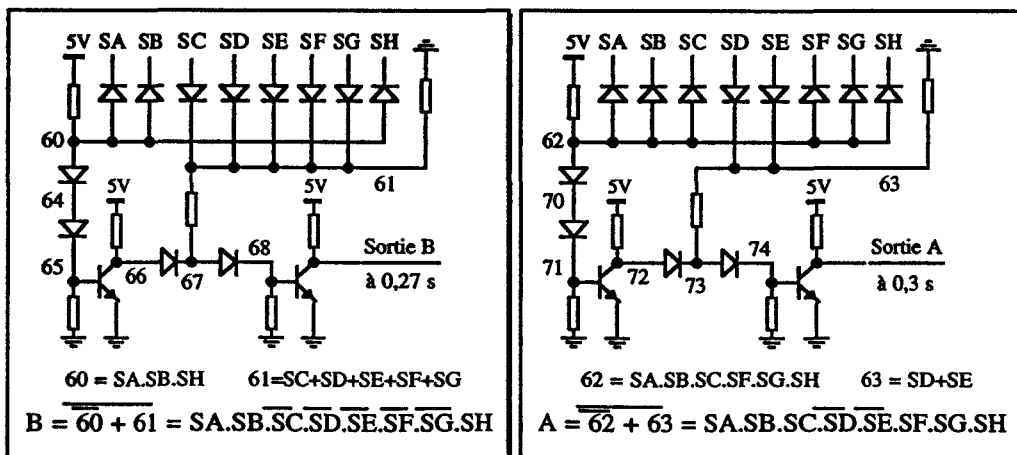


Figure V-16 : Schémas électriques des circuits de décodage à diodes de la voie TTL.

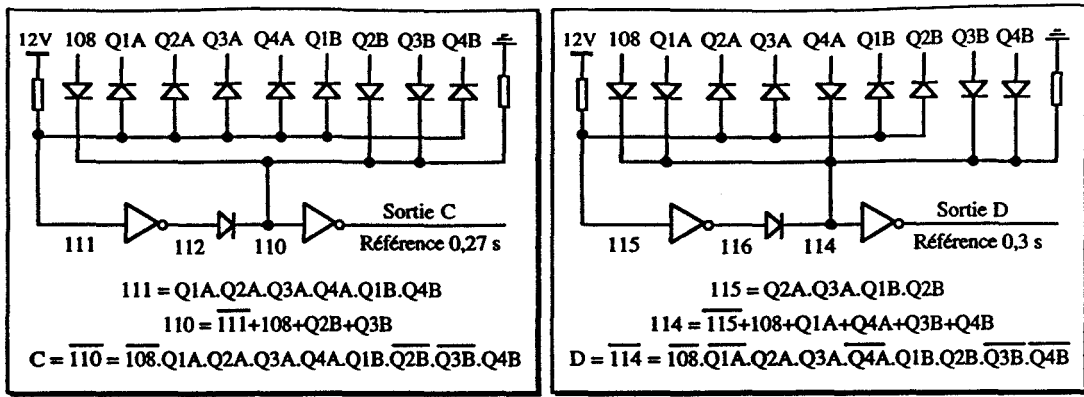
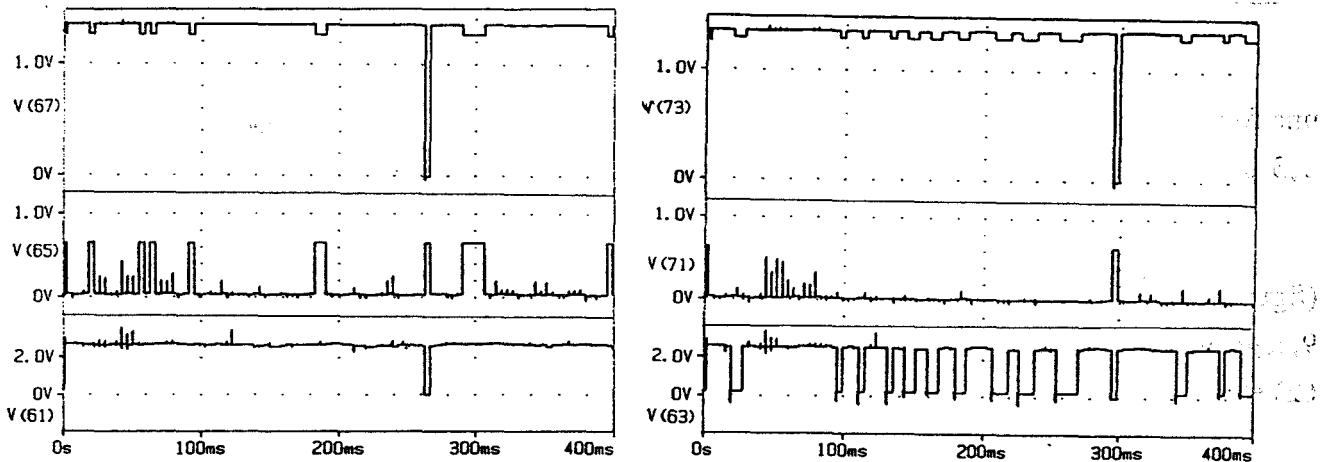
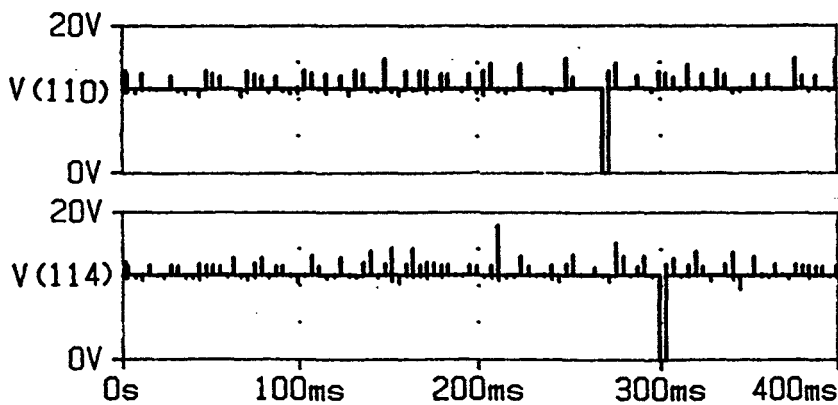
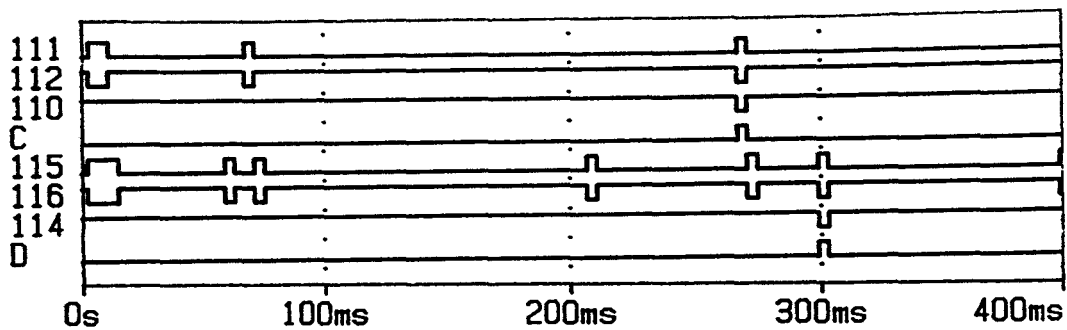


Figure V-17 : Schémas électriques des circuits de décodage à diodes de la voie CMOS.



Graphes V-9 : Simulation PSpice des signaux de sortie de la voie TTL.



Graphe V-10 : Simulation PSpice des signaux de sortie de la voie CMOS.



### V.2.2.5. Description du multiplexeur.

Sur la carte d'origine, le signal VAFT est la consigne de vitesse normale (VAFT à l'état bas) ou de vitesse affine (VAFT à l'état haut). Sur notre carte la consigne est supprimée, ce qui fixe la piste VAFT à 5 V. En absence de perturbation, le signal X est donc toujours égal au complément du signal A (sortie à 0,3 s de la voie TTL). Nous avons vu dans la description du bloc fonctionnel de la remise à zéro, que le multiplexeur n'intervient pas dans la génération des signaux de sortie. Cependant, le signal de sortie X du multiplexeur est utilisé par les deux voies de la carte et une perturbation électromagnétique de ce signal peut entraîner des défaillances de mode commun. De même, la perturbation du signal A (sortie à 0,3 s de la voie TTL) peut non seulement entraîner une autoperturbation de la voie TTL mais également une perturbation de la voie CMOS.

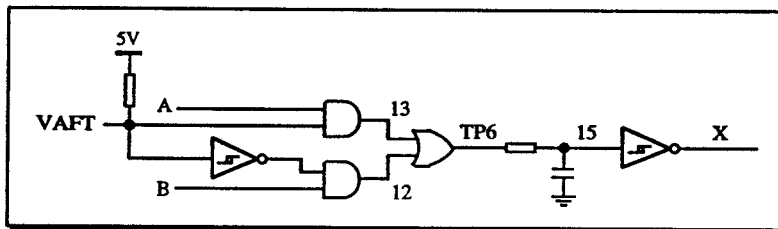


Figure V-18 : Schéma électrique du multiplexeur (voie TTL).

### V.2.2.6. Description du bloc génération DC.

Ce bloc fonctionnel génère le signal Détection de Croisement qui est envoyé vers le pilotage. Cette fonction n'intervient pas du tout pour la génération des signaux de sorties étudiés. Cependant, nous avons réalisé cette entité sur la carte car les charges supplémentaires ajoutées sur les signaux 5 et 22 peuvent intervenir lors d'un couplage électromagnétique.

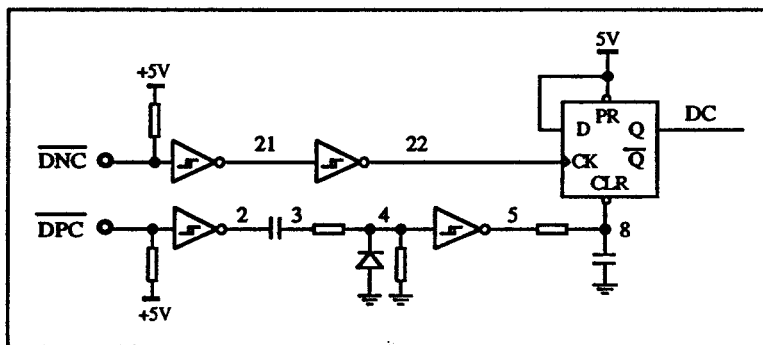


Figure V-19 : Schéma électrique de la génération DC (voie TTL).

### Conclusion.

La description fine de la carte ERS permet de bien comprendre son fonctionnement en absence de perturbation. Elle facilite aussi la compréhension du processus de perturbation de la carte dont nous étudions maintenant la sensibilité par rayonnement et par conduction.

### V.2.3. Étude de la sensibilité par rayonnement de la carte ERS.

#### Introduction.

Certains éléments du schéma électrique de la carte ERS s'apparentent au dispositif sous test étudié au chapitre III. Ce dispositif est composé de deux inverseurs reliés par une piste d'interconnexion qui subit le couplage. Deux voies en parallèle de technologie différente fonctionnent simultanément. La sensibilité électromagnétique est très différente selon que la technologie CMOS ou la technologie TTL est utilisée. Nous allons maintenant soumettre la carte ERS à une perturbation électromagnétique de mode rayonné : nous cherchons à vérifier si l'utilisation conjuguée des technologies TTL et CMOS se caractérise par une sensibilité différente aux perturbations électromagnétiques sur les deux voies de traitement de la carte, ceci sans existence de défaillances de mode commun contraire à la sécurité. Nous devons cependant noter deux points qui contribuent aussi à éviter une sensibilité électromagnétique similaire sur les deux voies. Ces deux points sont les schémas électriques et la topologie de la carte imprimée qui diffèrent sur les deux voies.

#### V.2.3.1. Conditions d'expérimentation en rayonnement.

##### *a) Banc de mesures.*

Pour étudier la sensibilité par rayonnement d'une carte électronique isolée dans l'espace et assimilée à un système complet et autonome, il est nécessaire de générer un champ électromagnétique qui illumine simultanément toutes les pistes du circuit imprimé. Une méthode de perturbation locale ne convient donc pas. Parmi les méthodes de perturbation globale, nous avons choisi d'utiliser une cellule de type "stripline" disponible au laboratoire. Les dimensions de la carte ne nous permettent pas d'employer la cellule de hauteur 5 cm qui a servi pour notre étude statistique présentée au chapitre III. La cellule utilisée ici mesure 15 cm de hauteur, 75 cm de largeur et présente une impédance caractéristique de 50  $\Omega$ . Nous avons vérifié la bonne uniformité du champ électromagnétique sous la cellule [MARÉCHAL 2]. Cette cellule peut fonctionner jusqu'à des fréquences de 200 MHz.

La tension appliquée à l'entrée de la cellule est délivrée par un générateur pouvant fournir des signaux allant de 100 kHz à 1000 MHz. Cette tension est amplifiée par un amplificateur de gain 40 dB qui monte en fréquence jusqu'à 225 MHz (figure V-20). La puissance maximale délivrée par l'amplificateur est de 10 W. L'amplitude maximale théorique du champ électrique que nous pouvons générer en régime entretenu est donc de 150 V/m.

La carte ERS est placée sous la cellule "stripline". Nous désirons étudier uniquement la perturbation de la carte elle-même. Pour éviter une perturbation par rayonnement des signaux d'entrée et de sortie, des liaisons par fibre optique sont employées. Les signaux de sortie sont prélevés à l'aide de sondes optiques compatibles avec les niveaux logiques générés par la carte et réalisées en tentant de minimiser la perturbation apportée par la prise d'informations (figure V-21 et photographie V-3a). Lorsque la sonde optique chargée sur 50  $\Omega$  est placée seule sous la cellule "stripline", elle n'est pas



perturbée par le champ électromagnétique. Nous vérifions ainsi que les signaux perturbés observés en sortie proviennent du fonctionnement de la carte. Le signal d'horloge est fourni par un générateur de signaux et les signaux d'entrée DNC et DPC sont générés par programmation. Ces trois signaux subissent une première conversion électrique/optique. La carte fille assure la conversion optique/électrique afin d'alimenter les voies TTL et CMOS de la carte ERS (figure V-22 et photographie V-3b). La carte est placée sur un support en Plexiglas afin d'obtenir des résultats les plus reproductibles possibles (photographie V-4). L'orientation de la carte sous la cellule "stripline" est telle que le couplage magnétique est maximal.

Une alimentation stabilisée à 5 V et une autre stabilisée à 12 V sont placées sous la cellule. On achemine les signaux d'alimentation de la carte ERS au moyen de fils tressés qui passent au travers d'une percée effectuée dans le plan de masse de la cellule. La tension d'alimentation 5 V de la carte fille est commune à celle de la carte ERS. En ce qui concerne les sondes optiques, l'alimentation est réalisée au moyen d'une pile plate de 9 V et d'un régulateur de tension 5 V. L'alimentation des sondes optiques est donc indépendante de celle de la carte ERS.

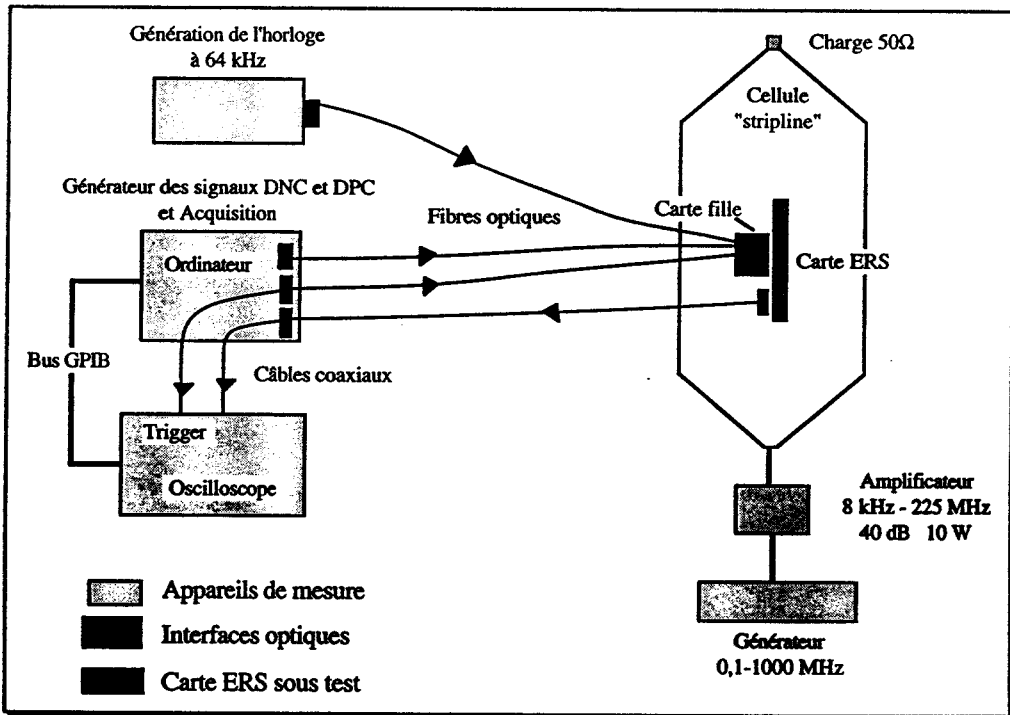


Figure V-20 : Banc de mesures pour la perturbation par rayonnement.

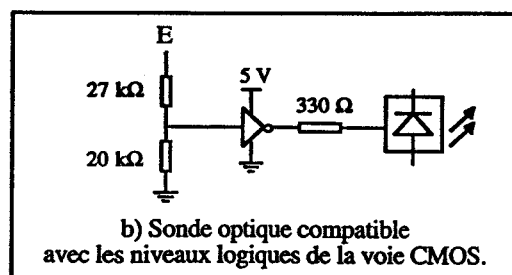
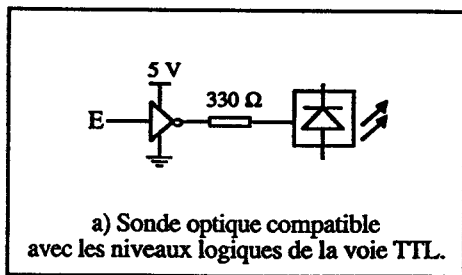


Figure V-21 : Sondes optiques permettant de visualiser les signaux sur oscilloscope.

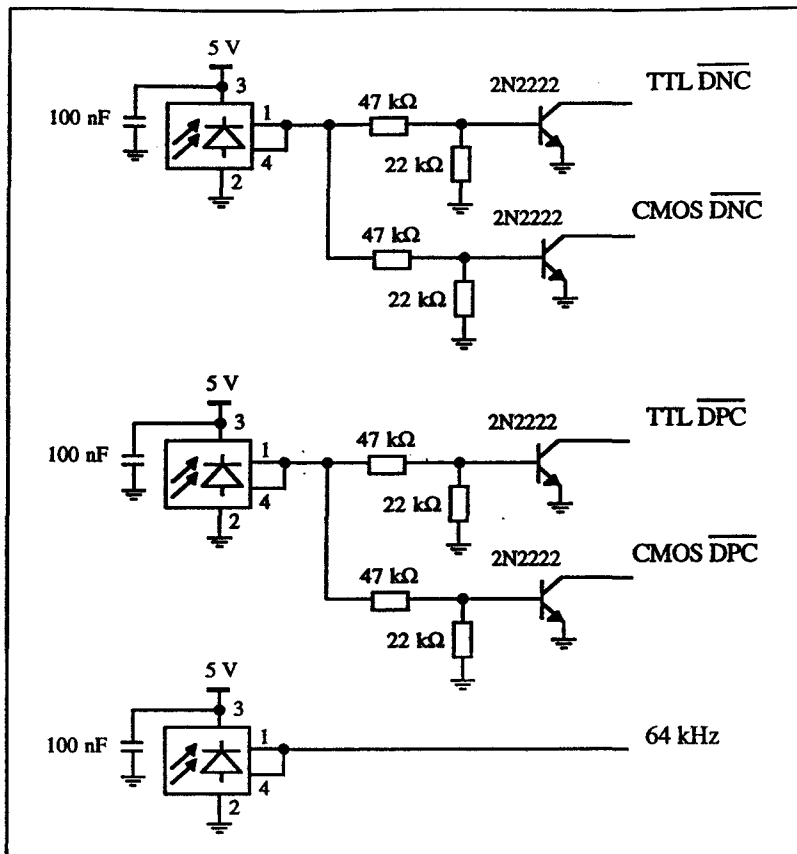
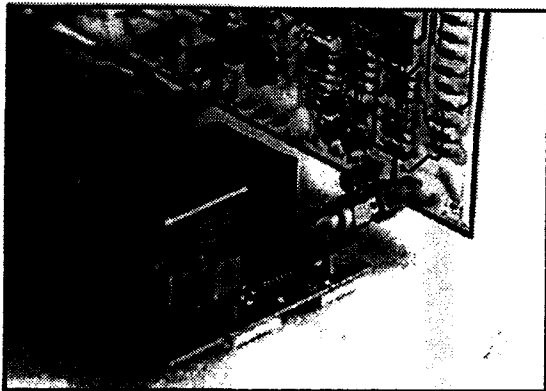
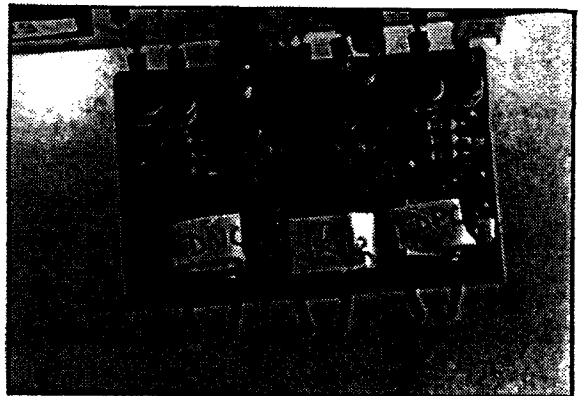


Figure V-22 : Schéma électrique de la carte fille.



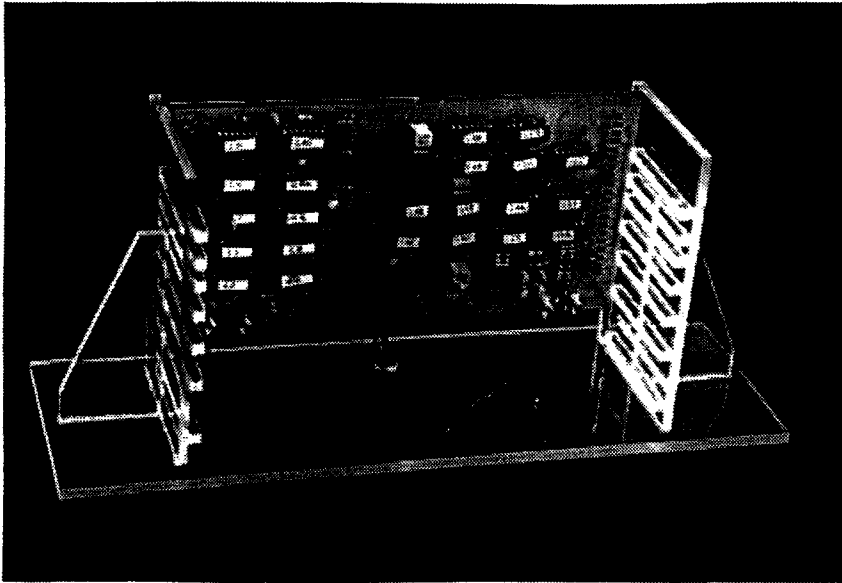
a) Sonde optique alimentée par sa propre pile.



b) Carte fille.

Photographies V-3 : Sonde optique de la voie TTL et carte fille pour la conversion optique/électrique des signaux DNC, DPC et de l'horloge.





Photographie V-4 : Support en Plexiglas de la carte ERS.

*b) Étude de l'influence des sondes optiques sur le fonctionnement de la carte en absence d'agression électromagnétique.*

Bien que les sondes optiques soient conçues pour minimiser la perturbation apportée par la prise d'informations, elles présentent une charge d'entrée qui ajoutée en parallèle à un point de mesures modifie la charge vue par les composants électroniques. De plus, la porte inverseuse des sondes optiques absorbe un courant positif de  $20 \mu\text{A}$  lorsque l'entrée est à l'état haut, et un courant négatif de  $0,5 \text{ mA}$  lorsque l'entrée est à l'état bas. Ce courant est susceptible de modifier le fonctionnement de la carte, notamment lorsque la sonde est placée sur la base des transistors bipolaires des étages de sortie de la voie TTL (figure V-23).

Prenons pour exemple, les signaux en amont du premier transistor (65 ou 71). Ces signaux ne sont pas mesurables avec la sonde optique car la tension correspondant à un état haut est de  $0,66 \text{ V}$ , ce qui est insuffisant pour conduire l'inverseur équipant l'étage d'entrée de la sonde. De plus cet inverseur injecte un courant très faible mais cependant non négligeable dans la base du transistor. Ce courant inhibe l'action de la fonction ET et le signal de sortie est donc le complément du signal décodé par la fonction OU (61 ou 63). De ce fait, de nombreuses impulsions supplémentaires apparaissent sur le signal A (sortie à  $0,3 \text{ s}$  de la voie TTL) (cf. graphes V-9). Ces impulsions supplémentaires apparaissent sur les simulations PSpice, lorsqu'un inverseur de technologie TTL-AS est ajouté à la base du premier transistor. Les valeurs simulées des différents signaux sont reportées sur la figure V-24.

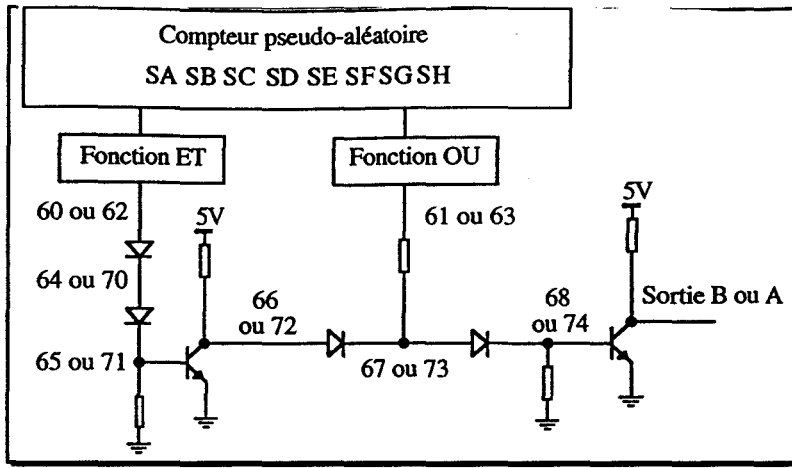


Figure V-23 : Étages de sortie de la voie TTL

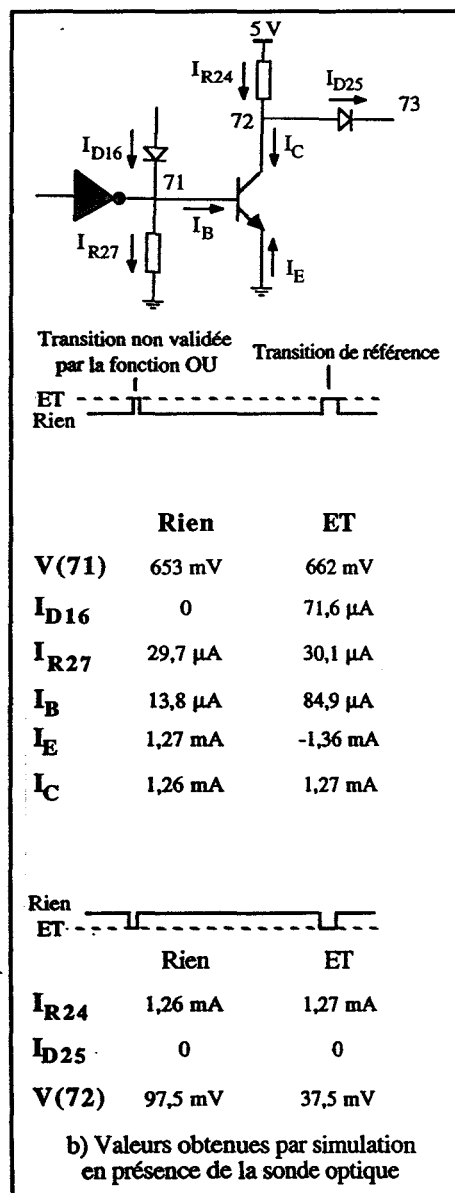
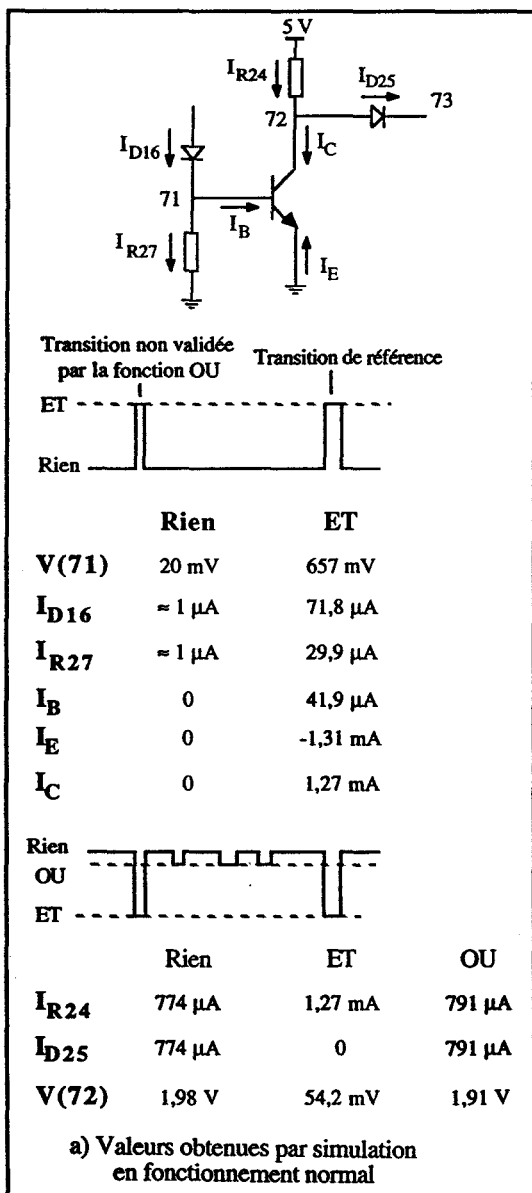


Figure V-24 : Impact de la sonde optique sur l'étage de sortie de la voie TTL.



Le fonctionnement de la voie CMOS peut aussi être perturbé par une tentative de mesure de certains signaux à l'aide de la sonde optique. Par exemple, il est possible de mesurer le signal décodé par la fonction ET (111 ou 115), mais la charge présentée par la sonde optique provoque la disparition du signal de sortie (C ou D) (figure V-25).

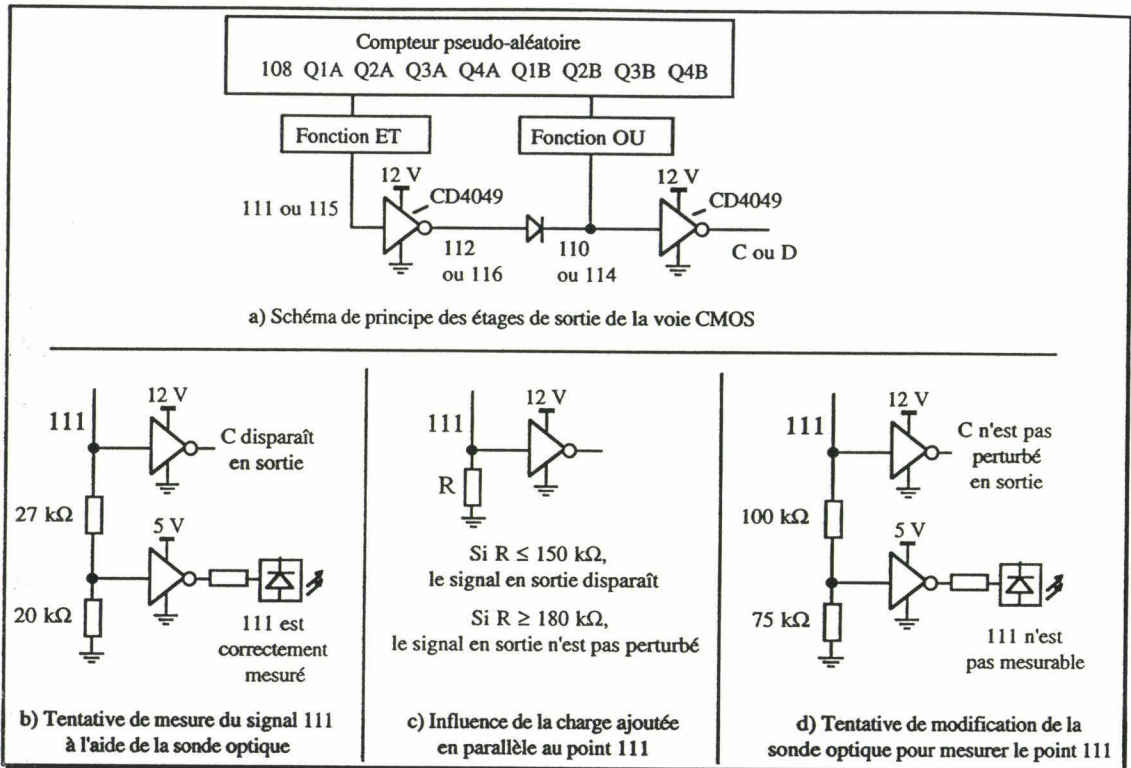


Figure V-25 : Impact de la sonde optique sur l'étage de sortie de la voie CMOS.

### V.2.3.2. Résultats obtenus lors d'un couplage par rayonnement.

#### Introduction.

Dans les systèmes de transport notamment, les circuits imprimés installés dans un panier avec connecteurs incorporés, sont parfois entourés d'une piste métallique. Cette piste protège mécaniquement le support en résine époxy de la carte. Elle est reliée à la référence de masse par le biais du panier métallique. Elle constitue une spire en court-circuit et peut modifier localement les caractéristiques du champ électromagnétique. La sensibilité par rayonnement des cartes électroniques risque donc de changer selon la présence ou non d'une telle piste.

La carte ERS d'origine est elle-même entourée d'une piste périphérique. Nous avons donc ajouté une telle piste sur la carte reproduite au laboratoire. L'étude étant réalisée indépendamment de l'environnement de la carte sur le site (autres cartes du système antisurvitresse, panier dans lequel repose la carte), la piste périphérique n'est connectée à aucune autre piste de la carte : elle est "flottante". Deux cas de figures sont étudiés. Dans le premier cas, la piste périphérique est en court-circuit. Dans le second cas, elle est coupée sur une faible largeur. On dira alors que la piste périphérique est en circuit ouvert (figure V-26).

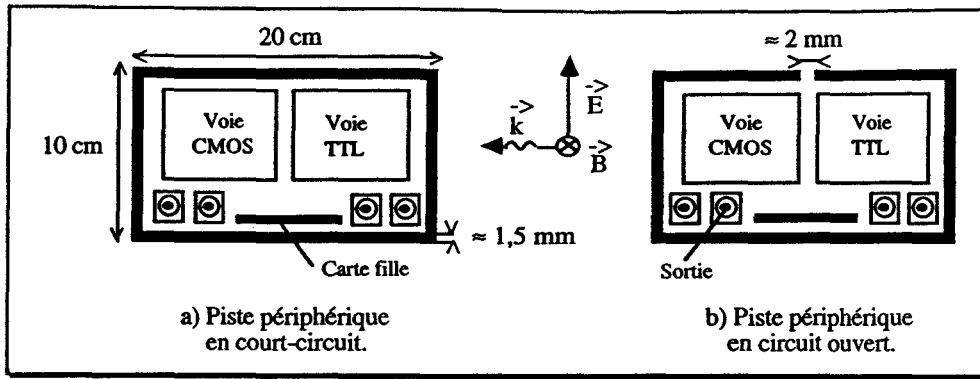


Figure V-26 : Étude selon que la piste périphérique est en court-circuit ou en circuit ouvert.

Les sondes optiques sont réalisées à l'aide d'une porte inverseuse. Ainsi, les signaux de sortie normalement constitués d'un signal à l'état bas et d'une impulsion à l'état haut d'une durée de 4 ms sont visualisés sur l'oscilloscope par un signal à l'état haut et une impulsion à l'état bas d'une durée de 4 ms. D'une manière générale, les signaux rapatriés sur oscilloscope sont inversés par rapport aux signaux simulés sur PSpice.

*a) Comparaison de la sensibilité de chaque voie et impact de la piste métallique qui entoure la carte.*

La voie dont les composants sont de la famille LS de la technologie TTL s'est révélée beaucoup plus sensible que la voie dont les composants sont de la famille 4000 de la technologie CMOS (figure V-27).

**Lorsque la piste périphérique est en court-circuit**, aucune erreur n'a été perçue en sortie de la voie CMOS. La voie TTL, quant à elle, est perturbée pour des fréquences de perturbateurs allant de 150 MHz à 225 MHz qui est la fréquence maximale que nous pouvons générer. Entre 150 MHz et 165 MHz, nous observons des erreurs aléatoires du type avance ou disparition des signaux de sortie. Entre 165 MHz et 225 MHz, nous observons des impulsions supplémentaires qui apparaissent toujours au même instant (graphe V-11). L'ordre d'apparition de ces impulsions selon la puissance du champ électromagnétique perturbateur ne change pas.

**Lorsque la piste périphérique est en circuit ouvert**, pour la voie TTL, nous observons toujours l'apparition d'impulsions supplémentaires pour des fréquences du perturbateur comprises entre 165 MHz et 225 MHz. Les erreurs aléatoires du type avance et disparition des signaux de sortie ont disparues entre 150 MHz et 165 MHz. Par contre, une première série de mesures a révélé des perturbations pour les fréquences de champ électromagnétique comprises environ entre 97 MHz et 113 MHz. Entre 97 MHz et 103 MHz et entre 110 MHz et 113 MHz, des impulsions supplémentaires telles celles observées auparavant apparaissent. Entre 104 MHz et 109 MHz, des erreurs aléatoires du type retard, avance ou disparition des impulsions à 0,27 s ou à 0,3 s, sont observées. Toutes les mesures effectuées par la suite ont révélé un déplacement des

fréquences qui entraînent ce type d'erreur. Les signaux de sortie de la voie TTL ne sont plus perturbés aux alentours de 100 MHz mais aux alentours de 130 MHz.

La voie CMOS n'est pas perturbée lorsque la piste périphérique est en court-circuit. Lorsqu'elle est en circuit ouvert, la première série de mesures a révélé des perturbations pour des fréquences de perturbateurs comprises entre 103 MHz et 110 MHz. Cette perturbation est caractérisée par une disparition progressive de l'impulsion à 0,27 s ou à 0,3 s, lorsqu'on augmente l'amplitude du champ électromagnétique (figure V-28). Par la suite, de la même façon que la voie TTL, les fréquences de perturbation ont glissé vers 130 MHz.

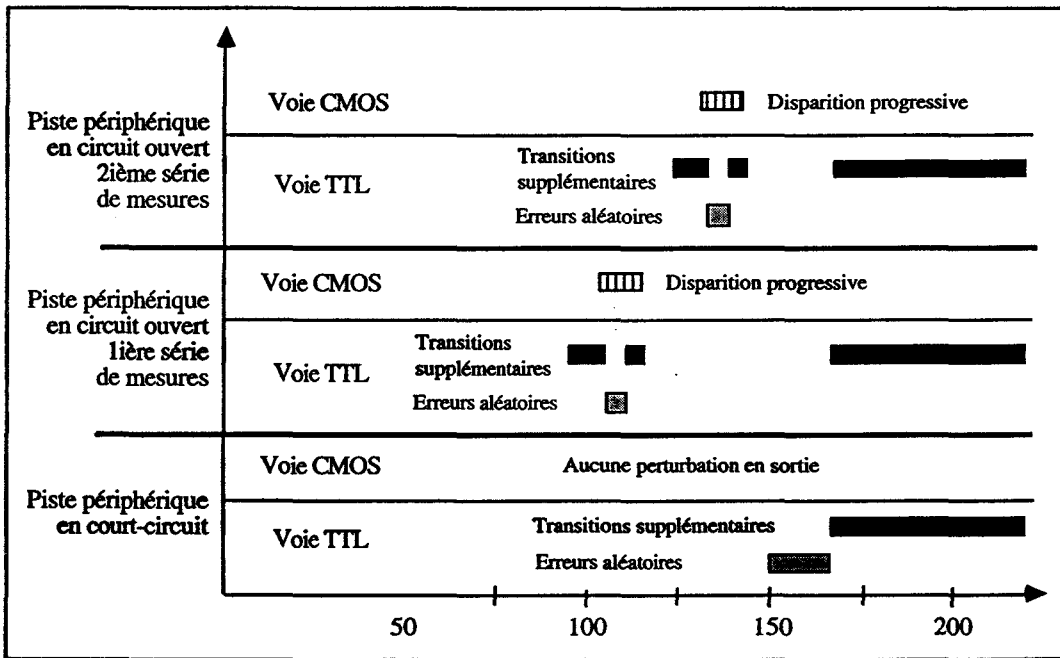
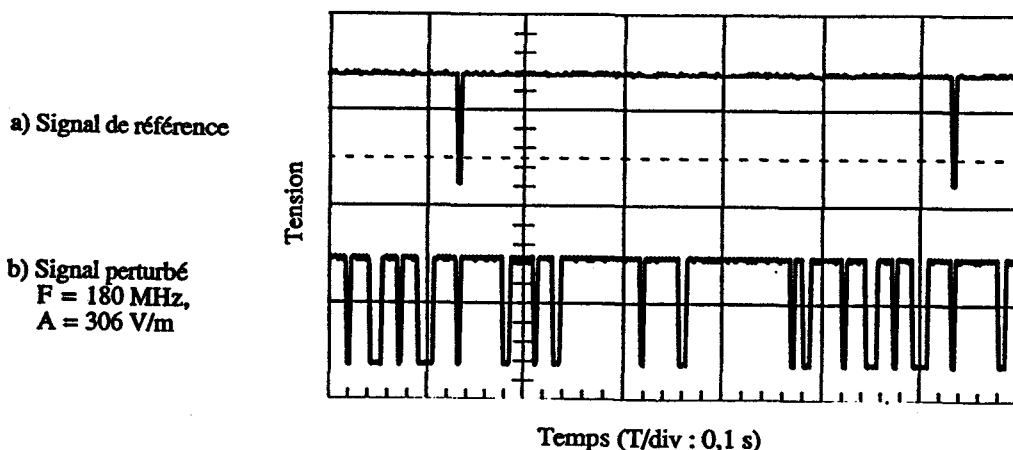


Figure V-27 : Bandes de fréquences et types de perturbation observée par l'intermédiaire de la sonde optique.



Graphes V-11 : Apparition d'impulsions supplémentaires sur les sorties de la voie TTL.

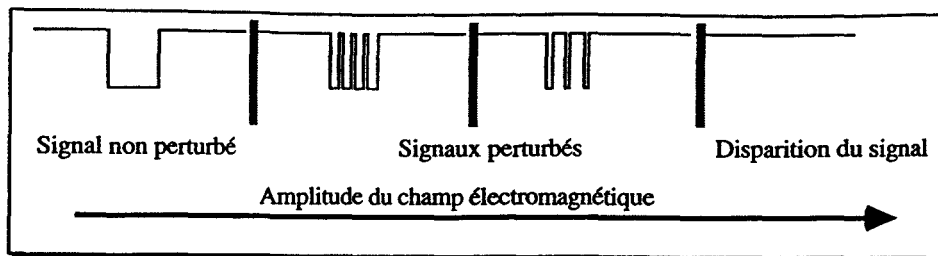


Figure V-28 : Disparition du signal de sortie sur la voie CMOS.

*b) Origine des perturbations observées.*

En ce qui concerne la voie CMOS, pour une piste périphérique en circuit ouvert, lorsque le signal de sortie disparaît progressivement, les signaux en sortie du compteur pseudo-aléatoire (108, Q1A,...,Q4B) ne sont pas perturbés. Le couplage s'effectue donc en aval de la fonction OU et de la fonction ET.

En ce qui concerne la voie TTL, les erreurs aléatoires du type avance, retard ou disparition de l'impulsion à 0,27 s ou à 0,3 s, peuvent avoir plusieurs origines. Dans un premier cas, des impulsions parasites sur TP5 dont la durée est supérieure à 1,5 ms provoquent une remise à zéro intempestive du compteur. On observe alors un retard voire une disparition des impulsions à 0,27 s ou à 0,3 s. Dans un deuxième cas le signal de remise à zéro TP5 et l'horloge du compteur (46) ne sont pas perturbés. Par contre le signal SA est fortement perturbé et on peut supposer que tous les autres signaux en sortie du compteur (SA, SB,...,SH) sont perturbés de la même façon que le signal SA. De part la boucle de rétroaction qui permet de rendre le comptage pseudo-aléatoire, une autoperturbation est engendrée (figure V-29).

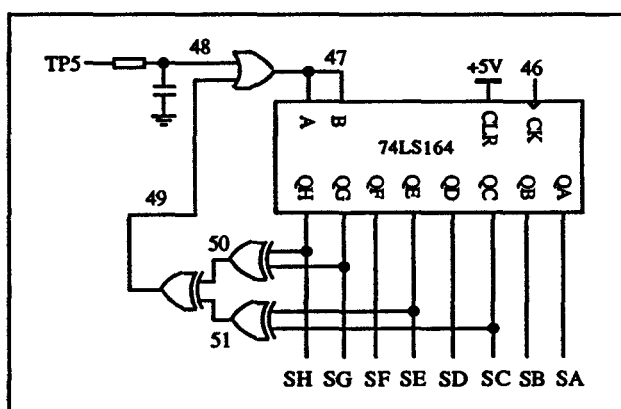


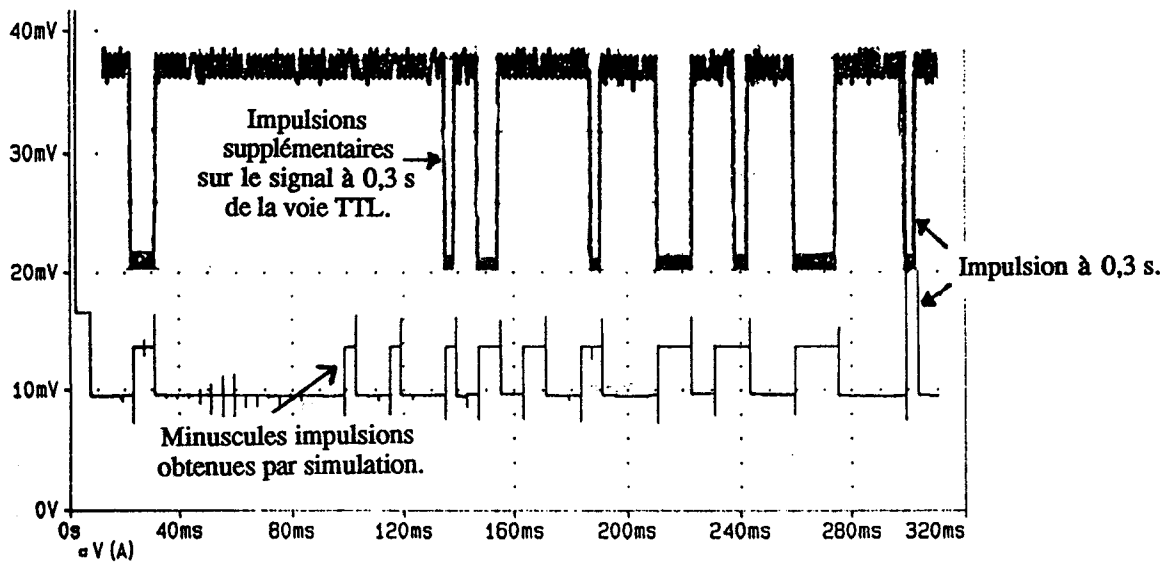
Figure V-29 : Compteur pseudo-aléatoire de la voie TTL.

Les impulsions supplémentaires arrivant d'une manière déterministe sur les sorties TTL, ont pour origine un couplage entre l'onde électromagnétique et l'étage de sortie de l'impulsion à 0,3 s (signal A). En effet, aucune perturbation n'est observée sur les sorties SA, SB, ..., SH du compteur pseudo-aléatoire. De plus, en comparant les signaux perturbés enregistrés aux simulations PSpice, on



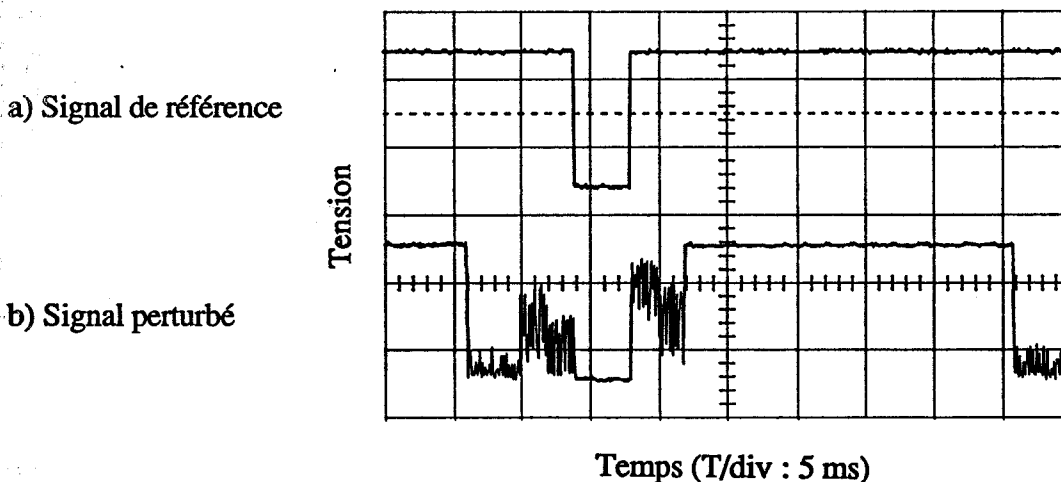


s'aperçoit que les impulsions supplémentaires observées sur le signal A correspondent aux minuscules impulsions résiduelles<sup>1</sup> provenant du signal 63 décodé par la fonction OU (graphe V-12).



Graphe V-12 : Signal perturbé comparé à la simulation PSpice.

Des impulsions supplémentaires apparaissent aussi sur le signal à 0,27 s de la voie TTL (signal B). Mais on observe du bruit sur ces impulsions parasites (graphe V-13). Elles ne correspondent pas aux impulsions résiduelles du signal B mais à celles du signal A. Les perturbations observées sur A et B sont en effet quasi-identiques (graphe V-14). L'origine des impulsions supplémentaires observées sur le signal à 0,27 s réside donc à l'évidence dans l'existence d'une diaphonie entre les deux étages de sortie de la voie TTL.

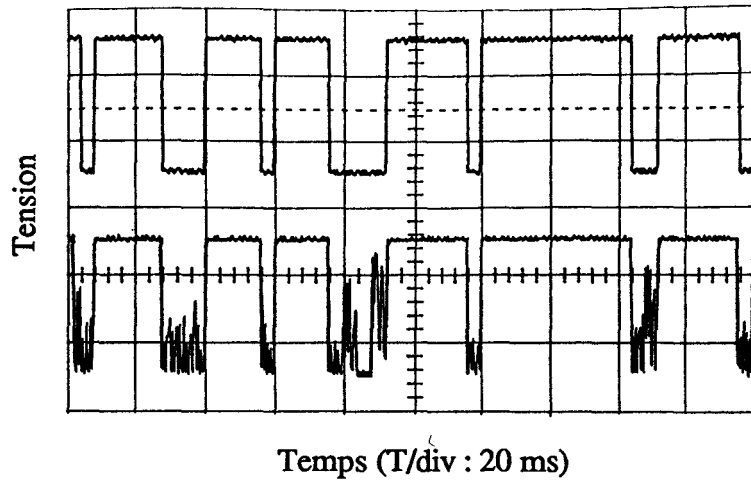


Graphe V-13 : Bruits sur les impulsions supplémentaires qui apparaissent sur le signal à 0,27 s.

<sup>1</sup> Pour une échelle de tension de 0-5V, ces impulsions ne sont pas visibles sur le signal A.

a) Impulsions supplémentaires sur le signal à 0,3 s

b) Impulsions supplémentaires sur le signal à 0,27 s



Graphes V-14 : Mise en évidence de la diaphonie entre les étages de sortie de la voie TTL.

Les schémas électriques des deux étages de sortie de la voie TTL sont identiques. Cependant, il apparaît que seul l'étage de sortie du signal à 0,3 s est perturbé directement par l'onde électromagnétique. L'étage de sortie du signal à 0,27 s est perturbé quant à lui par un phénomène de diaphonie. L'origine de cette différence dans le processus de perturbation réside dans la différence du nombre de signaux décodés par la fonction OU (figure V-30). En effet, les impulsions supplémentaires apparaissent lorsque les signaux en amont de la fonction OU de l'étage de sortie directement perturbé par l'onde électromagnétique sont tous à l'état bas. De part le nombre élevé de ces signaux sur l'étage de sortie du signal à 0,27 s, hormis au moment de l'apparition de l'impulsion à 0,27 s, les signaux SC, SD, SE, SF et SG ne sont pas tous simultanément à l'état bas (cf. graphes V-9).

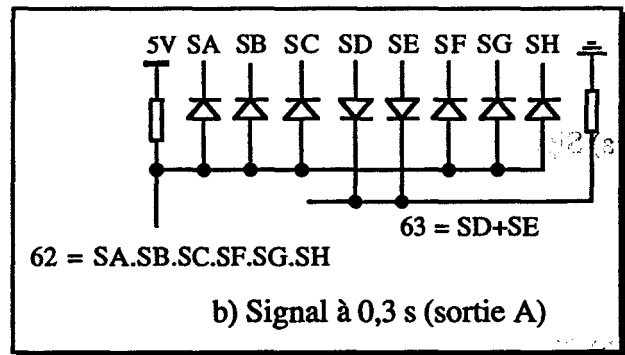
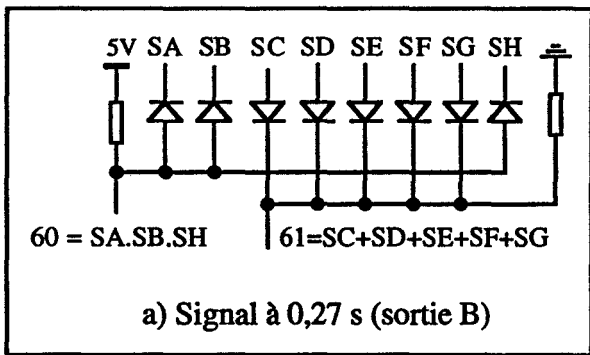


Figure V-30 : Nombre de signaux nécessaire pour valider la fonction ET et OU.

Les impulsions supplémentaires observées sont liées au fonctionnement propre de la carte ERS. Nous apprécions maintenant l'influence des sondes optiques placées en sortie de la voie TTL sur l'apparition de ces impulsions.

*c) Influence de la sonde optique sur la sensibilité par rayonnement de la carte et utilisation de diodes électroluminescentes.*

Les sondes optiques utilisées pour visualiser les signaux de sortie possèdent un plan de masse de 4,6 cm de largeur et de 6 cm de longueur. Cette surface est nécessaire pour placer la pile plate 9 V, qui alimente chaque sonde. Cependant, la surface métallique du plan de masse et de la pile, est susceptible de modifier localement le champ électromagnétique perturbateur. Par exemple, le bruit observé sur les impulsions supplémentaires qui apparaissent sur le signal à 0,27 s de la voie TTL, est plus important si une deuxième sonde est utilisée pour visualiser un autre signal de la voie TTL.

Nous avons observé dans le sous-paragraphe V.2.2.3., que les sondes optiques sont susceptibles de modifier le fonctionnement de la carte ERS en absence d'agression électromagnétique. Le couplage entre l'onde électromagnétique et la carte peut aussi être modifié par la charge supplémentaire apportée par l'étage d'entrée de la sonde optique. Les courants et tensions perturbateurs induits sur une piste donnée sont probablement différents selon que la sonde optique est connectée ou non à cette piste. De plus, l'inverseur de la sonde optique absorbant un courant positif de 20  $\mu$ A lorsque l'entrée est à l'état haut et un courant négatif de 0,5 mA lorsque l'entrée est à l'état bas, la valeur du courant induit nécessaire pour observer une perturbation en sortie peut changer.

Pour visualiser l'impact des sondes optiques sur la sensibilité de la carte, nous avons placé des diodes électroluminescentes (DEL) en différents points de mesure (figure V-31). Ces diodes permettent de visualiser certains types de perturbation des signaux basse fréquence. Par exemple, lorsque la sonde optique est placée sur le signal A, en absence de perturbation sur ce signal, la "DEL 17" clignote d'une manière périodique. La DEL s'allume en effet chaque fois que l'impulsion à 0,3 s apparaît. En présence d'une perturbation, lors de la disparition de l'impulsion à 0,3 s en sortie, la "DEL 17" s'éteint. Lors de l'apparition des impulsions supplémentaires sur le signal A, la "DEL 17" scintille.

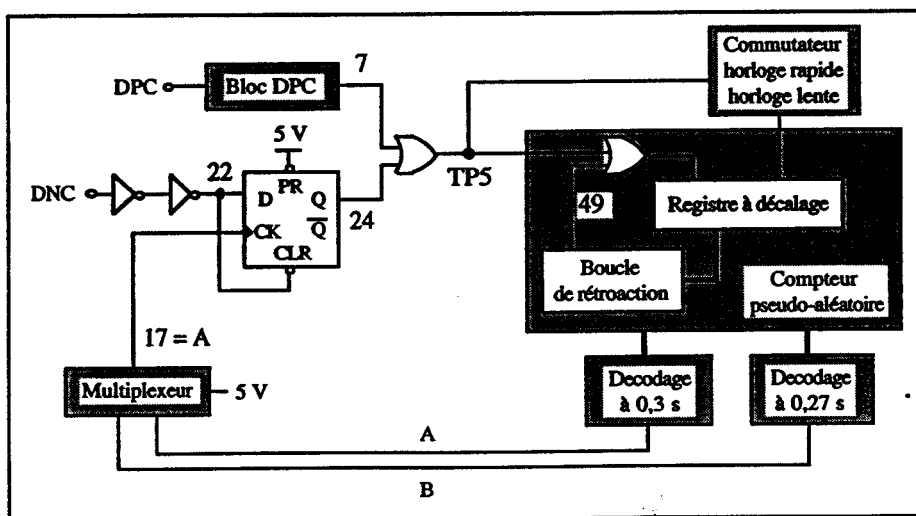


Figure V-31 : Signaux de la voie TTL "mesurés" à l'aide de diodes électroluminescentes.

Lorsque la piste métallique en périphérie de la carte est en court-circuit et lorsqu'aucune sonde n'est connectée à la carte, pour les fréquences de perturbateurs qui ont fait apparaître des impulsions supplémentaires (165 MHz à 225 MHz), aucun scintillement n'est observé sur la "DEL 17". Cette DEL clignote d'une manière périodique. Nous en déduisons qu'aucune impulsion supplémentaire n'apparaît sur le signal à 0,3 s en absence de la sonde optique. L'impulsion à 0,3 s s'établit normalement<sup>2</sup>. Dans ce cas précis, l'apparition des impulsions supplémentaires est non seulement due au fonctionnement propre de la carte ERS, mais aussi à la présence de la sonde optique en sortie. Le couplage électromagnétique se situe vraisemblablement au niveau du collecteur du transistor. Quand un transistor monté en émetteur commun est saturé, et quand la tension collecteur est normalement à l'état bas, une injection d'une impulsion de courant dans le collecteur change son état logique qui passe à l'état haut [HEDDEBAUT B]. Un courant harmonique radiofréquence injecté dans le collecteur d'un transistor change les caractéristiques statiques ( $I_c$ ,  $V_{ce}$ ) [LARSON]. De ce fait, l'état logique du collecteur peut être modifié par ce type de perturbation.

Lorsque la piste périphérique est en circuit ouvert, nous obtenons le même résultat pour les fréquences variant entre 165 MHz et 225 MHz. Par contre aux alentours de 130 MHz, la "DEL 17" scintille. Ce scintillement correspond aux impulsions supplémentaires observées à ces fréquences uniquement pour une piste périphérique en circuit ouvert (cf. figure V-27). Soit le couplage électromagnétique se situe encore au niveau du collecteur du transistor de sortie. Auquel cas les courants induits sont d'amplitude suffisante pour changer l'état logique du collecteur même en absence de la sonde optique. Soit le couplage électromagnétique se situe au niveau de la base du transistor. Une injection de courant dans la base d'un transistor diminue en effet son gain en courant [LARSON]. Le courant collecteur est donc perturbé et l'état logique du collecteur peut alors changer.

L'étude de la carte ERS par blocs fonctionnels a montré que le multiplexeur et le bloc DNC n'interviennent pas dans l'élaboration des signaux de sortie (le signal 24 est toujours à l'état bas<sup>3</sup>). Néanmoins, les diodes électroluminescentes ont révélé une perturbation du signal 24 qui peut entraîner une perturbation du signal de remise à zéro TP5. En effet, lorsque la piste métallique en périphérie de la carte est en circuit ouvert et que des impulsions supplémentaires apparaissent sur les signaux A et 17 (horloge de la bascule D), la "DEL 24" (sortie de la bascule D) qui est normalement constamment éteinte se met à clignoter simultanément à la "DEL 22" (donnée et CLR de la bascule D). Nous avons déjà évoqué cette possibilité de perturbation lors de la description de la carte. La figure V-32 schématise les signaux qui correspondent aux observations des diodes électroluminescentes. On s'aperçoit que cette erreur peut entraîner un retard de  $\Delta t$  des impulsions à 0,27 s et à 0,3 s.

---

<sup>2</sup> La méthode de mesure ne permet cependant pas à l'observateur de détecter visuellement d'éventuels avances ou retards des signaux.

<sup>3</sup> Les différents signaux sont représentés figure V-31.

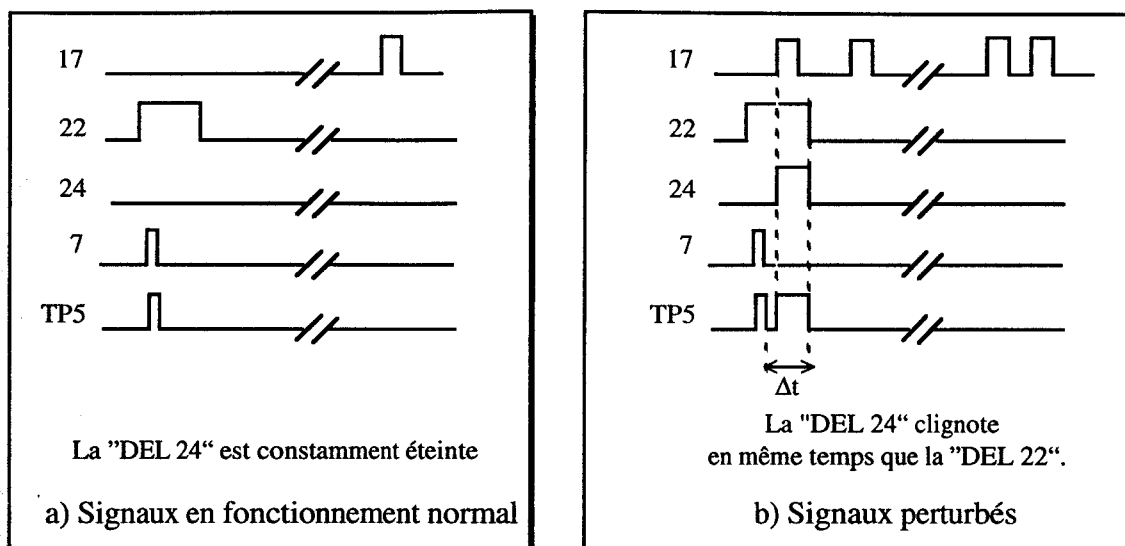


Figure V-32 : Configuration possible des signaux dont une perturbation a été révélée par les diodes électroluminescentes.

#### d) Conclusion

La voie TTL s'est révélée plus sensible que la voie CMOS. Cependant la sensibilité plus importante de la voie TTL est liée à la perturbation de l'étage de sortie, réalisé à l'aide de composants analogiques. Il est donc difficile de conclure sur la sensibilité des deux voies en fonction de la technologie des composants logiques implantés. Par contre, aucune défaillance de mode commun n'a été observée. Les différences de conception entre les deux voies vont donc dans le sens d'une plus grande sécurité de la carte lorsqu'elle est soumise à une perturbation électromagnétique de mode rayonné.

Notons aussi qu'il est difficile d'étudier une carte électronique en l'isolant du reste du système auquel elle appartient. Premièrement, le simple fait de soustraire cette carte à son environnement habituel change les conditions de charge de la carte. Deuxièmement, les sondes de mesure utilisées présentent des charges susceptibles de modifier la sensibilité de la carte. C'est ce que nous avons montré dans notre étude. Il convient donc d'être très minutieux lors de l'étude de la sensibilité de cartes électroniques soumises à une perturbation de mode rayonné.

#### V.2.3.3. Réflexions sur les tensions et courants induits aux bornes des composants connectés à une boucle conductrice.

Nous avons étudié au chapitre IV, les signaux induits sur une ligne de transmission au dessus d'un plan de masse, selon les charges connectées à cette ligne. En première approximation, cette ligne peut être comparée à une piste d'un circuit imprimé comportant un plan de référence. Cependant, le circuit imprimé de la carte ERS ne comporte pas de plan de masse et il est préférable de comparer les pistes du circuit imprimé à des boucles. L'objet de ce sous-paragraphe consiste donc à

donner quelques ordres de grandeur des courants et tensions induits aux bornes d'une boucle disposée sur un circuit imprimé. Ces ordres de grandeur nous permettent de quantifier les risques auxquels les composants sont soumis.

Considérons un modèle très simple où une boucle carrée est isolée dans l'espace et illuminée par une onde électromagnétique plane. Nous allons insérer sur cette boucle différentes impédances -telles un court-circuit, un circuit ouvert, une impédance faible, une impédance élevée, des charges capacitives- correspondant aux différents cas de figure représentatifs d'impédances d'entrée de composants. Nous calculons les tensions et courants induits aux bornes et dans la charge ainsi insérée. L'objectif de l'analyse est d'isoler quelques cas de figure particulièrement pénalisants.

Deux méthodes de calcul sont employées. Leurs résultats seront comparés. La première méthode se fonde sur l'emploi du logiciel de calcul NEC (Numerical Electromagnetic Code)<sup>4</sup>. NEC modélise une structure composée d'éléments filaires rectilignes connectés entre eux ainsi qu'à un réseau de sources et de charges. Ces éléments filaires sont ensuite découpés en segments élémentaires de telle sorte que l'on puisse considérer que le courant les parcourant est constant du centre d'un segment au suivant. Le problème consiste ainsi à calculer un nombre fini de contributions en terme d'impédances, de courants et de champs.

Établissons dans un premier temps la source de rayonnement. Nous créons un dipôle demi-onde résonant à la fréquence de 50 MHz situé dans l'espace libre. Nous alimentons ce dipôle par une source de courant de 1 A. Ce dipôle  $\frac{\lambda}{2}$  est créé sous NEC à l'aide de deux tronçons filaires de  $\frac{\lambda}{4}$  reliés par une source de courant. Le dipôle est discrétisé en 20 segments sur lesquels le courant est considéré comme constant ainsi que nous l'avons mentionné précédemment. Le calcul sous NEC montre que l'impédance présentée par le dipôle est de  $73 + j0 \Omega$  et que la puissance rayonnée est de 73 W ( $I_0 = 1$  A). Ce dipôle  $\frac{\lambda}{2}$  est donc accordé et rayonne son énergie dans l'espace.

L'équation V-1 permet de calculer le champ électrique rayonné [JASIK]. La définition des angles est donnée figure V-33.

$$E_{\theta} = j \frac{60 I_0}{D} e^{-j\beta D} \frac{\cos\left(\frac{\pi}{2} \cos \theta\right)}{\sin \theta} \text{ V/m} \quad \text{Équation V-1.}$$

<sup>4</sup> National Technical Information Service (NTIS), US Department of Commerce, document ADA 181682. Naval Ocean Systems Center (NOSC), technical document TD 938

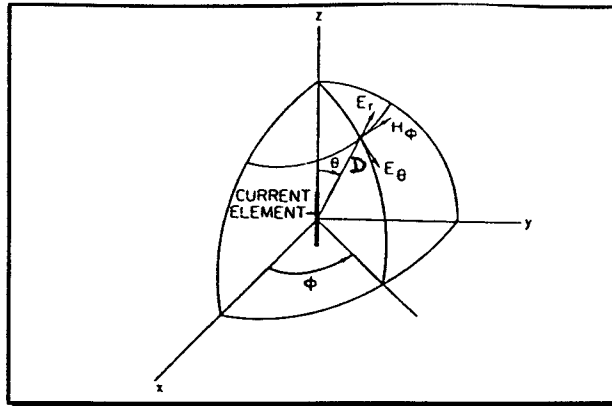


Figure V-33 : Définition des angles utilisés dans les équations.

Lorsque  $\theta = \frac{\pi}{2}$ , la composante  $E_r$  du champ électrique est nulle et  $E_\theta$  s'identifie à :

$$E_\theta = j \frac{60 I_0}{D} e^{-j\beta D} \text{ V/m} \quad \text{Équation V-2.}$$

Pour nous placer dans les conditions de champ lointain, nous nous éloignons de  $10\lambda$  de l'antenne, c'est à dire à 60 m lorsque la fréquence du champ rayonné est de 50 MHz. Dans ces conditions, pour un courant  $I_0 = 1 \text{ A}$  dans le dipôle  $\frac{\lambda}{2}$ , un angle  $\theta = \frac{\pi}{2}$  et une distance  $D = 60 \text{ m}$ , nous obtenons un module de champ électrique de 1 V/m. Afin de simuler un champ de 100 V/m à cette distance de la source de rayonnement, nous faisons donc circuler un courant de 100 A dans le dipôle  $\frac{\lambda}{2}$ .

Disposons maintenant une boucle carrée de 15 cm de côté dans ce champ électromagnétique selon la configuration de la figure suivante.

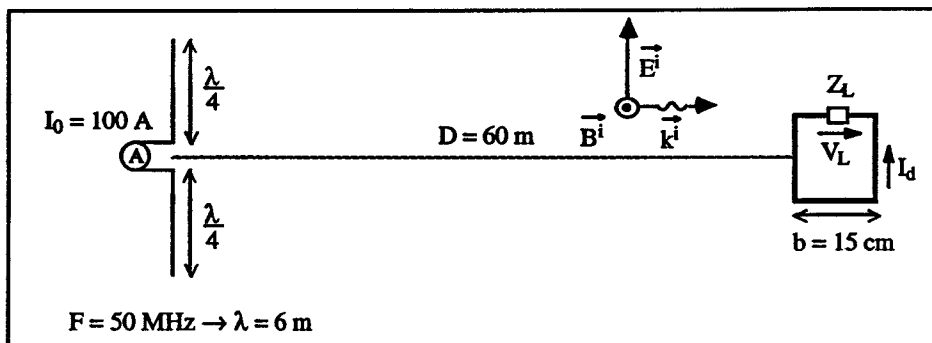


Figure V-34 : Simulation du couplage de l'antenne magnétique par une onde plane de fréquence 50 MHz, dont l'amplitude du champ électrique est de 100 V/m et dont le champ magnétique est normal à la surface de l'antenne.

Cette boucle carrée est simulée par quatre éléments filaires rectilignes connectés entre eux. Chaque élément est divisé en 5 segments. Une charge et une seule  $Z_L$  est insérée sur cette boucle. Pour des charges purement résistives nous obtenons les valeurs suivantes des tensions et courants calculés.

	$R = \infty$	$R = 1 \text{ k}\Omega$	$R = 50 \Omega$	$R = 0$
$V_L$	2,32 V	2,28 V	0,67 V	0 V
$I_d$	0 A	2,28 mA	13,4 mA	14 mA

Tableau V-1 : Tensions et courants calculés par le logiciel NEC pour une charge purement résistive.

Si l'on ajoute un élément capacitif en parallèle sur la charge  $Z_L$ , nous obtenons pour une capacité de 5 pF les valeurs suivantes :

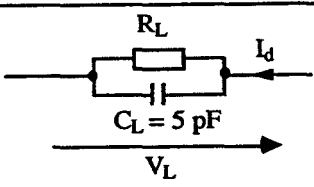
			
	$R = \infty$	$R = 1 \text{ k}\Omega$	$R = 50 \Omega$
$V_L$	3,73 V	3,05 V	0,68 V
$I_d$	4,9 mA	5,69 mA	13,7 mA

Tableau V-2 : Tensions et courants calculés par le logiciel NEC pour une charge résistive associée à une capacité en parallèle.

Ces calculs de courants et de tensions induits peuvent être repris de manière plus simple. Lorsqu'une boucle de dimension faible devant la longueur d'onde (typiquement  $L < 0,1\lambda$ ) est placée dans un champ électromagnétique, la tension en circuit ouvert apparaissant aux bornes de cette boucle s'écrit [SMITH] :

$$V_{CO} = j\omega NSB_z^i \quad \text{Équation V-3.}$$

où  $\omega$  est la pulsation du champ électromagnétique

$N$  le nombre de spires de la boucle

$S$  la surface de la boucle

$B_z^i$  la composante normale à la boucle du champ magnétique incident que l'on considère uniforme sur la surface de la boucle

S'il existe une relation connue entre le champ électrique et le champ magnétique au centre de la boucle,  $V_{CO}$  peut alors s'exprimer en fonction du champ électrique incident et une hauteur efficace notée  $h_e$  (équation V-4).

$$V_{CO} = j\omega NSB_z^i = j\omega NSB^i \cos(\psi_i) \sin(\theta_i) = h_e(\psi_i, \theta_i) E^i \quad \text{Équation V-4.}$$

où  $\psi_i$  et  $\theta_i$  sont les angles permettant de définir la direction du champ magnétique par rapport à la surface de la boucle (figure V-35).



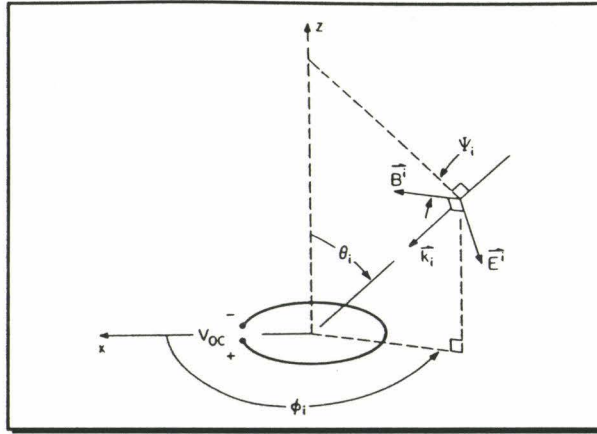


Figure V-35 : Incidence de l'onde électromagnétique par rapport à la surface de la boucle.

Dans le cas d'une onde électromagnétique plane, le champ électrique est relié au champ magnétique par l'équation V-5. La hauteur efficace  $h_e$  de l'antenne et la tension induite sont alors données par les équations V-6 et V-7.

$$\frac{E^i}{H^i} = \frac{\mu_0 E^i}{B^i} = \sqrt{\frac{\mu_0}{\epsilon_0}} \quad \text{Équation V-5}$$

$$h_e = j\omega NS \cos(\psi_i) \sin(\theta_i) \frac{B^i}{E^i} = j \frac{2\pi NS}{\lambda} \cos(\psi_i) \sin(\theta_i) \quad \text{Équation V-6.}$$

$$V_{CO} = j \frac{2\pi NS}{\lambda} \cos(\psi_i) \sin(\theta_i) E^i \quad \text{Équation V-7.}$$

Lorsque le champ magnétique est normal à la surface d'une antenne magnétique constituée d'une seule piste, l'équation V-7 s'écrit.

$$V_{CO} = j \frac{2\pi S}{\lambda} E^i \quad \text{Équation V-8.}$$

Le schéma équivalent de la boucle chargée par une impédance quelconque  $Z_L$  est donné ci dessous.

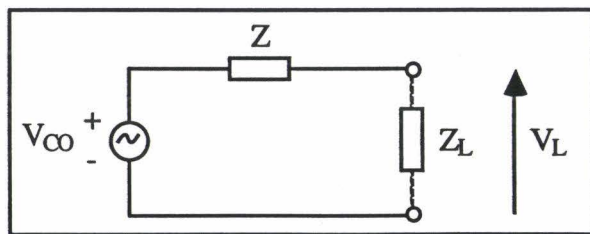


Figure V-36 : Schéma équivalent de Thévenin de la boucle chargée par une impédance  $Z_L$ .

La tension induite sur la charge s'écrit donc :

$$V_L = V_{CO} \frac{Z_L}{Z_L + Z} \quad \text{Équation V-9.}$$

expression où  $Z$  est l'impédance d'entrée de la boucle.

Lorsque la surface de la boucle est faible vis à vis de la longueur d'onde du champ électromagnétique, l'impédance d'entrée est donnée par l'équation V-10.

$$Z = R^r + Z^i + j\omega L^e = R^r + R^i + j\omega (L^i + L^e) \quad \text{Équation V-10.}$$

équation où  $R^r$  est la résistance de rayonnement de la boucle,

$Z^i = R^i + jL^i\omega$  est l'impédance de la boucle, avec  $R^i$  la résistance ohmique et  $L^i$  l'inductance interne,

et  $L^e$  est l'inductance externe de la boucle.

Une capacité  $C_p$  peut également être introduite pour tenir compte de la capacité répartie entre les côtés de la boucle ainsi que de la capacité entre les deux extrémités ouvertes de la boucle à l'endroit de la coupure de celle-ci (figure V-37).

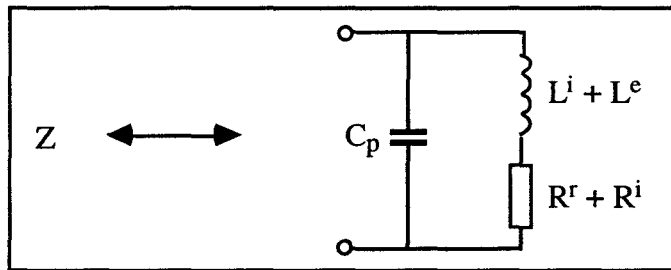


Figure V-37 : Impédance de la boucle.

La résistance de rayonnement d'une petite boucle est approchée par l'équation V-11. Cette résistance est toujours très faible et bien inférieure à la résistance ohmique de la boucle.

$$R^r \approx 3,12 \times 10^4 \times \left( \frac{NS}{\lambda^2} \right)^2 \quad \text{Équation V-11.}$$

La résistance ohmique peut s'écrire en première approximation :

$$Z^i = z^i \times L_{\text{Boucle}} \quad \text{Équation V-12.}$$

expression où  $z^i$  est l'impédance linéique du matériau constituant la boucle

et  $L_{\text{Boucle}}$  est le périmètre de la boucle.

Pour calculer la résistance interne ou résistance ohmique du conducteur, nous prenons en compte l'effet de peau sur le conducteur en cuivre (figure V-38). L'effet de peau diminue la valeur de l'inductance interne  $L^i$  et celle-ci devient négligeable relativement à l'inductance externe  $L^e$ .

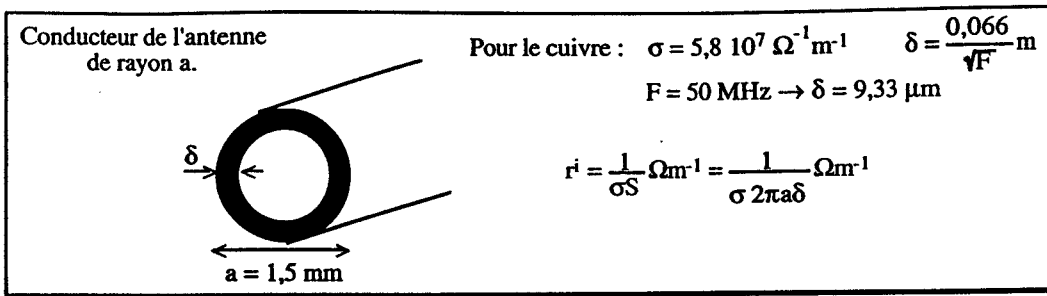


Figure V-38 : Prise en compte de l'effet de peau pour calculer la résistance ohmique.

$L^e$  dans le cas d'une boucle carré à une seule spire s'écrit :

$$L^e \approx \frac{2\mu_0 b}{\pi} \left[ \ln\left(\frac{b}{a}\right) - 0,774 \right] \quad \text{Équation V-13.}$$

expression où  $a$  est le rayon du conducteur et  $b$  est le côté du carré.

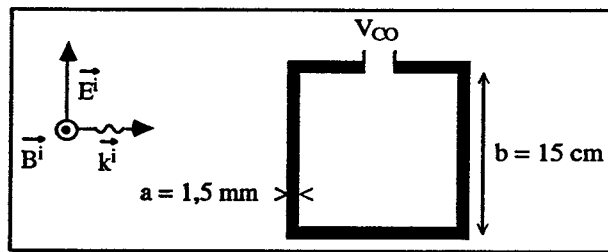


Figure V-39 : Dimension de l'antenne magnétique considérée.

Les valeurs obtenues à la fréquence de 50 MHz et pour un module de champ électrique incident de 100 V/m sont données ci-dessous.

$$V_{CO} = 2,36 \text{ V}$$

$$R^r = 0,0122 \Omega$$

$$R^i = 0,1176 \Omega$$

$L^i$  négligé

$$L^e = 460 \text{ nH}$$

Nous avons calculé la tension  $V_L$  aux bornes de l'impédance de charge  $Z_L$  et le courant  $I_d$  dans la boucle pour différentes valeur de charges. Pour des charges purement résistives nous obtenons les valeurs suivantes des tensions et courants calculés.

	$R = \infty$	$R = 1 \text{ k}\Omega$	$R = 50 \Omega$	$R = 0$
$V_L$	2,36 V	2,33 V	0,77 V	0 V
$I_d$	0 A	2,33 mA	15,4 mA	16,3 mA

Tableau V-3 : Tensions et courants calculés par la méthode simple pour une charge purement résistive.

Si l'on ajoute un élément capacitif en parallèle sur la charge  $Z_L$ , nous obtenons pour une capacité de 5 pF les valeurs suivantes :

	$R = \infty$	$R = 1 \text{ k}\Omega$	$R = 50 \Omega$
$V_L$	3,05 V	3 V	0,79 V
$I_d$	4,79 mA	5,59 mA	15,8 mA

Tableau V-4 : Tensions et courants calculés par la méthode simple pour une charge résistive associée à une capacité en parallèle.

Lorsque la capacité de charge a une valeur de 22 pF, à la fréquence de 50 MHz, la boucle est résonante ( $j\omega L^e + \frac{1}{j\omega C} = 0$ ). Dans ce cas de figure nous obtenons les valeurs suivantes :

$Z_L$			
$R_L$	Infinie	1 kΩ	50 Ω
$V_L$	377 V	6,8 V	0,34 V
$I_d$	2,6 A	47,5 mA	7,2 mA

Tableau V-5 : Tension et courant induits dans l'antenne à la résonance.

la comparaison des résultats obtenus par les deux méthodes de calcul montre un accord satisfaisant.

### Exploitation et conclusion.

Le calcul élémentaire que nous venons de mener n'est que très partiellement représentatif de la réalité de pistes couplées sur un circuit imprimé.

- Dans le cas de piste ou spire en court-circuit, le courant induit dans la boucle est limité et typiquement de l'ordre de quelques milliampères pour un champ électromagnétique incident important ( $E = 100 \text{ V/m}$ ).

- Dans le cas de piste chargée par une impédance purement résistive, la tension présentée aux bornes de la boucle est voisine de la tension en circuit ouvert tant que la résistance présente est supérieure à quelques centaines d'ohms. Cette tension induite est en première approximation proportionnelle à la surface de la boucle et atteint des valeurs de l'ordre de quelques volts.

- Lorsque l'impédance présentée aux bornes de la boucle est faible et purement résistive (typiquement 50 Ω), le courant traversant celle-ci est pratiquement le courant de court-circuit de la boucle.

- Lorsque la boucle est chargée par une impédance relativement élevée (impédance d'entrée d'un amplificateur opérationnel par exemple) et que cette impédance présente en parallèle une capacité de l'ordre de quelques picofarads telle un câble en circuit ouvert ou des capacités d'entrée de composants ou encore des capacités parasites de câblage, alors des résonances série de l'ensemble peuvent survenir. En ce qui concernent les capacités parasites présentées par les composants, ce sont des capacités en parallèle aux diodes, en parallèle aux jonctions des transistors constituant les portes ou encore des capacités parasites provenant du substrat ou de l'encapsulation des composants (capacité de boîtier). La capacité en parallèle à une diode PN peut être de l'ordre de 0,3 pF [LARDE, Chapitre 3]. La capacité parasite en parallèle à une jonction d'un transistor bipolaire d'une technologie TTL est de l'ordre de 20 pF [HEDDEBAUT B, Chapitre 2]. En considérant une inductance de piste de 500 nH, les fréquences de résonances peuvent varier typiquement entre 50 MHz ( $C_p \approx 20$  pF) et 400 MHz ( $C_p \approx 0,3$  pF).

La bande passante de ces circuits résonants est souvent étroite. En considérant une valeur de capacité parasite répartie de 10 pF pour l'antenne magnétique étudiée, la fréquence de résonance de la boucle en circuit ouvert est de 74,2 MHz. La valeur du coefficient de qualité calculée est d'environ 830 (équation V-14). L'importance de cette valeur montre que la sensibilité du circuit est très sélective en fonction de la fréquence et que les fréquences comprises entre 74,1 MHz et 74,3 MHz seront très critiques.

$$Q = \frac{F_R}{\Delta F} = \frac{2\pi F_R (L^i + L^e)}{2 (R^r + R^i)} \quad \text{Équation V-14.}$$

Expression où  $F_R$  est la fréquence de résonance.

Un cas de figure particulièrement critique pour les composants logiques et le régime dynamique. En effet, lors de la commutation des composants, la résistance présentée par l'étage d'entrée des composants est très importante. On peut estimer qu'en régime dynamique la charge présentée par l'étage d'entrée d'un composant est purement capacitive [HEDDEBAUT B, Chapitre 2]. Des tensions et courants très importants peuvent alors être induites en entrée des composants provoquant ainsi des dysfonctionnements voire une destruction des composants.

## **V.2.4. Étude de la sensibilité par conduction de la carte ERS.**

### **V.2.4.1. Banc de mesure pour la perturbation par conduction.**

Pour perturber localement les entrées ou sorties d'une carte électronique, plusieurs solutions sont envisageables.

Nous pouvons placer les câbles qui acheminent les signaux d'entrée ou de sortie à l'intérieur d'une cellule "stripline", la carte étant à l'extérieur de la cellule. Pour perturber les signaux d'entrée, il

est alors possible d'utiliser le dispositif sous test utilisé au chapitre III, afin d'étudier l'impact des défauts caractérisés précédemment sur la carte ERS. Cependant, la mise en œuvre de cette expérimentation n'est pas aisée. Comme nous désirons perturber simultanément un seul, deux, trois ou les quatre signaux d'entrée de la carte (signaux DNC et DPC des voies TTL et CMOS), il est nécessaire de placer quatre dispositifs sous test en parallèle sous la cellule (figure V-40). De plus, la cellule "stripline" n'étant pas fermée, elle rayonne à l'extérieur. Un risque de perturbation directe par rayonnement, d'une part des signaux d'entrée que nous ne voulons pas perturber et d'autre part de la carte, nous a incité à utiliser une méthode de perturbation locale.

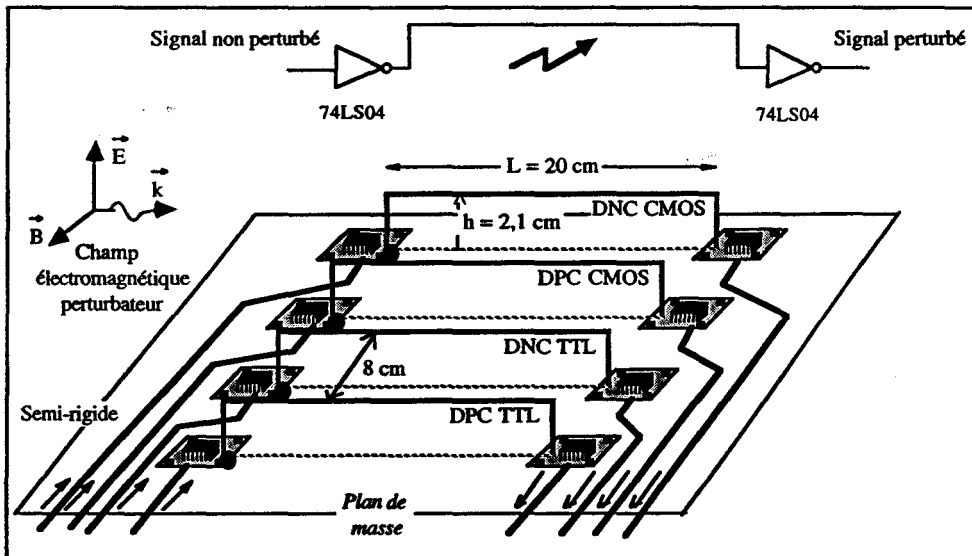


Figure V-40 : Dispositif du chapitre III pour perturber les signaux d'entrée.

Parmi les méthodes de perturbation locale, nous avons opté pour un couplage par influence qui permet de simuler le couplage hybride. Ce type de couplage est en effet celui qui est le plus représentatif du couplage réel entre une ligne et une onde électromagnétique plane qui se propage dans la même direction. Comme on le montre sur la figure ci-dessous, l'utilisation de pistes sur circuits imprimés ne nous semble pas souhaitable car selon le nombre de pistes que l'on désire perturber, le courant sur la ligne perturbatrice n'est pas identique (figure V-41).

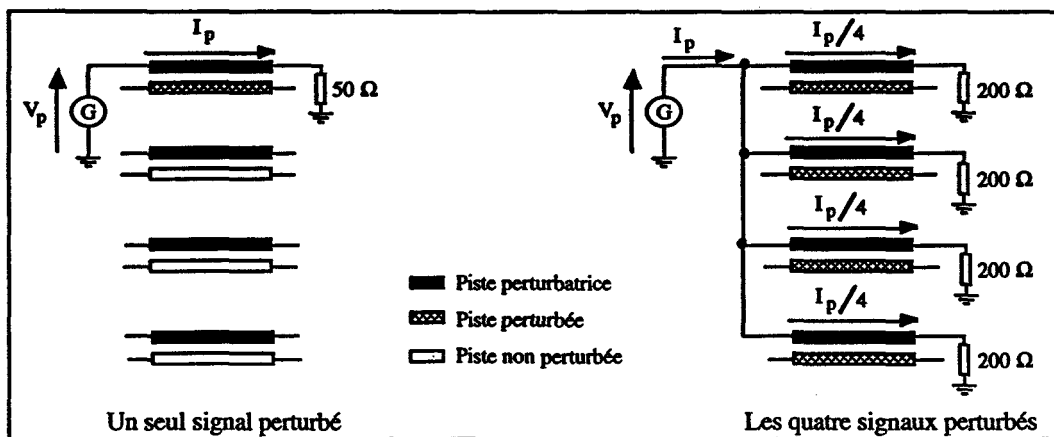


Figure V-41 : Courant de la piste perturbatrice différent selon le nombre de pistes perturbées.

Nous préférons donc employer un câble multifilaire pour perturber les signaux. Le désavantage associé à une telle méthode réside dans les risques de diaphonie entre pistes. De plus la disposition des fils n'étant pas toujours identique à l'intérieur du câble, le couplage n'est pas identique le long du conducteur. Il peut différer selon le choix du fil perturbateur et des fils pour transmettre les signaux.

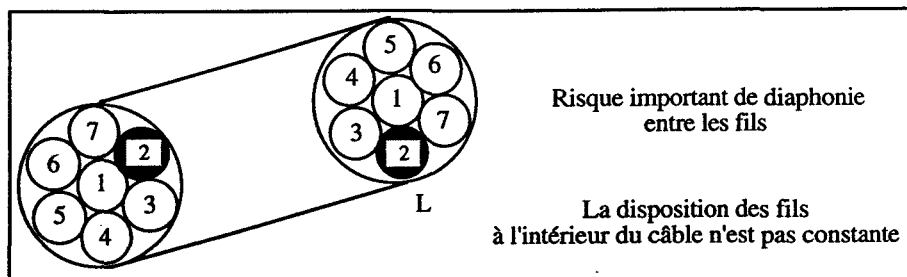


Figure V-42 : Désavantages associés à l'utilisation d'un câble multifilaire classique.

Ces considérations nous ont incité à réaliser au laboratoire nos propres "câbles multifilaires". Ils sont constitués d'un tube de cuivre qui sert de référence de masse, d'un tube intérieur sur lequel est appliquée la tension perturbatrice et de quatre fils qui subissent le couplage. Ces tubes peuvent être comparés à une cellule TEM circulaire refermée sur elle même, dont le septum serait le tube intérieur (figure V-43). Ce dernier présente une impédance caractéristique de  $50 \Omega$ . La mesure des matrices inductances de ces câbles et les simulations permettant de calculer les tensions induites sont présentées en annexe. La perturbation électromagnétique est en régime harmonique. La longueur de 50 cm de nos "câbles multifilaires" nous impose de ne pas générer des champs électromagnétiques en très haute fréquence. Les fréquences de la tension générée entre le tube de référence et le câble perturbateur varient entre 1 MHz et 80 MHz.

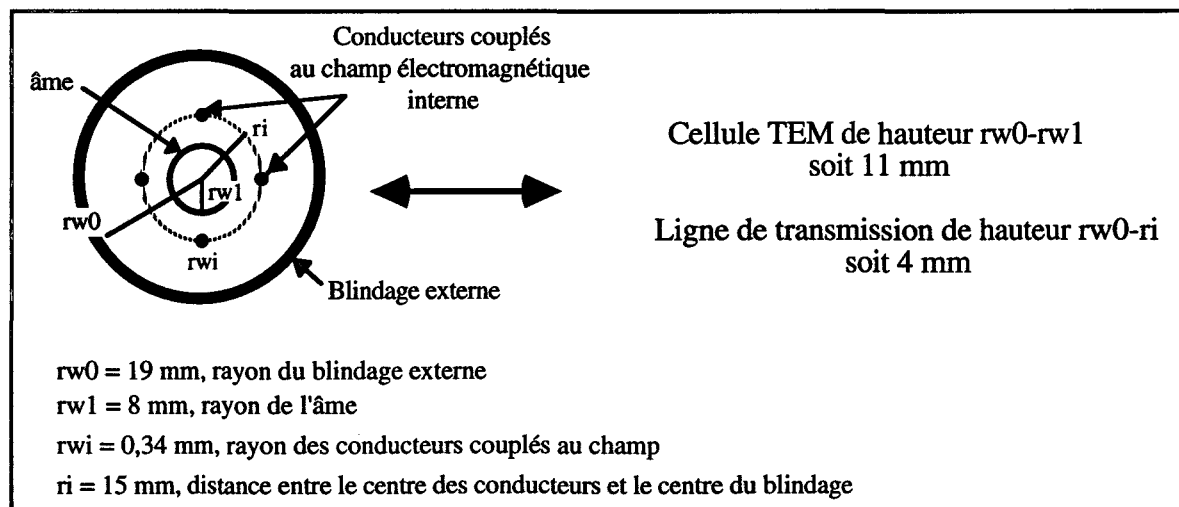


Figure V-43 : Vue en coupe des "câbles multifilaires" réalisés pour perturber les entrées/sorties de la carte ERS.

Nous avons réalisé deux câbles identiques de longueur 50 cm. Sur l'un des câbles aucune tension perturbatrice n'est appliquée contrairement à l'autre câble. Des inverseurs sont utilisés comme interface. Les quatre signaux d'entrée sont appliqués sur le câble multifilaire non perturbé et sur le câble multifilaire perturbé. Nous pouvons ainsi choisir les signaux que l'on désire perturber. Par exemple, si l'on désire perturber le signal DNC de la voie CMOS, on connecte le fil 1 à la broche CN et le fil 2 à une des broches C. Si on ne veut pas perturber ce signal, on connecte le fil 2 à la broche CN et le fil 1 à une des broches C (figure V-44, photographies V-5 et V-6).

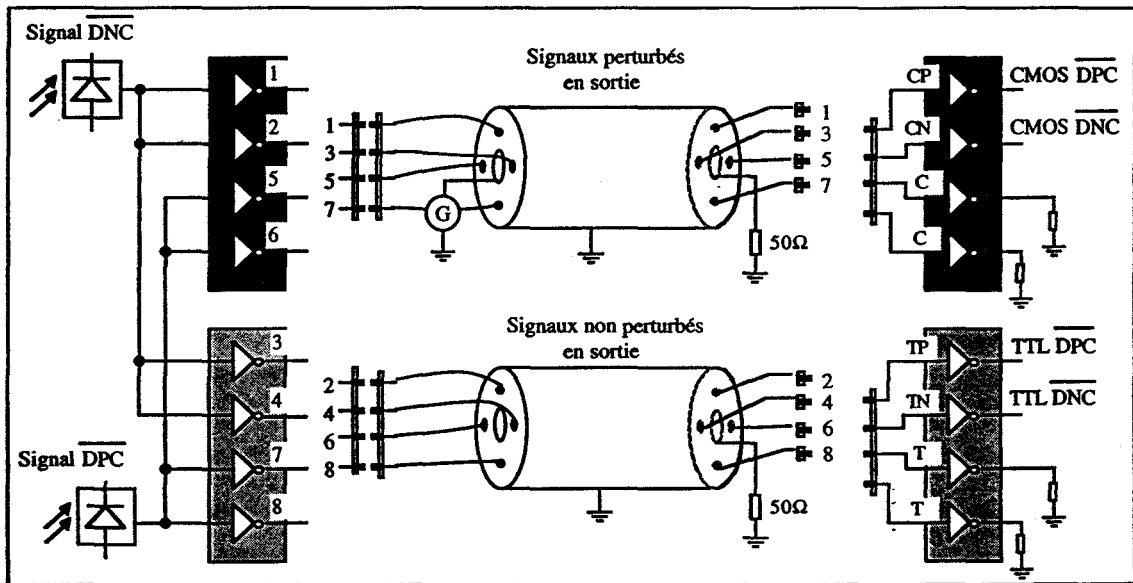
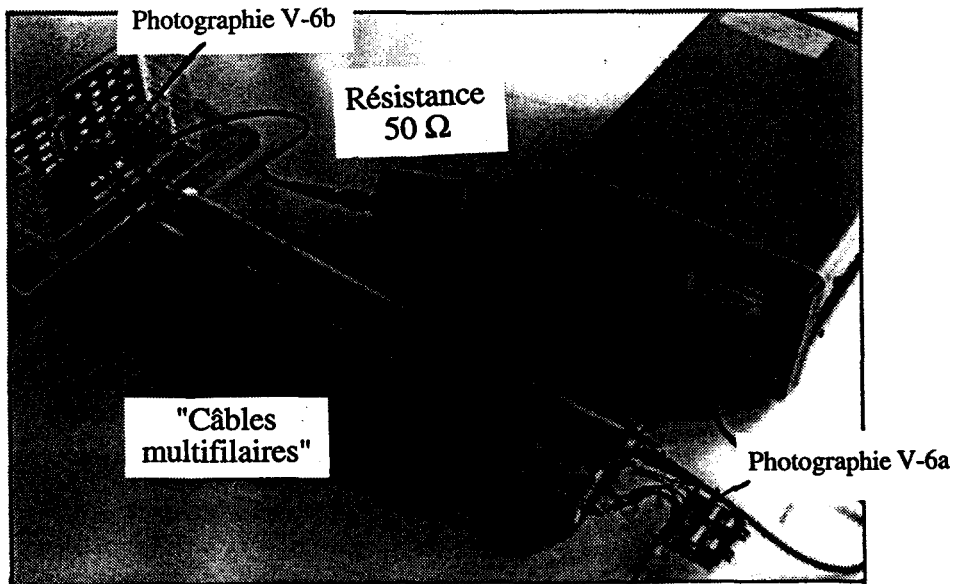


Figure V-44 : Choix des signaux que l'on désire perturber.



Photographie V-5 : Banc de mesure pour perturber par conduction des entrées de la carte ERS.





a) Carte supportant les inverseurs d'entrée de l'interface perturbatrice.

b) Carte supportant les inverseurs de sortie de l'interface perturbatrice.

Photographies V-6 : Cartes de l'interface perturbatrice.

#### V.2.4.2. Perturbation de la carte ERS par conduction.

##### a) Configuration des signaux d'entrée, essai préliminaire.

Nous avons choisi la technologie TTL-LS pour les composants des interfaces perturbatrices de la voie TTL et de la voie CMOS. De ce fait, la tension d'alimentation de la voie CMOS est fixée à 5 V pour être compatible aux niveaux logiques des signaux d'entrée. La configuration des signaux qui transitent sur les interfaces est donnée figure V-45. Nous rappelons qu'en fonctionnement normal le signal DNC n'intervient pas dans l'élaboration des signaux de sortie.

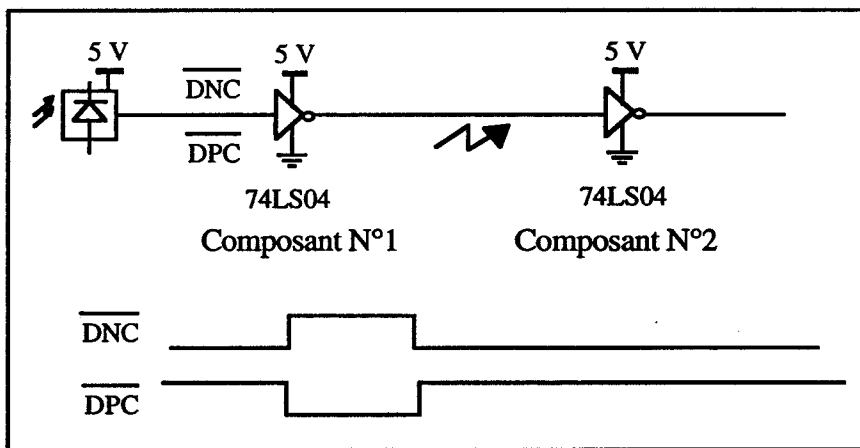


Figure V-45 : Interface perturbatrice et configuration des signaux d'entrée.

Un premier essai a consisté à retirer la fibre qui ramène les signaux d'entrée au niveau de l'interface optique. Les signaux d'entrée sont alors constamment à l'état haut.

Lorsque le signal DPC est constamment à l'état haut et que le signal DNC n'est pas perturbé, le signal de remise à zéro du compteur pseudo-aléatoire est constamment à l'état bas. Les compteurs

de chaque voie fonctionnent sans remise à zéro. On obtient en sortie des impulsions de 4 ms qui apparaissent d'une manière périodique. Cette période est de 1 s pour la voie TTL et de 2 s pour la voie CMOS.

Lorsque le signal DNC est constamment à l'état haut, à l'arrivée de la première transition du signal de sortie de la voie TTL sur l'horloge de la bascule du bloc DNC, le signal de remise à zéro passe à l'état haut et reste constamment dans cet état (cf. figure V-9 et V-10). Les sorties du compteur pseudo-aléatoire sont bloquées à 1 et aucune impulsion n'apparaît en sortie.

#### *b) Résultats obtenus.*

Nous rappelons que le champ électromagnétique qui permet de perturber les signaux d'entrée est en régime harmonique pur. L'étude est réalisée pour des fréquences variant de 1 MHz à 80 MHz.

Lorsque nous perturbons uniquement le signal DPC de la voie TTL, pour des fréquences variant de 60 MHz à 73 MHz, des impulsions apparaissent toutes les secondes sur les sorties de la voie TTL. Par rapport aux signaux de détection des croisements des fils, ces impulsions périodiques apparaissent d'une manière aléatoire. Dès que le véhicule atteint une vitesse proche de la vitesse maximale autorisée, en supposant que les signaux DNC et DPC ne sont pas perturbés en entrée de la carte sécurité survitesse et de la carte mémorisation alarme survitesse (cf. figure A-V-1), un signal d'alarme sera déclenché car la période des impulsions en sortie de la voie TTL est plus de trois fois supérieure au temps minimal autorisé pour parcourir la distance séparant deux croisements consécutifs (figure V-46). De plus les signaux de sortie de la voie CMOS étant différents de la voie TTL, le comparateur déclenchera lui aussi un signal d'alarme. Ce mode de panne n'est donc pas dangereux pour la sécurité.

L'origine de cette panne qui apparaît sur la voie TTL est une diminution de la tension du niveau normalement à l'état haut du signal DPC. Le signal 2 en sortie de l'inverseur est alors constamment à l'état haut. Le signal 4 en sortie du filtre passe haut, ne voyant plus de transitions sur le signal 2, est constamment à l'état bas (graphes V-15c). De ce fait le signal 6 est aussi constamment à l'état bas, ainsi que le signal de remise à zéro TP5. Lorsque occasionnellement ces transitions périodiques de période 1 s apparaissent en sortie simultanément à l'impulsion DNC de la voie CMOS, nous observons un retard dans l'apparition des impulsions à 0,27 s et 0,3 s de la voie CMOS. Ce retard est dû à une impulsion qui apparaît sur le signal 95 normalement constamment à l'état bas (figure V-48). Au même instant, une impulsion apparaît sur le signal 24 du bloc DNC de la voie TTL (figure V-49), provoquant ainsi une remise à zéro du compteur.

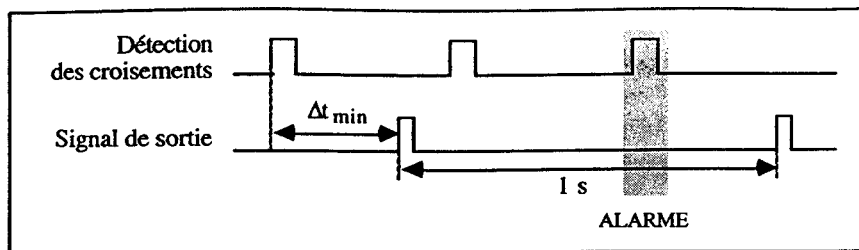


Figure V-46 : Défaillance sans danger pour la sécurité.

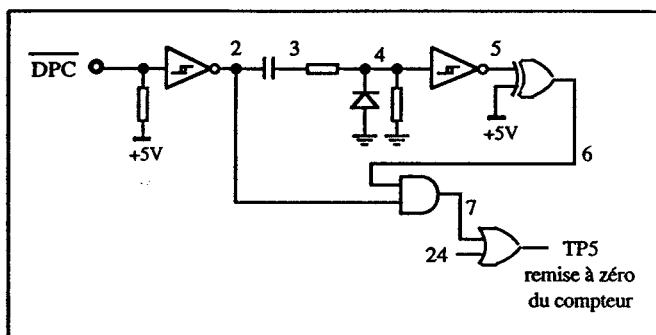
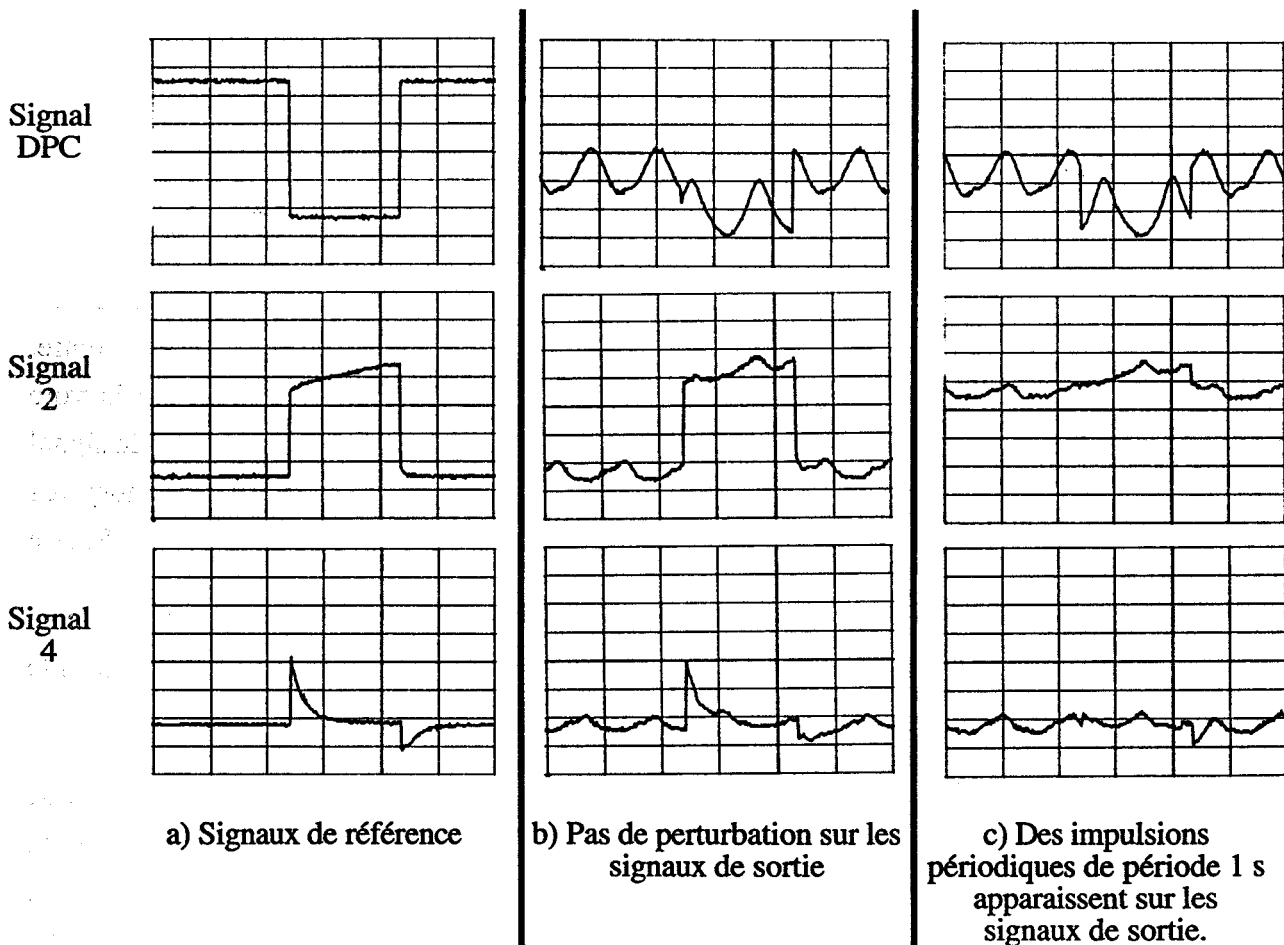


Figure V-47 : Bloc DPC de la voie TTL.



Graphes V-15 : Signaux de la voie TTL, (fréquence du perturbateur : 63 MHz, T/div : 5 ms.)



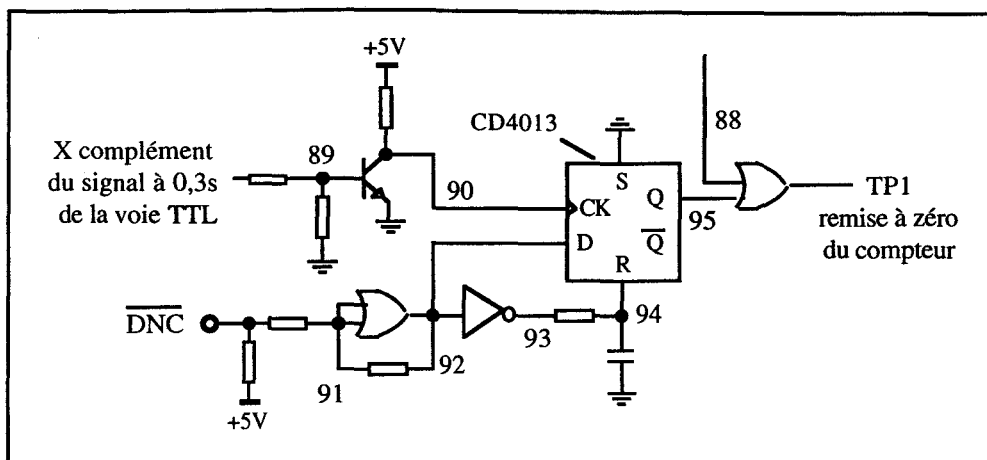


Figure V-48 : Bloc DNC de la voie CMOS.

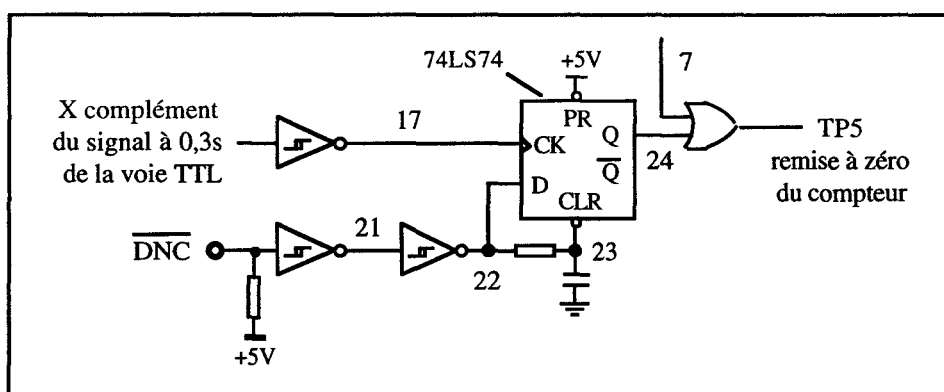


Figure V-49 : Bloc DNC de la voie TTL.

Lorsque nous perturbons non seulement le signal DPC de la voie TTL mais aussi le signal DNC de la voie CMOS, les mêmes résultats sont obtenus en ce qui concerne la voie TTL. Par contre, plus aucun retard n'est observé dans l'apparition des impulsions à 0,27 s et à 0,3 s de la voie CMOS. En effet, de part la diminution de la tension des niveaux normalement à l'état haut du signal DNC, le "Reset" (signal 94) de la bascule du bloc DNC de la voie CMOS (figure V-49) est toujours perçu comme un état haut. Le signal "Set" de la bascule étant fixé à 0 V, le signal de sortie 95 reste constamment à l'état bas.

De ce fait, lorsque nous perturbons uniquement le signal DNC de la voie CMOS et/ou le signal DNC de la voie TTL, aucune perturbation n'est observée en sortie.

Lorsque nous perturbons le signal DPC de la voie CMOS, pour des fréquences variant de 15 MHz à 80 MHz, des impulsions apparaissent toutes les deux secondes sur les sorties CMOS. Cette défaillance n'est pas dangereuse pour la sécurité car la période de ces impulsions est plus de six fois supérieure au temps minimal autorisé pour parcourir la distance séparant deux croisements consécutifs (cf. figure V-46 de la voie TTL). Cette défaillance révèle que le signal de remise à zéro

TP1 est constamment à l'état bas. L'origine de la disparition du signal de remise à zéro est une diminution importante de la tension du niveau normalement à l'état haut du signal 80 : le signal 81 est alors perpétuellement à l'état bas (graphes V-16c).

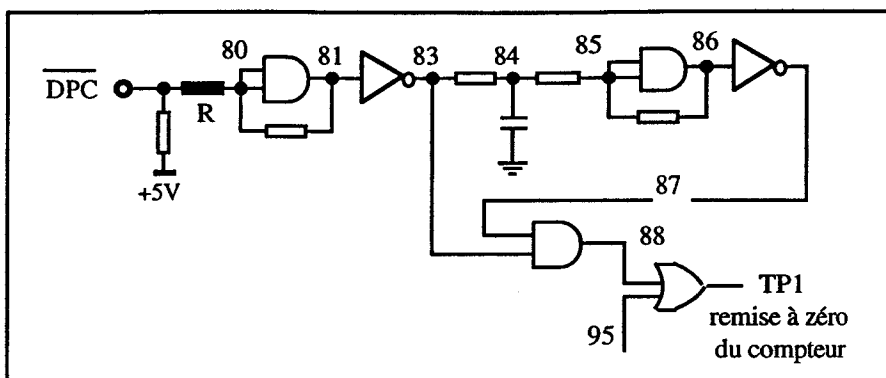
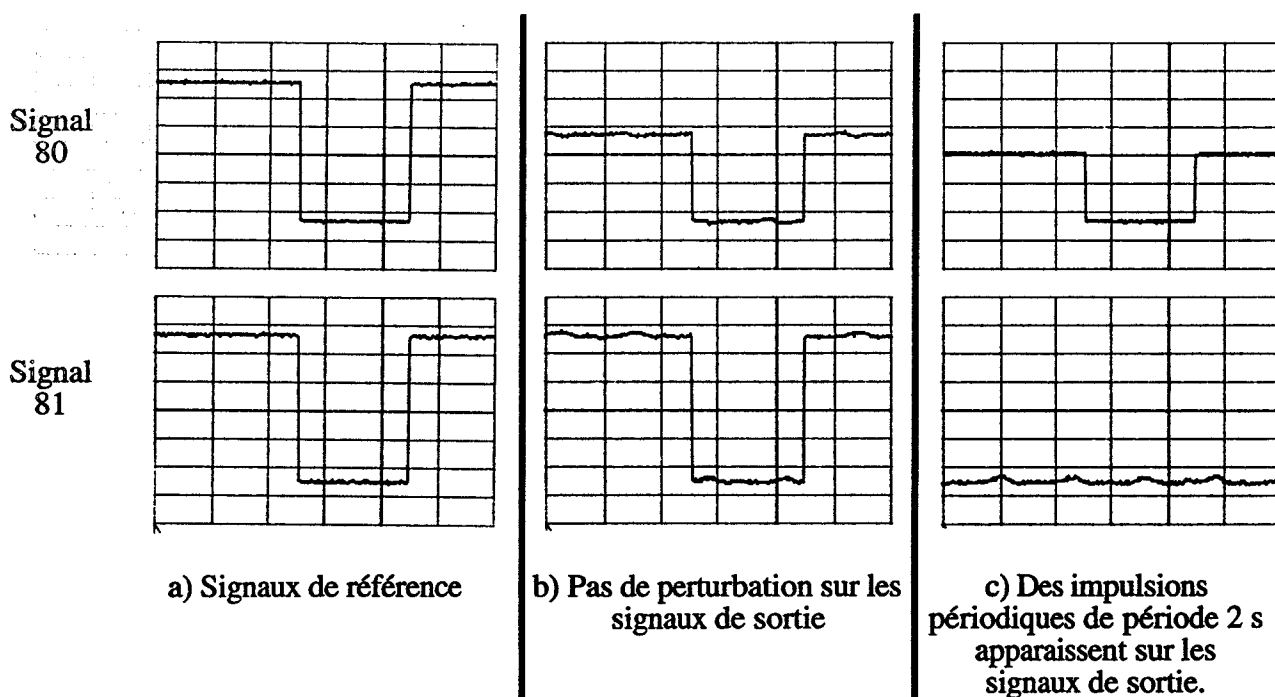


Figure V- 50 : Bloc DPC de la voie CMOS.

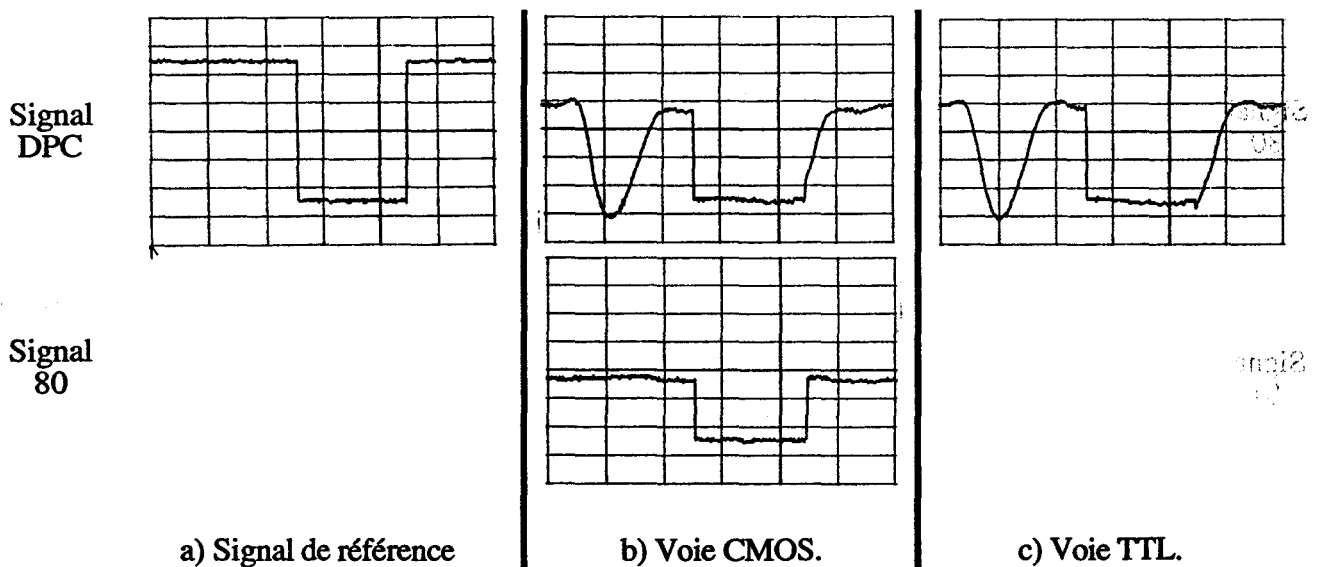


Graphes V-16 : Signaux de la voie CMOS  
(fréquence du perturbateur : 63 MHz, T/div : 5 ms).

Les perturbations observées par conduction sur la carte ERS sont directement liées à la technologie des composants utilisés pour les interfaces perturbatrices. Nous avons obtenu au chapitre III une diminution importante de la tension maximale des niveaux normalement à l'état haut, lorsque les composants sont de technologies TTL-LS. En ce qui concerne la voie TTL, la fréquence du perturbateur pour laquelle le signal de remise à zéro disparaît, correspond à la fréquence pour laquelle une diminution notable de la tension maximale a été observée en sortie des composants de technologie

TTL-LS (chapitre III). Par contre, en ce qui concerne la voie CMOS, cette perturbation apparaît dès une fréquence du perturbateur de 15 MHz, c'est à dire pour une fréquence inférieure à la fréquence de travail maximale de la technologie TTL-LS. La différence de sensibilité par conduction des voies TTL et CMOS est principalement due à la résistance R, qui se trouve en entrée du bloc DPC de la voie CMOS (figure V-50). En effet les signaux DPC de chaque voie sont perturbés de la même manière puisqu'ils subissent un couplage électromagnétique rigoureusement identique. Cependant, la résistance R modifie considérablement l'impact de la perturbation sur le signal 80 (graphes V-17).

Notons que dès une fréquence de 22 MHz, une diminution de la tension maximale du niveau normalement à l'état haut, est observée sur le signal DPC, c'est à dire en sortie de l'interface perturbatrice de technologie TTL-LS. Cette diminution est probablement due à l'apparition d'harmoniques sur le signal qui transite sur la ligne de transmission de l'interface perturbatrice (figure V-45). Le signal en entrée de l'inverseur n°2 aurait alors une étendue spectrale supérieure à la fréquence maximale de travail de la technologie TTL-LS.



Graphes V-17 : Comparaison des signaux des voies TTL et CMOS.  
 (fréquence du perturbateur : 22 MHz, T/div : 5 ms).

#### V.2.4.3. Synthèse des résultats.

Pour la configuration des signaux véhiculés sur l'interface perturbatrice, seule une agression électromagnétique sur les signaux DPC est susceptible de venir perturber les signaux de sortie. Le signal de remise à zéro du compteur pseudo-aléatoire est alors inhibé. On observe des impulsions périodiques en sortie des deux voies. La période de ces impulsions est de 1 s pour la voie TTL et de 2 s pour la voie CMOS. En supposant que la fonction soit assurée par une seule voie, ces pannes ne sont pas dangereuses pour la sécurité. De plus, comme la période des compteurs est différente sur

chaque voie, la défaillance est détectée par le comparateur qui déclenche une alarme. Toutes les défaillances observées lors de l'étude par conduction ne sont donc absolument pas dangereuses pour la sécurité.

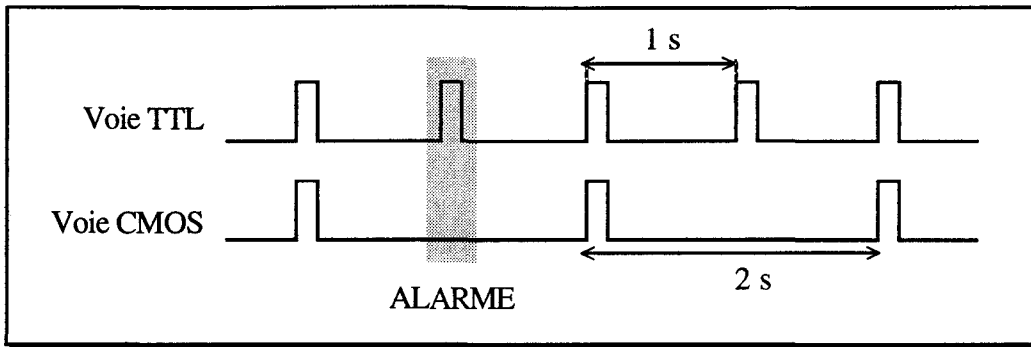


Figure V-51 : Apparition d'impulsions périodiques lorsque les signaux DPC des deux voies sont perturbés.

Contrairement à l'étude de la perturbation par rayonnement de la carte ERS, la voie CMOS s'est révélée beaucoup plus sensible que la voie TTL. L'origine de cette sensibilité accrue réside dans l'existence d'une résistance supplémentaire en entrée du bloc DPC de la voie CMOS.

Notons que les résultats dépendent fortement de la technologie des composants de l'interface perturbatrice et de l'état des signaux qui transitent sur la ligne de transmission qui subit le couplage électromagnétique. La figure V-52 présente une autre possibilité pour perturber les signaux d'entrée. Les résultats obtenus concernant la sensibilité par conduction peuvent alors changer.

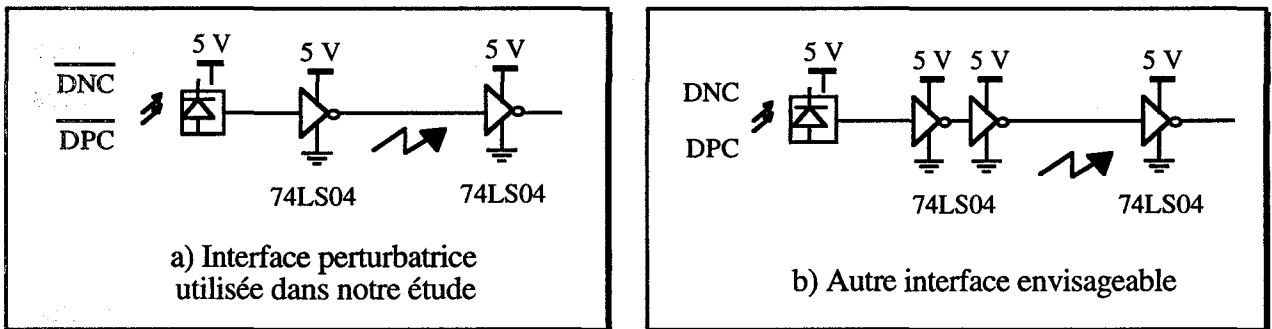


Figure 52 : Autre possibilité pour perturber les signaux d'entrée.

L'étude de la perturbation des signaux d'entrée que nous avons réalisée s'apparente aux études réalisées par les ingénieurs chargés de la sécurité. Les signaux d'entrée DNC ou/et DPC perturbés sont perçus par la carte comme des signaux constamment à l'état bas (figure 52a). Dans le cas d'une interface perturbatrice telle celle présentée figure 52b, ces signaux sont perçus par la carte comme des signaux constamment à l'état haut. Lors de la conception de la carte, chaque mode de panne des signaux d'entrée a été analysé et les ingénieurs ont déjà vérifié qu'aucune défaillance dangereuse pour la sécurité n'apparaît.

## V.2.5. Réflexions sur les résultats obtenus.

### Introduction.

Pour éviter des défaillances de mode commun, des différences de conception sont apportées entre les deux voies de la carte ERS. Ces différences se situent au niveau :

- de la technologie des composants logiques,
- de la tension d'alimentation,
- des fréquences d'horloge et notamment la fréquence d'horloge pour la remise à zéro du compteur,
- des schémas électriques des blocs fonctionnels ou entités.

Nous avons obtenu lors de l'étude de la sensibilité par conduction ou par rayonnement de la carte, que ces différences de conception évitent l'apparition de défaillances de mode commun en sortie des deux voies. L'objectif de ce sous chapitre est de déterminer l'apport d'un point de vue CEM de chaque différence énumérée ci dessus.

### V.2.5.1. Perturbation par conduction des entrées.

Notons que nous avons alimenté la voie CMOS par une tension de 5 V afin d'injecter le même signal perturbé sur chaque voie. Nous avons observé une sensibilité importante de la voie CMOS par rapport à la voie TTL liée aux schémas électriques différents des blocs DPC et probablement aussi à la technologie des composants. Pour des niveaux importants de perturbateur, on observe cependant une même défaillance sur le signal de remise à zéro. Ce dernier disparaît totalement et les compteurs pseudo-aléatoires de chaque voie fonctionnent continuellement. La différence de conception des compteurs pseudo-aléatoires et notamment la période différente de ces compteurs participe ainsi essentiellement à éviter l'apparition d'une panne de mode commun.

### V.2.5.2. Perturbation par rayonnement de la carte complète.

Lors de la perturbation par rayonnement de la carte ERS, la voie CMOS s'est révélée beaucoup moins sensible que la voie TTL. Des tests supplémentaires non mentionnés au cours de ce mémoire ont montré que cette grande différence de sensibilité n'est pas due à l'alimentation 12 V de la voie CMOS. En effet, lorsque cette voie est alimentée par une tension de 5 V, peu de différences ont été observées quant à sa sensibilité.

Si l'on considère la figure V-27, on s'aperçoit que la sensibilité importante de la voie TTL par rapport à la voie CMOS est due à l'apparition d'impulsions supplémentaires sur les signaux de sortie, notamment pour des fréquences supérieures à 165 MHz. L'utilisation de diodes électroluminescentes a montré que ces impulsions apparaissent uniquement en présence de la sonde



optique. La sensibilité de la voie TTL est donc fortement liée à la charge présentée par la carte située en aval. De plus les perturbations du type apparition d'impulsions supplémentaires sont dues non pas à la sensibilité des composants logiques de technologie TTL, mais à la sensibilité des transistors bipolaires situés en sortie de la voie TTL. Si l'on fait abstraction de ce type de perturbation les voies CMOS et TTL présentent des niveaux de sensibilité équivalents. Lorsque la piste métallique qui entoure la carte est en circuit ouvert, le signal disparaît progressivement en sortie de la voie CMOS. L'origine de cette perturbation est un couplage sur les décodages à 0,27 s ou à 0,3 s. En ce qui concerne la voie TTL, nous observons des défaillances aléatoires du type avance, retard ou disparition du signal de sortie. L'origine de ces défaillances est une perturbation du signal de remise à zéro ou une perturbation des signaux de sortie du compteur pseudo-aléatoire. L'utilisation de technologies différentes sur chaque voie permet ici d'éviter des défaillances de mode commun. L'étude d'une antenne magnétique simple montre en effet que la différence de charges présentées par des composants de technologie CMOS et TTL, entraîne des tensions et courants induits en entrée ou sortie de ces composants qui sont différents pour une boucle donnée. Cette étude montre aussi que l'on peut jouer sur la géométrie des pistes pour obtenir des impédances et notamment des inductances de boucles différentes sur chaque voie. Ainsi les fréquences de résonances associées à une charge donnée sont différentes. Des dessins de cartes imprimées ou typons différents sur chaque voie est donc une mesure qui améliore aussi la sécurité d'un système redondant soumis à une perturbation électromagnétique de mode rayonné.

Nous n'avons pas décelé de perturbation directe sur les horloges de la carte. Cependant la fréquence d'horloge utilisée pour la remise à zéro du compteur de la voie TTL étant de 16 kHz, le compteur 8 bits est initialisé en 0,5 ms. Pour la voie CMOS, l'horloge de remise à zéro possède une fréquence de 8 kHz : 1,125 ms sont nécessaires pour initialiser le compteur 9 bits. De ce fait, une impulsion parasite de durée 0,8 ms par exemple qui apparaîtrait sur les signaux de remise à zéro ne provoquerait pas les mêmes défaillances en sortie des deux voies. L'utilisation de fréquences d'horloge différentes ne peut donc aller que dans le sens d'une plus grande sécurité de la carte ERS soumise à une perturbation électromagnétique.

### Conclusion.

D'un point de vue CEM, l'utilisation de schémas électriques différents sur chaque voie de la carte ERS, augmente sa sécurité lorsqu'elle est soumise à une perturbation conduite sur ces entrées.

L'utilisation de technologies différentes sur chaque voie augmente la sécurité de la carte ERS lorsqu'elle est soumise à une perturbation de mode rayonné. La grande sensibilité de la voie TTL provient des composants analogiques utilisés pour décoder les signaux à 0,27 s et à 0,3 s en sortie du compteur pseudo-aléatoire.

## CONCLUSION.

Une méthode classique de mise en sécurité des systèmes électroniques consiste à doubler, tripler, etc., le matériel. Cependant, un premier point faible des systèmes redondants repose dans le comparateur de signaux des deux voies, qui doit être impérativement de sécurité. Un autre point faible repose dans l'apparition de défaillances de mode commun. Pour éviter les pannes de mode commun de cause classique (exemple de la coupure d'alimentation), des différences de conception sont apportées sur les voies des systèmes redondants.

L'objet de notre étude a consisté à analyser l'efficacité de ces mesures vis à vis d'une agression électromagnétique. Nous avons reproduit au laboratoire une fonction de sécurité effectivement implantée sur un métro automatique. La sécurité de cette fonction est fondée sur une redondance matérielle massive. Les différences de conception des deux voies se situent au niveau de la technologie des composants logiques utilisés, de la tension d'alimentation, des schémas électriques de chaque entité de la carte et de la topologie du circuit imprimé.

Lors de l'étude de la sensibilité par conduction la carte, aucune défaillance de mode commun n'a été décelée. L'étude de la perturbation des signaux d'entrée s'apparente ici à une étude de sécurité où l'on suppose que le signal d'entrée commun aux deux voies est erroné. Les concepteurs ont alors prévu des compteurs pseudo-aléatoires différents sur chaque voie pour qu'un tel événement ne soit pas critique pour la sécurité.

De même, lors de l'étude de la sensibilité par rayonnement de cette carte, aucune défaillance de mode commun n'a été décelée. La voie CMOS s'est révélée beaucoup moins sensible que la voie TTL. La piste métallique en périphérie des cartes électroniques installées notamment dans les systèmes de transport dans des paniers à cartes, intervient dans le couplage électromagnétique. Les sondes optiques utilisées pour mesurer les signaux de sortie ont aussi une influence importante sur la sensibilité de la carte et en particulier de la voie TTL. Les différences de conception entre les deux voies de la carte ERS évite l'apparition de défaillances de mode commun.

D'une manière plus générale, lorsqu'un système redondant est soumis à une perturbation électromagnétique de mode rayonné, les tensions et courants induits dépendent des impédances des boucles formées par les pistes et des impédances des charges sur les boucles. Les fréquences de résonance du circuit sont une fonction de l'inductance et longueur de la boucle ainsi que des capacités parasites des composants électroniques. L'utilisation de technologies de composants différentes permet de jouer sur les impédances de charges des boucles. La réalisation de pistes de géométrie différente sur chaque voie permet de jouer sur l'impédance et en particulier l'inductance de la boucle. On peut ainsi différencier les gammes de fréquence pour lesquelles chaque voie d'un système redondant est sensible à une perturbation de mode rayonné.

L'utilisation de composants de technologies différentes ne peut donc aller que dans le sens d'une plus grande sécurité. Pour favoriser la disponibilité, il sera cependant préférable de n'utiliser que la technologie de composants la moins sensible. On pourra alors jouer sur la topologie des cartes imprimées afin de tenter d'éviter l'apparition de défaillances de mode commun dont l'origine est une perturbation électromagnétique de mode rayonné.

# Conclusion générale.

Une première partie de notre travail a consisté à réaliser une étude statistique afin de caractériser les défauts statiques qui apparaissent sur les états logiques lorsque les composants logiques sont soumis à une perturbation de fort niveau. Les résultats statistiques fournissent la durée des défauts, leur nombre, la durée des séparations entre deux défauts consécutifs ainsi que le pourcentage de temps pendant lequel un niveau est perturbé.

Le dispositif sous test utilisé lors de l'étude est constitué de deux inverseurs connectés en série par une ligne de transmission couplée à une onde plane. Le couplage est hybride et l'onde se propage depuis la porte émettrice vers la porte réceptrice, c'est à dire dans le sens de transfert des signaux logiques. Nous observons expérimentalement et traitons statistiquement la tension perturbée en sortie du dispositif sous test. La mesure des signaux induits sur la ligne de transmission est délicate à réaliser. Cependant, comme nous avons pris soin de connecter nos deux inverseurs par une ligne de transmission, nous avons pu simuler et calculer les tensions et courants induits sur la ligne. Pour cela, nous utilisons le modèle de Bergeron qui considère la propagation des signaux incidents et des signaux réfléchis sur une ligne de transmission, disponible dans les bibliothèques de simulation de type SPICE. Nous employons ce modèle pour modéliser d'une part la propagation de l'onde électromagnétique perturbatrice et d'autre part pour modéliser la ligne de transmission du dispositif sous test. Le couplage électromagnétique est modélisé par des sources de tension insérées aux extrémités de la ligne de transmission. Nous employons la description fine des étages d'entrée/sortie des composants logiques que l'on trouve dans les bibliothèques des logiciels de type Spice pour accéder aux signaux induits sur la ligne de transmission de notre dispositif sous test. Ces simulations ont permis d'affiner notre compréhension des résultats observés.

Lors de l'étude statistique, le signal logique véhiculé sur le dispositif sous test est constitué d'une succession de niveaux à l'état bas et hauts d'une durée de 500 ns. Dans une première étude, nous comparons les résultats statistiques obtenus pour différents types de perturbations. Les caractérisations des défauts sont semblables pour un champ électromagnétique en régime modulé en fréquence et pour un champ électromagnétique en régime harmonique pur. L'étude statistique a révélé qu'un champ électromagnétique modulé en amplitude est d'un point de vue CEM, localement équivalent à un champ électromagnétique en régime harmonique pur. Cette constatation nous a amené à mettre au point une méthode de mesure qui visualise les extremums de tension entre lesquels les niveaux perturbés varient selon l'amplitude du champ électrique perturbateur. Les résultats statistiques et les résultats obtenus par cette mesure se complètent efficacement.

Dans la suite de nos travaux, nous analysons la sensibilité du dispositif sous test selon la

technologie des composants logiques implantés, pour un champ électromagnétique en régime harmonique pur. L'association de composants de différentes technologies met en évidence le composant (amont ou aval) qui détermine le comportement du dispositif sous test. L'ajout d'une troisième porte inverseuse en sortie montre l'impact possible des perturbations sur une carte électronique. Les deux approches (étude statistique et visualisation des extremums de tension) sont employées. L'étude statistique est réalisée pour des champs électriques perturbateurs dont la fréquence varie de 15 MHz à 95 MHz par pas de 10 MHz et dont l'amplitude varie de 50 V/m à 450 V/m par pas de 50 V/m. L'excursion du signal perturbé est analysée pour des amplitudes du champ électrique, évoluant jusque à une valeur approximative de 900 V/m. Les enregistrements sont effectués pour des fréquences de perturbateurs variant de 15 MHz à 195 MHz par pas de 10 MHz. La ligne de transmission du dispositif sous test présente une fréquence de résonance de 375 MHz lorsqu'elle est connectée à des résistances purs. Les résultats obtenus sont les suivants :

En ce qui concerne la technologie CMOS, des défauts de courte durée (2,5 ns ou 5 ns) apparaissent à la même fréquence que le perturbateur sur les niveaux hauts et sur les niveaux bas. Pour la famille HCU, la variation de l'amplitude des défauts selon l'amplitude du champ électrique est faible de part le faible gain en tension de cette technologie. Ces défauts disparaissent le long d'une chaîne d'inverseurs. Pour la famille HC, ces défauts sont de forte amplitude et se propagent intégralement le long d'une chaîne d'inverseurs. Les simulations ont montré une relation directe entre la tension induite en entrée du composant aval et les perturbations observées expérimentalement en sortie. Cette relation directe est sans doute due à la constitution des portes à base de transistors MOS commandés en tension. Pour la famille HC, les comportements sur niveaux bas et hauts sont symétriques. Les diodes de protection entre la référence et l'entrée (sortie) et entre l'entrée (sortie) et l'alimentation redressent en effet d'une manière similaire les signaux induits sur la ligne portée à un potentiel correspondant à un état logique bas et les signaux induits sur la ligne portée à un potentiel correspondant à un état logique haut.

En ce qui concerne la technologie TTL, des similitudes de comportement sont observées d'une part entre les familles LS et ALS et d'autre part entre les familles F et AS. La perturbation de la tension en sortie de la seconde porte du dispositif sous test est principalement déterminée par la fréquence de la tension induite en entrée de la porte 2 relativement à la fréquence de travail maximale de cette porte. En effet, lorsque la fréquence de la tension induite en entrée est bien supérieure à la fréquence maximale du composant logique, celui-ci agit comme un filtre passe bas. Lorsque l'entrée de la porte 2 est normalement à l'état bas, la valeur moyenne de la tension induite redressée par la diode de protection entre la référence et l'entrée, est supérieure à la tension de polarisation nominale et peut dépasser la tension de seuil de l'état haut. Le filtrage du signal et la détection de cette valeur moyenne provoque en sortie une diminution de la tension maximale du niveau normalement à l'état haut, voire un changement d'état. Les fréquences pour lesquelles ce phénomène apparaît sont plus basses pour les composants les plus lents. Lorsque le potentiel

appliqué sur la ligne équivaut à un état logique haut, la moyenne de la tension induite en entrée du composant est à nouveau supérieure à la tension de polarisation nominale. La détection/filtrage du signal confirme cette fois-ci l'état logique bas en sortie de la porte. Ainsi des perturbations sur la sortie à l'état bas sont observées pour les technologies les plus rapides (TTL-AS et TTL-F) contrairement aux technologies les plus lentes (TTL-ALS et TTL-LS). Le comportement du dispositif sous test n'est donc pas symétrique selon l'état logique. Ce résultat est directement lié à la présence d'une seule diode de protection en entrée des composants. Les simulations montrent que de part l'absence de diode de protection entre l'entrée et l'alimentation, les tensions induites en entrée peuvent avoir une valeur bien supérieure à 7 V : ces valeurs importantes sont susceptibles d'entraîner la destruction des composants. Nous n'avons cependant observé aucune destruction des composants lors de nos expérimentations. Cependant, il est possible que les perturbations provoquent un vieillissement prématuré, voire une dégradation des caractéristiques intrinsèques des composants. Ce type de recherche est actuellement entrepris à l'USTL-LRPE.

La famille S de la technologie TTL possède un comportement particulier. Cette famille est perturbée uniquement sur les niveaux hauts en sortie de la porte (la ligne de transmission est à l'état bas) pour des couples fréquence/amplitude de champ électrique perturbateur bien déterminés. Pour un couplage hybride, l'étude des défauts sur les états statiques révèle que cette technologie est beaucoup moins sensible que les autres technologies. De plus les défauts disparaissent le long d'une chaîne d'inverseurs. Le comportement particulier de la technologie TTL-S montre l'importance de ne pas limiter les tests de sensibilité électromagnétique des appareils, à une amplitude maximale de champ électrique perturbateur déterminée par les normes. Des champs électriques d'amplitude inférieure doivent aussi être générés afin d'éviter les phénomènes d'hystérésis souvent rencontrés.

En ce qui concerne la propagation des défauts le long d'une chaîne d'inverseurs de technologie TTL-AS ou TTL-LS, nous avons constaté des différences de comportement selon que le troisième inverseur ajouté en sortie du dispositif sous test est encapsulé dans le boîtier du deuxième inverseur ou dans un troisième boîtier. Ces différences de comportement peuvent provenir d'une perturbation interne de l'alimentation du deuxième boîtier, due aux appels de courant provoqués par la perception des défauts en tant que transitions d'état logique. Nous avons proposé une expérience complémentaire pour confirmer ou infirmer cette hypothèse.

Sur le dispositif sous test initial, la sortie  $S_2$  du composant 2 est chargée sur une impédance d'environ 500  $\Omega$ . La connexion en sortie d'un composant dont l'entrée est en haute impédance est susceptible de modifier les signaux perturbés observés en  $S_2$ . Néanmoins, quelle que soit la technologie de composants, lorsque la sortie du dispositif sous test initial pilote l'horloge d'une bascule D ou encore un troisième inverseur encapsulé dans un troisième boîtier, le comportement observé en sortie du troisième composant peut être expliqué à partir des résultats obtenus en sortie du composant 2 chargé sur 500  $\Omega$ . Dans ce cas précis, nos résultats statistiques représentent donc bien une probabilité d'apparition de défaillances.



Au cours de ce mémoire, nous avons insisté à plusieurs reprises sur l'importance de définir les critères de sensibilité électromagnétique lors d'une étude CEM. Il est difficile de déterminer d'une manière absolue l'ordre croissant de sensibilité des composants logiques selon leur technologie car cet ordre est fonction du critère de sensibilité retenu. Nous retiendrons néanmoins la classification suivante : dans notre configuration, la technologie TTL-S est la technologie la moins sensible. Cette technologie est en effet perturbée uniquement sur les niveaux hauts pour quelques couples fréquences/amplitudes bien déterminés. De plus les défauts disparaissent le long d'une chaîne d'inverseurs. Vient ensuite la technologie CMOS-HCU dont les défauts ont une faible amplitude et disparaissent aussi le long d'une chaîne d'inverseurs. La technologie CMOS-HC est perturbée sur niveaux hauts et sur niveaux bas et les défauts se propagent intégralement le long d'une chaîne d'inverseurs. La fréquence minimale pour perturber cette technologie ou le pourcentage de temps pendant lequel les niveaux sont perturbés classe cette technologie comme étant moins sensible que les technologies TTL-LS, TTL-ALS, TTL-AS et TTL-F. Le classement de ces familles de la technologie TTL dépend du critère de sensibilité retenu. Si l'on choisi comme critère de sensibilité la fréquence minimale ou l'amplitude minimale du champ électrique nécessaire pour perturber le dispositif sous test alors l'ordre croissant de sensibilité est le suivant : TTL-LS, TTL-ALS, TTL-F, TTL-AS. Si l'on prend comme critère de sensibilité le pourcentage de temps durant lequel les niveaux hauts sont perturbés, l'ordre croissant de sensibilité s'inverse et devient : TTL-AS, TTL-F, TTL-ALS et TTL-LS.

Nous rappelons que ces résultats sont obtenus pour un couplage hybride et une ligne de transmission de longueur 20 cm. Il est à noter en effet, que la sensibilité en fonction de la fréquence est liée à la mise en œuvre de mécanismes de résonance qui dépendent de la dimension de la ligne. La ligne de transmission présentant une longueur de 20 cm, les simulations ou calculs analytiques montrent que lorsque la ligne est chargée sur des résistances purs dont les valeurs ne sont ni très grandes ni très basses relativement à l'impédance caractéristique de la ligne, la fréquence de résonance est de 375 MHz. Lorsque la ligne est connectée à une extrémité à une résistance de 1 k $\Omega$  en parallèle à une capacité de 20 pF, la fréquence de résonance est alors de 90 MHz. Or les composants logiques présentent des capacités parasites dont les valeurs sont différentes selon la technologie. Cette constatation montre que les mécanismes de résonance n'apparaissent pas à la même fréquence selon la technologie des composants connectés à la ligne. Une sensibilité accrue d'une technologie peut être obtenue si les fréquences étudiées sont proches de la fréquence qui engendre un phénomène de résonance du système ligne de transmission et composants logiques connectés.

Après avoir étudié la sensibilité électromagnétique d'un dispositif sous test simple selon la technologie des composants implantés, nous nous sommes intéressés à l'application pratique de nos résultats expérimentaux pour tenter d'améliorer la sécurité de systèmes électroniques soumis à une agression électromagnétique. Nos résultats montrent dès lors qu'un choix judicieux d'une

technologie de composants logiques peut diminuer de façon importante les perturbations induites sur une carte électronique. Nous avons porté notre attention sur les systèmes électroniques dont la sécurité est fondée sur le principe de la redondance matérielle. La partie critique de tels systèmes réside dans le comparateur des signaux en sortie des voies de traitement et dans l'apparition de défaillances de mode commun. Pour éviter les défaillances de mode commun dont la cause est classique, des différences de conception sont apportées sur les voies du système. Des technologies de composants logiques différentes sont notamment employées. On évite ainsi des défaillances qui peuvent provenir d'un défaut de fabrication ou d'un vieillissement propre à une technologie de composants. L'étude de la sensibilité d'un dispositif sous test simple selon la technologie des composants, révèle que cette mesure peut aussi éviter l'apparition de défaillances de mode commun dont l'origine est une perturbation électromagnétique de mode rayonné. Pour confirmer ce résultat, nous avons étudié la sensibilité électromagnétique d'une fonction de sécurité effectivement implantée sur un métro automatique. La sécurité de la carte est fondée sur une redondance matérielle : une des voies est en technologie TTL-LS et l'autre voie en technologie CMOS-C de la famille 4000.

L'étude de la sensibilité par rayonnement de la carte est réalisée pour un champ électromagnétique perturbateur en régime harmonique pur dont la fréquence varie de 1 MHz à 225 MHz et dont l'amplitude varie de 1 V/m à environ 150 V/m à 200 V/m. Nous avons obtenu que vis à vis d'une perturbation électromagnétique de mode rayonné, deux facteurs concourent à éviter l'apparition de défaillances de mode commun : d'une part la différence de technologie des composants logiques et d'autre part, les différences apportées au niveau de la géométrie des pistes ou encore au niveau du typon des cartes imprimées. La voie TTL s'est révélée plus sensible que la voie CMOS, mais la sensibilité de la voie TTL réside principalement dans l'étage de sortie réalisé à l'aide de composants analogiques et en particulier à l'aide de transistors bipolaires. Dans les systèmes de transport notamment, les circuits imprimés installés dans un panier avec connecteurs incorporés, sont parfois entourés d'une piste métallique. Sur le site, la carte étudiée est installée dans un tel panier : elle est effectivement entourée d'une piste périphérique. Cette piste a pour effet de modifier localement la répartition du champ électromagnétique incident. Nous avons ainsi observé une différence de sensibilité de la carte, selon que la piste périphérique est en circuit ouvert ou en circuit fermé. L'étude montre aussi l'impact des sondes optiques réalisées en tentant de minimiser la perturbation apportée par la prise d'informations. Des différences de sensibilités sont obtenues sur la voie TTL selon que la sonde est connectée en sortie ou non. Ces différences sont directement liées à la charge supplémentaire ramenée par l'étage d'entrée de nos sondes optiques. Elles montrent la difficulté de réaliser des tests CEM fiables.

Lors de l'étude de la sensibilité par conduction de la carte, nous avons réalisé des "câbles multifilaires" comparables à une cellule TEM circulaire. Ainsi, on peut perturber isolément les signaux d'entrée que l'on désire. La fréquence du perturbateur varie de 1 MHz à 80 MHz. Les



tensions induites sur les signaux d'entrée atteignent des valeurs de l'ordre de quelques volts. Nous avons obtenu que vis à vis d'une perturbation électromagnétique de mode conduit, la différence de conception au niveau des schémas électriques des deux voies évite l'apparition de défaillances de mode commun. L'étude de la sensibilité en mode conduit s'apparente ici aux études de sécurité réalisées par les concepteurs.

Il est difficile de prédire l'impact d'une perturbation électromagnétique sur une carte électronique étant donné le grand nombre de paramètres qui interviennent. Les logiciels de simulation du type Spice par exemple, ne permettent pas pour l'instant de simuler les signaux en sortie des composants logiques lorsque les entrées sont perturbées. En effet, la modélisation des fonctions logiques n'est pas valide d'un point de vue CEM, car les caractéristiques nominales fournies dans les catalogues constructeurs sont utilisées afin de générer les signaux de sortie en fonction des signaux d'entrée. Pour modéliser d'une manière similaire des fonctions logiques valides d'un point de vue CEM, il serait intéressant de constituer des bases de données expérimentales fournissant les caractéristiques des signaux de sortie en fonction de signaux d'entrée perturbés. L'apport principal de notre travail est d'avoir mis en place un outil statistique qui peut s'avérer fort utile pour l'élaboration de telles bases de données expérimentales. Il permet en effet d'étudier relativement rapidement un grand nombre de cas de figures, en faisant varier les paramètres tels la fonction logique et la forme d'onde de la perturbation apportée en entrée.

# GLOSSAIRE

ASIC : Composant réalisé à la demande afin de concevoir un système sous forme intégrée.

CAO : Conception Assistée par Ordinateur.

CEM : Compatibilité électromagnétique.

DAO : Dessin Assisté par Ordinateur.

MCM : multicouches Modules (cartes multicouches).

Routage d'une carte : Opération qui consiste à tracer les pistes qui relient les composants d'un circuit imprimé.

Overshoot : terme utilisé lorsque la tension du signal est supérieure à une tension logique donnée.

Undershoot : terme utilisé lorsque la tension du signal est inférieure à une tension logique donnée.

## **Contraintes temporelles d'un circuit logique.**

Setup : Temps minimum de l'apparition du signal à valider (donnée) par rapport au signal de validation (horloge).

Hold : Temps minimum de maintien du signal à valider (donnée) par rapport au signal de validation (horloge).

T-Min (Pulse-Width) : Temps minimum de la présence du signal à valider (donnée) par rapport au signal de validation (horloge)  $TPW_{min} = T_{Setup} + T_{Hold}$ .

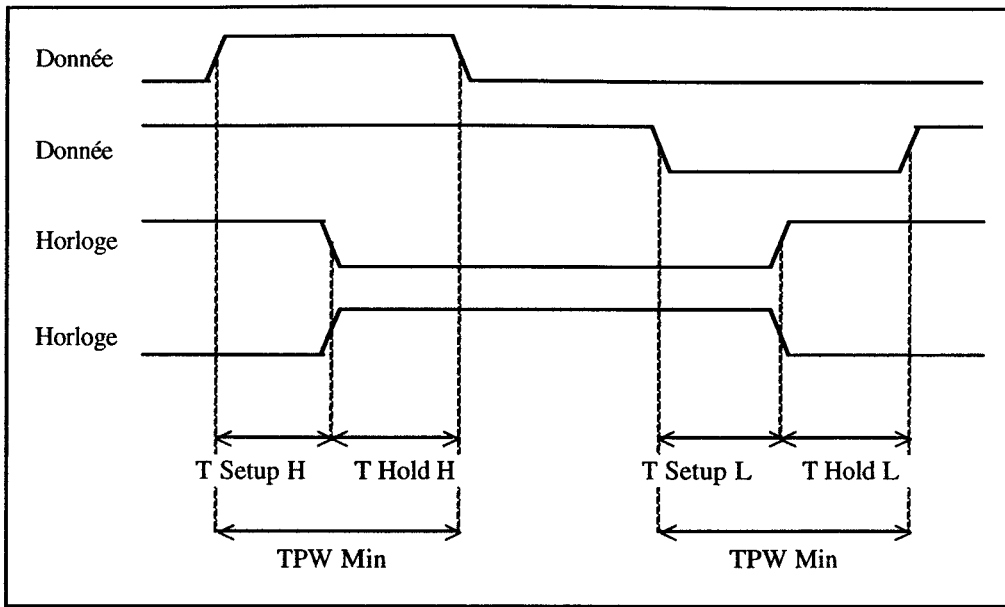


Figure G-1 : Contraintes temporelles pour un circuit commandé par une horloge.

Skew : Temps maximum de non recouvrement pour deux signaux (au minimum) de validation complémentaire.

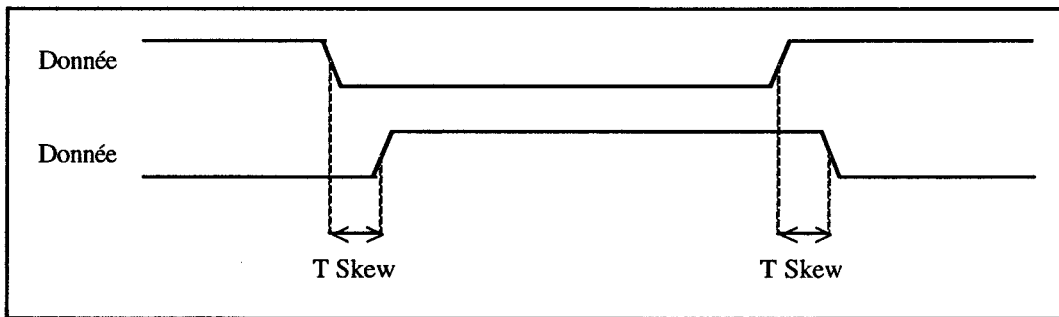


Figure G-2 : Contraintes temporelles pour un circuit non commandé par une horloge.



## BIBLIOGRAPHIE.

- [ANS.] B. ANSTETT et R. GAILLARD  
"Développement et utilisation des composants électroniques soumis à un environnement radiatif. Avant propos."  
L'Onde Électrique, Vol. 73 - N°6, pp. 69-70, Novembre-Décembre 1993.
- [AMM.] M. AMMARI  
"Étude de la susceptibilité électrique des jonctions aux radiofréquences."  
TH. DOCT., N° 91 BESA 2030, Besançon, 1991.
- [AZO.] A. AZOULAY  
"Bruit industriel"  
Chapitre 3 du livre de P. DEGAUQUE et J. HAMELIN  
"Compatibilité électromagnétique : bruits et perturbations radioélectriques."  
Édition Dunod, ISBN n° 2-04-018807-X.
- [BAL.] R. BAINES  
"Downward tend is good news for designers."  
Electronics World + Wireless World, pp. 727 et 729, Septembre 1993.
- [BAH.] F. BAHARLOU HERMELIN  
"Tenue aux radiations des composants électroniques: effets des ions lourds sur des MOSFETS de puissance et des neutrons sur des amplificateurs opérationnels."  
TH. DOCT., N° 89 MON2 0035, Montpellier 2, 1989.
- [BESNA.] B. BESNAULT  
"Mesures en compatibilité électromagnétique."  
Chapitre 10 du livre de P. DEGAUQUE et J. HAMELIN  
"Compatibilité électromagnétique : bruits et perturbations radioélectriques."  
Édition Dunod, ISBN n° 2-04-018807-X.
- [BESNI.] P. BESNIER  
"Étude des couplages électromagnétiques sur des réseaux de lignes de transmission non-uniformes à l'aide d'une approche topologique."  
Thèse de Doctorat N° 1060, Lille, Janvier 1993.
- [BIO.] T. BION  
"Modélisation des effets singuliers induits dans les composants électroniques par les protons rapides de l'environnement spatial."  
Thèse de Doctorat, N° 89 ESAE 0006, ENSAE, 1989.
- [BOI.] B. BOITTIAUX  
"Cours de physique des semiconducteurs"  
Cours photocopié de l'EUDIL, Tome 2.
- [BOR.] M. BORSERO, M. G. VIZIO et E. NANO  
"Compatibilité électromagnétique des réseaux de distribution par câbles des signaux de radiodiffusion sonore et de télévision."  
7<sup>ième</sup> colloque international et exposition sur la CEM, pp. 137-142, Toulouse, Mars 1994.

- [BOU.] A. BOUALLEGUE  
 "Contribution à l'étude du couplage entre les ondes lentes dans un ferrite et les porteurs dans un semi-conducteur."  
 Doctorat d'État, INP Toulouse, 1984.
- [BRI.] A. M. BRIGINI and N. A. TITOVICH  
 "Electromagnetic Interference effects on digital integrated circuits."  
 10<sup>th</sup> International Wroclaw Symposium on Électromagnetic Compatibility, June 1990.
- [BRO.] F. BROYDE  
 "Conception des cartes et systèmes compatibles."  
 Stage Excem n°4, Décembre 1989.
- [BRU.] G. BRUGUIER  
 "Évaluation et adaptation de logiciels de simulation de circuits électroniques: modélisation de composants en irradiation transitoire."  
 TH. DOCT. N° 90 MON2 0048, Montpellier 2, 1990.
- [CAT.] J. P. CATANI & P. COUVEGNES  
 "Susceptibilité aux perturbations radiofréquence par non-linéarité."  
 5<sup>ème</sup> colloque national et exposition sur la CEM, Session DII-2, Evian, 12-14 septembre 1989.
- [CHAM.] G.-G. CHAMPIOT et P. GUILLERY  
 "Mise à la terre des ensembles électroniques."  
 Revue Générale de l'Électricité N°11, pp. 45-48, Décembre 1991.
- [CHAP.] J. F. CHAPPEL and S. G. ZAKY  
 "EMI induced delays in digital circuits : Application."  
 IEEE 1992 Symposium on Electromagnetic Compatibillity, pp. 449-454, (Anaheim, CA), August 1992.
- [CHAR.] A. CHAROY et D. STRAUS  
 "Les terres: rôles, performances, câblages, et impacts sur les systèmes électroniques."  
 L'onde Électrique, Vol. 73 N°5, pp. 46-54, Septembre-Octobre 1993.
- [CHE.] K.N. CHEN & J.J. WHALEN  
 "A nonlinear incremental model for predicting EMI in MOS transistors and integrated circuits."  
 IERE Publication N°56, pp. 113- 130, 1982.
- [CHR.] C. CHRISTOPOULOS and J. L. HERRING  
 "The Application of Transmission-Line Modeling."  
 IEEE Transactions on Electromagnetic Compatibility, Volume 35, N°2, pp. 291-297, May 1993.
- [CLO.] R. du CLOUX, G. P. J. F. M. MAAS , A. J. H. WACHTERS, R. F. MILSON  
 et K. J. SCOTT.  
 "FASTERIX, an environment for PCB simulation."  
 10<sup>th</sup> International Zurich Symposium and Technical Exhibition on Electromagnetic Compatibility, March 1993.
- [COE.] M. COENEN  
 "Comparison between corner and center supply pinned octal driver logic families."  
 9<sup>th</sup> International Zurich Symposium and Technical Exhibition on Electromagnetic Compatibility, Session 131R5 , pp. 707-711, 12-14 March 1991.

- [COL.] M. COLONNA CECCALDI  
 "Cartes imprimées."  
 Techniques de l'ingénieur, Vol. E3-II (E3910 pp. 2 à 11), édités par ISTR, Décembre 1990.
- [COU.] B. COUDORO  
 "Étude phénoménologique de la sensibilité des circuits logiques fonctionnant en régime dynamique soumis aux effets induits par des champs électromagnétiques."  
 Thèse de Doctorat, N° 1193, 199 pages, USTL, octobre 1993.
- [CRE.] R. CREMADES  
 "Le 3,3V s'impose pour les circuits numériques."  
 Électronique N°23, p 34 et plus, Décembre 1992.
- [DEG.] P. DEGAUQUE  
 "Couplage aux lignes et aux câbles en présence du sol ou d'un plan de masse."  
 Chapitre 7 du livre de P. DEGAUQUE et J. HAMELIN  
 "Compatibilité électromagnétique : bruits et perturbations radioélectriques."  
 Édition Dunod, ISBN n° 2-04-018807-X.
- [DEM. 1] B. DEMOULIN  
 "Caractérisation des câbles blindés."  
 Chapitre 6 du livre de P. DEGAUQUE et J. HAMELIN  
 "Compatibilité électromagnétique : bruits et perturbations radioélectriques."  
 Édition Dunod, ISBN n° 2-04-018807-X.
- [DEM. 2] B. DEMOULIN  
 "Notions de compatibilité électromagnétique."  
 Cours photocopié de l'EUDIL (École Universitaire D'Ingénieurs de Lille).
- [DEN.] H. W. DENNY  
 "Projected Susceptibilities of VHSIC/VLSIC Devices to the Year 2000 Electromagnetic Environment."  
 IEEE International Symposium On Electromagnetic Compatibility, Session 4B, pp:293-298, San Diego, CA, Septembre 1986.
- [DIX.] D. S. DIXON, M. OBARA and N. SCHADE  
 "Finite-Element Analysis (FEA) as an EMC Prediction Tool."  
 IEEE Transactions on Electromagnetic Compatibility, Volume 35, N°2, Short Paper pp. 241-248, May 1993.
- [DUM.] J. B. DUMONT  
 "Les grands travaux du siècle."  
 Paris Librairie Hachette et Cie 1891.
- [EL H.] C. EL HASSANI  
 "Sensibilité des oscillateurs à quartz au champ magnétique."  
 TH. DOCT., N° 90 BESA 2030, Besançon, 1990.
- [EL K.] E.M. EL KOURSI and A. STUPARU  
 "Étude comparative des architectures microprogrammées utilisées dans les applications de sécurité."  
 Rapport INRETS n°134, 79 pages, Décembre 1990.
- [ELL.] M. ELLIOTT  
 "The susceptibility of analogue circuits to radio frequency interference - Prediction and measurement."  
 IERE Publication N°56, pp. 103-112, 1982.



- [FAL.] B. FALLOU  
"Électrostatique: les phénomènes et leurs implications industrielles."  
Revue Générale de l'Électricité N°10, pp. 63-67, Novembre 1991.
- [FES.] J. P. FESTE  
"Des circuits pour obtenir du 3,3V à partir de 5V ou plus."  
Électronique N°29, pp. 50-51, Juin 1993.
- [FOU.] E. FOURGEAU  
"Analyse de Compatibilité Électromagnétique. Une approche originale à base de règles..."  
Électronique, Techniques et Industries N° 105, pp. 29-32, Novembre-Décembre 1993.  
Dossier de Presse "EMC Adviser" distribué lors des masters de HP de janvier 1994.
- [GAB.] R. GABILLARD  
"Réflexions sur l'applicabilité aux modes de transports nouveaux de l'étude de la sécurité dans les modes actuels du BCEOM."  
Second rapport du contrat n°7300035 conclu entre l'université des Sciences et Techniques de Lille et le Ministère des Transports, Mai 1974.
- [GHA. 1] H. GHADAMABADI & J.J. WHALEN  
"Semi-automatic collection of demodulation EMI statistics in analog microelectronics."  
7<sup>th</sup> International Zurich Symposium and Technical Exhibition, Session 111R2, pp. 601-605, March 1987.
- [GHA. 2] H. GHADAMABADI & J.J. WHALEN  
"Semi-automatic measured statistics for demodulation RFI in inverting operational amplifier circuits with and without suppression capacitors."  
IEEE National Symposium on EMC, Session 6D, pp. 418-425, May 89.
- [GOL.] G. GOLDBERG  
"Vue d'ensemble sur les normes relatives à la compatibilité électromagnétique."  
L'Onde Électrique, Vol. 69 N°2, pp. 42-48, Mars-Avril 1989.
- [GRO.] C. GROSS  
"Le placement-routage intègre les contraintes électriques."  
Électronique N°18, pp 21-22, Mai 1992.
- [GUE.] P. GUEULLE  
"Les composants durcis contre les radiations."  
Électronique Radio Plans 531, pp. 33-36; Février 1992.
- [HAL.] P. HALLEUX  
"Un outil EDA pour la CEM."  
Industronic, 1 page, Septembre 1993.  
Dossier de Presse "EMC Adviser" distribué lors des masters de HP de janvier 1994.
- [HAM.] J. HAMELIN  
"Sources de bruit naturel."  
Chapitre 2 du livre de P. DEGAUQUE et J. HAMELIN  
"Compatibilité électromagnétique : bruits et perturbations radioélectriques."  
Édition Dunod, ISBN n° 2-04-018807-X.
- [HED. M] M. HEDDEBAUT  
"Influence des perturbations électromagnétiques sur le fonctionnement de cartes sécuritaires de dispositifs de conduite automatisée de métros."  
4<sup>ème</sup> colloque et exposition sur la CEM, Session H-1 (6pages), Juin 1987.

- [HED. B] B. HEDDEBAUT  
 "Étude phénoménologique et modélisation du comportement de fonctions logiques élémentaires TTL et CMOS soumises à des perturbations induites par couplages électromagnétiques."  
 Thèse de Doctorat, N° 972, 145 pages, USTL, Septembre 1992.
- [HEW.] HEWLETT PACKARD  
 "Designing For Electromagnetic Compatibility."  
 Student Workbook, Course No. HP 11949A, édité en 1989.
- [JAO.] A. JAOUAD  
 "Contribution des algorithmes utilisés pour la modélisation de dispositifs électroniques par le méthode des éléments finis."  
 Thèse de 3<sup>ième</sup> cycle, Montpellier 2, 1985.
- [JAS.] H. JASIK  
 "Fundamentals of Antennas."  
 Chapitre 2 du livre de R. C. JOHNSON et H. JASIK  
 "Antenna Engineering Handbook."  
 Seconde édition, ISBN 0-07-032291-0, The Kingsport Press, 1984.
- [KEN.] D. J. KENNEALLY, D. S. KOELLEN & S. EPSHTEIN  
 "RF upset susceptibilities of CMOS and low power Schottky D-type, Flip-Flops."  
 IEEE National Symposium on EMC, Session 4B, pp. 190-195, Denver, May 89.
- [KLI. 1] M. KLINGLER  
 "Étude phénoménologique de la sensibilité électromagnétique de composants électroniques logiques implantés sur circuits imprimés."  
 Thèse de Doctorat, N° 988, 244 pages, USTL, Octobre 1992.
- [KLI. 2] M. KLINGLER, M. SZELAG, C. MARÉCHAL & M. HEDDEBAUT  
 "Compatibilité électromagnétique des composants logiques intégrés."  
 Colloque International Convergence 93 Aéronautique et Automobile, 16 pages, Décembre 1993.
- [KLI. 3] M. KLINGLER, M. SZELAG et M. HEDDEBAUT  
 "Méthode d'injection permettant de reproduire la distribution de courant sur une ligne de transmission produite par une onde plane."  
 7<sup>ième</sup> colloque international et exposition sur la compatibilité électromagnétique, pp. 457-462, Toulouse, Mars 1994.
- [KUM.] G. KUMAR et B. SORENSEN  
 "SPICE analyse l'intégrité du signal."  
 Électronique N°29, Juin 1993.
- [LAB.] G. LABAUNE, J.P. APARICIO, S. BLASQUEZ et P. CUSSAC  
 "Caractérisation des connecteurs vis à vis de l'émission et de la susceptibilité rayonnées."  
 6<sup>ième</sup> colloque International et Exposition sur la Compatibilité Électromagnétique, pp. 238-244, École Centrale de Lyon, Juin 1992.
- [LARD.] C. LARDE  
 "Étude expérimentale du comportement des circuits intégrés logiques soumis à des perturbations électromagnétiques."  
 Thèse de Doctorat, N° 834, 100 pages, USTLFA, Décembre 1991.



- [LARO.] R. LAROUCSI and G. I. COSTACHE  
 "Finite-Element Method Applied to EMC Problems."  
 IEEE Transactions on Electromagnetic Compatibility, Volume 35, N°2, pp. 178-184, May 1993.
- [LARS.] C. E. LARSON and J. M. ROE  
 "A Modified Ebers-Moll Transistor Model For RF-Interference Analysis."  
 IEEE Transactions on Electromagnetic Compatibility, Vol.EMC-21, N°4, pp. 283-290, November 1979.
- [LAU.] J. J. LAURIN, S. G. ZAKY and K. G. BALMAIN  
 "EMI induced delays in digital circuits : Prediction."  
 IEEE 1992 Symposium on Electromagnetic Compatibillity, pp. 443-448 , (Anaheim, CA), August 1992.
- [LE G.] Y. LE GUILLOU  
 "Pénétration dans les structures tridimensionnelles et couplages."  
 Chapitre 9 du livre de P. DEGAUQUE et J. HAMELIN  
 "Compatibilité électromagnétique : bruits et perturbations radioélectriques."  
 Édition Dunod, ISBN n° 2-04-018807-X.
- [LEO.] J. Y. LÉOST  
 "Les perturbations à basse fréquence de l'alimentation électrique."  
 Revue Générale de l'Électricité N°10, pp. 37-42, Novembre 1991.
- [LER.] J. L. LERAY  
 "Développement et utilisation des composants électroniques soumis à un environnement radiatif. Des composants durcis : où, quand, comment? Une communauté au service de l'industrie."  
 L'Onde Électrique, Vol. 73 - N°6, pp. 70-71, Novembre-Décembre 1993.
- [LEU.] P. LEUCHTMANN and F. BOMHOLT  
 "Field Modeling with the MMP Code."  
 IEEE Transactions on Electromagnetic Compatibility, Volume 35, N°2, pp. 170-177, May 1993.
- [LI] K. LI, C. F. LEE, S. Y. POH, R. T. SHIN and J. A. KONG.  
 "Application of FDTD Method to Analysis of Electromagnetic Radiation from VLSI Heatsink Configurations."  
 IEEE Transactions on Electromagnetic Compatibility, Volume 35, N°2, pp. 204-214, May 1993.
- [LOU. 1] R. LOUKIL  
 "Le logiciel qui contre les perturbations électromagnétiques."  
 Industries & Techniques N°742, page 78, Octobre 1993.  
 Dossier de Presse "EMC Adviser" distribué lors des masters de HP de janvier 1994.
- [LOU. 2] R. LOUKIL  
 "Compatibilité électromagnétique des produits. Attention aux normes!"  
 Industries et Techniques N°746, page 31, Février 1994.
- [MAI.] X. MAILLY  
 "Étude de la susceptibilité électromagnétique d'un circuit élémentaire dans la gamme 200 MHz - 1 GHz."  
 Rapport de DEA, USTL-LRPE, Juillet 1992.

- [MARD.] M. MARDIGUIAN  
 "Pannes causées par les décharges électrostatiques. (Étude du phénomène et de ses conséquences sur le fonctionnement des ordinateurs)."  
 2<sup>ème</sup> colloque national et exposition sur la C.E.M., Juin 1983.
- [MARE. 1] C. MARECHAL  
 "Les effets d'une décharge orageuse sur un faisceau de câbles intra-véhicule."  
 Rapport de DEA USTLFA-LRPE, Octobre 1991.
- [MARE. 2] C. MARECHAL  
 "Traitement statistique des erreurs qui apparaissent sur des systèmes électroniques soumis à une perturbation électromagnétique."  
 Rapport GRRT-INRETS, décembre 1990.
- [MARE. 3] C. MARECHAL  
 "Étude de l'impact d'une perturbation électromagnétique sur le fonctionnement de composants logiques électroniques."  
 Deuxième conférence des jeunes chercheurs en génie électrique, Grenoble, Avril 1994.
- [MARE. 4] C. MARECHAL, M. KLINGLER, M. SZELAG & M. HEDDEBAUT  
 "Analyse et étude statistique du comportement de composants logiques soumis à une perturbation sinusoïdale."  
 Symposium International sur l'Innovation Technologique dans les Transports Guidés (ITTG 93), Lille, 28-30 septembre 1993.
- M. KLINGLER, M. SZELAG, C. MARECHAL & M. HEDDEBAUT  
 "Compatibilité électromagnétique des composants logiques intégrés."  
 Colloque International Convergence 93 Aéronautique et Automobile, 16 pages, Décembre 1993.
- M. SZELAG, M. KLINGLER, C. MARECHAL, M. HEDDEBAUT  
 & M. BERBINEAU  
 "Foudre et Automobile - Effet d'une décharge orageuse à proximité d'un système de communication embarqué."  
 Revue RTS (Recherche Transport Sécurité).
- S. FICHEUX, M. SZELAG, M. KLINGLER, C. MARECHAL, M. BERBINEAU  
 & M. HEDDEBAUT  
 "Susceptibilité des systèmes électroniques embarqués à bord de véhicules automobiles aux perturbations électromagnétiques."  
 Conférence SATCAR, Clermont 1991.
- [MEN.] A. MENDES  
 "Pour un bon fonctionnement des matériels: l'opinion du distributeur d'énergie."  
 Revue Générale de l'Électricité N°10, pp. 9-11, Novembre 1991.
- [MIC. 1] MICROSIM CORPORATION  
 "The Design Center : Circuit Analysis Reference Manual."  
 601 pages, Version 5.4, July 1993.
- [MIC. 2] MICROSIM CORPORATION  
 "The Design Center : Application Notes Manual."  
 124 pages, Version 5.4, July 1993.
- [MOT.] MOTOROLA  
 "CMOS Logic Data 1990"

- [NIC.] G. NICOLAS et C. MASSIT  
 "Évolution des technologies d'interconnexion et d'encapsulation des composants électroniques."  
 L'Onde Électrique, Vol. 73 N°6, pp. 48-54, Novembre-Décembre 1993.
- [NIE.] D. NIEBUR, M. IANOZ et Y. DIJAMATOVIC  
 "Un système expert appliqué aux problèmes de couplage champ - conducteur."  
 5<sup>ème</sup> colloque International et Exposition sur la Compatibilité Électromagnétique, Session H-2, 6 pages, Evian, Septembre 1989.
- [OMI.] S. R. OMICK and S. P. CASTILLO  
 "A New Finite-Difference Time-Domain Algorithm for the Accurate Modeling of Wide-Band Electromagnetic Phenomena."  
 IEEE Transactions on Electromagnetic Compatibility, Volume 35, N°2, pp. 215-222, May 1993.
- [PAP.] A. PAPPAIANNI et G. L. SOLBIATI  
 "ALT : Un logiciel pour l'étude du couplage entre lignes."  
 5<sup>ème</sup> colloque International et Exposition sur la Compatibilité Électromagnétique, Session H-4, 5 pages, Evian, Septembre 1989.
- [PAR.] O. PARDON-GIBSON  
 "Étude et simulation temporelle de la susceptibilité électromagnétique de systèmes interconnectés."  
 Thèse de Doctorat N° ECL 87-19, 137 pages, École Centrale de Lyon, Septembre 1987.
- [PAR.] J. P. PARMANTIER  
 "Approche topologique pour l'étude des couplages électromagnétiques."  
 Thèse de l'Université des Sciences et Technologies de Lille, Décembre 1991.
- [PEN.] J. PENG, C. A. BALANIS and G. C. BARBER  
 "NEC and ESP Codes: Guidelines, Limitations, and EMC Applications."  
 IEEE Transactions on Electromagnetic Compatibility, Volume 35, N°2, pp. 124-133, May 1993.
- [PER.] S. PEREZ  
 "CAD 5220. Une seconde génération du logiciel interactif de susceptibilité électromagnétique."  
 5<sup>ème</sup> colloque International et Exposition sur la Compatibilité Électromagnétique, Session H-5, 5 pages, Evian, Septembre 1989.
- [PIP.] J. PIPONNIER  
 "Gestion du spectre des fréquences et réglementation des radiocommunications."  
 Chapitre 5 du livre de P. DÉGAUQUE et J. HAMELIN  
 "Compatibilité électromagnétique : bruits et perturbations radioélectriques."  
 Édition Dunod, ISBN n° 2-04-018807-X.
- [RAU. 1] J. C. RAULT  
 "Conception assistée par ordinateur."  
 Techniques de l'ingénieur, Vol. E3-II, (E 3905 ), éditées par ISTR, Décembre 1990.
- [RAU. 2] J. C. RAULT  
 "Construction assistée par ordinateur."  
 Techniques de l'ingénieur, Vol. E3-II, (E 3980), éditées par ISTR, Décembre 1990.
- [RIS.] A. RISBOURG  
 "Électronique. Hyperfréquences."  
 Cours photocopié de l'université de Lille I, U.E.R. I.E.E.A.

- [ROQ.] F. ROQUES  
"Simulation numérique applicable au rayonnement des satellites."  
L'onde Électrique, Vol. 72 N°6, pp. 25-28; Novembre-Décembre 1992.
- [ROUC.] G. ROUCOUSE  
"Sûreté des automatismes."  
Centre Technique des Industries Mécaniques (CETIM), 139 pages, ISBN 2-85400-205-5, 1992.
- [ROUI.] N. E. ROUISSI  
"Susceptibilité électrique transverse d'une jonction PN."  
Doctorat de 3<sup>ième</sup> cycle, Besançon, 1985.
- [SAB.] E. SABONNADIÈRE, D. COLOMBANI, P. AURIOL et A. NICOLAS  
"L'utilisation des techniques de la CAO pour le calcul des perturbations CEM."  
5<sup>ième</sup> colloque International et Exposition sur la Compatibilité Électromagnétique, Session H-3, 4 pages, Evian, Septembre 1989.
- [SEL.] P. SELTNER, O. PARDO-GIBSON et P. AURIOL  
"Les parasurtensions dans la simulation temporelle des perturbations électromagnétiques."  
5<sup>ième</sup> colloque International et Exposition sur la Compatibilité Électromagnétique, Session H-1, 6 pages, Evian, Septembre 1989.
- [S. D.] S. D.  
"La CAO se penche sur la CEM."  
Électronique Internationale, 1 page, Septembre 1993.  
Dossier de Presse "EMC Adviser" distribué lors des masters de HP de janvier 1994.
- [SLA.] A. SLADE interrogé par C. GROSS  
"La CEM des cartes est à la portée de tous."  
Électronique N°31, pp. 34-36, Octobre 1993.  
Dossier de Presse "EMC Adviser" distribué lors des masters de HP de janvier 1994.
- [SML.] G. S. SMITH  
"Loop Antennas."  
Chapitre 5 du livre de R. C. JOHNSON et H. JASIK  
"Antenna Engineering Handbook."  
Seconde édition, ISBN 0-07-032291-0, The Kingsport Press, 1984.
- [STE.] J. M. STELLATO et R. V. GARVER  
"Survey of the state of the art of electrical transient upset in digital circuits."  
IEEE International Symposium On Electromagnetic Compatibility, Session 6C, pp. 505-506, San Diego, CA, Septembre 1986.
- [TAI.] F. TAILLIET  
"Étude des protections contre les décharges électrostatiques sur les technologies MOS".  
TH. DOCT., N° 91ISAL0021, INSA Lyon; 1991.
- [TEL.] TELECOM  
"Règlement des radiocommunications."  
Édition de 1982 révisée en 1985 et 1986.
- [TEX.] Texas Instrument  
"The TTL Data Book Volume 2 1985 : Advanced Low-Power Schottky, Advanced Schottky."  
ISBN 3-88078-056-0 Ninth European Edition.

- [TIR.] P. A. TIRKAS, C. A. BALANIS, M. P. PURCHINE and G. C. BARBER  
"Finite-Difference Time-Domain Method for Electromagnetic Radiation, Interference, and Interaction with Complex Structures."  
IEEE Transactions on Electromagnetic Compatibility, Volume 35, N°2, pp. 192-203, May 1993.
- [TRO. 1] J. G. TRONT  
"RFI Susceptibility Evaluation of VLSI Logic Circuits."  
9<sup>th</sup> International Zurich Symposium on EMC, Session 81L5, pp 425-429, March 1991.
- [TRO. 2] J. G. TRONT  
"Predicting URF Upset of MOSFET Digital IC's."  
IEEE Transactions on Electromagnetic Compatibility, Vol. EMC-27, N°2, pp. 64-69, May 1985.
- [VIL.] A. VILLEMEUR  
"Sûreté de fonctionnement des systèmes industriels. Fiabilité - Facteurs humains - Informatisation"  
Collection de la direction des études et recherches d'électricité de France, Éditions Eyrolles, ISSN 0399-4198, 1988.
- [WHA. 1] J. J. WHALEN, J. G. TRONT, C. E. LARSON and J. M. ROE  
"Computer-Aided Analysis of RFI Effects in Digital Integrated Circuits."  
IEEE Transactions on Electromagnetic Compatibility, Vol. EMC-21, N°4, pp. 291-297, November 1979.
- [WHA. 2] J. J. WHALEN  
"Demodulation RFI statistics for a 3-stage OP Amp led circuit."  
7<sup>th</sup> International Zurich Symposium & Technical Exhibition, Session 115R6, pp. 623-628, March 1987.
- [YOU.] A. M. YOUSSEF  
"Nouvelles technologies de protections contre les radiations et de contrôle thermique, intégrées dans la technologie hybride. Application aux circuits hybrides de l'expérience Staff du projet Cluster de l'agence spatiale européenne."  
TH. DOCT., N° 91 ECAP 0223, ECP, 1991.

## **Annexe du chapitre I.....A-1**

<b>A.I.1. LES ORGANISMES DE NORMALISATION. ....</b>	<b>A-1</b>
Introduction.....	A-1
A.I.1.1. Gestion du spectre de fréquences au niveau international.....	A-1
A.I.1.2. Gestion du spectre de fréquences en France.....	A-2
A.I.1.3. Protection des équipements contre les perturbations de toute nature.....	A-3
A.I.1.3.1. Organismes internationaux de portée générale.....	A-3
A.I.1.3.2. Organismes internationaux spécialisés.....	A-4
A.I.1.3.3. Organismes nationaux.....	A-4
<b>A.I.2. MESURES DE PROTECTION ET PRÉCAUTIONS CONTRE LES DÉCHARGES ÉLECTROSTATIQUES. ....</b>	<b>A-5</b>

## **Annexe du chapitre III..... A-7**

<b>A.III.1. ORGANIGRAMME DU PROGRAMME D'ACQUISITION ET EXEMPLE DE CARACTÉRISATION D'UN SIGNAL PERTURBÉ. ....</b>	<b>A-7</b>
A.III.1.1. Organigramme du programme d'acquisition.....	A-7
A.III.1.2. Caractérisation des défauts statiques sur les états logiques : exemple. ....	A-8
<b>A.III.2. DESSINS DES DIFFÉRENTES CARTES IMPRIMÉES.....</b>	<b>A-9</b>
A.III.2.1. Cartes imprimées pour lesquelles une perturbation par le biais de l'alimentation a été observée. ....	A-9
A.III.2.2. Cartes imprimées dont les pistes de référence côté composants sont directement connectées par traversées au plan de masse. ....	A-10
A.III.2.2.1. Dispositif sous test de base. ....	A-10
A.III.2.2.2. Étude de la propagation des défauts sur niveaux. ....	A-10
A.III.2.2.3. Étude de la propagation des défauts lorsque l'information est sur les transitions logiques. ....	A-11

<b>A.III.3. RÉSULTATS STATISTIQUES ET GRAPHES DONNANT LA RÉPARTITION DES ÉCHANTILLONS SELON LA TENSION POUR LE DISPOSITIF SOUS TEST DE BASE.....</b>	<b>A-13</b>
A.III.3.1. Technologie CMOS-HC et CMOS-HCU .....	A-13
A.III.3.2. Technologie TTL-LS et TTL-ALS. ....	A-22
A.III.3.3. Technologie TTL-AS et TTL-F. ....	A-28
<b>A.III.4. RÉSULTATS STATISTIQUES ET GRAPHES DONNANT LA RÉPARTITION DES ÉCHANTILLONS SELON LA TENSION LORSQU'UN INVERSEUR EST AJOUTÉ EN SORTIE DU DISPOSITIF SOUS TEST DE BASE. ....</b>	<b>A-33</b>
A.III.4.1. Technologie CMOS-HC. ....	A-33
A.III.4.2. Technologie TTL-LS et TTL-ALS. ....	A-38
A.III.4.3. Technologie TTL-AS et TTL-F. ....	A-43
<b>A.III.5. PRÉCAUTIONS À PRENDRE LORS DE L'INTERPRÉTATION DES GRAPHES VISUALISANT LES EXTREMUMS DE TENSION ENTRE LESQUELS LES NIVEAUX PERTURBÉS VARIENT.....</b>	<b>A-48</b>
<b>A.III.6. ASSOCIATION DE DIFFÉRENTES TECHNOLOGIES.....</b>	<b>A-51</b>
A.III.6.1. Niveau haut en entrée. ....	A-51
A.III.6.1.1. Technologie TTL-LS en sortie. ....	A-51
A.III.6.1.2. Technologie TTL-ALS en sortie. ....	A-54
A.III.6.1.3. Comportement particulier lorsque le composant d'entrée est de technologie TTL-AS et le composant de sortie de technologie TTL-LS ou TTL-ALS. ....	A-57
A.III.6.1.4. Technologie TTL-AS en sortie. ....	A-58
A.III.6.1.5. Technologie TTL-F en sortie. ....	A-60
A.III.6.1.6. Technologie TTL-S en sortie. ....	A-63
A.III.6.1.7. Technologie CMOS-HC en sortie. ....	A-66
A.III.6.1.8. Technologie CMOS-HCU en sortie. ....	A-67
A.III.6.2. Niveau bas en entrée. ....	A-68
A.III.6.2.1. Technologie TTL-LS en sortie. ....	A-68
A.III.6.2.2. Technologie TTL-ALS en sortie. ....	A-69
A.III.6.2.3. Technologie TTL-AS en sortie. ....	A-70
A.III.6.2.4. Technologie TTL-F en sortie. ....	A-72
A.III.6.2.5. Technologie TTL-S en sortie. ....	A-74
A.III.6.2.6. Technologie CMOS-HC en sortie. ....	A-76
A.III.6.2.7. Technologie CMOS-HCU en sortie. ....	A-77

<b>A.III.7. PROPAGATION DES DÉFAUTS SUR NIVEAUX.....</b>	<b>A-78</b>
A.III.7.1. Technologie TTL-LS. ....	A-78
A.III.7.2. Technologie TTL-ALS .....	A-80
A.III.7.3. Technologie TTL-AS.....	A-81
A.III.7.4. Technologie TTL-F.....	A-84
A.III.7.5. Technologie TTL-S.....	A-86
A.III.7.6. Technologie CMOS-HC .....	A-87
A.III.7.7. Technologie CMOS-HCU .....	A-88

## **Annexe du chapitre V. ....A-91**

<b>A.V.1 DESCRIPTION DU SYSTÈME ANTISURVITESSE DU MÉTRO VAL.....</b>	<b>A-91</b>
A.V.1.1. Principe de la sécurité antisurvitresse. ....	A-91
A.V.1.2. Sécurité Antisurvitresse Programme Normal et Programme Perturbé.....	A-92
<b>A.V.2. ÉTUDE DE LA CARTE ERS RÉALISÉE AU LABORATOIRE. ....</b>	<b>A-95</b>
A.V.2.1. Différences entre la carte d'origine et la carte reproduite au laboratoire. ....	A-95
A.V.2.2. Compléments d'informations concernant l'étude de la sensibilité par conduction de la carte. ....	A-96



# Annexe du chapitre I.

## A.I.1. LES ORGANISMES DE NORMALISATION.

### Introduction

L'augmentation des échanges commerciaux au niveau mondial et l'utilisation croissante de l'électronique à tous les niveaux amènent les pays à définir ou à redéfinir les normes CEM. Nous présentons dans ce sous chapitre les différents organismes chargés de définir ou de faire appliquer ces normes.

#### A.I.1.1. Gestion du spectre de fréquences au niveau international

La première mesure prise par les gouvernements pour éviter les interférences électromagnétiques a consisté à allouer une plage de fréquences pour chaque application. "Sur le plan international, la gestion du spectre de fréquences repose avant tout sur les règles établies par l'Union Internationale des Télécommunications (UIT)<sup>1</sup> ." Fondée à Paris en 1865 sous le nom de l'Union Télégraphique Internationale, cet organisme prend le nom d'UIT en 1932 et devient après la seconde guerre mondiale, une agence spécialisée des Nations Unies. Tous les cinq ans, les cent cinquante pays membres élisent les quarante et un pays qui forment le conseil d'administration et supervisent la gestion de l'UIT.

La gestion des fréquences sur le plan international est assurée par le Comité international d'enregistrement des fréquences (IFRB, "International Frequency Register Board"), organisme permanent de l'UIT constitué de cinq pays membres.

"Au sein de l'UIT, il existe deux comités consultatifs internationaux qui sont des organismes essentiellement techniques. Le Comité Consultatif International des Radiocommunications (CCIR) est chargé d'effectuer des études et d'émettre des recommandations sur des questions techniques et d'exploitation se rapportant spécifiquement aux radiocommunications." Le Comité Consultatif International Télégraphique et Téléphonique (CCITT) maintenant appelé UIT-T a le même rôle que le CCIR mais pour les services de

---

<sup>1</sup> La source d'information et les citations des paragraphes A.I.1.1. et A.I.1.2. sont issues de [PIPONNIER].

télécommunications. "Les recommandations de ces deux comités ont une influence considérable sur la diffusion des nouvelles techniques au plan mondial."

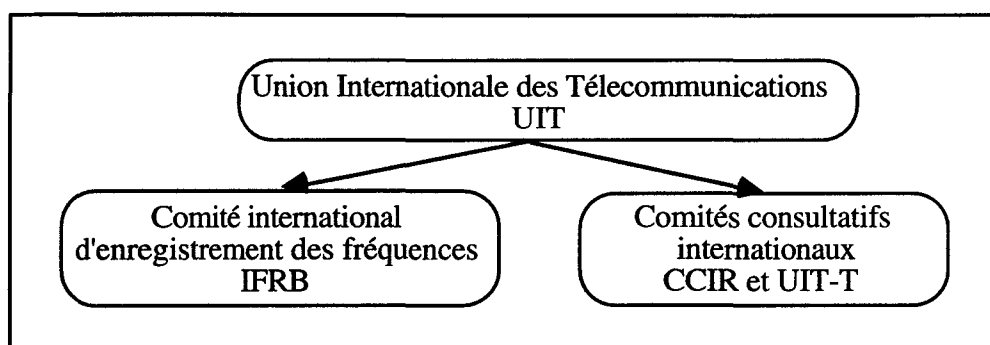


Figure A-I-1 : L'UIT est ses comités.

### A.I.1.2. Gestion du spectre de fréquences en France.

Les relations avec l'UIT sont assurées par France Télécom, sous la responsabilité du ministre chargé des Postes, Télécommunications et Espace. France Télécom utilise les travaux du Comité de Coordination des Télécommunications (CCT) pour définir sa position. Le CCT a pour charge de coordonner les actions des diverses administrations concernées par les problèmes d'exploitation de télécommunications. En matière de radiocommunications, deux comités dépendant du CCT jouent un rôle essentiel : la Commission Mixte des Fréquences (CMF), qui est responsable de la répartition des bandes de fréquences entre les utilisateurs, et la Commission d'Assignation des Fréquences (CAF) qui est responsable des assignations de fréquences. A l'exception des administrations chargées de la gestion du spectre des fréquences (figure A-I-2), le code des Postes et Télécommunications précise que toutes les stations radioélectriques sont exploitées par l'administration des postes et télécommunications où révelent de son autorité [PIPONNIER].

Les organismes présentés ci dessus visent seulement à assurer l'utilisation la plus efficace du spectre des fréquences en assurant la protection des divers systèmes les uns vis-à-vis des autres. Nous allons maintenant présenter les organismes visant à la protection des équipements contre les perturbations de toute nature.

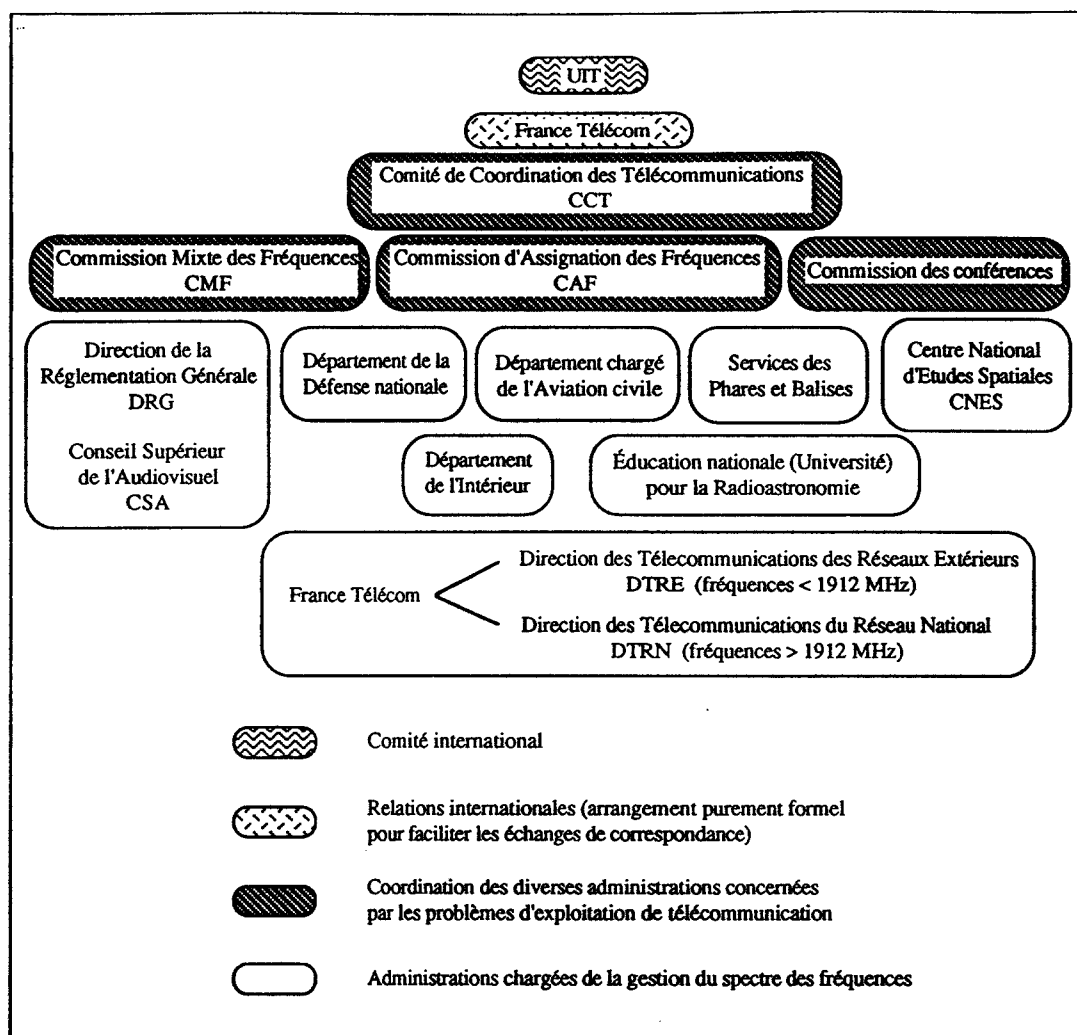


Figure A-I-2 : Gestion du spectre de fréquences en France.

### A.I.1.3. Protection des équipements contre les perturbations de toute nature.

#### A.I.1.3.1. Organismes internationaux de portée générale.

"Historiquement, c'est le CISPR (Comité International Spécial pour les Perturbations Radioélectriques), fondé en 1933 à Paris sous la forme d'un comité mixte de la Commission Electrotechnique Internationale (CEI) et de l'Union Internationale de Radiodiffusion (UIR), qui s'est préoccupé des perturbations radioélectriques, particulièrement dans le domaine des brouillages de la radiodiffusion. Le CISPR publie donc des recommandations comprenant des méthodes de mesure et des valeurs limites de perturbations radioélectriques créées par les appareils électriques ou électroniques de toute nature [PIPONNIER]." L'Union Internationale des Chemins de fer (UIC) et l'Union Internationale des Transports Publics (UITP) font partie du CISPR.

"L'ACEC est l'organisme de coordination entre les divers Comités d'Étude de la CEI et avec les nombreux autres organismes. Le CENELEC est l'organisme de normalisation électrotechnique des Communautés Européennes (CE) dont font aussi partie les pays de l'Association de Libre Echange (ALE). Il émet de façon générale des normes (d'application obligatoire) ou des documents d'harmonisation (d'application plus restreinte), en reprenant autant que possible les normes CEI ou CISPR sans les changer [GOLDBERG]." Une analyse critique et une comparaison entre les méthodes de mesure et les essais de compatibilité électromagnétiques décrits dans la publication de la CEI et dans le projet de norme européenne du CENELEC est effectuée dans [BORSERO].

#### A.I.1.3.2. Organismes internationaux spécialisés.

Outre le CCIR et l'UIT-T, nous pouvons citer parmi les organismes (para-) gouvernementaux, la Conférence Européenne des Postes et Télécommunications (CEPT) et l'Organisation Internationale de Métrologie Légale (OIML).

Des organismes "privés" ont aussi vu le jour. Les constructeurs d'ordinateurs se réfèrent à l'ECMA (European Computer Manufacturing Association). Les distributeurs d'énergie s'informent auprès de l'UNIPEDE (UNion Internationale des Producteurs Et Distributeurs d'Electricité) ou du CIGRE (Conférence Internationale des Grands Réseaux Electriques). Les constructeurs automobiles européens à l'ACEA (Association des Constructeurs Européens d'Automobiles).

#### A.I.1.3.3. Organismes nationaux.

Les Comités Électrotechniques nationaux sont les correspondants nationaux de la CEI (CEF, CES, DKE,...). Les Associations électrotechniques nationales émettent des normes dont l'application est obligatoire dans le pays concerné : UTE (France), ASE, VDE et DIN (Allemagne), BS (Angleterre), JASO (Japon), CSA (Canada), SAE et FCC (États Unis), etc.

## **A.I.2. MESURES DE PROTECTION ET PRÉCAUTIONS CONTRE LES DÉCHARGES ÉLECTROSTATIQUES.**

Les composants CMOS étant particulièrement sensibles aux décharges électrostatiques, le constructeur [MOTOROLA] donne de nombreuses mesures de protection pour éviter la détérioration des composants intégrés par un couplage direct. Nous en citons quelques unes ci-dessous.

- Tous les composants CMOS doivent être transportés et conservés jusqu'à utilisation dans du matériel antistatique. Il faut éviter de stocker les composants dans les armoires de rangement classiques dont les tiroirs sont en plastique. Mieux vaut les laisser dans leur emballage antistatique.

- Tous les composants CMOS devraient être placés sur un banc dont la surface est reliée à la masse et les utilisateurs devraient eux mêmes se connecter à la masse au moyen d'un bracelet antistatique<sup>2</sup>.

- Les circuits doivent être alimentés avant de connecter un générateur basse impédance en entrée. De même, le générateur doit être déconnecté avant d'éteindre l'alimentation.

- Toutes les entrées non utilisées seront connectées à la masse ou à l'alimentation.

- Des réseaux de protection à base de résistances ou de diodes peuvent être installés. Ces réseaux constituent par ailleurs l'étage d'entrée de tous les circuits CMOS. L'étage de sortie étant lui même protégé par des diodes<sup>3</sup>.

Nous nous arrêtons là pour la protection des circuits intégrés contre les décharges électrostatiques. D'autres précautions d'ordre générale peuvent être mises en place telles le maintien d'une humidité relative minimale ou la prohibition de certains revêtements de sol.

---

<sup>2</sup> Attention de ne pas placer le bracelet antistatique au-dessus d'un vêtement isolant.

<sup>3</sup> La plupart des familles de la technologie TTL ont aussi un réseau de diodes de protection en entrée des circuits.

# Annexe du chapitre III

## A.III.1. ORGANIGRAMME DU PROGRAMME D'ACQUISITION ET EXEMPLE DE CARACTÉRISATION D'UN SIGNAL PERTURBÉ.

### A.III.1.1. Organigramme du programme d'acquisition.

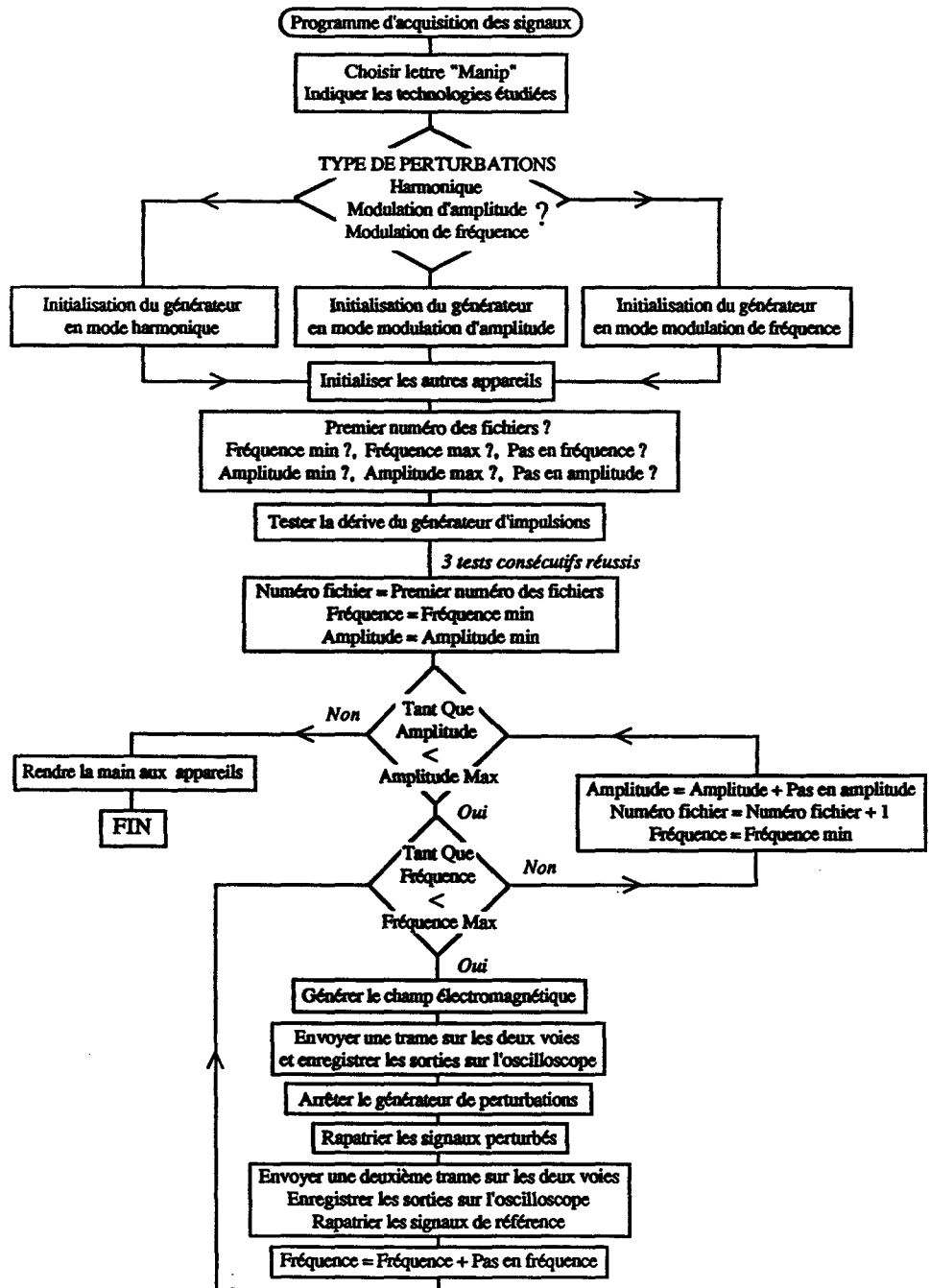
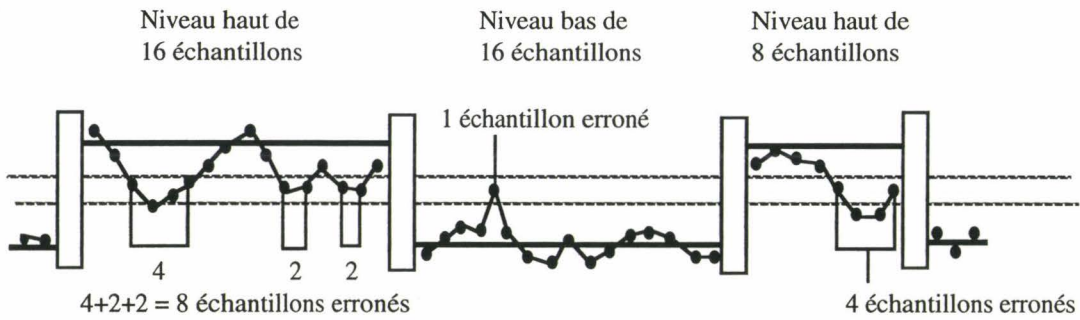


Figure A-III-1 : Organigramme du programme d'acquisition.

### A.III.1.2. Caractérisation des défauts statiques sur les états logiques : exemple.



Durée des niveaux hauts	
Nombre de niveaux hauts	Durée
1	$8 * 2,5 \text{ ns} = 20 \text{ ns}$
1	$16 * 2,5 \text{ ns} = 40 \text{ ns}$

Durée des niveaux bas	
Nombre de niveaux bas	Durée
1	$16 * 2,5 \text{ ns} = 40 \text{ ns}$

Temps pendant lequel les niveaux hauts sont erronés

Nombre de niveaux hauts	Pourcentage
2	50%

Temps pendant lequel les niveaux bas sont erronés

Nombre de niveaux bas	Pourcentage
1	$(1/16) \% = 6\%$

Nombre de défauts sur un même niveau haut	
Nombre de niveaux hauts	Nombre de défauts
1	1
1	3

Nombre de défauts sur un même niveau bas	
Nombre de niveaux bas	Nombre de défauts
1	1

Durée des défauts sur niveaux hauts en seconde

Nombre de défauts	Durée en seconde
2	$2 * 2,5 \text{ ns} = 5 \text{ ns}$
2	$4 * 2,5 \text{ ns} = 10 \text{ ns}$

Durée des défauts sur niveaux bas en seconde

Nombre de défauts	Durée en seconde
1	$1 * 2,5 \text{ ns} = 2,5 \text{ ns}$

Durée des défauts sur niveaux hauts en pourcentage de la durée du niveau sur lequel elles se trouvent

Nombre de défauts	Durée
2	$(2/16) \% = 12\%$
1	$(4/16) \% = 25\%$
1	$(4/8) \% = 50\%$

Durée des défauts sur niveaux bas en pourcentage de la durée du niveau sur lequel elles se trouvent

Nombre de défauts	Durée
1	$(1/16) \% = 6\%$

Durée des séparations entre deux défauts consécutifs situés sur un même niveau haut

Nombre de séparations	Durée en seconde
1	$1 * 2,5 \text{ ns} = 2,5 \text{ ns}$
1	$4 * 2,5 \text{ ns} = 10 \text{ ns}$

Nombre de niveaux consécutifs erronés

Nombre de fois que l'on a X niveaux consécutifs erronés	X
1	3

Figure A-III-2 : Exemple de caractérisation d'une trame constituée de trois niveaux.

## A.III.2. DESSINS DES DIFFÉRENTES CARTES IMPRIMÉES.

A.III.2.1. Cartes imprimées pour lesquelles une perturbation par le biais de l'alimentation a été observée.

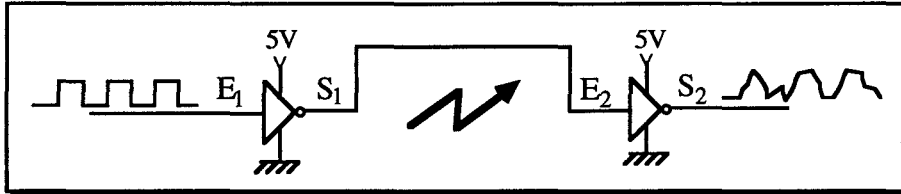


Figure A-III-3 : Schéma synoptique du dispositif sous test.

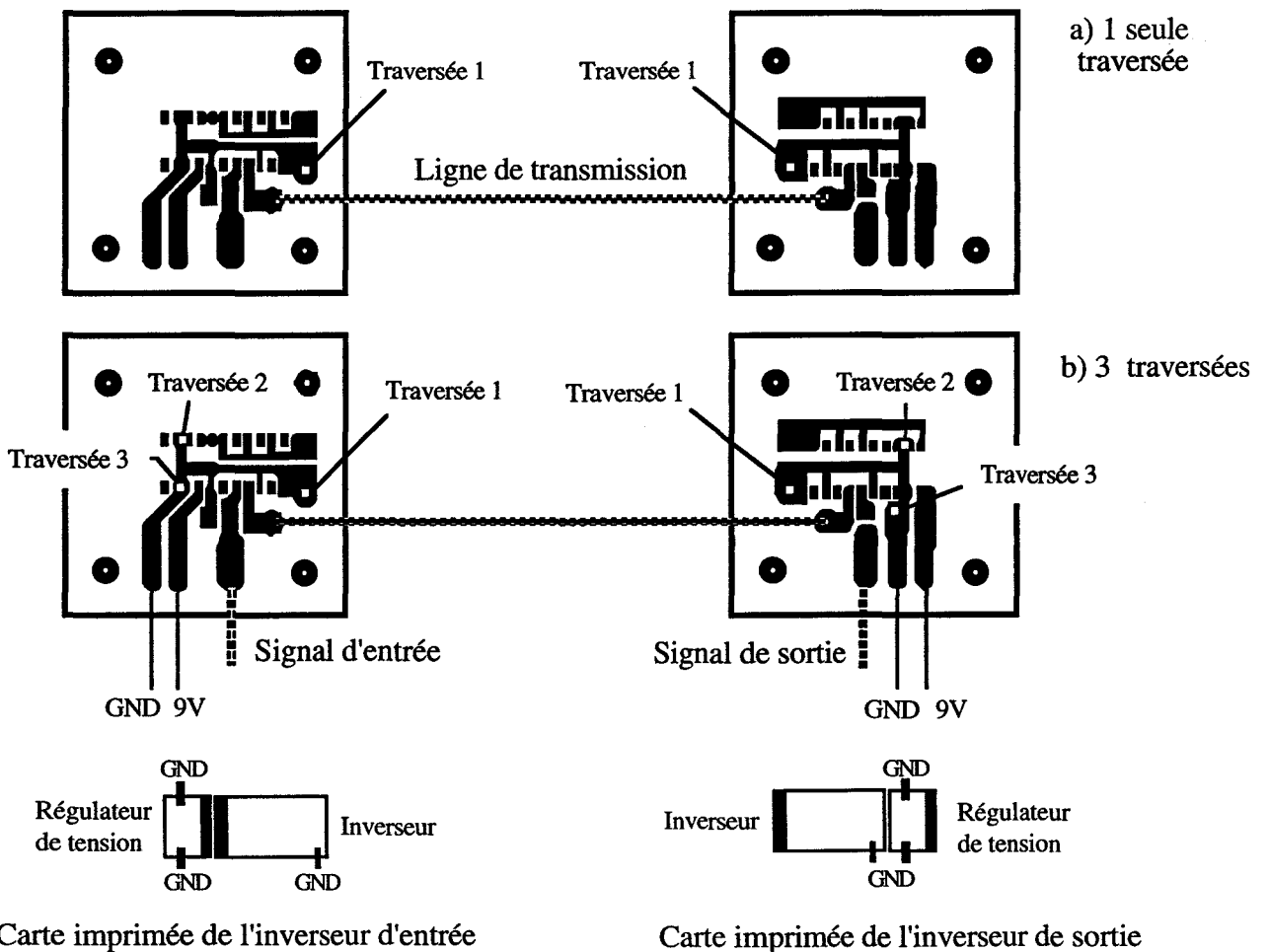


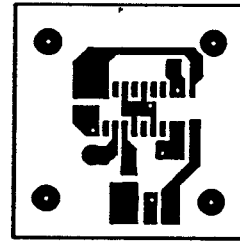
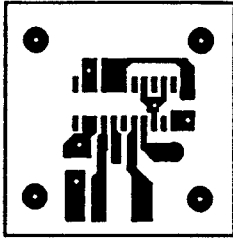
Figure A-III-4 : Dessins des cartes imprimées.(Échelle 200%).



**A.III.2.2. Cartes imprimées dont les pistes de référence côté composants sont directement connectées par traversées au plan de masse.**

A.III.2.2.1. Dispositif sous test de base.

Le schéma synoptique du dispositif sous test de base est le même que précédemment (figure A-III-3). Les nouveaux dessins des cartes imprimées utilisés pour éviter une perturbation conduite par le biais de l'alimentation sont donnés figure A-III-5.



Carte imprimée de l'inverseur d'entrée.

Carte imprimée de l'inverseur de sortie.

Figure A-III-5 : Dessins des cartes imprimées pour éviter une perturbation par l'alimentation

A.III.2.2.2. Étude de la propagation des défauts sur niveaux.

Le schéma synoptique utilisé pour étudier la propagation des défauts sur niveaux est rappelé figure A-III-6. Les dessins des cartes imprimées utilisés lorsque le troisième inverseur est situé sur le même boîtier que le second inverseur sont donnés figure A-III-7. Les dessins des cartes imprimées utilisés lorsque le troisième inverseur est situé sur un autre boîtier que le second inverseur sont donnés figure A-III-8.

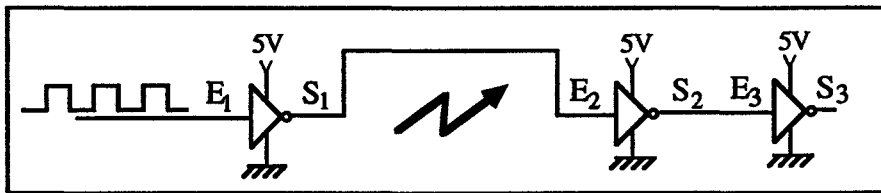
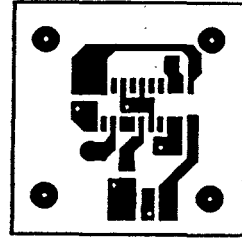
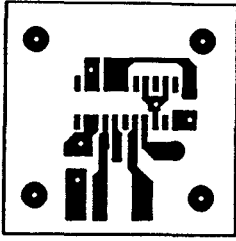


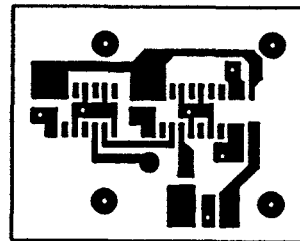
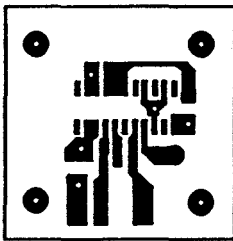
Figure A-III-6 : Schéma synoptique utilisé pour étudier la propagation des défauts.



Carte imprimée de l'inverseur d'entrée.

Carte imprimée de l'inverseur de sortie.

Figure A-III-7 : Dessins des cartes imprimées utilisés pour étudier la propagation des défauts sur niveaux lorsque le troisième inverseur est sur le même boîtier que le second inverseur.



Carte imprimée de l'inverseur d'entrée.

Carte imprimée de l'inverseur de sortie.

Figure A-III-8 : Dessins des cartes imprimées utilisés pour étudier la propagation des défauts sur niveaux lorsque le troisième inverseur n'est pas sur le même boîtier que le second inverseur.

### A.III.2.2.3. Étude de la propagation des défauts lorsque l'information est sur les transitions logiques.

Le schéma synoptique utilisé pour étudier la propagation des défauts lorsque l'information est située sur les transitions logiques est rappelé figure A-III-9. Les dessins des cartes sont donnés figure A-III-10.

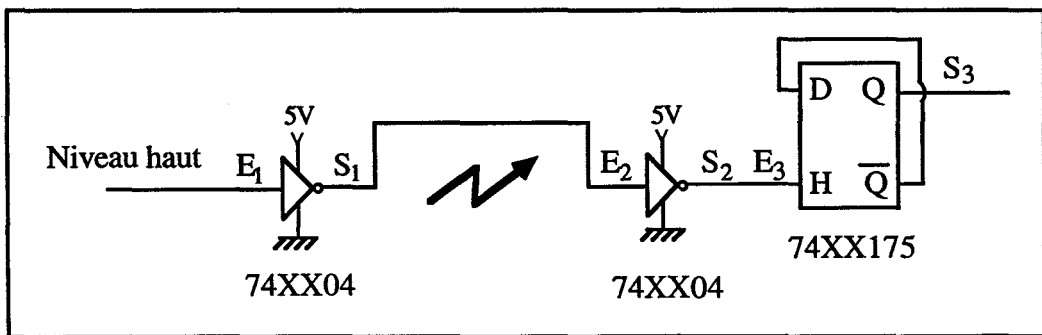
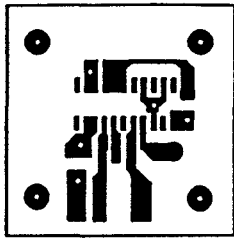
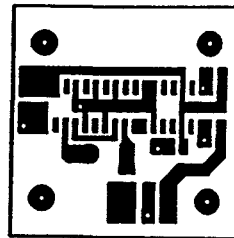


Figure A-III-9 : Schéma synoptique utilisé pour étudier la propagation des défauts lorsque l'information se situe sur les transitions logiques.



Carte imprimée de l'inverseur d'entrée.



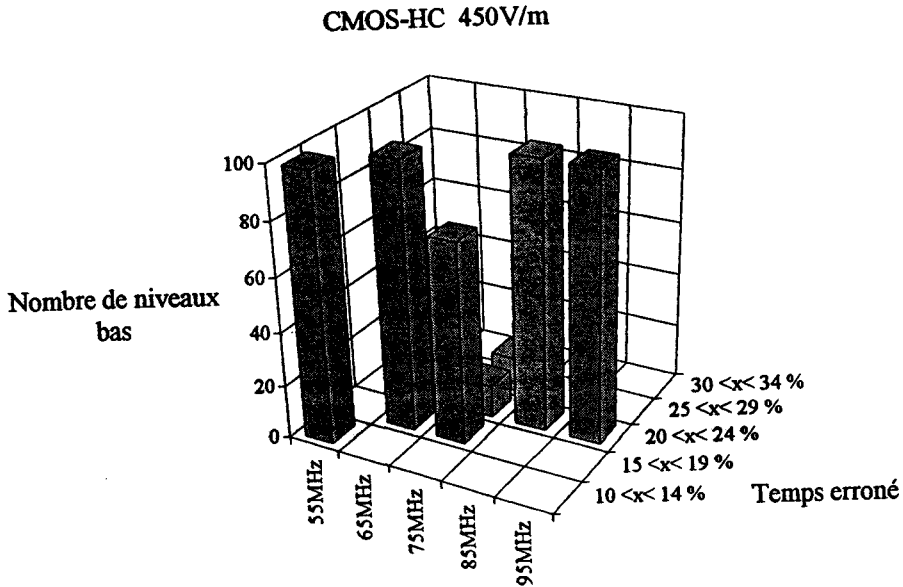
Carte imprimée en sortie.

Figure A-III-10 : Dessins des cartes imprimées utilisés pour étudier la propagation des défauts lorsque l'information se situe sur les transitions logiques.

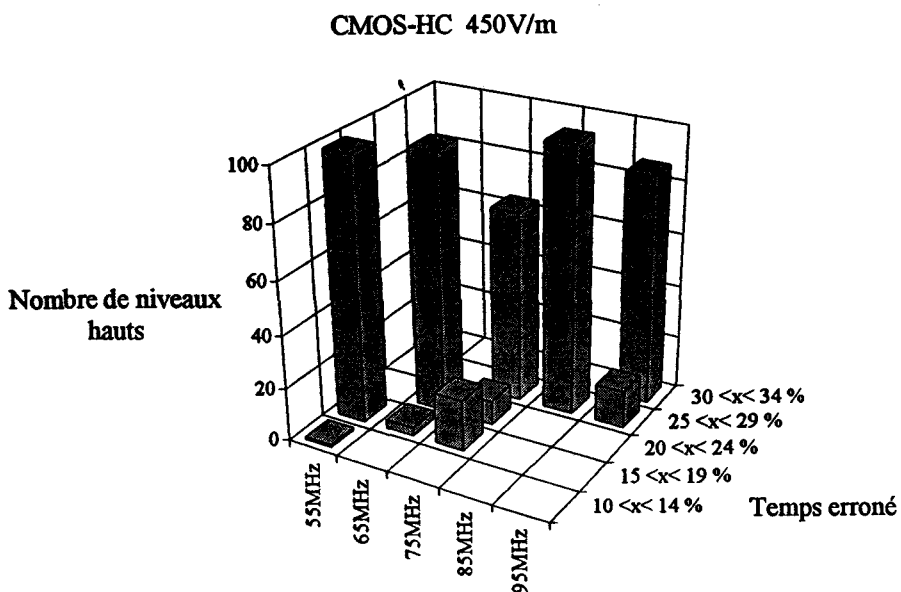
### A.III.3. RÉSULTATS STATISTIQUES ET GRAPHES DONNANT LA RÉPARTITION DES ÉCHANTILLONS SELON LA TENSION POUR LE DISPOSITIF SOUS TEST DE BASE.

Le schéma synoptique et les dessins des cartes imprimées correspondant aux résultats présentés ci-dessous sont ceux des figures A-III-3 et A-III-5.

#### A.III.3.1. Technologie CMOS-HC et CMOS-HCU

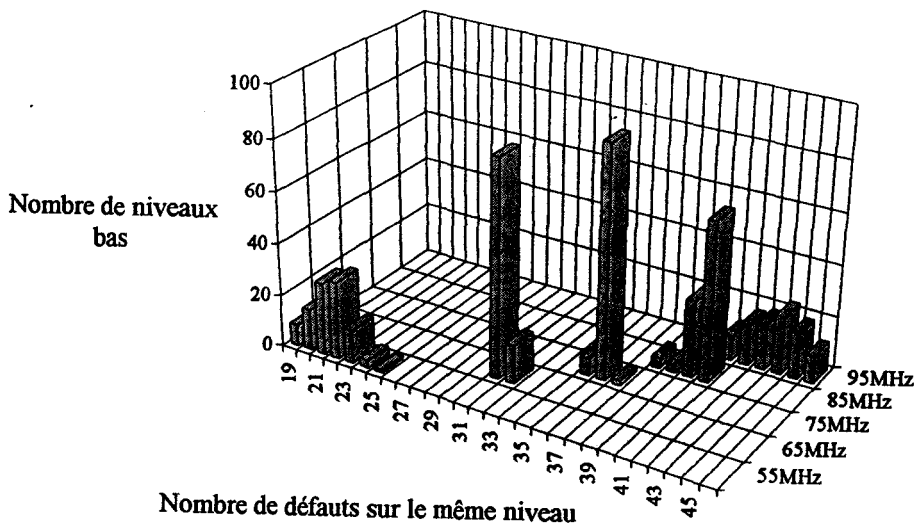


a) Niveau bas en entrée, 1 inverseur en sortie.



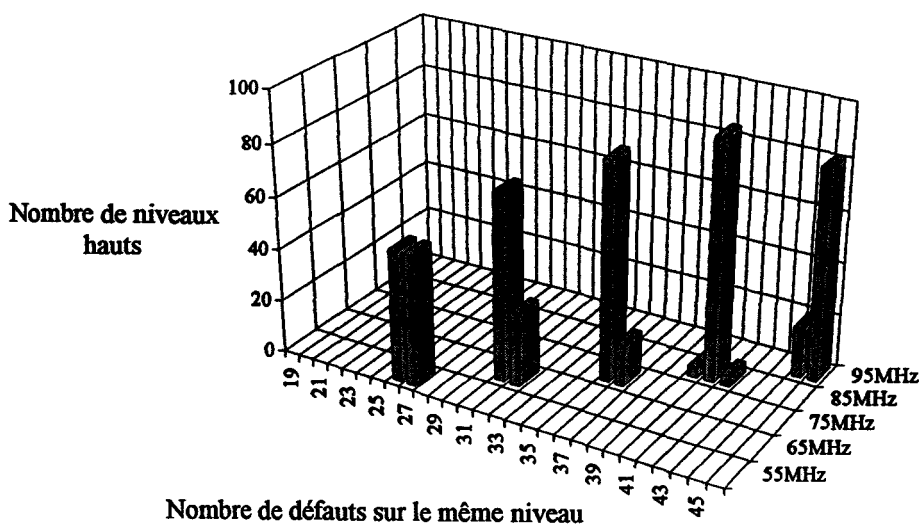
Graphes A-III-1 : Pourcentage de temps durant lequel les niveaux sont perturbés.

CMOS-HC 450V/m



a) Niveau bas en entrée, 1 inverseur en sortie.

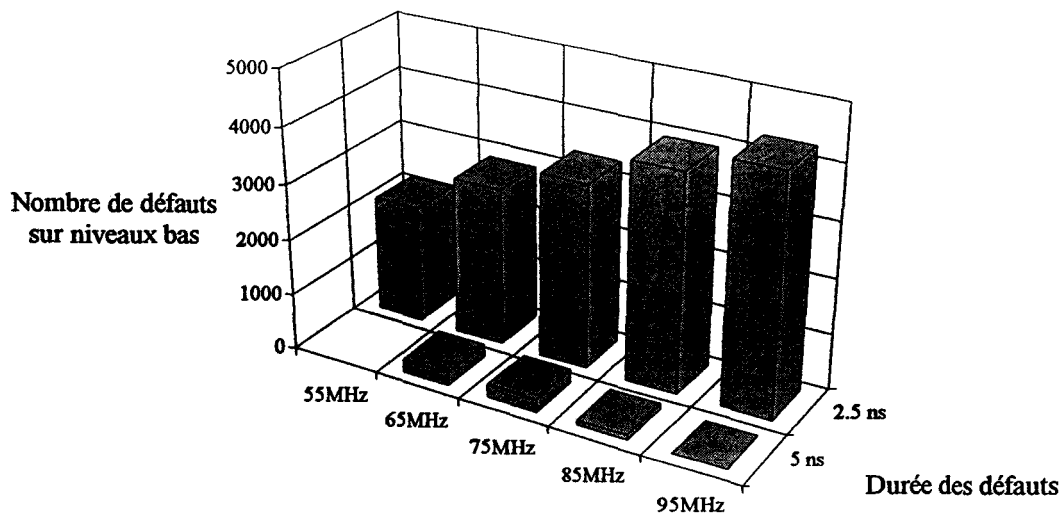
CMOS-HC 450V/m



b) Niveau haut en entrée, 1 inverseur en sortie.

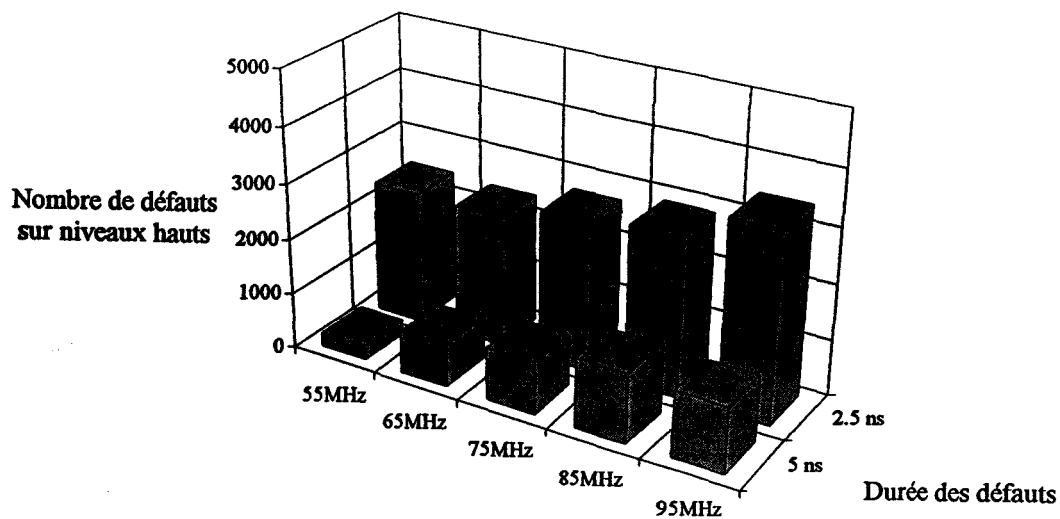
Graphes A-III-2 : Nombre de défauts sur un même niveau.

CMOS-HC 450V/m



a) Niveau bas en entrée, 1 inverseur en sortie.

CMOS-HC 450V/m

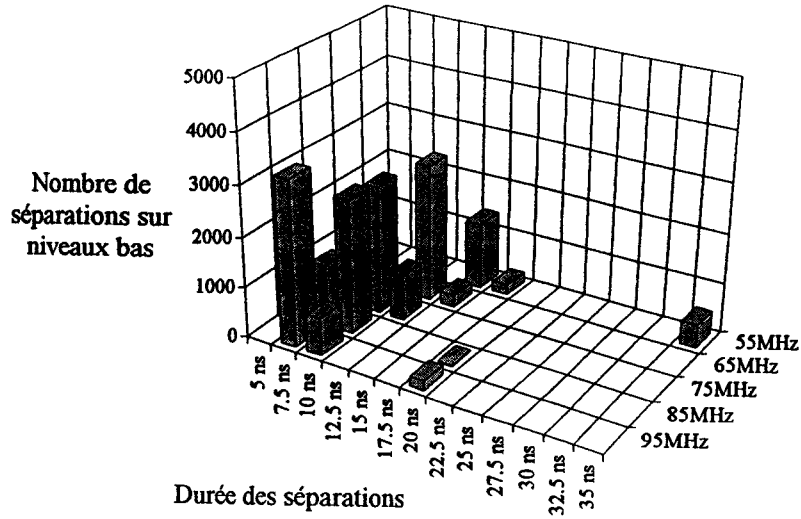


b) Niveau haut en entrée, 1 inverseur en sortie.

Graphes A-III-3 : Durée des défauts.

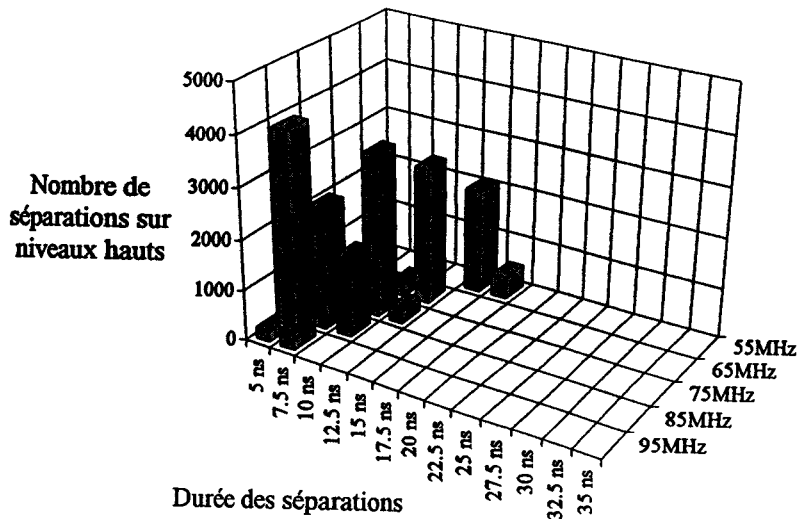


CMOS-HC 450V/m



a) Niveau bas en entrée, 1 inverseur en sortie.

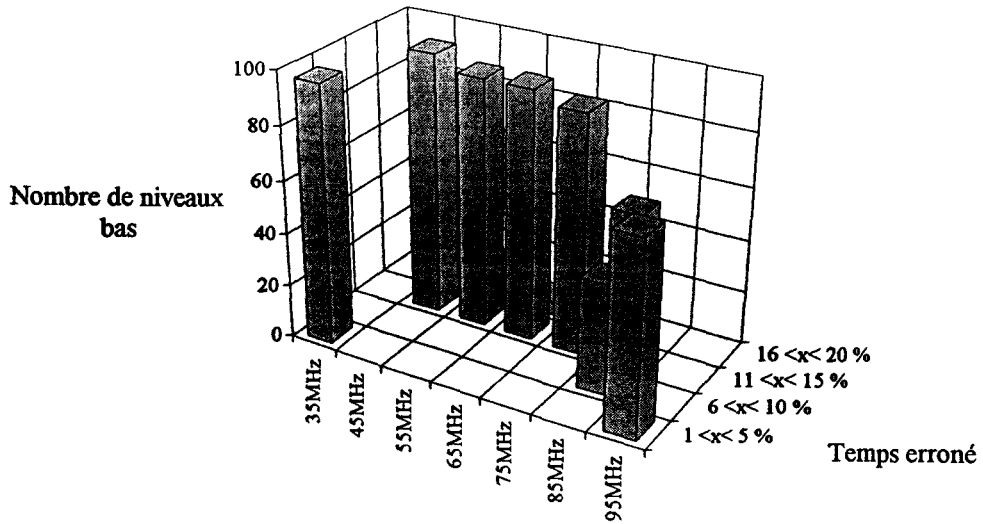
CMOS-HC 450V/m



b) Niveau haut en entrée, 1 inverseur en sortie.

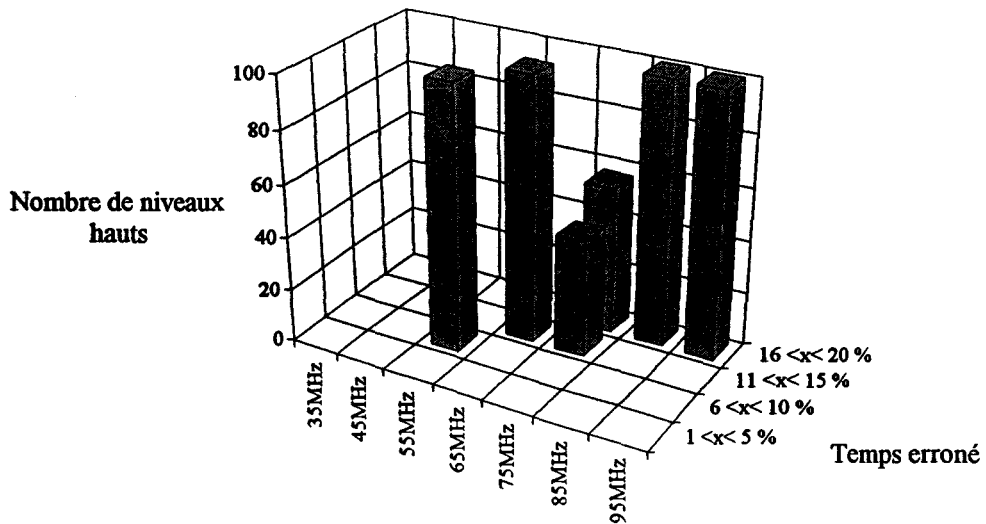
Graphes A-III-4 : Durée des séparations entre deux défauts consécutifs situés sur le même niveau.

CMOS-HCU 450V/m



a) Niveau bas en entrée, 1 inverseur en sortie.

CMOS-HCU 450V/m

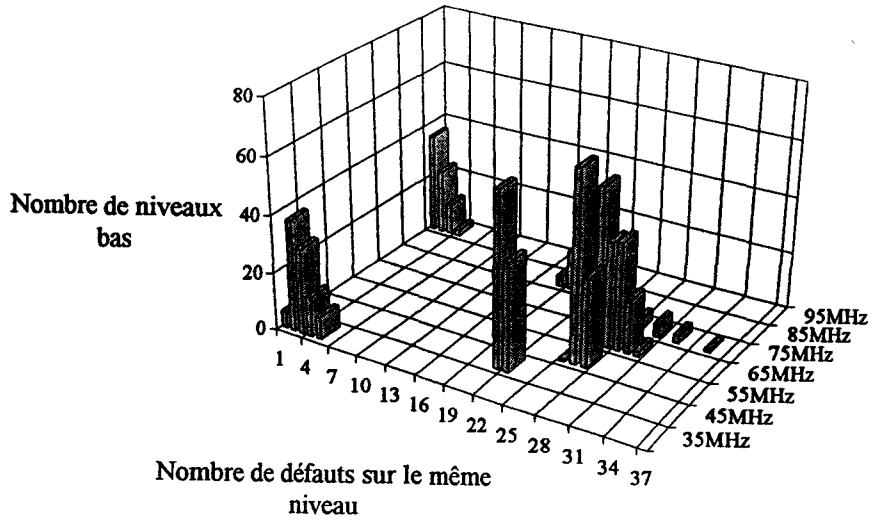


b) Niveau haut en entrée, 1 inverseur en sortie.

Graphes A-III-5 : Pourcentage de temps durant lequel les niveaux sont perturbés.

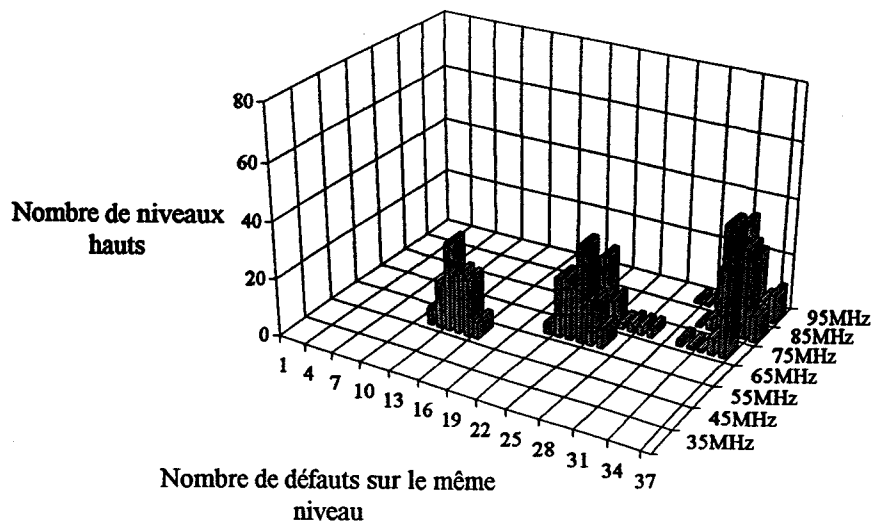


CMOS-HCU 450V/m



a) Niveau bas en entrée, 1 inverseur en sortie.

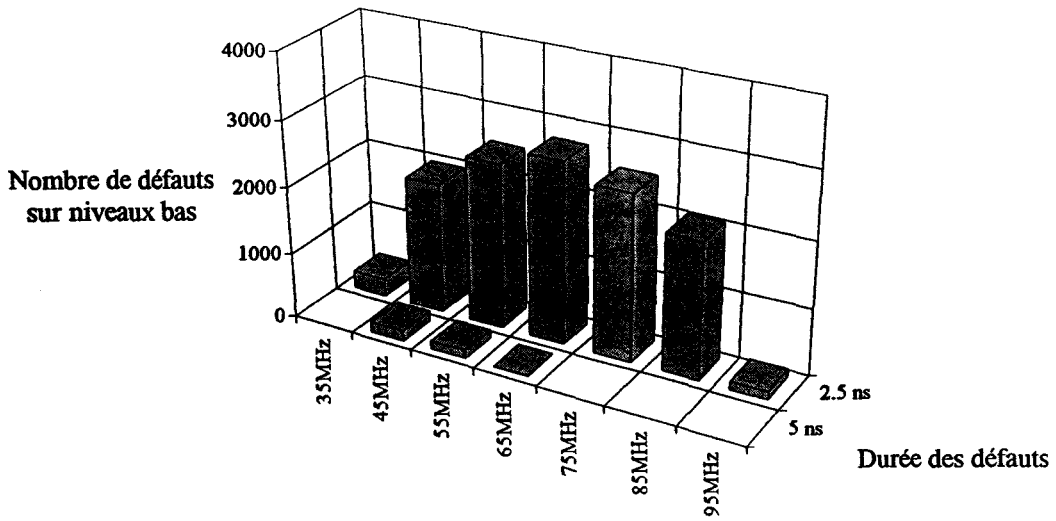
CMOS-HCU 450V/m



b) Niveau haut en entrée, 1 inverseur en sortie.

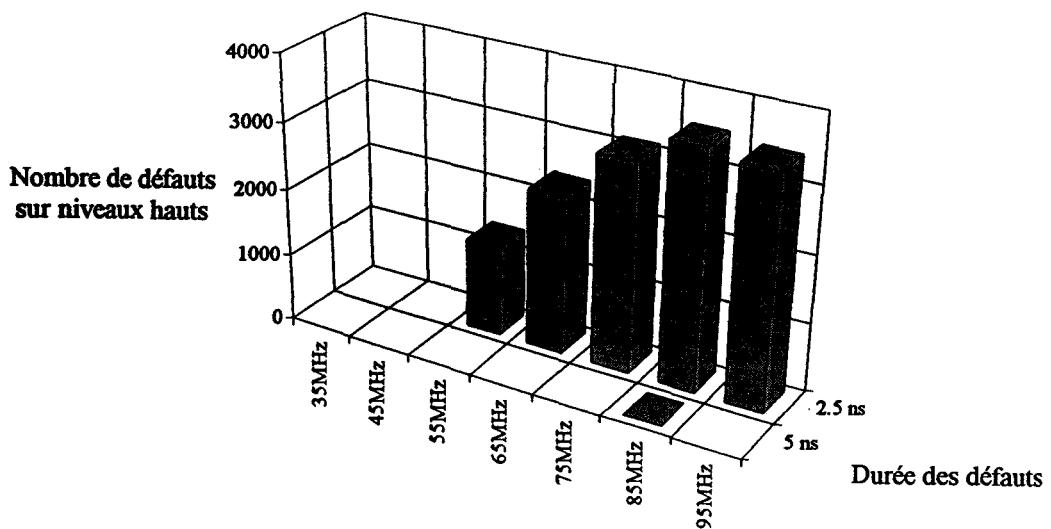
Graphes A-III-6 : Nombre de défauts sur un même niveau.

CMOS-HCU 450V/m



a) Niveau bas en entrée, 1 inverseur en sortie.

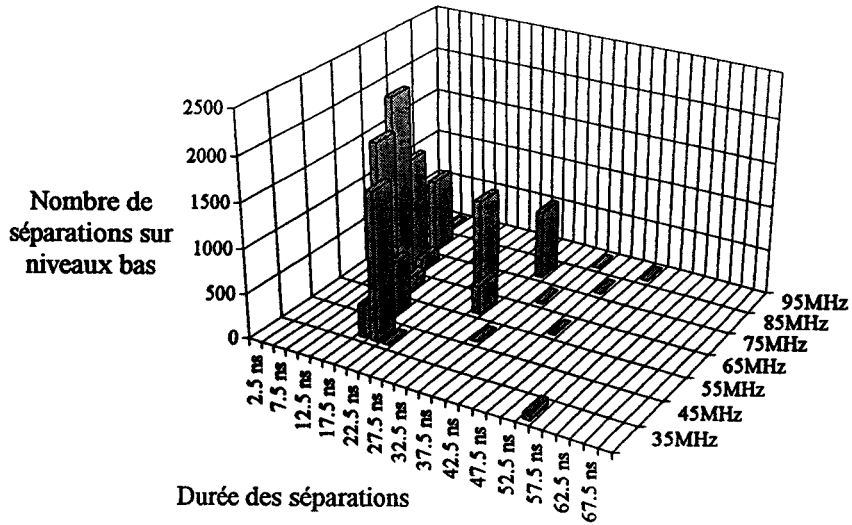
CMOS-HCU 450V/m



b) Niveau haut en entrée, 1 inverseur en sortie.

Graphes A-III-7 : Durée des défauts.

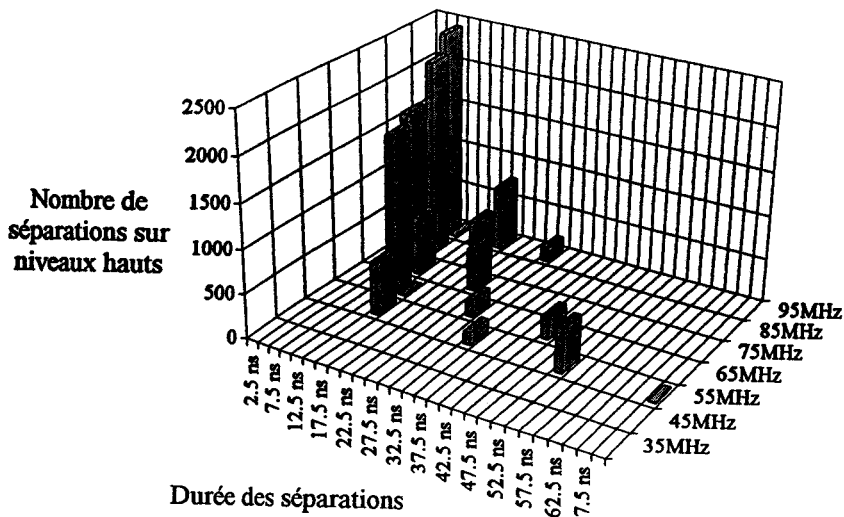
CMOS-HCU 450V/m



a) Niveau bas en entrée, 1 inverseur en sortie.

La durée maximale des séparations est de 397,5 ns pour les fréquences de 35 MHz et de 95 MHz.

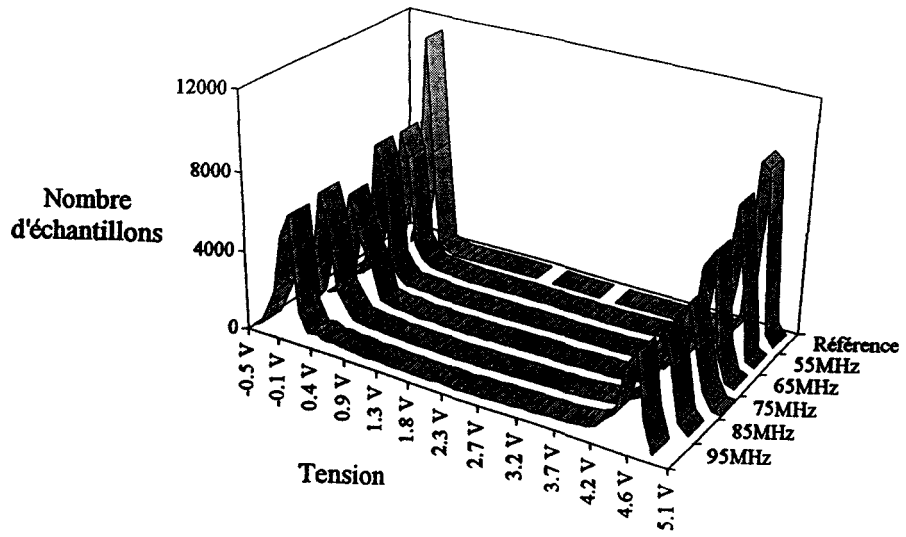
CMOS-HCU 450V/m



b) Niveau haut en entrée, 1 inverseur en sortie.

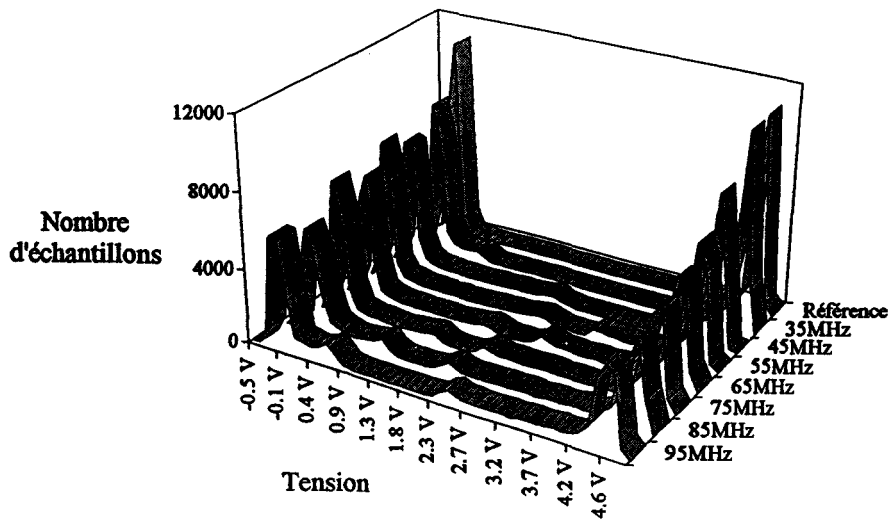
Graphes A-III-8 : Durée des séparations entre deux défauts consécutifs situés sur le même niveau.

CMOS-HC 450V/m



a)

CMOS-HCU 450V/m

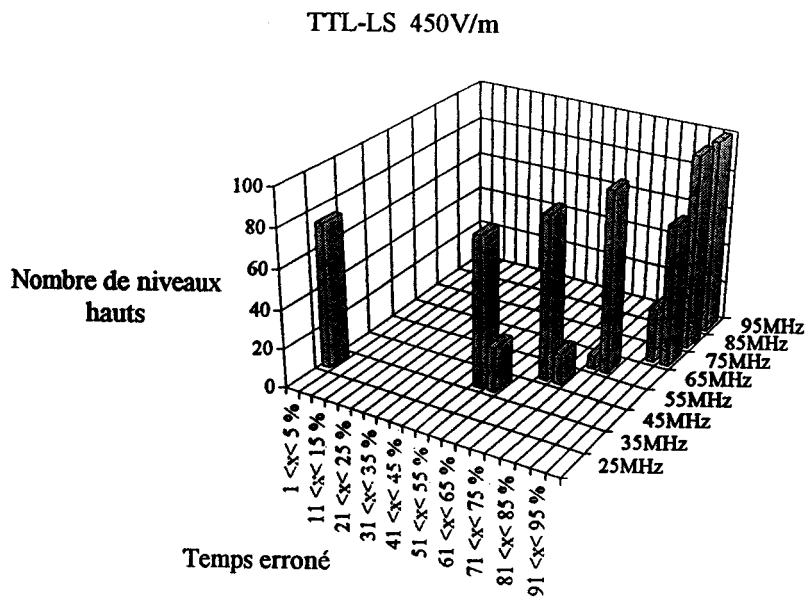


b)

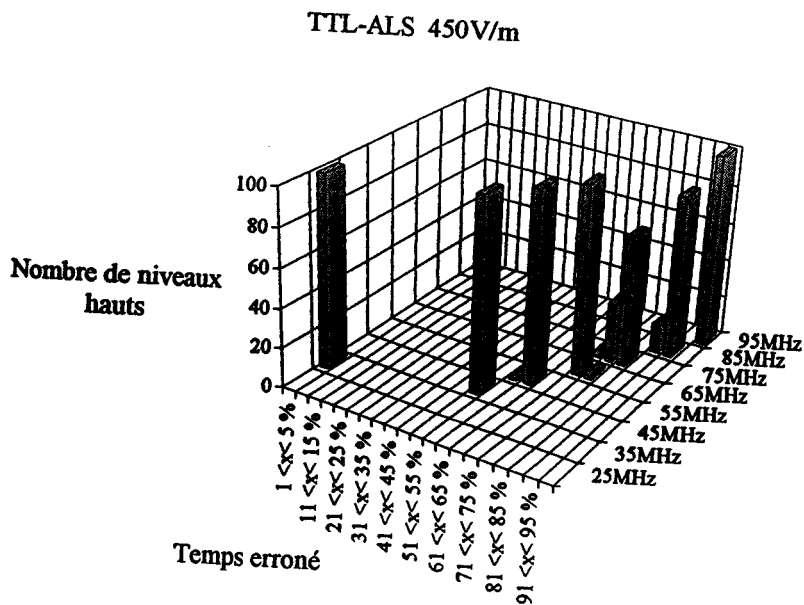
Graphes A-III-9 : Répartition des échantillons selon leur tension, 1 inverseur en sortie.



### A.III.3.2. Technologie TTL-LS et TTL-ALS.



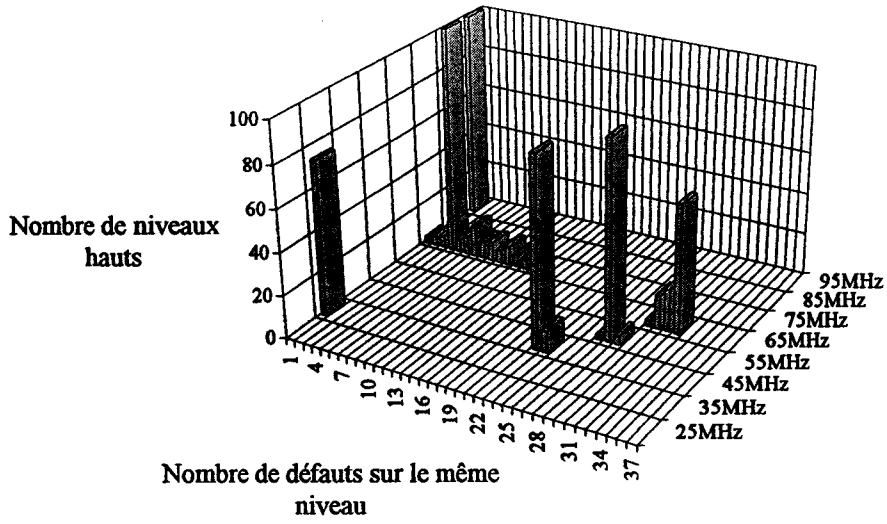
a)



b)

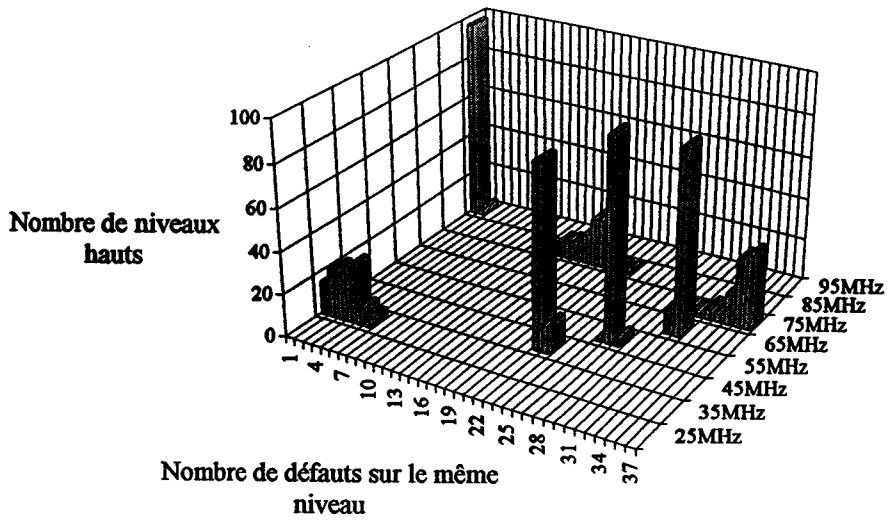
Graphes A-III-10 : Pourcentage de temps durant lequel les niveaux hauts sont perturbés.  
Niveau haut en entrée, 1 inverseur en sortie.

TTL-LS 450V/m



a)

TTL-ALS 450V/m

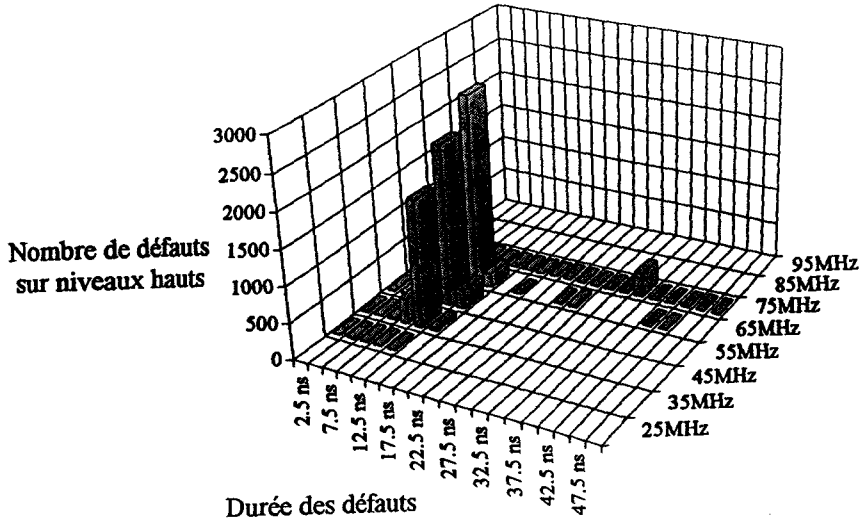


b)

Graphes A-III-11 : Nombre de défauts sur un même niveau haut.  
Niveau haut en entrée, 1 inverseur en sortie.

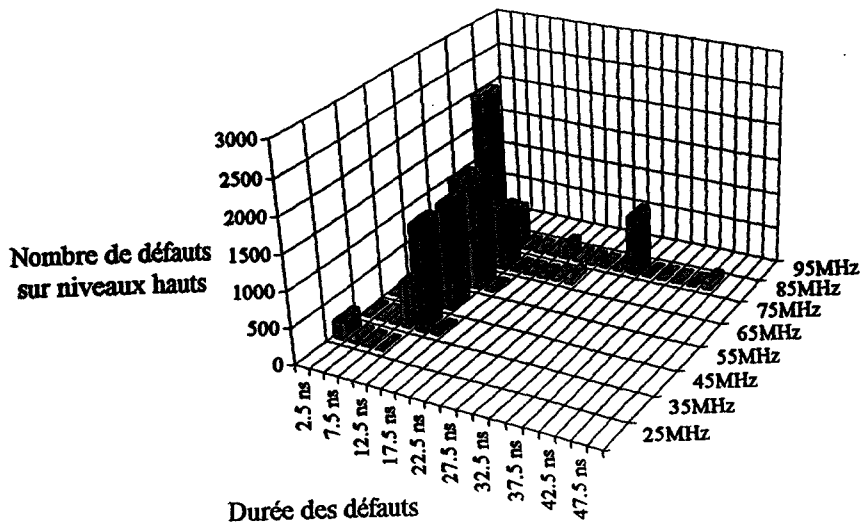


TTL-LS 450V/m



a)

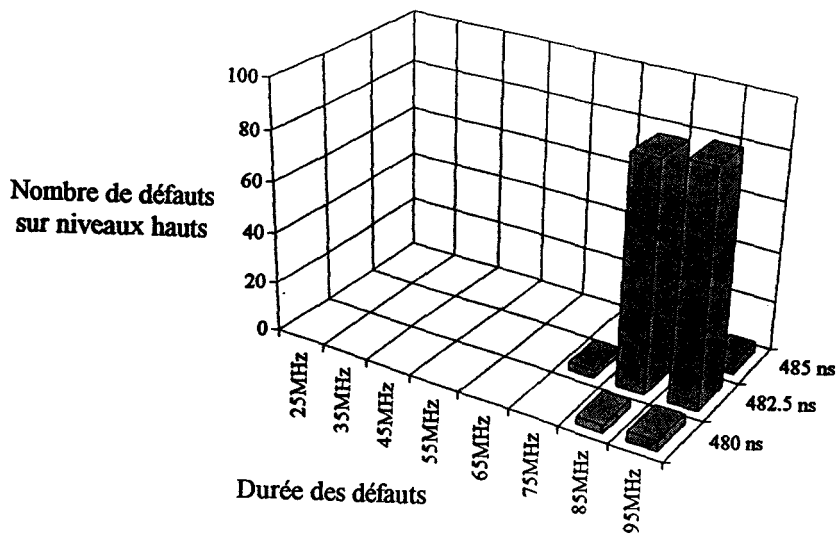
TTL-ALS 450V/m



b)

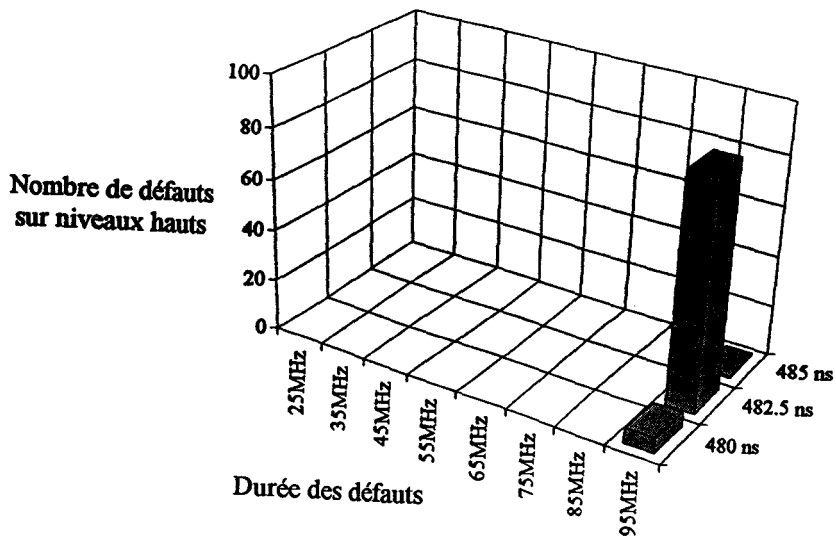
Graphes A-III-12 : Durée des défauts sur niveau haut.  
Niveau haut en entrée, 1 inverseur en sortie.

TTL-LS 450V/m



a)

TTL-ALS 450V/m



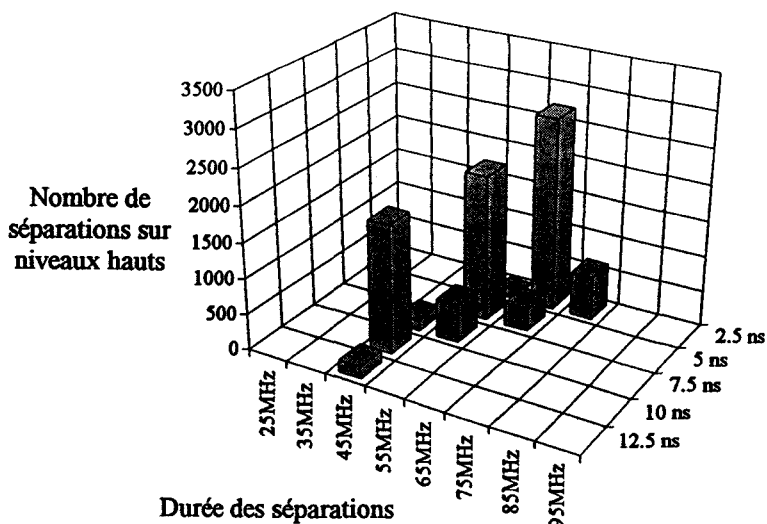
b)

Graphes A-III-13 : Durée des défauts sur niveau haut.  
Niveau haut en entrée, 1 inverseur en sortie.



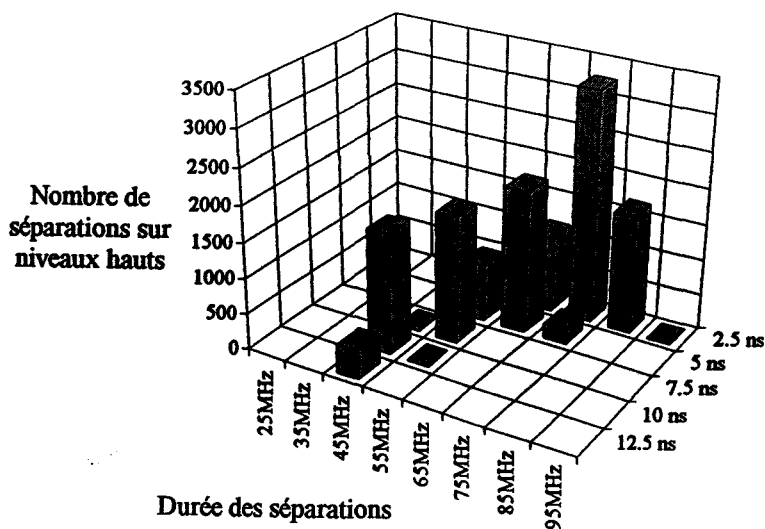


TTL-LS 450V/m



a)

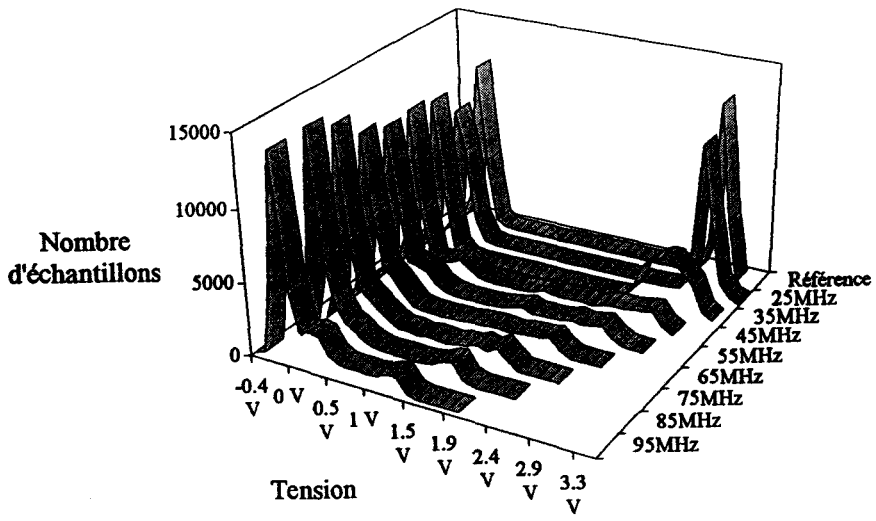
TTL-ALS 450V/m



b) Pour une fréquence de 35 MHz, la durée des séparations varie entre 17,5 ns et 397,5 ns.

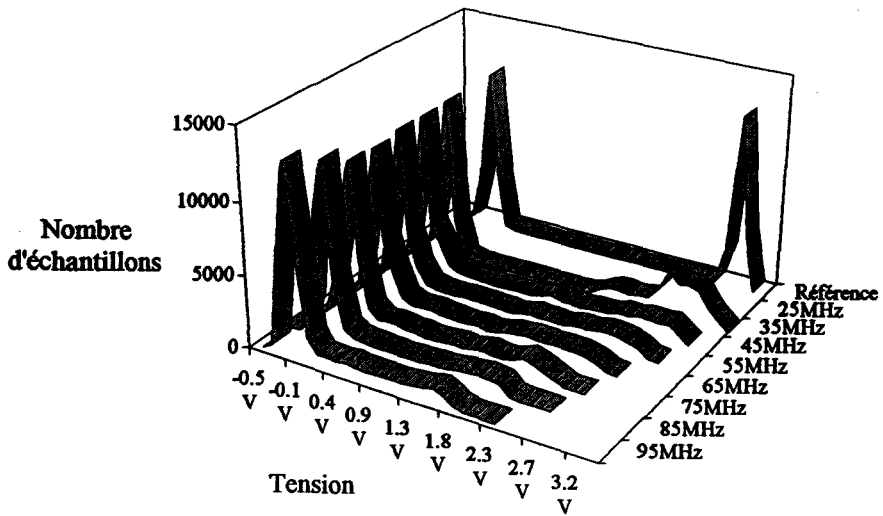
Graphes A-III-14 : Durée des séparations entre deux défauts consécutifs situés sur un même niveau haut. Niveau haut en entrée, 1 inverseur en sortie.

TTL-LS 450V/m



a)

TTL-ALS 450V/m

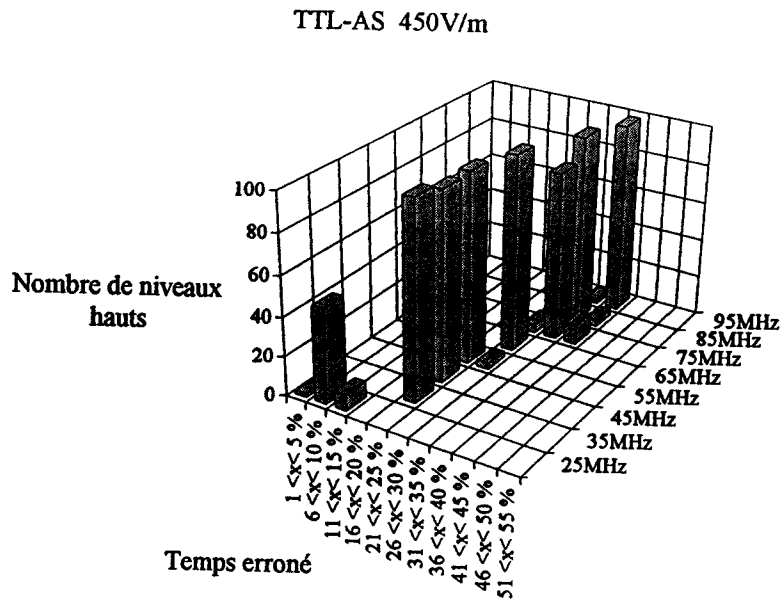


b)

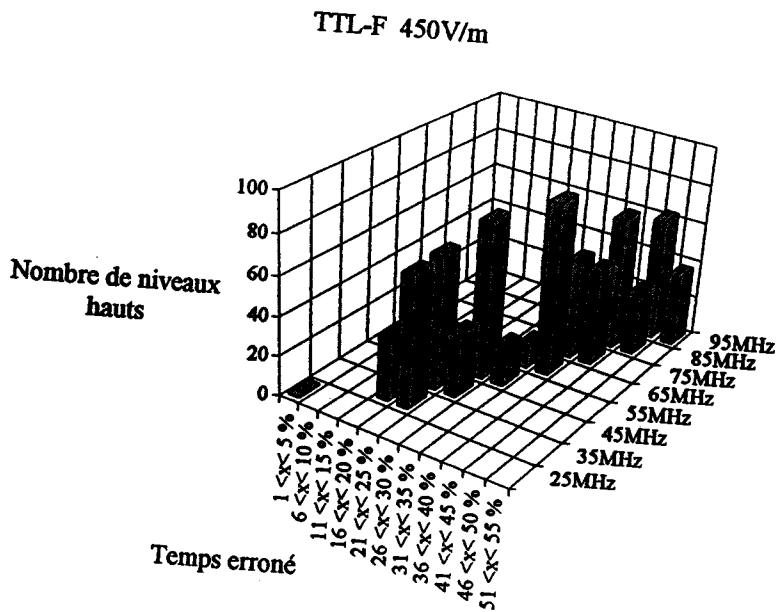
Graphes A-III-15 : Répartition des échantillons selon leur tension.  
1 inverseur en sortie.



### A.III.3.3. Technologie TTL-AS et TTL-F.



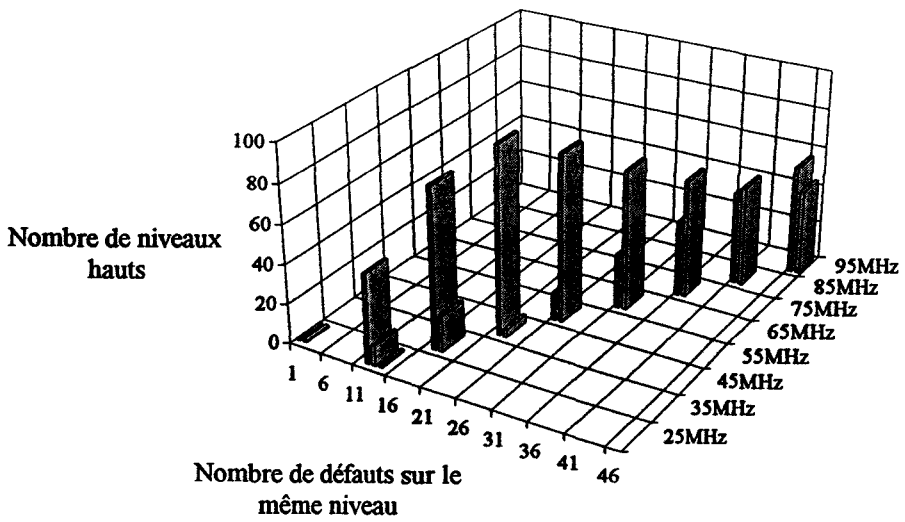
a)



b)

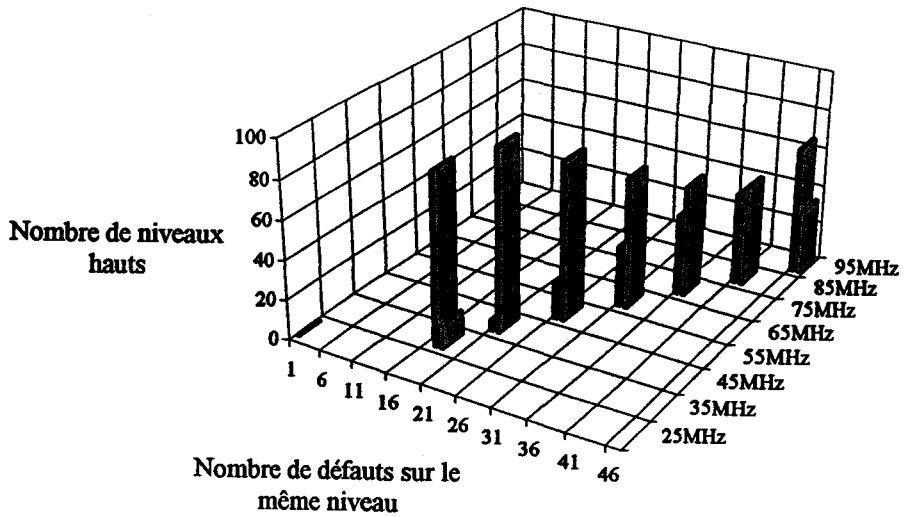
Graphes A-III-16 : Pourcentage de temps durant lequel les niveaux hauts sont perturbés.  
Niveau haut en entrée, 1 inverseur en sortie.

TTL-AS 450V/m



a)

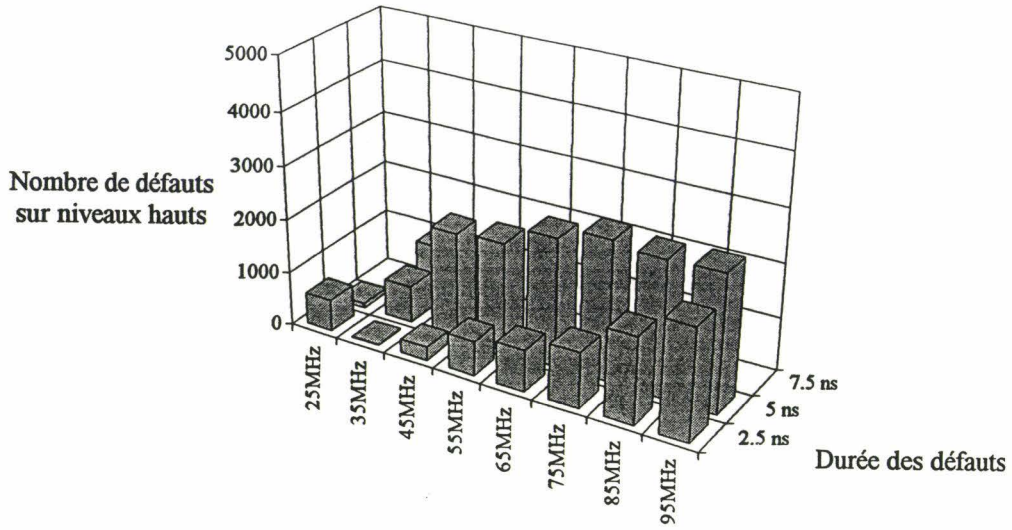
TTL-F 450V/m



b)

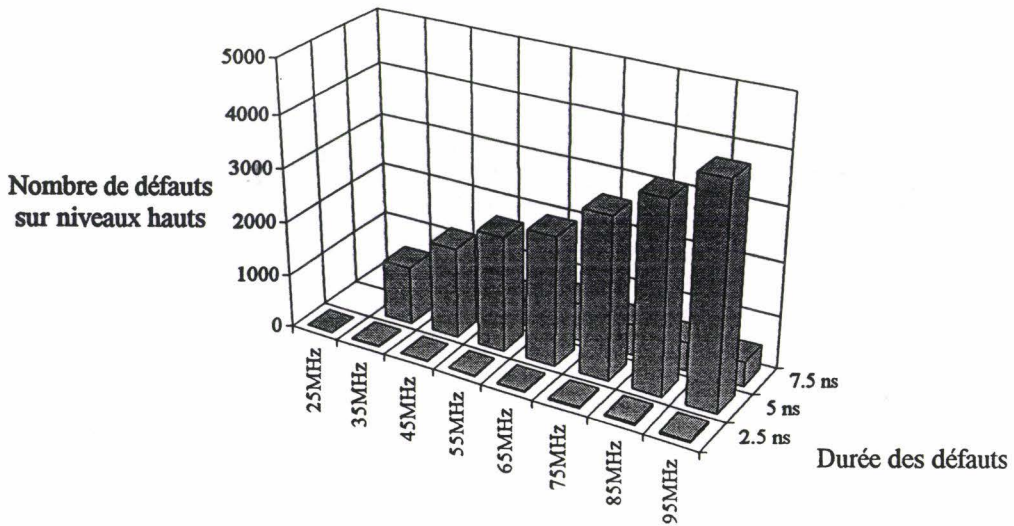
Graphes A-III-17 : Nombre de défauts sur un même niveau haut.  
Niveau haut en entrée, 1 inverseur en sortie.

TTL-AS 450V/m



a)

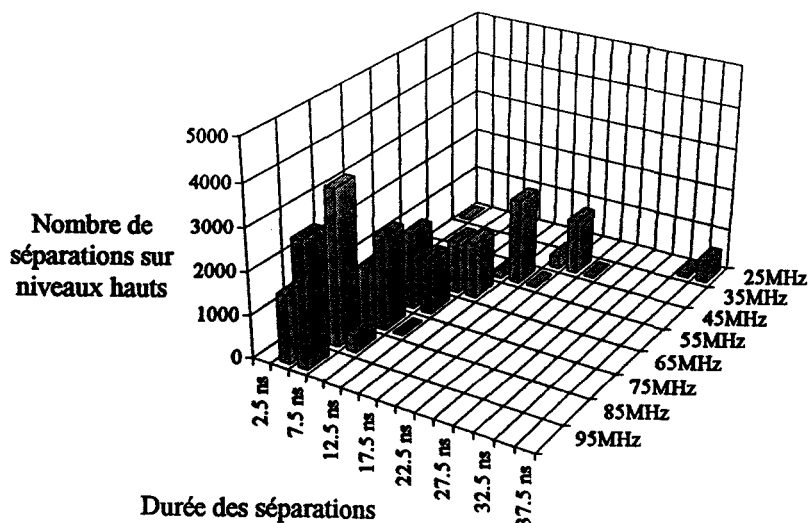
TTL-F 450V/m



b)

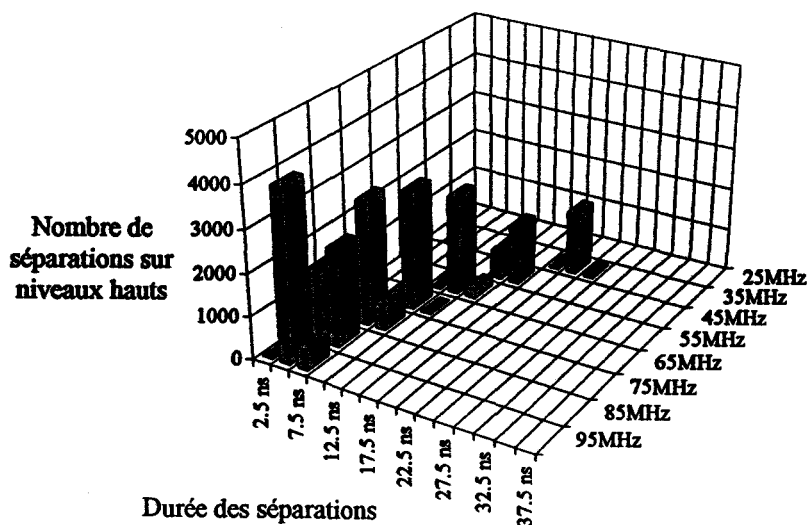
Graphes A-III-18 : Durée des défauts sur niveau haut.  
Niveau haut en entrée, 1 inverseur en sortie.

TTL-AS 450V/m



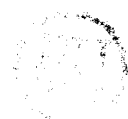
a)

TTL-F 450V/m

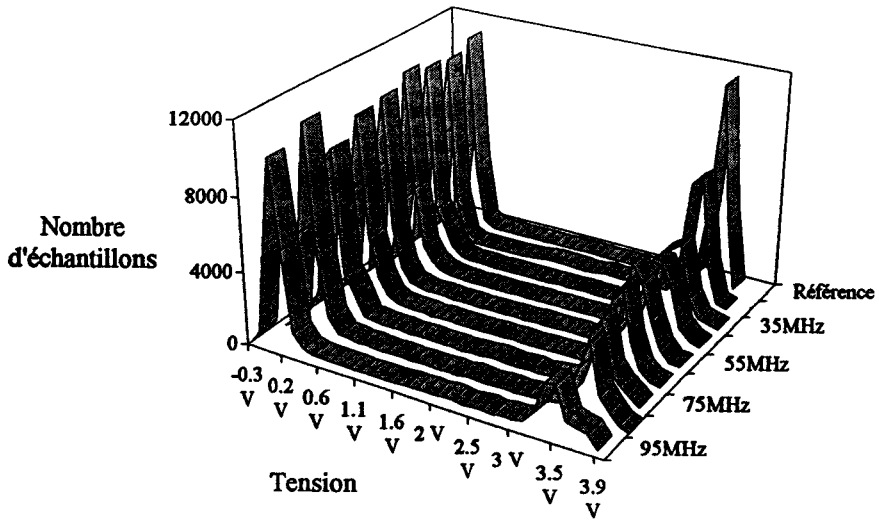


b)

Graphes A-III-19 : Durée des séparations entre deux défauts consécutifs situés sur un même niveau haut. Niveau haut en entrée, 1 inverseur en sortie.

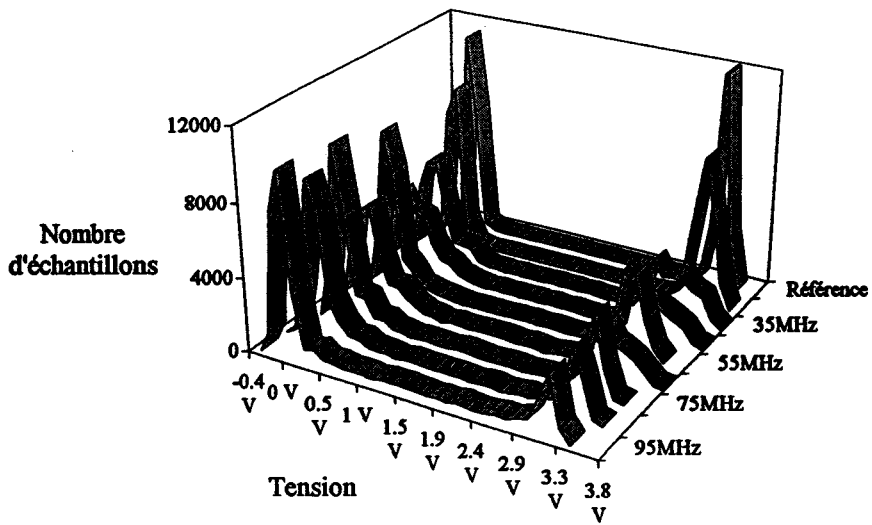


TTL-AS 450V/m



a)

TTL-F 450V/m



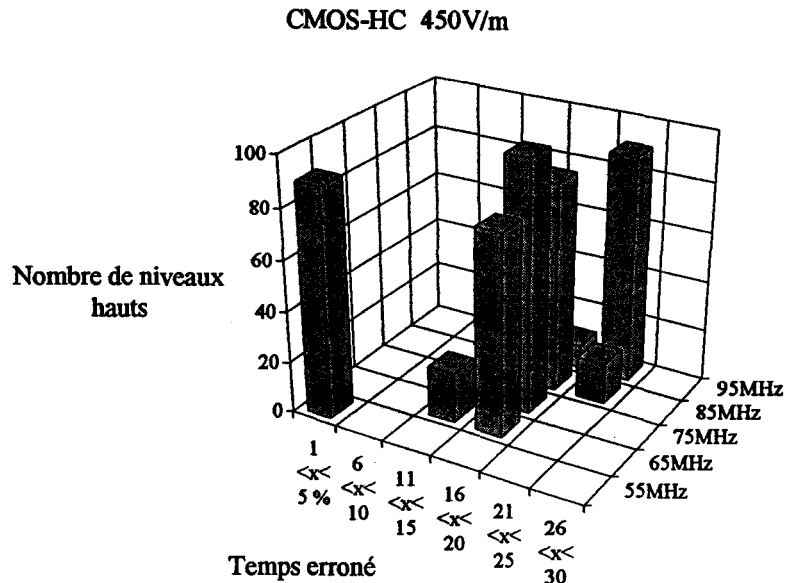
b)

Graphes A-III-20 : Répartition des échantillons selon leur tension.  
1 inverseur en sortie.

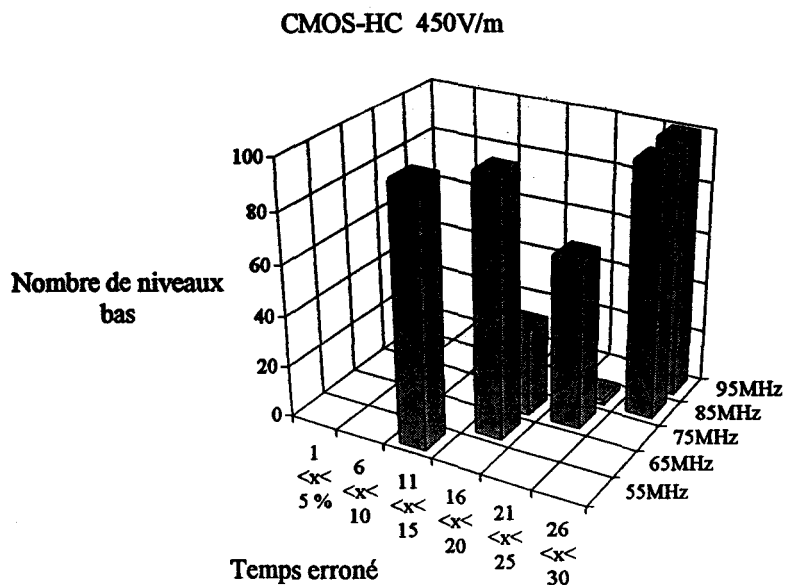
### A.III.4. RÉSULTATS STATISTIQUES ET GRAPHES DONNANT LA RÉPARTITION DES ÉCHANTILLONS SELON LA TENSION LORSQU'UN INVERSEUR EST AJOUTÉ EN SORTIE DU DISPOSITIF SOUS TEST DE BASE.

Le schéma synoptique et les dessins des cartes imprimées correspondant aux résultats présentées ci-dessous sont ceux des figures A-III-6 et A-III-7.

#### A.III.4.1. Technologie CMOS-HC.



a) Niveau bas en entrée, 2 inverseurs en sortie sur le même boîtier.

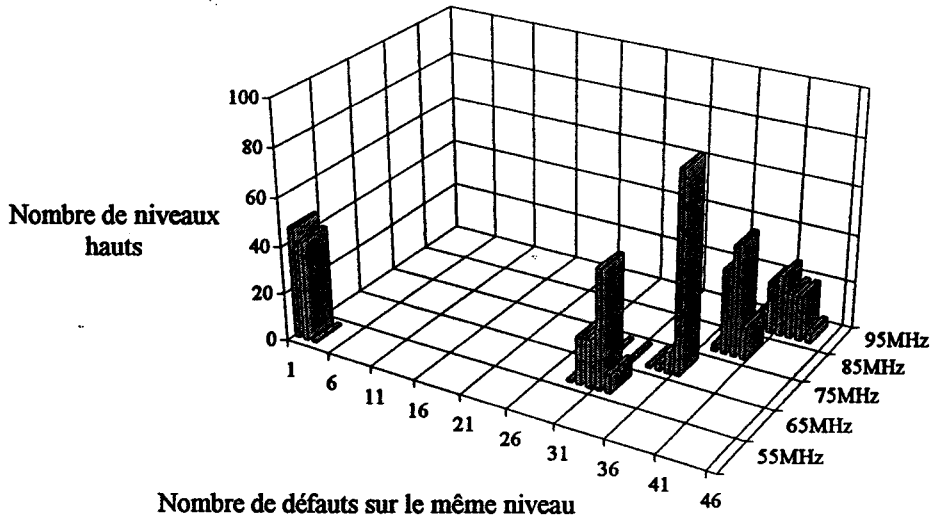


b) Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

Graphes A-III-21 : Pourcentage de temps durant lequel les niveaux sont perturbés.

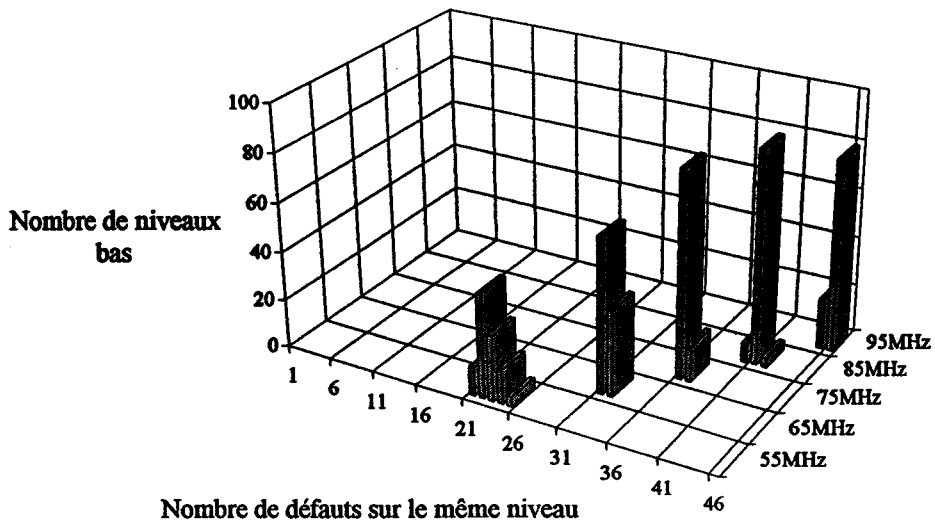


CMOS-HC 450V/m



a) Niveau bas en entrée, 2 inverseurs en sortie sur le même boîtier.

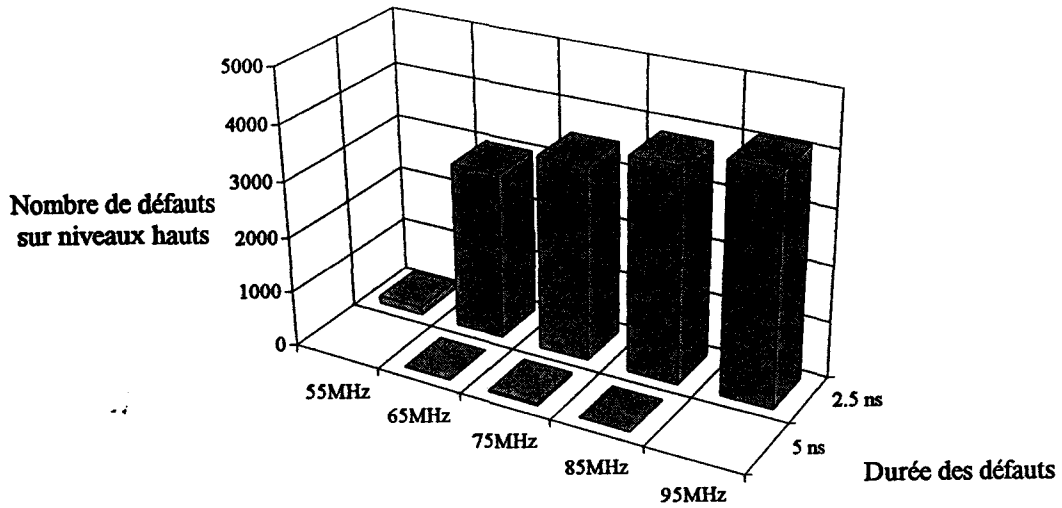
CMOS-HC 450V/m



b) Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

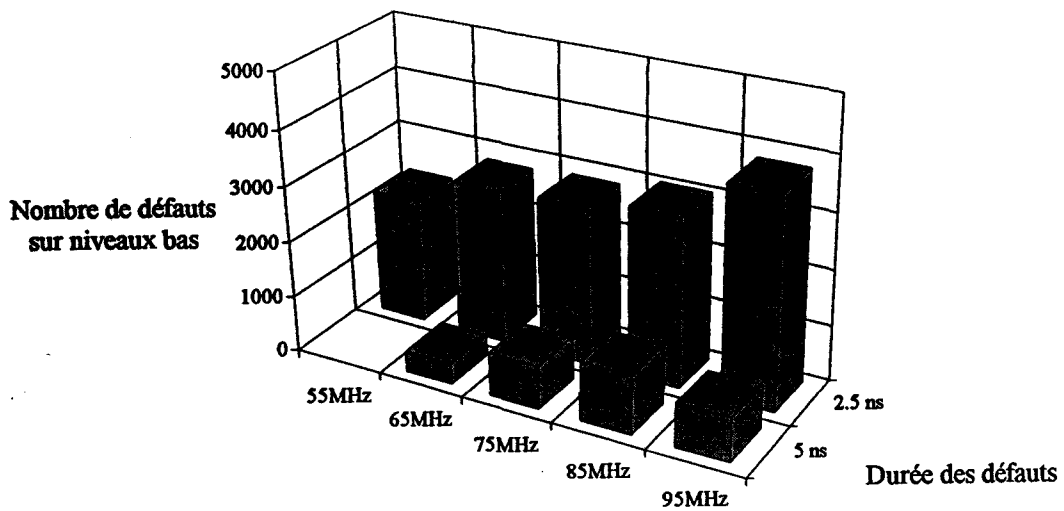
Graphes A-III-22 : Nombre de défauts sur un même niveau.

CMOS-HC 450V/m



a) Niveau bas en entrée, 2 inverseurs en sortie sur le même boîtier.

CMOS-HC 450V/m

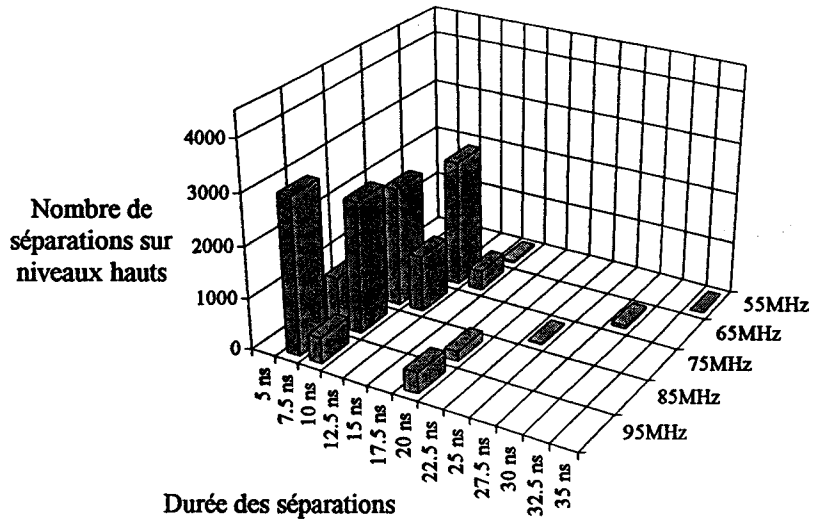


b) Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

Graphes A-III-23 : Durée des défauts.

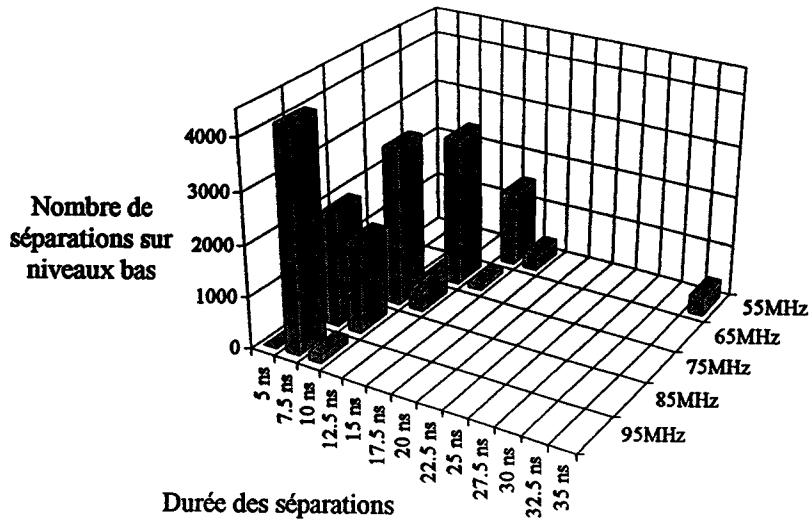


CMOS-HC 450V/m



a) Niveau bas en entrée, 2 inverseurs en sortie sur le même boîtier.

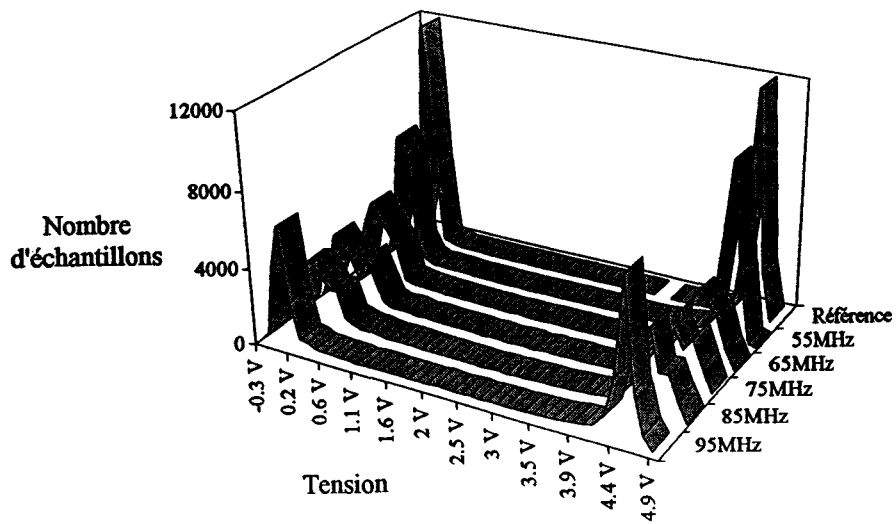
CMOS-HC 450V/m



b) Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

Graphes A-III-24 : Durée des séparations entre deux défauts consécutifs situés sur le même niveau.

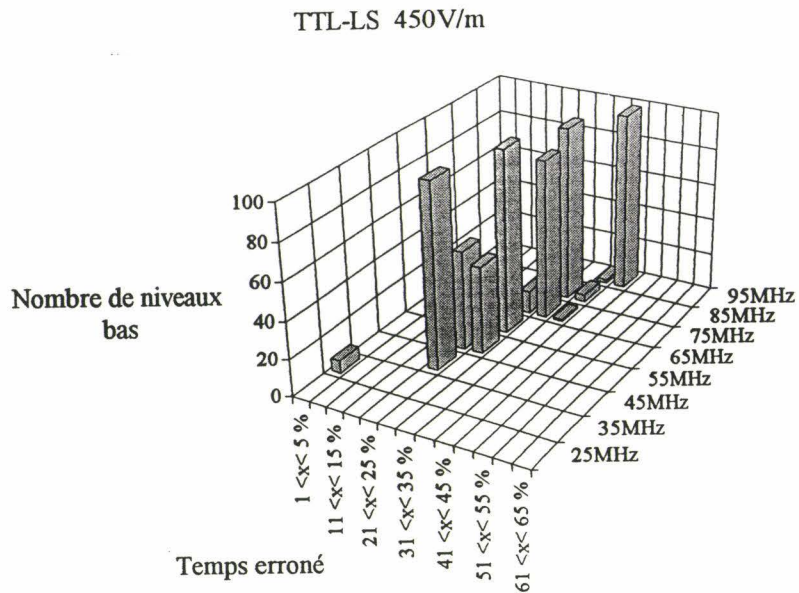
CMOS-HC 450V/m



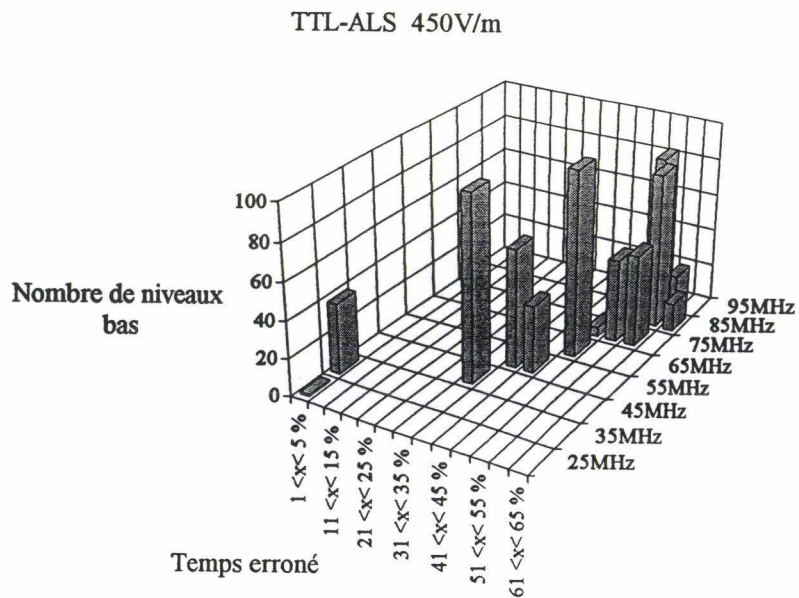
Grphe A-III-25 : Répartition des échantillons selon leur tension, 2 inverseurs en sortie sur le même boîtier.



### A.III.4.2. Technologie TTL-LS et TTL-ALS.



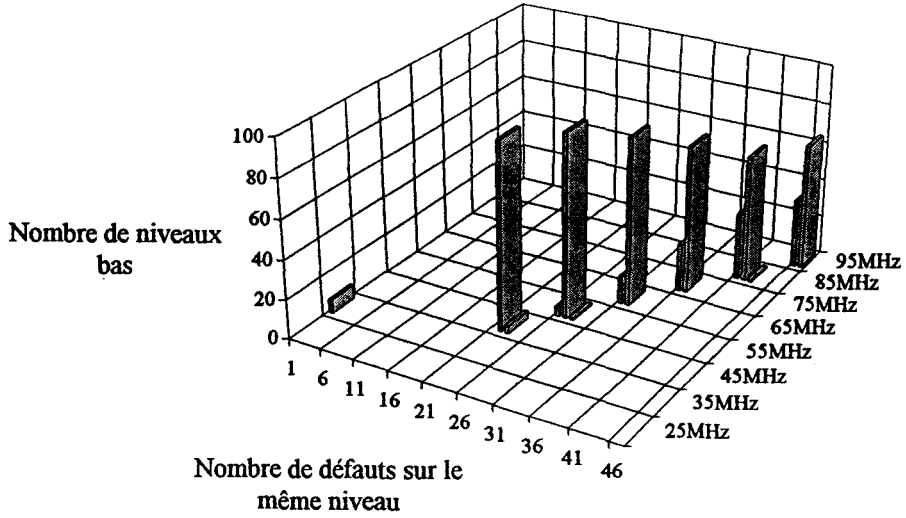
a)



b)

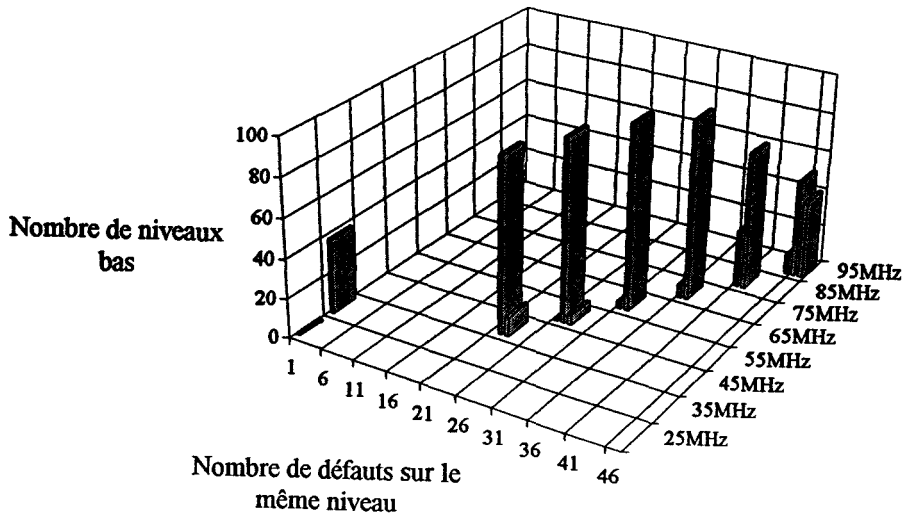
Graphes A-III-26 : Pourcentage de temps durant lequel les niveaux bas sont perturbés.  
Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

TTL-LS 450V/m



a)

TTL-ALS 450V/m

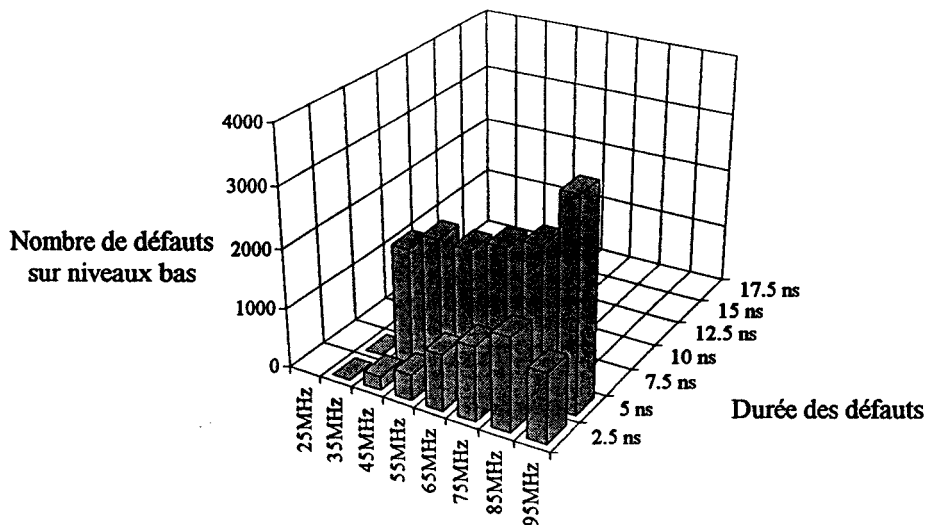


b)

Graphes A-III-27 : Nombre de défauts sur un même niveau bas. Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

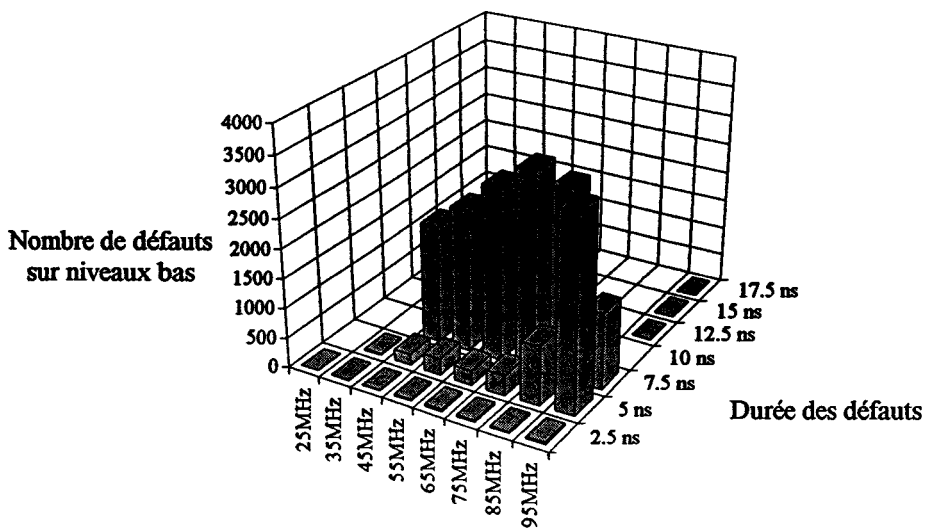


TTL-LS 450V/m



a)

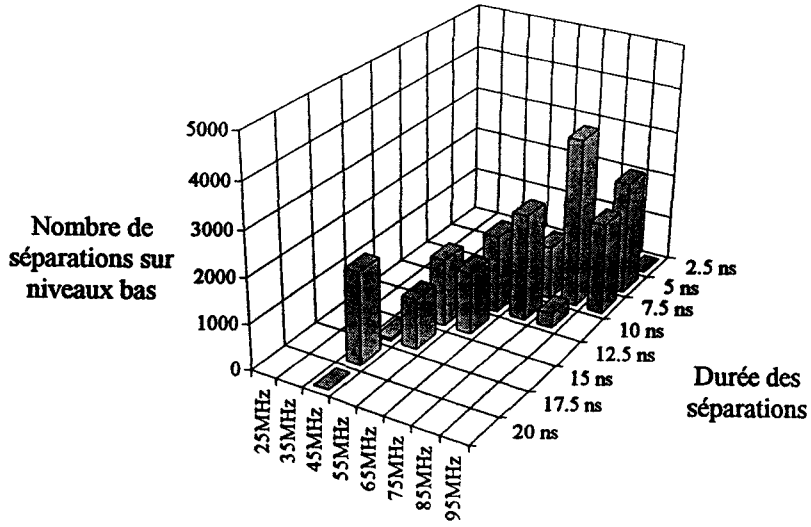
TTL-ALS 450V/m



b)

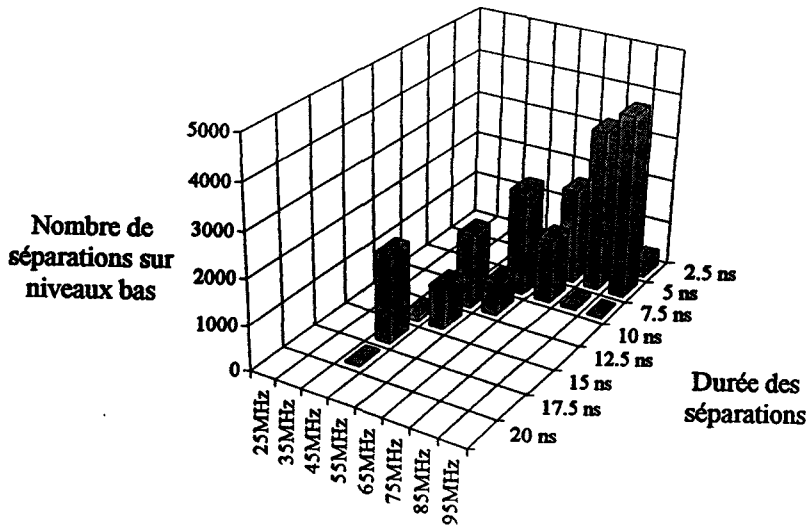
Graphes A-III-28 : Durée des défauts sur niveau bas.  
Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

TTL-LS 450V/m



a)

TTL-ALS 450V/m



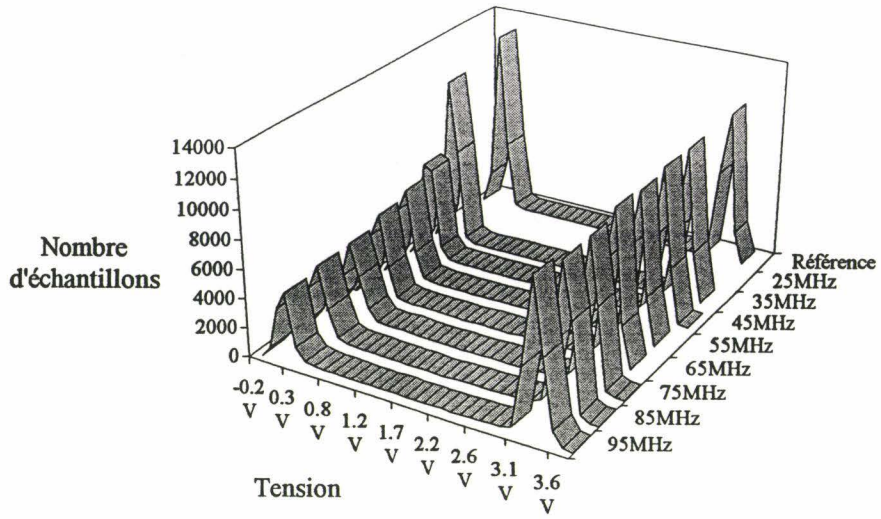
b)

Graphes A-III-29 : Durée des séparations entre deux défauts consécutifs situés sur un même niveau bas. Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.



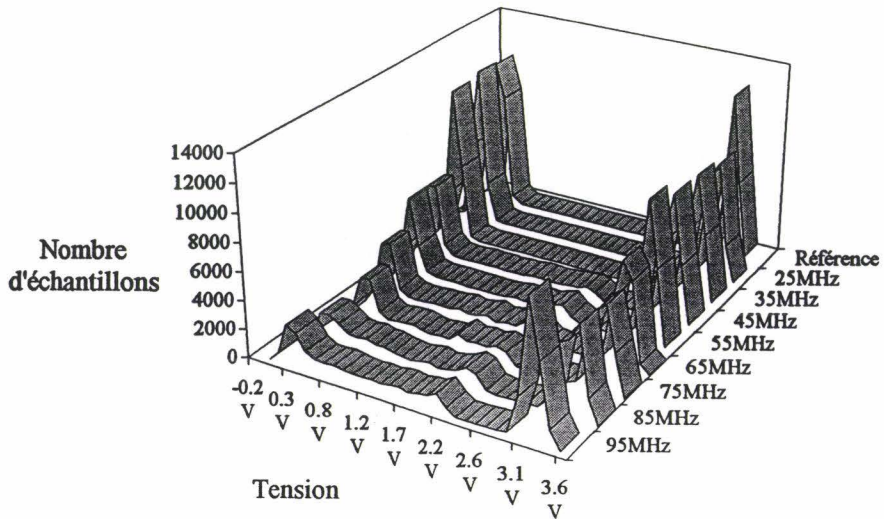


TTL-LS 450V/m



a)

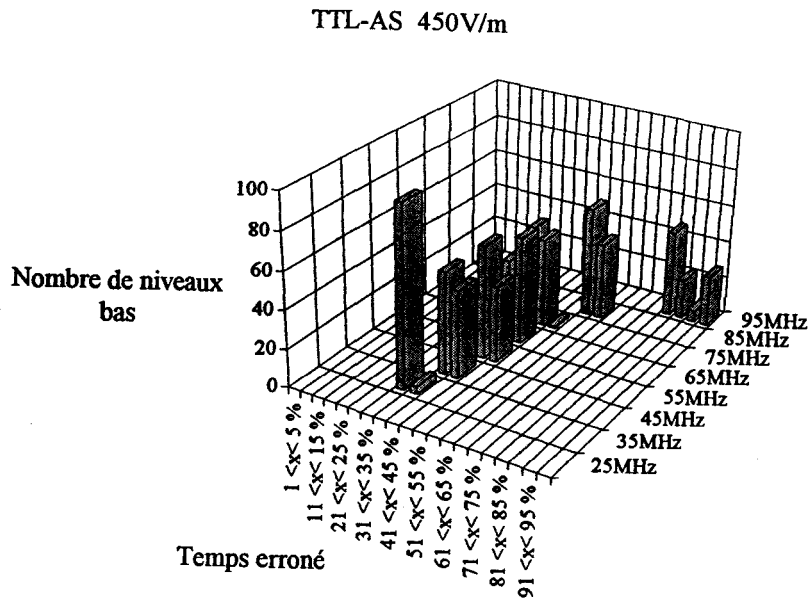
TTL-ALS 450V/m



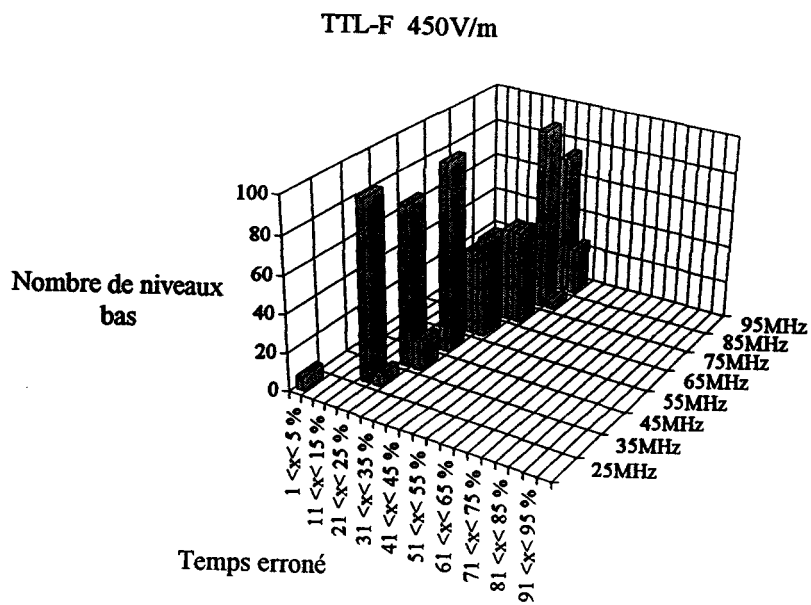
b)

Graphes A-III-30 : Répartition des échantillons selon leur tension.  
2 inverseurs en sortie sur le même boîtier.

### A.III.4.3. Technologie TTL-AS et TTL-F.



a)

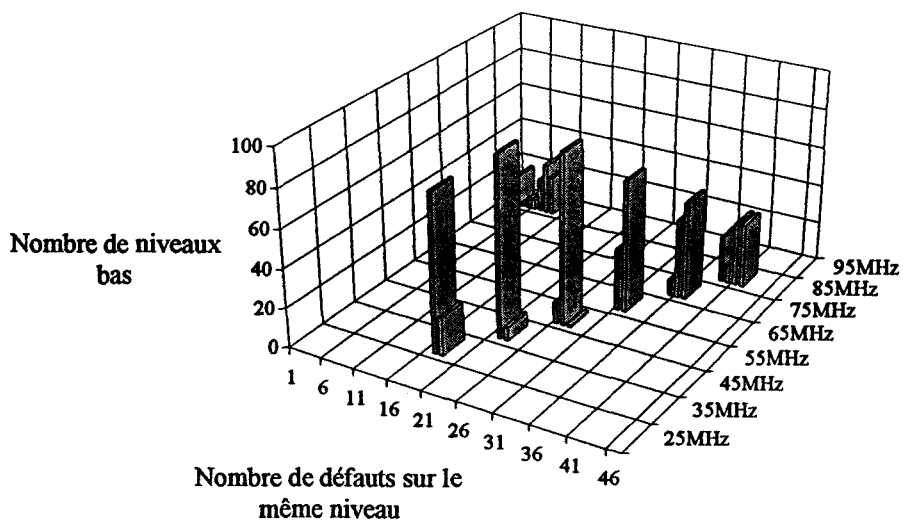


b)

Graphes A-III-31 : Pourcentage de temps durant lequel les niveaux bas sont perturbés. Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

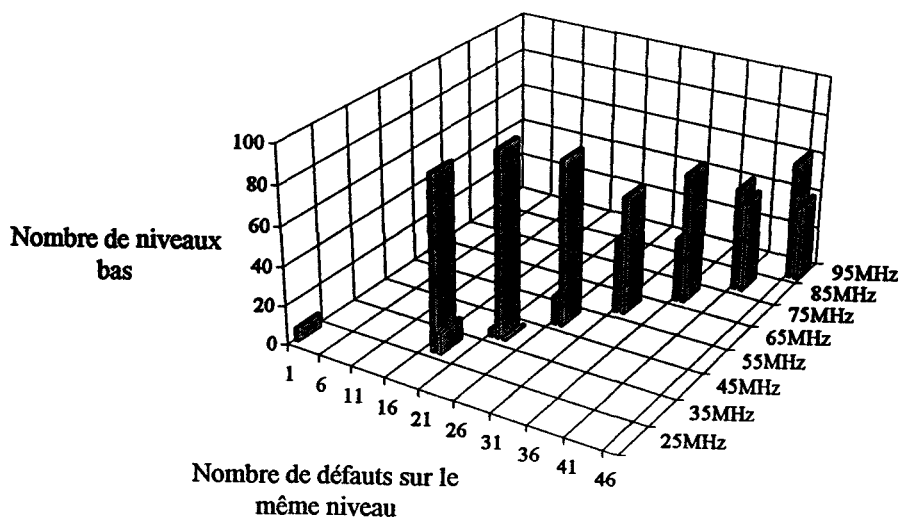


TTL-AS 450V/m



a)

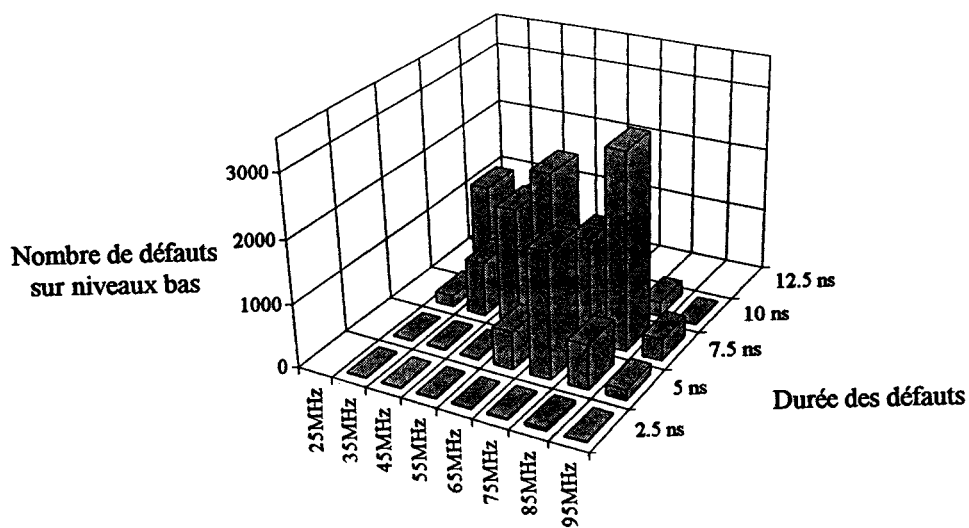
TTL-F 450V/m



b)

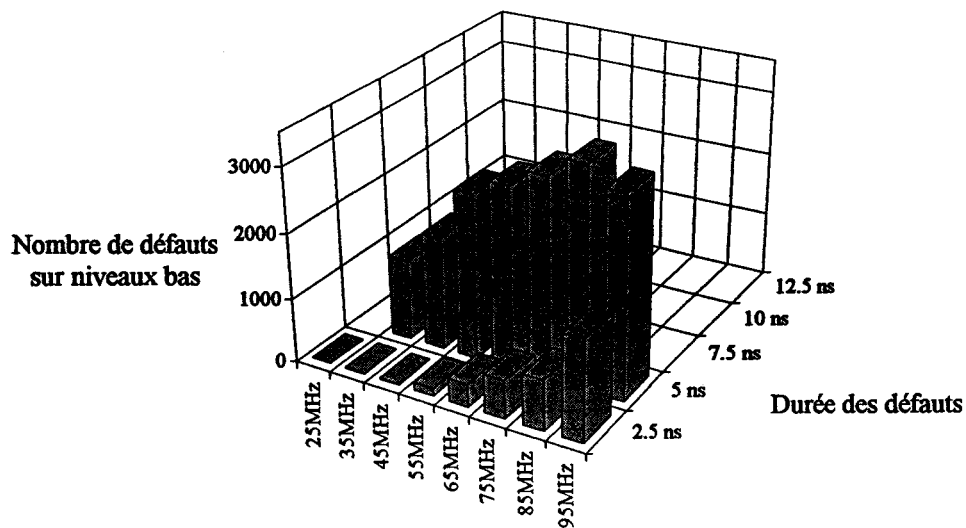
Graphes A-III-32 : Nombre de défauts sur un même niveau bas. Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

TTL-AS 450V/m



a) Pour une fréquence de 95 MHz, la durée maximale des défauts est de 477,5 ns.

TTL-F 450V/m

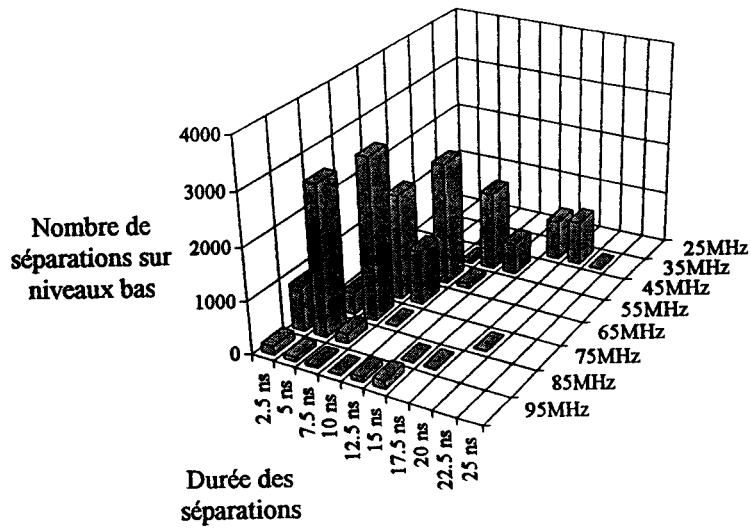


b)

Graphes A-III-33 : Durée des défauts sur niveau bas.  
Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

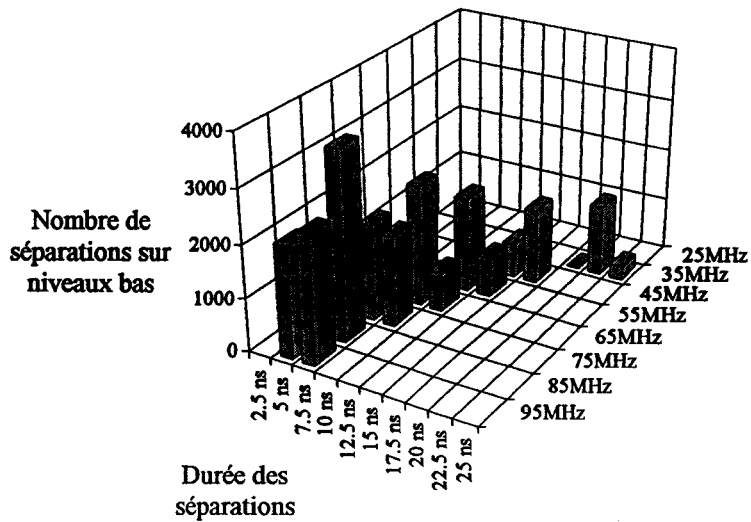


TTL-AS 450V/m



a)

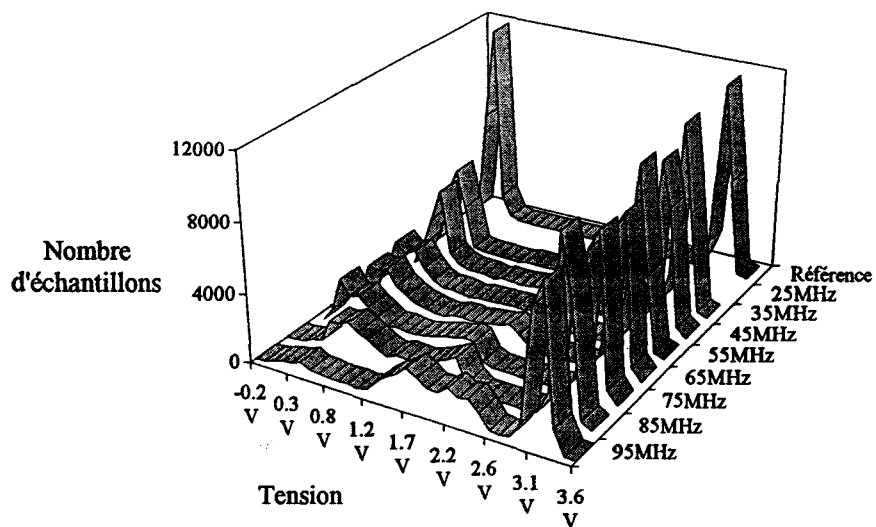
TTL-F 450V/m



b)

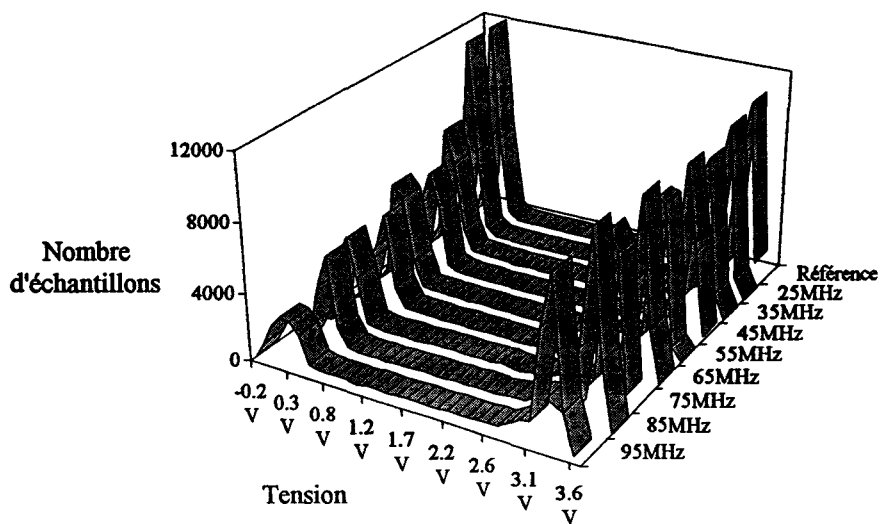
Graphes A-III-34 : Durée des séparations entre deux défauts consécutifs situés sur un même niveau bas. Niveau haut en entrée, 2 inverseurs en sortie sur le même boîtier.

TTL-AS 450V/m



a)

TTL-F 450V/m



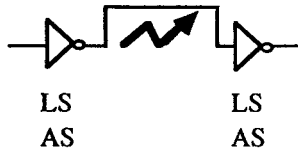
b)

Graphes A-III-35 : Répartition des échantillons selon leur tension.  
2 inverseurs en sortie sur le même boîtier.

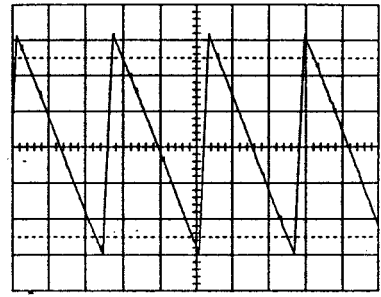
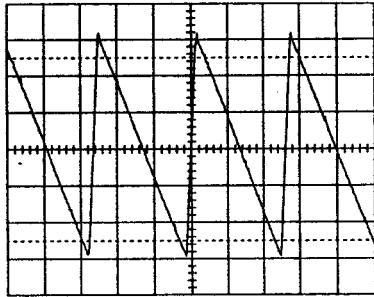
### **A.III.5. PRÉCAUTIONS À PRENDRE LORS DE L'INTERPRÉTATION DES GRAPHES VISUALISANT LES EXTREMUMS DE TENSION ENTRE LESQUELS LES NIVEAUX PERTURBÉS VARIENT.**

En modulant l'amplitude du champ électromagnétique par un signal en forme de dents de scie basse fréquence, il est possible de visualiser les deux extremums entre lesquels le signal perturbé varie selon l'amplitude du champ électromagnétique (sous chapitre III-4). Cette méthode de mesure synthétise de nombreuses informations sur un seul graphe. Cependant, il convient de rester prudent quant à l'interprétation des graphes. En effet, pour générer le signal de modulation, nous avons utilisé un générateur basse fréquence que l'on ne peut pas piloter par bus GPIB et dont les réglages ne sont pas visualisés par affichage digital. Entre le rapatriement des courbes concernant le dispositif sous test de base dont les composants sont de technologie TTL-LS et TTL-AS, et le rapatriement des courbes concernant l'étude de la propagation des défauts, le générateur basse fréquence a été utilisé pour d'autres manipulations. Nous avons réglé à nouveau le générateur en utilisant l'oscilloscope pour obtenir le même signal de modulation. Cependant, le signal modulé n'est pas rigoureusement identique (figure A-III-11). Nous savons donc que l'amplitude du champ électromagnétique varie entre 0 V/m et une valeur approximative de 900 V/m. Il est ainsi possible d'observer des comportements propres à chaque technologie, tels que la baisse de la tension du niveau normalement à l'état haut, ou la perturbation de technologie TTL-S pour des couples fréquence/amplitude bien déterminés. Par contre, en ce qui concerne les graphes obtenus figure A-III-11a) et A-III-11b), une étude comparative de l'amplitude du champ nécessaire pour perturber les dispositifs sous test n'est pas possible. En ce qui concerne les graphes pour lesquels le générateur basse fréquence n'a pas été utilisé pour une autre manipulation entre deux rapatriements de courbes, cette étude comparative est possible. Nous indiquons figure A-III-12, quels sont les graphes pour lesquels on peut comparer l'amplitude minimale à partir de laquelle le dispositif sous test est perturbé. Notons cependant que la méthode de mesure visualisant les extremums de tension entre lesquels les niveaux perturbés varient est peu précise pour ce type de comparaison.

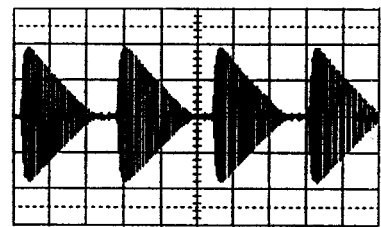
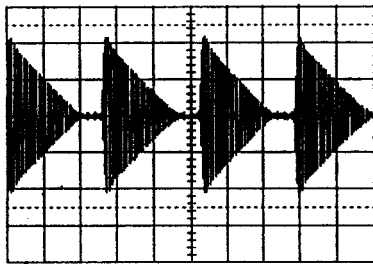
Dispositif sous test



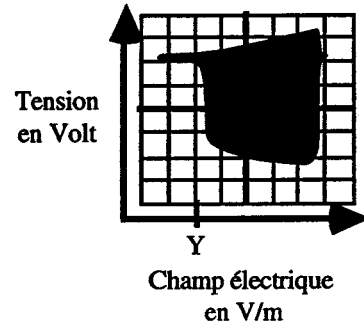
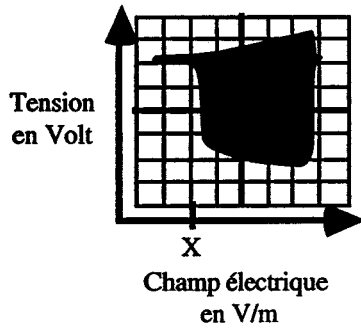
Signal de modulation



Tension aux bornes de la cellule



$X > Y$



a)

b)

Figure A-III-11 : Amplitude du champ électromagnétique différente selon les réglages du générateur basse fréquence.



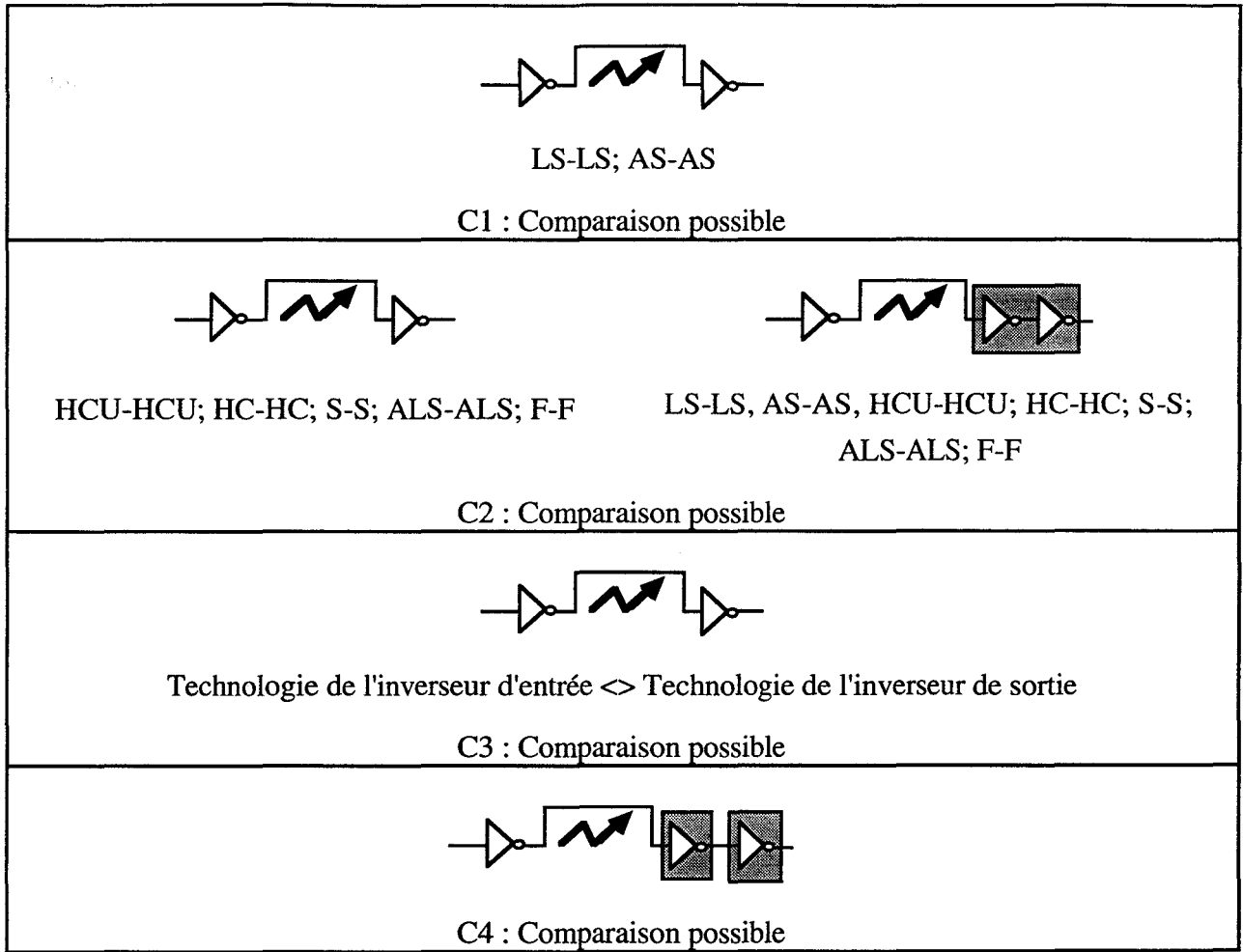


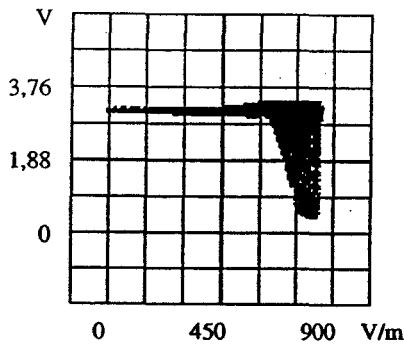
Figure A-III-12 : Graphes pour lesquels une comparaison de l'amplitude minimale du champ électromagnétique nécessaire à la perturbation est possible.

## A.III.6. ASSOCIATION DE DIFFÉRENTES TECHNOLOGIES.

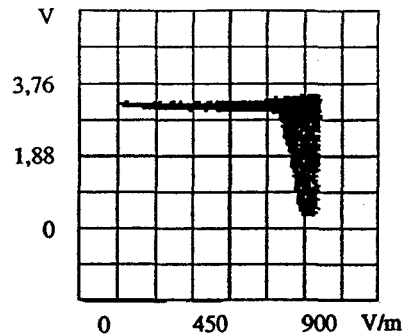
Le schéma synoptique et les dessins des cartes imprimées correspondant aux résultats présentées ci-dessous sont ceux des figures A-III-3 et A-III-5.

### A.III.6.1. Niveau haut en entrée.

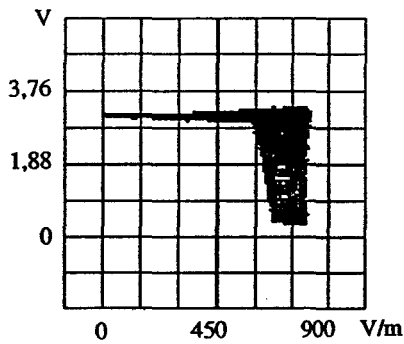
#### A.III.6.1.1. Technologie TTL-LS en sortie.



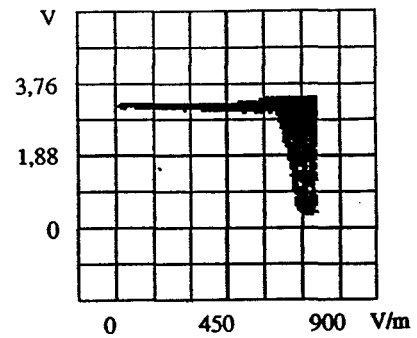
C1 : LS-LS



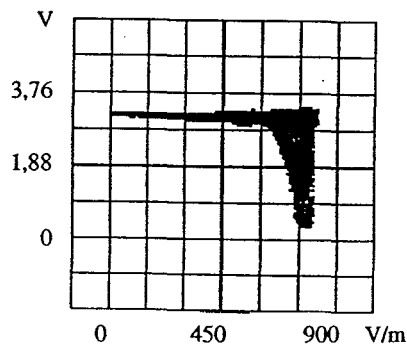
C3 : ALS-LS



C3 : AS-LS

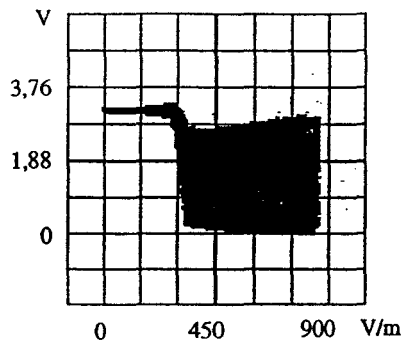


C3 : F-LS

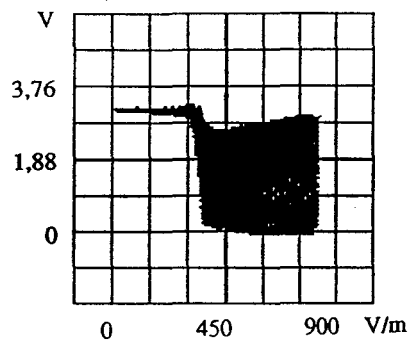


C3 : S-LS

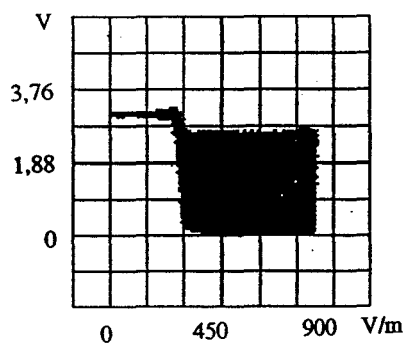
Planche A-III-1 : Technologie TTL-LS en sortie, Niveau haut en entrée,  $F = 15$  MHz.



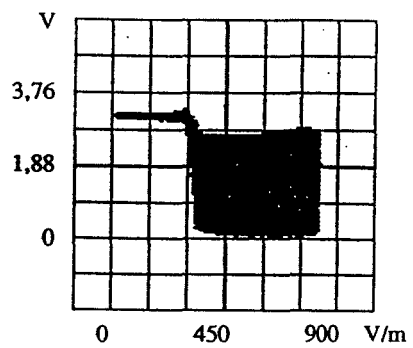
C1 : LS-LS



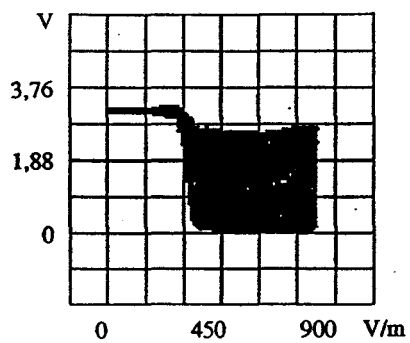
C3 : ALS-LS



C3 : AS-LS

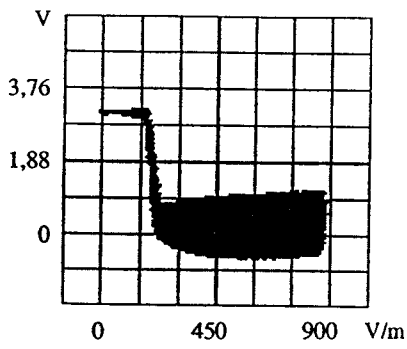


C3 : F-LS

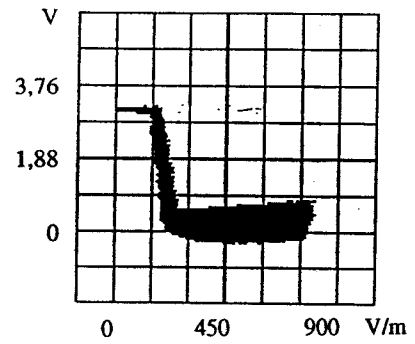


C3 : S-LS

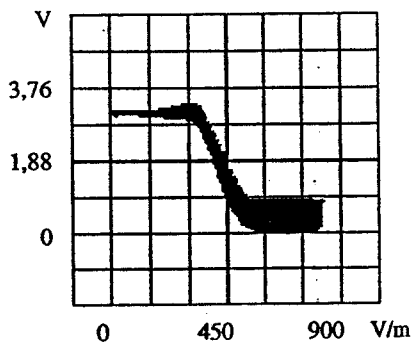
Planche A-III-2 : Technologie TTL-LS en sortie, Niveau haut en entrée,  $F = 55$  MHz.



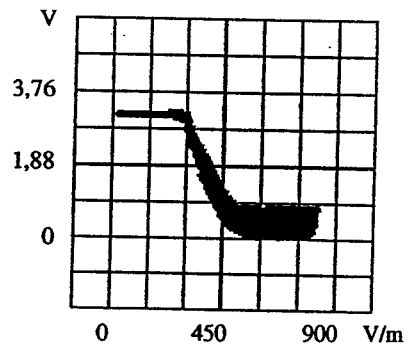
C1 : LS-LS



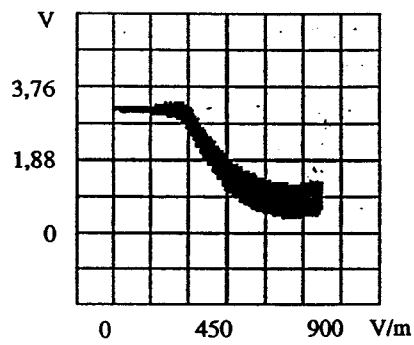
C3 : ALS-LS



C3 : AS-LS



C3 : F-LS

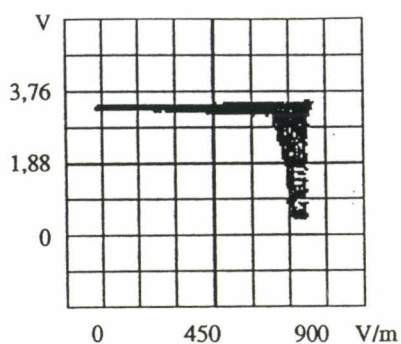


C3 : S-LS

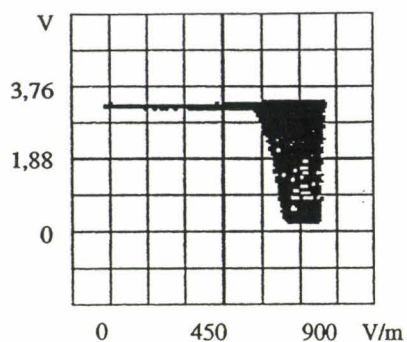
Planche A-III-3 : Technologie TTL-LS en sortie, Niveau haut en entrée, F = 185 MHz.



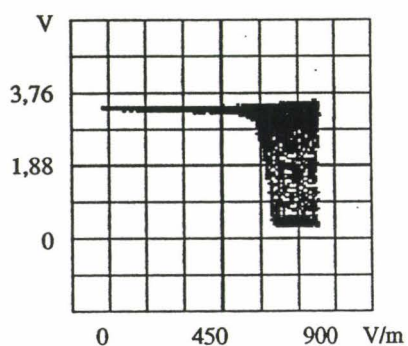
A.III.6.1.2. Technologie TTL-ALS en sortie.



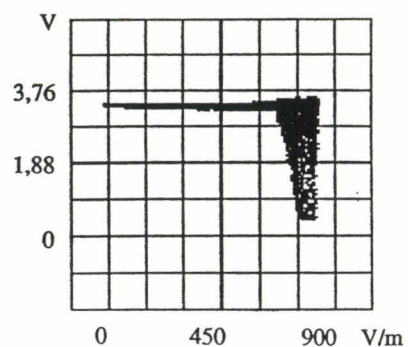
C3 : LS-ALS



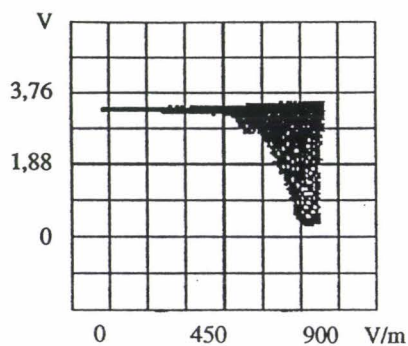
C2 : ALS-ALS



C3 : AS-ALS



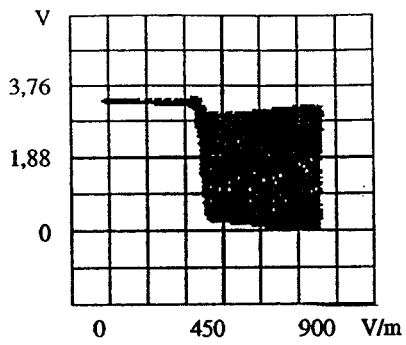
C3 : F-ALS



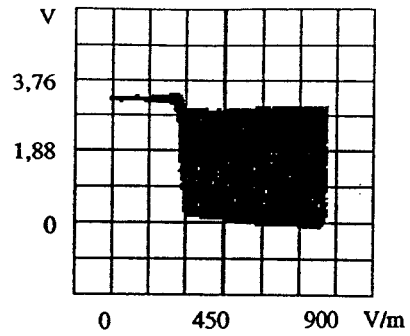
C3 : S-ALS

Planche A-III-4 : Technologie TTL-ALS en sortie, Niveau haut en entrée,  $F = 15$  MHz.

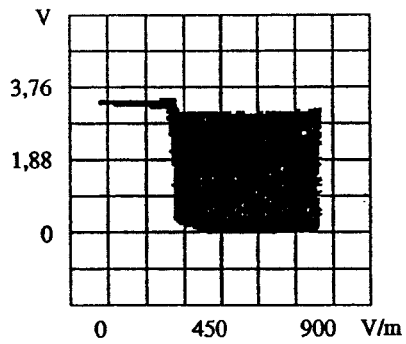




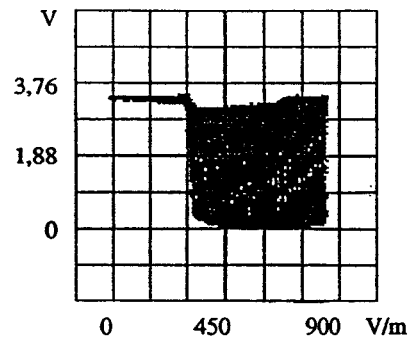
C3 : LS-ALS



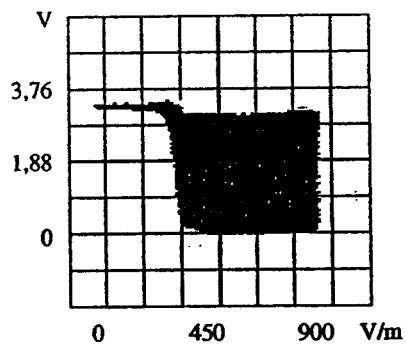
C2 : ALS-ALS



C3 : AS-ALS

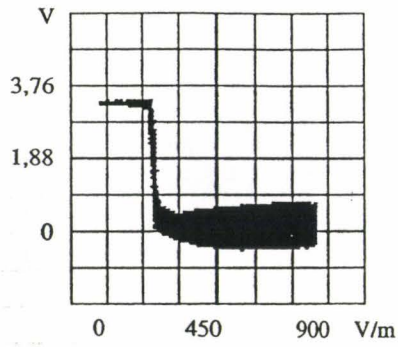


C3 : F-ALS

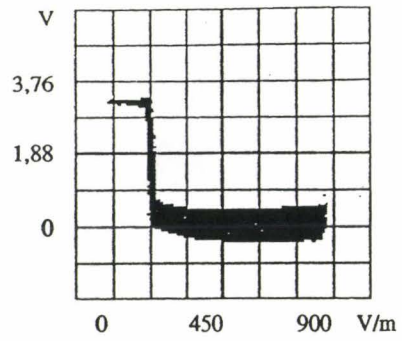


C3 : S-ALS

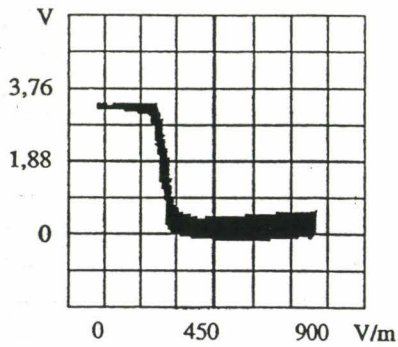
Planche A-III-5 : Technologie TTL-ALS en sortie, Niveau haut en entrée,  $F = 55$  MHz.



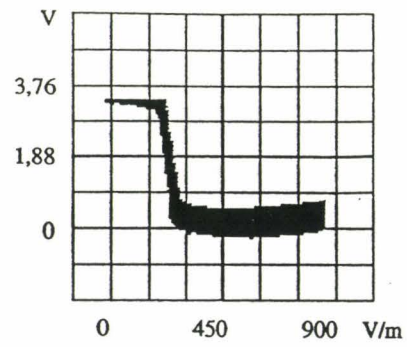
C3 : LS-ALS



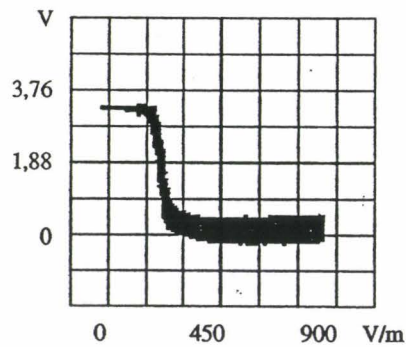
C2 : ALS-ALS



C3 : AS-ALS



C3 : F-ALS

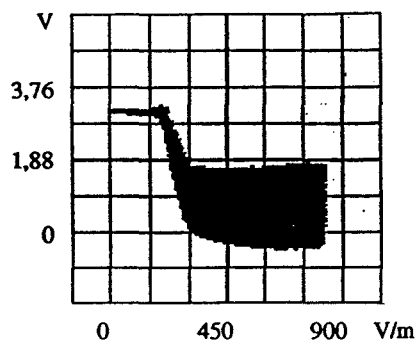


C3 : S-ALS

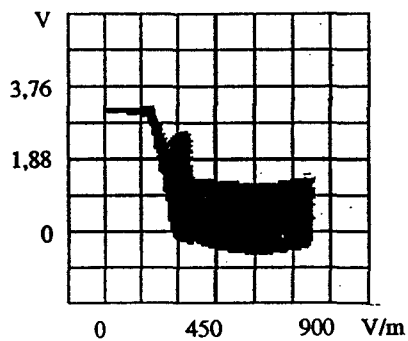
Planche A-III-6 : Technologie TTL-ALS en sortie, Niveau haut en entrée, F = 185 MHz.



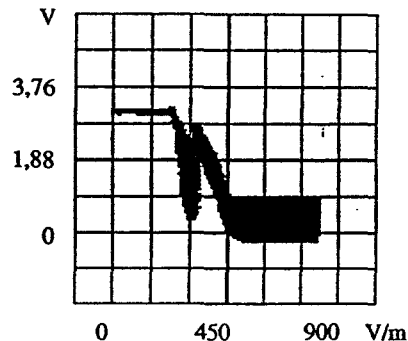
A.III.6.1.3. Comportement particulier lorsque le composant d'entrée est de technologie TTL-AS et le composant de sortie de technologie TTL-LS ou TTL-ALS.



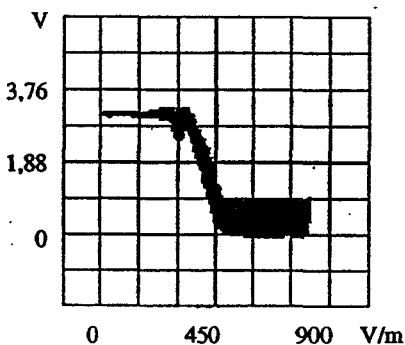
C3 : AS-LS, 95 MHz



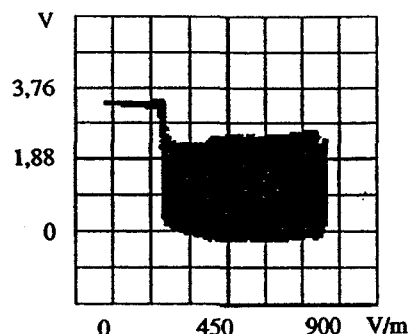
C3 : AS-LS, 105 MHz



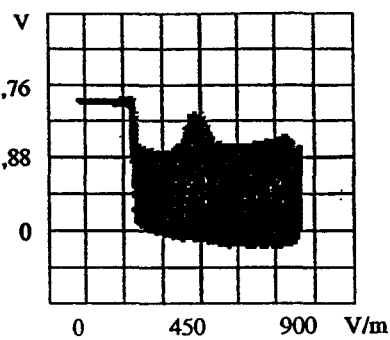
C3 : AS-LS, 145 MHz



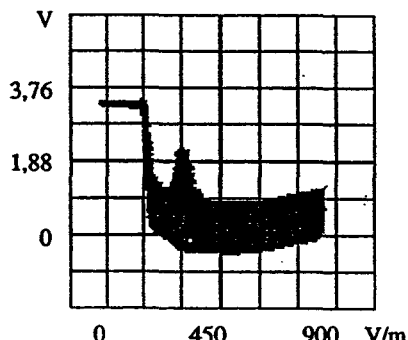
C3 : AS-LS, 175 MHz



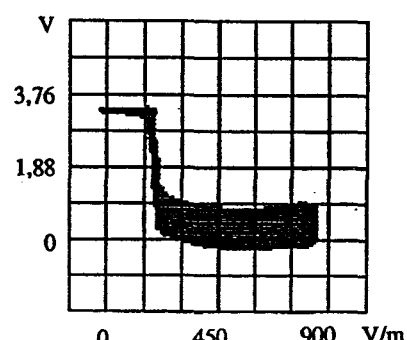
C3 : AS-ALS, 85 MHz



C3 : AS-ALS, 95 MHz



C3 : AS-ALS, 125 MHz

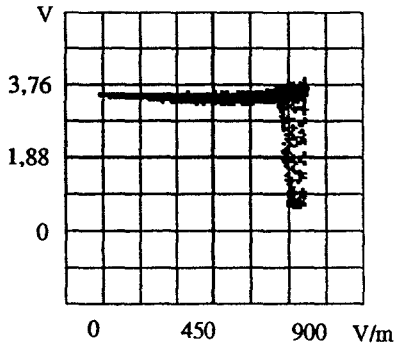


C3 : AS-ALS, 145 MHz

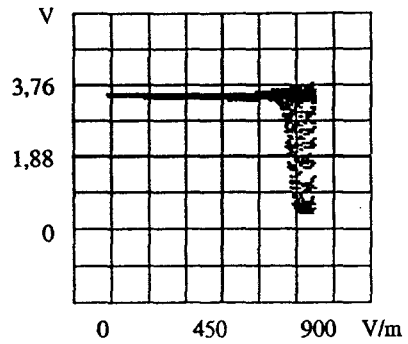
Planche A-III-7 : Technologie TTL-AS en entrée, Niveau haut en entrée.



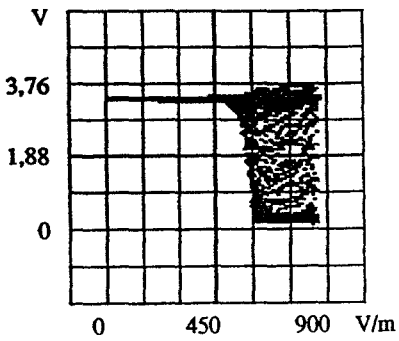
A.III.6.1.4. Technologie TTL-AS en sortie.



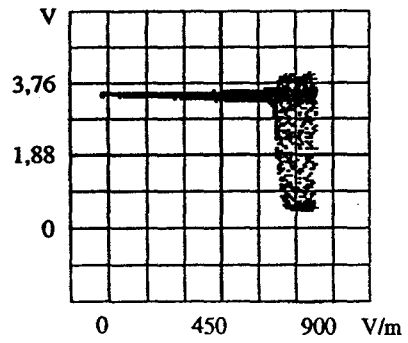
C3 : LS-AS



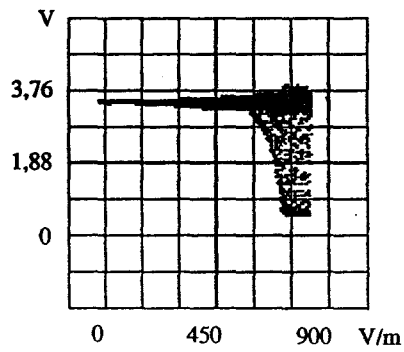
C3 : ALS-AS



C1 : AS-AS

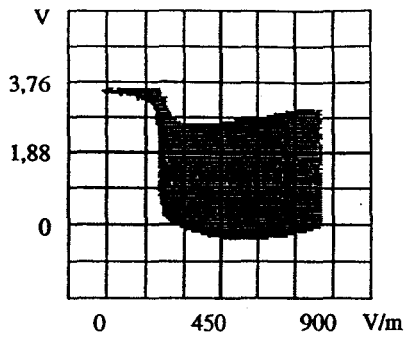


C3 : F-AS

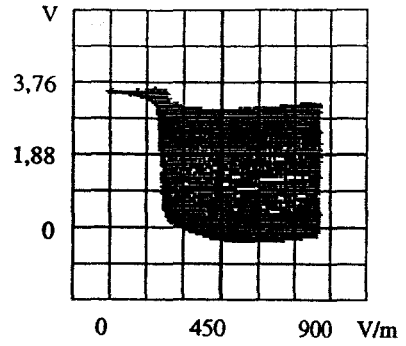


C3 : S-AS

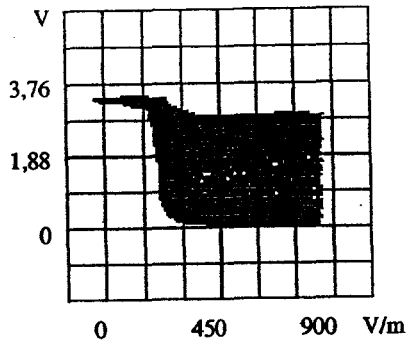
Planche A-III-8 : Technologie TTL-AS en sortie, Niveau haut en entrée,  $F = 15$  MHz.



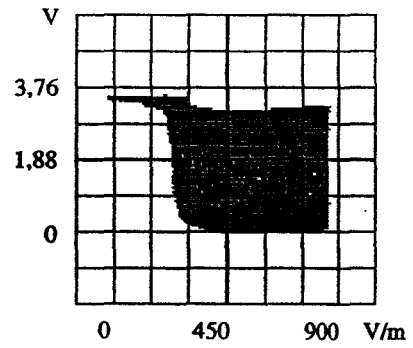
C3 : LS-AS



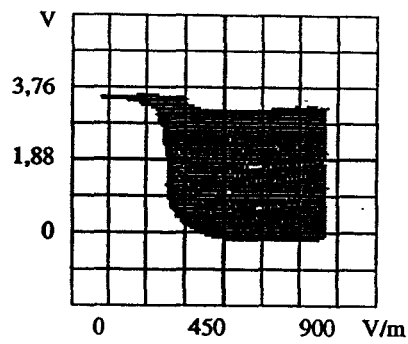
C3 : ALS-AS



C1 : AS-AS



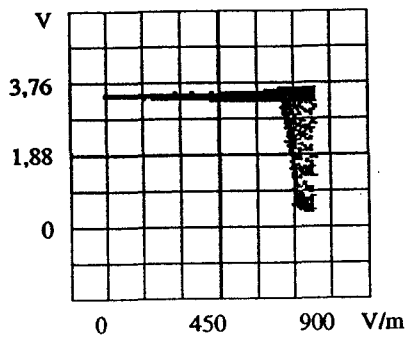
C3 : F-AS



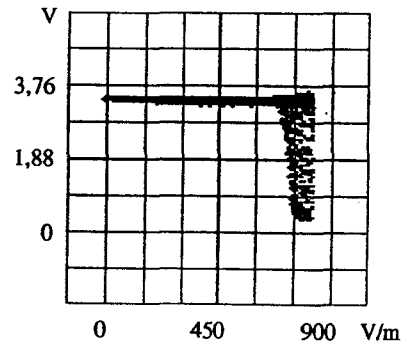
C3 : S-AS

Planche A-III-9 : Technologie TTL-AS en sortie, Niveau haut en entrée,  $F = 185$  MHz.

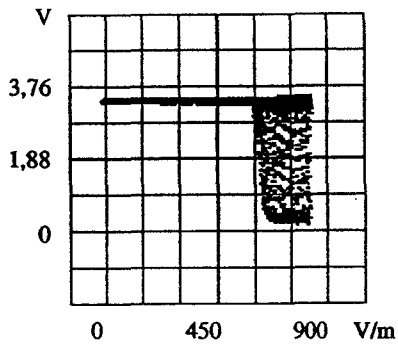
A.III.6.1.5. Technologie TTL-F en sortie.



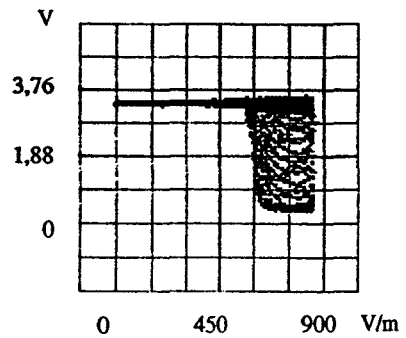
C3 : LS-F



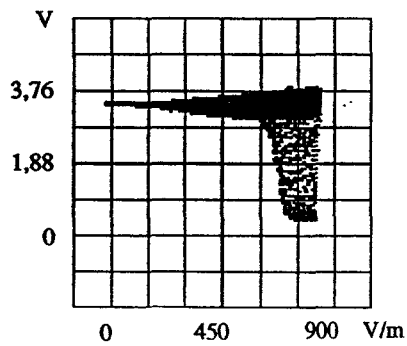
C3 : ALS-F



C3 : AS-F

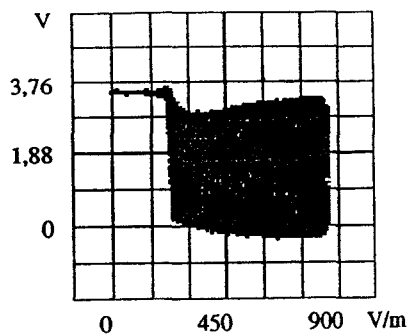


C2 : F-F

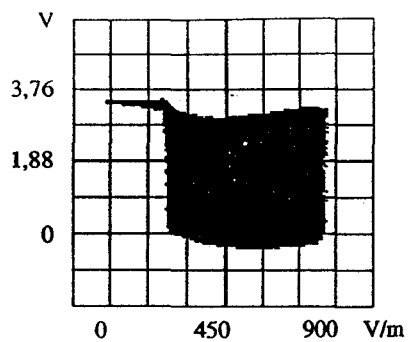


C3 : S-F

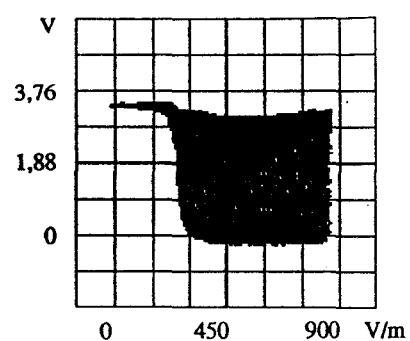
Planche A-III-10 : Technologie TTL-F en sortie, Niveau haut en entrée, F = 15 MHz.



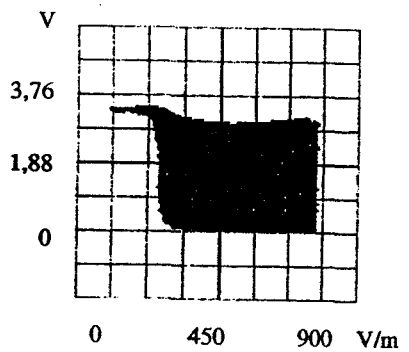
C3 : LS-F



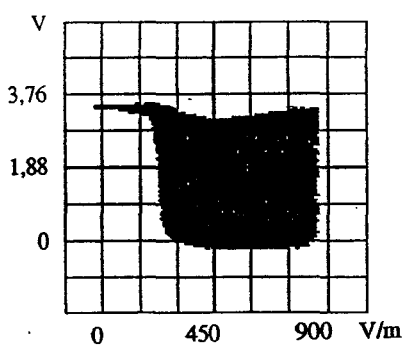
C3 : ALS-F



C3 : AS-F



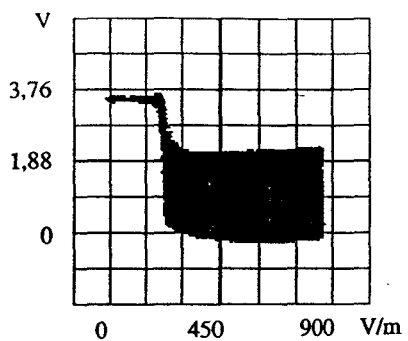
C2 : F-F



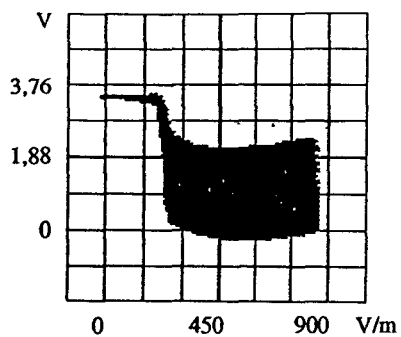
C3 : S-F

Planche A-III-11 : Technologie TTL-F en sortie, Niveau haut en entrée, F = 145 MHz.

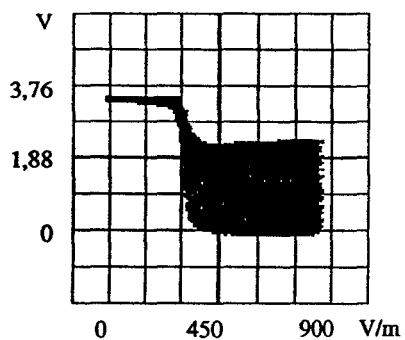




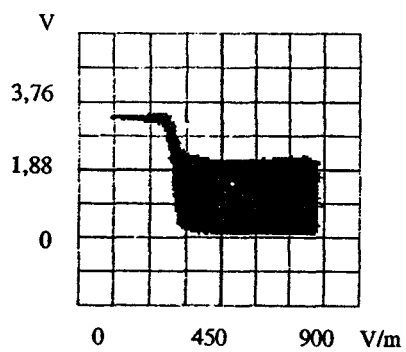
C3 : LS-F



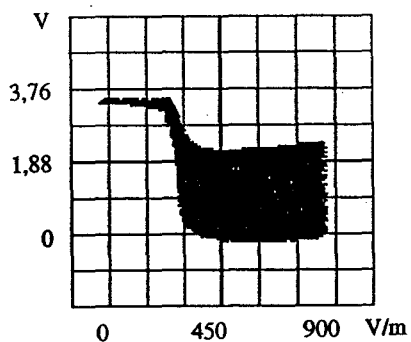
C3 : ALS-F



C3 : AS-F



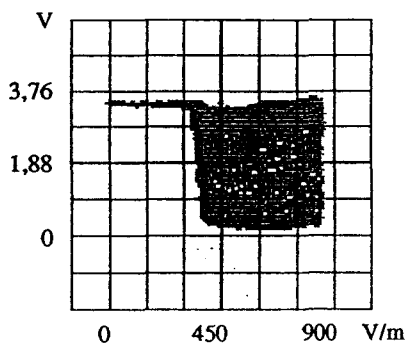
C2 : F-F



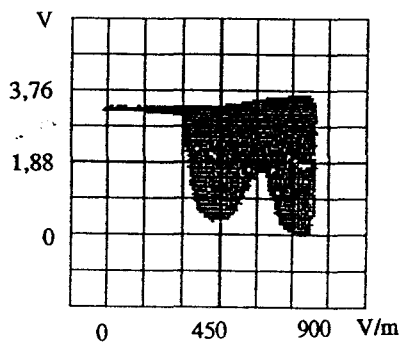
C3 : S-F

Planche A-III-12 : Technologie TTL-F en sortie, Niveau haut en entrée, F = 185 MHz.

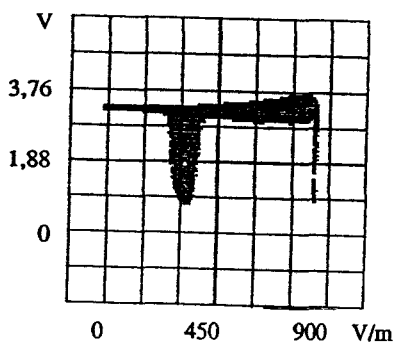
A.III.6.1.6. Technologie TTL-S en sortie.



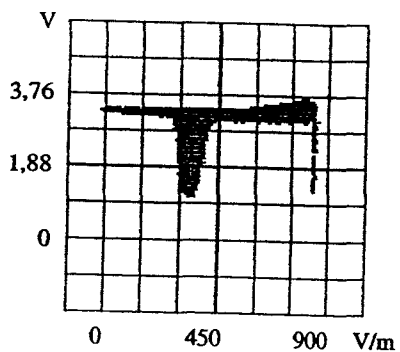
C3 : LS-S



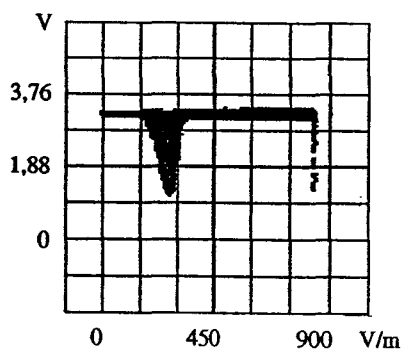
C3 : ALS-S



C3 : AS-S



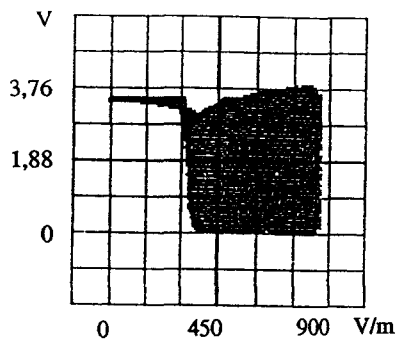
C3 : F-S



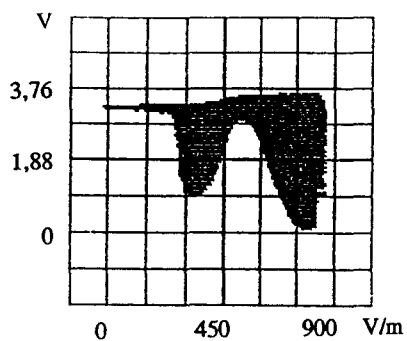
C2 : S-S

Planche A-III-13 : Technologie TTL-S en sortie, Niveau haut en entrée, F = 55 MHz.

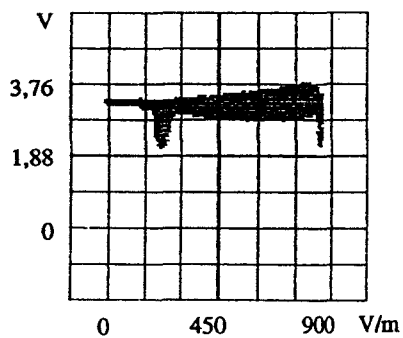




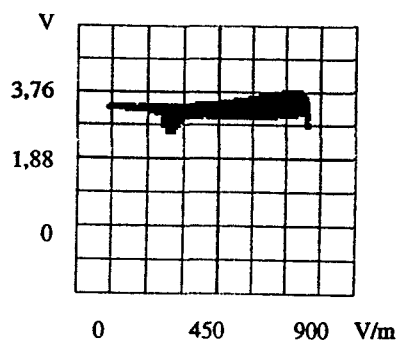
C3 : LS-S



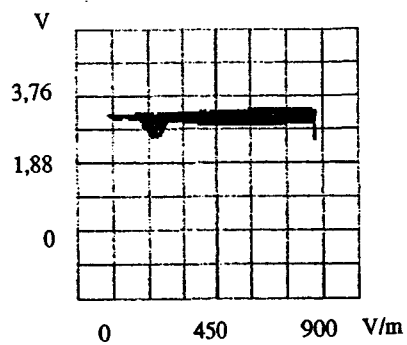
C3 : ALS-S



C3 : AS-S

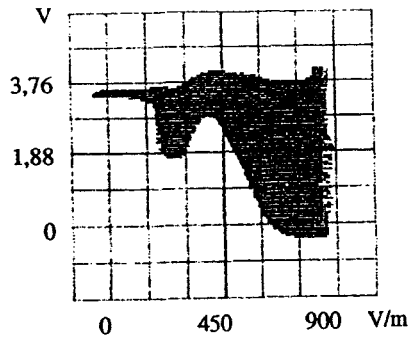


C3 : F-S

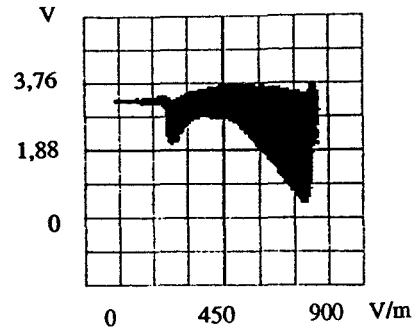


C2 : S-S

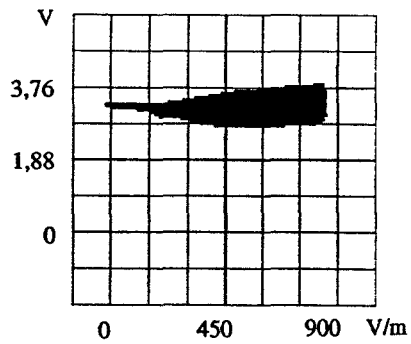
Planche A-III-14 : Technologie TTL-S en sortie, Niveau haut en entrée,  $F = 95$  MHz.



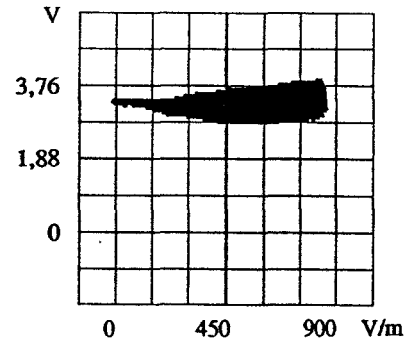
C3 : LS-S



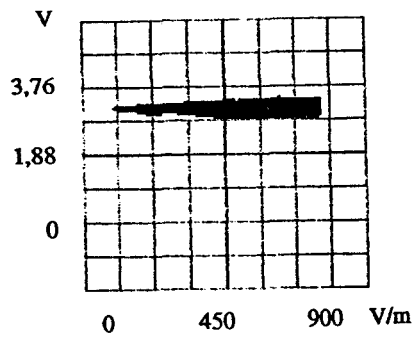
C3 : ALS-S



C3 : AS-S



C3 : F-S

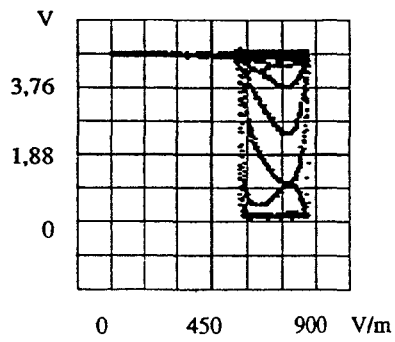


C2 : S-S

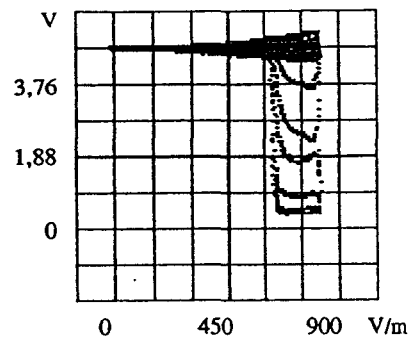
Planche A-III-15 : Technologie TTL-S en sortie, Niveau haut en entrée,  $F = 145$  MHz.



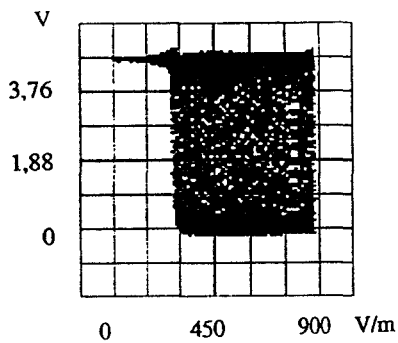
A.III.6.1.7. Technologie CMOS-HC en sortie.



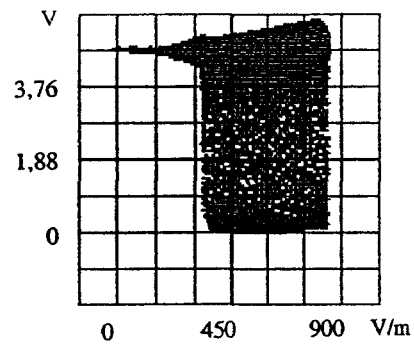
C2 : HC-HC, 25 Mhz



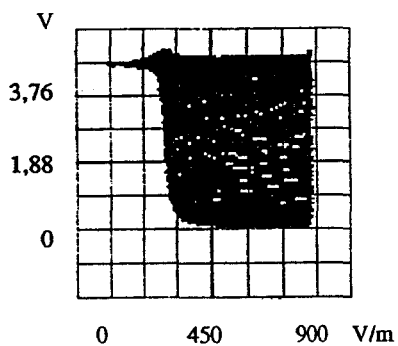
C3 : HCU-HC, 25 MHz



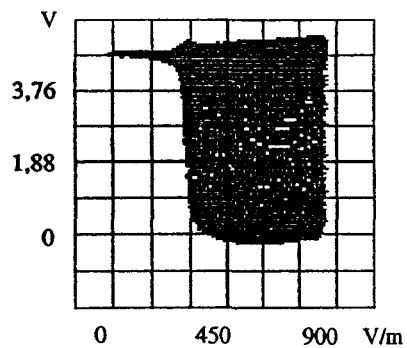
C2 : HC-HC, 95 Mhz



C3 : HCU-HC, 95 MHz



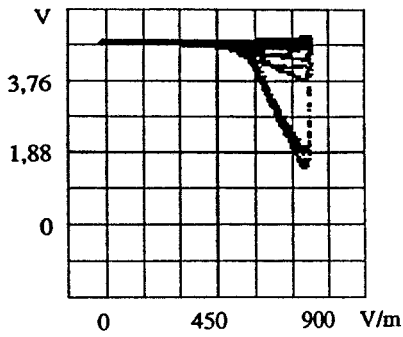
C2 : HC-HC, 185 Mhz



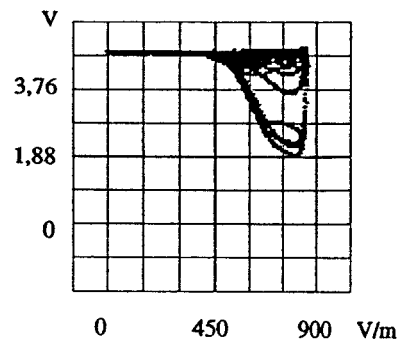
C3 : HCU-HC, 185 MHz

Planche A-III-16 : Technologie CMOS-HC en sortie, Niveau haut en entrée.

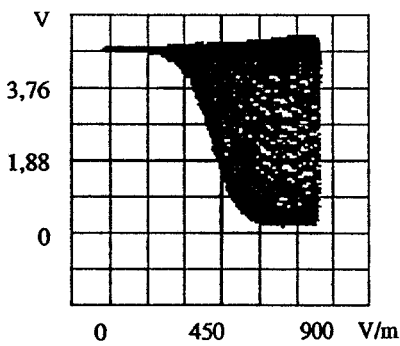
A.III.6.1.8. Technologie CMOS-HCU en sortie.



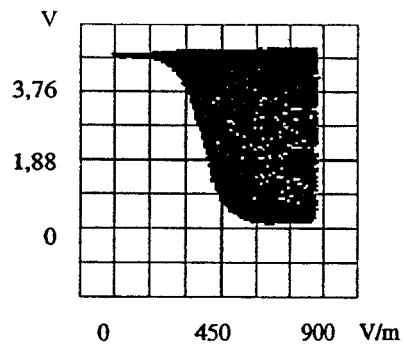
C3 : HC-HCU, 25 MHz



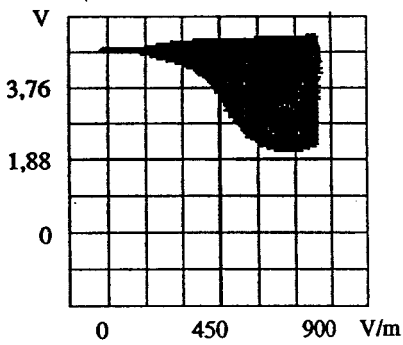
C2 : HCU-HCU, 25 MHz



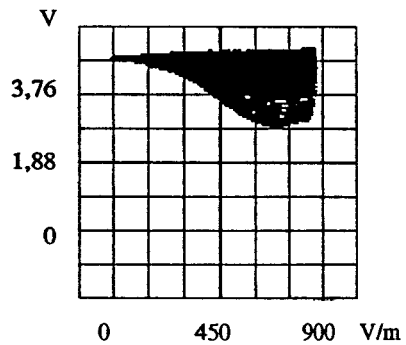
C3 : HC-HCU, 95 MHz



C2 : HCU-HCU, 95 MHz



C3 : HC-HCU, 185 MHz

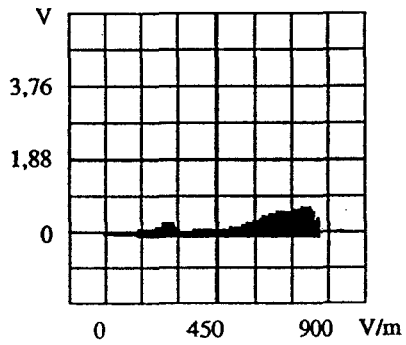


C2 : HCU-HCU, 185 MHz

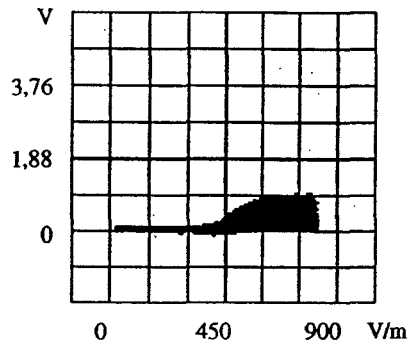
Planche A-III-17 : Technologie CMOS-HCU en sortie, Niveau haut en entrée.

### A.III.6.2. Niveau bas en entrée.

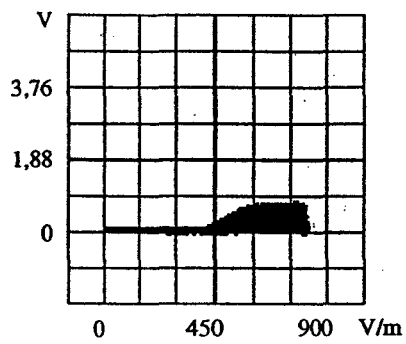
#### A.III.6.2.1. Technologie TTL-LS en sortie.



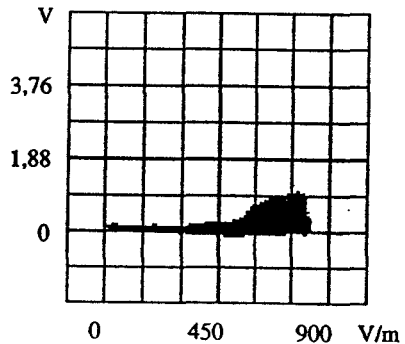
C1 : LS-LS



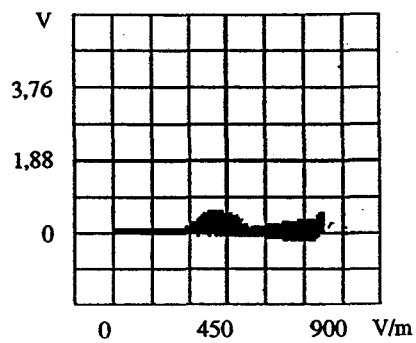
C3 : ALS-LS



C3 : AS-LS



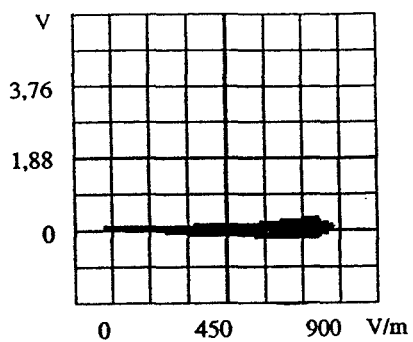
C3 : F-LS



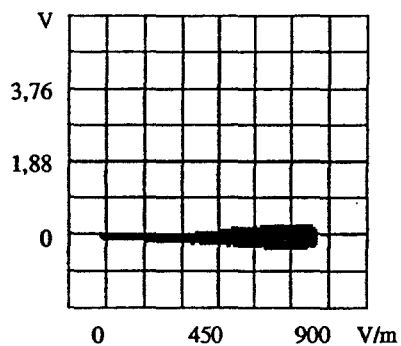
C3 : S-LS

Planche A-III-18 : Technologie TTL-LS en sortie, Niveau bas en entrée, F = 85 MHz.

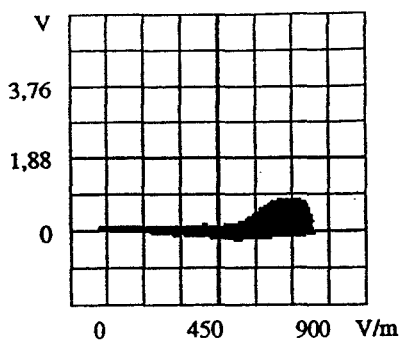
A.III.6.2.2. Technologie TTL-ALS en sortie.



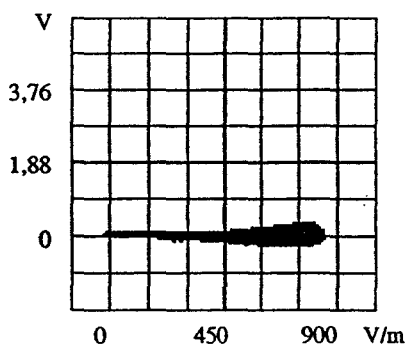
C3 : LS-ALS



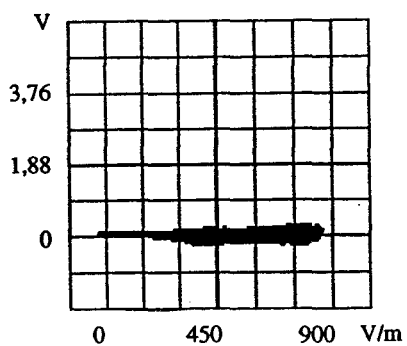
C2 : ALS-ALS



C3 : AS-ALS



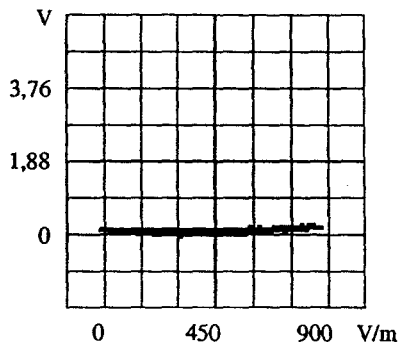
C3 : F-ALS



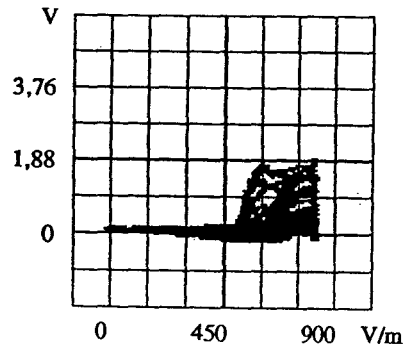
C3 : S-ALS

Planche A-III-19 : Technologie TTL-ALS en sortie, Niveau bas en entrée, F = 95 MHz.

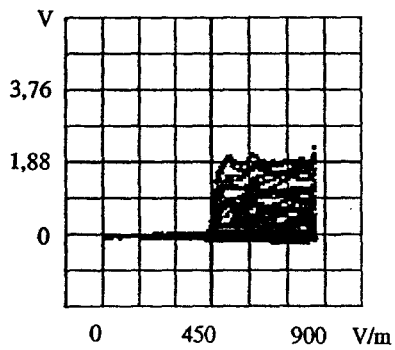
A.III.6.2.3. Technologie TTL-AS en sortie.



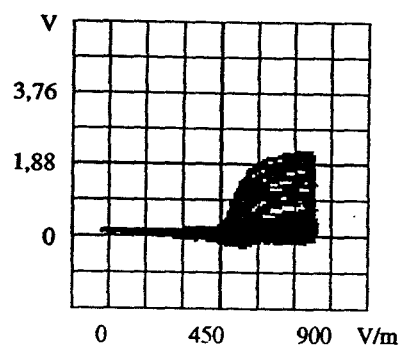
C3 : LS-AS



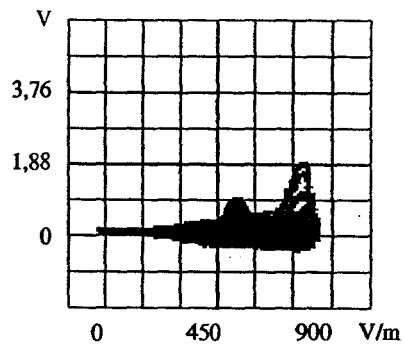
C3 : ALS-AS



C1 : AS-AS

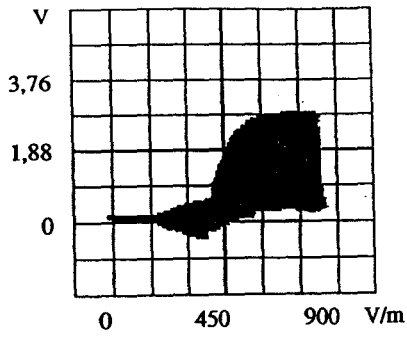


C3 : F-AS

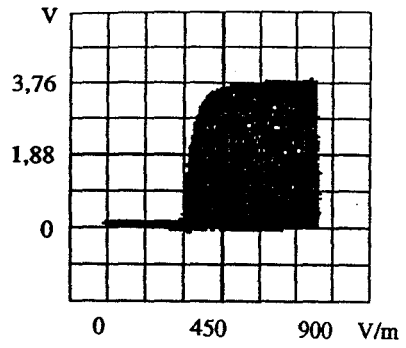


C3 : S-AS

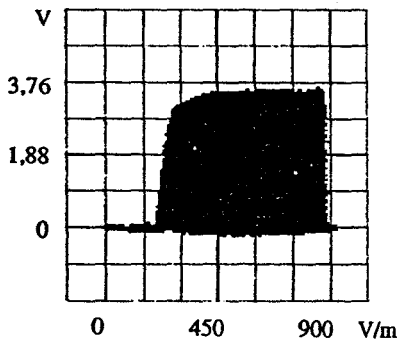
Planche A-III-20 : Technologie TTL-AS en sortie, Niveau bas en entrée,  $F = 75$  MHz.



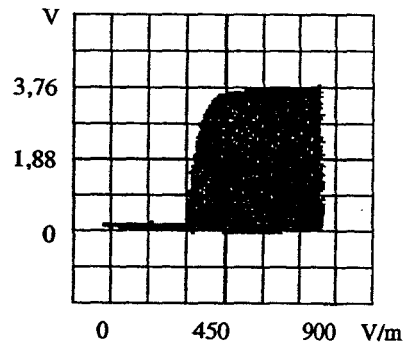
C3 : LS-AS



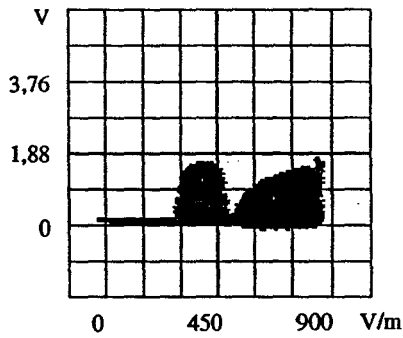
C3 : ALS-AS



C1 : AS-AS, 145 MHz



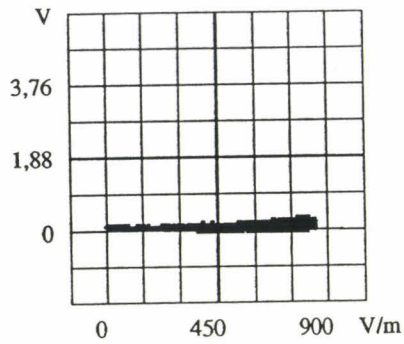
C3 : F-AS



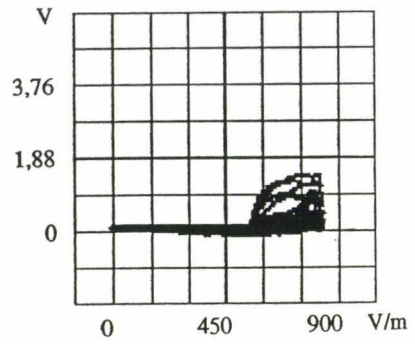
C3 : S-AS

Planche A-III-21 : Technologie TTL-AS en sortie, Niveau bas en entrée,  $F = 135$  MHz.

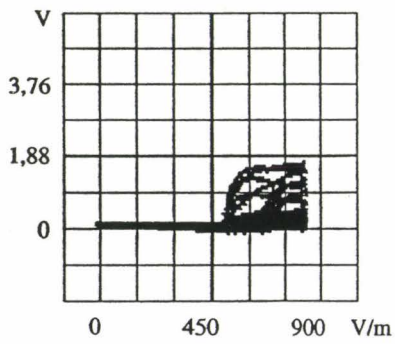
A.III.6.2.4. Technologie TTL-F en sortie.



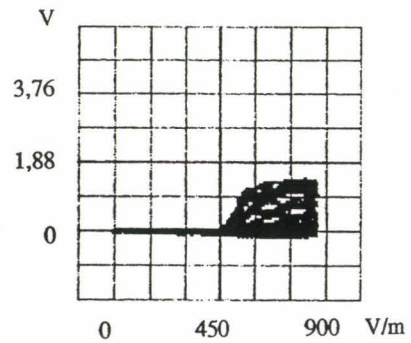
C3 : LS-F



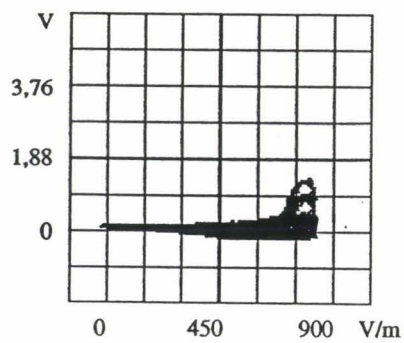
C3 : ALS-F



C3 : AS-F



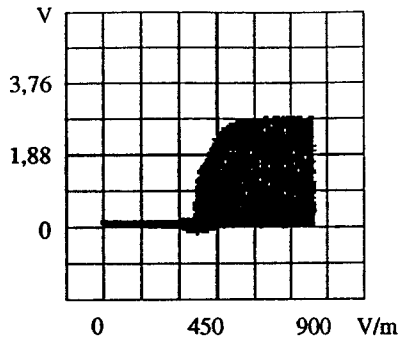
C2 : F-F



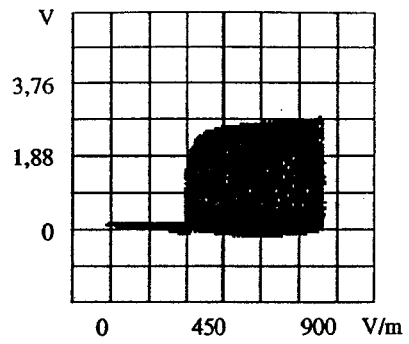
C3 : S-F

Planche A-III-22 : Technologie TTL-F en sortie, Niveau bas en entrée,  $F = 75$  MHz.

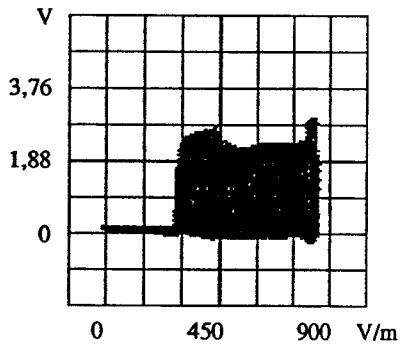




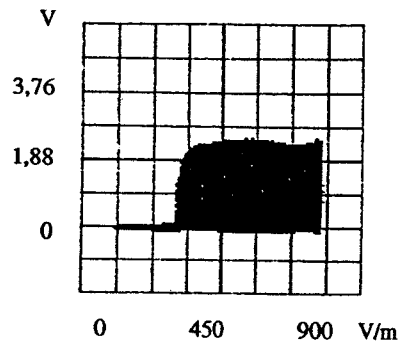
C3 : LS-F



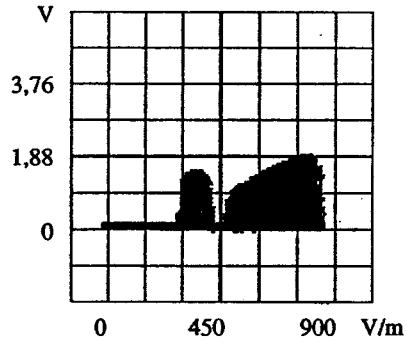
C3 : ALS-F



C3 : AS-F



C2 : F-F



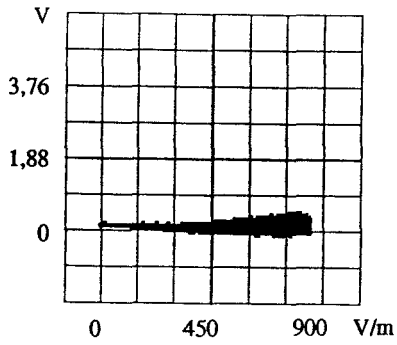
C3 : S-F

Planche A-III-23 : Technologie TTL-F en sortie, Niveau bas en entrée, F = 135 MHz.

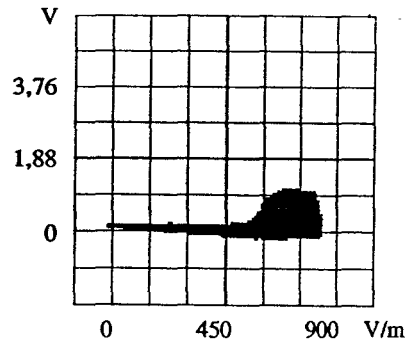




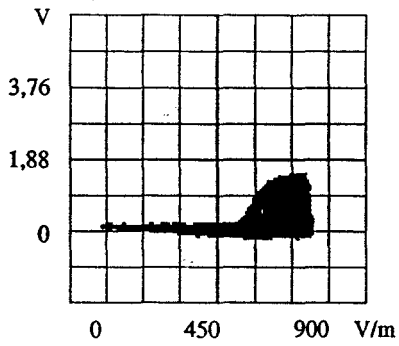
A.III.6.2.5. Technologie TTL-S en sortie.



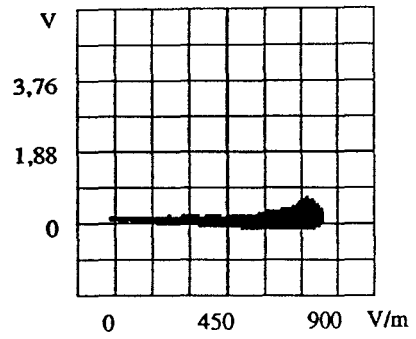
C3 : LS-S



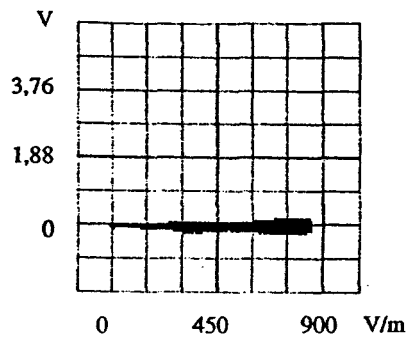
C3 : ALS-S



C3 : AS-S

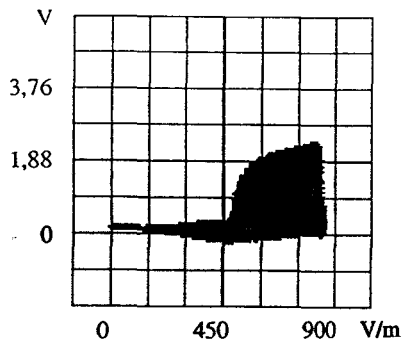


C3 : F-S

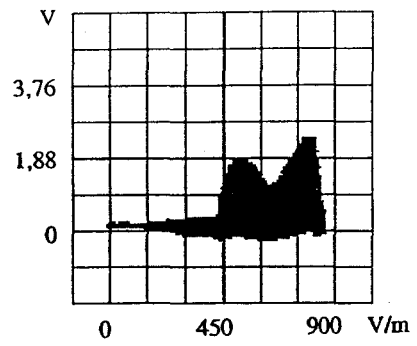


C2 : S-S

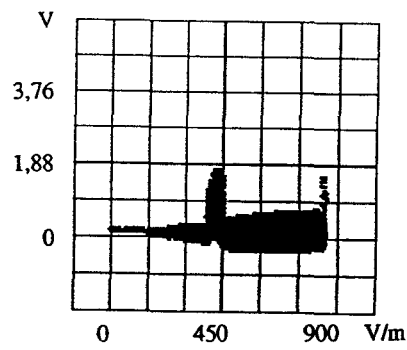
Planche A-III-24 : Technologie TTL-S en sortie, Niveau bas en entrée, F = 95 MHz.



C3 : LS-S, 135 MHz



C3 : LS-S, 145 MHz

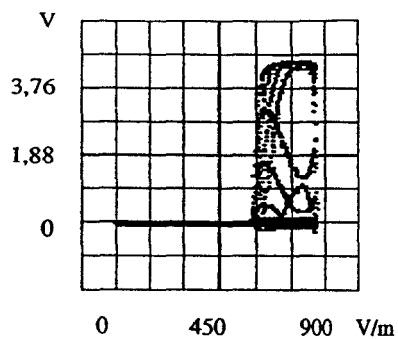


C3 : LS-S, 155 MHz

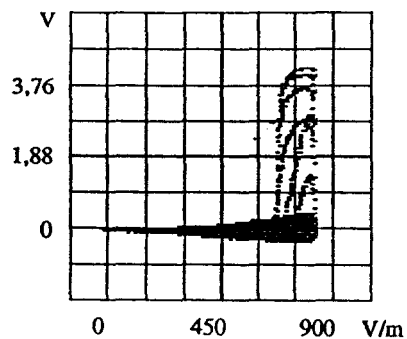
Planche A-III-25 : Technologie TTL-S en sortie, Niveau bas en entrée.



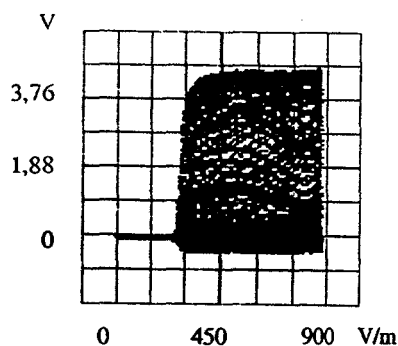
A.III.6.2.6. Technologie CMOS-HC en sortie.



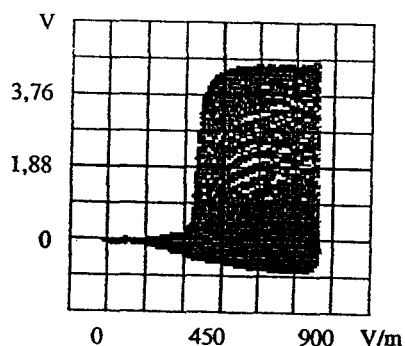
**C2 : HC-HC, 25 Mhz**



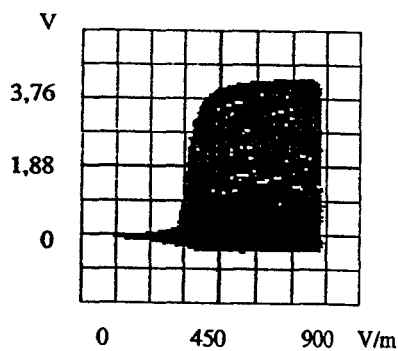
**C3 : HCU-HC, 25 MHz**



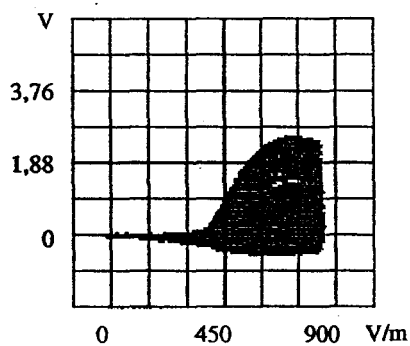
**C2 : HC-HC, 95 Mhz**



**C3 : HCU-HC, 95 MHz**



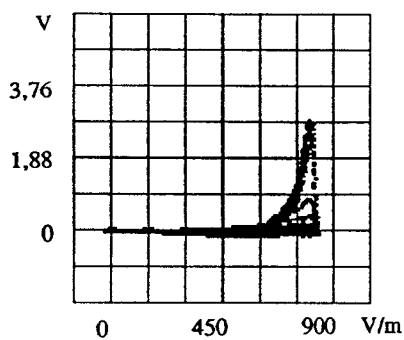
**C2 : HC-HC, 185 Mhz**



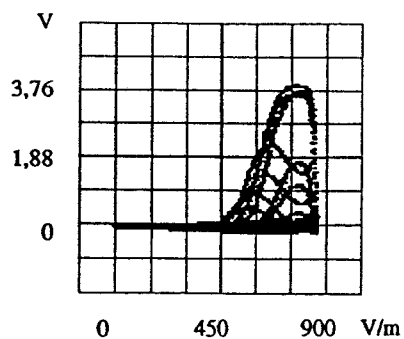
**C3 : HCU-HC, 185 MHz**

Planche A-III-26 : Technologie CMOS-HC en sortie, Niveau bas en entrée.

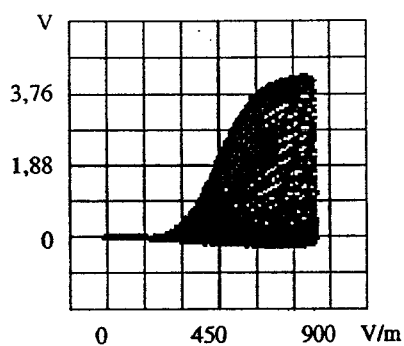
A.III.6.2.7. Technologie CMOS-HCU en sortie.



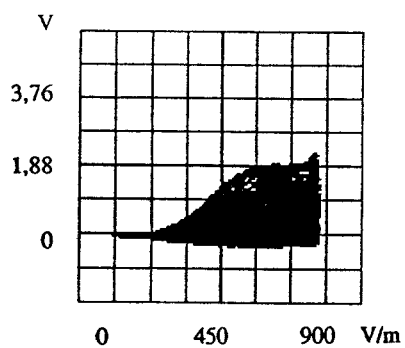
**C3 : HC-HCU, 25 MHz**



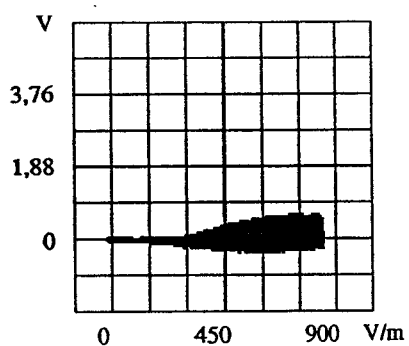
**C2 : HCU-HCU, 25 MHz**



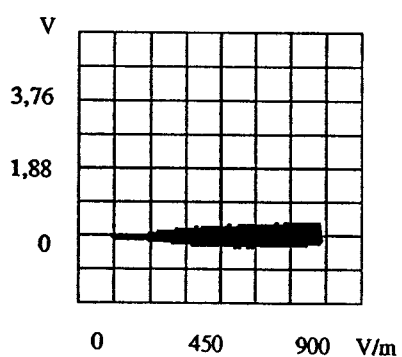
**C3 : HC-HCU, 95 MHz**



**C2 : HCU-HCU, 95 MHz**



**C3 : HC-HCU, 185 MHz**



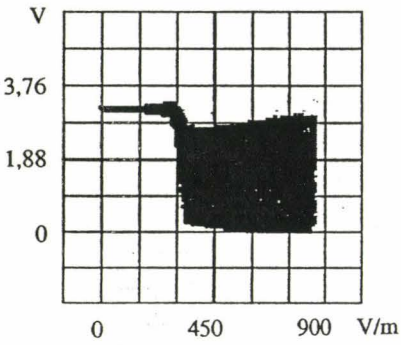
**C2 : HCU-HCU, 185 MHz**

Planche A-III-27 : Technologie CMOS-HCU en sortie, Niveau bas en entrée

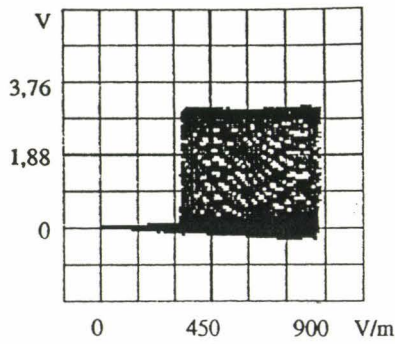


## A.III.7. PROPAGATION DES DÉFAUTS SUR NIVEAUX.

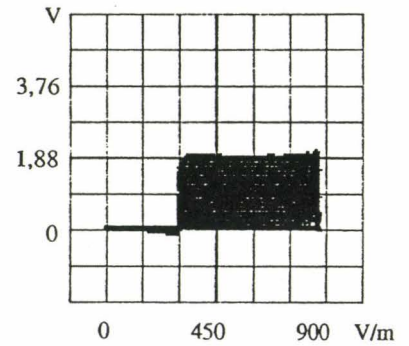
### A.III.7.1. Technologie TTL-LS



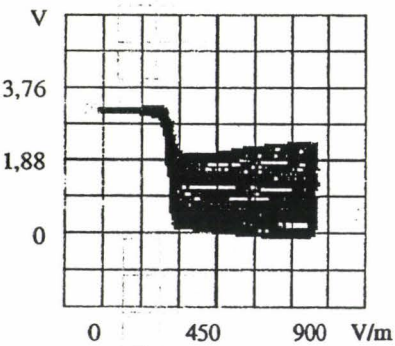
C1 : 55 MHz



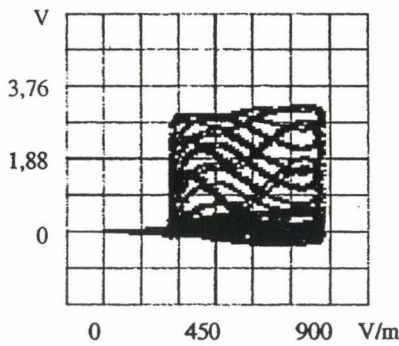
C2 : 55 MHz



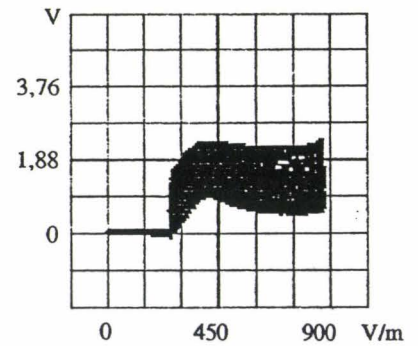
C4 : 55 MHz



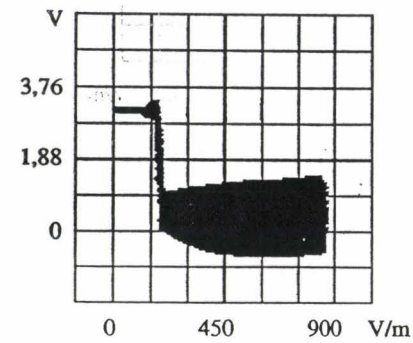
C1 : 75 MHz



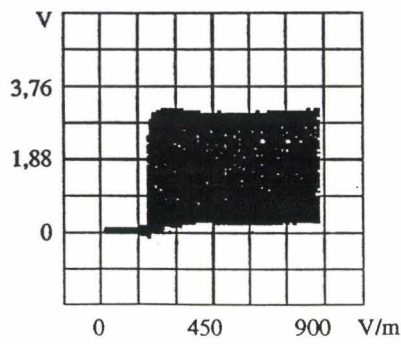
C2 : 75 MHz



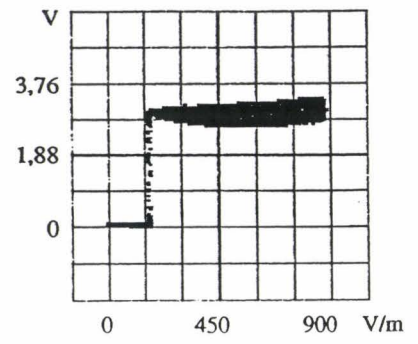
C4 : 75 MHz



C1 : 135 MHz

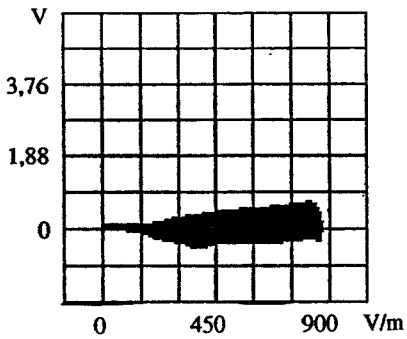


C2 : 135 MHz

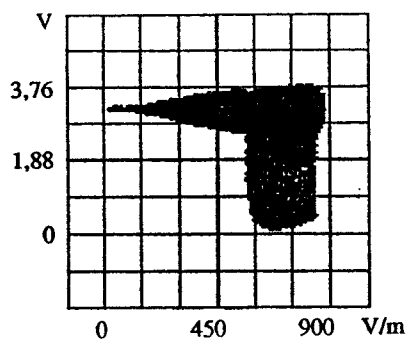


C4 : 135 MHz

Planche A-III-28 : Technologie TTL-LS, Niveau haut en entrée.

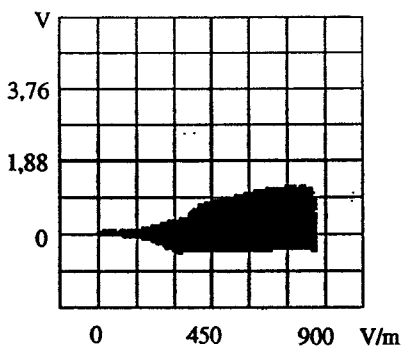


C1 : 105 MHz

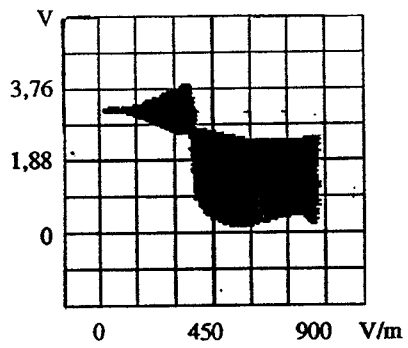


C2 : 105 MHz

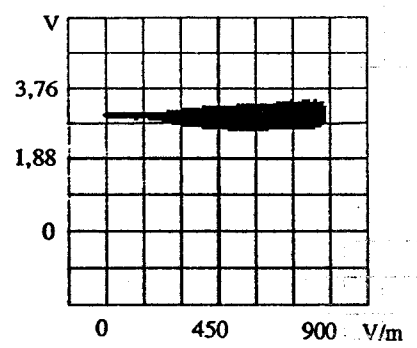
Non perturbé



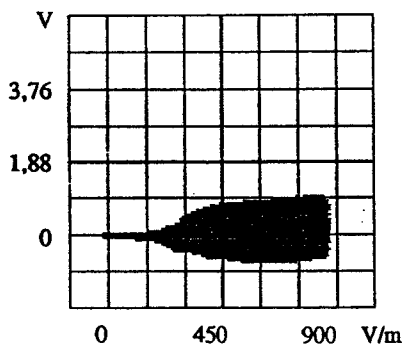
C1 : 145 MHz



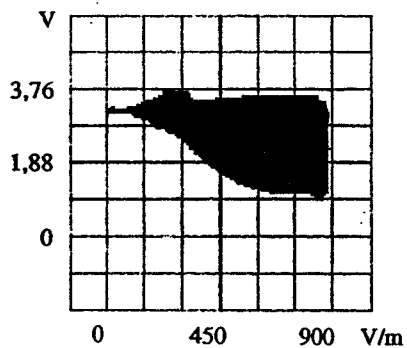
C2 : 145 MHz



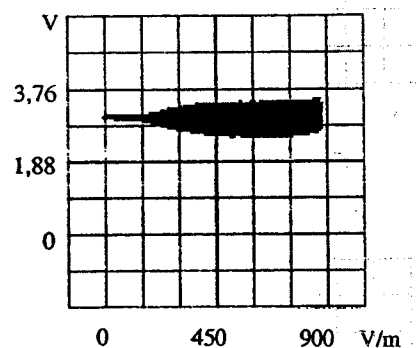
C4 : 145 MHz



C1 : 195 MHz



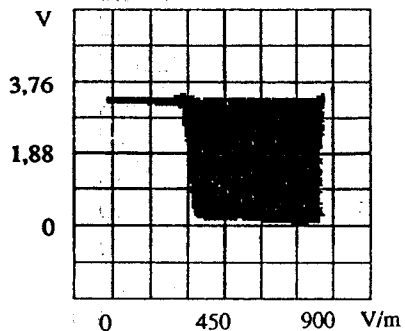
C2 : 195 MHz



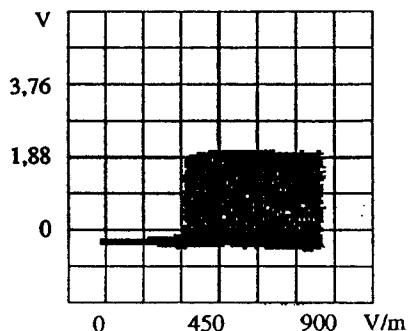
C4 : 195 MHz

Planche A-III-29 : Technologie TTL-LS, Niveau bas en entrée.

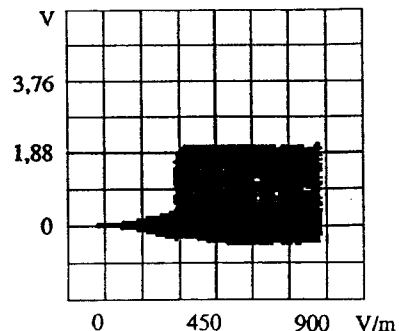
### A.III.7.2. Technologie TTL-ALS



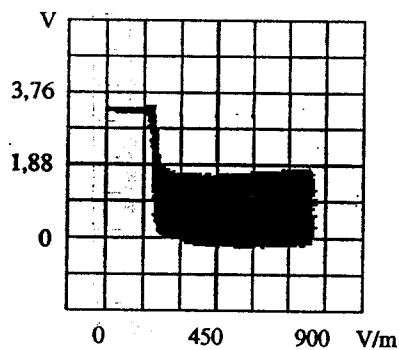
C2 : 45 MHz



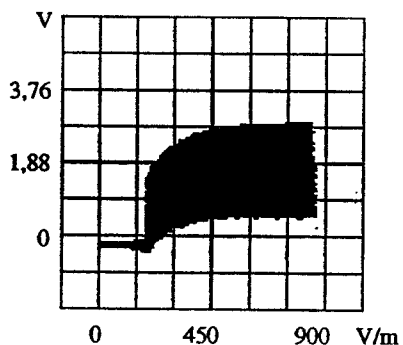
C2 : 45 MHz



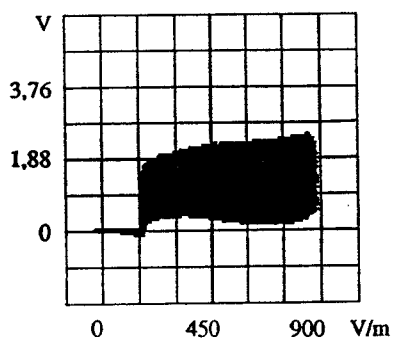
C4 : 45 MHz



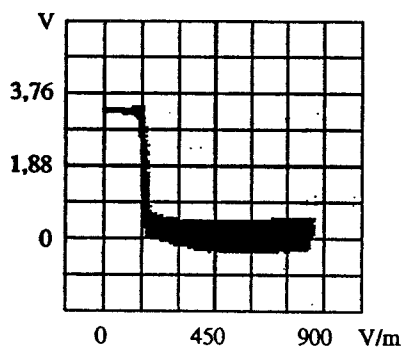
C2 : 105 MHz



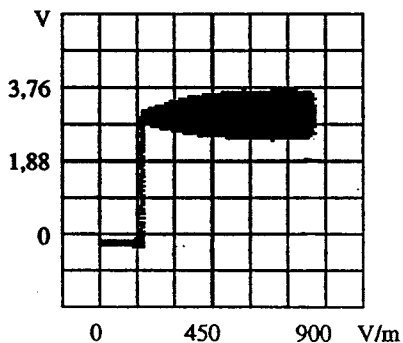
C2 : 105 MHz



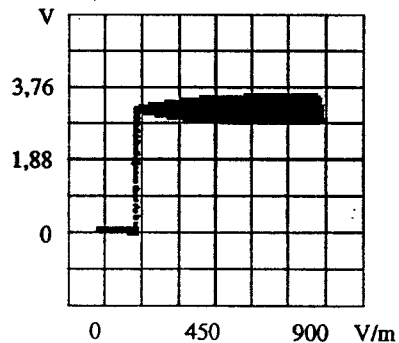
C4 : 105 MHz



C2 : 195 MHz



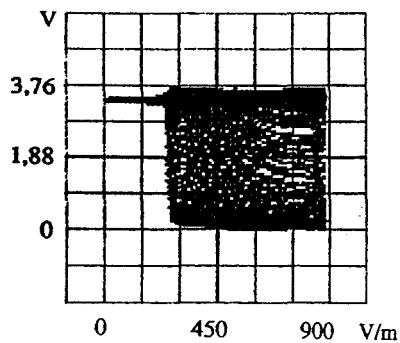
C2 : 195 MHz



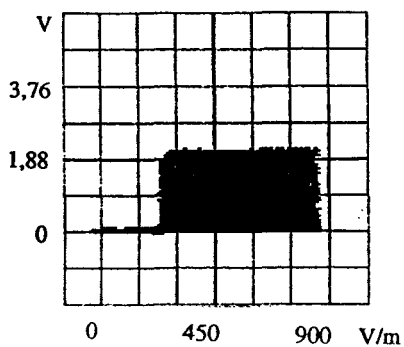
C4 : 195 MHz

Planche A-III-30 : Technologie TTL-ALS, Niveau haut en entrée.

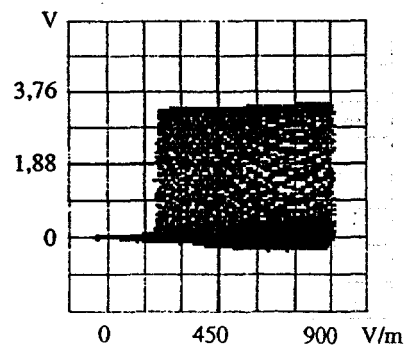
### A.III.7.3. Technologie TTL-AS



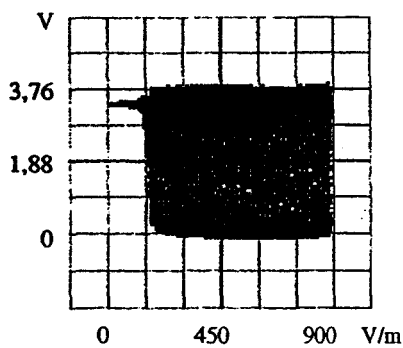
C1 : 45 MHz



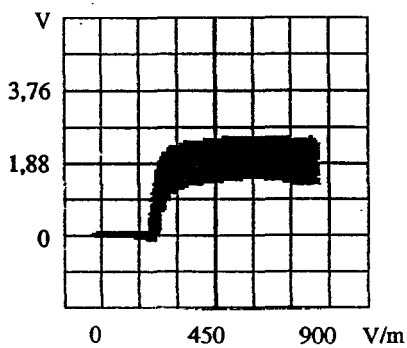
C2 : 45 MHz



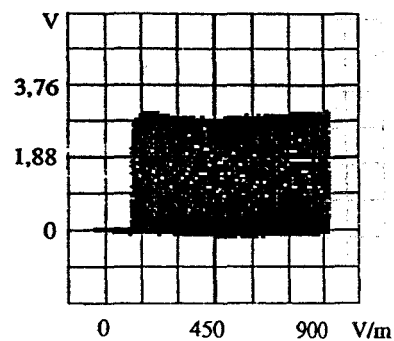
C4 : 45 MHz



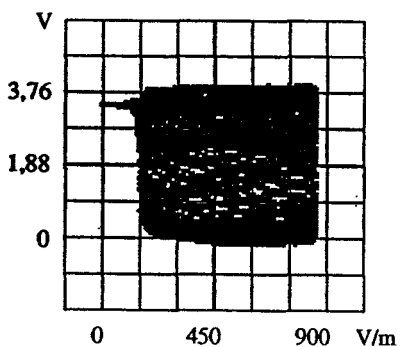
C1 : 95 MHz



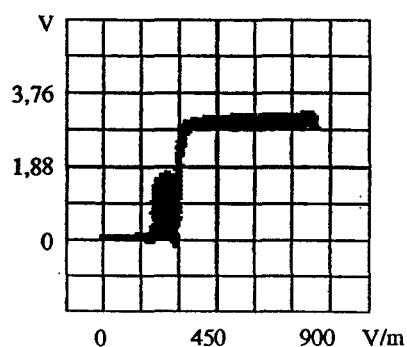
C2 : 95 MHz



C4 : 95 MHz



C1 : 115 MHz

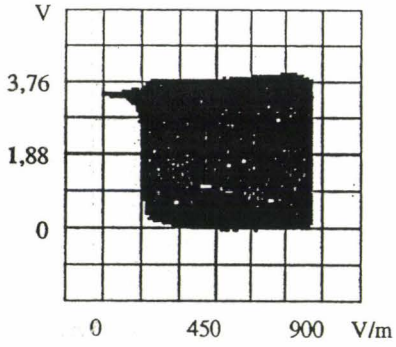


C2 : 115 MHz

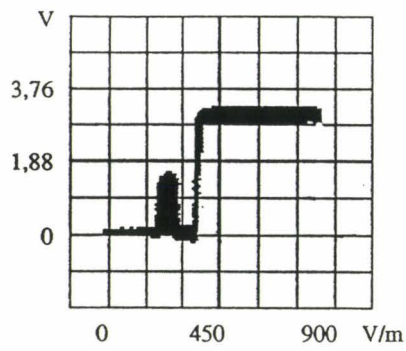
Planche A-III-31 : Technologie TTL-AS, Niveau haut en entrée.



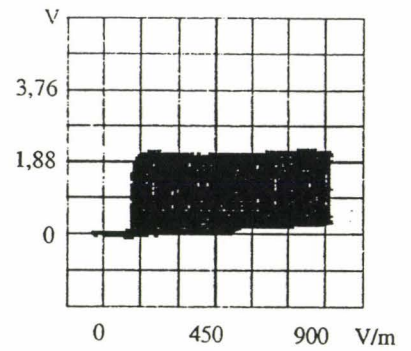




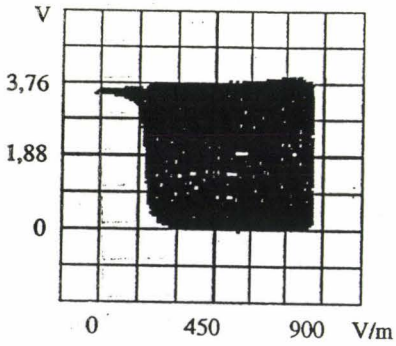
C1 : 135 MHz



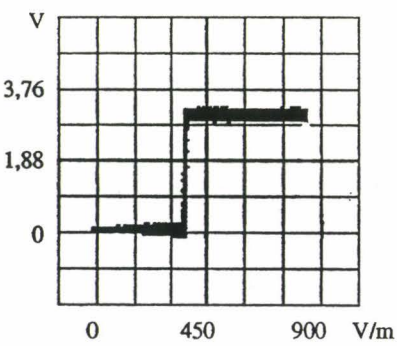
C2 : 135 MHz



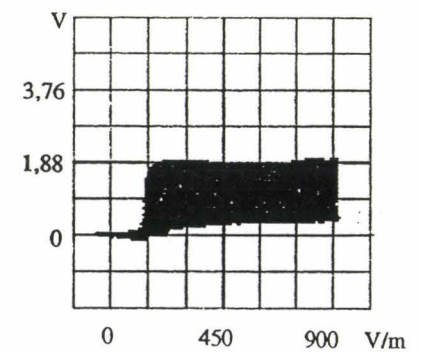
C4 : 135 MHz



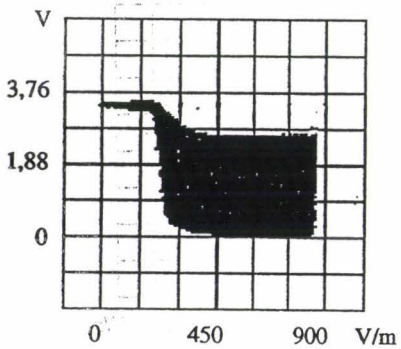
C1 : 155 MHz



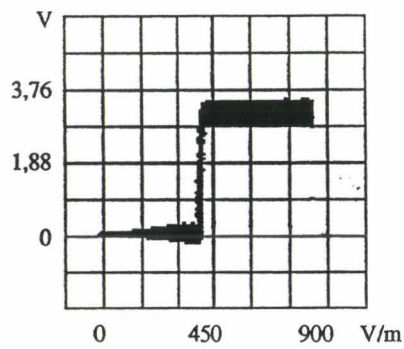
C2 : 155 MHz



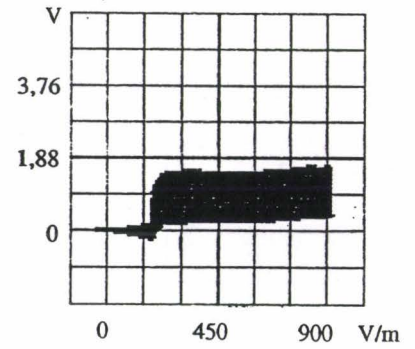
C4 : 155 MHz



C1 : 195 MHz



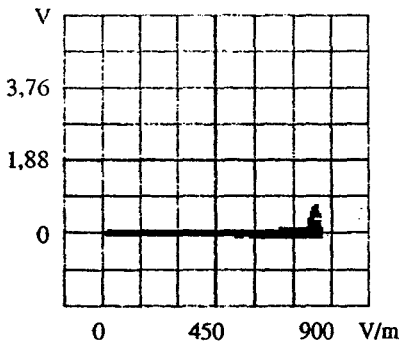
C2 : 195 MHz



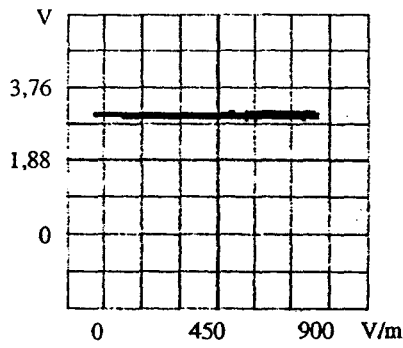
C4 : 195 MHz

Planche A-III-32 : Technologie TTL-AS, Niveau haut en entrée.

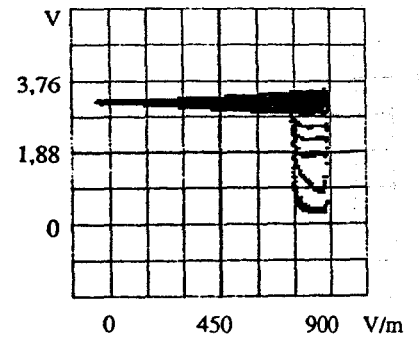




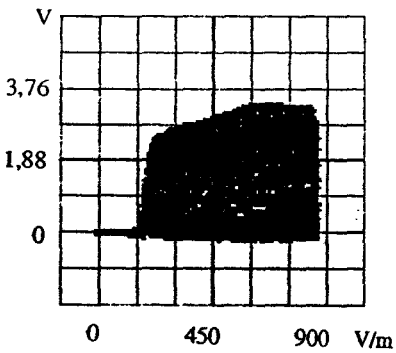
C1 : 25 MHz



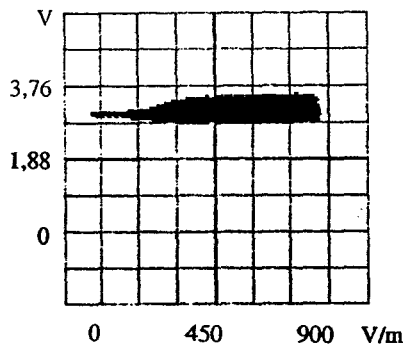
C2 : 25 MHz



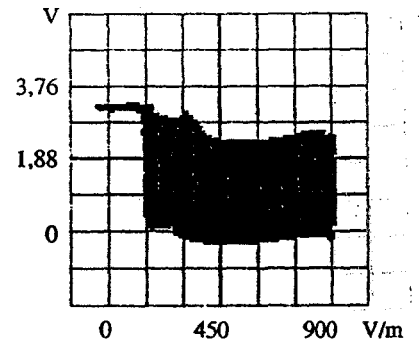
C4 : 25 MHz



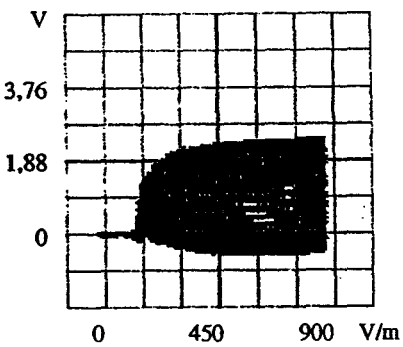
C1 : 165 MHz



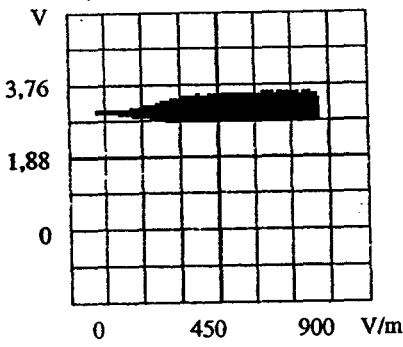
C2 : 165 MHz



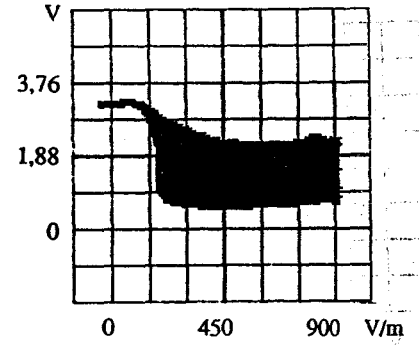
C4 : 165 MHz



C1 : 195 MHz



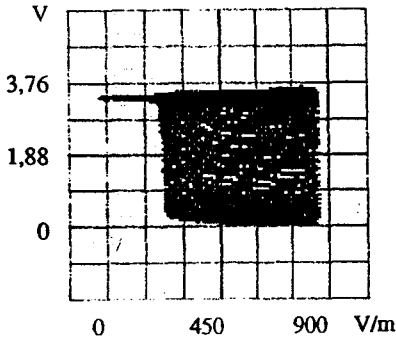
C2 : 195 MHz



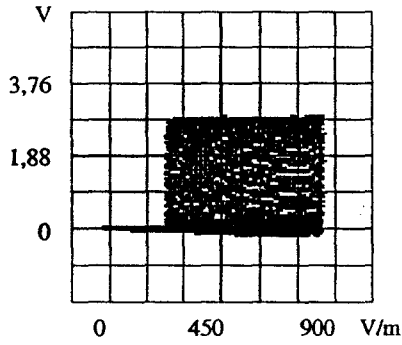
C4 : 195 MHz

Planche A-III-33 : Technologie TTL-AS, Niveau bas en entrée.

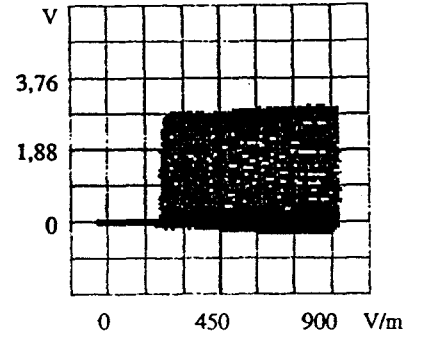
### A.III.7.4. Technologie TTL-F



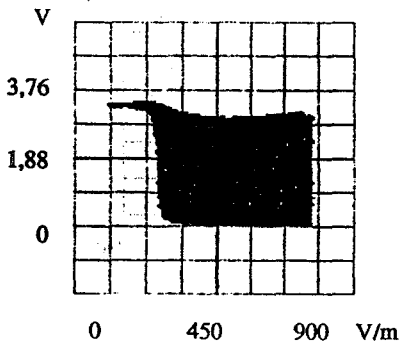
C2 : 55 MHz



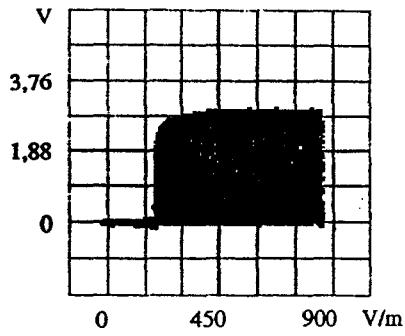
C2 : 55 MHz



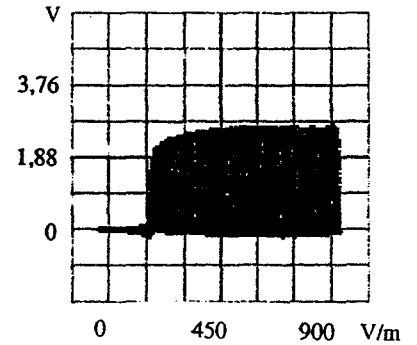
C4 : 55 MHz



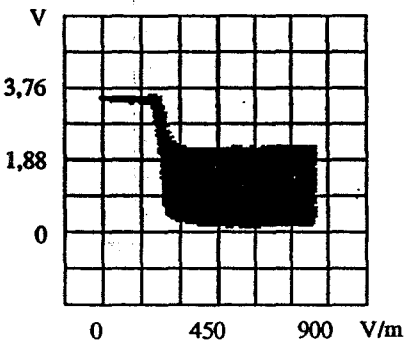
C2 : 145 MHz



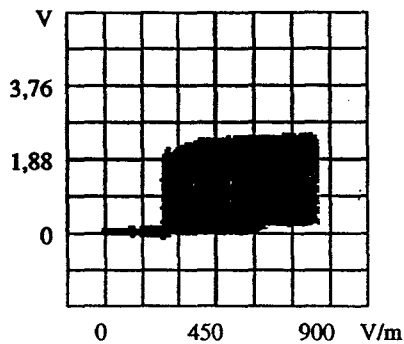
C2 : 145 MHz



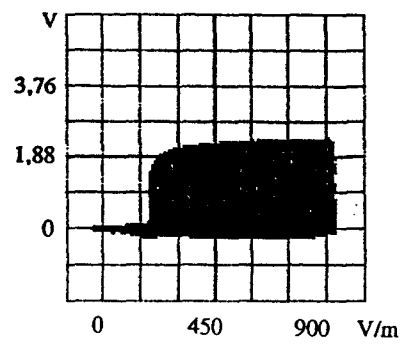
C4 : 145 MHz



C2 : 195 MHz

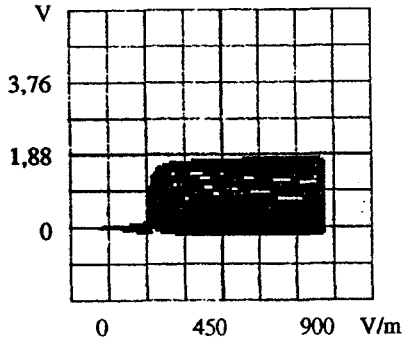


C2 : 195 MHz

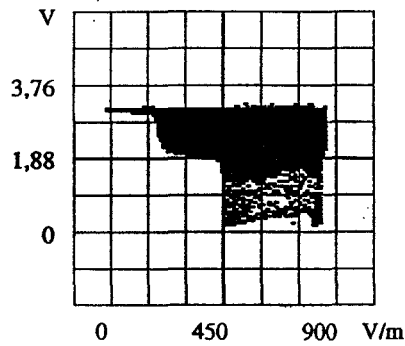


C4 : 195 MHz

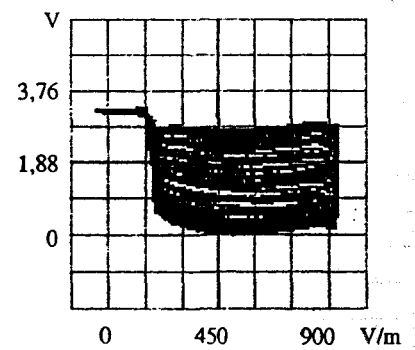
Planche A-III-34 : Technologie TTL-F, Niveau haut en entrée.



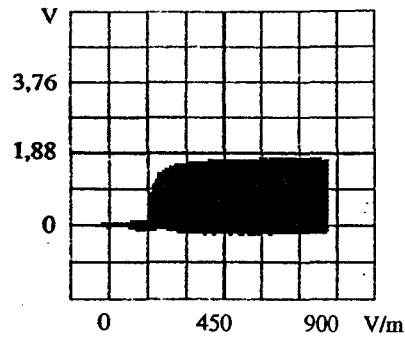
C2 : 175 MHz



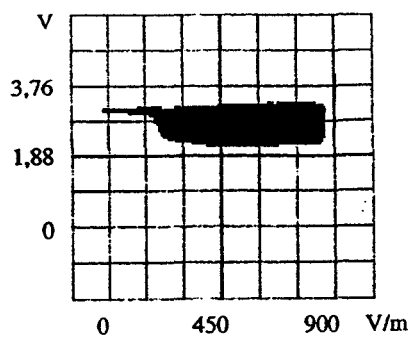
C2 : 175 MHz



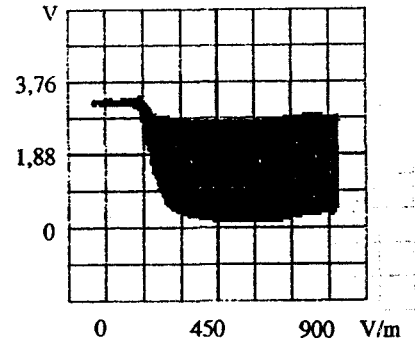
C4 : 175 MHz



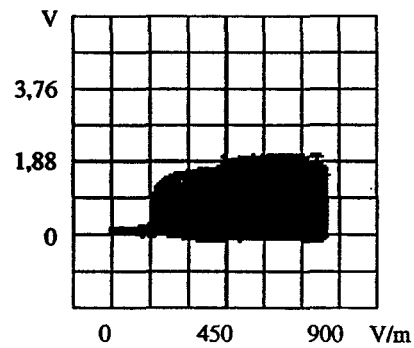
C2 : 185 MHz



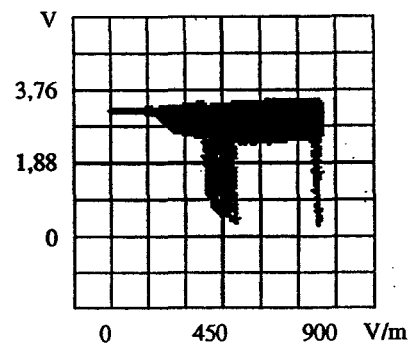
C2 : 185 MHz



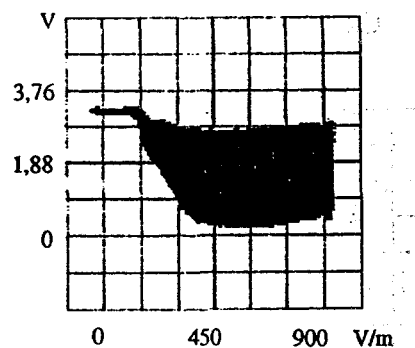
C4 : 185 MHz



C2 : 195 MHz



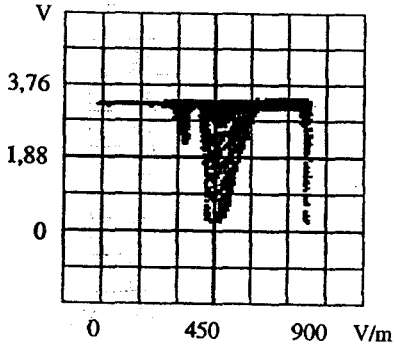
C2 : 195 MHz



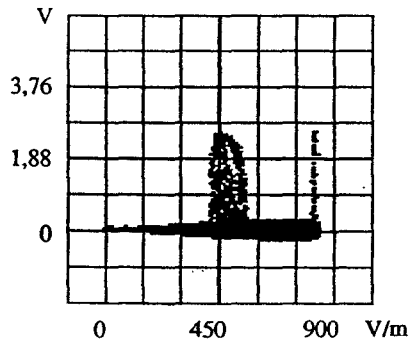
C4 : 195 MHz

Planche A-III-35 : Technologie TTL-F, Niveau bas en entrée.

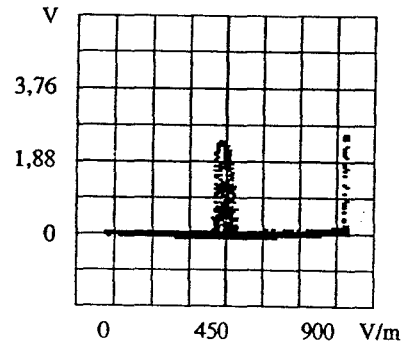
A.III.7.5. Technologie TTL-S



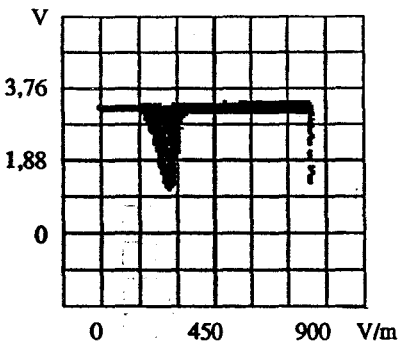
C2 : 25 MHz



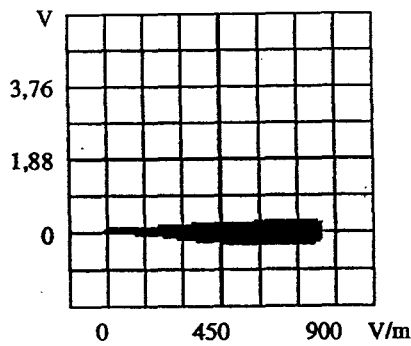
C2 : 25 MHz



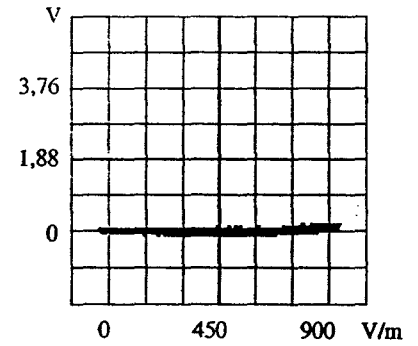
C4 : 25 MHz



C2 : 55 MHz



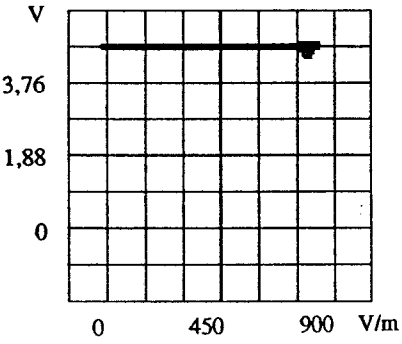
C2 : 55 MHz



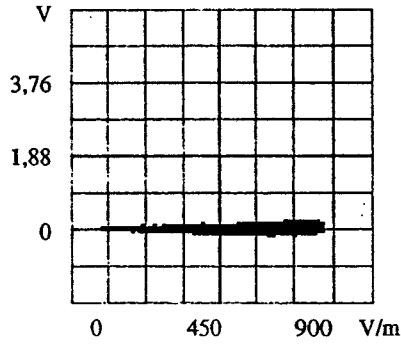
C4 : 55 MHz

Planche A-III-36 : Technologie TTL-S, Niveau haut en entrée.

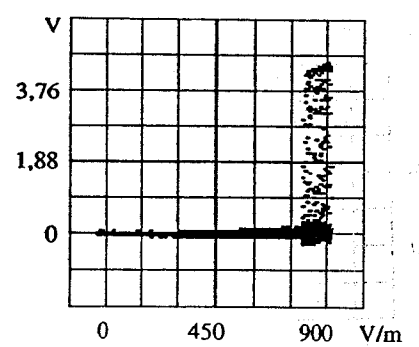
A.III.7.6. Technologie CMOS-HC



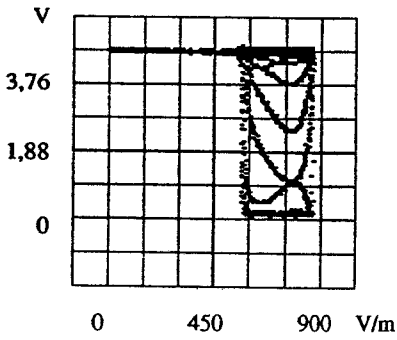
C2 : 15 MHz



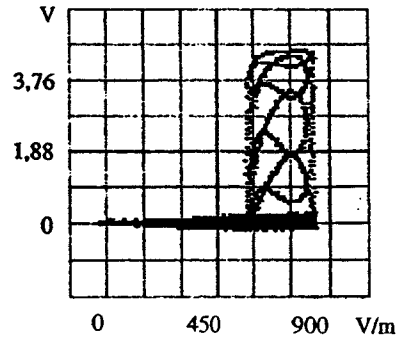
C2 : 15 MHz



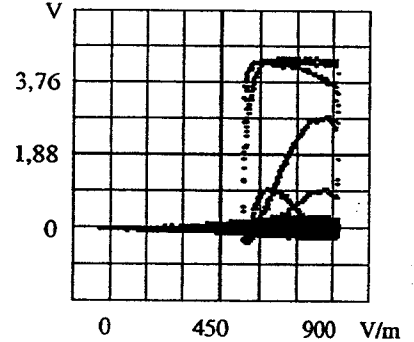
C4 : 15 MHz



C2 : 25 MHz

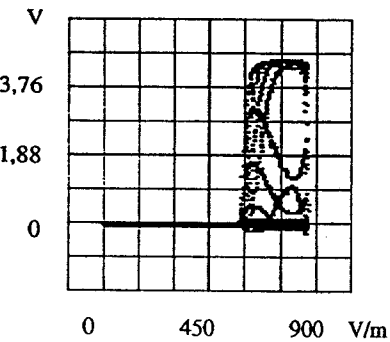


C2 : 25 MHz

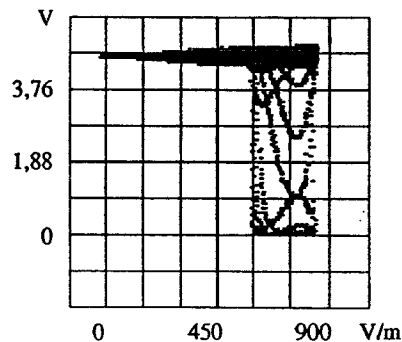


C4 : 25 MHz

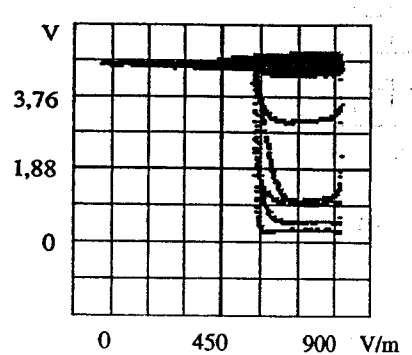
Niveau haut en entrée.



C2 : 25 MHz



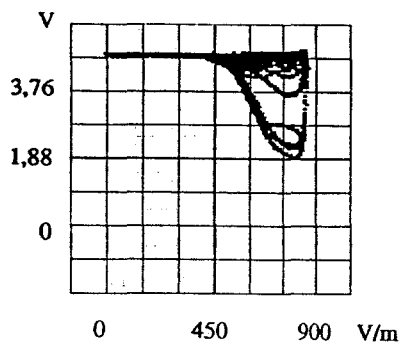
C2 : 25 MHz



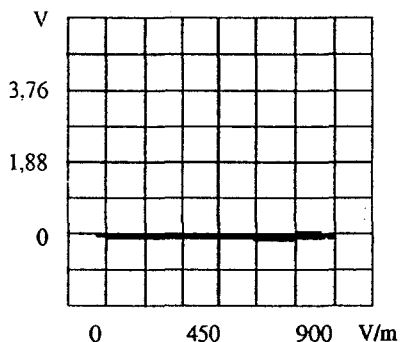
C4 : 25 MHz

Niveau bas en entrée

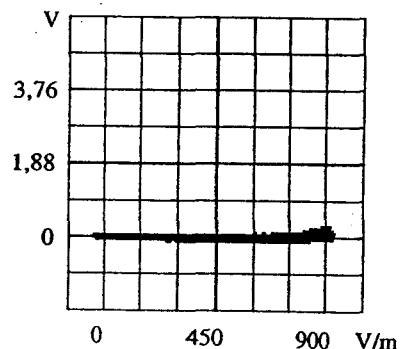
### A.III.7.7. Technologie CMOS-HCU



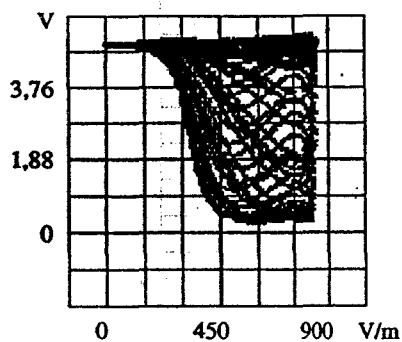
C2 : 25 MHz



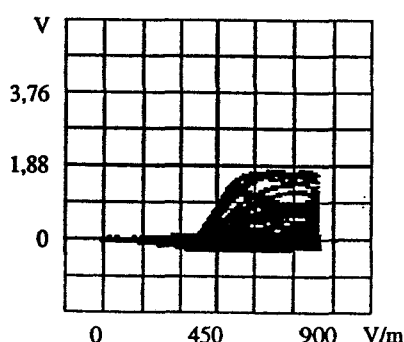
C2 : 25 MHz



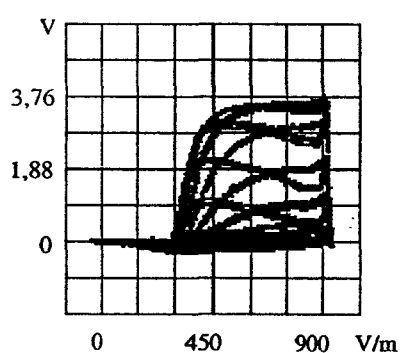
C4 : 25 MHz



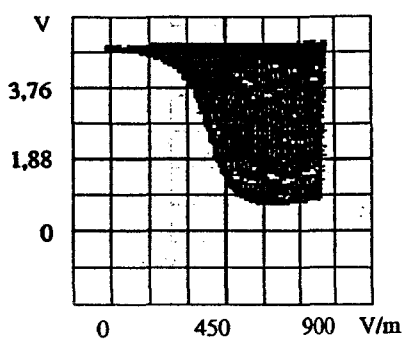
C2 : 125 MHz



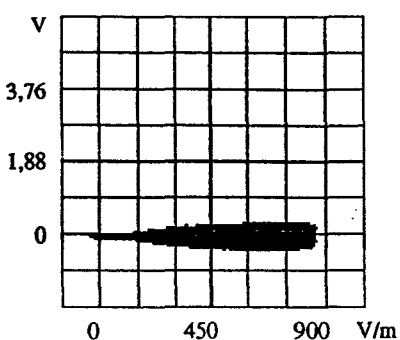
C2 : 125 MHz



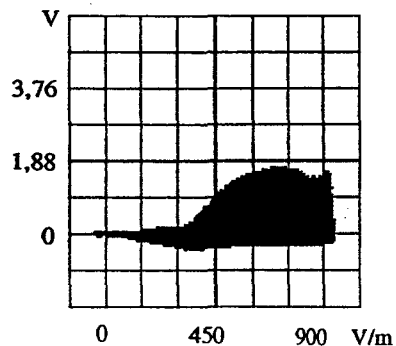
C4 : 125 MHz



C2 : 165 MHz

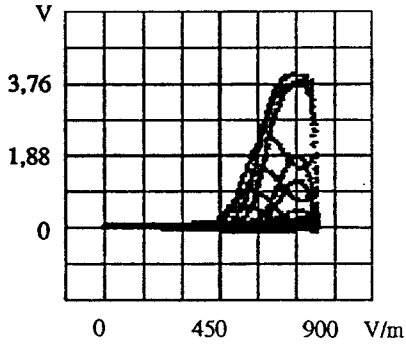


C2 : 165 MHz

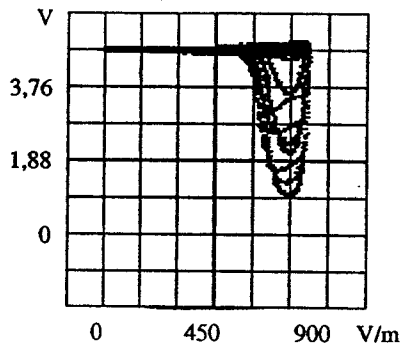


C4 : 165 MHz

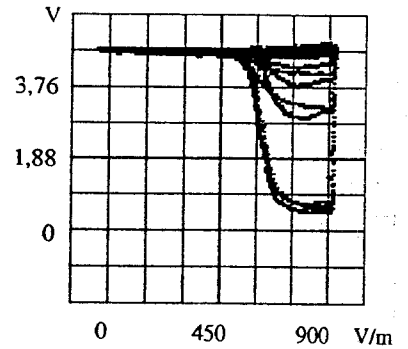
Planche A-III-38 : Technologie CMOS-HCU, Niveau haut en entrée.



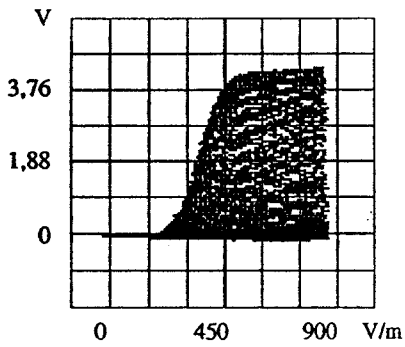
C2 : 25 MHz



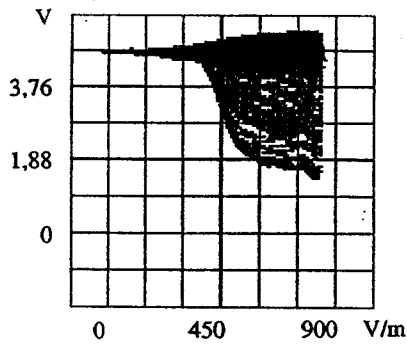
C2 : 25 MHz



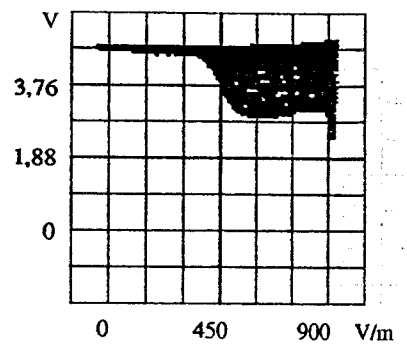
C4 : 25 MHz



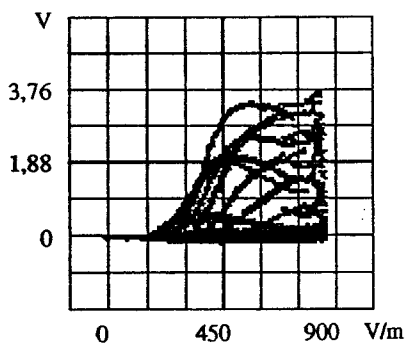
C2 : 55 MHz



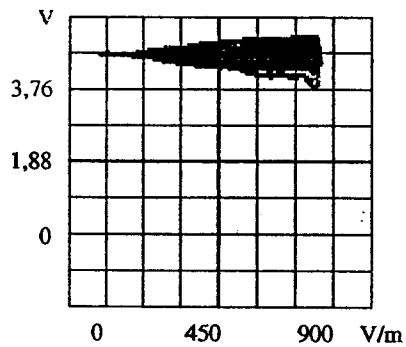
C2 : 55 MHz



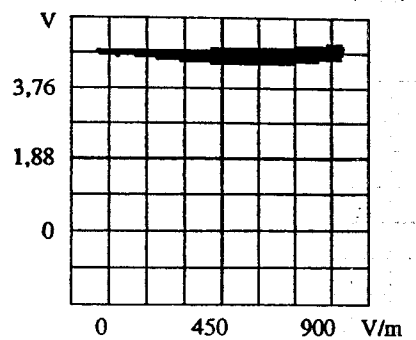
C4 : 55 MHz



C2 : 75 MHz



C2 : 75 MHz



C4 : 75 MHz

Planche A-III-39 : Technologie CMOS-HCU, Niveau bas en entrée.





# Annexe du chapitre V

## A.V.1 DESCRIPTION DU SYSTÈME ANTISURVITESSE DU MÉTRO VAL.

### A.V.1.1. Principe de la sécurité antisurvitresse.

La communication entre les rames de métro et les systèmes au sol est assurée par l'intermédiaire de lignes placées le long de la voie dans un tapis pilote. Ces lignes peuvent envoyer des messages aux rames de métro et réciproquement.

En ce qui concerne la sécurité antisurvitresse du métro de Lille, une ligne constituée de deux fils parallèles périodiquement croisés est utilisée [HEDDEBAUT M]. Cette ligne est alimentée par une onde porteuse dans la gamme des 100 kHz. Les variations de phases engendrées par les croisements des fils sont captées par une antenne magnétique située sous le véhicule.

Soit  $D(x)$  la distance entre deux croisements consécutifs et  $V(x)$  la vitesse de la rame. En considérant que la vitesse est constante entre ces deux croisements, l'intervalle de temps qui sépare la détection des deux croisements consécutifs est :

$$\Delta t(x) = \frac{D(x)}{V(x)} \quad \text{Équation A-V-1}$$

Lorsque le véhicule a une vitesse supérieure à la vitesse maximale autorisée, l'intervalle de temps  $\Delta t$  qui sépare la détection de deux croisements consécutifs devient inférieur à un intervalle de temps  $\Delta t_{\text{Min}}$  de référence. Un signal d'alarme déclenche alors le freinage d'urgence. La vitesse maximale est donc déterminée par la distance séparant deux croisements consécutifs des fils de la ligne de transmission (équation A-V-2).

$$V_{\text{Max}}(x) = \frac{D(x)}{\Delta t_{\text{Min}}} \quad \text{Équation A-V-2}$$

D'un point de vue fonctionnel, quatre cartes installées sur la rame de métro, assurent la détection d'une survitresse de la part de la rame (figure A-V-1). A chaque détection d'un croisement, la carte "Comparateurs de Phases" génère les impulsions DNC et DPC. La carte "Elaboration Retard Survitresse" dont les signaux d'entrée sont les signaux DNC et DPC, a pour fonction de générer une impulsion retardée de l'intervalle de temps de référence  $\Delta t_{\text{Min}}$  par rapport à l'impulsion du signal DPC. La sécurité de cette carte ERS (Elaboration Retard Survitresse) est assurée par une redondance matérielle. La carte "Sécurité Survitresse" vérifie la coïncidence des signaux de sortie de

la carte ERS et comprend la fonction de sécurité survitesse par l'élaboration du signal SVA. Enfin, la carte "Mémorisation Alarme Survitesse" génère le signal d'alarme en cas de défaillance des cartes amont ou en cas de survitesse.

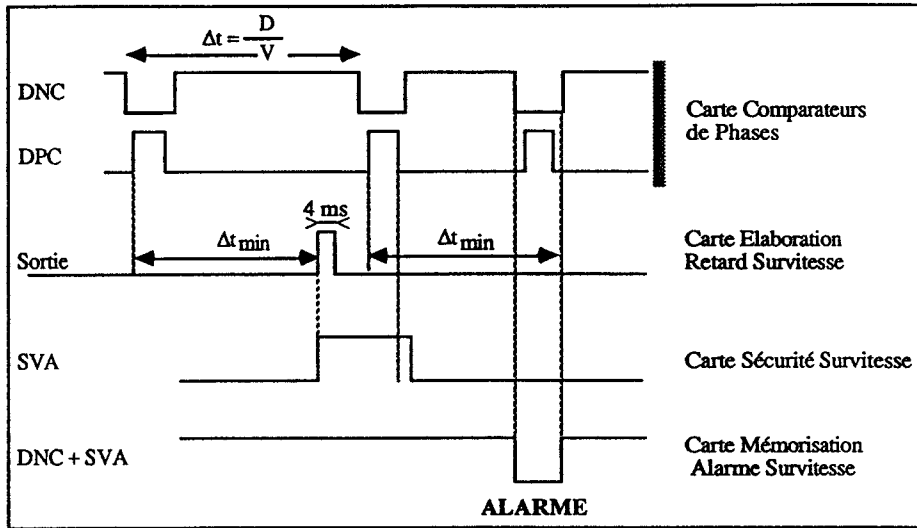


Figure A-V-1 : Les cartes électroniques et les principaux signaux de détection d'une survitesse.

### A.V.1.2. Sécurité Antisurveillance Programme Normal et Programme Perturbé; Vitesse nominale et vitesse affine.

Il existe en fait deux sécurités antisurveillance sur le métro VAL de Lille, assurées par deux lignes de transmission constituées chacune de deux fils croisés. Une des lignes appelée "ligne Fréquence de Sécurité" est utilisée par la sécurité Antisurveillance Programme Normal. L'autre ligne appelée "ligne Programme Perturbé" est utilisée par la sécurité Antisurveillance Programme Perturbé (figure A-V-2).

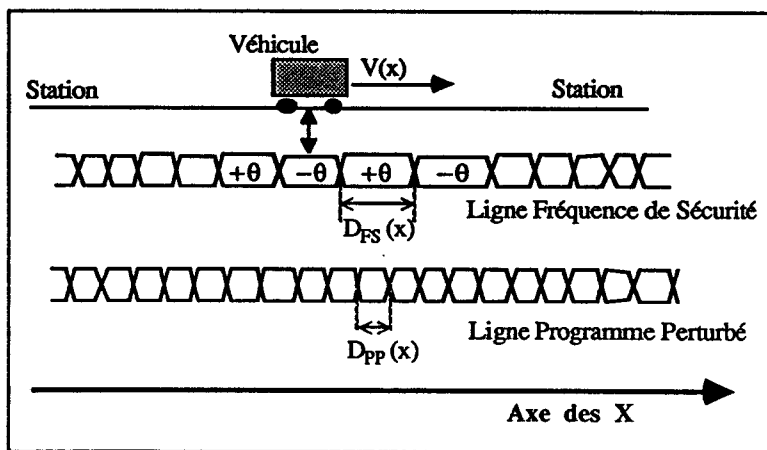


Figure A-V-2 : Existence de deux sécurités antisurveillance.

En mode normal, seule la sécurité Antisurvitesse Mode normal est active alors qu'en mode perturbé, les deux Sécurités Antisurvitesse Mode normal et Mode perturbé sont actives. En mode normal, la vitesse maximale autorisée est donc régie par l'équation A-V-3 alors qu'en mode perturbé, la vitesse maximale autorisée est donnée par l'équation A-V-4.

$$V_{\text{Max}}(x) = \frac{D_{\text{FS}}(x)}{\Delta t_{\text{Min}}} \quad \text{Équation A-V-3}$$

$$V_{\text{Max}}(x) = \text{MIN} \left[ \frac{D_{\text{FS}}(x)}{\Delta t_{\text{Min}}}, \frac{D_{\text{PP}}(x)}{\Delta t_{\text{Min}}} \right] \quad \text{Équation A-V-4}$$

Une carte Comparateur de Phase FS (carte CPFS) détectent les croisements de la ligne Fréquence Sécurité et génère les impulsions DNC FS et DPC FS. De même une carte Comparateur de Phase PP (carte CPPP) détectent les croisements de la ligne Programme Perturbé et génère les impulsions DNC PP et DPC PP. Ces signaux sont traités de la même façon par les cartes qui suivent selon le principe décrit figure A-V-1.

Pour chaque ligne de transmission, il existe deux vitesses maximales de fonctionnement du métro. La fonction Sécurité Antisurvitesse doit déclencher une alarme dès qu'un intercroisement est parcouru en moins de 0,27 s dans le cas nominal et en moins de 0,3 s = 0,27/0,9 s en cas de consigne de vitesse affine. Pour chaque ligne, la carte ERS génère donc deux signaux de sortie. Sur un des signaux, une impulsion retardée de 0,27 s par rapport au signal de détection d'un croisement est générée. Sur l'autre signal cette impulsion est retardée de 0,3 s. Ces signaux de sortie de la carte ERS sont critiques pour la sécurité. Si le signal de sortie utile de la carte ERS est retardé d'un intervalle de temps inférieur à l'intervalle de temps  $\Delta t_{\text{Min}}$  de référence (0,27 s ou 0,3 s) alors une vitesse supérieure à la vitesse maximale autorisée risque de ne pas être détectée. C'est pourquoi une redondance matérielle est utilisée pour assurer la sécurité de la carte Élaboration Retard Survitesse. Pour éviter les pannes de mode commun, plusieurs différences ont été apportées entre les deux voies. Une des voies utilise des composants de technologie TTL-LS et l'autre voie des composants de technologie CMOS-C. La tension d'alimentation de la voie TTL est de 5 V et celle de la voie CMOS de 12 V. Les fréquences d'horloge ne sont pas les mêmes, ainsi que la réalisation du compteur pseudo-aléatoire. Le schéma synoptique complet de la carte Élaboration Retard Survitesse est présenté figure A-V-3.

La carte Élaboration Retard Survitesse représente un exemple industriel d'un système de sécurité redondant actif qui utilise des composants de technologies différentes sur chaque voie. Nous avons donc entrepris l'étude de cette carte pour compléter nos travaux sur des dispositifs sous test de laboratoire qui représentent des systèmes redondants simples (cf. chapitre III).

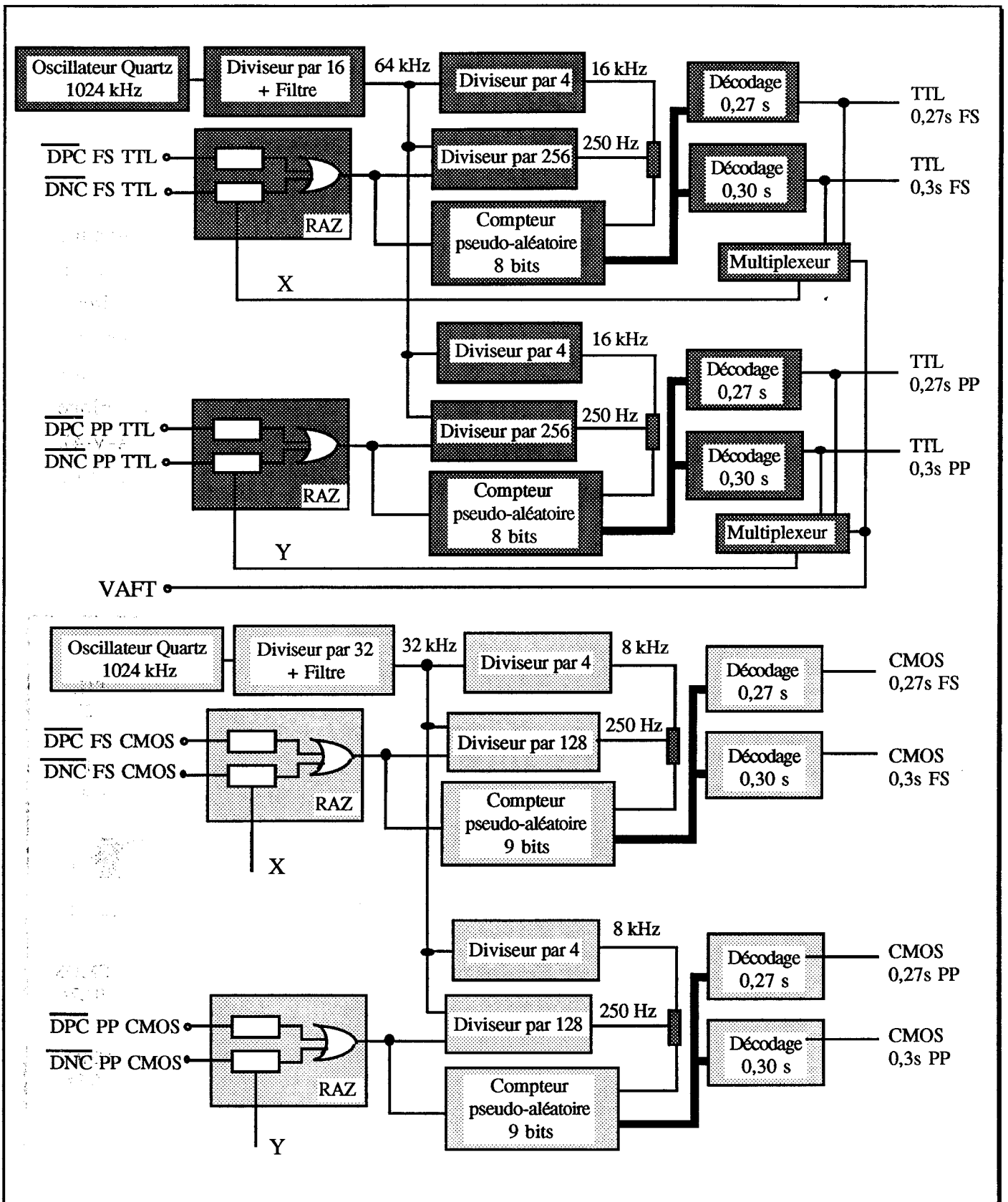


Figure A-V-3 : Schéma synoptique de la carte Élaboration Retard Survitesse.

## A.V.2. ÉTUDE DE LA CARTE ERS RÉALISÉE AU LABORATOIRE.

### A.V.2.1. Différences entre la carte d'origine et la carte reproduite au laboratoire.

Les traitements des signaux FS (Fréquence de Sécurité) et des signaux PP (Programme Perturbé) sont rigoureusement identiques (figure A-V-3). Nous avons donc reproduit uniquement la moitié de la carte à partir du schéma de la carte d'origine. Par contre le dessin de notre circuit imprimé est différent du dessin du circuit imprimé d'origine. De plus, nous avons supprimé les oscillateurs à Quartz de fréquence 1024 kHz et les diviseurs de fréquence qui fournissent une horloge de 64 kHz sur la voie TTL et une fréquence de 32 kHz sur la voie CMOS. Une horloge commune de 64 kHz est maintenant fournie par un générateur de signaux externe (figure A-V-4). Le signal d'entrée VAFT est fixé à 5 V, ce qui correspond à une consigne de vitesse affine. La sortie du multiplexeur TP6 est donc toujours égale au signal de sortie A ( $\Delta t_{\text{Min}} = 0,3 \text{ s}$ ).

Une description fine du fonctionnement de cette carte est disponible au chapitre V.

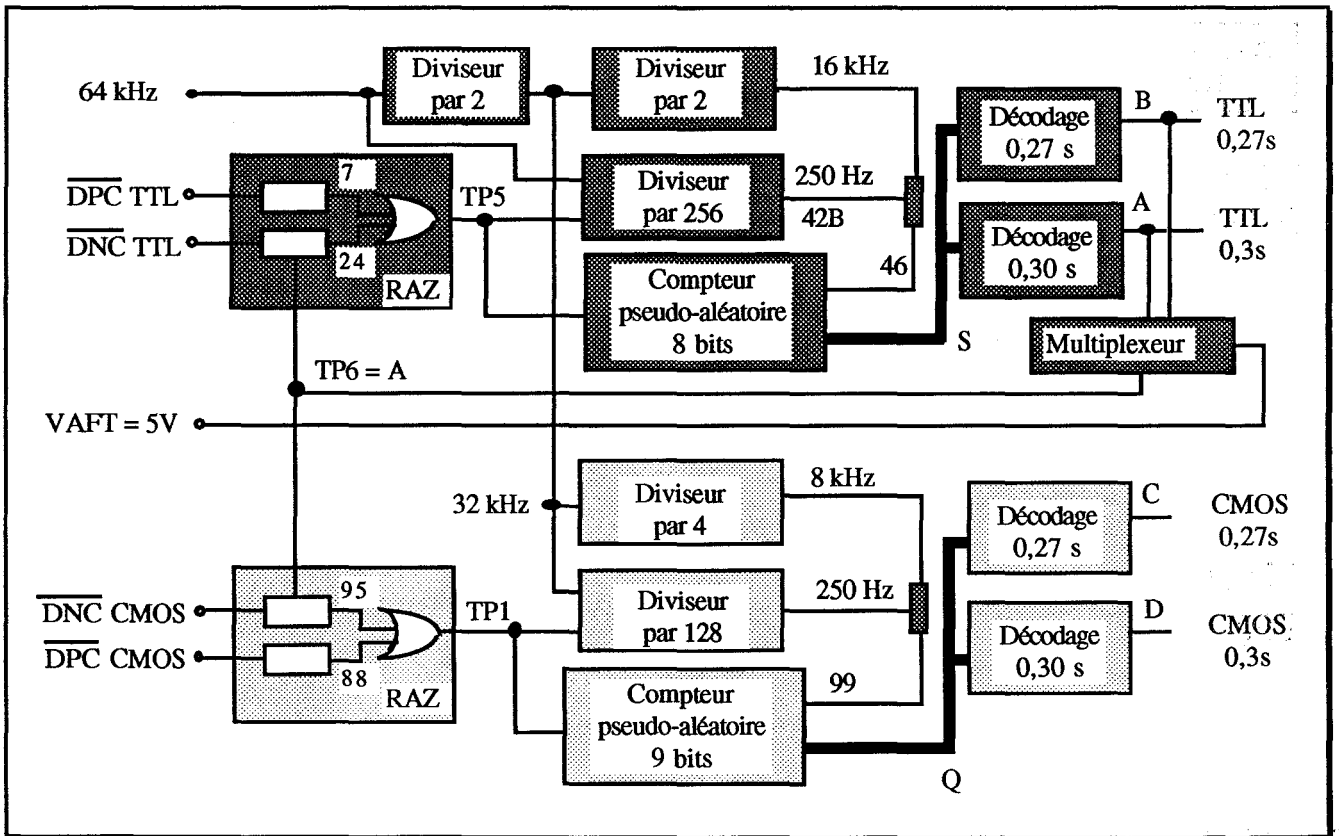


Figure A-V-4 : Schéma synoptique de la carte étudiée.

**A.V.2.2. Compléments d'informations concernant l'étude de la sensibilité par conduction de la carte.**

Nous avons mesuré la matrice inductance de nos "câbles multifilaires" au LRPE (Laboratoire de RadioPropagation et Electronique de l'Université de Lille). La matrice inductance mesurée en prenant compte des fils rajoutés pour la mesure est donnée tableau A-V-1. La matrice inductance fournie au tableau A-V-2 est obtenue en effectuant la moyenne des valeurs théoriquement égales.

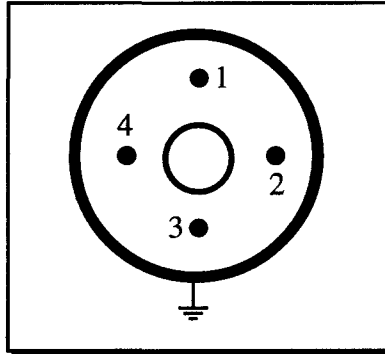


Figure A-V-5 : "Câble multifilaire."

642 nH/m	22 nH/m	10,5 nH/m	21 nH/m	68,5 nH/m
	645 nH/m	15,5 nH/m	12,5 nH/m	64,5 nH/m
		594 nH/m	18 nH/m	52 nH/m
			615 nH/m	56 nH/m
				209 nH/m

Tableau A-V-1 : Matrice inductance mesurée.

624 nH/m	19,1 nH/m	11,5 nH/m	19,1 nH/m	60,2 nH/m
	624 nH/m	19,1 nH/m	11,5 nH/m	60,2 nH/m
		624 nH/m	19,1 nH/m	60,2 nH/m
			624 nH/m	60,2 nH/m
				209 nH/m

Tableau A-V-2 : Moyenne de la matrice inductance mesurée.

Nous avons utilisé la matrice inductance du tableau A-V-2 pour simuler à l'aide du logiciel PSpice, le couplage électromagnétique. Un modèle de lignes couplées disponible au laboratoire est employé (figure A-V-6b). Des capacités sont ajoutées sur le modèle pour prendre en compte les capacités parasites présentées par nos connecteurs en bout de câble. D'autre part nous avons mesuré la tension induite sur les câbles pour un couplage hybride (figure A-V-6a). Nous constatons une bonne concordance entre la tension mesurée et la tension simulée (graphe A-V-1). Les différences obtenues entre les valeurs simulées et les valeurs mesurées sont dues à la difficulté de mesurer précisément la matrice inductance du câble.

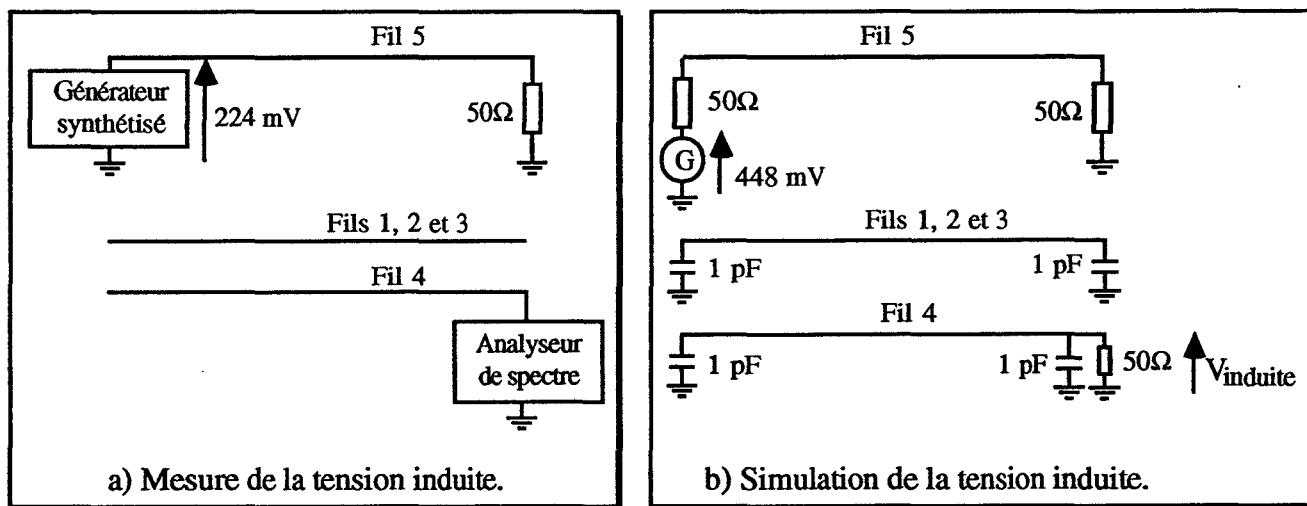
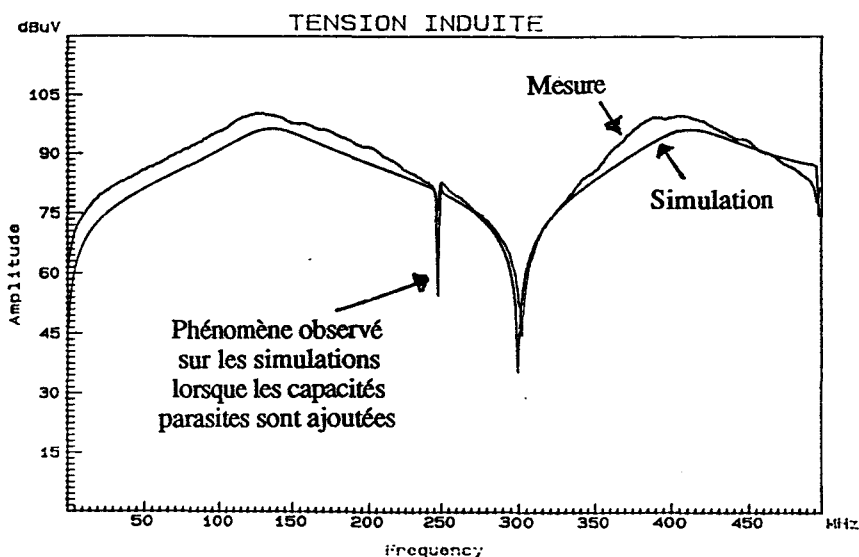
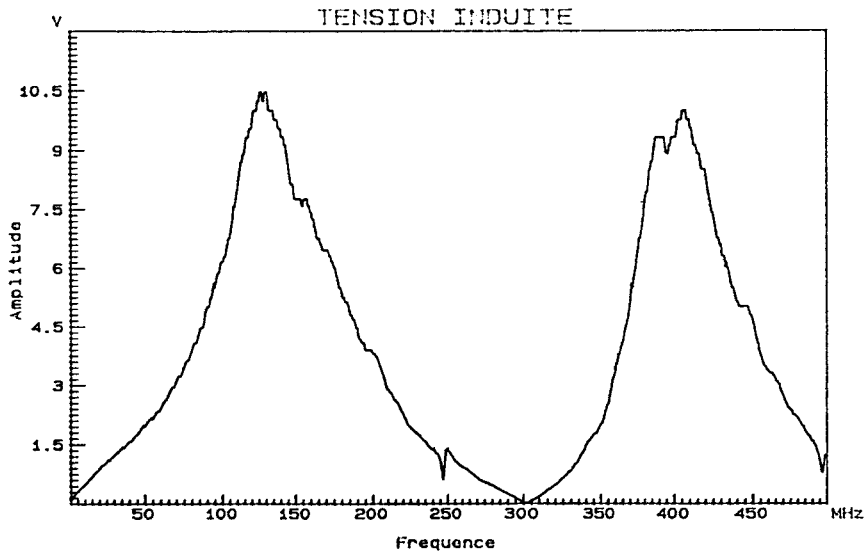


Figure A-V-6 : Tension induite lors d'un couplage hybride.

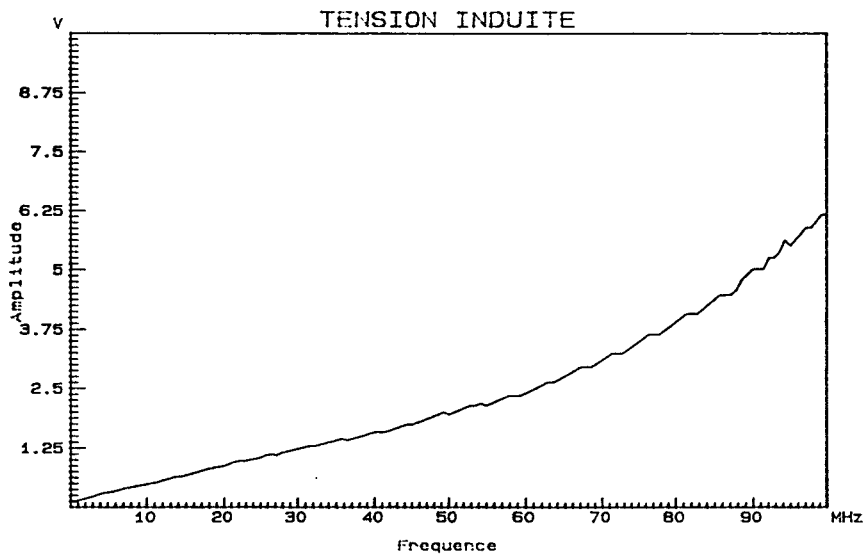


Grphe A-V-1 : Comparaison des tensions induites mesurées et simulées.

Lors de l'étude de la sensibilité par conduction de la carte ERS, un amplificateur de gain 40 dB est utilisé. Nous donnons graphes A-V-2 et A-V-3, la tension induite mesurée et corrigée par un facteur multiplicatif de 100 pour prendre en compte l'amplification de tension. Pour des fréquences variant de 1 MHz à 80 MHz, la tension induite sur le câble atteint une valeur de l'ordre de 4 V. Cette valeur est suffisante pour engendrer des perturbations sur les entrées de la carte.



Graph A-V-2 : Mesure de la tension induite en entrée de la seconde porte de l'interface perturbatrice.



Graph A-V-3 : Mesure de la tension induite en entrée de la seconde porte de l'interface perturbatrice.