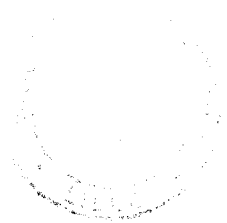


50376  
1994  
211

50376  
1994  
211



N° d'ordre : 1381

# THESE

présentée à

L' UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE

Spécialité: ELECTRONIQUE

par

Kokouvi E. DOGBE

ETUDE DES ANOMALIES INTRODUITES PAR DES  
PERTURBATIONS ELECTROMAGNETIQUES PARVENANT  
SUR LES BUS D'INFORMATIONS RELIANT UN  
MICROPROCESSEUR A UNE MEMOIRE EXTERNE

soutenue le 20 Septembre 1994 devant la Commission d'Examen

Jury :

MM	R. GABILLARD	Professeur USTL , Président
	P. AURIOL	Professeur CEGELY, Rapporteur
	E. NANO	Professeur Politecnico di Torino, Rapporteur
	B. DEMOULIN	Professeur USTL, Directeur de thèse
	J. BAUDET	Ingénieur de recherche CNRS, Examineur
	M. HEDDEBAUT	Directeur de Recherche INRETS, Examineur
	S. FICHEUX	Chef du Service C.E.M UTAC, Invité
	G. BROSE	Chef du Service CEM, VALEO, Invité

# REMERCEMENTS

Ce travail a été réalisé au Laboratoire de RadioPropagation et Electronique (LRPE) de L'Université des Sciences et Technologies de Lille (USTL), dirigé par le Professeur P. DEGAUQUE.

J'adresse ma reconnaissance à Monsieur le Professeur Robert GABILLARD pour m'avoir fait l'honneur d'assurer la présidence du jury. Qu'il trouve ici l'expression de mon profond respect.

Cette thèse a été effectuée sous la direction scientifique de Monsieur le Professeur Bernard DEMOULIN au sein de l'Equipe de Compatibilité Electromagnétique de LRPE.

Je lui adresse mes sincères remerciements pour l'attention qu'il a porté à mon travail, pour sa disponibilité et pour la confiance qu'il m'a accordée en me laissant un large champ d'initiatives. Qu'il reçoive ici l'expression de ma sincère gratitude.

Je remercie très chaleureusement Monsieur Jacques BAUDET, Ingénieur CNRS au LPRE, pour l'encadrement technique dont il m'a fait bénéficié et pour sa qualité d'écoute. Il m'a permis, par ses critiques amicales, et surtout en acceptant que son point de vue n'ait pas toujours la primauté, d'avoir avec lui des relations plus que cordiales. Qu'il trouve ici l'expression de ma sincère reconnaissance.

Je tiens à remercier le Professeur Pierre DEGAUQUE pour sa contribution au déroulement de cette thèse.

Je remercie Monsieur le Professeur Philippe AURIOL de l'Ecole Centrale de Lyon qui m'a fait l'honneur d'examiner cette thèse en qualité de rapporteur.

Je remercie également Monsieur le Professeur E. NANO de l'Ecole Polytechnique de Turin qui m'a fait l'honneur de juger ce travail et d'assurer la tâche de rapporteur.

J'exprime mes vifs remerciements à Monsieur Marc HEDDEBAUT Directeur de recherche à l'INRETS-CRESTA qui m'a fait l'honneur d'examiner ce travail.

J'adresse mes sincères remerciements:

- à Monsieur Philippe MARIAGE, Maître de conférence au LRPE pour son franc parlé et sa sincérité à mon égard.

- à Monsieur Lamine KONE, Ingénieur au LRPE dont j'ai apprécié la compétence technique.

- à Madame Marine DEMOULIN, Ingénieur CNRS au LRPE pour son aide technique lors de l'utilisation du matériel informatique.

- à Monsieur Christian SEMET, Ingénieur de Recherche au LRPE pour sa disponibilité constante et sa courtoisie.

- à Monsieur DEHORTER pour la qualité de reproduction de ce mémoire.

Enfin que tous les membres du LRPE et surtout mes collègues de promotion trouvent ici l'expression de ma vive sympathie pour m'avoir permis de passer près de trois années et demie dans ce laboratoire dans une ambiance que je ne suis pas prêt d'oublier.

# *SOMMAIRE*

## SOMMAIRE

### *INTRODUCTION GENERALE*

## **CHAPITRE I**

### *MECANISME DE SUSCEPTIBILITE*

#### *INTRODUCTION*

#### I) *JONCTION PN*

- I.1) Perturbation par un signal RF 2
- I.2) Modèle de diode  
perturbée par un signal RF 6

#### II) *TRANSISTOR BIPOLAIRE*

- II.1) Influence d'un signal RF  
sur les caractéristiques  
courant - tension d'un transistor 8
- II.2) Modèle de EBERS-MOLL modifié 13

#### III) *TRANSISTOR A EFFET DE CHAMP*

- III.1) Influence  
des signaux RF sur un JFET 19
- III.2) Modèle du JFET 21
- III.3) Sensibilité du point  
de polarisation au signal RF 24

#### IV) *LES MICROPROCESSEURS*

- IV.1) La simulation 26
- IV.2) L'approche expérimentale 28

#### *BIBLIOGRAPHIE* 30

**CHAPITRE II****MICROPROCESSEURS - METHODES DE TESTS***INTRODUCTION*

I)	<i>CHOIX DU MICROPROCESSEUR</i>	35
II)	<i>LE MICROCONTROLEUR 87C51</i>	35
	II.1) Architecture	35
	II.2) Signaux de contrôle et de service	36
	II.3) Structures des ports de sortie	37
	II.3.1) Structure du port PO	37
	II.3.2) Structure des ports P1, P2 et P3	38
III)	<i>CHOIX DU MODE DE PERTURBATION</i>	
	III.1) Sources de bruit et perturbations radioélectriques	39
	III.1.1) Bruit naturel	40
	a) La foudre	40
	b) Le bruit cosmique et solaire	41
	III.1.2) Bruit d'origine humaine	41
	III.1.2.1) Bruit industriel non intentionnel	41
	III.1.2.2) Perturbation due au bruit intentionnel	45
	III.2) Perturbations transitoires	46
	III.3) Perturbations sinusoïdales	47
IV)	<i>MODES DE COUPLAGE</i>	
	IV.1) Couplage par conduction	48
	IV.2) Couplage électrostatique	49

IV.3)	Couplage par illumination	50
IV.4)	Couplage inductif	51
IV.5)	Couplage capacitif	51
V)	<i>MOYENS DE MESURES ET TEST</i>	
V.1)	Site de mesure en espace libre	52
V.2)	Cage de Faraday	53
V.3)	Chambre anéchoïde	55
V.4)	Cellule TEM	56
V.5)	Systèmes de lignes couplées	60
V.5.1)	Couplage électrique (injection de courant)	62
V.5.2)	Couplage magnétique (injection de tension)	63
V.5.3)	Couplage électromagnétique	64
VI)	<i>BANC DE MESURE</i>	65
	<i>BIBLIOGRAPHIE</i>	71

## CHAPITRE III

### *PERTURBATION PAR COUPLAGE ELECTRIQUE*

	<i>INTRODUCTION</i>	72
III.1)	Effet d'une injection de courant à 1,5 MHz sur une adresse à l'état logique bas	73
III.2)	Niveau de tension induite sur l'état haute impédance.	75
III.3)	Décalage de la tension sur l'état haute impédance	79
III.4)	Détection d'un défaut sur l'adresse à l'état logique bas	81
III.4.1)	Transition haute - basse impédance sans injection de courant	82

III.4.2)	Transition haute - basse impédance avec injection de courant	87
III.4.3)	Temps de transition de la tension sur la ligne P0.0 entre le niveau initial $V_{CO}$ et l'état bas	95
III.5)	Effet d'une perturbation en courant sur une adresse à l'état logique haut	97
III.5.1)	Interprétation des mécanismes d'apparition d'erreurs sur l'état logique haut de l'adresse	100
III.6)	Injection d'une perturbation en courant à la fréquence de 15 MHz sur une adresse à l'état logique bas	104
III.7)	Injection de courant sur une donnée à l'état logique bas	109
III.7.1)	Injection de courant à 1,5 MHz	109
III.7.2)	Injection de courant à 15 MHz	110
	<i>CONCLUSION</i>	112

## CHAPITRE IV

### *PERTURBATION PAR COUPLAGE MAGNETIQUE*

	<i>INTRODUCTION</i>	113
IV.1)	Injection d'un perturbateur en tension sur une adresse et une donnée à l'état logique bas	114
IV.2)	Calcul des niveaux de tensions induites en sortie du microprocesseur et à l'entrée du verrou $L_1$	117
IV.3)	Comportement de la tension $V_{up}$ et $V_{L1}$	119
IV.4)	Condition d'erreur sur l'adresse ou sur la donnée	126
	<i>BIBLIOGRAPHIE</i>	129



## CHAPITRE V

### *ETUDE STATISTIQUE*

<i>INTRODUCTION</i>	133
V.1) Banc de mesure	134
V.2) Protocole de gestion de la RAM	135
V.3) Définition des différentes probabilités	136
V.4) Distribution des erreurs lors d'une perturbation en injection de tension	138
V.4.1) Perturbation à la fréquence de 20 MHz	138
V.4.2) Perturbation à la fréquence de 11 MHz	141
V.5) Distribution des erreurs lors d'une perturbation en injection de courant	143
V.5.1) Hypothèse de perturbateurs de grande période (1,5 MHz)	143
V.5.2) Hypothèse de perturbateurs de courte période (15 MHz)	145
V.5.3) Influence des paramètres temporels des signaux de contrôle du microcontrôleur	149
<i>CONCLUSION</i>	153
<i>CONCLUSION GENERALE</i>	154
<i>ANNEXE A.</i> Détermination expérimentale des caractéristiques $I_c = f(V_{ce})$ des étages de sortie du microcontrôleur	156
<i>ANNEXE B.</i> Caractéristique du microcontrôleur 87C51	163
<i>ANNEXE C.</i>	

*INTRODUCTION  
GENERALE*

# *INTRODUCTION GENERALE*

Le travail présenté dans cette thèse a été effectué au Laboratoire de RadioPropagation et Electronique (LRPE) de l'Université des Sciences et Technologies de Lille (USTL) dans le cadre des travaux de Compatibilité Electromagnétique menés avec le Groupement Régional Nord Pas de Calais pour la Recherche dans les Transports (GRRT). Il est l'aboutissement d'un contrat passé entre le LRPE et l'INRETS (Institut National de Recherche sur les Transports et leurs Sécurité) sur l'étude de l'impact des interférences électromagnétiques sur le fonctionnement des circuits intégrés complexes.

La Compatibilité Electromagnétique est définie comme

la possibilité pour un composant, un équipement ou un système de fonctionner de façon satisfaisante dans un environnement électromagnétique, sans pour autant y introduire des perturbations intolérables pour les systèmes environnants.

Les problèmes liés à la CEM ne sont pas nouveaux; ils ont fait leur apparition avec l'installation du télégraphe et des premiers émetteurs radio. Dans ses débuts, la CEM se bornait à résoudre les problèmes lorsque l'incompatibilité entre deux systèmes ou un système et son environnement se manifestait. Les méthodes utilisées étaient souvent coûteuses en matériels et ne répondaient, en général, qu'à une situation particulière.

La CEM n'a commencé à être traitée comme une science à part entière qu'à partir de la Seconde Guerre mondiale, avec l'apparition des radars dans le domaine militaire.

Aujourd'hui, avec la généralisation de l'électronique, des fonctions demandant une haute fiabilité, l'exigence de faire cohabiter harmonieusement, sur le plan électromagnétique, des circuits électriques ou électroniques complexes est devenue un impératif.

Cet objectif ne peut être atteint que si les critères visant à assurer la compatibilité électromagnétique sont pris en compte très tôt au niveau dès la conception des produits.

Qu'advierait-il par exemple si dans un avion, rien n'a été fait pour que l'électronique à bord puisse fonctionner en cas de foudroiement ? Ceci est d'autant plus critique qu'afin d'alléger les avions, de nombreuses parties de la carlingue ou de la voilure sont en matériaux composites, diminuant ainsi notablement l'effet de blindage que produisait une enceinte métallique.

Pour pouvoir élaborer des techniques de protection efficaces, il faut connaître l'impact des interférences électromagnétiques sur le fonctionnement des composants électroniques.

La contribution de cette thèse est de proposer une explication physique des mécanismes incriminés dans la dégradation des informations traitées par un microprocesseur ou échangées avec le milieu extérieur lorsque ce système est perturbé par un champ électromagnétique.

Le chapitre I présente quelques méthodes analytiques et modèles utilisés pour l'étude des effets des signaux radiofréquence sur les composants semi-conducteurs.

Essentiellement trois composants sont présentés:

Les études faites sur la diode (jonction p-n), considérée comme le constituant élémentaire de la plupart des composants complexes, ont révélé que celle-ci peut devenir passante même pour des tensions de polarisation négative. Sa tension de seuil peut s'annuler et même devenir négative. On imagine les conséquences désastreuses dans les systèmes de détection bas niveau.

Les études réalisées sur le transistor bipolaire ont montré que les modifications des caractéristiques courant-tension de ses deux jonctions base-émetteur, base-collecteur, sont liées au point d'injection (base ou collecteur) de l'interférence électromagnétique. Suivant le point d'injection, on assiste soit à une diminution du gain en courant, soit à une augmentation de la tension de saturation.

Les principaux phénomènes observés sur le transistor à effet de champ, soumis à une agression de signaux radiofréquence, sont soit une augmentation du courant drain lorsqu'il fonctionne en zone de pincement, soit une variation de la transconductance  $g_m$ .

Cependant, ces composants fonctionnent de moins en moins isolément et font partie en général de structures plus complexes tels que les circuits VLSI<sup>1</sup> notamment les microprocesseurs.

---

<sup>1</sup> Very Large Scale Integration

Pour étudier la susceptibilité de cartes à microprocesseur face à une agression électromagnétique, plusieurs approches sont possibles:

Soit une approche globale mettant en oeuvre des moyens de test en illumination tels la cellule TEM et visant à déterminer la réponse ou le comportement de tout un ensemble électronique soumis à une perturbation électromagnétique;

soit une approche que nous qualifierons de locale qui permet une étude plus fine des mécanismes de génération sur les information traitées par le microprocesseur.

Le chapitre II donne un aperçu des moyens de test utilisables, des sources de perturbations existantes (naturelles ou artificielles), et explique les raisons qui ont motivé le choix de signaux harmoniques pour tester la susceptibilité d'un microprocesseur bien que la majorité des perturbations soient du type transitoire.

Face à une agression électromagnétique, un système électronique va être le siège d'une combinaisons de

- sources de tension
- sources de courant.

Ces sources vont se coupler aux informations traitées par le microprocesseur et entraîner une altération de leurs états logiques.

Le chapitre III aborde l'explication des mécanismes de génération d'erreurs sur les informations échangées entre le microprocesseur et son environnement et ce, face à une agression de type injection de courant (perturbation électrique).

Cette étude a montré que les mécanismes qui régissent l'apparition des erreurs sur les adresses ou les données sont à étudier dans deux configurations:

- l'hypothèse des perturbations de grandes périodes par rapport au temps de transition haute-basse impédance  $\tau$ ;

-l'hypothèse des perturbations de courtes périodes

Dans le cas de la première hypothèse, les erreurs sur les adresses sont essentiellement dues à la transition haute impédance - basse impédance. Alors que dans la seconde, les mécanismes d'erreur sur les adresses et les données sont liés à l'amplitude du courant perturbateur et à la résistance du transistor NMOS (resp. PMOS) dans sa zone résistive.

L'étude de l'impact d'une injection de tension (perturbation magnétique) sur ces adresses et données est abordée au **chapitre IV**.

L'approche harmonique utilisée pour tester la susceptibilité d'un microprocesseur face à une agression électromagnétique n'est pas restrictive puisqu'il n'existe aucune relation de phase entre l'instant d'apparition du signal perturbateur et l'instant de validation des adresses ou des données.

Il en découle que les erreurs qui vont être observées, ne seront pas systématiques. Il est donc important de déterminer l'évolution de ces erreurs sur les adresses et les données.

En effet, une des question qu'on pourrait se poser serait de savoir si les données sont plus sensibles aux perturbations électromagnétiques que les adresses ou vice versa.

La réponse à cette question est traitée au **chapitre V** où une étude statistique sur un grand nombre de séquences "adresse - donnée", susceptible de donner une valeur représentative du taux d'erreur sur les adresses et/ou les données, est menée. Cette étude statistique a été faite pour les deux type de perturbations :

injection de courant (couplage électrique)  
injection de tension (couplage magnétique)

L'une des remarques essentielles de cette étude est qu'en injection de tension, pour de faibles valeurs de tensions injectées, les données sont perturbées avant les adresses.

Pour des injections de tension d'amplitude croissante, on constate que la probabilité de trouver une donnée exacte à la bonne adresse suit une loi de décroissance presque exponentielle qui tend vers une limite de 40 à 60%.

Par contre, en injection de courant, dans l'hypothèse des perturbations de grande période, les erreurs sur les adresses peuvent apparaître avant celles sur les données. Si cette hypothèse n'est plus vérifiée, la courbe donnant l'évolution des erreurs sur les adresses ou les données est pratiquement similaire à celle obtenue en injection de tension. Nous verrons quelles en sont les raisons.

*MECANISMES  
DE  
SUSCEPTIBILITE*

---

# MECANISMES DE SUSCEPTIBILITE

---

Ce chapitre présente quelques méthodes analytiques, tirées de la bibliographie, pour l'étude des phénomènes d'interférences dans les composants semi-conducteurs.

Dans les systèmes électroniques, l'énergie radio-fréquence (R.F.) peut se coupler aux cartes et aux pistes imprimées. Elle va être ensuite transmise aux circuits qui y sont connectés. L'enveloppe du signal RF va être détectée par les circuits non-linéaires que sont les jonctions des semi-conducteurs.

Le phénomène d'interférence peut être vu comme la génération de signaux basse-fréquences (composante continue incluse) quand un circuit non-linéaire est agressé par un signal radio-fréquence.

Les composantes BF, dont l'amplitude va être liée au taux de modulation du signal RF, se retrouvent souvent dans la bande passante des circuits agressés qui les traitent comme des signaux légitimes.

La compréhension de ces phénomènes de détection dans les structures semi-conductrices permet de mettre en oeuvre des modèles de simulation capables d'estimer la susceptibilité des circuits dans leur environnement réel dont les caractéristiques sont souvent aléatoires.



# I JONCTION PN

## I.1) PERTURBATION D'UNE JONCTION PN PAR UN SIGNAL RF

Le mécanisme de détection peut être vu comme le mécanisme par lequel des signaux RF, dont la fréquence est en dehors de la bande passante des circuits agressés, vont être convertis en des signaux dont les fréquences vont se retrouver dans la bande passante de ces circuits.

Ce processus est essentiellement lié à une détection d'enveloppe .

Ce phénomène appelé "Rectification" par les anglo-saxons, est lié aux non-linéarités inhérentes aux composants semi-conducteurs. La plupart d'entre eux intègrent une ou plusieurs jonctions PN, dont les caractéristiques courant - tension ne sont pas linéaires.

La Figure (I.1) montre comment cette caractéristique courant-tension agit sur un signal sinusoïdal.

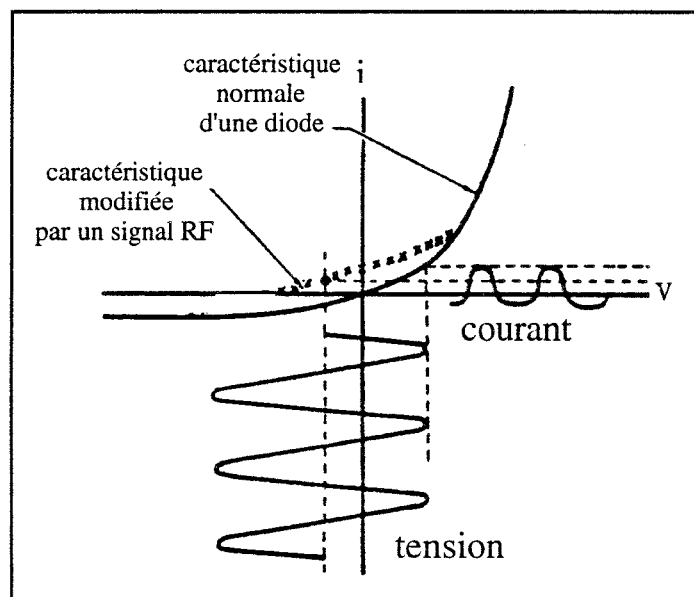


Figure I.1  
Illustration du phénomène de détection dans une diode

Si une tension sinusoïdale (comportant une composante continue) est appliquée à une jonction PN, le courant résultant va être composé d'une série de sinusoïdes non symétriques.

Soit  $I_d$  le courant circulant dans la diode.

Ce courant obéit à l'équation

$$I_d = I_{ds} e^{\left\{ \left( \frac{q}{kT} V_{be} \right) - 1 \right\}} \quad (I.1)$$

Si on dérive cette équation par rapport à la tension  $V_{be}$ , on obtient

$$\frac{dI_d}{dV_{be}} = \frac{q}{kT} I_d \quad (I.2)$$

$g_m = \frac{q}{kT} I_d$  est la conductance dynamique de la diode

L'équation (I.1) devient

$$I_d = I_{ds} e^{\left\{ \left( \frac{g_m}{I_d} V_{be} \right) - 1 \right\}} \quad (I.3)$$

Décomposons  $V_{be}$  en la somme d'une composante continue et d'une composante sinusoïdale.

$$\hat{V}_{be} = \overline{V}_{be} + \tilde{v}_{be} \quad (I.4)$$

L'équation (I.3) devient

$$\tilde{I}_d = I_{ds} e^{\left\{ \frac{g_m}{I_d} (\overline{V}_{be} + \tilde{v}_{be}) - 1 \right\}} \quad (I.5)$$

Après réduction, on obtient

$$\tilde{I}_d = I_d e^{\left( \frac{g_m}{I_d} \tilde{v}_{be} \right)} \quad (I.6)$$

En effectuant une décomposition en séries, on obtient

$$\tilde{I}_d = I_d \left\{ \sum_{n=0}^{\infty} \frac{1}{n!} \left( \left| \frac{g_m}{I_d} v_{be} \right|^n \right) \right\} \quad (I.7)$$

$$\tilde{I}_d = I_d \left\{ 1 + \left( \frac{g_m}{I_d} v_{be} \right) + \frac{1}{2!} \left( \frac{g_m}{I_d} v_{be} \right)^2 + \dots \right\} = \bar{I}_D + \Delta I_D \quad (I.8)$$

*Influence inject. RF*

Si la tension  $v_{be}$  est sinusoidale ou décomposable en une somme d'harmoniques, comme c'est le cas pour la plupart des signaux, les termes d'ordre pair de la série de l'équation (I.8) vont contribuer à augmenter la valeur de la composante moyenne  $\bar{I}_D$  du courant.

La valeur moyenne  $\bar{I}_D$  qui va parcourir la jonction sera plus élevée que celle en l'absence de signaux RF. Le point de polarisation de la diode va donc évoluer en fonction de l'amplitude (ou de la puissance RF) appliquée à la jonction; ce qui va entraîner une modification de la caractéristique courant-tension de la diode. C'est ce que montre la Figure (I.2).

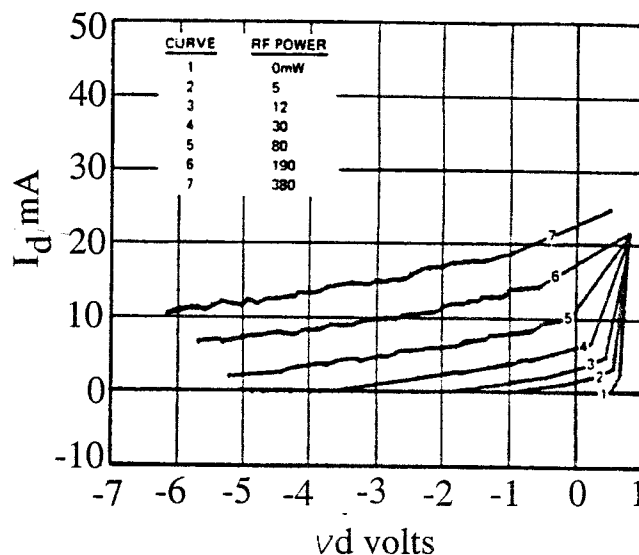


Figure I.2

Modification de la caractéristique  $I_d=f(V_d)$  d'une diode en présence d'une perturbation RF à 220MHz

REF [1] E. CURTIS and JAMES ROE  
IEEE TRANS. ON EMC, NOV 1979

La courbe n°1 est la caractéristique normale de la diode, avec un seuil de conduction au environ de 0,7 volts.

Les courbes 2 à 7 montrent les déformations de cette caractéristiques pour des puissances de signaux RF de 5 à 380 mW. L'un des banc de mesure qu'on peut utiliser pour réaliser ces tests est représenté sur la Figure (I.3).

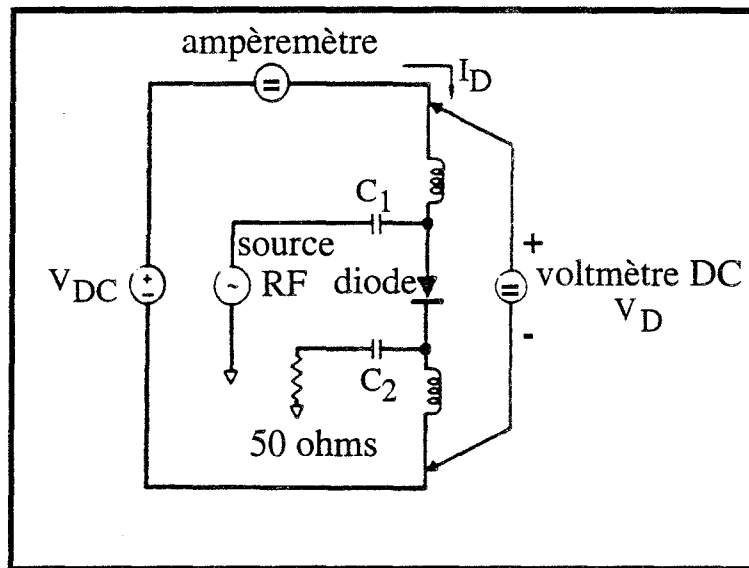


Figure I.3 Banc d'injection du signal RF

La manipulation consiste à relever le courant  $I_D$  traversant la diode en fonction de la tension de polarisation  $V_D$  et ce, pendant qu'une perturbation RF est appliquée à l'entrée de la diode. Les inductances de filtrage présentes dans le montage ont pour rôle de limiter l'action du signal RF uniquement à la diode et de protéger les sources continues. La capacité  $C_2$  et la résistance de  $50 \Omega$  fournissent un chemin de faible impédance au signal RF injecté à travers la capacité  $C_1$ . Elles protègent en outre la source RF contre une injection de tension continue qui lui serait fatale.

En présence d'une stimulation RF, on peut voir qu'une jonction peut devenir passante même si la tension à ses bornes est négative. Ce comportement peut être catastrophique dans les circuits analogiques de détection bas niveau.

## I.2) MODELE DE DIODE PERTURBEE

Un modèle qui prend en compte ces comportements de la jonction est représenté sur la Figure (I.4). (CURTIS et LARSON)

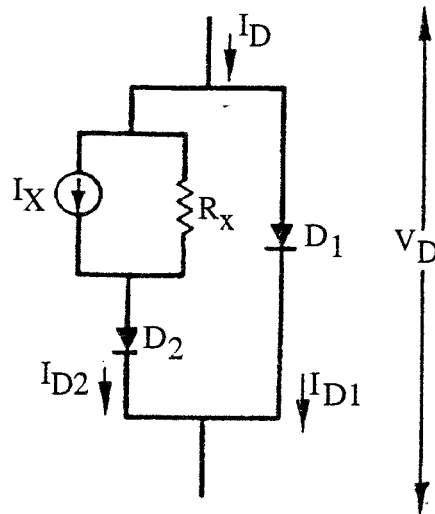


Figure I.4

Modèle permettant la prise en compte des modifications  
survenues sur la caractéristique courant - tension de la diode

REF [1] E. CURTIS and JAMES ROE  
IEEE TRANS. ON EMC, NOV 1979

La diode  $D_1$  représente la diode sans perturbation; elle obéit à l'équation usuelle des diodes

$$I_{D1} = I_{DS}(\exp(qv_D/nKT) - 1) \quad (I.9)$$

$D_1$ : diode sans stimulation RF

$I_{D1}$ : courant à travers  $D_1$ .

$V_D$ : tension aux bornes de  $D_1$ .

$I_{DS}$ : courant de saturation de  $D_1$ .

$q$ : charge de l'électron.

$k$ : constante de Boltzmann.

$T$ : température de la jonction (Kelvin).

$n$ : coefficient d'émission.

La diode  $D_2$ , la source de courant  $I_x$  et la résistance  $R_x$  permettent de rendre compte de la modification de la caractéristique courant-tension en présence de signaux radiofréquences.

La diode  $D_2$  est supposée avoir les mêmes caractéristiques que  $D_1$ .

La source de courant  $I_x$  dépend de la puissance de la source RF et de son impédance de source équivalente. Pour des puissances RF d'amplitudes importantes, on trouve une expression du type

$$I_x = k\sqrt{P_{RF}} \tag{I.10}$$

Comment est établi le modèle de la Figure (I.14) ?.

En présence d'une perturbation RF, le courant  $I_D$  traversant la diode augmente. Comme le montre l'équation (I.8), ce courant est la somme d'une composante moyenne  $\bar{I}_D$  (qui existe en l'absence de perturbation) et d'un terme  $\Delta I_D$  traduisant l'influence de l'injection du perturbateur.

La source de courant  $I_x$  de la Figure (I.4) traduit la modification du point de polarisation en courant de la diode.

$$I_x + I_{RX} = \Delta I_D = \frac{g_m}{I_d} v_{be} + \frac{1}{2!} \left(\frac{g_m}{I_d} v_{be}\right)^2 + \dots + \frac{1}{n!} \left(\frac{g_m}{I_d} v_{be}\right)^n \dots \tag{I.11}$$

Les courbes de la Figure (I.2) sont toutes pratiquement parallèles. Par conséquent l'équation traduisant l'évolution du courant  $i_D$  en fonction de la tension  $v_D$  (Figure (I.5) ), pour chacune de ces courbes, présentera un coefficient directeur constant.

La résistance  $R_x$  traduit ce comportement. Elle est indépendante de la puissance du signal RF appliquée à la diode.

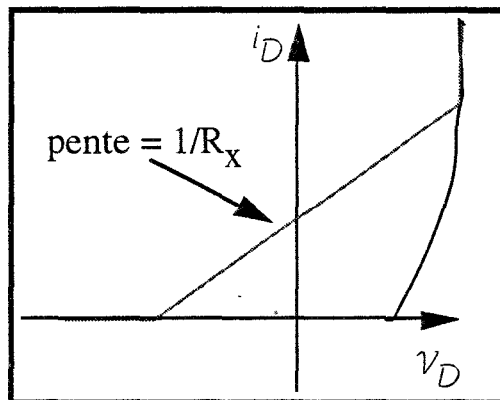


Figure I.5

La présence de la diode  $D_2$  s'explique par le fait que la source de courant  $I_x$  ne peut pas être branchée directement en parallèle sur la diode  $D_1$ . Cela équivaldrait à un court-circuit. Pour éviter cela, il faut donc la faire transiter par un composant quelconque. Le plus simple dans le choix de ce composant est de prendre une diode ayant des caractéristiques similaires à celle perturbée. D'où le choix d'une diode  $D_2$  ayant les mêmes caractéristiques que la diode  $D_1$ .

L'intérêt de ce modèle est de prendre en compte les modifications qu'on peut avoir sur les caractéristiques courant-tension  $i_d=f(v_d)$  des jonctions en présence d'une stimulation RF sans y avoir à y faire figurer explicitement une source RF.

Cette approche simplifie notablement l'analyse de l'incidence de signaux RF sur des composants actifs dont la plupart comportent plus d'une jonction p-n, comme les transistors, les circuits intégrés ...etc.

## II TRANSISTORS BIPOLAIRES

### II.1) INFLUENCE D'UN SIGNAL RF SUR LES CARACTERISTIQUES COURANT - TENSION D'UN TRANSISTOR

Les transistors comme les diodes sont sujets à d'apparentes modifications de leurs caractéristiques statiques quand ils sont stimulés par des signaux radiofréquences.

Comme les diodes, ces modifications sont dues essentiellement aux décalage de tension ou de courant résultant de la détection de ces signaux RF par les jonctions du transistor.

La Figure (I.7) montre les changements intervenus sur la caractéristiques courant - tension  $I_C = f(V_{CE})$  du transistor 2N2369A quand il est agressé à 220 MHz, sur son collecteur, par un signal de puissance égale à 90 mW. Le montage utilisé est celui de la Figure (I.10). Ces Figures sont issues des travaux de CURTIS et ROE REF[1]

En comparant les Figures (I.6) et (I.7), on peut voir qu'il y a un décalage global de toutes les courbes, sur la Figure (I.7), vers la droite d'environ 4 volts.

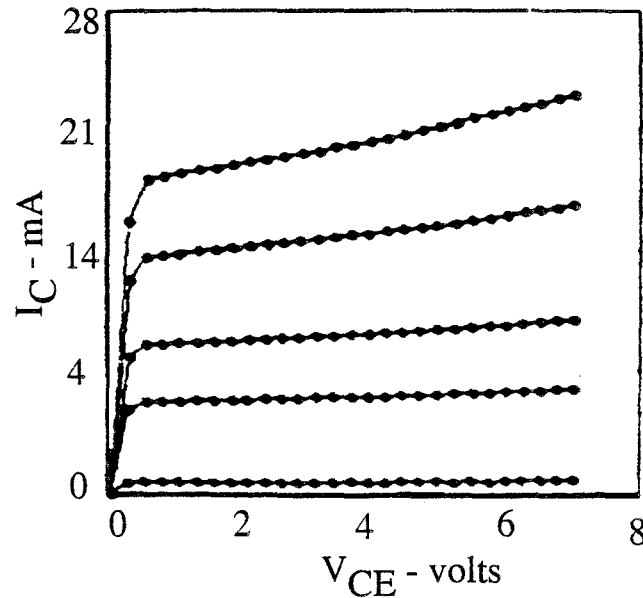


Figure I.6

Caractéristique  $I_C=f(V_{CE})$  du transistor 2N2369A sans perturbation

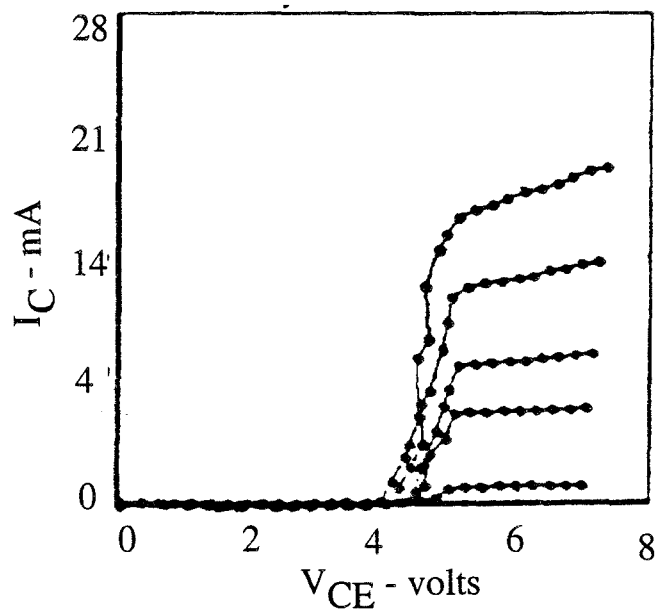


Figure I.7

Caractéristique  $I_C=f(V_{CE})$  du transistor 2N2369A stimulé sur son collecteur par un signal RF de 90mW à 220MHz

REF [1] E. CURTIS and JAMES ROE  
IEEE TRANS. ON EMC, NOV 1979

Les réponses obtenues peuvent être différentes pour un même type d'injection. Ci-dessous sont représentées les caractéristiques statiques d'un



transistor 2N2222A stimulé sur son collecteur dans les mêmes conditions que le transistor 2N2369A.

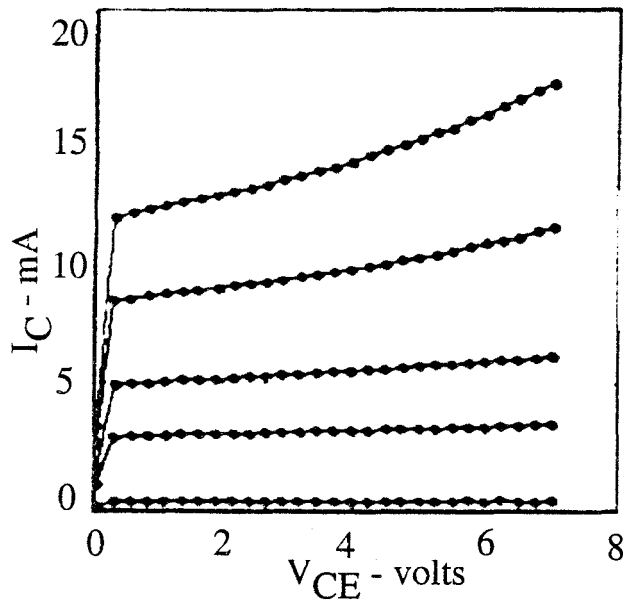


Figure I.8

Caractéristique  $I_C=f(V_{CE})$  du transistor 2N2222A sans perturbation

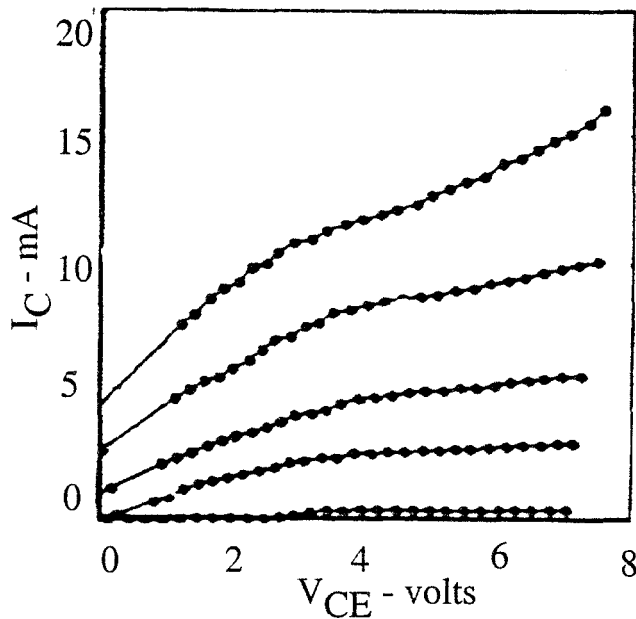


Figure I.9

Caractéristique  $I_C=f(V_{CE})$  du transistor 2N2222A stimulé sur son collecteur par un signal RF de 90mW à 220 MHz

REF [1] E. CURTIS and JAMES ROE  
IEEE TRANS. ON EMC, NOV 1979

En général, pour un transistor n-p-n stimulé sur son collecteur, on constate une décroissance du courant collecteur quand la tension  $V_{CE}$  est proche de la tension de saturation du transistor. De tels comportements ont été mis en évidence pour des fréquences couvrant la bande du gigaHertz.

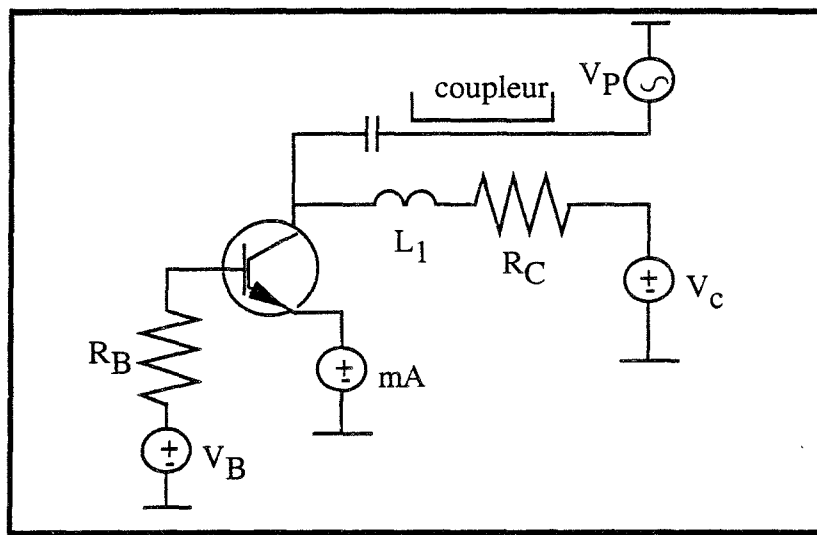


Figure I.10

Stimulation d'un transistor n-p-n sur son collecteur par un signal RF

Si l'injection du signal RF a lieu sur la base (Figure (I.11) ) au lieu du collecteur, les comportements décrits ci-dessous s'accompagnent d'une diminution du gain en courant  $\beta$ , donc de l'amplitude du courant collecteur. Pour le transistor 2N2222A stimulé sur sa base à 220 MHz avec une puissance de 5,4 mW, le gain en courant  $\beta$  est réduit de moitié. Ces études ont montré que le gain en courant statique  $\beta_{dc}$  et le gain en courant dynamique  $\beta_{ac}$  ( faible niveau) ont la même évolution.

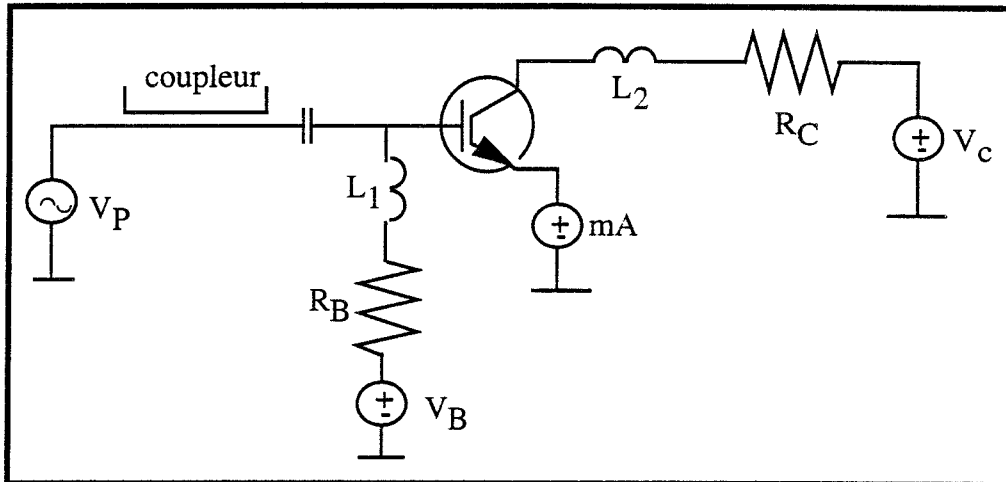


Figure I.11

Stimulation d'un transistor n-p-n sur sa base

La Figure (I.12) montre une mesure de gain en courant faite sur plusieurs transistors stimulés sur leurs bases.

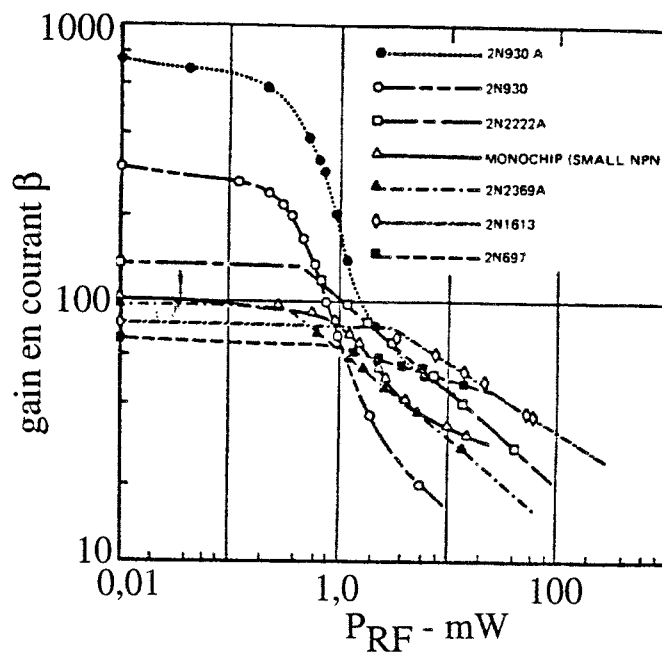


Figure I.12

Evolution du gain en courant  $\beta$  de différents transistors stimulés sur leurs bases par un signal RF à 220MHz

REF [1] E. CURTIS and JAMES ROE  
IEEE TRANSACTIONS ON EMC, NOV 1979

Pour les transistors 2N930 et 2N930A, le gain en courant  $\beta$  commence à décroître pour des puissances injectées de moins de 100  $\mu$ Watts. Cette décroissance s'accélère puis se stabilise à environ 1/10e de la valeur initiale pour une puissance de 3mW.

La tension de seuil de la jonction base-émetteur diminue quand la puissance du signal RF augmente. Quand le transistor fonctionne en régime normal, la tension de seuil base-émetteur est de l'ordre de 0,7 volts pour un transistor n-p-n au silicium.

Un signal RF d'une puissance de l'ordre de 1mW peut réduire cette tension de seuil à zéro volts.

Ce comportement sera désastreux pour les composants analogiques faibles niveaux.

Les phénomènes observés sur la jonction base-émetteur peuvent exister simultanément au niveau de la jonction base-collecteur.

## II.2) MODELE DE EBERS-MOLL MODIFIE

Pour modéliser ces phénomènes dus aux signaux RF, l'approche adoptée a été de partir d'un modèle de transistor existant notamment celui de EBERS - MOLL puis de le modifier pour tenir compte des changements introduits par les signaux RF sur les caractéristiques courant - tension des jonctions.

Le modèle d'EBERS - MOLL assimile le transistor bipolaire à deux diodes montées tête-bêche et qui interagissent l'une sur l'autre. Il reflète en outre la réversibilité du transistor c'est à dire le principe d'équivalence des deux jonctions base-émetteur et base-collecteur.

Le modèle d'EBERS - MOLL est un modèle large signal; par conséquent, il peut décrire le fonctionnement du transistor dans une large zone de fonctionnement.

- zone linéaire
- zone de blocage
- zone de saturation

La Figure (I.13) représente le modèle standard d'EBERS - MOLL pour un transistor n-p-n.

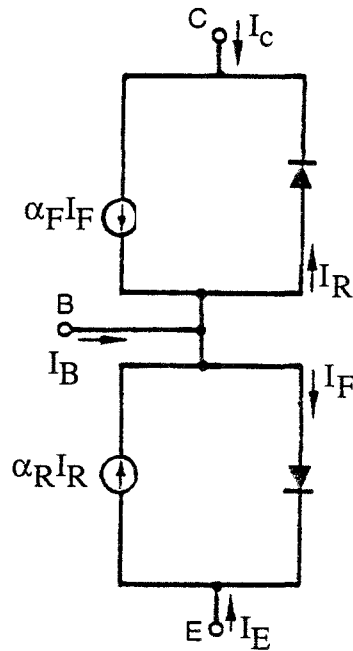


Figure I.13  
Modèle standard de EBERS-MOLL pour un transistor n-p-n

Les caractéristiques des deux diodes qui représentent respectivement les jonctions base-émetteur et base-collecteur sont données par les équations suivantes:

$$I_F = I_{OF}(\exp(qv_{BE}/KT) - 1) \tag{I.11}$$

$$I_R = I_{OR}(\exp(qv_{BC}/KT) - 1) \tag{I.12}$$

Les indices "R" et "F" viennent des termes anglo-saxons " Reverse - Forward".

$I_{OF}$  : courant inverse de saturation de la diode base-émetteur;  
 $I_{OR}$  : base - collecteur;

$V_{BE}$  : tension de seuil de la jonction base - émetteur;  
 $V_{BC}$  : " " - collecteur.

Les expressions des courants  $I_B$ ,  $I_C$  et  $I_E$  sont données ci-dessous :

$$\begin{aligned} I_B &= -I_C - I_E \\ I_E &= \alpha_R I_R - I_F \\ I_C &= \alpha_F I_F - I_R \end{aligned} \quad (I.14)$$

$\alpha_R$ : gain en courant du transistor en régime normal;

$\alpha_F$ : " " " inversé.

Les valeurs de gain en courant  $\beta$  des diodes base-émetteur et base - collecteur sont reliées au coefficient  $\alpha$  par la relation

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad (I.13)$$

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R} \quad (I.14)$$

Pour intégrer dans ce modèle les modifications engendrées par les signaux RF, chaque diode du modèle est remplacée par le modèle de diode de la Figure (I.4).

Les mécanismes de détection de chaque jonctions étant traités séparément.

La Figure (I.14) montre le modèle de EBERS - MOLLS modifié pour un transistor p-n-p.

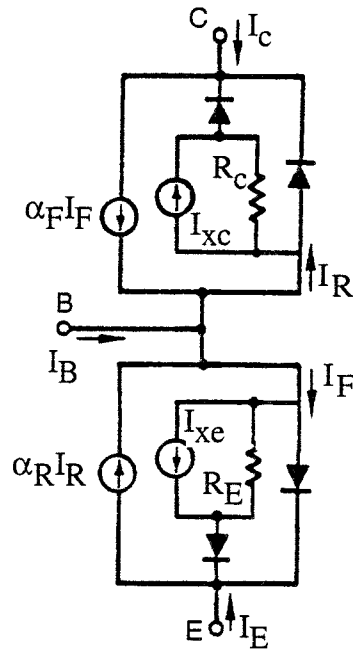


Figure I.14

Modèle de EBERS - MOLL modifié pour tenir compte des modifications de la caractéristique  $I = f(V)$  au niveau des jonctions base-émetteur et base-collecteur d'un transistor bipolaire

Le schéma de la Figure (I.14) reste identique pour un transistor p-n-p avec les conditions

$$I_B < 0, \quad I_C < 0, \quad V_{CE} < 0$$

Un modèle plus complet fait intervenir les capacités intrinsèques base-émetteur ( $C_{b'e'}$ ), base-collecteur ( $C_{b'c'}$ ) et la conductance  $g_n$  qui permet de prendre en compte l'effet Early (modulation de la largeur effective de la base).

Les sources de courant  $I_{XC}$  et  $I_{XE}$  dépendent de la puissance  $P_{RF}$  du signal RF, de sa fréquence et de son impédance équivalente de source. Pour des signaux RF de fortes amplitudes, les relations entre ces courant et la puissance  $P_{RF}$  sont les suivantes:

$$I_{XE} = K_E \sqrt{P_{RF}} \tag{I.17}$$

$$I_{XC} = K_C \sqrt{P_{RF}} \tag{I.18}$$

Les constantes  $K_E$  et  $K_C$  dépendent de la puissance  $P_{RF}$  et de la fréquence du signal RF. En général,  $K_E$  et  $K_C$  diminuent quand  $P_{RF}$  augmente.

Pour un transistor bipolaire agressé sur sa base ou son émetteur, la décroissance du gain en courant  $\beta$  peut être intégrée au modèle de la Figure (I.14) en faisant varier les coefficients  $\alpha_R$  et  $\alpha_F$  en fonction de la puissance  $P_{RF}$ .

Une simulation des caractéristiques du transistor 2N2369A et du 2N2222A réalisée par Conti et Larson [1], à partir des paramètres du Tableau (I.1), est représentée sur les Figures (I.15) et (I.16).

Les transistors sont stimulés sur leur collecteur par un signal radiofréquence de 90mW à 220 MHz.

	2N2369A	2N2222A
$I_{OF}(A)$	$4,95 \cdot 10^{-15}$	$1,08 \cdot 10^{-14}$
$I_{OR}(A)$	$1,00 \cdot 10^{-15}$	$1,00 \cdot 10^{-14}$
$\alpha_F   V_{CE} = 0$	0,9893	0,9917
$\alpha_R$	0,20	0,92
$K_C$	0,0652	0,00343
$K_E$	0,0114	0,0521
$R_C(\Omega)$	230	2720
$R_E(\Omega)$	220	60,6

Tableau I.1

Paramètres utilisés dans le modèle de EBERS-MOLL modifié pour simuler les courbes des Figures (I.15) et (I.16)



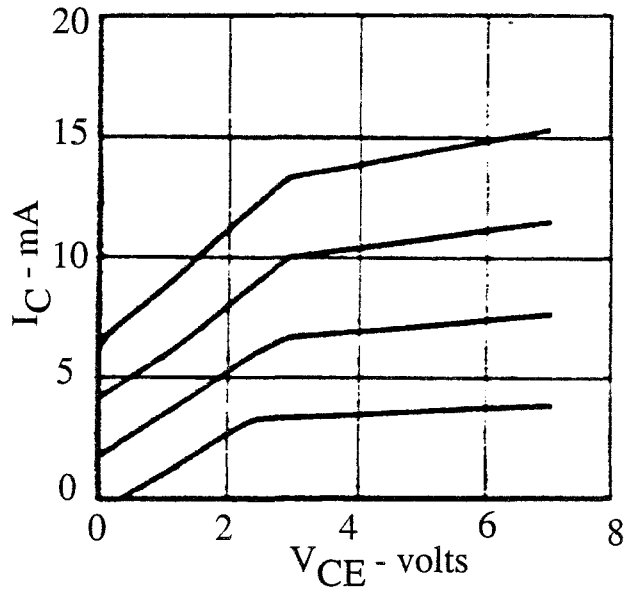


Figure I.15  
 Caractéristique  $I_C=f(V_{CE})$  simulé du transistor 2N2222A stimulé sur son collecteur par un signal RF de 90mW à 220MHz

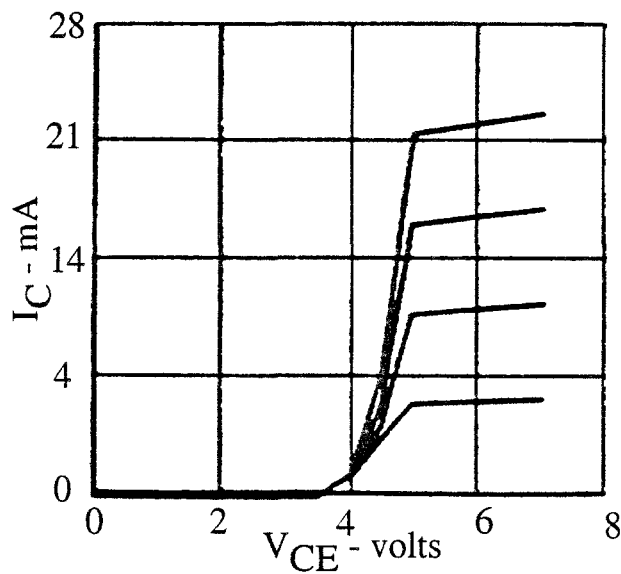


Figure I.16  
 Caractéristique  $I_C=f(V_{CE})$  simulé du transistor 2N2369A stimulé sur son collecteur par un signal RF de 90mW à 220MHz

REF [1] E. CURTIS and JAMES ROE  
 IEEE TRANS. ON EMC, NOV 1979

Les caractéristiques statiques obtenues par simulation concordent assez bien avec les caractéristiques réelles des Figures (I.7) et (I.9).

Ce modèle d'EBERS-MOLL a été utilisé avec succès pour simuler les phénomènes d'interférence dans des amplificateurs opérationnels monolithiques et dans les circuits de commutation [ 7].

Il peut facilement être étendu à l'étude de composants comportant plusieurs couches de type n-p-n-p.

## III TRANSISTOR A EFFET DE CHAMP

### III.1) INFLUENCE DES SIGNAUX RF SUR UN JFET

Les transistors à effet de champ sont aussi sensibles à des stimulations par des signaux RF. Cela peut se manifester par une variation de la transconductance  $g_m$  en fonction de la tension de grille.

La Figure (I.17) représente l'évolution de la transconductance  $g_m$  d'un transistor 2N4222 stimulé sur sa grille par une perturbation de fréquence 100 MHz.

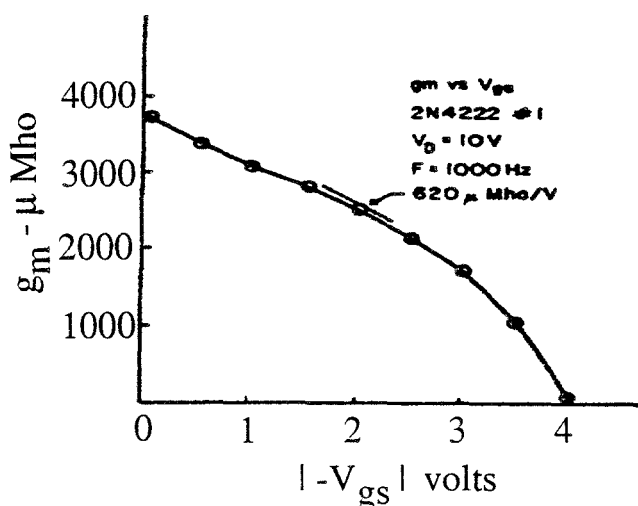


Figure I.17

Evolution de  $g_m$  pour un JFET stimulé sur sa grille par un signal RF

REF [2] M. FORCIER and E. RICHARDSON  
 IEEE TRANS. ON EMC, VOL 21, NOV 1979

Le montage utilisé pour cette étude est reporté sur la Figure (I.15)

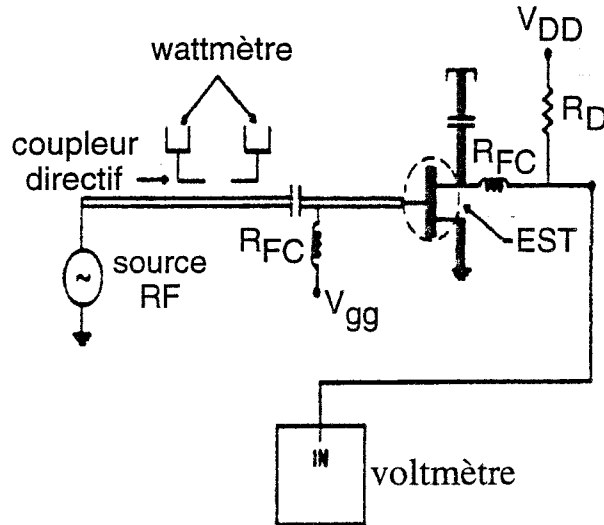


Figure I.18  
Dispositif d'injection du signal RF

REF [2] M. FORCIER and E. RICHARDSON  
IEEE TRANS. ON EMC, VOL 21, NOV 1979

Le coupleur directif permet de mesurer la puissance incidente et réfléchiée sur la grille du transistor. Ces mesures permettent d'accéder à l'impédance d'entrée du montage et à la puissance  $P_A$  absorbée par le composant.

Le signal RF (100 MHz - 1 GHz) est appliqué à la grille et tout changement dans le point de polarisation du transistor FET<sup>1</sup> est détecté le voltmètre.

Pour un point de polarisation donné et pour une fréquence fixe d'un signal RF, on constate que le courant drain augmente quand la puissance RF croît.(Figure I.19).

<sup>1</sup> Field Effect Transistor

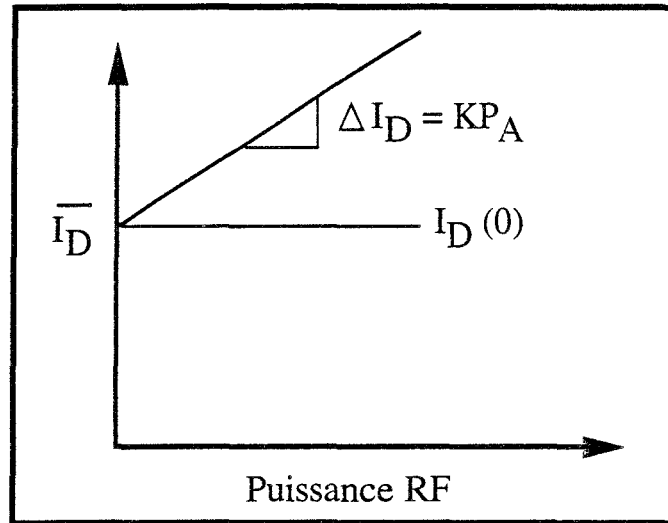


Figure I.19

Pour de faibles puissances du signal RF, on constate que la variation du courant drain est proportionnelle à la puissance absorbée par le composant.

### III.2) MODELE DE JFET

Pour rendre compte des phénomènes de détection qui vont entraîner une modification de la valeur moyenne du courant drain  $I_D$ , on procède à un développement du courant drain  $I_D$  en série de Taylor autour du point de polarisation  $V_0$  de la grille.

(I.19)

$$I_D(V_0 + V_p \sin(\omega.t)) = I_D(V_0) + V_p \sin(\omega.t) \cdot g_m(V_0) + \frac{V_p^2}{2!} \sin^2(\omega.t) \frac{dg_m}{dV_g} + \dots + \frac{V_p^n}{n!} \sin^n(\omega.t) \frac{d^{(n)}g_m}{dV_g^{(n)}} \dots$$

$g_m$  est la transconductance au point de polarisation  $V_0$  de la grille.

$$g_m = \left. \frac{dI_D}{dV} \right|_{V_0}$$

Chaque terme est ensuite intégré sur un nombre fini de cycles du signal RF.

$$\begin{aligned} \frac{1}{T} \int_0^T I_D(V_0 + V_P \sin(\omega.t)) dt &= \frac{1}{T} \int_0^T I_D(V_0) dt + \int_0^T V_P \sin(\omega.t) \cdot g_m(V_0) \\ &+ \frac{1}{T} \int_0^T \frac{V_P^2}{2!} \sin^2(\omega.t) \frac{dg_m}{dV_g} dt \dots + \dots \\ &\dots + \dots \frac{1}{T} \int_0^T \frac{V_P^n}{n!} \sin^n(\omega.t) \frac{d^{(n)}g_m}{dV_g^{(n)}} dt \dots \end{aligned} \quad (I.20)$$

Si  $n = 2p + 1$ ,  $\int_{\alpha}^{\alpha+T} (\sin x)^{2p+1} = 0$

Pour de faibles puissances du signal RF appliquées, nous pouvons négliger, dans le développement de Taylor, les termes d'ordre supérieur à 2.

L'équation (I.20) devient

$$\overline{I_D} = \overline{I_D(V_0)} + \frac{V_P^2}{4} \frac{dg_m}{dV_g} = I_D(0) + \Delta I_D \quad (I.21)$$

Elle montre que dans l'hypothèse où  $P_{RF}$  est faible ( tension  $V_p$  petite), le courant de décalage  $\Delta I_D$  sur le courant drain est proportionnel au carré de la tension du signal RF appliqué à la grille du transistor .

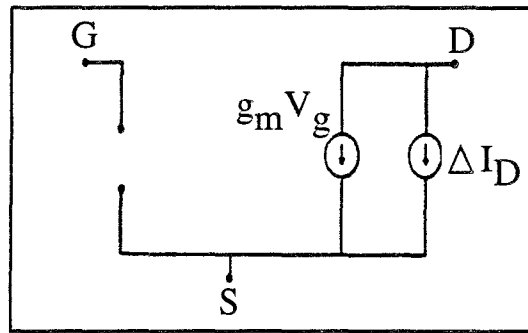


Figure I.20  
Schéma équivalent du FET agressé par un signal RF

Dans certains cas, il est plus intéressant d'exprimer l'incidence de perturbateur RF sur le transistor en terme de décalage de tension; cela permet de faire une comparaison avec les tensions présentes à l'entrée du composant.

La Figure (I.21) représente le modèle du transistor FET utilisé avec la source de tension  $\Delta V$  dans le circuit d'entrée.

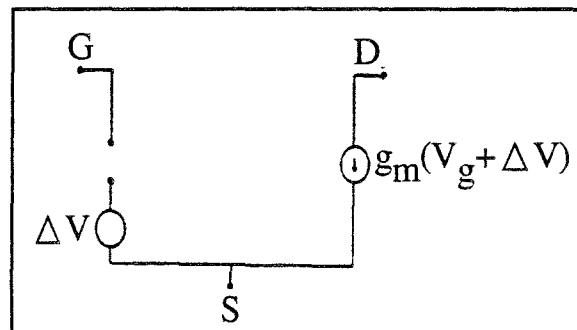


Figure I.21

$$\Delta V = \frac{\Delta I}{g_m} \tag{I.19}$$

L'équation (I.21) permet de déterminer l'expression de  $\Delta V$ :

$$\Delta V = \frac{V_p^2}{4} \frac{dg_m}{g_m dV_g} \tag{I.20}$$

### III.3) SENSIBILITE DU POINT DE POLARISATION AU SIGNAL RF

Si le transistor JFET fonctionne en zone de saturation, la conductance  $g_m$  a pour expression

$$g_m = G_0 \cdot \left\{ 1 - \left[ \frac{8\epsilon\epsilon_0}{N_D d^2} \cdot (\phi_B - V_g) \right]^{1/2} \right\} \quad (I.24)$$

où

$G_0$  est la conductance du canal non pincé;

$\phi_B$  est la tension de seuil ( $\approx 0,6$  volts);

$V_g$  est la tension de grille;

$d$  est l'épaisseur de canal;

$N_d$  est le dopage du canal;

$$V_p \text{ est la tension de pincement} = \frac{N_D d^2}{8\epsilon\epsilon_0} + \phi_B ;$$

Si on note  $P_A$  la puissance RF absorbée par le composant, on peut montrer que ( REF [2] M. FORCIER and E. RICHARDSON IEEE TRANS. ON EMC, VOL 21, NOV 1979 )

(I.25)

$$\frac{\Delta V}{P_A} = \frac{1}{2\omega^2 C_g^2 (v) R_i} \cdot \frac{1}{2 \{ (\phi_B - V_p) (\phi_B - V_g) \}^{1/2} \left\{ 1 - \left( \frac{\phi_B - V_g}{\phi_B - V_p} \right)^{1/2} \right\}}$$

$R_i$  : partie réelle de l'impédance d'entrée

$C_g$  : capacité de grille

Le fonctionnement du transistor en zone de pincement entraîne que la tension de grille  $V_g = V_p$ . Le dénominateur de l'équation (I.25) tend vers 0.

La tension de décalage  $\Delta V$  par unité de puissance va donc augmenter rapidement.

Nous venons de voir schématiquement comment un signal RF peut dégrader les performances et les caractéristiques d'une diode, d'un transistor bipolaire ou à effet de champ.

Cependant, ces composants fonctionnent de moins en moins isolément et font généralement partie intégrante de systèmes plus complexes que sont les circuits VLSI<sup>1</sup> tels que les microprocesseurs par exemple.

## IV LES MICROPROCESSEURS

La susceptibilité électromagnétique est l'inaptitude pour un composant, un équipement ou un système de travailler sans dégradation de ses performances en présence d'une interférence électromagnétique. La susceptibilité est un défaut d'immunité.

Pour approcher la susceptibilité des microprocesseurs face aux agressions électromagnétiques, deux voies sont possibles.

soit on s'intéresse à l'interaction d'une perturbation électromagnétique sur le microprocesseur lui-même et par voie de conséquence sur ses différentes unités fonctionnelles. Dans ce cas, le seul recours est la simulation.

soit on s'intéresse aux conséquences que peuvent avoir le couplage d'une perturbation électromagnétique sur les informations qu'échangent le microprocesseur avec son milieu extérieur et donc aux mécanismes d'erreur qui sont en jeu. Dans ces conditions, l'approche expérimentale paraît plus adéquate.

---

<sup>1</sup> Very Large Scale Integration



## IV.1) LA SIMULATION

Pour être menée à bien, elle nécessite la connaissance parfaite de la structure interne du composant et l'utilisation de moyens informatiques conséquents.

Ce genre d'approche se justifie pour des applications particulières où la sécurité est un paramètre plus que critique et ne peut d'ailleurs se faire, en général, que sur des composants spécifiques tels que les ASICS<sup>2</sup>. C'est notamment le cas dans certains domaines civils ( centrale nucléaire, aviation ...) ou militaires.

Plusieurs travaux ont été menés dans cette optique, notamment ceux de P. Duba et R. K. Riker[5] qui ont porté sur l'étude du comportement d'un microprocesseur, destiné au pilotage d'un moteur d'avion, agressé par des signaux transitoires ( tension ou courant).

Cette étude leur a permis de déterminer, en fonction de la charge véhiculée par le signal transitoire (0,5 à 4 pico Coulomb) et de son lieu d'application, quelles sont les différents types d'erreurs qui peuvent apparaître.

Erreurs dues au perturbateur transitoire			
type d'erreur	occurrences	pourcentage	seuil
transitoires injectés	1050	100%	0
erreurs logiques	437	41,61%	3,0pC
erreurs latentes	60	5,71%	3,0pC
erreurs sur les broches de sortie	59	5,61%	3,0pC

Tableau I.2

Ce tableau montre que les perturbations transitoires ont 41,6% de chance de causer une erreur logique, 5,7% de chance d'entraîner une

<sup>2</sup> Application Specific Integrated Circuits

erreur latente et 5,6% de chance de provoquer une erreur sur les broches de sortie du composant.

Il montre en outre qu'en dessous d'une charge minimale de 3,0 pC, les signaux transitoires ont peu d'effets sur le microprocesseur testé.

Les définitions des erreurs figurant dans le Tableau (I.2) sont les suivantes :

Erreurs sur les broches du composants : celles affectant directement l'environnement extérieur.

Erreur logique : elles entraînent une modification de l'état de l'information logique dans une unité quelconque du microprocesseur.

Erreur latente: elles correspondent à une panne existante qui ne s'est pas encore manifestée à l'extérieur du composant ou de l'unité perturbée.

Une étude menée sur l'impact des signaux transitoires sur le l'activité des différentes unités fonctionnelles du microprocesseur est résumée dans le Tableau (I.3)

probabilités d'erreur			
unité testée	erreur logique	erreurs latentes	erreur sur les broches de sortie
control	0,474	0,103	0,080
ALU	0,571	0,086	0,131
décodeur	0,309	0,000	0,046
multiplexeur	0,314	0,000	0,000
watchdog	0,360	0,040	0,000
compteur	0,469	0,114	0,080

Tableau I.3

Cette table montre que l'unité arithmétique et logique (ALU)<sup>1</sup> présente la plus grande probabilité d'erreurs logiques. Une erreur sur cette unité a de forte chance d'affecter l'environnement extérieur (13,1%) du microprocesseur.

<sup>1</sup> Arithmetic Logic Unit

L'intérêt de ce genre d'étude est de permettre la localisation des éléments les plus sensibles aux pannes et auxquels il faudra apporter un soin particulier. Par exemple en protégeant efficacement le compteur, P. Duba et R. K. Riker[5] ont constaté qu'ils réduisaient fortement le taux d'erreurs latentes susceptibles d'entraîner des pannes catastrophiques.

## IV.2) L'APPROCHE EXPERIMENTALE

Les méthodes de simulation nécessitent la mise en place de moyens informatiques importants et en général coûteux.

Dans la plupart des cas, les composants utilisés sont des composants standards du marché et les schémas de leurs structures internes ne sont pas toujours disponibles.

En outre, il n'est pas aisé de tester la susceptibilité d'un microprocesseur dans son environnement réel. Une alternative à cette difficulté est de le tester dans un environnement matériel minimal.

Fort heureusement, cela est possible car les différents modes de fonctionnement du microprocesseur sont assez peu nombreux et se réduisent souvent aux actions liées à l'instruction exécutée. Par conséquent, en construisant un logiciel traitant ces modes de fonctionnement, il est possible d'accéder à la susceptibilité du microprocesseur face à une agression électromagnétique.

Une des méthodes de test souvent utilisée est la comparaison des courbes de susceptibilité de différentes cartes à microprocesseurs. Ce genre d'approche globale, certes intéressante à certain point de vue, atteint rapidement ses limites quand on se trouve confronter par exemple à des erreurs de type intermittente.

Notre objectif va être axé sur la compréhension des mécanismes qui régissent la génération des erreurs sur les informations qui transitent sur les lignes de dialogue du microprocesseur.

On peut raisonnablement admettre qu'en cas d'agression électromagnétique (nous ne prenons pas en compte le cas des rayonnements hautes énergies), les éléments directement reliés au port de d'entrée-sortie du composant seront, probablement, les plus exposés aux perturbations.

Notre approche de la susceptibilité du microprocesseur sera de type harmonique bien que la majorité des perturbations soient de type transitoire.

Ce choix ne sera cependant pas pénalisant car il n'existe aucune relation temporelle entre le perturbateur que nous appliquons et les différents signaux gérés par le microprocesseur.

Les erreurs que nous mettrons en évidence sur les informations qui transitent sur les lignes de dialogue du microprocesseur auront, par rapport à celles-ci, une répartition quasi-aléatoire.

En outre ce choix se justifie par la nécessité de rendre répétitives des erreurs qui sont le plus souvent fugitives.

Nous utiliserons essentiellement deux types de perturbation :

- une perturbation en injection de courant
- une perturbation en injection de tension.

Ces deux types de perturbations sont les manifestations respectives d'une perturbation en champ électrique et en champ magnétique.

## V BIBLIOGRAPHIE

- [1] CURTIS E, LARSON  
"A modified Ebers-Molls transistors for RF Interference Analysis "  
IEEE Transactions on Electromagnetic Compatibility, Vol EMC 21, n° 4,  
November 1979
- [2] M. FORCIER and R. RICHARDSON  
"Microwave rectification RFI response in Field Effect Transistors"  
IEEE Transactions on EMC, vol. EMC-21, n° 4, November 1979
- [3] R. E. Richardson, V. G. Puglielli  
"Microwave interference effect in bipolar transistor "  
IEEE Transactions on Electromagnetic Compatibility, vol EMC 17, pp  
216 - 219
- [4] J. Whalen, J. Tront, C Larson  
"Computed-aided analysis of RFI effects in integrated circuits"  
Proc IEEE 1978, Int. Symp. EMC, IEEE 78-CH -EMC pp 64-70
- [5] P. DUBA and R. K. IYER  
"Transient fault behavior in a microprocessor: A case study"  
Proc of the 1988 International Conf. on Computer Design: VLSI and  
Processors. p 272-6, WASHINGTON DC, 3-5 October
- [6] R. CHILLARREGIE and R. K. IYER  
"Measurement-based analysis of error latency"  
IEEE Trans. Comp., vol c-36, pp 529 - 537, May 1987
- [7] J. ALKALAY and D. WEINER  
"Computer simulation of EMI effects in 7400 TTL NAND gate"  
Rome Air Development Center.

[8] J. TRONT, J. WHALEN and Al  
"Computed-aided analysis of RFI effects in operationnal amplifiers"  
IEEE Trans. Electromagn. Comp., vol EMC 21, n° 4, pp 297 - 306,  
November 1979

9] R.JOHNSON AND AL  
" Simulation approch for modelling single event upsets on advanced  
CMOS RAM"  
IEEE Trans. Nuc. Sc., vol NS-32 pp 4122-4127, December 1985

[10] T. MAY, H. WOODS  
" Alpha - particles - induced soft errors in dynamics memories"  
IEEE Trans. El. Dev., vol ED-26, pp2-9, January 1979

[9] M. H. THURLOW  
"Susceptibility characteristics of microprocessors and LSI technologies"  
Colloquium on Electromagnetic Interference Problems in  
Microprocessor System"  
Wednesday, 2 April 1986

*MICROPROCESSEURS  
ET  
MÉTHODES DE TESTS*

---

# 2

## MICROPROCESSEURS ET METHODES DE TESTS

---

La première partie de ce chapitre est consacrée à la description matérielle du microcontrôleur utilisé et de ses signaux de contrôle. Elle présente ensuite les raisons qui ont motivé son choix.

Pour tester la susceptibilité du microcontrôleur, nous avons utilisé des perturbateurs à caractère harmonique bien que la majorité des perturbations rencontrées soient de type transitoire. La deuxième partie sera consacrée à la justification de cette approche.

Plusieurs méthodes sont utilisables pour produire des perturbations sur un système; L'illumination en cellule TEM en est une car elle permet une approche globale de la susceptibilité d'un système. Cependant, cette solution efficace ne permet pas de cibler l'action du perturbateur comme le ferait des sources localisées.

Pour corréler ces deux impératifs, nous avons utilisé un dispositif à lignes couplées qui permet d'associer au perturbateur une schéma équivalent simple.



## I) CHOIX DU MICROPROCESSEUR

L'utilisation d'un microprocesseur exige un environnement minimal comme l'illustre le synoptique de la Figure (II.1).

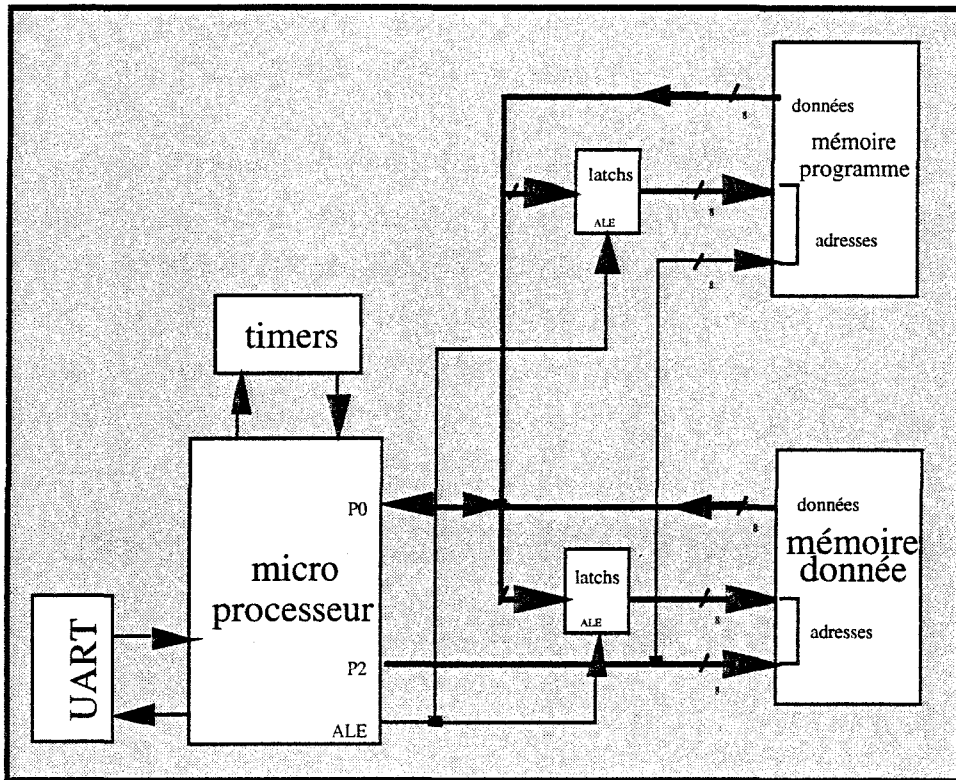


Figure II.1

Il comprend

- une mémoire programme (ROM, EPROM);
- une mémoire de donnée (RAM, E<sup>2</sup>PROM ...);
- des circuits de gestion des interruptions et d'horloge;
- des interfaces de liaison avec l'extérieur.

Toutes ces périphériques sont branchées d'une part sur un port multiplexé et bidirectionnel (version INTEL), et qui va supporter les adresses basses et les données; d'autre part, elles sont reliées à un autre port qui va supporter les adresses hautes.

Supposons par exemple que nous désirons injecter une perturbation sur une donnée lors de sa phase de stockage en mémoire. L'injection du perturbateur va donc se faire sur les lignes de bus reliant le microprocesseur à la RAM. Or sur cette même ligne de bus est branchée la mémoire programme. Il est pratiquement impossible, dans ces

conditions, de ne pas perturber le code objet qu'exécute le microprocesseur.

Certes une solution consisterait à n'enclencher l'injection du perturbateur qu'à la fin du chargement de l'instruction à exécuter et à la déclencher à la fin de l'écriture d'une donnée dans la mémoire de donnée. Mais l'expérimentation nécessiterait plus de composants, plus de pistes imprimées et par conséquent engendrerait des problèmes de compatibilité électromagnétique.

L'idéal est donc d'avoir un microprocesseur avec une mémoire programme interne pour minimiser les risques de perturbation du programme, des sources d'interruptions et d'horloge internes pour réduire au minimum le nombre de composants périphériques (Figure (II.2) )

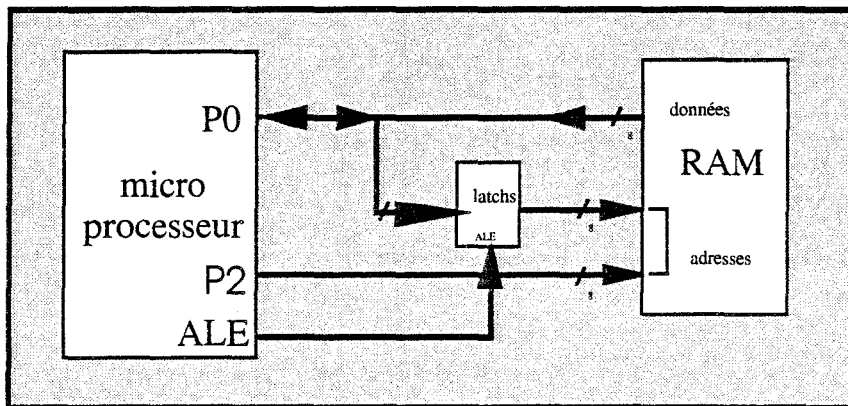


Figure II.2

Notre choix s'est donc porté sur un microcontrôleur qui n'est en fait qu'un microprocesseur spécialisé et autonome.

Le choix d'un microcontrôleur CMOS 8 bits de INTEL à EPROM interne (87C51) est lié d'une part à sa grande utilisation en milieux industriels; d'autre part nous disposons au laboratoire d'un émulateur de la série 51 adapté à ce microcontrôleur, ce qui facilitera évidemment le développement de nos programmes.



## II.2 ) SIGNAUX DE CONTRÔLE ET DE SERVICE

Les signaux 1, 2 et 3 de la Figure (II.4) représentent les signaux correspondant à un adressage externe effectué par le microcontrôleur.

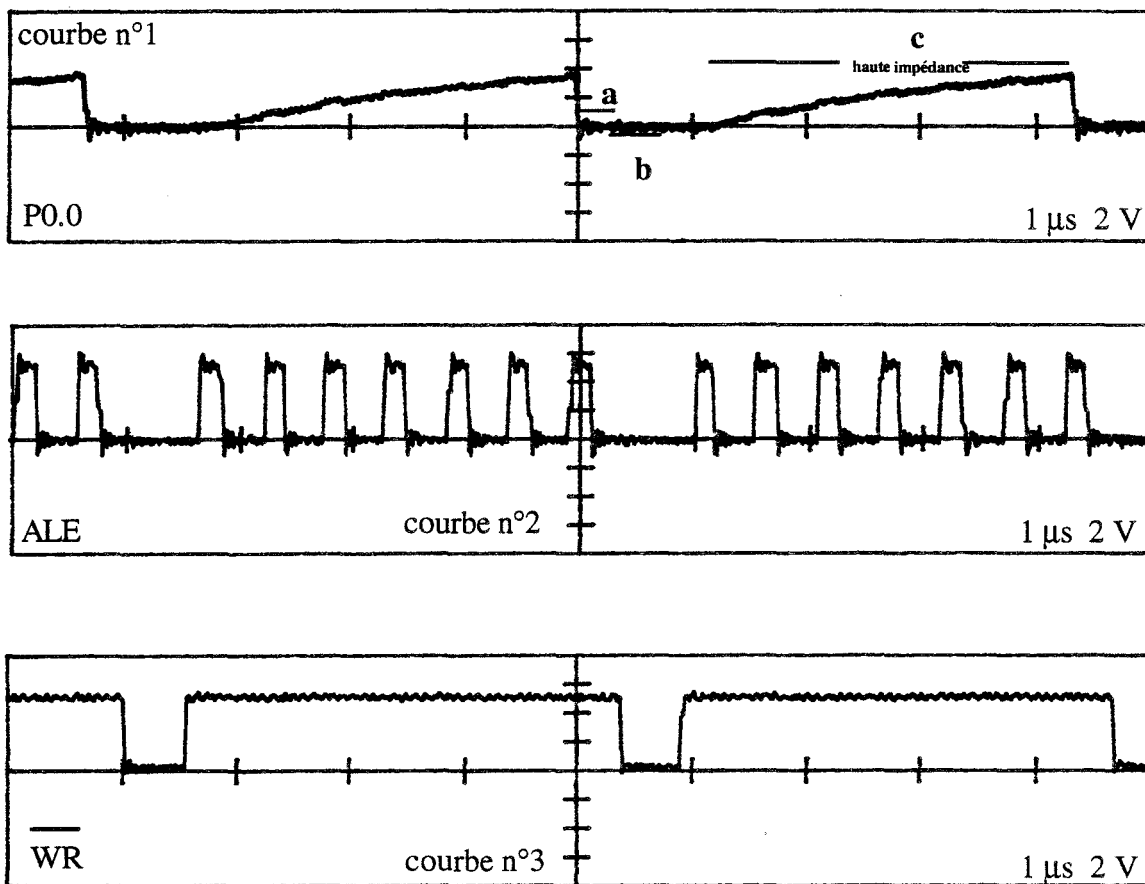


Figure (II.4)

La courbe 1 représente l'évolution de la tension sur la ligne P0.0 (sortie n°1 du port P0) lorsque le microcontrôleur émet la séquence "adresse=0 - donnée = 0" (écriture de la donnée 0 à l'adresse 0).

L'adresse est présente sur le front descendant du signal ALE<sup>1</sup> (courbe 2). Le signal ALE fait partie des signaux de service émis par le microcontrôleur et qui servent à gérer les accès mémoires, les périphériques etc..... Le signal représentant l'évolution du ALE présente plusieurs fronts descendants.

<sup>1</sup> Adress Latch Enable (signal de verrouillage des latches)

Par conséquent, une adresse peut être validée à chacun de ses fronts descendants; celle-ci ne sera prise en compte, lors d'un ordre d'écriture d'une donnée dans une RAM, que sur le front descendant du signal ALE qui précède le signal d'écriture  $\overline{WR}$  (courbe 3).

Les zones 'a' et 'b' sur la courbe 1 correspondent à l'adresse =0 suivie de la donnée =0. La zone 'c' indique le passage de la ligne P0.0 en haute impédance. Ce fonctionnement à trois états est rendu nécessaire par le fait que le port P0 est un port multiplexé bidirectionnel. L'accroissement du potentiel à 5 volts est liée à la structure à drain ouvert de chacune des sorties du port P0; cette remontée est provoquée par des résistances de rappel au +5 volts (pull-up resistors) de 47 k $\Omega$  que nous avons placée, dans ce cas précis, pour permettre une identification aisée des zones d'adresse 'a' et de donnée 'b'.

## II.3 ) STRUCTURE DES PORTS

### II.3.1) STRUCTURE DU PORT P0.0

Tous les ports du microcontrôleur sont bidirectionnels. Cependant seul le port P0 est un port multiplexé. Les transistors constituant chacun de ses étages de sortie ne sont utilisés que lors d'un adressage externe. Sa structure en drain ouvert fait qu'il est flottant quand il est configuré comme port d'entrée. Il présente dans ces conditions une impédance d'entrée élevée. Le port P0 est un vrai port bidirectionnel.

La Figure (II.5) représente la structure des étages de sortie du port P0.

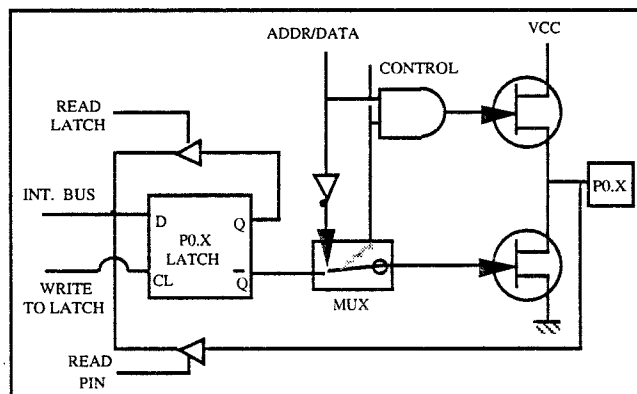


Figure II.5 Structure du port P0

II.3.2) STRUCTURE DES PORTS P1, P2 ET P3

La différence essentielle de structure de ces ports par rapport au port P0 est qu'ils sont statiques alors que le port P0 est un port dynamique.

Ils possèdent, contrairement au port P0, une résistance de rappel au + 5 volts<sup>1</sup>. Par conséquent, pour les utiliser comme étage d'entrée, il faut que leurs sorties soient à l'état haut. Ceux sont des ports quasi-bidirectionnels.

Les Figure (II.6), (II.7) et (II.8) donnent les structures des étages de sortie des ports P1, P2 et P3.

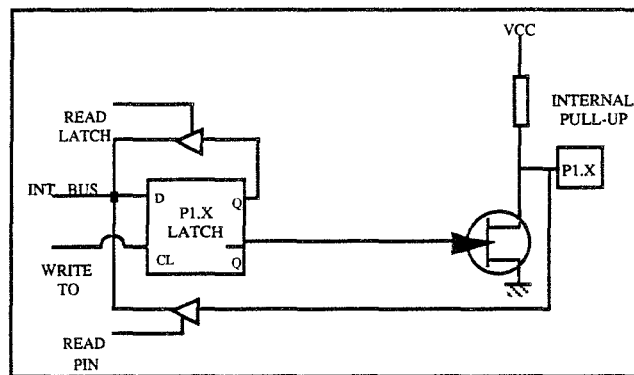


Figure II.6 Structure du port P1

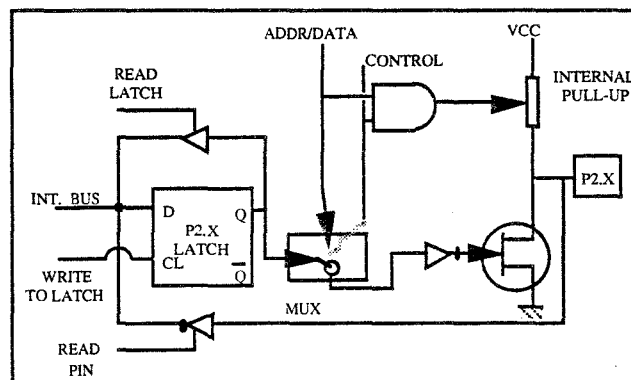


Figure II.7 Structure du port P2

<sup>1</sup> Pull - up

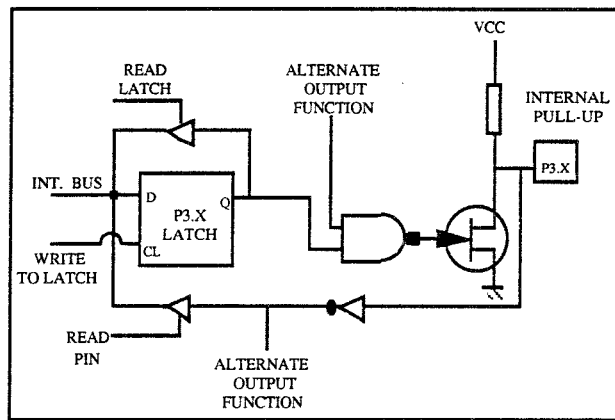


Figure II.8 Structure du port P3

### III CHOIX DU MODE DE PERTURBATION

Les sources de perturbations susceptibles d'être à l'origine de dysfonctionnements de systèmes électroniques ou micro-informatiques sont variées.

#### III.1) SOURCES DE BRUIT ET DE PERTURBAIONS RADIOELECTRIQUES

Les sources de perturbation peuvent être classées en deux catégories:

- le bruit naturel
  - source orageuse
  - bruit cosmique
  
- le bruit d'origine humaine
  - non intentionnel
  - intentionnel.

### III.1.1) LE BRUIT NATUREL

#### a) LA Foudre

La notion actuelle retenue pour qualifier l'activité orageuse d'un site est l'activité kéraunique.

Les éclairs qui sont en général l'aboutissement peuvent survenir près d'équipements électroniques et risquent de les perturber considérablement.

Un éclair peut véhiculer en moins d'une seconde une quantité de charge de quelques 20 Coulombs au sol. Le courant résultant est constitué de plusieurs impulsions ayant une amplitude de quelques dizaines de kA et un temps de montée inférieur à la microseconde.

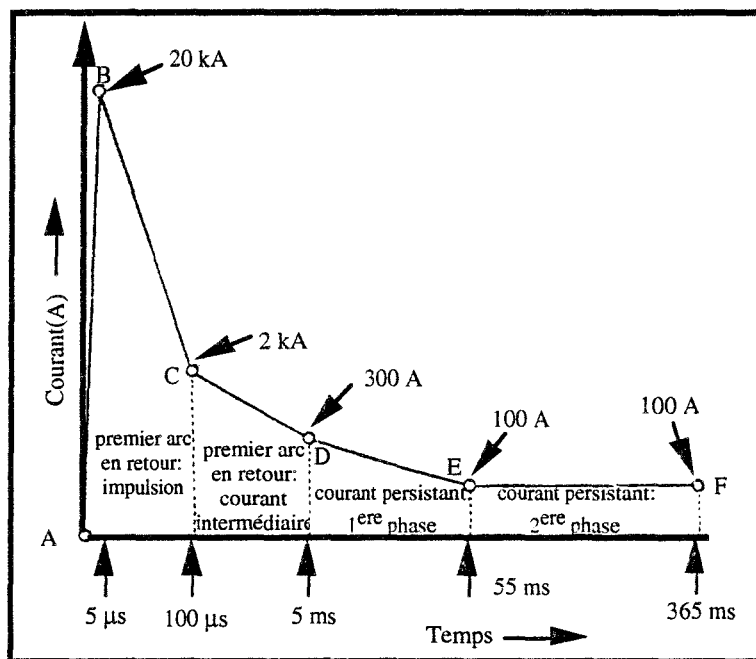


Figure II.9 Courant d'éclair  
REF [1] DEGAUQUE et HAMELIN

A titre d'exemple, la Figure (II.9) montre la séquence d'un courant de type foudre (arc en retour, arcs subséquents ...)



**b) BRUIT COSMIQUE ET SOLAIRE**

Les modifications des propriétés de réflexion et de transmission de l'ionosphère dues aux émissions de particules en provenance du soleil et autres sources cosmiques, sont à l'origine de problèmes en radio-communication et en liaisons satellitaires.

**III.1.2) LE BRUIT D'ORIGINE HUMAINE**

L'activité humaine et plus particulièrement industrielle a engendré toutes sortes de pollutions.

**III.1.2.1) BRUIT INDUSTRIEL  
NON INTENTIONNEL**

Les perturbations engendrées par le bruit industriel non intentionnel sur les systèmes électroniques vont se traduire par la présence de tensions sur les équipements ou par la circulation courants parasites dans les réseaux de masses qui ne vérifient plus les conditions d'équipotentialité.

**a) système de distribution d'énergie**

Les principales sources de perturbation dans les réseaux hautes et basses tensions sont dues aux manoeuvres (ouverture et fermeture) des sectionneurs, disjoncteurs, interrupteurs et aux défauts de lignes sur les réseaux et sur les équipements.

Ceux-ci produisent des arcs dans lesquels circulent des courants d'intensités élevées, avec un environnement impulsionnel très important. De plus par conduction, ces perturbations sont transmises aux équipements basse tension.

Les formes d'ondes représentatives sont des trains d'ondes sinusoïdales amorties de fréquence comprise entre 10 KHz et 1 MHz. Les réseaux haute-tension ont été à l'origine de dysfonctionnement des systèmes de freinage ABS ou des systèmes de condamnation centralisée des portes de certains véhicules.

**b) Bruit d'origine automobile:**

Ceux sont les systèmes d'allumage des véhicules à explosion, les alternateurs, les moteurs électriques capables d'engendrer des tensions transitoires assez énergétiques et susceptibles de perturber les calculateurs embarqués à bord des véhicules.

Rappelons à titre informatif que certaines voitures intègrent jusqu'à huit microprocesseurs dont quatre sous le capôt moteur.

**c) Equipements industriels:**

Les fours à induction, les fours radio-fréquence et les équipements médicaux; les systèmes de régulation à thyristors; les coupes-circuits électromécaniques sont à l'origine de perturbations rayonnées ou conduites.

**d)** Les équipements scientifiques et médicaux, les appareils de traitement de l'information n'échappent pas à ce constat

**e)** On ne dénombre plus aujourd'hui les appareils électrodomestiques, outils portatifs à moteur électrique et similaires gérés par microcalculateur.

La plupart d'entre eux baignent dans un environnement électromagnétique dont on soupçonne à peine l'intensité.

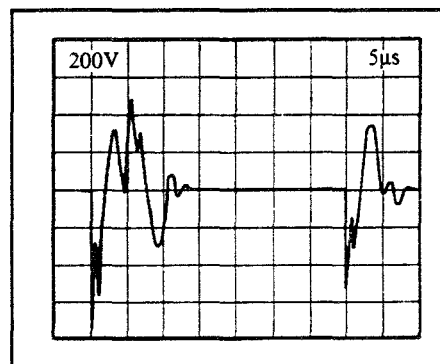


Figure II.10

Graphe d'un phénomène à haute énergie mesurée près d'un perceuse

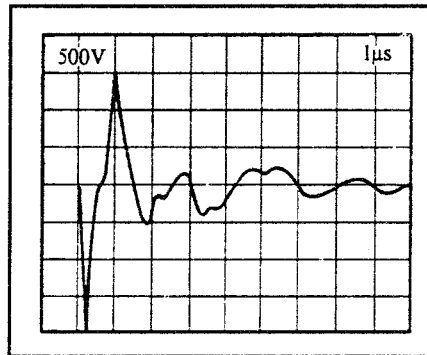


Figure II.11      Graphe d'un phénomène temporel à haute énergie  
et tension excessive mesuré dans un bureau  
sur un moulin à café  
REF [9] SCHAFFNER

A titre d'exemple, nous présentons les valeurs de champ rayonnés par un appareil apparemment anodin comme un flash électronique.

**flash électronique** : le flash est un tube au xénon activé par une décharge d'une capacité de forte valeur. Cette décharge activée par un circuit de commande à thyristor, se produit à travers un transformateur élévateur dont la haute tension déclenche le tube.

Des mesures de champs créés par les flashes électroniques à 1 m de distance sont présentées sur les Figures (II.12) et (II.13). De tels rayonnements peuvent dégrader le fonctionnement de systèmes électroniques.

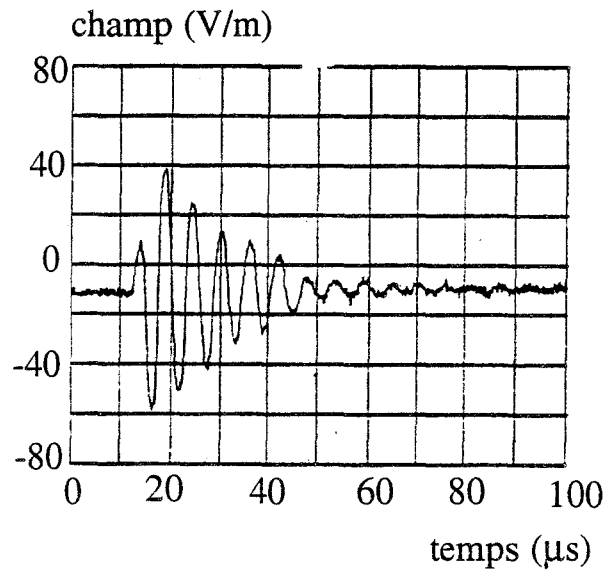
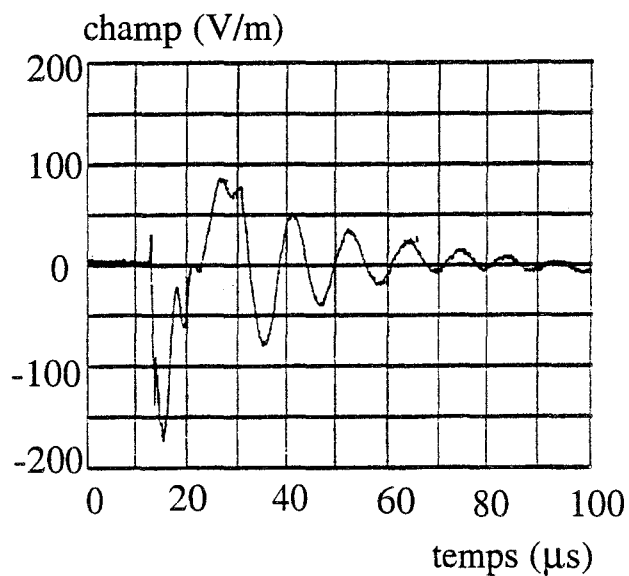


Figure II.12 Flash grand public

Figure II.13 Flash professionnel 300 joules  
REF [1] DEGAUQUE et HAMELIN

f) Les stations de radiodiffusion et leurs stations de relais, sont des sources significatives de perturbations (en bande étroite) radioélectriques de par leur puissance.

**g)** Les radars sont particulièrement perturbateur en zone proche (distance inférieure à 1Km) de par leur puissance et la nature impulsionnelle des signaux qu'ils émettent.( de l'ordre de 1,5 MW) .

**III.1.2.2)                    *PERTURBATION  
DUE AU BRUIT INTENTIONNEL***

**a)**      brouillage d'équipements électriques ou électroniques par une source de rayonnement intentionnel;

**b)**      la bombe nucléaire.

Outre la forte émission électromagnétique qu'elle va générer et qui va perturber les équipements, encore faudra t-il en échapper pour pouvoir se préoccuper de problèmes relatifs à la CEM.

### III.2 ) PERTURBATION TRANSITOIRE

La perturbation transitoire représente près de la majorité des types d'agressions électromagnétiques rencontrées en pratique.

Ce type de perturbation isolée dans le temps n'est cependant pas très commode pour aborder l'étude des fonctionnements du microprocesseurs ceci pour plusieurs raisons:

- d'une part l'utilisation d'une perturbation transitoire, pour une première approche, ne va pas faciliter l'interprétation des mécanismes d'erreurs sur l'adresse ou sur la donnée car ces erreurs vont dépendre à la fois de la largeur de l'impulsion, de son temps de montée et évidemment de son amplitude (Figure (II.14)).

- d'autre part, notre but est de capturer des erreurs fugitives qui peuvent survenir sur ces adresses ou ces données; il faut donc trouver le moyen de rendre ces erreurs répétitives.

A ceci s'ajoute le fait qu'il n'y a pas forcément synchronisme entre l'apparition du perturbateur et l'instant de validation des adresses ou des données.

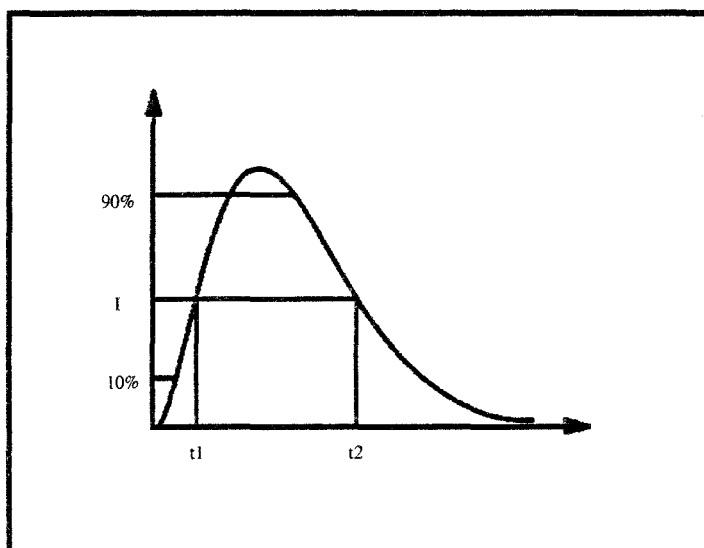


Figure II.14 Signal transitoire

### III.3) PERTURBATION SINUSOÏDALE

Afin de rendre répétitives et donc facilement identifiables les erreurs qui vont apparaître, nous avons utilisé une perturbation de type sinusoïdal.

On peut d'ailleurs se demander si ce type de perturbation se rencontre fréquemment dans la pratique.

Il faut noter qu'à côté des champs puissants émis par les IEMN (impulsion électromagnétique nucléaire) ou les décharges électrostatiques, il faut mentionner les émetteurs-récepteurs ( Citizen-Band, GSM, ...) et leurs émetteurs mobiles. Grâce à leur mobilité, ils peuvent agresser fortement un système et l'exposer à des champs importants . Ces champs couvrent la bande de 10kHz à quelques centaines de MégaHertz.

La Figure (II.15) représente le champ émis par un talkie-walkie d'une puissance de 2 watts à une distance de 1 m.

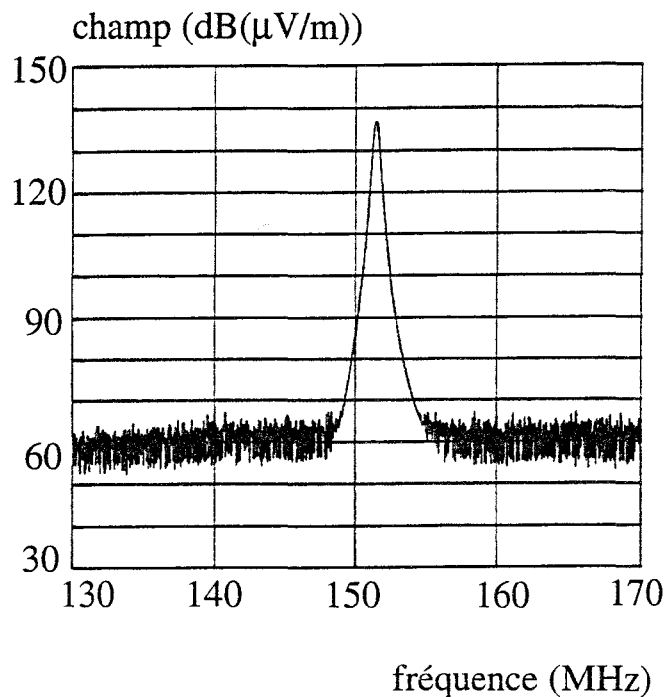


Figure II.15 Champ émis par un talkie-walkie à 1 m  
REF [1] DEGAUQUE et HAMELIN

$$(137 \text{ dB}(\mu\text{V/m}) = 7 \text{ V/m})$$

## IV ) MODE DE COUPLAGE

Differents modes de couplage peuvent être considérés entre une source perturbatrice et un système électronique agressé.

### IV.1) COUPLAGE PAR CONDUCTION

Le couplage entre la source perturbatrice et le système se fait directement soit par les réseaux d'alimentation en énergie, soit par les fils de masse d'équipotentialité des différents appareils ou par les câbles de transmission de données.

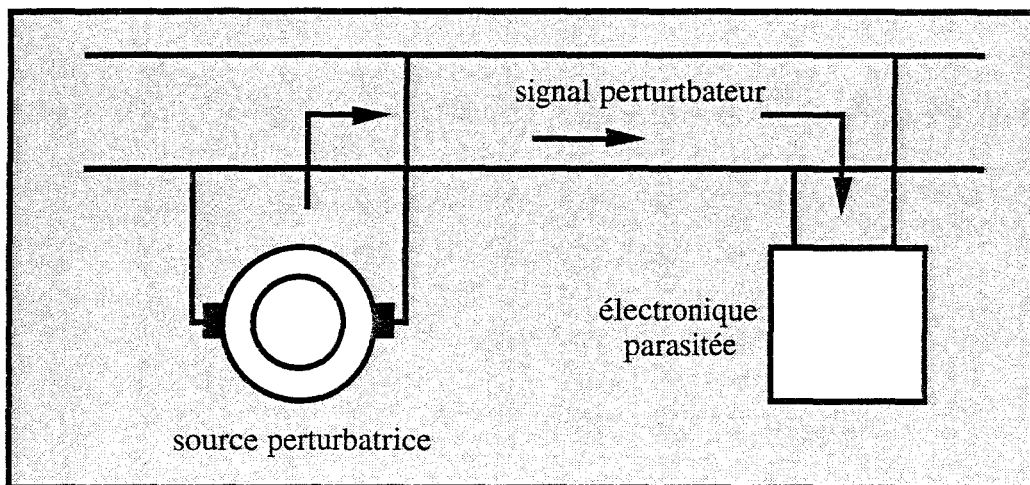


Figure II.14 Couplage galvanique

Il peut aussi provenir de la circulation d'un courant parasite dans les références de masse; ce qui provoque une chute de tension dans ces circuits de masse qui ne vérifient plus la condition d'équipotentialité. Cette chute de tension peut être répartie de façon uniforme ou au contraire être localisée; c'est notamment le cas lorsqu'il s'agit de boucles tout à fait transparentes à la BF mais qui offrent cependant une inductance suffisante en HF pour produire des tensions capables de perturber les systèmes.



## IV.2)      DECHARGE ELECTROSTATIQUE

Tout objet en déplacement relatif et en contact avec un autre objet (par exemple: flux de gaz sur un solide, personne marchant sur un plancher en plastique ...) à la capacité d'échanger des électrons avec lui (effet triboélectrique); chacun des objets se chargeant avec des particules de signes opposés.

Ce phénomène peut être à l'origine de génération de potentiel (10kV-25kV) avec des énergies stockées de quelques milliJoules. La décharge de cette énergie produit des impulsions de courant, de temps de montée brève qui sont à l'origine des dommages causés aux équipements électriques.

Un certain nombre de problèmes ont été causés par les décharges électrostatiques; parmi celles-ci, on peut citer

- a) *explosion d'un supertanker durant le nettoyage de ses cuves;*
- b) *destruction de circuits intégrés lors de la préhension;* (Figure ( II.17)
- c) *explosion d'aéronefs durant le plein de carburant;*

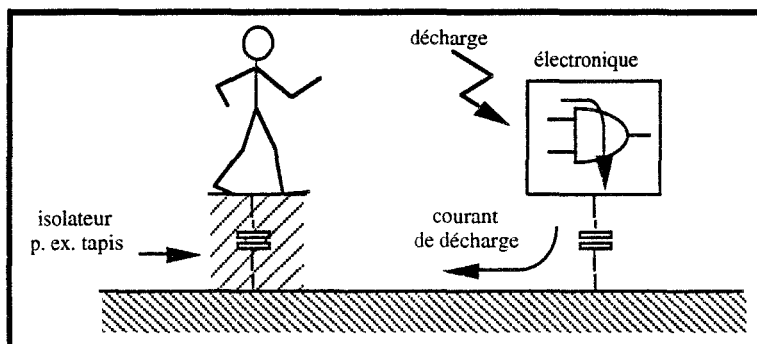


Figure II.17 Couplage électrostatique

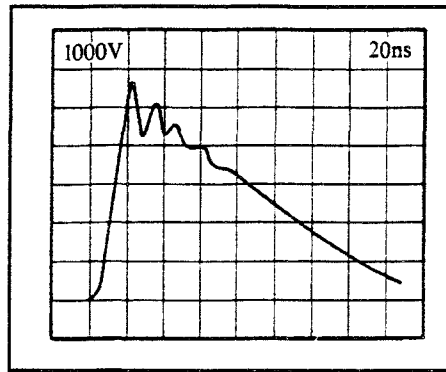


Figure II.18 Grahe d'une décharge électrostatique

#### IV.3) COULAGE PAR ILLUMINATION

Le système se comporte vis-à-vis du champ rayonné par la source perturbatrice comme une antenne qui sera le siège de forces électromotrices induites ou de courants induits dont le résultat sera bien évidemment la présence d'une tension parasite sur les composants les plus vulnérables des équipements.

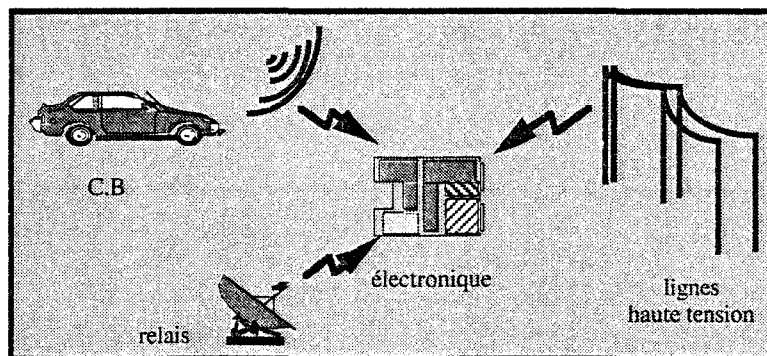


Figure II.19 couplage par illumination

IV.4) COULAGE INDUCTIF

Le signal perturbateur peut se coupler inductivement aux liaisons du système agressé, notamment aux alimentations et aux lignes de dialogue (Figure (II.20) ). L'expression de la tension parasite  $U_i$  est

$$U_i = L_{12} \frac{di}{dt}$$

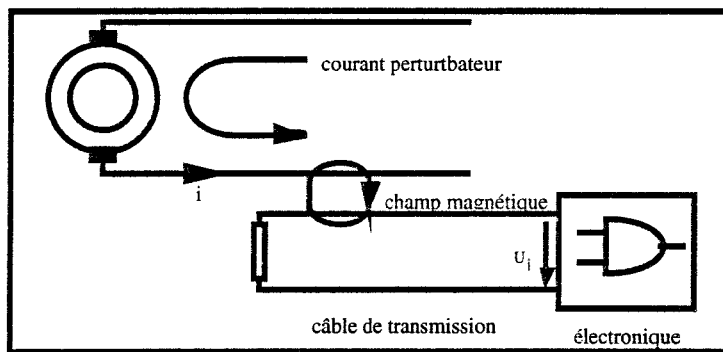


Figure II.20 Couplage inductif

IV.5) COUPLAGE CAPACITIF

Le signal perturbateur peut se coupler capacitivement aux liaisons du système agressé, notamment aux lignes de transmission de données (Figure (II.21) )

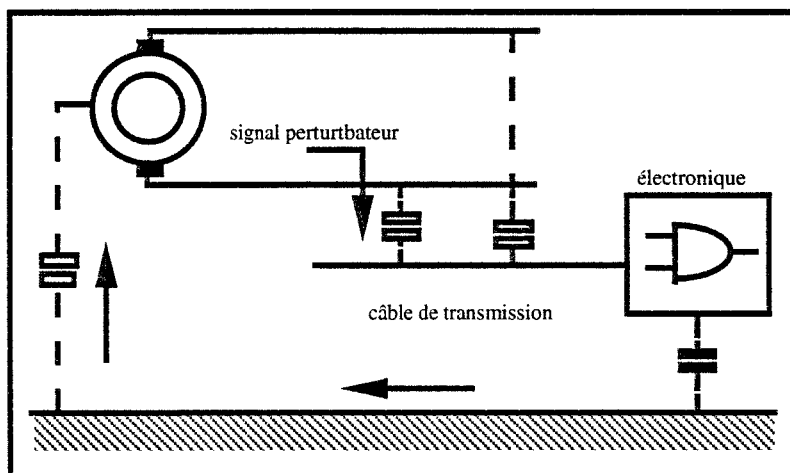


Figure II.21 Couplage capacitif

## V) MOYEN DE MESURES ET DE TESTS

La première difficulté rencontrée lorsque l'on désire faire une mesure dans le domaine de la Compatibilité Electromagnétique est certainement le problème que pose la sélection du signal à mesurer parmi tous ceux qui peuvent l'être.

En effet, dans ce domaine plus encore que dans d'autres, s'il est assez facile d'obtenir des résultats, il est souvent plus difficile de savoir ce que l'on mesure.

Les moyens de tests utilisés ainsi que les capteurs associés sont par conséquent primordiaux.

Deux objectifs sont visés par les tests électromagnétiques pratiqués sur tous les équipements électroniques :

d'une part quantifier les émissions parasites émanant de l'équipement (mesure de rayonnement);

d'autre part garantir que l'équipement concerné fonctionnera de façon satisfaisante dans l'environnement dans lequel il va être plongé (mesure de susceptibilité), notamment dans des champs intenses.

### V.1) SITE DE MESURE EN ESPACE LIBRE

L'utilisation d'un terrain plat, libre d'objets réfléchissants tels que murs, toits ou autres obstacles est la solution qui vient à l'esprit lorsque l'on désire effectuer *des mesures de rayonnement* sans être gêné par les ondes réfléchies inévitablement présentes à l'intérieur d'un local.

La Figure (II.22) représente le site standard préconisé par le CISPR<sup>1</sup> pour les mesures de perturbations émises par rayonnement.

---

<sup>1</sup> Comité International Spécial des Perturbations Radioélectriques

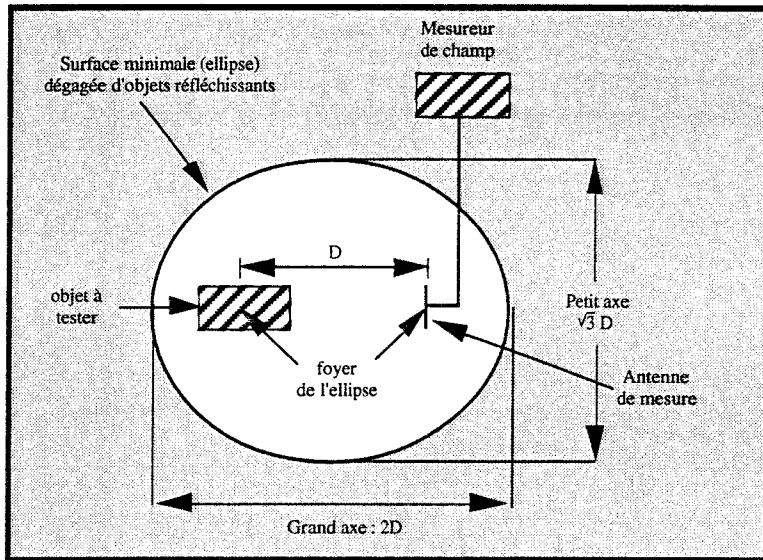


Figure II.22 Site en espace libre

Les limites suivantes sont données à titre indicatif:

$D = 100\text{m}$	$f \leq 30\text{MHz}$
$D = 30\text{m}$	$30\text{MHz} \leq f \leq 100\text{MHz}$
$D = 10\text{m}$	$100\text{MHz} \leq f \leq 300\text{MHz}$
$D = 3\text{m}$	$300\text{MHz} \leq f$

L'inconvénient de cette méthode est que d'une part elle peut être très onéreuse surtout si l'on souhaite se protéger des intempéries; les abris ne devant comporter aucune pièce métallique. D'autre part, il n'est pas évident de trouver des sites particulièrement « tranquilles » sur le plan électromagnétique.

## V.2) CAGE DE FARADAY

Afin de se protéger des parasites extérieurs à la manipulation, celle-ci est placée à l'intérieur d'une cage dite de Faraday qui n'est qu'une enceinte blindée ( Figure (II.23) ).

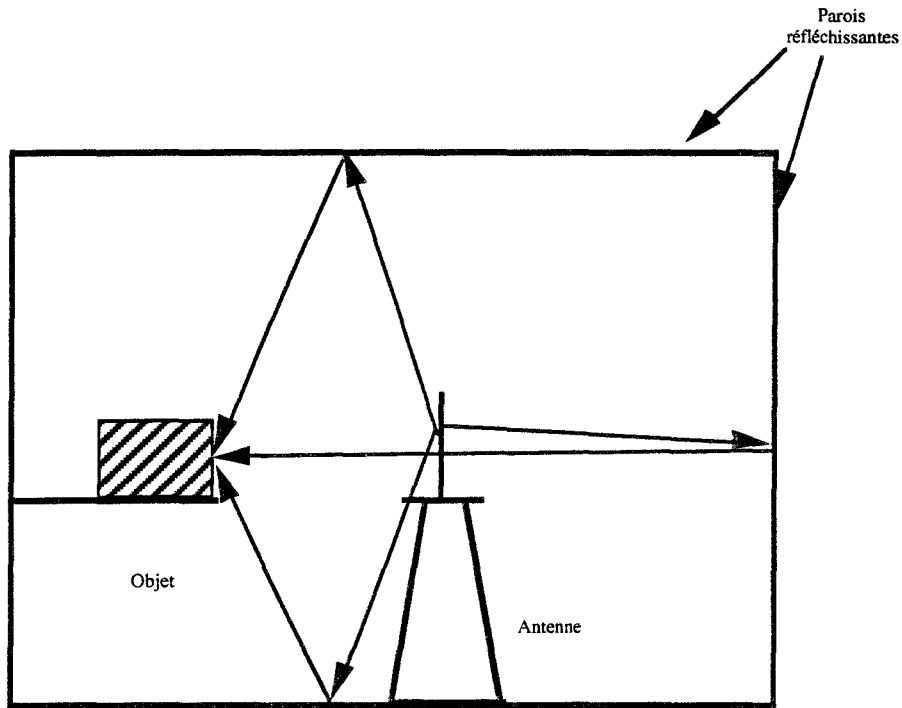


Figure II.23 Cage de Faraday

L'inconvénient de cette cage est que ses parois conductrices se comportent comme des réflecteurs qui sont à l'origine de réflexions multiples et de phénomènes de résonance.

L'expression ci-dessous donne les fréquences de résonance d'une cavité parallélépipédique:

$$F_{m,n,p} \text{ (MHz)} = 150 \cdot \sqrt{\frac{m^2}{a^2} + \frac{n^2}{b^2} + \frac{p^2}{c^2}}$$

où  $a$ ,  $b$ ,  $c$  sont les dimensions de la cavité (mètre) et  $m$ ,  $n$ , et  $p$  sont des nombres entiers quelconques.

## V.3) CHAMBRE ANECHOÏDE

Afin d'atténuer les réflexions internes considérables qui rendent le mesures difficilement reproductibles, on dispose de matériaux absorbants sur les parois de l'enceinte blindée.

Ces matériaux sont des mousses chargées au carbone qui absorbent les rayonnements électromagnétiques.

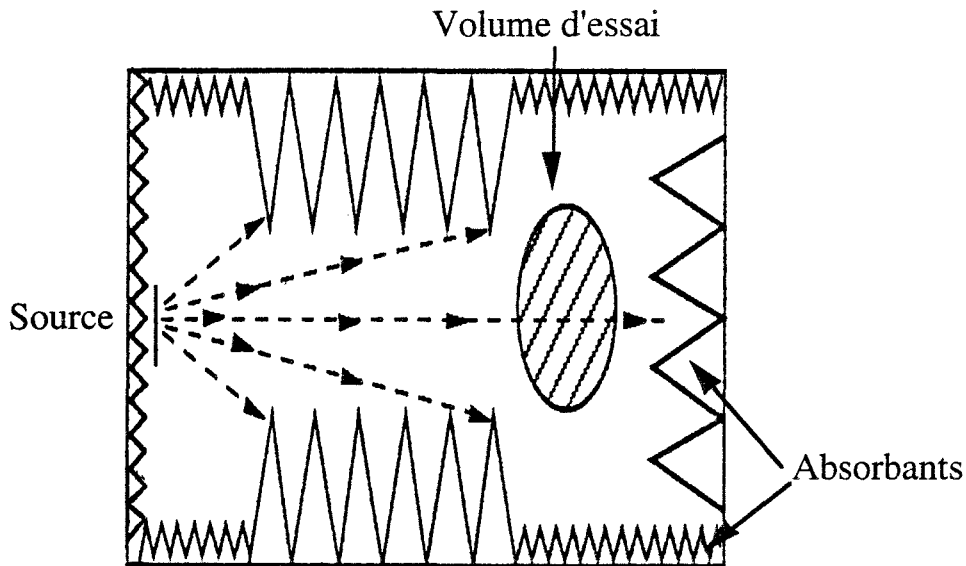


Figure II.24 chambre anéchoïde

*Ce type de matériels se prête aussi bien aux mesures de rayonnement qu'à celles de susceptibilité.*

La hauteur des pyramides utilisées est inversement proportionnelle à la fréquence d'utilisation de la chambre; et si l'on veut des performances acceptables sur quelques dizaines de MégaHertz, il faut utiliser des cônes très longs, d'environ un à deux mètres, ce qui réduit notablement l'espace disponible à l'intérieur de l'enceinte et oblige à agrandir cette dernière. Le coût d'une telle opération peut être très important.

Une méthode de substitution est celle présentée sur la Figure (II.25) où l'on limite l'usage de mousses absorbantes aux zones présentant des réflexions intenses.

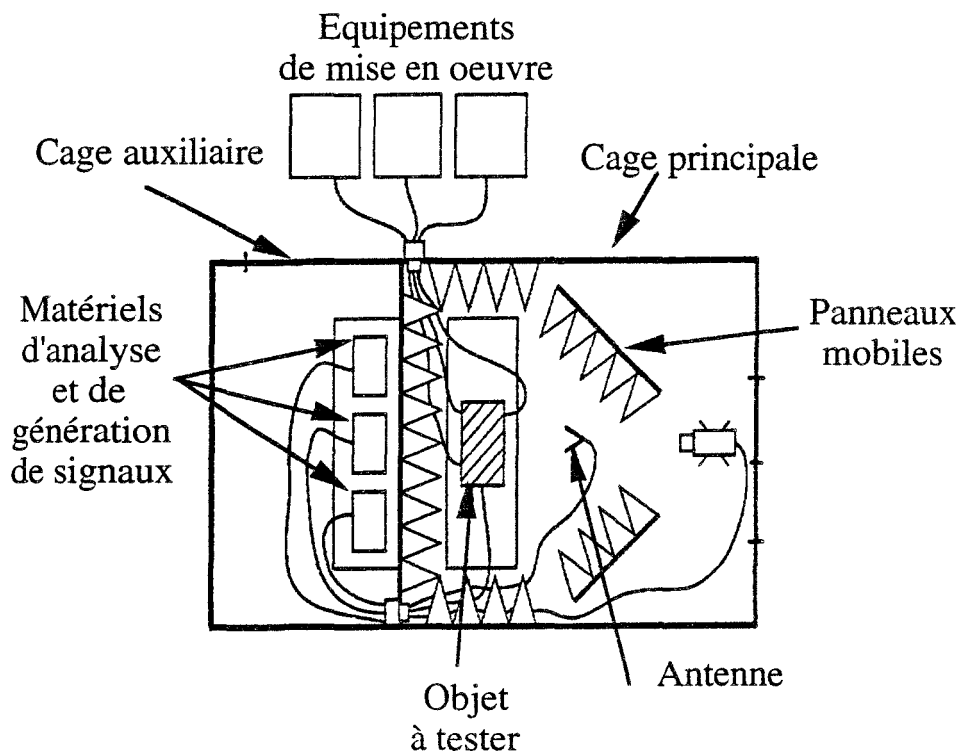


Figure II.25

#### V.4) CELLULE TEM

Les difficultés liées à la bonne simulation d'une onde plane avec des champs uniformes dans le volume de test font qu'on utilise parfois des structures TEM (Transverse Electromagnétique) comme la ligne triplaque de la Figure (II.26).



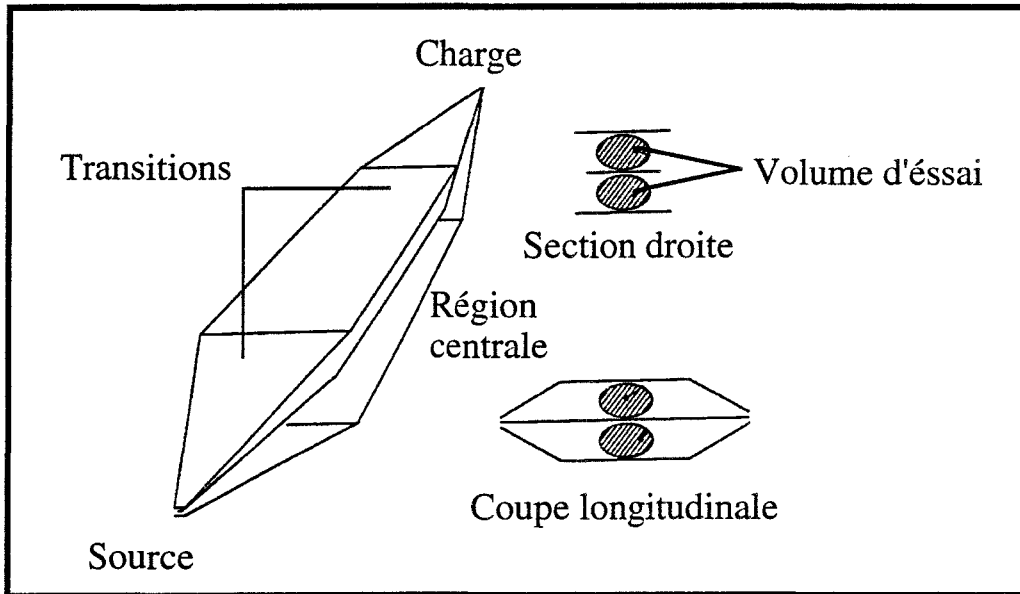


Figure II.26 Ligne triplaque

Le rendement est amélioré en terme de rapport signal sur bruit à cause du confinement du champ. Cependant les puissances rayonnées par la structure dans l'environnement peuvent être importantes. Au prix d'une déformation de champ acceptable, on peut obtenir une structure complètement blindée (cellule TEM) et utilisable dans n'importe quel environnement. (Figure (II.27) )

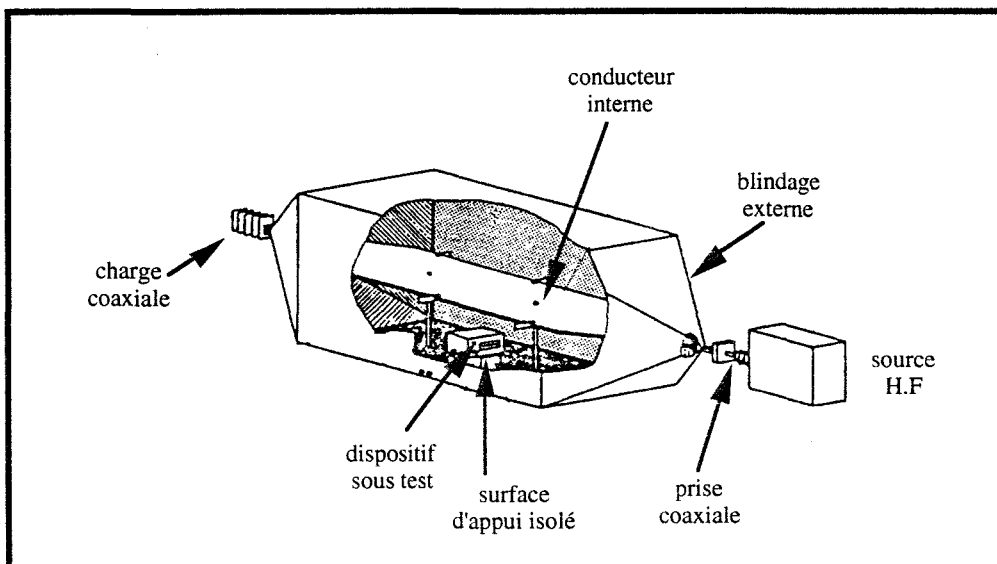


Figure II.27 Cellule TEM

Elle se comporte comme une ligne coaxiale qui va véhiculer une onde en mode TEM (transverse électromagnétique).

La bande de fréquence couverte est liée aux dimensions de la cellule dans son plan de section droite.

Pour une cellule dont les dimensions sont mentionnées sur la Figure (II.28), la bande de fréquence couverte va de 10 kHz à 200 MHz.

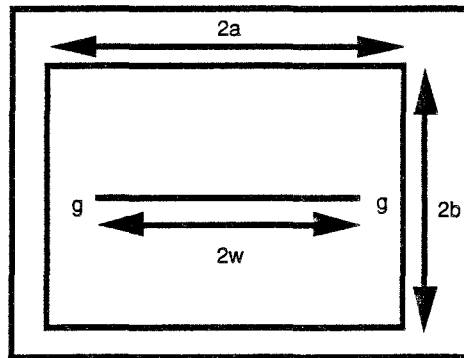


Figure II.28 Section droite cellule TEM

$$a = 0,6\text{m} \quad b = 0,6 \text{ m} \quad w = 0,5\text{m} \quad g = 0,1\text{m} \quad c = 3.10^8 \text{ m/s.}$$

La fréquence de coupure du premier mode supérieur transverse électrique  $TE_{01}$  est donnée par la formule suivante: [10]

$$f_{c01} = \frac{c}{4a} \sqrt{1 + \frac{4ab}{\pi b^2 \text{Ln} \frac{8a}{\pi g}}}$$

Lorsque la cellule est chargée sur son impédance caractéristique  $R_c$ , l'amplitude du champ électrique  $E_0$ , au centre de la cellule, peut être reliée à la puissance  $P$  délivrée par la source par la relation

$$E_0 = \frac{\sqrt{P.R_c}}{b}$$

L'amplitude maximale du champ électrique généré par la cellule du LPRE<sup>1</sup> est d'environ 200 à 300 volts/mètre en mode TEM.

<sup>1</sup> Laboratoire de RadioPropagation et Electronique (USTL)

Les premières manipulations que nous avons mises en oeuvre sur les perturbations des lignes de bus des microcontrôleurs l'ont été avec cette cellule.

Nous disposons d'un microcontrôleur 8 bits dialoguant avec deux verrous d'adresse. Une des lignes de dialogue avait un parcours plus long comme le montre la Figure (II.29).

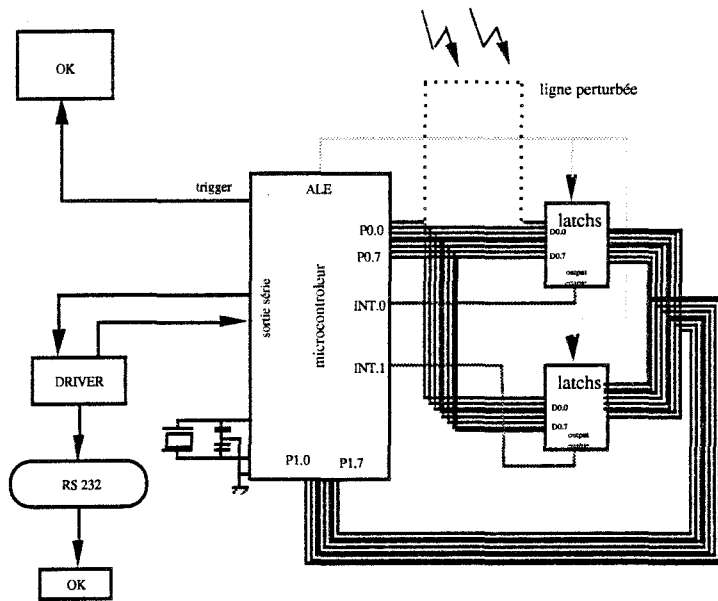


Figure II.29

Tous les composants étaient placés dans une boîte métallique servant de blindage et seule la ligne à perturber émergeait de la boîte.

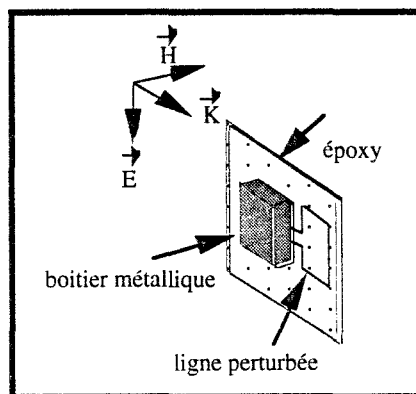


Figure II.30

Ce système a été placé dans la cellule, puis nous avons appliqué à une fréquence de 1,5 MHz un champ croissant.

Les premières manipulations en couplage magnétique se sont soldées par la destruction du microcontrôleur et des verrous d'adresses utilisés. Les niveaux de tensions induits sur la ligne perturbée étant trop élevés (supérieur à 6 volts crête).

Nous avons donc opté pour un autre mode de perturbation où il nous était possible de contrôler les niveaux de tensions induites sur les entrées ou les sorties des composants. Notre choix s'est porté sur les lignes couplées comme système d'injection pour plusieurs raisons:

- facilité de mise en oeuvre;
- possibilité de réaliser des injections localisées de tension et de courant;
- mise en oeuvre de schémas équivalents simples suivant la fréquence de la source perturbatrice.

## V.5) LIGNES COUPLEES

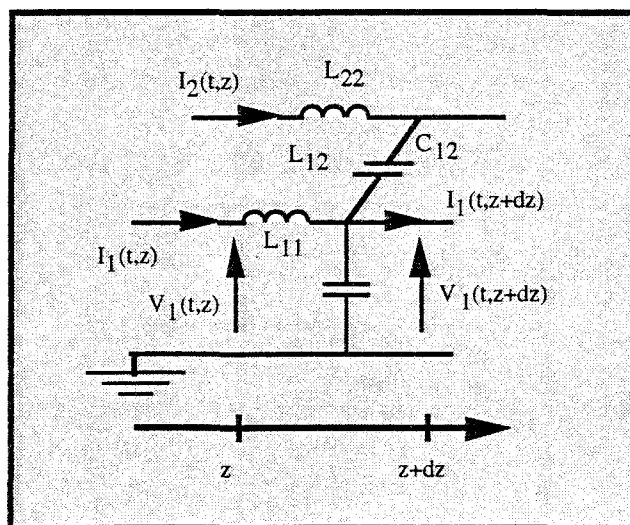


Figure II.31 Système de lignes couplées

La théorie des lignes de transmission consiste à exprimer les relations liant courants et tensions qui apparaissent sur les lignes couplées.

La Figure (II.31) représente une section infinitésimale de deux lignes couplées auxquelles on peut faire correspondre le système d'équations :

$$\frac{\partial V_1(t,z)}{\partial z} = -L_{11} \cdot \frac{\partial I_1(t,z)}{\partial t} - L_{12} \cdot \frac{\partial I_2(t,z)}{\partial t}$$

$$\frac{\partial I_1(t,z)}{\partial z} = -C_{11} \cdot \frac{\partial V_1(t,z)}{\partial t} - C_{12} \cdot \frac{\partial (V_1(t,z) - V_2(t,z))}{\partial t}$$

$$\frac{\partial V_2(t,z)}{\partial z} = -L_{22} \cdot \frac{\partial I_2(t,z)}{\partial t} - L_{12} \cdot \frac{\partial I_1(t,z)}{\partial t}$$

$$\frac{\partial I_2(t,z)}{\partial z} = -C_{22} \cdot \frac{\partial V_2(t,z)}{\partial t} - C_{12} \cdot \frac{\partial (V_2(t,z) - V_1(t,z))}{\partial t}$$

où  $L_{11}$ ,  $L_{22}$ ,  $C_{11}$ ,  $C_{22}$  sont respectivement les inductances et capacités linéiques de chaque conducteur;  $L_{12}$  et  $C_{12}$  représentent l'inductance et la capacité linéique de couplage.

La Figure (II.32) montre un exemple où on a connecté sur la ligne émettrice une source de tension  $V_p$  et une charge  $Z$ . La ligne réceptrice qui lui est couplée est chargée par deux impédances  $Z_1$  et  $Z_2$  représentant les impédances de sortie et d'entrée de deux composants quelconques reliés par une ligne de longueur  $L$ .

Suivant la valeur attribuée à l'impédance  $Z$ , on pourra mettre en oeuvre un couplage magnétique ou un couplage électrique.

Ce type de lignes permet de simuler, pour différentes valeurs de la charge  $Z$ , soit une perturbation en champ électrique qui se traduira par une injection de courant fictive entre  $Z_1$  et  $Z_2$  soit une perturbation magnétique par une injection de tension fictive, ou les deux à la fois.

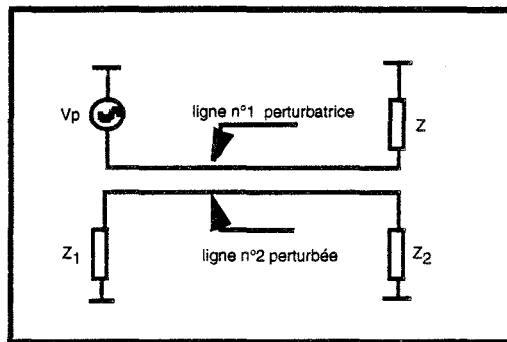


Figure II.32

### V.5.1) COUPLAGE ELECTRIQUE (INJECTION DE COURANT )

Si la charge  $Z$  placée en bout de la ligne perturbatrice est infinie (extrémité ligne perturbatrice ouverte) et si la fréquence de la source sinusoïdale  $V_p$  est telle que la longueur d'onde associée est grande devant les dimensions de la ligne couplée ( $\lambda \gg L$ ), on peut admettre qu'en tout point de la ligne perturbatrice, on a la même tension  $V_p$ .

$L$  est la longueur de la ligne couplée.

L'expression du courant  $J_p$  induit sur la ligne perturbée est de la forme

$$J_p = C_{12} \frac{\partial V_p}{\partial t}$$

$C_{12}$ : capacité de couplage entre les deux lignes.

Comme  $V_p$  est sinusoïdale, on a donc

$$J_p = j \cdot \omega C_{12} L V_p$$

On peut établir le schéma équivalent de la Figure (II.33) où le courant  $J_p$  se comporte comme une source de courant .

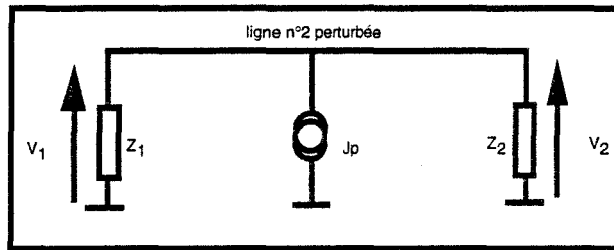


Figure II.33 Injection de courant

On réalise de cette façon une injection fictive de source de courant qui est la manifestation d'une perturbation en champ électrique. On peut donc réaliser des injections localisées.

### V.5.2) COUPLAGE MAGNETIQUE (INJECTION DE TENSION)

Supposons toujours que la longueur d'onde du signal perturbateur est grande devant la longueur de la ligne couplée utilisée ( $\lambda \gg L$ ). Si la charge  $Z$  branchée à l'extrémité de la ligne perturbatrice est un court-circuit, cette ligne va être parcourue par un courant  $I_p$  dont l'amplitude est la même en chaque point de cette ligne. Par l'intermédiaire de l'inductance mutuelle  $L_{12}$  entre les deux lignes, le courant  $I$  va induire sur la ligne perturbée une tension  $\varepsilon$  de la forme

$$\varepsilon = L_{12} \frac{\partial I_p}{\partial t}$$

$I_p$  étant sinusoïdale, on peut écrire que

$$\varepsilon = \omega L_{12} L I_p$$

On aboutit au schéma équivalent Figure (II.34) où  $\varepsilon$  est une source de tension fictive.

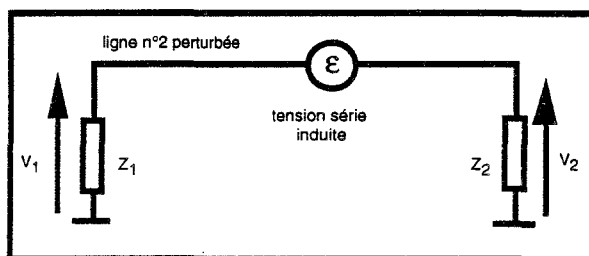


Figure II.34 Injection de tension

$$V_1 = \epsilon \frac{Z_1}{Z_1 + Z_2}$$

$$V_2 = -\epsilon \frac{Z_2}{Z_1 + Z_2}$$

On simule de cette façon une perturbation en champ magnétique qui se manifeste par des sources de tensions.

### V.5.3) COUPLAGE ELECTROMAGNETIQUE

Si l'impédance Z est égale à l'impédance caractéristique de la ligne perturbatrice et si la condition ( $\lambda \gg L$ ) est réalisée, la tension en tout point de la ligne est égale à  $V_p$ ; il en est de même pour le courant.

On a par conséquent sur la ligne perturbée une injection de courant et de tension.

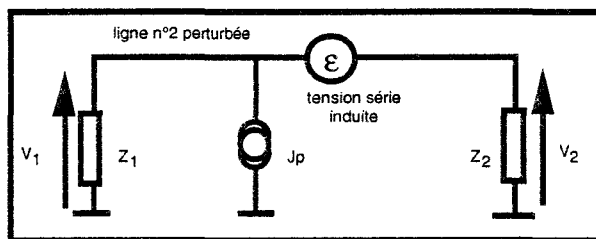


Figure II.35 Injection de tension et de courant

On réalise ainsi une perturbation électromagnétique.



## VI) BANC DE MESURE

Lorsqu'un microprocesseur échange des informations (adresse ou donnée) avec le milieu extérieur, des erreurs peuvent apparaître sur les adresses ou les données qui transitent sur les lignes de bus.

La plupart du temps, ces erreurs sont fugitives, rendant difficile sinon impossible l'identification de leurs origines.

Le but de notre manipulation va être la mise en oeuvre d'outils permettant l'interception ces phénomènes.

Pour ce faire, nous faisons usage de composants à mémoire (latches) qui vont nous permettre, à la réception d'un signal de mémorisation, de figer l'état des adresses présentes sur la ligne du bus multiplexé.

Le banc de test est constitué d'un microcontrôleur 8 bits à EPROM intégré dialoguant avec deux verrous d'adresses (latches) L<sub>1</sub> et L<sub>2</sub>.

Le microcontrôleur émet sur la ligne de dialogue reliée à son port P0 la séquence "adresse =0 - donnée =0" (écriture de la donnée 0 à l'adresse 0) puis il lit respectivement la sortie de chacun des deux verrous d'adresses.

Si les valeurs d'adresses lues sont identiques à l'adresse initialement émise, le microcontrôleur réemet la même séquence "adresse-donnée" que précédemment puis recommence le test. Cette non détection d'erreur se traduit par la présence sur sa liaison RS-232 d'un signal de rapport cyclique 50%; ceci pour permettre une vérification (visuelle) du bon fonctionnement du système.

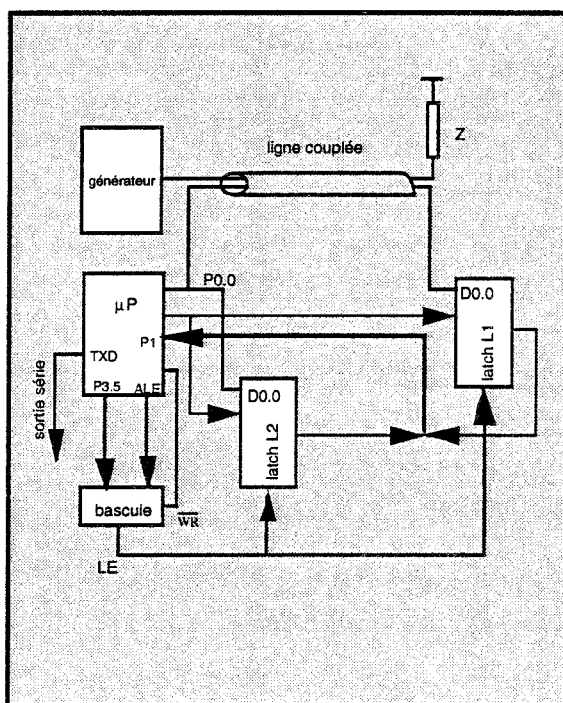


Figure II.36 Banc de test

Lors du test de comparaison, si l'une des adresses lues en sortie d'un des verrous d'adresses diffère de l'adresse initialement émise, le microcontrôleur interrompt le programme. Il déclenche aussitôt le signal de mémorisation d'un oscilloscope numérique à grande fréquence d'échantillonnage (1giga-échantillons/seconde) pour permettre la numérisation du signal ALE et des signaux présents sur la ligne P0.0 puis il transmet par liaison série, et de façon cyclique, l'adresse de référence, celle lue en sortie du verrou L<sub>1</sub> puis celle lue en sortie du verrou L<sub>2</sub>. Chaque séquence transmise est séparée de la suivante par un intervalle de temps de 100 ms, ce qui permet une identification visuelle aisée des adresses.

Pendant le processus de test, le microcontrôleur, de part sa conception, continue à délivrer le signal ALE. Il faut donc éviter que les adresses mémorisées par les verrous ne changent pendant le test de leurs sorties.

C'est la fonction de la bascule B dont la structure est donnée sur la Figure (II.37).

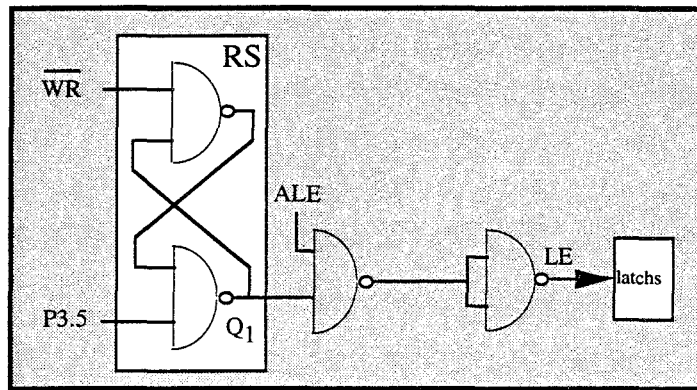


Figure II.37 Structure de la bascule

Le fonctionnement de cette bascule est décrit ci-dessous.

Les seules impulsions utiles du ALE (dans notre cas) sont celles encadrées sur la Figure (II.38) ci-dessous.

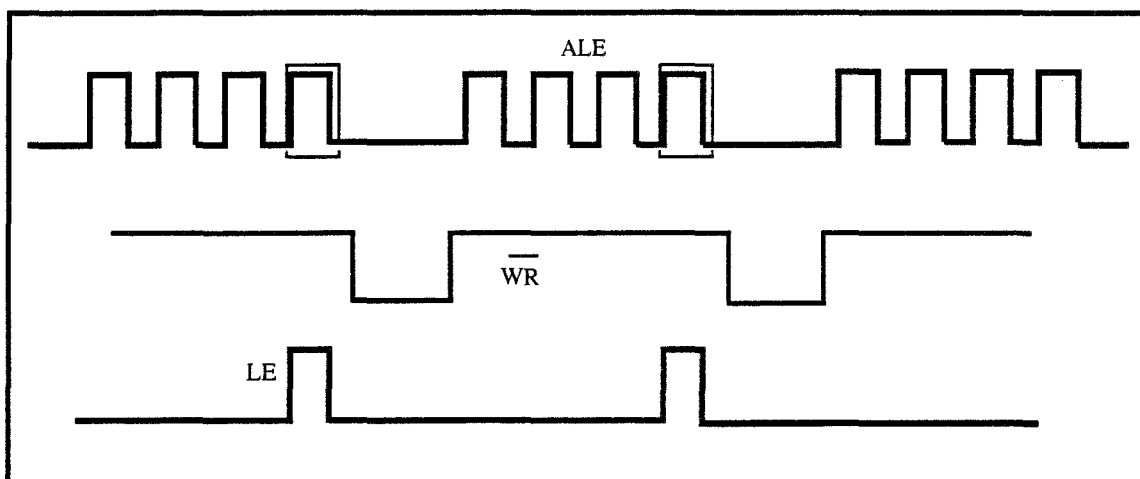


Figure II.38

Les verrous d'adresses doivent donc recevoir la forme modifiée du ALE notée LE représenté sur la Figure(II.38).

Pour réaliser cela, il faut que le signal d'écriture  $\overline{WR}$  inhibe par son passage à l'état bas l'arrivée du signal ALE sur les verrous d'adresses. Cependant, il faut prendre soin de restaurer à temps le signal ALE pour permettre aux latches de verrouiller l'adresse présente à leurs entrées à la phase suivante d'écriture.

L'ordre de restauration du signal ALE va être géré de façon logicielle (programme interne au microcontrôleur) par un signal issu de la broche P3.5. La génération sur cette broche P3.5 d'une impulsion négative brève va mettre la sortie Q1 de la bascule RS à l'état 1, permettant ainsi au signal LE d'être identique au ALE juste avant la phase d'écriture. Le passage à l'état 0 du signal d'écriture  $\overline{WR}$  va inhiber la bascule RS et donc mettre à 0 le signal LE.

Le chronogramme de la Figure (II.39) résume le fonctionnement de cette bascule B.

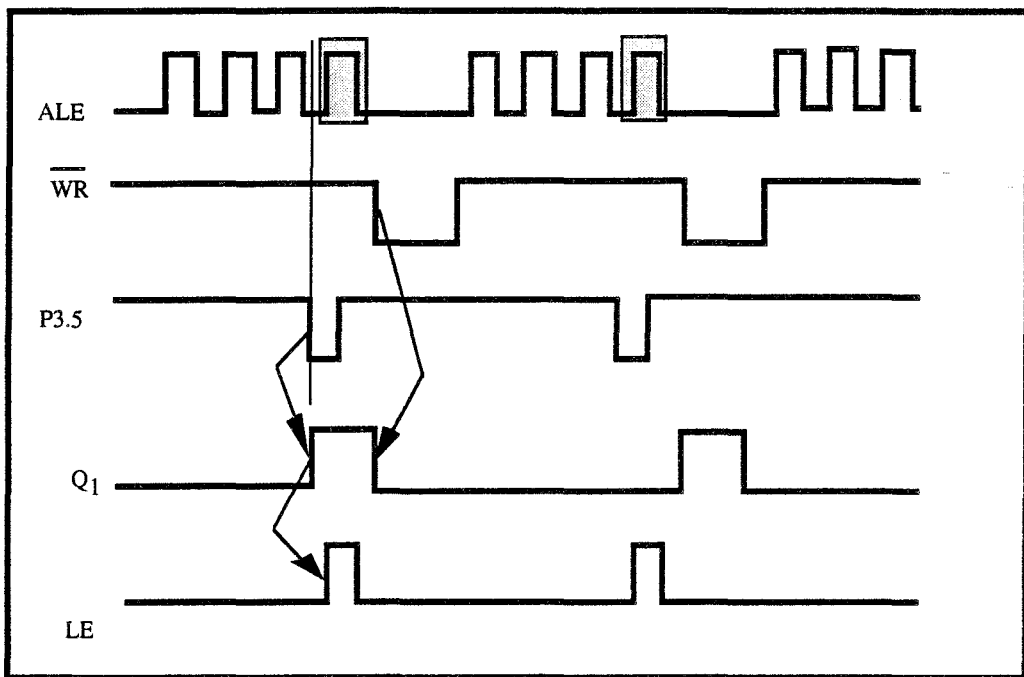


Figure II.39 Chronogramme

L'organigramme de la Figure (II.40) illustre les différentes étapes du programme exécuté par le microcontrôleur.

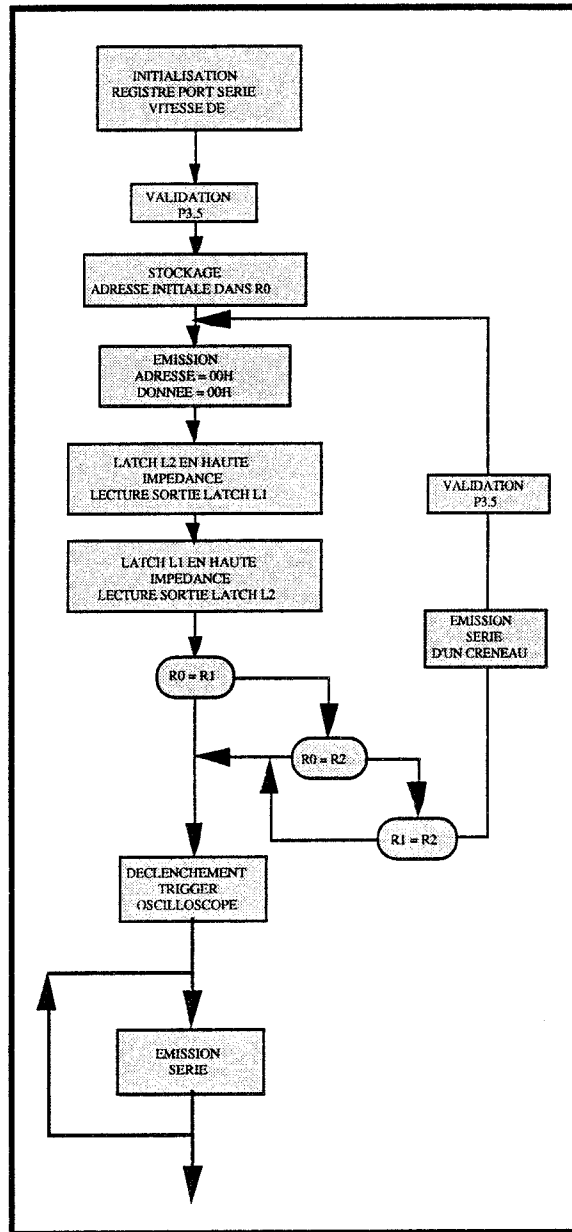


Figure II.40 Organigramme

*Quel est l'intérêt d'utiliser deux verrous d'adresses ?*

Comme on le montre la Figure (II.36), les deux verrous d'adresse sont connectés sur le même bus de données relié au port P0 du microcontrôleur. La ligne P0.0 qui est reliée au verrou L<sub>1</sub> sera perturbée par le dispositif à lignes couplées décrit plus haut alors que la ligne P0.0 reliée au verrou L<sub>2</sub> ne sera pas perturbée.

Cette configuration permet de discriminer le site de l'erreur. Si l'erreur a lieu immédiatement à la sortie du microcontrôleur, les deux verrous L<sub>1</sub> et L<sub>2</sub> verrouilleront la même valeur erronée d'adresse. Si l'erreur sur l'adresse a lieu à l'entrée du verrou L<sub>1</sub>, sa sortie indiquera une valeur d'adresse erronée alors que celle du verrou L<sub>2</sub> indiquera la bonne valeur d'adresse.

Les verrous L<sub>1</sub> et L<sub>2</sub> sont des logiques à trois états; par conséquent la mise en parallèle de leurs sorties ne génère pas de conflit de bus. La sélection d'un verrou par le microcontrôleur se fait par la mise en basse impédance de sa sortie.

Les composants du banc sont alimentés en tension continue à partir d'une batterie pour minimiser les couplages par le réseau de masse.

Initialement, la source de tension continue était fournie par une alimentation stabilisée alimentée sous 220 volts. Nous avons constaté au cours de nos manipulations que sa sortie se mettait en court-circuit à certaines fréquences (10MHz, 22 MHz ...) de la source perturbatrice et que les erreurs que nous observions étaient dues au fait que les composants ne disposaient plus d'une alimentation suffisante.

Tout au long de nos expérimentations, les tensions d'alimentations de tous les composants de notre carte seront systématiquement vérifiées quand une erreur sera détectée.

## VII BIBLIOGRAPHIES

- [1] P. DEGAUQUE et J. HAMELIN "Compatibilité Electromagnétique  
"Bruits et perturbations Radioélectriques "  
Edition DUNOD
  
- [2] INTEL Embedded Controller : 8 - 16 bits
  
- [3] Technology Solutions for Embedded Control Application (INTEL)
  
- [4] High Speed Digital System and Test Symposium : Technical Papers  
1993 ( Hewlett Packard)
  
- [5] Paul A. Chatterton and Michael A. Houlden "EMC Electromagnetic  
Theory to Practical Design"
  
- [6] Georges METZGER et Jean Paul VABRE "Electronique des  
impulsions : circuits à constantes réparties" Edition MASSON
  
- [7] Georges METZGER et Jean Paul VABRE "Electronique des  
impulsions : couplage et parasite entre lignes" Edition MASSON
  
- [8] PHILIPS Journal of Research " Special Issue on Electromagnetic  
Compatibility" Vol 48, Nos 1/2, 1994
  
- [9] SCHAFFNER
  
- [10] R. BADOUAL " Les Circuits Micro-ondes" Edition MASSON 1993

*PERTURBATION  
PAR  
COUPLAGE ELECTRIQUE*



---

# 3

## PERTURBATION PAR COUPLAGE ELECTRIQUE

---

### INTRODUCTION

Ce chapitre traite les différents aspects de la perturbation par couplage électrique appliquée aux informations échangées par le microprocesseur avec son environnement extérieur.

Le problème de la susceptibilité des équipements électroniques aux interférences électromagnétiques et aux décharges électrostatiques reste une préoccupation permanente.

L'utilisation de composants séquentiels comme les microprocesseurs a relativement compliqué le problème du fait du risque d'une possible perte de programme. Cela peut être dû à un signal transitoire qui a l'énergie suffisante pour provoquer un défaut

Là où les composants analogiques ne présentaient qu'une erreur fugitives sur leurs signaux, le microprocesseur va lui subir une perte totale de son programme pouvant entraîner des pertes d'informations vitales.

Nous verrons l'incidence de ce type de couplage sur une adresse et une donnée à l'état logique haut ou bas.

Les mécanismes mis en jeu dans l'apparition d'une erreur sur l'adresse ou sur la donnée seront différents suivant que l'hypothèse de perturbateurs de grandes ou petites périodes est adoptée.

### III.1) EFFET D'UNE INJECTION DE COURANT SUR UNE ADRESSE A L'ETAT BAS

La Figure (III.1) représente l'allure de la tension sur la ligne P0.0 en l'absence de perturbateur, par rapport au signal ALE, signal de verrouillage des verrous d'adresses.

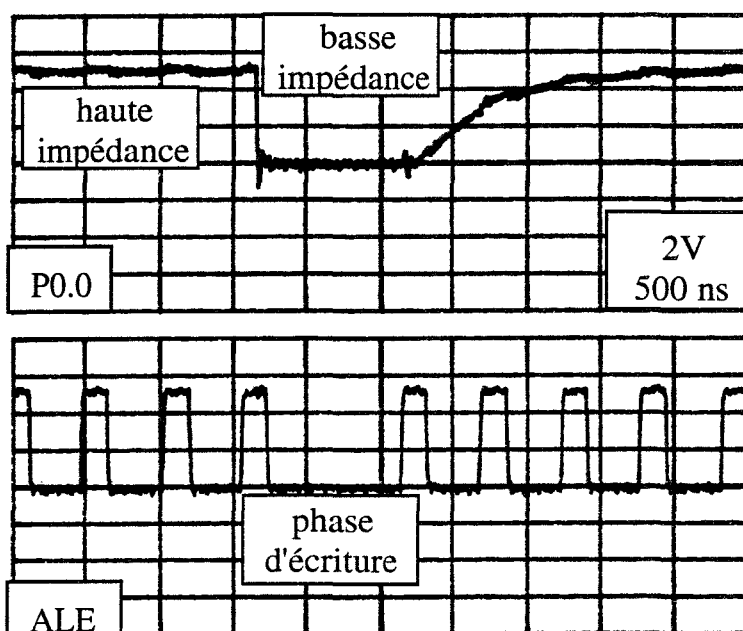


Figure III.1

Quand on injecte un courant perturbateur  $J_p$  de 22 mA crête sur la ligne P0.0 et ce à une fréquence de 1,5 MHz, l'allure de la tension sur cette ligne se modifie comme le montre la Figure (III.2). Nous nous sommes placés dans la configuration de perturbateur de grande période; cette condition est largement vérifiée à 1,5 MHz.

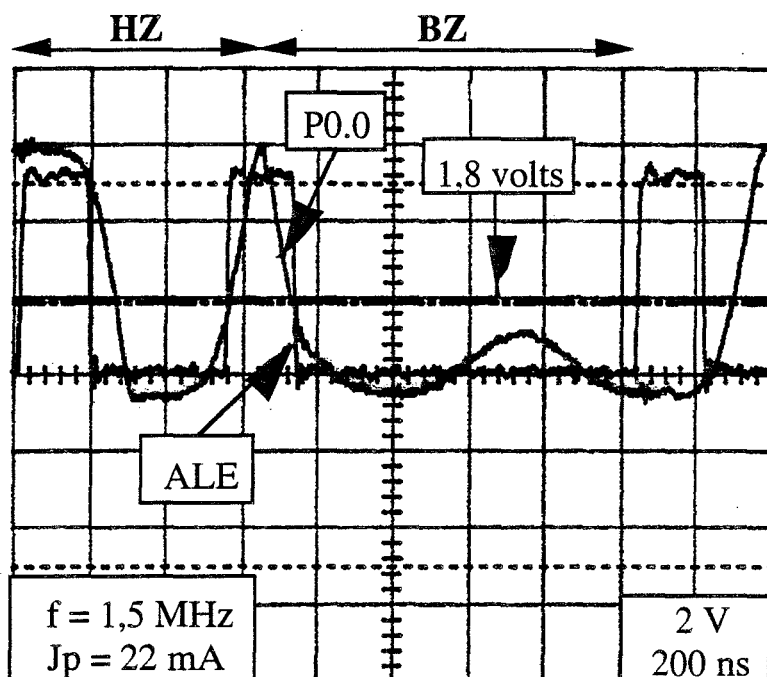


Figure III.2

*HZ* signifie haute impédance  
*BZ* signifie basse impédance

Le niveau de tension validé par le signal ALE est de 1,8 volts. Le niveau maximal de tension ( $0_{max}$ ) garantissant un état logique bas pour les composants CMOS est de 1,5 volts. Il y a donc possibilité de validation par les verrous d'une adresse erronée.

Il n'existe pas de synchronisme entre le perturbateur et le signal de validation de l'adresse. Par conséquent, pour qu'une erreur d'adressage ait lieu, il faut qu'une certaine relation de phase lie ces deux signaux à un moment donné. C'est le cas sur la Figure (III.2) où on peut voir que la tension induite sur l'état haute impédance, juste avant la transition vers l'état basse impédance, est à son maximum. Dans cette configuration, la relation de phase est telle que le perturbateur produit son effet maximum.

La Figure (III.3) présente une autre configuration où justement la relation de phase liant le perturbateur au signal de validation ALE est telle que la tension sur l'état haute impédance est minimale. Le risque d'erreur sur l'adresse dans ces conditions est évidemment réduit.

La probabilité de validation d'une adresse erronée est d'autant plus grande que la tension initiale à l'état haute impédance, juste avant la transition vers l'état basse impédance, est élevée.

Les mécanismes qui vont régir l'induction de cette tension sur l'état haute impédance vont donc jouer un rôle important dans le processus d'apparition d'une erreur sur l'adresse.

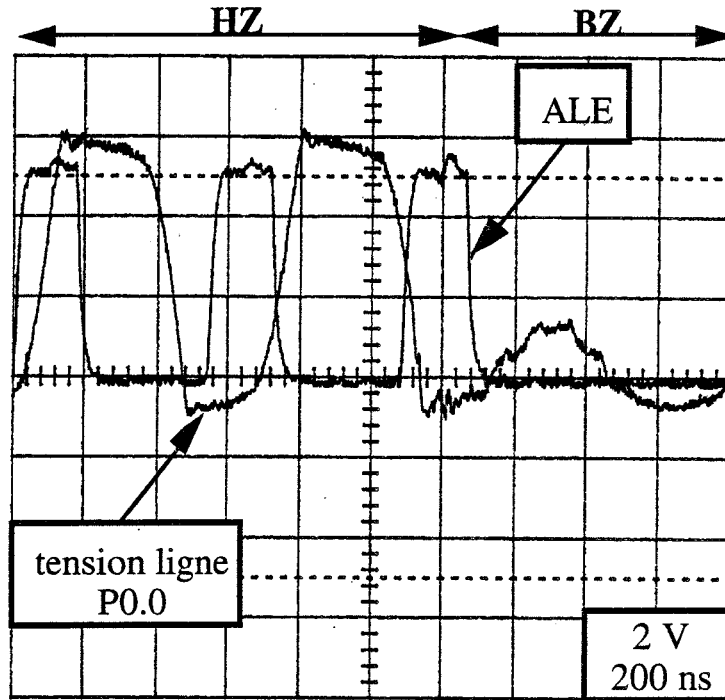


Figure III.3

III.2) NIVEAU DE TENSION INDUITE SUR L'ETAT HAUTE IMPEDANCE

On a rappelé sur le schéma de la Figure (III.4) le dispositif de lignes couplées utilisé pour produire la perturbation par couplage électrique.

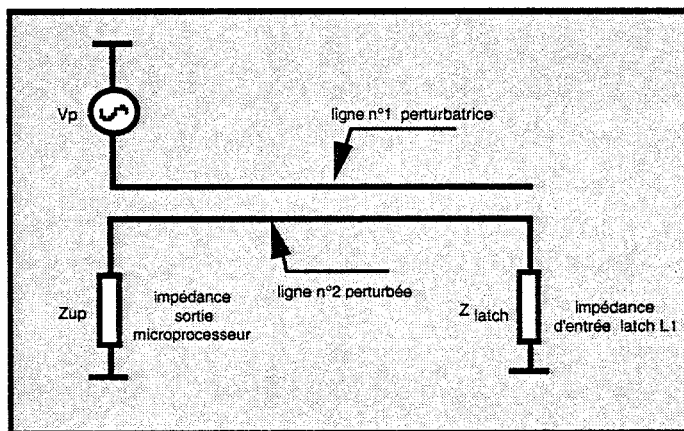


Figure III.4

$V_p$  est la source de tension sinusoïdale utilisée pour produire le couplage électrique.

$C_{11}$  est la capacité propre du bifilaire utilisé (346 pF/m);

$C_{12}$  est la capacité de couplage entre ces deux fils (46 pF/m);

$Z_{up}$  est l'impédance de sortie du microprocesseur;

$Z_{latch}$  est l'impédance d'entrée du verrou.

La longueur de ligne couplée utilisée est de 1 m.

Si on fait apparaître les caractéristiques de la ligne et des composants branchés aux extrémités, on aboutit au schéma de la Figure (III.5).

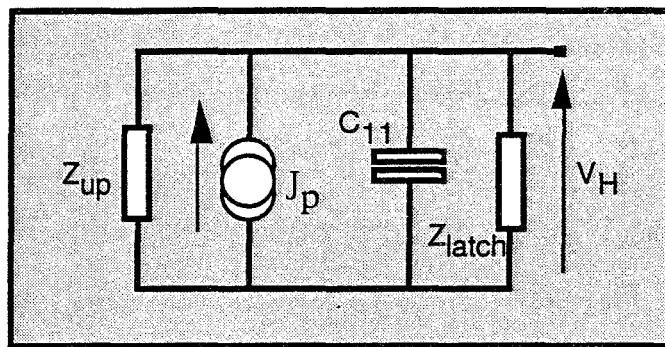


Figure III.5

$J_p$  matérialise le couplage électrique.

Il est lié à  $V_p$  et à  $C_{12}$  par la relation  $J_p = |j \cdot \omega \cdot C_{12} \cdot L \cdot V_p|$  (III.1)

Quand le microcontrôleur est en haute impédance, son impédance de sortie  $Z_{up}$  se réduit à celle de sa capacité de sortie (10 pF); il en est de même en ce qui concerne l'impédance d'entrée du verrou  $L_1$ . Ces valeurs d'impédance seront masquées par la capacité propre  $C_{11}$  de la ligne.

Par conséquent, dans l'état haute impédance, la tension  $V_H$  qui va apparaître en sortie du microprocesseur va dépendre du courant injecté  $J_p$  et de l'impédance de la capacité  $C_{11}$  de la ligne.

Cette tension  $V_H$  a pour expression

$$V_H = \left| \frac{J_p}{j \cdot \omega \cdot C_{11} \cdot L} \right| = V_p \frac{C_{12}}{C_{11}} \quad (\text{III.2})$$

Pour une injection de courant de 22mA crête, comme c'est le cas sur la Figure (III.2), l'amplitude de la tension  $V_H$  induite sur l'état haute impédance et calculée à partir de l'équation (III.2) donne

$$\underline{AN} \quad V_H = 22 \cdot 10^{-3} \cdot \frac{1}{2\pi \cdot 1,5 \cdot 10^6 \cdot 346 \cdot 10^{-12}} \quad (III.3)$$

soit  $V_H = 6,74 \text{ Volts}$  crête.

La forme de la tension  $V_H$  induite sur l'état haute impédance (Figure III.2) est liée à la présence de diodes de protection en sortie du port du microprocesseur. (Figure III.6)

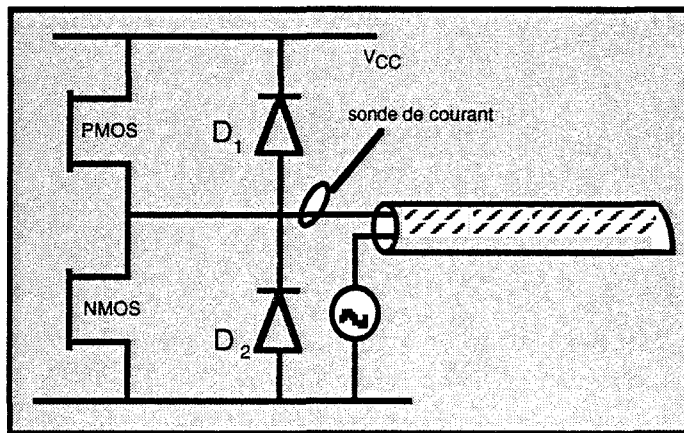


Figure III.6

La présence de diodes sur le port du microprocesseur fait qu'au-dessus d'un certain seuil de courant injecté dans l'étage de sortie, la tension résultante est écrêtée. La diode  $D_2$  fait que cet écrêtage se manifeste au-dessous de -0,8 volts alors que la diode  $D_1$  va limiter l'excursion positive maximale de  $V_H$  aux alentours de 6 volts.

Pour s'assurer que les diodes  $D_1$  et  $D_2$  influencent la forme de la tension induite sur l'état haute impédance pour des injections importantes de courant, une diminution de l'amplitude du courant perturbateur doit permettre à la tension  $V_H$  de retrouver une forme sinusoïdale. C'est ce que montre la Figure (III.7) obtenue pour un courant inférieur à 22 mA permettant d'être à la limite de l'écrêtage.

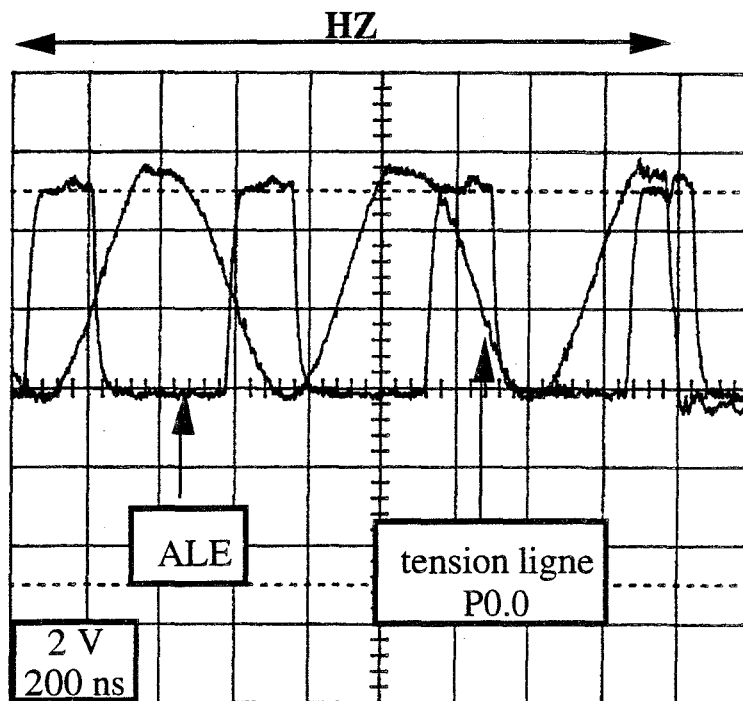


Figure III.7

Dans l'expression de la tension  $V_H$  donnée par l'équation (III.2), il n'apparaît aucun terme traduisant une composante continue; Or sur la Figure(III.7), on constate que la tension  $V_H$  sur l'état haute impédance présente une valeur moyenne non nulle.

Nous avons vu dans les paragraphes précédents que plus la tension initiale sur l'état haute impédance juste avant la transition vers l'état basse impédance est importante, plus grande est la probabilité d'obtenir une erreur sur l'adresse.

Cette composante continue  $V_{off}$  va avoir une influence importante sur l'amplitude de la tension  $V_H$ .

Le paragraphe suivant va donc être consacré à l'étude de l'origine de cette composante  $V_{off}$  qu'on peut encore appeler tension de décalage.

### III.3) DECALAGE DE LA TENSION INDUITE SUR L'ETAT HAUTE IMPEDANCE

La présence d'une composante continue sur l'état haute impédance s'observe bien avant les phénomènes d'écrêtage comme on peut le voir sur la Figure (III.7).

L'origine de cette tension de décalage est liée à l'entrée en conduction de la diode  $D_2$  de la Figure (III.6). Quand cette diode  $D_2$  est passante pendant l'alternance négative de la tension  $V_H$  induite sur l'état haute impédance, elle contribue à charger la capacité  $C_{12}$  de la ligne. Cette capacité va se charger à une valeur que nous noterons  $V_{C12}$ .

Au cours de l'alternance positive de la tension  $V_p$ , la tension induite sur l'état haute impédance va être décalée de  $V_{C12}$ .

L'amplitude du courant perturbateur  $J_p$  injecté est liée à celle de la tension perturbatrice  $V_p$  par la relation

$$J_p = |j.\omega.C_{12}.L.V_p| \quad (III.4)$$

On peut établir à partir de l'équation (III.4), un schéma équivalent tenant compte de cette composante continue de  $V_p$ .

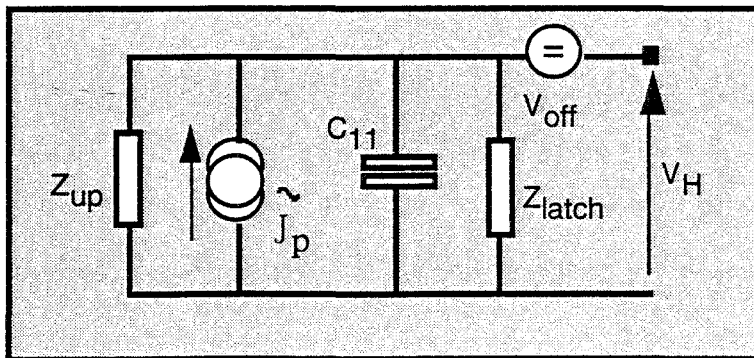


Figure III.8

La tension  $V_{off}$  traduit le niveau continu présent aux bornes de la capacité  $C_{12}$  de la ligne P0.0 pendant la première demi-alternance négative de la tension perturbatrice  $V_p$ .

L'expression de la tension  $V_{off}$  est donnée par la relation ci-dessous.



$$V_{off} = V_{C12} \approx \frac{V_{cc}}{2} \quad (\text{III.6})$$

Quand le microprocesseur est en haute impédance, l'amplitude de la tension qui va être induite sur son état haute impédance sera conforme à la relation suivante.

$$\hat{V}_H = \tilde{V}_H + V_{off} \quad (\text{III.7})$$

$\tilde{V}_H$  : composante sinusoïdale;

$V_{off}$  : composante continue;

Bien évidemment, lors du premier transitoire de la tension perturbatrice  $V_p$ , la tension  $V_H$  induite sur l'état haute impédance n'est pas automatiquement décalée.

La mise en oeuvre de ces phénomènes transitoires peut être schématisée par la représentation de la Figure (III.10).

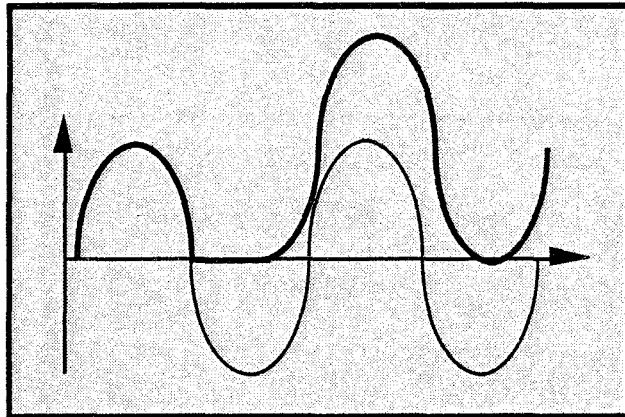


Figure III.10

Maintenant que nous savons par quels mécanismes apparaissent, sur l'état haute impédance, ces tensions, nous allons aborder les mécanismes qui régissent l'apparition d'erreurs sur une adresse initialement à l'état bas.

### III.4) DETECTION D'UN DEFAUT SUR L'ADRESSE A L'ETAT BAS

Nous avons vu sur les courbes de la Figure (III.2) que pour une injection de courant  $J_p$  de 22 mA crête, il y a risque de validation d'une adresse erronée.

Si on accroît l'amplitude du courant injecté jusqu'à 35 mA crête, on constate que la probabilité pour qu'il y ait un défaut sur l'adresse augmente. On se rapproche de la détection franche d'un défaut sur l'adresse (le niveau haut minimum des composants CMOS = 3,5 volts.)

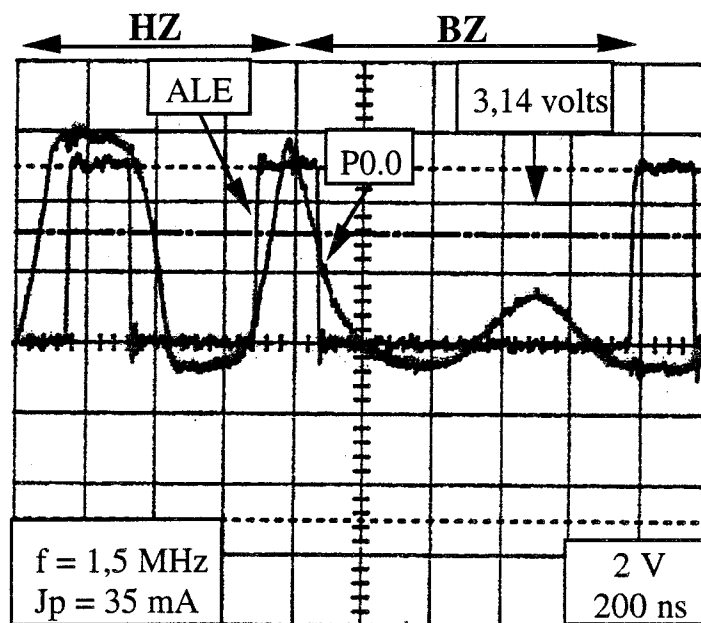


Figure III.11

Sur la Figure (III.11) ci-dessus, on peut voir que la transition haute impédance - basse impédance (adresse à l'état bas) suit une décroissance linéaire sur environ une centaine de nanoseconde, puis se poursuit de façon exponentielle.

Essayons d'abord de voir si ce comportement peut être mis en évidence en l'absence d'injection de courant.

### III-4.1) TRANSITION HAUTE-BASSE IMPEDANCE SANS INJECTION DE COURANT

Considérons la ligne P0.0 sans injection de courant, connectée directement à l'entrée des verrous et notons  $C_t$  la capacité équivalente chargeant la sortie P0.0 du microprocesseur.

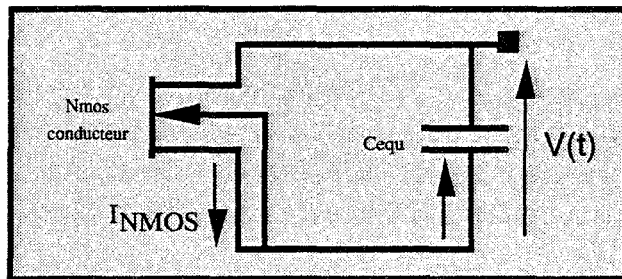


Figure III.12

Quand le microcontrôleur écrit la séquence "adresse = 0 - donnée = 0" sur son port P0, le transistor NMOS de la sortie P0.0 devient conducteur.

L'évolution de la tension aux bornes du transistor va dépendre d'une part de sa caractéristique courant - tension  $I_D = f(V_D)$  mais aussi de la tension initiale de charge  $V_{CO}$  de la capacité  $C_t$ .

La caractéristique courant - tension  $I_D = f(V_D)$  du transistor NMOS de la sortie P0.0 est reproduite sur la Figure (III.13).

La méthode de détermination expérimentale de cette caractéristique est décrite à l'annexe A.

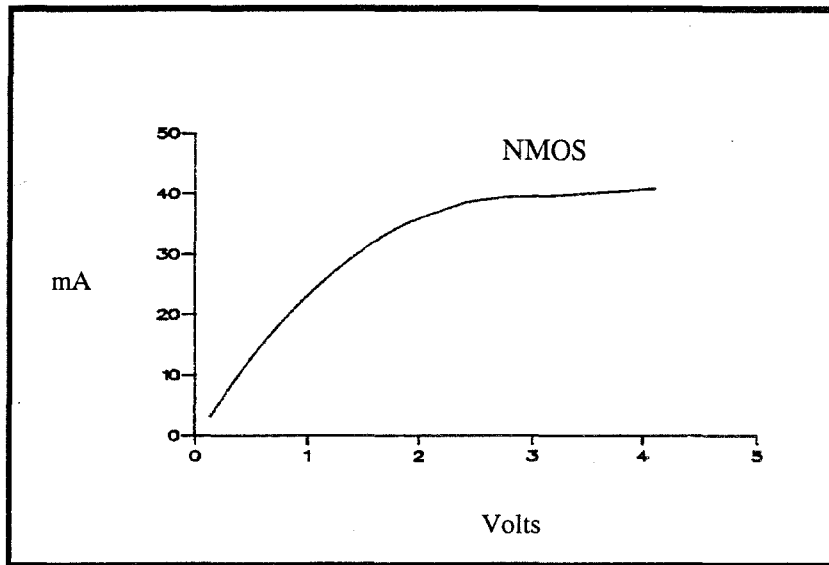


Figure III.13  
Caractéristique  $I_C = f(V_{CE})$  du transistor NMOS

A partir de cette caractéristique, nous pouvons déduire approximativement la tension de saturation  $V_{DSAT}$  qui détermine la limite entre la zone de saturation et la zone linéaire du transistor.

Si la tension  $V_{co}$  (tension initiale de charge de la capacité  $C_t$  juste à la transition haute-basse impédance) est supérieure à  $V_{DSAT}$  soit environ 2 volts, le transistor va être dans sa zone de saturation. Il s'apparente à un générateur de courant qu'on peut intégrer au schéma équivalent de la Figure (III.14).

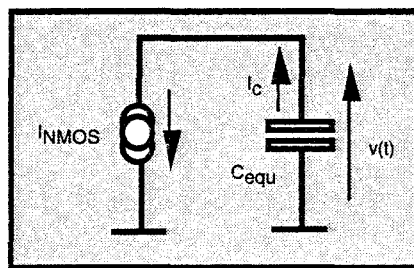


Figure III.14

La résolution de l'équation des courants donne

$$-C_{equ} \frac{dv(t)}{dt} = I_{NMOS} \tag{III.8}$$

$$v(t) = -(I_{NMOS}) \frac{t}{C_{equ}} + V_{co} \quad (III.9)$$

On obtient d'après ce schéma l'expression de la tension qui apparaîtra sur la ligne P0.0.

Le processus de décharge de la capacité  $C_t$  va donc se faire à un courant constant égal au courant de saturation du transistor NMOS (environ 40 mA); la tension  $v(t)$  va par conséquent suivre une décroissance linéaire.

Cette décroissance linéaire de  $v(t)$  va durer tant que le transistor est en fonctionnement saturé soit  $v(t) > V_{DSAT} = 2$  volts si on se reporte à la Figure (III.13).

Une fois que cette condition n'est plus vérifiée, le transistor entre dans sa zone résistive. Il peut donc être assimilé à une conductance dont la valeur peut être déduite de la pente de la caractéristique  $I_D=f(V_D)$ .

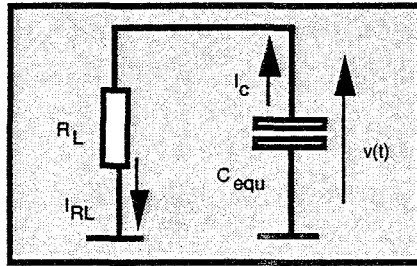


figure III.15

En résolvant l'équation des courants, on trouve

$$-C_{equ} \frac{dv(t-t_1)}{dt} = \frac{v(t-t_1)}{R_n} \quad (III.10)$$

soit 
$$v(t-t_1) = V_{init} e^{-\frac{(t-t_1)}{\tau}} \text{ avec } t_1 = \frac{(V_{DSAT} - V_{co})C_{equ}}{I_{NMOS}} \quad (III.11)$$

$t_1$  est l'instant à partir duquel le transistor entre dans sa zone résistive.

La tension  $v(t-t_1)$  va décroître de façon exponentielle, comme le montrent les équations ci-dessus, avec une constante de temps  $\tau$  de l'ordre de  $R_n \cdot C_t$ .

En zone résistive, la résistance équivalente de sortie du microprocesseur est de l'ordre d'une cinquantaine d'ohms ( Figure III.13).

La Figure (III.16) représente l'évolution de la tension sur la sortie P0.0 quand le microcontrôleur émet la séquence "adresse =0 - donnée=0" ainsi que le courant transitoire qui traverse le transistor NMOS.

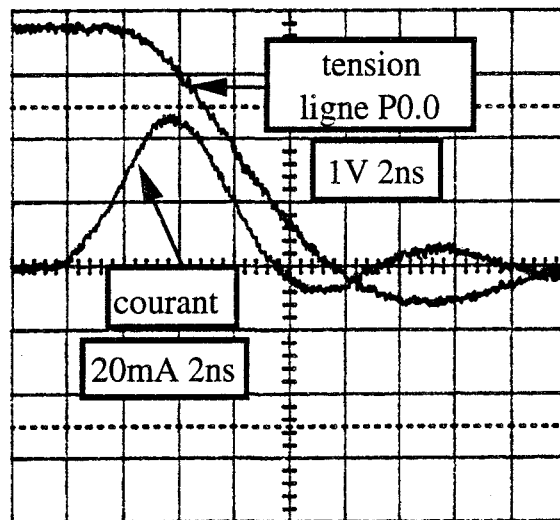


Figure III.16

En prenant un courant de saturation voisin de 40 mA, la zone de décroissance linéaire de la tension sur la ligne P0.0 s'étend environ sur 3,35 ns pour une variation de tension de 3,24 volts. On peut d'ailleurs estimer la capacité  $C_t$  en mesurant la pente de cette caractéristique.

$$C_t = i \frac{\Delta t}{\Delta v}$$

AN: 
$$C_t = \frac{40 \cdot 10^{-3} \cdot 3,35 \cdot 10^{-9}}{3,24}$$

soit  $C_t = 41$  pF.

Ces 41 pF se composent de

10pF : capacité de sortie P0.0;

2 .10 pF :capacité d'entrée des deux verrous d'adresses  $L_1$  et  $L_2$ ;

7 à 10 pF :capacité de la sonde de mesure.

L'évaluation de la capacité  $C_t$  permet de déterminer l'ordre de grandeur de la constante de temps  $\tau$  qui est d'environ 2 ns.

Quand on relie la sortie P0.0 à l'entrée du verrou  $L_1$  par une ligne couplée, les différentes zones de décroissance (linéaire et exponentielle) de la tension sur la ligne P0.0 subsistent mais il s'y superpose des fluctuations dues aux mécanismes de réflexion qui se manifestent durant la propagation des transitoires en lignes ( Figure (III.17) ).

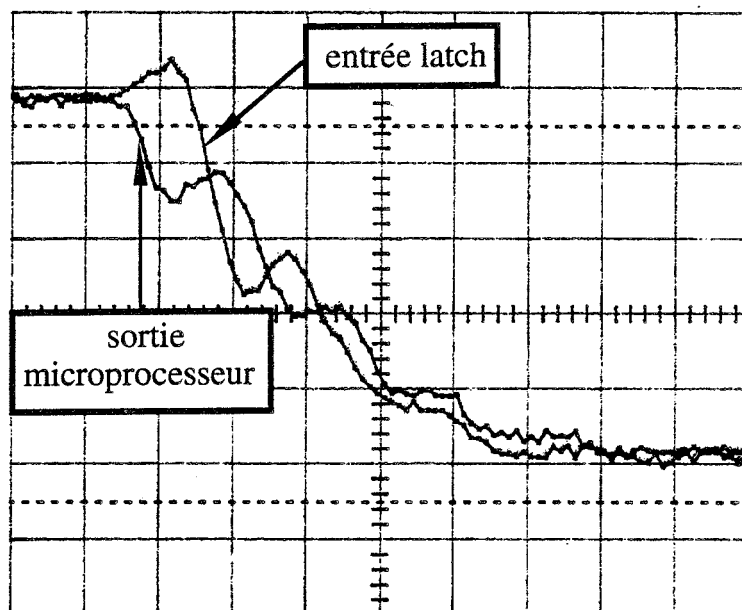


Figure III.17

Nous venons de voir qu'en l'absence d'injection de courant, suivant la valeur de  $V_{CO}$ , qui est la tension initiale de charge de la ligne P0.0 juste avant la transition vers l'état basse impédance (niveau logique bas), l'évolution de la tension sur la ligne P0.0 peut suivre deux phases de décroissance:

- une phase linéaire
- une phase exponentielle

Quelle va être l'incidence d'une injection de courant sur cette évolution et comment va-t-elle conditionner le risque potentiel d'erreur sur l'adresse?

### III.4.2) TRANSITION HAUTE-BASSE IMPEDANCE AVEC INJECTION DE COURANT

Nous avons observé que pour qu'il y ait risque de défaut sur l'adresse initialement à zéro, il faut que la phase descendante du signal ALE intercepte la tension sur la ligne P0.0 pendant sa transition haute-basse impédance et ce en un instant tel que l'amplitude de cette tension soit supérieure à 1,5 volts.

Plus l'amplitude du courant injecté augmente, plus longue sera la phase linéaire d'évolution de la tension et donc plus élevée sera la tension sur la ligne P0.0 à l'instant de validation de l'adresse. C'est ce que montrent les Figures (III.18) et (III.19) obtenues pour des injections de courant de 27 et 34 mA crêtes

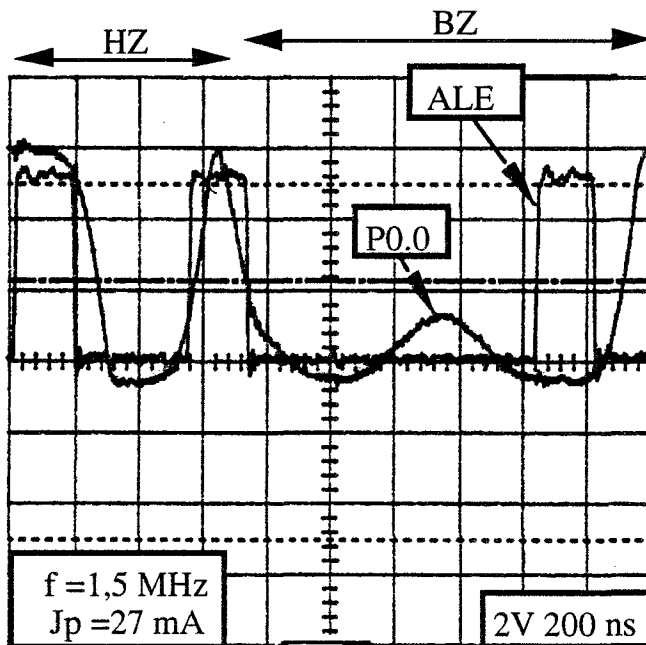


Figure III.18



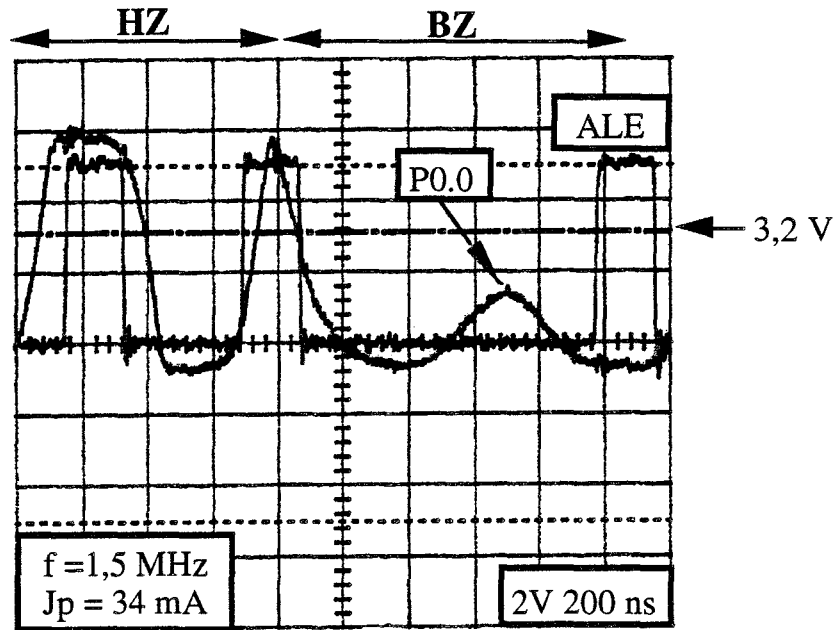


Figure III.19

Pour expliquer ce comportement, nous allons adjoindre au schéma de la Figure (III.12) la source de courant issue du couplage électrique.

Cette source dépend d'un paramètre angulaire  $\theta$  qu'on relie au déphasage existant entre l'apparition du maximum du perturbateur et l'instant où le signal ALE valide l'information logique.

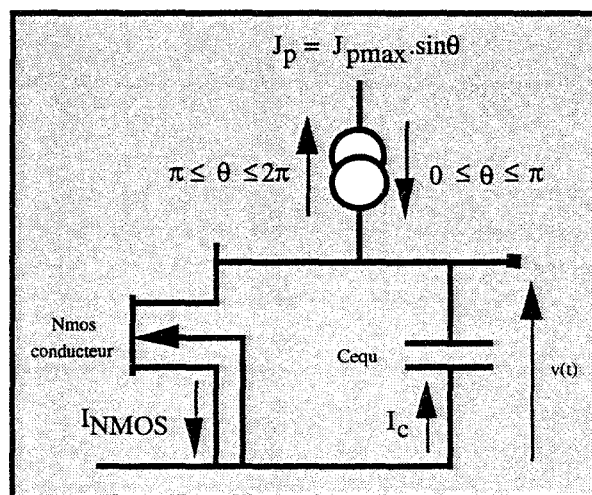


Figure III.20

$J_p$ : source de courant injecté

$I_{NMOS}$  : courant de saturation du transistor NMOS.

$V_{co}$ : tension initiale de charge de la capacité  $C_{equ}$ .

$C_{equ}$ : capacité équivalente chargeant la sortie P0.0 (346 pF)

Si on tient compte de la contribution de cette source, les équations précédentes deviennent

$$I_{NMOS} = I_c \pm J_{pmax} \sin \theta \quad (III.13)$$

comme 
$$I_c = -C_{equ} \frac{dv(t)}{dt} \quad (III.14)$$

on obtient

$$I_{NMOS} = -C_{equ} \frac{dv(t)}{dt} \pm J_{pmax} \sin \theta \quad (III.15)$$

On en déduit, après résolution, l'expression donnant l'évolution temporelle de la tension sur la ligne P0.0 .

$$v(t) = -(I_{NMOS} \pm J_{pmax} \sin \theta) \cdot \frac{t}{C_{equ}} + V_{co} \quad (III.16)$$

### **Remarque importante**

L'équation (III.6) telle qu'elle est présentée, laisse supposer qu'il y a une indépendance entre les valeurs de  $V_{co}$  et celles du courant injecté  $J_p$ .

Dans la réalité, il n'en est rien.

D'après l'équation (III.2), la tension  $V_H$  induite sur l'état haute impédance est en phase avec la tension perturbatrice  $V_p$ . Or le courant injecté  $J_p$  comme le montre l'équation (III.4), est déphasé de  $\pi/2$  par rapport à  $V_p$ . Par conséquent, le courant  $J_p$  et la tension  $V_H$  sur l'état haute impédance sont aussi déphasés de  $\pi/2$ .

Ce que montre la Figure (III.21)

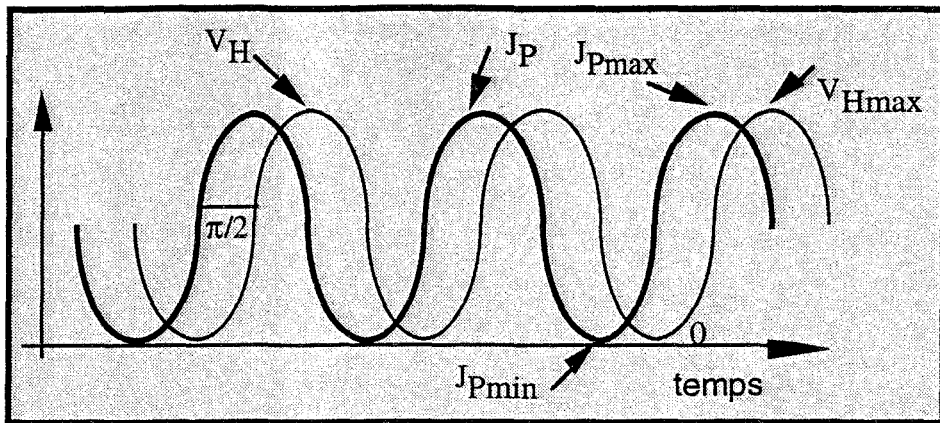


Figure III.21

L'ensemble des valeurs possibles que peut prendre la tension  $V_{CO}$  est donné par l'évolution de la tension  $V_H$ .

On constate que quand la tension  $V_{CO}$  est maximale, le courant injecté est nul.

Chaque fois que la tension induite sur l'état haute impédance est telle que les diodes de protection  $D_1$  et  $D_2$  (Figure (III.6)) sont bloquées, il n'y a aucune possibilité d'avoir des erreurs sur l'adresse.

Or, si on regarde la forme de la tension  $V_H$  quand on détecte une erreur sur l'adresse (Figure III.3 par exemple), on peut voir que son allure se rapproche de celui d'un créneau (à cause de l'écrêtage dû à l'entrée en conduction des diodes) alors que le courant  $J_p$  garde sa forme sinusoïdale.

La Figure (III.22) représente ce qui se passe sur la ligne P0.0.

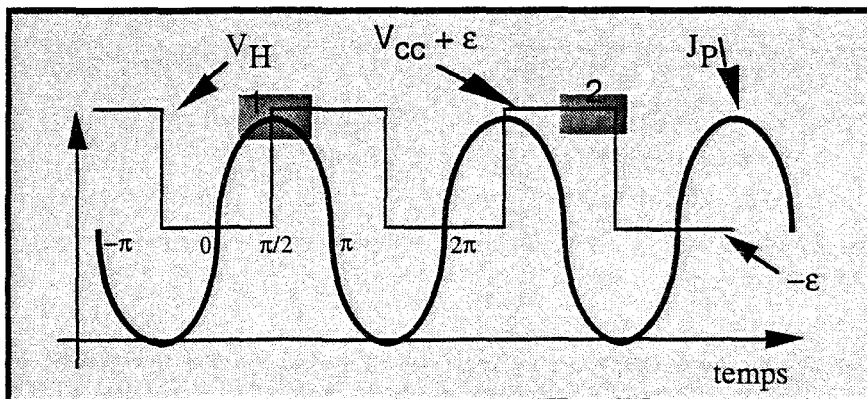


Figure III.22

Si l'amplitude du courant injecté  $J_p$  augmente, la tension  $V_H$  induite sur l'état haute impédance va être de plus en plus écrêtée par les diodes  $D_1$  et  $D_2$ .

Et cet écrêtage sera d'autant plus brutal que l'amplitude de la tension  $V_H$  sera importante.

L'instant d'apparition du signal ALE va donc déterminer la valeur de la tension initiale  $V_{co}$  mais aussi l'amplitude du courant injecté  $J_p$  à prendre en compte dans le modèle de la Figure (III.20).

Deux cas sont à considérer :

1)  $\pi \leq \theta \leq 2\pi$

L'expression de la tension s'exprime alors par

$$v(t) = -(I_{NMOS} + |J_{pmax} \cdot \sin\theta|) \cdot \frac{t}{C_{equ}} + V_{co} \tag{III.17}$$

La tension  $V_{co}$ , dans le pire des cas, est à son maximum (zone grisée n° 2 de la Figure (III.22)), mais le courant  $J_p$  injecté est négatif. On aboutit au schéma de la Figure (III.23).

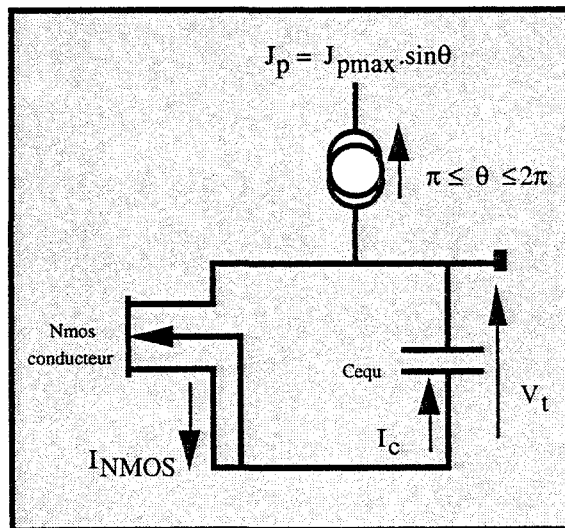


Figure III.23

Le courant perturbateur vient amplifier la décroissance de la tension sur la ligne P0.0 en augmentant le courant de décharge de la capacité  $C_{equ}$ .

La Figure (III.24) montre les signaux obtenus dans de tels cas.

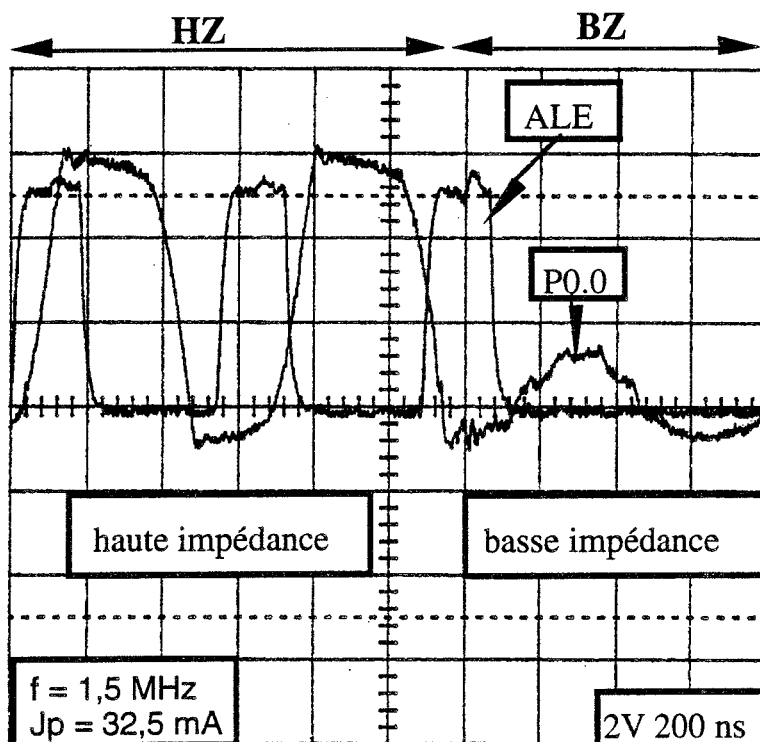


Figure III.24

Dans cette configuration, aucune erreur ne peut être présente sur l'adresse (initialement à 0) car la transition haute - basse impédance se fait plus rapidement; le signal ALE valide toujours une adresse à l'état bas.

2)  $0 \leq \theta \leq \pi$

L'équation (III.16) devient

$$v(t) = -(I_{NMOS} - |J_{pmax} \cdot \sin\theta|) \cdot \frac{t}{C_{equ}} + V_{co} \quad (III.18)$$

Cette configuration correspond à la zone grisée n°1 où la tension  $V_{co}$  est à son maximum. Le courant perturbateur vient compenser en partie le

courant de décharge ( issu du transistor NMOS) de la capacité  $C_{equ}$ , réduisant de ce fait la vitesse de décroissance de la tension sur la ligne P0.0. (Figure III.25)

Le temps de transition entre l'état haute impédance et l'état basse impédance se trouve donc rallonger.

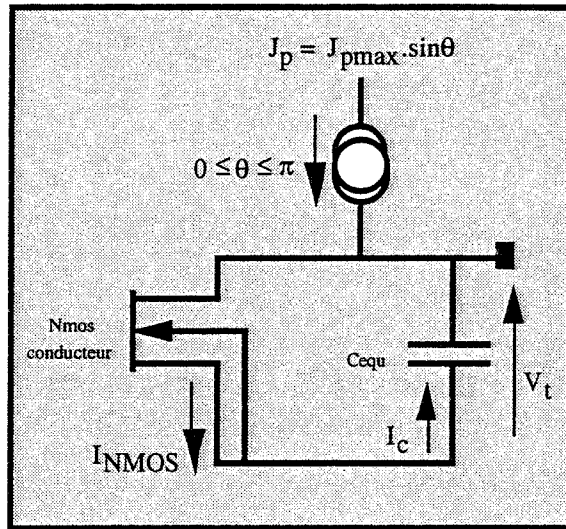


Figure III.25

Ce phénomène va donc être à l'origine de l'erreur sur l'adresse.

C'est donc sous ces conditions de phase qu'il y aura la plus grande probabilité d'engendrer des erreurs lors des validations d'adresses.

L'illustration portée sur la Figure (III.26) caractérise précisément le comportement de la décroissance de la tension sur la ligne P0.0 pour plusieurs scénarios appliqués au déphasage  $\theta$ .

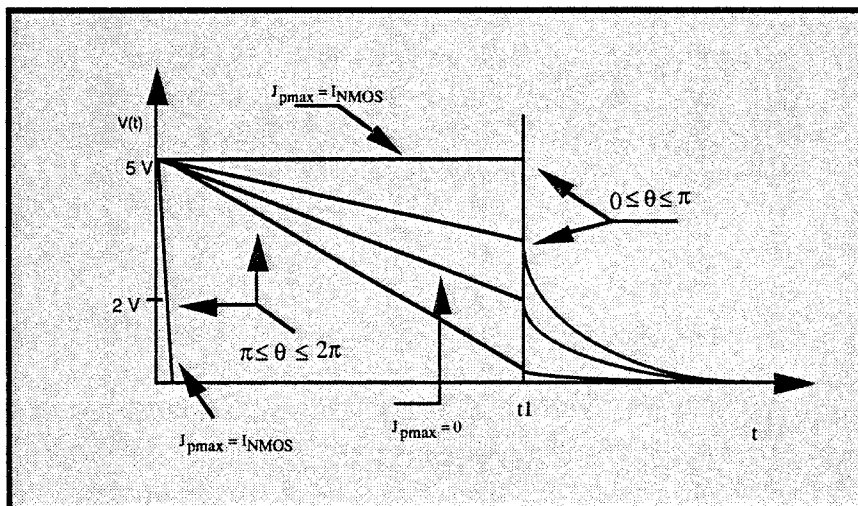


Figure III.26

Les cas où la tension  $V_{CO}$  est minimale (Figure III.22) ne présentent pas d'intérêt pour l'étude d'une transition haute-basse impédance à l'état bas. Par contre, pour une transition haute-basse impédance à l'état haut, ils devront être pris en compte.

Comme le prévoit l'équation (III.18), si le courant injecté compense le courant de saturation du transistor NMOS, l'amplitude de la tension  $v(t)$  sur la ligne P0.0 restera égale à  $V_{CO}$ .

Si cette tension  $V_{CO}$  est par exemple égale à un moment donné à 5 volts, pendant tout l'intervalle de temps correspondant à la présence de l'adresse sur la ligne P0.0, on aura une adresse à l'état haut.

C'est ce que montre les signaux de la Figure (III.27). Sur cette figure, on peut voir que le niveau de la tension sur la ligne P0.0 reste supérieur à 5 volts pendant quelques dizaines de nanosecondes juste avant l'instant de validation de l'adresse.

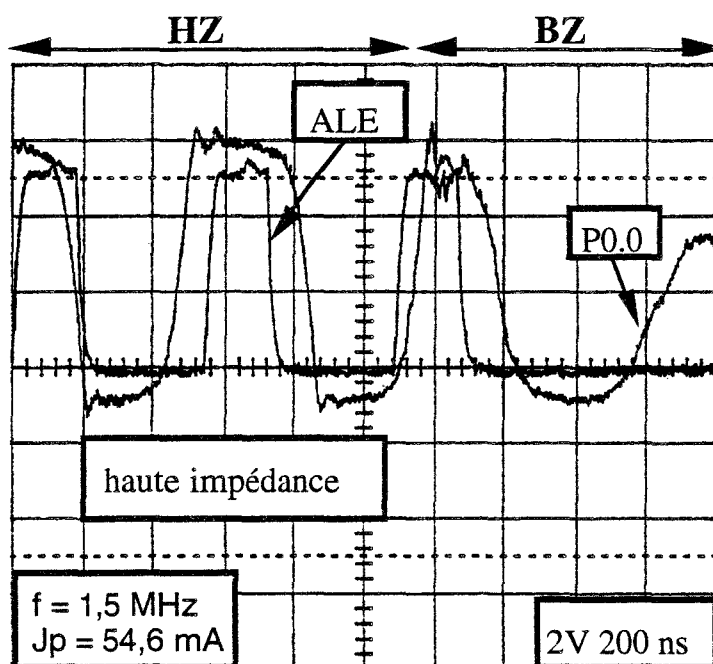


Figure III.25

Le temps nécessaire pour que la tension sur la ligne P0.0 effectue sa transition linéaire va donc déterminer le niveau de tension qui sera validé par le signal ALE et par là même, conditionner l'état logique de l'adresse pris en compte par les verrous d'adresses.

### III.4.3) TEMPS DE TRANSITION DE LA TENSION SUR LA LIGNE P0.0 ENTRE LE NIVEAU INITIAL $V_{co}$ ET L'ETAT BAS

Nous avons montré au paragraphe précédent que la transition de la tension sur la ligne P0.0 se fait de deux façons différentes.

Tout d'abord par une décroissance linéaire de la tension, suivie par une évolution exponentielle. Les expériences et notamment les signaux des Figures (III.18) et (III.19) ont montré que durant la phase de validation de l'adresse par le signal ALE, la variation de la tension sur la ligne P0.0 correspondait à sa phase linéaire.

Pour cette raison, nous allons entreprendre le calcul du temps nécessaire à la tension (sur la ligne P0.0) pour qu'elle effectue sa transition linéaire et ce, en fonction de l'amplitude du courant injecté. A partir de l'équation (III.18) rappelée ci-dessous,

$$v(t) = -(I_{NMOS} - |J_{pmax} \sin \theta|) \cdot \frac{t}{C_{equ}} + V_{co} \quad (III.19)$$

on peut avoir une valeur approximative de la durée  $\Delta t$  de la décroissance linéaire de la tension sur la ligne P0.0. Rappelons que le transistor NMOS fonctionne dans sa zone de saturation.

on obtient :

$$\Delta t = \frac{(V_{co} - V(t)) C_{equ}}{I_{NMOS} - J_{pmax} \sin \theta} \quad (III.20)$$

$V_{co}$ : tension initiale de charge de  $C_{equ}$  juste avant la transition de l'état haute impédance à l'état basse impédance.



La Figure (III.26) représente l'évolution de la tension  $v(t)$  sur la ligne P0.0 dans la configuration de phase telle que le courant perturbateur produit son effet maximum.

On constate que si le courant perturbateur est inférieur à 20 mA, il n'y a pas d'erreur possible car le signal ALE de validation de l'adresse intercepte la tension sur la ligne P0.0 en un instant tel quelle est équivalente à un état bas.

Par contre, si le courant injecté dépasse 30 mA, il y a risque de validation d'une adresse erronée par le signal ALE; ceci parce que le niveau de tension intercepté par le signal ALE est supérieur à 3,5 volts (1min).

Pour des valeurs de courant comprises entre ces deux extrêmes, l'état de l'adresse sera indéterminé. On pourra soit valider un état logique haut ou un état logique bas.

(Le temps qui sépare l'instant de validation par le signal ALE de celui de l'apparition de l'adresse (TAVLL : time adresse valid ALE low) est de 80 ns environ pour une fréquence de quartz de 12 MHz)

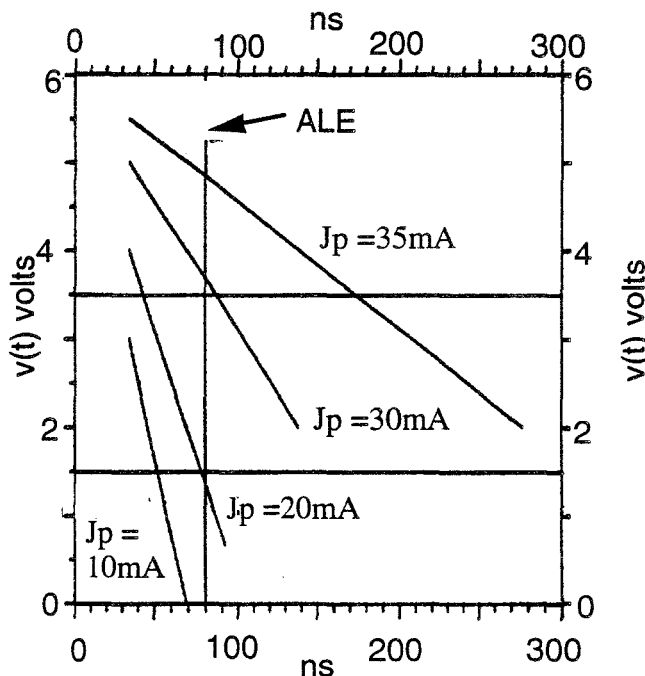


Figure III.26

$$C_{equ} = 346 \text{ pF/m}$$

$$V_{co} = 6V$$

$$J_{pmax} = 35 \text{ mA}$$

$$\theta = \pi/2$$

$$I_{NMOS} = 40 \text{ mA}$$

# TEMPS DE TRANSITION HAUTE-BASSE IMPEDANCE

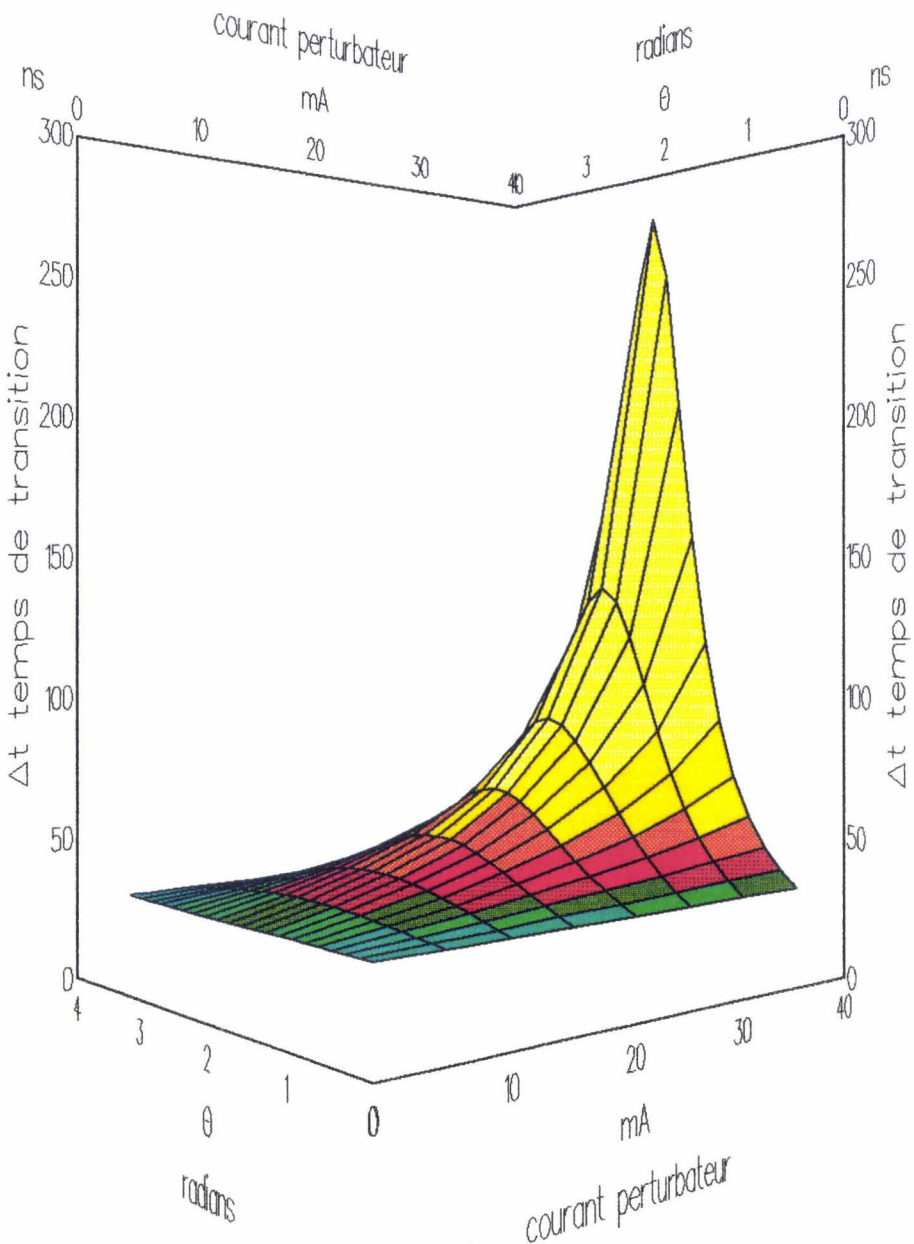


Figure (II.27)

L'évolution du paramètre  $\Delta t$  est fonction de deux paramètres:

- l'amplitude  $J_p$  du courant injecté

- la relation de phase  $\theta$  entre l'instant d'apparition du maximum d'amplitude du perturbateur et l'instant de validation de l'adresse par le signal ALE.

Pour un angle  $\theta$  invariant, le temps de décharge ne peut augmenter que lorsque le courant injecté s'accroît; en outre l'évolution du temps de décharge à courant  $J_p$  fixe, varie comme le sinus de  $\theta$ . C'est ce que montre la Figure (III.27).

Nous n'avons envisagé jusqu'ici que l'injection d'une perturbation en courant sur une adresse à l'état bas.

Mais qu'en est-il si l'adresse est à l'état haut?

On peut se demander si les mécanismes qui régissent l'apparition d'une erreur sur une adresse à l'état haut vont être identiques à ceux mis en jeu sur une adresse à l'état bas .

Le prochain paragraphe va répondre à cette question.

### III.5) EFFET D'UNE PERTURBATION EN COURANT SUR UNE ADRESSE À L'ETAT HAUT

Le microprocesseur transmet cette fois sur la ligne P0.0 la séquence "adresse =1 - donnée =0" pendant que nous procédons à une injection de courant.

La Figure (III.28) montre l'évolution de la tension sur la ligne P0.0 en l'absence de perturbateur.

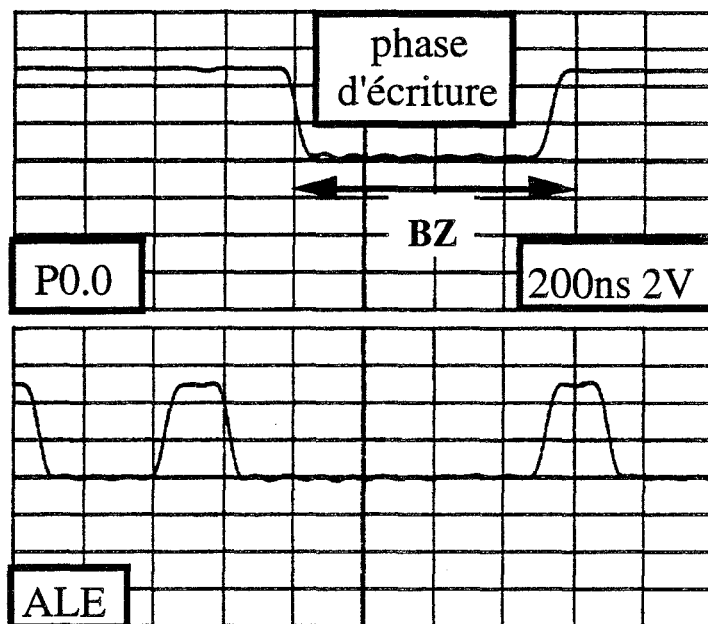


Figure III.28

On peut se rendre compte de la présence d'une adresse à l'état 1 (validée par le dernier front descendant du signal ALE avant l'écriture), suivie d'une donnée à l'état 0.

Si on procède à une injection de courant  $J_p$  d'amplitude 15 mA crêtes, l'évolution de la tension P0.0 se modifie comme indiqué à la Figure (III.29).

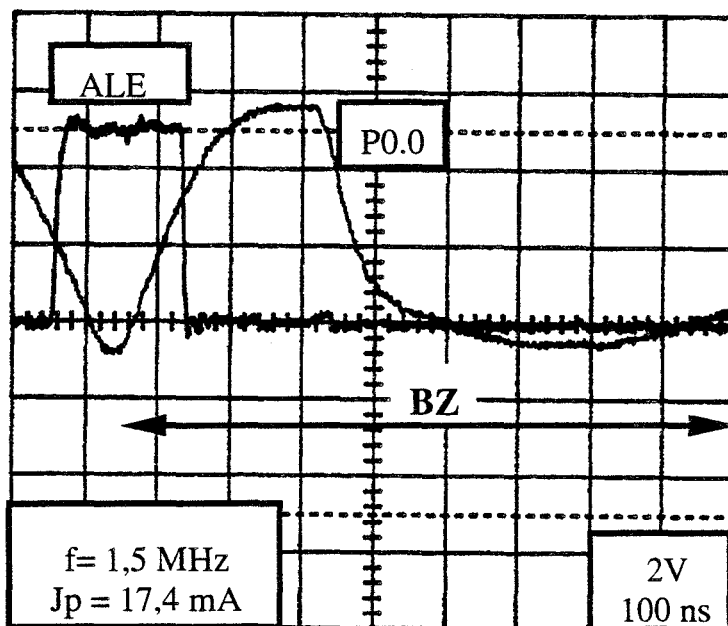


Figure III.29

On peut voir que le niveau de tension validé par le signal ALE et qui va déterminer l'état de l'adresse est de 2,9 volts. La possibilité d'une erreur sur l'adresse initialement à l'état 1 existe donc puisque le niveau minimal garantissant un état logique haut est de 3,5 volts pour les composants CMOS. Ce niveau de tension baisse si le courant injecté  $J_p$  augmente. Ce que montrent les courbes de la Figure (III.30) pour une injection de courant de 27 mA crête.

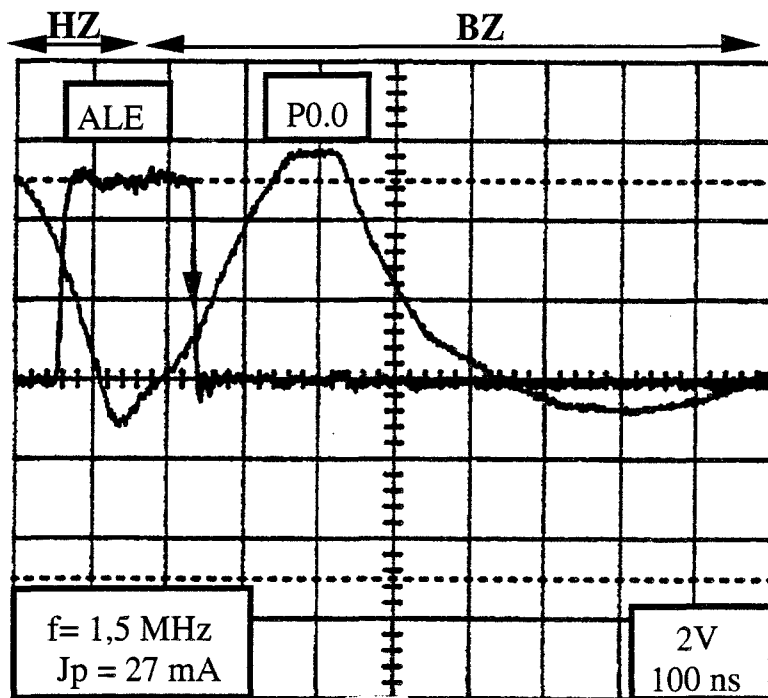


Figure III.30

Dès que l'amplitude du courant injecté dépasse 27 mA, on se rapproche de la détection franche d'une adresse à l'état 0. Plus le courant injecté augmente, plus longue est la transition de l'état haute impédance au niveau haut de l'état basse impédance (adresse =1).

Bien évidemment, les erreurs observées sur l'adresse initialement à l'état haut, ne sont pas systématiques; elles vont dépendre de la relation de phase entre l'instant de validation de l'adresse par le ALE et l'instant d'apparition du perturbateur (valeur de la tension initiale  $V_{CO}$  sur la ligne P0.0 juste avant la transition vers l'état basse impédance)



### III.5.1) INTERPRETATION DES MECANISMES D'APPARITION D'ERREURS SUR L'ETAT LOGIQUE HAUT DE L'ADRESSE

Quand le microprocesseur émet la séquence "adresse =1 - donnée =0" (écriture de la donnée 0 à l'adresse 1), l'erreur sur l'adresse a lieu quand le transistor PMOS de la sortie P0.0 est conducteur. Les transistors NMOS et PMOS de l'étage de sortie étant supposés complémentaires, on peut s'attendre à ce que les mécanismes qui régissent l'apparition d'une erreur sur l'adresse à l'état 1 soient identiques à ceux mis en jeu sur une adresse à l'état 0.

En présence d'une injection de courant, le comportement du signal de sortie sur la ligne P0.0 peut se comprendre en faisant usage du schéma de la Figure (III.20) où le transistor NMOS est remplacé par son complémentaire le PMOS.

*Considérons les deux conditions imposées à la relation de phase  $\theta$  liant le perturbateur au signal ALE.*

1)  $\pi \leq \theta \leq 2\pi$

Ce scénario est schématisé sur la Figure (III.31).

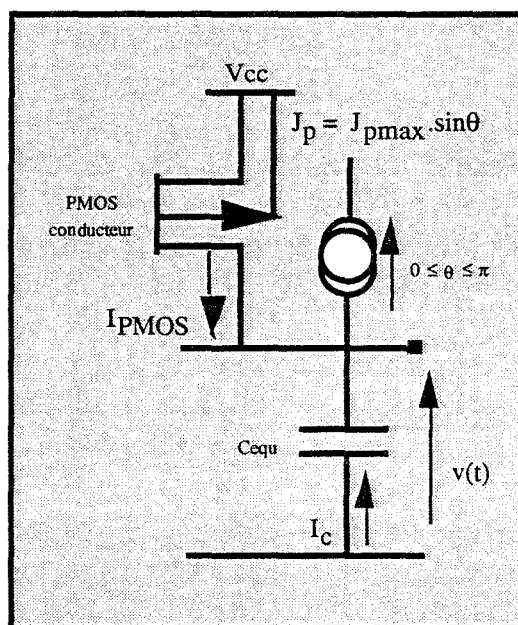


Figure III.31

On peut aisément en déduire l'expression de la tension qui apparaîtra sur la ligne P0.0 .

$$v(t) = (I_{PMOS} - |J_{pmax} \sin \theta|) \cdot \frac{t}{C_{equ}} + V_{co} \quad (\text{III.21})$$

Il n'est pas nécessaire de reprendre tous les calculs puisque cette équation peut être déduite de l'équation (III.18) établie plus haut.

Dans cette configuration, la tension initiale  $V_{co}$  peut prendre deux valeurs extrêmes:

- soit  $V_{co}$  égale  $V_{cc}$  (environ 5,8 volts);
- soit  $V_{co}$  égale 0 volts (environ - 0,8 volts).

Cependant, comme on effectue une transition haute impédance - basse impédance avec comme état final un état haut, seul le cas où la tension initiale  $V_{co}$  est nulle (zone grisée n° 1 de la Figure (III.32) ) va être à l'origine d'une erreur sur l'adresse.

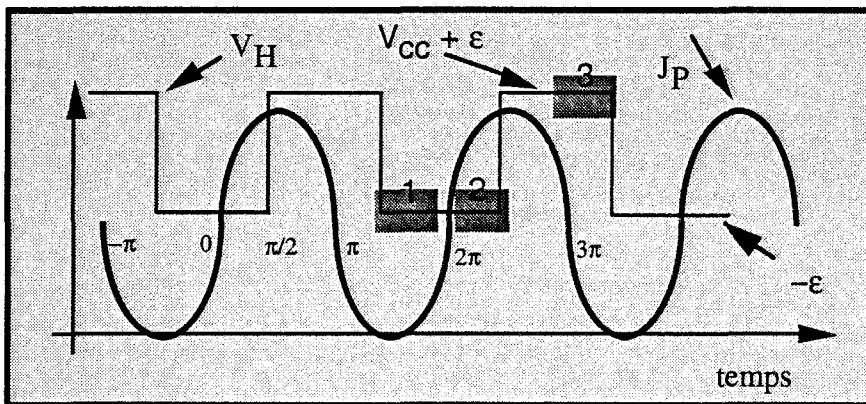


Figure III.32

Pour cette configuration, le courant perturbateur  $J_p$  dérive une partie du courant de charge de la capacité équivalente  $C_{equ}$  chargeant la ligne. Le passage à l'état 1 de l'adresse se fait pour cette raison avec un temps de montée directement influencé par le courant perturbateur. La condition de phase fait que ce temps de montée sera plus grand que le temps de montée nominal du signal adresse non perturbé. Cette situation fait que le risque de validation d'une adresse à l'état bas par le signal ALE devient possible.

2)  $0 \leq \theta \leq \pi$ 

Le schéma équivalent de la ligne est représenté sur la Figure (III.33).

L'expression de la tension  $v(t)$  déduite par analogie, de l'équation (III.17) est

$$v(t) = (I_{PMOS} + |J_{pmax} \cdot \sin \theta|) \cdot \frac{t}{C_{equ}} + V_{co} \quad (III.22)$$

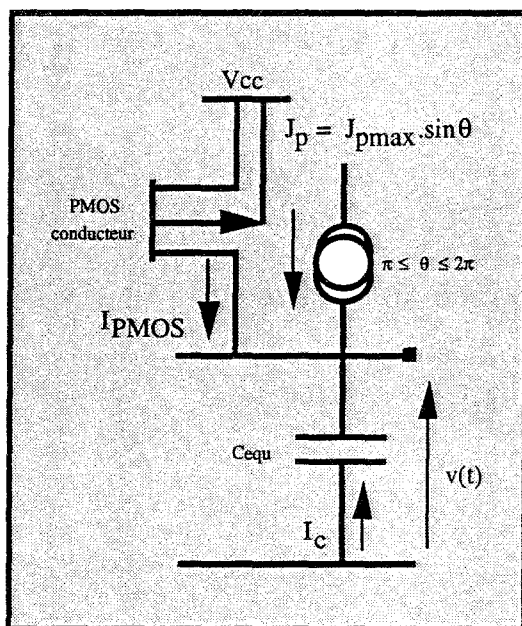


Figure III.33

Pour cette configuration, le courant perturbateur vient accroître la charge de la capacité équivalente  $C_{equ}$ . Le passage de l'adresse à l'état 1 va donc se faire rapidement. Le front de validation du ALE va donc intercepter une adresse à l'état 1. Dans cette configuration, il n'y a pas d'erreur sur l'adresse.

La valeur de la tension  $V_{co}$  se situe dans la zone grisée n° 2.

Un autre cas intéressant est la zone grisée n° 3 correspondant à une transition de l'état haute impédance vers le niveau haut de l'état basse impédance (adresse = 1) et où la tension initiale  $V_{co}$  est maximale. Le courant injecté  $J_p$  dans ces conditions est négatif; par conséquent, on



risque d'avoir un bref passage de la tension sur la ligne P0.0 par un état zéro. Ce qui peut entraîner une erreur logique sur l'adresse.

Si les transistors NMOS et PMOS de l'étage relié à P0.0 étaient identiques, les phénomènes de perturbation sur l'adresse à l'état 1 et à l'état 0 seraient absolument symétriques.

Cependant, les caractéristiques expérimentales  $I_D = f(V_D)$  de ces deux transistors (Figure (III.33) et (III.34) ) montrent que le transistor NMOS est capable d'encaisser plus de courant que son complémentaire PMOS ne peut en produire.

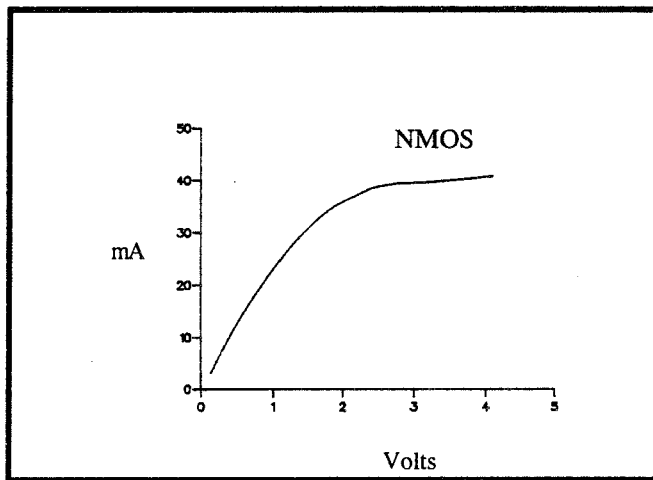


Figure III.33  
Caractéristique  $I_C = f(V_{CE})$  du transistor NMOS

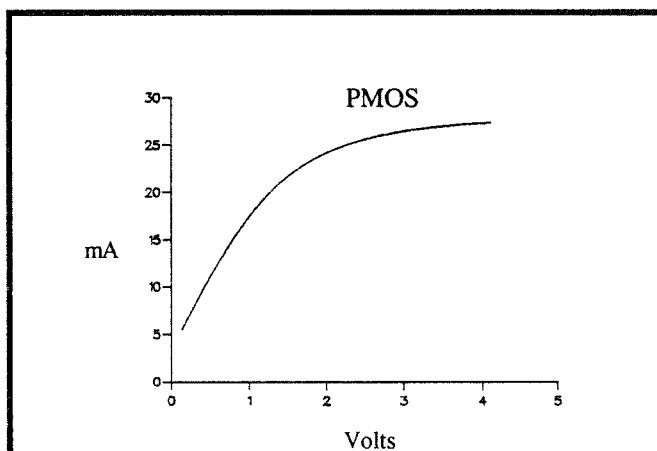


Figure III.34  
Caractéristique  $|I_C| = f(|V_{CE}|)$  du transistor PMOS

*Cela va avoir deux conséquences :*

1) à injection de courant égal, le transistor NMOS sera moins perturbé que le PMOS; par conséquent une adresse à l'état 0 sera moins perturbée qu'une adresse à l'état 1.

2) comme le courant de saturation du NMOS est plus important, sa résistance  $R_n$  en zone résistive sera plus faible que celle du PMOS. Cela aura une influence déterminante, comme nous le verrons, sur la perturbation des données.

Les perturbations en injection de courant qui ont été menées sur l'adresse à l'état logique bas ou haut, l'ont été à des fréquences telles que l'amplitude du courant perturbateur pouvait être considérée comme lentement variable au regard des signaux qui transitent sur la ligne P0.0.

Le prochain paragraphe va traiter de l'injection de courant dans le cas où cette hypothèse de lignes électriquement courtes ne peut plus être justifiée.

Nous verrons que les mécanismes mis en jeu sont différents.

### III.6) INJECTION D'UN PERTURBATEUR A LA FREQUENCE DE 15 MHz SUR UNE ADRESSE A L'ETAT BAS

Si on regarde l'évolution de la tension sur la ligne P0.0 en présence d'une injection de courant à 15 MHz comme l'indique la Figure (III.36), on constate que l'instant d'apparition du signal ALE, qui détermine l'état de l'adresse qui va être validée, ne se produit plus pendant la transition haute impédance (état haut) - basse impédance (état bas) de la tension comme c'était le cas à 1,5 MHz. (hypothèse des lignes électriquement courtes vérifiée).

La courbe enveloppe de la Figure (III.36) montre l'excursion maximale, en basse impédance, de la tension sur les états statiques de l'adresse et la donnée. Seule la zone délimitant l'état haute impédance est indiquée; la localisation de la zone basse impédance se déduit aisément.

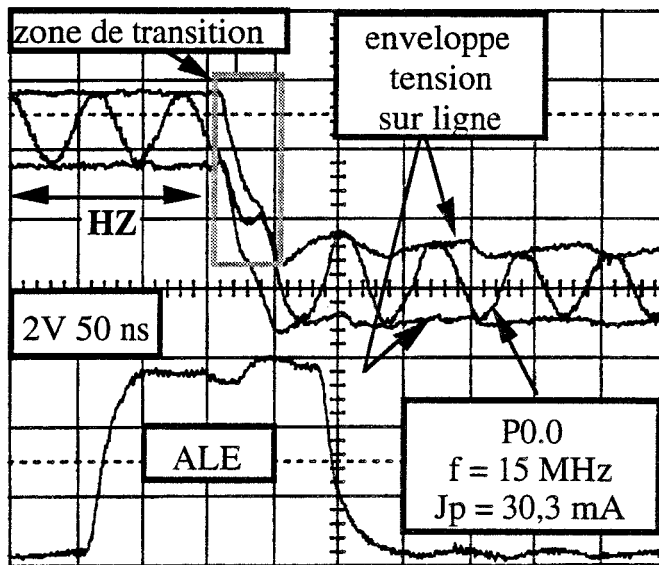


Figure III.36

Le paramètre important qui va fortement influencer la mise en erreur des informations adresses est le retard  $\tau$  qui sépare l'apparition de l'information logique de l'instant de validation par le dernier front descendant du ALE avant la phase d'écriture.

Ce retard  $\tau$  peut être estimé à environ 80 ns (pour une fréquence de quartz de 12 MHz) (Figure III.37)

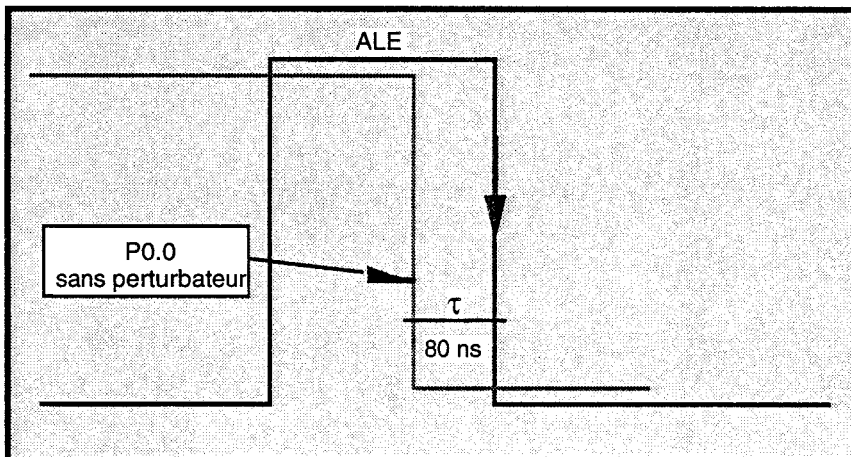


Figure III.37

A 1,5 MHz, la période du courant perturbateur est de l'ordre de 666 ns. Puisque ce temps est bien supérieur à  $\tau$ , on peut admettre que, durant cet intervalle, le courant injecté est quasi-invariant en amplitude. L'évolution de la tension sur la ligne P0.0, pendant la transition état haut (haute impédance) - état bas (basse impédance), va donc être linéaire sur au moins 80 ns (Figure (III.19))

Par contre si la fréquence du perturbateur augmente, cette situation d'invariance du courant perturbateur disparaît progressivement. La Figure (III.36) présente le cas d'une perturbation à 15 MHz donc de période égale à 66 ns, voisine de  $\tau$ . La phase de décroissance linéaire de la tension sur la ligne P0.0 ne pouvant dans ces conditions durer que 66 ns au maximum, la conséquence immédiate est que l'instant d'apparition du signal ALE va coïncider avec l'état statique de l'adresse.

L'incidence du courant perturbateur dépend de la valeur de sa période par rapport au temps de transit  $\tau$ .

L'expression de la tension  $v(t)$  sur la ligne P0.0, déterminée à partir de l'équation différentielle (III.15) donne

$$v(t) = - \int_0^{\tau} \frac{I_{NMOS}}{C_{equ}} dt - \int_0^{\tau} \frac{J_{PMAX} \sin \frac{2\pi t}{T}}{C_{equ}} dt \quad (III.23)$$

$$v(t) = A(t) + b(t)$$

L'évolution de la tension  $v(t)$  de la transition de l'état haute impédance (état haut) vers l'état basse impédance (état bas) est influencée par deux phénomènes:

- le terme  $A(t)$  rend compte de l'influence du courant de saturation du transistor NMOS (respectivement PMOS). Si on admet que cet courant est constant, la tension  $v(t)$  suit alors une décroissance linéaire.

- le terme  $B(t)$  rend compte de l'influence du courant perturbateur sur la transition haute impédance (état haut) - basse impédance (état bas). Suivant la période du courant perturbateur par rapport au temps de transit  $\tau$ , ce terme peut ou non être négligé.

Pour que le terme  $B(t)$  puisse être négligé, il faut que la période  $T$  soit telle que

$$\tau = nT.$$

Dans ces conditions,

$$B(t) = \int_0^\tau \frac{J_{PMAX} \sin \frac{2\pi t}{T}}{C_{equ}} dt \approx 0 \tag{III.24}$$

Bien évidemment, l'équivalence exacte entre  $\tau$  et  $T$  ne sera pas toujours réalisée. La valeur de  $n$  peut être fractionnaire.

La Figure (III.38) montre un exemple où  $\tau = 3,5 T$  soit  $\tau = \tau_{3T} + \tau_{0,5T}$ .

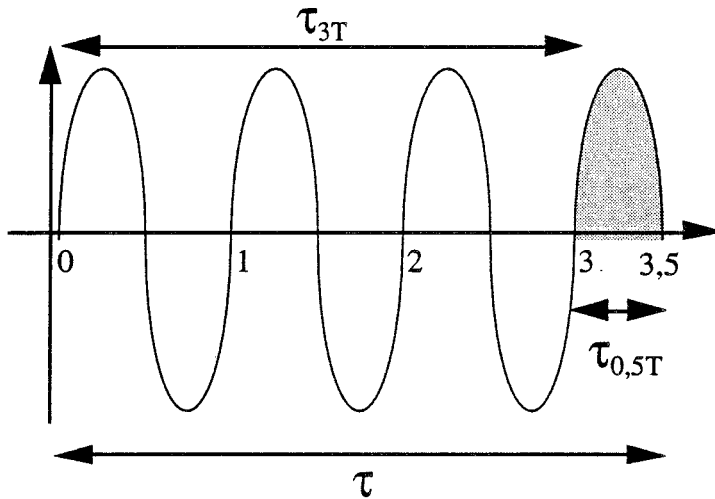


Figure III.38

L'expression (III.23) s'écrit

$$v(t) = \int_{\tau_{3T}} \frac{I_{PMAX} \sin \frac{\omega t}{T}}{C_{equ}} dt + \int_{\tau_{0,5T}} \frac{J_{PMAX} \sin \frac{2\pi t}{T}}{C_{equ}} dt \tag{III.25}$$

La première intégrale est nulle; la deuxième devient négligeable si la fréquence augmente car le temps d'intégration diminue. Sa valeur est

égale à  $\frac{1}{2f}$ . Son influence devient négligeable devant  $A(t)$  si la fréquence du courant perturbateur  $J_p$  augmente. (Figure 39).

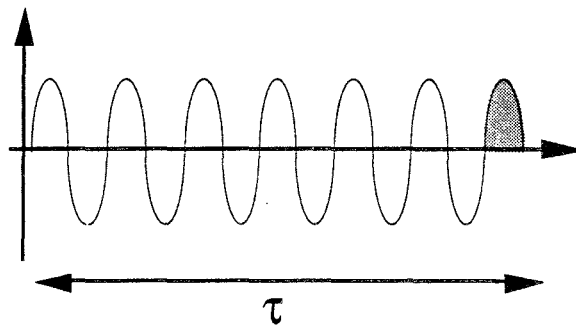


Figure III.39

La Figure (III.36) montre l'évolution de l'enveloppe de la tension sur la ligne P0.0 pour un courant perturbateur de 30 mA; on met bien en évidence le faible écart temporel ( $\pm 10$  ns) lors du transit haute - basse impédance.

Bien évidemment, le risque d'erreur sur l'adresse n'en est pas réduit pour autant puisqu'il existe une tension sinusoïdale induite sur l'état basse impédance de l'adresse (état statique).

Quand le microprocesseur émet la séquence (adresse = 0 - donnée = 0), seul le transistor NMOS de l'étage de sortie relié à la ligne P0.0 est conducteur. Sa caractéristique courant - tension est reprise à la Figure (III.40).

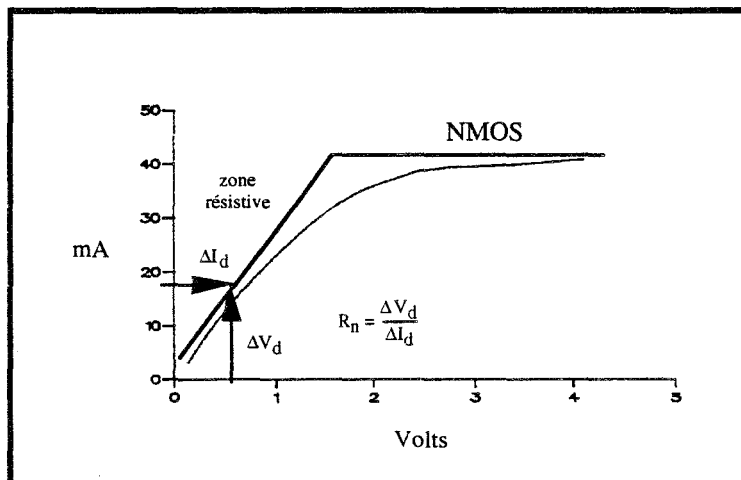


Figure III.40

Le fait que le transistor NMOS soit conducteur entraîne que la tension drain-source à ses bornes est très faible; par conséquent il va fonctionner en zone résistive. Il est donc équivalent à une résistance  $R_n$  dont la valeur est l'inverse de la pente de sa caractéristique  $I_D = f(V_D)$ . Cette résistance est de l'ordre d'une cinquantaine d'ohms.

L'amplitude de la tension  $V_{ind}$  induite sur l'état statique de l'adresse, pour une injection de courant  $J_p$  de 30 mA comme c'est le cas sur la Figure (III.36), peut être estimée par la relation

$$V_{ind} = R_n |J_p| \quad (III.23)$$

A.N.  $V_{ind} = 50 * 30 \cdot 10^{-3} = 1,5V$  crête.

Cette amplitude correspond bien à la résiduelle mesurée.

La probabilité de mise en erreur de l'adresse va donc dépendre de l'amplitude du perturbateur et de la caractéristique de sortie du port adressé du microprocesseur. Cette remarque s'applique aussi aux erreurs sur la donnée.

### III-7) INJECTION DE COURANT SUR UNE DONNÉE A L'ÉTAT LOGIQUE BAS

Jusqu'ici, nous n'avons pas évoqué les possibles perturbations qui peuvent survenir sur une donnée.

Le banc de la Figure (II.38) utilisé pour l'injection de perturbation sur les adresses, était initialement orienté vers la détection d'erreurs sur l'adresse. Néanmoins, il permet aussi d'apprécier l'incidence des perturbations sur les données puisque celles-ci succèdent à l'adresse.

#### III.7.1) INJECTION DE COURANT A 1,5 MHz

Reprenons les courbes de la Figure (III.2) pour une injection de courant de 22 mA à 1,5MHz, avec pour séquence émise par le microprocesseur (adresse = 0 - donnée = 0) reportée sur la Figure (III.41). Le signal  $\overline{WR}$  détermine, par son passage à l'état bas, l'instant de prise en compte de la donnée sur le bus. Son front de validation

intervient 273 ns environ après le dernier front descendant du signal ALE.

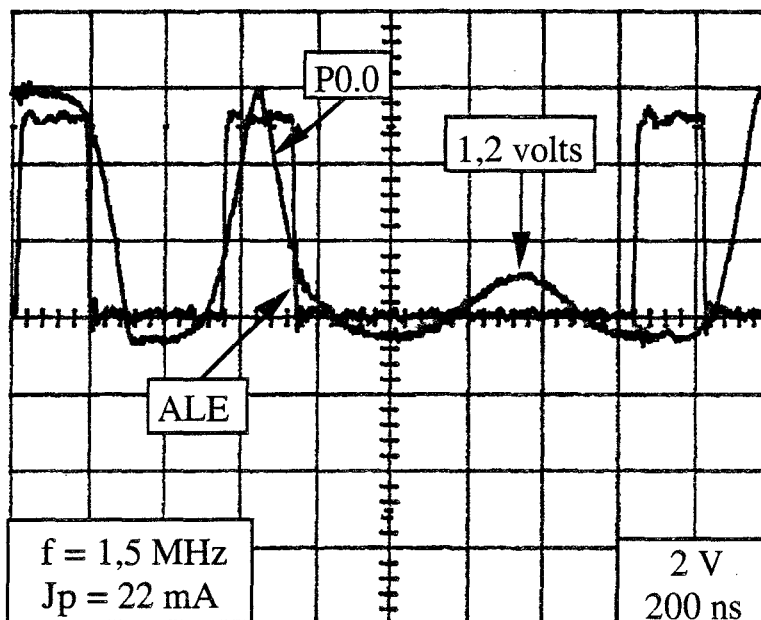


Figure III.41

Si on regarde l'état de la donnée à l'état logique bas, on peut voir que l'amplitude de la tension résiduelle due au perturbateur est de 1,2 volts.

Les mécanismes qui sont à l'origine d'une erreur sur l'état statique de la donnée sont identiques à ceux mis en jeu sur l'adresse au paragraphe III.6. une fois que la condition  $\tau = nT$  est approximativement réalisée.

Pour une injection de courant  $J_p$  de 22 mA, l'équation (III.23) prévoit que la tension  $V_{ind}$  induite sur l'état statique de la donnée vaut

$$V_{ind} = 22 * 30 \cdot 10^{-3} = 1,1 \text{ V crête.}$$

ce qui est en accord avec le relevé expérimental la Figure (III.41).

### III.7.2) INJECTION DE COURANT A 15 MHz

A une fréquence plus élevée, les mécanismes qui vont régir l'apparition d'une erreur sur la donnée vont être identiques aux précédents; La seule différence est que, compte tenu de la fréquence élevée, la durée du perturbateur sera réduite (Figure (III.42)).



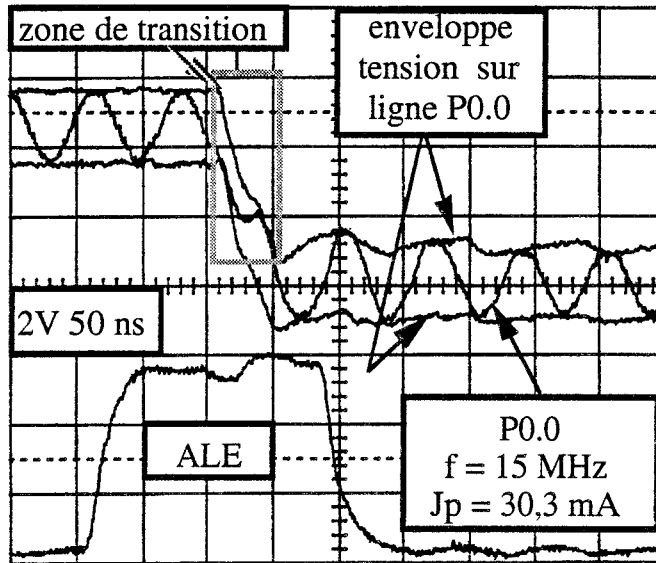


Figure III.42

L'amplitude de la tension induite  $V_{ind}$  sur la donnée déterminée à partir de l'équation (III.23) est de l'ordre de 1,5 -1,6 volts; ce qui est en accord avec les relevés de la Figure (III.42).

## CONCLUSION

La condition d'apparition d'une erreur sur l'adresse à l'état logique bas ou haut, en injection de courant, va dépendre de deux configurations :

- Si l'hypothèse de perturbateurs de grande période est vérifiée, le front de validation du ALE va intercepter la tension sur la ligne P0.0 pendant sa phase de transition haute impédance (état haut) - basse impédance (état bas); cette transition va être plus ou moins modifiée suivant la relation de phase qui va exister entre le perturbateur et l'instant de prise en compte de l'adresse; la vitesse de transition haute-basse impédance va aussi dépendre de l'amplitude du courant perturbateur  $J_p$ .

- Si la fréquence du perturbateur augmente, le courant injecté sur la ligne reliant le microprocesseur et le verrou d'adresse n'est plus identique en tout point de cette ligne; en outre, ce courant reste moins longtemps à sa valeur maximale puisque sa fréquence est plus élevée.

Par conséquent, le signal ALE ne risque plus d'intercepter la tension sur la ligne P0.0 pendant sa transition haute - basse impédance. L'interception de la tension va donc se faire uniquement sur les états basses impédances (statiques) de l'adresse.

Pour des injections de courant dont la période est inférieure au temps de transition  $\tau$ , l'amplitude de la tension induite sur les états basses impédances de l'adresse (resp. de la donnée) ne va dépendre que de la valeur du courant  $J_p$  injecté et de la valeur de la résistance du transistor NMOS (resp. PMOS) dans sa zone résistive.

Si les transistors complémentaires NMOS et PMOS de l'étage de sortie sont symétriques, les mécanismes qui sont à l'origine des erreurs sur l'adresse à l'état logique bas ou haut (respectivement sur la donnée à l'état logique bas ou haut) vont être similaires.

Dans la pratique, le transistor NMOS a souvent un courant de saturation plus important que celui du PMOS. La conséquence immédiate est qu'une information logique, en injection de courant, sera plus perturbée à l'état haut qu'à l'état bas.

*PERTURBATION  
PAR  
COUPLAGE MAGNETIQUE*

---

# 4

# PERTURBATION PAR COUPLAGE MAGNETIQUE

---

## INTRODUCTION

Un système vis à vis d'un champ électromagnétique va se comporter comme une antenne réceptrice qui sera le siège de f.é.m induites dont le résultat sera évidemment la présence d'une tension parasite sur les composants des équipements.

Les variations de tensions ainsi provoquées vont être à l'origine de dysfonctionnements, notamment dans les équipements logiques. Nous allons donc nous intéresser aux mécanismes par lesquels une injection de tension peut entraîner une dégradation des informations qui transitent sur les lignes de dialogue entre un microprocesseur et un de ses périphériques.

#### IV.1) EFFET D'UN INJECTION DE TENSION SUR UNE ADRESSE ET UNE DONNEE A L'ETAT LOGIQUE BAS

Le banc utilisé pour pratiquer cette injection est identique à celui de la Figure (II.36).

En l'absence d'injection de tension, quand le microprocesseur émet la séquence "adresse=0 - donnée=0" (adressage externe), l'évolution de la tension sur la ligne P0.0, par rapport au signal ALE<sup>1</sup>, est représentée sur la Figure (IV.1).

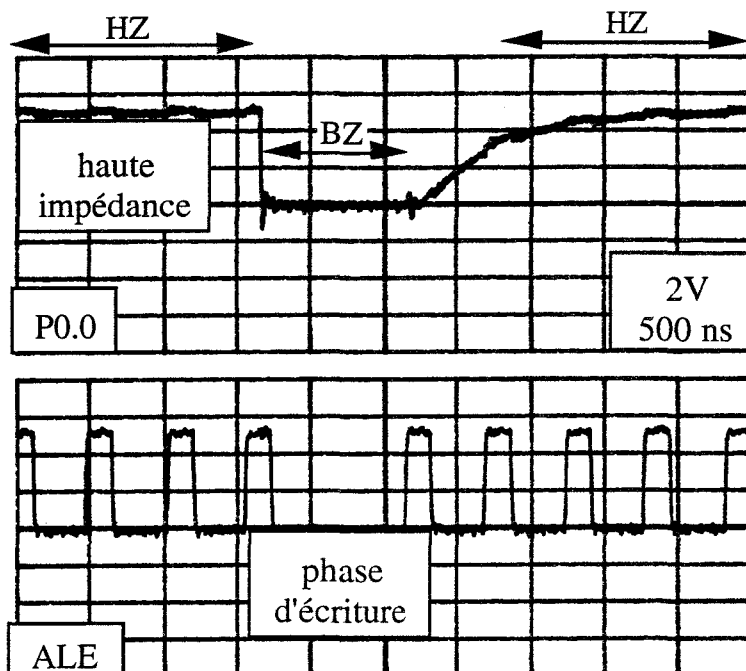


Figure IV.1  
*BZ : basse impédance*  
*HZ : haute impédance*

Si on procède à une injection de tension de 2,24 volts crêtes, par couplage magnétique sur la ligne P0.0, on obtient les courbes de la Figure (IV.2). La fréquence du perturbateur est de 10 MHz.

La première constatation est que toute la tension injectée se trouve entièrement reportée à l'entrée du verrou d'adresse L<sub>1</sub>. La tension en sortie du microprocesseur est pratiquement nulle.

Il y a donc un risque potentiel de validation par le signal ALE d'une adresse erronée si l'amplitude de cette tension série  $\varepsilon$  présente à l'entrée

<sup>1</sup> Adress Latch Enable

du verrou  $L_1$  excède 1,5 volts comme c'est le cas sur la Figure (IV.2). Cette remarque est aussi valable pour la donnée au moment de l'écriture dans une RAM<sup>2</sup>.

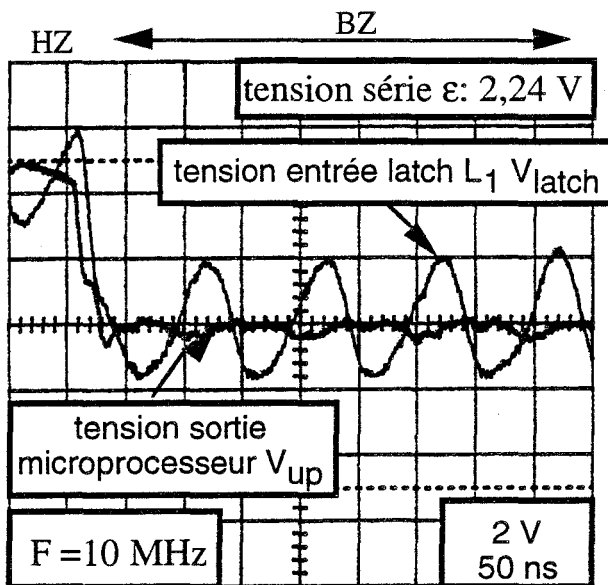


Figure IV.2

La Figure (IV.3) rappelle la configuration d'interconnection des différents composants sur la carte de test.

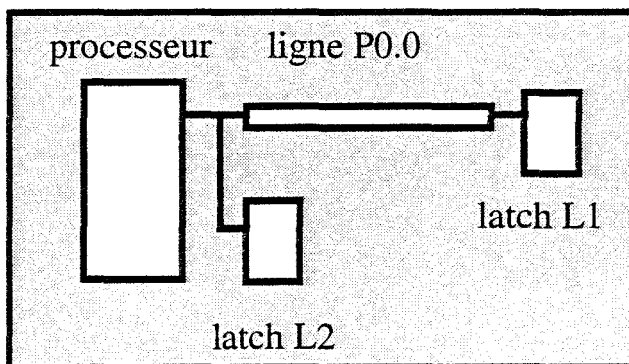


Figure IV.3

<sup>2</sup> Random Access Memory

Compte tenu de la configuration des deux verrous d'adresses  $L_1$  et  $L_2$  sur le banc, on doit s'attendre à voir apparaître en sortie du verrou  $L_1$  un état logique haut. C'est ce que montre la Figure (IV.4) où nous avons relevé l'évolution de la sortie du verrou  $L_1$  et celle du verrou  $L_2$ .

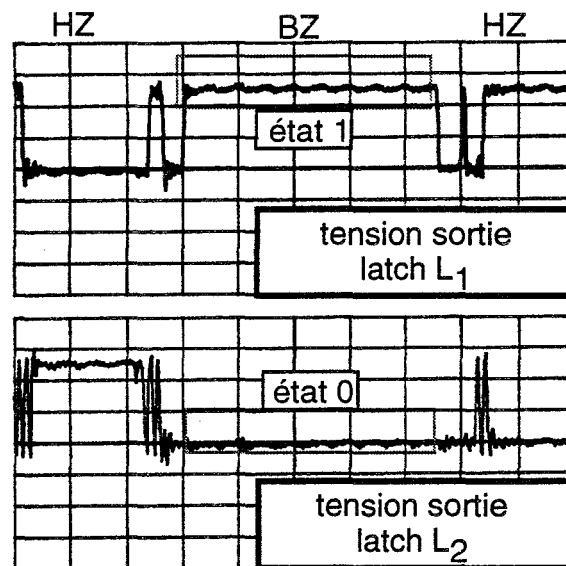


Figure IV.4

*BZ* signifie basse impédance;  
*HZ* signifie haute impédance.

Compte tenu de l'évolution de la tension en sortie du microprocesseur sur la ligne P0.0 (Figure IV.2), le verrou  $L_2$  validera en permanence une adresse à l'état logique bas. L'état logique haut (état 1) présent en sortie du verrou  $L_1$  est corrélé à la relation de phase liant l'instant de validation de l'adresse par le signal ALE et l'instant d'application de la tension perturbatrice (tension série  $\varepsilon$ ). L'erreur sur l'adresse ou la donnée ne va donc pas être systématique.

La disparité de comportement des verrous  $L_1$  et  $L_2$  vis à vis du perturbateur de type injection de tension semble liée à la disproportion des impédances vues aux deux extrémités de la ligne P0.0 . Le paragraphe suivant va être consacré à l'explication de ces mécanismes.

## IV.2) CALCUL DES NIVEAUX DE TENSIONS INDUITES EN SORTIE DU MICROPROCESSEUR ET A L'ENTREE DU VERROU $L_1$

On a rappelé sur la Figure (IV.5) le dispositif de lignes couplées utilisé pour produire la perturbation magnétique.

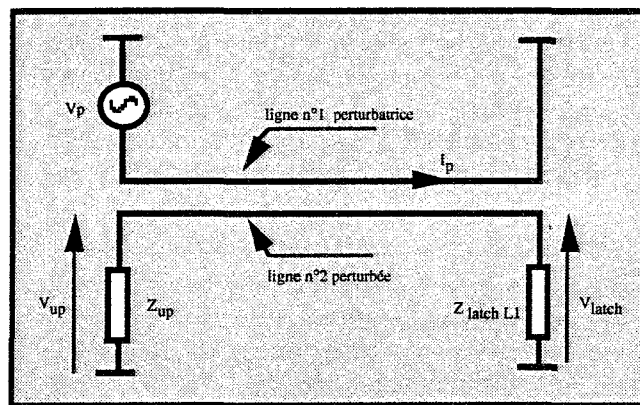


Figure IV.5

$V_p$  est la source de tension sinusoïdale utilisée pour produire le couplage magnétique.

$L_{11}$  est l'inductance propre du bifilaire utilisé (488 nH/m)

$L_{12}$  est l'inductance de couplage entre ces deux fils (157 nH/m)

$Z_{up}$  est l'impédance de sortie du microprocesseur;

$Z_{latch}$  est l'impédance d'entrée du verrou  $L_1$ .

La longueur de la ligne couplée utilisée est de 60 cm.

La circulation du courant  $I_p$ , de la ligne perturbatrice, va donner naissance, par l'intermédiaire de l'inductance de couplage  $L_{12}$ , à une tension série  $\varepsilon$  dont l'expression est donnée ci-dessous.

$$\varepsilon = j \cdot \omega \cdot L_{12} \cdot L \cdot I_p \quad (IV.1)$$

La Figure (IV.6) montre la disposition de la tension injectée entre la sortie du microprocesseur et l'entrée du verrou d'adresse  $L_1$ .



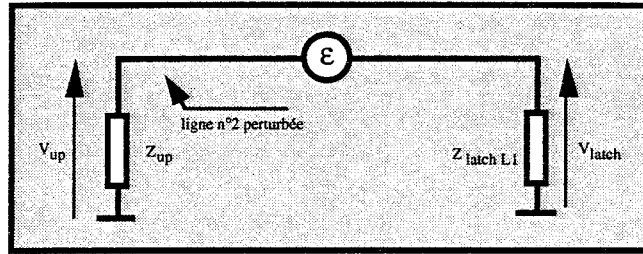


Figure IV.6

Les expressions des tensions respectives en sortie du microprocesseur et à l'entrée du verrou L<sub>1</sub> sont données par les équations (IV.2) et (IV.3)..

$$V_{latch} = \varepsilon \frac{Z_{latch}}{Z_{latch} + Z_{up}} \quad (IV.2)$$

$$V_{up} = -\varepsilon \frac{Z_{up}}{Z_{latch} + Z_{up}} \quad (IV.3)$$

Lors de la validation de l'adresse par le signal ALE, le port de sortie du microprocesseur est en basse impédance c'est à dire que la condition  $Z_{up} \approx$  faible est vérifiée. Par contre, l'impédance d'entrée  $Z_{latch}$  du verrou L<sub>1</sub> demeure élevée par rapport à  $Z_{up}$  ( $Z_{latch} \gg Z_{up}$ ).

Les équations (IV.2) et (IV.3) impliquent par conséquent que

$$V_{latch} \approx \varepsilon \quad (IV.4)$$

$$V_{up} \approx 0 \quad (IV.5)$$

Toute la tension injectée se retrouve à l'entrée du verrou d'adresse  $L_1$ .

Il n'y aura donc pas d'erreur sur l'adresse mémorisée par le verrou  $L_2$  directement branché en sortie du microprocesseur.

On peut néanmoins se demander s'il est possible, pour des niveaux de tension injectée plus importants, d'engendrer une erreur d'adressage en sortie du verrou  $L_2$ ?

Pour répondre à cette question, nous allons étudier en détail l'évolution de la tension  $V_{up}$  en sortie du microprocesseur et de la tension  $V_{latch}$  à l'entrée du verrou  $L_1$ .

### IV.3) COMPORTEMENT DE LA TENSION $V_{UP}$ ET $V_{L1}$

Si on effectue un agrandissement des courbes de la Figure (IV.2), on peut voir que la tension  $V_{up}$  en sortie du microprocesseur a une allure fortement liée à l'évolution de celle à l'entrée du verrou  $L_1$  (Figure IV.7).

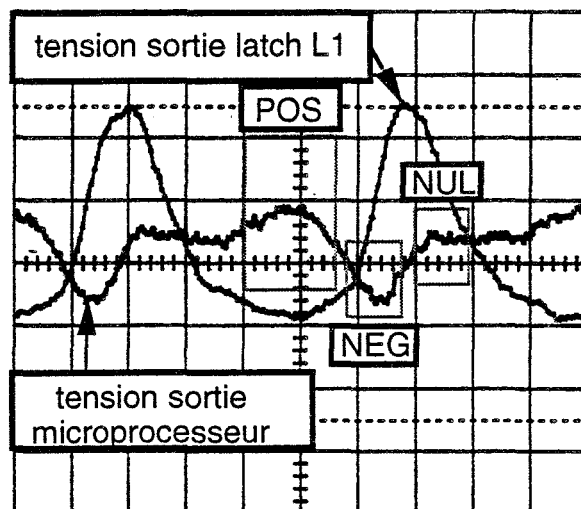


Figure IV.7 injection de tension  $F=10$  MHz  
tension entrée latch  $L_1$ : 1 V 20ns  
tension sortie microprocesseur : 1 V 20 ns

Nous avons vu que quand on procède à une injection de tension, toute la tension induite devrait se retrouver à l'entrée du verrou  $L_1$  quand le microprocesseur est en basse impédance.

**a)** Supposons qu'à l'instant où nous regardons les formes d'ondes sur la ligne P0.0, cette tension  $\varepsilon$  soit négative ( $\varepsilon < 0$ ). Comme le montre la Figure (IV.8), à cause des diodes de protection en entrée du verrou  $L_1$ , cette tension est écrêtée à environ -0,7 à -0,8 volts. Le schéma ci-dessous montre les différents éléments à prendre en compte ainsi que les courants et tensions présents.

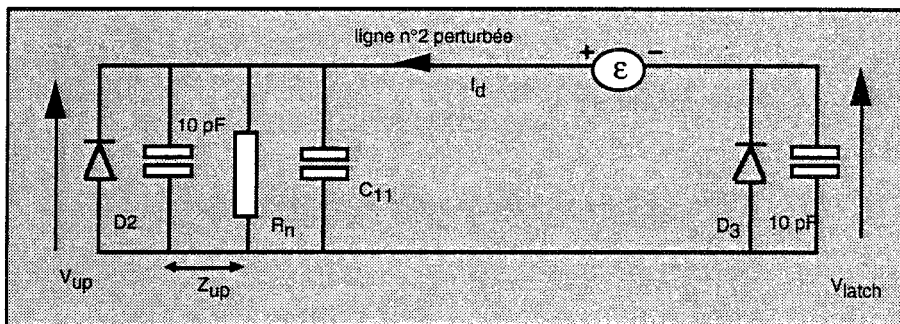


Figure IV.8

Compte tenu de la faible valeur de la résistance dynamique de la diode  $D_3$ , l'influence de la capacité  $C_{11}$  de la ligne est négligeable à l'entrée du verrou  $L_1$ .

L'entrée en conduction de la diode  $D_3$  va entraîner la circulation d'un courant noté  $I_d$  vers la sortie du microprocesseur quand il passe en basse impédance.

A une fréquence de 10 MHz, compte tenu de l'impédance des différentes capacités, le schéma de la Figure IV.7 se réduit à celui de la Figure IV.9.

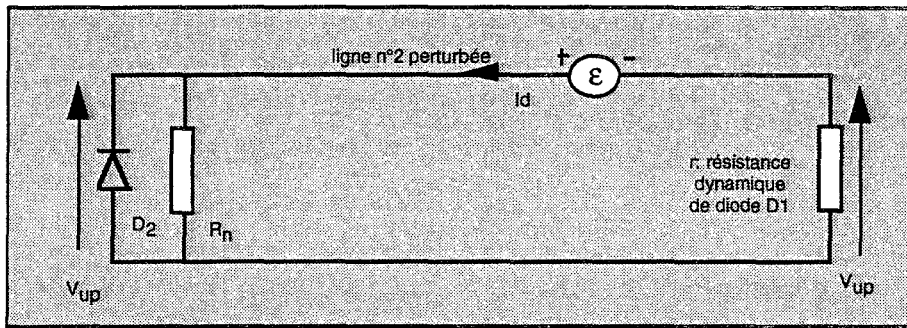


Figure IV.9

$R_n$  est la résistance du transistor NMOS (resp. PMOS) de l'étage de sortie concerné.

$r$  est la résistance dynamique de la diode  $D_3$ .

Le circuit de protection habituel en entrée des composants CMOS est représenté sur la figure (IV.10).

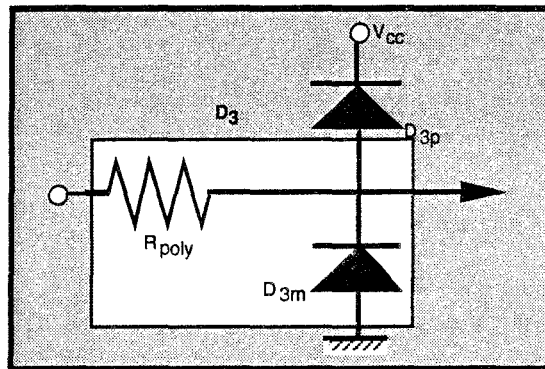


Figure IV.10

La diode  $D_3$  est équivalente à l'association " $R_{poly} - D_{3m}$ "

L'évaluation de sa résistance dynamique  $r$  revient à déterminer la valeur de la résistance  $R_{poly}$  quand la diode  $D_{3m}$  est passante. Elle est de l'ordre de  $140 \Omega$ .

La circulation du courant  $I_d$  va entraîner une augmentation de potentiel  $V_{up}$  en sortie du microprocesseur telle que

$$V_{up} = R_n I_d \quad (IV.6)$$

Cela correspond à la zone notée **POS** sur la Figure IV.7.

L'amplitude de la tension  $V_{up}$  relevée sur la Figure (IV.7) est de 0,6 volts.

La valeur de  $I_d$  déduite de l'équation (IV.6) est donc de l'ordre de 12 mA crête pour une résistance de sortie  $R_n$  du microprocesseur de l'ordre de 50  $\Omega$ .

**b)** Quand la tension  $\varepsilon$  aux bornes de la diode  $D_3$  croit, celle-ci tend à se bloquer et le courant  $I_d$  diminue; par conséquent la tension  $V_{up}$  en sortie du microprocesseur diminue aussi ( conformément à l'équation IV.6).

Une fois que la diode  $D_3$  est bloquée, ( $\varepsilon > -0,7$  volts), la tension  $V_{up}$  doit s'annuler puisque le courant  $I_d$  est nul et elle doit le rester jusqu'à ce que la diode  $D_3$  entre de nouveau en conduction.

Ce n'est pas ce qu'on constate sur la Figure IV.7 où la tension  $V_{up}$  passe par une brève phase transitoire ( zone **NEG**).

Comment peut-on expliquer ce comportement?

Si on regarde plus attentivement ce qui se passe, on se rend compte que quand la diode  $D_3$  se bloque, les capacités parasites présentes à ses bornes sont chargées à  $-0,7 \sim -0,8$  volts (Figure IV.11).

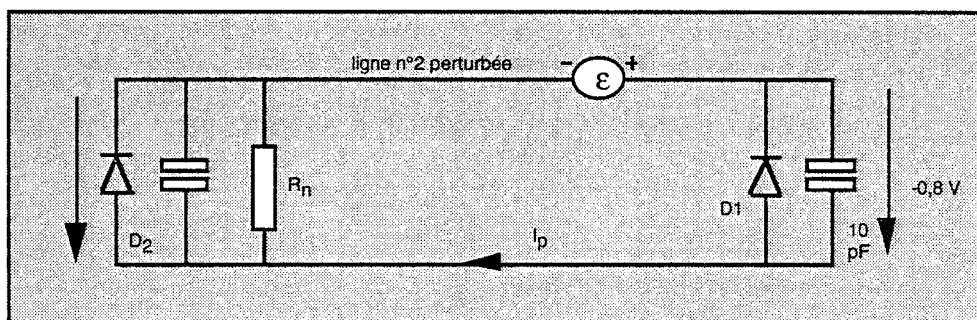


Figure IV.11

Pour que ces capacités  $C_p$  se déchargent, il faut que le courant initial  $I_p$  change de sens de circulation.

C'est ce qui se passe quand la tension  $\varepsilon$  tend à devenir positive aux bornes de  $D_3$  et que celle-ci se bloque; les capacités  $C_p$  se mettent à débiter un courant  $I_p$  à l'instant où la diode  $D_3$  commence à se bloquer. La circulation de  $I_p$  entraîne en sortie du microprocesseur la présence d'une tension  $V_{up}$  telle que

$$V_{up} = -RI_p. \quad (IV.7)$$

Ce processus correspond à la zone **NEG** de la Figure (IV.7) .

En principe, une fois cette phase terminée, il ne doit plus y avoir de courant sur la ligne jusqu'à ce que la diode  $D_3$  ne redevienne conductrice. Par conséquent la tension  $V_{up}$  doit être pratiquement nulle (zone **NUL** de la Figure IV.7). Il existe cependant une faible tension résiduelle de 200mV à 300 mV crêtes en sortie du microprocesseur, due probablement à des courants capacitifs.

La Figure (IV.12) montre le courant relevé en sortie immédiate du microprocesseur. Les différentes zones de fonctionnement figurant sur la Figure (IV.7) y sont reportées. L'évolution du courant explique assez bien le comportement de la tension  $V_{up}$  de la Figure (IV.12).

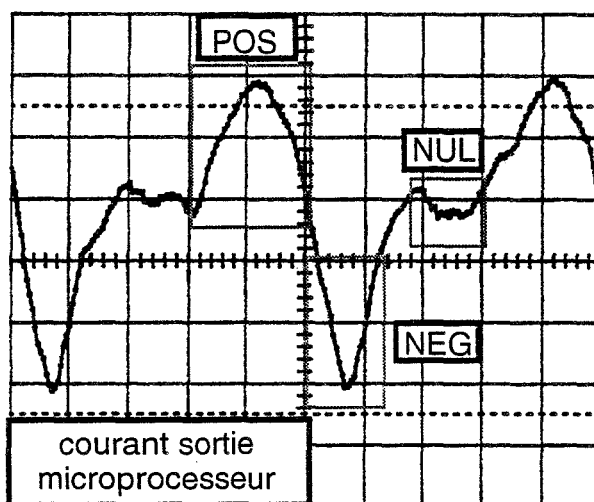


Figure IV.12

La condition pour que le verrou  $L_2$  puisse valider une adresse erronée est

$$V_{up} \geq 1,5 \text{ volts (O}_{max} \text{ CMOS)} \quad (\text{IV.8})$$

*Deux cas de figures sont à prendre en compte:*

**1) le réseau de protection  $D_3$  n'agit pas : l'entrée du verrou  $L_1$  est en haute impédance.**

D'après les équations (IV.2) et (IV.3)

$$|V_{up}| \approx 0 \quad (\text{IV.9})$$

$$|V_{latch}| \approx \varepsilon \quad (\text{IV.10})$$

Le verrou  $L_2$  branché directement en sortie du microprocesseur ne pourra pas valider une adresse erronée .

**2) le réseau de protection  $D_3$  agit : l'entrée du verrou  $L_1$  est alors en basse impédance.**

L'impédance d'entrée du verrou  $L_1$  passe en basse impédance quand la tension induite, par couplage magnétique sur son entrée, est telle que la diode équivalente  $D_3$  s'amorce (Figure (IV.10)). Cette situation correspond à la zone **POS**. La tension  $V_{latch}$  dans ces conditions est négative.

L'impédance d'entrée du verrou d'adresse  $L_1$  est globalement équivalente à la valeur de la résistance  $R_{poly}$  ( $\sim 150 \Omega$ ) de la Figure (IV.10).

En appliquant les équations (IV.2) et (IV.3) pour  $Z_{latch} \approx 150 \Omega$  et  $Z_{up} \approx 50 \Omega$ , avec les conventions de signe adéquates sur la tension série  $\varepsilon$ , on trouve

$$V_{\text{latch}} = -\frac{3}{4}\varepsilon \quad (\text{IV.11})$$

$$V_{\text{up}} = \frac{1}{4}\varepsilon \quad (\text{IV.12})$$

La condition pour que le verrou  $L_2$  valide une information erronée est

$$V_{\text{up}} \geq 1,5 \text{ volts}$$

soit

$$\varepsilon \geq 6 \text{ volts}$$

Cette condition est valable pour les composants dont le circuit de protection en entrée est conforme à celui de la Figure (IV.10).

Il est évident que si la résistance  $R_{\text{poly}}$  est nulle, la tension perturbatrice  $\varepsilon$  nécessaire pour que le verrou d'adresse  $L_2$  valide une adresse erronée (ou une donnée erronée) va être de l'ordre de 2,2 volts; Cette valeur inclue d'une part la tension maximale qui garantie un état bas sur les composants CMOS (1,5 volts); d'autre part elle intègre la tension nécessaire à la polarisation de la diode  $D_{3m}$  de la Figure (IV.10) ( $\sim 0,7$  volts).

Pour des valeurs de fréquence plus élevée, cette conclusion reste valable.

Il faut en outre remarquer que l'utilisation d'une sonde peut perturber le signal à observer. Par conséquent, dans la détermination des équations (IV.9) et (IV.10), il faut tenir compte de la capacité de 15 pF que ramène la sonde en parallèle sur le point de mesure, notamment à l'entrée du verrou  $L_1$ .

Dans le cas présent, leurs influences peuvent être négligées.



#### IV.4) CONDITION D'ERREUR SUR L'ADRESSE OU SUR LA DONNEE

Quand la sortie du microprocesseur est en basse impédance, toute la tension série  $\epsilon$  injectée se retrouve à l'entrée du verrou  $L_1$  comme le montre les oscillogrammes de la Figure (IV.13).

L'amplitude de la tension  $\epsilon$  restant inférieure à 6 volts crêtes, le verrou  $L_2$  ne validera pas d'informations erronées. Nous nous intéresserons uniquement au verrou  $L_1$ .

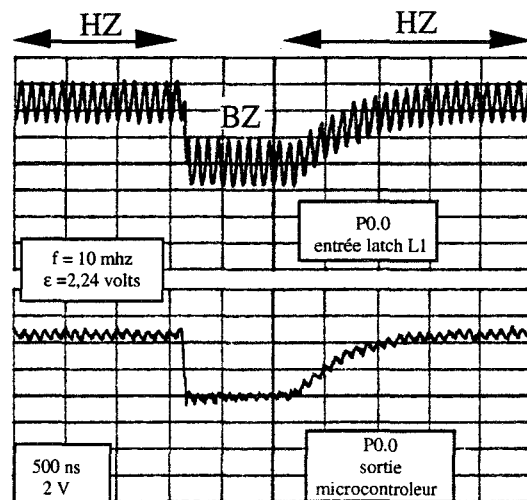


Figure IV.13

En injection de tension, les mécanismes d'apparition de défauts sur l'adresse ou sur la donnée sont plus simples qu'en injection de courant. Il n'y a pas détection de fausse adresse ou de fausse donnée si la résultante  $V_{ind}$  de la tension série  $\epsilon$  induite et des niveaux sur les états basses impédances (état 1 ou état 0), n'excède pas 1,5 volts; c'est-à-dire si la condition

$$V_{ind} \leq 1,5 \text{ volts et } V_{ind} \geq 3,5 \text{ volts} \quad (\text{IV.8})$$

est vérifiée.

Si cette condition ne l'est pas, la possibilité d'une d'erreur sur l'adresse et/ou sur la donnée existe.

La relation de phase liant l'instant d'apparition du perturbateur et l'instant de validation de l'adresse par le ALE est un paramètre important. Il en est de même pour la relation de phase entre le signal perturbateur et le signal d'écriture  $\overline{WR}$ .

La Figure (IV.14) montre le passage à l'état haut de la sortie du verrou  $L_1$  en fonction du signal présent sur son entrée.

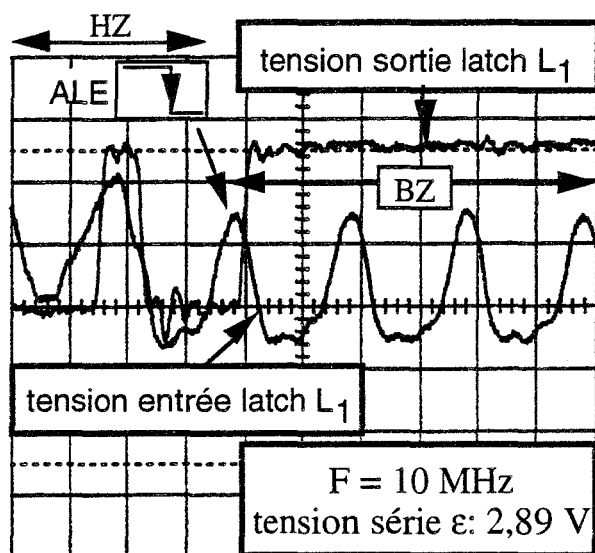


Figure IV.14

Pour trouver la condition la plus défavorable pour que se produise une erreur d'adressage ou de donnée, on a du enregistrer les séquences "adresse - donnée" au moyen d'un oscilloscope numérique. Cette méthode, si elle s'avère intéressante à mettre en oeuvre pour révéler les phénomènes perturbateurs, est cependant peu souple d'emploi lorsqu'on veut pratiquer un test systématique et notamment connaître l'évolution des erreurs en fonction de l'amplitude du perturbateur.

Pour résoudre ce problème, nous avons tenté d'approcher la sensibilité au moyen d'une méthode expérimentale basée sur la recherche statistique d'erreurs que nous allons relier à l'amplitude du perturbateur. Cette méthode est exposée au prochain chapitre.

## BIBLIOGRAPHIE

- [1] P. BURTON"  
Designing Microprocessors based equipment for immunity from Electrical Interference "  
Microprocessors and Microsystems, July - Aug. U. K., 1988, vol 12, n° 6, pp 309-16
- [2] J. B. SALWAY and A. J. SAUNDRES  
"EMC and Interference Control in a Microprocessor base Equipment "  
IEE Colloquium , 14 june 1990
- [3] M. H. THURLOW  
"Susceptibility Characteristics of Microprocessors and LSI Technologies "  
Electromagnetic Interference Problems in Microprocessor System,  
2 April 1986, USA
- [4] Naoji AKINO  
" Measuring Electromagnetic Interference and Making Devices to Overcome it"  
Feature Articles/Noise Elimination, JEE, November 1983
- [5] P. R. MEASEL and Al  
" Development of a hard microcontroller "  
IEEE Transactions on Nuclear Science, Dec 1976, vol 23, n° 6, pp 1738-42
- [5] Joseph TRONT "  
Predicting Unwanted Radio-Frequency Upset of MOSFET Digital IC's"  
IEEE Transactions on Electromagnetic Compatibility, vol EMC 27, n° 2, May 1985
- [6] S. CANIGGIA "  
EMC Design of Digital Systems using Macromodelling Procedures for integrated Circuits and their Interconnections "  
4<sup>th</sup> Symposium and Technical Exhibition on EMC, Zurich, 1983

- [7] J. C. SABONNADIÈRE, Ph AURIOL  
"Principales Méthodes de Calcul des Régimes Transitoires dans les Réseaux THT" Revue Générale de l'Electricité, n°11, nov 1973, pp 718-727
- [8] JOHN P. UYEMURA  
" Fundamentals of MOS Digital Integrated Circuits"  
Addison -Wesley Serie in Electrical and Computer Engineering
- [9] K. DOGBE  
Contribution à la mise en oeuvre et à l'interprétation de protocoles d'essais destinés à vérifier la susceptibilité de cartes logiques sécuritaires"  
Rapport de DEA, Juillet 1991
- [10] Michel MARDIGUIAN  
"Electromagnetic Interference Test Methodology and Procedures"  
A Handbook series on Electromagnetic Interference and Compatibility,  
vol 6, Printed by Interference Control Technologies, Inc, Virginia 1988
- [11] C. LARDE  
" Etude expérimentales du comportement des circuits intégrés logiques soumis à des perturbations électromagnétiques"  
Thèse de Doctorat en Electronique, Université de Lille, Décembre 1991
- [12] Marco KLINGLER  
"Etudes phénoménologiques de la sensibilité électromagnétique de composants logiques implantés sur circuits imprimés"  
Thèse de Doctorat en Electronique, Université de Lille, Octobre 1992
- [13] Bernardin COUDORO  
"Etude phénoménologique de la sensibilité des circuits logiques fonctionnant en régime dynamique soumis aux effets induits par des champs électromagnétiques"  
Thèse de Doctorat en Electronique, Université de Lille, Octobre 1993

- [14] J.J. LAURIN, K. BALMAIN, G. ZAKY  
"Modeling of field-exposed digital circuits for the prediction of EMI Immunity"  
10th International Zurich Symp. and Technical Exhibition on EMC,  
11 March 1993
- [15] Bruno HEDDEBAUT  
"Etude phénoménologique et modélisation du comportement ds fonctions logiques élémentaires TTL et CMOS soumises à des perturbations induites par des couplages électromagnétiques"  
Thèse de Doctorat en Electronique, Université de Lille, Septembre 1992
- [16] J. BAUDET, B. COUDORO, K. DOGBE et B. DEMOULIN  
"Electromagnetic interference effects on electronic equipment functions installed in vehicles"  
International Symposium on Technological Innovation in Guided Transports -28-29-30 September 1993 Lille -France
- [17] J. BAUDET, B. COUDORO, K. DOGBE, B.DEMOULIN: et P. DEGAUQUE  
"Disturbing effects on digital integrated circuits"  
XXIVth General Assembly of the International Union of Radio Science,  
August 25-September 2, 1993 Kyoto, Japan,
- [18] EVERETT  
"Microprocessor susceptibility to RF signals-experimental results"  
Conference Proceedings of IEEE April 1984, EMC IEEE 1988
- [19] K. DOGBE, J. BAUDET et B. DEMOULIN  
"Etude de perturbations en injection de courant sur les liaisons entre un microcontrôleur et ses périphériques"  
Rapport de contrat INRETS-USTL n° B409021 du 22 Décembre 1992
- [20] K. DOGBE, J. BAUDET et B. DEMOULIN  
"Etude des effets produits par des perturbations électromagnétiques agissant sur les bus d'informations reliant un microprocesseur à son milieu extérieur"  
Rapport de contrat INRETS-USTL n° 401 93 227 du 14 Mars 1994

[21] R. KOGA and Al  
"Techniques of microprocessor testing and single event rate prediction"  
IEEE Transactions on Nuclear Sciences, Vol Ns-32, n° 6, December 1985

[21] S. CANIGGIA  
"EMC design of digital system using macromodelling procedures for ICs  
and their interconnections"  
EMC Symp., ZURICH, March 1983

[21] RGE ( Revue Générale de l'Electricité) n° 11, 1991

*ETUDE  
STATISTIQUE*



---

# 5

# ETUDE STATISTIQUE

---

## INTRODUCTION

L'étude phénoménologique a montré que pour produire une erreur d'adressage ainsi que des erreurs sur les données, il faut que certaines conditions soient requises.

En particulier, les conditions de phase liant d'une part le perturbateur à l'instant de validation de l'adresse; d'autre part la condition reliant la période du perturbateur au retard introduit entre l'instant de validation d'une adresse et celle de la donnée.

On peut envisager à ce stade de multiples combinaisons qui feraient que lors d'une perturbation, on pourra produire trois type d'anomalies.

- une donnée erronée à une bonne adresse;
- une donnée valide à une adresse erronée;
- une donnée erronée à une adresse erronée.

L'étude de ces combinaisons est évidemment fastidieuse si on procède à des mesures sur oscilloscope. Pour cette raison, on a préféré résoudre cette difficulté au moyen d'une approche statistique permettant de tenir compte du caractère quasi-aléatoire du perturbateur.

La ligne d'échange d'informations sera perturbée par le dispositif à lignes couplées pendant que le microprocesseur tentera d'écrire en mémoire externe la donnée 0 à l'adresse 0.

Nous pourrons ainsi connaître les effets de la perturbation en terme de probabilité d'erreur. Ceci en fonction du mode de couplage électromagnétique, de l'amplitude du perturbateur et de sa fréquence.

## V.1) BANC DE MESURE

Le banc utilisé est partiellement identique à celui mis en oeuvre en injection de courant ou de tension. La différence essentielle réside dans l'adjonction d'une RAM de grande capacité (1 méga bits) en sortie des verrous d'adresses ( Figure V.1).

Nous nous sommes limités à une capacité portant sur 64 Koctets car c'est la capacité maximale d'adressage intrinsèque du microprocesseur. Nous avons estimé que le volume d'informations traitées est suffisant pour aboutir à une information statistiquement réaliste en ce qui concerne les taux d'erreur sur les adresses et les données. Cependant, si cela s'avérait nécessaire, quelques modifications mineures du banc permettraient facilement de doubler ce chiffre.

Les valeurs d'adresses et leurs contenus respectifs sont transférés par liaison série vers un ordinateur où s'effectue le tri. Une vitesse de transfert de 19200 bauds permet de gérer 65536 octets en 28 secondes environ, ce qui paraît raisonnable. L'analyseur de protocole comme son nom l'indique permet de vérifier en outre que le protocole (RS232 ) et la vitesse de transmission de 19,2 Kbauds sont bien respectés.

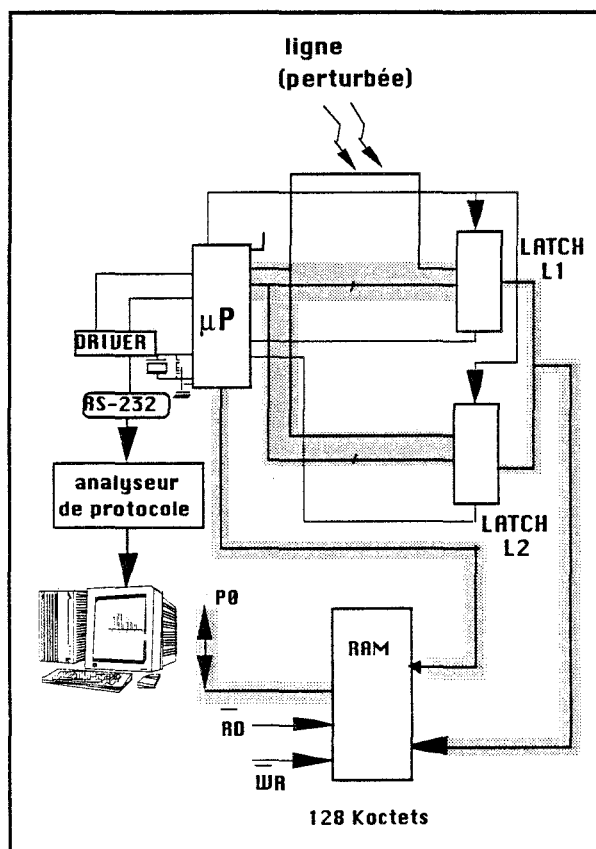


Figure V.1

## V.2) PROTOCOLE DE GESTION DE LA RAM

Si on veut entreprendre une étude statistique sur les erreurs qui apparaîtront lors de l'écriture de la donnée 0 à l'adresse 0, il faut que le microprocesseur puisse émettre cette séquence un nombre suffisant de fois.

Or dans une RAM, il n'y a qu'une seule case mémoire d'adresse 0. Il faut donc trouver une méthode permettant de contourner cette difficulté.

- une première méthode de test envisageable est de lancer l'écriture de la donnée 0 à l'adresse 0 pendant qu'un perturbateur est appliqué. Ensuite, une fois l'écriture terminée, on va lire à l'adresse 0 de la mémoire la valeur de la donnée qui est inscrite.

L'inconvénient de cette méthode (fastidieuse) est qu'il faut recommencer l'émission de la séquence "adresse = 0 - donnée = 0" à chaque application du perturbateur; de plus, on risque d'être perturbé par les transitoires dus aux manoeuvres de la source perturbatrice.

- une deuxième méthode consiste à simuler l'écriture de la donnée 0 à l'adresse 0 sur un nombre conséquent de cases mémoires tout en maintenant le perturbateur en action.

Pour cela, il suffit d'écrire uniquement dans les cases mémoires d'adresse paire. En effet, leur bit de poids faible est à 0 et comme nous ne perturbons que la ligne P0.0 du port P0, tout se passe comme si on écrivait dans ces cases d'adresse paire la donnée 0 à l'adresse 0.

Le protocole retenu consiste à préalablement charger la mémoire avec la valeur hexadécimale FFH. Le cycle de chargement de la donnée 0 se fera sur les adresses d'ordre pair. Une transmission non perturbée fera que toutes les adresses paires contiendraient la donnée 0 et toutes les adresses impaires la donnée FFH.

Cette méthode va nous permettre de discerner les erreurs d'adresses de celles des données; par exemple toute valeur autre que la donnée hexadécimale FFH trouvée à une adresse d'ordre impaire indiquera une erreur d'adresse.

Quand on injecte une perturbation sur une ligne, il faut donc écrire dans une case sur deux dans la mémoire; on peut sans difficulté généraliser le procédé à la perturbation de N lignes.

En effet, si on perturbe N lignes, compte tenu du fait que les erreurs qui apparaîtront sur les adresses (et les données) seront comprises entre les valeurs hexadécimales de 00 et  $2^N$ , il faut donc écrire dans les cases de numéros paires et ce toutes les  $2^N$  cases.

Par exemple

si  $N=2$ , il faut écrire dans une case sur quatre ( $2^2$ );

si  $N=8$ , " " sur 256 ( $2^8$ ) ...etc

### V.3) DEFINITION DES DIFFERENTES PROBABILITES

La mesure va donc consister pour une fréquence donnée du perturbateur, à regarder l'évolution du taux d'erreur sur les adresses ou sur les données en fonction de l'amplitude de ce perturbateur. Le taux d'erreur sera caractérisé par quatre probabilités.

$$1) \quad p_1 = \frac{N_1}{N} \quad (V.1)$$

$p_1$  : probabilité d'écrire la bonne donnée à la bonne adresse.

$N_1$  correspond au nombre de couples adresses - données non perturbées alors que  $N$  va être le nombre de couples transmis sur la ligne P0.0.

$$2) \quad p_2 = \frac{N_2}{N} \quad (V.2)$$

$p_2$  est la probabilité d'écrire la bonne donnée à une adresse erronée.

$N_2$  correspond alors au nombre d'adresses perturbées sachant que la donnée correspondante est bonne.

$$3) \quad p_3 = \frac{N_3}{N} \quad (V.3)$$

$p_3$  : probabilité d'écrire une donnée erronée à une bonne adresse.

$N_3$  donne le nombre de données perturbées trouvées à la bonne adresse.

$$4) \quad p_4 = \frac{N_4}{N} \quad (V.4)$$

$p_4$  est la probabilité d'avoir à la fois une erreur sur l'adresse et sur la donnée c'est à dire de trouver une donnée erronée à une fausse adresse.  $N_4$  correspond donc au couple adresse-donnée erronées.

Les probabilités  $p_1, p_2, p_3$  et  $p_4$  sont des probabilités conditionnelles. Si on note  $p(d=d_i/a=a_j)$  la probabilité d'avoir une donnée égale à  $d_i$  sachant que l'adresse est égale à  $a_j$  avec  $d_i \in (0,1)$  et  $a_j \in (0,1)$ , on peut écrire que

$$p_1 = p(d=0/a=0) \quad (\text{V.1 bis})$$

$$p_2 = p(d=1/a=0) \quad (\text{V.2 bis})$$

$$p_3 = p(d=0/a=1) \quad (\text{V.3 bis})$$

$$p_4 = p(d=1/a=1) \quad (\text{V.4 bis})$$

La somme de toutes ces probabilités, pour une amplitude donnée du perturbateur, est égale à 1.

$$\sum_{(a_i, d_i) = (0,1)} P(a=a_i / d=d_i) = 1 \quad (\text{V.5})$$

Les expériences seront menées successivement avec un perturbateur en couplage magnétique c'est à dire en injection de tension et en couplage électrique (injection de courant).

Les résultats seront représentés sous forme d'histogrammes où on portera en ordonnée la probabilité et en abscisse l'amplitude du perturbateur.

Ce dernier sera caractérisée par la valeur crête des sources de tensions induites sur la ligne P0.0 lorsqu'il s'agira du couplage magnétique et par la valeur crête des sources de courant induites sur la ligne P0.0 en couplage électrique.

Ces paramètres seront déduits indirectement de l'amplitude des sources appliquées sur la ligne émettrice.

## V.4) DISTRIBUTION DES ERREURS LORS D'UNE PERTURBATION PAR COUPLAGE MAGNETIQUE

Les mesures ont été faites à 11 MHz et 20 MHz. Le choix de ces fréquences est lié aux raisons suivantes:

- Nécessité de réaliser des perturbations aux fréquences proches de celle du quartz du microprocesseur;

- Eviter que les fréquences de la tension perturbatrice ne soient multiples les unes des autres de façon à ce que les mécanismes de génération d'erreurs ne soient strictement en synchronisme.

### V.4.1) PERTURBATION A 20 MHz

La figure (V.2) représente l'évolution de la probabilité  $p_1$  d'écrire une bonne donnée à une bonne adresse en fonction de l'amplitude de la tension  $\varepsilon$  injectée.

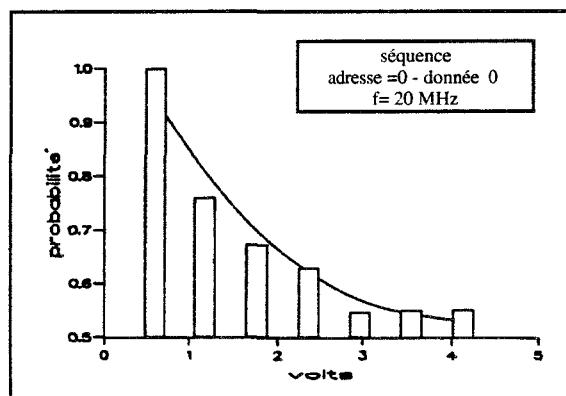


Figure V.2 perturbation par couplage magnétique  $F = 20$  MHz

$$p_1 = p(d=0 / a=0)$$

On constate que celle-ci décroît quand l'injection de la tension  $\varepsilon$  augmente. Elle semble évoluer, à fort niveau du perturbateur, vers une limite qu'on peut situer à  $p_1 = 0,5$ .

La Figure (V.3) représente l'évolution de la probabilité  $p_2$  c'est à dire la probabilité d'écrire la donnée 1 à l'adresse 0 sachant qu' initialement on veut écrire la donnée 0 à l'adresse 0.

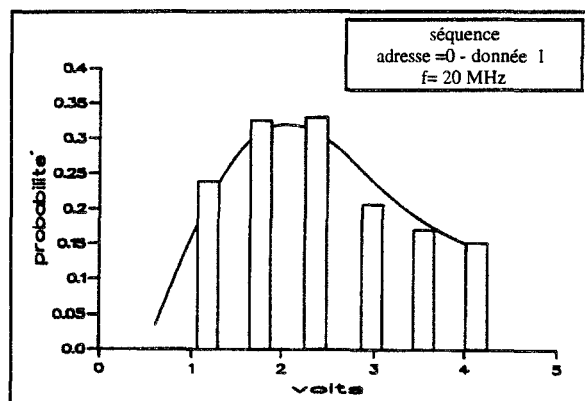


Figure V.3 perturbation par couplage magnétique F= 20 MHz  
 $p_2 = p(d=1 / a=0)$

L'histogramme de la Figure (V.3) donne donc le taux d'erreur sur la donnée seule. Cette probabilité passe par un maximum d'environ 0,3 pour une injection de tension de 2 volts puis décroît lorsque le perturbateur augmente d'amplitude.

Cette décroissance s'explique par le fait qu'une injection de tension de 2,5 volts correspond à un seuil au dessus duquel la probabilité d'engendrer des adresses erronées s'accroît fortement. Ce comportement est bien traduit par l'histogramme de la Figure (V.4) qui décrit l'évolution de la probabilité  $p_3$  d'écrire une bonne donnée à une adresse erronée.

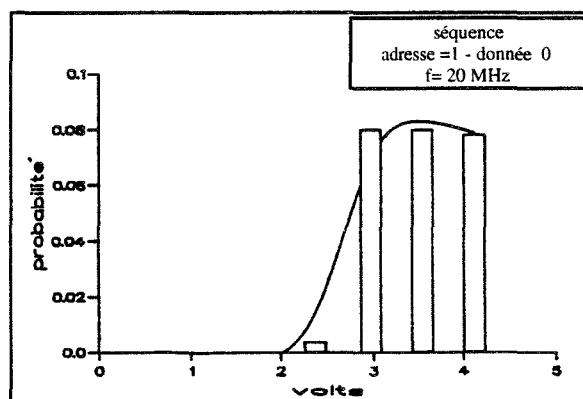


Figure V.4 perturbation par couplage magnétique F= 20 MHz  
 $p_3 = p(d=0 / a=1)$

Ces faits sont confirmés par les données portées dans le Tableau 1. Il indique les marges constructeurs à respecter pour que le verrou et la RAM détecte un état 1 ou un état 0 .

	$V_{IL}$ input low voltage		$V_{IH}$ input high voltage	
	min	max	min	max
VERROU	-	1,2	3,15	-
RAM	-0,3	0,8	2,2	$V_{dd}-0,3$

TABLEAU V.1

Le seuil maximum garantissant le niveau bas ( $V_{IL}$  max : input low voltage) des données chargées dans la RAM est de 0,8 volts. C'est donc à partir de ce seuil qu'on doit enregistrer un accroissement important des erreurs sur la donnée; ce qui est bien justifié par l'histogramme de la Figure (V.3).

Le niveau de 2,2 volts correspond au seuil minimum garantissant un niveau haut sur la RAM. Lorsque la tension injecté approche de cette valeur, on doit logiquement tendre vers une saturation du taux d'erreur sur les données. C'est ce que montre l'histogramme de la Figure (V.3) où la probabilité  $p_2$  passe par un maximum de 0,3.

La décroissance de la probabilité  $p_2$  est en partie due à l'augmentation rapide des erreurs sur l'adresse comme le montre la Figure (V.5), à partir d'un seuil de tension de 3 volts. Cette valeur correspond au seuil minimal garantissant un état haut sur le verrou d'adresse (Tableau V.1).

Une fois que ces deux seuils sont franchis, on observe une variation rapide dans l'évolution de la probabilité  $p_4$  qui représente la probabilité d'écrire une donnée erronée à une fausse adresse. La Figure (V.5) montre un exemple de cette évolution.



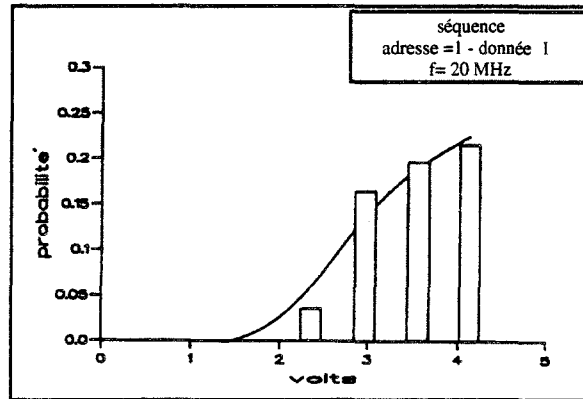


Figure V.5 perturbation par couplage magnétique F= 20 MHz  
 $p_4 = p(d=1 / a=1)$

IV.4.2) PERTURBATION A 11 MHz

Les différentes évolutions constatées sur les probabilités  $p_1$ ,  $p_2$ ,  $p_3$  et  $p_4$ , se retrouvent à la fréquence de 11 MHz. Le choix de cette fréquence a été guidé par le fait que nous voulions éviter de faire des injections de perturbations à des fréquences qui seraient multiples l'une de l'autre. Ceci afin d'éviter que les mécanismes régissant l'apparition des erreurs sur les adresse et les données ne soient cycliques et corrélés.

Les Figure (V.6), (V.7), (V.8) et (V.8) présentent les histogrammes correspondant à l'évolution de chacune des probabilités précédemment citées.

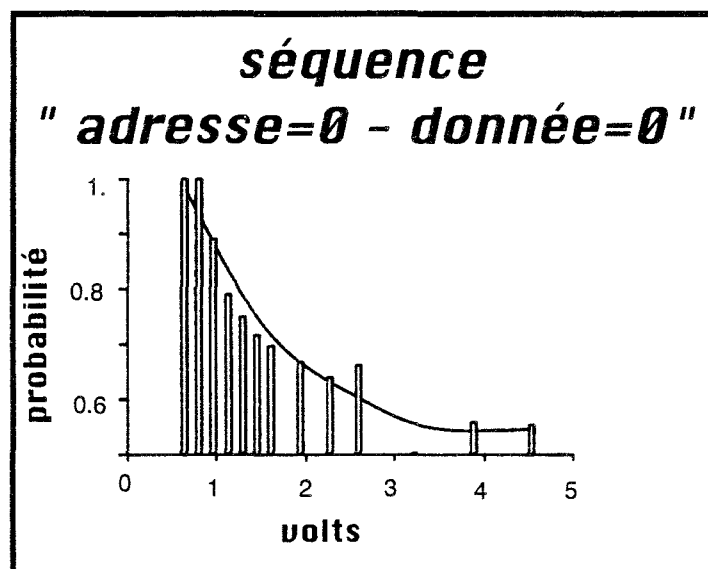


Figure V.6 perturbation par couplage magnétique F= 11 MHz  
 $p_1 = p(d=0 / a=0)$

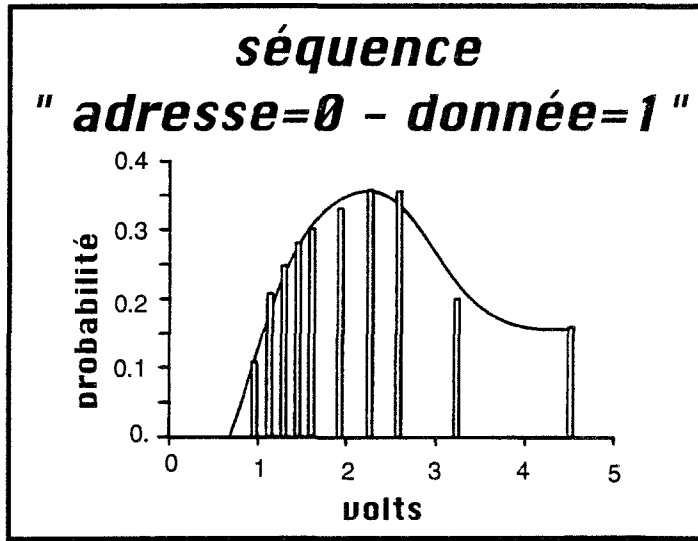


Figure V.7 perturbation par couplage magnétique  $F= 11$  MHz  
 $p_2 = p(d=1 / a=0)$

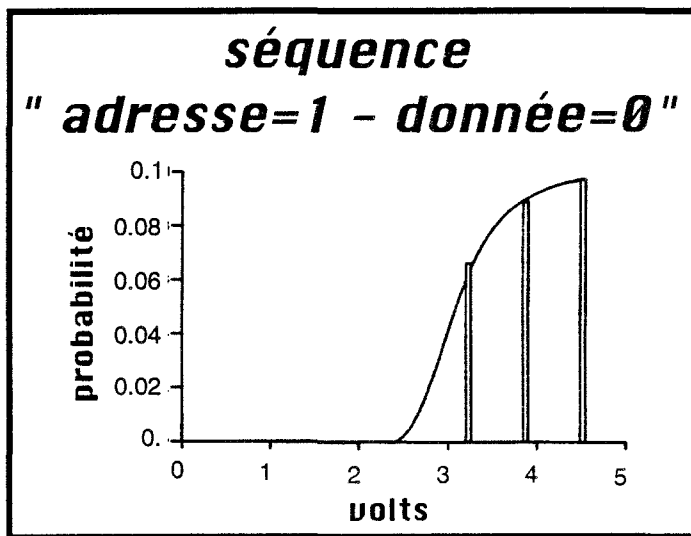


Figure V.8 perturbation par couplage magnétique  $F= 11$  MHz  
 $p_3 = p(d=0 / a=1)$



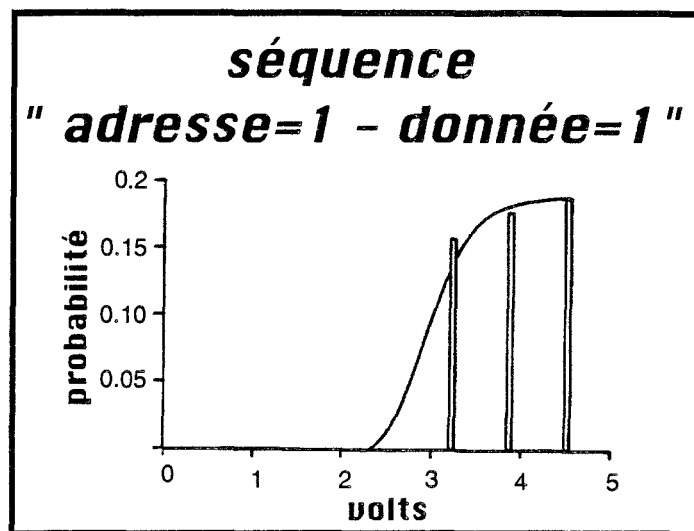


Figure V.9 perturbation par couplage magnétique  $F= 11$  MHz  
 $p_4 = p(d=1 / a=1)$

Si on compare l'évolution des probabilité sur les séquences "adresse=0 - donnée=1" (Figure V.7) et "adresse=1 - donnée=0" (Figure V.8), on constate que les erreurs sur les données apparaissent bien avant celles sur les données alors que les mécanismes qui régissent l'induction des tensions parasites sur les adresses et les données sont identiques. Cette différence de comportement tient aux mécanismes de validation des adresses et des données. L'utilisation des latches sur des lignes multiplexées trouve sa nécessité dans le fait que ces lignes doivent être libérées rapidement pour permettre l'acheminement entre autres de la donnée.

## V.5) DISTRIBUTION DES ERREURS LORS D'UNE PERTURBATION EN INJECTION DE COURANT

Deux cas sont à considérer dans cette étude.

### IV.5.1) HYPOTHESE DE PERTURBATEURS DE GRANDE PERIODE (1,5 MHz)

Cette condition est réalisée pour une injection à 1,5 MHz.

La Figure (V.10) représente l'évolution de la probabilité  $p_1$  d'écrire une bonne donnée à une bonne adresse. En dessous d'une injection de courant de 30 mA en amplitude crête, la probabilité  $p_1$  vaut 1

Quand l'amplitude du perturbateur s'accroît, la probabilité  $p_1$  diminue et semble tendre vers une limite de 0,5.

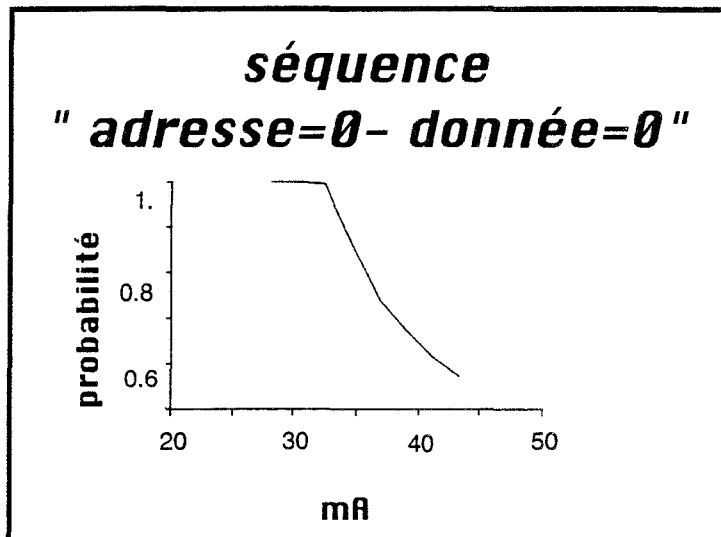


Figure V.10 perturbation par couplage électrique  $F= 1,5$  MHz  
 $p_1 = p(d=0 / a=0)$

On constate que l'évolution de la probabilité de pouvoir écrire la donnée 0 à l'adresse 0 suit une évolution identique à celle de la Figure (V.2) en injection de tension. Par contre, les erreurs sur les adresses peuvent apparaître avant celles sur les données (Figure V.12). On remarque en outre que la probabilité d'écrire une fausse donnée à une adresse erronée est nulle. Nous verrons par la suite quelles en sont les raisons.

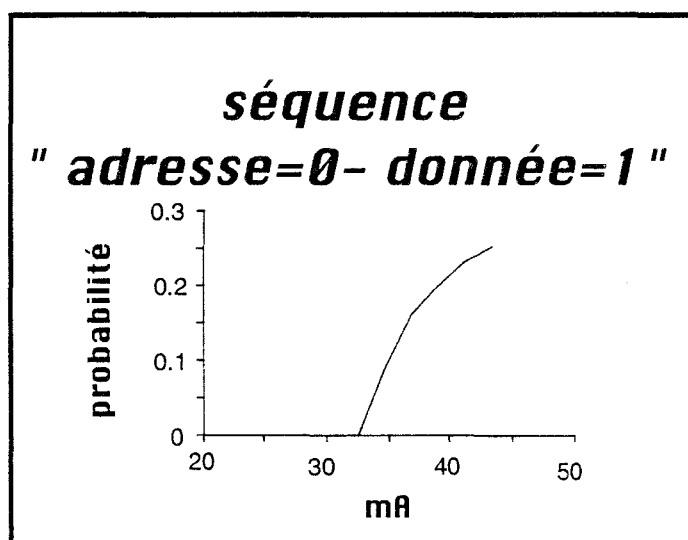


Figure V.11 perturbation par couplage électrique  $F= 1,5$  MHz  
 $p_2 = p(d=1 / a=0)$

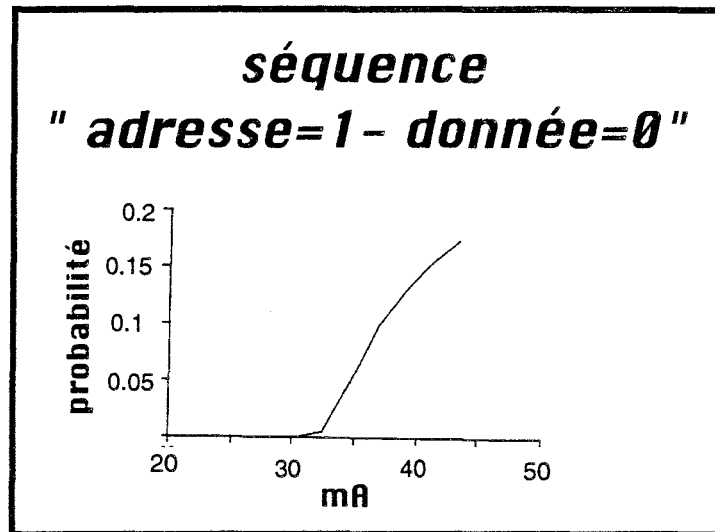


Figure V.12 perturbation par couplage électrique  $F= 1,5$  MHz  
 $p_3 = p(d=0 / a=1)$

#### IV.5.2) HYPOTHESE DE PERTURBATEURS DE COURTE PERIODE (15 MHz)

Pour être dans cette configuration, la fréquence du perturbateur est fixée à 15 MHz.

Si on compare l'évolution des probabilités données par les Figure (V.13), (V.14) (V.15) et (V.16) à celle obtenues en injection de tension, on se rend compte qu'elles sont similaires. On retrouve pratiquement les mêmes niveau de probabilité.

On peut se poser la question de savoir si les tensions induites sur la ligne P0.0 en injection de courant, dans cette hypothèse, ne sont pas identiques à celles obtenues en injection de tension.

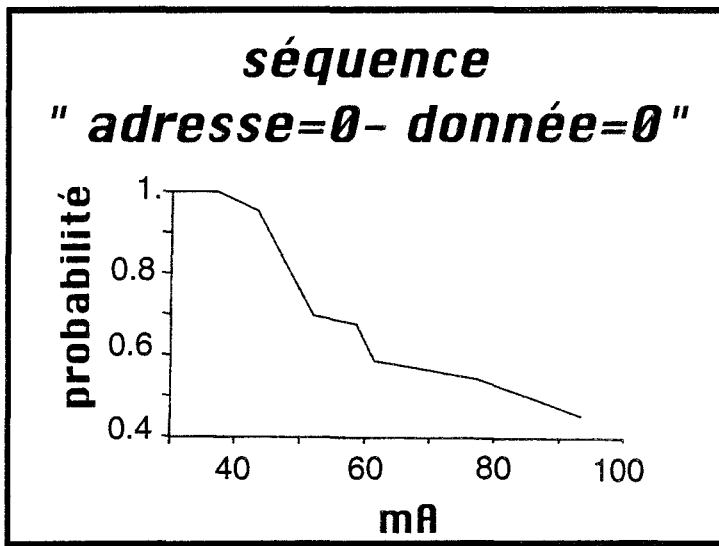


Figure V.13 perturbation par couplage électrique F= 15 MHz  
 $p_1 = p(d=0 / a=0)$

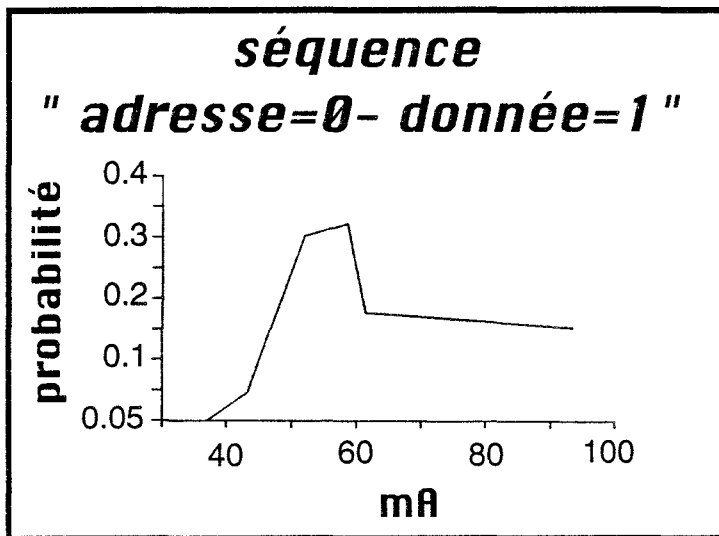


Figure V.14 perturbation par couplage électrique F= 15 MHz  
 $p_2 = p(d=1 / a=0)$

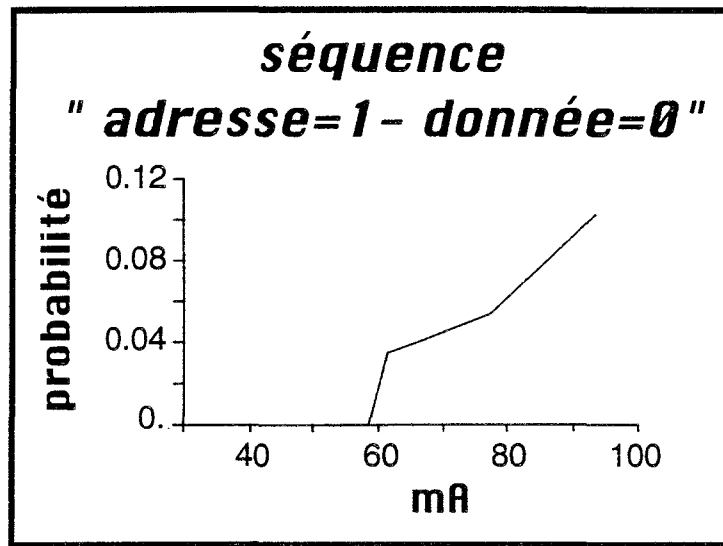


Figure V.15 perturbation par couplage électrique F= 15 MHz  
 $p_3 = p(d=0 / a=1)$

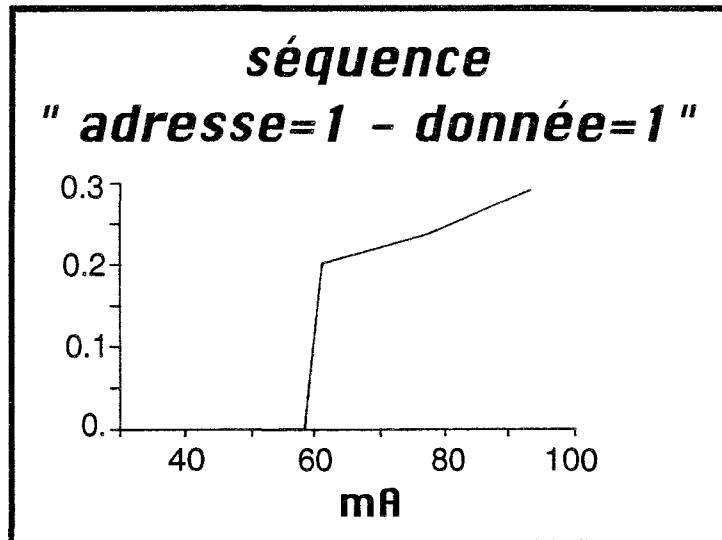


Figure V.16 perturbation par couplage électrique F= 15 MHz  
 $p_4 = p(d=1 / a=1)$

C'est en effet pratiquement le cas comme le montrent les Figure (V.17) et (V.18) qui représentent l'évolution de la tension sur la ligne P0.0 en injection de tension à 20 MHz et en injection de courant à 15 MHz.

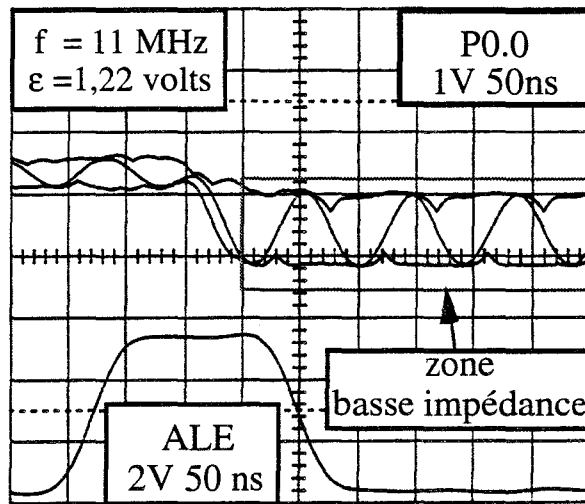


Figure 71 perturbation par couplage magnétique (injection de tension)

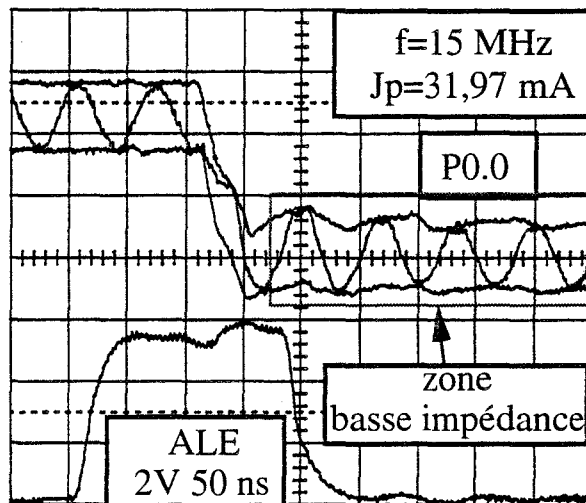


Figure 72 perturbation par couplage électrique (injection de courant)

La forme des tensions induites sur les états basses impédances de l'adresse et de la donnée sont similaires dans les deux cas. D'ailleurs, par simple observation de ces deux figures et sans indications supplémentaires, on n'est pas capable de dire laquelle résulte d'une perturbation en injection de courant ou de tension.



Les interprétations faites (III-5.1) peuvent être transposées ici.

Comme nous l'avons fait remarquer plus haut, quand l'hypothèse des perturbateurs de grandes périodes est vérifiée, il n'est pas possible d'obtenir dans ces conditions à la fois une erreur sur l'adresse et sur la donnée; autrement dit, la probabilité  $p_4$  d'écrire une donnée erronée à une fausse adresse est nulle.

Voyons quelles en sont les raisons.

### V.5.3) INFLUENCE DES PARAMETRES TEMPORELS DES SIGNAUX DE CONTROLE DU MICROPROCESSEUR

Le temps qui sépare le front de validation de l'adresse par le signal ALE de celui de la donnée par le signal d'écriture est d'environ 273 ns. La Figure (V.19) ci-dessous représente la forme d'onde induite sur la ligne P0.0 en injection de courant ou de tension.

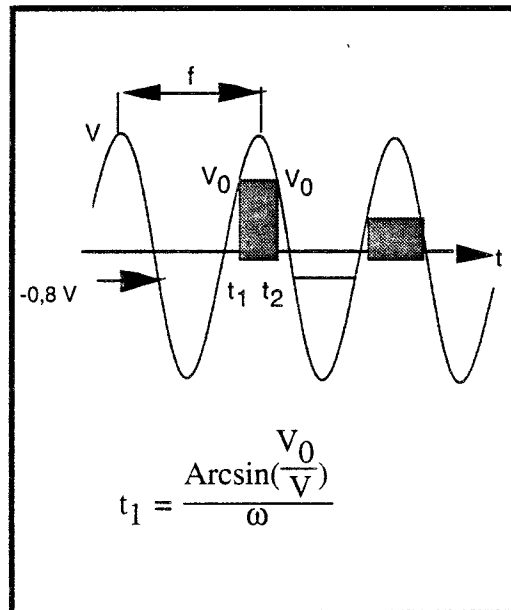


Figure V.19

Pour une fréquence déterminée du perturbateur et en fonction de l'amplitude crête  $V$  de la tension induite, nous pouvons évaluer l'intervalle de temps  $\Delta t$  qui sépare le passage du signal par la même amplitude  $V_0$ .

Un rapide calcul montre que

$$\Delta t = t_2 - t_1 = \frac{1}{f} \left( \frac{1}{2} - \frac{\text{Arcsin}\left(\frac{V_0}{V}\right)}{\pi} \right) \quad (V.6)$$

On a fait l'hypothèse que la tension induite sur la ligne P0.0 est de la forme  $V = V_m \sin \omega t$ .

Plusieurs conditions peuvent être susceptibles de conduire à une erreur pour une injection de perturbateur à 1,5 MHz.

-1) soit le front de validation de l'adresse et celui de la donnée interceptent chacun à leur tour la tension sur la ligne P0.0 en un instant tel que son amplitude  $V_0$  est supérieure à 3,5 volts (zone en grisé de la Figure V.20); dans ce cas, l'état logique sur l'adresse et sur la donnée sera un état 1; cependant ce cas ne peut se produire car l'intervalle de temps  $\Delta t$  dans ce cas est de 169 ns. Or 273 ns sépare le front de validation de l'adresse de celui de la donnée.

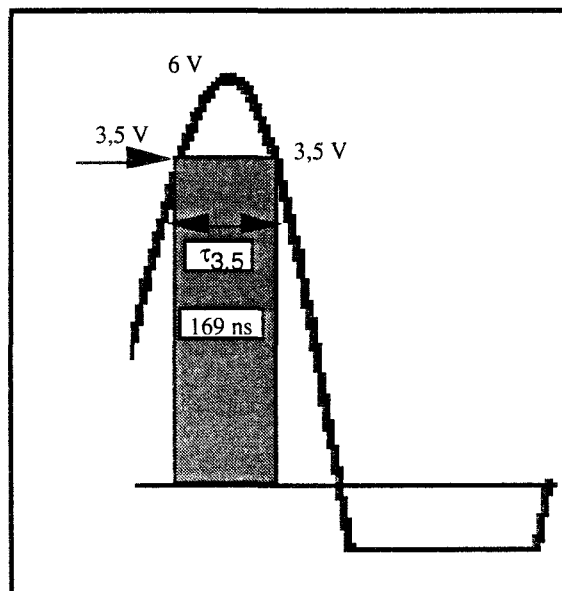


Figure V.20

-2) soit le front de validation de l'adresse intercepte la tension sur la ligne P0.0 en un point tel que la condition  $1,5 \text{ volts} < V_0 < 3,5 \text{ volts}$  est réalisée (zone grisé n°1 de la Figure (V.21) ). Nous sommes dans la zone où l'état de l'adresse validée n'est pas garanti; mais nous allons faire l'hypothèse que l'adresse validée va être un état 1.

Pour qu'on ait une erreur sur la donnée, deux possibilités existent.

- a) il faut que le signal de validation intervienne dans la zone en grisé n°2 (Figure V.21) et dans cet cas l'erreur sur la donnée est certaine;
- b) soit qu'il intervienne dans la zone  $3,5 \text{ V} - 1,5 \text{ V}$ .

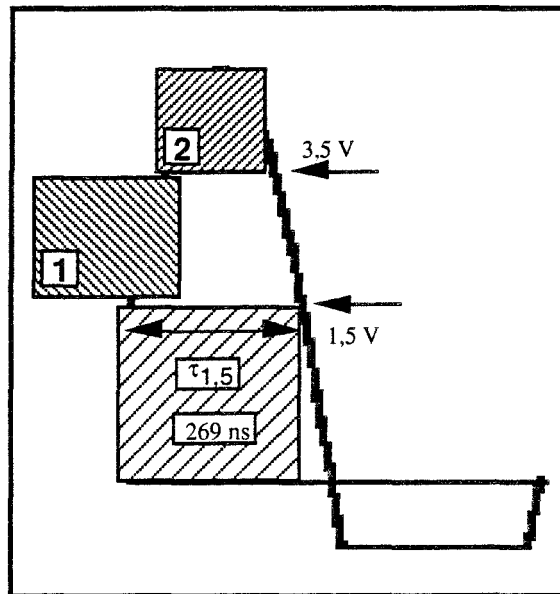


Figure V.21

Aucune de ces configurations ne peut se réaliser car le temps  $\Delta t$  séparant le passage de la tension sur la ligne P0.0 par le 1min (1,5 volts) de chaque coté de la courbe est de 269 ns.

Ce temps est inférieur à 273 ns.

A 1,5MHz, la probabilité  $p_4$  d'écrire une donnée fausse à une adresse erronée sera nulle.

Par contre, quand la fréquence du courant injecté est de 15 MHz, cette possibilité existe puisque 273 ns c'est environ quatre fois la période du perturbateur; par conséquent, si le front de validation de l'adresse intercepte une adresse à l'état 1, le front de validation de la donnée a une probabilité importante d'en faire de même avec une donnée à l'état 1.

(Figure V.22)

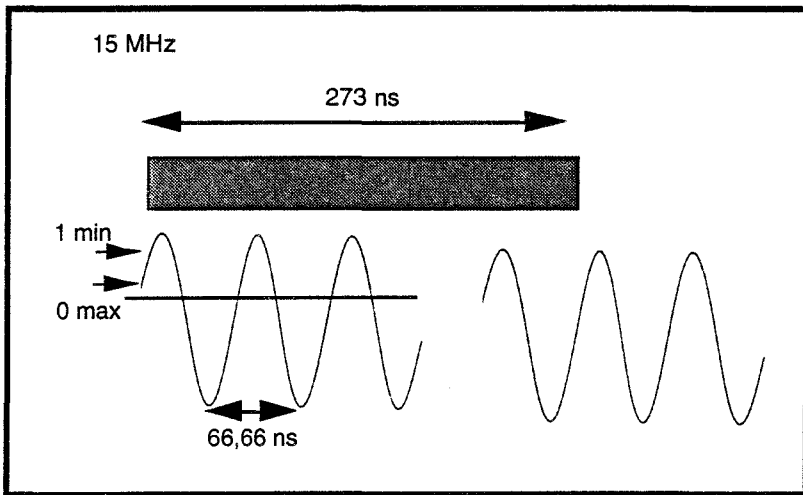


Figure V.22



## CONCLUSION

Les essais pratiqués sur les lignes d'échange d'informations entre un microprocesseur et un périphérique ont révélé que des informations logiques (adresses ou données) erronées pouvaient être produites par l'action d'une interférence électromagnétique. La compréhension des phénomènes physiques mis en jeu est indispensable si on souhaite établir des règles de conception rendant les équipements moins sensibles, sans faire un usage intensif de blindages. Des réponses sûres à tous les problèmes rencontrés ne seraient toutefois possibles qu'à condition d'inventorier les multiples scénarios par lesquels un perturbateur électromagnétique peut agir interagir avec un système informatique.

Nous nous sommes limité à la perturbation d'une seule ligne d'information, afin d'appréhender la physique des phénomènes en jeu; il est cependant évident qu'une étude statistique sur l'ensemble des lignes du microprocesseur s'avère nécessaire, mais elle ne peut être que l'aboutissement de la maîtrise d'une étude plus fine sur les phénomènes mis en jeu, et par conséquent d'une étude sur un nombre plus restreint de lignes.

La compréhension des mécanismes d'évolution des erreurs sur les adresses et les données sur une ligne, face à un type d'injection donnée, nous semble un passage nécessaire.

*CONCLUSION  
GENERALE*

L'étude entreprise dans cette thèse apporte des précisions intéressantes sur les mécanismes de susceptibilité des circuits intégrés complexes tels que les microprocesseurs soumis à des agressions électromagnétiques.

Nous avons utilisé essentiellement deux types de perturbations:

- la perturbation en injection de courant qui est la manifestation d'un couplage électrique;

- la perturbation en injection de tension qui traduit un couplage magnétique.

L'étude des mécanismes de perturbation, en injection de courant, des informations véhiculées par les lignes de bus multiplexés du microprocesseur a révélé deux cas d'études:

- *a*) celle où l'hypothèse des perturbateurs de grande période est vérifiée;

- *b*) celle où l'hypothèse des perturbateurs de courtes période est vérifiée.

Le choix de l'une ou l'autre de ces hypothèses est lié à la valeur relative de la période du perturbateur par rapport au temps de transition  $\tau$  qui sépare le début du passage de la ligne de bus en basse impédance de l'instant d'apparition du front de validation du signal ALE (Address Latch Enable).

Dans le cas de l'hypothèse *a*), les erreurs sur les adresses sont essentiellement liées à l'existence de la transition haute - basse impédance et à l'amplitude crête du courant perturbateur  $J_p$ .

Dans l'hypothèse de perturbateurs de courtes périodes, les erreurs sur les adresses et les données dépendent uniquement de l'amplitude du courant perturbateur  $J_p$  et de la résistance de sortie des transistors (NMOS et PMOS) de l'étage connecté à la ligne de bus.

L'étude en injection de tension (couplage magnétique) a montré que l'introduction d'une tension parasite en série sur la ligne de bus peut, dans certaines conditions, altérer les informations qui y transitent.

Elle a en outre montré l'influence des réseaux de protection (en entrée et en sortie des composants) sur les mécanismes de génération d'erreurs, notamment leur de leur amorçage.

Que ce soit en injection de courant ou de tension, les erreurs observées sur les données et les adresses ne sont pas systématiques; ceci parce qu'il n'y a pas de relation de phase entre le moment où ces données et adresses sont validées et l'instant d'apparition du perturbateur. En outre, bien que ces données et adresses transitent sur une ligne de bus identique, leurs mécanismes respectifs de validation sont différents.

Il est important de connaître l'évolution des erreurs sur ces informations et ce en fonction de l'amplitude du perturbateur et de sa fréquence.

L'étude statistique menée sur un nombre important de séquences "adresse - donnée" a montré qu'en injection de courant, si l'hypothèse de perturbateurs de grande période est vérifiée, les adresses sont susceptibles d'être perturbées avant les données.

Alors que dans l'hypothèse de perturbateurs de courtes périodes, les données sont perturbées avant les adresses. Leur taux d'erreur passe par un maximum puis semble se stabiliser à une valeur limite. Les erreurs observées dans ce type de configuration sont dues à des erreurs sur les états statiques.

Ces dernières observations restent valables dans le cas d'une injection de tension.

L'étude que nous avons menée l'a été sur une seule ligne du bus multiplexé du port P0 du microprocesseur. Ce choix a été guidé par le souci de maîtriser les mécanismes physiques incriminés dans l'apparition des erreurs sur les informations échangées par le microprocesseur avec son milieu extérieur.

Cependant, l'extension à un nombre plus important de lignes demeure un passage nécessaire pour une étude statistique globale du microprocesseur.



# *ANNEXE A*

---

## METHODE DE DETERMINATION DE LA CARACTERISTIQUE COURANT - TENSION DES ETAGES DE SORTIE DU MICROCONTROLEUR

---

Les étages des ports de sortie du microcontrôleur sont de type CMOS; par conséquent, deux caractéristiques courant- tension sont à déterminer, notamment celle du transistor NMOS et celle du PMOS

Cependant, il faut noter que le microcontrôleur possède deux types de ports:

- port statique
- port dynamique

### PORT STATIQUE

#### Caractéristique $I_C = f(V_{CE})$ du transistor NMOS

La détermination de cette caractéristique nécessite que la sortie étudiée soit à l'état bas.

Le montage utilisé est représenté sur la Figure (A.1)

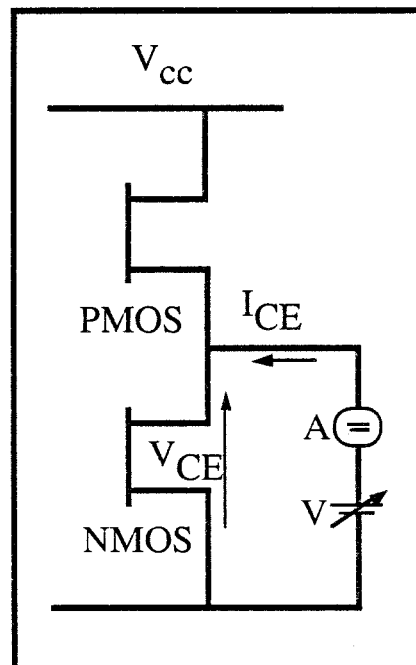


Figure A.1

La sortie de l'étage à caractériser est reliée à une source de tension continue qui va permettre de faire passer le transistor NMOS de sa zone de fonctionnement linéaire à sa zone de saturation. Le courant traversant le transistor est mesuré grâce à un ampèremètre.

### Caractéristique $I_C = f(V_{CE})$ du transistor PMOS

La même méthode peut être aisément appliquée à la détermination de la caractéristique  $I_C = f(V_{CE})$  du transistor PMOS comme le montre la Figure (A.2). La sortie doit être au préalable à l'état haut.

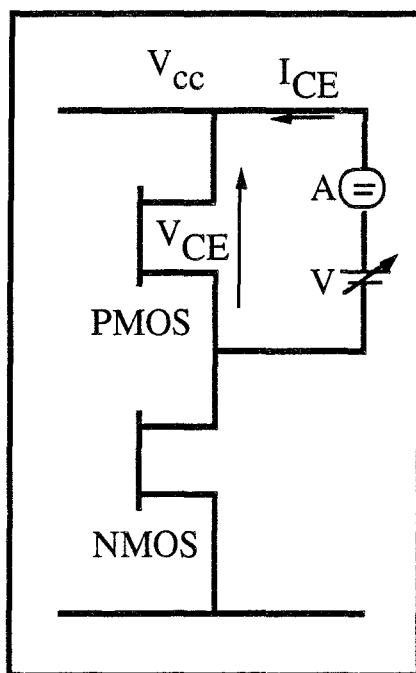


Figure A.2

Ce genre de mesure n'est applicable évidemment que si l'état logique de la sortie de l'étage étudié ne varie pas; autrement dit, elle n'est applicable qu'à des étages statiques comme ceux du port P1, P2 ou P3.

Or le port P0, contrairement à ces ports, est un port dynamique. Cela veut dire que si on essaie de maintenir la sortie d'un de ses étages à l'état logique bas par exemple, il n'y restera que pendant un court instant puis passera en haute impédance. Ceci parce que le port P0 est un port multiplexé temporellement.

La méthode précédemment utilisé sur les ports statiques ne peut donc pas s'appliquer.

## PORT DYNAMIQUE

### Caractéristique $I_C = f(V_{CE})$ du transistor NMOS

La méthode que nous avons utilisée pour la détermination de cette caractéristique est représentée sur la Figure (A.3).

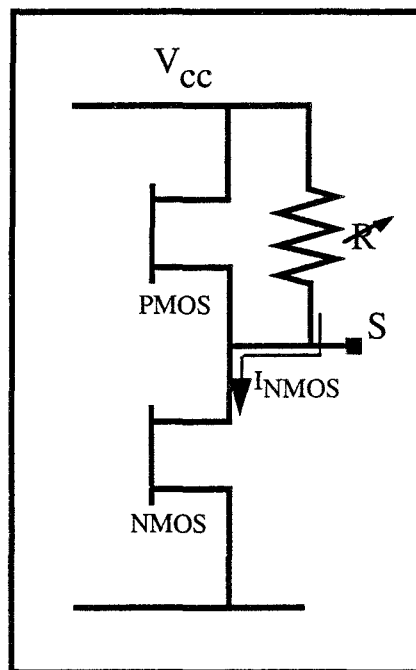


Figure A.3  
Mesure de  $I_C = f(V_{CE})$   
du transistor NMOS du port PO

## PRINCIPE DE MESURE

La condition de passage de la sortie S à l'état bas, est que la résistance du transistor NMOS à l'état passant  $R_n$  soit très faible devant celui du transistor PMOS à l'état bloqué  $R_p$ .

$$V_S = \frac{R_N}{R_p + R_N} V_{cc} \approx 0 \quad (R_p \gg R_N) \quad (\text{A.1})$$

Cette remarque fournit le moyen de déterminer la caractéristique courant - tension du transistor NMOS (resp. PMOS).

Il suffit pour cela de placer une résistance  $R$  variable en parallèle sur le transistor PMOS c'est à dire entre l'alimentation et la sortie. Tant que la valeur de cette résistance est élevée devant  $R_n$ , la sortie S présentera des niveaux de sortie équivalents à l'état logique bas. Pour des valeurs de plus en plus faibles de  $R$ , la tension sur la sortie S augmentera progressivement et atteindra  $V_{CC}/2$  si l'égalité entre  $R$  et  $R_n$  est réalisée.

La Figure (A.4) représente ce qui est observé.

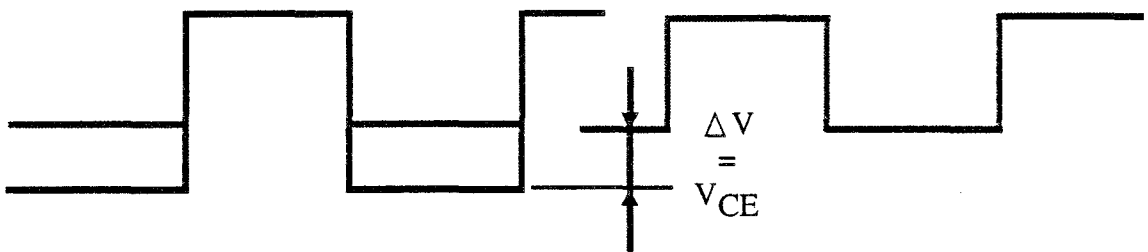


Figure A.4

Le paramètre  $\Delta V$  représente le décalage de tension superposé à l'état logique bas de la sortie S pour une valeur de la résistance R donnée. Dans la caractéristique courant - tension, ce paramètre est égal à  $V_{CE}$ .

Pour déterminer le courant  $I_{CE}$ , il suffit de faire le rapport

$$I_{CE} = \frac{\Delta V}{R} \quad (A.2)$$

Le transistor PMOS étant bloqué, tout le courant passe dans la résistance R, surtout quand la valeur de celle-ci diminue. La Figure (A.5) présente la caractéristique  $I_C = f(V_{CE})$  du transistor NMOS d'un des étage de sortie (P0.0) du port P0.

Cette caractéristique a été déterminée en faisant usage de la méthode illustrée sur la Figure (A.3).

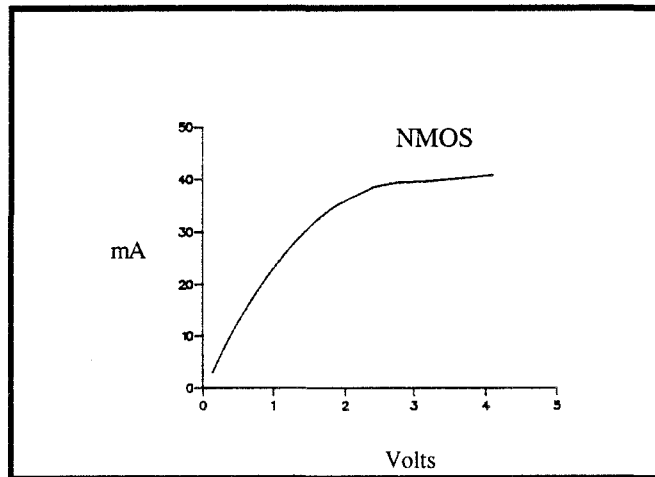


Figure A.5  
Caractéristique  $I_C = f(V_{CE})$   
du transistor NMOS du port P0

## Caractéristique $I_C = f(V_{CE})$ du transistor PMOS

La même méthode peut être appliquée pour la détermination de la caractéristique du transistor PMOS comme le montre la Figure (A.6). Cette fois, la résistance R doit être placée entre la sortie S et la masse.

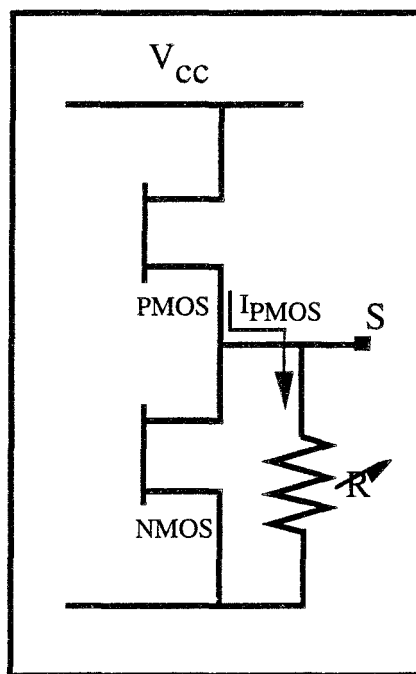


Figure A.6  
Mesure de  $|I_C| = f(|V_{CE}|)$   
du transistor PMOS du port PO

La Figure (A.7) présente la caractéristique courant - tension du transistor PMOS obtenue..

On peut remarquer que le transistor PMOS et NMOS ne sont pas tout à fait symétriques; le courant de saturation du NMOS est plus important que celui du PMOS. En outre, leurs résistances dans la zone linéaire sont différentes. Elle est plus faible sur le transistor NMOS .

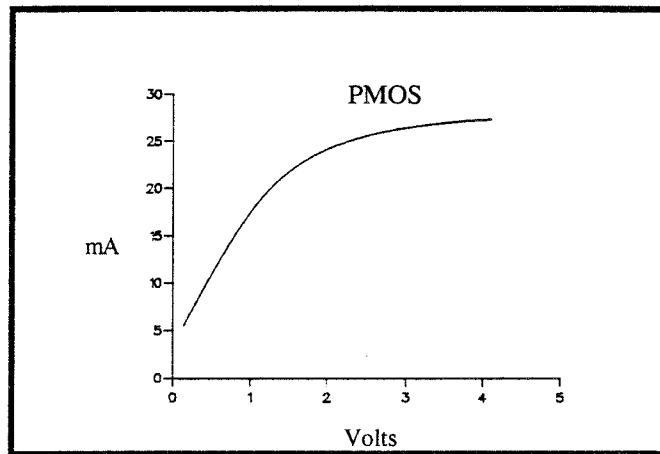


Figure A.7  
Caractéristique  $I_C = f(V_{CE})$   
du transistor PMOS du port PO

La précision obtenu dans le relevé de ces caractéristique est étroitement à la précision de la résistance R puiqu'elle intervient dans la détermination du courant  $I_{CE}$  ( équation (A.2) ).



# *ANNEXE C*

---

# MICROCONTRÔLEUR 87C51

---

## PRINCIPALES CARACTERISTIQUES

EPROM CHMOS 4Koctets haute performance  
Possibilité de verrouillage de programme (2 niveaux) par codage  
Processeur booléen  
RAM de 128 octets  
32 lignes entrées/sorties programmables  
2 compteur/décompteurs 16 bits  
5 sources d'interruption  
Canal série programmable  
Compatible TTL  
64 Koctets de mémoire programme adressable en externe  
64 Koctets de mémoire donnée adressable en externe  
Possibilité de mise en veille du CPU<sup>1</sup> ou de coupure de l'oscillateur

---

<sup>1</sup> Central Processor Unit

## DC CHARACTERISTICS

(T<sub>A</sub> = 0° C to 75° C; V<sub>CC</sub> = 5V ± 10%; V<sub>SS</sub> = 0V)

Symbol	Parameter	Min	Typ	Max	Unit	Test Conditions
V <sub>IL</sub>	Input Low Voltage (Except EA)	- 0,5		0,2V <sub>c</sub> -0,1	V	
V <sub>IL1</sub>	Input Low Voltage to EA	0	0	0,2V <sub>c</sub> -0,3	V	
V <sub>IH</sub>	Input High Voltage (Except XTAL1, RST)	0,2V <sub>CC</sub> + 0,9	0	V <sub>CC</sub> + 0,5	V	
V <sub>IH1</sub>	Input High Voltage (XTAL1, RST)	0,7V <sub>CC</sub>	0	V <sub>CC</sub> + 0,5	V	
V <sub>OL</sub>	Output Low Voltage (Ports 1, 2,3)		0	0,45	V	I <sub>OL</sub> = 1,6mA
V <sub>OL1</sub>	Output Low Voltage (Ports 0, ALE, PSEN)		0	0,45	V	I <sub>OL</sub> = 3,2mA
V <sub>OH</sub>	Output High Voltage (Ports 1, 2,3, ALE, PSEN)	2,4	0		V	I <sub>OH</sub> = -60µA
		0,75V <sub>c</sub>	0		V	I <sub>OH</sub> = -25µA
		0,9V <sub>CC</sub>	0		V	I <sub>OH</sub> = -10µA
V <sub>OH1</sub>	Output High Voltage (Ports 0 in external Bus Mode)	2,4	0		V	I <sub>OH</sub> = -800µA
		0,75V <sub>c</sub>	0		V	I <sub>OH</sub> = -300µA
		0,9V <sub>CC</sub>	0		V	I <sub>OH</sub> = -80µA
I <sub>IL</sub>	Logical 0 Input Current (Ports 1, 2 3)	-0,05	0	-50	µA	V <sub>IN</sub> = 0,45 V
I <sub>TL</sub>	Logical 1-to-0 transition current (Ports 1, 2, 3)	-0,05	0	-650	µA	V <sub>IN</sub> = V <sub>IL</sub> or V <sub>IH</sub>
I <sub>L1</sub>	Input Leakage Current (Port 0)			± 10	µA	
I <sub>CC</sub>	Power supply Current: Active Mode @ 12 MHz Idle Mode @ 12 MHz Power Down Mode		11,5	25	mA	
			1,3	4	mA	
			3	50	mA	
RRST	Internal Reset PullDown resistor	50		300	kΩ	
C <sub>IO</sub>	Pin Capacitance			10	pF	

## AC CHARACTERISTICS

( $T_A = 0^\circ \text{C}$  to  $75^\circ \text{C}$ ;  $V_{CC} = 5\text{V} \pm 10\%$ ;  $V_{SS} = 0\text{V}$ )

Load capacitance for Poert 0, ALE, and PSEN = 100pF;

Load Capacitance for All Other Outputs = 80 pF.

Symbol	Parameter	12 MHz oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
1/TCLCL	Oscillator Frequency 87C51 87C51-1 87C51-2			3,5 3,5 0,5	12 16 12	MHz
TLHLL	ALE Pulse Width	127		2TCLCL-40		ns
TAVLL	Adress Valid to ALE Low	28		TCLCL-55		ns
TLLAX	Adress Hold After ALE Low	48		TCLCL-35		ns
TLLIV	ALE Low to Valid INstr In		234		4TCLCL-100	ns
TLLPL	ALE Low to PSEN Low	43		TCLCL-40		ns
TPLPH	PSEN Pulse Width	205		TCLCL-45		ns
TPLIV	PSEN Low to Valid Instr In		145		3TCLCL-105	ns
TPXIX	Input Intr Hold After PSEN	0		0		ns
TPXIZ	Input Instr Float After PSEN		59		TCLCL-25	
TAVIV	Adress Valid to Intr In		312		5TCLCL-105	ns
TPLAZ	PSEN Low to Adress Float		10		10	ns
TRLRH	RD Pulse Width	400		TCLCL-100		ns
TWLWH	WR Pulse Width	400		TCLCL-100		ns
TRLDV	RD Low to Valid Data In		252		5TCLCL-165-	ns

TRHDX	Data Hold After RD	0		0		ns
TRHDZ	Data Float After RD		97		2TCLCL-70	ns
TLLDV	ALE Low to Valid Data In		517		8TCLCL-150	ns
TAVDV	Adress to Valid Data In		585		9TCLCL-165	ns
TLLWL	ALE Low to RD or WR Low	200	300	TCLCL-50	3TCLCL+50	ns
TAVWL	Adress to RD or WR Low	203		TCLCL-130		ns
TQVWX	Data Valid to WR Transition	23		TCLCL-60		ns
TWHQX	Data Hold After WR	33		TCLCL-50		ns
TRLAZ	RD Low to Adress Float	0	0		0	ns
TWHLH	RD or WR High to ALE High	43	123	TCLCL-40	TCLCL+40	ns

# *ANNEXE B*

---

## QUELQUES ADRESSES UTILES

### POUR LES STANDARDS EN EMC

---

**STANDARDS****ADRESSES**

<b>CENELEC</b>	European Committee for Electrotechnical Standardisation Rue Brederode 2, Bte 5-100, Bruxelles, Belgium Tel (322) 519 68 71 Fax 32 2 519 68 19
<b>CCITT, UIT</b>	The International Telegraph and Telephon Consultative Committee, Place des Nations, CH-1211 Geneva 20, Switzerland Tel 41 22 730 5111 fax 41 22 733 7256
<b>CNET</b>	Centre Nationale d'Etudes des Télécommunications Route Tregastel, 22301 Lannion Cedex, France Tel 96 05 11 11 Fax 33 96 05 32 16
<b>ETSI</b>	European Telecommunications Standards Institute, BP 152-06561, Valbonne Cedex, France Tel (33) 92 94 42 00 Fax 33 93 65 47 16
<b>FCC</b>	Federal Communications Commission, Technical standards Branch, Washington DC 20554, USA Tel (202) 653 6288 Fax 1 202 653 8773

- FTZ** Deutsche Bundespost TELEKOM  
Fernmeldetechnisches Zentralamt, Am  
Kavalleriesand 3  
postfach 10 00 03, D-6100 Darmstadt, Germany.  
Tel (0 6151) 83 (0)  
Fax 49 6151 83 4791
- ICE/CISPR** ICE, International Electrotechnical Commission,  
3, Rue de Varembe,  
1211 Geneva 20, Switzerland.  
Tel 41 22 734 01 50  
Fax 41 22 733 38 43
- IEEE** The Institute of Electrical  
and Electronics Engineers, Inc.,  
Service Centre, 445 Hoes Lane, P.O Box 1331,  
Piscataway, NJ  
08855-1331, USA  
Tel(908) 981 0060  
Fax 1 908 981 0027
- JIS** Japanese Standard Organisation (JIS);  
c/o Standards Department Agency of Industrial  
Science and Technology,  
Ministry of International Trade and Industry,  
1-3-1 Kasumigaseki, Chiyoda-Ku,  
Tokyo 100, Japan  
Tel 81 3 501 92 95/6  
Fax 81 3 580 14 18
- MIL STD** Defense Logistic Agency OASD  
(P&L)/DASD(PR)  
5023 Leesburg Pike, Suite 1406,  
Falls Church, VA 22041-3466  
Tel (703) 274 6000/60001 (general information)  
Tel (703) 756 2343 (Standardisation)  
Fax 1 703 756 7622



**NEMA** National Electrical Manufacturers,  
2001 L Street NW  
Washington, DC 20037, USA  
Tel (202) 457 8400  
Fax 1 202 457 8411

**VDE** VDE-Verlag GmBh, Bismarckstr, 33,  
1000 Berlin 12, Germany  
Tel 030 348 001 (0)  
Fax 49 30 3417093

**USA Adress for Department of defense, EMC/EMI**

Commander,  
Space and Naval Warfare Systems,  
Code SPAWAR 2243,  
Washington, DC 20363-5100, USA  
Tel (703) 602 0559 Fax 1 703 602 6805/589/

