

50376
1994
69

ccc gen 2010 16 02

50376
1994
69

N° d'ordre: 1291

THESE

présentée à

l'Université des Sciences et Techniques de Lille Flandres-Artois

pour obtenir le grade de

Docteur en Electronique

par

Philippe N°GORAN



SIMULATION À TEMPS DISCRET DE CIRCUITS À MÉMOIRE DE COURANT ET APPLICATION À L'ÉTUDE DE MODULATEURS SIGMA-DELTA

soutenu le 31 Janvier 1994, devant la commission d'examen:

Président:	E. CONSTANT
Rapporteurs:	D. AUVERGNE A. FABRE
Examineurs:	D. BILLET J.-N. DECARPIGNY A. KAISER

A mon père et ma mère

A mes frères Tom Dollar, Thomas, Noël, Séraphin et Camille

A mes soeurs Christine, Marie-Claire, Elisabeth et Isabelle

A toute ma famille

A Evelyne

A mes amis André, Seydou, Edouard, Pascal, Valérie et Denise

Remerciements

Je remercie vivement Monsieur le Professeur Eugène CONSTANT d'avoir accepté la présidence de ce Jury.

J'adresse mes sincères remerciements à Monsieur le Professeur Daniel AUVERGNE et Monsieur Alain FABRE d'avoir accepté la tâche fastidieuse de rapporteurs de ce mémoire de thèse.

J'exprime ma profonde reconnaissance à Monsieur Daniel BILLET pour sa collaboration permanente et efficace tout au long de ce travail.

Monsieur le Professeur Jean-Noël DECARPIGNY a accepté de juger ce travail, je souhaite l'en remercier. Je lui suis particulièrement reconnaissant de m'avoir permis d'accomplir mes travaux de recherche au sein de l'association ISEN-Recherche.

L'aboutissement de ce travail n'aurait été possible sans la contribution effective de Monsieur Andreas KAISER. Il a directement encadré mon travail de recherche et son soutien a été très précieux tout au long de ces trois années passées à l'ISEN.

Je remercie tout le personnel de l'équipe de Microélectronique de l'IEMN-Département ISEN, particulièrement Monsieur Bruno STEFANELLI et Monsieur Jean-Michel DROULEZ, pour leur aide dans le test du circuit.

Résumé

La principale attraction de la mémoire de courant est sa totale compatibilité avec la technologie CMOS. Elle est donc particulièrement très adaptée à la réalisation d'interfaces analogiques pour les circuits mixtes à dominante numérique. Elle permet de réaliser des fonctions de sommation, de retard et d'inversion des signaux. En outre, son fonctionnement ne requiert aucun appariement entre composants. Les circuits conçus à partir de la mémoire seront directement transposables dans les technologies sub-microniques. Les contributions majeures de notre travail sont, d'une part le développement d'une architecture performante de modulateurs Sigma-Delta d'ordre 2 réalisée à l'aide de mémoires de courant, et d'autre part la simulation à temps discret de tels circuits. L'utilisation de la mémoire de courant comme opérateur analogique, nous a permis de développer des architectures de circuits élémentaires comme l'intégrateur, le multiplieur. En exploitant convenablement, les fonctions d'intégration et de multiplication, nous avons réalisé des architectures de modulateurs Sigma-Delta d'ordre 1 et 2. Un des problèmes majeurs dans la conception de tels circuits réside dans l'absence d'outils de simulation adaptés. Nous avons donc développé un simulateur spécifique de circuits à mémoire de courant. Il exploite le fonctionnement à temps discret de ces circuits. Un modèle de la mémoire de courant, incluant l'injection de charge des transistors utilisés interrupteurs, la non linéarité ainsi que le bruit thermique des transistors MOS, a été développé. Afin de valider notre approche, nous avons simulé, conçu et réalisé un modulateur Sigma-Delta d'ordre 2, avec une technologie CMOS 1.2 μm . Les résultats de test du modulateur expérimental sont en accord avec ceux prévus par le simulateur.

Abstract

The main attraction of switched-currents technique is its full compatibility with CMOS technology. This technique is particularly suitable to design analogue interfaces for mixed circuits. Its basic building block is the current-memory cell. This cell allows functions of summation, delay and inversion of signals. Furthermore, no components matching is required to its operation. Therefore, circuits built with such cell, will be transposable in sub-micronique technologies. The major contributions of this work are the design of a second order Sigma-Delta modulator built from current-memory cell and a discrete-time simulation of such circuits. We have built some elementary circuits such as integrator, multiplier, first and second order Sigma-Delta modulator, using the current-memory cell as analogue building block. One of major design problems reside in lack of adequate simulation tools. Therefore, we have developed a specific simulator of current-memory circuits. Its consists of discrete-time simulation approach. A current-memory model which includes charge injection of switches, non linearity and thermal noise of MOS transistors, has been developed. In order to valid our approach, a second order Sigma-Delta modulator has been simulated and designed, with a 1.2 μm CMOS technology. The results of the test of this experimental modulator indicate excellent agreement with these obtained by the simulator.

Table des matières

Introduction	1
CHAPITRE 1	
La mémoire de courant	5
1.1. Principe de la mémoire de courant	6
1.2. Principales limitations de la mémoire de courant	7
1.2.1. L'injection de charge	7
1.2.2. Les variations de la tension de sortie	8
1.2.3. Les courants de fuite	10
1.2.4. Les limitations en amplitude	11
1.2.5. Le bruit échantillonné	13
1.2.6. Temps de stabilisation de la mémoire de courant	14
1.3. Références bibliographiques	16
CHAPITRE 2	
Circuits à mémoire de courant	17
2.1. Représentation symbolique de la cellule mémoire de courant	18
2.2. Intégrateurs de courant	19
2.2.1. Intégrateurs non inverseurs	19
2.2.2. Intégrateurs inverseurs	22
2.3. Multiplieurs de courant	25
2.4. Diviseurs de courant	26
2.5. Références bibliographiques	28
CHAPITRE 3	
Architectures de convertisseurs Sigma-Delta à mémoire de courant	29
3.1. Principe du convertisseur Sigma-Delta	30
3.2. Le modulateur Sigma-Delta	30
3.2.1. Principe du modulateur Sigma-Delta	30

3.2.2. Caractérisation du modulateur Sigma-Delta	31
3.2.3. Modulateurs Sigma-Delta d'ordre 1	34
3.2.4. Modulateurs Sigma-Delta d'ordre 2	40
3.3. Références bibliographiques	49

CHAPITRE 4

Simulation de convertisseurs Sigma-Delta à mémoire de courant 51

4.1. Structure générale du simulateur de convertisseurs Sigma-Delta	52
4.2. Modèle de multiplexeur de courant	57
4.3. Modèle de comparateur de courant	58
4.4. Modélisation de la cellule mémoire de courant	59
4.4.1. Modélisation du bruit dans la mémoire de courant	63
4.4.2. Modélisation de l'injection de charge	65
4.4.3. Calcul de courant de sortie normalisé d'une mémoire de courant	66
4.5. Comparaison de simulations du modèle proposé avec HSPICE	68
4.6. Simulation du modulateur Sigma-Delta d'ordre 2 à deux phases	73
4.6.1. Effet des conductances de drain finie des transistors	78
4.6.2. Influence de l'injection de charge	80
4.6.3. Influence de la limitation en amplitude	82
4.6.4. Influence du bruit thermique des transistors	84
4.6.5. Effets des imperfections de la mémoire et de l'hystérésis du comparateur	86
4.7. Conclusions	87
4.8. Références bibliographiques	88

CHAPITRE 5

Conception et réalisation d'un modulateur Sigma-Delta d'ordre 2 91

5.1. Conception de la cellule de base	92
5.2. Cellules annexes	97
5.2.1. Convertisseur Tension-Courant	97
5.2.2. Comparateur de courant	97
5.3. Implantation du layout	99

CHAPITRE 6

Test du modulateur expérimental	103
6.1. Manipulation de test	104
6.2. Résultats expérimentaux	108
Conclusion	111

ANNEXE A

Modèle de transistors MOS et paramètres technologiques	113
A.1. Paramètres du modèle	114
A.2. Modèle grand signal	115
A.3. Modèle petit signal	116
A.3.1. Conductance de drain	116
A.3.2. Transconductance de grille	116
A.3.3. Transconductance de substrat	117
A.4. Extraction des paramètres du modèle proposé	117

ANNEXE B

Bandes passantes de bruit des mémoires de courant de base et cascode	127
B.1. La mémoire de courant de base	128
B.1.1. Fonction de transfert associée au signal	128
B.1.2. Bande passante équivalente de bruit	129
B.2. La mémoire de courant cascode	132
B.2.1. Fonction de transfert associée au signal	132
B.2.2. Bande passante équivalente de bruit	133
B.3. Références bibliographiques	136

Table des matières

Introduction

Les convertisseurs analogique-numérique occupent, depuis toujours, une place prépondérante dans les systèmes électroniques notamment dans les systèmes de télécommunications, d'instrumentation et audio, pour ne citer que quelques exemples. En effet, les signaux intervenant dans les échanges d'informations sont de nature analogique et souvent complexe. Ils peuvent être masqués par des perturbations indésirables. En vue d'extraire l'information utile, ces signaux subissent un traitement qui consiste à les convertir en une suite de nombres. Ce traitement est réalisé à l'aide d'un convertisseur analogique-numérique.

Durant ces dernières années, les convertisseurs analogique-numérique ont connu une nette amélioration notamment en vitesse et en précision. Ces améliorations ont été possibles grâce à de nouvelles architectures et à de nouveaux procédés technologiques. Les tendances majeures dans le développement des nouveaux convertisseurs peuvent se résumer en ces points:

- . l'emploi des technologies CMOS, BiCMOS et AsGa,
- . la combinaison de différentes architectures et méthodes qui facilitent la réduction du temps de conversion,
- . la réduction des tensions d'alimentation et des courants de charge.

Selon la structure et suivant le principe de fonctionnement, les convertisseurs analogique-numérique peuvent être regroupés en trois catégories: les convertisseurs parallèles, séries et séries/parallèles. Les convertisseurs parallèles ont une vitesse de conversion élevée mais leur résolution est limitée entre 6 et 10 bits. Les convertisseurs séries sont, par principe, lents. Cependant, ils permettent d'atteindre une résolution élevée (au-delà de 10 bits). Parmi les techniques de conversion existantes, la technique de conversion analogique-numérique sur-échantillonnée est celle qui allie rapidité avec haute résolution. Les convertisseurs Sigma-Delta constituent une classe typique des convertisseurs sur-échantillonnés. Ils ont fait l'objet de nombreuses réalisations à l'aide de la technique des capacités commutées. Cette technique est basée sur l'utilisation de capacités, d'interrupteurs et d'amplificateurs opérationnels pour réaliser des intégrateurs avec des constantes de temps d'assez bonne précision. Notons que la constante de temps d'un intégrateur à capacités commutées est proportionnelle à un rapport de capacités et inversement proportionnelle à la fréquence d'échantillonnage. Le succès des circuits à capacités commutées est en partie dû à la maîtrise de leur outil de simulation. En effet, la simulation des circuits à capacités commutées à l'aide des simulateurs conventionnels comme SPICE nécessite des temps de calcul considérables et pose souvent des problèmes de convergence. Des simulateurs spécifiques ont donc été développés pour résoudre ces problèmes. Ils exploitent l'approche de simulation à temps discret. Cette approche consiste à n'évaluer, aux instants d'échantillonnage, que les valeurs des signaux dont l'importance s'avère nécessaire. L'un des inconvénients majeurs de la technique à capacités commutées est sa non compatibilité avec la technologie numérique. La technologie des circuits intégrés évoluant au profit des circuits numériques, la nécessité de développer de nouvelles architectures de circuits analogiques compatible avec celle-ci constitue un atout majeur dans la réalisation des interfaces des circuits à dominante numérique.

A la fin des années 80, une nouvelle technique dite de courants commutés, a été proposée comme solution à l'obstacle technologique de la technique à capacités commutées. Dans cette technique, l'information est véhiculée sous la forme de courant. A l'origine, elle a été

développée pour des circuits conçus avec la technologie CMOS parce qu'elle est la plus dominante dans la réalisation de circuits à faible puissance et à grande densité d'intégration. Le circuit de base, réalisé à l'aide de cette technique, est la mémoire de courant. Son principe consiste à exploiter l'absence de courant de grille du transistor MOS pour stocker temporairement une information sur la capacité de grille. Elle réalise des fonctions d'inversion, de sommation et de retard. Elle est donc particulièrement adaptée à la réalisation des circuits de mise en forme et de traitement de signal. En plus de la compatibilité avec la technologie des circuits numériques, la mémoire de courant présente l'avantage de résoudre le problème d'appariement de transistors souvent rencontré dans les circuits analogiques. Les circuits conçus à partir de celle-ci seront directement transposables dans les technologies sub-microniques.

La difficulté de transposition des architectures du mode tension au mode courant ainsi que les avantages offerts par cette nouvelle technique, incitent à développer de nouvelles architectures de circuits. La nécessité de développer de nouveaux outils de CAO, notamment pour la simulation, s'explique par l'absence d'outils adaptés. Nous présentons, au travers de ce travail, une nouvelle approche de simulation à temps discret des circuits à mémoires de courant. Le simulateur développé est appliqué à la conception et la réalisation d'une architecture, très spéciale, de modulateur Sigma-Delta d'ordre 2 avec une technologie CMOS 1.2 μm .

Le chapitre 1 présente la mémoire de courant. Nous rappelons son principe de base et étudions les différents phénomènes limitant ces performances. Cette étude qualitative permet de lier ces limitations aux paramètres technologiques des transistors formant la mémoire de courant.

Dans le chapitre 2, nous décrivons de nouvelles architectures d'intégrateur, de multiplieur et de diviseur, réalisées à l'aide de mémoires de courant. Ces architectures constituent une classe typique des circuits de traitement de signal. La mémoire de courant y est utilisée comme opérateur analogique réalisant les fonctions d'inversion, de sommation et de retard.

L'architecture d'un convertisseur Sigma-Delta se compose de deux parties: la partie analogique représentée par le modulateur Sigma-Delta et la partie purement numérique constituée généralement d'un filtre décimateur et d'un filtre passe-bas. Les performances globales du convertisseur Sigma-Delta étant fortement liées à celles du modulateur, nous consacrons le chapitre 3 à l'étude de nouvelles architectures de celui-ci. Nous proposons des architectures de modulateur Sigma-Delta d'ordre 1 et 2. Certaines de ces architectures sont comparables, en terme de rapidité, à celles construites à l'aide de la technique des capacités commutées.

Dans le chapitre 4, nous proposons une nouvelle approche de simulation de circuits à mémoires de courant, et particulièrement, la simulation de convertisseurs Sigma-Delta. Nous présentons la structure générale du simulateur de convertisseurs Sigma-Delta. Nous décrivons en détail un modèle de mémoires de courant. La particularité de ce modèle est de prendre en compte la non linéarité du transistor MOS, l'injection de charge des transistors utilisés comme interrupteurs ainsi que le bruit des transistors. Nous appliquons le simulateur développé à l'évaluation de la performance d'un modulateur Sigma-Delta d'ordre 2. Des simulations effectuées sur cet exemple, il apparait que, l'injection de charge des transistors MOS utilisés comme interrupteurs et le bruit thermique des transistors, sont les principaux phénomènes qui limitent les performances du modulateur.

Le chapitre 5 présente la démarche suivie pour la conception et la réalisation d'un modulateur Sigma-Delta d'ordre 2. Une étude détaillée de la cellule mémoire de base, du convertisseur tension-courant d'entrée et du comparateur de courant y est exposée. Enfin, nous y décrivons l'organisation du layout de la cellule de base et du circuit expérimental.

Enfin, le chapitre 6 décrit la manipulation de test du circuit expérimental ainsi que les résultats obtenus pour une fréquence d'échantillonnage de 2.5 MHz, une amplitude et une fréquence du signal d'entrée 140 μ A et 5 kHz. Les résultats expérimentaux indiquent une fonctionnalité parfaite. Néanmoins, nous observons un niveau de bruit, dans la bande de base, ainsi qu'un taux de distorsion harmonique 2 et 3, plus importants que ceux prévus par le simulateur. Ces écarts sont essentiellement imputés au phénomène de désaturation du transistor MOS. La modélisation de ce phénomène n'avait pas été prévue parce qu'il est contraire au principe même de la mémoire de courant qui impose un générateur de courant à tous les transistors, sauf ceux utilisés comme interrupteurs. Une modification du modèle a donc été réalisée pour intégrer ce phénomène indésirable. La comparaison des résultats mesurés avec ceux obtenus par la simulation avec la dernière modification montre un bon accord.

CHAPITRE 1

La mémoire de courant

Les technologies à longueur de grille submicronique ne permettent plus l'utilisation de concepts de circuits analogiques basés sur l'appariement de transistors, et ceci en raison de fortes fluctuations locales des paramètres technologiques. La mémoire de courant est un circuit qui permet de s'affranchir de ce problème, étant donné qu'elle ne fait appel qu'à un seul transistor. En outre, elle présente une totale compatibilité avec la technologie purement numérique. Utilisée comme bloc fonctionnel analogique, réalisant les fonctions d'inversion, de sommation et de retard, elle présente un intérêt particulier pour la réalisation d'interfaces analogiques pour les systèmes intégrés mixtes à dominante numérique.

Nous présentons, dans ce chapitre, les concepts de base de la mémoire de courant et en évaluons les performances.

1.1. Principe de la mémoire de courant

Le principe de la mémoire de courant consiste à utiliser un seul transistor pour dupliquer une information sous forme de courant, par échantillonnage de ce dernier. La mémoire de courant, appelé aussi copieur de courant, est constituée de trois interrupteurs, d'un transistor de polarisation et d'un transistor de mémoire [1]. La **figure 1.1** représente son schéma de principe.

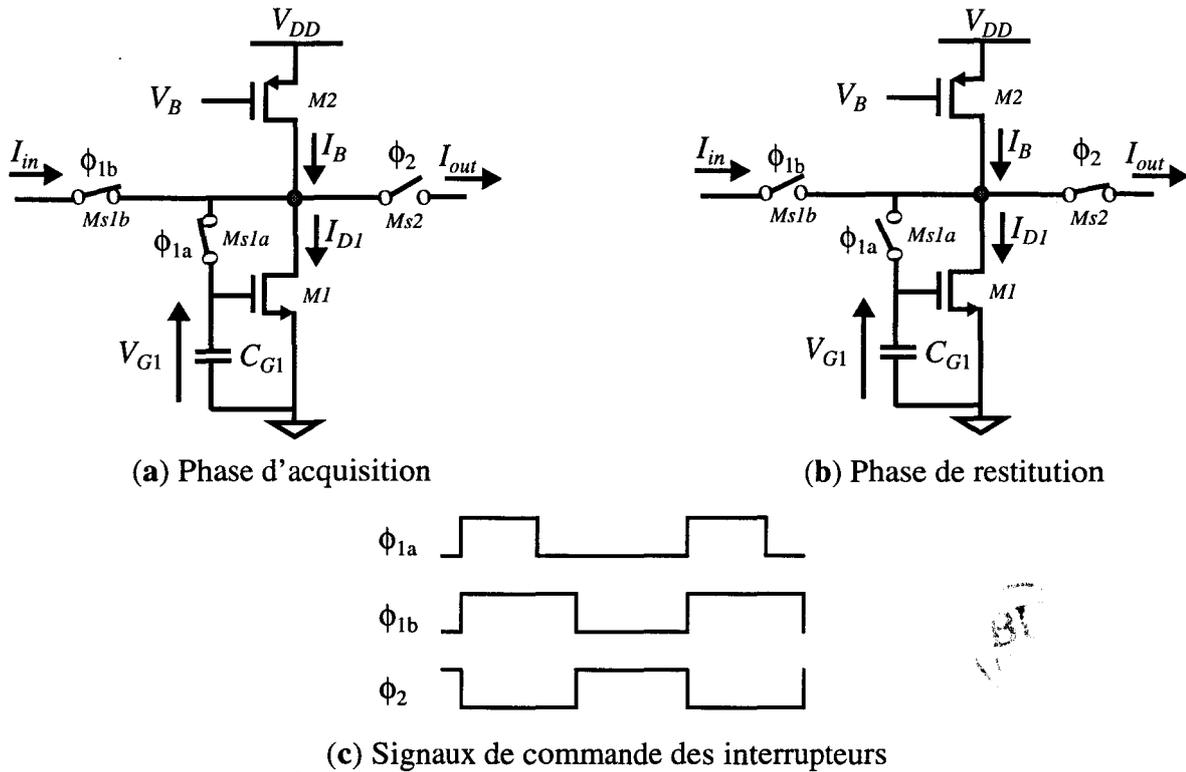


Figure 1.1 : Schéma de principe de la cellule mémoire de courant.

Le cycle de fonctionnement de la cellule mémoire de courant se compose de deux phases: une phase d'acquisition (**Figure 1.1.a**) et une phase de restitution (**Figure 1.1.b**). Les signaux de commande des interrupteurs sont non recouvrants (**Figure 1.1.c**). Le signal d'horloge ϕ_{1b} est une réplique de ϕ_{1a} mais retardé. Ce retard est indispensable pour permettre un échantillonnage correct de la tension V_{G1} .

Pendant la phase d'acquisition, les interrupteurs $Ms1a$ et $Ms1b$ sont fermés et l'interrupteur $Ms2$ est ouvert permettant ainsi à la somme des courants signal I_{in} et de polarisation I_B d'alimenter le transistor $M1$. La capacité de grille se charge ou se décharge par la tension exigée par le transistor $M1$ pour supporter la somme des courants I_{in} et I_B . L'utilisation de la source de courant de polarisation permet d'acquérir des courants d'entrée négatifs.

Pendant la phase de restitution, les interrupteurs $Ms1a$ et $Ms1b$ sont ouverts et $Ms2$ est fermé. Le transistor $M1$ se comporte alors comme un générateur de courant capable de débiter un courant égal à la somme des courants signal I_{in} et de polarisation I_B . Le courant de sortie I_{out} est ainsi égal à l'opposé du courant d'entrée I_{in} , et retardé d'une demie période d'échantillonnage. Le courant ainsi restitué est totalement indépendant de tout appariement de transistors et de la linéarité de la capacité de mémorisation C_{G1} .

1.2. Principales limitations de la mémoire de courant

Les principaux phénomènes limitant la précision de la cellule mémoire de courant sont:

- l'injection de charge des transistors MOS utilisés comme interrupteurs,
- les variations de la tension drain du transistor mémoire $M1$ pendant la phase de restitution,
- les courants de fuite des jonctions p-n de l'interrupteur $Ms1a$,
- la dynamique des courants mémorisables par la cellule,
- le bruit échantillonné sur la capacité de mémorisation C_{G1} .
- le temps de stabilisation de la tension échantillonnée aux bornes de la capacité C_{G1} .

Nous nous proposons, dans la suite de ce travail, d'exposer qualitativement l'influence de ces phénomènes sur la performance d'une telle cellule. Une analyse plutôt quantitative, basée sur les paramètres d'une technologie standard CMOS 1.2 μm , dont les caractéristiques sont présentées en annexe A, sera exposée au chapitre 5.

1.2.1. L'injection de charge

Les interrupteurs sont indispensables au fonctionnement des circuits à mémoire de courant. Ces interrupteurs sont réalisés à l'aide de transistors MOS. Pendant la phase d'ouverture de l'interrupteur $Ms1a$ (**Figure 1.2**), les charges mobiles de son canal s'évacuent entre ses noeuds de drain, de la source et du substrat. Une partie de ces charges s'ajoute à celles stockées par la capacité de mémorisation C_{G1} , produisant ainsi une erreur de tension ΔV_{G1} aux bornes de celle-ci. Il en résulte une erreur $(\Delta I_{out})_{inj}$ du courant restitué définie par la relation (1.1).

$$(\Delta I_{out})_{inj} = g_{m1} \cdot \Delta V_{G1} \quad (1.1)$$

g_{m1} représente la transconductance de $M1$.

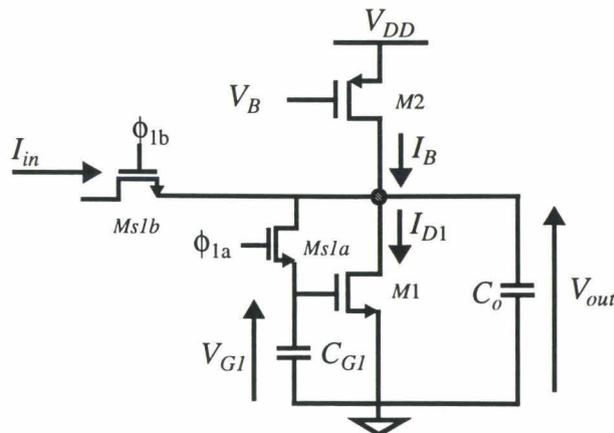


Figure 1.2 : Schéma de la mémoire de courant pour l'analyse de l'injection de charge.

La relation (1.1) montre bien que l'erreur du courant de sortie, due à l'injection de charge de M_{s1a} , est fonction du courant signal d'entrée. En outre, elle est d'autant plus importante que la valeur de la transconductance de $M1$ est élevée. Cette erreur engendre un courant de décalage de la distorsion harmonique dans le courant restitué, conséquence de la relation quadratique qui lie le courant drain de $M1$ à sa tension de grille. La quantité de charge ΔQ_{inj} injectée sur la capacité C_{G1} dépend des paramètres suivants [2 - 4]:

- le paramètre de transfert $\mu \cdot C_{ox} * W_{s1a} / L_{s1a}$ (μ , C_{ox} , W_{s1a} et L_{s1a} étant respectivement le paramètre de mobilité effective des porteurs du canal, la capacité de l'oxyde de grille par unité de surface, la largeur et la longueur de l'interrupteur d'échantillonnage M_{s1a}),
- la tension de grille de M_{s1a} et de sa pente,
- la tension de seuil de M_{s1a} qui dépend du signal à mémoriser,
- le rapport des capacités C_{G1} et C_o (C_o étant la somme des capacités parasites vue du drain de $M1$).

Plusieurs approches ont été proposées pour la compensation de l'injection de charge. Une des possibilités consiste à choisir une pente de la tension de grille de M_{s1a} plus faible, donc un temps de descente plus long, tout en s'imposant la condition C_{G1} très faible devant C_o . Cette solution conduit à une limitation de la rapidité.

Une autre solution consiste à obtenir un partage équitable des charges du canal entre les noeuds du drain et de la source de M_{s1a} . La compensation est alors réalisée avec des transistors symétriques dont la largeur est la moitié de celle de M_{s1a} . Cette solution exige cependant, la réalisation de la capacité C_{G1} identique à C_o .

Une autre approche consiste à réduire la quantité de charges dans le canal par une diminution de la tension de grille de M_{s1a} [5]. Elle consiste à asservir le potentiel de drain de $M1$ par un circuit source suiveuse. Ce dernier génère la tension de commande du transistor d'échantillonnage M_{s1a} .

1.2.2. Les variations de la tension de sortie

Dans les circuits fonctionnant en mode courant comme la mémoire de courant, la tension de sortie est imposée par la charge. L'une des exigences au niveau de la précision de ces circuits, consiste à rendre le courant de sortie quasiment indépendant de la tension de sortie. Cette contrainte se traduit par une conductance de sortie de la mémoire de courant quasi nulle. Dans le circuit représenté à la **figure 1.3**, la conductance de sortie est la somme des conductances de drain du transistor mémoire $M1$ et de la source de courant de polarisation $M2$. En supposant une variation ΔV_{out} de la tension de sortie faible, nous pouvons exprimer l'erreur du courant restitué $(\Delta I_{out})_{Cond}$ sous la forme:

$$(\Delta I_{out})_{Cond} = g_o \cdot \Delta V_{out} \tag{1.2}$$

avec $g_o = g_{d1} + g_{d2}$

g_{d1} et g_{d2} sont les conductances de drain-source respectives de $M1$ et $M2$.

Par ailleurs, la capacité grille-drain C_{GD1} de $M1$ formant une rétro-action de la sortie de la cellule vers la grille de $M1$, la variation de tension ΔV_{out} engendre également une variation de tension ΔV_{G1} aux bornes de la capacité C_{G1} . Il en résulte alors une erreur du courant restitué définie par:

$$(\Delta I_{out})_{Cgd} = g_{m1} \cdot \Delta V_{G1} = \left(g_{m1} \cdot \frac{C_{GD1}}{C_{G1} + C_{GD1}} \right) \cdot \Delta V_{out} \quad (1.3)$$

Ces deux erreurs ayant la même cause, leurs effets s'ajoutent. Ainsi, l'erreur du courant restitué, imputée aux variations de la tension de sortie, peut se résumer par la relation suivante:

$$(\Delta I_{out})_{Vout} = \left[g_o + \left(g_{m1} \cdot \frac{C_{GD1}}{C_{G1} + C_{GD1}} \right) \right] \cdot \Delta V_{out} \quad (1.4)$$

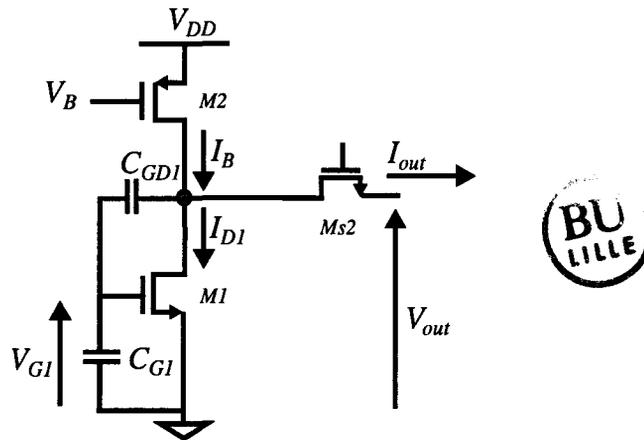


Figure 1.3 : Schéma pour l'analyse des variations de tension de sortie.

Les variations de la tension de sortie demeurent l'une des principales sources d'erreurs de la cellule mémoire élémentaire. L'erreur $(\Delta I_{out})_{Vout}$ est d'autant plus élevée que la longueur du canal de $M1$ est réduite pour des exigences de rapidité.

L'utilisation d'une mémoire de courant cascode [1] permet de réduire cette erreur. La conductance de sortie de $M1$ est réduite d'un facteur égal au gain du transistor cascode. Cette structure limite cependant l'excursion des tensions, par conséquent celle des courants admissibles. Ce problème peut être résolu par une mise en parallèle de plusieurs cellules mémoires cascode en vue d'augmenter la dynamique des courants.

Une autre solution consiste à asservir la tension drain de $M1$ par un amplificateur à transconductance [1]. Cette approche augmente la complexité du circuit et en diminue la rapidité.

La mémoire de courant cascode régulé est une variante de la structure cascode [6]. Un amplificateur est monté entre le drain du transistor mémoire et la grille du transistor cascode. Cet amplificateur permet de maintenir la tension drain du transistor mémoire constante. Cette structure ne permet pas de mémoriser des courants de valeurs importantes car le transistor mémoire se polarise en région triode dans ce cas.

1.2.3. Les courants de fuite

Les courants de fuite, dans la cellule mémoire de courant, sont dûs aux courants de fuite des jonctions formées par les zones de diffusion drain-substrat et source-substrat. Le courant de fuite d'une jonction p-n est constitué de trois composantes:

- Un courant de diffusion des minoritaires (les électrons de la région p et les trous de la région n) qui parviennent à atteindre la zone de charge d'espace. Il n'est donc qu'au signe près, le courant de saturation de la jonction I_S .
- Un courant de génération dû aux paires électrons - trous créés thermiquement dans la zone de charge d'espace. Il est défini par la relation suivante:

$$I_{generation} = [A \cdot (\phi_B - V)]^m \quad (1.5)$$

A est une constante qui dépend du type de matériau semi-conducteur, de la concentration des impuretés et de la température.

La grandeur ϕ_B représente le potentiel de diffusion de la jonction qui est aussi fonction de la température.

Le paramètre m dépend du profil du dopage des impuretés. Il vaut $1/2$ pour une jonction abrupte et $1/3$ pour une jonction graduelle.

- Un courant de fuite en surface lié à l'état de surface du semi-conducteur dans le plan de jonction. Ce courant dépendant de la qualité de technologie, nous le supposons négligeable dans la suite de notre analyse.

L'expression du courant de fuite de la jonction p-n peut alors se mettre sous la forme:

$$I_j = I_S + [A \cdot (\phi_B - V)]^m \quad (1.6)$$

L'influence des courants de fuite dans la cellule mémoire de courant est plus sensible pendant la phase de restitution du courant mémorisé. Ces courants de fuite sont représentés par des générateurs de courant dont les courants circulent du potentiel le plus élevé (zone drain-source: n^+ pour les NMOS) vers le potentiel le moins élevé (substrat). La **figure 1.4** représente le schéma de la cellule mémoire utilisée pour cette étude.

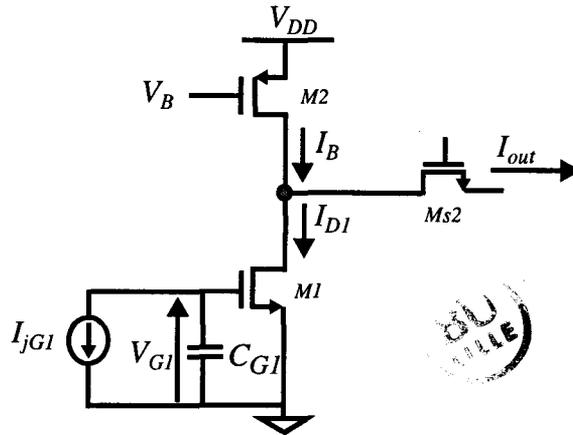


Figure 1.4 : Schéma pour l'analyse de l'influence des courants de fuite.

La décharge de la capacité de mémorisation C_{G1} par I_{jG1} engendre une erreur du courant restitué définie par:

$$(\Delta I_{out})_{leak} = -\frac{g_{m1}}{C_{G1}} \cdot I_{jG1} \cdot T_r \quad (1.7)$$

où T_r représente la durée de la phase de restitution.

La relation (1.7) fixe la fréquence d'échantillonnage minimale permise pour une erreur de courant $(\Delta I_{out})_{leak}$ et une technologie données.

1.2.4. Les limitations en amplitude

La figure 1.5 représente le schéma de la cellule mémoire de courant utilisée pour l'analyse des contraintes en amplitude des courants.

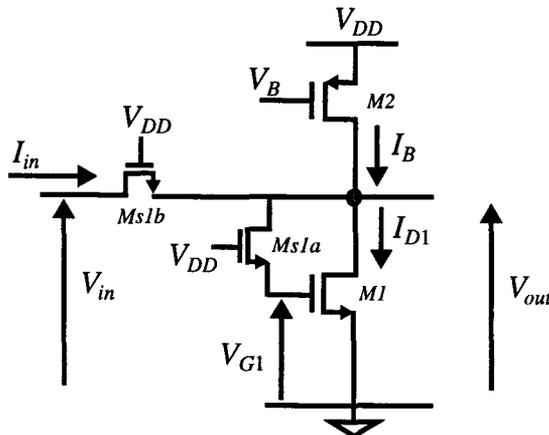


Figure 1.5 : Schéma pour le calcul des valeurs limites de courant.

Pour cette analyse, nous admettons les hypothèses suivantes:

- La tension drain-source de $Ms1a$ est supposée négligeable de telle sorte que V_{G1} est identifiée à V_{out} . Cette hypothèse est justifiée par le fait que le courant statique de $Ms1a$ est nul.

. La conductance de drain de $M2$ est supposée négligeable.

Considérons le cas où nous négligeons les conductances de drain des transistors. Tant que $M2$ reste en zone de saturation, son courant de saturation est égal à l'opposé du courant de polarisation I_B .

Courant d'entrée maximal: $I_{in,max}$

Le transistor $M2$ doit demeurer en régime de forte inversion et en région de saturation pour ne pas perturber le courant de l'alimentation. Cette contrainte impose une tension maximale $V_{G1,max}$. En outre, l'interrupteur $Ms1b$ doit rester en zone triode. La limite de saturation de $Ms1b$ impose par conséquent une tension maximale $V_{in,max}$ à l'entrée de la cellule.

Le courant maximal d'entrée $I_{in,max}$ correspond au courant limite de saturation $Ms1b$ si l'on applique un courant d'entrée I_{in} tel que V_{G1} soit inférieure à $V_{G1,max}$. Dans le cas contraire, le courant maximal d'entrée est la différence entre le courant drain de $M1$, correspondant à $V_{G1,max}$, et le courant de polarisation I_B .

Par exemple, lorsque le courant d'entrée I_{in} , appliqué à la cellule, est tel que la tension V_{in} est égale à $V_{in,max}$ et la tension V_{G1} correspondant inférieure à $V_{G1,max}$, alors le courant maximal d'entrée $I_{in,max}$ équivaut au courant de saturation de $Ms1b$: $I_{DSats1b}$.

$$I_{in,max} = I_{DSats1b} \tag{1.8}$$

Ce courant dépend alors des dimensions et de la tension de grille de $Ms1b$ et des tensions $V_{in,max}$ et V_{G1} pour une technologie donnée. Par contre, lorsque le courant d'entrée I_{in} est tel que la tension V_{G1} est égale à $V_{G1,max}$ et la tension V_{in} demeurant inférieure à $V_{in,max}$, alors le courant d'entrée maximal vaut:

$$I_{in,max} = I_{DSat1,max} - I_B \tag{1.9}$$

$I_{DSat1,max}$ est le courant de saturation de $M1$ correspondant à la tension $V_{G1,max}$. Les dimensions de $M1$ fixent dans ce cas la limite maximale du courant mémorisable.

Courant d'entrée minimal: $I_{in,min}$

Le courant minimal d'entrée $I_{in,min}$ est atteint lorsque la tension V_{in} est à sa valeur minimale. Le courant I_{D1} est alors à sa valeur minimale, $I_{D1,min}$. Dans ce cas, $I_{in,min}$ vaut:

$$I_{in,min} = I_{D1,min} - I_B \tag{1.10}$$

Le courant drain de $M1$ étant toujours positif, il atteint son ultime valeur minimale lorsqu'il est nul. Par conséquent, le courant minimal tend vers l'opposé du courant de polarisation lorsqu'on néglige la conductance drain-source du transistor $M2$.

1.2.5. Le bruit échantillonné

Le phénomène de bruit dans les transistors MOS est attribué à l'agitation thermique des porteurs de charge dans le canal (bruit thermique) et à la variation du taux de recombinaison en surface des paires électron-trou en raison de la présence de défauts (bruit en 1/f). Le bruit thermique est toujours présent dans tout composant passif ou actif opposant une certaine résistance au passage d'un courant. Le bruit en 1/f est lui fortement dépendant de la technologie et des moyens de passivation des surfaces.

L'échantillonnage du bruit est réalisé en même temps que celui du signal véhiculant l'information utile. En effet, à la fin de la phase d'acquisition correspondant à l'ouverture de l'interrupteur $Ms1a$, la capacité C_{G1} mémorise un échantillon de tension qui équivaut à la somme du courant de $M2$ et du courant d'entrée. A l'échantillon de signal utile se superpose un échantillon de tension de bruit. La valeur de cet échantillon équivaut à la racine carrée de la puissance totale moyenne de toutes les sources de bruit présentes dans la cellule. La **figure 1.6** représente la mémoire de courant avec toutes les sources de bruit pendant la phase d'acquisition.

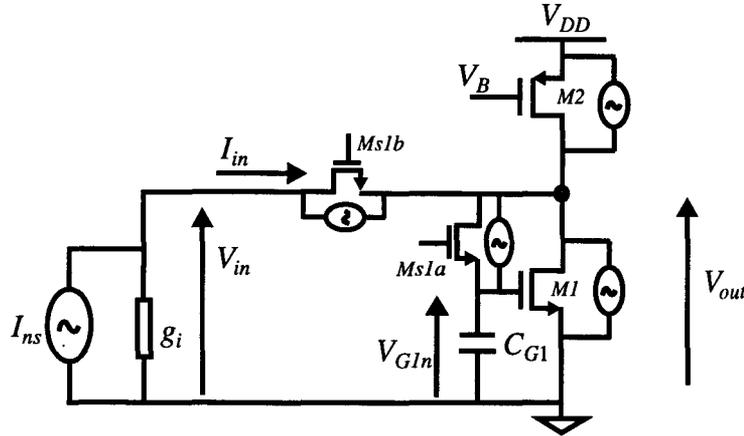


Figure 1.6 : Les sources de bruit de la mémoire de courant en phase d'acquisition.

g_i représente la conductance de sortie de la source de courant d'entrée.

D'après les résultats présentés en annexe B, la puissance totale P_n de bruit échantillonné aux bornes de C_{G1} est définie sous la forme:

$$P_n = \frac{g_{s1b}^2 S_{In_s} + 4KT \left[\frac{2}{3} (g_{m1} + g_{m2}) (g_{s1b} + g_i)^2 + g_{s1b} g_i^2 + (1+A) \frac{(g_o (g_{s1b} + g_i) + g_{s1b} g_i)^2}{g_{s1a}} \right]}{[(g_{m1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]^2} \cdot f_{Bn} \quad (1.11)$$

Avec

$$f_{Bn} = \frac{g_{s1a} \cdot [(g_{m1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]}{4 \{ [(g_o + g_{s1a}) (g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o \}} \quad (1.12)$$

et

$$A = \frac{C_o}{C_{G1}} \cdot \frac{g_{s1a} \cdot (g_{s1b} + g_i) [(g_{m1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]}{[g_o \cdot (g_{s1b} + g_i) + g_{s1b} \cdot g_i]^2} \quad (1.13)$$

g_{m1} , g_o , g_{s1a} et g_{s1b} représentent respectivement la transconductance de $M1$, la somme des conductances de drain de $M1$ et $M2$, la conductance de $Ms1a$ et la conductance de $Ms1b$. f_{Bn} représente la bande passante équivalente de bruit de la mémoire de courant.

La puissance totale de bruit échantillonné sur la grille de $M1$ étant proportionnelle à la bande passante équivalente de bruit f_{Bn} , l'amélioration du rapport de la puissance de signal utile et de la puissance de bruit échantillonné consiste à minimiser la bande passante de bruit. Il apparaît dans la relation (1.12) que, pour un niveau de signal donné, f_{Bn} est faible pour des valeurs élevées de C_{G1} et C_o . Comme C_o augmente la contribution de bruit de $Ms1a$, l'amélioration du rapport signal à bruit nécessite donc une capacité de grille C_{G1} élevée. Cependant, la valeur de cette capacité a une limite supérieure fixée par l'erreur tolérée par la stabilisation de V_{G1} .

1.2.6. Temps de stabilisation de la mémoire de courant

L'étude du temps de stabilisation de la tension V_{G1} à l'aide du schéma équivalent petit signal reste valable tant que les variations successives du courant d'entrée sont faibles par rapport à la moitié du courant de polarisation: $I_B/2$. Le temps de stabilisation de la tension de grille à un échelon de courant d'entrée I_S est déterminé par les pôles de la fonction de transfert de la cellule définie par la relation (B.10) (voir annexe B).

$$\frac{V_{G1}(p)}{I_S(p)} = \frac{g_{s1b}}{(g_{m1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (1.14)$$

où τ_5 et τ_6 sont définies de la manière suivante:

$$\tau_5 = \frac{[(g_o + g_{s1a}) (g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o}{g_{s1a} \cdot [(g_{m1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]}$$

$$\tau_6 = \frac{(g_{s1b} + g_i) \cdot C_{G1} \cdot C_o}{[(g_o + g_{s1a}) (g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o}$$

La pulsation de résonance ω_o et le facteur d'amortissement ζ sont respectivement définis par:

$$\omega_o = \frac{1}{\sqrt{\tau_5 \cdot \tau_6}}$$

$$\omega_o = \sqrt{\frac{g_{s1a} \cdot [(g_{m1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]}{(g_{s1b} + g_i) \cdot C_{G1} \cdot C_o}} \quad (1.15)$$

$$\zeta = \frac{\omega_o \cdot \tau_5}{2}$$

$$\zeta = \frac{[(g_o + g_{s1a})(g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o}{2\sqrt{g_{s1a}} \cdot [(g_{m1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot (C_{G1} \cdot C_o)} \quad (1.16)$$

L'erreur relative de la tension V_{G1} est fonction du régime de fonctionnement considéré. Elle vaut donc:

• pour le régime sous amorti: $0 < \zeta < 1$

$$\frac{\Delta V_{G1}(t)}{V_{G1o}} = -\frac{e^{-\zeta \cdot \omega_o \cdot t}}{\sqrt{1 - \zeta^2}} \cdot \sin(\omega_o \cdot \sqrt{1 - \zeta^2} \cdot t + \varphi) \quad (1.17)$$

avec

$$\varphi = \operatorname{atan}\left(\frac{\sqrt{1 - \zeta^2}}{\zeta^2}\right)$$

• pour le régime critique: $\zeta = 1$

$$\frac{\Delta V_{G1}(t)}{V_{G1o}} = -[1 - (\omega_o \cdot t)] \cdot e^{-\omega_o \cdot t} \quad (1.18)$$

• pour le régime sur amorti: $\zeta > 1$

$$\frac{\Delta V_{G1}(t)}{V_{G1o}} = \left[\frac{(\zeta - \sqrt{\zeta^2 - 1})}{2\sqrt{\zeta^2 - 1}} e^{-\omega_o \cdot (\zeta + \sqrt{\zeta^2 - 1})t} - \frac{(\zeta + \sqrt{\zeta^2 - 1})}{2\sqrt{\zeta^2 - 1}} e^{-\omega_o \cdot (\zeta - \sqrt{\zeta^2 - 1})t} \right] \quad (1.19)$$

avec

$$V_{G1o} = I_S \cdot \frac{g_{s1b}}{(g_{m1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i} \quad (1.20)$$

Pour une durée d'acquisition donnée et une capacité C_{G1} fixée, l'erreur relative de V_{G1} est d'autant plus faible que la transconductance g_{m1} du transistor mémoire $M1$ est élevée.

1.3. Références bibliographiques

- [1] S. J. DAUBERT, D. VALLANCOURT and Y. TSIVIDIS
Current Copier Cells.
Electronics Letters, Vol. 24, No 25, 8th Dec. 1988, pp. 1560 -1562.

- [2] B. J. SHEU, J. SHIEH and M. PATIL
Modeling Charge Injection in MOS Analog Switches.
IEEE Trans. on Circuits and Systems, Vol. 34, No. 2, February 1987, pp. 214 - 216.

- [3] G. WEGMANN, E. VITTOZ and F. RAHALI
Charge Injection in Analog MOS Switches.
IEEE Journal of Solid-State Circuits, Vol. 22, No. 6, December 1987, pp. 1091 - 1097.

- [4] C. EICHENBERGER and W. GUGGENBUHL
On Charge Injection in Analog Switches and Dummy Switch Compensation Techniques.
IEEE Trans. on Circuits and Systems, Vol. 37, No. 2, February 1990, pp. 256 - 264.

- [5] George WEGGMANN
Design and Analysis Techniques for Dynamic Current Mirrors.
Ph. D Thesis - EPFL, 1990.

- [6] C. TOUMAZOU, J. B. HUGHES and D. M. PATTULO
Regulated Cascode Switched-Current Memory Cell.
Electronics Letters, Vol. 26, No 5, 1st March 1990, pp. 303 - 305.

CHAPITRE 2

Circuits à mémoire de courant

La mémoire de courant peut être considéré comme un opérateur analogique réalisant les fonctions d'inversion, de sommation et de retard. Sur la base de cet opérateur, il est possible de développer des architectures de circuits élémentaires comme l'intégrateur, le multiplieur et le diviseur. Ces circuits peuvent servir à la réalisation d'architectures de circuits complexes, avec un encombrement réduit.

Nous décrivons, dans ce chapitre, de nouvelles architectures d'intégrateurs, de multiplieurs et de diviseurs construites avec des mémoires de courant. Certaines architectures, notamment celle de l'intégrateur à deux phases, présentent un avantage de rapidité comparable à celles réalisées à l'aide de la technique des capacités commutées.

2.1. Représentation symbolique de la cellule mémoire de courant

Afin de décrire les architectures de circuits plus complexes, nous définissons un symbole de la cellule mémoire de courant. La définition du symbole de la cellule obéit aux règles énumérées ci-dessous.

1. Une cellule mémoire de courant peut acquérir un ou plusieurs courants. A chaque courant d'entrée est attribué un et un seul interrupteur d'entrée. Il en résulte qu'il y a autant d'interrupteurs d'entrée que de courants à acquérir.
2. Tous les interrupteurs d'entrée sont commandés par le même signal d'horloge.
3. Une cellule ne possède qu'un seul noeud de sortie à partir duquel l'on peut connecter un ou plusieurs interrupteurs de sortie. Cependant, la cellule ne peut restituer son courant qu'à travers un et un seul interrupteur de sortie. Cette condition, qui permet d'éviter la distribution du même courant de sortie dans plusieurs charges, impose un signal d'horloge pour chaque interrupteur de sortie.
4. Une même cellule ne peut être à la fois en acquisition et en restitution. Cette règle impose une condition de non recouvrement des signaux d'horloge.

Nous présentons ci-dessous un exemple d'une cellule mémoire de courant à trois entrées et le symbole qui en découle.

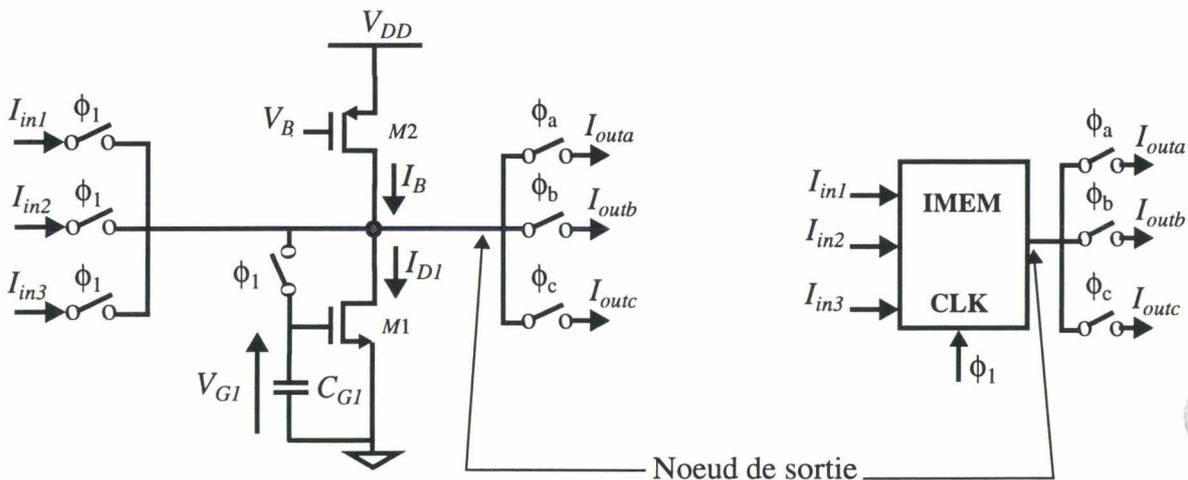


Figure 2.1 : Représentation symbolique d'une cellule mémoire de courant à trois entrées.

L'acquisition des courants I_{in1} à I_{in3} se fait simultanément pendant la phase ϕ_1 . La restitution du courant mémorisé s'effectue pendant l'une des phases ϕ_a à ϕ_c .

Le symbole de la cellule de la **figure 2.1**, appelé IMEM est constitué de quatre entrées: trois entrées de courant et une entrée auxiliaire CLK. Le signal d'entrée auxiliaire représente la commande des interrupteurs d'entrée. Le symbole IMEM possède un noeud de sortie unique auquel sont connectés les trois interrupteurs de sortie. Nous appliquerons ce symbole à la description d'architectures de circuits à mémoire de courant.

2.2. Intégrateurs de courant

La fonction d'intégration en temps discret est une opération de sommation réalisée de manière algorithmique [1]. Deux types d'intégrateurs peuvent être réalisés à l'aide de la mémoire de courant: les intégrateurs non inverseurs et inverseurs à cause de la fonction d'inversion qui est intrinsèque à cette cellule.

2.2.1. Intégrateurs non inverseurs

En mode courant, l'intégrateur qui réalise la même fonction que l'une de celles obtenues en mode tension, est représenté à la **figure 2.2**. Son architecture est composée de trois cellules mémoires de courant, associées à trois phases non recouvrantes du signal d'horloge. Les trois phases ϕ_1 à ϕ_3 forment une période de fonctionnement. La cellule IMEM2 est indispensable pour réaliser la sommation cumulative réalisée par l'intégrateur à temps discret. A chaque cycle de fonctionnement, elle mémorise temporairement un courant correspondant au courant de sortie de l'intégrateur.

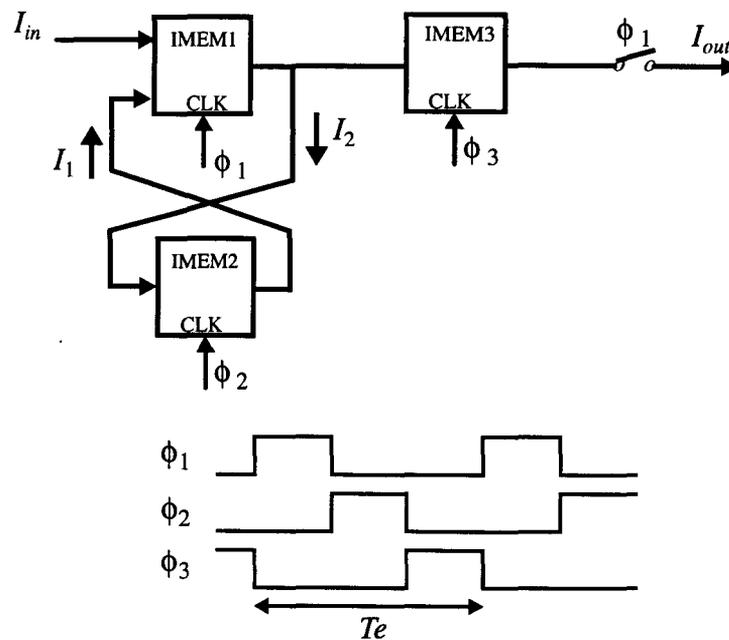


Figure 2.2 : Architecture de l'intégrateur non inverseur de courant à trois phases réalisée avec trois cellules.

Son principe est le suivant:

- Pendant la phase active de ϕ_1 , la cellule IMEM1 mémorise l'échantillon du courant d'entrée I_{in} . Nous supposons que le courant I_1 est initialement nul.
- Ce courant est ensuite inversé par IMEM1. Il devient I_2 qui est ensuite transmis à la cellule IMEM2 pendant la phase active de ϕ_2 .
- Le courant de sortie de l'intégrateur I_{out} est enfin obtenu pendant la phase active de ϕ_3 , après qu'il a été inversé par IMEM3. Le courant I_{out} subit ainsi deux inversions à travers deux cellules. Il a donc le même signe de le courant d'entrée I_{in} .

- A la phase active suivante de ϕ_1 , la cellule IMEM1 effectue l'acquisition d'un nouvel échantillon du courant d'entrée et du courant I_1 restitué par la cellule IMEM2. Ce dernier correspond au courant de sortie de l'intégrateur de la phase précédente.
- Pendant la phase active de ϕ_2 , le courant I_2 est mémorisé par IMEM2.
- Enfin, le courant de sortie de l'intégrateur, pendant la phase ϕ_3 , est la somme du courant d'entrée échantillonné pendant la phase ϕ_1 et le courant de sortie précédent de l'intégrateur.

Le retard entre la sortie et l'entrée de l'intégrateur est d'une période d'échantillonnage; la sortie étant échantillonnée pendant la même phase que l'entrée. La relation d'entrée-sortie de l'intégrateur est donc de la forme:

$$I_{out} = \frac{z^{-1}}{1 - z^{-1}} \cdot I_{in} \quad (2.1)$$

La fonction d'intégration non inverseuse peut être réalisée à l'aide de deux cellules mémoires de courant (IMEM1 et IMEM2) et de trois phases d'horloge non recouvrantes (ϕ_1, ϕ_2, ϕ_3). La figure 2.3 représente l'architecture d'un tel intégrateur.

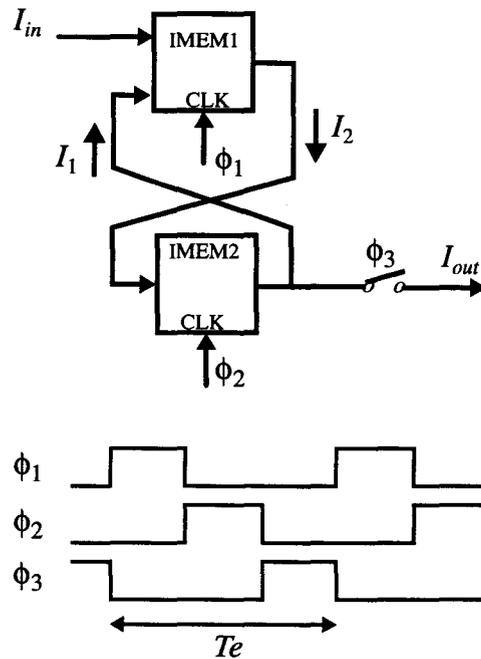


Figure 2.3 : Architecture de l'intégrateur non inverseur de courant à trois phases réalisée avec deux cellules.

Le principe de cet intégrateur non inverseur s'énonce comme suit:

- Pendant la phase active de ϕ_1 , la cellule IMEM1 acquiert un échantillon du courant d'entrée I_{in} . Nous supposons que le courant I_1 est initialement nul.
- Le courant de sortie I_2 de IMEM1 est ensuite transmis à la cellule IMEM2 pendant la phase active de ϕ_2 .

- Le courant de sortie de l'intégrateur I_{out} est enfin obtenu pendant la phase active de ϕ_3 , après qu'il a été inversé par IMEM2. Le courant I_{out} subit ainsi deux inversions à travers deux cellules. Il a donc le même signe de le courant d'entrée I_{in} .
- A la phase active suivante de ϕ_1 , la cellule IMEM1 mémorise cette fois-ci, un nouvel échantillon du courant d'entrée et un échantillon du courant I_1 . Le courant I_1 correspond au courant de sortie de l'intégrateur.
- Le courant I_2 mémorisé par IMEM2 pendant la phase active de ϕ_2 est l'inverse du courant précédemment mémorisé par IMEM1.
- Enfin, le courant de sortie de l'intégrateur, pendant la phase ϕ_3 , est la somme du courant échantillonné pendant la phase ϕ_1 et le courant de sortie précédent de l'intégrateur.

Ce fonctionnement traduit sous la forme d'équations de la transformée en Z, nous donne les relations suivantes entre les courants:

$$I_2 = -z^{-\frac{1}{3}} \cdot (I_{in} + I_1) \quad (2.2)$$

$$I_1 = -z^{-\frac{2}{3}} \cdot I_2 \quad (2.3)$$

$$I_{out} = -z^{-\frac{1}{3}} \cdot I_2 \quad (2.4)$$

En combinant les équations (2.2) à (2.4), nous obtenons la relation entre les courants d'entrée et de sortie de l'intégrateur:

$$I_{out} = \frac{z^{-\frac{2}{3}}}{1 - z^{-1}} \cdot I_{in} \quad (2.5)$$

Le retard de l'intégrateur est de 2/3 de période d'échantillonnage. Ce retard correspond au retard de ϕ_3 par rapport à ϕ_1 .

Remarquons qu'une permutation des phases d'horloge f_2 et f_3 , dans l'architecture représentée à la figure 2.3, entraînerait un retard du courant de sortie par rapport au courant d'entrée de plus d'une période d'horloge.

2.2.2. Intégrateurs inverseurs

La réalisation d'un intégrateur inverseur est également possible avec deux cellules mémoires de courant et trois phases d'horloge. Son architecture est représentée à la **figure 2.4**.

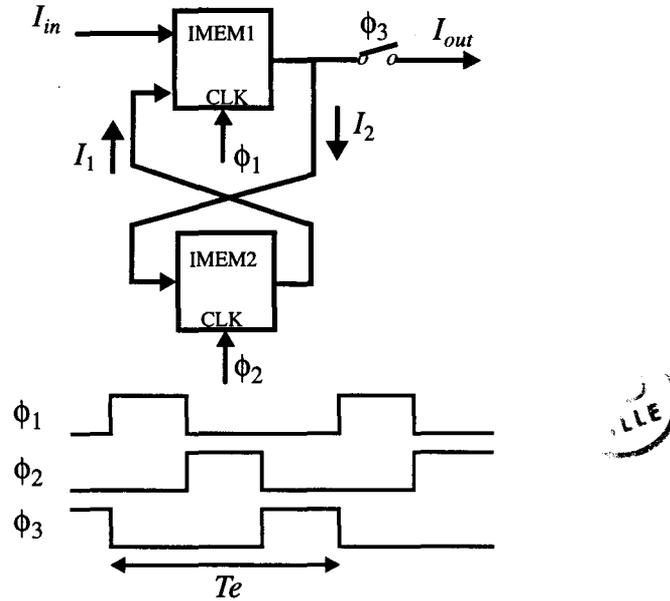


Figure 2.4 : Architecture de l'intégrateur inverseur de courant à trois phases.

Le principe est identique à celui de l'intégrateur non inverseur, à l'exception que le courant de sortie est fourni par la cellule IMEM1; il ne subit qu'une seule inversion. Les relations entre les courants sont les suivantes:

$$I_1 = -z^{-\frac{2}{3}} \cdot I_2 \quad (2.6)$$

$$I_2 = -z^{-\frac{1}{3}} \cdot (I_{in} + I_1) \quad (2.7)$$

$$I_{out} = -z^{-\frac{2}{3}} \cdot (I_{in} + I_1) = z^{-\frac{1}{3}} \cdot I_2 \quad (2.8)$$

En combinant les relation (2.6), (2.7) et (2.8), nous obtenons:

$$I_{out} = -\frac{z^{-\frac{2}{3}}}{1 - z^{-1}} \cdot I_{in} \quad (2.9)$$

Lorsque nous permutons les phases ϕ_2 et ϕ_3 , l'expression du courant de sortie de l'intégrateur en fonction de son courant d'entrée devient:

$$I_{out} = -\frac{z^{-\frac{1}{3}}}{1 - z^{-1}} \cdot I_{in} \quad (2.10)$$

Toutes les architectures décrites jusqu'à présent utilisent trois phases d'horloge par cycle de fonctionnement. En outre, deux mémorisations de courant sont indispensables à chaque cycle. L'architecture de l'intégrateur représentée à la **figure 2.5** permet d'éviter la seconde recopie de courant.

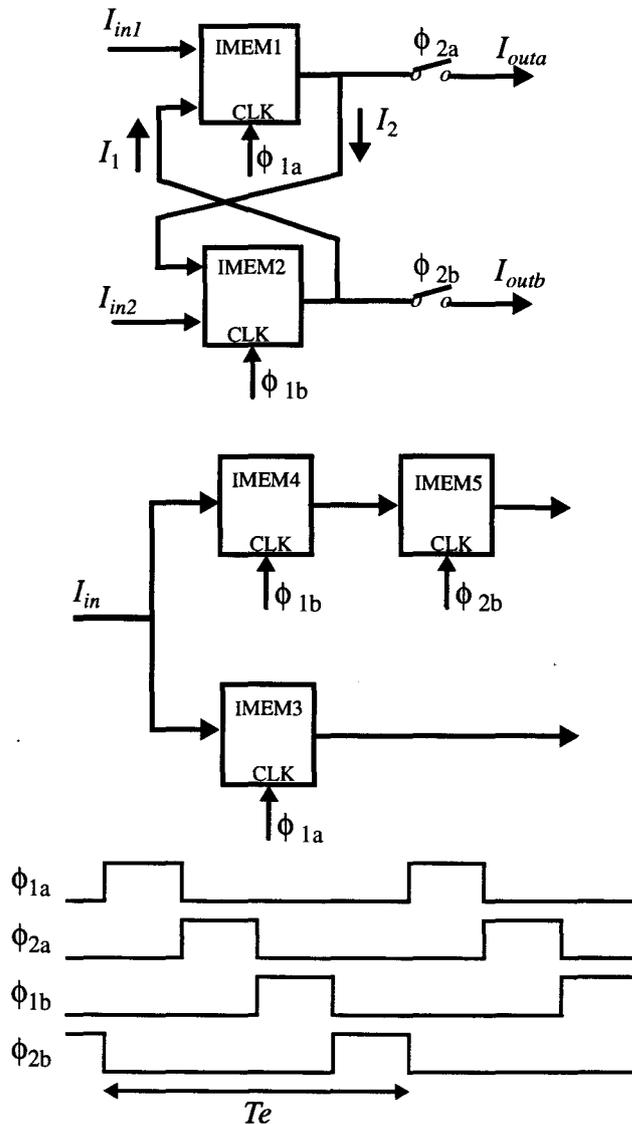


Figure 2.5 : Architecture de l'intégrateur de courant à deux phases.

La partie principale de l'intégrateur est constituée des cellules IMEM1 et IMEM2. Elle possède deux entrées distinctes correspondant à deux sorties distinctes. Son cycle de fonctionnement s'étend sur deux périodes d'échantillonnage constituées de quatre phases consécutives et non recouvrantes ϕ_{1a} à ϕ_{2b} . Les phases ϕ_{1a} et ϕ_{2a} forment la première période. Les phases ϕ_{1b} et ϕ_{2b} constituent la seconde période. L'originalité de cet intégrateur réside dans l'utilisation de quatre phases d'horloge pour intégrer deux échantillons successifs (I_{in1} et I_{in2}) d'un même signal d'entrée I_{in} .

Son principe est le suivant:

Première période:

- Pendant la phase ϕ_{1a} , la cellule IMEM1 mémorise un échantillon du courant I_{in1} . Nous supposons que les courants I_1 et I_2 sont initialement nuls. Ce courant est ensuite inversé et échantillonné à la sortie de l'intégrateur pendant la phase ϕ_{2a} .

Seconde période:

- Pendant la phase ϕ_{1b} , c'est autour de la cellule IMEM2 de mémoriser la somme des échantillons du courant I_{in2} et du courant de sortie précédent I_{outa} . Pour que cette somme ne soit pas nulle, il est impératif que le courant I_{in2} soit différent du courant I_{in1} précédent. Le courant de sortie I_{outb} de l'intégrateur est obtenu pendant la phase ϕ_{2b} .

La relation entre les courants d'entrée I_{in2} et de sortie I_{outb} de l'intégrateur, à la fin de cette période d'échantillonnage, peut se mettre sous la forme:

$$I_{outb} = -z^{-\frac{1}{2}} \cdot (I_{in2} + z^{-1/2} \cdot I_{outa}) \quad (2.11)$$

Troisième période:

- Pendant la phase ϕ_{1a} , la cellule IMEM1 fait l'acquisition de la somme des échantillons du courant I_{in1} et du courant de sortie précédent I_{outb} de l'intégrateur. Le nouveau de courant de sortie I_{outa} est ensuite obtenu pendant la phase suivante ϕ_{1b} .

La relation entre les courants d'entrée I_{in1} et de sortie I_{outa} de l'intégrateur, à la fin de cette période d'échantillonnage, est d'une forme similaire à précédente.

$$I_{outa} = -z^{-\frac{1}{2}} \cdot (I_{in1} + z^{-1/2} \cdot I_{outb}) \quad (2.12)$$

La condition imposée aux courants I_{in1} et I_{in2} d'être impérativement différents, implique qu'ils soient nécessairement opposés lorsqu'un même signal d'entrée I_{in} est intégré. L'inversion de signe ainsi que la nécessité d'un échantillonnage uniforme sont obtenus à l'aide des cellules IMEM3 à IMEM5. Ces cellules constituent le circuit d'adaptation des courants d'entrée de cet intégrateur. La relation entre les courants de sortie I_{out} et d'entrée I_{in} de l'intégrateur devient alors:

$$I_{out} = -\frac{z^{-\frac{1}{2}}}{1 - z^{-1}} \cdot I_{in} \quad (2.13)$$

L'avantage de cette architecture est sa rapidité. Il y a un gain de 30% en temps d'intégration par rapport à l'architecture à trois phases. Ce gain de temps lui confère un atout majeur pour son utilisation dans la conception de circuits rapides tel que le convertisseur Sigma-Delta.

Des architectures d'intégrateur en mode courant, permettant de réaliser la même fonction de transfert que celle présentée précédemment ont été proposées [2, 3]. Le principe de ces architectures est basé sur l'appariement de transistors. Ce qui constitue un inconvénient majeur pour des réalisations dans les technologies sub-microniques.

2.3. Multiplieurs de courant

La réalisation de coefficients de gain, avec uniquement des mémoires de courant, n'est possible que de manière algorithmique. La fonction de sommation étant inhérente aux circuits en mode courant, la réalisation des multiplieurs est aisée. La fonction de multiplication est réalisée par sommation successive d'un même courant.

L'utilisation de deux ou trois mémoires de courant et trois phases d'horloge (ϕ_1 , ϕ_2 et ϕ_3) permet d'obtenir un gain de 2 avec ou sans inversion de signe. La **figure 2.6** représente un exemple de multiplieur par 2 sans inversion du signe du courant signal I_{in} .

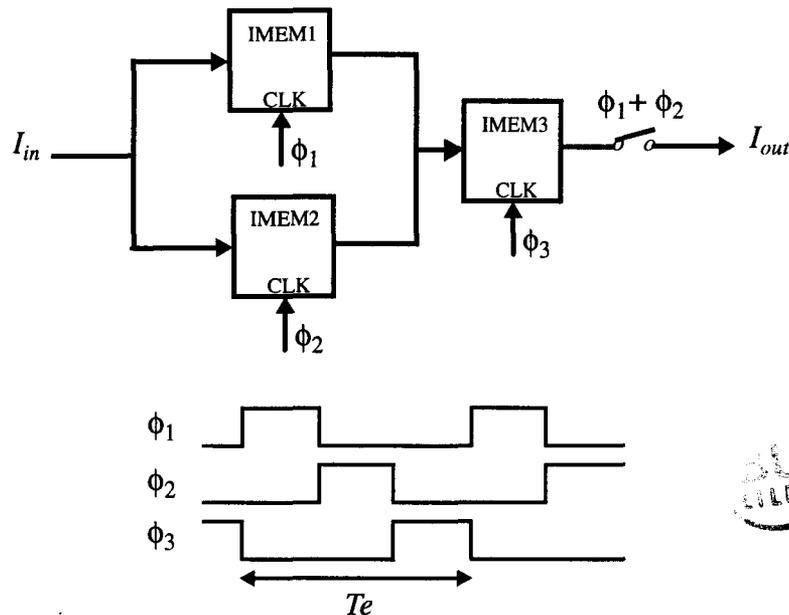


Figure 2.6 : Architecture du multiplieur algorithmique de courant par 2.

Son principe s'énonce comme suit:

- Pendant la phase active de ϕ_1 , la cellule IMEM1 effectue l'acquisition du courant d'entrée I_{in} .
- Pendant la phase ϕ_2 , c'est autour de la cellule IMEM2 d'acquérir le courant d'entrée.
- Puis, la somme des courants est effectuée pendant la phase active de ϕ_3 . Nous obtenons ainsi deux fois l'opposé du courant I_{in} dans la cellule IMEM3.
- Enfin, lors de la phase active suivante de ϕ_1 ou de ϕ_2 , nous obtenons le courant de sortie du multiplieur qui est donc égal à deux fois le courant d'entrée.

Le problème de dynamique de courant que peut poser la mémoire IMEM3 peut être résolu par la mise en parallèle de plusieurs cellules.

Pour obtenir un coefficient de gain de 2 avec inversion de signe, il suffit de supprimer la mémoire IMEM3 dans le schéma de la **figure 2.6**. Le courant de sortie s'obtient alors pendant la phase ϕ_3 . L'obtention d'un coefficient de gain de $-n$ nécessite l'utilisation de n phases d'horloge ainsi que n cellules mémoires de courant.

2.4. Diviseurs de courant

Diviser un courant par un nombre entier n consiste à partager celui-ci dans n cellules identiques. Le courant recherché est alors le courant de sortie de l'une des n cellules. La notion d'identité requiert un appariement parfait entre les cellules; ce qui est impossible à réaliser dans la pratique. Le courant restitué est alors entaché d'une erreur dépendant du signal. Le recours à une méthode itérative s'avère indispensable pour réduire cette erreur.

Des approches de réalisation de diviseurs de courant, basées sur le même principe, ont été proposées [4, 5]. La différence fondamentale entre les précédentes architectures et celles présentées ici, est le type de mémoires utilisées. Des mémoires de courant NMOS et PMOS non polarisées ont été utilisées dans [4], et des mémoires CMOS dans [5].

La **figure 2.7** représente l'architecture du diviseur de courant par 2.

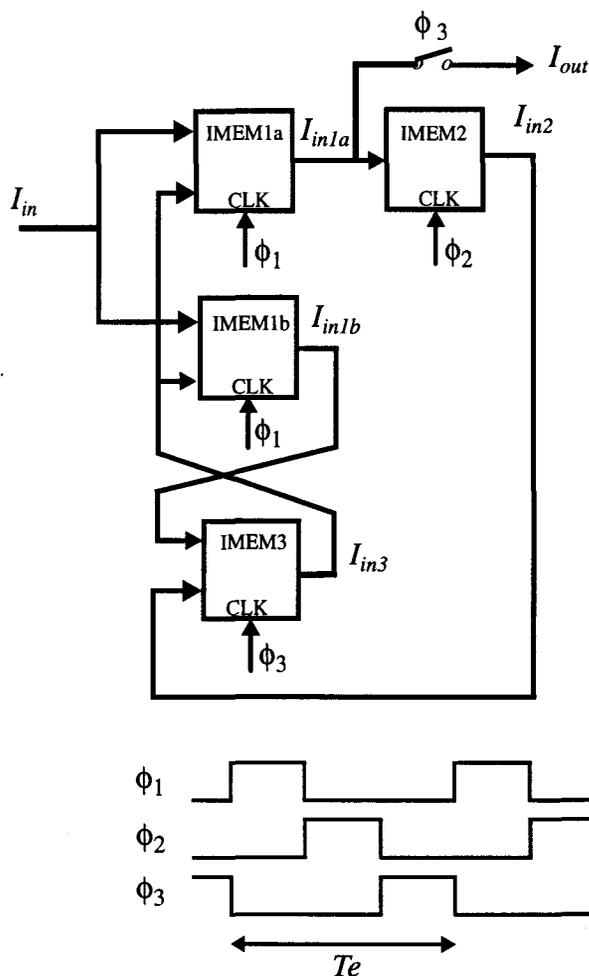


Figure 2.7 : Architecture du diviseur de courant par 2.

Le principe du diviseur de courant consiste à obtenir un courant I_{out} tel que

$$I_{out} = I_{1a} = -\frac{I_{in}}{2} \cdot (1 + \epsilon) \tag{2.14}$$

ε est le taux d'erreur introduit par IMEM1a. Pour que le courant I_{out} tende vers $-I_{in}/2$, il suffit d'ajouter un courant à I_{1a} pour annuler le résidu. D'où, le rôle de la cellule IMEM3. Le courant I_{1a} devient alors:

$$I_{1a} = -\frac{I_{in} + I_3}{2} \cdot (1 + \varepsilon) \quad (2.15)$$

Il s'agit de faire tendre I_3 vers $-(\varepsilon * I_{in}) / (1 + \varepsilon)$ pour récupérer exactement un courant I_{out} égal à $-I_{in}/2$. Pour cela, la cellule IMEM1b est appariée à IMEM1a telle que son taux d'erreur soit opposé à celui de IMEM1a.

Supposons le courant I_3 nul à l'itération 0. Après la phase ϕ_1 , nous avons:

$$I_{1a} = -\frac{I_{in}}{2} \cdot (1 + \varepsilon) \quad (2.16)$$

$$I_{1b} = -\frac{I_{in}}{2} \cdot (1 - \varepsilon) \quad (2.17)$$

Le rôle de la cellule IMEM2 est d'inverser le courant I_{1a} . Ainsi, après la phase ϕ_2 , le courant I_2 vaut:

$$I_2 = \frac{I_{in}}{2} \cdot (1 + \varepsilon) = -I_{1a} \quad (2.18)$$

Ensuite, à la fin de la phase ϕ_3 , nous obtenons:

$$I_3 = -\varepsilon \cdot I_{in} = -(I_2 + I_{1b}) \quad (2.19)$$

Ensuite, les phases ϕ_1 à ϕ_3 sont répétées à l'itération 1, puis à l'itération 2, ainsi de suite. A l'itération N , nous obtenons:

$$I_3 = -\varepsilon \cdot I_{in} \cdot \sum_{k=0}^N (-1)^k \cdot \frac{\varepsilon^k}{k!} \quad (2.20)$$

$$I_{out} = I_{1a} = -\frac{I_{in}}{2} \cdot \left(1 - \left(\varepsilon \cdot \sum_{k=0}^N (-1)^k \cdot \frac{\varepsilon^k}{k!} \right) \right) (1 + \varepsilon) \quad (2.21)$$

La relation (2.18) montre bien que la précision du courant I_{out} dépend du nombre d'itérations N .

2.5. Références bibliographiques

- [1] C. TOUMAZOU, N. C. BATTERSBY and C. MAGLARAS
High-Performance Algorithmic Switched-Current Memory Cell.
Electronics Letters, Vol. 26, No 19, 13th Sept. 1990, pp. 1593 - 1595.

- [2] J. B. HUGHES, I. C. MACBETH and D. M. PATTULO
New Switched-Current Integrator.
Electronics Letters, Vol. 21, No. 11, May 1990, pp. 694 - 696.

- [3] Terri S. FIEZ and David J. ALLSTOT
CMOS Switched-Current Ladder Filters.
IEEE Journal of Solid-State Circuits, Vol. 25, No. 6, December 1990, pp. 1360 - 1367.

- [4] J. ROBERT, P. DEVAL and G. WEGMANN
Very Accurate Current Divider.
Electronics Letters, No. 25, 1989, pp. 912 - 913.

- [5] C - L. WEY and S. KRISHNAN
Current-Mode Divide-By-Two Circuit.
Electronics Letters, Vol. 28, No. 8, April 1992, pp. 820 - 822.

CHAPITRE 3

Architectures de convertisseurs Sigma-Delta à mémoire de courant

Les convertisseurs Sigma-Delta ont fait l'objet de nombreuses réalisations jusqu'à ce jour à l'aide de la technique des capacités commutées. Ils permettent d'atteindre des résolutions supérieures à 10 bits dans les bandes passantes couvrant le domaine audio jusqu'à quelques dizaines de kilo-Hertz. Ces performances sont, en partie, dues à la qualité de la constante de temps des intégrateurs utilisés, dans la conception de la partie analogique que représente les modulateurs Sigma-Delta. L'une des limites de la technique à capacités commutées est sa non compatibilité technologique. Elle utilise deux couches de silicium polycristallin pour la réalisation des capacités flottantes; la seconde couche n'existant pas dans les technologies purement numériques. En outre, la réalisation d'amplificateurs opérationnels à grand gain devient plus difficile lorsque les tensions d'alimentation sont plus faibles (au-dessous de 5 volts).

La simplicité de conception que présente la mémoire de courant, d'être réalisée à l'aide des technologies des circuits numériques à très haute densité d'intégration, offre de nouvelles perspectives quant à la réalisation de circuits plus complexes tel que le convertisseur Sigma-Delta. Les structures des convertisseurs Sigma-Delta en mode tension sont difficilement transposables en mode courant. Cette difficulté est liée à la différence des retards dans les fonctions de transfert des intégrateurs entre le mode tension et le mode courant. Ce chapitre décrit différentes architectures de convertisseurs Sigma-Delta d'ordre 1 et 2 réalisées à l'aide de mémoires de courant.

3.1. Principe du convertisseur Sigma-Delta

Le principe du convertisseur Sigma-Delta réside dans le sur-échantillonnage et le filtrage numérique pour atteindre de hautes résolutions (plus de 10 bits) dans la gamme de fréquences audio jusqu'à quelques dizaines de kilo-Hertz. Le convertisseur Sigma-Delta est composé d'un modulateur et d'un filtre numérique de décimation. La structure générale du convertisseur est donnée à la **figure 3.1**. Le modulateur Sigma-Delta constitue la partie analogique du convertisseur à l'entrée duquel se trouve le signal à convertir. Il effectue un pré-traitement en repoussant le bruit de quantification hors de la bande de base, c'est à dire la largeur de bande du signal à convertir. Il génère un train d'impulsions dont la densité est proportionnelle à l'amplitude du signal à convertir. Le filtre numérique est généralement composé de deux filtres: un filtre de décimation et un filtre type passe-bas. Le filtre de décimation permet de réduire la cadence d'échantillonnage et le filtre passe-bas atténue les composantes spectrales situées hors de la bande de base [1].

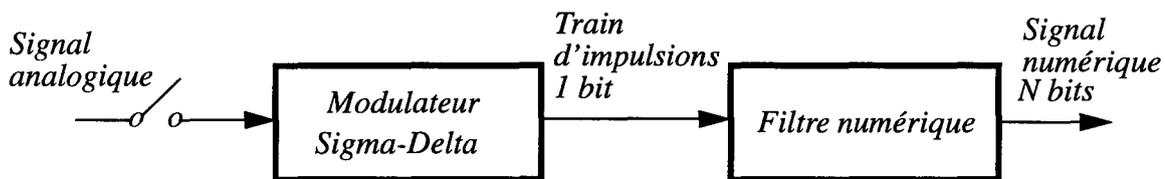


Figure 3.1 : Structure générale du convertisseur Sigma-Delta

3.2. Le modulateur Sigma-Delta

3.2.1. Principe du modulateur Sigma-Delta

La conversion analogique-numérique est une opération qui consiste à convertir une information analogique, portée par un signal à variations continues, en une séquence de nombres discrets, issus d'un ensemble fini de q entiers. Cette conversion comporte deux opérations fondamentales: un échantillonnage et une quantification.

La modulation Sigma-Delta est une modulation numérique différentielle dans laquelle l'on code, non pas la valeur instantanée du signal analogique comme c'est le cas dans la modulation par impulsion codée, mais la somme algébrique des échantillons issus de la différence entre un échantillon du signal analogique et une valeur estimée par extrapolation d'ordre zéro, des valeurs des échantillons précédents. Elle est donc caractérisée, dans sa forme la plus élémentaire, par:

- une fonction d'intégration ou si le signal est échantillonné, une fonction de sommation algébrique des ses échantillons,
- une quantification du signal issu de l'intégration, à un seul bit ($q = 2$), c'est à dire que seul le signe de ce signal est considéré.

La **figure 3.2** représente la structure fonctionnelle générale du modulateur Sigma-Delta.

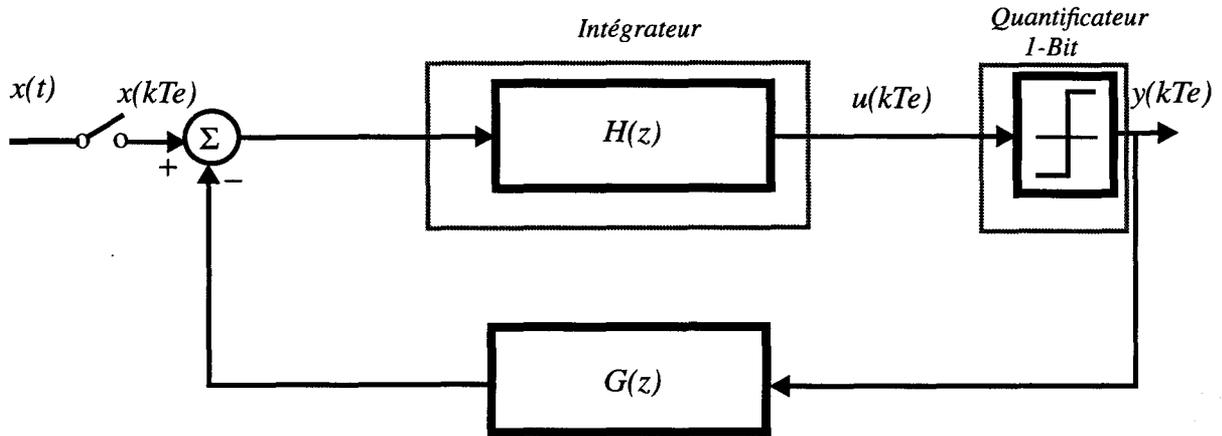


Figure 3.2 : Structure fonctionnelle du modulateur Sigma-Delta

Les fonctions de transfert $H(z)$ et $G(z)$ sont définies sous la forme:

$$H(z) = \frac{z^{-p}}{(1 - z^{-1})^L} \quad (3.1)$$

$$G(z) = \frac{1 - (1 - z^{-1})^L}{z^{-p}} \quad (3.2)$$

L représente l'ordre du modulateur qui est en fait le nombre d'intégrateurs utilisés. p est le retard du signal codé $y(kTe)$ par rapport au signal original $x(kTe)$. L est un nombre entier. Par contre, p peut être un nombre entier ou fractionnaire, mais doit rester inférieur ou égal à L .

Le signal de sortie $y(kTe)$ prend la valeur $+\Delta$ ou $-\Delta$ selon le signe de $u(kTe)$. Δ représente le pas de quantification.

Remarquons qu'en remplaçant $H(z)$ par la fonction de transfert d'un filtre passe-tout (court-circuit) et $G(z)$ par celle d'un retard de la période d'échantillonnage, nous obtenons un modulateur Delta.

3.2.2. Caractérisation du modulateur Sigma-Delta

Le rapport du pas de quantification Δ à la période d'échantillonnage Te définit la plus forte pente que peut présenter le signal $y(kTe)$. Si, la variation du signal original $x(t)$, pendant la durée de conversion Te , dépasse ce rapport, $y(kTe)$ ne peut plus suivre $x(t)$. Une saturation de pente apparaît. Elle se traduit par une croissance de la distorsion de quantification. Cette saturation de pente concerne la somme des échantillons du signal échantillonné et non les échantillons eux-mêmes comme en modulation Delta. Pour un signal $x(t) = A * \sin(2 \pi f_0 t)$, les variations de cette somme sont maximales lorsque $x(t) = A$. La pente vaut alors $A * f_0$, indépendamment de f_0 . Le pas de quantification est choisi au moins égal à l'amplitude maximale du

signal à convertir et cela quelle que soit sa fréquence f_0 .

Pour évaluer de manière analytique le rapport signal à bruit de quantification (*SNR*), une linéarisation du quantificateur est indispensable. L'erreur de quantification est considérée comme un signal aléatoire $q(t)$ d'amplitudes variant entre $+\Delta$ et $-\Delta$, et dont la densité de probabilité $p(q)$ est supposée uniforme entre ces valeurs extrêmes, c'est à dire $p(q) = 1/(2\Delta)$ [2]. La figure 3.3 représente la modélisation du modulateur qui découle de cette hypothèse.

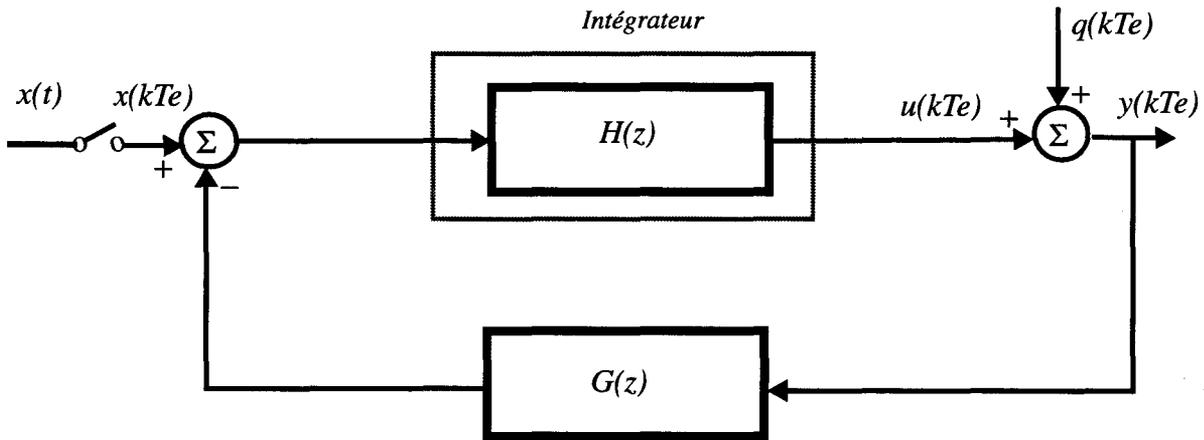


Figure 3.3 : Linéarisation fonctionnelle du modulateur Sigma-Delta

En outre, nous ferons les hypothèses suivantes:

- Le signal à convertir est à spectre borné entre 0 et f_B ,
- Le spectre de $q(t)$ est considéré comme étant uniforme au moins jusqu'à f_e .

Le signal de sortie du modulateur peut alors s'exprimer sous la forme:

$$Y(z) = \frac{H(z)}{1 - H(z) \cdot G(z)} \cdot X(z) + \frac{1}{1 - H(z) \cdot G(z)} \cdot Q(z) \quad (3.3)$$

En remplaçant les expressions de $H(z)$ et $G(z)$ dans l'équation (3.3), nous obtenons:

$$Y(z) = z^{-p} \cdot X(z) + (1 - z^{-1})^L \cdot Q(z) \quad (3.4)$$

La puissance totale du bruit de quantification, dans la bande de base, est définie par la relation (3.5).

$$P_q = \frac{\pi^{2L}}{3 \cdot (2L+1)} \left(\frac{2 \cdot f_B}{f_e}\right)^{2L+1} \cdot \Delta^2 = \frac{\pi^{2L}}{3 \cdot (2L+1)} \left(\frac{1}{R_o}\right)^{2L+1} \cdot \Delta^2 \quad (3.5)$$

où R_o est le facteur de sur-échantillonnage.

$$R_o = \left(\frac{f_e}{2 \cdot f_B}\right) \quad (3.6)$$

Dans le cas particulier d'un signal original sinusoïdal $x(t) = A \cdot \sin(2 \pi f_0 t)$, la puissance du signal est de la forme:

$$P_s = \frac{A^2}{2} \quad (3.7)$$

Le rapport de la puissance du signal utile et de la puissance de bruit de quantification, dans la bande du signal à convertir, noté *SNR*, est défini par:

$$SNR = \frac{P_s}{P_q} = \frac{3 \cdot (2L+1)}{2 \cdot \pi^{2L}} (R_o)^{2L+1} \cdot \left(\frac{A}{\Delta}\right)^2 \quad (3.8)$$

La résolution du modulateur est obtenue en identifiant son *SNR* maximal à celui d'un modulateur par impulsion codée, dont la plage utile $2A$ du signal d'entrée est décomposée en 2^N intervalles réguliers de largeur Δ . N représente la résolution du modulateur. Nous obtenons ainsi:

$$N = 1 + \frac{1}{2} \cdot \text{Log}_2 \left(\frac{(2L+1)}{\pi^{2L}} \cdot (R_o)^{2L+1} \right) \quad (3.9)$$

Pour une bande passante de signal donnée, le *SNR* est proportionnel à la fréquence d'échantillonnage. En outre, la fréquence d'échantillonnage est élevée à la puissance $(2L+1)$. Pour accroître le *SNR*, et donc la résolution N , l'on est amené à augmenter, soit l'ordre du modulateur, soit la fréquence d'échantillonnage à travers le facteur de sur-échantillonnage R_o , soit les deux. En conséquence, les deux paramètres caractéristiques du modulateur sont: le facteur de sur-échantillonnage R_o et l'ordre L de celui-ci. Les modulateurs, dont l'architecture comporte plus de deux boucles successives de contre-réaction, posent souvent des problèmes de stabilité. La solution à ces problèmes d'instabilité consiste à mettre en cascade plusieurs modulateurs d'ordre 1 et/ou 2 [3 - 5]. Cependant, la mise en cascade de modulateurs indépendants augmente le phénomène de saturation rencontré au niveau de chaque modulateur. Toutes ces considérations nous ont amené à limiter la description architecturale des modulateurs aux ordres 1 et 2. Les architectures d'ordre supérieur à 2 se déduisent de celles-ci.

Les fonctions $H(z)$ et $G(z)$ définissant l'architecture d'un modulateur, nous allons étudier leurs applications aux circuits à mémoire de courant. La fonction $H(z)$ est imposée par la réalisation spécifique de la fonction d'intégration. La fonction $G(z)$ est déduite de la relation (3.10).

$$1 - H(z) \cdot G(z) = \frac{1}{(1 - z^{-1})^L} \quad (3.10)$$

3.2.3. Modulateurs Sigma-Delta d'ordre 1

Pour un modulateur d'ordre 1 ($L = 1$), les équations (3.1) et (3.2) deviennent respectivement:

$$H(z) = \frac{z^{-p}}{1 - z^{-1}} \quad (3.11)$$

$$G(z) = \frac{z^{-1}}{z^{-p}} \quad (3.12)$$

Il est donc constitué d'un seul intégrateur. La fonction d'intégration réalisée à l'aide des mémoires de courant limite les valeurs possibles de p à: $p = 1/3$, $p = 2/3$, $p = 1/2$ et $p = 1$.

• $p = 1/3$

Nous obtenons la structure fonctionnelle de la forme décrite par la **figure 3.4**.

Nous noterons I_{ref} , le pas de quantification, dans la suite de cette étude. Le signal $y(kTe)$ vaut I_{ref} si $u(kTe)$ est positif et $-I_{ref}$ dans le cas contraire. Comme nous pouvons le constater, I_{fb} suit le signal de sortie $y(kTe)$, mais retardé de $2/3$ de période.

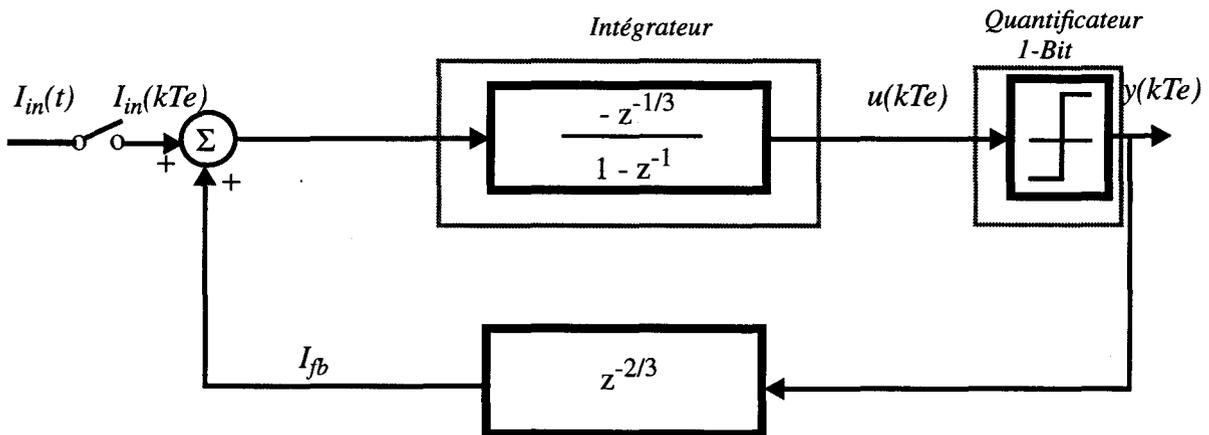


Figure 3.4 : Structure fonctionnelle de modulateur Sigma-Delta d'ordre 1 en mode courant à trois phases utilisant un intégrateur inverseur avec un retard de $1/3$ de période.

La **figure 3.5** représente la transcription des fonctions $H(z)$ et $G(z)$ à l'aide des mémoires de courant.

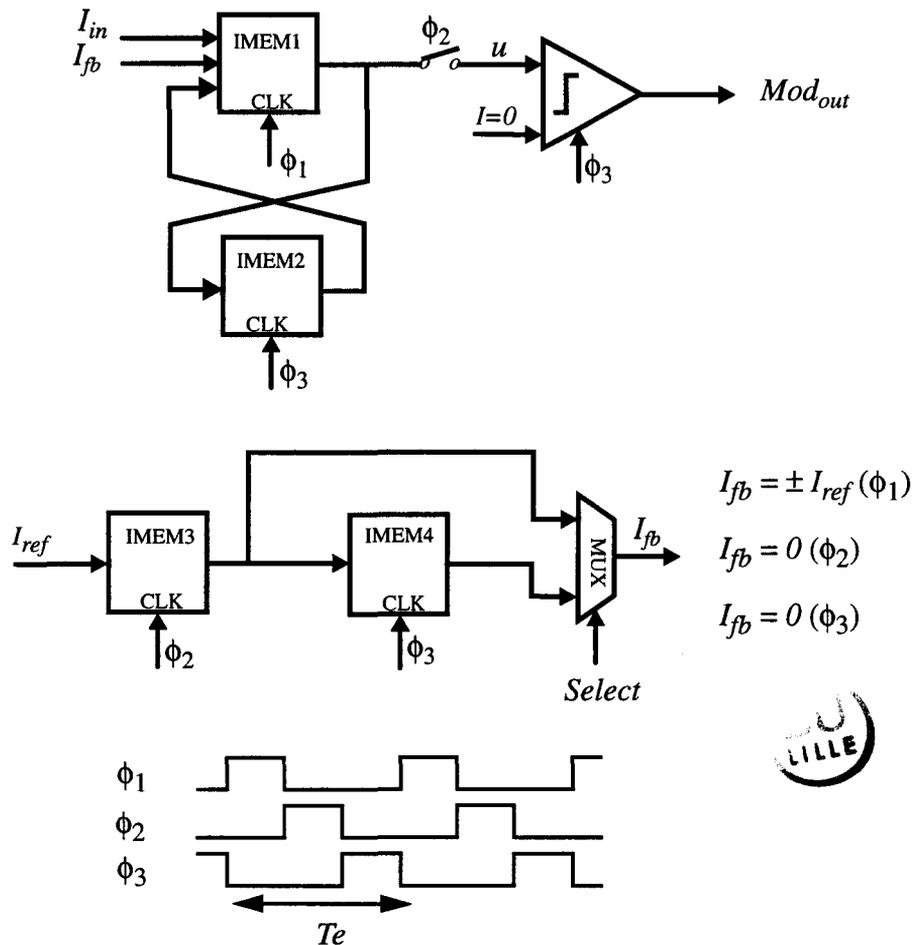


Figure 3.5 : Architecture de modulateur Sigma-Delta d'ordre 1 en mode courant à trois phases utilisant un intégrateur inverseur avec un retard de 1/3 de période.

La réalisation pratique du modulateur nécessite un retard d'un tiers de période du signal de sortie Mod_{out} par rapport au signal u . Le retard de la boucle de retour est donc divisé en deux retards. L'un servant à réaliser le retard de Mod_{out} par rapport à u et l'autre de I_{fb} par rapport à Mod_{out} .

Le signal de sortie du modulateur Mod_{out} change d'état pendant la phase active de ϕ_3 et vaut 0 ou 1 selon le signe du courant signal u à comparer. Par exemple, une valeur de Mod_{out} égale à 0 correspond au cas où $y(kT_e)$ vaut $-I_{ref}$ dans la **figure 3.4** et vice-versa.

Les cellules mémoires de courant IMEM1 et IMEM2 réalisent la fonction d'intégration. L'ensemble des cellules IMEM3 et IMEM4 et le multiplexeur de courant MUX forment le générateur de courant de référence. Le courant de sortie I_{fb} de ce dernier est dépend du signal de commande *Select* du multiplexeur. Ce signal de commande est fonction du signal de sortie Mod_{out} du modulateur et des différentes phases ϕ_1 à ϕ_3 . Ainsi, pendant la phase ϕ_1 , il vaut $+I_{ref}$ si la sortie du modulateur est à l'état haut et $-I_{ref}$ quand la sortie est à l'état bas. Pendant les phases ϕ_2 et ϕ_3 , le courant I_{fb} est nul quelque soit la sortie du modulateur. La cellule IMEM3 fournit le courant $-I_{ref}$ et la cellule IMEM4, le courant $+I_{ref}$. Les cellules IMEM3 et IMEM4 sont rafraîchies périodiquement pendant un tiers de période.

$\cdot p = 2/3$

La structure fonctionnelle obtenue dans ce cas, est celle représentée à la **figure 3.6**.

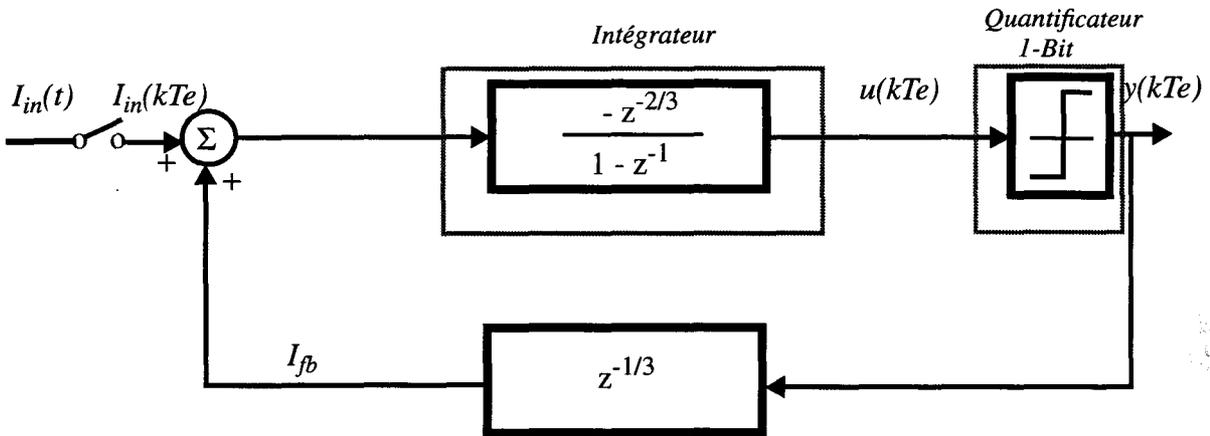


Figure 3.6 : Structure fonctionnelle de modulateur Sigma-Delta d'ordre 1 en mode courant à trois phases utilisant un intégrateur inverseur avec un retard 2/3 de période.

L'architecture résultant de cette structure est représentée à la **figure 3.7**. Elle ne diffère de l'architecture précédente que par la fonction d'intégration.

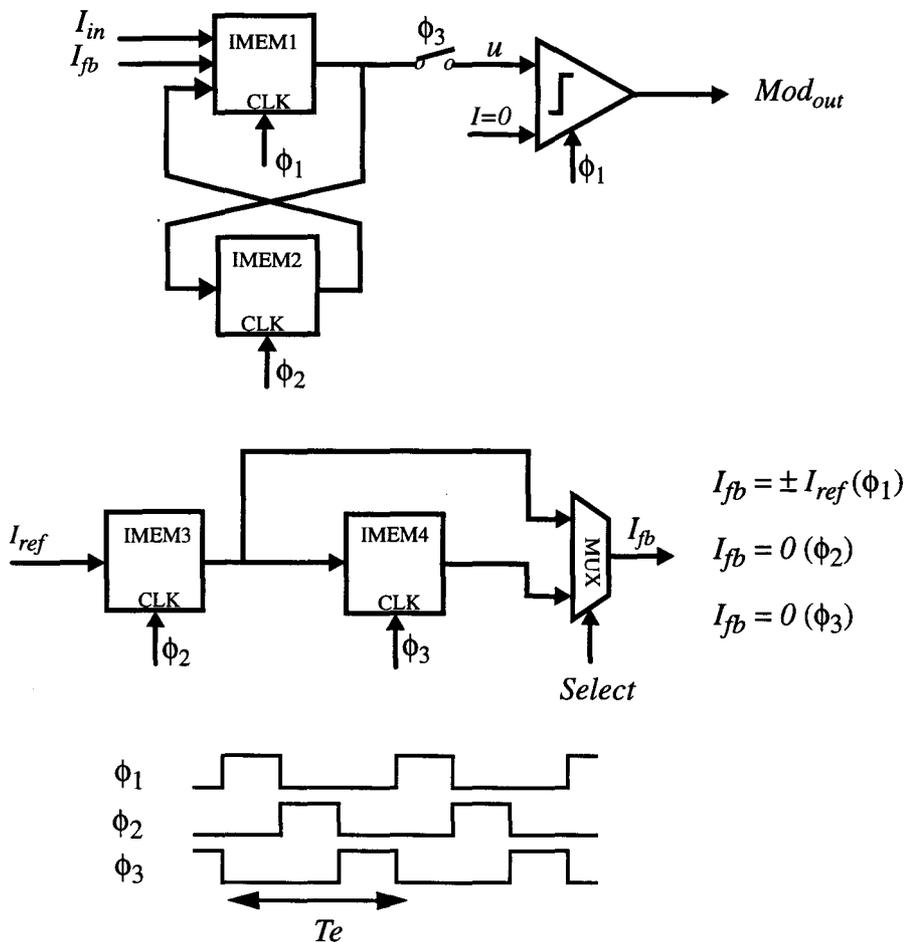


Figure 3.7 : Architecture de modulateur Sigma-Delta d'ordre 1 en mode courant à trois phases utilisant un intégrateur inverseur avec un retard 2/3 de période.

Une autre structure dans le cas où $p = 2/3$, est représentée par la **figure 3.8**. La fonction de transfert $H(z)$ est celle d'un intégrateur non inverseur.

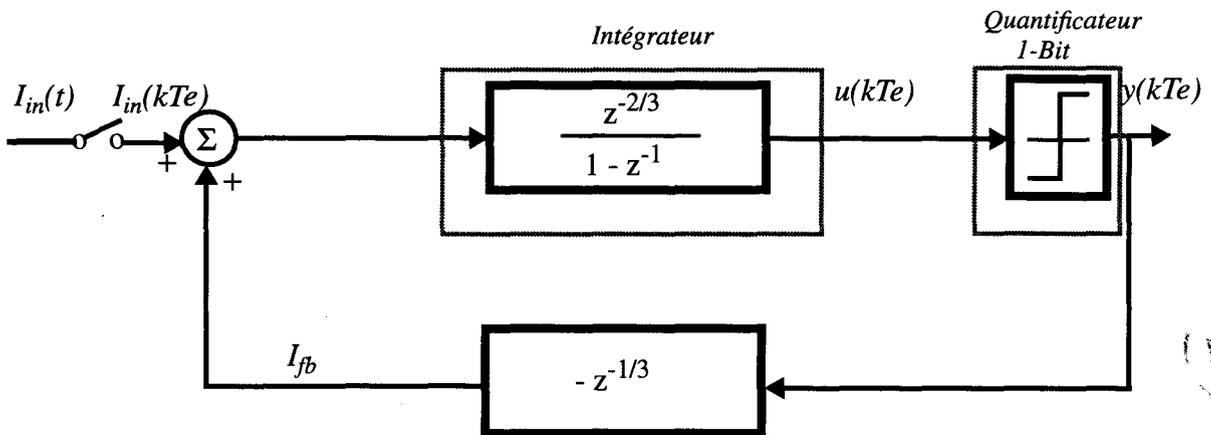


Figure 3.8 : Structure fonctionnelle de modulateur Sigma-Delta d'ordre 1 en mode courant à trois phases utilisant un intégrateur non inverseur avec un retard 2/3 de période.

L'architecture résultant de la structure ci-dessus est représentée à la **figure 3.9**. Elle ne diffère de l'architecture précédente que par la sélection du courant de la boucle de retour. Ce courant est l'opposé de celui de l'architecture précédente pour le même niveau de sortie du modulateur.

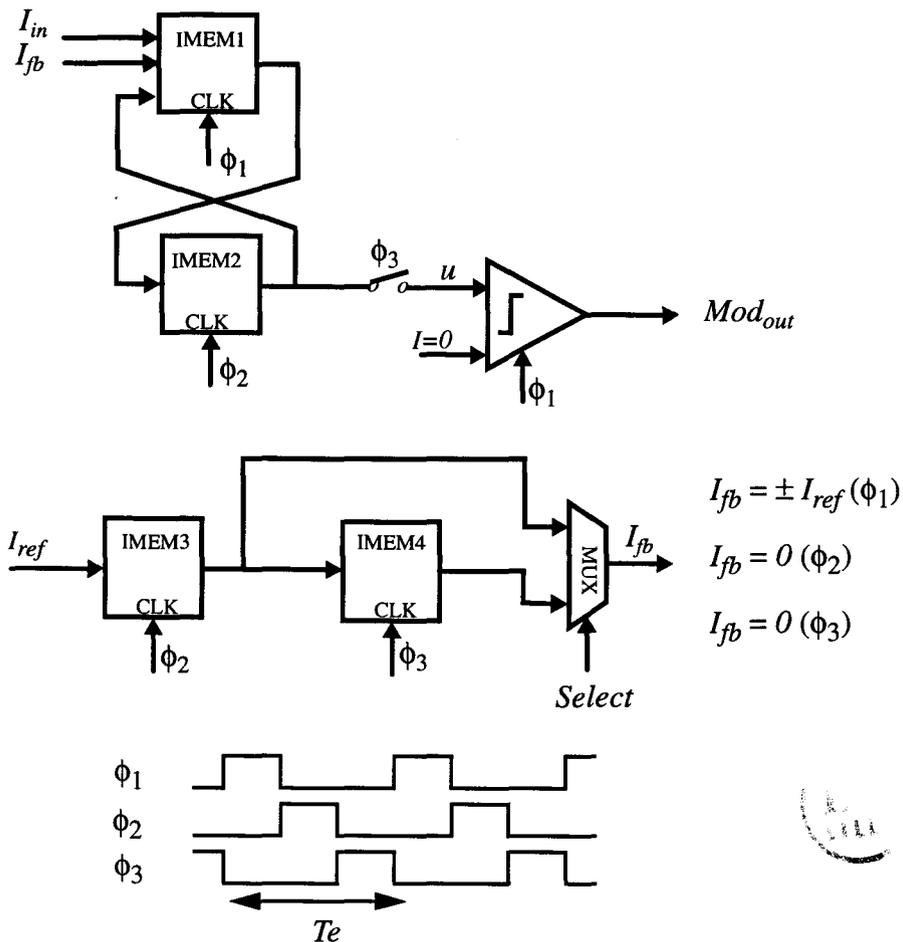


Figure 3.9 : Architecture de modulateur Sigma-Delta d'ordre 1 en mode courant à trois phases utilisant un intégrateur non inverseur avec un retard 2/3 de période.

La dernière structure de modulateur d'ordre 1 en mode courant que nous étudierons, est une structure basée sur un cycle d'horloge de quatre phases ϕ_{1a} , ϕ_{2a} , ϕ_{1b} et ϕ_{2b} non recouvrantes et consécutives. Ces quatre phases constituent deux périodes consécutives d'échantillonnage. La sortie du modulateur est cependant évaluée à chaque demi-cycle; ce qui confère à cette architecture l'avantage de rapidité par rapport à celles précédemment étudiées. La structure fonctionnelle de ce type de modulateur est représentée à la **figure 3.10**.

Le retard d'une demie période qui apparaît de la structure est dû au fait que la sortie du modulateur et le signal d'entrée sont effectivement échantillonnés tous les demi-cycles.

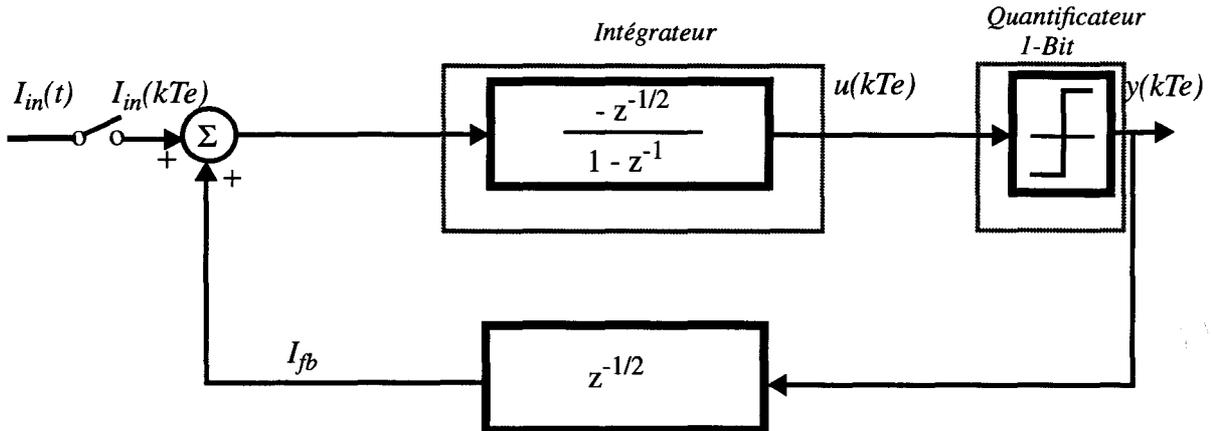


Figure 3.10 : Structure fonctionnelle de modulateur Sigma-Delta d'ordre 1 en mode courant à deux phases.

L'architecture résultant de la structure ci-dessus est représentée à la **figure 3.11**. La particularité de cette architecture est d'utiliser deux courants d'entrée I_{in1} et I_{in2} , dont l'un est l'opposé de l'autre mais retardé d'une demi-période d'horloge. Cette contrainte exige l'utilisation de trois cellules supplémentaires IMEM5, IMEM6 et IMEM7 afin d'obtenir l'inversion du signal I_{in2} et de réaliser l'échantillonnage des deux signaux d'entrée à des intervalles de temps réguliers.

Le générateur de courant de référence constitué par les cellules IMEM3 et IMEM4 et le multiplexeur MUX délivre un courant de sortie I_{fb} dont la valeur est fonction de la sortie du modulateur et des différentes phases d'horloge.

Pendant la phase ϕ_{1a} , le générateur de courant de référence délivre, à la cellule IMEM1, un courant I_{fb} qui vaut:

- $+I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état haut,
- $-I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

Pendant la phase ϕ_{1b} , le générateur de courant de référence délivre, à la cellule IMEM2, un courant I_{fb} égal à:

- $-I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état haut,
- $+I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

Pendant les phase ϕ_{2a} et ϕ_{2b} , le courant I_{fb} est nul.

L'inversion du signe du courant I_{fb} , pendant la phase ϕ_{1b} , est due au fait que l'échantillon de courant d'entrée mémorisé par la cellule IMEM2 est l'opposé du courant d'entrée original.

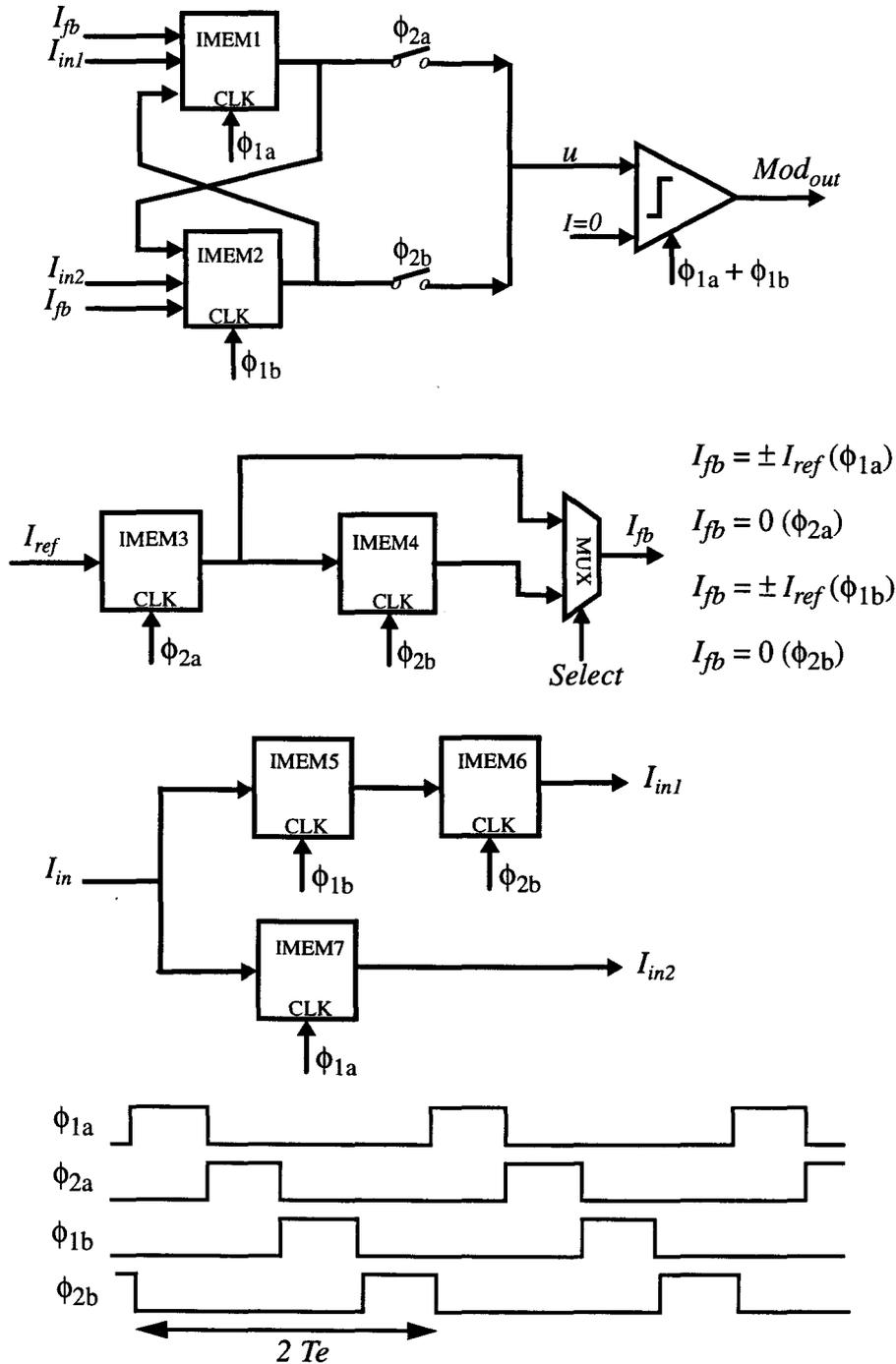


Figure 3.11 : Architecture de modulateur Sigma-Delta d'ordre 1 en mode courant à deux phases.

Pour $p = 1$, il n'existe pas d'architecture, car nous ne pouvons pas estimer la sortie du comparateur et en même temps ajouter ou soustraire la valeur correspondante de l'échantillon suivant.

Il n'y a pas de réalisations possibles à l'aide de la technique des courants commutés pour le cas $p = 0$.

3.2.4. Modulateurs Sigma-Delta d'ordre 2

La structure fonctionnelle générale du modulateur d'ordre 2 est représentée à la **figure 3.10**.

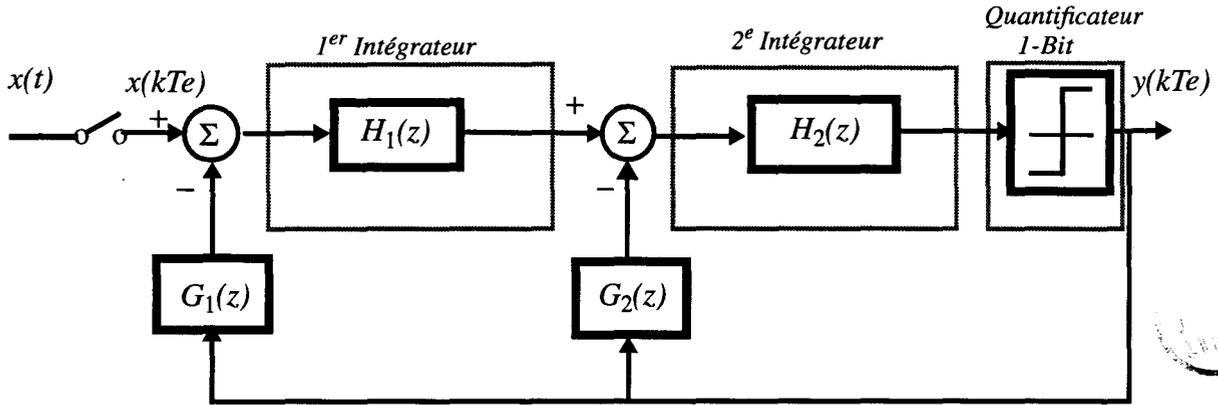


Figure 3.12 : Structure fonctionnelle générale du modulateur Sigma-Delta d'ordre 2.

Les expressions des fonctions $H_1(z)$, $H_2(z)$, $G_1(z)$ et $G_2(z)$ sont régies par les relations suivantes.

$$H(z) = H_1(z) \cdot H_2(z) \quad (3.13)$$

$$G(z) = G_1(z) + \frac{G_2(z)}{H_1(z)} \quad (3.14)$$

de telle sorte que l'égalité définie par la relation (3.10) soit respectée avec $L = 2$.

Nous définissons les fonctions $H_1(z)$ et $H_2(z)$ par les expressions suivantes:

$$H_1(z) = \frac{z^{-p1}}{1 - z^{-1}} \quad (3.15)$$

$$H_2(z) = \frac{z^{-p2}}{1 - z^{-1}} \quad (3.16)$$

$p1$ et $p2$ sont tels que $p = p1 + p2$. Ces paramètres peuvent prendre des valeurs entières ou fractionnaires.

La relation (3.10) impose la forme des fonctions $G_1(z)$ et $G_2(z)$. Ce sont des fonctions monômes en z . Nous les noterons sous la forme suivante:

$$G_1(z) = A_{r1} \cdot z^{-u1} \quad (3.17)$$

$$G_2(z) = A_{r2} \cdot z^{-u2} \quad (3.18)$$

où A_{r1} et A_{r2} sont des nombres réels.

Plusieurs hypothèses sont alors possibles selon les valeurs de $p1$ et $p2$.

a - Valeurs entières de p_1 et p_2 .

Il est impossible de construire des architectures de modulateur à mémoires de courant à partir de ces valeurs. Cependant, les architectures issues de ces paramètres se prêtent bien à des réalisations en capacités commutées. C'est le cas des structures pour lesquelles nous avons:

$p_1 = p_2 = 0$

Nous obtenons dans ces conditions: $u_1 = u_2 = 1$ et $A_{r1} = A_{r2} = 1$. Nous en déduisons la structure fonctionnelle ci-dessous [6].

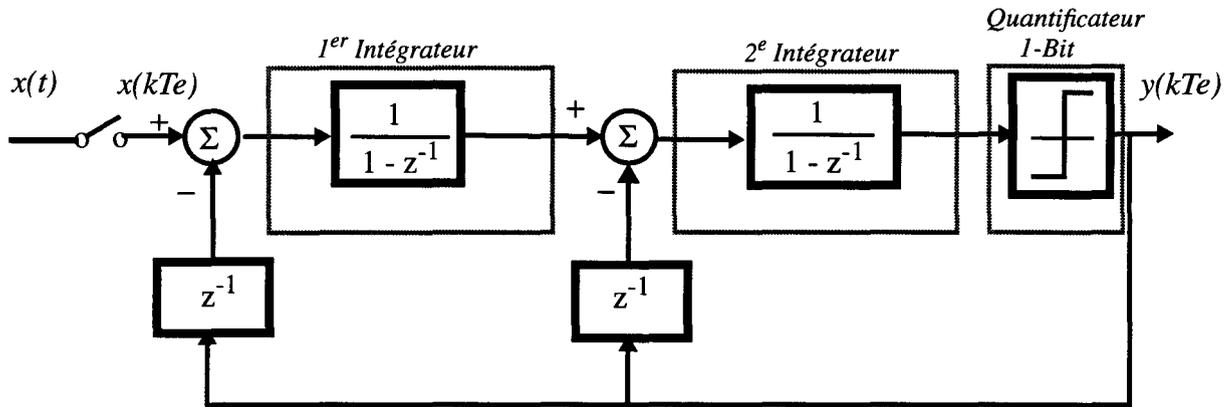


Figure 3.13 : Structure fonctionnelle de modulateur Sigma-Delta d'ordre 2 en mode tension.

$p_1 = 0; p_2 = 1$

Nous obtenons dans ces conditions: $u_1 = u_2 = 0$ et $A_{r1} = A_{r2} = 1$. Il en résulte la structure fonctionnelle représentée à la **figure 3.14** [7], qui est une variante de la précédente.

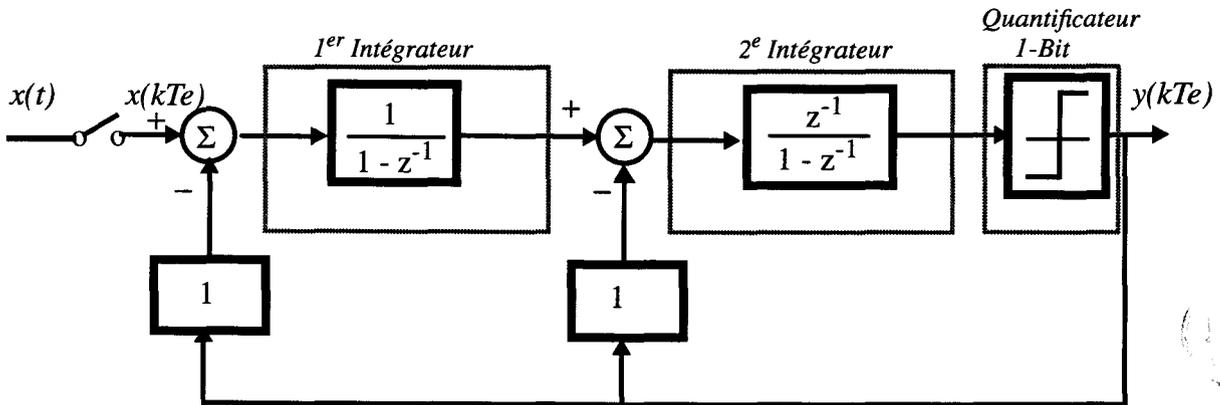


Figure 3.14 : Structure fonctionnelle de modulateur Sigma-Delta d'ordre 2 en mode tension.

$p_1 = p_2 = 1; p = 2$

Nous obtenons dans ces conditions: $u_1 = u_2 = 0$ et $A_{r1} = 1; A_{r2} = 2$. Nous en déduisons la structure fonctionnelle ci-dessous [8].

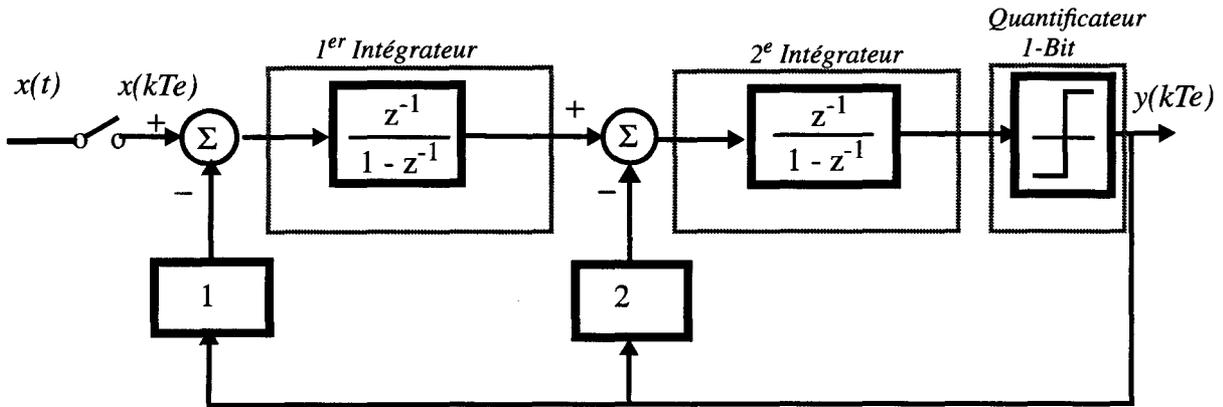


Figure 3.15 : Structure fonctionnelle de modulateur Sigma-Delta d'ordre 2 en mode tension.

b - Valeurs fractionnaires de p_1 et p_2 .

Les architectures issues de ces paramètres se prêtent bien à des réalisations à l'aide de mémoires de courant. C'est le cas des structures pour lesquelles nous avons:

$p_1 = p_2 = 1/3; p = 2/3$

Nous obtenons dans ces conditions: $u_1 = 1/3; u_2 = 2/3$ et $A_{r1} = 1; A_{r2} = -1$. Nous en déduisons la structure fonctionnelle ci-dessous.

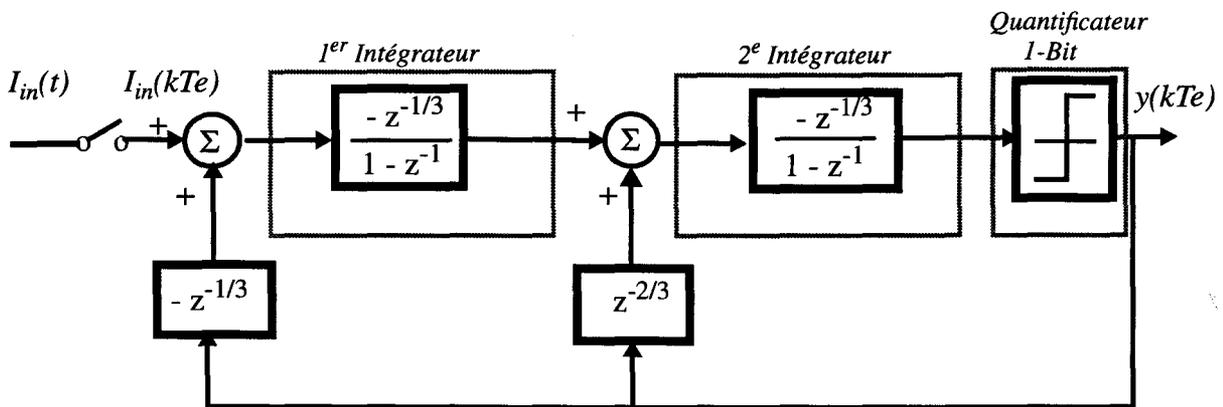


Figure 3.16 : Structure fonctionnelle de modulateur Sigma-Delta d'ordre 2 en mode courant à trois phases utilisant deux intégrateurs inverseurs avec un retard de 1/3 de période.

L'architecture résultant de cette structure est représentée à la figure 3.17.

Le générateur de courant de référence est constitué par les cellules IMEM5 à IMEM7. Il délivre un courant de sortie I_{fb} dont la valeur est fonction de la sortie du modulateur et des différentes phases d'horloge.

Pendant la phase ϕ_1 , le générateur de courant de référence délivre, à la cellule IMEM1, un courant I_{fb} qui vaut:

- $-I_{ref}$ si la sortie du modulateur Mod_{out} est l'état haut,
- $+I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

Pendant la phase ϕ_2 , le générateur de courant de référence délivre, à la cellule IMEM3, un courant I_{fb} égal à:

- $+I_{ref}$ si la sortie du modulateur Mod_{out} est l'état haut,
- $-I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

Pendant la phase ϕ_3 , le générateur de courant délivre un courant I_{fb} nul.

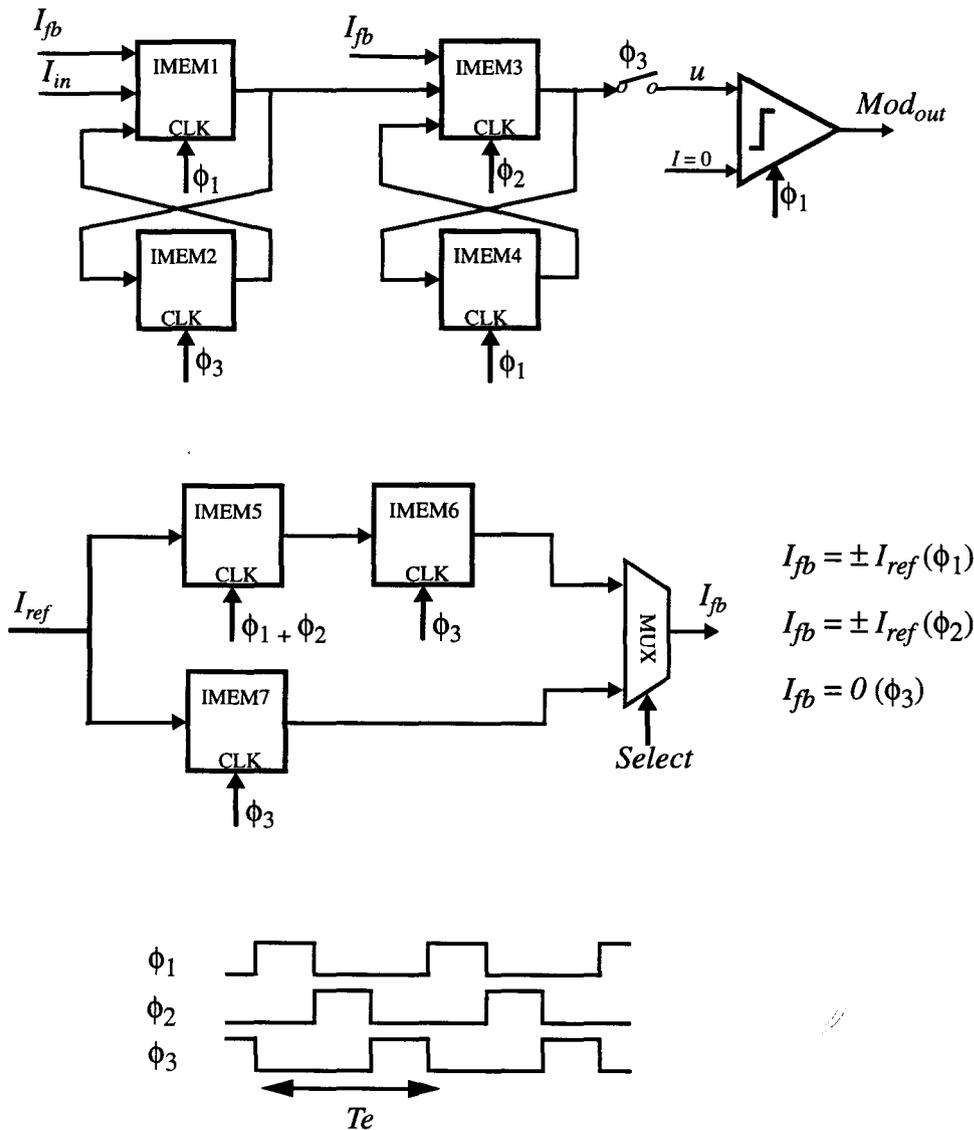


Figure 3.17 : Architecture de modulateur Sigma-Delta d'ordre 2 en mode courant à trois phases utilisant deux intégrateurs inverseurs avec un retard de 1/3 de période.

$p_1 = p_2 = 2/3; p = 4/3$

Nous obtenons dans ces conditions: $u_1 = 2/3; u_2 = 1/3$ et $A_{r1} = 1; A_{r2} = -2$. Nous en déduisons la structure fonctionnelle ci-dessous.

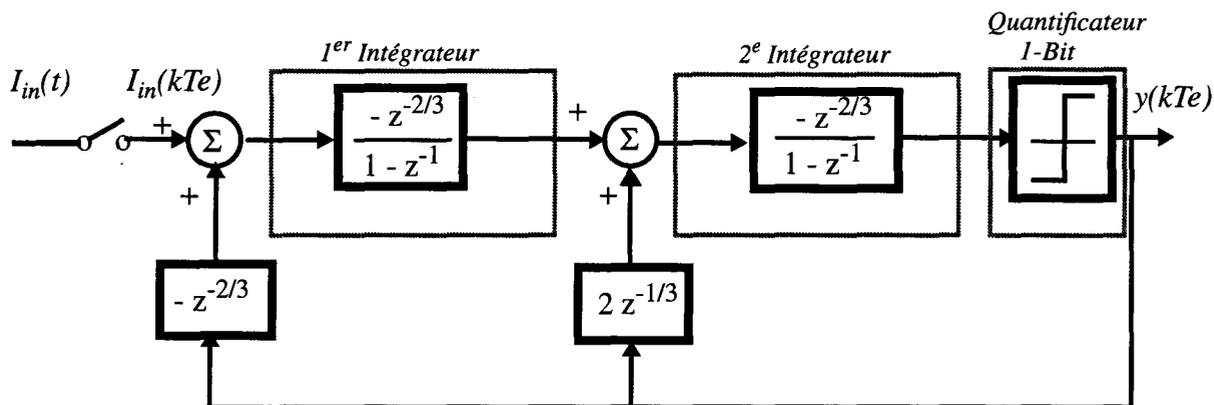


Figure 3.18 : Structure fonctionnelle de modulateur Sigma-Delta d'ordre 2 en mode courant à trois phases utilisant deux intégrateurs inverseurs avec un retard de 2/3 de période.

La figure 3.19 représente l'architecture déduite de la structure ci-dessus.

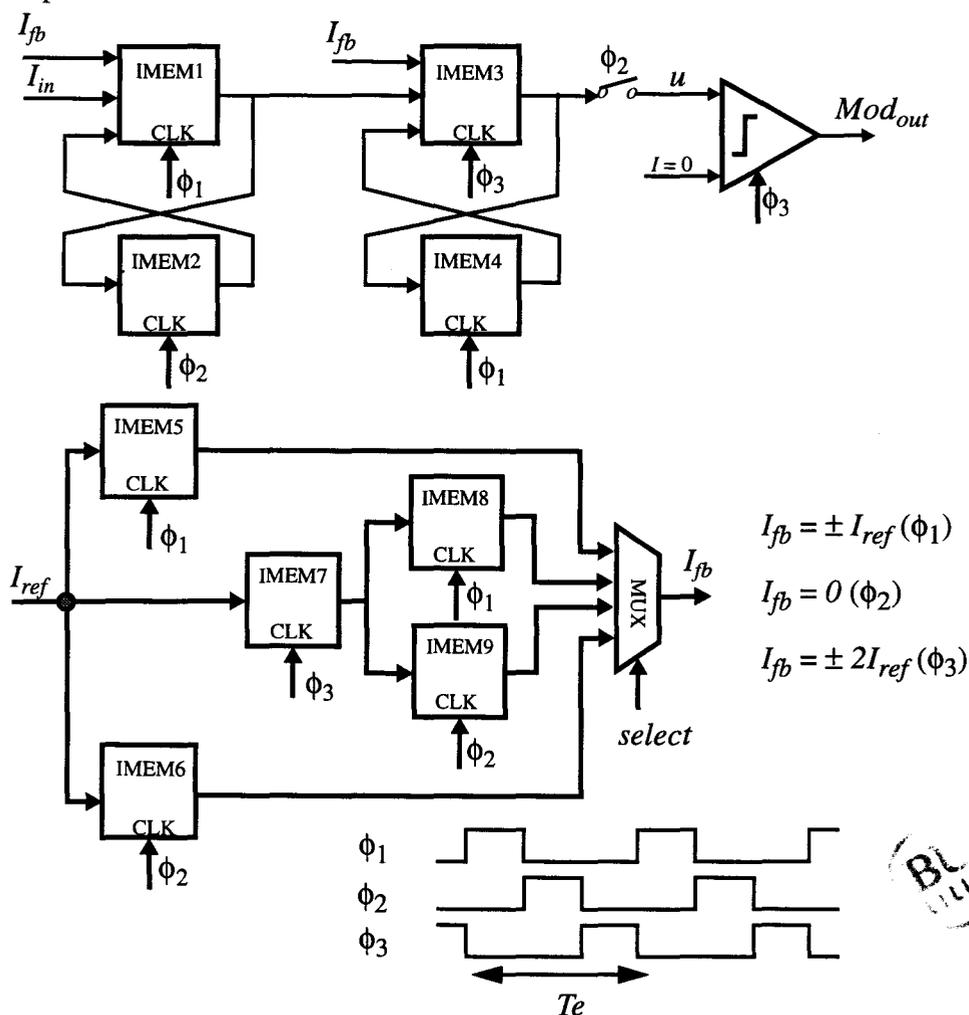


Figure 3.19 : Architecture du modulateur Sigma-Delta d'ordre 2 en mode courant à trois phases utilisant deux intégrateurs inverseurs avec un retard de 2/3 de période.

Le générateur de courant de référence est toujours formé par les cellules IMEM5 à IMEM9 et le multiplexeur MUX.

Pendant la phase ϕ_1 , le générateur de courant de référence délivre, à la cellule IMEM1, un courant I_{fb} qui vaut:

- $-I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état haut,
- $+I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

Pendant la phase ϕ_2 , le générateur de courant de référence délivre, à la cellule IMEM3, un courant I_{fb} égal à:

- $+2 I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état haut,
- $-2 I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

Ce courant est la somme des courants de sortie, soit des cellules IMEM5 et IMEM6 ($I_{fb} = -2 I_{ref}$), soit des cellules IMEM8 et IMEM9 ($I_{fb} = +2 I_{ref}$).

Pendant la phase ϕ_3 , le générateur de courant délivre un courant I_{fb} nul.

• $p1 = 1/3; p2 = 2/3; p = 1$

Nous obtenons dans ces conditions: $u1 = 0; u2 = 1/3$ et $A_{r1} = 1; A_{r2} = -1$. Nous en déduisons la structure fonctionnelle ci-dessous.

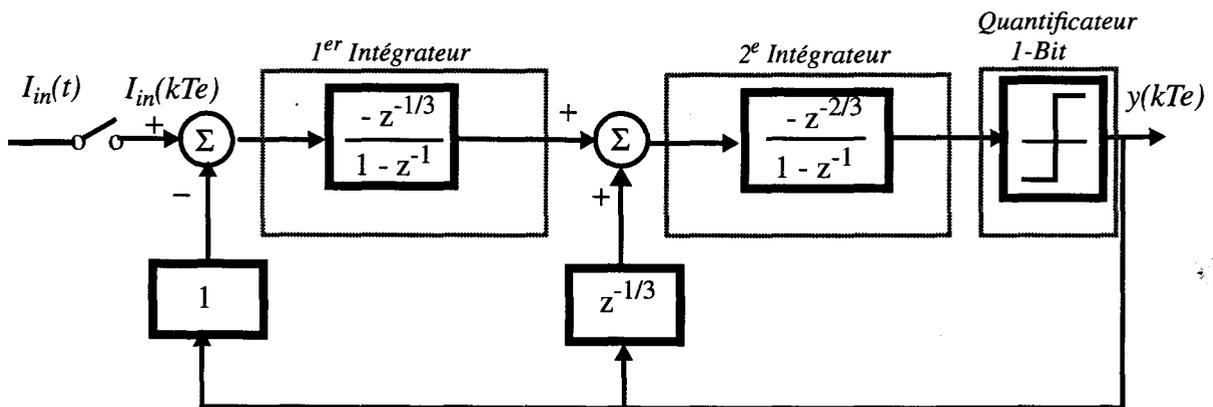


Figure 3.20 : Structure fonctionnelle du modulateur Sigma-Delta d'ordre 2 en mode courant.

Il n'existe pas d'architecture réalisable à partir des mémoires de courant, pour cette structure, à cause du retard implicite qui est indispensable entre la sortie du modulateur et le courant signal à comparer.

$p_1 = 2/3; p_2 = 1/3; p = 1$

Nous obtenons dans ces conditions: $u_1 = 0; u_2 = 2/3$ et $A_{r1} = 1; A_{r2} = -1$. Nous en déduisons la structure fonctionnelle ci-dessous.

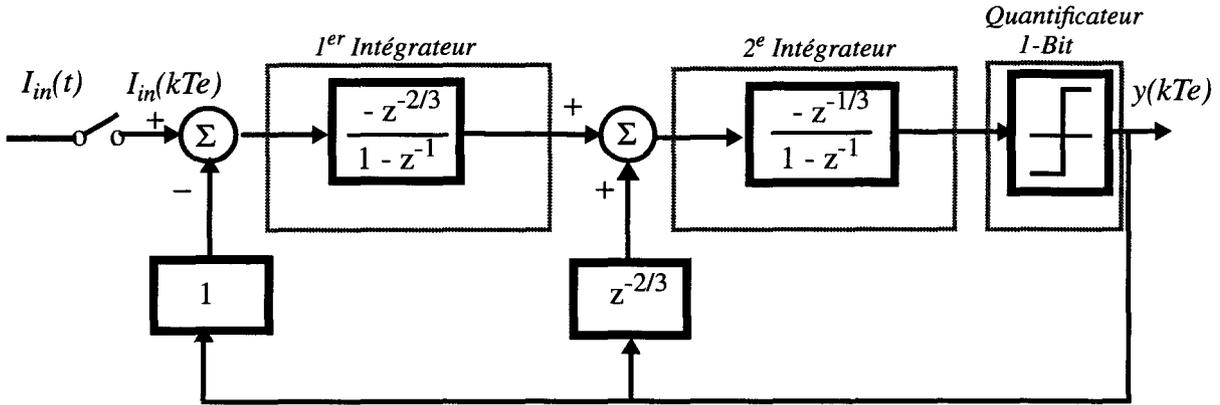


Figure 3.21 : Structure fonctionnelle du modulateur Sigma-Delta d'ordre 2 en mode courant.

Cette structure est une variante de celle de la figure 3.20. Nous ne pouvons en déduire d'architecture pour les mêmes raisons que dans le cas précédent.

$p_1 = p_2 = 1/2; p = 1$

Nous obtenons dans ces conditions: $u_1 = 1; u_2 = 1/2$ et $A_{r1} = 1; A_{r2} = -2$. Nous en déduisons la structure fonctionnelle ci-dessous.

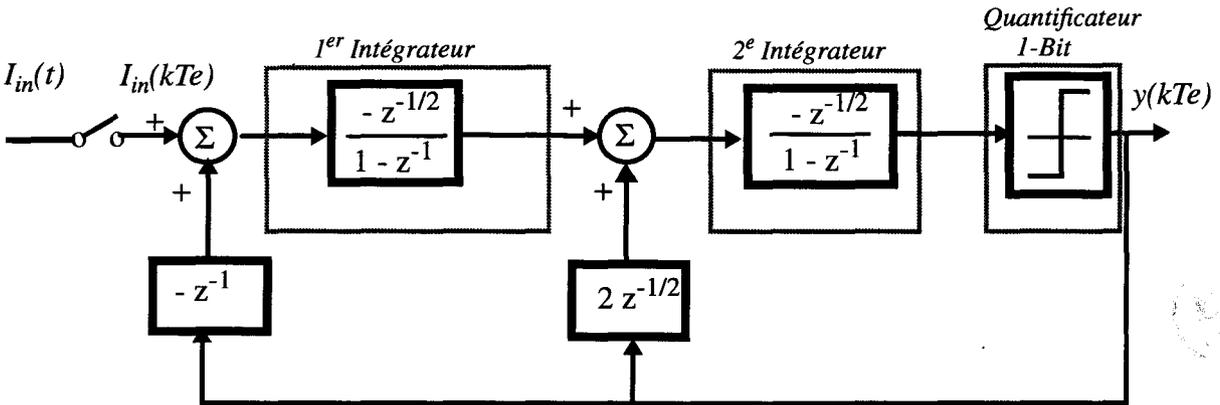


Figure 3.22 : Structure fonctionnelle du modulateur Sigma-Delta d'ordre 2 en mode courant à deux phases utilisant deux intégrateurs inverseurs avec un retard de 1/2 de période.

Une structure quelque peu similaire a été proposée par [9]. Elle diffère de celle proposée ici par les coefficients A_{r1} et A_{r2} . Ces derniers ont pour valeur respective: 1/2 et 1. En outre, le noyau de la cellule mémoire de courant est un amplificateur à transconductance. Nous présentons à la figure 3.23, l'architecture résultant de la structure ci-dessus, réalisée à l'aide de mémoires de courant telles que nous les avons introduites au chapitre 1.

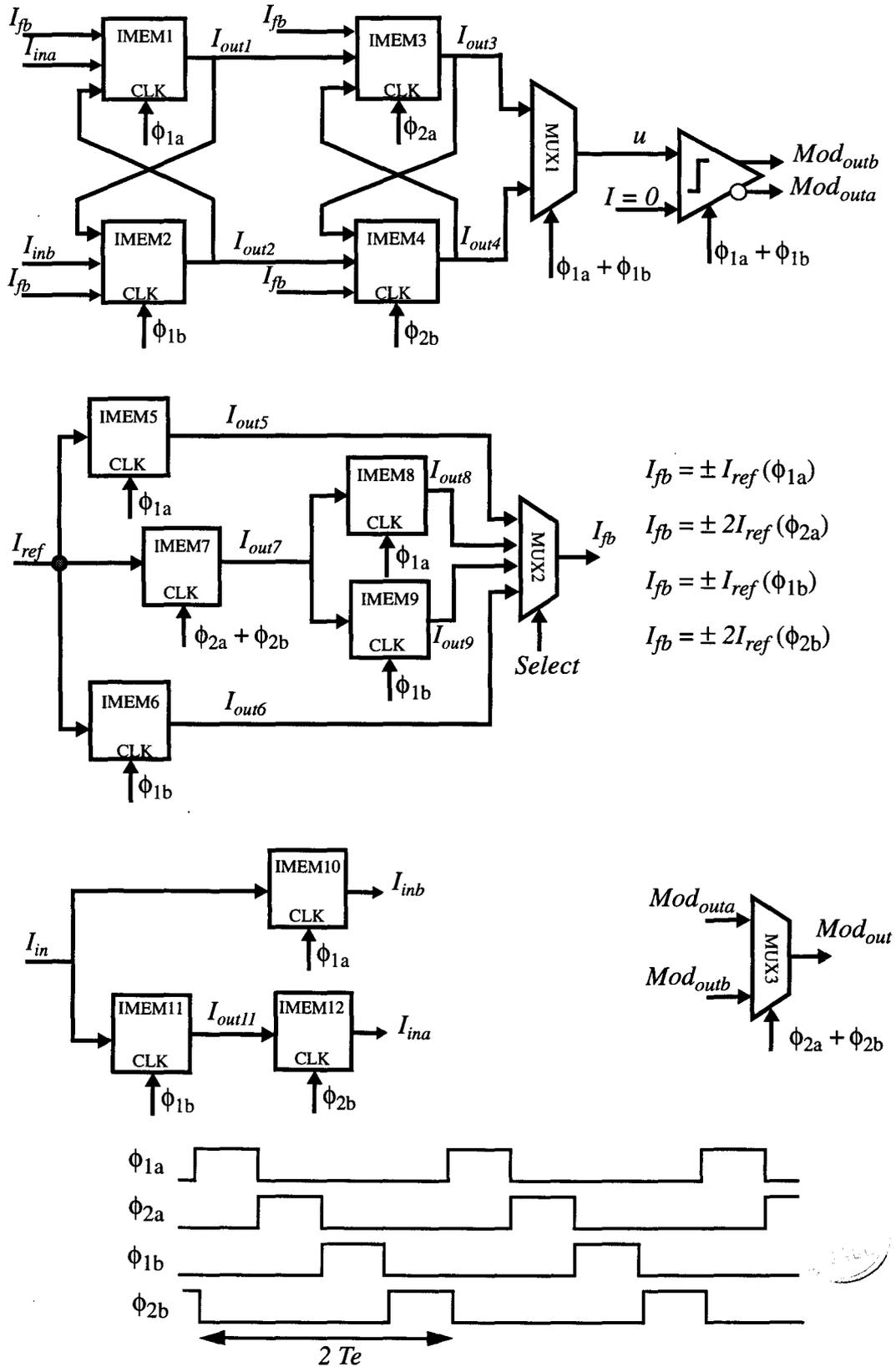


Figure 3.23 : Architecture de modulateur Sigma-Delta d'ordre 2 en mode courant à deux phases utilisant deux intégrateurs inverseurs avec un retard de 1/2 de période.

La particularité de cette architecture est d'utiliser deux courants d'entrée I_{in1} et I_{in2} , dont l'un est l'opposé de l'autre mais retardé d'une demie période d'horloge. Cette contrainte exige l'utilisation de trois cellules supplémentaires IMEM10 à IMEM12 afin d'obtenir l'inversion du signal I_{in2} et de réaliser l'échantillonnage des deux signaux d'entrée à des intervalles de temps réguliers.

Le multiplexeur MUX1 permet de sélectionner le signal à comparer, en fonction des phases ϕ_{1a} et ϕ_{1b} . Son signal de sortie est égal à I_{out3} pendant la phase active de ϕ_{1b} ou à I_{out4} pendant la phase active de ϕ_{1a} ou à zéro pendant les autres phases. Le multiplexeur MUX3 permet d'échantillonner le signal de sortie du modulateur pendant la phase ϕ_{2a} ou ϕ_{2b} . Ce signal de sortie Mod_{out} correspond à Mod_{outa} pendant la phase ϕ_{2a} et à Mod_{outb} pendant la phase ϕ_{2b} . La sortie du comparateur Mod_{outa} équivaut au résultat de la comparaison du signal u lorsque la phase ϕ_{1a} est active. De même, Mod_{outb} équivaut au résultat de la comparaison du signal u lorsque la phase est ϕ_{1b} active.

Les cellules IMEM5 à IMEM9 et le multiplexeur MUX2 constituent le générateur de courant de référence. Celui-ci délivre un courant de sortie I_{fb} dont la valeur est fonction de la sortie du modulateur et des quatre phases d'horloge.

Pendant la phase ϕ_{1a} , le générateur de courant de référence délivre, à la cellule IMEM1, un courant I_{fb} qui vaut:

- $-I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état haut,
- $+I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

Pendant la phase ϕ_{2a} , le générateur de courant de référence délivre, à la cellule IMEM3, un courant I_{fb} qui vaut:

- $+2 I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état haut,
- $-2 I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

Pendant la phase ϕ_{1b} , le générateur de courant de référence délivre, à la cellule IMEM2, un courant I_{fb} égal à:

- $+I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état haut,
- $-I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

Pendant la phase ϕ_{2b} , le générateur de courant de référence délivre, à la cellule IMEM4, un courant I_{fb} qui vaut:

- $-2 I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état haut,
- $+2 I_{ref}$ si la sortie du modulateur Mod_{out} est à l'état bas.

L'inversion du signe du courant I_{fb} , pendant les phases ϕ_{1b} et ϕ_{2b} , est due au fait que l'échantillon de courant d'entrée mémorisé par la cellule IMEM2 est l'opposé du courant d'entrée original.

3.3. Références bibliographiques

- [1] James C. CANDY
Decimation for Sigma-Delta Modulation.
IEEE Transactions on Communications, Vol. 34, No. 1, January 1986, pp. 72 - 76
- [2] James C. CANDY and OCONNELL J. BENJAMIN
The Structure of Quantization Noise from Sigma-Delta Modulation.
IEEE Transactions on Communications, Vol.29, No. 9, Sept. 1981, pp. 1316 - 1323.
- [3] Y. MATSUYA, K. UCHIMURA, A. IWATA, T. KOBAYASHI, M. ISHIKAWA and T. YOSHITOME
A 16-bit Oversampling A-to-D Conversion Technology Using Triple-Integration Noise Saping.
IEEE Journal of Solid-State Circuits, Vol. 22, No. 6, December 1987, pp. 921 - 929.
- [4] David B. RIBNER
A Comparaision of Modulator Networks for High-Order Oversampled Sigma-Delta Analog-to-Digital Converters.
IEEE Trans. on Circuits and Systems, Vol. 38, No. 2, February 1991, pp. 145 - 159.
- [5] Louis A. WILLIAMS III and Bruce A. WOOLEY
Third-Order Cascaded Sigma-Delta Modulators.
IEEE Transactions on Circuits and Systems, Vol. 38, No. 5, May 1991, pp. 489 - 497.
- [6] James C. CANDY
A Use of Double Integration in Sigma-Delta Modulation.
IEEE Transactions on Communications, Vol. 33, No. 3, March 1985, pp. 249 - 258.
- [7] R. KOCH, B. HEISE, F. ECKBAUER, E. ENGELHARDT, J. A. FISHER and F. PARZEFALL
A 12-bit Sigma-Delta Analog-to-Digital Converter with a 15-Mhz Clock Rate.
IEEE Journal of Solid-State Circuits, Vol. 21, No. 6, Dec. 1986, pp. 1003 - 1009
- [8] S. R. NORSWORTHY, I. G. POST and H. Scott FETTERMAN
A 14-bit 80 kHz Sigma-Delta Converter: Modeling, Design and Performance Evaluation.
IEEE Journal of Solid-State Circuits, Vol. 24, No. 2, April 1989, pp. 256 - 266.
- [9] Steven J. DAUBERT and David VALLANCOURT
A Transistor-Only Current-Mode Sigma-Delta Modulator.
IEEE Journal of Solid-State Circuits, Vol. 27, No. 5, May 1992, pp. 821 - 830.

CHAPITRE 4

Simulation de convertisseurs Sigma-Delta à mémoire de courant

La simulation des modulateurs Sigma-Delta, à l'aide des simulateurs conventionnels comme HSPICE, entraîne des temps de calcul excessifs et pose souvent des problèmes de convergence. En effet, de part sa nature sérielle et son principe basé sur le sur-échantillonnage, il est indispensable d'effectuer une simulation temporelle sur plusieurs cycles d'horloge.

Nous proposons de développer dans ce chapitre, une approche de simulation à temps discret des modulateurs Sigma-Delta réalisés à partir de mémoires de courant. Cette approche consiste à ne considérer que les valeurs des signaux dont l'importance s'avère nécessaire. L'originalité de notre approche réside dans la modélisation de la mémoire de courant. En effet, cette modélisation au niveau transistor, inclut tous les effets de non linéarité des transistors, l'injection de charge des transistors utilisés comme interrupteurs et l'échantillonnage du bruit des transistors. Après une présentation des concepts de la simulation à temps discret et de la structure du simulateur, nous décrivons le modèle de chaque élément de celui-ci. Ensuite, nous comparons des résultats de simulations de mémoires de courant du modèle proposé avec ceux obtenus par HSPICE. Enfin, nous appliquons le simulateur développé à l'étude d'un modulateur Sigma-Delta d'ordre 2.

4.1. Structure générale du simulateur de convertisseurs Sigma-Delta

La simulation d'un circuit électronique permet l'estimation de sa performance globale avant sa réalisation pratique en fonction des contraintes imposées par chaque élément de celui-ci. L'évaluation de la performance d'un modulateur Sigma-Delta nécessite une simulation temporelle sur une durée relativement longue puis un calcul de la distribution fréquentielle de la puissance de son signal de sortie. Une telle simulation engendre par conséquent un temps de calcul considérable et pose souvent des problèmes de convergence. En effet, la résolution fréquentielle du spectre de puissance de sortie du modulateur est inversement proportionnelle au nombre d'échantillons recueillis et par conséquent à la durée de la simulation temporelle. Compte tenu du sur-échantillonnage effectué dans la conversion Sigma-Delta, le nombre d'échantillons utilisés pour évaluer de façon précise la performance du modulateur est très souvent élevé. Lorsque nous prenons pour hypothèse un temps de calcul (appelé souvent temps CPU) d'environ une minute par échantillon, il faudrait près d'un mois de temps de calcul à un simulateur de circuits à temps continu pour générer le nombre d'échantillons escomptés. Notons qu'un temps de calcul d'une minute par échantillon constitue le cas le plus favorable que l'on peut espérer avec ces simulateurs. Les problèmes de convergence souvent rencontrés dans la simulation d'un circuit comme la mémoire de courant ont pour origine le comportement non linéaire du transistor mémoire. En effet, les variations du courant mémorisé par la cellule mémoire de courant entre deux échantillons successifs peuvent être très importantes. Ce qui peut entraîner le passage d'un même transistor de la région linéaire à la région de saturation et vice versa.

L'une des solutions des problèmes exposés ci-dessus consiste, d'une part à décomposer l'ensemble du circuit en sous-circuits indépendants, et d'autre part à procéder à une simulation à temps discret. Cette approche a permis de développer de nombreux simulateurs notamment pour les circuits à capacités commutées [1 - 8]. La simulation à temps discret permet de ne considérer que les valeurs des signaux dont l'importance s'avère nécessaire. Ainsi, dans un réseau de circuits de complexité importante, le calcul des valeurs des signaux se trouve réduit. Le gain de temps de calcul du simulateur est alors considérable. L'utilisation de macro-modèles permet de résoudre le problème de convergence engendré par la simulation du modulateur au niveau transistor.

Les hypothèses de notre approche sont les suivantes:

- Nous supposons le régime permanent atteint lorsque nous évaluons les valeurs des tensions et courants du circuit simulé.
- Nous considérons toutes les cellules mémoires de courant comme étant identiques. Les problèmes de dynamique de courant sont résolus par la mise en parallèle de deux ou plusieurs cellules mémoires.
- Les tensions de polarisation sont identiques pour toutes les cellules mémoires.

Nous distinguons deux types de grandeurs d'entrée-sortie des sous-circuits:

- Les variables. Elles servent à passer l'information traitée entre les sous-circuits. Ce sont essentiellement des courants.

- Les constantes. Elles sont spécifiques à la topologie de l'ensemble du circuit simulé.

La détermination du courant de sortie d'un circuit peut se faire de deux manières. La première solution consiste à déterminer son courant de court-circuit; ce qui revient à imposer une différence de potentiel nulle à sa sortie. Toutefois, elle se prête mal à des applications utilisant des transistors MOS polarisés en source de courant, car elle correspondrait à l'annulation du courant drain. La seconde solution consiste à imposer une charge à la sortie du circuit. Cette solution exige cependant la connaissance parfaite de la charge. Le courant de sortie ainsi déterminé est alors fonction de la charge; ce qui constitue une contrainte supplémentaire. La solution que nous proposons est basée sur le calcul du courant de sortie de la cellule mémoire de courant à potentiel de sortie constant; ce qui revient à imposer une source de tension parfaite à la sortie de la cellule. Ce potentiel de référence est le potentiel de grille d'une cellule mémoire de courant en phase d'acquisition, lorsque son courant d'entrée est nul. Nous le noterons, dans la suite de notre étude, V_o et nous appellerons le courant ainsi obtenu, courant normalisé. Ainsi, tous les courants d'entrée comme de sortie, dans notre modèle, sont des courants normalisés par rapport à V_o . Il y a cependant une précaution à prendre lors la conception des modulateurs à l'aide de notre simulateur. Tout circuit extérieur placé en amont d'une ou de plusieurs cellules mémoires de courant, doit être conçu de manière similaire aux cellules utilisées dans le réseau analysé.

Les variables d'entrée-sortie d'un sous-circuit sont:

- I_{ink} , le courant normalisé d'entrée de la k ième cellule active,
- I_{outj} , le courant normalisé de sortie de la j ième cellule active.

La relation entre les sous-circuits est matérialisée par les courants normalisés d'entrée et de sortie, puisque généralement, le courant normalisé de sortie d'un sous-circuit devient le courant d'entrée normalisé d'un autre sous-circuit. Il est important de noter que c'est la somme des courants normalisés d'entrée qui engendre le courant normalisé de sortie.

Les constantes dépendant de la topologie du sous-circuit sont:

- n_k , le nombre de cellules mises en parallèle fournissant le courant d'entrée normalisé I_{ink} ,
- m_j , le nombre de cellules mises en parallèle qui vont restituer le courant normalisé I_{outj} .

La **figure 4.1** représente les éléments qui sont implantés dans le simulateur CUMCOS. CUMCOS signifie CURRENT-MEMORY CONVERTERS SIMULATOR.

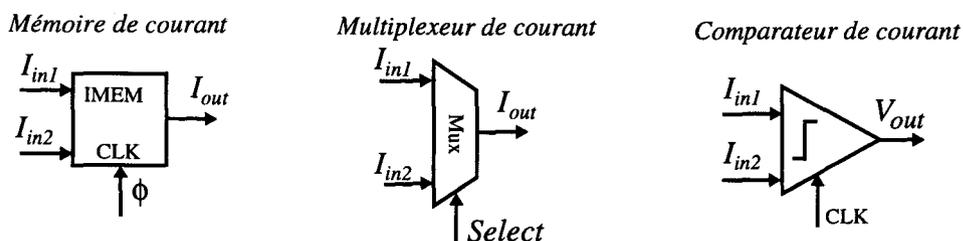


Figure 4.1 : Macro-modèles implantés dans le simulateur CUMCOS.

Avant de décrire en détail chaque composante du simulateur, nous allons, d'abord, introduire la notion de sous-circuits. Le concept de sous-circuits permet de décrire la topologie de circuits fonctionnant avec plusieurs phases du signal d'horloge. Un sous-circuit est toujours défini en association avec une phase active du signal d'horloge. Les configurations possibles d'un sous-circuit dans le modulateur Sigma-Delta sont:

- Une ou plusieurs cellules mémoires de courant en restitution sont connectées à une cellule en acquisition. La cellule en acquisition peut être formée de plusieurs cellules mises en parallèle. C'est la phase active de cette dernière qui sert à identifier le sous-circuit.
- Une cellule en restitution connectée au comparateur de courant en phase d'acquisition. Dans ce cas, c'est la phase du comparateur qui sert à identifier le sous-circuit.

Nous allons illustrer ces définitions par un exemple. Considérons le réseau de cellules mémoires de courant à multiples phases d'horloge représenté à la **figure 4.2**. Un sous-circuit associé à la phase ϕ_1 est constitué par la cellule IMEM1a en restitution et la cellule IMEM1 en acquisition. Un autre sous-circuit associé à la même phase est formé de la cellule IMEM4 en restitution et de la cellule IMEM5 en acquisition.

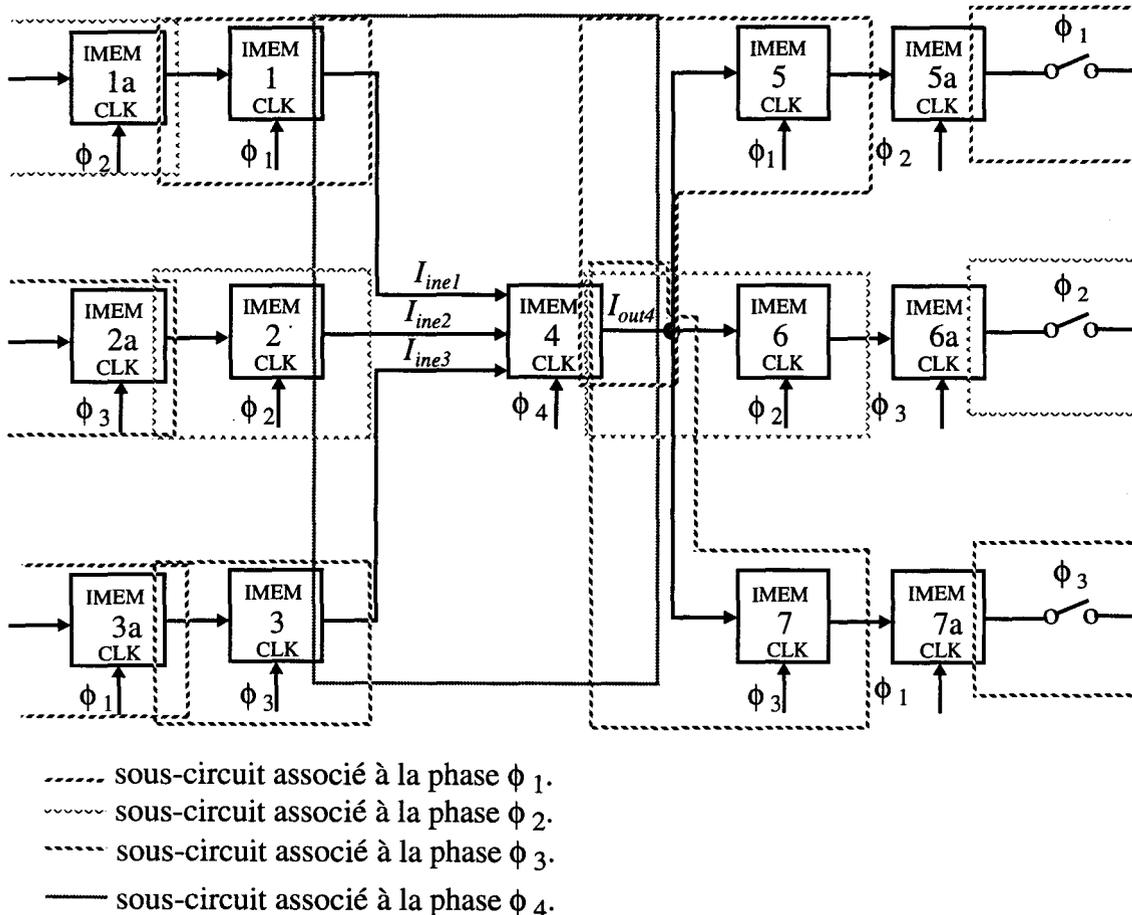


Figure 4.2 : Définition de sous-circuits indépendants dans un réseau de cellules mémoires de courant.

Dans l'exemple ci-dessus, les variables du sous-circuit associé à la phase ϕ_4 sont les courants de sortie des cellules en restitution IMEM1 à IMEM3 et le courant de sortie de la cellule

IMEM4. Les courants de sortie des cellules IMEM1 à IMEM3 deviennent des courants effectifs d'entrée (I_{ine1} à I_{ine3}) pour la cellule IMEM4. Le nombre respectif de ces cellules mises en parallèle ($n_1 = n_2 = n_3 = 1$) et le nombre de cellules mémorisant ces courants ($m_4 = 1$) forment les constantes topologiques. Remarquons qu'ici, les courants d'entrée de IMEM4 sont qualifiés de courants effectifs d'entrée. Cette qualification est due au fait que la détermination de ces courants est, en partie, fonction de la cellule IMEM4.

La structure du simulateur de modulateurs Sigma-Delta est représentée à la **figure 4.3**.

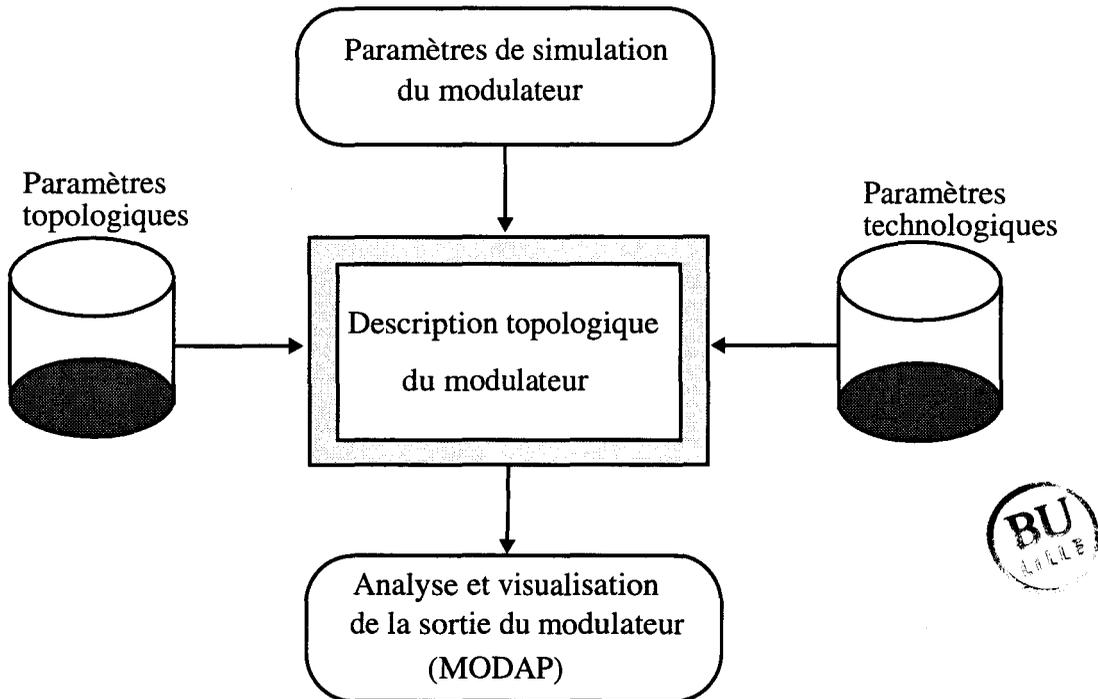


Figure 4.3 : Structure générale du simulateur de modulateurs Sigma-Delta.

Les paramètres de simulation du modulateur sont: la fréquence d'échantillonnage, le rapport de sur-échantillonnage, le courant de référence, la fréquence du signal à convertir, l'amplitude du signal à convertir, les dimensions des transistors et l'amplitude des courants limites de la cellule mémoire de courant, le courant de polarisation et enfin, l'erreur absolue tolérée dans le calcul des courants.

L'analyse du signal de sortie du convertisseur est effectuée à l'aide du logiciel MODAP [9]. MODAP est un programme d'analyse et de test conçu pour servir d'interface d'évaluation des performances des convertisseurs Sigma-Delta avec le simulateur CUMCOS.

La **figure 4.4** représente la description topologique d'un modulateur à trois phases d'horloge.

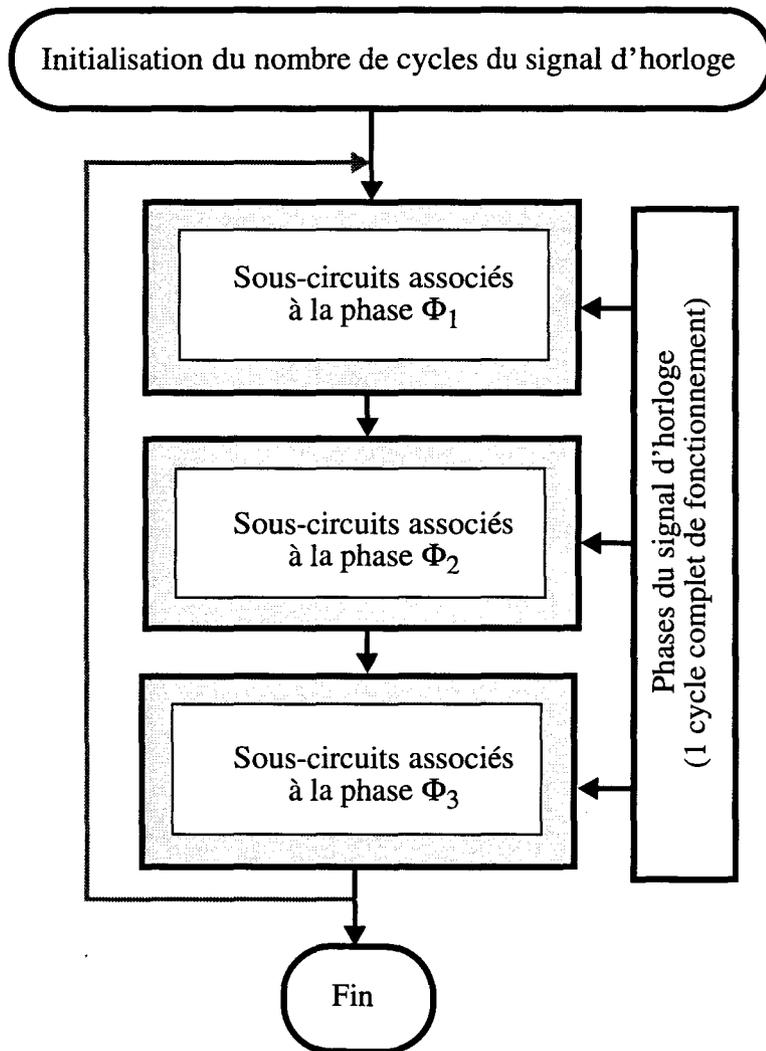


Figure 4.4 : Description topologique d'un modulateur à trois phases d'horloge.

Le trait gris symbolise la répétition périodique des différentes phases jusqu'à l'obtention du nombre d'échantillons nécessaires à l'analyse du signal de sortie du modulateur.

4.2. Modèle de multiplexeur de courant

Dans les modulateurs Sigma-Delta à mémoire de courant, le multiplexeur n'est constitué que d'interrupteurs que nous supposons parfaits. Le signal de commande de ces interrupteurs, qui est également celui du multiplexeur, est une combinaison, soit des différentes phases du signal d'horloge, soit des phases du signal d'horloge et de la sortie du comparateur. Comme les phases du signal d'horloge sont non recouvrantes, le signal de commande *Select* du multiplexeur ne prend qu'un nombre limité de valeurs. Nous avons représenté à la **figure 4.5**, un exemple de sous-circuit indépendant lorsque la commande du multiplexeur de courant à deux entrées est active. Lorsque, la commande *Select* est une phase d'horloge ou une combinaison

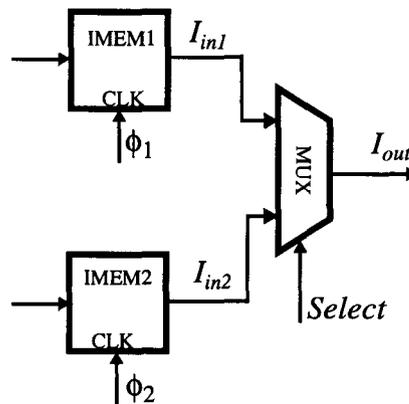


Figure 4.5 : Exemple de sous-circuit comportant un multiplexeur de courant à deux entrées.

des phases d'horloge qui exclue celles de ϕ_1 et ϕ_2 , le courant de sortie du multiplexeur représenté ci-dessus est, soit l'un de ses courants d'entrée, soit la somme des courants d'entrée. La prise en compte de cette configuration dans la description topologique du circuit global simulé est alors simplifiée. Dans le cas où la commande *Select* est également fonction du signal de sortie V_{out} du comparateur de courant, c'est ce dernier qui constitue le critère principal de choix des entrées du multiplexeur. La polarité du signal de sortie nécessite un choix entre deux courants d'entrée, à chaque intervalle d'échantillonnage. Ces courants peuvent être des courants individuels ou des sommes de courants individuels des entrées du multiplexeur. Nous avons donc défini la fonction de multiplexage de la manière suivante:

$$I_{out} = imux(I_{in1}, I_{in2}, V_{out})$$

```
{
    if ( $V_{out} = 1$ ) return ( $I_{out} = I_{in1}$ )
    if ( $V_{out} = -1$ ) return ( $I_{out} = I_{in2}$ )
}
```

I_{in1} , I_{in2} et I_{out} sont respectivement les courants d'entrée et de sortie du multiplexeur.

4.3. Modèle de comparateur de courant

Le comparateur de courant, dans les modulateurs Sigma-Delta, permet de détecter le signe d'un courant. Ce qui revient aussi à comparer une tension, équivalente à un courant, à la tension de référence V_o . Ce potentiel de référence est particulièrement bien choisi, car les échanges d'informations, dans le simulateur de modulateur Sigma-Delta, se font à travers des courants normalisés. Le résultat de la comparaison est une tension; ce qui permet de réaliser la compatibilité du signal de sortie du modulateur avec l'environnement dans lequel celui-ci sera utilisé. La **figure 4.6** représente une configuration de sous-circuit comportant un comparateur de courant. Le signal auxiliaire CLK du comparateur permet la prise en compte de sa sortie à des instants réguliers. Il peut être soit une phase d'horloge, soit une combinaison des phases

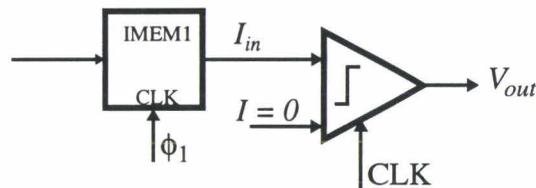


Figure 4.6 : Exemple de sous-circuit comportant un comparateur de courant.

d'horloge. Lorsque ce signal est actif, nous exécutons l'algorithme du comparateur qui est défini de la manière suivante:

$$V_{out} = icomp(I_{in})$$

```
{
    if (  $I_{in} \geq (IH_{yst} + IC_{offset})$  ) return(  $V_{out} = 1.0$  );
    if (  $I_{in} \leq (-IH_{yst} + IC_{offset})$  ) return(  $V_{out} = -1.0$  );
    if ( (  $I_{in} > (-IH_{yst} + IC_{offset})$  ) && (  $I_{in} < (IH_{yst} + IC_{offset})$  ) ) return(  $V_{out}(n) = V_{out}(n-1)$  );
}
```

I_{in} et V_{out} sont respectivement les signaux d'entrée et de sortie du comparateur. Ce dernier retourne la valeur 1 ou -1 selon le signe de I_{in} .

Les sources de perturbations comme le courant d'offset IC_{offset} et l'hystérésis IH_{yst} du comparateur sont pris en compte dans les paramètres de simulation.

4.4. Modélisation de la cellule mémoire de courant

Le choix de la cellule mémoire de courant dépend fortement de l'application que l'on souhaite réaliser. Pour des circuits, tels que le convertisseur Sigma-Delta, qui nécessitent un sur-échantillonnage du signal analogique à coder, la cellule la plus adaptée est la mémoire de courant cascodée représentée à la **figure 4.7**. Les raisons de ce choix seront exposés dans le chapitre 5 qui traite de la conception d'un modulateur expérimental.

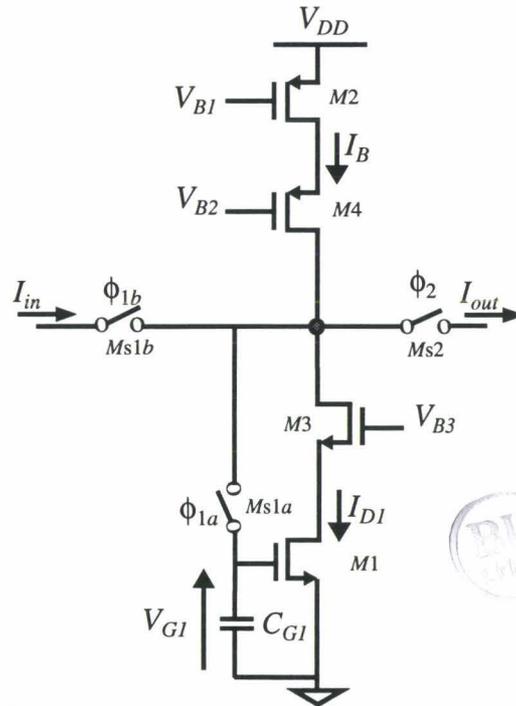


Figure 4.7 : La cellule mémoire de courant cascode.

Le but de la modélisation est de reproduire le plus fidèlement possible la fonction réalisée par la cellule mémoire de courant. Le modèle que nous proposons prend en compte les phénomènes suivants:

- la limitation en amplitude du courant mémorisable par la cellule,
- les conductances de drain des différents transistors,
- le couplage capacitif drain-grille du transistor mémoire,
- la relation non linéaire entre le courant drain et la tension de grille,
- les différentes sources de bruit,
- la charge injectée sur la capacité de mémorisation par l'interrupteur d'échantillonnage.

Le modèle des transistors MOS utilisés est exposé dans l'annexe A. C'est un modèle relativement simple et qui prend en compte les effets de canal court et étroit. Ces effets sont principalement la réduction de mobilité, la conductance de drain, la dépendance de la tension de seuil par rapport aux dimensions du transistor et l'effet de polarisation du substrat. Ce modèle de transistors est un dérivé des modèles déjà existants [10 - 16]. Nous l'avons adapté à notre

application trouvant un lien entre certains paramètres clefs et les dimensions du transistor. Ces paramètres clefs sont les paramètres de réduction de la mobilité des porteurs, de la modulation de la longueur du canal, de l'effet substrat et de la tension de seuil.

La **figure 4.8** représente la configuration électrique modélisée. Elle schématise un sous-circuit formé de n_k cellules mémoires de courant mises en parallèle fournissant un courant I_{ink} à m_j cellules mises en parallèle. Ce sous-circuit réalise une fonction dont les arguments en entrée sont: I_{ink} , n_k , et m_j . Cette fonction retournera la variable I_{outj} .

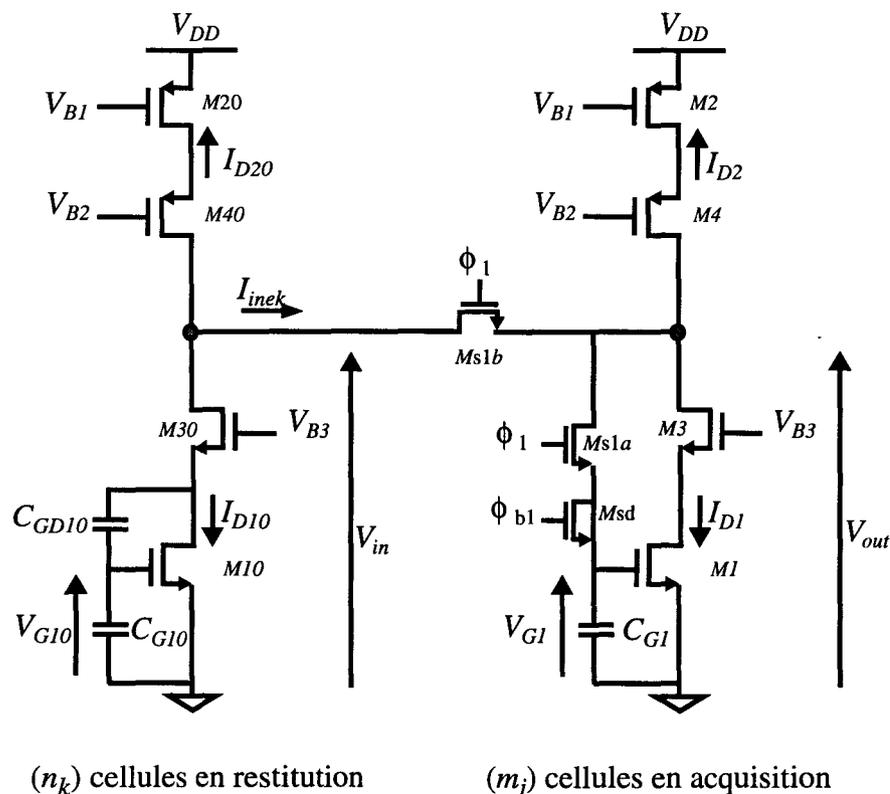


Figure 4.8 : Configuration électrique du modèle de la mémoire de courant cascode.

Le transistor $M20$ représente une source de courant de polarisation d'impédance finie. Il en est de même du transistor $M2$. Le transistor $M10$ représente la source de courant d'entrée, à travers sa tension de grille, avec également une impédance finie.

Les hypothèses énoncées ci-dessous ont été admises pour la modélisation du sous-circuit.

- Les transistors $M10$ à $M40$ et $M1$, $M2$ et $M4$ sont polarisés en régime de forte inversion et en région de saturation. Ils sont donc modélisés par l'équation (A.3).
- Les interrupteurs $Ms1a$ et $Ms1b$ sont polarisés en régime de forte inversion et en région linéaire. Ils sont modélisés par l'équation (A.2).
- Les transistors cascode $M40$ et $M4$ ont un rôle d'amplification de l'impédance de la source de courant de polarisation. Leurs effets sont donc modélisés par un gain qui est multiplié par l'impédance de la source de courant de polarisation. De même, le transistor $M30$ est modélisé comme un amplificateur d'impédance de la source de courant signal d'entrée.

. Nous négligeons la tension drain-source de l'interrupteur M_{s1a} ainsi que celle du transistor cascode M_3 par rapport aux tensions grille-source et drain-source de M_1 . Dans la plage d'amplitudes de courant d'entrée fixée, la tension drain-source de M_3 reste faible par rapport à celle de M_1 . Les tensions drain-source de M_1 et grille-source de M_3 s'ajustent de telle sorte que leur somme reste égale à la tension de polarisation V_{B3} . Nous pouvons ainsi confondre les tensions V_{G1} et V_{out} . En ce qui concerne l'interrupteur M_{s1a} , sa tension drain-source tend vers 0 parce que son courant drain tend également vers 0, en l'absence de chemin de transit. L'erreur commise, en admettant cette hypothèse, est négligeable.

Les considérations ci-dessus demeurent valables tant que le courant normalisé d'entrée est compris entre un courant normalisé minimal $I_{in,min}$ et un courant normalisé maximal $I_{in,max}$. Les valeurs limites de ces courants sont fixées par l'utilisateur. Le courant normalisé est limité à $I_{in,min}$ lorsque sa valeur est inférieure à celle de $I_{in,min}$. De même, lorsque la valeur de courant normalisé est supérieure à celle de $I_{in,max}$, nous le limitons à la valeur $I_{in,max}$. Cette condition limite permet d'éviter les problèmes de convergence qui peuvent être engendrés par le changement de région de fonctionnement des transistors de la cellule mémoire de courant. Il est important de signaler que la condition aux limites concerne aussi bien chaque courant normalisé d'entrée que leur somme algébrique.

La **figure 4.9** représente le schéma équivalent de la configuration électrique modélisée.

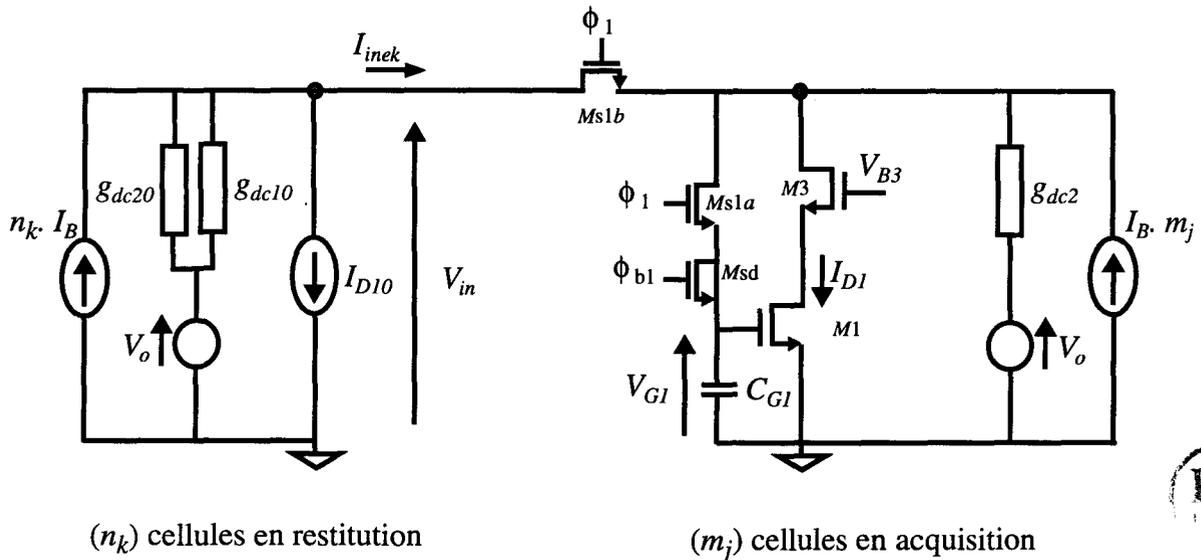


Figure 4.9 : Schéma équivalent du modèle proposé.

Le transistor M_{10} est très critique car le courant d'entrée est une fonction non linéaire de sa tension de grille. Son courant drain est décrit par la relation suivante:

$$I_{D10} = I_{D10norm} \cdot \left(1 + \frac{V_{in} - V_o}{(V_{E1} + V_o) \cdot Acas30}\right) \quad (4.1)$$

avec

$$I_{D10norm} = n_k \cdot I_B - I_{ink} \quad \text{et} \quad Acas30 = \sqrt{\frac{2 \cdot \beta_3}{I_{D10norm}}} (V_{E3} + V_o) \quad (4.2)$$

$I_{D10norm}$ et V_{E1} représentent respectivement le courant drain normalisé et le paramètre de modulation de la longueur du canal de $M10$. $Acas30$, β_3 et V_{E3} sont respectivement le gain, le paramètre de transfert et le paramètre de la modulation de la longueur du canal du transistor cascode $M30$.

Les courants des transistors $M20$ et $M2$ sont respectivement définis par les relations (4.3) et (4.5).

$$I_{D20} = I_{D20norm} \cdot \left(1 - \frac{V_{in} - V_o}{(V_{E2} + V_{DD} - V_o) \cdot Acas40}\right) \quad (4.3)$$

avec

$$I_{D20norm} = -n_k \cdot I_B \quad \text{et} \quad Acas40 = \sqrt{\frac{2 \cdot \beta_4}{I_B}} (V_{E4} + V_o) \quad (4.4)$$

$I_{D20norm}$ et V_{E2} représentent respectivement le courant drain normalisé et le paramètre de modulation de la longueur du canal de $M20$. $Acas40$, β_4 et V_{E4} sont respectivement le gain, le paramètre de transfert et le paramètre de la modulation de la longueur du canal du transistor cascode $M40$.

$$I_{D2} = I_{D2norm} \cdot \left(1 - \frac{V_{G1} - V_o}{(V_{E2} + V_{DD} - V_o) \cdot Acas40}\right) \quad (4.5)$$

avec

$$I_{D2norm} = -m_j \cdot I_B \quad (4.6)$$

I_{D2norm} représente le courant drain normalisé de $M2$.

Les conductances g_{dc10} , g_{dc20} et g_{dc2} sont définies de la manière suivante:

$$g_{dc10} = \frac{I_{D10norm}}{(V_{E1} + V_o) \cdot Acas30} + K_{cgd} \cdot \frac{\sqrt{2 \cdot \beta_1 \cdot I_{D10norm}}}{Acas30} \quad (4.7)$$

$$g_{dc20} = \frac{n_k \cdot I_B}{(V_{E1} + V_o) \cdot Acas40} \quad ; \quad g_{dc2} = \frac{m_j \cdot I_B}{(V_{E1} + V_o) \cdot Acas40} \quad (4.8)$$

où

$$K_{cgd} = \frac{C_{GD1}}{C_{GD1} + C_{G1}} \quad \text{et} \quad Acas3 = \sqrt{\frac{2 \cdot \beta_3}{I_{D1}}} (V_{E3} + V_o)$$

Le second terme de la relation (4.7) représente l'effet du couplage capacitif grille-drain de $M10$. Celui-ci est modélisé comme une conductance de drain du transistor mémoire. En effet, la variation du potentiel drain du transistor mémoire $M10$ engendre une erreur de tension sur le potentiel de grille de celui-ci via le diviseur capacitif formé par la capacité de recouvrement C_{GD1} et la capacité de mémorisation C_{G1} . Cette variation de tension de grille engendre une erreur sur le courant effectivement mémorisé par $M10$. Ce phénomène peut être modélisé par une conductance drain-source G_{cgd} de $M1$. L'effet cascode de $M30$ affecte également cette conductance.

4.4.1. Modélisation du bruit dans la mémoire de courant

La prise en compte du bruit, comme source de perturbations dynamiques, est effectuée après le calcul de la tension V_{GI} . Nous considérons la contribution de bruit de la source de polarisation de tension des cellules comme étant négligeable. Nous négligeons l'influence du bruit en $1/f$ à cause l'effet auto-zéro inhérent à la cellule mémoire de courant. En outre, nous admettons un fonctionnement linéaire de configuration modélisée autour d'un courant d'entrée nul. En conséquence, les valeurs des conductances et des transconductances, nécessaires au calcul de la puissance de bruit des transistors MOS, sont évaluées à courant d'entrée nul. Nous distinguons deux principales sources dans le modèle de bruit de la cellule mémoire de courant:

- Le bruit des m_j cellules en acquisition. La puissance totale de bruit P_a de ces cellules est la somme des puissances de bruit des transistors $M1$ à $M4$ et des interrupteurs $Msl1a$ et $Msl1b$ pondérée par le facteur m_j .
- Le bruit de la source de courant signal que nous noterons P_r .

La figure 4.10 représente le modèle de la cellule mémoire de courant pour le calcul du bruit.

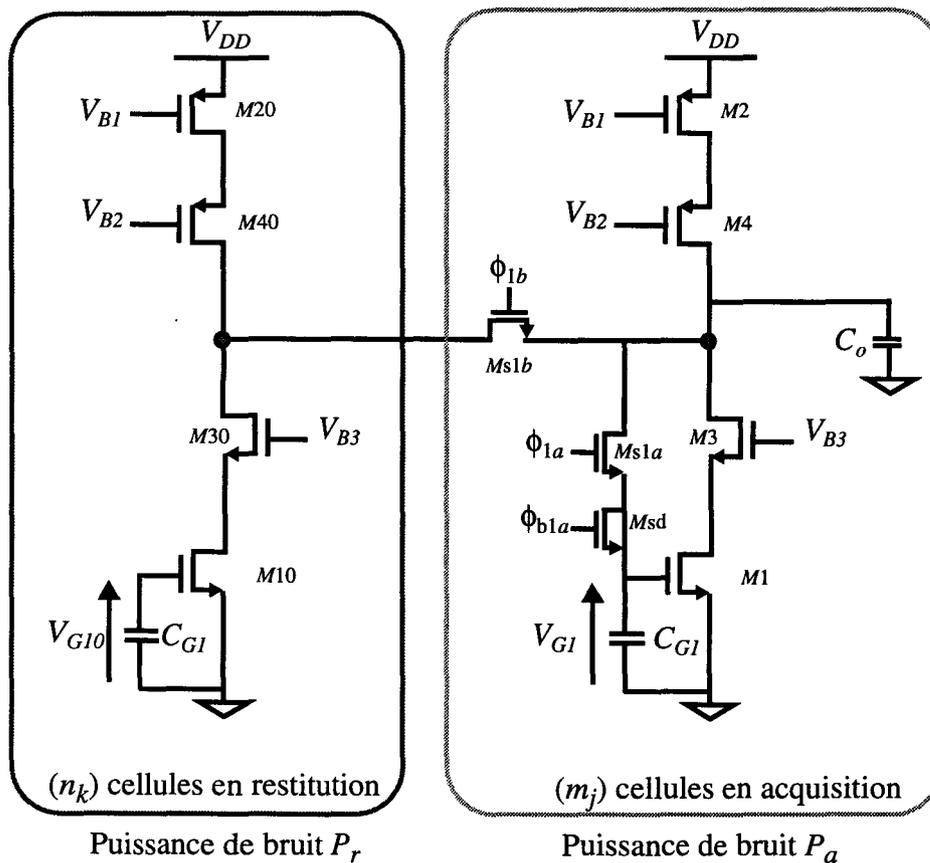


Figure 4.10 : Modèle de bruit de la mémoire de courant cascade.

La puissance totale de bruit P_n recueillie aux bornes de la capacité C_{GI} est la somme des puissances P_r et P_a . L'écart type de l'échantillon de tension de bruit qui se superpose au signal utile est obtenu par la relation suivante [17]:

$$V_{G1n} = \sqrt{-2 \cdot P_n \cdot \log(x_1) \cdot \cos(2 \cdot \pi \cdot x_2)} \quad (4.9)$$

x_1 et x_2 sont des nombres aléatoires compris entre 0 et 1 ayant une densité de probabilité uniforme. La distribution de l'échantillon de tension de bruit V_{GIn} possède une distribution normale ou gaussienne.

Nous exploiterons les résultats présentés dans l'annexe B pour déterminer la puissance de bruit P_n . Les transconductances g_{m1} , g_{m2} , g_{m3} et g_{m4} des transistors $M1$ à $M4$ et les conductances g_{s1a} et g_{s1b} des interrupteurs $Ms1a$ et $Ms1b$ sont également pondérées par le facteur m_j . g_{m10} , g_{m20} , g_{m30} et g_{m40} sont les transconductances respectives de $M10$, $M20$, $M30$ et $M40$. g_o est la somme des conductances de drain des m_j cellules mises en parallèle. La conductance de sortie g_i de la source de courant signal est pondérée par le facteur NK défini par:

$$NK = \sum_{k=1}^{Ni} n_k \quad (4.10)$$

Ni représente le nombre d'entrée des m_j cellules en acquisition. P_r est définie par:

$$P_r = \left(\frac{8 \cdot K \cdot T}{3} \cdot \frac{(g_{m10} + g_{m20} + g_{m30} + g_{m40}) \cdot g_{s1b}^2}{[(g_{mc1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i]^2} \cdot f_{Bn} \right) \cdot NK \quad (4.11)$$

D'après la relation (B.33) (voir annexe B), l'expression de f_{Bn} est de la forme:

$$f_{Bn} = \frac{g_{s1a} \cdot [(g_{mc1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i]}{4 \{ [(g_o + g_{s1a})(g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o \}} \quad (4.12)$$

avec

$$g_{mc1} = g_{m1} \cdot \frac{g_{m3} + g_{d3}}{g_{m3} + g_{d3} + g_{d1}} \quad ; g_{dc1} = g_{d1} \cdot \frac{g_{d3}}{g_{m3} + g_{d3} + g_{d1}} \quad (4.13)$$

$$g_{dc2} = g_{d2} \cdot \frac{g_{d4}}{g_{m4} + g_{d4} + g_{d2}} \quad ; g_o = g_{dc1} + g_{dc2} \quad (4.14)$$

La puissance de bruit P_a est définie par:

$$P_a = 4 \cdot K \cdot T \cdot \left[\frac{\frac{2}{3} (g_{m1} + g_{m2} + g_{m3} + g_{m4}) + \frac{g_{ie}^2}{g_{s1b}} + \frac{[g_o + g_{ie}]^2}{g_{s1a}} (1 + A)}{[g_{mc1} + g_o + g_{ie}]^2} \right] f_{Bn} \quad (4.15)$$

Avec

$$A = \frac{C_o}{C_{G1}} \cdot \frac{g_{s1a} \cdot (g_{s1b} + g_i) [(g_{mc1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i]}{[g_o \cdot (g_{s1b} + g_i) + g_{s1b} \cdot g_i]^2} \quad (4.16)$$

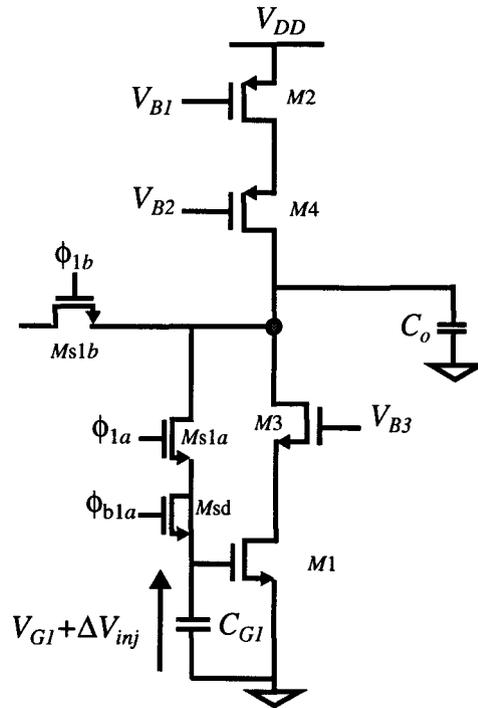
$$g_{ie} = \frac{g_{s1b} \cdot g_i}{g_{s1b} + g_i} \quad (4.17)$$

Il en résulte une puissance totale P_n aux bornes de la capacité de grille du transistor mémoire définie par:

$$P_n = P_r + P_a \quad (4.18)$$

4.4.2. Modélisation de l'injection de charge

Le phénomène d'injection de charge, dans la mémoire de courant, intervient lors de l'échantillonnage de la tension de grille V_{G1} du transistor mémoire $M1$ (**Figure 4.11**). En effet, l'ouverture de l'interrupteur d'échantillonnage $Ms1a$ entraîne un partage de la charge de son canal entre ses zones de diffusion de drain et de la source ainsi que le substrat. La charge injectée à travers la source de $Ms1a$ engendre une erreur de tension aux bornes de la capacité C_{G1} . La prise en compte de ce phénomène est indispensable car la tension aux bornes de la capacité C_{G1} est l'image du courant que l'on veut mémoriser.



(m_j) cellules en acquisition

Figure 4.11 : Schéma pour le calcul de la charge injectée par l'interrupteur d'échantillonnage.

A faible tension drain-source, la charge totale du canal de l'interrupteur $Ms1a$ peut être exprimée par la relation:

$$Q_{tot} = -m_j \cdot C_{ox} \cdot Ws1a \cdot Ls1a \cdot (V_{DD} - V_{G1} - V_{T_s1a}) \quad (4.19)$$

L'erreur de tension de grille du transistor mémoire, due à l'injection de charge, ne dépend pas seulement de la charge du canal du transistor. Elle dépend également des capacités aux extrémités de l'interrupteur [18 -19]. Des solutions de compensation ont été discutées au chapitre 1. L'une d'elles consiste à utiliser un interrupteur Ms_d , de taille égale à la moitié de celle de l'interrupteur principal $Ms1a$ [19], et dont le signal de commande est le complémentaire de $Ms1a$. Cet interrupteur, placé du côté du noeud sensible, permet de recueillir une partie de la charge du canal de $Ms1a$ qui s'évacue par ce noeud.

Quelque soit la qualité de la compensation de l'injection de charge de $Ms1a$, une certaine quantité de charge s'ajoutera toujours à celle déjà stockée par C_{G1} . Une modélisation possible

de cette quantité de charge injectée, consiste à introduire un coefficient qui représente le pourcentage de charge effectivement injectée après compensation. En conséquence, la charge injectée par M_{s1a} sur la capacité C_{G1} est décrite par relation:

$$\Delta Q_{tot} = -K_{inj} \cdot C_{ox} \cdot W_{s1a} \cdot L_{s1a} \cdot (V_{DD} - V_{G1} - V_{T_{s1a}}) \cdot m_j \quad (4.20)$$

Le facteur K_{inj} représente le pourcentage de charge injectée. L_{s1a} et W_{s1a} sont respectivement la longueur et la largeur de M_{s1a} . $V_{T_{s1a}}$ représente la tension de seuil de M_{s1a} .

La variation de tension ΔV_{inj} aux bornes de C_{G1} qui en résulte, est alors de la forme:

$$\Delta V_{inj} = \frac{\Delta Q_{tot}}{m_j \cdot C_{G1}} = \frac{-K_{inj} \cdot C_{ox} \cdot W_{s1a} \cdot L_{s1a} \cdot (V_{DD} - V_{G1} - V_{T_{s1a}})}{C_{G1}} \quad (4.21)$$

Cette tension est donc ajoutée à la tension mémorisée aux bornes de C_{G1} juste avant l'ouverture de M_{s1a} .

4.4.3. Calcul de courant de sortie normalisé d'une mémoire de courant

Le calcul du courant de sortie normalisé intervient après celui de la réponse statique de la cellule (tension de grille V_{G1} de $M1$), et la prise en compte des perturbations dynamiques, représentées par l'injection de charge et le bruit. Le circuit représenté à la **figure 4.12** permet de calculer le courant de sortie normalisé I_{outj} de la mémoire de courant.

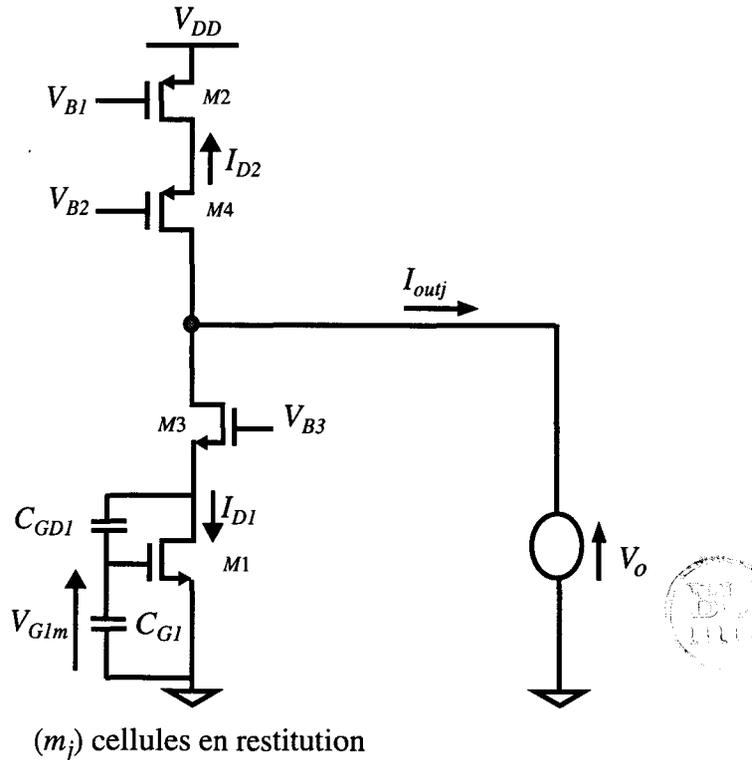


Figure 4.12 : Calcul du courant de sortie normalisé de la mémoire de courant.

De part la définition de la tension V_o , le courant I_{D2} fourni par le transistor $M2$ vaut:

$$I_{D2} = -m_j \cdot I_B \quad (4.22)$$

I_B est le courant de polarisation de la cellule. Le courant de sortie vaut alors:

$$I_{outj} = m_j \cdot I_B - I_{D1norm} + G_{cgd} \cdot (V_{G1} - V_o) \quad (4.23)$$

G_{cgd} représente l'effet du couplage capacitif grille-drain du transistor mémoire. I_{D1norm} est défini par:

$$I_{D1norm} = I_{DSat1} \cdot \left(1 + \frac{V_o - V_{G1}}{(V_{E1} + V_{DSat1}) \cdot Acas3}\right) \quad (4.24)$$

avec

$$I_{DSat1} = \frac{m_j \cdot \beta_1}{2} \cdot (V_{G1m} - V_{T0n})^2 \quad \text{et} \quad Acas3 = \sqrt{\frac{2 \cdot \beta_3}{I_{D1}}} (V_{E3} + V_o) \quad (4.25)$$

La tension V_{G1m} est la tension effectivement mémorisée.

4.5. Comparaison de simulations du modèle proposé avec HSPICE

Le but de ces simulations est de montrer, qu'avec le modèle décrit précédemment, il est possible d'obtenir des résultats comparables à ceux de HSPICE [20], et avec un gain de temps de calcul considérable. La simulation temporelle incluant le bruit des transistors étant impossible avec le simulateur HSPICE, nous avons désactivé le module de calcul de bruit dans notre modèle.

Les **tableaux 4.1** et **4.2** regroupent les différents paramètres utilisés dans le modèle de la mémoire décrit précédemment. Les valeurs des paramètres technologiques ont été extraites à partir d'échantillons de transistors MOS d'une technologie CMOS VLSI 1.2 μm . Nous utiliserons les valeurs de ces paramètres dans toutes les simulations.

Tableau 4.1 : Paramètres de simulation de la mémoire de courant.

Dénominations	Paramètres et valeurs correspondantes		Unités
Largeur / Longueur de $M1$	$W1 / L1$	36.0 / 2.1	$\mu\text{m} / \mu\text{m}$
Largeur / Longueur de $M2$	$W2 / L2$	80.4 / 2.1	$\mu\text{m} / \mu\text{m}$
Largeur / Longueur de $M3$	$W3 / L3$	99.6 / 1.2	$\mu\text{m} / \mu\text{m}$
Largeur / Longueur de $M4$	$W4 / L4$	40.2 / 1.2	$\mu\text{m} / \mu\text{m}$
Largeur / Longueur de $Ms1a$	$Ws1a / Ls1a$	3.0 / 1.2	$\mu\text{m} / \mu\text{m}$
Largeur / Longueur de $Ms1b$	$Ws1b / Ls1b$	15.0 / 1.2	$\mu\text{m} / \mu\text{m}$
Pourcentage de charge injectée	K_{inj}	variable selon le type compensation utilisée	%
Capacité de mémorisation	C_{G1}	1.6	pF
Courant de polarisation	I_B	400E-06	A
Tension d'alimentation	V_{DD}	5	V
Erreur absolue des courants calculés	$IError$	1.0E-09	A

Tableau 4.2 : Paramètres technologiques.

Dénominations	Paramètres et valeurs correspondantes		Unités
Tension d'Early de $M1$	V_{E1}	5.25	V
Tension d'Early de $M2$	V_{E2}	3.00	V
Tension d'Early de $M3$	V_{E3}	2.70	V
Tension d'Early de $M4$	V_{E4}	1.35	V
Paramètre de transfert NMOS PMOS	$\mu_0 \cdot C_{ox}$	80.0E-06 34.0E-06	A/V^2 A/V^2
Tension de seuil de $M1$	V_{T0n}	0.75	V
Effet substrat (NMOS)	γ	0.660	$V^{1/2}$
Potentiel de surface (NMOS)	Φ	0.742	V
Réduction de mobilité de $M1$	θ	0.26	V^{-1}

Le schéma adopté pour la simulation avec HSPICE est représenté à la figure 4.13.

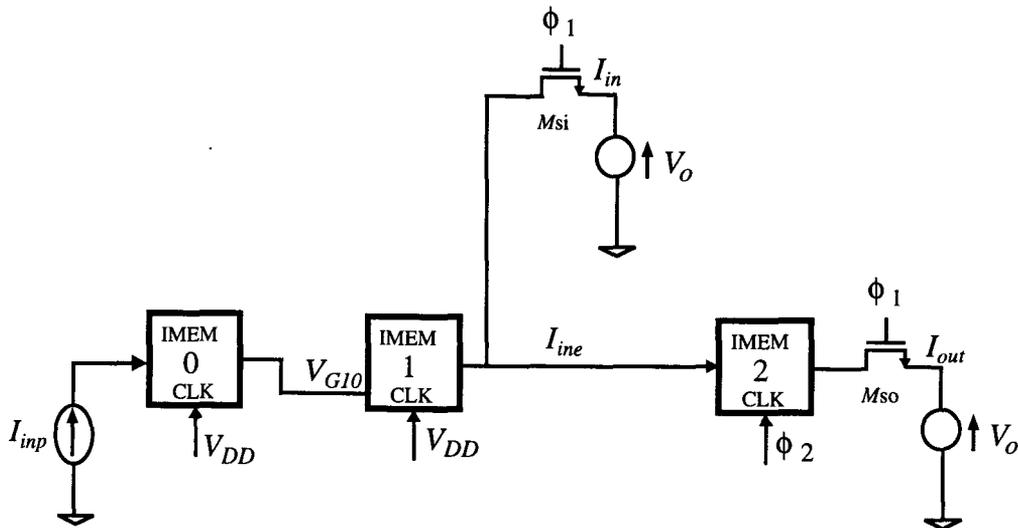


Figure 4.13 : Schéma pour la simulation HSPICE d'une seule source de courant signal.

Il est constitué d'une source de courant idéale I_{inp} , de deux cellules mémoires de courant en restitution (IMEM0 et IMEM1), et de la cellule caractérisée IMEM2. Deux interrupteurs et deux sources de tensions idéales permettent de recueillir les courants d'entrée et de sortie normalisés. Le noeud de sortie de IMEM0 est connecté à la grille du transistor mémoire de la cellule IMEM1. La valeur de tension V_o est de 1.7007 volts.

Le signal d'horloge d'échantillonnage a un rapport cyclique de 1/2. Les temps de montée et de descente sont de 1 ns. La période d'échantillonnage du signal I_{ine} , est de 106 ns. La simulation s'étend sur deux périodes d'horloge. L'échantillonnage des courants est accompli pendant la

deuxième période. Les signaux d'horloge ϕ_1 et ϕ_2 sont non recouvrants. La durée de non recouvrement est de 2 ns . La durée effective de mémorisation est de 49 ns . Le courant d'entrée I_{inp} , est une impulsion d'amplitude variant de $-300\text{ }\mu\text{A}$ à $+300\text{ }\mu\text{A}$ avec un pas de $25\text{ }\mu\text{A}$.

La **figure 4.14** représente les courbes d'erreurs obtenues par les deux simulations en fonction du courant normalisé d'entrée I_{in} .

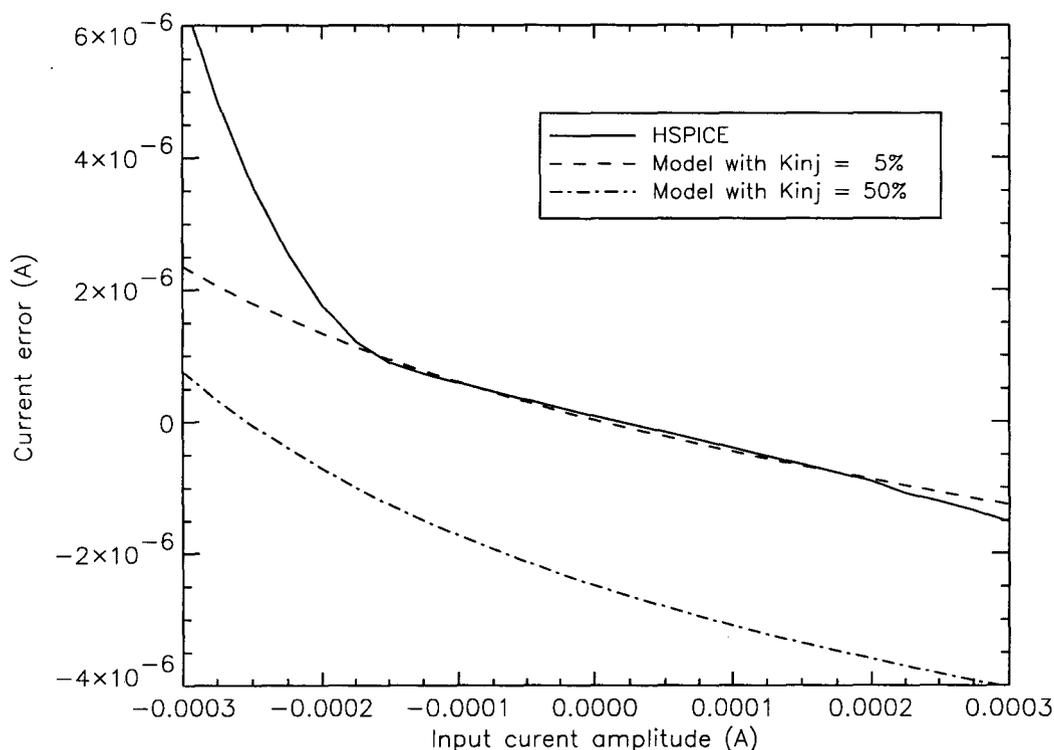


Figure 4.14 : Erreur de courant: cas d'une seule source de courant signal.

L'erreur de courant, aussi bien avec HSPICE qu'avec notre modèle est plus importante lorsque le courant d'entrée tend vers le courant minimal: $-300\text{ }\mu\text{A}$. Cela s'explique par le fait que les transistors $M10$ et $M30$ passent de la zone de saturation à la zone triode. Avec la courbe d'erreur obtenue par HSPICE, nous observons bien la courbure de la zone de transition. L'erreur obtenue avec le modèle proposé ici est plus faible car nous n'avons pas modélisé le changement de zone de fonctionnement de ces transistors. La polarisation en zone de saturation de ces transistors est indispensable pour minimiser l'erreur de courant. La courbe obtenue avec notre modèle se confond à celle obtenue avec HSPICE dans la zone où les transistors $M10$ à $M40$ et $M1$ à $M4$ sont en zone de saturation, dans le cas d'une compensation de l'injection de charge de 45% ($K_{inj} = 5\%$). Par ailleurs, l'injection de charge, telle que nous l'avons modélisée, génère un décalage du courant de sortie. C'est le cas de la courbe d'erreur simulée avec le pourcentage de charge injectée K_{inj} égal à 50%. Le temps CPU nécessaire pour obtenir les 25 points d'analyse est 1 *minute* pour HSPICE et 3 *secondes* pour notre modèle. Ces simulations ont été effectuées sur un ordinateur de 40 MIPS (Millions d'Instructions Par Seconde). Notons que l'influence des interrupteurs Msi et Mso sur l'erreur de courant est négligeable dans la plage des courants normalisés fixés à $\pm 200\text{ }\mu\text{A}$.

La **figure 4.15** représente un autre schéma de simulation HSPICE. La cellule caractérisée est une mémoire à trois entrées (IMEM2) constituée de trois cellules mises en parallèle. Les cellules IMEM1a à IMEM1c sont constituées chacune de deux cellules identiques mises en parallèle. Nous voulons mettre en évidence, sur cet exemple, l'influence des différentes sources de courant signal sur la performance globale de la cellule mémoire de courant. Les phases d'horloge ϕ_1 et ϕ_2 sont identiques à celles de la simulation précédente.

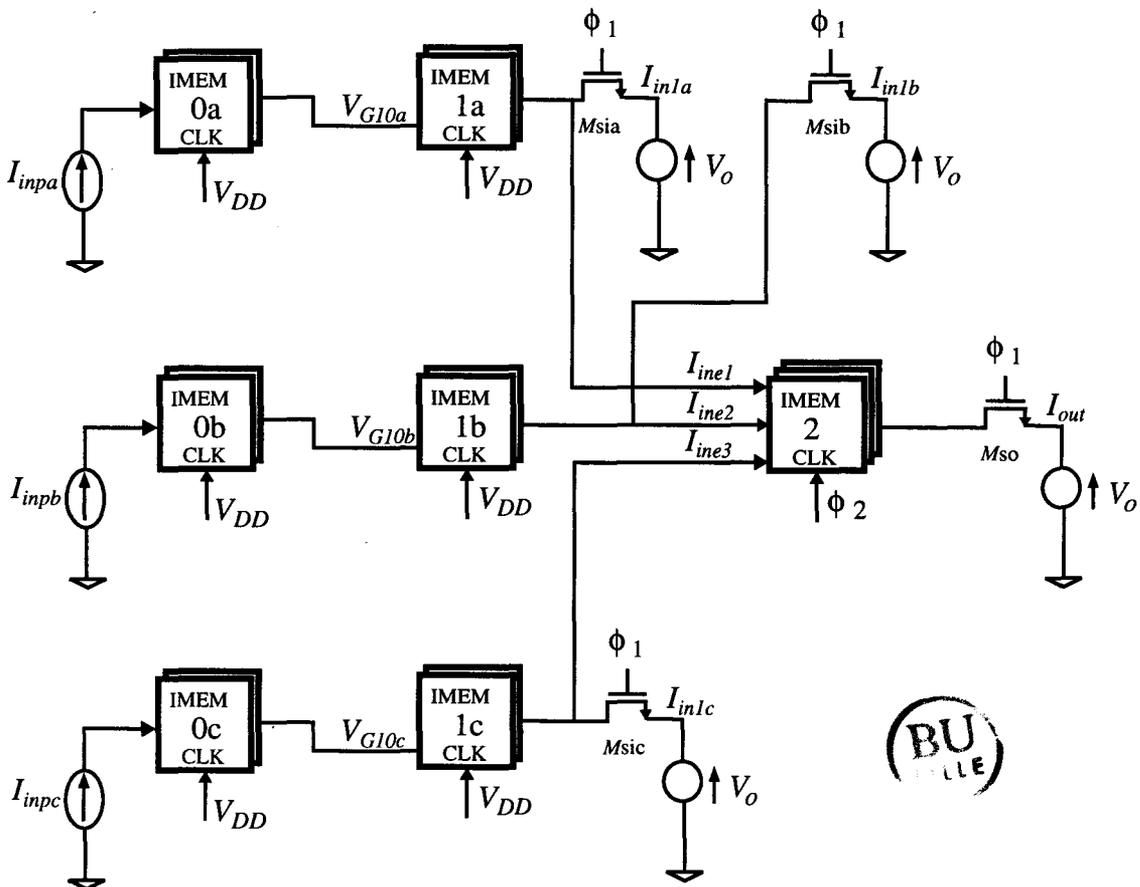


Figure 4.15 : Schéma pour la simulation HSPICE de trois différentes sources de courant signal.

Afin de garder la même configuration que celle utilisée dans notre modèle, nous avons choisi les dimensions des transistors M_{si} et M_{so} identiques à celles de l'interrupteur d'entrée. Le courant I_{inpa} varie de $-600 \mu\text{A}$ à $+600 \mu\text{A}$, par pas de $50 \mu\text{A}$. Le courant I_{inpb} varie de $-480 \mu\text{A}$ à $+480 \mu\text{A}$, par pas de $40 \mu\text{A}$. Le courant I_{inpc} varie de $-120 \mu\text{A}$ à $+120 \mu\text{A}$, par pas de $10 \mu\text{A}$.

Les courbes d'erreurs de courant obtenues sont représentées à la **figure 4.16**. Les grandeurs figurant sur cette dernière sont identiques à celles de la simulation précédente.

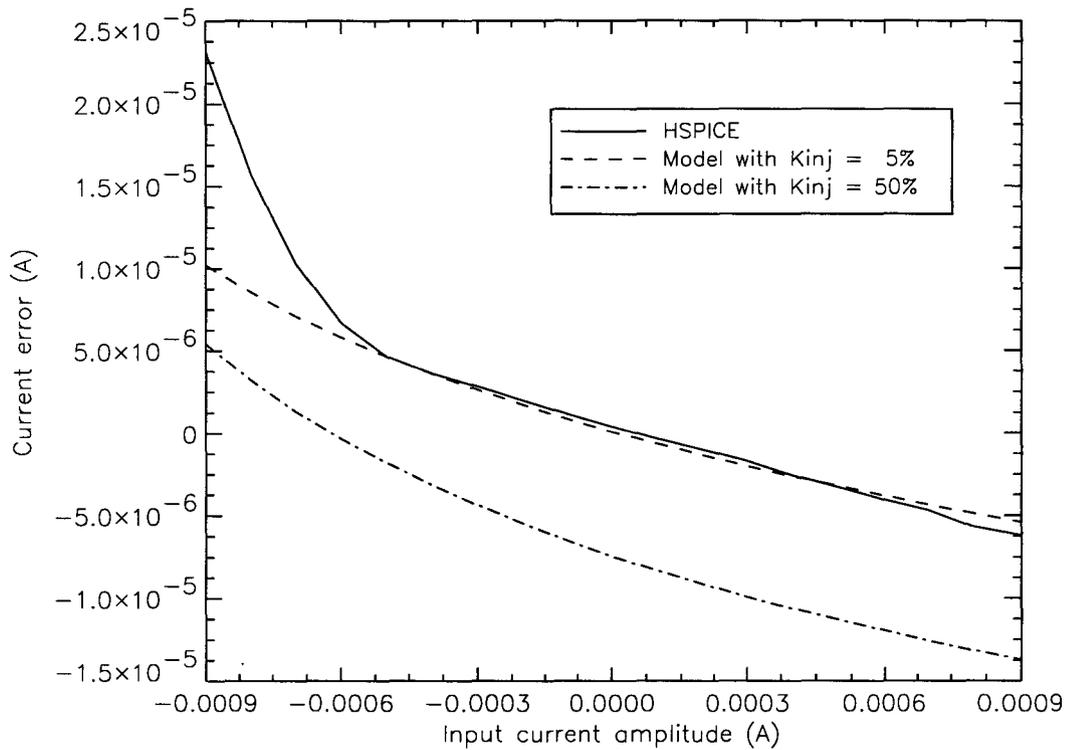


Figure 4.16 : Erreur de courant: cas de trois différentes sources de courant signal.

L'allure des courbes d'erreur de courant est semblable à celle de la **figure 4.14**, à l'exception de deux points:

1. Dans les mêmes proportions de courants normalisés d'entrée, l'erreur de courant est plus importante. Cela s'explique par le fait que les conductances de drain des transistors en zone de saturation, sont plus importantes dans le cas présent, à cause de la mise en parallèle des cellules.
2. Nous pouvons observer une légère inflexion de la courbe d'erreur de courant ($K_{inj} = 5\%$) autour de $400 \mu\text{A}$. Ce premier point d'inflexion correspond à la coupure du transistor mémoire de IMEM1b.

Le temps CPU pour obtenir les 25 points d'analyse est de 110 *secondes* avec HSPICE et de 4 *secondes* avec le modèle proposé, sur le même calculateur.

4.6. Simulation du modulateur Sigma-Delta d'ordre 2 à deux phases

Pour montrer l'efficacité de notre outil d'aide à la conception des convertisseurs Sigma-Delta, nous proposons de l'appliquer à la simulation du modulateur d'ordre 2 à deux phases dont l'architecture est représentée à la **figure 4.17**.

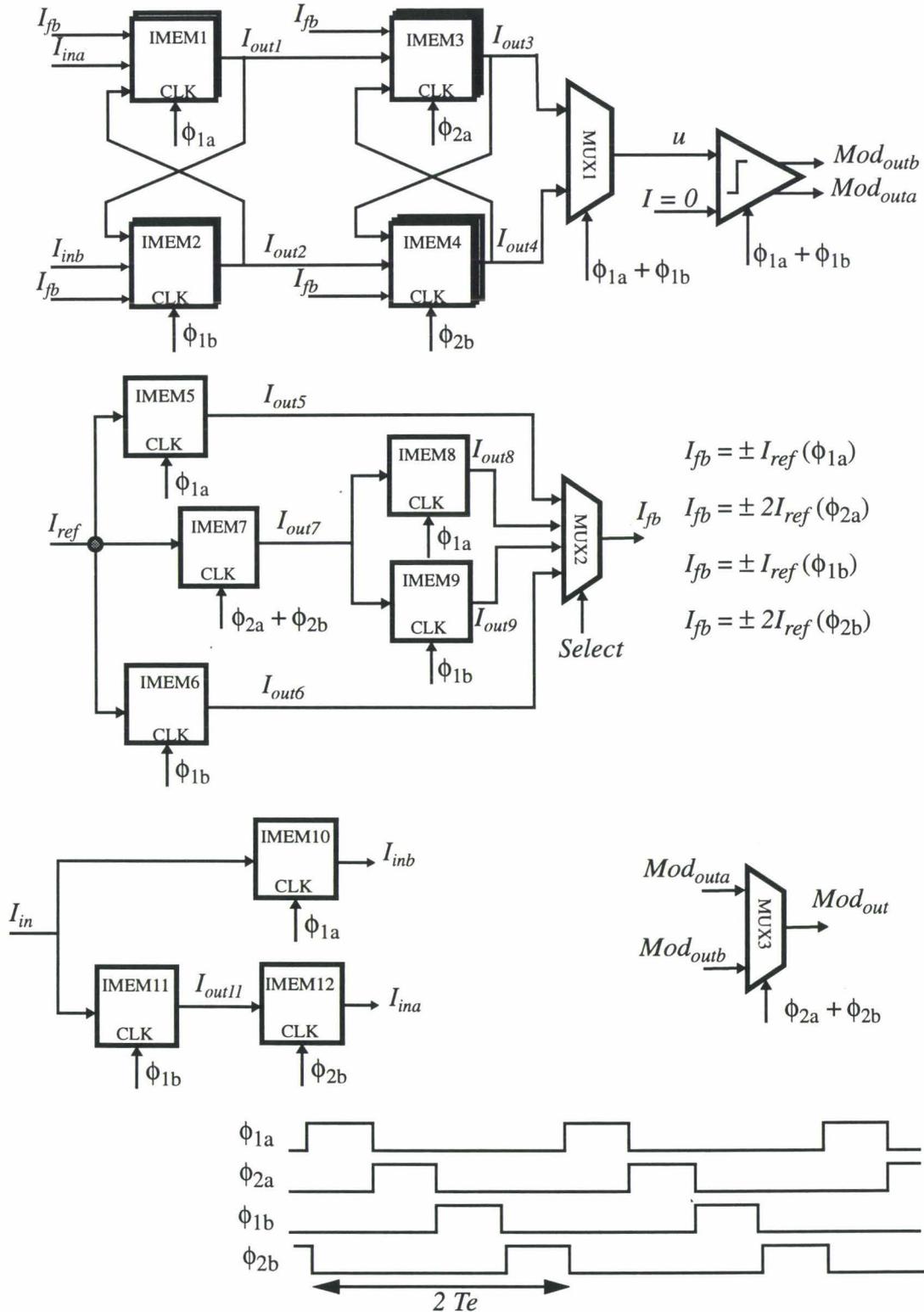


Figure 4.17 : Architecture de modulateur Sigma-Delta d'ordre 2 à deux phases.

Le premier intégrateur est formé par les mémoires de courant IMEM1 et IMEM2. Chacune de ces mémoires est constituée de deux cellules identiques mises en parallèle. Le second intégrateur est constitué des mémoires de courant IMEM3 et IMEM4. Chaque mémoire est constituée de trois cellules identiques mises en parallèle. La mise en parallèle de cellules permet d'augmenter la dynamique des courants, par conséquent, d'améliorer le rapport signal à bruit et distorsion du modulateur.

La décomposition de l'architecture du modulateur en sous-circuits est la suivante:

Phase ϕ_{1a} :

$$I_{fb} = imux (I_{out6}, I_{out9}, Mod_{outb}),$$

$$I_{inb} = imem (I_{in}, 1, 1),$$

$$I_{out5} = imem (I_{ref}, 1, 1),$$

$$I_{out1} = imem (I_{ina}, 1, I_{fb}, 1, I_{out2}, 2, 2),$$

Phase ϕ_{2a} :

$$I_{fb} = imux (I_{out5}+I_{out6}, I_{out8}+I_{out9}, Mod_{outb}),$$

$$I_{out7} = imem (I_{ref}, 1, 1),$$

$$I_{out3} = imem (I_{out1}, 2, I_{fb}, 2, I_{out4}, 3, 3),$$

$$Mod_{out} = Mod_{outa} = icomp (I_{out3}),$$

Phase ϕ_{1b} :

$$I_{fb} = imux (I_{out5}, I_{out8}, Mod_{outa}),$$

$$I_{out11} = imem (I_{in}, 1, 1),$$

$$I_{out6} = imem (I_{ref}, 1, 1),$$

$$I_{out2} = imem (I_{inb}, 1, I_{fb}, 1, I_{out1}, 2, 2),$$

Phase ϕ_{2b} :

$$I_{fb} = imux (I_{out5}+I_{out6}, I_{out8}+I_{out9}, Mod_{outa}),$$

$$I_{ina} = imem (I_{out11}, 1, 1),$$

$$I_{out7} = imem (I_{ref}, 1, 1),$$

$$I_{out4} = imem (I_{out2}, 2, I_{fb}, 2, I_{out3}, 3, 3),$$

$$Mod_{out} = Mod_{outb} = icomp (I_{out4}),$$

La topologie du modulateur ainsi décrite, est codée en langage C. Le programme tient sur une capacité de 4 kOctets.

Pour résoudre le problème de dynamique de courant au niveau de chaque intégrateur, nous avons effectué une simulation du modulateur dans le cas idéal. Le cas idéal correspond au cas où la mémoire de courant restitue intégralement son courant d'entrée, sans distorsion ni limitation d'amplitude.

Les distributions des signaux de sortie des intégrateurs (**Figure 4.18**) indiquent une dynamique de courant de $\pm 3 I_{ref}$ pour le premier intégrateur et $\pm 4 I_{ref}$ pour le second intégrateur, dans le pire des cas. Ces distributions, ainsi que toutes celles que nous présenterons par la suite, ont été obtenues pour une amplitude de courant d'entrée de $100 \mu\text{A}$.

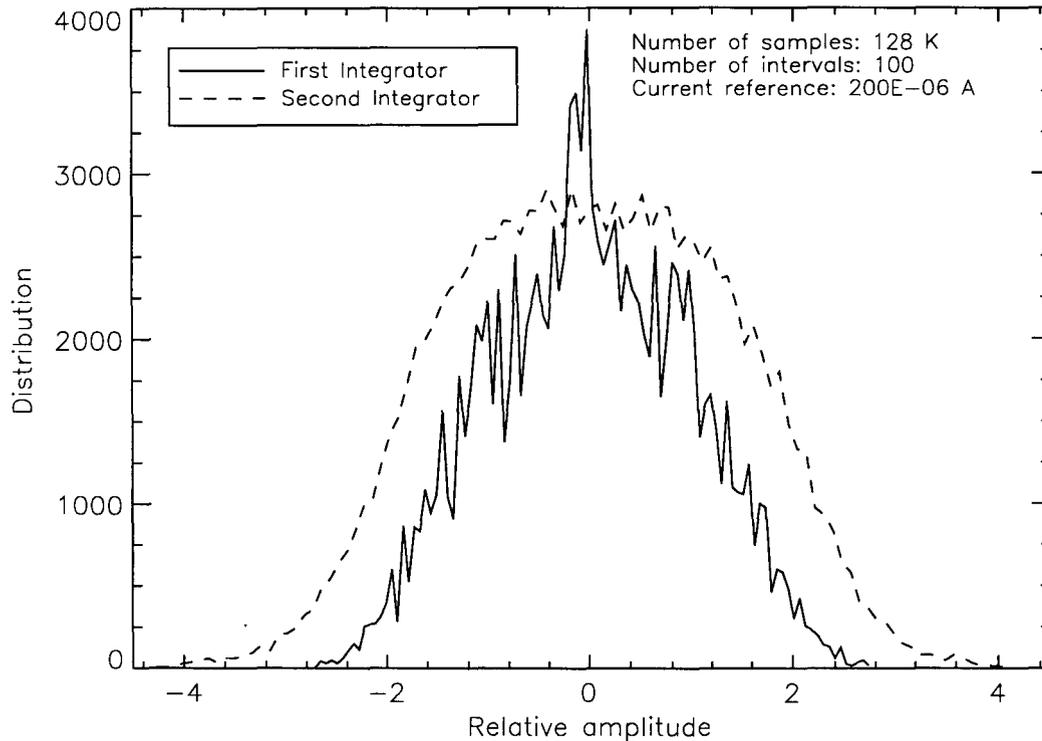


Figure 4.18 : Distribution des amplitudes des intégrateurs du modulateur idéal.

Les informations, fournies par l'analyse statistique des amplitudes de sortie des intégrateurs, permettent de dimensionner les intégrateurs. Ainsi, les cellules du premier intégrateur seront constituées de deux cellules identiques en parallèle et de trois cellules identiques en parallèle pour le second intégrateur.

La **figure 4.19** représente le spectre de sortie du modulateur idéal dans la bande de base. La bande de base est définie comme étant le rapport de la moitié de la fréquence d'échantillonnage et du facteur de sur-échantillonnage. Le bruit de quantification aux basses fréquences est très faible. La principale source de distorsion harmonique est la distorsion harmonique 3. Ce spectre nous servira, dans la suite, de spectre de référence.

Le temps CPU pour obtenir les résultats des **figures 4.18** et **4.19** est de 4 minutes à l'aide d'un ordinateur de 40 Specmarks . Ce temps comprend le temps de calcul des distributions de sortie des intégrateurs et du spectre de sortie du modulateur.

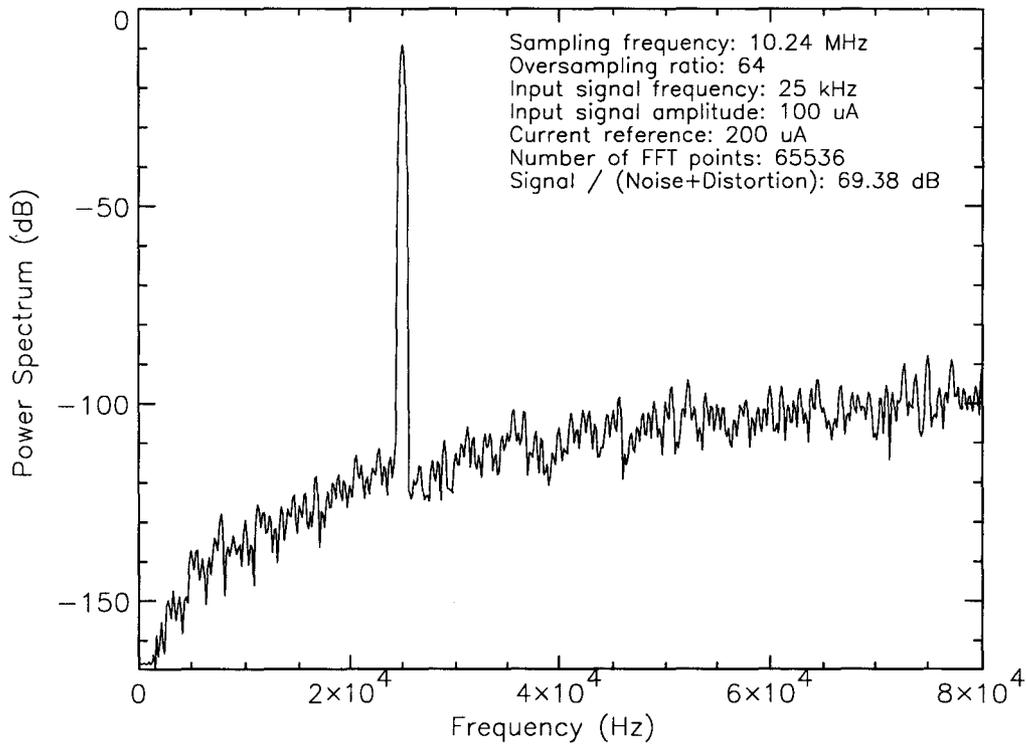


Figure 4.19 : Spectre de sortie du modulateur idéal.

L'étude de l'influence des non-idéalités de la mémoire de courant cascode que nous proposons maintenant, est établie selon les hypothèses suivantes:

- Pour chaque non-idéalité, nous indiquons d'abord la distribution des amplitudes de sortie de chaque intégrateur puis le spectre de puissance de la sortie du modulateur. Notons qu'il s'agit de spectre de puissance exprimée en dB en fonction de la fréquence car nous estimons la puissance du signal d'entrée relative à celle du signal de référence du modulateur.
- L'étude des effets non-idéaux est effectuée pour la même amplitude et la même fréquence du signal d'entrée.

Les **tableaux 4.3** et **4.4** regroupent les paramètres utilisés pour la simulation du modulateur.

Tableau 4.3 : Paramètres de simulation du modulateur.

Dénominations	Paramètres et valeurs correspondantes		Unités
Largeur / Longueur de $M1$	$W1 / L1$	36.0 / 2.1	$\mu m / \mu m$
Largeur / Longueur de $M2$	$W2 / L2$	80.4 / 2.1	$\mu m / \mu m$
Largeur / Longueur de $M3$	$W3 / L3$	99.6 / 1.2	$\mu m / \mu m$
Largeur / Longueur de $M4$	$W4 / L4$	40.2 / 1.2	$\mu m / \mu m$
Largeur / Longueur de $Msw1$	$Wsl1a / Lsl1a$	3.0 / 1.2	$\mu m / \mu m$
Largeur / Longueur de $Msw2$	$Wsl1b / Lsl1b$	15.0 / 1.2	$\mu m / \mu m$
Pourcentage de charge injectée	K_{inj}	5	%
Capacité de mémorisation de $M1$	C_{G1}	1.6	pF
Courant de polarisation	I_B	400E-06	A
Tension d'alimentation	V_{DD}	5	V
Offset du comparateur	IC_{offset}	0.0	A
Hystérésis du comparateur	IH_{yst}	10.0E-06	A
Précision des courants calculés	$IError$	1.0E-09	A
Fréquence d'échantillonnage	f_e	10.24	MHz

Tableau 4.4 : Paramètres technologiques.

Dénomination	Paramètres et valeurs correspondantes		Unités
Tension d'Early de $M1$	V_{E1}	5.25	V
Tension d'Early de $M2$	V_{E2}	3.0	V
Tension d'Early de $M3$	V_{E3}	2.7	V
Tension d'Early de $M4$	V_{E4}	1.35	V
Paramètre de transfert NMOS PMOS	$\mu_0 \cdot C_{ox}$	80.0E-06 34.0E-06	A/V^2 A/V^2
Tension de seuil de $M1$	V_{T0n}	0.75	V
Effet substrat (NMOS)	γ	0.66	$V^{1/2}$
Potentiel de surface (NMOS)	Φ	0.742	V
Réduction de mobilité M1	θ	0.26	V^{-1}

4.6.1. Effet des conductances de drain finie des transistors

Pour montrer l'influence des conductances finies des transistors $M1$ à $M4$ et $M10$ à $M40$, nous désactivons le module de calcul de bruit et inhibons l'injection de charge en fixant le taux de charge injectée K_{inj} à 0.

La **figure 4.20** représente la distribution des signaux de sortie des intégrateurs en fonction du rapport de l'amplitude de sortie et du courant de référence. La dynamique du courant du premier intégrateur est de $\pm 3 I_{ref}$. Celle du second intégrateur est de $\pm 4 I_{ref}$. Comme nous pouvons le constater sur la **figure 4.20**, la saturation des intégrateurs est loin d'être atteinte.

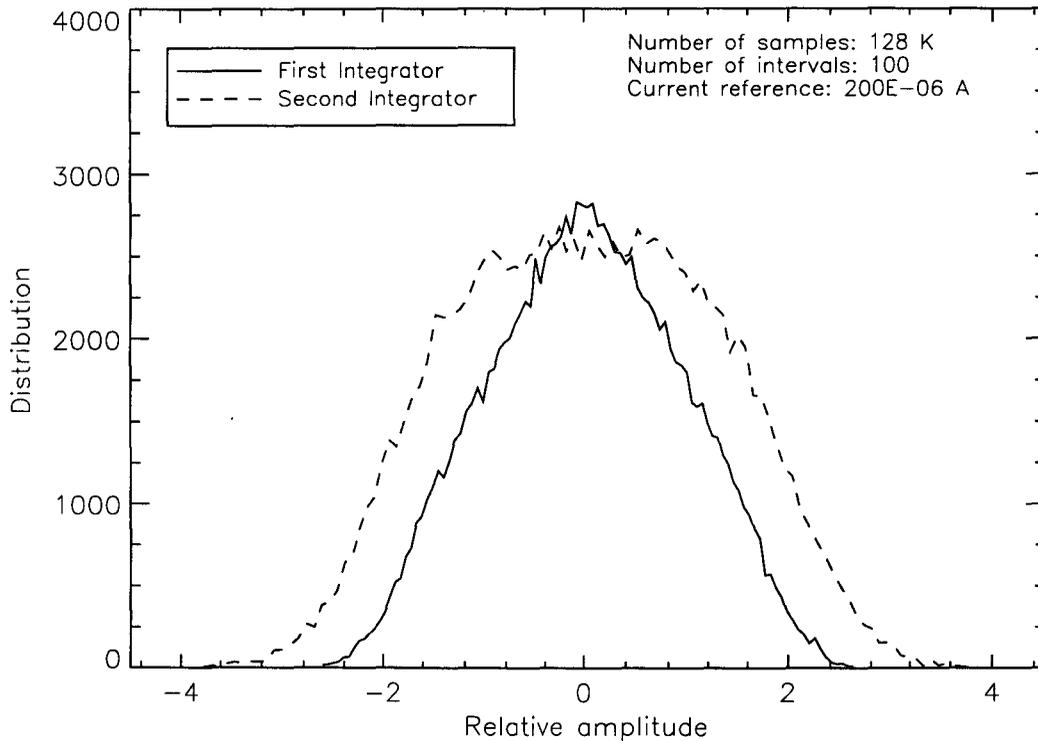


Figure 4.20 : Distribution des amplitudes des intégrateurs: effet des conductances finies des transistors.

La **figure 4.21** représente le spectre de sortie du modulateur dans la bande de base. L'effet des conductances finies des transistors *M10* à *M40* et *M1* à *M4* se traduit par une distorsion harmonique 2 très importante. L'amplitude de cette harmonique 2 est de 80 dB au dessous du seuil de 0 dB. Le seuil 0 dB correspond à un signal d'entrée de valeur efficace égale au courant de référence. Par ailleurs, le niveau de bruit aux basses fréquences est remonté de -150 dB à -108 dB. Nous observons également l'apparition d'une composante continue de puissance relative de -72 dB.

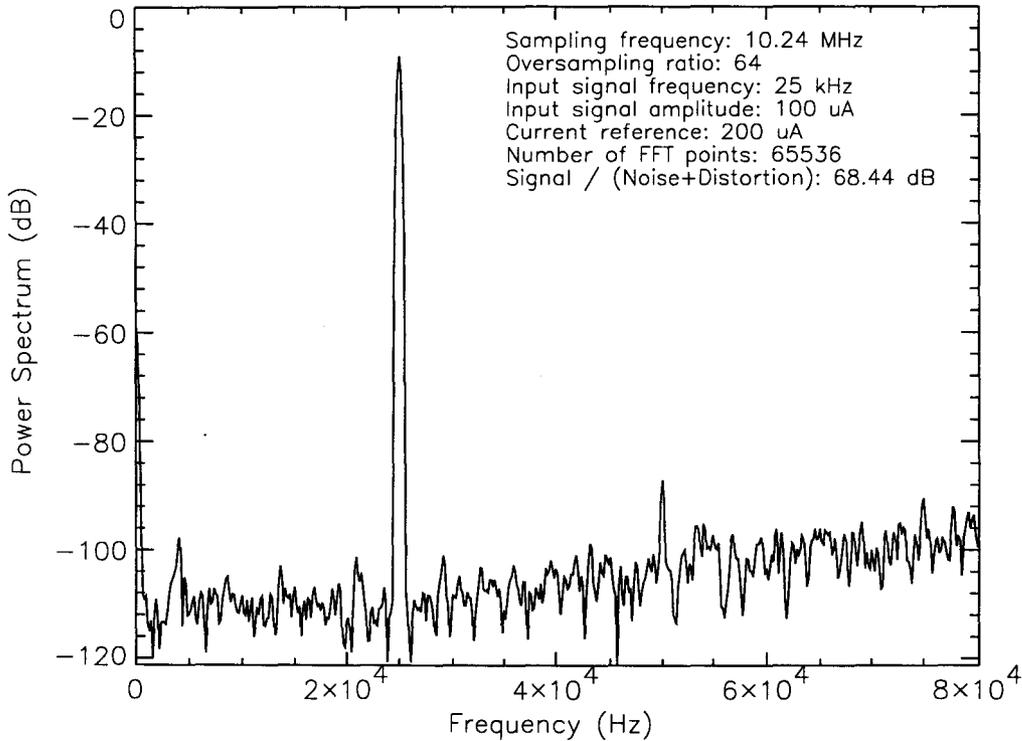


Figure 4.21 : Spectre de sortie du modulateur: effet des conductances finies des transistors.

4.6.2. Influence de l'injection de charge

L'analyse de l'influence de l'injection de charge est faite avec et sans compensation. Nous combinons l'effet des conductances finies des transistors à l'influence de l'injection de charge de l'interrupteur d'échantillonnage. Les résultats présentés ci-dessous concernent les cas où 5% et 50% de la charge totale du canal du transistor *Msl1a* est injectée sur la capacité de mémorisation C_{GI} . La **figure 4.22** représente la distribution des amplitudes de sortie des intégrateurs. Nous n'observons aucune saturation de ces derniers. En outre, les courbes de distribution des amplitudes se confondent.

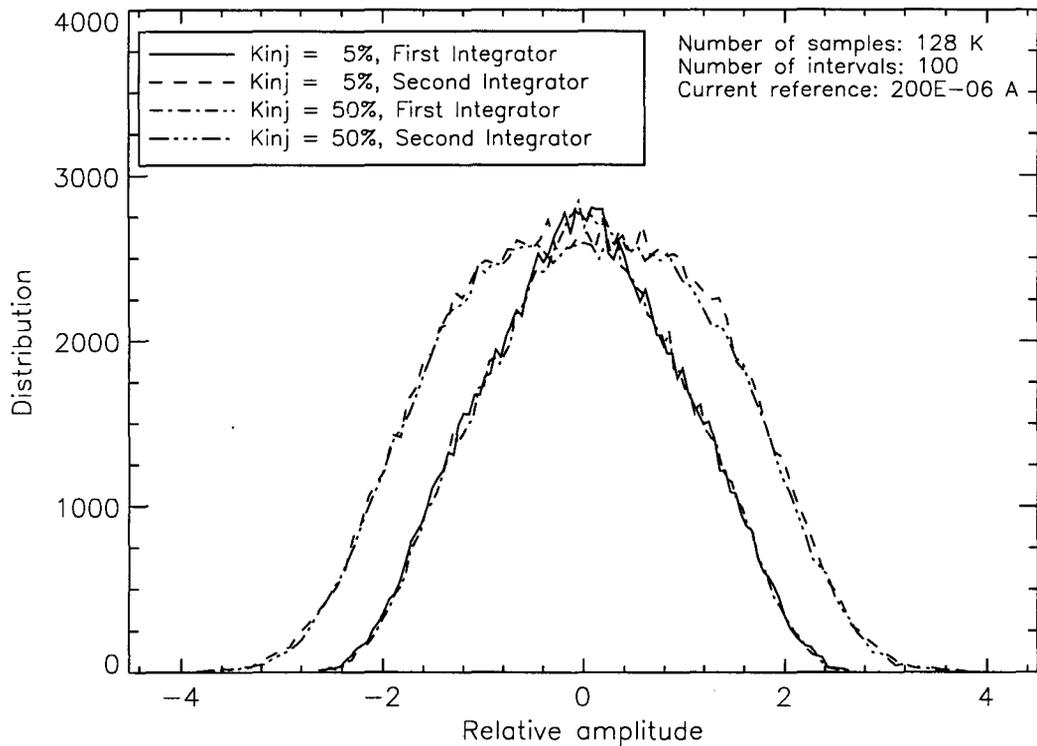


Figure 4.22 : Distribution des amplitudes des intégrateurs: effet de l'injection de charge.

La **figure 4.23** représente le spectre de sortie obtenu par simulation dans les cas avec ou sans compensation de l'injection de charge. La distorsion harmonique 2 demeure la principale source de distorsion. Son amplitude augmente avec la quantité de charge injectée. Le niveau de bruit de quantification, dans le cas où $K_{inj} = 5\%$, n'a changé par rapport au spectre précédent. Par contre, dans le cas où $K_{inj} = 50\%$, il a augmenté de 3 dB. Nous observons également une nette augmentation de la composante dans le cas où il n'y a pas de compensation de l'injection de charge.

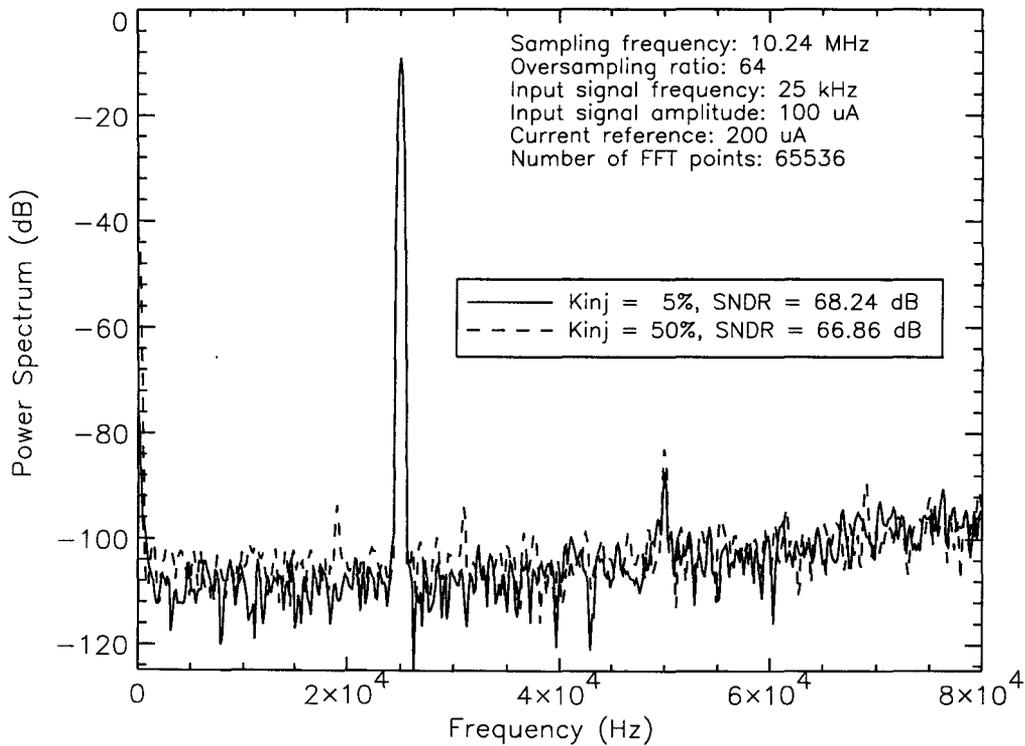


Figure 4.23 : Spectre de sortie du modulateur: effet de l'injection de charge.

4.6.3. Influence de la limitation en amplitude

Pour montrer l'influence de la limitation en amplitude, nous avons réduit le nombre de cellules mémoires en parallèle du second intégrateur. Ce nombre a été fixé à 2 au lieu de 3. Nous combinons l'effet des conductances non nulles à celui de l'injection de charge avec un taux de charge injectée de 5%. La **figure 4.24** indique une saturation au niveau du second intégrateur. En effet, la dynamique étant fixée à $3 I_B/4$, les amplitudes du signal de sortie du second intégrateur ne peuvent dépasser cette valeur, qui correspond à $3 I_{ref}$. Le courant de référence I_{ref} est égal à la moitié du courant de polarisation I_B .

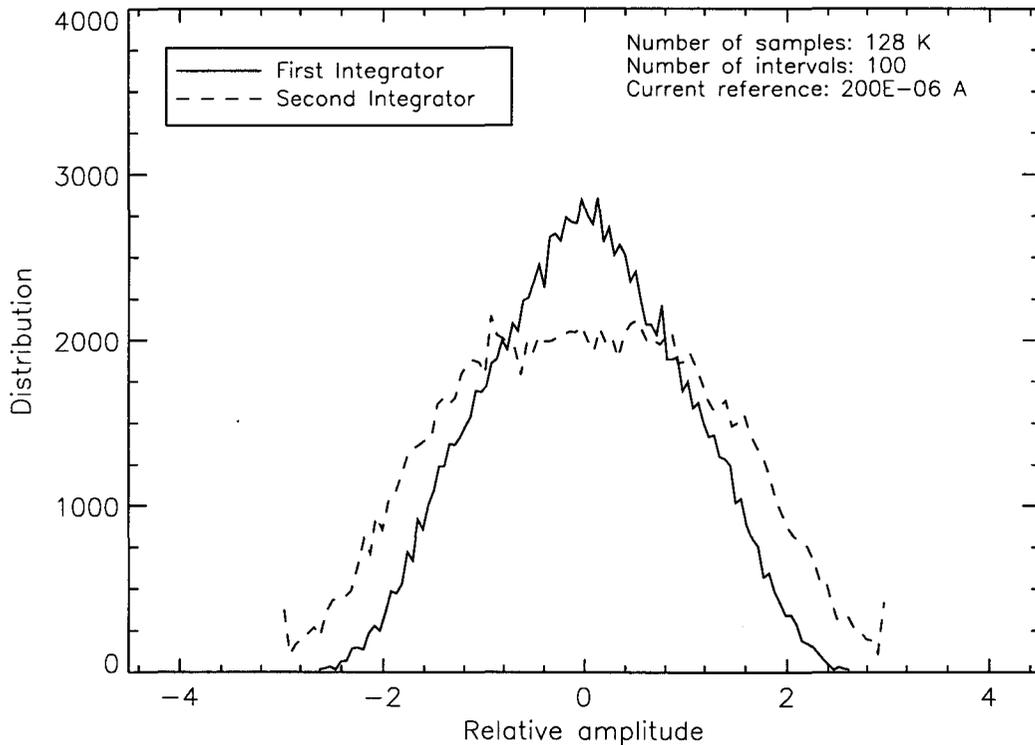


Figure 4.24 : Distribution des amplitudes des intégrateurs: effet de la limitation en amplitude.

L'analyse du spectre représenté à la **figure 4.25**, nous révèle une légère augmentation de la distorsion harmonique 2 de 1 dB et une nette augmentation de l'harmonique 3. Le niveau de bruit de quantification ainsi que la composante continue restent inchangés.

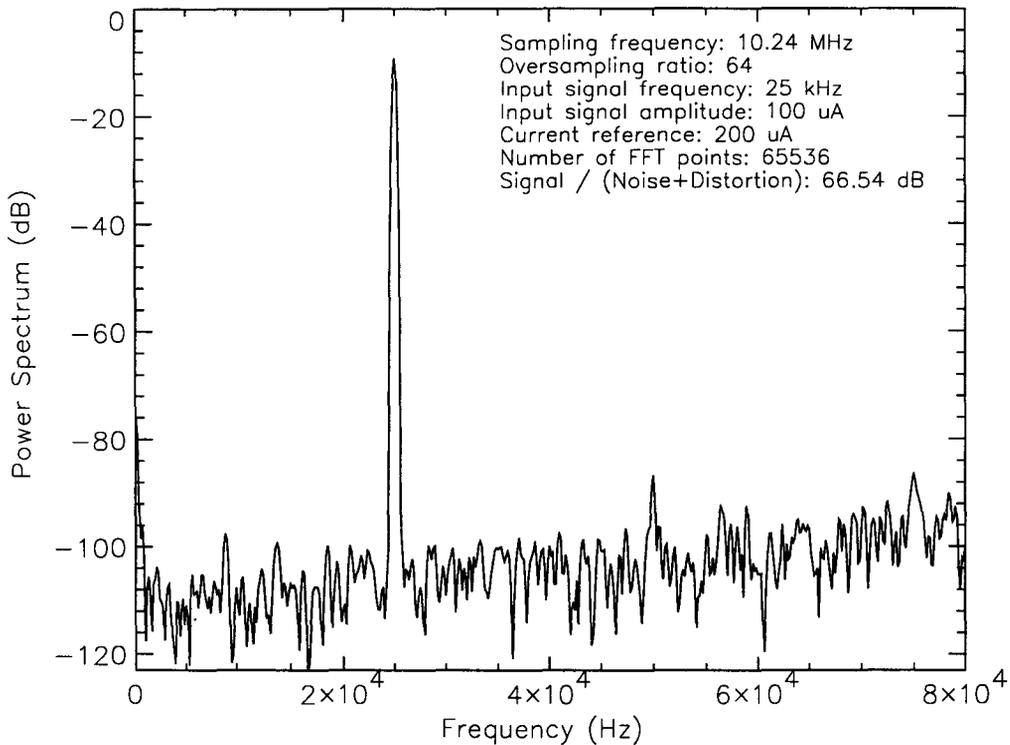


Figure 4.25 : Spectre de sortie du modulateur: effet de la limitation en amplitude.

4.6.4. Influence du bruit thermique des transistors

Pour analyser l'influence du bruit thermique des transistors, nous revenons à la configuration de trois cellules en parallèle au niveau du second intégrateur et conservons les paramètres fixés pour l'analyse de l'injection de charge ($K_{inj} = 5\%$) et des conductances finies.

L'analyse de la distribution des amplitudes de sortie des intégrateurs (**Figure 4.26**) ne révèle aucune saturation de ceux-ci.

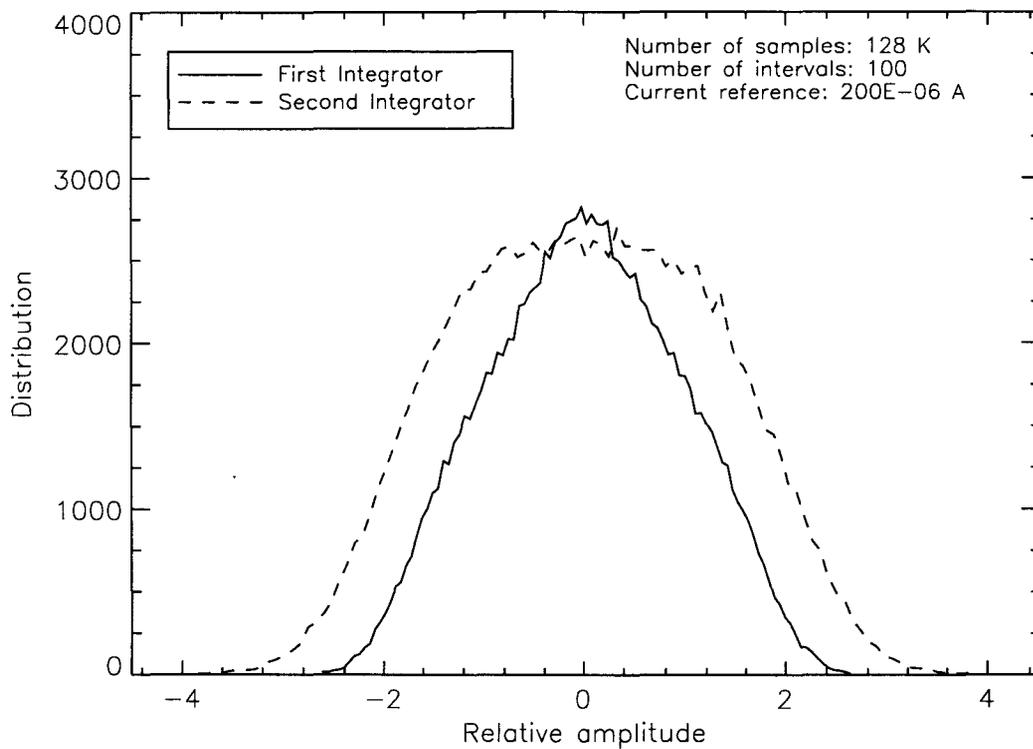


Figure 4.26 : Distribution des amplitudes des intégrateurs: effet du bruit thermique des transistors.

Le bruit thermique des transistors est la principale source de dégradation de la performance du modulateur. Le niveau de bruit est quasiment constant à -100 dB dans la bande de base (**Figure 4.27**). La distorsion harmonique 2 et la composante continue demeurent inchangées par rapport au spectre de la **figure 4.21**, avec une compensation de l'injection de charge de 5%.

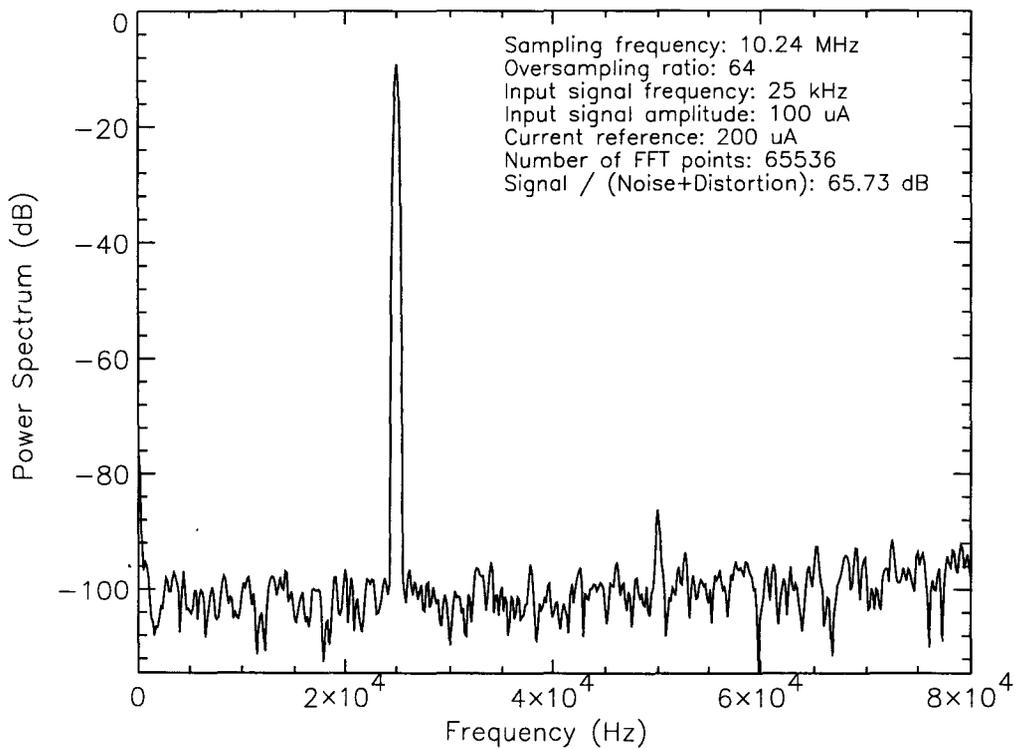


Figure 4.27 : Spectre de sortie du modulateur: effet du bruit thermique des transistors.

4.6.5. Effets des imperfections de la mémoire et de l'hystérésis du comparateur

Le comparateur génère un signal de sortie synchronisé avec la fréquence d'échantillonnage. Nous avons envisagé de simuler l'effet d'un éventuel hystérésis dans celui-ci. Nous proposons de simuler le cas où il y aurait un hystérésis de courant de $\pm 10 \mu\text{A}$. Le module de calcul de bruit reste actif. La **figure 4.28** représente la distribution des amplitudes de sortie des intégrateurs. Nous ne constatons aucune saturation au niveau des intégrateurs.

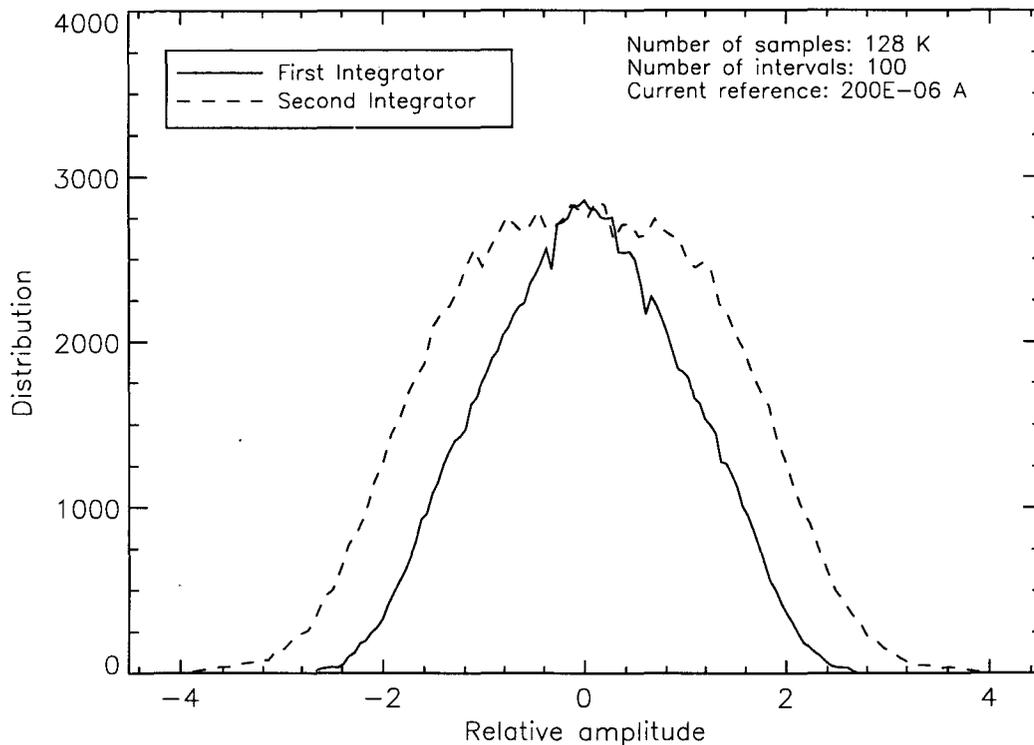


Figure 4.28 : Distribution des amplitudes des intégrateurs: effet combiné des non-idéalités de la mémoire de courant et l'hystérésis du comparateur.

La **figure 4.29** représente le spectre de sortie du modulateur obtenu par la simulation. Comme nous pouvons le constater, l'influence d'un hystérésis du comparateur est négligeable sur la performance globale du modulateur.

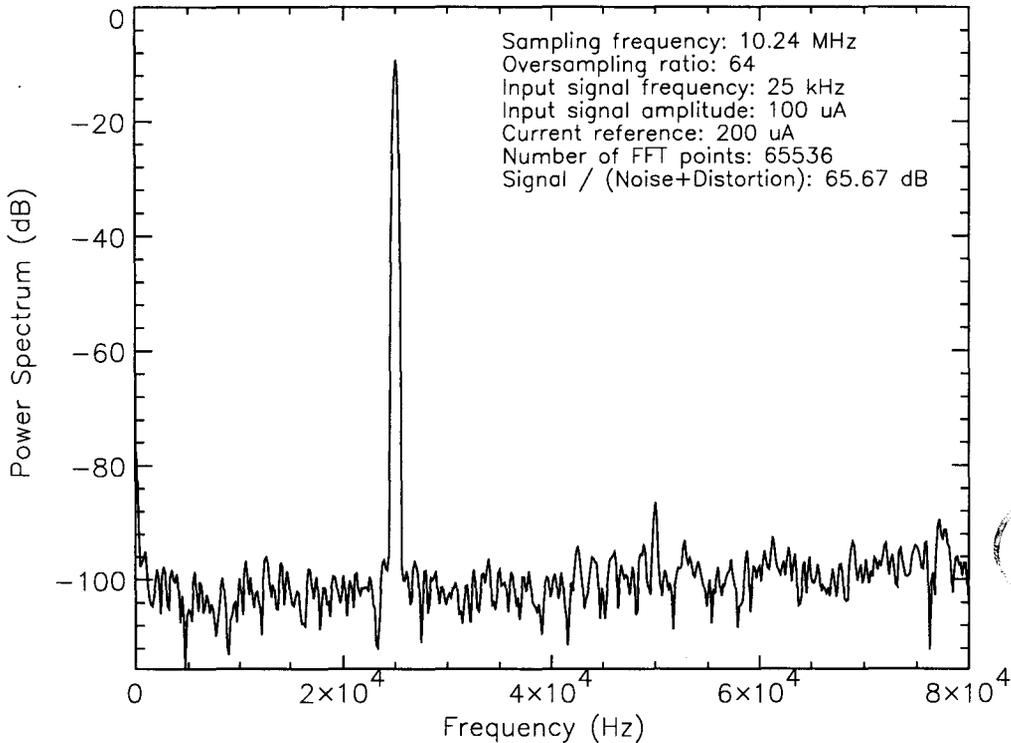


Figure 4.29 : Spectre de sortie du modulateur: effet combiné des non-idéalités de la mémoire de courant et l'hystérésis du comparateur.

4.7. Conclusions

Nous avons montré l'influence des différentes limitations de la mémoire de courant sur les performances. Les conductances de drain non nulles de transistors et de la non-linéarité des transistors M_{s1a} , M_{s1b} et M_1 , sont une source de distorsion harmonique. Cette distorsion est d'autant plus gênante qu'elle affecte beaucoup plus l'harmonique 2. L'injection de charge du transistor d'échantillonnage est également une source de distorsion harmonique. En outre, elle est la principale source de la composante continue observée dans le spectre de puissance. En définitive, le bruit thermique des transistors est le principal phénomène qui dégrade les performances du modulateur.

Cette étude servira de base à la conception et la réalisation du modulateur d'ordre 2 à 2 phases.

4.8. Références bibliographiques

- [1] H. J. DE MAN, J. RABAEY, G. ARNOUT, and J. VANDEWALLE
DIANA as a Mixed-Mode Simulator for MOS LSI Sampled-Data Circuits.
Proc. IEEE Int. Symp. Circuits Syst., June 1980, pp. 435 - 438.
- [2] F. BRGLEZ
SCOP, A Switched-Capacitor Optimization Program.
Proc. IEEE Int. Symp. Circuits Syst., June 1980, pp. 985 - 988.
- [3] San-Chin FANG, Yannis P. TSIVIDIS, and Omar WING
SWITCAP: A Switched-Capacitor Network Analysis Program.
Part I: Basic Features.
IEEE Circuits and Systems Magazine, September 1983, pp. 4 - 10.
- [4] San-Chin FANG, Yannis P. TSIVIDIS, and Omar WING
SWITCAP: A Switched-Capacitor Network Analysis Program.
Part II: Advanced Applications.
IEEE Circuits and Systems Magazine, December 1983, pp. 41 - 46.
- [5] H. J. DE MAN, J. RABAEY, G. ARNOUT, and J. VANDEWALLE
Practical Implementation of a General Computer-Aided Design Technique for Switched Capacitor Circuits.
IEEE Journal of Solid-State Circuits, Vol. 15, No. 2, April 1980, pp. 190 - 200.
- [6] Jiri VLACH, Kishore SINGHAL and Martin VLACH
Computer Oriented Formulation of Equations and Analysis of Switched-Capacitor Networks.
IEEE Trans. on Circuits and Systems, Vol. 31, No. 9, September 1984, pp. 753 - 765.
- [7] Miles A. COPELAND, Graham P. BELL, and Tad A. KWASNIEWSKI
A Mixed-Mode Sampled-Data Simulation Program.
IEEE Journal of Solid-State Circuits, Vol. 25, No. 6, December 1990, pp. 1403 - 1413.
- [8] Ken SUYAMA, San-Chin FANG, and Yannis P. TSIVIDIS
Simulation of Mixed Switched-Capacitor/Digital Networks with Signal-Driven Switches.
IEEE Journal of Solid-State Circuits, Vol. 22, No. 6, December 1987, pp. 1098 - 1105.
- [9] Y. BEHARELLE, J.-F. THIERY, P. N'GORAN and A. KAISER
MODAP, Simulation and Test Analysis Program for Analog Sigma-Delta Modulators.
4th EUROCHIP Workshop on VLSI Design Training, September 1993, pp. 397.
- [10] C. T. SAH
Characteristics of the Metal-Oxide-Semiconductor Transistors.
IEEE Trans. on Electron Devices, Vol. 11, July 1964, pp. 324 - 345.

- [11] T. GROTHJOHN and B. HOEFFLINGER
A Parametric Short-Channel MOS Transistor Model for Subthreshold and Strong Inversion Current.
IEEE Journal of Solid-State Circuits, Vol. 19, No. 1, February 1984, pp. 100 - 112.
- [12] Charles G. SODINI, Ping-Keung KO and John L. MOLL
The Effect of High Fields on MOS Device and Circuit Performance.
IEEE Trans. on Electron Devices, Vol. 31, No. 10, October 1984, pp. 1386 - 1393.
- [13] Steven L. GARVERICK and Charles G. SODINI
A Simple Model for Scaled MOS Transistors that Includes Field-Dependent Mobility.
IEEE Journal of Solid-State Circuits, Vol. 22, No. 1, February 1987, pp. 111 - 114.
- [14] Steven L. GARVERICK and Charles G. SODINI
Large-Signal Linearity of Scaled MOS Transistors.
IEEE Journal of Solid-State Circuits, Vol. 22, No. 2, April 1987, pp. 282 - 286.
- [15] Bing-J. SHEU, D. L. CHARFETTER, P-K. KO, and M-C JENG
BSIM: Berkeley Short-Channel IGFET Model for MOS Transistors.
IEEE Journal of Solid-State Circuits, Vol. 22, No. 4, August 1987, pp. 558 - 566.
- [16] K-Y TOH, P-K. KO, and Robert G. MEYER
An Engineering Model for Short-Channel MOS Devices.
IEEE Journal of Solid-State Circuits, Vol. 23, No. 4, August 1988, pp. 950 - 958.
- [17] M. KUNT
Définition des signaux pseudo-aléatoires.
Traitement numérique des signaux, DUNOD 1981, pp. 7 - 9.
- [18] G. WEGMANN, E. VITTOZ and F. RAHALI
Charge Injection in Analog MOS Switches.
IEEE Journal of Solid-State Circuits, Vol. 22, No. 6, December 1987, pp. 1091 - 1097.
- [19] C. EICHENBERGER and W. GUGGENBUHL
On Charge Injection in Analog Switches and Dummy Switch Compensation Techniques.
IEEE Trans. on Circuits and Systems, Vol. 37, No. 2, February 1990, pp. 256 - 264.
- [20] HSPICE
User Manual.
Meta Software 1990.

CHAPITRE 5

Conception et réalisation d'un modulateur Sigma-Delta d'ordre 2

Les principales composantes d'un modulateur Sigma-Delta à mémoire de courant sont: la cellule mémoire et le comparateur de courant. Un circuit linéaire, permettant de réaliser une conversion tension-courant, a été inclus à l'entrée du modulateur. Ce circuit permet, en outre, de réaliser une configuration identique à celle modélisée dans le chapitre précédent.

Ce chapitre expose la démarche suivie pour la conception et la réalisation d'un modulateur Sigma-Delta d'ordre 2 dans une technologie CMOS 1.2 μm . Le modulateur à concevoir est le modulateur d'ordre 2 à deux phases dont les performances ont été évaluées au chapitre précédent. La résolution escomptée est de 11 bits dans une bande passante de 120 KHz.

5.1. Conception de la cellule de base

Les spécifications du modulateur sont, en grande partie imposées par la cellule mémoire de courant utilisée pour le concevoir. La résolution de 11 bits dans une bande passante de 120 KHz équivaut à une fréquence d'échantillonnage de 15.36 MHz pour un facteur de sur-échantillonnage de 64. Le niveau de la tension de l'alimentation ne dépend que de la technologie utilisée.

La figure 5.1 représente le schéma de la cellule de base à concevoir.

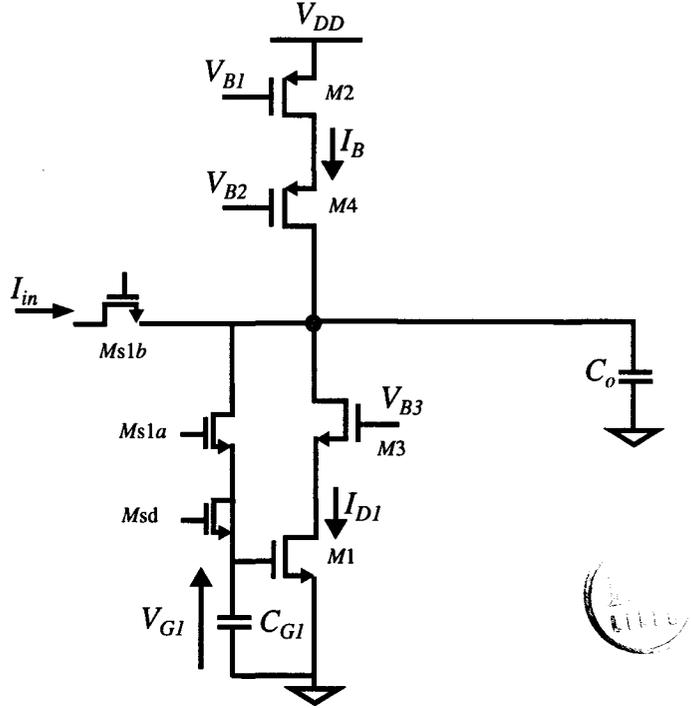


Figure 5.1 : La cellule mémoire de courant cascode.

L'évaluation des performances du modulateur réalisée au chapitre 4, nous a permis de conclure que le bruit des transistors est la principale source de limitation.

D'après les résultats présentés en annexe B, la bande passante signal f_{Bs} et le coefficient d'amortissement ζ de la cellule cascode, sans la source de courant d'entrée, sont définis sous la forme:

$$f_{Bs} = \frac{1}{2 \cdot \pi} \sqrt{\frac{g_{s1a} \cdot [(g_{mc1} + g_o)]}{C_{G1} \cdot C_o}} \quad (5.1)$$

$$\zeta = \frac{(g_o + g_{s1a}) \cdot C_{G1} + g_{s1a} \cdot C_o}{2 \sqrt{g_{s1a} \cdot (g_{mc1} + g_o) \cdot C_{G1} \cdot C_o}} \quad (5.2)$$

avec

$$g_{mc1} = g_{m1} \cdot \frac{g_{m3} + g_{d3}}{g_{m3} + g_{d3} + g_{d1}} \quad ; \quad g_{dc1} = g_{d1} \cdot \frac{g_{d3}}{g_{m3} + g_{d3} + g_{d1}} \quad (5.3)$$

$$g_{dc2} = g_{d2} \cdot \frac{g_{d4}}{g_{m4} + g_{d4} + g_{d2}} \quad ; g_o = g_{dc1} + g_{dc2} \quad (5.4)$$

g_{d1} , g_{d2} , g_{d3} , et g_{d4} sont les conductances de drain respectives des transistors $M1$ à $M4$. g_{m1} à g_{m4} représentent les transconductances de $M1$ à $M4$. g_{s1a} est la conductance de drain de $Ms1a$.

D'après les résultats de la simulation effectuée au chapitre précédent, les transistors $M1$ à $M4$ doivent demeurer en régime de forte inversion et en région de saturation, pour obtenir une meilleure performance du modulateur. Cette contrainte a pour conséquence la négligence des valeurs des conductances par rapport à celles des transconductances. La bande passante du signal et le facteur d'amortissement deviennent alors:

$$f_{Bs} = \frac{1}{2 \cdot \pi} \sqrt{\frac{g_{s1a} \cdot g_{m1}}{C_{G1} \cdot C_o}} \quad (5.5)$$

$$\zeta = \frac{g_{s1a} \cdot (C_{G1} + C_o)}{2 \sqrt{g_{s1a} \cdot g_{m1} \cdot C_{G1} \cdot C_o}} \quad (5.6)$$

Pour obtenir une réponse optimale, il faut que le facteur d'amortissement soit égal à $1/\sqrt{2}$. Ce qui conduit à une expression de f_{Bs} de la forme:

$$f_{Bs} = \frac{\sqrt{2} \cdot g_{m1}}{2 \cdot \pi \cdot (C_{G1} + C_o)} \quad (5.7)$$

Les paramètres clés de la rapidité de la cellule sont alors la transconductance g_{m1} et la capacité de grille C_{G1} de $M1$ ainsi que la capacité parasite C_o . L'amélioration de la rapidité nécessite une forte valeur de g_{m1} et de faibles valeurs de C_{G1} et C_o . Nous utiliserons, par conséquent une technique de layout, pour minimiser la valeur de C_o .

La bande passante équivalente de bruit de $M1$, $M2$, $M3$, $M4$ est égale à: (d'après l'équation (B.33))

$$f_{Bn} = \frac{g_{s1a} \cdot (g_{mc1} + g_o)}{4 \{ (g_o + g_{s1a}) \cdot C_{G1} + g_{s1a} \cdot C_o \}} \quad (5.8)$$

Celle de $Ms1a$ est définie par (équation (B.34)):

$$f_{Bns1a} = f_{Bn} \cdot \left(1 + \frac{C_o}{C_{G1}} \cdot \frac{g_{s1a} \cdot (g_{mc1} + g_o)}{g_o^2} \right) \quad (5.9)$$

En négligeant la conductance g_o par rapport à g_{m1} , nous obtenons les expressions suivantes:

$$f_{Bn} = \frac{g_{s1a} \cdot g_{m1}}{4 \{ (g_o + g_{s1a}) \cdot C_{G1} + g_{s1a} \cdot C_o \}} \quad (5.10)$$

$$f_{Bns1a} = f_{Bn} \cdot \left(1 + \frac{C_o}{C_{G1}} \cdot \frac{g_{s1a} \cdot g_{m1}}{g_o^2} \right) \quad (5.11)$$

La réduction du bruit implique donc de faibles valeurs de f_{Bn} et f_{Bns1a} . Seules, de faibles valeurs de g_{m1} et des valeurs élevées de C_{G1} permettent de réduire la contribution de bruit des transistors.

La résolution de 11 bits correspond à un rapport signal sur bruit et distorsion, dans la bande passante (bande de base) de 120 kHz, de 68 dB. Considérons le cas où nous codons un courant d'entrée sinusoïdal d'amplitude de 200 μA . Cette valeur correspond à la valeur maximale admissible pour un courant de référence de valeur égale à 200 μA . La puissance totale des sources de perturbations (bruit et distorsion harmonique) est de $3.17 \cdot 10^{-3} \mu\text{A}^2$ soit 56.3 nA RMS. Pour atteindre la résolution des 11 bits, le taux de distorsion harmonique, par rapport à l'amplitude maximale du courant à convertir, doit être inférieur à -68 dB. D'après l'analyse des performances du modulateur réalisée au chapitre 4, ce taux de distorsion est de -80 dB. Il en résulte une puissance totale de bruit de 2770 nA², dans la bande de base.

De même, le rapport signal sur bruit de la mémoire de courant utilisée doit être également supérieur à 68 dB. Nous fixons ce rapport à 74 dB, dans le pire des cas et dans la bande passante équivalente de bruit. Nous en déduisons une puissance totale de bruit sur la grille de $M1$, de 796 nA², pour une amplitude de courant d'entrée de 200 μA . Ce qui correspond à une densité spectrale de puissance de bruit de 19 pA² / Hz.

L'expression de la puissance totale de bruit P_n aux bornes de C_{G1} est de la forme:

$$P_n = \frac{4K \cdot T}{g_{m1}^2} \left[\frac{2}{3} (g_{m1} + g_{m2} + g_{m3} + g_{m4}) + \frac{g_o^2}{g_{s1a}} + \frac{C_o \cdot g_{m1}}{C_{G1}} \right] f_{Bn} \quad (5.12)$$

Pour des exigences de précision, la valeur g_{s1a} est minimale. En supposant g_o faible par rapport à g_{s1a} , et C_o également faible par rapport à C_{G1} , nous en déduisons, la puissance totale de bruit P_n , dans la bande passante équivalente de bruit:

$$P_n = \frac{K \cdot T}{C_{G1}} \cdot \left[\frac{2}{3} \cdot \left(1 + \frac{g_{m2} + g_{m3} + g_{m4}}{g_{m1}} \right) + \frac{g_o^2}{g_{s1a} \cdot g_{m1}} + \frac{C_o}{C_{G1}} \right] \quad (5.13)$$

Pour simplifier les calculs, nous majorons la puissance de bruit P_n , dans le cas le plus défavorable, à:

$$P_n = \frac{4}{3} \cdot \frac{K \cdot T}{C_{G1}} \quad (5.14)$$

La densité spectrale de puissance de bruit dans la bande passante équivalente de bruit est de la forme:

$$S_{v_n}(f) = \frac{16}{3} \cdot \frac{K \cdot T}{g_{m1}} \quad \text{ou} \quad S_{i_n}(f) = \frac{16}{3} \cdot K \cdot T \cdot g_{m1} \quad (5.15)$$

Connaissant la valeur de la densité spectrale de puissance $S_{i_n}(f)$, nous en déduisons celle correspondant à g_{m1} .

$$g_{m1} = \frac{3}{16} \cdot \frac{S_{i_n}(f)}{K \cdot T} \quad (5.16)$$

Nous obtenons alors une valeur de g_{m1} égale à 860.5 $\mu\text{A/V}$.

Connaissant les valeurs de la transconductance g_{m1} de $M1$ et la puissance totale de bruit P_n sur

la grille de $M1$, la relation (5.14) nous permet d'en déduire la valeur de la capacité de mémorisation C_{G1} .

$$C_{G1} = \frac{4}{3} \cdot \frac{K \cdot T}{P_n} \cdot g_{m1}^2 \quad (5.17)$$

Nous trouvons une valeur de C_{G1} égale à 5.1 pF.

Notons que la valeur de g_{m1} est déterminante pour le dimensionnement des différents transistors, elle donne une idée sur la valeur du courant de polarisation et la dynamique en courant. La valeur effective de C_{G1} est ramenée à 1.6 pF pour tenir compte de celle de C_o dans le calcul de la bande passante signal.

Dimensionnement des transistors

La tension maximale de grille de $M1$ peut se mettre sous la forme:

$$V_{G1, max} = V_{DD} - 2 \cdot |V_{DSat2}| - |V_{T2}| \quad (5.18)$$

Dans cette expression, la valeur absolue de la tension de seuil V_{T2} est sur-estimée pour assurer la saturation franche des transistors $M2$ et $M4$. Dans l'hypothèse où nous faisons l'acquisition d'un courant sinusoïdal d'amplitude de 200 μ A, une valeur raisonnable du courant de polarisation serait le double de l'amplitude du signal d'entrée. Dans ces conditions, le courant drain maximal de $M1$ correspondant à la tension $V_{G1, max}$ détermine les dimensions de $M1$. Les dimensions du transistor cascode $M3$ sont également déterminées pour ce même courant drain, avec la condition supplémentaire de réduction de la conductance de drain $M1$. Les dimensions de $M2$ sont déduites du courant de polarisation I_B qui est de 400 μ A. Celles de $M4$ sont calculées pour minimiser la conductance de drain de $M2$. Les dimensions de Msd et $Msl a$ sont choisies pour minimiser l'injection de charge. Comme nous l'avons vu au chapitre précédent, à conductance donnée, la charge du canal de l'interrupteur d'échantillonnage est proportionnelle à sa longueur de grille. De même, à longueur de canal constante, cette charge est proportionnelle à la largeur de celui-ci. Puisque la largeur de $Msl a$ doit être le double de celle de Msd , les dimensions de ce dernier correspondent aux valeurs limites permises par la technologie utilisée. La contrainte à respecter pour le dimensionnement de l'interrupteur d'entrée $Msl b$, est son maintien en zone triode sur toute la dynamique de courant. Il est clair que pour les courants d'entrée négatifs, $Msl b$ reste toujours en zone triode. Donc, ses dimensions sont essentiellement calculées de manière à pouvoir passer le courant maximal d'entrée positif de la cellule. La **figure 5.2** représente la cellule de base avec les dimensions des différents transistors qui la

composent.

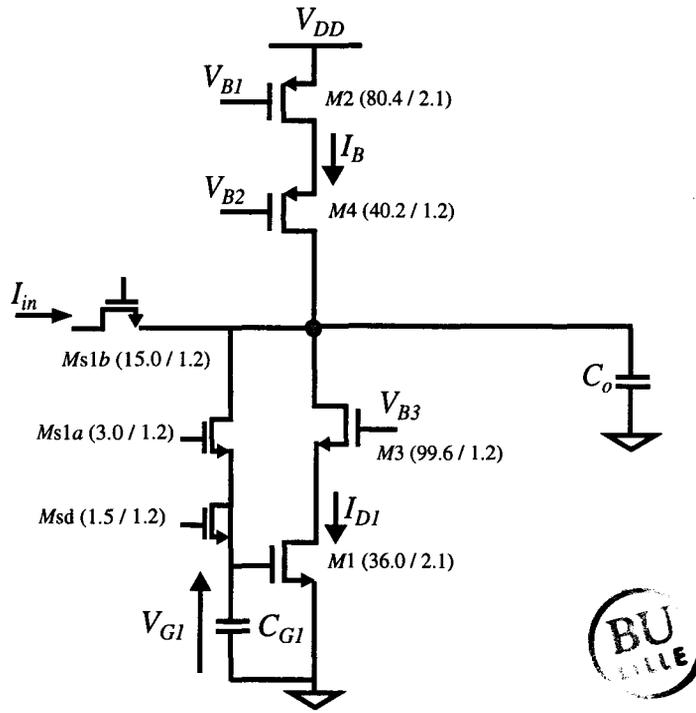


Figure 5.2 : La cellule mémoire de courant cascode.

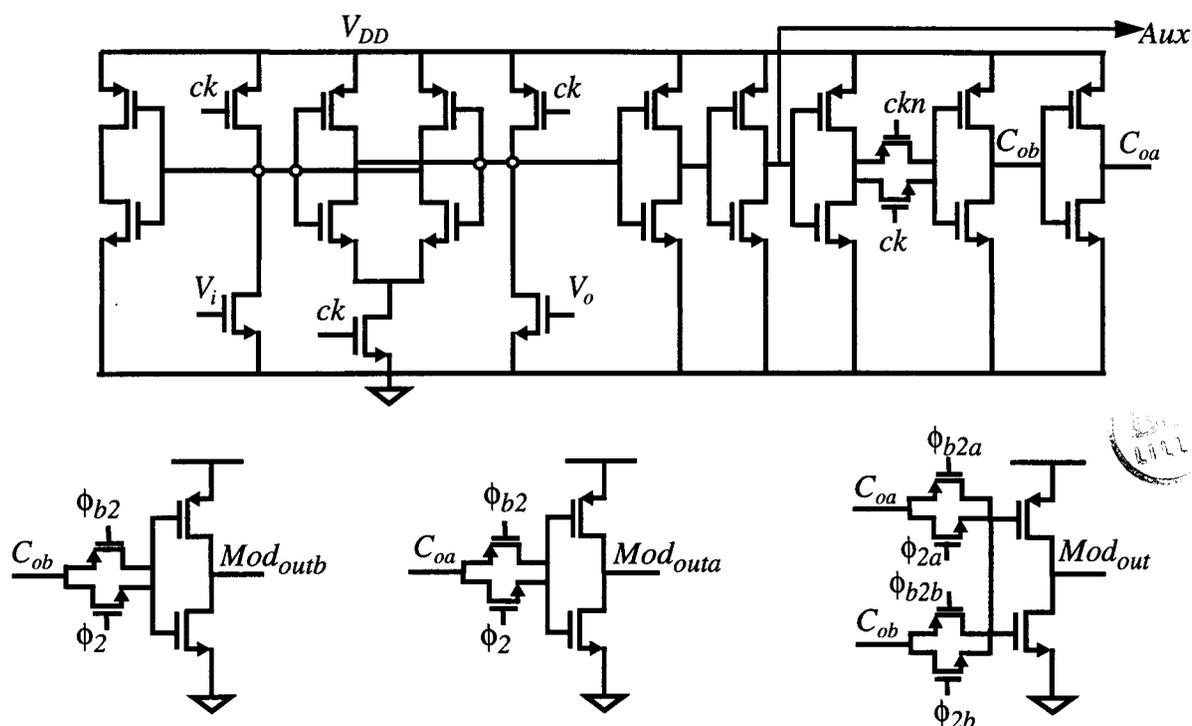


Figure 5.4 : Le comparateur de courant.

sition et sans courant d'entrée. Le résultat de la comparaison correspond bien à la détection du signe du courant signal à comparer. La transformation courant-tension à comparer est effectuée à la fin de la phase d'acquisition des cellules mémoires du second intégrateur. Puisque le courant acquis n'est débité nulle part, il y a des risques de perturbations du courant de l'alimentation par désaturation des transistors PMOS du second intégrateur. La solution à ce problème consiste à utiliser un dispositif qui serait alimenté par le courant de sortie négatif du second intégrateur. Nous avons donc prévu un signal *Aux* issu du comparateur, qui commande la grille d'un transistor NMOS placé entre les noeuds d'entrée du comparateur. Ce transistor permet ainsi de combler l'excès de courant des transistors NMOS du second intégrateur. L'excédent de courant est puisé dans la cellule mémoire qui fixe le seuil de référence.

Les signaux Mod_{outa} et Mod_{outb} sont les signaux de rebouclage du modulateur. Ils permettent de sélectionner le signe du courant délivré par le générateur de courant de référence. Ils sont obtenus à partir de signaux complémentaires. Ce qui permet d'éviter toute incertitude de décision. Le signal de sortie du modulateur Mod_{out} est obtenu par multiplexage des signaux Mod_{outa} et Mod_{outb} .

5.3. Implantation du layout

Le layout du modulateur est organisé sur la base de la minimisation de la charge capacitive et du couplage capacitif entre les différents noeuds. Ce qui s'est traduit par:

- un routage des signaux analogiques dans des canaux assez éloignés de ceux des signaux numériques,
- un routage des tensions de polarisation dans des canaux séparés de ceux des signaux analogiques.

Afin de minimiser les capacités parasites de la cellule de base, tous les transistors de celle-ci sont interdigités. Les noeuds sensibles, comme la grille du transistor mémoire, sont placés de telle sorte à éviter tout routage autour d'eux. La **figure 5.5** représente le layout de la cellule de base. Toutes les cellules sont conçues suivant le même cadre.



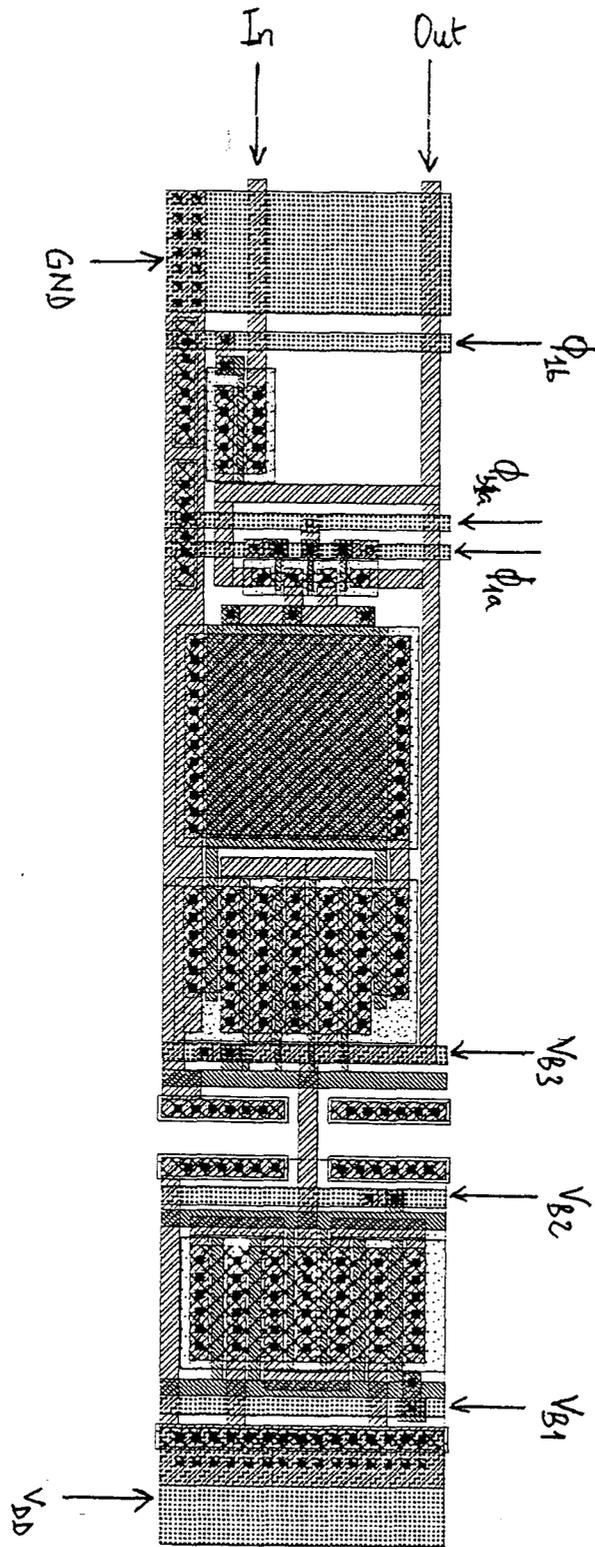


Figure 5.5 : Layout de la cellule de base.

Le placement des différentes cellules sest effectué dans le souci de minimiser les capacités d'interconnection. C'est ainsi que nous avons placé les cellules des intégrateurs de manière à avoir celles du générateur de référence à mi-chemin de ceux-ci. Pour ne pas perturber le courant de l'alimentation de la partie analogique du modulateur, le comparateur de courant a été séparé du bloc du modulateur. Sa tension d'alimentation est la même que celle des circuits logiques standards du fondeur. Par conséquent, il est routé automatiquement dans l'environnement du fondeur ES2 (European Silicon Structure). La **figure 5.6** représente le layout du modulateur sans le comparateur. Il comporte 20 cellules mémoires de courant, dont 4 pour le premier intégrateur, 6 pour le second intégrateur, 5 pour le générateur de courant de référence, 3 pour le circuit d'adaptation des signaux d'entrée de l'architecture particulière implantéet enfin 2 pour générer la tension de référence du comparateur.

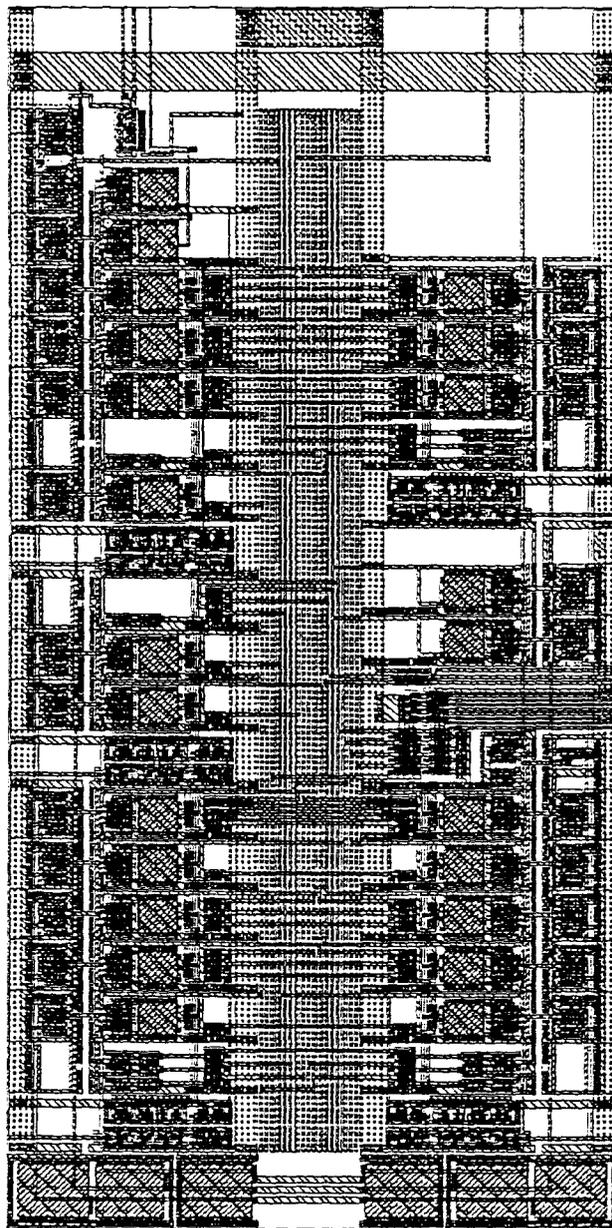


Figure 5.6 : Layout du modulateur sans le comparateur.

La **figure 5.7** représente le layout de quatre modulateurs complets (y compris le comparateur). Ces quatre modulateurs, totalement indépendants les uns des autres, forment le circuit SDIMEM2. Tous les modulateurs ont la même entrée. Par contre, chaque modulateur a sa propre source de polarisation et son courant de référence.

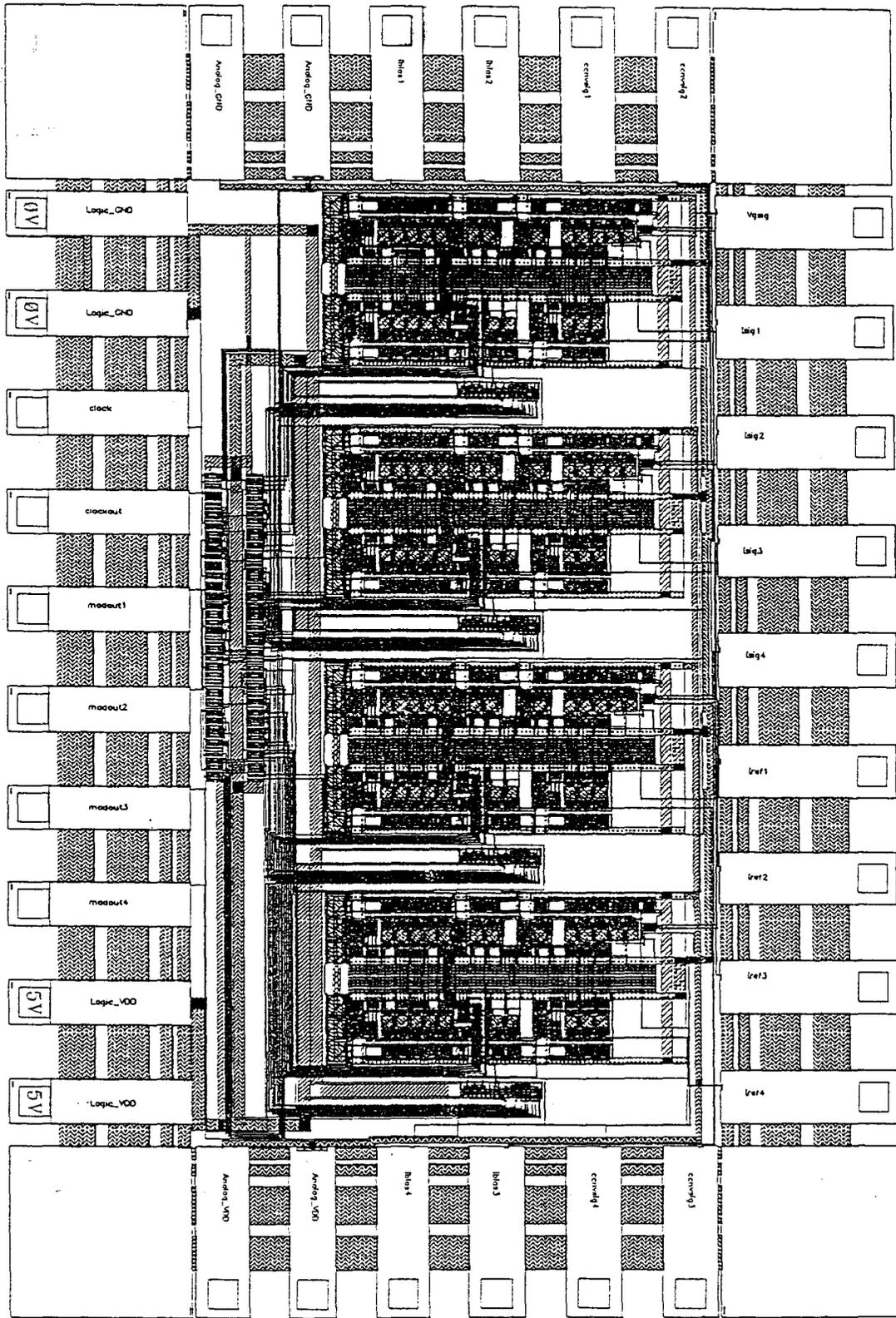


Figure 5.7 : Layout du circuit SDIMEM2.

CHAPITRE 6

Test du modulateur expérimental

6.1. Manipulation de test

De part sa nature sérielle, l'évaluation de la performance du modulateur nécessite l'acquisition de son signal d'entrée sur plusieurs cycles d'horloge. Une carte d'acquisition de données numériques est indispensable. En outre, l'utilisation d'outil efficace d'analyse spectrale numérique, basée sur des algorithmes de transformée de Fourier rapide et de fenêtre spectrale, est souhaitée. Pour ces raisons, nous avons conçu un logiciel d'analyse et de test de modulateurs Sigma-Delta: MODAP.

Quatre modulateurs ont été encapsulés dans un boîtier céramique DIL 40. La **figure 6.1** représente son schéma de brochage.

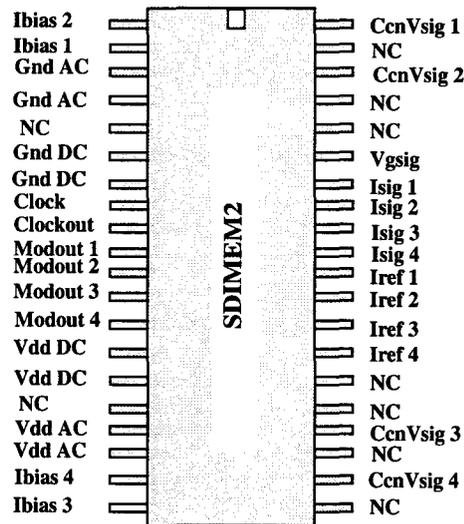


Figure 6.1 : Brochage du modulateur Sigma-Delta d'ordre 2 à deux phases.

Les **figures 6.2 à 6.4** représentent le schéma de la plaquette de test réalisée.

La polarisation des quatre modulateurs est réalisée par les circuits U2 et U3 (REF 200) qui sont des sources de courant constant pouvant générer 100 ou 200 μA selon le câblage avec une précision de $\pm 0.1\%$. Le courant de polarisation IBIAS est fixé à 100 μA . Le signal d'horloge d'échantillonnage, les alimentations analogique et logique ainsi que la tension Vgsig sont communs aux 4 modulateurs. Cette tension Vgsig permet de fixer le potentiel de l'entrée du modulateur à une valeur convenable (valeur typique de 1.7 volts). La valeur typique de Vgsig fixée à l'aide R21 est de 2.5 volts (figure 6.2). L'ensemble de circuits U5 à U8 (REF 200) constitue la source de courant de référence. Chaque modulateur a sa source de courant de référence dont la valeur est de 200 μA . Chaque modulateur ayant son propre étage d'entrée, il a fallu intégrer sur la plaquette de test quatre convertisseurs tension-courant. La conversion tension-courant est réalisée autour des circuits U9, U10, U11 et d'un amplificateur U12 (AD844AQ) large bande (33 MHz) et faible bruit (12 $\text{pA}/\sqrt{\text{Hz}}$) générant à sa sortie TZ un courant proportionnel à la différence de potentiel aux bornes de R10 (510 Ω). Cette différence de potentiel est fonction d'une part de la tension à convertir et d'autre part d'une tension de référence VREF fixée par l'ensemble R20, R19, R18, U14 et U13. Cette tension de référence permet de fixer le courant de repos du convertisseur tension-courant présenté au chapitre 5. La valeur du courant de repos est de 400 μA . Le circuit U13 est amplificateur opérationnel large bande (50 Mhz). Sa tension

et son courant de bruit ramené à l'entrée sont respectivement de $15\text{nV}/\sqrt{\text{Hz}}$ et de $1.5\text{pA}/\sqrt{\text{Hz}}$. La sortie du modulateur attaque un buffer U4 (74HC541).

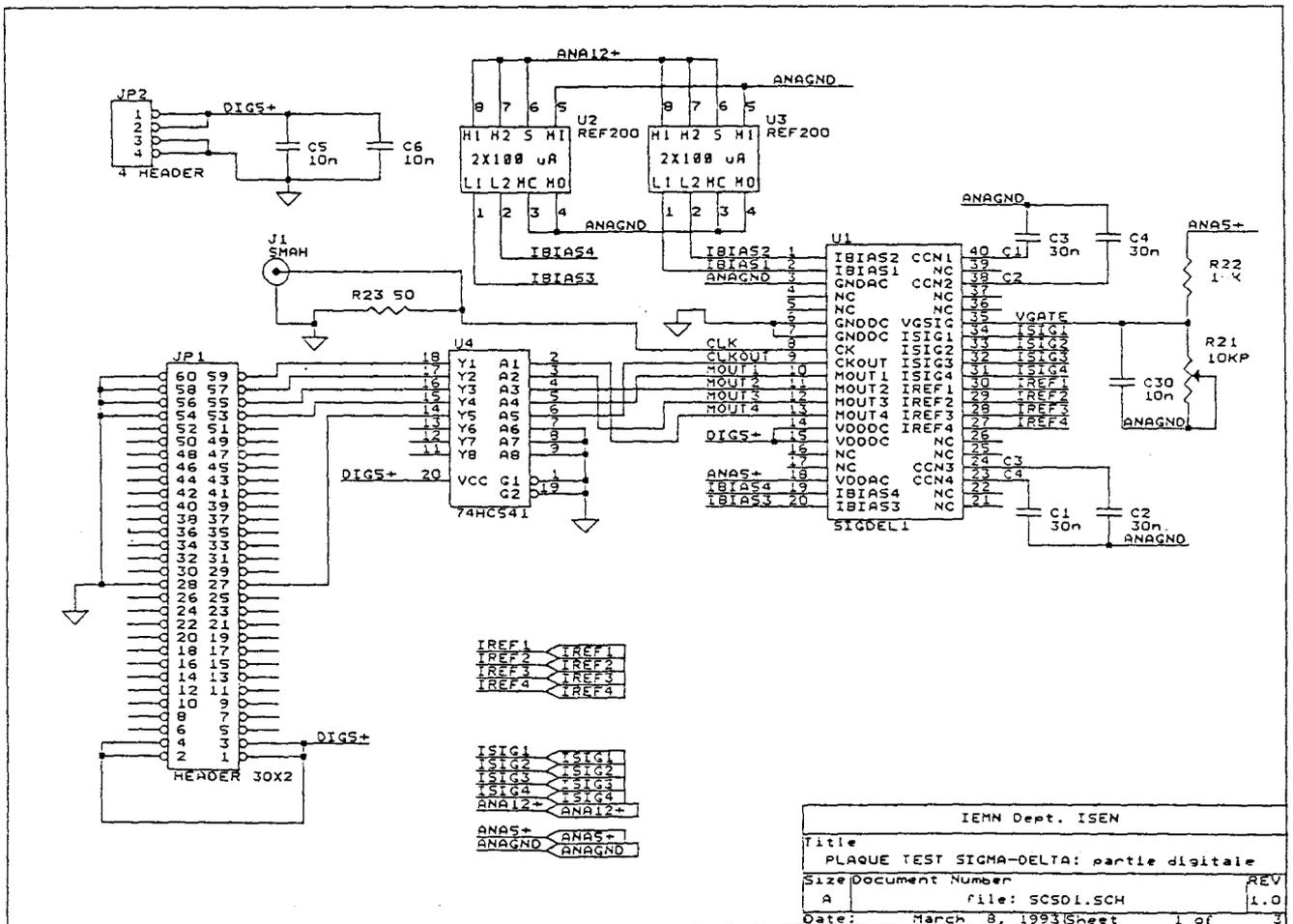


Figure 6.2 : Schéma de la plaque de test du modulateur: partie digitale.



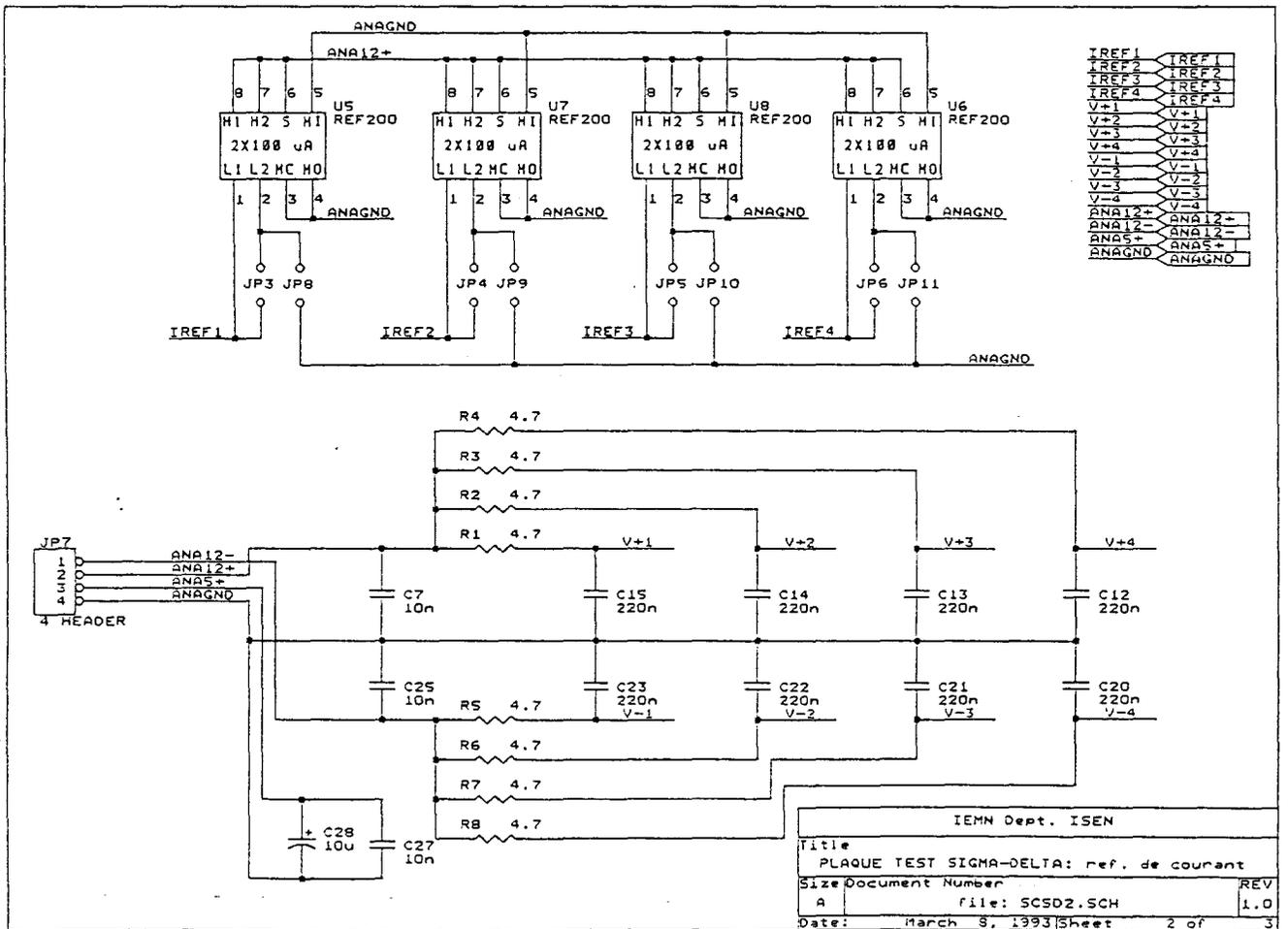


Figure 6.3 : Schéma de la plaque de test du modulateur: référence de courant.



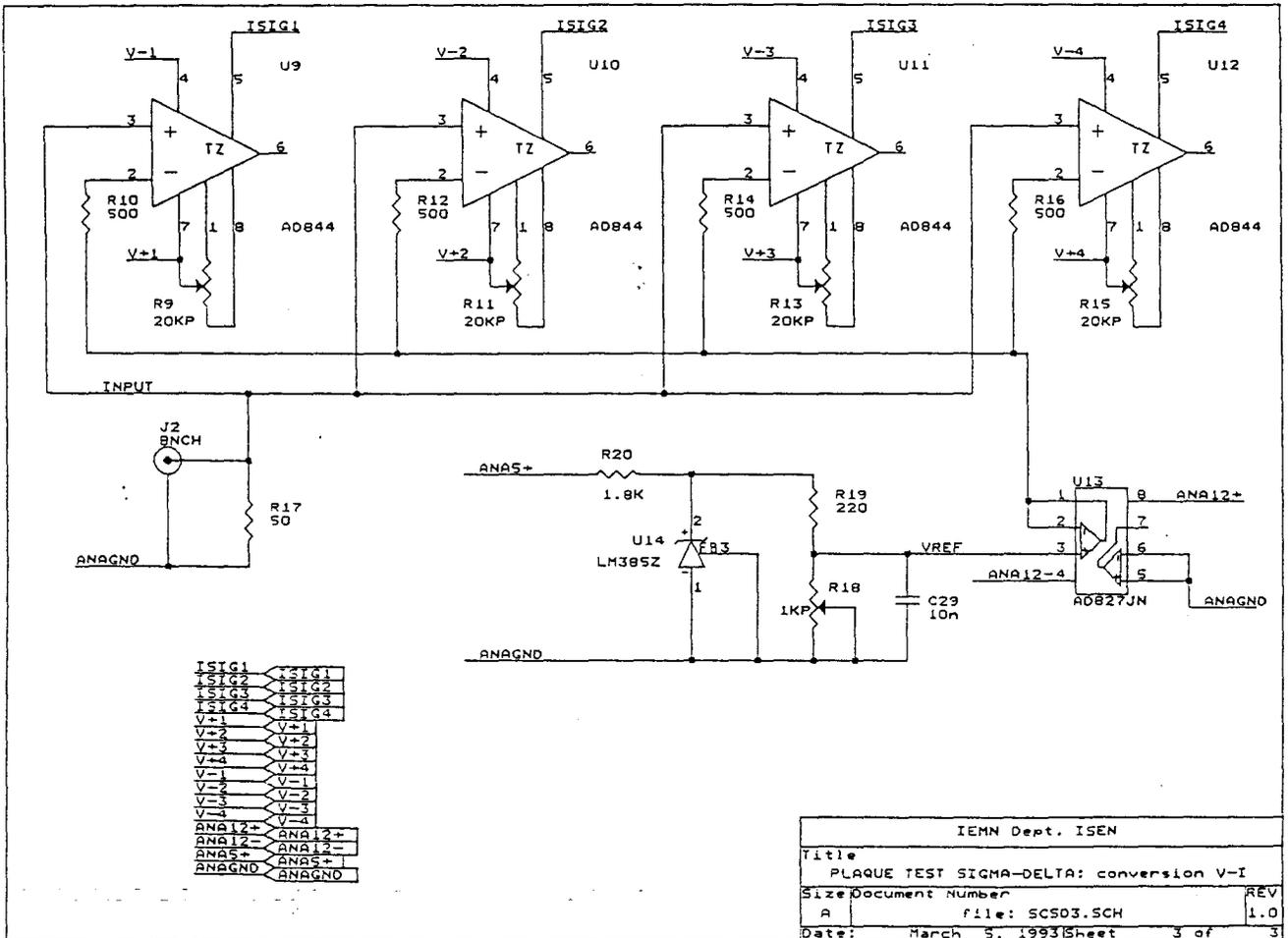


Figure 6.5 : Schéma de la plaque de test du modulateur: Conversion tension - courant.

6.2. Résultats expérimentaux

La **figure 6.3** représente deux spectres de puissance de sortie du modulateur: l'un obtenu par la mesure et l'autre par la simulation.

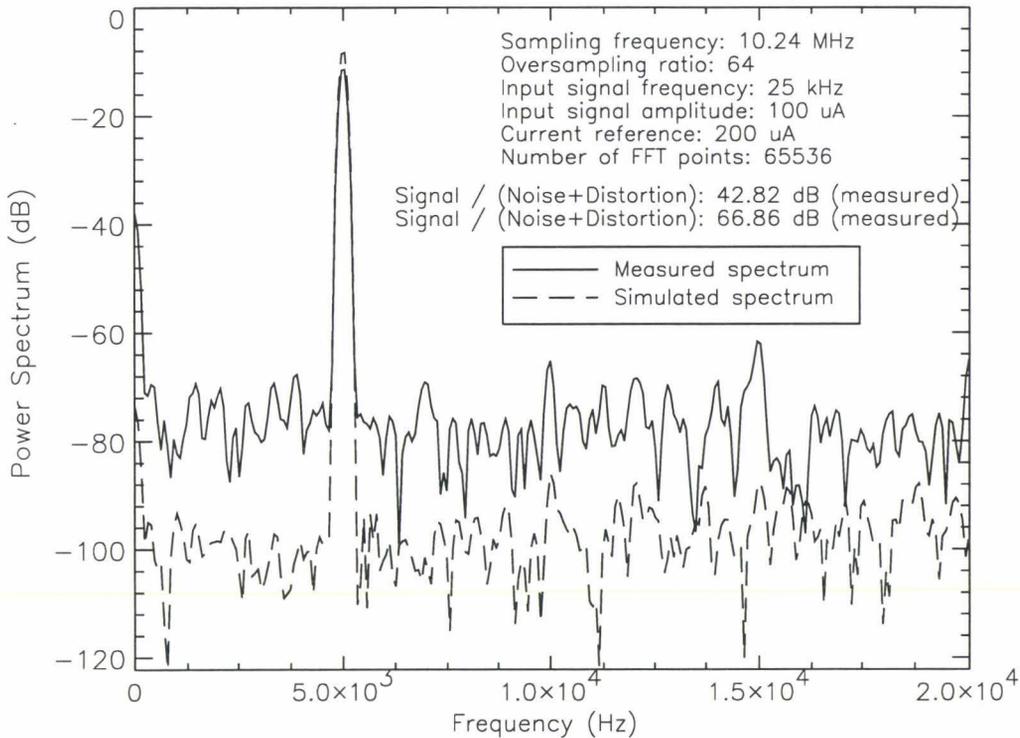


Figure 6.6 : Spectre de puissance du modulateur Sigma-Delta d'ordre 2.

La fréquence et l'amplitude du signal sont respectivement de 5 kHz et 140 μA . La fréquence d'échantillonnage vaut 2.5 MHz. Le nombre d'échantillons prélevés est de 32768. Le courant de référence est fixé à 200 μA . Le rapport signal à bruit et distorsion mesuré est de 20 dB en-dessous de celui simulé. Nous observons également un écart de 12 dB entre les niveaux de bruit. En outre, le spectre mesuré présente une distorsion harmonique plus importante que celui simulé. Le bruit apporté par les circuits annexes (sans le circuit sous test) est estimé à 40 pA/ $\sqrt{\text{Hz}}$. Il en résulte que le fort niveau de bruit observé sur le spectre de sortie est dû au bruit propre du modulateur. Il n'est cependant pas facile d'expliquer les sources de ces différentes perturbations dans la mesure nous n'avons pas accès aux noeuds pouvant nous fournir des explications.

Le convertisseur tension-courant est un circuit linéaire dont l'architecture s'apparente à celle de la cellule. Ce circuit est l'une des sources de distorsion du modulateur. En effet, la simulation HSPICE de ce circuit indique un taux de distorsion harmonique d'ordre 2 de -52.5 dB. Ce résultat est obtenu pour un courant signal d'entrée d'amplitude de 200 μA , c'est à dire l'amplitude maximale permise. Cette distorsion est due à la variation du potentiel de drain du transistor *M2* (**Figure 5.2**). Cette variation est elle-même imputée à la forte conductance de drain que présente ce transistor (1.3 mA/V) et par conséquent, à la forte conductance de sortie du convertisseur tension-courant lui-même (0.3 $\mu\text{A/V}$).

Nous avons pu trouvé l'origine du fort niveau de bruit observé dans le spectre de puissance

mesuré grâce aux résultats d'une étude parallèle portant sur la caractérisation des perturbations dynamiques de la cellule mémoire de courant. La configuration réalisée pour cette étude est représentée à la **figure 6.7**. Elle est similaire est celle modélisée. Les résultats de cette étude ont révélé une baisse des valeurs des tensions de polarisation de 10% par rapport à celles utilisées pour la conception de la mémoire de courant. La principale conséquence de cette baisse des tensions est la désaturation du transistor cascode utilisée comme amplificateur de l'impédance de sortie du transistor mémoire. Ce phénomène n'a pas été pris en compte de le modèle de la mémoire de courant, parce que tous les transistors, sauf ceux utilisés comme interrupteurs doivent être polarisés en régime de forte inversion en zone de saturation. Cette contrainte permet d'obtenir les meilleures performances pour notre application.

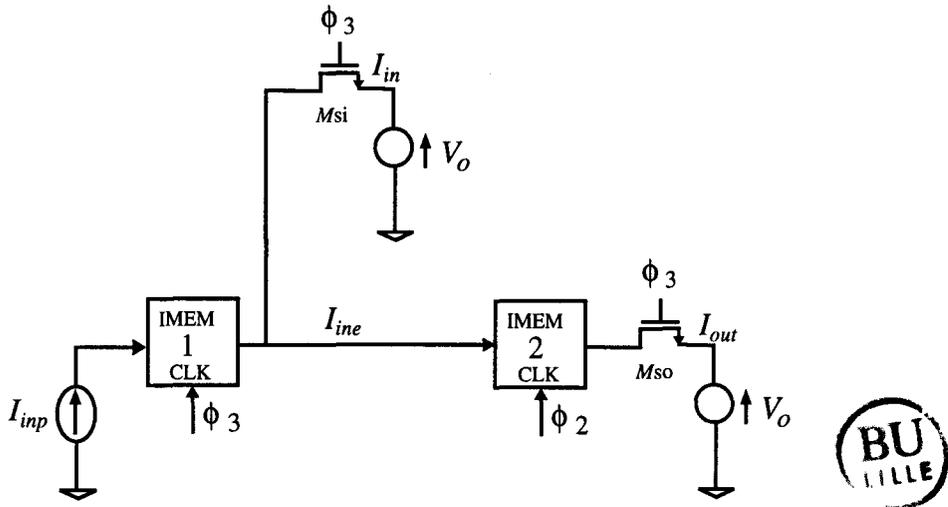


Figure 6.7 : Schéma pour la caractérisation de la cellule de base expérimentale.

Nous avons donc modifié le modèle de la mémoire de courant en intégrant ce phénomène. Cette modification consiste à remplacer la conductance de drain linéaire du transistor mémoire par une fonction polynôme d'ordre 3. En outre, nous y avons inclus la distorsion ainsi le bruit du circuit d'entrée. La **figure 6.8** représente l'erreur, entre les courants de sortie et d'entrée en fonction du courant d'entrée, obtenue par la simulation du modèle de mémoire de courant avec les dernières modifications et celle mesurée sur la cellule de base expérimentale. Il y a cependant une très légère discontinuité dans la transition entre la zone linéaire et la zone de saturation.

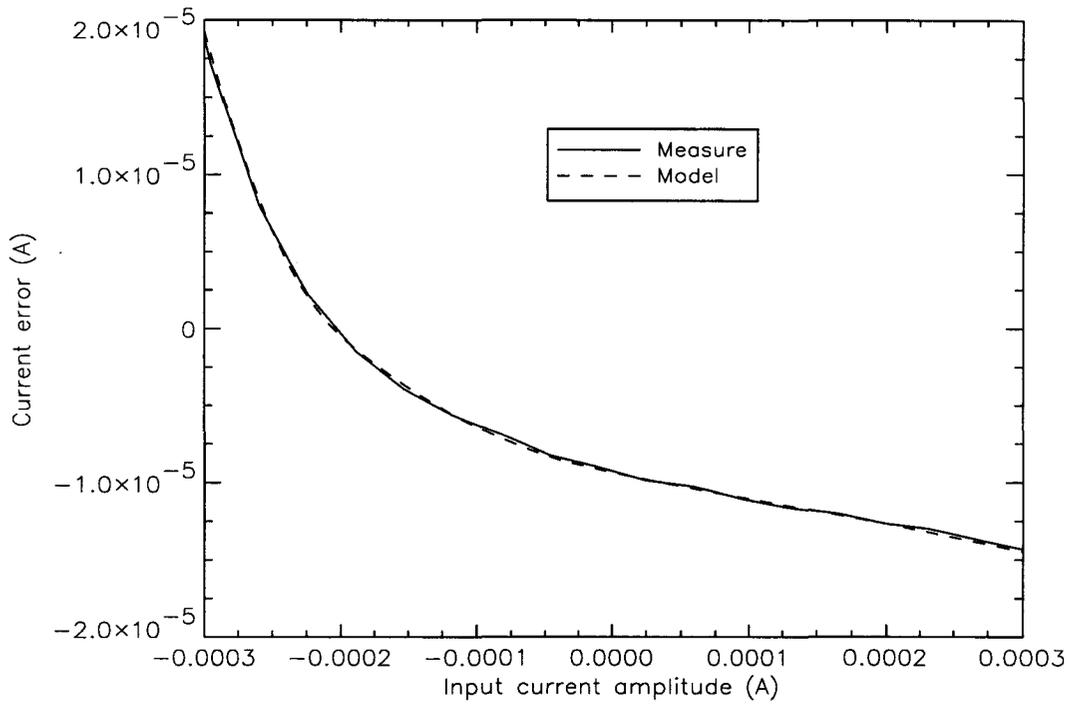


Figure 6.8 : Validation du modèle de la mémoire par rapport à la cellule de base expérimentale.

La **figure 6.9** représente la comparaison du spectre mesuré avec celui obtenu par le simulateur après intégration du phénomène de saturation. Nous observons un bon accord entre les niveaux de bruit de quantification. Cependant, il y a une légère surestimation de la distorsion harmonique 3 qui est imputée la discontinuité observée entre les zones linéaire et de saturation.

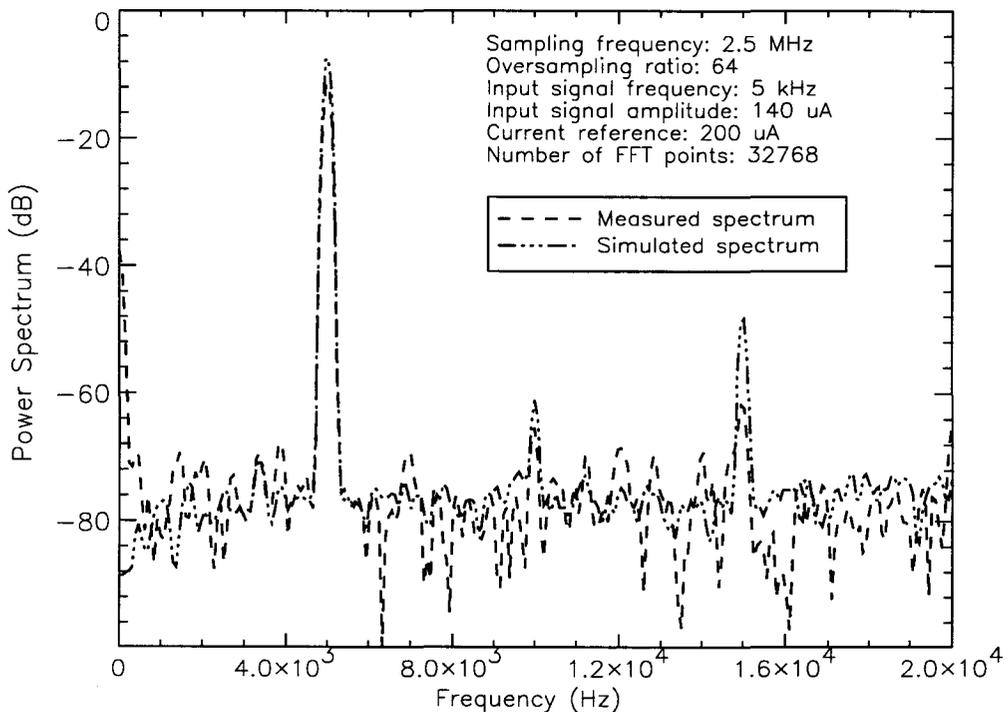


Figure 6.9 : Spectre de puissance du modulateur Sigma-Delta d'ordre 2.

Conclusion

Une étude détaillée de la cellule mémoire de courant a été présentée. Elle a permis d'identifier les points caractéristiques de ce type de circuits. En exploitant les propriétés d'opérateur de la mémoire de courant, nous pouvons réaliser des fonctions d'intégration, de multiplication, et de division. Des architectures de ces circuits à mémoire de courant ont été amplement décrites. La facilité avec laquelle ces architectures ont été développées est due la schématisation par un symbole des fonctions réalisées par la mémoire de courant.

Nous avons décrit la démarche à suivre pour construire des architectures de convertisseurs Sigma-Delta à mémoire de courant. Parmi ces architectures, celle utilisant deux phases, présente l'avantage de rapidité comparable aux architectures à capacités commutées. Elle possède, en plus de la rapidité, une compatibilité avec la technologie CMOS purement numérique. Par rapport à d'autres architectures en mode courant, elle est totalement dépourvue de tout appariement entre composants.

Nous avons développé un outil de simulation de circuits à mémoire de courant basée sur une approche de simulation à temps discret. L'efficacité de cet outil a été démontré à travers la simulation du modulateur d'ordre 2 à deux phases. L'élément de base étant la mémoire de courant, nous avons proposé une nouvelle approche de modélisation de celle-ci. Cette modélisation au niveau transistor tient compte de la non linéarité de la caractéristique de sortie du transistor utilisé comme la principale source de mémorisation. Les effets des perturbations dynamiques comme l'injection de charge des transistors utilisés comme interrupteurs et le bruit des transistors, ont été inclus dans le modèle. Les résultats obtenus à l'aide du modèle proposé ont été comparés à ceux de HSPICE sur deux exemples. Nous observons un bon accord entre les résultats avec cependant, un gain de temps de calcul considérable par rapport au modèle développé. Nous avons utilisés les résultats de cette comparaison comme une référence pour analyser l'influence des principales limitations de la mémoire de courant sur les performances globales du modulateur d'ordre 2 à deux phases. La résolution de celui est estimée à 11 bits dans une bande de 120 kHz pour une cadence d'échantillonnage de 15 MHz.

Pour valider le simulateur développé, nous avons conçu et réalisé le modulateur d'ordre 2 à deux phases. Les résultats expérimentaux révèlent une fonctionnalité correcte du modulateur. Néanmoins, nous observons un écart de 5 bits entre les résultats obtenus par la simulation et la mesure. Cet écart est essentiellement dû à la désaturation du transistor cascode utilisé comme atténuateur de la conductance de drain du transistor mémoire. Nous n'avons pas pris en compte ce phénomène dans le modèle de la mémoire de courant parce qu'il est exclus du principe même de celle-ci. Cette information, obtenue grâce à une étude séparée de la caractérisation des perturbations dynamiques comme l'erreur due au temps de stabilisation, nous a permis de modifier le modèle en y intégrant ce phénomène parasite. La comparaison, des résultats mesurés sur le circuit expérimental avec ceux obtenus par le simulateur intégrant les dernières modifications, montre un bon accord. L'outil de simulation ainsi l'architecture du modulateur n'étant pas la cause de cet écart, une modification de la conception de la mémoire de courant s'avère nécessaire pour atteindre la résolution escomptée.

ANNEXE A

Modèle de transistors MOS et paramètres technologiques

Le modèle décrit ci-dessous a l'avantage d'être relativement simple et de permettre une continuité du courant drain, de la conductance de drain et de la transconductance de grille dans la zone de transition entre la région linéaire et la région de saturation. Ce modèle prend en compte les effets de canaux courts et étroits qui se traduisent par:

- . la dépendance de la tension de seuil par rapport à la longueur et la largeur du transistor,
- . la réduction de la mobilité des porteurs dans le canal du transistor engendrée par les champs électro-statiques intenses créés par les sources de polarisation notamment de la grille, de la source et du drain.

Remarque: Le modèle décrit dans cette annexe concerne les transistors MOS de canal de type N. Pour obtenir le modèle des transistors MOS de canal de type P, il suffit de multiplier tous les courants et tensions par (-1) et de remplacer les paramètres spécifiques aux transistors comme la mobilité par ceux des transistors de canal de type P.

A.1. Paramètres du modèle

Le tableau ci-dessous regroupe tous les paramètres du modèle exposé dans cette annexe.

Tableau A.1 : Paramètres du modèle des transistors MOS

Paramètres	Dénomination	Unité
C_{ox}	Capacité de grille par unité de surface	$F / \mu m^2$
$\mu_0 \cdot C_{ox}$	Paramètre de transfert	A / V^2
V_E	Coefficient de modulation de la longueur de canal	V
γ	Paramètre de l'effet substrat	$V^{1/2}$
Φ	Potentiel de surface à la limite de la forte inversion	V
V_{T0}	Tension de seuil à polarisation de drain et de source nulle	V
θ	Coefficient de la réduction de mobilité des porteurs	V^{-1}
E_c	Champ critique le long du canal	$V / \mu m$
δ	Facteur de correction de l'effet substrat	
ϵ_W	Coefficient de dépendance de la tension de seuil par rapport à la largeur du canal	μm
ϵ_L	Coefficient de dépendance de la tension de seuil par rapport à la longueur du canal	μm

A.2. Modèle grand signal

Région de faible inversion: $V_{GS} \leq V_T$

$$I_D = 0 \quad (A.1)$$

Région linéaire: $V_{GS} > V_T$ et $V_{DS} \leq V_{DSat}$

$$I_D = \frac{\eta \cdot \beta}{2} \cdot \left[V_{DSat} \cdot \left(2 + \frac{V_{DSat}}{V_E} \right) - V_{DS} \right] \cdot V_{DS} \quad (A.2)$$

Région de saturation: $V_{GS} \geq V_T$ et $V_{DS} \geq V_{DSat}$

$$I_D = I_{DSat} \cdot \left(1 + \frac{V_{DS} - V_{DSat}}{V_E + V_{DSat}} \right) \quad (A.3)$$

où I_{DSat} représente le courant drain de saturation du transistor.

$$I_{DSat} = \frac{\eta \cdot \beta}{2} \cdot \frac{(V_{DSat})^2}{V_E} \cdot (V_E + V_{DSat}) \quad (A.4)$$

V_T , V_{DSat} , β et η sont définis par les relations suivantes:

$$V_T = V_{T0} + \gamma \cdot (\sqrt{\Phi - V_{BS}} - \sqrt{\Phi}) - \frac{\epsilon_W}{W} \cdot V_{BS} + \frac{\epsilon_L}{L} \cdot V_{BS} \quad (A.5)$$

$$V_{DSat} = \frac{V_{GS} - V_T}{\eta} \quad \text{avec} \quad \eta = 1 + \delta \cdot \frac{\gamma}{\sqrt{\Phi - V_{BS}}} \quad (A.6)$$

$$\beta = \frac{\beta_0}{[1 + \theta \cdot (V_{GS} - V_T)] \cdot \left(1 + \frac{V_{DS}}{E_C \cdot L} \right)} \quad \text{avec} \quad \beta_0 = \mu_0 \cdot C_{ox} \cdot \frac{W}{L} \quad (A.7)$$

La relation (A.5) traduit la dépendance de la tension par rapport de la longueur et de la largeur du transistor.

A.3. Modèle petit signal

A.3.1. Conductance de drain

Elle est définie par la dérivée partielle du courant drain I_D par rapport à la tension drain-source V_{DS} évaluée aux tensions grille-source V_{GS} et substrat-source V_{BS} constantes.

$$g_d = \left(\frac{\partial I_D}{\partial V_{DS}} \right)_{V_{GS}, V_{BS}} \quad (\text{A.8})$$

Région linéaire

$$g_d = \frac{\eta \cdot \beta_0}{2 \cdot [1 + \theta \cdot (V_{GS} - V_T)]} \cdot \frac{V_{DSat} \cdot \left(2 + \frac{V_{DSat}}{V_E}\right) - V_{DS} \cdot \left(2 + \frac{V_{DS}}{EC \cdot L}\right)}{\left(1 + \frac{V_{DS}}{EC \cdot L}\right)^2} \quad (\text{A.9})$$

Région de saturation

$$g_d = \frac{I_{DSat}}{V_E + V_{DSat}} \cdot \frac{1 - \frac{V_E}{EC \cdot L}}{\left(1 + \frac{V_{DS}}{EC \cdot L}\right)^2} \quad (\text{A.10})$$

A.3.2. Transconductance de grille

Elle est définie par la dérivée partielle du courant drain I_D par rapport à la tension grille-source V_{GS} évaluée aux tensions drain-source V_{DS} et substrat-source V_{BS} constantes.

$$g_m = \left(\frac{\partial I_D}{\partial V_{GS}} \right)_{V_{DS}, V_{BS}} \quad (\text{A.11})$$

Région linéaire

$$g_m = \frac{\beta_0}{2 \left(1 + \frac{V_{DS}}{EC \cdot L}\right)} \cdot \frac{\left[\left(1 + \frac{V_{DSat}}{V_E}\right) (2 + \theta \cdot \eta \cdot V_{DSat}) + \theta \eta \cdot V_{DS} \right] V_{DS}}{[1 + \theta \cdot (V_{GS} - V_T)]^2} \quad (\text{A.12})$$

Région de saturation

$$g_m = \frac{\beta_0}{2 \cdot \left(1 + \frac{V_{DS}}{EC \cdot L}\right)} \cdot \frac{V_{DSat} \cdot (V_{DS} + V_E)}{V_E} \cdot \frac{(2 + \theta \cdot \eta \cdot V_{DSat})}{[1 + \theta \cdot (V_{GS} - V_T)]^2} \quad (\text{A.13})$$

A.3.3. Transconductance de substrat

Elle est définie par la dérivée partielle du courant drain I_D par rapport à la tension substrat-source V_{BS} évaluée aux tensions drain-source V_{DS} et grille-source V_{GS} constantes.

$$g_{mb} = \left(\frac{\partial I_D}{\partial V_{BS}} \right)_{V_{DS}, V_{GS}} \quad (A.14)$$

$$g_{mb} = g_m \cdot \left[\left(\frac{\eta - 1}{2} \right) \cdot \left(1 - \left(\frac{\eta - 1}{\delta \cdot \gamma} \right)^2 \cdot V_{DSat} \right) + \frac{\epsilon_L}{L} - \frac{\epsilon_W}{W} \right] \quad (A.15)$$

A.4. Extraction des paramètres du modèle proposé

Nous présentons ci-dessous des résultats de mesure et de simulation du modèle précédemment décrit. Les mesures ont été effectuées sur des échantillons de transistors pour une technologie CMOS 1.2 μm . Tous les transistors du même type de canal possède en commun la grille, la source et le substrat. Pour chaque transistor, nous représentons:

- Le courant drain I_D en fonction de la tension de drain V_{DS} , avec la tension de grille V_{GS} comme paramètre et une tension de substrat V_{BS} nulle.
- Le courant drain I_D en fonction de la tension de grille V_{GS} , avec la tension de substrat V_{BS} comme paramètre et pour une tension de drain fixée à $V_{DS} = 0.1$ volt.

Le potentiel de la source est pris comme potentiel de référence dans toutes les mesures et simulations.

Les paramètres correspondant au modèle exposé précédemment sont regroupés dans le **tableau A.2**. Les variations des paramètres technologiques dues à la fabrication des composants d'une même puce ont été appliquées volontairement seulement à certains paramètres. Ces paramètres sont très critiques pour les applications à mémoires de courant. Nous obtenons ainsi une relation entre les dimensions du transistor et le paramètre correspondant. La conséquence directe de cette approche est de permettre le dimensionnement des transistors sur une plage plus élargie, tout en restant dans les spécifications technologiques. Notons cependant, que la tension de seuil des transistors à canal étroit, à polarisation de drain et du substrat nulle, est plus élevée que la moyenne indiquée dans le tableau ci-dessous.

Tableau A.2 : Paramètres du modèle proposé pour la technologie CMOS 1.2 μm

Paramètres	Valeurs	Tolérance	Unité
C_{ox}	1.38E-15		$F / \mu\text{m}^2$
$\mu_0 \cdot C_{ox}$ NMOS PMOS	80.0E-06 34.0E-06		A / V^2 A / V^2
γ NMOS PMOS	0.660 0.723		$\text{V}^{1/2}$ $\text{V}^{1/2}$
Φ NMOS PMOS	0.742 0.751		V V
E_c NMOS PMOS	5.00 3.35		$\text{V} / \mu\text{m}$ $\text{V} / \mu\text{m}$
ϵ_L NMOS PMOS	8.5E-02 9.0E-02		μm μm
ϵ_w NMOS PMOS	9.5E-02 9.9E-02		μm μm
V_{T0} NMOS PMOS	+0.825 -1.010	$\pm 9.0\%$ $\pm 5.0\%$	V V
V_E NMOS PMOS	$2.50 * L$ $1.40 * L$	$\pm 6.6\%$ $\pm 10.0\%$	V V
θ NMOS PMOS	$0.256 * (L)^{-1/2}$ $0.800 * (L)^{-1/2}$	$\pm 7.1\%$ $\pm 2.0\%$	V^{-1} V^{-1}
δ NMOS PMOS	$0.37 * \log(L) + 0.75 / W$ $0.75 * \log(L) + 0.84 / W$	$\pm 15.0\%$ $\pm 10.0\%$	

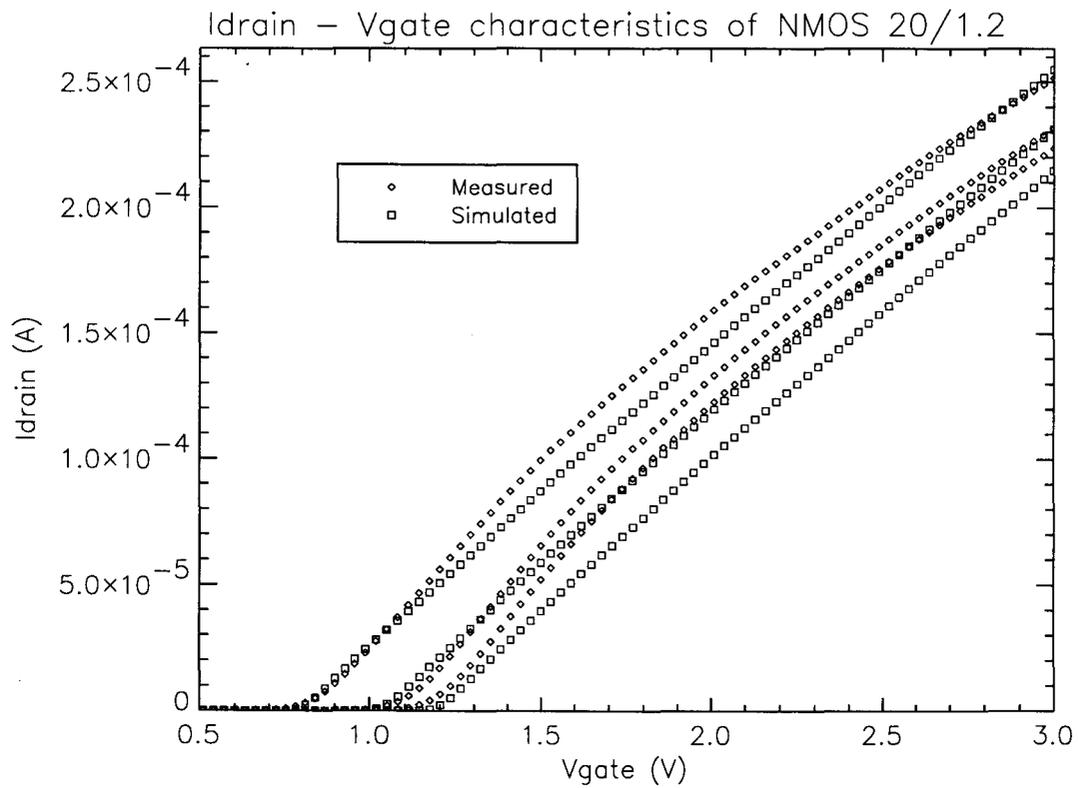
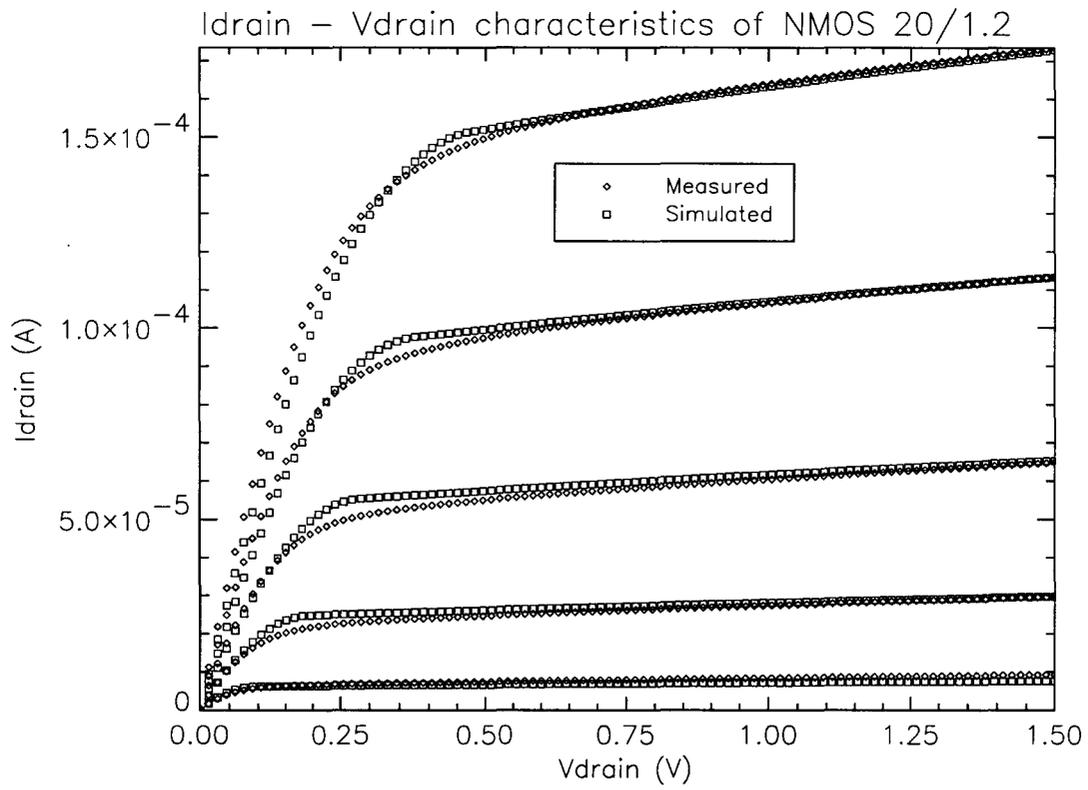


Figure 2.1 : Caractéristiques du transistor NMOS 20 / 1.2.

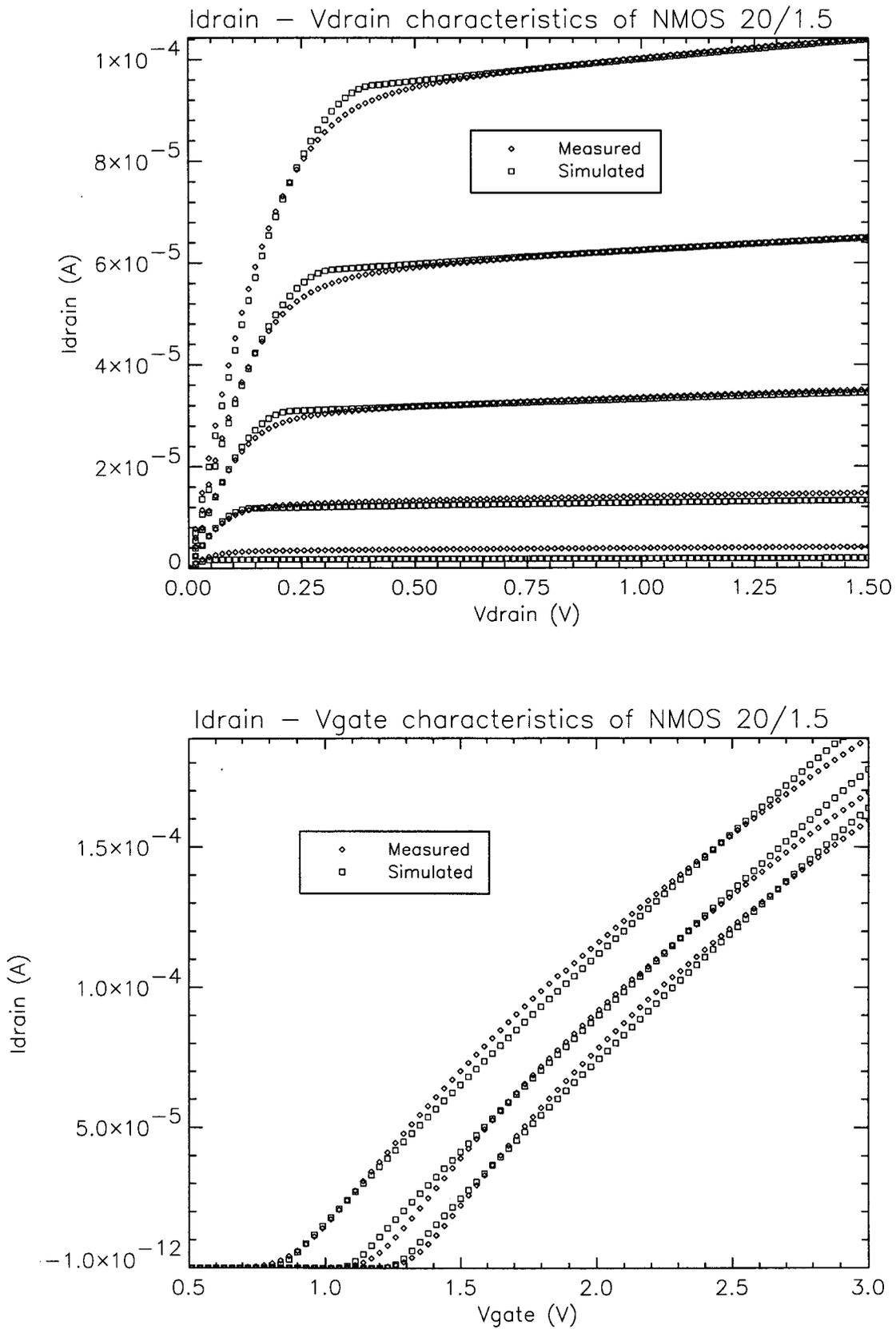


Figure 2.2 : Caractéristiques du transistor NMOS 20 / 1.5.

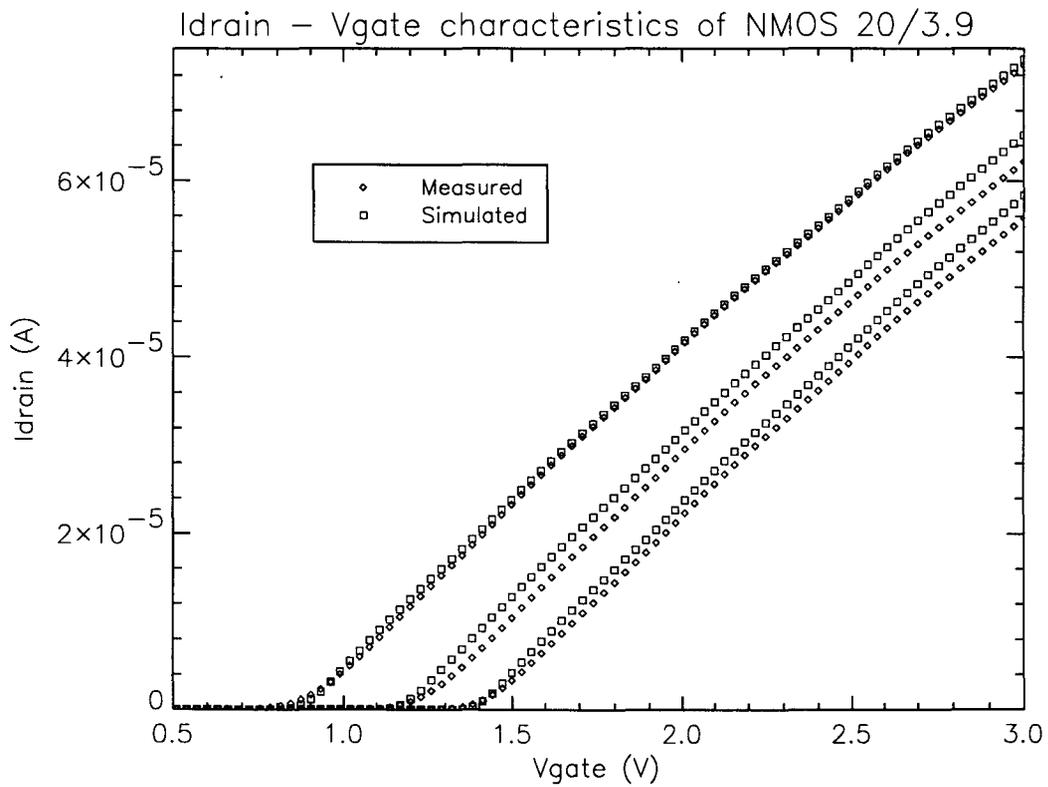
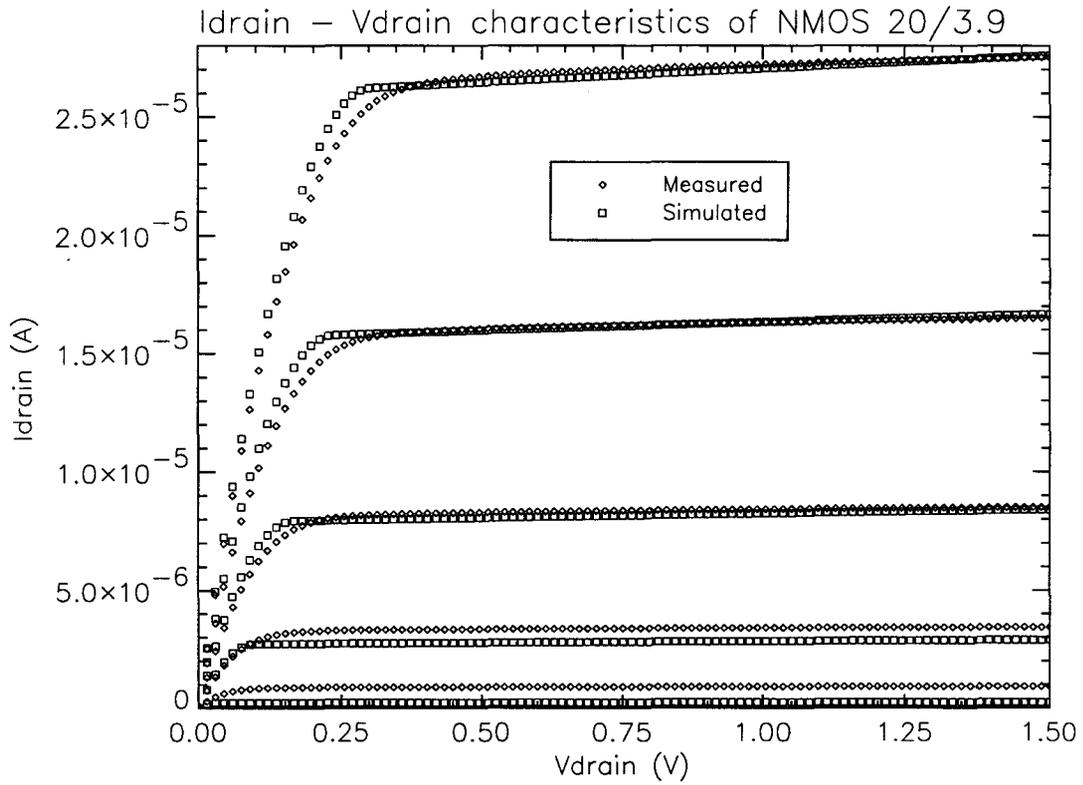


Figure 2.3 : Caractéristiques du transistor NMOS 20 / 3.9.

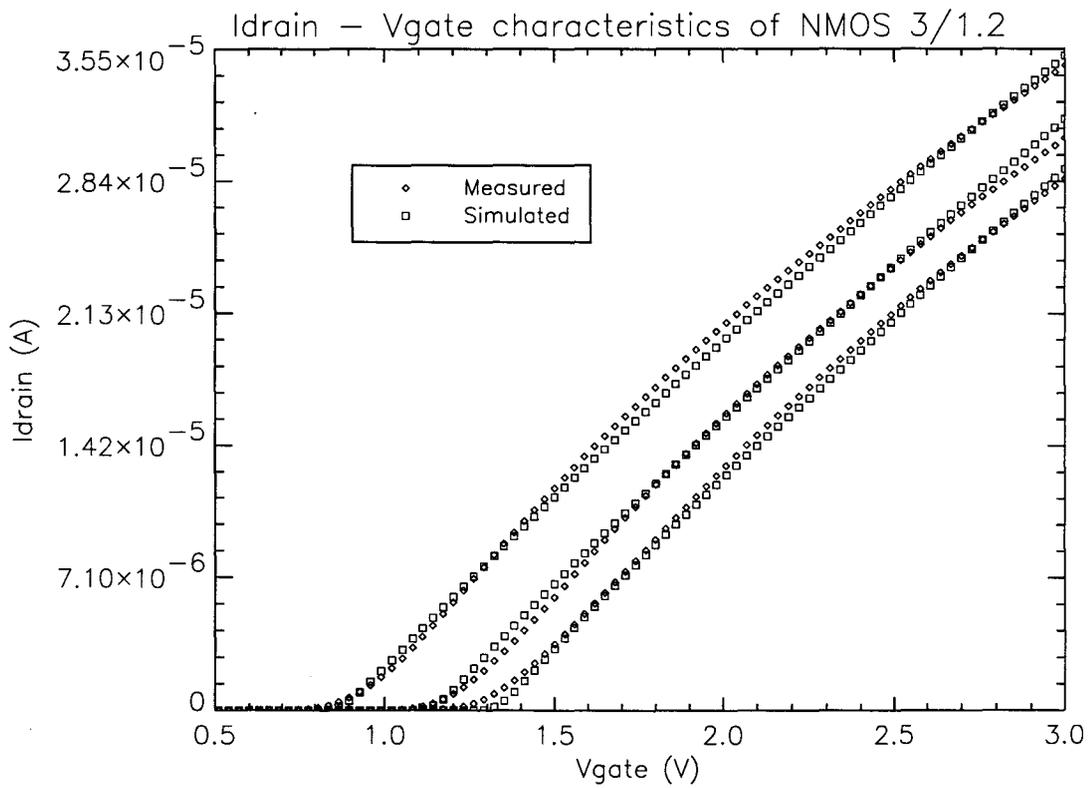
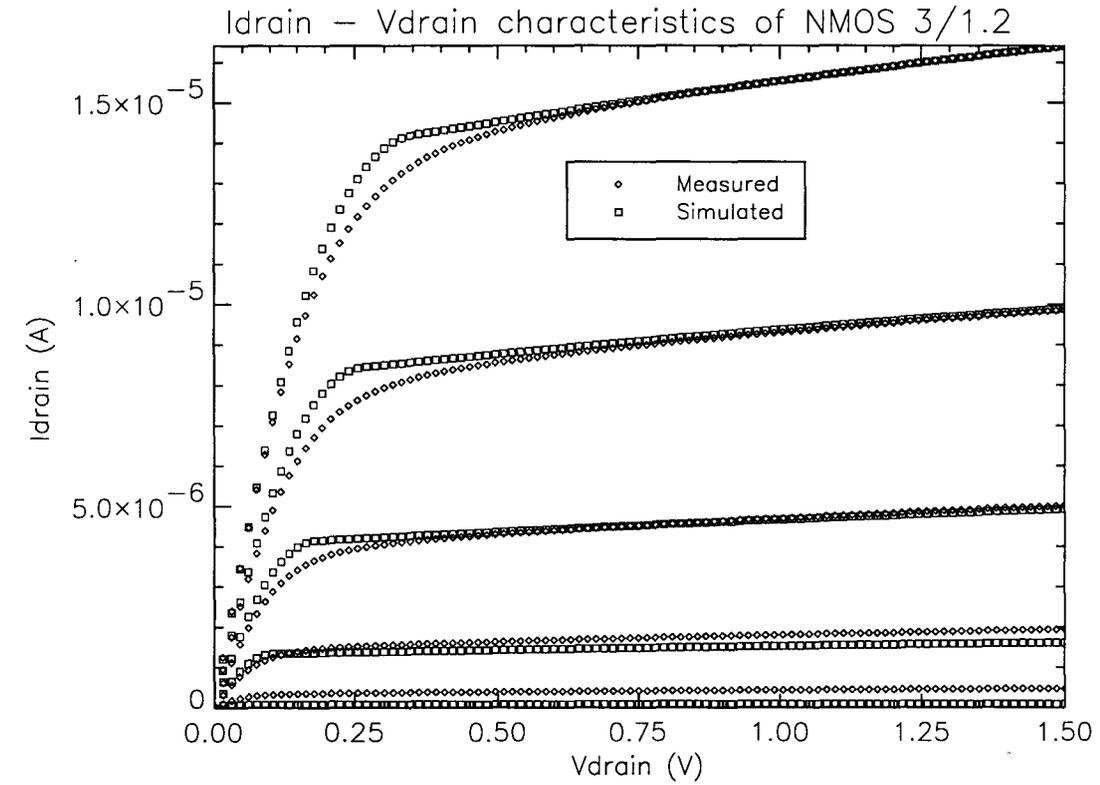


Figure 2.4 : Caractéristiques du transistor NMOS 3 / 1.2.

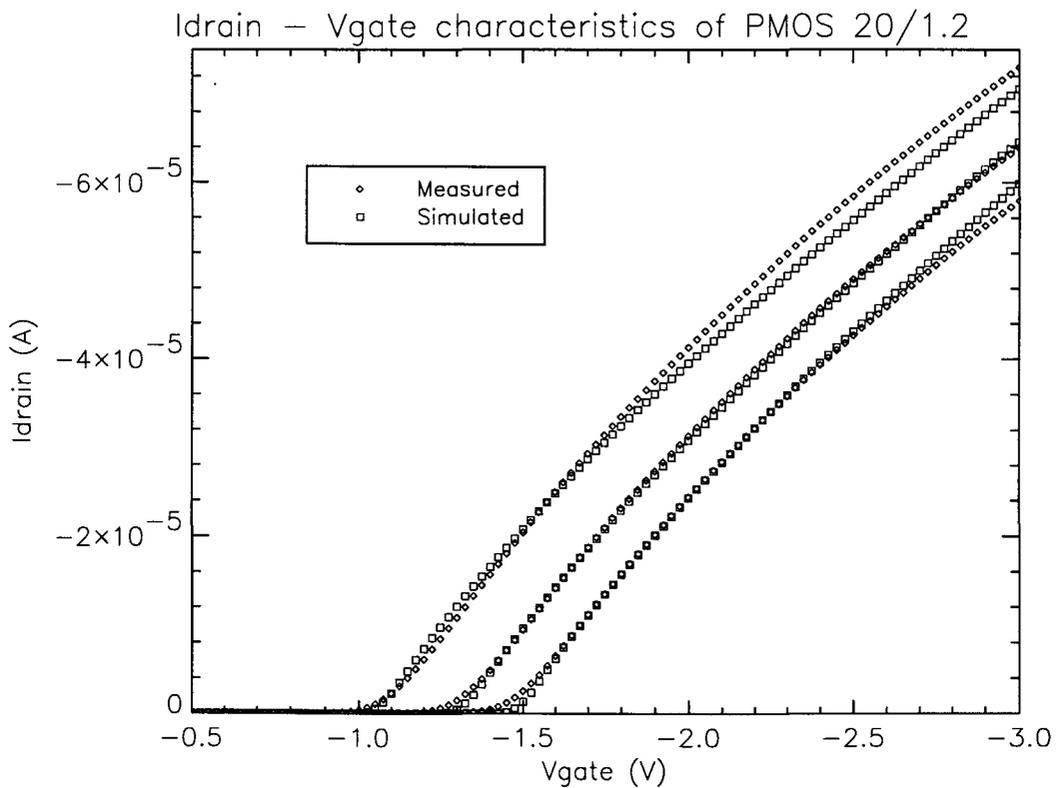
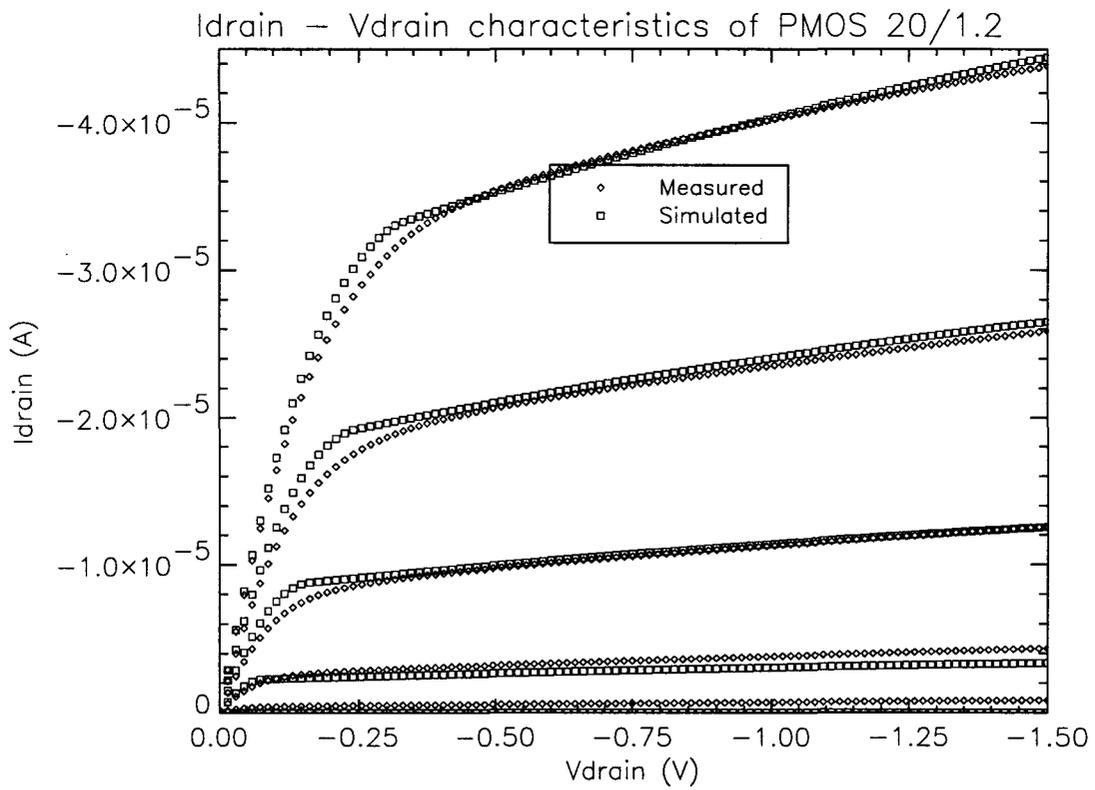


Figure 2.5 : Caractéristiques du transistor PMOS 20 / 1.2.



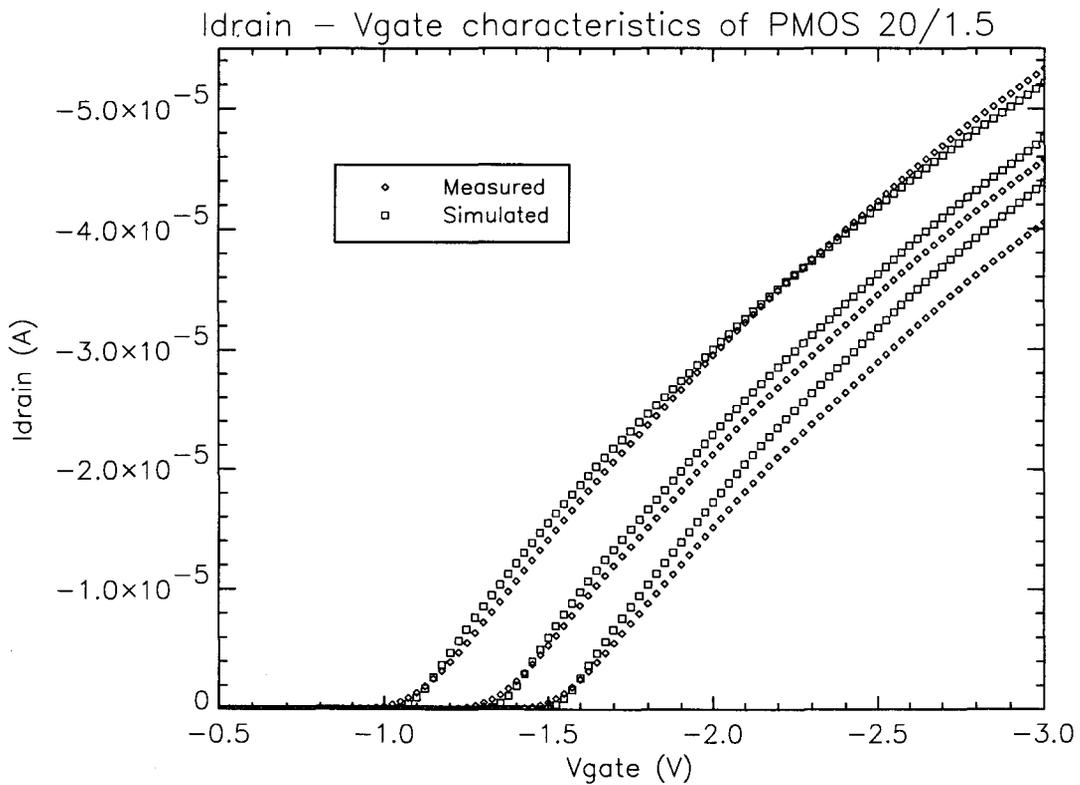
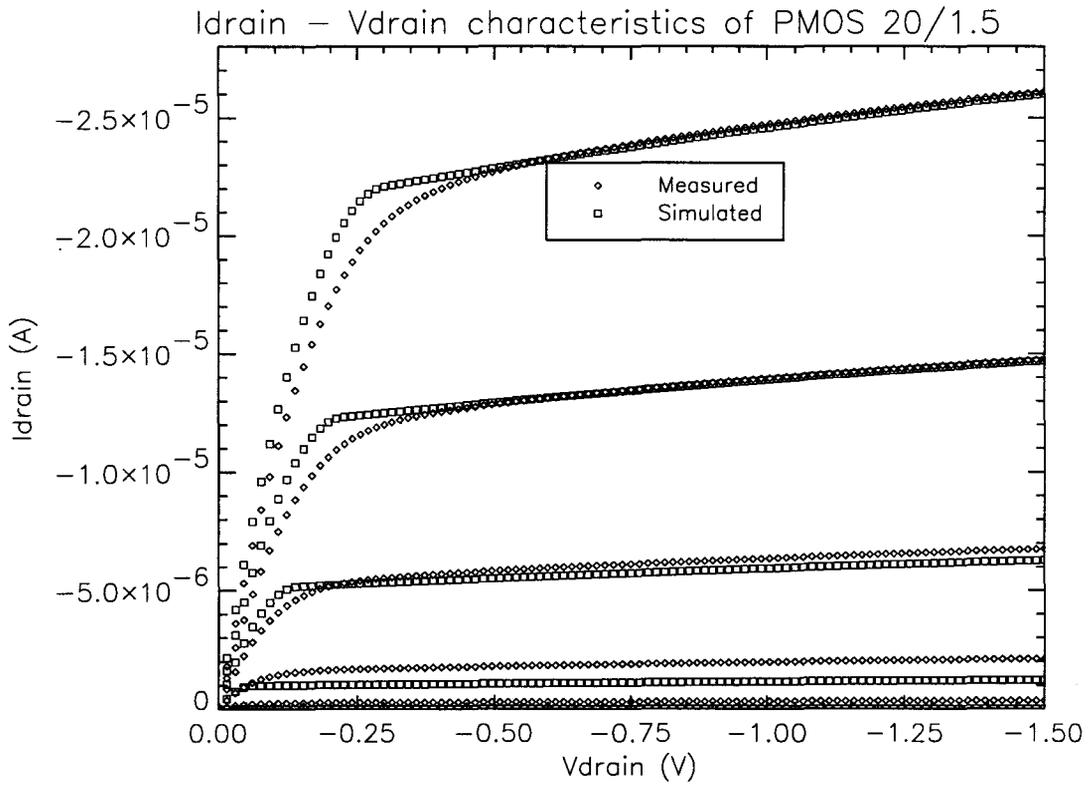


Figure 2.6 : Caractéristiques du transistor PMOS 20 / 1.5.

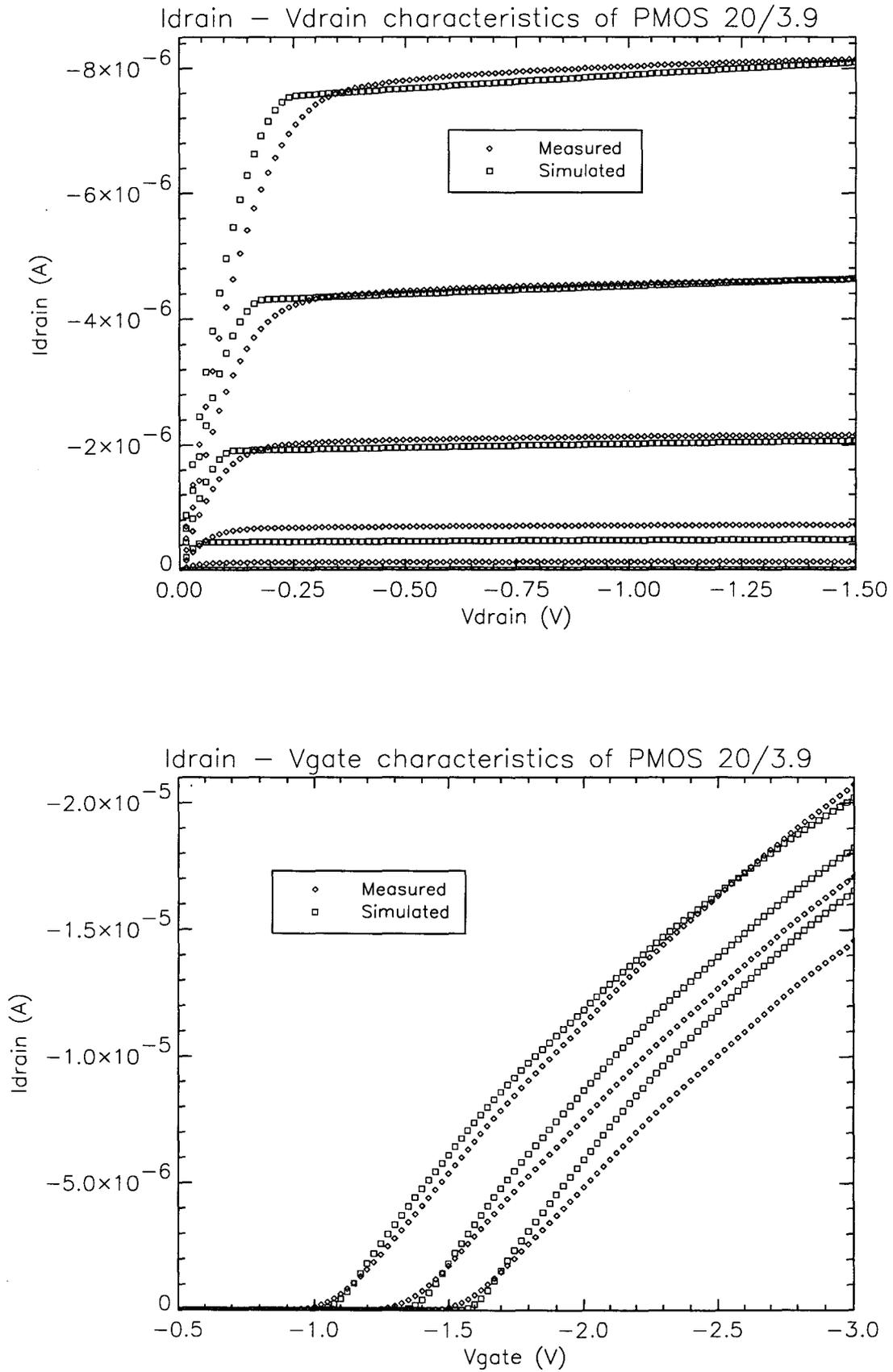


Figure 2.7 : Caractéristiques du transistor PMOS 20 / 3.9.



ANNEXE B

Bandes passantes de bruit des mémoires de courant de base et cascode

B.1. La mémoire de courant de base

B.1.1. Fonction de transfert associée au signal

La **figure B.1** représente le schéma équivalent petit signal de la mémoire de courant élémentaire étudiée au chapitre 1.

Pour simplifier les calculs, nous négligerons la capacité de couplage C_{GD1} entre la grille et le drain du transistor mémoire.

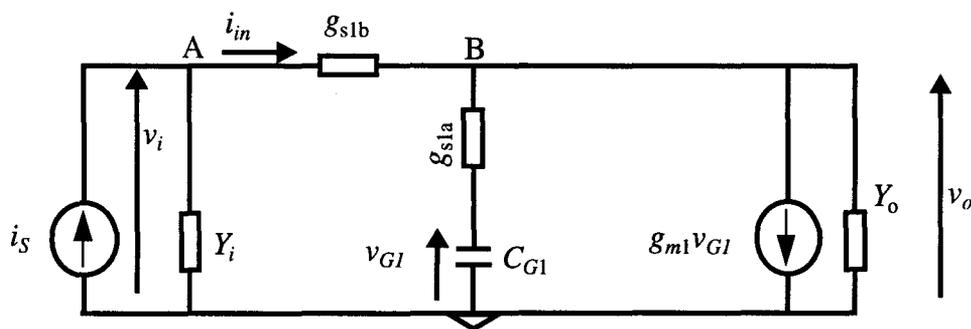


Figure B.1 : Schéma équivalent de la mémoire de courant élémentaire.

$$Y_o = g_o + p \cdot C_o \quad (B.1)$$

où g_o est la somme des conductances de $M1$ et $M2$ et C_o la capacité vue du drain de $M1$.

Y_i est l'admittance de la source de courant signal.

$$Y_i = g_i + p \cdot C_i \quad (B.2)$$

Nous pouvons exprimer v_{G1} en v_o .

$$V_{G1}(p) = \frac{1}{1 + \tau_0 \cdot p} \cdot V_o(p) \quad (B.3)$$

où

$$\tau_0 = \frac{C_{G1}}{g_{s1a}} \quad (B.4)$$

Par ailleurs, le courant i_{in} au nœud b a pour expression:

$$I_{in}(p) = g_{s1b} \cdot [V_i(p) - V_o(p)] = (p \cdot C_{G1} + g_{m1}) V_{G1}(p) + Y_o \cdot V_o(p) \quad (B.5)$$

En combinant les équations (B.3) et (B.5), nous obtenons l'expression de v_o en fonction de v_i .

$$\frac{V_o(p)}{V_i(p)} = \frac{g_{s1b}}{g_{m1} + g_{s1b} + g_o} \cdot \frac{1 + \tau_0 \cdot p}{1 + \tau_1 \cdot p + \tau_1 \cdot \tau_2 \cdot p^2} \quad (B.6)$$

où τ_j et τ_2 sont définies de la manière suivante:

$$\tau_1 = \frac{(g_o + g_{s1a} + g_{s1b}) \cdot C_{G1} + g_{s1a} \cdot C_o}{g_{s1a} (g_{m1} + g_o + g_{s1b})} ; \tau_2 = \frac{C_{G1} \cdot C_o}{(g_o + g_{s1a} + g_{s1b}) \cdot C_{G1} + g_{s1a} \cdot C_o}$$

Nous déduisons l'expression de v_{G1} en fonction de v_i à l'aide des relations (B.3) et (B.6).

$$\frac{V_{G1}(p)}{V_i(p)} = \frac{g_{s1b}}{g_{m1} + g_{s1b} + g_o} \cdot \frac{1}{1 + \tau_1 \cdot p + \tau_1 \cdot \tau_2 \cdot p^2} \quad (B.7)$$

La seconde égalité de la relation (B.5) permet de trouver v_{G1} en fonction de i_{in} .

$$\frac{V_{G1}(p)}{I_{in}(p)} = \frac{1}{g_{m1} + g_o} \cdot \frac{1}{1 + \tau_3 \cdot p + \tau_3 \cdot \tau_4 \cdot p^2} \quad (B.8)$$

avec

$$\tau_3 = \frac{(g_o + g_{s1a}) \cdot C_{G1} + g_{s1a} \cdot C_o}{g_{s1a} (g_{m1} + g_o)} \quad ; \tau_4 = \frac{C_{G1} \cdot C_o}{(g_o + g_{s1a}) \cdot C_{G1} + g_{s1a} \cdot C_o}$$

La loi des noeuds appliquée au noeud A donne le courant signal i_S en fonction de i_{in} et de v_i .

$$I_S(p) = I_{in}(p) + Y_i(p) \cdot V_i(p) \quad (B.9)$$

En négligeant l'influence du pôle défini par le rapport de la conductance et de la capacité de la source de courant signal d'entrée, et en combinant les équations (B.7), (B.8) et (B.9), nous obtenons l'expression de v_{G1} en fonction i_S .

$$\frac{V_{G1}(p)}{I_S(p)} = \frac{g_{s1b}}{g_{s1b} (g_{m1} + g_o) (1 + \tau_3 p + \tau_3 \tau_4 p^2) + g_i (g_{m1} + g_o + g_{s1b}) (1 + \tau_1 p + \tau_1 \tau_2 p^2)}$$

$$\frac{V_{G1}(p)}{I_S(p)} = \frac{g_{s1b}}{(g_{m1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.10)$$

où τ_5 et τ_6 sont définies de la manière suivante:

$$\tau_5 = \frac{[(g_o + g_{s1a}) (g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o}{g_{s1a} \cdot [(g_{m1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]}$$

$$\tau_6 = \frac{(g_{s1b} + g_i) \cdot C_{G1} \cdot C_o}{[(g_o + g_{s1a}) (g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o}$$

B.1.2. Bande passante équivalente de bruit

Nous nous intéresserons au cas particulier du bruit thermique.

La figure B.2 représente le schéma équivalent petit signal de la cellule mémoire de courant élémentaire pour le calcul des fonctions de transfert des différentes sources de bruit.

La puissance de bruit aux bornes de la capacité C_{G1} est obtenue par sommation de la puissance de chaque source de bruit; les sources de bruit n'étant pas corrélées les unes des autres.

Nous négligerons encore la capacité de couplage drain-grille du transistor mémoire et maintenons les approximations faites précédemment.

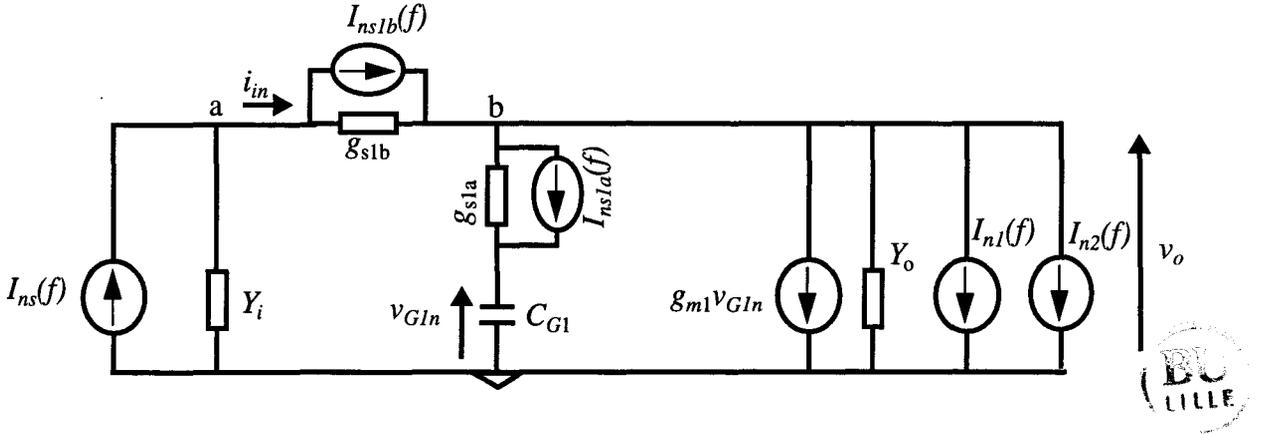


Figure B.2 : Schéma équivalent de la mémoire de courant pour l'étude du bruit.

Considérons le système du second ordre dont la fonction de transfert $H(p)$ est définie sous la forme suivante:

$$H(p) = H_{DC} \cdot \frac{(1 + \tau_o \cdot p)}{(1 + \tau_1 \cdot p + \tau_1 \cdot \tau_2 \cdot p^2)} \quad (B.11)$$

La bande passante équivalente de bruit blanc f_{Bn} d'un tel système est définie par [1]:

$$f_{Bn} = \frac{1}{4 \cdot \tau_1} \cdot \left(1 + \frac{\tau_o^2}{\tau_1 \cdot \tau_2} \right) \quad (B.12)$$

La relation (B.12) est toujours vérifiée quel que soit le type de pôles (réels ou complexes) de la fonction de transfert.

Les expressions des fonctions de transfert déduites du schéma équivalent petit signal de la figure B.2 sont définies par les équations ci-dessous.

La fonction de transfert associée au bruit de la source du signal d'entrée a la même expression que celle associée au signal.

$$H_{ns}(p) = \left[\frac{V_{G1n}(p)}{I_{ns}(p)} \right]$$

$$H_{ns}(p) = \frac{g_{slb}}{(g_{m1} + g_o)(g_{slb} + g_i) + g_{slb} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.13)$$

Pour les sources de bruit de $M1$ et $M2$, nous obtenons les fonctions de transfert respectives suivantes:

$$H_{n1}(p) = \left[\frac{V_{G1n}(p)}{I_{n1}(p)} \right]$$

$$H_{n1}(p) = \frac{-(g_{s1b} + g_i)}{(g_{m1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.14)$$

et

$$H_{n2}(p) = \left[\frac{V_{G1n}(p)}{I_{n2}(p)} \right]$$

$$H_{n2}(p) = \frac{-(g_{s1b} + g_i)}{(g_{m1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.15)$$

Pour la source de bruit de $Ms1b$, la fonction de transfert est définie par:

$$H_{ns1b}(p) = \left[\frac{V_{G1n}(p)}{I_{ns1b}(p)} \right]$$

$$H_{ns1b}(p) = \frac{g_i}{(g_{m1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.16)$$

La fonction de transfert associée à la source de bruit de $Ms1a$ est de la forme:

$$H_{ns1a}(p) = \left[\frac{V_{G1n}(p)}{I_{ns1a}(p)} \right]$$

$$H_{ns1a}(p) = \frac{g_o \cdot (g_{s1b} + g_i) + g_{s1b} \cdot g_i}{g_{s1a} \cdot [(g_{m1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i]} \cdot \frac{1 + \tau_7 \cdot p}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.17)$$

avec

$$\tau_7 = \frac{(g_{s1b} + g_i) \cdot C_o}{g_o \cdot (g_{s1b} + g_i) + g_{s1b} \cdot g_i}$$

Les bandes passantes équivalentes de bruit de la source d'entrée, de $M1$, $M2$ et $Ms1b$ sont égales à:

$$f_{Bn} = \frac{g_{s1a} \cdot [(g_{m1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i]}{4 \{ [(g_o + g_{s1a})(g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o \}} \quad (B.18)$$

La bande passante équivalente de bruit de $Ms1a$ est définie par:

$$f_{Bns1a} = f_{Bn} \cdot \left(1 + \frac{C_o}{C_{G1}} \cdot \frac{g_{s1a} \cdot (g_{s1b} + g_i) [(g_{m1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i]}{[g_o \cdot (g_{s1b} + g_i) + g_{s1b} \cdot g_i]^2} \right) \quad (B.19)$$

B.2. La mémoire de courant cascode

B.2.1. Fonction de transfert associée au signal

La figure B.3 représente le schéma équivalent petit signal de la mémoire de courant cascode.

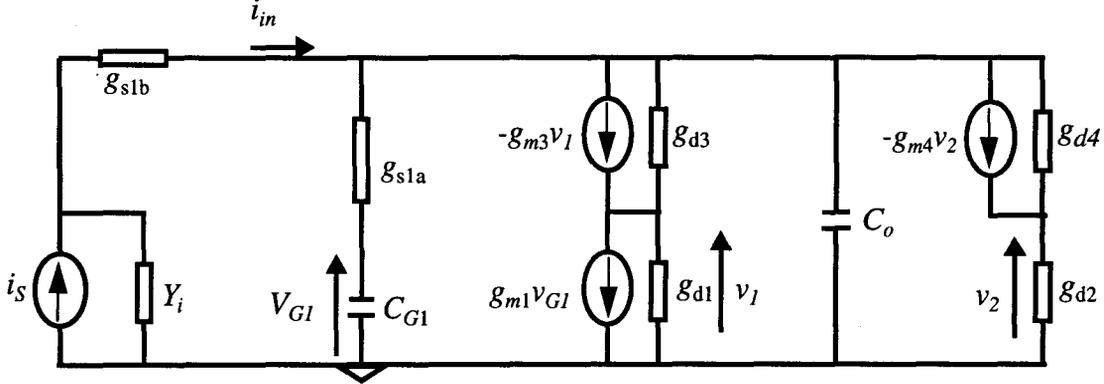


Figure B.3 : Schéma équivalent de la mémoire de courant cascode.

Pour déterminer la relation entre la tension de grille v_{G1} et le courant signal i_S , nous procédons de la même façon que précédemment.

Le courant i_{in} s'exprime sous la forme:

$$I_{in}(p) = g_{s1b} \cdot [V_i(p) - V_o(p)] = (p \cdot C_{G1} + g_{mc1}) V_{G1}(p) + (g_{dc1} + Y_o) V_o(p) \quad (B.20)$$

avec

$$g_{mc1} = g_{m1} \cdot \frac{g_{m3} + g_{d3}}{g_{m3} + g_{d3} + g_{d1}} \quad ; g_{dc1} = g_{d1} \cdot \frac{g_{d3}}{g_{m3} + g_{d3} + g_{d1}}$$

$$Y_o = g_{dc2} + p \cdot C_o \quad ; g_{dc2} = g_{d2} \cdot \frac{g_{d4}}{g_{m4} + g_{d4} + g_{d2}}$$

En combinant les équations (B.3) et (B.20), nous obtenons l'expression de v_o en fonction de v_i .

$$\frac{V_o(p)}{V_i(p)} = \frac{g_{s1b}}{g_{mc1} + g_{s1b} + g_o} \cdot \frac{1 + \tau_o \cdot p}{1 + \tau_1 \cdot p + \tau_1 \cdot \tau_2 \cdot p^2} \quad (B.21)$$

où τ_1 et τ_2 sont définies de la manière suivante:

$$\tau_1 = \frac{(g_o + g_{s1a} + g_{s1b}) \cdot C_{G1} + g_{s1a} \cdot C_o}{g_{s1a} (g_{mc1} + g_o + g_{s1b})} \quad ; \tau_2 = \frac{C_{G1} \cdot C_o}{(g_o + g_{s1a} + g_{s1b}) \cdot C_{G1} + g_{s1a} \cdot C_o}$$

Nous déduisons l'expression de v_{G1} en fonction de v_i à l'aide des relations (B.3) et (B.6).

$$\frac{V_{G1}(p)}{V_i(p)} = \frac{g_{s1b}}{g_{mc1} + g_{s1b} + g_o} \cdot \frac{1}{1 + \tau_1 \cdot p + \tau_1 \cdot \tau_2 \cdot p^2} \quad (B.22)$$

La seconde égalité de la relation (B.20) permet de trouver v_{G1} en fonction de i_{in} .

$$\frac{V_{G1}(p)}{I_{in}(p)} = \frac{1}{g_{mc1} + g_o} \cdot \frac{1}{1 + \tau_3 \cdot p + \tau_3 \cdot \tau_4 \cdot p^2} \quad (B.23)$$

avec

$$g_o = g_{dc1} + g_{dc2}$$

$$\tau_3 = \frac{(g_o + g_{s1a}) \cdot C_{G1} + g_{s1a} \cdot C_o}{g_{s1a} (g_{mc1} + g_o)} \quad ; \tau_4 = \frac{C_{G1} \cdot C_o}{(g_o + g_{s1a}) \cdot C_{G1} + g_{s1a} \cdot C_o}$$

La loi des noeuds appliquée au noeud a donne le courant signal i_S en fonction de i_{in} et de v_i .

$$I_S(p) = I_{in}(p) + Y_i(p) \cdot V_i(p) \quad (B.24)$$

En négligeant l'influence du pôle défini par le rapport de la conductance et de la capacité de la source de courant signal d'entrée, et en combinant les équations (B.22), (B.23) et (B.24), nous obtenons l'expression de v_{G1} en fonction i_S .

$$\frac{V_{G1}(p)}{I_S(p)} = \frac{g_{s1b}}{g_{s1b} (g_{mc1} + g_o) (1 + \tau_3 p + \tau_3 \tau_4 p^2) + g_i (g_{mc1} + g_o + g_{s1b}) (1 + \tau_1 p + \tau_1 \tau_2 p^2)}$$

$$\frac{V_{G1}(p)}{I_S(p)} = \frac{g_{s1b}}{(g_{mc1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.25)$$

où τ_5 et τ_6 sont définies de la manière suivante:

$$\tau_5 = \frac{[(g_o + g_{s1a}) (g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o}{g_{s1a} \cdot [(g_{mc1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]}$$

$$\tau_6 = \frac{(g_{s1b} + g_i) \cdot C_{G1} \cdot C_o}{[(g_o + g_{s1a}) (g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o}$$

B.2.2. Bande passante équivalente de bruit

La **figure B.4** représente le schéma équivalent petit signal de la mémoire de courant cascode pour la détermination de la fonction de transfert équivalente de chaque source de bruit.

Nous maintenons les mêmes hypothèses que dans le cas de la mémoire de courant de base.

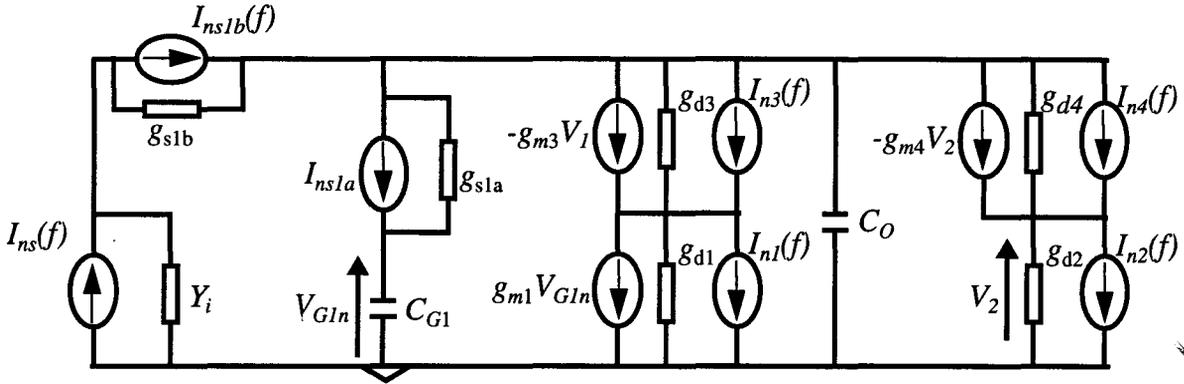


Figure B.4 : Schéma équivalent de la mémoire de courant cascode pour l'analyse du bruit.

Les expressions des fonctions de transfert déduites du schéma équivalent petit signal de la figure B.4 sont décrites par les équations ci-après. A l'exception des expressions de g_o et g_{m1} , elles sont identiques aux mêmes expressions obtenues pour la mémoire de courant de base.

La fonction de transfert associée au bruit de la source d'entrée est de la forme:

$$H_{ns}(p) = \left[\frac{V_{G1n}(p)}{I_{nsrce}(p)} \right]$$

$$H_{ns}(p) = \frac{g_{s1b}}{(g_{mc1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.26)$$

Pour les sources de bruit de $M1$ et $M3$, nous obtenons les fonctions de transfert respectives suivantes:

$$H_{n1}(p) = \left[\frac{V_{G1n}(p)}{I_{n1}(p)} \right]$$

$$H_{n1}(p) = \frac{-(g_{s1b} + g_i) \left(\frac{g_{mc1}}{g_{m1}} \right)}{(g_{mc1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.27)$$

et

$$H_{n3}(p) = \left[\frac{V_{G1n}(p)}{I_{n3}(p)} \right]$$

$$H_{n3}(p) = \frac{(g_{s1b} + g_i) \left(\frac{g_{mc1}}{g_{m1}} \right)}{(g_{mc1} + g_o)(g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.28)$$

Pour les sources de bruit de $M2$ et $M4$, nous obtenons les fonctions de transfert respectives suivantes:

$$H_{n_2}(p) = \left[\frac{V_{G1n}(p)}{I_{n_2}(p)} \right]$$

$$H_{n_2}(p) = \frac{-(g_{s1b} + g_i) \left(\frac{(g_{m4} + g_{d4}) \cdot g_{dc2}}{g_{d2} \cdot g_{d4}} \right)}{(g_{mc1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.29)$$

et

$$H_{n_4}(p) = \left[\frac{V_{G1n}(p)}{I_{n_4}(p)} \right]$$

$$H_{n_4}(p) = \frac{(g_{s1b} + g_i) \left(\frac{(g_{m4} + g_{d4}) \cdot g_{dc2}}{g_{d2} \cdot g_{d4}} \right)}{(g_{mc1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.30)$$

Pour la source de bruit de $Ms1b$, la fonction de transfert est définie par:

$$H_{n_{s1b}}(p) = \left[\frac{V_{G1n}(p)}{I_{n_{s1b}}(p)} \right]$$

$$H_{n_{s1b}}(p) = \frac{g_i}{(g_{mc1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i} \cdot \frac{1}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.31)$$

La fonction de transfert associée à la source de bruit de $Ms1a$ est de la forme:

$$H_{n_{s1a}}(p) = \left[\frac{V_{G1n}(p)}{I_{n_{s1a}}(p)} \right]$$

$$H_{n_{s1a}}(p) = \frac{g_o \cdot (g_{s1b} + g_i) + g_{s1b} \cdot g_i}{g_{s1a} \cdot [(g_{mc1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]} \cdot \frac{1 + \tau_7 \cdot p}{1 + \tau_5 \cdot p + \tau_5 \cdot \tau_6 \cdot p^2} \quad (B.32)$$

avec

$$\tau_7 = \frac{(g_{s1b} + g_i) \cdot C_o}{g_o \cdot (g_{s1b} + g_i) + g_{s1b} \cdot g_i}$$

Les bandes passantes équivalentes de bruit de la source d'entrée, de $M1$, $M2$, $M3$, $M4$ et $Ms1b$ sont égales à:

$$f_{Bn} = \frac{g_{s1a} \cdot [(g_{mc1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]}{4 \{ [(g_o + g_{s1a}) (g_{s1b} + g_i) + g_{s1b} \cdot g_i] \cdot C_{G1} + g_{s1a} \cdot (g_{s1b} + g_i) \cdot C_o \}} \quad (B.33)$$

La bande passante équivalente de bruit de $Ms1a$ est définie par:

$$f_{B_{n_{s1a}}} = f_{Bn} \cdot \left(1 + \frac{C_o}{C_{G1}} \cdot \frac{g_{s1a} \cdot (g_{s1b} + g_i) [(g_{mc1} + g_o) (g_{s1b} + g_i) + g_{s1b} \cdot g_i]}{[g_o \cdot (g_{s1b} + g_i) + g_{s1b} \cdot g_i]^2} \right) \quad (B.34)$$

B.3. Références bibliographiques

- [1] R. BLANCHET
Cours de DEA - Dispositifs de l'Electronique Intégrée: "Amplificateurs - Détecteurs bas niveau"
Ecole Centrale de Lyon, 1990.