

N° d'ordre :

# THESE

Présentée à

L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

Pour obtenir le titre de

**DOCTEUR DE L'UNIVERSITE**

**Spécialité : ELECTRONIQUE**

Par

Dominique LANGREZ



*Transistors à effet de champ bigrilles :  
Nouvelle méthode de caractérisation et étude expérimentale  
des potentialités en ondes millimétriques*

Soutenue le 10 Juillet 1996 devant la commission d'examen

Membres du jury :	MM. E. CONSTANT	Président
	G. SALMER	Directeur de thèse
	J. GRAFFEUIL	Rapporteur
	R. QUERE	Rapporteur
	G. DAMBRINE	Examineur
	J.C. DE JAEGER	Examineur
	B. CARNEZ	Examineur
	P. ROUX	Examineur

*A Patricia,*

*à mes parents.*

## Remerciements

Ce travail a été effectué au sein du *Département Hyperfréquences et Semiconducteurs* de l'*Institut d'Electronique et de Microélectronique du Nord* dirigé par Monsieur le Professeur E. CONSTANT.

Je tiens à exprimer ma sincère reconnaissance envers Monsieur G. SALMER, Professeur à l'Université de Lille I, qui a assuré la direction de ce travail. Ses compétences scientifiques, ses encouragements et ses critiques m'ont été d'une aide précieuse. Je n'oublierai pas la très grande confiance qu'il m'a accordée.

Je remercie vivement Monsieur le Professeur E. CONSTANT directeur de l'IEMN de me faire l'honneur de présider la commission d'examen.

Monsieur J. GRAFFEUIL, Professeur à l'Université de Toulouse, et Monsieur R. QUERE, Professeur à l'Université de Limoges, me font l'honneur de juger ce travail en qualité de rapporteurs. Je leur exprime toute ma reconnaissance.

Monsieur B. CARNEZ, Ingénieur Responsable des modèles et des filières MMIC à THOMSON-TCS (Orsay), et Monsieur P. ROUX, Ingénieur en conception à THOMSON-CNI (Colombes), me font l'honneur de participer à la commission d'examen et d'évaluer ce travail. Je les remercie vivement.

Je voudrais remercier très sincèrement Monsieur J. C. DE JAEGER, Professeur à l'Université de Lille I, pour sa participation à ce jury en tant qu'examinateur. Qu'il trouve dans cette phrase toute mon estime et mes remerciements pour sa disponibilité et ses conseils.

Monsieur G. DAMBRINE, Chargé de Recherche, me fait l'honneur d'examiner ce travail. Sa disponibilité, ses compétences et ses réflexions m'ont été très profitables pour l'élaboration de celui-ci. Je le remercie.

Que dans ces quelques mots, Madame E. DELOS, Ingénieur d'Etudes au sein de la Centrale de Caractérisation du laboratoire, trouve ma plus profonde reconnaissance. Son aide, son dévouement, son courage et sa sympathie m'ont beaucoup touché.

Je remercie tous les membres de la Centrale de Technologie de l'IEMN pour leur aide dans la réalisation des transistors '7 Nains'.

Je ne saurais oublier mes camarades de laboratoire pour toutes les discussions scientifiquement enrichissantes, les services rendus, la sympathie qu'ils m'ont témoignée et l'ambiance de travail.

J'ai pu terminer ce travail dans de bonnes conditions grâce à l'aide de Mesdames M. FARGUE et J. CHARVET. Qu'elles soient toutes deux chaleureusement remerciées.

Enfin, merci à Messieurs J. C. ANDRIES, P. MICHON et J. C. JENNEQUIN de l'Atelier de Mécanique, et à Monsieur J. P. DEHORTER du Service de Reprographie.

# TABLE DES MATIERES

\*\*\*\*\*

<b>INTRODUCTION GENERALE</b> .....	1
<b>CHAPITRE I : Description générale des TECs bigrilles</b> .....	7
I. INTRODUCTION .....	7
II. DESCRIPTION DU COMPOSANT .....	8
III. COMPORTEMENT STATIQUE DU COMPOSANT .....	11
III.1. Montage cascode et réseau composite .....	13
III.2. Modes de fonctionnement et influences des polarisations .....	17
III.2.1. Influence de $V_{G1S}$ à $V_{DS}$ et $V_{G2S}$ fixés .....	19
III.2.2. Influence de $V_{G2S}$ à $V_{DS}$ et $V_{G1S}$ fixés .....	21
III.2.3. Influence de $V_{DS}$ à $V_{G1S}$ et $V_{G2S}$ fixés .....	24
IV. COMPORTEMENT DYNAMIQUE DU COMPOSANT .....	26
IV.1. Schéma équivalent naturel .....	26
IV.2. Schéma équivalent global .....	28
IV.3. Potentialités du transistor bigrille utilisé en quadripôle .....	32
IV.3.1. Quadripôle $G_1D$ avec la grille $G_2$ court-circuitée .....	32
IV.3.2. Quadripôle $G_1G_2$ avec le drain en court-circuit .....	34
IV.3.3. Quadripôle $G_2D$ avec la grille $G_1$ en court-circuit .....	37
V. APPLICATIONS TYPQUES DU COMPOSANT .....	38
V.1. L'amplificateur à gain contrôlé .....	38
V.2. Le mélangeur .....	41
VI. CONCLUSION .....	44
<i>Bibliographie</i> .....	45
<b>CHAPITRE II : Extraction des éléments extrinsèques</b> .....	49
I. INTRODUCTION .....	49
II. LE TRANSISTOR A EFFET DE CHAMP EN REGIME 'FROID' .....	50
II.1. Le schéma équivalent .....	50
II.2. Distribution longitudinale (axe source-drain) .....	52
II.3. Distribution transversale .....	58
III. DETERMINATION DES ELEMENTS PARASITES PARALLELES .....	53
III.1. Schéma équivalent .....	53
III.2. Extraction des capacités parasites .....	66
III.3. Etudes et remarques complémentaires .....	71
III.3.1. Influence de $C_{DSint}$ .....	71
III.3.2. Le 'Scaling' .....	73
III.4. Conclusion .....	74
IV. DETERMINATION DES ELEMENTS PARASITES SERIES .....	76
IV.1. Schéma équivalent .....	76
IV.2. Extraction des éléments séries .....	79
IV.2.1. Détermination des selfs d'accès .....	81
IV.2.1.1. Méthode usuelle .....	81

IV.2.1.2. Prise en compte des capacités parasites.....	83
IV.2.2. Détermination des résistances parasites.....	89
IV.2.2.1. Mesures statiques complémentaires .....	93
IV.2.2.2. Remarques sur les courants de grilles à appliquer.....	96
IV.3. Conclusion.....	102
V. CONCLUSION .....	103
<b>Bibliographie</b> .....	104
<b>CHAPITRE III : Extraction des éléments intrinsèques</b> .....	107
I. INTRODUCTION .....	107
II. LE SCHEMA EQUIVALENT INTRINSEQUE .....	109
III. PREMIERE APPROCHE.....	111
IV. EXTRACTION DES ELEMENTS DU TRANSISTOR $TEC_2$ .....	117
IV.1. Principe général .....	118
IV.2. Mise en oeuvre.....	120
IV.2.1. Première solution .....	120
IV.2.2. Seconde solution.....	123
IV.3. Influence des éléments parasites .....	127
IV.3.1. Influence des éléments parasites séries.....	127
IV.3.2. Influence des éléments parasites parallèles .....	129
IV.4. Conclusion.....	132
V. OBTENTION ET UTILISATION DU RESEAU COMPOSITE.....	133
V.1. Rappels .....	133
V.2. 1 <sup>er</sup> cas : relevé de $I_{DS}(V_{GIS}, V_{DIS})$ .....	135
V.3. 2 <sup>ème</sup> cas : relevé de $I_{DS}(V_{G2D1}, V_{DD1})$ .....	136
V.4. Obtention du réseau composite final .....	137
V.5. Exemple d'utilisation du réseau composite.....	139
VI. EXTRACTION DES ELEMENTS DU TRANSISTOR $TEC_1$ .....	141
VI.1. Principe général .....	141
VI.2. Première méthode .....	145
VI.3. Nouvelle méthode .....	147
VI.4. Influence des éléments parasites .....	149
VI.4.1. Les éléments parasites séries.....	151
VI.4.2. Les éléments parasites parallèles.....	155
VI.5. Conclusion.....	155
VII. CONCLUSION.....	157
<b>Bibliographie</b> .....	159
<b>CHAPITRE IV : Etude et validation des résultats expérimentaux</b> .....	161
I. INTRODUCTION .....	161
II. LE BANC DE MESURE .....	162
II.1. Principe de mesure en hexapôle .....	162
II.2. Correction spécifique des mesures en hexapôle .....	166
II.3. Calibrage du banc '3 portes' .....	171
II.4. Validation du banc de mesure .....	173
II.4.1. Le calibrage .....	174
II.4.2. Même charge vue par deux sondes différentes.....	175

II.4.3. Influence des commutateurs .....	176
II.4.4. Comparaison des mesures .....	177
II.5. Conclusion.....	177
III. PRINCIPAUX RESULTATS.....	179
III.1. Les éléments parasites.....	181
III.1.1. Les capacités parasites parallèles .....	182
III.1.2. Les résistances parasites.....	183
III.1.3. Les selfs d'accès .....	184
III.1.4. Influence de la position des sondes de mesure .....	186
III.2. Les éléments intrinsèques.....	189
III.2.1. Influence de $V_{G1S}$ .....	191
III.2.2. Influence de $V_{G2S}$ .....	195
III.3. Le transistor bigrille Quatuor $0.15\mu\text{m} * 3 * 25\mu\text{m}$ .....	197
III.3.1. Les éléments parasites.....	199
III.3.2. Les éléments intrinsèques.....	200
III.4. Conclusion .....	203
IV. VALIDATION DE LA METHODE DE CARACTERISATION.....	204
IV.1. Comparaison 'bigrille-monogrille' .....	205
IV.2. Comparaison 'mesure-simulation' .....	206
IV.3. Comparaison des paramètres $S_{ij}$ .....	208
IV.4. Autre comparaison des paramètres $S_{ij}$ .....	210
IV.5. Le mélangeur.....	213
V. CONCLUSION.....	216
<i>Bibliographie</i> .....	218

<b>CHAPITRE V : Etude expérimentale des potentialités des TECs bigrilles en gamme d'onde millimétrique</b> .....	221
I. INTRODUCTION.....	221
II. QUELQUES RAPPELS.....	222
III. CONCEPTION ET REALISATION DES COMPOSANTS.....	224
III.1. Structure épitaxiale .....	224
III.2. Présentation et description des masques .....	227
III.2.1. Les transistors.....	228
III.2.2. Les motifs 'test' .....	230
III.3. Description du 'process' technologique.....	231
III.3.1. Les contacts ohmiques .....	231
III.3.2. Isolation des transistors (MESA) .....	232
III.3.3. Gravure du 'recess' et dépôt des grilles.....	235
III.3.4. Epaisissements, passivation et capacités MIM.....	237
III.4. Conclusion .....	238
IV. LES PRINCIPAUX RESULTATS.....	239
IV.1. Régime statique .....	240
IV.2. Les schémas équivalents .....	243
IV.2.1. Influence des tensions $V_{GS}$ et $V_{G1S}$ .....	243
IV.2.2. Influence de la tension $V_{DS}$ .....	246
IV.2.3. Influence de la tension $V_{G2S}$ .....	249
IV.2.4. Influence de la topologie.....	250
IV.3. Les gains en régime 'petit signal' .....	251

IV.3.1. Influence de la fréquence.....	251
IV.3.2. Influence des tensions de polarisation .....	255
IV.4. Premiers résultats de mesure de bruit.....	259
IV.4.1. Etude en basses fréquences.....	259
IV.4.2. Etude en gamme d'ondes millimétriques .....	261
IV.5. Influence des capacités parasites de couplage .....	263
IV.6. Conclusion.....	268
V. CONCLUSION .....	270
<i>Bibliographie</i> .....	271
<b>CONCLUSION GENERALE.....</b>	<b>273</b>
<b>ANNEXES.....</b>	<b>277</b>
<b>PUBLICATIONS ET COMMUNICATIONS .....</b>	<b>299</b>

# ***INTRODUCTION GENERALE***

---



ccroître les performances, repousser les limites de l'impossible sont le but quotidien du chercheur. Dans l'univers de l'électronique, le développement de programmes militaires et spatiaux a largement contribué à cette évolution. Aujourd'hui, d'autres domaines comme les télécommunications, l'informatique, les transports ou encore l'électronique dite grand public, prennent une place très importante dans les activités de recherches des différents laboratoires. Cette course effrénée à l'amélioration des systèmes, les vitesses de plus en plus rapides des calculateurs numériques, ou les quantités d'informations véhiculées par voies hertziennes toujours plus importantes, ont nécessité et nécessitent une montée en fréquence régulière des dispositifs concernés. Cette évolution fréquentielle requiert sans cesse une adaptation des composants électroniques.

Dans le domaine des hyperfréquences, le transistor à effet de champ (TEC), dont le principe fut décrit pour la première fois en 1952 par Schokley [1], a suscité beaucoup d'études et de recherches pour exploiter au mieux ses caractéristiques intéressantes et prometteuses. Les progrès en terme de procédés technologiques ainsi que les études d'optimisation entreprises sur ces composants ont conduit au développement de transistors à hétérojonctions de type pseudomorphique (PM-HEMT : PseudoMorphic High Electron Mobility Transistor), fleurons actuels des composants actifs micro-ondes pour les applications millimétriques. En effet, la

réduction des dimensions des composants, en particulier la longueur de grille (0.1 à 0.15  $\mu\text{m}$ ), ainsi que l'utilisation de matériaux à haute mobilité, ont permis de réduire considérablement les temps de transit des porteurs conférant aux transistors les capacités de fonctionner très haut en fréquence en bande V (50-75GHz), comme W (75-110GHz).

Pour élargir le champ d'action et donc concevoir des fonctions électroniques plus complexes avec un seul composant actif, J. Turner [2] a présenté, en 1971, un transistor à effet de champ sur GaAs doté d'une seconde électrode de commande. Depuis, plusieurs auteurs ont imaginé diverses réalisations basées sur l'utilisation de ce transistor bigrille, montrant ainsi ses richesses fonctionnelles et ses potentialités. Pourtant, il faut l'avouer, ce composant a suscité beaucoup moins d'enthousiasme et d'engouement dans les unités de recherche que son aîné, le transistor simple grille. Les avantages des structures bigrilles, associés aux performances désormais reconnues des transistors pseudomorphiques, apparaissent fort intéressants pour le développement d'applications spécifiques en gamme millimétrique. C'est dans cet état d'esprit et dans le cadre du programme européen CLASSIC (Components for Large Signal Sixty GHz GaAs Integrated Circuits), qui vise à développer de nouvelles technologies pour des applications de télécommunications entre mobiles vers 60GHz, que notre travail s'insère.

De façon plus précise, le transistor bigrille, hormis ses caractéristiques intéressantes, présente une topologie qui le prédestine à la fonction de mélange : un accès pour chacun des signaux radiofréquence (RF), oscillateur local (OL) et fréquence intermédiaire (FI). Les avantages d'une telle configuration sont d'une part, de profiter de l'isolation naturelle entre les deux grilles pour découpler la RF et l'OL, et d'autre part, de simplifier la topologie du mélangeur en raison de la séparation physique de ces deux signaux (réseaux d'adaptation indépendants). Pour réaliser un tel mélangeur, le concepteur nécessite d'un grand nombre d'informations expérimentales du composant actif utilisé. C'est dans cette optique que notre contribution s'oriente.

Extraire un schéma équivalent complet et précis du composant en fonction des excitations extérieures que sont les polarisations, est la raison principale de ce travail.

Le thème de notre étude repose sur la caractérisation du transistor à effet de champ de type bigrille afin d'en modéliser le fonctionnement et de l'implanter au sein d'un simulateur électrique. Les composants que nous étudierons appartiennent à la famille des transistors HEMT pseudomorphiques et sont dotés de grilles de longueur  $0.15 \mu\text{m}$ .

Notre méthode se veut la plus physique et la plus directe possible évitant ainsi toute forme d'optimisation numérique qui devient délicate avec un nombre non négligeable de paramètres. En effet, pas moins de 27 éléments constituent le schéma électrique équivalent que nous avons retenu. Pour déployer et mettre en oeuvre la méthodologie d'extraction, nous avons développé au sein du laboratoire, un banc de mesure spécifique permettant l'acquisition de la matrice de dispersion de l'hexapôle sous test, à partir d'un analyseur de réseau vectoriel '2-portes' classique. La fiabilité des mesures a été validée par des comparaisons de paramètres  $S_{ij}$  mesurés par les moyens de caractérisation de Thomson TCS.

Ce mémoire est partagé en cinq chapitres dont voici les principaux axes.

Dans le premier chapitre, nous présentons le transistor à effet de champ de type bigrille en tant que composant discret en mentionnant quelques applications classiques rencontrées dans la littérature. Des considérations physiques sur la topologie du composant aboutiront au choix d'un schéma électrique équivalent : étape importante avant le développement d'un procédé de caractérisation.

Le deuxième chapitre décrit toute la méthodologie mise en place pour extraire le plus précisément possible l'environnement parasite du composant considéré. Nous verrons que le principe utilisé découle directement de celui développé par G. Dambrine pour le cas des TECs monogrilles. Deux étapes permettent de déterminer en régime froid ( $V_{DS}=0V$ ) les éléments extrinsèques séries et parallèles.

C'est dans le troisième chapitre que nous aborderons et décrirons toute la procédure mise en oeuvre pour extraire le schéma équivalent intrinsèque complet du transistor bigrille. Nous verrons que la complexité de ce dernier nous impose plusieurs phases de mesure et de calcul pour mener à bien cette détermination. Un soin particulier a été apporté à cette méthode de caractérisation dans la zone de polarisation retenue pour le fonctionnement du composant en mélangeur.

Le quatrième chapitre aborde l'aspect expérimental de notre étude. Toutes les mesures dynamiques ont été entreprises grâce au développement d'un banc de mesure sous pointes spécifiques aux hexapôles et permettant l'acquisition des paramètres de la matrice Scattering jusque 26.5GHz. Les principaux résultats jumelés à de multiples confrontations de natures différentes valideront notre principe de caractérisation.

Enfin, le cinquième et dernier chapitre se veut un peu plus prospectif, et repose sur l'étude expérimentale des potentialités des composants à effet de champ bigrilles en gamme d'ondes millimétriques. Nous avons spécialement conçu et réalisé une famille de sept transistors pour cette étude, et nous montrerons les sérieux avantages que présentent ces composants utilisés en configuration cascode, face aux limitations rencontrées avec les TECs monogrilles dus aux effets dits de 'canal court'.

## ***BIBLIOGRAPHIE***

---

- [1] W. SHOCKLEY  
*'A unipolar field effect transistor'*  
Proc. IRE, Vol. 40, Nov. 1952, pp 1365-1376
  
- [2] J. A. TURNER, A. J. WALLER, E. KELLY, D. PARKER  
*'Dual gate gallium-arsenide microwave field effect transistors'*  
Electron. letters, Vol. 7, Nov. 1971, pp 661-662



## **CHAPITRE I**

*"Description générale des TECs bigrilles"*

# CHAPITRE I

---

## I. INTRODUCTION

---

La caractérisation d'un composant, quel qu'il soit, nécessite la connaissance préalable de son comportement et de son fonctionnement. En effet, il faut être capable de mettre en valeur et rendre prépondérant le phénomène ou la caractéristique que nous souhaitons apprécier et quantifier, afin de s'affranchir d'autres effets environnementaux et perturbants. En d'autres termes, cela signifie que nous devons connaître en profondeur ce que nous voulons mesurer. C'est pourquoi, il nous semble incontournable de présenter dans ce premier chapitre, qui se veut introductif, le transistor à effet de champ de type bigrille.

Nous décrirons le composant par lui-même, ainsi que ses différents régimes de fonctionnement statiques, régis par l'influence des potentiels de chacune de ses électrodes. Des considérations physiques nous conduiront au schéma équivalent électrique petit signal, dont aucun élément parasite ne peut être négligé pour des applications millimétriques. Notons que nous avons retenu, après validation, la configuration dite 'cascode', qui a l'avantage de considérer le transistor bigrille comme étant équivalent à l'association de deux transistors monogrilles.

Nous terminerons ce chapitre par une brève présentation de quelques applications typiques du transistor bigrille.

## II. DESCRIPTION DU COMPOSANT

Le transistor à effet de champ de type bigrille est tout à fait identique au composant simple grille, sauf qu'il est doté d'une seconde grille notée  $G_2$ , située entre la première grille et le drain. La figure I.1 présente schématiquement la topologie en structure 'planar' d'un tel composant : deux contacts Schottky sont déposés entre deux contacts ohmiques formant les électrodes de source et de drain. Ainsi, deux grilles commandent l'épaisseur du canal sous chacune d'elles, au rythme des polarisations qui leur sont appliquées, modulant le courant circulant entre drain et source. Le principe du transistor à effet de champ est respecté.

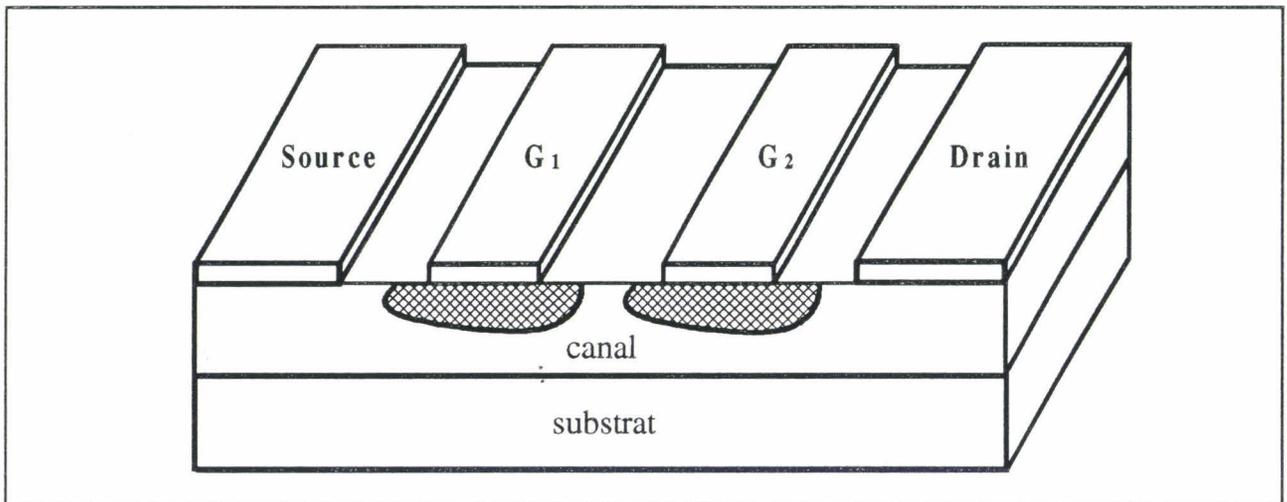


Figure I.1 : Topologie schématique d'un TEC bigrille.

L'obtention des meilleures performances dans le domaine des hautes fréquences nécessite l'optimisation des matériaux, de la topologie et de la structure de base des composants. Tout comme pour le transistor monogrille [1], l'utilisation de matériaux à haute mobilité et la réduction des longueurs de grille vers des dimensions submicroniques, assurent aux transistors bigrilles d'excellentes caractéristiques, telles que fréquence de coupure et gain élevés. Il ne rentre pas dans la perspective de ce travail de discuter plus en détail de ce point, largement évoqué par ailleurs.

La figure I.2, non à l'échelle, décrit un composant typique réalisé par le fondeur Thomson TCS dans le cadre du programme européen CLASSIC [2]. Ce type de composant, que nous serons amenés à caractériser, est plus particulièrement dédié aux applications millimétriques en bande V (50-75 GHz).

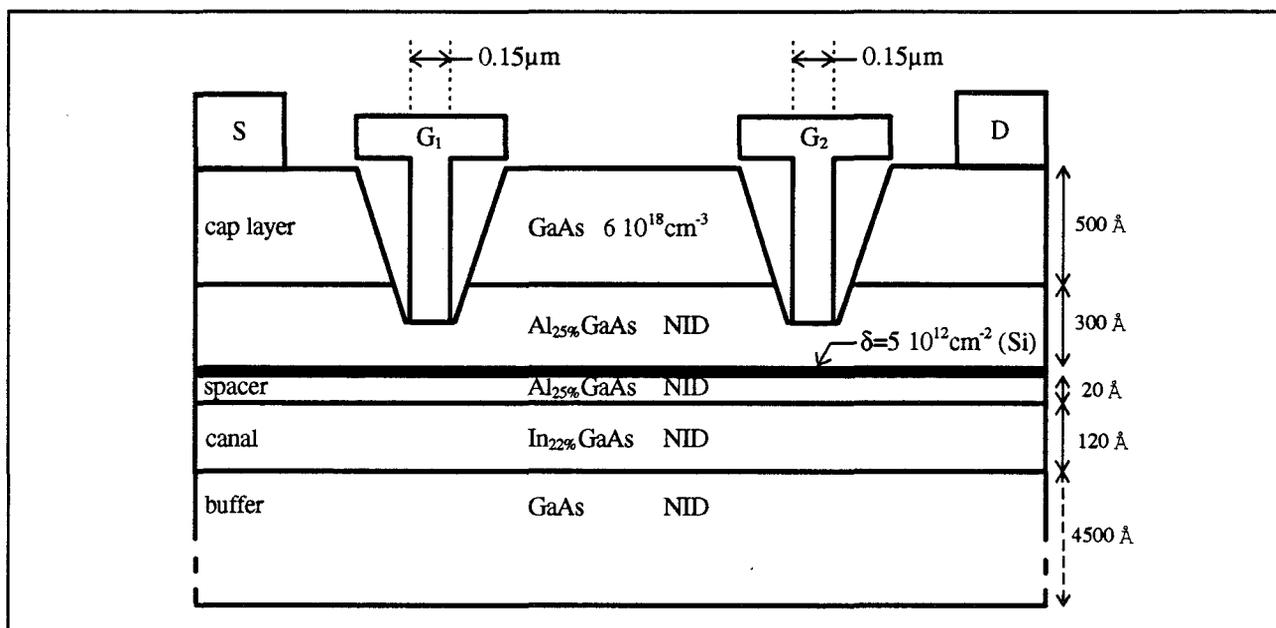
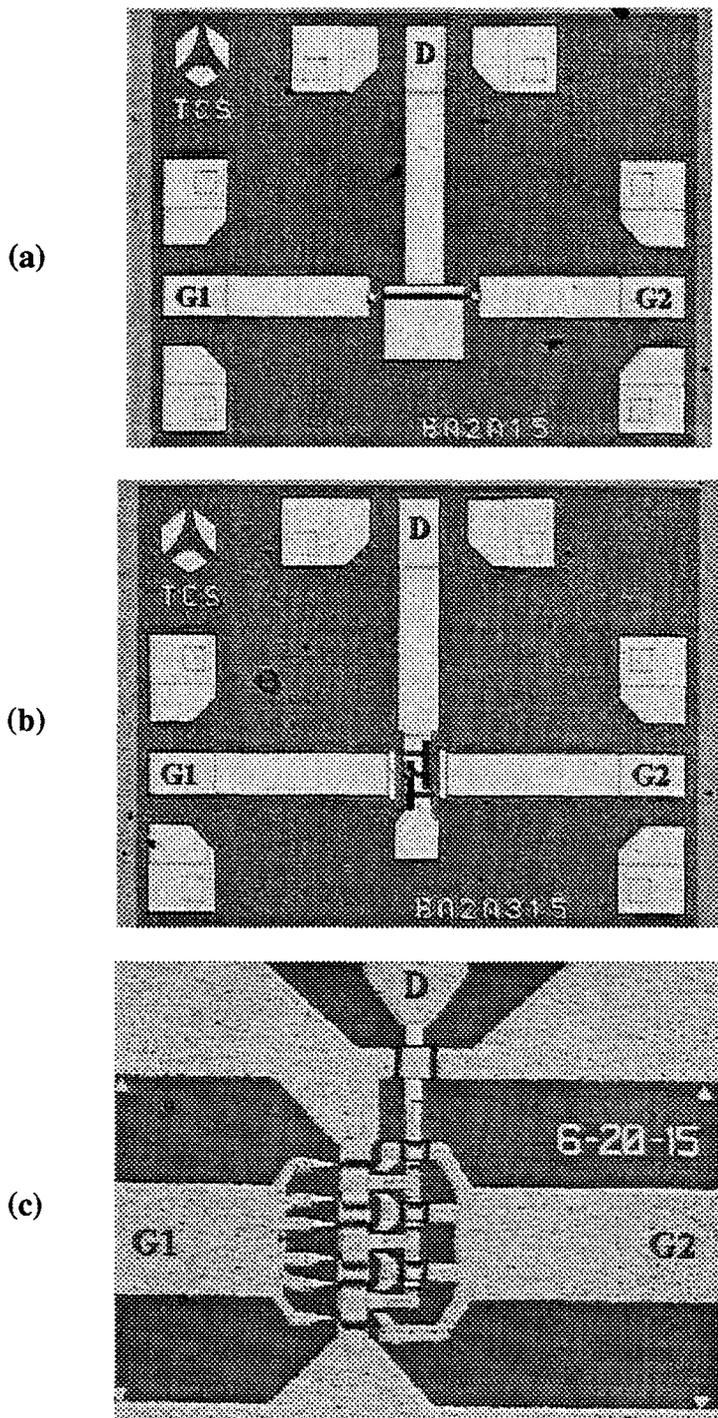


Figure I.2 : Structure épitaxiale typique d'un TEC bigrille pseudomorphe.

Nous reconnaissons une structure pseudomorphe à hétérojonction AlGaAs/InGaAs dans laquelle la conduction a lieu dans le puits de potentiel localisé dans l'InGaAs, matériau présentant d'excellentes propriétés de mobilité et de vitesse [3]. La fine couche d'AlGaAs non intentionnellement dopée, appelée 'spacer', sépare physiquement les porteurs libres du canal des atomes ionisés, minimisant ainsi leurs interactions. La barrière de potentiel présente à l'interface InGaAs/GaAs empêche ou diminue l'injection parasite de porteurs dans le buffer, ce qui contribue à améliorer la conductance de sortie. Afin de réduire les résistances d'accès, une dernière couche de GaAs dopée à  $6 \cdot 10^{18}$  at/cm<sup>3</sup> et notée 'cap layer', est épitaxiée en surface.



*Photos I.1 : Exemples de topologies de transistors bigrilles.*

*(a) :  $0.15\mu\text{m} \times 1 \times 150\mu\text{m}$  (Thomson TCS)*

*(b) :  $0.15\mu\text{m} \times 3 \times 50\mu\text{m}$  (Thomson TCS)*

*(c) :  $0.25\mu\text{m} \times 6 \times 20\mu\text{m}$  (Daimler Benz)*

Celle-ci conduit cependant la technologie à 'enterrer' et déposer les grilles sur la couche d'AlGaAs non dopée, pour interdire toute conduction parallèle et parasite de type MESFET dans le 'cap'. Enfin, remarquons que les grilles, en forme de 'T' pour diminuer leur résistance métallique, présentent des longueurs très courtes de l'ordre de  $0.15\mu\text{m}$ , afin de réduire notablement les temps de transit sous chacune d'elles ; condition nécessaire mais non suffisante pour un fonctionnement aux fréquences millimétriques.

Sur les photos **I.1a** et **I.1b** apparaissent deux types de configuration de transistors bigrilles fabriqués par Thomson TCS ; il s'agit de composants en structure 'microstrip' directement mesurables sous pointes, dont la principale différence ne réside qu'en leur nombre de doigts par grille (respectivement un et trois doigts). Notons que si plusieurs doigts permettent d'abaisser avantageusement les résistances d'accès, ils compliquent en revanche la topologie du composant. En effet, il faut avoir recours aux ponts à air pour relier électriquement les plots de source et de drain. Cette complexité devient très sérieuse lorsque le transistor est réalisé en structure coplanaire : à titre d'exemple, un composant avec six doigts par grille et fabriqué par Daimler-Benz, est présenté sur la photo **I.1c**.

### **III. COMPORTEMENT STATIQUE DU COMPOSANT**

Le comportement statique du transistor à effet de champ est généralement représenté graphiquement par sa réponse en courant Drain-Source  $I_{DS}$  en fonction des polarisations externes. Quelques caractéristiques importantes, à l'image des performances du composant, sont extraites de ces courbes [4], comme la conductance de sortie 'gd' ou la transconductance 'gm', reflétant respectivement les courants de fuite parasites et la commandabilité du TEC, lorsque ce dernier est en régime saturé.

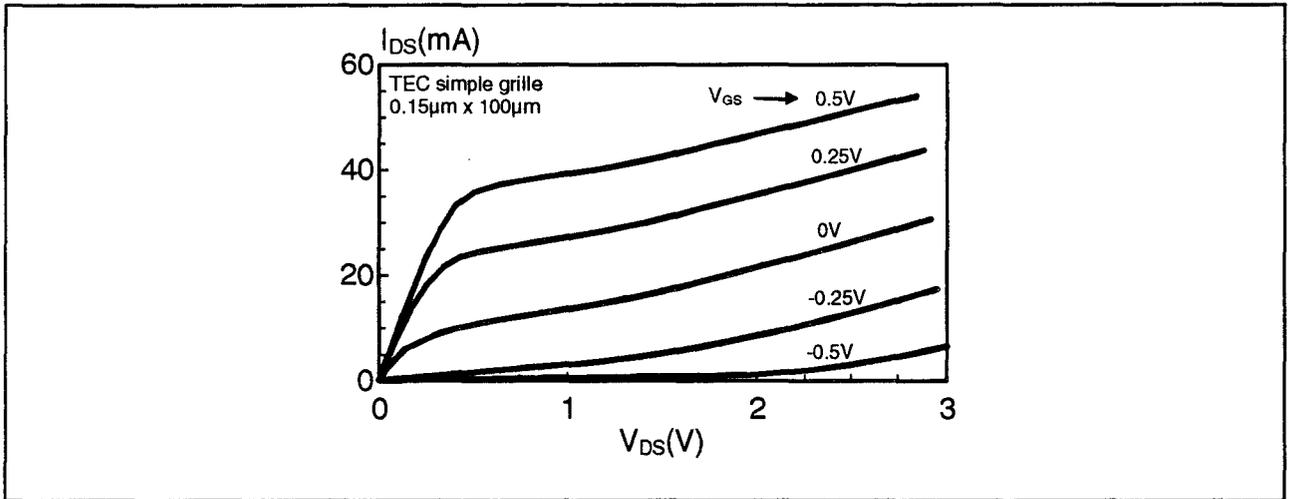


Figure I.3 : Caractéristiques statiques  $I_{DS}(V_{DS}, V_{GS})$  d'un transistor simple grille.

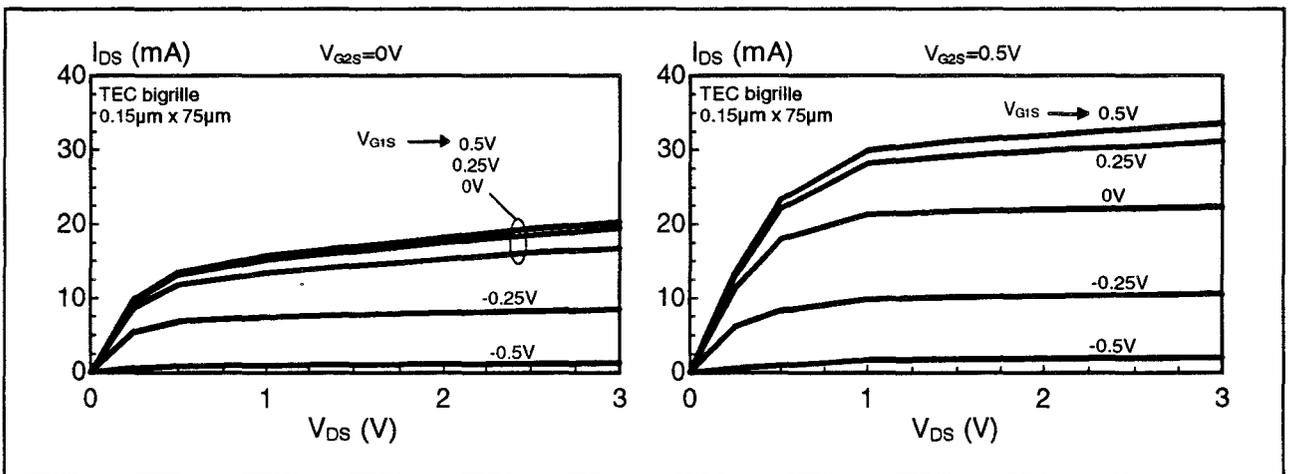


Figure I.4 : Caractéristiques statiques  $I_{DS}(V_{DS}, V_{G1S}, V_{G2S})$  d'un transistor bigrille pour 2 valeurs de  $V_{G2S}$ .

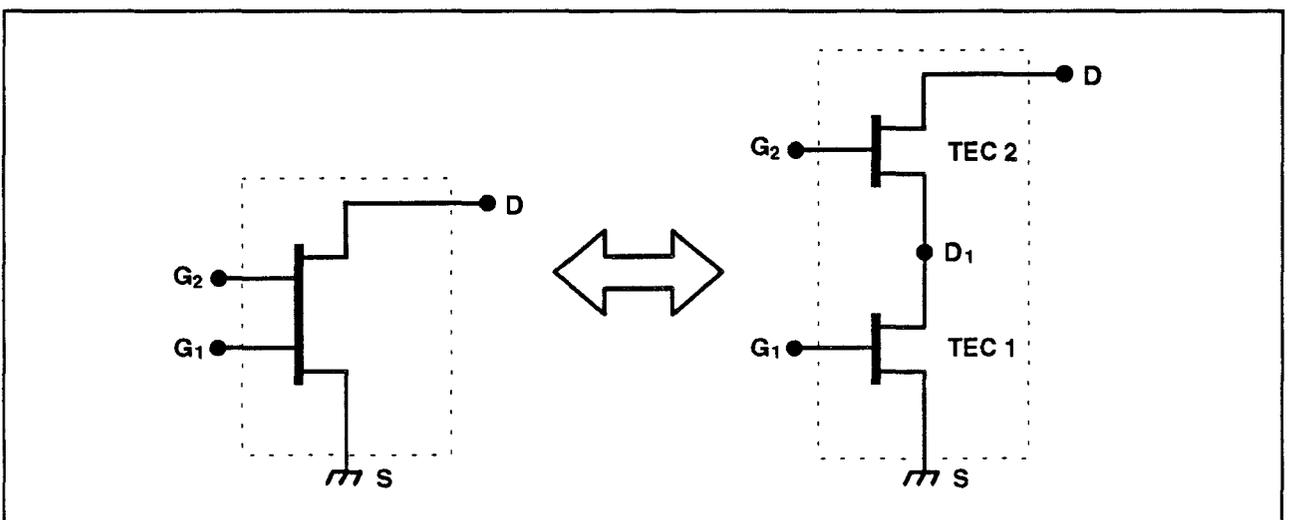


Figure I.5 : Représentation classique du TEC bigrille (montage cascode).

Rappelons que :

$$g_d = \left. \frac{\Delta I_{DS}}{\Delta V_{DS}} \right|_{V_{GS} = \text{cste}} \quad \text{et} \quad g_m = \left. \frac{\Delta I_{DS}}{\Delta V_{GS}} \right|_{V_{DS} = \text{cste}}$$

Sur la figure I.3 apparaît un exemple de réponse  $I_{DS}(V_{DS}, V_{GS})$  d'allure classique pour un transistor monogrille de développement de grille  $0.15\mu\text{m} \times 100\mu\text{m}$ . Ce type de courbes peut être établi de façon analogue pour les transistors bigrilles, mais avec une dimension supplémentaire due à la présence de la seconde grille. Nous obtenons ainsi une famille de réseaux paramétrés en  $V_{G2S}$  comme sur la figure I.4.

### III.1. Montage cascode et réseau composite

La nature et la topologie du TEC bigrille ont conduit naturellement et logiquement plusieurs auteurs [5,6,7] à considérer ce composant comme étant l'association de deux transistors monogrilles en configuration cascode (figure I.5).

L'étude des principaux paramètres physiques (concentration de porteurs, vitesse, champ électrique...) au sein de la structure bigrille, montre que le champ électrique moyen demeure très faible entre les grilles, le long de l'axe longitudinal source-drain, ce qui implique une variation de potentiel dans cette zone presque négligeable. Ces résultats, obtenus à partir de simulations physiques utilisant un modèle, soit bidimensionnel [8,9], soit pseudo-bidimensionnel [10], valident la configuration cascode envisagée.

Un exemple d'évolution de ces grandeurs, issues du modèle pseudo-bidimensionnel dérivé de celui développé au sein du laboratoire pour les TECs monogrilles [11], est présenté sur la figure I.6. Le composant de type pseudomorphique, doté de grilles longues de  $0.15\mu\text{m}$  et distantes de  $1\mu\text{m}$ , a été simulé dans les conditions de polarisation suivantes :  $V_{DS}=4\text{V}$ ,  $V_{G1S}=0\text{V}$  et

$V_{G2S}=2V$ . Ce graphe montre clairement que les phénomènes relatifs à chaque grille (pic de champ en sortie de grille et variation de potentiel associée) sont parfaitement découplés, ce qui confirme l'hypothèse cascode.

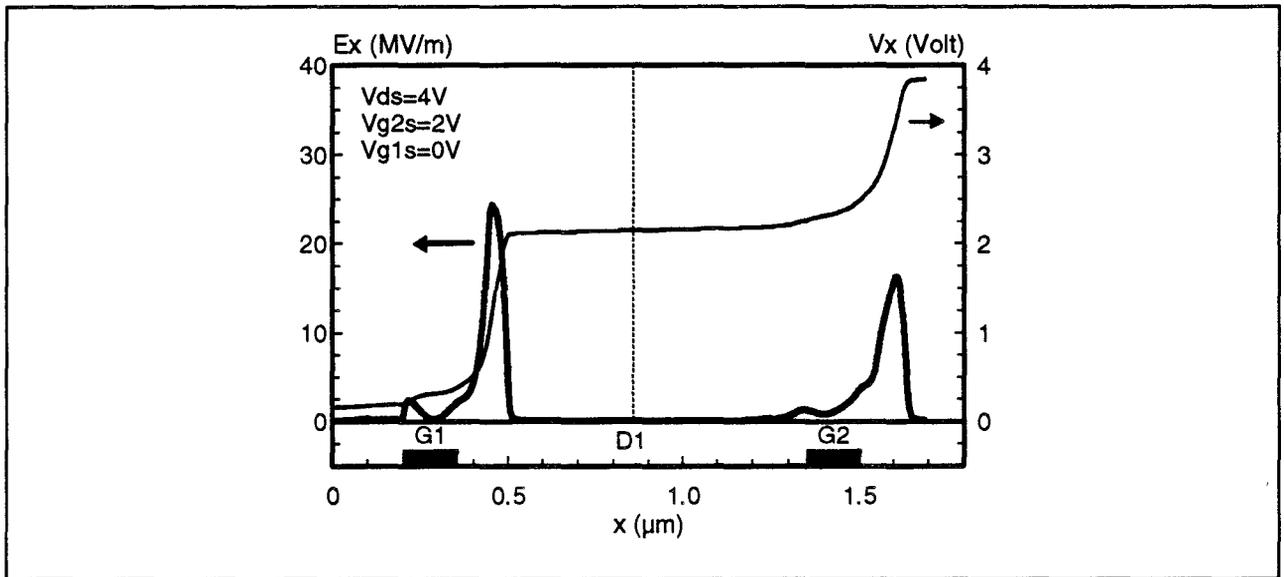


Figure I.6 : Evolution du champ électrique  $Ex$  et du potentiel interne  $Vx$  le long de l'axe longitudinal du TEC bigrille.

Ajoutons que cette configuration reste valable tant que les zones désertées sous chaque grille ne se chevauchent pas, et que les porteurs chauds en sortie de première grille aient le temps de se refroidir, avant de transiter sous la seconde. Une distance intergrille minimale existe donc, et des résultats issus de simulations bidimensionnelles montrent qu'elle est de l'ordre de  $0.2\mu\text{m}$  pour des longueurs de grille de  $0.3\mu\text{m}$  [12]. Physiquement, cette limite est rarement atteinte, compte tenu de la topologie en 'T' presque systématique des grilles, qui imposent naturellement un éloignement des pieds de grilles.

Cette représentation 'cascode', très utile pour analyser et comprendre les phénomènes et comportements fondamentaux, fait apparaître sur la figure I.7 un point noté  $D_1$  dans la zone intergrille. Ce dernier, situé à équidistance des deux grilles, sera considéré comme équivalent



Ce réseau, dit composite (figure I.8), peut être complété par les courbes  $I_{DS}(V_{D1S}, V_{G2S})$  par le biais de la relation (2). L'ajout de ces courbes (figure I.9) apporte un intérêt supplémentaire à cette représentation, car elle permet de déduire la valeur du potentiel du point D<sub>1</sub>, interne à la structure, en fonction des polarisations externes.

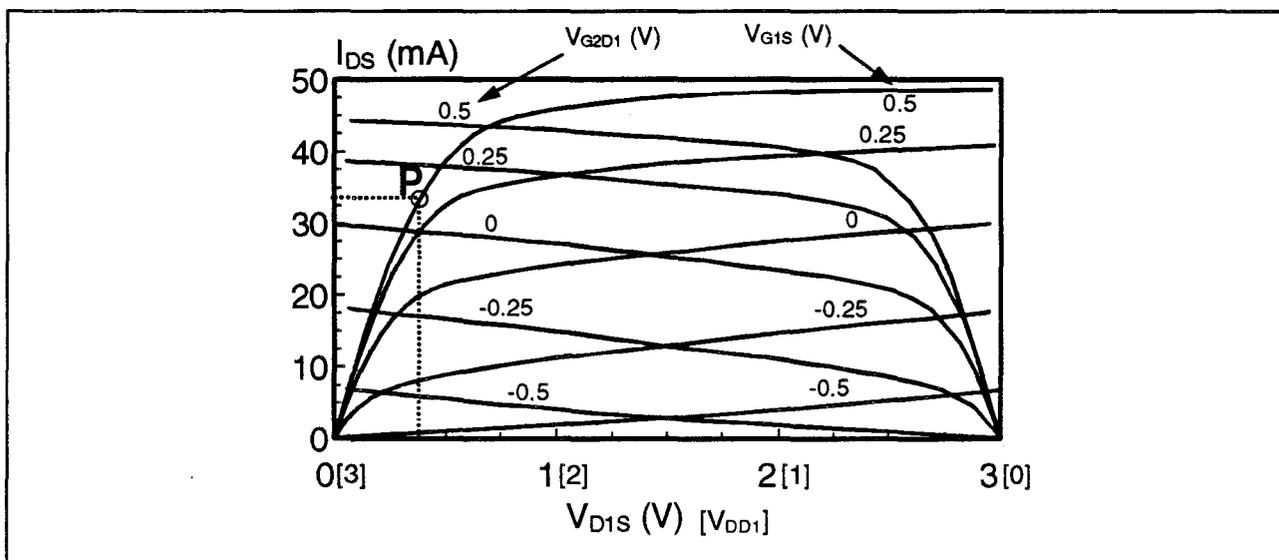


Figure I.8 : Réseau composite d'un TEC bigrille ( $0.15\mu\text{m} \times 75\mu\text{m}$ ) en fonction des commandes internes  $V_{G1S}$  et  $V_{G2D1}$  à  $V_{DS}=3\text{V}$ .

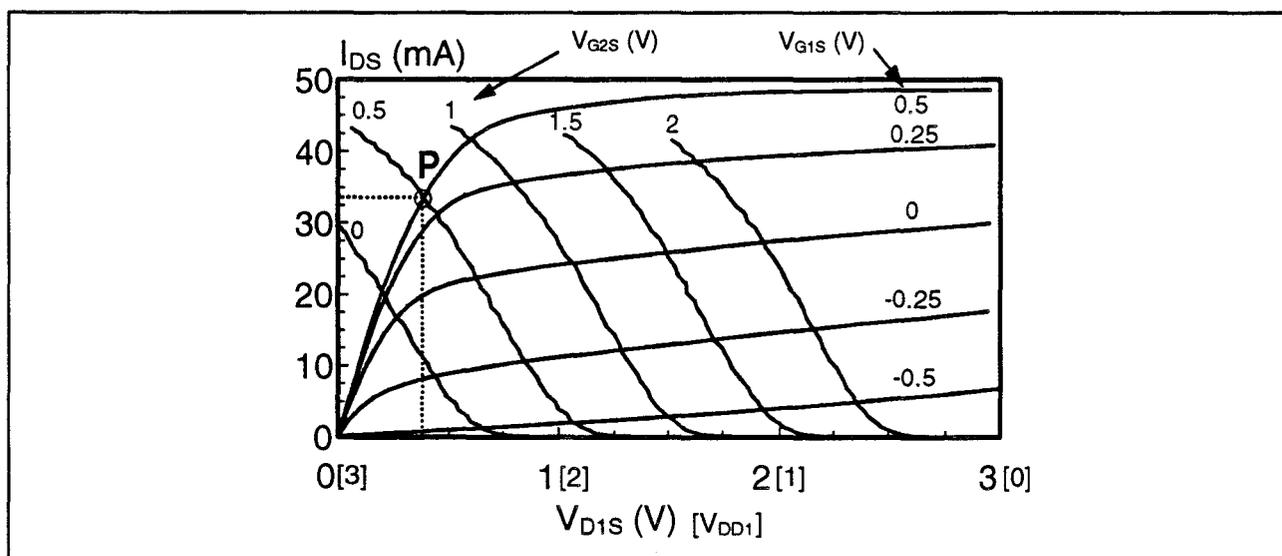


Figure I.9 : Réseau composite d'un TEC bigrille ( $0.15\mu\text{m} \times 75\mu\text{m}$ ) en fonction des commandes externes  $V_{G1S}$  et  $V_{G2S}$  à  $V_{DS}=3\text{V}$ .

A titre d'exemple, le point P des figures I.8 et I.9, image des polarisations externes  $V_{DS}=3V$ ,  $V_{G1S}=0.5V$  et  $V_{G2S}=0.5V$ , correspond, pour un courant de 33.5mA, à la répartition des potentiels internes suivante :

$$V_{D1S}=0.38V \text{ et } V_{G1S}=0.5V \Rightarrow \text{régime linéaire pour le TEC}_1$$

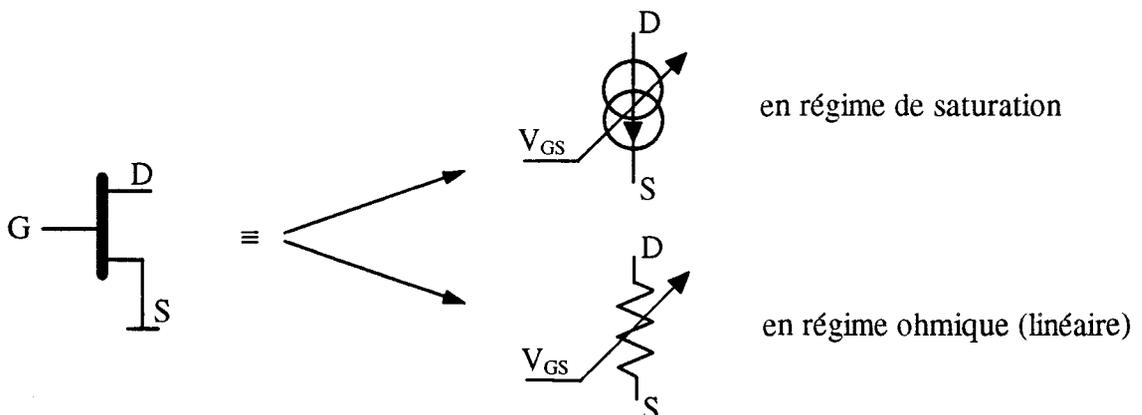
$$V_{DD1}=2.62V \text{ et } V_{G2D1}=0.12V \Rightarrow \text{régime saturé pour le TEC}_2$$

Ainsi, le régime de fonctionnement sous chaque grille (saturé ou ohmique) peut être identifié très précisément en fonction des polarisations externes, ce qui peut être utile pour le développement et la mise au point d'applications.

Remarquons enfin, que ce point D<sub>1</sub>, potentiellement flottant, est inaccessible à la mesure. Nous décrirons la méthode qui permet de s'affranchir de cette difficulté, afin de construire ces réseaux composites.

### III.2. Modes de fonctionnement et influences des polarisations

Les notions de régimes 'saturé' et 'ohmique', abordées dans le paragraphe précédent, sous-entendent deux comportements différents du transistor à effet de champ simple grille. Rappelons qu'en régime de saturation ( $V_{DS}$  élevé), le transistor est équivalent à une source de courant indépendante de  $V_{DS}$  et commandée par  $V_{GS}$ , alors qu'en régime ohmique ( $V_{DS}$  faible), il peut être assimilé à une résistance dont la valeur est fonction de  $V_{GS}$ .



Pour le transistor bigrille, il existe donc quatre modes de fonctionnement distincts, définis par l'état de chaque TEC équivalent, comme le montre la figure I.10.

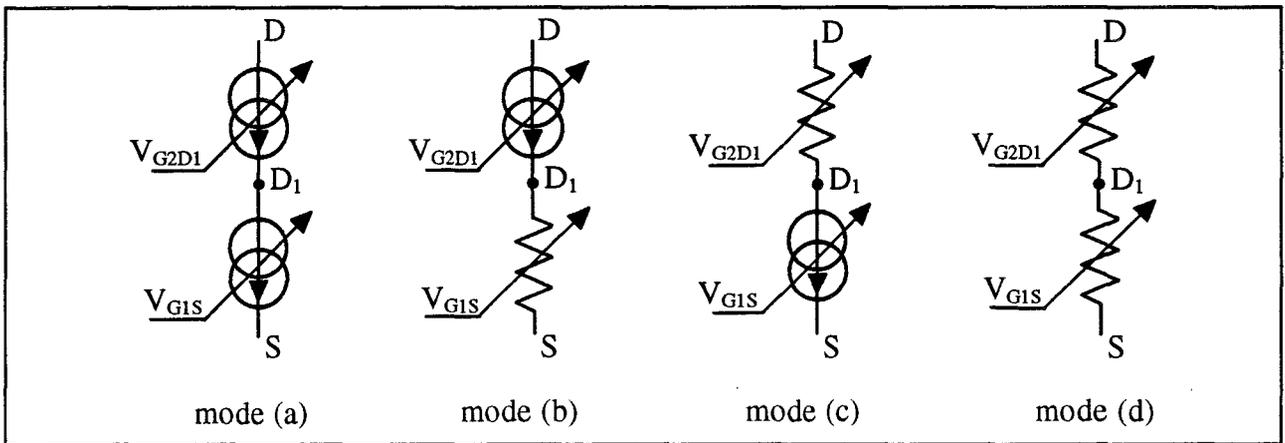


Figure I.10 : Différents modes de fonctionnement du TEC bigrille.

Nous distinguons :

- mode (a)  $\Rightarrow$  Ce mode correspond à la saturation des deux TECs qui agissent en tant que sources de courant, pilotées par les commandes respectives  $V_{G1S}$  et  $V_{G2D1}$ .
- mode (b)  $\Rightarrow$  Dans ce régime, seul le  $TEC_2$  se comporte en source de courant, alors que le  $TEC_1$  s'apparente à un élément résistif commandé en tension et équivalent à une résistance de source supplémentaire pour le  $TEC_2$ .
- mode (c)  $\Rightarrow$  Dans ce cas, le  $TEC_2$  est équivalent, pour le  $TEC_1$  opérant en régime saturé, à une résistance de drain commandée en tension. Ce régime est complémentaire du mode (b).
- mode (d)  $\Rightarrow$  Ce dernier comportement s'identifie à celui de deux résistances en série et commandées en tension.

Nous verrons plus loin dans ce chapitre, que certains modes de fonctionnement sont privilégiés pour des applications bien spécifiques telles que mélangeurs ou amplificateurs à gain contrôlé. Il nous semble donc intéressant de présenter ci-après l'influence des polarisations externes sur ces modes, afin de comprendre au mieux les réactions et le comportement du bigrille.

Il est évident que la nature du fonctionnement est fixée par les tensions internes  $V_{D1S}$  et  $V_{DD1}$ , équivalentes aux polarisations drain-source de chaque TEC constituant le bigrille. Etudions donc l'évolution de ces tensions en fonction de  $V_{G1S}$ ,  $V_{G2S}$  et  $V_{DS}$ .

### III.2.1. Influence de $V_{G1S}$ à $V_{DS}$ et $V_{G2S}$ fixés

Le réseau composite simplifié de la figure I.11, établi pour  $V_{DS}=3V$  et  $V_{G2S}=1.5V$  montre que de l'augmentation de  $V_{G1S}$  découlent deux conséquences :

- la première, prépondérante, concerne la croissance du courant dans la structure
- la seconde est relative à la diminution de la tension  $V_{D1S}$  (ou l'augmentation de  $V_{DD1}$ ).

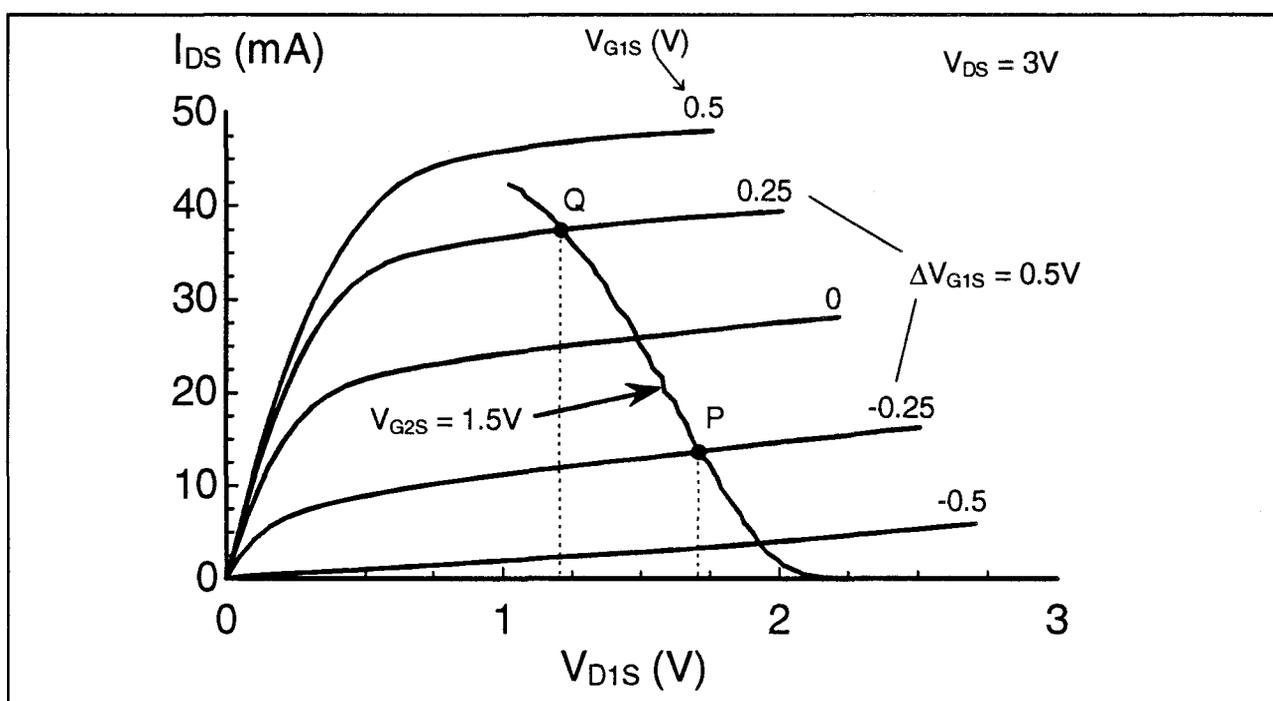


Figure I.11 : Caractéristique statique du TEC bigrille en fonction de  $V_{G1S}$  ( $V_{DS}$  et  $V_{G2S}$  constants).

Cette variation de  $V_{DIS}$  s'explique par le fait que la tension de commande  $V_{G2D1}$  du  $TEC_2$  suit celle du  $TEC_1$ , c'est-à-dire  $V_{G1S}$ . Ce phénomène n'est possible que grâce au potentiel flottant du point intergrille  $D_1$ , qui s'aligne automatiquement car les deux transistors sont parcourus par le même courant. Ainsi, quel que soit le mode de fonctionnement, l'augmentation de  $V_{G1S}$  entraîne celle de  $V_{G2D1}$ , et provoque la diminution de  $V_{DIS}$ , car  $V_{G2S}$  est maintenue constante, ce qui se lit dans l'expression (2) rappelée ci-dessous :

$$V_{G2S} = \cancel{V_{G2D1}} + \cancel{V_{DIS}} = \text{constante}$$

Le cas particulier du mode (a), dans lequel les deux transistors opèrent en régime de saturation, suscite une approximation tout à fait légitime quant à la valeur de la tension de commande  $V_{G2D1}$ . En effet, nous pouvons écrire :

$$V_{G2D1} \approx V_{G1S}$$

Cette approximation permet d'apprécier la valeur de  $V_{DIS}$  à partir de la relation (2) qui devient :

$$V_{DIS} \approx V_{G2S} - V_{G1S} \quad (3)$$

Nous en déduisons que l'amplitude de la variation  $\Delta V_{DIS}$  est du même ordre de grandeur que  $\Delta V_{G1S}$ , ce que nous vérifions sur le réseau : une augmentation de 0.5V en  $V_{G1S}$  (P → Q) engendre une variation de -0.5V de la valeur de  $V_{DIS}$ .

Nous retrouvons d'ailleurs ces derniers résultats en reportant graphiquement l'évolution théorique du potentiel moyen  $V_x$  interne à la structure pour différentes valeurs de  $V_{G1S}$  (figure I.12). Ces courbes, obtenues à partir du modèle pseudo-bidimensionnel précédemment évoqué, concernent un transistor pseudomorphique de longueur de grille 0.15 $\mu$ m et de distance intergrille 1 $\mu$ m [10]. Les conditions de polarisations sont telles que les deux transistors équivalents opèrent en régime saturé. Il apparaît nettement que, dans ce mode de fonctionnement, l'augmentation de

la polarisation de la première grille provoque une chute de potentiel du point interne  $D_1$  dans les mêmes proportions, ce qui corrobore les constatations faites à partir du réseau composite.

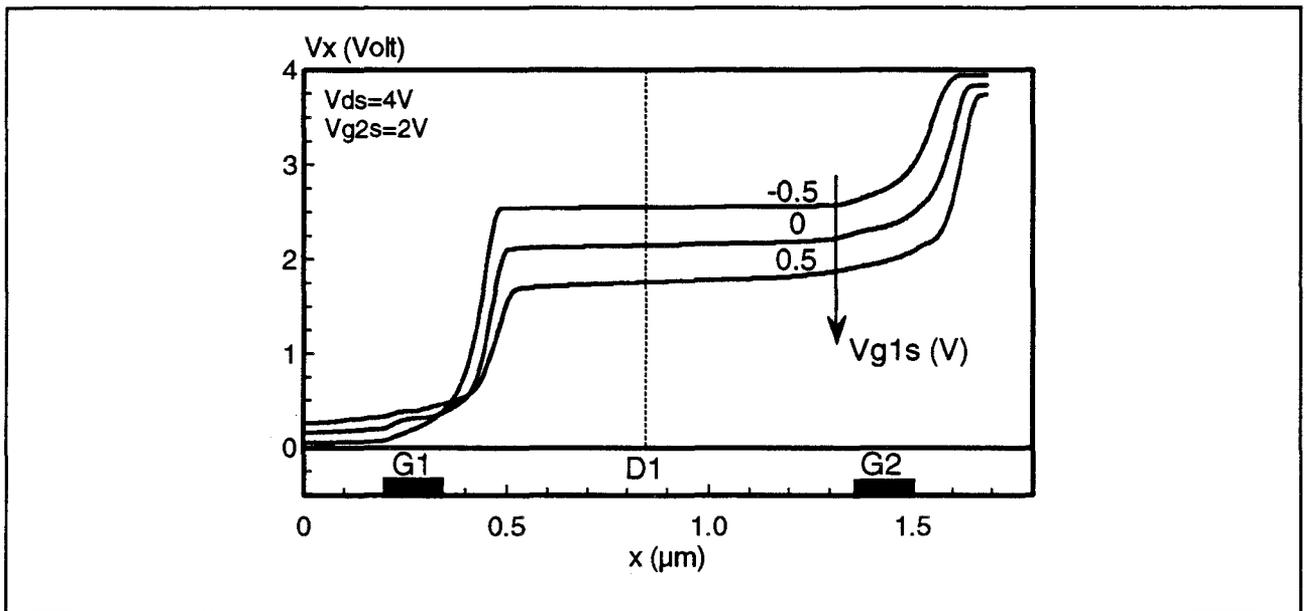


Figure I.12 : Evolution du potentiel interne  $V_x$  le long de l'axe longitudinal d'un TEC bigrille en fonction de  $V_{G1s}$ .

Le tableau, ci-après, résume les effets observés sur les polarisations internes de chaque transistor équivalent :

Cause	Effets
$V_{G1s}$ ↗	$V_{G1s}$ ↗ et $V_{D1s}$ ↘ pour $TEC_1$
	$V_{G2D1}$ ↗ et $V_{DD1}$ ↗ pour $TEC_2$

### III.2.2. Influence de $V_{G2s}$ à $V_{DS}$ et $V_{G1s}$ fixés

Nous avons vu, que le potentiel flottant du point interne  $D_1$  fixe automatiquement la tension de commande du  $TEC_2$ , ce qui procure à la seconde grille une particularité que nous

tenons à souligner. La tension de polarisation  $V_{G2S}$  peut s'étendre de ce fait, de la tension de pincement  $V_p$  jusqu'à la tension  $V_{DS}$ , sans aucun dommage ni risque de conduction directe de la barrière Schottky :

$$V_p \leq V_{G2S} \leq V_{DS}$$

Le balayage complet de cette plage de variation conduit le transistor bigrille à fonctionner dans trois régimes différents, selon la valeur de  $V_{G2S}$ . En effet, il ressort du réseau de la figure I.13, qu'une augmentation de  $V_{G2S}$  entraîne la tension  $V_{D1S}$  dans le même sens : pour de faibles valeurs proches du pincement, nous rencontrons le mode (b) décrit précédemment, des valeurs moyennes engendrent le mode (a) et de fortes valeurs voisines de  $V_{DS}$  aboutissent au mode (c).

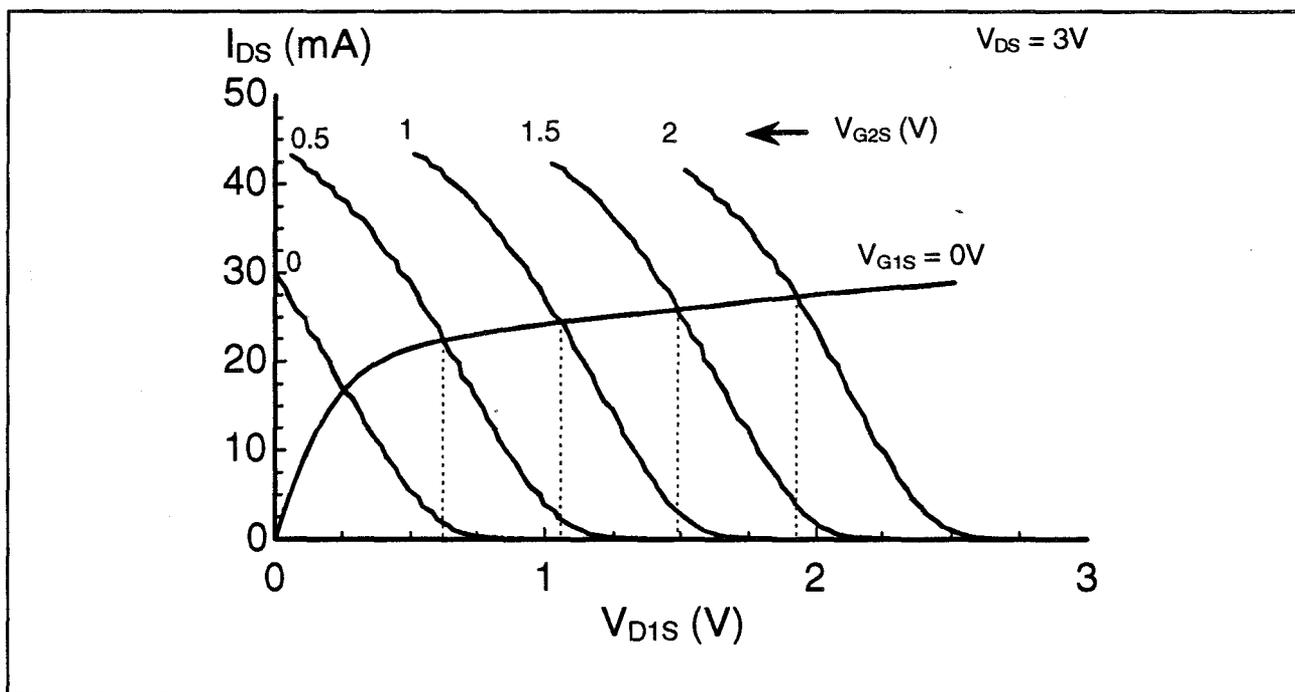


Figure I.13 : Caractéristique statique du TEC bigrille en fonction de  $V_{G2S}$  ( $V_{DS}$  et  $V_{G1S}$  constants).

Cette seconde grille contrôle donc le potentiel du point  $D_1$  de manière décisive. La relation (3), valable en mode (a), permet d'écrire que la tension  $V_{D1S}$  suit celle de la polarisation  $V_{G2S}$ , à la valeur  $V_{G1S}$  près. Le réseau précédent atteste ce résultat :

$$\begin{aligned}
&\text{à } V_{G1S}=0V \quad \text{et} \quad V_{G2S}=0.5V \quad \Rightarrow \quad V_{DIS} \approx 0.65V \\
&\quad \quad \quad \text{et} \quad V_{G2S}=1.0V \quad \Rightarrow \quad V_{DIS} \approx 1.05V \\
&\quad \quad \quad \text{et} \quad V_{G2S}=1.5V \quad \Rightarrow \quad V_{DIS} \approx 1.50V \\
&\quad \quad \quad \text{et} \quad V_{G2S}=2.0V \quad \Rightarrow \quad V_{DIS} \approx 1.90V
\end{aligned}$$

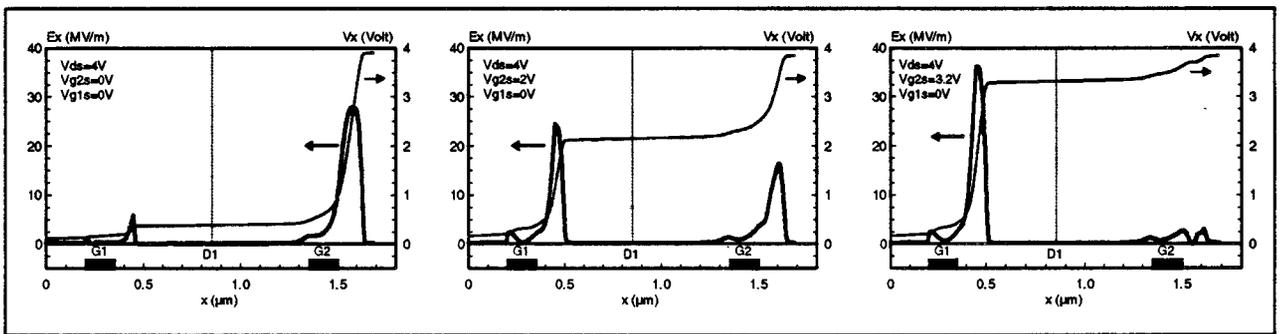


Figure I.14 : Evolution du champ électrique  $Ex$  et du potentiel interne  $Vx$  le long de l'axe longitudinal d'un TEC bigrille en fonction de  $V_{G2S}$ .

Les simulations pseudo-bidimensionnelles des évolutions du champ moyen  $Ex$  et du potentiel interne  $Vx$  en fonction de  $V_{G2S}$  confirment encore ces résultats (figure I.14). En effet, il apparaît nettement que, lorsque  $V_{G2S}$  croît de valeurs faibles jusqu'à des valeurs proches de  $V_{DS}$  :

- le  $TEC_1$  passe du régime linéaire au régime saturé
- le  $TEC_2$  passe du régime saturé au régime linéaire
- le potentiel interne du point  $D_1$  suit la polarisation de la seconde grille.

Le réseau nous apprend de plus que l'évolution du courant  $I_{DS}$  en fonction de  $V_{G2S}$  dépend étroitement de l'état du premier transistor. Lorsque ce dernier est en régime linéaire, l'augmentation de  $V_{G2S}$  s'accompagne d'une croissance significative du courant, car l'ensemble se comporte comme un transistor simple grille. Par contre, avec le  $TEC_1$  saturé, le courant total devient pratiquement indépendant de la polarisation de  $G_2$  : la légère augmentation de  $I_{DS}$  en fonction de  $V_{G2S}$  qui subsiste n'est que le reflet de la conductance de sortie du premier transistor.

Résumé des variations :

Cause	Effets
$V_{G2S}$ ↗	$V_{G1S}$ → et $V_{D1S}$ ↗ pour TEC <sub>1</sub>
	$V_{G2D1}$ ↗ et $V_{DD1}$ ↘ pour TEC <sub>2</sub>

III.2.3. Influence de  $V_{DS}$  à  $V_{G1S}$  et  $V_{G2S}$  fixés

Pour apprécier l'influence de la polarisation de drain  $V_{DS}$  sur le régime de fonctionnement du composant bigrille, deux réseaux composites, valables pour  $V_{DS}=2V$  et  $V_{DS}=3V$ , sont reportés sur la figure I.15. Les mêmes échelles ont été conservées pour que la comparaison soit plus aisée. L'analyse de ces graphes fait ressortir un point essentiel : aucune répercussion de l'augmentation de  $V_{DS}$  n'est ressentie au niveau des polarisations internes du premier transistor ( $V_{D1S}$  reste quasi constant pour un point P par exemple). Seul, le second transistor est soumis à cette perturbation extérieure au niveau de  $V_{DD1}$ . Ces mêmes constatations sont encore faites avec les courbes de la figure I.16, obtenues à partir du modèle pseudo-bidimensionnel.

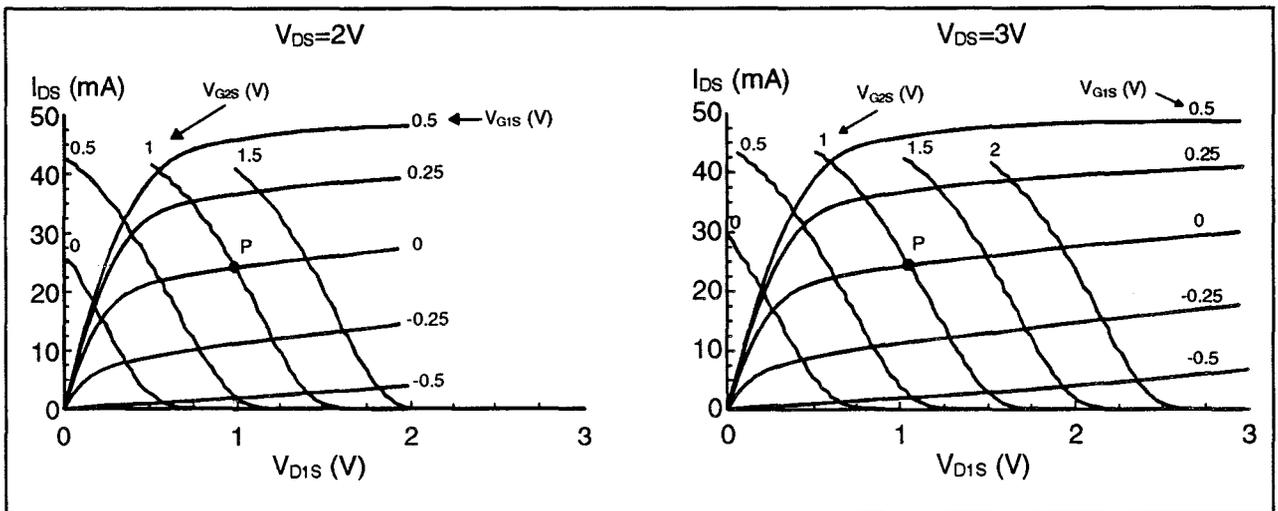


Figure I.15 : Caractéristique statique du TEC bigrille en fonction de  $V_{DS}$ . Plusieurs réseaux sont nécessaires.

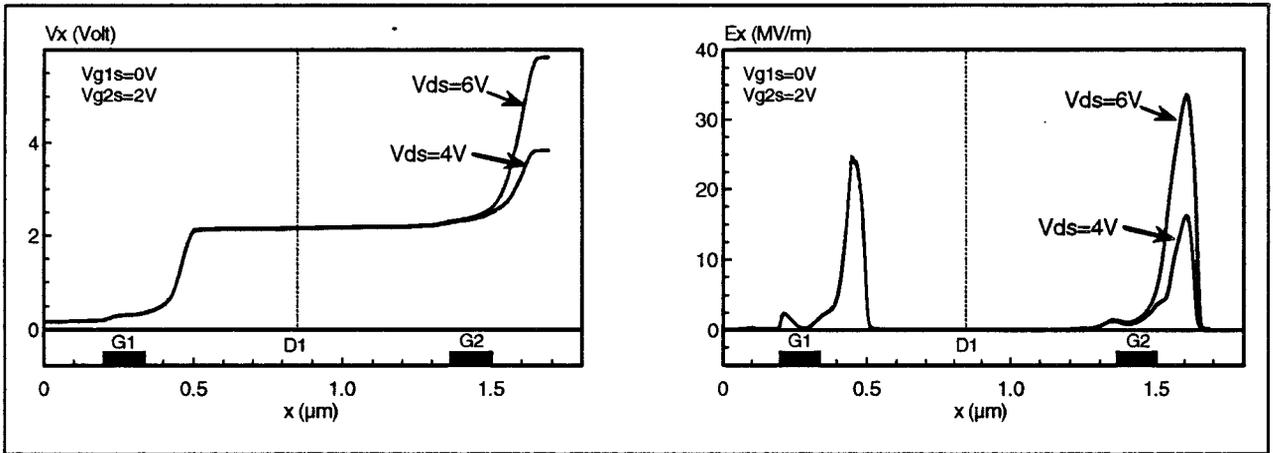


Figure I.16 : Evolution du champ électrique  $E_x$  et du potentiel interne  $V_x$  le long de l'axe longitudinal d'un TEC bigrille en fonction de  $V_{DS}$ .

Les expressions (1) et (2), rappelées ci dessous, expriment encore ces comportements :

$$V_{DS} = V_{DD1} + V_{DIS} \quad (1)$$

$$V_{DIS} = V_{G2S} - V_{G2D1} \quad (2)$$

Nous avons vu précédemment que la tension de commande  $V_{G2D1}$  du  $TEC_2$  suivait sensiblement celle du  $TEC_1$ . L'expression (2) révèle donc que la tension interne  $V_{DIS}$  reste inchangée, si les polarisations de grille sont figées. Par conséquent et d'après la relation (1), toute variation de  $V_{DS}$  se trouve reportée uniquement aux bornes du  $TEC_2$ , c'est-à-dire entre le drain et le point  $D_1$ . Le second transistor joue le rôle d'écran ou de tampon pour le premier.

Une dernière remarque évidente concerne le fait que seules de faibles valeurs de  $V_{DS}$  autorisent le transistor bigrille à fonctionner en mode (d).

### Résumé des variations

Cause	Effets
$V_{DS}$ ↗	$V_{G1S} \rightarrow$ et $V_{DIS} \rightarrow$ pour $TEC_1$
	$V_{G2D1} \rightarrow$ et $V_{DD1} \rightarrow$ pour $TEC_2$

## **IV. COMPORTEMENT DYNAMIQUE DU COMPOSANT**

Le comportement dynamique petit signal d'un composant est habituellement traduit en un schéma électrique équivalent, censé reproduire fidèlement les réponses de celui-ci face aux excitations extérieures. Cette représentation simplifie la compréhension du fonctionnement, et surtout, elle aide et oriente le concepteur de circuits dans ses démarches. Des simulateurs électriques ont spécialement été conçus pour utiliser et exploiter cet outil nécessaire et indispensable au développement d'applications, qu'elles soient basses fréquences ou millimétriques.

Malheureusement, cette équivalence n'est pas illimitée, mais restreinte dans un domaine de validité, qu'il convient de définir. La difficulté majeure de cette représentation est de trouver un schéma qui soit le plus simple possible et valable sur la plus large bande de fréquence.

La montée en fréquence interdit de considérer uniquement le comportement actif du transistor, car l'effet des éléments parasites prend des proportions de plus en plus importantes, qu'il convient de ne plus négliger. C'est ainsi que le schéma équivalent intrinsèque se voit complété de plusieurs éléments supplémentaires traduisant ces perturbations extrinsèques.

De plus, la diminution des longueurs d'onde guidées fait naître des effets de distribution qui compliquent inévitablement la schématisation, car la localisation des éléments n'a plus toujours de sens. En ce qui nous concerne, les mesures n'excèdent pas 26.5 GHz, ce qui justifie le fait que ces effets ne sont pas considérés.

### **IV.1. Schéma équivalent naturel**

Concernant le transistor à effet de champ de type bigrille, nous avons opté comme beaucoup d'auteurs [5, 13, 14, 15], pour le schéma équivalent dit naturel, qui découle directement du montage cascode, décrit dans le paragraphe précédent.

La figure I.17 présente le schéma complet, que nous avons retenu, ainsi que l'origine physique de chaque élément le constituant.

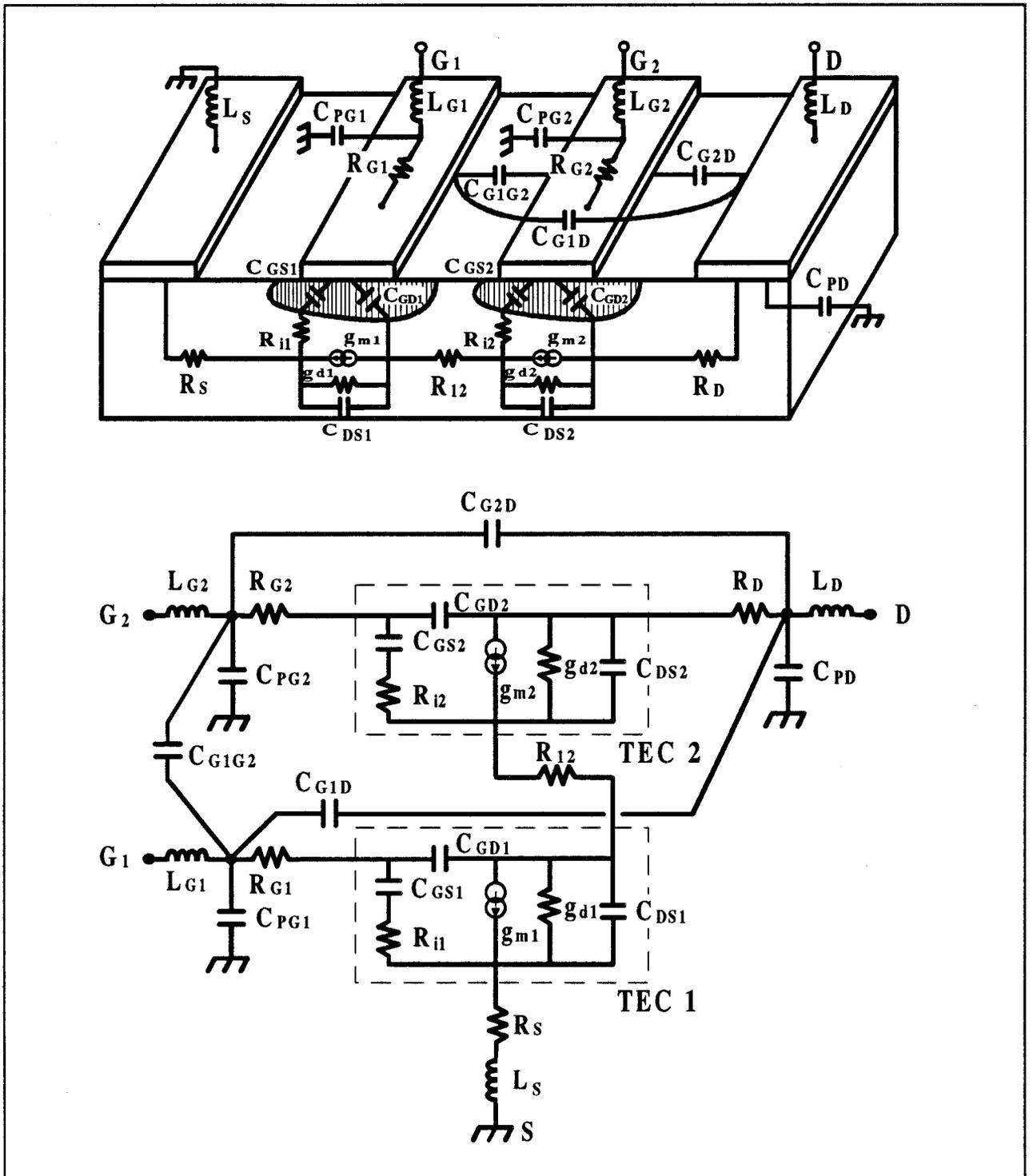


Figure I.17 : Origine physique et schéma équivalent 'petit signal' du TEC bigrille.

Nous distinguons deux blocs en pointillés référencés  $TEC_1$  et  $TEC_2$ , reflétant à la fois le comportement actif sous chaque grille et l'association cascode de deux transistors intrinsèques monogrilles. Autour gravitent tous les éléments relatifs à l'environnement parasite, à savoir :

- les selfs d'accès de chaque électrode  $L_S$ ,  $L_D$ ,  $L_{G1}$  et  $L_{G2}$
- les résistances d'accès et de métallisation de grilles  $R_S$ ,  $R_D$ ,  $R_{G1}$  et  $R_{G2}$
- la résistance intergrille  $R_{12}$  située entre les deux zones actives
- les capacités de plots  $C_{pD}$ ,  $C_{pG1}$  et  $C_{pG2}$
- les capacités de couplage électrostatique entre électrodes  $C_{G1G2}$ ,  $C_{G1D}$  et  $C_{G2D}$ .

Pas moins de 27 éléments constituent ce schéma équivalent, ce qui laisse présager les difficultés de caractérisation du transistor bigrille.

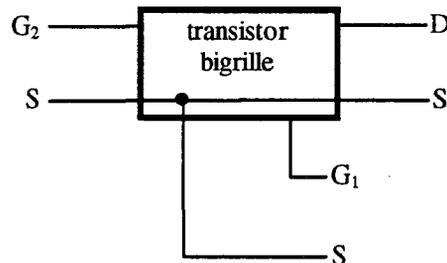
Un point très intéressant de cette représentation naturelle repose sur le fait que chaque élément trouve une origine physique. Ainsi, l'optimisation d'un élément ou l'amélioration d'une performance liée à ce dernier, nous guide directement quant au sens des modifications qu'il faut apporter à la structure ou à la topologie du composant.

Un autre aspect avantageux découle directement de la représentation sous forme cascode, et réside dans le fait que ce schéma permet de manipuler des éléments et des notions concernant le transistor monogrille. Ainsi, nous pouvons profiter de tout l'arsenal d'outils développés pour le TEC (caractérisation, modélisation,...) et largement maîtrisés à ce jour, pour l'appliquer au cas du bigrille. Les comparaisons bigrille-monogrille s'en trouvent par conséquent, très simples et non gratuites, car le TEC simple grille reste un composant de référence.

#### **IV.2. Schéma équivalent global**

Il faut mentionner qu'il existe une représentation plus globale du transistor bigrille. Certains auteurs [16] regardent ce composant en tant qu'hexapôle à part entière, ce qui a

l'avantage d'éviter l'introduction du point intergrille  $D_1$  non accessible à la mesure. Dans ces conditions, il s'apparente à une boîte noire offrant trois accès à l'utilisateur (3 accès, car il est très souvent utilisé en source commune), comme suit :



Le schéma équivalent qui résulte de cette représentation dénommée globale, n'est plus d'origine physique comme pour le montage cascode, mais d'origine mathématique, car il provient de l'expression de la matrice admittance définie ci dessous :

$$\begin{pmatrix} I_1 \\ I_2 \\ I_3 \end{pmatrix} = \begin{pmatrix} Y_{11} & Y_{12} & Y_{13} \\ Y_{21} & Y_{22} & Y_{23} \\ Y_{31} & Y_{32} & Y_{33} \end{pmatrix} * \begin{pmatrix} V_1 \\ V_2 \\ V_3 \end{pmatrix} \quad \text{avec} \quad \begin{array}{l} G_1 \text{ en accès 1} \\ G_2 \text{ en accès 2} \\ D \text{ en accès 3} \end{array}$$

En effet, cette relation matricielle peut être justement, et sans approximation, traduite par le circuit équivalent de la figure I.18. Cette nouvelle forme semble sympathique et intéressante, car elle peut être directement extraite de la mesure, mais soulève par contre quelques questions :

- quels sont les éléments électriques que symbolisent les admittances mises en jeu, comme par exemple  $(Y_{11}+Y_{12}+Y_{13})$  ?
- de quelle nature sont les transconductances ?

Pour répondre à ces questions, la solution la plus couramment rencontrée, consiste à établir des relations de passage entre la configuration cascode et le schéma global. De manière plus précise, les termes  $Y_{ij}$  globaux sont obtenus par identification, à partir de l'expression

symbolique de la matrice admittance du schéma équivalent naturel, donc en fonction des éléments électriques qui le constituent.

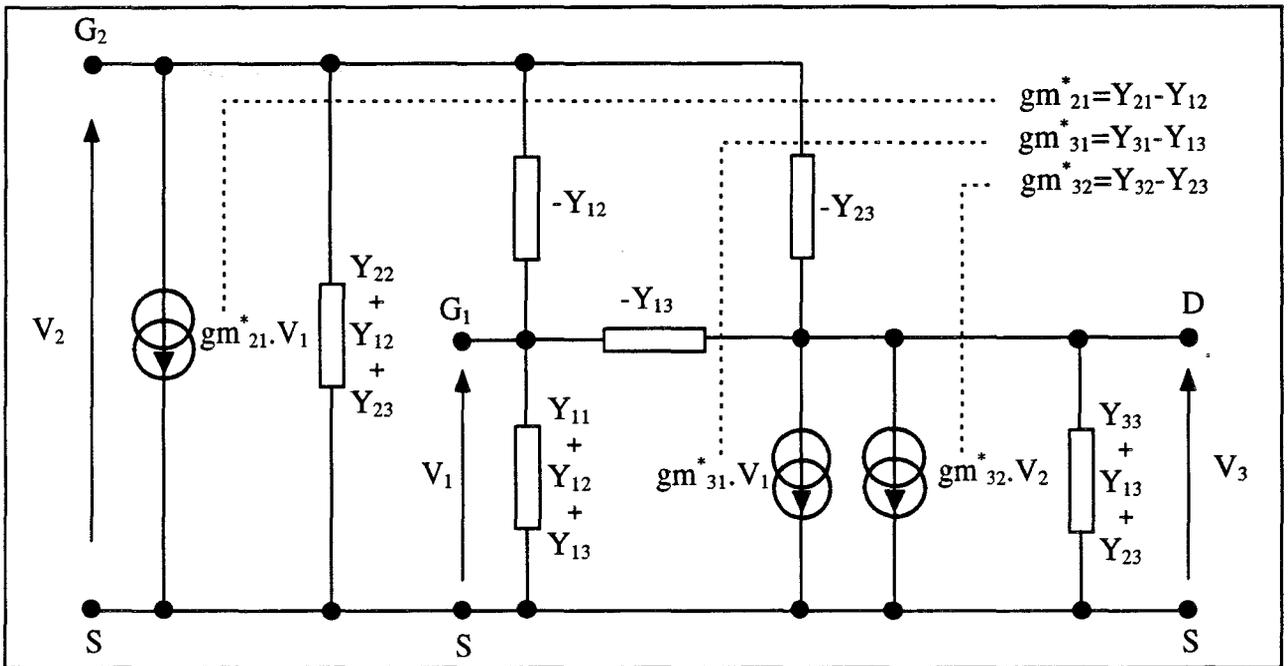


Figure I.18 : Représentation électrique d'une matrice admittance quelconque d'ordre 3.

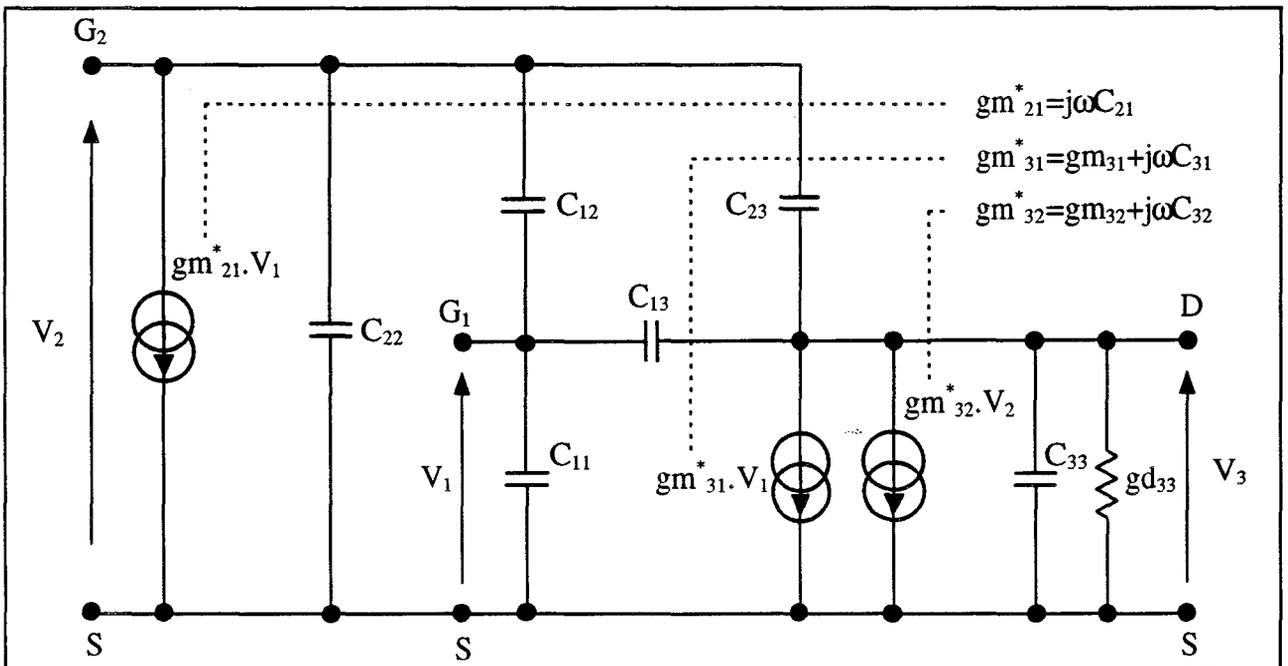


Figure I.19 : Représentation 'globale' simplifiée du TEC bigrille.

Nous montrons dans l'annexe I.1, moyennant l'approximation basse fréquence, ce qui limite d'emblée ce type de représentation, que le schéma équivalent global s'apparente dans ces conditions, à celui de la figure I.19. En effet, en ne retenant que les termes du premier ordre, nous obtenons :

$$\begin{aligned}
 Y_{11} + Y_{12} + Y_{13} &= j\omega C_{11} \\
 Y_{22} + Y_{12} + Y_{23} &= j\omega C_{22} \\
 Y_{33} + Y_{13} + Y_{23} &= g_{d33} + j\omega C_{33} \\
 Y_{21} - Y_{12} &= j\omega C_{21} \\
 Y_{31} - Y_{13} &= g_{m31} + j\omega C_{31} \\
 Y_{32} - Y_{23} &= g_{m32} + j\omega C_{11} \\
 - Y_{12} &= j\omega C_{12} \\
 - Y_{13} &= j\omega C_{13} \\
 - Y_{23} &= j\omega C_{23}
 \end{aligned}$$

Les expressions littérales des capacités équivalentes globales  $C_{ij}$ , données en annexe I.1 en fonction des éléments intrinsèques du schéma naturel, montrent que certaines d'entre elles, notamment  $C_{22}$  et  $C_{33}$ , peuvent devenir négatives dans certaines conditions de polarisation. Ceci résulte de l'origine mathématique et non physique du schéma global.

Cette configuration fait apparaître très nettement l'éventuelle possibilité d'amplification, lors de l'utilisation du composant avec entrée et sortie sur les deux grilles, grâce à la présence du générateur de courant  $g_{m21} \cdot V_1$ . Cet aspect intéressant au sens des potentialités du transistor bigrille est plus détaillé dans le paragraphe suivant.

Notons finalement, qu'il faut ajouter au schéma global de la figure I.19, tous les éléments parasites mentionnés précédemment.

### IV.3. Potentialités du transistor bigrille utilisé en quadripôle .

De nombreuses applications hyperfréquences, comme l'amplification à gain contrôlé [17] ou le déphasage actif [18], exploitent le transistor bigrille sous forme de quadripôle. La troisième électrode, non utilisée dynamiquement dans ce cas et connectée sur une impédance particulière, offre un degré de liberté supplémentaire pour contrôler la fonction envisagée.

Nous présentons ci-après les schémas équivalents intrinsèques et simplifiés des trois quadripôles possibles, accompagnés de quelques comparaisons sommaires avec le transistor monogrille. Seuls les cas avec la troisième électrode court-circuitée à la masse, au sens dynamique du terme, sont envisagés pour simplifier les calculs.

#### IV.3.1. Quadripôle $G_1D$ avec la grille $G_2$ court-circuitée

C'est de loin la configuration la plus rencontrée, aussi bien dans le domaine des basses fréquences [19] que pour des applications micro-ondes [20]. Son schéma équivalent (figure I.20), déduit de la représentation globale, s'apparente à celui d'un transistor monogrille, dont les principaux éléments sont (en posant  $Geq = gm_2 + gd_2 + gd_1$ ) :

$$\begin{aligned} gm &\approx gm_1 \cdot \frac{gd_2 + gm_2}{Geq} & C_{gs} &\approx C_{gs1} + C_{gd1} \cdot \frac{gm_1 + gd_1 + gm_2}{Geq} \\ gd &\approx gd_1 \cdot \frac{gd_2}{Geq} & C_{gd} &\approx C_{gd1} \cdot \frac{gd_2}{Geq} \end{aligned}$$

Ces expressions, fonction des éléments naturels, font apparaître un aspect très positif concernant les valeurs de la capacité de contre réaction  $C_{gd}$  et de la conductance de sortie  $gd$ . En effet, par comparaison avec un TEC monogrille, intrinsèquement identique au  $TEC_1$ , la valeur de ces deux éléments se trouve divisée par le coefficient ' $Geq/gd_2$ '. Comme le transistor équivalent

TEC<sub>2</sub> constituant le bigrille opère très souvent, pour ne pas écrire toujours, en régime de saturation, ce coefficient peut atteindre aisément des valeurs de 10, ce qui n'est pas négligeable.

La transconductance  $g_m$ , très peu affectée en régime saturé, sera par contre fortement diminuée lorsque le TEC<sub>1</sub> fonctionne en régime ohmique, ceci à cause de la valeur élevée de la conductance de sortie  $g_{d1}$ .

Le point à déplorer de cette configuration est l'augmentation de la capacité d'entrée  $C_{gs}$ .

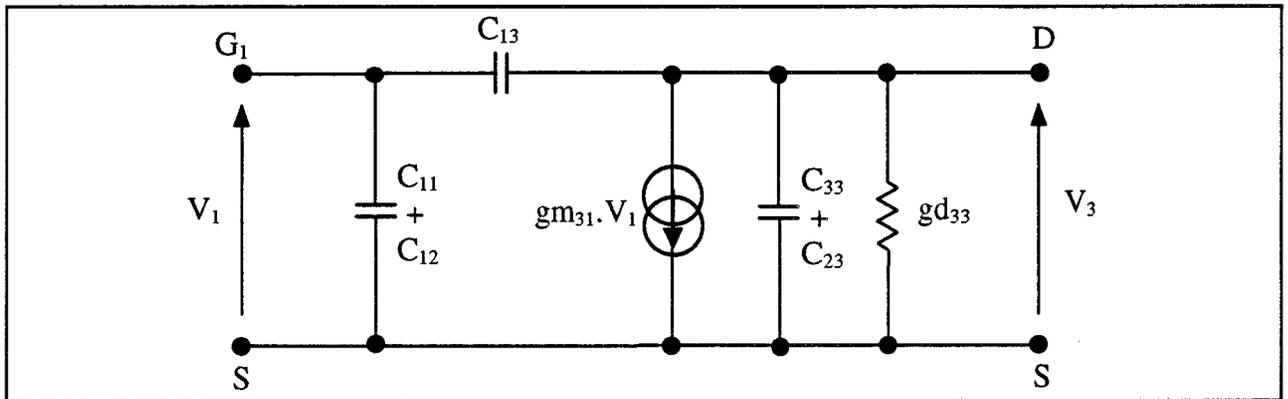


Figure I.20 : Représentation 'globale' intrinsèque du TEC bigrille avec  $G_2$  en court-circuit.

De ces caractéristiques découlent des performances meilleures en terme de gain maximum stable, car nous obtenons :

$$MSG = \left| \frac{Y_{21}}{Y_{12}} \right| \approx MSG_{\text{monogrille}} \cdot \left( 1 + \frac{g_{m2}}{g_{d2}} \right)$$

Cette relation intrinsèque laisse espérer une amélioration théorique voisine de 10 dB, si l'on considère que  $g_{m2} \approx 10 \cdot g_{d2}$ . En pratique, cette valeur sera moindre due à l'environnement parasite. Ajoutons à ce sujet, que le gain maximum stable est indépendant de la résistance intergrille  $R_{12}$ . Cette affirmation se vérifie facilement en utilisant les expressions théoriques exactes de la matrice admittance, donnée dans l'annexe I.1.

Le gain en tension de circuit ouvert basse fréquence s'améliore dans les mêmes proportions, en effet, il s'écrit :

$$A_v = \frac{g_m}{g_d} \approx A_{v_{\text{monogrille}}} \cdot \left( 1 + \frac{g_{m2}}{g_{d2}} \right)$$

Il faut signaler malheureusement une dégradation, liée à l'augmentation de  $C_{gs}$ , de la fréquence de coupure du gain en courant de court-circuit, qui s'exprime de la façon suivante :

$$f_c = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \approx \frac{f_{c_{\text{monogrille}}}}{1 + \frac{g_{d1}}{g_{m2} + g_{d2}} + \frac{g_{m1}}{g_{m2} + g_{d2}} \cdot \frac{C_{gd1}}{C_{gd1} + C_{gs1}}}$$

Ces résultats théoriques placent le transistor bigrille, utilisé dans cette configuration, en une position de choix plus qu'honorable, pour des applications d'amplification petit signal. Nous présentons d'ailleurs, dans le dernier chapitre de ce mémoire, quelques résultats expérimentaux obtenus avec ce type de composants, fabriqués au sein de notre laboratoire.

#### IV.3.2. Quadripôle $G_1G_2$ avec le drain en court-circuit

Cette configuration, peu rencontrée dans la littérature, a fait l'objet d'une première approche expérimentale au sein de notre laboratoire [21]. Des potentialités intéressantes quand le dispositif est utilisé en amplificateur, méritent que l'on s'y attarde quelque peu.

Tout comme le quadripôle  $G_1D$ , nous déduisons le schéma équivalent simplifié de cette configuration (figure I.21) à partir de la représentation globale du transistor bigrille et en fonction des éléments du schéma cascode.

Le TEC monogrille équivalent à cette structure aurait pour éléments intrinsèques principaux :

$$g_m \approx j\omega \cdot \frac{C_{gs2} \cdot g_{m1} + C_{gd1} \cdot g_{m2}}{G_{eq}}$$

$$C_{gs} \approx C_{gs1} + C_{gd1} \cdot \frac{g_{m1} + g_{d1} + g_{d2}}{G_{eq}}$$

$$g_d \approx 0$$

$$C_{gd} \approx C_{gd1} \cdot \frac{g_{m2}}{G_{eq}}$$

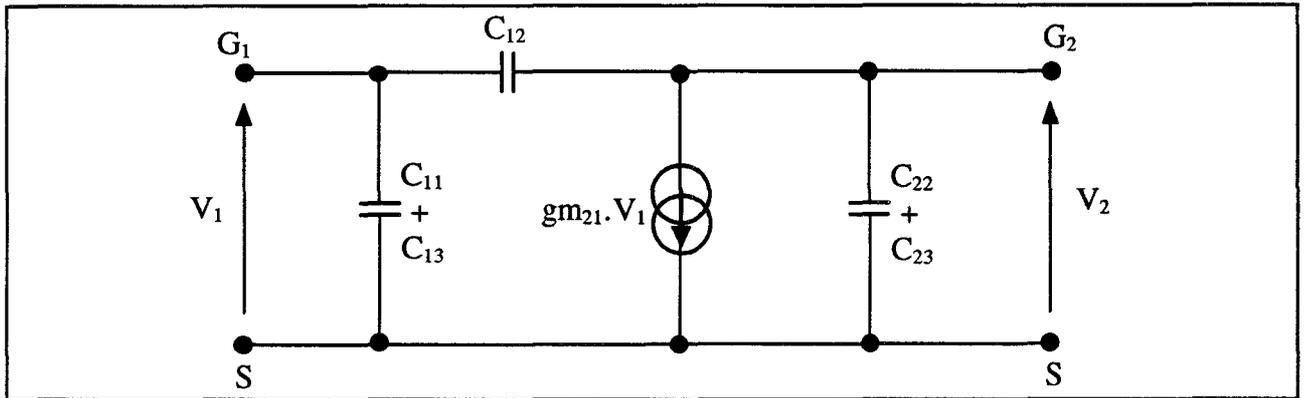


Figure I.21 : Représentation 'globale' intrinsèque du TEC bigrille avec le drain en court-circuit.

Deux résultats particuliers ressortent de ces relations. Nous constatons en effet, que la transconductance  $g_m$  dépend linéairement de la fréquence, et que la conductance de sortie  $g_d$  devient nulle. Ceci traduit clairement et logiquement le fait que le quadripôle est utilisé entre deux grilles à contact Schottky. Les zones désertées sous chaque grille imposent des comportements capacitifs en entrée et en sortie, interdisant par nature tout passage de courant continu, et facilitant au contraire, le transfert de courant dynamique.

Concernant les capacités équivalentes, il apparaît que leur sens de variation est identique à celui du quadripôle précédent  $G_1D$ , mais dans des proportions plus réservées. La capacité d'entrée  $C_{gs}$  accuse une légère augmentation, alors que la capacité de contre réaction  $C_{gd}$  diminue.

Si nous examinons les performances intrinsèques de cette configuration, il est inutile de préciser que le gain en tension est excellent (très faible valeur du  $g_d$ ). La nature de la

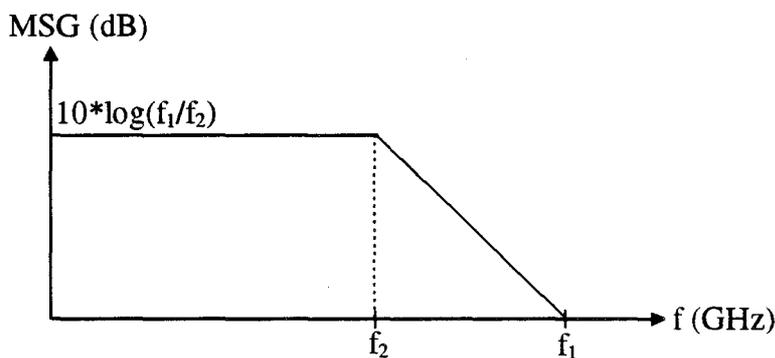
transconductance, linéairement dépendante de la fréquence, confie un caractère particulier au gain maximum stable, car il s'écrit :

$$MSG = \left| \frac{Y_{21}}{Y_{12}} \right| \approx \frac{g_{m1}}{g_{m2}} \cdot \frac{C_{gs2}}{C_{gd1}}$$

La loi décroissante en -3 dB/octave caractérisant le MSG du transistor monogrille n'est plus vérifiée, et laisse place à une loi indépendante de la fréquence. Ce résultat permet d'envisager des applications d'amplification très large bande. Un calcul plus rigoureux, montre que ce gain intrinsèque s'exprime plus précisément de la façon suivante :

$$MSG = \left| \frac{Y_{21}}{Y_{12}} \right| \approx \frac{f_1}{f_2} \cdot \left| \frac{1 - j \cdot \frac{f}{f_1}}{1 + j \cdot \frac{f}{f_2}} \right| \quad \text{avec} \quad \begin{cases} f_1 = \frac{g_{m1}}{2\pi \cdot C_{gd1}} \\ f_2 = \frac{g_{m2}}{2\pi \cdot C_{gs2}} \end{cases}$$

Si les deux transistors équivalents  $TEC_1$  et  $TEC_2$ , constituant le bigrille, fonctionnent en régime saturé, ce qui est souvent le cas en amplification, alors  $f_2 < f_1$  et l'allure théorique du gain maximum stable devient :



Avec des composants de longueur de grille  $0.15\mu\text{m}$ , la fréquence  $f_2$  peut atteindre des valeurs de 200GHz, ce qui permet de projeter leurs utilisations en très haute fréquence.

Nous pouvons faire la même remarque que le cas précédent sur la non-influence de la résistance intergrille  $R_{12}$  sur le gain maximum stable. Seuls les éléments parasites extérieurs contribuent à limiter les performances fréquentielles de cette configuration.

### IV.3.3. Quadripôle $G_2D$ avec la grille $G_1$ en court-circuit

De façon analogue aux deux quadripôles précédents, ce troisième et dernier cas est assimilé à un transistor monogrille, dont le schéma équivalent intrinsèque, déduit de la représentation globale, apparaît sur la figure I.22.

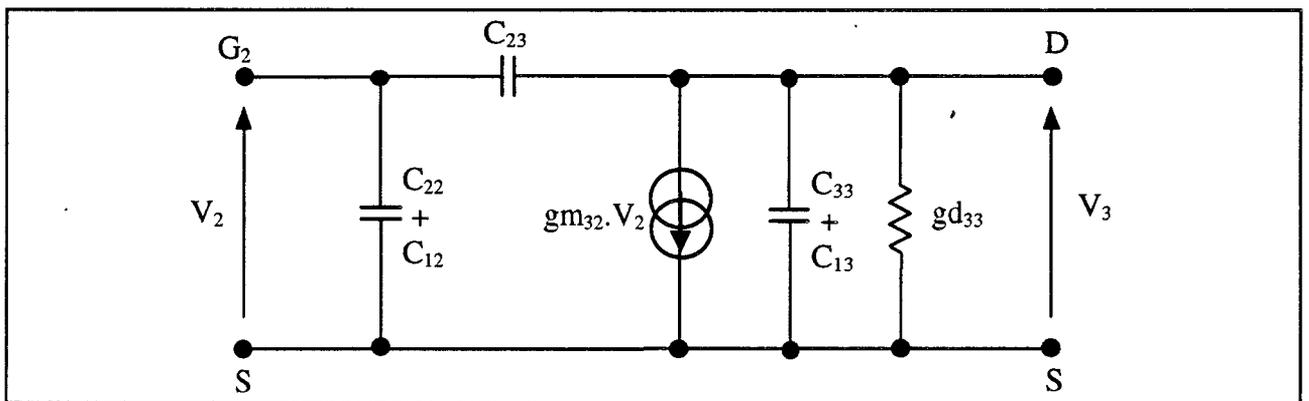


Figure I.22 : Représentation 'globale' intrinsèque du TEC bigrille avec  $G_1$  en court-circuit.

Ses principales caractéristiques sont :

$$g_m \approx g_{m2} \cdot \frac{g_{d1}}{G_{eq}}$$

$$C_{gs} \approx C_{gs2} \cdot \frac{g_{d1}}{G_{eq}}$$

$$g_d \approx g_{d2} \cdot \frac{g_{d1}}{G_{eq}}$$

$$C_{gd} \approx C_{gd2} + C_{gs2} \cdot \frac{g_{d2}}{G_{eq}}$$

A la vue de ces paramètres, ce cas ne semble pas présenter d'avantage notable par rapport au transistor monogrille. En effet, si la capacité d'entrée  $C_{gs}$  et la conductance de sortie  $g_d$  diminuent avantageusement par rapport aux éléments du  $TEC_2$ , il faut noter que la

transconductance  $g_m$  évolue dans le même sens et dans les mêmes proportions. De plus, la capacité de contre réaction  $C_{gd}$  augmente.

## **V. APPLICATIONS TYPIQUES DU COMPOSANT**

Les premières traces de l'utilisation du transistor bigrille remontent à une trentaine d'années. A l'époque, de tels composants de type MOSFET équipaient des amplificateurs de récepteurs radiofréquences [22]. Aujourd'hui, des fonctions telles que l'oscillation [7], le déphasage actif [18] ou encore la multiplication de fréquences [23] utilisent de tels éléments.

Ce paragraphe ne prétend pas expliciter toutes les applications, mais a simplement la vocation de décrire les principes généraux d'exploitation typique du composant dans les domaines de l'amplification à gain contrôlé et du mélange.

Pourquoi ces deux domaines ?

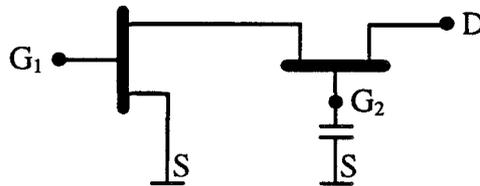
D'une part, parce que l'amplificateur et le mélangeur constituent deux fonctions très convoitées dans le domaine de l'électronique, et d'autre part, parce que le transistor bigrille y fonctionne de façon totalement différente.

### **V.1. L'amplificateur à gain contrôlé**

Dans une cascade d'amplificateurs large bande par exemple, des étages à gain variable sont utilisés pour compenser les diverses pertes de signal subies tout au long de la chaîne, mais aussi pour corriger d'éventuels effets de température. Le contrôle de gain est encore rencontré dans les systèmes radars qui nécessitent des puissances de sortie constantes quel que soit le niveau de l'écho reçu.

Le contrôle de gain d'un transistor à effet de champ repose sur le contrôle de sa transconductance  $g_m$ , car celui-ci lui est directement proportionnel.

Afin de réaliser cette fonction, le transistor bigrille est utilisé en tant que quadripôle entre la première grille  $G_1$  et le drain  $D$ , la seconde grille  $G_2$  étant découplée dynamiquement à la masse via une capacité, comme suit :



Les polarisations de grilles  $V_{G1S}$  et  $V_{G2S}$  permettent de piloter de deux manières différentes la transconductance  $g_m$  de cette structure, dont le schéma équivalent, rappelons le, s'apparente à celui du TEC monogrille. Sur les figures I.23a et I.23b apparaissent ces évolutions du  $g_m$  en fonction respectivement de  $V_{G1S}$  et  $V_{G2S}$ , pour un transistor bigrille pseudomorphique de surface de grille  $0.15\mu\text{m} \times 75\mu\text{m}$ . Il apparaît clairement que la seconde grille est plus à même de remplir le rôle de commande de gain, grâce à la variation monotone de la transconductance  $g_m$  en fonction de la polarisation  $V_{G2S}$ .

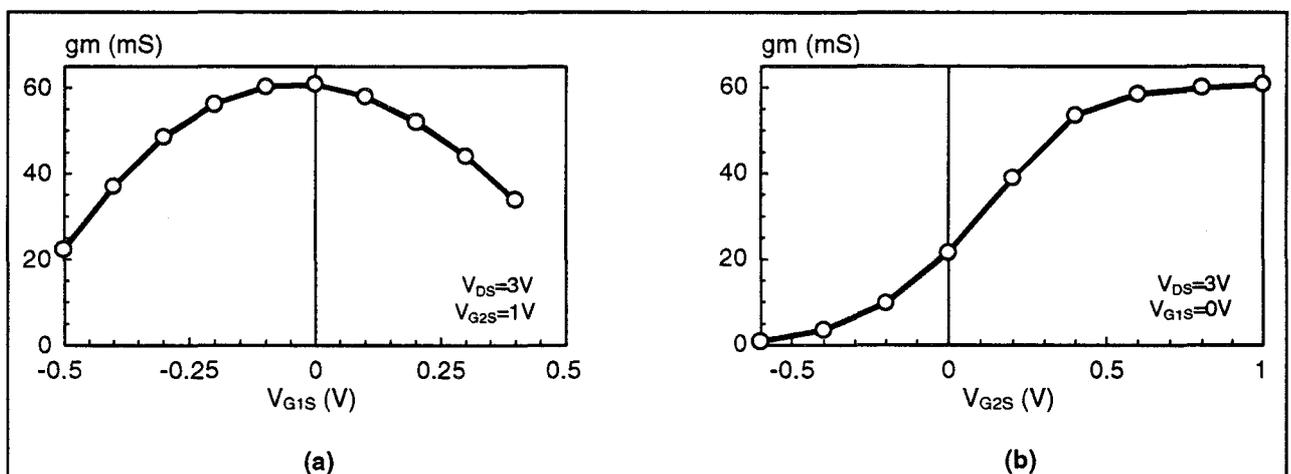


Figure I.23 : Evolutions du 'gm' global d'un TEC bigrille utilisé entre  $G_1$  et  $D$ ,  $G_2$  étant découplée via une capacité.  
 (a) en fonction de  $V_{G1S}$   
 (b) en fonction de  $V_{G2S}$

Un autre critère de choix de la commande par la grille  $G_2$  réside dans le fait que les impédances d'entrée et de sortie du composant sont relativement peu affectées par la polarisation  $V_{G2S}$  [17,24]. Ce dernier point, crucial pour les amplificateurs très large bande, évite ou minimise les désadaptations que pourrait engendrer la commande de gain.

La figure I.24 présente l'évolution du gain maximum disponible (MAG) mesuré à 25GHz sur le même composant que précédemment, et en fonction de la commande  $V_{G2S}$  pour deux valeurs de  $V_{G1S}$ . Une dynamique voisine de 17dB est observée pour  $V_{G1S}=0V$ , ce qui laisse présager de bonnes caractéristiques pour le contrôle de l'amplification.

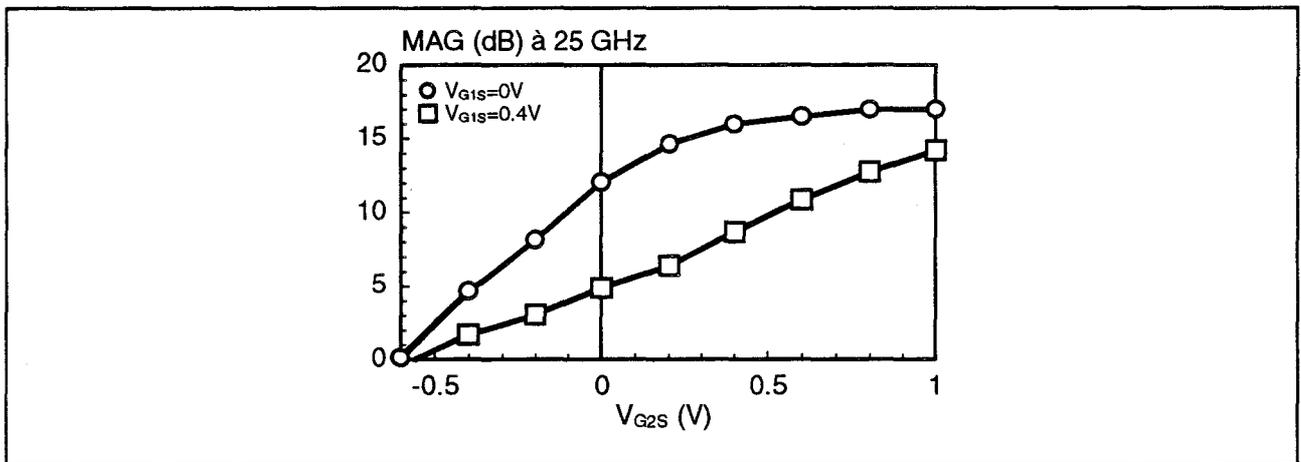
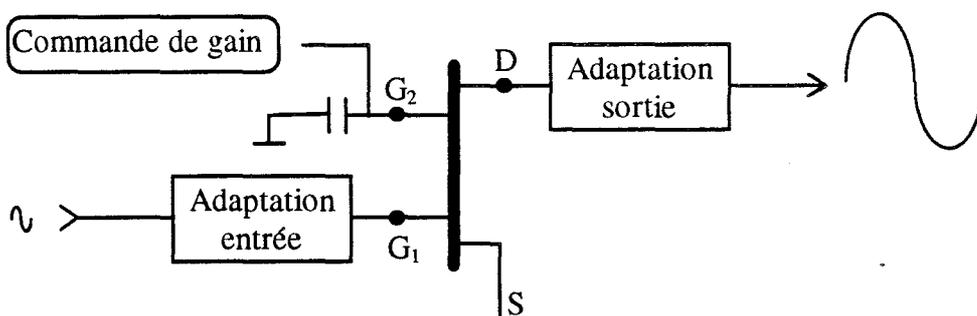


Figure I.24 : Evolutions typiques en fonction de  $V_{G2S}$  du MAG d'un TEC bigrille utilisé entre  $G_1$  et D,  $G_2$  découplée via une capacité.

Le graphique ci-dessous présente le schéma type d'un amplificateur à gain contrôlé réalisé à base d'un transistor bigrille.



Il arrive parfois que la seconde grille soit chargée par une impédance particulière et purement réactive ( $jX$ ), afin d'obtenir un meilleur compromis gain-stabilité.

## V.2. Le mélangeur

Ce type d'application se distingue de l'amplification, car pour le mélange, le transistor bigrille est exploité d'une part en tant qu'élément non linéaire générateur de fréquence intermédiaire, et d'autre part, en hexapôle à part entière.

Ce composant semble prédestiné à la fonction de mélange de part sa topologie, car trois accès sont disponibles pour l'oscillateur local (OL), le signal radiofréquence (RF) et la fréquence intermédiaire (FI), ce qui simplifie les réseaux d'adaptation sur chaque voie. De plus, un avantage sérieux du mélangeur bigrille réside dans le fait que les signaux OL et RF peuvent être appliqués séparément sur chacune des deux grilles, ce qui leur procure par nature une bonne isolation OL-RF.

Plusieurs modes de fonctionnement sont envisageables. La configuration la plus rencontrée est celle avec :

- OL sur la grille  $G_2$
- RF sur la grille  $G_1$
- FI sur le drain

Les performances du mélangeur sont étroitement dépendantes de la zone de polarisation du composant. Plusieurs études [25,26] ont été effectuées et ont montrées que la meilleure zone, en terme de gain de conversion, semble être celle représentée sur la figure I.25.

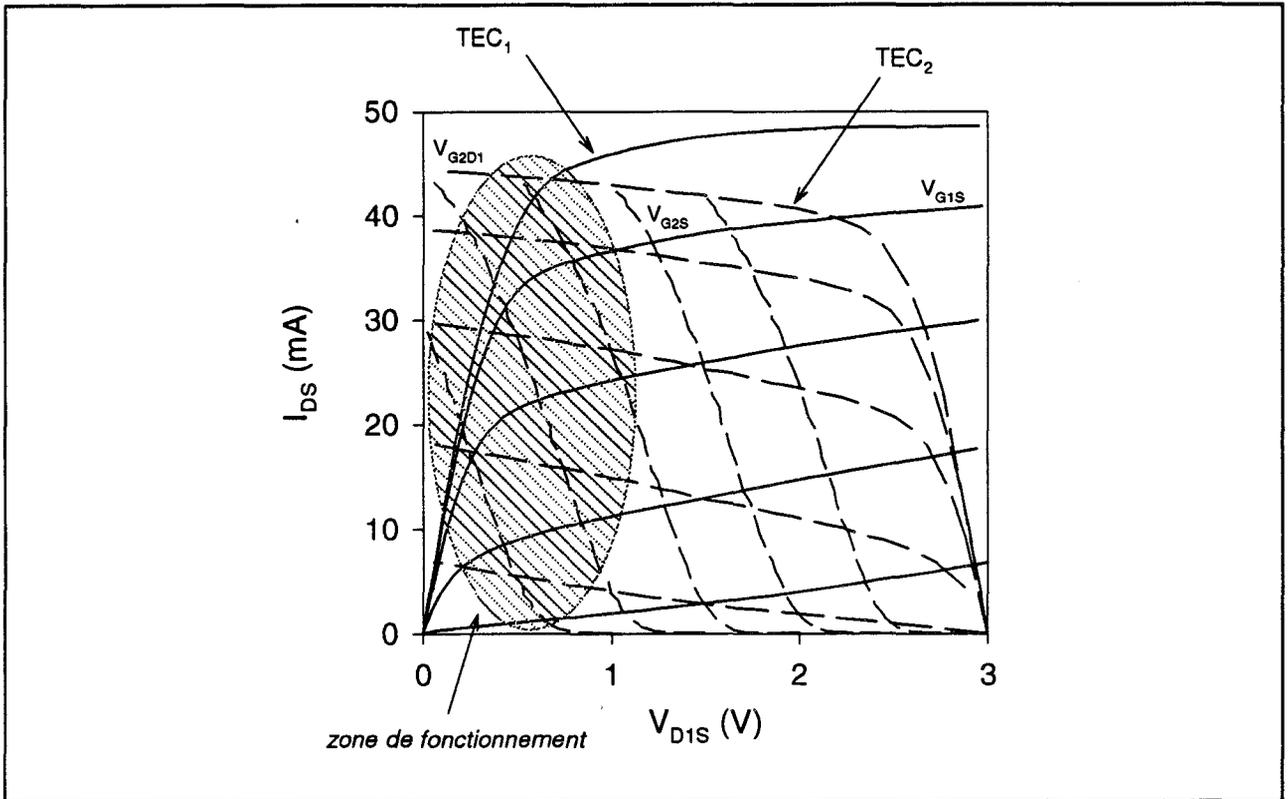


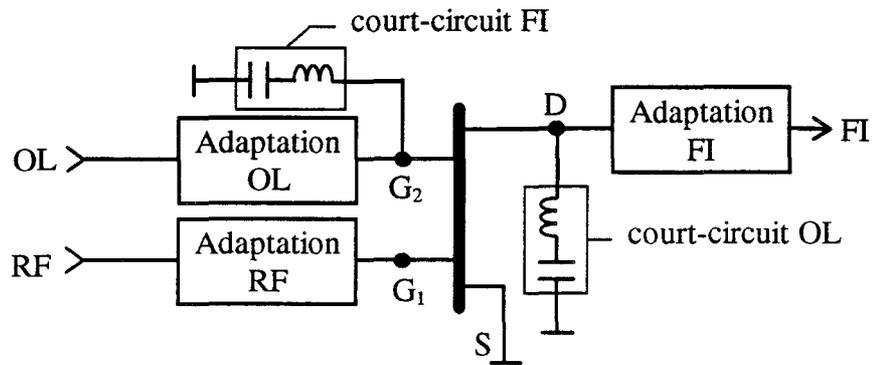
Figure I.25 : Zone de fonctionnement d'un TEC bigrille utilisé en mélangeur.  
Zone optimale pour le gain de conversion.

L'oscillateur local, dont le signal est injecté sur  $G_2$ , commande et impose le potentiel interne  $D_1$  de la zone intergrille, polarisant le  $TEC_1$ , alternativement, en régime ohmique et en régime de saturation. Ainsi, la transconductance  $g_{m1}$  et la conductance de sortie  $g_{d1}$  du  $TEC_1$ , principales non-linéarités dans cette zone de fonctionnement, génèrent le mélange de fréquence. Les capacités d'entrée  $C_{gs1}$  et de contre réaction  $C_{gd1}$  contribuent également à cette fonction, mais de façon négligeable.

Pendant un cycle d'OL, le transistor  $TEC_2$  reste en régime saturé, ce qui lui permet de remplir les fonctions d'amplificateur. Cet amplificateur a d'ailleurs la particularité d'être bi-fréquence, car il fonctionne en source commune pour le signal de l'OL, et en grille commune pour la FI générée dans le  $TEC_1$ . Il est donc nécessaire lors de la réalisation de présenter :

- un court-circuit sur le drain pour la fréquence d'OL
- un court-circuit sur  $G_2$  pour la fréquence FI.

La description générale du mélangeur type est schématisée ci-dessous :



La conception d'un tel mélangeur en bande V a été entreprise au sein de notre laboratoire dans le cadre d'une thèse [27]. Les résultats obtenus, résumés ci-après, montrent que ce type de mélangeur présentent des performances tout à fait intéressantes.

$$F_{OL} = 56.8 \text{ GHz} \quad F_{RF} = 62 \text{ GHz} \quad F_{FI} = 5.2 \text{ GHz}$$

Gain de conversion = -5 dB

Isolation OL  $\Rightarrow$  RF > 30 dB

Bande passante = 3 GHz

Facteur de bruit = 11 dB

## **VI. CONCLUSION**

---

Dans ce chapitre introductif, un tour d'horizon a été parcouru autour du transistor à effet de champ de type bigrille. En partant de la description du composant, et en passant par l'étude de ses comportements statique et dynamique, nous sommes arrivés à une brève présentation de quelques unes de ses applications typiques.

L'étude approfondie du régime statique a permis de mettre en évidence l'influence précise du potentiel de chaque électrode. Différents types de fonctionnement ont été identifiés en fonction des polarisations extérieures.

Deux schémas équivalents 'petit signal' ont été présentés : l'un dit 'naturel' découle directement de considérations physiques, alors que le second dénommé 'global' trouve son origine à partir d'expressions analytiques. Notons que ces deux représentations sont étroitement liées.

Ces schémas équivalents ont permis d'apprécier par ailleurs le comportement dynamique du TEC bigrille utilisé en configuration quadripôle.

Connaissant dorénavant le transistor à effet de champ de type bigrille, nous sommes en mesure de développer des outils de caractérisation, afin de le modéliser. Extraire le schéma équivalent par la mesure et le valider sont les objectifs des chapitres suivants.

- [1] K. M. SHERIF  
*'Simulation hydrodynamique bidimensionnelle des transistors à effet de champ à gaz bidimensionnel d'électrons : contribution à l'optimisation des composants pour ondes millimétriques.'*  
Thèse 3<sup>ème</sup> cycle, Université de Lille, Mai 1994
- [2] Project ESPRIT 6016 CLASSIC  
*'Components for large signal sixty Ghz GaAs integrated circuits.'*  
2<sup>ème</sup> rapport semestriel, Oct. 1992-Mar. 1993
- [3] J. L. THOBEL  
*'Simulation Monte Carlo de composants submicroniques à effet de champ et à hétérojonctions. Application au TEGFET et à ses structures dérivées.'*  
Thèse 3<sup>ème</sup> cycle, Université de Lille, Avril 1988
- [4] H. FUKUI  
*'Determination of the basic device parameters of a GaAs MESFET.'*  
The Bell System Technical Journal, Mar. 1979, pp 771-797
- [5] S. ASAI, F. MURAI, H. KODERA  
*'GaAs dual gate Schottky-barrier FET's for microwave frequencies.'*  
IEEE trans. on Electron Devices, vol. 22, n° 10, Oct. 1975, pp 897-904
- [6] R. A. MINASIAN  
*'Modelling DC characteristics of dual-gate GaAs MESFETs.'*  
IEE Proc., vol. 130, n° 4, Aug. 1983, pp 182-186
- [7] C. TSIRONIS  
*'GaAs dual gate MESFET's and their applications in microwave circuits.'*  
Acta Electronica, vol. 23, n° 4, 1980, pp 317-324
- [8] Y. BUTEL  
*'Modélisation hydrodynamique bidimensionnelle de transistors à effet de champ bigrilles.'*  
DEA, Université de Lille, Juillet 1992

- [9] K. SHERIF, A. REFKY, T. SHAWKI, O. EL-SAYED, G. SALMER  
*'Two-dimensional hydrodynamic simulation of submicrometer dual gate MODFETs.'*  
 Solid-State Electronics, vol. 38, n° 4, Apr. 1995, pp 917-929
- [10] F. DUHAMEL  
 Thèse 3<sup>ème</sup> cycle, Université de Lille, à paraître
- [11] H. HAPPY  
*'Hélène : un logiciel convivial de simulation des composants à effet de champ.'*  
 Thèse 3<sup>ème</sup> cycle, Université de Lille, Juin 1992
- [12] A. R. MIKHAIL  
*'Performance analysis of dual gate modulation doped field effect transistors.'*  
 Thesis of Caire University, 1993
- [13] T. FURUTSUKA, M. OGAWA, N. KAWAMURA  
*'GaAs dual gate MESFET's.'*  
 IEEE trans. on Electron Devices, vol. 25, n° 6, Jun. 1978, pp 580-586
- [14] C. TSIRONIS, R. MEIERER  
*'Microwave wide-band model of GaAs dual gate MESFET's.'*  
 IEEE trans. on MTT, vol. 30, n° 3, Mar. 1982, pp 243-251
- [15] T. H. CHEN, M. KUMAR  
*'Dual-gate GaAs FET : a versatile circuit component for MMICs.'*  
 Microwave Journal, Jun. 1989, pp 125-135
- [16] N. E. RADHY  
*'Etude des non linéarités et du bruit dans les transistors bigrilles submicroniques à effet de champ. Applications en microondes : amplification à gain contrôlé, multiplication de fréquences.'*  
 Thèse de 3<sup>ème</sup> cycle, Université de Lille, Sept. 1985
- [17] G. OHM, J. CZECH  
*'Dual gate GaAs FETs for microwave variable gain amplifiers.'*  
 Electronics Industry, Mar. 1980, pp 19-23
- [18] C. TSIRONIS, P. HARROP  
*'Dual gate GaAs MESFET phase shifter with gain at 12 GHz.'*  
 Electronics Letters, vol. 16, n° 14, July. 1980, pp 553-554

- [19] 'Antenne active large bande.'  
Elektor, n° 174, Dec. 1992, pp 34-36
- [20] B. NAUWELAERS, D. SCHREURS, Y. BAEYENS, S. LE VERGER, W. DE RAEDT  
'Modélisation d'un TEGFET à deux grilles pour la réalisation d'un amplificateur à gain variable en MMIC.'  
Journées Nationales Microondes, PARIS, Avril 1995, pp 6D7
- [21] J. WYRWINSKI  
'Etude théorique et expérimentale de divers fonctionnements en amplification de puissance du transistor à effet de champ bigrille à arséniure de gallium.'  
Thèse de 3<sup>ème</sup> cycle, Université de Lille, Nov. 1986
- [22] H. KLEINMAN  
'Application of dual gate MOSFET in practical radio receivers.'  
IEEE trans. on Broadcast Television Receivers, vol. 13, July 1967, pp 72-81
- [23] P. T. CHEN, C. T. LI, P. H. WANG  
'Performance of a dual gate GaAs MESFET as a frequency multiplier at Ku band.'  
IEEE trans. on MTT, vol. 27, n° 5, May 1979, pp 411-415
- [24] N. MAMODALY, P. QUENTIN, P. DUEME, J. OBREGON  
'100 MHz to 17 GHz dual gate variable gain amplifier.'  
IEEE trans. on MTT, vol. 30, n° 6, June 1982, pp 918-919
- [25] C. TSIRONIS, R. MEIERER, R. STAHLMANN  
'Dual gate MESFET mixers.'  
IEEE trans. on MTT, vol. 32, n° 3, March 1984, pp 248-255
- [26] H. ASHOKA, R. S. TUCKER  
'Modes of operation in dual gate MESFET mixers.'  
Electronics Letters, vol. 19, n° 11, May 1983, pp 428-429
- [27] C. KOLANOWSKI  
'Conception, réalisation et analyse de mélangeurs millimétriques en technologies hybride et intégrée utilisant des transistors à effet de champ HEMT de types monogrille et bigrille.'  
Thèse de 3<sup>ème</sup> cycle, Université de Lille, Mars 1996



## ***CHAPITRE II***

---

*"Extraction des éléments extrinsèques"*



# CHAPITRE II

---

## I. INTRODUCTION

---

La modélisation complète des composants actifs en fonction des polarisations extérieures, est à ce jour une étape importante dans la phase de conception de circuits microélectroniques. Leurs fonctionnements ou leurs particularités reposent, certes, essentiellement sur le comportement des zones actives, mais aux fréquences très élevées, les éléments parasites jouent un rôle non négligeable, et parfois prépondérant. Ces éléments extrinsèques, essentiellement liés aux accès des composants, contribuent à limiter les performances hyperfréquences des circuits. Il est donc impératif d'établir des méthodes de caractérisation qui permettent d'extraire de façon précise leurs valeurs, afin d'en tenir compte.

C'est pourquoi, ce deuxième chapitre est entièrement consacré à l'identification et à la détermination de l'environnement parasite du transistor à effet de champ de type bigrille.

Afin d'annihiler tout comportement actif et ainsi de ne faire ressortir que les effets parasites, toute la caractérisation extrinsèque se déroule en régime froid ( $V_{DS}=0V$ ), régime qui fera d'ailleurs l'objet d'une présentation préalable.

Nous verrons que des conditions particulières de polarisation des grilles assurent la détermination successive des éléments parallèles (capacités de plot et de couplage inter-électrodes) et des éléments séries (inductances et résistances d'accès).

Nous montrerons l'absolue nécessité de connaître les valeurs des capacités parasites pour l'extraction précise des selfs d'accès des transistors bigrilles et monogrilles.

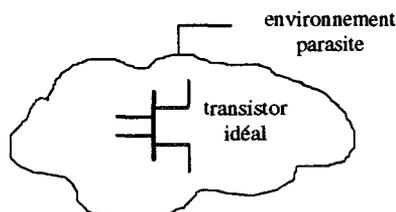
Enfin, signalons que nous avons opté pour une extraction directe, basée sur celle développée par G. Dambrine [1] pour les TECs monogrilles, plutôt qu'une méthode d'optimisation [2], étant donné le nombre important d'éléments à déterminer.

## II. LE TRANSISTOR A EFFET DE CHAMP EN REGIME 'FROID'

### II.1. Le schéma équivalent

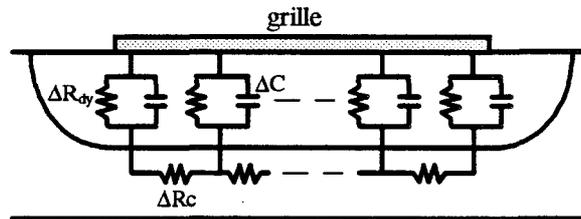
Le fonctionnement d'un transistor s'apparente en règle générale à celui d'une zone active noyée dans un environnement parasite inévitable. Si les zones d'accès contribuent essentiellement à perturber le coeur de la fonction, les capacités électrostatiques inter-électrodes jouent un rôle de plus en plus conséquent avec la montée en fréquence.

Le schéma suivant illustre le transistor bigrille actif dans son milieu réel :



Afin d'apprécier ou de quantifier les perturbations parasites, il faut être capable de dissocier leurs effets du comportement de l'élément actif. Cette distinction, délicate voire même

impossible lors de l'utilisation normale du composant, s'effectue dans un régime particulier de fonctionnement, appelé régime 'froid'. Pour les composants à effet de champ, ce régime est caractérisé par une tension Drain-Source nulle, qui entraîne la suppression de l'effet transistor proprement dit. Dans ces conditions de polarisation, la zone intrinsèque sous la grille du TEC se comporte alors comme un réseau RC distribué [3], comme suit :



$\Delta C$  = capacité de la zone désertée d'une cellule élémentaire

$\Delta R_c$  = résistance du canal sous la zone désertée d'une cellule élémentaire

$\Delta R_{dy}$  = résistance dynamique du contact Schottky d'une cellule élémentaire.

Nous déduisons ainsi le schéma équivalent petit signal du transistor bigrille en régime 'froid', représenté sur la figure II.1.

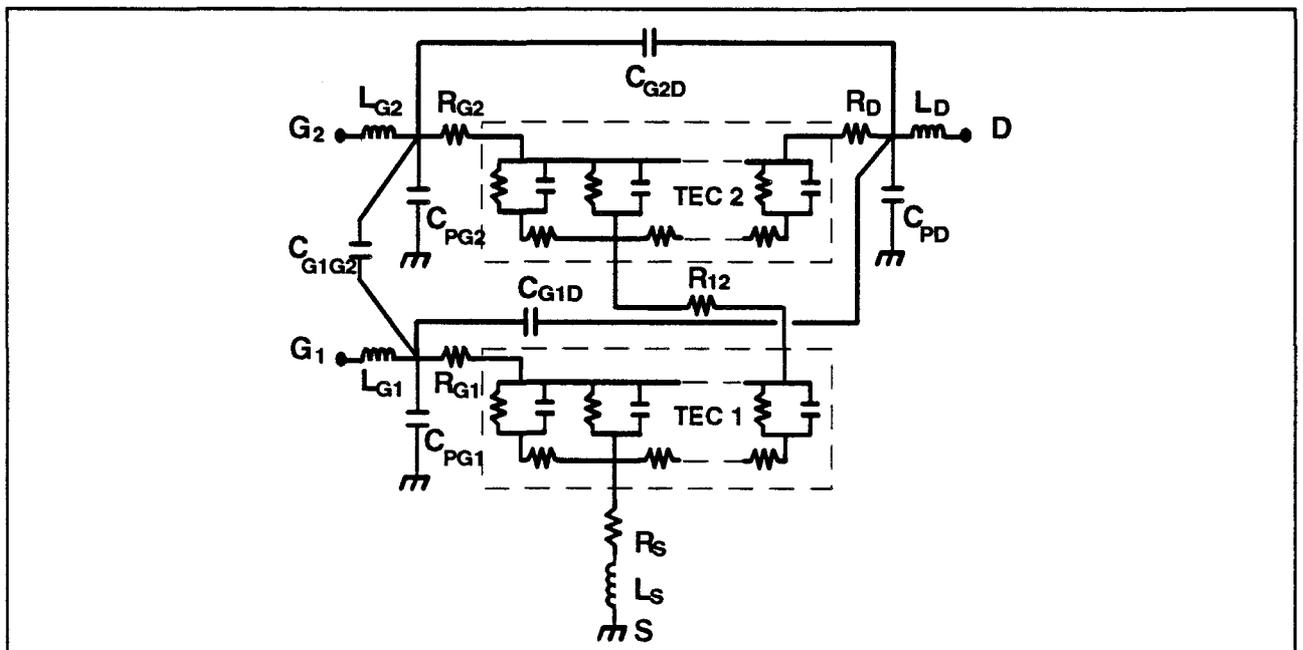


Figure II.1 : Schéma équivalent 'petit signal' du TEC bigrille en régime froid ( $V_{DS}=0V$ ).

Il faut remarquer que cette représentation découle directement de la configuration cascode décrite dans le chapitre précédent. Le composant étudié apparaît dorénavant comme un circuit totalement passif, constitué des éléments parasites et des réseaux distribués sous chaque grille.

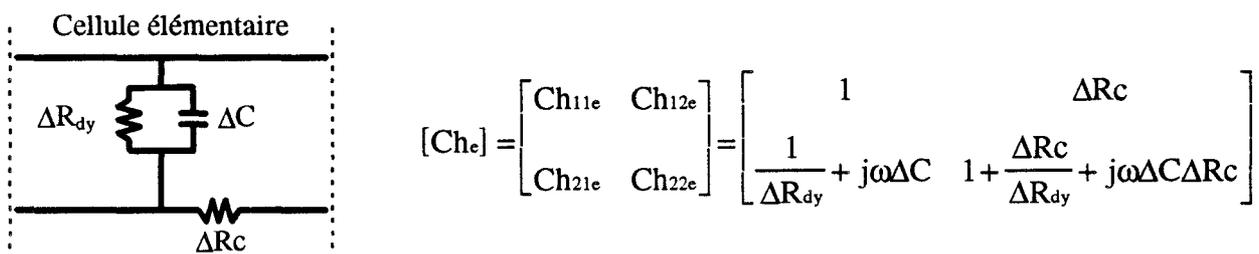
Une étude complémentaire du comportement de la zone située sous chaque grille permet, d'une part d'en simplifier la représentation électrique, et d'autre part d'établir des conditions spécifiques de polarisation pour faire ressortir tel ou tel phénomène parasite.

## II.2. Distribution longitudinale (axe source-drain)

L'idée directrice pour apprécier le comportement distribué sous la grille, est d'établir la matrice impédance ou admittance du réseau RC, sous forme analytique, afin d'en déduire un schéma équivalent localisé et simplifié.

Une première approche fait appel aux notions de quadripôles. Le réseau distribué est assimilé équivalent à une cascade de cellules élémentaires identiques, et caractérisées par une matrice chaîne, notée  $[Ch_e]$ . Ainsi, le composant intrinsèque est décrit sous la forme d'une ligne passive, distribuée et uniforme.

L'expression de la matrice chaîne élémentaire s'écrit :



Les propriétés de cette matrice semblent faciliter le calcul de la matrice impédance ou admittance du réseau complet. Il suffit en effet, d'élever cette dernière à la puissance 'n' ('n' étant le nombre de cellules totales), et de convertir le résultat en matrice  $[Z]$  ou  $[Y]$  dans la configuration source commune, par le biais des relations de passage matricielles classiques.

Nous obtenons ainsi :

$$[Z] = \frac{1}{C_{21}} \begin{bmatrix} C_{11} & C_{11}-1 \\ C_{11}-1 & C_{11}+C_{22}-2 \end{bmatrix} \quad \text{et} \quad [Y] = \frac{1}{C_{12}} \begin{bmatrix} C_{11}+C_{22}-2 & 1-C_{11} \\ 1-C_{11} & C_{11} \end{bmatrix}$$

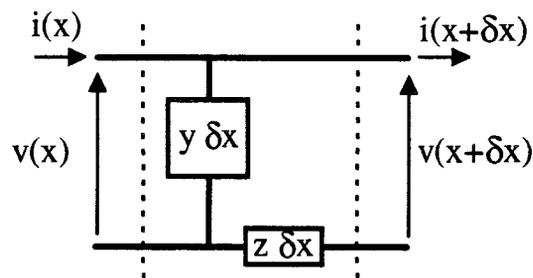
où  $C_{ij}$  sont les paramètres de la matrice  $[Ch_e]^n$ .

Si cette approche se prête bien aux programmes de simulation numérique, elle semble délicate quant à la détermination d'un schéma équivalent à partir d'expressions analytiques simples. C'est pourquoi, nous lui préférons la théorie des lignes, dont le principe repose également sur la notion de cellule élémentaire, mais couplée avec la prise en compte des lois de propagation.

Rappelons qu'une ligne de propagation en régime sinusoïdal est régie par l'équation :

$$\frac{\partial^2 v}{\partial x^2} - \gamma^2 \cdot v = 0$$

avec  $\gamma = \sqrt{y \cdot z}$  appelée constante de propagation,  $y$  et  $z$  étant respectivement l'admittance linéique parallèle et l'impédance linéique série de la ligne de propagation, dont une cellule élémentaire est représentée ci-dessous.



Les solutions de cette équation nous donnent les expressions locales de la tension  $v(x)$  et du courant  $i(x)$  sous la forme :

$$v(x) = A \cdot e^{-\gamma x} + B \cdot e^{\gamma x}$$

$$i(x) = \frac{A}{Z_c} \cdot e^{-\gamma x} - \frac{B}{Z_c} \cdot e^{\gamma x}$$

$$\text{avec } Z_c = \sqrt{\frac{z}{y}} = \text{impédance caractéristique de la ligne.}$$

Les conditions initiales lèvent l'indétermination sur les constantes A et B, et permettent d'obtenir les matrices impédance et admittance recherchées :

$$[Z] = \frac{Z_c}{\text{sh}(\gamma l)} \begin{bmatrix} \text{ch}(\gamma l) & \text{ch}(\gamma l) - 1 \\ \text{ch}(\gamma l) - 1 & 2 \cdot (\text{ch}(\gamma l) - 1) \end{bmatrix} \quad \text{et} \quad [Y] = \frac{1}{Z_c \cdot \text{sh}(\gamma l)} \begin{bmatrix} 2 \cdot (\text{ch}(\gamma l) - 1) & 1 - \text{ch}(\gamma l) \\ 1 - \text{ch}(\gamma l) & \text{ch}(\gamma l) \end{bmatrix}$$

avec  $l$  = longueur effective de la ligne

$$\gamma l = \sqrt{y \cdot z} \cdot l = \sqrt{\frac{R_c}{R_{dy}} + j\omega C R_c}$$

$$Z_c = \sqrt{\frac{z}{y}} = \sqrt{\frac{R_c}{\frac{1}{R_{dy}} + j\omega C}}$$

$C$  = capacité totale de la zone désertée sous la grille

$R_c$  = résistance canal sous la zone désertée

$R_{dy} = \eta V_t / I_G$  = résistance dynamique du contact Schottky

$V_t = kT/e \approx 26\text{mV}$  à  $300^\circ\text{K}$

$I_G$  = courant direct de grille

Il apparaît que les caractéristiques de la ligne s'expriment directement en fonction de l'argument  $\gamma l$ , par conséquent le schéma équivalent du transistor dépendra de la polarisation de grille appliquée.

Il est intéressant d'approcher les fonctions hyperboliques par leurs développements limités, à condition évidemment de s'assurer que la valeur des arguments reste très inférieure à l'unité. Si en polarisation inverse, caractérisée par un courant de grille nul, cette inégalité est respectée [3], il convient d'être prudent pour les régimes de polarisation directe. En effet, la résistance dynamique  $R_{dy}$ , inversement proportionnelle au courant  $I_G$  qui la traverse, doit rester suffisamment importante

devant la résistance  $R_c$  du canal. Cette remarque implique qu'il existe un courant de grille maximum, qu'il convient de ne pas dépasser. En deçà de cette limite et en supposant que la fréquence est suffisamment basse, les matrices  $[Z]$  et  $[Y]$  s'écrivent, au premier ordre :

$$[Z]_{V_{DS} = 0V} \approx \begin{bmatrix} \frac{R_c}{3} + \frac{R_{dy}}{1 + j\omega C R_{dy}} & \frac{R_c}{2} - j\omega C \frac{R_c^2}{24} \\ \frac{R_c}{2} - j\omega C \frac{R_c^2}{24} & R_c - j\omega C \frac{R_c^2}{12} \end{bmatrix}$$

et

$$[Y]_{V_{DS} = 0V} \approx \begin{bmatrix} \frac{1}{R_{dy}} + j\omega C & \frac{-1}{2R_{dy}} - j\omega \frac{C}{2} \\ \frac{-1}{2R_{dy}} - j\omega \frac{C}{2} & \frac{1}{R_c} + \frac{1}{3R_{dy}} + j\omega \frac{C}{3} \end{bmatrix}$$

De ces matrices découlent deux schémas équivalents simples : le premier en 'T' (figure II.2a) à partir de  $[Z]$ , et le second en 'Π' (figure II.2b) à partir de  $[Y]$ . Nous constatons que certains éléments prennent des valeurs négatives, ce qui rappelle l'origine mathématique de ces représentations.

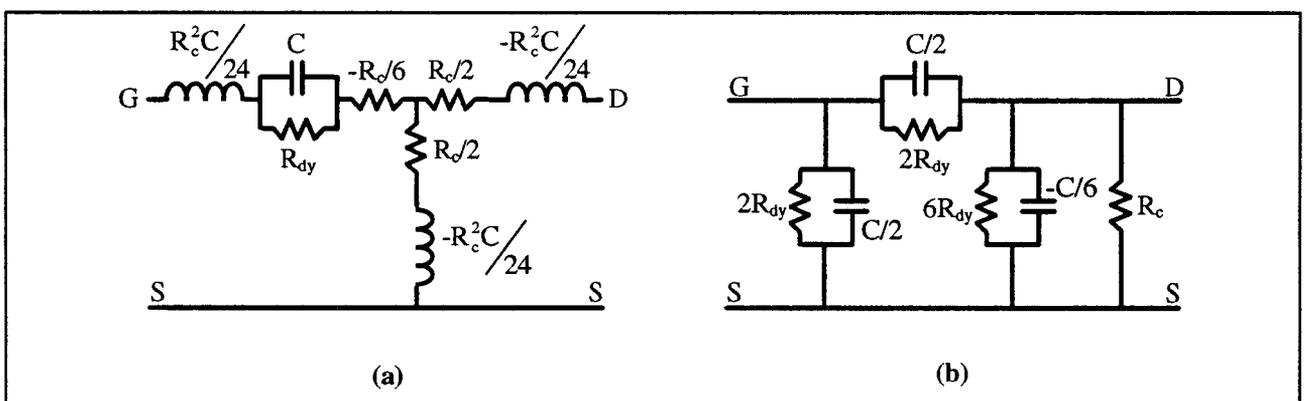


Figure II.2 : Schéma équivalent BF de la zone distribuée sous la grille d'un TEC en régime froid ( $V_{DS}=0V$ ).

(a) : schéma en 'T'

(b) : schéma en 'Π'

Les schémas traduisent bien l'existence de la zone désertée sous la grille avec en parallèle sur la capacité correspondante la résistance dynamique  $R_{dy}$ . Nous retrouvons également la notion de canal entre drain et source dans le symbole  $R_c$ .

Deux cas particuliers de polarisation de grille permettent de pousser à l'extrême la simplification du schéma équivalent, et font d'ailleurs l'objet d'une exploitation intensive au laboratoire pour la caractérisation des TECs monogrilles [1].

- Grille fortement en inverse ( $V_{GS} < V_p$ )

Ce régime étend la zone désertée dans tout l'espace sous la grille, annulant ainsi toute existence de canal conducteur entre drain et source. Les absences de ce canal et du courant de grille impliquent des valeurs infinies, respectivement, pour les résistances  $R_c$  et  $R_{dy}$ .

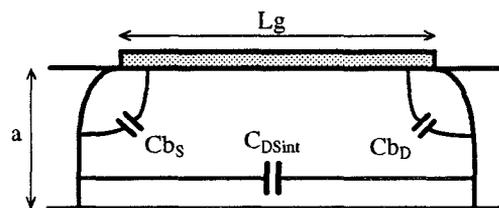
$$I_G = 0 \quad \Rightarrow \quad R_{dy} \rightarrow +\infty$$

$$V_{GS} < V_p \quad \Rightarrow \quad R_c \rightarrow +\infty$$

De plus, lorsque la zone sous la grille est totalement déplétée, la capacité intrinsèque  $C$  devient négligeable et laisse place à :

- deux capacités de bord  $C_{bS}$  et  $C_{bD}$ , dues à l'extension latérale de la dite zone
- et une capacité résiduelle intrinsèque notée  $C_{DSint}$ .

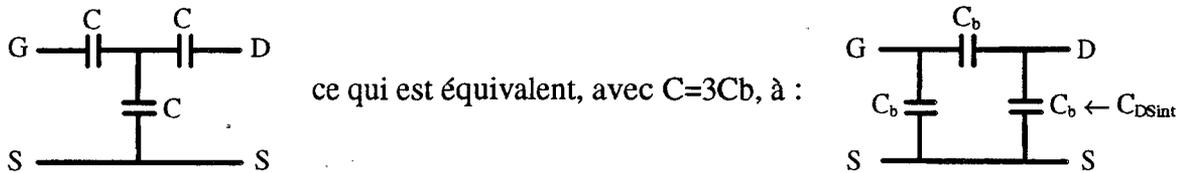
Le schéma se réduit ainsi à :



La matrice admittance s'écrit alors :

$$[Y]_{inverse} \approx j\omega \cdot \begin{bmatrix} C_{bS} + C_{bD} & -C_{bD} \\ -C_{bD} & C_{DSint} + C_{bD} \end{bmatrix}$$

Compte tenu du rapport d'aspect  $\frac{Lg}{a}$  classiquement élevé, la capacité résiduelle  $C_{DSint}$  semble négligeable. Pourtant, certains auteurs [4] la considèrent égale aux capacités de bord, pour résorber l'écart quelques fois important et non expliqué, qu'il existe entre les capacités de plot  $C_{pD}$  et  $C_{pG}$  des TECs monogrilles, mesurées avec la méthode de G. Dambrine. Ils modélisent en effet la zone désertée sous la grille de la façon suivante :

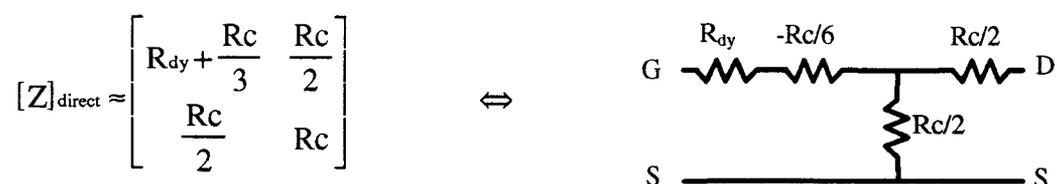


Dans notre cas, et pour la suite de ce travail, nous négligeons cette capacité  $C_{DSint}$ , faute de base théorique suffisamment convaincante. Néanmoins, nous évaluerons l'impact de cette considération sur la valeur des capacités parasites du TEC bigrille lors de leur extraction.

- Grille en direct ( $I_{GS} > 0$ )

Plus nous ouvrons le canal, et plus la zone désertée sous la grille s'amenuise, engendrant une augmentation de la capacité C. Tout laisse à penser que cette capacité court-circuite la résistance dynamique  $R_{dy}$  du contact Schottky. En fait, il n'en est rien. En effet, à partir de densités de courants relativement élevées, la décroissance exponentielle de  $R_{dy}$  l'emporte sur la croissance en racine carrée de C.

Il en résulte que tout effet capacitif disparaît pour ne laisser place qu'à un comportement purement résistif, exprimé par la matrice impédance et le schéma équivalent suivants :



De façon analogue au TEC monogrille, nous profiterons de ces deux configurations particulières, pour identifier les éléments parasites du transistor bigrille.

### II.3. Distribution transversale

Si l'axe source-drain est prépondérant dans l'effet transistor, il nous semble intéressant de considérer les phénomènes de propagation dans le sens transversal, c'est-à-dire le long de l'électrode de grille.

Deux approches différentes mais complémentaires sont nécessaires pour mener à bien cette étude [5]. La première est du ressort du spécialiste des phénomènes propres aux composants à semi-conducteurs, quant à la seconde, elle relève du spécialiste de l'électromagnétisme des structures de propagation.

Dans le cadre de ce mémoire, l'objectif de cette analyse est d'aboutir à un schéma équivalent suffisamment simple et complet pour être physiquement significatif. C'est pourquoi, nous abordons le problème de manière simple, en considérant surtout l'influence de l'impédance propre de grille, notée  $Z_{\text{Grille}}$  [6]. L'étroitesse de cette dernière lui confère un comportement essentiellement selfique, et compte tenu de la résistance métallique, nous l'assimilons en première approximation équivalente à :



avec  $R_m =$  résistance métallique totale de la grille  
 $L_m =$  inductance totale présentée par la grille

· Pour prendre en compte l'effet de distribution transversale, le composant intrinsèque est représenté par l'association d'une multitude de tranches infiniment minces de largeur  $\Delta x$ , reliées entre elles par des fractions d'impédance de grille constituées des éléments  $\Delta R_m$  et  $\Delta L_m$ , avec :

$$\Delta R_m = R_m \frac{\Delta x}{W} \quad \text{et} \quad \Delta L_m = L_m \frac{\Delta x}{W}$$

$W$  étant la largeur totale de la grille.

Cette façon de représenter les choses ne prétend pas décrire exactement tous les phénomènes jusqu'aux fréquences submillimétriques, mais permet de les aborder par une approche satisfaisante dans la gamme d'utilisation de nos composants.

Ainsi, le schéma global, en régime froid et au niveau d'une grille, s'apparente à celui de la figure II.3.

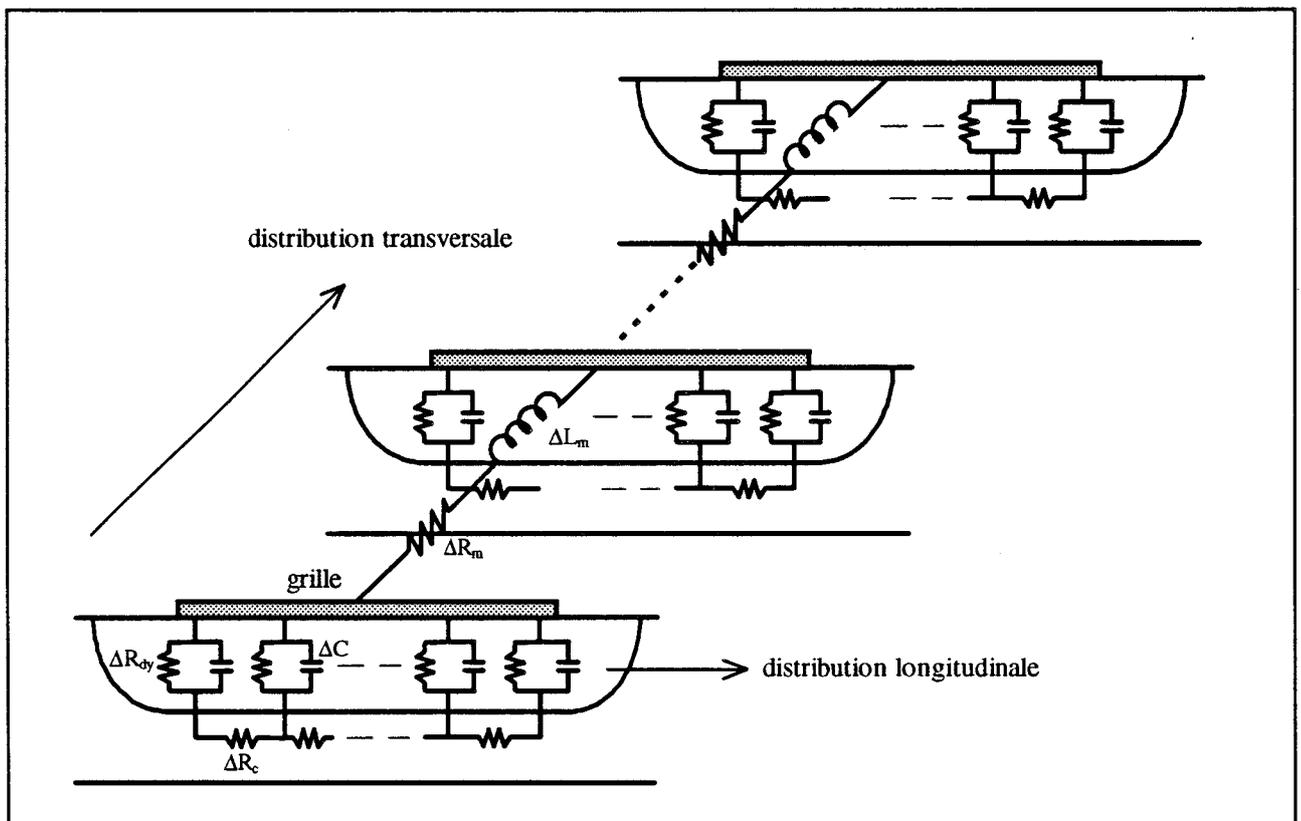


Figure II.3 : Schéma équivalent intrinsèque distribué d'un TEC à  $V_{DS}=0V$ .

L'étude locale d'une cellule élémentaire, représentée sur la figure II.4, permet d'obtenir les équations différentielles suivantes (annexe II.1) :

$$v_g(x) = -W \cdot \left[ Z_{11} \frac{\partial i_g}{\partial x} + Z_{12} \frac{\partial i_d}{\partial x} \right] \qquad v_d(x) = -W \cdot \left[ Z_{21} \frac{\partial i_g}{\partial x} + Z_{22} \frac{\partial i_d}{\partial x} \right]$$

$$\frac{\partial v_g}{\partial x} = -\frac{Z_{Grille}}{W} \cdot i_g(x)$$

avec  $Z_{ij}$  = paramètres impédances du réseau RC sous la grille

La combinaison de ces relations aboutit à l'équation de propagation de l'ensemble :

$$\frac{\partial^2 i_g}{\partial x^2} - \gamma^2 \cdot i_g = 0$$

avec  $\gamma^2 = \frac{Z_{Grille} \cdot Y_{11}}{W^2}$  et  $Y_{11}$  = admittance d'entrée du réseau RC sous la grille

Les conditions aux limites sont liées à la topologie de la structure et reposent sur l'hypothèse des circuits ouverts aux extrémités de la grille et du drain, ce qui s'exprime par :

$$\begin{aligned} i_g(0) &= I_G & i_g(W) &= 0 \\ i_d(0) &= 0 & i_d(W) &= -I_D \end{aligned}$$

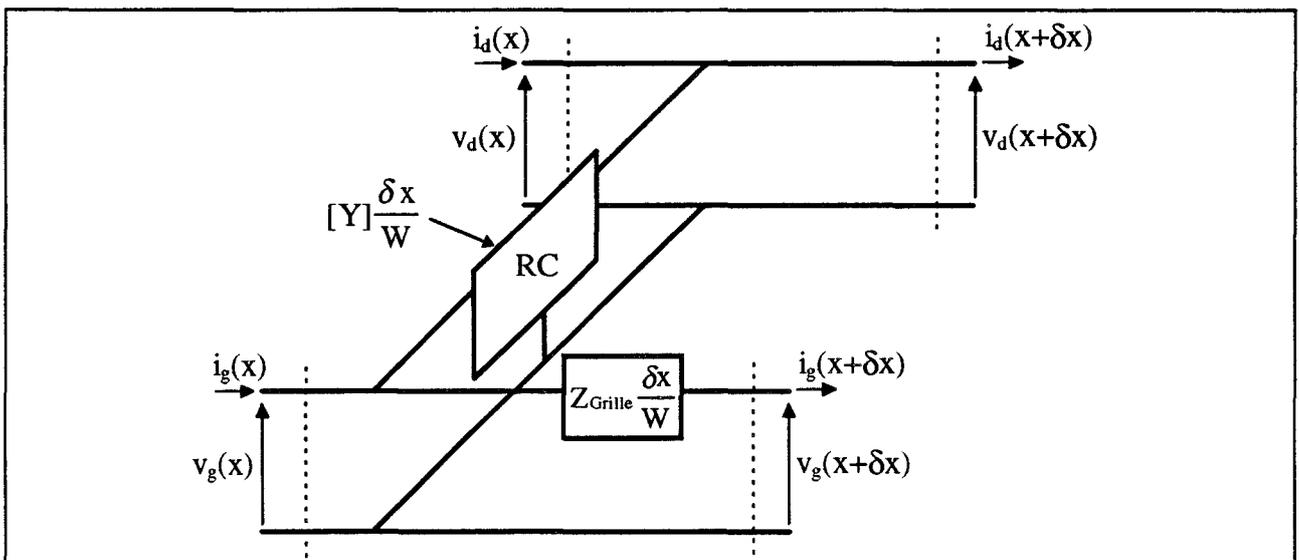
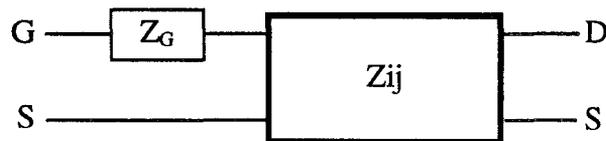


Figure II.4 : Cellule élémentaire utilisée pour l'étude de la distribution transversale.

La résolution de ces équations permet d'aboutir finalement et sans approximation à la matrice impédance de l'ensemble, qui s'écrit :

$$[Z] = \begin{bmatrix} Z_{11} + Z_{Grille} \left( \frac{\coth(\gamma W)}{\gamma W} - \frac{1}{(\gamma W)^2} \right) & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = \begin{bmatrix} Z_{11} + Z_G & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix}$$

Il apparaît que l'effet de la distribution transversale, telle que nous l'avons symbolisée, ne perturbe que le paramètre d'entrée  $Z_{11}$ , phénomène observé par ailleurs [7] et expliqué par le fait que la distribution sur le drain est totalement négligée. Ce résultat se traduit par l'ajout d'un terme représentatif de l'impédance équivalente amenée par la grille, et notée  $Z_G$ . Schématiquement, nous retrouvons ce terme en série sur la branche d'entrée :



Dans le cas particulier où l'argument  $\gamma W$  demeure faible devant 1, l'expression de l'impédance de grille équivalente se simplifie et devient :

$$\text{Si } \gamma W \ll 1 \quad \Leftrightarrow \quad Z_G \approx \frac{Z_{Grille}}{3} \left( 1 - \frac{(\gamma W)^2}{15} \right)$$

D'après l'expression de la constante de propagation, cette condition est vérifiée en basses fréquences, si et seulement si  $R_m \ll R_{dy}$ . Il en résulte que l'approximation sera d'autant plus valable que le courant de grille sera faible. Elle sera au contraire largement discutable à courant de grille élevé.

Si nous ne retenons que le terme du premier ordre, à savoir  $Z_{Grille}/3$ , l'impédance équivalente de grille se trouve totalement dissociée du régime intrinsèque du transistor, car

indépendante de l'argument ( $\gamma W$ ). Cette approximation permet de la considérer alors comme étant un élément parasite et localisé.

Nous avons simulé un réseau factice en régime froid tel que celui de la figure II.3, constitué de 50 cellules dans le sens transversal, et 50 cellules dans le sens longitudinal, avec les données suivantes, typiques pour un composant de largeur  $100 \mu\text{m}$  :

$$R_m=10\Omega \quad L_m=100\text{pH} \quad R_c=1\Omega \quad R_{dy}=35\Omega \quad C=100\text{fF}$$

La figure II.5 représente l'évolution des paramètres impédances du réseau complet en fonction de la fréquence. Il apparaît clairement que seul le paramètre d'entrée  $Z_{11}$  est affecté par l'effet de distribution transversale, ce qui corrobore les conclusions de l'analyse théorique. De plus, nous retrouvons le caractère selfique négatif des paramètres  $Z_{12}$  et  $Z_{22}$  des réseaux RC longitudinaux, prévu dans le paragraphe précédent. Notons que  $Z_{21}$  n'est pas représenté, car il est rigoureusement égal à  $Z_{12}$  (quadripôle passif).

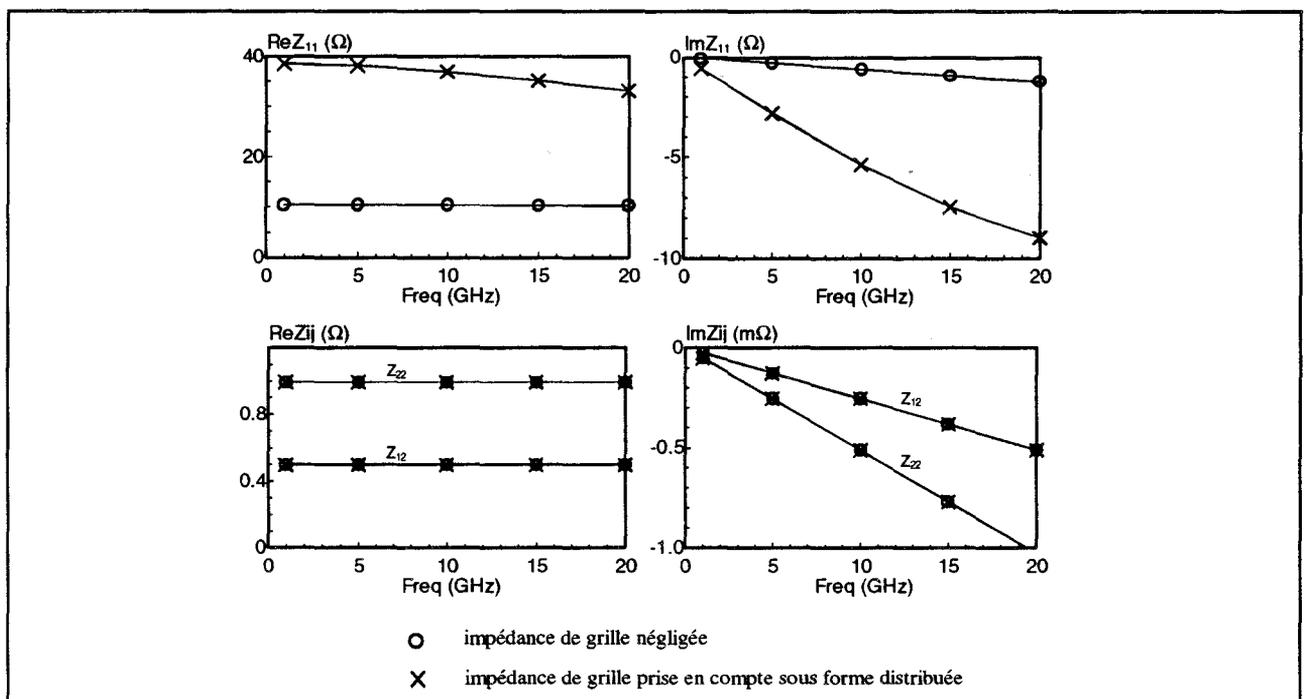


Figure II.5 : Evolutions typiques des paramètres impédances d'un TEC froid intrinsèque en fonction de la fréquence.  
Influence de la distribution transversale le long de la grille.

### III. DETERMINATION DES ELEMENTS PARASITES PARALLELES

Nous avons évoqué précédemment deux cas de polarisations extrêmes, le composant étant en régime froid. L'exploitation des propriétés présentées par le transistor dans le premier cas, c'est-à-dire avec les grilles polarisées fortement en inverse, offre la possibilité de déterminer les éléments parasites parallèles. Ce paragraphe y est entièrement dédié.

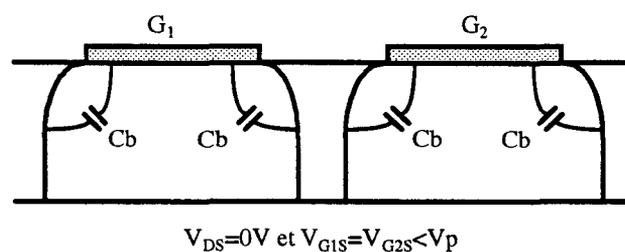
Ajoutons entre parenthèses, que nous rencontrons parfois ce régime de fonctionnement dans les applications de type commutateur hyperfréquence [8].

#### III.1. Schéma équivalent

Le paragraphe précédent a montré que le schéma intrinsèque de la partie située sous chaque grille se résumait à deux capacités  $C_{bS}$  et  $C_{bD}$  liées à l'extension latérale de la zone désertée. En considérant que cette zone s'étend de manière symétrique de part et d'autre de la grille, nous pouvons écrire :

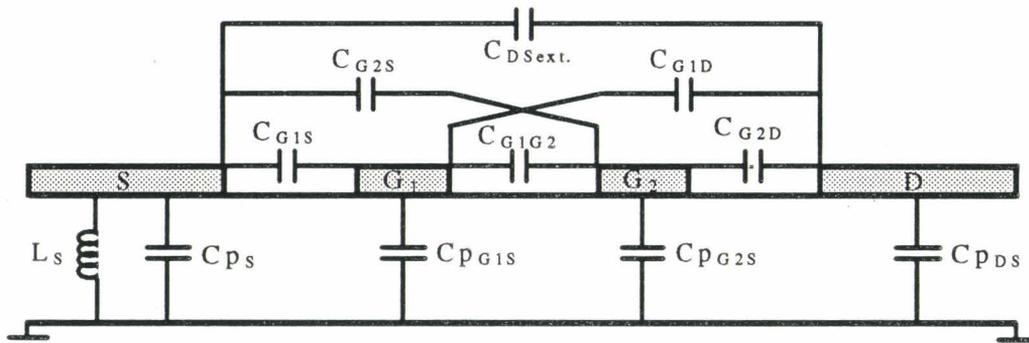
$$C_{bS} = C_{bD} = C_b$$

Nous avons vu de plus, que les deux grilles sont en pratique suffisamment éloignées pour admettre que les zones déplétées ne se chevauchent pas. En effet, les distances intergrilles couramment rencontrées sont de l'ordre du micron. Il en résulte que pour deux polarisations de grille  $V_{G1S}$  et  $V_{G2S}$  identiques, la structure est parfaitement symétrique, car le canal est equipotentiel (composant bloqué à  $V_{DS}=0V$ ), ce que nous schématisons comme suit :



La propriété essentielle de ce régime est d'isoler naturellement chaque accès du composant, ce qui a l'avantage de faire ressortir et mettre en avant les effets des éléments parallèles, au détriment des éléments séries.

Le schéma ci-après comporte l'ensemble des capacités parallèles rencontrées dans les structures bigrilles, et définies comme parasites car indépendantes des polarisations :



Remarque : les plots notés S, G<sub>1</sub>, G<sub>2</sub> et D englobent les zones d'accès et les plots de contact ohmique de leur électrode respective.

Nous distinguons deux ensembles d'éléments parasites parallèles :

- les capacités  $C_{pS}$ ,  $C_{pG1S}$ ,  $C_{pG2S}$  et  $C_{pDs}$  entre les plots métalliques des électrodes respectives et le substrat.
- les capacités  $C_{G1S}$ ,  $C_{G1G2}$ ,  $C_{G2D}$ ,  $C_{G2S}$ ,  $C_{G1D}$  et  $C_{Dsext.}$  résultantes du couplage électrostatique entre les électrodes. Nous incluons dans ces capacités, les capacités de couplage dans l'air et dans le semi-conducteur [9,10].

Si la valeur de ces éléments demeure relativement faible, en général inférieure à 100 fF, pour un composant classique, leurs effets deviennent très importants aux fréquences millimétriques. C'est pourquoi, il convient de les déterminer le plus précisément possible.

Pratiquement, il est difficile d'évaluer chaque capacité indépendamment des autres, en particulier à cause de la self de source  $L_S$ . En effet, pour éliminer l'influence des selfs d'accès, les mesures sont effectuées en basses fréquences, ce qui implique deux conséquences :

- la capacité de plot  $C_{pS}$  se trouve systématiquement court-circuitée par  $L_S$ , dont la valeur est généralement faible. Sa détermination est donc délicate et difficile. Notons que cette capacité  $C_{pS}$  n'existe pratiquement pas pour des structures de type coplanaire.
- les capacités de couplage  $C_{G1S}$ ,  $C_{G2S}$  et  $C_{DSext}$  sont mises à la masse via  $L_S$ , et donc en parallèle respectivement sur  $C_{pG1S}$ ,  $C_{pG2S}$  et  $C_{pDS}$ . Nous simplifions ainsi la représentation électrique en les incluant dans les capacités de plots notées  $C_{pG1}$ ,  $C_{pG2}$  et  $C_{pD}$ .

Compte tenu de ces remarques, le schéma équivalent complet du transistor bigrille, en régime froid et polarisé fortement en inverse, apparaît sur la figure II.6.

La position parallèle des éléments capacitifs nous conduit à étudier et analyser la matrice admittance  $[Y]$  de cette représentation, afin de déterminer leurs valeurs.

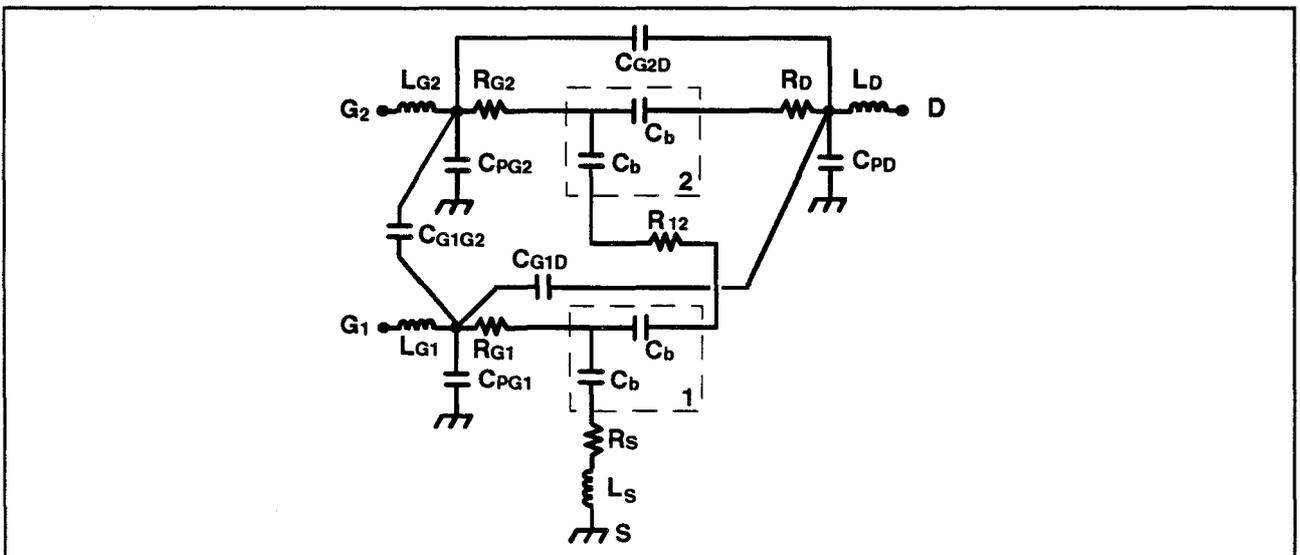


Figure II.6 : Schéma équivalent du TEC bigrille en régime froid.  
 $(V_{DS}=0V, V_{G1S} = V_{G2S} < V_{pinch-off})$

### III.2. Extraction des capacités parasites

L'analyse du schéma équivalent (figure II.6) montre que sa matrice admittance [Y] permet d'effectuer des simplifications intéressantes dans le domaine des basses fréquences. En effet, si nous considérons la fréquence suffisamment basse au point de pouvoir négliger la présence des selfs d'accès, l'expression de la partie imaginaire de [Y] s'écrit au 2<sup>ème</sup> ordre :

(avec  $G_1$ =accès1,  $G_2$ =accès2 et  $D$ =accès3)

$$\text{Im}[Y] \approx \omega \cdot \begin{bmatrix} C_{pG1} + \frac{3}{2}C_b + C_{G1G2} + C_{G1D} & -\frac{C_b}{2} - C_{G1G2} & -C_{G1D} \\ -\frac{C_b}{2} - C_{G1G2} & C_{pG2} + \frac{3}{2}C_b + C_{G1G2} + C_{G2D} & -C_b - C_{G2D} \\ -C_{G1D} & -C_b - C_{G2D} & C_{pD} + C_b + C_{G1D} + C_{G2D} \end{bmatrix}$$

Nous obtenons une matrice, dont les éléments varient de façon linéaire en fonction de la fréquence, et qui peut être schématisée électriquement par la figure II.7.

La contribution des résistances séries est négligeable au niveau de ces paramètres dans les conditions BF. Leur présence n'intervient en fait que dans la partie réelle de [Y], dans des termes proportionnels au carré de la fréquence.

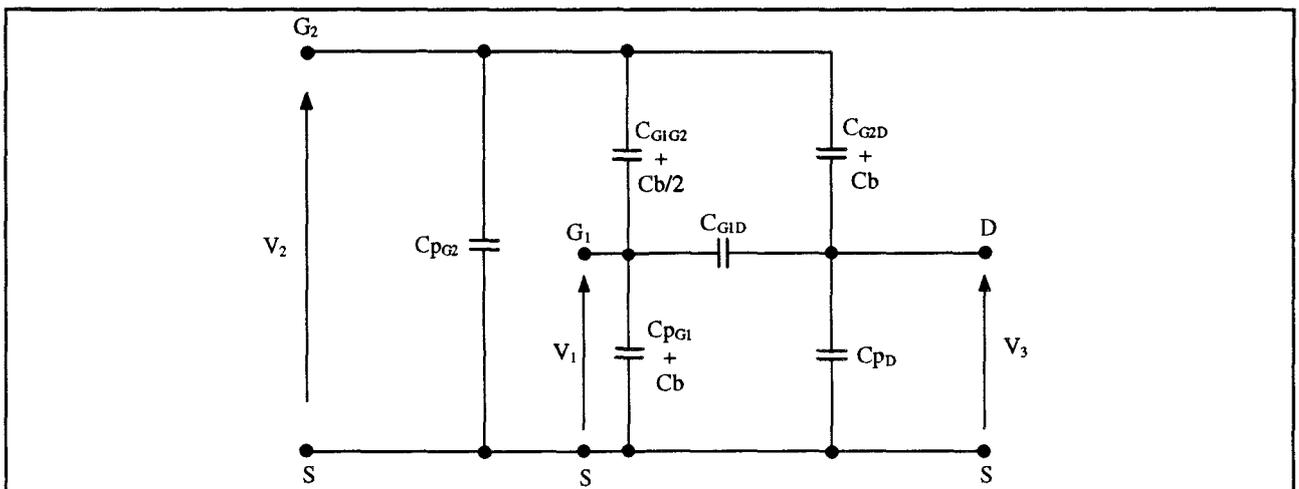


Figure II.7 : Représentation électrique BF de la matrice  $\text{Im}[Y]$  du TEC bigrille.  
( $V_{DS}=0V$ ,  $V_{G1S} = V_{G2S} < V_{pinch-off}$ )

Rappelons que pratiquement, la matrice admittance est obtenue à partir de la mesure des paramètres de dispersion  $S_{ij}$ , par le biais de la relation matricielle suivante :

$$[Y] = \frac{1}{Z_0} \cdot ([I] - [S]) \cdot ([I] + [S])^{-1}$$

où  $Z_0$  = impédance caractéristique

$[S]$  = matrice Scattering mesurée

$[I]$  = matrice identité

Les figures II.8a et II.8b présentent l'évolution expérimentale des paramètres  $\text{Im}Y_{ij}$  d'un transistor bigrille dans les conditions de polarisation étudiées en fonction de la fréquence. Nous constatons et vérifions pratiquement les lois linéaires qui lient ces grandeurs en basses fréquences.

La symétrie de la matrice (composant passif) réduit à 6 le nombre d'équations indépendantes pour 7 inconnues. Il est donc nécessaire d'apporter une information supplémentaire, afin de résoudre le système et extraire la valeur des capacités mises en jeu.

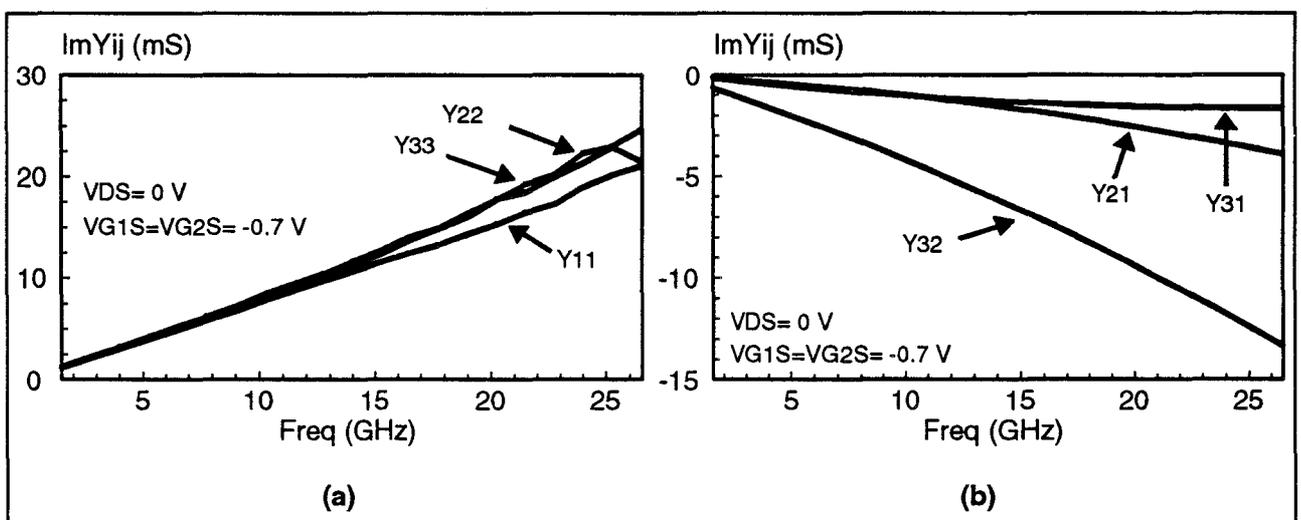


Figure II.8 : Evolutions expérimentales des paramètres  $\text{Im}Y_{ij}$  d'un TEC bigrille en régime froid et en fonction de la fréquence.  
( $V_{DS} = 0\text{ V}$ ,  $V_{G1S} = V_{G2S} < V_{pinch-off}$ )

Deux solutions sont envisageables :

- a- les capacités de plots dépendent essentiellement de la topologie des composants, c'est pourquoi il est légitime d'écrire :

$$C_{pG1} \approx C_{pG2}$$

pour des structures à grilles identiques (accès + grilles).

- b- l'autre possibilité est de considérer que les capacités  $C_b$  du transistor bigrille sont identiques à celles d'un TEC monogrille réalisé sur le même 'wafer' (à développement de grille égal), soit :

$$C_b \approx C_{b_{\text{monogrille}}}$$

Les échantillons que nous serons amenés à caractériser répondent exactement au critère requis du premier cas, c'est pourquoi nous l'appliquerons. Néanmoins, par mesure de vérification et de validation, nous comparerons systématiquement les capacités de bord  $C_b$  à celles des composants monogrilles.

Remarque : le système d'équations étant le suivant :

$$C_{11} = C_{pG1} + \frac{3}{2}C_b + C_{G1G2} + C_{G1D}$$

$$C_{12} = C_{21} = \frac{C_b}{2} + C_{G1G2}$$

$$C_{22} = C_{pG2} + \frac{3}{2}C_b + C_{G1G2} + C_{G2D}$$

$$C_{13} = C_{31} = C_{G1D}$$

$$C_{33} = C_{pD} + C_b + C_{G1D} + C_{G2D}$$

$$C_{23} = C_{32} = C_b + C_{G2D}$$

Les valeurs des capacités  $C_{G1D}$ ,  $C_{pG2}$  et  $C_{pD}$  restent indépendantes de la relation supplémentaire qu'il faut apporter, car elles s'expriment uniquement en fonction des pentes mesurées :

$$C_{G1D} = C_{13}$$

$$C_{pG2} = C_{22} - C_{12} - C_{23}$$

$$C_{pD} = C_{33} - C_{13} - C_{23}$$

## Influence des selfs

Si la présence des inductances d'accès est négligeable en BF, elles contribuent à modifier l'évolution des paramètres admittances avec la fréquence. Ces perturbations sont donc susceptibles d'engendrer des erreurs quant à la valeur des capacités.

Les développements limités des paramètres  $\text{Im}Y_{ij}$  montrent que les selfs interviennent au 3<sup>ème</sup> ordre, ce qui sous-entend que les éventuelles erreurs ne prendront pas des proportions démesurées. Néanmoins, afin de s'affranchir de tout effet selfique et dans le but d'extraire précisément la valeur des capacités, il convient de retrancher mathématiquement l'impédance présentée par les selfs d'accès.

Nous avons tracé sur la figure II.9, les évolutions fréquentielles des paramètres  $\text{Im}Y_{ij}$  d'un transistor monogridde dans les mêmes conditions de polarisation et dans les deux cas suivants :

- en négligeant les selfs d'accès
- en retirant mathématiquement l'effet de ces selfs

Nous vérifions que dans le premier cas, les courbes ont un comportement asymptotique voisin de celui des capacités, quand la fréquence diminue.

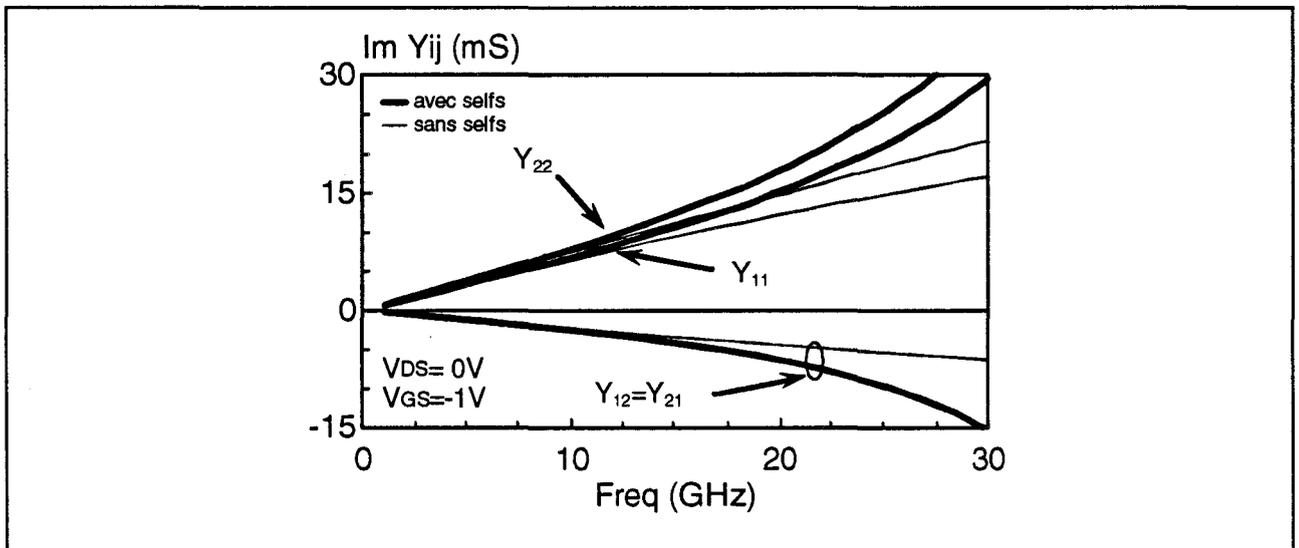


Figure II.9 : Influence des selfs d'accès sur l'évolution des paramètres  $\text{Im}Y_{ij}$  d'un TEC monogridde en fonction de la fréquence.  
( $V_{DS} = 0V$ ,  $V_{GS} < V_{\text{pinch-off}}$ )

Pour corriger ces effets selfiques, il est a priori nécessaire de connaître la valeur des inductances, dont le principe d'extraction est détaillé dans le paragraphe suivant. Malheureusement, l'obtention de leur valeur passe également, mais de façon impérative, par la connaissance préalable des capacités parasites. Afin de résoudre ce problème, des valeurs approchées des selfs, établies lors de leur caractérisation, sont utilisées et suffisent amplement à effectuer la correction.

La parfaite linéarité des paramètres  $ImY_{ij}$  sur une large plage de fréquences témoigne de la bonne élimination des effets selfiques, et assure ainsi une excellente précision pour la détermination des capacités parasites.

Notons que, de manière purement empirique, nous avons établi que la bande de fréquence optimale pour appliquer cette extraction, s'étend jusque 10 GHz, voire 15 GHz.

Le tableau ci-après rassemble les valeurs de capacités mesurées sur un transistor bigrille de longueur de grilles  $0.15\mu\text{m}$ , avec et sans prise en compte des effets selfiques :

	$C_{G1D}$ (fF)	$C_{G2D}$ (fF)	$C_{pG1}$ (fF)	$C_{pG2}$ (fF)	$C_{pD}$ (fF)	$C_b$ (fF)
selfs négligées	9	27	37	37	59	39
selfs prises en compte	8	23	37	37	55	36
écart relatif (%)	12	17	-	-	7	8

Nous observons de faibles variations dans les résultats, malgré les valeurs importantes des selfs. En effet, ce composant de largeur de grille  $1 \times 150\mu\text{m}$ , présente des inductances de l'ordre :

$$L_S \approx 20 \text{ pH} \quad L_{G1} \approx L_{G2} \approx 100 \text{ pH} \quad L_D \approx 145 \text{ pH}$$

De plus, il faut souligner que nous retrouvons sensiblement la même capacité de bord  $C_b$  que celle d'un TEC monogrille mesurée sur le même 'wafer' (36 fF au lieu de 37 fF).

La figure II.10 résume la méthodologie mise en oeuvre pour extraire précisément les capacités parasites du transistor bigrille.

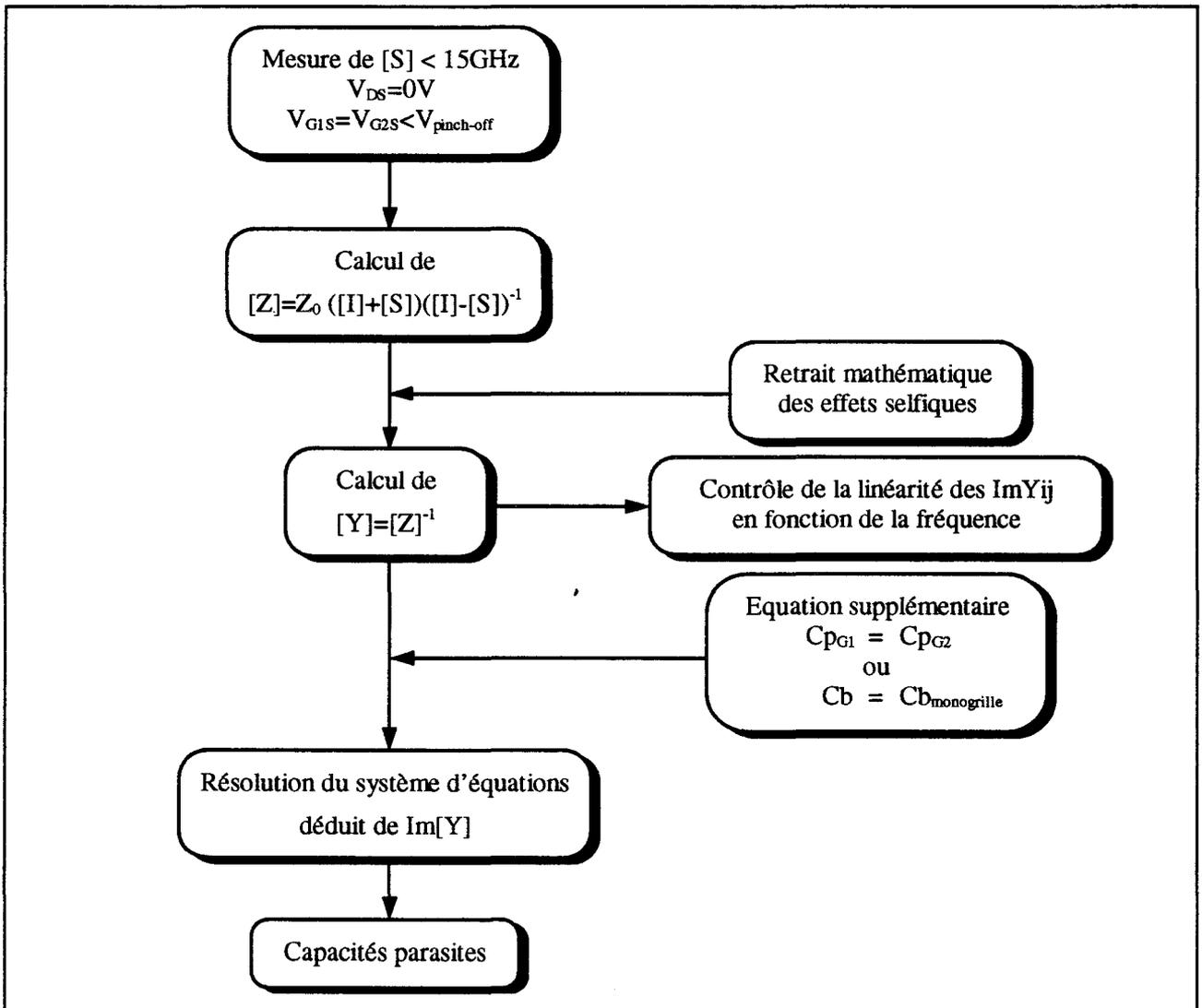


Figure II.10 : Méthodologie d'extraction des capacités parasites du TEC bigrille.

### III.3. Etudes et remarques complémentaires

#### III.3.1. Influence de $C_{DSint}$

Comme précisé dans le paragraphe II.2 de ce chapitre, nous écartons, lors de la détermination des capacités, toute présence de capacité  $C_{DSint}$  intrinsèque à la zone désertée.

Si cette dernière existe, le fait de ne pas la prendre en compte conduit directement et de façon triviale à une surestimation de la capacité de plot de drain  $C_{pD}$  des composants monogrilles. En revanche, concernant les transistors bigrilles, les conséquences sont moins évidentes et requièrent une étude théorique.

Nous résumons ci-dessous l'influence de la présence des capacités  $C_{DSint}$ , considérées identiques sous chaque grille (figure II.11) sur l'extraction des capacités parasites :

en posant  $C_{err} = \frac{1}{2} \cdot \frac{C_b \cdot C_{DSint}}{C_b + C_{DSint}}$ , nous obtenons

$$\begin{aligned}
 C_b^{mes} &= C_b & C_{p_G}^{mes} &= C_{p_G} + C_{err} & C_{p_D}^{mes} &= C_{p_D} + C_{err} \cdot \frac{C_{DSint}}{C_b} \\
 C_{G1D}^{mes} &= C_{G1D} + C_{err} & C_{G2D}^{mes} &= C_{G2D} + C_{err} & C_{G1G2}^{mes} &= C_{G1G2} - C_{err}
 \end{aligned}$$

Il apparaît clairement, à la lecture de ces expressions, que l'éventuelle existence des capacités  $C_{DSint}$ , mène à une sous-estimation de la capacité intergrille  $C_{G1G2}$  et à une surestimation

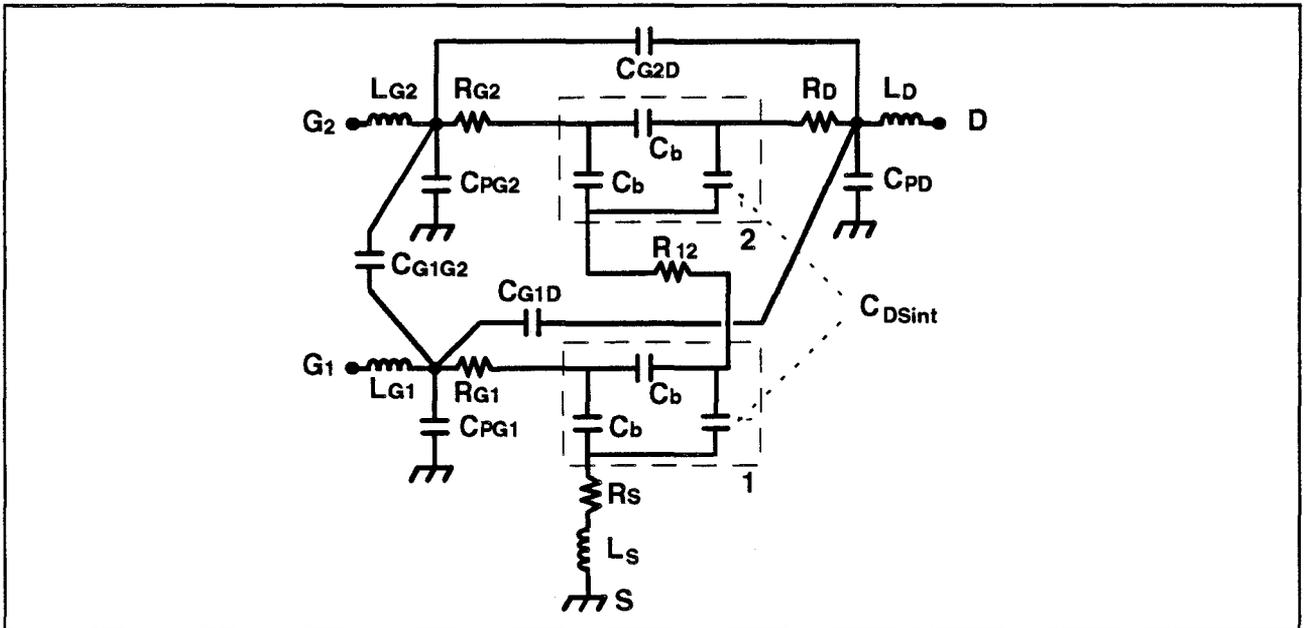


Figure II.11 : Schéma équivalent du TEC bigrille en régime froid.

( $V_{DS}=0V$ ,  $V_{G1S}=V_{G2S}<V_{pinch-off}$ )

Prise en compte des capacités intrinsèques  $C_{DSint}$ .

de toute autre capacité parasite. Seules, les capacités de bord  $C_b$  sont extraites avec précision, car indépendantes de  $C_{DSint}$ .

Le tableau suivant présente les différences obtenues sur un cas pratique en utilisant les hypothèses de White [4], qui considère indirectement que la capacité  $C_{DSint}$  est égale aux capacités de bord  $C_B$  :

	$C_{G1D}$ (fF)	$C_{G2D}$ (fF)	$C_{pG1}$ (fF)	$C_{pG2}$ (fF)	$C_{pD}$ (fF)	$C_b$ (fF)
$C_{DSint}$ négligée	8	23	37	37	55	36
$C_{DSint} = C_B$	-1	14	28	28	46	36
écart relatif (%)	112	39	24	24	16	-

Il apparaît nettement dans ce cas, certes extrême, que les résultats sont entachés d'erreurs importantes. De plus, cette hypothèse peut conduire, comme le montre ce tableau, à des valeurs négatives de capacités, donc à des résultats non physiques. C'est pourquoi pour la suite de nos travaux, nous ne considérons pas ces capacités  $C_{DSint}$ .

### III.3.2. Le 'Scaling'

Sous ce titre se dissimulent toutes les lois d'échelle qui existent entre les valeurs des éléments du schéma électrique équivalent et les dimensions géométriques du composant.

L'étude particulière des capacités de plot, telles que nous les avons définies, en fonction de la largeur du transistor notée  $W$ , fait apparaître une relation linéaire liant ces grandeurs, que nous pouvons écrire de façon générale :

$$C_{plot} = C_{accès} + \alpha \cdot W$$

$$C_{plot} = C_{accès} + C_{composant}$$

La représentation des capacités de plot mesurées en fonction de la largeur de grille, permet de dissocier la contribution capacitive des zones accès (ordonnée à l'origine) et celle de la zone active du TEC lui-même. Par conséquent, il devient possible et intéressant d'optimiser la topologie des composants, du point de vue accessibilité, afin de minimiser les effets néfastes pour des applications millimétriques. Il faut préciser que dans cette étude, seule la largeur unitaire varie ; autrement écrit, le nombre de doigts de grille reste constant, afin de préserver les mêmes conditions d'accessibilité.

Cette méthodologie, appliquée à des TECs pseudomorphiques monogrilles en structure coplanaire, a montré logiquement que la contribution capacitive des zones d'accès de grille était nettement inférieure pour la topologie dite en 'U', que pour celle dite en 'T' [11].

A titre d'exemple, nous présentons sur la figure **II.12**, l'évolution des capacités de plot de grille  $C_{pG}$  et de drain  $C_{pD}$  de transistors bigrilles en fonction de la largeur  $W$  (PM-HEMTs,  $L_G=0.15\mu\text{m}$ ,  $W=1\times 50\mu\text{m}$ ,  $W=1\times 75\mu\text{m}$  et  $W=1\times 150\mu\text{m}$ ). Nous relevons que les zones d'accès de grille et de drain apportent des valeurs capacitives du même ordre ( $\approx 35$  fF), ce qui correspond sans surprise aux topologies identiques des différents accès des composants. Remarquons de plus, que ces accès participent de manière très importante dans la valeur des capacités de plots globales, ce qui renforce le fait qu'il importe d'optimiser leur topologie pour des fonctionnements aux fréquences élevées.

### **III.4. Conclusion**

Le comportement du transistor froid ( $V_{DS}=0V$ ) a permis d'élaborer une méthodologie d'extraction des capacités parasites du TEC bigrille, dont le principe général repose sur la caractérisation du composant polarisé avec les deux grilles en inverse. Si cette méthode permet de

connaître la valeur de chaque capacité de plot, elle offre également l'avantage de déterminer les capacités de couplage inter-électrodes.

Quelques problèmes ont été soulevés, notamment l'existence de  $C_{DSint}$  et de son éventuelle influence sur la détermination des éléments capacitifs extrinsèques.

Nous avons isolé et identifié la contribution non négligeable des zones d'accès dans les capacités de plot de chaque électrode.

Des mesures effectuées sur plusieurs types de transistors bigrilles (MESFET, HEMT, PM-HEMT) avec différents développements de grille valident notre méthode. Ces résultats font l'objet d'une présentation dans le 4<sup>ème</sup> chapitre de ce mémoire.

Il faut ajouter finalement, que l'extraction des éléments parasites parallèles requiert le plus grand soin, car nous montrons dans le paragraphe suivant, que la détermination des selfs d'accès en dépend directement.

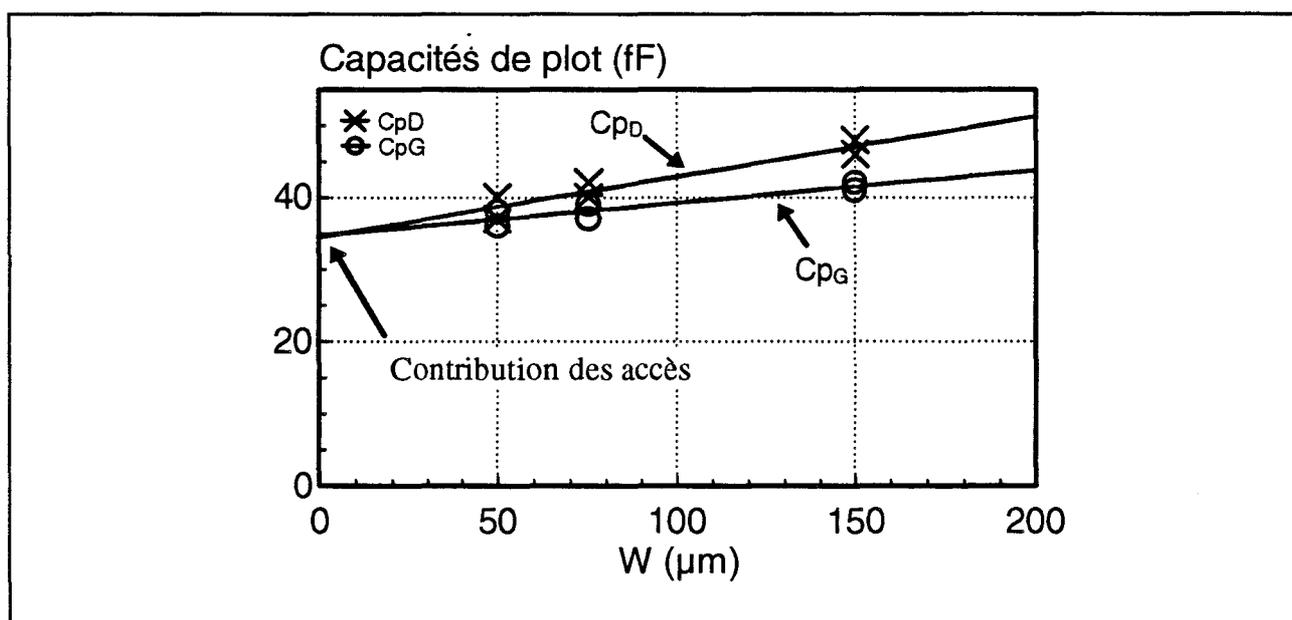


Figure II.12 : Evolutions des capacités de plot  $C_{pG}$  et  $C_{pD}$  en fonction de la largeur  $W$  des composants.  
(PM-HEMTs bigrilles,  $L_G=0.15\mu m$ , 1 doigt par grille)

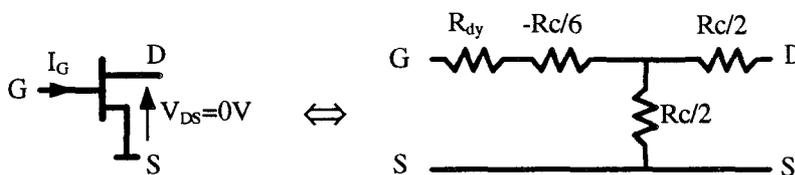
## IV. DETERMINATION DES ELEMENTS PARASITES SERIES

L'extraction des éléments parasites séries fait appel aux propriétés mises en évidence dans le premier paragraphe, et relatives au TEC en régime froid parcouru par un courant de grille dans le sens direct. Si ce fonctionnement particulier requiert des précautions d'emploi pour la sauvegarde du contact Schottky [12], il a l'avantage de configurer le composant intrinsèque de manière idéale pour pouvoir apprécier ou mesurer les valeurs des éléments étudiés.

L'objectif de ce paragraphe est de décrire toute la méthodologie mise en oeuvre pour mener à bien cette détermination dans le cas du TEC de type bigrille.

### IV.1. Schéma équivalent

Nous avons vu, dans le paragraphe II.2 de ce chapitre, que le comportement du TEC intrinsèque polarisé à  $V_{DS}=0V$ , s'apparente à un quadripôle purement résistif, si la grille de celui-ci est traversée par un courant direct suffisamment important :



$$R_{dy} = \eta \cdot \frac{V_t}{I_G} = \text{résistance dynamique du contact Schottky}$$

$$V_t = \frac{kT}{e} \quad \text{et} \quad R_c = \text{résistance du canal sous la grille}$$

Concernant le transistor bigrille, il est nécessaire d'injecter simultanément des courants identiques dans chacune des deux grilles, en maintenant la tension  $V_{DS}=0V$ , pour assurer le régime froid du composant. La seule condition  $V_{DS}=0V$  ne certifie aucunement que le fonctionnement demeure rigoureusement passif. En effet, si une seule des deux grilles est polarisée en direct, la fraction du courant traversant la zone intergrille fait naître un potentiel au niveau du point milieu

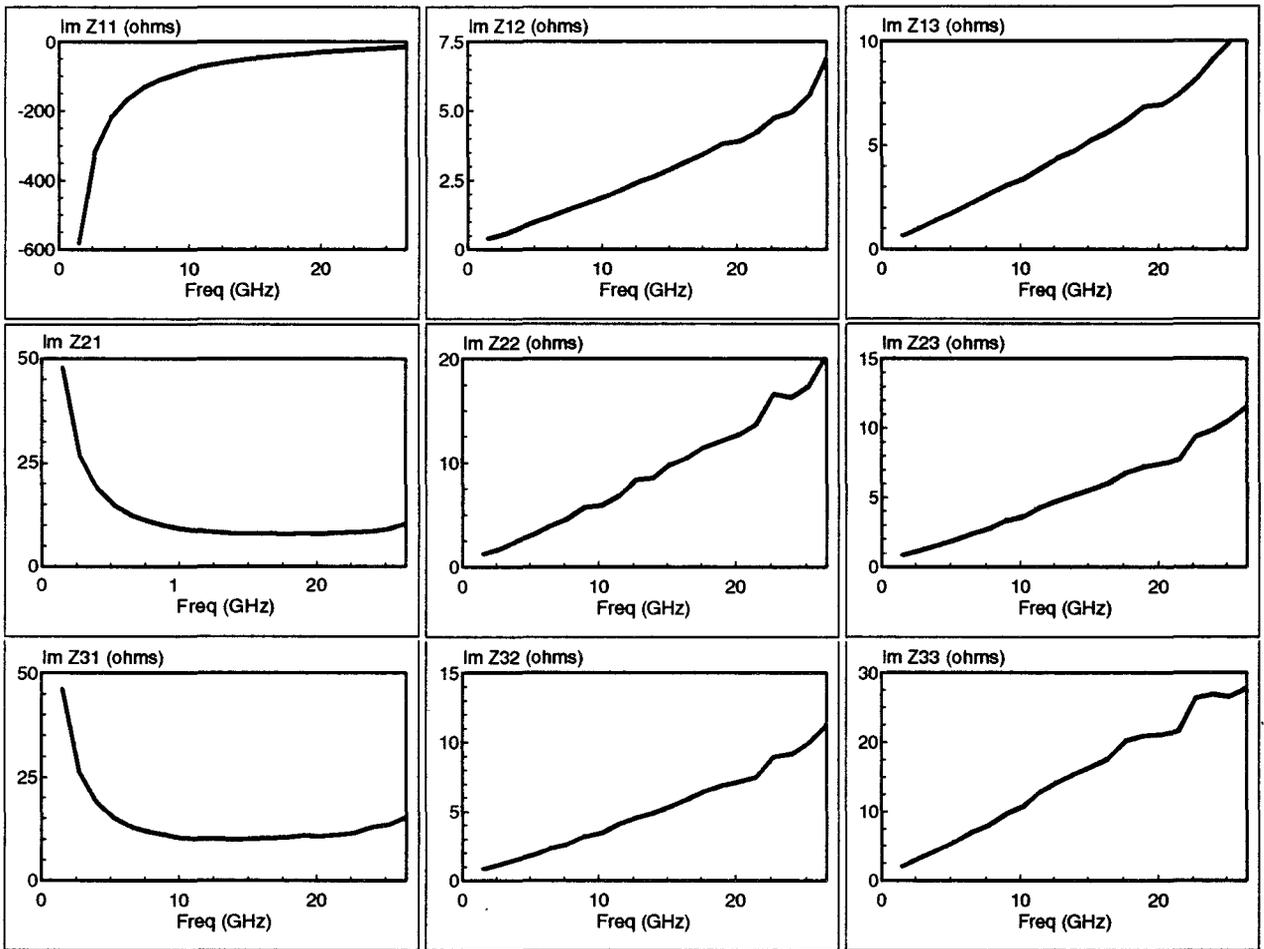
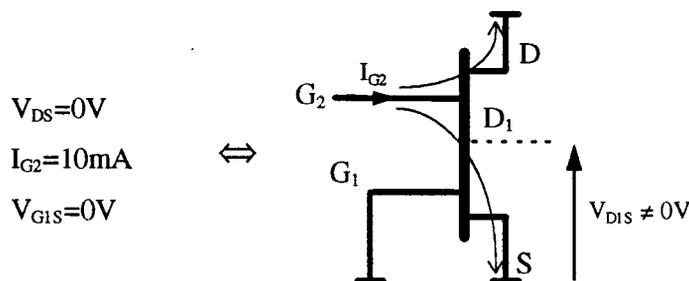


Figure II.13 : Evolutions expérimentales des paramètres  $ImZ_{ij}$  d'un transistor bigrille en fonction de la fréquence.  
 ( $V_{DS}=0V$ ,  $I_{G2}=10mA$ ,  $V_{GIS}=0V$ )

$D_1$ , polarisant ainsi les deux transistors équivalents  $TEC_1$  et  $TEC_2$ . Cette polarisation interne, si minime soit-elle, suffit pour engendrer un semblant d'activité au sein de la structure.

Nos propos sont illustrés sur la figure II.13, qui représente l'évolution expérimentale de la partie imaginaire de la matrice impédance  $[Z]$  d'un composant bigrille ( $0.15\mu m \times 150\mu m$ ) en fonction de la fréquence et dans les conditions suivantes :



Le constat est immédiat : la matrice n'est pas symétrique, malgré la tension drain-source nulle, ce qui traduit le comportement actif du composant. Pour garantir le régime froid, il est nécessaire d'imposer des tensions internes nulles aux bornes de chaque transistor équivalent ( $V_{DIS}=V_{DD1}=0V$ ). C'est pourquoi, il faut appliquer les mêmes courants dans chaque grille, afin de supprimer le déséquilibre au sein de la structure.

Dans ces conditions et en utilisant la représentation intrinsèque du TEC monogrille, nous déduisons le schéma électrique 'petit signal' complet (figure II.14), en ajoutant tous les éléments extrinsèques qui entourent le coeur du composant, soient :

- les capacités parasites présentées précédemment
- les éléments séries définis par les résistances et les selfs d'accès de chaque électrode, et la résistance intergrille  $R_{12}$ .

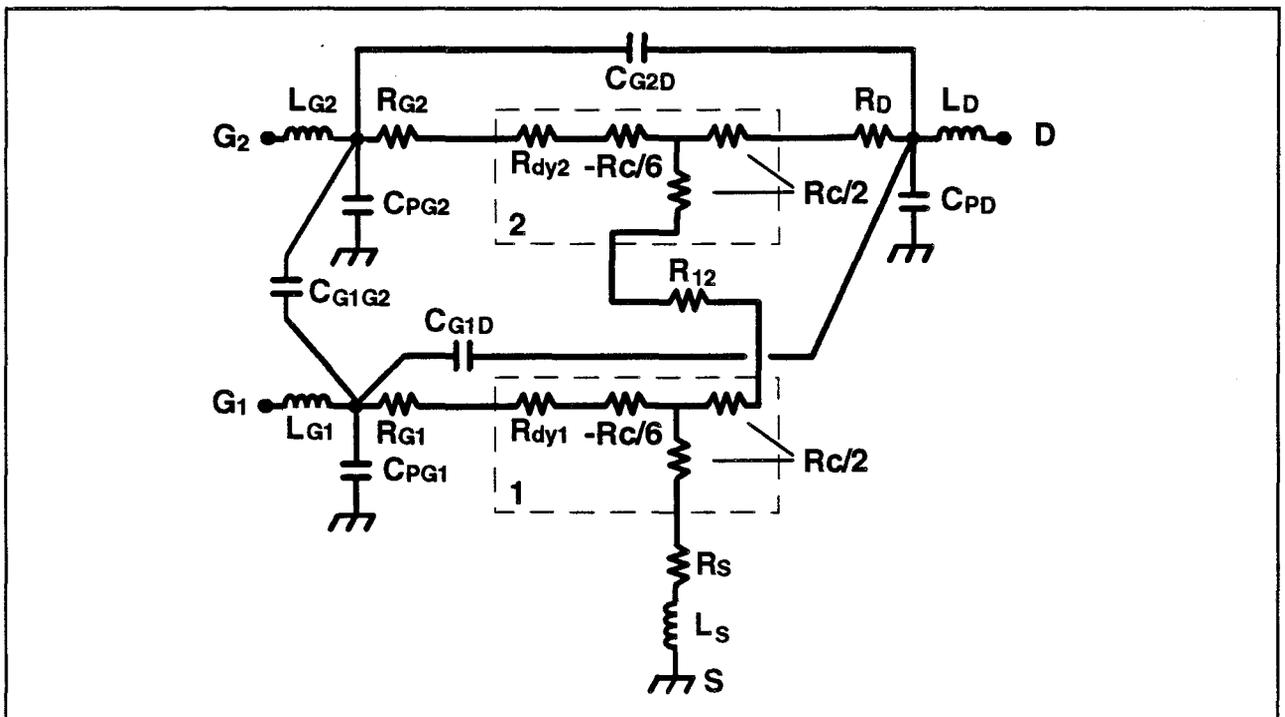


Figure II.14 : Schéma équivalent 'petit signal' du TEC bigrille en régime froid avec les deux grilles polarisées en direct.  
( $V_{DS}=0V, I_{G1}=I_{G2}>0$ )

La configuration en 'T' des zones intrinsèques se trouve particulièrement bien adaptée pour analyser la matrice impédance  $[Z]$  du composant, et pour ainsi mettre en évidence l'effet des éléments séries que nous cherchons à extraire.

#### IV.2. Extraction des éléments séries

En admettant que l'influence des capacités parasites parallèles reste négligeable en basses fréquences, l'analyse du schéma équivalent (figure II.15), représentant le composant bigrille à  $V_{DS}=0V$  avec les deux grilles polarisées en direct, montre que la matrice impédance  $[Z]$  s'écrit sous la forme :

$$[Z] = [R] + j\omega[L]$$

Deux matrices, détaillées dans les paragraphes suivants, sont obtenues :

- la partie réelle  $[R]$  mettant en jeu uniquement les résistances
- la partie imaginaire  $\omega[L]$  qui s'exprime linéairement en fonction de la fréquence et des inductances d'accès.

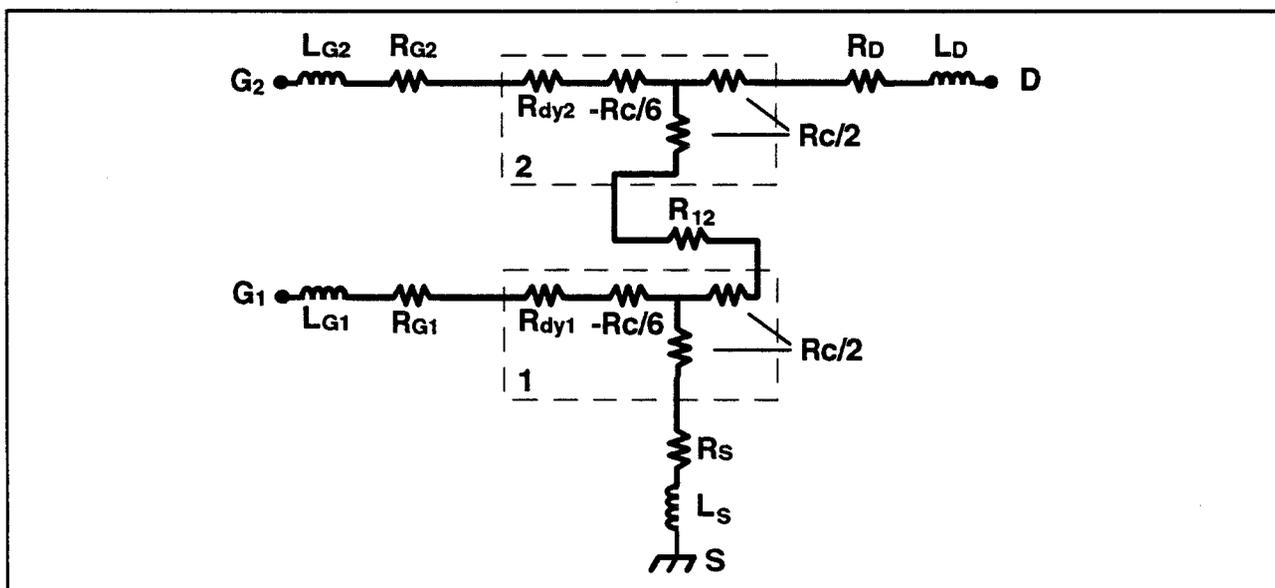
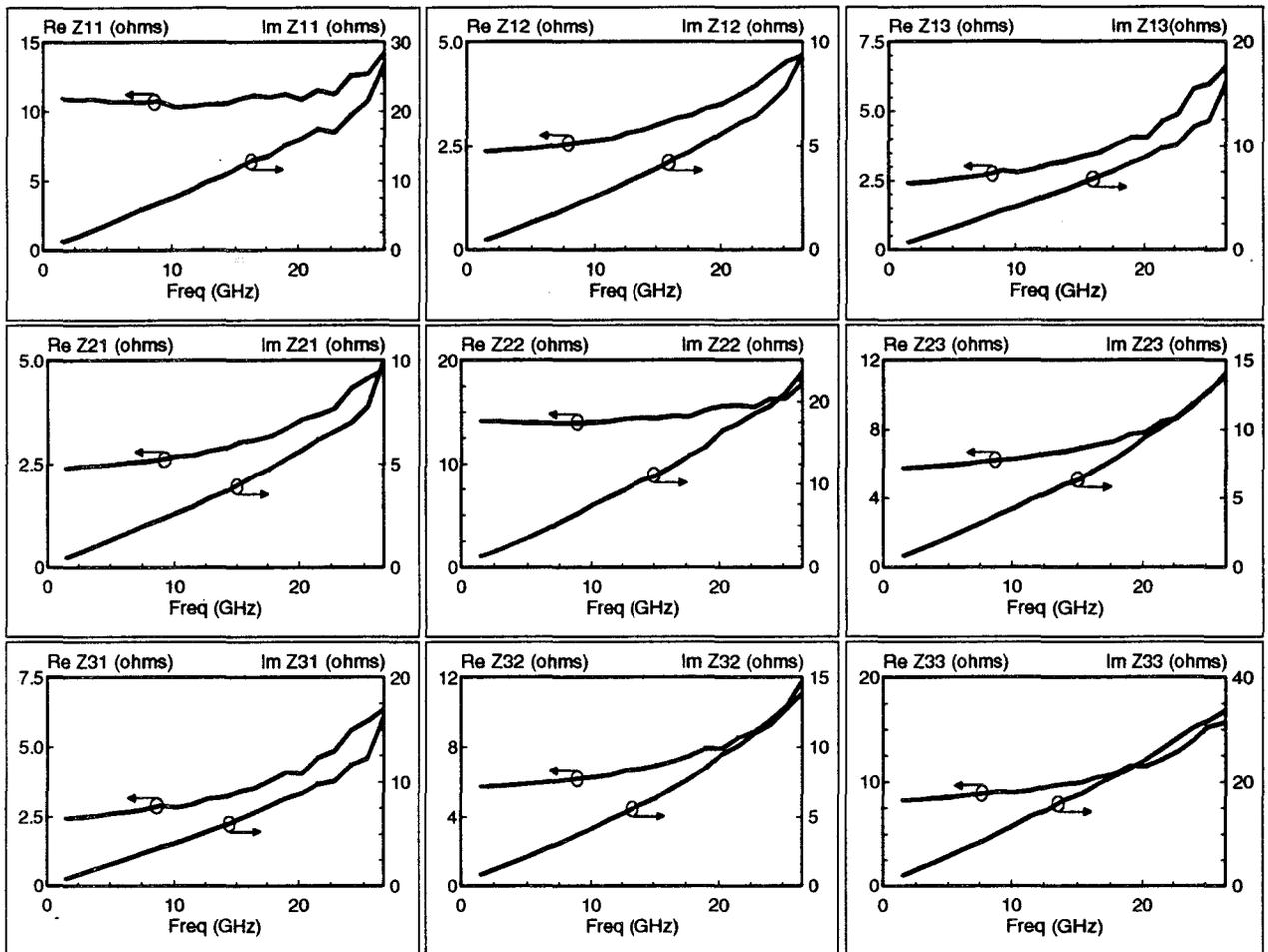


Figure II.15 : Schéma équivalent 'petit signal' du TEC bigrille en régime froid avec les deux grilles polarisées en direct. Les capacités parasites sont négligées.  
( $V_{DS}=0V, I_{G1}=I_{G2}>0$ )



*Figure II.16 : Evolutions expérimentales des paramètres impédances  $Z_{ij}$  d'un TEC bigrille ( $0.15\mu\text{m} \times 150\mu\text{m}$ ) en fonction de la fréquence.  
( $V_{DS}=0\text{V}$ ,  $I_{G1}=I_{G2}=10\text{mA}$ )*

Nous présentons sur la figure II.16, l'évolution expérimentale de ces paramètres, mesurés sur un transistor bigrille ( $0.15\mu\text{m} \times 150\mu\text{m}$ ) en fonction de la fréquence. Leurs allures correspondent aux prédictions théoriques. En effet, les paramètres  $\text{Re}Z_{ij}$  tendent vers une constante en BF, alors que les paramètres  $\text{Im}Z_{ij}$  varient de manière quasi linéaire et croissante en fonction de la fréquence, traduisant respectivement les comportements résistif et selfique attendus. Cette matrice, en raison de sa symétrie, atteste de plus du comportement passif du composant dans cet état de fonctionnement.

Rappelons que la matrice impédance  $[Z]$  est déduite mathématiquement à partir de la mesure de la matrice Scattering  $[S]$ , par la relation :

$$[Z] = Z_0 \cdot ([I] + [S]) \cdot ([I] - [S])^{-1}$$

où  $Z_0$  = impédance caractéristique

$[I]$  = matrice identité

### IV.2.1. Détermination des selfs d'accès

#### **IV.2.1.1. Méthode usuelle**

Cette méthode simple repose sur l'hypothèse que les effets des capacités parasites ne sont pas significatifs en basses fréquences, ce qui permet de les négliger. Dans ces conditions, le schéma équivalent (figure II.15) permet d'aboutir aisément à l'expression de la partie imaginaire de la matrice impédance  $[Z]$  du composant :

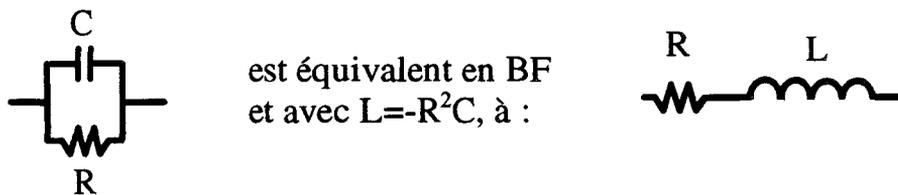
(avec  $G_1$ =accès1,  $G_2$ =accès2 et  $D$ =accès3)

$$\text{Im}[Z] = \omega \cdot \begin{bmatrix} L_{G1} + L_s & L_s & L_s \\ L_s & L_{G2} + L_s & L_s \\ L_s & L_s & L_D + L_s \end{bmatrix}$$

La symétrie de cette matrice nous livre un système extrêmement simple de 6 équations, dont deux redondantes, à 4 inconnues, qu'il serait aisé de résoudre si les résultats de mesure vérifiaient ces équations. Malheureusement, bien que nous observons expérimentalement le comportement selfique prévu, il est beaucoup plus rare de constater l'égalité théorique :

$$\text{Im}Z_{12} = \text{Im}Z_{13} = \text{Im}Z_{23} = \omega L_s$$

La figure II.17 illustre l'évolution de ces trois paramètres en fonction de la fréquence. L'origine de ces divergences résulte de l'invalidité de l'hypothèse simplificatrice que nous avons utilisée. En effet, les capacités parasites en parallèle sur certaines résistances constituent, en basses fréquences, des dipôles dont l'élément réactif série est équivalent à une self inductance négative :



Les valeurs négatives des selfs équivalentes peuvent atteindre la dizaine de pH, voire plus, dans le cas de transistors à effet de champ. L'application numérique suivante confirme l'importance du phénomène :

$$R=R_{dy}+R_C/3+R_S=20\Omega \quad \text{et} \quad C=C_{pG}=50\text{fF} \quad \Rightarrow \quad L=-20\text{pH}$$

Il semble donc, que considérer la présence des capacités parasites parallèles comme négligeable, lors de la détermination des selfs d'accès, soit une approximation trop sévère.

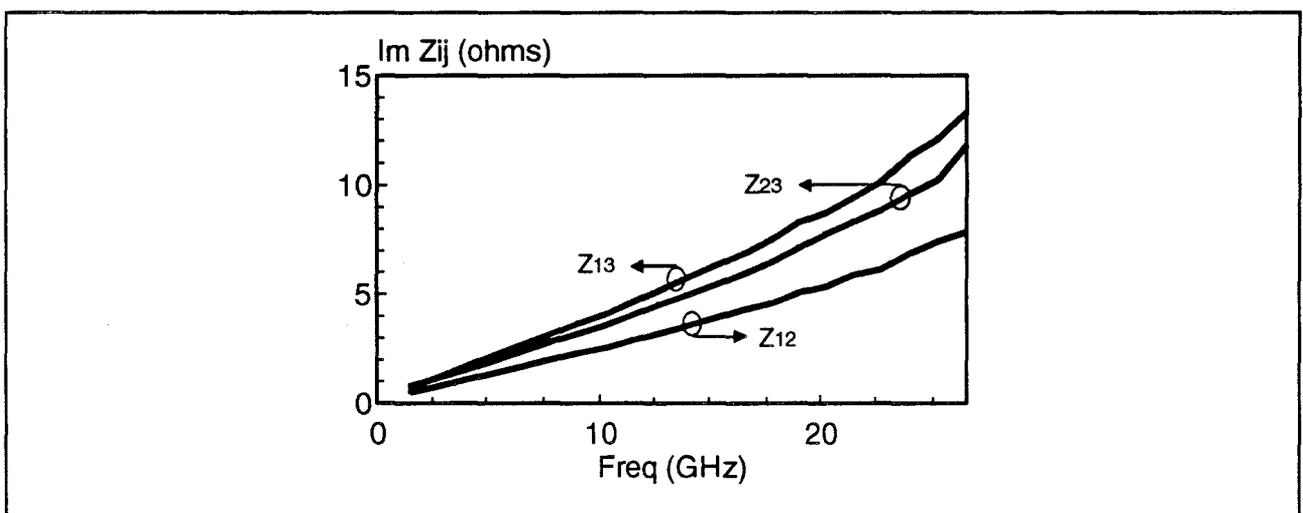


Figure II.17 : Evolutions expérimentales des paramètres  $ImZ_{12}$ ,  $ImZ_{13}$  et  $ImZ_{23}$  d'un TEC bigrille ( $0.15\mu\text{m} \times 75\mu\text{m}$ ) en fonction de la fréquence. ( $V_{DS}=0\text{V}$ ,  $I_{G1}=I_{G2}=5\text{mA}$ )

#### IV.2.1.2. Prise en compte des capacités parasites

Le schéma équivalent complet, présenté sur la figure II.14, laisse entrevoir la complexité de l'analyse théorique nécessaire pour apprécier la contribution des capacités parasites. Cependant, leurs effets sur la détermination des selfs peuvent être évalués et quantifiés dans l'approximation basses fréquences, car dans ces conditions, la partie imaginaire de la matrice impédance [Z] prend la forme suivante :

$$\text{Im}[Z] \approx \omega \cdot \begin{bmatrix} L_{G1} + L_s - (P_{11} + C_{11}) & L_s - (P_{12} + C_{12}) & L_s - (P_{13} + C_{13}) \\ L_s - (P_{12} + C_{12}) & L_{G2} + L_s - (P_{22} + C_{22}) & L_s - (P_{23} + C_{23}) \\ L_s - (P_{13} + C_{13}) & L_s - (P_{23} + C_{23}) & L_D + L_s - (P_{33} + C_{33}) \end{bmatrix}$$

Les coefficients  $P_{ij}$  et  $C_{ij}$  traduisent les effets respectifs des capacités de plots et des capacités de couplage inter-électrodes définies précédemment. Par mesure de clarté, les expressions littérales de ces coefficients sont répertoriées dans l'annexe II.2. Retenons qu'elles dépendent évidemment des capacités parasites, mais aussi des parties réelles des paramètres impédance ( $\text{Re}Z_{ij}$ ) de la même matrice.

Nous remarquons que l'influence des capacités se manifeste au premier ordre, en ajoutant des termes directement proportionnels à la fréquence, ce qui n'affecte pas le caractère selfique du comportement. La propriété de symétrie de cette matrice étant conservée (composant passif), 6 équations sont extraites et permettent d'obtenir la valeur des 4 inconnues que sont les selfs d'accès, moyennant l'évaluation préalable des capacités parasites.

De manière empirique et d'après l'expérience du laboratoire dans le domaine de la caractérisation des transistors monogrilles, nous avons pu établir que la bande de fréquence optimale pour déterminer les selfs d'accès parasites s'étend jusque 10GHz.



Le constat est immédiat : la prise en compte des effets capacitifs lors de la détermination des selfs d'accès, accroît de manière conséquente et incontestable la précision des résultats, ce qui valide notre démarche.

L'importance de ces effets nous a conduit à étudier l'impact qu'ils avaient dans le cas de transistors à effet de champ monogrilles.

Application aux transistors monogrilles

Mise au point par G. Dambrine [1], la méthode de caractérisation des TECs monogrilles est implantée au laboratoire depuis quelques années, et fait l'objet d'une utilisation intensive. Le schéma équivalent de la figure II.19 permet de localiser tous les éléments parasites du composant considéré.

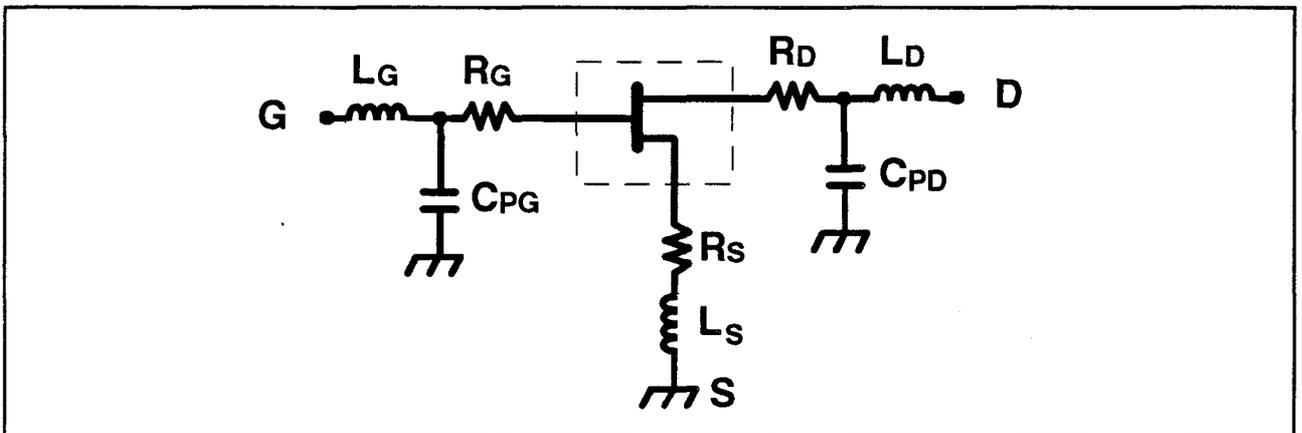


Figure II.19 : Représentation électrique courante de l'environnement parasite du TEC monogrille.

Dans les conditions de mesure des selfs d'accès ( $V_{DS}=0V$  avec la grille en direct), et à partir des relations développées pour le transistor bigrille (annexe II.2), nous déduisons que la partie imaginaire de la matrice impédance du TEC monogrille s'écrit en basses fréquences :

(avec  $G=accès1$  et  $D=accès2$ )

$$\text{Im}Z_{11} \approx \omega \left[ L_G + L_S - (C_{pG} \cdot \text{Re}^2 Z_{11} + C_{pD} \cdot \text{Re}^2 Z_{12}) \right]$$

$$\text{Im}Z_{12} \approx \omega \left[ L_S - (C_{pG} \cdot \text{Re} Z_{12} \cdot \text{Re} Z_{11} + C_{pD} \cdot \text{Re} Z_{12} \cdot \text{Re} Z_{22}) \right]$$

$$\text{Im}Z_{22} \approx \omega \left[ L_D + L_S - (C_{pG} \cdot \text{Re}^2 Z_{12} + C_{pD} \cdot \text{Re}^2 Z_{22}) \right]$$

Nous obtenons des relations semblables et en bon accord avec celles récemment publiées par Eskandarian [13] et Leuzzi [14]. Les capacités parasites contribuent de nouveau à modifier les pentes de l'évolution de ces paramètres en fonction de la fréquence.

Nous avons mis en évidence expérimentalement les erreurs correspondantes, en déterminant la self de source  $L_S$  de transistors monogrilles (PM-HEMTs  $L_G=0.15\mu\text{m}$ ) fabriqués par Thomson TCS en technologie 'microstrip'. Deux topologies différentes (2 et 4 doigts de grille) ont fait l'objet de cette étude en fonction de la largeur  $W$  du composant. La figure II.20 résume les résultats obtenus avec et sans prise en compte des effets capacitifs parasites.

Ces courbes démontrent sans ambiguïté qu'il est nécessaire de tenir compte de l'influence

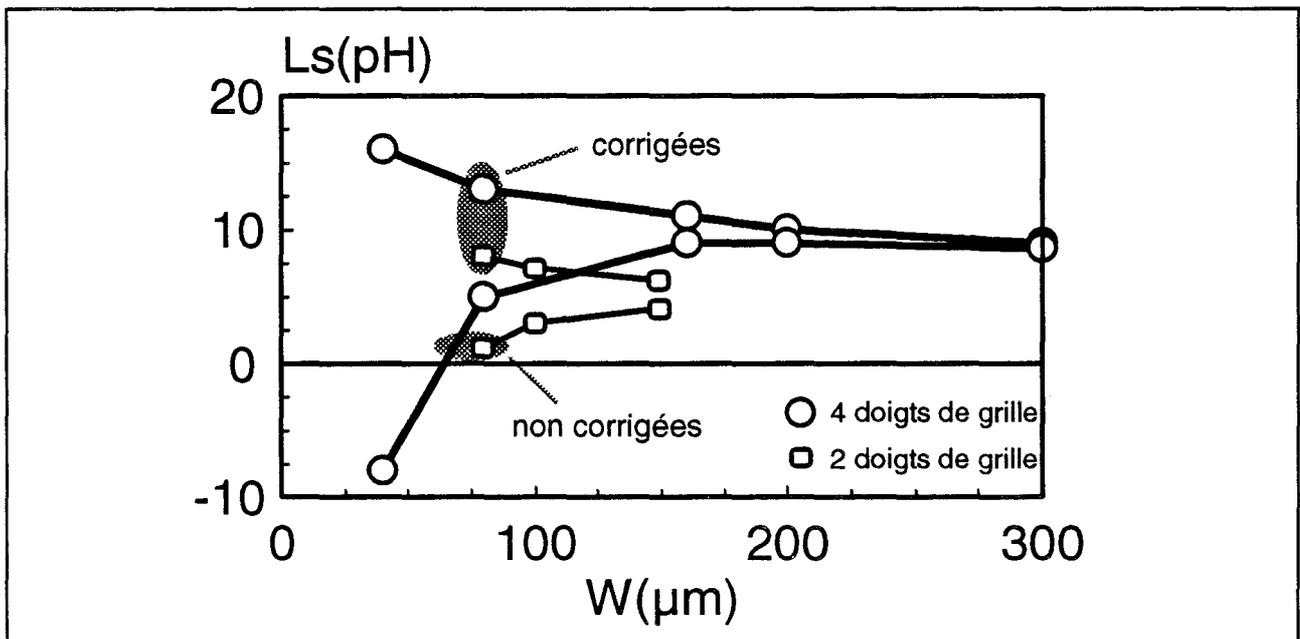


Figure II.20 : Evolutions de la self de source  $L_S$  de TECs monogrilles ( $0.15\mu\text{m}$ ) en fonction de la largeur  $W$ .  
Influence des capacités parasites lors de la détermination.

des capacités lors de la détermination des selfs, et ce d'autant plus que la taille du transistor diminue. En effet, il apparaît clairement que négliger les capacités peut conduire à des valeurs négatives, donc non physiques, de l'inductance de source  $L_s$ . L'allure croissante des courbes non corrigées est liée à la diminution, en fonction de  $W$ , des résistances d'accès des composants. A partir d'une certaine taille de transistor (dépendante de la topologie), les corrections deviennent inutiles, car les valeurs des éléments résistifs sont trop faibles.

Après correction des effets capacitifs, nous constatons que la valeur de  $L_s$  a tendance à augmenter lorsque  $W$  diminue. Ce phénomène peut être expliqué par le comportement de plus en plus selfique du tronçon métallisé entre le 'via-hole' et le plot de contact ohmique de source, car ce dernier devient de plus en plus fin (figure II.21). A cet effet, et concernant uniquement le transistor le moins large de  $4 \times 10 \mu\text{m}$ , vient s'ajouter le fait que les piliers des ponts reliant électriquement les plots de contacts ohmiques de source sont plus fins ( $4 \times 6 \mu\text{m}^2$  contre  $10 \times 10 \mu\text{m}^2$  pour les autres TECs), ce qui justifie la valeur de  $L_s$  nettement plus élevée pour ce composant.

Finalement, nous observons logiquement une valeur de  $L_s$  systématiquement plus importante pour la topologie composée de 4 doigts de grille ; conséquence directe de la présence des ponts à air [15, 16, 17].

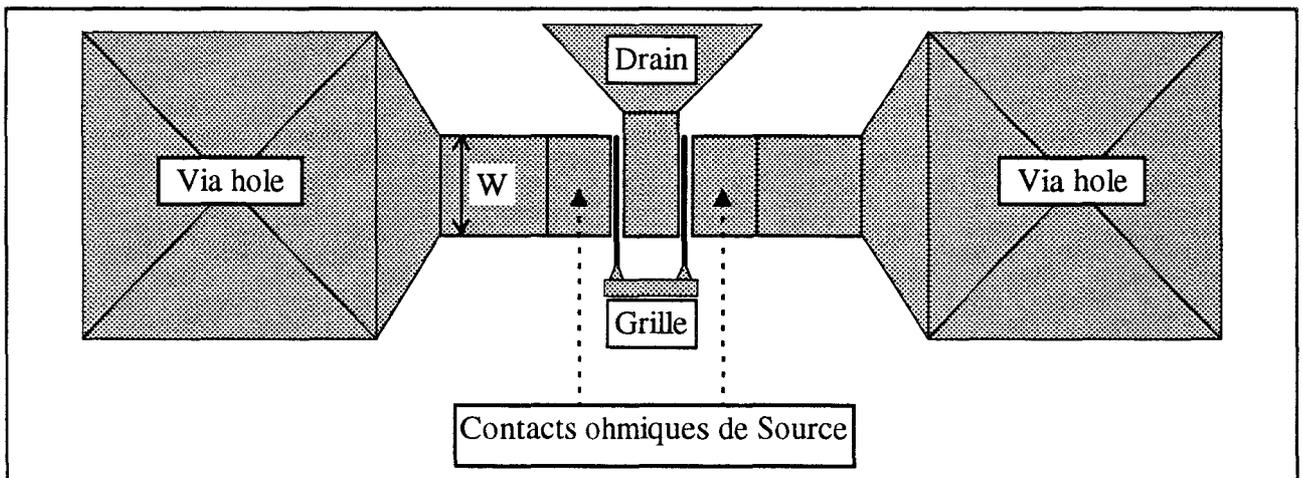


Figure II.21 : Topologie des transistors monogrilles étudiés.

Pour des transistors munis d'un seul doigt de grille, l'origine physique de la self de source  $L_S$  se situe essentiellement au niveau de l'unique 'via-hole', qui relie le plot de source au plan de masse du composant. Nous avons mesuré cette self  $L_S$  de deux transistors de ce type, avec et sans prise en compte des effets capacitifs. Le tableau ci-dessous résume les résultats obtenus :

	$L_S$ (pH)	
	sans prise en compte des capacités	avec prise en compte des capacités
transistor 1*50 $\mu$ m	3	23
transistor 1*100 $\mu$ m	12	19

Ce tableau démontre encore la nécessité de prendre en compte les capacités parasites lors de la détermination des selfs, car il est inconcevable d'obtenir des valeurs de  $L_S$  inférieures à celle du 'via-hole' qui est de l'ordre de 17 pH pour ces transistors [18].

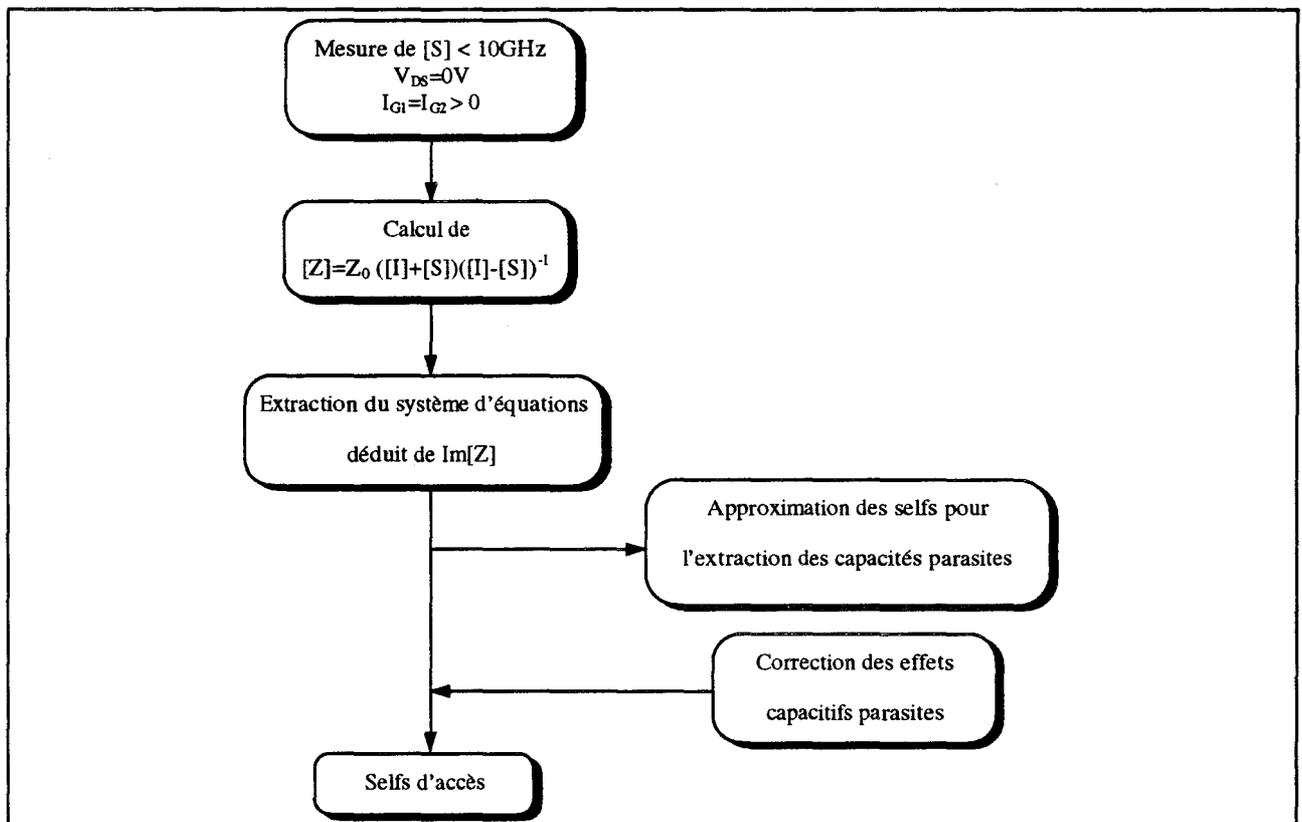


Figure II.22 : Méthodologie d'extraction des selfs d'accès du TEC bigrille.

Le diagramme de la figure **II.22** résume la méthodologie mise au point pour déterminer très précisément les valeurs des selfs d'accès du transistor bigrille. Si la partie réelle de la matrice impédance, notée  $\text{Re}[Z]$ , est utilisée pour cette détermination, elle va constituer néanmoins la source d'information primordiale, pour l'extraction des résistances d'accès, sujet que nous traitons et détaillons dans le paragraphe suivant.

#### IV.2.2. Détermination des résistances parasites

Nous avons indiqué au début de ce paragraphe que la partie réelle de la matrice impédance  $[Z]$  du composant, polarisé à  $V_{DS}=0V$  avec les deux grilles en direct, s'exprimait uniquement en fonction des résistances séries. En effet, les selfs parasites localisées à l'entrée et en série sur chaque accès du composant n'interviennent pas. De plus, les capacités parasites parallèles sont négligeables, car leurs effets apparaissent au 2<sup>nd</sup> ordre dans le cadre de l'approximation basses fréquences (équivalence dipôle RC parallèle et RL série). Il en résulte que le schéma équivalent du composant se réduit à un hexapôle exclusivement résistif (figure **II.23**). Nous en déduisons l'expression de la partie réelle de la matrice impédance  $[Z]$  :

(avec  $G_1=\text{accès1}$ ,  $G_2=\text{accès2}$  et  $D=\text{accès3}$ )

$$\text{Re}[Z] \approx \begin{bmatrix} R_{G1} + R_{dy1} + \frac{Rc}{3} + R_s & \frac{Rc}{2} + R_s & \frac{Rc}{2} + R_s \\ \frac{Rc}{2} + R_s & R_{G2} + R_{dy2} + \frac{4Rc}{3} + R_{12} + R_s & \frac{3Rc}{2} + R_{12} + R_s \\ \frac{Rc}{2} + R_s & \frac{3Rc}{2} + R_{12} + R_s & R_D + 2Rc + R_{12} + R_s \end{bmatrix}$$

Cette matrice est fonction des résistances d'accès parasites de chaque électrode ( $R_{G1}$ ,  $R_{G2}$ ,  $R_s$ ,  $R_D$ ), de la résistance intergrille ( $R_{12}$ ), de la résistance canal sous chaque grille ( $Rc$ ) et des résistances dynamiques des deux contacts Schottky ( $R_{dy1}$ ,  $R_{dy2}$ ).

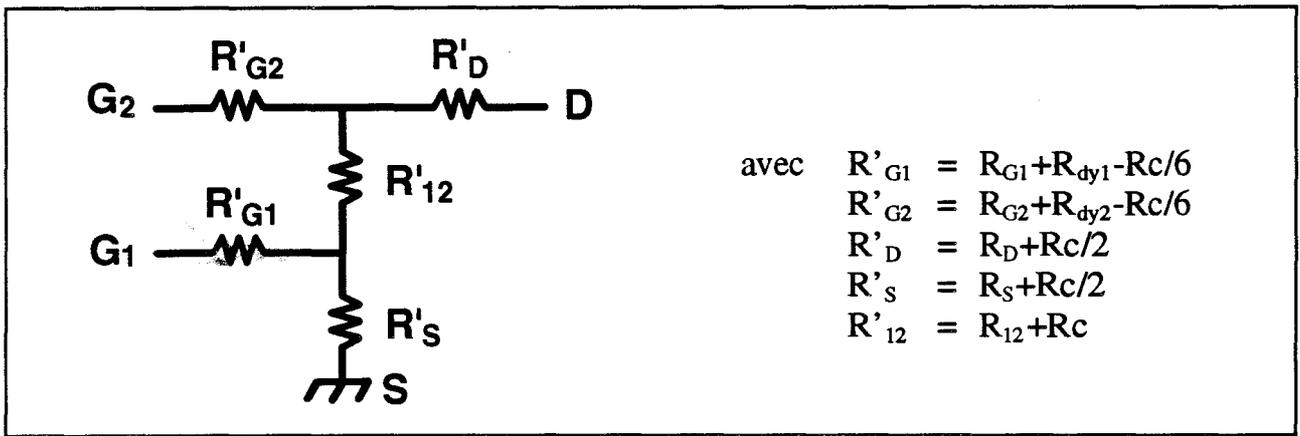


Figure II.23 : Schéma électrique équivalent BF déduit de la partie réelle de la matrice impédance  $[Z]$  d'un TEC bigrille. ( $V_{DS}=0V$ ,  $I_{G1}=I_{G2}>0$ )

La figure II.24 représente les évolutions expérimentales en fonction de la fréquence de chacun de ces paramètres  $ReZ_{ij}$ . Nous constatons que la matrice possède la propriété de symétrie (composant passif), et que ses éléments restent relativement constants en basses fréquences, ce qui corrobore l'analyse théorique. De manière empirique, nous avons retenu que le domaine d'exploitation optimal concerne les fréquences inférieures à 5 GHz. L'accord 'théorie-expérience' se trouve renforcé par l'égalité observée dans la pratique des paramètres  $ReZ_{12}$  et  $ReZ_{13}$ .

Nous sommes donc en mesure d'extraire à partir de la partie réelle de la matrice impédance  $[Z]$ , un système de 5 équations mettant en jeu 8 inconnues. Il est possible de s'affranchir des deux résistances dynamiques  $R_{dy1} = \eta_1 \cdot V_t / I_{G1}$  et  $R_{dy2} = \eta_2 \cdot V_t / I_{G2}$ , et ainsi réduire à

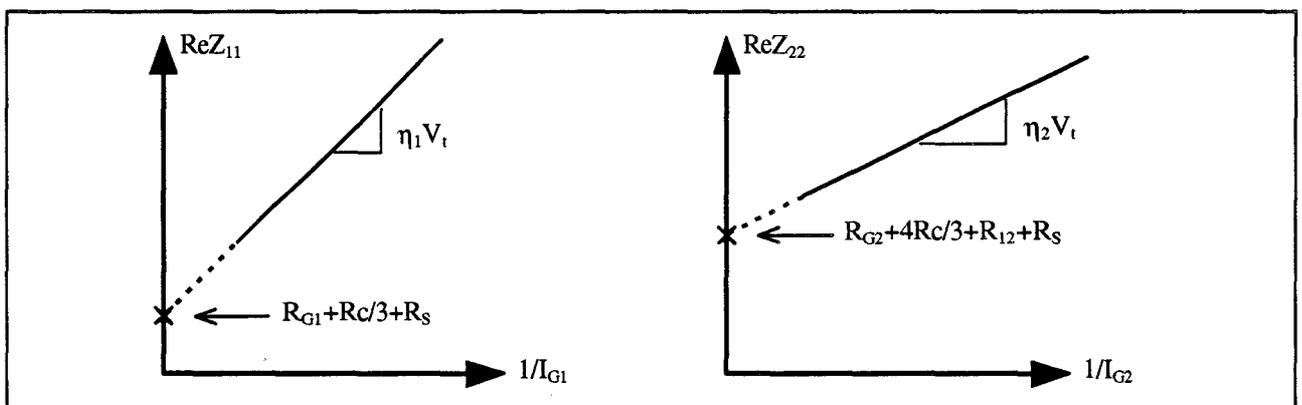


Figure II.25 : Abstractions graphiques des résistances dynamiques de grilles.

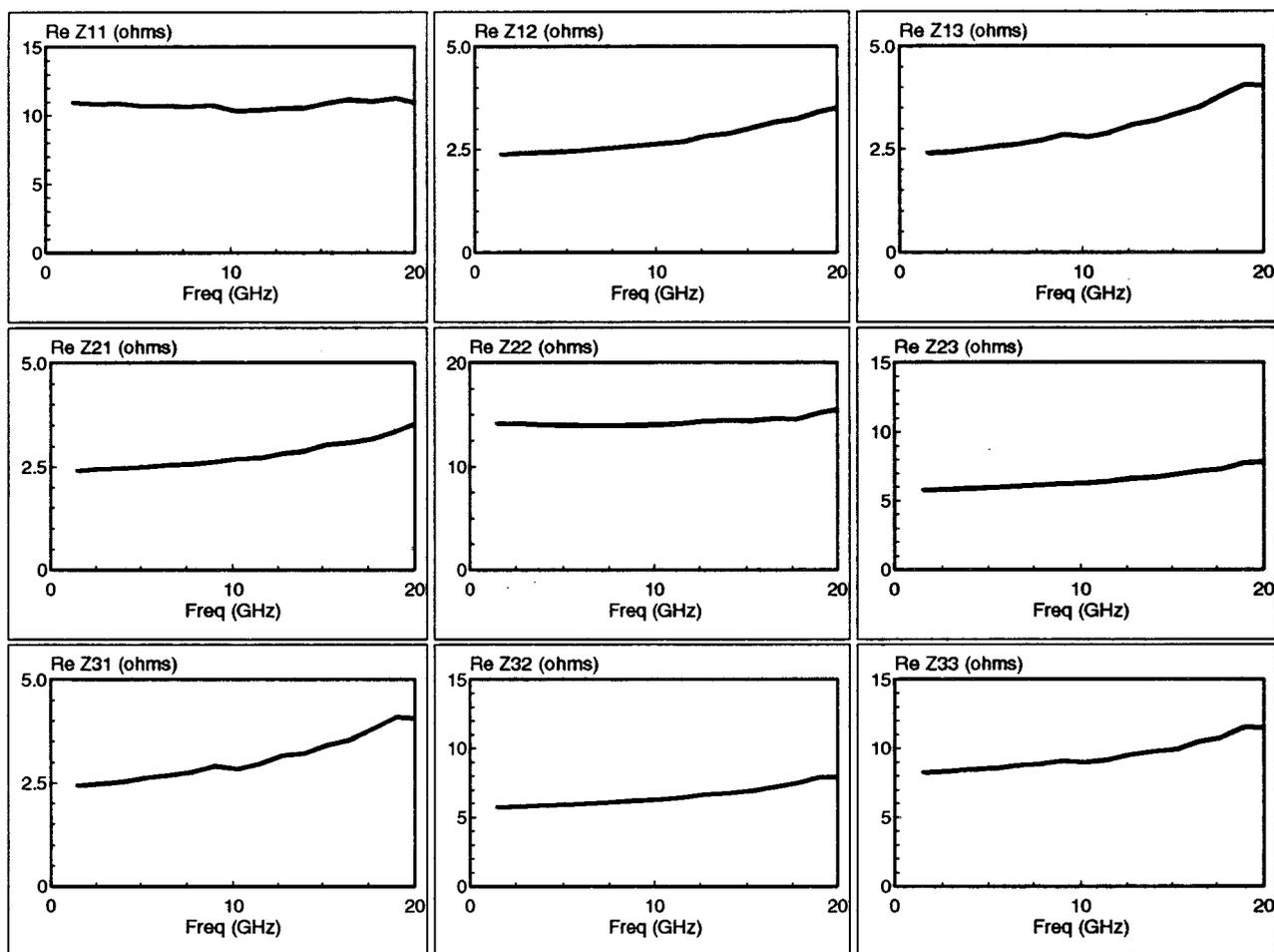


Figure II.24 : Evolutions expérimentales des paramètres  $ReZ_{ij}$  d'un transistor bigrille en fonction de la fréquence. ( $V_{DS}=0V$ ,  $I_{G1}=I_{G2}>0$ )

6 le nombre d'inconnues, en étudiant l'évolution des paramètres  $ReZ_{11}$  et  $ReZ_{22}$  en fonction de l'inverse des courants de grilles injectés. En effet, les représentations graphiques  $ReZ_{11}=f(1/I_{G1})$  et  $ReZ_{22}=f(1/I_{G2})$  conduisent, par extrapolation à l'origine, à l'obtention de deux nouvelles équations, mais également à la connaissance des facteurs d'idéalité  $\eta_1$  et  $\eta_2$  déduits des pentes respectives de chaque droite (figure II.25).

La figure II.26 illustre un cas pratique d'étude en fonction des courants. Il ressort de ces variations linéaires, un excellent accord avec les prédictions théoriques, et l'image de deux contacts Schottky identiques (mêmes pentes).

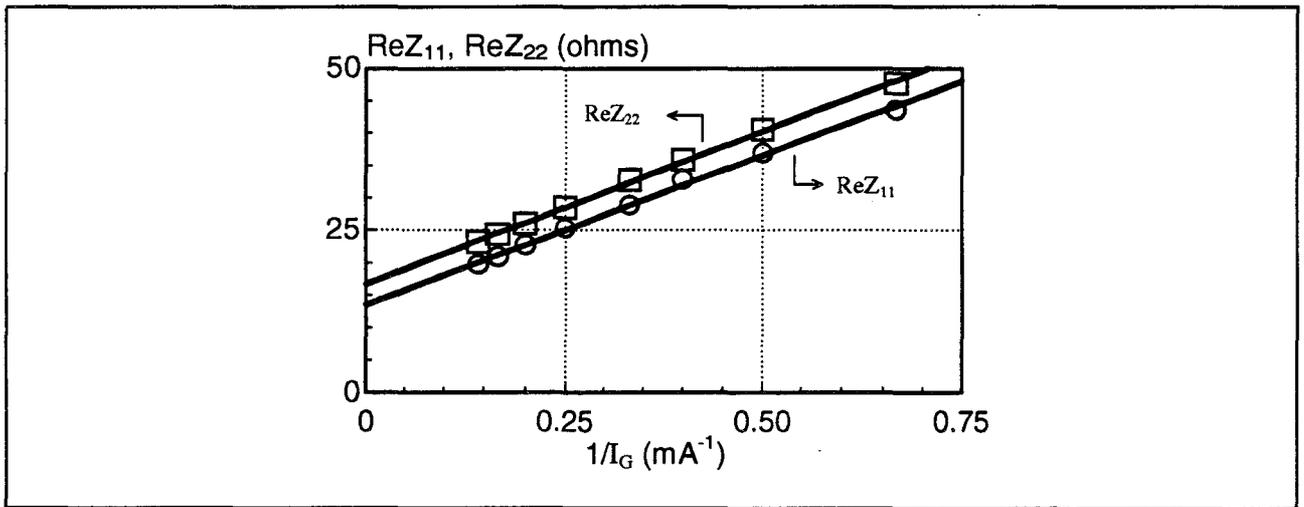


Figure II.26 : Évolutions expérimentales des paramètres  $ReZ_{11}$  et  $ReZ_{22}$  d'un transistor bigrille ( $0.15\mu\text{m} \times 150\mu\text{m}$ ) en fonction de l'inverse des courants de grilles. ( $V_{DS}=0V$ ,  $I_{G1}=I_{G2}=I_G$ )

Nous résumons ci-dessous et sous forme différente, les informations déduites de l'exploitation de la matrice  $Re[Z]$  :

$$R_s + \frac{R_c}{2} = ReZ_{12}$$

$$R_D + \frac{R_c}{2} = ReZ_{33} - ReZ_{23}$$

$$R_{12} + R_c = ReZ_{23} - ReZ_{12}$$

$$R_{G1} - \frac{R_c}{6} = ReZ_{11}^{ext} - ReZ_{12}$$

$$R_{G2} - \frac{R_c}{6} = ReZ_{22}^{ext} - ReZ_{23}$$

$ReZ_{11}^{ext}$  et  $ReZ_{22}^{ext}$  représentent respectivement les valeurs extrapolées à l'origine, des évolutions de  $ReZ_{11}$  et  $ReZ_{22}$  en fonction de l'inverse des courants de grilles.

Les deux dernières relations font apparaître la possibilité d'évaluer approximativement les résistances de grille  $R_{G1}$  et  $R_{G2}$ , en négligeant la contribution de la résistance canal  $R_c$ . En effet, avec les composants actuels munis de grilles ultra courtes (typiquement en deçà de  $0.25\mu\text{m}$ ), le terme  $R_c/6$  devient négligeable, et ce d'autant plus que la taille des composants augmente.

Néanmoins, afin de résoudre le problème, et ainsi déterminer avec précision les résistances parasites, il est nécessaire d'apporter au moins une relation supplémentaire. Deux solutions simples existent :

- connaissant les divers paramètres technologiques, il est possible de connaître la valeur de la résistance canal  $R_c$

$$R_c = \frac{L_g}{qN_D \mu aW}$$

- les résistances de grilles peuvent être déterminées à partir de la mesure statique de la résistance métallique  $R_m$  d'une grille 'test' prévue à cet effet

$$R_G = \frac{R_m}{3n^2} \quad \text{où 'n' est le nombre de doigts de grille}$$

Ainsi, nous disposons d'un nombre suffisant de relations permettant la détermination précise des résistances parasites.

#### ***IV.2.2.1. Mesures statiques complémentaires***

Nous complétons systématiquement ces mesures dynamiques par des mesures statiques, dans le seul but de vérifier la qualité des résultats obtenus, par simple comparaison. La figure II.27 illustre le principe de base de ces mesures complémentaires. Le courant passant dans la grille polarisée en direct, engendre une chute de tension aux bornes des résistances séries concernées, pendant que l'électrode laissée flottante agit en tant que sonde de mesure [19, 20, 21]. Les phénomènes de distribution longitudinale entraînent que seule une partie du canal sous la grille

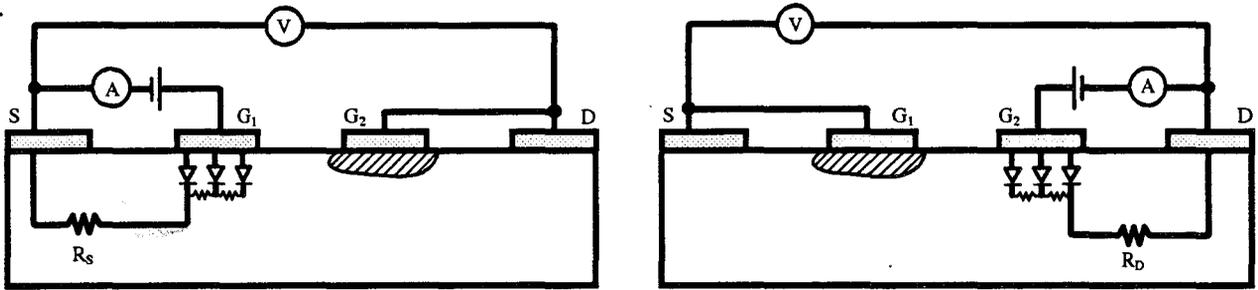


Figure II.27 : Principe des mesures statiques complémentaires.

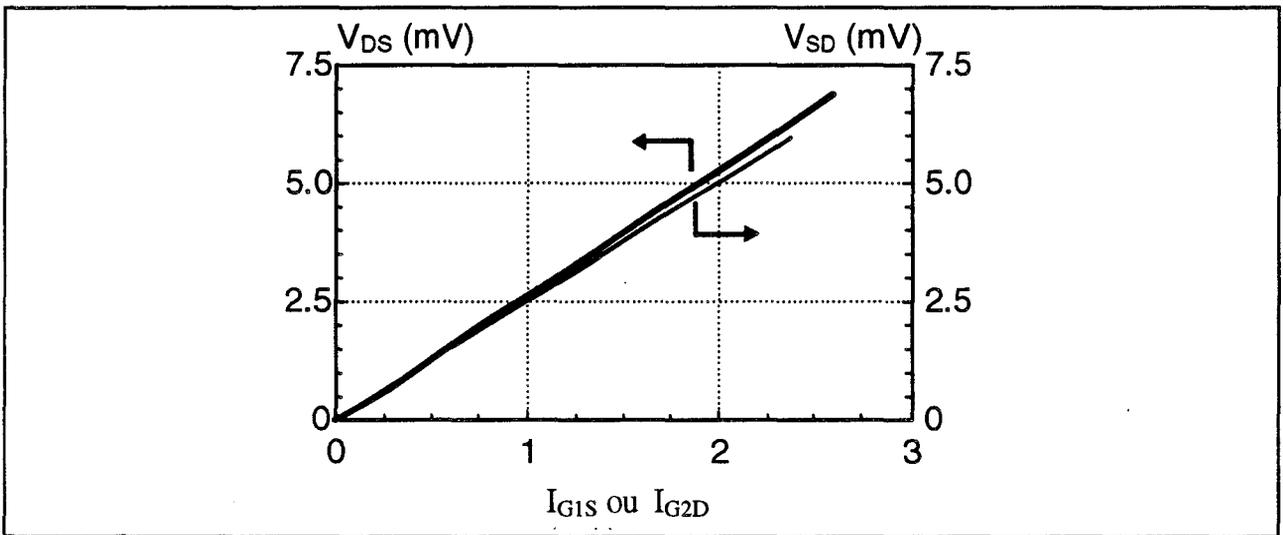


Figure II.28 : Evolutions expérimentales des caractéristiques statiques  $V_{DS}(I_{G1S})$  avec Drain flottant et  $V_{SD}(I_{G2D})$  avec Source flottante.  
(PM-HEMT bigrille  $0.15\mu\text{m} \times 150\mu\text{m}$ )

contribue au passage du courant. Il résulte de ces mesures deux relations, comparables directement à celles issues de la mesure dynamique, et notées ci-dessous :

$$\frac{V_{DS}}{I_{G1S}} = R_S + \frac{R_C}{2} \quad \text{et} \quad \frac{V_{SD}}{I_{G2D}} = R_D + \frac{R_C}{2}$$

Un exemple expérimental de ces évolutions statiques  $V_{DS}(I_{G1S})$  et  $V_{SD}(I_{G2D})$  apparaît sur la figure II.28 et démontre la parfaite linéarité qui lie ces grandeurs.

Le tableau ci-dessous rassemble quelques résultats de mesures effectuées sur des composants de type bigrille de filières différentes :

	PM-HEMT 0.15µm W=3x50µm		PM-HEMT 0.25µm W=3x50µm		HEMT 0.25µm W=3x100µm		MESFET 0.5µm W=3x50µm	
	dyn.	stat.	dyn.	stat.	dyn.	stat.	dyn.	stat.
$R_S+R_C/2$	2.6	2.7	3.4	3.5	1.6	1.6	4.2	4
$R_D+R_C/2$	2.6	2.5	3.5	3.7	1.6	1.8	4.4	4.4

Un excellent accord est observé entre les deux méthodes, validant ainsi, d'une part la qualité des résultats et d'autre part la méthodologie utilisée.

Par ailleurs, ces mesures statiques nous offrent la possibilité de connaître deux paramètres importants caractérisant les contacts Schottky, à savoir le coefficient d'idéalité et la hauteur de barrière, notés respectivement  $\eta_i$  et  $V_{Bi}$  ( $i=1,2$ ). Le principe de détermination de ces deux grandeurs, désormais classique, découle de la relation théorique qui lie courant et tension d'une jonction Schottky [22], rappelée ci-dessous :

$$I_{GS} = A^* T^2 S e^{\frac{q}{\eta kT} (V_{GS} - V_B)}$$

où  $A^*$  = constante de Richardson effective

$T$  = température

$S$  = surface de la grille

$$\frac{kT}{q} = V_t \approx 26\text{mV à } 300^\circ\text{K}$$

Ainsi, la représentation graphique de  $\text{Log}(I_{GS})$  en fonction de  $V_{GS}$  est une droite de pente  $\frac{q}{\eta kT}$  et d'ordonnée à l'origine  $\text{Log}(A^* T^2 S) - \frac{qV_B}{\eta kT}$ , permettant de déduire aisément  $\eta$  et  $V_B$ .

Appliqué au transistor bigrille, il suffit de relever les courbes expérimentales  $\text{Log}(I_{G1S})=f(V_{G1S})$  et  $\text{Log}(I_{G2D})=f(V_{G2D})$  pour extraire ces paramètres relatifs à chaque grille.

La figure II.29 présente un exemple de caractéristiques mesurées sur un transistor de développement de grilles  $0.15 \times 150 \mu\text{m}^2$ . Les zones linéaires utiles à l'exploitation de ces courbes apparaissent, ainsi que les résultats obtenus.

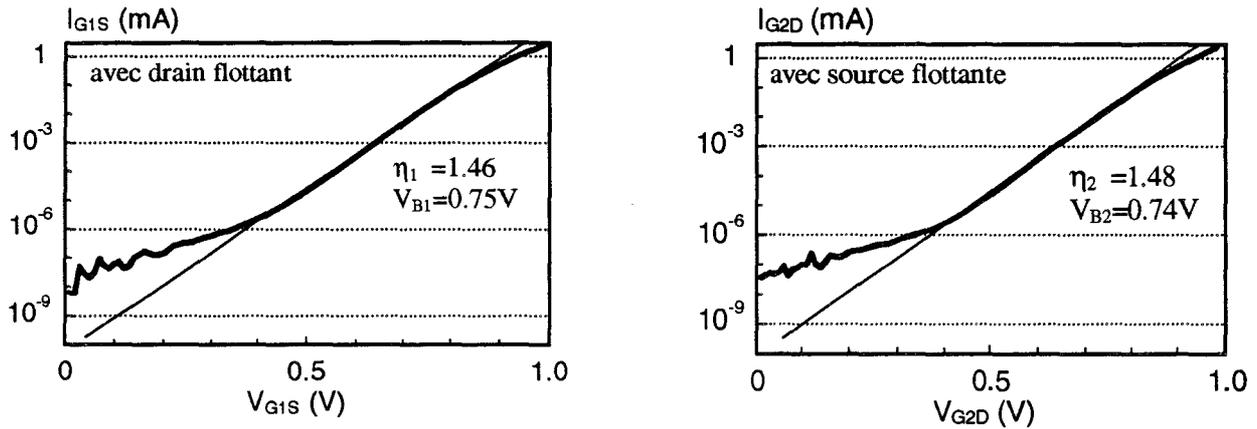


Figure II.29 : Caractéristiques statiques courant-tension des contacts Schottky d'un TEC bigrille. (PM-HEMT  $0.15 \mu\text{m} \times 150 \mu\text{m}$ )

#### IV.2.2.2. Remarques sur les courants de grilles à appliquer

Si la mise en direct des grilles permet de déterminer la valeur des résistances parasites du TEC, il convient de définir le domaine de validité de la méthode, et en particulier la gamme des courants qu'il faut appliquer.

La première condition à respecter porte sur les valeurs des courants qui assurent une disparition totale de tout effet capacitif du réseau distribué sous la grille. Nous avons vu (paragraphe II.2 de ce chapitre) que ces effets se manifestent essentiellement sous la forme d'une impédance dynamique d'expression :

$$Z_{dy} = \frac{R_{dy}}{1 + j\omega CR_{dy}}$$

avec  $C$  = capacité totale sous la grille

$$R_{dy} = \eta \frac{V_1}{I_G} = \text{résistance dynamique du contact Schottky}$$

Ainsi, seuls les courants de grille pour lesquels le terme  $\omega CR_{dy}$  reste négligeable devant 1, conviennent car dans ces conditions, l'impédance  $Z_{dy}$  se réduit à la résistance dynamique du contact Schottky.

Expérimentalement, l'indépendance de la partie réelle des paramètres impédances en fonction de la fréquence, et en particulier les paramètres  $ReZ_{11}$  et  $ReZ_{22}$  pour les composants bigrilles, garantit le bon choix des courants de grille. Ce résultat est illustré sur la figure II.30, qui montre que des effets capacitifs subsistent avec des valeurs de courants de grilles trop faibles.

Ce sont les effets de distribution dans les deux directions longitudinale et transversale qui limitent la valeur du courant dans la grille.

- Concernant le premier type de distribution, l'analyse type 'théorie des lignes', développée dans ce chapitre, a montré que la matrice impédance  $[Z]$  du TEC intrinsèque en

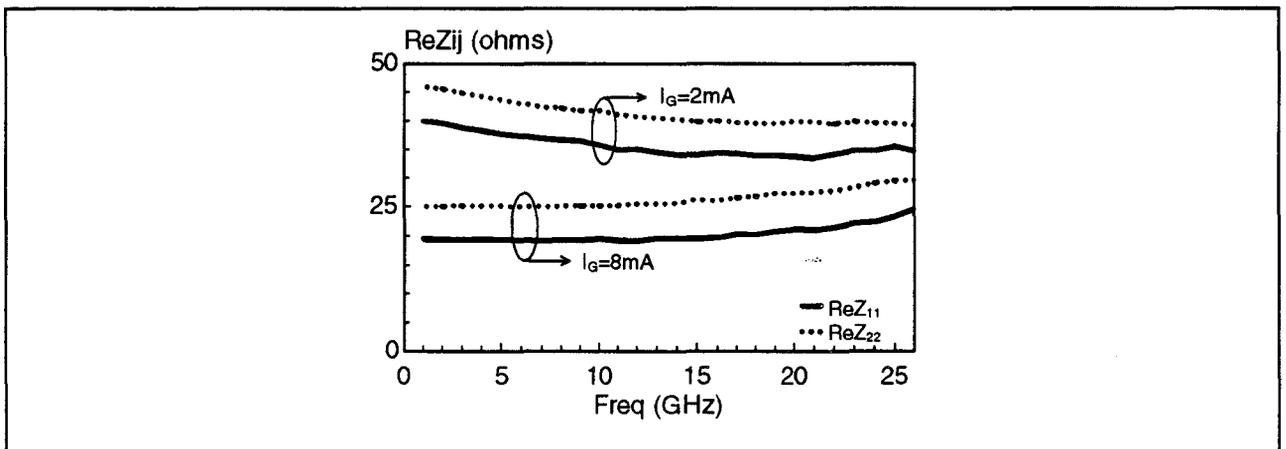


Figure II.30 : Evolutions expérimentales des paramètres  $ReZ_{11}$  et  $ReZ_{22}$  d'un TEC bigrille en fonction de la fréquence et pour deux valeurs de courants de grilles. ( $V_{DS}=0V$ ,  $I_{G1}=I_{G2}=I_G>0$ )

régime froid s'écrit :

$$[Z] = \frac{Z_c}{\text{sh}(\gamma l)} \cdot \begin{bmatrix} \text{ch}(\gamma l) & \text{ch}(\gamma l) - 1 \\ \text{ch}(\gamma l) - 1 & 2 \cdot [\text{ch}(\gamma l) - 1] \end{bmatrix}$$

avec  $\gamma l = \sqrt{\frac{R_c}{R_{dy}} + j\omega C R_c}$

$$Z_c = \sqrt{\frac{R_c}{1/R_{dy} + j\omega C}}$$

En supposant que le courant de grille est suffisamment élevé pour négliger les effets capacitifs, et en notant 'i' le courant de grille  $I_G$  normalisé par rapport à  $I_t = V_t/R_c$ , l'expression de cette matrice devient :

$$[Z] = \frac{R_c}{\sqrt{i} \cdot \text{sh}(\sqrt{i})} \cdot \begin{bmatrix} \text{ch}(\sqrt{i}) & \text{ch}(\sqrt{i}) - 1 \\ \text{ch}(\sqrt{i}) - 1 & 2 \cdot [\text{ch}(\sqrt{i}) - 1] \end{bmatrix}$$

avec  $i = I_G/I_t = R_c/R_{dy}$

En procédant aux changements de variables suivants :

$$\alpha(i) = \frac{\text{ch}(\sqrt{i}) - 1}{\sqrt{i} \cdot \text{sh}(\sqrt{i})} \qquad \alpha_g(i) = \frac{\text{ch}(\sqrt{i})}{\sqrt{i} \cdot \text{sh}(\sqrt{i})} - \frac{1}{i}$$

nous obtenons :

$$[Z] = \begin{bmatrix} R_{dy} + \alpha_g(i)R_c & \alpha(i)R_c \\ \alpha(i)R_c & 2\alpha(i)R_c \end{bmatrix}$$

La figure II.31 présente l'évolution des coefficients  $\alpha_g(i)$  et  $\alpha(i)$  que nous obtenons, et ceux publiés par Lee [23]. Des différences subsistent pour des courants élevés, car les conditions d'étude sont différentes. Dans notre cas, le courant de grille se partage entre la source et le drain, alors que pour Lee, il n'est collecté que par une seule électrode, l'autre étant flottante. Il apparaît néanmoins dans les deux cas, que pour des courants faibles,  $\alpha_g$  et  $\alpha$  prennent respectivement les valeurs 1/3 et 1/2, valeurs utilisées dans la méthode d'extraction des résistances parasites. Par

contre, pour des courants élevés, ces facteurs varient de manière strictement décroissante. D'ailleurs, certains auteurs [24] utilisent la chute de  $\alpha(i)$  pour extraire la valeur de la résistance de source  $R_s$  des TECs monogrilles. En effet, avec d'importantes valeurs de courant de grille, la contribution de la résistance canal devient négligeable, ce qui leur permet d'écrire  $ReZ_{12} \approx R_s$ . Cependant, cette méthode nous semble périlleuse pour la sauvegarde du contact Schottky.

L'emploi de courants trop importants conduit donc inévitablement à des erreurs, qui se répercutent sur la valeur des résistances extraites. Afin de minimiser celles-ci, le courant de grille peut être arbitrairement limité à  $I_{Gmax} = I_t/2$  ( $i=0.5$ ), ce qui entraîne une erreur qui théoriquement n'excède pas 4%.

Exemple numérique : TEC de  $100\mu\text{m}$  avec  $R_c = 1.5\Omega$  et  $\eta = 1.5 \Rightarrow I_{Gmax} = 13\text{mA}$

En pratique, il suffit de contrôler que les paramètres  $ReZ_{12}$  et  $ReZ_{23}$  des composants bigrilles restent invariants avec les courants de grilles appliqués, pour s'assurer que les conditions de mesure ne nous entraînent pas hors des limites du domaine de validité.

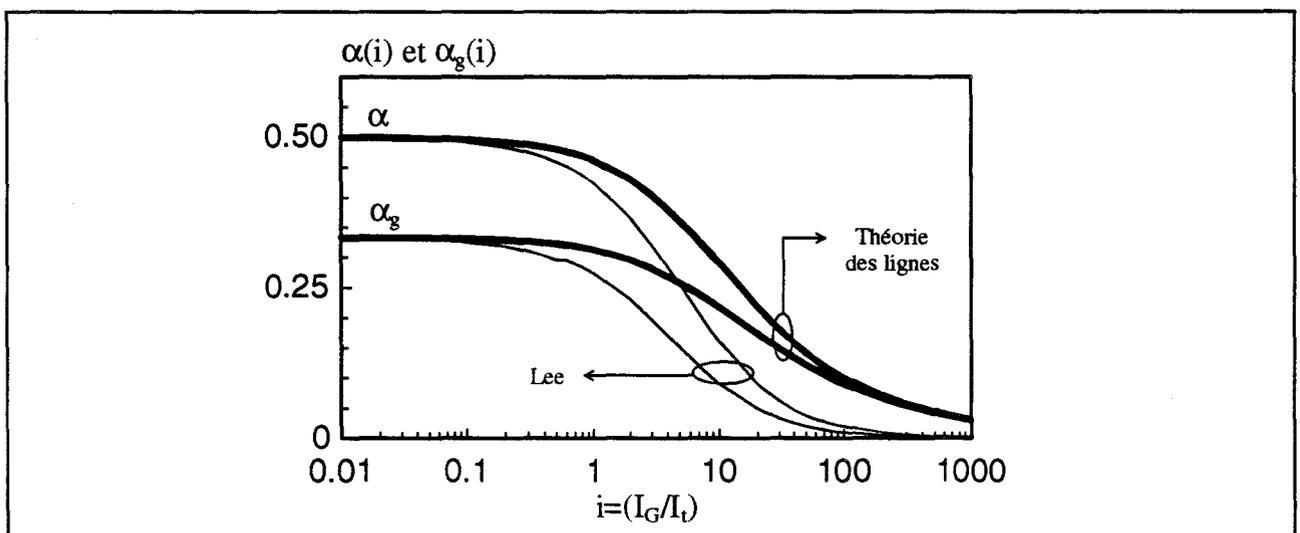
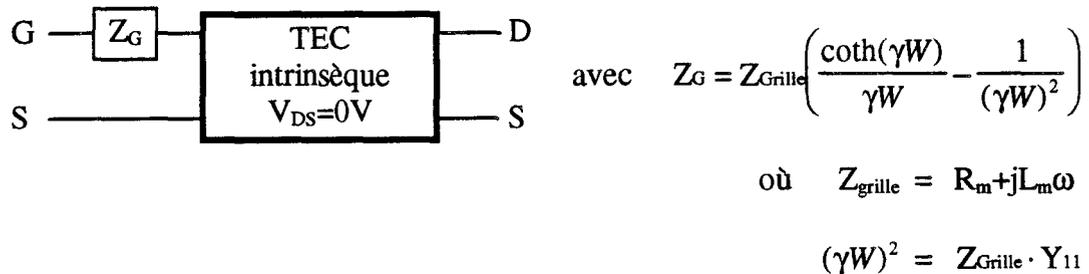


Figure II.31 : Evolutions des coefficients  $\alpha$  et  $\alpha_g$  en fonction du courant de grille normalisé  $i = I_G/I_t$ .

• Concernant les phénomènes de distribution transversale, l'analyse simplifiée de ces effets a montré que l'électrode de grille se comporte comme une impédance équivalente, notée  $Z_G$ , en série avec le transistor intrinsèque en régime froid :



Si le courant de grille est suffisamment élevé pour négliger les effets capacitifs sous la grille, il résulte de l'étude du TEC intrinsèque en régime froid, que le paramètre  $Y_{11}$  s'écrit :

$$Y_{11} = \frac{2\sqrt{i}}{R_c} \cdot \frac{\text{ch}(\sqrt{i}) - 1}{\text{sh}(\sqrt{i})}$$

avec  $i = I_G/I_t = R_c/R_{dy}$

En reprenant les notations précédentes, et en ne considérant que les effets résistifs, ces relations deviennent :

$$Z_{grille} = R_m$$

$$Z_G = R_m \alpha_g[x(i)] = R_G$$

$$x(i) = \frac{R_m}{R_c} 2i\alpha(i)$$

La figure II.32 présente les évolutions des fonctions  $\alpha_g(x)$  et  $2i\alpha(i)$ . Ce graphe suscite les mêmes remarques que précédemment, concernant la décroissance monotone de  $\alpha_g(x)$  en fonction du courant de grille. Il convient donc de limiter ce dernier, afin de rester dans le domaine de validité. Une erreur théorique maximale de 6% est obtenue si l'argument  $x$  de  $\alpha_g(x)$  demeure inférieure à l'unité, ce qui permet d'écrire dans ces conditions :

$$R_G \approx \frac{R_m}{3} \quad \text{si} \quad x < 1$$

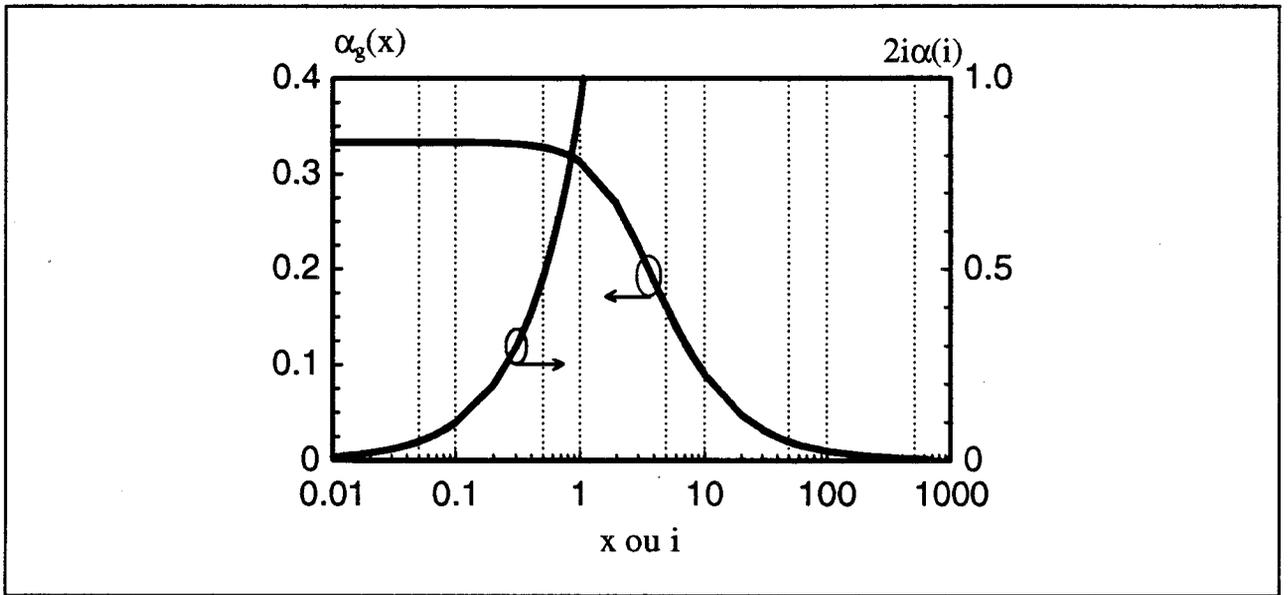


Figure II.32 : Evolutions des fonctions  $\alpha_g(x)$  et  $2i\alpha(i)$ .

C'est cette condition  $x < 1$ , associée à celle qui résulte des phénomènes de propagation longitudinale ( $i < 1/2$ ), qui impose le courant maximal de grille :

$$x < 1 \quad \Rightarrow \quad \frac{R_m}{R_c} 2i\alpha(i) < 1$$

$$i < 1/2 \quad \Rightarrow \quad 2i\alpha(i) \approx i$$

soit  $\frac{R_m}{R_c} i < 1$  et en remplaçant 'i' par son expression, il vient :

$$R_m \cdot I_{Gmax} < \eta V_t \quad \text{ou encore} \quad R_G \cdot I_{Gmax} < \frac{\eta V_t}{3}$$

Une application numérique avec  $R_G = 2.5 \Omega$  (largeur de grille  $2 \times 50 \mu\text{m}$ ) et  $\eta = 1.6$  donne un courant de grille maximal acceptable d'environ 5.6mA à 300°K. Ce résultat confirme le caractère plus sévère de cette limitation. D'autre part, la dernière relation montre que d'éventuelles difficultés peuvent être rencontrées lors de la mesure des résistances, si les composants sont dotés de grilles trop résistives ou de largeur trop importante. En effet, avec de tels composants, le courant de grille maximal, défini par cette limitation, peut être trop faible pour que nous puissions

encore considérer la jonction comme équivalente uniquement à une résistance, ce qui constitue la base même de la méthode.

### **IV.3. Conclusion**

Nous avons développé et présenté dans ce paragraphe, la méthodologie mise en oeuvre pour extraire les éléments parasites séries des transistors à effet de champ de type bigrille. Celle-ci repose essentiellement sur l'exploitation des propriétés des composants étudiés polarisés en régime froid ( $V_{DS}=0V$ ) avec les deux grilles en direct. Comme pour le TEC monogrille, les diverses résistances et les selfs d'accès sont déterminées séparément à partir, respectivement, de la partie réelle et de la partie imaginaire de la matrice impédance  $[Z]$ .

Nous avons montré l'absolue nécessité de prendre en compte les effets des capacités parasites lors de la détermination des inductances, sous peine de sous-estimation de celles-ci, et ce d'autant plus que la taille du composant diminue.

Les valeurs des résistances parasites obtenues font l'objet d'un contrôle systématique par le biais de mesures statiques complémentaires.

Enfin, cette méthode sera validée par la présentation de résultats expérimentaux dans le 4<sup>ème</sup> chapitre de ce mémoire.

## V. CONCLUSION

---

Inspiré des travaux de G. Dambrine [1], concernant la caractérisation des TECs monogrilles, une méthodologie de détermination de l'environnement parasite des transistors à effet de champ de type bigrille a été développée et présentée dans ce chapitre. Cette dernière repose sur l'exploitation exclusive des propriétés en régime froid des composants considérés, afin de s'affranchir délibérément de tout comportement actif.

L'étude et l'analyse des TECs intrinsèques en régime froid ont permis de mettre en évidence deux régimes particuliers de polarisation des grilles, à partir desquels sont extraits séparément les éléments parasites parallèles et séries.

Si les selfs d'accès restent relativement transparentes lors de la détermination des éléments parallèles, nous avons montré au contraire qu'il est absolument nécessaire de prendre en compte les effets des capacités parasites lors de l'extraction des inductances. Cette conclusion demeure valable également pour les TECs monogrilles.

Le nombre assez important d'éléments parasites considérés (pas moins de 15) nous a conduit à développer une procédure d'extraction directe, plutôt qu'une méthode basée sur des algorithmes d'optimisation.

Enfin, une attention toute particulière a été apportée à cette étape de la caractérisation, afin d'assurer le maximum de précision dans l'extraction des éléments extrinsèques, car la détermination du schéma équivalent intrinsèque en dépend directement. En effet, l'environnement parasite étant identifié et quantifié, il nous est possible d'en faire abstraction mathématiquement pour parvenir au coeur du composant : le transistor actif intrinsèque, sujet du chapitre suivant.

- [1] G. DAMBRINE, A. CAPPY, F. HELIODORE, E. PLAYEZ  
*'A new method for determining the FET small-signal equivalent circuit.'*  
IEEE trans. on MTT, vol. 36, n° 7, July 1988, pp 1151-1159
- [2] J. PORTILLA, M. CAMPOVECCHIO, R. QUERE, J. OBREGON  
*'A new coherent extraction method for FETs and HEMTs models for MMIC applications.'*  
GAAS 94, April 1994, Turin, pp 377-380
- [3] F. DIAMAND, M. LAVIRON  
*'Measurement of the extrinsic series elements of a microwave MESFET under zero current conditions.'*  
Proc. of the 12<sup>th</sup> EuMC, Sept. 1982, Helsinki, pp 451-456
- [4] P.M.WHITE, R. HEALY  
*'Improved equivalent circuit for determination of MESFET and HEMT parasitic capacitances from 'coldFET' measurements.'*  
IEEE Microwave and Guided Wave Letters, vol. 3, n° 12, Dec. 1993, pp 453-454
- [5] C. BYL  
*'Nouvelle utilisation des structures à effet de champ monogrilles et bigrilles distribuées. Application à l'amplification large bande.'*  
Thèse 3<sup>ème</sup> cycle, Université de Lille, Janvier 1991
- [6] R. L. KUVAS  
*'Equivalent circuit model of FET including distributed gate effects.'*  
IEEE trans. on Electron Devices, vol. 27, n° 6, June 1980, pp 1193-1195
- [7] W. HEINRICH  
*'Limits of FET modelling by lumped elements.'*  
Electronics Letters, vol. 22, n° 12, June 1986, pp 630-632
- [8] A. GOPINATH, J. B. RANKIN  
*'GaAs FET RF switches.'*  
IEEE trans. on Electron Devices, vol. 32, n° 7, July 1985, pp 1272-1278

- [9] R. ANHOLT, S. SWIRHUN  
*'Measurement and analysis of GaAs MESFET parasitic capacitances.'*  
 IEEE trans. on MTT, vol. 39, n° 7, July 1991, pp 1247-1251
- [10] Y. MOUQUET  
*'Contribution à la modélisation non-linéaire des TECs pour amplification de puissance en classe B en bandes Ku et Ka.'*  
 Thèse 3<sup>ème</sup> cycle, Université de Lille, Juillet 1995
- [11] M. SCHLECHTWEG, W. REINERT, P. J. TASKER, R. BOSCH, J. BRAUNSTEIN, A. HÜLSMANN, K. KÖHLER  
*'Design and characterization of high performance 60 GHz pseudomorphic MODFET LNAs in CPW-technology based on accurate S-parameters and noise models.'*  
 IEEE trans. on MTT, vol. 40, n° 12, Dec. 1992, pp 2445-2452
- [12] R. TAYRANI, J.E. GERBER, T. DANIEL, R.S. PENGELLY, U.L. RODHE  
*'A new and reliable direct parasitic extraction method for MESFETs and HEMTs.'*  
 Proc. of the 23<sup>th</sup> EuMC, Madrid, Sept. 1993, pp 451-453
- [13] A. ESKANDARIAN, S. WEINREB  
*'A note on experimental determination of small-signal equivalent circuit of millimeter-wave FETs.'*  
 IEEE trans. on MTT, vol. 41, n° 1, Jan. 1993, pp 159-162
- [14] G. LEUZZI, A. SERINO, F. GIANNINI  
*'RC-term correction in the evaluation of parasitic inductances for microwave transistor modelling.'*  
 Proc. of the 24<sup>th</sup> EuMC, Cannes, Sept. 1994, pp 1628-1631
- [15] F. DIETTE, D. THERON, B. BONTE, Y. CROSNIER  
*'Airbridge technology for millimeter wave power FET's.'*  
 5<sup>th</sup> European Heterostructure Technology Workshop, Cardiff, Sept. 1995
- [16] Y. CROSNIER  
*'Power FETs families. Capabilities and limitations from 1 to 100 GHz.'*  
 Proc. of the 24<sup>th</sup> EuMC, Cannes, Sept. 1994, pp 88-101
- [17] J. M. DORTU, J. E. MULLER  
*'Accurate large-signal GaAs MESFET modeling for a power MMIC amplifier design.'*  
 Microwave Journal, April 1993, pp 74-84

- [18] THOMSON TCS  
*'MMIC Foundry Design Manual.'*
- [19] K. LEE, M. SHUR, K. W. LEE, T. VU, P. ROBERTS, M. HELIX  
*'A new interpretation of 'end' resistance measurements.'*  
IEEE Electron Devices Letters, vol. 5, n° 1, Jan. 1984, pp 5-7
- [20] S. CHAUDHURI, M. B. DAS  
*'On the determination of source and drain series resistances of MESFETs.'*  
IEEE Electron Devices Letters, vol. 5, n° 7, July 1984, pp 244-246
- [21] R. VOGEL  
*'The application of RF wafer probing to MESFET modeling.'*  
Microwave Journal, Nov. 1988, pp 153-162
- [22] H. FUKUI  
*'Determination of the basic device parameters of a GaAs MESFET.'*  
The Bell System Technical Journal, Mar. 1979, pp 771-797
- [23] K. W. LEE, K. LEE, M. S. SHUR, T. T. VU, P. C. T. ROBERTS, M. J. HELIX  
*'Source, drain and gate series resistances and electron saturation velocity in ion-implanted GaAs FETs.'*  
IEEE trans. on Electron Devices, vol. 32, n° 5, May 1985, pp 987-992
- [24] R. ANHOLT, S. SWIRHUN  
*'Equivalent circuit parameter extraction for cold GaAs MESFETs.'*  
IEEE trans. on MTT, vol. 39, n° 7, July 1991, pp 1243-1247

## **CHAPITRE III**

*"Extraction des éléments intrinsèques"*

# **CHAPITRE III**

---

## **I. INTRODUCTION**

---

La conception d'un circuit micro-onde requiert la connaissance des caractéristiques statiques et dynamiques des composants actifs. Pour tirer le meilleur de ceux-ci et obtenir les performances optimales, le choix des zones de fonctionnement définies par les polarisations extérieures est primordial.

Il est commode et usuel de représenter dans ces différentes zones, le comportement actif et dynamique du composant par un unique schéma électrique équivalent, dont la valeur des éléments, contrairement aux éléments parasites, est fonction des tensions appliquées sur les électrodes. L'intérêt essentiel de cette modélisation pour le développement d'applications est son intégration aisée au sein de simulateurs électriques.

L'objet de ce chapitre est de présenter toute la méthodologie mise en oeuvre, pour extraire ce schéma équivalent intrinsèque dans le cas du transistor à effet de champ de type bigrille.

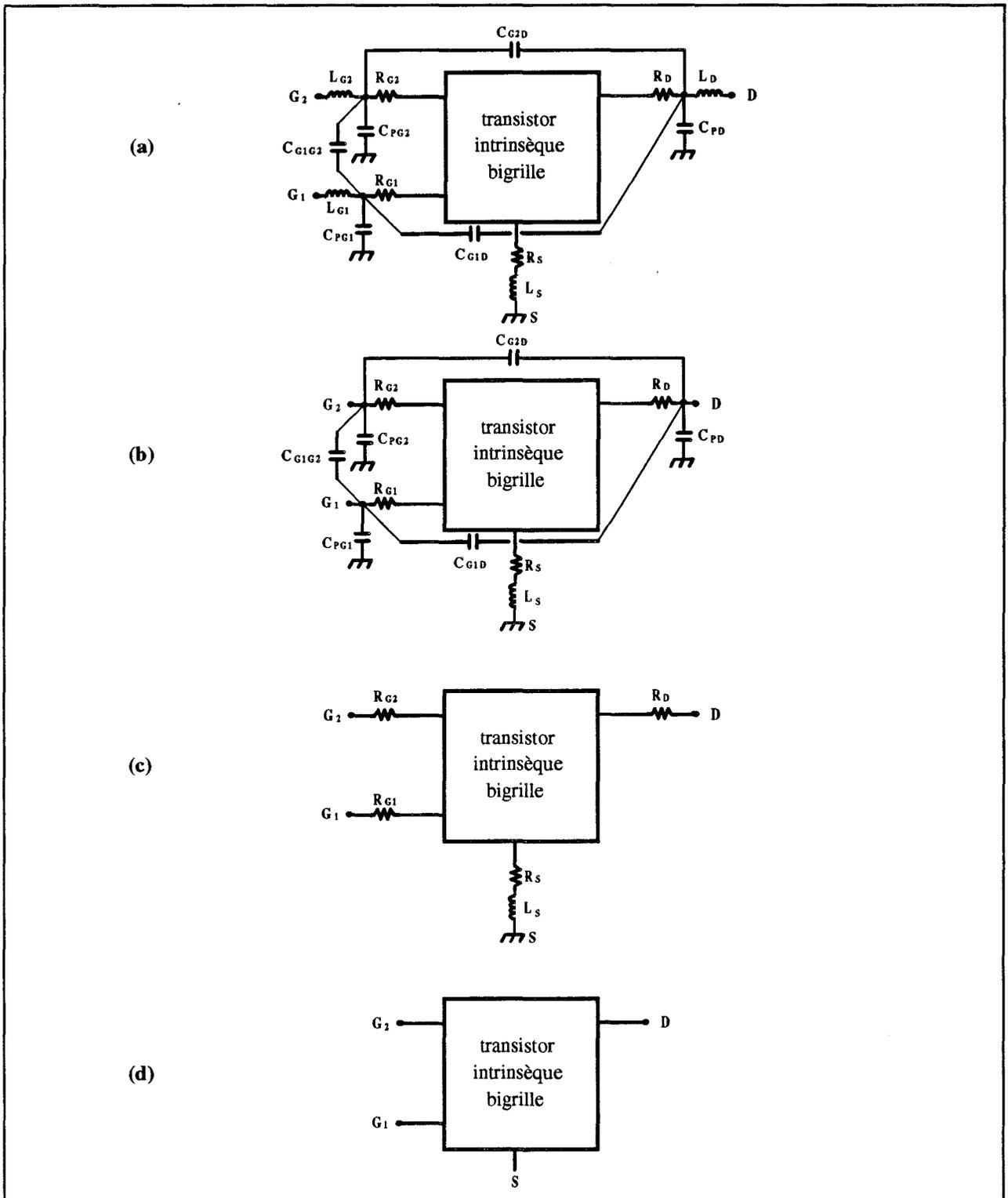


Figure III.1 : Abstraction pas à pas des éléments parasites du TEC bigrille.

## II. LE SCHEMA EQUIVALENT INTRINSEQUE

Le but de ce paragraphe est de présenter et décrire le cheminement mathématique utilisé, pour connaître le comportement intrinsèque du composant sous test. En effet, la présence inévitable des éléments parasites, déterminés et identifiés dans le chapitre précédent, rend impossible la mesure directe in situ de la partie active. Seul, l'outil mathématique permet de contourner cette difficulté. La procédure de calcul développée pour éliminer et s'affranchir artificiellement de ces effets parasites repose sur les propriétés des matrices impédances et admittances. Le synoptique ci dessous, associé aux figures III.1, en décrit le principe :

$$[S]_{\text{mesuré e}} = \begin{bmatrix} S_{11} & S_{12} & S_{13} \\ S_{21} & S_{22} & S_{23} \\ S_{31} & S_{32} & S_{33} \end{bmatrix}$$

figure III.1a

⇓ transformation  $[S] \Rightarrow [Z]$

$$[Z] - j\omega \cdot \begin{bmatrix} L_{G1} & 0 & 0 \\ 0 & L_{G2} & 0 \\ 0 & 0 & L_D \end{bmatrix}$$

figure III.1b

⇓ transformation  $[Z] \Rightarrow [Y]$

$$[Y] - j\omega \cdot \begin{bmatrix} C_{pG1} + C_{G1G2} + C_{G1D} & -C_{G1G2} & -C_{G1D} \\ -C_{G1G2} & C_{pG2} + C_{G1G2} + C_{G2D} & -C_{G2D} \\ -C_{G1D} & -C_{G2D} & C_{pD} + C_{G1D} + C_{G2D} \end{bmatrix}$$

figure III.1c

⇓ transformation  $[Y] \Rightarrow [Z]$

$$[Z] = \begin{bmatrix} R_s + R_{G1} + j\omega \cdot L_s & R_s + j\omega \cdot L_s & R_s + j\omega \cdot L_s \\ R_s + j\omega \cdot L_s & R_s + R_{G2} + j\omega \cdot L_s & R_s + j\omega \cdot L_s \\ R_s + j\omega \cdot L_s & R_s + j\omega \cdot L_s & R_s + R_D + j\omega \cdot L_s \end{bmatrix} \quad \text{figure III.1d}$$

⇓

[Z]<sub>hexapôle</sub>

A ce stade, la matrice [Z] intrinsèque est obtenue si le transistor bigrille est considéré en tant qu'hexapôle à part entière (chapitre I). Dans notre cas, nous assimilons ce composant comme étant équivalent à deux TECs monogrilles intrinsèques associés en configuration cascade. C'est pourquoi, une étape supplémentaire, décrite ci-après, complète la procédure, afin d'éliminer l'effet de la résistance intergrille  $R_{12}$ , au même titre que les résistances parasites d'accès de source et de drain.

[Z]<sub>hexapôle</sub>

⇓

$$[Z]_{\text{hexapôle}} = \begin{bmatrix} 0 & 0 & 0 \\ 0 & R_{12} & R_{12} \\ 0 & R_{12} & R_{12} \end{bmatrix} \quad \text{figure III.2a}$$

⇓

[Z]<sub>cascode</sub>

Nous aboutissons ainsi au composant intrinsèque dépourvu de tout élément parasite. Nous retrouvons sur le schéma équivalent de celui-ci (figure III.2b) l'image des zones actives sous chacune des deux grilles, symbolisées par  $TEC_1$  et  $TEC_2$ .

Si cette procédure mathématique s'avère simple à mettre en oeuvre, elle nécessite cependant la plus grande précision quant à la valeur des éléments parasites préalablement

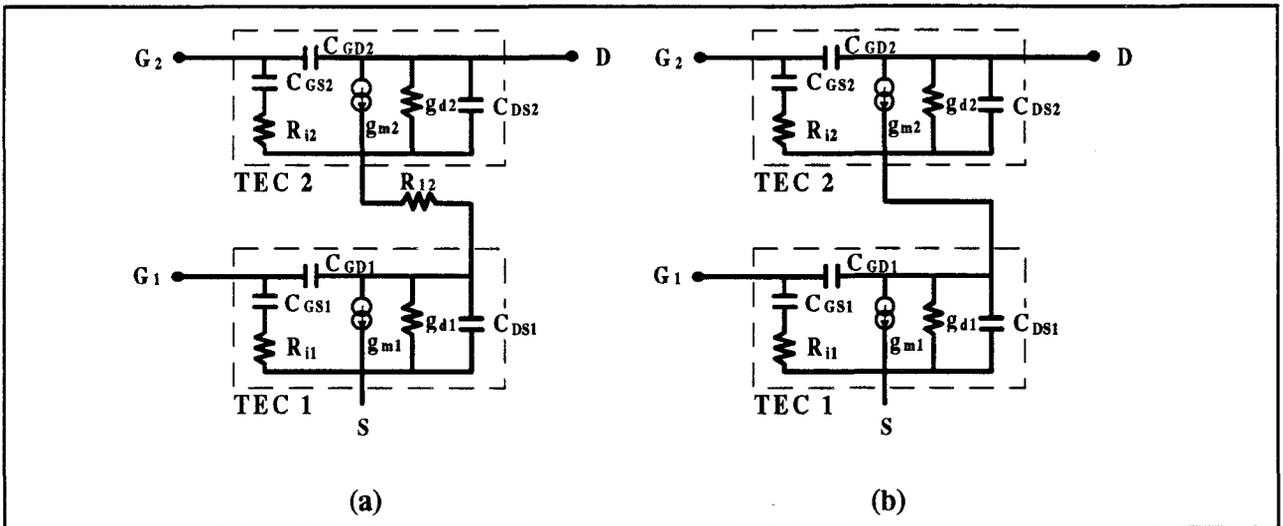


Figure III.2 : Schéma électrique équivalent du TEC bigrille intrinsèque avec (a) et sans (b) la résistance intergrille  $R_{12}$ .

déterminés. C'est pourquoi, nous évaluerons leur influence sur la valeur des éléments intrinsèques au cours de ce chapitre.

La partie active intrinsèque seule étant accessible et identifiée, nous avons développé une technique de caractérisation, qui fait l'objet d'une présentation dans les paragraphes suivants, et qui consiste à déterminer la valeur des éléments de son schéma équivalent représentatif.

### III. PREMIERE APPROCHE

Par analogie au transistor à effet de champ monogrille, l'idée directrice qui mène à la détermination de la valeur des éléments intrinsèques du schéma équivalent, repose sur la comparaison des matrices admittances mesurées et théoriques [1]. Pour ce faire, il est nécessaire d'établir l'expression littérale des paramètres  $Y_{ij}$  à partir de l'analyse du schéma équivalent. La complexité de ce dernier conduit malheureusement à des expressions très lourdes et difficiles à

manipuler, c'est pourquoi, nous abordons le problème dans les conditions basses fréquences, afin d'en simplifier l'approche.

Les calculs théoriques développés en annexe I.1 aboutissent aux expressions suivantes :

$$\text{en posant } G_{eq}=g_{d1}+g_{d2}+g_{m2} \quad \text{et} \quad C_{eq}=C_{gs2}+C_{ds2}+C_{gd1}+C_{ds1}$$

$$\begin{aligned}
 Y_{11} &\approx +j\omega \cdot \left[ C_{gs1} + C_{gd1} \cdot \left(1 + \frac{g_{m1}}{G_{eq}}\right) \right] \\
 Y_{12} &\approx -j\omega \cdot \left[ C_{gd1} \cdot \frac{g_{m2}}{G_{eq}} \right] \\
 Y_{13} &\approx -j\omega \cdot \left[ C_{gd1} \cdot \frac{g_{d2}}{G_{eq}} \right] \\
 Y_{21} &\approx +j\omega \cdot \left[ C_{gs2} \cdot \frac{g_{m1}}{G_{eq}} \right] \\
 Y_{22} &\approx +j\omega \cdot \left[ C_{gd2} + C_{gs2} \cdot \frac{g_{d1} + g_{d2}}{G_{eq}} \right] \\
 Y_{23} &\approx -j\omega \cdot \left[ C_{gd2} + C_{gs2} \cdot \frac{g_{d2}}{G_{eq}} \right] \\
 Y_{31} &\approx g_{m1} \cdot \frac{g_{d2} + g_{m2}}{G_{eq}} - j\omega \cdot \left[ \frac{C_{gd1} \cdot (g_{d2} + g_{m2}) - g_{m1} \cdot C_{ds2}}{G_{eq}} + g_{m1} \cdot \frac{g_{d2} + g_{m2}}{G_{eq}^2} \cdot C_{eq} \right] \\
 Y_{32} &\approx g_{m2} \cdot \frac{g_{d1}}{G_{eq}} - j\omega \cdot \left[ C_{gd2} + \frac{g_{d2} \cdot C_{gs2} - g_{m2} \cdot (C_{gd1} + C_{ds1})}{G_{eq}} + g_{m2} \cdot \frac{g_{d1}}{G_{eq}^2} \cdot C_{eq} \right] \\
 Y_{33} &\approx \frac{g_{d1} \cdot g_{d2}}{G_{eq}} + j\omega \cdot \left[ C_{gd2} + \frac{g_{d2} \cdot (C_{eq} - C_{ds2}) + g_{d1} \cdot C_{ds2}}{G_{eq}} - \frac{g_{d1} \cdot g_{d2}}{G_{eq}^2} \cdot C_{eq} \right]
 \end{aligned}$$

Les résistances  $R_{i1}$  et  $R_{i2}$  n'apparaissent pas dans ces relations car leurs effets interviennent au 2<sup>nd</sup> ordre en fonction de la fréquence. Par souci de clarté, ces termes en  $\omega^2$  ne sont pas mentionnés. Néanmoins, à partir des parties réelles et imaginaires, nous obtenons un système de 12 équations à 10 inconnues qu'il suffit de résoudre pour connaître la valeur des éléments intrinsèques. Si ce principe théorique séduit en raison de sa simplicité, sa mise en oeuvre

n'est pas sans difficulté. En effet, dans la majeure partie des cas et malgré le surplus d'équations devant le nombre d'inconnues, les solutions obtenues, très sensibles aux conditions initiales, laissaient parfois apparaître un caractère non physique (valeurs négatives, trop élevées, non réalistes...).

Afin d'améliorer ces résultats, nous avons développé un algorithme d'optimisation, qui ajuste au mieux la valeur des éléments intrinsèques par comparaison des paramètres Scattering  $S_{ij}$  mesurés et calculés. Le choix de ces valeurs n'est pas aléatoire, mais reste guidé par les relations précédentes. En effet, si nous appelons 'El', l'ensemble des éléments intrinsèques à déterminer, il est possible d'exprimer celui-ci en fonction des paramètres admittances  $Y_{ij}$  et d'une unique variable notée 'k', comme suit :

$$El = f(Y_{ij}, k)$$

Le point fort de cette méthode réside dans le fait que l'optimisation ne concerne que la variable 'k', car les paramètres  $Y_{ij}$  sont connus par la mesure. Cet ensemble de relations

récioproques s'écrit : avec  $k = \frac{gm_2 + gd_2}{gm_2 + gd_2 + gd_1}$

**pour le  $TEC_1$**

$$gm_1 = \frac{ReY_{31}}{k} \quad gd_1 = \frac{ReY_{32} + ReY_{33}}{k} \quad Cgd_1 = -\frac{ImY_{12} + ImY_{13}}{k\omega}$$

$$Cgs_1 = \frac{ImY_{11}}{\omega} + \frac{ImY_{12} + ImY_{13}}{k\omega} \left[ 1 + (1-k) \cdot \frac{ReY_{31}}{ReY_{32} + ReY_{33}} \right]$$

**pour le  $TEC_2$**

$$gm_2 = \frac{ReY_{32}}{1-k} \quad gd_2 = \frac{ReY_{33}}{1-k} \quad Cgs_2 = \frac{ImY_{21}}{(1-k)\omega} \cdot \frac{ReY_{32} + ReY_{33}}{ReY_{31}}$$

$$Cgd_2 = \frac{ImY_{22}}{\omega} - \frac{ImY_{21}}{\omega} \left[ \frac{ReY_{32} + ReY_{33}}{ReY_{31}} + \frac{k}{1-k} \cdot \frac{ReY_{33}}{ReY_{31}} \right]$$

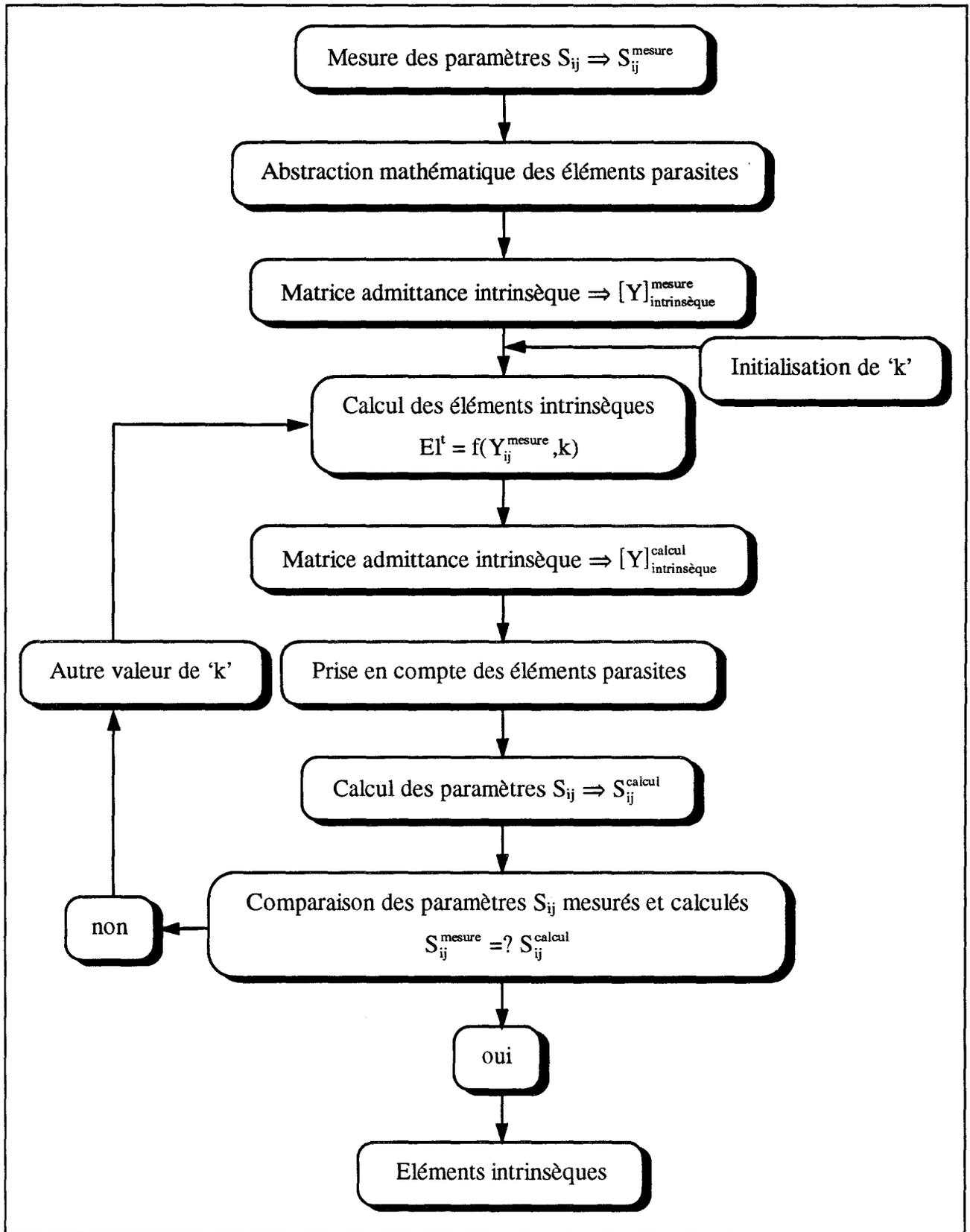


Figure III.3 : Synoptique d'extraction du schéma équivalent intrinsèque du TEC bigrille. Méthode d'optimisation par comparaison des paramètres  $S_{ij}$  mesurés et calculés.

En reprenant ces résultats et en posant  $G = \frac{gm_2 + gd_2 + gd_1}{gm_1}$ ,  $Cds_1$  et  $Cds_2$  s'écrivent :

$$Cds_1 = \frac{\text{Im} Y_{32} + \text{Im} Y_{33}}{k\omega} + \left[1 - \frac{1}{k}\right] \cdot G \cdot \frac{\text{Im} Y_{31}}{\omega} - [1 + (1-k) \cdot G] \cdot Cgd_1$$

$$Cds_2 = \frac{\text{Im} Y_{32} + \text{Im} Y_{33}}{(1-k)\omega} + \frac{k}{1-k} \cdot G \cdot \left[ \frac{\text{Im} Y_{31}}{\omega} + k \cdot Cgd_1 \right] + \frac{k}{1-k} \cdot Cgs_2$$

Ces équations montrent qu'il suffit de trouver la valeur de 'k', comprise nécessairement entre 0 et 1, pour obtenir toutes celles des éléments intrinsèques. Le synoptique présenté sur la figure III.3 décrit et résume la méthodologie développée qui conduit au résultat recherché. La valeur optimale des éléments intrinsèques est obtenue en minimisant une fonction d'erreur classique, notée EF, définie au sens des moindres carrés par :

$$EF = \frac{1}{M \cdot n} \sqrt{\sum_{f_i} \sum_{i,j} \left| \frac{S_{ij}^{\text{mesure}}(f_i) - S_{ij}^{\text{calcul}}(f_i)}{S_{ij}^{\text{mesure}}(f_i)} \right|^2}$$

avec  $f_i = i^{\text{ème}}$  point de fréquence

M = nombre de points de fréquence

La figure III.4 représente un exemple typique d'évolution de cette fonction d'erreur EF en fonction de 'k' dans le cas d'un TEC bigrille polarisé à  $V_{DS}=3V$ ,  $V_{G1S}=-0.2V$  et pour deux valeurs

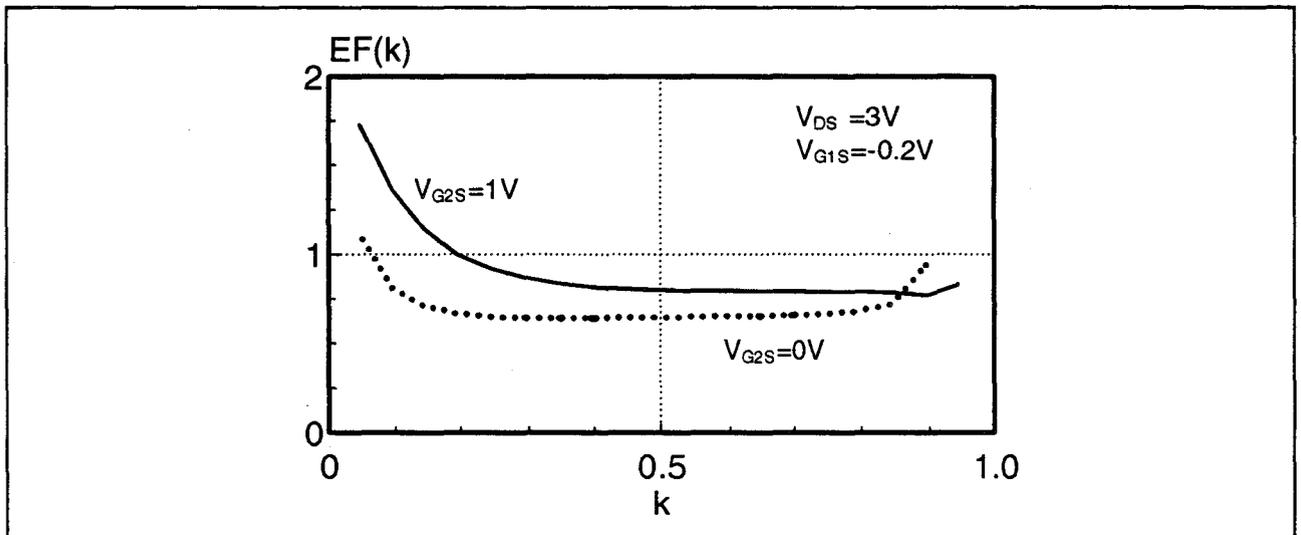


Figure III.4 : Evolution de la fonction d'erreur EF en fonction de 'k'.  
(PM-HEMT bigrille 0.15 $\mu$ m\*75 $\mu$ m)

de  $V_{G2S}$ . Nous observons que ces courbes passent effectivement par un minimum, mais de manière très ‘molle’, car ce dernier n’est pas franchement localisé. En d’autres termes, une large plage de valeurs ‘k’ semble satisfaire le critère d’optimisation, ce qui laisse présager quelques difficultés quant à la validité de la solution finale.

La mise en pratique de ce principe s’est soldée par quelques résultats positifs mais non systématiques, lorsque les deux transistors équivalents  $TEC_1$  et  $TEC_2$  constituant le composant bigrille opéraient en régime saturé. En revanche, dès que l’un des deux approchait du régime linéaire, les résultats obtenus n’étaient pas physiquement acceptables, bien que l’algorithme converge vers une solution mathématique. La figure III.5 illustre nos propos en présentant la mesure et la simulation de l’évolution en fonction de la fréquence du paramètre de transfert de la grille  $G_1$  vers le drain. Il ressort apparemment de ce graphique un excellent accord, mais cet exemple montre aussi les risques d’erreurs liés à l’usage des méthodes d’optimisation. En effet, les valeurs des huit paramètres principaux du schéma intrinsèque, obtenues par application du principe précédent, sont :

$$\begin{array}{cccc}
 g_{m1}=54.7\text{mS} & g_{d1}=8.9\text{mS} & C_{gs1}=64\text{fF} & C_{gd1}=15.9\text{fF} \\
 g_{m2}=211.7\text{mS} & g_{d2}=25.7\text{mS} & C_{gs2}=244.2\text{fF} & C_{gd2}=-9\text{fF}
 \end{array}$$

Des valeurs négatives ( $C_{gd2}$ ) ou trop élevées ( $g_{m2}$ ,  $C_{gs2}$ ) pour ce transistor de largeur de grille  $75\mu\text{m}$  démontrent l’invalidité physique de ce résultat, malgré l’excellente valeur de la fonction d’erreur (<1%) obtenue pour ce point de polarisation.

Les difficultés rencontrées nous ont incité à opter pour une nouvelle technique de caractérisation du transistor intrinsèque. De plus, les résultats infructueux, lorsque le transistor  $TEC_1$  fonctionne en régime linéaire, sont un argument supplémentaire pour abandonner cette

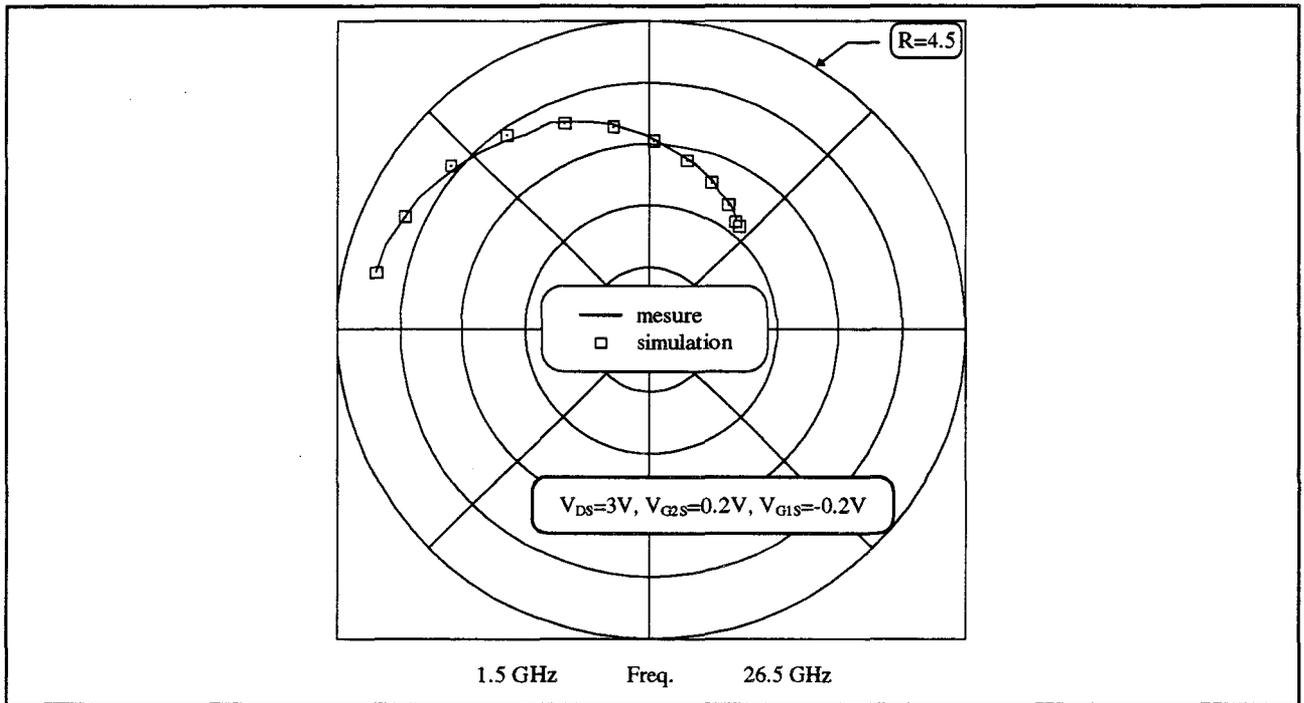


Figure III.5 : Evolution du paramètre  $S_{31}$  d'un TEC bigrille en fonction de la fréquence. Confrontation mesure-simulation (PM-HEMT  $0.15\mu\text{m} \times 75\mu\text{m}$ ).

première approche, car le but de cette extraction est la conception d'un mélangeur fonctionnant dans ce régime particulier [2].

#### IV. EXTRACTION DES ELEMENTS DU TRANSISTOR $TEC_2$

Les difficultés rencontrées, pour extraire les éléments intrinsèques des transistors  $TEC_1$  et  $TEC_2$  à partir de l'unique mesure des paramètres  $S_{ij}$  au point de polarisation choisi, ont orienté notre méthode de caractérisation vers une toute autre démarche. Cette dernière repose sur les travaux publiés par Tsironis [3], dont l'idée directrice est basée sur la détermination séparée des deux transistors monogrilles équivalents constituant le composant bigrille. Ainsi, deux mesures seront donc nécessaires, afin d'apprécier indépendamment le comportement de l'un ou de l'autre transistor ( $TEC_1$  ou  $TEC_2$ ).

Comme le titre l'indique, ce paragraphe décrit la première étape de cette méthode qui concerne plus précisément l'identification des éléments intrinsèques relatifs à la seconde grille  $G_2$ , symbolisés par  $TEC_2$ .

#### IV.1. Principe général

Pour distinguer et dissocier les effets de chaque transistor  $TEC_1$  et  $TEC_2$ , nous avons recours aux propriétés de la matrice impédance  $[Z]$  intrinsèque du composant bigrille, qui s'écrit avec les considérations du montage cascode [4] :

$$[Z] = \begin{bmatrix} Z_{11} & Z_{12} & Z_{13} \\ Z_{21} & Z_{22} & Z_{23} \\ Z_{31} & Z_{32} & Z_{33} \end{bmatrix} = \begin{bmatrix} Z_{11}^I & Z_{12}^I & Z_{12}^I \\ Z_{21}^I & Z_{22}^I + Z_{11}^{II} & Z_{22}^I + Z_{12}^{II} \\ Z_{21}^I & Z_{22}^I + Z_{21}^{II} & Z_{22}^I + Z_{22}^{II} \end{bmatrix}$$

avec  $Z_{ij}^I =$  paramètres impédances du  $TEC_1$

$Z_{ij}^{II} =$  paramètres impédances du  $TEC_2$

Si de cette matrice, nous ne retenons que les termes  $Z_{22}$ ,  $Z_{23}$ ,  $Z_{32}$  et  $Z_{33}$ , alors les quatre paramètres impédances du quadripôle  $TEC_2$  peuvent être extraits, au facteur additionnel  $Z_{22}^I$  près ; ce que nous notons par :

$$\begin{bmatrix} Z_{22} & Z_{23} \\ Z_{32} & Z_{33} \end{bmatrix}_{\text{bigrille}} = [Z]_{TEC_2} + Z_{22}^I \cdot \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix}$$

Cette dernière relation peut se schématiser comme sur la figure III.6, qui montre que l'impédance de sortie  $Z_{22}^I$  du  $TEC_1$  joue en fait le rôle équivalent d'une impédance de source

intrinsèque pour le transistor  $TEC_2$ . Ainsi, moyennant la connaissance de ce paramètre  $Z_{22}^I$ , la matrice impédance  $[Z]_{TEC2}$  peut être parfaitement identifiée, ce qui conduit, après transformation classique en matrice admittance  $[Y]_{TEC2}$ , à la valeur des éléments intrinsèques du transistor  $TEC_2$  (annexe III.1).

Au point de polarisation choisi pour caractériser le transistor bigrille, la valeur de l'impédance de sortie  $Z_{22}^I$  est a priori inconnue. Pour résoudre ce problème, nous imposons au transistor  $TEC_1$ , de fonctionner dans son régime linéaire, ce qui permet avantageusement de quantifier cette impédance de sortie. De plus, ce régime particulier offre le grand intérêt de minimiser cette quantité  $Z_{22}^I$ , ce qui réduit d'autant son influence sur l'extraction des éléments du transistor  $TEC_2$ .

Ce changement d'état du transistor  $TEC_1$  n'est possible que par l'utilisation subtile du réseau composite, qui fait l'objet d'une présentation dans le paragraphe suivant. Utilisation subtile, car celle-ci ne doit en aucun cas engendrer une quelconque modification des conditions de polarisations du transistor  $TEC_2$  que nous cherchons à caractériser.

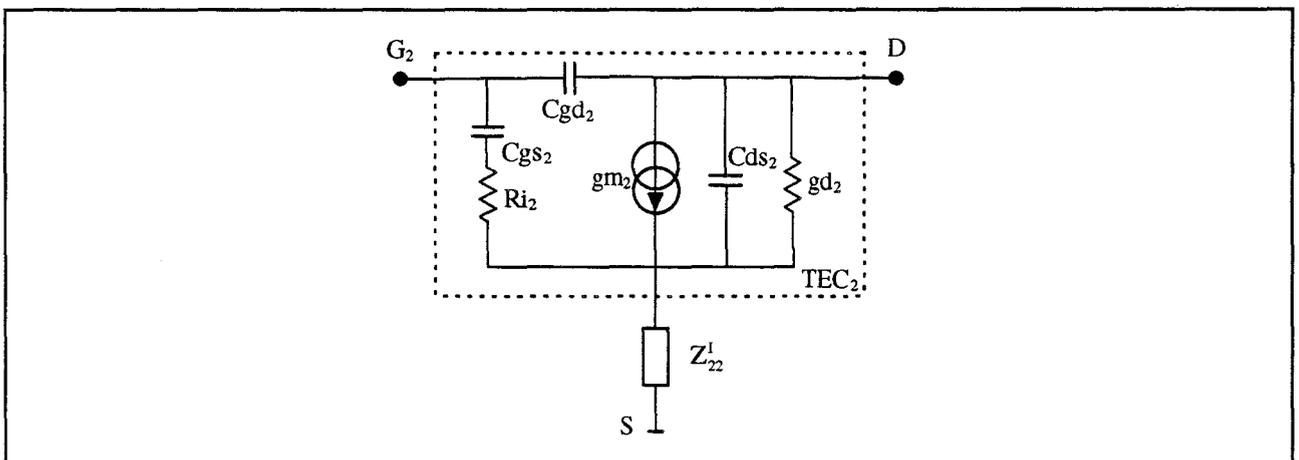


Figure III.6 : Schéma électrique équivalent extrait de la matrice impédance  $[Z]$  intrinsèque du transistor bigrille.

## IV.2. Mise en oeuvre

Nous avons vu que l'application du principe précédent requiert et nécessite la connaissance préalable de l'impédance de sortie  $Z_{22}^I$  du transistor  $TEC_1$ , celui-ci opérant de manière imposée dans son régime linéaire. En polarisant en direct la première grille  $G_1$ , en limite de conduction, nous ouvrons au maximum le canal sous celle-ci, ce qui réduit favorablement son impédance. Ces conditions extrêmes permettent d'envisager et d'étudier plusieurs solutions, quant à l'attribution d'une valeur numérique au paramètre  $Z_{22}^I$ .

### IV.2.1. Première solution

Nous considérons dans ce premier cas, que l'impédance de sortie du transistor  $TEC_1$  n'est autre que la résistance canal  $R_c$  sous la grille  $G_1$ , car les conditions sont telles que le transistor peut être assimilé comme fonctionnant en régime froid [5]. Soit :

$$Z_{22}^I = R_c$$

Cette première solution séduit par sa simplicité, car la résistance canal  $R_c$  est parfaitement connue. Nous présentons sur la figure III.7 l'évolution fréquentielle des 4 éléments intrinsèques principaux ( $g_{m2}$ ,  $g_{d2}$ ,  $C_{gs2}$  et  $C_{gd2}$ ) du transistor  $TEC_2$ , extraits en appliquant ce principe sur un TEC bigrille de développement  $0.15\mu\text{m} \times 75\mu\text{m}$ . Deux points de polarisation ont été envisagés, l'un à faible courant ( $V_{G2S} = -0.6\text{V}$ ) et l'autre à courant plus élevé ( $V_{G2S} = 1\text{V}$ ). Nous constatons qu'à faible courant, les éléments restent parfaitement constants jusqu'à environ 10GHz, voire plus pour la transconductance  $g_{m2}$  et la capacité de contre-réaction  $C_{gd2}$ . Par contre, à courant plus élevé, des effets secondaires introduisent des erreurs importantes, surtout sur la capacité d'entrée  $C_{gs2}$ . Ces perturbations sont directement liées à la validité de l'approximation utilisée, qui devient d'autant plus discutable que le courant dans la structure croît. En effet, l'augmentation de celui-ci

entraîne la tension interne  $V_{DIS}$  dans le même sens, dont la valeur reste certes faible, mais suffisante pour nous éloigner du régime froid.

Remarque : Nous obtenons exactement les mêmes résultats lorsque le transistor bigrille, polarisé dans ces conditions ( $TEC_1$  en régime linéaire), est mesuré en tant que quadripôle entre la grille  $G_2$  et le drain, la grille  $G_1$  étant chargée sur l'impédance de référence ( $50 \Omega$ ). En effet, la résistance canal  $R_c$  est si faible (typiquement  $1 \Omega$  pour  $100 \mu m$ ), qu'elle court-circuite tout effet du contact Schottky  $G_1$  et de sa charge. La seule précaution à prendre est de tenir compte des capacités extrinsèques inter-électrodes  $C_{G1G2}$  et  $C_{G1D}$ , qui se retrouvent en parallèle respectivement sur les capacités de plots  $C_{pG2}$  et  $C_{pD}$ , via la self d'accès de la première grille,

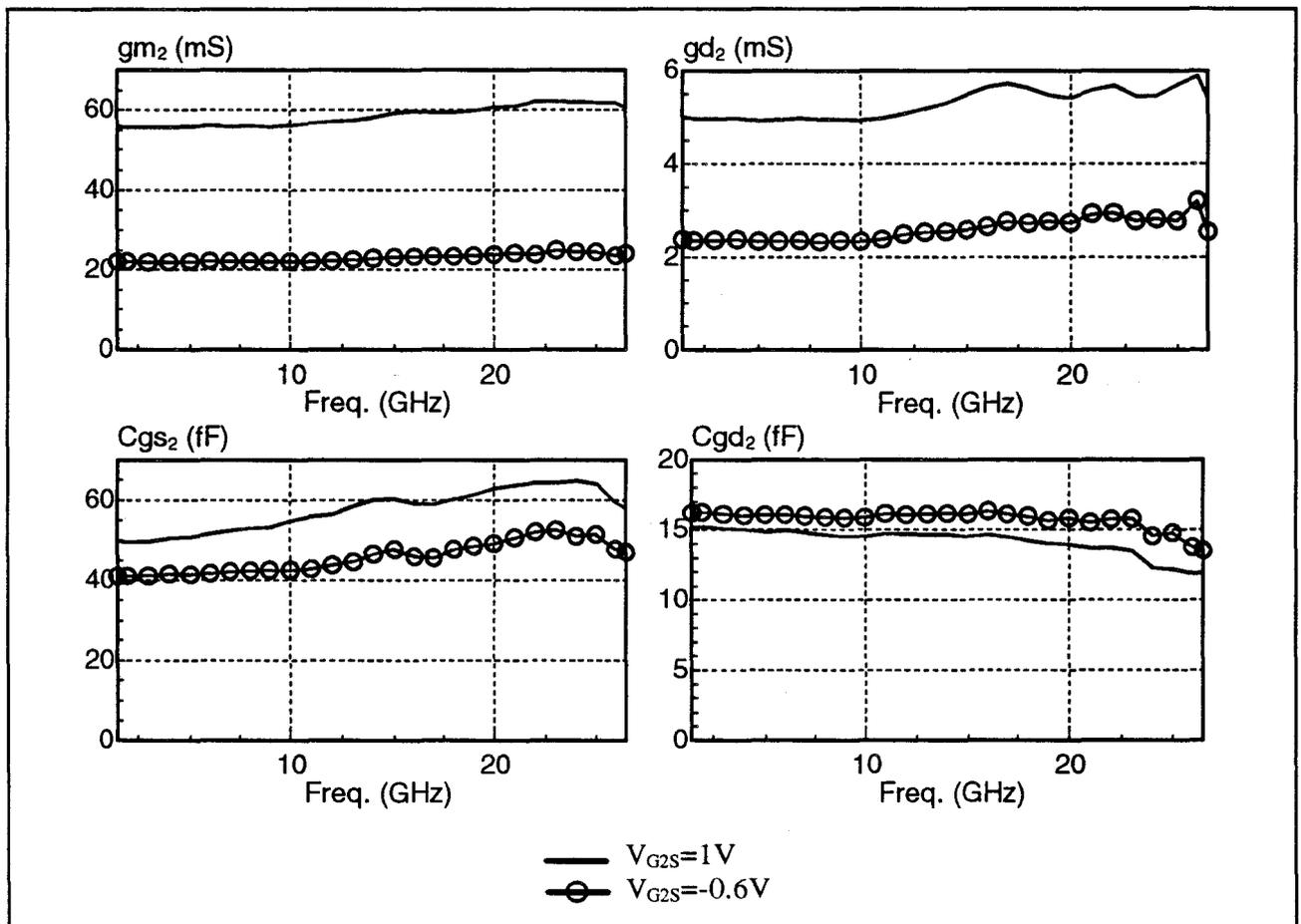


Figure III.7 : Evolution en fonction de la fréquence des 4 éléments intrinsèques principaux du transistor  $TEC_2$  et pour deux valeurs de  $V_{G2S}$ . (PM-HEMT  $0.15 \times 75 \mu m^2$   $V_{DS}=3V$ ,  $V_{G1S}=-0.2V$ ) Première méthode d'extraction.

dont l'influence reste négligeable en basses fréquences (figure III.8). Notons de plus que dans cette configuration, la résistance de source équivalente pour le transistor  $TEC_2$  s'apparente à la somme  $(R_s+R_c+R_{12})$ .

Cependant, compte tenu de la valeur moyenne physiquement cohérente des éléments intrinsèques (calculée sur la bande de fréquence de 0 à 10GHz), et de la facilité d'emploi de ce principe d'extraction, il apparaît que l'application de celui-ci, fournit des valeurs de départ satisfaisantes pour la mise en oeuvre de procédures d'optimisation [3].

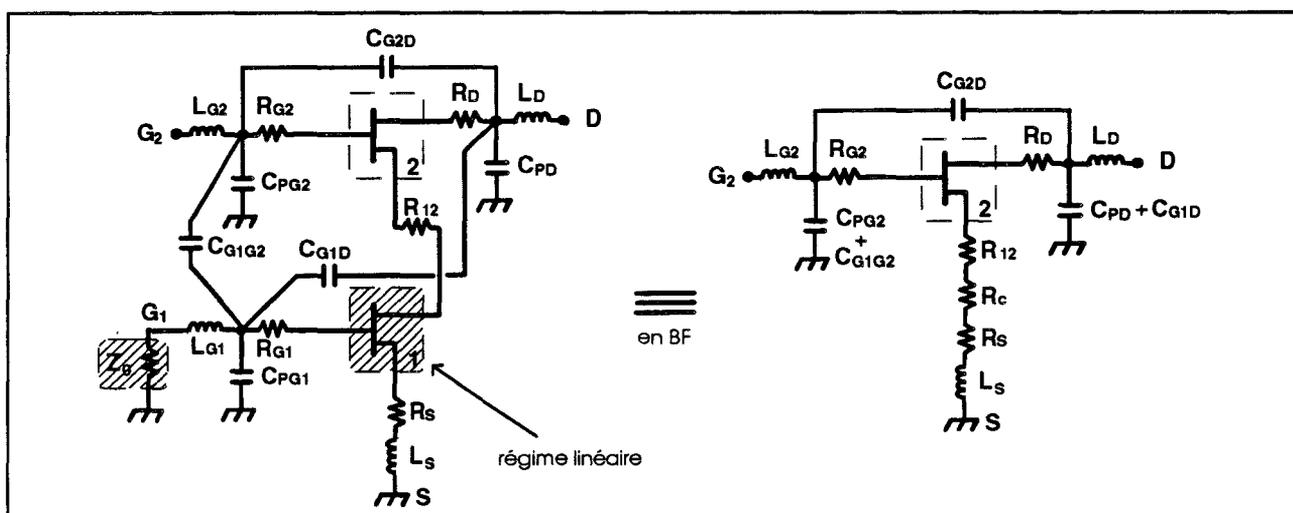


Figure III.8 : Schéma équivalent BF, type quadripôle, du transistor bigrille avec la grille  $G_1$  chargée sur  $Z_0$  ( $50\Omega$ ) et le  $TEC_1$  opérant en régime linéaire.

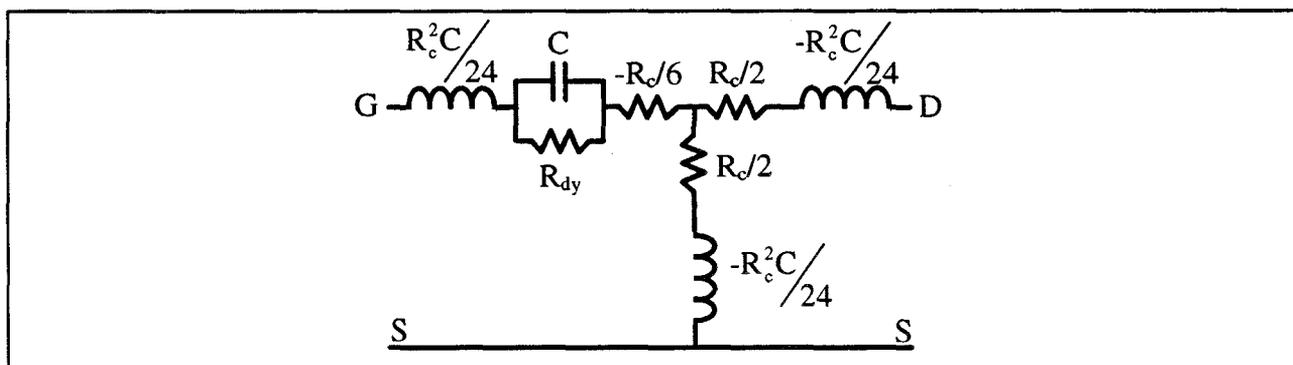


Figure III.9 : Schéma équivalent en "T" de la zone distribuée sous la grille d'un  $TEC$  en régime froid ( $V_{DS}=0V$ ).

#### IV.2.2. Seconde solution

Cette seconde solution découle de l'étude du transistor monogrille intrinsèque en régime froid présenté dans le chapitre II. L'application de la théorie des lignes a permis d'aboutir à une représentation électrique du comportement 'basse fréquence' dudit transistor polarisé à  $V_{DS}=0V$ . La figure III.9 rappelle la configuration en 'T' du schéma équivalent obtenu. En considérant qu'aucun courant de grille ne circule ( $R_{dy} \rightarrow +\infty$ ), la matrice impédance de ce quadripôle s'écrit en première approximation :

$$[Z]_{V_{DS}=0V} \approx \begin{bmatrix} \frac{Rc}{3} + \frac{1}{j\omega C} & \frac{Rc}{2} - j\omega C \frac{Rc^2}{24} \\ \frac{Rc}{2} - j\omega C \frac{Rc^2}{24} & Rc - j\omega C \frac{Rc^2}{12} \end{bmatrix}$$

$C$  = capacité totale de la zone désertée sous la grille

$Rc$  = résistance canal sous la zone désertée

La figure III.10 représente l'évolution en fonction de la fréquence de chacun des paramètres de cette matrice intrinsèque déduite de la mesure des paramètres  $S_{ij}$  d'un transistor monogrille en régime froid ( $V_{DS}=0V$ ). Le paramètre  $Z_{21}$  n'apparaît pas sur ces graphes, car il est

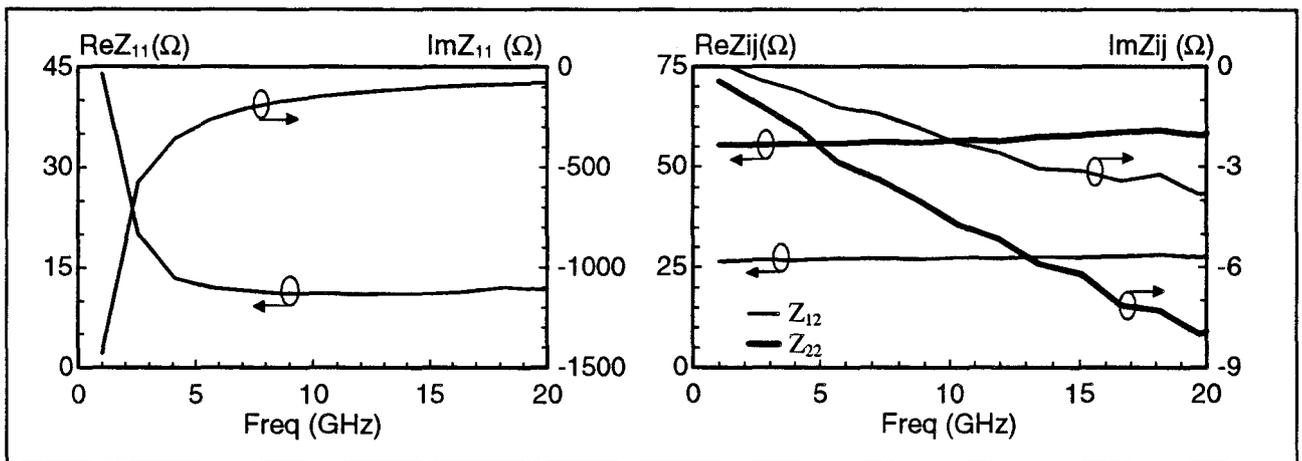


Figure III.10 : Evolution en fonction de la fréquence des paramètres impédances intrinsèques d'un TEC monogrille à  $V_{DS}=0V$ .  
(PM-HEMT  $0.15\mu m * 150\mu m$ ,  $V_{DS}=V_{GS}=0V$ )

rigoureusement identique au paramètre  $Z_{12}$  (quadripôle passif). Nous constatons d'une part que ces courbes sont en très bon accord avec les prédictions théoriques, et d'autre part que la relation  $Z_{22}=2*Z_{12}$  est vérifiée aussi bien pour les parties réelles que les parties imaginaires, et ce sur toute la bande de fréquence d'étude.

C'est autour de cette dernière relation qu'est bâtie notre seconde solution, car la matrice impédance intrinsèque  $[Z]$  du TEC bigrille sous test (voir paragraphe IV.1), possède la particularité d'isoler le paramètre  $Z_{12}^I$  du transistor  $TEC_1$ . Nous sommes donc capables de quantifier l'impédance de sortie de ce même composant, sous réserve que cette relation demeure valable, non plus en régime froid, mais en régime linéaire.

Nous nous proposons de vérifier pratiquement le degré de validité de cette relation.

Nous représentons sur la figure III.11 les évolutions du rapport moyen entre 0 et 15GHz des paramètres impédances intrinsèques  $Z_{22}$  et  $Z_{12}$  de deux transistors monogrilles différents et mesurés :

- a) - à  $V_{DS}$  faible en fonction de  $V_{GS}$
- b) - à  $V_{GS}$  positif en fonction de  $V_{DS}$  (régime linéaire uniquement)

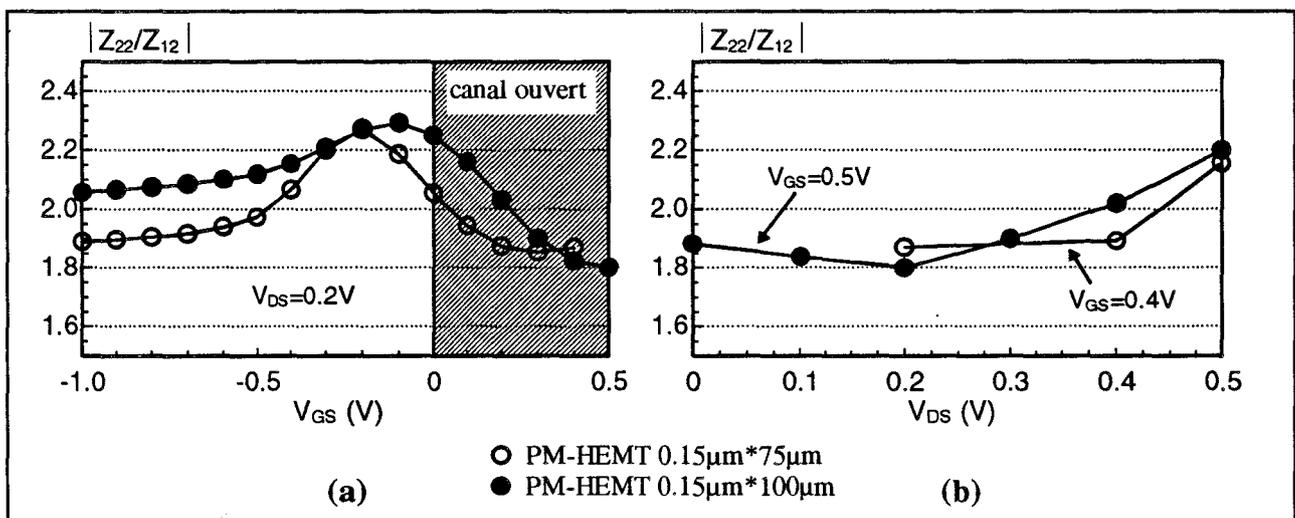


Figure III.11 : Evolution du rapport  $|Z_{22}/Z_{12}|$  des paramètres impédances intrinsèques de 2 TECs monogrilles différents en régime linéaire.

(a) à  $V_{DS}$  faible en fonction de  $V_{GS}$

(b) à  $V_{GS} > 0$  en fonction de  $V_{DS}$

Il apparaît que le résultat escompté n'est pas rigoureusement vérifié en tout point de polarisation, mais que dans la zone de fonctionnement linéaire qui nous préoccupe, l'erreur maximale rencontrée n'excède pas 10%. Ce résultat, jugé satisfaisant, nous encourage à poursuivre et à appliquer cette méthode, conscient de cette approximation dont l'impact et l'influence sur l'extraction des éléments intrinsèques du transistor  $TEC_2$  seront évalués dans le paragraphe suivant.

Ce rapport voisin de '2' s'explique par le fait que les valeurs des capacités intrinsèques d'entrée  $C_{gs}$  et de contre-réaction  $C_{gd}$  sont sensiblement équivalentes à tension drain-source faible. En effet, compte tenu des équations qui lient les paramètres admittances d'un TEC intrinsèque aux valeurs des éléments de son schéma équivalent (cf annexe III.1), ce rapport s'exprime dans l'approximation basses fréquences par :

$$\frac{Z_{22}}{Z_{12}} = -\frac{Y_{11}}{Y_{12}} \approx 1 + \frac{C_{gs}}{C_{gd}}$$

L'application de cette deuxième méthode d'extraction sur le transistor bigrille précédent, polarisé dans les mêmes conditions, conduit aux résultats présentés sur la figure III.12. Il ressort de la comparaison avec la première méthode, que les valeurs moyennes des éléments en basses fréquences sont très voisines, ce qui confirme le bon accord et la validité de la relation  $Z_{22}^I = 2 * Z_{12}^I$ . Remarquons de plus, que sur cet exemple, les éléments intrinsèques demeurent indépendants de la fréquence sur une plus large bande (>15GHz), et ceci, contrairement à la première méthode, quel que soit le courant  $I_{DS}$  circulant dans la structure.

Les avantages de cette méthode sont de prendre en compte :

- l'éventuelle partie imaginaire de l'impédance de sortie  $Z_{22}^I$
- la dépendance de la valeur de  $Z_{22}^I$  avec le courant et la tension interne  $V_{DIS}$ .

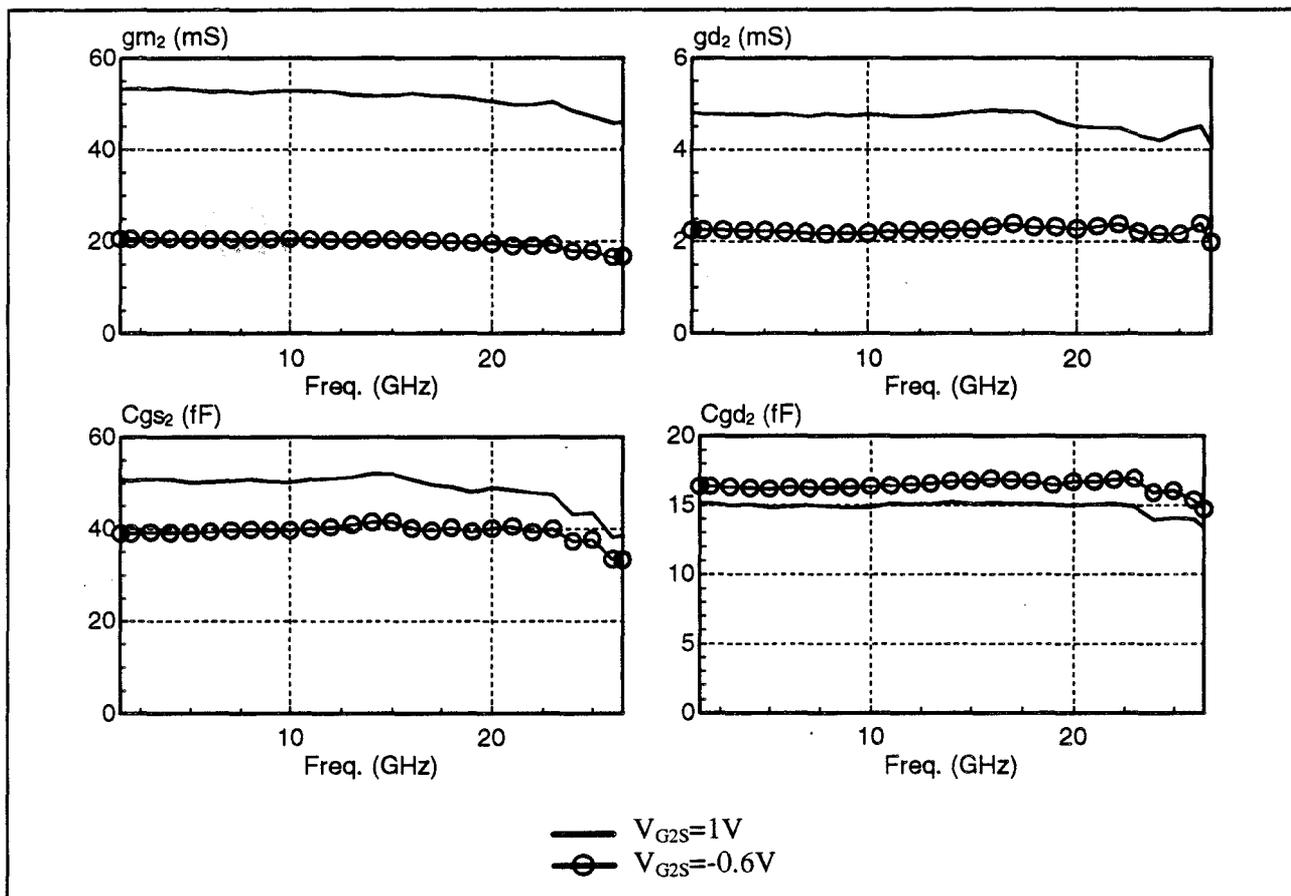


Figure III.12 : Evolution en fonction de la fréquence des 4 éléments intrinsèques principaux du transistor  $TEC_2$  et pour deux valeurs de  $V_{G2S}$ . (PM-HEMT  $0.15 \times 75 \mu m^2$   $V_{DS} = 3V$ ,  $V_{G1S} = -0.2V$ )  
Seconde méthode d'extraction.

Il faut noter qu'il est préférable de déduire la valeur de  $Z_{22}^1$ , à partir du paramètre  $Z_{13}$  plutôt que  $Z_{12}$  de la matrice impédance du transistor bigrille, car il subsiste systématiquement sur ce dernier des effets capacitifs non négligeables en basses fréquences.

De manière empirique, nous avons établi que la bande de fréquence optimale pour caractériser le transistor  $TEC_2$ , s'étendait jusqu'à environ 15GHz.

Nous validerons ce principe d'extraction dans le chapitre suivant, par application sur plusieurs composants bigrilles.

### IV.3. Influence des éléments parasites

Il est évident que l'extraction des éléments intrinsèques du transistor  $TEC_2$  ne sera précise que si les éléments parasites du composant étudié ont été parfaitement et exactement déterminés. Une éventuelle incertitude sur la valeur de chacun d'entre eux, liée à la mesure ou à la méthode mise au point, peut engendrer des écarts et des erreurs plus ou moins importants qu'il convient de connaître. Etant donné la complexité de l'environnement parasite du transistor bigrille, nous divisons en deux parties l'étude de son influence sur la valeur des éléments du schéma équivalent intrinsèque du transistor  $TEC_2$ .

#### IV.3.1. Influence des éléments parasites séries

Soient  $\Delta Z_{G1}$ ,  $\Delta Z_{G2}$ ,  $\Delta Z_D$  et  $\Delta Z_S$ , les éventuelles erreurs commises sur les impédances des dipôles d'accès séries de chaque électrode du transistor bigrille. Leurs influences respectives sur la valeur des éléments intrinsèques du transistor  $TEC_2$  sont établies à partir de l'expression théorique de la nouvelle matrice admittance de ce dernier, compte tenu de leur présence. Notons par avance que l'élément  $\Delta Z_{G1}$  est naturellement peu perturbateur, compte tenu de sa position et de la méthode utilisée pour extraire les éléments du  $TEC_2$ .

Nous résumons ci-dessous les expressions de ces nouveaux paramètres admittances, notés  $Y_{ij}^N$ , en fonction des anciens ( $Y_{ij}$ ) et des erreurs prises en compte individuellement.

$$\text{Erreur sur } Z_{G2} \Rightarrow [Y]^N = \frac{1}{1 + \Delta Z_{G2} \cdot Y_{11}} \cdot \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} + \Delta Z_{G2} \cdot \Delta Y \end{bmatrix}$$

$$\text{Erreur sur } Z_D \Rightarrow [Y]^N = \frac{1}{1 + \Delta Z_D \cdot Y_{22}} \cdot \begin{bmatrix} Y_{11} + \Delta Z_D \cdot \Delta Y & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}$$

$$\text{Erreur sur } Z_s \Rightarrow [Y]^N = \frac{1}{1 + \Delta Z_s \cdot \Sigma Y} \begin{bmatrix} Y_{11} + \Delta Z_s \cdot \Delta Y & Y_{12} - \Delta Z_s \cdot \Delta Y \\ Y_{21} - \Delta Z_s \cdot \Delta Y & Y_{22} + \Delta Z_s \cdot \Delta Y \end{bmatrix}$$

$$\text{avec } \Delta Y = Y_{11}Y_{22} - Y_{12}Y_{21}$$

$$\Sigma Y = Y_{11} + Y_{12} + Y_{21} + Y_{22}$$

En utilisant les relations qui lient les éléments intrinsèques et les paramètres admittances (annexe III.1), il est possible de déduire, en basses fréquences, les valeurs modifiées des paramètres du schéma équivalent. Par souci de clarté, nous ne considérons, ci-dessous, que le cas des quatre éléments principaux, à savoir, la transconductance  $gm_2$ , la conductance de sortie  $gd_2$ , les capacités d'entrée  $Cgs_2$  et de contre-réaction  $Cgd_2$ .

Nouvelle valeur	Erreur sur $Z_{G2}$	Erreur sur $Z_D$	Erreur sur $Z_s$
$gm_2$	-	$\frac{gm_2}{1 + \Delta R_D \cdot gd_2}$	$\frac{gm_2}{1 + \Delta R_s \cdot (gm_2 + gd_2)}$
$gd_2$	-	$\frac{gd_2}{1 + \Delta R_D \cdot gd_2}$	$\frac{gd_2}{1 + \Delta R_s \cdot (gm_2 + gd_2)}$
$Cgs_2$	-	$Cgs_2 + \frac{\Delta R_D \cdot (gm_2 + gd_2)}{1 + \Delta R_D \cdot gd_2} \cdot Cgd_2$	$\frac{Cgs_2}{1 + \Delta R_s \cdot (gm_2 + gd_2)}$
$Cgd_2$	-	$\frac{Cgd_2}{1 + \Delta R_D \cdot gd_2}$	$Cgd_2 + \frac{\Delta R_s \cdot gd_2}{1 + \Delta R_s \cdot (gm_2 + gd_2)} \cdot Cgs_2$

Seules les influences des résistances parasites apparaissent dans ce tableau, car celles relatives aux selfs d'accès demeurent tout à fait négligeables en basses fréquences.

De ce tableau, nous pouvons tirer plusieurs conclusions rapides. Ces quatre paramètres intrinsèques semblent insensibles, en basses fréquences, à une quelconque variation de la valeur de la résistance de grille  $R_{G2}$ . A erreur égale, l'influence de la résistance de source  $R_s$  est plus importante que celle de la résistance de drain  $R_D$ , ce qui s'explique par la position en contre-

réaction de  $R_s$ . Remarquons de plus que, malgré l'influence dominante de  $R_s$ , celle-ci reste vaine en ce qui concerne la fréquence de coupure du gain en courant  $fc_2 = gm_2 / (2\pi C_{gs2})$ .

Afin d'être complet, nous présentons sur la figure **III.13**, les écarts relatifs des éléments du schéma équivalent de  $TEC_2$ , en fonction de la fréquence, dans le cas concret d'un transistor bigrille, mesuré au point de polarisation suivant :  $V_{DS}=3V$ ,  $V_{G1S}=-0.2V$  et  $V_{G2S}=1V$ .

Dans chaque cas, nous entachons les valeurs des dipôles parasites  $Z_{G1}$ ,  $Z_{G2}$ ,  $Z_D$  et  $Z_S$  d'une erreur de 10%. Notons que la résistance intergrille  $R_{12}$  est incluse dans le dipôle  $Z_S$ .

Il ressort de ces courbes d'excellents résultats concernant les quatre paramètres principaux : en effet l'écart relatif reste inférieur à 1.5% jusqu'à 20GHz. Par contre, les éléments  $R_{i2}$  et  $C_{ds2}$  apparaissent beaucoup plus sensibles aux éventuelles erreurs d'appréciation des éléments parasites séries, et en particulier à l'impédance de source  $Z_S$ .

#### IV.3.2. Influence des éléments parasites parallèles

Les éléments parasites parallèles englobent toutes les capacités de plots et de couplage inter-électrode définies dans le chapitre **II**. Par analogie au cas précédent, nous avons étudié l'influence de chacune de ces capacités sur l'extraction du schéma intrinsèque du transistor  $TEC_2$ .

Les écarts relatifs observés sur chacun des éléments intrinsèques, pour une erreur relative de 10%, sont présentés sur la figure **III.14**. Cinq résultats importants sont mis en évidence :

- l'éventuelle erreur commise sur la capacité de plot parasite  $C_{pG2}$  se reporte presque intégralement sur la capacité d'entrée intrinsèque  $C_{gs2}$ . Ceci résulte du fait que ces deux capacités sont pratiquement en parallèle.

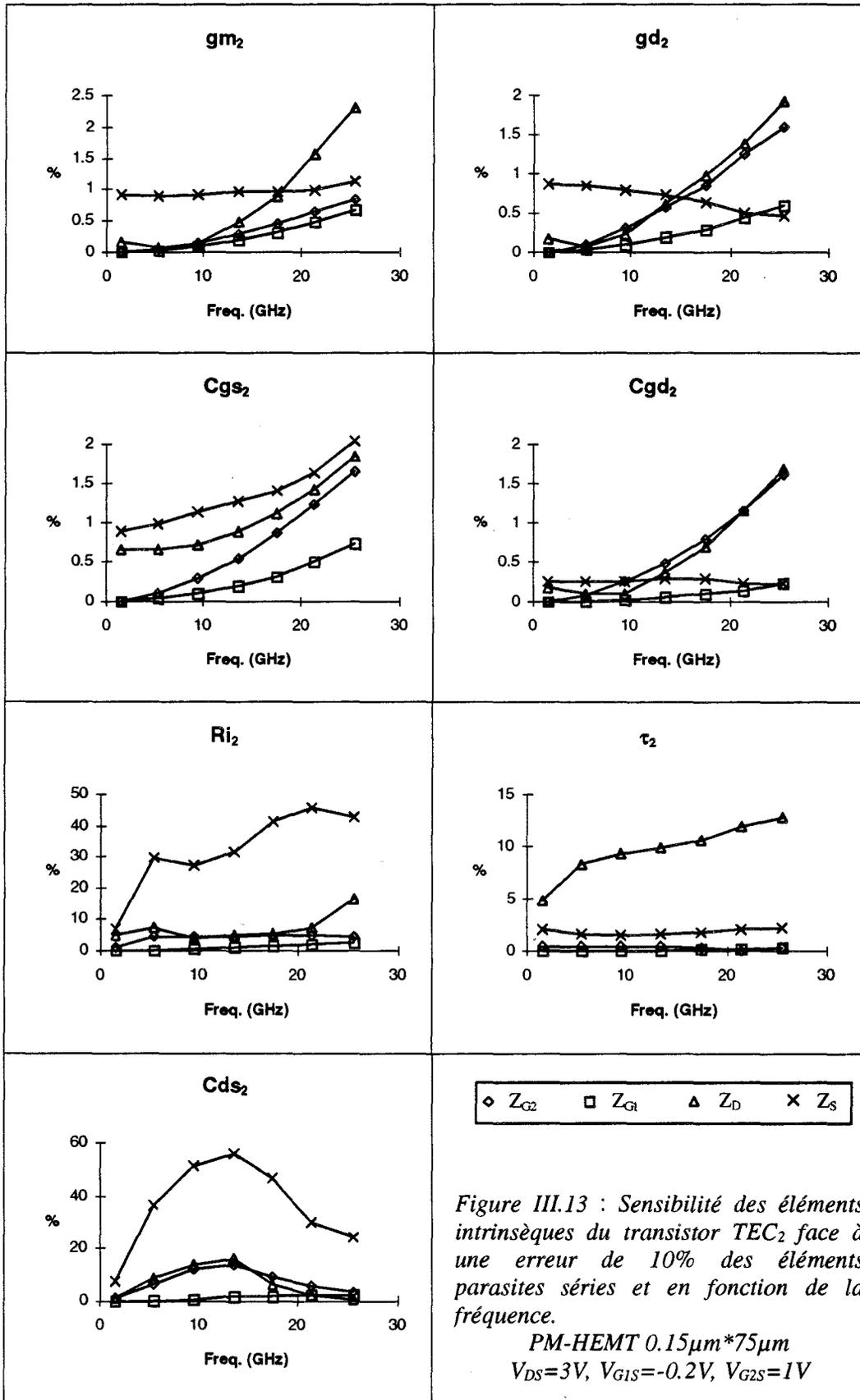
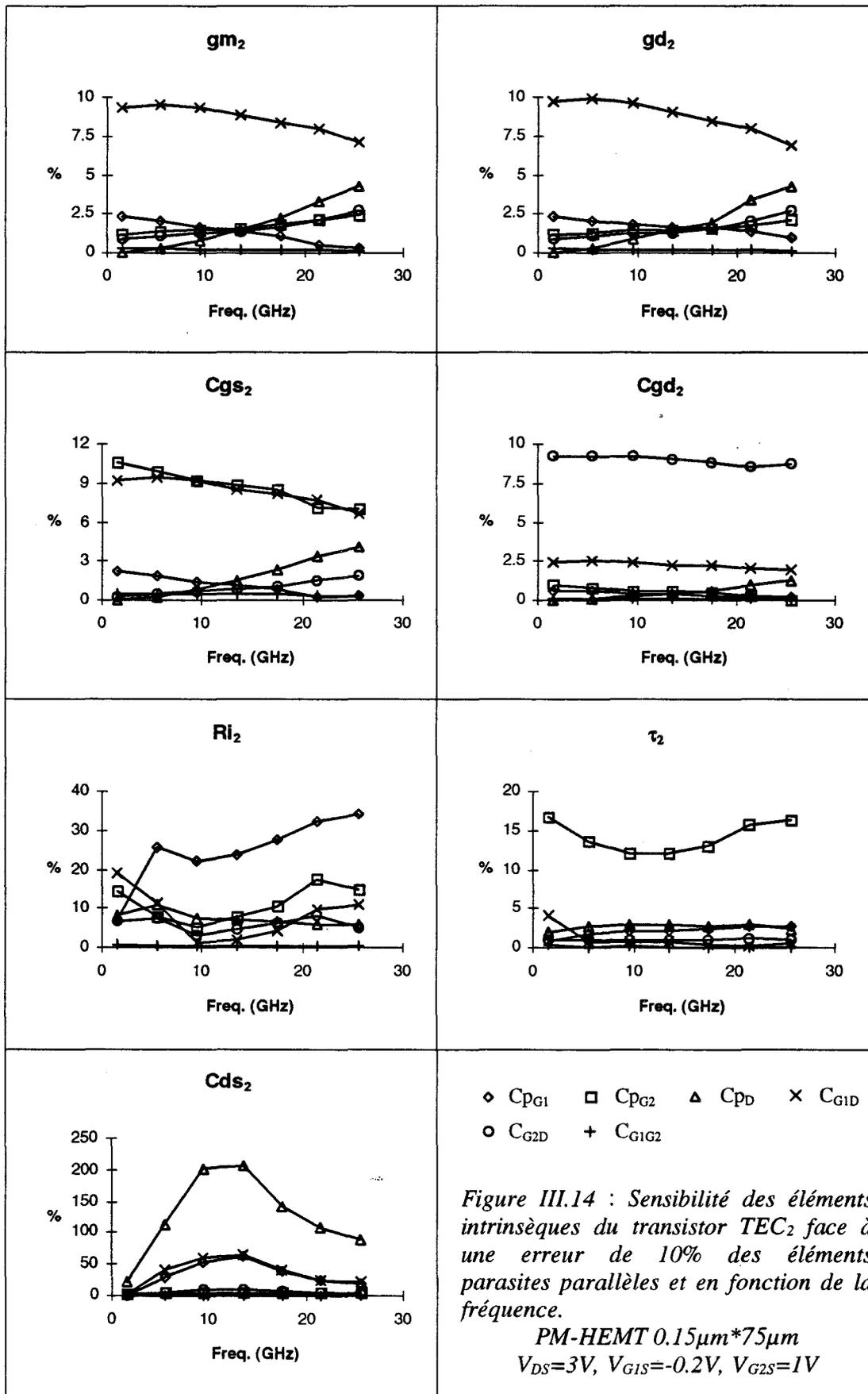


Figure III.13 : Sensibilité des éléments intrinsèques du transistor  $TEC_2$  face à une erreur de 10% des éléments parasites séries et en fonction de la fréquence.

PM-HEMT  $0.15\mu m * 75\mu m$   
 $V_{DS}=3V, V_{GS}=-0.2V, V_{G2S}=1V$



- le même type de résultat que précédemment est observé pour la capacité de couplage  $C_{G2D}$ , vis-à-vis de la capacité intrinsèque  $C_{gd2}$ .

- les éléments intrinsèques  $R_{i2}$  et  $C_{ds2}$  restent très sensibles aux variations des éléments parasites parallèles.

- la capacité de couplage  $C_{G1D}$  influence de manière non négligeable la valeur des éléments du schéma intrinsèque de  $TEC_2$ , sauf celles de la capacité  $C_{gd2}$  et du temps de transit  $\tau_2$ . Cet effet est directement lié à la méthode d'extraction du transistor  $TEC_2$ , qui utilise le paramètre impédance  $Z_{13}$ , paramètre de contre-réaction entre le drain et la grille  $G_1$ .

- les écarts relatifs n'excèdent pas 3% jusqu'à la fréquence de 20GHz dans tous les autres cas.

#### **IV.4. Conclusion**

Nous avons développé et présenté dans ce paragraphe une méthode d'extraction des éléments intrinsèques relatifs au second transistor équivalent  $TEC_2$  constituant le transistor bigrille. Le principe général de celle-ci consiste principalement à isoler les éléments à déterminer en polarisant le  $TEC_1$  dans son régime linéaire.

L'influence de l'environnement parasite sur la détermination de ces éléments a été étudiée, et a montré qu'en deçà de 20GHz, les paramètres principaux du schéma équivalent sont obtenus avec une précision assez satisfaisante.

Afin d'être complet dans la présentation, il nous faut décrire l'utilisation du réseau composite, qui permet d'imposer le régime ohmique pour le premier transistor, sans modifier la polarisation interne du second ; ceci constitue l'objet du paragraphe suivant.

## V. OBTENTION ET UTILISATION DU RESEAU COMPOSITE

La caractérisation du composant bigrille intrinsèque, telle que nous l'avons développée, s'articule essentiellement autour de la détermination séparée du schéma équivalent des deux transistors monogrilles  $TEC_1$  et  $TEC_2$ . En un point de polarisation donné, mettre en évidence les effets de chacun semble difficile, car ils interagissent pour ne laisser apparaître qu'un fonctionnement global. Pour remédier à ce problème, nous avons recours à l'utilisation du réseau de caractéristiques statiques dit composite, qui identifie le régime de fonctionnement de chacun. Par ailleurs, l'exploitation de ce réseau, liée aux propriétés du montage cascode, permet de mettre en valeur les caractéristiques du transistor que nous cherchons à obtenir, en modifiant les conditions de polarisation de l'autre.

Avant de décrire son utilisation dans l'extraction du transistor  $TEC_2$ , nous présentons la démarche expérimentale qui conduit à la construction de ce réseau  $I(V)$  particulier.

### V.1. Rappels

Comme nous l'avons précisé dans le chapitre I, ce réseau de caractéristiques statiques traduit la réponse en courant  $I_{DS}$  du transistor bigrille, en fonction des tensions de polarisations externes et internes, soit :

$$I_{DS}(V_{G1S}, V_{G2S}) \text{ à } V_{DS}=C^{ste} \quad \text{ou} \quad \left\{ \begin{array}{l} I_{DS}(V_{G1S}, V_{D1S}) \\ \text{et} \\ I_{DS}(V_{G2D1}, V_{DD1}) \end{array} \right.$$

La figure III.15 rappelle et définit chacune de ces tensions au sein de la structure, telle que nous la considérons. La particularité et l'intérêt majeur de cette représentation sont de connaître pour tout point de polarisation, la répartition interne des potentiels, et donc le régime de fonctionnement de chacun des deux transistors  $TEC_1$  et  $TEC_2$ .

Le relevé expérimental du réseau composite requiert deux étapes successives, afin de contourner la difficulté présentée par le point  $D_1$ , inaccessible à la mesure. Le principe de la méthode [6] consiste à ouvrir l'un des deux transistors en polarisant sa grille en direct à la limite de conduction, et à mesurer la réponse en courant de l'autre (et réciproquement).

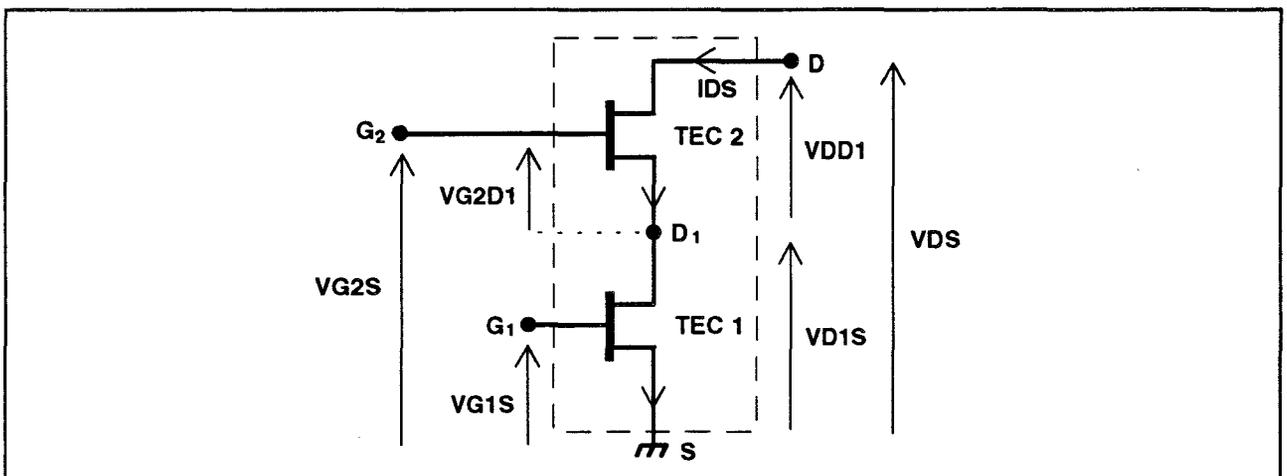


Figure III.15 : Répartition interne des polarisations d'un TEC bigrille.

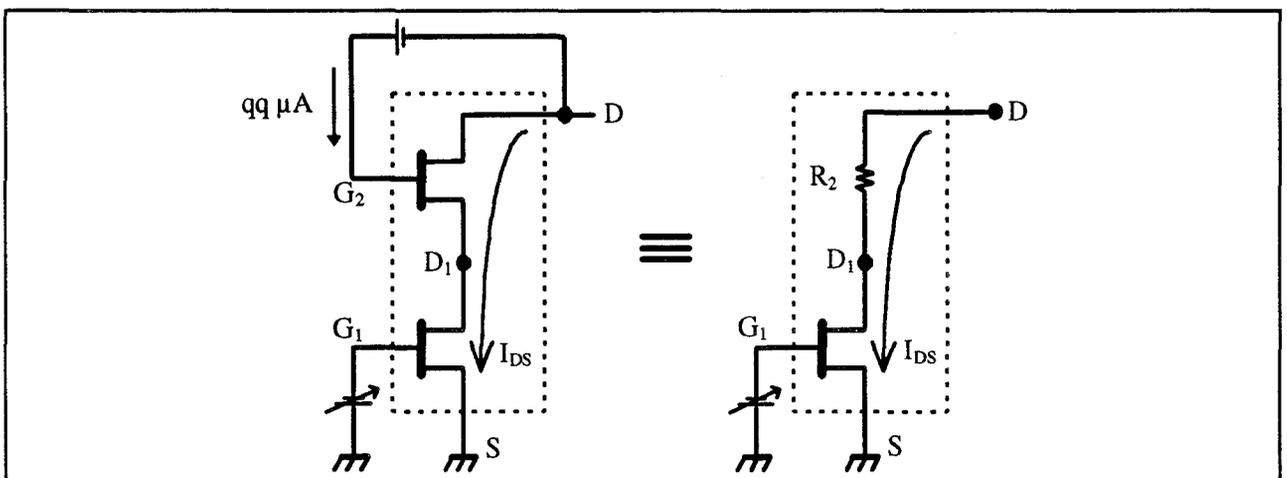


Figure III.16 : Principe de mesure de la réponse en courant  $I_{DS}(V_{G1S}, V_{D1S})$ .

## V.2. 1<sup>er</sup> cas : relevé de $I_{DS}(V_{GIS}, V_{DIS})$

Pour mesurer la réponse  $I(V)$  du transistor  $TEC_1$ , la seconde grille  $G_2$  est directement polarisée à la limite de conduction, non pas par rapport à la source, mais référencée au drain. Cet artifice permet de considérer le transistor  $TEC_2$  comme équivalent à une résistance quelle que soit la tension appliquée sur le drain (figure III.16). Dans ces conditions, le relevé du réseau  $I_{DS}(V_{GIS}, V_{DS})$  se transforme en le réseau de caractéristiques statiques  $I_{DS}(V_{GIS}, V_{DIS})$  par simple application de la relation :

$$V_{DIS} = V_{DS} - R_2 \cdot I_{DS}$$

Compte tenu de la position du point  $D_1$ , situé arbitrairement au centre de l'espace intergrille, la résistance  $R_2$  s'écrit :

$$R_2 = R_D + R_{C_2} + R_{12}/2$$

avec  $R_{C_2}$  = résistance canal ouvert sous  $G_2$

$R_2$  est à ce stade parfaitement connue, car tous les éléments parasites ont été préalablement déterminés.

La figure III.17 présente un exemple de caractéristiques  $I_{DS}(V_{GIS}, V_{DIS})$  mesurées sur un transistor bigrille PM-HEMT de développement de grille  $0.15\mu\text{m} * 75\mu\text{m}$ .

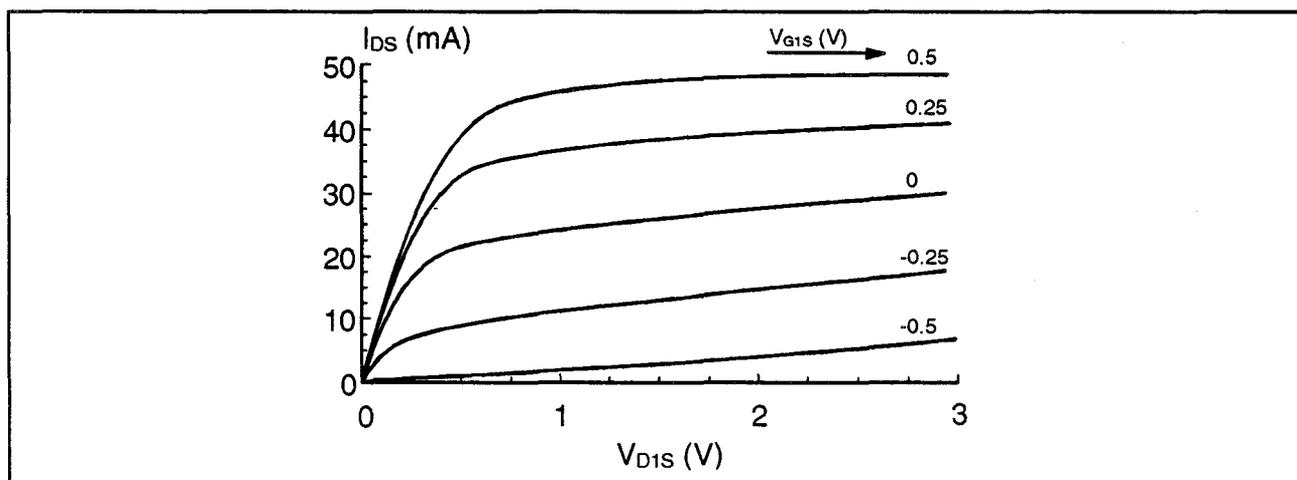


Figure III.17 : Exemple de réseau  $I_{DS}(V_{GIS}, V_{DIS})$  mesuré sur un TEC bigrille. (PM-HEMT  $0.15\mu\text{m} * 75\mu\text{m}$ )

### V.3. 2<sup>ème</sup> cas : relevé de $I_{DS}(V_{G2D1}, V_{DD1})$

Par analogie au cas précédent, nous relevons la réponse globale  $I_{DS}(V_{G2S}, V_{DS})$  en prenant soin de polariser cette fois la première grille  $G_1$  à la limite de conduction. Le schéma de l'ensemble s'apparente ici à celui de la figure III.18, avec la résistance  $R_1$  définie par :

$$R_1 = R_S + R_{C1} + R_{12}/2$$

avec  $R_{C1}$  = résistance canal ouvert sous  $G_1$

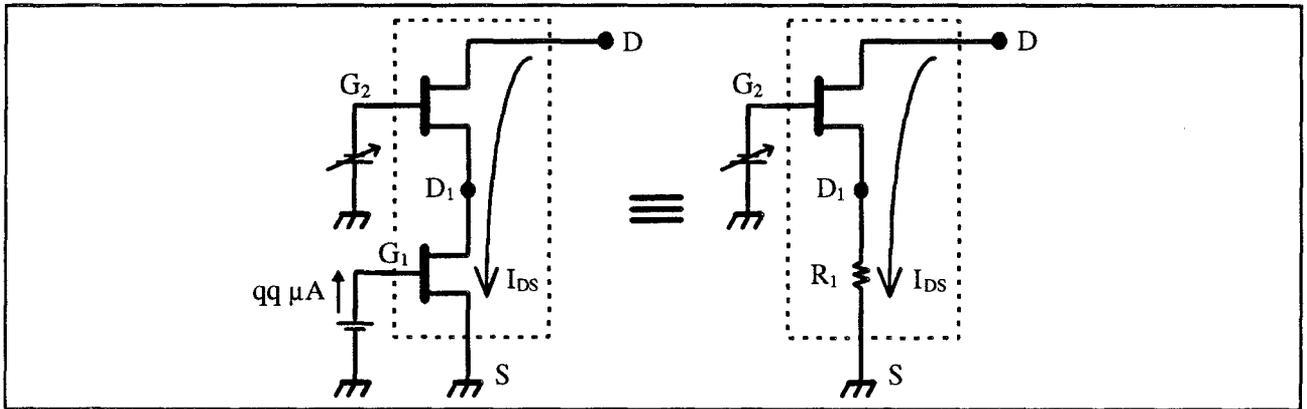


Figure III.18 : Principe de mesure de la réponse en courant  $I_{DS}(V_{G2D1}, V_{DD1})$ .

Le réseau relatif au transistor  $TEC_2$ , noté  $I_{DS}(V_{G2D1}, V_{DD1})$ , s'obtient alors en appliquant les relations élémentaires suivantes :

$$V_{DD1} = V_{DS} - R_1 \cdot I_{DS}$$

$$V_{G2D1} = V_{G2S} - R_1 \cdot I_{DS}$$

Notons que nous n'obtenons pas exactement le résultat escompté, car la tension de commande  $V_{G2D1}$  ne peut être maintenue constante, conséquence directe du potentiel flottant du point intergrille  $D_1$ . Il faut donc recourir à un tri des données issues de la mesure pour enfin restituer conformément le réseau de caractéristiques statiques du transistor équivalent  $TEC_2$  (figure III.19).

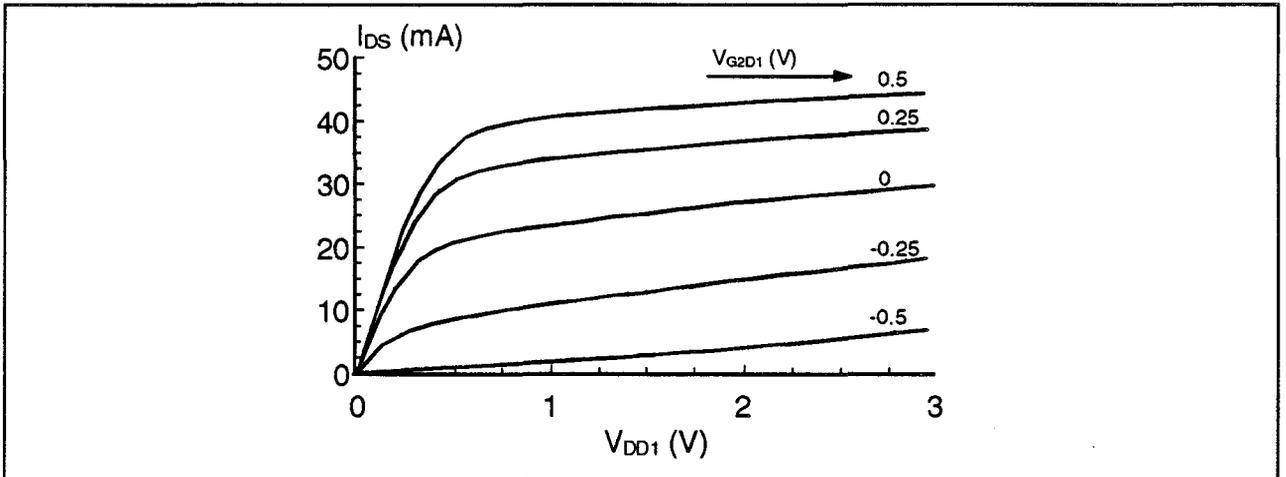


Figure III.19 : Exemple de réseau  $I_{DS}(V_{G2D1}, V_{DD1})$  mesuré sur un TEC bigrille. (PM-HEMT  $0.15\mu\text{m} * 75\mu\text{m}$ )

#### V.4. Obtention du réseau composite final

En remarquant d'une part, que les tensions  $V_{DIS}$  et  $V_{DD1}$  évoluent en sens inverse pour une tension  $V_{DS}$  externe fixée ( $V_{DS} = V_{DD1} + V_{DIS}$ ), et d'autre part, que les deux transistors  $TEC_1$  et  $TEC_2$  sont traversés par le même courant  $I_{DS}$ , nous aboutissons au réseau composite en reportant sur le même graphique les deux réponses en courant précédentes (figure III.20a).

Généralement, ce réseau est complété par les courbes  $V_{G2S} = c^{ste}$  (figure III.20b), afin de connaître facilement et exactement l'état ou le régime de fonctionnement des transistors  $TEC_1$  et  $TEC_2$ , à partir du triplet de tensions de polarisations ( $V_{G1S}$ ,  $V_{G2S}$ ,  $V_{DS}$ ). Cette dernière phase dans l'élaboration du réseau composite se résume à repérer et à retenir tous les points des deux fichiers de mesure  $I_{DS}(V_{G1S}, V_{DIS})$  et  $I_{DS}(V_{G2D1}, V_{DD1})$ , qui vérifient les relations :

$$V_{DD1} + V_{DIS} = V_{DS} \text{ fixé}$$

$$V_{G2D1} + V_{DIS} = V_{G2S} \text{ fixé}$$

Cette ultime étape, simple mais fastidieuse, nous a conduit à développer un logiciel très efficace, qui permet d'extraire rapidement le réseau composite désiré [7].

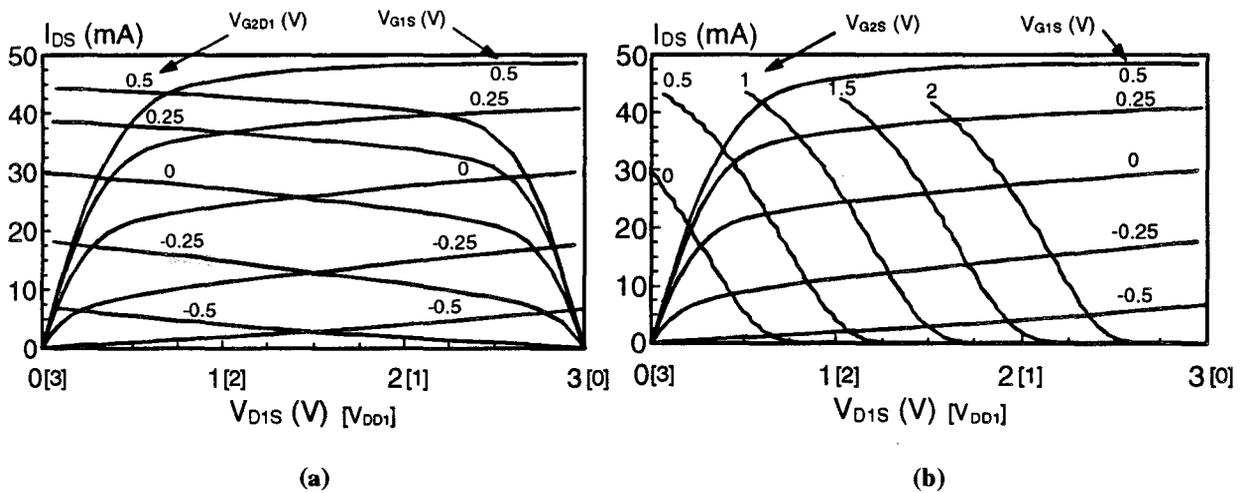


Figure III.20 : Réseau composite d'un TEC bigrille en fonction des tensions de polarisation internes (a) et externes (b).  
(PM-HEMT  $0.15\mu\text{m} \times 75\mu\text{m}$ ,  $V_{DS}=3\text{V}$ )

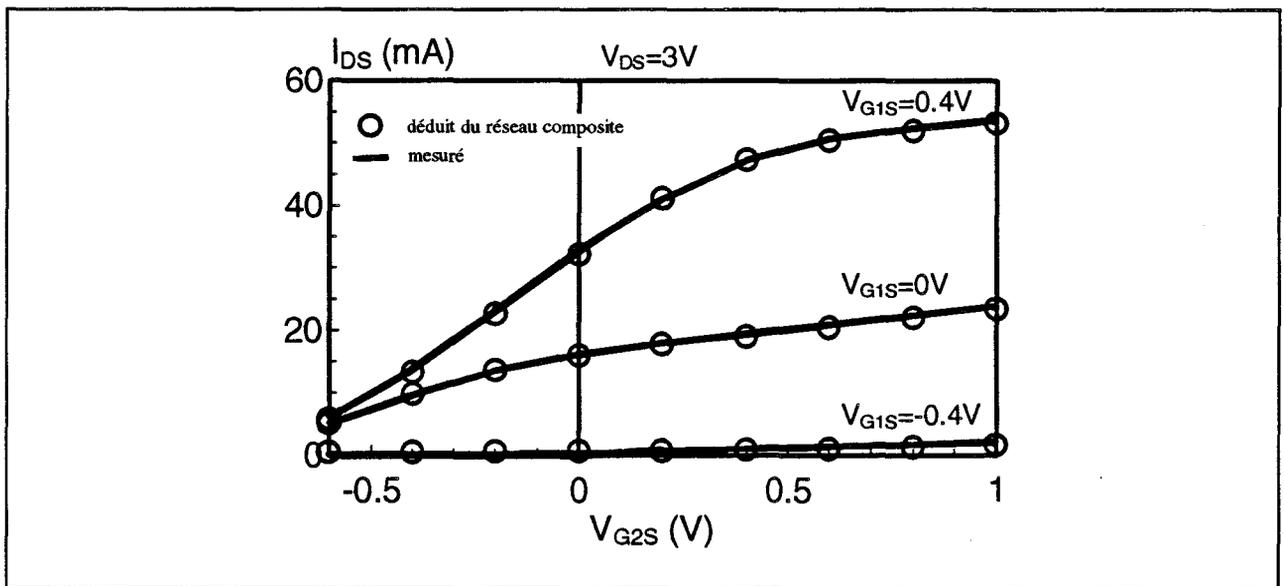


Figure III.21 : Comparaison des courants  $I_{DS}$  mesuré et prévu par le réseau composite d'un TEC bigrille (PM-HEMT  $0.15\mu\text{m} \times 150\mu\text{m}$ )

La figure III.21 représente les évolutions du courant  $I_{DS}$  d'un transistor bigrille, prévu par le réseau composite et directement mesuré, en fonction des tensions de polarisation  $V_{G1S}$  et  $V_{G2S}$ . Un excellent accord ressort de ces comparaisons, ce qui démontre la validité et la fiabilité de cet outil qu'est le réseau composite.

### V.5. Exemple d'utilisation du réseau composite

Nous avons vu que l'extraction des éléments du schéma équivalent du  $TEC_2$  nécessite d'imposer le régime linéaire pour le premier transistor. Détaillons donc sommairement, l'utilisation du réseau, qui permet de procéder à ce changement de polarisation particulier.

Soit  $P_0$ , le point de polarisation pour lequel nous souhaitons extraire le schéma intrinsèque du transistor bigrille, et défini par les tensions externes  $V_{G1S0}$ ,  $V_{G2S0}$  et  $V_{DS0}$ . A ce point correspond une distribution des potentiels au sein de la structure qui déterminent le régime de fonctionnement de chacun des transistors  $TEC_1$  et  $TEC_2$ . Sur le réseau factice de la figure **III.22a**, nous avons à titre d'exemple :

$$P_0 \Leftrightarrow V_{DS0}=5V, \quad V_{G1S0}=0V \quad V_{G2S0}=2.5V \quad I_{DS0}=25mA$$

ce qui fixe pour  $TEC_1 \Rightarrow V_{G1S0}=0V$  et  $V_{D1S0}=2.5V$

pour  $TEC_2 \Rightarrow V_{G2D10}=0V$  et  $V_{DD10}=2.5V$

Imposer le régime linéaire pour le  $TEC_1$ , sans modifier celui du transistor  $TEC_2$  (c'est-à-dire sans changer  $V_{G2D10}$  et  $V_{DD10}$ ) revient au niveau du réseau composite à faire correspondre les points  $P_1$  et  $P_0$ , ce qui se traduit par de nouvelles tensions de polarisation externes (réseau en figure **III.22b**) :

$$P_1 \Rightarrow P_0 \Leftrightarrow V_{DS} = V_{DD10} + V_{D1S} = 2.5 + 0.4 = 2.9V$$

$$V_{G2S} = V_{G2D10} + V_{D1S} = 0 + 0.4 = 0.4V$$

$$V_{G1S} = 0.5V \text{ (} TE C_1 \text{ ouvert)}$$

Ces changements de polarisation sont complètement transparents pour le transistor  $TEC_2$ , car il reste exactement dans la même configuration (tensions à ses bornes et courant identiques). Par contre, le transistor  $TEC_1$  est effectivement contraint à opérer en régime ohmique ( $V_{G1S}>0$ ,

$V_{DS}$  faible), ce qui montre que l'état recherché est atteint. L'extraction du transistor  $TEC_2$  peut alors être effectuée.

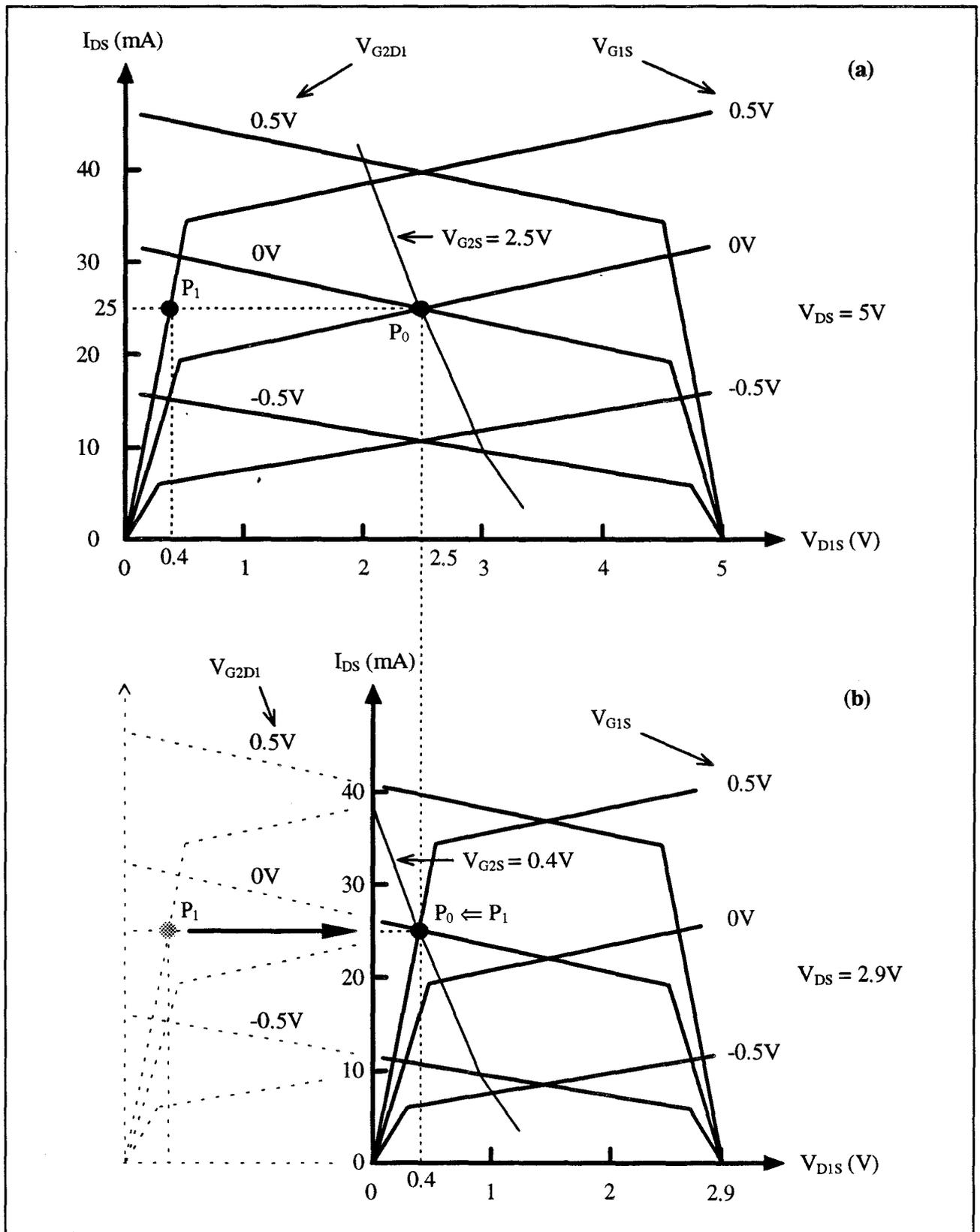


Figure III.22 : Utilisation du réseau composite pour l'extraction du transistor  $TEC_2$ .

## VI. EXTRACTION DES ELEMENTS DU TRANSISTOR TEC<sub>1</sub>

A ce stade de la caractérisation 'petit signal' du transistor bigrille, tous les éléments du schéma électrique sont identifiés, sauf ceux relatifs au transistor intrinsèque TEC<sub>1</sub>. Une ultime étape, qui fait l'objet d'une description dans ce paragraphe, s'impose pour achever notre méthode d'extraction.

Un soin particulier est apporté à cette dernière phase, car très souvent, le transistor TEC<sub>1</sub> est susceptible de fonctionner en régime linéaire. D'ailleurs, rappelons le, un des objectifs de nos travaux est de modéliser le composant bigrille polarisé dans ce régime particulier, pour la conception d'un mélangeur millimétrique.

Avant d'étudier les diverses solutions envisagées, nous présentons préalablement le principe général retenu pour mener à bien cette extraction.

### VI.1. Principe général

L'extraction des éléments intrinsèques d'un transistor à effet de champ monogrille revient en général à connaître sa matrice admittance, puis à appliquer les relations décrites en annexe III.1. La difficulté avec le transistor bigrille est d'isoler chacun des deux transistors monogrilles le constituant, et donc d'en apprécier le comportement individuel. Cependant, comme nous l'avons déjà vu, l'association cascode de deux quadripôles (figure III.23) procure à la matrice impédance [Z] de l'hexapôle résultant, des propriétés intéressantes pour extraire les informations concernant le transistor TEC<sub>1</sub>. Rappelons l'expression de cette matrice :

$$[Z] = \begin{bmatrix} Z_{11} & Z_{12} & Z_{13} \\ Z_{21} & Z_{22} & Z_{23} \\ Z_{31} & Z_{32} & Z_{33} \end{bmatrix} = \begin{bmatrix} Z_{11}^I & Z_{12}^I & Z_{12}^I \\ Z_{21}^I & Z_{22}^I + Z_{11}^{II} & Z_{22}^I + Z_{12}^{II} \\ Z_{21}^I & Z_{22}^I + Z_{21}^{II} & Z_{22}^I + Z_{22}^{II} \end{bmatrix}$$

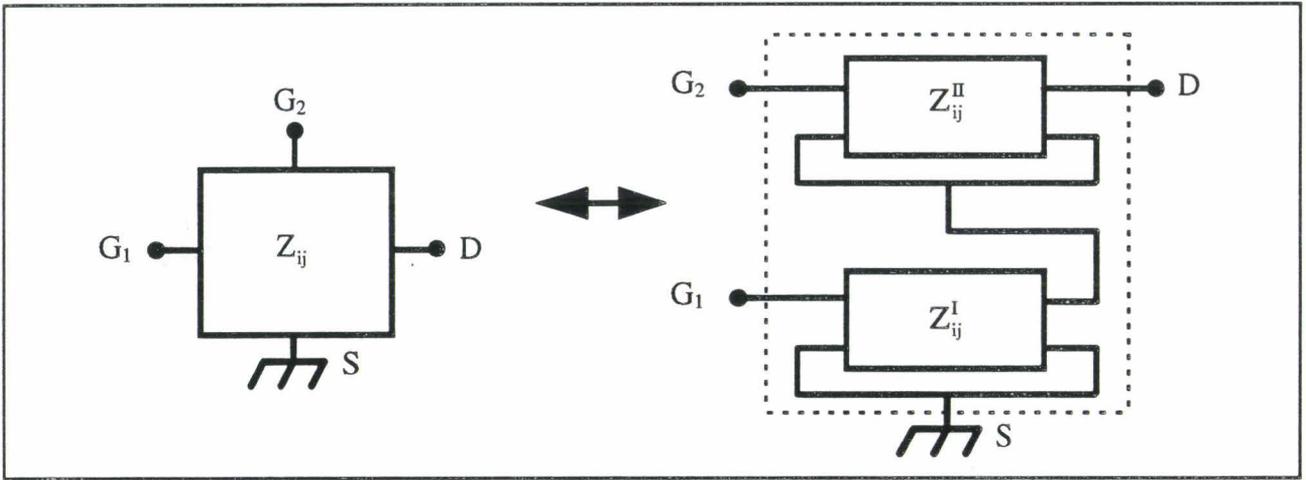


Figure III.23 : Association cascade des deux quadripôles équivalents constituant le composant bigrille.

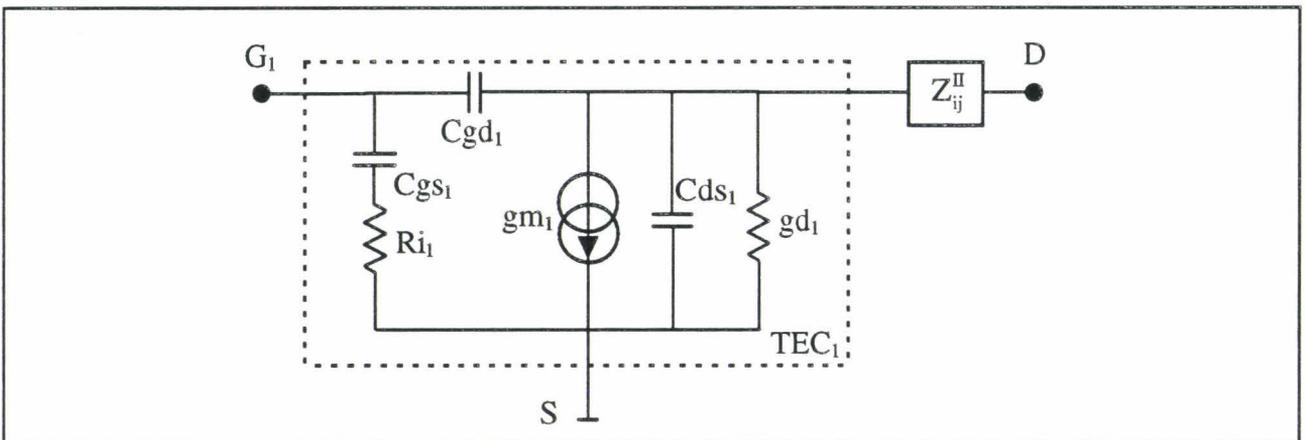


Figure III.24 : Schéma électrique équivalent extrait de la matrice impédance  $[Z]$  intrinsèque du transistor bigrille.

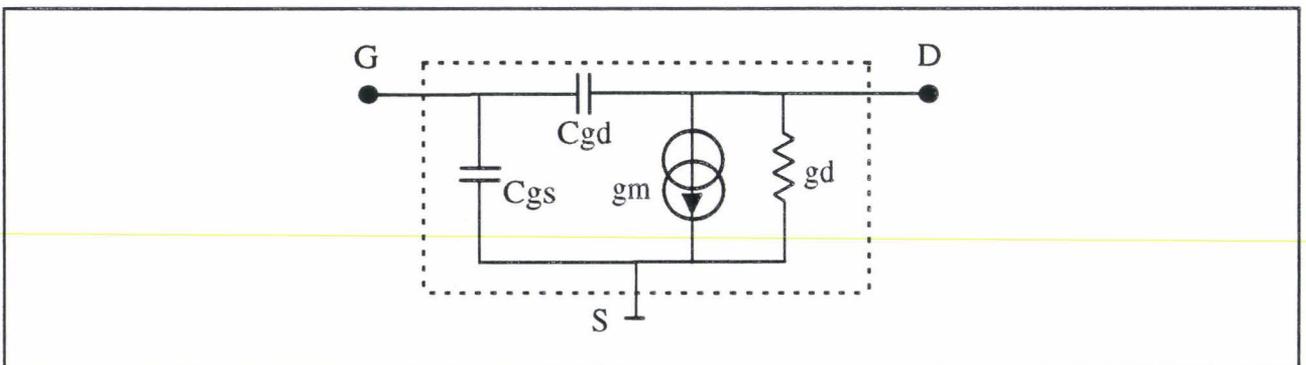


Figure III.25 : Schéma électrique équivalent simplifié du TEC intrinsèque.

avec  $Z_{ij}^I =$  paramètres impédances de  $TEC_1$

$Z_{ij}^{II} =$  paramètres impédances de  $TEC_2$

Trois des quatre paramètres impédances du quadripôle  $TEC_1$  apparaissent directement dans cette matrice. Seule l'impédance de sortie  $Z_{22}^I$  requiert la connaissance préalable d'un des paramètres impédances  $Z_{ij}^{II}$  du transistor  $TEC_2$ , pour pouvoir être évaluée. Comme l'étape précédente consiste à caractériser ce quadripôle  $TEC_2$ , il en résulte que la matrice impédance  $[Z]_{TEC1}$  peut être parfaitement identifiée, ce qui conduit naturellement, après transformation en matrice admittance, à la valeur des éléments intrinsèques du transistor  $TEC_1$ .

La figure III.24 illustre le schéma équivalent extrait de la matrice impédance intrinsèque du transistor bigrille. Il apparaît que le paramètre impédance du transistor  $TEC_2$  choisi et noté  $Z_{ij}^{II}$ , se comporte comme une impédance équivalente de drain vis-à-vis du composant  $TEC_1$ . Il convient donc d'utiliser un paramètre dont l'évolution fréquentielle s'apparente à celle du paramètre  $Z_{22}^I$  et dont la valeur soit la plus petite possible, afin de limiter toute propagation d'erreur. L'analyse théorique de la matrice impédance d'un TEC permet de décider définitivement quant au choix du paramètre  $Z_{ij}^{II}$  répondant à ces deux critères. En effet, en considérant le schéma équivalent simplifié du TEC intrinsèque (figure III.25), nous montrons que l'expression théorique de la matrice impédance s'écrit en basses fréquences :

en posant  $D = g_d \cdot C_{gs} + (g_m + g_d) \cdot C_{gd}$

$$[Z]_{BF}^{monogrille} \approx \begin{bmatrix} \frac{C_{gd}^2 \cdot (g_d - g_m)}{D^2} + \frac{g_d}{j\omega \cdot D} & \frac{C_{gd}}{D} + j\omega \cdot \frac{C_{gd}^2 \cdot (C_{gd} + C_{gs})}{D^2} \\ \frac{C_{gd} \cdot (C_{gd} + C_{gs}) \cdot (g_d - g_m)}{D^2} - \frac{g_m}{j\omega \cdot D} & \frac{C_{gd} + C_{gs}}{D} + j\omega \cdot \frac{C_{gd} \cdot (C_{gd} + C_{gs})^2}{D^2} \end{bmatrix}$$

Il ressort de ces expressions que seul le paramètre  $Z_{12}$  correspond au profil attendu, car ce dernier est proportionnel et systématiquement inférieur à l'impédance de sortie. En effet, ces deux paramètres sont liés par la relation :

$$Z_{12} = \frac{C_{gd}}{C_{gd} + C_{gs}} \cdot Z_{22}$$

L'évolution en  $(1/\omega)$  des parties imaginaires des paramètres  $Z_{11}$  et  $Z_{21}$  interdit formellement leur emploi.

Il découle donc de cette analyse simplifiée qu'il est préférable d'utiliser le paramètre impédance  $Z_{12}^{\text{II}}$  du transistor  $\text{TEC}_2$ , pour extraire le plus précisément possible la valeur du paramètre  $Z_{22}^{\text{I}}$  du transistor  $\text{TEC}_1$ .

En résumé, nous obtenons la matrice impédance  $[Z]_{\text{TEC}_1}$  à partir des paramètres impédances du transistor bigrille de la façon suivante :

$$[Z]_{\text{TEC}_1} = \begin{bmatrix} Z_{11}^{\text{I}} & Z_{12}^{\text{I}} \\ Z_{21}^{\text{I}} & Z_{22}^{\text{I}} \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{13} \\ \frac{Z_{21} + Z_{31}}{2} & Z_{23} - Z_{12}^{\text{II}} \end{bmatrix}$$

Remarque : la redondance théorique du paramètre  $Z_{12}^{\text{I}}$  entre les éléments  $Z_{12}$  et  $Z_{13}$  du bigrille n'est pas toujours vérifiée expérimentalement en basses fréquences. En effet, il peut subsister des effets capacitifs sur le paramètre  $Z_{12}$  du transistor bigrille, c'est pourquoi la moyenne arithmétique  $(Z_{12} + Z_{13})/2$  n'est pas utilisée pour extraire  $Z_{12}^{\text{I}}$ . Nous préférons utiliser directement le terme  $Z_{13}$ .

## VI.2. Première méthode

Nous avons appliqué notre méthodologie d'extraction du transistor  $TEC_1$  sur le composant bigrille précédemment utilisé, et dans les mêmes conditions de polarisation. Les deux tensions de seconde grille  $V_{G2S}$  considérées, 1V et -0.6V, permettent d'étudier la validité de la méthode respectivement pour les régimes saturé et linéaire (figure III.26). Les résultats obtenus concernant les évolutions fréquentielles des quatre paramètres principaux du transistor  $TEC_1$ , sont présentés sur la figure III.27. Nous remarquons que si ces évolutions sont acceptables en régime saturé ( $V_{G2S}=1V$ ), elles deviennent au contraire plus que douteuses en régime ohmique. En effet, ces éléments ne sont pas du tout indépendants de la fréquence, ce qui révèle une anomalie dans la procédure d'extraction ou un problème quant à la validité du schéma équivalent dans ce régime particulier de fonctionnement.

En fait, ces perturbations sont liées aux caractéristiques du régime linéaire, et en particulier, à la valeur que prend dans ce cas l'impédance de sortie  $Z_{22}^I$  du transistor  $TEC_1$ . En effet, rappelons que ce terme est déduit de la relation ci-dessous :

$$Z_{23} = Z_{22}^I + Z_{12}^{II}$$

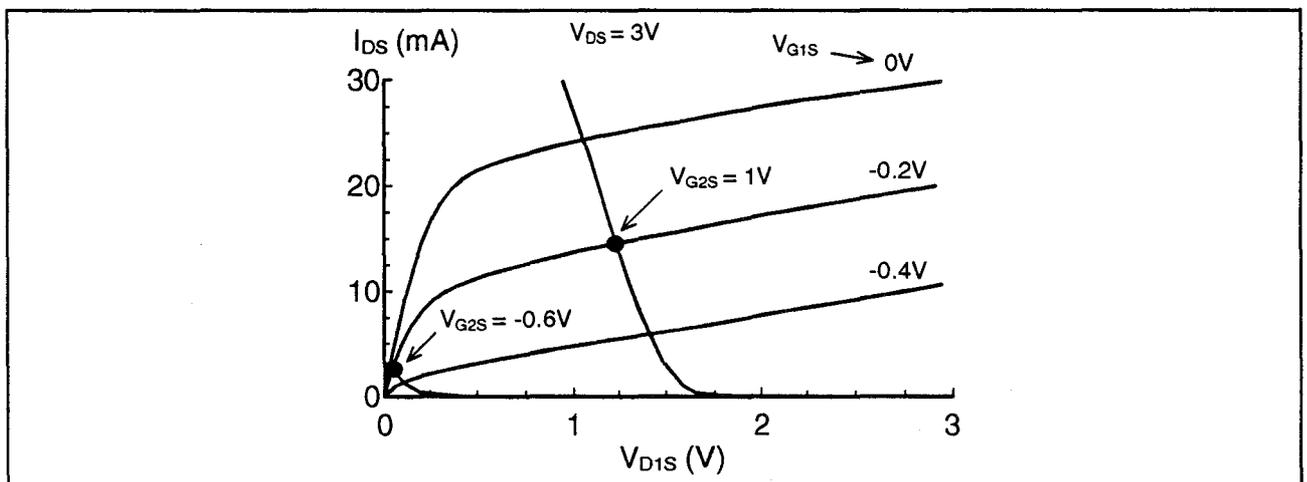


Figure III.26 : Points de polarisation utilisés pour étudier l'extraction du transistor  $TEC_1$ .  
 $V_{G2S}=1V$  ( $TEC_1$  saturé) et  $V_{G2S}=-0.6V$  ( $TEC_1$  linéaire)  
 (PM-HEMT  $0.15\mu m * 75\mu m$ ,  $V_{DS}=3V$  et  $V_{G1S}=-0.2V$ )

Il apparaît donc que si  $Z_{22}^I$  devient très faible devant la valeur du paramètre  $Z_{12}^II$  du transistor  $TEC_2$ , ce qui est vrai en régime linéaire, alors l'erreur sur sa détermination peut prendre des proportions considérables. En revanche, ces perturbations ne sont pas observées lorsque le transistor  $TEC_1$  opère en régime de saturation, car son impédance de sortie devient comparable au paramètre  $Z_{12}^II$  du  $TEC_2$  lui aussi saturé, ce qui facilite son extraction.

Remarquons que la quasi totalité des applications utilisent le transistor bigrille polarisé de telle façon que le  $TEC_2$  fonctionne toujours en régime saturé. Quelques exceptions existent notamment dans le domaine des mélangeurs spécifiques [8].

Il semble donc que l'unique issue soit la diminution du paramètre  $Z_{12}^II$  pour que la

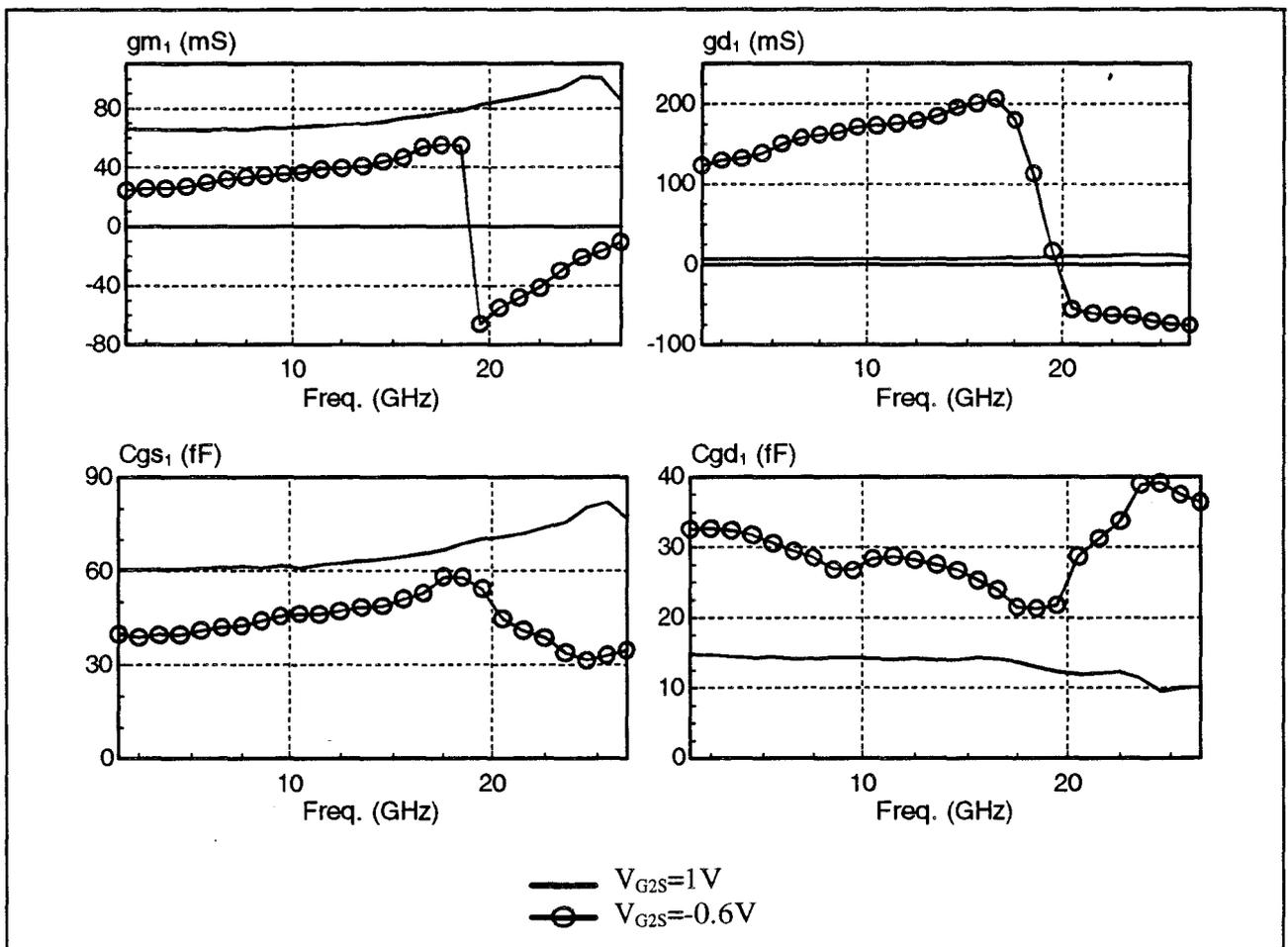


Figure III.27 : Evolutions en fonction de la fréquence des 4 éléments intrinsèques principaux du transistor  $TEC_1$  et pour deux valeurs de  $V_{G2S}$ .  
(PM-HEMT  $0.15\mu m * 75\mu m$   $V_{DS}=3V$ ,  $V_{G1S}=-0.2V$ )

caractérisation s'améliore notablement en régime linéaire. Cette solution conduit à forcer de nouveau le transistor complémentaire (ici TEC<sub>2</sub>) à opérer lui aussi en zone ohmique.

### VI.3. Nouvelle méthode

Comme nous venons de le voir, la qualité d'extraction des paramètres du transistor TEC<sub>1</sub> est étroitement liée à l'état de fonctionnement du transistor TEC<sub>2</sub>. Atténuer son influence, c'est réduire la valeur de ses paramètres impédances vis-à-vis de ceux du transistor TEC<sub>1</sub>, surtout lorsque celui-ci est amené à fonctionner en zone ohmique (faible V<sub>DIS</sub>). Le régime linéaire pour le TEC<sub>2</sub> s'impose donc comme étant optimal, afin de déterminer au mieux le schéma équivalent du transistor TEC<sub>1</sub>.

Comme précédemment, nous avons recours à l'utilisation du réseau composite, afin de polariser le transistor TEC<sub>2</sub> dans les conditions de polarisation requises, sans modifier celles du TEC<sub>1</sub> que nous souhaitons caractériser.

Si ce changement de polarisation s'accompagne avantageusement d'une réduction de l'influence néfaste du transistor TEC<sub>2</sub>, il oblige à procéder autrement en ce qui concerne la détermination de l'impédance de sortie Z<sub>22</sub><sup>I</sup>. En effet, nous ne pouvons plus déduire celle-ci de la relation  $Z_{22}^I = Z_{23} - Z_{12}^II$ , car les caractéristiques du transistor TEC<sub>2</sub> sont désormais modifiées et inconnues. Par contre, sachant que celui-ci est soumis au régime linéaire, nous pouvons écrire (voir paragraphe IV.2) :

$$Z_{22}^{II} \approx 2 \cdot Z_{12}^{II}$$

L'impédance de sortie Z<sub>22</sub><sup>I</sup> du transistor TEC<sub>1</sub> peut alors être obtenue à partir de la matrice [Z] du bigrille, comme suit :

$$Z_{22}^I = 2 \cdot Z_{23} - Z_{33}$$

En résumé, la matrice impédance intrinsèque du transistor  $TEC_1$  est déduite de la matrice impédance du composant bigrille de la façon suivante :

$$[Z]_{TEC1} = \begin{bmatrix} Z_{11}^I & Z_{12}^I \\ Z_{21}^I & Z_{22}^I \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{13} \\ \frac{Z_{21} + Z_{31}}{2} & 2 \cdot Z_{23} - Z_{33} \end{bmatrix}$$

avec le  $TEC_2$  fonctionnant en régime linéaire.

Après conversion en matrice admittance, nous aboutissons classiquement aux valeurs des éléments intrinsèques du transistor  $TEC_1$ .

Nous avons logiquement appliqué ce nouveau principe dans les deux cas précédents, pour observer et apprécier les améliorations. La figure III.28 rassemble les résultats obtenus dans les

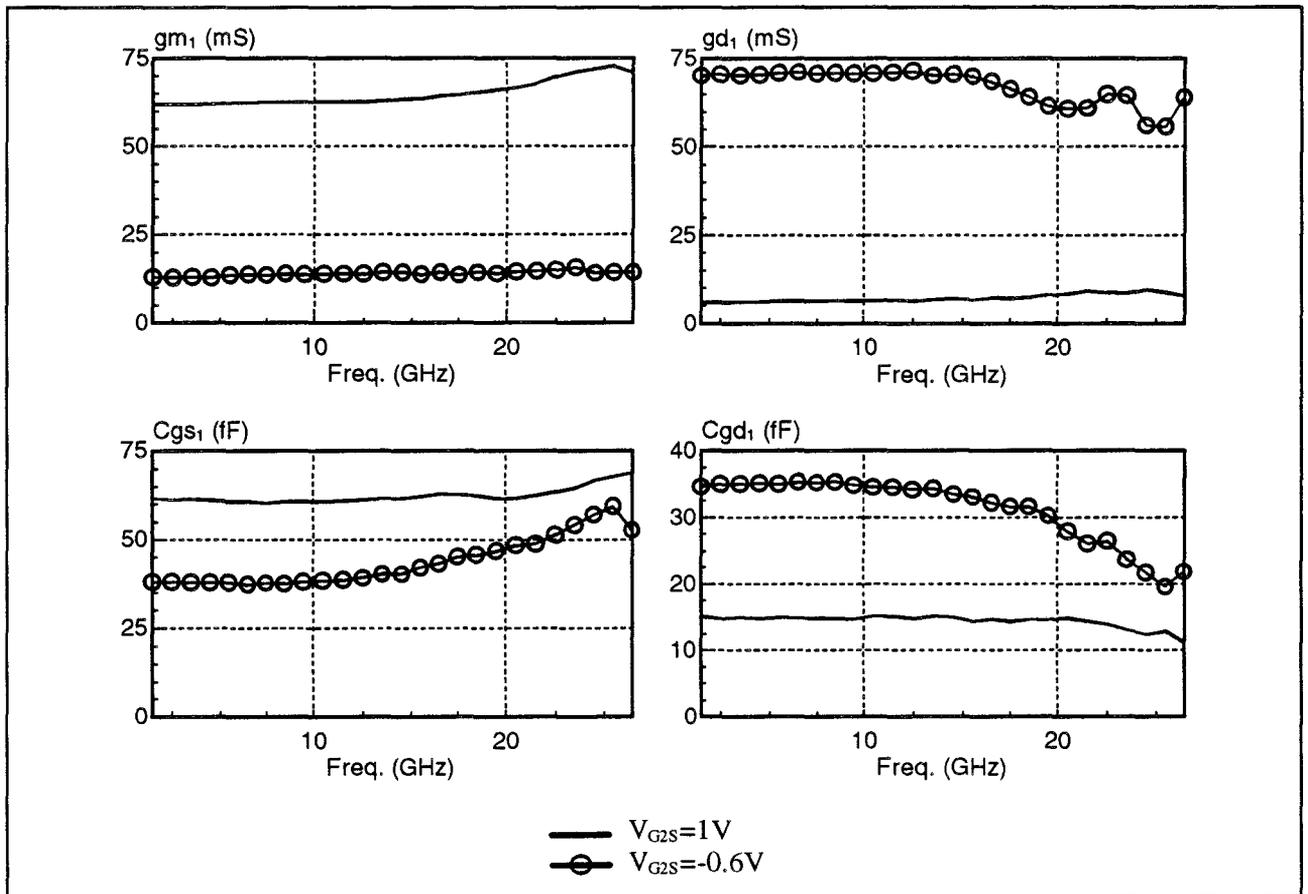


Figure III.28 : Evolutions en fonction de la fréquence des 4 éléments intrinsèques principaux du transistor  $TEC_1$  et pour deux valeurs de  $V_{GS}$ .  
(PM-HEMT  $0.15\mu m * 75\mu m$   $V_{DS}=3V$ ,  $V_{GS}=-0.2V$ )

régimes saturé ( $V_{G2S}=1V$ ) et linéaire ( $V_{G2S}=-0.6V$ ). Il apparaît que ces évolutions fréquentielles sont beaucoup plus conformes aux prédictions théoriques, et ce pour les deux polarisations étudiées. En effet, nous constatons que les éléments restent constants jusqu'à environ 15 GHz, voire 20 GHz dans le cas du régime saturé. Si ces évolutions sont plus sensibles aux termes de deuxième ordre en régime linéaire, les valeurs moyennes en basses fréquences respectent de nouveau les prédictions théoriques, car nous retrouvons logiquement :

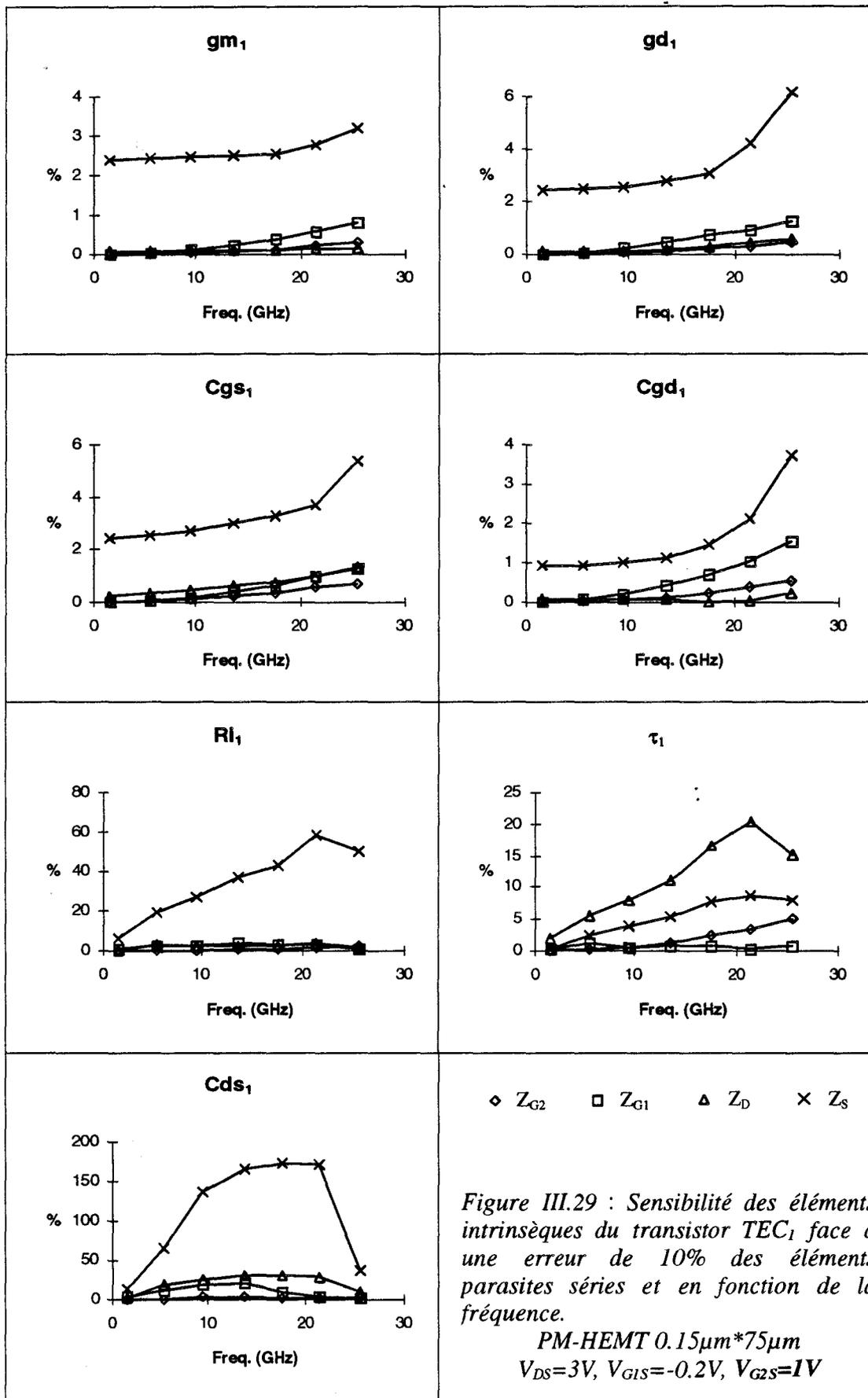
$$\begin{aligned} (gd_1)_{\text{linéaire}} &\gg (gd_1)_{\text{saturé}} & (gm_1)_{\text{linéaire}} &\ll (gm_1)_{\text{saturé}} \\ (Cgd_1)_{\text{linéaire}} &> (Cgd_1)_{\text{saturé}} & (Cgs_1)_{\text{linéaire}} &< (Cgs_1)_{\text{saturé}} \end{aligned}$$

Il faut encore remarquer que pour le régime saturé ( $V_{G2S}=1V$ ), cette nouvelle méthode procure les mêmes résultats que l'approche précédente, ce qui, d'une part, confirme l'exactitude des valeurs extraites, et d'autre part, valide notre méthode d'extraction.

Avant de conclure sur la qualité de la méthodologie développée pour déterminer la valeur des éléments intrinsèques du transistor  $TEC_1$ , il nous faut étudier l'influence des éléments parasites sur cette caractérisation.

#### **VI.4. Influence des éléments parasites**

Pour des raisons de complexité de l'environnement parasite, déjà évoqué par ailleurs, nous scindons en deux étapes distinctes, l'étude de l'influence des éléments extrinsèques sur l'extraction du schéma équivalent du transistor  $TEC_1$ . Nous évaluons séparément la sensibilité des éléments intrinsèques face aux éventuelles erreurs commises sur la valeur des éléments parasites séries, puis parallèles.



### VI.4.1. Les éléments parasites séries

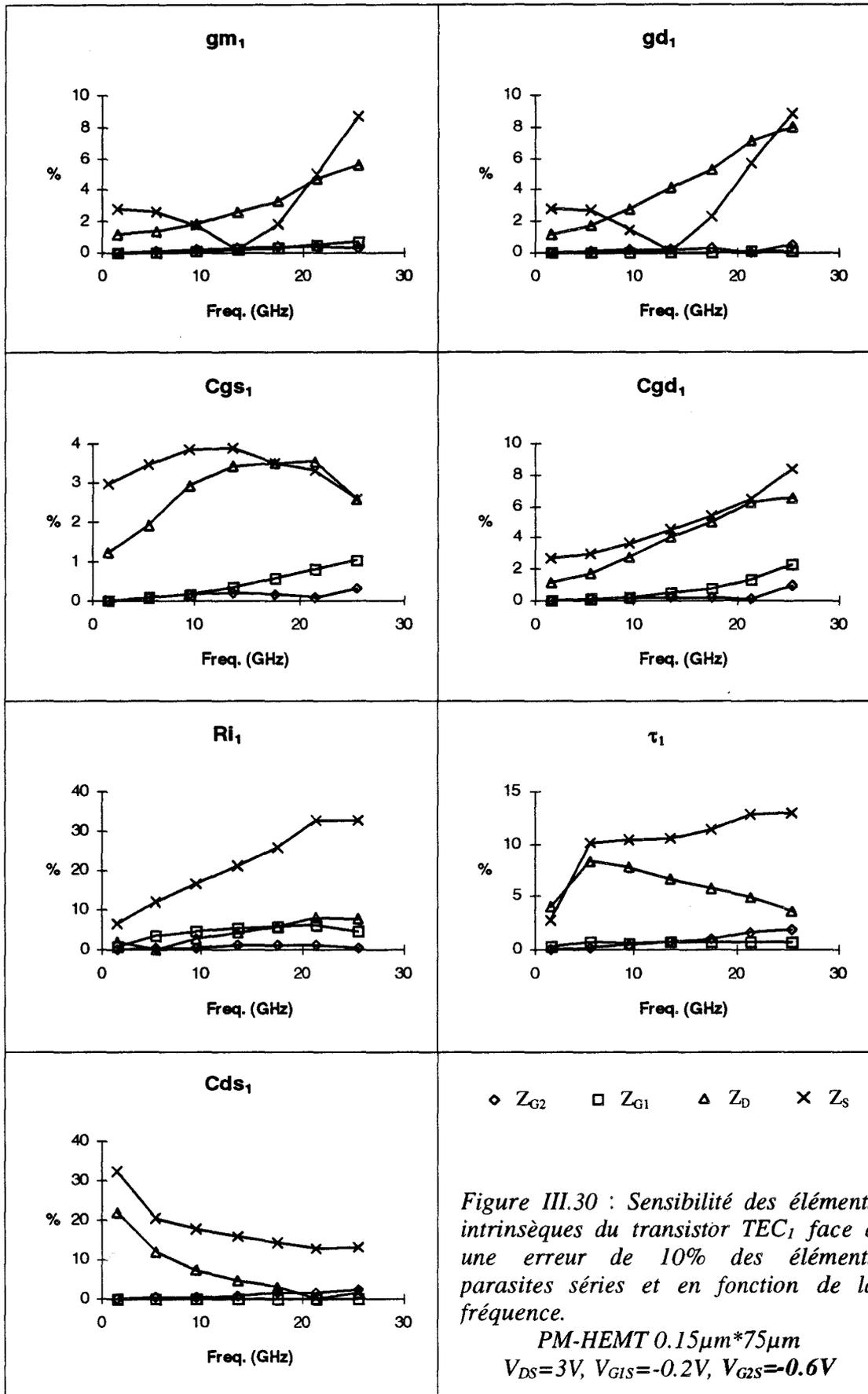
Les formulations théoriques établies en basses fréquences dans le paragraphe IV.3.1 restent applicables aux quatre éléments principaux du transistor  $TEC_1$ , en prenant garde d'invertir le rôle des grilles  $G_1$  et  $G_2$ . Il est évident, compte tenu de la méthode, que le dipôle parasite d'accès de seconde grille, noté  $Z_{G2}$ , a ici peu d'influence, ce que nous vérifierons dans l'exemple étudié et présenté ci-après. Le tableau ci-dessous rassemble les nouvelles valeurs que prennent la transconductance  $gm_1$ , la conductance de sortie  $gd_1$  et les capacités d'entrée  $C_{gs1}$  et de contre-réaction  $C_{gd1}$ .

Nouvelle valeur	Erreur sur $Z_{G1}$	Erreur sur $Z_D$	Erreur sur $Z_s$
$gm_1$	-	$\frac{gm_1}{1 + \Delta R_D \cdot gd_1}$	$\frac{gm_1}{1 + \Delta R_s \cdot (gm_1 + gd_1)}$
$gd_1$	-	$\frac{gd_1}{1 + \Delta R_D \cdot gd_1}$	$\frac{gd_1}{1 + \Delta R_s \cdot (gm_1 + gd_1)}$
$C_{gs1}$	-	$C_{gs1} + \frac{\Delta R_D \cdot (gm_1 + gd_1)}{1 + \Delta R_D \cdot gd_1} \cdot C_{gd1}$	$\frac{C_{gs1}}{1 + \Delta R_s \cdot (gm_1 + gd_1)}$
$C_{gd1}$	-	$\frac{C_{gd1}}{1 + \Delta R_D \cdot gd_1}$	$C_{gd1} + \frac{\Delta R_s \cdot gd_1}{1 + \Delta R_s \cdot (gm_1 + gd_1)} \cdot C_{gs1}$

Comme précédemment, les influences des erreurs commises sur les selfs d'accès parasites n'apparaissent pas dans ce tableau, car elles demeurent négligeables en basses fréquences.

Si en régime saturé, l'influence de  $R_D$  semble minime, en régime linéaire au contraire, celle-ci peut devenir importante, car la conductance de sortie  $gd_1$  peut atteindre des valeurs extrêmement élevées. C'est pourquoi, il nous faut considérer les deux régimes de fonctionnement pour l'étude de la sensibilité des éléments intrinsèques du transistor  $TEC_1$ .

Les figures III.29 et III.30 présentent les écarts relatifs, en fonction de la fréquence, de chaque élément du transistor  $TEC_1$  polarisé respectivement dans les régimes saturé ( $V_{G2S}=1V$ ) et linéaire ( $V_{G2S}=-0.6V$ ). Ces résultats ont été obtenus en attribuant une erreur de 10% aux éléments de chaque dipôle parasite série du composant bigrille sous test. Notons de plus que nous avons intégré pour cette analyse la résistance intergrille  $R_{12}$  avec le dipôle  $Z_D$ , relatif à l'accès de drain.

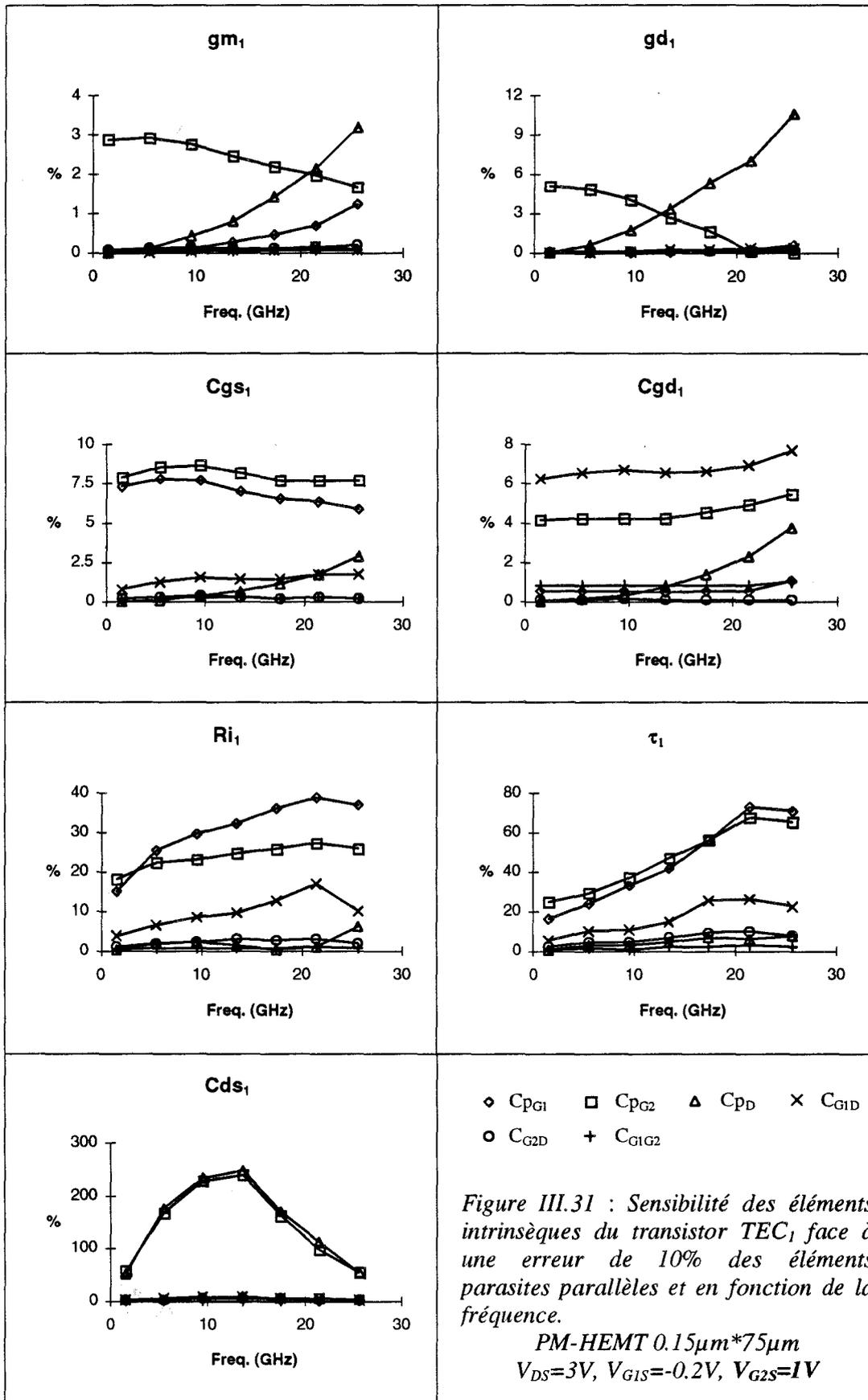


Il ressort de cette étude que :

**pour le régime saturé** : seule une mauvaise détermination de l'impédance de source, et en particulier la résistance de source  $R_s$ , induit des erreurs quant à l'extraction des valeurs des quatre paramètres principaux de  $TEC_1$ , ce qui corrobore l'analyse théorique. L'influence des autres dipôles reste insignifiante. Nous relevons des écarts relatifs qui n'excèdent pas 2.5% jusqu'à 15GHz, ce qui traduit l'excellente précision de la méthode. En revanche, ces courbes révèlent l'extrême sensibilité des éléments secondaires  $R_{i1}$  et  $C_{ds1}$  face encore à l'impédance de source  $Z_s$ .

**pour le régime linéaire** : contrairement au régime saturé et en accord avec les prévisions théoriques, des erreurs d'appréciation de l'impédance de drain  $Z_D$  se répercutent sur les valeurs du schéma équivalent de  $TEC_1$ . Nous constatons que l'élément parasite série le plus perturbateur reste la résistance de source. Néanmoins, l'écart relatif maximal relevé sur les quatre principaux paramètres demeure inférieur à 4.5 % jusqu'à 15GHz. Les mêmes observations que précédemment, concernant les éléments  $R_{i1}$  et  $C_{ds1}$  peuvent être effectuées.

Pour terminer, il faut ajouter que d'éventuelles erreurs effectuées sur les impédances parasites de grilles  $Z_{G1}$  et  $Z_{G2}$ , ne détériorent pas la précision de l'évaluation, et ce quel que soit le régime de fonctionnement du transistor.



#### VI.4.2. Les éléments parasites parallèles

Pour apprécier l'influence des différentes capacités parasites, nous imposons à chacune d'entre elles, une erreur relative de 10%. Les répercussions de ces variations sont observées en fonction de la fréquence pour les deux régimes de fonctionnement saturé et linéaire précédents. Les figures III.31 et III.32 présentent les résultats obtenus, et montrent que :

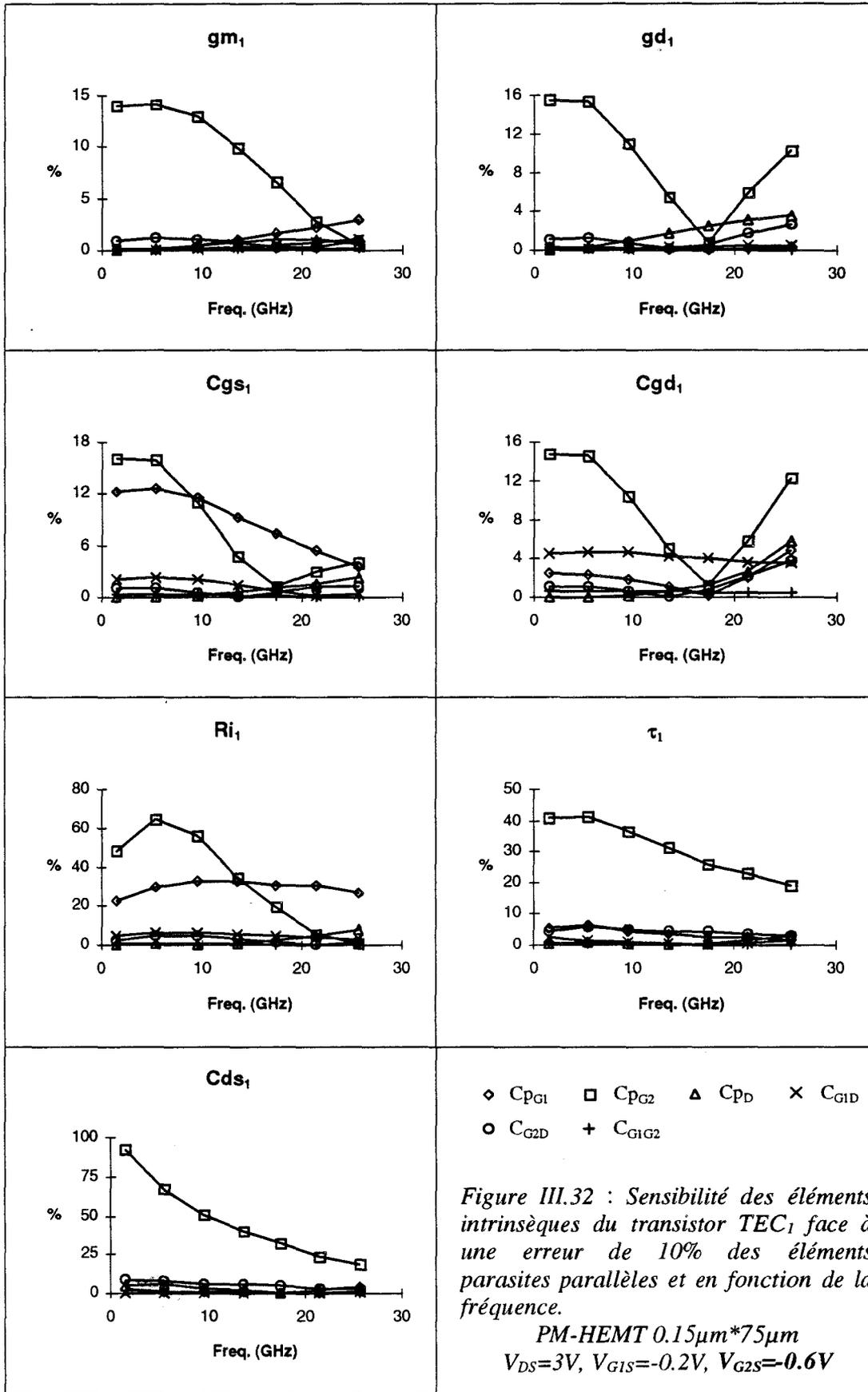
**pour le régime saturé** : les capacités  $C_{gs1}$  et  $C_{gd1}$  sont respectivement sensibles à la valeur des capacités de plot  $C_{pG1}$  et de couplage  $C_{G1D}$ , ce qui s'explique logiquement par la position quasi parallèle de ces éléments parasites sur ces éléments intrinsèques du transistor  $TEC_1$ . Nous constatons également que la capacité de plot  $C_{pG2}$  a des effets parfois non négligeables sur tous les éléments du schéma équivalent.

**pour le régime linéaire** : les mêmes influences sont observées, mais avec une sensibilité plus importante.

Notons encore l'impact important qu'ont les éléments parasites parallèles sur les éléments secondaires  $R_{i1}$ ,  $\tau_1$  et  $C_{ds1}$ .

#### **VI.5. Conclusion**

L'analyse de la matrice impédance du transistor bigrille nous a permis de développer une méthode directe d'extraction du schéma équivalent intrinsèque du transistor  $TEC_1$ . La première solution proposée, utilisant les éléments préalablement déterminés du transistor  $TEC_2$ , s'est avérée imprécise en fonctionnement linéaire. La résolution des problèmes posés nous a conduit vers une méthode nettement meilleure, qui consiste à profiter des propriétés du régime ohmique imposé au second transistor. L'utilisation du réseau composite est donc nécessaire.



L'étude de l'influence de l'environnement parasite a montré que cette caractérisation du transistor  $TEC_1$  fournit des résultats précis, notamment pour les paramètres principaux du schéma équivalent.

## **VII. CONCLUSION**

Nous avons décrit et présenté dans ce chapitre toute la méthodologie mise en place pour extraire, directement et précisément, les éléments intrinsèques du schéma électrique équivalent du transistor à effet de champ de type bigrille.

Nous nous sommes affranchis, par le biais d'un artifice mathématique et moyennant leur détermination préalable, de la présence inévitable des éléments parasites pour élaborer ce principe de caractérisation.

La détermination simultanée de chaque élément intrinsèque, en un point de polarisation donné, s'est avérée infructueuse, ce qui a orienté notre démarche vers une solution plus spécifique. Le principe général, résumé sur la figure III.33, repose sur la caractérisation séparée du transistor monogrille équivalent  $TEC_2$  (respectivement  $TEC_1$ ), en polarisant le transistor complémentaire  $TEC_1$  (respectivement  $TEC_2$ ) dans son régime linéaire, afin de réduire au minimum son influence.

La sensibilité des éléments intrinsèques, face à d'éventuelles erreurs commises sur la valeur des éléments parasites, a montré d'excellents résultats jusqu'à 15GHz, et ce quel que soit le régime de fonctionnement du composant.

Enfin, cette méthode de caractérisation sera validée dans le chapitre suivant, qui comporte une présentation des principaux résultats expérimentaux.

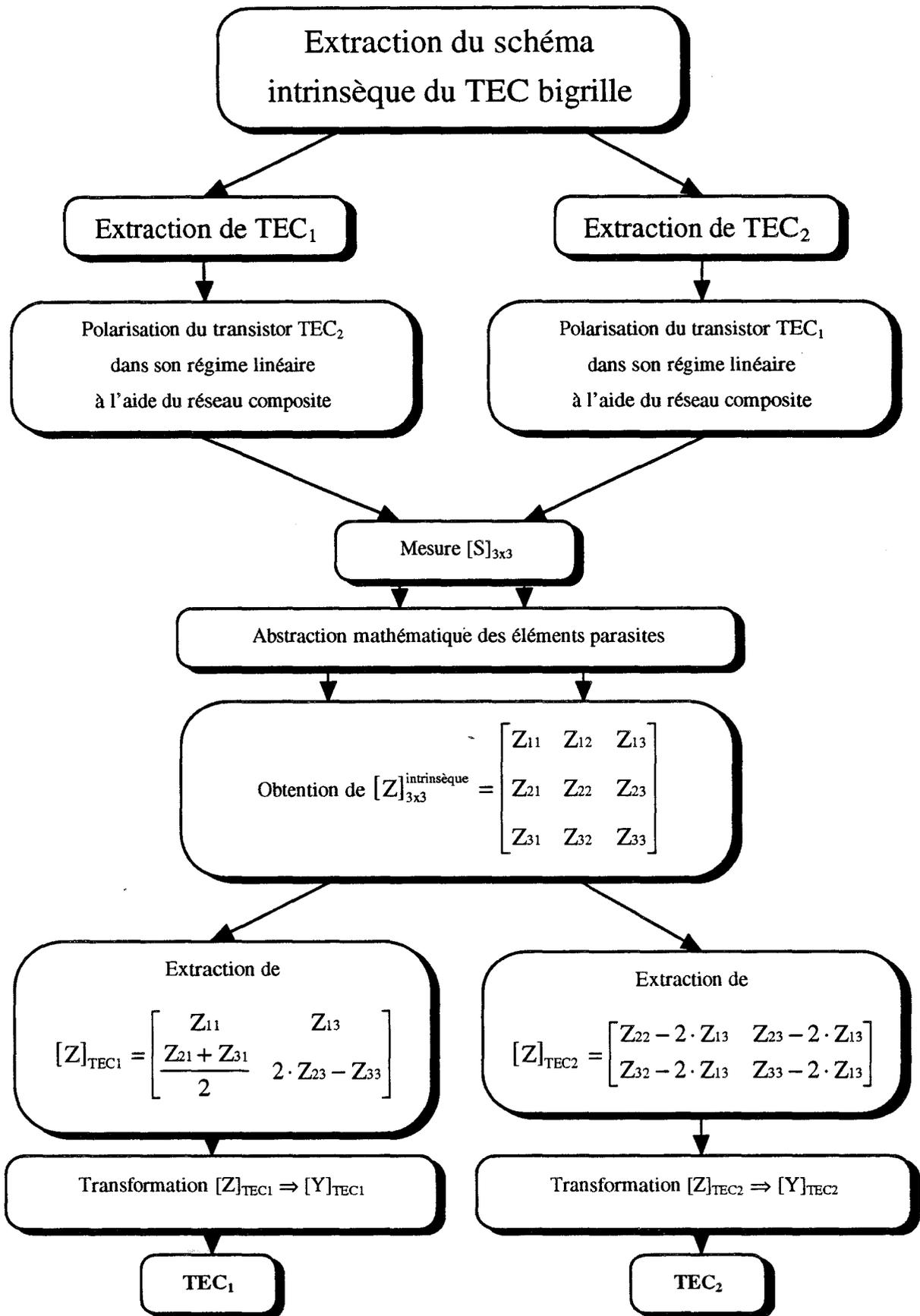


Figure III.33 : Principe d'extraction du schéma électrique équivalent intrinsèque du TEC bigrille

- [1] N. E. RADHY  
*'Etude des non linéarités et du bruit dans les transistors bigrilles submicroniques à effet de champ. Applications en micro-ondes : amplification à gain contrôlé, multiplication de fréquences.'*  
Thèse de 3<sup>ème</sup> cycle, Université de Lille, Sept. 1985
- [2] C. KOLANOWSKI  
*'Conception, réalisation et analyse de mélangeurs millimétriques en technologies hybride et intégrée utilisant des transistors à effet de champ HEMT de types monogrille et bigrille.'*  
Thèse de 3<sup>ème</sup> cycle, Université de Lille, Mars 1996
- [3] C. TSIRONIS, R. MEIERER  
*'Microwave wide-band model of GaAs dual gate MESFET's.'*  
IEEE trans. on MTT, vol. 30, n° 3, Mar. 1982, pp 243-251
- [4] J. R. SCOTT, R. A. MINASIAN  
*'A simplified microwave model of the GaAs dual gate MESFET.'*  
IEEE trans. on MTT, vol. 32, n° 3, Mar. 1984, pp 243-247
- [5] L. KLAPPROTH, G. BOCK  
*'Determination of the small-signal equivalent circuit elements of dual-gate PMHFETs from S-parameters measurements.'*  
MIOP 95, Sindelfingen, Jun. 1995, pp 423-427
- [6] C. TSIRONIS, R. MEIERER  
*'DC characteristics aid dual gate FET analysis.'*  
Microwaves, July 1981, pp 71-73
- [7] S. BRICHE  
*'Etude et conception d'un logiciel permettant l'analyse statique des transistors à effet de champ bigrille.'*  
Rapport de stage Ingénieur ISEN, IEMN-DHS, Juil.- Oct. 1993
- [8] C. TSIRONIS, R. MEIERER, R. STAHLMANN  
*'Dual gate MESFET mixers.'*  
IEEE trans. on MTT, vol. 32, n° 3, March 1984, pp 248-255



## ***CHAPITRE IV***

---

*"Etude et validation  
des résultats expérimentaux"*

# CHAPITRE IV

---

## I. INTRODUCTION

---

Bien qu'ils soient agrémentés de quelques résultats expérimentaux, les chapitres précédents reflètent un caractère quelque peu théorique. En effet, ces derniers ont été destinés à présenter et décrire l'élaboration et le développement d'une méthodologie de caractérisation en régime 'petit signal' du transistor à effet de champ de type bigrille. Extraire le schéma électrique équivalent complet du composant considéré, en un point de polarisation donné, en était l'objectif.

Ce quatrième chapitre, au contraire, est voué à l'aspect expérimental de notre travail. Nous abordons dans un premier temps, l'étude et la mise au point d'un banc de mesure dynamique spécifique aux hexapôles (trois accès), qui permet d'obtenir la matrice [S] du composant sous test jusque 26.5GHz. Viennent ensuite les principaux résultats obtenus, concernant l'extraction complète du schéma équivalent de transistors bigrilles appartenant à différentes filières. Une approche non linéaire est envisagée sur quelques composants, et en particulier celui retenu pour la conception d'un mélangeur millimétrique (contrat Esprit CLASSIC).

Enfin, l'analyse des divers résultats expérimentaux, jumelée à des confrontations 'théorie-expérience' de natures différentes, nous permet de valider notre méthode de caractérisation du TEC bigrille.

## **II. LE BANC DE MESURE**

---

Afin de mettre au point expérimentalement notre méthode de détermination du schéma équivalent du TEC bigrille, le développement d'un banc de mesure spécifique s'est avéré utile et nécessaire. En effet, la configuration 'source commune' systématique des composants étudiés fixe à 3 le nombre d'accès, ce qui nécessite idéalement une voie dynamique supplémentaire sur les analyseurs de réseaux utilisés pour la mesure des paramètres  $S_{ij}$ . Malgré l'équipement important de la centrale de caractérisation (mesure de quadripôles disponibles jusque 110GHz), ce type d'analyseur '3 voies' n'était pas disponible. Nous nous sommes donc orientés vers une solution de substitution, dont le principe est présenté ci-après.

Par ailleurs, seule l'étude de composants sur tranches a été effectuée, n'impliquant pas l'utilisation de monture ou de cellule de mesure spécifique [1,2,3].

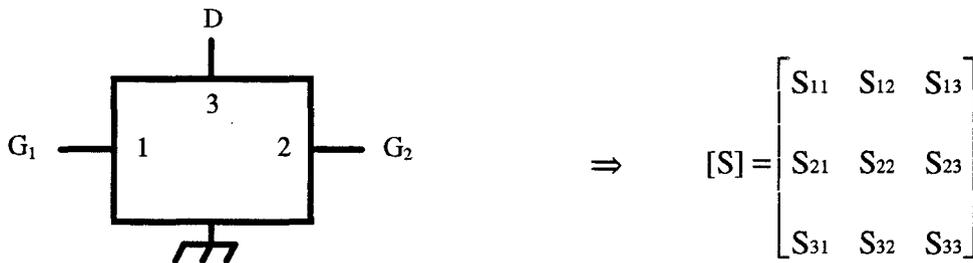
### **II.1. Principe de mesure en hexapôle**

De manière générale, le principe de mesure des multipôles repose sur les propriétés propres des paramètres  $S_{ij}$ , définis et adaptés spécialement pour la caractérisation hautes fréquences. La simple mesure entre 2 des 'n' accès du multipôle permet d'obtenir 4 des 'n<sup>2</sup>'

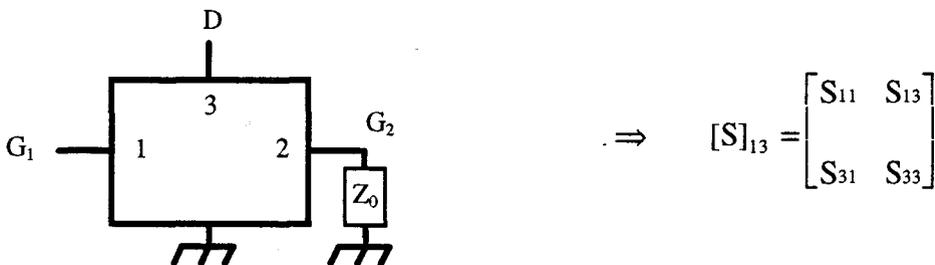
paramètres de la matrice [S], à condition toutefois de charger les 'n-2' voies non utilisées par l'impédance de référence non réfléchive, couramment notée  $Z_0$ .

Dans le cas particulier de l'hexapôle, trois mesures avec un analyseur de réseaux '2 portes' classique, permettent donc d'obtenir tous les paramètres  $S_{ij}$  de l'élément sous test. En effet, considérons l'exemple du transistor bigrille défini par la matrice de dispersion [S], ci-dessous :

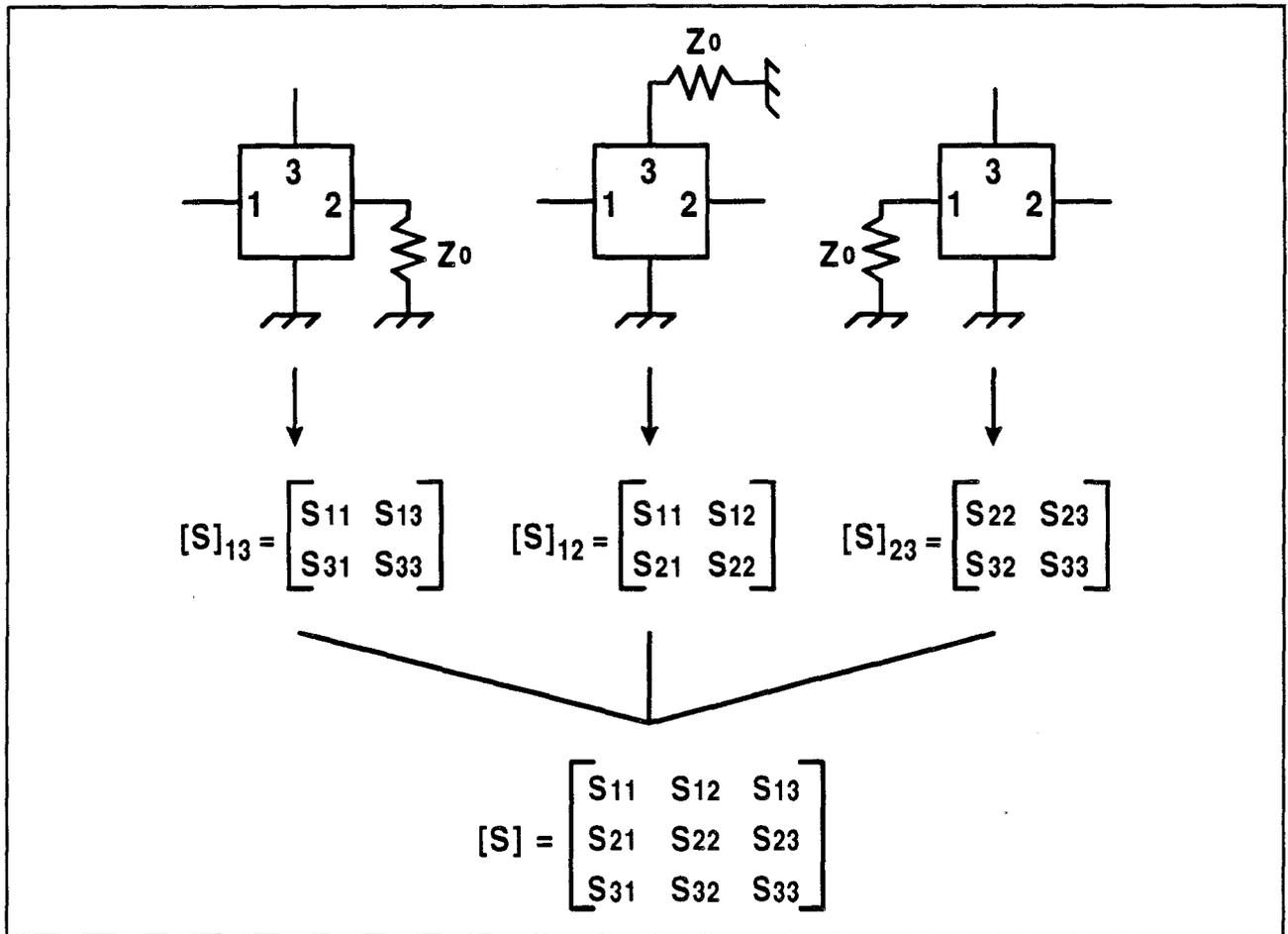
(avec  $G_1$ =accès1,  $G_2$ =accès2, D=accès3)



La mesure entre la grille  $G_1$  et le drain D, avec la seconde grille chargée sur  $Z_0$ , permet d'obtenir la sous-matrice  $[S]_{13}$  du quadripôle résultant :



En répétant cette opération avec les deux autres quadripôles possibles, la reconstitution de la matrice [S] devient évidente. La figure IV.1 résume ce principe, et montre par ailleurs que chaque coefficient de réflexion  $S_{ii}$  ( $i=1,2,3$ ) apparaît systématiquement deux fois dans l'ensemble des sous-matrices. Cette redondance, intéressante, sera utilisée comme témoin de contrôle du bon déroulement des mesures.



*Figure IV.1 : Principe de mesure en hexapôle.*

La figure IV.2 présente le synoptique du banc de mesure, que nous avons développé pour appliquer ce principe de la mesure en hexapôle entre 1.5 et 26.5GHz. Il se compose principalement :

- d'un analyseur de réseaux vectoriel HP8510 de la société Hewlett Packard
- d'un système de pointes de mesure hyperfréquences Cascade Microtech
- et d'une interface de commutation spécifique autorisant la liaison a priori incompatible

entre l'analyseur '2 portes' et les 3 sondes.

Cette interface comprend deux commutateurs différents HP8762C et HP8763C de chez Hewlett Packard, qui de par leur conception, assurent les trois connexions souhaitées avec chaque paire de pointes de mesure, tout en chargeant la troisième non utilisée sur une impédance interne.

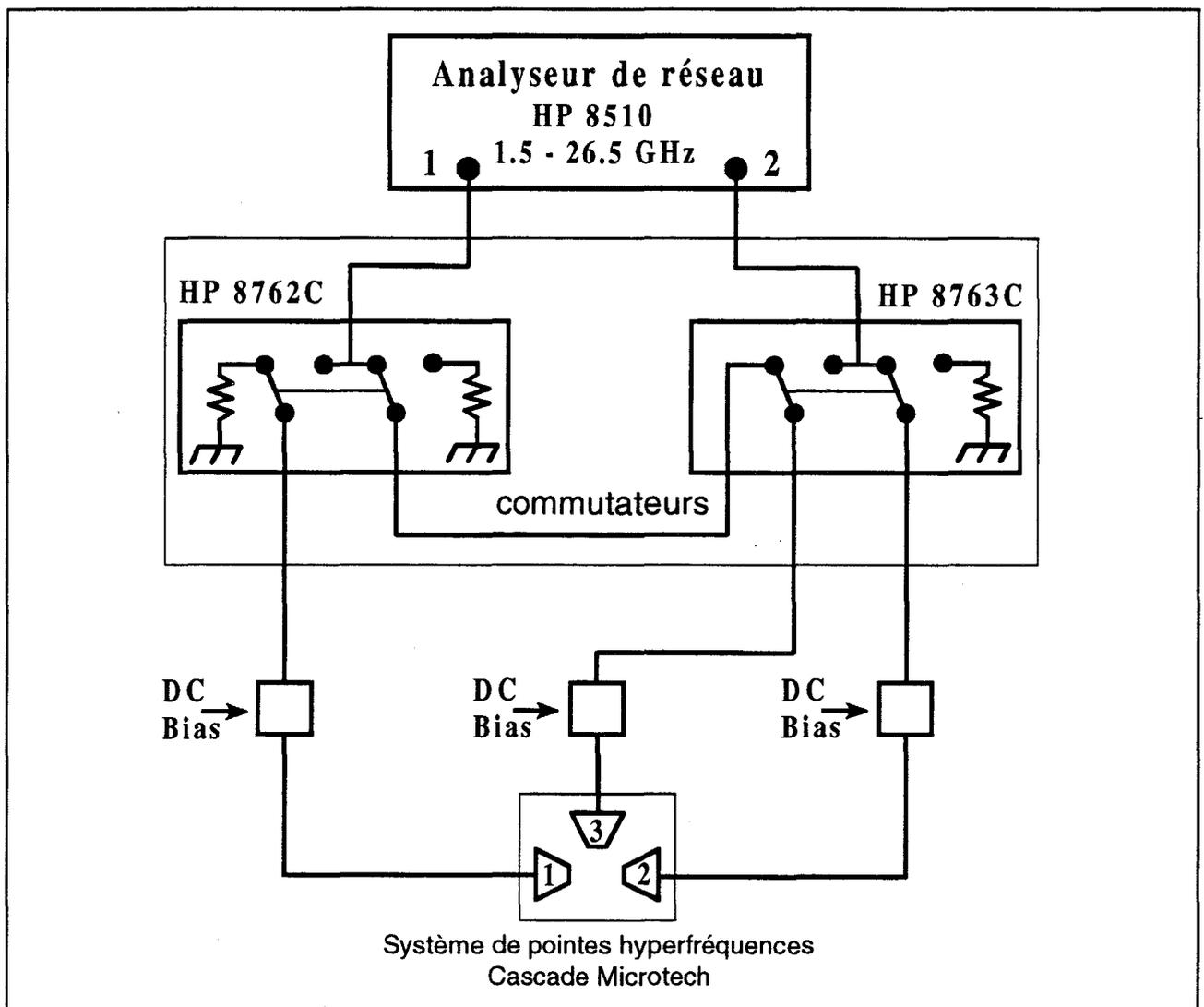


Figure IV.2 : Synoptique du banc de mesure.

Les liaisons entre organes sont effectuées en câble coaxial semi-rigide (faible perte d'insertion, bonne reproductibilité). Trois tés de polarisation situés en aval du système de commutation alimentent l'hexapôle sous test directement via les sondes hyperfréquences.

Ce banc de mesure classique, rencontré dans d'autres laboratoires, tels que ceux de Thomson [4], Dassault Electronique [5], ou dans la littérature [6], existe également sous une autre forme [7], qui fait intervenir trois commutateurs identiques à celui référencé HP8762C. Nous n'avons pas opté pour cette solution, car elle engendre naturellement plus de commutations, ce qui peut porter préjudice à la reproductibilité des mesures.

## II.2. Correction spécifique des mesures en hexapôle

Tout appareil ou banc de mesure, aussi puissant soit-il, présente des défauts propres à sa topologie, qui limitent ses performances et sa précision. Pour notre système de caractérisation '3 portes', nous dénombrons quatre types principaux de défauts pouvant affecter la qualité des mesures et engendrer des erreurs :

- *systematiques* dues aux pertes dans les câbles, les commutateurs, les pointes ...
- *de désadaptation* apportées par la charge interne des commutateurs sur la 3<sup>ème</sup> sonde
- *aléatoires* résultantes du bruit, de la reproductibilité et durée de vie de la connectique, ...
- *de dérives* de l'environnement (température, pression, humidité, ...)

Si les deux derniers types d'erreur sont difficilement pris en compte, les deux premiers en revanche, peuvent être corrigés mathématiquement. La correction des perturbations systématiques relève des techniques de calibrage, dont une présentation est donnée dans le paragraphe suivant. Intéressons-nous donc exclusivement aux solutions qui permettent de s'affranchir des erreurs de désadaptation propres aux mesures en hexapôles.

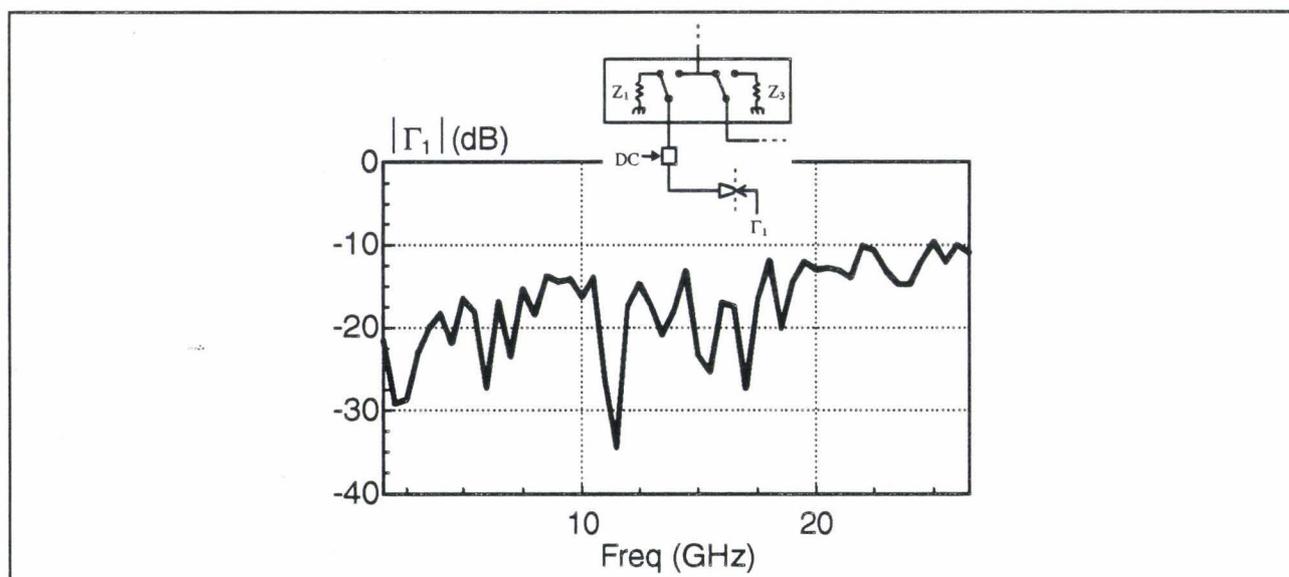


Figure IV.3 : Evolution en fonction de la fréquence du module du coefficient de réflexion de l'impédance interne d'un commutateur présentée dans le plan de la sonde de mesure.

Comme l'a montré le principe théorique, chaque mesure '2 portes' du système '3 portes' sous test doit s'effectuer idéalement en connectant sur la troisième sonde inutilisée, une charge non réfléchive parfaite. En pratique, l'utilisation de telles impédances est difficile, voire impossible, ce qui altère inévitablement la qualité et la précision des mesures. Avec notre banc, ce rôle d'impédance de charge est rempli par les impédances internes des commutateurs prévues à cet effet. Sur la figure IV.3 apparaît le coefficient de réflexion, que nous avons relevé en fonction de la fréquence, d'une de ces charges présentées dans le plan de la sonde de mesure associée. Il est évident que nous sommes loin des conditions d'idéalité requises, surtout en hautes fréquences.

Pour solutionner ces problèmes de désadaptation, plusieurs techniques mathématiques ont été développées [8,9]. Nous avons retenu l'une des méthodes proposées par Rautio, qui séduit par sa simplicité et son efficacité quelle que soit la valeur des impédances de charge. Cette dernière, moyennant la connaissance de ces impédances, se résume à un jeu de calculs matriciels, excluant tout algorithme itératif d'optimisation et les problèmes de convergence associés.

L'idée générale de cette méthode est de définir la matrice [S] du dispositif sous test, non plus avec la référence  $Z_0=50\Omega$ , mais avec un nouveau formalisme dans lequel chaque accès 'i' est référencé par rapport à son impédance de charge  $Z_i$ , responsable des désadaptations. En notant [R] cette nouvelle matrice, [R] et [S] expriment la même notion dans des normes différentes :

$$[S]_{(50, 50, 50)} \quad \Leftrightarrow \quad [R]_{(Z_1, Z_2, Z_3)}$$

$Z_1, Z_2, Z_3$  étant respectivement les impédances internes des commutateurs présentées dans le plan des sondes 1, 2 et 3

L'intérêt de ce changement de norme réside dans le fait que les trois matrices mesurées, relatives aux trois configurations de quadripôles possibles, ne sont autres que les sous-matrices de [R] dans le formalisme  $(Z_1, Z_2, Z_3)$ . Ainsi, la reconstitution et l'obtention précise de la matrice [S] de l'hexapôle s'opèrent facilement.

De manière générale, nous montrons en annexe IV.1, que les relations qui lient ces deux matrices [S] et [R] dans le cas d'un multipôle à 'n' accès sont :

$$(1) \quad [R] = ([\Gamma] + [S]) \cdot ([I] - [\Gamma][S])^{-1}$$

$$(2) \quad [S] = ([I] + [\Gamma][R])^{-1} ([R] - [\Gamma])$$

avec  $[I]$  = matrice identité

$[\Gamma] = \text{diag}(\Gamma_1, \Gamma_2, \dots, \Gamma_i, \dots, \Gamma_n)$

$\Gamma_i$  = coefficient de réflexion de  $Z_i$

par rapport à  $Z_0$

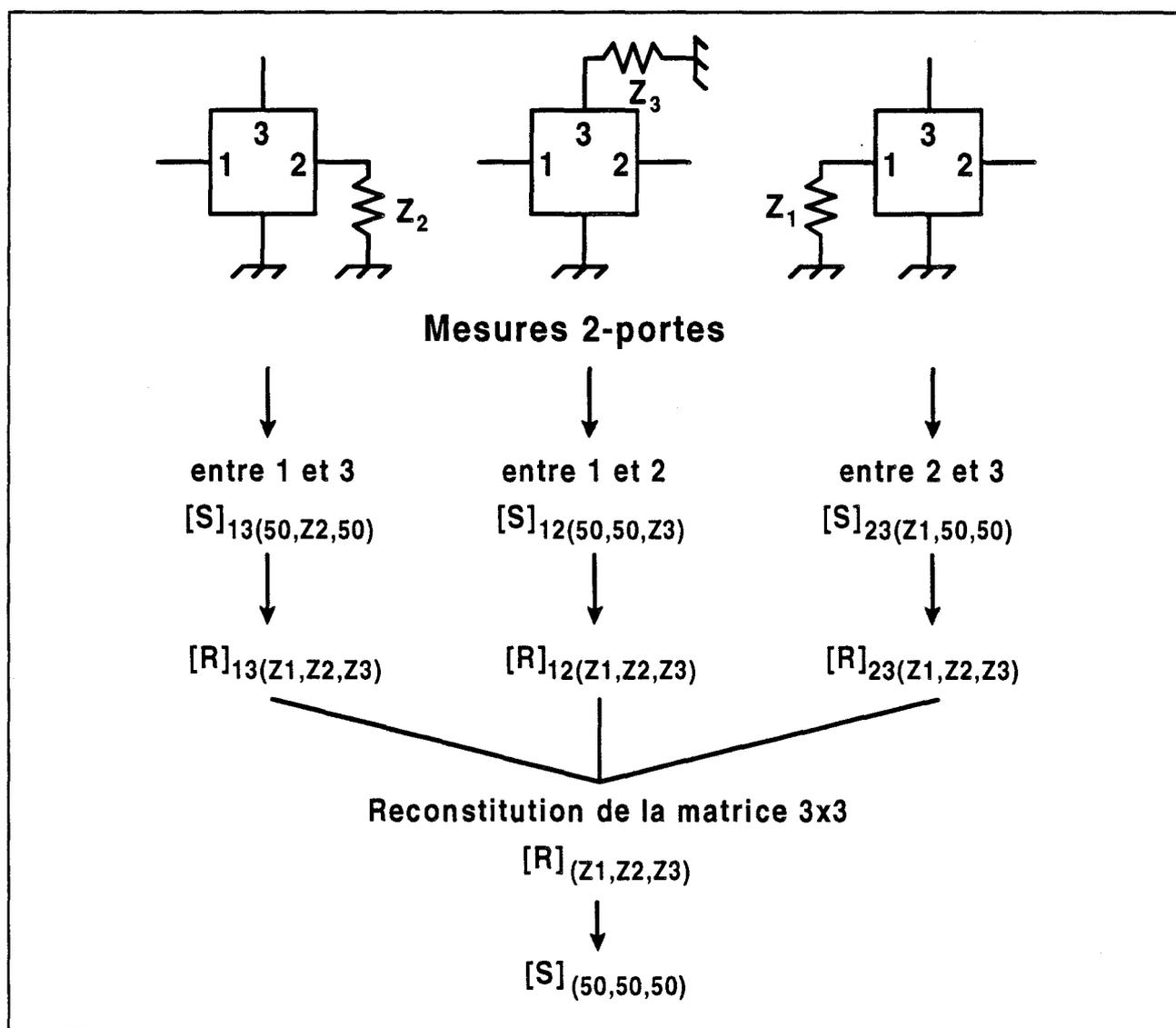


Figure IV.4 : Principe de correction des erreurs de désadaptation propres aux mesures en hexapôles.

La figure IV.4 détaille les différentes étapes successives de normalisation qui conduisent à la matrice [S] précise de l'hexapôle sous test :

- la 1<sup>ère</sup> étape concerne les trois mesures de quadripôle, la sonde non utilisée étant chargée sur l'impédance interne du commutateur correspondant. Nous obtenons les matrices suivantes :

$$[S]_{12} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}_{(50,50,Z3)} \quad [S]_{13} = \begin{bmatrix} S_{11} & S_{13} \\ S_{31} & S_{33} \end{bmatrix}_{(50,Z2,50)} \quad [S]_{23} = \begin{bmatrix} S_{22} & S_{23} \\ S_{32} & S_{33} \end{bmatrix}_{(Z1,50,50)}$$

- afin de pouvoir recombinaison ces dernières, il nous faut normaliser celles-ci dans un formalisme commun, qui ne peut être que le triplet d'impédances ( $Z_1, Z_2, Z_3$ ).

L'application de la relation (1) précédente conduit au résultat escompté :

$$[R]_{12} = \begin{bmatrix} R_{11} & R_{12} \\ R_{21} & R_{22} \end{bmatrix}_{(Z1,Z2,Z3)} \quad [R]_{13} = \begin{bmatrix} R_{11} & R_{13} \\ R_{31} & R_{33} \end{bmatrix}_{(Z1,Z2,Z3)} \quad [R]_{23} = \begin{bmatrix} R_{22} & R_{23} \\ R_{32} & R_{33} \end{bmatrix}_{(Z1,Z2,Z3)}$$

La reconstitution de la matrice de l'hexapôle sous test devient possible :

$$[R] = \begin{bmatrix} R_{11} & R_{12} & R_{13} \\ R_{21} & R_{22} & R_{23} \\ R_{31} & R_{32} & R_{33} \end{bmatrix}_{(Z1,Z2,Z3)}$$

- finalement, nous aboutissons à la matrice [S] recherchée en revenant dans le formalisme  $Z_0=50\Omega$ , par simple application de la relation matricielle (2) :

$$[S] = \begin{bmatrix} S_{11} & S_{12} & S_{13} \\ S_{21} & S_{22} & S_{23} \\ S_{31} & S_{32} & S_{33} \end{bmatrix}_{(50,50,50)}$$

Remarque : Cette technique de correction reste valable quelle que soit la valeur des charges  $Z_1$ ,  $Z_2$  et  $Z_3$ , si celles-ci sont parfaitement connues. Trois cas particuliers sont à noter, au regard de la relation (1) :

-  $[\Gamma]=[0] \Rightarrow [R]=[S]$

Nous retrouvons logiquement  $[R]=[S]$  lorsque les impédances de charge, présentées dans les plans de mesure, sont non réfléchives.

-  $[\Gamma]=[I] \Rightarrow [R]=[Z]$

En connectant des circuits ouverts, la matrice  $[R]$  résultante n'est autre que la matrice impédance normalisée du dispositif sous test.

-  $[\Gamma]=-[I] \Rightarrow [R]=-[Y]$

La matrice  $[R]$  représente l'opposée de la matrice admittance normalisée lorsque des courts-circuits sont utilisés.

Si ces résultats sont intéressants, l'utilisation expérimentale de charges hautement réfléchives (CC ou CO) reste délicate et dangereuse pour des circuits actifs.

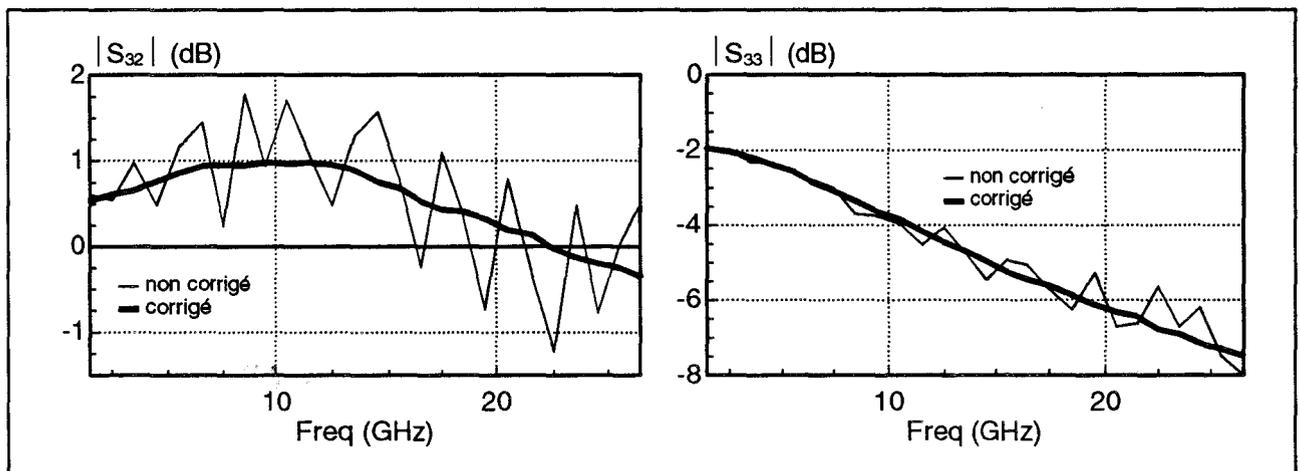


Figure IV.5 : Evolutions en fonction de la fréquence du module des paramètres  $S_{32}$  et  $S_{33}$  d'un transistor bigrille, avec et sans prise en compte des désadaptations apportées par les charges internes des commutateurs.

La figure **IV.5** présente les évolutions en fonction de la fréquence des paramètres  $S_{32}$  et  $S_{33}$  que nous avons mesurés sur un transistor bigrille, puis corrigés par le procédé précédemment décrit. Si ces courbes illustrent les effets non négligeables et néfastes des charges non idéales, elles démontrent également l'efficacité du traitement mathématique face aux erreurs de désadaptation.

Nous sommes donc capables de nous affranchir de ces erreurs, et garantir une précision satisfaisante des mesures, moyennant, rappelons-le, la connaissance de ces charges, que nous identifions après chaque calibrage.

### **II.3. Calibrage du banc '3 portes'**

Comme nous l'avons déjà évoqué, le calibrage d'un banc de mesure, quel qu'il soit, a pour vocation de s'affranchir des erreurs systématiques qui limitent inévitablement la précision des mesures. Ces dernières résultent, entre autres et en ce qui nous concerne, de quatre défauts principaux, rappelés ci-dessous :

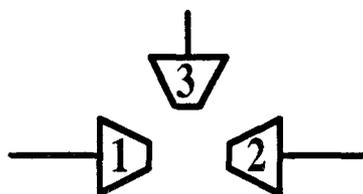
- les réponses fréquentielles en transmission et réflexion de chaque élément (câbles, commutateurs, sondes, ...)
- les directivités des éléments de l'analyseur de réseaux
- les diverses désadaptations
- l'isolation entre les deux accès de l'analyseur, et celle entre les voies des commutateurs.

Afin d'accroître les performances et la qualité des mesures, ces sources d'erreurs sont prises en compte par le biais de techniques d'étalonnage, dont le principe général repose essentiellement sur l'identification de modèles d'erreur représentatifs de l'ensemble des imperfections [10]. Cette phase de calibrage consiste à mesurer des dispositifs particuliers, dont

les caractéristiques sont connues, et d'en déduire mathématiquement la contribution des erreurs systématiques. Les méthodes de calibrage les plus couramment utilisées sont à l'heure actuelle :

- méthode SOLT (Short, Open, Load, Thru) utilisant comme étalons le court-circuit, le circuit ouvert, la charge adaptée et la connexion directe
- méthode LRL (Line, Reflect, Line) basée sur l'emploi de charges hautement réfléchives et de tronçons de ligne
- méthode LRM (Line, Reflect, Match) qui nécessite une ligne et des charges réfléchive et adaptée.

Pour le banc en hexapôle, chaque configuration de mesure doit être calibrée, ce qui implique naturellement trois étalonnages (pointes 1 et 2, 1 et 3, 2 et 3). Chacun d'entre eux est effectué en utilisant les standards de calibrage du kit 'Cerbère' fabriqué en technologie 'microstrip' par Thomson TCS [11]. Ce dernier comprend, entre autres, des lignes directes et coudées (angle droit biseauté), de longueurs 1, 2, 3 et 6 mm, particulièrement bien adaptées pour la méthode LRL et surtout vis-à-vis de la disposition des sondes. En effet, l'une d'entre elles a la particularité d'être orientée perpendiculairement aux deux autres (schéma ci-dessous), afin de rendre leur position compatible avec la topologie des transistors bigrilles que nous serons amenés à caractériser. L'utilisation de lignes coudées s'avère donc incontournable.



Si la méthode LRL offre quelques avantages [12], elle nécessite en revanche plusieurs tronçons de lignes de longueurs différentes et choisies judicieusement pour calibrer le banc de

mesure sur une large plage de fréquence. En effet, cette différence de longueur  $\Delta l$  conditionne la bande de fréquence  $\Delta f_0$ , pour laquelle l'étalonnage est valide, avec :

$$\Delta f_0 = \left[ \frac{1}{5} f_0 ; \frac{9}{5} f_0 \right] \quad \text{où} \quad f_0 = \text{fréquence centrale telle que } \Delta l = \lambda_0 / 4$$

$\lambda_0 = \text{longueur d'onde guidée à la fréquence } f_0$

Il apparaît que le calibrage LRL n'est valable que sur une plage inférieure à la décade, ce qui nous oblige à utiliser plusieurs lignes pour couvrir toute la bande de fréquence 1.5-26.5GHz. Le tableau ci-dessous regroupe l'ensemble des fréquences couvertes avec l'utilisation des lignes du kit 'Cerbère' (constante diélectrique effective 8.34).

$\Delta l$ (mm)	$\Delta f_0$ (GHz)
1	5 - 45
2	2.5 - 22.5
5	1 - 9

Chaque configuration de mesure en quadripôle du banc complet peut donc être calibrée jusque 26.5GHz, ce qui rend possible la mesure précise de la matrice [S] d'un hexapôle quelconque.

#### II.4. Validation du banc de mesure

Avant d'exploiter ce banc '3 portes' pour la caractérisation des transistors bigrilles, nous devons nous assurer de la validité des mesures. Pour ce faire, et compte tenu des différentes étapes nécessaires à la mesure des paramètres  $S_{ij}$  d'un hexapôle, plusieurs points de contrôle sont envisageables.

### II.4.1. Le calibrage

Le calibrage est sans nul doute la phase cruciale et déterminante pour la précision des mesures. Pour vérifier celui-ci, la procédure la plus courante consiste à caractériser un dispositif dont les évolutions fréquentielles des paramètres  $S_{ij}$  sont parfaitement connues. C'est le cas, par exemple, d'une ligne de transmission de longueur 'l', qui avec une extrémité laissée en circuit ouvert, présente un coefficient de réflexion 'ρ' à l'entrée de la forme :

$$\rho = e^{-2\gamma l}$$

La représentation polaire de cette fonction sur un abaque de Smith s'apparente donc à une spirale rentrante en fonction de la fréquence, compte tenu des pertes métalliques de la ligne.

La figure IV.6 représente ce type d'évolution dans les deux cas suivants :

- a - ligne droite d'environ 3 mm, mesurée après le calibrage des pointes 1 et 2
- b - ligne coudée d'environ 3 mm, mesurée après le calibrage des pointes 1 et 3

Il apparaît nettement que nous retrouvons l'allure théorique prévue, sans aucune résonance, ce qui atteste de la bonne qualité des étalonnages.

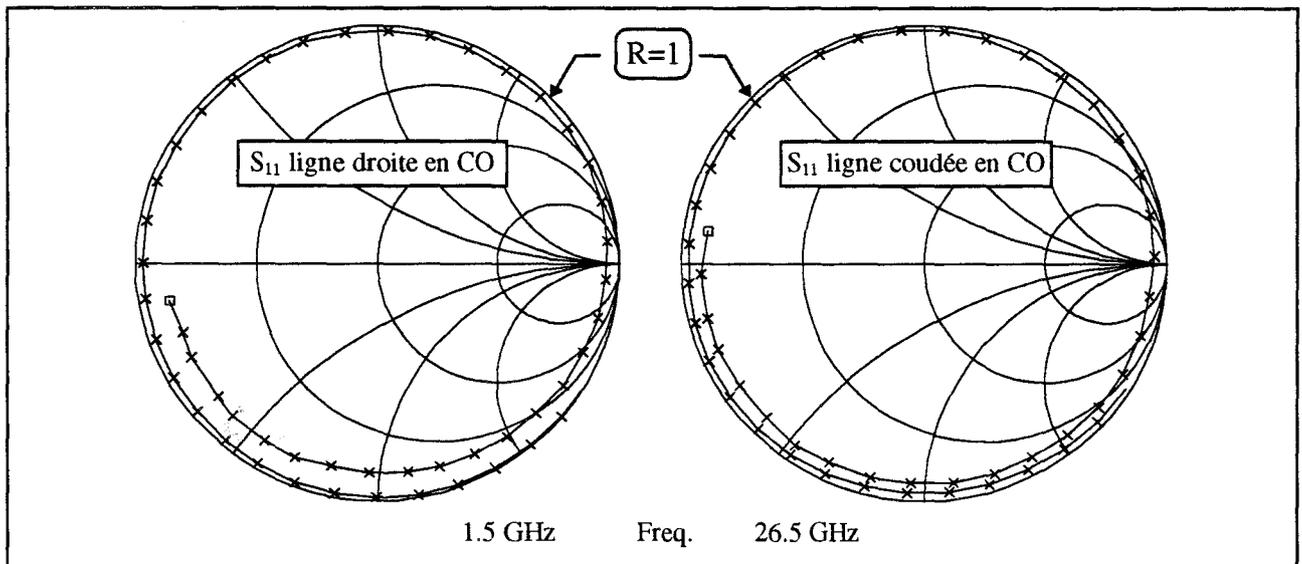


Figure IV.6 : Evolutions fréquentielles des coefficients de réflexion à l'entrée d'une ligne droite et d'une ligne coudée d'environ 3 mm, dont les extrémités sont laissées en circuit ouvert.

### II.4.2. Même charge vue par deux sondes différentes

Outre le coté contrôle de l'étalonnage, cette mesure s'inscrit de manière systématique dans la procédure de prise en compte des désadaptations apportées par les charges internes des commutateurs. En effet, nous avons vu que l'obtention précise de la matrice Scattering de l'hexapôle sous test, nécessite un traitement mathématique de 'dénormailisation-renormalisation' des 3 matrices '2 portes' mesurées, par rapport à ces charges. Pour ce faire, la connaissance précise de ces impédances de charge s'impose, c'est pourquoi, à l'issue de chaque calibrage, nous les mesurons.

A titre d'exemple, la figure IV.7 présente l'évolution fréquentielle du coefficient de réflexion de la charge  $Z_2$  ramenée dans le plan de la sonde 2, mesurée par :

- a - la pointe 1 au travers d'une ligne droite 'étalon'
- b - la pointe 3 au travers d'une ligne coudée 'étalon'

Les excellentes concordances des modules et des phases démontrent encore la bonne qualité du calibrage.

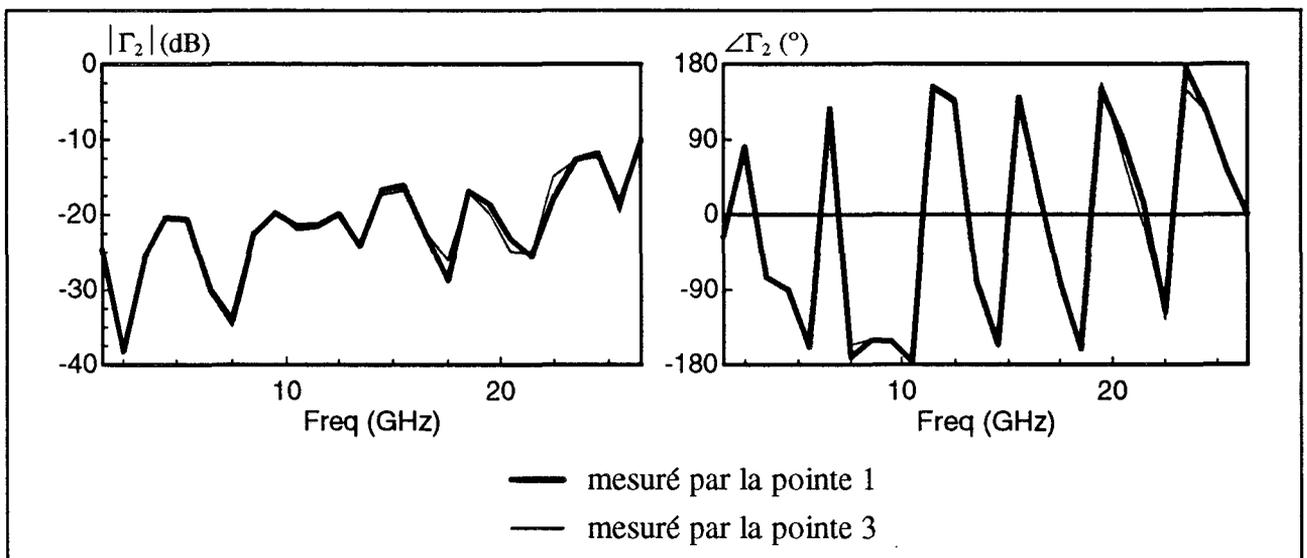
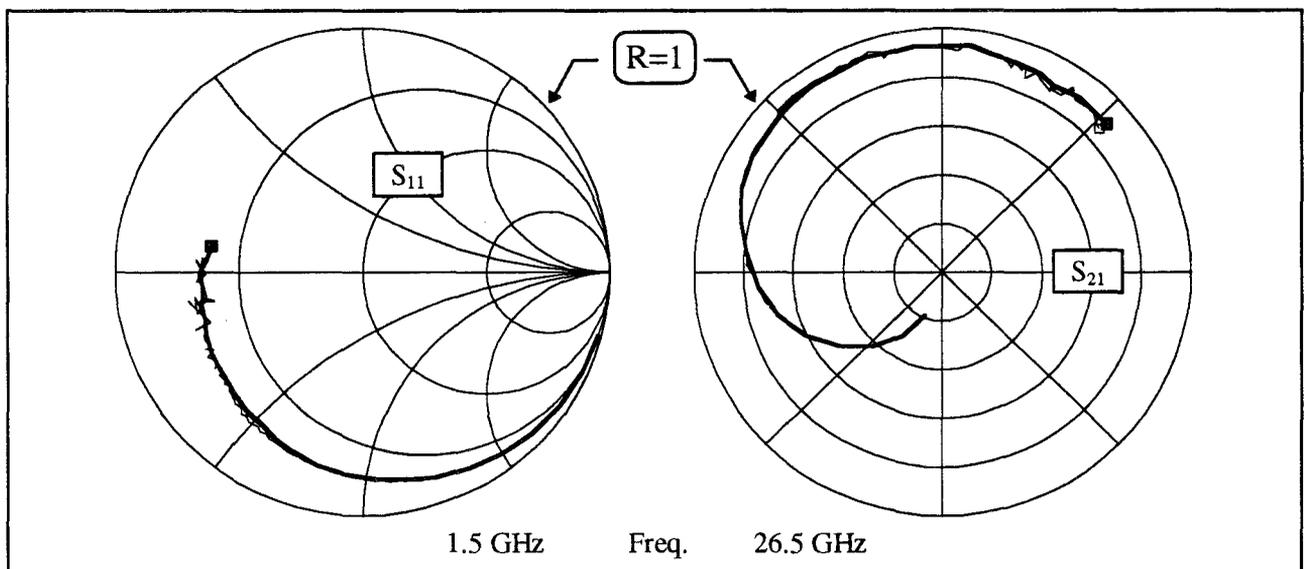


Figure IV.7 : Evolutions fréquentielles du coefficient de réflexion (module et phase) de l'impédance  $Z_2$  présentée dans le plan dans la pointe 2.

### II.4.3. Influence des commutateurs

La mesure d'un hexapôle quelconque dans un état de fonctionnement donné, demande un minimum de deux commutations pour extraire la matrice Scattering. Pour connaître les évolutions des caractéristiques du composant sous test en fonction des tensions de polarisation ( $V_{G1S}$ ,  $V_{G2S}$  et  $V_{DS}$  par exemple pour le transistor bigrille), le nombre de commutations nécessaires atteint quelques fois des valeurs importantes. Malgré l'efficacité du calibrage et de la prise en compte des désadaptations, ce type d'actions répétées peut affecter la qualité des mesures, en engendrant des erreurs de type aléatoire liées à la reproductibilité des commutateurs. Afin de limiter leurs influences et juguler leurs effets, nous mesurons directement le composant dans une configuration '2 portes' donnée pour tous les points de polarisation souhaités, puis de manière analogue, dans les deux autres configurations. Cette façon de procéder permet de s'affranchir rigoureusement de ces problèmes, car seules deux commutations sont nécessaires. Notons que d'autres solutions existent, notamment une basée sur des techniques de filtrage temporel [7], pour réduire ces éventuelles dégradations.



*Figure IV.8 : Evolutions fréquentielles des paramètres  $S_{11}$  et  $S_{21}$  d'un TEC bigrille mesurés avant et après plusieurs commutations.*

À titre d'exemple, nous présentons sur la figure IV.8, l'évolution fréquentielle des paramètres  $S_{11}$  et  $S_{21}$  d'un transistor bigrille mesurés à l'issue de l'étalonnage et après plusieurs commutations. Il apparaît effectivement des perturbations essentiellement localisées en hautes fréquences, mais d'amplitudes très raisonnables.

#### II.4.4. Comparaison des mesures

Le dernier point des travaux entrepris en vue de la validation du banc '3 portes' concerne la confrontation de nos mesures avec celles obtenues au laboratoire de Thomson TCS. Pour ce faire, nous avons comparé la matrice Scattering complète, en fonction de la fréquence, d'un transistor bigrille (Gringo  $0.15\mu\text{m} \times 150\mu\text{m}$ ), polarisé à  $V_{DS}=4\text{V}$ ,  $V_{G1S}=0.4\text{V}$  et  $V_{G2S}=1.5\text{V}$ . La figure IV.9 présente les résultats des deux laboratoires. Un excellent accord est observé sur toute la bande d'étude, ce qui atteste de nouveau de la précision et de la fiabilité du banc que nous avons développé.

## II.5. Conclusion

Nous avons présenté dans ce paragraphe le banc de mesure '3 portes' développé au sein du laboratoire, pour la caractérisation des transistors à effet de champ de type bigrille. Celui-ci, constitué de trois éléments principaux, comprend :

- l'analyseur de réseau vectoriel '2 portes' HP8510 de Hewlett Packard
- un système de mesure sous pointes doté de trois sondes hyperfréquences Cascade Microtech
- une interface de commutation spécifique permettant d'appliquer le principe de la mesure des paramètres  $S_{ij}$  d'un hexapôle.

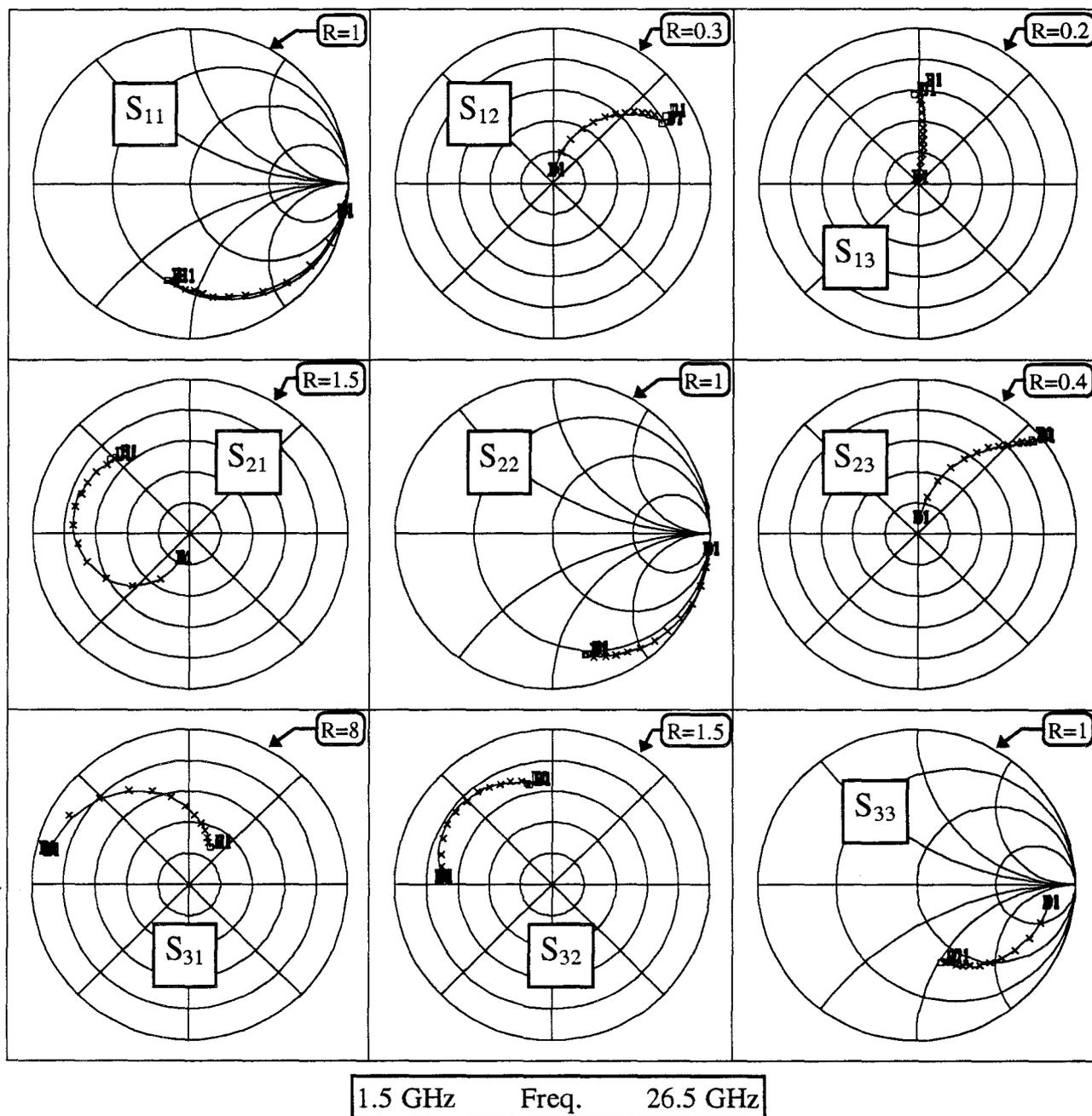


Figure IV.9 : Evolutions fréquentielles des paramètres  $S_{ij}$  d'un transistor bigrille mesurés sur notre banc (-) et sur celui de Thomson TCS (+).  
 (PM-HEMT  $0.15\mu\text{m} \times 150\mu\text{m}$ ,  $V_{DS}=4\text{V}$ ,  $V_{GS}=0.4\text{V}$ ,  $V_{G2S}=1.5\text{V}$ )

Si trois calibrages LRL permettent de nous affranchir des erreurs systématiques, un artifice mathématique supplémentaire a du être développé, pour prendre en compte les désadaptations apportées dans le plan des sondes par les charges internes des commutateurs. L'efficacité et la

fiabilité de ces corrections, vérifiées et démontrées expérimentalement, assurent une très grande précision des mesures.

Ce banc, disponible jusqu'à 26.5GHz, nous a permis de mettre au point toute la procédure de caractérisation des transistors bigrilles, dont les principaux résultats font l'objet d'une présentation dans les paragraphes suivants.

### **III. PRINCIPAUX RESULTATS**

Etant donné le nombre élevé de transistors bigrilles mesurés, il n'est pas question, par simple souci de clarté, de regrouper dans ce paragraphe la totalité des résultats obtenus. Si des composants de filière MESFET 0.5 $\mu$ m, puis HEMT conventionnel 0.25 $\mu$ m, ont permis de démarrer le développement et la mise au point de la procédure de caractérisation, très vite, des impératifs contractuels nous ont imposé l'étude de transistors HEMTs pseudomorphiques dotés de grilles longues de 0.15 $\mu$ m. En effet, rappelons que nos travaux s'insèrent dans le cadre du contrat européen ESPRIT CLASSIC, qui visait entre autres, la conception d'un mélangeur millimétrique fonctionnant à 60GHz, ce qui explique l'emploi de tels composants.

A titre indicatif, le tableau ci-après résume l'ensemble des transistors bigrilles que nous avons caractérisés, et dont la fabrication a été assurée par Thomson TCS, l'un de nos partenaires pour ce contrat.

Ce paragraphe est donc destiné à présenter les principaux résultats en faisant ressortir les points essentiels. Nous abordons tout d'abord, l'aspect 'éléments parasites' dont l'analyse permet de tirer quelques conclusions quant à la topologie des composants. Viennent ensuite les évolutions typiquement rencontrées des éléments intrinsèques en fonction des tensions de polarisation. Enfin, nous terminons ce paragraphe par l'étude du transistor bigrille Quatuor 0.15 $\mu$ m\*3\*25 $\mu$ m, retenu pour la réalisation du mélangeur.

Composant	Type	$L_G(\mu\text{m})$	$W(\mu\text{m})$	Masque	Ref.
BA5A15	MESFET	0.5	1x150	Ares	G4003 R112/4
BA5A315	MESFET	0.5	3x50		
BA5A330	MESFET	0.5	3x100		
BA3A15	HEMT	0.25	1x150	Toutatis	F1502 R16/2
BA3A315	HEMT	0.25	3x50		
BA3A330	HEMT	0.25	3x100		
BA3A15	PM-HEMT	0.25	1x150	Toutatis	E20042 R84/2
BA3A315	PM-HEMT	0.25	3x50		
BA3A330	PM-HEMT	0.25	3x100		
BA3A15	PM-HEMT	0.15	1x150	Toutatis	K0106 R89/1
BA3A315	PM-HEMT	0.15	3x50		
BA3A330	PM-HEMT	0.15	3x100		
BA2A15	PM-HEMT	0.15	1x150	Gringo	K 1901-3-R4
BA2A315	PM-HEMT	0.15	3x50		
BA2A375	PM-HEMT	0.15	3x25		
BA2A75	PM-HEMT	0.15	1x75		
BA2A7512	PM-HEMT	0.15	1x75		
BA2A50	PM-HEMT	0.15	1x50		
BA3A15	PM-HEMT	0.25	1x150	Toutatis	K3503
BA3A315	PM-HEMT	0.25	3x50		
BA3A330	PM-HEMT	0.25	3x100		
BA2A375	PM-HEMT	0.15	3x25	Quatuor	G07094 2/R6

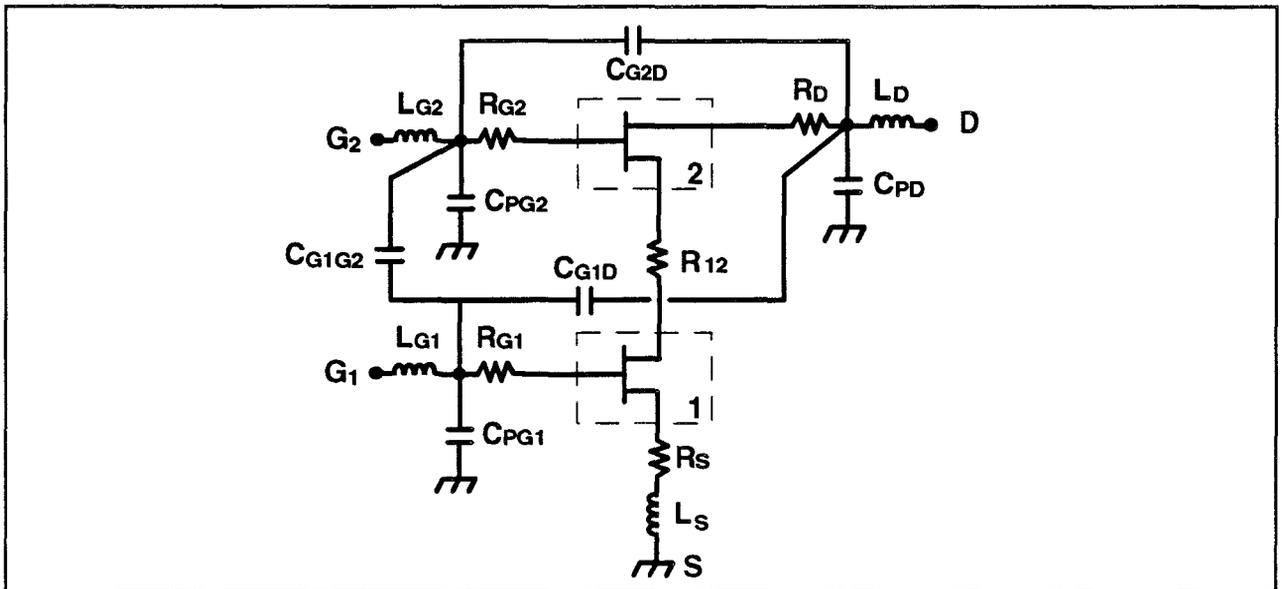


Figure IV.10 : Environnement parasite du transistor bigrille.

### III.1. Les éléments parasites

Rappelons, brièvement, que l'ensemble des éléments parasites (figure IV.10) est déterminé en régime froid à  $V_{DS}=0V$ . En polarisant simultanément les deux grilles en deçà de la tension de pincement, les éléments extrinsèques parallèles (capacités de plots et de couplage inter-électrodes) sont extraits. Puis, la mise en direct des deux grilles nous permet de déduire les éléments séries (résistances et selfs d'accès). Nous avons appliqué ce principe d'extraction sur des composants de largeurs différentes dont les topologies sont schématisées sur la figure IV.11.

Nous distinguons les transistors bigrilles :

- 'mono-doigt' avec un seul doigt par grille de largeur unitaire 50, 75 ou 150 $\mu\text{m}$
- 'multi-doigts' définis par 3 doigts par grille de largeur unitaire 50 ou 100 $\mu\text{m}$ . Des ponts à air assurent la liaison électrique entre les contacts ohmiques de source et de drain, et un seul 'via hole' permet de relier les sources au plan de masse (topologie 'microstrip').

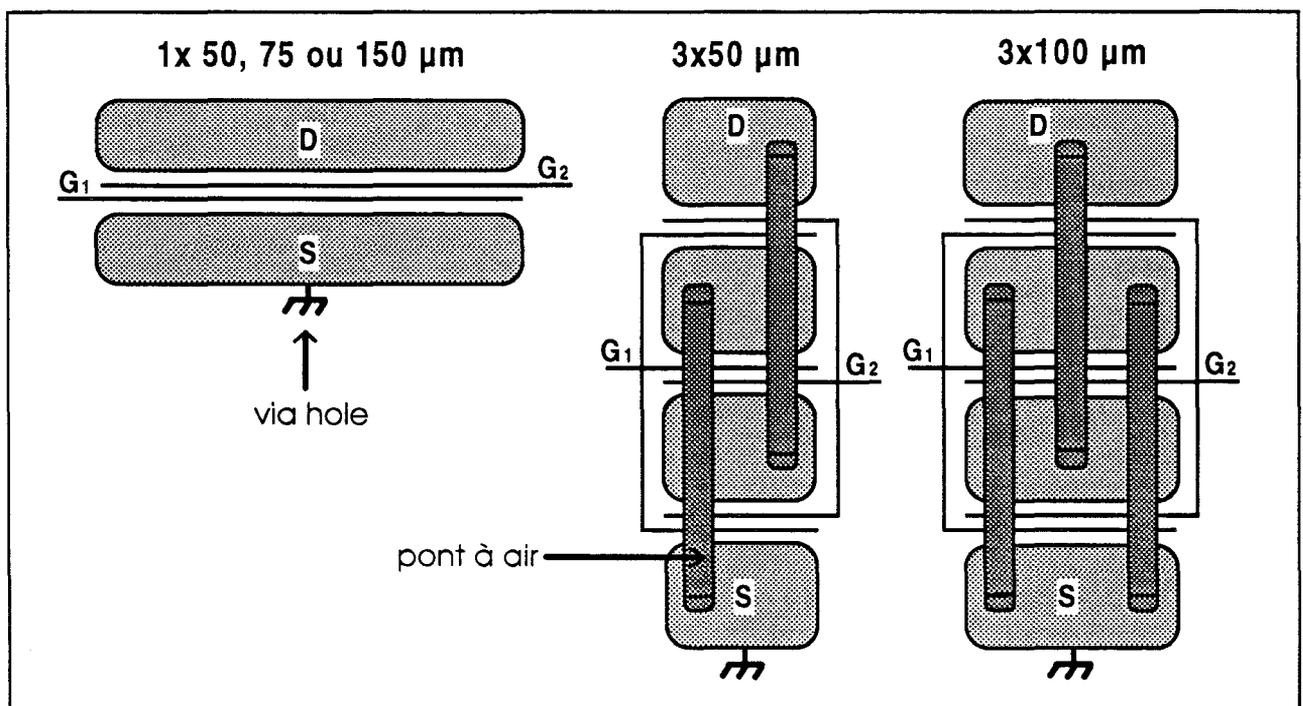


Figure IV.11 : Différentes topologies des transistors bigrilles étudiés.

### III.1.1. Les capacités parasites parallèles

Le tableau ci-dessous rassemble les valeurs moyennes des capacités parasites mesurées sur divers échantillons de filières différentes. Trois développements de grille ont été envisagés (1\*150µm, 3\*50µm et 3\*100µm).

	MESFET 0.5µm			HEMT 0.25µm			PM-HEMT 0.15µm		
	1*150µm	3*50µm	3*100µm	1*150µm	3*50µm	3*100µm	1*150µm	3*50µm	3*100µm
C <sub>pG</sub>	42	39	48	37	37	43	39	43	51
C <sub>pD</sub>	56	57	84	49	54	81	55	50	85
C <sub>G1D</sub>	7	11	15	9	12	18	10	16	15
C <sub>G2D</sub>	10	15	17	11	16	20	25	25	30

(unité : fF)

Remarque : C<sub>pG1</sub>=C<sub>pG2</sub>=C<sub>pG</sub> car les accès de grilles sont rigoureusement identiques.

Ce tableau montre que les capacités de plot de grille sont très peu sensibles au développement du transistor, bien qu'une légère augmentation soit systématiquement constatée pour les composants les plus larges (3\*100µm), et ce quelle que soit la filière. Ce résultat montre que l'origine de ces capacités se situe essentiellement au niveau des zones d'accès.

Au contraire, il apparaît plus nettement qu'une contribution non négligeable des zones actives se retrouve, au même titre que les accès, dans la valeur des capacités de plots de drain. En effet, nous pouvons observer des valeurs de C<sub>pD</sub> environ 55% plus élevées pour les transistors de largeur totale 300µm que pour ceux de largeur 150µm. Cette dépendance de C<sub>pD</sub> en fonction de W s'explique en partie par la variation de la surface totale des contacts ohmiques, qui en regard avec le plan de masse, forment des capacités électrostatiques entrant dans la constitution de C<sub>pD</sub>.

Si beaucoup de paramètres entrent dans la définition des capacités parasites de couplage, l'analyse du tableau révèle l'influence néfaste des ponts à air sur les valeurs des capacités inter-

électrodes  $C_{G1D}$  et  $C_{G2D}$ . Il ressort également et logiquement que la valeur de  $C_{G1D}$  est systématiquement inférieure à celle de  $C_{G2D}$ , compte tenu de l'éloignement respectif des grilles  $G_1$  et  $G_2$  vis-à-vis du drain.

Enfin, signalons que si la capacité intergrille ne figure pas parmi les résultats, c'est que son extraction, qui s'est avérée difficile, a donné régulièrement des valeurs proches du femtoFarad.

### III.1.2. Les résistances parasites

La détermination des résistances d'accès par la méthode dynamique a toujours été en très bon accord avec les résultats issus de la mesure statique. Nous résumons dans le tableau ci-dessous les valeurs typiques obtenues sur des composants pseudomorphiques de longueur de grille  $0.15\mu\text{m}$  (Toutatis et Gringo).

	Toutatis			Gringo				
	1*150 $\mu\text{m}$	3*50 $\mu\text{m}$	3*100 $\mu\text{m}$	1*150 $\mu\text{m}$	3*50 $\mu\text{m}$	1*75 $\mu\text{m}$	1*75 $\mu\text{m}^*$	1*50 $\mu\text{m}$
$R_S$	2.1	2.1	1	1.9	2	3.7	3.9	5.8
$R_D$	2.4	2.3	0.9	2.1	2	4.3	4.2	6.4
$R_{12}$	3	2.6	1.2	2.6	2.7	5.2	3.7	7.8
$R_{G1}$	10.7	4	3.3	7.8	2.7	7.6	8	4.6
$R_{G2}$	10.4	3.7	3.4	7.5	2.3	6.7	7.2	5

(unité :  $\Omega$ )

Nous vérifions à la lecture de ce tableau que les lois d'échelle sont parfaitement respectées pour les résistances d'accès  $R_S$  et  $R_D$ , mais également pour la résistance intergrille  $R_{12}$ . En effet, leurs valeurs évoluent de manière inversement proportionnelle à la largeur totale du transistor.

Il apparaît, notamment pour la structure Gringo, que les grilles sont légèrement décalées vers la source, ce qui se traduit par une résistance de drain plus élevée que la résistance de source. Cet effet se retrouve nettement sur les composants les moins larges, et en particulier sur le transistor de développement  $1*50\mu\text{m}$ .

La comparaison des résultats concernant les deux TECs bigrilles de largeur  $75\mu\text{m}$  (Gringo), et en particulier leur résistance  $R_{12}$ , est en bon accord avec le fait que la distance intergrille du second ( $1*75\mu\text{m}^*$ ) est plus courte que celle du premier ( $1.2\mu\text{m}$  contre  $2\mu\text{m}$ ).

Enfin, concernant les résistances métalliques de grille, il ressort de ce tableau que les grilles des composants Toutatis sont plus résistives que celles des transistors Gringo. Réalisées apparemment avec la même technologie (grilles champignon, métallisation Al/Ni), seules les dimensions plus courtes peuvent expliquer ces écarts. Des mesures statiques effectuées au laboratoire de Thomson TCS sur des motifs 'test' (grilles de  $100\mu\text{m}$ ) ont confirmé ces différences ( $210 \Omega/\text{mm}$  contre  $170 \Omega/\text{mm}$ ). Il faut mentionner par ailleurs que les valeurs des résistances  $R_{G1}$  et  $R_{G2}$  ne vérifient manifestement pas les lois d'échelle théoriques liées à la topologie des composants (largeur unitaire, nombre de doigts de grille). Curieusement, seuls les résultats concernant les transistors dotés d'un seul doigt par grille large de  $150\mu\text{m}$  semblent correspondre aux mesures statiques.

### III.1.3. Les selfs d'accès

La nature strictement équivalente des deux accès de grilles des composants étudiés permet d'affirmer et d'écrire l'égalité des deux selfs parasites  $L_{G1}$  et  $L_{G2}$ , notées ci-après  $L_G$ .

De manière analogue que pour l'étude des capacités parasites, nous présentons ci-dessous les résultats concernant les selfs d'accès, mesurées sur des transistors de filières et de topologies différentes.

	HEMT 0.25 $\mu\text{m}$			PM-HEMT 0.25 $\mu\text{m}$			PM-HEMT 0.15 $\mu\text{m}$		
	1*150 $\mu\text{m}$	3*50 $\mu\text{m}$	3*100 $\mu\text{m}$	1*150 $\mu\text{m}$	3*50 $\mu\text{m}$	3*100 $\mu\text{m}$	1*150 $\mu\text{m}$	3*50 $\mu\text{m}$	3*100 $\mu\text{m}$
$L_S$	30	57	48	30	59	49	29	59	48
$L_D$	80	110	110	80	110	110	80	110	110
$L_G$	110	55	75	110	55	75	110	55	75

(unité : pH)

Précisons que dans ce tableau, les valeurs relatives aux selfs de source représentent précisément les valeurs mesurées, alors que celles concernant les selfs d'accès de grilles et de drain sont les résultats typiquement rencontrés. La raison de cette nuance découle du fait que les valeurs de  $L_G$  et  $L_D$  dépendent sensiblement de la position des pointes de mesure. L'importance de cet effet sera appréciée dans le paragraphe suivant.

De manière générale, ce tableau montre que les valeurs des selfs d'accès parasites semblent liées uniquement à la topologie des transistors, car les mêmes résultats sont obtenus pour une configuration donnée indépendamment de la filière des composants.

La présence des ponts à air reliant les contacts ohmiques de source et de drain des composants 'multi-doigts' se répercute clairement sur les valeurs des selfs d'accès  $L_S$  et  $L_D$ , nettement supérieures à celles des TECs dotés d'un seul doigt par grille (1\*150 $\mu\text{m}$ ). Plus précisément encore, la valeur de  $L_S$ , systématiquement plus faible pour les transistors 3\*100 $\mu\text{m}$  que pour ceux de développement 3\*50 $\mu\text{m}$ , s'explique logiquement par la présence de deux ponts à air en parallèle coté source. Ces résultats expérimentaux corroborent donc parfaitement les prédictions théoriques résumées ci-dessous sous forme d'inégalités :

$$L_S 1*150\mu\text{m} < L_S 3*100\mu\text{m} < L_S 3*50\mu\text{m}$$

$$L_D 1*150\mu\text{m} < L_D 3*100\mu\text{m} = L_D 3*50\mu\text{m}$$

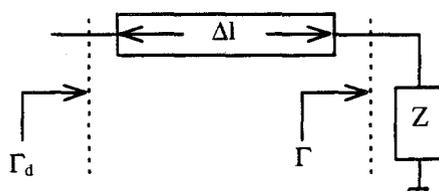
Remarque : La valeur importante de  $L_S$  résulte, certes du comportement selfique des ponts à air, mais aussi du fait qu'un seul 'via hole' relie les électrodes de source au plan de masse. Cette quantité peut être avantageusement réduite en symétrisant le transistor coté source par l'ajout d'un second 'via hole'. Si cette modification s'accompagne d'une légère complication de la topologie du transistor, l'enjeu n'en demeure pas moins négligeable, car cet élément de contre réaction  $L_S$  tend non seulement à limiter le gain de conversion des mélangeurs [13], mais aussi celui des amplificateurs [14].

Enfin, concernant les valeurs des selfs d'accès de grilles, il faut retenir que les tendances globales relevées correspondent aux prévisions théoriques.

#### III.1.4. Influence de la position des sondes de mesure

Malgré la grande précision des mesures, un dernier facteur doit être contrôlé pour éviter la propagation d'erreur, non pas liée à la mesure proprement dite, mais plutôt à son déroulement. Ce paramètre est la position des pointes hyperfréquences, qui en aucun cas ne doit changer tout au long de la caractérisation du transistor. Pour s'en convaincre, nous nous proposons d'évaluer l'influence d'un décalage des plans de mesure sur l'extraction des éléments parasites. Par souci de clarté, les calculs théoriques sont limités au cas du dipôle.

Soit  $Z$  l'impédance d'une charge et  $\Gamma$  son coefficient de réflexion. Nous notons  $\Gamma_d$  la valeur de  $\Gamma$  mesuré au travers d'une ligne sans perte de longueur  $\Delta l$  et d'impédance caractéristique  $Z_0$ . Ce tronçon de ligne simule le décalage.



avec  $\Gamma_d = \Gamma \cdot e^{-2jx}$  et  $\Gamma = \frac{Z - Z_0}{Z + Z_0}$

où  $x = \beta \cdot \Delta l = 2\pi \frac{\Delta l}{\lambda} = \omega \sqrt{\epsilon} \frac{\Delta l}{c}$

L'impédance équivalente  $Z_d$  ramenée à l'entrée de la ligne s'écrit donc :  $Z_d = Z_0 \frac{1 + \Gamma_d}{1 - \Gamma_d}$ ,

qui, en remplaçant l'expression de  $\Gamma_d$ , devient :

$$Z_d = Z_0 \cdot \frac{Z + Z_0 \cdot j \cdot \tan(x)}{Z_0 + Z \cdot j \cdot \tan(x)}$$

Si la ligne est suffisamment courte devant la longueur d'onde ( $\Delta l \ll \lambda$ ), la valeur de la fonction trigonométrique  $\tan(x)$  se confond avec l'argument  $x$ , et cette dernière expression se

simplifie en :

$$Z_d \approx Z_0 \cdot \frac{Z + Z_0 \cdot j \cdot x}{Z_0 + Z \cdot j \cdot x}$$

A ce stade, il nous faut considérer les deux cas rencontrés lors de la détermination des éléments parasites :

- Mesure des selfs  $\Leftrightarrow Z = jL\omega \Rightarrow Z_d \approx j \cdot Z_0 \cdot \frac{L\omega + Z_0 \cdot x}{Z_0 - L\omega \cdot x}$

La fréquence maximale d'extraction des éléments extrinsèques n'excède pas 15GHz, ce qui permet de négliger le terme ' $L\omega \cdot x$ ' devant  $Z_0$ . Ainsi, nous pouvons écrire :

$$Z_d \approx j \cdot (L\omega + Z_0 \cdot x) = j\omega \cdot \left[ L + \frac{Z_0 \cdot x}{\omega} \right]$$

soit

$Z_d \approx j\omega \cdot \left[ L + \underbrace{\frac{Z_0 \cdot \sqrt{\epsilon} \cdot \Delta l}{c}}_{\text{self équivalente apportée par le décalage}} \right]$
---

• Mesure des capacités  $\Leftrightarrow Z=1/jC\omega \Rightarrow Y_d = \frac{1}{Z_d} \approx \frac{j}{Z_0} \cdot \frac{C\omega \cdot Z_0 + x}{1 - C\omega \cdot x \cdot Z_0}$

Pour les mêmes raisons que précédemment, nous pouvons négliger le terme ‘ $C\omega \cdot x \cdot Z_0$ ’

devant ‘1’, soit :

$$Y_d \approx j \cdot \left( C\omega + \frac{x}{Z_0} \right) = j\omega \cdot \left[ C + \frac{x}{\omega \cdot Z_0} \right]$$

et

$$Y_d \approx j\omega \cdot \left[ C + \frac{\sqrt{\epsilon} \cdot \Delta l}{Z_0 \cdot c} \right]$$

*capacité équivalente apportée par le décalage*

L’ensemble des transistors a été réalisé sur substrat GaAs amincis à 100 $\mu\text{m}$  (technologie ‘microstrip’). Les lignes d’accès, d’impédance caractéristique nominale 50 $\Omega$  (largeur 70 $\mu\text{m}$ ), garantissent une valeur proche de 8.4 pour la constante diélectrique effective statique [15]. Ces données permettent d’évaluer quantitativement l’influence des décalages. Nous trouvons qu’un décalage de 20 $\mu\text{m}$  engendre des variations de self de 10pH et de capacités de 4fF.

$$\Delta l = 20\mu\text{m} \quad \Rightarrow \quad \Delta L = 10\text{pH} \quad \text{et} \quad \Delta C = 4\text{fF}$$

Ces résultats numériques, confirmés expérimentalement, dévoilent l’importance de ce phénomène, qu’il convient de ne pas négliger, notamment pour la détermination des selfs de grille et de drain.

Enfin, notons qu’une analyse complémentaire montre que, lors de la mesure des éléments parasites, ces erreurs n’affectent en rien les valeurs des éléments extrinsèques de contre-réaction, à savoir la self de source et les capacités parasites de couplage.

### III.2. Les éléments intrinsèques

Tout comme pour les éléments parasites, nous consacrons cette deuxième partie à la présentation des résultats typiques obtenus expérimentalement et concernant les éléments intrinsèques du transistor bigrille. Rappelons que la configuration cascode a été retenue, après validation, pour représenter électriquement le comportement actif du composant, d'où le schéma équivalent 'petit signal' de la figure IV.12. Nous déterminons ce schéma complet en deux étapes distinctes, destinées à extraire séparément les éléments de l'un et de l'autre transistor monogrille équivalent  $TEC_1$  et  $TEC_2$  (cf. chapitre III).

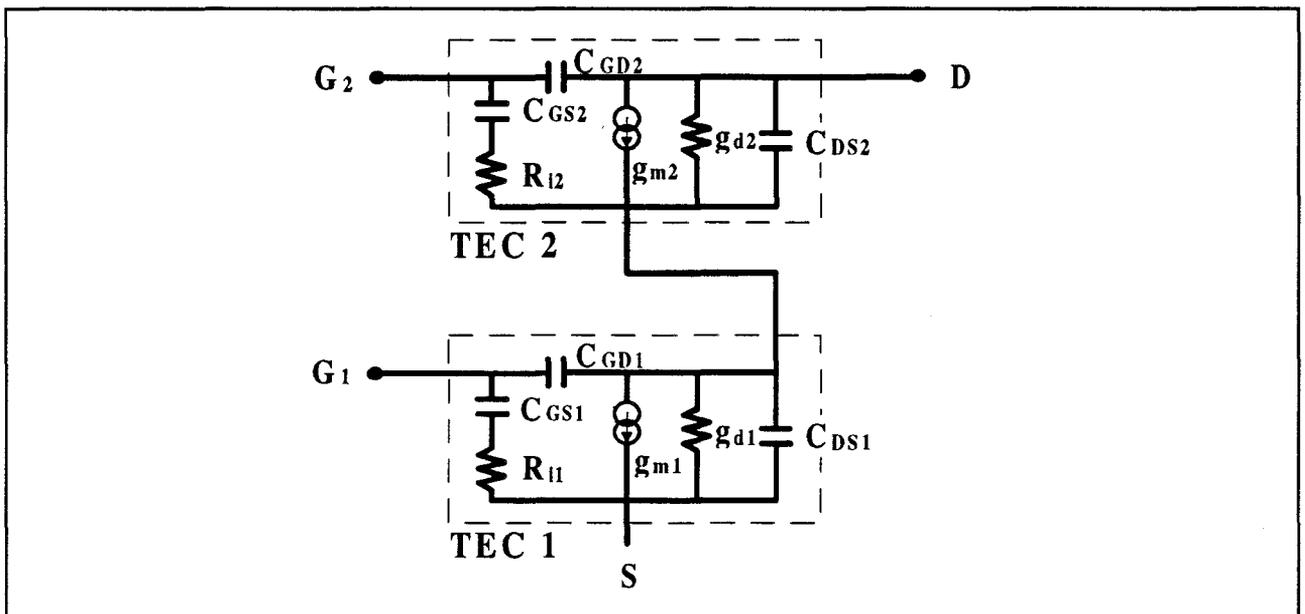


Figure IV.12 : Schéma électrique équivalent du TEC bigrille intrinsèque.

Les évolutions de ces éléments en fonction des tensions de polarisation de grilles  $V_{G1S}$  et  $V_{G2S}$  sont étudiées sur quelques composants afin d'apprécier et de mettre en évidence leurs comportements non-linéaires. Cette étude permet de plus de confirmer les conclusions tirées au chapitre I, quant à l'influence des polarisations sur les régimes de fonctionnement.

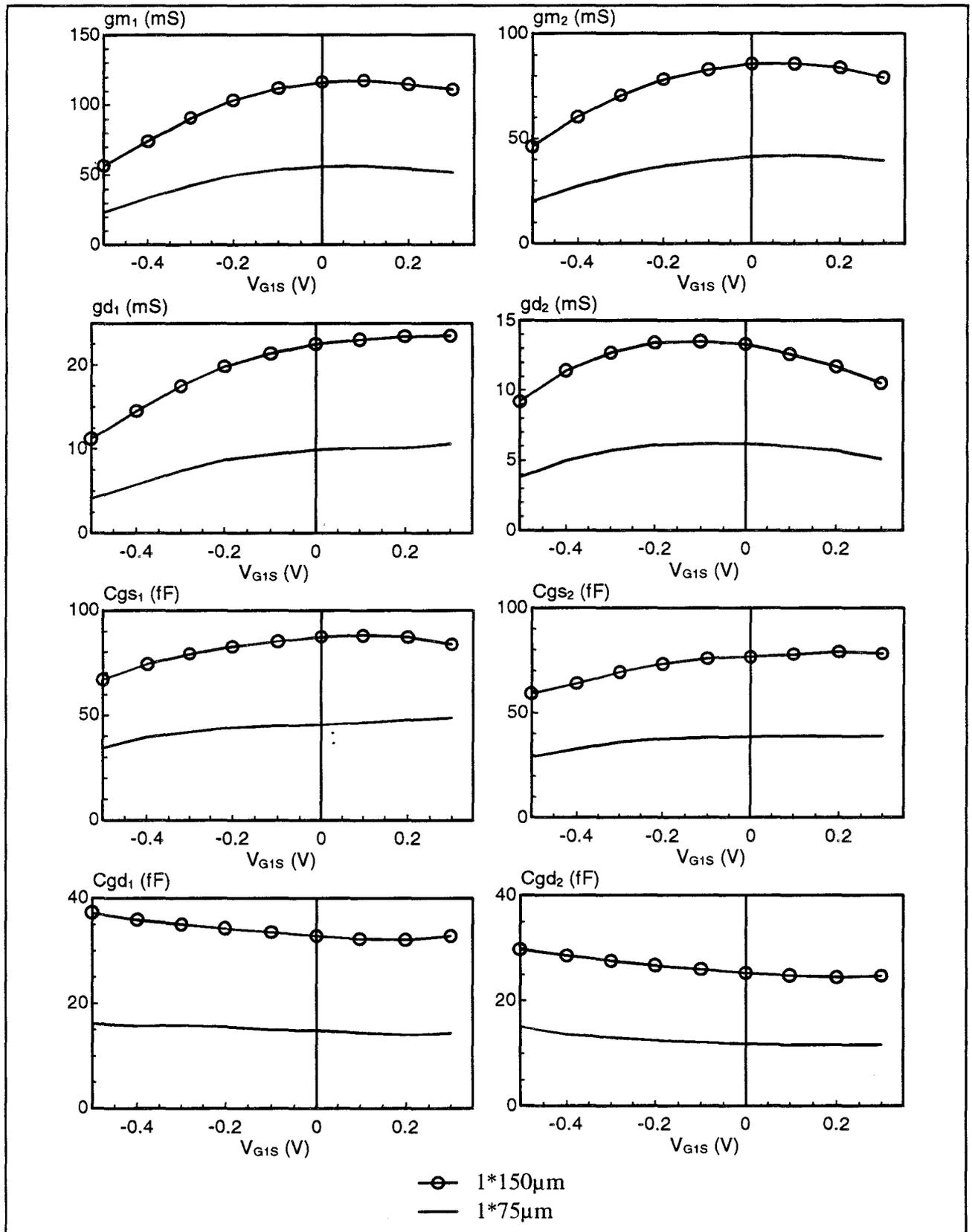


Figure IV.13 : Evolutions en fonction de  $V_{G1S}$  des principaux éléments intrinsèques de 2 TECs bibrilles de largeur différente.  
(PM-HEMTs Gringo  $0.15 \mu\text{m}$ ,  $V_{DS}=3\text{V}$ ,  $V_{G2S}=1\text{V}$ )

### III.2.1. Influence de $V_{GIS}$

Nous avons appliqué notre principe d'extraction sur deux transistors bigrilles de même origine (PM-HEMT Gringo 0.15 $\mu$ m), mais de largeurs différentes, respectivement 75 et 150 $\mu$ m. La figure IV.13 regroupe l'ensemble des évolutions mesurées en fonction de la tension de polarisation de grille  $V_{GIS}$ , des huit éléments intrinsèques principaux, à savoir :

- les transconductances  $g_{m1}$  et  $g_{m2}$
- les conductances de sortie  $g_{d1}$  et  $g_{d2}$
- les capacités d'entrée  $C_{gs1}$  et  $C_{gs2}$
- les capacités de contre-réaction  $C_{gd1}$  et  $C_{gd2}$ .

Chacun de ces paramètres suit remarquablement et indépendamment de  $V_{GIS}$  une loi proportionnelle à la largeur des grilles. Nous vérifions en effet, qu'en tout point, le transistor deux fois plus large (150 $\mu$ m) présente des éléments de valeurs doubles de celles du composant de 75 $\mu$ m, ce qui respecte les lois d'échelle théoriques.

Afin d'apprécier le comportement intrinsèque du TEC bigrille face aux variations de la tension de commande  $V_{GIS}$ , la figure IV.14 présente de nouveau les évolutions précédentes, mais pour un transistor donné (PM-HEMT 0.15 $\mu$ m\*3\*50 $\mu$ m) et pour deux valeurs particulières de la tension  $V_{G2S}$  (0 et 1V).

- Pour  $V_{G2S}=1V$ , nous retrouvons pour les transistors équivalents  $TEC_1$  et  $TEC_2$  des allures classiques couramment rencontrées dans le domaine des composants à effet de champ de type PM-HEMT. Les valeurs relativement faibles des deux conductances de sortie  $g_{d1}$  et  $g_{d2}$  montrent que les transistors  $TEC_1$  et  $TEC_2$  fonctionnent en régime saturé quelle que soit la valeur de la tension appliquée sur la première grille. Cet état de fonctionnement est d'ailleurs confirmé par les faibles valeurs quasi constantes des capacités  $C_{gd1}$  et  $C_{gd2}$ . La transconductance  $g_{m1}$  atteint une valeur maximale de l'ordre de 880mS/mm, ce qui correspond parfaitement aux résultats obtenus pour les composants monogrilles Gringo réalisés sur le même 'wafer' [16].

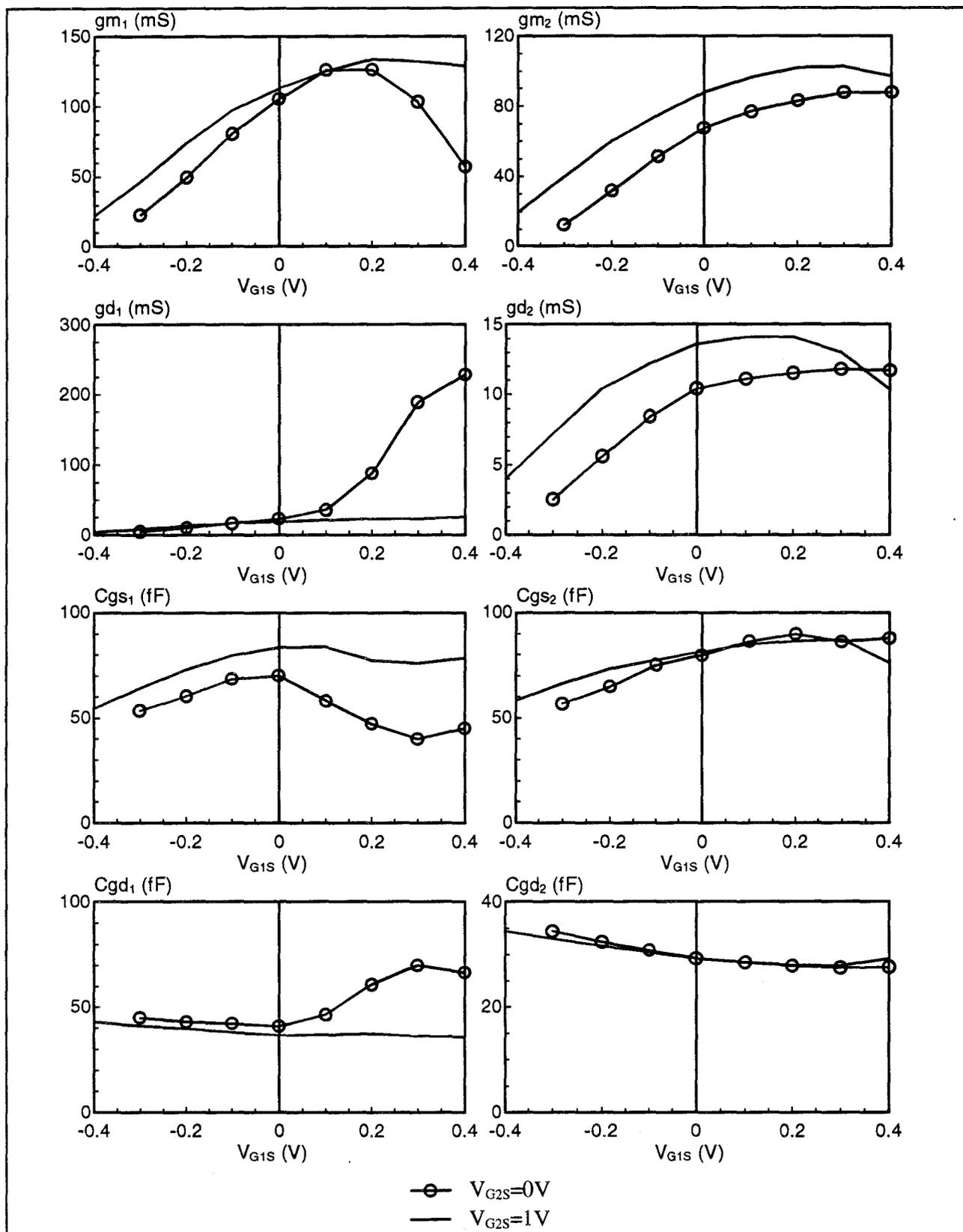


Figure IV.14 : Evolutions en fonction de  $V_{G1S}$  des principaux éléments intrinsèques d'un TEC bigrille pour différentes valeurs de  $V_{G2S}$ .  
(PM-HEMTs Gringo  $0.15\mu m * 3 * 50\mu m$ ,  $V_{DS} = 3V$ )

• Pour  $V_{G2S}=0V$ , les croissances de la conductance de sortie  $g_{d1}$  et de la capacité  $C_{gd1}$  mettent en évidence le passage du régime de saturation au régime linéaire du transistor  $TEC_1$ . Cette transition résulte du potentiel flottant du point  $D_1$ , situé entre les grilles, qui diminue lorsque la tension  $V_{G1S}$  augmente (cf chapitre I). La figure IV.15, représentant le réseau composite du composant concerné, illustre ce phénomène. Nous retrouvons très clairement sur la courbe  $V_{G2S}=0V$ , ce passage de l'état saturé vers l'état linéaire du transistor  $TEC_1$  au fur et à mesure que  $V_{G1S}$  croît. Cet effet n'a pas été observé pour  $V_{G2S}=1V$ , car la valeur de cette tension est dans ce cas suffisamment élevée pour l'empêcher. Enfin, notons que les évolutions des éléments relatifs au  $TEC_2$  montrent que le régime saturé de celui-ci n'est pas affecté par  $V_{G1S}$ .

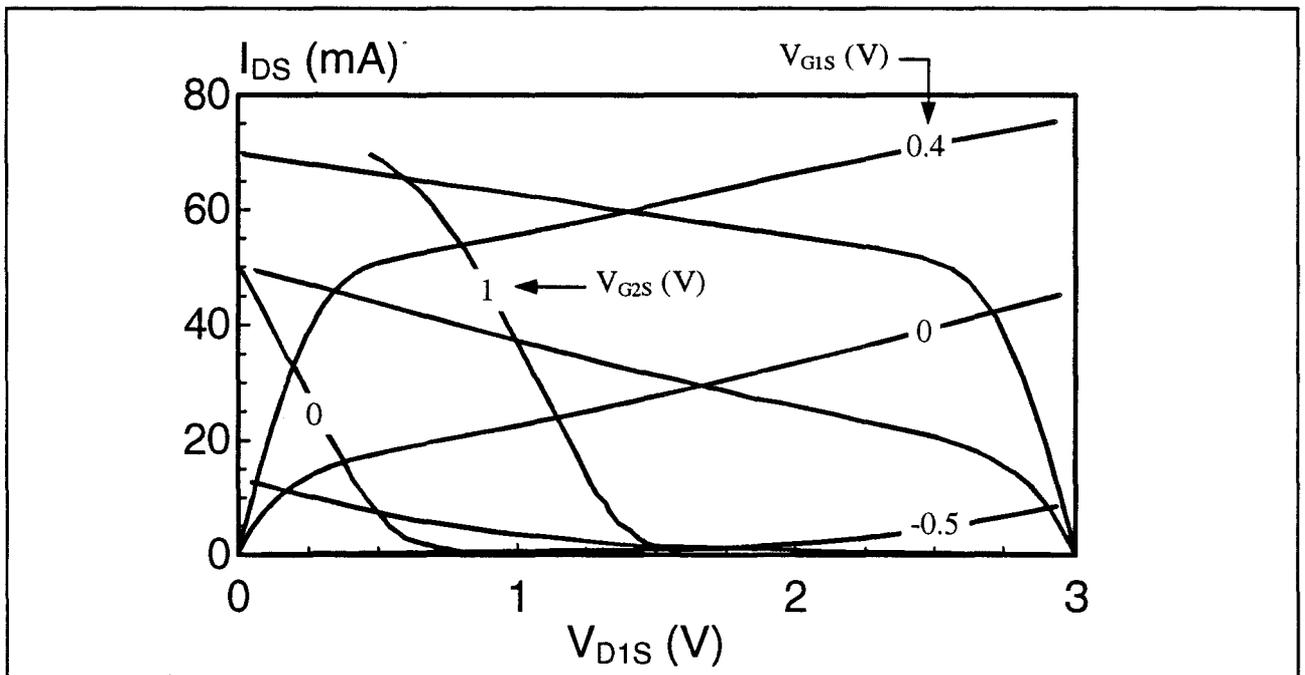


Figure IV.15 : Réseau composite du TEC bigrille PM-HEMT Gringo  $0.15\mu m * 3 * 50\mu m$ ,  $V_{DS}=3V$ .

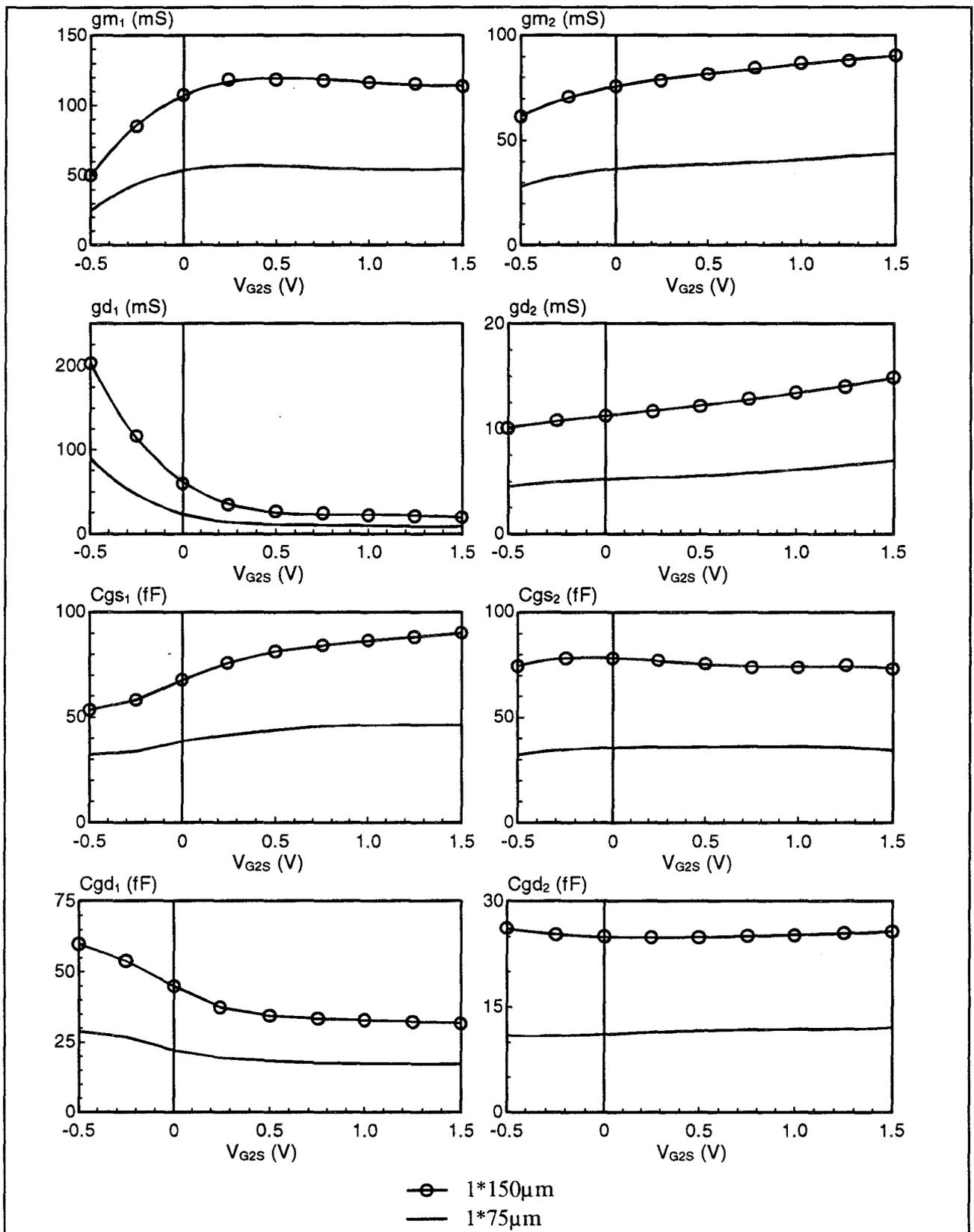


Figure IV.16 : Evolutions en fonction de  $V_{G2S}$  des principaux éléments intrinsèques de 2 TECs bigrilles de largeur différente.  
 (PM-HEMTs Gringo  $0.15 \mu\text{m}$ ,  $V_{DS}=3\text{V}$ ,  $V_{GS}=0\text{V}$ )

### III.2.2. Influence de $V_{G2S}$

L'étude des variations des éléments intrinsèques du TEC bigrille en fonction de la tension  $V_{G2S}$  est, au même titre que  $V_{G1S}$ , très riche en informations concernant le comportement actif du composant. Lorsque ce dernier est destiné à fonctionner en tant que mélangeur, cette étude devient primordiale. En effet, pour ce type d'application, il est généralement courant d'appliquer le signal de l'oscillateur local sur cette électrode  $G_2$ , afin d'exploiter pleinement le comportement non-linéaire du composant bigrille. Ainsi, l'extraction des variations des éléments du schéma équivalent intrinsèque en fonction de cette tension  $V_{G2S}$  constitue une première approche très importante pour l'analyse et la mise au point de cette fonction particulière qu'est le mélange.

Par analogie au cas précédent, nous vérifions avec les mêmes composants (75 et 150 $\mu\text{m}$ ) que les lois d'échelle sont respectées en fonction de la largeur de grille et indépendamment de la tension  $V_{G2S}$ . La figure IV.16 représente les évolutions des huit paramètres principaux mesurés en fonction de la tension de polarisation appliquée sur la seconde grille  $G_2$ . Le constat est de nouveau satisfaisant puisqu'un facteur '2' lie l'ensemble des éléments des deux transistors. Ce résultat souligne la qualité de notre méthode de caractérisation, et en particulier celle de l'extraction des éléments parasites, car ceux-ci influencent directement la valeur des éléments intrinsèques.

Nous avons retenu deux transistors bigrilles de longueur de grilles différentes 0.15 $\mu\text{m}$  (Gringo) et 0.25 $\mu\text{m}$  (Toutatis), afin d'analyser le comportement intrinsèque en fonction de la tension de polarisation  $V_{G2S}$ . Ces composants, dotés de 3 doigts par grille de largeur unitaire 50 $\mu\text{m}$ , sont polarisés de telle façon qu'ils soient parcourus par des courants sensiblement identiques sur la plage de variation de  $V_{G2S}$ . La figure IV.17 représente les réponses en courant de chacun pour  $V_{DS}=3\text{V}$  et pour la tension de commande  $V_{G1S}$  choisie. Le réseau I(V) du transistor  $\text{TEC}_2$  n'apparaît pas par simple souci de clarté et de lisibilité.

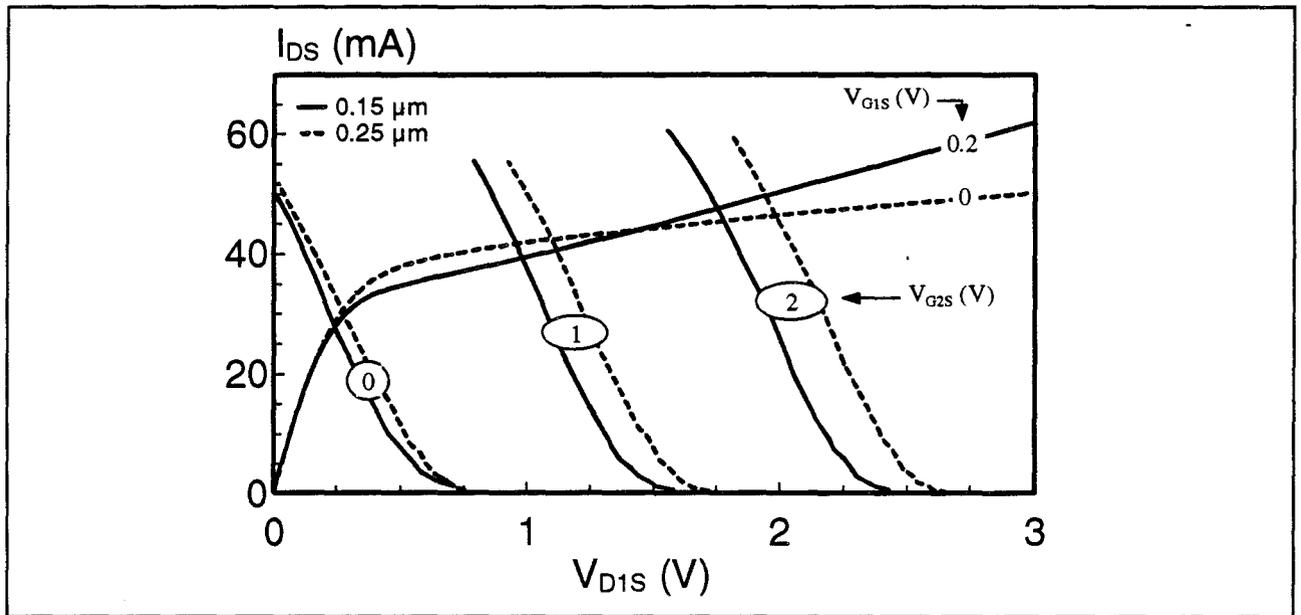


Figure IV.17 : Réseaux composites de 2 TECs bigrilles PM-HEMT  $3 \times 50 \mu\text{m}$ , de longueurs de grilles  $0.15 \mu\text{m}$  (Gringo) et  $0.25 \mu\text{m}$  (Toutatis),  $V_{DS}=3\text{V}$ .

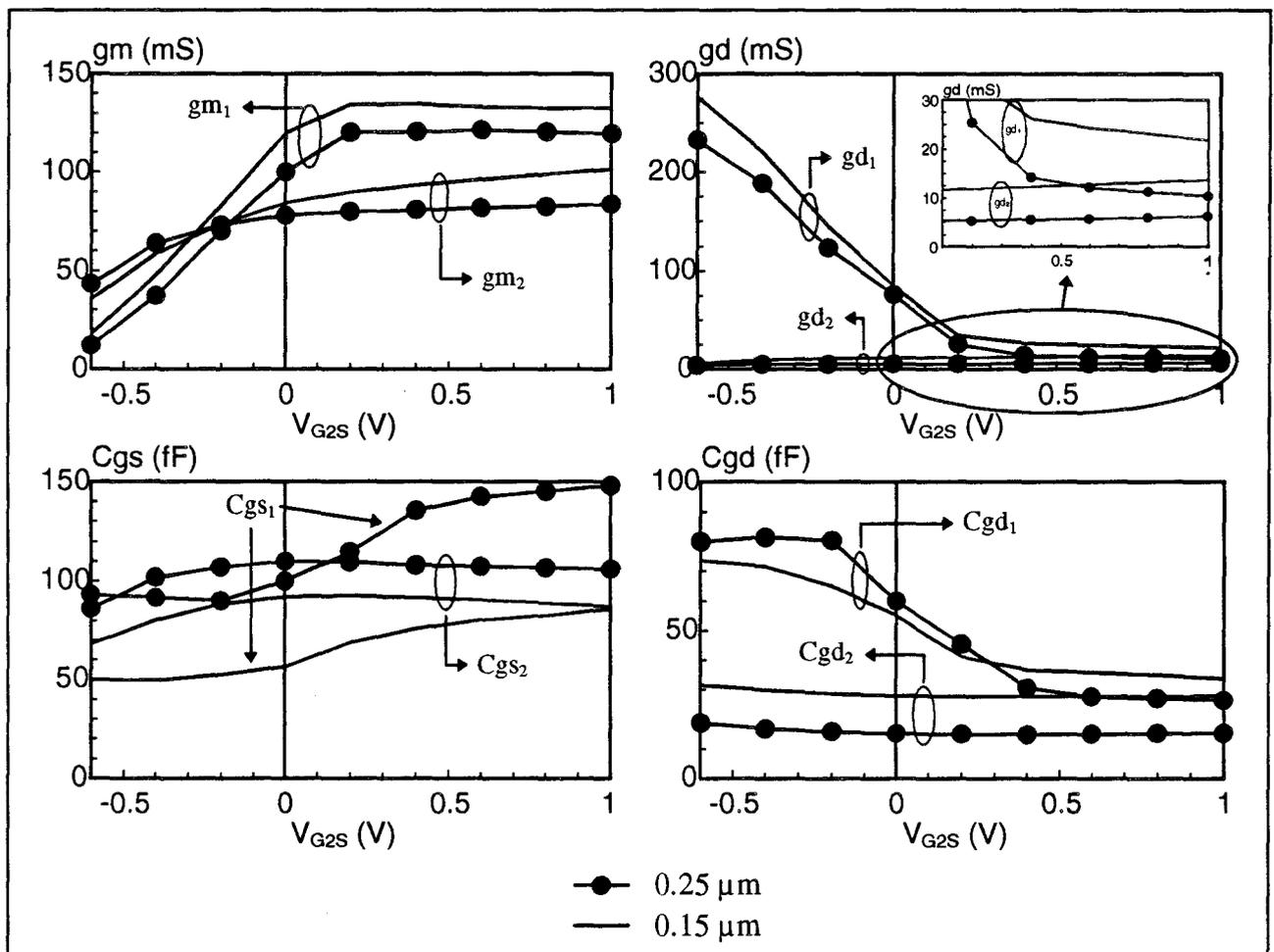


Figure IV.18 : Evolutions en fonction de  $V_{G2S}$  des principaux éléments intrinsèques de 2 TECs bigrilles de longueurs  $0.15 \mu\text{m}$  (Gringo  $V_{G1S}=0.2\text{V}$ ) et  $0.25 \mu\text{m}$  (Toutatis  $V_{G1S}=0\text{V}$ ). (PM-HEMTs  $3 \times 50 \mu\text{m}$ ,  $V_{DS}=3\text{V}$ )

La figure IV.18 illustre les résultats de caractérisation obtenus. Nous retrouvons très nettement, en ce qui concerne les éléments des transistors  $TEC_1$ , des variations typiques et similaires à celles d'un composant monogrille en fonction de la tension  $V_{DS}$ . L'augmentation très nette des conductances  $gd_1$  et des capacités  $Cgd_1$ , constatée lorsque  $V_{G2S}$  diminue, démontre sans ambiguïté que le potentiel du point milieu suit celui appliqué sur la seconde grille. Au contraire, les éléments relatifs aux transistors  $TEC_2$  traduisent parfaitement que ces derniers demeurent saturés sur toute la plage d'étude de  $V_{G2S}$ . Ces comportements correspondent encore aux informations données par les réseaux composites statiques.

Il est intéressant de noter que la réduction de la longueur de grille s'accompagne essentiellement et logiquement d'une diminution notable des capacités d'entrée  $Cgs_1$  et  $Cgs_2$ . Un autre effet, tout aussi avantageux, est l'augmentation des transconductances qui confère ainsi au composant une meilleure commandabilité. Nous vérifions et déplorons en revanche une dégradation des conductances de sortie  $gd_1$  et  $gd_2$  lorsque les longueurs de grilles diminuent, ce qui constitue une limite des composants à grilles ultra courtes.

### **III.3. Le transistor bigrille Quatuor $0.15\mu m * 3 * 25\mu m$**

Nous réservons un paragraphe à la présentation des résultats de caractérisation du transistor bigrille Quatuor  $0.15\mu m * 3 * 25\mu m$  pour deux raisons :

- la première concerne le fait que ce composant a été retenu pour la conception et la réalisation d'un mélangeur millimétrique (contrat Esprit CLASSIC),
- la seconde, parce que la topologie de celui-ci présente une particularité qui le distingue des autres.

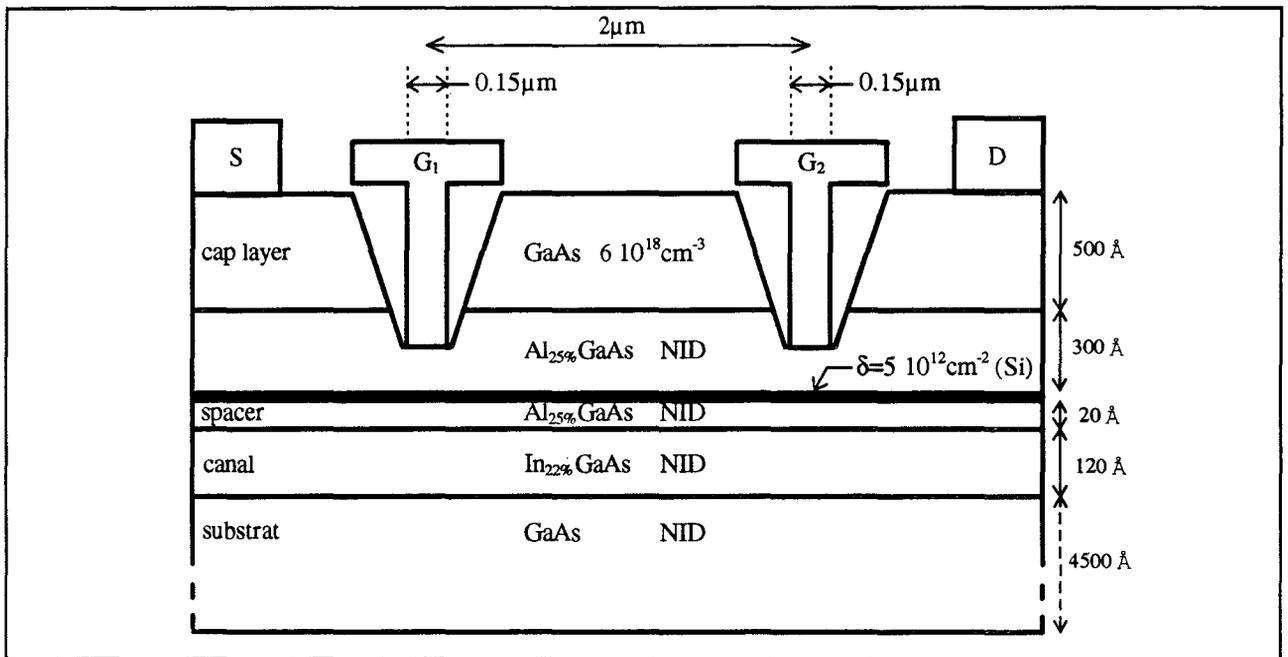


Figure IV.19 : Structure des transistors bigrilles Quatuor fabriqués par Thomson TCS.

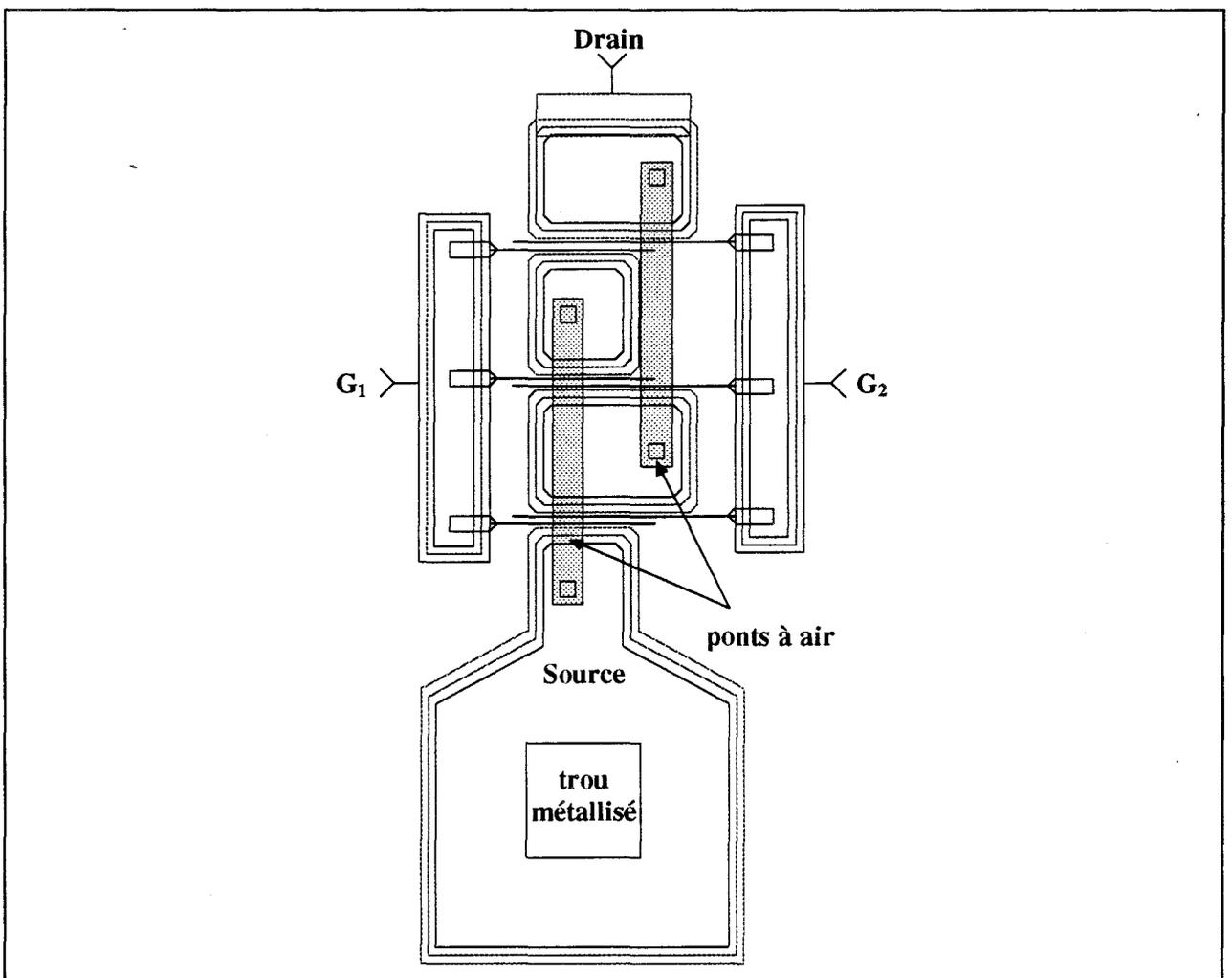


Figure IV.20 : Topologie du transistor bigrille Quatuor  $0.15\mu\text{m} \times 3 \times 25\mu\text{m}$ .

Ce transistor, dont la structure épitaxiale est décrite sur la figure IV.19, est issu de la technologie pseudomorphique AlGaAs/InGaAs/GaAs de la fonderie Thomson TCS. La figure IV.20 représente la topologie de celui-ci, qui est largement inspirée de celle des TECs 3\*50µm étudiés précédemment. Deux modifications ont dû être cependant apportées compte tenu de la faible largeur unitaire des grilles :

- réduction de la largeur des ponts à air
- élargissement des plots de contacts ohmiques de drain vers la grille  $G_2$ , afin de pouvoir les relier entre eux électriquement par un pont à air. Il résulte de cette adaptation que la seconde grille est physiquement plus large que la première.

### III.3.1. Les éléments parasites

Les tableaux ci-dessous regroupent l'ensemble des valeurs typiques des éléments parasites mesurés sur plusieurs échantillons :

Capacités (fF)				Résistances ( $\Omega$ )					Selfs (pH)			
$C_{pG}$	$C_{pD}$	$C_{G1D}$	$C_{G2D}$	$R_S$	$R_D$	$R_{I2}$	$R_{G1}$	$R_{G2}$	$L_S$	$L_D$	$L_{G1}$	$L_{G2}$
38	45	9	15	3.6	3.5	5.1	4.2	5.4	62	110	45	45

Concernant les capacités parasites, nous obtenons des valeurs sensiblement identiques à celles mesurées sur les composants précédents. Les mêmes difficultés ont été rencontrées quant à l'extraction de la capacité de couplage intergrille  $C_{G1G2}$ .

Les résistances  $R_S$  et  $R_D$  montrent que les grilles  $G_1$  et  $G_2$  sont équidistantes respectivement de la source et du drain. L'inégalité des résistances de grilles  $R_{G2} > R_{G1}$  exprime

remarquablement que la seconde grille est plus large que la première. Cette différence ne semble pas avoir d'incidence sur les valeurs de selfs de grille, mais il est difficile de l'affirmer car celles-ci, tout comme la self d'accès  $L_D$ , dépendent de la position des sondes de mesure.

Enfin, la valeur de  $L_S$ , indépendante des plans de mesure, accuse une légère augmentation de 3pH par rapport aux valeurs mesurées sur les composants de développement  $3 \times 50 \mu\text{m}$ . Cette augmentation, certes faible, n'est pas liée à la précision des mesures, mais résulte directement de la largeur plus faible des ponts à air reliant les contacts ohmiques de source.

### III.3.2. Les éléments intrinsèques

La figure IV.21 traduit la réponse en courant du composant étudié en fonction des tensions de polarisation externes  $V_{G1S}$  et  $V_{G2S}$ , pour  $V_{DS}=3V$ . Le réseau I(V) du transistor équivalent  $TEC_2$  n'y figure pas pour ne pas alourdir ce graphique. L'approche non-linéaire

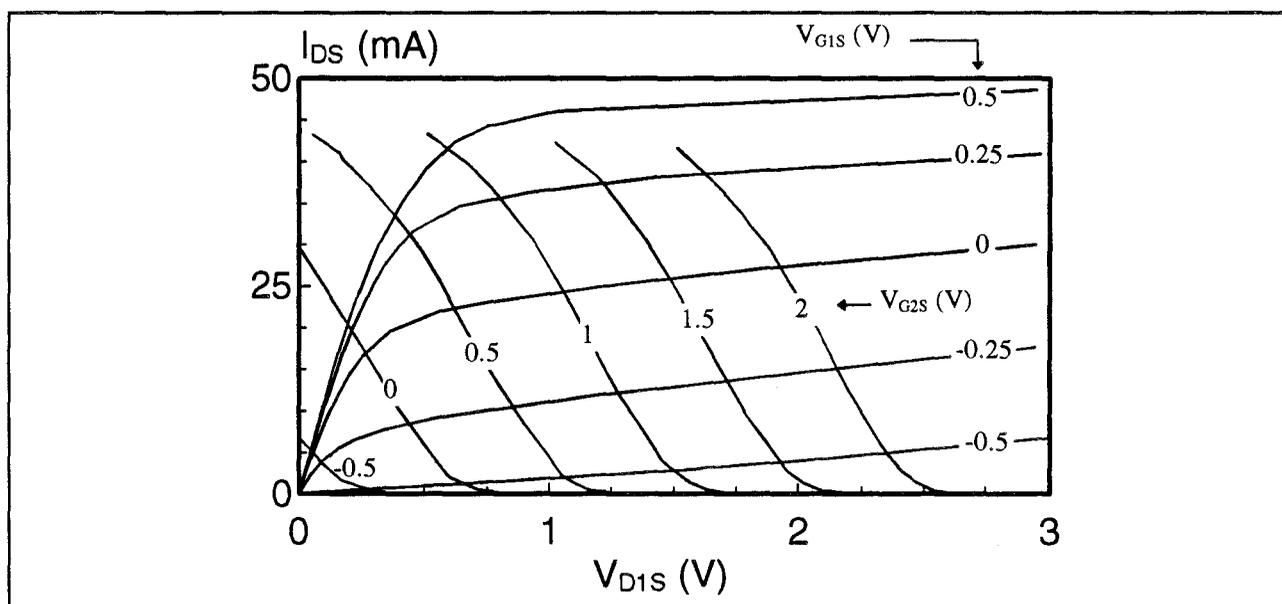


Figure IV.21 : Réseau composite du TEC bigrille PM-HEMT Quatuor  $0.15 \times 3 \times 25 \mu\text{m}^2$ ,  $V_{DS}=3V$ .

entreprise pour ce composant s'est limitée à la zone utile de fonctionnement retenue pour la conception du mélangeur.

Les résultats obtenus sont présentés sur la figure **IV.22**, qui illustre les variations des principaux éléments intrinsèques en fonction des tensions de polarisation de grilles  $V_{G1S}$  et  $V_{G2S}$ . Les mêmes échelles ont été respectées, sauf pour les conductances de sortie  $gd_1$  et  $gd_2$ , afin d'apprécier la contribution de chacun des deux transistors par rapport à l'autre.

De manière générale, ces courbes confirment que la zone des tensions de polarisation étudiée est propice à générer la fonction de mélange, essentiellement au niveau du transistor  $TEC_1$ . En effet, il apparaît très nettement que l'application du signal de l'oscillateur local sur la seconde grille entraîne un comportement fortement non linéaire du  $TEC_1$ , contraint à opérer alternativement en régimes saturé et linéaire. Les variations de la conductance de sortie  $gd_1$  et de la capacité de contre-réaction  $Cgd_1$  témoignent de ces changements d'états. Au contraire, les valeurs des éléments du  $TEC_2$ , et plus particulièrement  $gd_2$  et  $Cgd_2$  traduisent le maintien en régime de saturation de celui-ci, qui fonctionne alors en tant qu'amplificateur.

Ces caractéristiques intrinsèques ont fait l'objet d'une modélisation basée sur des expressions mathématiques spécifiques développées au laboratoire pour des applications d'amplification de puissance [17]. Le modèle du transistor bigrille a pu ainsi être implanté au sein du logiciel commercial MDS (Hewlett Packard), pour le développement et la mise au point du mélangeur [18].

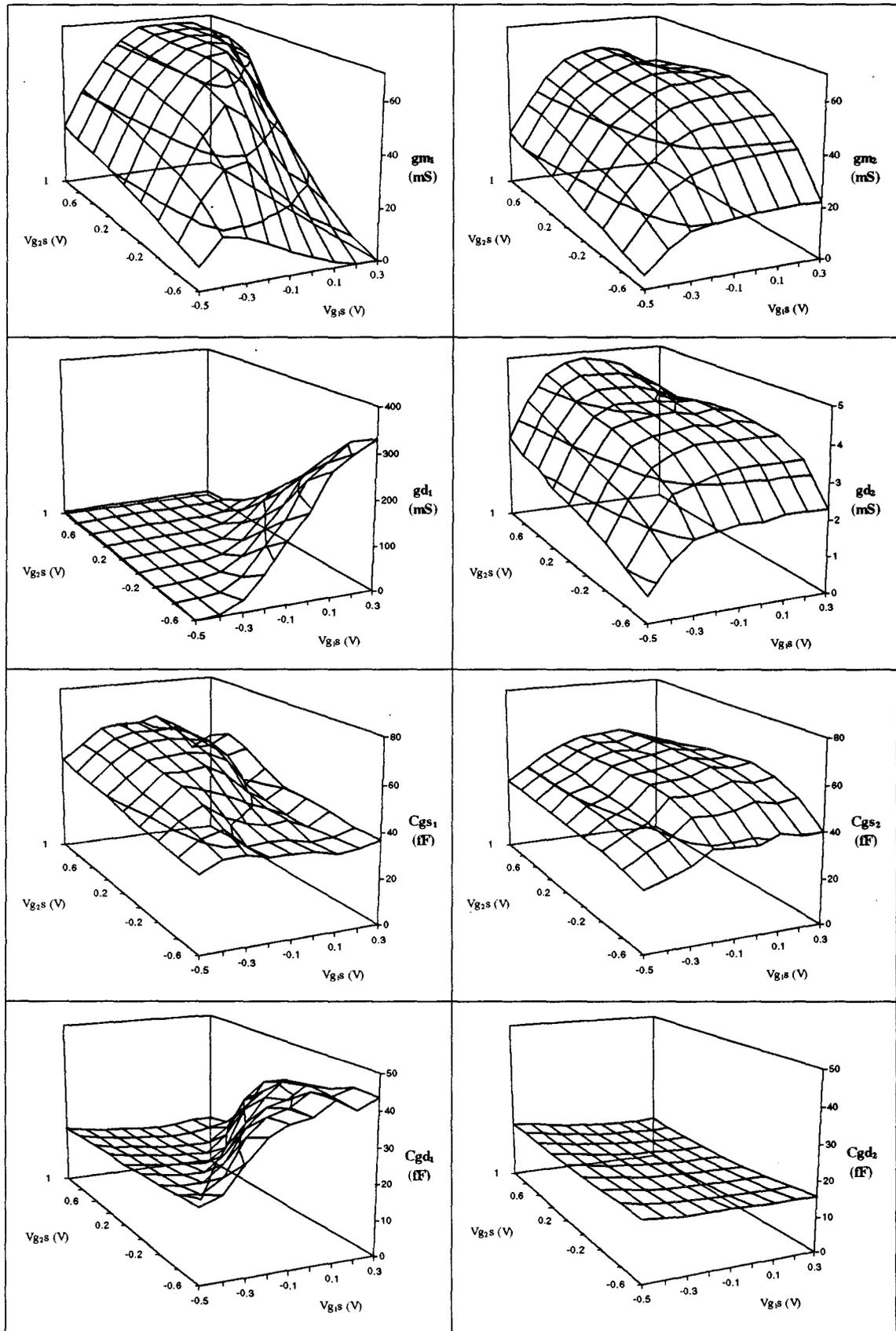


Figure IV.22 : Evolutions en fonction de  $V_{G1S}$  et de  $V_{G2S}$  des principaux éléments intrinsèques du TEC bigrille Quatuor  $0.15\mu\text{m} \times 3 \times 25\mu\text{m}$ ,  $V_{DS}=3\text{V}$

### III.4. Conclusion

Nous avons présenté dans ce paragraphe les principaux résultats obtenus expérimentalement en appliquant la méthode de caractérisation mise au point et décrite dans les chapitres précédents.

L'étude et l'analyse des éléments parasites se sont avérées en bon accord avec les différentes topologies des transistors expérimentés, qui ont été fabriqués par Thomson TCS. Les lois d'échelle théoriques, qui régissent l'évolution des résistances d'accès en fonction de la largeur des grilles, ont été vérifiées, de même que l'influence directe de la distance intergrille sur la valeur de la résistance  $R_{12}$ . Par ailleurs, la corrélation avec les valeurs de la self  $L_s$  et la présence des ponts à air, a été mise en évidence. Nous avons également évoqué l'importance et l'influence de la position des sondes de mesure sur la valeur des éléments parasites.

Concernant les éléments intrinsèques du TEC bigrille, les évolutions mesurées en fonction des tensions de polarisation ont montré d'une part, la complexité du fonctionnement de celui-ci, et d'autre part, la cohérence des résultats avec les prédictions théoriques. Les différents régimes de fonctionnement, prévus par les réseaux composites statiques, ont été clairement identifiés.

Enfin, nous avons présenté brièvement les caractéristiques obtenues pour le transistor Quatuor  $0.15\mu\text{m} \times 3 \times 25\mu\text{m}$ , composant spécialement réalisé pour la conception d'un mélangeur millimétrique en bande V dans le cadre du contrat européen Esprit CLASSIC.

Si l'ensemble des résultats présentés dans ce paragraphe sont satisfaisants et cohérents, il convient pour compléter ces travaux de montrer leur validité, ce qui constitue l'objet de la partie suivante.

#### IV. VALIDATION DE LA METHODE DE CARACTERISATION

Cette dernière partie est consacrée à la validation de toute la méthodologie mise en place pour extraire le schéma électrique équivalent du transistor à effet de champ bigrille. La cohérence générale de l'ensemble des résultats précédents constitue un premier élément positif et encourageant pour cette étape importante de nos travaux.

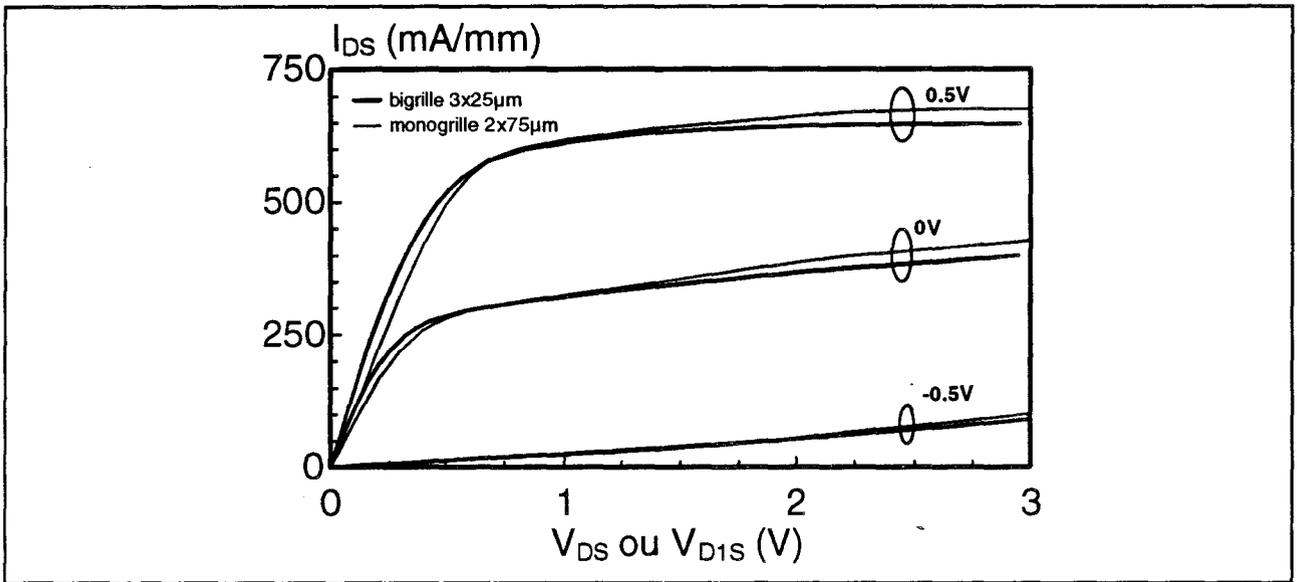


Figure IV.23 : Comparaison des réponses  $I_{DS}(V_{DS})$  d'un TEC monogrille et  $I_{DS}(V_{D1S})$  du transistor équivalent  $TEC_1$  d'un bigrille (PM-HEMTs Quatuor  $0.15\mu m$ ).

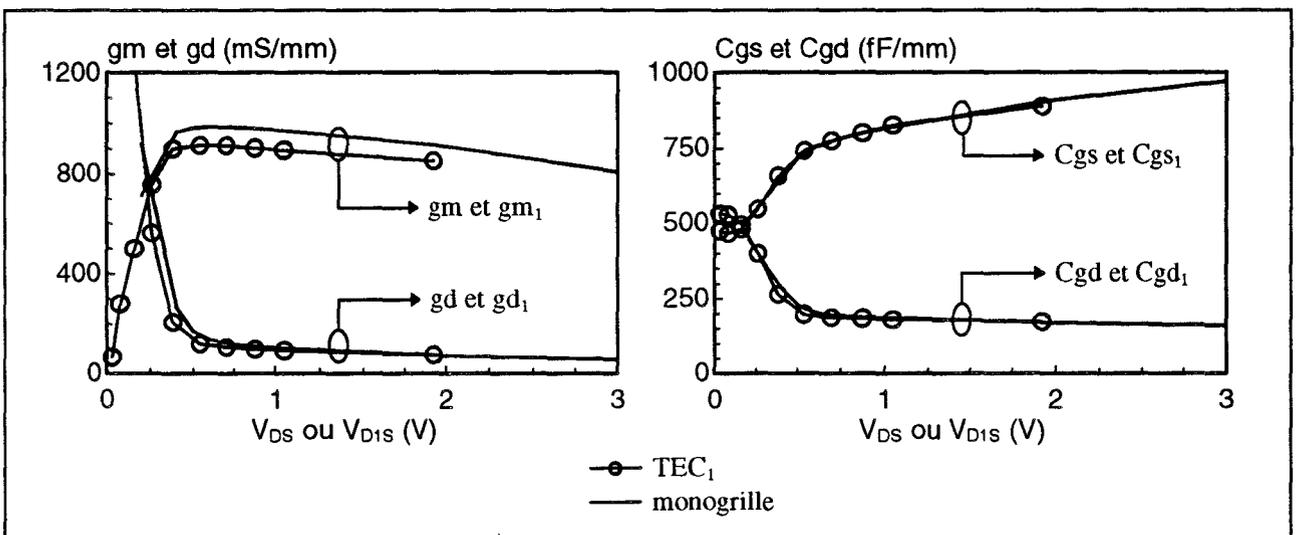


Figure IV.24 : Evolutions en fonction de  $V_{DS}$  (ou  $V_{D1S}$ ) des principaux éléments intrinsèques d'un TEC monogrille ( $2*75\mu m$ ) et du transistor équivalent  $TEC_1$  d'un bigrille ( $3*25\mu m$ ). (PM-HEMTs Quatuor  $0.15\mu m$ ,  $V_{GS}=V_{G1S}=0V$ )

Outre les comparaisons classiques des paramètres  $S_{ij}$  mesurés et ceux calculés à partir des éléments du schéma équivalent, nous avons envisagé d'autres types de confrontation qui permettent de conclure sur la validité de nos résultats.

#### IV.1. Comparaison 'bigrille-monogrille'

La caractérisation 'petit signal' des transistors à effet de champ monogrilles, et en particulier l'extraction du schéma équivalent, est aujourd'hui une technique courante et maîtrisée. Développée et implantée au sein du laboratoire, la méthode de G. Dambrine [19] représente une référence en la matière. Il nous semble donc intéressant de confronter nos résultats à ceux obtenus pour des composants monogrilles.

Pour ce faire, nous comparons les éléments intrinsèques du transistor équivalent  $TEC_1$  extraits avec notre méthode de caractérisation, et ceux d'un composant monogrille de paramètres technologiques identiques. Nous avons retenu pour cette étude, deux transistors issus de la même filière pseudomorphique Quatuor 0.15 $\mu$ m de développement de grille 3\*25 $\mu$ m pour le transistor bigrille, et 2\*75 $\mu$ m pour le monogrille. La figure IV.23 illustre les caractéristiques I(V) de chacun et montre que les courants sont sensiblement identiques.

Les schémas équivalents ont été extraits dans les mêmes conditions de polarisation en fonction des tensions 'drain-source', afin de contrôler la validité de nos travaux, aussi bien en régime saturé, qu'en régime linéaire. Si pour le TEC monogrille, la tension  $V_{DS}$  peut être directement appliquée, celle du transistor équivalent  $TEC_1$ , à savoir  $V_{DIS}$ , requiert impérativement l'utilisation du réseau composite. En effet, le point interne  $D_1$  étant inaccessible pratiquement, nous ne pouvons imposer son potentiel que par le biais de la tension de polarisation externe  $V_{G2S}$ , qui, comme nous l'avons décrit dans le chapitre I, a une influence décisive sur celui-ci.

La figure IV.24 présente les résultats de cette confrontation expérimentale, concernant les

principaux éléments intrinsèques. Un excellent accord est obtenu quel que soit le régime de fonctionnement, ce qui confirme d'une part la qualité et l'exactitude de nos résultats, et d'autre part, la précision et la maîtrise d'utilisation de l'outil qu'est le réseau composite.

#### IV.2. Comparaison 'mesure-simulation'

La simulation physique de composants est à ce jour, non seulement utile mais absolument nécessaire pour l'optimisation des structures de plus en plus complexes, qui mettent en jeu de nombreux paramètres technologiques. L'amélioration des connaissances sur les comportements

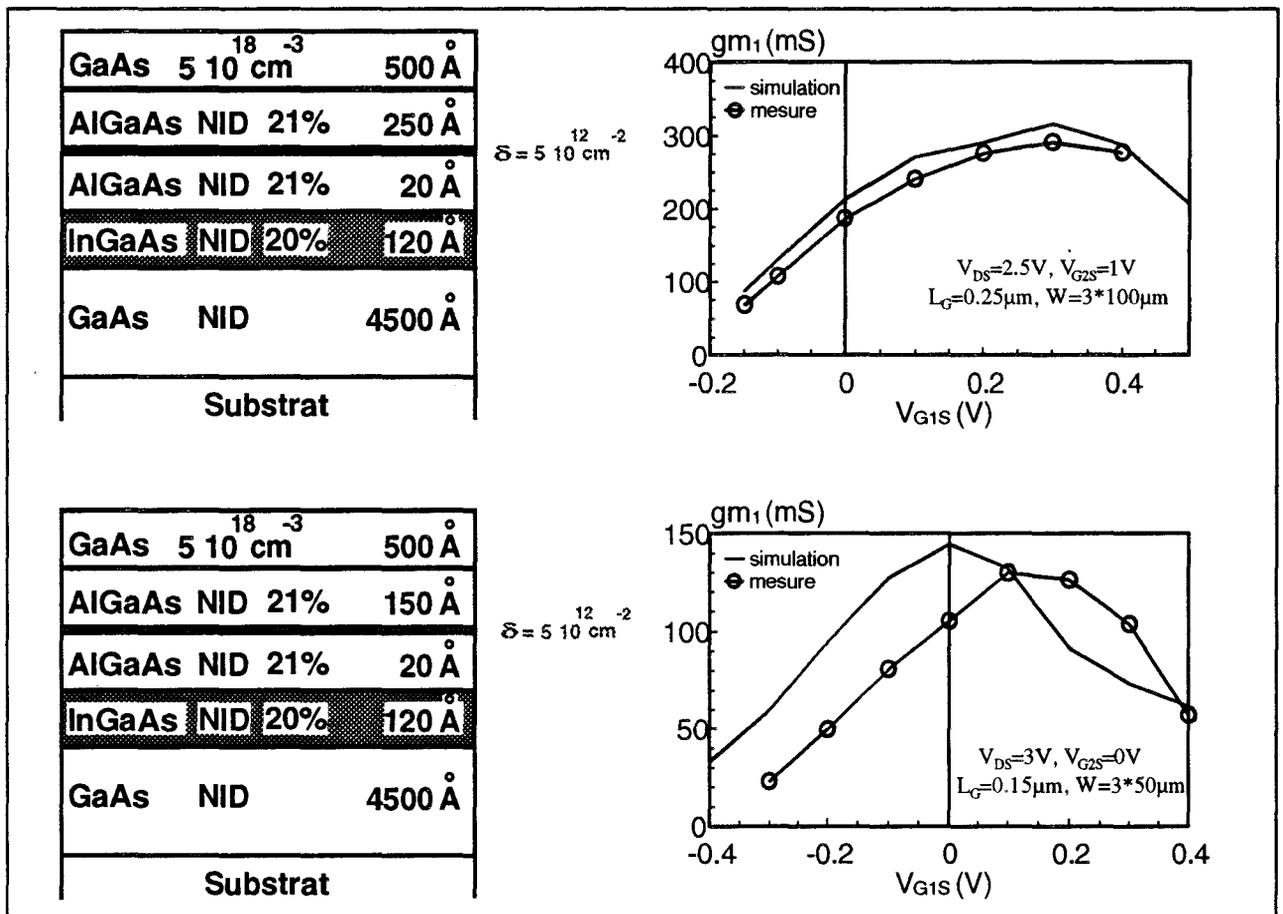


Figure IV.25 : Evolutions en fonction de  $V_{G1S}$  des transconductances intrinsèques  $gm_1$  de TECs bigrilles, issues de la mesure et de la simulation physique (modèle pseudo-bidimensionnel).

ou phénomènes physiques fait également partie des objectifs liés au développement de tels simulateurs. Différents modèles ont ainsi vu le jour au sein de notre laboratoire, comme :

- les modèles *Monté Carlo* basés sur la résolution microscopique de l'équation de transport de Boltzmann (ETB). Ces solutions semblent aujourd'hui constituer les modèles les plus précis, mais aussi les plus gourmands en temps de calcul, donc difficiles à manipuler pour des études paramétriques.

- les modèles *hydrodynamiques bidimensionnels* utilisant des équations dérivées de l'ETB, à savoir, les équations de conservation des charges, du moment et de l'énergie, associées à l'équation de Poisson.

- les modèles *pseudo-bidimensionnels* qui réduisent à une dimension l'étude des phénomènes de transport le long de l'axe longitudinal 'source-drain', le contrôle de charge étant effectué suivant l'axe transversal par le biais des équations de Schrödinger et de Poisson.

Compte tenu de la complexité des transistors à effet de champ de type bigrille, nous comparons nos résultats à ceux issus du modèle pseudo-bidimensionnel [20], qui en raison de sa relative simplicité, a l'avantage d'offrir des temps de calcul tout à fait raisonnables.

Nous avons envisagé de confronter les transconductances intrinsèques  $gm_1$  de deux transistors bigrilles pseudomorphiques de longueur de grille  $0.25\mu\text{m}$  et  $0.15\mu\text{m}$ . La figure **IV.25** présente les évolutions de ces éléments en fonction de la tension de polarisation  $V_{G1S}$ , ainsi que la structure épitaxiale des TECs étudiés. Une excellente concordance est constatée, en ce qui concerne les composants dotés de grilles de longueur  $0.25\mu\text{m}$ . Pour les composants à grilles très courtes ( $0.15\mu\text{m}$ ), si nous relevons un léger décalage des courbes, lié à la différence des tensions de pincement, les allures sont identiques et les valeurs maximales tout à fait comparables.

Ces résultats, jugés très satisfaisants étant donné les hypothèses simplificatrices du modèle, valident notre méthode d'extraction.

### IV.3. Comparaison des paramètres $S_{ij}$

Ce troisième point de l'étude de la validité de nos résultats consiste à vérifier que les paramètres Scattering  $S_{ij}$  calculés à partir du schéma équivalent extrait, correspondent à ceux issus de la mesure. Ce contrôle s'effectue de manière classique en fonction de la fréquence pour un point de polarisation donné. En toute rigueur, il faudrait entreprendre ces comparaisons pour tous les points, mais il n'est pas possible d'envisager une telle étude dans le cadre de ce mémoire. Nous présentons néanmoins ces confrontations dans deux cas particuliers de polarisation pour le transistor bigrille Quatuor  $0.15\mu\text{m} \times 3 \times 25\mu\text{m}$  présenté précédemment. Le réseau composite représenté sur la figure IV.26 fait apparaître les conditions de polarisations statiques choisies. Nous distinguons :

- le point A :  $V_{DS}=3\text{V}$ ,  $V_{G1S}=0\text{V}$ ,  $V_{G2S}=1\text{V}$ , pour lequel les deux transistors équivalents  $\text{TEC}_1$  et  $\text{TEC}_2$  opèrent en régime de saturation.
- le point B :  $V_{DS}=3\text{V}$ ,  $V_{G1S}=0\text{V}$ ,  $V_{G2S}=-0.4\text{V}$ , qui impose le régime de fonctionnement linéaire pour le  $\text{TEC}_1$ , le  $\text{TEC}_2$  restant saturé.

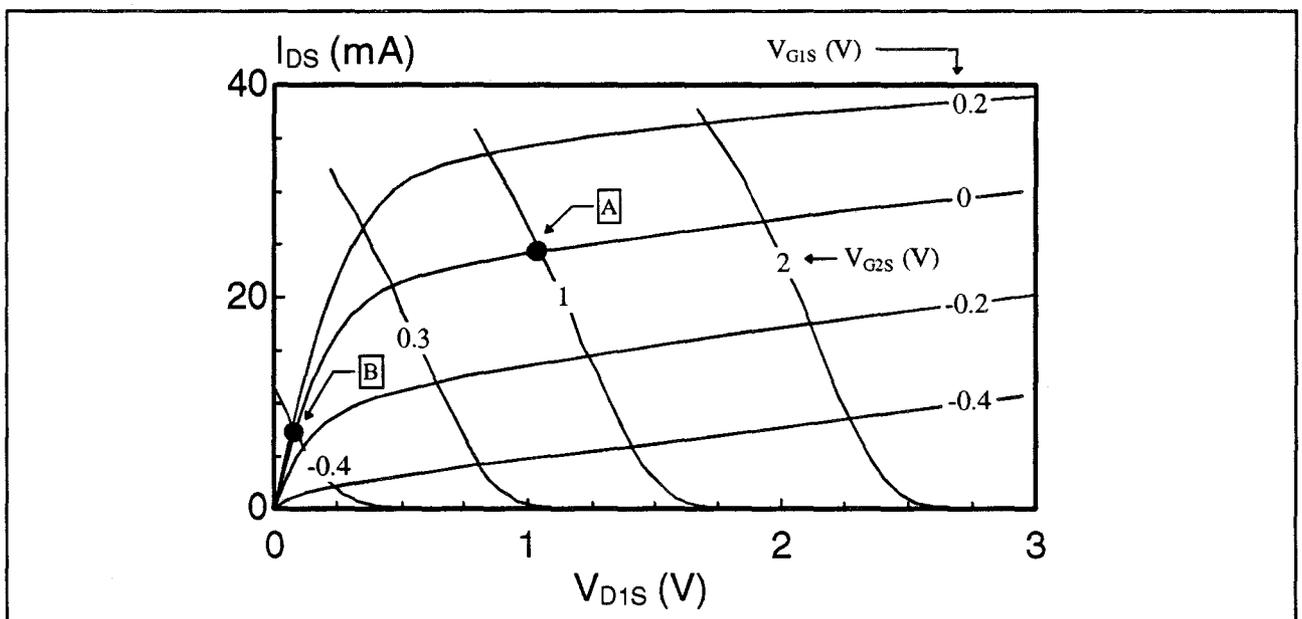


Figure IV.26 : Réseau composite du transistor bigrille PM-HEMT Quatuor  $0.15\mu\text{m} \times 3 \times 25\mu\text{m}$ .

Les évolutions des paramètres  $S_{ij}$ , représentés sur les figures IV.27 et IV.28, montrent que dans l'ensemble un excellent accord est respecté sur toute la bande de fréquence de mesure. Précisons qu'aucune optimisation n'a été entreprise, et que seules les valeurs directement extraites ont été utilisées.

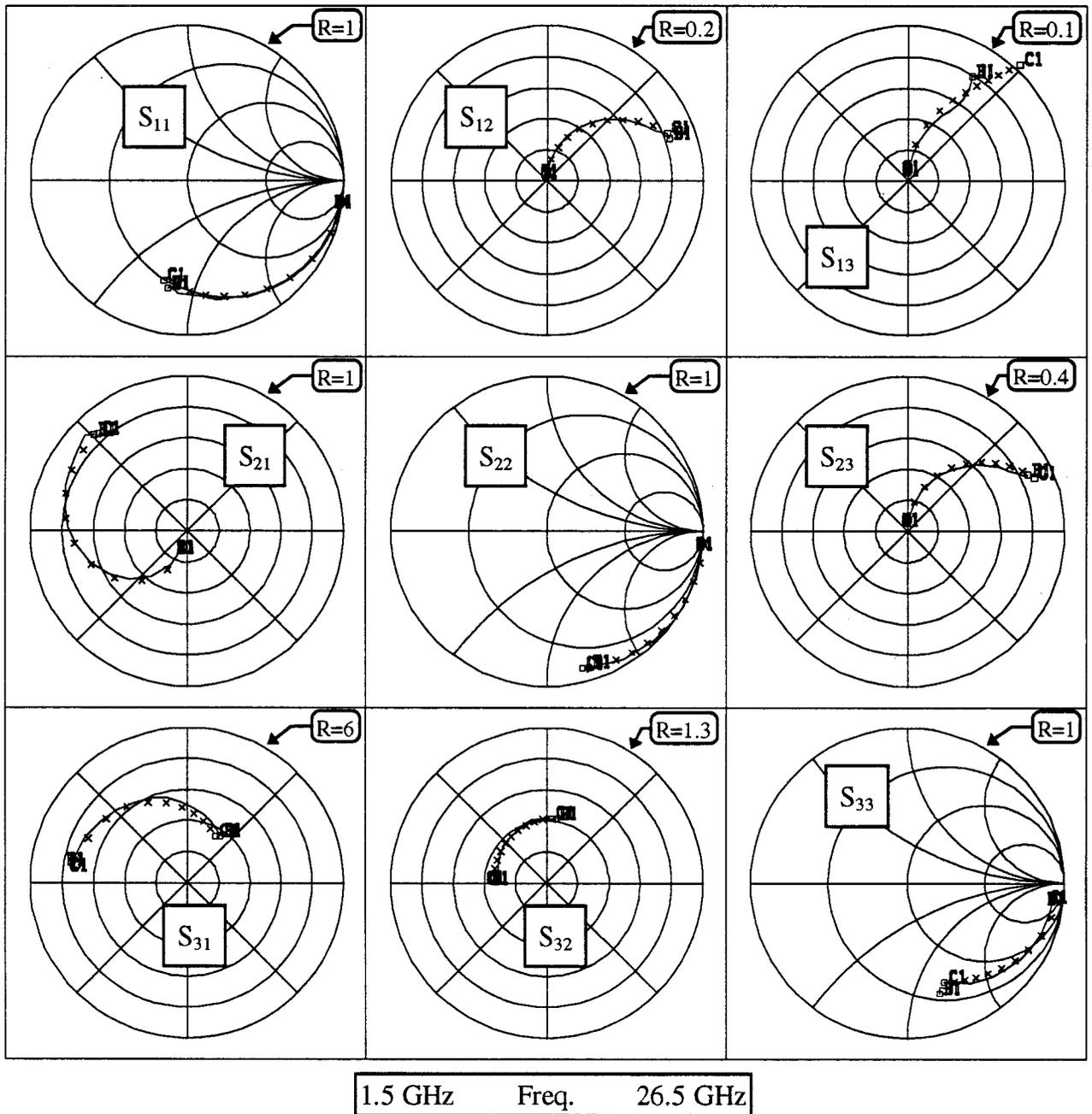


Figure IV.27 : Evolutions fréquentielles des paramètres  $S_{ij}$  d'un transistor bigrille mesurés (-) et calculés (+) à partir du schéma équivalent.  
 (PM-HEMT Quatuor  $0.15\mu\text{m} \times 3 \times 25\mu\text{m}$ ,  $V_{DS}=3\text{V}$ ,  $V_{GIS}=-0.2\text{V}$ ,  $V_{G2S}=1\text{V}$ )

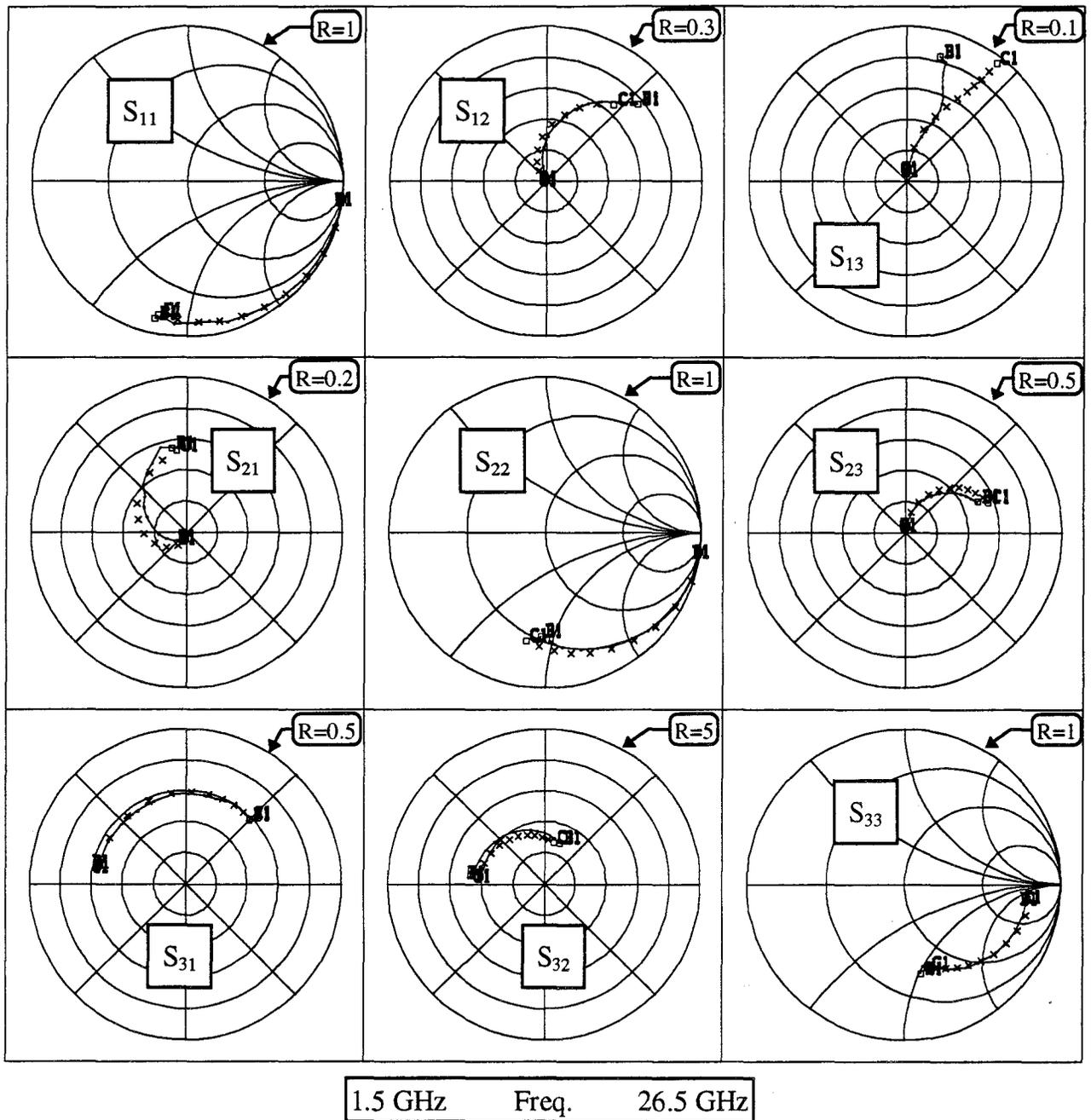


Figure IV.28 : Evolutions fréquentielles des paramètres  $S_{ij}$  d'un transistor bigrille mesurés (-) et calculés (+) à partir du schéma équivalent. (PM-HEMT Quatuor  $0.15\mu\text{m} \times 3 \times 25\mu\text{m}$ ,  $V_{DS}=3\text{V}$ ,  $V_{GIS}=-0.2\text{V}$ ,  $V_{G2S}=-0.4\text{V}$ )

#### IV.4. Autre comparaison des paramètres $S_{ij}$

La mesure des paramètres  $S_{ij}$  en hexapôle étant limitée à 26.5GHz, des transistors particuliers ont été réalisés sur la même plaquette que les TECs bigrilles Quatuor  $0.15\mu\text{m}$ , afin

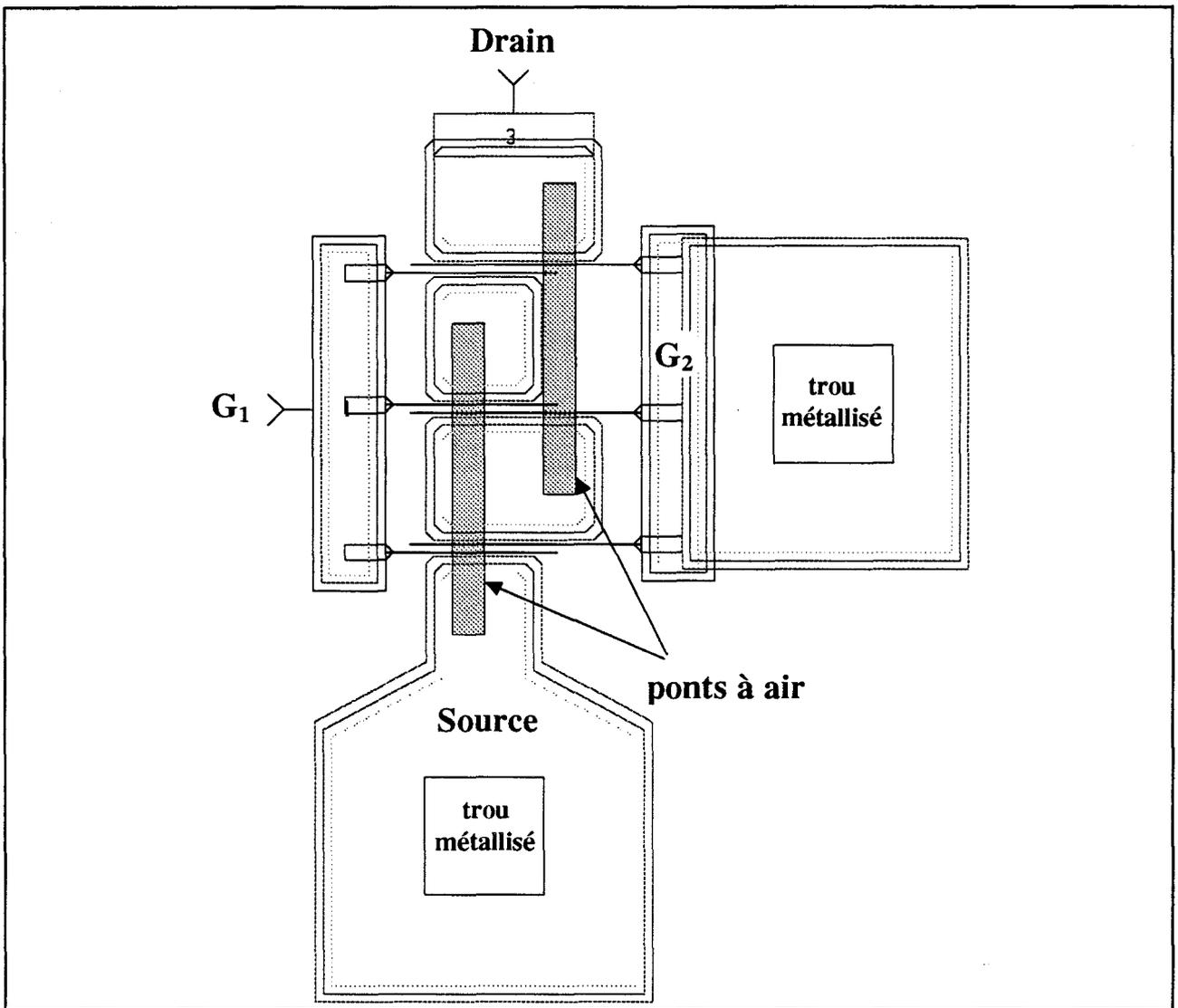
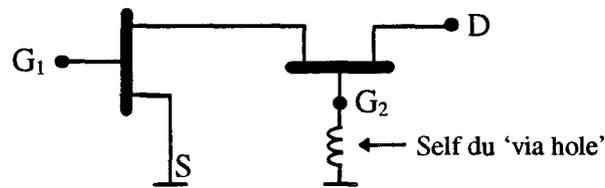


Figure IV.29 : Topologie d'un transistor bigrille spécifique avec la grille  $G_2$  physiquement à la source via un trou métallisé (Quatuor  $0.15\mu\text{m} \times 3 \times 25\mu\text{m}$ ).

d'évaluer la validité de nos résultats dans le domaine des fréquences élevées. La figure IV.29 représente la topologie de ces composants spécifiques, qui sont en fait identiques aux transistors  $3 \times 25\mu\text{m}$ , mais avec la seconde grille physiquement court-circuitée au plan de masse via un trou métallisé.

Les paramètres  $S_{ij}$  de ce dispositif ont été mesurés jusqu'à 40GHz, et comparés à ceux calculés à partir du schéma équivalent bigrille, avec la grille  $G_2$  connectée à la masse au travers d'une self de valeur estimée à 20pH. Cette inductance simule évidemment, et en première

approximation, la présence du 'via hole' sur  $G_2$ .



Les conditions de polarisations statiques choisies pour cette étude sont  $V_{DS}=3V$  et :

- pour le composant spécifique  $V_{G1S}=-0.2V$
- pour le transistor bigrille  $V_{G1S}=-0.3V$  et  $V_{G2S}=0V$  (via hole)

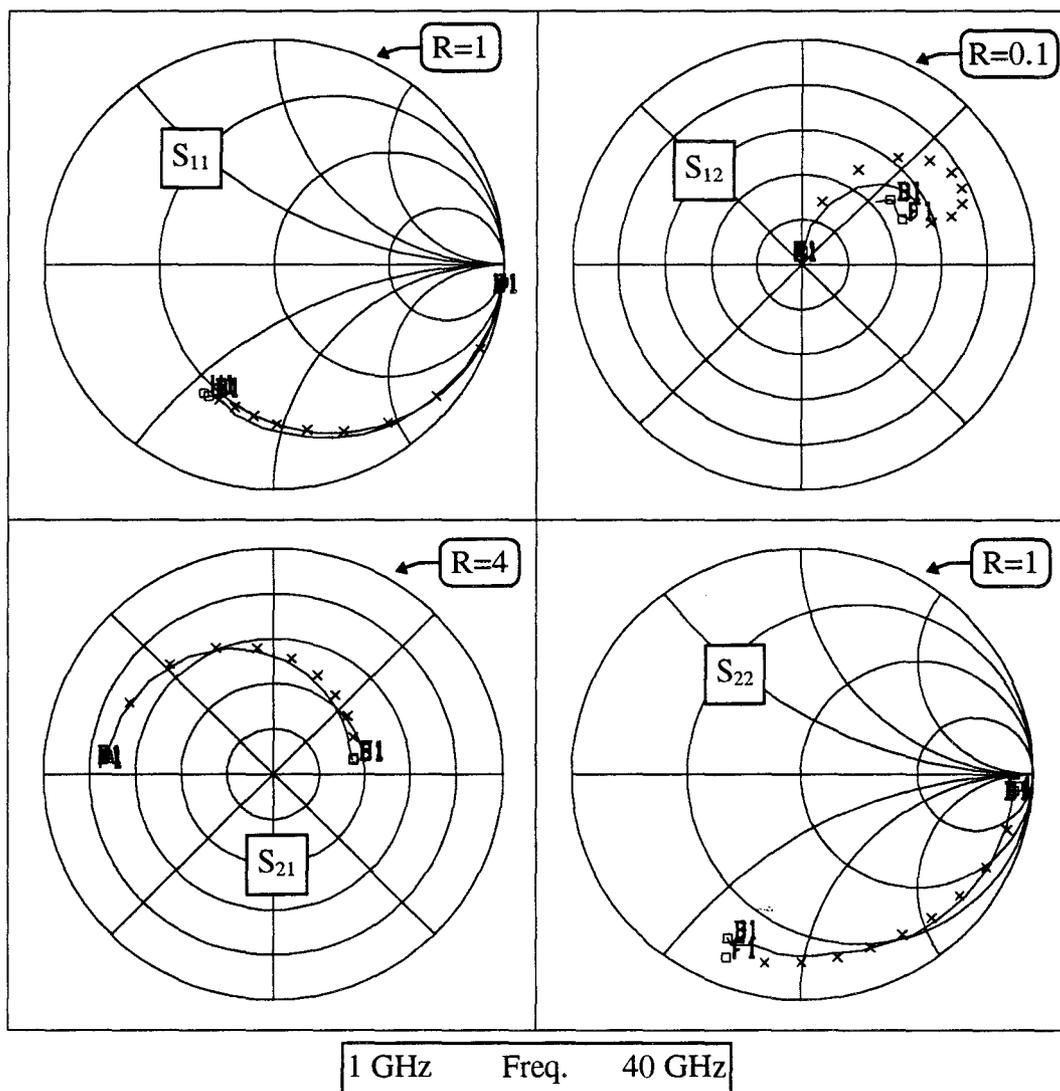


Figure IV.30 : Evolutions fréquentielles des paramètres  $S_{ij}$

(-) mesurés sur un transistor bigrille dont la grille  $G_2$  est physiquement reliée à la source  
 (+) calculés à partir du schéma équivalent extrait d'un autre transistor bigrille à  $V_{G2S}=0V$ .  
 (PM-HEMT Quatuor  $0.15\mu m * 3 * 25\mu m$ ,  $V_{DS}=3V$ ,  $V_{G1S}=-0.2V$  ou  $-0.3V$  (voir texte))

En toute rigueur, les tensions  $V_{GIS}$  devraient être identiques, mais une légère dispersion sur la plaquette nous oblige à considérer le schéma équivalent du TEC bigrille en régime plus légèrement pincé, afin d'égaliser les courants dans chaque structure. Les évolutions fréquentielles des quatre paramètres  $S_{ij}$  mesurés et calculés apparaissent sur la figure IV.30, et montrent qu'un très bon accord est respecté. Si nous relevons néanmoins une légère différence quantitative pour le paramètre  $S_{12}$ , l'allure typique de celui-ci est parfaitement prédite par notre modèle électrique. L'origine de cette disparité se trouve probablement dans les valeurs sensiblement différentes des capacités parasites de couplage, et en particulier celle de  $C_{G1D}$ , qui influence de façon notable ce paramètre de contre-réaction.

Compte tenu de la dispersion, de la complexité des transistors bigrilles et du fait de comparer des paramètres  $S_{ij}$  mesurés avec d'autres calculés à partir d'un schéma équivalent extrait d'un autre composant, nous estimons obtenir des résultats très satisfaisants, qui concourent à montrer la validité de nos travaux.

#### **IV.5. Le mélangeur**

Un dernier aspect contribue à valider de nos résultats. Il s'agit en fait de comparer des caractéristiques simulées et mesurées, non pas du transistor bigrille isolé, mais du mélangeur réalisé avec celui-ci dans le cadre du contrat Esprit CLASSIC. Rappelons que le composant concerné, de développement de grilles  $3*25\mu\text{m}$ , est issu de la filière pseudomorphique Quatuor  $0.15\mu\text{m}$ .

La mise au point du mélangeur, qui par la suite a été réalisé sur la plaquette Quatuor en technologie MMIC par le fondeur Thomson TCS, a été entreprise par C. Kolanowski dans le cadre de sa thèse pour fonctionner en bande V [18].

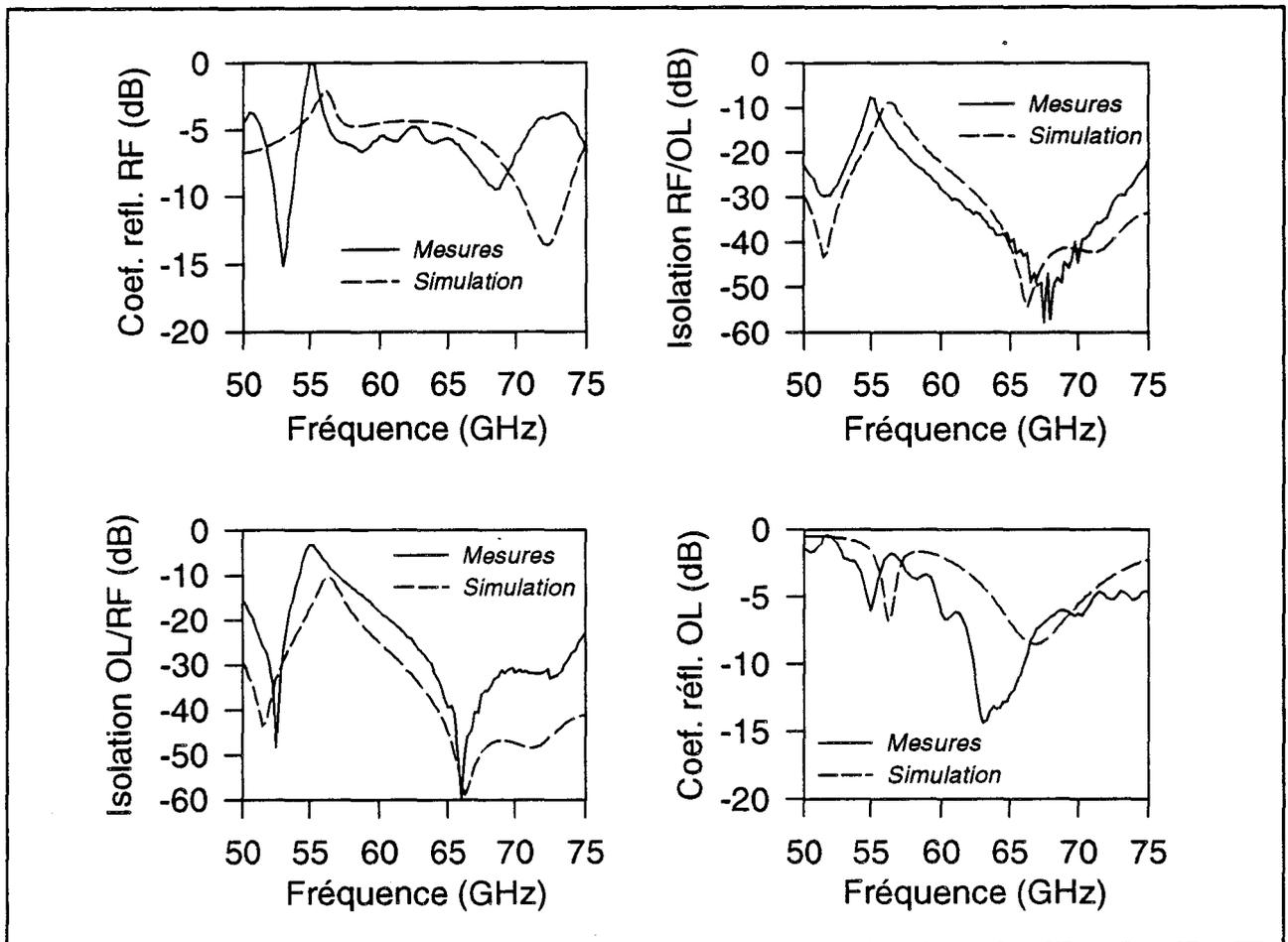


Figure IV.31 : Comparaisons 'mesure-simulation' des évolutions fréquentielles des modules des paramètres  $S_{ij}$  du mélangeur, à partir d'un modèle électrique approché.

Il faut préciser que pour la conception du circuit, effectuée en parallèle avec le développement de notre méthode de caractérisation, toutes les données concernant le composant bigrille n'étaient pas disponibles. Par conséquent, l'optimisation du mélangeur a dû se faire à partir d'un modèle approché, compte tenu des contraintes de temps et impératifs contractuels.

La figure IV.31 présente les coefficients de réflexion des voies OL ( $G_2$ ) et RF ( $G_1$ ), ainsi que leurs isolations respectives, mesurés et simulés sur la bande de fréquences 50-75GHz. La comparaison de ces évolutions montre que les allures générales sont voisines, avec cependant un léger décalage en fréquence. Ces dispersions découlent directement de l'utilisation d'un modèle électrique approximatif. Avec les progrès et l'avancement des travaux relatifs à la caractérisation,

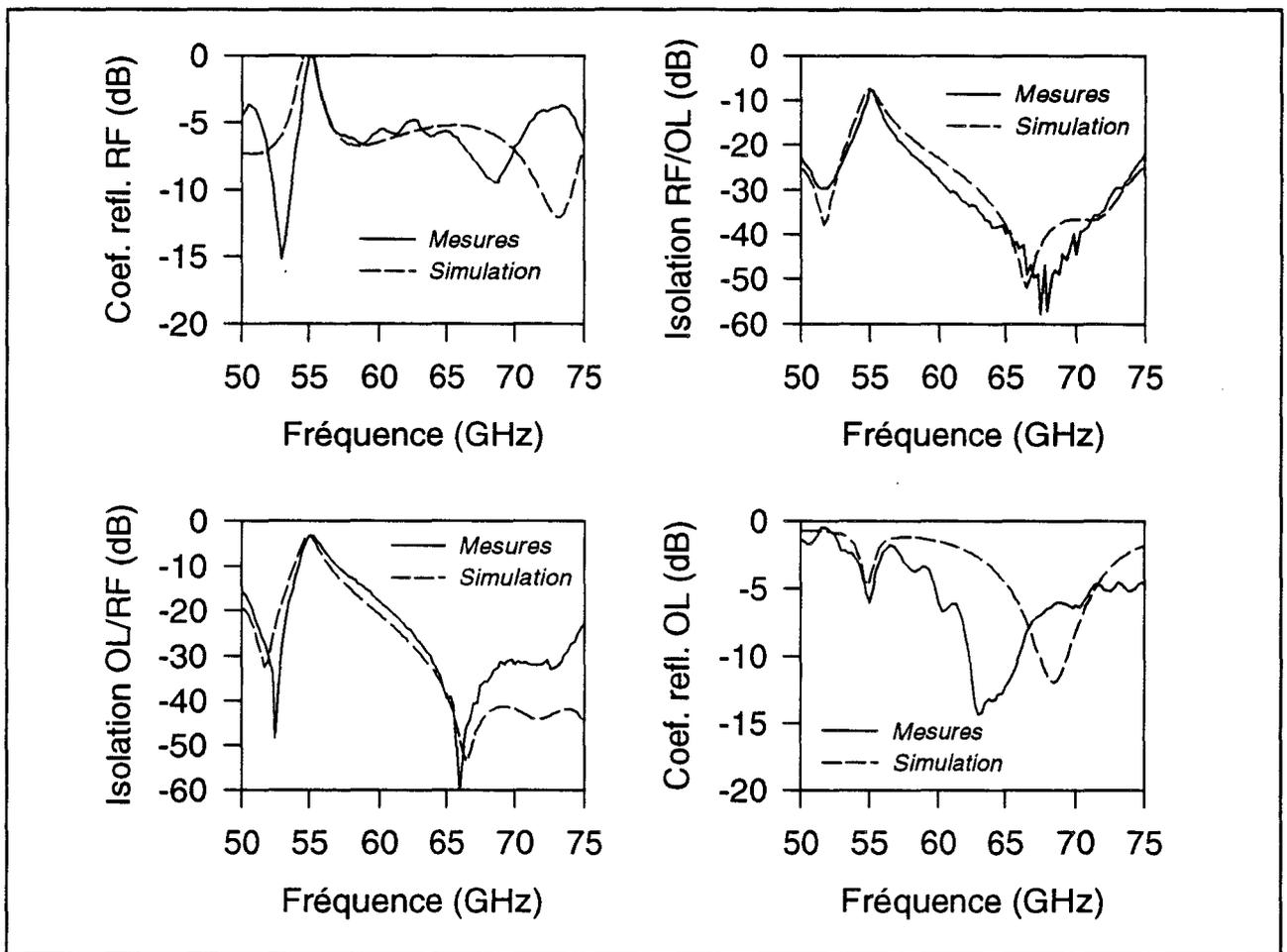


Figure IV.32 : Comparaisons 'mesure-rétro simulation' des évolutions des modules des paramètres  $S_{ij}$  du mélangeur.

cette modélisation s'est affinée et a été implantée dans le simulateur pour effectuer des rétro-simulations. La figure IV.32 illustre les mêmes comparaisons que précédemment entre, cette fois, les résultats de mesure et de rétro-simulation. Il apparaît nettement que les évolutions sont beaucoup plus fidèles aux mesures, ce qui par voie de conséquence montre encore la validité nos résultats.

La dernière confrontation que nous proposons, concerne les performances en terme de gain de conversion, mesuré et simulé en fonction de la puissance de l'oscillateur local. Cette comparaison revêt un caractère particulier, car elle met en jeu le fonctionnement non linéaire du

composant. Ces caractéristiques apparaissent sur la figure IV.33 et montrent qu'un excellent accord est obtenu, confirmant ainsi la validité de l'approche non linéaire entreprise pour ce composant et présentée dans ce chapitre.

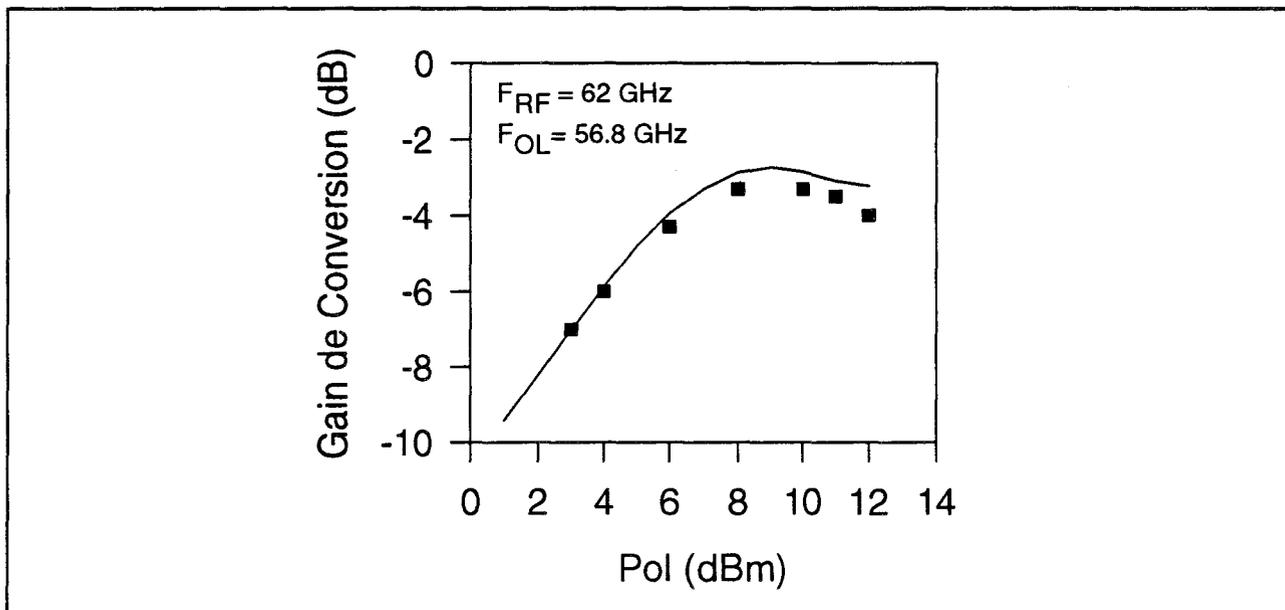


Figure IV.33 : Comparaison 'mesure- rétro simulation' de l'évolution du gain de conversion du mélangeur en fonction de la puissance de l'oscillateur local.

## V. CONCLUSION

Nous avons abordé dans ce chapitre l'aspect expérimental de la caractérisation des transistors à effet de champ bigrilles.

Afin de mettre en oeuvre toute la méthodologie d'extraction du schéma équivalent, un banc de mesure '3 portes' a été développé et permet l'acquisition des paramètres  $S_{ij}$  d'hexapôles jusqu'à 26.5GHz. Un soin particulier a été apporté quant à la précision des mesures, avec notamment la mise en place d'une procédure de correction spécifique.

Nous avons ensuite présenté un ensemble de résultats typiques, obtenus à partir de transistors fabriqués par Thomson TCS et provenant de filières différentes. L'analyse des éléments parasites a montré que les évolutions relevées sont en bonne corrélation avec la topologie des composants étudiés. Nous retiendrons en particulier l'influence pénalisante des ponts à air sur la valeur de la self de source  $L_s$ . Les valeurs des éléments intrinsèques obtenus sont, quant à elles, en excellent accord avec les différents régimes de fonctionnement imposés.

Enfin, en plus de la cohérence des résultats expérimentaux, la validité de nos travaux a été démontrée par le biais de diverses techniques. Outre les classiques comparaisons des paramètres  $S_{ij}$  mesurés et simulés, nous avons entrepris d'autres confrontations de natures différentes, qui aboutissent à la validation de notre méthode d'extraction du schéma équivalent du TEC bigrille.

- [1] N. E. RADHY  
*'Etude des non linéarités et du bruit dans les transistors bigrilles submicroniques à effet de champ. Applications en micro-ondes : amplification à gain contrôlé, multiplication de fréquences.'*  
Thèse de 3<sup>ème</sup> cycle, Université de Lille, Sept. 1985
- [2] C. BYL  
*'Nouvelle utilisation des structures à effet de champ monogrilles et bigrilles distribuées. Application à l'amplification large bande.'*  
Thèse 3<sup>ème</sup> cycle, Université de Lille, Janvier 1991
- [3] J. F. KRUCK  
*'Conception et réalisation d'une cellule de mesure de test de circuits planaires dans la bande V (50 - 75GHz).'*  
Thèse 3<sup>ème</sup> cycle, Université de Lille, Janvier 1995
- [4] N. BOULANGER, C. RUMELHARD, B. CARNEZ, L. BOULANGER, C. SENTUBERY  
*'On wafer automatic three ports measurement system for MMIC circuits and dual gate FETs.'*  
THOMSON COMPOSANTS MICROONDES, DAG
- [5] H. BOBOT, P. FAGES, P. L. OUVRARD  
*'Mesures linéaires 3 portes de circuits MMIC sur tranche.'*  
DASSAULT ELECTRONIQUE
- [6] M. SCHOON  
*'A semi automatic 3-port network analyser.'*  
IEEE trans. on MTT, vol. 41, n° 6/7, Jun./Jul. 1993, pp 974-978
- [7] L. SELMI, D. ESTREICH  
*'An accurate system for automated on-wafer characterization of three-port devices.'*  
IEEE GaAs IC Symposium, New Orleans, LA, USA, Oct. 1990, pp 343-346
- [8] J. C. TIPPET, R. A. SPECIALE  
*'A rigorous technique for measuring the Scattering matrix of a multiport device with a 2-port network analyser.'*  
IEEE trans. on MTT, vol. 30, n° 5, May 1982, pp 661-666

- [9] J. C. RAUTIO  
*'Techniques for correcting Scattering parameter data of an imperfectly terminated multiport when measured with a two-port network analyser.'*  
IEEE trans. on MTT, vol. 31, n° 5, May 1983, pp 407-412
- [10] HEWLETT PACKARD  
*'Vector measurements of high frequency networks.'*  
Séminaire Strasbourg, Avril 1989
- [11] Project ESPRIT 6016 CLASSIC  
*'Components for large signal sixty Ghz GaAs integrated circuits.'*  
1<sup>er</sup> rapport semestriel, Avr. 1992-Oct. 1992
- [12] M. A. MAURY, S. L. MARCH, G. R. SIMPSON  
*'LRL calibration of vector automatic network analysers.'*  
Microwave Journal, May 1987, pp 387-392
- [13] R. ALLAM  
*'Etude comparative et méthode de conception des mélangeurs à transistors à effet de champ en gamme millimétrique.'*  
Habilitation à Diriger des Recherches, Université de Lille, Février 1996
- [14] C. GAQUIERE, B. BONTE, D. THERON, Y. CROSNIER  
*'Analysis of the source inductance effect on the power performance of high development HEMT's in the Ka band.'*  
IEEE Microwave Guided Wave Letters, vol. 5, n° 8, 1995
- [15] T. C. EDWARDS  
*'Conception des circuits micro-ondes.'*  
Collection Technologies, Masson
- [16] Project ESPRIT 6016 CLASSIC  
*'Components for large signal sixty Ghz GaAs integrated circuits.'*  
3<sup>ème</sup> rapport semestriel, Avr. 1993-Sept. 1993
- [17] Y. MOUQUET  
*'Contribution à la modélisation non-linéaire des TECs pour amplification de puissance en classe B en bandes Ku et Ka.'*  
Thèse 3<sup>ème</sup> cycle, Université de Lille, Juillet 1995

- [18] C. KOLANOWSKI  
*'Conception, réalisation et analyse de mélangeurs millimétriques en technologies hybride et intégrée utilisant des transistors à effet de champ HEMT de types monogrille et bigrille.'*  
Thèse de 3<sup>ème</sup> cycle, Université de Lille, Mars 1996
- [19] G. DAMBRINE, A. CAPPY, F. HELIODORE, E. PLAYEZ  
*'A new method for determining the FET small-signal equivalent circuit.'*  
IEEE trans. on MTT, vol. 36, n° 7, July 1988, pp 1151-1159
- [20] F. DUHAMEL  
Thèse 3<sup>ème</sup> cycle, Université de Lille, à paraître

## ***CHAPITRE V***

---

*"Etude expérimentale des potentialités  
des TECs bigrilles en gamme  
d'ondes millimétriques"*

## I. INTRODUCTION

---

La réduction des dimensions et l'utilisation de matériaux à très hautes mobilités ont permis d'améliorer considérablement les performances dynamiques des composants à effet de champ. Aujourd'hui, des transistors AlGaAs/InGaAs/GaAs de longueur de grille  $0.15\mu\text{m}$  permettent d'envisager sereinement des applications avec de bons niveaux de performances en gamme millimétrique [1].

L'obtention de caractéristiques encore meilleures et la montée en fréquence semblent être freinées à l'heure actuelle, non seulement par des difficultés technologiques liées à la réalisation de composants aux dimensions ultra courtes, mais aussi par des problèmes fonctionnels relatifs aux effets dits de 'canal court'. En effet, ces derniers, apparaissant pour des longueurs de grilles inférieures à  $0.1\mu\text{m}$ , se manifestent essentiellement par une augmentation très nette des conductances de sortie, et donc par des difficultés de pincement des composants. Des dégradations supplémentaires concernant notamment les transconductances et dues à la diminution du rapport d'aspect, contribuent également à limiter ces performances [2,3].

En raison de leur configuration cascode intrinsèque, les transistors bigrilles constituent des solutions intéressantes pour résoudre ces problèmes, c'est pourquoi, nous consacrons ce dernier

chapitre à l'étude des potentialités de ce composant utilisé en quadripôle (seconde grille à la source) pour des applications en gamme millimétrique. Des résultats expérimentaux, concernant des transistors pseudomorphiques AlGaAs/InGaAs/GaAs de longueur de grille  $0.1\mu\text{m}$  que nous avons conçus et réalisés au laboratoire, sont présentés et font apparaître d'excellentes performances.

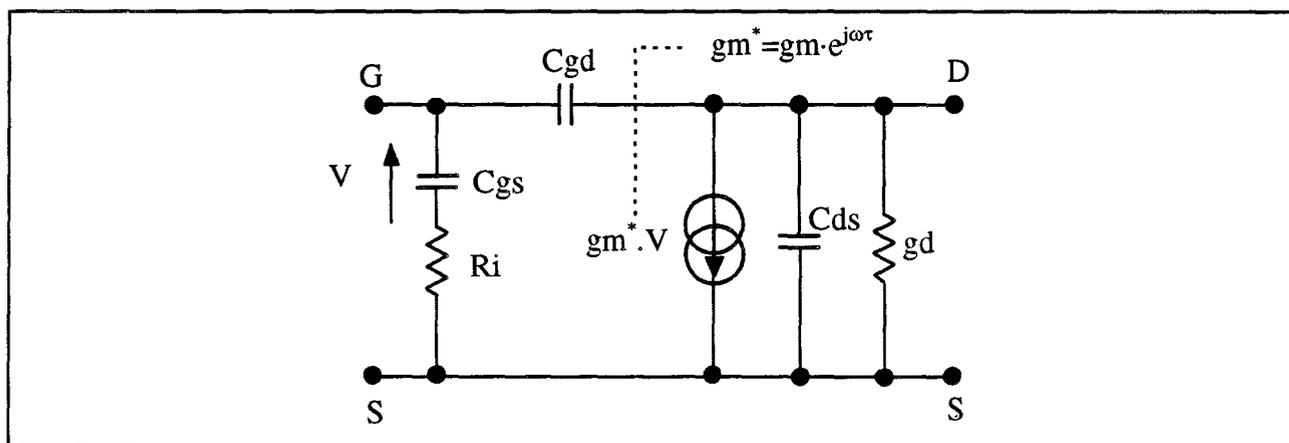
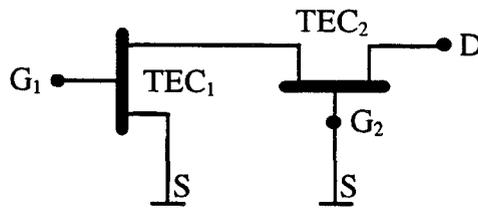


Figure V.1 : Schéma électrique équivalent intrinsèque du transistor à effet de champ.

## II. QUELQUES RAPPELS

Nous avons abordé dans le premier chapitre de ce mémoire une première approche de l'utilisation des transistors bigrilles en quadripôle. L'étude sommaire des trois configurations envisageables a montré l'intérêt et les avantages, en termes d'amplification et d'impédance de sortie, qu'apportent ces composants lorsqu'ils sont utilisés en particulier entre la grille  $G_1$  et le drain, la seconde grille étant reliée à la source. Cette configuration s'apparente naturellement à

l'association cascode des transistors monogrilles équivalents  $TEC_1$  et  $TEC_2$  constituant le composant bigrille :



Rappelons qu'en basses fréquences, le schéma électrique intrinsèque de ce dispositif est équivalent à celui d'un transistor monogrille (figure V.1), dont les éléments principaux s'expriment par :

$$\begin{aligned}
 gm &\approx gm_1 \cdot \frac{gm_2 + gd_2}{gm_2 + gd_2 + gd_1} & C_{gs} &\approx C_{gs1} + C_{gd1} \cdot \frac{gm_2 + gd_1 + gm_1}{gm_2 + gd_2 + gd_1} \\
 gd &\approx gd_1 \cdot \frac{gd_2}{gm_2 + gd_2 + gd_1} & C_{gd} &\approx C_{gd1} \cdot \frac{gd_2}{gm_2 + gd_2 + gd_1}
 \end{aligned}$$

Ces relations font apparaître nettement les avantages du montage cascode par comparaison au transistor monogrille : la conductance de sortie et la capacité de contre-réaction peuvent être réduites de manière conséquente. Pour profiter pleinement de ces propriétés, il est nécessaire de polariser le transistor  $TEC_2$  à son maximum de gain en tension  $gm_2/gd_2$ . Cette remarque reste valable en ce qui concerne les valeurs du gain maximum stable intrinsèque qui s'écrit :

$$MSG = \underbrace{MSG}_{source\ commune}^{TEC_1} \cdot \underbrace{MSG}_{grille\ commune}^{TEC_2} \approx \left( \frac{gm_1}{\omega \cdot C_{gd1}} \right) \cdot \left( 1 + \frac{gm_2}{gd_2} \right)$$

Il est intéressant de noter que la contribution propre de l'étage grille commune  $TEC_2$  reste favorable pour le gain MSG indépendamment de la fréquence.

En revanche, il faut signaler que cette association cascode engendre, par effet Miller, une augmentation de la valeur de la capacité d'entrée équivalente. Il en résulte par conséquent une chute systématique du gain en courant de court-circuit  $H_{21}$ , dont la fréquence de coupure intrinsèque est alors :

$$f_c \approx \frac{f_{c \text{ TEC1}}}{1 + \frac{g_{d1}}{g_{m2} + g_{d2}} + \frac{g_{m1}}{g_{m2} + g_{d2}} \cdot \frac{C_{gd1}}{C_{gd1} + C_{gs1}}}$$

avec  $f_{c \text{ TEC1}} = \frac{g_{m1}}{2\pi(C_{gs1} + C_{gd1})}$

Outre les caractéristiques électriques intéressantes du montage cascode, il faut ajouter que l'utilisation du transistor bigrille dans cette configuration présente également l'avantage d'être très compact, ce qui n'est pas négligeable pour son intégration dans des circuits. Enfin, la présence de la seconde grille procure au dispositif un degré supplémentaire de fonctionnalité exploitable notamment pour l'amplification à gain contrôlé (CAG).

### **III. CONCEPTION ET REALISATION DES COMPOSANTS**

#### **III.1. Structure épitaxiale**

Pour l'étude des performances des transistors bigrilles en gamme millimétrique, nous avons retenu la filière HEMT pseudomorphique AlGaAs/InGaAs/GaAs avec des longueurs de grilles nominales de  $0.1\mu\text{m}$ . La figure V.2 présente la structure épitaxiale des composants, réalisée au sein de la centrale de technologie du laboratoire par J. L. Lorriaux et J. L. Caudron. Nous retrouvons une structure de couches, désormais classique et composée de :

- un 'cap layer' GaAs d'épaisseur 500Å dopé à  $5 \cdot 10^{18} \text{cm}^{-3}$  afin de minimiser les résistances d'accès de source, de drain et intergrille
- une couche barrière AlGaAs non intentionnellement dopée dont l'épaisseur de 120Å assure le maintien d'un bon rapport d'aspect voisin de 6
- un plan de dopage d'atomes Si dopé à  $6 \cdot 10^{12} \text{cm}^{-2}$ , réservoir de porteurs libres
- une couche 'spacer' AlGaAs de 20Å évitant les interactions entre les donneurs ionisés du plan de dopage et les électrons du gaz bidimensionnel confinés dans le puits
- un canal InGaAs 120Å non dopé offrant une grande mobilité aux porteurs
- un 'buffer' GaAs NID d'épaisseur 5000Å réduisant l'injection dans le substrat.

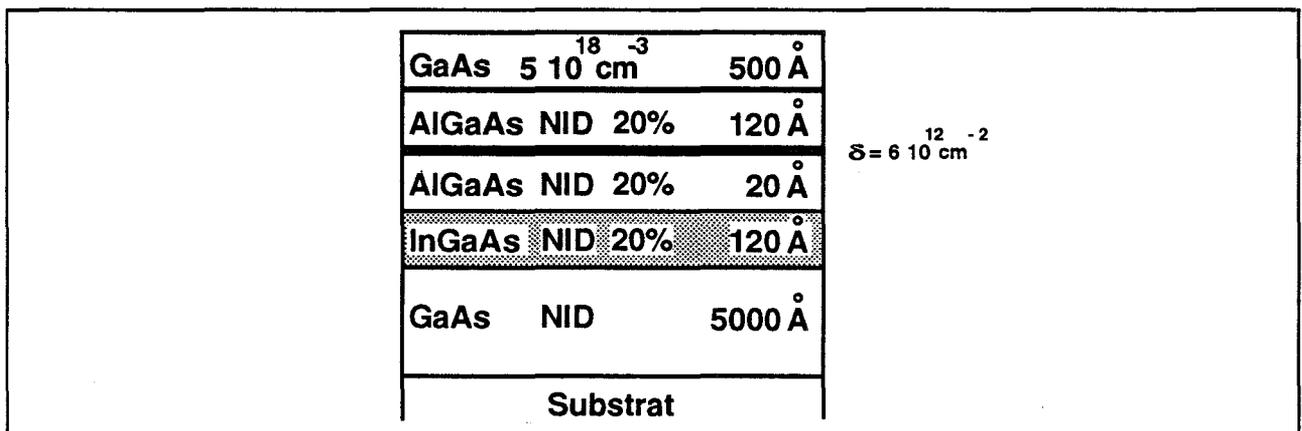


Figure V.2 : Structure épitaxiale retenue pour la réalisation des transistors.

Remarque : le découplage de la seconde grille est en général assuré par une capacité, qui court-circuite au sens dynamique l'électrode  $G_2$  et la source. Dans un souci de miniaturisation extrême, nous avons imaginé nous affranchir de ces capacités parfois imposantes, en reliant physiquement et directement la grille  $G_2$  et la source, au détriment de la possibilité de contrôle de la tension de polarisation  $V_{G2S}$ , qui devient fixe et nulle. Cette condition  $V_{G2S}=0V$  impose que la tension de pincement des transistors soit relativement élevée, pour espérer obtenir un fonctionnement satisfaisant, ce qui explique le dopage important du plan.

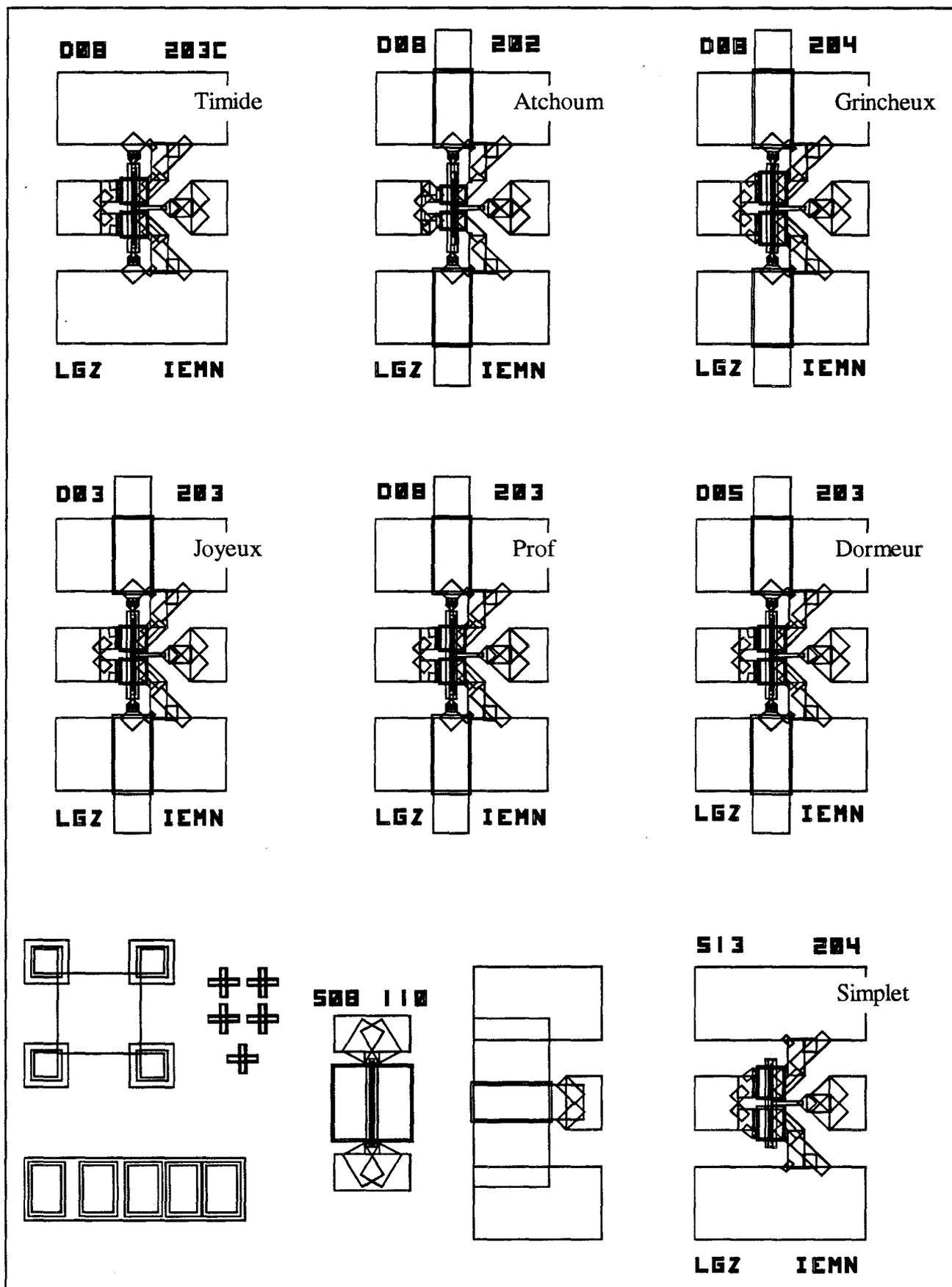


Figure V.3 : Champ élémentaire des masques des transistors '7 Nains'.

Avec ce type de composant, nous profitons pleinement des propriétés du montage cascode, tout en conservant la souplesse d'intégration des transistors monogrilles.

Les deux structures, avec et sans capacité de découplage, ont été réalisées afin d'étudier leurs performances dynamiques. Leur topologie respective est décrite dans le paragraphe suivant.

### **III.2. Présentation et description des masques**

Afin de limiter le nombre d'étapes du 'process' technologique, la présence de 'via hole' et de pont à air a été évitée. La figure V.3 présente l'ensemble du réticule élémentaire, appelé '7 Nains', que nous avons dessiné avec le logiciel 'Mastek'. Nous distinguons 7 transistors et une zone d'éléments 'test', utiles au contrôle des différentes étapes technologiques et à la détermination de quelques caractéristiques des composants.

Sept niveaux de masquage sont nécessaires pour la réalisation des composants :

- 1- Contacts ohmiques (lithographie électronique)
- 2- Isolation des composants, 'MESA' (litho. optique)
- 3- Pieds de grille (litho. électronique)
- 4- Chapeaux de grille + descentes 'MESA' (litho. électronique)
- 5- Epaissements (Litho. optique)
- 6- Passivation Nitrure + Diélectrique des capacités de découplage (litho. optique)
- 7- Métallisations des contacts des capacités (litho. optique)

### III.2.1. Les transistors

Chaque transistor est doté de deux doigts par grille en forme de 'T' afin de réduire les résistances métalliques, néfastes pour la montée en fréquence. Les dimensions communes à chaque motif sont :

- 0.1 $\mu\text{m}$  pour le pied de grille
- 0.3 $\mu\text{m}$  pour le chapeau de grille
- 0.4 $\mu\text{m}$  pour les distances Grille<sub>1</sub>-Source et Grille<sub>2</sub>-Drain.

*Atchoum*, *Prof* et *Grincheux* sont des transistors de distance intergrille (bord à bord)  $L_{G1G2}=1.1\mu\text{m}$  et de largeur unitaire respective  $W_u=20, 30$  et  $40\mu\text{m}$ .

*Joyeux* et *Dormeur* sont des transistors de largeur unitaire  $W_u=30\mu\text{m}$  et de distance intergrille respective  $L_{G1G2}=0.6$  et  $0.8\mu\text{m}$ .

*Timide* est identique à *Prof* mais avec la seconde grille directement connectée sur la source, donc sans capacité de découplage.

Enfin, *Simplet* représente la version monogrille du transistor *Grincheux*.

Le tableau ci-dessous résume l'ensemble de la famille des transistors '7 Nains' en fonction des deux paramètres d'étude :

	W <sub>u</sub> ( $\mu\text{m}$ )		
L <sub>G1G2</sub> ( $\mu\text{m}$ )	20	30	40
0.6	-	<i>Joyeux</i>	-
0.8	-	<i>Dormeur</i>	-
1.1	<i>Atchoum</i>	<i>Prof, Timide</i>	<i>Grincheux, Simplet</i>

Si nous nous sommes efforcés de conserver les mêmes topologies (zones d'accès et zones actives) pour chacun des transistors, *Timide* se différencie des autres en raison de la connexion directe de sa grille G<sub>2</sub> sur la source. La figure V.4 illustre cette modification et montre que ce

composant est dépourvu de capacité de découplage. La figure V.5 détaille la topologie de l'espace Source-Drain et en particulier celle des deux grilles, dont nous pouvons remarquer l'élargissement asymétrique aux descentes des 'MESA'.

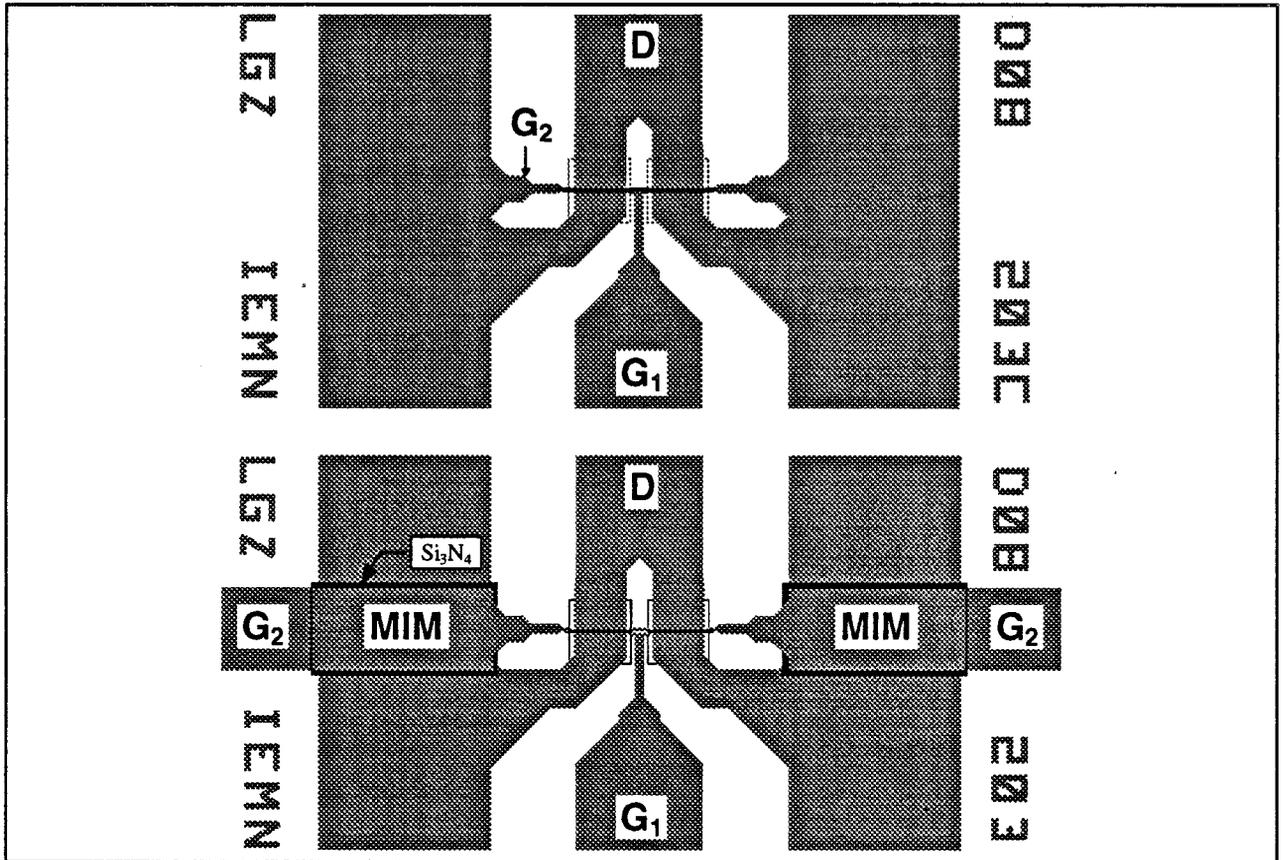


Figure V.4 : Topologies des transistors bigrilles avec et sans capacité MIM.

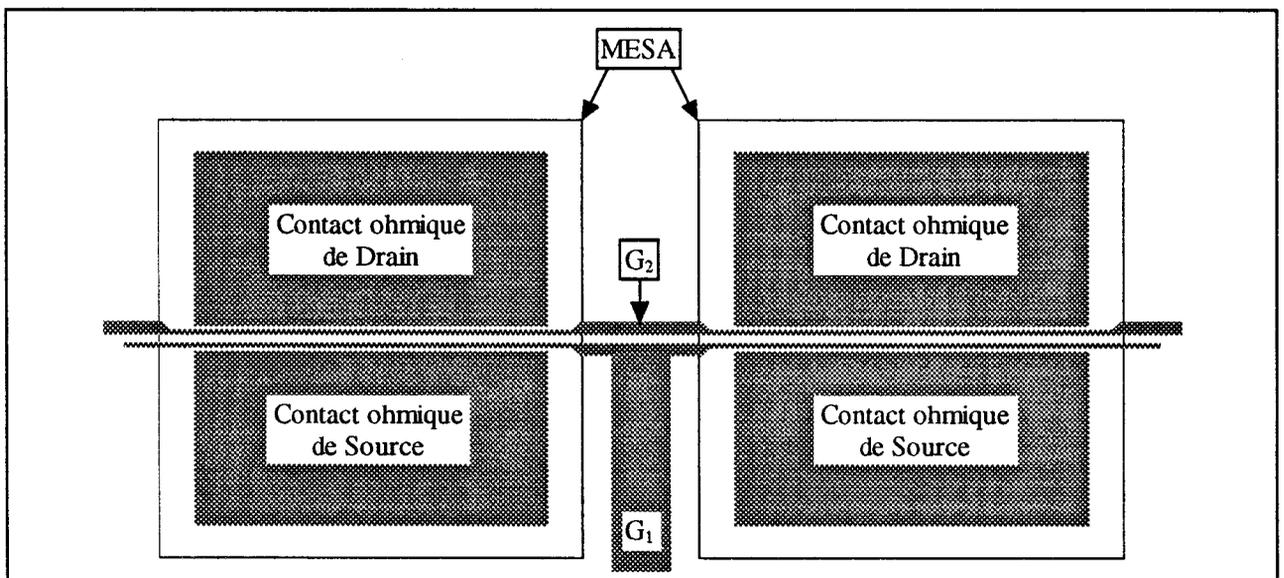


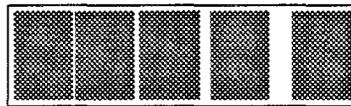
Figure V.5 : Topologie des zones actives des transistors '7 Nains'.

### III.2.2. Les motifs 'test'

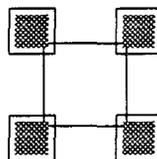
Outre les éléments de contrôle, ce réticule contient aussi des motifs d'alignement nécessaires pour la superposition précise des différents masques. Des plots de repérage ( $8 \times 8 \mu\text{m}^2$ ), situés autour du champ élémentaire et définis au niveau des contacts ohmiques, assurent une grande précision de positionnement pour l'exposition des grilles. Les alignements des masques optiques sont réalisés grâce à un jeu de croix subtilement dessinées sur chaque niveau, qu'il convient de superposer pour chaque étape d'exposition.

Concernant les éléments 'test' proprement dit, nous distinguons :

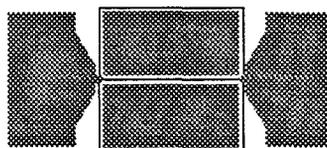
- une échelle de résistances, constituée de 5 contacts ohmiques de largeur  $75 \mu\text{m}$  et espacés de 2.5, 5, 10 et  $20 \mu\text{m}$ . Les mesures successives de la résistance entre deux plots voisins permettent de déduire la résistance carrée de la couche et la résistance des contacts ohmiques (méthode TLM *Transmission Line Method*).



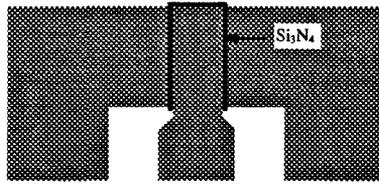
- un trèfle de Van der Pauw qui permet de déterminer par effet Hall la mobilité et la densité des porteurs majoritaires [4]



- un transistor monogrille élémentaire de développement  $0.1 \mu\text{m} \times 100 \mu\text{m}$  utilisé essentiellement pour le contrôle de l'attaque 'recess' en mesurant le courant  $I_{\text{DS}}$ . Il permet également de connaître la résistance métallique de grille en statique, grâce aux plots situés à chaque extrémité de celle-ci.



. - une capacité MIM (Metal-Insulator-Metal) identique à celles utilisées pour le découplage de la seconde grille, et directement mesurable en réflexion sous pointes hyperfréquences.



### III.3. Description du 'process' technologique

Les transistors '7 Nains' ont été réalisés au sein du laboratoire avec l'aide précieuse de F. Diette [5] et suivant un procédé technologique relativement conventionnel pour les transistors sur GaAs. Une opération supplémentaire a été ajoutée à l'ensemble des étapes classiques, compte tenu de la présence des capacités de découplage de la seconde grille des TECs bigrilles.

Nous décrivons sommairement et chronologiquement dans ce paragraphe les étapes importantes du 'process'.

#### III.3.1. Les contacts ohmiques

Compte tenu des distances 'source-drain' inférieures à  $2\mu\text{m}$  sur certains motifs, cette première étape (figure V.6) est effectuée en utilisant un procédé de lithographie électronique. Après enduction d'une résine électro-sensible (PMMA), l'exposition à un faisceau d'électrons permet de reproduire fidèlement le masque d'ouverture des contacts ohmiques. Un dépôt séquentiel des métaux Ni/Ge/Au/Ti/Au d'épaisseurs respectives 150/195/390/500/2000Å est entrepris après révélation de la résine insolée. Une opération classique de 'lift-off' (bain d'acétone) permet de dissoudre la résine restante, pour ainsi ne laisser apparaître que les plots de

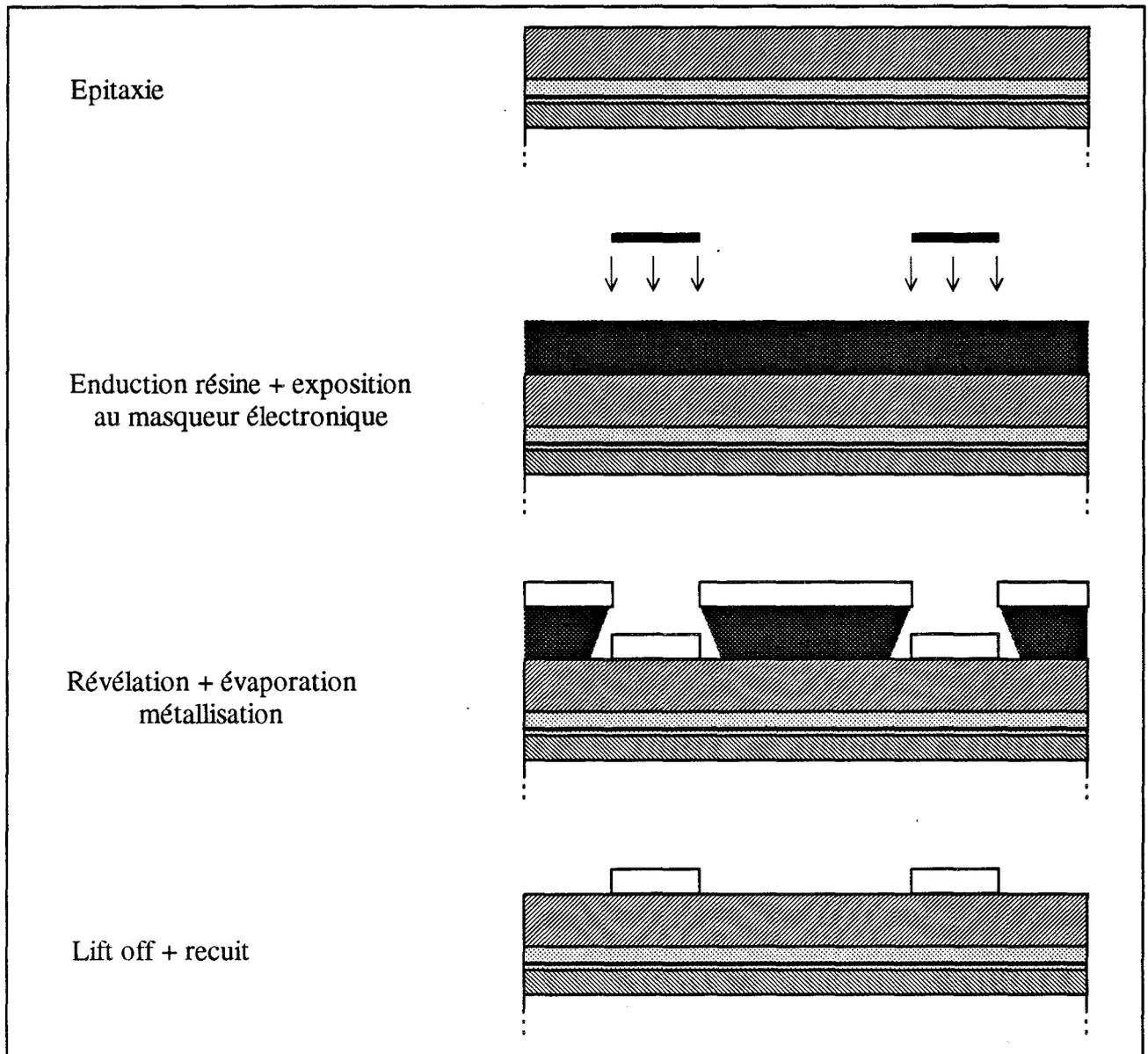


Figure V.6 : Réalisation des contacts ohmiques.

contacts ohmiques de source et de drain. Enfin, un recuit rapide (40s) à 400°C permet d'améliorer la qualité des contacts en assurant la diffusion du Germanium dans le semi-conducteur.

### III.3.2. Isolation des transistors (MESA)

Cette technique du 'MESA' permet d'isoler électriquement chaque transistor en gravant chimiquement les couches actives épitaxiées (figure V.7). Une résine optique, exposée aux rayons

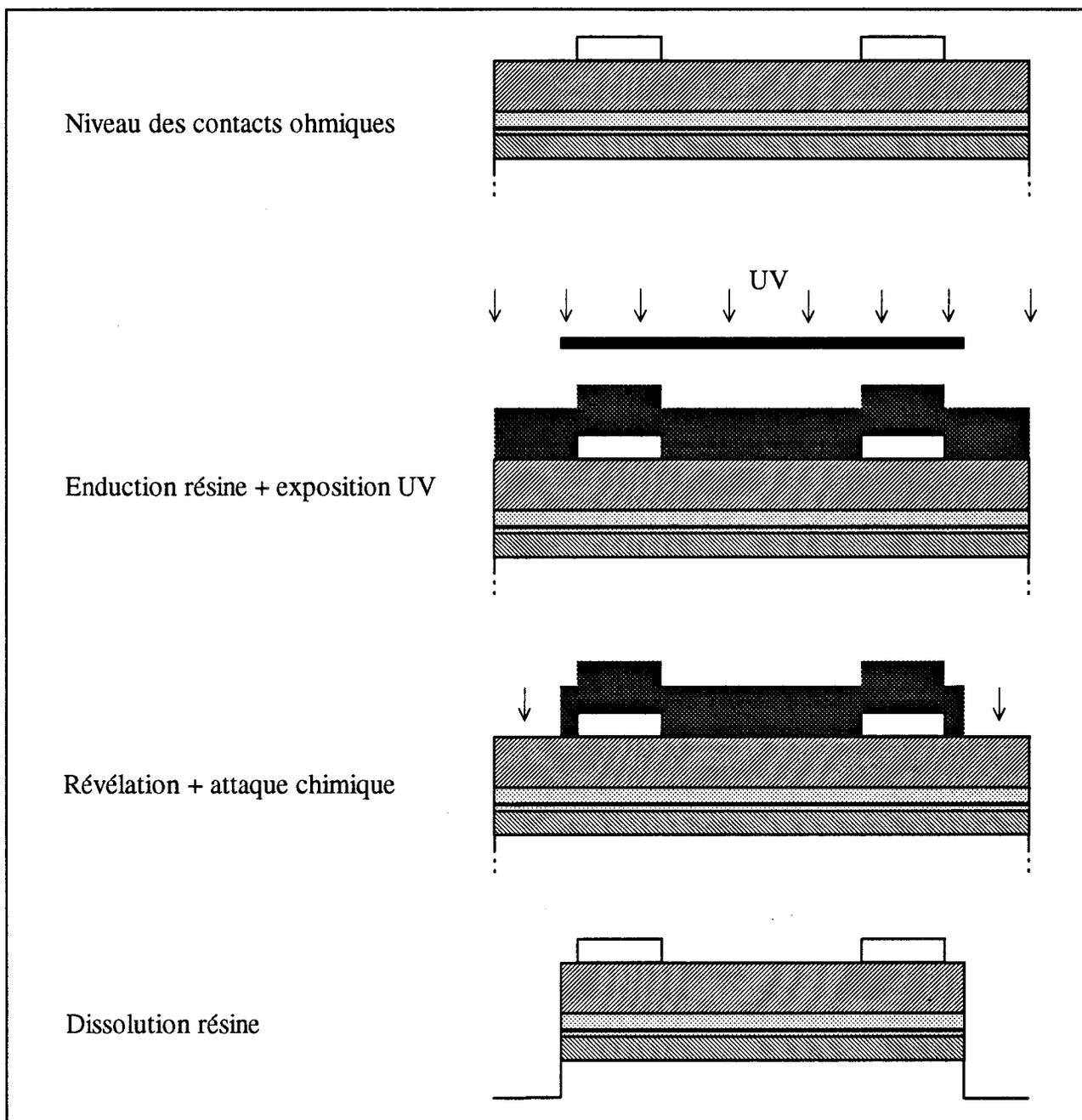


Figure V.7 : Opération d'isolation (MESA).

ultra-violets (UV) suivant le masque 'MESA' puis révélée, protège les composants de cette attaque profonde réalisée avec la solution  $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ . Un bain d'acétone supprime enfin tout résidu de résine.

La profondeur du 'MESA' a été mesurée à  $1070\text{\AA}$ , ce qui se situe dans la couche 'buffer' non dopée, empêchant ainsi tout transfert de charge d'un composant à l'autre.

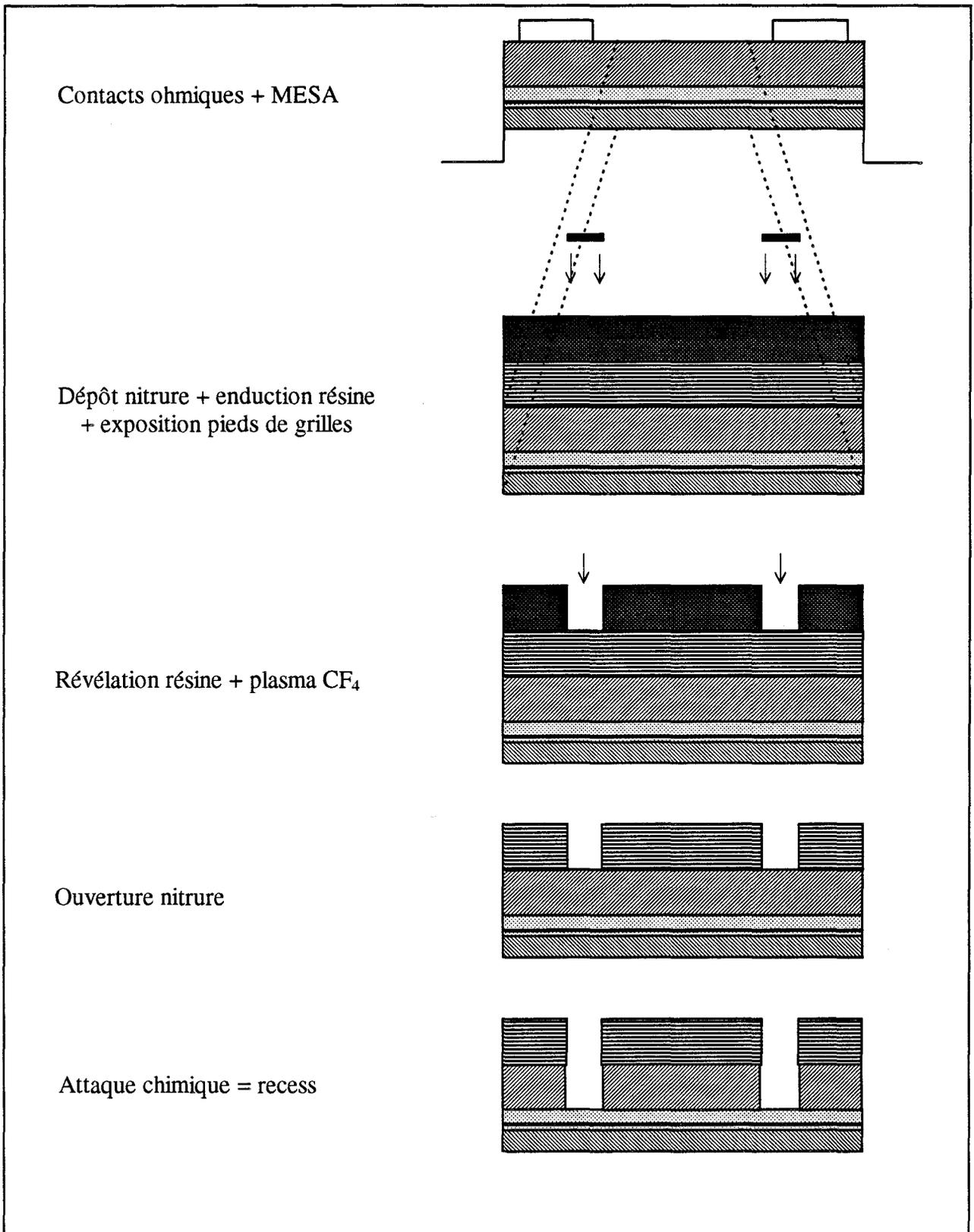


Figure V.8 : Gravure des fossés de grilles (recess).

Cette isolation a d'ailleurs été contrôlée électriquement entre deux plots de contact ohmique voisins.

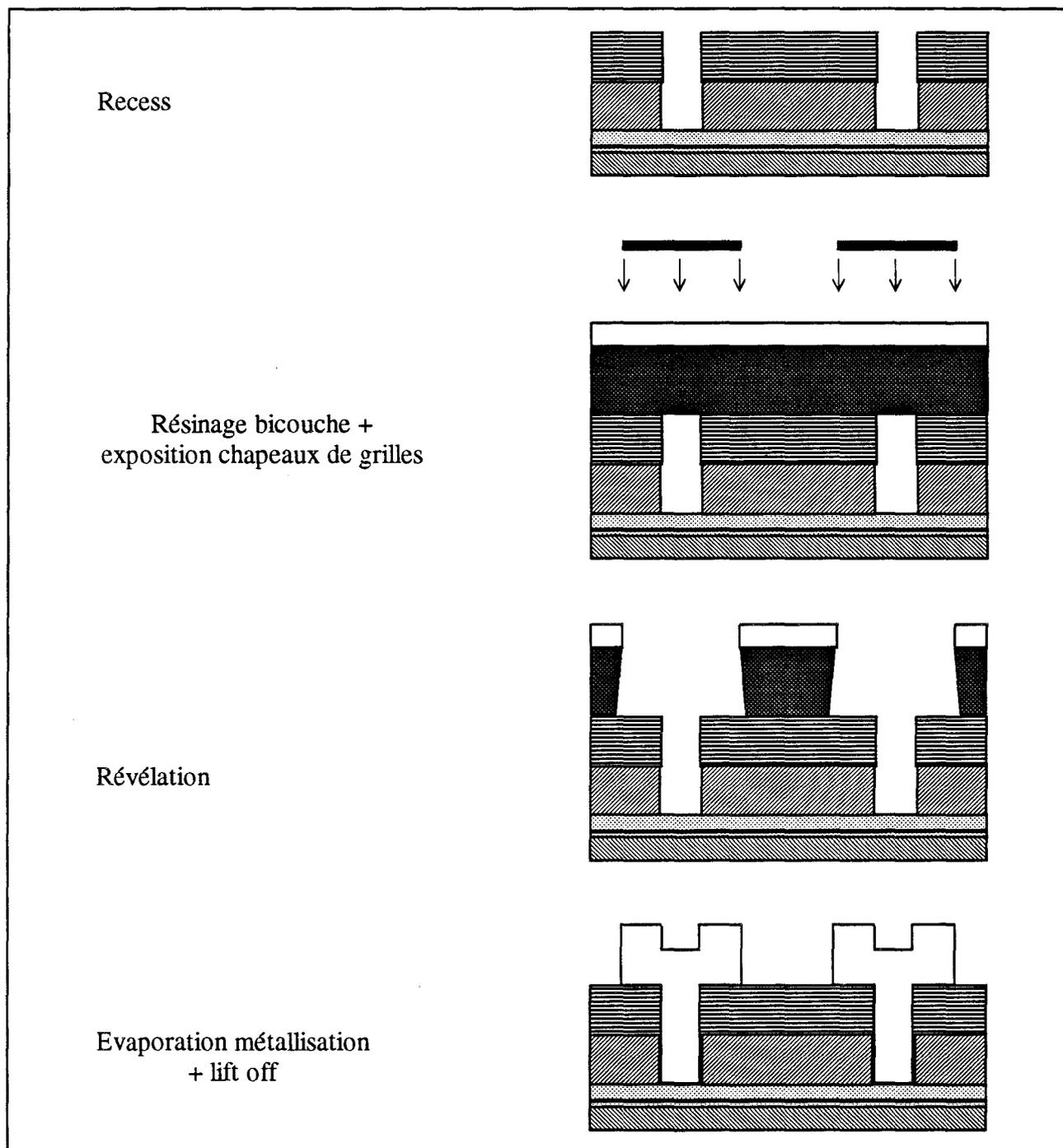
A ce stade de la réalisation, les résistances de contact  $R_c$  et la résistance carrée  $R_{\square}$  de la couche peuvent être déterminées grâce aux échelles de résistances prévues à cet effet. Nous avons mesuré sur 5 échantillons les valeurs moyennes suivantes :

$$R_c = 0.09\Omega.\text{mm} \quad \text{et} \quad R_{\square} = 132\Omega$$

### III.3.3. Gravure du 'recess' et dépôt des grilles

Cette étape, et en particulier la gravure du 'recess', est de loin la plus importante du 'process' technologique complet. En effet, les caractéristiques et les performances des composants en dépendent directement. Une lithographie électronique est nécessairement employée compte tenu des dimensions ultra courtes envisagées (0.1 $\mu\text{m}$ ). Chaque grille est enterrée isolément afin de garantir une résistance intergrille minimale.

La figure V.8 décrit le principe de cette étape cruciale. Une première couche de nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) d'épaisseur 800Å est déposée, suivie d'une résine électro-sensible (PMMA). L'écriture des zones correspondantes aux pieds de grille est assurée par un faisceau d'électrons. Après révélation de la résine, une attaque par plasma  $\text{CF}_4$  permet d'ouvrir le nitrure pour pouvoir procéder aux creusements des fossés de grille. Ceux-ci sont réalisés chimiquement par voie humide dans un bain d'attaque composé de  $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ . La profondeur est contrôlée en mesurant le courant  $I_{DS}$  du transistor 'test'.



*Figure V.9 : Dépôt des grilles.*

Un résinage bicouche est entrepris alors afin de définir, après exposition au masqueur électronique et révélation, la forme des grilles en 'T' (grilles 'champignon'), indispensable pour la réduction des résistances métalliques de ces électrodes (figure V.9). Le dépôt des contacts Schottky proprement dit est effectué à ce stade par évaporation des composés Ti/Pt/Au

(500/250/3250Å). Une opération de 'lift-off' classique permet d'éliminer finalement l'excès de métallisation en dissolvant la résine, pour ne laisser apparaître que les grilles s'appuyant sur le support  $\text{Si}_3\text{N}_4$ .

Des résistances métalliques moyennes de  $70\Omega$  ont été mesurées en statique sur des doigts de grilles de largeur  $100\mu\text{m}$ . Cette valeur pourrait être avantageusement réduite en élargissant les chapeaux de grilles à  $0.5\mu\text{m}$  par exemple, au lieu de  $0.3\mu\text{m}$  dans ce cas.

#### III.3.4. Epaissements, passivation et capacités MIM

Après ouverture du nitrure à l'aide d'un plasma  $\text{CF}_4$ , les plots d'épaissement sont définis par une lithographie optique décrite sur la figure V.10 (exposition UV + révélation). Les métallisations Ti/Au ( $1000/4000\text{Å}$ ) sont déposées par évaporation, puis un 'lift-off' assure la fin de cette opération.

L'étape suivante consiste à déposer une couche de  $\text{Si}_3\text{N}_4$  d'épaisseur  $1700\text{Å}$ , utilisée non seulement pour la passivation des zones actives des composants, mais aussi comme matériau diélectrique des capacités de découplage de la seconde grille des TECs bigrilles.

Enfin, un dernier niveau de métallisation, identique à celui des épaissements, est réalisé pour achever les capacités MIM, et pour constituer des plots de contact destinés à la polarisation statique de la seconde grille.

Les mesures jusqu'à  $26.5\text{GHz}$  du coefficient de réflexion des capacités MIM 'test' ont montré que les valeurs de celles-ci atteignent parfaitement les valeurs visées de  $2\text{pF}$ .

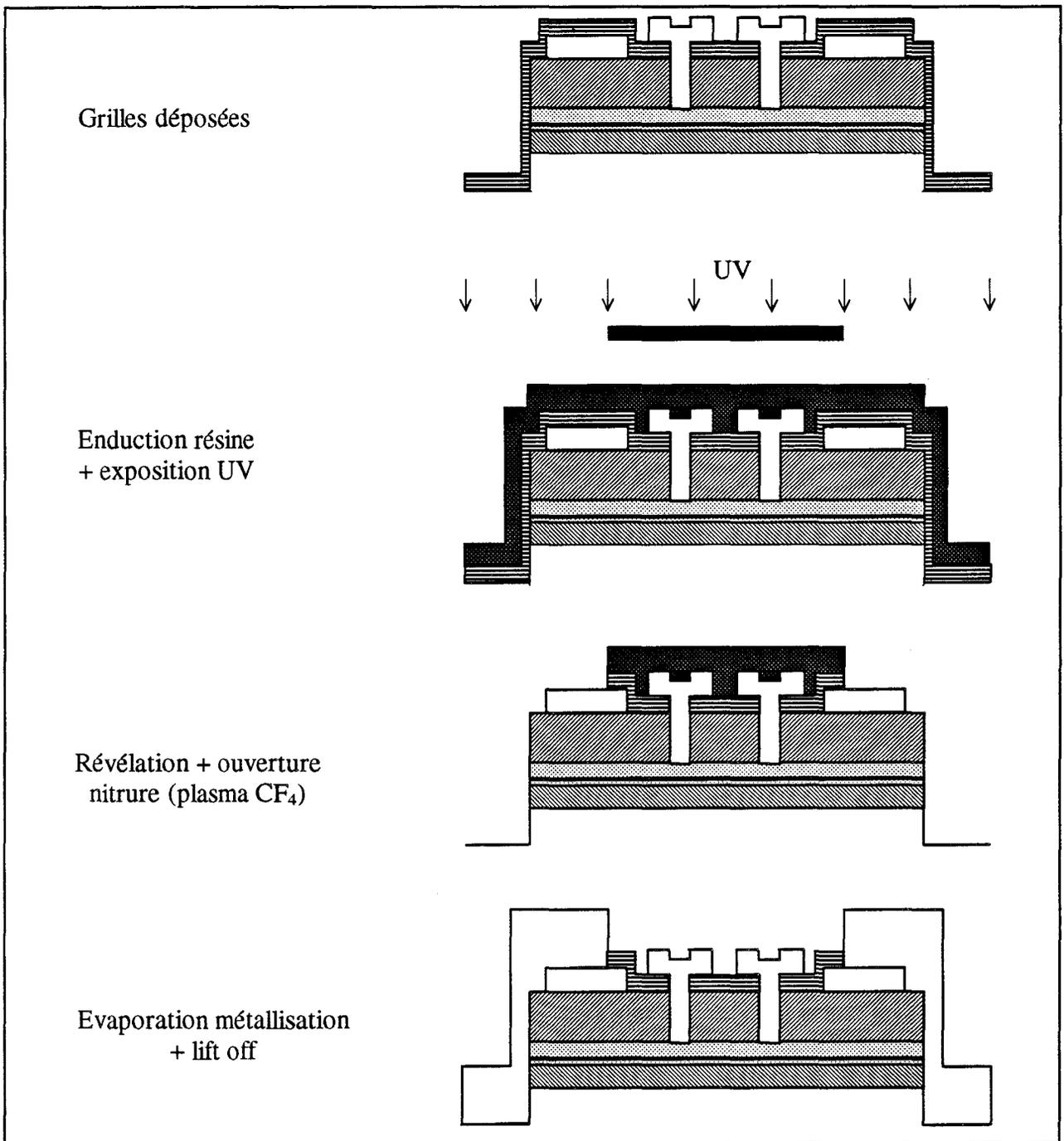


Figure V.10 : Réalisation des plots d'épaissement.

#### III.4. Conclusion

Nous avons présenté dans ce paragraphe l'ensemble des composants '7 Nains', conçus et réalisés pour l'étude expérimentale des potentialités des TECs bigrilles en gamme d'ondes

millimétriques. La filière pseudomorphique AlGaAs/InGaAs/GaAs a été retenue avec une technologie de grille voisine de  $0.1\mu\text{m}$ .

Sept géométries spécifiques ont été imaginées pour apprécier, d'une part, les influences de la largeur des grilles ainsi que celles de la distance les séparant, et d'autre part, les performances des TECs bigrilles comparativement à celles d'un monogridle appartenant à cette famille. Les principaux résultats obtenus font l'objet du paragraphe suivant.

#### **IV. LES PRINCIPAUX RESULTATS**

Nous nous sommes efforcés dans ce paragraphe dédié à la présentation des résultats de caractérisation des composants '7 Nains', de comparer systématiquement les caractéristiques obtenues pour les transistors bigrilles avec celles du monogridle *Simplet*. Outre l'évaluation des performances de chacun d'entre eux, nous pourrions ainsi apprécier les avantages de ces structures particulières. Plusieurs axes de confrontation sont envisagés tels que :

- les réponses statiques en courant
- les éléments des schémas électriques équivalents déterminés jusqu'à 40GHz
- les différents gains MAG, MSG et  $H_{21}$  déduits des paramètres  $S_{ij}$  mesurés jusqu'à 110GHz
- les facteurs de bruit mesurés de 6 à 19GHz, à 60GHz et à 94GHz.

Nous aborderons également de manière expérimentale l'étude de l'influence de la passivation sur les caractéristiques des composants.

#### IV.1. Régime statique

Le premier aspect que nous abordons concerne la réponse en courant des composants, dont un exemple typique est illustré sur la figure V.11. Le résultat fondamental qui ressort de cette figure est la très nette amélioration de la conductance de sortie, d'où un régime de saturation beaucoup plus franc. Il découle de cette propriété que la tension de pincement reste sensiblement indépendante de la tension  $V_{DS}$ , contrairement au transistor monogrille. L'ajout d'une seconde grille semble donc être effectivement une solution efficace pour pallier aux problèmes et aux limitations rencontrés avec les TECs à grille ultra courte.

A faible  $V_{DS}$ , la comparaison des réseaux  $I_{DS}(V_{DS})$  montre que les lois d'échelle sont respectées, car les courants normalisés au millimètre de largeur de grille sont relativement identiques pour ces composants de  $60\mu\text{m}$  (bigrille) et  $80\mu\text{m}$  (monogrille). Cette remarque sur l'égalité des courants traduit le fait que la tension de polarisation de la seconde grille est suffisamment élevée devant la tension de pincement pour ne pas limiter le courant dans la structure. Cet aspect prend de l'importance lorsque cette tension  $V_{G2S}$  n'est pas ajustable, comme c'est le cas pour l'exemple étudié, car en effet le TEC concerné est le composant *Timide*. Ce dernier, dépourvu de capacité de découplage, a la particularité de posséder sa seconde grille directement connectée à l'électrode de source ( $V_{G2S}=0\text{V}$ ).

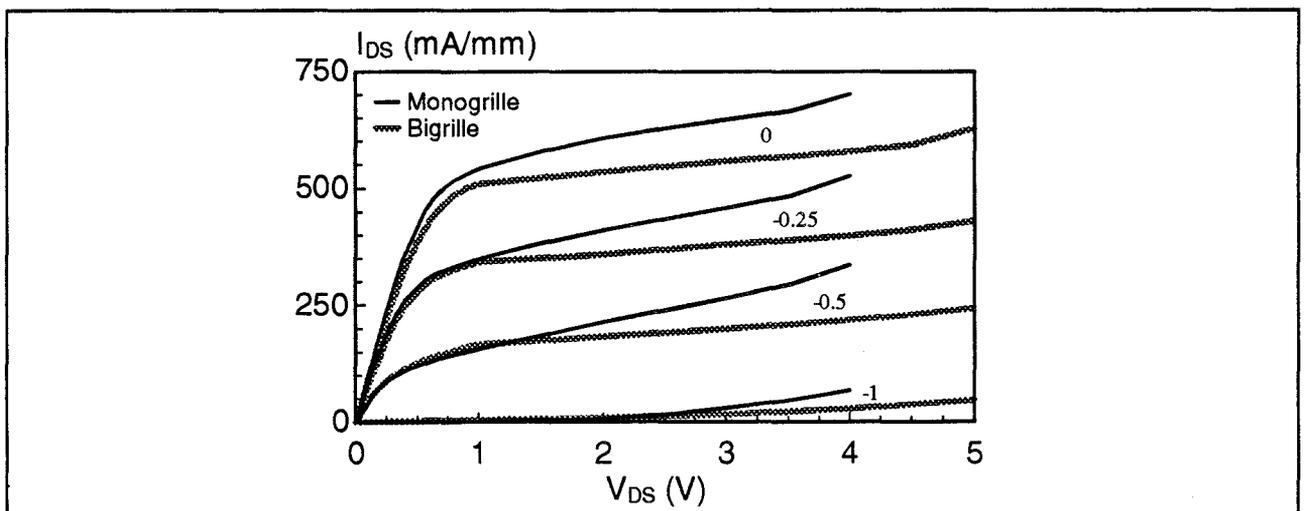


Figure V.11 : Comparaison des réseaux  $I_{DS}(V_{DS})$  des TECs monogrilles et bigrilles '7 Nains'.

Un autre aspect positif des TECs bigrilles concerne l'amélioration de la tension de claquage qui constitue un paramètre important pour les amplificateurs 'grand signal'. En effet, toujours à la lecture des caractéristiques statiques, il apparaît possible d'appliquer des tensions Drain-Source plus élevées. Cette propriété résulte du fait que la tension  $V_{DS}$  se répartit intrinsèquement sur les deux transistors équivalents constituant le composant bigrille. Cette répartition, qui comme nous l'avons vue au chapitre I est essentiellement gouvernée par le potentiel appliqué sur la seconde grille, permet au composant d'atteindre une tension d'avalanche particulière car dépendante de  $V_{G2S}$ . Cette dernière sera d'ailleurs d'autant plus élevée que  $V_{G2S}$  sera grand, car le potentiel de la zone intergrille suit rigoureusement celui de  $G_2$ .

Cependant, il convient d'être prudent en régime 'grand signal', car si la limite supérieure définie par la tension d'avalanche est avantageusement repoussée en fonction de  $V_{G2S}$ , cette augmentation entraîne dans son sillage la limite inférieure. En effet, le potentiel sur l'électrode de drain ne doit en aucun cas descendre sous celui de  $G_2$ , au risque de mettre en direct le contact Schottky Grille<sub>2</sub>-Drain. L'amplitude du signal de sortie ne peut donc pas décrire toute la droite ou l'ellipse de charge de  $V_{DS}=0V$  à  $V_{DS}=V_{avalanche}$  (figure V.12). Cette limitation a déjà été mise en évidence dans le cadre d'une thèse soutenue au laboratoire [6]. Notons que cet inconvénient n'existe pas avec le transistor 'Timide' ( $V_{G2S}=0V$ ).

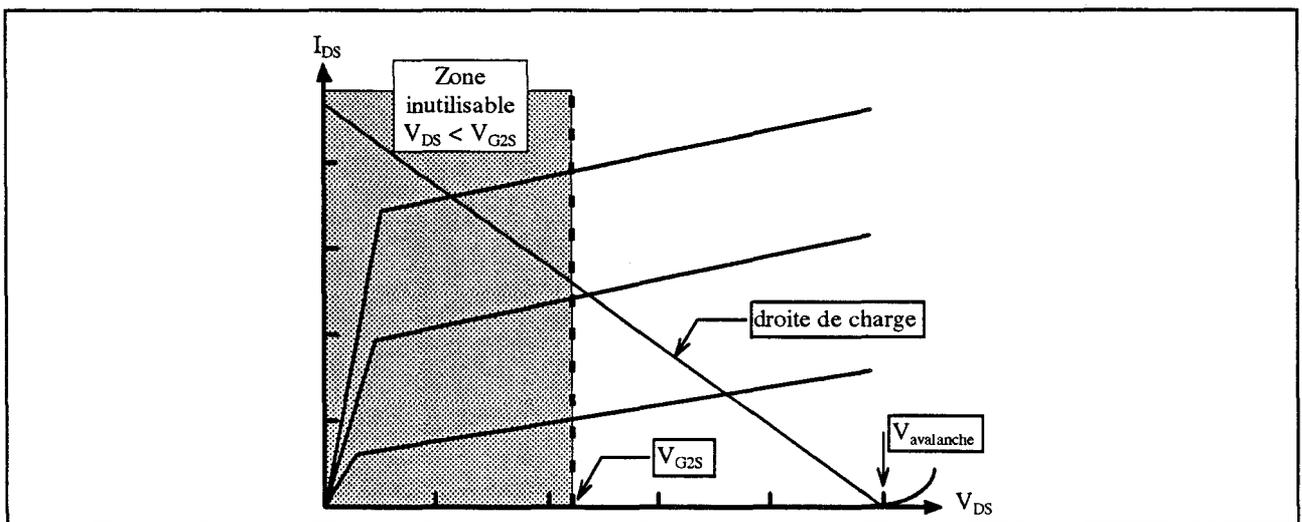


Figure V.12 : Limitation inférieure pour la tension  $V_{DS}$  du TEC bigrille imposée par  $V_{G2S}$ .

Un autre aspect limitatif pour les performances en régime 'grand signal' est certainement le courant de fuite de grille  $I_G$  [7]. Nous avons relevé celui-ci en fonction des tensions de polarisation de grille et de drain sur les transistors monogrille et bigrille (*Timide*). La figure V.13 présente les résultats, et montre que non seulement le courant de fuite  $I_G$  du composant bigrille est considérablement réduit, mais qu'en plus la tension  $V_{DS}$  maximale applicable est nettement plus importante (6V contre 3.7V). Ce résultat observé par ailleurs [8] s'explique très simplement par le fait que la tension interne  $V_{D1S}$  aux bornes du transistor équivalent  $TEC_1$  demeure relativement faible par rapport à  $V_{DS}$ . La première grille se trouve ainsi protégée des éventuels courants de trous engendrés par ces phénomènes d'ionisation par impact ou par effet tunnel. De plus, l'augmentation de  $V_{DS}$  n'a pas trop d'influence au niveau du  $TEC_1$ , car le  $TEC_2$  joue le rôle d'écran en absorbant pratiquement toutes les variations à ses bornes. En revanche, la seconde grille reste exposée à ces effets, car l'augmentation de la tension  $V_{DS}$  jusqu'à 6.1V (pour l'exemple traité) s'est soldée par la destruction du composant, malgré la très faible valeur du courant de grille  $I_{G1}$  relevé. L'observation au microscope de l'état du transistor a confirmé que l'origine de la destruction se situait au niveau de  $G_2$ .

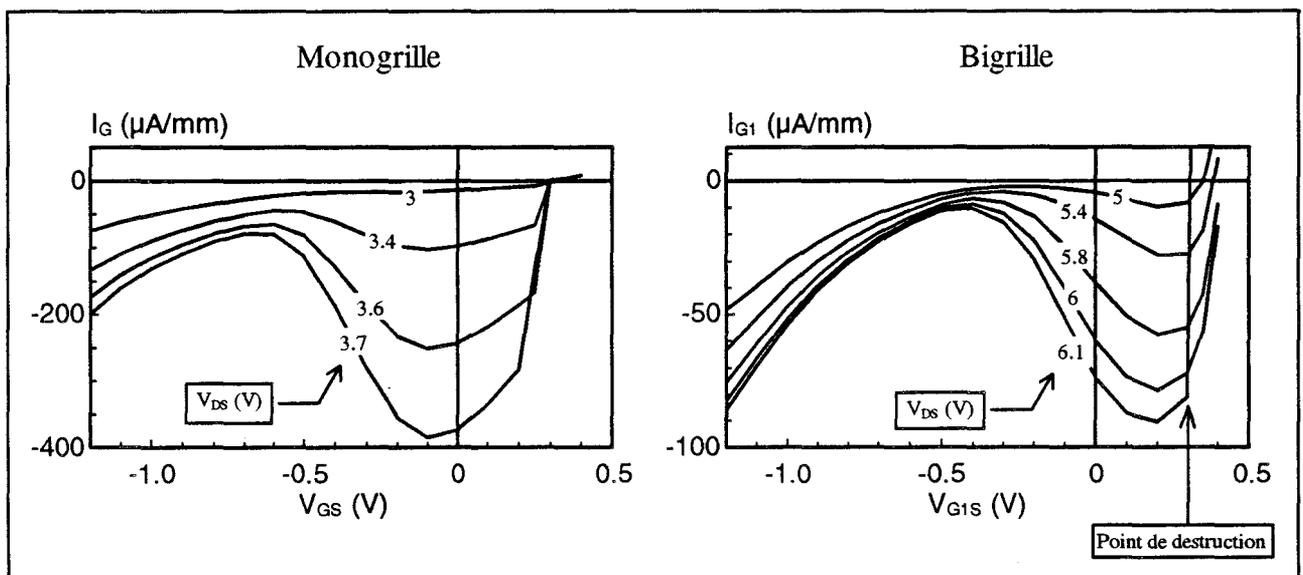


Figure V.13 : Evolutions en fonction des tensions de polarisation des courants de grilles des transistors monogrilles 'Simplet' et bigrilles 'Timide'.

## IV.2. Les schémas équivalents

Nous avons développé et présenté dans ce mémoire une méthode de caractérisation des transistors à effet de champ de type bigrille, qui permet d'extraire expérimentalement les valeurs des éléments constituant le schéma électrique équivalent de ces composants. Pour le cas des transistors '7 Nains' configurés physiquement en quadripôle et dont la représentation électrique simplifiée apparaît sur la figure V.14, la méthode mise au point ne peut être appliquée, car la seconde grille n'est pas accessible en régime dynamique. Cependant, nous savons qu'en relatives basses fréquences, ce schéma intrinsèque peut être considéré comme équivalent à celui d'un TEC monogrille, ce qui présente l'avantage de pouvoir comparer ces structures. Les composants ont donc été caractérisés avec la méthode développée et implantée au sein du laboratoire par G. Dambrine [9].

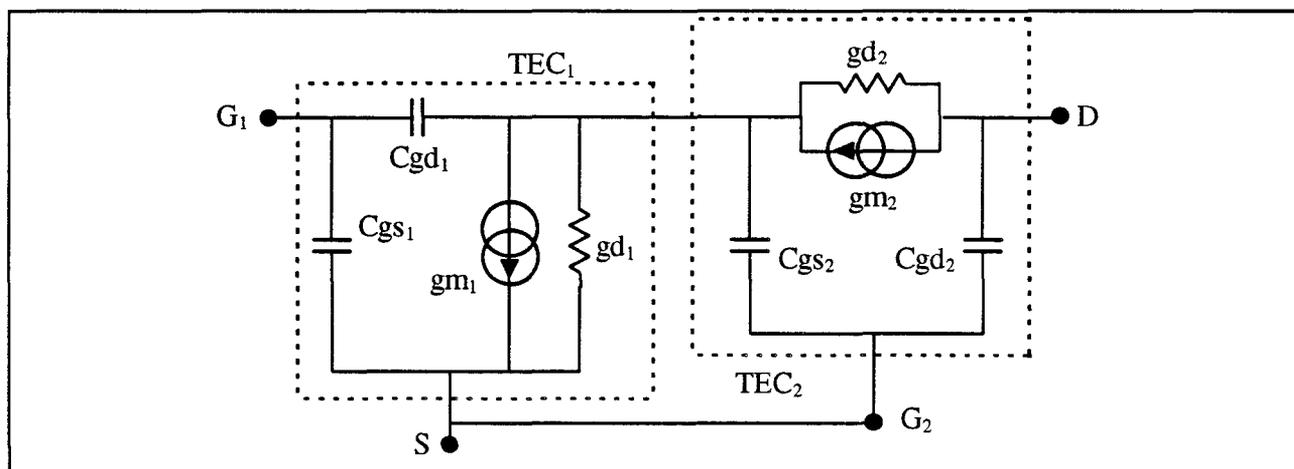


Figure V.14 : Schéma électrique équivalent intrinsèque simplifié du TEC bigrille en configuration cascode.

### IV.2.1. Influence des tensions $V_{GS}$ et $V_{GIS}$

Nous présentons sur la figure V.15 les évolutions typiques en fonction de  $V_{GS}$ , respectivement  $V_{GIS}$ , des éléments intrinsèques principaux  $g_m$ ,  $g_d$ ,  $C_{gs}$  et  $C_{gd}$  obtenus pour les transistors monogrilles et bigrilles. Les valeurs des tensions de polarisation  $V_{DS}$  et  $V_{G2S}$  choisies

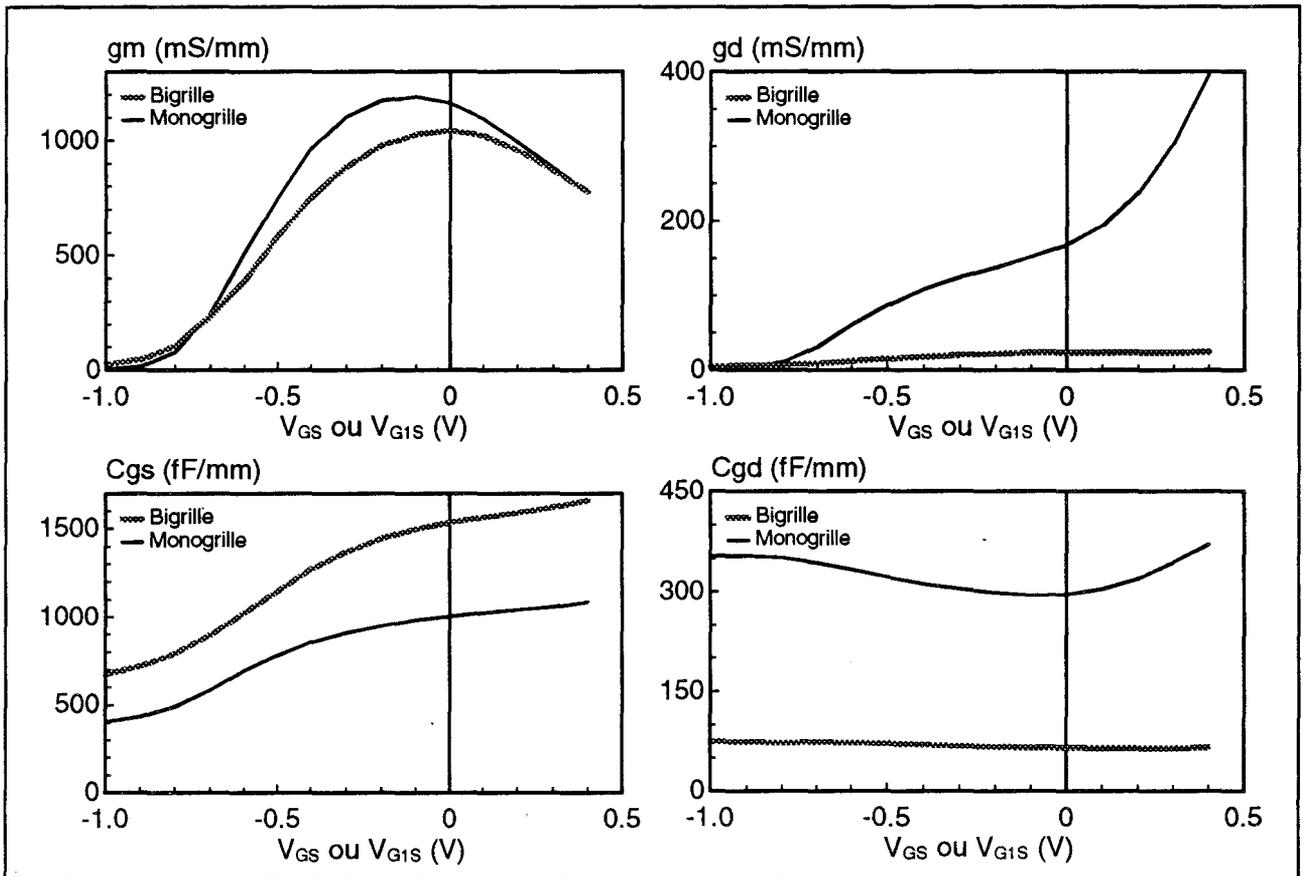


Figure V.15 : Evolutions en fonction de  $V_{GS}$  et  $V_{G1S}$  des principaux éléments intrinsèques des transistors monogrilles 'Simplet' ( $V_{DS}=1V$ ) et bigrilles 'Joyeux' ( $V_{DS}=3V$ ,  $V_{G2S}=1V$ ).

sont celles pour lesquelles les transconductances atteignent leurs valeurs maximales. Les résultats représentés sur ces courbes expérimentales corroborent les prédictions théoriques. En effet, nous constatons une très nette amélioration de la conductance de sortie  $g_d$  et de la capacité de contre-réaction  $C_{gd}$  du composant bigrille sur toute la plage d'étude. Si ces deux éléments ont tendance à augmenter pour le transistor monogrille lorsque la tension  $V_{GS}$  devient positive, signe de l'entrée en régime linéaire, cet effet disparaît remarquablement grâce à la présence de la seconde grille.

Si une légère diminution de la transconductance maximale est logiquement observée pour la structure à deux grilles (1070mS/mm contre 1200mS/mm), ce résultat constitue à notre connaissance une performance jamais atteinte à ce jour pour ce type de composant sur GaAs.

L'inconvénient majeur du montage cascode est très certainement l'augmentation de la capacité d'entrée  $C_{gs}$  qui affiche des valeurs notablement plus importantes que celles du TEC monogrille. Cet effet qui résulte directement de l'effet Miller, tend à limiter la fréquence de coupure du gain en courant intrinsèque (figure V.16), définie par :

$$f_c = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

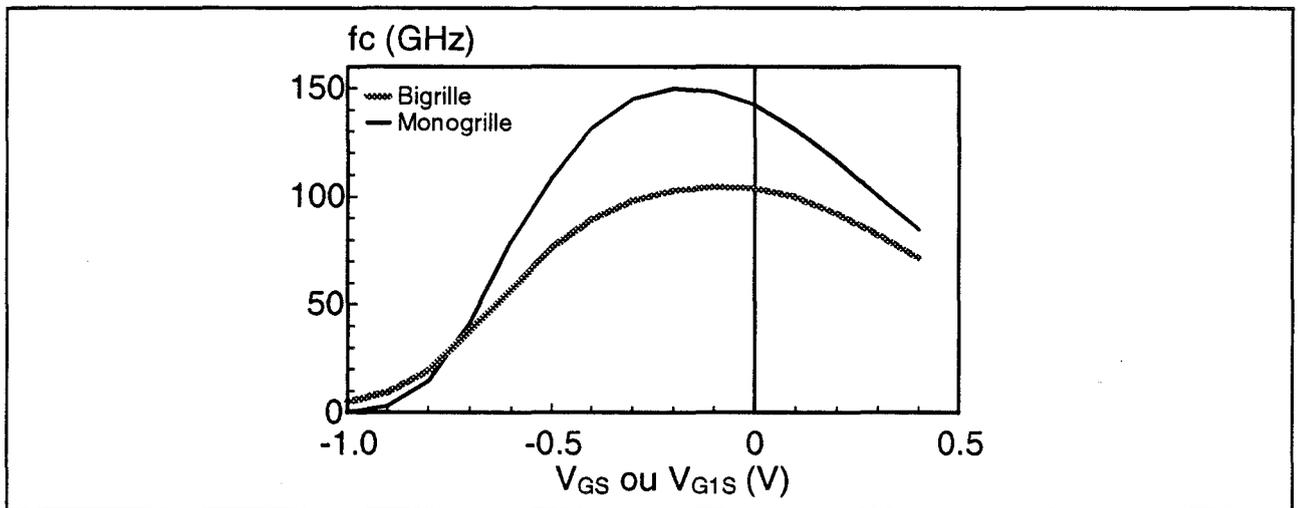


Figure V.16 : Evolutions en fonction de  $V_{GS}$  et  $V_{G1S}$  des fréquences de coupure  $f_c$  intrinsèques des transistors monogrilles 'Simplet' ( $V_{DS}=1V$ ) et bigrilles 'Joyeux' ( $V_{DS}=3V$ ,  $V_{G2S}=1V$ ).

Si les rapports  $\left(\frac{g_m}{g_d}\right)$  et  $\left(\frac{C_{gs}}{C_{gd}}\right)$  des TECs à grilles ultra courtes ont tendance à décroître avec la longueur de grille, l'ajout d'une seconde grille permet de résoudre ce problème grâce aux améliorations de la conductance de sortie  $g_d$  et de la capacité  $C_{gd}$  notamment. Cette tendance est illustrée sur la figure V.17 qui présente la comparaison de ces deux rapports obtenus avec les transistors monogrilles et bigrilles '7 Nains'. Le résultat, sans équivoque, montre que des valeurs de gain en tension d'environ 45 sont atteintes pour les TECs bigrilles contre 12 pour les monogrilles, les rapports de capacités étant respectivement de 25 et 5.

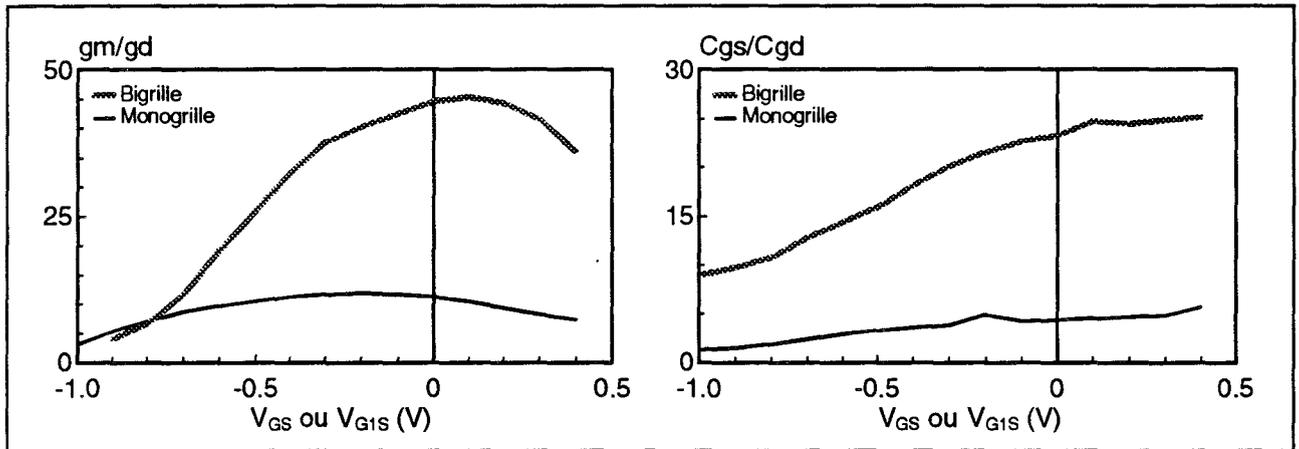


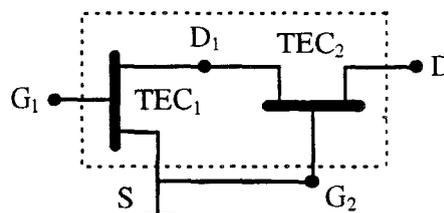
Figure V.17 : Evolutions en fonction de  $V_{GS}$  et  $V_{G1S}$  des rapports  $gm/gd$  et  $Cgs/Cgd$  des transistors monogrilles 'Simplet' ( $V_{DS}=3V$ ) et bigrilles 'Joyeux' ( $V_{DS}=3V$ ,  $V_{G2S}=1V$ ).

#### IV.2.2. Influence de la tension $V_{DS}$

La figure V.18 présente l'influence de la tension de polarisation  $V_{DS}$  sur l'évolution des 4 éléments principaux. Les mêmes échelles ont été conservées pour apprécier et faciliter la comparaison des paramètres intrinsèques relatifs aux composants *Simplet* et *Timide*.

Concernant le TEC monogrille, nous observons des évolutions classiques couramment rencontrées avec les transistors à effet de champ de type pseudomorphique. Pour  $V_{DS}=1V$ , les augmentations de la conductance de sortie  $gd$  et de la capacité de contre-réaction  $Cgd$  en fonction de la tension  $V_{GS}$ , traduisent l'approche du régime linéaire.

Les éléments du transistor bigrille montrent une remarquable insensibilité face aux variations de la tension  $V_{DS}$  pour des valeurs élevées de celle-ci (typiquement 2 et 3V), ceci s'explique par l'effet d'écran de la seconde grille. En effet, nous avons vu au chapitre I, qu'en régime de saturation le potentiel appliqué sur  $G_2$  détermine celui du point interne  $D_1$  situé dans la zone intergrille indépendamment de  $V_{DS}$  :



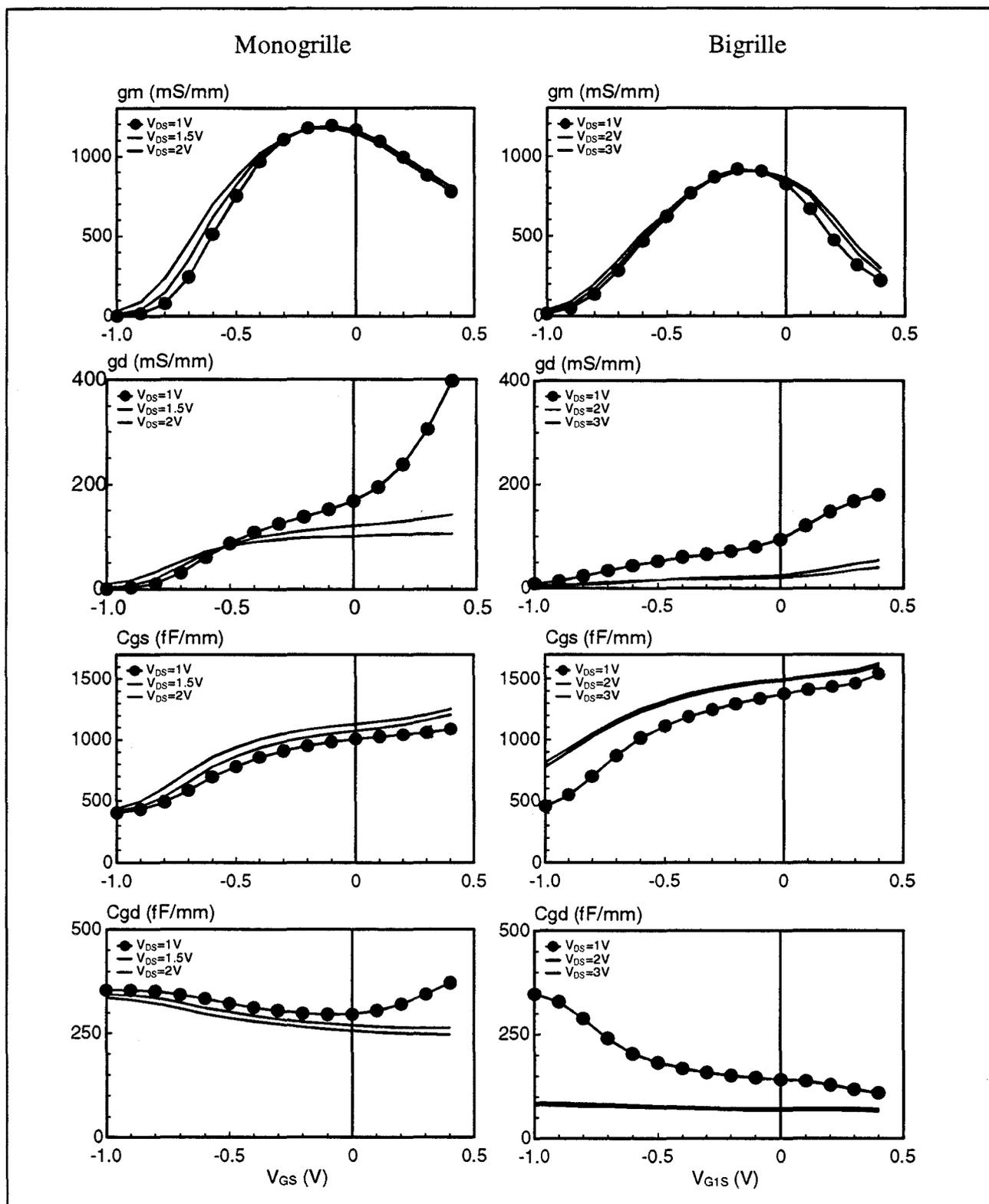


Figure V.18 : Influence de la tension de polarisation  $V_{DS}$  sur les évolutions des principaux éléments intrinsèques des transistors monogrilles 'Simplet' et bigrilles 'Timide'.

Toute variation de  $V_{DS}$  se reporte donc presque exclusivement sur la tension interne  $V_{DD1}$  du transistor équivalent  $TEC_2$  constituant le composant bigrille, ne modifiant en rien les conditions de polarisation du  $TEC_1$ . Ainsi, seuls les éléments du  $TEC_2$  peuvent engendrer une évolution du comportement global, mais de par leurs faibles variations en fonction de  $V_{DD1}$ , leurs influences restent négligeables. Cette quasi indépendance des éléments du schéma équivalent en fonction de  $V_{DS}$  peut avoir des conséquences positives sur le comportement du transistor en régime 'grand signal', et donc sur sa linéarité. Il semblerait intéressant d'envisager une telle étude, qui sort largement du cadre de notre travail.

En revanche, lorsque la tension  $V_{DS}$  devient trop faible (ici 1V), des changements conséquents apparaissent, notamment sur les valeurs des capacités. L'analyse de ces modifications montre que la seconde grille ne joue plus son rôle d'écran. En effet, nous constatons qu'au

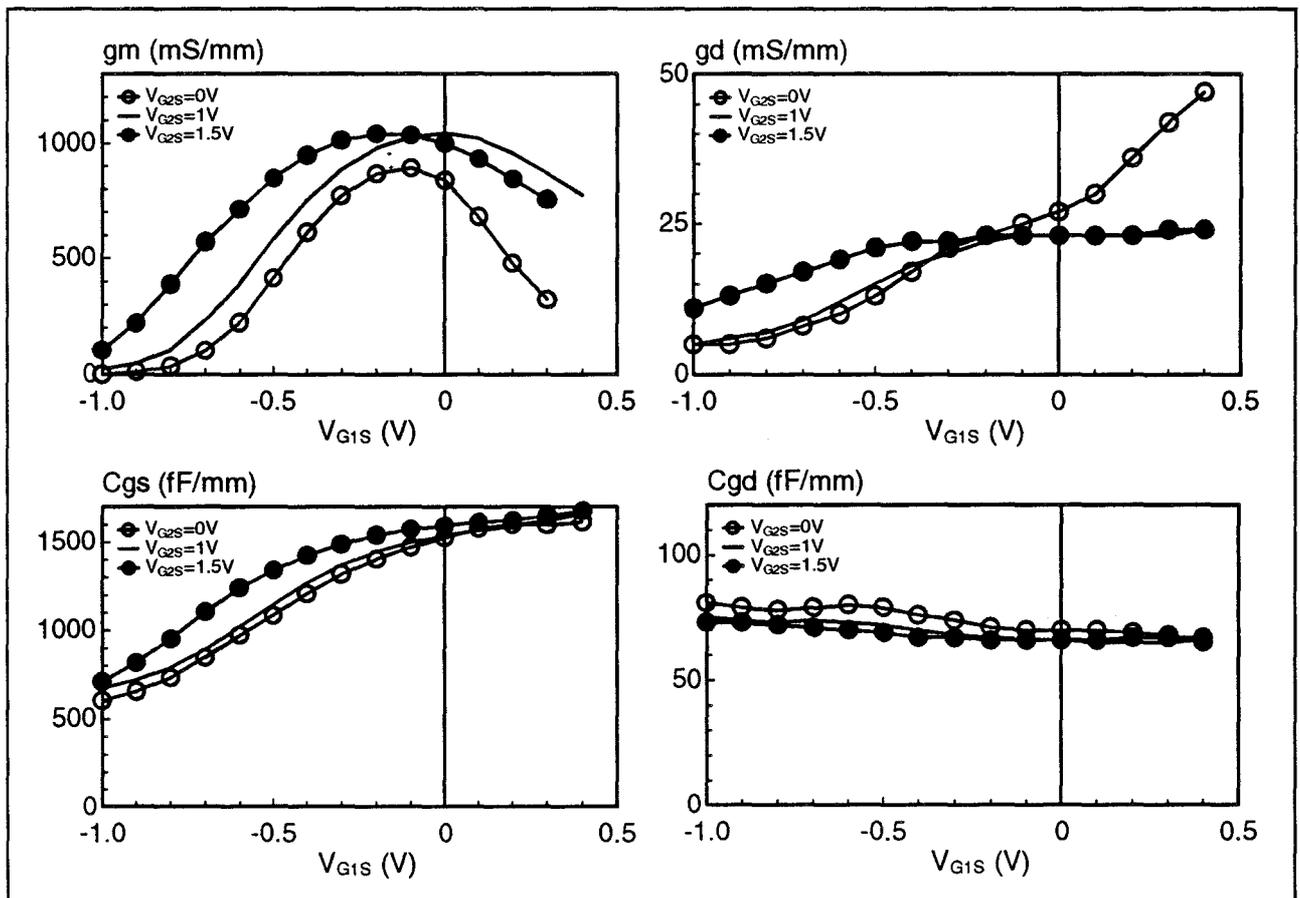


Figure V.19 : Influence de la tension de polarisation  $V_{G2S}$  sur l'évolution des principaux éléments intrinsèques des transistors bigrilles 'Joyeux' ( $V_{DS}=3V$ ).

voisinage de la tension de pincement, les éléments du composant bigrille prennent des valeurs proches de celles du TEC monogrille, ce qui traduit la quasi disparition des propriétés de l'association cascode. Cet effet découle de la diminution de la tension  $V_{DD1}$  aux bornes du  $TEC_2$ , contraint à opérer en régime linéaire à faible courant. Par contre, quand  $V_{G1S}$  augmente, la tension  $V_{DD1}$  aux bornes du second TEC tend de nouveau à croître et nous retrouvons des valeurs de  $C_{gs}$  et  $C_{gd}$  proches de celles obtenues pour des tensions  $V_{DS}$  plus élevées.

#### IV.2.3. Influence de la tension $V_{G2S}$

L'influence de la tension de polarisation  $V_{G2S}$  appliquée sur la seconde grille est illustrée sur la figure V.19, qui représente les évolutions des éléments intrinsèques du transistor bigrille *Joyeux*. Il est intéressant de noter que pour  $V_{G2S}=0V$ , nous retrouvons sensiblement les mêmes caractéristiques (sens de variation et valeurs) que celles relatives au transistor *Timide* (cf figure précédente), dont la grille  $G_2$  est directement reliée à la source. Il apparaît de manière générale que l'augmentation de  $V_{G2S}$  entraîne celle de la transconductance  $g_m$  et celle de la capacité d'entrée  $C_{gs}$ . Ces effets résultent de l'accroissement de la tension interne  $V_{DIS}$ , qui engendre également une diminution de la capacité  $C_{gd}$ . Ces sens de variation sont tout à fait similaires à ceux des éléments intrinsèques d'un TEC monogrille en fonction de  $V_{DS}$ , ce qui montre que le transistor équivalent  $TEC_1$  tient une place prépondérante dans le comportement global du composant. L'analyse de la variation de la transconductance montre de plus que la tension de pincement se décale légèrement avec la tension  $V_{G2S}$ , ce qui s'explique par l'augmentation de la conductance de sortie du transistor équivalent  $TEC_1$  en fonction de  $V_{DIS}$ .

#### IV.2.4. Influence de la topologie

Pour être complet dans la présentation, il faudrait décrire les variations des éléments du schéma équivalent intrinsèque en fonction de chaque tension de polarisation et pour chaque transistor de la famille '7 Nains'. En pratique, aucune différence majeure n'a pu être observée pour les caractéristiques essentielles des transistors bigrilles : nous résumons dans le tableau ci-dessous l'ensemble des résultats typiques déduits des mesures :

Transistor	<i>Simplet</i> 2*40µm	<i>Timide</i> 2*30µm	<i>Atchoum</i> 2*20µm	<i>Prof</i> 2*30µm	<i>Grincheux</i> 2*40µm	<i>Dormeur</i> 2*30µm	<i>Joyeux</i> 2*30µm
L <sub>G1G2</sub> (µm)	-	1.1	1.1	1.1	1.1	0.8	0.6
gm (mS/mm)	1200	920	990	995	990	1040	1070
fc (GHz)	150	101	97	102	102	103	106
gm/gd	12	48	51	52	51	50	49

Il ressort de ce tableau une excellente uniformité des résultats, ce qui signifie que les lois d'échelle en fonction de la largeur des transistors bigrilles sont respectées. Si la valeur maximale de la transconductance de *Timide* est manifestement plus faible, cela est dû à la limitation imposée par la valeur de la tension  $V_{G2S}$  égale à 0V. Nous pouvons remarquer cependant qu'elle reste relativement importante.

Il apparaît également que le rapprochement des deux grilles tend à augmenter légèrement la transconductance équivalente, sans pour autant modifier le gain en tension. Ces résultats, liés à la diminution de la valeur de la résistance parasite intergrille  $R_{12}$ , correspondent parfaitement aux prédictions théoriques, car nous montrons à partir des équations données en annexe I.1, que les expressions de 'gm' et 'gd' du montage cascode, compte tenu de la résistance  $R_{12}$ , s'écrivent :

$$gm \approx \frac{gm_1 \cdot (gm_2 + gd_2)}{gd_1 + (gm_2 + gd_2) \cdot (1 + R_{12} \cdot gd_1)} \quad gd \approx \frac{gd_1 \cdot gd_2}{gd_1 + (gm_2 + gd_2) \cdot (1 + R_{12} \cdot gd_1)}$$

Des simulations physiques, à partir d'un modèle pseudo-bidimensionnel développé au laboratoire, ont confirmé cette dépendance des éléments intrinsèques du schéma équivalent bigrille en fonction de la distance intergrille [10].

### IV.3. Les gains en régime 'petit signal'

Ce paragraphe a pour objet l'étude des performances des transistors '7 Nains' en terme de gain maximum stable (MSG), de gain maximum disponible (MAG) et de gain en courant de court-circuit ( $H_{21}$ ), dont les expressions littérales en fonction des paramètres  $S_{ij}$  sont rappelées ci-dessous :

- $|H_{21}| = \left| \frac{-2 \cdot S_{21}}{(1 - S_{11}) \cdot (1 + S_{22}) + S_{12} \cdot S_{21}} \right|$

- $MAG = MSG \cdot (K - \sqrt{K^2 - 1})$

avec  $MSG = \left| \frac{S_{21}}{S_{12}} \right|$

$$K = \frac{1 + |\Delta S|^2 - |S_{11}|^2 - |S_{22}|^2}{2 \cdot |S_{21} \cdot S_{12}|}$$

$$\Delta S = S_{11} \cdot S_{22} - S_{12} \cdot S_{21}$$

Remarque : K est appelé coefficient de stabilité

#### IV.3.1. Influence de la fréquence

Nous avons calculé ces caractéristiques à partir de la mesure sous pointes des paramètres  $S_{ij}$  des composants, jusqu'à 110GHz. La figure V.20 présente les évolutions fréquentielles typiquement obtenues avec les transistors que nous avons réalisés. Nous constatons et vérifions

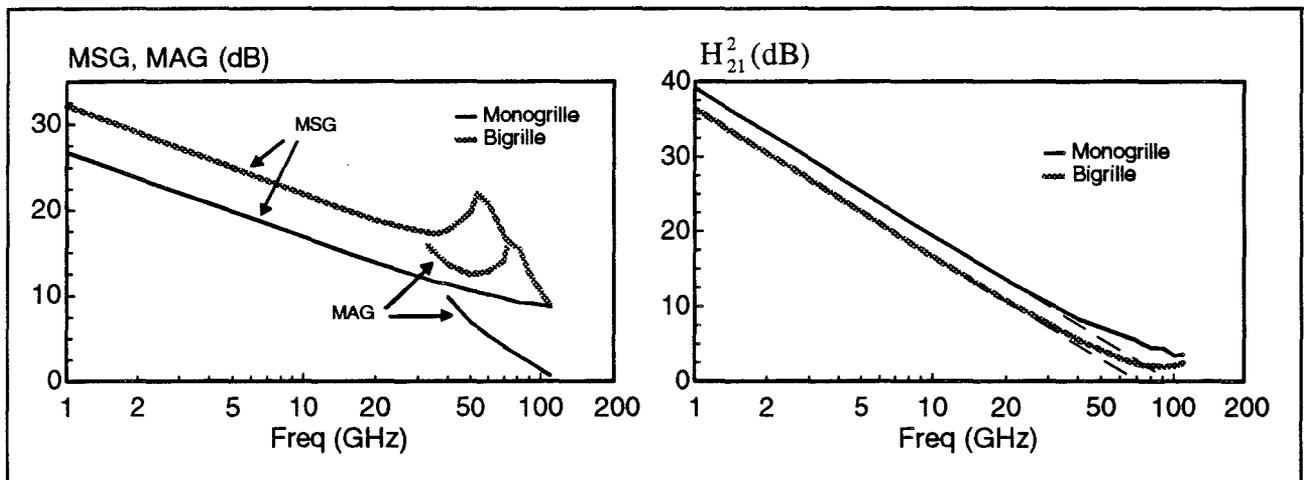


Figure V.20 : Evolutions fréquentielles des gains MSG, MAG et  $H_{21}^2$  des transistors monogrilles 'Simplet' ( $V_{DS}=1.5V$ ) et bigrilles 'Timide' ( $V_{DS}=3V$ ).

que pour les fréquences inférieures à 40GHz, le composant bigrille se comporte effectivement comme un TEC monogrille, car les variations des gains MSG et  $H_{21}^2$  suivent les lois caractéristiques décroissantes de 3dB/octave et respectivement de 6dB/octave.

Si le gain en courant de la structure cascode est logiquement inférieur à celui du transistor *Simplet*, dû à l'augmentation de la capacité d'entrée, nous relevons cependant par extrapolation une fréquence de coupure extrinsèque  $f_T$  de 70GHz, ce qui représente une performance jamais publiée à notre connaissance pour un transistor bigrille sur GaAs.

Il apparaît également que sur toute la bande de fréquences étudiée, le transistor bigrille présente le gain MSG le plus élevé comparativement au monogrille, avec 5dB de plus jusqu'à 40GHz. Au-delà de cette fréquence, et plus précisément autour de 60GHz, survient un important phénomène de résonance, qui permet d'atteindre des valeurs de MSG supérieures à 20dB, contre 10dB pour *Simplet*. Cette résonance, qui montre que dans cette bande de fréquences le montage cascode ne peut plus être considéré comme équivalent à un TEC monogrille, est d'autant plus intéressante qu'elle n'est pas source d'instabilité, puisque le MAG peut être défini (coefficient de stabilité K supérieur à 1). De plus, les valeurs obtenues pour le gain maximum disponible

dépassent très nettement celles du composant monogrille (13dB à 60GHz contre 5.5dB). Il faut ajouter que la brusque augmentation du MSG se répercute tout particulièrement sur l'évolution fréquentielle du MAG, qui a tendance lui aussi à croître au voisinage de la fréquence de résonance. Ces variations, qui rappellent la complexité du fonctionnement des TECs bigrilles, ont pu être vérifiées par une simulation électrique du schéma complet du bigrille en configuration cascode.

L'origine de cette résonance peut être mise en évidence à partir de l'analyse du schéma équivalent du transistor bigrille en configuration cascode (figure V.21). Par souci de simplification, les capacités de couplage parasites inter-électrodes sont négligées. Le schéma simplifié s'apparente ainsi à une chaîne de quadripôles en cascade, dont le gain MSG global s'écrit rigoureusement et uniquement en fonction de ceux des quadripôles actifs, soit :

$$\text{MSG} = \text{MSG}_1 * \text{MSG}_2$$

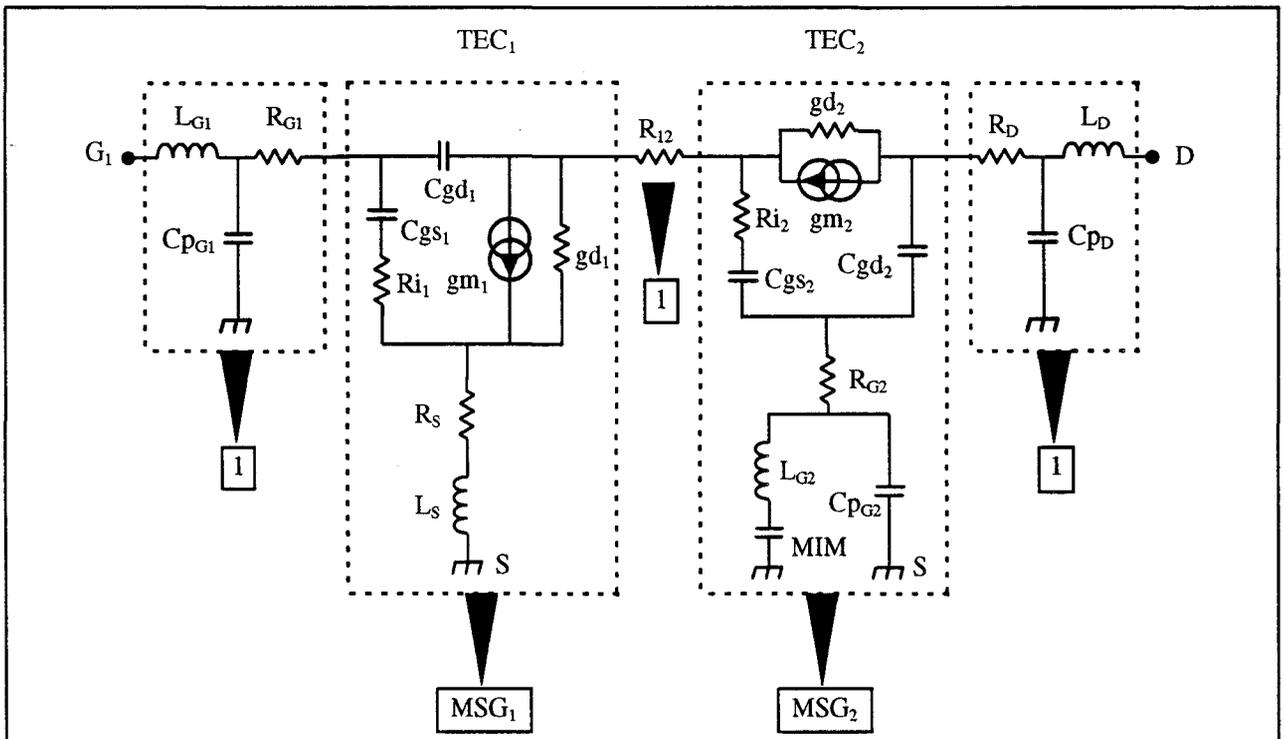
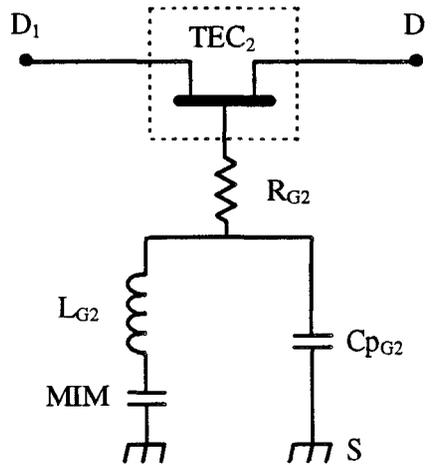


Figure V.21 : Schéma électrique équivalent du TEC bigrille en configuration cascode. Les capacités parasites de couplage sont négligées.

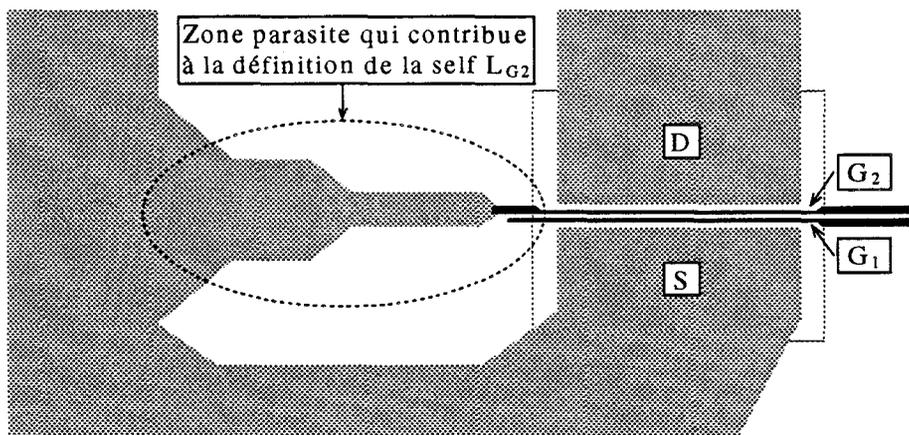
Le transistor monogrille en source commune n'étant pas le siège d'un tel phénomène résonnant, nous déduisons que cet effet prend naissance au niveau du second étage en grille commune, dont le schéma équivalent est représenté ci-dessous :



Nous montrons en annexe V.1 que la présence de la self parasite  $L_{G2}$  de ce quadripôle engendre effectivement un pic du gain maximum stable MSG pour une fréquence particulière, dont l'expression approchée est reportée ci-dessous :

$$f_{res} \approx \frac{1}{2\pi \sqrt{L_{G2} \cdot \left( C_{GS2} + C_{gd2} \cdot \left( 1 + \frac{gm_2}{gd_2} + \frac{R_{G2} \cdot C_{GS2}}{gd_2 \cdot L_{G2}} \right) \right)}}$$

Précisons que la self notée  $L_{G2}$  englobe la self propre de l'électrode de grille  $G_2$ , et celle apportée par le tronçon de ligne reliant  $G_2$  aux capacités MIM ou aux plans de masse dans le cas particulier du transistor *Timide* :



Il apparaît que cette fréquence de résonance est inversement proportionnelle à la largeur du composant. La figure V.22 confirme ces prédictions théoriques en présentant les évolutions fréquentielles expérimentales des MSG des transistors bigrilles *Atchoum* ( $2 \times 20 \mu\text{m}$ ), *Prof* ( $2 \times 30 \mu\text{m}$ ) et *Grincheux* ( $2 \times 40 \mu\text{m}$ ), d'où nous relevons des pics de gains respectivement aux fréquences voisines de 80GHz, 60GHz et 40GHz.

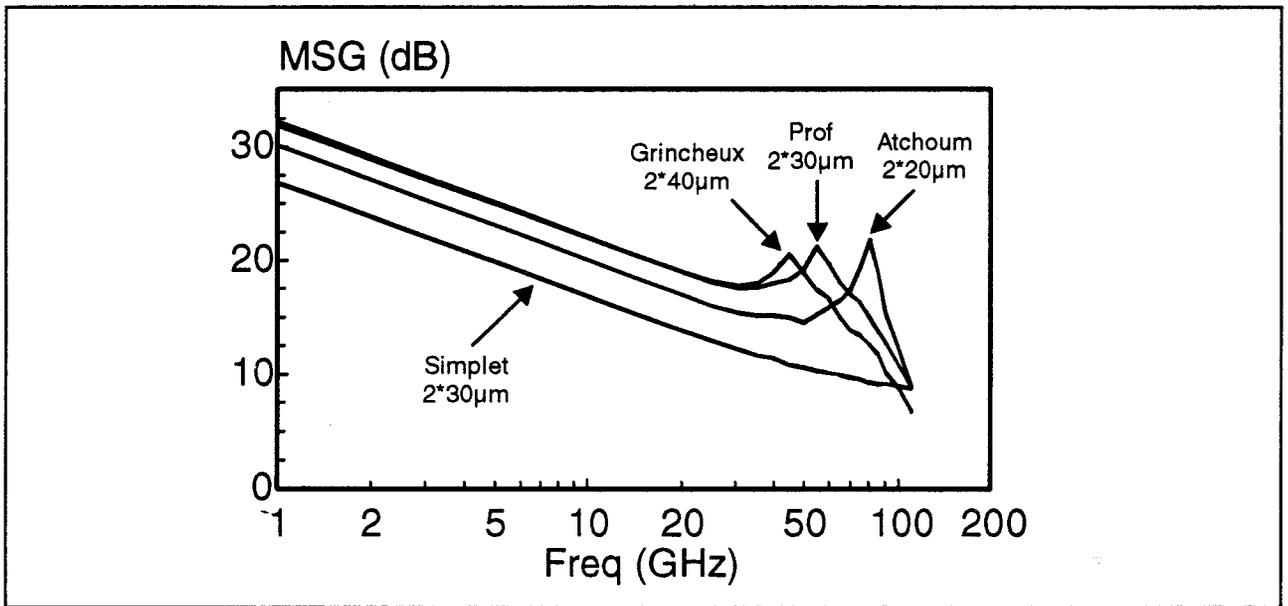


Figure V.22 : Evolutions fréquentielles des gains MSG des transistors monogrilles 'Simplet' ( $V_{DS}=1.5V$ ) et bigrilles 'Atchoum' ( $V_{DS}=1.5V$ ,  $V_{G2S}=1V$ ), 'Prof' et 'Grincheux' ( $V_{DS}=3V$ ,  $V_{G2S}=1V$ ). Influence des largeurs de grille.

#### IV.3.2. Influence des tensions de polarisation

Nous nous intéressons dans ce paragraphe à l'évolution des performances maximales des transistors '7 Nains' en fonction des tensions de commande de grille. Compte tenu que la mesure des paramètres  $S_{ij}$  jusqu'à 110GHz s'effectue en trois bandes distinctes (1-40GHz, 50-75GHz et

75-110GHz), nous avons limité l'étude des caractéristiques  $H_{21}$  et MAG en gamme d'ondes millimétriques aux points de polarisation optimaux déterminés en plus basses fréquences. L'influence de la tension  $V_{G2S}$  pour les transistors bigrilles n'a pas été entreprise au-delà de 40GHz à l'heure de la rédaction de ce mémoire.

La figure V.23 compare les évolutions de la fréquence de coupure extrinsèque  $f_T$  du gain en courant des composants monogrilles et bigrilles pour différentes valeurs de  $V_{DS}$  et en fonction de  $V_{GS}$  (ou  $V_{G1S}$ ). Nous constatons que les valeurs maximales des deux structures sont

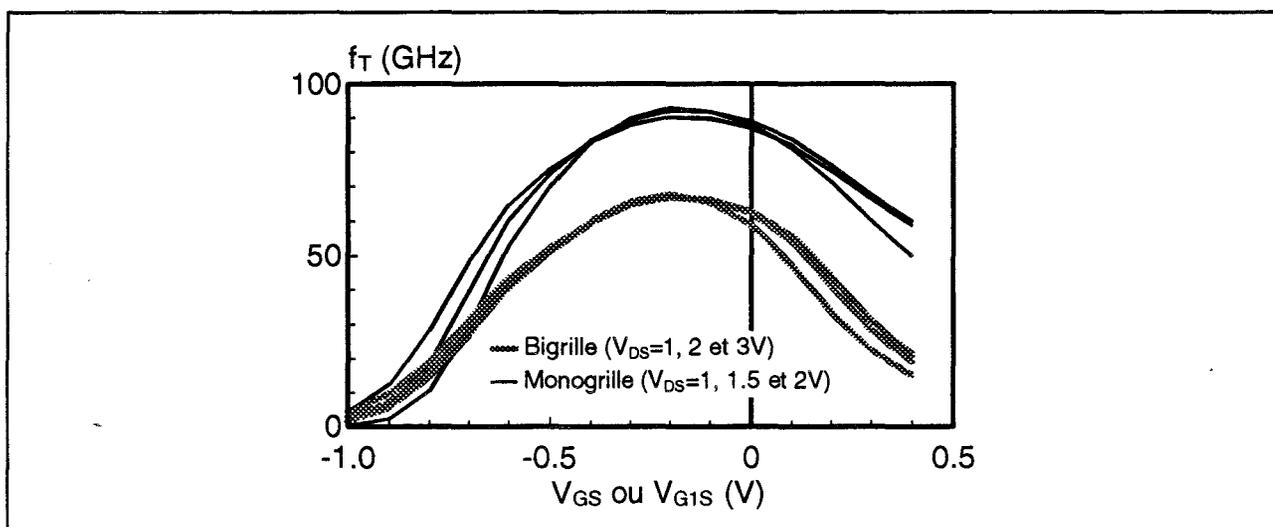


Figure V.23 : Evolutions en fonction de  $V_{GS}$  et  $V_{G1S}$  des fréquences de coupure des gains en courant extrinsèques des transistors monogrilles 'Simplet' et bigrilles 'Timide'. Influence de la tension de polarisation  $V_{DS}$ .

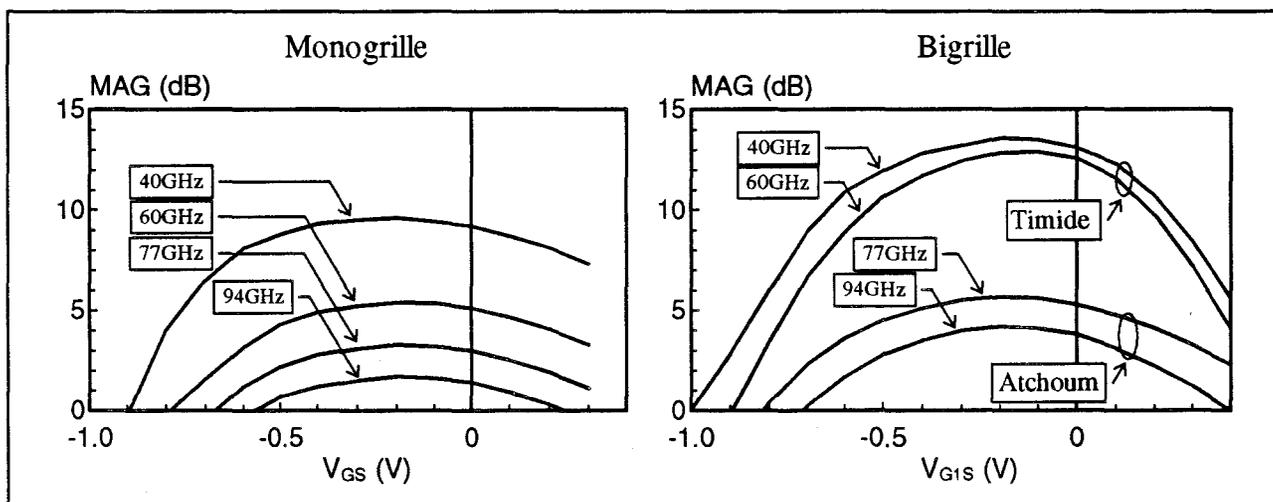


Figure V.24 : Evolutions en fonction de  $V_{GS}$  et  $V_{G1S}$  des MAG à différentes fréquences des TECs monogrilles 'Simplet' ( $V_{DS}=1.5V$ ) et bigrilles 'Timide' ( $V_{DS}=3V$ ) et 'Atchoum' ( $V_{DS}=1.5V$ ).

relativement insensibles aux variations de la tension  $V_{DS}$ , et que le transistor monogrille demeure incontestablement le plus performant (95GHz contre 70GHz).

En revanche, concernant le gain maximum disponible, le transistor bigrille est certainement à même de fournir des valeurs plus élevées, compte tenu des améliorations qu'il apporte en terme de conductance de sortie et de capacité de contre-réaction. La figure V.24 présente les évolutions des MAG obtenus en fonction des tensions  $V_{GS}$  pour les monogrilles et  $V_{GIS}$  pour les bigrilles, pour les fréquences particulières suivantes : 40GHz, 60GHz, 77GHz et 94GHz. Les échelles sont volontairement choisies identiques pour faciliter la comparaison et pour apprécier l'intérêt des composants bigrilles. Outre leurs performances supérieures, nous constatons que contrairement aux monogrilles, les valeurs du MAG à 40GHz et 60GHz restent très voisines pour les TECs bigrilles. Ce résultat découle du phénomène de résonance précédemment décrit qui limite la chute fréquentielle du gain. A titre d'exemple, nous relevons à 60GHz quelques 8dB de plus avec une valeur pic de 13dB. Pour les fréquences 77GHz et 94GHz, les évolutions du MAG sont celles issues de la mesure du composant *Atchoum* qui, polarisé à  $V_{DS}=1.5V$  (au lieu de 3V), présente un état de fonctionnement inconditionnellement stable de 32GHz à 110GHz. La figure V.25 illustre cette évolution fréquentielle comparativement à celle du TEC bigrille *Timide* polarisé à  $V_{DS}=3V$  et celle du transistor de référence *Simplet*.

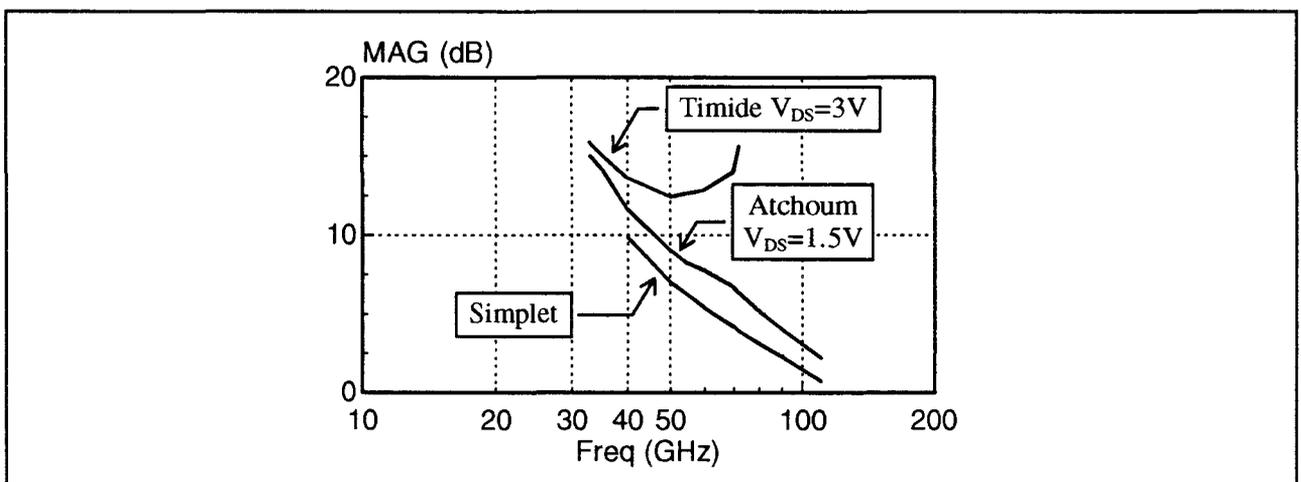


Figure V.25 : Evolutions fréquentielles des MAG des transistors monogrilles 'Simplet' ( $V_{DS}=1.5V$ ) et bigrilles 'Timide' ( $V_{DS}=3V$ ) et 'Atchoum' ( $V_{DS}=1.5V$ ).

Malgré la résonance observée sur le MSG aux alentours de 80GHz, le MAG du transistor *Atchoum* décroît continûment et parallèlement à celui de *Simplet* avec toutefois 2dB de plus. Il semble donc que la tension de polarisation du drain a une influence déterminante sur les conditions de stabilité. Ces propos n'ont pas pu être vérifiés expérimentalement sur un même composant, mais des simulations électriques ont confirmé ces évolutions.

Transistor	<i>Simplet</i> 2*40µm	<i>Timide</i> 2*30µm	<i>Atchoum</i> 2*20µm	<i>Prof</i> 2*30µm	<i>Grincheux</i> 2*40µm	<i>Dormeur</i> 2*30µm	<i>Joyeux</i> 2*30µm
$L_{G1G2}$ (µm)	-	1.1	1.1	1.1	1.1	0.8	0.6
$f_T$ (GHz)	95	70	70	71.3	71.5	71	70.4
MAG (dB) à 40GHz	9.8	13.6	12.9	13.5	13.8	13.6	13.8
MAG (dB) à 60GHz	5.3	13	11.8	12.5	12.6	-	12.8

Le tableau ci-dessus rassemble les fréquences de coupure extrinsèques  $f_T$  et les valeurs maximales des MAG obtenues avec l'ensemble des transistors '7 Nains'. Nous constatons que la topologie des TECs bigrilles, et en particulier la distance intergrille, n'a pas d'incidence notable sur ces caractéristiques. Enfin, notons que les performances atteintes par nos composants occupent une place plus qu'honorable dans l'état de l'art [11,12,13].

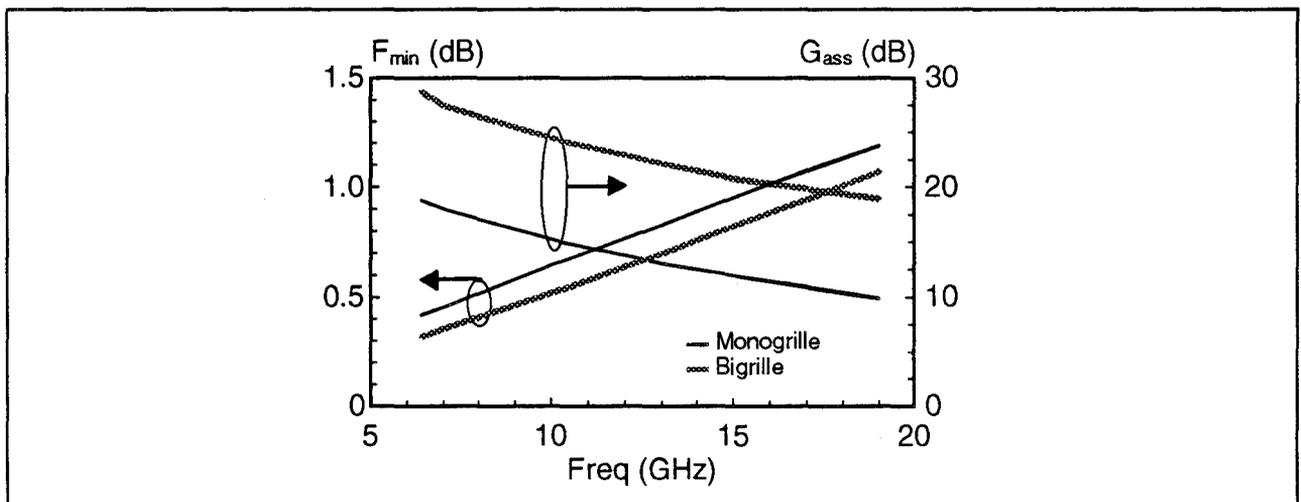


Figure V.26 : Evolutions fréquentielles des facteurs de bruit minimum et des gains associés des transistors monogrilles 'Simplet' ( $V_{DS}=1.5V$ ) et bigrilles 'Timide' ( $V_{DS}=3V$ ).

#### IV.4. Premiers résultats de mesure de bruit

Le facteur de bruit est sans aucun doute une caractéristique toute aussi importante que le gain des composants destinés à fonctionner dans une chaîne de réception, et plus particulièrement au niveau des préamplificateurs d'entrée. Comme le transistor bigrille en configuration cascade a l'avantage indéniable de présenter des gains très élevés, nous nous sommes intéressés aux potentialités de ces structures pour l'amplification dite 'faible bruit'. Nous n'avons pas eu la possibilité d'en entreprendre une étude exhaustive : ce point fera sans doute l'objet d'études plus approfondies au sein du laboratoire.

Nous présentons donc dans ce paragraphe les résultats de caractérisation des facteurs de bruit des échantillons '7 Nains', mesurés avec la méthode développée et mise au point au sein du laboratoire par G. Dambrine [14] et J. M. Belquin [15]. Les mesures ont été entreprises en basses fréquences de 6 à 19GHz, mais également en gamme d'ondes millimétriques à 60 et 94GHz.

##### IV.4.1. Etude en basses fréquences

La figure V.26 illustre les évolutions fréquentielles expérimentales jusque 19GHz des facteurs de bruit minimum ainsi que des gains associés des transistors monogrilles *Simplet* et bigrilles *Timide*. Deux aspects intéressants ressortent de la comparaison : nous constatons sur toute la bande de fréquences d'étude, que non seulement la structure bigrille offre des valeurs de gains associés supérieures d'environ 10dB, mais qu'en plus, elle est aussi peu bruyante que le TEC monogrille. A titre d'exemple, nous relevons à 18GHz,  $F_{\min}=1\text{dB}$  pour  $G_{\text{ass}}=20\text{dB}$ . Ces valeurs de gains nettement plus élevées découlent directement de l'amélioration de la conductance de sortie équivalente due à la présence de la seconde grille. Par contre, les facteurs de bruit relativement identiques peuvent s'expliquer par le fait que le gain du premier étage  $\text{TEC}_1$

constituant le bigrille est suffisamment important pour masquer le bruit généré par le second étage  $TEC_2$ .

Nous reportons sur la figure V.27 les évolutions des caractéristiques précédentes mais en fonction cette fois du courant  $I_{DS}$  à la fréquence de 19GHz. Ces courbes montrent que le facteur de bruit minimum minimumorum est atteint pour un courant d'environ 150 à 200mA/mm.

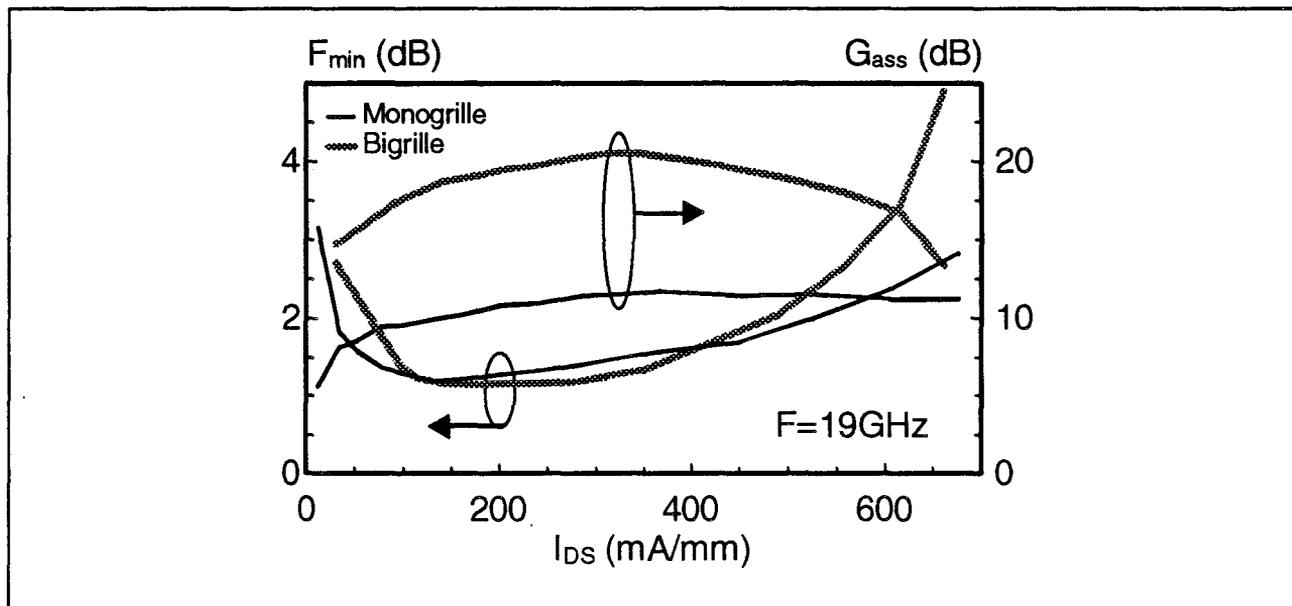


Figure V.27 : Evolutions en fonction des courants  $I_{DS}$  des facteurs de bruit minimum et des gains associés à 19GHz des TECs monogrilles 'Simplet' ( $V_{DS}=1.5V$ ) et bigrilles 'Timide' ( $V_{DS}=3V$ ).

Le tableau ci-dessous rassemble l'ensemble des résultats expérimentaux obtenus à 10 et 19GHz :

Transistor	Simplet 2*40 $\mu$ m	Timide 2*30 $\mu$ m	Prof 2*30 $\mu$ m	Grincheux 2*40 $\mu$ m
$L_{G1G2}$ ( $\mu$ m)	-	1.1	1.1	1.1
$F_{min}$ (dB) à 10GHz	0.6	0.5	0.9	1
$G_{ass}$ (dB) à 10GHz	15.3	24.5	23.8	19.7
$F_{min}$ (dB) à 19GHz	1.2	1.1	1.5	1.6
$G_{ass}$ (dB) à 19GHz	9.9	19	18.4	14.6

Les transistors bigrilles *Prof* et *Grincheux* apparaissent comme moins performants en terme de facteur de bruit par rapport à *Timide*. Cette dégradation est liée au fait que leur seconde grille est polarisée à 1V, car cette tension  $V_{G2S}$  plus élevée que celle de *Timide* (toujours nulle), induit une tension interne  $V_{DIS}$  aux bornes du premier étage  $TEC_1$  plus importante. Il en résulte donc une augmentation du facteur de bruit du  $TEC_1$  [16], et par voie de conséquence celle du facteur complet du transistor.

Cependant, à la lueur des résultats obtenus avec le transistor particulier *Timide*, il apparaît que le composant bigrille en configuration cascode occupe une place de choix pour les applications d'amplification faible bruit dans la gamme basse des micro-ondes. L'avantage principal de ces composants réside essentiellement dans les valeurs de gain très élevées.

#### IV.4.2. Etude en gamme d'ondes millimétriques

Pour l'étude expérimentale des performances en bruit en gamme d'ondes millimétriques, nous avons retenu les composants *Simplet* et *Timide*. La détermination des paramètres de bruit a posé quelques problèmes pour le TEC bigrille avec la méthode utilisée [14]. En effet, cette dernière, basée sur l'utilisation d'un schéma équivalent en bruit du transistor à effet de champ, n'est probablement plus applicable avec la structure bigrille qui n'est plus équivalente à un TEC monogrille aux fréquences envisagées 60 et 94GHz. Une extension de cette méthode au cas du transistor bigrille est actuellement en cours d'étude au sein du laboratoire par G. Dambrine : cette étude sortant largement du cadre de ce travail. Pour contourner cette difficulté, nous avons limité la comparaison aux facteurs de bruit  $F_{50}$  et aux gains associés  $G_{50}$  des composants mesurés dans le cas où l'impédance de source est égale à  $50\Omega$ . Ce paramètre  $F_{50}$  est d'ailleurs une bonne indication du facteur de bruit minimum  $F_{min}$  à 94GHz, car l'impédance de source optimale a tendance à se rapprocher de la valeur de  $50\Omega$  lorsque la fréquence croît.

La figure V.28 présente les évolutions des paramètres  $F_{50}$  et  $G_{50}$  mesurés en fonction des courants  $I_{DS}$ . De manière générale et quelle que soit la fréquence, nous constatons d'une part, que le transistor bigrille possède bien les propriétés du montage cascade, car les valeurs du gain demeurent indiscutablement supérieures, mais que d'autre part, cette structure spécifique devient plus bruyante que le TEC monogrille. Une étude est en cours pour déterminer exactement les causes de cette dégradation et pour trouver les moyens d'y porter remède. D'ores et déjà, un élément semble expliquer ce comportement : la chute fréquentielle du gain du premier transistor équivalent fait apparaître la contribution du second par simple application de la formule de Friis :

$$F = F_{TEC1} + \frac{F_{TEC2} - 1}{G_{TEC1}}$$

Cette considération expliquerait la dégradation du facteur de bruit apparemment plus importante pour le bigrille que pour le monogrille.

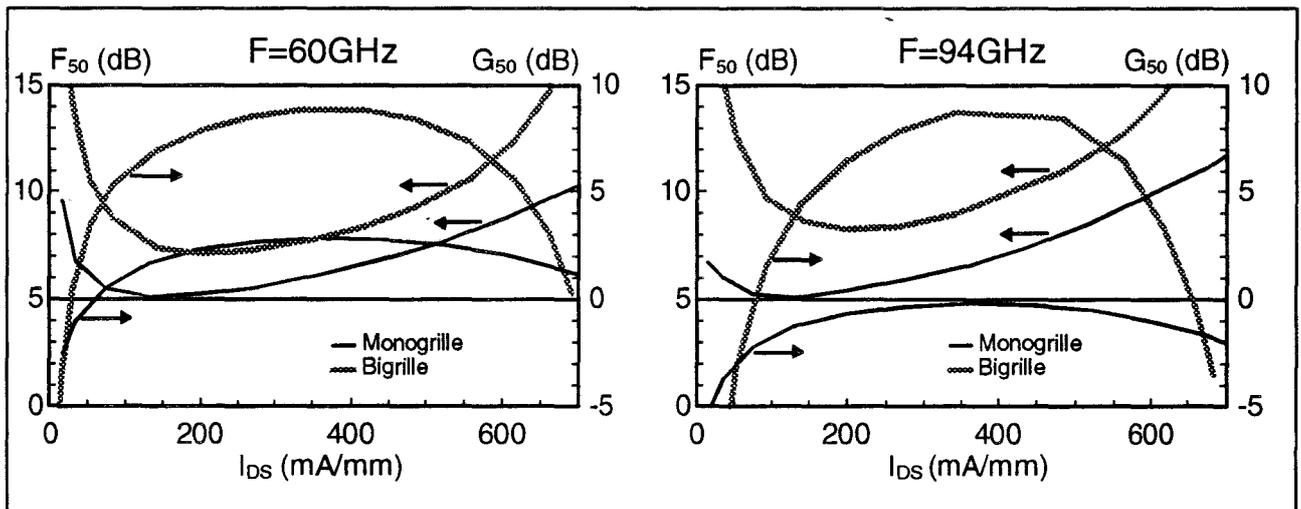


Figure V.28 : Evolutions en fonction des courants  $I_{DS}$  des facteurs de bruit  $F_{50}$  et des gains associés  $G_{50}$  à 60 et 94GHz, des TECs monogrilles 'Simplet' ( $V_{DS}=1.5V$ ) et bigrilles 'Timide' ( $V_{DS}=3V$ ).

Le tableau ci-après regroupe les valeurs particulières des caractéristiques mesurées sur les deux composants :

Transistor	<i>Simplet</i> 2*40 $\mu$ m	<i>Timide</i> 2*30 $\mu$ m
F <sub>50min</sub> (dB) à 60GHz	5	7
G <sub>50max</sub> (dB) à 60GHz	3	9
F <sub>50min</sub> (dB) à 94GHz	5	8
G <sub>50max</sub> (dB) à 94GHz	0	9

Notons que l'extrapolation linéaire à 60 et 94GHz des facteurs de bruit minimum  $F_{\min}$  relevés de 6 à 19GHz, conduit respectivement aux valeurs de 3.1 et 4.2dB pour le transistor monogrille. La valeur  $F_{50}$  mesurée à 94GHz pour *Simplet* semble donc effectivement proche de la valeur de  $F_{\min}$ .

Par ailleurs, nous avons constaté que les évolutions fréquentielles des gains associés des bigrilles sont également affectées par le phénomène de résonance précédemment décrit, ce qui se manifeste par une augmentation des valeurs de  $G_{50}$  au-delà de la fréquence de résonance. C'est pourquoi, nous relevons à 94GHz un gain identique à celui mesuré à 60GHz, de l'ordre de 9dB.

Ces résultats montrent que si le facteur de bruit des composants en configuration cascade se dégrade apparemment plus vite en fonction de la fréquence que les TECs monogrilles, la structure bigrille, en revanche, leur confère des caractéristiques de gain extrêmement intéressantes.

#### IV.5. Influence des capacités parasites de couplage

Cette dernière partie présente les résultats de l'étude expérimentale que nous avons menée concernant l'influence des capacités parasites de couplage sur les caractéristiques des composants '7 Nains'. En effet, un des éléments essentiels limitant les performances des transistors en fonction

de la fréquence est certainement la capacité de contre-réaction  $C_{gd}$ , qui résulte de la présence de la zone désertée sous la grille mais également de celles des capacités de couplage extrinsèques.

La figure V.29 décrit schématiquement la zone incriminée telle qu'elle existe au niveau des transistors que nous avons réalisés. Le nitrure de silicium ( $Si_3N_4$ ) utilisé d'une part, pour la stabilité mécanique de la grille et d'autre part, pour la passivation des zones actives, contribue fortement en raison de sa constante diélectrique, à augmenter la valeur de ces capacités parasites. Afin d'apprécier leurs influences, nous avons éliminé cette couche de nitrure par gravure à l'aide d'un plasma  $CF_4$ .

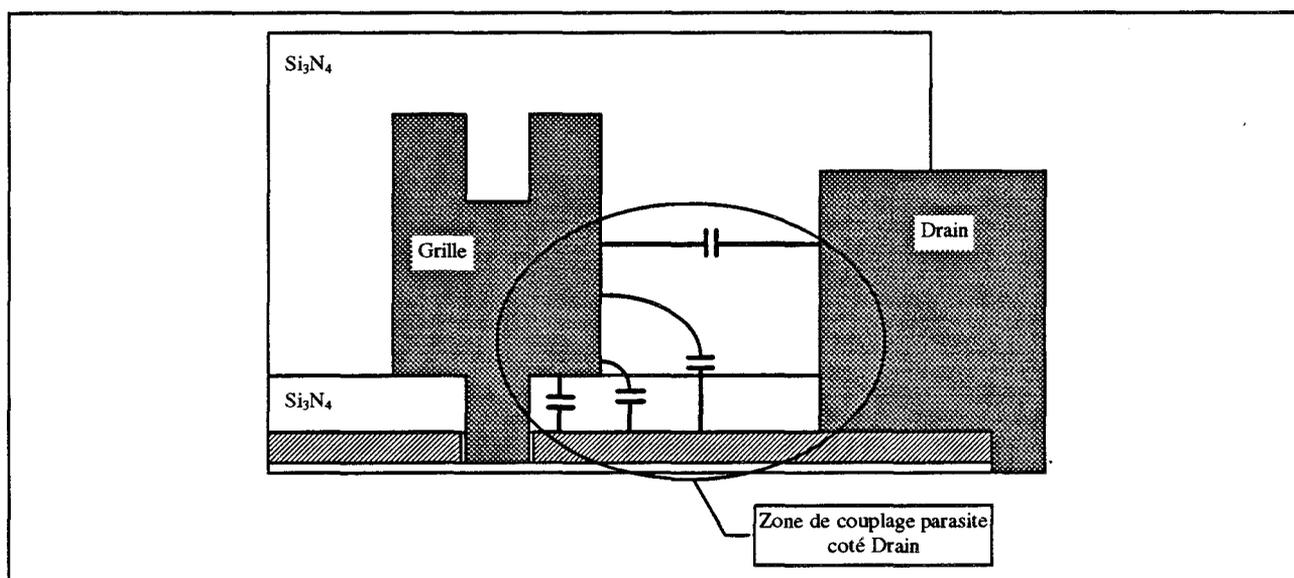


Figure V.29 : Capacités parasites de couplage dans l'espace Grille-Drain.

La figure V.30 présente les évolutions, en fonction des tensions de polarisation  $V_{GS}$  et  $V_{G1S}$ , des principaux éléments intrinsèques des transistors monogrilles *Simplet* et bigrilles *Timide*, avec et sans  $Si_3N_4$ . Les résultats escomptés sont remarquablement vérifiés, car nous constatons une diminution très nette des capacités dans les deux cas. Si ces améliorations se manifestent plus particulièrement au niveau de la capacité  $C_{gd}$  pour le transistor monogrille, c'est au contraire la capacité d'entrée équivalente  $C_{gs}$  qui est la plus réduite dans le cas du bigrille. Ce dernier effet découle directement de l'effet Miller, la capacité ramenée à l'entrée étant beaucoup plus faible.

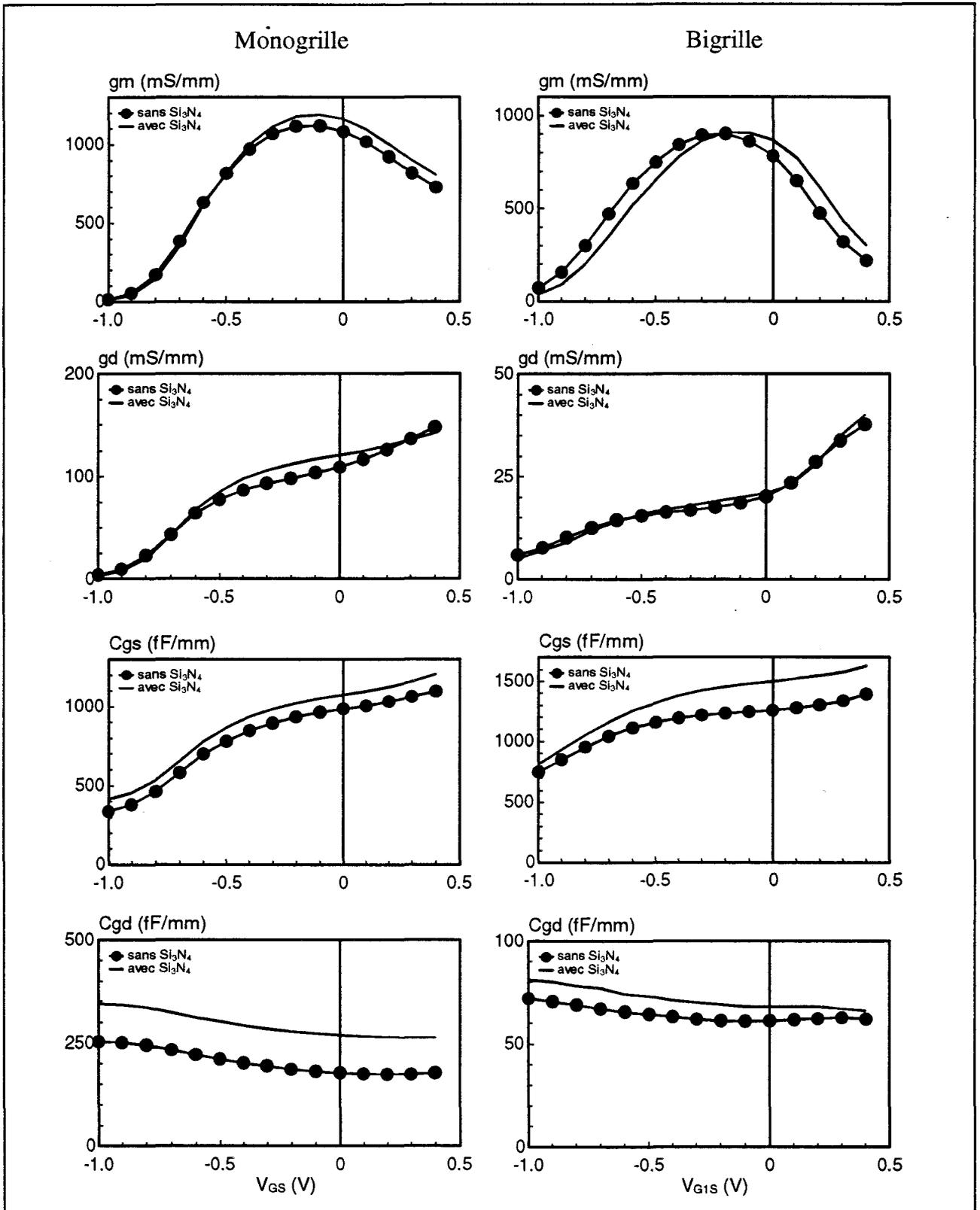


Figure V.30 : Influence du nitrure  $Si_3N_4$  sur les évolutions des principaux éléments intrinsèques des transistors monogrilles 'Simplet' ( $V_{DS}=1.5V$ ) et bigrilles 'Timide' ( $V_{DS}=3V$ ).

Nous observons également de légères modifications des conductances de sortie et des transconductances, probablement dues à des changements d'état de la surface des composants. Le tableau suivant regroupe les écarts relatifs relevés sur chacun des éléments du schéma équivalent, après l'attaque du nitrure. Le point de polarisation choisi correspond au maximum de 'gm'.

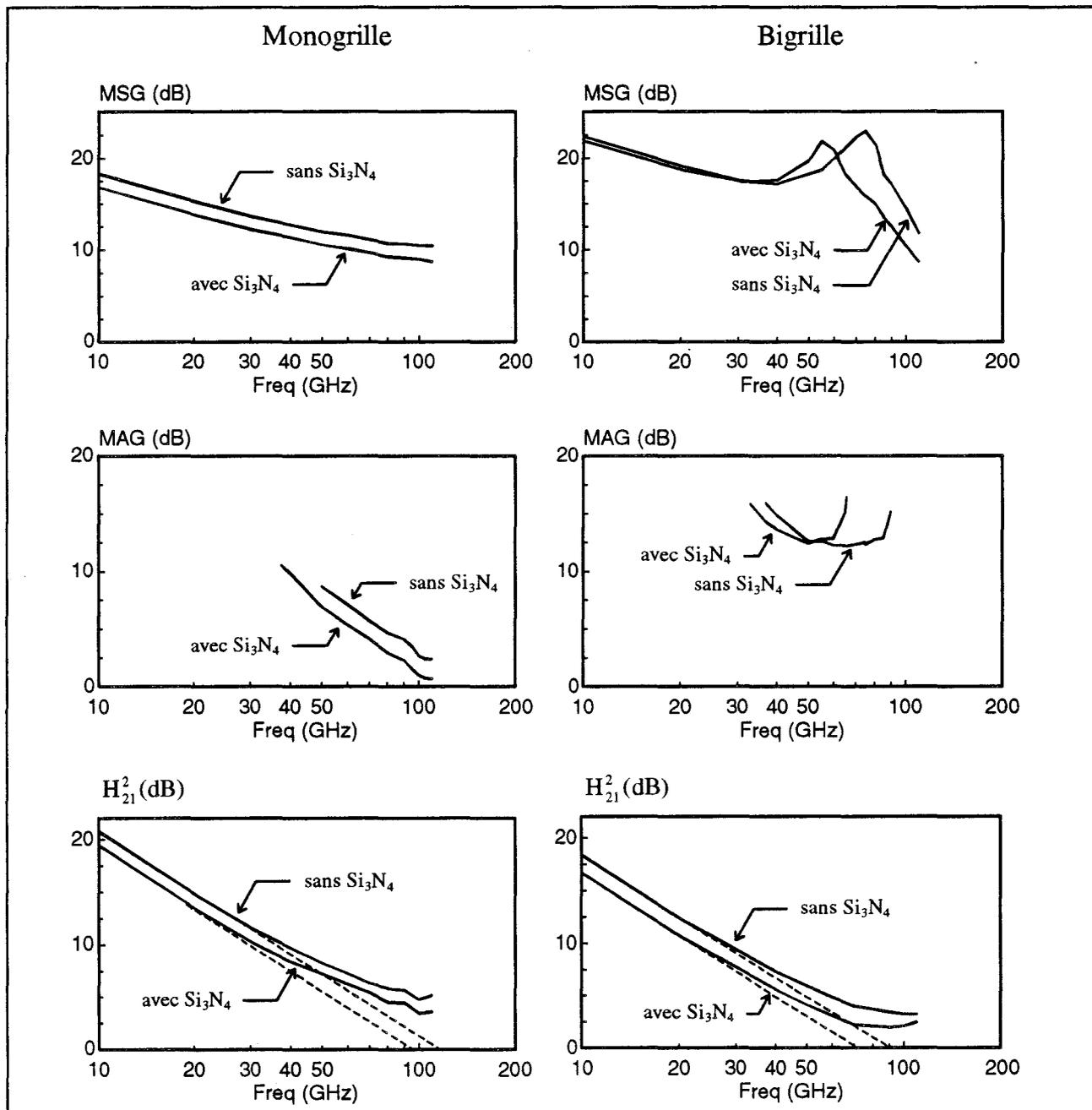


Figure V.31 : Influence du nitrure  $Si_3N_4$  sur les évolutions fréquentielles des gains MSG, MAG et  $H_{21}$  des transistors monogrilles 'Simplet' ( $V_{DS}=1.5V$ ) et bigrilles 'Timide' ( $V_{DS}=3V$ ).

Monogrigle <i>Simplet</i>					
	gm (mS/mm)	gd (mS/mm)	Cgs (fF/mm)	Cgd (fF/mm)	fc (GHz)
Avec Si <sub>3</sub> N <sub>4</sub>	1200	120	1050	270	145
Sans Si <sub>3</sub> N <sub>4</sub>	1120	103	960	180	156
Ecart relatif (%)	-7	-14	-9	-34	+8

Bigrille <i>Timide</i>					
	gm (mS/mm)	gd (mS/mm)	Cgs (fF/mm)	Cgd (fF/mm)	fc (GHz)
Avec Si <sub>3</sub> N <sub>4</sub>	910	1120	1460	70	95
Sans Si <sub>3</sub> N <sub>4</sub>	900	18	1230	61	111
Ecart relatif (%)	-1	-10	-16	-13	+17

Ces tableaux révèlent que la présence du nitrure est plus pénalisante pour le TEC bigrille, en ce qui concerne la fréquence de coupure intrinsèque, car les améliorations obtenues pour ces paramètres sont deux fois plus importantes pour *Timide* que pour *Simplet*.

Ces résultats encourageants nous ont conduits à mesurer l'impact de cette couche diélectrique sur les performances des transistors en gamme d'ondes millimétriques.

La figure V.31 illustre les évolutions fréquentielles des gains MSG, MAG et  $H_{21}^2$  de 10 à 110GHz avant et après élimination du Si<sub>3</sub>N<sub>4</sub> pour les deux transistors précédents. Ces caractéristiques démontrent que les capacités parasites de couplage entraînent des limitations non négligeables. Outre l'amélioration des performances, nous notons une influence particulière de l'absence de nitrure sur les gains maximum stable et disponible du composant bigrille. En effet, nous observons un décalage de la fréquence de résonance d'environ 60 à 80GHz, ce qui a le sérieux avantage d'accroître la zone de stabilité inconditionnelle de *Timide* pour ce point de polarisation.

A titre de résumé et afin d'apprécier numériquement les conséquences positives sur l'aptitude des composants à fonctionner en ondes millimétriques, les tableaux suivants regroupent quelques valeurs typiques des performances atteintes suite à la suppression du nitrure :

Monogrilles <i>Simplet</i>							
	60 GHz		77 GHz		94 GHz		
	MSG (dB)	MAG (dB)	MSG (dB)	MAG (dB)	MSG (dB)	MAG (dB)	$f_T$ (GHz)
Avec $Si_3N_4$	10.1	5.3	9.4	3.3	9.1	1.7	95
Sans $Si_3N_4$	11.6	7.1	10.8	5	10.5	3.7	110

Bigrilles <i>Timide</i>							
	60 GHz		77 GHz		94 GHz		
	MSG (dB)	MAG (dB)	MSG (dB)	MAG (dB)	MSG (dB)	MAG (dB)	$f_T$ (GHz)
Avec $Si_3N_4$	20.8	12.8	15.6	-	11.8	-	70
Sans $Si_3N_4$	20.2	12.2	22.5	12.5	16.2	-	90

Les mesures des facteurs de bruit et des gains associés n'ont pu être entreprises avec ces composants, mais il s'avère que la réduction des capacités parasites engendre également d'importantes améliorations de ces caractéristiques avec les transistors à effet de champ monogrilles [17].

#### IV.6. Conclusion

Un large éventail de résultats expérimentaux concernant la caractérisation des transistors bigrilles '7 Nains' a été présenté dans ce paragraphe. Afin d'apprécier les avantages de ces

composants utilisés en configuration cascade, nous nous sommes efforcés de comparer systématiquement les performances obtenues à celles des transistors monogrilles de même technologie.

Les études en régime statique et dynamique ‘petit signal’ ont montré l’intérêt et l’efficacité d’une seconde grille face aux effets dits de canal court particulièrement limitatifs pour les TECs à grille ultra courte.

Les améliorations significatives des conductances de sortie et des capacités de contre réaction équivalentes procurent aux TECs bigrilles des caractéristiques de gain nettement plus importantes, et ce jusqu’en gamme d’ondes millimétriques.

Nous avons mis en évidence un phénomène de résonance lié à la topologie des composants, et particulièrement intéressant, car il contribue à ralentir la chute fréquentielle des gains, sans être source d’instabilité.

Des mesures de bruit ont démontré l’aptitude des TECs bigrilles à amplifier de faibles signaux dans la gamme basses fréquences des micro-ondes. Malgré des facteurs de bruit plus importants en gamme d’ondes millimétriques, l’utilisation des composants bigrilles pour des applications ‘faible bruit’ peut sans doute être envisagée compte tenu des gains très élevés qu’ils procurent.

Enfin, les effets néfastes et non négligeables des capacités parasites de couplage sur les performances des TECs monogrilles et bigrilles ont été mis en évidence de manière expérimentale.

## V. CONCLUSION

---

Les limitations actuelles rencontrées avec les transistors à effet de champ (effets de 'canal court') nous ont conduit à réaliser des composants bigrilles de type pseudomorphique AlGaAs/InGaAs/GaAs de longueur de grille  $0.1\mu\text{m}$ , afin d'étudier leurs potentialités en gamme d'ondes millimétriques. Nous avons consacré ce dernier chapitre à la présentation des principales caractéristiques et performances obtenues, après une description préalable de leurs structures.

Des comparaisons systématiques avec un transistor monogrille de référence et réalisé sur le même 'wafer', ont été entreprises afin de mieux apprécier les améliorations qu'apportent ces composants en configuration cascode.

Il ressort de cette étude d'excellents résultats en terme de gains jusque  $110\text{GHz}$ , dus notamment aux réductions très nettes des conductances de sortie et des capacités de contre-réaction.

Nous avons montré que la configuration cascode des TECs bigrilles peut être à l'origine d'un phénomène de résonance particulièrement intéressant, puisqu'il engendre des valeurs de MAG très intéressantes.

En optimisant leur structure et à la lueur des premiers résultats de mesure de bruit, tout laisse à penser que ces transistors spécifiques pourront être utilisés pour des applications millimétriques 'faible bruit' compte tenu des valeurs très importantes des gains qu'ils procurent.

Enfin, le transistor particulier *Timide* dépourvu de capacité de découplage de la seconde grille semble voué à un avenir très prometteur, puisqu'il associe propriétés et performances de l'association cascode avec compacité et facilité d'intégration du TEC monogrille.

- [1] R. LAI, M. BIEDENBENDER, J. LEE, K. TAN, D. STREIT, P. H. LIU, M. HOPPE, B. ALLEN  
'0.15 $\mu$ m InGaAs/AlGaAs/GaAs HEMT production process for high performance and high yield V-band power MMICs.'  
IEEE GaAs IC Symposium, San Diego, Oct. 1995, pp 105-108
- [2] K. NUMMILA, A. A. KETTERSON, S. CARRACI, J. KOLODZEY, I. ADESIDA  
'Short-channel effects in sub-100nm GaAs MESFETs.'  
Electronics Letters, vol. 27, n° 17, Aug. 1991, pp 1519-1521
- [3] P. DOLLFUS, P. HESTO  
'Monte Carlo study of a 50nm dual-gate HEMT providing against short-channel effects.'  
Solid-State Electronics, vol. 36, n° 5, May 1993, pp 711-715
- [4] B. SPLINGART  
'Elaboration par épitaxie par jets moléculaires de dopage planaire Silicium dans des couches de GaAs et AlGaAs. Application à la réalisation de transistors à effets de champ micro-ondes.'  
Thèse 3<sup>ème</sup> cycle, Université de Lille, Juin 1993
- [5] F. DIETTE  
Thèse 3<sup>ème</sup> cycle, Université de Lille, à paraître
- [6] J. WYRWINSKI  
'Etude théorique et expérimentale de divers fonctionnements en amplification de puissance du transistor à effet de champ bigrille à arséniure de gallium.'  
Thèse de 3<sup>ème</sup> cycle, Université de Lille, Nov. 1986
- [7] C. GAQUIERE  
'Analyse et optimisation des transistors à effets de champ à hétérojonction pour l'amplification de puissance dans la bande Ka.'  
Thèse de 3<sup>ème</sup> cycle, Université de Lille, Nov. 1995
- [8] W. DAUMANN, W. BROCKERHOFF, R. BERTENBURG, R. REUTER, U. AUER, W. MOLLS, F. J. TEGUDE  
'On the advantages of InAlAs/InGaAs/InP dual gate HFET's in comparison to conventional single gate HFET's.'  
Proc. of IPRM 96, pp 462-465

- [9] G. DAMBRINE, A. CAPPY, F. HELIODORE, E. PLAYEZ  
*'A new method for determining the FET small-signal equivalent circuit.'*  
 IEEE trans. on MTT, vol. 36, n° 7, July 1988, pp 1151-1159
- [10] F. DUHAMEL  
 Thèse 3<sup>ème</sup> cycle, Université de Lille, à paraître
- [11] J. WENGER, P. NAROSNY, H. DÄMBKES, J. SPLETTSTÖSSER, C. WERRES  
*'Low noise pseudomorphic dual gate cascode HEMT's with extremely high gain.'*  
 IEEE Microwave and Guided Wave Letters, vol. 2, n° 2, Feb. 1992, pp 46-48
- [12] C. YUEN, Y. C. PAO, N. G. BECHTEL  
*'5-60GHz high gain distributed amplifier utilizing InP cascode HEMT's.'*  
 IEEE Journal of Solid-State Circuits, vol. 27, n° 10, Oct. 1992, pp 1434-1438
- [13] T. KASHIWA, M. KOMARU, T. KATOH, N. TANINO, T. TAKAGI, O. ISHIHARA  
*'A Q-band high gain and low noise variable gain amplifier using dual gate HEMTs.'*  
 IEEE GaAs IC Symposium, San Diego, 1995, pp 210-213
- [14] G. DAMBRINE  
*'A new method for on wafer noise measurement'*  
 IEEE trans. on MTT, vol. 41, n°3, March 1993, pp. 375-381
- [15] J. M. BELQUIN  
*'HEMTs extrinsic noise model for millimeter waves integrated circuits design.'*  
 26<sup>th</sup> European Microwave Conference, Sept. 1996
- [16] A. CAPPY  
*'Propriétés physiques et performances potentielles des composants submicroniques à effet de champ : structures conventionnelles et à gaz d'électrons bidimensionnel.'*  
 Thèse, Université de Lille, Dec. 1986
- [17] O. SCHULER, H. FOURRE, R. FAUQUEMBERGUE, A. CAPPY  
*'Influence of parasitic capacitances on the performances of passivated InAlAs/InGaAs HEMTs in the millimeter wave range.'*  
 Proc. of IPRM 96, pp 646-649

***CONCLUSION GENERALE***

---

**L**e principal objectif de ce travail était l'évaluation des potentialités des transistors à effet de champ bigrilles en ondes millimétriques, ceci imposait la mise en place préalable d'une méthodologie précise et complète de caractérisation de ces composants. La détermination et l'extraction du schéma équivalent électrique du TEC double grille ont donc été au centre de cette étude, dans le cadre du contrat Esprit CLASSIC (Components for Large Sixty GHz GaAs Integrated Circuit). Dans ce programme européen, qui visait à développer des nouvelles technologies pour des applications de télécommunication entre mobiles vers 60 GHz, la charge incombée à l'IEMN était entre autres la conception d'un mélangeur millimétrique fonctionnant à partir de ce transistor bigrille. Notre contribution à ce projet devait permettre de fournir au concepteur un modèle fiable, afin de développer cette application particulière qui met en jeu et exploite le fonctionnement non linéaire du composant retenu. En étroite collaboration avec C. Kolanowski, qui a entrepris la mise au point du mélangeur, nous pouvons annoncer dès à présent que l'objectif et le but précités ont été atteints.

Pour mener à bien ces travaux, nous avons débuté par l'étude et l'analyse du comportement du transistor bigrille. Les influences des tensions de polarisation ont été mises en

évidence, ce qui a conduit à l'identification de différents régimes de fonctionnement caractéristiques. Cette phase primordiale dans l'élaboration de la procédure de caractérisation 'petit signal' nous a permis d'opter pour un schéma électrique équivalent. En fait, deux solutions étaient envisageables pour ce choix. La première consiste à considérer le composant bigrille en tant qu'hexapôle à part entière, alors qu'avec la seconde, celui-ci est assimilé à 2 TECs monogrilles en configuration cascode. Nous avons retenu après vérification la dernière solution qui a l'avantage de relier chaque élément du schéma à son origine physique.

Parallèlement à cette première étape, un banc de mesure '3 portes' a été développé pour permettre l'acquisition sous pointes des paramètres de la matrice Scattering du composant bigrille. Celui-ci, disponible de 1.5 à 26.5 GHz, fonctionne suivant le principe classique de la mesure des éléments d'une matrice hexapôle avec un analyseur de réseau vectoriel '2 portes'. Une interface de commutation spécifique assure la liaison a priori incompatible entre l'analyseur (HP8510 Hewlett Packard) et les 3 pointes de mesure hyperfréquence (système Cascade Microtech). Un soin particulier a été apporté pour garantir qualité et précision des mesures. Outre l'aspect 'calibrage' qui permet de s'affranchir des erreurs systématiques, une procédure de correction supplémentaire a été implantée pour se prémunir des éventuelles désadaptations engendrées par les impédances de charge internes des commutateurs. La validité des mesures a été confirmée par une confrontation réussie de résultats provenant d'autres laboratoires de caractérisation, notamment celui de Thomson TCS.

Doté d'un banc de mesure fiable, nous avons pu mettre au point une méthode de caractérisation des transistors de type bigrille. Nous avons montré que l'extraction du schéma électrique équivalent complet requiert, compte tenu de sa complexité, plusieurs étapes distinctes. La première concerne l'identification de l'environnement parasite du composant essentiellement dû aux zones d'accès. Pour cette phase, nous nous sommes largement inspirés des travaux de

G. Dambrine relatifs à la caractérisation des TECs monogrilles. L'ensemble des éléments extrinsèques est extrait en régime froid ( $V_{DS}=0V$ ) afin d'annihiler tout comportement actif du composant. Des polarisations particulières sur chacune des deux grilles permettent quant à elles d'apprécier successivement les valeurs des éléments parallèles (capacités de plot et de couplage) et celles des éléments séries (résistances et selfs d'accès). Nous avons montré à ce sujet l'absolue nécessité de connaître au préalable la valeur des capacités parasites pour la détermination précise des selfs, et ce d'autant plus que la largeur des composants diminue.

La seconde étape concerne la caractérisation du régime actif du composant, à savoir l'extraction de la partie intrinsèque du schéma équivalent. La démarche utilisée exploite concrètement le fait que le TEC bigrille peut être considéré comme équivalent à deux monogrilles en montage cascode. En effet, celle-ci est basée sur la détermination séparée des éléments intrinsèques de chacun des deux TECs en polarisant l'autre dans son régime linéaire. Nous nous sommes orientés vers une méthode qui se veut la plus directe possible compte tenu du nombre élevé d'éléments, évitant ainsi tout algorithme d'optimisation et les problèmes de convergence ou de validité des résultats qui y sont associés. La sensibilité des éléments intrinsèques face à d'éventuelles erreurs de détermination des éléments parasites a fait l'objet d'une étude dans les différents régimes de fonctionnement.

Afin de valider la méthodologie de caractérisation mise en place, de nombreux composants bigrilles ont été expérimentés. Nous avons présenté les résultats typiquement rencontrés, qui de manière générale, sont en excellent accord avec les prédictions théoriques. L'influence de la topologie des composants sur les valeurs des éléments parasites a été clairement mise en évidence. Nous retiendrons de cette analyse l'effet néfaste des ponts à air sur la valeur de la self de source  $L_S$ . L'importance de la position des sondes de mesure lors de la détermination des éléments parasites a été évoquée. Concernant les éléments intrinsèques, les résultats obtenus sont en

parfaite concordance avec les différents régimes de fonctionnement des TECs bigrilles. Nous avons démontré la cohérence de nos résultats en les confrontant de manières différentes à d'autres issus de la mesure ou de la simulation avant de conclure sur la validité de notre méthode de caractérisation.

Enfin, une étude expérimentale des potentialités des TECs bigrilles en tant qu'amplificateurs en gamme d'ondes millimétriques a été envisagée. La diminution des dimensions, nécessaire pour la montée en fréquence, semble freiner actuellement l'amélioration des performances des TECs monogrilles, à cause notamment des effets dits de canal court. C'est cette limitation qui a motivé notre démarche, car la présence d'une seconde grille constitue une solution intéressante à ces problèmes. Nous avons ainsi réalisé des composants spécifiques au sein du laboratoire avec la seconde grille reliée à la source, soit directement, soit par l'intermédiaire d'une capacité de découplage. Les performances de ces transistors de type pseudomorphique AlGaAs/InGaAs/GaAs de longueur de grille  $0.1\mu\text{m}$ , ont fait l'objet de comparaisons systématiques avec celles d'un TEC monogrille. Les résultats obtenus ont montré de nettes améliorations des caractéristiques de gain, et ce jusqu'en gamme d'ondes millimétriques, ce qui laisse présager un avenir très prometteur pour ce type de composant.

***ANNEXES***

---

## Relations de passage de la représentation naturelle vers le schéma équivalent global.

Cette annexe décrit la démarche analytique suivie pour obtenir le schéma équivalent global, en fonction des éléments intrinsèques de la configuration cascode (dite aussi naturelle) représentée sur la figure I.A1.

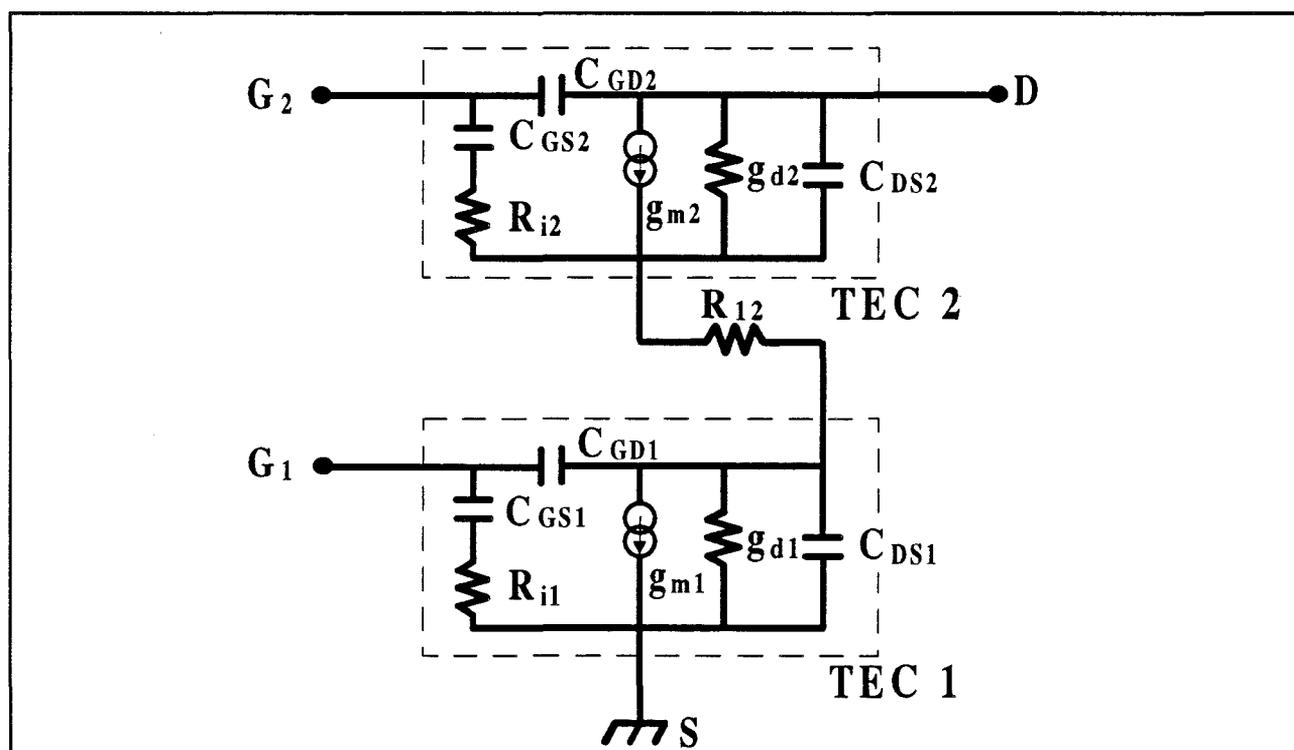


Figure I.A1 : Schéma équivalent intrinsèque 'petit signal' du TEC bigrille en configuration cascode.

L'idée directrice, permettant d'obtenir ces relations de passage, repose sur l'identification des deux matrices admittances globale et naturelle.

Il suffit donc de calculer analytiquement les paramètres naturels  $Y_{ij}$ , en fonction des éléments intrinsèques.

Soient  $Z_{ij}^I, Y_{ij}^I$ , les paramètres impédances et admittances relatifs au  $TEC_1$  de la configuration cascode, et  $Z_{ij}^{II}, Y_{ij}^{II}$  ceux relatifs au  $TEC_2$ .

La matrice admittance de la représentation naturelle s'écrit alors :

$$[Y] = \begin{bmatrix} Z_{11}^I & Z_{12}^I & Z_{12}^I \\ Z_{21}^I & Z_{22}^I + Z_{11}^{II} + R_{12} & Z_{22}^I + Z_{12}^{II} + R_{12} \\ Z_{21}^I & Z_{22}^I + Z_{21}^{II} + R_{12} & Z_{22}^I + Z_{22}^{II} + R_{12} \end{bmatrix}^{-1}$$

Il est plus judicieux, mais aussi plus complexe, d'exprimer cette matrice en fonction des paramètres admittances propres à chaque transistor ( $TEC_1$  et  $TEC_2$ ) constituant le bigrille, car ces derniers s'écrivent à leur tour très simplement en fonction des éléments intrinsèques du schéma équivalent cascode.

Le résultat donne :

$$Y_{11} = \frac{Y_{11}^I \cdot \sum Y_{ij}^{II} + \Delta Y_{ij}^I \cdot (1 + R_{12} \cdot \sum Y_{ij}^{II})}{\text{Det}}$$

$$Y_{12} = \frac{Y_{12}^I \cdot (Y_{11}^{II} + Y_{21}^{II})}{\text{Det}}$$

$$Y_{13} = \frac{Y_{12}^I \cdot (Y_{22}^{II} + Y_{12}^{II})}{\text{Det}}$$

$$Y_{21} = \frac{Y_{21}^I \cdot (Y_{11}^{II} + Y_{12}^{II})}{\text{Det}}$$

$$Y_{22} = \frac{Y_{11}^{II} \cdot Y_{22}^I + \Delta Y_{ij}^{II} \cdot (1 + R_{12} \cdot Y_{22}^I)}{\text{Det}}$$

$$Y_{23} = \frac{Y_{12}^{II} \cdot Y_{22}^I - \Delta Y_{ij}^{II} \cdot (1 + R_{12} \cdot Y_{22}^I)}{\text{Det}}$$

$$Y_{31} = \frac{Y_{21}^I \cdot (Y_{22}^{II} + Y_{21}^{II})}{\text{Det}}$$

$$Y_{32} = \frac{Y_{21}^{\text{II}} \cdot Y_{22}^{\text{I}} - \Delta Y_{ij}^{\text{II}} \cdot (1 + R_{12} \cdot Y_{22}^{\text{I}})}{\text{Det}}$$

$$Y_{33} = \frac{Y_{22}^{\text{II}} \cdot Y_{22}^{\text{I}} + \Delta Y_{ij}^{\text{II}} \cdot (1 + R_{12} \cdot Y_{22}^{\text{I}})}{\text{Det}}$$

$$\text{avec } \text{Det} = Y_{22}^{\text{I}} + \sum Y_{ij}^{\text{II}} \cdot (1 + R_{12} \cdot Y_{22}^{\text{I}})$$

$$\Delta Y_{ij}^{\text{I}} = Y_{11}^{\text{I}} \cdot Y_{22}^{\text{I}} - Y_{12}^{\text{I}} \cdot Y_{21}^{\text{I}}$$

$$\Delta Y_{ij}^{\text{II}} = Y_{11}^{\text{II}} \cdot Y_{22}^{\text{II}} - Y_{12}^{\text{II}} \cdot Y_{21}^{\text{II}}$$

$$\sum Y_{ij}^{\text{I}} = Y_{11}^{\text{I}} + Y_{22}^{\text{I}} + Y_{12}^{\text{I}} + Y_{21}^{\text{I}}$$

$$\sum Y_{ij}^{\text{II}} = Y_{11}^{\text{II}} + Y_{22}^{\text{II}} + Y_{12}^{\text{II}} + Y_{21}^{\text{II}}$$

L'expression analytique exacte des paramètres  $Y_{ij}$  étant complexe, il convient de recourir aux approximations basses fréquences, pour aboutir à un résultat décent et exploitable.

En se limitant aux termes du premier ordre, nous obtenons :

$$\text{avec } \text{Geq} = g_{d1} + g_{d2} + g_{m2} \quad \text{et} \quad \text{Ceq} = C_{gs2} + C_{ds2} + C_{gd1} + C_{ds1}$$

$$Y_{11} \approx +j\omega \cdot \left[ C_{gs1} + C_{gd1} \cdot \left(1 + \frac{g_{m1}}{\text{Geq}}\right) \right]$$

$$Y_{12} \approx -j\omega \cdot \left[ C_{gd1} \cdot \frac{g_{m2}}{\text{Geq}} \right]$$

$$Y_{13} \approx -j\omega \cdot \left[ C_{gd1} \cdot \frac{g_{d2}}{\text{Geq}} \right]$$

$$Y_{21} \approx +j\omega \cdot \left[ C_{gs2} \cdot \frac{g_{m1}}{\text{Geq}} \right]$$

$$Y_{22} \approx +j\omega \cdot \left[ C_{gd2} + C_{gs2} \cdot \frac{g_{d1} + g_{d2}}{\text{Geq}} \right]$$

$$Y_{23} \approx -j\omega \cdot \left[ C_{gd2} + C_{gs2} \cdot \frac{g_{d2}}{\text{Geq}} \right]$$

$$Y_{31} \approx g_{m1} \cdot \frac{g_{d2} + g_{m2}}{\text{Geq}} - j\omega \cdot \left[ \frac{C_{gd1} \cdot (g_{d2} + g_{m2}) - g_{m1} \cdot C_{ds2}}{\text{Geq}} + g_{m1} \cdot \frac{g_{d2} + g_{m2}}{\text{Geq}^2} \cdot \text{Ceq} \right]$$

$$Y_{32} \approx gm_2 \cdot \frac{gd_1}{Geq} - j\omega \cdot \left[ Cgd_2 + \frac{gd_2 \cdot Cgs_2 - gm_2 \cdot (Cgd_1 + Cds_1)}{Geq} + gm_2 \cdot \frac{gd_1}{Geq^2} \cdot Ceq \right]$$

$$Y_{33} \approx \frac{gd_1 \cdot gd_2}{Geq} + j\omega \cdot \left[ Cgd_2 + \frac{gd_2 \cdot (Ceq - Cds_2) + gd_1 \cdot Cds_2}{Geq} - \frac{gd_1 \cdot gd_2}{Geq^2} \cdot Ceq \right]$$

La résistance intergrille  $R_{12}$  n'a pas été considérée dans ce calcul par souci de simplification, il faudrait en toute rigueur en tenir compte.

Par ailleurs, toute matrice admittance d'un hexapôle peut être représentée sans aucune approximation par le schéma de la figure **IA2**. Nous déduisons ainsi, à l'aide des relations précédentes, la nature et l'expression des admittances d'une part, et des transconductances d'autre part, du schéma équivalent global apparaissant sur la figure **IA3**, avec :

$$C_{11} \approx \left[ Cgs_1 + Cgd_1 \cdot \frac{gd_1 + gm_1}{Geq} \right]$$

$$C_{12} \approx \left[ Cgd_1 \cdot \frac{gm_2}{Geq} \right]$$

$$C_{13} \approx \left[ Cgd_1 \cdot \frac{gd_2}{Geq} \right]$$

$$C_{21} \approx \left[ Cgs_2 \cdot \frac{gm_1}{Geq} + Cgd_1 \cdot \frac{gm_2}{Geq} \right] \quad gm_{21} \approx j\omega \cdot C_{21}$$

$$C_{22} \approx \left[ Cgs_2 \cdot \frac{gd_1}{Geq} - Cgd_1 \cdot \frac{gm_2}{Geq} \right]$$

$$C_{23} \approx \left[ Cgd_2 + Cgs_2 \cdot \frac{gd_2}{Geq} \right]$$

$$C_{31} \approx - \left[ \frac{gm_2 \cdot Cgd_1 - gm_1 \cdot Cds_2}{Geq} + gm_1 \cdot \frac{gd_2 + gm_2}{Geq^2} \cdot Ceq \right] \quad gm_{31} \approx gm_1 \cdot \frac{gd_2 + gm_2}{Geq}$$

$$C_{32} \approx \left[ \frac{gm_2 \cdot (Cgd_1 + Cds_1)}{Geq} - gm_2 \cdot \frac{gd_1}{Geq^2} \cdot Ceq \right] \quad gm_{32} \approx gm_2 \cdot \frac{gd_1}{Geq}$$

$$C_{33} \approx - \left[ Ceq \cdot \frac{gd_1 \cdot gd_2}{Geq^2} \right] \quad gd_{33} \approx \frac{gd_2 \cdot gd_1}{Geq}$$

Ces dernières relations permettant le passage des paramètres naturels vers les éléments globaux, montrent que certaines capacités, notamment  $C_{22}$  et  $C_{33}$ , sont négatives. Ce résultat non physique découle de l'origine mathématique du schéma équivalent global.

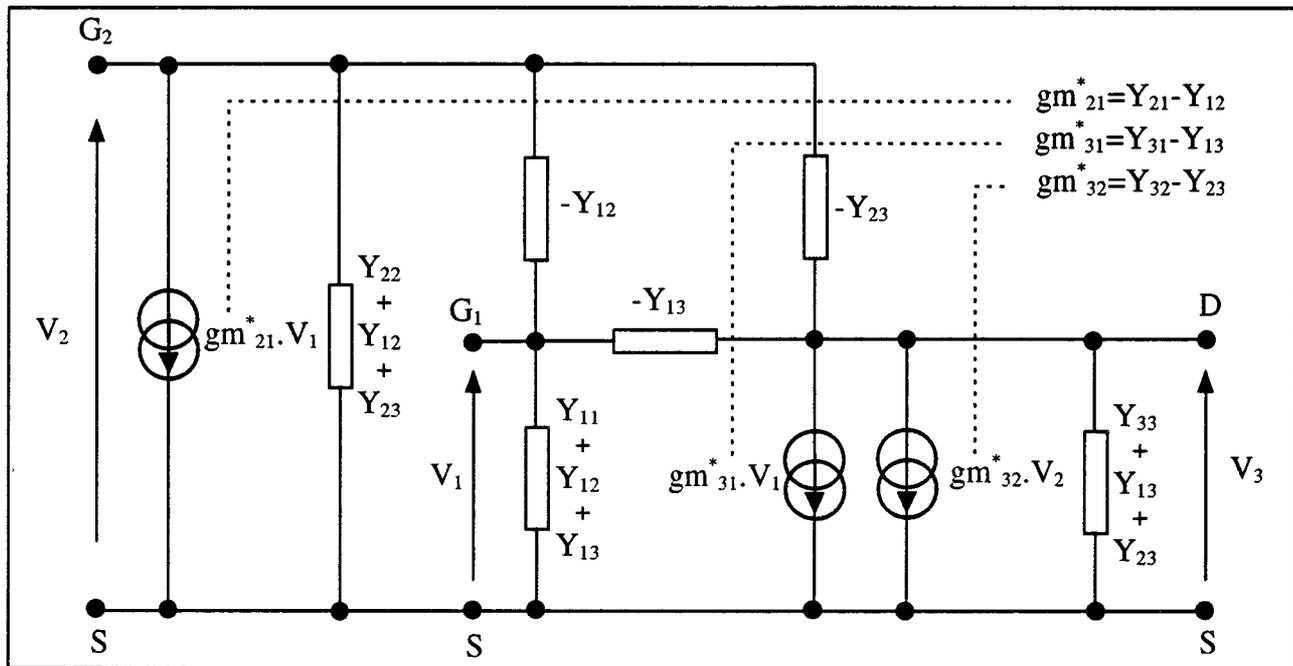


Figure I.A2 : Représentation électrique d'une matrice admittance quelconque d'ordre 3.

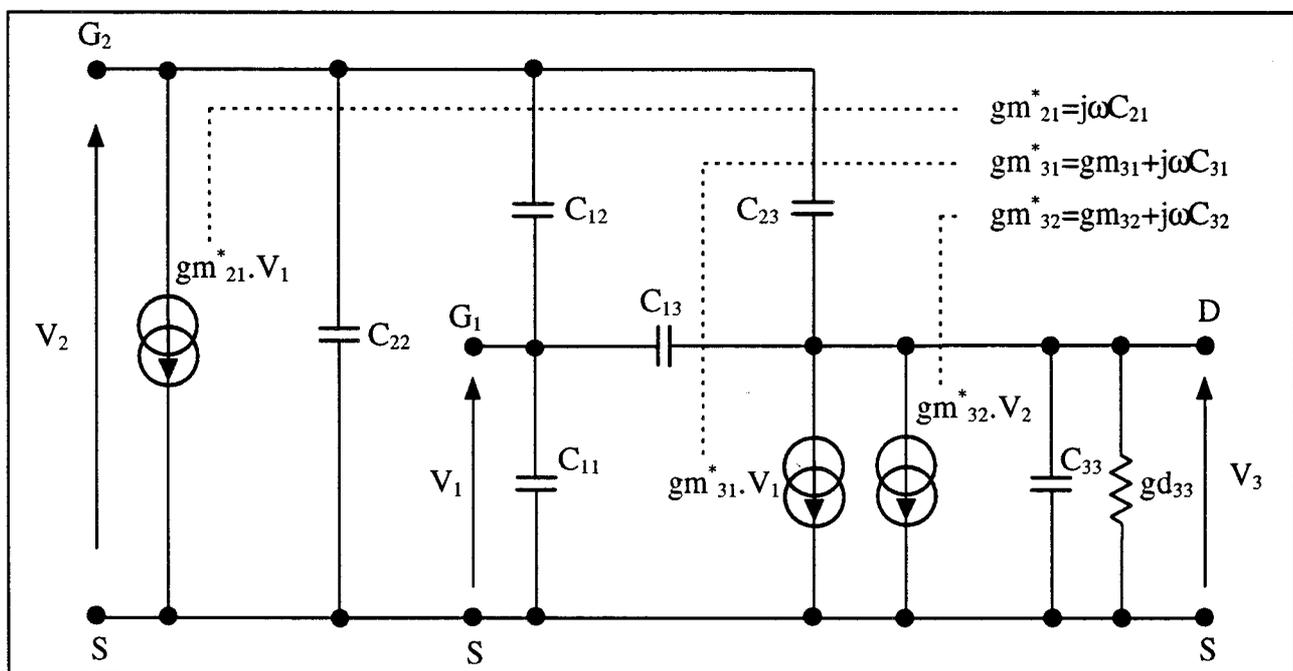


Figure I.A3 : Représentation 'globale' simplifiée du TEC bigrille.

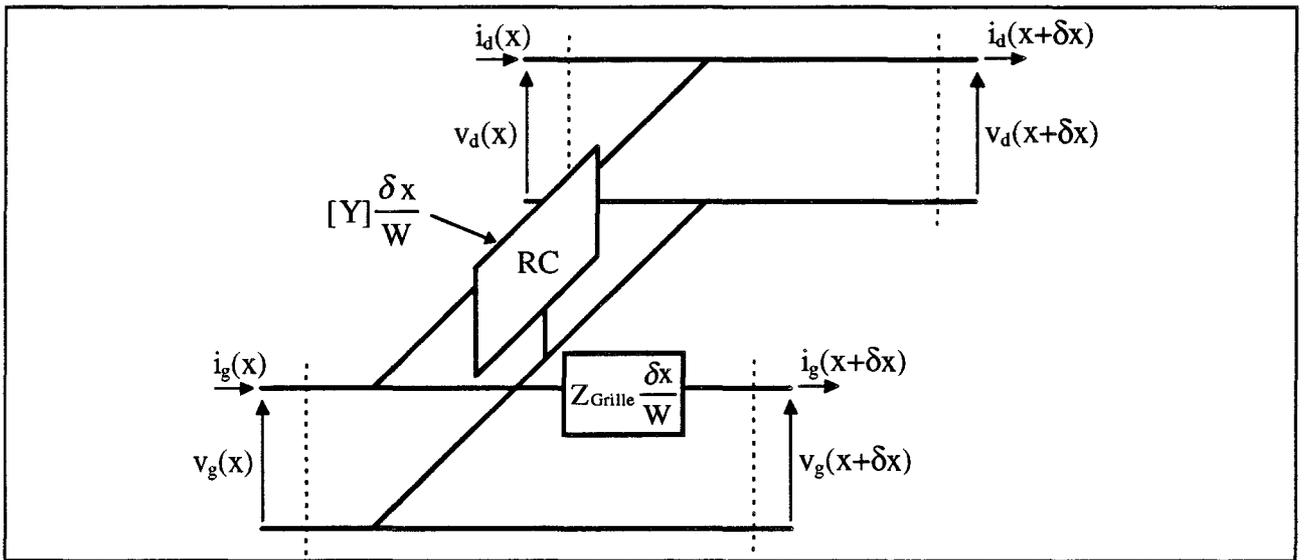


Figure II.A1 : Cellule élémentaire utilisée pour l'étude de la distribution transversale.

## Equation de propagation régissant les phénomènes de distribution le long de la grille d'un TEC froid

Cette étude ne prétend pas décrire exactement tous les phénomènes liés aux effets de distribution, mais a pour vocation d'aborder le problème de manière suffisamment simple et complète pour être physiquement significative. Seule la distribution transversale, le long de l'électrode de grille, est prise en compte en considérant le composant de largeur  $W$ , équivalent à l'association de tranches  $\delta x$  infiniment minces. La cellule élémentaire, représentée sur la figure

II.A1, comprend :

- une fraction de l'impédance propre de grille
- un quadripôle RC traduisant le fonctionnement sous la grille du transistor intrinsèque en régime froid.

L'analyse de ce schéma permet d'écrire les relations suivantes :

$$i_g(x) - i_g(x + \delta x) = Y_{11} \frac{\delta x}{W} v_g(x) + Y_{12} \frac{\delta x}{W} v_d(x)$$

$$i_d(x) - i_d(x + \delta x) = Y_{21} \frac{\delta x}{W} v_g(x) + Y_{22} \frac{\delta x}{W} v_d(x)$$

$$v_g(x) - v_g(x + \delta x) = Z_{grille} \frac{\delta x}{W} i_g(x + \delta x)$$

Ce qui peut encore se mettre sous la forme :

$$\frac{\partial i_g}{\partial x} = -\frac{1}{W} [Y_{11} \cdot v_g + Y_{12} \cdot v_d]$$

$$\frac{\partial i_d}{\partial x} = -\frac{1}{W} [Y_{21} \cdot v_g + Y_{22} \cdot v_d]$$

$$\frac{\partial v_g}{\partial x} = -\frac{Z_{grille}}{W} i_g$$

En exprimant les tensions en fonction des courants, nous aboutissons au système d'équations différentielles suivant (avec  $Z_{ij}$  = paramètres de la matrice impédance  $[Z]=[Y]^{-1}$ ) :

$$v_g = -W \left[ Z_{11} \frac{\partial i_g}{\partial x} + Z_{12} \frac{\partial i_d}{\partial x} \right] \quad (1)$$

$$v_d = -W \left[ Z_{21} \frac{\partial i_g}{\partial x} + Z_{22} \frac{\partial i_d}{\partial x} \right] \quad (2)$$

$$\frac{\partial v_g}{\partial x} = -\frac{Z_{grille}}{W} i_g \quad (3)$$

Pour déduire l'équation de propagation, il convient de dériver les relations (1) et (2), ce qui donne :

$$\frac{\partial v_g}{\partial x} = -W \left[ Z_{11} \frac{\partial^2 i_g}{\partial x^2} + Z_{12} \frac{\partial^2 i_d}{\partial x^2} \right] \text{ et } \frac{\partial v_d}{\partial x} = -W \left[ Z_{21} \frac{\partial^2 i_g}{\partial x^2} + Z_{22} \frac{\partial^2 i_d}{\partial x^2} \right] = 0 \text{ car le potentiel sur}$$

l'électrode de drain est considéré constant, soit en combinant les deux :

$$\frac{\partial v_g}{\partial x} = -W \underbrace{\left[ Z_{11} - \frac{Z_{12} Z_{21}}{Z_{22}} \right]}_{1/Y_{11}} \frac{\partial^2 i_g}{\partial x^2}$$

En identifiant cette dernière relation à l'équation (3), nous obtenons finalement l'équation de propagation :

$$\boxed{\frac{\partial^2 i_g}{\partial x^2} - \frac{Y_{11} \cdot Z_{grille}}{W^2} \cdot i_g = 0}$$

## Expressions analytiques des effets capacitifs parasites parallèles lors de la détermination des selfs d'accès

Le chapitre II décrit la méthodologie mise en oeuvre pour extraire les éléments parasites du transistor à effet de champ de type bigrille. Nous avons vu en particulier, que les inductances d'accès sont déterminées à partir de l'exploitation de la partie imaginaire de la matrice impédance  $[Z]$  du composant, celui-ci étant polarisé à  $V_{DS}=0V$  avec les deux grilles en direct.

L'influence, non négligeable, des capacités parasites a été mise en évidence, et l'analyse basses fréquences du schéma équivalent électrique (figure II.A2) a permis d'établir l'expression de la matrice  $Im[Z]$ .

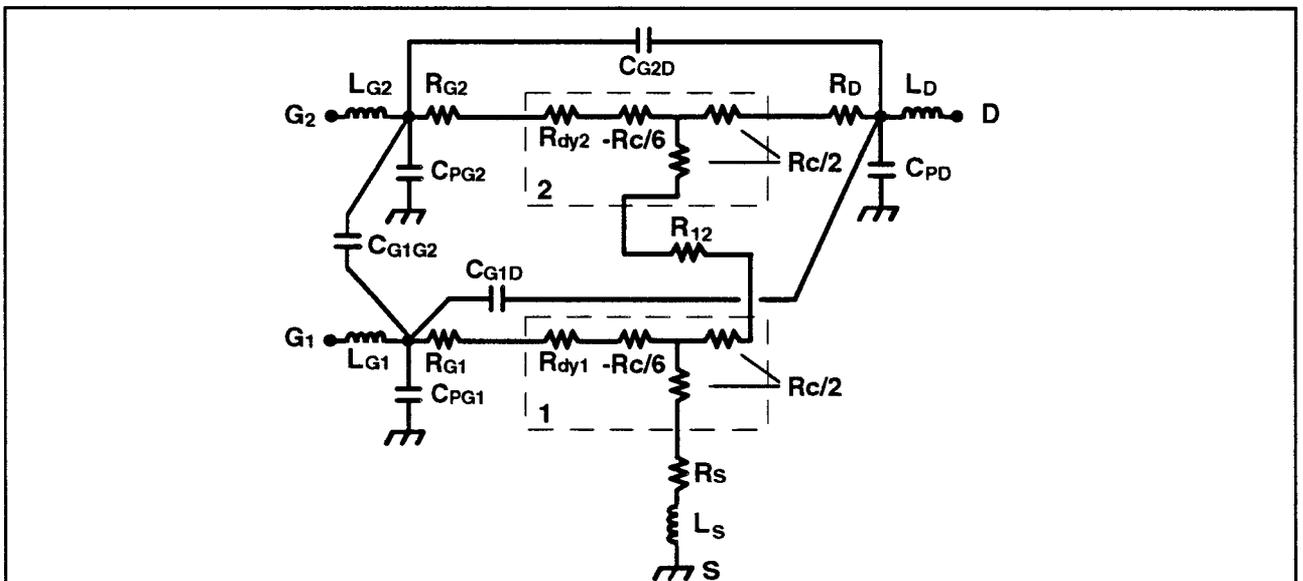


Figure II.A2 : Schéma équivalent 'petit signal' du TEC bigrille en régime froid avec les deux grilles polarisées en direct.  
( $V_{DS}=0V$ ,  $I_{G1}=I_{G2}>0$ )

La matrice  $\text{Im}[Z]$  s'exprime de la façon suivante :

$$\text{Im}[Z] \approx \omega \cdot \begin{bmatrix} L_{G1} + L_s - (P_{11} + C_{11}) & L_s - (P_{12} + C_{12}) & L_s - (P_{13} + C_{13}) \\ L_s - (P_{12} + C_{12}) & L_{G2} + L_s - (P_{22} + C_{22}) & L_s - (P_{23} + C_{23}) \\ L_s - (P_{13} + C_{13}) & L_s - (P_{23} + C_{23}) & L_D + L_s - (P_{33} + C_{33}) \end{bmatrix}$$

avec  $P_{ij}$  et  $C_{ij}$  représentant respectivement les effets des capacités de plots et de couplage.

Les expressions analytiques de ces coefficients sont détaillées ci-dessous :

a) coefficients relatifs aux capacités de plots parasites

$$P_{11} = C_{pG1} \cdot \text{Re}^2 Z_{11} + (C_{pG2} + C_{pD}) \cdot \text{Re}^2 Z_{12}$$

$$P_{22} = C_{pG1} \cdot \text{Re}^2 Z_{12} + C_{pG2} \cdot \text{Re}^2 Z_{22} + C_{pD} \cdot \text{Re}^2 Z_{23}$$

$$P_{33} = C_{pG1} \cdot \text{Re}^2 Z_{12} + C_{pG2} \cdot \text{Re}^2 Z_{23} + C_{pD} \cdot \text{Re}^2 Z_{33}$$

$$P_{12} = C_{pG1} \cdot \text{Re} Z_{12} \cdot \text{Re} Z_{11} + C_{pG2} \cdot \text{Re} Z_{12} \cdot \text{Re} Z_{22} + C_{pD} \cdot \text{Re} Z_{12} \cdot \text{Re} Z_{23}$$

$$P_{13} = C_{pG1} \cdot \text{Re} Z_{12} \cdot \text{Re} Z_{11} + C_{pG2} \cdot \text{Re} Z_{12} \cdot \text{Re} Z_{23} + C_{pD} \cdot \text{Re} Z_{12} \cdot \text{Re} Z_{33}$$

$$P_{23} = C_{pG1} \cdot \text{Re}^2 Z_{12} + C_{pG2} \cdot \text{Re} Z_{22} \cdot \text{Re} Z_{23} + C_{pD} \cdot \text{Re} Z_{23} \cdot \text{Re} Z_{33}$$

b) coefficients relatifs aux capacités de couplage parasites

$$C_{11} = (C_{G1D} + C_{G1G2}) \cdot (\text{Re} Z_{11} - \text{Re} Z_{12})^2$$

$$C_{22} = C_{G1D} \cdot (\text{Re} Z_{12} - \text{Re} Z_{23})^2 + C_{G2D} \cdot (\text{Re} Z_{22} - \text{Re} Z_{23})^2 + C_{G1G2} \cdot (\text{Re} Z_{22} - \text{Re} Z_{12})^2$$

$$C_{33} = C_{G1D} \cdot (\text{Re} Z_{12} - \text{Re} Z_{33})^2 + C_{G2D} \cdot (\text{Re} Z_{33} - \text{Re} Z_{23})^2 + C_{G1G2} \cdot (\text{Re} Z_{23} - \text{Re} Z_{12})^2$$

$$C_{12} = C_{G1D} \cdot (\text{Re} Z_{12} - \text{Re} Z_{11}) \cdot (\text{Re} Z_{23} - \text{Re} Z_{12}) + C_{G1G2} \cdot (\text{Re} Z_{12} - \text{Re} Z_{11}) \cdot (\text{Re} Z_{22} - \text{Re} Z_{12})$$

$$C_{13} = C_{G1D} \cdot (\text{Re} Z_{12} - \text{Re} Z_{11}) \cdot (\text{Re} Z_{33} - \text{Re} Z_{12}) + C_{G1G2} \cdot (\text{Re} Z_{12} - \text{Re} Z_{11}) \cdot (\text{Re} Z_{23} - \text{Re} Z_{12})$$

$$C_{23} = C_{G1D} \cdot (\text{Re} Z_{23} - \text{Re} Z_{12}) \cdot (\text{Re} Z_{33} - \text{Re} Z_{12}) + C_{G2D} \cdot (\text{Re} Z_{23} - \text{Re} Z_{22}) \cdot (\text{Re} Z_{33} - \text{Re} Z_{23})$$

$$+ C_{G1G2} \cdot (\text{Re} Z_{12} - \text{Re} Z_{22}) \cdot (\text{Re} Z_{12} - \text{Re} Z_{23})$$

Les termes  $ReZ_{ij}$  représentent la partie réelle des paramètres impédances mesurés lors de la détermination des selfs d'accès.

Il apparaît à la lecture de ces relations que l'extraction précise des inductances requiert impérativement la connaissance préalable de la valeur des capacités parasites, afin d'en corriger leurs effets.



# ANNEXE III.1

## Expressions théoriques entre les éléments du schéma équivalent intrinsèque d'un TEC et sa matrice admittance.

Le comportement dynamique 'petit signal' d'un transistor à effet de champ est généralement traduit en un schéma électrique équivalent, dont les éléments restent invariants en basses fréquences (figure III.A1).

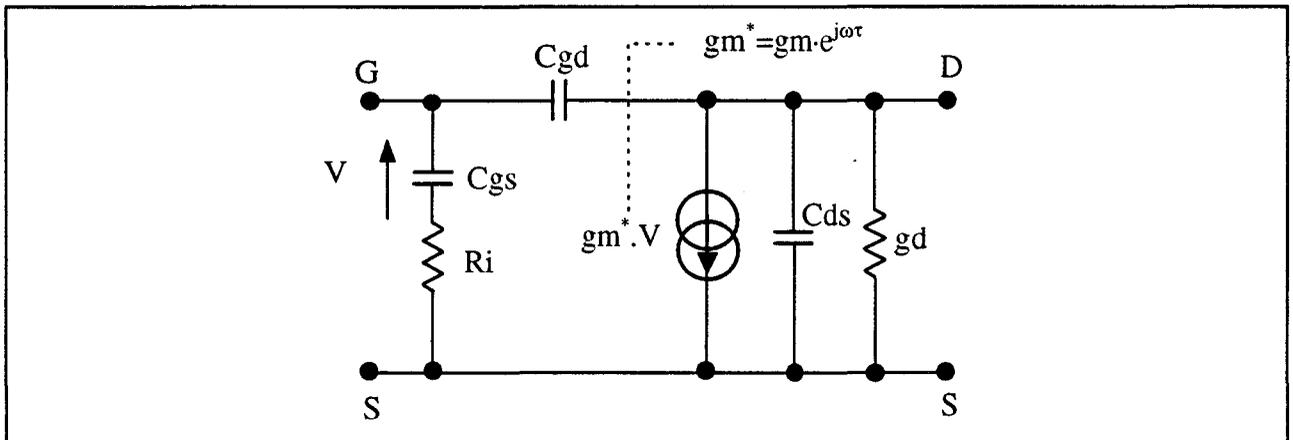


Figure III.A1 : Schéma équivalent intrinsèque 'petit signal' du TEC

De l'analyse de ce schéma, nous déduisons l'expression théorique de sa matrice admittance [Y] :

en posant  $D = RiCgs\omega$

$$Y_{11} = \frac{\omega \cdot Cgs \cdot D}{1 + D^2} + j\omega \cdot \left[ Cgd + \frac{Cgs}{1 + D^2} \right]$$

$$Y_{12} = -j\omega \cdot Cgd$$

$$Y_{21} = gm \cdot \left[ \frac{\cos(\omega\tau) - D \cdot \sin(\omega\tau)}{1 + D^2} \right] - j\omega \cdot \left[ Cgd + gm \cdot \frac{\sin(\omega\tau) + D \cdot \cos(\omega\tau)}{\omega \cdot (1 + D^2)} \right]$$

$$Y_{22} = gd + j\omega \cdot [Cgd + Cds]$$

Réciproquement, les expressions des éléments du schéma peuvent s'écrire à partir des paramètres  $Y_{ij}$ , comme suit :

$$gd = \operatorname{Re} Y_{22} \qquad Cgd = -\frac{\operatorname{Im} Y_{12}}{\omega} \qquad Cds = \frac{\operatorname{Im} Y_{22} + \operatorname{Im} Y_{12}}{\omega}$$

$$Cgs = \frac{(\operatorname{Re} Y_{11})^2 + (\operatorname{Im} Y_{11} + \operatorname{Im} Y_{12})^2}{\omega \cdot (\operatorname{Im} Y_{11} + \operatorname{Im} Y_{12})} \qquad Ri = \frac{\operatorname{Re} Y_{11}}{(\operatorname{Re} Y_{11})^2 + (\operatorname{Im} Y_{11} + \operatorname{Im} Y_{12})^2}$$

et en posant  $a = \frac{\operatorname{Im} Y_{21} - \operatorname{Im} Y_{12}}{\operatorname{Re} Y_{21}}$  et  $D = Ri Cgs \omega$

$$gm = \operatorname{Re} Y_{21} \cdot \sqrt{(1 + a^2)(1 + D^2)} \qquad \tau = \frac{1}{\omega} \cdot \operatorname{arctg} \left[ \frac{a + D}{a \cdot D - 1} \right]$$

De manière générale, la détermination expérimentale des éléments intrinsèques s'exécute à des fréquences suffisamment basses, pour négliger les termes du second ordre. Dans ces conditions, les dernières relations se simplifient et s'écrivent :

$$gd = \operatorname{Re} Y_{22} \qquad Cgd = -\frac{\operatorname{Im} Y_{12}}{\omega} \qquad Cds = \frac{\operatorname{Im} Y_{22} + \operatorname{Im} Y_{12}}{\omega}$$

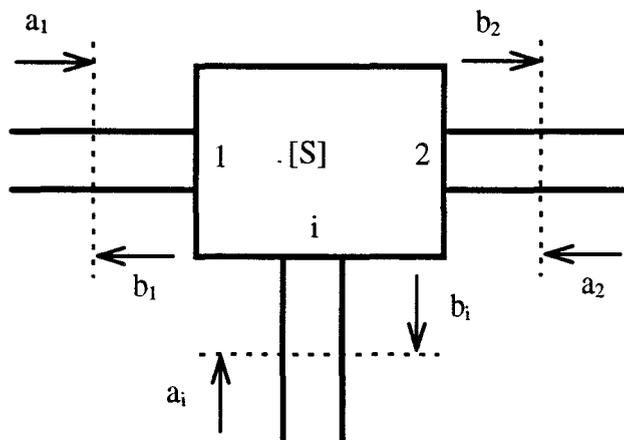
$$Cgs = \frac{\operatorname{Im} Y_{11} + \operatorname{Im} Y_{12}}{\omega} \qquad Ri = \frac{\operatorname{Re} Y_{11}}{(\operatorname{Im} Y_{11} + \operatorname{Im} Y_{12})^2}$$

$$gm = \operatorname{Re} Y_{21} \qquad \tau = \frac{1}{\omega} \cdot \left[ \frac{a + D}{a \cdot D - 1} \right]$$

## Dénormalisation et renormalisation de la matrice [S]

Soient [S] la matrice Scattering d'un hexapôle quelconque et, [a] et [b] respectivement les vecteurs d'ondes incidentes et réfléchies sur les accès (figure ci-dessous). Par définition, ces trois grandeurs sont reliées par l'expression :

$$[b] = [S]*[a]$$



Si chaque accès 'i' du multipôle est chargé par une impédance  $Z_i$ , il peut être intéressant de redéfinir la matrice Scattering en une matrice notée [R], telle que chaque accès soit normalisé par rapport à son impédance de charge. Quelle relation existe-t-il alors entre [S] et [R] ?

[R] étant également une matrice de répartition, nous pouvons écrire :

$$[b'] = [R]*[a']$$

avec [a'] et [b'] représentant les vecteurs d'ondes incidentes et réfléchies.

Remarque : pour la suite et par raison de commodité et de clarté, la matrice [x] est notée x.

En considérant que sur chaque accès 'i', les ondes a' <sub>i</sub> et b' <sub>i</sub> ne sont que combinaisons linéaires des ondes a <sub>i</sub> et b <sub>i</sub>, il vient :

$$a' = Aa + Bb$$

$$b' = Ca + Db$$

A, B, C et D sont donc des matrices diagonales qu'il suffit d'identifier pour établir la relation entre R et S. En effet, nous pouvons écrire :

$$b' = Ca + Db \quad \text{et} \quad b' = Ra' = R(Aa + Bb)$$

Par identification, nous déduisons

$$R(Aa + Bb) = Ca + Db$$

Or, nous savons que  $b = Sa$ , d'où :

$$R(Aa + BSa) = Ca + D Sa \quad \text{soit} \quad \boxed{R = (C + DS) \cdot (A + BS)^{-1}} \quad (1)$$

### Détermination des matrices diagonales A, B, C et D

1<sup>ère</sup> condition :

Par définition de la matrice R,  $a'_{i=0}$  lorsque l'accès 'i' est chargé sur l'impédance  $Z_i$ . En notant  $\Gamma_i$ , le coefficient de réflexion de  $Z_i$  par rapport à l'impédance de référence  $Z_0$ , et en généralisant, nous obtenons :

$$a' = 0 \quad \Leftrightarrow \quad Aa + Bb = (A\Gamma + B)b = 0 \quad \text{soit} \quad (A\Gamma + B) = 0$$

$$\text{avec } \Gamma = \text{diag}(\Gamma_1, \Gamma_2, \dots, \Gamma_i, \dots, \Gamma_n)$$

En remplaçant l'expression de B dans (1), il vient :

$$\boxed{R = (C + DS) \cdot (A - A\Gamma S)^{-1}} \quad (2)$$

2<sup>nd</sup>e condition :

Si toutes les impédances de charges  $Z_i$  sont égales à l'impédance de référence  $Z_0$ , nous devons retrouver  $R=S$

$$Z_1=Z_2=\dots=Z_i=\dots=Z_0 \quad \Leftrightarrow \quad \Gamma=0$$

En remplaçant dans l'expression (2), nous obtenons :

$$R=(C + DS)A^{-1}$$

$$\text{soit} \quad R=C + S \quad \text{en imposant } A=D=1$$

Pour vérifier  $R=S$ , il est nécessaire que  $C=0$ , mais uniquement lorsque  $\Gamma=0$ . Il existe donc une infinité de solutions, dont une particulièrement intéressante qui est  $C=\Gamma$ . Dans ce cas, nous déduisons les relations recherchées :

$$\boxed{R = (\Gamma + S) \cdot (1 - \Gamma S)^{-1}}$$

et réciproquement

$$\boxed{S = (1 + R\Gamma)^{-1} \cdot (R - \Gamma)}$$

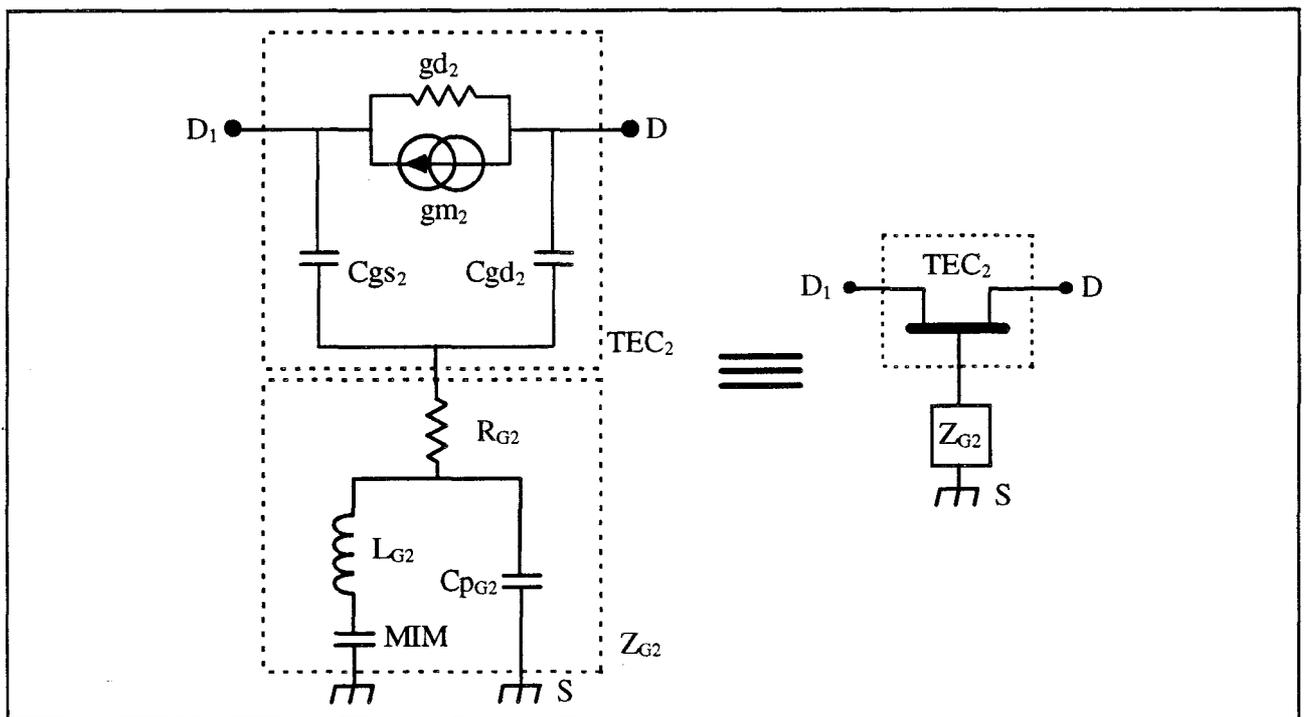


Figure V.A1 : Schéma électrique équivalent du second étage grille commune d'un TEC bigrille en configuration cascade.

## Origine et expression de la fréquence de résonance du gain maximum stable MSG d'un TEC en configuration grille commune

La figure V.A1 présente le schéma équivalent d'un étage grille commune tel que nous pouvons le rencontrer au niveau des transistors bigrilles en configuration cascode. Deux blocs constituent celui-ci. Le premier concerne la partie intrinsèque du composant et le second fait référence aux éléments parasites d'accès de la seconde grille court-circuitée à la source via une capacité MIM de découplage. En raison de sa valeur très élevée, la présence de cette capacité est d'ailleurs totalement négligeable aux hautes fréquences.

L'expression théorique du gain maximum stable s'écrit :  $MSG = \frac{S_{21}}{S_{12}} = \frac{Z_{21}}{Z_{12}} = \frac{Y_{21}}{Y_{12}}$

En notant  $Z_{ij}^{\Pi}$  et  $Y_{ij}^{\Pi}$ , les paramètres impédances et admittances intrinsèques du TEC<sub>2</sub> en grille commune, le gain MSG<sub>2</sub> du quadripôle étudié s'exprime par :

$$MSG_2 = \frac{Z_{21}^{\Pi} + Z_{G2}}{Z_{12}^{\Pi} + Z_{G2}} = \frac{Y_{21}^{\Pi} - Z_{G2} \cdot \Delta Y_{ij}^{\Pi}}{Y_{12}^{\Pi} - Z_{G2} \cdot \Delta Y_{ij}^{\Pi}}$$

$$\text{avec } \Delta Y_{ij}^{\Pi} = Y_{11}^{\Pi} \cdot Y_{22}^{\Pi} - Y_{12}^{\Pi} \cdot Y_{21}^{\Pi}$$

En remplaçant les paramètres admittances en fonction des éléments intrinsèques du transistor TEC<sub>2</sub>, nous obtenons :

$$MSG_2 = \frac{gm_2 + gd_2 + Z_{G2} \cdot \Delta Y_{ij}^{\Pi}}{gd_2 + Z_{G2} \cdot \Delta Y_{ij}^{\Pi}} = 1 + \frac{gm_2}{gd_2 + Z_{G2} \cdot \Delta Y_{ij}^{\Pi}}$$

$$\text{avec } \begin{cases} Z_{G2} = R_{G2} + \frac{j\omega \cdot L_{G2}}{1 - \omega^2 L_{G2} \cdot C_{pG2}} \\ \Delta Y_{ij}^{\Pi} = -\omega^2 C_{gs2} \cdot C_{gd2} + j\omega \cdot [C_{gs2} \cdot gd_2 + C_{gd2} \cdot (gm_2 + gd_2)] \end{cases}$$

Par souci de clarté, les éléments  $R_{i2}$ ,  $\tau_2$  et  $C_{ds2}$  ne sont pas pris en compte. De plus, la capacité de plot  $C_{pG2}$  peut être négligée dans le cas des composants étudiés car la grille  $G_2$  est dépourvue de zone d'accès.

En développant la dernière expression et en se limitant aux termes de second ordre en fonction de la fréquence, nous obtenons :

$$MSG_2 \approx 1 + \frac{gm_2}{gd_2 - \omega^2 B + j\omega \cdot R_{G2} \cdot A}$$

$$\text{avec } \begin{cases} A = C_{gs2} \cdot gd_2 + C_{gd2} \cdot (gm_2 + gd_2) \\ B = R_{G2} \cdot C_{gs2} \cdot C_{gd2} + L_{G2} \cdot A \end{cases}$$

Il apparaît que le gain  $MSG_2$  présente un pic de résonance lorsque le terme ' $gd_2 - \omega^2 B$ ' est nul, ce qui se produit pour la fréquence particulière  $f_{res}$  définie par :

$$f_{res} \approx \frac{1}{2\pi \sqrt{L_{G2} \cdot \left( C_{gs2} + C_{gd2} \cdot \left( 1 + \frac{gm_2}{gd_2} + \frac{R_{G2} \cdot C_{gs2}}{gd_2 \cdot L_{G2}} \right) \right)}}$$

Le gain  $MSG_2$  prend alors la valeur voisine de :

$$MSG_2(f_{res}) \approx \frac{gm_2}{j\omega_{res} \cdot R_{G2} \cdot [C_{gs2} \cdot gd_2 + C_{gd2} \cdot (gm_2 + gd_2)]}$$

Ces expressions montrent que l'élément principalement responsable de cet effet de résonance est la self parasite  $L_{G2}$ , et que la résistance de grille  $R_{G2}$  en détermine la sélectivité.



***PUBLICATIONS  
ET COMMUNICATIONS***

---

# **PUBLICATIONS ET COMMUNICATIONS**

---

## **Détermination théorique et expérimentale du schéma équivalent d'un FET bigrille pour la réalisation de mélangeurs.**

D. Langrez, F. Duhamel, J.C. De Jaeger, E. Aubame, R. Allam, M. Lefebvre et Y. Crosnier.  
8<sup>èmes</sup> Journées Nationales Microondes, Mai 1993, Brest.

## **Modeling of submicrometer dual gate HEMT's.**

G. Salmer, D. Langrez, A. Refky, J.C. De Jaeger, F. Duhamel.  
WOCSEMMAD, Feb 1994, San Francisco.

## **Experimental extraction of equivalent scheme for dual gate field effect transistors .**

D. Langrez, F. Duhamel, E. Delos, G. Salmer.  
GaAs 94, April 1994, Turin.

## **Modeling of 0.15 $\mu$ m dual gate PM-HEMT by using experimental extraction.**

D. Langrez, E. Delos, G. Salmer.  
24<sup>th</sup> European Microwave Conference, Sept 1994, Cannes.

## **Caractérisation en hyperfréquence d'un FET bigrille.**

D. Langrez, L. Racz, G. Salmer.  
CNFM, 3<sup>èmes</sup> journées pédagogiques, Dec. 1994, St Malo.

## **Components for large signal sixty GHz GaAs integrated circuits.**

Rapports semestriels et final du Contrat Européen ESPRIT 'CLASSIC'  
Avril 1992 à Avril 1995.

## **Détermination précise des éléments d'accès parasites des transistors à effet de champ de type bigrille.**

D. Langrez, E. Delos, G. Salmer.  
9<sup>èmes</sup> Journées Nationales Microondes, Avril 1995, Paris.

## **Parasitic elements extraction of dual gate PM-HEMT. Dependence on gate configuration.**

D. Langrez, E. Delos, G. Salmer.  
Microwave and Optical Technology Letters, June 1995.

## **60 GHz MMIC mixer using a dual gate PM-HEMT.**

R. Allam, C. Kolanowski, D. Langrez, P. Bourne, J. C. De Jaeger, Y. Crosnier, G. Salmer.  
International Symposium on Signals, Systems and Electronics, Oct. 1995, San Francisco.

## **A V-band MMIC mixer using dual gate AlGaAs/InGaAs/GaAs PM-HFET.**

R. Allam, C. Kolanowski, D. Langrez, P. Bourne, J. C. De Jaeger.  
Asia Pacific Microwave Conference, Oct. 1995, Korea.



**1510 mS/mm 0.1 $\mu$ m gate length pseudomorphic HEMT with intrinsic current gain cut-off frequency of 220GHz.**

F. Diette, D. Langrez, J. L. Codron, E. Delos, D. Théron, G. Salmer.  
Electron. Letters, Apr. 1996

**Dual gate pseudomorphic HEMT for low noise amplification in millimeter wave range.**

D. Langrez, F. Diette, D. Théron, E. Delos, G. Salmer.  
GaAs 96, June 1996, Paris.

**Specific methodology for the design of new monolithic millimeter wave integrated circuits. Combination of several simulation and modeling tools.**

G. Salmer, J. C. De Jaeger, D. Langrez, C. Kolanowski, F. Duhamel.  
GaAs 96, June 1996, Paris.



## RESUME

La conception de circuits hyperfréquences requiert une modélisation complète des composants actifs utilisés, afin d'optimiser les performances du dispositif envisagé. Pour ce faire, il est nécessaire de développer des techniques spécifiques de caractérisation qui conduisent à l'obtention d'un schéma équivalent destiné à être implanté au sein d'un simulateur électrique.

Ce mémoire décrit toute une méthodologie de caractérisation mise au point et appliquée pour les transistors à effet de champ de type bigrille, dans le but de concevoir un mélangeur millimétrique fonctionnant à 60 GHz. Compte tenu de la complexité de ce composant spécifique, plusieurs étapes sont nécessaires pour extraire l'ensemble des éléments constituant le schéma électrique équivalent.

Parallèlement à l'élaboration de la procédure de caractérisation, nous avons développé un banc de mesure sous pointes '3 portes' disponible de 1.5 à 26.5 GHz et nécessaire pour l'acquisition des paramètres de la matrice Scattering du TEC double grille. Plusieurs transistors de filières différentes (MESFET, HEMT, PM-HEMT) ont été expérimentés. Les principaux résultats typiquement obtenus font l'objet d'une présentation et d'une analyse, d'où il ressort un bon accord avec les prédictions théoriques.

Nous traitons un dernier aspect concernant l'étude expérimentale des potentialités des TECs bigrilles en tant qu'amplificateurs en gamme d'ondes millimétriques. Les limitations actuelles dues aux effets de canal court rencontrés avec les structures monogrilles à grille ultra courte ont motivé notre démarche. Nous présentons les caractéristiques et les résultats obtenus avec des composants bigrilles utilisés en configuration cascode et fabriqués au sein du laboratoire. Les performances atteintes comparativement aux TECs monogrilles, ouvrent de larges perspectives pour ce type de transistors.

### MOTS CLES :

- transistor à effet de champ
- caractérisation
- paramètres Scattering
- composants millimétriques
- transistor bigrille
- schéma équivalent
- montage cascode