

# THESE

présentée à

**L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE  
LILLE**

pour obtenir le titre de

**DOCTEUR DE L'UNIVERSITE**

spécialité : **ELECTRONIQUE**

par

**Jean-François THIERY**

## **ETUDE ET REALISATION DE TRANSISTORS HIGFETS COMPLEMENTAIRES EN TECHNOLOGIE AUTO-ALIGNEE POUR CIRCUITS LOGIQUES RAPIDES A FAIBLE CONSOMMATION**

Soutenue le 11 octobre 1996 devant la commission d'examen :

Membres du jury : MM.

**E. CONSTANT**

**Président**

**G. SALMER**

**Directeur de thèse**

**A. MARTINEZ**

**Rapporteur**

**L. NUYEN**

**Rapporteur**

**B. DELMAS**

**Examineur**

**H. FAWAZ**

**Examineur**

**G. GATTI**

**Examineur**

**S. RIGOT**

**Examineur**

**H. VERRIELE**

**Examineur**





## SOMMAIRE

<b>Introduction</b>	<b>9</b>
<b>PARTIE 1 : Intérêt du HIGFET pour la logique rapide à faible consommation</b>	<b>15</b>
CHAPITRE I : Les différentes familles de circuits intégrés numériques rapides	17
I.1 Introduction : applications et tendances des circuits intégrés rapides à faible consommation	17
I.1.1 Ordinateurs rapides	17
I.1.2 Commutations optiques et mobiles	18
I.1.3 Exigences des circuits rapides et à faible consommation	19
I.2 Filières technologiques à CMOS et BiCMOS	19
I.2.1 Orientations de la technologie MOS	19
I.2.2 L'alternative BiCMOS	21
I.3 Les circuits intégrés en Arséniure de Gallium	22
I.3.1 Intérêts et problèmes de l'Arséniure de Gallium par rapport au silicium	23
I.3.2 Historique de l'évolution des composants en GaAs	24
I.3.3 Les différentes logiques à MESFET	28
I.3.4 Exemples de circuits numériques sur GaAs	29
I.4 Comparaison de mémoires statiques (SRAM) réalisées en technologies Si et GaAs	30
I.4.1 Justification de ce critère	30
I.4.2 Comparatif de SRAMs	31
I.4.3 Synthèse	32
I.5 Vers une approche complémentaire sur GaAs	33
I.5.1 Intérêts d'une filière de logique complémentaire sur GaAs	33
I.5.2 Moyens et objectifs pour la recherche d'une structure optimale	33
Bibliographie	34
CHAPITRE II : Le transistor HIGFET (Heterostructure Insulated-Gate Field-Effect Transistor)	39
II.1 Principe de fonctionnement du HIGFET	39
II.1.1 Structure MIS avec une couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$	39
II.1.2 Avantages d'une structure non dopée	40
II.2 Description de la structure du matériau et de ses variantes	41
II.2.1 Diagrammes de bandes d'énergie	41

II.2.2 HIGFET pseudomorphique	44
II.2.3 Insertion d'un plan de dopage en silicium	46
II.3 Utilisation du HIGFET pour la réalisation de circuits intégrés en logique complémentaires rapides et à faible consommation	47
II.3.1 Temps de retard	47
II.3.2 Consommation	48
II.3.3 Tensions de seuil	50
II.4 Etat de l'art du HIGFET pseudomorphique	51
II.4.1 Composants	51
II.4.2 Exemples de circuits et applications actuelles	53
II.5 Structures semiconductrices utilisées dans notre étude	54
II.6 Notre plan de travail	55
Bibliographie	56

## **PARTIE 2 : Procédé technologique auto-aligné pour la réalisation de transistors HIGFETs complémentaires** **59**

### **CHAPITRE III : Caractéristiques essentielles du procédé technologique auto-aligné** **61**

III.1 Principes de la technologie auto-alignée	61
III.1.1 Pourquoi une technologie auto-alignée ?	61
III.1.2 Besoins d'une implantation ionique et d'un recuit à haute température	62
III.2 Procédé à grille en T existant à l'IEMN	63
III.2.1 Points clés du procédé à grille en T	63
III.2.2 Résultats et problèmes à résoudre	63
III.3 Caractéristiques de notre technologie	64
III.3.1 Axes de développement	64
III.3.2 Diagramme du procédé technologique	66
III.4 Importance de réussir le recuit d'implantation	68
III.4.1 Caractéristiques d'un recuit non réussi	68
III.4.2 Précautions à observer pour réussir le recuit	70
III.5 Conception et dessin d'un jeu de masques FTFET	71
III.5.1 Description de la matrice élémentaire	72
III.5.2 Niveaux du masque FTFET	73
III.5.3 Description d'un transistor bi-doigts	75
III.5.4 Description de la matrice de test	76
III.6 Points clés du procédé	79
Bibliographie	80

### **CHAPITRE IV : Formation de la grille réfractaire des HIGFETs** **81**

IV.1 Utilisation d'un métal réfractaire	81
IV.2 Choix du métal réfractaire	82
IV.2.1 Grille en WN <sub>x</sub>	82
IV.2.2 Grille en WS <sub>6</sub>	83
IV.2.3 Comparaison des résistivités de WN, WSi et TiWN	85

IV.2.4 Epaississement en tungstène	85
IV.2.5 Epaississement en Ti/Au	86
IV.3 Optimisation de la qualité de dépôt de WSi	88
IV.3.1 Préparation du substrat avant dépôt de WSi	88
IV.3.2 Décapage de la cible $W_5Si_3$	89
IV.3.3 Optimisation des paramètres de dépôt	90
IV.4 Définition de la grille	91
IV.5 Gravure de la grille en WSi	92
IV.5.1 Intérêts et principes de la gravure ionique réactive	92
IV.5.2 Imperfections de notre bâti Alcatel	93
IV.5.3 Choix du gaz réactif	94
IV.5.4 Mise en évidence des dommages causés par l'attaque GIR	96
IV.5.5 Vitesses d'attaque au $CF_4 + 10\% O_2$	97
IV.5.6 Procédure de gravure du WSi	98
IV.6 Photographies de grilles $1\mu m$ et $0.5\mu m$	98
IV.7 Conclusions et perspectives	99
Bibliographie	101
CHAPITRE V : Optimisation de l'implantation ionique et du recuit d'activation	103
V.1 Influence du profil de dopage sur les performances des composants	103
V.1.1 Influence sur les contacts ohmiques	103
V.1.2 Influence sur la résistance de source	103
V.1.3 Influence sur la capacité de grille et sur le courant de grille de surface	104
V.1.4 Influence sur les effets de canal court	105
V.1.5 Nécessité d'une double implantation	105
V.2 Préparation du substrat avant implantation	106
V.2.1 Réalisation de sidewalls	106
V.2.2 Implantation à travers une fine couche de nitrure de silicium	108
V.3 Optimisation de l'implantation de type n	108
V.3.1 Etude du profil de dopage	108
V.3.2 Essais sur $Al_{0.75}Ga_{0.25}As$ et $Al_{0.4}Ga_{0.6}As$	111
V.4 Optimisation de l'implantation de type p	112
V.4.1 Introduction	112
V.4.2 Choix de l'énergie du béryllium	113
V.4.3 Co-implantation avec P et F	115
V.4.4 Mesures de résistivité de couches HIGFETs implantées avec Be+P	119
V.5 Optimisation du recuit thermique rapide	121
V.5.1 Impératifs	121
V.5.2 Principe de fonctionnement du four à recuit rapide	121
V.5.3 Sélection de la température et de la durée du recuit	123
V.5.4 Exemple d'un cycle de recuit rapide	124
V.6 Conclusions	125
Bibliographie	127
CHAPITRE VI : Réalisation des contacts ohmiques	129
VI.1 Enjeux et moyens utilisés pour la réalisation des contacts ohmiques sur couches HIGFETs	129

VI.1.1	Importance des contacts ohmiques	129
VI.1.2	Difficultés rencontrées sur les couches HIGFETs	129
VI.1.3	Moyens utilisés	130
VI.2	Optimisation du contact ohmique AuGe/Ni/Au de type n	131
VI.2.1	Etat de l'art des contacts ohmiques à base de germanium	131
VI.2.2	Essai du contact AuGe/Ni/Au sur GaAs implanté	132
VI.2.3	Optimisation de la séquence et de l'épaisseur des différents métaux du contact ohmique de type n sur couche d' $Al_xGa_{1-x}As$	132
VI.2.4	Optimisation sur couche HIGFET dopée par implantation	135
VI.3	Optimisation du contact ohmique Au/Mn/Ni/Au de type p	137
VI.3.1	Etat de l'art des contacts de type p. Besoin d'un contact diffusant	137
VI.3.2	Optimisation sur GaAs	138
VI.3.3	Essais sur couche pseudomorphique HIGFET implantée par magnésium	144
VI.3.4	Optimisation du contact ohmique Au/Mn/Ni/Au sur couche pseudomorphique HIGFET implantée au béryllium	144
VI.4	Intégration dans le procédé technologique complémentaire	148
VI.5	Fin du procédé technologique	149
	Bibliographie	151

### **PARTIE 3 : Réalisations de transistors HIGFETs** **153**

#### **CHAPITRE VII : Réalisation, caractérisation et étude de transistors HIGFETs pseudomorphiques sur hétérostructure $Al_{0,4}Ga_{0,6}As / In_{0,2}Ga_{0,8}As$** **155**

VII.1	Réalisation de n-HIGFETs à cap de GaAs épais et à simple implantation (opérations 10165-10166-10167-10168)	156
VII.1.1	Structure épitaxiale utilisée	156
VII.1.2	Caractérisation en technologie $1\mu m$	157
VII.1.3	Modifications à entreprendre	162
VII.2	Réalisation de n-HIGFETs à double implantation (opérations 10196 et 10216)	162
VII.2.1	Structure et implantation	162
VII.2.2	Caractérisation statique en technologie $1\mu m$ et $0.5\mu m$	163
VII.2.3	Evaluation de la tension de seuil	170
VII.2.4	Caractérisation des facteurs de transconductance	170
VII.2.5	Caractérisation statique en technologie $0.3\mu m$ et mise en évidence des effets de canal court	172
VII.2.6	Variation du courant de grille	176
VII.2.7	Evolution des concentrations de charges et de la mobilité dans le gaz 2D	177
VII.3	Caractérisation en hyperfréquences	179
VII.3.1	Mesures des gains et des fréquences de coupure	180
VII.3.2	Méthode d'extraction d'un schéma équivalent de transistors HIGFETs	184
VII.3.3	Détermination du schéma équivalent de transistors n-HIGFETs	189
VII.4	Conclusion sur les n-HIGFETs à 40% d'aluminium	192
	Bibliographie	194

CHAPITRE VIII : Réalisation et caractérisation de transistors n-HIGFETs pseudomorphiques sur hétérostructure $Al_{0.75}Ga_{0.25}As / In_{0.2}Ga_{0.8}As$	195
VIII.1 Réalisation de n-HIGFETs à cap de GaAs fin (opérations 10216-10224)	196
VIII.1.1 Structure épitaxiale $Al_{0.75}Ga_{0.25}As / In_{0.2}Ga_{0.8}As/GaAs$	196
VIII.1.2 Caractérisation en technologies $1\mu m, 0.5\mu m$ et $0.3\mu m$	197
VIII.1.3 Uniformité des tensions de seuil	202
VIII.1.4 Evaluation du rendement de fabrication	203
VIII.1.5 Etude et stabilité en température des caractéristiques électriques	204
VIII.1.6 Etude détaillée du courant de grille	206
VIII.1.7 Caractérisation du régime de fonctionnement sous le seuil	209
VIII.1.8 Schéma "petit-signal" d'un transistor n-HIGFET $1\mu m$	212
VIII.2 Réalisation de n-HIGFETs à grille épaisse (opération 10257)	214
VIII.2.1 Mise en oeuvre d'une grille épaisse et de contacts assymétriques	214
VIII.2.2 Caractérisation d'un transistor $2*20*1\mu m$	215
VIII.3 Réalisation de n-HIGFETs sur un super-réseau AlAs:GaAs (opérations 10253-10255)	219
VIII.3.1 Intérêts d'un super-réseau et structures épitaxiales	219
VIII.3.2 Résultats obtenus sur un super-réseau $11 x (AlAs:GaAs) (3:1) / In_{0.2}Ga_{0.8}As$ (op. 10253)	220
VIII.3.3 Résultats obtenus sur un super-réseau $11 x (AlAs:GaAs) (1:3) / In_{0.2}Ga_{0.8}As$ (op. 10255)	221
VIII.4 Conclusions	223
Bibliographie	225
CHAPITRE IX : Réalisation et caractérisation de transistors p-HIGFETs pseudomorphiques sur hétérostructure $Al_{0.75}Ga_{0.25}As / In_{0.2}Ga_{0.8}As$	227
IX.1 Réalisation de p-HIGFETs à simple implantation de Be+P (opération 10225)	228
IX.1.1 Objectifs	228
IX.1.2 Caractérisations statiques	229
IX.1.3 Nécessité d'une double implantation	231
IX.2 Réalisation de p-HIGFETs à double implantation de Be+P (opération 10249)	231
IX.2.1 Choix des paramètres d'implantation	231
IX.2.2 Caractérisation en technologie $1\mu m$	232
IX.2.3 Evolution des performances en température	236
IX.2.4 Caractérisation du régime de fonctionnement sous le seuil et des effets de canal court	238
IX.3 Réalisation de p-HIGFETs sur un matériau à cap de GaAs épais (opération 10250)	241
IX.3.1 Motivation	241
IX.3.2 Caractérisations statiques de transistors	241
IX.3.3 Caractérisation du courant de grille	246
IX.3.4 Evaluation de l'uniformité des tensions de seuil et du rendement de fabrication	247
IX.3.5 Caractérisation d'un transistor p-HIGFET en hyperfréquences	248
IX.4 Conclusions sur les transistors HIGFETs de type p	252

Bibliographie	254
<b>Conclusion</b>	<b>255</b>



## INTRODUCTION

Depuis l'invention du transistor en 1946, et la première réalisation d'une porte logique intégrée en 1958, la demande sans cesse croissante de systèmes électroniques performants a conduit au développement de composants de plus en plus petits et de plus en plus rapides. Cette évolution a stimulé la recherche permanente visant à l'amélioration des composants, des matériaux et des procédés de fabrication.

Au fil des ans, le silicium a assis sa domination sur le marché de la microélectronique et s'est imposé comme étant le matériau semiconducteur universel. Des dispositifs à base de silicium ont été réalisés, tels que le transistor bipolaire, et surtout le transistor MOS (Metal Oxide Semiconductor) qui ont tiré profit de la maturité des technologies silicium et d'une grande simplicité de mise en oeuvre [1]. Afin de développer des circuits intégrés numériques, on a associé des composants de type n et de type p pour constituer la logique complémentaire CMOS (Complementary MOS) qui présente comme principal intérêt une consommation statique ultra faible, critère primordial pour envisager la réalisation de circuits intégrés complexes à haute densité d'intégration. Les ventes de circuits intégrés en technologie CMOS représentent actuellement 85% du marché mondial des semiconducteurs.

Cependant, l'essor et l'évolution des systèmes de télécommunications se traduisent par la nécessité de fabriquer des circuits intégrés traitant des débits d'informations numériques supérieurs à 1 Gb/s, ou des signaux analogiques à des fréquences bien au-delà du gigahertz. Pour répondre à ces nouvelles perspectives d'applications, d'importants programmes de recherche, axés sur de nouveaux matériaux semiconducteurs, et notamment les matériaux III-V, ont été développés. Parmi ceux-ci, un effort soutenu a été consacré à l'Arséniure de Gallium (GaAs), qui offre de meilleures propriétés de transport électronique que le silicium, et notamment une mobilité à champ faible cinq fois plus élevée et une vitesse électronique moyenne pouvant être double [2].

Pourtant, le silicium possède un avantage incontestable vis-à-vis du GaAs, celui de permettre la croissance d'un oxyde natif stable servant à isoler le contact de grille du canal dans le cas du transistor MOS. Les chercheurs travaillant sur l'Arséniure de Gallium se sont ainsi tournés vers des composants de substitution tels que le transistor MESFET (Metal Semiconductor Field Effect Transistor), dont le principe de fonctionnement est basé sur un contact de grille de type Schottky.

Simultanément au développement du MESFET, les progrès remarquables effectués en épitaxie par jets moléculaires (MBE), ainsi que le souci permanent de concevoir des dispositifs toujours plus performants, ont conduit à la réalisation de couches semiconductrices comportant des hétérostructures telles que AlGaAs / GaAs [3], puis des hétérostructures pseudomorphiques de type AlGaAs / InGaAs / GaAs [4]. Ce type d'hétérostructures permet en effet d'améliorer considérablement le transport des porteurs de par la présence d'un gaz bi-dimensionnel d'électrons à l'interface AlGaAs / InGaAs. Ces travaux ont permis la réalisation de transistors à effet de champ sur hétérostructure tels que le HEMT (High Electron Mobility Transistor) et le HIGFET (Heterostructure Insulated-Gate Field-Effect Transistor) que se différencient respectivement par la présence et l'absence d'un dopage dans la couche active d'AlGaAs.

L'Arséniure de Gallium est maintenant parfaitement reconnu comme étant le semiconducteur le plus adéquat pour des applications analogiques en hyperfréquences, et de nombreux circuits intégrés monolithiques micro-ondes (MMIC), conçus à partir de HEMTs et de MESFETs, ont d'ores et déjà été proposés. Des industriels ont mis au point des filières logiques basées sur le MESFET, telles que les logiques DCFL [5] et SCFL [6], et ont déjà réalisé en technologie auto-alignée des circuits intégrés numériques comportant quelques centaines de milliers de composants [7]. Toutefois, sur un plan commercial, le marché des circuits digitaux en Arséniure de Gallium est encore très restreint. Cette limitation provient d'un niveau de maturité moins élevé que les technologies silicium, et surtout de la non-complémentarité des structures logiques à MESFET, et par conséquent de l'existence de consommations statiques beaucoup trop importantes pour la conception de circuits numériques à haut niveau d'intégration.

Dans le cadre de ce travail, nous nous proposons d'apporter une contribution au développement de circuits intégrés numériques rapides et à très faible consommation sur Arséniure de Gallium par la mise au point et l'évaluation d'une filière technologique complémentaire. La structure de type HIGFET est la plus adéquate pour la réalisation de circuits intégrés numériques à haute densité d'intégration sur GaAs, en raison de la quasi-indépendance des tensions de seuil aux paramètres de l'épitaxie. De plus l'absence de tout dopage dans le matériau permet d'envisager le développement d'une logique complémentaire à très faible consommation statique tout en préservant la planarité de la surface du semiconducteur.

Ainsi notre effort se situe avant tout dans le domaine technologique. Il nous a semblé essentiel de mettre au point un procédé auto-aligné complémentaire de fabrication de transistors à effet de champ et de circuits intégrés fiable et reproductible. Cependant, même si ce travail a pour premier objectif d'évaluer le potentiel d'une logique complémentaire à transistors HIGFETs sur Arséniure de Gallium, il offre une opportunité d'étudier l'intérêt de développer des circuits analogiques mono-tension d'alimentation à transistors HIGFETs, ou mixtes analogiques / numériques à partir de cette technologie auto-alignée. Notre démarche comporte trois aspects essentiels :

- L'étude du transistor HIGFET pseudomorphique et le choix des paramètres de la structure épitaxiale.

- Le développement d'un procédé auto-aligné à transistors complémentaires et l'optimisation complète de toutes les étapes technologiques.

- La réalisation de transistors HIGFETs de type n et de type p en vue d'évaluer leur potentiel pour des applications de logique complémentaire et pour la conception de circuits analogiques hyperfréquences.

Dans un premier chapitre d'introduction, nous nous efforcerons de dresser un panorama des filières logiques principales sur silicium et sur Arséniure de Gallium. Nous démontrerons l'existence d'un créneau vacant pour la logique rapide à faible consommation auquel pourrait répondre une filière complémentaire sur Arséniure de Gallium.

Le deuxième chapitre de ce travail sera consacré à l'état de l'art et à l'étude du principe de fonctionnement du transistor HIGFET sur GaAs. Nous montrerons comment l'hétérostructure  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  est la plus adaptée au développement d'une filière de logique complémentaire, alors que l'hétérostructure  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  convient mieux à la réalisation de circuits intégrés analogiques en hyperfréquences.

Les chapitres suivants seront consacrés aux aspects technologiques. Dans le chapitre trois nous décrirons les principales étapes, ainsi que les axes de développement de la technologie auto-alignée que nous utiliserons pour réaliser des composants. Nous expliquerons pourquoi les procédés d'implantation ionique et l'utilisation d'un métal de grille réfractaire sont nécessaires. Nous présenterons également le dessin d'un jeu de masques appelé FTFET (Fast Technology for Field-Effet Transistor) que nous avons conçu pour réaliser des transistors à partir de cette technologie auto-alignée.

Les autres chapitres décriront l'optimisation complète de certaines étapes du procédé de fabrication technologique de transistors HIGFETs. Ainsi, la réalisation des grilles des transistors, depuis le choix du métal de grille et des conditions de dépôt, l'étape de lithographie électronique, jusqu'à l'optimisation de la formation des grilles par gravure ionique réactive, constituera le sujet du quatrième chapitre.

Dans les chapitres cinq et six nous décrirons la mise au point des implantations ioniques servant à doper les zones d'accès de source et de drain des transistors, puis la réalisation des contacts ohmiques. Nous expliciterons la démarche que nous avons suivie pour choisir la dose et l'énergie des implantations Si dans le cas du transistor de type n, et Be+P pour le transistor de type p. Nous détaillerons ensuite l'optimisation du cycle du recuit thermique rapide nécessaire à l'activation des espèces implantées. Enfin nous rapporterons la mise au point complète d'un nouveau contact ohmique diffusant de type p à base de manganèse.

La partie de ce travail relative aux composants commence dans le chapitre sept par l'étude de transistors HIGFETs de type n sur une hétérostructure pseudomorphique

$\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  /  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  / GaAs. Par la réalisation de plusieurs opérations technologiques se distinguant par le profil de dopage, nous montrerons notamment pourquoi le recours à une double implantation est indispensable. Nous rapporterons les caractéristiques statiques de composants présentant des transconductances très élevées. Après la description d'une méthode de caractérisation en hyperfréquences et de détermination d'un schéma électrique "petit-signal", nous étudierons l'intérêt du transistor HIGFET pour des applications analogiques à tension d'alimentation unique.

Dans les chapitres huit et neuf nous décrivons les résultats obtenus pour les transistors HIGFETs de type n et de type p respectivement, réalisés sur l'hétérostructure  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  /  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  / GaAs, et destinés à une intégration dans des circuits de logique complémentaire. Nous rapporterons une étude concernant les divers facteurs entraînant des consommations statiques parasites dans une structure complémentaire à transistors HIGFETs. Ainsi nous chercherons à déterminer les mécanismes qui sont à l'origine du courant de grille dans les transistors HIGFETs. Nous effectuerons une caractérisation détaillée du régime de fonctionnement sous le seuil, et nous mettrons en évidence l'apparition d'effets de canal court. Nous évaluerons par ailleurs la technologie auto-alignée à transistors HIGFETs en déterminant à la fois les rendements de fabrication et la dispersion de la tension de seuil des composants. Au vu de ces résultats, nous concluerons enfin quant au potentiel d'une telle filière complémentaire sur Arséniure de Gallium pour des applications de logique rapide et à très faible consommation.

**BIBLIOGRAPHIE**

- [1] D. Kahng and M. M. Atalia, "Silicon silicon dioxide induced surface devices", IRESSDRC, Pittsburgh, 1960.
- [2] S. M. Sze, *High speed semiconductor devices*, edited by Wiley, 1990.
- [3] P. M. Solomon, C. M. Knoedler and S. L. Wright, "A GaAs heterojunction FET", IEEE Electron Device Lett., vol. EDL-5(9), pp. 379-381, 1984.
- [4] A. Ketterson, M. Moloney, W. T. Masselink, C. K. Peng, J. Klem, R. Fischer, W. Kopp and H. Morkoc, "High transconductance InGaAs/AlGaAs pseudomorphic MODFET", IEEE Electron Device Lett., vol. EDL-6(12), pp. 628-630, 1985.
- [5] H. Ishikawa, H. Kusakawa, K. Suyama and M. Fukuta, "Normally-off type GaAs MESFET for low-power high-speed logic circuits", ISSCC Dig. of Tech. Papers, pp. 200-201, 1977.
- [6] S. Katsu, S. Nambu, A. Shimano and G. Kano, "A GaAs monolithic frequency divider using source coupled FET logic", IEEE Electron Device Lett., vol. EDL-3(8), pp. 197-199, 1982.
- [7] J. Mikkelson, "GaAs digital VLSI device and circuit technology", IEDM Tech. Dig., 1991.



# PARTIE 1

## INTERET DU HIGFET POUR LA LOGIQUE RAPIDE A FAIBLE CONSOMMATION





## CHAPITRE I

### LES DIFFERENTES FAMILLES DE CIRCUITS INTEGRES NUMERIQUES RAPIDES

#### **I.1 Introduction : applications et tendances des circuits intégrés rapides à faible consommation**

Alors que les progrès de la lithographie permettent de dessiner des motifs de dimensions de plus en plus petites, que le nombre de composants d'un circuit intégré croît exponentiellement au fil des années, que les utilisateurs préfèrent des systèmes autonomes et donc portables, et que l'industrie microélectronique nécessite des dispositifs de plus en plus rapides en termes de fréquence d'horloge ou de débit d'informations, les concepteurs de circuits combinent toujours plus de fonctions sur une seule puce. La tendance ultime résultant de ces considérations est l'intégration complète de systèmes complexes et performants sur une seule puce électronique, ainsi que le recours à des technologies mixtes, permettant l'implémentation de fonctions numériques et analogiques sur un même substrat.

Les besoins de composants et de circuits rapides, fiables et à faible consommation se situent principalement chez les constructeurs d'ordinateurs, dans les communications optiques, le multimédia et la téléphonie portable.

##### I.1.1 Ordinateurs rapides

L'industrie des ordinateurs rapides, voire portables, est sans nul doute le premier marché de l'électronique numérique. Parmi les circuits de dimensions centimétriques représentatifs, des microprocesseurs à architecture RISC fonctionnent maintenant à des fréquences d'horloge de 433 MHz [1]. Une innovation remarquable est l'utilisation d'une technologie différente et plus performante pour la réalisation de fonctions ou de circuits accélérateurs à densité moyenne de composants, tels qu'un multiplieur, par exemple. Des mémoires cache extrêmement rapides et d'une capacité de 512 kilo-octets sont désormais disponibles. On note également le développement de circuits

améliorant la communication entre processeurs parallèles, notamment dans la gestion des bus externes qui véhiculent de plus en plus d'informations.

Le tableau suivant dresse un tour d'horizon des projections futures des technologies digitales ULSI (Ultra Large Scale Integration) [2]:

Année	Dimension minimale (µm)	RAMs dynamiques		Microprocesseurs			Niveaux d'interconnexions	Tension d'alimentation (V)
		Taille wafer (mm <sup>2</sup> )	Milliards de bits par puce	Taille wafer (mm <sup>2</sup> )	Millions de transistors par cm <sup>2</sup>	Fréquence d'horloge (MHz)		
1995	0.35	190	0.064	250	4	300	4-5	2.2-3.3
1998	0.25	280	0.256	300	7	450	5	2.2-2.5
2001	0.18	420	1	360	13	600	5-6	1.5-2.2
2004	0.13	640	4	430	25	800	6	1.5-1.7
2007	0.10	960	16	520	50	1000	6-7	1.5
2010	0.07	1400	64	620	90	1100	7-8	1.5

Tableau 1.1 : Projections des technologies numériques

Ces projections montrent clairement une évolution vers un niveau de complexité plus important nécessitant une réduction de la consommation des portes logiques, un fonctionnement à des vitesses plus élevées, et en même temps une réduction de la tension d'alimentation. Le challenge réside dans le compromis qui existe entre l'obtention d'un faible temps de retard d'une porte, et d'une faible consommation. En effet, un fonctionnement à une tension d'alimentation élevée (3.3 V par exemple) permet d'atteindre de bonnes vitesses de communication, mais augmente en même temps la consommation des circuits, et vice-versa.

### I.1.2 Communications optiques et mobiles

L'essor des communications optiques s'explique par l'engouement des systèmes multimédia et la maturité dans la fabrication de fibres mono-modes à très large bande. La modulation d'intensité lumineuse se faisant désormais à des débits binaires au-delà de 10 Gb/s, la régénération des signaux numériques entre les fibres fait appel à des répéteurs adaptés.

Les circuits pour réseaux de communications numériques, tels que les multiplexeurs, décodeurs, commutateurs et étages tampons de stockage peuvent maintenant fonctionner à quelques dizaines de gigahertz. Jusqu'à peu, ces circuits fonctionnaient encore à des débits d'information peu élevés, et nécessitaient des circuits additifs afin de diviser la fréquence des signaux issus des circuits intégrés micro-ondes (MMIC) analogiques pour permettre un traitement digital autour de 200 MHz par des systèmes basés sur la technologie à transistors MOS. Il semble primordial de développer des technologies numériques très rapides, de manière à effectuer autant que possible une conversion directe en fréquence des signaux analogiques vers les

circuits digitaux, accélérer le traitement numérique des informations, et simplifier le système de transfert analogique / digital.

Dans le domaine des micro-ondes, trois bandes de fréquences ont été allouées principalement pour de nouvelles applications :

- 28 GHz pour la vidéo distribution
- 40 GHz pour les communications par satellites
- 60 GHz pour les communications avec les mobiles

Par ailleurs, on comptera environ 200 millions d'utilisateurs de téléphones portables en l'an 2000. Si le besoin d'un faible coût et la disponibilité d'un grand nombre de services sont des critères essentiels, l'autonomie se traduit par la nécessité de réduire la consommation des appareils, y compris pour les fonctions analogiques. On semble s'orienter vers une tension d'alimentation de 1.5 V [3], ce qui représente un très gros problème pour l'amplificateur de puissance et le commutateur intégrés.

### I.1.3 Exigences des circuits rapides et à faible consommation

Les exigences d'une technologie de composants et de circuits rapides et à faible consommation sont donc :

- la vitesse, nécessitant de hautes performances individuelles des composants.
- une très faible consommation pour l'autonomie et la portabilité des systèmes, et notamment un bon fonctionnement à faible tension d'alimentation.
- la possibilité d'un haut niveau d'intégration, et donc un excellent rendement de fabrication. Dans le cas d'une technologie à transistors à effet de champ, ceci passe par une excellente uniformité des tensions de seuil.
- la maîtrise des coûts de production, en termes de faisabilité et de reproductibilité.
- une compatibilité numérique/analogique pour permettre le développement de systèmes mixtes digitaux / analogiques comportant des amplificateurs faible bruit ou des étages de puissance.

## **I.2 Filières technologiques CMOS et BiCMOS**

### I.2.1 Orientations de la technologie MOS

La miniaturisation du transistor MOS a été la majeure préoccupation des chercheurs et des industriels travaillant dans le domaine des composants silicium depuis 25 ans, l'objectif étant de viser à la fois des vitesses et des niveaux d'intégration plus élevés. Cette filière est surtout attractive par la maturité de la technologie MOS et la très faible consommation de la logique CMOS, ce qui permet de développer des circuits intégrés ULSI.

La figure 1.1 résume l'évolution des réductions de longueurs de grille de transistors MOS réalisés par des laboratoires de recherche depuis 1970.

On peut estimer que le composant publié par Ono [4], d'une longueur de grille de  $0.04 \mu\text{m}$ , pourrait constituer une limite au-delà de laquelle le fonctionnement serait fortement dégradé avec les technologies actuelles.

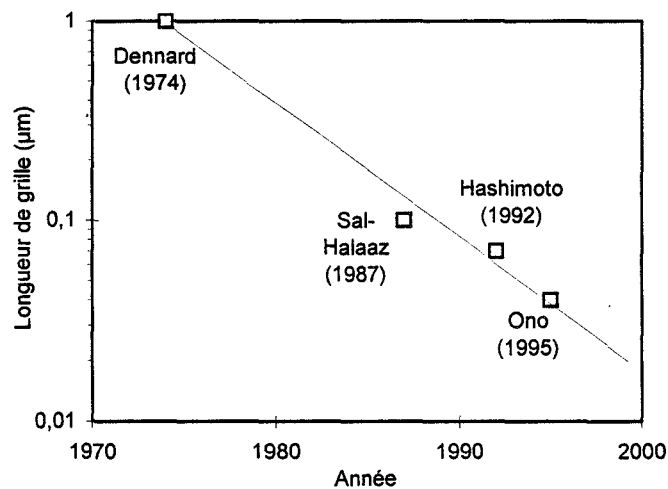


Fig. 1.1 : Tendances de fabrication du MOS à grille submicronique.

Afin de conserver des propriétés géométriques et électriques correctes, la diminution de la longueur de grille doit s'accompagner d'une réduction de l'épaisseur d'oxyde, d'un dopage du substrat plus élevé, et d'une réduction de la profondeur des zones d'accès implantées. Il semble nécessaire de conserver une valeur minimale de l'épaisseur d'oxyde voisine de  $30\text{\AA}$ , afin d'éviter un courant de grille par effet tunnel trop important, et de faire en sorte que le niveau d'impuretés du substrat ne dépasse pas  $1 \times 10^{18} \text{cm}^{-3}$ . Cette valeur peut représenter une limite à cause du courant parasite tunnel des jonctions de source et de drain avec le substrat.

Par ailleurs, des considérations économiques et industrielles font que les lignes de fabrication actuelles en CMOS  $0.25 \mu\text{m}$  sont en retrait des technologies de recherche. La raison principale est qu'avec les équipements photolithographiques à l'heure actuelle, les géométries dans tout procédé technologique MOS industriel sont pour l'instant limitées à  $0.2 \mu\text{m}$ . En effet, des études très récentes sur les propriétés des matériaux optiques DUV (Deep Ultraviolet) laissent à penser qu'une longueur d'onde

de 193 nm constitue une limitation pour l'optique de réfraction. Il semble qu'une photolithographie avec de telles dimensions, et à fortiori plus petites, serait possible mais au prix d'investissements extrêmement lourds. Elle nécessiterait non seulement des équipements de réfraction par systèmes de lentilles beaucoup plus complexes, mais aussi des résines plus performantes pour résoudre des problèmes d'absorption et de transparence [5].

Les circuits intégrés fonctionnant au-delà de 200 MHz sont principalement réalisés en technologies nMOS 0.5  $\mu\text{m}$  et 0.35  $\mu\text{m}$ , et travaillent sous des tensions d'alimentation de 3.3 V et 5 V qui induisent des consommations importantes, comme c'est le cas pour les nouveaux microprocesseurs qui dissipent jusqu'à 25 W. Le challenge consiste à trouver des technologies à base de composants plus performants que le MOS Silicium, de manière à atteindre des vitesses plus élevées tout en gardant à la fois des dimensions géométriques moins critiques entraînant des coûts raisonnables, et une tension d'alimentation en deçà de 2 V, afin de limiter la consommation.

### I.2.2 L'alternative BiCMOS

L'attrait d'une technologie BiCMOS réside dans l'ajout de transistors bipolaires en aval de chaque porte CMOS, de manière à délivrer un courant de sortie plus important, et par conséquent, d'atteindre des vitesses de commutation plus élevées.

En outre, un procédé BiCMOS offre l'avantage de pouvoir mixer des fonctions digitales réalisées avec des portes BiCMOS ou CMOS, avec des fonctions analogiques réalisées en technologie bipolaire.

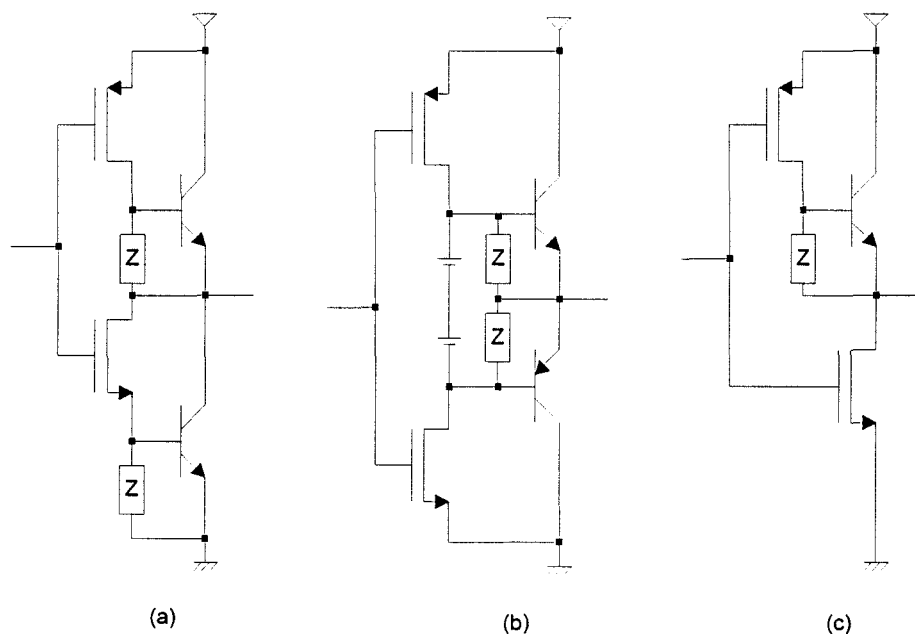


Fig. 1.2 Exemples de portes BiCMOS : (a) porte BiCMOS de base ; (b) porte CBiCMOS ; (c) porte BiNMOS.

Le principal inconvénient du BiCMOS est le coût nettement supérieur, en particulier en ce qui concerne celui de lithographie étant donné la multiplicité des niveaux de masquage intervenant dans la fabrication des transistors bipolaires.

La figure 1.2 montre trois exemples de portes BiCMOS [6], avec utilisation d'un ou de deux transistors bipolaires.

La figure 1.3.a compare les temps de retard des portes BiCMOS ci-dessus et d'une porte CMOS standard pour une technologie 0.7  $\mu\text{m}$  et une tension d'alimentation de 5V, en fonction de la capacité de charge. Pour une porte BiCMOS de base, le temps de retard est globalement deux fois moindre, à technologies identiques, qu'une porte CMOS standard à capacité de charge élevée, et donc à haut niveau de sortance, ce qui est le cas des circuits intégrés numériques complexes actuels.

Il en va différemment pour des tensions d'alimentations inférieures, comme le montre la figure 1.3.b. Il semble clair qu'une technologie BiCMOS est inintéressante à des tensions d'alimentation en deçà de 2.5 V, ce qui signifie qu'une telle logique pourra difficilement fonctionner à faible consommation, car elle ne présente qu'un intérêt limité dans ces conditions par rapport au CMOS standard.

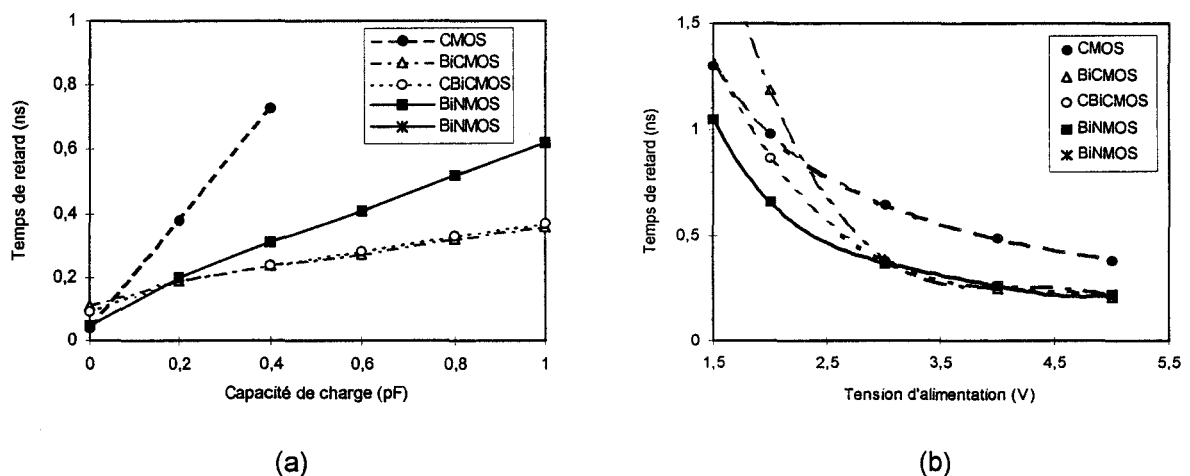


Fig. 1.3 : Temps de retard de portes BiCMOS et CMOS 0.7  $\mu\text{m}$  en fonction de la capacité de charge à 5V (a) et en fonction de la tension d'alimentation sous une capacité de charge de 200 fF (b) [6].

### I.3 Les circuits intégrés en Arseniure de Gallium

Les premiers composants et circuits réalisés en Arseniure de Gallium sont apparus au milieu des années 70. La percée du GaAs qui a suivi est avant tout due à la disponibilité de substrats d'Arseniure de Gallium semi-isolants de bonne qualité, à la maîtrise des procédés technologiques, et au développement de la croissance épitaxiale

par jets moléculaires (MBE) qui a notamment permis la réalisation d'hétérostructures afin d'améliorer les performances des composants [7].

### I.3.1 Intérêts et problèmes de l'Arséniure de Gallium par rapport au silicium

Le tableau 1.2 résume les principales différences physiques entre l'Arséniure de Gallium et le Silicium [8].

Propriété	silicium	GaAs
Mobilité électronique à champ faible (cm <sup>2</sup> /Vs)	1500	8000
Mobilité des trous à champ faible (cm <sup>2</sup> /Vs)	400	450
Vitesse équivalente moyenne des électrons (cm/s)	$1 \times 10^7$	$2 \times 10^7$
Résistivité du substrat (Ω.cm)	$2.3 \times 10^5$	$10^8$
Champ de claquage (V/cm)	$3 \times 10^5$	$4 \times 10^5$
Constante diélectrique	11.8	13.1
Tolérance des radiations (dose)	$10^8$	$10^6 - 10^7$
Gap	Indirect	Direct
Oxyde MOS	Oui	Non

Tableau 1.2 : Propriétés physiques du GaAs et du Si [8].

L'intérêt primordial est la mobilité électronique à champ faible dans le GaAs, cinq fois plus élevée que dans le silicium, ainsi qu'une vitesse équivalente moyenne double, ce qui permet de réaliser des circuits intégrés en GaAs beaucoup plus rapides.

Contrairement aux substrats de silicium qui présentent un dopage résiduel de type p élevé, la haute résistivité intrinsèque des substrats semi-isolants en GaAs facilite la réalisation de structures complémentaires.

La tolérance aux radiations du GaAs rend intéressante son utilisation pour des systèmes embarqués, et surtout spatiaux.

L'existence d'un gap direct facilite les transitions optiques entre les bandes de valence et de conduction, et ouvre aux semiconducteurs III-V les perspectives de l'optoélectronique.

En revanche, la mobilité des trous dans l'Arséniure de Gallium est très voisine de celle du silicium, ce qui pousse à développer des technologies de composants utilisant essentiellement des électrons comme porteurs de charges..

De plus, la croissance d'un oxyde de qualité sur l'Arséniure de Gallium est pour l'instant impossible, ce qui exclut l'idée de fabriquer un composant de type MOS sur GaAs. Les chercheurs se sont tournés vers des composants de remplacement, tels que le MESFET (MEtal Semiconductor FET), dont la grille est métallique et constitue avec le semiconducteur un contact Schottky.

D'un point de vue commercial, l'Arséniure de Gallium est maintenant proposé comme une solution pour répondre à des applications surtout analogiques au-delà du gigahertz, telles que les communications mobiles, l'aéronautique, les radars, la télévision numérique, etc.

Cependant, les technologies en GaAs souffrent d'un manque de maturité évident par rapport aux procédés en silicium, surtout en CMOS. Ceci se traduit d'abord par un coût de wafer GaAs en fin de procédé beaucoup plus important (10 dollars par  $\text{mm}^2$ ) que le coût d'un wafer en CMOS (50 cents par  $\text{mm}^2$ ) [9]. L'industrie du Silicium repose à présent sur une abondance de fonderies, dont la plupart travaillent sur des substrats de 8 ou 10 pouces de diamètre, alors que les fondeurs sur Arséniure de Gallium ne disposent que des substrats 3 ou 4 pouces, ce qui réduit d'autant le nombre de circuits par substrat, et contribue à augmenter les coûts.

### I.3.2 Historique de l'évolution des composants en GaAs

#### **I.3.2.a Composants en technologie à grille creusée ou "recess"**

Parce qu'il correspondait mieux aux impératifs des concepteurs de circuits que le transistor à jonction ou JFET (Junction Field Effect Transistor), par ailleurs peu attractif en raison de la difficulté de réaliser des composants de faibles dimensions, le MESFET de type N a été pendant longtemps le transistor le plus largement utilisé dans les circuits intégrés en GaAs [10]. Son principe repose sur un contact Schottky de grille réalisé à la surface de la couche active dopée N qui crée une zone de charge d'espace. La différence de potentiel appliquée entre la grille et la source permet de contrôler l'épaisseur de la zone déplétée et commande donc le courant dans le canal.

C'est en 1980 que fut réalisé pour la première fois un HEMT, transistor utilisant une hétérostructure à dopage modulé  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$  et tirant profit des progrès incontestables réalisés dans l'épitaxie des couches semiconductrices [11] [12]. Appelé différemment suivant les laboratoires qui l'ont initialement réalisé, HEMT (High Electron Mobility Transistor) par Fujitsu, TEGFET (Two-dimensional Electron Gas FET) par Thomson, ou MODFET (MODulation Doped FET) par Rockwell, ce composant bénéficie de l'amélioration de la mobilité électronique dans un puits de potentiel à l'hétérostructure  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$  qui sert de canal au transistor. Les électrons sont ainsi séparés des donneurs placés dans la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  dopé, et sont dotés d'une haute mobilité.

L'utilisation d'indium a permis d'améliorer encore les performances des composants. Le HEMT pseudomorphique, pour lequel est insérée une couche



d' $\text{In}_y\text{Ga}_{1-y}\text{As}$  entre les couches d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  et de GaAs afin de mieux confiner les électrons, a démontré des fréquences de coupure jusqu'à 120 GHz [13]. Par ailleurs, la réduction progressive de la longueur de grille sous  $0.1 \mu\text{m}$  a permis d'atteindre des fréquences encore plus élevées [14].

La voie royale d'utilisation des transistors MESFETs, puis HEMTs concerne principalement les applications analogiques micro-ondes qui requièrent des MMIC (circuits intégrés micro-ondes), tels que des amplificateurs à large bande, à faible bruit ou de puissance, des oscillateurs, des déphaseurs, des commutateurs, des mélangeurs, des atténuateurs, des circulateurs, etc. Tous ces MMIC analogiques ont été, jusqu'à récemment, fabriqués avec des technologies à creusement localisé autour de la grille, ou dites "recess" afin de diminuer les résistances d'accès. La figure 1.4 représente la vue en coupe d'un MESFET réalisé en technologie "recess".

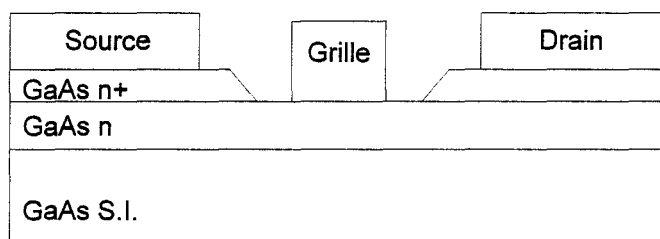


Fig. 1.4 : Transistor MESFET en technologie "recess".

Malgré des performances très élevées en fréquence, en gain et en puissance, ces MMIC à base de HEMTs sont fortement limités en densité d'intégration (une vingtaine de composants au maximum) par la taille des composants, de largeur supérieure à une centaine de microns généralement, et la présence de composants passifs. Ce faible niveau d'intégration provient également des faibles rendements de fabrication qui sont dus au procédé "recess" lui-même.

Ce type de technologie a en effet été la première approche utilisée pour réaliser des composants et des circuits intégrés en GaAs. L'objectif initial n'était pas de viser un haut niveau d'intégration, mais de démontrer les potentialités de l'Arséniure de Gallium le plus possible, en optimisant les caractéristiques électriques individuelles des quelques composants qui fonctionnaient sur un substrat. Pour cela, la démarche a consisté à réduire toujours la longueur de grille des transistors en utilisant des moyens technologiques lourds, et à minimiser les résistances parasites d'accès de source et de drain qui pénalisent la transconductance et la fréquence de coupure des composants.

Les principaux inconvénients liés à la technologie "recess", qui limitent le niveau d'intégration, sont :

- la non-planarité des structures en fin de process, qui entraîne une fragilisation due au relief.

- la complexité de certaines étapes technologiques, telles que les amincissements de substrats, les "via holes", ou les dépôts électrolytiques.

- la technique de creusement localisé autour de la grille, opération technologique peu reproductible, peu uniforme et encore moins contrôlable.

- l'isolation des composants par mesas, en utilisant la plupart du temps une gravure chimique, qui induit une capacité parasite au passage de la marche du mesa, pénalisant fortement les performances des composants de faible largeur de grille.

Il est clair qu'une technologie "recess" est incompatible avec un niveau moyen d'intégration, et encore moins pour des circuits intégrés numériques qui requièrent plus de mille portes logiques.

### I.3.2.b Procédé technologique auto-aligné à MESFET pour circuits numériques

De tous les dispositifs sur GaAs, le MESFET de type n est sans nul doute celui qui a acquis la plus grande maturité au fil des années. Les MMIC analogiques à MESFET en technologie recessée ont également démontré des performances en fréquence très élevées. Ce sont ces deux considérations qui ont poussé certains laboratoires à envisager l'utilisation de ce composant dans des circuits intégrés numériques extrêmement rapides. Le premier circuit intégré digital à base de MESFET a été publié en 1974 [15]. Depuis des progrès incontestables ont été réalisés, en améliorant la fréquence de fonctionnement et en augmentant la complexité et surtout la densité d'intégration des circuits intégrés (fig. 1.5). Des temps de retard de 15 ps pour des portes logiques basées sur la technologie à MESFET ont été obtenus [16]. Les progrès incontestables de la lithographie ont permis une réduction progressive de la longueur de grille, et par conséquent une amélioration des performances, tout en préservant le rendement de fabrication. Des circuits à haute intégration, comprenant plus de 100000 portes logiques, sont désormais disponibles [17].

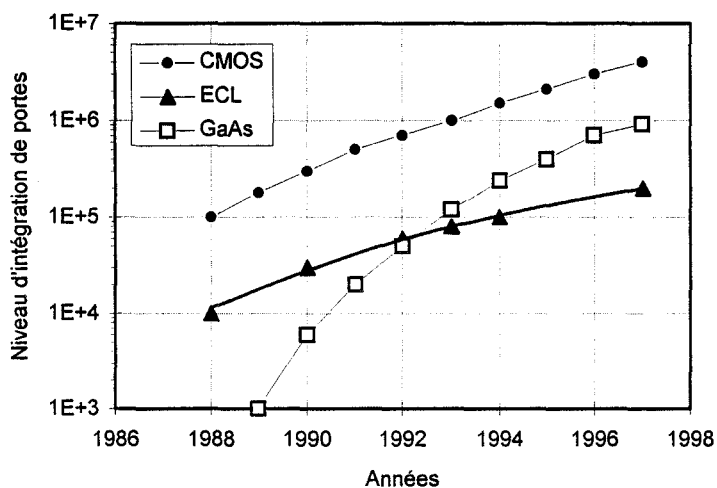


Fig. 1.5 : Evolution de l'intégration de circuits digitaux Si CMOS, Si ECL et GaAs MESFET auto-aligné.

Mais l'évolution de la densité d'intégration des circuits à MESFETs n'a été possible que par l'utilisation de procédés auto-alignés. En effet, les technologies dites "recess" n'étant pas applicables aux circuits numériques à haut niveau d'intégration, des procédés planaires auto-alignés ont été développés pour améliorer, entre autres, le rendement de fabrication, et la contrôlabilité des caractéristiques électriques des composants, telles que la tension de seuil, par exemple. Contrairement à un procédé technologique "recess", dans lequel le dépôt du métal de grille requiert un alignement critique entre les contacts de source et de drain, la grille est la première étape technologique d'un procédé auto-aligné, et sert de masque pour la formation de la source et du drain.

L'utilisation de techniques froides telles que l'implantation ionique a notamment permis d'améliorer la reproductibilité et l'uniformité des composants. Ainsi, l'implantation est impliquée non seulement dans le dopage de la couche active, mais aussi dans la réalisation des zones dopées de source et de drain, ce qui diminue d'un facteur trois les résistances d'accès parasites [18]. L'utilisation de méthodes de gravure sèche a également contribué à améliorer l'uniformité, et surtout la contrôlabilité et la reproductibilité de ces étapes technologiques.

La quasi-totalité des circuits intégrés numériques à MESFET sont réalisés aujourd'hui à partir d'un procédé technologique auto-aligné à grille réfractaire dont un prototype a été mis au point par les chercheurs de Fujitsu en 1983 [19] (fig. 1.6).

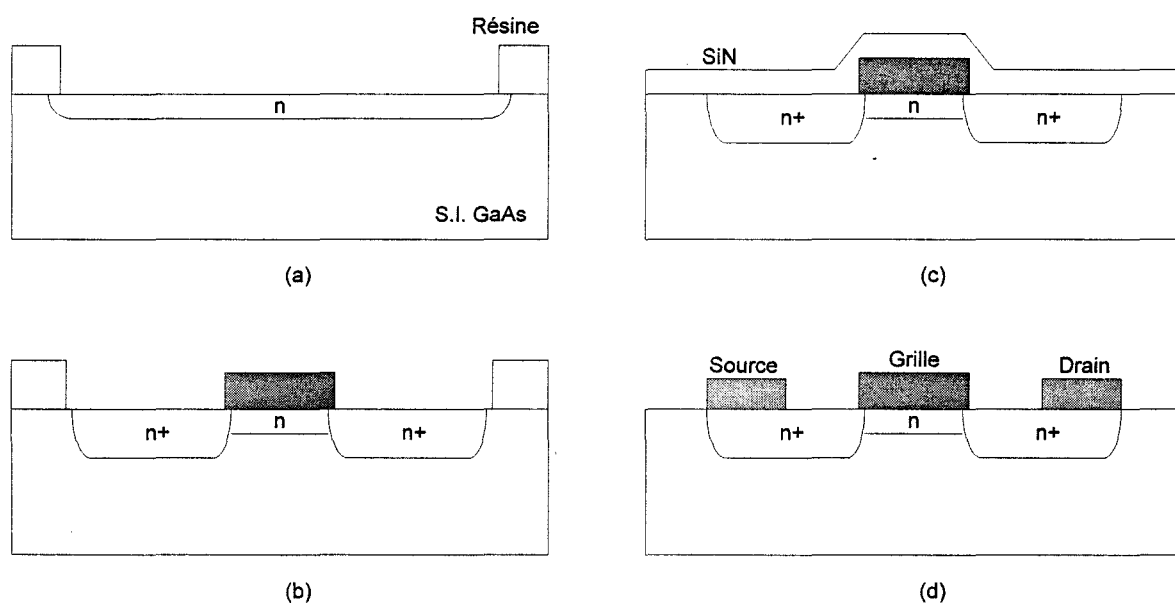


Fig. 1.6 : Procédé auto-aligné à grille réfractaire.

Dans ce procédé, la formation du canal des transistors MESFET par implantation ionique de silicium est la première étape technologique (fig. 1.6.a). Pour la réalisation de la grille, un métal réfractaire, tel que la nitrure de tungstène, est utilisé

car il résiste aux hautes températures induites lors du recuit d'activation des atomes de silicium implantés. La réalisation des caissons de source et de drain est effectuée par implantation ionique localisée et auto-alignée par rapport à la grille qui sert donc de masque (fig. 1.6.b). La formation des contacts ohmiques de source et de drain complète le procédé auto-aligné (fig. 1.6.d).

### I.3.3 Les différentes logiques à MESFET

Plusieurs logiques utilisant la technologie MESFET GaAs ont été mises en place, en privilégiant soit le rendement, soit la consommation, soit la faisabilité du procédé technologique [20] [21].

De par sa simplicité et sa consommation modérée, la famille logique DCFL (Direct Coupled FET Logic) reste la plus utilisée aujourd'hui [16]. La figure 1.7.a représente un inverseur de base en logique DCFL.

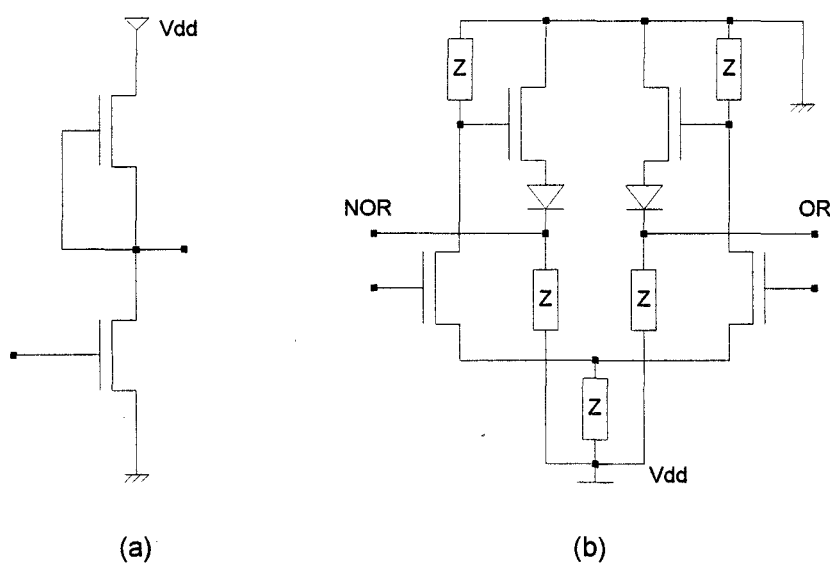


Fig. 1.7 : Portes de base en logique DCFL (a) et SCFL (b).

La porte de base ressemble fort à celle de la logique nMOS, et consiste en deux transistors MESFET, l'un à enrichissement (avec une tension de seuil de +0.2 V environ) servant à la commutation, l'autre à déplétion (la tension de seuil valant environ -0.2 V) servant de charge active résistive. La tension d'alimentation habituelle, entre 1.5 et 2 V, est choisie en raison des comportements de la jonction grille-drain du transistor à déplétion, et du courant de grille du MESFET à enrichissement qui devient beaucoup trop important lorsque la tension de commande dépasse 0.8 V. Ceci impose une amplitude du signal de sortie de 0.6 V à 0.8 V, et donc d'étroites marges de bruit et un rendement limité. La consommation en fonctionnement attente, ou "stand-by" des circuits est élevée, de par la non-complémentarité de cette logique, et à cause du maintien d'un courant de drain non nul du transistor à déplétion en régime statique.

La difficulté technologique principale réside dans la fabrication de transistors à enrichissement et à déplétion, qui nécessite deux implantations ioniques différentes pour doper la zone active des composants. Par ailleurs, les très hautes exigences de cette logique rendent catastrophique toute dérive de tension de seuil, et par conséquent, requièrent une parfaite fiabilité du procédé technologique.

La réelle alternative à la DCFL pour parer le danger que représente la dérive des tensions de seuil des MESFETs, est la logique SCFL (Source Coupled FET Logic) [22] [23], dont un schéma est donné en figure 1.7.b.

Cette logique est compatible avec la famille ECL (Emitter Coupled Logic) du silicium, avec des niveaux logiques de -0.6 V et -1.2 V, et consiste en une paire différentielle, suivie par des étages tampons de sortie. Son avantage évident est sa parfaite immunité à la dispersion des tensions de seuil sur tout un circuit intégré, étant donné que seule importe la variation relative de cette tension de seuil pour les deux transistors constituant l'étage différentiel. Alors que de très faibles temps de commutation peuvent être atteints avec cette logique, une tension d'alimentation élevée (-5 V typiquement) est requise, ce qui contribue à augmenter la consommation. Une unité arithmétique et logique 8 bits, réalisée à la fois dans des logiques DCFL et SCFL à technologies identiques, et comportant 250 portes logiques, fait apparaître des temps de calcul analogues (0.8 ns en SCFL et 0.9 ns en DCFL), mais une consommation double en SCFL (2.16 W contre 1.13 W en DCFL) [24].

Les circuits intégrés en SCFL sont donc réservés à des applications numériques à intégration moyenne de composants où l'exigence de rapidité est prépondérante, et pour lesquelles la consommation n'est pas un facteur essentiel.

### 1.3.4 Exemples de circuits numériques sur GaAs

Le tableau 1.3 dresse une liste de divers circuits intégrés digitaux réalisés sur GaAs en technologies MESFET et publiés dans la littérature. La plupart de ces circuits sont réalisés dans une logique DCFL et possèdent des performances excellentes en termes de fréquence ou de débit binaire. Concernant ces circuits en GaAs, plusieurs limitations subsistent :

- La consommation des circuits est dans tous les cas bien plus élevée que dans une technologie CMOS équivalente, même en logique DCFL, à cause de la dissipation statique dans les composants montés en charge active.

- Dans le cas de la logique DCFL, le courant de grille des MESFET limite fortement les marges de bruit, et par conséquent le rendement de fabrication. Des procédés technologiques coûteux sont donc nécessaires afin d'atteindre des niveaux d'intégration élevés.

- La consommation des circuits en logique SCFL est telle que les applications potentielles de celle-ci se limitent à des petits blocs fonctionnels simples, mais devant fonctionner à des vitesses très élevées.

Circuit	Technologie	Performances	Concepteur	Référence
Synthétiseur de fréquence	DCFL	1-2 GHz 9.7 W	ITT	25
Convertisseur A/D	DCFL	1 Gb/s 4.4 bits eff.	Francfort	26
Mux / Demux 16 bits	HEMTs E/D	1.3 W 2.5 Gb/s	Mitsubishi	27
Diviseur de fréquence	SCFL	250 mW 18-34 GHz	IAF Freiburg	28
Multiplieur 8 bits	DCFL	20 Gb/s 7.5 W	Toshiba	29
SRAM	DCFL	44 Ko tacc=3.5 ns 350000 portes	Vitesse	30
Mux / Demux 8 bits	DCFL	8 Gb/s 1.5 W	Oki	31
Convertisseur $\Delta/\Sigma$ 4 bits	DCFL	3 W 1.6 Gb/s	Vitesse	32
CAM	DCFL	tacc=5.5 ns 8.8 W 123000 portes	Vitesse	33
Switch 16 bits	SCFL	2.5 Gb/s 8 W	Triquint	34

Tableau 1.3 : Circuits intégrés numériques en GaAs.

## I.4 Comparaison de mémoires statiques (SRAM) réalisées en technologies Si et GaAs

### I.4.1 Justification de ce critère

Afin de comparer les technologies digitales en silicium et en Arséniure de Gallium, les SRAMs constituent des démonstrateurs bien adaptés. En effet, ce sont des circuits intégrés à grande diffusion qui représentent de très bons témoins des possibilités d'une technologie au regard de ses performances et des impératifs économiques :

- le temps d'accès, qui donne une excellente indication sur le temps de retard des portes logiques.

- la consommation.

- la tension d'alimentation, qui contribue fortement à la consommation.

- la capacité, ou autrement dit, le nombre de composants, qui témoigne de l'intégration possible de la technologie.

- dans un autre ordre d'idée, nous pouvons citer des critères économiques, c'est-à-dire, la faisabilité, l'intéressement et les efforts des industriels.

#### I.4.2 Comparatif de SRAMs

Le tableau 1.4 et la figure 1.8 dressent un état de l'art des différentes SRAMs réalisées en technologie CMOS, BiCMOS et GaAs DCFL.

Technologie	Capacité	Longueur de grille (µm)	Temps d'accès (ns)	Consommation (W)	Tension d'alimentation (V)	Fabricant	Référence
CMOS	1 Mb	0.5	6	0.26	5	Fujitsu	35
CMOS	16 Mb	0.4	12.5	0.28	3.3	Hitachi	36
CMOS	16 Mb	0.35	9	0.45	3.3	Sony	37
CMOS	16 Mb	0.25	20	0.12	2.5	Hitachi	38
CMOS	4 Mb	0.25	6	0.32	2.7	Hitachi	39
CMOS	1 Mb	0.5	3.3	1.8	3.3	IBM	40
CMOS	288 Kb	0.25	2	0.39	2.5	Fujitsu	41
CMOS	16 Mb	0.4	4.5	1.05	3.3	NEC	42
CMOS	256 Kb	1	25	0.3	5	Mitsubishi	43
BiCMOS	256 Kb	0.5	1.5	35	3.3	Hitachi	44
BiCMOS	256 Kb	0.8	5.8	0.65	5	Mitsubishi	45
BiCMOS	576 Kb	0.3	3.5	2.7	3.3	IBM	46
BiCMOS	4.5 Mb	0.3	1.8	3.5	3.5	Toshiba	47
BiCMOS	512 Kb	0.5	3.8	3.5	3.6	IBM	48
DCFL	1 Kb	0.7	2.3	0.8	2	Univ. Michigan	49
DCFL	4 Kb	0.8	7	0.85	2	Mitsubishi	50
DCFL	16 Kb	0.8	5	2	2	Vitesse	51
DCFL	4 Kb	0.7	3.5	1.8	2	Gigabit	52

Tableau 1.4 : Comparaison de SRAMs réalisées en technologies Si CMOS, Si BiCMOS et GaAs DCFL.

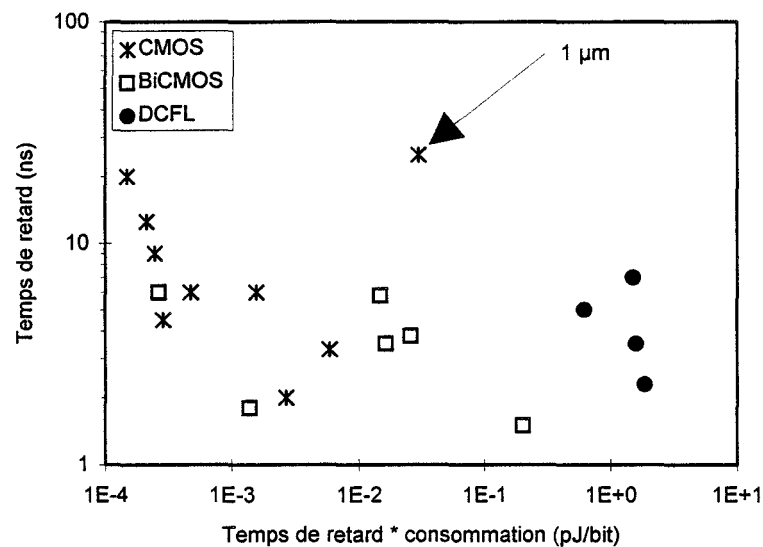


Fig. 1.8 : Comparaison du temps de retard et de la consommation des SRAMs en CMOS, BiCMOS et GaAs DCFL.

### I.4.3 Synthèse

Les SRAMs en logique CMOS ont désormais une capacité typique de 16 Mb, ce qui est rendu possible par l'intégration aisée de transistors MOS, et travaillent à une tension d'alimentation de 2.5 V, d'où une consommation totale des circuits inférieure au Watt. Cependant, une réduction de la longueur de grille jusqu'à une dimension technologiquement critique de 0.25  $\mu\text{m}$  est indispensable pour atteindre un temps d'accès inférieur à 10 ns, et donc pour un fonctionnement au-delà de 100 MHz. Sur la figure 1.8; apparaît la nécessité d'un compromis (selon la tension d'alimentation) entre une faible consommation et un temps d'accès comparable aux autres technologies.

L'utilisation de portes BiCMOS 0.5  $\mu\text{m}$  permet d'atteindre des temps d'accès comparables à ceux obtenus en technologie CMOS 0.25  $\mu\text{m}$ , avec en contrepartie une consommation supérieure d'une décade.

Par ailleurs, le potentiel du GaAs pour des applications digitales apparaît clairement puisqu'une SRAM en technologie GaAs DCFL 0.8  $\mu\text{m}$  donne les mêmes performances que la technologie CMOS 0.25  $\mu\text{m}$  en termes de vitesse, et ce pour une tension d'alimentation de 2V. De plus, à longueurs de grille égales, une SRAM en technologie GaAs DCFL est en moyenne cinq fois plus rapide qu'en technologie CMOS. Une réduction significative de la longueur de grilles des MESFET permet d'envisager à court terme des temps d'accès beaucoup plus faibles que les SRAMs CMOS, pour lesquelles la longueur de grille ne descendra probablement pas en dessous de 0.2  $\mu\text{m}$  au niveau industriel avant plusieurs années. Cependant, la consommation des SRAMs DCFL 4Kb est telle que la capacité semble limitée dans l'absolu à quelques dizaines de kilo-bits, et démontre qu'une logique DCFL, et encore moins une logique SCFL, ne sont pas indiquées pour la réalisation de circuits intégrés numériques à vitesse élevée et à faible consommation sur GaAs.



## **I.5 Vers une approche complémentaire sur GaAs**

### I.5.1 Intérêts d'une filière de logique complémentaire sur GaAs

Le développement d'une technologie complémentaire sur GaAs constitue une voie très prometteuse pour la réalisation de circuits rapides et à faible consommation que ne peut revendiquer la famille DCFL. La démarche consiste à tirer bénéfice de la haute mobilité du GaAs, tout en préservant la faible consommation des circuits du fait de la complémentarité des portes logiques.

L'idée de base est donc de transposer une technologie auto-alignée du CMOS sur des substrats en Arséniure de Gallium, afin d'obtenir un fonctionnement à des vitesses plus élevées, et même d'envisager une consommation plus faible que la logique CMOS pour des applications au-delà des 300 MHz. Par ailleurs, cette transposition peut contribuer à abaisser fortement les coûts de conception de circuits intégrés car les concepteurs pourront utiliser leurs règles de dessin de la famille CMOS avec une simple adaptation en fréquence.

La grande difficulté réside dans l'absence d'un oxyde ayant toutes les propriétés du SiO<sub>2</sub> pour le silicium. Par ailleurs, un autre problème d'une logique complémentaire sur GaAs réside dans la réalisation des transistors de type p, qui risquent d'être peu performants étant donné la faible mobilité des trous dans l'Arséniure de Gallium qui avoisine celle du silicium.

### I.5.2 Moyens et objectifs pour la recherche d'une structure optimale

La maturité incontestable de la croissance de couches semiconductrices sur GaAs par épitaxie à jets moléculaires (MBE) peut être mise à contribution afin de développer une filière technologique complémentaire. La difficulté majeure dans la recherche d'une structure semiconductrice est de permettre la fabrication de transistors de type n et de type p très proches sur le substrat, tout en garantissant une surface plane, et donc en interdisant toute gravure du matériau.

De plus, il est intéressant de réaliser une hétérostructure afin de confiner le transport des porteurs, et d'augmenter leur mobilité, et ce spécialement pour les trous.

Enfin, il faut trouver un substitut à l'absence d'oxyde stable pour l'Arséniure de Gallium.

Ces éléments nous ont conduit à étudier et à développer la filière HIGFET (Heterostructure Insulated-Gate Field-Effect Transistor) dont la description sera effectuée dans le chapitre suivant.

## BIBLIOGRAPHIE DU CHAPITRE I

- [1] P. E. Gronowski et al., "A 433MHz 64b quad-issue RISC microprocessor", ISSCC Tech. Dig., pp. 222-223, 1996.
- [2] L. Geppert, "Technology 1996 : solid state", IEEE Spectrum, vol. 33(1), pp. 51-55, 1996.
- [3] K. M. Baughan, "The wireless communications market - is there a place for GaAs", GaAs IC Symposium Tech. Dig., pp. 3-5, 1995.
- [4] M. Ono, M. Saito, T. Yoshitomi, C. Fiegna, T. Ohguro and H. Iwai, "A 40 nm gate length n-MOSFET", IEEE Trans. on Electron Devices, vol. 42(10), pp. 1822-1828, 1995.
- [5] J. Bokor, A. R. Neureuther and W. G. Oldham, "Advanced lithography for ULSI", IEEE Circuits and Devices Mag., vol. 12(1), pp. 11-15, 1996.
- [6] M. Fujishima, K. Asada and T. Sugano, "Evaluation of delay-time degradation of low-voltage BiCMOS based on a novel analytical delay-time modeling", IEEE J. Solid-State Circuits, vol. 26(1), 1991, pp. 25-31.
- [7] S. M. Sze, "High speed semiconductor devices", édité par Wiley, 1990.
- [8] I. Deyhimy, "Gallium Arsenide joins the giants", IEEE Spectrum, vol. 2, 1995, pp. 33-40.
- [9] G. S. LaRue and T. A. Dao, "Gigabit complementary HFET communication circuits : 16:1 multiplexer, 1:16 demultiplexer and 16:16 crosspoint switch", ISSCC Tech. Dig., pp. 124-125, 1996.
- [10] C. Head, "Schottky barrier gate field-effect transistor", Proc. of the IEEE, vol. 54, 1966.
- [11] T. Mimura, S. Hiyamizu, T. Fujii and K. Nanbu, "A new field-effect transistor with selectively doped GaAs/n-Al<sub>x</sub>Ga<sub>1-x</sub>As heterojunctions", Jap. J. Appl. Phys., vol 19(5), p. 225, 1980.
- [12] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviron, J. Chaplart and N. T. Linh, "Two-dimensional electron gas MESFET structure", Electron. Lett., vol. 16(17), pp. 667-668, 1980.
- [13] Nguyen, "0.2- $\mu$ m gate-length atomic-planar doped pseudomorphic Al<sub>0.3</sub>Ga<sub>0.7</sub>As/In<sub>0.25</sub>Ga<sub>0.75</sub>As/GaAs MODFET's with ft over 120 GHz", IEEE Electron Device Lett., vol. EDL-9(8), pp. 374-376, 1988.
- [14] Chao, "DC and microwave characteristics of sub-0.1  $\mu$ m gate-length planar-doped pseudomorphic HEMT's", IEEE Trans. on Electron Devices, vol. ED-36(3), p. 461, 1989.
- [15] R. Van Tuyl, L. Rory and C. A. Liechti, "High speed integrated logic with GaAs MESFETs", IEEE J. Solid State Circuits, vol. SC-9, pp. 269-276, 1974.

- [16] R. A. Sadler and L. F. Eastman, "Self-aligned submicron GaAs MESFET's for high speed logic", Device Research Conference, 1983.
- [17] Y. Ishii, M. Ono, M. Idda, M. Hirayama and M. Ohmori, "Processing technologies for GaAs memory LSIs", GaAs IC Symposium Tech. Dig., pp. 121-123, 1984.
- [18] H. M. Levy and R. E. Lee, "Self-aligned submicron gate digital GaAs integrated circuits", IEEE Electron Device Lett., vol. EDL-4, pp. 102-104, 1983.
- [19] N. Yokoyama, T. Ohnishi, H. Onodera, T. Shinoki, A. Shibatomi and H. Ishikawa, "A GaAs 1K static RAM using tungstene-silicide gate self-alignment technology", ISSCC Tech. Dig., pp. 44-45, 1983.
- [20] M. Idda, T. Takada and T. Sudo, "Analysis of high speed GaAs FET logic circuits", IEEE Trans. MTT, vol. MTT-32(1), pp. 5-10, 1984.
- [21] M. Shur, "GaAs devices and circuits", édité par Microdevices, 1988.
- [22] A. Shimano, S. Katsu, S. Nambu and G. Kano, "A 4 GHz 25 mW GaAs IC using source coupled FET logic", ISSCC Proc., p. 42, 1983.
- [23] S. Katsu, S. Nambu, A. Shimano and G. Kano, "A GaAs monolithic frequency divider using source coupled FET logic", IEEE Electron Devices Lett., vol. EDL-3(8), pp. 197-199, 1982.
- [24] M. Rocchi, "High-speed digital IC technologies", édité par Artech House, 1990.
- [25] J. F. Naber, H. P. Singh, N. J. Tanis, A. J. Koshar and G. L. Segalla, "A fast-settling GaAs-enhanced frequency synthesiser", IEEE J. Solid State Circuits, vol. 27, pp. 1327-1331, 1992.
- [26] R. Hagelauer, F. Oehler, G. Rohmer, J. Sauerer and D. Seitzer, "A gigasample/second 5-b ADC with on-chip track and hold based on an industrial 1- $\mu$ m GaAs MESFET E/D process", IEEE J. Solid State Circuits, vol. 27, pp. 1313-1320, 1992.
- [27] N. Higashisaka, M. Shimada, A. Ohta, K. Hosugi, Y. Tobita and Y. Mitsui, "GaAs DCFL 2.5 Gbps 16-bit multiplexer / demultiplexer LSI's", J. Solid State Circuits, vol. 29, pp. 808-814, 1994.
- [28] A. Thiede, M. Bercoth, U. Nowotny, J. Siebel, R. Bosch, K. Köhler, B. Raynor and J. Schneider, "A 18-34 GHz dynamic frequency divider based on 0.2  $\mu$ m AlGaAs / GaAs / AlGaAs quantum well transistors", J. Solid State Circuits, vol. 28, pp. 1167-1169, 1993.
- [29] T. Seshita, Y. Ikeda, H. Wakimoto, K. Ishida, T. Terada, T. Matsunaga, T. Suzuki, Y. Kitaura and N. Uchitomi, "A 20 GHz 8 bit multiplexer IC implemented with 0.5  $\mu$ m  $WN_x/W$ -gate GaAs MESFET's", J. Solid State Circuits, vol. 29, pp. 1583-1588, 1994.
- [30] S. Gourrier, "GaAs integrated circuits with normally-off process : a real market opportunity", 1992.

- [31] K. Tanaka, M. Shikata, T. Kimura, Y. Sano and M. Akiyama, "8-Gb/s 8:1 multiplexer and 1:8 demultiplexer IC's using GaAs DCFL circuit", J. Solid State Circuits, vol. 27, pp. 1359-1363, 1992.
- [32] R. Hickling, M. Yagi and H. Salman, "GaAs multibit delta-sigma A/D converters based upon a new comparator design", GaAs IC Symposium Tech. Dig., 1995.
- [33] M. Venkataraman, M. Pai and S. Canaga, "A 7 ns cycle, high speed dual compare CAM in 0.6  $\mu\text{m}$  GaAs", GaAs IC Symposium Tech. Dig., 1995.
- [34] R. Savara and A. Turudic, "A 2.5 Gb/s 16\*16 bit crosspoint switch with fast programming", GaAs IC Symposium Tech. Dig., 1995.
- [35] T. Seki, E. Itoh, C. Furukawa, I. Maeno, T. Ozawa, H. Sano and N. Suzuki, "A 6-ns 1Mb CMOS SRAM with latched sense amplifier", J. Solid State Circuits, vol. 28, pp. 478-483, 1993.
- [36] K. Ishibashi et al., "A 12.5-ns 16-Mb CMOS SRAM with common-centroid-geometry-layout sense amplifiers", J. Solid State Circuits, vol. 29, pp. 411-418, 1994.
- [37] K. Seno et al., "A 9-ns 16-Mb CMOS SRAM with offset-compensated current sense amplifier", J. Solid State Circuits, vol. 28, pp. 1119-1124, 1993.
- [38] K. Sasaki et al., "A 16-Mb CMOS SRAM with a 2.3- $\mu\text{m}^2$  single-bit-line memory cell", J. Solid State Circuits, vol. 28, pp. 1125-1130, 1993.
- [39] K. Ishibashi et al., "A 6-ns 4-Mb CMOS SRAM with offset-voltage-insensitive current sense amplifiers", J. Solid State Circuits, vol. 30, pp. 480-486, 1995.
- [40] H. Pilo, S. Lamphier, F. Towler and R. Hee, "A 300MHz, 3.3V 1Mb CMOS SRAM fabricated in a 0.5  $\mu\text{m}$  CMOS process", ISSCC Dig. of Tech. Papers, pp. 148-149, 1993.
- [41] K. Furumochi, H. Shimizu, M. Fujita, T. Akita, T. Iwara, M. Katsube, K. Aoyama and S. Kawamura, "A 500MHz 288kb CMOS SRAM macro for on-chip cache", ISSCC Dig. of Tech. Papers, pp. 156-157, 1996.
- [42] K. Nakamura, S. Kuhara, T. Kimura, M. Takada, H. Suzuki, H. Yoshida, T. Yamazaki, "A 220-MHz pipelined 16-Mb BiCMOS SRAM with PLL proportional self-timing generator", J. Solid State Circuits, vol. 29, pp. 1317-1322, 1994.
- [43] S. Kuyano, K. Ichinose, Y. Kohno, H. Shinohara, K. Anami, S. Murakami, T. Wada, Y. Kawai and Y. Akasaka, "25-ns 256k\*1/64k\*4 CMOS SRAM's", J. Solid State Circuits, vol. 25, 1991.
- [44] N. Tamba et al., "A 1.5ns 256Kb BiCMOS SRAM with 60-ps 11-k logic gates", J. Solid State Circuits, vol. 29, pp. 1344-1352, 1994.
- [45] T. Shiomi, T. Wada, S. Ohbayashi, A. Ohba, H. Honda, Y. Ishigaki, S. Hine, K. Anami, K. Suzuki and T. Sumi, "A 5.8-ns 256-Kb BiCMOS TTL SRAM with T-shaped bit line architecture", J. Solid State Circuits, vol. 28, pp. 1362-1369, 1993.

- [46] H. A. Bonges et al., "A 576k 3.5-ns access BiCMOS ECL static RAM with array built-in self-test", J. Solid State Circuits, vol. 27, pp. 649-656, 1992.
- [47] A. Suzuki, T. Kobayashi, T. Hamano, H. Hatada, A. Kawasumi, F. Matsuoka, K. Ishimaru, M. Takahashi, M. Nishigohru, Y. Okayama, Y. Unno, M. Kakumu and J. Tsujimoto, "A 400MHz 4.5Mb synchronous BiCMOS SRAM with alternating bit-line loads", ISSCC Dig. of Tech. Papers, pp. 146-147, 1996.
- [48] S. E. Schuster, T. I. Chappell, B. A. Chappell and R. L. Franch, "On-chip test circuitry for a 2-ns cycle, 512-kb CMOS ECL SRAM", J. Solid State Circuits, vol. 27, pp. 1073-1079, 1992.
- [49] A. Chandna and R. B. Brown, "An asynchronous GaAs MESFET static RAM using a new current mirror memory cell", J. Solid State Circuits, vol. 29, pp. 1270-1276, 1994.
- [50] H. Makino, S. Matsue, M. Noda, N. Tanino, S. Takano, K. Nishitani, and S. Kayano, "A 7 ns-850 mW GaAs 4kb SRAM fully operative at 75°C", GaAs IC Symposium Tech. Dig., pp. 71-74, 1988.
- [51] Vitesse 1992 Product Data Book
- [52] A. Fielder, J. Chun and D. Kang, "A 3 ns 1k \* 4 static self-timed GaAs RAM", GaAs IC Symposium Tech. Dig., pp. 67-70, 1988.



## CHAPITRE II

### LE TRANSISTOR HIGFET (Heterostructure Insulated-Gate Field-Effect Transistor)

#### II.1 Principe de fonctionnement du HIGFET

Les diverses tentatives de transposition directe du transistor MOS sur GaAs ont donné des résultats nettement insuffisants, en raison de l'impossibilité de faire croître un oxyde de qualité et stable sur GaAs. Ce n'est qu'au début des années 80 qu'est venue l'idée d'utiliser en guise d'isolant de grille, un matériau semiconducteur non intentionnellement dopé, et d'une largeur de bande interdite (gap) beaucoup plus grande que celle du GaAs.

Pour réaliser un transistor à effet de champ MIS sur GaAs, un composé ternaire de type  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  s'impose naturellement comme isolant. La croissance de ce matériau sur GaAs est relativement aisée en épitaxie par jets moléculaires (MBE) car son paramètre de maille est quasi identique. De plus, l'AlGaAs est très utilisé pour la croissance des couches de transistors HEMT, et son gap est très supérieur au gap de GaAs quand la proportion d'aluminium avoisine les 40%.

##### II.1.1 Structure MIS avec une couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$

De par la présence de l'hétérostructure  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ , le transistor à structure MIS a très vite été appelé HIGFET (Heterostructure Insulated Gate Field-Effect Transistor). Un schéma de ce transistor, de type n, est donné en figure 2.1. La structure épitaxiale est constituée d'une couche tampon de GaAs non intentionnellement dopée, sur laquelle est déposée une couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  également non intentionnellement dopée d'une épaisseur typique de 200 à 300Å. Une couche de GaAs d'une épaisseur inférieure à 100Å sert à prévenir toute oxydation de la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  et à faciliter la réalisation de contacts de bonne qualité.

Après formation de la grille, les caissons dopés N et P sont réalisés de façon auto-alignée autour de la grille qui sert de masque, par implantation ionique localisée et activation des espèces par recuit thermique rapide. La réalisation des contacts de

source et de drain, et des niveaux d'épaissement et d'interconnexions complète la fabrication du transistor.

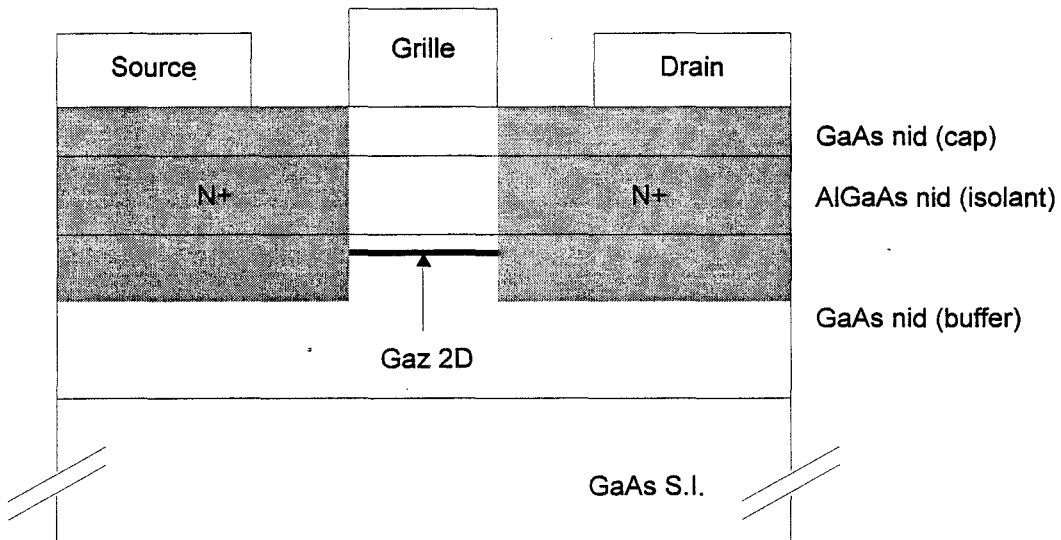


Fig. 2.1 : Structure épitaxiale d'une couche HIGFET  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ .

L'application sur la grille d'une tension  $V_{GS}$  supérieure à une tension de seuil positive  $V_{Tn}$  qui reste à définir, crée à l'interface  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$  un gaz bi-dimensionnel d'électrons qui va constituer le canal du transistor.

En ce qui concerne le transistor de type p, il y a formation d'un gaz de trous à l'interface lorsqu'une tension  $V_{GS}$  inférieure à la tension de seuil négative  $V_{Tp}$  est appliquée sur la grille.

### II.1.2 Avantages d'une structure non dopée

La différence fondamentale entre le HIGFET et les transistors à effet de champ habituels que sont MESFET et HEMT est l'absence de dopage dans la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$ , ce qui procure trois principaux avantages indéniables :

- l'insensibilité des tensions de seuil vis-à-vis des paramètres de dopage de l'épitaxie, ce qui facilite grandement leur quasi-uniformité sur tout un substrat. Cette uniformité représente un atout considérable pour la haute intégration d'une technologie à HIGFETs, comparée aux logiques à MESFET décrites précédemment.

- la suppression des effets de piégeage dus aux centres DX, associés au dopage de la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  qui peuvent causer, dans le cas du HEMT, un phénomène de "collapse" à basse température [1], et une photoconductance [2].

- l'intérêt primordial de cette structure est d'offrir le possibilité de réaliser des circuits en logique complémentaire puisque l'interface  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$  peut servir à la fois de canal à électrons et de canal à trous, en réalisant des transistors de type n et



de type p sans avoir à graver de couche semiconductrice, et donc en sauvegardant la planarité de la surface.

Kiehl [3] a montré, à base de réalisations technologiques et de simulations à partir du logiciel SPICE, qu'une telle structure permettait d'atteindre des temps de retard légèrement supérieurs à ceux de la logique DCFL en MESFET en technologie comparable, mais en consommant cent fois moins.

En 1985, les premières technologies complémentaires à HIGFET sur hétérostructure AlGaAs/GaAs ont vu le jour, et des transconductances de 218 mS/mm et 28 mS/mm ont été publiées pour des HIGFETs de type n et de type p respectivement, dans une technologie 1  $\mu\text{m}$  [4]. Mizutami [5] a obtenu des transconductances de 160 mS/mm et 30 mS/mm pour des HIGFETs de type n et de type p de longueur de grille 1.5  $\mu\text{m}$ , et a réalisé un oscillateur en anneau avec 15 inverseurs complémentaires pour lequel un temps de retard par porte de 125 ps a été mesuré à 83°K.

## II.2 Description de la structure du matériau et de ses variantes

### II.2.1 Diagrammes de bandes d'énergie

Afin de visualiser aisément les mécanismes qui s'opèrent à l'interface de l'hétérostructure AlGaAs/GaAs conventionnelle, il convient de tracer le diagramme des bandes d'énergie de la structure. La figure 2.2 représente les bandes d'énergie à l'équilibre thermodynamique, les deux matériaux étant chacun caractérisés par leur niveau de Fermi  $E_F$ , leur bande interdite (gap)  $E_G$ , leur bande de conduction  $E_C$ , leur bande de valence  $E_V$ , leur travail de sortie  $\Phi$  et leur affinité électronique  $X$ .

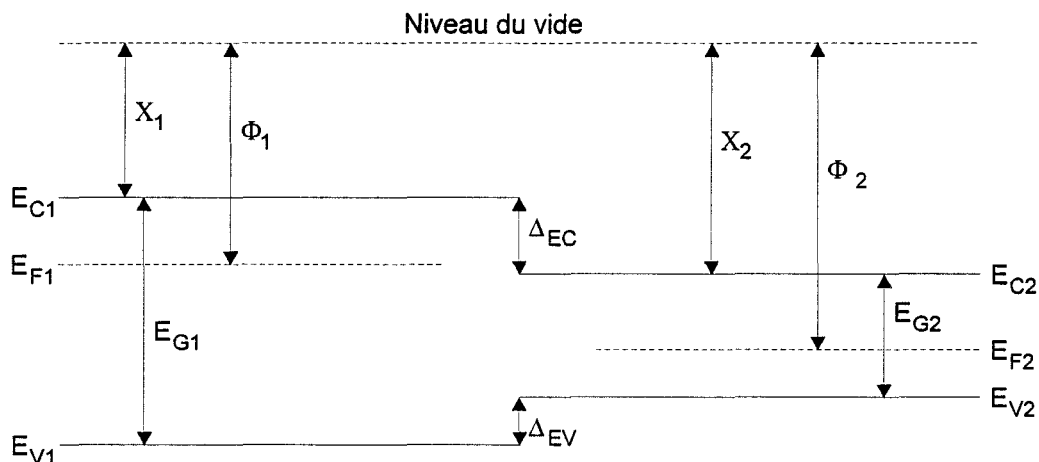


Fig. 2.2 : Diagramme des bandes d'énergie des deux matériaux à l'équilibre thermodynamique.

A l'équilibre thermodynamique il y a alignement des niveaux de Fermi (fig. 2.3). La différence des bandes interdites se répartit entre une discontinuité des bandes de conduction  $\Delta E_C$  et de valence  $\Delta E_V$ . Un puits de potentiel se forme à l'interface dans lequel pourraient s'accumuler des porteurs.

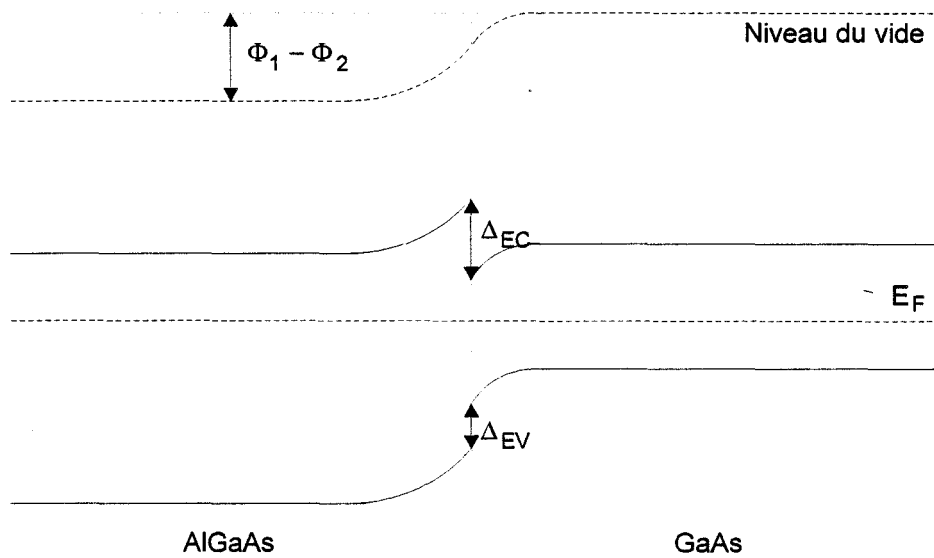


Fig. 2.3 : Diagramme de bande de l'hétérostructure AlGaAs/GaAs.

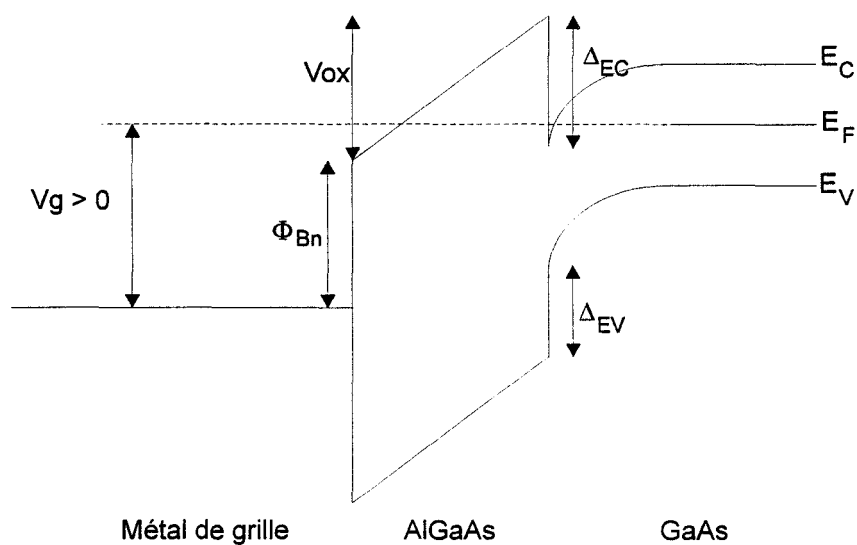


Fig. 2.4 : Diagramme d'énergie de la structure MIS sous tension de grille positive.

En première approximation et sans tenir compte des dopages résiduels dans l' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  et dans le GaAs, on peut schématiser le fonctionnement du HIGFET de la façon suivante. Lorsque l'on applique sur la grille une tension suffisamment positive (fig. 2.4), il y a inclinaison des bandes dans la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$ . Elle correspond à une chute de potentiel  $V_{ox}$ , que l'on peut évaluer, en négligeant le faible écart entre le niveau de Fermi du côté du GaAs et le bas de la bande de conduction dans le puits de potentiel:

$$V_{ox} = V_G + \Delta E_C - \Phi_{Bn} \quad (\text{eq. 2.1})$$

avec  $V_G$  la tension appliquée sur la grille,  
 $\Delta E_C$  la discontinuité des bandes de conduction  
 $\Phi_{Bn}$  la hauteur de barrière de type n du métal de grille.

Pour qu'il y ait effectivement la présence d'électrons dans le canal, il faut que  $V_{ox}$  soit positive, et donc que  $V_G$  soit supérieure à  $V_{Tn} = \Phi_{Bn} - \Delta E_C$  qui est la tension de seuil du transistor HIGFET de type n. Dès lors, la loi de contrôle des charges dans le canal de type n peut s'écrire :

$$q n_s \# \frac{\epsilon_{ox}}{d} (V_G - V_{Tn}) \quad (\text{eg. 2.2})$$

$\epsilon_{ox}$  étant la permittivité de l' $\text{AlGaAs}$ , et  $d$  la profondeur de l'interface  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ . La tension de seuil, étant insensible à tout dopage, a une dispersion beaucoup plus faible que les tensions de pincement du MESFET et du HEMT. Ceci représente un atout considérable pour envisager des circuits à haute intégration.

Dans ce cas d'un HIGFET de type p, les bandes dans la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  s'inclinent lorsque la tension de grille devient suffisamment négative (fig. 2.5).

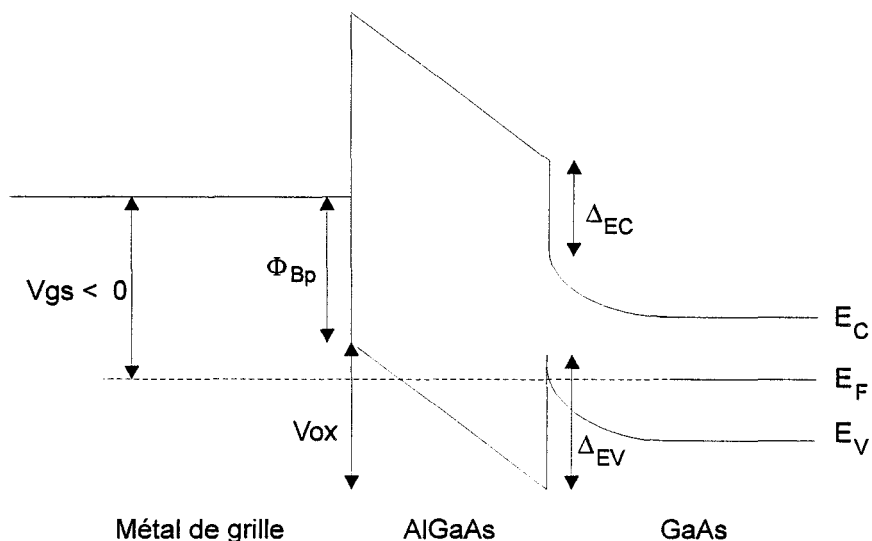


Fig. 2.5 : Diagramme d'énergie de la structure MIS sous tension de grille négative.

$$V_{ox} = -V_G + \Delta E_V - \Phi_{Bp} \quad (\text{eq. 2.3})$$

avec  $\Delta E_V$  la discontinuité des bandes de valence  
 $\Phi_{Bp}$  la hauteur de barrière de type p du métal de grille.

Un gaz de trous se forme donc lorsque  $V_{ox}$  est positive, c'est-à-dire lorsque la tension de grille est inférieure à  $V_{Tp} = -\Phi_{Bp} + \Delta E_V$ , tension de seuil du HIGFET de type p. La densité des trous est alors donné par une loi analogue à celle du transistor de type n :

$$q p_s = \frac{\epsilon_{ox}}{d} (-V_G + V_{Tp}) \quad (\text{eq. 2.4})$$

Malheureusement, la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  n'est pas un isolant parfait, et il en résulte un courant de grille parasite que l'on doit minimiser. Fawaz [6] a montré que ce courant de grille d'électrons (resp. de trous) dépend de la discontinuité des bandes de conduction (resp. de valence) en  $\exp -(\Delta E_C)^{3/2}$  (resp. en  $\exp -(\Delta E_V)^{3/2}$ ).

Le pourcentage d'aluminium  $x$  dans la composition de la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  doit donc être choisi de manière à obtenir des discontinuités les plus élevées possibles.

La discontinuité des bandes de conduction croît avec  $x$  jusqu'à environ 45%, lorsque les vallées X, L et  $\Gamma$  se croisent [7] de la façon suivante :

$$\Delta E_C = 0.65 ( 1.087 x + 0.438 x^2 ) \quad (\text{eq. 2.5})$$

Pour  $x=0.4$ , nous obtenons  $\Delta E_C = 0.33$  eV environ. Lorsque  $x$  dépasse 0.45, cette discontinuité décroît légèrement du fait de la transition indirecte en vallée X [8]. Par contre, la discontinuité des bandes de valence croît linéairement avec la proportion d'aluminium dans AlGaAs [9], et ce jusqu'à AlAs.

Daniels [10] a vérifié expérimentalement les variations des discontinuités de bande en réalisant des HIGFET de type n et de type p conventionnels, à partir de trois simples hétérostructures  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$  avec une proportion d'Aluminium  $x$  valant 0.3, 0.5 et 0.7. Pour une tension de grille de 2 V, le courant de grille du HIGFET de type n pour  $x=0.5$  est deux fois moins élevé que dans les deux autres couches. En revanche, le passage d'un taux d'Aluminium de 0.5 à 0.7 permet d'abaisser d'une décade le courant de grille du transistor de type p à  $V_G = -2$  V.

## II.2.2 HIGFET pseudomorphique

La croissance épitaxiale de structures pseudomorphiques n'est pas récente. Elle consiste en l'insertion d'une couche d' $\text{In}_y\text{Ga}_{1-y}\text{As}$  entre les couches d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  et de GaAs (fig. 2.6). Cette couche d' $\text{In}_y\text{Ga}_{1-y}\text{As}$  est non accordée en maille sur GaAs, mais si son épaisseur est inférieure à une valeur critique, elle prend les paramètres de maille

du GaAs et peut être exempte de dislocations. Dans le cas du HIGFET, elle s'inscrit dans un objectif global d'amélioration des performances des composants, encore plus que dans le cas du HEMT :

- la mobilité des électrons et des trous dans un canal d' $\text{In}_y\text{Ga}_{1-y}\text{As}$  est plus grande que dans le GaAs, ce qui peut se révéler intéressant pour améliorer les performances des HIGFETs de type p [11].

- une structure pseudomorphique permet de confiner les porteurs plus efficacement dans le puits de potentiel, et donc de diminuer les conceptions parasites dans la couche tampon de GaAs et d'améliorer la conductance de sortie des composants.

- dans l' $\text{InGaAs}$ , on trouve une plus grande séparation des vallées X, L et  $\Gamma$ , ce qui réduit le transfert inter-vallées.

Le taux d'indium  $y$  dans  $\text{In}_y\text{Ga}_{1-y}\text{As}$ , ainsi que l'épaisseur de la couche d' $\text{InGaAs}$ , sont limités à cause de la contrainte résultant de la croissance d' $\text{In}_y\text{Ga}_{1-y}\text{As}$  sur GaAs [12]. En fait, l'épaisseur critique du canal d'  $\text{In}_y\text{Ga}_{1-y}\text{As}$  est dépendante de  $y$ , elle correspond à l'étendue des défauts, à partir desquels il y a dégradation des propriétés de transport dans le puits de potentiel [13]. Toutefois, la quantité de charge stockée dans un puits d' $\text{In}_y\text{Ga}_{1-y}\text{As}$  est une fonction de l'épaisseur. Pour des épaisseurs trop grandes, des effets nocifs ont été observés, comme notamment une dégradation de la transconductance des transistors [14], et une instabilité du matériau aux températures impliquées dans un procédé technologique auto-aligné où figure un recuit thermique rapide [15]. Afin de conserver une épaisseur du puits de potentiel acceptable, de l'ordre de  $120\text{\AA}$  à  $150\text{\AA}$  sans provoquer de dislocations qui dégraderaient les performances des composants, il est nécessaire de restreindre le pourcentage d'indium à un maximum de 25%. Sur nos couches, le taux d'indium choisi est égal à 0.2.

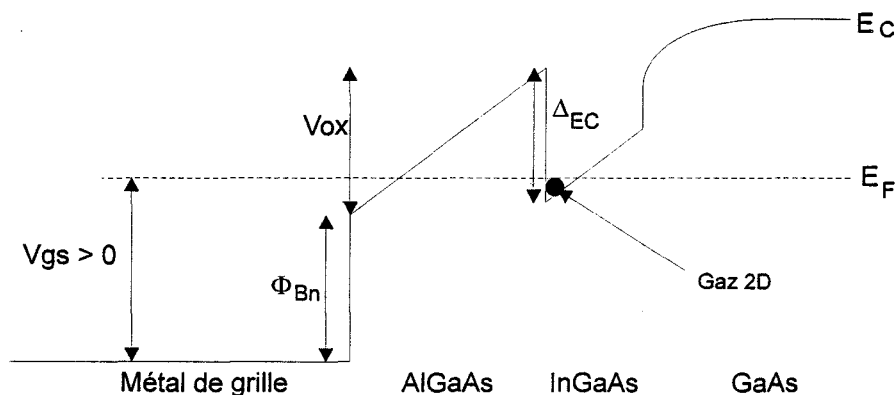


Fig. 2.6 : Bande de conduction d'une structure pseudomorphique AlGaAs/InGaAs/GaAs à HIGFET sous une tension de grille positive.

Un autre intérêt d'utiliser une couche pseudomorphique est que le gap de l' $\text{InGaAs}$  est plus petit que celui du GaAs, ce qui conduit à des discontinuités de

bandes de conduction et de valence plus élevées, et donc forcément à une réduction des courants de grille.

Dans le cas d'une hétérostructure  $\text{Al}_x\text{Ga}_{1-x}\text{As} / \text{In}_y\text{Ga}_{1-y}\text{As} / \text{GaAs}$  pseudomorphique, la discontinuité des bandes de conduction s'exprime en fonction de  $x$  et de  $y$  (pour tout  $x$  inférieur à 0.45) par la relation suivante :

$$\Delta E_C = 0.65 ( 1.087 x + 0.438 x^2 ) + 0.75 y \quad (\text{eq. 2.6})$$

Dans notre cas ( $y = 0.2$ ), cette discontinuité atteint un maximum vers  $x=0.4$  qui vaut 0.48 eV.

En ce qui concerne le transistor HIGFET de type p, la discontinuité des bandes de valence croit toujours avec  $x$ . Les chercheurs d'Honeywell ont observé qu'un taux d'aluminium de 75% conduisait à des courants de grille des transistors de type n et de type p globalement les plus faibles, et constituait par conséquent le meilleur choix pour le développement d'une technologie HIGFET complémentaire [8]. Pour ce taux de 0.75, les deux discontinuités  $\Delta E_C$  et  $\Delta E_V$  valent respectivement 0.45 eV et 0.55 eV [16] [17].

### II.2.3 Insertion d'un plan de dopage en silicium

Etant donné, d'une part, l'inégalité des discontinuités des bandes de valence et de conduction, et d'autre part, l'improbabilité technologique que les hauteurs de barrière métal / semiconducteur soient identiques pour les électrons et pour les trous, les tensions de seuil des HIGFET de type n et de type p sont risquent d'être assymétriques, et par conséquent les marges de bruit logiques également. Dans le cas d'une hétérostructure conventionnelle  $\text{AlGaAs}/\text{GaAs}$ , les tensions de seuil sont typiquement  $V_{Tn} = 0.9 \text{ V}$  et  $V_{Tp} = -0.3 \text{ V}$  [10].

L'ajout d'un plan de dopage en silicium dans la couche tampon de GaAs permet de décaler les tensions de seuil, voire de les symétriser, de la façon suivante [17] :

$$V_{Tn} = \Phi_{Bn} - \Delta E_C - \frac{q N_S R_0}{\epsilon} \quad (\text{eq. 2.7})$$

$$V_{Tp} = -\Phi_{Bp} - \Delta E_V - \frac{q N_S R_0}{\epsilon} \quad (\text{eq. 2.8})$$

$N_s$  étant la concentration totale de charges dans ce plan de dopage et  $R_0$  la profondeur par rapport à l'interface métal de grille / semiconducteur.

Sur une hétérostructure pseudomorphique à taux d'aluminium de 75%, les chercheurs de Motorola ont démontré qu'il était possible d'obtenir des tensions de seuil symétriques et valant 0.55 V (resp. -0.55 V) pour le transistor de type n (resp. de type p) en insérant un plan de dopage en silicium de  $3.3 \times 10^{11} \text{ cm}^{-2}$  situé à une profondeur de 30Å sous la couche d'InGaAs. La présence de ce plan peut amener une certaine

dispersion des tensions de seuil, mais en pratique il intervient presque au second ordre vu les valeurs respectives des termes des équations 2.7 et 2.8.

### II.3 Utilisation du HIGFET pour la réalisation de circuits en logique complémentaire rapides et à faible consommation

La détermination des paramètres du transistor HIGFET influant sur les performances des circuits numériques complémentaires est importante en vue de connaître des critères d'ordre logique sur lesquels axer toute amélioration des procédés technologiques. En ces termes, les critères de performances sont similaires à ceux de la famille Si CMOS, l'objectif majeur pour ce type de logique étant d'atteindre un fonctionnement rapide à faible tension d'alimentation.

#### II.3.1 Temps de retard

Le temps de retard d'une porte logique lors de la commutation est évidemment un facteur limitant la fréquence d'horloge d'un circuit digital, au même titre que le nombre d'étages en série requis pour une fonction logique, typiquement de l'ordre de 10. Une expression simplifiée de ce temps de retard  $t_d$  est :

$$t_d = \frac{C_L V_{DD}}{I_{dss}} \quad (\text{eq. 2.9})$$

$C_L$  étant la capacité de charge en sortie d'une porte logique dépendant de sa sortance,  $V_{DD}$  la tension d'alimentation, et  $I_{dss}$  le courant de drain en saturation du transistor HIGFET de type n (resp. de type p) pour la commutation descendante (resp. montante). La capacité totale de charge  $C_L$  peut s'exprimer en fonction de la capacité d'entrée des portes logiques en aval  $C_G$ , des capacités d'interconnexions  $C_W$  et de la sortance  $n$  :

$$C_L = n ( C_G + C_W ) \quad (\text{eq. 2.10})$$

Le courant de drain en saturation d'un transistor à effet de champ est proportionnel au facteur de transconductance  $K$ , et s'écrit en fonction de la tension appliquée sur la grille et de la tension de seuil  $V_T$  :

$$I_{dss} = K ( V_G - V_T )^2 \quad (\text{eq. 2.11})$$

Dans le cas d'un transistor HIGFET, cette relation est surtout valable pour des tensions de grille typiquement inférieures à 1.5 V. Elle se vérifie moins lorsque la

grille du transistor est polarisée au-delà, car le courant de grille modifie alors le mode de commande.

Le courant de drain disponible à la sortie d'une porte logique est donc quasiment proportionnel à  $(V_{DD} - V_T)^2$ . Par conséquent, le temps de commutation est d'autant plus court que la tension d'alimentation est élevée, et vice-versa. Dans le cas d'une logique à basse tension d'alimentation, le critère prédominant qui donne une excellente indication sur la vitesse de commutation est la possibilité d'obtenir un courant de drain élevé pour une tension de grille autour de 1.5 V. Pour cela, la transconductance maximale des composants est un très bon facteur car elle témoigne de l'aptitude des transistors à délivrer un courant de drain élevé pour une faible tension d'alimentation.

La fréquence de coupure du gain en courant  $f_T$  est également révélatrice, car elle intègre la capacité d'entrée de grille des transistors HIGFETs.

### II.3.2 Consommation

Il y a quatre sources majeures de consommation de puissance dans une porte logique complémentaire à HIGFET, que l'on peut résumer ainsi :

$$P_{\text{totale}} = P_{\text{commutation}} + P(I_G) + P(I_D \text{ attente}) + P_{\text{court-circuit}}$$

Le premier terme représente la consommation dynamique induite par la commutation d'une porte logique, et s'exprime par :

$$P_{\text{commutation}} = 0.5 C_L V_{DD}^2 p F_C \quad (\text{eq. 2.12})$$

$p$  étant la probabilité qu'une porte logique commute dans le circuit sur un cycle d'horloge, et  $F_C$  la fréquence d'horloge. Une valeur typique pour  $p$  est de 25%. Le facteur prédominant de cette consommation dynamique est la tension d'alimentation, d'où la nécessité d'un compromis entre le temps de commutation et la consommation.

Le courant de grille des HIGFETs est un facteur à prendre en considération puisqu'il implique une consommation statique qui vaut  $V_{DD} \cdot I_G(V_{DD})$  lorsque la grille d'un composant est à l'état haut et son drain à l'état bas. Lorsque l'entrée d'une porte logique complémentaire est polarisée à  $V_{DD}$  (resp. à 0 V), le courant de grille entraînant cette consommation parasite est celui du transistor de type n (resp. de type p). Comme dans toute structure MIS, le courant de grille obéit à une loi exponentielle par rapport à la tension de grille du transistor, et devient prépondérant à partir d'une certaine tension d'alimentation.

Pour une technologie à HIGFETs le standard de comparaison est le "Turn-on Voltage", autrement dit la tension de grille à partir de laquelle le courant de grille excède  $1\mu\text{A}/\mu\text{m}^2$ , à tension de drain nulle. Toutefois, une telle valeur limiterait l'intégration de composants à 100000 seulement, en considérant uniquement la dissipation statique de grille qui serait égale à un ou deux watts ! Afin de permettre une haute densité d'intégration, il suffit de faire fonctionner un circuit à une tension



d'alimentation inférieure de 0.3 V au "Turn-on Voltage", ce qui a pour effet d'annihiler quasiment le courant de grille étant donné son caractère exponentiel.

L'autre composante de la consommation statique provient du courant parasite sous le seuil, lorsque le transistor est en fonctionnement "stand-by", c'est-à-dire polarisé à tension de grille nulle et à  $V_{DS}=V_{DD}$  pour un HIGFET de type n. Il est indispensable de limiter ce courant "off" à quelques nanoampères, de manière à ce que la consommation statique permette d'envisager une bonne densité d'intégration supérieure à un million de composants. Le rapport  $I_{on}/I_{off}$  est un indice efficace de cette consommation statique. Il devient acceptable à partir de  $10^5$ .

Dans la zone de fonctionnement sous le seuil ( $V_G$  légèrement sous  $V_T$ ), Cunningham [18] a montré que le courant de drain parasite du transistor HIGFET obéit à une loi de variation exponentielle :

$$I_{DS} = I_0 \exp ( V_{GS} / V_a ) \quad (\text{eq. 2.13})$$

On associe à cette zone de fonctionnement la pente sous le seuil  $S = V_a \ln(10)$  qui représente la différence de tension de grille requise pour modifier le courant de drain d'une décade. Une faible valeur de la pente  $S$ , typiquement dans la gamme 60-90 mV/dec, traduit la capacité du composant à passer d'un bon état pincé à un état faiblement passant (pour lequel la tension  $V_{GS}$  est peu inférieure à la tension de seuil), et caractérise donc grossièrement le rapport  $I_{on}/I_{off}$ .

La consommation dynamique en court-circuit provient d'un courant de déchet non capacitif, qui passe dans le transistor ne servant pas à la commutation. En effet, il existe un chemin direct en courant entre l'alimentation et la masse durant le court moment où les deux transistors de type n et de type p sont passants.

Cette dissipation est d'autant plus importante que les temps de montée ou de descente du signal d'entrée d'une porte logique sont importants par rapport au temps de commutation de cette porte. C'est spécialement le cas pour une transition montante du signal d'entrée, provenant de la commutation d'un transistor HIGFET de type p en amont de la porte logique, qui sera lente par rapport à la transition du transistor de type n (fig. 2.7). Deux considérations sont à prendre en compte pour diminuer cette consommation dite de court-circuit :

- L'assymétrie des facteurs de transconductances des transistors de type n et de type p, provenant des mobilités des électrons et des trous dans l'Arséniure de Gallium, augmente cette consommation en court-circuit lors de la transition d'entrée montante. Il faut donc parvenir à un rapport des facteurs de transconductances  $K_n/K_p$  pas trop élevé, et donc avoir des transistors de type p avec les meilleures performances possibles.

- Un fonctionnement à basse tension d'alimentation permet d'éviter que les deux transistors HIGFETs de type n et de type p soient fortement passants en même temps. En particulier, lorsque cette tension d'alimentation est inférieure à la somme des tensions de seuil, il n'y a plus de courants de court-circuit.

Cette consommation de court-circuit n'a jamais été évaluée avec précision dans le cas d'une porte logique à HIGFETs, mais elle équivaut à 10% environ de la consommation de commutation dans le cas d'une porte Si CMOS typique.

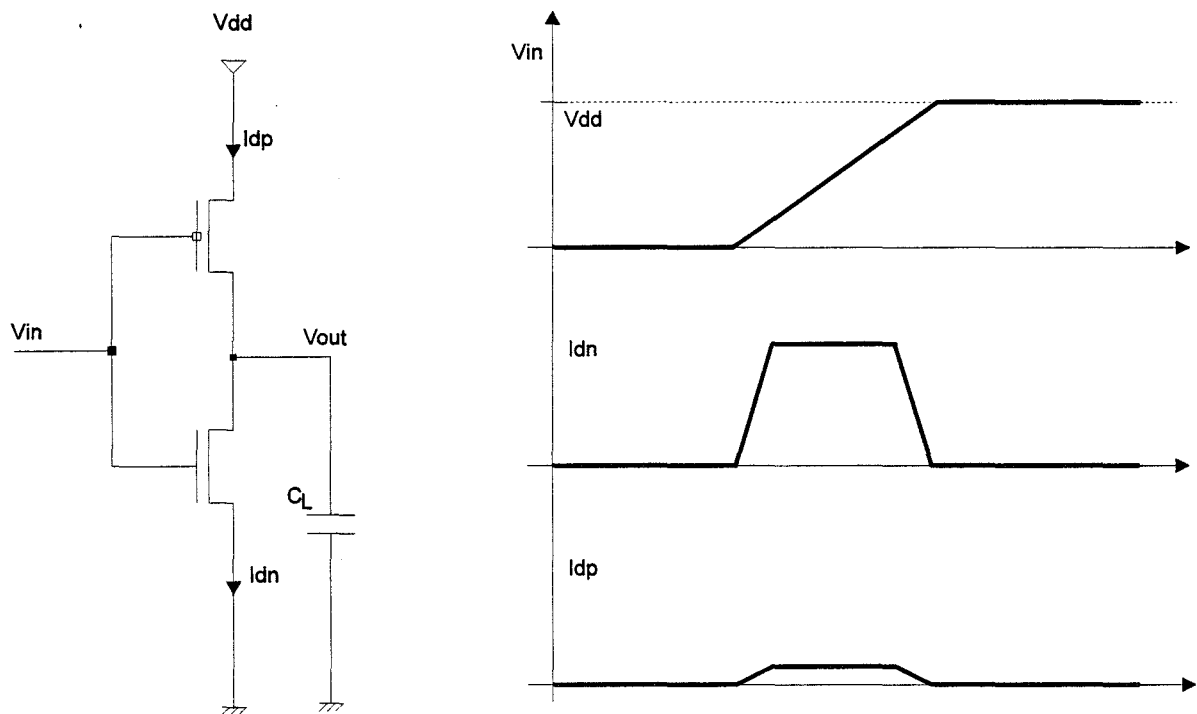


Fig. 2.7 : Représentation des courants des transistors de type n et de type p au cours d'une transition montante pour une porte logique à HIGFETs complémentaires.

En résumé, la consommation dynamique d'une porte complémentaire dépend exclusivement de la tension d'alimentation, et conduit à un compromis avec le temps de commutation. Ceci démontre le potentiel d'une logique complémentaire en technologie HIGFET qui présente un grand intérêt pour un fonctionnement rapide à faible tension d'alimentation, et donc à faible consommation dynamique.

La consommation statique dépend également de la tension d'alimentation. Par ailleurs les propriétés de la structure semiconductrice, ainsi que la qualité du procédé technologique, influent fortement sur les consommations provenant des courants de grille et des courants de drain sous le seuil, qui peuvent ainsi être réduites sans aucune modification de la tension d'alimentation.

### II.3.3 Tensions de seuil

Les tensions de seuil optimales et symétriques pour les transistors HIGFET de type n et de type p sont d'environ 0.4 à 0.5 V, ce qui permet :

- un bon fonctionnement à basse tension d'alimentation, entre 1 et 2 V, et typiquement 1.5 V. En effet, celle-ci se situe à environ 1 V au-delà du seuil, et permet par conséquent des valeurs de courants de drain élevées, essentielles pour des commutations très rapides.

- une excellente immunité au bruit. Des marges de bruit supérieures à 20% de la tension d'alimentation ont pour conséquence une excellente tolérance pour le procédé technologique complémentaire, et par voie de conséquence un bon rendement de fabrication.

## II.4 Etat de l'art du HIGFET pseudomorphique

### II.4.1 Composants

Le premier HIGFET pseudomorphique de type n a vu le jour en 1987 et a été publié par NTT [19]. Sur une hétérostructure  $\text{Al}_{0.45}\text{Ga}_{0.55}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  une transconductance de 200 mS/mm a été obtenue dans une technologie 1.5  $\mu\text{m}$ , ce qui représente une amélioration de l'ordre de 20% par rapport à une hétérostructure conventionnelle [5].

Le record en transconductance (670 mS/mm pour un HIGFET de type n) a été établi par Mc Donnell Douglas [20] pour une longueur de grille de 0.7  $\mu\text{m}$ , sur une structure épitaxiale  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As} / \text{In}_{0.15}\text{Ga}_{0.85}\text{As} / \text{GaAs}$ . Le paramètre de transconductance et la fréquence de coupure étaient respectivement de 640  $\text{mA/V}^2\text{mm}$  et 20 GHz.

Honeywell a publié une transconductance record de 110 mS/mm pour un transistor HIGFET de type p en technologie 0.7  $\mu\text{m}$  sur une hétérostructure  $\text{Al}_{0.47}\text{Ga}_{0.53}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  [21]. La mobilité des trous valait 860  $\text{cm}^2/\text{Vs}$ , mais les courants de grille et les courants en "stand-by" restaient extrêmement élevés. Des fréquences de coupure du gain en courant et du MAG de 6 GHz et 10 GHz respectivement ont été mesurées sur ces composants.

Les chercheurs d'Honeywell ont entrepris la fabrication de transistors HIGFETs complémentaires pseudomorphiques de longueur de grille 1  $\mu\text{m}$  en faisant varier le taux d'aluminium dans la couche d'AlGaAs de 0.3 à 0.75. Les résultats obtenus sont donnés dans le tableau 2.1. Celui-ci montre que le taux d'aluminium optimal pour une technologie complémentaire à HIGFET semble être de 75%, en considérant la valeur de  $V_{\text{ton}}$  pour le transistor de type p, mais aussi celle des courants sous le seuil.

Pour cette technologie, des oscillateurs en anneau ont été réalisés non seulement en logique complémentaire, mais aussi en logique pseudo-DCFL, en remplaçant le transistor HIGFET de type p par une simple résistance (tableau 2.2). Ceci suggère la

possibilité de mixer sur un même circuit des fonctions complexes en HIGFET complémentaire, et des fonctions plus rapides et plus petites en DCFL HIGFET (dont une porte de base utilise uniquement un transistor HIGFET de type n et une résistance) avec d'excellentes performances.

	N-HIGFET				P-HIGFET			
Taux d'Al	0.3	0.5	0.6	0.75	0.3	0.5	0.6	0.75
$V_T$ (V)	0.84	0.83	0.72	0.72	-0.19	-0.27	-0.29	-0.35
K (mA/V <sup>2</sup> mm)	450	480	370	330	39	49	54	52
Gm (mS/mm)	320	340	340	310	35	58	80	76
Vton (V) 5 $\mu$ A/ $\mu$ m <sup>2</sup>	1.15	1.64	1.65	1.72	-0.54	-0.97	-1.39	-1.99
S (mV/dec)	75	75	75	75	185	150	135	115
Ion (mA/mm) $V_G=1V$	9	9.5	21	21	-14	-19	-17	-16
Ioff (nA/mm)	80	82	88	100	-38e3	-1e3	-2800	-700
Ion/Ioff	1.1e5	1.2e5	2.5e5	2.1e5	370	1600	6000	2.4e4

Tableau 2.1 : Comparatif de transistors HIGFETs en technologie 1\*10  $\mu$ m<sup>2</sup> à différents taux d'aluminium (Honeywell) [8].

Technologie	Temps de retard (ps)	Produit consommation * temps de retard (fJ)
Complémentaire $V_{DD}=1V$	701	5
Complémentaire $V_{DD}=1.5V$	233	15
DCFL HIGFET	120	60

Tableau 2.2 : Performances d'oscillateurs en anneau à HIGFET en technologie 1  $\mu$ m (Honeywell).

Motorola a publié des résultats concernant des transistors HIGFETs de longueur de grille 1  $\mu$ m avec des transconductances moindres que Honeywell, mais se distinguant par leurs tensions de seuil symétriques, ainsi que par leur "Turn-on Voltage" et leur courant en stand-by qui restent jusqu'à présent inégalés (tableau 2.3). Un oscillateur en anneau réalisé à partir de cette technologie a permis d'obtenir un temps de retard par porte de 190 ps, et un produit consommation par temps de retard valant 7.5 fJ sous une tension d'alimentation de 1.5 V.

	N	P
$V_T$ (V)	0.55	-0.55
K (mA/V <sup>2</sup> mm)	270	50
Gm (mS/mm)	280	60
Vton (V) 1 $\mu$ A/ $\mu$ m <sup>2</sup>	1.75	2.0
S (mV/dec)	75-80	90-100
Ioff (nA/mm)	<100	<1000

Tableau 2.3 : Transistors HIGFETs en technologie 1\*10  $\mu$ m<sup>2</sup> (Motorola) [16].

### II.4.2 Exemples de circuits et applications actuelles

Le niveau de maturité actuel d'une technologie complémentaire à HIGFET permet de réaliser des circuits intégrés comprenant environ 20000 portes logiques. Cette densité d'intégration correspond à des circuits intégrés de type MSI. Le tableau 2.4 dresse un tour d'horizon des circuits numériques réalisés en technologie HIGFET complémentaire sur GaAs. Les SRAMS en logique HIGFET à  $1\mu\text{m}$  fonctionnent déjà à des fréquences comparables aux autres technologies (cf. ch. I), mais avec une consommation inférieure de deux décades par rapport à celle de la famille MESFET DCFL.

Motorola prévoit un fonctionnement en logique complémentaire de leurs portes HIGFET  $1\mu\text{m}$  pour des applications allant jusqu'à 500 MHz. Le passage dans une logique de type DCFL ou SCFL, permettrait de réaliser des circuits jusqu'à 10 GHz. Pour ce faire, le transistor HIGFET de type p serait utilisé comme charge résistive active. Leur objectif est de mixer plusieurs familles dans des unités de traitement de signaux numériques (DSP), pour lesquelles des fonctions de base telles qu'une petite SRAM et un multiplieur ont déjà été fabriquées.

Circuit	Lg	Performances	Fabricant	Référence
SRAM 1KB	$1.2\mu\text{m}$	$t_{acc}=8\text{ns}$ $P=12\text{mW}$	Honeywell	8
SRAM 4KB	$1\mu\text{m}$	$t_{acc}=3.5\text{ns}$ $P=183\text{mW}$	Honeywell	23
SRAM 4KB	$1\mu\text{m}$	0.9 V : $t_{acc}=15\text{ns}$ $P=0.36\text{mW}$ 1.5 V : $t_{acc}=5.3\text{ns}$ $P=16\text{mW}$	Motorola	24
Multiplieur 16 bits	$1\mu\text{m}$	0.9 V : $t_{calcul}=44\text{ns}$ $P=0.3\text{mW}$	Motorola	24
Mux 16 bits	$0.7\mu\text{m}$	1.8 Gb/s $P=53\text{mW}$	Boeing	25
Demux 16 bits	$0.7\mu\text{m}$	1.1 Gb/s $P=96\text{mW}$	Boeing	25
Switch 16 bits	$0.7\mu\text{m}$	1.0 Gb/s $P=510\text{mW}$	Boeing	25

Tableau 2.4 : Circuits numériques complémentaires à HIGFET.

Honeywell, ainsi que Boeing et le Sandia National Laboratories travaillent dans le développement de circuits pour l'espace, notamment pour le télescope infrarouge et la station orbitale Alpha. Un certain nombre de ces circuits ont d'ores et déjà été qualifiés pour le spatial aux Etats-Unis. Les motivations de cette démarche sont une insensibilité aux radiations beaucoup plus grande que les logiques CMOS et bipolaires sur silicium, une bonne résistance aux conditions extrêmes telles que la température, et une faible consommation des circuits, ce qui est un critère de tout premier ordre pour des systèmes embarqués.

## II.5 Structures semiconductrices utilisées dans notre étude

La réalisation des transistors HIGFET s'inscrit surtout dans un contexte d'applications digitales à base de circuits complémentaires, mais il nous est apparu utile de ne pas négliger une orientation vers des circuits analogiques. Pour ces applications analogiques, seul le transistor de type n est utile. Le choix du taux d'aluminium  $x$  s'effectue en cherchant à minimiser le courant de grille des composants de type n exclusivement, et une valeur de  $x = 0.4$  a donc été choisie. Les hétérostructures de type GaAs /  $Al_{0.4}Ga_{0.6}As$  /  $In_{0.2}Ga_{0.8}As$  / GaAs sont aisément disponibles à l'IEMN, et leur croissance au laboratoire n'a pas posé de problème majeur.

En ce qui concerne la fabrication de transistors pour filières complémentaires, le taux d'aluminium retenu a été de 0.75. C'est celui qui, globalement, semblait conduire à des courants de grille les plus faibles possibles. La structure épitaxiale d'une couche pseudomorphique typique, servant à la fois à la fabrication de transistors HIGFET de type n et de type p, est donnée en figure 2.8, avec un plan de dopage en silicium localisé à  $30\text{\AA}$  sous la couche d' $In_{0.2}Ga_{0.8}As$ . Ces couches ont été fournies par l'entreprise Picogiga avec laquelle nous avons collaboré pour cette étude.

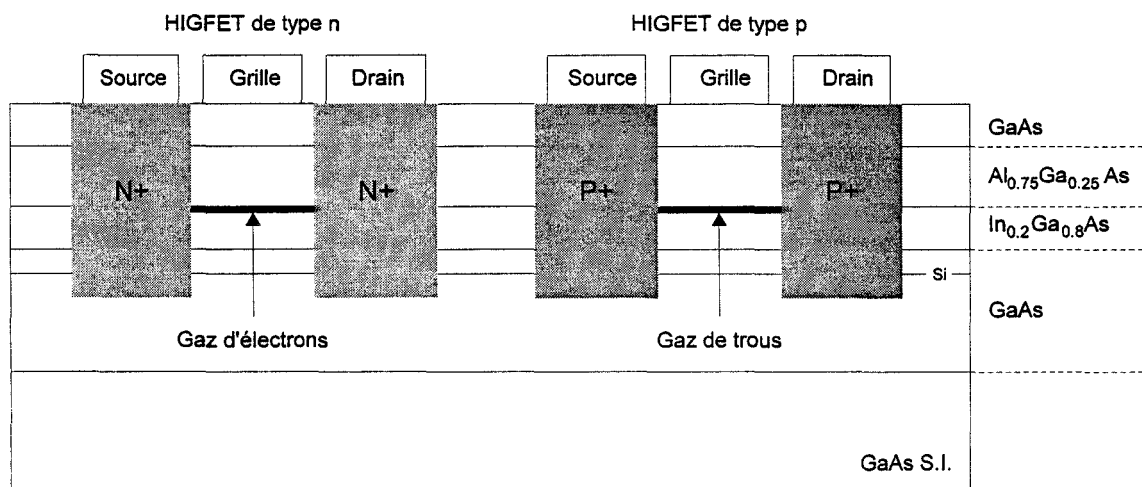


Fig. 2.8 : Structure épitaxiale pseudomorphique pour HIGFET complémentaire.

Cette structure épitaxiale permet donc de réaliser des transistors HIGFET de type n et de type p l'un à côté de l'autre, sans avoir à attaquer de couche dopée, et donc de garder une structure planaire, les zones d'accès n<sup>+</sup> et p<sup>+</sup> étant dopées par implantation ionique localisée.

## II.6 Notre plan de travail

Nous disposons d'une structure épitaxiale pseudomorphique permettant la réalisation de transistors HIGFETs complémentaires performants, grâce au confinement des électrons et des trous, au choix du taux d'aluminium approprié pour des discontinuités de bandes élevées pour les électrons et les trous, et à l'absence de tout dopage dans la couche d'AlGaAs.

Nous avons besoin d'un procédé technologique simple et permettant de réaliser des composants avec des caractéristiques électriques uniformes, tout en préservant la planarité de la surface du matériau semiconducteur. Il nous a donc fallu optimiser une technologie auto-alignée, dans laquelle les caissons d'accès sont dopés par implantation ionique et recuit d'activation à très haute température.

Afin de ne pas dégrader la transconductance et la fréquence de coupure des transistors, il nous fallait obtenir de faibles résistances d'accès, et notamment d'excellents contacts ohmiques, et ce spécialement pour les transistors HIGFETs de type p.

Nous avons réalisé des transistors HIGFETs de type n sur un matériau à taux d'aluminium de 40% pour valider notre procédé technologique et étudier l'opportunité d'applications analogiques, et des transistors de type n et de type p sur substrat à taux d'aluminium de 75%. Les objectifs poursuivis concernaient l'obtention de bonnes performances en termes de transconductance, de courant de grille, de courant sous le seuil et d'uniformité des caractéristiques électriques et surtout des tensions de seuil.

Nous devons également étudier les composants en hyperfréquences et caractériser leur comportement dans une large gamme de température, de manière à démontrer leurs potentialités pour des applications commerciales et embarquées.

Enfin, il est apparu nécessaire de réaliser des inverseurs et des oscillateurs en anneau à base de transistors HIGFETs complémentaires pour évaluer pleinement le potentiel de la logique complémentaire sur Arséniure de Gallium.

**BIBLIOGRAPHIE DU CHAPITRE II**

- [1] R. Fischer, T. J. Drummond, J. Klem, W. Kopp, T. S. Henderson, D. Perrachione and H. Morkoc, "On the collapse of drain I-V characteristics in Modulation-Doped FET's at cryogenic temperature", *IEEE Trans. on Electron Devices*, vol. ED-31, pp. 1028-1032, 1984.
- [2] H. L. Stormer, R. Dingle, A. C. Gossard, W. Wiegmann and M. D. Sturge, "Electron scattering processes at modulation-doped GaAs-(AlGa)As interfaces", *Solid State Comm.*, vol. 29, p. 705, 1979.
- [3] R. A. Kiehl, M. A. Scontras, D. J. Widiger and W. M. Tufte, "The potential of complementary heterostructure FET IC's", *IEEE Trans. on Electron Devices*, vol. ED-34(12), pp. 2412-2420, 1987.
- [4] N. C. Cirillo, M. S. Shur, P. J. Vold, J. K. Abrokwhah and O. N. Tufte, "Realization of n-channel and p-channel high-mobility (Al,Ga)As/GaAs Heterostructure Insulating Gate FET's on a planar wafer surface", *IEEE Electron Device Lett.*, vol. EDL-6(12), pp. 645-647, 1985.
- [5] T. Mizutani, S. Fujita and F. Yanagawa, "Complementary circuit with AlGaAs/GaAs heterostructure MISFETs employing high-mobility two-dimensional electron and hole gases", *Electronics Lett.*, vol. 21(23), pp. 1116-1117, 1985.
- [6] H. Fawaz, J. Gest and J. Zimmermann, "A novel model of the gate current in heterojunction FET's", *IEEE Trans. on Electron Devices*, vol. ED-40(5), pp. 846-851, 1993.
- [7] P. M. Solomon, "Perpendicular transport across (Al,Ga)As and the G to X transition", *Superlattices and Microstructures*, vol. 2(6), p. 521, 1986.
- [8] A. I. Akinwande, P. P. Ruden, D. E. Grider, J. C. Nohava, T. E. Nohava, P. D. Joslyn and J. E. Breezley, "Complementary III-V heterostructure FETs for low power integrated circuits", *IEDM Tech. Dig.*, 1990.
- [9] V. Pankratov and V. Ryzhii, "Monte-Carlo simulation of gate leakage current effect in p-channel GaAs/Al<sub>0.7</sub>Ga<sub>0.3</sub>As HIGFET", *Solid State Elec.*, vol. 37(1), pp. 211-212, 1994.
- [10] R. R. Daniels, R. Mactaggart, J. K. Abrokwhah, O. N. Tufte, M. Shur, J. Baek and P. Jenkins, "Complementary Heterostructure Insulated Gate FET circuits for high speed, low power VLSI", *IEDM Tech. Dig.*, 1986.
- [11] G. Osbourn, "Large-band non-parabolicity and tailorable hole masses in strained-layer superlattices", *Appl. Phys. Lett.*, vol. 49(12), pp. 731-733, 1986.
- [12] D. E. Grider, R. D. Horning, D. K. Arch, P. P. Ruden, T. E. Nohava and D. N. Narum and R. R. Daniels, "Study of strain in pseudomorphic InGaAs heterostructures related to the enhanced performance of p-channel Heterostructure Field Effect Transistor devices", *J. Vac. Sci. Technol. B*, vol. 7(2), pp 371-375, 1989.
- [13] I. J. Fritz, P. L. Gourley and L. R. Dawson, *Appl. Phys. Lett.*, vol. 51, p. 1004, 1987.



- [14] P. L. Gourley, I. J. Fritz and L. R. Dawson, *Appl. Phys. Lett.*, vol. 52, p. 572, 1988.
- [15] P. S. Peercy, B. W. Dodson, J. Y. Tsao, E. D. Jones, D. R. Myers, T. E. Zipperian, L. R. Dawson, R. M. Biefeld, J. F. Klem and C. R. Hills, "Stability of strained quantum-well Field-Effect Transistors structures", *IEEE Electron Device Lett.*, vol. EDL-9(12), pp. 621-623, 1988.
- [16] E. Martinez, F. Schuermeyer, M. Shur and C. Cerny, "Factors determining the gate leakage current in different Heterostructure Field Effect Transistor technologies", *ISDRS Tech. Dig.*, pp. 799-802, 1993.
- [17] J. K. Abrokwhah, J. H. Huang, W. Ooms, C. Shurboff, J. A. Hallmark, R. Lucero, J. Gilbert, B. Bernhardt and G. Hansell, "A manufacturable complementary GaAs process", *GaAs IC Symposium Tech. Dig.*, pp. 127-130, 1993.
- [18] T. J. Cunningham, R. C. Gee, E. R. Fossum and S. M. Baier, "Deep cryogenic noise and electrical characterization of the complementary Heterojunction Field-Effect Transistor (CHFET)", *IEEE Trans. on Electron Devices*, vol. ED-41(6), pp. 888-893, 1994.
- [19] K. Maezawa, H. Ito and T. Mizutani, "An AlGaAs/InGaAs/GaAs strained channel MISFET", *Japn. J. Appl. Phys.*, vol. 26(1), pp. 74-76, 1987.
- [20] J. K. Abrokwhah and J. M. Stephens, "High-performance self-aligned (Al,Ga)As/(In,Ga)As pseudomorphic HIGFET's", *IEEE Electron Device Lett.*, vol. EDL-10(5), pp. 225-226, 1989.
- [21] R. R. Daniels, P. P. Ruden, M. S. Shur, D. Grider, T. E. Nohava and D. K. Arch, "Quantum-well p-channel AlGaAs/InGaAs/GaAs Heterostructure Insulated-Gate Field-Effect Transistors with very high transconductance", *IEEE Electron Device Lett.*, vol. EDL-9(7), pp. 355-357, 1988.
- [22] B. Bernhardt, M. LaMacchia, J. Abrokwhah, J. Hallmark, R. Lucero, B. Mathes, B. Crawforth, D. Foster, K. Clauss, S. Emmert, T. Lien, E. Lopez, V. Mazzotta and B. Oh, "Complementary GaAs (CGaAs<sup>TM</sup>): a high performance BiCMOS alternative", *GaAs IC Symposium Tech. Dig.*, pp. 18-21, 1995.
- [23] D. E. Grider, P. P. Ruden, J. C. Nohava, I. R. Mactaggart, J. J. Stronczner, T. E. Nohava and S. S. Swirhun, "Delta-doped complementary Heterostructure FETs with high  $\gamma$ -value pseudomorphic  $\text{In}_y\text{Ga}_{1-y}\text{As}$  channels for ultra-low-power digital IC applications", *IEDM Dig. of Tech. Papers*, 1991.
- [24] J. Hallmark, C. Shurboff, B. Ooms, R. Lucero, J. Abrokwhah and J. H. Huang, "0.9-V DSP blocks : a 15-ns 4-k SRAM and a 45-ns 16-b multiply/accumulator", *IEEE J. Solid State Circuits*, vol. 30(10), pp. 1136-1140, 1995.
- [25] G. S. LaRue and T. A. Dao, "Gigabit complementary HFET communication circuits : 16:1 multiplexer, 1:16 demultiplexer and 16:16 crosspoint switch", *ISSCC Tech. Dig.*, pp. 124-125, 1996.

[26] J. Baek, M. S. Shur, R. R. Daniels, D. K. Arch, J. K. Abrokwah, O. N. Tufte, "Current voltage and capacitance voltage characteristics of Heterostructure Insulated Gate Field Effect Transistors", IEEE Trans. on Electron Devices, vol. ED-34(8), pp. 1650-1659, 1987.

## PARTIE 2

# PROCEDE TECHNOLOGIQUE AUTO- ALIGNE POUR LA REALISATION DE TRANSISTORS HIGFETS COMPLEMENTAIRES



## CHAPITRE III

### CARACTERISTIQUES ESSENTIELLES DU PROCÉDE TECHNOLOGIQUE AUTO-ALIGNE

#### III.1 Principes de la technologie auto-alignée

##### III.1.1 Pourquoi une technologie auto-alignée ?

La recherche et l'industrie microélectroniques ont pour objectif de concevoir et de fabriquer des circuits intégrés de plus en plus rapides. A ces fins, deux critères doivent être remplis :

- l'amélioration des performances des composants
- l'obtention d'une excellente intégrabilité, et donc d'un très haut rendement de fabrication et d'une parfaite reproductibilité

Si les chercheurs ont depuis longtemps contribué à améliorer les performances électriques individuelles des composants à effet de champ en termes de transconductance et de fréquence de coupure, ils se sont beaucoup moins préoccupé du rendement de leur technologie. Un procédé technologique à haut rendement doit satisfaire les critères suivants:

- l'obtention d'une très bonne uniformité de la tension de seuil
- un procédé reproductible et de type planaire
- un bon fonctionnement de la totalité des composants

L'amélioration des performances des transistors à effet de champ passe par la réduction de la longueur de grille, et celle des éléments parasites. Il est par conséquent indispensable de minimiser au maximum la distance entre le métal de grille et les zones de source et de drain et part et d'autre de celle-ci.

Les inconvénients majeurs d'une technologie à zone de grille creusée (ou "recess") sont la réalisation d'un tel creusement localisé autour de la grille, ce qui nuit beaucoup au rendement de fabrication et à la reproductibilité, mais aussi la nécessité d'un réaligement critique autour de la grille afin de former les contacts de source et de drain. L'intérêt d'une technologie auto-alignée est d'utiliser la grille comme masque pour la réalisation des zones de source et de drain. La première étape de cette technologie est donc la réalisation de la grille des composants.

### III.1.2 Besoins d'une implantation ionique et d'un recuit à haute température

L'implantation ionique est utilisée afin de former les zones très dopées ou "caissons" autour de la grille avec un alignement optique simple. Elle permet donc l'obtention de très faibles distances entre le bord de la grille et le caisson dopé, et donc de faibles éléments parasites d'accès.

En revanche, implanter au ras de la grille a pour conséquence une augmentation des capacités parasites de bord, ainsi que des courants de fuite de surface. L'alternative est d'espacer les zones implantées de la grille, en utilisant soit une technique de formation de grille en T [1], soit des espaceurs "sidewalls" [2].

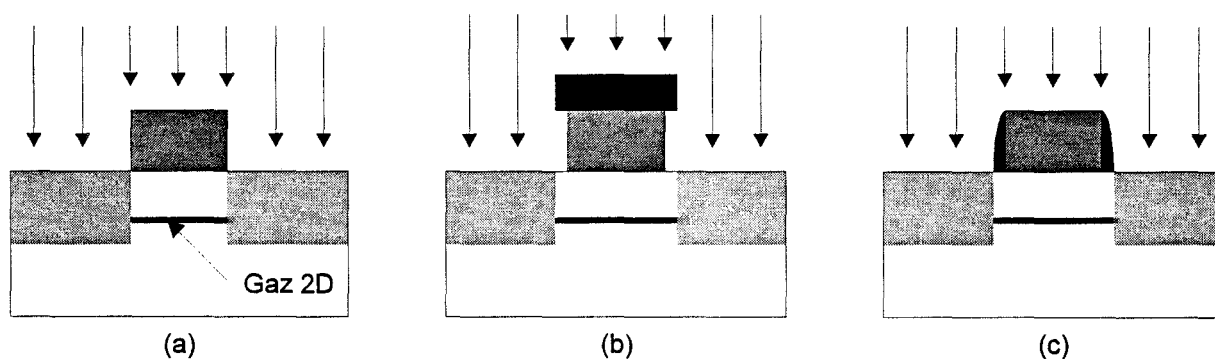


Fig. 3.1 : Technologie auto-alignée avec implantation au ras de la grille (a), espacée par une technique de grille en T (b), et avec "sidewalls" (c)

Une telle technologie se caractérise également par la nécessité d'un recuit thermique rapide à très haute température (entre 800°C et 1000°C) afin d'activer les espèces implantées dans le réseau cristallin. La grille étant formée au préalable, le métal de grille doit résister à ce recuit à la fois mécaniquement et électriquement. Il est alors impératif de se tourner vers les métaux réfractaires, qui sont déposés par pulvérisation. Par conséquent, la formation de la grille se fait non pas en utilisant une technique de type "lift-off", mais en déposant le métal massivement sur le wafer, et en définissant les géométries de grille par gravure de ce métal.

## III.2 Procédé à grille en T existant à l'IEMN

Avant de commencer ce travail, nous disposions, à l'IEMN, d'une technologie auto-alignée de type "grille en T". Ce procédé a été mis au point par Hussein Fawaz [1] et a constitué un très bon point de départ pour notre travail technologique.

### III.2.1 Points clés du procédé à grille en T

L'idée directrice de ce procédé consistait à réaliser des grilles réfractaires en nitrure de tungstène (WN). L'attaque de ce métal était effectuée en employant un masque métallique en nickel et créait ainsi un profil de grille en T par sous-gravure latérale. Une implantation ionique de silicium, auto-alignée par rapport à la grille, était utilisée afin de doper localement les zones d'accès des composants, et permettait ainsi de préserver la planarité du wafer. Rappelons brièvement les étapes technologiques composant ce procédé auto-aligné :

- Dépôt par pulvérisation cathodique de WN (2000 Å).
- Dépôt par évaporation et "lift-off" d'un masque de grilles en nickel (500 Å).
- Attaque du WN par gravure ionique réactive. Réalisation de profils de grille en "T".
- Implantation ionique simple de silicium.
- Attaque chimique du nickel par une solution de HCl.
- Encapsulation par  $\text{Si}_3\text{N}_4$  et recuit thermique rapide à 900°C durant 5s.
- Élimination du  $\text{Si}_3\text{N}_4$  par gravure ionique réactive.
- Dépôts de contacts ohmiques AuGe et des épaissements.

### III.2.2 Résultats et problèmes à résoudre

Ce procédé a été utilisé pour la réalisation de transistors MESFETs, et de transistors HIGFETs de type n à taux d'aluminium de 23% et de 40%. Sur des HIGFETs pseudomorphiques, d'excellentes transconductances valant 850 mS/mm et 600 mS/mm ont été obtenues pour des longueurs de grilles de 0.5 $\mu\text{m}$  et 1 $\mu\text{m}$  respectivement. Néanmoins, d'importants problèmes existaient, et notamment :

- un contact de grille de très mauvaise qualité, dû à l'utilisation d'un bâti de pulvérisation ancien et sans sas, et nécessitant par conséquent la remise à l'air de l'enceinte du bâti avant chaque dépôt. La mauvaise qualité de la couche de WN déposée entraînait une dégradation de la commande de charges, avec en particulier, une tension de seuil de l'ordre de 2V. Les transconductances maximales avaient été obtenues à des tensions de grille au-delà de 3V, ce qui semblait donc inadéquat pour une logique à faible tension d'alimentation.

- un courant de grille à 3V extrêmement élevé, et du même ordre que le courant de drain en saturation, ce qui compromettait gravement l'intégrabilité d'une telle technologie.

- une mauvaise uniformité de l'attaque GIR de la couche de WN, qui s'accompagnait d'une sur-gravure importante de la couche superficielle (cap) du matériau semiconducteur. Dans le cas d'un HIGFET, il fallait absolument éviter une élimination complète du cap de GaAs lors de la gravure du WN, auquel cas la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  à nu se serait oxydé. C'est pourquoi seules des couches HIGFETs à cap de GaAs épais (150 Å) ont fait l'objet de réalisations technologiques probantes.

- une attaque chimique du nickel à l'acide chlorhydrique, qui entraînait de nombreux dommages sur la surface du semiconducteur. De plus, cette attaque avait une conséquence désastreuse pour le wafer dans le cas où le cap de GaAs avait été entièrement éliminé.

- des résistances de contacts ohmiques valant 0.4  $\Omega$ .mm, ce qui ne permettait pas d'atteindre de hautes performances en hyperfréquences.

- ce procédé technologique à grille en T n'a servi qu'à la réalisation de transistors HIGFETs à taux d'aluminium modéré. L'attaque chimique par HCl semblait très peu appropriée dans le cas d'une couche semiconductrice à forte composition d'aluminium, telle que l'hétérostructure  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  que nous avons choisie pour la réalisation de composants de type complémentaires. De plus, il est fort probable que les conditions d'implantation, et surtout la formation des contacts ohmiques, ne soient pas adéquates à une couche composée de  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  à très large bande interdite.

Par ailleurs, des transistors HIGFETs de type p ont été réalisés à l'aide de cette technologie à grille en T, en remplaçant l'implantation de silicium par une implantation de magnésium, qui est un dopant de type p dans l'Arséniure de Gallium. Cette étape n'ayant pas été optimisée, les caractéristiques des composants obtenues furent très en retrait par rapport aux résultats d'Honeywell et de Motorola, avec notamment une transconductance de l'ordre du mS/mm, et un courant de grille très supérieur au courant de drain.

### **III.3 Caractéristiques de notre technologie**

#### III.3.1 Axes de développement



Le développement de notre technologie auto-alignée s'est inscrit dans le cadre d'une amélioration du procédé technologique à grille en T précédent, avec trois objectifs :

- une meilleure fiabilité, même pour un matériau  $Al_xGa_{1-x}As$  à taux d'aluminium de 75%, en vue d'évaluer une logique complémentaire sur l'hétérostructure pseudomorphique  $Al_{0.75}Ga_{0.25}As / In_{0.2}Ga_{0.8}As / GaAs$ .

- l'amélioration des caractéristiques électriques des transistors HIGFETs de type n, notamment en termes de courant de grille, de commande de charges et d'éléments d'accès.

- la réalisation de transistors HIGFETs de type p de bonne qualité, ce qui implique une remise en question complète de l'implantation ionique et du contact ohmique de type p.

Les différents axes caractérisant notre technologie auto-alignée sont :

- l'optimisation du contact de grille, en veillant à la qualité du métal réfractaire déposé, à sa résistivité, et à la tenue du contact aux hautes températures du recuit d'implantation. Il fallait en particulier limiter fortement la gravure du cap de GaAs afin de permettre des réalisations technologiques sur des couches à cap fin.

- l'absence de toute attaque chimique, et en particulier l'attaque du nickel par acide chlorhydrique. Ceci implique de modifier la procédure de définition des grilles, en évitant l'utilisation d'un masque métallique. La solution de substitution d'un masque en nickel consiste à employer une résine électronique négative, que l'on peut éliminer très facilement par gravure ionique réactive ou dissolution dans un bain de "remove" ne présentant aucun danger pour le matériau semiconducteur.

La résine négative étant gravée en même temps que le métal réfractaire de grille par attaque GIR, il n'est plus possible de réaliser un profil de grille en T. Dès lors, nous utiliserons une couche de nitrure de silicium afin d'espacer les zones implantées du flanc de la grille.

- l'optimisation de l'implantation ionique de silicium et du contact ohmique de type n afin de parvenir à des résistances d'accès parasites les plus faibles possibles.

- l'incorporation au procédé technologique précédent d'étapes technologiques supplémentaires pour la réalisation de transistors de type p; celles-ci devront être optimisées, en particulier l'implantation ionique et le contact ohmique de type p.

- l'optimisation d'un recuit thermique rapide adéquat à la réalisation de composants complémentaires, et donc garantissant une activation maximale non seulement des implants de silicium, mais aussi des dopants de type p.

### III.3.2 Diagramme général du procédé technologique

La figure 3.2 représente un descriptif complet du procédé technologique que nous utiliserons pour réaliser des structures complémentaires.

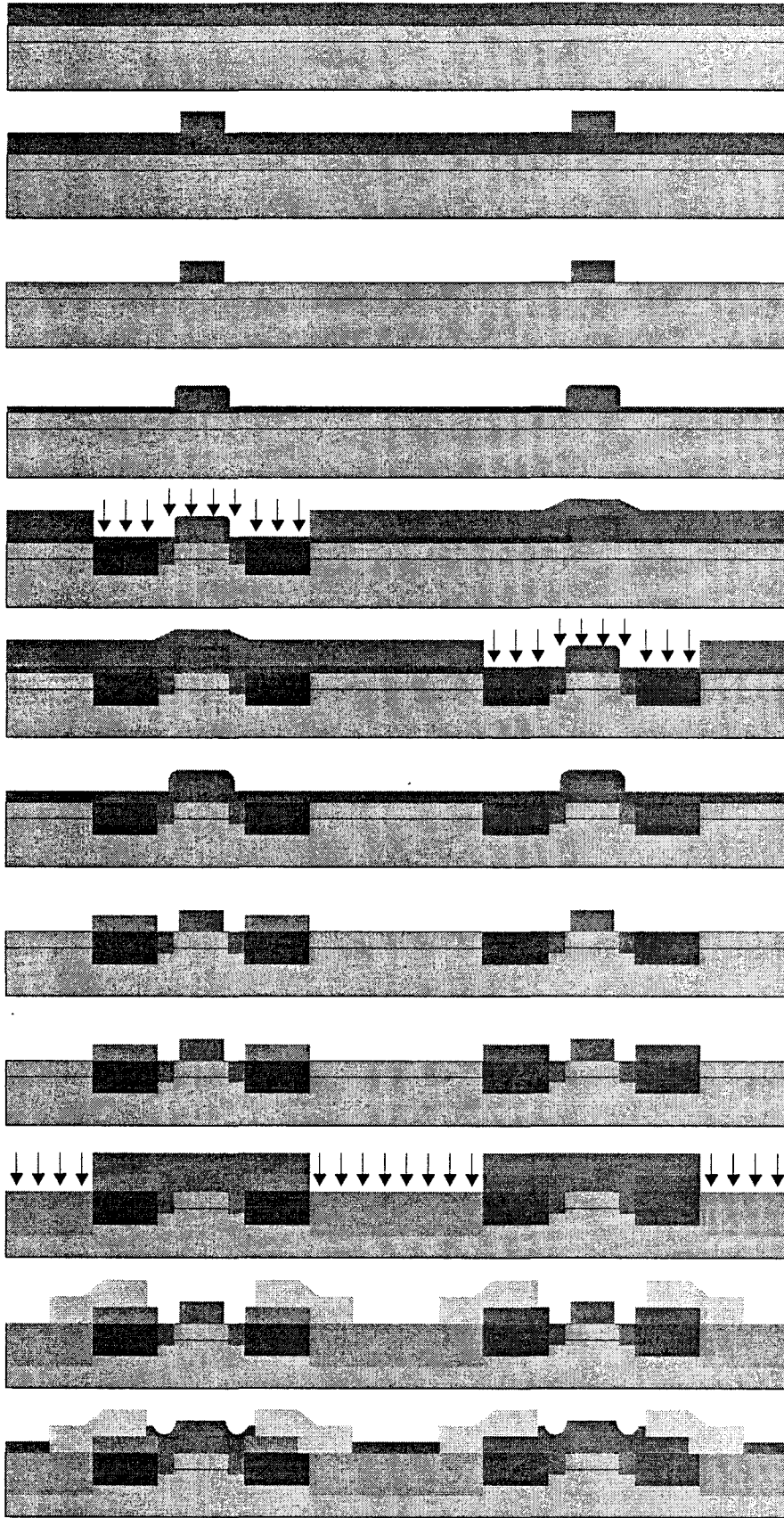
Après un nettoyage de la plaquette, la grille des transistors est formée par pulvérisation de métal réfractaire, masquage électronique négatif et gravure ionique réactive.

L'implantation ionique est réalisée à travers une couche de  $\text{Si}_3\text{N}_4$  d'une épaisseur de 20nm, afin de garantir un niveau de dopage élevé en surface du semiconducteur, et d'espacer l'implantation par rapport au ras de la grille. Les implantations n et p peuvent être effectuées dans n'importe quel ordre, étant donné que ces deux types d'impuretés sont activés lors d'un même recuit thermique rapide. Il est indispensable de ne procéder qu'à un seul recuit d'implantation afin de ne pas doubler les risques de détruire les wafers.

Dans tous les cas, on a recours à une double implantation. La première consiste à doper les zones d'accès du composant avec une dose moyenne, ce qui garantit de faibles résistances d'accès tout en évitant des effets de type canal court (cf. Ch. V.1.4). Une seconde implantation avec une dose élevée est réalisée uniquement sous les contacts ohmiques afin d'obtenir de très faibles résistances de contact.

Après gravure de la couche de nitrure, les contacts ohmiques de type n (AuGe/Ni/Au) et de type p (Au/Mn/Ni/Au) sont évaporés. Les eutectiques sont réalisés par deux recuits dont la température avoisine les 400°C. Le contact ohmique de type n est déposé avant le contact de type p car le recuit n (cf. Ch. VI.2) fait intervenir une température crête plus haute que celle du recuit p (cf. Ch. VI.3). Contrairement au recuit haute température d'implantation, la gamme de températures des recuits des contacts ne présente aucun risque vis-à-vis du matériau semiconducteur. En conséquence, il n'est pas nécessaire d'envisager l'optimisation d'un recuit unique de contacts ohmiques n et p.

Afin d'isoler les composants pour éviter des phénomènes de "backgating", une implantation à faible dose de bore est utilisée. Les épaisissements se font par évaporation d'une couche de Ti/Au (100 nm/400 nm). Une étape de passivation en nitrure (200 nm) sert à protéger la surface de la plaquette d'oxydation et de vieillissement. Les plots de métallisation sont ouverts par attaque locale du nitrure.



Dépôt de métal réfractaire (WSi)  
par pulvérisation

Dépôt de résine négative

Formation des grilles par  
Gravure Ionique Réactive (GIR)

Dépôt de 20nm de  $\text{Si}_3\text{N}_4$

Implantation de type n (Si)

Implantation de type p (Be+P)

Encapsulation en  $\text{Si}_3\text{N}_4$   
et recuit thermique rapide

Réalisation des contacts ohmiques  
de type n (AuGe)

Réalisation des contacts ohmiques  
de type p (Au/Mn)

Isolation (B)

Épaississements et niveau 1  
d'interconnexions (Ti/Au)

Passivation et niveau 2  
d'interconnexions (Ti/Au)

Fig. 3.2 : Procédé technologique auto-aligné complémentaire

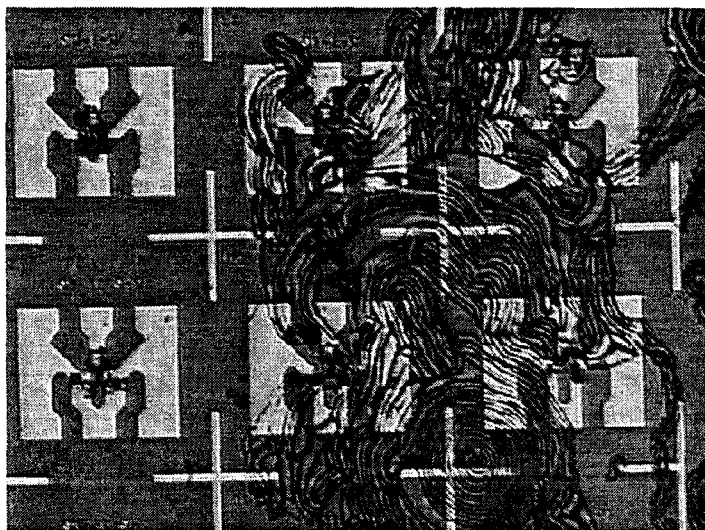
### III.4 Importance de réussir le recuit d'implantation

L'étape du recuit thermique rapide est indispensable dans notre technologie. Afin d'activer électroniquement les espèces implantées comme donneurs ou accepteurs, il est nécessaire de chauffer le substrat à une très haute température pendant quelques secondes afin de replacer ces espèces dans les sites substitutionnels du réseau cristallin. Ce recuit thermique rapide se fait après avoir encapsulé la structure par une couche de nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) de manière à préserver la surface du matériau lors du recuit.

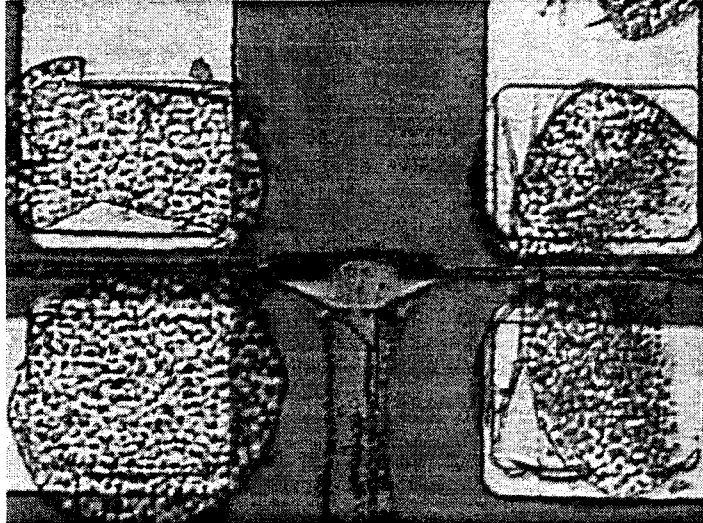
#### III.4.1 Caractéristiques d'un recuit non réussi

Le recuit thermique rapide est de loin l'étape la plus risquée et la plus critique de notre procédé technologique car il peut entraîner des dommages irréversibles. En effet, étant donné les très hautes températures impliquées et la courte durée de ce recuit, il existe un danger important d'exodiffusion d'arsenic, de dégradation du gaz bi-dimensionnel, et donc de destruction du wafer.

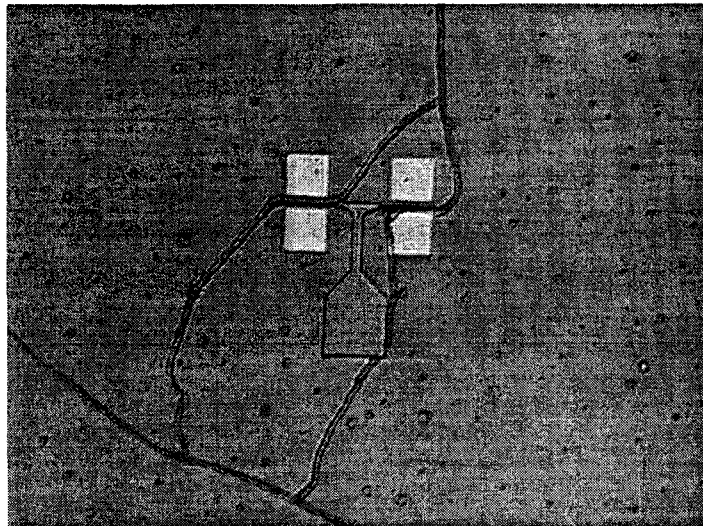
Au début de ce travail, la couche de nitrure et le matériau craquaient systématiquement sous l'action du recuit. Les photographies qui suivent concernent nos premières réalisations technologiques et représentent des exemples typiques des plaquettes sans aucune exagération. Elles montrent les dégâts uniformes sur le wafer, causés par le recuit, après la gravure de la couche de nitrure.



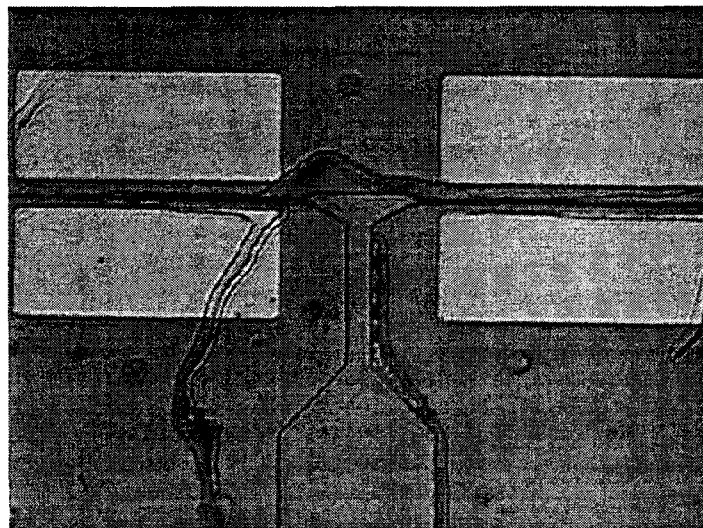
(a)  
Op. 10130



(b)  
Op. 10130



(c)  
Op. 10076



(d)  
Op. 10076

Fig. 3.2 : Photographies de transistors HIGFET après un recuit rapide.

Il y a en effet apparition de cratères (fig. 3.3a et 3.3b) faisant parfois plus de 100nm de profondeur dus à une exodiffusion massive du matériau lors du recuit après que le nitrure ait craqué. Ce phénomène avait lieu spécialement dans les plots de source et de drain, c'est-à-dire dans les zones implantées. Sur d'autres plaquettes, on constatait non seulement des petits cratères, mais surtout des fissures importantes passant par les grilles des composants (fig. 3.3c et 3.3d).

Les caractéristiques statiques  $I_{ds}(V_{ds})$  relatives aux meilleurs composants de ces plaquettes laissaient apparaître l'existence d'une très importante résistance différentielle négative (fig. 3.4a), qui s'expliquait par un transfert important d'électrons vers la grille, entraînant une chute brutale du courant de drain [3].

Sur les composants où des fissures étaient apparues autour de la grille, on constatait une forte dégradation de la commande du canal. Dans tous les cas, le courant de grille est anormalement élevé (fig. 3.4b), et la transconductance faible. Concernant ces plaquettes, j'estime à 20% la proportion de composants qui fonctionnaient très mal, et 80% des composants ne fonctionnaient pas du tout. Quoiqu'il en soit, l'expérience a prouvé qu'il était inutile de poursuivre le procédé lorsque la couche de  $Si_3N_4$  et le matériau superficiel avaient craqué.

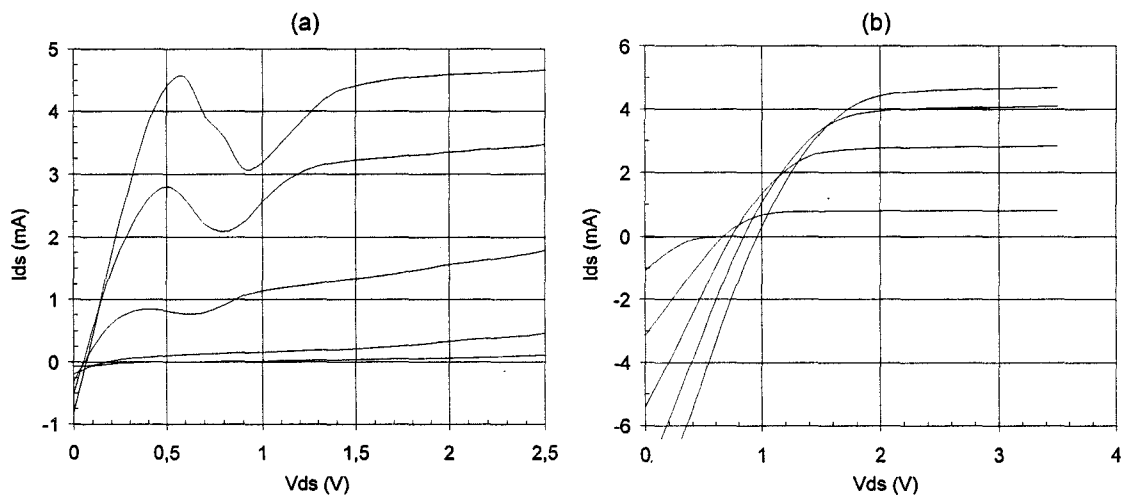


Fig. 3.4 : Caractéristiques  $I_{ds}(V_{ds})$  de n-HIGFETs après un recuit raté  
a:  $2 \times 25 \times 0.5 \mu\text{m}$ .  $V_{gs}$  de 0 à 2V par pas de 0.2V  
b:  $2 \times 50 \times 1 \mu\text{m}$ .  $V_{gs}$  de 0 à 3.5V par pas de 0.5V

#### III.4.2 Précautions à observer pour réussir le recuit

Ces photos et ces caractéristiques montrent que le recuit thermique rapide constitue une phase critique dans la fabrication des HIGFETs. Si de mauvaises résistances de contact pour les contacts ohmiques, par exemple, dégradent les performances des composants, en revanche, un recuit thermique raté est destructif pour le wafer. Toute opération technologique antérieure au recuit thermique rapide doit être

pensée dans l'optique de réussir le recuit avec un maximum de chances. Ce qui suit est un ensemble de considérations générales d'ordre technologique pour permettre de réaliser un recuit non destructif.

Il s'est avéré que l'essentiel était d'obtenir une bonne adhésion de la couche de  $\text{Si}_3\text{N}_4$  qui va encapsuler la plaquette, afin de garantir dans un premier temps la bonne tenue du nitrure durant le recuit. Il est donc nécessaire de préserver l'état de surface de la plaquette avant de déposer la couche de  $\text{Si}_3\text{N}_4$ . Il faut donc éviter de polluer la surface lors des étapes de formation de la grille par GIR et lors de l'implantation. Nous avons, entre autres, mis au point un procédé de nettoyage de la plaquette qui permet d'éliminer les polymères et résidus de résine qui résultent de la gravure ionique. L'expérience a par ailleurs montré que la tenue du nitrure n'est pas bonne lorsqu'il a été directement déposé sur la couche d'AlGaAs, qui, une fois oxydée en surface, ne permet pas une bonne adhésion du nitrure. Il est donc indispensable de ne pas graver le cap de GaAs lors de la gravure du métal réfractaire, et donc d'optimiser ce procédé de gravure afin d'obtenir soit une parfaite uniformité de gravure, soit une très bonne sélectivité par rapport au GaAs.

L'implantation ionique a pour inconvénient d'abîmer la surface du matériau, surtout lorsque la dose devient importante. Ceci entraîne, comme on le voit sur certaines photographies, l'existence de trous dans les zones implantées. Un moyen d'éviter cette détérioration de la surface du semiconducteur est de réaliser l'implantation à travers une fine couche de nitrure qui protégera donc la surface.

Afin de garantir le succès du recuit thermique rapide, il nous a fallu optimiser les opérations technologiques en amont du recuit non seulement individuellement, mais surtout afin de les rendre compatibles avec le procédé tout entier.

### **III.5 Conception et dessin du jeu de masques FTFET**

La photolithographie intervient quasiment dans chaque étape technologique. Elle permet de retranscrire sur une résine photosensible les motifs qui sont dessinés sur un masque. Celui-ci est constitué de zones claires transparentes au rayonnement ultraviolet et de zones sombres imperméables à ce rayonnement. Par insolation, puis révélation dans un bain de développement, le motif du masque est transféré sur la surface de la plaque, la résine insolée (resp. non insolée) étant dissoute dans le développeur, dans le cas d'une résine positive (resp. négative). Les zones ainsi ouvertes permettent la gravure ou le dépôt de couches métalliques ou diélectriques, de façon à réaliser le composant.

L'étude et la fabrication de HIGFETs ont nécessité le dessin d'un jeu de masques FTFET (Fast Technology for Field-Effect Transistors) destiné à notre technologie, mais néanmoins compatible avec toute technologie auto-alignée de fabrication de transistors à effet de champ. Ainsi ce jeu de masques permet la

réalisation de transistors discrets de type n ou de type p indépendamment. En effet, ce qui distingue une plaquette de composants de type n d'une plaquette de composants de type p est l'implantation ionique et la réalisation des contacts ohmiques, toutes les autres opérations étant identiques. Pour réaliser des transistors HIGFETs discrets de type n ou de type p à partir du masque FTFET, nous utiliserons notre procédé technologique décrit précédemment, en clivant en deux le wafer après la fabrication des grilles, et en poursuivant le déroulement du procédé sur chaque demi-plaquette. Nous réaliserons sur une moitié de wafer les transistor de type n (et donc une implantation Si et un contact ohmique AuGe), et sur l'autre moitié les transistors de type p (caractérisés par une co-implantation Be+P et un contact ohmique Au/Mn).

### III.5.1 Description de la matrice élémentaire

Le champ élémentaire du masque FTFET a la structure suivante :

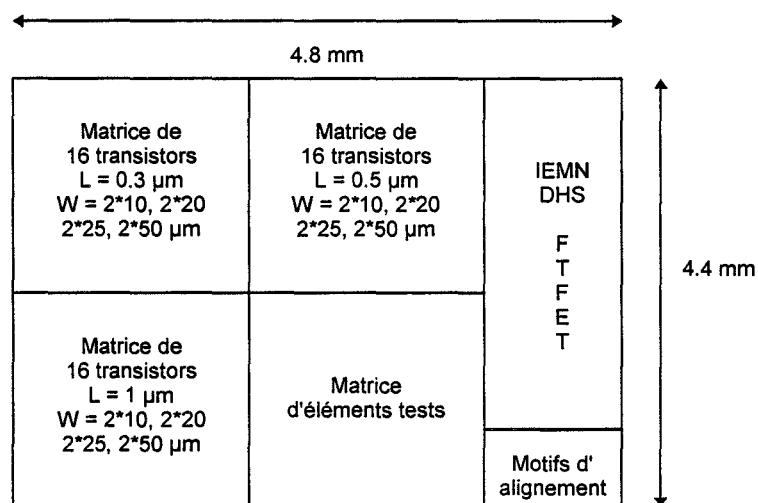


Fig. 3.5 : Schéma global du champ FTFET

Ce champ, d'une surface de 4.4 \* 4.8 mm, se compose donc de trois matrices de 16 transistors et d'une matrice d'éléments tests. A une matrice de transistors correspond une longueur de grille (0.3, 0.5 ou 1  $\mu$ m), et quatre blocs de quatre transistors bi-doigts de largeur de grille 2\*10, 2\*20, 2\*25 et 2\*50  $\mu$ m. On trouve donc 48 composants couvrant un large panorama de grilles possibles.

La matrice de test (fig. 3.6) se compose d'éléments d'intérêts divers :

- nous avons dessiné des éléments tests pour caractériser des étapes technologiques, afin d'en vérifier le bon déroulement. Il s'agit en l'occurrence d'éléments tests permettant la mesure de la résistivité du métal réfractaire des grilles et de TLM (Transmission Line Measurement) afin d'évaluer les contacts ohmiques et l'implantation.



- Des éléments servent à des caractérisations spécifiques des composants et de la couche épitaxiale. Ainsi, des capacités, un transistor Jumbo et un trèfle de Van der Pauw servent à des mesures de  $C(V)$ , de magnétorésistance et d'effet Hall respectivement.

- Des éléments permettant de mener à bien diverses études. Une échelle de transistors de longueurs 0.2, 0.4, 0.7, 1.2 et 1.7 $\mu\text{m}$  et de largeur unique et égale à 100 $\mu\text{m}$  permet d'étudier l'influence de la longueur de grille sur les performances des composants. Nous avons disposé des transistors avec différentes inclinaisons afin d'étudier l'influence de la disposition des composants sur un wafer. Nous avons enfin prévu la réalisation d'un transistor de puissance, et d'un transistor faible bruit en vue d'étudier les possibilités d'applications analogiques de ce procédé.

Echelle de transistors L = 0.2, 0.4, 0.7, 1.2, 1.7 $\mu\text{m}$			
Transistor Jumbo	Transistor faible bruit	Transistor de puissance	Trèfle de VdP
Capacité 5 $\mu\text{m}$	Capacité 30 $\mu\text{m}$	Transistor incliné 0°	Transistor incliné 90°
TLM	TLM de grille	Transistor incliné 45°	Transistor incliné 135°

Fig. 3.6 : Schéma global de la matrice TEST

### III.5.2 Niveaux du masque FTFET

Au total, le masque FTFET comporte neuf niveaux :

1. Grilles des composants
2. Implantation ionique
3. Détourage de grille
4. Contacts ohmiques
5. Grilles des capacités
6. Métallisation des plots ou niveau 1 d'interconnexions
7. Passivation en nitrure
8. Métallisation du transistor de puissance ou niveau 2 d'interconnexions

Notre technologie auto-alignée n'utilise que les niveaux 2, 4, 6, 7 et 8 dans le masque FTFET.

Nous n'utilisons le niveau 1 des grilles qu'en insolation électronique avec une résine négative, afin de définir aisément des grilles submicroniques, mais nous

disposons d'une version optique de ce niveau afin de pouvoir le réaliser quand nous aurons à notre disposition un équipement de masquage optique plus performant.

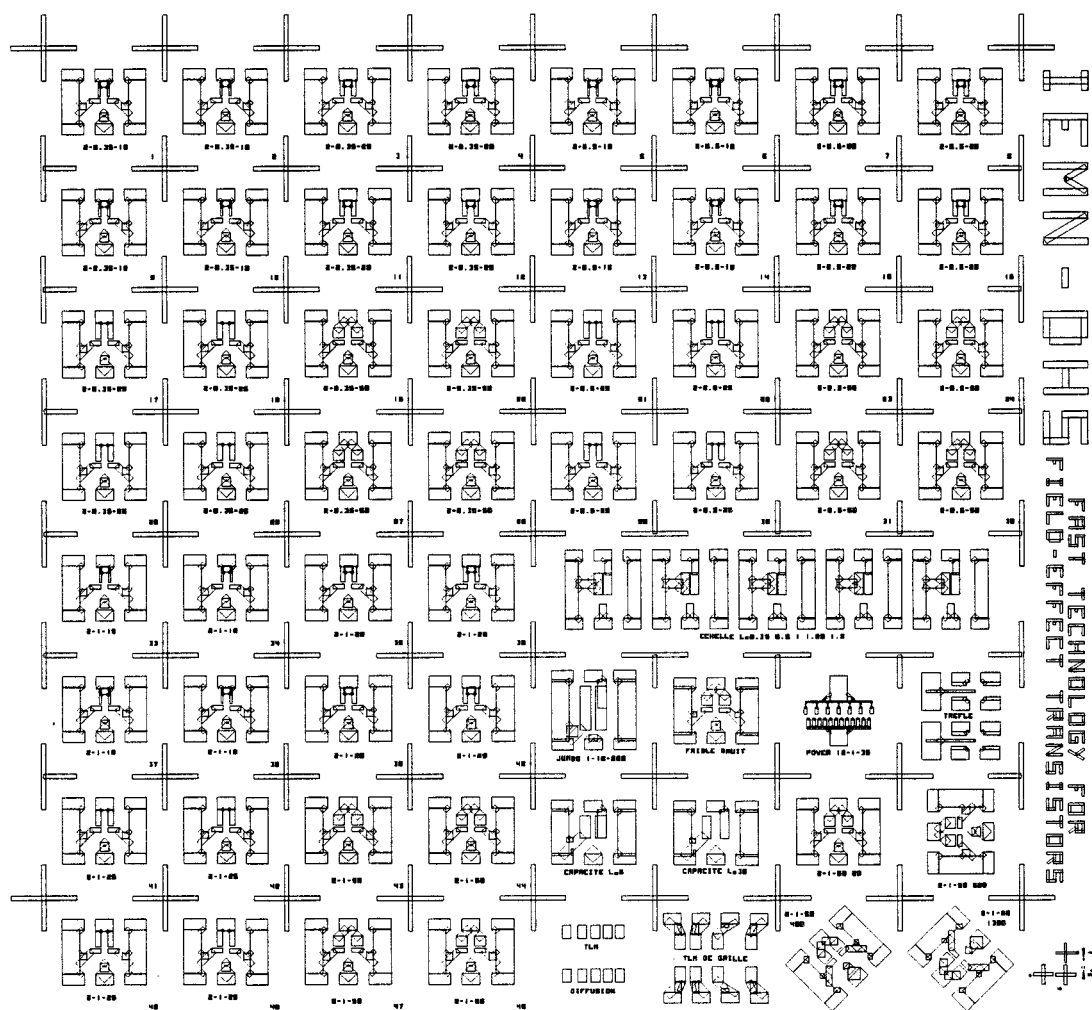


Fig. 3.7 : Vue globale réelle d'un champ (niveau de métallisation)

Le niveau 3 de détournement de grille assure la compatibilité avec une technologie auto-alignée à grille en T. Il s'agit d'une ouverture étroite, mais néanmoins optique, autour de la grille, servant à réaliser une structure en T avant le recuit thermique rapide.

Le niveau 5 sert à déposer la partie métallique des capacités postérieurement au recuit rapide. Il est en effet inutile d'utiliser un métal réfractaire pour ces capacités.

Le niveau 8 sert à relier les plots des contacts de source du transistor de puissance de la matrice de test.

### III.5.3 Description d'un transistor bi-doigts

On retrouve donc sur la figure 3.7 les trois matrices composées de 16 transistors chacune, ainsi que la matrice de test. Chaque transistor occupe une surface de  $550 \mu\text{m} \times 550 \mu\text{m}$ . Afin de faciliter le découpage et la mise en boîtier BMH des composants séparés, on a disposé des croix de  $300 \mu\text{m}$  de côté, sauf autour des éléments TLM et de l'échelle de transistors.

On a représenté ci-dessous le masque d'un transistor de longueur  $1 \mu\text{m}$  et de largeur  $2 \times 50 \mu\text{m}$  (niveaux de grille, de contacts ohmiques et de métallisation).

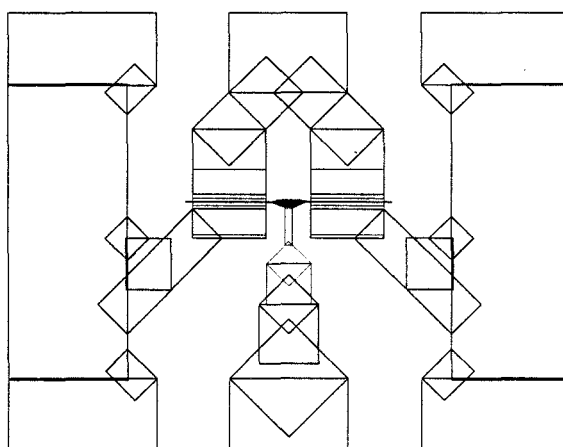


Fig. 3.8 : Vue réelle d'un transistor  $2 \times 50 \times 1 \mu\text{m}$  du masque FTFET

La distance entre la grille et les contacts ohmiques de source et de drain est de  $2 \mu\text{m}$ . Ce dispositif s'adapte à notre équipement de caractérisation sous pointes : en ce qui concerne le niveau de métallisation, il faut disposer six plots, dont les quatre extrêmes sont reliés à la masse, pour assurer la compatibilité avec les sondes hyperfréquences Cascade. Ceci implique la connexion des contacts de source à ces plots. Il reste donc deux plots, celui du milieu supérieur servant pour le drain, et celui du milieu inférieur pour la grille. De plus, l'écartement horizontal entre deux plots est normalisé à  $125 \mu\text{m}$ .

### III.5.4 Description de la matrice de test

L'échelle de transistors (fig. 3.9) consiste en cinq transistors mono-doigt de largeur  $100 \mu\text{m}$  et de longueur de grille  $0.2, 0.4, 0.7, 1.2$  et  $1.7 \mu\text{m}$ .

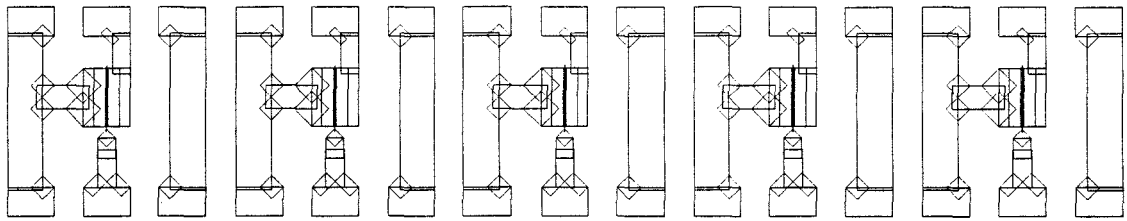


Fig. 3.9 : Echelle de transistors 1\*100 µm

Cette échelle permet d'étudier l'influence de la longueur de grille sur un certain nombre de paramètres électriques tels que la transconductance, le courant de grille, le courant sous le seuil et de préciser l'apparition des effets canal court par exemple.

Le transistor Jumbo (fig. 3.10) est un transistor mono-doigt dont les dimensions (10\*200 µm) sont excessivement grandes. Etant donné que la longueur de grille est démesurément grande, la résistance du canal est importante devant les résistances d'accès et par conséquent, une mesure de magnétorésistance y est très significative.

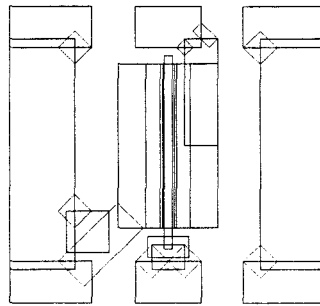


Fig. 3.10 : Vue réelle du transistor Jumbo

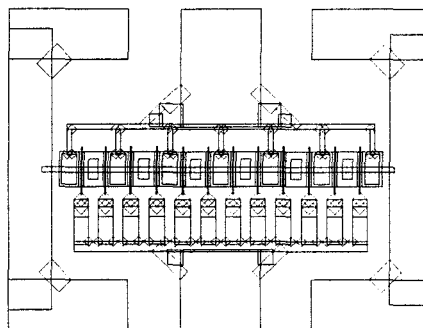


Fig. 3.11 : Vue réelle du transistor de puissance

Le transistor de puissance (fig. 3.11) est constitué de 12 grilles de 35 µm en technologie 1µm. Afin de relier les contacts de source entre eux, on a ouvert de petites fenêtres dans la couche de passivation de manière à graver localement le nitrure au-

dessus de ces contacts. Les plots de source sont alors réunis par un pont métallique en Ti/Au d'une largeur de  $10\mu\text{m}$  au-dessus de la couche de nitrure.

Le motif de TLM (Transmission Line Measurement) [4] permet d'évaluer les résistances des contacts ohmiques et la résistance carrée des zones implantées. Une structure TLM consiste en une succession de plots de contacts ohmiques séparés entre eux par des zones de semiconducteur dopées de longueurs  $x_1, x_2, x_3$  et  $x_4$  (fig. 3.12).

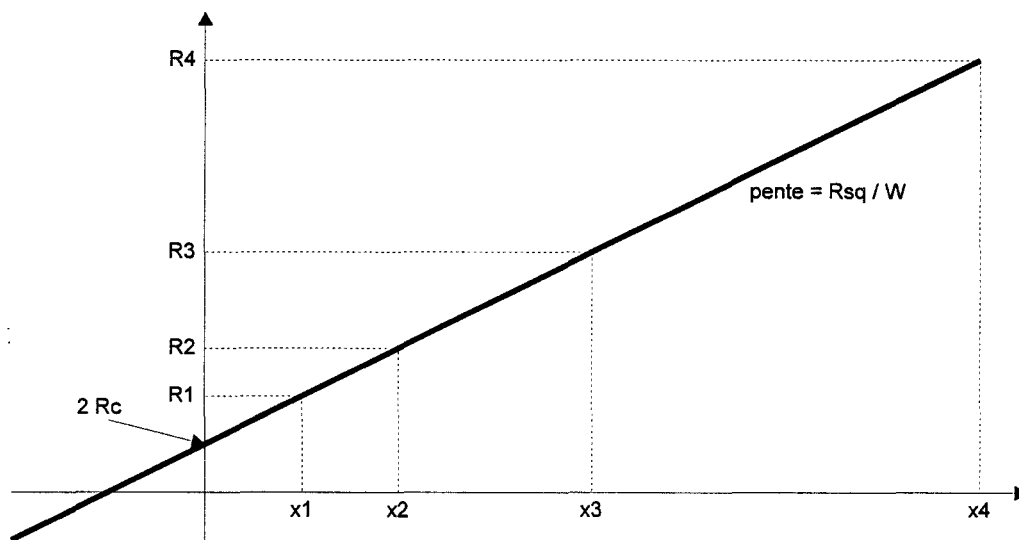
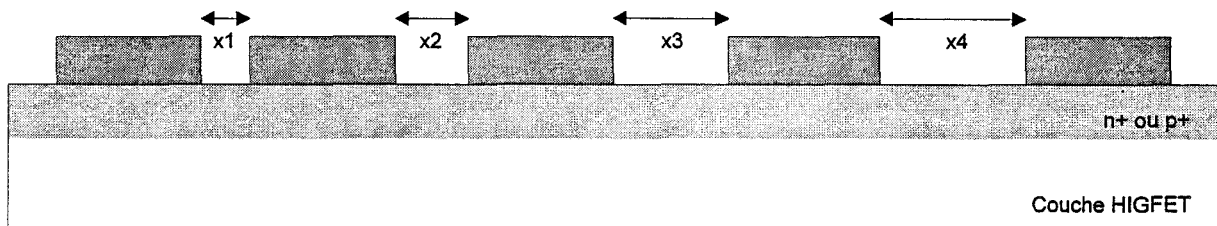


Fig. 3.12 : Structure TLM (a) et courbe de résistivités de contacts ohmiques (b).

Les mesures successives des résistances  $R = f(x)$  entre deux plots adjacents à l'aide d'un banc de mesures statique à quatre pointes, conduit à la courbe en fig. 3.12b. La résistance de contact (en  $\Omega \cdot \text{mm}$ ), qui caractérise la qualité de l'interface contact ohmique / semiconducteur, est donnée par l'ordonnée à l'origine, et la résistance carrée du matériau dopé (en  $\Omega / \square$ ) est déterminée par la pente et la largeur  $W$  des plots. On peut donc en même temps évaluer le contact ohmique proprement dit, ainsi que le dopage du semiconducteur résultant de l'implantation ionique.

Une autre indication est la résistivité spécifique (en  $\Omega \cdot \text{cm}^2$ ), qui témoigne du transfert électronique vertical à l'interface métal / semiconducteur dopé, et qui permet d'évaluer le courant en profondeur entre les plots des contacts. Elle est donnée par l'expression :

$$\rho_C = \frac{R_C^2 W^2}{R_{sq}} \quad (\text{eq. 3.1})$$

Pour cette mesure de motifs TLM, nous avons disposé sur le masque FTFET cinq plots, espacés de 2.5, 5, 10 et 20  $\mu\text{m}$ . La mesure des résistances est effectuée en employant un banc à quatre pointes afin d'éliminer la résistance parasite des pointes. Nous utilisons en effet deux pointes pour faire passer un courant entre deux plots adjacents, et deux autres pointes pour relever la différence de potentiel entre les deux plots. Compte tenu de l'impédance infinie du voltmètre, le courant parcourant celui-ci est nul, ce qui permet d'annihiler complètement l'influence de la résistance série des pointes. Le rapport tension / courant conduit donc à une mesure exacte de la résistance entre les deux plots.

Le motif de TLM de grille est tout à fait analogue. Il s'agit d'évaluer la résistance carrée du métal réfractaire de grille qui est beaucoup plus résistif que l'aluminium ou l'or. On a donc disposé des bandes de largeur 2 $\mu\text{m}$  et 10 $\mu\text{m}$  entrecoupées de plots de métallisation. Les distances sont 20, 50 et 100 $\mu\text{m}$  et permettent d'obtenir des résistances de quelques dizaines ou centaines d'ohms, et donc faciles à mesurer.

Enfin, on a disposé quatre transistors d'inclinaison différente (0, 45, 90 et 135 degrés) très proches les uns des autres (fig. 3.14). Ceci permet d'étudier l'influence de l'orientation des composants sur le wafer, notamment en termes de courant sous le seuil.

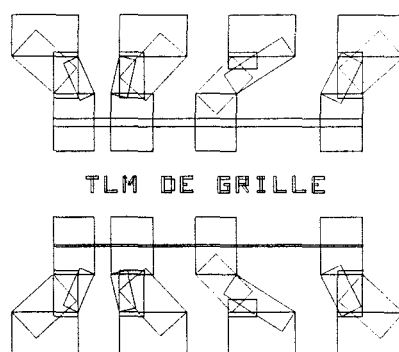


Fig. 3.13 : Vue réelle des TLMs de grille

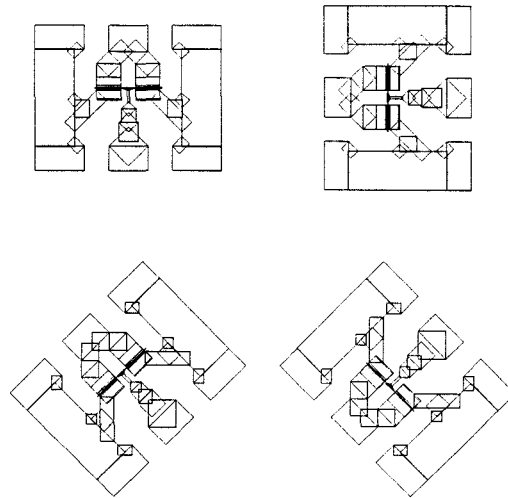


Fig. 3.14 : Vue réelle des transistors inclinés

### III.6 Points clés du procédé

Nous disposons donc d'une méthodologie générale de technologie auto-alignée dont nous avons décrit les grandes lignes, et d'un jeu de masques FTFET qui permettent la fabrication de transistors HIGFETs. Cependant, avant de réaliser les premiers composants, il nous a fallu optimiser certaines étapes technologiques afin d'atteindre de bonnes performances, et de rendre ces étapes compatibles avec le procédé dans sa globalité :

- la formation de la grille des transistors. Le choix du métal réfractaire et des conditions de dépôt est important en vue de diminuer la résistance de grille, et d'obtenir une bonne hauteur de barrière. Il est par ailleurs indispensable d'optimiser les conditions de gravure afin d'éviter un trop grande sur-gravure et trop de pollution de la surface du semiconducteur.

- les implantations ioniques de type n et de type p. Un compromis en termes de dose d'implantation est nécessaire afin d'obtenir de faibles valeurs de résistances d'accès et de courants parasites de grille et de drain sous le seuil. Il faut également limiter les phénomènes de diffusion qui génèrent des effets canal court.

- le recuit d'implantation qui doit permettre une bonne activation des espèces implantées n et p, sans détruire le matériau.

- les contacts ohmiques de type n et de type p, c'est-à-dire les constituants métalliques et le recuit de diffusion, afin d'obtenir de faibles résistances de contact.

## REFERENCES DU CHAPITRE III

- [1] H. Fawaz, "Technologie multifonction de transistors à effet de champ sur matériaux III-V pour logique rapide et hyperfréquences", thèse de doctorat, Janvier 1993, pp. 20-28.
- [2] H. Hida, Y. Tsukada, Y. Ogawa, H. Toyoshima, M. Fujii, K. Shibahara, M. Kohno et T. Nozaki, "Novel self-aligned gate process technology for i-AlGaAs/n-GaAs Doped-Channel Hetero-MISFET (DMT) LSIS based on E/D logic gates", IEDM Technical Digest, 1988, pp. 688-691.
- [3] D. Depreeuw, "Modélisation de transistors à effet de champ à hétérojonction, application au MISFET GaAlAs/GaAs et à l'étude du transfert électronique dans l'espace réel", thèse de doctorat, Octobre 1988, ch. 4.
- [4] R. E. Williams, Gallium Arsenide Processing Techniques, édité par Artech House (Dedham, 1984), pp. 248-253.



## CHAPITRE IV

### FORMATION DE LA GRILLE REFRACTAIRE DES HIGFETs

#### IV.1 Utilisation d'un métal réfractaire

Le choix des métaux constituant la grille de transistors sur GaAs s'effectue selon cinq critères principaux :

- un bon comportement électrique  $I(V)$ , c'est-à-dire une hauteur de barrière élevée afin de minimiser le courant de grille.
- une excellente adhésion sur le semiconducteur.
- une excellente commande du canal.
- une faible résistivité, en particulier pour les transistors submicroniques.
- une bonne tenue de la caractéristique  $I(V)$  en inverse.

Si des métallisations de type Ti/Pt/Au ont été largement utilisées pour les MESFETs et les HEMTs en technologie recessée, en revanche, elles ne conviennent pas à notre procédé auto-aligné. En effet, l'utilisation de l'implantation ionique, et par conséquent d'un recuit thermique rapide une fois la grille formée, imposent un métal de grille qui résiste à des températures au-delà de 800°C, ce qui n'est pas le cas des métallisations à base d'or.

La solution consiste à employer un métal réfractaire comme le tungstène, dont les caractéristiques physiques et électriques ne s'altéreront pas après le recuit d'implantation [1]. Malheureusement, le tungstène a tendance à réagir avec le GaAs pour donner naissance à des composés de type  $W_2As_3$ . On s'est alors tourné vers des matériaux de type WSi ou WN, dans lesquels l'ajout de silicium ou d'azote permet de stabiliser les réactions entre le tungstène et le semiconducteur [2].

La méthode la plus utilisée pour déposer un composé de tungstène est la pulvérisation cathodique [3], l'argon servant comme gaz d'ionisation du plasma. Nous disposons à l'IEMN d'un bâti de pulvérisation multi-cibles Plassys permettant de déposer des métaux réfractaires par magnétron, en utilisant un générateur RF 13.56 MHz ou un générateur DC. Un système de rotation du substrat permet en outre de déposer deux métaux simultanément par co-pulvérisation, l'un en mode RF, l'autre en mode DC. L'isotropie de la pulvérisation étant incompatible avec une technique de type lift-off, la définition de la grille se fait par gravure ionique réactive du tungstène

après avoir déposé celui-ci massivement sur le semiconducteur. Rappelons que l'on utilise une résine électronique négative comme masque pour la gravure.

## IV.2 Choix du métal réfractaire

Le choix d'un composé à base de silicium ou d'azote se fait afin de garantir une faible résistivité et une hauteur de barrière élevée après recuit thermique rapide à des températures dépassant 800°C. Nous disposons à l'ITEMN de cibles de tungstène, de silicium, de TiW (10% de titane) et de  $W_5Si_3$ . Il s'agit donc d'effectuer une sélection du métal réfractaire parmi WN, WSi et TiWN au vu des critères précédents, en nous basant à la fois sur des articles publiés dans la littérature, et sur des essais effectués dans notre bâti Plassys.

### IV.2.1 Grille en $WN_x$

Une grille de transistor en  $WN_x$  est déposée en pulvérisant du tungstène dans une atmosphère d'argon et d'azote. Le paramètre prédominant est le pourcentage d'azote, qui se définit à partir du rapport des pressions partielles des gaz  $\gamma = P_{N_2} / (P_{N_2} + P_{Ar})$ .

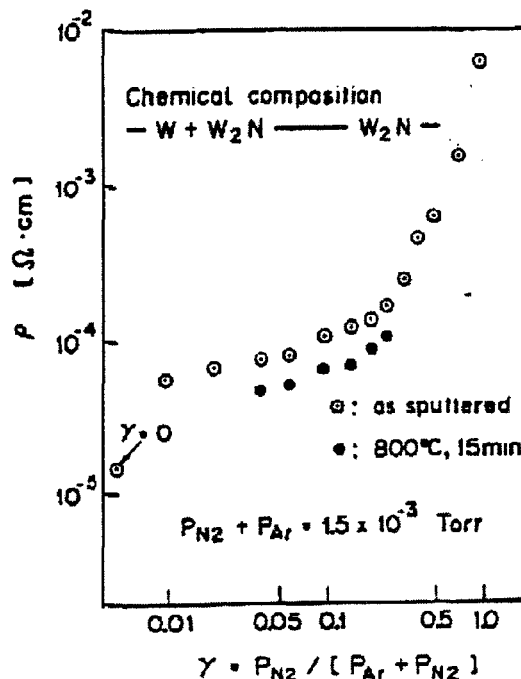


Fig. 4.1 : Dépendance de la résistivité d'une couche WN déposée sur un substrat GaAs en fonction de  $\gamma$  avant et après recuit à 800°C durant 15 minutes [4].

La résistivité du  $WN_x$  (fig. 4.1) est quasiment constante quand  $\gamma$  est compris entre 0 et 0.1, et croît de plus en plus vite pour des valeurs de  $\gamma$  supérieures à 0.2 [4].

Geissberger [5] a montré, par ailleurs, qu'un recuit à haute température ne dégrade pas la hauteur de barrière du WN lorsque le gaz de pulvérisation se compose de 4% d'azote, et a obtenu une hauteur de barrière de 0.72 eV (fig. 4.2).

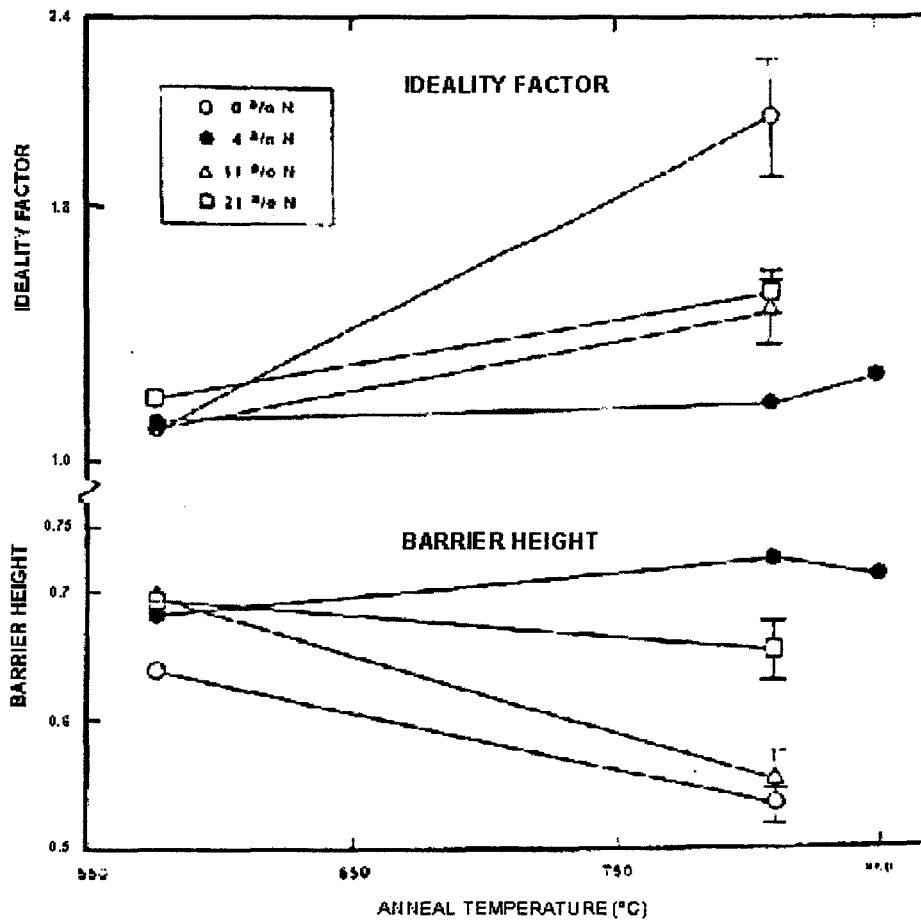


Fig. 4.2 : Facteur d'idéalité et hauteur de barrière d'une Schottky WN sur un substrat GaAs après recuit thermique pour des valeurs  $\gamma$  de 0, 4, 11 et 21 % [5].

#### IV.2.2 Grille en $WSi_x$

Le taux  $x$  de silicium détermine directement les propriétés électriques du composé  $WSi_x$ . Afin de faire varier le taux  $x$  dans un composé  $WSi_x$ , des chercheurs ont entrepris d'effectuer une co-pulvérisation de deux cibles de tungstène et de silicium, en faisant tourner le substrat de l'une à l'autre. Le rapport  $x$  Si/(Si+W) du métal déposé est alors obtenu en fonction du rapport des tensions de polarisation que l'on affecte aux deux cibles [6]. Les figures 4.3 et 4.4 présentent les dépendances de la

résistivité, du facteur d'idéalité et de la hauteur de barrière d'une Schottky  $W\text{Si}_x / \text{GaAs}$  en fonction de  $x$ .

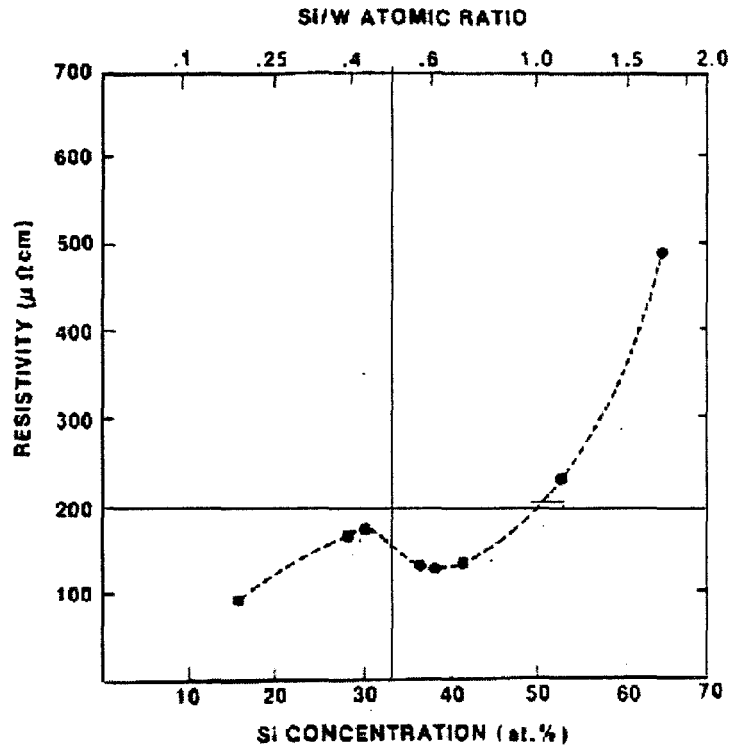


Fig. 4.3 : Résistivité d'une couche WSi en fonction de la composition avant et après recuit à 800°C et à 850°C durant 20 minutes [6].

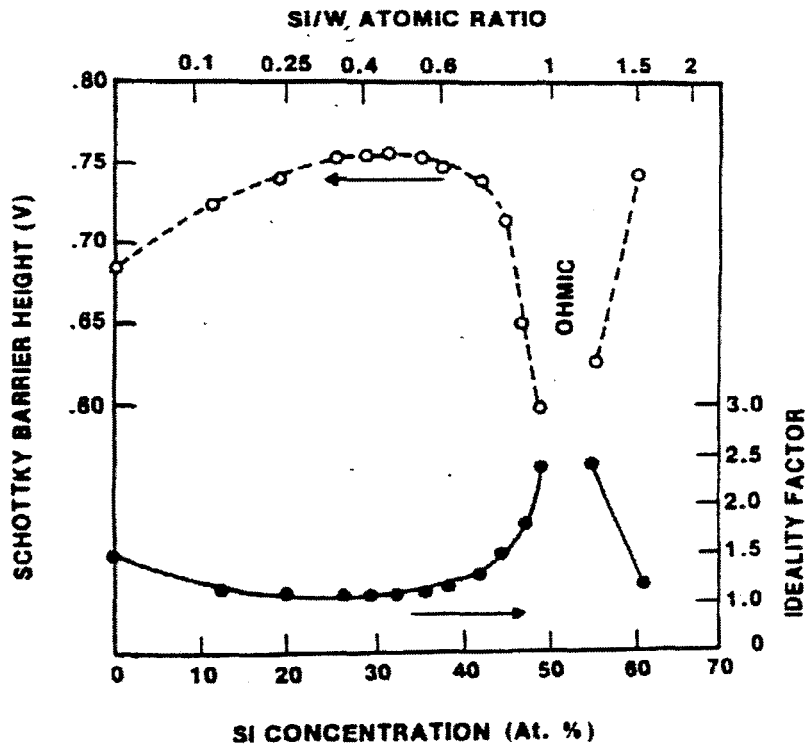


Fig. 4.4 : Hauteur de barrière et facteur d'idéalité de diodes WSi sur GaAs après recuit à 800°C durant 20 minutes en fonction de la composition du WSi [6].

La résistivité du  $WSi_x$  croît évidemment avec  $x$ , et spécialement lorsque  $x$  dépasse 50%. Une hauteur de barrière maximale de 0.76 eV est obtenue autour d'un taux de silicium de 40%. L'instabilité thermique flagrante après un taux supérieur à 0.6 s'explique par une importante exodiffusion d'arsenic dans le composé réfractaire [7].

#### IV.2.3 Comparaison des résistivités de WN, WSi et TiWN

Avec l'aide de l'échelle de résistances de grille du masque FTFET, nous avons effectué une comparaison des résistivités des couches W, WN, WSi et TiWN de 2800Å d'épaisseur avant et après un recuit typique d'implantation. Pour le dépôt de WN, nous disposons à l'IEMN d'un mélange gazeux argon - azote (3.5% d'azote). En ce qui concerne la pulvérisation du WSi, nous avons décidé d'utiliser notre cible de  $W_5Si_3$  qui permet d'obtenir un rapport Si / (W + Si) de 40% en évitant une co-pulvérisation.

Métal	Résistivité ( $\mu\Omega.cm$ ) sans recuit	Rsq ( $\Omega/sq$ ) sans recuit	Résistivité ( $\mu\Omega.cm$ ) après recuit	Rsq ( $\Omega/sq$ ) après recuit
W	35	1.25	/	/
WN	240	8.6	320	11.4
WSi	170	6.1	150	5.3
TiWN	240	8.6	280	10

Tableau 4.1 : Comparaison des résistivités et résistances carrées de couches W, WN, SWi et TiWN de 2800Å d'épaisseur avant et après un recuit à 850°C durant 10s.

Au vu de ces caractéristiques, le métal réfractaire que nous avons retenu est le  $WSi_{0.4}$ . Il s'agit en effet du métal présentant non seulement la meilleure résistivité après un recuit à 850°C, mais aussi une grande facilité de dépôt, car le seul gaz utilisé est l'argon, et une co-pulvérisation est évitée. Par ailleurs, nous expliquons la dégradation de la résistivité après recuit, dans le cas du WN et du TiWN, par une possible cristallisation de ces métaux réfractaires, et peut-être par un pourcentage d'azote insuffisant.

#### IV.2.4 Epaississement en tungstène

Cette résistivité est tout de même très élevée par rapport à celle des métallisations à base d'or ou d'aluminium couramment utilisées pour les composants en GaAs, et implique des résistances de grille importantes qui dégradent la réponse fréquentielle des composants, spécialement dans le cas de transistors submicroniques. Cette résistivité du WSi limite notamment les applications analogiques pour lesquelles

les composants requièrent des largeurs de grille importantes, contrairement à la logique à forte intégration.

Une solution simple consiste à épaissir la couche de WSi par un film de tungstène qui a une résistivité de  $35 \mu\Omega\cdot\text{cm}$ . Kanamori [8] a en effet montré qu'une séquence WSi/W peut abaisser d'une décade la résistivité d'une grille réfractaire, et qu'une couche WSi<sub>0,4</sub> fortement saturée en silicium empêche toute réaction du tungstène avec le semiconducteur.

Nous avons déposé une métallisation WSi (1200Å) / W (3300Å) dans notre bâti Plassys, et obtenu une résistivité équivalente de  $60 \mu\Omega\cdot\text{cm}$ , correspondant à une grille de résistance carrée valant  $1.4 \Omega/\text{sq}$ , ce qui correspond à une amélioration d'un facteur trois par rapport à une grille composée de WSi uniquement. De plus, la fabrication d'une telle grille en WSi/W est d'une très grande simplicité puisqu'elle se fait en pulvérisant le tungstène juste après la couche WSi, et ne nécessite donc aucun masquage ni opération technologique supplémentaire.

Au moment où nous écrivons ce mémoire, nous n'avons pas encore expérimenté de diodes WSi/W, ni réalisé des transistors à grille en WSi/W. Il est en effet nécessaire d'optimiser les épaisseurs de WSi et de W de manière à obtenir la résistivité la plus faible possible, tout en garantissant une caractéristique statique de diode Schottky correcte.

#### IV.2.5 Epaisseur en Ti/Au

Un épaisseur en tungstène est insuffisant pour des applications analogiques telles que l'amplification faible bruit, pour laquelle la résistance de grille des transistors est un paramètre fondamental. Une alternative consiste à recouvrir la grille réfractaire d'une couche à base d'or par évaporation après le recuit d'implantation. Il est pour cela nécessaire de réaliser un masquage électronique supplémentaire autour de la grille.

Cette technique d'épaissement de grille a été mise au point par H. Fawaz [9], et est toujours disponible à l'IEMN.

Afin de réussir cet épaisseur, nous avons utilisé une résine électronique tri-couche PMMA/P(MMA/MAA)/PMMA qui est plus sensible lorsqu'elle est déposée sur un métal que sur le GaAs. Le masque recouvre le niveau 1 des grilles du jeu FTFET. L'épaissement consiste en une couche de Ti/Pt/Au d'une épaisseur de 4250Å déposée par évaporation, analogue aux grilles des MESFETs et HEMTs en technologie recessée. Cette opération technologique peut se faire indépendamment avant ou après la formation des contacts ohmiques. Le principe de cette technique, ainsi qu'une photographie sont donnés en figures 4.5 et 4.6.

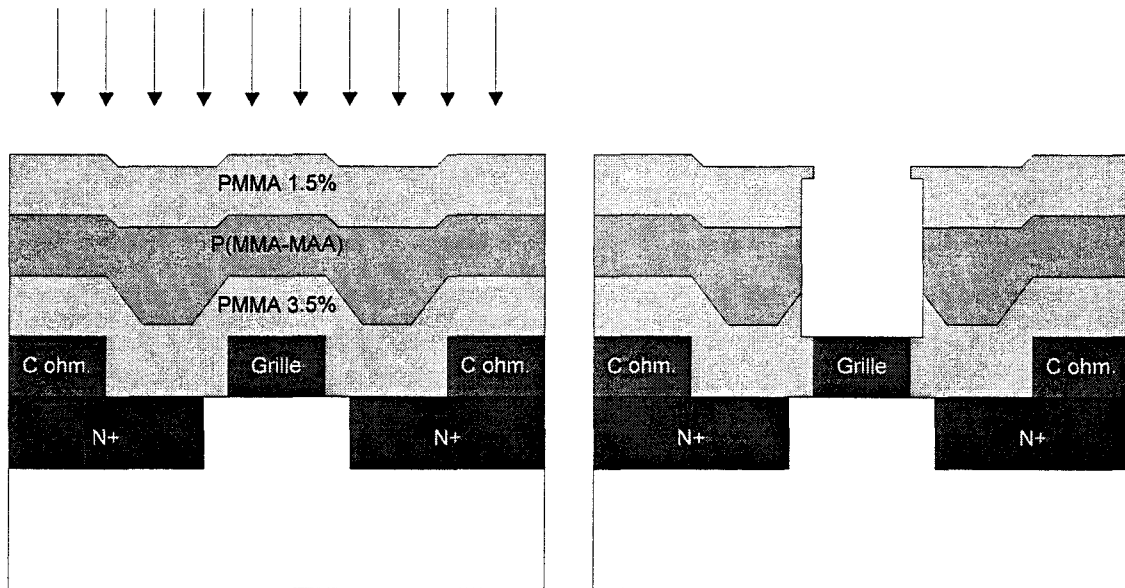


Fig. 4.5 : Technique d'épaissement de grille réfractaire [9]

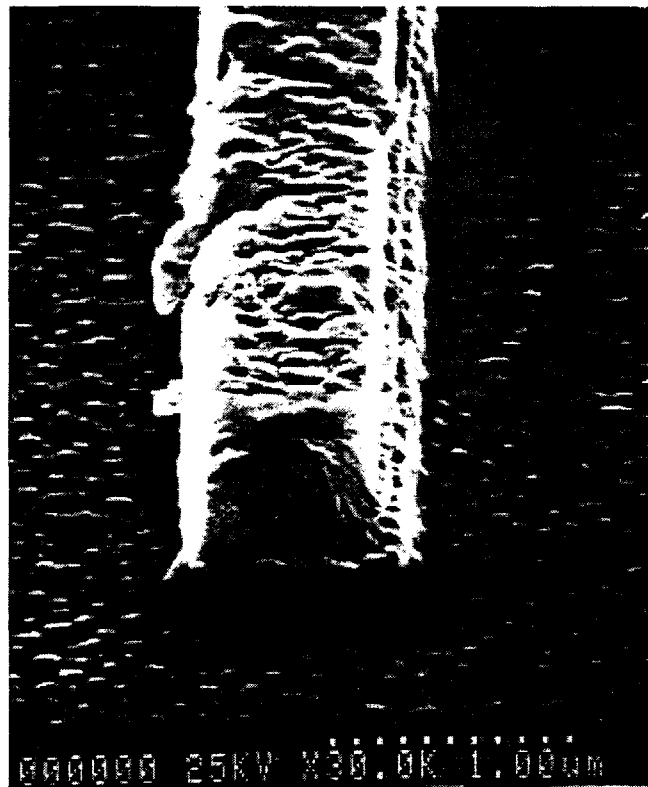


Fig. 4.6 : Photographie d'une grille réfractaire épaissie en Ti/Pt/Au [9]

Une résistance carrée de  $0.45 \Omega/\text{sq}$  a été obtenue par cet épaississement Ti/Pt/Au. Toutefois, de par l'utilisation du masqueur électronique, cette technique implique de perdre l'avantage de la technologie auto-alignée, et donc la compatibilité

avec l'intégration, et de dégrader le rendement de la technologie. Elle n'est donc adéquate que pour des applications analogiques à faible bruit nécessitant peu de composants.

En ce qui concerne les grilles des petits transistors HIGFETs impliqués dans la logique complémentaire VLSI, nous nous satisfaisons pour l'instant d'une métallisation de  $WSi_{0,4}$  unique, mais nous pensons utiliser un dépôt bi-couche  $WSi_{0,4}/W$  dès que des diodes de ce type auront été mises au point.

### IV.3 Optimisation de la qualité de dépôt de WSi

Afin d'obtenir une bonne commande de charge dans le canal des transistors et de réussir un bon contact de grille, nous avons optimisé les divers paramètres intervenant dans un dépôt de WSi, en nous basant sur des références bibliographiques et sur nos propres essais.

#### IV.3.1 Préparation du substrat avant dépôt de WSi

Il est vital de préparer chaque substrat avant un dépôt par pulvérisation afin de garantir un excellent état de la surface du matériau.

Nous procédons donc en premier lieu à un nettoyage du substrat par bains successifs :

- bain dans l'acétone dans un bac à ultrasons durant 5 minutes
- bain dans l'alcool isopropylique dans un bac à ultrasons durant 5 minutes
- substrat soumis à un courant d'eau dionisée durant 10 minutes.

Cependant, ce nettoyage risque de ne pas suffire car un substrat de GaAs tend à s'oxyder sous l'effet prolongé de l'air ambiant. Waldrop [10] a démontré l'existence d'une couche d'oxyde d'épaisseur comprise entre 10 et 20Å.

Une désoxydation chimique est possible par le bain du substrat dans un acide tel que le BOE (acide fluorhydrique tamponné) durant 30 secondes. Une autre possibilité pour supprimer cet oxyde natif est de procéder à une pulvérisation inverse directement dans le bâti Plassys. L'idée est d'appliquer une tension de pulvérisation de 150 V durant 1mn 30s, et donc d'envoyer une puissance très faible (quelques dizaines de watts) non pas sur la cible réfractaire, mais sur le substrat. L'intérêt de cette pulvérisation inverse est de désoxyder in-situ le substrat qui ne sera donc plus soumis à l'air ambiant avant le dépôt.

Toutefois, une telle désoxydation entraîne une gravure du cap de GaAs se trouvant en surface des wafers, et par conséquent accroît le risque d'échec du recuit d'implantation, spécialement dans le cas d'un cap fin de 30Å.



De plus, nous avons obtenu des caractéristiques de grille très convenables sur nos couches HIGFET, avec une hauteur de barrière de 1.2 V, et une tension de claquage de -11V (tension de grille pour laquelle le courant de grille inverse vaut  $1\mu\text{A}/\mu\text{m}^2$ ), et ce sans procéder à aucune désoxydation (fig. 4.7). Une pulvérisation inverse n'est donc pas indispensable et sera évitée, surtout sur les couches HIGFET à cap fin de GaAs.

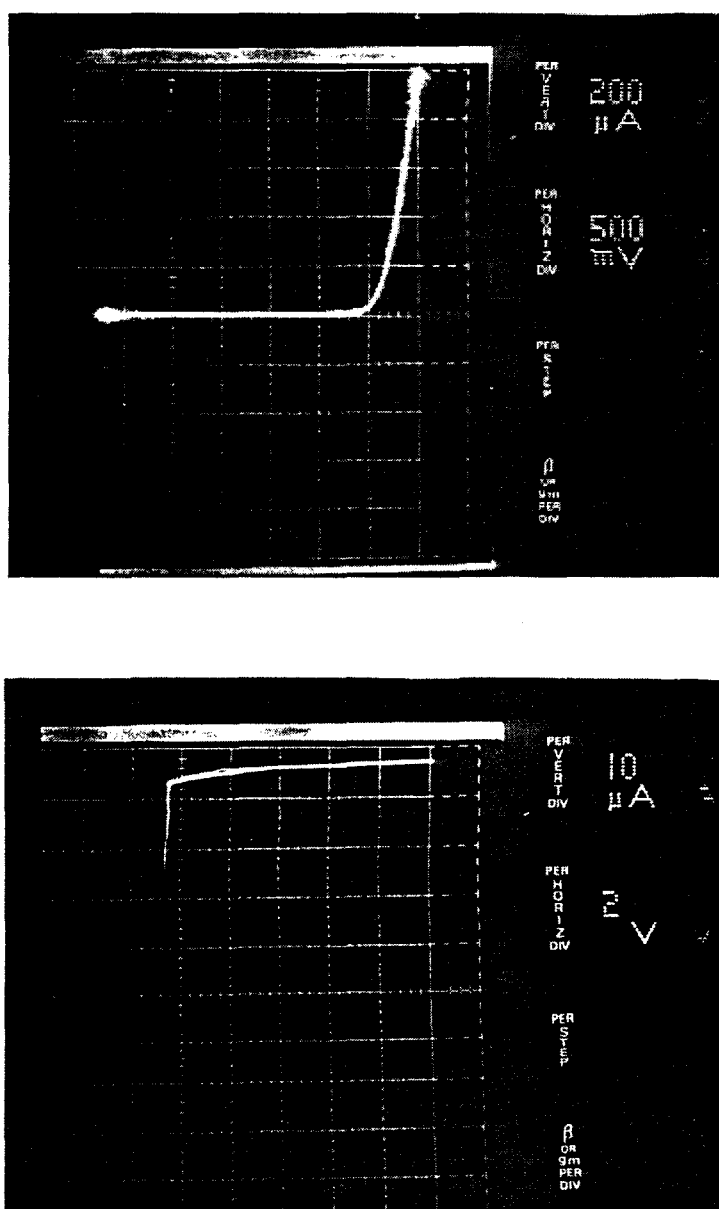


Fig. 4.7 : Caractéristiques statiques directe et inverse de grille d'un HIGFET  $2*20*1\ \mu\text{m}$ . La hauteur de barrière et la tension de claquage valent respectivement 1.2V et -11V.

#### IV.3.2 Décapage de la cible $\text{W}_5\text{Si}_3$

Une autre précaution élémentaire est de garantir une excellente pureté de la cible WSi avant le dépôt sur le substrat. On décape donc la cible WSi en pulvérisant 2000 $\mu$  au préalable à vide, c'est-à-dire sur le cache du bâti.

Dans le cas où l'enceinte du bâti a été remise à l'air, pour permuter des cibles, par exemple, il est vital d'enlever une épaisseur plus importante. En effet, nous avons observé une importante dégradation des caractéristiques de grille sur nos couches HIGFET lorsque l'enceinte du bâti avait été remise à l'air (fig. 4.8). Ceci ne peut s'expliquer que par une humidification de la surface de la cible  $W_5Si_3$  lors de la remise à l'air. On procède donc dans ce cas à un important décapage de la cible durant une demi-heure, ce qui revient à enlever un micron de WSi. Nous avons retrouvé des caractéristiques de grille analogues à la figure 4.7 à la suite de cette opération.

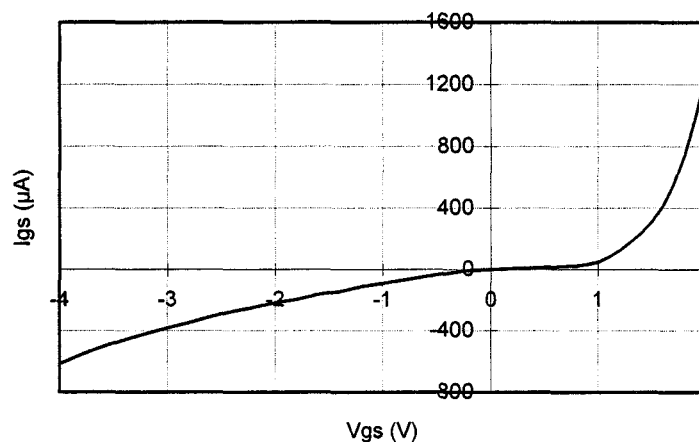


Fig. 4.8 : Caractéristique de grille de WSi avec une pulvérisation consécutive à une remise à l'air de l'enceinte du bâti Plassys.

### IV.3.3 Optimisation des paramètres de dépôt

En ce qui concerne le dépôt de WSi proprement dit, les paramètres à optimiser sont le mode de pulvérisation (générateur RF 13.56 MHz ou DC), la tension de polarisation et le débit d'argon.

Quelles que soient les conditions de puissance et de pression, Murray [11] a montré qu'une pulvérisation en mode RF donne une couche réfractaire de meilleure qualité qu'un dépôt en mode DC, avec notamment l'obtention d'une granulation fine, et un métal réfractaire qui reste amorphe après un recuit à des températures plus élevées que dans le cas d'un dépôt en DC. Nous avons mesuré une résistivité de  $180 \mu\Omega.cm$  pour une couche de WSi en pulvérisation DC, ce qui est effectivement un peu supérieur à la pulvérisation RF, et nous avons donc opté pour un dépôt en mode RF.

En ce qui concerne le débit d'argon lors de la pulvérisation, une pression voisine de 20 mT permet de diminuer le stress de nature compressive du métal réfractaire sur le matériau [2], et d'améliorer la qualité d'adhésion. Nous avons donc choisi une pression de 20 mT, ce qui correspond à un débit d'argon de 84 cc.

Une tension de polarisation élevée permet d'atteindre des vitesses élevées de dépôt de tungstène, et va donc introduire un minimum d'impuretés au sein de la couche réfractaire. En revanche, il convient d'éviter des polarisations trop hautes qui sont source d'échauffement pour la cible WSi et pour le substrat. Nous avons choisi d'effectuer nos dépôts de WSi à 480 V, ce qui correspond à une puissance intermédiaire de 300 W.

Les conditions de pulvérisation sont résumées dans le tableau 4.2 :

Métal réfractaire	WSi <sub>0,4</sub>
Source	RF
Pression ambiante	20 mT
Débit d'argon	84 cc
Tension de polarisation	480 V
Puissance	300 W
Vitesse de dépôt	280 Å/s

Tableau 4.2 : Conditions de dépôt des grilles réfractaires par pulvérisation

La durée du dépôt, ou autrement dit l'épaisseur des grilles réfractaires, sont choisies en fonction de l'épaisseur de la résine négative utilisée et de la sélectivité de la gravure ionique réactive de cette résine avec le WSi.

#### IV.4 Définition de la grille

Après avoir déposé la couche de WSi par pulvérisation massivement sur tout le substrat, il faut réaliser des motifs de grille qui peuvent résister à la gravure ionique réactive du WSi<sub>x</sub>, et donc servir de cache.

Nous nous sommes tournés vers un cache en résine négative qui peut facilement s'éliminer dans un bain de "remove" adéquat qui ne présente aucun danger pour le matériau. Cependant, ce type de résine s'attaque assez vite lors d'une gravure GIR et, par conséquent, limite fatalement l'épaisseur  $d$  de la couche de WSi que l'on peut réaliser :

$$d = \alpha \cdot r \quad (\text{eq. 4.1})$$

où  $\alpha$  est la sélectivité de cette résine par rapport au WSi, et  $r$  l'épaisseur de la couche de WSi.

La première résine négative que nous avons utilisée pour nos réalisations technologiques de transistors HIGFETs était la Shippley SAL 601, dont une insolation au masqueur électronique permettait de définir des grilles de  $0.3 \mu\text{m}$  avec une bonne résolution pour une épaisseur de  $5500\text{\AA}$ . Dans ce cas, l'épaisseur admissible de WSi était de  $2800\text{\AA}$ , ce qui peut entraîner des valeurs de résistances de grille assez élevées.

Nous avons ensuite utilisé la résine négative Hoetsch AZPN 114, qui permet de définir des profils extrêmement droits avec une épaisseur de  $8500\text{\AA}$ , ce qui autorise une couche de WSi de  $4400\text{\AA}$  d'épaisseur. De plus son adhésion sur un wafer est excellente, et elle offre l'avantage de tolérer une gamme d'épaisseurs importante (de  $6000$  à  $11000\text{\AA}$ ) en garantissant toujours une excellente définition.

Le tableau 4.3 résume les caractéristiques des grilles dont la définition fait intervenir ces deux résines :

Résine négative	SAL 601	AZPN 114
Epaisseur de résine ( $\text{\AA}$ )	5500	8500
Sélectivité résine/WSi	2	1.9
Epaisseur de WSi ( $\text{\AA}$ )	2800	4400
Résistance carrée du WSi ( $\Omega$ )	5.3	3.4

Tableau 4.3 : Caractéristiques des formations de grilles utilisant des résines SAL 601 et à AZPN 114.

## IV.5 Gravure de la grille en WSi

### IV.5.1 Intérêts et principe de la gravure ionique réactive

Nous effectuons la gravure des grilles des transistors dans un bâti GIR (Gravure Ionique Réactive) Alcatel. Ce type de gravure sèche est essentiel pour une technologie auto-alignée à haut rendement et se distingue d'une gravure humide (gravure qui consiste à plonger le substrat à graver dans un bain acide ou basique) par les critères suivants :

- uniformité de l'attaque sur tout un wafer.
- contrôlabilité des paramètres de la gravure, tels que puissance et débit de gaz, et par conséquence, reproductibilité d'un wafer à un autre.

- possibilité de gravure anisotrope. En effet, une gravure GIR peut être optimisée de manière à graver uniquement dans un sens perpendiculaire au substrat, afin d'éviter une sous-gravure latérale. L'anisotropie est un facteur extrêmement important dans le cas d'une grille de transistors en vue d'obtenir une bonne géométrie des profils de WSi.

- sélectivité par rapport au GaAs. Cette sélectivité est primordiale afin de ne pas graver entièrement le cap de GaAs, ce qui rendrait la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  à nu, et par conséquent détériorerait l'adhésion du nitrure sur le matériau qui pourrait craquer lors du recuit à haute température (cf. Ch III).

Le principe d'une gravure GIR est similaire à celui d'un dépôt par pulvérisation. Il s'agit d'appliquer une puissance RF à 13.56 MHz non pas à une cible métallique, mais au substrat lui-même, dans une atmosphère de gaz ionique réactif. On amorce ainsi la création d'un plasma, et on extrait des atomes de la surface du wafer, qui vont réagir avec les ions et former des molécules que l'on évacue par pompage. Les paramètres à fixer sont la puissance que l'on envoie au substrat, autrement dit la tension de polarisation inverse appliquée à celui-ci, et la pression que l'on règle en fixant le débit du gaz réactif.

Les gaz que l'on peut utiliser pour une attaque GIR sont le chlore, l'oxygène, l'argon, l'hélium, etc. A l'IEMN, nous disposons de gaz fluorures, l'hexafluorure de soufre ( $\text{SF}_6$ ) et le tétrafluorométhane ( $\text{CF}_4$ ). Ces gaz ont déjà été utilisés dans des procédés technologiques auto-alignés pour MESFETs à grille réfractaire et conviennent parfaitement pour l'attaque de composés de tungstène [11] [12]. Une gravure ionique réactive avec un gaz fluorure est par ailleurs très efficace sur les diélectriques. Nous l'utiliserons donc tout au long de notre procédé auto-aligné, pour la gravure du WSi, puis pour la gravure du nitrure de silicium.

On peut effectuer une attaque GIR sous deux régimes en jouant sur la seule tension de polarisation :

- à tension élevée (au-delà de 300 V), la gravure est de type physique, et donc anisotrope, rapide, mais violente. Elle a l'effet d'un "martèlement ionique" sur la surface du substrat, ce qui la rend moins sélective. En revanche, ce régime permet l'obtention de profils droits.

- à faible tension (moins de 150 V), la gravure est de type chimique, donc lente, isotrope, mais très sélective et elle crée peu de dommages sur la surface du semiconducteur.

#### IV.5.2 Imperfections de notre bâti Alcatel

La technique de gravure GIR semble donc performante et particulièrement adaptée aux exigences de notre technologie auto-alignée. Malheureusement, le bâti de GIR Alcatel dont nous disposons est d'un modèle très ancien et souffre d'un bon nombre de problèmes.

Si la reproductibilité de nos gravures est quasiment parfaite, en revanche, nous ne disposons d'aucun moyen de détecter la fin d'une attaque. Cette détection est purement visuelle, ce qui suffit dans le cas d'une gravure de WSi, qui est de couleur grise, mais pas dans le cas d'une attaque d'une couche d'oxyde ou de nitrure, tous deux transparents lorsque leur épaisseur est inférieure à 300Å. Par mesure de sécurité, cette limitation du bâti contraint à graver un peu plus longtemps qu'il ne faudrait, et en conséquence, à graver un peu le semiconducteur.

Par ailleurs, les parois de l'enceinte du bâti sont en permanence polluées. En effet, des résidus de résine sont parfois mal évacués par le pompage, et se collent aux parois de l'enceinte. Lors de gravure ultérieures, ces polymères se redéposent sur le substrat et polluent ainsi la surface du matériau. Pour remédier à ce problème, il convient de procéder, avant toute gravure, à un nettoyage de l'enceinte par un violent plasma d'oxygène qui permet d'éliminer les polymères.

### IV.5.3 Choix du gaz réactif

Les gaz parmi lesquels nous devons faire un choix sont SF<sub>6</sub> et CF<sub>4</sub>, avec la possibilité d'ajouter de l'oxygène ou de l'hydrogène. Si l'utilisation de CF<sub>4</sub> entraîne une vitesse d'attaque assez faible, en revanche, une gravure au SF<sub>6</sub> peut se dérouler jusqu'à six fois plus rapidement qu'une gravure au CF<sub>4</sub>. A l'opposé, la sélectivité par rapport au GaAs est moindre dans le cas d'une attaque SF<sub>6</sub>. Enfin, une gravure SF<sub>6</sub> est beaucoup plus isotrope qu'une gravure CF<sub>4</sub>, et peut entraîner de mauvaises géométries des profils de grille. Cette isotropie provient d'une forte concentration d'ions F<sup>+</sup> dans le plasma (quatre fois plus importante que pour un plasma de CF<sub>4</sub> à pressions identiques), qui favorise une attaque de type chimique [12].

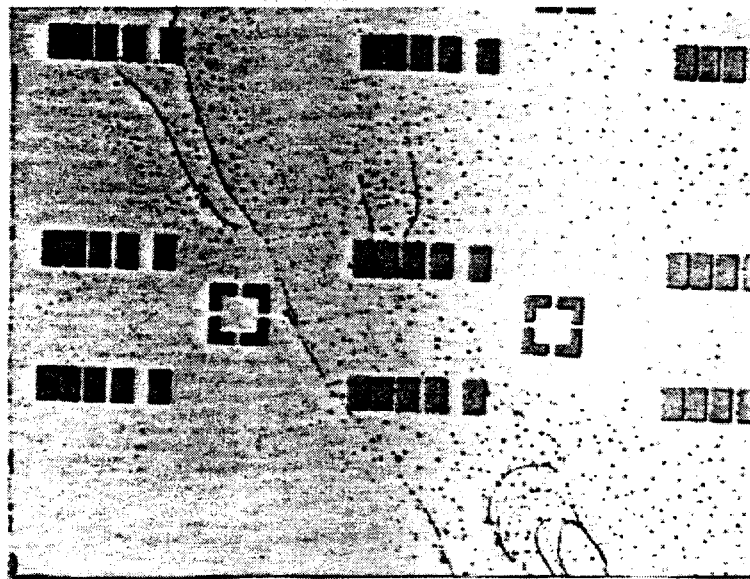


Fig. 4.9 : Photographie d'un substrat après gravure de WSi au CF<sub>4</sub> seul.

Pour toutes ces raisons, nous avons exclu toute attaque  $SF_6$ . Nous avons donc effectué nos premiers essais en utilisant le tétrafluorométhane. Ces essais ont révélé qu'une fois l'attaque de WSi terminée, il y a apparition de nombreuses traces de polymères sur la plaquette (fig. 4.9). Ces polymères proviennent du masque de résine que le tétrafluorométhane grave lors de l'attaque. La solution la plus simple et la plus efficace afin d'éliminer ces redépôts de polymères est de procéder à un ajout d'oxygène au  $CF_4$ . Malheureusement, l'oxygène réagit avec la platine en quartz de l'enceinte, et son utilisation entraîne des effets de bords indésirables sur le wafer, sous la forme de sur-gravure vers les extrémités de la plaquette. Il en résulte une mauvaise uniformité de l'attaque : la vitesse de gravure est plus élevée vers les bords d'un wafer qu'au centre, comme indiqué sur la figure 4.10, qui montre l'évolution de la gravure d'une couche de WSi sur un substrat de deux pouces.

Après 4 mn 30s, la couche de WSi est entièrement gravée sur les bords du substrat, alors que la gravure au centre se termine après 5 mn 15s. Dans cet exemple, la surface du semiconducteur est donc soumise à la gravure GIR durant 75 secondes. Dans tous les cas, la surface du matériau hors du centre est exposée assez longtemps au gaz réactif, de sorte qu'une sur-gravure du cap de GaAs est inévitable. Par ailleurs, cette exposition entraîne forcément des dommages en surface, de par le "martèlement ionique", et l'exposition à un plasma composé de fluor, de carbone et d'oxygène. Il est donc nécessaire d'optimiser les conditions de gravure GIR lors de la fin de l'attaque, afin de la rendre chimique, c'est-à-dire très sélective vis-à-vis de la zone du semiconducteur à nu.

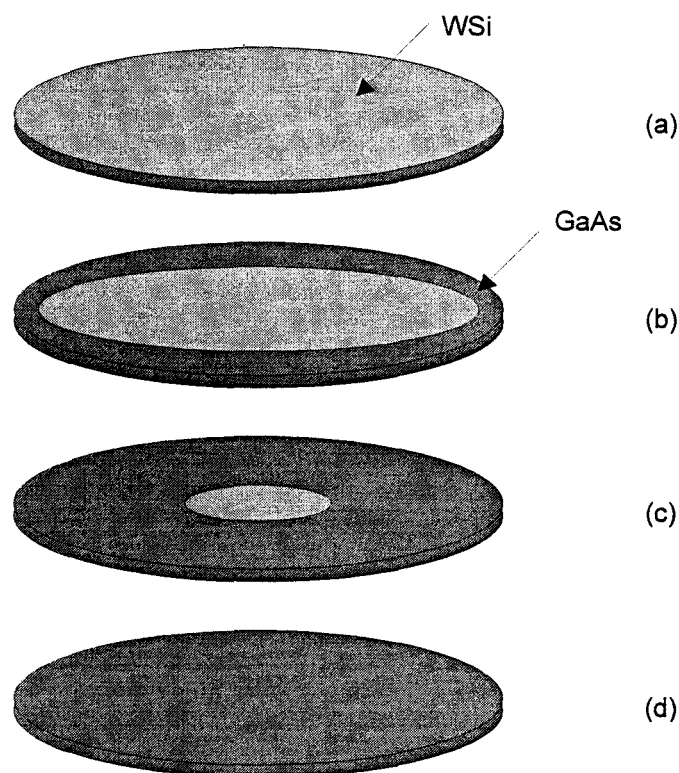


Fig. 4.10 : Evolution d'une gravure GIR sur une couche de WSi de 2800Å d'épaisseur sur un substrat de GaAs, par  $CF_4 + 10\% O_2$  à 340 V : dès le début (a), après 4mn 30s (b), après 5mn 30s (c), et en fin d'attaque, après 5mn 45s (d).

La solution est de procéder à une gravure en deux étapes :

- Dans un premier temps, on effectue une gravure de type physique, donc à tension de polarisation élevée (300 V), qui permettra de façonner des profils de grille bien définis.

- Dès que la couche de WSi sur les bords du substrat est entièrement éliminée, il faut diminuer fortement la tension inverse, de manière à réaliser une fin de gravure de type chimique qui attaquera peu le cap de GaAs sur les extrémités du wafer.

#### IV.5.5 Mise en évidence des dommages causés par l'attaque GIR

Il est possible d'examiner la composition atomique de la surface d'un wafer par une analyse de surface Auger. Une telle analyse a décelé une pollution massive de la surface du wafer après attaque GIR (fig. 4.11).

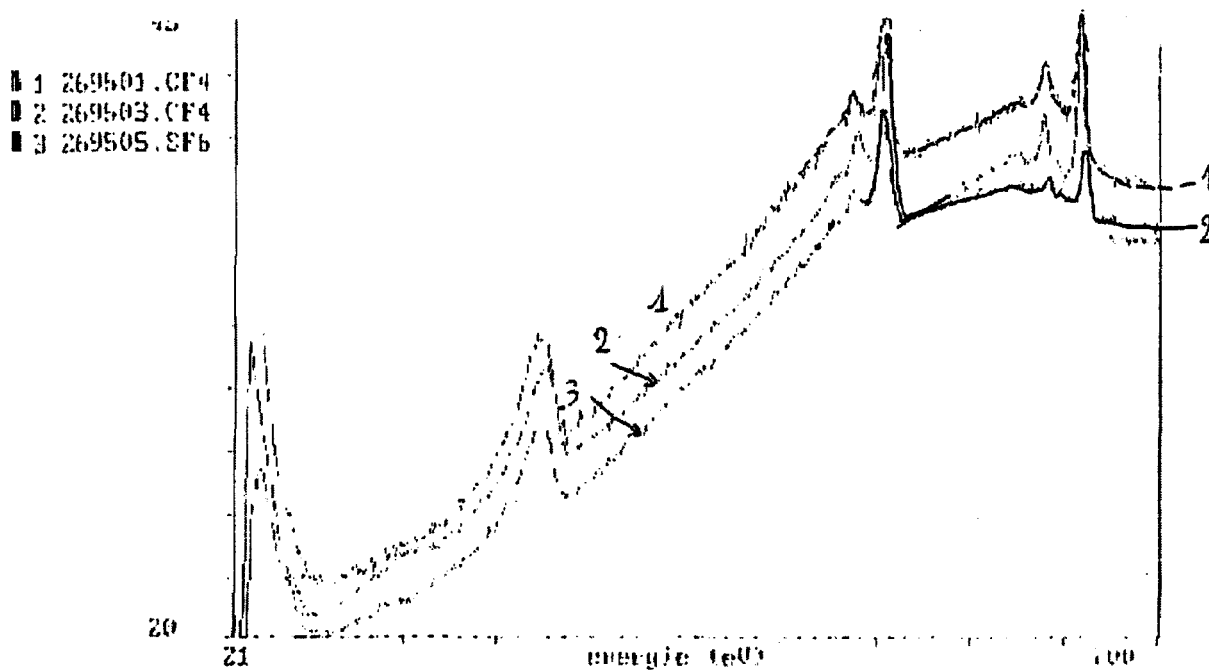


Fig. 4.11 : Analyses de surface Auger d'un substrat de GaAs suite à une gravure GIR à 340 V. Cas 1 : gravure au  $\text{CF}_4 + 10\% \text{O}_2$ . Cas 2 : même substrat, mais décapé par pulvérisation inverse. Cas 3 : gravure au  $\text{SF}_6 + 30\% \text{O}_2$ .

Il y a en effet apparition de trois pics, témoins de la présence de carbone, d'oxygène et de fluor, surtout dans le cas d'une gravure au  $\text{SF}_6$ . Si la présence d'oxygène et de carbone en surface peut s'expliquer par une oxydation du matériau



entre la gravure et l'analyse Auger, par contre, l'apparition du fluor ne peut provenir que du gaz fluorure utilisé pour la gravure GIR. Sur un substrat (cas 2 de la fig. 4.11), nous avons renouvelé l'analyse Auger après avoir gravé environ 50Å du matériau par pulvérisation inverse. Des traces de fluor subsistent, ce qui montre que le matériau est gravement pollué en profondeur. Ceci renforce l'idée de terminer la gravure de façon chimique, qui peut rendre la pollution en fluor moins importante.

Les défauts de notre bâti GIR impliquent donc une gravure de WSi qui peut rendre difficile la réussite du recuit d'implantation, étant donné que la couche de nitrure d'encapsulation adhèrera mal à une surface d'AlGaAs oxydée aux endroits où le cap de GaAs aura été entièrement gravé, et polluée de surcroît. Il est donc vital de terminer l'attaque de façon chimique.

#### IV.5.6 Vitesses d'attaque au $CF_4 + 10\% O_2$

Le gaz fluorure que nous avons retenu pour nos gravures est donc le  $CF_4 + 10\% O_2$ . L'attaque est réalisée dans une pression de 50 mT. Le pourcentage de 10% d'oxygène est fixé en réglant à 45 mT la pression partielle de  $CF_4$  seul, et en ajoutant de l'oxygène jusqu'à atteindre une pression totale de 50 mT.

La figure 4.12 résume les vitesses d'attaque obtenues en utilisant le mélange  $CF_4 + 10\% O_2$  sur le tungstène, le WSi, le nitrure de silicium, la silice, la résine électronique négative et le GaAs.

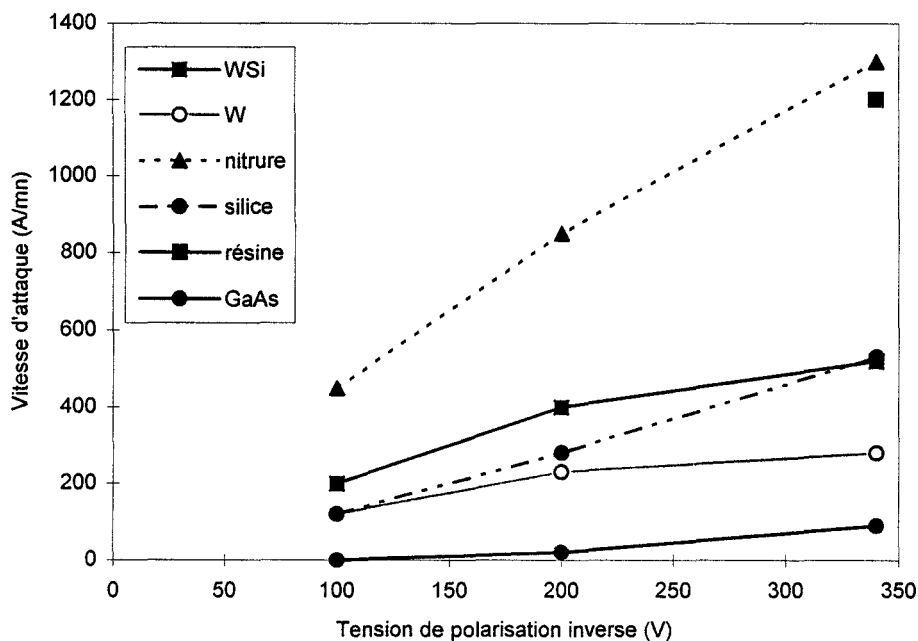


Fig. 4.12 : Vitesses d'attaque de W, WSi,  $Si_3N_4$ ,  $SiO_2$ , résine négative et GaAs par attaque GIR  $CF_4 + 10\% O_2$  sous différentes tensions de polarisations.

Pour une tension de polarisation de 340V, une couche de WSi est gravée à raison de 500Å/mn environ, soit deux fois plus rapidement que le tungstène pur. Il s'en suit que pour une épaisseur métallique de 4000Å, un temps de gravure de 8 mn environ est nécessaire. En ce qui concerne l'effet d'une attaque au  $CF_4 + 10\% O_2$  sur l'Arséniure de Gallium, nous avons gravé 800Å de matériau durant 10 mn à 340V. En revanche, pour une attaque analogue à 100V, nous n'avons décelé aucune gravure du GaAs, ce qui confirme l'excellente sélectivité par rapport au GaAs de cette attaque GIR à basse tension de polarisation.

#### IV.5.7 Procédure de gravure du WSi

Nous réalisons donc chaque gravure par  $CF_4 + 10\% O_2$  à une tension de polarisation de 340 V, ce qui correspond à une puissance RF égale à 70 W, jusqu'à ce que la couche de WSi ait été entièrement gravée aux extrémités du wafer, et on termine alors la gravure avec une tension de 100 V. Cette optimisation a permis d'atteindre une excellente définition de la géométrie des grilles sans trop abîmer la surface du matériau. Chaque attaque est réalisée en cinq étapes :

- Application d'un plasma d'oxygène à 500 V durant 5 mn dans l'enceinte vide afin de la débarasser de ses résidus polymérisés.
- Introduction du substrat à graver dans le bâti Alcatel et pompage durant 10 mn.
- Gravure  $CF_4 + 10\% O_2$  à 340 V (70 W) dans une pression ambiante de 50 mT correspondant à un débit de gaz de 90 cc, jusqu'à atteindre la fin de l'attaque sur les bords du substrat.
- Fin de la gravure au  $CF_4 + 10\% O_2$  à 100 V et 50 mT.
- Application d'un plasma doux d'oxygène à 200 V, durant une ou deux minutes, afin d'éliminer les résidus de résine négative qui subsistent au-dessus des grilles.

#### **IV.6 Photographies de grilles 1µm et 0.5µm**

La figure 4.13 représente des motifs de grilles définis en résine AZPN 114 (8500 Å) pour des longueurs de 1 µm (a) et 0.5 µm (b) après insolation électronique et révélation. Les profils que l'on peut observer sont extrêmement droits. Après gravure ionique réactive dans les conditions que nous avons décrites précédemment, ces mêmes grilles métalliques sont représentées en figure 4.14. L'épaisseur de WSi est de 4000 Å.

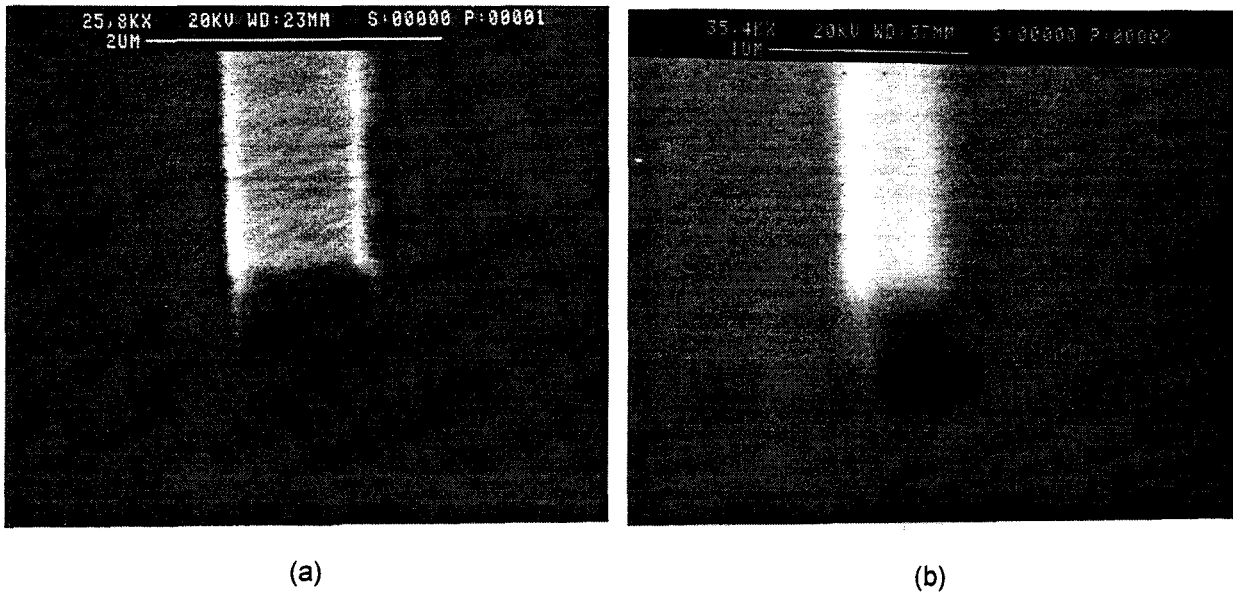


Fig. 4.13 : Photographies de motifs de grilles de 1  $\mu\text{m}$  (a) et 0.5  $\mu\text{m}$  (b) en AZPN 114.

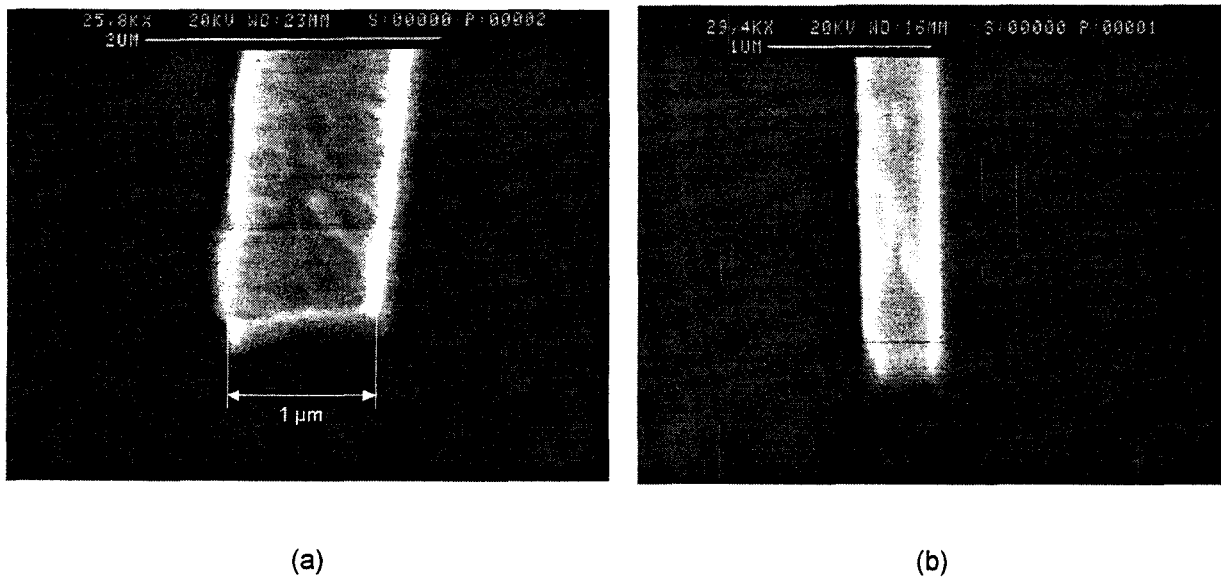


Fig. 4.14 : Photographies de grilles en WSi de 1  $\mu\text{m}$  (a) et 0.5  $\mu\text{m}$  (b).

Les longueurs réelles que nous avons mesurées sont très voisines de 1  $\mu\text{m}$  et de 0.5  $\mu\text{m}$ . Cependant, on constate un profil en "champignon" correspondant à une légère sous-gravure latérale du WSi à mi-hauteur de la grille. Cette sous-gravure provient de la fin de l'attaque de type chimique à 100V, nécessaire afin de ne pas trop entâmer le cap de GaAs de la structure épitaxiale, mais qui privilégie une gravure de nature isotrope.

## IV.7 Conclusions et perspectives

Nous disposons donc d'une technologie de réalisation de grilles réfractaires en WSi par pulvérisation, définition par résine électronique négative et gravure ionique réactive. Même si notre bâti de gravure n'est plus de la meilleure qualité qui soit, néanmoins, nous avons réussi à obtenir des profils de gravure assez anisotropes tout en minimisant à la fois les dommages causés sur la surface des wafers. De plus, ce procédé de réalisation des grilles est parfaitement reproductible, et donc compatible avec notre procédé auto-aligné de transistors HIGFETs. Nous avons notamment optimisé :

- le dépôt du WSi afin d'obtenir une assez faible résistivité et une bonne caractéristique statique de contact Schottky.
- le masquage électronique des grilles par le biais des résines négatives SAL 601 et AZPN 114.
- la gravure du WSi en minimisant l'attaque et la pollution de la surface du matériau GaAs.

Une technique d'épaississement de grille en Ti/Au est disponible pour des applications analogiques à intégration moyenne de composants. Nous avons démontré les attraits d'une technique intermédiaire bi-couche WSi/W à faible résistivité pour la logique complémentaire VLSI. Afin de valider cette étude préliminaire, une campagne technologique devra impérativement être entreprise, en vue :

- de réaliser des diodes Schottky WSi/W afin d'optimiser les épaisseurs de WSi et de W pour atteindre le meilleur compromis entre une faible résistivité et un bon comportement Schottky.
- d'optimiser la gravure ionique réactive pour une séquence WSi/W. En effet, étant donné que le WSi s'attaque deux fois plus vite que le tungstène (cf. fig. 4.13), une sous-gravure latérale du WSi beaucoup plus importante que celle observée en fig. 4.15 peut survenir, modifiant les profils verticaux des grilles. Il faudra donc revoir les paramètres de la gravure en tenant compte des différentes vitesses d'attaque.

## BIBLIOGRAPHIE DU CHAPITRE IV

- [1] F. C. So, "WN<sub>x</sub> properties and applications", *Thin Solid Film* 153, 1987, pp. 507-511.
- [2] K. M. Yu, J. M. Jaklevic and E. E. Haller, "High-temperature annealing characteristics of tungstene and tungstene nitride Schottky contacts to GaAs under different annealing conditions", *J. Appl. Phys.*, vol. 64(3), 1988, pp. 1284-1290.
- [3] R. Murray, "Comparison of the structure and electrical properties of thin tungstene films deposited by radio frequency sputtering and ion beam sputtering", *J. Appl. Phys.*, vol. 58(9), 1985, pp. 3583-3589.
- [4] H. Yamagishi, "Characteristics of WN/GaAs Schottky contacts formed by reactive ion sputtering", *Jpn. J. Appl. Phys.*, vol. 23, 1984, pp. 895-898.
- [5] A. E. Geissberger, R. A. Sadler, F. A. Leyenaar and M. L. Balzan, "Investigation of reactively sputtered tungstene nitride as high temperature stable Schottky contacts to GaAs", *J. Vac. Sci. Technol. A*, vol 6(6), 1986, pp. 3091-3094.
- [6] A. G. Lahav and C. S. Wu, "WSi<sub>x</sub> refractory metallization for GaAs metal-semiconductor field-effect transistors", *J. Vac. Sci. Technol. B*, vol 6(6), 1988, pp. 1785-1795.
- [7] K. T. Alavi, "Electrical and chemical characterization of W<sub>1-x-y</sub>Si<sub>x</sub>N<sub>y</sub> (0 < x < 0.42, 0 < y < 0.30) Schottky diodes for self-aligned gate GaAs MESFETs", *IEEE Trans. Electron Devices*, vol. ED-42, 1995, pp. 1205-1215.
- [8] M. Kanamori, K. Nagai and T. Nozaki, "Low-resistivity W/WSi<sub>x</sub> bilayer gates for self-aligned GaAs metal-semiconductor field-effect transistor large-scale integrated circuits", *J. Vac. Sci. Technol. B*, vol. 5(5), 1987, pp. 1317-1320.
- [9] H. Fawaz, "Technologie multifonction de transistors à effet de champ sur matériaux III-V pour logique rapide et hyperfréquences", thèse de doctorat, Janvier 1993.
- [10] J. R. Waldrop, "Interface chemistry and electrical properties of tungstene Schottky-barrier contacts to GaAs", *Appl. Phys. Lett.*, vol. 41(4), 1982, pp. 350-352.
- [11] C. C. Tang and D. W. Hess, "Tungstene etching in CF<sub>4</sub> and SF<sub>6</sub> discharges", *J. Electrochem. Soc.*, vol. 131(1), 1984, pp. 115-119.
- [12] R. J. Shul, M. E. Sherwin, A. G. Baca and D. J. Rieger, "Etching of sub-0.5 μm W/WSi<sub>x</sub> bilayer gates", *Electron. Lett.*, vol. 32(1), 1996, pp. 70-71.



## CHAPITRE V

### OPTIMISATION DE L'IMPLANTATION IONIQUE ET DU RECUIT D'ACTIVATION

Les caissons de source et de drain des transistors HIGFETs de type n et de type p sont réalisés par un dopage à l'aide d'implantations ioniques, suivies d'un recuit thermique rapide afin d'activer les espèces implantées. L'implanteur dont nous disposons est un Eaton modèle GA2004. La surface maximale d'un substrat que l'on peut implanter équivaut à un wafer de 4 pouces. L'énergie maximum est 200 keV. Toutes les implantations sont réalisées par un inclinaison du substrat d'un angle de  $7^\circ$  par rapport à la normale, afin d'éviter des phénomènes de canalisation.

#### **V.1 Influence du profil de dopage sur les performances des composants**

Tout profil de dopage est déterminé en sélectionnant la dose et l'énergie de l'implantation ionique, selon la théorie de Lindhard - Scharff - Schiott (LSS) [1]. Avant de choisir les dose et les énergies des espèces de type n et de type p à implanter, il est nécessaire de comprendre comment agit le profil de dopage sur les caractéristiques électriques des composants.

##### V.1.1 Influence sur les contacts ohmiques

L'obtention de faibles résistances de contact, inférieures à  $0.1 \Omega \cdot \text{mm}$  par exemple, passe par un dopage élevé et au moins égal à  $5 \times 10^{18} \text{ cm}^{-3}$  sous les plots des contacts. Il faut donc implanter le semiconducteur sous les contacts ohmiques avec une dose conséquente, spécialement pour un matériau à large bande interdite tel qu' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  dont le gap dépasse 2 eV quand x se situe au-delà de 0.4.

##### V.1.2 Influence sur la résistance de source

La résistance de source de tout transistor à effet de champ limite sa transconductance extrinsèque et sa fréquence de coupure. Elle s'exprime à partir de la résistance carrée  $R_{\square}$  de la zone d'accès de source et de la distance grille - source par l'équation 5.1 :

$$R_S = R_C + R_{\square} d/w \quad (\text{eq. 5.1})$$

$R_C$  étant la résistance du contact de source et  $w$  la largeur du canal (fig. 5.1).

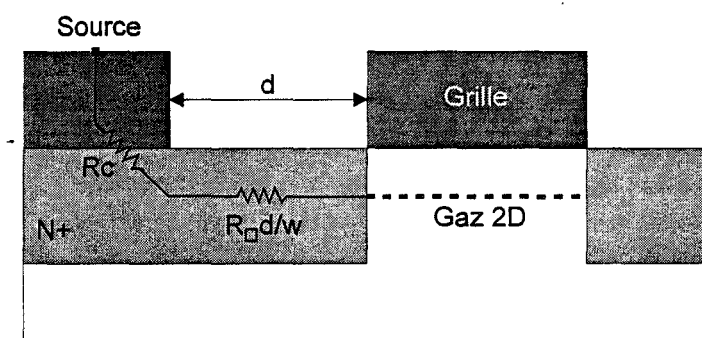


Fig. 5.1 : Représentation des composantes des résistances séries d'accès.

Les implantations ioniques, ainsi que les contacts ohmiques, étant définis par un masquage en photolithographie, la distance entre les contacts et la grille des transistors est typiquement de  $2 \mu\text{m}$ , ce qui assure une parfaite fiabilité dans le masquage des plots de contact. On a donc besoin d'un niveau de dopage le plus élevé possible entre la grille et les contacts ohmiques.

### V.1.3 Influence sur la capacité de grille et sur le courant de grille de surface

Un dopage élevé en faible profondeur et proche du flanc de la grille d'un transistor induit l'acroissement de la capacité de grille latérale. Cette composante de la capacité  $C_{GS}$  est indésirable puisqu'elle dégrade la fréquence de coupure sans contribuer à générer des charges dans le canal du composant. En fait il existe un compromis entre  $R_S$  et  $C_{GS}$  en termes de dopage dans la zone d'accès près de la grille, même si l'usage d'un espaceur en  $\text{Si}_3\text{N}_4$  permet de limiter cette capacité latérale de grille.

Par ailleurs, par une diffusion latérale des espèces implantées lors du recuit d'activation, un dopage élevé en faible profondeur, au ras de la grille, va entraîner une conduction parasite entre la zone d'accès et le métal de grille, et donc un courant de grille latéral important. Par conséquent, il est impératif de doper faiblement les zones d'accès en surface proches du bord de la grille.



#### V.1.4 Influence sur les effets de canal court

Les effets de canal court ont lieu dans le cas de tout procédé auto-aligné à transistor à effet de champ lorsque la dimension longitudinale de la grille n'est pas très supérieure à la distance grille-canal, et ont été décrits à maintes reprises dans le cas du MOS, du MESFET et du HEMT.

Les effets de canal court se manifestent de plusieurs façons :

- une dépendance de la tension de seuil en fonction de la longueur de grille
- une moindre croissance, voire une dégradation de la transconductance quand la longueur de grille diminue
- une augmentation très importante de la conductance de sortie
- une dégradation du régime sous le seuil

Dans le cas d'un HIGFET, ils sont dus à plusieurs mécanismes, mais surtout au caractère fortement bi-dimensionnel des lignes de champ électrique et des courants de porteurs, et à l'injection de porteurs dans la couche de GaAs en régime de charge d'espace [2]. Il sont favorisés par la diffusion latérale des atomes implantés, par un niveau de dopage élevé et par le caractère non abrupt des profils de dopage réalisés par implantation [3]. C'est particulièrement le cas pour la zone proche du bord de la grille.

Il est donc vital d'éviter un dopage élevé au ras de la grille, de limiter la diffusion des implants après recuit thermique rapide et d'obtenir des profils de dopage aussi abrupts de possible.

#### V.1.5 Nécessité d'une double implantation

Pour une implantation unique, il existe donc un réel compromis entre la résistance de source et les contacts ohmiques d'une part, et la réduction des effets canal court et le courant de grille de surface d'autre part. Le choix d'une double, voire d'une triple implantation ionique s'impose donc afin de garantir un niveau de dopage faible au ras de la grille, mais élevé sous les contacts ohmiques.

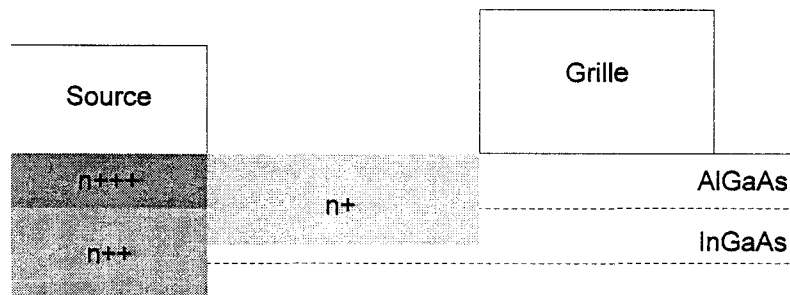


Fig. 5.2 : Dopage des zones d'accès et recours à une double ou une triple implantation.

## V.2 Préparation du substrat avant implantation

### V.2.1 Réalisation de sidewalls

Une implantation autour de la grille en contact direct avec les bords de celle-ci peut entraîner l'existence d'effets parasites, tels que qu'un courant de grille supplémentaire de surface. Il est alors nécessaire d'espacer les zones dopées des flancs de la grille. Des espaceurs diélectriques "sidewalls" en silice ont déjà été utilisés dans des technologies auto-alignées afin de repousser ces implants [4].

La formation des "sidewalls" en  $\text{SiO}_2$  se fait après définition et gravure de la grille réfractaire. Elle est réalisée par un dépôt du diélectrique par PECVD, qui est ensuite éliminé par gravure ionique réactive (fig. 5.3). Etant donné l'anisotropie des dépôts en PECVD, une sur-épaisseur de silice apparaît autour des grilles. L'intérêt de la gravure ionique réactive est de favoriser une gravure verticale. Des "sidewalls" peuvent donc subsister de part et d'autre et de la grille lorsque l'attaque est terminée.

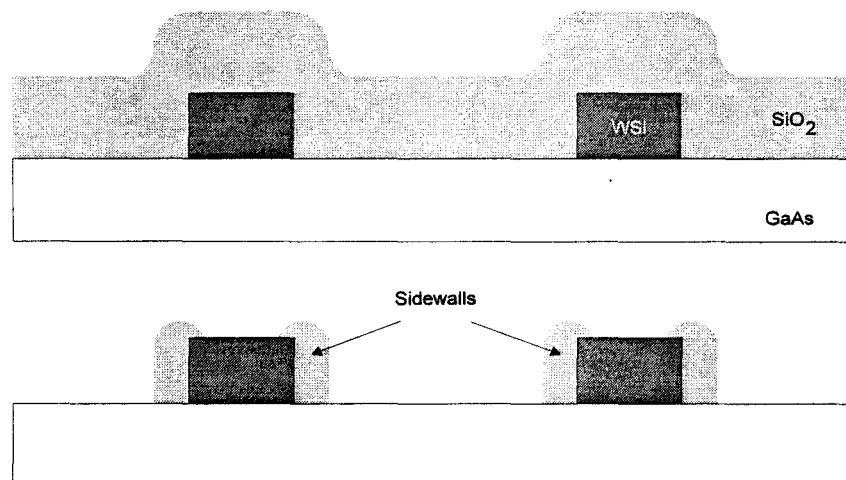


Fig. 5.3 : Formation de "sidewalls" par dépôt de  $\text{SiO}_2$  en PECVD (a) et gravure ionique réactive (b).

Nous avons opté pour une épaisseur de silice de  $2800\text{\AA}$ , de manière à garantir une réelle sur-épaisseur autour de la grille des transistors. Le gaz de gravure utilisé est un mélange  $\text{CF}_4 + 10\% \text{O}_2$ . L'attaque est réalisée avec une tension de polarisation de  $200\text{V}$  durant  $10\text{ mn}$ , puis à  $100\text{V}$  durant  $6\text{ mn}$ . Le choix d'une tension de départ de  $200\text{ V}$  permet de rendre l'attaque physico-chimique, afin d'aboutir à un amincissement de l'espaceur jusqu'à environ  $2000\text{\AA}$ . La gravure se termine à  $100\text{V}$  pour la rendre très

sélective par rapport au GaAs et endommager le moins possible la surface de l'épitaxie. Une photographie d'un "sidewall" ainsi réalisé est donné en figure 5.4.

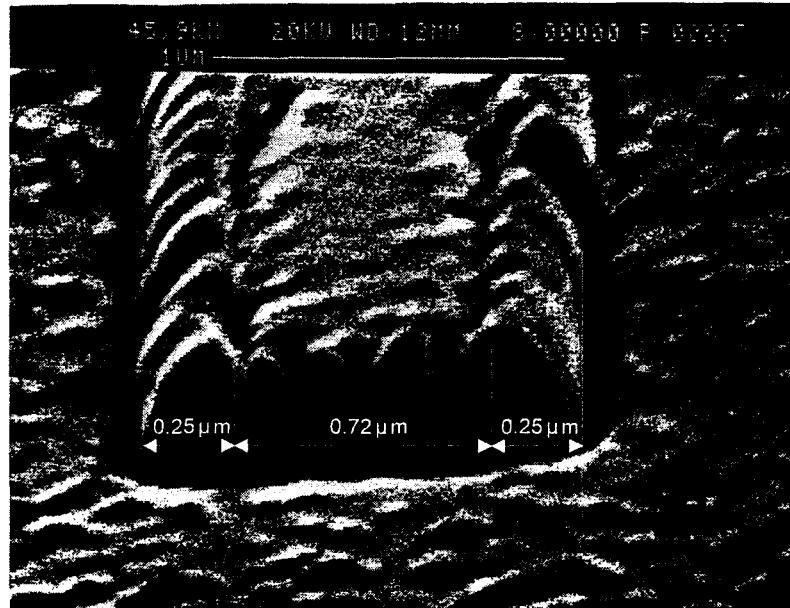


Fig. 5.4 : Photographie d'un sidewall en  $\text{SiO}_2$  de largeur  $0.25 \mu\text{m}$  autour d'une grille de  $0.7 \mu\text{m}$ .

Cette technique de formation de "sidewalls" fonctionne est concluante de façon isolée, mais son intégration dans notre procédé pâtit des inconvénients du bâti de GIR Alcatel que nous avons détaillé dans le chapitre IV. Pour une gravure de  $\text{SiO}_2$ , il s'agit notamment :

- d'une attaque de longue durée, et engendrant par conséquent une forte pollution de la surface du semiconducteur en composés fluorés et en polymères.
- d'une détection de fin d'attaque purement visuelle, ce qui nous contraint à prolonger la gravure plus que nécessaire, étant donné que la silice est transparente à partir de  $300\text{\AA}$ .
- d'une uniformité d'attaque très médiocre, entraînant une sur-gravure de six minutes sur les extrémités d'un substrat de deux pouces.

Par ailleurs, Baca [5] a constaté, après une gravure ionique réactive de "sidewall", l'apparition d'une tranchée dans le semiconducteur autour des grilles des transistors, d'une profondeur de plus de  $100\text{\AA}$ , et pouvant dégrader la commande des charges dans les composants.

Pour toutes ces raisons, une telle gravure de silice a fortement compromis les chances de succès du recuit thermique rapide, qui a systématiquement échoué sur les couches HIGFET pour lesquelles on avait réalisé des sidewalls au préalable.

Cette technique de "sidewalls" est donc incompatible avec notre procédé de fabrication de transistors HIGFETs auto-alignés tant que l'on utilisera le bâti de GIR Alcatel. Néanmoins, nous disposons à l'IEMN de ce savoir-faire, qui pourrait être intégré dans un procédé technologique auto-aligné à MESFETs. Une adaptation de cette technique de "sidewalls" dans notre nouveau bâti de GIR Oxford est en cours pour l'étude de transistors HIGFETs sub-0.5  $\mu\text{m}$ .

### V.2.2 Implantation à travers une fine couche de nitrure de silicium

Pour limiter l'existence de courants de fuite par la surface du semiconducteur, une autre possibilité est de supprimer l'implantation juste au ras de la grille par une fine couche de  $\text{Si}_3\text{N}_4$ . Nous déposons donc par PECVD une couche de 200Å de nitrure de silicium qui se dépose également sur le flanc de la grille en raison de l'isotropie d'un dépôt par PECVD. Une telle épaisseur s'avère suffisante pour diminuer fortement le courant de fuite de grille par la surface du matériau [6]. L'énergie d'implantation est modifiée de 20 keV afin de tenir compte de l'existence de cette couche et d'obtenir un profil de dopage analogue à une surface non recouverte. Concernant l'implantation ionique proprement dite, cette couche de  $\text{Si}_3\text{N}_4$  procure deux avantages supplémentaires :

- elle protège la surface du matériau des dommages causés lors du bombardement ionique de l'implantation.
- elle permet d'obtenir un bon dopage en surface, nécessaires pour des contacts ohmiques de bonne qualité, en rejetant dans le nitrure de silicium la queue du profil en forme de gaussienne où le dopage est peu élevé.

## **V.3 Optimisation de l'implantation de type n**

### V.3.1 Etude du profil de dopage

Le dopant de type n couramment utilisé pour l'Arséniure de Gallium est le silicium qui s'active très facilement par recuit thermique rapide. L'implantation ionique de Si dans GaAs a été longuement étudiée, et le profil de dopage obtenu obéit à une loi gaussienne de distribution des espèces :

$$N_D(x) = \frac{\text{dose}}{\sqrt{2\pi} \Delta r_p} e^{-\frac{(x-r_p)^2}{2\Delta r_p^2}} \quad (\text{eq. 5.2})$$

où  $N_D$  est le nombre d'espèces implantées en fonction de la profondeur  $x$ ,  $r_p$  et  $\Delta r_p$  étant la profondeur centrale et la distribution de la gaussienne. Les valeurs de  $r_p$  et  $\Delta r_p$  sont directement liées à l'énergie d'implantation par le biais des tables LSS [7] [8]. Un recuit thermique rapide ne dégrade que très peu l'allure du profil en gaussienne en entraînant une légère diffusion des ions  $Si^+$  en profondeur [9].

Pour déterminer les énergies des ions de silicium, nous avons utilisé un petit logiciel qui trace le profil d'implantation à partir des valeurs numériques des tables LSS. Cette optimisation des énergies a été réalisée sur une structure pseudomorphique consistant en un cap de GaAs de 30Å, une couche d' $Al_{0.75}Ga_{0.25}As$  de 250Å et un canal d' $In_{0.2}Ga_{0.8}As$  de 150Å. Pour toute autre couche, la sélection des énergies se fait en transposant les profondeurs sur les tables LSS.

En ce qui concerne l'implantation dans la zone d'accès entre la grille et les contacts ohmiques, le dopage maximum doit correspondre à la localisation du gaz bi-dimensionnel d'électrons, c'est-à-dire à l'interface AlGaAs/InGaAs, et donc à une profondeur de 480Å en considérant la couche superficielle de  $Si_3N_4$ . La figure 5.5 représente le profil d'implantation de silicium avec une énergie de 60 keV pour une dose de  $4 \times 10^{13} \text{ cm}^{-2}$ . Nous obtenons un dopage maximum de  $5 \times 10^{18} \text{ cm}^{-3}$  à environ 500Å de profondeur pour un taux d'activation de 100%.

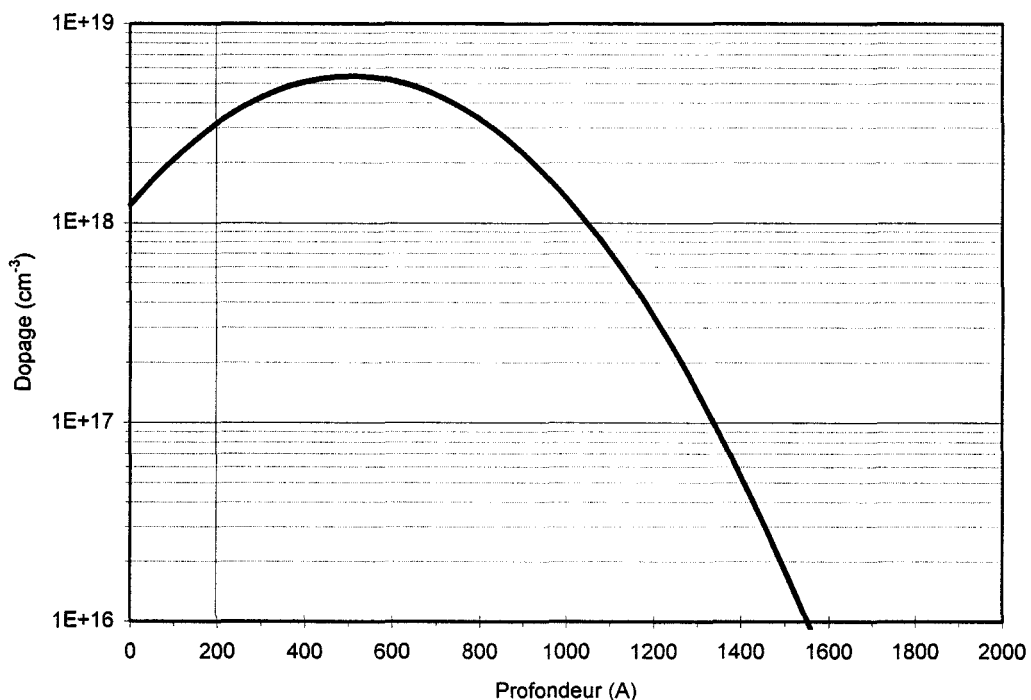


Fig. 5.5 : Profil de dopage théorique d'une implantation simple de silicium (60 keV,  $4 \times 10^{13} \text{ cm}^{-2}$ ).

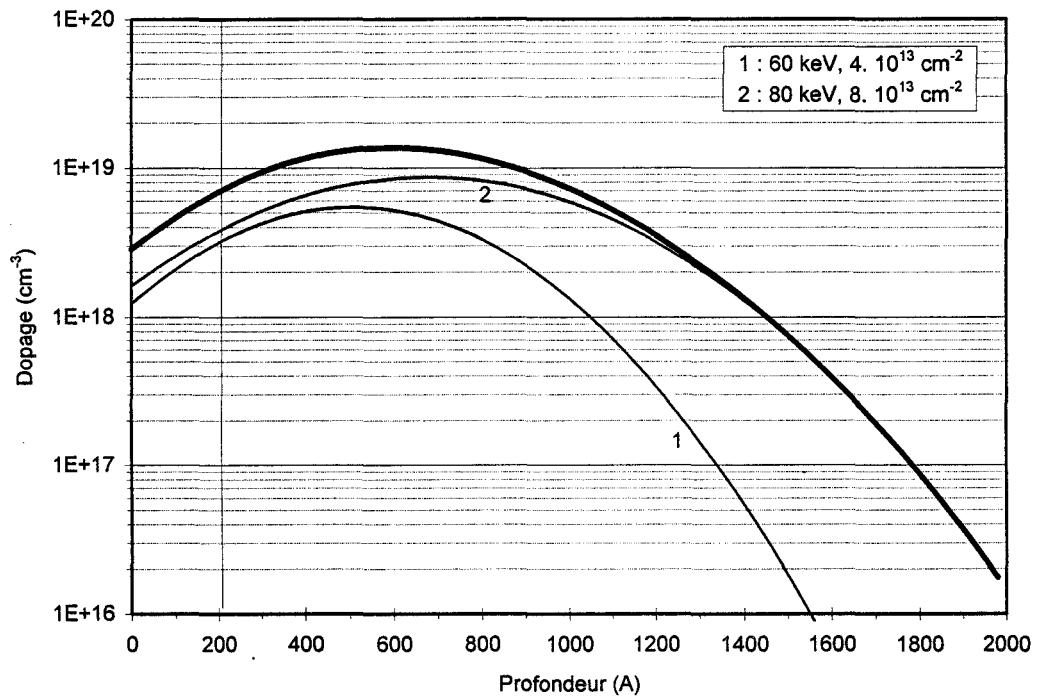


Fig. 5.6 : Profil de dopage théorique d'une double implantation de silicium ( $60 \text{ keV}, 4 \times 10^{13} \text{ cm}^{-2}$ ) + ( $80 \text{ keV}, 8 \times 10^{13} \text{ cm}^{-2}$ ) .

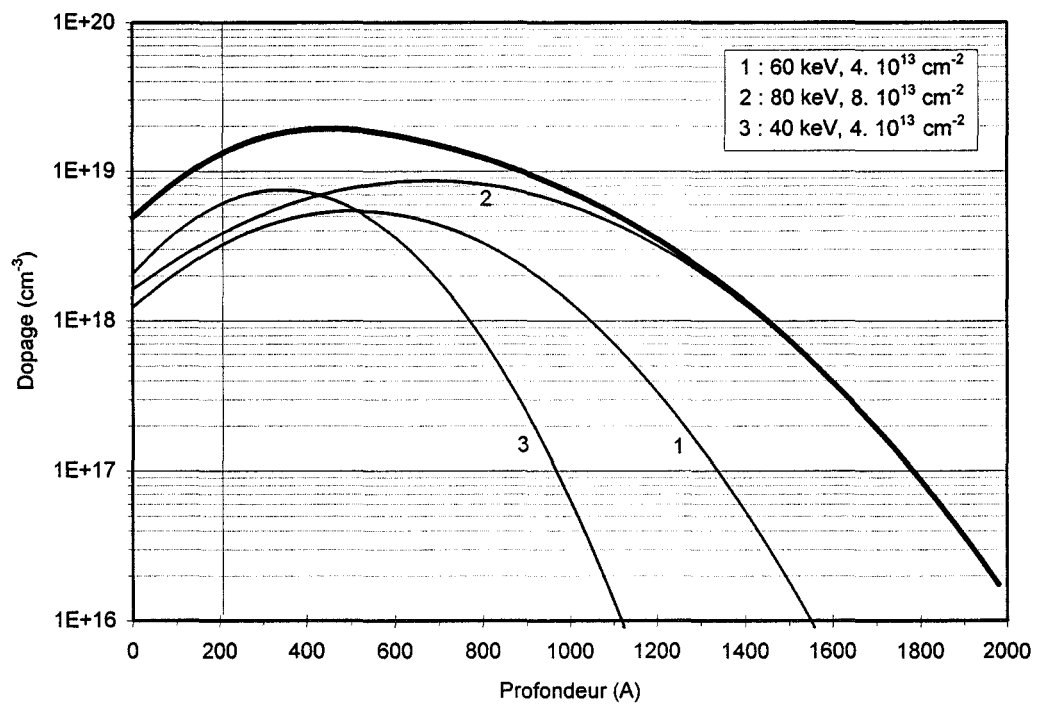


Fig. 5.7 : Profil de dopage théorique d'une triple implantation de silicium ( $40 \text{ keV}, 4 \times 10^{13} \text{ cm}^{-2}$ ) + ( $60 \text{ keV}, 4 \times 10^{13} \text{ cm}^{-2}$ ) + ( $80 \text{ keV}, 8 \times 10^{13} \text{ cm}^{-2}$ ) .

En ce qui concerne le dopage sous les contacts ohmiques, il s'agit de réaliser des caissons  $n^{++}$  fortement dopés et assez profonds. En visant l'interface InGaAs/GaAs, une implantation ionique supplémentaire avec une énergie de 80 keV permet d'obtenir un dopage maximum à 680Å de la surface du système  $\text{Si}_3\text{N}_4$  / matériau. Le profil d'une double implantation ( $60 \text{ keV}, 4 \times 10^{13} \text{ cm}^{-2}$ ) + ( $80 \text{ keV}, 8 \times 10^{13} \text{ cm}^{-2}$ ) est donné en figure 5.6. Il situe un taux d'implants maximal de  $1.3 \times 10^{19} \text{ cm}^{-3}$  vers 400Å de profondeur une fois le nitrure de silicium éliminé, et donc approximativement à l'interface InGaAs/GaAs. Dans ce cas, le dopage en surface sous les contacts (à 200Å de profondeur sur la figure 5.6) vaudrait  $7 \times 10^{18} \text{ cm}^{-3}$ , en supposant une activation locale de 100%.

Afin d'élever ce niveau de dopage en surface, une troisième implantation à faible énergie peut être réalisée. La figure 5. représente le profil obtenu pour une triple implantation ( $40 \text{ keV}, 4 \times 10^{13} \text{ cm}^{-2}$ ) + ( $60 \text{ keV}, 4 \times 10^{13} \text{ cm}^{-2}$ ) + ( $80 \text{ keV}, 8 \times 10^{13} \text{ cm}^{-2}$ ) et indique un dopage en surface théorique valant  $1.3 \times 10^{19} \text{ cm}^{-3}$ , toujours dans le cas d'un taux d'activation de 100%.

### V.3.2 Essais sur $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$ et $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$

Le tableau 5.1 résume la résistance carrée, ainsi que le taux d'activation pour les implantations simple, double et triple précitées concernant l'hétérostructure pseudomorphique à taux d'aluminium de 0.75, et pour une hétérostructure conventionnelle GaAs (80Å) /  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  (500Å) / GaAs.

Nous avons mesuré les résistances carrées des implantations au moyen des motifs de TLM du masque FTFET. Quant aux mesures de mobilités des matériaux dopés, elles ont été effectuées par effet Hall à l'aide de motifs de trèfles de Van der Pauw. Le taux d'activation est calculé à partir de la résistance carrée, de la mobilité et de la dose employée :

$$\tau = \frac{1}{q \mu R_{sq} \text{ dose}} \quad (\text{en } \%) \quad (\text{eq. 5.3})$$

Une simple implantation de silicium à  $4 \times 10^{13} \text{ cm}^{-2}$  conduit à une résistance carrée de  $280 \Omega/\square$  dans les zones d'accès de source et de drain. Le taux d'activation vaut 28%, et confirme une valeur de 35% publiée sur du GaAs massif pour une dose et une température de recuit identiques [10]. Un recuit à  $900^\circ\text{C}$  améliorerait probablement ce résultat mais serait incompatible avec une technologie complémentaire. Concernant le dopage sous les contacts ohmiques, nous retiendrons une double implantation pour laquelle la résistance carrée de  $145 \Omega/\square$  est meilleure que pour une triple, ce qui provient vraisemblablement d'un excès d'impuretés sous les contacts, et par là d'une très mauvaise activation.

Une implantation triple de la structure conventionnelle à  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  a abouti à une résistance carrée de  $280 \Omega/\square$ , ce qui s'explique par l'épaisseur plus importante d'AlGaAs et donc par l'existence d'une mobilité équivalente globalement plus faible.

Hétérostructure	Implantation	Résistance carrée ( $\Omega/\square$ )	Mobilité ( $\text{cm}^2/\text{Vs}$ )	Taux d'activation
PM 75%	60 keV, $4 \times 10^{13} \text{ cm}^{-2}$	280	2000	28 %
PM 75%	60 keV, $4 \times 10^{13} \text{ cm}^{-2}$ 80 keV, $8 \times 10^{13} \text{ cm}^{-2}$	145	1900	19 %
PM 75%	60 keV, $4 \times 10^{13} \text{ cm}^{-2}$ 80 keV, $8 \times 10^{13} \text{ cm}^{-2}$ 40 keV, $4 \times 10^{13} \text{ cm}^{-2}$	190	1900	11 %
Conv. 40%	60 keV, $4 \times 10^{13} \text{ cm}^{-2}$ 80 keV, $8 \times 10^{13} \text{ cm}^{-2}$ 40 keV, $4 \times 10^{13} \text{ cm}^{-2}$	280	1600	9 %

Tableau 5.1 : Résistance carrée et taux d'activation d'implantations silicium simple, double et triple sur hétérostructure pseudomorphique  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  et conventionnelle  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ .

## V.4 Optimisation de l'implantation de type p

### V.4.1 Introduction

Le béryllium et le magnésium ont été largement utilisés comme dopants de type p dans l'Arséniure de Gallium. Etant donné la très faible mobilité du GaAs dopé, de l'ordre de 50 à 120  $\text{cm}^2/\text{Vs}$  selon le dopage, l'implantation de ces espèces se fait très souvent à des doses entre  $10^{14} \text{ cm}^{-2}$  et  $10^{15} \text{ cm}^{-2}$  en vue d'obtenir des résistances carrées du matériau presque comparables à celui d'un dopage de type n par implantation de silicium [11] [12].

Une importante diffusion des ions  $\text{Mg}^+$  et  $\text{Be}^+$  après recuit thermique rapide a été plusieurs fois mise en évidence [13] [14]. Cette diffusion vers le substrat dégrade le profil de dopage et entraîne des effets canal court détaillés précédemment, tels qu'un décalage de la tension de seuil du composant et une altération du régime sous le seuil. L'étalement des espèces implantées rend fautive la théorie LSS puisque le profil des ions après recuit a un caractère non gaussien. Dans le cas du magnésium, Robinson [15] a rapporté une exo-diffusion supplémentaire dans la couche diélectrique d'encapsulation lors du recuit thermique rapide, contribuant à une augmentation importante de la résistance carrée du semiconducteur.

Afin de prévenir une diffusion des implants Be et Mg vers le substrat, une co-implantation avec des atomes "bloquants" tels que le phosphore, le fluor ou l'arsenic a démontré une réelle efficacité [11] [12], même si l'arsenic, de par sa masse atomique élevée, est indésirable car il cause plus de dommages au réseau cristallin. A partir d'une co-implantation de Be + P avec une dose de  $10^{14} \text{ cm}^{-2}$ , Yamahata [16] a obtenu



d'excellents résultats sur  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ , avec notamment une mobilité de  $90 \text{ cm}^2/\text{Vs}$ , une résistance carrée de  $900 \text{ } \Omega/\square$  et un taux d'activation valant 76% après un recuit thermique à  $850^\circ\text{C}$  durant 4s.

Nous avons voulu effectuer une étude comparative de l'impact d'une co-implantation du béryllium avec le phosphore ou le fluor sur le profil des atomes de béryllium. Notre objectif est donc une optimisation complète de l'implantation ionique à base de béryllium sur une hétérostructure pseudomorphique  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  [17]. Pour cela, nous avons réalisé des implantations de Be seul, de Be + P, de Be + F, de Be + F + P et de BeF à diverses doses et énergies. La caractérisation de ces implantations s'est faite à partir de profils de dopage SIMS avant et après recuit rapide à  $850^\circ\text{C}$  durant 10s, et de mesures de résistance carrée par la méthode TLM en déposant un contact ohmique Au/Mn de type p. Une étude en fonction de la dose de béryllium a notamment été entreprise, ainsi qu'une comparaison sommaire avec des implantations à base de magnésium.

#### V.4.2 Choix de l'énergie du béryllium

Pour déterminer l'énergie d'implantation du béryllium convenant le mieux à notre hétérostructure, nous avons effectué des mesures SIMS sur des échantillons avec des énergies différentes. La spectroscopie SIMS est très délicate sur une hétérostructure de type HIGFET car la vitesse de gravure, et donc la mesure de la profondeur, dépendent de la composition du semiconducteur. Par souci de simplification, nous avons donc effectué toutes nos mesures de profils SIMS sur une simple couche de GaAs.

Les figures 5.8, 5.9 et 5.10 représentent donc le profil SIMS d'ions  $\text{Be}^+$  seuls dans des couches GaAs avec des énergies de 20, 30 et 40 keV respectivement, avant et après recuit thermique rapide à  $850^\circ\text{C}$  durant 10s. Tous les substrats ont été implantés avec une dose de  $2 \times 10^{14} \text{ cm}^{-2}$ . La distribution des ions  $\text{Be}^+$  juste après implantation ionique confirme les prédictions théoriques obtenues à partir des tables LSS, avec une profondeur centrale valant  $570\text{Å}$  pour une énergie de 20 keV. Ce profil coïncide très bien avec le canal d'InGaAs d'un transistor HIGFET, et par conséquent une énergie de 20 keV semble être adaptée pour une notre implantation de type p.

Après un recuit thermique rapide à  $850^\circ\text{C}$  durant 10s apparaît une nette diffusion des ions  $\text{Be}^+$ . Une concentration égale à 10% du maximum de dopage correspond à une profondeur comprise entre  $2500\text{Å}$  et  $4000\text{Å}$  approximativement, selon l'énergie d'implantation, ce qui est complètement inadapté à la fabrication de composants. En comparant les valeurs des concentrations avant et après recuit, on remarque par ailleurs un manque important d'espèces après traitement thermique dans le cas d'une énergie de 20 keV. Une telle perte d'ions  $\text{Be}^+$  n'existe pas pour des énergies de 30 et 40 keV. Ceci provient sans nul doute d'une exodiffusion des espèces vers la couche d'encapsulation de  $\text{Si}_3\text{N}_4$ .

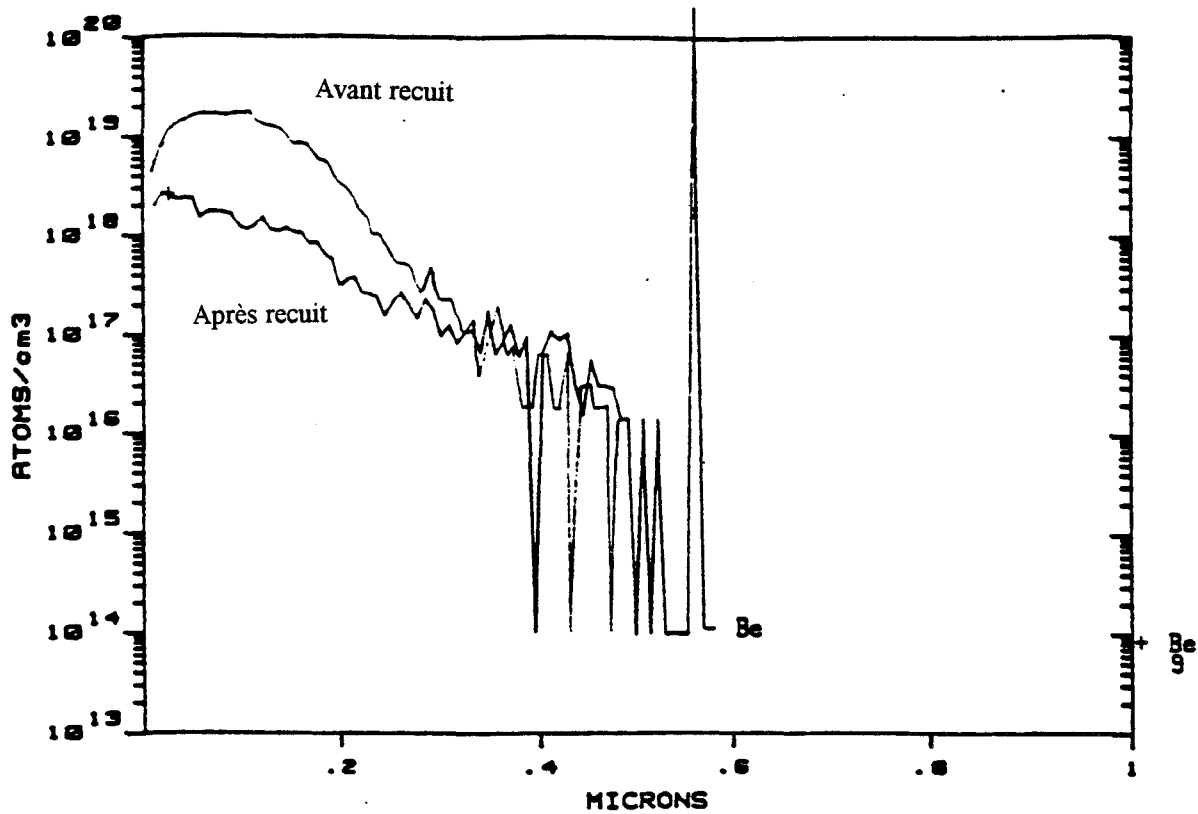


Fig. 5.8 : Profil SIMS d'une implantation Be sur GaAs avant et après recuit à 850°C durant 10s. La dose et l'énergie valent  $2 \times 10^{14} \text{ cm}^{-2}$  et 20 keV respectivement.

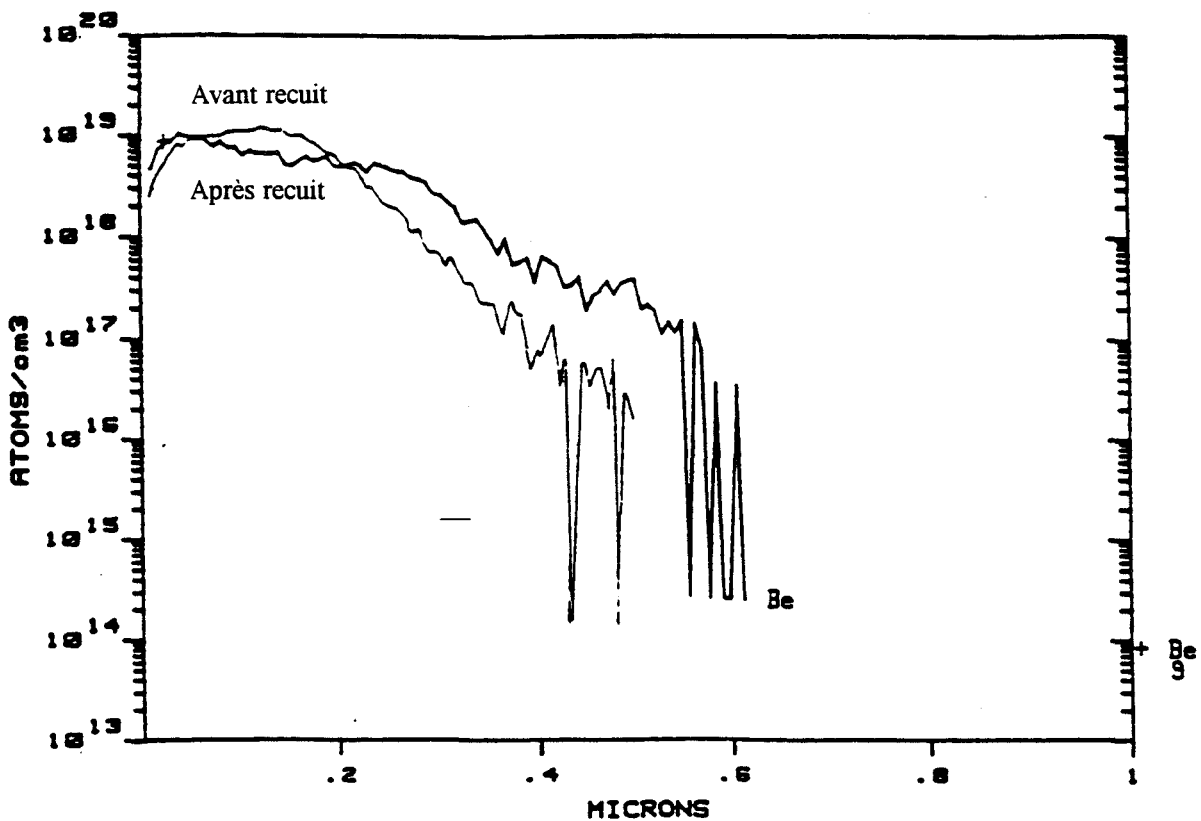


Fig. 5.9 : Profil SIMS d'une implantation Be sur GaAs avant et après recuit à 850°C durant 10s. La dose et l'énergie valent  $2 \times 10^{14} \text{ cm}^{-2}$  et 30 keV respectivement.

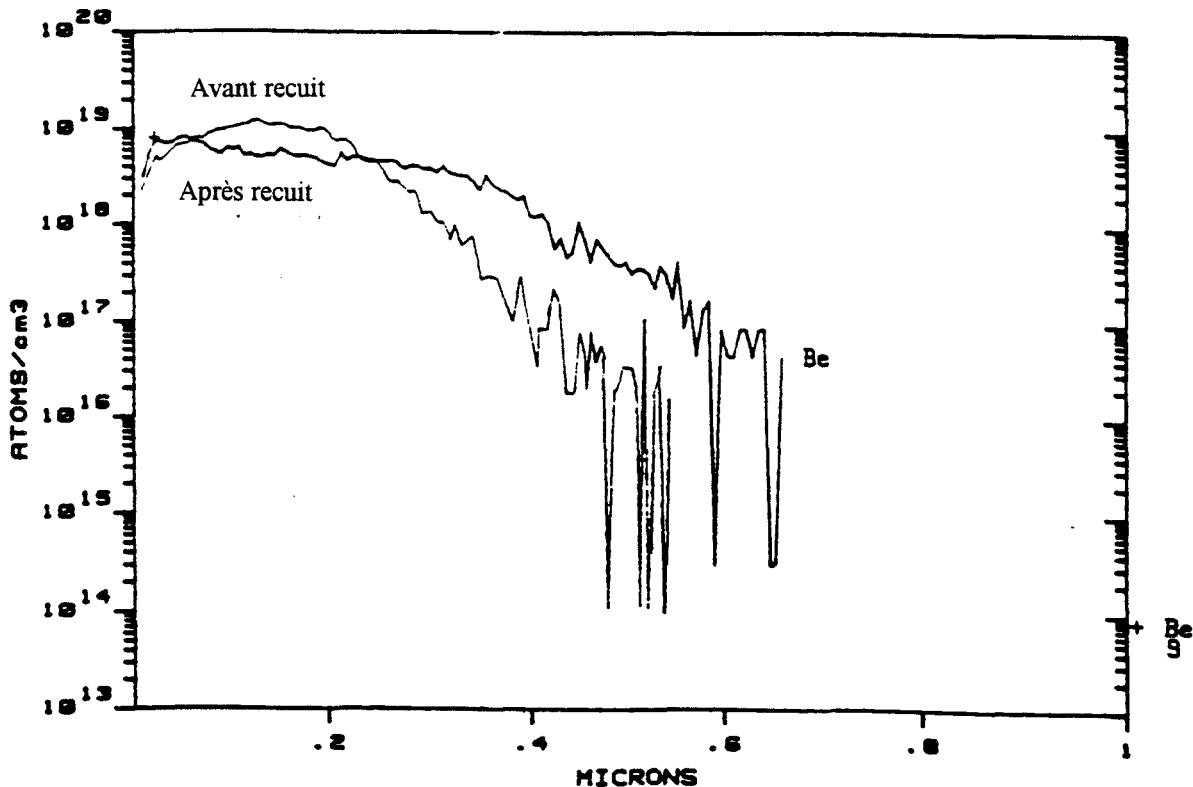


Fig. 5.10 : Profil SIMS d'une implantation Be sur GaAs avant et après recuit à 850°C durant 10s. La dose et l'énergie valent  $2 \times 10^{14} \text{ cm}^{-2}$  et 40 keV respectivement.

#### V.4.3 Co-implantations avec P et F

Nous avons réalisé une étude comparative d'implantations Be+P, Be+F, Be+P+F et BeF afin de déterminer laquelle de ces co-implantations permettait d'obtenir les profils de dopage les plus abrupts. Pour caractériser le profil de dopage après co-implantation et recuit thermique rapide, des wafers de GaAs ont été implantés par du béryllium avec une dose de  $2 \times 10^{14} \text{ cm}^{-2}$  et une énergie de 20 keV. Les profils d'une co-implantation Be + P sont représentés en figure 5.11. Le phosphore a été implanté avec une dose équivalente et une énergie de 100 keV. Cette énergie a été choisie de manière à faire correspondre les profondeurs centrales des gaussiennes du béryllium et de phosphore avant traitement thermique rapide. Le profil du béryllium après recuit ressemble fortement à une distribution gaussienne sans aucun décalage de la profondeur centrale dû au recuit. Le phosphore est donc extrêmement efficace pour empêcher une diffusion d'ions  $\text{Be}^+$  vers le substrat, et par là une limitation des effets canal court. De plus, la figure 5.11 montre que le pic de dopage du béryllium est supérieur d'une décade au pic observé lors d'une simple implantation à 20 keV (fig. 5.8). Une comparaison directe entre ces deux profils après recuit suggère donc l'absence d'exodiffusion du béryllium vers la surface lorsqu'il est co-implanté avec du phosphore.

Une co-implantation de béryllium avec du fluor à faible énergie (20 keV) a été entreprise afin d'étudier l'influence du fluor sur la diffusion de béryllium. Le profil de dopage résultant de cette co-implantation à  $2 \times 10^{14} \text{ cm}^{-2}$  est donné en figure 5.12. L'effet du fluor est de rendre la distribution des ions  $\text{Be}^+$  très étroite autour d'une profondeur centrale de  $150 \text{ \AA}$ . Cependant la figure 5.12.b indique très clairement que la plupart des espèces se sont perdues dans le diélectrique d'encapsulation. De plus, la concentration en ions  $\text{Be}^+$  au voisinage du canal en InGaAs est beaucoup trop faible. Cependant, le profil d'implantation assez abrupt après recuit thermique rapide nous suggère qu'il serait intéressant d'effectuer des essais avec d'autres énergies de fluor afin de conclure définitivement si une co-implantation  $\text{Be}+\text{F}$  pourrait être utilisée pour la fabrication de transistors HIGFETs de type p.

La figure 5.13 représente le profil de dopage d'une co-implantation  $\text{Be} + \text{P} + \text{F}$  avant et après recuit thermique rapide, avec les mêmes doses et les mêmes énergies que précédemment. Il est clair que l'ajout de phosphore améliore fortement le caractère gaussien de la distribution, avec une profondeur centrale voisine de  $500 \text{ \AA}$ .

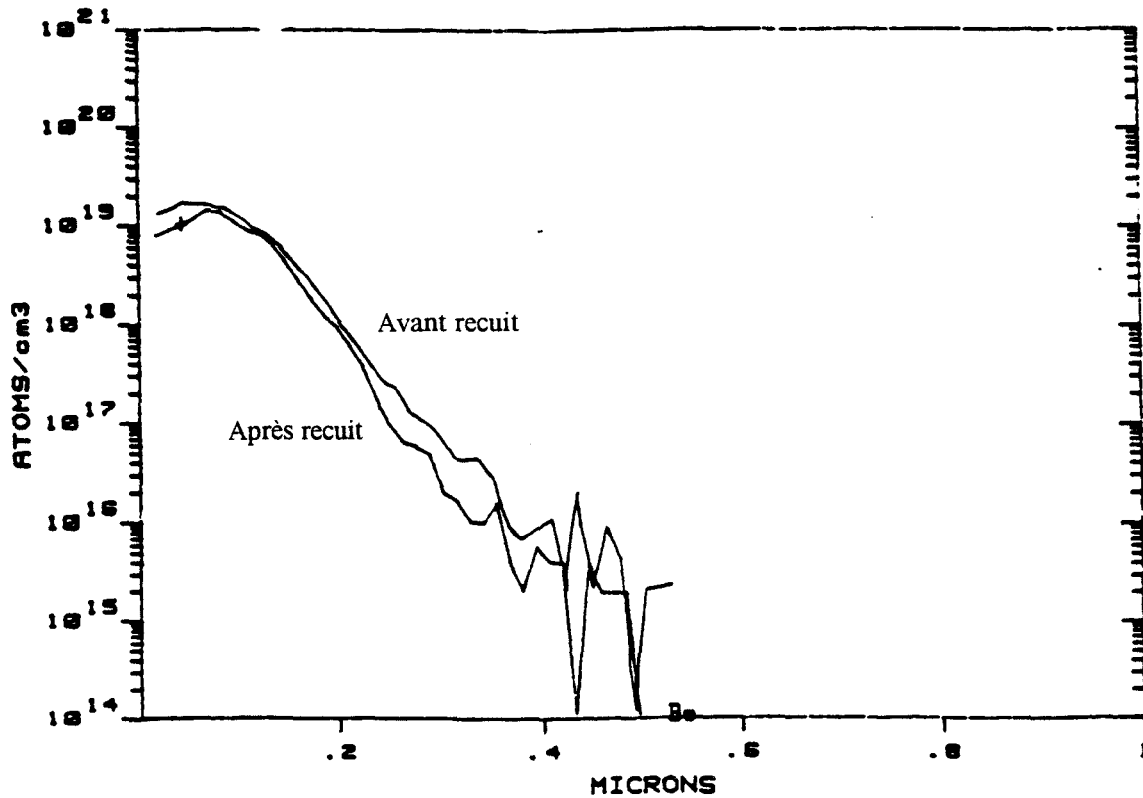


Fig. 5.11 : Profil SIMS d'une co-implantation  $\text{Be} + \text{P}$  avec une dose de  $2 \times 10^{14} \text{ cm}^{-2}$  sur GaAs avant et après recuit à  $850^\circ\text{C}$  durant 10s. Les énergies du béryllium et du phosphore valent 20 et 100 keV respectivement.

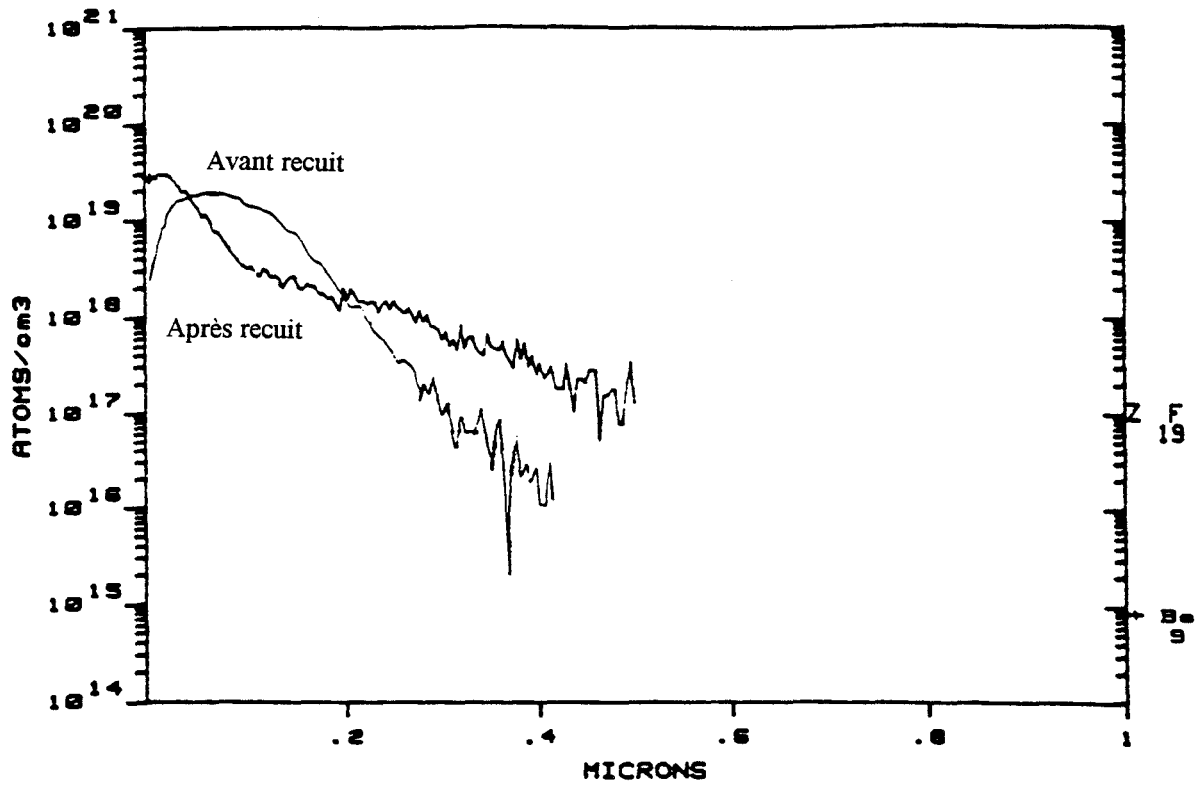


Fig. 5.12 : Profil SIMS d'une co-implantation Be + F avec une dose de  $2 \times 10^{14} \text{ cm}^{-2}$  et une énergie de 20 keV sur GaAs avant et après recuit à 850°C durant 10s.

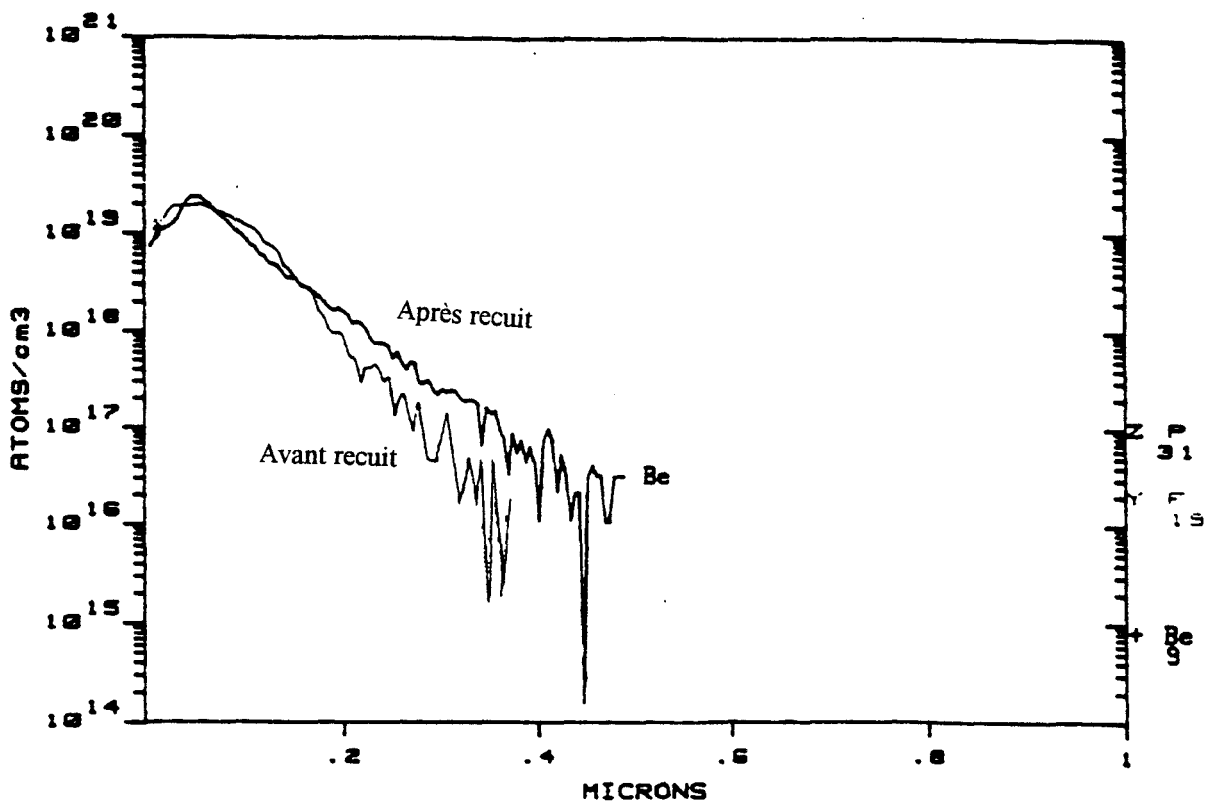


Fig. 5.13 : Profil SIMS d'une co-implantation Be + F + P avec une dose de  $2 \times 10^{14} \text{ cm}^{-2}$  sur GaAs avant et après recuit à 850°C durant 10s. Les énergies du béryllium, du fluor et du phosphore valent 20, 20 et 100 keV respectivement.

Nous avons également essayé une implantation simple d'ions  $\text{BeF}^+$  comme alternative à une co-implantation  $\text{Be}+\text{P}$  ou  $\text{Be}+\text{F}$ . Nous avons choisi une dose de  $10^{14} \text{ cm}^{-2}$  et une énergie de 60 keV, afin de comparer directement les profils de béryllium par rapport à une énergie de 20 keV pour une co-implantation, la masse d'un atome de  $\text{BeF}$  étant trois fois plus élevée que la masse du béryllium. Seul le profil de dopage des ions  $\text{BeF}^+$  après traitement thermique est donné en figure 5.14, car il n'y a aucune migration des ions  $\text{BeF}^+$  lors du recuit. Les contreparties sont une distribution non gaussienne, et vraisemblablement une perte d'espèces dans la couche de  $\text{Si}_3\text{N}_4$ , comme dans le cas d'une co-implantation  $\text{Be}+\text{F}$ .

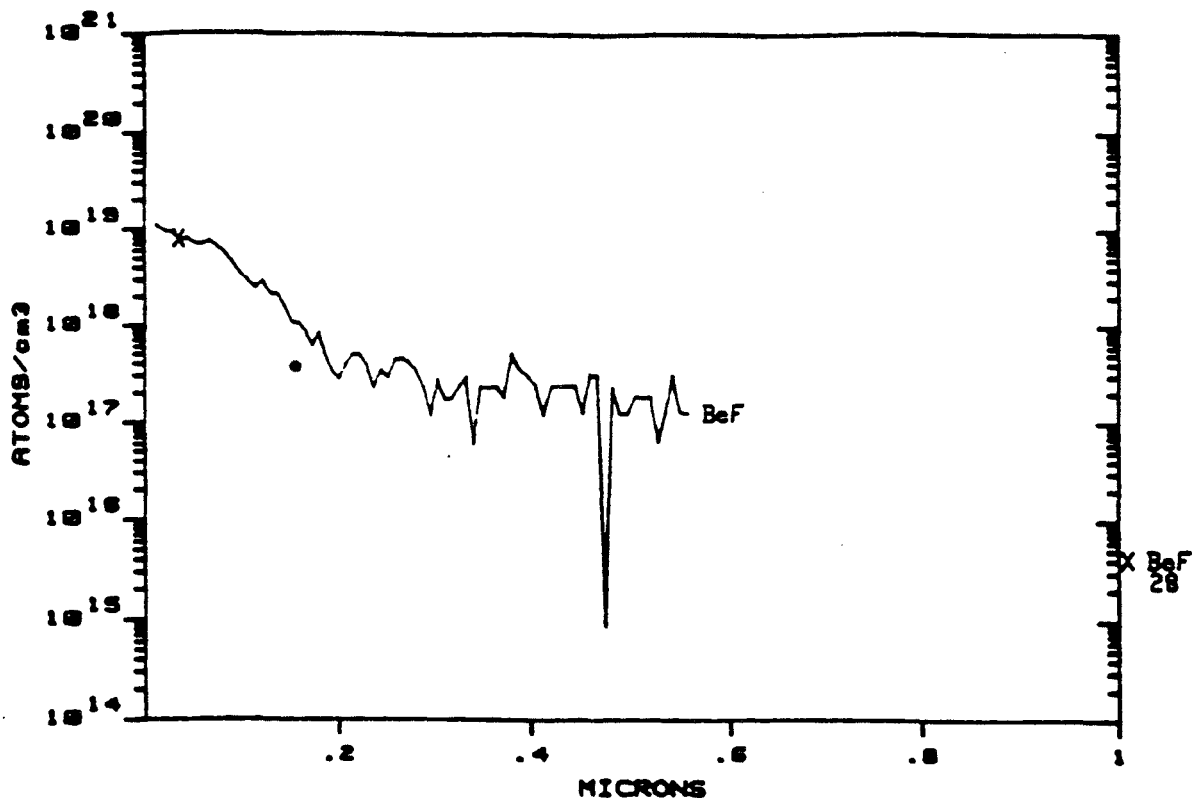


Fig. 5.14 : Profil SIMS d'une implantation  $\text{BeF}$  sur GaAs avant après recuit à  $850^\circ\text{C}$  durant 10s. La dose et l'énergie valent  $10^{14} \text{ cm}^{-2}$  et 60 keV respectivement.

Nous avons également mesuré la résistance carrée de ces substrats de GaAs dopés par les diverses implantations précitées. Toutes les espèces, le béryllium, le phosphore et le fluor, ont été implantées avec une dose de  $2 \times 10^{14} \text{ cm}^{-2}$ , sauf  $\text{BeF}$  ( $10^{14} \text{ cm}^{-2}$ ) et avec les mêmes énergies que précédemment. Le tableau 5.2 rapporte une étude comparative des résistances carrées pour ces implantations.

Concernant les simples implantations de béryllium, le tableau 5.2 confirme l'analyse que nous avons déduite des profils SIMS, c'est-à-dire une mauvaise résistance carrée pour une énergie de 20 keV, due à une fuite des espèces dans le diélectrique d'encapsulation.

Implantation	Dose (cm <sup>-2</sup> )	Energies (keV)	Résistivité (Ω/□)
Be	2 × 10 <sup>14</sup>	20	960
Be	2 × 10 <sup>14</sup>	30	740
Be	2 × 10 <sup>14</sup>	40	680
Be+P	2 × 10 <sup>14</sup>	20+100	360
Be+F	2 × 10 <sup>14</sup>	20+20	570
Be+P+F	2 × 10 <sup>14</sup>	20+100+20	450
BeF	1 × 10 <sup>14</sup>	60	1100

Tableau 5.2 : Comparaison de résistivités d'implantations à base de Be dans GaAs.

Une co-implantation Be+P a permis d'obtenir une résistance carrée de 360 Ω/□, soit une valeur trois fois moindre que pour une simple implantation de béryllium. Cette amélioration significative s'explique par une activation très supérieure des ions Be<sup>+</sup>, due à la présence de phosphore, et une réduction de la diffusion des implants, et par là corrobore notre analyse des profils SIMS.

Des co-implantations Be+F et Be+P+F ont donné des résultats moins bons, à cause notamment d'un profil de distribution plus abrupt, et par intégration, une concentration d'ions Be<sup>+</sup> moindre. Finalement, nous avons obtenu, avec une implantation de BeF, une résistance carrée acceptable de 1100 Ω/□, et ainsi comparable à une co-implantation Be + F analogue, compte tenu de la différence des doses.

En conclusion, même si ce plan d'expérience a été exclusivement réalisé non pas sur une notre hétérostructure pseudomorphique, mais sur du GaAs massif, une co-implantation Be+P à une énergie de béryllium de 20 keV semble la plus adaptée pour la réalisation de transistors HIGFETs de type p, de par une assez faible résistance carrée du semiconducteur et un profil de distribution de type gaussien avec une profondeur centrale correspondant à notre interface InGaAs/GaAs.

#### V.4.4 Mesures de résistivité de couches HIGFETs implantées avec Be+P

La résistance carrée d'hétérostructures pseudomorphiques de type HIGFET implantées par Be+P sont données en figure 5.15 en fonction de la dose de béryllium.

Pour des énergies de béryllium et de phosphore valant 20 et 100 keV respectivement, la résistance carrée dépend linéairement de la dose, aussi longtemps que cette dernière n'excède pas 5 × 10<sup>14</sup> cm<sup>-2</sup>. Ceci démontre un taux d'activation des ions Be<sup>+</sup> constant pour les faibles doses lorsqu'un recuit thermique à 850°C durant 10s est effectué. Une haute résistivité de 1000 Ω/□ a été obtenue pour une dose de 6 × 10<sup>13</sup> cm<sup>-2</sup>, permettant de concevoir des résistances implantées élevées en tirant profit de la parfaite fiabilité de l'implantation ionique. Par exemple, il serait possible de concevoir une résistance très précise de 5 kΩ en implantant une zone rectangulaire de 2 × 10 μm × μm avec cette technologie. Des doses entre 10<sup>14</sup> cm<sup>-2</sup> et 2 × 10<sup>14</sup> cm<sup>-2</sup> peuvent servir à

doper modérément des zones d'accès  $p^+$  avec des résistances carrées de 390 à 740  $\Omega/\square$ . Pour un dopage élevé sous des plots de contacts ohmiques, des co-implantations Be+P avec des doses à partir de  $5 \times 10^{14} \text{ cm}^{-2}$  offrent des résistivités très acceptables (240  $\Omega/\square$ ), même si le taux d'activation diminue progressivement à partir de cette dose. Pour une dose de  $5 \times 10^{14} \text{ cm}^{-2}$  nous avons mesuré une mobilité de la couche dopée valant 90  $\text{cm}^2/\text{Vs}$ , et nous en déduisons un excellent taux d'activation de 60%.

Une hétérostructure  $p^{++}$  fortement dopée (60  $\Omega/\square$ ) a été obtenue pour une dose de  $4 \times 10^{15} \text{ cm}^{-2}$ , et pourrait, par exemple, être utilisée pour réaliser de faibles résistances de base dans un procédé HBT.

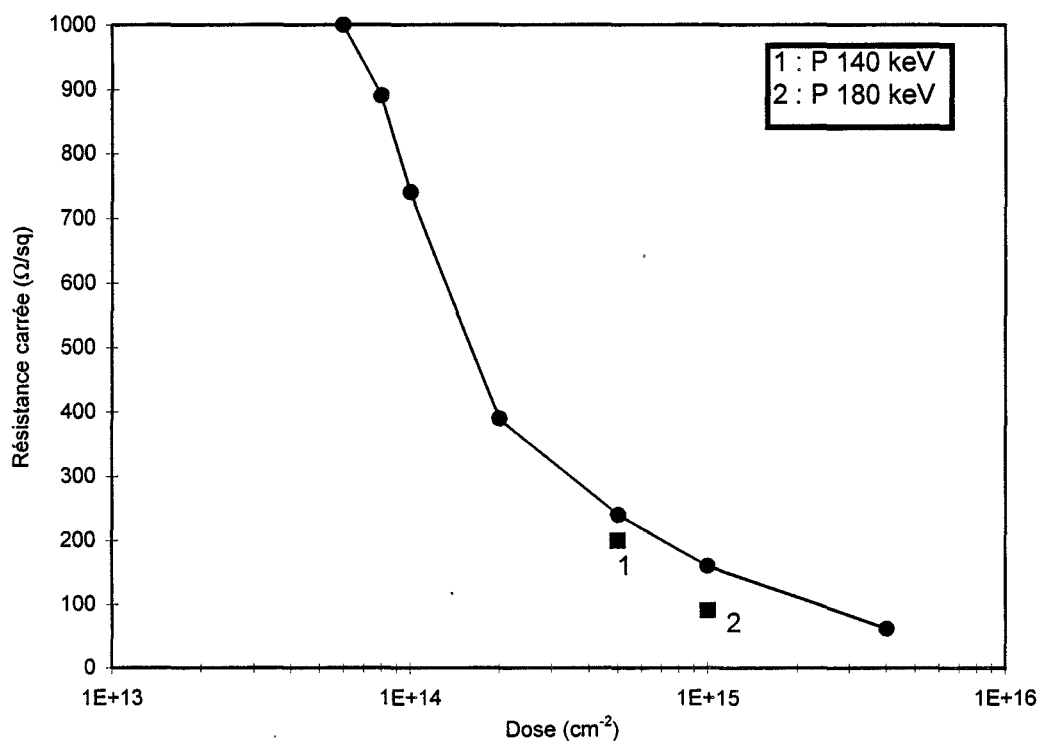


Fig. 5.15 : Résistivité d'une hétérostructure pseudomorphique implantée par Be + P avec des énergies de 20 keV (Be) et 100 keV (P), sauf 1 et 2, en fonction de la dose.

Nous avons également réalisé des couches  $p^{++}$  implantés profondément en repoussant le phosphore par l'utilisation d'une énergie de 140 keV au lieu de 100 keV. Nous avons obtenu (fig. 5.16) une résistance carrée de 200  $\Omega/\square$  pour une dose de béryllium valant  $5 \times 10^{14} \text{ cm}^{-2}$ . Comparée au résultat décrit ci-dessus pour 100 keV, cette valeur plus faible indique une meilleure activation des ions  $\text{Be}^+$  lorsque la distribution des espèces s'étale plus profondément dans le semiconducteur.

En guise de comparaison avec le béryllium, le tableau 5.3 présente les résultats d'implantations magnésium + phosphore réalisées dans les mêmes conditions. Toutes les résistances carrées sont plus élevées que celles concernant des co-implantations Be + P à dose identique. Dans le cas du magnésium, ceci provient soit d'une exodiffusion



des espèces implantées lors du recuit, qui persiste même en présence de phosphore, soit d'une moins bonne activation des ions  $Mg^+$ .

Dose/Espèce	20 keV Be	60 keV Mg
$1 \times 10^{14} \text{ cm}^{-2}$	730	960
$2 \times 10^{14} \text{ cm}^{-2}$	390	560
$5 \times 10^{14} \text{ cm}^{-2}$	240	450

Tableau 5.3 : Comparaison de résistances carrées d'hétérostructures pseudomorphiques implantées en Be+P et Mg+P avec différentes doses. L'énergie du phosphore est 100 keV. Les substrats ont été recuits à 850°C durant 10s.

## V.5 Optimisation du recuit thermique rapide

### V.5.1 Impératifs

Plusieurs techniques de recuits ont été développées pour activer des espèces implantées dans le Silicium ou dans l'Arséniure de Gallium, mais un traitement thermique rapide, c'est-à-dire d'une durée n'excédant pas 20s, a donné les meilleurs résultats en termes d'activation et de contrôle du profil de dopage [18]. Les recuits d'implantations sont totalement inefficaces sous 700°C. Cependant, dans le cas du recuit d'un substrat de GaAs, l'arsenic s'évapore facilement à partir de 600°C. Il est donc nécessaire de prendre des précautions pendant ce recuit d'implantation afin de protéger le matériau et empêcher l'évaporation d'arsenic.

Lors du recuit, le substrat est encapsulé par une couche de  $Si_3N_4$  afin de prévenir toute exodiffusion du semiconducteur. Nous avons vu, dans le chapitre III, que cette couche de nitrure de silicium craquait lorsque l'adhésion sur le matériau était mauvaise, et spécialement lorsque la surface de celui-ci se composait d'AlGaAs à nu et oxydé. Le cycle en température, ainsi que les conditions du recuit rapide jouent également un rôle dans la tenue du  $Si_3N_4$ , et un effort important a été fourni pour les optimiser. Ce travail a surtout porté sur la maîtrise de l'overshoot en température, ce qui est rendu possible par la mise en oeuvre d'un système de consigne par thermocouples à faible inertie.

Quoi qu'il en soit, l'enjeu absolu est de garantir la tenue du matériau, même lorsque le recuit a détruit la couche de nitrure. L'utilisation d'une pression de gaz adéquate dans le four a pour effet d'aider à prévenir toute évaporation d'arsenic.

### V.5.2 Principe de fonctionnement du four à recuit rapide

Notre four à recuit thermique rapide est un Jipelec Jetstar. Il est assisté d'un micro-ordinateur qui permet de programmer le cycle de température complet et de visualiser le bon déroulement du recuit en temps réel.

Le gaz le plus employé dans les fours à recuit rapide sur GaAs est l'arsine. Cependant, l'utilisation d'arsine dans ce type de four impose l'installation d'équipements de sécurité dont nous ne disposons pas. Le palliatif courant à l'arsine consiste en un mélange gazeux d'azote et d'hydrogène à 10%. Nous avons opté pour l'azote seul, car l'hydrogène peut contribuer à évaporer l'arsenic du matériau en favorisant le dégazage d'arsine. De manière à empêcher au maximum une évaporation d'arsenic et une décomposition du  $\text{Si}_3\text{N}_4$ , la pression d'azote dans le four, résultant d'un débit de gaz supérieur à 5 l/mn, est augmentée par un étranglement de la vanne en sortie de cycle.

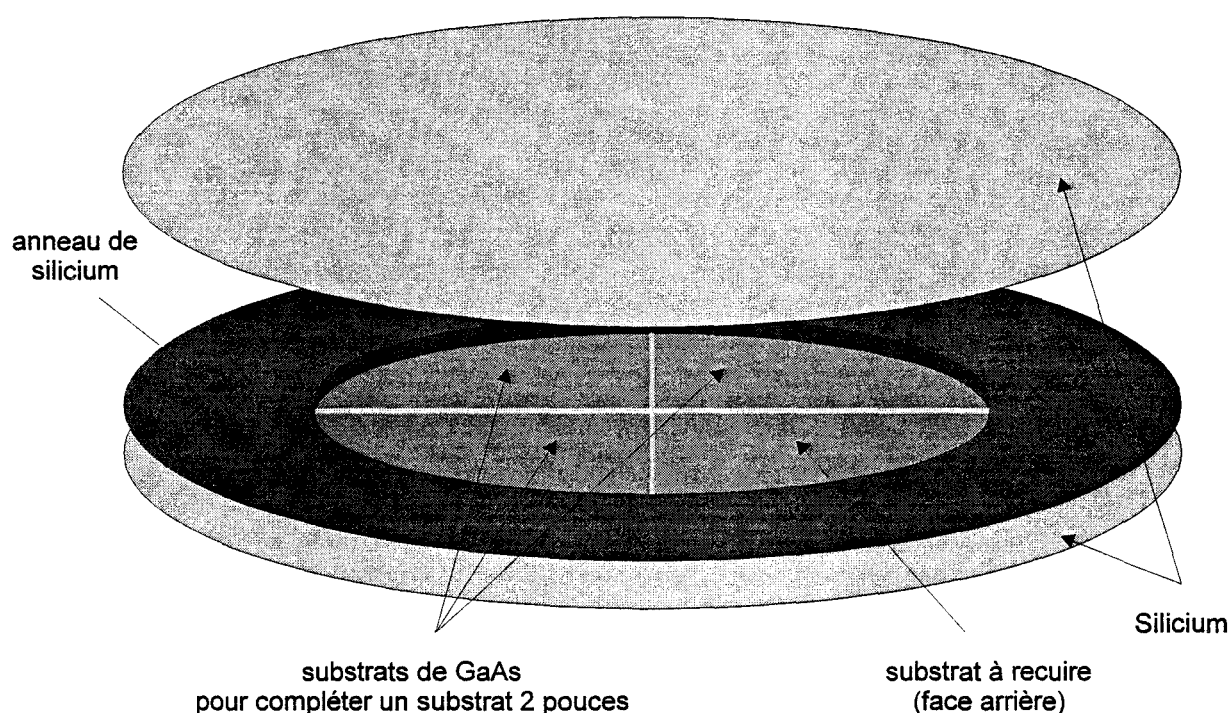


Fig. 5.16 : Vue de dessus de l'échantillon dans le four Jetstar lors du recuit rapide.

Le chauffage est réalisé par des lampes halogènes situées au-dessus et en-dessous du substrat de GaAs qui est maintenu entre deux wafers de silicium tenus par un anneau. Le substrat à traiter est disposé à l'envers contre un wafer de silicium afin de comprimer au maximum sa face avant. La surface maximale dans l'anneau de silicium permet d'y placer un substrat de deux pouces. Cet anneau permet d'obtenir une répartition très uniforme du gradient de température sur tout le substrat [19]. Ainsi, l'encapsulation d'un substrat d'un demi ou d'un quart de wafer est réalisée en complétant la surface à l'aide de quarts de wafers de GaAs afin de garder la même inertie thermique quelle que soit la surface du wafer (fig. 5.16).

### V.5.3 Sélection de la température et de la durée du recuit

Notre procédé auto-aligné complémentaire ne doit comporter qu'un seul recuit thermique rapide, qui active donc à la fois les espèces implantées de type n (silicium) et de type p (magnésium ou béryllium). Par conséquent, il nous a fallu déterminer le meilleur compromis possible en fonction de références bibliographiques et de plans d'expérience.

Il a été montré de nombreuses fois que le silicium s'active dans le GaAs ou l'AlGaAs à partir de 850°C, mais qu'un recuit à 900°C est préférable afin de garantir un taux d'activation maximal. Pearton [20] a obtenu une activation de 50% dans le GaAs après un recuit à 950°C durant 5s. Un recuit à 900°C durant 10s a été mentionné plusieurs fois pour le silicium [21].

Les dopants de type p les plus utilisés sont le béryllium et le magnésium et s'activent à des températures moindres, autour de 800°C, et durant quelques secondes seulement afin d'éviter des phénomènes de diffusion des espèces implantées. Pearton [22] a montré que le taux d'activation du béryllium dans le GaAs diminue lorsque la température du recuit dépasse 850°C. Yamahata a constaté un taux d'activation maximum de 33% pour le béryllium dans AlGaAs à 850°C pour 4s [23]. Van Berlo a optimisé un recuit à 850°C durant 5s pour le magnésium dans le GaAs [24].

Cependant, dans le cadre de la réalisation de transistors HIGFETs, il convient d'éviter des températures supérieures à 850°C. En effet, un recuit à une température trop élevée peut entraîner des dommages dans le matériau semiconducteur, en particulier à l'interface InGaAs/GaAs. De plus, un tel recuit peut causer la cristallisation du métal réfractaire de grille qui doit rester amorphe.

Pour le recuit d'une structure complémentaire nous avons choisi une température de 850°C. Afin de fixer la durée du plateau en température à 850°C en considérant le taux d'activation dans l' $\text{Al}_x\text{Ga}_{1-x}\text{As}$ , nous avons implanté et recuit divers substrats avec une couche d' $\text{Al}_{0,4}\text{Ga}_{0,6}\text{As}$  de 2000Å d'épaisseur, avec du silicium et du magnésium avec un plateau de 5s, de 10s et de 20s. L'implantation de silicium consiste en une dose de  $10^{14} \text{ cm}^{-2}$  et une énergie de 60 keV. Les essais de type p consistent en une co-implantation de magnésium et de phosphore à une dose commune de  $5 \times 10^{14} \text{ cm}^{-2}$  et des énergies valant 60 keV et 400 keV respectivement.

850°C	Si ( $\Omega/\square$ )	Mg + P ( $\Omega/\square$ )
5s	720	410
10s	220	390
20s	180	470

Tableau 5.4 : Résistances carrées dans un matériau implanté comprenant une couche d' $\text{Al}_{0,4}\text{Ga}_{0,6}\text{As}$  de 2000Å d'épaisseur après un recuit thermique rapide à 850°C.

Pour le silicium (composant de type n), il apparait clairement qu'un recuit de 5s est nettement insuffisant pour obtenir une bonne activation, et que la résistance carrée diminue avec la durée du plateau jusqu'à 20s. Il n'en est pas de même pour le recuit de type p, pour lequel des durées convenables se situent entre 5 et 10s. Même si les épitaxies ne sont pas exactement identiques à celles utilisées pour réaliser des composants, nous pouvons conclure qu'un recuit à 850°C durant 10s constitue un choix quasi optimal pour la réalisation de structures complémentaires.

### V.5.4 Exemple d'un cycle de recuit rapide

La figure 5.17 est une copie d'écran du contrôleur et représente un agrandissement du cycle du recuit autour du plateau à 850°C. Pour un recuit standard, nous avons optimisé la descente en température en particulier afin d'éviter qu'elle soit trop brutale et qu'elle entraîne des chocs thermiques sur la couche de nitrure de silicium. Nous avons opté pour une descente en dix minutes dans le cas d'un substrat à cap fin de GaAs, pour lequel l'adhésion du Si<sub>3</sub>N<sub>4</sub> est incertaine.

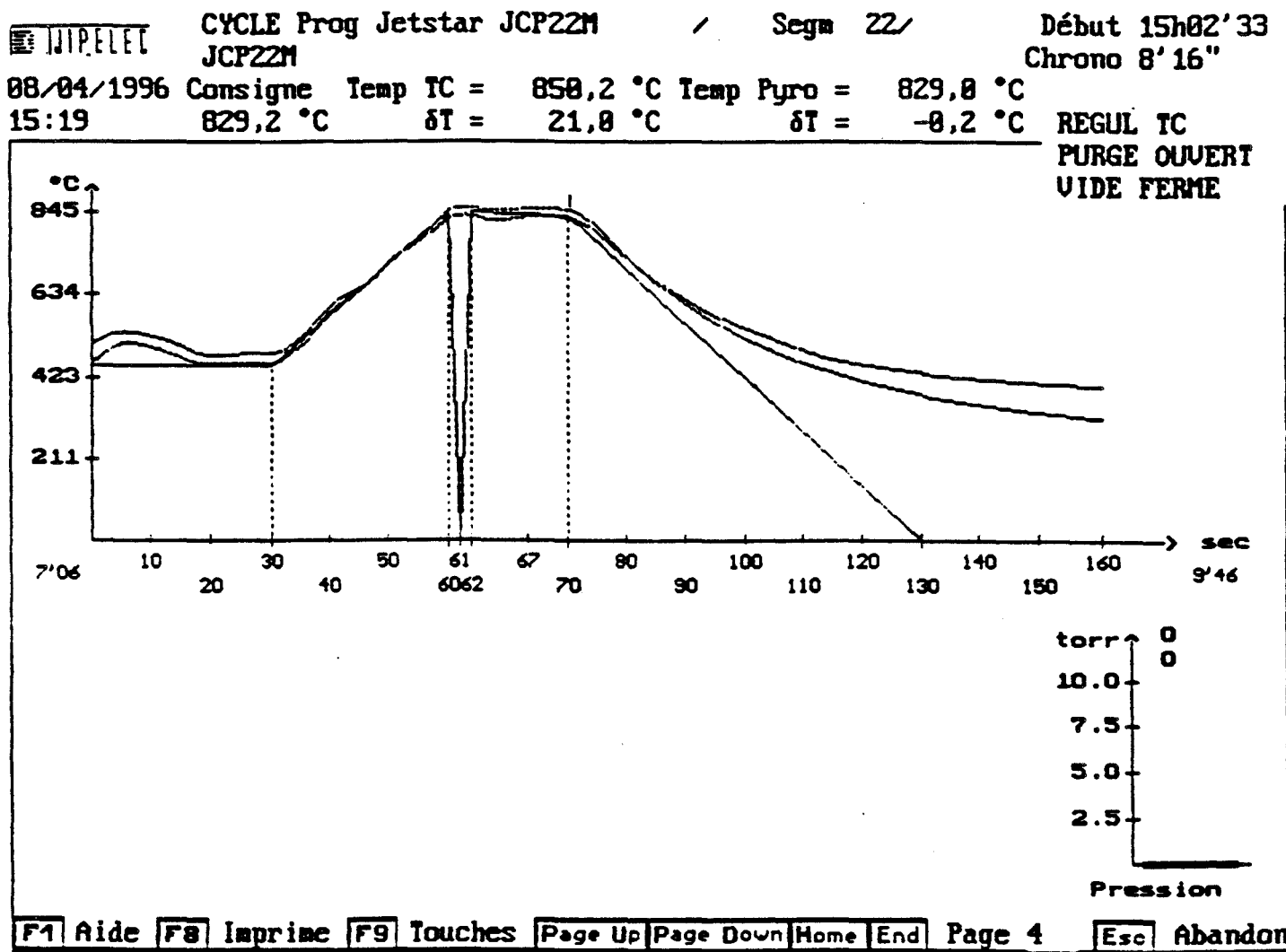


Fig. 5.17 : Cycle en température d'un recuit thermique rapide complémentaire.

L'inconvénient d'une telle descente prolongée est de maintenir la température du substrat supérieure à 800°C durant 60s environ, ce qui peut causer une diffusion d'espèces implantées, et notamment les dopants de type p qui s'activent à partir de 800°C.

Le cycle en fig. 5.17 est prévu pour un cap épais qui garantit un bon accrochage de la couche de Si<sub>3</sub>N<sub>4</sub> au préalable. La descente en température de la consigne dure une minute. Sur le graphique, les deux courbes juxtaposées sont les températures du thermocouple situé sur le substrat, et du pyromètre, et on peut également lire la consigne en température.

La première phase du recuit consiste en un chauffage de l'enceinte à 200°C durant cinq minutes, afin d'évacuer les impuretés par évaporation. Une deuxième phase à 400°C durant 2 mn 30s sert à préchauffer le substrat afin de garantir une bonne réponse aux hautes températures. La montée en température démarre donc après 7 mn 30s, et dure trente secondes, avant que la température du substrat atteigne le plateau à 850°C. En début de plateau, nous avons prévu une relaxation de la consigne en deux secondes, sans laquelle se produit un overshoot de la température du thermocouple, la plupart du temps fatal à la couche de Si<sub>3</sub>N<sub>4</sub>. Cette relaxation a été optimisée afin d'annuler complètement l'overshoot et de maintenir un plateau à 850°C parfaitement horizontal, la température du substrat n'excédant jamais 853°C. La descente en température de la consigne se fait en 60s, ce qui diminue à 17s la durée pendant laquelle la température du substrat se trouve au-delà de 800°C. Après une minute de descente, la température du thermocouple est revenue à 500°C environ, et la descente jusqu'à ouverture du four se fait en dix minutes et se compose de cycles alternés de purge et de pompage.

## V.6 Conclusions

Nous avons optimisé un recuit thermique rapide à 850°C durant 10s afin de garantir à la fois une sécurité maximale dans la tenue du matériau, ainsi qu'une bonne activation des espèces implantées de type n et de type p. L'implantation de type n en silicium a donné de bons résultats, notamment en termes de résistance carrée du semiconducteur, bien que l'activation semble assez faible étant donné que la température de recuit n'excède pas 850°C. Une double implantation, consistant en une dose de  $4 \times 10^{13} \text{ cm}^{-2}$  et une énergie de 60 keV au ras de la grille, et une seconde implantation de  $8 \times 10^{13} \text{ cm}^{-2}$  à 80 keV sous les contacts ohmique semble être le meilleur choix de départ pour doper des zones d'accès. Une co-implantation Be + P de type p, avec une énergie de béryllium autour de 20 keV, a abouti à la fois à un profil non diffusant des espèces, nécessaire pour l'obtention de faibles courants de fuite, et une bonne activation des ions Be<sup>+</sup>. Là encore, une double implantation s'impose, avec une dose moyenne (vers  $10^{14} \text{ cm}^{-2}$ ) au ras de la grille, et une dose de  $5 \times 10^{14} \text{ cm}^{-2}$  pour réaliser les contacts ohmiques.

La validation finale des doses passe tout d'abord par l'obtention de contacts ohmiques performants de type n et de type p. Il s'agira ensuite de démontrer l'attrait de ces implantations non plus de façon séparée, mais au sein du procédé technologique auto-aligné. A ces fins, il nous faudra alors réaliser et caractériser des transistors HIGFETs, et relier le profil de dopage des zones d'accès aux performances électriques des composants, notamment en termes :

- de densité de porteurs dans le canal
- de courant de grille
- de conduction parasites sous le seuil
- d'effets de canal court

## BIBLIOGRAPHIE DU CHAPITRE V

- [1] J. F. Gibbons, W. S. Johnson and S. W. Mylroie, "Projected range statistics", dans *Semiconductors and Related Materials*, édité par Wiley.
- [2] S. M. Sze, *High-speed semiconductor devices*, édité par Wiley, 1990.
- [3] C. J. Han, P. P. Ruden, D. Grider, A. Fraasch, K. Newstrom and P. Joslyn, "Short-channel effects in submicron self-aligned gate Heterostructure Field-Effect Transistors", *IEDM Dig. Tech. Papers*, pp. 696-699, 1988.
- [4] P. Boissenot, E. Delhaye, J. Maluenda, P. Frijlink, C. Varin, F. Deschamps and I. Lecuru, "A 0.4- $\mu\text{m}$  gate-length AlGaAs/GaAs p-channel HIGFET with 127mS/mm transconductance at 77K", *IEEE Electron Device Lett.*, vol. EDL-11, pp. 282-284, 1990.
- [5] A. G. Baca, A. J. Howard, R. J. Shul and M. E. Sherwin, "Trenching observed during sidewall formation in GaAs self-aligned refractory gate FETs", *Electronics Lett.*, vol. 32(1), pp. 73-74, 1996.
- [6] J. K. Abrokwhah, J. H. Huang, W. Ooms, C. Shurboff, J. A. Hallmark, R. Lucero, J. Gilbert, B. Bernhardt and G. Hansell, "A manufacturable complementary GaAs process", *GaAs IC Symposium Tech. Dig.*, pp. 127-130, 1993.
- [7] J. F. Gibbons, W. S. Johnson and S. W. Mylroie, "Projected range statistics", dans *Semiconductors and Related Materials*, édité par Wiley.
- [8] S. M. Sze, *High-speed semiconductor devices*, édité par Wiley, 1990.
- [9] R. Anholt, P. Balasingam, S. Y. Chou, T. W. Sigmon and M. Deal, "Ion implantation into gallium arsenide", *J. Appl. Phys.*, vol. 64(7), pp. 3429-3438, 1988.
- [10] J. P. de Souza and D. K. Sadana, "Ion implantation in Gallium Arsenide MESFET technology", *IEEE Trans. on Electron Devices*, vol. ED-39(1), pp. 166-175, 1992.
- [11] H. Shen, Z. Zhou, H. Xu, G. Xia and S. Zou, "High activation efficiency in  $\text{Mg}^+$  implanted GaAs by  $\text{P}^+$ ", *Appl. Phys. Lett.*, vol. 61(17), pp. 2093-2095, 1992.
- [12] P. E. Hallali, H. Baratte, F. Cardone, M. Norcott, F. Legoues and D. K. Sadana, "Effect of F co-implant during annealing of Be-implanted GaAs", *Appl. Phys. Lett.*, vol. 57(6), pp. 569-570, 1990.
- [13] M. D. Deal and H. G. Robinson, "Diffusion of implanted beryllium in gallium arsenide as a function of anneal temperature and dose", *Appl. Phys. Lett.*, vol. 55(10), pp. 996-998, 1989.
- [14] H. G. Robinson, M. D. Deal, G. Amaratunga, P. B. Griffin, D. A. Stevenson and J. D. Plummer, "Modeling uphill diffusion of Mg implants in GaAs using SUPREM-IV", *J. Appl. Phys.*, vol. 71(6), pp. 2615-2623, 1992.

- [15] H. G. Robinson, M. D. Deal and D. A. Stevenson, "Damage-induced uphill diffusion of implanted Mg and Be in GaAs", *Appl. Phys. Lett.*, vol. 56(6), pp. 554-556, 1990.
- [16] S. Yamahata and S. Adachi, " $\text{Be}^+/\text{P}^+$  and  $\text{Be}^+/\text{As}^+$  dual implantations into  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ", *Appl. Phys. Lett.*, vol. 52(18), pp. 1493-1495, 1988.
- [17] J. F. Thiery, H. Fawaz, J. C. Pesant, N. T. Linh and G. Salmer, "Beryllium ion implantation into GaAs and pseudomorphic AlGaAs/InGaAs/GaAs heterostructure", à paraître dans *J. Electron. Materials*.
- [18] D. R. Myers, G. A. Vawter, E. D. Jones, T. E. Zipperian, T. J. Drummond, I. J. Fritz, L. R. Dawson, T. M. Brennan, B. E. Hammons, A. K. Datye, D. S. Simons and J. Comas, "Rapid-thermal annealing for quantum-well heterostructure device fabrication", *IEEE Trans. on Electron Devices*, vol. ED-39(1), pp. 41-47, 1992.
- [19] A. Tamura, T. Uenoyama, K. Nishii, K. Inoue and T. Onuma, "New rapid thermal annealing for GaAs digital integrated circuits", *J. Appl. Phys.*, vol. 62(3), pp. 1102-1107, 1987.
- [20] S. J. Pearton, K. D. Cummings and G. P. Vella-Coleiro, "Rapid thermal annealing in GaAs IC processing", *J. Electrochem. Soc.*, vol. 132(11), pp.2743-2748, 1985.
- [21] N. Chand, F. Ren, S. J. Pearton, N. J. Shah and A. Y. Cho, "Ion-implantation and activation behavior of Si in MBE-grown GaAs on Si substrates for GaAs MESFET's", *IEEE Electron Device Lett.*, vol. EDL-8(5), pp. 185-187, 1987.
- [22] S. J. Pearton, W. S. Hobson, J. M. Kuo, H. S. Luftman, A. Katz and F. Ren, "Activation and diffusion characteristics of implanted Si and Be in  $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ ", *Appl. Phys. Lett.*, vol. 60(9), pp. 1117-1119, 1992.
- [23] S. Yamahata and S. Adachi, " $\text{Be}^+/\text{P}^+$  and  $\text{Be}^+/\text{As}^+$  dual implantations into  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ", *Appl. Phys. Lett.*, vol. 52(18), pp. 1493-1495, 1988.
- [24] W. H. van Berlo and G. Landgren, "High-dose magnesium implantations in InP activated by rapid thermal annealing", *J. Appl. Phys.*, vol. 66(7), pp. 3117-3120, 1989.



## CHAPITRE VI

### REALISATION DES CONTACTS OHMIQUES

#### VI.1 Enjeux et moyens utilisés pour la réalisation des contacts ohmiques sur couches HIGFETs

##### VI.1.1 Importance des contacts ohmiques

La formation des contacts ohmiques s'inscrit dans un objectif global d'optimisation des transistors HIGFETs de type n et de type p. Ils contribuent en effet à l'obtention de faibles résistances d'accès de source et de drain, ce qui est indispensable afin d'atteindre des transconductances et des fréquences de coupure élevées. Les transconductances extrinsèques et intrinsèques d'un transistor à effet de champ sont en effet reliées la valeur de la résistance parasite de source  $R_S$  par la relation :

$$g_{mext} = g_{mint} / ( 1 + R_S g_{mint} ) \quad (\text{eq. 6.1})$$

Des résistances de contact inférieures à  $0.1 \Omega \cdot \text{mm}$  sont donc nécessaires en vue de ne pas trop dégrader la transconductance, compte tenu des valeurs élevées de celle-ci..

##### VI.1.2 Difficultés rencontrées sur les couches HIGFETs

Diverses raisons rendent délicate l'obtention d'excellents contacts ohmiques sur les couches épitaxiées :

- La présence d'une couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  à largeur de bande interdite élevée dans les couches pseudomorphiques limite l'effet tunnel, indispensable à la réalisation de contacts ohmiques performants. Les taux élevés d'aluminium contribuent en effet à augmenter la largeur de bande interdite (gap) de l' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  qui vaut 1.92 eV et 2.03 eV respectivement pour des taux de 40% et 75% [1].

- Les deux attaques GIR réalisées en amont du dépôt des contacts ohmiques (gravure du métal de grille WSi, puis de la couche  $\text{Si}_3\text{N}_4$  d'encapsulation pour le recuit d'activation) contribuent à une dégradation progressive de l'état de surface du matériau. En plus d'un probable décapage de la fine couche de GaAs en surface qui peut mettre la couche d'AlGaAs à nu et ainsi favoriser son oxydation, des analyses Auger ont en effet mis en évidence des teneurs en oxygène et en fluor significatives dans une petite partie de la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$ , ce qui dégrade fatalement la qualité des contacts.

- En cas de mauvaise tenue de la couche de nitrure lors du recuit d'activation à haute température, quelques morceaux de  $\text{Si}_3\text{N}_4$  peuvent subsister après la gravure, et par conséquent perturber la zone de contact.

- Etant donné le passage massif d'ions en surface, l'implantation ionique a peut-être endommagé le réseau cristallin dans les premières dizaines d'Angströms du matériau, et il est possible que le taux d'activation des implants y soit plus faible qu'en profondeur.

La solution est d'utiliser des contacts ohmiques diffusants de manière à surdoper une faible épaisseur du matériau en surface. Il est également recommandé de procéder à un décapage in-situ de la surface des substrats avant tout dépôt de contact ohmique. Nous disposons d'un générateur RF 13.56 MHz qui permet de réaliser une pulvérisation inverse sur les substrats. Un etching à 200 V durant deux minutes sert donc à décaper typiquement 20Å de matériau endommagé et pollué.

### VI.1.3 Moyens utilisés

Nos dépôts de métallisations des contacts ohmiques sont réalisés dans un bâti Alcatel d'évaporation sous vide par faisceau d'électrons et de pulvérisation cathodique. Nous utilisons un générateur RF supplémentaire pour effectuer notre décapage préalable, ce qui évite de soumettre le matériau à l'air avant le dépôt métallique. Cette pulvérisation inverse est effectuée dans une atmosphère d'argon à une pression de  $10^{-2}$  Torr. Nous avons également essayé les contacts ohmiques traditionnellement utilisés à l'IEMN et disponibles dans le bâti MECA 2000 par souci de comparaison.

Les plots des contacts sont définis par photolithographie et technique de lift-off dans un bac à ultrasons. Les recuits des contacts ohmiques se font avec l'aide d'un four Heatpulse 210T à recuit thermique rapide, dans une atmosphère  $\text{N}_2 + 10\% \text{H}_2$ . Il a été montré qu'un tel recuit thermique rapide présente des avantages indéniables par rapport à un recuit à plus longue durée dans un four tubulaire. Ces recuits rapides ont conduit non seulement à une meilleure résistance de contact, mais également à un interface de meilleure qualité, une morphologie améliorée, et des bords de plots mieux définis [2].

Pour éviter un courant parasite bi-dimensionnel entre les plots de contacts, un mesa rectangulaire sera réalisé autour des cinq plots du motif TLM par une attaque

chimique dans une solution  $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + 100 \text{ H}_2\text{O}$  dont la vitesse de gravure est  $0.2 \mu\text{m}/\text{mn}$ .

## VI.2 Optimisation du contact ohmique AuGe/Ni/Au de type n

### VI.2.1 Etat de l'art des contacts ohmiques à base de germanium

Les contacts ohmiques les plus utilisés se font à partir d'un alliage AuGe, composé à 88% d'or et à 12% de germanium. Une couche de nickel sert de barrière entre le système AuGe/matériau et une couche d'or d'épaississement. Ce type de contact ohmique AuGe/Ni/Au sur GaAs a donné de bonnes résistivités, de l'ordre de  $10^{-6} \Omega \cdot \text{cm}^2$  après recuit thermique rapide dans la gamme de températures  $420 - 450^\circ\text{C}$  [2], le germanium étant utilisé en tant que diffusant de type n dans le semiconducteur. Ce contact a fait l'objet de nombreuses études sur GaAs. Il a été montré que la couche de nickel permet de prévenir une exodiffusion de germanium dans la couche d'or superficielle jusqu'à  $420^\circ\text{C}$  environ, en formant un composé binaire  $\text{Ni}_3\text{Ge}$ . Quand la température du recuit dépasse  $440^\circ\text{C}$  approximativement, une réaction entre l'or et le GaAs a lieu, créant une structure binaire Au-Ga, ce qui altère peu à peu la couleur des plots de contacts. En même temps, le composé  $\text{Ni}_3\text{Ge}$  diffuse dans le semiconducteur, et entraîne la formation de grains de  $\text{NiAs}(\text{Ge})$  dans le GaAs, ce qui augmente le dopage dans une faible profondeur du semiconducteur et contribue à une faible résistance de contact. Un recuit à des températures au-delà de  $500^\circ\text{C}$  a pour conséquence d'accroître la taille des grains de  $\text{NiAs}(\text{Ge})$  et de diluer les atomes de germanium, résultant en une dégradation simultanée de la résistance de contact, de la morphologie et du profil des bords des contacts [3].

Le dépôt d'une fine couche de nickel à l'interface AuGe/GaAs permet de retenir le matériau semiconducteur en formant des composés de type  $\text{Ni}_2\text{GaAs}$  et  $\text{Ni}_3\text{GaAs}$ . La présence de cette couche améliore ainsi la tenue de l'alliage AuGe sur le matériau après recuit, mais n'empêche pas l'altération de la morphologie résultant d'un recuit à des températures trop élevées.

Des contacts non-alliés à base de germanium, tels qu'une séquence Ni/Ge/Au/Ni/Au ont permis d'atteindre des résistances de contact acceptables, de l'ordre de  $0.2 \Omega \cdot \text{mm}$  sur  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  [4]. Une telle métallisation séquentielle améliore les profils des flancs des contacts, et s'utilise couramment à l'IEMN dans le bâti MECA 2000, pour les procédés technologiques à grilles "recessées" qui nécessitent un alignement électronique critique entre les plots des contacts pour la formation de la grille des transistors.

En ce qui nous concerne, notre étude comparative entre un contact allié AuGe/Ni/Au réalisé à partir du bâti Alcatel et un contact séquentiel Ni/Ge/Au/Ni/Au disponible sur le bâti MECA 2000 s'est faite principalement en utilisant comme critère

la valeur de la résistance de contact. En effet, la morphologie du contact n'est pour nous qu'une considération mineure, étant donné que notre procédé technologique n'utilise aucun alignement critique par rapport aux contacts ohmiques.

### VI.2.2 Essai du contact AuGe/Ni/Au sur GaAs implanté

Un contact ohmique allié, consistant en une métallisation AuGe (1000Å) / Ni (300Å) / Au (2000Å) a fait l'objet de quelques essais sur un matériau GaAs dopé par implantation ionique et présentant une résistance carrée de  $170 \Omega/\square$ . Pour ces quelques essais la dose et l'énergie du silicium étaient respectivement  $10^{14} \text{ cm}^{-2}$  et 60keV, de manière à atteindre un dopage comparable à celui résultant d'une double implantation  $4 \times 10^{13}$  et  $8 \times 10^{13} \text{ cm}^{-2}$ .

Un traitement thermique à  $400^\circ\text{C}$  durant 30s a permis de rendre ohmique la caractéristique I(V) statique et d'obtenir une résistance de contact de  $0.15 \Omega.\text{mm}$ . Après un recuit rapide à  $420^\circ\text{C}$ , nous avons obtenu une excellente valeur de  $0.04 \Omega.\text{mm}$ , correspondant à une résistivité spécifique de  $10^{-7} \Omega.\text{cm}^2$ , et une excellente morphologie. Le choix d'une température autour de  $450^\circ\text{C}$  a pour conséquence de dégrader légèrement la résistance de contact ( $0.075 \Omega.\text{mm}$ ) et l'aspect du contact.

Ce contact donne donc de très bons résultats sur GaAs et pourrait être utilisé notamment dans la fabrication de transistors MESFETs. Cette petite étude a simplement démontré que cette filière de contact était prometteuse, en vue d'une utilisation sur une couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  plus résistive.

### VI.2.3 Optimisation de la séquence et de l'épaisseur des différents métaux du contact ohmique de type n sur couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$

Nous avons dans un premier temps optimisé nos contacts ohmiques sur un matériau AlGaAs dont nous disposons en grande quantité, à taux d'aluminium de 40%, faiblement dopé par croissance épitaxiale à  $10^{18} \text{ cm}^{-2}$ , et ayant une forte résistance carrée ( $900 \Omega/\square$ ). La résistivité élevée du semiconducteur a permis de mettre en évidence clairement les différences dans les résultats obtenus, et ainsi de faciliter l'optimisation des épaisseurs des métaux intervenant dans le dépôt des contacts.

La métallisation de base sur ce matériau se compose d'un dépôt de 1000Å d'AuGe, suivi par une couche de nickel de 300Å d'épaisseur, et enfin par 1500Å d'or. La figure 6.1 représente la résistance de contact de ce contact ohmique pour plusieurs couples durée - température de recuit thermique rapide. La caractéristique courant-tension n'est ohmique que pour des températures au-delà de  $420^\circ\text{C}$ . Les résistances de

contact élevées s'expliquent par le faible dopage sous les plots, et un passage d'électrons à la fois par effet tunnel et thermoionique.

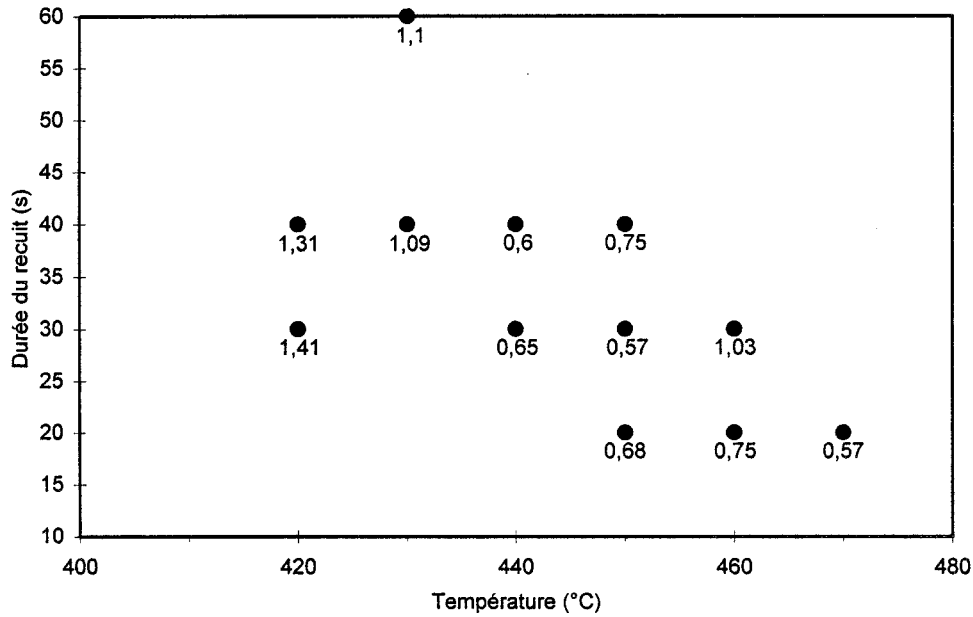


Fig. 6.1 : Résistances du contact AuGe (1000Å) / Ni (300Å) / Au (1500Å) sur  $\text{Al}_{0,4}\text{Ga}_{0,6}\text{As}$  dopé  $10^{18} \text{ cm}^{-2}$  (900 W/□) après recuit thermique rapide.

Une résistance de contact minimale de  $0.57 \Omega.\text{mm}$  est obtenue pour un recuit à  $450^\circ\text{C}$  durant 30s, ce qui équivaut à une résistivité spécifique valant  $3 \times 10^{-6} \Omega.\text{cm}^2$ . La morphologie assez moyenne de ce contact est donnée en figure 6.2.

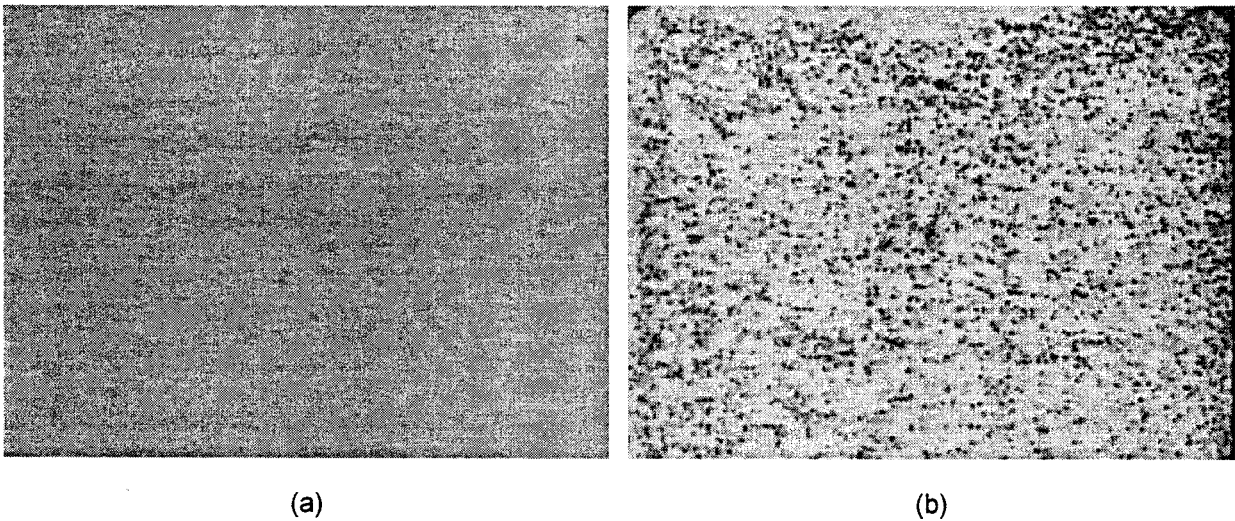


Fig. 6.2 : Morphologie du contact AuGe (1000Å) / Ni (300Å) / Au (1500Å) sur  $\text{Al}_{0,4}\text{Ga}_{0,6}\text{As}$  dopé  $10^{18} \text{ cm}^{-2}$  avant (a) et après recuit (b) à  $450^\circ\text{C}$  durant 30s.

La figure 6.1 permet de situer autour de 450°C la température optimale du recuit pour ce contact à base d'AuGe sur toute couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$ . Un recuit à des températures plus élevées donne lieu à une dégradation progressive de la résistance de contact et de l'aspect des plots.

Le tableau 6.1 résume divers essais de contacts à base d'AuGe sur cette couche d' $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  en faisant varier les épaisseurs des métaux, et en ajoutant une couche interfaciale de nickel d'une épaisseur de 100Å.

Ni	AuGe	Ni	Au	T° (°C)	durée (s)	Rc ( $\Omega\cdot\text{mm}$ )
100	1000	300	1500	400	30	1.87
100	1000	300	1500	430	30	1.90
100	1000	300	1500	450	30	1.86
100	1000	300	1500	470	30	1.40
100	1000	300	1500	500	30	1.75
0	1000	100	1500	400	30	1.28
0	1000	100	1500	410	30	1.29
0	1000	100	1500	430	30	1.10
0	1000	100	1500	450	30	1.10
0	1000	100	1500	470	30	1.54
0	1000	100	1500	450	10	1.41
0	1000	300	1500	440	30	0.65
0	1000	300	1500	450	20	0.68
0	1000	300	1500	450	30	0.57
0	1000	300	1000	420	30	0.97
0	1000	300	1000	450	30	0.97

Tableau 6.1 : Comparaison de divers types de contacts alliés à base d'AuGe sur couche d'AlGaAs très résistive.

Ce tableau démontre qu'une l'insertion d'une fine couche de nickel dégrade fortement les résistances de contact, en perturbant probablement la diffusion du germanium dans le semiconducteur. De plus, cette couche de nickel ne contribue en rien à améliorer l'aspect du contact.

La réduction de l'épaisseur de la couche de nickel entre l'AuGe et la couche d'or superficielle a pour effet de dégrader à la fois la résistivité du contact, qui dépasse dans tous les cas 1  $\Omega\cdot\text{mm}$ , et l'aspect des plots. Ce phénomène s'explique par l'incapacité de cette fine couche de nickel à empêcher une exodiffusion du germanium dans la couche d'or. Il est donc manifeste qu'une métallisation AuGe (1000Å) / Ni (300Å) / Au (2000Å) est susceptible de fournir les meilleurs résultats sur un matériau composé d'AlGaAs dopé par implantation.

Nous avons par ailleurs entrepris quelques essais sur ce matériau très résistif d'un contact non-allié Ni (25Å) / Ge (400Å) / Au (800Å) / Ni (50Å) / Au(2000Å) disponible à l'IEMN, et qui a donné de très mauvais résultats, la résistance de contact ne descendant jamais sous les 2  $\Omega\cdot\text{mm}$ .

### VI.2.4 Optimisation sur couche HIGFET dopée par implantation

L'optimisation du couple température - durée du recuit pour des contacts ohmiques de type n s'est faite sur une hétérostructure  $\text{Al}_x\text{Ga}_{1-x}\text{As} / \text{GaAs}$  conventionnelle. La structure épitaxiale consiste en une couche de GaAs de  $2000\text{\AA}$  d'épaisseur, suivie par une couche d' $\text{Al}_{0,4}\text{Ga}_{0,4}\text{As}$  de  $250\text{\AA}$ , puis par un cap de GaAs de  $80\text{\AA}$ . Afin de reproduire au mieux les conditions réelles d'un procédé technologique, nous avons implanté une dose de silicium de  $10^{14} \text{ cm}^{-2}$  avec une énergie de  $60 \text{ keV}$ , à travers une fine couche encapsulatrice de nitrure de silicium que nous avons éliminée par gravure ionique réactive après un recuit d'activation à  $850^\circ\text{C}$  durant 10s. La résistance carrée de ce matériau implanté vaut  $310 \Omega/\square$ .

Nous avons expérimenté sur cette hétérostructure un contact ohmique séquentiel standard Ni ( $150\text{\AA}$ ) / Ge ( $195\text{\AA}$ ) / Au ( $390\text{\AA}$ ) / Ti ( $500\text{\AA}$ ) / Au ( $2000\text{\AA}$ ) disponible à l'IEMN. Après divers recuits dans une large gamme en températures, ce contact ohmique donne, en plus d'un aspect généralement médiocre, des résistances de contact entre  $0.33$  et  $0.9 \Omega.\text{mm}$ , ce qui représente des valeurs encore trop élevées par rapport à ce qui est admissible pour réaliser de bons composants. Ceci prouve qu'un contact non-allié n'est définitivement pas un choix à retenir pour un semiconducteur résistif tel que l' $\text{Al}_{0,4}\text{Ga}_{0,6}\text{As}$ .

Nous avons donc centré notre étude sur le contact AuGe/Ni/Au. La figure 6.3 représente la résistance du contact AuGe ( $1000\text{\AA}$ ) / Ni ( $300\text{\AA}$ ) / Au ( $1500\text{\AA}$ ) pour divers couples température - durée du recuit thermique rapide. Chaque donnée est une valeur moyennée de huit mesures, avec des dispersions de l'ordre de 5%.

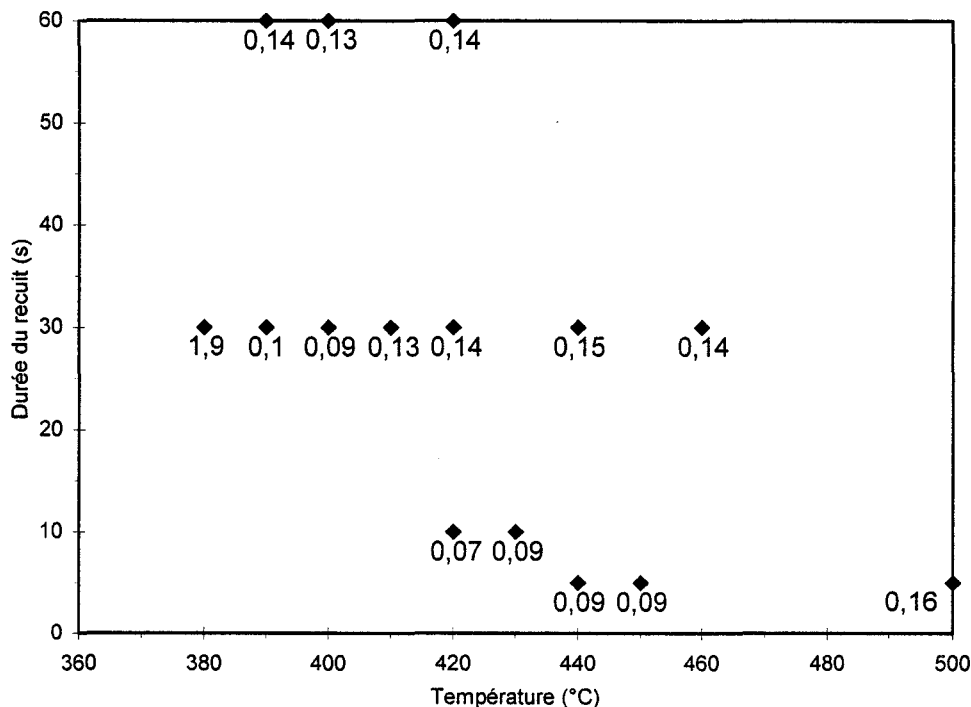


Fig. 6.3 : Résistances de contact de AuGe ( $1000\text{\AA}$ ) / Ni ( $300\text{\AA}$ ) / Au ( $1500\text{\AA}$ ) sur hétérostructure  $\text{Al}_{0,4}\text{Ga}_{0,6}\text{As} / \text{GaAs}$  implantée ( $310 \text{ W}/\square$ ) en fonction de la température et de la durée des recuits.

Le contact devient ohmique lorsque la température de recuit dépasse 380°C. Pour une durée du recuit de 30s, une température de 400°C aboutit à une résistance de contact de 0.09  $\Omega$ .mm, ce qui correspond à une résistivité spécifique de  $2.7 \times 10^{-7}$   $\Omega$ .cm<sup>2</sup>. Par ailleurs, tout recuit d'une minute semble moins indiqué pour atteindre des résistances de contact de l'ordre de 0.1  $\Omega$ .mm, probablement à cause de réactions métallurgiques entre les divers métaux qui perturbent la diffusion du germanium dans le semiconducteur, et qui ont davantage lieu dans des fours traditionnels à recuits longue durée.

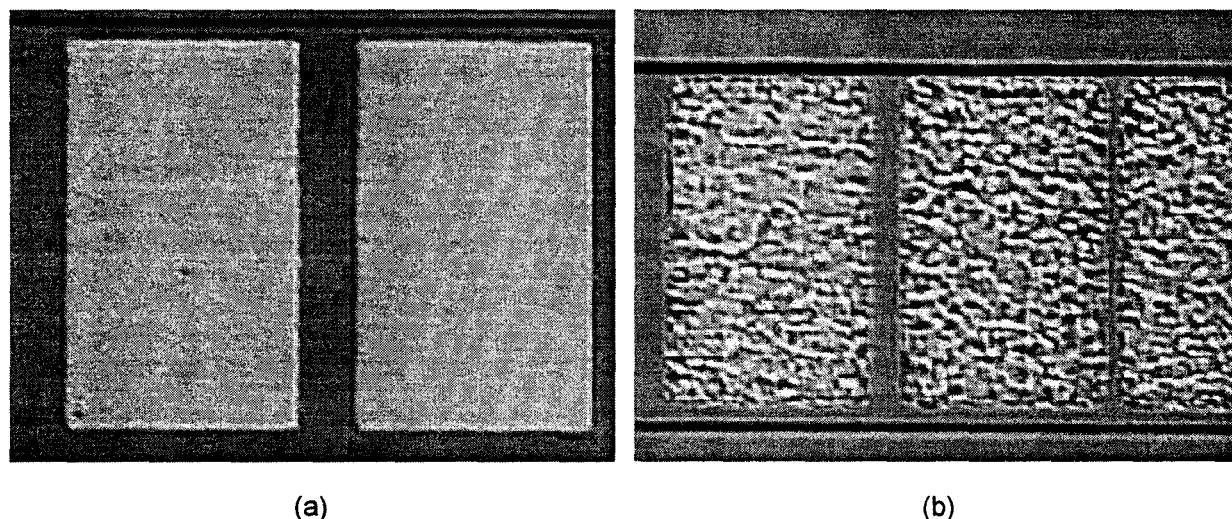


Fig. 6.4 : Morphologie des plots des contacts AuGe (1000Å) / Ni (300Å) / Au (1500Å) après des recuit de 420°C durant 10s (a) et 500°C durant 5s (c).

Par contre, les recuits "flash" (à des durées entre 5 et 10s) permettent d'obtenir d'excellentes résistivités, pour une gamme de températures de 30°C. Ainsi, après un recuit flash à 420°C durant 10s, nous avons obtenu une excellente résistance de contact valant 0.07  $\Omega$ .mm, correspondant à une résistivité spécifique de  $1.5 \times 10^{-7}$   $\Omega$ .cm<sup>2</sup>. Cette valeur est, à notre connaissance, la plus faible résistivité jamais obtenue pour un contact ohmique de type n sur AlGaAs. Ce contact jouit en plus d'une très bonne stabilité thermique puisqu'un recuit à 500°C a un effet assez peu néfaste vis-à-vis de la résistance de contact qui vaut alors 0.16  $\Omega$ .mm.

La figure 6.4 montre l'aspect des plots des contacts AuGe (1000Å) / Ni (300Å) / Au (1500Å) après des recuits à 420°C (fig. 6.4.a) et 500°C (fig. 6.4.b). Un recuit à 420°C présente une excellente morphologie, en plus d'une très faible résistance de contact. Il est clair qu'un recuit à 500°C dégrade l'aspect morphologique du contact, avec notamment des craquelures en surface et une mauvaise planéité de l'interface métal / semiconducteur.



Nous avons reproduit ce plan d'expérience du contact AuGe (1000Å) / Ni (300Å) / Au (1500Å) sur une couche HIGFET pseudomorphique à un taux d'aluminium de 75%, et implantée de la même façon. Nous avons obtenu à la fois un contact d'un bel aspect et une résistance de contact valant  $0.07 \Omega \cdot \text{mm}$ , mais après un recuit à  $450^\circ\text{C}$  durant 10s. Ce léger décalage en température de  $30^\circ\text{C}$  peut s'expliquer par la résistivité un peu plus importante d' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  par rapport à  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ , qui nécessite une plus haute température afin de faire diffuser le germanium d'une façon équivalente.

### VI.3 Optimisation du contact ohmique Au/Mn/Ni/Au de type p

#### VI.3.1 Etat de l'art des contacts de type p. Besoin d'un contact diffusant

La plupart des contacts ohmiques de type p sur matériaux III-V sont utilisés comme contacts d'accès non pas pour des transistors à effet de champ, mais dans le cadre de la fabrication des dispositifs optoélectroniques ou des transistors bipolaires à hétérojonction, pour lesquels le matériau sous le contact de base consiste en un semiconducteur à faible bande interdite et très fortement dopé (de l'ordre de  $10^{21} \text{cm}^{-3}$ ) tel que l'InGaAs. Pour ces composants, les contacts de type p sont réalisés à partir d'une séquence métallique non diffusante telle que Pt/Ti et fonctionnent uniquement grâce à l'effet tunnel causé par le dopage très élevé à l'interface et le faible gap du semiconducteur. Les performances de contacts de type Ti/Pt ou Ti/Pt/Au ont été publiés à plusieurs reprises [7] [8] et ont conduit à une excellente résistivité spécifique de  $3 \times 10^{-8} \Omega \cdot \text{cm}^2$  sur  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ .

Il en va tout autrement dans le cas des substrats sur lesquels nous fabriquons nos transistors HIGFET de type p, qui consistent en un matériau  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  à large bande interdite. Nous avons en effet déposé un contact non-diffusant Pt (100Å) / Ti (400Å) / Pt (100Å) / Au (2500Å) sur une couche pseudomorphique HIGFET à taux d'aluminium valant 0.75. Nous avons effectué sur ce matériau une co-implantation Mg + P avec une dose conséquente de  $5 \times 10^{14} \text{cm}^{-2}$  et des énergies de 70 et 100 keV respectivement. Les caractéristiques statiques courant - tension obtenues à partir d'un contact Pt/Ti/Pt/Au n'ont jamais été ohmiques, et ce pour n'importe quelle température de recuit jusqu'à  $600^\circ\text{C}$ . La figure 6.5 représente la photographie d'une telle caractéristique  $I(V)$  qui fait apparaître l'existence d'une barrière de 0.4 V environ.

Ce type de caractéristique non ohmique nous a poussé à une investigation de contacts de type p diffusants. La plupart des contacts publiés dans la littérature sont basés sur des métallisations à base d'or et d'un diffusant de type p tel que le béryllium ou le zinc, et consistent en des alliages AuBe [9] et AuZn [10]. Cependant, il semble réellement difficile de parvenir à des résistivités spécifiques de l'ordre de  $5 \times 10^{-7}$

$\Omega \cdot \text{cm}^2$  avec de telles séquences. Par ailleurs, il était inconcevable d'employer un creuset à base de béryllium, dont l'oxyde est très dangereux, dans le bâti Alcatel. De plus, toute métallisation à base de zinc entraîne un dépôt sur les parois du bâti d'évaporation : il en résulte un redépôt de zinc sur les substrats lors des opérations ultérieures.

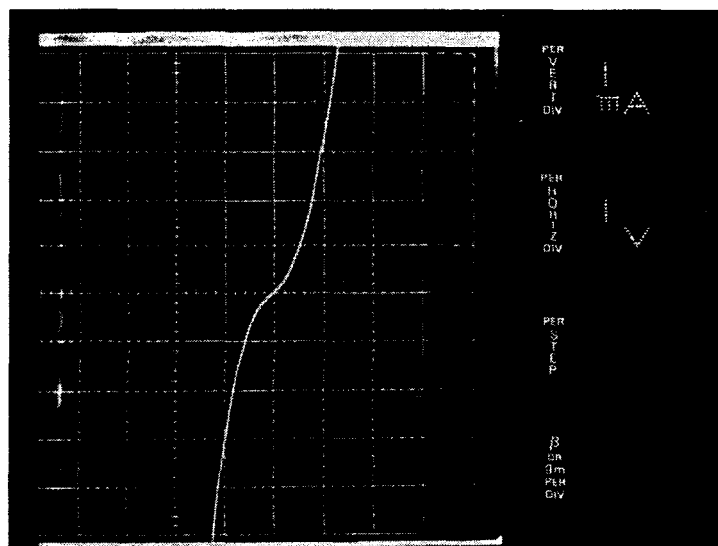


Fig. 6.5 : Photographie de la caractéristique statique  $I(V)$  après recuit à  $400^\circ\text{C}$  durant 40s d'un contact ohmique Pt (100Å) / Ti (400Å) / Pt (100Å) / Au (2500Å) sur couche HIGFET pseudomorphique  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  implantée par Mg+P avec une dose de  $5 \times 10^{14} \text{ cm}^{-2}$ .

Un contact ohmique de type p en tungstène exclusivement a par ailleurs été publié, mais il présente une résistivité de  $7.6 \times 10^{-6} \Omega \cdot \text{cm}^2$  beaucoup trop élevée pour notre application [11]. Plus récemment, Motorola a présenté un contact à base d'aluminium, de zinc et de tungstène sur une couche HIGFET pseudomorphique à taux d'aluminium de 0.75, et une résistivité de  $3.2 \times 10^{-8} \Omega \cdot \text{cm}^2$  a été rapportée, même si les auteurs ont constaté une forte instabilité thermique [12]. Cependant, la réalisation de ce contact est délicate : elle comporte une évaporation, suivie de la pulvérisation et de la gravure de la couche de tungstène superficielle.

Nous avons entrepris d'optimiser un contact Au/Mn/Ni/Au, le manganèse servant de diffusant de type p, et la première couche d'or aidant à obtenir un eutectique comparable aux contacts en germanium. Nous allons montrer comment une optimisation complète de l'épaisseur des couches métalliques, ainsi que du recuit de diffusion a permis d'obtenir un contact de type p sur  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  d'excellente qualité.

### VI.3.2 Optimisation sur GaAs

Nos expérimentations initiales du contact ohmique Au/Mn/Ni/Au ont été effectuées sur des substrats de GaAs, de manière à démontrer son intérêt à partir d'une couche épitaxiale plus favorable à la réalisation d'un contact que l'hétérostructure HIGFET composée d' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  [13]. La structure épitaxiale de ces matériaux consiste en la croissance par MBE d'une couche de GaAs de 2000Å d'épaisseur dopée à  $3 \times 10^{19} \text{ cm}^{-3}$  par béryllium, avec une résistance carrée de  $100 \Omega/\square$ . La métallisation multicouches standard que nous avons utilisée comprend un premier dépôt d'or de 400Å d'épaisseur, suivi par un dépôt de manganèse de 400Å également, puis par une couche barrière de nickel de 100Å, et enfin un épauissement d'or de 2000Å d'épaisseur. D'autres métallisations furent l'objet d'investigations, en modifiant les diverses épaisseurs : 200Å et 600Å pour la première couche d'or, 1000Å pour la couche de manganèse, 300Å et 500Å pour la couche de nickel, et des épaisseurs jusqu'à 1500Å pour la couche d'or superficielle.

La figure 6.6 présente les mesures de la résistance de contact de la métallisation standard Au/Mn/Ni/Au après recuit thermique rapide durant 40s à différentes températures jusqu'à 550°C. Chaque valeur de la courbe est une moyenne de huit mesures. Sans recuit, les caractéristiques courant - tension sont non ohmiques, avec une hauteur de barrière de 1V environ.

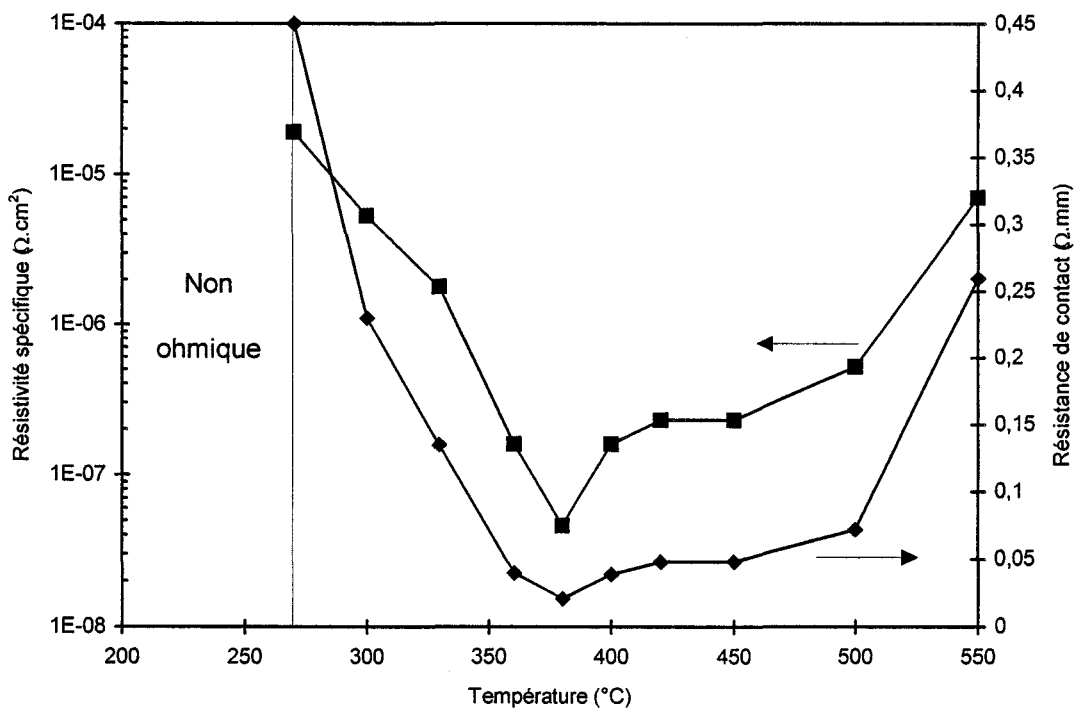


Fig. 6.6 : Résistance de contact et résistivité spécifique du contact Au (400Å) / Mn (400Å) / Ni (100Å) / Au (2000Å) sur p-GaAs après recuit thermique rapide durant 40s.

Un recuit à faible température a pour effet de réduire cette barrière et les contacts deviennent ohmiques à 270°C, avec une résistance de contact de 0.45 Ω.mm. Des traitements thermiques au-delà de 270°C contribuent à une réduction considérable

de la résistance de contact. Une valeur de  $0.04 \Omega \cdot \text{mm}$ , correspondant à une résistivité spécifique de  $1.6 \times 10^{-7} \Omega \cdot \text{cm}^2$  a été atteinte à  $360^\circ\text{C}$ , et nous avons obtenu une résistance de contact de  $0.02 \Omega \cdot \text{mm}$  ( $4.6 \times 10^{-8} \Omega \cdot \text{cm}^2$ ) après un recuit à  $380^\circ\text{C}$ . Pour des températures supérieures à  $380^\circ\text{C}$ , nous avons mesuré des résistances de contact un peu plus élevées, mais toujours inférieures à  $0.04 \Omega \cdot \text{mm}$  jusqu'à  $450^\circ\text{C}$ . Cette large gamme de températures dans laquelle les résistances de contact sont inférieures à  $0.04 \Omega \cdot \text{mm}$  démontre une excellente stabilité thermique de notre contact, ce qui signifie une bonne tolérance dans le choix de la température de recuit. Un traitement à très haute température dégrade progressivement la résistance de contact qui vaut  $0.26 \Omega \cdot \text{mm}$  ( $7 \times 10^{-6} \Omega \cdot \text{cm}^2$ ) à  $550^\circ\text{C}$ . Nous avons par ailleurs effectué un test de vieillissement sur un contact en chauffant notre échantillon à  $200^\circ\text{C}$  durant une heure dans un four tubulaire. Nous n'avons observé aucune dégradation de la résistance carrée, ce qui suggère une excellente stabilité à long terme.

Le tableau 6.2 indique les valeurs des résistances de contact pour diverses épaisseurs des couches métalliques et diverses températures autour de  $380^\circ\text{C}$ , qui est la température optimale obtenue pour le contact standard Au ( $400\text{\AA}$ ) / Mn ( $400\text{\AA}$ ) / Ni ( $100\text{\AA}$ ) / Au ( $2000\text{\AA}$ ).

Au/Mn/Ni/Au épaisseurs ( $\text{\AA}$ )	Température ( $^\circ\text{C}$ )	Résistivité spécifique ( $\Omega \cdot \text{cm}^2$ )	Résistance de contact ( $\Omega \cdot \text{mm}$ )
400/1000/100/2000	380	$4.9 \times 10^{-8}$	0.022
400/1000/100/2000	400	$1.6 \times 10^{-7}$	0.04
400/1000/100/2000	420	$3.4 \times 10^{-7}$	0.059
200/400/100/2000	360	$9.4 \times 10^{-8}$	0.031
200/400/100/2000	380	$2 \times 10^{-7}$	0.046
200/400/100/2000	400	$6.2 \times 10^{-7}$	0.077
600/1000/100/2000	380	$5.1 \times 10^{-7}$	0.071
600/1000/100/2000	400	$1.6 \times 10^{-8}$	0.012
400/400/300/2000	380	$2.2 \times 10^{-7}$	0.047
400/1000/500/2000	380	$7.7 \times 10^{-7}$	0.088
400/1000/500/2000	400	$9.7 \times 10^{-7}$	0.099
400/400/100	380	$8 \times 10^{-5}$	0.91
400/400/100/500	380	$2.1 \times 10^{-8}$	0.015

Tableau 6.2 : Résistivité spécifique et résistance de contact for différentes épaisseurs du contact ohmique Au/Mn/Ni/Au sur p-GaAs après un recuit de 40s.

En tout premier lieu, nous avons cherché à modifier l'épaisseur de la couche de manganèse, et avons essayé une épaisseur de  $1000\text{\AA}$ . Au vu des résistances de contact, il est clair que cette épaisseur a très peu d'effet. En amincissant la première couche d'or à l'interface à  $200\text{\AA}$ , la température optimale est décalée et vaut  $360^\circ\text{C}$ . Nous avons également déposé une couche d'or de  $600\text{\AA}$ , ce qui a conduit à une température optimale de  $400^\circ\text{C}$ . Pour cette température, nous avons atteint une résistance de

contact minimale de  $0.012 \Omega \cdot \text{mm}$ , ce qui équivaut à une résistivité spécifique de  $1.6 \times 10^{-8} \Omega \cdot \text{cm}^2$ . A notre connaissance, il s'agit de la résistance de contact de type p la plus faible jamais obtenue sur matériaux III-V. Cette résistance vaut notamment deux fois moins que les records précédents publiés dans la littérature [7] [12]. Un épaissement de la couche de nickel entraîne une dégradation de la résistance de contact. Enfin, nous avons réalisé des contacts en sélectionnant diverses épaisseurs de la couche d'or superficielle. L'absence de toute couche d'or a un effet dramatique, mais une couche encapsulatrice d'une épaisseur de  $500 \text{Å}$  s'avère suffisante, et conduit à une résistance de contact de  $0.015 \Omega \cdot \text{mm}$  et une résistivité spécifique de  $2.1 \times 10^{-8} \Omega \cdot \text{cm}^2$  après un recuit à  $380^\circ\text{C}$ .

La figure 6.7 représente l'une des meilleures mesures effectuées sur une métallisation Au ( $400 \text{Å}$ ) / Mn ( $400 \text{Å}$ ) / Ni ( $100 \text{Å}$ ) / Au ( $500 \text{Å}$ ) après un recuit thermique rapide à  $380^\circ\text{C}$ . Des valeurs sur la droite nous déduisons une résistance de contact valant  $0.01 \Omega \cdot \text{mm}$ , et le coefficient de régression linéaire quasi parfait démontre l'excellente précision de cette mesure de résistivité spécifique qui vaut  $10^{-8} \Omega \cdot \text{cm}^2$ .

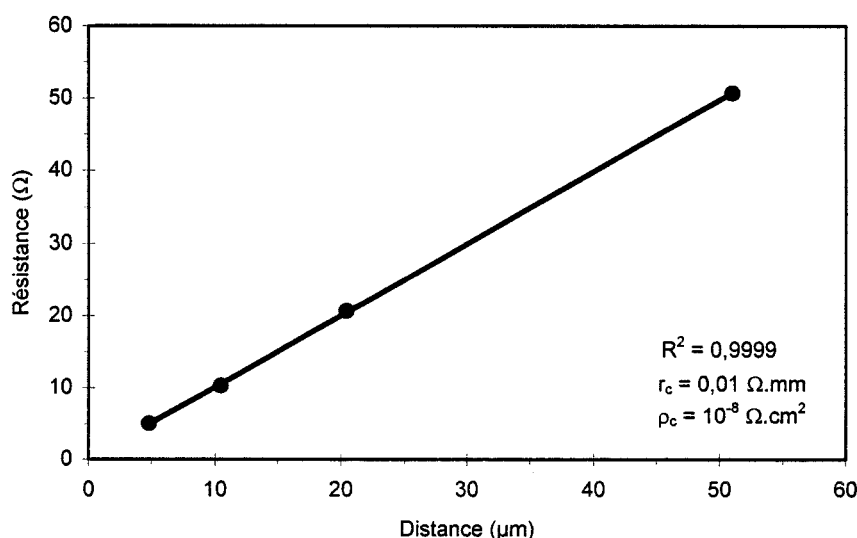
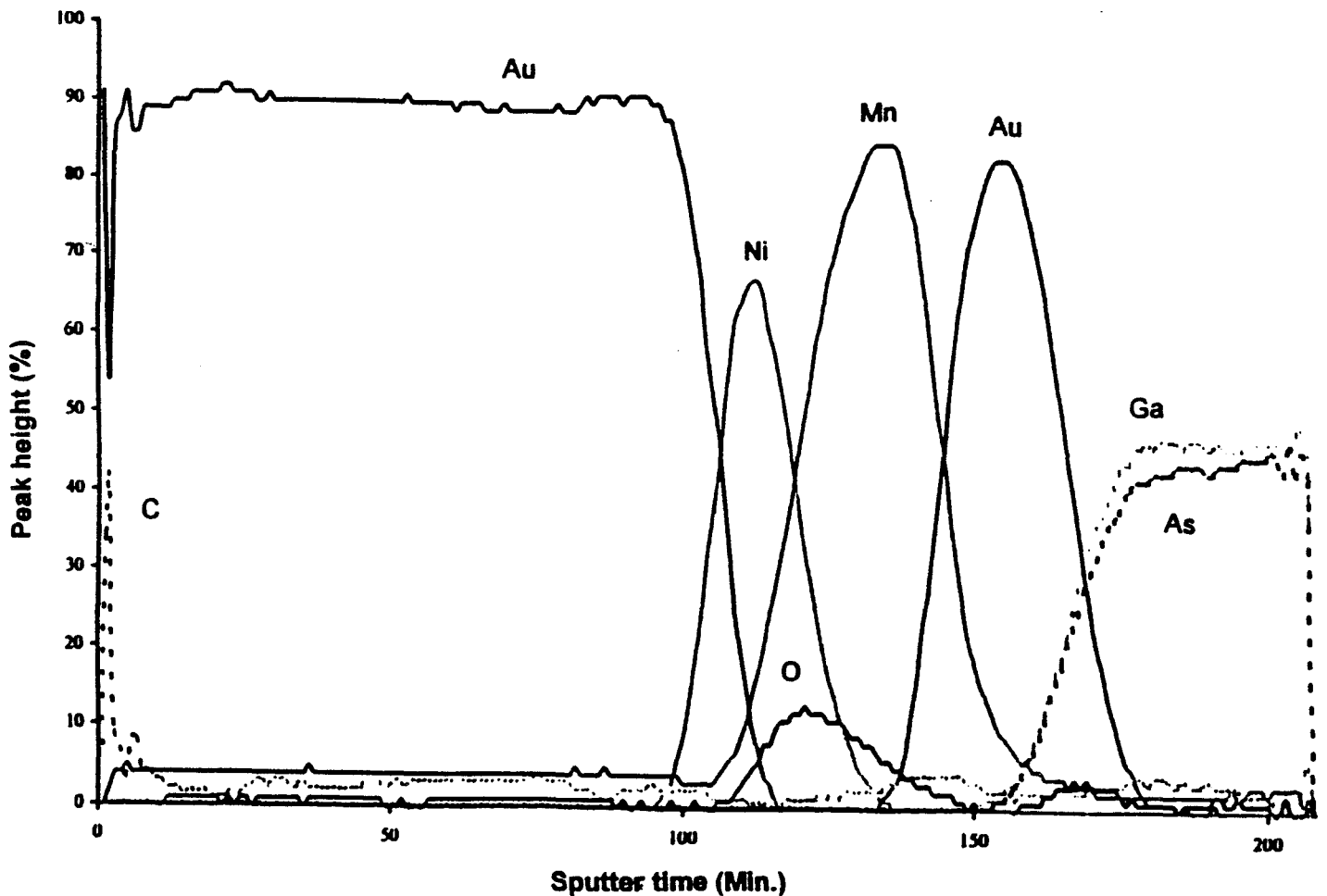


Fig. 6.7 Mesure TLM du contact Au ( $400 \text{Å}$ ) / Mn ( $400 \text{Å}$ ) / Ni ( $100 \text{Å}$ ) / Au ( $500 \text{Å}$ ) sur p-GaAs après un recuit à  $380^\circ\text{C}$  durant 40s.

Afin de bien comprendre le mécanisme du contact, nous avons entrepris une analyse par spectroscopie Auger des espèces diffusantes et des évolutions en fonction de la température du recuit. La figure 6.8 représente des profils de spectroscopie Auger d'un contact ohmique Au/Mn/Ni/Au sur GaAs juste après le dépôt (fig. 6.8.a), après recuit thermique rapide à  $380^\circ\text{C}$  durant 40s, pour une épaisseur de nickel de  $300 \text{Å}$  (fig. 6.8.b) et  $100 \text{Å}$  (fig. 6.8.c). La figure 6.8.a démontre la présence d'oxygène, correspondant à une légère oxydation in-situ de la couche de manganèse avant qu'elle ne soit recouverte par un dépôt de nickel. Afin d'atténuer cette oxydation, nous avons raccourci la durée de préchauffe du creuset de nickel à dix minutes, ce qui représente

un temps minimum pour atteindre le point de fusion du nickel. La figure 6.8.b indique clairement la formation d'un eutectique Au/Mn, ainsi que la pénétration du manganèse dans le semiconducteur et une légère exodiffusion d'arsenic. Pour une couche de nickel de 100Å (fig. 6.8.c), les niveaux d'or se confondent et on observe une dilution du manganèse à la fois dans le semiconducteur et dans les autres métaux. Une forte réaction métallurgique a lieu à l'interface métal / semiconducteur avec une migration de la couche de nickel. Nous pensons que les résistances de contact extrêmement faibles mesurées précédemment sont la conséquence de la diffusion du manganèse, de la présence d'or dans tous les niveaux métalliques, mais surtout de la formation d'une zone interfaciale composée de nickel, de gallium et d'arsenic qui favorise l'effet tunnel, comme mis en évidence dans la publication de Motorola [12].

Nous disposons donc d'un contact ohmique Au (400Å) / Mn (400Å) / Ni (100Å) / Au (2000Å) sur GaAs qui a donné des résultats au meilleur niveau mondial. Il nous faut maintenant valider ce contact sur nos couches pseudomorphiques HIGFET dopées par implantation ionique.



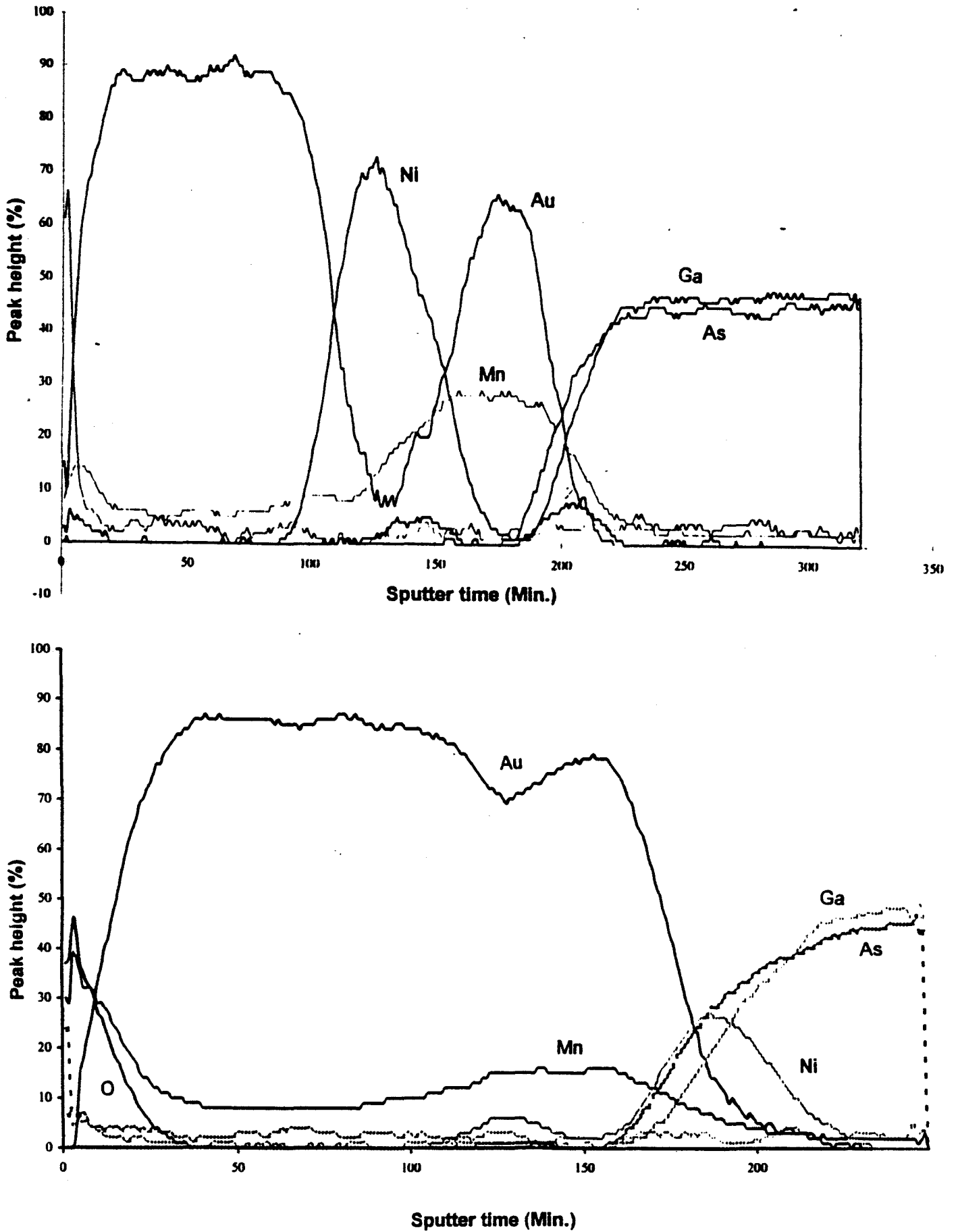


Fig. 6.8 : Spectroscopie Auger du contact ohmique Au/Mn/Ni/Au/p-GaAs avant recuit (a), après recuit, pour une épaisseur de nickel de 300Å (b) et 100Å (c).

### VI.3.3 Essais sur couche pseudomorphique HIGFET implantée par magnésium

La figure 6.9 représente les évolutions en fonction de la température et de la durée du recuit de la résistance du contact ohmique Au (400Å) / Mn (400Å) / Ni (100Å) / Au (2000Å) sur l'hétérostructure pseudomorphique  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  /  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  / GaAs à HIGFET, dopée par une co-implantation Mg+P à une dose valant  $5 \times 10^{14} \text{ cm}^{-2}$  et des énergies de 60 keV et 100 keV respectivement.

La résistance carrée de la structure de base est de  $450 \Omega/\square$ . Nous avons obtenu un double extremum, pour des recuits à  $400^\circ\text{C}$  durant 3mn et  $420^\circ\text{C}$  durant 60s, correspondant à une résistance de contact minimale de  $0.37 \Omega.\text{mm}$ , soit une résistivité spécifique de  $3 \times 10^{-6} \Omega.\text{cm}^2$ . Ces valeurs élevées sont sans nul doute dues à la mauvaise activation du magnésium et au dopage assez peu élevé en surface du semiconducteur. Par ailleurs, il apparaît clairement qu'un recuit d'une durée inférieure à 20s est insuffisant pour faire diffuser le manganèse dans le matériau, ce qui entraîne des résistances de contact élevées.

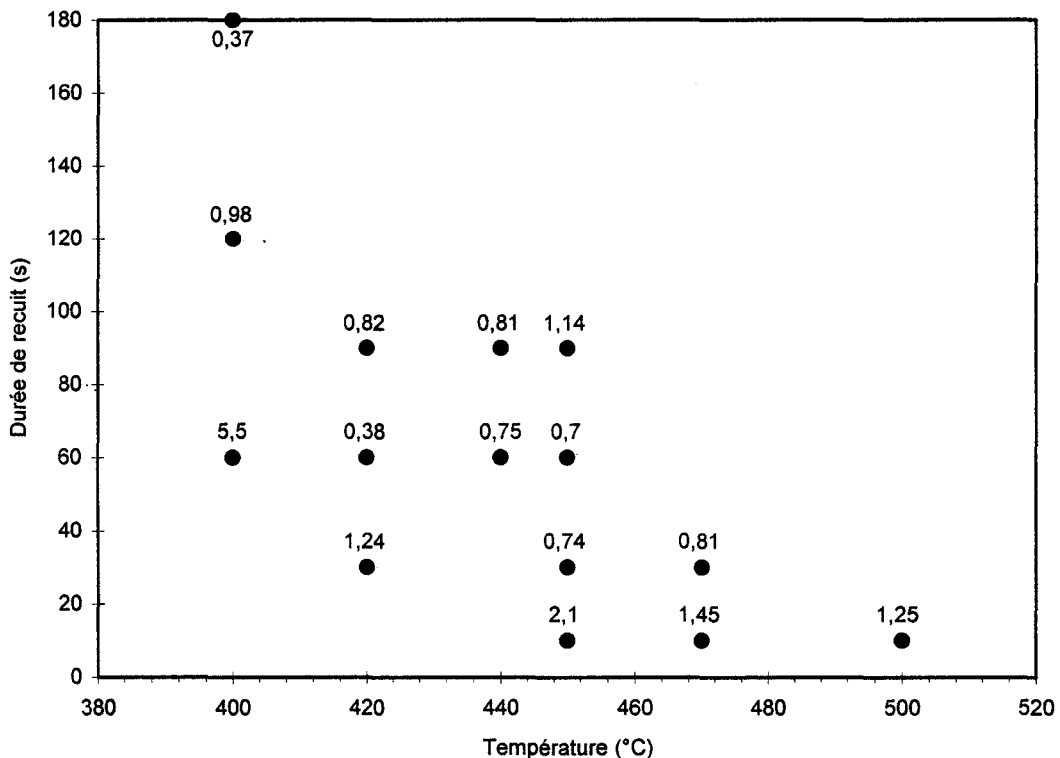


Fig. 6.9 : Résistance de contact et résistivité spécifique du contact Au (400Å) / Mn (400Å) / Ni (100Å) / Au (2000Å) sur hétérostructure  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  /  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  / GaAs implantée Mg+P à  $5 \times 10^{14} \text{ cm}^{-2}$  ( $450 \Omega/\square$ ).

### VI.3.4 Optimisation du contact ohmique Au/Mn/Ni/Au sur couche pseudomorphique HIGFET implantée au béryllium



Nous avons en dernier lieu étudié le contact Au (400Å) / Mn (400Å) / Ni (100Å) / Au (2000Å) sur l'hétérostructure pseudomorphique HIGFET, mais implantée au béryllium, qui permet d'atteindre des dopages plus élevés sous les contacts [14]. La figure 6.10 représente la résistance de contact et la résistivité spécifique de ce contact en fonction de la température du recuit, pour des doses de béryllium et de phosphore valant  $5 \times 10^{14} \text{ cm}^{-2}$  et des énergies respectives de 20 keV et 100 keV. Les substrats ont été recuits durant 30s à des températures variant de 380°C à 550°C.

Comme pour tous les contacts diffusants, la caractéristique I(V) n'est pas ohmique avant tout recuit, et demeure non ohmique pour toute température inférieure à 380°C. A cette température la résistance de contact que nous avons mesurée était 0.82 Ω.mm, et des traitement thermiques au-delà ont permis de diminuer fortement cette résistance de contact, jusqu'à ce qu'un minimum de 0.18 Ω.mm soit atteint à 420°C, avec une résistivité spécifique de  $1.4 \times 10^{-6} \text{ Ω.cm}^2$ . Un recuit à des températures supérieures n'a que très légèrement dégradé la résistance de contact qui reste inférieure à 0.3 Ω.mm jusqu'à 470°C.

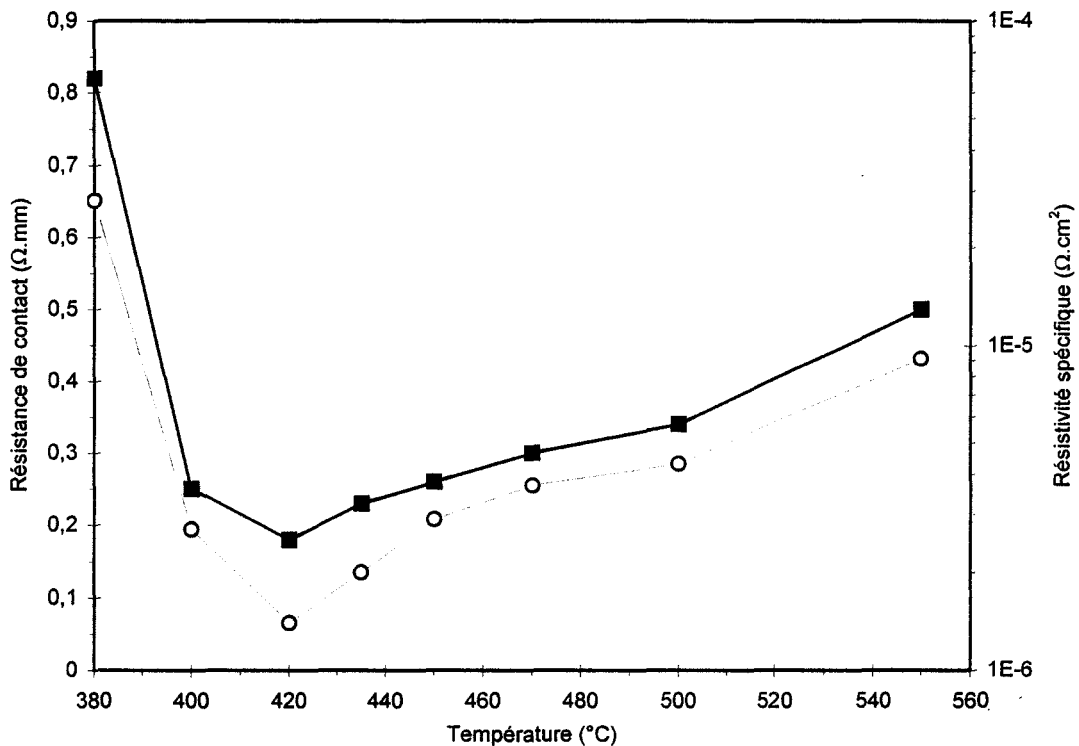


Fig. 6.10 : Résistance de contact (ligne continue) et résistivité spécifique (pointillés) en fonction de la température du recuit de 30s pour le contact Au (400Å) / Mn (400Å) / Ni (100Å) / Au (2000Å) sur hétérostructure  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  implantée Be+P à  $5 \times 10^{14} \text{ cm}^{-2}$  (230 Ω/□).

Le tableau 6.3 présente un comparatif entre plusieurs recuits à des durées de 10s, 30s et 60s et à des températures entre 380°C et 450°C. Il apparaît clairement qu'un

recuit de 10s entraîne une diffusion très insuffisante du manganèse quand la température du recuit se situe sous 420°C. Au contraire, les résultats pour une durée de 60s sont très proches de ceux obtenus pour 30s, ce qui suggère qu'un allongement de la durée du traitement thermique n'a quasiment aucun effet sur le contact.

Température/Durée	10s	30s	60s
380°C	non ohmique	0.82	0.38
400°C	1.4	0.25	0.21
420°C	0.23	0.18	0.18
450°C	0.27	0.28	0.36

Tableau 6.3 : Comparaison des résistances du contact Au/Mn/Ni/Au sur couche pseudomorphique HIGFET pour différents recuits. La dose et l'énergie du béryllium étaient  $5 \times 10^{14} \text{ cm}^{-2}$  et 20 keV.

Nous avons voulu étudier s'il était possible d'aboutir à des résistances de contact inférieures à  $0.1 \Omega \cdot \text{mm}$  en augmentant le dopage du semiconducteur sous les contacts. La figure 6.11 représente la dépendance de la résistance du contact Au/Mn/Ni/Au en fonction de la dose de béryllium. Les énergies du béryllium et du phosphore ont été choisies à 20 keV et 100 keV respectivement. Pour chaque énergie, nous avons effectué une optimisation du recuit en température, afin d'obtenir la résistance de contact optimale.

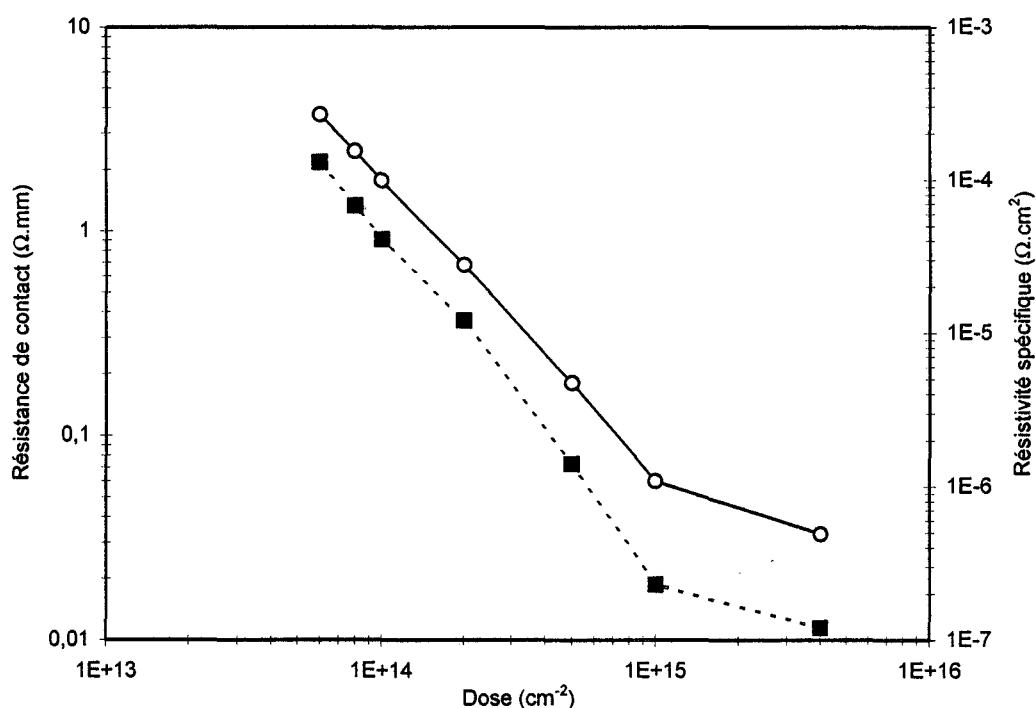


Fig. 6.11 : Résistance de contact (ligne continue) et résistivité spécifique (ligne pointillée) du contact ohmique Au/Mn/Ni/Au sur hétérostructure pseudomorphique à HIGFET implantée en fonction de la dose de béryllium.

De faibles doses de béryllium ont mené à de mauvaises résistances de contact, dues à une diffusion insuffisante du manganèse, même avec des recuits à très haute température. La dose minimale de béryllium pour obtenir une caractéristique tout à fait ohmique est  $2 \times 10^{14} \text{ cm}^{-2}$ , pour laquelle nous avons mesuré une résistance de contact de  $0.68 \text{ } \Omega \cdot \text{mm}$ , correspondant à une résistivité de  $1.2 \times 10^{-5} \text{ } \Omega \cdot \text{cm}^2$  après un recuit à  $470^\circ\text{C}$  durant 30s. Une dose de  $10^{15} \text{ cm}^{-2}$  ( $160 \text{ } \Omega/\square$ ) a permis d'obtenir une résistance de contact minimale de  $0.06 \text{ } \Omega \cdot \text{mm}$  ( $2.3 \times 10^{-7} \text{ } \Omega \cdot \text{cm}^2$ ) après un recuit à  $420^\circ\text{C}$ , et une co-implantation à  $4 \times 10^{15} \text{ cm}^{-2}$  a mené à une résistance carrée du semiconducteur de  $60 \text{ } \Omega/\square$ , et une résistance de contact extrêmement faible et valant  $0.033 \text{ } \Omega \cdot \text{mm}$  ( $1.2 \times 10^{-7} \text{ } \Omega \cdot \text{cm}^2$ ), obtenue à la fois à  $400^\circ\text{C}$  et à  $420^\circ\text{C}$ . Cette excellente valeur est du même ordre que notre précédent record sur GaAs, et représente la plus faible résistance de contact de type p jamais mesurée sur une structure AlGaAs implantée. Ceci démontre qu'il est possible d'atteindre une résistance de contact négligeable sur un matériau à large bande interdite tel qu' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$ , à condition de parvenir à un dopage élevé sous les contacts.

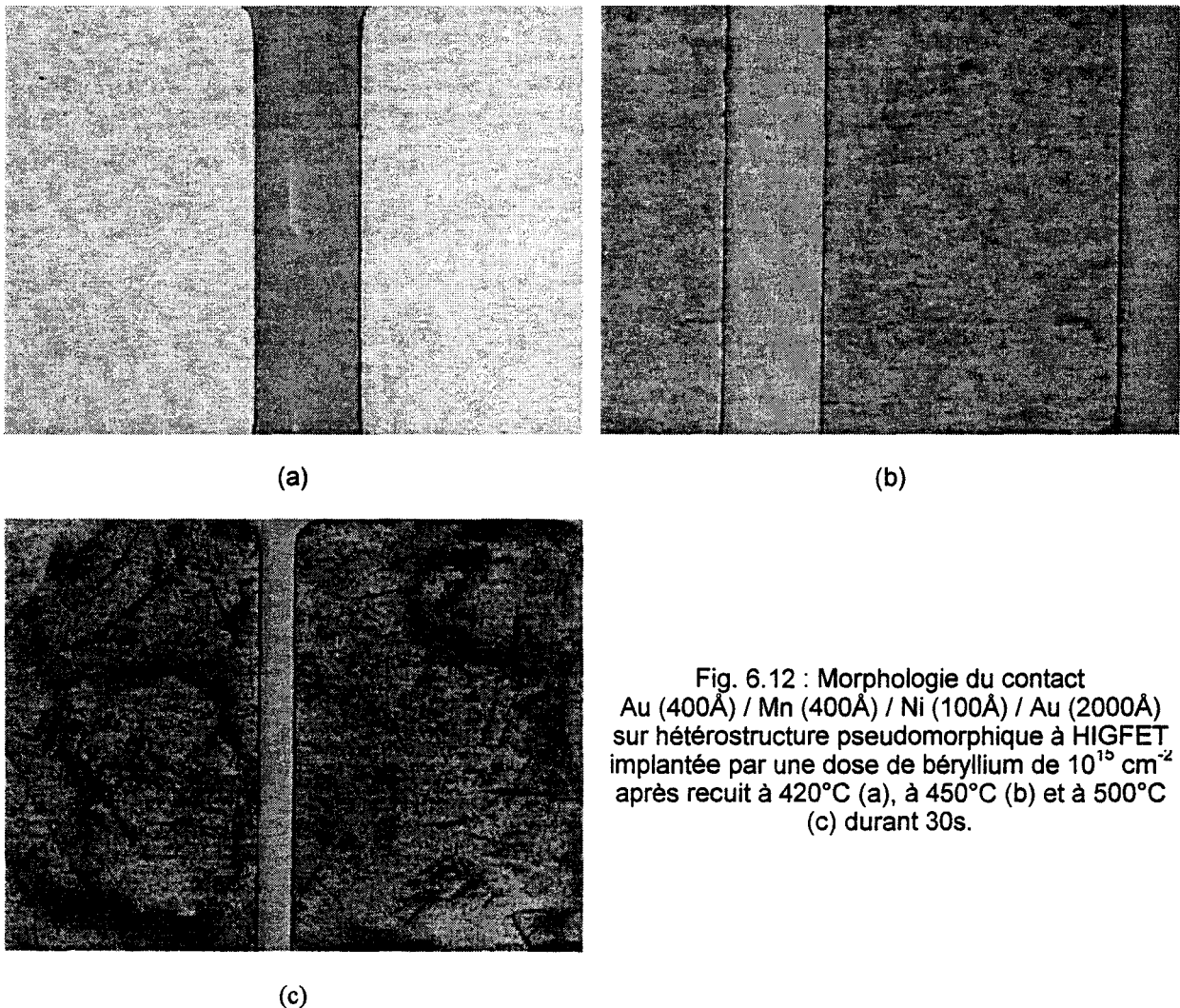


Fig. 6.12 : Morphologie du contact  
 Au (400Å) / Mn (400Å) / Ni (100Å) / Au (2000Å)  
 sur hétérostructure pseudomorphe à HIGFET  
 implantée par une dose de béryllium de  $10^{15} \text{ cm}^{-2}$   
 après recuit à  $420^\circ\text{C}$  (a), à  $450^\circ\text{C}$  (b) et à  $500^\circ\text{C}$   
 (c) durant 30s.

La figure 6.12 représente l'aspect morphologique des contacts Au/Mn/Ni/Au après recuit à 420°C (fig. 6.12.a), à 450°C (fig. 6.12.b) et à 500°C (fig. 6.12.c) durant 30s, pour une dose de béryllium valant  $10^{15} \text{ cm}^{-2}$ . Le premier recuit (420°C) aboutit clairement à une morphologie parfaite, et à une résistance de contact de 0.06  $\Omega \cdot \text{mm}$ . Un recuit à 450°C dégrade un peu l'aspect des plots, même si la résistance de ce contact vaut encore 0.06  $\Omega \cdot \text{mm}$ . Le choix de températures plus hautes a un effet désastreux sur la morphologie des contacts, et notamment à 500°C pour laquelle les plots ont une teinte brune.

Nous disposons donc d'un contact ohmique Au/Mn/Ni/Au dont la résistance atteint une excellente valeur de 0.06  $\Omega \cdot \text{mm}$  lorsque la dose de béryllium implanté est de  $10^{15} \text{ cm}^{-2}$ , et qui présente en plus une excellente morphologie pour un recuit thermique rapide à 420°C.

#### VI.4 Intégration dans le procédé technologique complémentaire

En conclusion, nous disposons de contacts ohmiques de type n et de type p extrêmement performants, avec des morphologies excellentes et des résistances de contact inférieures à 0.1  $\Omega \cdot \text{mm}$  pour l'hétérostructure  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ .

Le contact AuGe (1000Å) / Ni (300Å) / Au (1500Å) a permis d'obtenir une résistance valant 0.07  $\Omega \cdot \text{mm}$  pour une implantation de silicium de  $10^{14} \text{ cm}^{-2}$ , après un recuit à 420°C durant 10s pour une hétérostructure  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ , et à 450°C durant 10s pour  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$  destinée à la logique complémentaire à HIGFET.

Le contact Au (400Å) / Mn (400Å) / Ni (100Å) / Au (2000Å) de type p a permis d'obtenir une résistance de contact de 0.06  $\Omega \cdot \text{mm}$  sur l'hétérostructure pseudomorphique à taux d'aluminium de 0.75, par un recuit thermique rapide à 420°C durant 30s. Cette valeur a été optimisée pour une couche dopée par une co-implantation de Be+P avec une dose de  $10^{15} \text{ cm}^{-2}$ .

Dans notre procédé technologique complémentaire, nous avons décidé que le premier contact réalisé serait celui de type n, puisque son recuit de diffusion implique des températures supérieures par rapport à celui du contact de type p. Nous avons vérifié qu'un recuit à 420°C, postérieur au recuit à 450°C, ne dégradait en rien le contact de type n. Ainsi, les contacts de type Au/Mn seront réalisés après la formation de la source et du drain des transistors HIGFET de type n, ce qui n'altérera en aucun cas la qualité de ces contacts.

## VI.5 Fin du procédé technologique

Après l'évaporation et le recuit des contacts ohmiques, il reste à effectuer les étapes d'épaississements et de passivation.

- L'épaississement des plots de grille et de contacts ohmiques des transistors est réalisée grâce à une métallisation de Ti/Au (1000 Å / 4000 Å) déposée de façon analogue aux contacts ohmiques, c'est-à-dire par évaporation et "lift-off". A cet effet, nous utilisons le premier niveau de métallisation (niveau 6) du masque FTFET. La première couche déposée en titane est une couche d'accrochage de très bonne qualité, et contribue à l'adhésion des plots en évitant un décollement lors de la mise en boîtier et de la micro-soudure du transistor.

- L'étape de passivation sert à prévenir le vieillissement des composants et l'oxydation de la surface du matériau. Elle consiste en un dépôt par PECVD d'une couche de  $\text{Si}_3\text{N}_4$  de 2000 Å d'épaisseur, que l'on élimine au-dessus des plots métalliques par gravure ionique réactive. Le gaz employé est un mélange  $\text{CF}_4 + 10\% \text{O}_2$ . La gravure est effectuée sous une tension de polarisation de 340 V et dure trois minutes.

- Cette couche de  $\text{Si}_3\text{N}_4$  est également utilisée en tant que support du pont métallique dans le cadre de la réalisation du transistor de puissance dans la matrice de test du masque FTFET. Elle sert en effet à isoler les plots de drain d'un pont métallique reliant les plots de source. Ainsi, la couche de  $\text{Si}_3\text{N}_4$  est gravée localement au-dessus des contacts de source (fig. 6.13). Un deuxième niveau de passivation est utilisé afin de déposer le pont de Ti/Au (1000 Å / 4000 Å) reliant les contacts de source aux deux plots des extrémités. Une photographie du transistor de puissance ainsi réalisé est donnée en figure 6.14.

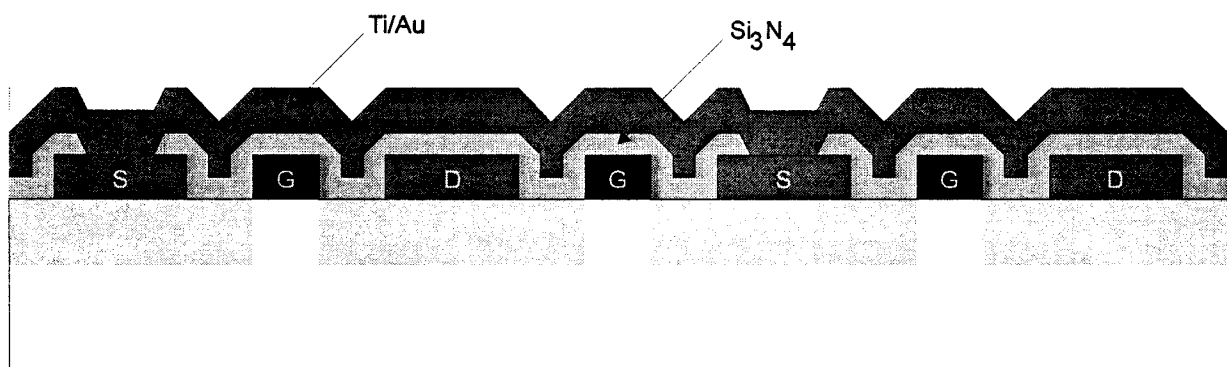


Fig. 6.13 : Vue en coupe du pont de nitrure du transistor de puissance.

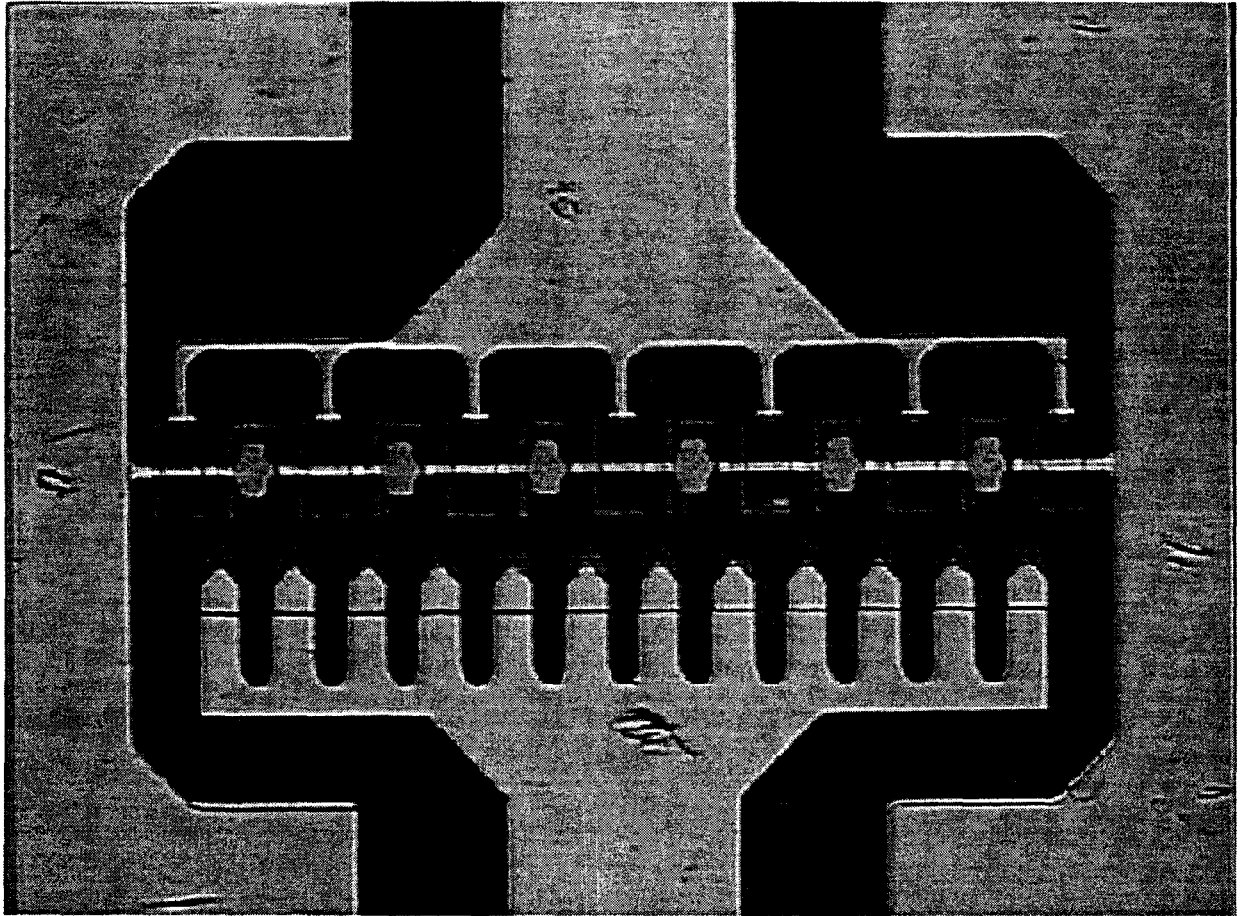


Fig. 6.14 : Photographie du transistor de puissance en fin de procédé technologique.

**BIBLIOGRAPHIE DU CHAPITRE VI**

- [1] S. Adachi, "GaAs, AlAs and Al<sub>x</sub>Ga<sub>1-x</sub>As : material parameters for use in research and device applications", *J. Appl. Phys.*, vol. 58(3), pp. R1-29, 1985.
- [2] T. C. Shen, G. B. Gao and H. Morkoc, "Recent developments in ohmic contacts for III-V compound semiconductors", *J. Vac. Sci. Technol. B*, vol. 10(5), pp. 2113-2131, 1992.
- [3] Y. C. Shih, M. Murakami, E. L. Wilkie and A. C. Callegari, *J. Appl. Phys.*, vol. 62, p. 582, 1987.
- [4] P. O'Connor, A. Dori, M. Feuer and R. Vounckx, "Gold-germanium-based ohmic contacts to the two-dimensional electron gas at selectively doped semiconductor heterointerfaces", *IEEE Trans. on Electron Devices*, vol. ED-34(4), pp. 765-771, 1987.
- [5] L. S. Yu, L. C. Wang, E. D. Marshall, S. S. Lau and T. F. Kuech, "The temperature dependence of contact resistivity of the Ge/Pd and the Si/Pd nonalloyed contact scheme on n-GaAs", *J. Appl. Phys.*, vol. 65(4), pp. 1621-1625, 1989.
- [6] L. C. Wang, X. Z. Wang, S. N. Hsu, S. S. Lau, P. S. Lin, T. Sands, S. A. Schwarz, D. L. Plumton and T. F. Kuech, "An investigation of the Pd-In-Ge nonspiking ohmic contact to n-GaAs using transmission line measurement, Kelvin, and Cox and Strack structures", *J. Appl. Phys.*, vol. 69(8), pp. 4364-4371, 1991.
- [7] A. Katz, W. C. Dautremont-Smith, S. N. Chu, P. M. Thomas, L. A. Koszi, J. W. Lee, V. G. Riggs, R. L. Brown, S. G. Napholtz, J. L. Zilko and A. Lahav, "Pt/Ti/p-In<sub>0.53</sub>Ga<sub>0.47</sub>As low-resistance nonalloyed ohmic contact formed by rapid thermal processing", *Appl. Phys. Lett.*, vol. 54(23), pp.2306-2308, 1989.
- [8] A. Katz, B. E. Weir and W. C. Dautremont-Smith, "Au/Pt/Ti contacts to p-In<sub>0.53</sub>Ga<sub>0.47</sub>As and n-InP layers formed by a single metallization common step and rapid thermal processing", *J. Appl. Phys.*, vol. 68(3), pp. 1123-1128, 1990.
- [9] A. Katz, P. M. Thomas, S. N. Chu, J. W. Lee and W. C. Dautremont-Smith, "AuBe/p-InGaAsP contact formed by rapid thermal processing", *J. Appl. Phys.*, vol. 66(5), pp. 2056-2060, 1989.
- [10] S. Tiwari, J. Hintzman and A. Callegari, *Appl. Phys. Lett.*, vol. 51, pp. 2118, 1987.
- [11] A. Katz, B. E. Weir, D. M. Maher, P. M. Thomas, M. Soler, W. C. Dautremont-Smith, R. F. Karlicek, J. D. Wynn and L. C. Kimerling, "Highly stable W/p-In<sub>0.53</sub>Ga<sub>0.47</sub>As ohmic contacts formed by rapid thermal processing", *Appl. Phys. Lett.*, vol. 55(21), pp.2220-2222, 1989.
- [12] J. K. Abrokwhah, J. H. Huang, J. Baker, T. Polito and W. Ooms, "NiZnAl-based p-type ohmic contacts on AlGaAs/InGaAs heterostructures", *IEEE Trans. On Electron Devices*, vol. ED-40(6), pp.1185-1187, 1993.

[13] J. F. Thiery, H. Fawaz, A. Leroy and G. Salmer, "Extremely low contact resistance ohmic Au/Mn/Ni/Au contact to p-GaAs", *J. Vac. Sci. Technol. B*, vol. 13(5), pp. 2130-2133, 1995.

[14] J. F. Thiery, H. Fawaz, J. C. Pesant, N. T. Linh and G. Salmer, "Optimization of AuMn-based ohmic contact for manufacturing p-channel AlGaAs/InGaAs/GaAs Heterostructure Insulated-Gate Field-Effect Transistors", à paraître dans *Electronics Lett.*



## PARTIE 3

# REALISATIONS DE TRANSISTORS HIGFETS



## CHAPITRE VII

### REALISATION, CARACTERISATION ET ETUDE DE TRANSISTORS n-HIGFETS PSEUDOMORPHIQUES SUR HETEROSTRUCTURE $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$

Dans les chapitres précédents, nous avons rapporté la méthodologie de la mise au point globale d'un procédé technologique auto-aligné complémentaire, depuis la formation des grilles réfractaires jusqu'à une première optimisation des implantations ioniques et du recuit d'activation, et des contacts ohmiques. Afin de valider les potentialités de cette technologie, nous nous proposons maintenant de la mettre en application et de décrire les performances de transistors HIGFETs pseudomorphiques de type n.

Le taux d'aluminium dans la couche d'AlGaAs choisi tout au long de ce chapitre est 0.4. Ce taux correspond à l'obtention d'un courant de grille minimum pour les transistors de type n, dans le cadre d'une technologie non complémentaire destinée à la réalisation de circuits pour des applications analogiques à une seule tension d'alimentation. Ce type d'hétérostructure offre l'avantage d'une grande disponibilité à l'IEMN, et de présenter des caractéristiques physiques désormais très connues, telles que les valeurs de la largeur de bande interdite d' $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  et la discontinuité des bandes de conduction à l'interface  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ . En outre, le taux d'aluminium modéré offre une bonne garantie quant au succès du recuit thermique rapide.

Au cours de ce chapitre VII, nous pouvons voir un triple objectif:

- décrire la réalisation de transistors HIGFETs sur hétérostructure  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$ , effectuée en utilisant le masque FTFET, pour des longueurs de grille de 1, 0.5 et 0.3  $\mu\text{m}$ .

- démontrer l'importance de l'implantation ionique et optimiser celle-ci pour atteindre de bonnes performances en transconductance et en fréquence de coupure notamment.

- étudier l'intérêt de ces composants de type n pour des applications micro-ondes à une seule tension d'alimentation, et pour cela caractériser les transistors en hyperfréquences.

## VII.1 Réalisation de n-HIGFETs à cap de GaAs épais et à simple implantation (opérations 10165-10166-10167-10168)

### VII.1.1 Structure épitaxiale utilisée

Il s'agit dans un premier temps de démontrer le bien fondé de notre technologie. Nos premiers transistors sont donc réalisés à partir d'une couche pseudomorphique  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  à cap épais de GaAs (150Å), afin de permettre la bonne tenue du matériau et du diélectrique d'encapsulation  $\text{Si}_3\text{N}_4$  lors du recuit thermique rapide. Dans un souci de simplicité, notre procédé ne comporte qu'une seule étape photolithographique pour l'implantation ionique auto-alignée autour de la grille. Un seul type de dopage sert donc à la fois pour les zones sous les contacts ohmiques, et pour les zones d'accès entre les contacts et la grille des transistors.

La structure épitaxiale de nos couches est donnée en figure 7.1. Le plan de dopage en silicium vaut  $5 \times 10^{11} \text{ cm}^{-2}$ . A cette hétérostructure correspond une tension de seuil théorique de 0.25 V en considérant une hauteur de barrière métal / semiconducteur valant 1.2 eV.

15nm	GaAs
22nm	$\text{Al}_{0.4}\text{GaAs}$
12nm	$\text{In}_{0.2}\text{GaAs}$
.....	Si
0.2 μm	GaAs
	GaAs S.I.

Fig. 7.1 : Structure épitaxiale pseudomorphique à taux d'aluminium de 40% et à cap épais de GaAs.

Résumons brièvement les principales étapes du procédé technologique utilisé pour la réalisation de ces premiers composants :

- Dépôt de 2000Å de WSi par pulvérisation.
- Réalisation d'un masque négatif en résine SAL 601.
- Attaque du WSi par gravure ionique réactive au  $\text{CF}_4 + 10\% \text{ O}_2$ .

- Implantation en silicium des caissons de source et de drain à travers un cap de  $Si_3N_4$  de 200Å d'épaisseur.

- Encapsulation dans une couche de  $Si_3N_4$  et activation par recuit thermique rapide à 850°C durant 10s.

- Elimination du diélectrique par gravure ionique réactive.

- Réalisation des contacts ohmiques par évaporation d'une séquence métallique AuGe/Ni/Au et recuit à 420°C durant 10s.

- Epaisseur des plots de grille, de source et de drain par Ti/Au.

Cette première campagne de réalisations de transistors HIGFETs de type n était par ailleurs une opportunité d'étudier l'influence du profil de dopage au ras de la grille. Pour cela, nous avons mis en oeuvre divers types d'implantations avec des énergies de 50 keV, le maximum de concentration se situant à une profondeur de 200Å, de 70 keV, le maximum étant localisé à l'interface AlGaAs/InGaAs, à 100 keV, c'est-à-dire à l'interface InGaAs/GaAs, et à 120 keV correspondant à un dopage du substrat. Ces essais ont abouti aux réalisations technologiques suivantes :

Opération	Energies (keV)	Doses ( $cm^{-2}$ )
10165	50	$2 \times 10^{13}$
	120	$6 \times 10^{13}$
10166	70	$2 \times 10^{13}$
	100	$1 \times 10^{14}$
10167	120	$6 \times 10^{13}$
10168	70	$6 \times 10^{13}$
	100	$1 \times 10^{14}$

Tableau 7.1 : Implantations de Si pour les opérations 10165 à 10168.

### VII.1.2 Caractérisation en technologie 1µm

Les figures 7.2 à 7.5 représentent les caractéristiques statiques  $I_{ds}$ - $V_{ds}$  pour des transistors n-HIGFETs de longueur de grille 1µm.

L'ensemble des caractéristiques de ces composants est résumé dans le tableau 7.2 où figurent notamment les mesures statiques, mais aussi la résistance carrée  $R_{\square}$  des zones d'accès  $n^+$ , la résistance  $r_c$  des contacts de source et de drain, la densité de charges dans le canal  $n_s$ , la fréquence de coupure  $f_T$  du gain en courant  $H_{21}^2$ , ainsi que la fréquence de coupure  $f_{max}$  du MAG.

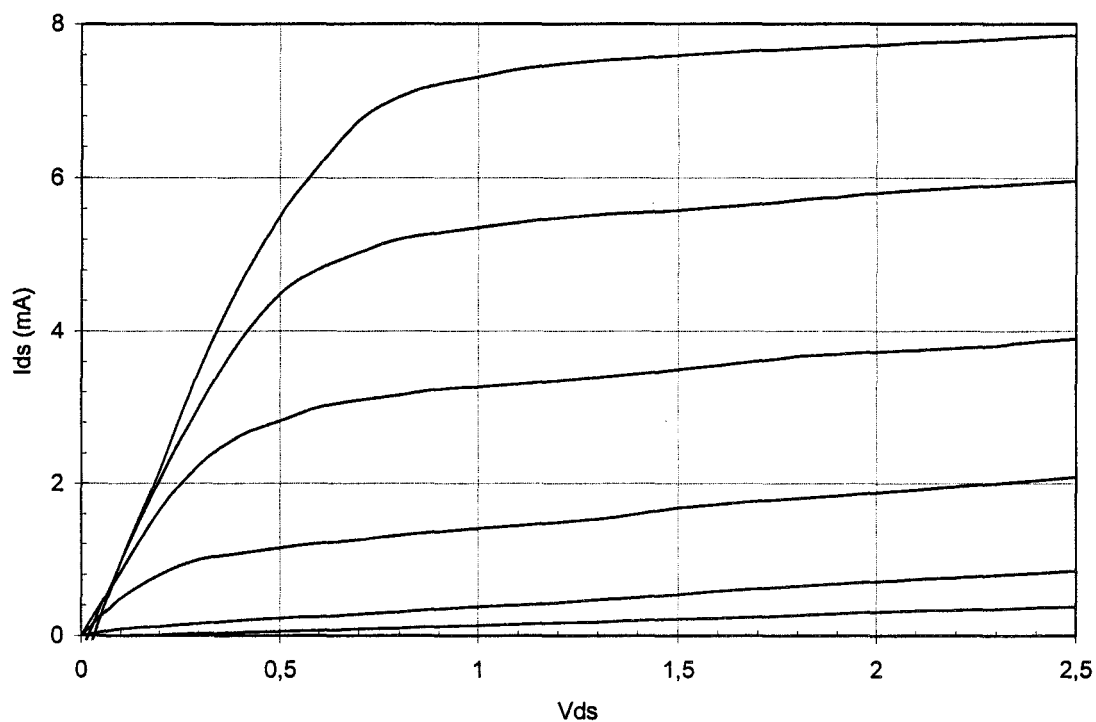


Fig. 7.2 : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 2V par pas de 0.25V (op. 10165).

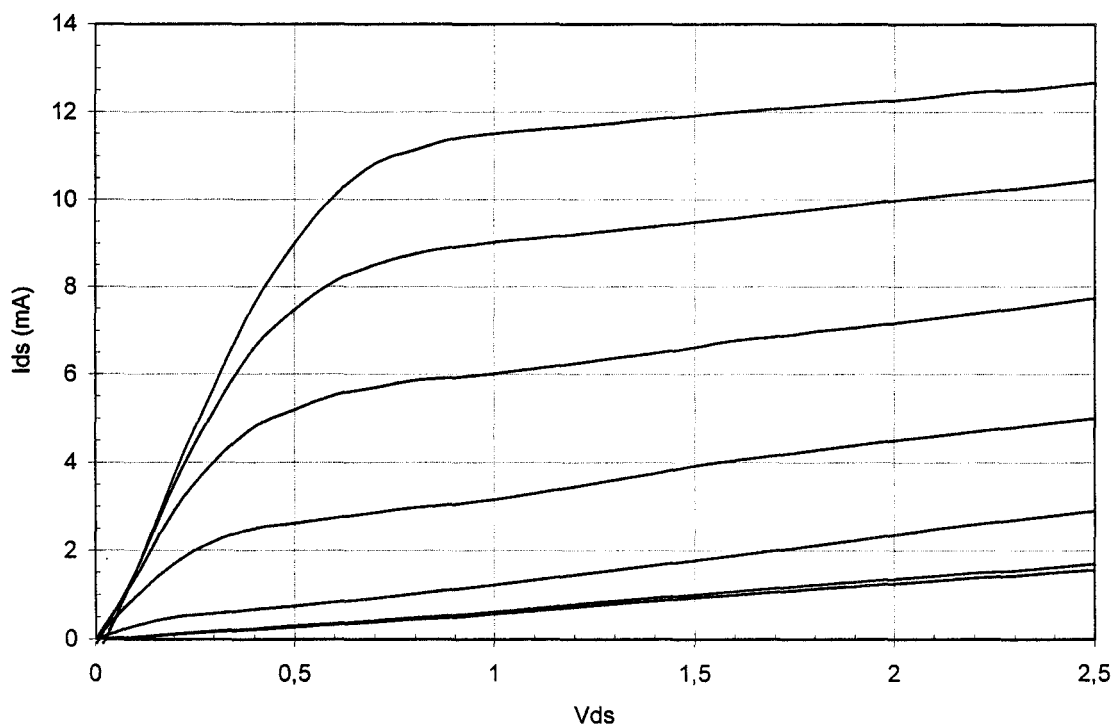


Fig. 7.3 : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 25 \times 1 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 2V par pas de 0.25V (op. 10166).

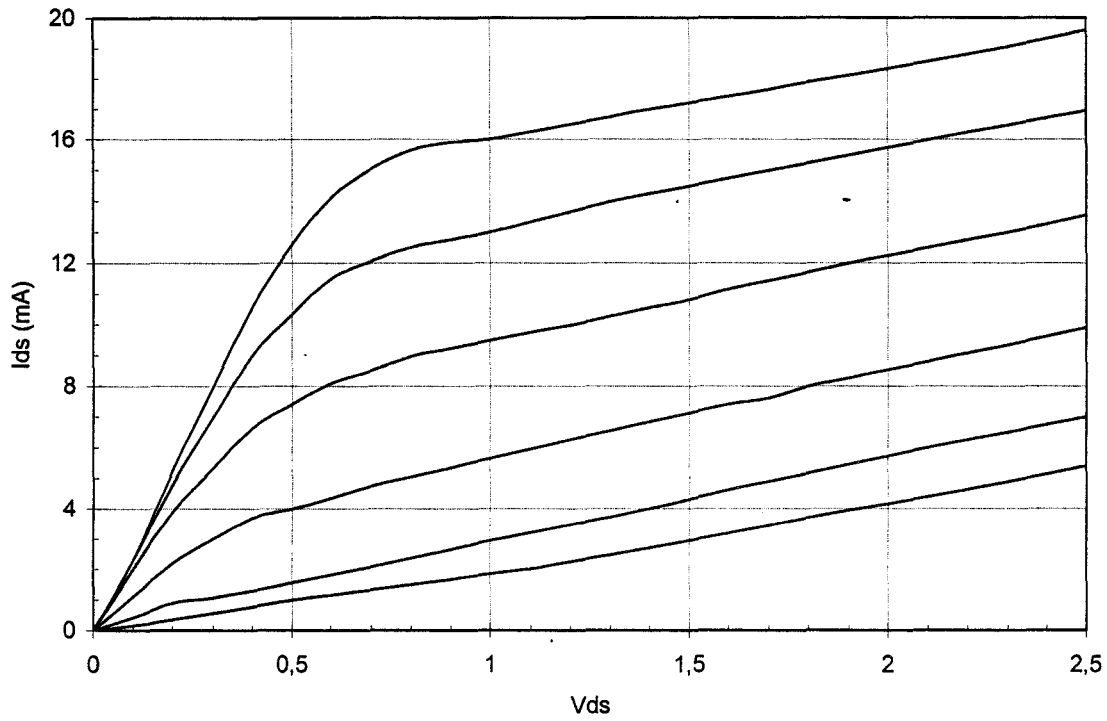


Fig. 7.4 : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 50 \times 1 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 2V par pas de 0.25V (op. 10167).

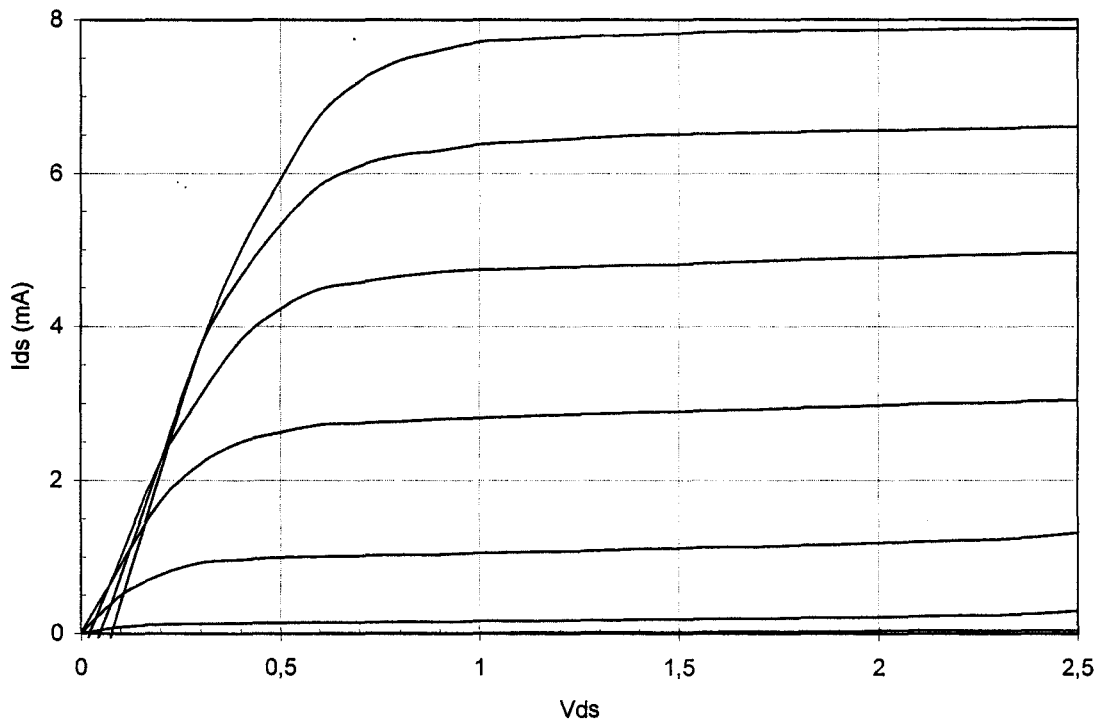


Fig. 7.5 : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 2V par pas de 0.25V (op. 10168).

	10165	10166	10167	10168
Largeur ( $\mu\text{m}$ )	2*20	2*25	2*50	2*20
$I_{ds}$ ( $V_{gs}=2\text{V}$ ) (mA/mm)	200	260	210	200
$G_m$ maximum (mS/mm)	210	220	150	240
$I_d$ ( $V_g=1.4\text{V}$ ) (mA/mm)	130	160	140	90
$I_g$ ( $V_g=1.4\text{V}$ ) (mA/mm)	8	18	8	10
$I_d / I_g$	16	9	17	9
$G_d$ ( $V_g=1.4\text{V}$ ) (mS/mm)	10	21	27	8
$G_m / G_d$	21	11	6	31
$V_t$ (V)	0.86	0.83	0.85	0.84
$k$ (mA/V <sup>2</sup> mm)	180	210	165	335
$R_{\square}$ ( $\Omega/\square$ )	380	350	430	340
$r_c$ ( $\Omega.\text{mm}$ )	0.1	0.1	0.22	0.07
$n_s$ ( $\text{cm}^{-2}$ )	$1.3 \times 10^{12}$	$1 \times 10^{12}$	$5.5 \times 10^{11}$	$1.5 \times 10^{12}$
$f_T$ (GHz)	15	12	7	17
$f_{\text{max}}$ (GHz)	8	7	3	9

 Tableau 7.2 : Caractéristiques de transistors n-HIGFETs  $1\mu\text{m}$  pour les opérations 10165 à 10168.

Le tableau 7.2 témoigne d'une technologie qui a conduit à des premiers résultats encourageants, avec notamment des transconductances de l'ordre de 200 mS/mm, correctes pour une technologie  $1\mu\text{m}$ . Ce relatif succès, qui part cependant d'un procédé technologique simplifié à l'extrême, s'explique par le très bon déroulement du recuit d'activation, et donc par la sauvegarde du matériau semiconducteur.

Ces quatre opérations technologiques font apparaître une mauvaise qualité du mauvais pincement, et une conductance de sortie anormalement élevée pour une longueur de grille de  $1\mu\text{m}$ . Cet effet est du reste plus important sur l'opération 10167. On peut aisément relier cette conductance de sortie à un passage d'électrons dans le substrat, qui provient vraisemblablement d'un profil de dopage mal localisé avec présence de concentration élevée dans la couche buffer. Il est clair, d'après la figure



7.5, que si le maximum de la concentration d'implants est localisé au niveau du gaz bi-dimensionnel d'électrons (situé dans la couche d' $\text{In}_y\text{Ga}_{1-y}\text{As}$ ), on peut espérer une limitation de la conductance. Ce recentrage du profil de dopage autour du canal (op. 10165 et 10168) s'accompagne de transconductances plus élevées, et par là d'une meilleure commande des charges situées majoritairement dans le canal.

Les tensions de seuil de ces transistors se situent autour de 0.85V. Compte tenu de la présence du plan de dopage en silicium sous le canal d'AlGaAs qui décale la tension de seuil de 0.5V, de la discontinuité des bandes de conduction qui vaut 0.48eV, la hauteur de barrière de l'interface WSi/semiconducteur vaut environ 1.8V. Cette valeur trop importante est très certainement due à une mauvaise qualité de la couche de WSi, et à une pollution de la cible de  $\text{W}_5\text{Si}_3$ . Par la suite, un etching de la surface de la cible réfractaire sera effectué afin d'éliminer des traces d'humidité qui pourraient subsister.

Par ailleurs, on observe un courant de grille très important lorsque  $V_{gs}$  atteint 1.4V. Nous attribuons une part de ce courant de grille soit à un interface métal/GaAs de mauvaise qualité, soit à des courants de fuite de surface étant donné le dopage élevé à l'aplomb de la grille. Ces courants de fuite ont déjà été mis en évidence par M. Shur [1] dans le cas du HIGFET, et s'expliquent par une diffusion latérale des implants sous la grille, causant une conduction parasite de surface. Par ailleurs, la caractéristique  $I_G$ - $V_G$  en inverse laisse apparaître une mauvaise qualité du contact de grille, avec notamment une tension de claquage en inverse de -3 V, ce qui confirme l'importance de cette conductance de surface. Ces courants de fuite sont d'autant plus importants que le niveau de dopage au flanc des grille est élevé. Une diminution du dopage au bord de la grille pourrait contribuer à annihiler en partie ce courant parasite.

De plus, les valeurs de résistances carrées des zones d'accès sont relativement comparables, et ce quelle que soit la dose de silicium employée. Ces mesures témoignent qu'une augmentation du dopage dans ces zones d'accès, et par conséquent au ras de la grille, contribue à diminuer faiblement les résistances de ces zones implantées. En revanche, un dopage de  $10^{14} \text{ cm}^{-2}$  sous les contacts semble indispensable afin de parvenir à des résistances de contact de l'ordre de 0.1  $\Omega$ .mm, comme nous l'avons indiqué dans le chapitre précédent.

Les valeurs de la densité de porteurs dans le canal ont été obtenues à partir de mesures  $C(V)$  effectuées à 500 MHz et à  $V_{ds}=0$ . La densité des charges dans les composants de l'opération 10168 est le triple de celle de l'opération 10167. La faible valeur obtenue dans ce dernier cas s'explique par le fait que le maximum de concentration des implants est localisé dans la couche buffer.

Enfin, nous avons effectué des mesures de  $f_T$  et de  $f_{max}$  sur des composants issus des quatre lots, mais avec une largeur de  $2 \times 50 \mu\text{m}$ . La fréquence de coupure  $f_T$  la plus élevée a été obtenue sur la plaquette 10168 et vaut 17 GHz. Les valeurs de  $f_{max}$  sont inférieures aux valeurs de  $f_T$ . Ce résultat provient sans nul doute des valeurs de conductances de sortie trop importantes.

### VII.1.3 Modifications à entreprendre

Ces réalisations technologiques ont abouti à des résultats prometteurs, mais à des performances en retrait par rapport à l'état de l'art (cf. Ch. II), notamment en termes de transconductance. En fait, la structure épitaxiale employée n'a pas servi à atteindre de hautes performances, mais uniquement à démontrer la faisabilité de la technologie auto-alignée. L'amélioration des transconductances passe obligatoirement par la réduction de l'épaisseur du cap de GaAs.

Dans les opérations technologiques suivantes, une double implantation de silicium est employée :

- La première implantation, au ras de la grille, consistera à doper localement avec un maximum l'interface AlGaAs/InGaAs, afin d'éviter un dopage diffusant dans le substrat au voisinage de la zone de commande, et par conséquent des effets parasites tels qu'un mauvais pincement et une conductance de sortie. Un dopage de  $4 \times 10^{13} \text{ cm}^{-2}$  a été retenu afin de garantir des résistances d'accès acceptables, tout en diminuant les risques de débordement des dopages sous la grille, d'élévation du courant de grille et de la conductance de drain.

- la seconde, sous les plots des contacts ohmiques, servira à atteindre des résistances de contact sous  $0.1 \Omega \cdot \text{mm}$ . Elle consistera en une dose de  $8 \times 10^{13} \text{ cm}^{-2}$  pour se rapporter aux conditions d'optimisation des contacts ohmiques (cf. Ch. V).

## **VII.2 Réalisation de n-HIGFETs à double implantation (opérations 10196 et 10218)**

### VII.2.1 Structure et implantation

La structure épitaxiale de ces nouvelles opérations technologiques est similaire à la précédente, à ceci près que le cap de GaAs a été aminci à  $80 \text{ \AA}$  afin d'atteindre des transconductances élevées. Cette valeur de  $80 \text{ \AA}$  représentait par ailleurs une marge suffisante pour ne pas éliminer complètement la couche de GaAs sur les bords de la plaquette et entraîner ainsi la destruction du diélectrique d'encapsulation lors du recuit thermique rapide.

Une double implantation de silicium a été utilisée, comme le montre la figure 7.6. Elle consiste en un dopage des zones d'accès avec une dose de  $4 \times 10^{13} \text{ cm}^{-2}$  et une énergie de 60 keV, avec un maximum correspondant à l'interface AlGaAs/InGaAs, et une dose plus élevée sous les contacts ohmiques de  $8 \times 10^{13} \text{ cm}^{-2}$  à 80 keV, de manière

à obtenir un pic de concentration à l'interface InGaAs/GaAs. Ces profils de dopage sont activés par un seul recuit thermique à 850°C durant 10s.

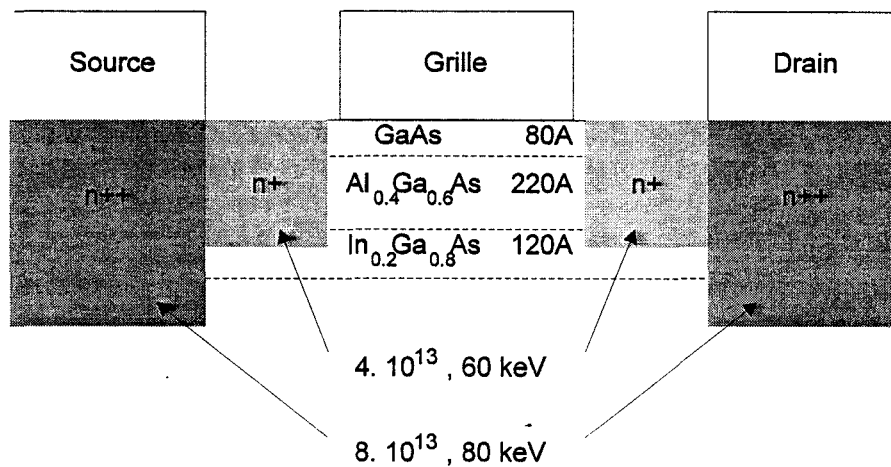


Fig. 7.6 : Structure épitaxiale et double implantation d'un n-HIGFET.

Afin de garantir de faibles éléments d'accès et d'éviter de dégrader les performances extrinsèques des composants, les contacts de source et de drain, ainsi que les zones n<sup>++</sup> ont été largement rapprochées de la grille. Cette étape technologique nécessite l'utilisation du masqueur électronique à deux reprises, l'une pour réaliser la seconde implantation, et l'autre pour l'évaporation de contacts ohmiques avec profil en casquette. Dans les deux cas, une résine PMMA anisole 5% a été utilisée.

Les opérations technologiques 10196 et 10218 se distinguent par les distances source-grille et grille-drain des transistors. Dans le cas de la série 10196, les contacts ohmiques ont été rapprochés à 0.3  $\mu\text{m}$  du bord de la grille, ce qui a provoqué de nombreux court-circuits sur les deux tiers des transistors à cause d'effets de proximité lors du développement de la résine électronique. En ce qui concerne l'opération 10218, nous avons disposé les contacts ohmiques à 0.5  $\mu\text{m}$  par rapport à la grille, ce qui a permis de préserver un excellent rendement en évitant tout court-circuit.

En outre, nous avons gardé le même procédé de fabrication de la grille dans l'opération 10196, c'est-à-dire la formation de grilles de WSi d'une épaisseur de 2000Å. En revanche, pour la série 10218, nous avons décidé d'exploiter complètement l'épaisseur de résine SAL 601 (5500Å) en réalisant des grilles de 2800Å d'épaisseur, compte tenu des vitesses d'attaque respectives du WSi et de la résine par gravure ionique réactive au  $\text{CF}_4 + 10\% \text{O}_2$ .

## VII.2.2 Caractérisation statique en technologie 1 $\mu\text{m}$ et 0.5 $\mu\text{m}$

Les figures 7.7 à 7.8 représentent les caractéristiques  $I_{ds}$ - $V_{ds}$  (a), ainsi que l'évolution de la transconductance et du courant de drain en saturation (b) pour des transistors n-HIGFETs  $1\ \mu m$  avec des largeurs de grille  $2*10$  et  $2*50\ \mu m$ .

Les courbes 7.9 et 7.10 représentent les mêmes caractéristiques statiques pour des composants de longueur de grille  $0.5\ \mu m$  et de largeur  $2*10$  et  $2*50\ \mu m$ .

Le tableau 7.3 dresse un panorama des caractéristiques statiques typiques concernant les transistors n-HIGFETs  $1\ \mu m$  et  $0.5\ \mu m$  pour toutes les largeurs de grille disponibles de par le masque FTFET, c'est-à-dire  $2*10$ ,  $2*20$ ,  $2*25$  et  $2*50\ \mu m$ .

Longueur ( $\mu m$ )	1	1	1	1	0.5	0.5	0.5	0.5
Largeur ( $\mu m$ )	$2*10$	$2*20$	$2*25$	$2*50$	$2*10$	$2*20$	$2*25$	$2*50$
$I_{ds}$ ( $V_{gs}=2V$ ) (mA/mm)	370	350	350	320	640	530	540	480
$G_m$ (mS/mm)	390	410	390	360	590	560	570	520
$I_d$ ( $V_g$ pour $g_m$ max) (mA/mm)	160	155	150	130	310	250	260	240
$I_g$ ( $V_g$ pour $g_m$ max) (mA/mm)	0.9	0.4	0.6	0.6	0.42	0.23	0.2	0.19
$I_d / I_g$	190	410	230	260	730	1090	1290	1270
$V_{ton}$ ( $1\ \mu A/\mu m^2$ ) (V)	1.25	1.32	1.32	1.32	1.12	1.27	1.15	1.12
$V_{ton}$ ( $5\ \mu A/\mu m^2$ ) (V)	1.40	1.55	1.53	1.62	1.28	1.38	1.30	1.35
$G_d$ (mS/mm)	16	8	8	7	33	22	18	31
$G_m / G_d$	24	53	49	51	18	25	32	17
$V_t$ (V)	0.78	0.70	0.72	0.71	0.48	0.64	0.54	0.47
$k$ (mA/V <sup>2</sup> mm)	470	460	460	470	700	770	710	610

Tableau 7.3 : Caractéristiques de transistors n-HIGFETs  $1\ \mu m$  et  $0.5\ \mu m$  à double implantation pour différentes largeurs de grille.

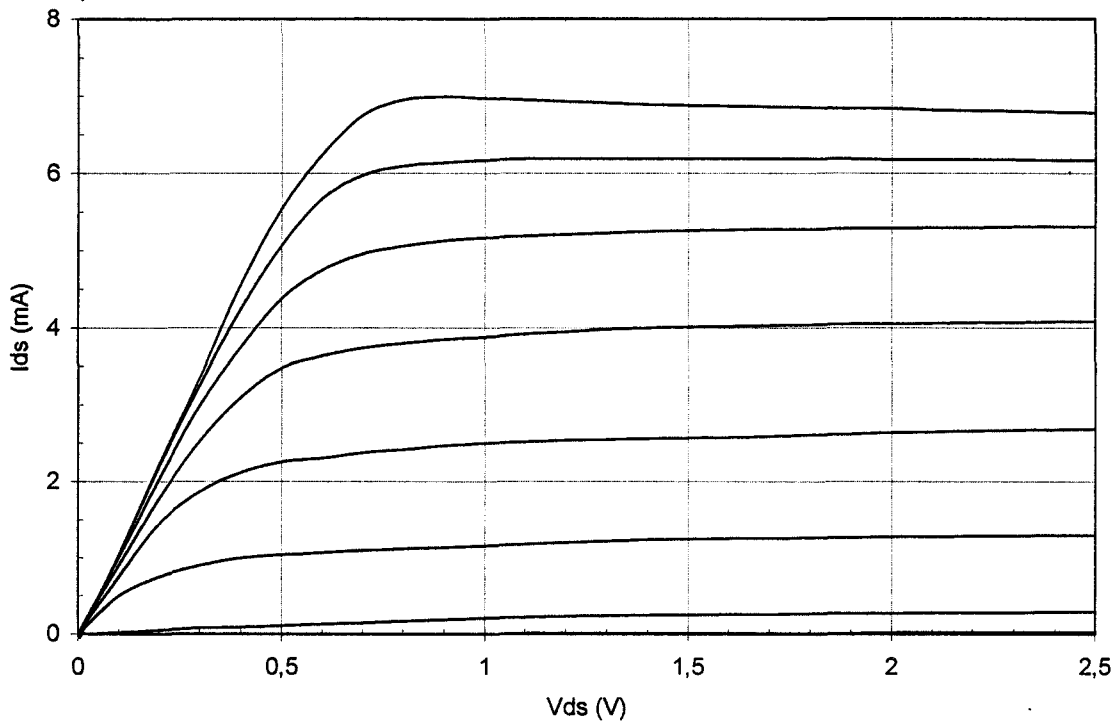


Fig. 7.7.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 10 \times 1 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 2V par pas de 0.2V (op. 10196).

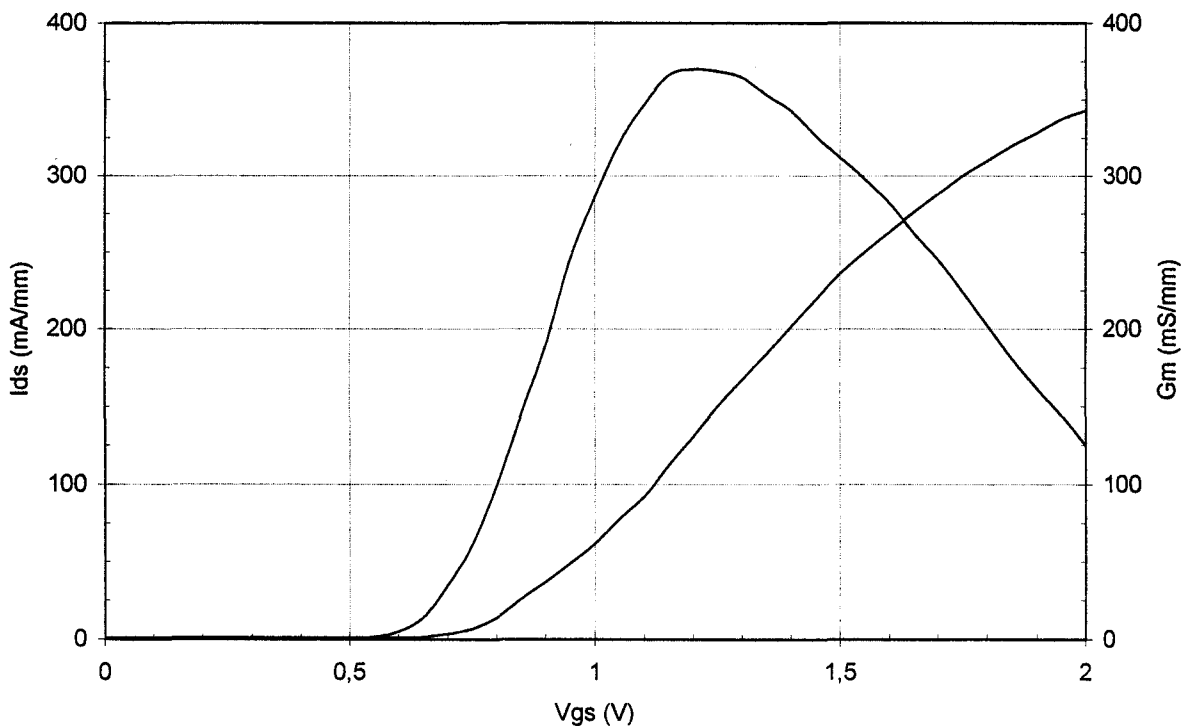


Fig. 7.7.b : Transconductance et courant de drain en saturation d'un n-HIGFET  $2 \times 10 \times 1 \mu\text{m}$  (op. 10196).

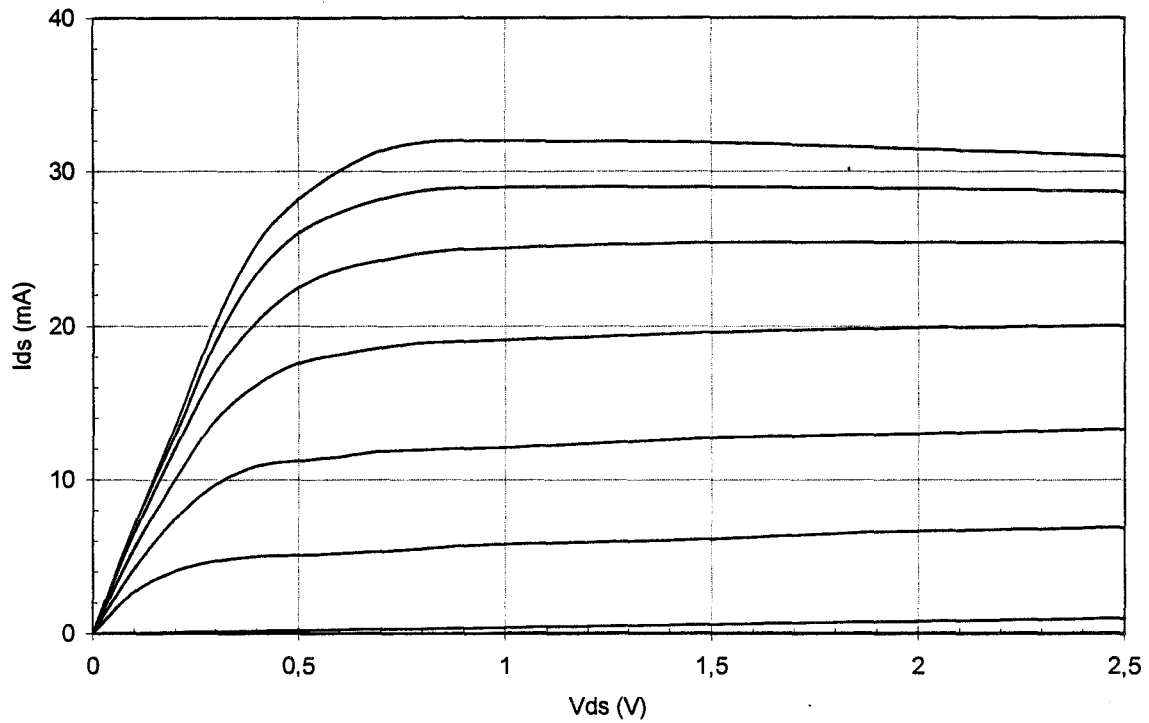


Fig. 7.8.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 50 \times 1 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 2V par pas de 0.2V (op. 10218).

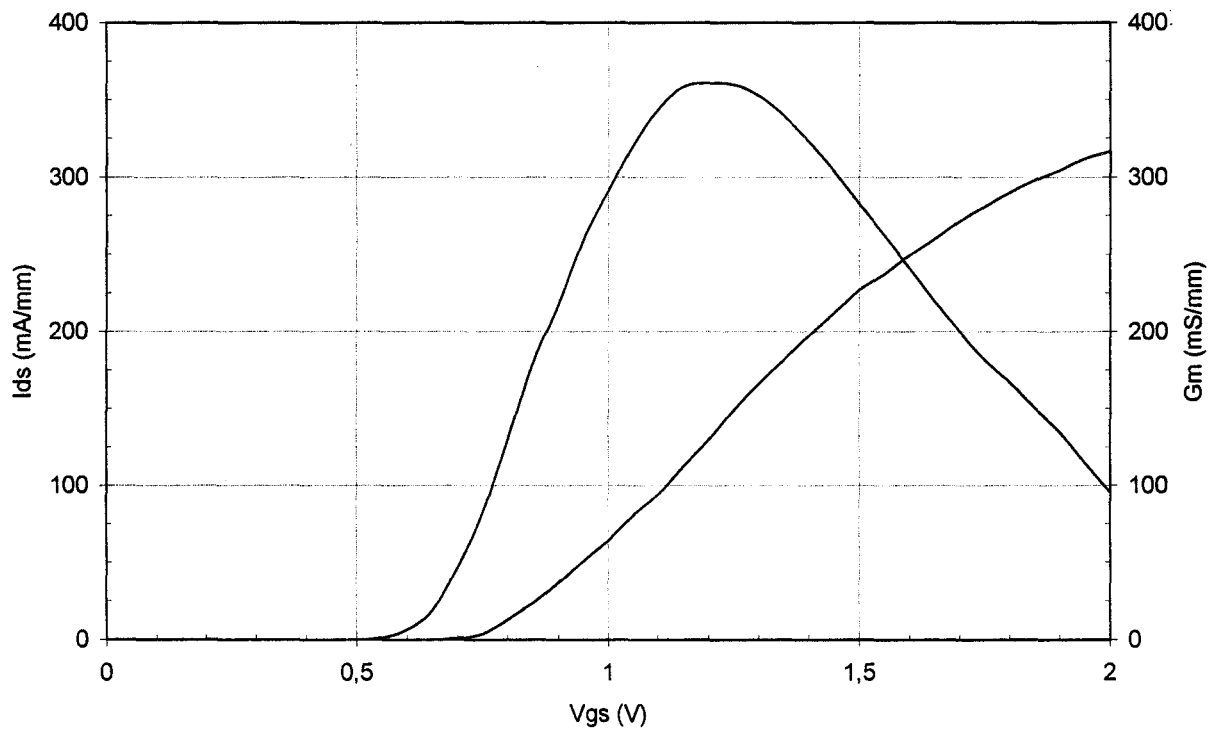


Fig. 7.8.b : Transconductance et courant de drain en saturation d'un n-HIGFET  $2 \times 50 \times 1 \mu\text{m}$  (op. 10218).

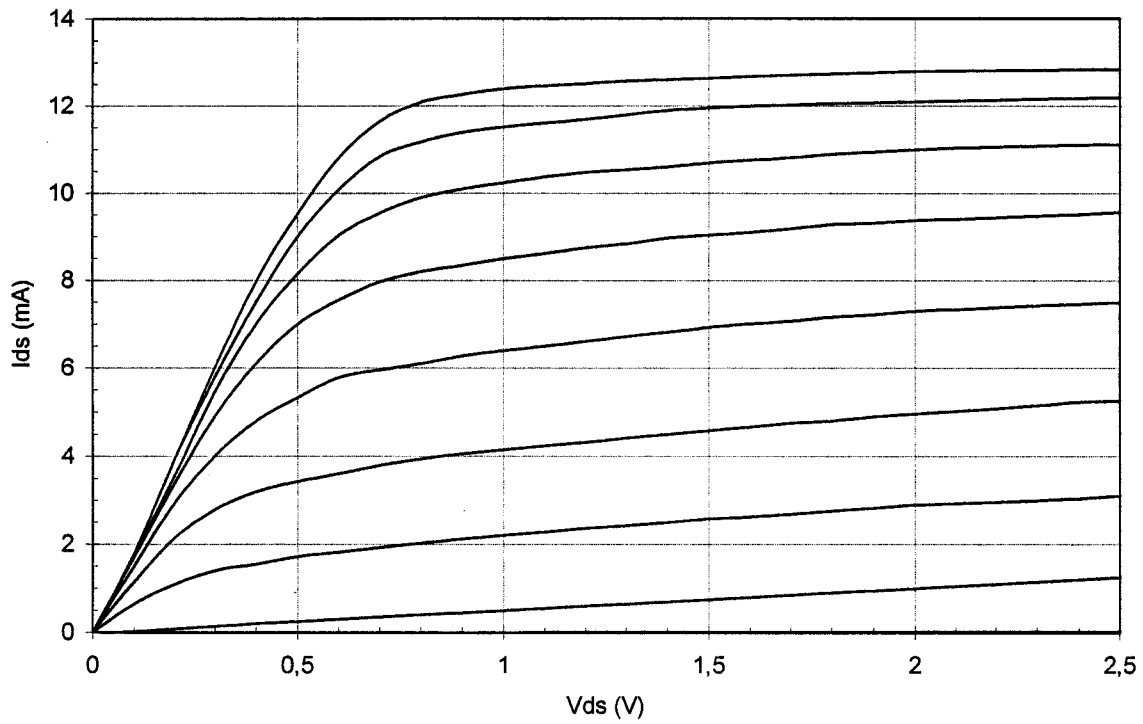


Fig. 7.9.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 10 \times 0.5 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 2V par pas de 0.2V (op. 10218).

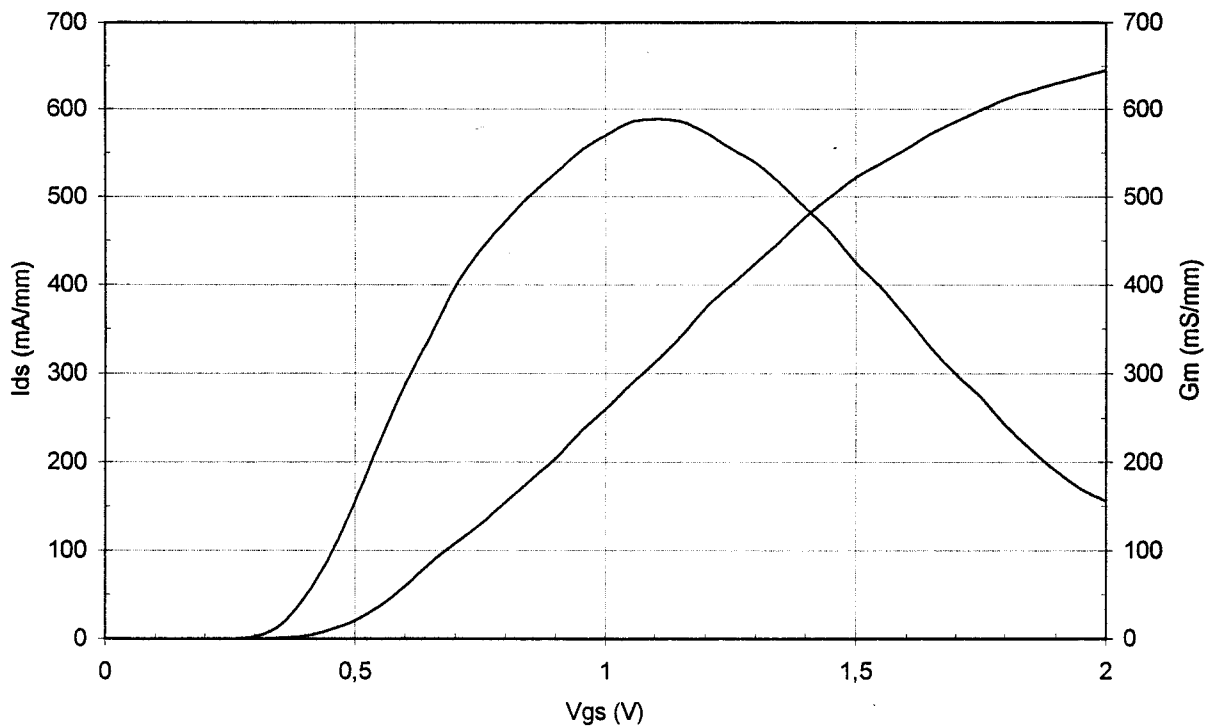


Fig. 7.9.b : Transconductance et courant de drain en saturation d'un n-HIGFET  $2 \times 10 \times 0.5 \mu\text{m}$  (op. 10218).

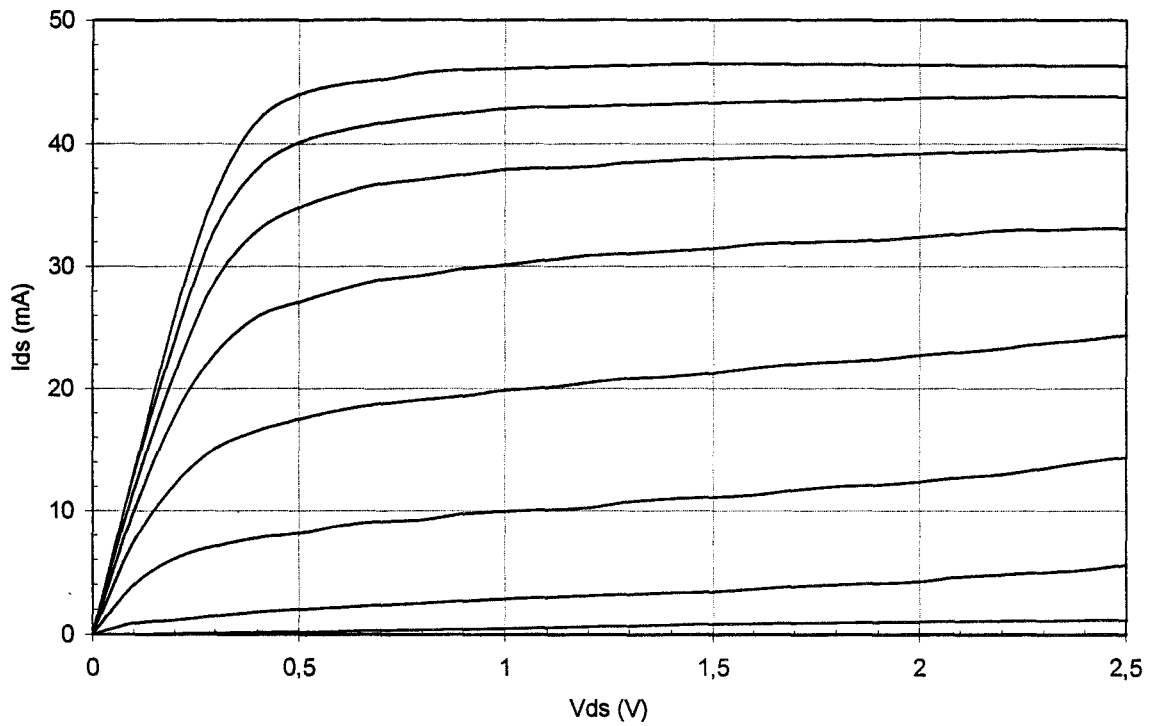


Fig. 7.10.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 50 \times 0.5 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 2V par pas de 0.2V (op. 10218).

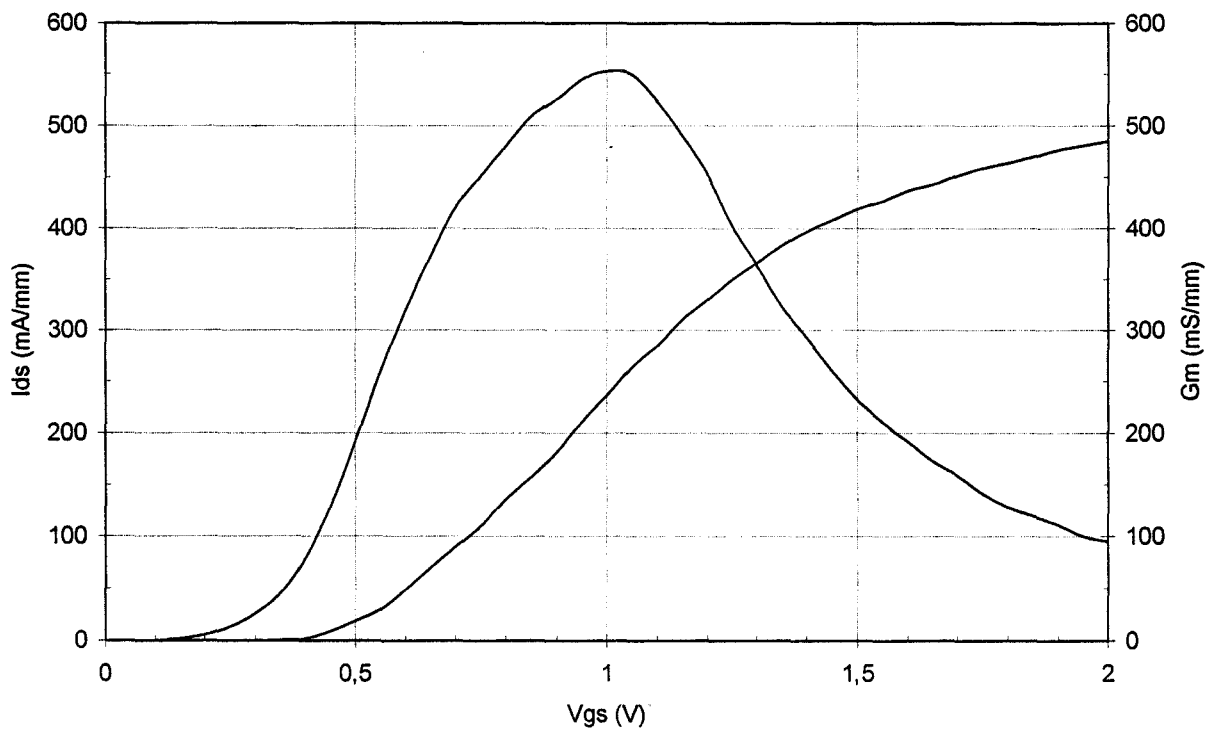


Fig. 7.10.b : Transconductance et courant de drain en saturation d'un n-HIGFET  $2 \times 50 \times 0.5 \mu\text{m}$  (op. 10218).



Au vu des courbes précédentes, il apparaît clairement que l'utilisation de la technologie auto-alignée à double implantation sur une couche pseudomorphique à taux d'aluminium de 40% conduit à des résultats extrêmement satisfaisants pour des transistors à longueurs de grille  $1\mu\text{m}$  et  $0.5\mu\text{m}$ , notamment en termes de courant de drain disponible et de transconductance maximale. Les valeurs numériques rapportées précédemment ne proviennent en aucun cas de composants isolés, mais ont été choisies, au contraire, pour refléter les performances de transistors typiques pour les diverses dimensions obtenus sur le masque FTFET.

En outre, les composants de ces opérations technologiques présentent une bonne qualité du pincement, contrairement aux réalisations de composants à simple implantation décrits précédemment. C'est également le cas pour les transistors à  $0.5\mu\text{m}$  de longueur de grille. Il est donc clair que la réduction du dopage au bord de la grille, ainsi que la localisation de son maximum autour de l'interface  $\text{AlGaAs}/\text{GaAs}$ , a fortement contribué à diminuer la conduction parasite source-drain.

Les transconductances obtenues pour une longueur de grille valant  $1\mu\text{m}$  sont supérieures aux meilleurs résultats publiés à la fois par Motorola et Honeywell (cf. Ch. II). Nous avons mesuré des transconductances maximales au-delà de  $350\text{ mS/mm}$  sur de nombreux composants, et même certaines supérieures à  $400\text{ mS/mm}$ , pour toutes les largeurs de grille. Concernant les transistors à longueur de grille de  $0.5\mu\text{m}$ , nous avons obtenu d'excellentes transconductances atteignant  $590\text{ mS/mm}$ .

Ces transconductances très élevées traduisent des performances probablement très proches des caractéristiques intrinsèques des composants et proviennent sans nul doute d'éléments d'accès extrêmement faibles malgré un dopage de  $4 \times 10^{13}\text{ cm}^{-2}$  dans les zones d'accès. Or nous avons mesuré, à l'aide des structures TLM dans la matrice test du masque FTFET, des résistances carrées de  $550\ \Omega/\square$ , correspondant aux zones d'accès, et donc à une dose de  $4 \times 10^{13}\text{ cm}^{-2}$ . Cette valeur est sensiblement plus élevée que celle obtenue dans le chapitre V dans le cas d'une implantation de silicium à dose identique. Une comparaison directe entre les résistances carrées mesurées dans le cas d'un substrat brut implanté et un substrat en cours de procédé met donc en évidence une dégradation de l'activation lors du recuit thermique rapide. La source de dégradation de ce taux d'activation semble être la présence de fluor et d'oxygène dans une faible profondeur de semiconducteur et provenant de la formation des grilles en WSi par gravure ionique réactive qui utilise un gaz composé de  $\text{CF}_4 + 10\% \text{ O}_2$ . Tamura [2] a d'ailleurs montré qu'une exposition de plusieurs minutes, préalable à une implantation ionique de silicium, au  $\text{CF}_4 + 10\% \text{ O}_2$  de la surface d'un substrat de GaAs entraînait une dégradation de l'activation du silicium jusqu'à un facteur 2.5. Dans notre technologie auto-alignée, une bonne partie de la surface du matériau est exposée durant une à trois minutes à un tel plasma lors la formation de la grille à cause de la non-uniformité de la gravure ionique réactive, ce qui suffit à expliquer l'augmentation de la résistance carrée des zones d'accès des composants.

Quoi qu'il en soit, l'obtention de faibles résistances d'accès, malgré une valeur élevée de la résistance carrée de la couche, s'expliquent à la fois par la réduction des

distances entre la grille et les contacts de source et de drain à 0.5  $\mu\text{m}$ , et par la très haute qualité des contacts ohmiques. Les caractéristiques statiques  $I_{\text{ds}}\text{-}V_{\text{ds}}$ , qui présentent des tensions de saturation voisines de 0.5 V, témoignent également de valeurs très faibles des éléments d'accès .

### VII.2.3 Evaluation de la tension de seuil

La tension de seuil moyenne des n-HIGFETs en technologie 1  $\mu\text{m}$  est de 0.7 V. Considérant la discontinuité des bandes de conduction à l'interface  $\text{Al}_{0.4}\text{GaAs}/\text{In}_{0.2}\text{GaAs}$  valant 0.48 eV et le décalage de la tension de seuil de 0.45 V dû au plan de dopage en silicium de  $5 \times 10^{11} \text{ cm}^{-2}$ , nous déduisons une hauteur de barrière effective de l'interface WSi/semiconducteur de 1.6 eV. Cette valeur a diminué par rapport aux réalisations technologiques précédentes grâce en particulier à l'amélioration de la couche réfractaire déposée. Cependant, un écart subsiste avec la valeur de 1.2 eV obtenue sur des structures MIS en provenance de Picogiga (cf. Ch. IV). Il peut être attribué à une valeur du dopage du plan différente de  $5 \times 10^{11} \text{ cm}^{-2}$ , mais plus probablement à une oxydation du cap de GaAs. Il serait donc judicieux, sur ce type de couche avec un cap de 80Å, de recourir à une légère desoxydation in-situ par pulvérisation inverse, de manière à contrôler parfaitement l'élimination de la zone de cap oxydé (20Å environ) et ainsi d'améliorer la qualité de la surface du matériau sans qu'il y ait une remise à l'air préalable au dépôt de WSi.

L'écart type des tensions de seuil mesurées sur un carré de 5 mm de côté est de 31 mV pour une technologie 1  $\mu\text{m}$ . Notre procédé a donc abouti à des composants aux caractéristiques particulièrement uniformes, le rendement de fabrication valant 85% (évalué par la proportion de transistors à longueur de grille 1  $\mu\text{m}$  qui présentent une transconductance supérieure à 250 mS/mm sur tout le substrat).

### VII.2.4 Caractérisation des facteurs de transconductance

Les courbes des facteurs de transconductance en fonction de la tension  $V_{\text{gs}}$  sont données en figures 7.11 et 7.12 pour des transistors n-HIGFET en technologie 1  $\mu\text{m}$  et 0.5  $\mu\text{m}$  respectivement. Elles ont été obtenues en dérivant la transconductance. D'excellentes valeurs de 550  $\text{mA}/\text{V}^2\text{mm}$  et 770  $\text{mA}/\text{V}^2\text{mm}$  pour des longueurs de grille respectives de 1 et 0.5  $\mu\text{m}$  ont été obtenues. Dans le cas d'une technologie 1  $\mu\text{m}$ , ce facteur K est à comparer avec des valeurs de 280 et 370  $\text{mA}/\text{V}^2\text{mm}$  publiées par Motorola et Honeywell. Les tensions de grille pour lesquelles le facteur de transconductance atteint une valeur maximale sont voisines de 0.9 V et 0.7 V dans le cas de transistors à 1  $\mu\text{m}$  et 0.5  $\mu\text{m}$ , c'est-à-dire correspondant à des tensions appliquées légèrement supérieures à la tension de seuil. Ceci traduit la grande aptitude de nos composants à commuter rapidement (avec un écart de  $V_{\text{gs}}$  de 0.2 V) d'un état bloqué à un état passant, à être capable de délivrer rapidement un courant de drain

élevé lors d'une transition logique, ou d'atteindre un point de fonctionnement en amplification optimal à faible tension de polarisation.

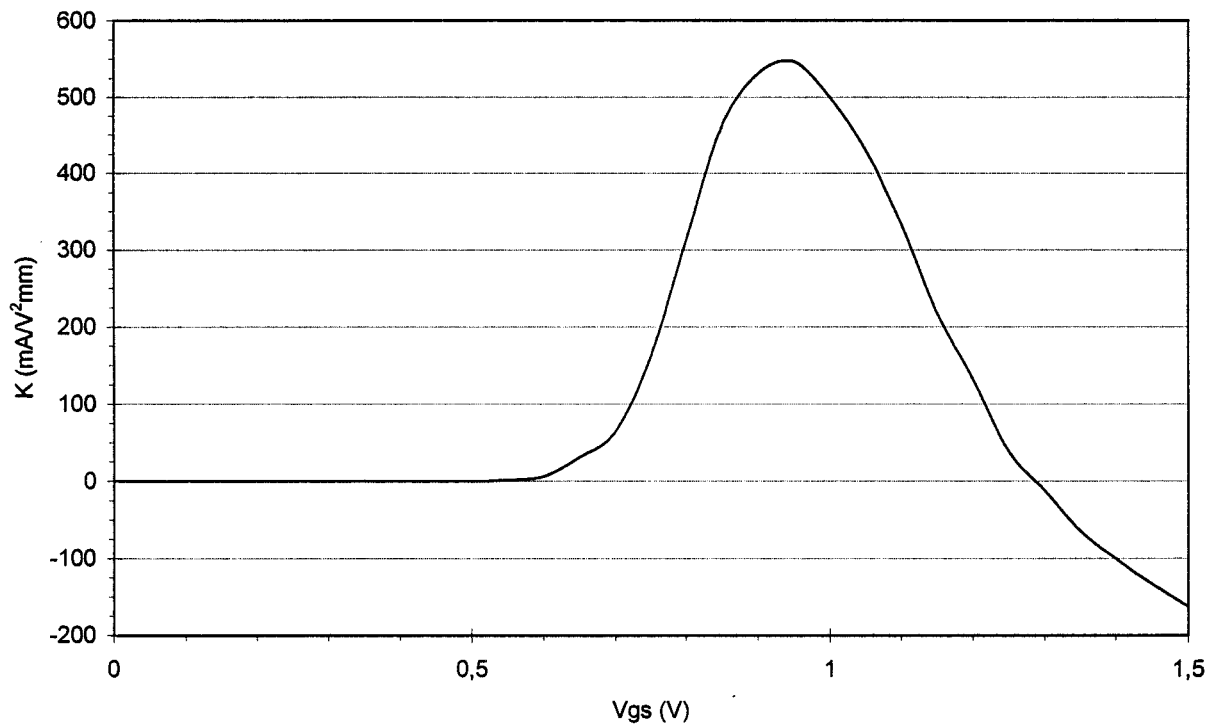


Fig. 7.11 : Evolution du facteur de transconductance d'un n-HIGFET de longueur de grille  $1 \mu\text{m}$  (op. 10218).

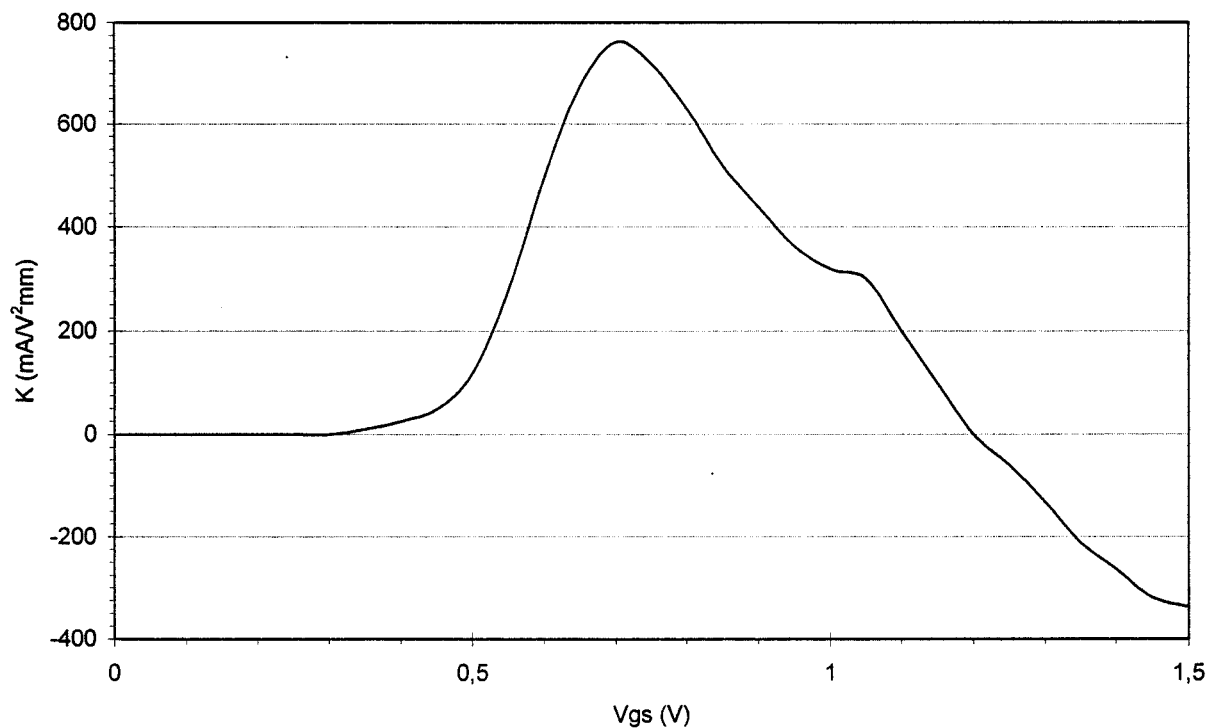


Fig. 7.12 : Evolution du facteur de transconductance d'un n-HIGFET de longueur de grille  $0.5 \mu\text{m}$  (op. 10218).

Cependant, à cause de la variation exponentielle du courant de grille du HIGFET, lorsque la tension de grille dépasse en moyenne 1V, le courant de saturation ne suit pas une loi d'évolution carrée de type :

$$I_{ds} = K (V_{gs} - V_t)^2 \quad (\text{eq. 7.1})$$

En effet, le courant de grille freine progressivement l'augmentation du courant de drain à saturation, causant l'annulation du facteur K, obtenu au point de fonctionnement pour lequel la transconductance est maximale, puis fait décroître la transconductance.

### VII.2.5 Caractérisation statique en technologie 0.3 $\mu\text{m}$ et mise en évidence des effets de canal court

Le figure 7.13.a représente l'évolution du courant de drain en fonction de la tension  $V_{ds}$  pour des tensions de grille appliquées de 2V à -0.8V par pas de -0.4V. La figure 7.13.b montre, quant à elle, la dépendance du courant de saturation, ainsi que la transconductance, en fonction de  $V_{gs}$ . Les performances statiques de ce type de composant à 0.3  $\mu\text{m}$  de longueur de grille sont résumées dans le tableau 7.3.

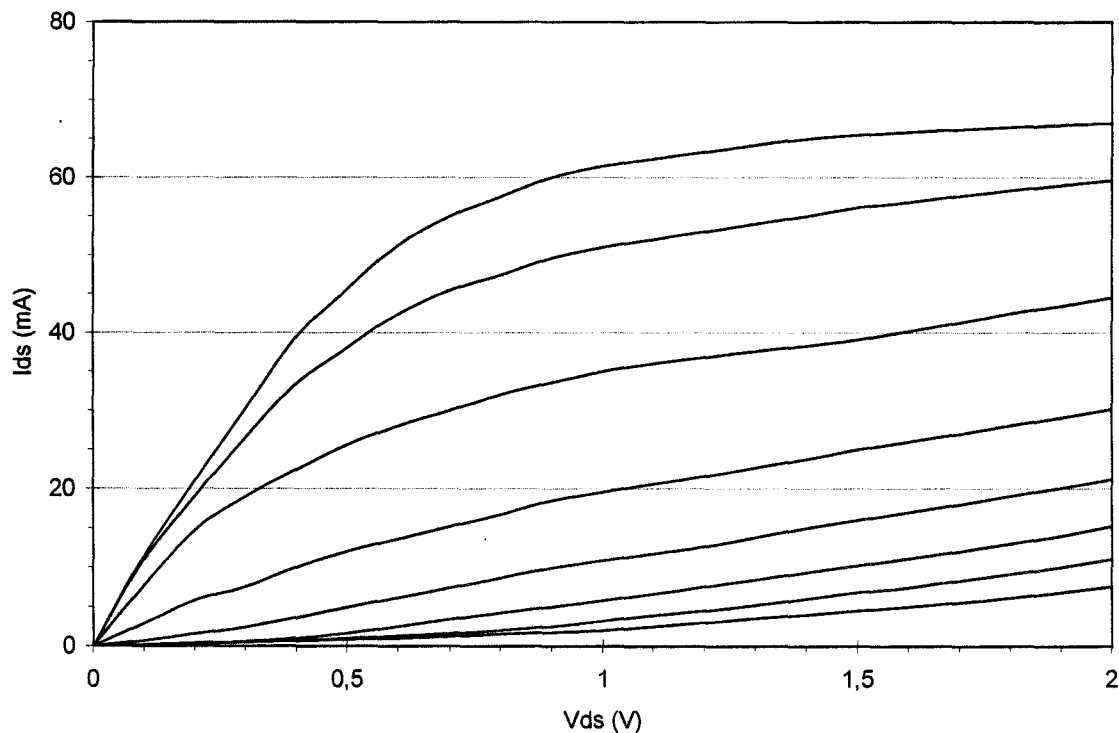


Fig. 7.13.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2*50*0.3 \mu\text{m}^2$  pour  $V_{gs}$  allant de -0.8 à 2V (op. 10218).

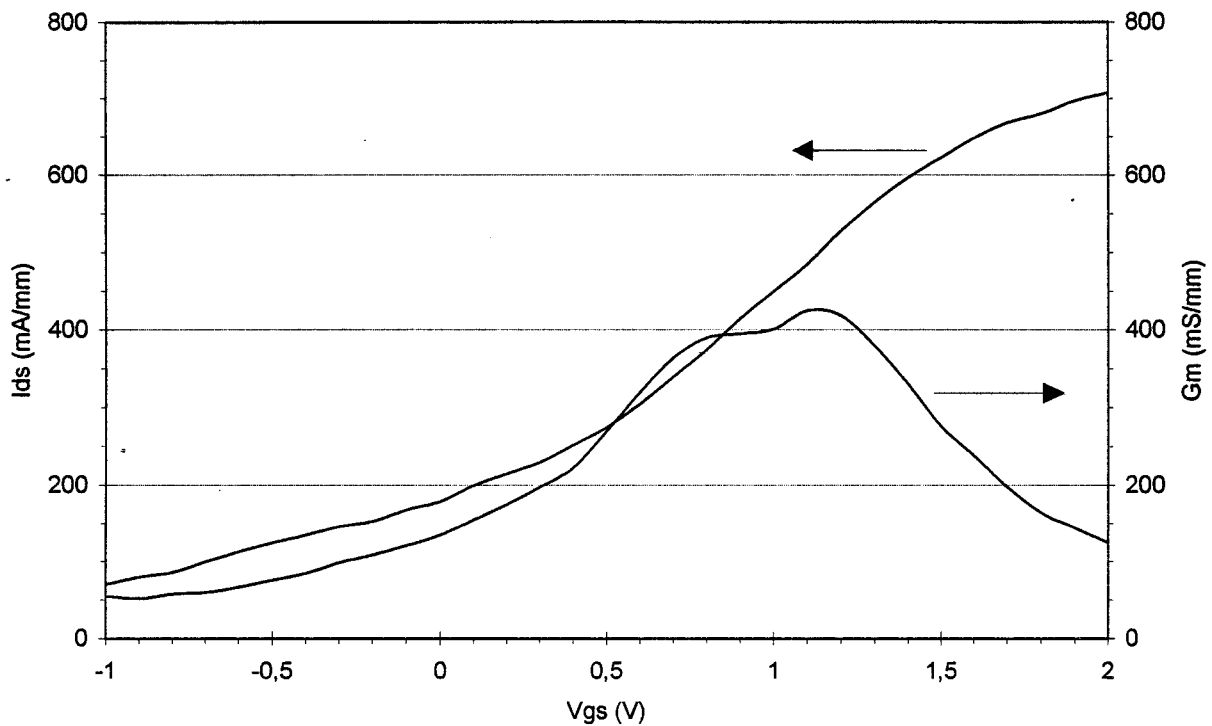


Fig. 7.13.b : Courant de drain en saturation et transconductance d'un n-HIGFET  $2 \times 50 \times 0.3 \mu\text{m}^2$  en fonction de  $V_{gs}$  (op. 10218).

$I_{ds}$ à $V_g=2\text{V}$ (mA/mm)	710
$g_m$ (mS/mm)	430
$g_d$ (mS/mm)	100
$g_m/g_d$	7
$K$ (mA/v <sup>2</sup> mm)	430
$V_t$ (V)	-0.8
$V_{ton}$ (V)	0.9

Tableau 7.3 : Caractéristiques d'un transistor n-HIGFETs  $2 \times 50 \times 0.3 \mu\text{m}$  pour les opérations 10218.

Les caractéristiques statiques mettent clairement en évidence des effets canal court qui apparaissent donc à partir de  $0.3 \mu\text{m}$  pour notre technologique auto-alignée à double implantation.

Ces composants présentent tous un assez mauvais pincement et une conductance de drain élevée, de l'ordre de  $100 \text{ mS/mm}$ . De plus, les composants à  $0.3 \mu\text{m}$  que nous avons testés sont tous "normally-on". Le transistor dont les performances sont décrites dans les figures 7.13.a et 7.13.b a ainsi une tension de seuil négative, valant approximativement  $-0.8 \text{ V}$ . Cette valeur de tension de seuil, que l'on évalue à l'aide de l'évolution de la racine carrée du courant de saturation en fonction de la tension  $V_{gs}$ , est d'ailleurs très peu précise étant donné une très nette dégradation de la transition pincé - linéaire du composant.

Les chercheurs d'Honeywell ont déjà examiné les effets canal court dans le cas d'une technologie auto-alignée à HIGFETs de type n en longueur de grille  $0.3 \mu\text{m}$  [3]. Ces effets canal court proviennent de la diffusion latérale des implants de silicium sous la grille, entraînant par là une réduction de la longueur de grille électrique effective. La dégradation du régime pincé du transistor s'explique par l'existence d'une conductance parasite dans le buffer lié à une injection de porteurs sous le canal d' $\text{In}_y\text{Ga}_{1-y}\text{As}$  qui sont très mal contrôlés par le potentiel de grille. Cette conductance parasite de buffer semble possible par la diffusion en profondeur des zones implantées au bord de la grille. L'existence d'une densité électronique de charge d'espace pour des tensions de grilles nulle voire négatives cause également un décalage de la tension de seuil (fig. 7.14). Cette variation importante quand la longueur de grille passe de  $0.5 \mu\text{m}$  à  $0.3 \mu\text{m}$  s'explique par un débordement trop important des espèces implantées sous la grille.

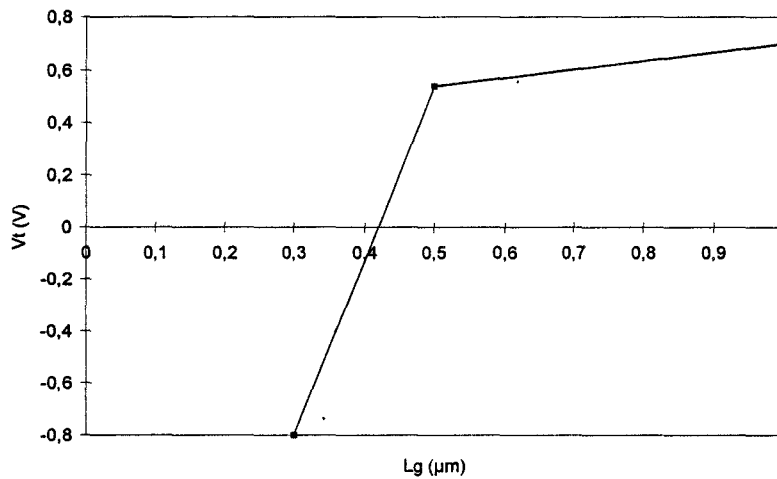


Fig. 7.14 : Evolution de la tension de seuil en fonction de la longueur de grille (op. 10218).

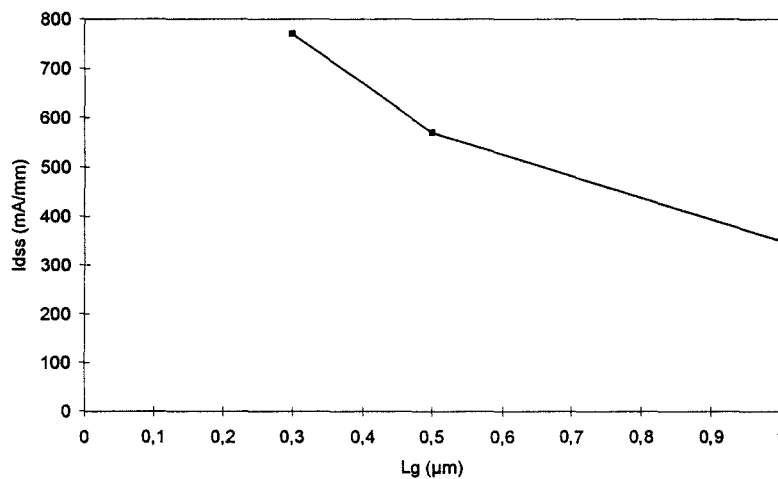


Fig. 7.15 : Evolution du courant de drain en saturation à  $V_{gs}=2\text{V}$  en fonction de la longueur de grille (op. 10218).

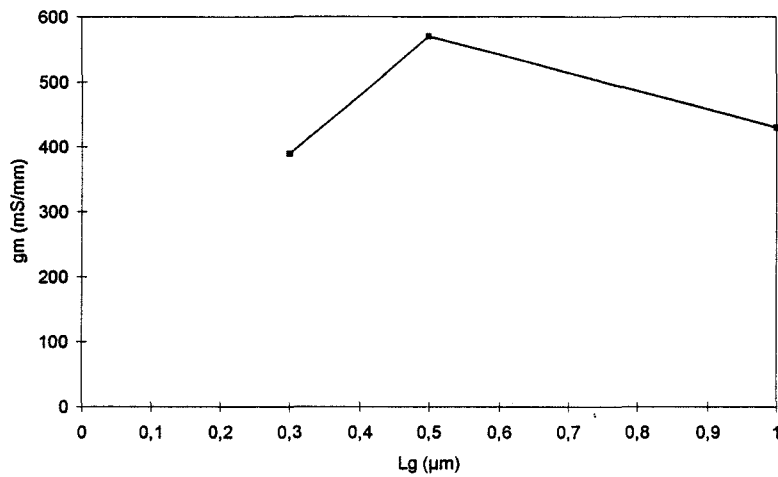


Fig. 7.16 : Evolution de la transconductance maximale en fonction de la longueur de grille (op. 10218).

La figure 7.15 montre la variation du courant de drain en saturation à  $V_{gs}=2\text{V}$  en fonction de la longueur de grille. On constate une amélioration spectaculaire du courant quand  $L_g$  diminue (effet de survitesse). En contrepartie, pour des longueurs de grille inférieures à  $0.5\mu\text{m}$ , on assiste à une dégradation de la transconductance. Cette-ci est la conséquence de deux effets :

- dégradation du rapport d'aspect et donc apparition d'effets bidimensionnels
- injection de porteurs dans le substrat, porteurs qui ne sont plus commandés par le potentiel de grille.

La conductance de drain, provenant sans doute en grande partie d'une injection de porteurs en régime de charge d'espace, semble inversement proportionnelle au carré de la longueur de grille (fig. 7.17), comme il est prévu par la théorie simplifiée du transistor..

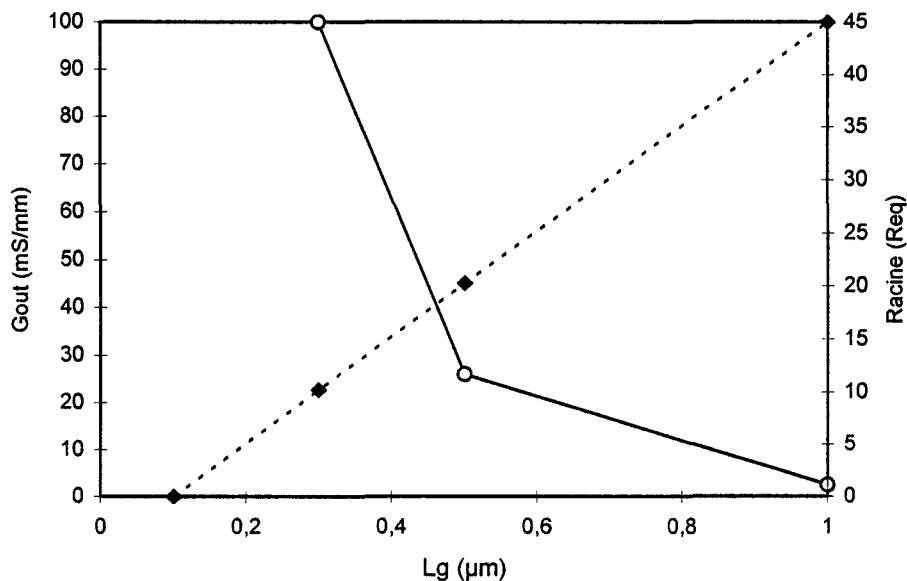


Fig. 7.17 : Evolution de la conductance de sortie (ligne continue) et de la racine carrée de la résistance équivalente (ligne pointillée) en fonction de la longueur de grille (op. 10218).

Nous avons également représenté l'évolution de la racine carrée de la résistance équivalente à cette conductance de charge d'espace, qui semble donc proportionnelle à  $L_g$ . Par interpolation linéaire à partir de cette droite, nous pouvons en déduire très grossièrement que pour une longueur fictive de  $0.1 \mu\text{m}$ , la résistance équivalente entre source et drain serait nulle et qu'il n'y a plus d'effet transistor. Autrement dit, l'ordre de grandeur de la diffusion latérale des implants sous la grille pourrait être de  $500\text{\AA}$  de chaque côté de la grille (fig. 7.18).

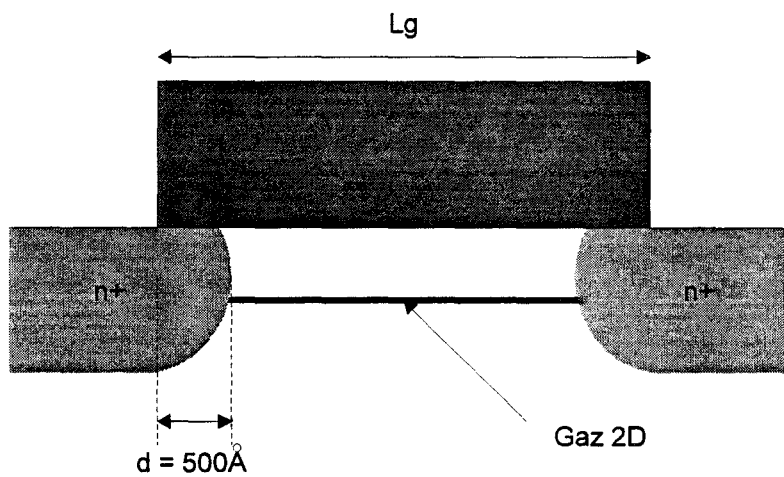


Fig. 7.18 : Représentation de la diffusion des implants de silicium sous la grille (estimée à  $500\text{\AA}$ ).

### VII.2.6 Variation du courant de grille

Le courant de grille est un paramètre important du transistor HIGFET. Dans le cas d'applications digitales à haute densité d'intégration, il est source d'une consommation statique qui limite fatalement le niveau d'intégration des composants. En ce qui concerne des applications analogiques, c'est une cause importante de l'augmentation du bruit dans la gamme des hautes fréquences.

Nous avons obtenu sur nos couches à taux d'aluminium de 40% une tension  $V_{\text{ton}}$  (pour laquelle le courant de grille vaut  $1 \mu\text{A}/\mu\text{m}^2$ ) valant entre  $1.3$  et  $1.4\text{V}$  à  $V_{\text{ds}}=0$ . La figure 7.19 représente l'évolution du courant de grille à  $V_{\text{ds}}=0$  en échelles linéaire et logarithmique en fonction de la tension  $V_{\text{gs}}$  appliquée. La courbe semble indiquer l'existence de deux mécanismes successifs intervenant dans le courant de grille. Pour une tension de grille inférieure à  $0.7\text{V}$ , le courant de grille résiduel, de l'ordre de  $100\text{ nA}$ , semble provenir d'importantes fuites de surface dues en particulier à la diffusion latérale des implants de silicium. Lorsque la tension de grille dépasse  $0.7\text{V}$ , a lieu un phénomène supplémentaire et simultané à la présence croissante de porteurs dans le canal d' $\text{InGaAs}$ . Il s'agit d'un transfert du canal vers la grille d'électrons qui passent au-dessus de la barrière de  $0.48\text{eV}$  due à la discontinuité des



bandes de conduction à l'interface AlGaAs/InGaAs. Ce mécanisme de transfert électronique a été décrit à de nombreuses reprises par H. Fawaz [4] et surtout M. Shur [5], comme étant une superposition d'effets thermoionique et tunnel.

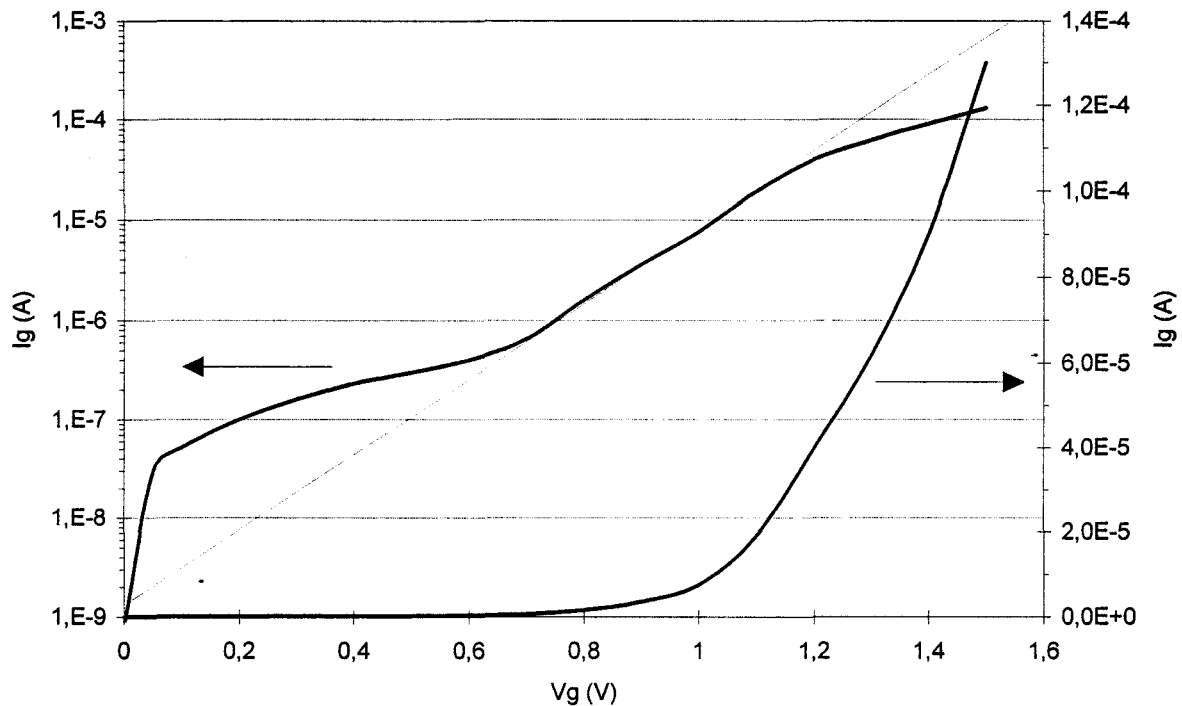


Fig. 7.19 : Evolution du courant de grille à  $V_{ds}=0$  d'un n-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  en fonction de  $V_g$  (op. 10196).

Dans le cas des réalisations technologiques 10196 et 10218, l'évolution du courant de grille a un caractère exponentiel de 0,7 à 1,2 V, et nous en avons déduit un facteur d'idéalité de 4,5. La variation exponentielle non idéale du courant de grille semble indiquer qu'il s'agit probablement d'un effet thermoionique assisté dans cette gamme de tensions de grille. Après 1,2 V, l'allure du courant de grille perd son caractère exponentiel, ce qui suggère que le mécanisme de transfert dominant dans l'AlGaAs est l'effet tunnel.

Afin de déterminer avec certitude dans quelles conditions l'un des deux phénomènes précités est dominant par rapport à l'autre, il serait nécessaire de procéder à des mesures du courant de grille en fonction de la température. Une telle étude a été entreprise sur couche HIGFET à taux d'aluminium de 0,75 et est rapportée dans le chapitre VIII.

### VII.2.7 Evolution des concentrations de charges et de la mobilité dans le gaz 2D

Nous avons procédé à des mesures  $C(V)$  afin d'extraire la densité de charges dans le canal des transistors n-HIGFETs. Les mesures  $C(V)$  sont effectuées à trois fréquences très proches autour de 500 MHz en polarisant le transistor à  $V_{ds}=0$ . La figure 7.20 représente la capacité de grille directement mesurée sur un transistor  $2 \times 20 \times 1 \mu\text{m}$ , ainsi que la densité de charges obtenue par intégration de cette capacité.

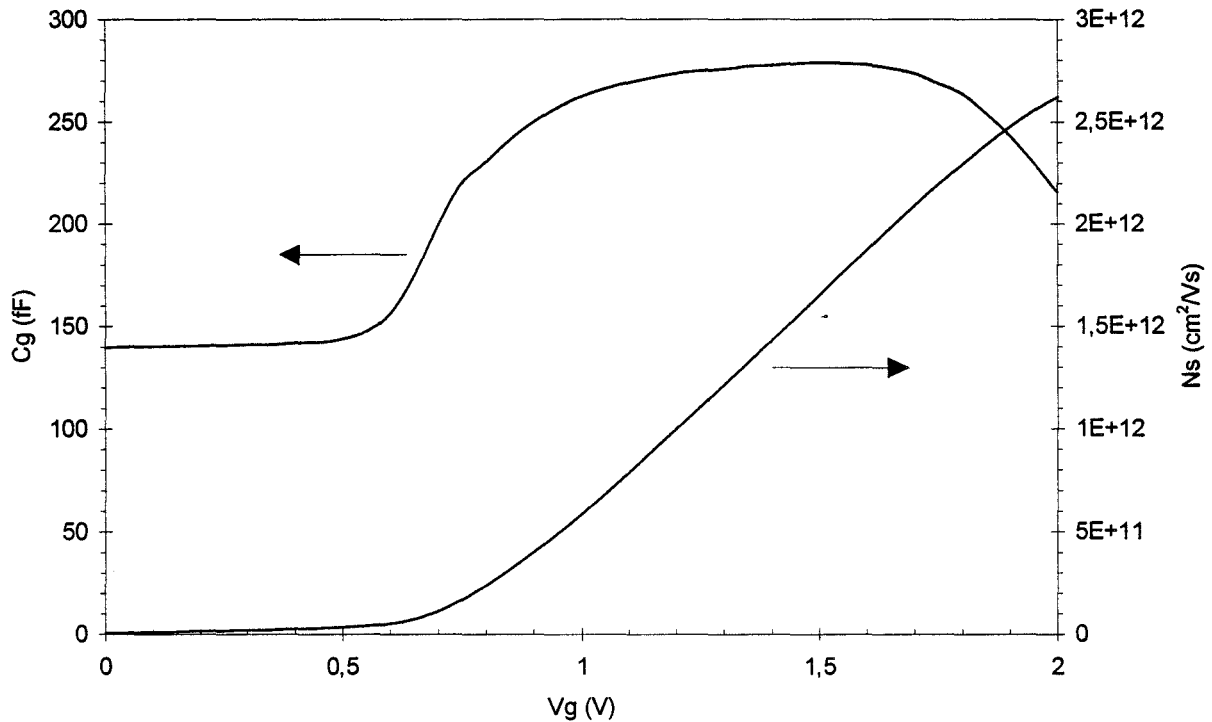


Fig. 7.20 : Evolution de la capacité de grille et de la densité de charges d'un transistor n-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  obtenues par  $C(V)$  (op. 10218).

Nous avons obtenu une densité de charges de  $2.6 \times 10^{12} \text{ cm}^{-2}$  pour ce transistor à  $V_{gs}=2\text{V}$ . Cette valeur est de très loin la plus élevée jamais obtenue pour un n-HIGFET. Elle est à comparer avec des densités de l'ordre de  $1.5 \times 10^{12} \text{ cm}^{-2}$  obtenues par Honeywell notamment à 2V [6]. Pour une tension  $V_g$  de 1.5V, la densité de charges mesurée est égale à  $1.6 \times 10^{12} \text{ cm}^{-2}$ .

La variation de la densité de porteurs dans le canal obéit nettement à une loi simple de contrôle de charges du type :

$$N_s = C_{OX} (V_g - V_t) \quad (\text{eq. 7.2})$$

Par extrapolation, nous déduisons une valeur de la tension de seuil valant 0.74 V, qui confirme la mesure déduite à partir de la racine carrée du courant de drain en saturation.

Il est à remarquer que la donnée du paramètre  $Z_{11}$  du composant lors de la mesure  $C(V)$  indique une capacité résiduelle de type capacité de plots qui est éliminée pour calculer la charge dans le canal par intégration. En outre la capacité extraite décroît lorsque la tension de grille dépasse 1.5V environ, à cause de l'apparition du

courant de grille qui contribue peu à peu à court-circuiter la capacité de grille à travers une résistance dynamique parallèle à celle-ci.

Nous avons par ailleurs procédé à une mesure de la mobilité des porteurs dans le canal par magnétorésistance, qui consiste à relever la variation de la résistance du canal due à l'application d'un champ magnétique. La mesure est effectuée à 100 MHz en polarisant le composant à  $V_{ds}=0$ . La figure 7.21 montre le relevé de la mobilité différentielle mesurée en fonction de  $V_g$ . La mobilité mesurée est de  $4400 \text{ cm}^2/\text{Vs}$ . Cette valeur est un peu faible, notamment lorsqu'on la compare avec celle du GaAs massif, mais elle s'explique par la forte densité de charges dans le canal.

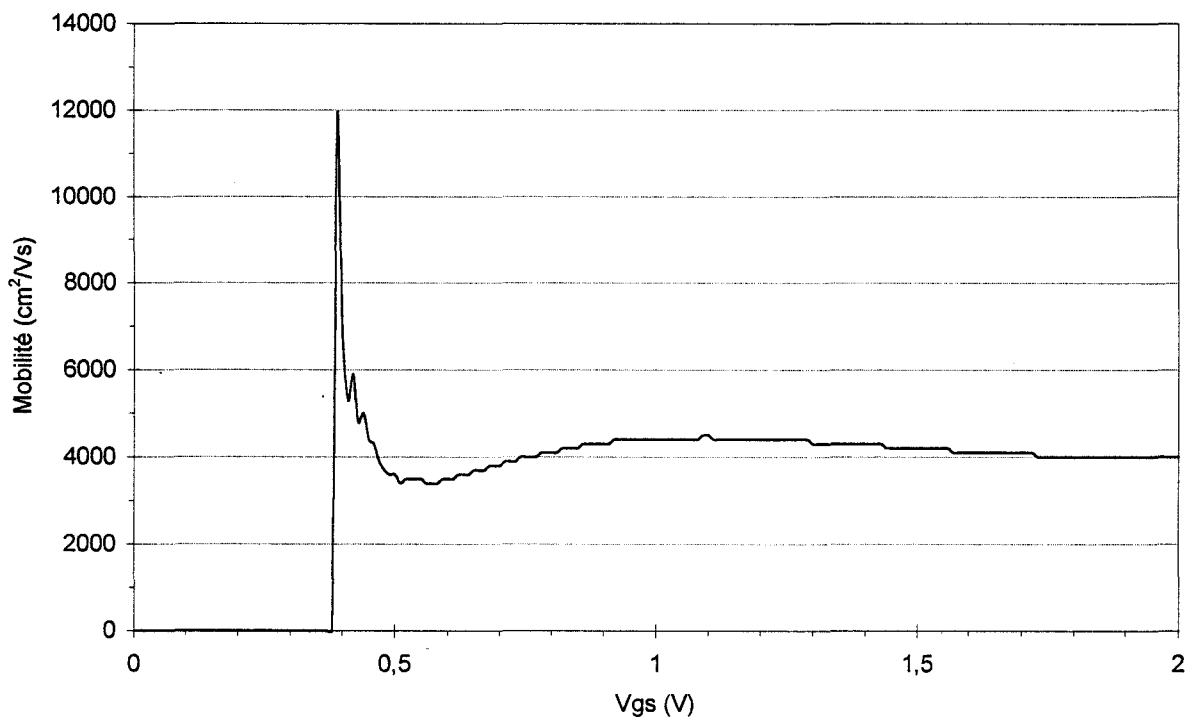


Fig. 7.21 : Mesure de la mobilité par magnétorésistance d'un n-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  (op. 10218).

### VII.3 Caractérisation en hyperfréquences

La mesure des composants en hyperfréquences est vitale afin d'évaluer les performances des transistors en micro-ondes, et de comprendre leur comportement interne. Cette caractérisation consiste en la mesure des paramètres S à l'aide d'un analyseur de réseau (dans notre cas un HP 8510) jusqu'à 26 GHz.

Une caractérisation en hyperfréquences a deux finalités :

- Mesurer les gains ainsi que les fréquences de coupure des transistors, de manière à déterminer les fréquences limites d'utilisation en amplification.

- Déterminer, à l'aide de ces paramètres S, un schéma équivalent du transistor en micro-ondes. Les enseignements déduits de ce schéma équivalent sont, d'une part la limitation attribuée aux éléments d'accès exclusivement, et d'autre part, l'évaluation des caractéristiques intrinsèques des composants.

### VII.3.1 Mesures des gains et des fréquences de coupure

Les deux fréquences que nous mesurons sont la fréquence de coupure  $F_t$  du gain en courant  $H_{21}^2$ , ainsi que la fréquence de coupure  $F_{max}$  du gain en puissance MAG (Maximum Available Gain). La fréquence de coupure  $F_t$  représente la limitation réelle en fréquence du composant car elle est liée à des paramètres physiques que sont la transconductance, de la capacité d'entrée  $C_{GS}$  et de la capacité de réaction  $C_{GD}$ [7]. Si l'on exclut l'influences des éléments parasites,  $F_t$  est en effet donnée par la formule approximative suivante:

$$F_t = \frac{G_m}{2\pi(C_{gs} + C_{gd})} \quad (\text{eq. 7.3})$$

L'influence des éléments parasites est telle que la capacité de plot de grille  $C_{pg}$  conduit à :

$$F_t = \frac{G_m}{2\pi(C_{gs} + C_{gd} + C_{pg})} \quad (\text{eq. 7.4})$$

Elle est obtenue par calcul exact du gain  $H_{21}^2$  à partir des paramètres S mesurés:

$$|H_{21}|^2 = \left| \frac{-2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \right|^2 \quad (\text{eq. 7.5})$$

Le MAG est également calculé à partir des paramètres S :

$$\text{MAG} = \left| \frac{S_{21}}{S_{12}} \right| (K - \sqrt{K^2 - 1}) \quad (\text{eq. 7.6})$$

K étant le facteur de stabilité du composant, défini par :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}||S_{21}|} \quad (\text{eq. 7.7})$$

Les fréquences de coupure  $F_t$  et  $F_{max}$  de nos composants dans les opérations 10196 et 10218, ainsi que leur gain  $H_{21}^2$  mesuré à 2 GHz, sont donnés dans le tableau 7.4 pour des technologies  $1\mu m$  et  $0.5\mu m$ , et pour les quatre largeurs  $2*10$ ,  $2*20$ ,  $2*25$  et  $2*50 \mu m$ . Les figures 7.22 à 7.24 représentent certaines mesures du gain  $H_{21}^2$  et du MAG en fonction de la fréquence, ainsi que la détermination des fréquences de coupure.

L ( $\mu m$ )	W ( $\mu m$ )	10196			10218		
		$H_{21}^2$ à 2GHz (dB)	$F_t$ (GHz)	$F_{max}$ (GHz)	$H_{21}^2$ à 2GHz (dB)	$F_t$ (GHz)	$F_{max}$ (GHz)
1	2*10	15.9	15	18	14.1	16	26
1	2*20	18.8	21	16	19.2	22	20
1	2*25	19.5	21	14	17.6	21	17
1	2*50	18.9	21	9	21.6	25	13
0.5	2*10	22.6	27	23	21.9	30	34
0.5	2*20	25.1	33	18	25.7	39	30
0.5	2*25	25.8	38	21	26.1	39	27
0.5	2*50	26.6	22	11	29.3	39	19

Tableau 7.4 : Comparatif des fréquences de coupure des opérations 10196 et 10218 pour des longueurs de grille de  $0.5\mu m$  et  $1\mu m$ .

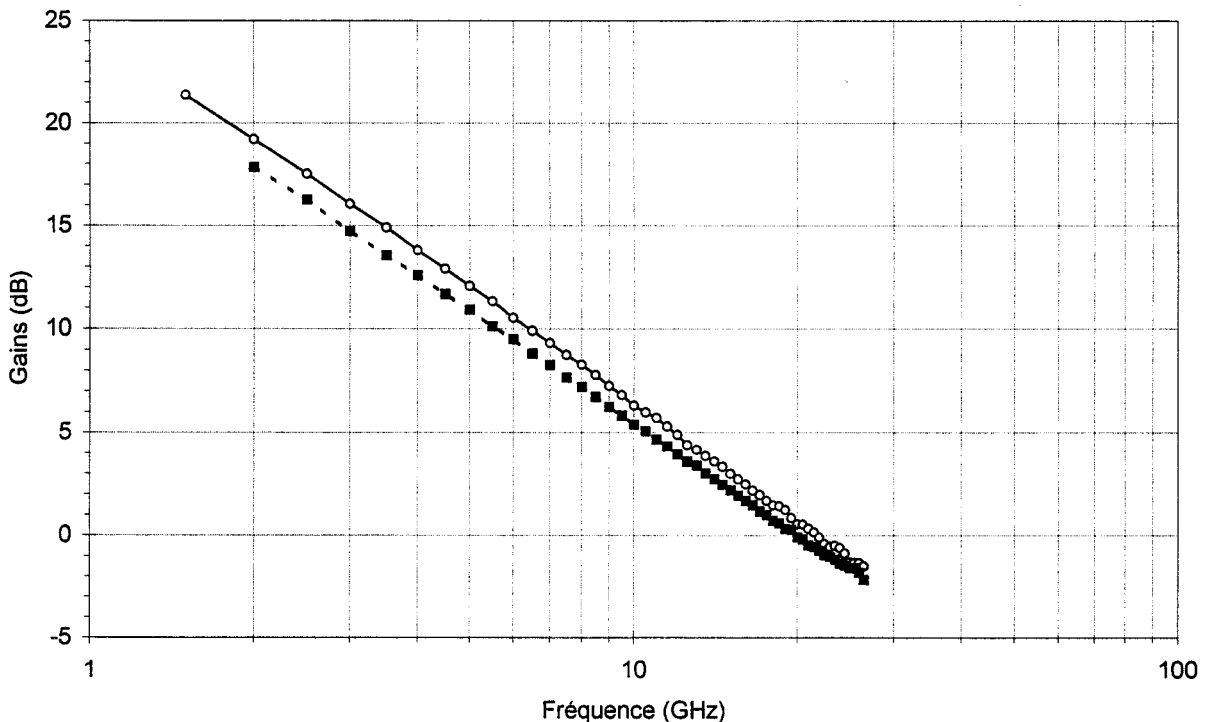


Fig. 7.22 : Evolution du  $H_{21}$  (ligne continue) et du MAG (pointillés) pour un n-HIGFET  $2*20*1\mu m$  (op. 10218). Les valeurs de  $F_t$  et  $F_{max}$  sont 22 et 20 GHz.

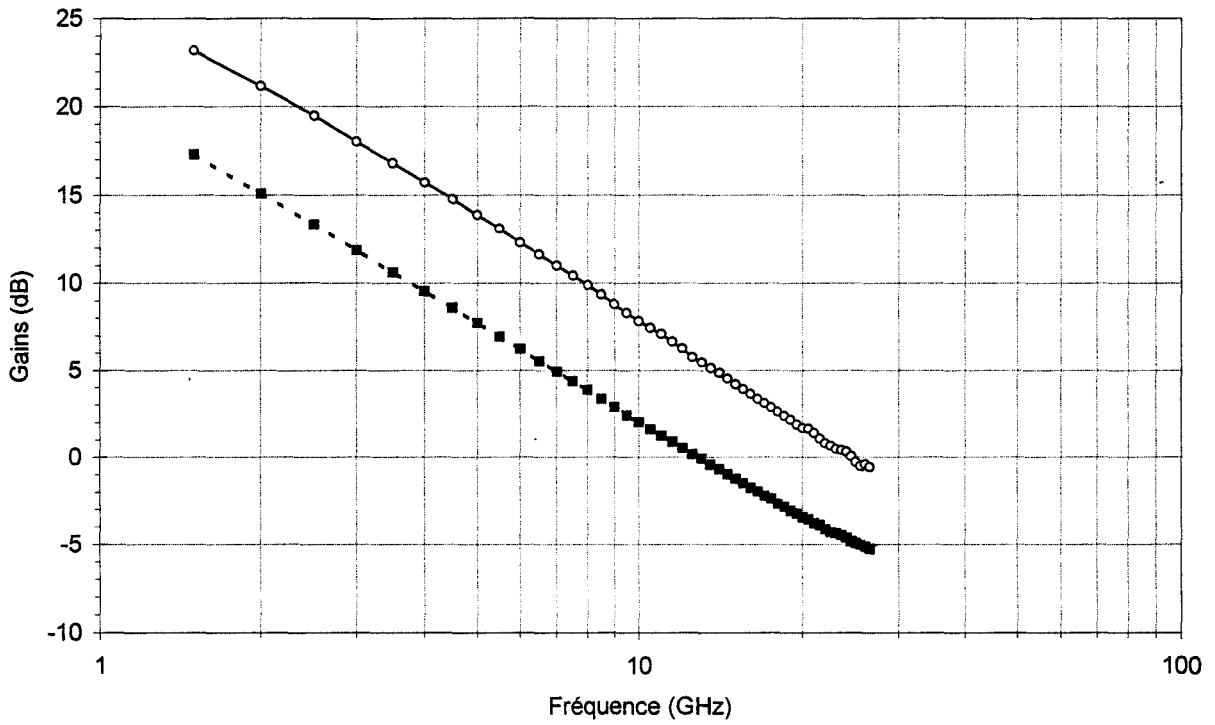


Fig. 7.23 : Evolution du H21 (ligne continue) et du MAG (pointillés) pour un n-HIGFET  $2*50*1\mu m$  (op. 10218). Les valeurs de  $F_t$  et  $F_{max}$  sont 25 et 13 GHz.

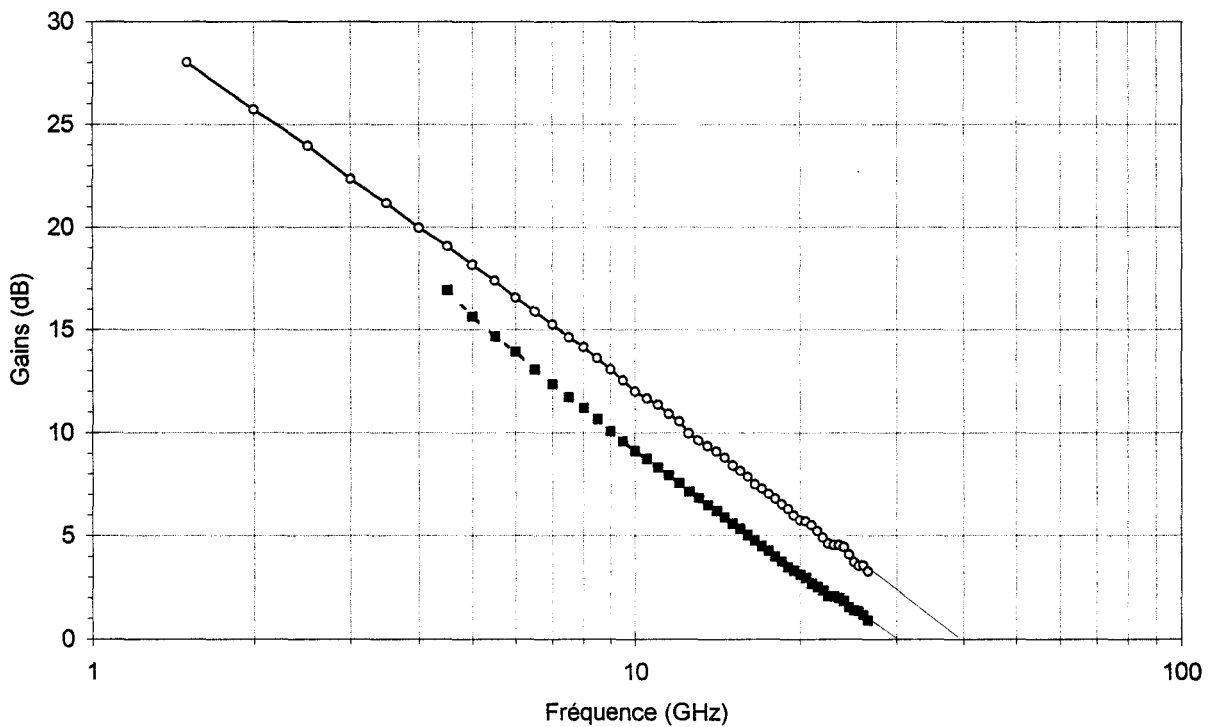


Fig. 7.24 : Evolution du H21 (ligne continue) et du MAG (pointillés) pour un n-HIGFET  $2*20*0.5\mu m$  (op. 10218). Les valeurs de  $F_t$  et  $F_{max}$  sont 39 et 30 GHz.

D'excellentes performances ont été obtenues, notamment en termes de  $F_t$  à la fois pour les technologies  $1\mu\text{m}$  et  $0.5\mu\text{m}$ . Ainsi, nous avons atteint à plusieurs reprises des fréquences de coupure de 25 GHz en longueur de grille  $1\mu\text{m}$ . Ces valeurs sont de très loin supérieures aux fréquences de coupure  $F_t$  publiées par Motorola et Honeywell, c'est-à-dire 17 GHz en  $1\mu\text{m}$  et 20 GHz en  $0.7\mu\text{m}$  (cf. Ch. II). Cette différence importante peut être reliée aux valeurs élevées des transconductances que nous avons obtenues.

Concernant la technologie  $0.5\mu\text{m}$ , nous avons mesuré à maintes reprises des valeurs de  $F_t$  de 39 GHz, qui constitue une excellente performance en termes de fréquence de coupure de n-HIGFET  $0.5\mu\text{m}$ . Notons que les valeurs de  $F_t$  obtenues pour des configurations  $2*10\mu\text{m}$  sont plus faibles à cause des capacités plots qui deviennent prépondérantes.

Les fréquences de coupures  $F_{\text{max}}$  mesurées sont globalement en retrait par rapport aux meilleures valeurs de  $F_t$ , et ce malgré des conductances de drain nettement plus faibles que celles obtenues pour les opérations 10165-10168. Le facteur dominant qui dégrade la fréquence de coupure du MAG pour nos transistors est la résistance de grille résultant de la résistivité élevée du WSi. En effet, les fréquences de coupure  $F_{\text{max}}$  et  $F_t$  sont liées par la relation simplifiée:

$$F_{\text{max}} = \frac{F_t}{2\sqrt{Gd}} \frac{1}{\sqrt{R_s + R_g + \frac{\omega_T L_s}{2} + \frac{F_t}{2F_0} (R_s + 2R_g + \omega_T L_s)}} \quad (\text{eq. 7.8})$$

$$\text{où } F_0 = \frac{Gd}{2\pi Cgd}$$

Concernant nos transistors, la résistance de grille est beaucoup plus élevée que les autres termes apparaissant au dénominateur de l'équation 7.8, de sorte que celle-ci peut être réécrite sous la forme :

$$F_{\text{max}} = \frac{F_t}{2\sqrt{Gd R_g}} \frac{1}{\sqrt{1 + \frac{F_t}{F_0}}} \quad (\text{eq. 7.9})$$

Cette relation est surtout vraie pour les transistors dont la largeur de grille excède  $2*20\mu\text{m}$ , et spécialement dans le cas d'une longueur de grille de  $0.5\mu\text{m}$ . En fait, on constate réellement, d'après le tableau 7.4, une dégradation très significative du rapport  $F_t/F_{\text{max}}$  quand la largeur de grille augmente et quand la longueur de grille diminue..

En fait, le passage d'une épaisseur de  $2000\text{\AA}$  de WSi dans le cas de l'opération 10196 à une épaisseur de  $2800\text{\AA}$  dans la série 10218 a été motivé par la perspective de

réduire les résistances de grille par la même proportion, et de relever quelque peu la valeur des fréquences de coupure du MAG. Le tableau 7.4 démontre que la fréquence  $F_{\text{max}}$  a été effectivement améliorée sur la série technologique 10218, spécialement sur les composants avec une longueur de grille de  $0.5 \mu\text{m}$ .

### VII.3.2 Méthode d'extraction d'un schéma équivalent de transistors HIGFETs

La détermination du schéma équivalent "petit signal" complet d'un transistor HIGFET se fait à partir de la méthode standard développée à l'ITEMN par G. Dambrine [7] qui extrait les éléments d'un transistor MESFET à l'aide de la mesure des paramètres S à large bande de fréquences : il aboutit à une évaluation des éléments du schéma décrit en figure 7.25.

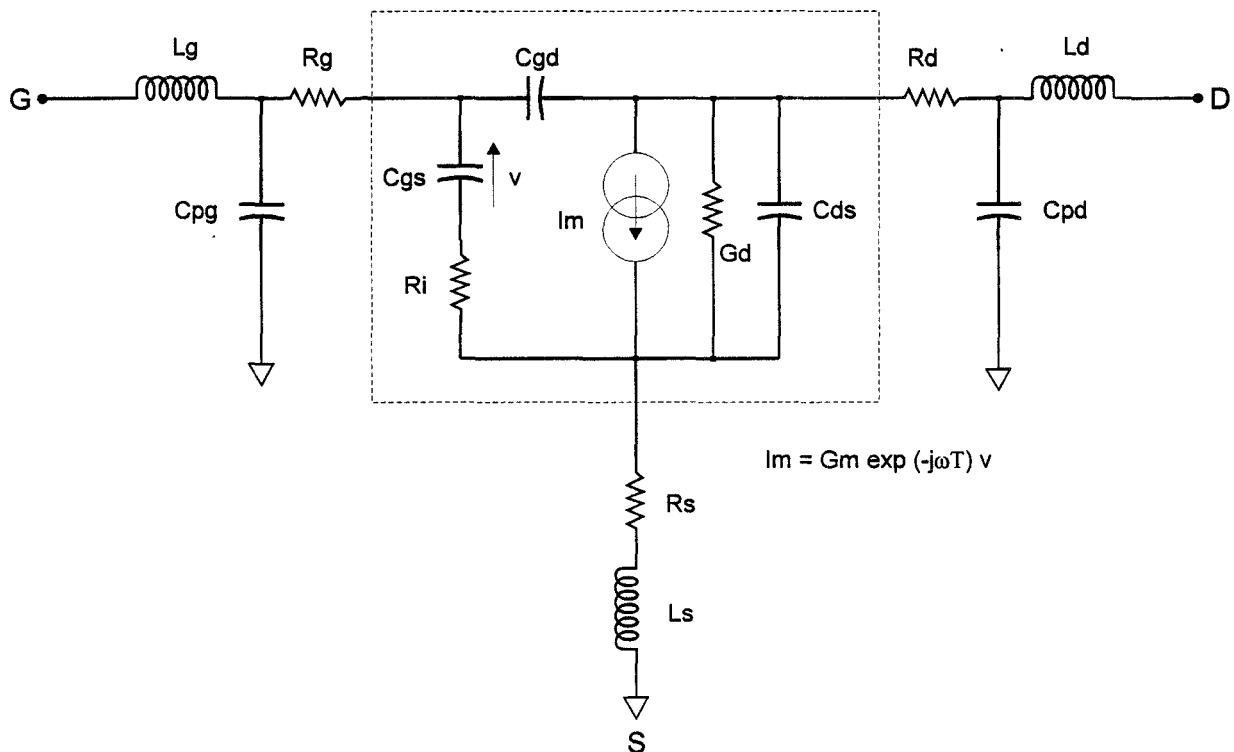


Fig. 7.25 : Schéma équivalent "petit signal" d'un transistor à effet de champ standard.

La procédure d'extraction distingue les éléments parasites d'accès, tels que les résistances et selfs d'accès, ainsi que les capacités des plots, des éléments intrinsèques des composants axés autour de la capacité grille-source  $C_{gs}$  et de la transconductance  $G_m$ . La méthode consiste tout d'abord à déterminer les éléments du schéma extrinsèque, puis à les éliminer par simples transformations de la matrice de transfert, ce qui conduit à la résolution d'un système d'équations pour déterminer les composantes du schéma intrinsèque. La méthode de G. Dambrine a été mise au point pour fonctionner exclusivement sur des transistors à effet de champ "normally on" de



type MESFET et HEMT. Un important travail a donc été entrepris pour examiner les limites du modèle standard, et pour proposer une version de cette méthode adaptée au HIGFET.

**\* Détermination des éléments parasites d'accès**

L'extraction des éléments d'accès consiste à placer le composant dans des conditions de fonctionnement bien particulières, de manière à isoler séparément chaque type de composantes du schéma extrinsèque. La détermination des éléments séries se fait en court-circuitant les trois accès du transistor, c'est-à-dire en polarisant le drain à la masse ( $V_{ds}=0$ ), et en court-circuitant la résistance dynamique de la diode en la faisant parcourir par un courant de grille direct élevé ( $V_g \gg 0$ ). Dans ce cas, G. Dambrine a montré que les paramètres impédances  $Z$ , déduits par calcul à partir de la mesure des paramètres  $S$ , sont reliés aux résistances d'accès pour un MESFET standard:

$$Re(Z_{11}) = R_S + R_G + R_C/3 + R_{dy} \quad (\text{eq. 7.10})$$

$$Re(Z_{12}) = R_S + R_C/2 \quad (\text{eq. 7.11})$$

$$Re(Z_{22}) = R_S + R_D + R_C \quad (\text{eq. 7.12})$$

L'équation 7.10 provient de l'approximation du schéma électrique grille - canal de la figure 7.25,  $R_C$  et  $R_{dy}$  étant respectivement la résistance du canal et la résistance dynamique de grille ( $R_{dy} \# nKT / q I_G$ ). Cette équation est fautive dans le cas du HIGFET, et ce pour trois raisons :

- La figure 7.26 décrit le schéma électrique discrétisé et exact, le long de la barre métallique de grille, c'est-à-dire suivant la largeur  $W$ .

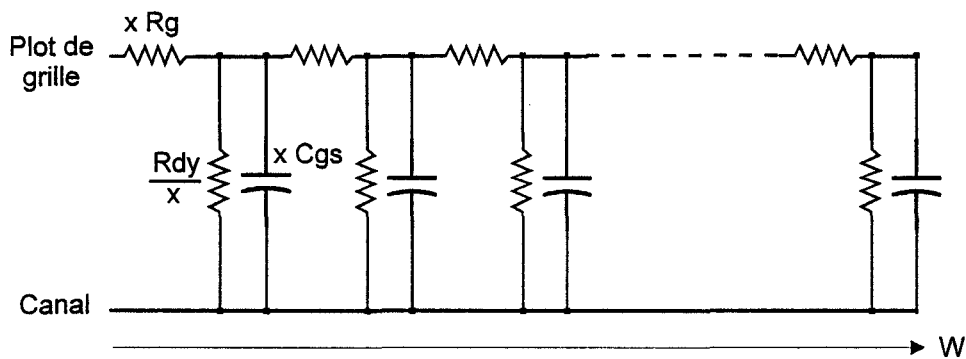


Fig. 7.26 : Schéma électrique distribué suivant la largeur  $W$  de la caractéristique de grille d'un transistor HIGFET polarisé en direct et à  $V_{ds}=0$ .

L'approximation de ce schéma à un modèle dans lequel la résistance de grille électrique  $R_G$  est placée en série avec celle de la diode suppose que cette résistance de grille est peu élevée,  $R_G$  étant alors égale au tiers de la résistance métallique de grille

$R_g$ . En effet, dans le cas du transistor HIGFET à grille réfractaire résistive en WSi, la résistance de grille  $R_g$  est élevée, surtout dans le cas d'un transistor à dimensions  $2 \times 50 \times 0.5 \mu\text{m}^2$ . Dès lors, la polarisation d'un courant de grille élevé cause une différence de potentiel  $R_g I_G$  entre le plot et l'extrémité de la grille. Par conséquent, le potentiel appliqué effectivement en fin de grille n'est pas  $V_{gs}$  mais  $V_{gs} - R_g I_G$ , et le courant de grille  $y$  est plus faible. Il en résulte une résistance dynamique plus élevée vers l'extrémité de la grille (la capacité  $C_{gs}$  n'étant pas court-circuitée). Par exemple, dans le cas d'un transistor de géométrie  $2 \times 50 \times 0.5 \mu\text{m}^2$ , la résistivité du métal de grille de  $170 \mu\Omega.\text{cm}$  conduit à une résistance métallique valant environ  $500 \Omega$ , et causant par conséquent une chute de potentiel de  $0.5 \text{ V}$  entre le plot et la fin de la grille si le courant de grille vaut  $1 \text{ mA}$ . Compte tenu de la caractéristique quasi-exponentielle du courant de grille par rapport à  $V_{gs}$ , le courant parcourant la dernière section de la grille est donc beaucoup plus faible que prévu, et le schéma intrinsèque précédent n'est plus valable.

- Une bonne estimation de la résistance dynamique  $R_{dy}$  suppose un fonctionnement largement en direct de la grille, c'est-à-dire un courant de grille important, de l'ordre de  $100 \mu\text{A}/\mu\text{m}^2$  au minimum. Dans le cas d'un HIGFET, l'application d'un tel courant de grille est chose délicate, et il faut se limiter à  $10 \mu\text{A}/\mu\text{m}^2$  sous peine d'endommager le composant.

- La caractéristique de grille du HIGFET n'est pas du tout celle d'une Schottky, mais d'une diode de type MIS. La mesure du courant de grille en figure 7.18 montre que la variation de celui-ci n'obéit pas à une loi exponentielle idéale, mais fait apparaître l'existence de plusieurs mécanismes. Dès lors la formulation de la résistance dynamique  $R_{dy} = n KT / q I_G$  est complètement erronée.

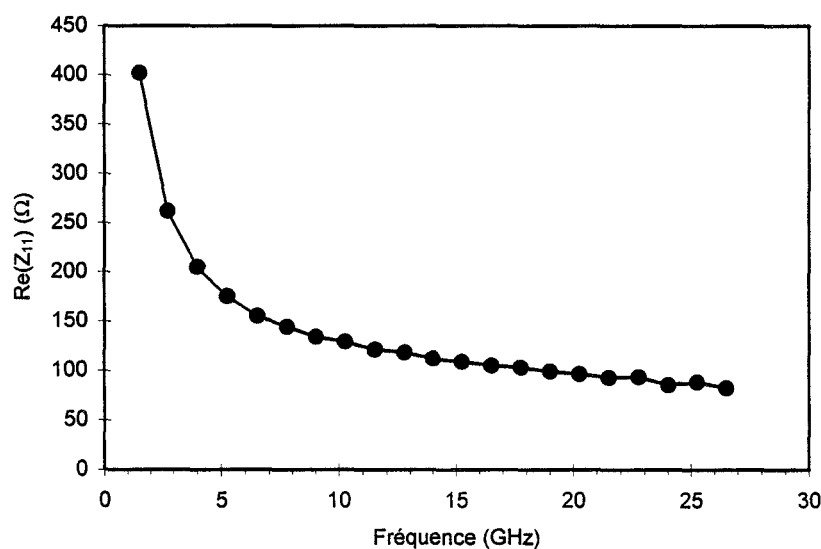


Fig. 7.27 : Variation de la partie réelle de  $Z_{11}$  en fonction de la fréquence, mesurée sur un n-HIGFET  $2 \times 25 \times 0.5 \mu\text{m}^2$  polarisé à  $V_g > 0$  et  $V_{ds} = 0$ .

De plus, une mesure du paramètre  $Z_{11}$  pour un n-HIGFET à dimensions  $2*25*0.5 \mu\text{m}^2$  présente une large dépendance en fonction de la fréquence (fig. 7.27), contrairement à ce que prédit l'équation 7.10. Ceci démontre l'influence de la capacité de grille qui n'est absolument pas court-circuitée par la résistance équivalente de la jonction.

L'équation 7.10 ne convient donc pas pour déterminer la résistance de grille. En revanche, les deux autres équations permettent d'extraire les résistances séries  $R_S$  et  $R_D$ , à condition de connaître précisément la résistance du canal  $R_C$ . A cet effet, nous utilisons les mesures de  $C(V)$  et de magnétorésistance. La résistance du canal s'écrit en effet en fonction de la densité de charges et de la mobilité dans le canal :

$$R_C = \frac{1}{q n_S \mu} \quad (\text{eq. 7.13})$$

Compte tenu des précédentes mesures, nous emploierons une valeur de  $R_C$  de  $0.6 \Omega \cdot \text{mm}/\mu\text{m}$ . Dès lors les mesures de  $Z_{12}$  et  $Z_{22}$  conduisent directement aux résistances de source et de drain.

En théorie, les selfs d'accès pourraient être déduites de la mesure des parties imaginaires des paramètres de la matrice impédance  $Z$  à  $V_{ds}=0$ . Malheureusement, pour les mêmes raisons que précédemment, cette méthode n'est pas applicable étant donné la très forte valeur des résistances de grille. Il n'est pas possible de négliger les parties imaginaires des impédances, présentées par les capacités grille-source réparties à l'extrémité de la grille. L'utilisation de la méthode habituelle conduit à des évolutions fréquentielles aberrantes des selfs d'accès qui dans certains cas deviennent négatives. Nous avons finalement pris des valeurs utilisées classiquement pour des MESFETs et des HEMTs en structure CASCADE, soit 20 pH pour  $L_g$  et  $L_d$  et 5 pH pour  $L_s$ .

La détermination de la résistance de grille, ainsi que des capacités plots, se fait en isolant les accès de grille, de drain et de source du composant, c'est-à-dire en veillant à une absence totale de charges sous la grille qui annule la conductance du canal. Le composant est alors polarisé  $V_{ds}=0$  et fortement en inverse, typiquement à  $V_{gs} = -1 \text{ V}$  dans le cas d'un n-HIGFET. Le schéma équivalent du transistor dans ces conditions est décrit par la figure 7.28.

De la capacité de grille, il ne subsiste donc que des capacités résiduelles de bord  $C_{BS}$  et  $C_{BD}$  induites par le dopage  $n^+$  au ras de la grille. De par la faible valeur de ces capacités, les éléments inductifs série n'ont quasiment aucune influence pour des fréquences allant jusqu'à quelques GHz. En supposant égales les capacités de bord côté source et côté drain, les parties imaginaires des paramètres admittance  $Y$  s'écrivent simplement par :

$$\begin{aligned} \text{Im}(Y_{11}) &= j \omega (C_{PG} + 2 C_B) \\ \text{Im}(Y_{12}) &= -j \omega C_B \\ \text{Im}(Y_{22}) &= j \omega (C_{PD} + C_B) \end{aligned} \quad (\text{eq. 7.14})$$

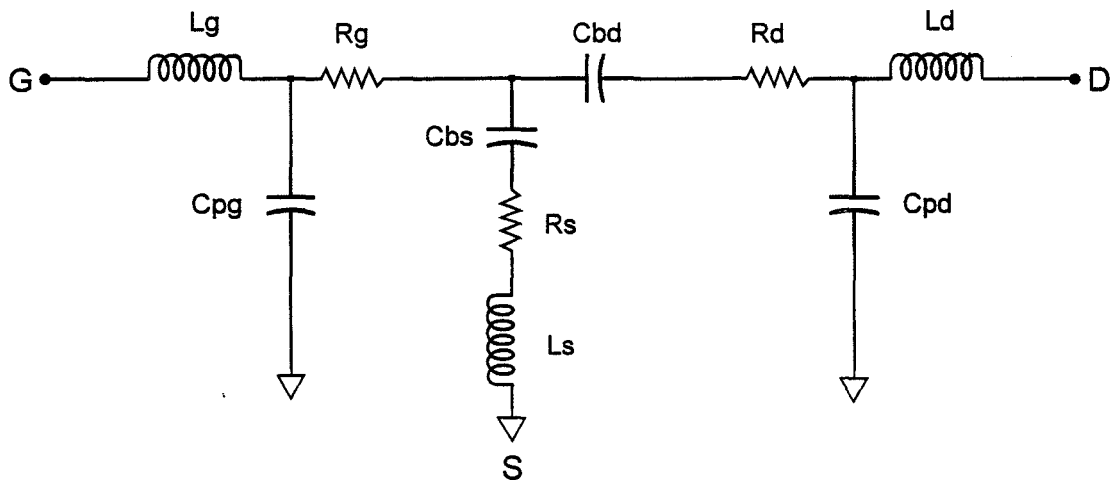


Fig. 7.28 : Schéma équivalent d'un transistor HIGFET polarisé à  $V_{gs} < 0$ .

Les capacités plots sont donc obtenues très aisément. En ce qui concerne la résistance de grille, Cojocarú [8] a montré que dans certaines conditions, elle dépend exclusivement des parties réelles de la matrice impédance :

$$R_G = \text{Re}(Z_{11}) - \text{Re}(Z_{12}) \quad (\text{eq. 7.15})$$

Dans la pratique, nous avons vérifié que la résistance de grille ainsi en inverse varie très peu en fréquence (de l'ordre de 10%) et aboutit donc à une valeur tout à fait réaliste compte tenu des mesures effectuées sur les éléments tests..

#### \* Détermination du schéma intrinsèque

La procédure d'extraction des éléments intrinsèque dans un fonctionnement en amplification, c'est-à-dire à  $V_{gs} > V_t$  et  $V_{ds} > V_{dssat}$ , suppose l'élimination préalable des éléments d'accès dans la donnée de la matrice de transfert. Le calcul des paramètres intrinsèques à partir de la matrice S mesurée se fait en plusieurs étapes [7] :

- Transformation de la matrice S en matrice impédance Z.
- Retrait des termes  $j\omega L_G$  et  $j\omega L_D$  des paramètres  $Z_{11}$  et  $Z_{22}$  respectivement.
- Transformation de la matrice Z en matrice admittance Y.
- Retrait des termes  $j\omega C_{PG}$  et  $j\omega C_{PD}$  des paramètres  $Y_{11}$  et  $Y_{22}$  respectivement.
- Transformation de la matrice Y en Z.
- Retrait des termes  $R_G + R_S + j\omega L_S$  de  $Z_{11}$   
 $R_S + j\omega L_S$  de  $Z_{12}$  et  $Z_{21}$   
 $R_D + R_S + j\omega L_S$  de  $Z_{22}$
- Transformation de la matrice Z en Y.

Dès lors, le schéma intrinsèque se déduit aisément de la matrice admittance ainsi calculée à l'aide du système d'équations suivant :

$$\left\{ \begin{array}{l} Y_{11} = \frac{R_I C_{GS}^2 \omega^2}{1 + R_I^2 C_{GS}^2 \omega^2} + j\omega \left( \frac{C_{GS}}{1 + R_I^2 C_{GS}^2 \omega^2} + C_{GD} \right) \\ Y_{12} = -j\omega C_{GD} \\ Y_{21} = \frac{g_m \exp(-j\omega \tau)}{1 + j R_I C_{GS} \omega} - j\omega C_{GD} \\ Y_{22} = g_d + j\omega (C_{DS} + C_{GD}) \end{array} \right. \quad (\text{eq. 7.15})$$

Le schéma équivalent "petit signal" obtenu est parfaitement adéquat à un transistor de type MESFET ou HEMT "normally-on", et polarisé sous à une tension de grille 0.5V. En revanche, dans le cas d'un transistor HIGFET, le schéma équivalent en amplification concerne une tension de grille comprise typiquement entre 1V et 2V. Dans cette gamme de tensions, le courant de grille est un facteur qui ne doit pas être négligé, alors que le schéma électrique précédent n'en tient absolument pas compte.

Pour introduire le courant de grille dans le schéma équivalent, nous avons donc incorporé une conductance de grille  $g_G$ . Par souci de simplicité cette conductance a été disposée en parallèle avec  $C_{GS}$  et  $R_I$ .

### VII.3.3 Détermination du schéma équivalent de transistors n-HIGFET

De nombreux composants issus de l'opération technologique 10218 ont été caractérisés en hyperfréquences. Pour la détermination des éléments des schémas équivalents, les mesures des paramètres S ont été réalisées en polarisant les composants à une tension de grille correspondant à la transconductance statique maximale, en vue de caractériser les composantes intrinsèques des composants au point de fonctionnement en amplification optimal. Sur certains transistors, nous avons effectué des déterminations de schémas équivalents avec et sans la prise en compte d'une conductance de grille. L'un des avantages que présente l'équipement Hewlett-Packard de l'IEMN est de pouvoir recalculer des paramètres S à partir du schéma petit-signal, et de les tracer, ainsi que les paramètres S mesurés, sur une même abaque de Smith afin de les comparer et de vérifier la fiabilité du schéma petit-signal obtenu. Concernant un transistor n-HIGFET de dimensions  $2 \times 25 \times 1 \mu\text{m}^2$ , nous avons représenté sur la figure 7.29 les quatres abaques de Smith caractéristiques des paramètres  $S_{11}$ ,  $S_{21}$ ,  $S_{12}$  et  $S_{22}$  mesurés directement sur l'analyseur de réseau, ainsi que les paramètres S résultant du schéma équivalent avec et sans conductance de grille.

Il est clair que l'évolution en fréquence des paramètres S mesurés et calculés avec conductance de grille sont très bien superposés sur les différentes abaques, d'où un schéma équivalent alors complètement fiable. Par contre le schéma petit-signal sans

prise en compte de la conductance de grille ne donne pas de prédictions en accord avec les mesures, spécialement pour les paramètres  $S_{11}$  et  $S_{21}$  où la conductance de grille fait visiblement défaut.

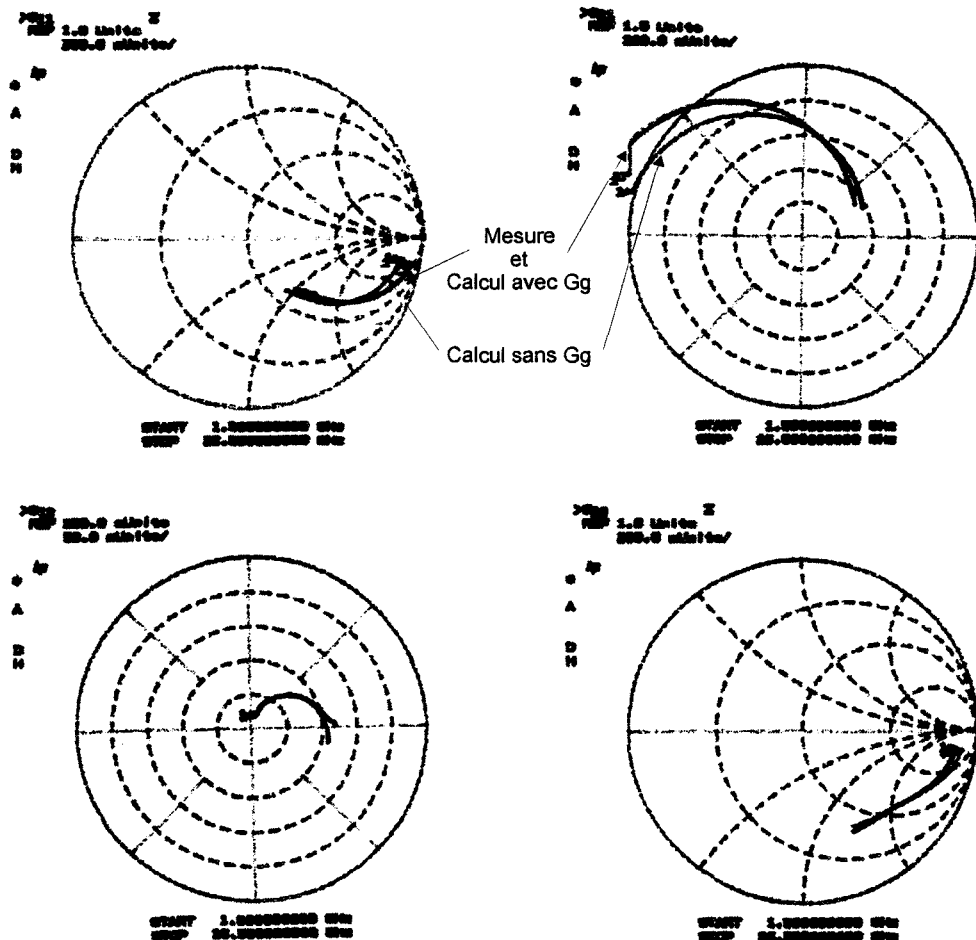


Fig. 7.29 : Abaqués de Smith des paramètres S mesurés ( $S_{11}$  et  $S_{21}$  en haut,  $S_{12}$  et  $S_{22}$  en bas) et calculés avec et sans conductance de grille pour un transistor n-HIGFET  $2*25*1 \mu\text{m}^2$ .

Les divers éléments du schéma équivalent concernant trois transistors n-HIGFETs, de dimensions respectives  $2*25*1 \mu\text{m}^2$ ,  $2*50*1 \mu\text{m}^2$  et  $2*25*0.5 \mu\text{m}^2$  sont rapportés dans le tableau 7.5 qui dresse une liste des résistances d'accès et des capacités plots, et ensuite détaille le schéma équivalent "petit signal" intrinsèque.

Les caractérisations témoignent de résistances d'accès particulièrement faibles, spécialement la résistance de source, de l'ordre de  $0.15 \Omega.\text{mm}$ . L'obtention de telles résistances de source provient d'une part, de contacts ohmiques d'excellente qualité, et d'autre part, de la présence de plots de contacts très rapprochés de la grille. Elles expliquent en tous cas les excellentes caractéristiques de saturation apparaissant sur les courbes 7.7 à 7.10, ainsi que les valeurs de transconductances élevées que nous avons

obtenues. Les valeurs de la résistance de grille se situent autour de  $3.5 \text{ k}\Omega/\text{mm}$  pour une longueur de grille de  $1 \mu\text{m}$ , et environ le double, soit  $6 \text{ k}\Omega/\text{mm}$ , en technologie  $0.5 \mu\text{m}$ . Ces résistances de grilles sont bien entendu trop élevées par rapport aux valeurs mesurées communément sur les composants en technologie "recess" habituels, dont la grille est une composition métallique de titane, de platine, et surtout d'or. Elles confirment par ailleurs les valeurs des fréquences  $F_{\text{max}}$  médiocres que nous avons obtenues. Il est clair que la haute résistivité du WSi seul est ici mise en cause, et qu'un épaissement en Ti/Au, ou à défaut en tungstène, est une condition nécessaire à l'obtention de fréquences  $F_{\text{max}}$  permettant une utilisation confortable des transistors en microondes.

Dimensions (W*L)	2*25*1	2*50*1	2*25*0.5
$V_{\text{GS}}$ (V)	1.2	1.3	1.1
$V_{\text{DS}}$ (V)	2	2	2
$R_{\text{S}}$ ( $\Omega.\text{mm}$ )	0.15	0.15	0.1
$R_{\text{D}}$ ( $\Omega.\text{mm}$ )	0.3	0.4	0.35
$R_{\text{G}}$ ( $\text{k}\Omega/\text{mm}$ )	3.8	3.2	6
$C_{\text{PG}}$ (fF)	28	20	29
$C_{\text{PD}}$ (fF)	38	54	41
$G_{\text{m}}$ (mS)	23.5	46.5	32
$G_{\text{d}}$ (mS)	3	6.4	4.2
$G_{\text{m}} / G_{\text{d}}$	7.8	7.3	7.6
$G_{\text{g}}$ (mS)	2.7	4.8	1.6
$C_{\text{GS}}$ (fF)	115	245	67
$C_{\text{GD}}$ (fF)	16	20	15
$\tau$ (ps)	12.7	21	10.5
$r_{\text{I}}$ ( $\Omega$ )	85	76	145
$C_{\text{DS}}$ (fF)	18	27	24
$F_{\text{T}}$ (H21) (GHz)	21	23	36
$F_{\text{Cext}}$ (GHz)	26	28	54
$F_{\text{C}}$ (GHz)	32	30	78

Tableau 7.5 : Schémas intrinsèques "petit signal" de transistors n-HIGFET  $2*25*1 \mu\text{m}^2$ ,  $2*25*1 \mu\text{m}^2$ ,  $2*25*1 \mu\text{m}^2$ .

Les transconductances intrinsèques extraites de ces composants sont égales à  $460 \text{ mS}/\text{mm}$  pour une longueur de grille de  $1 \mu\text{m}$ , et  $640 \text{ mS}/\text{mm}$  pour une longueur de grille de  $0.5 \mu\text{m}$ . En raison des résistances de source de l'ordre de  $0.15 \Omega.\text{mm}$ , ces valeurs sont très peu supérieures aux transconductances statiques extrinsèques mesurées dans le tableau 7.3, c'est-à-dire  $390 \text{ mS}/\text{mm}$  et  $570 \text{ mS}/\text{mm}$  en technologiques  $1 \mu\text{m}$  et  $0.5 \mu\text{m}$  respectivement.

Nous avons représenté l'évolution de la transconductance et de la capacité  $C_{GS}$  extraites en fonction de la fréquence (fig. 7.30). Les valeurs extrêmement stables, sauf au voisinage de 2 GHz, et démontrent là aussi la grande fiabilité de ces déterminations jusqu'à 20 GHz.

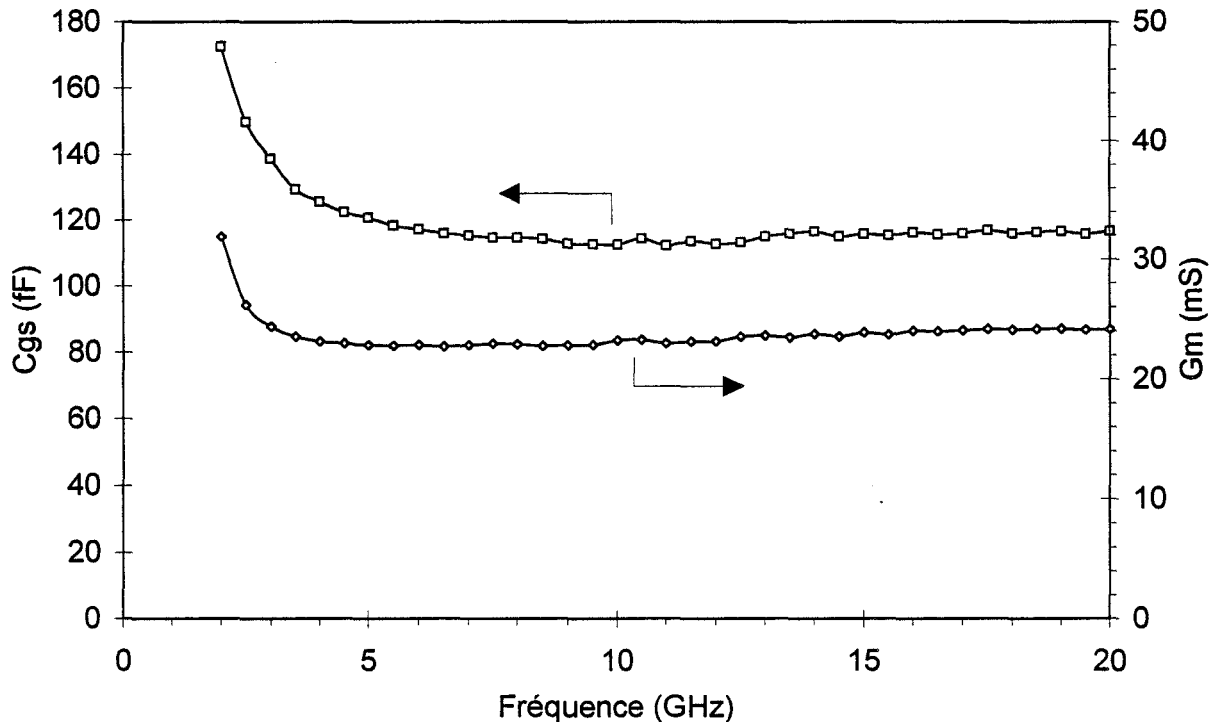


Fig. 7.30 : Evolution de  $G_m$  et  $C_{GS}$  intrinsèques en fonction de la fréquence pour un N-HIGFET  $2 \times 25 \times 1 \mu\text{m}^2$ .

Par ailleurs, les fréquences de coupures intrinsèques que nous avons relevées valent 30 GHz et 78 GHz en technologies  $1 \mu\text{m}$  et  $0.5 \mu\text{m}$  respectivement. L'écart entre les fréquences de coupures du gain  $H_{21}^2$  directement mesurées, et les fréquences de coupures intrinsèques est plus important sur les petits composants, et surtout pour une longueur de grille de  $0.5 \mu\text{m}$ . En effet, pour ces composants à faible capacité  $C_{GS}$ , les capacités plots ne sont plus négligeables et contribuent notamment à dégrader la fréquence de coupure extrinsèque du gain en courant.

#### VII.4 Conclusion sur les n-HIGFETs à 40% d'Aluminium

Les réalisations technologiques de transistors HIGFETs de type n sur hétérostructure  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  ont donné lieu à des résultats extrêmement prometteurs, notamment en termes de caractéristiques électriques statiques. Pour une



longueur de grille de 1  $\mu\text{m}$ , nous avons atteint entre autres une transconductance de 410 mS/mm et une fréquence de coupure du  $H_{21}$  valant 24 GHz, deux valeurs numériques constituant l'état de l'art du HIGFET en technologie 1  $\mu\text{m}$ . Sur les transistors de longueur de grille 0.5  $\mu\text{m}$ , nous avons relevé une amélioration sensible des performances, avec une transconductance maximale de 590 mS/mm et une fréquence de coupure valant 39 GHz. Ces composants en technologie 0.5  $\mu\text{m}$  présentent par ailleurs une fréquence de coupure intrinsèque de l'ordre de 80 GHz.

Comme le démontrent les divers tableaux de résultats inclus dans ce chapitre, ces excellentes performances ne sont en aucun cas celles de composants isolés. Bien au contraire, des caractéristiques comparables ont été obtenues sur plusieurs configurations de grille, et témoignent d'une parfaite fiabilité de notre technologie auto-alignée, et d'un recuit thermique rapide réussi sans destruction des plaquettes. Ces résultats prouvent par ailleurs l'importance de l'implantation ionique, et la nécessité d'une double implantation afin d'obtenir un bon compromis entre de faibles éléments d'accès, et un bon pincement et une conductance de drain peu élevée.

Les transconductances et les fréquences de coupure maximales ont été obtenues en polarisant les composants à des tensions de grille autour de 1.3 V, valeur qui pourrait être abaissée par une meilleure technique de dépôt de grille. Les transistors HIGFET de type n présentent donc un point de fonctionnement en amplification optimal inférieur à 1.5 V. Ils constituent ainsi un composant de choix pour des systèmes analogiques à faible tension d'alimentation positive, tels que l'amplificateur d'un téléphone portable par exemple.

A l'opposé, en plus de générer du bruit dans le composant, le courant de grille est un facteur dégradant les performances des transistors, et notamment la transconductance. Il restreint par conséquent la plage de tensions d'alimentation admissible pour des applications analogiques. Des efforts doivent être fournis pour le réduire.

Mais la limitation majeure de l'utilisation du HIGFET de type n en fréquences micro-ondes provient de la résistance de grille, beaucoup trop élevée, qui cause une dégradation de la fréquence de coupure du MAG. Afin d'étendre la gamme de fréquences auxquelles peut prétendre un transistor n-HIGFET, il est donc vital d'intégrer au procédé technologique un épaissement de grille. Nous disposons de tous les éléments pour réaliser une telle opération.

## BIBLIOGRAPHIE DU CHAPITRE VII

- [1] F. L. Schuermeyer, M. Shur and D. E. Grider, "Gate current in self-aligned n-channel and p-channel pseudomorphic Heterostructure Field-Effect Transistors", IEEE Electron Device Lett., vol. EDL-12(10), pp. 571-573, 1991.
- [2] A. Tamura, A. Watanabe and S. Nambu, "Rapid thermal annealing of Si-implanted with  $\text{CF}_4/\text{O}_2$  plasma treatment", J. Appl. Phys., vol 68(5), pp. 3970-3974, 1990.
- [3] C. J. Han, P. P. Ruden, D. Grider, A. Fraasch, K. Newstrom and P. Joslyn, "Short-channel effects in submicron self-aligned gate Heterostructure Field-Effect Transistors", IEDM Dig. Tech. Papers, pp. 696-699, 1988.
- [4] H. Fawaz, J. Gest and J. Zimmermann, "A novel model of gate current in heterojunction FET's", IEEE Trans. Electron Devices, vol. ED-40(5), pp. 846-851.
- [5] J. H. Baek, M. Shur, R. R. Daniels, D. K. Arch, J. K. Abrokwah and O. N. Tufte, "New mechanism of gate current in Heterostructure Insulated Gate Field-Effect Transistors", IEEE Electron Device Lett., vol. EDL-7(9), pp. 519-521, 1986.
- [6] J. Baek, M. S. Shur, R. R. Daniels, D. K. Arch, J. K. Abrokwah, O. N. Tufte, "Current voltage and capacitance voltage characteristics of Heterostructure Insulated Gate Field Effect Transistors", IEEE Trans. on Electron Devices, vol. ED-34(8), pp. 1650-1659, 1987.
- [7] G. Dambrine, "Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent", Thèse de doctorat, Lille, 1989.
- [8] V. I. Cojocaru and T. J. Brazil, "A large-signal model for GaAs MESFET's and HEMT's valid at multiple DC bias-points", Proc. of EUMC, pp. 419-422, 1994.

## CHAPITRE VIII

### REALISATION ET CARACTERISATION DE TRANSISTORS n-HIGFETS PSEUDOMORPHIQUES SUR HETEROSTRUCTURE $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$

Il nous faut maintenant transposer cette technologie auto-alignée sur une hétérostructure  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  en vue de réaliser une filière complémentaire. Dans ce cadre, plusieurs points doivent être abordés. En particulier nous devons :

- Qualifier le transistor n-HIGFET pour la logique complémentaire, en veillant tout particulièrement aux valeurs de transconductance et au régime de fonctionnement sous le seuil.
- Valider notre technologie auto-alignée en termes de rendement et d'uniformité pour viser des applications logiques et mixtes à haut niveau d'intégration.
- Evaluer l'intérêt que peut représenter le transistor n-HIGFET pour une intégration dans des systèmes embarqués. Il faut pour cela étudier la sensibilité de ses performances aux conditions extrêmes en mesurant l'évolution de ses caractéristiques électriques en fonction de la température.
- Etudier de manière plus approfondie le courant de grille du n-HIGFET et mettre en évidence les mécanismes qui le génèrent. En effet, la discontinuité des bandes de conduction à l'interface  $\text{AlGaAs}/\text{InGaAs}$  décroît légèrement pour un taux d'aluminium de 75%, et cause fatalement une augmentation du courant de grille, et par conséquent une restriction de la tension d'alimentation et de la densité d'intégration possibles.

## VIII.1 Réalisation de n-HIGFETs à cap de GaAs fin (opérations 10216-10224)

### VIII.1.1 Structure épitaxiale $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$

La structure épitaxiale standard destinée à la réalisation de transistors HIGFETs de type complémentaires est donnée en figure 8.1. Elle consiste en la croissance d'un buffer de GaAs de 2000Å d'épaisseur, suivie d'un canal d'  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  de 150Å d'épaisseur, d'une couche d' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  servant d'isolant de 250Å, et d'un cap fin de GaAs de 30Å. Un plan de dopage en silicium de  $3.3 \times 10^{11} \text{ cm}^{-2}$  est inséré dans la couche buffer à 30Å de l'interface InGaAs/GaAs. En supposant que la hauteur de barrière de la diode MIS soit identique à celle déjà obtenue sur une couche identique (cf. ch. IV) et vaille 1.2 eV, la tension de seuil des transistors HIGFETs de type n réalisés devrait être égale à 0.55 V.

3nm	GaAs
25nm	$\text{Al}_{0.75}\text{GaAs}$
15nm	$\text{In}_{0.20}\text{GaAs}$
.....	Si
0.2 μm	GaAs
	GaAs S.l.

Fig. 8.1 : Structure épitaxiale pseudomorphique à taux d'aluminium de 75%.

Pour ce type de couche à taux d'aluminium de 75% nous avons adapté le procédé technologique décrit précédemment, et notamment l'implantation ionique. La double implantation de silicium se compose ainsi d'une première phase avec une dose de  $4 \times 10^{13} \text{ cm}^{-2}$  dans les zones d'accès des transistors, puis nous dopons à  $10^{14} \text{ cm}^{-2}$  sous les contacts ohmiques. Dans les deux cas, l'énergie d'implantation choisie est de 60 keV, car elle permet d'obtenir une concentration très élevée dans la couche d'AlGaAs à grand gap, tout en dopant faiblement en profondeur afin de limiter la conduction parasite dans le buffer. Une telle énergie permet d'avoir un maximum d'expèces implantées à l'interface AlGaAs/InGaAs.

La définition des zones fortement dopées et des contacts ohmiques est effectuée par le biais de la lithographie optique en disposant les contacts à 2 μm du bord de la grille. Ceci peut en effet contribuer à améliorer le rendement de fabrication, en évitant des court-circuits entre les plots et la grille, et à éviter deux insolations au masqueur électronique. En effet, celui-ci est uniquement utilisé pour la définition des grilles des

composants. La contrepartie réside dans un espacement plus grand des zones d'accès, nécessaire pour permettre un alignement aisé, et qui va entraîner des résistances d'accès de source et de drain plus élevées.

VIII.1.2 Caractérisation en technologies 1 $\mu$ m, 0.5 $\mu$ m et 0.3 $\mu$ m

Le tableau 8.1 résume les caractéristiques de transistors HIGFETs de type n sur l'hétérostructure  $Al_{0.75}Ga_{0.25}As / In_{0.2}Ga_{0.8}As / GaAs$  précédente, pour des longueurs de grille 1, 0.5 et 0.3  $\mu$ m. Les figures 8.2 à 8.5 représentent la caractéristique statique  $I_{ds}$ - $V_{ds}$  et l'évolution de la transconductance et du courant de drain en saturation en fonction de  $V_{gs}$  pour les transistors du tableau 8.1.

Longueur ( $\mu$ m)	1	1	0.5	0.3
Opération	10224	10224	10216	10216
Largeur ( $\mu$ m)	2*25	2*50	2*10	2*20
$I_{ds}$ ( $V_g = 2V$ ) (mA/mm)	340	320	420	530
$G_m$ max (mS/mm)	350	340	410	440
$G_d$ (mS/mm)	9	9	11	29
$G_m / G_d$	39	37	39	15
$V_{ton}$ (1 $\mu A/\mu m^2$ ) (V)	1.25	1.25	1.25	1.30
$S$ (mV/dec)	70	70	70	175
$I_{off}$ ( $V_{ds}=1.5 V$ ) (A)	1.5n	6n	1.4n	5 $\mu$
$I_{on} / I_{off}$ ( $V_{dd}=1.5V$ )	$2.3 \times 10^6$	$3.8 \times 10^6$	$4.2 \times 10^6$	$3.2 \times 10^3$
$K$ (mA/V <sup>2</sup> mm)	430	420	560	370
$V_{th}$ (V)	0.53	0.52	0.50	0.1
$n_s$ (cm <sup>-2</sup> )	$2.2 \times 10^{12}$	$2.3 \times 10^{12}$	/	/
$V_{br}$ (V)	6	6	6	4
$\mu$ (cm <sup>2</sup> /Vs)	4800	4700	/	/
$f_T$ (GHz)	20	25	38 (2*50 $\mu$ m)	/
$f_{max}$ (GHz)	21	15	19 (2*50 $\mu$ m)	/

Tableau 8.1 : Caractéristiques de n-HIGFETs pour des longueurs de grille 1  $\mu$ m, 0.5  $\mu$ m et 0.3  $\mu$ m.

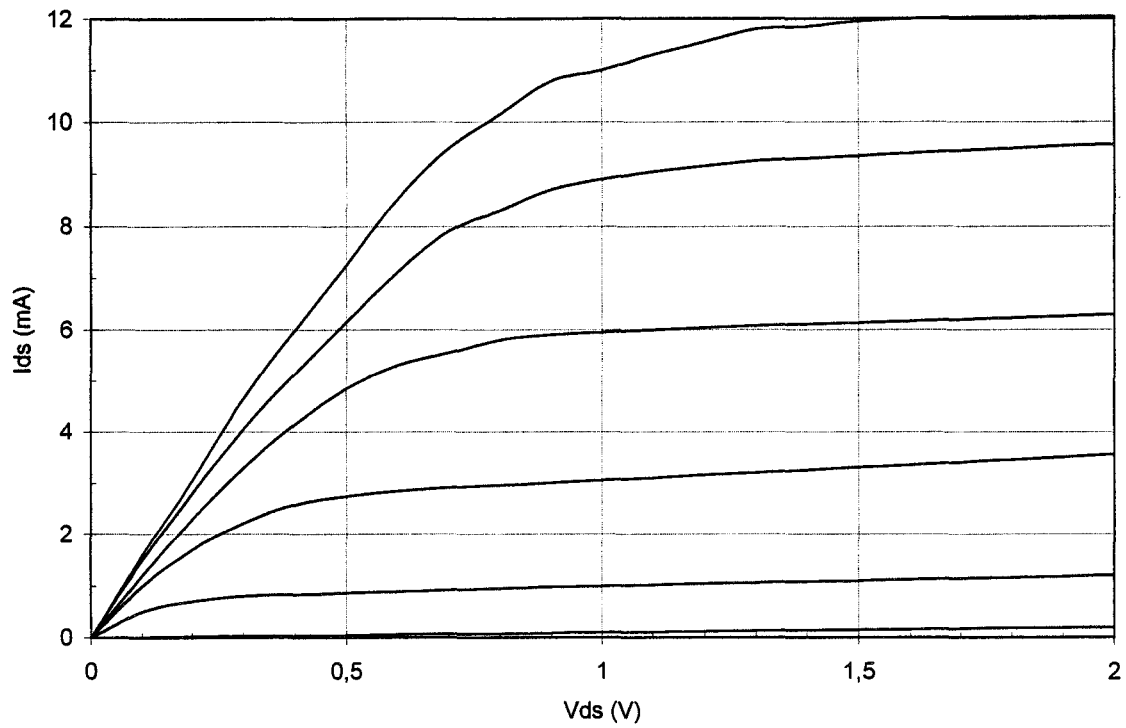


Fig. 8.2.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 25 \times 1 \mu m$  pour  $V_{gs}$  variant de 0 à 1.6V par pas de 0.2V (op. 10224).

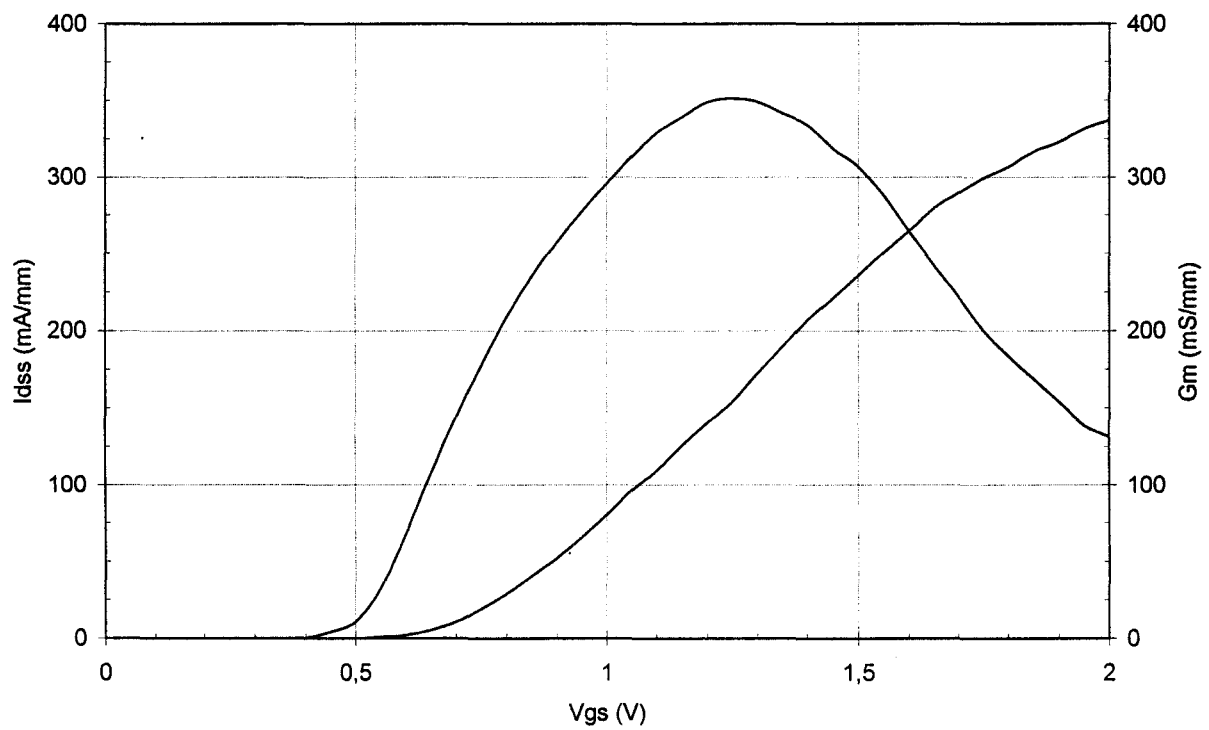


Fig. 8.2.b : Transconductance et courant de drain en saturation d'un n-HIGFET  $2 \times 25 \times 1 \mu m$  (op. 10224).

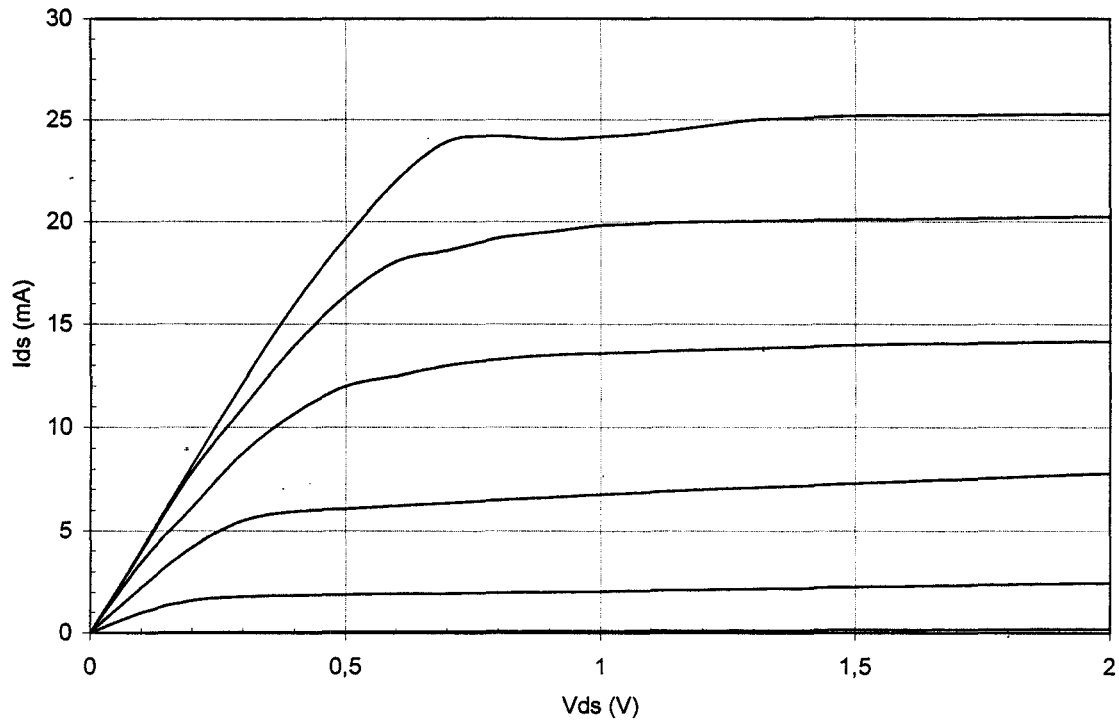


Fig. 8.3.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 50 \times 1 \mu m$  pour  $V_{gs}$  variant de 0 à 1.6V par pas de 0.2V (op. 10224).

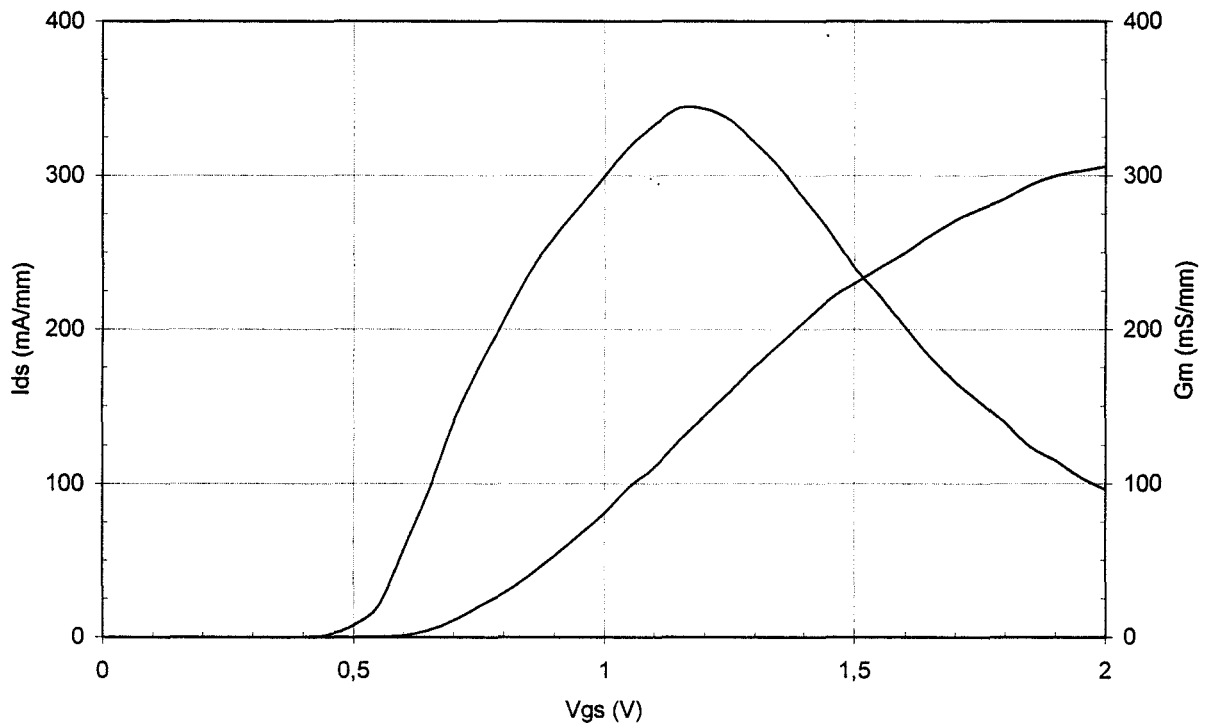


Fig. 8.3.b : Transconductance et courant de drain en saturation d'un n-HIGFET  $2 \times 50 \times 1 \mu m$  (op. 10224).

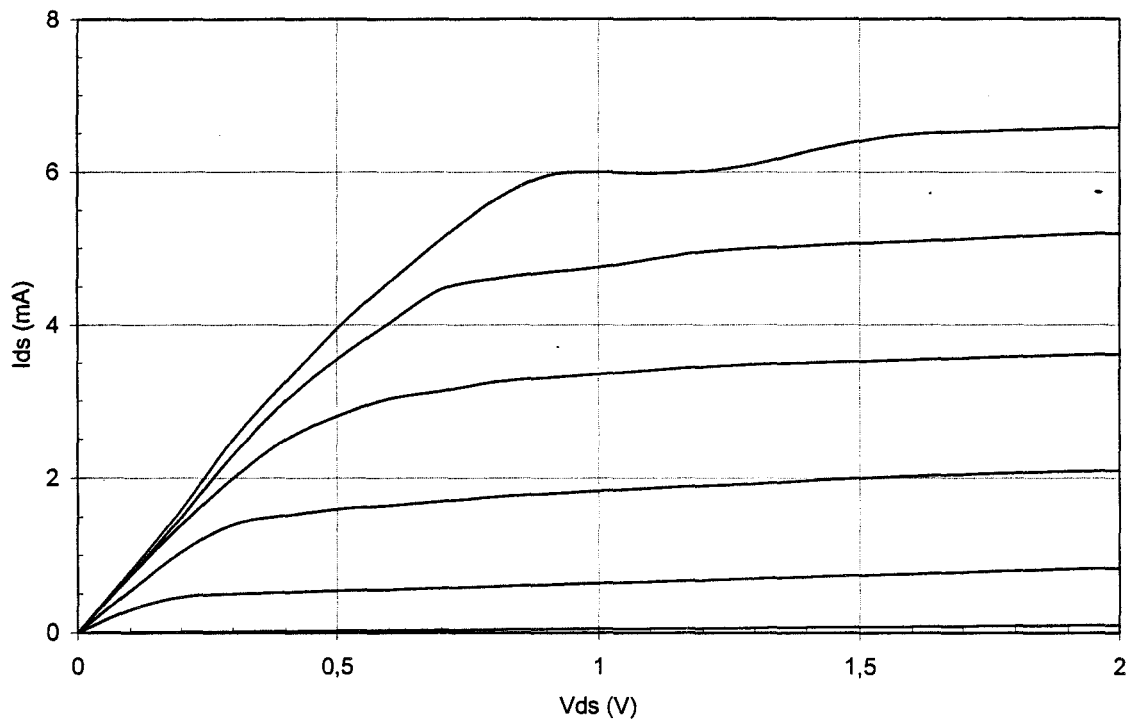


Fig. 8.4.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 10 \times 0.5 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 1.6V par pas de 0.2V (op. 10216).

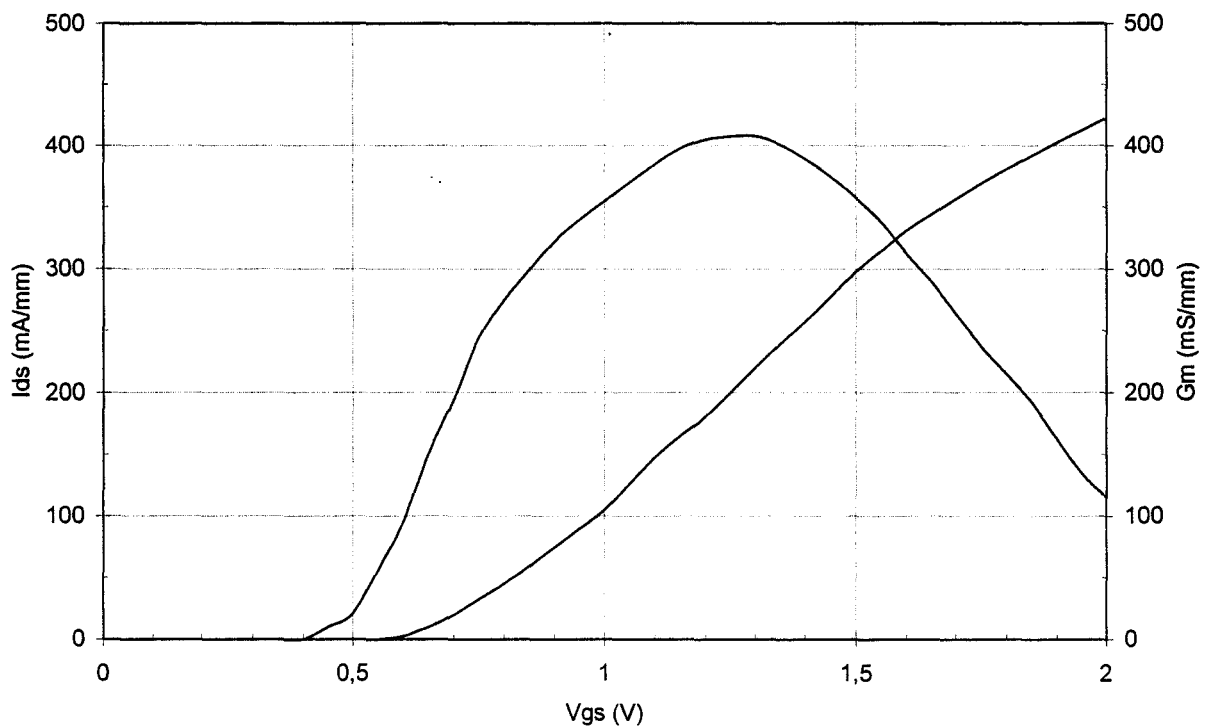


Fig. 8.4.b : Transconductance et courant de drain en saturation d'un n-HIGFET  $2 \times 10 \times 0.5 \mu\text{m}$  (op. 10216).



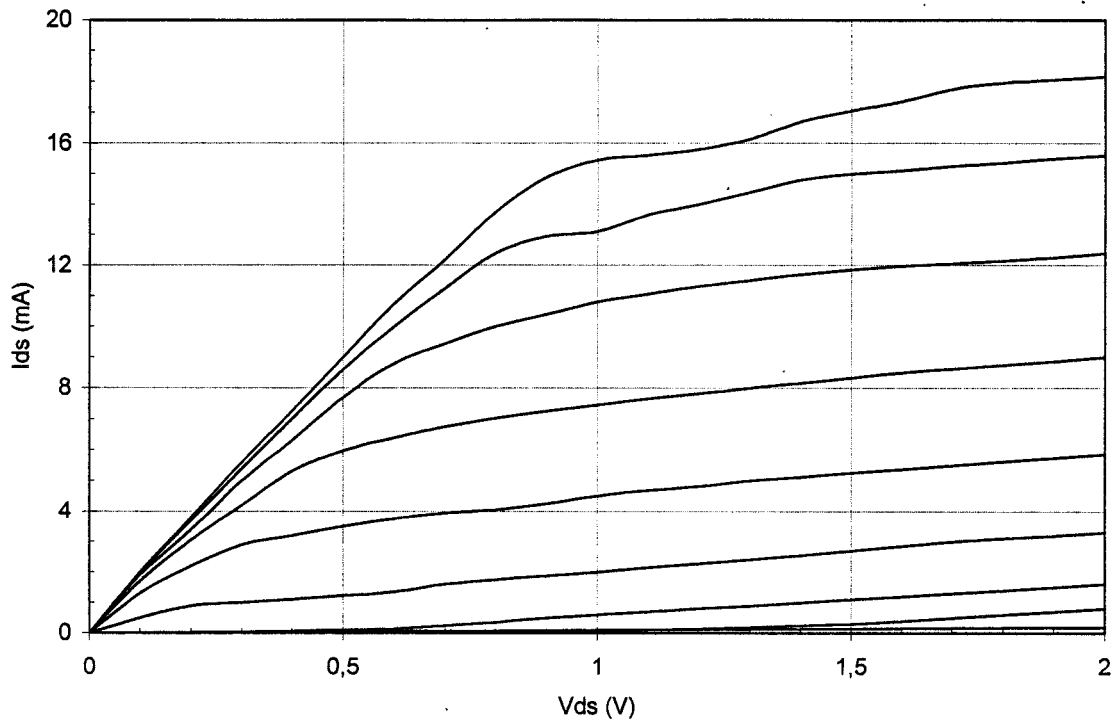


Fig. 8.5.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 20 \times 0.3 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 1.6V par pas de 0.2V (op. 10216).

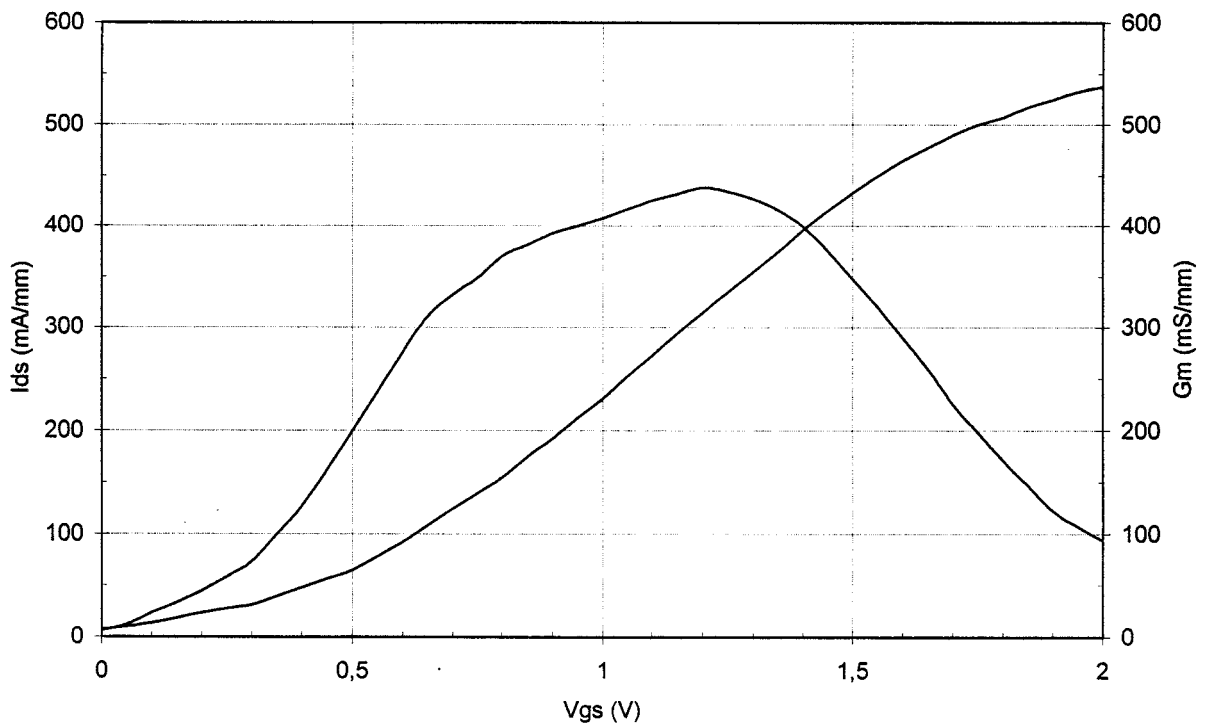


Fig. 8.5.b : Transconductance et courant de drain en saturation d'un n-HIGFET  $2 \times 20 \times 0.3 \mu\text{m}$  (op. 10216).

Les résultats obtenus pour les transistors HIGFETs à taux d'aluminium de 75% sont excellents, et notamment pour une longueur de grille de 1  $\mu\text{m}$ . En raison du cap de GaAs insuffisamment épais, la couche diélectrique d'encapsulation a été détruite durant le recuit thermique rapide. Cependant il est clair, au vu des caractéristiques électriques des composants, que le matériau semiconducteur n'a pas été endommagé. Les transconductances de 350 mS/mm obtenues en technologie 1  $\mu\text{m}$  sont comparables à celles que nous avons mesurées pour un taux d'aluminium de 40%, et nettement supérieures aux résultats publiés par Motorola précédemment pour une couche pseudomorphique identique  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  [1] (cf. ch. II). Nous avons par ailleurs obtenu d'excellentes fréquences de coupure du gain en courant valant 25 GHz dans le cas de transistors de largeur  $2 \times 50 \mu\text{m}$ .

Pour les longueurs de grille de 0.5  $\mu\text{m}$ , les transconductances maximales sont néanmoins en retrait par rapport à celles des transistors à taux d'aluminium de 40%. Ceci s'explique aisément par l'existence d'une résistance de source élevée, provenant de la séparation importante (2  $\mu\text{m}$ ) entre le contact de source et la grille des composants.

### VIII.1.3 Uniformité des tensions de seuil

Les transistors n-HIGFETs de longueur de grille de 1  $\mu\text{m}$  ont une tension de seuil entre 0.5V et 0.55V, ce qui coïncide parfaitement avec le calcul théorique à partir des propriétés physiques du matériau et de la hauteur de barrière métal / semiconducteur. Cette adéquation suggère que l'interface WSi / GaAs est cette fois de bonne qualité. En ce qui concerne les composants en technologie 0.3  $\mu\text{m}$ , nous avons mesuré des tensions de seuil autour de 0 V, à cause de l'apparition d'effets de canal court. Ces tensions de seuil sont d'ailleurs difficiles à mesurer pour des grilles courtes en raison de la conduction parasite provenant sans doute de la couche tampon qui perturbe fortement la loi d'évolution  $\sqrt{I_{ds}} - V_{ds}$ .

Le tableau 8.2 représente la moyenne et l'écart-type sur un wafer de deux pouces des tensions de seuil des composants pour les trois longueurs de grilles. La figure 8.6 donne une représentation graphique de la variation des tensions de seuil sur un wafer entier.

Lg ( $\mu\text{m}$ )	V <sub>th</sub> moyen (V)	$\sigma$ V <sub>th</sub> (mV)
1	0.56	35
(40 mm <sup>2</sup> )	0.54	17
0.5	0.36	71
0.3	-0.05	102

Tableau 8.2 : Uniformité de la tension de seuil (moyenne et écart-type) des n-HIGFETs (op. 10224).

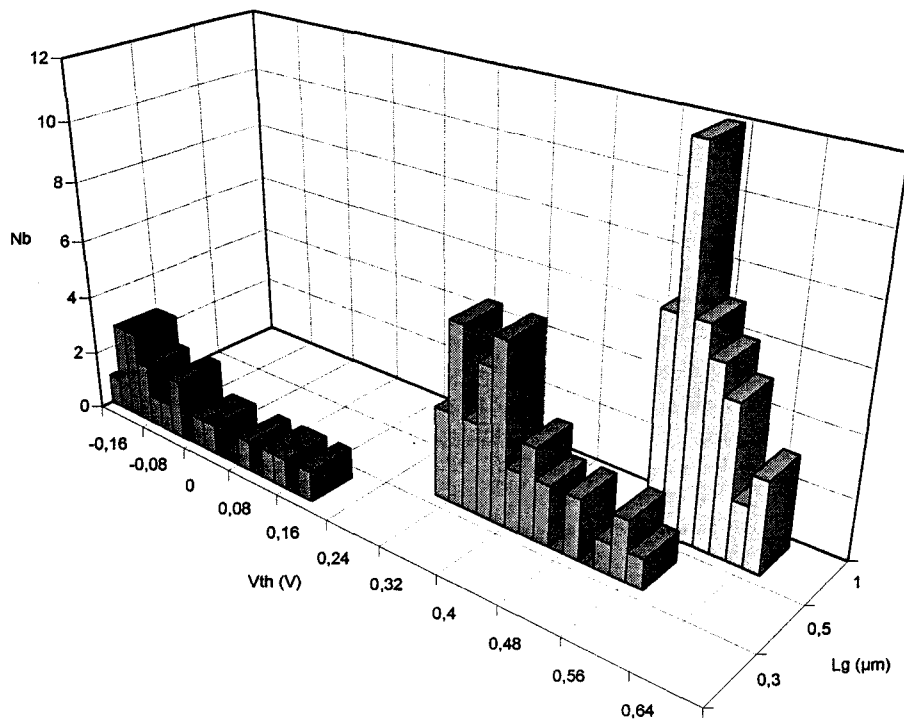


Fig. 8.6 : Représentation de l'uniformité de la tension de seuil de transistors n-HIGFETs pour des longueurs de grille de 0.3, 0.5 et 1  $\mu\text{m}$ .

Nous avons ainsi obtenu un écart-type valant 35 mV pour les n-HIGFETs en technologie 1  $\mu\text{m}$ . Cette valeur est à comparer avec des écart-types de 25 mV et de 83 mV pour une longueur de grille de 1  $\mu\text{m}$  publiés par Motorola et Honeywell respectivement, et démontre ainsi la très bonne uniformité des tensions de seuil que nous avons obtenues. Nous avons également mesuré cet écart-type sur une aire de 40  $\text{mm}^2$ , correspondant à un carré de quatre champs dans le masque FTFET, et nous avons obtenu une excellente valeur proche de 17 mV.

#### VIII.1.4 Evaluation du rendement de fabrication

Afin de déterminer le rendement de fabrication de notre technologie auto-alignée, nous avons caractérisé la transconductance maximale de 192 transistors n-HIGFETs 1  $\mu\text{m}$  de toutes largeurs de grille, répartis uniformément sur le wafer. La figure 8.7 représente la distribution de ces mesures, et montre que la valeur moyenne de la transconductance maximale est d'environ 300 mS/mm. Parmi ces 192 composants, 7 ne fonctionnent pas du tout, et 7 autres délivrent un courant équivalent à la moitié de celui des 178 restants. Ainsi, nous estimons à 93% le rendement de fabrication de cette réalisation technologique.

Ces quelques composants ne fonctionnent pas à cause de la mauvaise tenue du nitrure lors du recuit thermique rapide. En effet, de nombreux morceaux de  $\text{Si}_3\text{N}_4$ , ayant craqué lors du recuit, se redéposent sur la couche diélectrique, et subsistent après l'attaque GIR qui ne parvient pas à les éliminer complètement. Lorsque les contacts

ohmiques sont déposés sur ces morceaux de  $\text{Si}_3\text{N}_4$ , ceux-ci peuvent parfois isoler l'un des contacts de l'un des deux doigts de grille, voire des deux. Il est donc probable que dans le cas d'un wafer à cap de GaAs plus épais, le rendement avoisinera les 100% étant donné que la couche de  $\text{Si}_3\text{N}_4$  ne craquera pas et sera correctement éliminée.

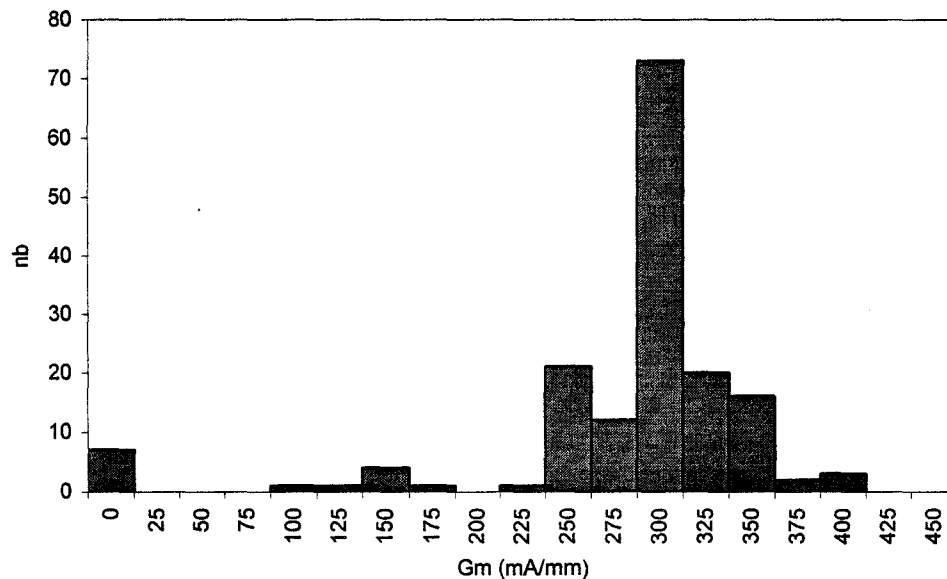


Fig. 8.7 : Répartition des transconductances maximales de transistors n-HIGFETs en technologie  $1\mu\text{m}$  sur un wafer de deux pouces.

Nous attribuons la dispersion des transconductances entre 250 et 350 mS/mm à la qualité médiocre d'alignement photolithographique des fenêtres de la seconde implantation de silicium, et des contacts ohmiques. En effet, nous ne pouvons en aucun cas garantir, en utilisant notre équipement de lithographie par contact, que la distance source-grille des transistors vaut exactement  $2\mu\text{m}$  sur tout le wafer. En effet, en raison d'un réglage de l'angle d'alignement forcément imparfait, la distance source-grille des composants varie à coup sûr d'un bout de la plaquette à un autre, entraînant une dispersion de la résistance de source, et par voie de conséquence, de la transconductance mesurée. Pour un procédé technologique industriel utilisant un photo-répéteur, ce décalage n'existerait pas, et il est ainsi fort probable que la dispersion des transconductances des transistors HIGFETs serait beaucoup plus faible.

### VIII.1.5 Etude de stabilité en température des caractéristiques électriques

Afin d'étudier le potentiel du transistor HIGFET de type n pour des applications commerciales, il est nécessaire d'évaluer la variation de ses caractéristiques dans une gamme de température de  $+50^\circ\text{C}$  à  $-50^\circ\text{C}$ . Ces mesures en températures représentent également une opportunité de qualifier le transistor HIGFET pour une intégration dans des systèmes spatiaux. Il faut pour cela effectuer des mesures en températures cryogéniques. Pour remplir ces deux objectifs, nous avons mesuré l'évolution des diverses caractéristiques électriques d'un transistor HIGFET de type n dans une très

large plage de températures, de 20K à +100°C. Nous avons ainsi utilisé un Cryogénérateur pour réaliser ces mesures en basse température, et une résistance chauffante pour des mesures à +50°C et +100°C.

La figure 8.8 montre que la tension de seuil d'un transistor HIGFET d'une longueur de grille de 1µm reste quasiment constante de 20K à +100°C. La figure indique une variation de 0.52 V à 0.57 V dans la gamme +50°C à -50°C, et témoigne d'une quasi-parfaite stabilité en températures de la tension de seuil.

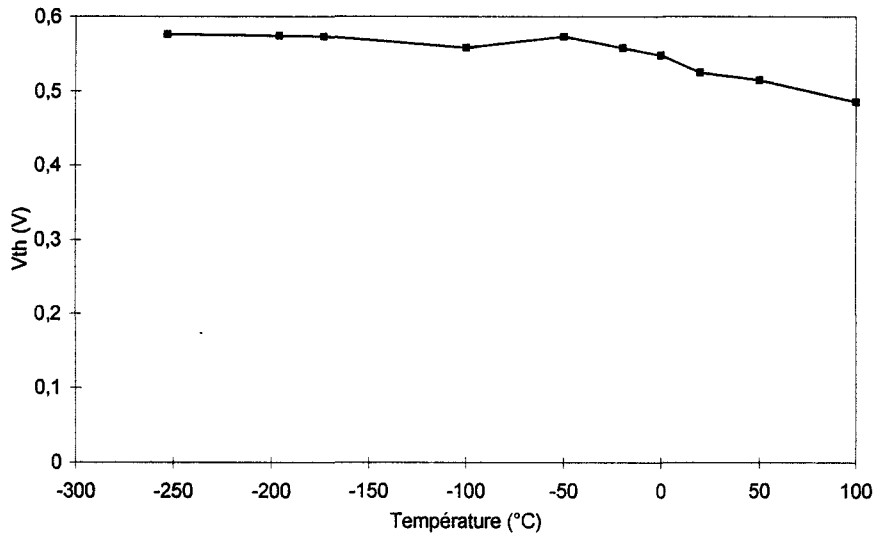


Fig. 8.8 : Evolution de la tension de seuil d'un n-HIGFET 1µm en fonction de la température.

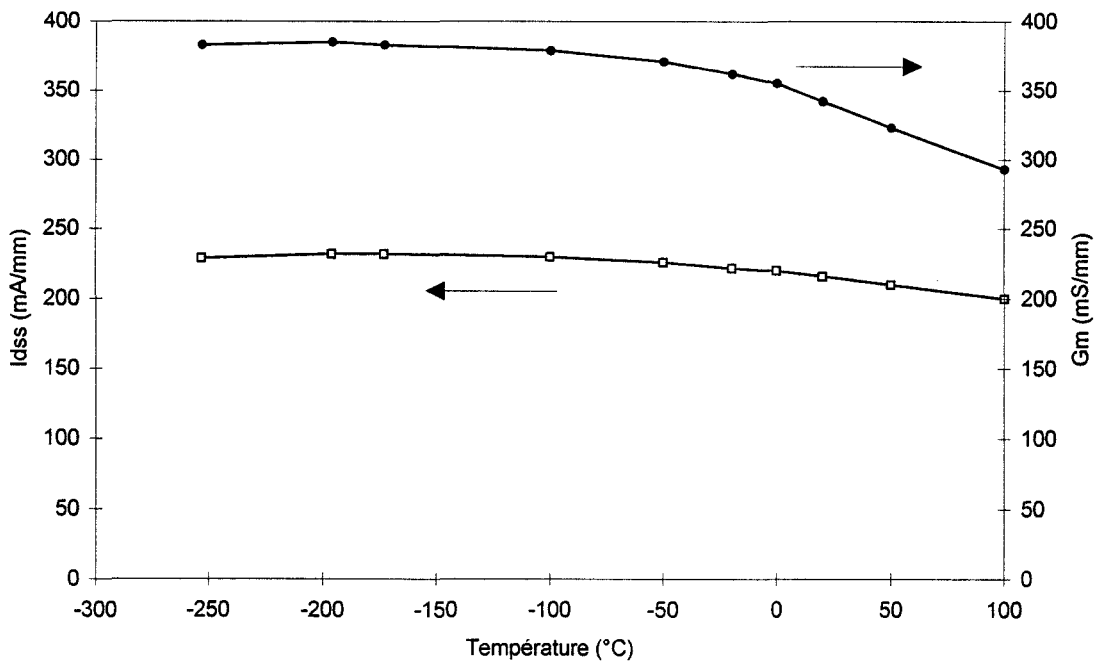


Fig. 8.9 : Evolution du courant de drain en saturation à  $V_{GS}=1.5$  V et de la transconductance maximale d'un transistor n-HIGFET 1µm en fonction de la température.

La figure 8.9 représente l'évolution du courant de drain en saturation à  $V_{GS}=1.5$  V, et de la transconductance maximale en fonction de la température pour le même transistor que précédemment. La transconductance de ce composant varie de 330 mS/mm à 370mS/mm entre  $+50^\circ\text{C}$  et  $-50^\circ\text{C}$ . Quant au courant de drain disponible, il présente une très faible variation relative de 7% dans cette plage de températures.

Par ailleurs, le composant fonctionne parfaitement à des températures cryogéniques et ne présente aucun des effets parasites à basse température qui existent dans le cas des transistors HEMTs. Le choix d'un transistor HIGFET de type n pour des applications spatiales semble donc adéquat. Cependant, il est nécessaire d'évaluer l'influence de la température sur les courants parasites de grille et en attente (ou "stand-by") du HIGFET avant de qualifier définitivement le composant pour l'espace.

A l'opposé, on peut s'étonner que l'on observe pas une augmentation spectaculaire des transconductances comme c'est le cas pour les HEMTs classiques. Ce point devrait être éclairé dans la perspective d'une utilisation systématique de ce composant dans cette gamme de températures.

### VIII.1.6 Etude détaillée du courant de grille

Les transistors HIGFETs de type n que nous avons caractérisés lors des opérations technologiques 10216 et 10224 présentent un "Turn-on voltage" (tension de grille pour laquelle le courant de grille vaut  $1\mu\text{A}/\mu\text{m}^2$ ) de 1.25 V à 1.3 V. Cette valeur est trop faible et témoigne d'un courant de grille parasite trop important lorsque le transistor est polarisé à une tension de grille voisine de 1.5 V. De plus, elle est en retrait par rapport aux résultats publiés par Motorola (cf. ch. II). Afin de pouvoir envisager des modifications d'ordre technologiques permettant de réduire ce courant de grille, il est avant tout nécessaire d'identifier la nature des divers phénomènes qui en sont la cause.

La figure 8.10 représente l'évolution du courant de grille à  $V_{DS}=0$  d'un transistor n-HIGFET de géométrie  $2*50*1 \mu\text{m}$  en fonction de la tension de grille appliquée à celui-ci. Cette courbe semble mettre en évidence trois phénomènes :

- Pour  $V_G < 0.5$  V, une conduction parasite de surface. Dans ce régime de fonctionnement sous le seuil, la densité de porteurs dans le canal est nulle. Le courant de grille ne peut donc provenir que d'une conduction latérale des zones dopées vers la grille. Nous attribuons ce courant de grille à une conduction parasite en surface du semiconducteur pouvant résulter d'une diffusion latérale sous le métal de grille des atomes de silicium implantés.

- Pour  $V_G$  légèrement supérieur à  $V_{TH}$  (de 0.5 V et 0.7 V), une émission thermoionique de porteurs du canal vers la grille. En effet, la loi de variation du courant de grille, de type exponentiel, semble indiquer un mécanisme de transfert de charges du canal vers la grille à travers la barrière  $\text{AlGaAs}/\text{InGaAs}$  de type thermoionique, avec un facteur d'idéalité de 1.85.

- Pour des tensions de grilles plus élevées, un effet tunnel assisté thermoionique. En effet, l'insensibilité progressive du courant de grille vis-à-vis de la tension de grille appliquée, autrement dit l'augmentation progressive du facteur d'idéalité, semblent mettre en évidence l'apparition d'effet tunnel à travers la couche d'AlGaAs. Cette saturation du courant de grille ne peut en aucun cas s'expliquer par la résistance de grille en série. En effet, le courant de grille vaut environ  $10\mu\text{A}$  à  $1\text{V}$ . Par conséquent la résistance de grille ne peut guère causer une chute de potentiel  $R_G I_G$  supérieure à  $1\text{mV}$  et limiter ainsi le courant de grille. Lorsque la tension de grille devient supérieure à  $1.5\text{V}$ , la courbe semble indiquer que le mécanisme dominant dans le transfert de porteurs vers la grille est l'effet tunnel, ce qui est en accord avec des études déjà publiées sur le HIGFET [3] [4].

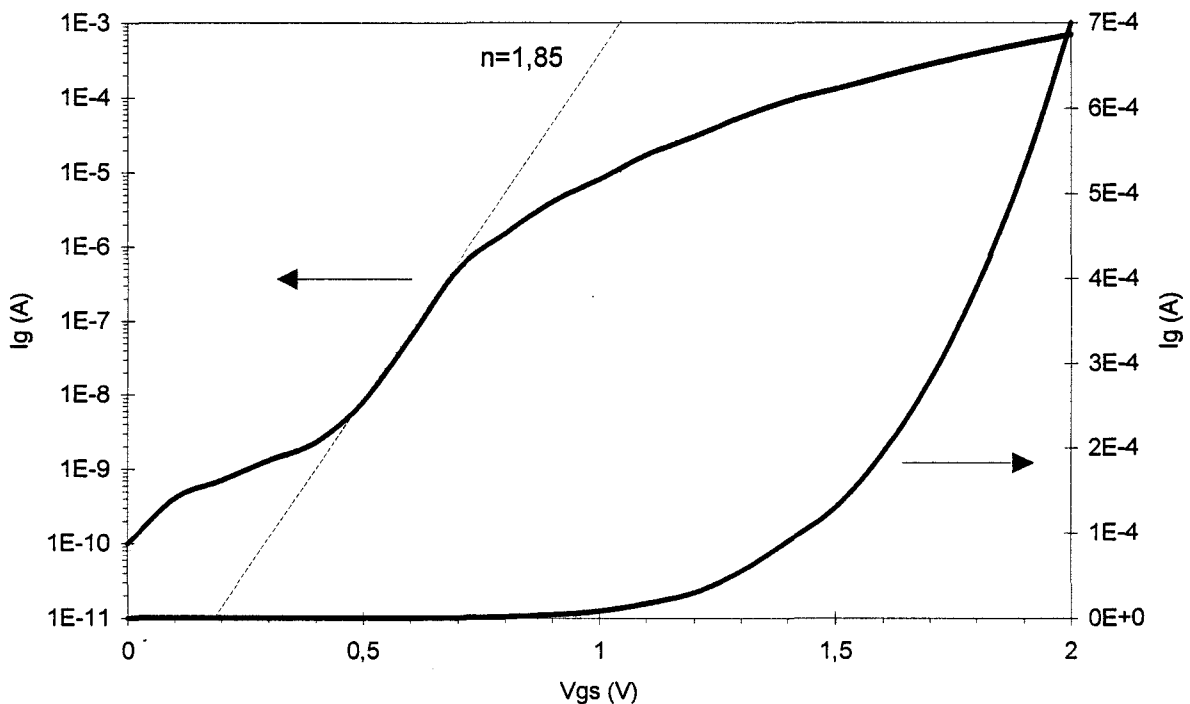


Fig. 8.10 : Evolution du courant de grille à  $V_{DS}=0$  d'un transistor n-HIGFET  $2*50*1\ \mu\text{m}$  en fonction de la tension de grille.

Afin de confirmer cette analyse des mécanismes régissant le courant de grille en fonction de  $V_G$ , il nous a semblé judicieux de procéder à une caractérisation du courant de grille dans une large gamme de températures (fig. 8.11). La courbe fait clairement apparaître qu'à des températures cryogéniques, le seul mécanisme responsable du courant de grille est l'effet tunnel : le courant de grille résultant d'un transfert thermoionique des porteurs dans la couche d'AlGaAs y est négligeable. En revanche, à température ambiante, l'effet tunnel est dominant uniquement pour des tensions de grille élevées, et la courbe semble confirmer qu'à des tensions de grilles inférieures à  $1.5\text{V}$ , il s'agit d'un mécanisme thermoionique assisté tunnel, et que l'effet thermoionique pur domine pour des tensions de grilles faiblement supérieures à la tension de seuil. En ce qui concerne le courant de grille en régime de fonctionnement sous le seuil, la figure 8.11 montre que la conduction parasite en surface présente une

forte dépendance en température. La figure 8.12 représente la dépendance en température du "Turn-on voltage" pour un transistor n-HIGFET  $2 \times 50 \times 1 \mu\text{m}$ . La valeur de  $V_{\text{ton}}$  varie de 1.24V à 1.38V dans la plage de températures  $+50^\circ\text{C}$  à  $-50^\circ\text{C}$ . Cette faible sensibilité est exclusivement attribuée à l'évolution du courant de grille résultant d'un transfert de porteurs de type thermoionique. En revanche, le "Turn-on voltage" est constant en basse température, et confirme ainsi que l'effet tunnel est le mécanisme dominant pour des températures inférieures à  $-100^\circ\text{C}$ .

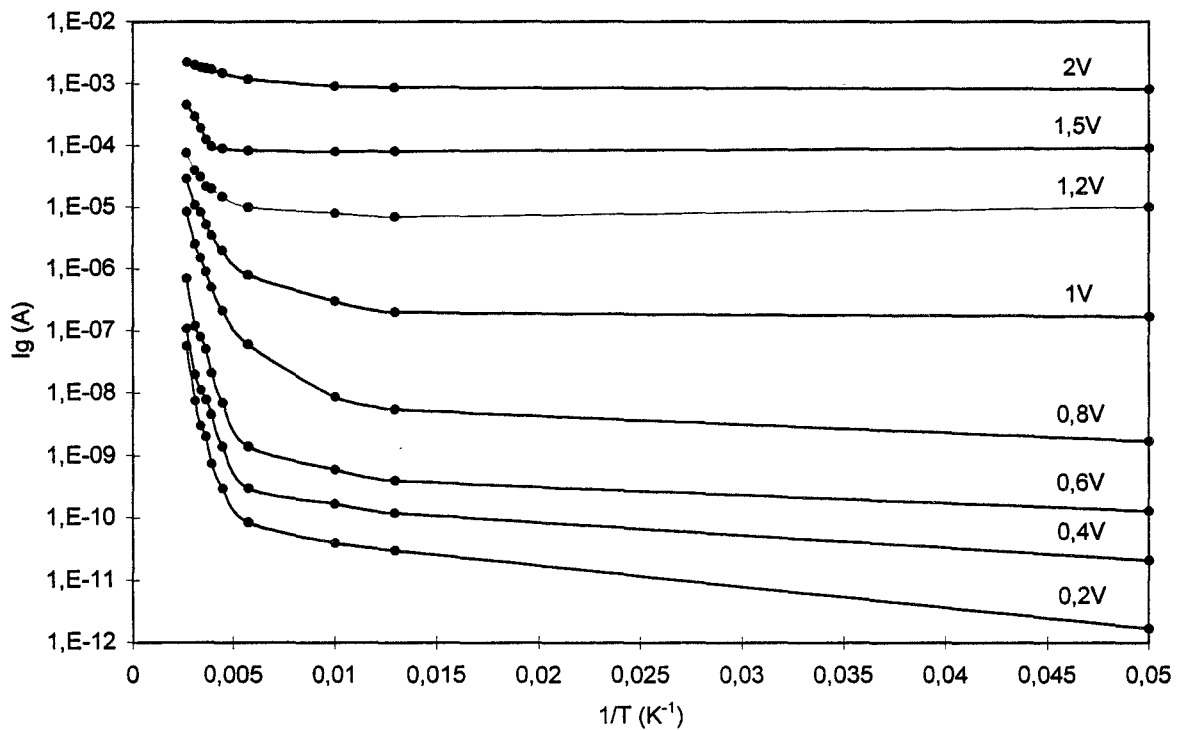


Fig. 8.11 : Evolution du courant de grille à  $V_{\text{DS}}=0$  d'un transistor n-HIGFET  $2 \times 50 \times 1 \mu\text{m}$  en fonction de la température pour plusieurs tensions de grille.

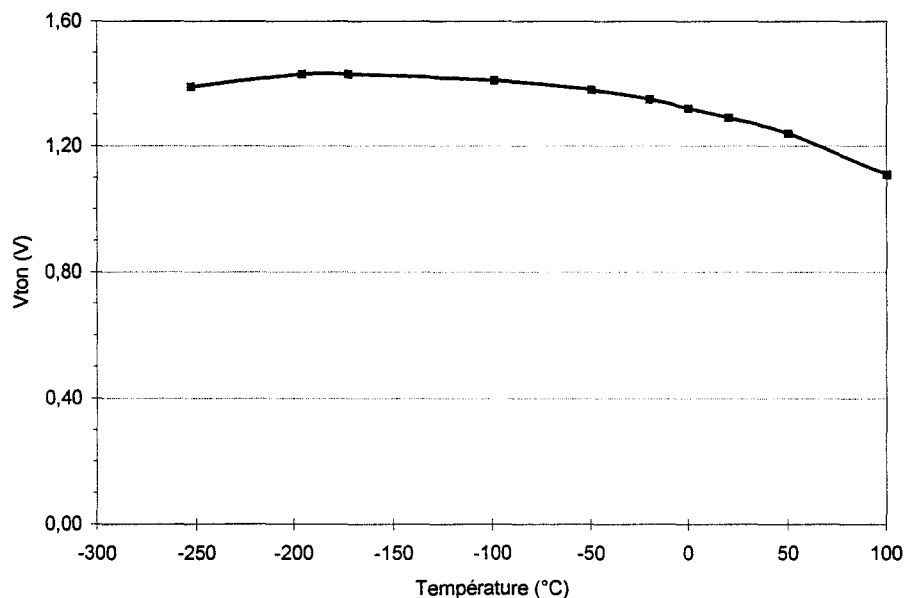


Fig. 8.12 : Evolution du "Turn-on Voltage" en fonction de la température pour un n-HIGFET  $1 \mu\text{m}$ .



Les solutions pour minimiser l'importance des divers mécanismes qui contribuent à la génération du courant de grille impliquent à la fois des efforts d'ordre technologique et une optimisation du matériau :

- La réduction de l'effet thermoionique implique forcément une augmentation de la discontinuité des bandes de conduction à l'interface  $\text{AlGaAs}/\text{InGaAs}$ , et donc nécessite l'utilisation d'une couche semiconductrice autre qu' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$ .

- Il est possible de diminuer l'effet tunnel à travers la couche d' $\text{AlGaAs}$  en augmentant son épaisseur, même si cela implique de dégrader proportionnellement la transconductance des transistors. Par ailleurs, cela ne sera possible pour des composants à grille ultra courte.

- La diminution de la conduction parasite sous le seuil passe par la réalisation d'espaces diélectriques (ou "sidewalls") afin de limiter l'importance de la diffusion latérale sous la grille des implants de silicium.

### VIII.1.7 Caractérisation du régime de fonctionnement sous le seuil

La zone de fonctionnement sous le seuil est caractérisée par les données de la pente  $S$  et du courant en attente (ou "stand-by"). La figure 8.13 montre ce régime sous le seuil en représentant l'évolution logarithmique du courant de drain en fonction de  $V_{GS}$  en saturation ( $V_{DS} = 1.5\text{V}$ ), pour trois transistors de largeur  $2 \times 10 \mu\text{m}$  et de longueurs de grille 1, 0.5 et  $0.3 \mu\text{m}$ .

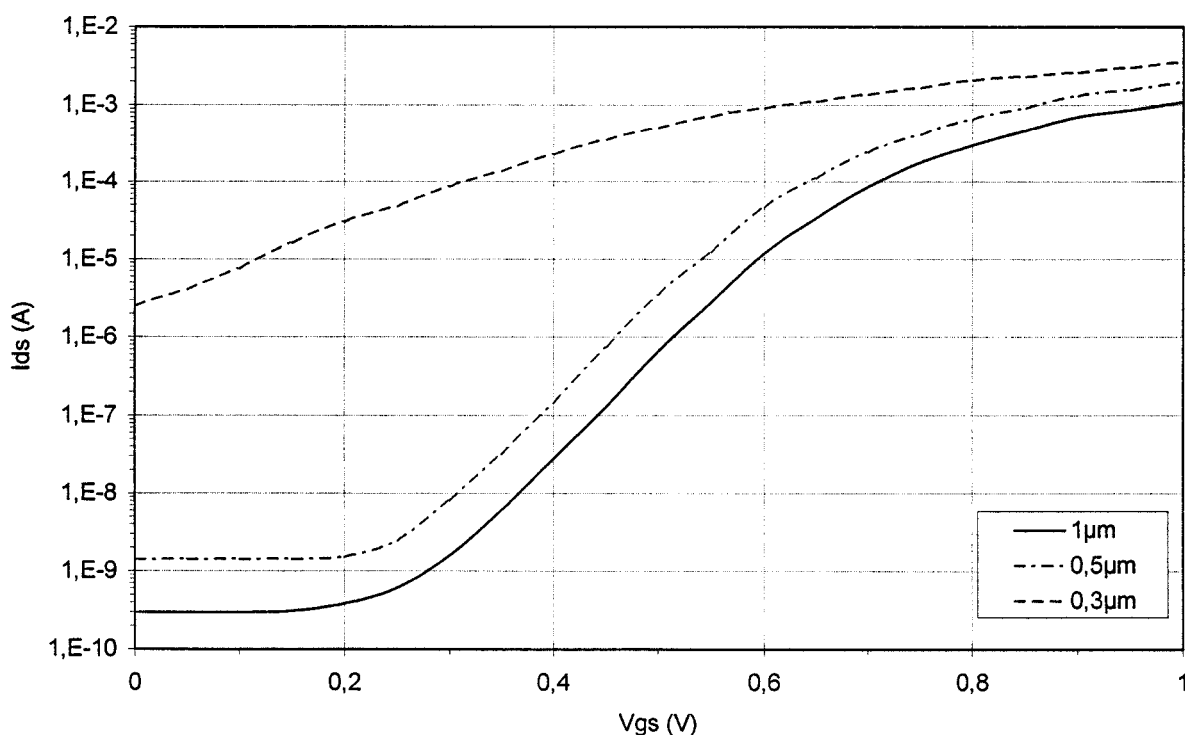


Fig. 8.13 : Evolution du courant de drain en fonction de  $V_{GS}$  en saturation ( $V_{DS} = 1.5\text{V}$ ), pour trois transistors n-HIGFETs de largeur  $2 \times 10 \mu\text{m}$  et de longueurs de grille 1, 0.5 et  $0.3 \mu\text{m}$ .

Nous avons obtenu un très bon régime sous le seuil pour les transistors n-HIGFETs en technologies  $1\mu\text{m}$  et  $0.5\mu\text{m}$ , avec notamment une pente  $S$  entre 70 et 80 mV/dec. Pour des transistors de largeur  $2*25\mu\text{m}$  et de longueur  $1\mu\text{m}$ , nous avons mesuré un courant "stand-by" égal à 1.5 nA, soit une valeur équivalente de 30 pA/ $\mu\text{m}$ . Cette valeur constitue la meilleure performance mondiale pour des HIGFETs de technologie  $1\mu\text{m}$ , et vaut notamment trois fois moins que la donnée publiée par Motorola (1 nA pour un transistor de largeur  $10\mu\text{m}$ ) [5]. Ce courant en "stand-by" est pratiquement du même ordre de grandeur en technologie  $0.5\mu\text{m}$  : nous avons obtenu une excellente valeur de 1.4 nA (soit 70 pA/ $\mu\text{m}$ ) pour une largeur de  $2*10\mu\text{m}$ .

En revanche, les effets de canal court décrits dans le chapitre précédent ont pour conséquence, sur les transistors de longueur de grille  $0.3\mu\text{m}$ , une dégradation de la zone de fonctionnement sous le seuil, en même temps qu'une forte altération du régime pincé, et une forte diminution de la tension de seuil. Pour un transistor n-HIGFET  $0.3\mu\text{m}$  ayant une tension de seuil valant environ 0.1V, nous avons ainsi mesuré une pente  $S$  de 175 mV/dec et un courant "stand-by" de 2.5  $\mu\text{A}$ .

Nous avons par ailleurs mesuré la pente sous le seuil d'un transistor HIGFET de longueur de grille  $1\mu\text{m}$  dans un fonctionnement de 20K à  $100^\circ\text{C}$ . La figure 8.14 représente l'évolution de cette pente  $S$  dans cette gamme de températures. La courbe montre que la pente sous le seuil est quasiment proportionnelle à la température. Par conséquent, le courant de drain sous le seuil d'un transistor n-HIGFET présente une dépendance exponentielle non seulement par rapport à la tension de grille appliquée, mais aussi vis-à-vis de la température, et peut ainsi s'écrire par l'expression [6] :

$$I_{DS} = I_0 \exp \frac{qV_{GS}}{nKT} \quad (\text{eq. 8.1})$$

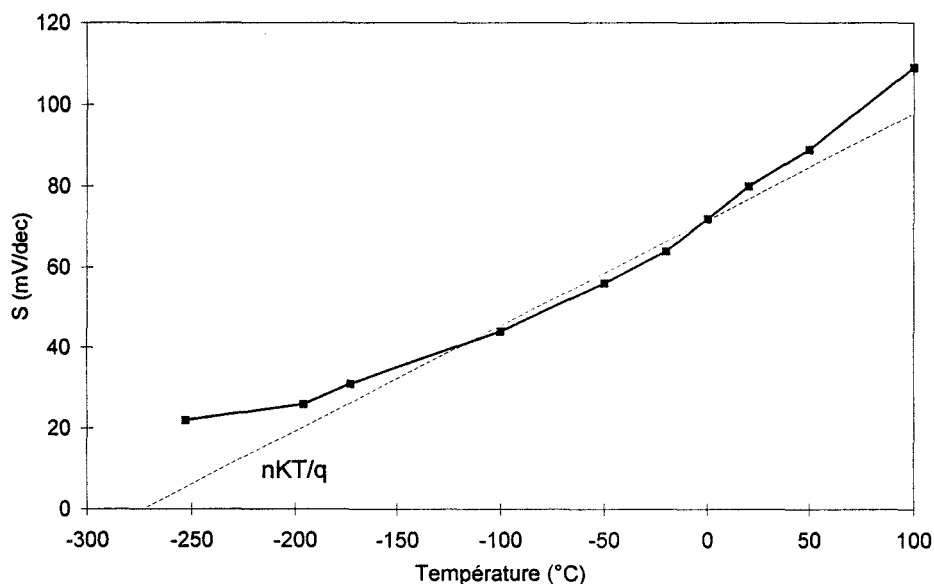


Fig. 8.14 : Dépendance en température de la pente sous le seuil pour un transistor n-HIGFET de longueur de grille  $1\mu\text{m}$ .

Pour des tensions de grille inférieures à 0.2V, un courant résiduel supplémentaire vient se superposer au courant sous le seuil décrit par l'expression 8.1. En ce qui concerne ce courant en régime pincé (ou "stand-by") proprement dit, c'est-à-dire le courant de drain lorsque le composant est polarisé à  $V_{GS}=0$  et à  $V_{DS}=1.5\text{V}$  par exemple, deux mécanismes sont susceptibles de le causer (fig. 8.15):

- une conduction dans le buffer de GaAs entre source et drain, mal contrôlée par la commande de grille. Cette conduction est très importante dans le cas de grilles courtes ( $0.3\ \mu\text{m}$ ), mais peut néanmoins exister en technologie  $1\ \mu\text{m}$  en raison d'un dopage résiduel de  $10^{15}\ \text{cm}^{-2}$  environ dans la couche buffer.

- une conduction parasite de surface entre grille et drain, due à un courant résiduel de surface à travers le contact grille-drain pourtant polarisé en inverse, qui provient d'une diffusion latérale sous la grille des implants de silicium. Contrairement à la conduction du buffer, le courant de grille de surface est à priori indépendant de la longueur de grille.

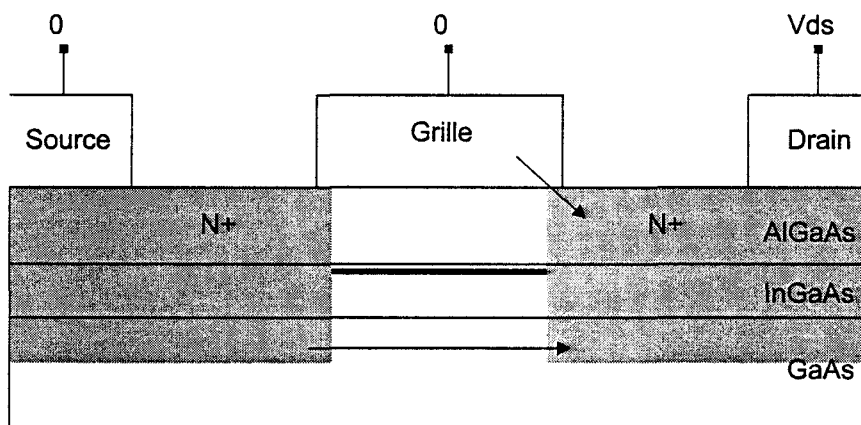


Fig. 8.15 : Nature du courant en "stand-by" d'un transistor n-HIGFET : mise en évidence d'une conduction dans le buffer et d'une conduction de surface.

En polarisant un transistor de géométrie  $2*25*1\ \mu\text{m}$  à  $V_{GS}=0$  et à  $V_{DS}=1.5\text{V}$ , nous avons mesuré les courants de grille, de drain et de source afin d'identifier la nature du courant de drain en "stand-by". Pour cette polarisation, nous avons mesuré des valeurs de  $1.5\ \text{nA}$  pour  $I_D$ ,  $-900\ \text{pA}$  pour  $I_G$  et  $-600\ \text{pA}$  environ pour  $I_S$  (le courant de drain étant évidemment égal à la somme des courants de grille et de source).

En examinant la caractéristique grille-drain en inverse à  $V_{GS}=0$ , nous retrouvons une valeur du courant parasite de surface de  $1\ \text{nA}$  environ à  $V_{GD}=-1.5\ \text{V}$  pour le transistor précédent (fig. 8.16). Ceci ayant été vérifié sur d'autres transistors, la conduction en surface entre grille et drain est donc le mécanisme dominant qui intervient dans le courant de drain en "stand-by" pour des transistors n-HIGFETs de longueur de grille  $0.5\ \mu\text{m}$  et  $1\ \mu\text{m}$ .

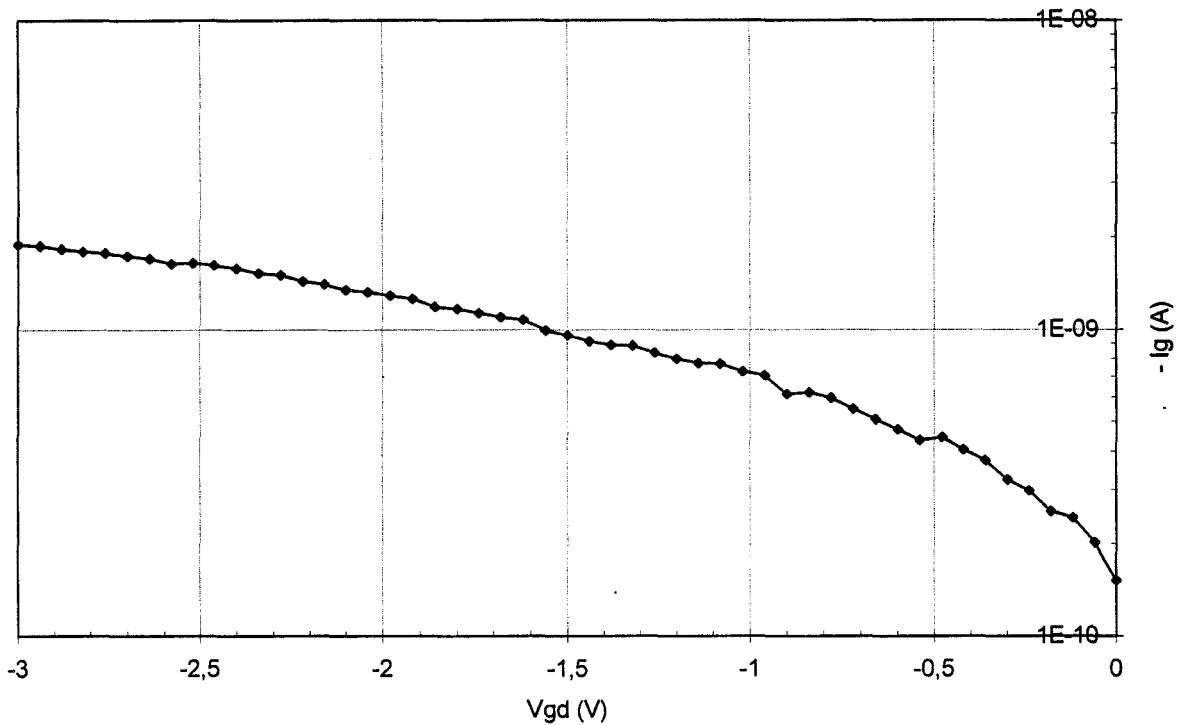


Fig. 8.16 : Caractéristique  $I_{GD}$ - $V_{GD}$  inverse à  $V_{GS}=0$  d'un transistor n-HIGFET de dimensions  $2*10*1\mu\text{m}$ .

### VIII.1.8 Schéma "petit signal" d'un transistor n-HIGFET $1\mu\text{m}$

Afin de connaître les caractéristiques intrinsèques d'un petit transistor HIGFET de type n sur  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  et destiné à des applications logiques, nous avons extrait le schéma équivalent d'un composant de largeur  $2*10\mu\text{m}$  en technologie  $1\mu\text{m}$ . Le tableau 8.3 résume la valeur des éléments d'accès et les composantes du schéma intrinsèque de ce composant.

$R_S$ ( $\Omega$ )	22	$G_m$ (mS)	7.2
$R_D$ ( $\Omega$ )	70	$G_d$ (mS)	0.28
$R_G$ ( $\Omega$ )	19	$G_g$ (mS)	0.63
$C_{PG}$ (fF)	22	$C_{GS}$ (fF)	45
$C_{PD}$ (fF)	23	$C_{GD}$ (fF)	12
$L_S$ (pH)	5	$C_{DS}$ (fF)	17
$L_D$ (pH)	20	$R_i$ ( $\Omega$ )	71
$L_G$ (pH)	20	$\tau$ (ps)	1.4
$F_t$ (GHz)	13	$R_{GD}$ ( $\Omega$ )	83
$F_c$ (GHz)	25	$F_{max}$ (GHz)	26

Tableau 8.3 : Schéma "petit-signal" d'un transistor HIGFET de type n de géométrie  $2*10*1\mu\text{m}$  polarisé à  $V_{GS}=1.4\text{V}$ .

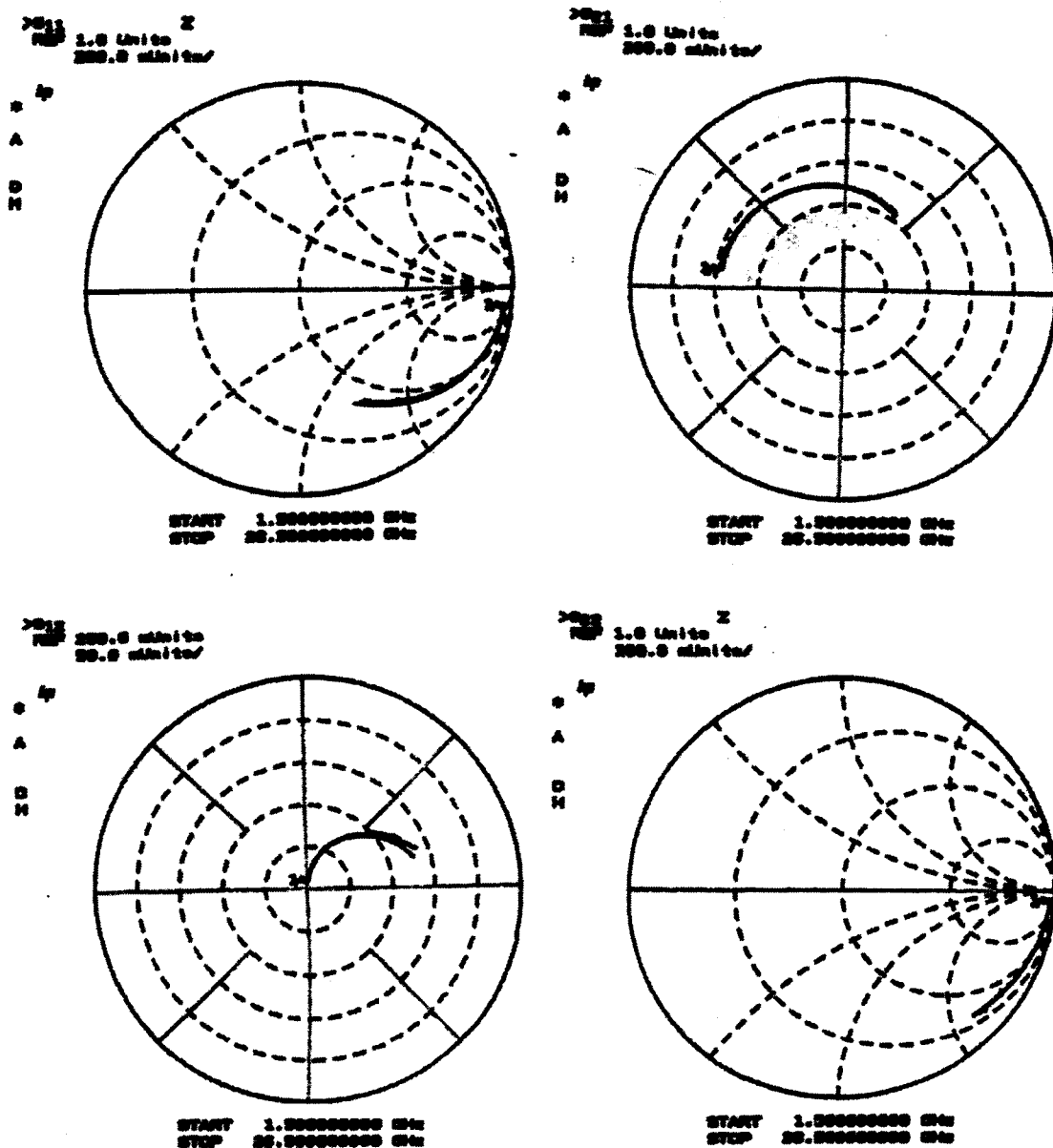


Fig 8.17 : Paramètres S mesurés et calculés à partir du schéma équivalent donné en tableau 8.3 pour un transistor n-HIGFET  $2*10*1\mu m$ .

L'analyse de ce schéma équivalent nous conduit aux remarques suivantes :

- Les valeurs très différentes de  $R_S$  et de  $R_D$  s'expliquent aisément par un mauvais alignement de la seconde implantation ou des contacts ohmiques de part et d'autre de la grille, le contact de source étant probablement plus rapproché de la grille.

- Pour ce transistor de largeur  $2*10 \mu m$ , la valeur de la capacité  $C_{GS}$  calculée vaut 22 fF. Nous en déduisons une capacité grille-source équivalente de  $1.1 pF/\mu m$

pour une technologie HIGFET  $1\mu\text{m}$ . Cette valeur pourra servir de référence pour la prévision du temps de commutation dans des portes à transistors HIGFETs, ce qui sera très utile pour la conception de circuits logiques.

- La conductance de drain du schéma intrinsèque est beaucoup plus faible que celle que nous avons déterminée pour des transistors à taux d'aluminium de 40% (cf. cf. VII). Nous obtenons ainsi un gain  $G_m/G_d$  en hyperfréquences valant 26, qui reste peu inférieur au gain statique du composant (tableau 8.1), qui semble donc tout à fait correct. Il paraît peu vraisemblable de relier cette faible conductance de drain au taux d'aluminium de 75% de la couche d'AlGaAs, qui se trouve au-dessus du gaz bi-dimensionnel. En revanche, elle peut s'expliquer par le fait que nous avons repoussé les caissons d'implantation des contacts ohmiques fortement dopés de ( $10^{14}\text{ cm}^{-2}$ ) à  $2\mu\text{m}$  de la grille pour nos réalisations technologiques 10216 et 10224.

- Les faibles valeurs de  $F_{\text{max}}$  s'expliquent par conséquent par l'importance de la résistance de grille des composants.

## **VIII.2 Réalisation de n-HIGFETs à grille épaisse (opération 10257)**

### VIII.2.1 Mise en oeuvre d'une grille épaisse et de contacts asymétriques

Nous avons réalisé une autre série de transistors n-HIGFETs en utilisant la résine AZPN 114, ce qui a permis de déposer  $4400\text{\AA}$  de WSi, et par conséquent d'envisager l'obtention de résistances de grilles plus faibles.

Par ailleurs, nous avons utilisé le masqueur électronique pour raccourcir la distance grille-source à  $0.5\mu\text{m}$ , comme dans le cas de l'opération technologique 10218 sur taux d'aluminium de 40% (cf. ch. VII), mais nous avons gardé la même distance grille-drain de  $2\mu\text{m}$  utilisée dans les opérations précédentes. Trois niveaux de masquage, ceux de la grille, de la seconde implantation de silicium et des contacts ohmiques, ont donc été réalisés en lithographie électronique.

En outre, nous avons réalisé cette opération sur une couche pseudomorphique  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  à cap de GaAs assez épais ( $100\text{\AA}$ ). Cette épaisseur a permis de préserver la couche de nitrure de silicium lors du recuit thermique rapide.

La figure 8.18 montre la structure épitaxiale et la géométrie des transistors réalisés.

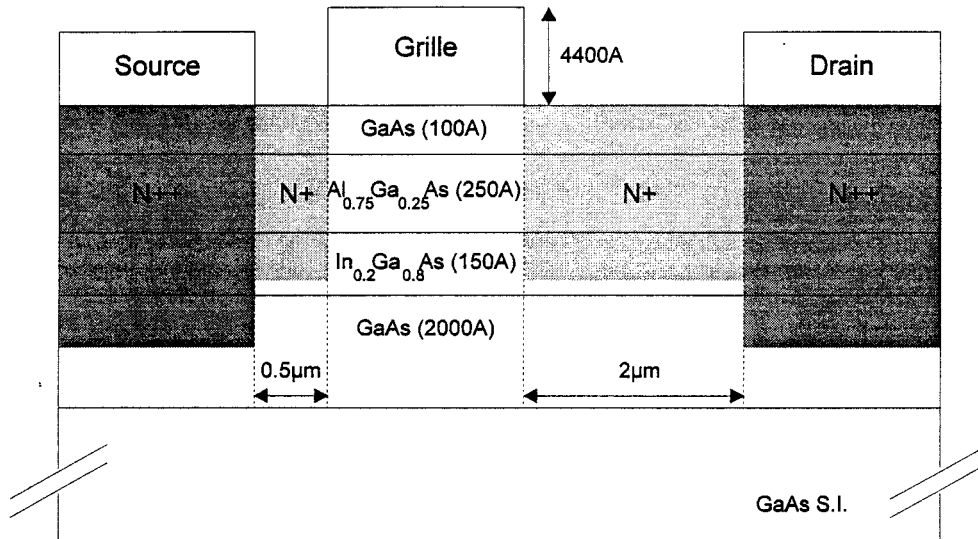


Fig 8.18 : Transistors n-HIGFETs à grille épaisse et à contacts assymétriques.

### VIII.2.2 Caractérisation d'un transistor $2*20*1 \mu\text{m}$

Les figures 8.19.a et 8.19.b représentent la caractéristique  $I_{ds}-V_{ds}$ , ainsi que l'évolution du courant de drain en saturation et de la transconductance en fonction de la tension appliquée sur la grille, pour un transistor HIGFET de type n de longueur de grille  $1\mu\text{m}$  et de largeur  $2*20 \mu\text{m}$ .

Nous avons obtenu pour ce composant une transconductance maximale de 410 mS/mm, ce qui constitue l'état de l'art du transistor n-HIGFET sur  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  en technologie  $1\mu\text{m}$ .

La transconductance étant maximale pour une tension de grille de 1.4V, nous avons mesuré l'évolution du gain en courant et du MAG pour ce point de polarisation (fig. 8.20). Nous avons ainsi obtenu pour ce composant de largeur  $2*20\mu\text{m}$ , des fréquences de coupures  $f_t$  et  $f_{max}$  extrinsèques de 24 et 38 GHz respectivement (le gain est instable sous 10 GHz). Nous avons également observé la variation des fréquences de coupures  $f_t$  et  $f_{max}$  pour divers points de polarisation entre 0.6 V et 2 V (fig. 8.21). Nous avons ainsi mesuré une fréquence de coupure du MAG valant 39 GHz à 1.6V, ce qui constitue une valeur record pour un transistor HIGFET de type n en technologie  $1\mu\text{m}$ .

Nous avons entrepris d'extraire un schéma "petit-signal" équivalent de ce transistor afin d'évaluer l'implication de la résistance de grille et de la conductance de drain dans ces valeurs de  $f_{max}$  très élevées. La tableau 8.4 résume certaines des caractéristiques statiques, ainsi que les éléments d'accès et les composantes du schéma intrinsèque du transistor précédent.

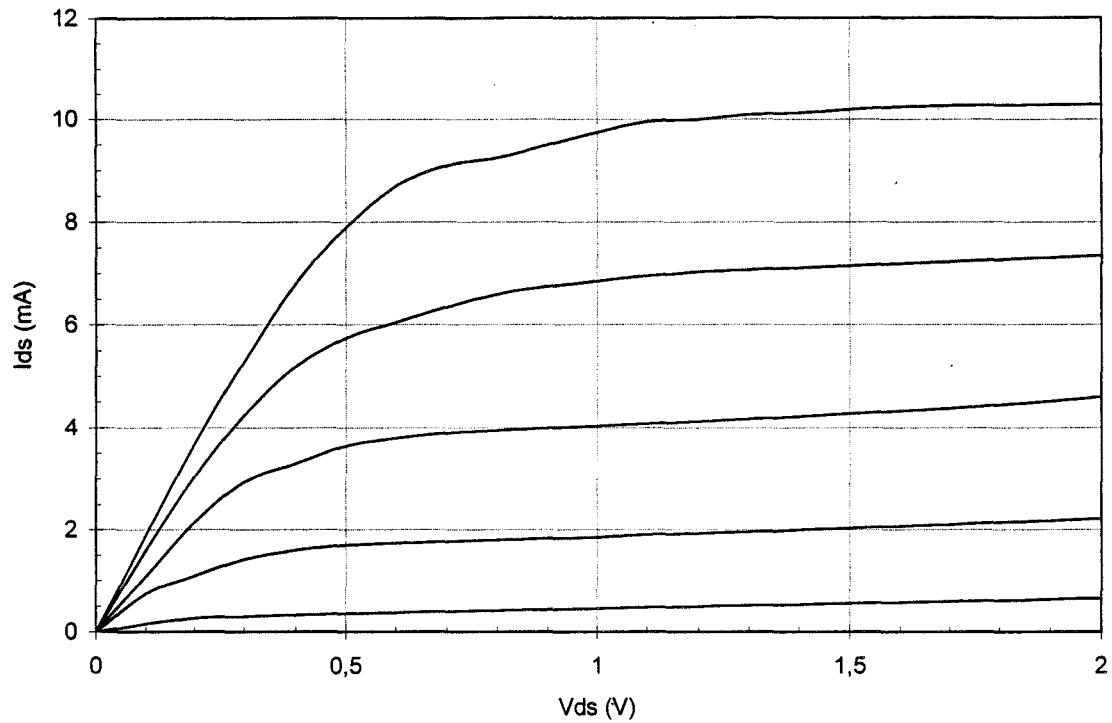


Fig. 8.19.a : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un n-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  pour  $V_{gs}$  variant de 0 à 1.6V par pas de 0.2V (op. 10257).

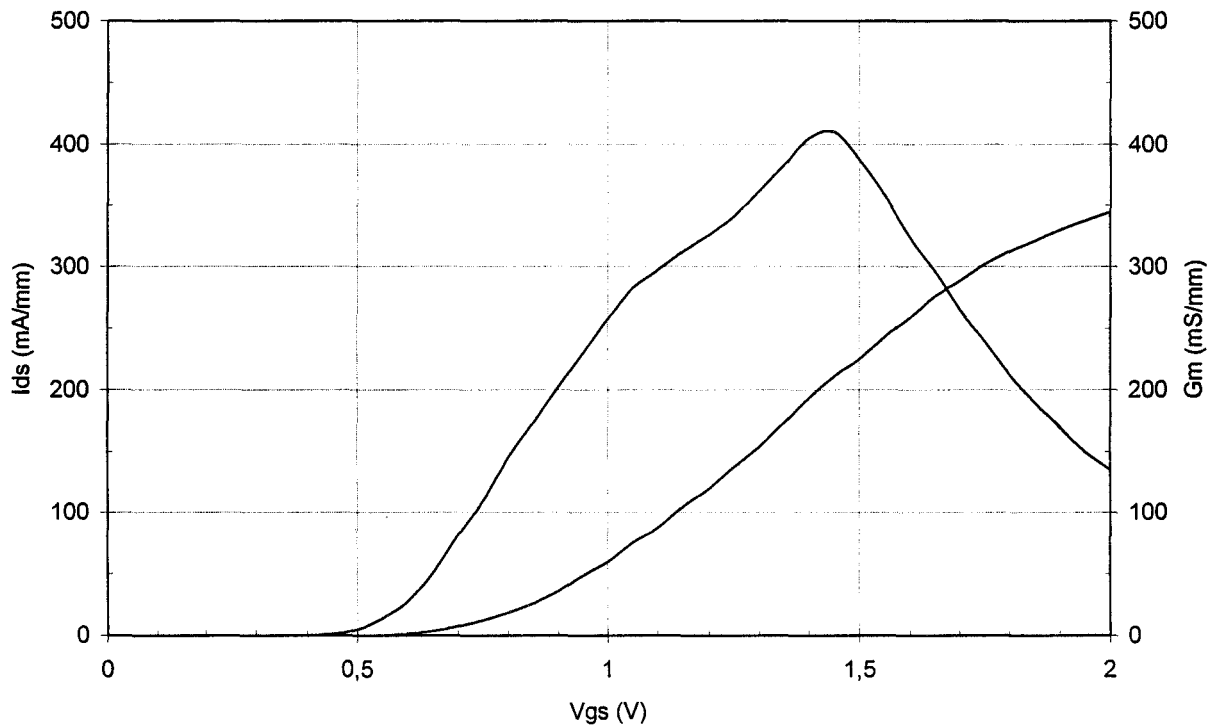


Fig. 8.19.b : Transconductance et courant de drain en saturation d'un n-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  (op. 10257).



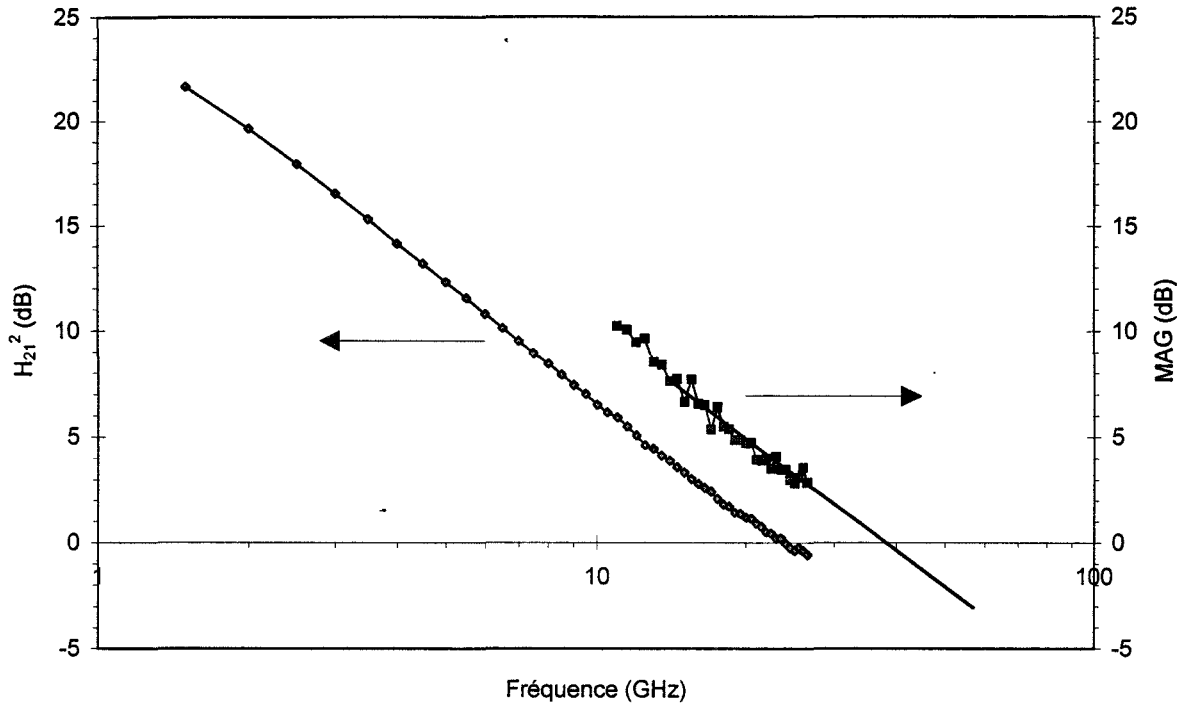


Fig. 8.20 : Evolution du  $H_{21}^2$  et du MAG pour un transistor n-HIGFET de géométrie  $2 \times 20 \times 1 \mu\text{m}$ .

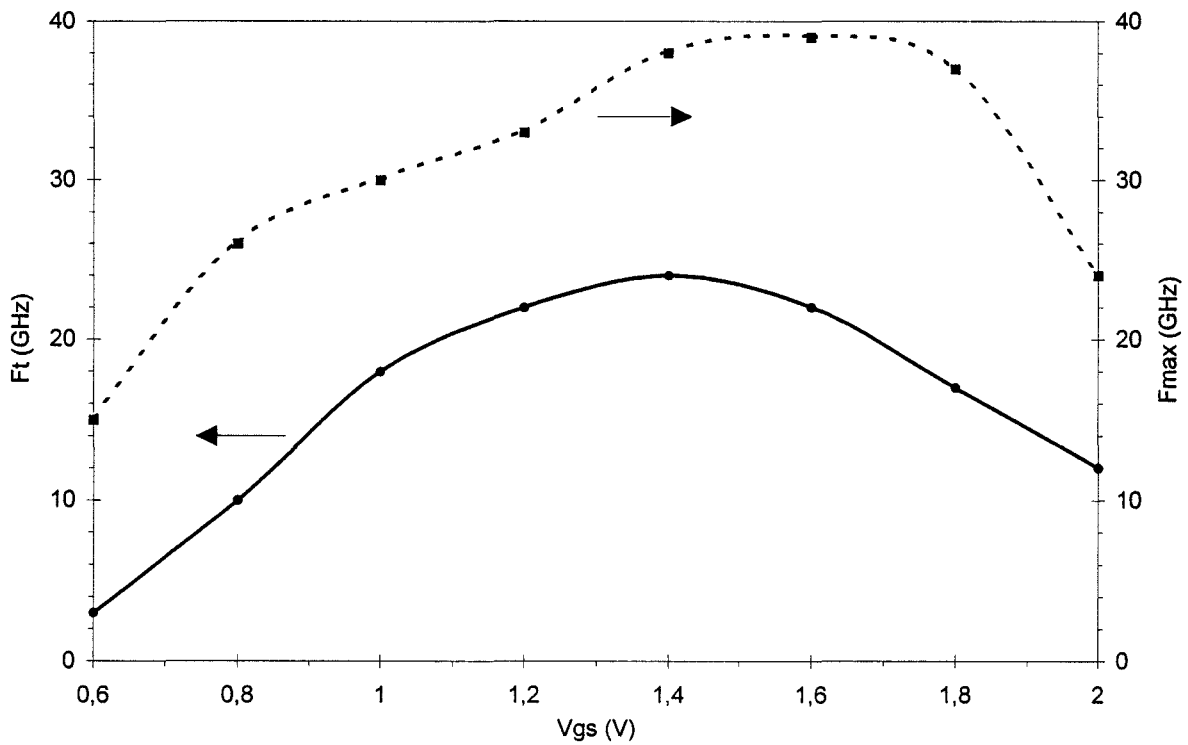


Fig. 8.21 : Fréquences de coupures  $f_t$  et  $f_{max}$  mesurées sur un transistor n-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  pour  $V_{gs}$  variant de 0.6V à 2V par pas de 0.2V.

Caractéristiques statiques			
$I_d (V_g=2V) \text{ (mA/mm)}$	350	$G_d \text{ (mS/mm)}$	10.7
$I_d (V_g=1.5V) \text{ (mA/mm)}$	230	$G_m/G_d$	38
$G_m \text{ (mS/mm)}$	410	$V_t \text{ (V)}$	0.52
Éléments d'accès			
$R_s \text{ (}\Omega\text{.mm)}$	0.16	$C_{pg} \text{ (fF)}$	29
$R_d \text{ (}\Omega\text{.mm)}$	0.8	$C_{pd} \text{ (fF)}$	33
$R_g \text{ (}\Omega\text{)}$	17	$R_g \text{ (k}\Omega\text{/mm)}$	1.7
Schéma électrique intrinsèque			
$G_m \text{ (mS)}$	15.8	$C_{gs} \text{ (fF)}$	64
$G_d \text{ (mS)}$	0.8	$C_{gd} \text{ (fF)}$	12
$G_g \text{ (mS)}$	0.9	$C_{ds} \text{ (fF)}$	7
$G_m/G_d$	19	$\tau \text{ (ps)}$	1.4
$R_i \text{ (W)}$	69	$f_c \text{ (GHz)}$	39
$R_{gd} \text{ (W)}$	102	$f_{ct} \text{ (GHz)}$	27

Tableau 8.4 : Caractéristiques statiques et hyperfréquences (à 1.4V) d'un transistor n-HIGFET de géométrie  $2 \times 20 \times 1 \mu\text{m}$ .

Au vu du tableau 8.4, il est clair que l'amélioration du  $f_{\text{max}}$  que nous avons obtenue provient en tout premier lieu d'une diminution des résistances de grille par rapport aux réalisations technologiques précédentes. Cette résistance vaut en effet  $1.7 \text{ k}\Omega\text{/mm}$ , soit environ la moitié de celle obtenue dans l'opération 10224.

La transconductance intrinsèque que nous avons obtenue est de  $400 \text{ mS/mm}$ , soit une valeur quasiment égale à la transconductance extrinsèque maximale mesurée en régime statique. Afin de comprendre pourquoi l'écart entre ces deux transconductances n'est pas plus grand, nous avons calculé un schéma équivalent "petit-signal" extrinsèque. Ce schéma extrinsèque est déterminé en utilisant la procédure décrite dans le chapitre VII, mais en fixant à zéro tous les éléments d'accès. La figure 8.22 représente les transconductances des schémas "petit-signal" intrinsèques et extrinsèques, auxquelles nous avons superposé la transconductance statique, pour plusieurs polarisations de grille de  $0.6 \text{ V}$  jusqu'à  $2 \text{ V}$ . Ainsi la figure montre qu'à  $V_{GS}=1.4 \text{ V}$ , la transconductance extrinsèque en hyperfréquences est plus faible que la transconductance statique. Il apparaît donc un effet de dispersion des transconductances, dont il pourrait être important d'approfondir la cause, les effets de piégeage usuels semblant exclus vu le comportement de ces composants en basse température.

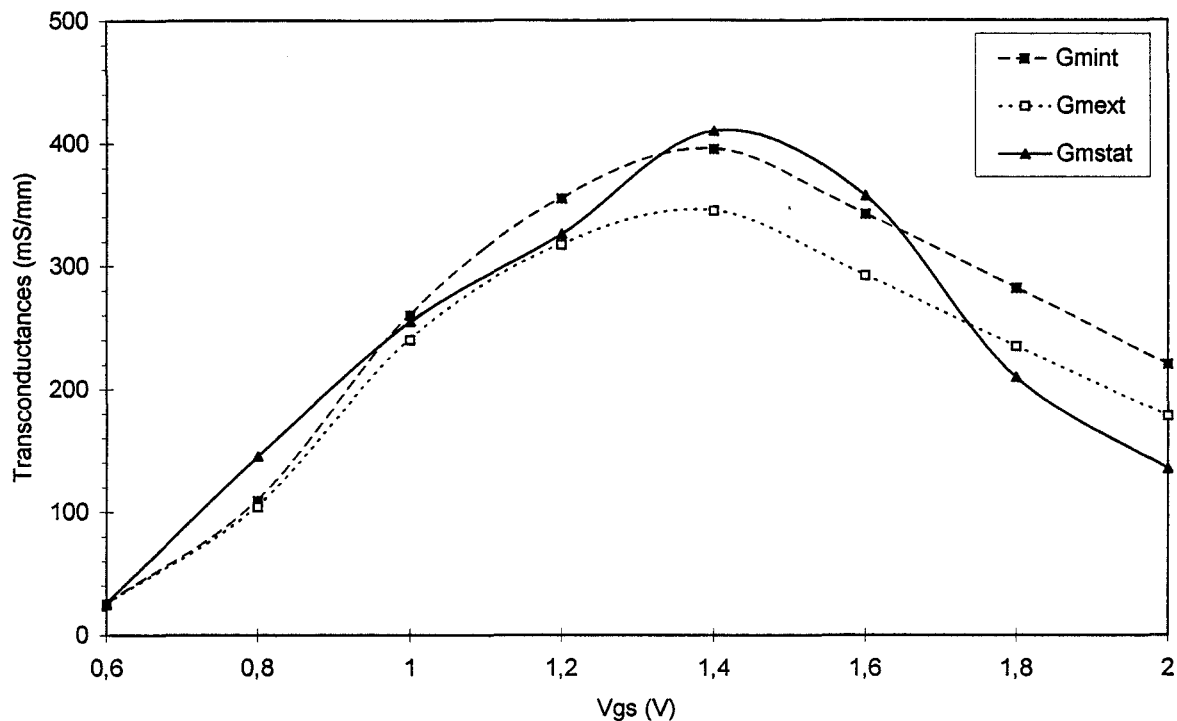


Fig. 8.22 : Evolution des transconductances statique, extrinsèque et intrinsèque d'un n-HIGFET  $2*20*1\mu\text{m}$  en fonction de  $V_{gs}$ .

### VIII.3 Réalisation de n-HIGFETs sur un super-réseau AlAs:GaAs (opérations 10253-10255)

#### VIII.3.1 Intérêts d'un super-réseau et structures épitaxiales

Nous avons réalisé des transistors HIGFETs de type n sur des couches pseudomorphiques sur lesquelles la couche d'AlGaAs a été remplacée par un super-réseau AlAs : GaAs. Le principe de ces couches était de substituer la croissance d'une couche ternaire d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  par un empilement de couches de GaAs et d'AlAs suffisamment nombreuses afin d'envisager des propriétés semblables à une simple couche d'AlGaAs, tout en facilitant la croissance par MBE.

Nous avons donc substitué la couche d' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  par un super-réseau à 11 empilements dont chacun consiste en trois mono-couches d'AlAs et d'une mono-couche de GaAs, avec donc un rapport 3:1 équivalent à un taux d'aluminium de 75% pour un composé d'AlGaAs. Deux couches ont été réalisées à partir de ce super-réseau. Elles se distinguent par l'interface du super-réseau avec le canal d'InGaAs, selon que la croissance commence par une mono-couche de GaAs (op. 10253) ou trois mono-couches d'AlAs (op. 10255). La figure 8.23 représente la structure épitaxiale de ces deux couches différentes pseudomorphiques à super-réseau AlAs:GaAs (3:1). Ces

couches ont été réalisées par épitaxie par jet moléculaire à source gazeuse au sein de l'IEMN par F. Mollot et son groupe.

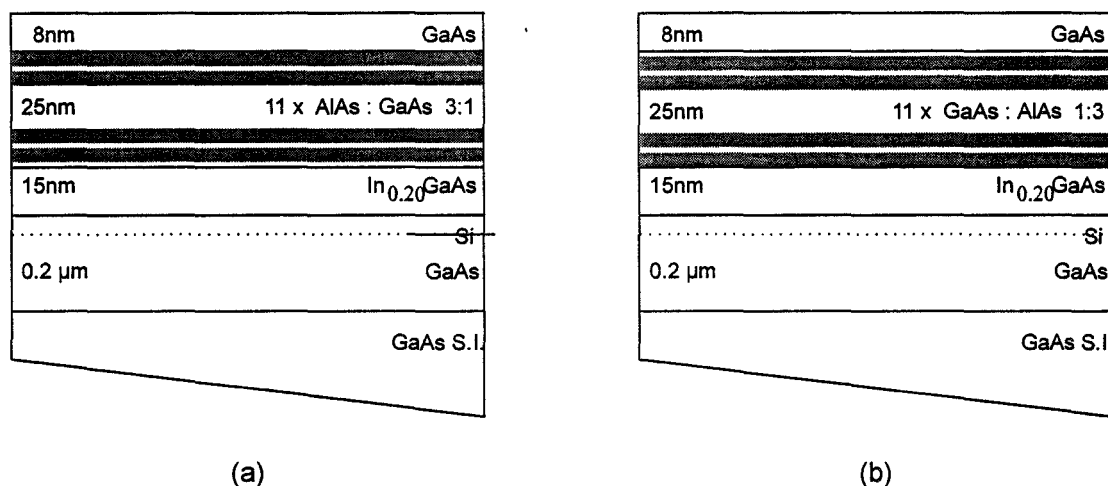


Fig. 8.23 : Structures épitaxiales pseudomorphiques GaAs / 11 x (AlAs : GaAs) (3:1) /  $In_{0.2}Ga_{0.8}As$  (a) et GaAs / 11 x (GaAs : AlAs) (1:3) /  $In_{0.2}Ga_{0.8}As$  (b).

VIII.3.2 Résultats obtenus sur un super-réseau 11 x (AlAs : GaAs) (3:1) /  $In_{0.2}Ga_{0.8}As$  (op. 10253)

Pour réaliser ces opérations sur couche à super-réseau, nous n'avons aucunement modifié notre procédé technologique par rapport à la série 10257.

Sur la couche avec un interface GaAs / InGaAs, tous les composants présentaient un courant de grille très important, et supérieur au courant de drain, comme le montre la figure 8.24 qui représente la caractéristique d'un transistor n-HIGFET de géométrie  $2*25*1\mu m$  ainsi réalisé.

De plus, la caractéristique  $I_{ds}-V_{ds}$  fait clairement apparaître une résistance différentielle négative très importante pour des tensions de grille autour de 2V. Ce phénomène de résistance différentielle négative a déjà été rapporté par M. Shur, et correspond à un transfert supplémentaire de porteurs chauds dans le super-réseau en fin de canal, porteurs qui sont ensuite collectés par la grille [7].

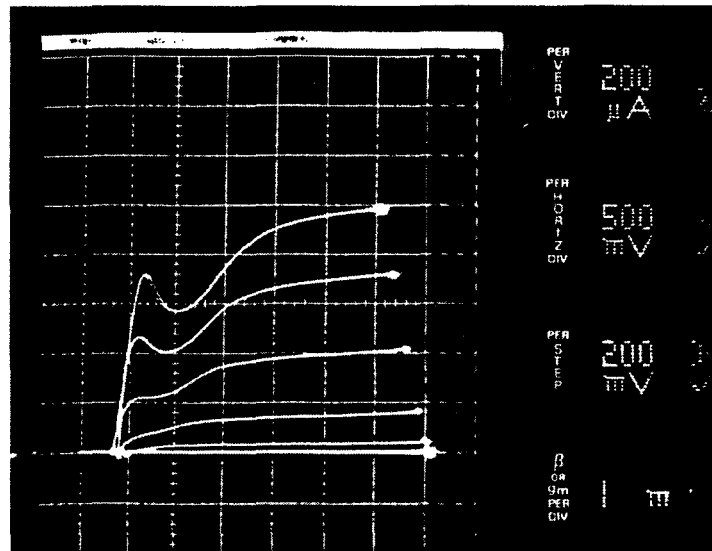


Fig. 8.24 : Caractéristique d'un transistor n-HIGFET sur super-réseau avec interface GaAs /  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ .

### VIII.3.3 Résultats sur un super-réseau 11 x (GaAs : AlAs) (1:3) / $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ (op. 10255)

Les caractéristiques statiques d'un transistor  $2 \times 10 \times 1 \mu\text{m}$  réalisé sur cette structure épitaxiale sont résumées dans le tableau 8.5. La tension de seuil vaut 0.85V : cette différence avec les tensions de seuil des structures à  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  peut s'expliquer l'une ou l'autre des deux raisons suivantes :

- La hauteur de barrière de l'interface grille / semiconducteur est plus élevée que pour les couches précédentes, en raison d'un interface de mauvaise qualité et d'une oxydation de la surface du matériau semiconducteur.
- La valeur de la hauteur de barrière métal/semiconducteur n'est pas la même dans le cas d'un super-réseau et d'un composé AlGaAs.

Etant donné que nous avons appliqué le même traitement de dégraissage sur la surface du wafer que pour les autres opérations, et que la qualité et l'épaisseur de la couche de WSi est la même, nous attribuons cette modification de la tension de seuil à un décalage de la hauteur de barrière WSi/semiconducteur. Quoi qu'il en soit, nous avons obtenu une valeur de "Turn-on voltage" de 1.52 V, soit une différence  $V_{\text{ton}} - V_{\text{th}}$  de 0.7V environ, quasiment identique par rapport aux opérations technologiques 10216 et 10224 à couche d'AlGaAs. Les composants réalisés sur l'hétérostructure à super-réseau avec un interface AlAs / InGaAs ont donc un courant de grille du même ordre de grandeur que les transistors des opérations précédentes sur  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$ . En effectuant une simple comparaison pour les deux super-réseaux, nous attribuons le courant de grille très élevé pour l'opération 10253 à l'interface de GaAs /  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ,

dont la discontinuité des bandes de conduction ne vaut que 0.16 eV et ne constitue par conséquent qu'une faible opposition au transfert des porteurs dans le canal vers la grille. En revanche, dans le cas d'un super-réseau à interface  $\text{AlAs} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  (op. 10255), la discontinuité des bandes de conduction est quasiment la même que pour un interface  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ , et le courant de grille est par conséquent beaucoup plus faible. Nous en concluons que la nature de l'interface avec le canal d'InGaAs est un facteur déterminant pour le transfert des porteurs du canal dans le super-réseau, et donc pour le courant de grille des transistors.

$I_d(V_g=2V)$ (mA)	3	$G_m$ (mS/mm)	240
$V_{th}$ (V)	0.85	$G_d$ (mS/mm)	2.7
$V_{ton}$ (V)	1.52	$G_m/G_d$	90
$S$ (mV/dec)	75	$I_{off}$ (pA/ $\mu\text{m}$ )	100
$k$ (mA/Vmm <sup>2</sup> )	280	$V_{br}$ (V)	10
$F_t$ (GHz) (2*50)	24	$F_{max}$ (GHz)(2*50)	19

Tableau 8.5 : Caractéristiques d'un transistor n-HIGFET de géométrie  $2*10*1\mu\text{m}$  sur un super-réseau  $11 \times (\text{GaAs} : \text{AlAs}) (1:3)$ .

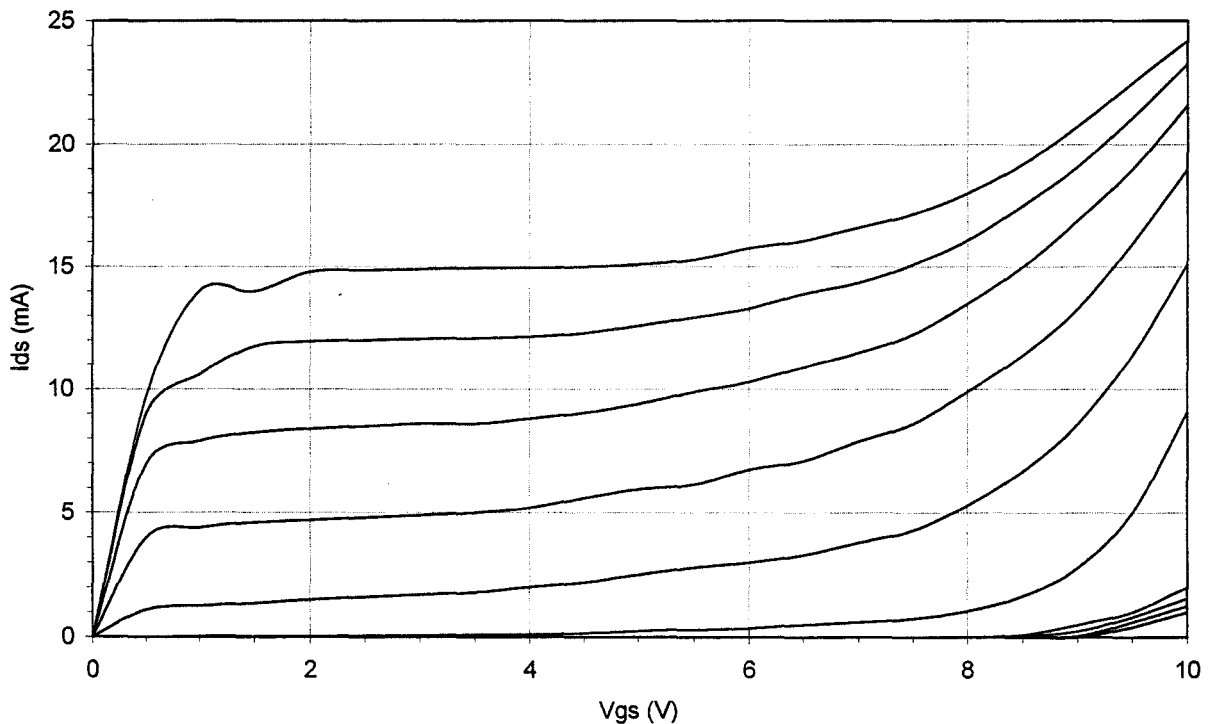


Fig. 8.25 : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un transistor n-HIGFET de géométrie  $2*50*1\mu\text{m}$  sur super-réseau avec interface  $\text{AlAs} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ .

Sur tous les transistors en technologie  $1\mu\text{m}$  que nous avons caractérisés, nous avons obtenu une tension de claquage entre 9 et 10V (fig. 8.25), ce qui est à comparer avec des valeurs de 6V concernant les réalisations technologiques de transistors sur

l'hétérostructure  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ . Ce phénomène de claquage correspond à un courant d'ionisation ou d'avalanche entre la grille et la zone d'accès dopée du côté du drain, comme le montre la photographie 8.26. Cette caractéristique témoigne donc d'une jonction grille-drain de meilleure qualité en termes de tension de claquage dans le cas d'un super-réseau. Ceci rend intéressant le transistor n-HIGFET à super-réseau  $\text{AlAs}:\text{GaAs}$  (3:1) non seulement pour une utilisation dans des systèmes en logique complémentaire, mais surtout pour des applications de puissance.

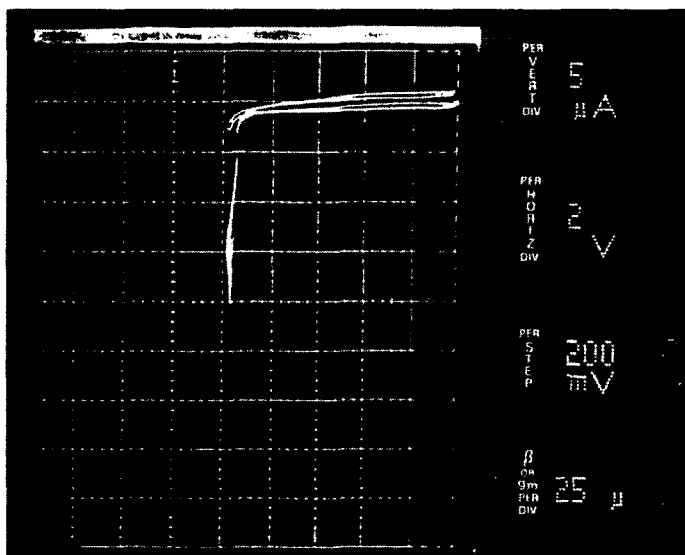


Fig. 8.26 : Photographie de la jonction grille-drain en inverse pour un transistor n-HIGFET sur super-réseau avec interface  $\text{AlAs} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ .

#### VIII.4 Conclusions

Sur un matériau pseudomorphique à taux d'aluminium de 75%, les diverses réalisations technologiques de transistors HIGFETs de type n ont abouti à des résultats comparables à ceux des opérations sur  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ . Nous avons notamment obtenu des transconductances de 410 mS/mm et des fréquences de coupure du gain en courant de 25 GHz pour des composants de longueur de grille de  $1\mu\text{m}$ . Nous avons également obtenu une fréquence de coupure du MAG de 39 GHz en technologie  $1\mu\text{m}$ , en ayant recours à une métallisation de grille plus épaisse. Ceci ouvre la voie du transistor HIGFET pour une utilisation dans des applications mixtes ou analogiques hyperfréquences.

Par ailleurs, la tension de seuil d'un transistor n-HIGFET à taux d'aluminium de 75% vaut typiquement 0.55V. Nous avons mesuré la dispersion des tensions de seuil sur un wafer complet, et nous avons obtenu un écart-type de 35 mV sur une plaquette de deux pouces, et une excellente valeur de 17 mV sur un carré de  $16\text{mm}^2$ . Nous

avons également cherché à évaluer la dispersion des performances des composants, et nous avons mesuré un rendement de fabrication de 96%, ce qui est excellent compte tenu des caractéristiques de notre équipement de photolithographie. En conséquence, il est tout à fait clair que le HIGFET peut être utilisé dans des circuits à haut niveau d'intégration.

Nous avons mesuré un "Turn-on voltage" valant 1.3V sur la plupart des transistors. Cependant nous avons mis en évidence une croissance modérée du courant de grille avec la tension de grille au-delà de 1.3V, étant donné la contribution dominante de l'effet tunnel à travers la couche d'AlGaAs. Nous avons par ailleurs obtenu un régime de fonctionnement sous le seuil de très bonne qualité, avec des pentes  $S$  entre 70 et 80 mV/dec et un courant "stand-by" valant 30 pA/ $\mu\text{m}$ . Nous avons étudié la nature de ce courant "off" et nous avons fait apparaître la part prédominante du courant grille-drain de surface. Au vu des caractéristiques statiques précitées, nous concluons que le transistor n-HIGFET semble particulièrement bien adapté à des applications de logique complémentaire rapide, et surtout à faible consommation.

Les résultats caractéristiques des transistors n-HIGFETs en basses températures ont démontré un meilleur fonctionnement, et en particulier une amélioration très significative du régime sous le seuil et du courant de grille. Le composant est donc parfaitement qualifié pour des applications de type cryogéniques embarquées.

Par ailleurs, les caractéristiques statiques varient de l'ordre de 10% entre 50°C et +50°C. Ceci démontre clairement la stabilité des performances électriques dans cette gamme de température et permet d'envisager l'utilisation du transistor n-HIGFET pour des applications commerciales.

En outre, les composants en technologie 0.5 $\mu\text{m}$  que nous avons réalisés présentent un très bon régime sous le seuil, avec des caractéristiques très voisines des n-HIGFETs de longueur de grille 1 $\mu\text{m}$ , et particulièrement un courant "stand-by" de 70 pA/ $\mu\text{m}$ . Nous considérons donc que la filière transistor n-HIGFET 0.5 $\mu\text{m}$  est au point.

En revanche, les transistors n-HIGFETs de longueur de grille 0.3 $\mu\text{m}$  présentent une dégradation du régime de fonctionnement sous le seuil due à l'apparition d'effets de canal court. La conduction parasite source-drain observée provient d'une diffusion des implants de silicium sous le canal des transistors. L'achèvement d'une technologie n-HIGFET 0.3 $\mu\text{m}$  fiable et performante passe par la réduction de cette diffusion, et donc par l'optimisation du recuit thermique rapide, et par l'incorporation d'espaces "sidewalls" au procédé technologique.



## BIBLIOGRAPHIE DU CHAPITRE VIII

- [1] J. K. Abrokwah, J. H. Huang, W. Ooms, C. Shurboff, J. A. Hallmark, R. Lucero, J. Gilbert, B. Bernhardt and G. Hansell, "A manufacturable complementary GaAs process", GaAs IC Symposium Tech. Dig., pp. 127-130, 1993.
- [2] P. P. Ruden, A. I. Akinwande, D. Narum and J. Nohava, "High performance complementary logic based on GaAs/InGaAs/AlGaAs HIGFETs", IEDM Dig. of Tech. Papers, 1989.
- [3] J. H. Baek, M. Shur, R. R. Daniels, D. K. Arch, J. K. Abrokwah and O. N. Tufté, "New mechanism of gate current in Heterostructure Insulated Gate Field-Effect Transistors", IEEE Electron Device Lett., vol. EDL-7(9), pp. 519-521, 1986.
- [4] T. J. Cunningham, E. R. Fossum and S. M. Baier, "An analysis of the temperature dependence of the gate current in complementary Heterojunction Field-Effect Transistors", IEEE Electron Device Lett., vol. EDL-13(12), pp. 645-647, 1992.
- [5] J. K. Abrokwah, J. H. Huang, W. Ooms, C. Shurboff, J. A. Hallmark, R. Lucero, J. Gilbert, B. Bernhardt and G. Hansell, "A manufacturable complementary GaAs process", GaAs IC Symposium Tech. Dig., pp. 127-130, 1993.
- [6] T. J. Cunningham, R. C. Gee, E. R. Fossum and S. M. Baier, "Deep cryogenic noise and electrical characterization of the complementary Heterojunction Field-Effect Transistor (CHFET)", IEEE Trans. Electron Devices, vol. ED-41(6), pp. 888-893, 1994.
- [7] M. S. Shur, D. K. Arch, R. R. Daniels and J. K. Abrokwah, "New negative resistance regime of Heterostructure Insulated Gate Transistor (HIGFET) operation", IEEE Electron Device Lett., vol. EDL-7(2), pp. 78-80, 1986.



## CHAPITRE IX

### REALISATION ET CARACTERISATION DE TRANSISTORS p-HIGFETS PSEUDOMORPHIQUES SUR HETEROSTRUCTURE $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$

Ayant démontré l'intérêt que représente le transistor n-HIGFET pour la logique complémentaire, non seulement en termes de fréquence de fonctionnement, mais aussi en termes de consommation statique, il fallait réaliser des transistors HIGFETs de type p sur la même structure pseudomorphique à taux d'aluminium de 75%. L'obtention de bonnes performances est d'autant plus importante que c'est justement le transistor de type p qui limite le temps de commutation d'une porte logique complémentaire à transistors HIGFETs.

Pour réaliser les transistors HIGFETs de type p, nous disposons de contacts ohmiques en Au/Mn de très bonne qualité sur la structure composée d' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  [1]. Nous avons par ailleurs mené à bien une importante étude de l'implantation de béryllium rapportée précédemment (cf. Ch. V). Nous avons conclu, entre autres, qu'une co-implantation Be+P avec des énergies de 20 et de 100 keV permettait d'obtenir un profil de dopage adéquat pour notre structure [2]. Il est également apparu que pour cette énergie d'implantation du phosphore, le recuit thermique rapide ne dégradait en rien l'allure en Gaussienne du profil de béryllium.

Afin d'évaluer au mieux les potentialités du transistor HIGFET de type p dans une structure complémentaire, nous avons réalisé plusieurs séries de composants et effectué pour chacune d'entre elles une campagne de caractérisation analogue à celle du transistor n-HIGFET. Ainsi nous allons détailler :

- les résultats concernant des caractéristiques statiques des composants, et en particulier du courant de drain, de la transconductance et de la tension de seuil.
- une caractérisation approfondie des sources de consommation statique pour des portes logiques complémentaires, c'est-à-dire le régime de fonctionnement sous le seuil et le courant de grille.
- la validation de la technologie des transistors de type p par l'estimation du rendement de fabrication et de la dispersion des tensions de seuil.

- l'étude de l'évolution des performances en température en vue de la qualification des composants pour des applications embarquées.

## IX.1 Réalisation de p-HIGFETs à simple implantation de Be+P (opération 10225)

### IX.1.1 Objectifs

La structure épitaxiale des couches sur lesquelles nous avons réalisé des transistors de type p est analogue à celle employée dans le chapitre précédent. Elle consiste en la croissance par épitaxie par jets moléculaires d'un buffer de GaAs (2000 Å), suivie d'une couche d' $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  (150 Å) servant de canal, d'une couche d' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  de 250 Å, et enfin d'une couche fine de GaAs de 30 Å (cap), toutes étant non intentionnellement dopées (fig. 9.1). Le buffer contient le même plan de dopage de silicium de  $3.3 \times 10^{11} \text{ cm}^{-2}$  situé sous le canal.

3nm	GaAs
25nm	$\text{Al}_{0.75}\text{GaAs}$
15nm	$\text{In}_{0.20}\text{GaAs}$
.....	Si
0.2 µm	GaAs
	GaAs S.I.

Fig. 9.1 : Structure épitaxiale à taux d'aluminium de 75% et à cap fin de GaAs.

Etant donné qu'aucun transistor p-HIGFET n'avait jamais été réellement réalisé à l'IEMN avant ce travail, l'objectif de cette première opération technologique n'était pas d'atteindre de bonnes performances, mais simplement de démontrer la faisabilité de transistors de type p, compte tenu de l'hétérostructure et du procédé auto-aligné employés. Pour cela, nous avons décidé de simplifier notre procédé technologique, en ne réalisant qu'une seule co-implantation de Be+P afin de doper les zones d'accès et le matériau sous les contacts de source et de drain. Nous avons choisi une dose de  $5 \times 10^{14} \text{ cm}^{-2}$  permettant d'obtenir des contacts ohmiques corrects. Les points clés du procédé sont les suivants :

- Formation de la grille par pulvérisation de 4400 Å de WSi et attaque GIR au  $\text{CF}_4 + 10\% \text{O}_2$ .

- Co-implantation de Be+P à travers une couche fine de  $\text{Si}_3\text{N}_4$  avec des énergies respectives de 20 et 100 keV et une dose de  $5 \times 10^{14} \text{cm}^{-2}$ .

- Encapsulation par une couche de  $\text{Si}_3\text{N}_4$  et recuit à  $850^\circ\text{C}$  durant 10s.

- Evaporation de contacts ohmiques Au/Mn/Ni/Au et recuit à  $410^\circ\text{C}$  durant 30s.

- Métallisations et passivation.

### IX.1.2 Caractérisations statiques

Les figures 9.2 et 9.3 représentent des caractéristiques courant-tension de transistors p-HIGFETs de longueur de grille  $1\mu\text{m}$ . Les transistors de type p présentent une transconductance maximale de 40 mS/mm environ, ce qui représente une valeur assez proche des meilleures transconductances publiées par Motorola et Honeywell (cf. Ch. II). Cependant nous avons mesuré des courants "stand-by" et des courants de grille extrêmement importants.

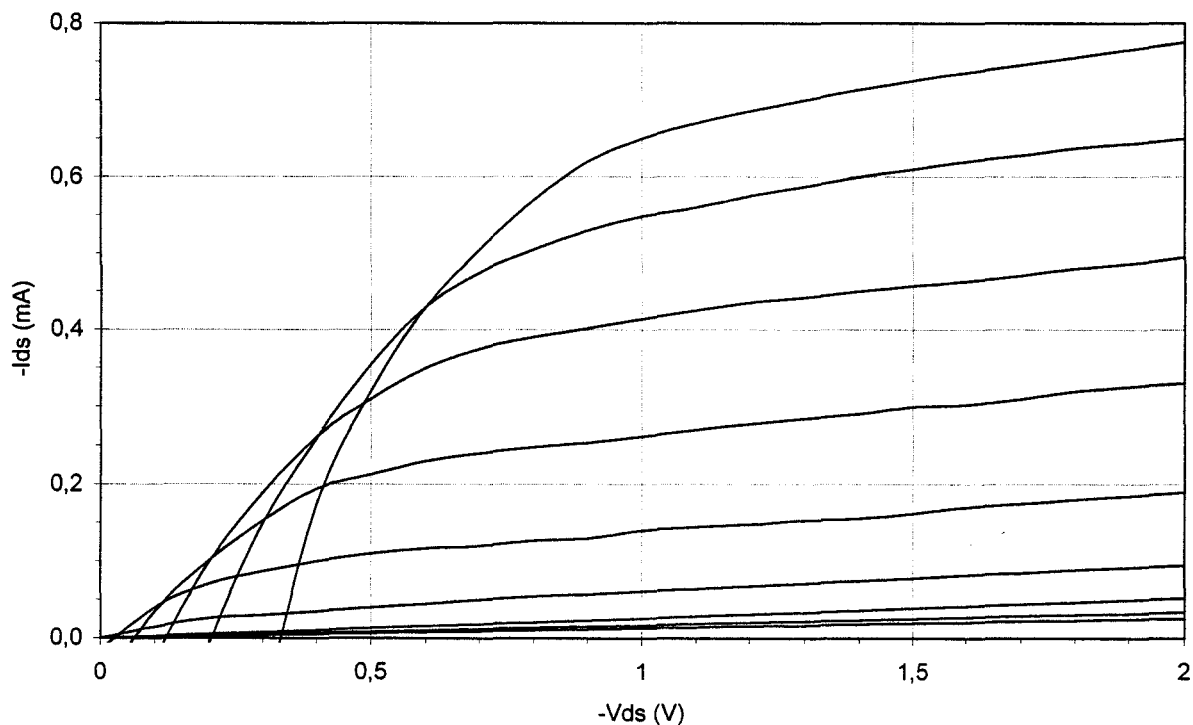


Fig. 9.2 : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un p-HIGFET  $2*10*1\mu\text{m}$  pour  $V_{gs}$  de 0 à  $-1.6\text{V}$  par pas de  $0.2\text{V}$  (op. 10225).

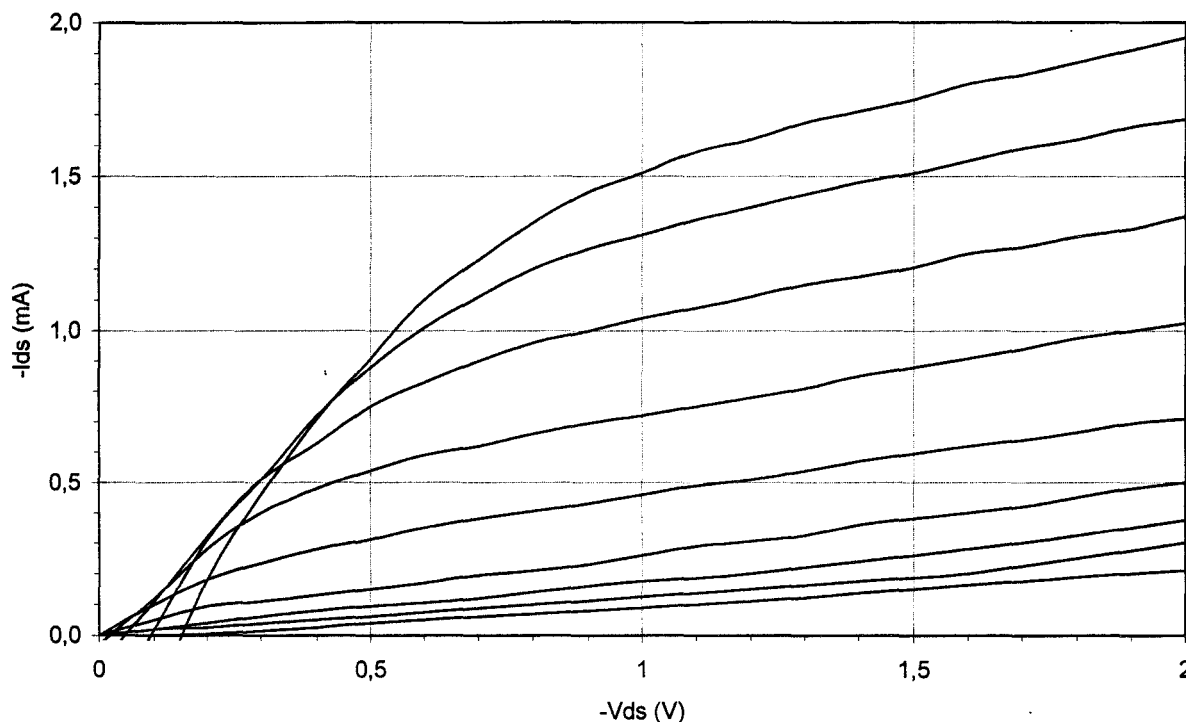


Fig. 9.3 : Caractéristique  $I_{ds}$ - $V_{ds}$  d'un p-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  pour  $V_{gs}$  de 0 à  $-1.6\text{V}$  par pas de  $0.2\text{V}$  (op. 10225).

Tous les composants ont un très mauvais pincement, avec des courants "stand-by" ou  $I_{off}$  (mesuré à  $V_{DS}=1.5\text{V}$  et  $V_{GS}=0$ ) de l'ordre de  $100\mu\text{A}$ , selon la largeur de grille. Sur la plupart des transistors, le rapport  $I_{on}/I_{off}$  est environ égal à 10 et s'accompagne d'un régime sous le seuil de très mauvaise qualité, avec une pente  $S$  très souvent supérieure à  $1000\text{ mV/dec}$ . Cette conduction parasite rend imprécise la mesure de la tension de seuil que nous estimons à  $-0.35\text{ V}$ .

Il est clair que pour cette opération technologique, l'apparition d'effets de canal court se produit pour des longueurs de grille de l'ordre de  $1\mu\text{m}$ . Les transistors dont la longueur de grille est inférieure à  $0.7\mu\text{m}$  ne font apparaître aucune commande de charges dans le canal par la grille. Comme dans le cas des transistors HIGFETs de type n, ces effets de canal court proviennent d'une diffusion des implants de béryllium à la fois latérale et dans le buffer de GaAs. Même si l'implantation de phosphore contribue à éliminer une diffusion en profondeur des implants de béryllium durant le recuit thermique, le profil en Gaussienne de béryllium est de toute évidence assez étalé en profondeur pour une implantation à  $20\text{ keV}$  (cf. ch. V). Ces effets de canal court sont d'autant importants que le dopage de type p au bord de la grille est très élevé, ce qui semble le cas pour la dose de  $5 \times 10^{14}\text{ cm}^{-2}$  que nous avons choisie.

Le courant de grille des transistors p-HIGFETs réalisés est extrêmement élevé, et nous avons mesuré un "Turn-on voltage", correspondant à un courant de grille de  $1\mu\text{A}/\mu\text{m}^2$ , valant  $0.8\text{ V}$ . En ce qui concerne la nature de ce courant de grille très important, nous pouvons envisager une conduction de surface par la couche d'AlGaAs

dopée p+, ou un transfert de porteurs du canal d'InGaAs à travers la couche d'AlGaAs soit par effet thermoionique, soit par effet tunnel. Or ces deux derniers mécanismes sont liés à la masse des porteurs. Etant donné que d'une part, la masse des trous est plus élevée que celle des électrons [3], et que d'autre part la discontinuité des bandes de valence à l'interface  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$  est plus élevée que celle des bandes de conduction et vaut 0.55 eV, un courant de grille par transfert de trous est forcément inférieur à un courant par transfert d'électrons à tensions de polarisation  $V_G - V_{th}$  identiques. Etant donné que les transistors n-HIGFETs présentaient un courant de grille beaucoup plus faible que les composants de type p de cette opération 10225, il est clair qu'un transfert de trous ne peut être à l'origine d'un tel courant de grille.

En revanche, nous pouvons considérer un courant de grille de surface dû à la diffusion latérale des implants de béryllium sous la grille. Schuermeyer [4] a montré que dans le cas du transistor HIGFET de type p, le courant de grille provenait en grande partie d'une conduction de surface par la couche d'AlGaAs dopée lorsque la tension de grille ne dépassait pas 1.5 V. Cette importante conduction de surface peut s'expliquer par un niveau de dopage très élevé sous la grille.

### IX.1.3 Nécessité d'une double implantation

Afin d'atténuer les effets de canal court et de réduire considérablement le courant de grille, il est indispensable de diminuer le niveau de dopage de la zone d'accès p+ au ras de la grille, tout en conservant un dopage élevé sous les contacts ohmiques afin de garantir de bonnes résistances de contact.

La solution à ce problème est de recourir à une double implantation de Be+P de la même façon que pour les transistors de type n :

- une première implantation à faible dose pour doper les zones d'accès de source et de drain jusqu'au bord de la grille des transistors, induisant une faible valeur du dopage pouvant déborder sous celle-ci.

- une seconde implantation à dose élevée pour doper fortement le matériau semiconducteur sous les contacts ohmiques et obtenir ainsi de faibles résistances de contact. Le masque des contacts ohmiques servira une deuxième fois pour réaliser cette implantation.

## **IX.2 Réalisation de p-HIGFETs à double implantation de Be+P (opération 10249)**

### IX.2.1 Choix des paramètres des implantations

La réalisation des transistors dans cette opération technologique s'est faite par une double implantation de Be+P. La figure 9.4 montre les doses et énergies employées :

- au ras de la grille, un dopage  $p^+$  est obtenu en utilisant une dose de  $10^{14} \text{ cm}^{-2}$  et des énergies de 15 et de 80 keV pour le béryllium et le phosphore respectivement. Le choix de cette dose permet de doper une zone d'accès avec une résistance carrée de  $740 \Omega/\square$ . Nous avons privilégié l'obtention d'un faible courant de grille de surface et d'un faible courant "stand-by" à la valeur des résistances d'accès. En effet, pour une transconductance maximale de l'ordre de 60 mS/mm, la résistance de source ne causerait qu'une dégradation minimum de la transconductance (ordre de 10%).

- sous les contacts ohmiques, à  $2 \mu\text{m}$  de la grille, nous avons employé une dose de  $10^{15} \text{ cm}^{-2}$  et des énergies de 20 et 100 keV. Cette dose élevée permet d'obtenir un matériau fortement dopé et par conséquent de faibles résistances de contact.

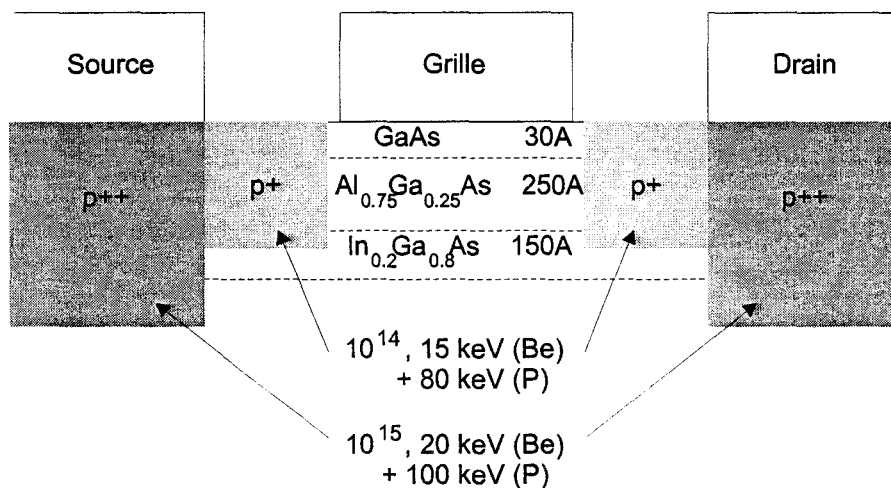


Fig. 9.4 : Double implantation de Be+P pour la réalisation d'un transistor p-HIGFET.

### IX.2.2 Caractérisation en technologie $1 \mu\text{m}$

Les figures 9.5 et 9.6 représentent les caractéristiques  $I_{\text{DS}}-V_{\text{DS}}$  (a), ainsi que l'évolution de la transconductance et du courant de drain en saturation en fonction de  $V_{\text{GS}}$  (b) de deux transistors HIGFETs de type p, de largeur  $2 \times 10 \mu\text{m}$  et  $2 \times 20 \mu\text{m}$ , réalisés à l'aide de cette double implantation.

Le tableau 9.1 résume les caractéristiques statiques de ces deux transistors.



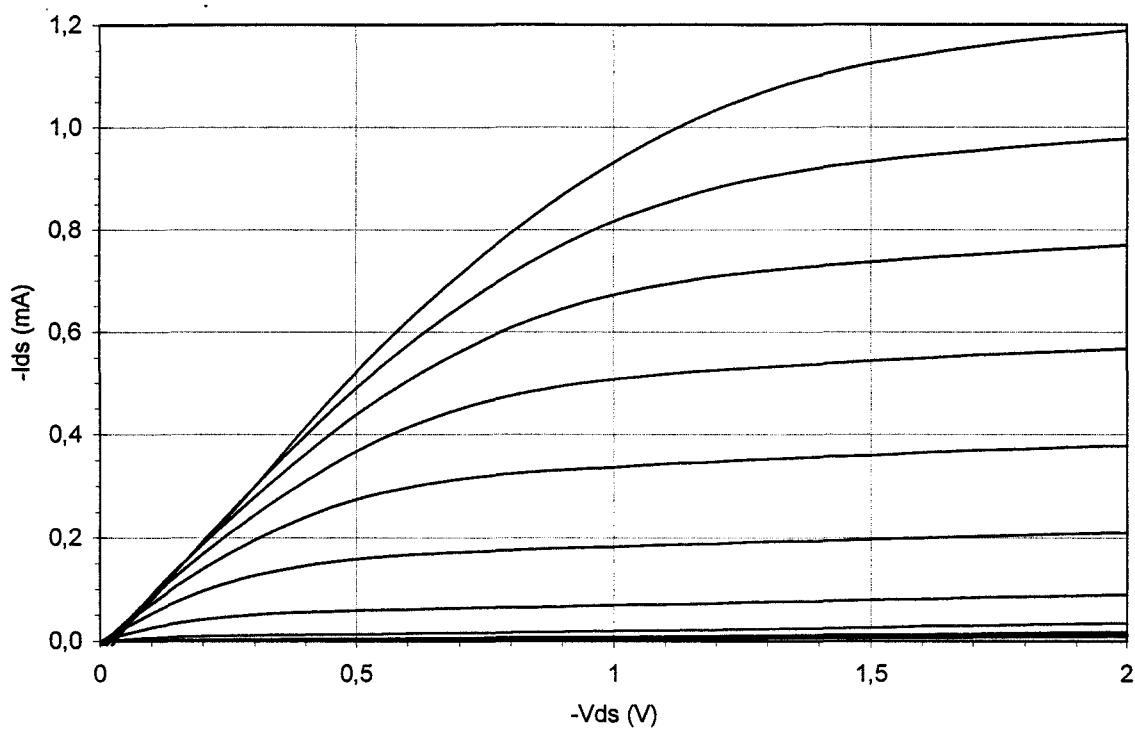


Fig. 9.5.a : Caractéristique  $I_{ds}$ - $V_{ds}$  pour  $V_{gs}$  variant de 0 à -2V par pas de 0.2V d'un p-HIGFET  $2 \times 10 \times 1 \mu\text{m}$  (op. 10249).

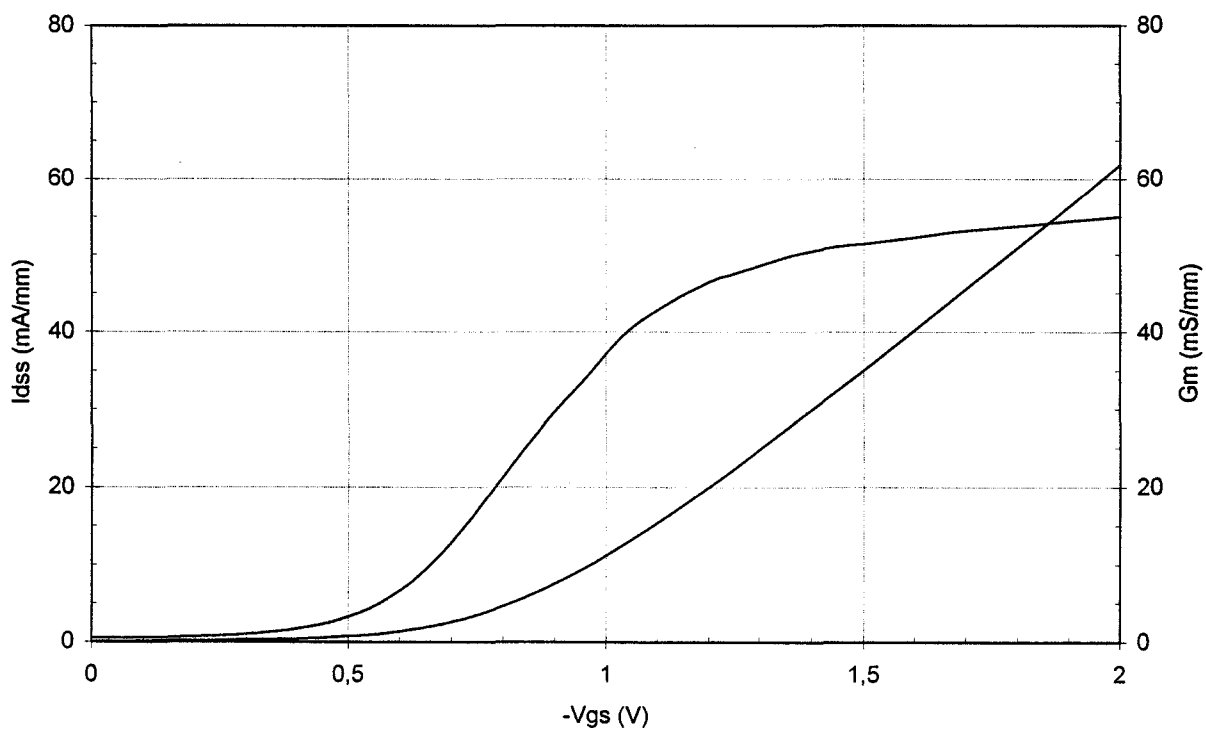


Fig. 9.5.b : Evolution de la transconductance et du courant de saturation d'un p-HIGFET  $2 \times 10 \times 1 \mu\text{m}$  (op. 10249).

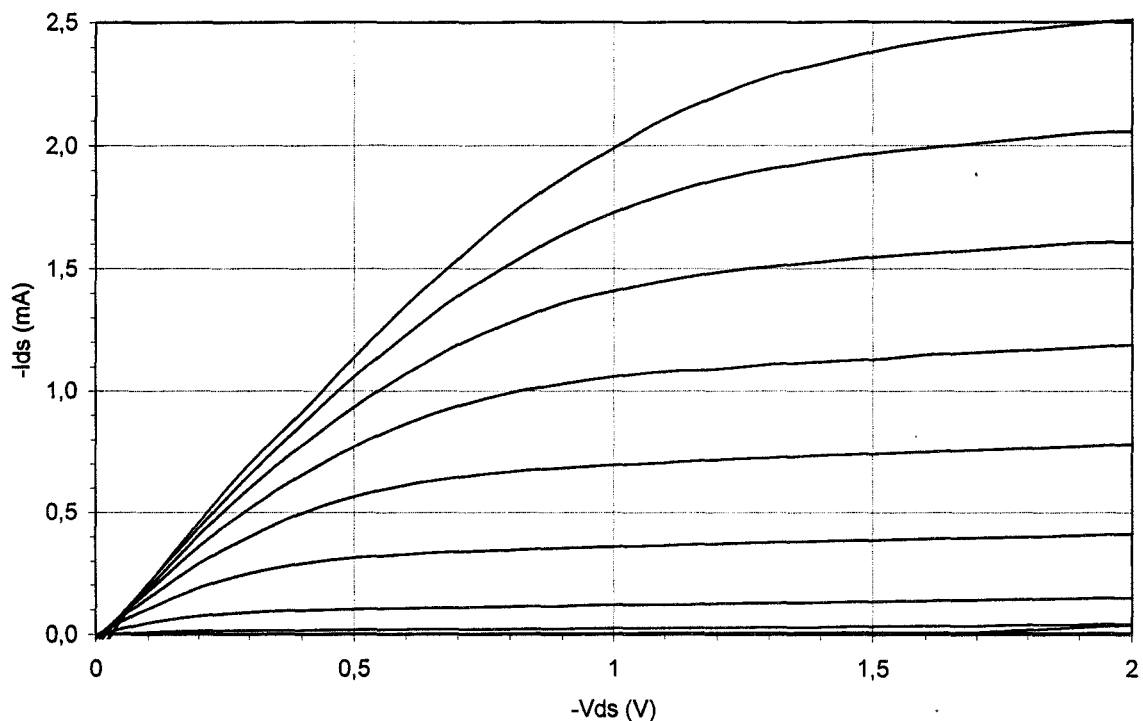


Fig. 9.6.a : Caractéristique  $I_{ds}$ - $V_{ds}$  pour  $V_{gs}$  variant de 0 à -2V par pas de 0.2V d'un p-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  (op. 10249).

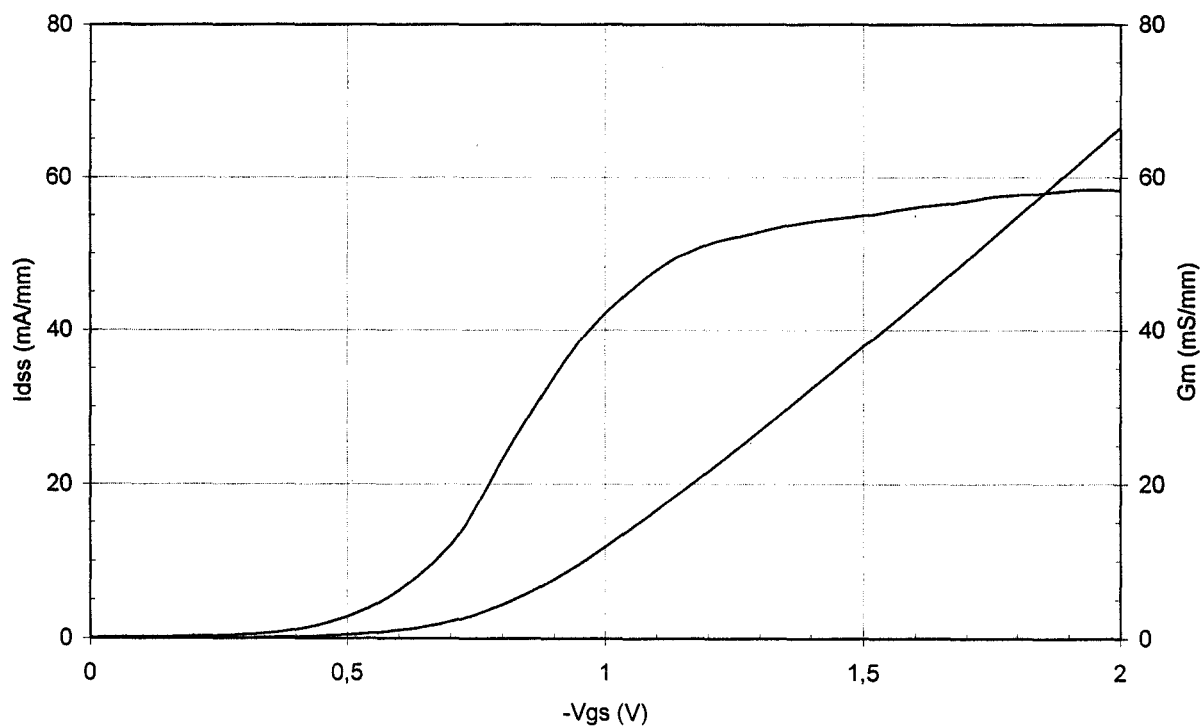


Fig. 9.6.b : Evolution de la transconductance et du courant de saturation d'un p-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  (op. 10249).

Longueur ( $\mu\text{m}$ )	1	1
Opération	10249	10249
Largeur ( $\mu\text{m}$ )	2*10	2*20
$I_{ds}$ (mA/mm) ( $V_g = -2\text{V}$ )	59	63
$G_m$ maximum (mS/mm)	55	59
$G_d$ statique (mS/mm)	2.6	2.7
$G_m / G_d$	19	19
$V_{ton}$ (V) ( $-1 \mu\text{A}/\mu\text{m}^2$ )	-1.7	-1.8
$S$ (mV/dec)	400	310
$I_{off}$ (A) ( $V_{ds} = -1.5 \text{V}$ )	$6\mu$	$2.5\mu$
$I_{on} / I_{off}$	200	1000
$K$ (mA/V <sup>2</sup> mm)	41	54
$V_{th}$ (V)	-0.43	-0.51

Tableau 8.1 : Caractéristiques de p-HIGFETs en technologie  $1\mu\text{m}$ .

Au vu des courbes et du tableau précédent, il apparaît clairement que les composants ont des performances bien supérieures à ceux de l'opération 10225, en termes de pincement et surtout de courant de grille. Ceci démontre l'avantage d'un dopage peu élevé au ras de la grille, et donc d'une double implantation afin d'obtenir de faibles courants parasites.

Nous avons obtenu des transconductances comprises entre 55 et 60 mS/mm, un peu plus élevées que pour l'opération 10225, et correspondant à une meilleure commande des charges dans le canal d'InGaAs. La transconductance ne décroît qu'au-delà de 2 V. Etant donné que la chute de transconductance correspond à un transfert de porteurs vers la grille dans le cas du HIGFET, ceci ne peut s'expliquer que par la faible valeur du courant de grille par transfert très limité pour des tensions inférieures à 2V. En effet nous avons relevé un courant de grille très faible pour des tensions de grille inférieures à 2V et un "Turn-on voltage" valant 1.8 V.

En outre, la meilleure qualité du pincement des composants a permis de mesurer la tension de seuil précisément, qui vaut environ -0.45 V. Cette valeur implique que la hauteur de barrière WSi / semiconducteur pour les trous vaille 0.75 eV, et diffère donc fortement de la hauteur de barrière pour les électrons (1.2 eV).

La figure 9.7 représente une mesure de  $C(V)$  d'un transistor de type p de longueur de grille  $1\mu\text{m}$ . Nous avons ainsi déterminé une densité de charges dans le canal de  $2.3 \times 10^{12} \text{cm}^{-2}$ , et donc analogue aux valeurs que nous avons obtenues pour les transistors HIGFETs de type n. Par ailleurs, nous avons mesuré la mobilité des porteurs par magnétorésistance. La mobilité à température ambiante vaut environ  $800 \text{cm}^2/\text{Vs}$ , ce qui est en accord avec des valeurs déjà publiées dans la littérature [5].

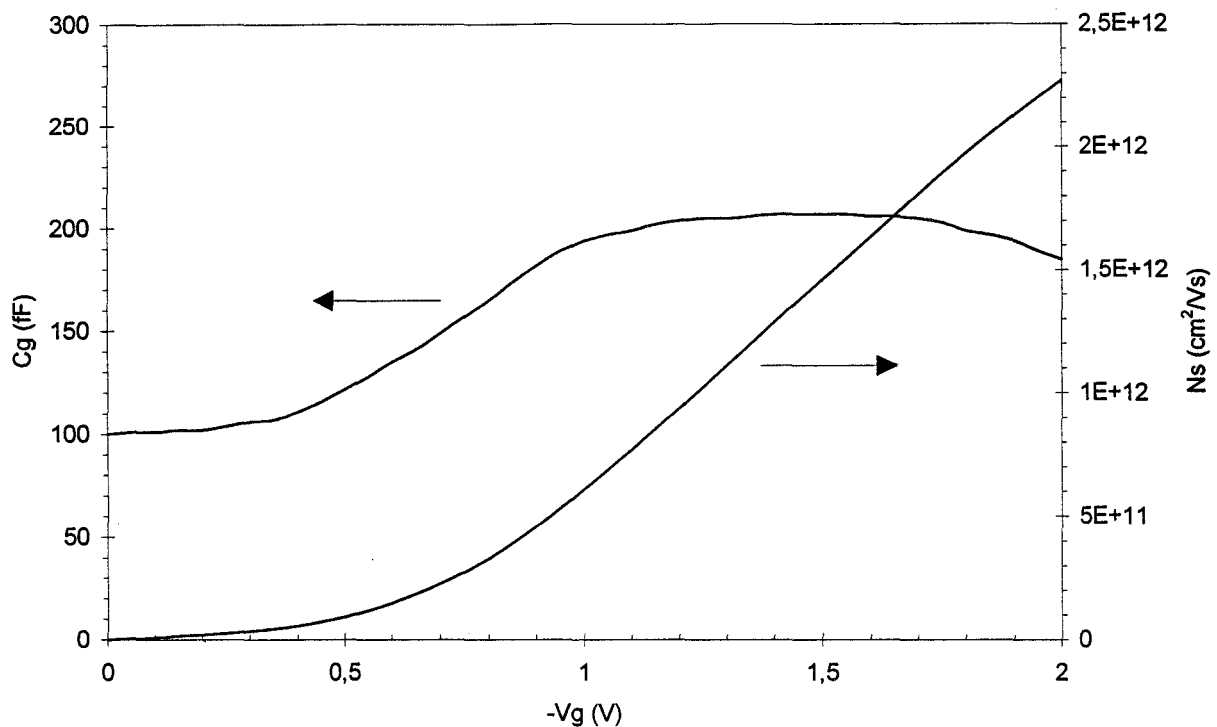


Fig. 9.7 : Mesure de la capacité de grille et de la densité de charges dans le canal d'un transistor p-HIGFET de géométrie  $2*20*1\mu m$  (op. 10249).

### IX.2.3 Evolution des performances en température

Afin d'évaluer la sensibilité en fonction de la température des performances des transistors de type p, nous avons caractérisé un composant de 20K à 100°C d'une façon similaire au transistor HIGFET de type n. La figure 9.8 représente l'évolution de la transconductance maximale et du courant de saturation à une tension  $V_{GS} = 1.5V$  pour un transistor p-HIGFET de géométrie  $2*25*1 \mu m$ . Les courbes font clairement apparaître une dépendance en température plus importante que pour les transistors HIGFETs de type n. En effet, le courant de drain à 1.5V varie relativement de 16% entre +50°C et -50°C, soit deux fois plus que pour le transistor n-HIGFET caractérisé dans le chapitre VIII. Même si la transconductance vaut 50 mS/mm à 50°C, la figure 9.8 semble indiquer une dégradation progressive des performances pour des températures supérieures.

En revanche, le composant présente des performances très supérieures à des températures cryogéniques, et notamment une transconductance maximale de 85 mS/mm à 20K. Les figures 9.9.a et 9.9.b montrent une comparaison des caractéristiques  $I_{ds}-V_{ds}$ , de la transconductance maximale et du courant de drain en saturation de ce composant à température ambiante et à 20K. Elles reflètent des performances très différentes, à la fois en courant de drain et en transconductance, mais aussi en qualité de pincement et en facteur de transconductance ( $200 \text{ mA/V}^2\text{mm}$  à 20K). Ces différences proviennent d'une augmentation très importante de la mobilité des porteurs dans le canal à basse température : par magnétorésistance à 77K, nous

avons mesuré une mobilité de  $1600 \text{ cm}^2/\text{Vs}$ , soit une valeur deux fois plus élevée qu'à la température ambiante. La différence de comportement des transistors de type n et p en ce qui concerne l'influence de la température nécessiterait une étude beaucoup plus complète qui sort du cadre de ce travail.

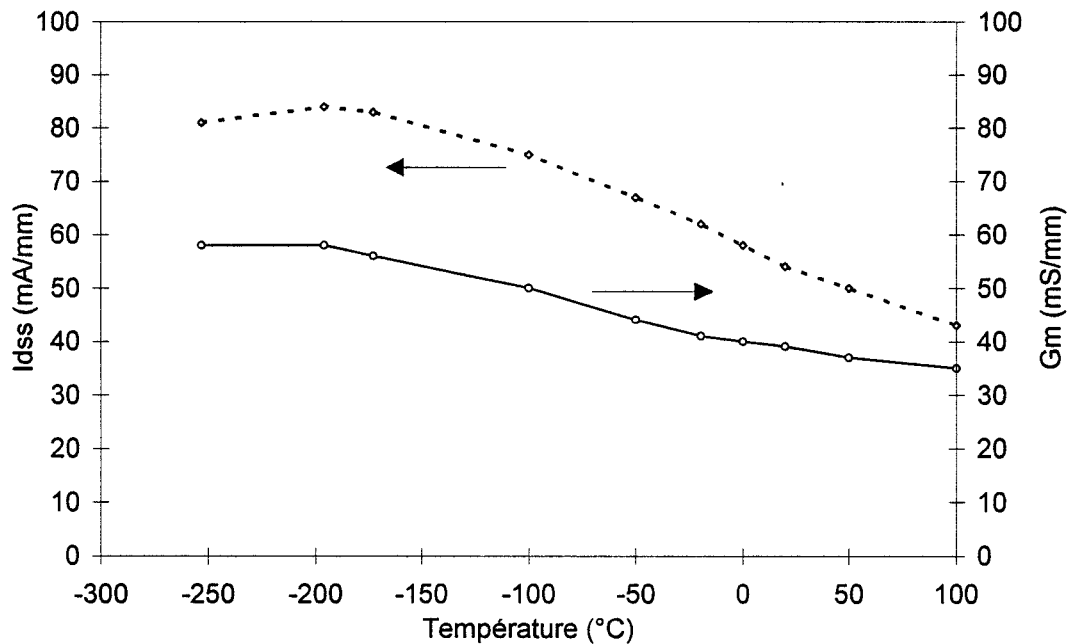


Fig. 9.8 : Evolution de la transconductance maximale et du courant de saturation à 1.5V d'un transistor p-HIGFET  $2 \times 25 \times 1 \mu\text{m}$  en fonction de la température.

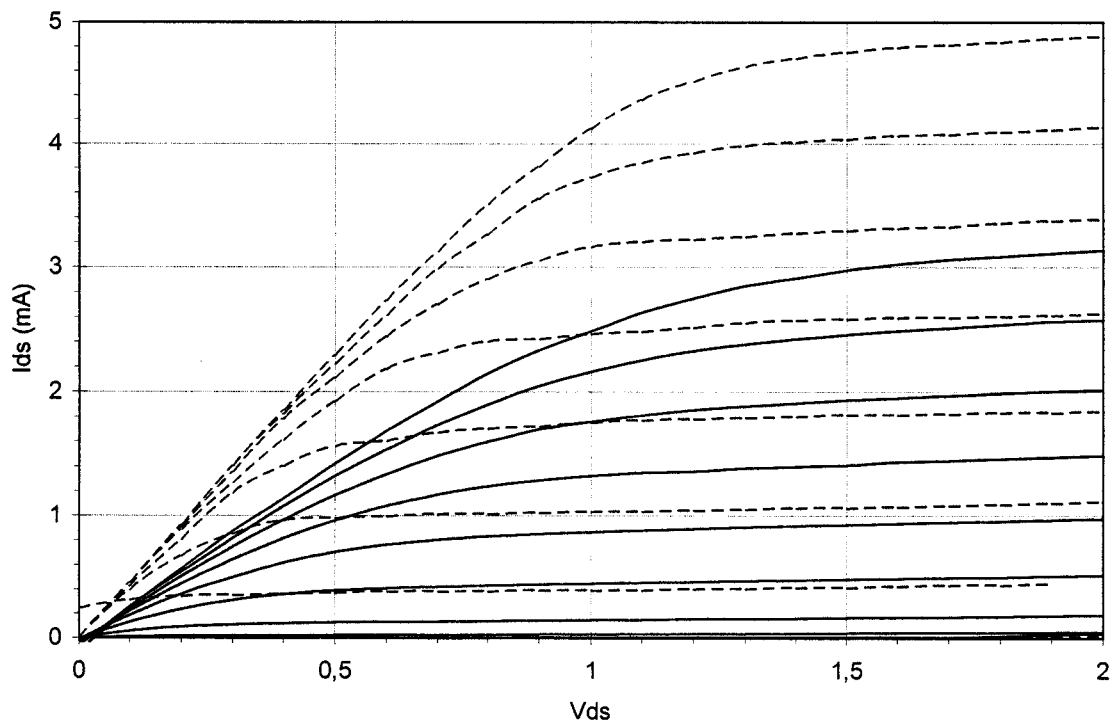


Fig. 9.9.a : Caractéristique  $I_{ds}$ - $V_{ds}$  pour  $V_{gs}$  variant de 0 à -2V par pas de 0.2V d'un p-HIGFET  $2 \times 25 \times 1 \mu\text{m}$  à 273K (lignes continues) et à 20K (lignes pointillées) (op. 10249).

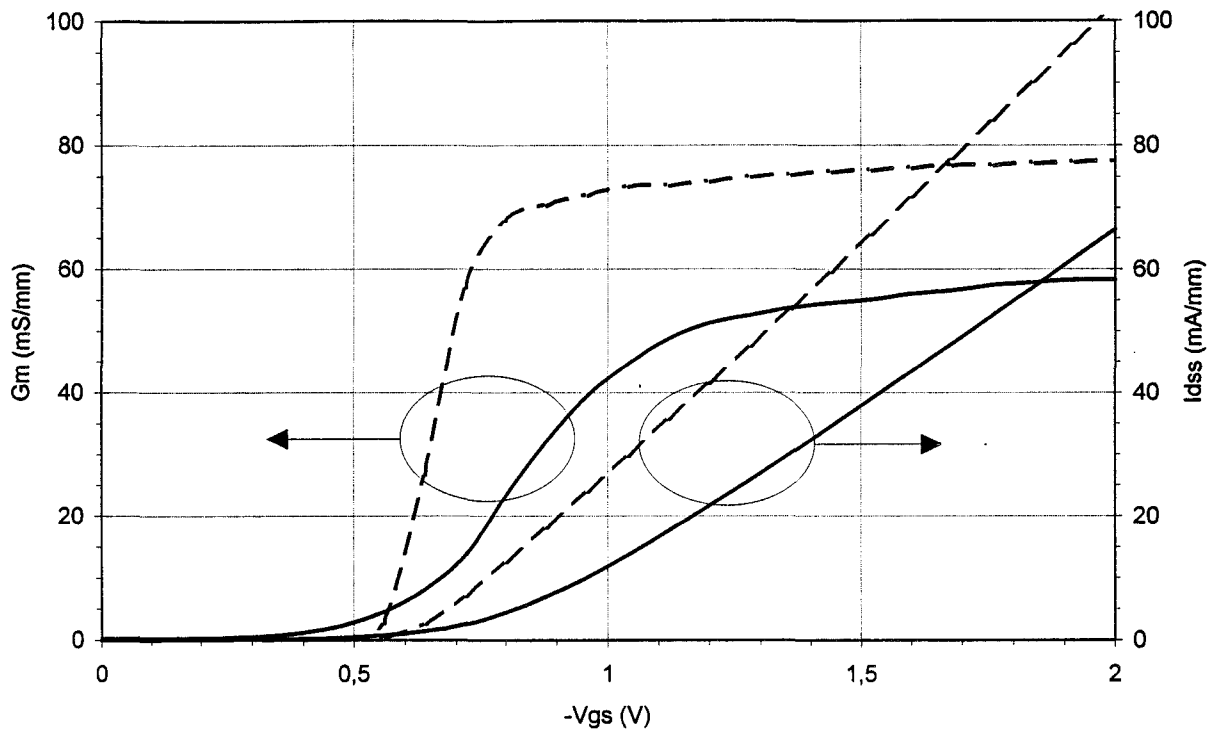


Fig. 9.9.b : Evolution de la transconductance et du courant de saturation d'un p-HIGFET  $2 \times 25 \times 1 \mu\text{m}$  à 273K (ligne continue) et à 20K (ligne pointillée) (op. 10249).

#### IX.2.4 Caractérisation du régime de fonctionnement sous le seuil et des effets de canal court

Les composants réalisés présentent une qualité de pincement très supérieure à ceux de l'opération technologique précédente. En effet, une caractérisation du régime de fonctionnement sous le seuil des transistors a permis de mettre en évidence une conduction dans le buffer en mesurant des courants "stand-by" de  $2.5 \mu\text{A}$  pour un transistor de largeur de grille  $2 \times 20 \mu\text{m}$ , correspondant à une valeur normalisée de  $60 \text{nA}/\mu\text{m}$ , et des pentes  $S$  entre 300 et 400 mV/dec en technologie  $1 \mu\text{m}$ . Nous avons obtenu des rapports  $I_{on}/I_{off}$  valant 1000.

La figure 9.10 représente une comparaison des régimes sous le seuil de deux transistors de géométrie identiques ( $L=1 \mu\text{m}$  et  $W=2 \times 20 \mu\text{m}$ ) et réalisés lors des opérations technologiques 10225 (à une seule implantation de  $5 \times 10^{14} \text{cm}^{-2}$ ) et 10249 (à double implantation). Ces courbes démontrent une nette amélioration des performances sous le seuil. L'utilisation d'une double implantation (et ainsi d'une dopage au bord de la grille cinq fois plus faible) a permis d'obtenir une diminution de la pente  $S$  d'un facteur trois et une réduction du courant "stand-by" de deux décades environ.

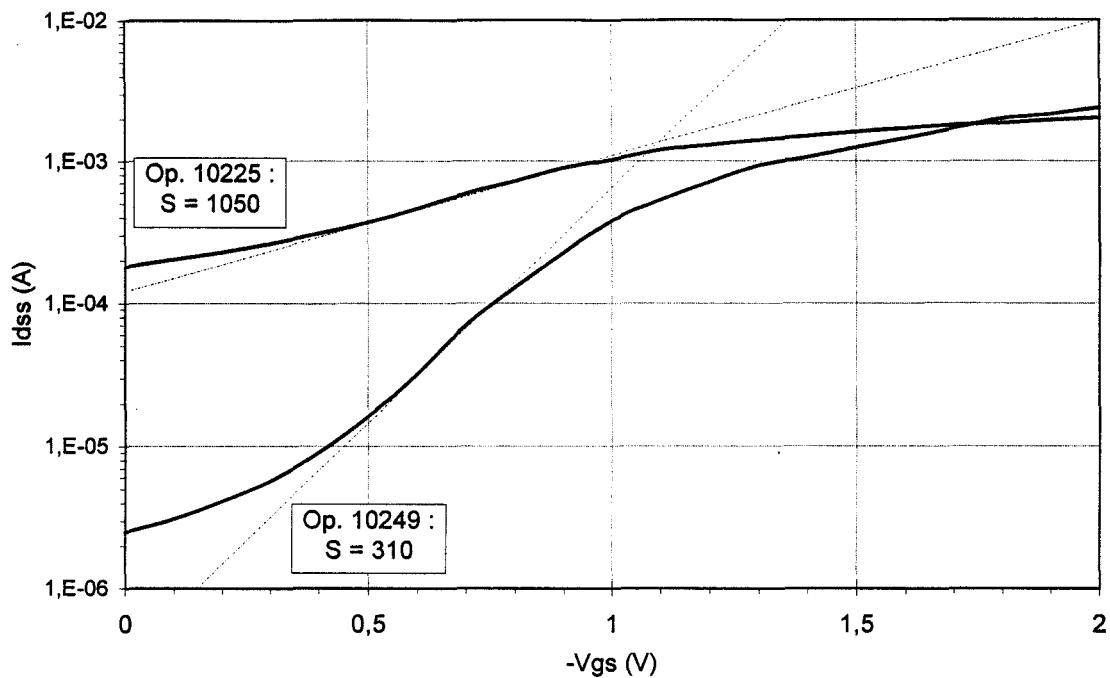


Fig. 9.10 : Comparaison des régimes sous le seuil à  $V_{ds}=1.5V$  pour des transistors de géométrie  $2*20*1\mu m$  pour les opérations 10225 (simple implantation) et 10249 (double implantation).

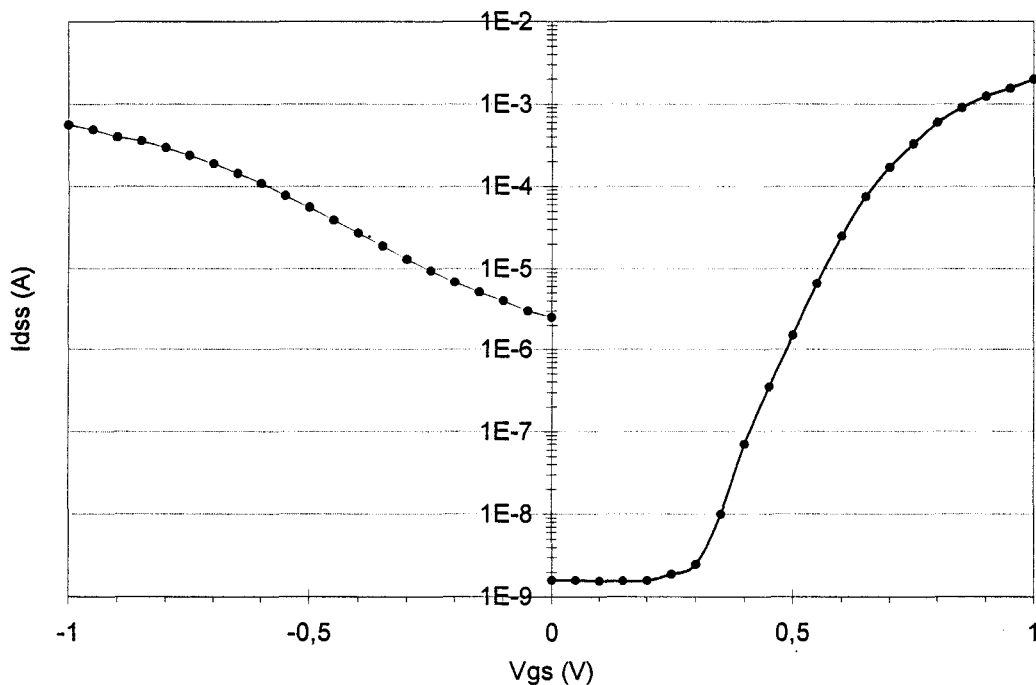


Fig. 9.11 : Comparaison du régime de fonctionnement sous le seuil à  $V_{ds}=1.5V$  de transistors HIGFETs de type n et de type p ( $L=1\mu m$  et  $W=2*20\mu m$ ).

Malgré cette amélioration, les performances en termes de régime sous le seuil des transistors p-HIGFETs sont très en retrait par rapport aux transistors de type n,

comme le montre la figure 9.11 qui représente une comparaison entre deux transistors complémentaires en technologie  $1\mu\text{m}$  et de largeurs de grille identiques, réalisés dans les opérations 10224 et 10249. Les raisons de cet écart sont d'une part, un contrôle moins efficace de la diffusion des implants de béryllium vers le substrat lors du recuit thermique rapide, même si une co-implantation de phosphore contribue fortement à réduire cette diffusion, et d'autre part une diffusion latérale de toute évidence beaucoup plus importante que dans le cas d'une implantation de silicium. Il apparaît en effet que la qualité du régime de fonctionnement sous le seuil d'un transistor p-HIGFET  $1\mu\text{m}$  équivaut à celle d'un transistor de type n de longueur de grille  $0.3\mu\text{m}$ .

Nous avons cherché à mettre davantage en évidence les effets de canal court dans le cas des transistors HIGFETs de type p en mesurant les tensions de seuil de composants ayant des longueurs de grille différentes. La figure 9.12 présente ainsi la dépendance de la tension de seuil des p-HIGFETs en fonction de la longueur de grille entre  $0.2\mu\text{m}$  et  $1.7\mu\text{m}$ . Par souci de comparaison nous avons reproduit la courbe analogue pour des transistors de type n rapportée dans le chapitre VIII.

Si les effets de canal court apparaissent dès  $1\mu\text{m}$  dans le cas du transistor de type p en causant une conduction parasite sous le canal, en revanche, la dégradation de la tension de seuil est plus progressive et devient extrêmement importante pour une longueur de grille semi-micronique ( $+0.8\text{ V}$ ). Le transistor de longueur de grille  $0.4\mu\text{m}$  présente une caractéristique de court-circuit entre source et drain. Ceci renforce l'intérêt d'un dopage peu élevé au ras de la grille, consécutif à une double implantation, car les transistors de l'opération 10225 (simple implantation) étaient équivalents à des courts circuits pour des longueurs de grille de l'ordre de  $0.7\mu\text{m}$ .

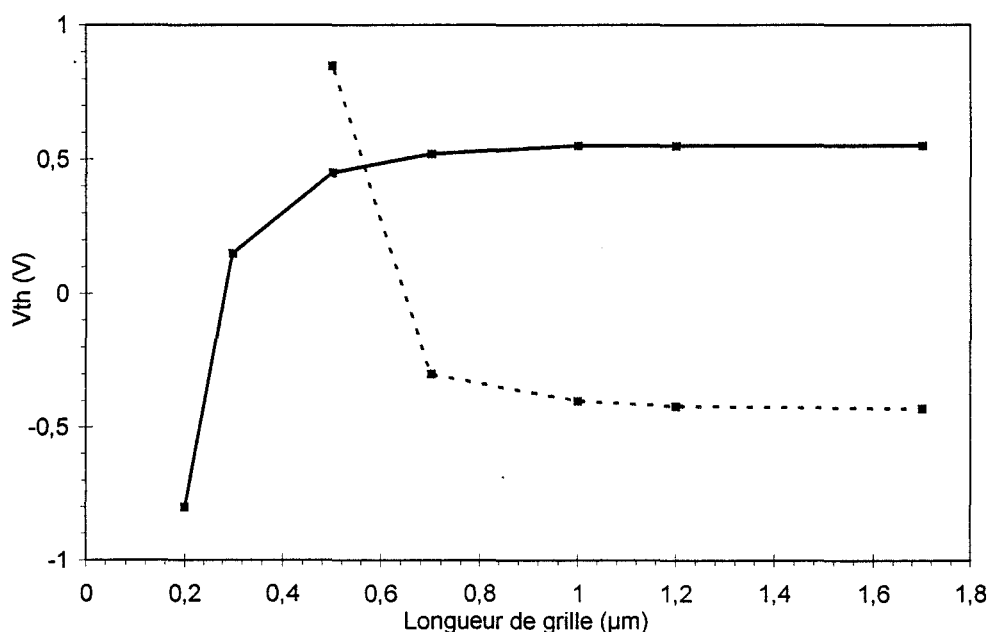


Fig. 9.12 : Dépendance de la tension de seuil de transistors HIGFETs de type n (ligne continue) et de type p (ligne pointillée) en fonction de la longueur de grille.



En revanche, il est manifeste que les effets de canal court sont plus importants que pour les transistors n-HIGFETs et que la dégradation de la tension de seuil des composants de type p a lieu pour des longueurs de grilles supérieures. Ceci s'explique tout d'abord par la dose de béryllium de  $10^{14} \text{ cm}^{-2}$  au bord de la grille qui est plus élevée que la dose de silicium de  $4 \times 10^{13} \text{ cm}^{-2}$  servant à doper la zone d'accès des transistors de type n. De plus, nous avons estimé à 500Å environ la diffusion latérale des implants de silicium sous la grille (cf. Ch. VIII). Les transistors de type p de longueur de grille 0.4µm étant équivalents à des courts circuits, les implants de béryllium diffusent latéralement de 2000Å environ, soit quatre fois plus que pour une implantation de silicium.

### IX.3 Réalisation de p-HIGFETs sur un matériau à cap de GaAs épais (opération 10250)

#### IX.3.1 Motivation

Nous avons réalisé le même type de transistors p-HIGFETs, mais cette fois sur un matériau semiconducteur à cap de GaAs épais. En effet, la couche de  $\text{Si}_3\text{N}_4$  pour les opérations technologiques 10225 et 10249 avait craqué lors du recuit thermique rapide en raison d'une épaisseur insuffisante du cap de GaAs (30Å). Ainsi nous avons voulu évaluer la fiabilité de notre technologie de transistors de type p sur un matériau garantissant la réussite complète du recuit. Nous avons pour cela réalisé des transistors p-HIGFETs sur un matériau pseudomorphique  $\text{GaAs} / \text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  avec un cap de GaAs de 100Å d'épaisseur. Nous avons employé le même procédé technologique que précédemment, et notamment les co-implantations Be + P suivantes :

- pour doper les zones d'accès, énergies de 15 et 80 keV et dose de  $10^{14} \text{ cm}^{-2}$
- sous les contacts ohmiques, énergies de 20 et 100 keV et dose de  $10^{15} \text{ cm}^{-2}$

#### IX.3.2 Caractérisations statiques des transistors

Les 9.13, 9.14 et 9.15 représentent la caractéristique  $I_{ds}$ - $V_{ds}$  (a), ainsi que l'évolution du courant de drain en saturation et de la transconductance en fonction de  $V_{gs}$  (b) pour des transistors HIGFETs de type p de géométrie  $2 \times 10 \times 1 \mu\text{m}$ ,  $2 \times 20 \times 1 \mu\text{m}$  et  $2 \times 25 \times 0.5 \mu\text{m}$  respectivement.

Les tableaux 8.2 et 8.3 résument les caractéristiques statiques des composants en technologie 1µm pour toutes les largeurs de grille du masque FTFET, ainsi que celles de transistors de longueur de grille 0.5µm, 1.2µm et 1.7µm.

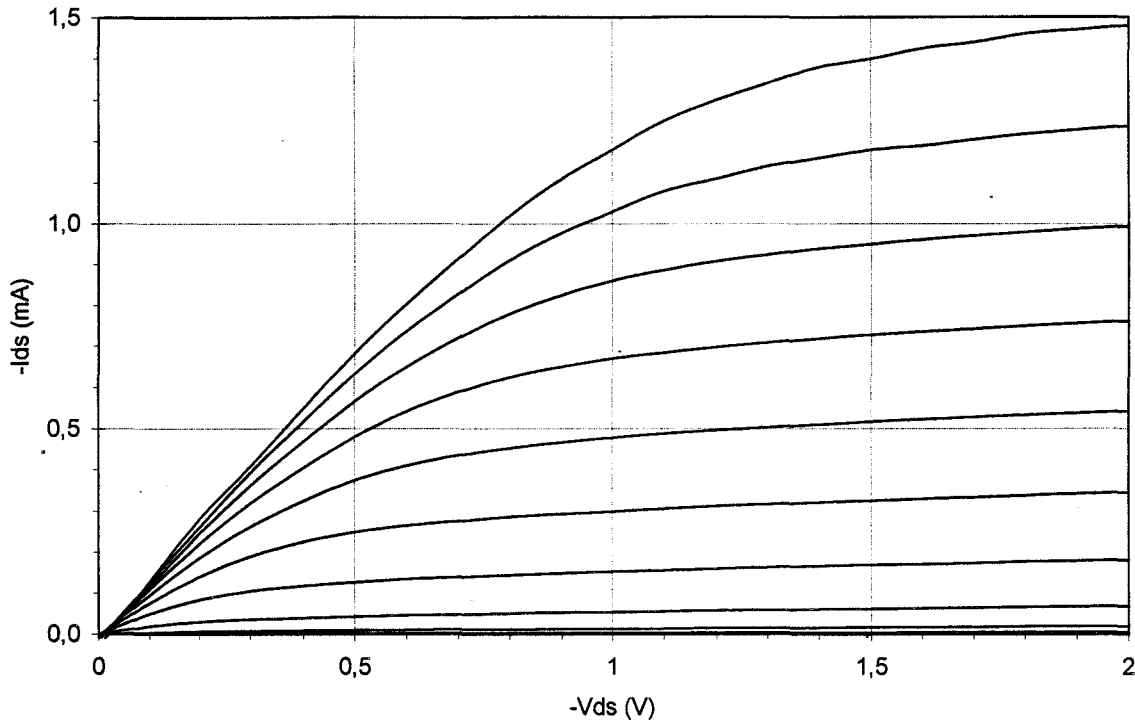


Fig. 9.13.a : Caractéristique  $I_{ds}$ - $V_{ds}$  pour  $V_{gs}$  variant de 0 à -2V par pas de 0.2V d'un p-HIGFET  $2 \times 10 \times 1 \mu\text{m}$  (op. 10250).

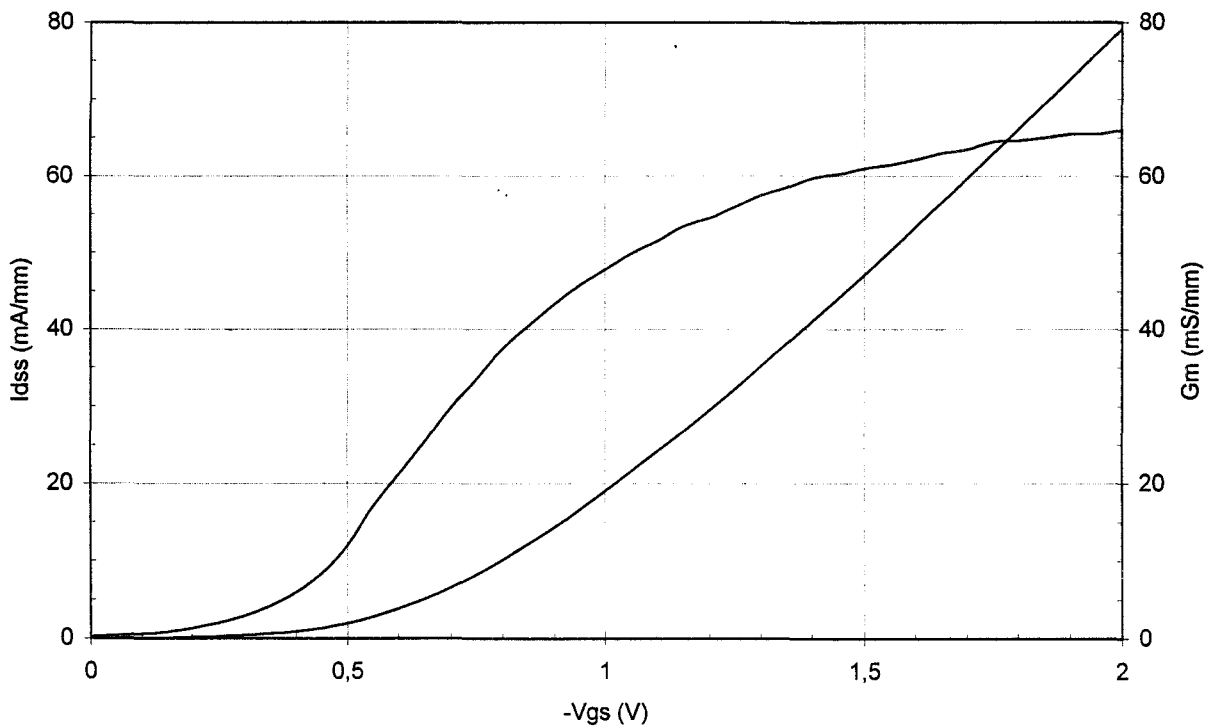


Fig. 9.13.b : Evolution de la transconductance et du courant de saturation d'un p-HIGFET  $2 \times 10 \times 1 \mu\text{m}$  (op. 10250).

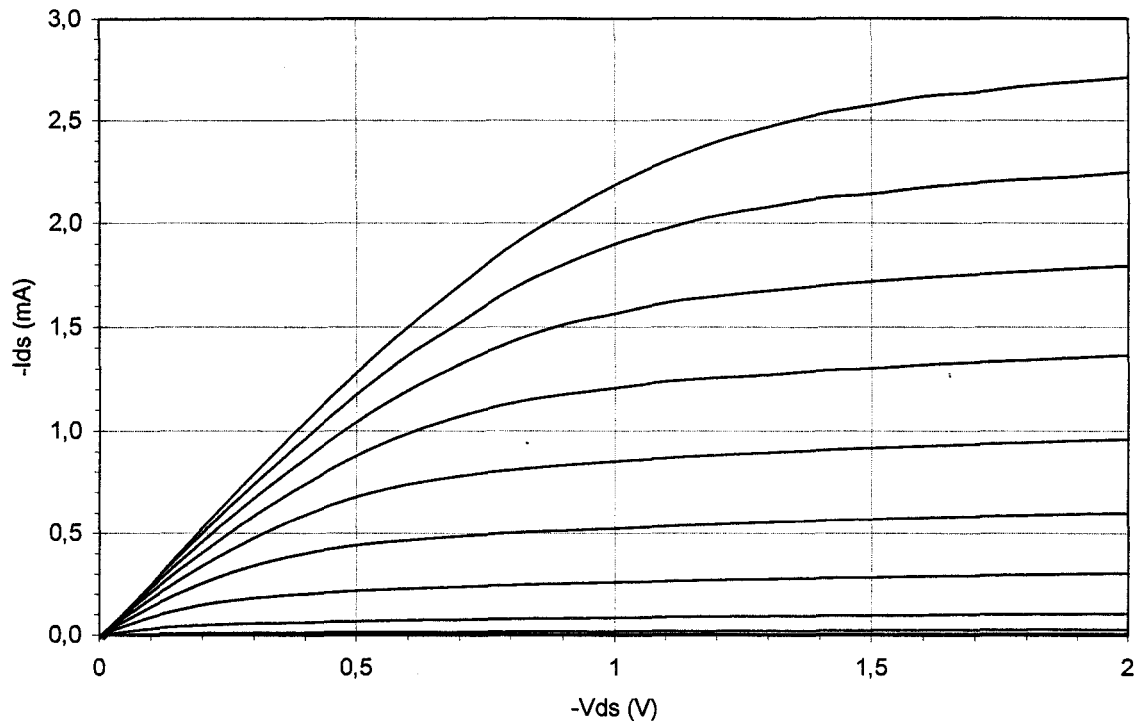


Fig. 9.14.a : Caractéristique  $I_{ds}$ - $V_{ds}$  pour  $V_{gs}$  variant de 0 à -2V par pas de 0.2V d'un p-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  (op. 10250).

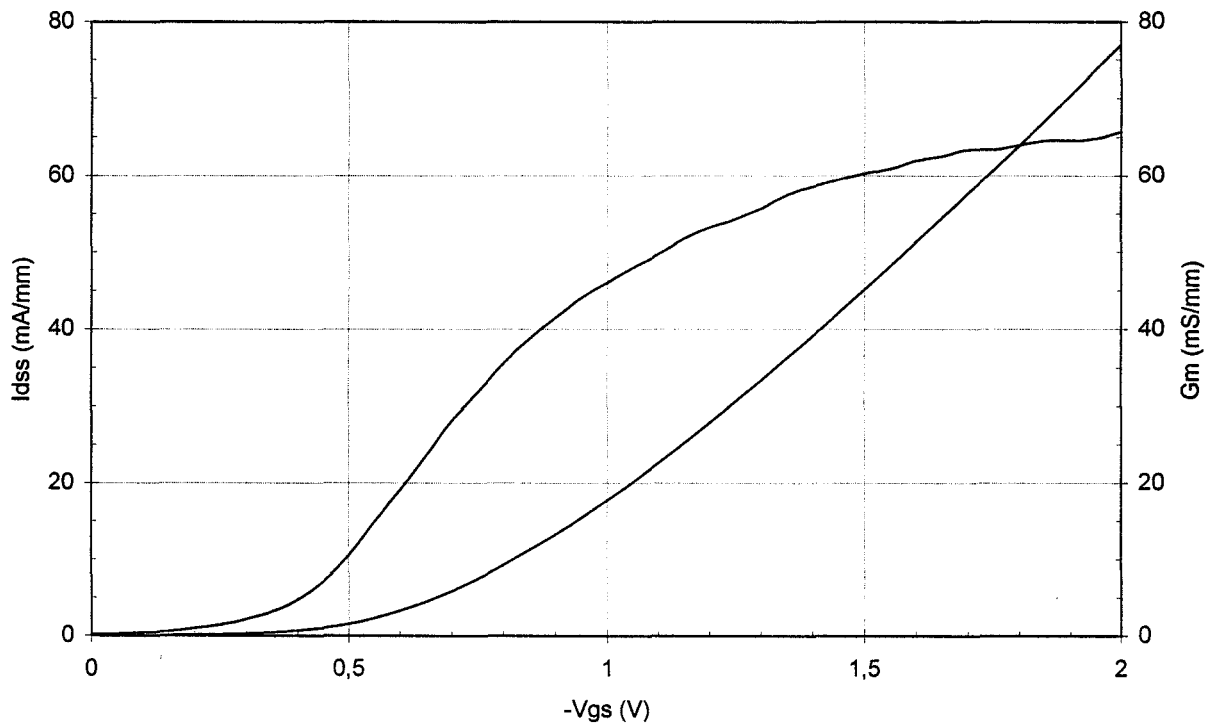


Fig. 9.14.b : Evolution de la transconductance et du courant de saturation d'un p-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  (op. 10250).

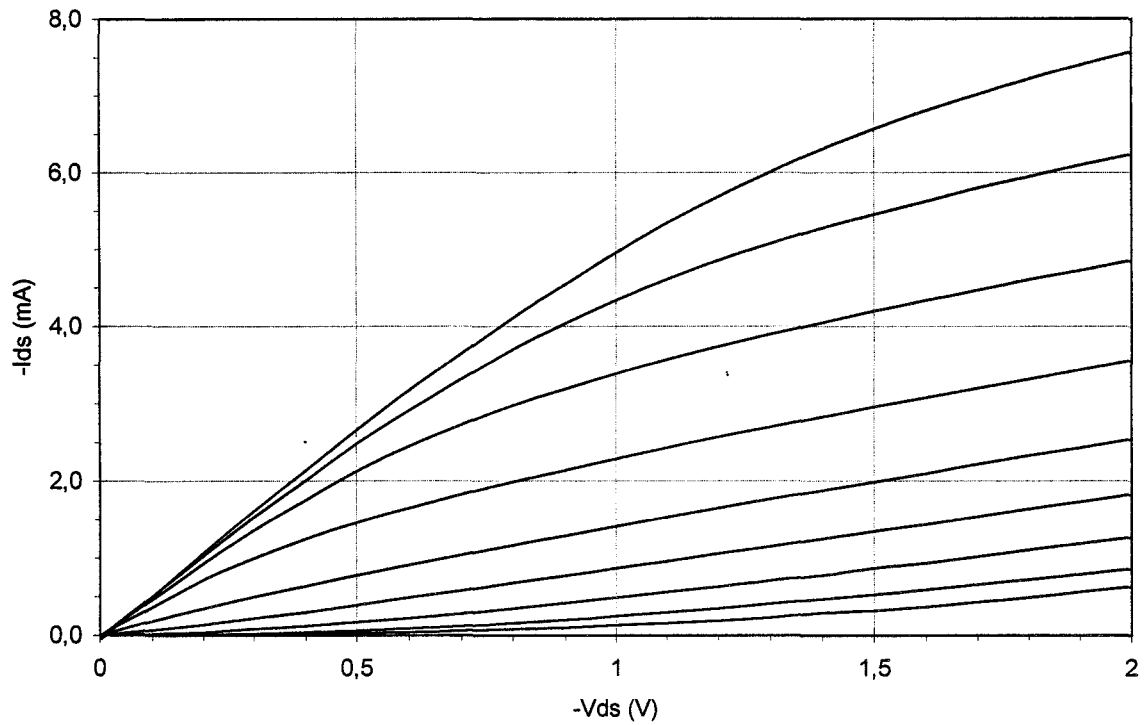


Fig. 9.15.a : Caractéristique  $I_{dS}$ - $V_{dS}$  pour  $V_{gs}$  variant de 1.2 à -2V par pas de 0.4V d'un p-HIGFET  $2*25*0.5\mu\text{m}$  (op. 10250).

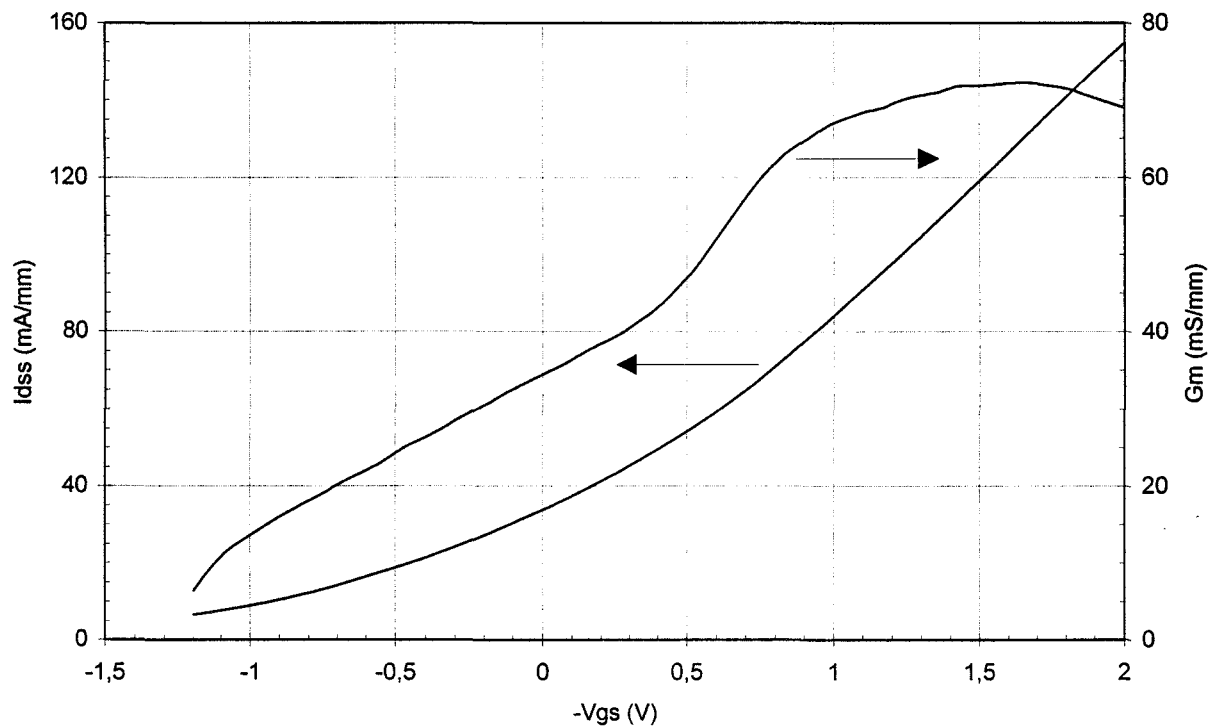


Fig. 9.15.b : Evolution de la transconductance et du courant de saturation d'un p-HIGFET  $2*25*0.5\mu\text{m}$  (op. 10250).

Longueur ( $\mu\text{m}$ )	1	1	1	1
Largeur ( $\mu\text{m}$ )	2*10	2*20	2*25	2*50
$I_{ds}$ (mA/mm) ( $V_g = -2\text{V}$ )	77	80	77	79
$G_m$ max (mS/mm)	66	66	64	64
$G_d$ (mS/mm)	3.4	3.4	3.2	3.7
$G_m / G_d$ statique	20	20	20	17
$V_{ton}$ (V) ( $-1 \mu\text{A}/\mu\text{m}^2$ )	-2.3	-2.2	-2.2	-2.3
$S$ (mV/dec)	300	310	320	310
$I_{off}$ ( $\mu\text{A}$ ) ( $V_{ds} = -1.5 \text{V}$ )	1.2	2.6	3.4	5.5
$I_{on} / I_{off}$	1200	1200	1100	1400
$K$ ( $\text{mA}/\text{V}^2\text{mm}$ )	44	47	44	45
$V_{th}$ (V)	-0.35	-0.37	-0.35	-0.36
$N_s$ ( $\text{cm}^{-2}$ )	2.6	2.4	/	2.2
$F_t$ (GHz)	/	3.5	/	5
$F_{max}$ (GHz)	/	6	/	5

 Tableau 8.2 : Caractéristiques de p-HIGFETs en technologie  $1\mu\text{m}$  (op. 10250).

Longueur ( $\mu\text{m}$ )	0.5	1.2	1.7
Largeur ( $\mu\text{m}$ )	2*25	1*100	1*100
$I_{ds}$ (mA/mm) ( $V_g = -2\text{V}$ )	166	59	49
$G_m$ max (mS/mm)	72	53	43
$G_d$ (mS/mm)	21	1.6	1.2
$G_m / G_d$ statique	3.5	33	37
$V_{ton}$ (V) ( $-1 \mu\text{A}/\mu\text{m}^2$ )	-2.3	-2.4	-2.3
$S$ (mV/dec)	/	220	210
$I_{off}$ ( $\mu\text{A}$ ) ( $V_{ds} = -1.5 \text{V}$ )	/	3	1.7
$I_{on} / I_{off}$	/	2000	2900
$K$ ( $\text{mA}/\text{V}^2\text{mm}$ )	28	40	25
$V_{th}$ (V)	0.8	-0.43	-0.45
$F_t$ (GHz)	6	/	/
$F_{max}$ (GHz)	1.5	/	/

Tableau 8.3 : Caractéristiques de transistors p-HIGFETs (op. 10250).

Les tableaux ci-dessus montrent que d'excellents résultats ont été obtenus dans le cadre de la réalisation de transistors de type p sur un matériau à cap de GaAs épais. Nous avons ainsi mesuré des transconductances maximales de 66 mS/mm pour des

transistors en technologie  $1\mu\text{m}$ , ce qui représentent une valeur supérieure aux résultats publiés par Motorola [6]. De plus, la transconductance atteint son maximum pour une large excursion de tensions de grille, ce qui n'est pas le cas du transistor de type n en raison du courant de grille.

En caractérisant les différents gains en hyperfréquences des transistors  $1\mu\text{m}$ , nous avons obtenu des valeurs de fréquences de coupure  $F_t$  et  $F_{\text{max}}$  de 5 GHz, comparables aux résultats de Motorola et Honeywell pour des technologies  $0.7\mu\text{m}$ .

Cependant, les figures 9.15.a et 9.15.b correspondant à un transistor p-HIGFET de longueur de grille  $0.5\mu\text{m}$  montrent comment les effets de canal court se traduisent directement par un mauvais pincement, une tension de seuil positive, un étalement de la transconductance et une augmentation importante de la conductance de drain. Au contraire, nous avons obtenu, pour des transistors de la matrice test ayant une longueur de grille supérieure au micron, une pente sous le seuil plus faible et valant 210 mV/dec, et un gain statique gm/gd de 37.

### IX.3.3 Caractérisation du courant de grille

Nous avons obtenu un "Turn-on voltage" (Tension  $V_{gs}$  pour laquelle le courant de grille vaut  $1\mu\text{A}/\mu\text{m}^2$ ) extrêmement élevé et valant  $-2.3\text{ V}$  sur les transistors HIGFETs de type p dans l'opération 10250. Il s'agit à notre connaissance de la meilleure valeur de  $V_{\text{ton}}$  jamais atteinte pour un transistor p-HIGFET en technologie  $1\mu\text{m}$ .

Ce résultat est à comparer avec un "Turn-on voltage" de  $1.3\text{ V}$  pour des transistors de type n. La figure 9.16 représente une comparaison du courant de grille de deux transistors HIGFETs de type n et de type p de dimensions identiques ( $2*50*1\mu\text{m}$ ) en fonction de la valeur absolue de la tension de grille appliquée (positive dans le cas du n-HIGFET et négative pour le p-HIGFET).

Cette figure témoigne d'un écart entre les courants de grille extrêmement important, d'environ deux décades, pour une tension de grille au-delà de  $0.5\text{V}$ , et d'une différence de  $1\text{V}$  entre les valeurs de "Turn-on voltage" des deux composants. En comparant les deux courbes, il est clair que le mécanisme de transfert des porteurs du canal vers la grille est beaucoup moins important dans le cas du transistor de type p. Pour celui-ci, le courant de grille suit une loi d'évolution exponentielle avec un coefficient caractéristique de 8.2 indiquant qu'un transfert par effet tunnel est probablement dominant. Il semble que l'effet thermoionique à travers la barrière InGaAs/AlGaAs est quasiment inexistant dans le cas du transistor de type p en raison, d'une part, de la masse plus élevée des trous, et d'autre part, d'une discontinuité des bandes de valence ( $0.55\text{ eV}$ ) donc plus élevée que celle des bandes de conduction ( $0.45\text{ eV}$ ).

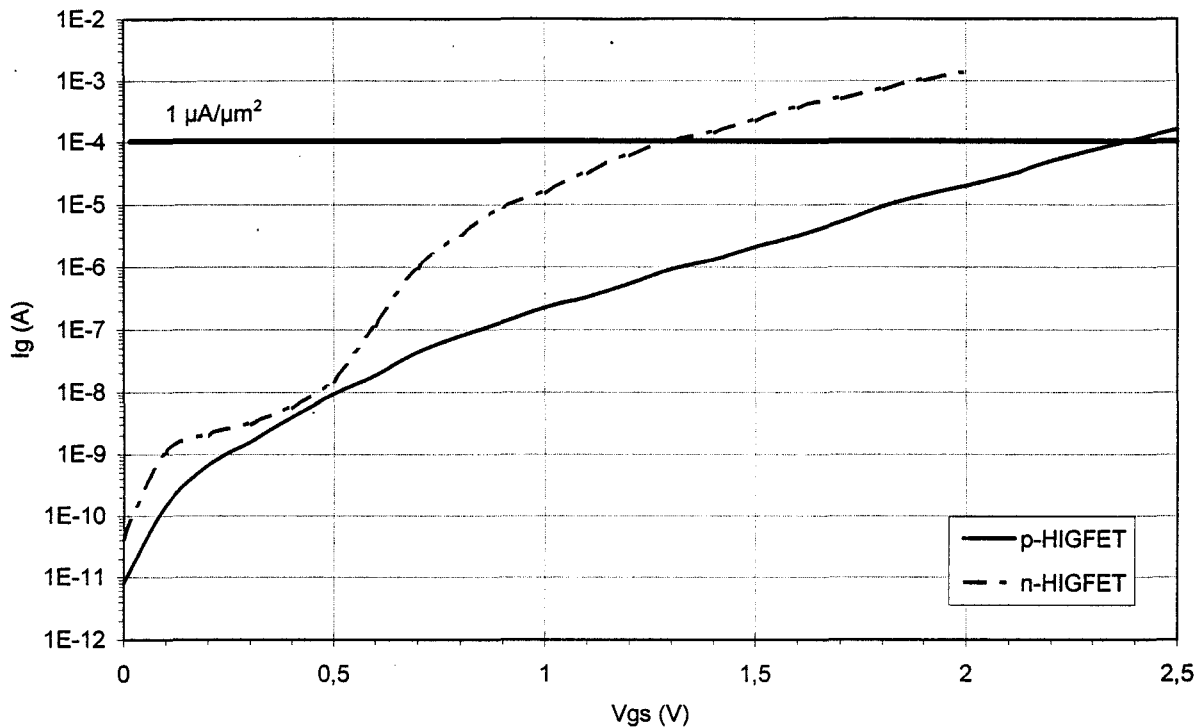


Fig. 9.16 : Comparaison du courant de grille à  $V_{ds}=0$  pour deux transistors HIGFETs de type p et de type n de géométrie  $2 \times 50 \times 1 \mu\text{m}$ . Les valeurs du "Turn-on voltage" sont 1.3V et -2.3V respectivement.

#### IX.3.4 Evaluation de l'uniformité des tensions de seuil et du rendement de fabrication

Dans le but d'évaluer la fiabilité de notre technologie auto-alignée de transistors HIGFETs de type p, nous avons caractérisé un grand nombre de composants de longueur de grille  $1 \mu\text{m}$  dispersés de façon uniforme sur la plaquette de deux pouces. La figure 9.17 représente la répartition de la tension de seuil des transistors que nous avons mesurés, et indique que la tension de seuil moyenne est de -0.36 V. Nous avons calculé l'écart-type des tensions de seuil et nous avons obtenu une excellente valeur de 26 mV.

Afin d'avoir une idée très précise sur le rendement de fabrication de l'opération technologique 10250, nous avons testé l'équivalent de dix-huit champs du masque FTFET, soient 288 transistors en technologie  $1 \mu\text{m}$  pour toutes les largeurs de grille, et nous avons relevé le courant de drain en saturation à une tension de grille valant -2 V. La figure 9.18 montre un histogramme des valeurs mesurées sur ces 288 composants, et témoigne d'un mauvais fonctionnement de deux composants seulement. Le courant de drain moyen étant de 70 mA/mm à -2V, nous en déduisons un rendement de fabrication de 99%. Cette valeur de rendement est particulièrement excellente compte tenu de nos moyens de photolithographie. Ceci démontre que dans le cas où la couche d'encapsulation de  $\text{Si}_3\text{N}_4$  n'est pas détruite durant le recuit thermique rapide, un rendement très proche de 100% peut être envisagé.

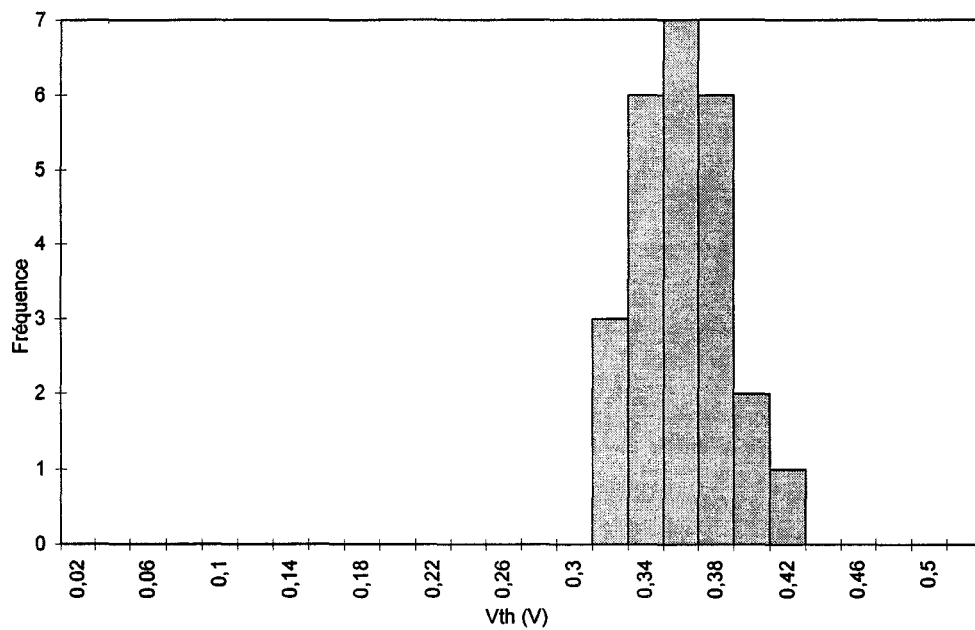


Fig. 9.17 : Répartition de la tension de seuil de transistors p-HIGFETs en technologie  $1\mu m$  sur un wafer de deux pouces. La moyenne et l'écart-type valent  $-0.36 V$  et  $26 mV$  respectivement.

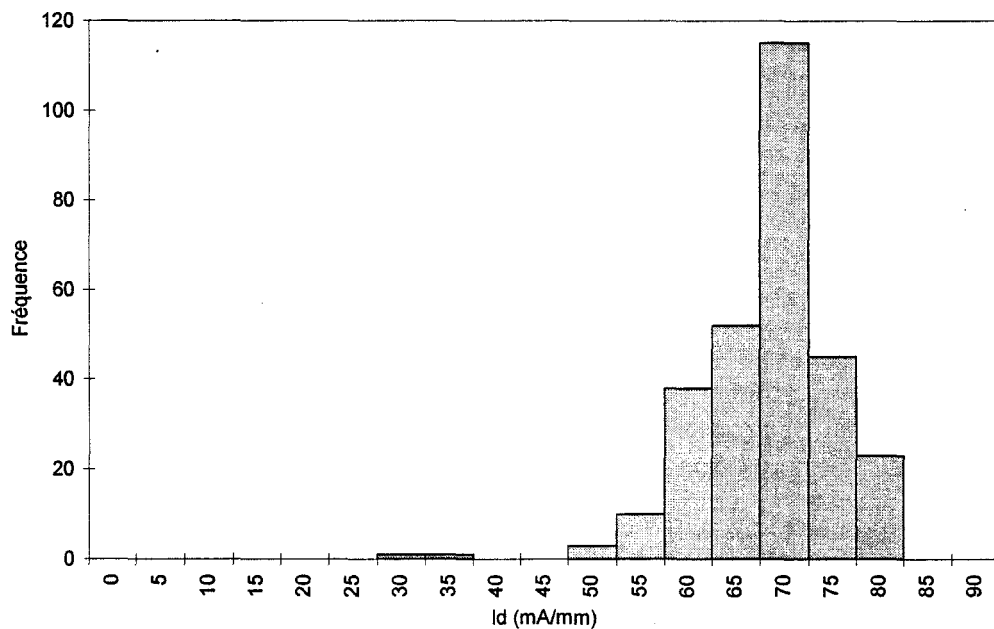


Fig. 9.18 : Répartition du courant de drain à  $V_{gs}=-2V$  sur 288 transistors p-HIGFETs en technologie  $1\mu m$ . Le rendement de fabrication est de 99%.

### IX.3.5 Caractérisation d'un transistor p-HIGFET en hyperfréquences

Le transistor HIGFET de type p étant l'élément qui limite les performances d'une porte logique complémentaire en termes de temps de commutation, il peut être particulièrement intéressant de procéder à la caractérisation en hyperfréquences d'un p-



HIGFET en vue d'évaluer les limitations en fréquence d'une structure HIGFET complémentaire. Cette caractérisation nous permet d'une part, de mesurer les fréquences de coupure des différents gains, et d'autre part, d'effectuer la détermination d'un schéma "petit-signal" équivalent de manière à connaître précisément les limitations intrinsèques du composant basé sur l'hétérostructure  $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$ .

Nous avons mesuré les paramètres S d'un transistor p-HIGFET de largeur de grille  $2 \times 50 \mu\text{m}$  en fonction de la fréquence. La figure 9.19 montre l'évolution du  $H_{21}$  et du MAG pour ce composant qui permettent de déduire des fréquences de coupure voisines de l'ordre de 5 GHz. Le faible rapport  $F_{\text{max}}/F_t$ , valant 1 environ, s'explique là encore par la valeur élevée de la résistance de grille.

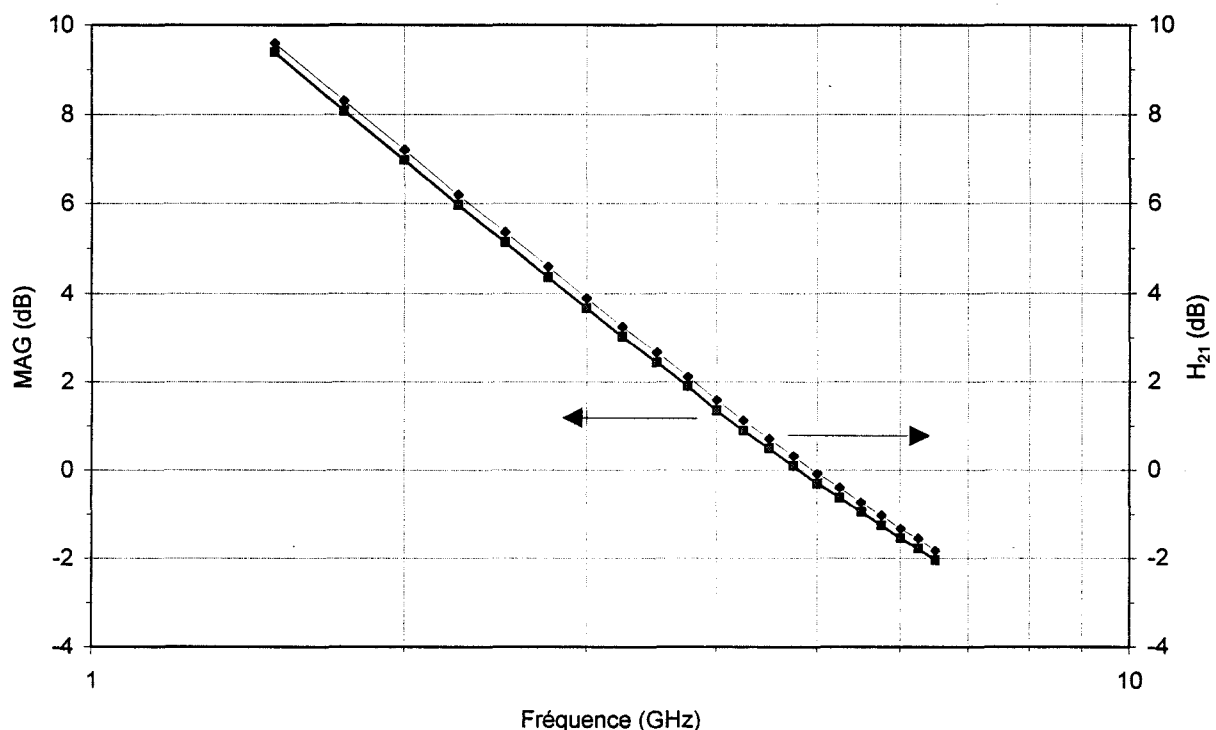


Fig. 9.19 : Evolution du  $H_{21}$  et du MAG en fonction de la fréquence pour un transistor p-HIGFET de géométrie  $2 \times 50 \times 1 \mu\text{m}$ . Les valeurs de  $F_t$  et de  $F_{\text{max}}$  sont de 5 GHz.

Nous avons par ailleurs entrepris la détermination du schéma équivalent "petit-signal" d'un transistor de largeur  $2 \times 20 \mu\text{m}$  en extrayant les éléments d'accès et les composants du schéma intrinsèque. Le tableau 9.4 résume les composants du schéma global. La figure 9.20 représente une comparaison des paramètres S mesurés sur l'analyseur de réseau et les paramètres S recalculés à partir du schéma équivalent sur les quatre abaques de Smith et démontre une bonne concordance des courbes, et par conséquent la validité du schéma électrique "petit-signal".

Eléments d'accès			
$R_s$ ( $\Omega$ .mm)	1.2	$C_{pg}$ (fF)	24
$R_d$ ( $\Omega$ .mm)	2	$C_{pd}$ (fF)	38
$R_g$ ( $\Omega$ )	37	$R_g$ (k $\Omega$ /mm)	3.7
Schéma électrique intrinsèque			
$G_m$ (mS)	2.91	$C_{gs}$ (fF)	73
$G_d$ (mS)	0.46	$C_{gd}$ (fF)	25
$G_g$ (mS)	0.2	$C_{ds}$ (fF)	1
$G_m/G_d$	6	$\tau$ (ps)	6.6
$R_i$ ( $\Omega$ )	105	$f_c$ (GHz)	6.5
$R_{gd}$ ( $\Omega$ )	260	$f_{ct}$ (GHz)	4.5

Tableau 9.4 : Schéma "petit-signal" d'un transistor p-HIGFET  $2 \times 20 \times 1 \mu m$ .

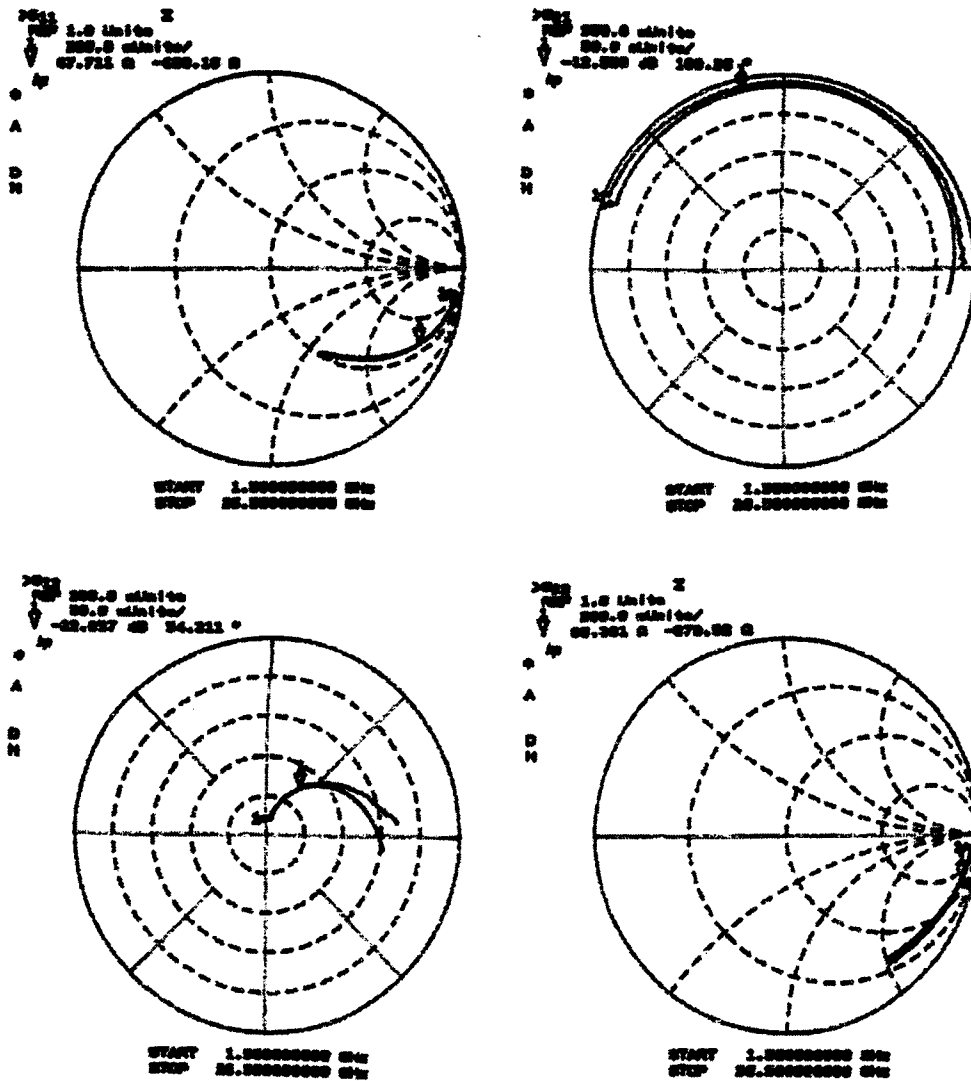


Fig. 9.20 : Comparaison des paramètres S mesurés et recalculés à partir du schéma "petit-signal" d'un transistor p-HIGFET.

Le tableau ci-dessus montre que les résistances d'accès de source et de drain sont plus importantes que dans le cas des transistors de type n. Elles proviennent d'une part, de la dose peu élevée de béryllium de  $10^{14} \text{ cm}^{-2}$  employée pour doper les zones d'accès, et résultant en une résistance carrée valant  $740 \Omega/\square$ , et d'autre part, de la distance source-drain de  $5 \mu\text{m}$  nécessaire étant donné notre équipement de lithographie optique par contact. L'écart entre les résistances de source et de drain est très probablement dû à une asymétrie de la grille par rapport au milieu des contacts, provenant d'un alignement imparfait de la seconde implantation de Be+P ou des contacts ohmiques.

La transconductance intrinsèque déduite du schéma électrique "petit-signal" vaut  $2.91 \text{ mS}$ , et correspond ainsi à une valeur normalisée de  $73 \text{ mS/mm}$  limitant les performances en vitesse de toute structure complémentaire logique réalisée à partir du matériau semiconducteur que nous avons employé. Cette transconductance intrinsèque est à comparer avec la transconductance statique de  $66 \text{ mS/mm}$  que nous avons obtenue. Ce très faible écart s'explique assez bien par la prise en compte de la résistance de source de  $1.2 \Omega.\text{mm}$  et par la relation :

$$G_{m\text{ext}} = \frac{G_{m\text{int}}}{1 + R_s G_{m\text{int}}} \quad (\text{eq. 9.1})$$

La figure 9.21 représente une comparaison des transconductances statique, et hyperfréquences calculées à partir des schémas intrinsèque et extrinsèque pour plusieurs polarisations de grille, et démontre que ce faible écart semble être vérifié pour toute tension de polarisation. Il ne semble pas exister d'effets de dispersion de la transconductance pour ce type de composant.

Cette comparaison démontre que malgré une résistance carrée des zones d'accès très élevée (supérieure à  $800 \Omega/\square$ ), la résistance de source ne cause quasiment aucune dégradation de la transconductance des transistors p-HIGFETs. Par conséquent il est tout à fait envisageable de diminuer encore la dose de béryllium employée pour doper les zones de source et de drain afin d'atténuer les effets de canal court et le courant "stand-by", sans toutefois dégrader les performances extrinsèques des composants.

La capacité grille-source extraite du schéma équivalent intrinsèque est de  $73 \text{ fF}$  pour un transistor de largeur  $2*20 \mu\text{m}$ . Nous pouvons en déduire une capacité  $C_{gs}$  normalisée valant  $1.8 \text{ pF}/\mu\text{m}$ , ce qui représente une valeur un peu plus faible que dans le cas d'un transistor n-HIGFET. Quoi qu'il en soit, nous estimons la capacité d'entrée d'une porte logique complémentaire en technologie  $1*10 \mu\text{m}$  à  $55 \text{ fF}$  en intégrant les différentes capacités de grille des transistors, et sans la prise en compte des capacités parasites dues aux interconnexions. Cette donnée est particulièrement intéressante pour prévoir par la simulation les performances d'une structure complémentaire à transistors HIGFETs.

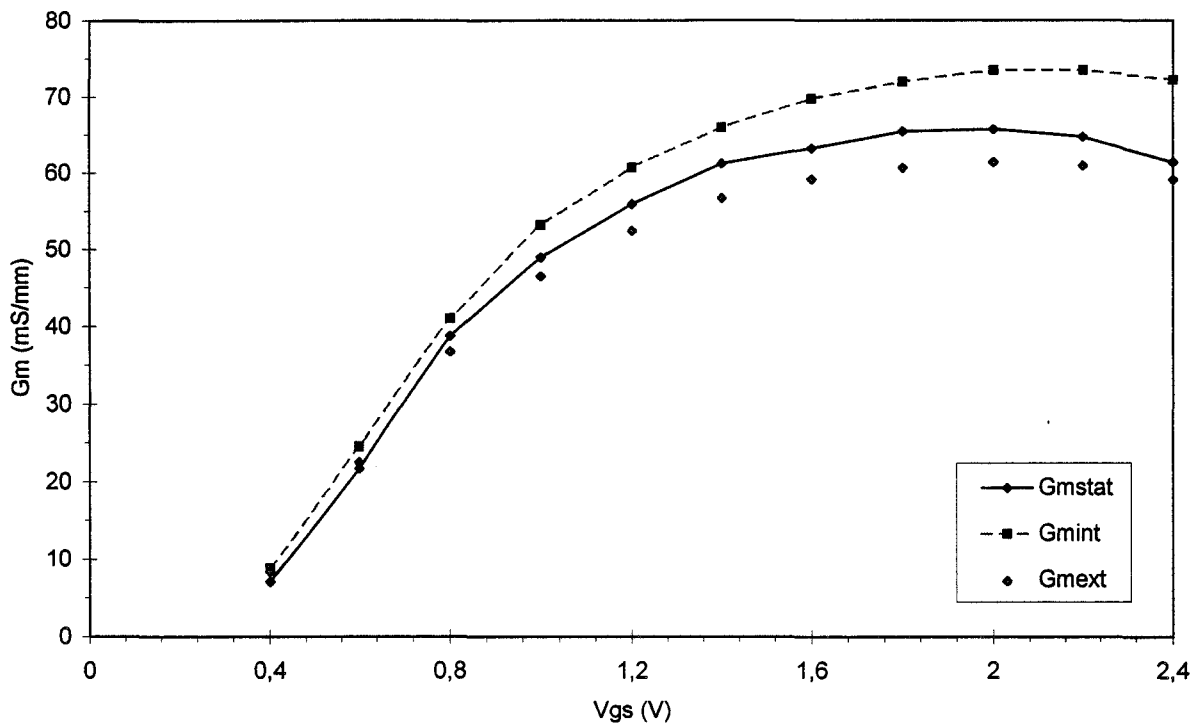


Fig. 9.20 : Comparaison des transconductances statique, extrinsèque et intrinsèque d'un p-HIGFET  $2 \times 20 \times 1 \mu\text{m}$  pour  $V_{gs}$  allant de  $-0.4\text{V}$  à  $-2.4\text{V}$ .

#### IX.4 Conclusions sur les transistors HIGFETs de type p

Dans le cadre de la réalisation de transistors p-HIGFETs, nous pouvons estimer que des résultats très encourageants pour des composants de longueur de grille  $1 \mu\text{m}$  ont été obtenus. Nous avons notamment relevé une transconductance de  $65 \text{ mS/mm}$ , une fréquence de coupure du gain en courant de  $5 \text{ GHz}$ , et une tension de seuil valant  $-0.35 \text{ V}$ , parfaitement adéquate à une logique complémentaire à faible tension d'alimentation et permettant d'obtenir de bonnes marges de bruit. Tous les composants ont par ailleurs un courant de grille très faible : nous avons obtenu des valeurs de "Turn-on voltage" de  $-2.3 \text{ V}$ , ce qui constitue un résultat au meilleur niveau mondial.

Nous avons par ailleurs réalisé une première évaluation de la fiabilité de notre technologie auto-alignée à transistors p-HIGFETs. Cette caractérisation a démontré un rendement de fabrication très proche de  $100\%$  et une faible dispersion des tensions de seuil sur une plaquette entière. En ces termes la technologie auto-alignée que nous avons mise au point semble parfaitement qualifiée pour des systèmes logiques à haute densité d'intégration.

Le défaut que nous devons impérativement supprimer concerne les effets de canal court qui sont extrêmement importants dans le cas du transistor HIGFET de type p. Ces effets se manifestent par un courant de pincement de  $60 \text{ nA}/\mu\text{m}$ , et donc

beaucoup plus important que pour le transistor de type n, et par l'altération de la tension de seuil pour des composants à grille submicronique, le transistor de  $0.5\mu\text{m}$  étant "normally-on". L'atténuation de ces effets de canal court passe par la réduction du niveau de dopage de type p débordant sous la grille et de la diffusion des implants de béryllium en profondeur.

## BIBLIOGRAPHIE DU CHAPITRE IX

- [1] J. F. Thiery, H. Fawaz, N. T. Linh and G. Salmer, "Optimization of AuMn-based ohmic contact for manufacturing p-channel AlGaAs/InGaAs/GaAs Heterostructure Insulated-Gate Field-Effect Transistors", to be published in *Electronics Lett.*
- [2] J. F. Thiery, H. Fawaz, J. C. Pesant, N. T. Linh and G. Salmer, "Beryllium ion implantation into GaAs and pseudomorphic AlGaAs/InGaAs/GaAs heterostructure", accepted for publication in *J. Electron. Materials.*
- [3] M. Shur, *GaAs devices and circuits*, edited by I. Brodie et J. J. Muray, 1988.
- [4] F. L. Schuermeyer, M. Shur and D. E. Grider, "Gate current in self-aligned n-channel and p-channel pseudomorphic Heterostructure Field-Effect Transistors", *IEEE Electron Device Lett.*, vol. EDL-12(10), pp. 571-573, 1991.
- [5] R. R. Daniels, P. P. Ruden, M. S. Shur, D. Grider, T. E. Nohava and D. K. Arch, "Quantum-well p-channel AlGaAs/InGaAs/GaAs Heterostructure Insulated-Gate Field-Effect Transistors with very high transconductance", *IEEE Electron Device Lett.*, vol. EDL-9(7), pp. 355-357, 1988.
- [6] B. Bernhardt, M. LaMacchia, J. Abrokwah, J. Hallmark, R. Lucero, B. Mathes, B. Crawforth, D. Foster, K. Clauss, S. Emmert, T. Lien, E. Lopez, V. Mazzotta and B. Oh, "Complementary GaAs (CGaAs<sup>TM</sup>): a high performance BiCMOS alternative", *GaAs IC Symposium Tech. Dig.*, pp. 18-21, 1995.

## CONCLUSIONS ET PERSPECTIVES

Ce travail a été consacré à l'étude, la réalisation et la caractérisation de transistors HIGFETs (Heterostructure Insulated-Gate Field-Effect Transistors) de type n et de type p sur Arséniure de Gallium pour l'intégration dans des circuits de logique complémentaire VLSI, voire pour une utilisation dans des systèmes analogiques.

Une étude préliminaire de l'hétérostructure  $\text{Al}_x\text{Ga}_{1-x}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  a montré que le critère fondamental dans le choix du taux d'aluminium x était l'obtention de discontinuités de bandes de conduction et de valence à l'interface AlGaAs/InGaAs les plus élevées possibles, de manière à améliorer le confinement des porteurs dans le canal d'InGaAs et surtout à minimiser le courant de grille dû au transfert des porteurs. Nous avons conclu que le courant de grille du composant de type n était minimal pour un taux d'aluminium de 40%, alors qu'un matériau comportant une couche d' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$  permettait de réduire fortement le courant de grille des transistors p-HIGFETs, et par conséquent convenait mieux à la réalisation de structures complémentaires. Nous avons donc décidé d'employer ces deux types de structures, respectivement pour la réalisation de transistors de type n destinés à des applications analogiques mono-tension d'alimentation, et pour le développement d'une filière de logique complémentaire rapide et à faible consommation.

La mise au point d'une technologie auto-alignée était nécessaire afin de maîtriser pleinement la réalisation de transistors performants. Un effort important a été fourni, concernant les étapes technologiques suivantes :

- la réalisation des grilles réfractaires en WSi utilisant un dépôt par pulvérisation, un masquage en résine négative, et une attaque par gravure ionique réactive afin d'obtenir une géométrie des grilles très fiable et verticale.

- l'optimisation d'implantations ioniques de type n (Si) et de type p (Be+P) basée sur deux critères : la résistance carrée de la couche et la qualité du profil de dopage.

- la mise au point d'un recuit thermique rapide pour l'obtention d'une bonne activation des espèces implantées tout en préservant le matériau semiconducteur de toute dégradation.

- la réalisation de contacts ohmiques de type n (AuGe) et de type p (Au/Mn) d'excellente qualité, avec des résistances de contact de l'ordre de  $0.07 \Omega.\text{mm}$ .

D'excellents résultats ont couronné la réalisation de transistors HIGFETs sur une couche pseudomorphique  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As} / \text{GaAs}$  à partir de cette technologie auto-alignée : des transconductances de 410 mS/mm et de 590 mS/mm ont pu être mesurées sur des transistors de longueur de grille  $1\mu\text{m}$  et  $0.5\mu\text{m}$  respectivement, ce qui constitue des performances au meilleur niveau mondial. Nous avons également obtenu des fréquences de coupure extrinsèques du gain en courant valant 24 GHz et 39 GHz en technologies  $1\mu\text{m}$  et  $0.5\mu\text{m}$ . Les transconductances et les fréquences de coupure maximales correspondent à des polarisations de la tension de grille autour de 1.3 V. Ceci démontre que le transistor HIGFET constitue un composant de choix particulièrement prometteur pour des systèmes analogiques à tension d'alimentation unique et positive.

Mais la limitation majeure de l'utilisation du transistor HIGFET de type n en hyperfréquences provient de la résistance de grille, beaucoup trop élevée, surtout pour les transistors de largeur  $100\mu\text{m}$  en technologie  $0.5\mu\text{m}$ . Afin d'élever la fréquence de coupure du MAG, il est impératif de réaliser des grilles épaissies, présentant des résistances moindres. Nous avons d'ores et déjà démontré l'intérêt de séquences métalliques bi-couches en WSi/W, présentant des résistances quatre fois plus faibles. L'étape suivante dans ce travail sera de réaliser des composants en technologie  $0.5\mu\text{m}$  à grille en WSi/W, et d'obtenir des fréquences de coupure  $F_{\text{max}}$  supérieures à 50 GHz.

Sur le matériau pseudomorphique à taux d'aluminium de 75%, nous avons mis au point des transistors HIGFETs complémentaires dont les caractéristiques électriques sont résumées dans la figure 10.1. Une bonne uniformité des tensions de seuil a été obtenue sur un wafer de deux pouces, illustrée par des écart-types de 35 mV et de 26 mV dans le cas des réalisations de transistors de type n et de type p respectivement. Nous avons par ailleurs évalué des rendements de fabrication très proches de 100% et d'excellentes reproductibilités dans les performances des composants d'une plaquette à l'autre.

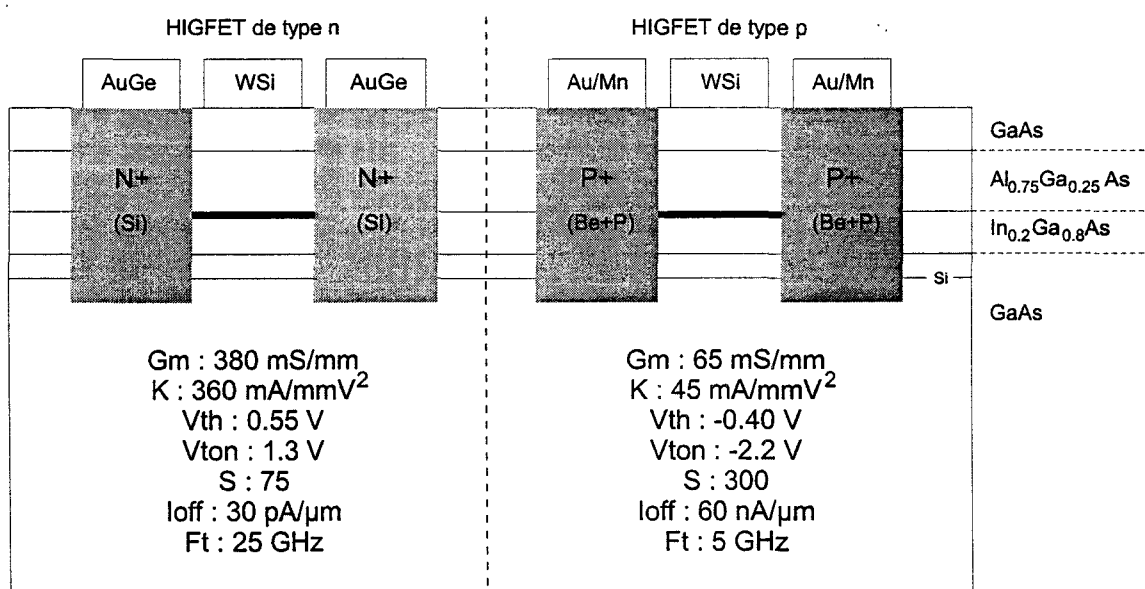


Fig. 10.1 : Caractéristiques électriques d'une structure complémentaire à transistors HIGFETs en technologie  $1\mu\text{m}$ .



Les résultats décrits ci-dessus sont extrêmement probants. Certains d'entre eux, tels que les valeurs des transconductances, des fréquences de coupure, de "Turn-on voltage" du transistor p-HIGFET, et du courant "stand-by" du transistor de type n, constituent désormais l'état de l'art d'une technologie complémentaire HIGFET 1 $\mu$ m. Les tensions de seuil sont particulièrement bien adaptées à la réalisation de structures complémentaires. En effet, elles garantissent à la fois des marges de bruit élevées, et un bon fonctionnement en logique complémentaire dès 0.8V en termes de vitesse, et surtout en termes de faible consommation. Tous ces résultats nous permettent aisément d'envisager une logique complémentaire sous 1.5V très performante.

Toutefois, pour la réalisation de circuits intégrés numériques à faible consommation et à haute densité d'intégration, il est vital de réduire fortement les sources de consommations parasites, et en particulier :

- le courant de grille des transistors HIGFETs de type n
- le courant "stand-by" des transistors de type p, ou autrement dit, améliorer la qualité du régime sous le seuil du p-HIGFET.

Nous avons montré que pour toute polarisation de grille entre 1 et 2V, le courant de grille provient d'un mécanisme de transfert de porteurs dans le canal à travers la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$  par un effet thermoionique assisté tunnel. Des solutions visant à atténuer ce transfert électronique consistent à modifier la structure épitaxiale du matériau semiconducteur.

Pour lutter contre l'effet tunnel à travers la couche d' $\text{Al}_x\text{Ga}_{1-x}\text{As}$ , il faudrait augmenter l'épaisseur de cette couche. En contrepartie, ceci implique une dégradation de la transconductance et du rapport d'aspect des composants.

Il semble plus facile de réduire le courant de grille par transfert thermoionique en choisissant une couche servant d'isolant autre qu' $\text{Al}_{0.75}\text{Ga}_{0.25}\text{As}$ , de manière à obtenir des hauteurs de discontinuités de bandes avec le canal plus élevées. Ainsi nous pouvons nous orienter vers une filière métamorphique  $\text{Al}_x\text{In}_{1-x}\text{As}/\text{In}_y\text{Ga}_{1-y}\text{As}$  sur GaAs ou vers des composés quaternaires du type  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ . Le tableau suivant compare les hauteurs des discontinuités des bandes de valence et de conduction pour le matériau que nous avons utilisé et pour des exemples déjà publiés dans la littérature [1] [2].

	$\Delta E_C$ (eV)	$\Delta E_V$ (eV)
$\text{Al}_{0.75}\text{Ga}_{0.25}\text{As} / \text{In}_{0.2}\text{Ga}_{0.8}\text{As}$	0.45	0.55
$\text{In}_{0.29}\text{Al}_{0.71}\text{As} / \text{In}_{0.30}\text{Ga}_{0.70}\text{As}$	0.7	0.35
$(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P} / \text{In}_{0.15}\text{Ga}_{0.85}\text{As}$	0.55	0.7

Tableau 10.1 : Hauteurs de discontinuités de bandes de valence et de conduction pour différentes hétérostructures.

La filière métamorphique présente l'inconvénient de la nécessité d'un cap en  $\text{In}_y\text{Ga}_{1-y}\text{As}$ , ce qui suppose de graver cette couche mince afin de réaliser un contact de grille sans courants de fuite. Or l'élimination du cap serait dangereuse car elle exposerait à l'air la couche d' $\text{In}_x\text{Al}_{1-x}\text{As}$ , entraînerait son oxydation, et compromettrait ainsi les chances de réussir le recuit thermique rapide. Il semblerait donc qu'une technologie auto-alignée soit peu compatible avec la réalisation d'un composant métamorphique.

En revanche, il nous apparaît bien plus prometteur d'envisager un travail axé sur la filière phosphorée  $\text{GaAs} / (\text{AlGa})\text{InP} / \text{InGaAs} / \text{GaAs}$ , ou sur un matériau non métamorphique à base d' $\text{AlInAs}$  du type  $\text{GaAs} / \text{AlInAs} / \text{GaAs}$ , qui semblent parfaitement cohérents avec le procédé technologique que nous avons mis au point.

L'amélioration de la qualité de pincement des transistors de type p nécessite un important travail d'ordre technologique. Elle passe en effet par la réduction du niveau de dopage au bord de la grille, ainsi que par une meilleure maîtrise de la diffusion latérale des implants de béryllium. Ce travail est par ailleurs indispensable pour la mise au point de technologies HIGFETs complémentaires avec une réduction progressive de la longueur de grille des composants. Nous proposons donc un plan d'expérience en quatre étapes, qu'il conviendrait de suivre dans un ordre chronologique :

- L'incorporation d'espaceurs diélectriques de type "side-walls" au procédé technologique, de manière à repousser les zones d'accès dopées à  $0.2\mu\text{m}$  environ du bord de la grille, et ainsi atténuer considérablement les courants de fuite par la grille et par le substrat. Une telle réalisation de "side-walls" au moyen du nouveau bâti de gravure ionique réactive dont nous disposons à l'IEMN est désormais envisageable.

- La mise en oeuvre d'une troisième implantation, à très faible dose, au ras de la grille et avant la réalisation des "side-walls". En effet, ces espaceurs peuvent contribuer à augmenter fortement les éléments d'accès, et par conséquent dégrader la transconductance des composants, surtout pour les transistors de type n. Ainsi nous pouvons envisager un dopage des zones d'accès en trois étapes, comme le montre la figure 10.2.

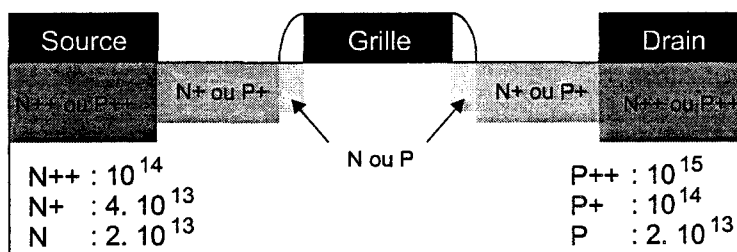


Fig. 10.2 : Transistor HIGFET à trois implantations de Si (type n) ou de Be+P (type p).

- La diminution de la température du recuit thermique rapide afin d'atténuer la diffusion latérale des implants de béryllium. Nous pensons en effet qu'un recuit à des

températures entre 700°C et 800°C pourrait être préférable, même si l'activation des ions de silicium risquerait d'être moindre.

- L'optimisation des énergies d'implantation, de manière à obtenir un meilleur contrôle de la diffusion du béryllium, et un profil de dopage moins étalé en profondeur. Une piste à explorer concerne la substitution du phosphore par le fluor en tant qu'atome "bloquant", l'analyse SIMS d'une implantation Be+F ayant en effet montré qu'il était possible de réaliser des profils de dopage très abrupts, malgré des résistances carrées plus élevées que pour une co-implantation Be+P.

Si les courants de grille et de pincement peuvent être diminués de l'ordre de deux ou trois décades, il sera possible de conclure d'une manière entièrement positive quant à l'intérêt d'une filière complémentaire à très faible consommation sur GaAs, permettant la réalisation de circuits intégrés numériques à très haut niveau d'intégration.

Cependant il apparaît clairement que la vitesse de commutation de portes logiques complémentaires serait un peu dégradée par l'existence du transistor HIGFET de type p dont les performances sont en deçà de celles du n-HIGFET. Ceci serait surtout vrai pour des portes à haut niveau de sortance, et nécessitant, pour une commutation rapide, un courant de sortie très important que ne peut fournir le transistor de type p. La solution serait peut-être de développer une architecture mixte complémentaire - SCFL (Source-Coupled Field Logic) à transistors HIGFETs, comparable à l'architecture CMOS-ECL du silicium [3]. L'idée consisterait à réaliser des fonctions logiques VLSI internes en logique complémentaire, afin de garantir des consommations statiques très réduites, et à utiliser une logique SCFL, beaucoup plus rapide, utilisant des transistors de type n, pour les étages d'entrées/sorties à haut niveau de sortance. La figure 10.3 représente les blocs fonctionnels d'un circuit numérique basé sur une telle architecture mixte. La tension d'alimentation de -3V environ, nécessaire aux structures SCFL, serait fournie à l'aide de la tension de 1.5V par l'intermédiaire d'un convertisseur DC-DC, dont une version en technologie HIGFET est en cours de développement à l'IEMN [4].

Une telle architecture présenterait tous les avantages que l'on peut espérer d'une filière logique :

- une très faible consommation, étant donné que les fonctions à haute intégration sont réalisées en logique complémentaire

- une grande rapidité, puisque les portes logiques à haut niveau de sortance sont réalisées en logique SCFL à HIGFET, plus rapide encore que la logique MESFET SCFL.

- de faibles coûts technologiques, car contrairement au CMOS-ECL du silicium qui requiert à la fois des transistors MOS et bipolaires, seuls des transistors HIGFETs complémentaires sont nécessaires pour cette architecture, les p-HIGFETs servant de charges actives pour les structures SCFL.

- un fonctionnement à très faible tension d'alimentation (1.5V voire moins) car la fonction de conversion vers -3V est assurée sur la puce elle-même avec un excellent rendement.

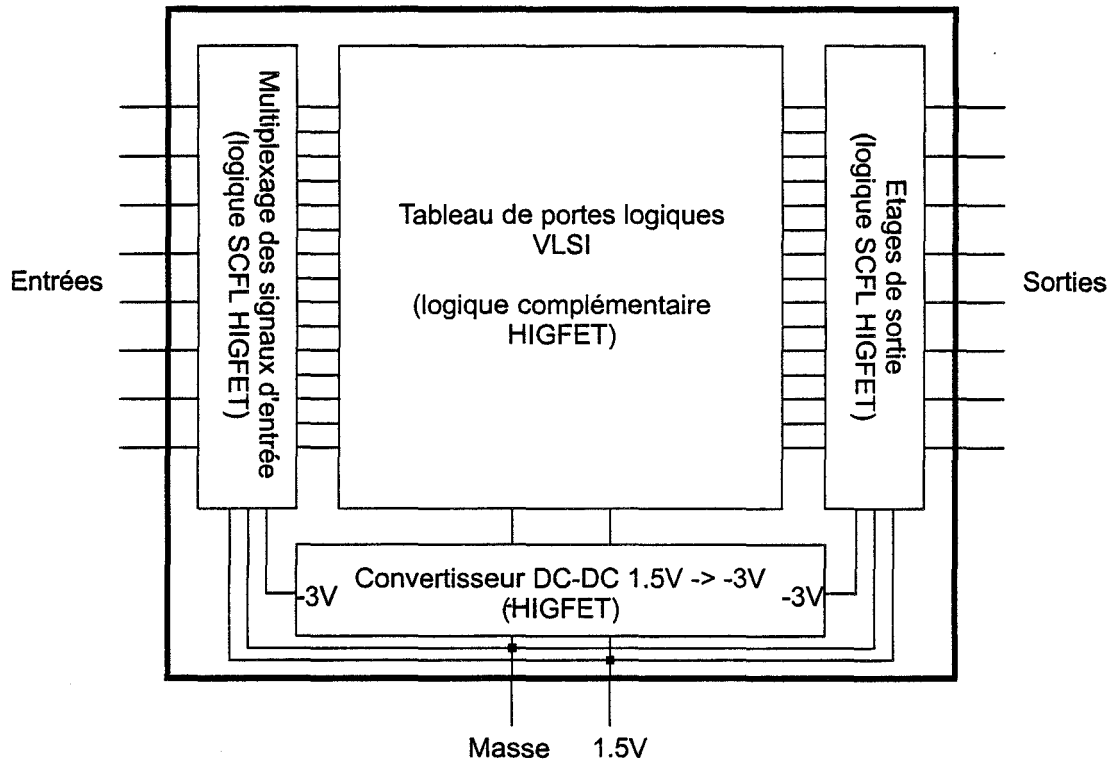
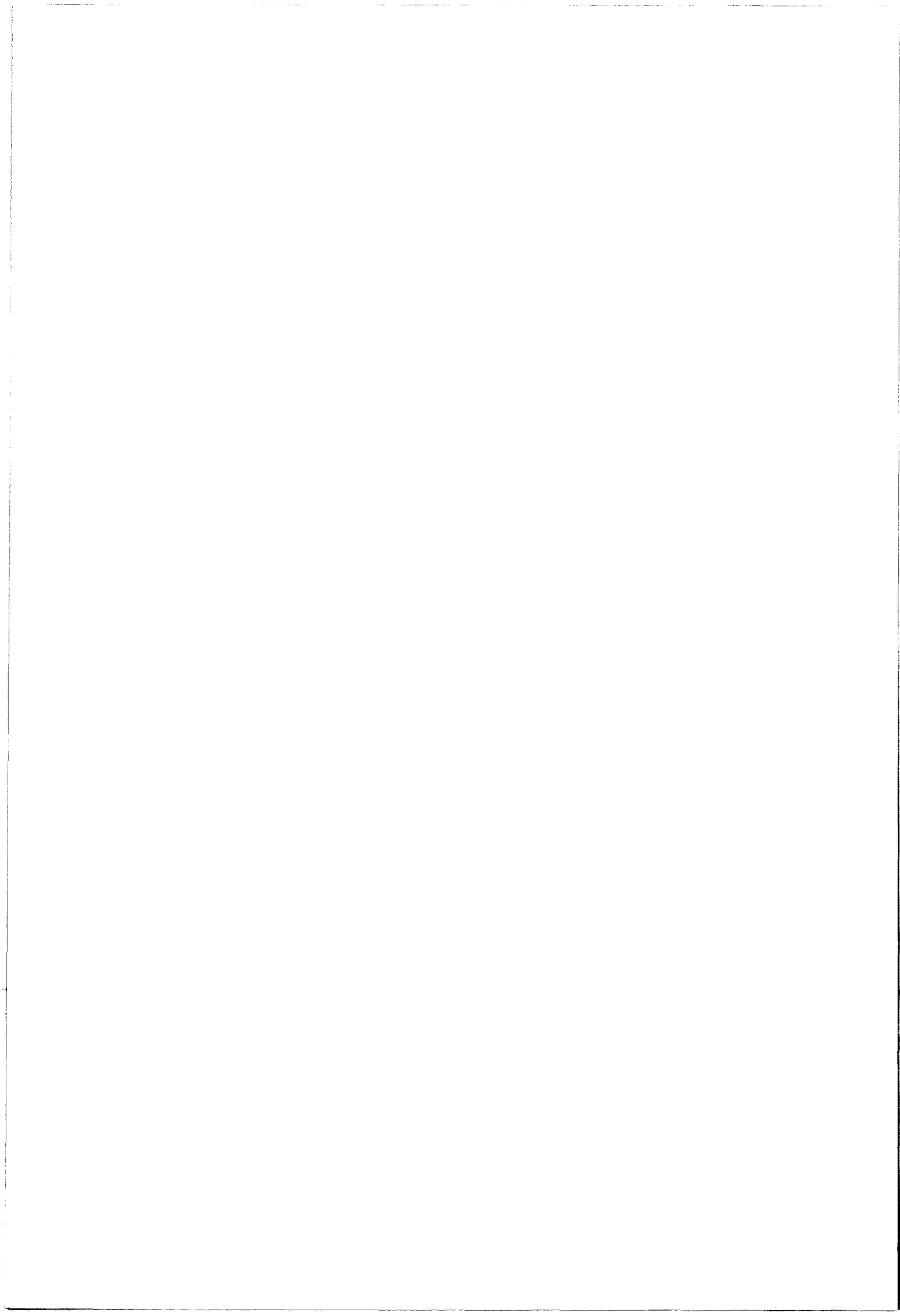


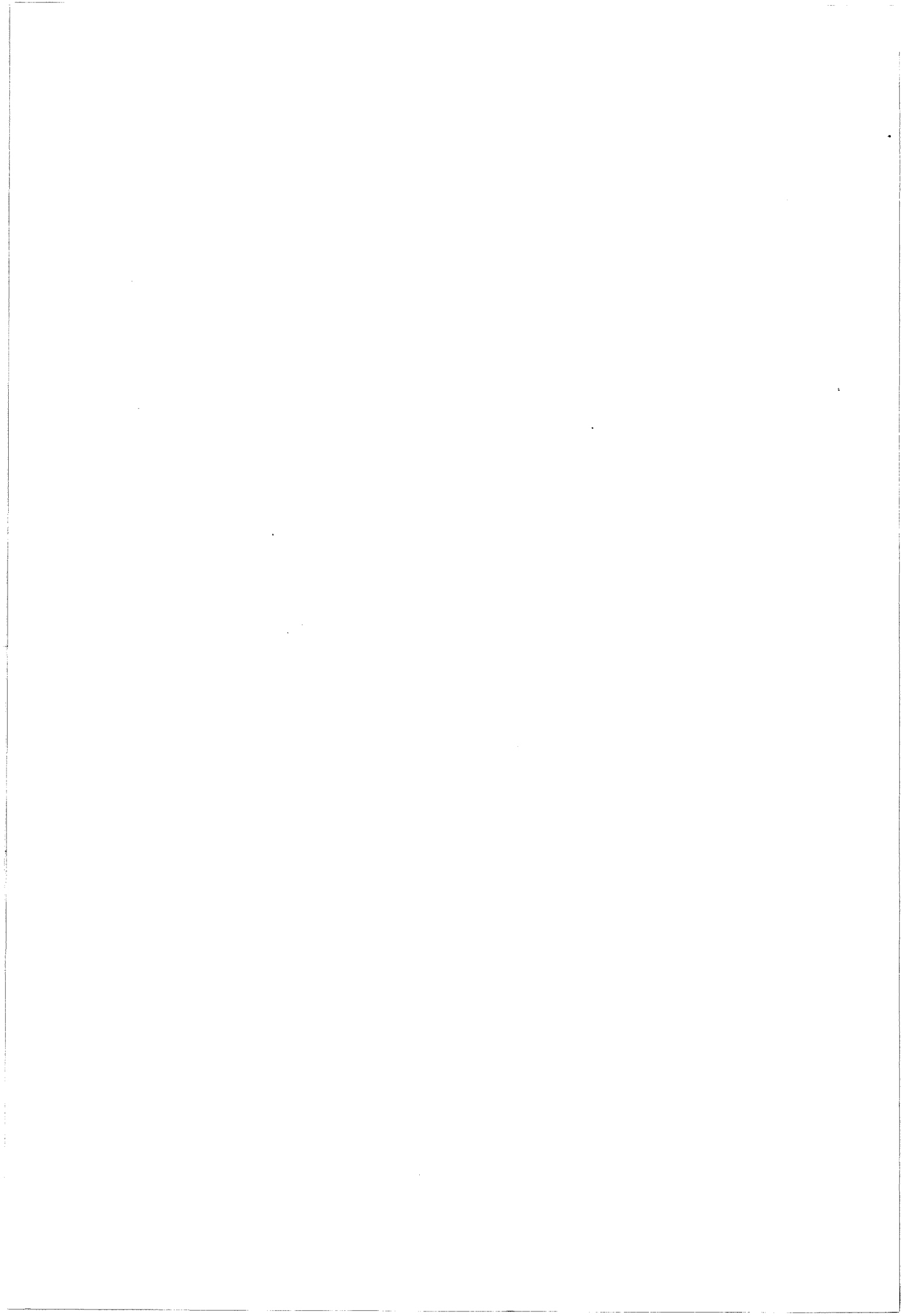
Fig. 10.3 : Architecture mixte complémentaire-SCFL à transistors HIGFETs complémentaires.

## BIBLIOGRAPHIE

- [1] J. L. Shieh, J. I. Chyi, R. J. Lin, R. M. Lin and J. W. Pan, "Band offsets of  $\text{In}_{0.30}\text{Ga}_{0.70}\text{As} / \text{In}_{0.29}\text{Al}_{0.71}\text{As}$  heterojunction grown on GaAs substrate", *Electronics Lett.*, vol. 30(25), Pp. 2172-2173, 1994.
- [2] J. Dickman, M. Berg, A. Geyer, H. Däembkes, F. Scholz and M. Moser, " $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P} / \text{In}_{0.15}\text{Ga}_{0.85}\text{As} / \text{GaAs}$  Heterostructure Field Effect Transistors with very thin highly p-doped surface layer", *IEEE Trans. On Electron Devices*, vol. ED-42(1), pp. 2-7, 1995.
- [3] H. Nambu, K. Kanetani, Y. Idei, T. Masuda, K. Higeta, M. Ohayashi, M. Usami, K. Yamaguchi, T. Kituchi, T. Ikeda, K. Ohhata, T. Kusunoki and N. Homma, "A 0.65-ns, 72-kb ECL-CMOS RAM macro for a 1-Mb SRAM", *IEEE J. Solid State Circuits*, vol. 30(4), pp. 491-500, 1995.
- [4] S. Ajram, R. Kozlowski and G. Salmer, "Application of III/V power devices for DC/DC power conversion", *Electronics Lett.*, vol. 32(1), pp.67-68, 1996.







## **RESUME**

Ce travail concerne le développement de transistors HIGFETs (Heterostructure Insulated-Gate Field-Effect Transistors) complémentaires, réalisés à partir d'une hétérostructure pseudomorphique AlGaAs / InGaAs / GaAs non intentionnellement dopée. L'absence de dopage est essentielle afin d'envisager la quasi-uniformité des caractéristiques électriques, et notamment la tension de seuil, sur tout un substrat. De plus, ce transistor présente la particularité de pouvoir accumuler, à l'interface AlGaAs/InGaAs, aussi bien un gaz bi-dimensionnel d'électrons que de trous, rendant possible la réalisation de transistors de type N et de type P sur la même plaquette. Ces avantages rendent le transistor HIGFET parfaitement fiable, de par sa structure, et en font ainsi un excellent candidat pour une utilisation dans des circuits intégrés rapides et à faible consommation en logique complémentaire. Pour la réalisation des composants, il était indispensable de mettre au point une technologie auto-alignée complémentaire, et en particulier certaines étapes critiques telles que la formation de la grille réfractaire (pulvérisation de WSi et gravure plasma), les implantations ioniques (Si pour le transistor de type N et Be+P pour le transistor de type p), le recuit thermique rapide et les contacts ohmiques (basés sur des métallisations de AuGe et de Au/Mn). D'excellents résultats ont couronné les réalisations de transistors de type N et de type P, avec notamment des valeurs de transconductances, de fréquences de coupure extrinsèques et de courants à l'état fermé au meilleur niveau mondial pour des longueurs de grilles de 1µm et de 0.5µm. Divers phénomènes ont été mis en évidence, tels que l'apparition d'effets de canal court, pour de faibles longueurs de grille, qui nécessitera un travail important pour le développement d'une filière complémentaire submicronique. Une caractérisation approfondie en micro-ondes a permis de mettre en avant le potentiel du transistor HIGFET pour des applications analogiques mono-tension d'alimentation en hyperfréquences.

## **MOTS CLES**

Arséniure de Gallium  
Transistor HIGFET  
Technologie auto-alignée  
Hétérostructure pseudomorphique

Hyperfréquences  
Logique complémentaire  
Métal réfractaire  
Implantation ionique

## **ABSTRACT**

This work is devoted to the development of complementary HIGFET (Heterostructure Insulated-Gate Field-Effect Transistors) devices, realized with the help of an undoped AlGaAs / InGaAs / GaAs pseudomorphic heterostructure. The lack of any doping is necessary for the achievement of a quasi-uniformity of electrical characteristics on a whole die, and essentially threshold voltage. Moreover, this device has the property to accumulate, at the AlGaAs / InGaAs interface, as well a two-dimensional electron gas as a hole gas, making possible the manufacturing of n- and p- devices on the same wafer. The HIGFET structure make the device perfectly reliable, which is consequently an excellent candidate for integrated circuits devoted to high-speed low-power consumption complementary logic. The device manufacturing required the optimization of a self-aligned complementary technology, and particularly some critical steps such as realization of a refractory gate (WSi sputtering and plasma etching), ion implantations (Si and Be+P for n- and p-HIGFET devices), rapid thermal annealing and ohmic contacts (based on AuGe and Au/Mn sequences). Realizations of n-devices were undertaken and some excellent results were achieved, ie transconductances, extrinsic cut-off frequencies and stand-by currents for 1µm and 0.5µm HIGFET devices. A few physical mechanisms were discussed, especially the severity of short-channel effects for low gate lengths, which will require an important work for development of a submicron complementary technology. Some detailed microwave measurements allowed to demonstrate the potential of HIGFET device for single power supply microwave analog applications.

## **KEY WORDS**

Gallium Arsenide  
HIGFET device  
Self-aligned technology  
Pseudomorphic heterostructure

Microwaves  
Complementary logic  
Refractory metal  
Ion implantation