

50376
1996
456

THESE

présentée à

L'Université des Sciences et Techniques de Lille Flandres-Artois

pour obtenir le grade de

Docteur en Electronique

par

Nicolas MOENECLAEY

32/121

CONVERTISSEURS ANALOGIQUES-NUMERIQUES A HAUTE RESOLUTION UTILISANT LA TECHNIQUE DES MEMOIRES DE COURANT

soutenue le 9 Septembre 1996, devant la commission d'examen:

Président:	E. CONSTANT
Rapporteurs:	W. REDMAN-WHITE M. DECLERCQ
Examineurs:	D. BILLET Y. LEDUC J.-N. DECARPIGNY A. KAISER

SCD LILLE 1



D 030 299064 4

14.11.2016
1716
3126

à Sylvie

à mon père et à ma mère

à toute ma famille

à mes amis

Remerciements

Je remercie vivement Monsieur le Professeur Eugène CONSTANT d'avoir accepté la présidence de ce Jury.

Je tiens à adresser mes sincères remerciements à Monsieur William REDMAN-WHITE ainsi qu'à Monsieur la professeur Michel DECLERCQ pour le travail de rapporteur de thèse qu'ils ont accompli.

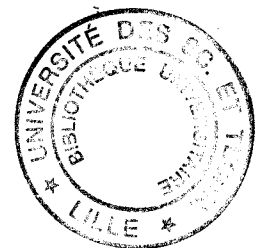
Monsieur le professeur Jean-Noël DECARPIGNY a accepté d'être mon directeur de thèse, je souhaite l'en remercier. Ce travail de thèse n'aurait pas été possible sans la précieuse aide de Messieurs Daniel BILLET et Thierry TORTELIER. Je les remercie pour leur précieuse collaboration.

Je tiens à remercier Messieurs Philippe N'GORAN et Andréas KAISER. Le simulateur à temps discret de circuits à mémoire de courant qu'ils ont mis au point a été un outil indispensable à la réalisation du convertisseur.

Monsieur le Professeur Andréas KAISER m'a accueilli au sein de l'équipe de recherche du département Electronique, il m'a guidé et a fortement contribué au travail accompli au cours de ces trois années passées à l'I.S.E.N. Je tiens donc tout particulièrement à lui exprimer ma profonde reconnaissance.

Je remercie aussi tout le personnel du laboratoire de micro-électronique de l'I.E.M.N.-département I.S.E.N. et tout particulièrement Messieurs Bruno STEFANELLI et Ian O'CONNOR pour leur précieuse aide dans le dessin du convertisseur, ainsi que Monsieur Jean-Michel DROULEZ pour son aide au cours du test des deux circuits.

Enfin un grand merci à Monsieur Yves LEDUC pour son aide et ses encouragements lors de la rédaction de ce manuscrit.



INTRODUCTION

CHAPITRE 1

1.1 La cellule à mémoire de courant	2
1.1.1 Principe de fonctionnement	2
1.1.2 Principaux effets limitatifs et leur caractérisation	2
1.1.2.1 L'injection de charge	3
1.1.2.2 conductance de sortie	4
1.1.2.3 Erreur de stabilisation	5
1.2 Modélisation temporelle de la cellule à mémoire de courant	6
1.2.1 Modèle petit signal classique	6
1.2.2 Modélisation approfondie de la cellule	9
1.2.2.1 Modélisation de la caractéristique du transistor mémoire	10
1.2.2.2 Modélisation de la cellule à mémoire de courant	11
1.2.3 Influence du timing et de l'environnement de la cellule.	14
1.2.4 Modèle complet	16
1.3 Validation numérique du modèle	19
1.4 Références bibliographiques	22

CHAPITRE 2

2.1 Méthodologie de caractérisation des Cellules à Mémoire de Courant	24
2.1.1 Topologie du circuit de caractérisation	24
2.1.2 Caractéristiques mesurées	25
2.1.2.1 Comportement transitoire de la cellule	25
2.1.2.2 Conductance de sortie	26
2.1.2.3 L'erreur de copie	27
2.1.2.4 la charge injectée par l'interrupteur d'échantillonnage.	28
2.2 Présentation de la manipulation et du circuit de test	29
2.2.1 Circuit de caractérisation IMEMTEST	29
2.2.2 Manipulation de test	33
2.3 Résultats de mesure et validation expérimentale	40
2.3.1 Mesure du comportement transitoire et validation du modèle	40
2.3.2 Mesure de la conductance de sortie.	41
2.3.3 Mesure de l'erreur de copie	43
2.3.4 Caractérisation de l'injection de charge	44
2.4 Références bibliographiques	48

CHAPITRE 3

3.1 Introduction	50
3.1.1 Principes de la modulation sigma-delta	50
3.1.1.1 Fonctionnement du modulateur	50
3.1.1.2 Calcul approché de la fonction de transfert	51
3.1.2 Performances du modulateur	54

3.1.2.1 Calcul du rapport signal sur bruit	54
3.1.2.2 choix du modulateur	54
3.2 Modulateur sigma-delta d'ordre 2 en mode courant	56
3.3 Modulateur sigma-delta d'ordre 3 en mode courant	59
3.4 Influence des limitations de la cellule sur le M.A.S.H.21	61
3.4.1 Dimensionnement des intégrateurs	61
3.4.2 Influence du gain de la cellule sur le comportement du modulateur	62
3.4.2.1 Cellule ayant un gain de 1	62
3.4.2.2 Cellule ayant une erreur linéaire (1%)	63
3.4.2.3 Cellule ayant une erreur quadratique	64
3.4.3 Sensibilité aux forts signaux	65
3.4.4 Evaluation du T.S.N.R.	66
3.5 Modification de la structure du modulateur dans le but d'abaisser la consommation	69
3.5.1 Forte consommation lié au bruit thermique des transistors	69
3.5.2 Limitation de la consommation par la division du signal dans la structure	71
3.5.2.1 Utilisation de 2 miroirs de courant	71
3.5.2.2 Utilisation d'un seul miroir	73
3.6 Références	76

CHAPITRE 4

4.1 Principe de la cellule	78
4.1.1 Cellule double boucle	78
4.1.2 Régulation lors de la première boucle	79
4.1.3 Cellule proposée	80
4.2 Mise en oeuvre de la cellule	83
4.2.1 Polarisation de la cellule	84
4.2.1.1 Dimensionnement de la cellule	84
4.2.1.2 Circuit de polarisation de la cellule	87
4.2.1.3 Dimensionnement du convoyeur de courant	88
4.2.1.4 Polarisation du convoyeur de courant	91
4.2.2 Etude statique du gain	92
4.2.3 Etude de la cellule en transitoire	95
4.2.4 Bruit de la cellule	98
4.2.5 Conversion tension-courant	99
4.3 Références	101

CHAPITRE 5

5.1 Modulateur réalisé	104
5.1.1 Schéma du modulateur	105
5.1.2 Fonctionnement du comparateur	107
5.1.3 Génération des courants de référence	109
5.2 Simulation des performances du modulateur	113

5.2.1 Modélisation de la cellule	113
5.2.2 Validation des performances du circuit	114
5.3 Simulation électrique	117
5.3.1 Génération des courants de référence	117
5.3.2 Test du comparateur	118
5.3.3 Simulation du comportement transitoire sur 100 périodes	118
5.4 Layout du circuit	120
5.5 Annexe: schéma électrique du circuit	124

CHAPITRE 6

6.1 Manipulation de test	150
6.2 Mesure de la polarisation du circuit	153
6.3 Caractérisation du circuit en fonctionnement	154
6.3.1 Influence de l'offset d'entrée	155
6.3.2 Modulateur du second ordre seul	156
6.3.2.1 Problème d'établissement	156
6.3.2.2 Mesure de la linéarité du modulateur du second ordre	158
6.3.3 Modulateur du troisième ordre	159
6.4 Analyse des problèmes d'établissement	163
6.4.1 Mesures sous pointes	163
6.4.2 Influence de la durée de chaque boucle durant l'acquisition	165
6.4.3 Problème d'oscillations parasites dues aux fils de «bounding»	166
6.4.4 Problème de dessin dans la génération de tension de référence VBREG	168
6.5 Conclusion	170
6.6 Annexe A	171
6.7 Annexe B	172
6.8 Références	173

CONCLUSION

Introduction

D'année en année, la diminution de la taille des transistors dans les procédés de fabrication CMOS permet une intégration toujours plus grande des systèmes numériques. Certaines fonctions comme le filtrage ou le traitement du signal, jusqu'alors réalisées de manière analogique, sont maintenant traitées numériquement sur un seul circuit intégré.

Cette évolution requiert la présence d'une interface analogique-numérique en entrée ainsi que d'une interface numérique-analogique en sortie pour communiquer avec le monde extérieur. Afin d'être compétitive par rapport au tout analogique, cette solution nécessite l'intégration de ces deux types d'interface et de la partie de traitement numérique sur un seul circuit.

La technique communément utilisée sur les applications commerciales pour réaliser les interfaces analogique-numérique est celle des capacités commutées. Toutefois cette méthode est difficilement compatible avec un procédé technologique CMOS digital puisqu'elle nécessite des capacités linéaires flottantes. Ce type de capacités est réalisé essentiellement de deux manières:

- avec deux couches de polysilicium, ce qui ajoute des étapes de fabrication supplémentaires et donc un coût du circuit plus élevé.
- en faisant un empilement poly-metal1-metal2, ce qui procure une capacité linéaire flottante dont la composante parasite vers la masse peut atteindre la moitié de la valeur de la capacité. La faible valeur de la capacité par surface augmente considérablement la taille du circuit.

Une alternative à cette technique est celle des courants commutés. Cette dernière présente l'avantage de ne pas nécessiter de capacités flottantes, elle est donc totalement compatible avec un procédé de fabrication CMOS digital. Un autre avantage vient du fait que la précision d'un intégrateur réalisé en courant commuté ne repose sur aucun appareillage de transistors ou de capacités. De plus, comme le signal est véhiculé sous forme de courant, sa dynamique n'est pas limitée par la tension d'alimentation. La tendance actuelle de baisser les tensions d'alimentation suite aux applications fonctionnant sur batterie et aux tensions de claquage des transistors plus faibles rends cette nouvelle technique encore plus intéressante.

La réalisation d'interfaces analogique-numérique utilisant la technique de courants commutés a fait l'objet de nombreux travaux de recherche récents. Les études de convertisseurs analogiques-numériques entreprises se divisent essentiellement en deux tendances, les convertisseurs algorithmiques cycliques ou pipelines et les convertisseurs suréchantillonnés (essentiellement des modulateurs sigma-delta).

La réalisation d'un convertisseur cyclique d'une précision de 14 Bits pour une puissance consommée de 3.5 mW et une surface de $1 \mu\text{m}^2$ dans un procédé CMOS $3 \mu\text{m}$ [1], ou d'un convertisseur cyclique RSD ayant une fréquence d'échantillonnage de 550 KHz dans un procédé CMOS $2.4 \mu\text{m}$ [2], sont des exemples réalistes qui confirment la possibilité de réaliser des convertisseurs algorithmiques, précis ou rapides, en mode courant dans un procédé digital classique.

Dans le domaine des convertisseurs suréchantillonnés, la réalisation de modulateurs sigma-delta rapides semble possible, pour exemple un convertisseur sigma-delta du quatrième ordre ayant une précision de 9 Bits pour une bande de base de 625 KHz, ce modulateur est réalisé dans un procédé CMOS $0.8 \mu\text{m}$ [3]. Par contre l'étude de convertisseurs analogique-numérique suréchantillonnés de haute précision à base de cellules à mémoire de courant n'a pas encore vraiment aboutie [3].

Le but de mon travail de thèse est la réalisation d'un convertisseur analogique-numérique de forte précision en mode courant intégré dans un procédé digital avancé. Ce mémoire décrit toutes les étapes qui nous ont permis d'atteindre ce but.

Dans un premier temps, je décris le principe de la cellule à mémoire de courant, élément de base des circuits à courant commuté, par l'intermédiaire des publications existantes. Cela m'a permis d'étudier la modélisation des mémoires de courant. Suite à cette étude, je propose un macro modèle du comportement temporel de la cellule à mémoire de courant [4]. Ce modèle a pu être validé par la mise au point d'une méthodologie de caractérisation des cellules à mémoire de courant [5], un circuit de test a été réalisé.

Au sein du laboratoire de recherche de l'I.E.M.N., P. N'Goran et A. Kaiser ont réalisé un simulateur de circuits à courant commuté ainsi qu'une modélisation précise de la cellule à mémoire de courant [6]. En utilisant ce simulateur nous avons mis en évidence que l'erreur de recopie de la cellule, sa non-linéarité inhérente ainsi que son rapport signal sur bruit sont les principaux facteurs qui limitent la précision des convertisseurs sigma-delta.

Comme solution nous proposons une nouvelle structure de cellule à mémoire de courant qui est caractérisé par une très faible erreur de recopie ainsi qu'une bonne linéarité. Un exemple de cellule à mémoire de courant de ce type a été étudié et dimensionné. Nous avons pu réaliser un convertisseur sigma-delta cascadié du troisième ordre au moyen de cette cellule. Ce modulateur est la cascade d'un convertisseur du second ordre avec un convertisseur du premier ordre. Le modulateur est parfaitement fonctionnel, il atteint la précision de 14.5 Bits pour une bande passante de 5 KHz.

Ce convertisseur illustre la possibilité d'intégrer des convertisseurs suréchantillonnés de forte précision dans un procédé CMOS classique. La seule limitation à une utilisation commerciale est sa trop forte consommation.

Ce mémoire est composé de six chapitres. Dans le premier chapitre nous présentons le principe de la cellule à mémoire de courant. Les principaux effets qui limitent la précision de la cellule, soit la charge injectée par l'interrupteur d'échantillonnage, la conductance de sortie de la cellule ainsi que le temps nécessaire à la stabilisation du courant mémorisé, sont expliqués.

Nous avons fait une étude plus approfondie du régime transitoire de la cellule au cours de l'acquisition du courant d'entrée. Cette étude a donné lieu à un macro-modèle non-linéaire précis du comportement transitoire de la cellule à mémoire de courant de type cascadiée. Nous voyons dans ce chapitre que le modèle prends en compte l'influence de la source en entrée de la cellule ainsi que du chronogramme des signaux de commande. Enfin, une comparaison avec des résultats de simulation SPICE valide le modèle.

La possibilité de mesurer les caractéristiques essentielles de la cellule est utile à son développement. Ces mesures faciliteront aussi la réalisation du convertisseur de haute précision. Le chapitre deux présente une méthodologie de test qui ne nécessite pas l'utilisation de matériel spécialisé tel un testeur sous pointes. Les caractéristiques obtenues sont les suivantes:

- La courbe d'évolution temporelle de la tension (ou du courant) de mémorisation au cours de la phase d'acquisition de la cellule. Cette mesure est faite pour plusieurs valeur du courant à l'entrée de la cellule.
 - Le rapport entre la charge injectée par l'interrupteur d'échantillonnage en fin d'acquisition et la charge totale qui était dans cet interrupteur.
 - La conductance de sortie de la cellule. nous pouvons en déterminer la partie statique, liée à l'effet Early, ainsi que la partie dynamique qui provient du couplage
-

capacitif entre la capacité de mémorisation et une capacité parasite.

- L'erreur de recopie de la cellule. Erreur qui prends en compte tous les effets limitatifs de la cellule. Cette erreur est mesurée en fonction du courant appliqué à l'entrée de la cellule.

Cette méthode de mesure a donné lieu à la réalisation d'un circuit de test. Nous avons mesuré les caractéristiques d'une cellule à mémoire de courant de type cascodée. Le circuit de test à été réalisé dans une technologie CMOS digital ES2 1.2 μm . Ce circuit nous a permis aussi de confronter la prédiction du modèle présenté au premier chapitre avec les résultats de mesure.

Le chapitre 3 détaille l'étude faite sur les convertisseurs analogique-numérique de type sigma-delta réalisés à base de mémoires de courant. En utilisant le simulateur de circuits à courant commuté mis au point à l'I.E.M.N. [6] nous avons évalué l'influence des caractéristiques de la cellule à mémoire de courant sur la précision du convertisseur. En partant d'une architecture spéciale de convertisseur sigma-delta du second ordre inventée par P. N'Goran et A. Kaiser [6], nous avons ajouté un modulateur du premier ordre afin de réaliser un convertisseur cascadé M.A.S.H. 2 + 1 plus apte à atteindre une forte précision. L'erreur de recopie de la cellule de type cascodée, de l'ordre de 2%, est largement insuffisante pour la précision requise, de plus cette cellule est fortement non-linéaire. Nous avons donc calculé au moyen de simulations l'erreur de recopie de la cellule nécessaire pour atteindre une précision de 16 Bits. La cellule doit surtout posséder une erreur de copie faiblement non-linéaire.

Nous voyons aussi dans ce chapitre que le bruit thermique des transistors de la cellule dégrade fortement le rapport signal sur bruit du modulateur. Le courant de polarisation de la cellule doit être dimensionné pour respecter le rapport signal sur bruit voulu. Cela cause alors une trop forte consommation du modulateur. nous proposons donc une modification de la structure du modulateur, celui ci comporte une division de la dynamique du signal entre le premier et le second intégrateur.

Dans le chapitre 4 nous détaillons la nouvelle structure de cellule à mémoire de courant mise au point, elle possède une erreur de recopie faible et fortement linéaire. Cette cellule utilise entre autre le principe des cellules double boucles [7]. Au cours de la première boucle d'acquisition, nous avons inséré un convoyeur de courant pour asservir le noeud d'entrée de la cellule à une tension fixe. Enfin une disposition particulière de l'interrupteur d'entrée de la cellule à permis de diminuer fortement l'erreur causée par ce dernier.

L'étude du principe de la cellule ainsi que de son dimensionnement sont détaillés dans ce chapitre. Nous présentons les résultats des simulations SPICE faites au cours de l'étude de la cellule. Les modèles utilisés sont ceux du procédé CMOS digital 0.8 μm du fondeur AMS, en effet nous avons réalisé le convertisseur sigma-delta dans cette technologie. L'erreur de recopie de la cellule prédite par la simulation est de l'ordre de 1 pour 50000 ce qui est largement suffisant pour la précision voulue.

Le chapitre 5 décrit la conception du modulateur sigma-delta cascadé M.A.S.H. 2 + 1 réalisé avec la cellule à mémoire de courant proposée. Le circuit contient deux modulateurs sigma-delta identiques qui fonctionnent sur le même signal d'entrée mais de signe opposé. Cela a deux avantages:

- diminuer les perturbations de mode commun (notre cellule à mémoire de courant n'est pas une structure différentielle).
 - Utiliser en permanence le courant d'entrée, ce qui évite toute désaturation du générateur de courant.
-

Nous détaillons l'étude de toutes les parties du modulateur et l'ensemble des simulations nécessaires au développement du circuit et à l'évaluation des performances qui valident la précision de 16 Bits voulue ainsi que la fonctionnalité du circuit. Le schéma complet du circuit est inclus à la fin de ce chapitre, il comprends les tailles de tous les transistors.

Le circuit a été réalisé chez le fondeur AMS. Nous avons développé une maquette et un programme de test du circuit sur le logiciel "Lab View". Le schéma de la maquette de test est détaillé dans le chapitre 6. Nous y présentons aussi l'ensemble des manipulations et des mesures entreprises.

Le circuit est parfaitement fonctionnel, il atteint la précision élevée de 14.5 Bits pour une bande de base de 5 KHz. Ces performances sont moins bonnes que celles attendues (16 Bits, 10 KHz). A la fin de ce chapitre nous passons en revue les problèmes rencontrés ainsi que les écarts par rapport aux performances voulues. Nous tentons alors d'en expliquer la raison et de donner des solutions pour y remédier.

Références:

- [1] P. DEVAL & al.
A 14 bit CMOS A/D converter based on dynamic current memories.
CICC Proceedings, San Diego, May 1991, p. 24. 2. 1.
 - [2] D. MACQ
Application des copieurs de courant dans les circuits analogiques CMOS
Thèse de Doctorat, Université Catholique de Louvain, Février 1994.
 - [3] N.TAN
Switched-Current Delta-Sigma A/D Converters.
Analog Integrated Circuits and Signal Processing, Vol. 9, No. 1, pp. 7-24, Jan. 1996.
 - [4] N. MOENECLAHEY, A. KAISER
Accurate modelling of the non-linear settling behaviour of current memory circuits
ISCAS'94, Londres, UK, Mai 1994.
 - [5] N. MOENECLAHEY, A. KAISER
Measurement of the main limitations of current memory cells
MWSCS'94, Lafayette Louisiana USA, Août 1994.
 - [6] P. N'GORAN
Simulation à Temps Discret de Circuits à Mémoire de Courant et Application à l'Etude de Modulateurs Sigma-Delta.
Thèse No. 1291, Université des Sciences et Techniques de Lille Flandres-Artois, 1994.
 - [7] J. B. HUGHES & K. W. MOULDING
S2I: A Switched-Current Technique for High Performance
Electronics Letters, 5th August 1993, Vol. 29 No.16
-

Chapitre 1

Etude et modélisation des principaux effets limitatifs des cellules à mémoire de courant

Les circuits à courant commuté sont composés d'éléments de base: les cellules à mémoire de courant. Afin de concevoir de tels circuits, une étude de ces cellules et de leurs principaux effets limitatifs tels la conductance de sortie de la cellule, la charge injectée par l'interrupteur d'échantillonnage... est présentée. Une modélisation de ces effets et notamment du comportement transitoire de la cellule est proposée. Le modèle de la cellule ainsi obtenu permettra une simulation rapide des circuits à courant commuté.

1.1 La cellule à mémoire de courant

1.1.1 Principe de fonctionnement

La cellule à mémoire de courant [1] [2] est un des éléments de base des circuits à courant commuté. Elle réalise trois opérations élémentaires: elle mémorise le courant, elle l'inverse lors de la restitution et elle somme les divers courants à son entrée.

Il existe plusieurs types de cellules à mémoire de courant mais leur principe de fonctionnement est dérivé de celui de la cellule élémentaire. La Fig 1.1 en illustre le principe.

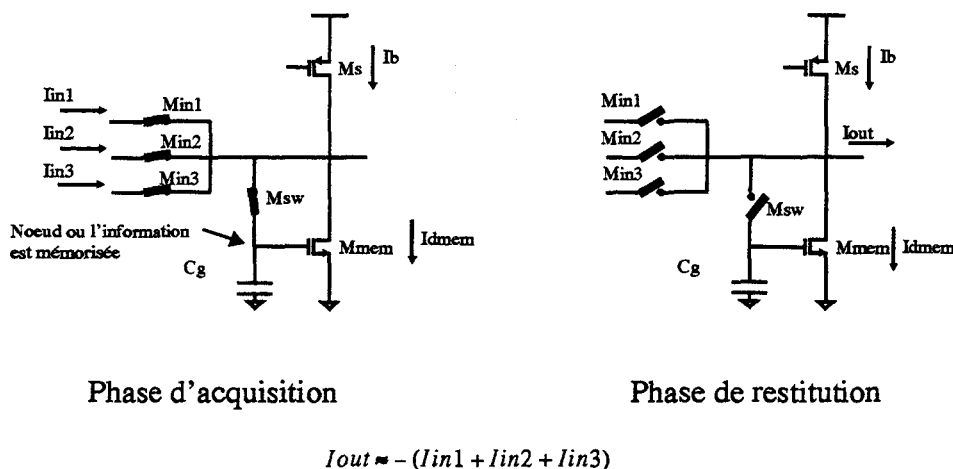


Fig 1.1 Cellule à mémoire de courant simple

La somme des courants en entrée de la cellule est convertie en une tension qui est mémorisée sur la capacité de grille du transistor mémoire $M1$. La conversion courant tension est réalisée par le transistor mémoire pendant la phase dite d'acquisition. Durant cette phase, le transistor mémoire est connecté en diode, il existe donc une relation entre son courant de drain et sa tension de grille. Pendant l'acquisition du courant les interrupteurs d'entrée Min et d'échantillonnage Msw sont passants.

Une fois la tension de grille établie, la grille est isolée du drain par l'ouverture du transistor Msw et la tension de grille est mémorisée. Il suffit alors pendant la seconde phase dite de restitution, que le transistor de mémorisation soit saturé pour qu'il restitue le courant de drain ainsi mémorisé. Cette restitution vers une autre cellule nécessite donc d'ouvrir l'interrupteur Min .

L'ajout d'une source de courant de polarisation I_b permet de mémoriser des courants positifs et négatifs. Il est impératif que l'interrupteur d'échantillonnage Msw soit coupé avant l'interrupteur d'entrée pour garantir une bonne mémorisation. L'ouverture de l'interrupteur d'entrée coupe l'arrivée du courant d'entrée, il y a un déséquilibre entre le courant de la source PMOS et le courant du transistor NMOS. Dans le cas où l'interrupteur d'échantillonnage est encore passant, le transistor mémoire reste connecté en diode et il va changer son courant de drain pour équilibrer le courant de polarisation de la source PMOS. La mémorisation du courant d'entrée sera détruite.

1.1.2 Principaux effets limitatifs et leur caractérisation

Ce paragraphe liste les principales limitations des cellules à mémoire de courant ainsi

que la manière dont elles ont été calculées lors de la validation des résultats expérimentaux. Un sous chapitre entier est consacré à la modélisation temporelle de la cellule à mémoire de courant, ce modèle représente une partie importante de ce travail de thèse.

1.1.2.1 L'injection de charge

A la fin de la phase d'acquisition, le blocage du transistor d'échantillonnage permet d'isoler électriquement la grille du transistor mémoire. Au cours de ce blocage, la charge Q_{tot} qui était stockée dans le canal de l'interrupteur est libérée (Fig 1.2).

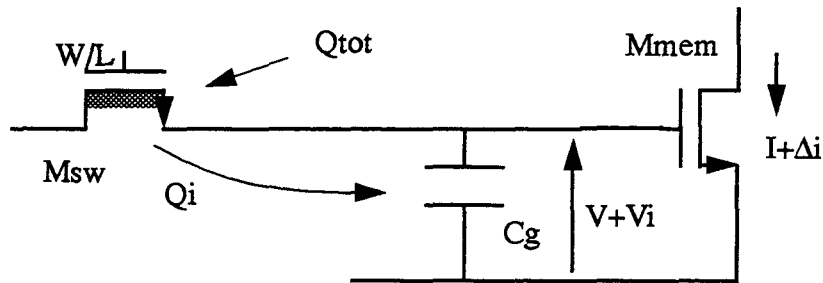


Fig 1.2 Mécanisme de l'injection de charge

Une partie de cette charge Q_i est transférée vers la capacité de grille du transistor mémoire C_g , ce qui modifie la tension mémorisée. Cette variation de tension ΔV_i cause une erreur Δi sur le courant de drain suivant la relation:

$$\Delta i = gm \cdot \Delta V_i = gm \cdot \frac{Q_i}{C_g} \quad (1.1)$$

$$K_i = \frac{Q_i}{Q_{tot}} \quad (1.2)$$

où gm est la transconductance du transistor mémoire

L'injection de charge se caractérise au moyen d'un coefficient de proportionnalité K_i entre la charge injectée Q_i sur la capacité mémoire et la charge totale stockée dans le canal du transistor d'échantillonnage Q_{tot} (1.2). Ce rapport donne l'importance de la perturbation apportée par la coupure de l'interrupteur, il permet donc de caractériser l'injection de charge. Il est principalement fonction de trois paramètres [3]:

- La valeur des deux capacités connectées à la source et au drain du transistor d'échantillonnage.
- La pente du signal de commande lors de la coupure du transistor d'échantillonnage.
- La tension de grille avant coupure ainsi que la tension de seuil du transistor d'échantillonnage.

Une technique couramment utilisée pour réduire l'injection de charge est l'utilisation d'un transistor auxiliaire de taille moitié [4]. Cette technique permet de compenser parfaitement l'injection de charge quand le coefficient de proportionnalité K_i a pour valeur 0.5. La Fig 1.3 en explique brièvement le principe.

Une fois l'interrupteur d'échantillonnage coupé, la charge Q_i a été injectée sur la capacité mémoire. Le transistor auxiliaire M_{dum} est alors bloqué. Comme son drain est connecté à sa source la totalité de la charge Q_{dum} qu'il stockera dans son canal va provenir de la capacité de mémorisation. Si la surface de ce transistor auxiliaire est la moitié de la surface du transistor d'échantillonnage, la charge de son canal sera $Q_{tot}/2$. On obtiendra donc une compensation optimale quand K_i sera égal à 0.5.

De la même façon on définit le ratio K_{ic} qui est le rapport entre la charge restante sur la capacité mémoire après compensation et la charge totale Q_{tot} (1.4). Ce ratio K_{ic} caractérise l'efficacité de la compensation d'injection de charge.

$$\Delta_{ic} = gm \cdot \Delta V_{ic} = gm \cdot \frac{Q_i - Q_{dum}}{C_g} \tag{1.3}$$

$$K_{ic} = \frac{Q_i - Q_{dum}}{Q_{tot}} \tag{1.4}$$

On verra dans ce chapitre que le dispositif de compensation par demi transistor permet expérimentalement de mesurer le rapport K_i .

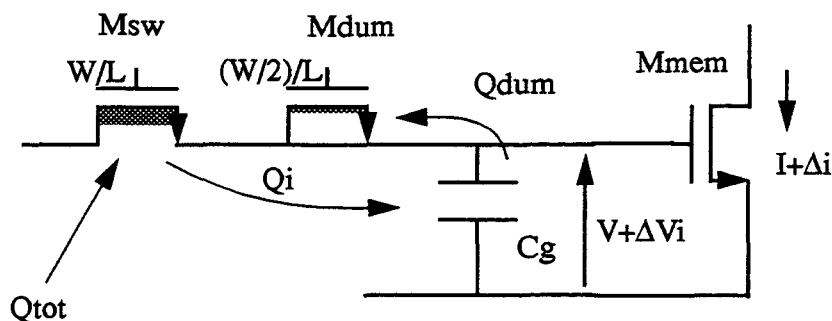


Fig 1.3 Compensation de l'injection de charge

1.1.2.2 conductance de sortie

Durant la phase d'acquisition, le noeud d'entrée de la cellule à mémoire de courant se stabilise vers une valeur qui dépend de la somme des courants entrants. Cette variation de tension d'entrée se répercute sur les cellules en restitution dont le courant est modulé du fait de la conductance de sortie g_o (1.5).

$$\Delta I_{out} = g_o \cdot \Delta V_{out} \tag{1.5}$$

La précision de la copie de courant est fonction du rapport entre la valeur de la conductance de sortie des cellules en restitution et la valeur de la transconductance vue à l'entrée de la cellule en acquisition.

La conductance de sortie de la cellule à mémoire de courant est due à:

- l'effet Early des transistors composant la mémoire et la source de polarisation

Ib. C'est la partie statique de la conductance de sortie (g_{stat}).

• Le couplage capacitif drain grille du transistor mémoire. Une variation de la tension de drain induit une légère modification de la tension mémorisée par l'intermédiaire du diviseur capacitif formé par C_{gd} et C_g . Il en résulte une modulation du courant de drain (1.6), ce processus peut donc se modéliser comme une conductance. C'est la partie dynamique de la conductance de sortie.

$$g_{dyn} = gm \cdot \frac{C_{gd}}{C_g + C_{gd}} \tag{1.6}$$

La conductance de sortie de la cellule est donc la somme de ces deux conductances (1.7). On montrera que la mesure de la conductance totale de sortie de la cellule ainsi que la mesure de la partie dynamique seule sont possibles.

$$g_o = g_{stat} + g_{dyn} \tag{1.7}$$

1.1.2.3 Erreur de stabilisation

Une des limitations de la cellule est l'erreur de stabilisation durant la phase d'acquisition. La valeur du courant d'entrée force un nouveau point de polarisation et donc une nouvelle tension sur la capacité mémoire qu'il va falloir atteindre au cours du transitoire durant l'acquisition. La précision de la cellule sera donc fonction de la vitesse de stabilisation de la cellule, il convient donc d'étudier le transitoire d'établissement de la tension de mémorisation.

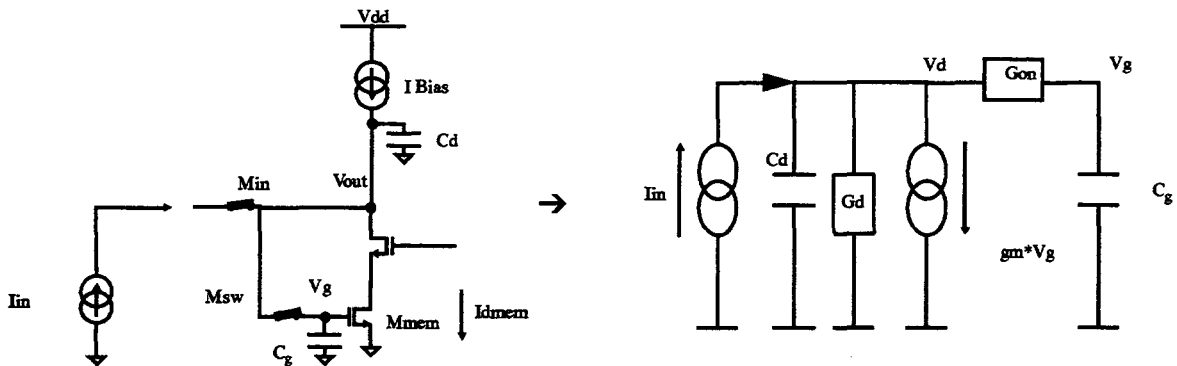


Fig 1.4 Modélisation petit signal de la cellule cascodée

Pour calculer la forme du transitoire une étude petit signal de la cellule soumise à un échelon de courant à son entrée s'avère insuffisante. En effet on ne peut considérer la cellule en fonctionnement petit signal puisque le courant d'entrée peut atteindre la moitié de la valeur du courant de polarisation de la cellule. De plus, le fait d'appliquer un échelon de courant en entrée ne tient pas compte du timing particulier des cellules à mémoire de courant qui a une certaine influence sur la nature du transitoire. La partie suivante du chapitre expose une approche nouvelle du calcul de l'erreur de stabilisation, un modèle implémentable dans le simulateur de circuits à courant commuté développé à l'I.E.M.N. [5] y est décrit.

1.2 Modélisation temporelle de la cellule à mémoire de courant

Une cellule à mémoire de courant de type cascodée [6] a été modélisée. En effet ses performances sont bien meilleures en terme de précision de copie de courant. Le modèle proposé [7] est facilement modifiable pour d'autres types de cellules.

1.2.1 Modèle petit signal classique

L'approche classique de la modélisation de la cellule à mémoire de courant pendant la phase d'acquisition [8] consiste en une description petit signal de la cellule. Le signal d'entrée est alors appliqué sous la forme d'un échelon de courant, le début de l'échelon marquant le démarrage de l'acquisition. La Fig 1.4 donne le schéma petit signal de la cellule.

La conductance G_d modélise la conductance de la source de courant I_{bias} ainsi que la conductance de l'ensemble transistor mémoire et transistor d'acquisition vue par le noeud V_d . La conductance de l'interrupteur d'échantillonnage est modélisé par g_{on} . On considère que le transistor d'entrée M_{in} est dimensionné de manière à ce que sa conductance soit négligeable. G_m est la transconductance du transistor mémoire.

Le modèle décrit l'évolution de la tension de mémorisation V_g ainsi que celle du courant de drain du transistor mémoire I_{dmem} en fonction du temps, pour un courant d'entrée donné. La tension de grille du transistor de mémorisation V_g se déduit des deux équations suivantes:

$$V_d = V_g \left(1 + \frac{C_g \cdot p}{g_{on}} \right) \quad (1.8)$$

$$I_{in} = C_g \cdot p \cdot V_g + g_m \cdot V_g + g_d \cdot V_d + C_d \cdot p \cdot V_d \quad (1.9)$$

A partir des deux équations (1.8) (1.9) on peut exprimer la tension V_g en fonction de I_{in} :

$$V_g = \frac{1}{\frac{C_d \cdot C_g}{g_{on}} \cdot p^2 + \left(C_g + C_d + \frac{C_g \cdot g_d}{g_{on}} \right) \cdot p + g_m + g_d} \cdot I_{in} \quad (1.10)$$

La fonction de transfert est du second ordre, la stabilisation est donc similaire à celle d'un circuit oscillant. On va donc modifier l'équation de façon à utiliser la formulation classique (1.11).

$$V_g = \frac{I_{in} / (g_m + g_d)}{\frac{p^2}{w_0^2} + \frac{2 \cdot z}{w_0} \cdot p + 1} \quad (1.11)$$

avec

$$w_0 = \sqrt{\frac{g_{on} \cdot (g_m + g_d)}{C_d \cdot C_g}} \quad z = \frac{C_g + C_d + \frac{g_d \cdot C_g}{g_{on}}}{2 \cdot \sqrt{C_d \cdot C_g}} \cdot \sqrt{\frac{g_{on}}{g_m + g_d}}$$

Le calcul des pôles de cette fonction donne deux solutions possibles suivant la valeur du paramètre z :

- si $z > 1$ on se trouve en régime sur amorti soit une stabilisation lente mais sans aucune oscillation. On obtiendra ce régime pour une cellule possédant un interrupteur d'échantillonnage ayant un fort W/L ($g_{on} \sim g_m$) ainsi qu'une forte capacité de mémorisation C_g ($C_g \gg C_d$).

- Si $z < 1$ on se trouve en régime sous amorti ce qui correspond à une stabilisation rapide mais avec des oscillations de la tension V_g . Ce régime est le régime idéal de stabilisation lorsque z est compris dans l'intervalle $\{0.6, 0.7\}$ [9]. Pour dessiner une cellule ayant une stabilisation en régime sous amorti, il faut un interrupteur d'échantillonnage plutôt petit ($g_{on} \ll g_m$) et il faut que la capacité de sortie C_d ne soit pas trop petite comparée à celle de mémorisation ($C_d \sim C_g$). La cellule utilisée pour la validation du modèle proposé (cf 1.3) est de ce type, son coefficient d'amortissement z varie entre 0.67 et 0.85 en fonction de la valeur du courant d'entrée de la cellule.

Dans le cas du régime sous amorti, $z < 1$, les deux pôles sont des complexes conjugués (1.12).

$$p_1 = -z \cdot \omega_0 + i \cdot \omega_0 \cdot \sqrt{1 - z^2} \quad p_2 = -z \cdot \omega_0 - i \cdot \omega_0 \cdot \sqrt{1 - z^2} \quad (1.12)$$

Pour le régime sur amorti, $z > 1$, les deux pôles sont réels (1.13).

$$p_1 = -z \cdot \omega_0 + \omega_0 \cdot \sqrt{z^2 - 1} \quad p_2 = -z \cdot \omega_0 - \omega_0 \cdot \sqrt{z^2 - 1} \quad (1.13)$$

La modélisation temporelle de la cellule à mémoire de courant doit pouvoir prédire l'évolution de V_g au cours de la phase d'acquisition. L'équation (1.11) donne une solution temporelle générale de la forme suivante (1.14).

$$V_g(t) = V_{g_0} + (V_{g_f} - V_{g_0}) \cdot (1 + A \cdot e^{p_1 \cdot t} + B \cdot e^{p_2 \cdot t})$$

avec $V_{g_f} = \frac{I_{in}}{g_m + g_d} + V_{g_0}$

La tension V_{g_0} est la valeur grand signal de la tension de mémorisation au début de la phase d'acquisition, c'est à dire pour $t=0$. les constantes A et B sont calculées de manière à satisfaire les conditions initiales (1.15). La seconde condition initiale provient du fait que l'on considère que la tension V_g est égale à la tension V_d au début de la phase d'acquisition.

$$V_g(0) = V_{g_0} \quad \frac{d}{dt}V_g(0) = 0 \quad (1.15)$$

Les valeurs de A et de B vérifiant la condition (1.15) permettent de calculer l'évolution

temporelle de la tension de mémorisation (1.16).

$$Vg(t) = Vg_0 + (Vg_f - Vg_0) \cdot \left(1 + \frac{p2}{p1 - p2} \cdot e^{p1 \cdot t} + \frac{p1}{p2 - p1} \cdot e^{p2 \cdot t} \right) \quad (1.16)$$

Pour un circuit oscillant du second ordre, le temps d'établissement optimal est atteint pour $z=0,7$ [9], ce qui correspond à un régime sous amorti. L'évolution temporelle de la tension de mémorisation $Vg(t)$ sera alors de type sinusoïdal amorti (1.17).

(1.17)

$$Vg(t) = Vg_0 + (Vg_f - Vg_0) \cdot \left(1 - e^{(-z \cdot w0 \cdot t)} \cdot \left(\cos(\sqrt{1 - z^2} \cdot w0 \cdot t) + \frac{z}{\sqrt{1 - z^2}} \cdot \sin(\sqrt{1 - z^2} \cdot w0 \cdot t) \right) \right)$$

La modélisation temporelle du courant Id_{mem} est déduite de celle de la tension Vg . En effet, le courant de drain Id_{mem} du transistor mémoire est fonction de deux composantes, la part essentielle provenant de la transconductance gm du transistor mémoire (1.18).

$$Idmem = gm \cdot Vg + gd \cdot Vd \quad (1.18)$$

En utilisant l'équation (1.8) on remplace la tension Vd par son expression en fonction du potentiel Vg , le courant Id_{mem} se déduit de la tension Vg de la manière suivante:

$$Idmem = (gm + gd) \cdot \left(1 + \frac{gd \cdot Cg}{gon \cdot (gm + gd)} \cdot p \right) \cdot Vg \quad (1.19)$$

L'équation (1.19) devient dans le domaine temporel une équation différentielle du premier ordre (1.20) qui permet de calculer l'évolution de Id_{mem} à partir de la fonction $Vg(t)$ et de sa dérivée qui sont parfaitement connues.

$$Idmem(t) = (gm + gd) \cdot (Vg(t) - Vg_0) + \frac{gd \cdot Cg}{gon} \cdot \frac{d}{dt} Vg(t) + Idmem(0) \quad (1.20)$$

Pour un facteur d'amortissement $z < 1$, une simulation de la cellule au cours de la phase d'acquisition en utilisant le modèle petit signal simple donne un résultat semblable aux courbes de la Fig 1.5. L'évolution typique de la tension de grille Vg pour plusieurs valeurs de courant d'entrée Iin y est représentée. La figure suivante (Fig 1.6) donne le type de réponse obtenue par simulation SPICE.

L'utilisation d'un tel modèle suppose l'approximation petit signal valable, c'est à dire que la valeur des paramètres petit signal tels la transconductance gm ou la conductance gon est considérée constante. La transconductance du transistor mémoire gm est proportionnelle à la racine carrée du courant de drain du transistor mémoire Id_{mem} . Or le courant d'entrée de la cellule peut atteindre la moitié du courant de polarisation, ce qui veut dire que la

transconductance g_m peut avoir de fortes variations au cours de la phase d'acquisition. Ceci est totalement incompatible avec l'hypothèse petit signal.

La prédiction d'un tel modèle petit signal ne sera valable que pour de petits signaux d'entrée. Une comparaison avec une simulation SPICE révèle plusieurs problèmes:

- L'amortissement au cours du transitoire est identique quelle que soit la valeur du courant d'entrée, ce qui n'est pas le cas en réalité.
- La valeur des surtensions sur V_g est largement sous-estimée.
- Le comportement du modèle est insensible au nombre de cellules à l'entrée, ce qui n'est pas le cas en simulation.

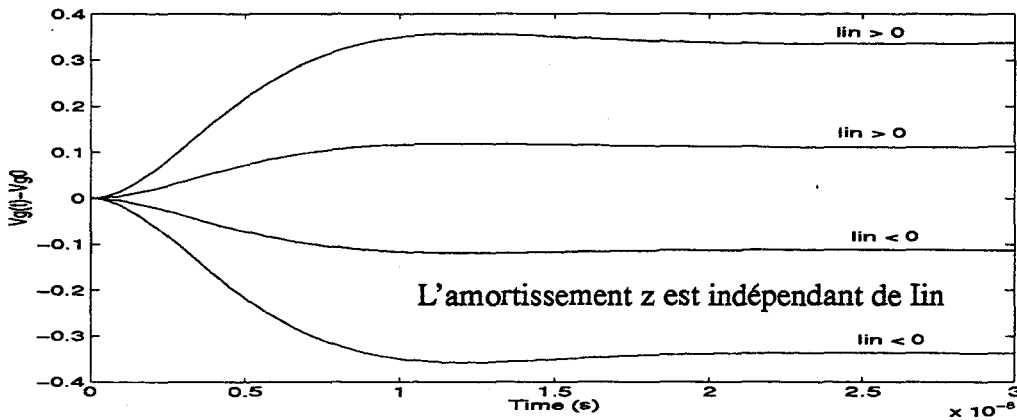


Fig 1.5 Evolution typique de $V_g(t)$ pour un modèle petit signal

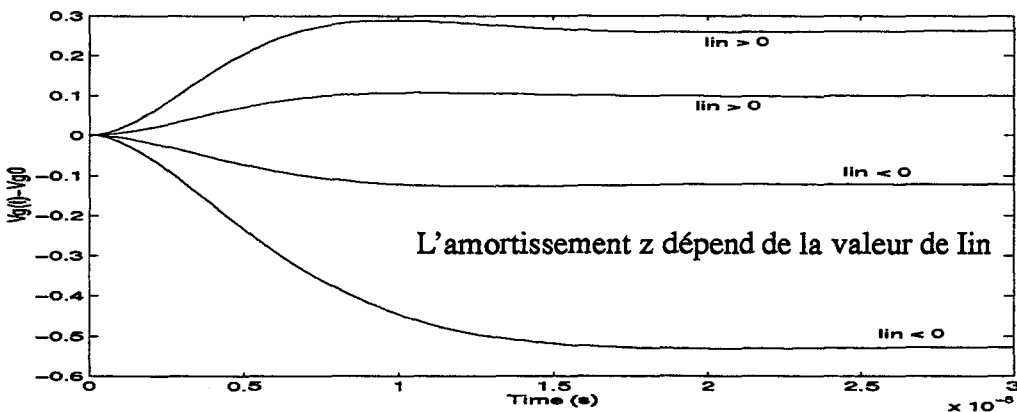


Fig 1.6 Evolution typique de $V_g(t)$ obtenue par simulation SPICE

Il convient donc de faire une étude plus approfondie de l'environnement de la cellule ainsi que de la modélisation de la cellule elle-même.

1.2.2 Modélisation approfondie de la cellule

Durant la phase d'acquisition, la cellule à mémoire de courant va passer d'un état initial correspondant au dernier courant mémorisé, à un état final induit par le courant en entrée de la cellule. Les paramètres tels que la tension de mémorisation V_g et le courant de drain du transistor mémoire $I_{d_{mem}}$, évoluent d'une valeur initiale V_{g_i} et $I_{d_{mem}_i}$ vers une valeur finale

V_{g_f} et I_{dmem_f} au cours du transitoire de l'acquisition.

La transconductance g_m du transistor mémoire est fonction du courant I_{dmem} :

$$g_m \approx \sqrt{\frac{2 \cdot K_{mem} \cdot I_{dmem}}{\lambda_{mem}}} \quad (1.21)$$

ou $K_{mem} = \mu \cdot C_{ox} \cdot \frac{W}{L}$ pour le transistor mémoire.

Comme le courant d'entrée I_{in} peut atteindre la moitié du courant de polarisation I_b , la transconductance g_m a de fortes variations au cours de l'acquisition.

La conductance de l'interrupteur d'échantillonnage g_{on} est fonction de la tension de mémorisation V_g de la manière suivante.

$$g_{on} \approx K_{sw} \cdot (V_{dd} - V_{t_0} - \lambda_{sw} \cdot V_g) \quad (1.22)$$

ou $K_{sw} = \mu \cdot C_{ox} \cdot \frac{W}{L}$ pour le transistor d'échantillonnage.

La tension de mémorisation varie au cours du transitoire, et donc la conductance g_{on} n'est pas constante. Une forte variation du courant I_{dmem} n'est causée que par une assez faible variation de la tension V_g du fait de la loi quadratique entre le courant de drain et la tension de grille du transistor mémoire. De ce fait la variation de g_{on} résultante sera négligeable puisque la conductance n'est pas directement proportionnelle à la tension V_g mais à la différence entre V_g et la tension d'alimentation V_{dd} . La conductance g_{on} de l'interrupteur pourra donc être considérée constante durant le transitoire de la phase d'acquisition de la cellule à mémoire de courant.

La principale erreur faite dans l'approximation petit signal de la cellule est de considérer la transconductance g_m du transistor mémoire constante. La prédiction du modèle petit signal classique peut être nettement améliorée en utilisant une modélisation "linéaire par segments" de la caractéristique I_{dmem} en fonction V_g du transistor mémoire.

1.2.2.1 Modélisation de la caractéristique du transistor mémoire

La caractéristique courant de drain en fonction de la tension de grille d'un transistor, s'il est saturé, est de type quadratique. Au cours du transitoire de la phase d'acquisition, le courant I_{dmem} varie de sa valeur initiale I_{dmem_i} à sa valeur finale I_{dmem_f} . Il en est de même pour la transconductance qui part de la valeur g_{m_i} pour atteindre la valeur g_{m_f} . La Fig 1.7 illustre le changement du point de polarisation du transistor mémoire du début à la fin de phase d'acquisition.

$$D1, I_{dmem} = g_{m_i}(V_g - V_{g_i}) + I_{dmem_i} \quad (1.23)$$

$$D2, I_{dmem} = g_{m_f}(V_g - V_{g_f}) + I_{dmem_f} \quad (1.24)$$

Un moyen simple d'approximer cette caractéristique est de tracer deux droites D1 et D2 qui tangentent la caractéristique du transistor au point (V_{g_i}, I_{dmem_i}) pour D1 et au point

(V_{g_f}, I_{dmem_f}) pour D2. Les deux droites se coupent pour une certaine tension $V_{g_{cut}}$, on peut donc approximer la caractéristique du transistor de la manière suivante:

.Si V_g appartient à $[V_{g_i}, V_{g_{cut}}]$ le courant I_{dmem} est déterminé par l'équation de la droite D1 (1.23). La transconductance du transistor vaut g_{m_i} .

.Si V_g appartient à $[V_{g_{cut}}, V_{g_f}]$ le courant I_{dmem} est déterminé par l'équation de la droite D2. La transconductance du transistor vaut g_{m_f} .

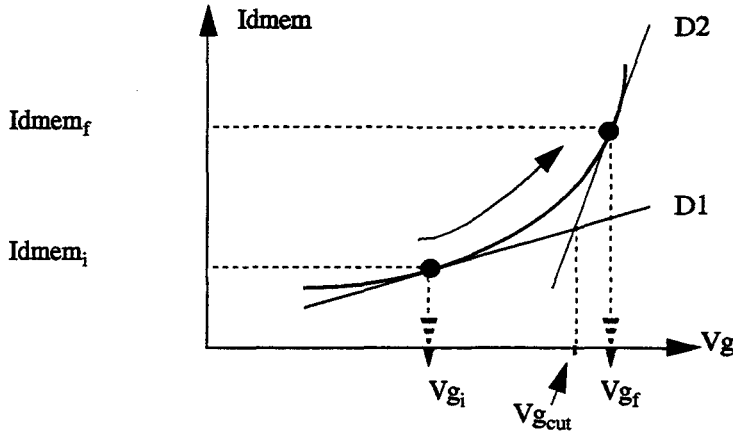


Fig 1.7 approximation de la caractéristique du transistor mémoire

Cette approximation implique de pouvoir calculer le point de polarisation initial et le point de polarisation final, ce qui est possible puisque le courant I_{in} ainsi que l'état précédent de la cellule sont connus. La tension $V_{g_{cut}}$ est alors calculée simplement suivant l'équation suivante:

$$V_{g_{cut}} = \frac{(I_{dmem_f} - I_{dmem_i}) + (g_{m_i} \cdot V_{g_i} - g_{m_f} \cdot V_{g_f})}{g_{m_i} - g_{m_f}} \quad (1.25)$$

Cette approximation linéaire par segments de la caractéristique du transistor permet alors d'utiliser le modèle petit signal pour modéliser la cellule à mémoire de courant avec de forts courants en entrée, il suffira de faire varier brutalement la valeur de la transconductance g_m lorsque la tension V_g sera égale à la valeur $V_{g_{cut}}$.

La modélisation se résumera à la résolution de deux équations du second ordre (1.11) une pour chaque valeur de la transconductance g_m .

1.2.2.2 Modélisation de la cellule à mémoire de courant

En utilisant l'approximation du paragraphe 1.2.2.1 la cellule est modélisée par un schéma petit signal identique à celui de la Fig 1.4.

(1.26)

$$V_g(t) = V_{g_i} + \frac{\Delta I_{in}}{g_{m_i}} \cdot \left(1 - e^{(-z \cdot w_0 \cdot t)} \cdot \left(1 \cdot \cos(\sqrt{1-z^2} \cdot w_0 \cdot t) + \frac{z}{\sqrt{1-z^2}} \cdot \sin(\sqrt{1-z^2} \cdot w_0 \cdot t) \right) \right)$$

$$z = \frac{C_g + C_d + \frac{g_d \cdot C_g}{g_{on}}}{2 \cdot \sqrt{C_d \cdot C_g}} \cdot \sqrt{\frac{g_{on}}{g_{m_i} + g_d}} \quad w_0 = \sqrt{\frac{g_{on} \cdot (g_{m_i} + g_d)}{C_d \cdot C_g}}$$

On considère à $t=0$, pour le début de la phase d'acquisition, que le courant de drain du transistor mémoire est I_{dmem_i} et la tension de mémorisation est V_{g_i} . La résolution du schéma petit signal donne la fonction de transfert de l'équation (1.11), la valeur de g_m est g_{m_i} . En considérant le cas le plus utilisé qui est sous amorti ($z < 1$), la résolution temporelle de l'équation (1.11) avec les conditions initiales (1.15) permet de décrire l'évolution de la tension $V_g(t)$ de la manière décrite dans l'équation (1.26).

Cette équation de l'évolution de la tension de mémorisation est valable tant que V_g appartient à l'intervalle $[V_{g_i}, V_{g_{cut}}]$. On calcule le moment T_{cut} où la tension V_g est égale à la valeur $V_{g_{cut}}$. On résoud donc l'équation:

$$V_g(T_{cut}) = V_{g_{cut}} \quad (1.27)$$

La résolution littérale de cet équation est quasiment impossible, alors que la résolution numérique est simple par convergence. On considère donc que l'évolution de la tension de mémorisation de la cellule est décrite par l'équation (1.26) dans l'intervalle de temps $[0, T_{cut}]$.

Pour ne pas confondre la description de la tension V_g avant et après T_{cut} , l'évolution de la tension V_g est donnée par la fonction $V_g(t)$ pour $t < T_{cut}$, elle est donnée par la fonction $V_{gg}(t)$ pour $t > T_{cut}$.

Pour $t > T_{cut}$, la cellule est modélisée par un schéma petit signal identique à celui de la Fig 1.4 avec la transconductance g_m égale à g_{m_f} . On résoud aussi dans le domaine temporel l'équation (1.11) mais avec des conditions initiales différentes de celle du (1.15). Pour assurer la continuité électrique de la tension de mémorisation à $t = T_{cut}$, on se fixe:

$$V_{gg}(T_{cut}) = V_g(T_{cut}) = V_{g_{cut}} \quad \frac{d}{dt}V_{gg}(T_{cut}) = \frac{d}{dt}V_g(T_{cut}) \quad (1.28)$$

On considère aussi que $V_{gg}(\infty) = V_{g_f}$ pour faire tendre la tension V_g vers sa valeur finale. En tenant compte de ces conditions on obtient comme solution la fonction décrite en (1.29) dans le cas sous amorti pour $t > T_{cut}$. Cette solution sera considérée comme valable dans l'intervalle $[T_{cut}, \infty]$ même si, suite aux oscillations autour de V_{g_f} , il est possible que la tension V_g passe par la valeur $V_{g_{cut}}$.

(1.29)

$$V_g(t) = V_{g_f} + (V_{g_{cut}} - V_{g_f}) \cdot e^{(-z \cdot w_0 \cdot t)} \cdot (\cos(\sqrt{1-z^2} \cdot w_0 \cdot T) + F \cdot \sin(\sqrt{1-z^2} \cdot w_0 \cdot T))$$

$$T = t - T_{cut} \quad F = \frac{1}{\sqrt{1-z^2}} \cdot \left(z + \frac{\frac{d}{dt}V_g(T_{cut})}{w_0 \cdot (V_{g_{cut}} - V_{g_f})} \right)$$

$$z = \frac{C_g + C_d + \frac{g_d \cdot C_g}{g_{on}}}{2 \cdot \sqrt{C_d \cdot C_g}} \cdot \sqrt{\frac{g_{on}}{g_{m_f} + g_d}} \quad w_0 = \sqrt{\frac{g_{on} \cdot (g_{m_f} + g_d)}{C_d \cdot C_g}}$$

La modélisation temporelle de la cellule à mémoire de courant de manière globale se déroulera de la manière suivante:

- Calcul de tous les paramètres de la cellule ce qui comprend les valeurs statiques (C_g , C_d , g_{on}, \dots) les valeurs initiales (V_{g_i} , I_{dmem_i} , g_{m_i}, \dots) les valeurs finales correspondant au point de repos pour un temps d'acquisition infini (V_{g_f} , I_{dmem_f} , g_{m_f}, \dots) ainsi que la tension $V_{g_{cut}}$.

- Résolution de l'équation différentielle avec la transconductance g_m égale à g_{m_i} . Ce qui donne l'évolution de la tension de mémorisation V_g (1.26) pour le premier intervalle de temps $[0, T_{cut}]$.

- Calcul du temps T_{cut} qui vérifie la relation $V_g(T_{cut}) = V_{g_{cut}}$.

- Résolution de l'équation différentielle avec la transconductance du transistor mémoire égale à g_{m_f} et les conditions initiales décrites par l'équation (1.28). On obtient l'évolution de la tension de mémorisation V_g (1.29) pour le second intervalle de temps $[T_{cut}, \infty]$.

- Le modèle est alors défini par la figure suivante (Fig 1.8).

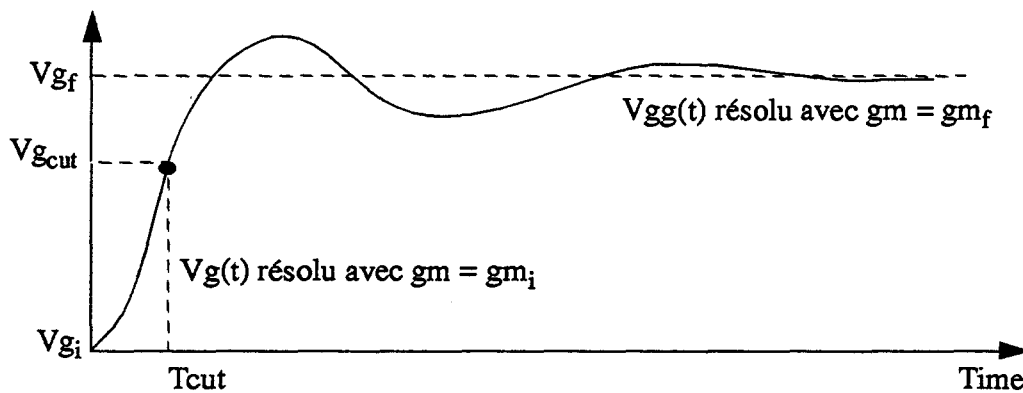


Fig 1.8 Modélisation "Linéaire par segments" de la cellule

Afin de valider ce modèle, des comparaisons ont été faites entre la prédiction du modèle et une simulation SPICE pour une cellule cascodée. Les résultats de cette comparaison, donnés au chapitre 1.3, montrent que le modèle reste prédictif même pour des amplitudes de courant d'entrée élevées. Le fait de décomposer le temps d'acquisition en deux intervalles prend en compte les deux étapes du transitoire de la cellule:

- La première est la plus courte, elle correspond à $t < T_{cut}$. C'est le moment pendant lequel la tension de mémorisation V_g est loin de sa valeur finale. La cellule charge ou décharge la capacité de mémorisation vers la tension V_{g_f} .

- La seconde est la plus longue, elle correspond à $t > T_{cut}$. La tension de mémorisation est proche de sa valeur finale, elle oscille ou se rapproche de celle-ci afin de l'atteindre de manière précise.

Le courant de drain du transistor mémoire I_{dmem} est calculé simplement à partir de la tension de mémorisation. Pour $t < T_{cut}$, I_{dmem} est calculé avec l'équation de la droite D1 (1.23). Pour $t > T_{cut}$, I_{dmem} est calculé avec l'équation de la droite D2.

L'utilisation de ce modèle pour prédire le transitoire de la cellule à mémoire de courant reste valable si un générateur de courant idéal est à l'entrée de la cellule. Dans le cas réel, où la cellule reçoit son courant d'une ou plusieurs autres cellules, le transitoire d'acquisition se

révèle fort dépendant des commandes d'horloge appliquées aux deux cellules ainsi que du nombre de cellules à l'entrée. Ceci n'est pas encore pris en compte dans le modèle. La section suivante étudie ce problème.

1.2.3 Influence du timing et de l'environnement de la cellule.

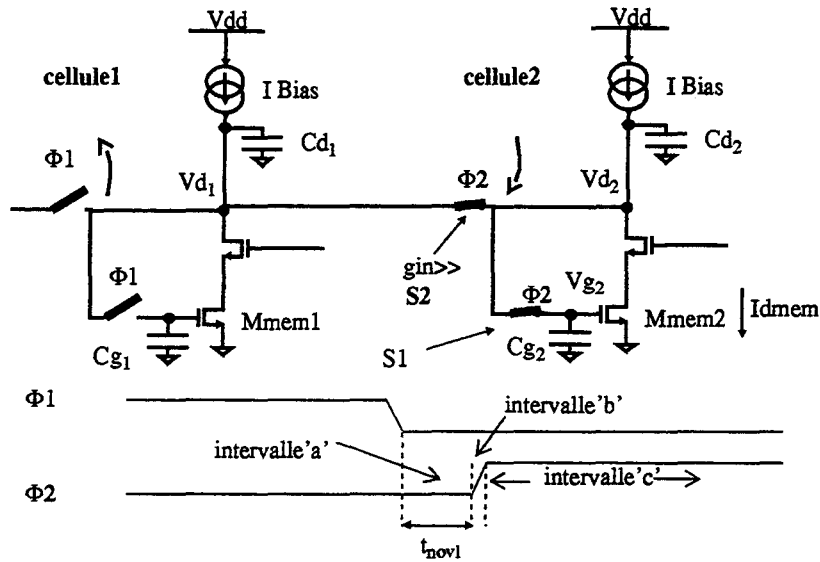


Fig 1.9 Interconnexion de deux cellules

Pour étudier précisément l'influence du timing ainsi que de l'environnement de la cellule à mémoire de courant sur le transitoire d'acquisition, nous allons considérer un cas réaliste d'interconnexion de deux cellules. Au cours de l'acquisition, une cellule à mémoire de courant reçoit son courant d'entrée d'une ou plusieurs autres cellules en phase de restitution (Fig 1.1). L'hypothèse du générateur de courant idéal en entrée de la cellule n'est donc pas réaliste car elle ne prend pas en compte la conductance et la capacité de sortie des cellules en entrée.

La Fig 1.9 donne un exemple de deux cellules interconnectées, la sortie de la cellule1 est connectée à l'entrée de la cellule2. Les interrupteurs Min et Msw des cellules sont commandés par le même signal d'horloge: $\Phi 1$ pour la cellule1 et $\Phi 2$ pour la cellule2. Le timing du début de la phase d'acquisition est donné par le petit diagramme temporel de la Fig 1.9, il correspond à la succession de trois intervalles distincts:

- L'intervalle 'a' correspond au laps de temps entre la fin de l'acquisition de la cellule1 et le début de la phase d'acquisition de la cellule2. Ce temps est forcément non nul car il est nécessaire au bon fonctionnement du circuit. Sans cet intervalle de non recouvrement la cellule2 débiterait son acquisition juste à la fin de la phase d'acquisition de la cellule1 et donc l'information mémorisée par la cellule1 risquerait d'être modifiée.
- L'intervalle 'b' est très court, il correspond au temps de montée du signal d'horloge $\Phi 2$, temps pendant lequel les interrupteurs Min et Msw de la cellule2 passent de l'état ouvert à l'état fermé.
- L'intervalle 'c' correspond à la phase d'acquisition de la cellule2, c'est donc durant cet intervalle que la cellule est décrite avec le modèle précédent. La durée de l'intervalle 'a' correspond au non-recouvrement T_{nov1} des horloges $\Phi 1$ et $\Phi 2$.

Les noms des noeuds de sortie des cellule1 et cellule2 sont respectivement V_{d1} et V_{d2} , le nom du noeud de mémorisation de la cellule2 est V_{g2} . Un exemple d'évolution des tensions

des différents noeuds au cours du timing est donné par la Fig 1.10. Les trois intervalles sont clairement mis en évidence.

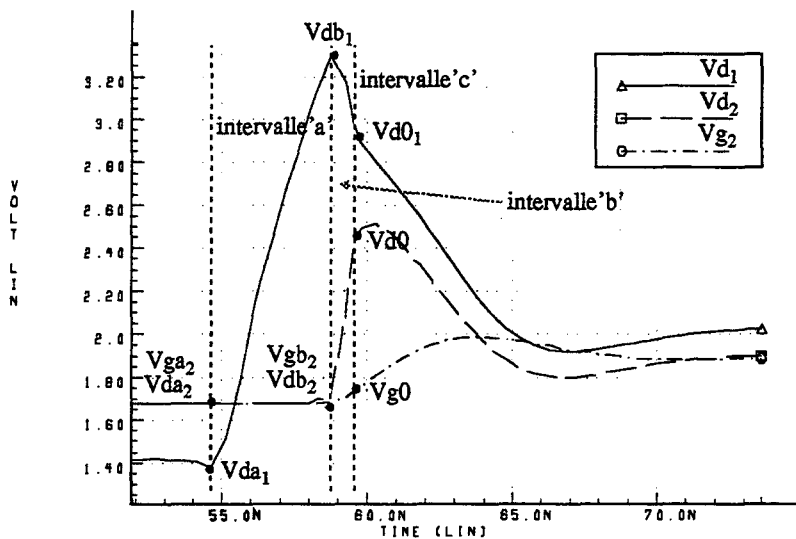


Fig 1.10 Simulation de l'évolution des tensions au cours de la phase d'acquisition

Les valeurs initiales des tensions V_{d1} , V_{d2} et V_{g2} sont respectivement appelées V_{da1} , V_{da2} et V_{ga2} . On considère que lors de l'acquisition précédente la cellule2 a mémorisé un courant d'entrée nul. Une telle hypothèse est faite de manière à pouvoir analyser plus simplement le transitoire puisque la valeur initiale de la tension de mémorisation V_{g2} est alors connue et en milieu de dynamique.

Pendant l'intervalle'a', la tension du noeud V_{d1} augmente très rapidement alors que celle du noeud V_{d2} reste presque constante. En effet les deux signaux d'horloge sont à l'état bas, les cellules sont donc déconnectées. La différence entre le courant de polarisation I_{bias} et le courant de drain I_{dmem} mémorisé de la cellule1 crée une variation rapide de la tension du noeud de sortie de la cellule1 puisque cette différence de courant va charger la capacité C_{d1} (Fig 1.11). Pour la cellule2 la tension V_{d2} ne varie presque pas puisque le courant de drain du transistor mémoire est égal à celui de la source de polarisation.

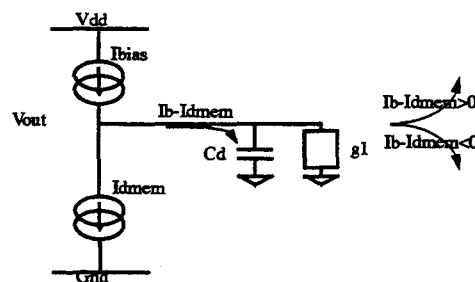


Fig 1.11 Evolution de la tension de sortie de la CMC pendant l'intervalle'a'.

La variation de la tension du noeud de sortie V_{d1} dépend de la différence de courant, de la capacité C_{d1} ainsi que du temps de non-recouvrement T_{nov1} . Pour des valeurs importantes de T_{nov1} , la variation de V_{d1} est telle qu'elle peut forcer l'un des transistors cascades à se désaturer.

Les valeurs des tensions sur les noeuds V_{d1} , V_{d2} et V_{g2} à la fin de l'intervalle 'a' sont respectivement V_{db1} , V_{db2} et V_{gb2} . On voit au cours de l'intervalle'b' que les tensions des

noeuds V_{d1} et V_{d2} se rapprochent l'une de l'autre rapidement. En effet, suite à la fermeture du transistor d'entrée de la cellule2, la différence entre ces deux tensions va donc créer une redistribution de charge instantanée entre ces deux capacités. A la fin de l'intervalle b les tensions des noeuds V_{d1} et V_{d2} seront presque identiques (Fig 1.12). La différence de potentiel résiduelle entre ces deux noeuds est due à la chute de potentiel dans l'interrupteur d'entrée de la cellule2.

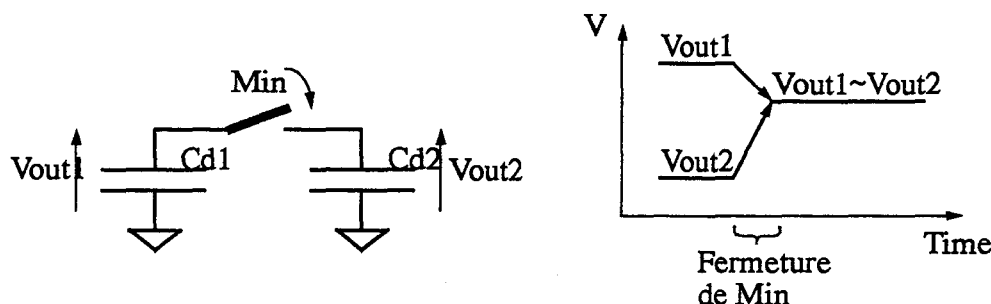


Fig 1.12 Redistribution des charges instantanée lors de l'intervalle 'b'.

Au début de l'intervalle c les tensions des noeuds V_{d2} , V_{g2} et V_{d1} sont respectivement V_{d0} , V_{g0} et V_{d0_1} . Ces tensions seront utilisées comme conditions initiales pour le modèle "linéaire par segments".

Ces conditions initiales sont différentes de celles utilisées lors de la description du modèle, en effet la tension du noeud de sortie de la cellule2, V_{d2} , est différente de sa tension de mémorisation V_{g2} du fait de la redistribution de charge entre les capacités C_{d1} et C_{d2} . Cette différence entre la tension V_{g2} et la tension V_{d2} aura pour conséquence sur le fonctionnement de la cellule d'augmenter la perturbation initiale et donc augmentera la valeur de l'overshoot.

Cette désaturation des cellules pendant le non-recouvrement des horloges doit être pris en compte pour avoir une modélisation temporelle précise de la cellule à mémoire de courant. La section suivante donne la description du modèle complet proposé qui prend en compte tout les problèmes énoncés.

1.2.4 Modèle complet

Le modèle temporel complet de la cellule à mémoire de courant est décomposé en trois parties, décrivant le comportement de la cellule dans chacun des trois intervalles décrits précédemment.

intervalle 'a'. L'évolution de la tension des noeuds de sortie V_{d1} et V_{d2} lors du non-recouvrement des horloges Φ_1 et Φ_2 est modélisé. Pour cela, nous utilisons un modèle petit signal du premier ordre décrit dans la Fig 1.13. La conductance g_1 modélise la conductance de sortie de la cellule à mémoire de courant. Une équation différentielle du premier ordre décrit le circuit.

Pendant l'intervalle 'a', une large variation de la tension du noeud de sortie V_{d1} ou V_{d2} peut désaturer l'un des transistors cascode. Il en résultera une brusque variation de la conductance g_1 . Une approximation "linéaire par segments" est alors utilisée pour modéliser cette brusque transition. On calcule les deux valeurs (V_{dsatp} et V_{dsatn}) de la tension de sortie qui limitent la région de fonctionnement saturé de la cellule. La conductance g_1 est alors calculée dans cette région et en dehors.

On obtient donc trois valeurs de la conductance. L'équation différentielle est résolue pour les trois valeurs possibles de la conductance g_1 . La transition entre les trois solutions est assurée par la continuité électrique de la tension du noeud de sortie V_{d1} ou V_{d2} .

Le modèle de la cellule permet de calculer la valeur de la tension du noeuds de sortie à la fin de l'intervalle 'a', soit V_{db1} et V_{db2} , en fonction du temps de non-recouvrement T_{nov1} et des valeurs de tension initiales V_{da1} et V_{da2} .

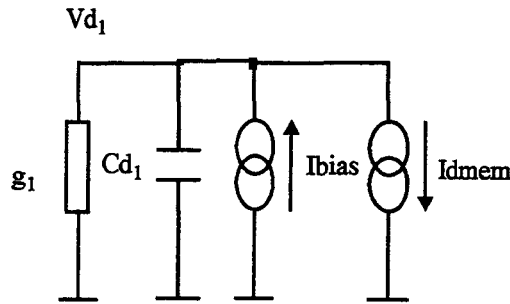


Fig 1.13 Modélisation petit signal de la désaturation des cellules

intervalle 'b'. Durant ce court laps de temps, la redistribution des charges entre les deux capacités de sortie des cellules C_{d1} et C_{d2} est modélisée. Cette redistribution des charges est causée par la différences entres les deux tensions V_{db1} et V_{db2} de sortie des cellules à la fin de l'intervalle 'a'. Après la redistribution des charges la tension de sortie des deux cellules est presque égale, la seule différence est due à la différence de potentiel aux bornes de l'interrupteur d'entrée de la cellule2. La valeur de la tension du noeud de sortie de la cellule2 V_{d0} à la fin de l'intervalle 'b' est calculée de la manière suivante:

$$V_{d0} = \frac{C_{d1}V_{db1} + C_{d2}V_{db} - \frac{C_{d1}I_{in}}{g_{in}}}{C_{d1} + C_{d2}} \tag{1.30}$$

g_{in} est la conductance de l'interrupteur d'entrée de la cellule2.

intervalle 'c'. A la fin de l'intervalle 'b' la tension du noeud V_{d2} a pour valeur V_{d0} , cette valeur sera utilisée pour calculer les conditions initiales nécessaires au modèle de la cellule pendant la phase d'acquisition. En effet l'intervalle 'c' représente la phase d'acquisition effective de la cellule2, l'évolution de la tension de mémorisation V_g ainsi que du courant de drain du transistor mémoire y sont décrits. Pour cela on utilisera le modèle développé au sous-chapitre 1.2.2 avec trois modifications:

. La capacité de sortie C_d doit être la somme des capacités de sortie de la cellule1 et de la cellule2. En effet la conductance de l'interrupteur d'entrée de la cellule2 est assez faible pour considérer ces deux capacités en parallèle. on a donc:

$$C_d = C_{d1} + C_{d2} \tag{1.31}$$

- . Le temps $t=0$ du modèle correspond au début de l'intervalle 'c'.
- . Les conditions initiales données par l'équation (1.15) ne sont plus valables. La

valeur initiale de la tension de mémorisation V_{g2} est égale à la tension de ce noeud au début de l'intervalle 'a' soit V_{ga2} . La valeur initiale de la dérivée de la tension de mémorisation V_{g2} par rapport au temps à $t=0$ n'est plus nulle mais est déduite de la valeur de la tension de sortie V_{d2} avec l'équation suivante:

$$V_{d2} = V_{g2} + \frac{C_{g2}}{g_{on}} \cdot \frac{d}{dt} V_{g2} \quad (1.32)$$

Cette équation provient de la première partie de l'équation (1.8) appliquée à la cellule2. Elle permet donc de calculer la dérivée de la tension V_{g2} à $t=0$ de la manière suivante:

$$\frac{d}{dt} V_{g2} (0) = \frac{g_{on}}{C_{g2}} \cdot (V_{d0} - V_{g2} (0)) \quad V_{g2} (0) = V_{ga2} \quad (1.33)$$

Les conditions initiales à $t=0$ pour le modèle de la cellule à mémoire de courant durant la phase d'acquisition sont donc données par l'équation (1.33).

Le modèle ainsi présenté permet de décrire de manière précise le comportement temporel de la cellule à mémoire de courant au cours de la phase d'acquisition. Ce modèle est facilement implémentable dans un simulateur de circuits à courant commuté.

Une validation de ce modèle avec une simulation SPICE est présentée dans le sous-chapitre suivant. Une méthodologie de test permettant de mesurer l'évolution du courant de drain du transistor mémoire durant la phase d'acquisition et donc de valider expérimentalement le modèle sera aussi présentée.

1.3 Validation numérique du modèle

Pour valider le modèle une simulation électrique des deux cellules dans la configuration de la Fig 1.9 a été réalisée sur le simulateur HPSICE. La cellule à mémoire de courant est du type cascodée. Le courant de bias est fixé à $400\mu\text{A}$, la dynamique d'entrée du courant est de $+200\mu\text{A}$ à $200\mu\text{A}$. Les tailles des transistors employés sont données dans la Fig 1.14.

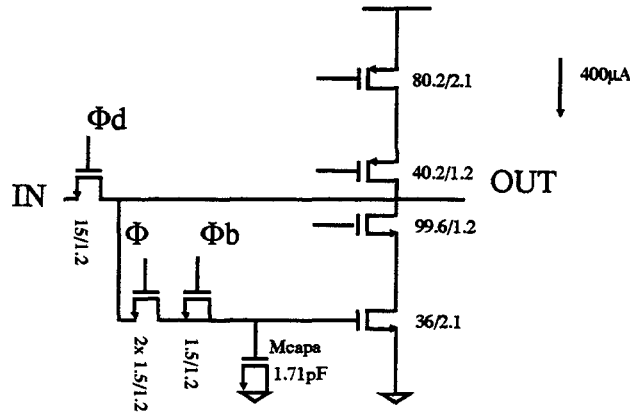


Fig 1.14 Cellule à mémoire de courant implémentée

Cette cellule sera réalisée pour la confrontation expérimentale, la technologie utilisée est la $1.2\mu\text{m}$ ES2. Les paramètres petits signaux utilisés dans le modèle sont:

(1.34)

$$\begin{aligned}
 Cd_2 &= 0.3pF & Cd_1 &= 0.33pF & Cg_2 &= 1.71pF \\
 gon &= 349\mu S \\
 gm_f &= 611\mu S (-200\mu A) & gm_f &= 978\mu S (200\mu A) \\
 gin &= 1.7mS & gmi &= 824\mu S
 \end{aligned}$$

La transconductance finale gm_f est donnée pour les valeurs extrêmes du courant d'entrée. Les capacités Cd_1 et Cd_2 sont parasites. La capacité Cg_2 est essentiellement due au transistor M_{capa} . Le coefficient d'amortissement z varie entre 0.85 et 0.67 en fonction du courant d'entrée. La cellule à mémoire de courant est bien en régime sous amorti.

La simulation du régime transitoire a été faite sous matlab pour le modèle présenté. Afin de pouvoir comparer ultérieurement le modèle avec les résultats expérimentaux, on s'intéressera à l'évolution du courant de drain du transistor mémoire et non à la tension de mémorisation. Pour les résultats, on observe l'évolution de l'erreur d'acquisition en courant en fonction du temps de la phase d'acquisition. Cette erreur est calculée en faisant la différence entre le courant qui serait mémorisé si la phase d'acquisition était infinie et le courant mémorisé pour une phase d'acquisition de durée t (1.35). Cette différence représente en fait l'erreur de courant à l'instant t .

$$I\varepsilon(t) = Id_{mem}(\infty) - Id_{mem}(t) \quad (1.35)$$

Les Fig 1.15 et Fig 1.16 donnent une comparaison entre la simulation HSPICE, le modèle présenté (2nd. ord. pwl.) et le modèle classique du second ordre (2nd. order). Cette comparaison a été faite pour deux valeurs du courant d'entrée $+200\mu\text{A}$ et $-200\mu\text{A}$. Le temps de non-recouvrement T_{novl} entre les horloges de commande des cellules est de 4ns . On voit sur ces figures que le modèle du second ordre classique n'est pas prédictif, alors que le modèle proposé est très près de la simulation obtenue avec HSPICE. Pour le cas où $I_{\text{in}} = +200\mu\text{A}$, le fort overshoot de $80\mu\text{A}$ (40% du step de courant en entrée) est essentiellement dû au non-recouvrement des horloges de 4ns . Le modèle du second ordre ne prend pas en compte ce temps de non-recouvrement ce qui explique la faible valeur de l'overshoot obtenu avec ce modèle. Pour $I_{\text{in}} = 200\mu\text{A}$ le temps d'établissement normalisé à 0.1% (l'erreur vaut 0.1% du step de courant) est de 22ns . La prédiction de ce temps d'établissement obtenue avec le modèle proposé est identique.

Dans le chapitre 2, le modèle sera validé expérimentalement. Ce modèle proposé permet donc de simuler le transitoire d'une cellule à mémoire de courant de manière précise. Comparé à HSPICE il est beaucoup moins gourmand en temps CPU. Une fois incorporé dans le simulateur de circuits à mémoire de courant, ce modèle permettra d'étudier l'influence de la fréquence d'horloge du circuit sur ses caractéristiques.

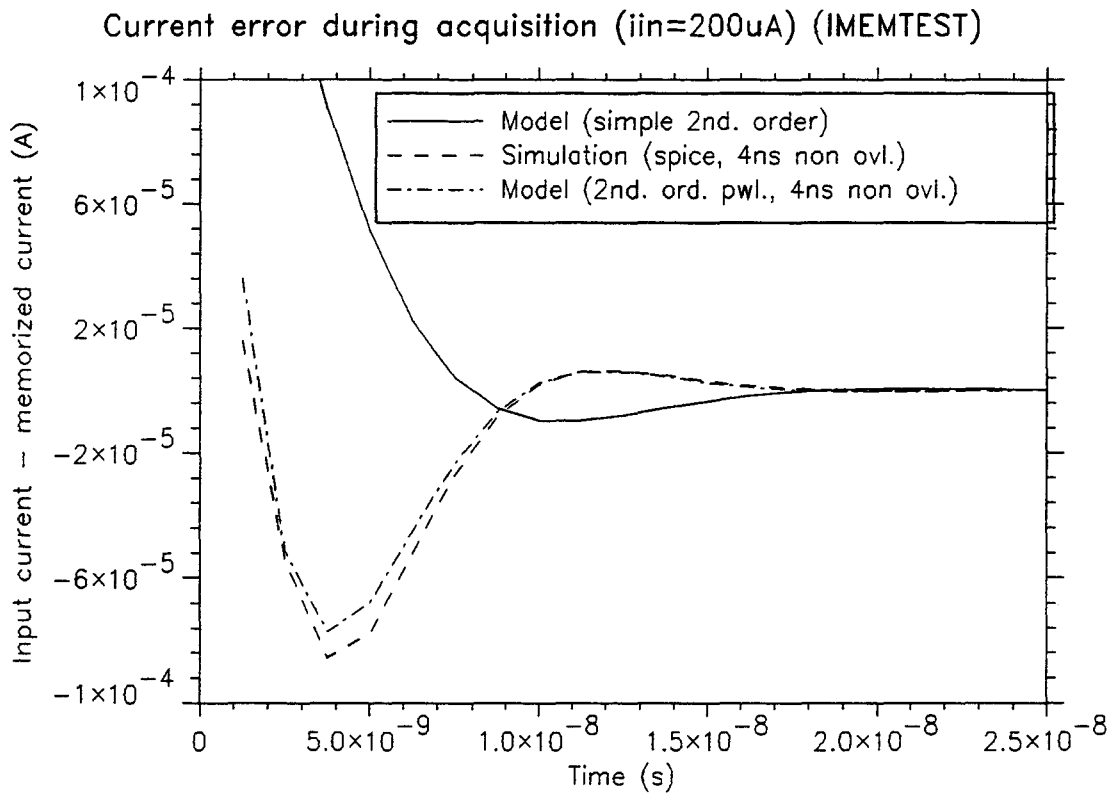


Fig 1.15 Evolution de l'erreur d'acquisition pour $I_{\text{in}} = +200\mu\text{A}$

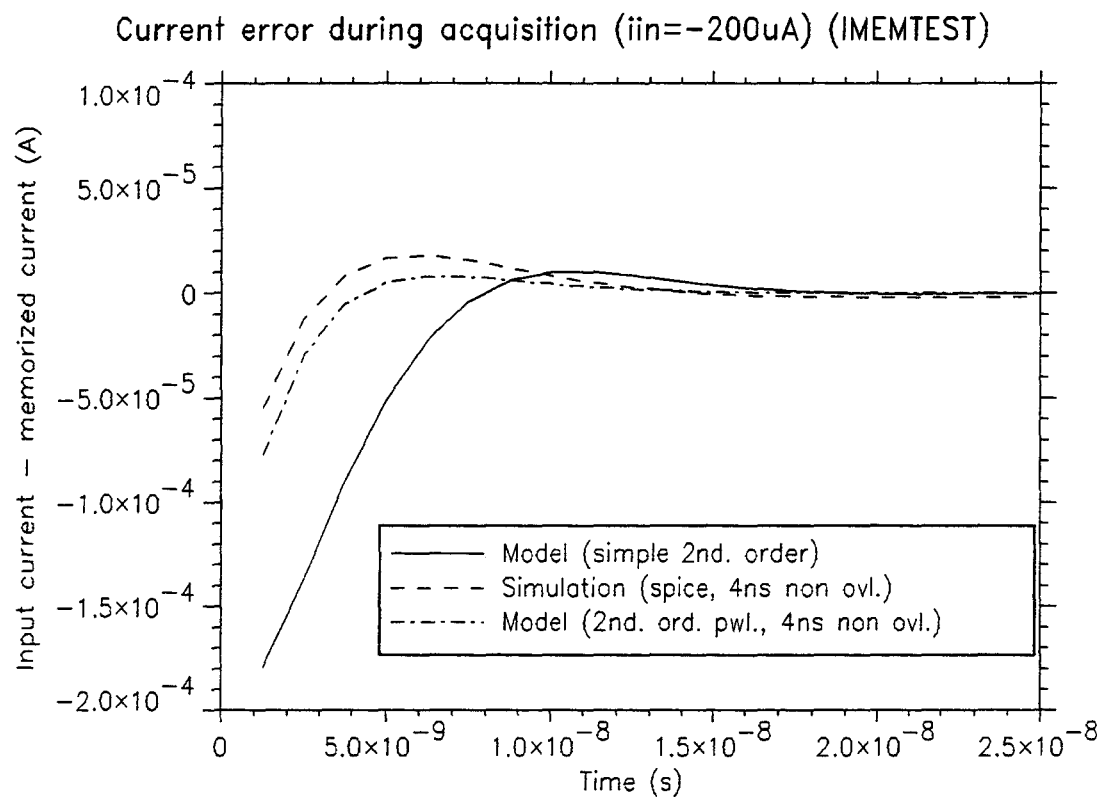


Fig 1.16 Evolution de l'erreur d'acquisition pour $i_{in} = -200\mu A$

1.4 Références bibliographiques

- [1] S.J. DAUBERT, D. VALLANCOURT and Y. TSIVIDIS
Current Copier Cells.
Electronics Letters, Vol. 24, No 25, 8th Dec. 1988, pp. 1560 - 1562.
- [2] G. WEGMANN, E. A. VITTOZ
Very Accurate Dynamic Current Mirrors.
Electronics Letters, Vol. 25, No 10, 11th May. 1989, pp.644 - 646.
- [3] G. WEGMANN, E. A. VITTOZ and F. RAHALI
Charge Injection in Analog MOS Switches.
IEEE Journal of Solid-State Circuits, Vol. 22, No. 6, Dec 1987, pp.1091 - 1097.
- [4] C. EICHENBERGER and W. GUGGENBUHL
On Charge Injection in Analog Switches and Dummy Switch Compensation Techniques.
IEEE Transactions on Circuits and Systems, Vol. 37, No. 2, Feb 1990, pp.256 - 264.
- [5] P. N'GORAN, A. KAISER, B. STEFANELLI, N. MOENECLAEY
Discrete-Time Simulation of Current-Memory Sigma-Delta Modulators.
In proceedings of ESSCIRC'93, pp 29-32, Sep. 1993.
- [6] C. TOUMAZOU, J. B. HUGHES and D. M. PATTULO
Regulated Cascode Switched-Current Memory Cell.
Electronics Letters, Vol. 26, No. 5, 1st Mar. 1990, pp.303 - 305.
- [7] N.MOENECLAEY, A. KAISER
Accurate Modelling of the Non-Linear Settling Behaviour of Current Memory Circuits.
in proceedings of ISCAS'94, CAD9.8, Vol. 1 pp 339-342, June 1994.
- [8] P. DEVAL
Convertisseurs Analogiques-Numériques Cycliques à Mémoire de Courant CMOS.
Thèse No. 1001, Ecole Polytechnique de Lausanne, Suisse, 1992, pp.34-48
- [9] P. E. ALLEN and D. R. HOLDERG
CMOS Analog Circuit Design.
Saunders College Publishing, 1987, pp. 685 - 693

Chapitre 2

Caractérisation des principaux effets limitatifs des cellules à mémoire de courant

L'étude et la modélisation des effets limitatifs de la cellule à mémoire de courant nécessite un moyen de caractérisation expérimental. Une méthodologie de test des cellules est proposée dans ce chapitre. Elle consiste en une topologie particulière reproduisant l'environnement de fonctionnement normal des cellules à mémoire de courant. Un circuit de caractérisation, la manipulation de test ainsi que les résultats obtenus sont détaillés à la fin de ce chapitre.

2.1 Méthodologie de caractérisation des Cellules à Mémoire de Courant

Les performances des circuits à courant commuté tels les convertisseurs analogiques-numériques ou les lignes à retard, sont essentiellement déterminées par les limitations de la cellule à mémoire de courant. A ma connaissance, aucune méthode dédiée spécialement à la caractérisation des cellules à mémoire de courant n'a été proposée à ce jour, mis à part des approches d'analyse et de mesure de la charge injectée par l'interrupteur d'échantillonnage [1][2].

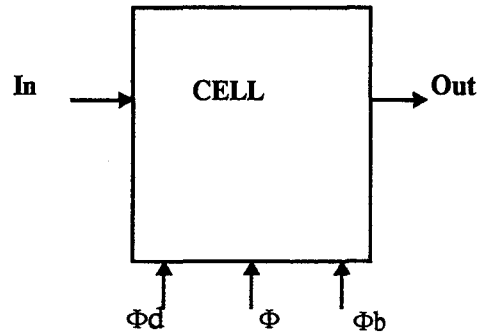


Fig 2.1 Symbole de la cellule à mémoire de courant.

La mesure des caractéristiques d'une cellule à mémoire de courant permet de valider son étude et son architecture ainsi que les performances obtenues par simulation avec SPICE ou le macro-modèle proposé. Une telle expérimentation nécessite la fabrication d'un circuit de test qui doit reproduire autour de la cellule son "environnement" normal de fonctionnement.

Cette section présente une topologie de circuit de test [4] qui a été utilisée pour caractériser une cellule à mémoire de type cascade. La méthode de mesure ainsi que le "timing" des horloges de commande sont présentés. Les caractéristiques étudiées dans cette section sont l'injection de charge, la conductance de sortie, l'erreur de copie ainsi que le comportement transitoire de la cellule. Par souci d'alléger les schémas, un symbole simple de la cellule à mémoire de courant a été créé. La Fig 2.1 décrit ce symbole, les noms des différentes entrées et sorties correspondent à ceux de la Fig 1.14.

2.1.1 Topologie du circuit de caractérisation

La topologie peut s'appliquer à n'importe quel type de cellule à mémoire de courant. La cellule doit seulement comporter un interrupteur auxiliaire de compensation de l'injection de charge dont le fonctionnement peut être inhibé par une commande externe. Cet interrupteur sera utile à la mesure du coefficient d'injection de charge K_i .

La topologie de caractérisation est décrite dans la Fig 2.2. Elle consiste en un circuit d'entrée suivi par deux cellules à mémoire de courant cascadées. Ce circuit d'entrée est dérivé d'une cellule, mais il fonctionne de manière statique. Chacune des cellules possède un circuit de génération de la commande des interrupteurs d'échantillonnage, d'entrée et de compensation. Des interrupteurs permettent d'orienter la sortie des cellules vers trois plots de mesure extérieure. Dans cette topologie, la CELL2 mémorise l'inverse du courant de sortie de la CELL1, le fait de lire directement la somme des sorties des deux cellules permet de mesurer la différence entre l'entrée et la sortie de la CELL2, soit son erreur de mémorisation. Cette

astuce sera très largement utilisée pour caractériser le comportement transitoire de la cellule, l'erreur de recopie ainsi que la charge injectée sur la capacité de mémorisation.

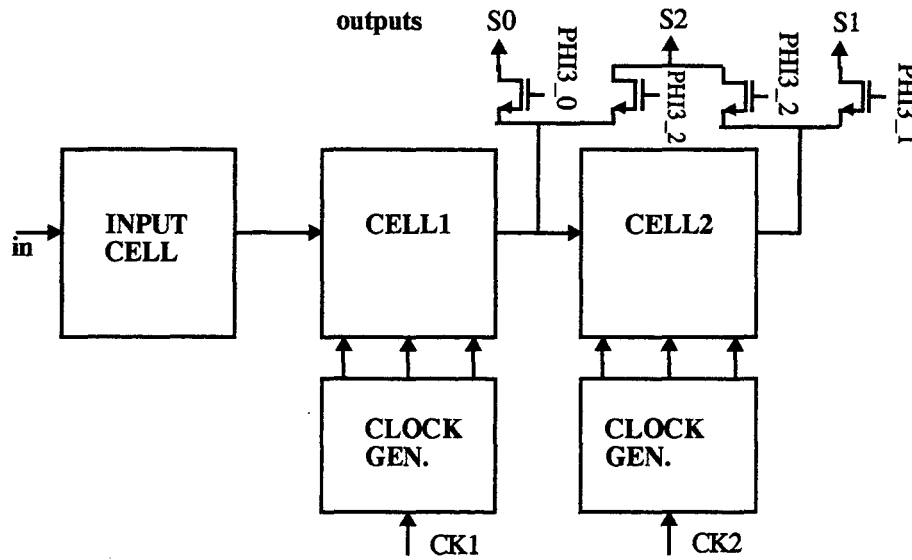


Fig 2.2 Topologie de caractérisation des cellules à mémoire de courant.

Le composant de test doit comprendre au minimum deux circuits utilisant cette topologie avec une valeur différente de la capacité de mémorisation C_g des cellules employées. Par exemple C_g pour le premier circuit et $C_g/2$ pour le second. Ceci permet de déterminer la part dynamique de la conductance de sortie de la cellule à mémoire de courant.

2.1.2 Caractéristiques mesurées

2.1.2.1 Comportement transitoire de la cellule

Une des caractéristiques importantes de la cellule est le temps de stabilisation en phase d'acquisition. L'erreur d'établissement correspond à la différence entre le courant acquis par la cellule en un temps d'acquisition infini et le courant acquis en un temps d'acquisition T_{acq} (1.35). L'évolution de cet erreur I_e en fonction du temps d'acquisition T_{acq} permet d'obtenir l'évolution du courant de drain du transistor mémoire au cours de la phase d'acquisition et donc de connaître la forme du transitoire. L'évolution de l'erreur d'acquisition en fonction du temps ne peut pas être mesurée au cours d'une seule acquisition. La méthode de mesure consiste donc à mesurer l'erreur sur le courant acquis par la cellule pour différentes valeurs du temps d'acquisition. On peut ensuite reconstituer l'évolution de l'erreur d'acquisition en fonction du temps.

La mesure de l'erreur de courant I_e se fait en trois opérations (la Fig 2.3 montre les signaux de commande correspondant à chaque opération):

- Premièrement, la CELL1 fait l'acquisition du courant d'entrée voulu pendant un intervalle de temps fixe et assez élevé pour considérer l'erreur de stabilisation de la CELL1 négligeable.
- La CELL2 fait l'acquisition du courant de sortie de la CELL1 pendant un temps d'acquisition donné T_{acq} .
- On mesure la somme des courants de sortie des deux cellules sur le plot de mesure S2. En raison du changement de signe introduit par la CELL2, ce signal est

égal à l'erreur d'acquisition que l'on cherche à mesurer.

Ces trois étapes ont permis d'obtenir l'erreur d'établissement de la CELL2 pour une valeur définie du temps d'acquisition T_{acq} . Pour obtenir la forme et le type de transitoire il faut répéter ces trois opérations pour plusieurs valeur du temps d'acquisition T_{acq} .

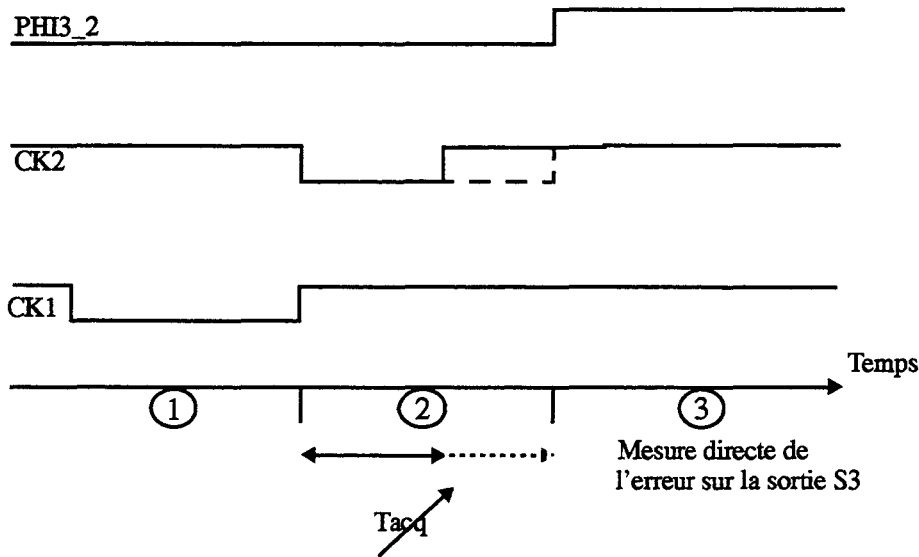


Fig 2.3 Chronogramme des horloges pour la mesure.

Pour que cette mesure soit valide, il faut s'assurer que le courant de fuite de l'interrupteur d'échantillonnage crée une variation négligeable de la tension mémorisée par les deux cellules durant la durée de la troisième opération.

On obtient ainsi une évolution de l'erreur d'acquisition pour un courant d'entrée I_{in} donné. Il faut recommencer la même manipulation pour les autres valeurs du courant I_{in} voulues.

2.1.2.2 Conductance de sortie

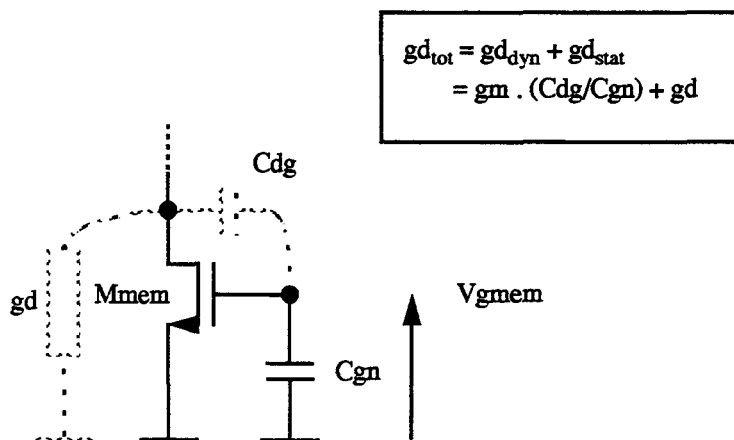


Fig 2.4 Conductance de sortie statique et dynamique

La conductance de sortie de la cellule à mémoire de courant contribue fortement à la

non-linéarité de l'erreur de recopie. il convient donc de pouvoir la mesurer pour plusieurs valeurs de courant de sortie et aussi pour plusieurs valeurs de tension de sortie. L'origine de la conductance de sortie est double, la partie statique provient de l'effet Early des transistors, la partie dynamique provient du couplage capacitif dû à la capacité grille-drain du transistor mémoire (Fig 2.4). Il est intéressant de pouvoir déterminer la répartition de la conductance entre ces deux contributions. La topologie de caractérisation proposée permet de mesurer la conductance totale ainsi que la partie dynamique de cette conductance, la partie statique est déduite de la différence des deux.

La caractéristique courant de sortie en fonction de la tension peut être aisément mesurée sur la sortie S0 ou S1 en mesurant la variation du courant de sortie induite par une variation du potentiel de sortie autour du potentiel moyen (1.7 V). La conductance de sortie à un potentiel donné est alors obtenue en calculant la dérivée en ce point. En répétant ce calcul autour de diverses valeurs de potentiel, on obtient l'évolution de la conductance en fonction de la tension de sortie.

La partie dynamique de la conductance de sortie est extrapolée de la conductance totale mesurée pour deux valeurs de la capacité de mémorisation C_g et $C_g/2$. En effet, comme la capacité parasite C_{gd} est négligeable devant la capacité de mémorisation C_g , l'équation (1.6) peut être approximée de la manière suivante:

$$g_{dyn} = gm \cdot \frac{C_{gd}}{C_g} \quad (2.1)$$

La conductance dynamique est donc proportionnelle à l'inverse de la capacité mémoire. En faisant la différence des deux conductances totales pour les deux valeurs de capacité mémoire, on obtient la valeur de la conductance dynamique:

$$g_{tot}\left(\frac{C_g}{2}\right) - g_{tot}(C_g) = gm \cdot \left(\frac{C_{gd}}{\left(\frac{C_g}{2}\right)} - \frac{C_{gd}}{C_g} \right) = g_{dyn} \quad (2.2)$$

2.1.2.3 L'erreur de recopie

L'erreur de recopie caractérise la précision de la cellule à mémoire de courant, en effet elle permet de quantifier l'erreur en fonction du courant d'entrée mais surtout elle permet de visualiser la non-linéarité de la cellule. Cette dernière résulte de la caractéristique tension-courant non-linéaire du transistor mémoire quand il est monté en diode. Cette variation de tension non-linéaire influe le courant mémorisé par l'intermédiaire de la conductance de sortie de la cellule en restitution. La valeur de la conductance de sortie joue donc un rôle important dans la précision de la cellule.

Pour obtenir l'évolution de l'erreur de recopie en fonction du courant d'entrée, il faut dérouler les trois étapes de la mesure de l'erreur d'établissement, mais pour une grande valeur de temps d'acquisition T_{acq} , de sorte à négliger l'erreur d'établissement face à l'erreur de recopie. Il faut répéter cette manipulation pour plusieurs valeurs de courant d'entrée de sorte à obtenir l'évolution de l'erreur de copie en fonction du courant d'entrée. Cette mesure est plus difficile, l'erreur de recopie est plus petite que l'erreur d'établissement.

2.1.2.4 la charge injectée par l'interrupteur d'échantillonnage.

L'injection de charge peut être une limitation si on nécessite une forte précision. Elle est aussi une fonction non-linéaire du courant mémorisé. La mesure de l'injection de charge consiste non pas en la mesure de l'erreur induite mais en la détermination du coefficient d'injection de charge K_i . Il est calculé en divisant la charge injectée sur la capacité de mémorisation par la charge totale qui était stockée dans l'interrupteur. La connaissance du rapport K_i permet de déterminer le type de compensation nécessaire et de le dimensionner.

La présence d'un interrupteur auxiliaire de compensation qui est de taille moitié comparé à l'interrupteur d'échantillonnage, permet de connaître le coefficient de proportionnalité avant compensation K_i et après compensation K_{ic} .

Si on considère que la charge Q_{dum} stockée par l'interrupteur auxiliaire est exactement la moitié de la charge stockée par l'interrupteur d'échantillonnage Q_{tot} ; les coefficients K_i et K_{ic} se déduisent de la mesure de l'erreur de mémorisation sans compensation Δ_i et avec compensation Δ_{ic} de la manière suivante:

(2.3)

$$K_i = \frac{Q_i}{Q_{tot}} = \frac{Q_i}{2 \cdot Q_{dum}} = \frac{\Delta_i}{2 \cdot (\Delta_i - \Delta_{ic})}$$

$$K_{ic} = \frac{Q_{ic}}{Q_{tot}} = \frac{\Delta_{ic}}{2 \cdot (\Delta_i - \Delta_{ic})}$$

ou $\Delta_{ic} = \frac{gm \cdot Q_{ic}}{C_g}$ et $\Delta_i = \frac{gm \cdot Q_i}{C_g}$

Pour mesurer l'erreur de mémorisation sans compensation Δ_i et avec compensation Δ_{ic} , il faut minimiser considérablement l'erreur due à la conductance de sortie de la cellule de sorte à ce qu'elle soit négligeable face à l'erreur provenant de l'injection de charge. Nous appliquons donc un courant d'entrée de 0 μA à la CELL2 et nous suivons le timing de la Fig 2.3 en prenant une valeur élevée pour le temps T_{acq} , de sorte à mesurer sur la sortie S2 l'erreur de courant Δ_i (ou Δ_{ic}) due à l'injection de charge. Avec un courant d'entrée nul, les courants de drain du transistor mémoire de la CELL1 et de la CELL2 auront pour valeur I_{bias} , donc la tension de mémorisation V_g sera la même pour ces deux cellules. Sous réserve de forcer cette tension à la sortie S2 lors de la mesure, la CELL2 aura donc le même potentiel de sortie durant l'acquisition du courant nul de la CELL1 et durant la restitution vers S2. On voit donc que la conductance de sortie des cellules ne modulera pas les courants, son effet est donc négligeable.

2.2 Présentation de la manipulation et du circuit de test

Un circuit de caractérisation des cellules à mémoire de courant a été réalisé avec une cellule de type cascodée identique à celle utilisée dans le modulateur sigma-delta développé à l'I.S.E.N [3]. Il permet d'en mesurer les non-idéalités comme la conductance de sortie de la cellule, l'erreur de recopie... Cette section montre une réalisation concrète de la topologie de caractérisation des cellules à mémoire de courant suivie des résultats expérimentaux pour la cellule cascodée décrite précédemment.

2.2.1 Circuit de caractérisation IMEMTEST

Le composant de test IMEMTEST comprends trois circuits similaires à la topologie décrite précédemment. Un de ces circuits comporte deux cellules dont les paramètres sont donnés dans la Fig 1.14. Le second circuit est identique au premier excepté la CELL2 dont la capacité de mémorisation est divisée par deux. Le troisième circuit diffère du premier par une capacité ajoutée de 0.5pF sur le noeud de sortie de la CELL1.

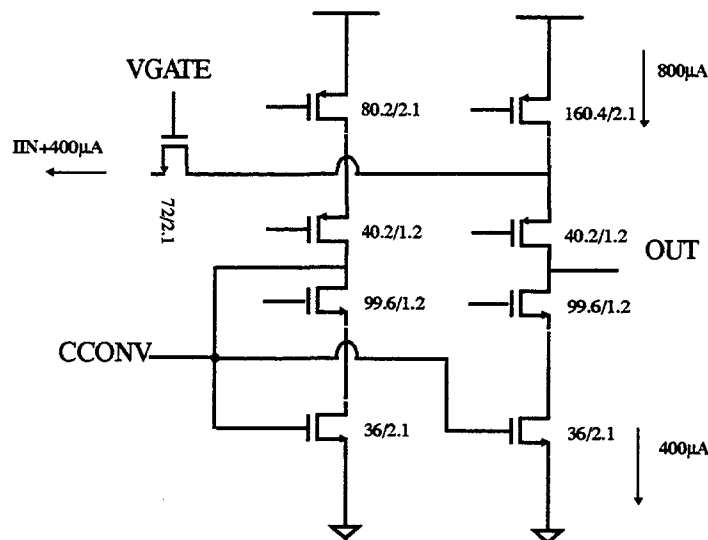


Fig 2.5 Schéma de INPUT CELL.

La cellule à mémoire de courant ainsi que le circuit d'adaptation d'entrée Fig 2.5 utilisés ont été dessinés pour la réalisation d'un convertisseur analogique-numérique au laboratoire de l'I.S.E.N.

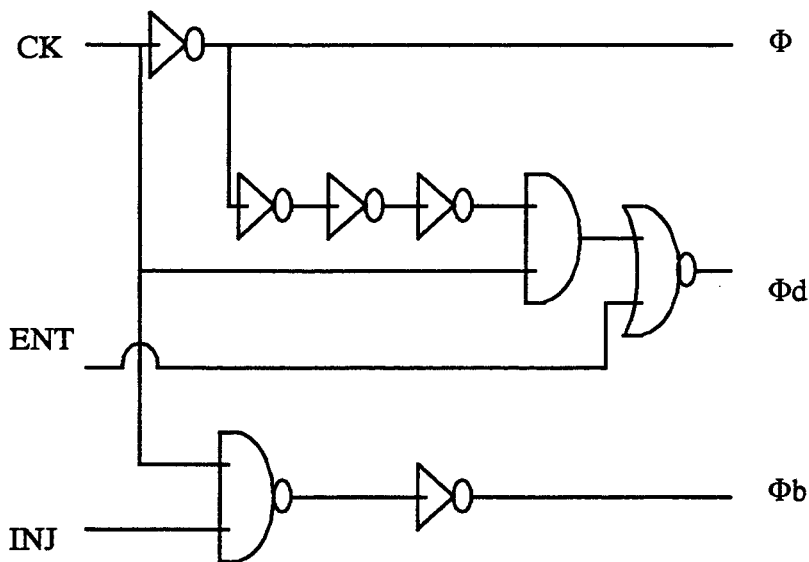
La cellule d'entrée (INPUT CELL) a pour but de reproduire la conductance de sortie d'une cellule à mémoire de courant à l'entrée de la CELL1 de sorte à ne pas perturber son fonctionnement. Cette cellule d'entrée ne fait pas la conversion tension-courant qui sera faite sur la maquette de test. Cette cellule est similaire à une cellule à mémoire de courant en restitution dont la tension de mémorisation est fixe (générée par un circuit de polarisation), le courant d'entrée est injecté entre la source P et le transistor cascode P (Fig 2.5). Le transistor de source P est de taille double, son courant est donc de $800\mu\text{A}$, un courant d'entrée nul pour la CELL1 correspondra à un courant d'entrée de $400\mu\text{A}$ pour la cellule INPUT CELL.

Le circuit générant les trois horloges de commande des interrupteurs de la cellule CLOCK_GEN est décrit Fig 2.6. L'entrée CK commande la phase de fonctionnement, pour

CK='1' la cellule est en restitution, les interrupteurs d'entrée et d'échantillonnage sont bloqués (Φ et Φ_d valent '0'). Pour CK='0' la cellule est en phase d'acquisition, à la fin de cette phase, Φ va passer à l'état bas, puis Φ_b va passer à l'état haut et enfin Φ_d va passer à '1'. Ce timing est important car il évite toute perte d'information et permet une bonne compensation de l'injection de charge, il est garanti par les chaînes d'inverseurs du circuit CLOCK GEN. Les commandes des interrupteurs Φ_d et Φ_b doivent pouvoir être désactivées séparément par une commande extérieure.

Le fait de désactiver la commande Φ_d permet de faire une acquisition tout en gardant l'interrupteur d'entrée bloqué. On fait donc l'acquisition d'un courant nul. Cette possibilité permet de fixer l'état initial de la CELL2 lors de la mesure du comportement transitoire. En effet dans la topologie de caractérisation, on considère la CELL2 dans l'état initial suivant: le courant du transistor mémoire est identique à celui de la source de polarisation I_{bias} , ce qui équivaut à avoir fait l'acquisition d'un courant nul dans la période précédente. Le signal ENT réalise cette inhibition. Chacune des deux cellules (CELL1 et CELL2) possède son signal extérieur d'inhibition ENT1 et ENT2.

La désactivation de la commande Φ_b sera utile lors de la mesure du coefficient de proportionnalité d'injection de charge. Le signal réalisant cette désactivation s'appelle INJ, il est commun aux deux cellules.



ENT='1' force la sortie Φ_d ='0'
 INJ='0' force la sortie Φ_b ='0'

Fig 2.6 Schéma de CLOCK GEN.

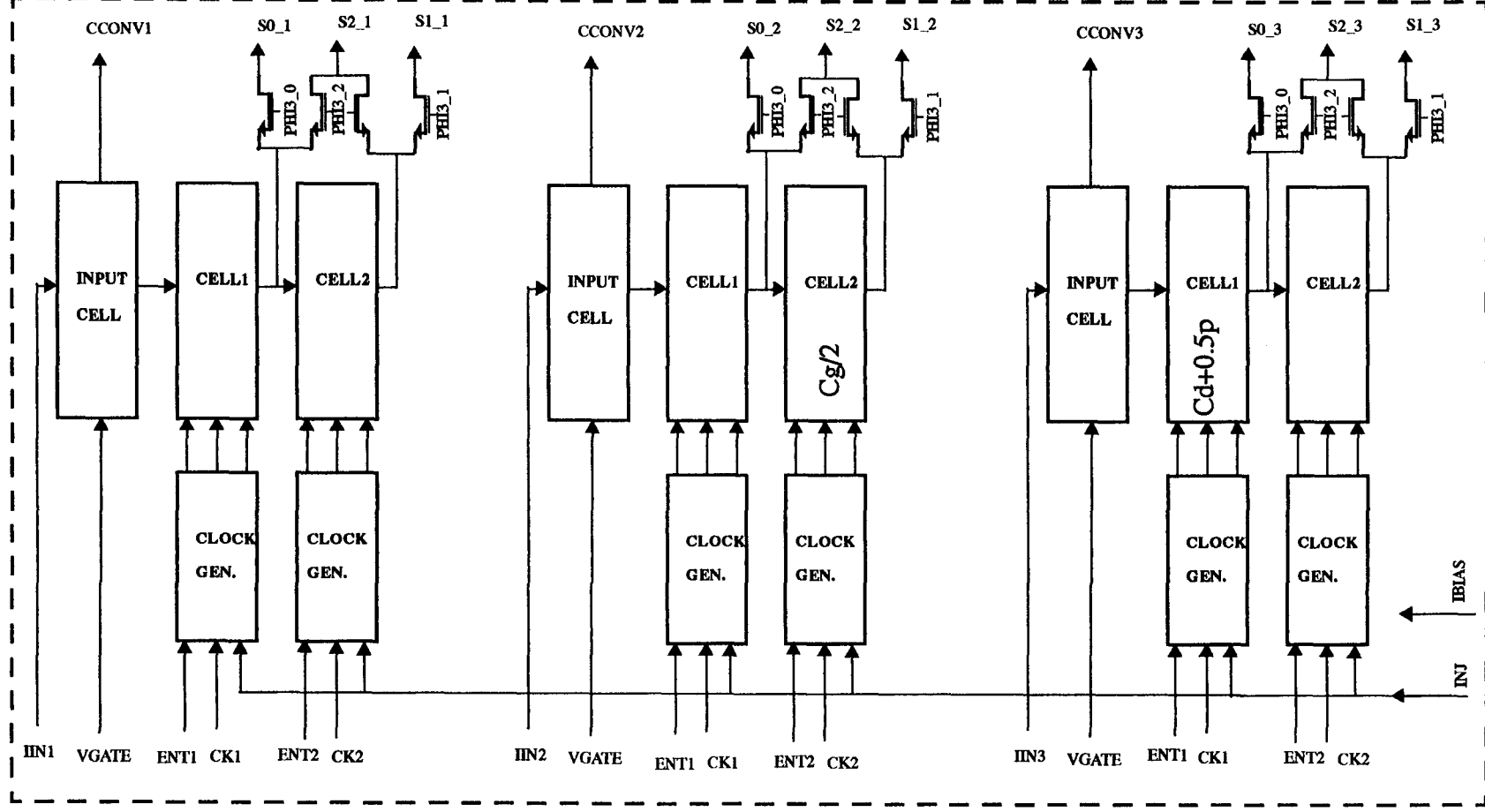


Fig 2.7 Schéma global du composant IMEMTEST

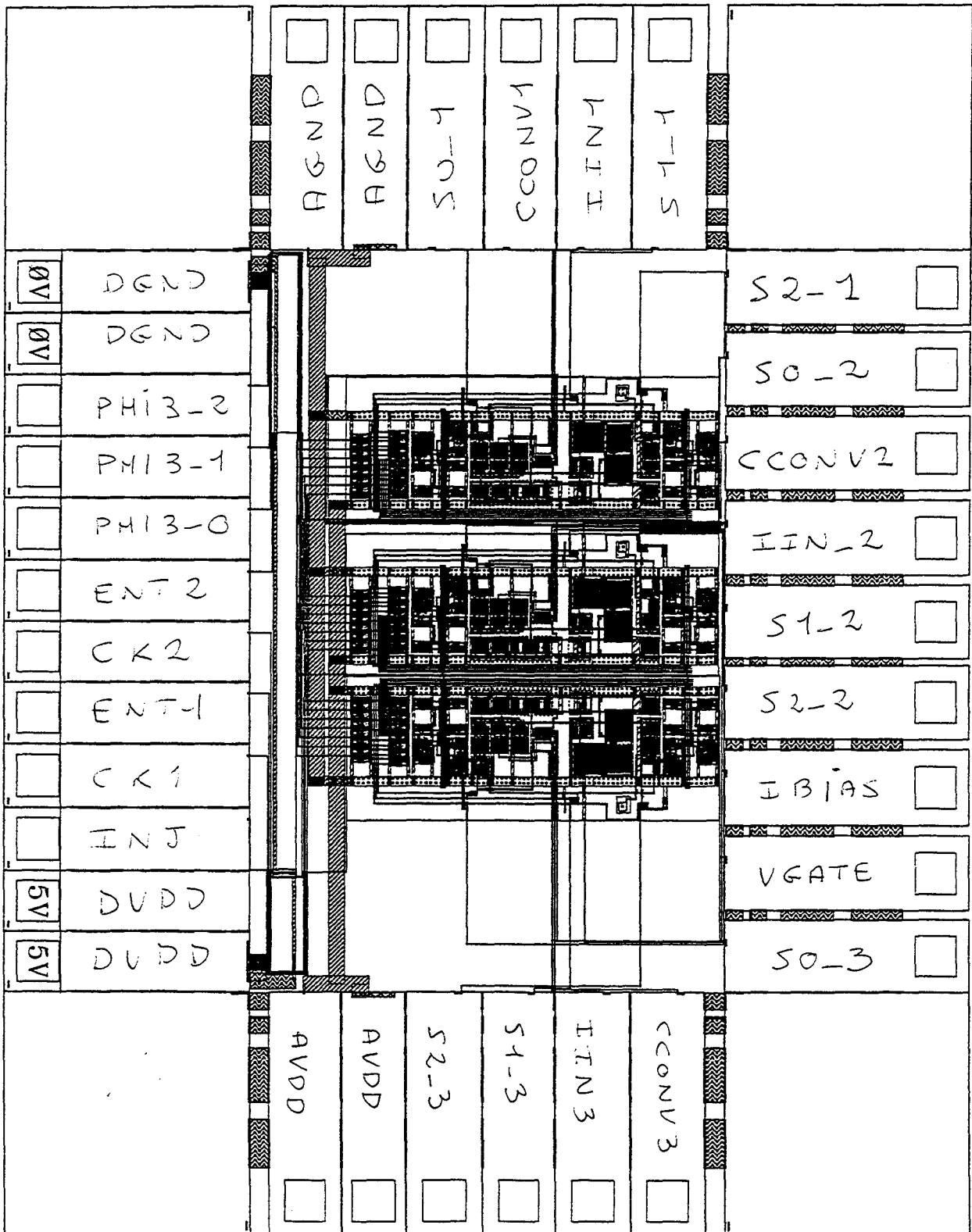


Fig 2.8 Layout du circuit de caractérisation des cellules à mémoire de courant

Le schéma de la Fig 2.7 décrit le composant réalisé, les signaux dont le nom est répété plusieurs fois sont connectés ensemble. La taille des interrupteurs vers les sorties S est de $15\mu\text{m}/1.2\mu\text{m}$.

Le circuit IMEMTEST a été réalisé dans une technologie digitale (Simple poly, Double métal) de la société ES2. La longueur minimale de grille est de $1.2\mu\text{m}$. Les transistors mémoire ont une longueur de grille plus élevée que la largeur minimale de sorte à diminuer fortement l'effet canal court.

La Fig 2.8 représente le layout du composant, on distingue trois structures identiques qui sont les trois lignes de test. Le circuit a une dimension de $2300\mu\text{m}$ par $3000\mu\text{m}$, contient à peu près 500 transistors et est alimenté en 5V. Des zones de dépassivation et des pads internes de test ont été spécialement aménagés sur la cellule 2 de chaque ligne de caractérisation. Cela permet la lecture directe de la valeur du potentiel de mémorisation V_g au moyen de pointes de test. La Fig 2.9 donne le brochage du composant IMEMTEST. Les alimentations numériques sont DVDD et DGND, les alimentations analogiques sont AVDD et AGND. Il y a une entrée par ligne de caractérisation IIN1, IIN2 et IIN3. Les signaux S0, S1, S2 sont numérotés en fonction de la ligne de test qui les concerne. Les signaux CK1, CK2, ENT1, ENT2, VGATE, PHI3_0, PHI3_1, PHI3_2 et INJ sont communs aux trois lignes. Il faut forcer un courant sortant de $100\mu\text{A}$ sur la broche IBIAS pour polariser les cellules.

Le composant comprenant des horloges digitales, une attention particulière dans le design et le brochage a été apportée afin d'éviter au maximum la perturbation des signaux analogiques par les signaux digitaux. Sur la Fig 2.8, seuls les plots de gauche sont occupés par les alimentations et les signaux numériques.

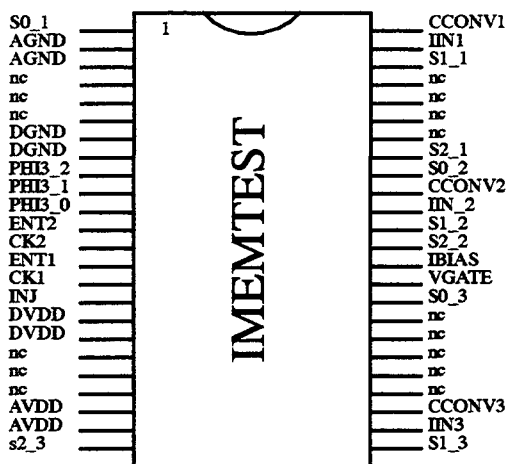


Fig 2.9 Brochage du composant IMEMTEST

2.2.2 Manipulation de test

Une caractérisation de ce circuit afin de pouvoir mesurer les différentes limitations de la cellule a été faite. La plaquette de test comprend le composant décrit précédemment ainsi que trois convertisseurs tension-courant d'entrée (un par ligne de test), deux convertisseurs courant-tension de sortie permettant de lire en même temps le courant de sortie des deux cellules ou bien le courant de sortie de la CELL1 et l'erreur de mémorisation de la CELL2. La

tension de référence VGATE est générée sur la maquette de test ainsi que le potentiel appliqué aux sorties lors de la mesure du courant.

Le schéma détaillé de la maquette de test réalisée est donnée de la Fig 2.11 à la Fig 2.14.

Le convertisseur tension-courant est décrit dans la Fig 2.13, la conversion est réalisée par une résistance de 1KOhms, le courant est recopié vers l'entrée du composant de caractérisation au moyen d'un convoyeur de courant (U4,U5,U6:AD844). Le principe du convoyeur de courant est rappelé dans la Fig 2.10. La tension VREF2 (générée sur la maquette) est la référence de tension utilisée pour la conversion:

$$I_{conv} = \frac{V_{in} - V_{REF2}}{R_{conv}} \quad (2.4)$$

La conversion courant-tension (cf Fig 2.12, Fig 2.14) utilise aussi un convoyeur de courant (U2,U10:AD844), en effet la mesure des courants de sortie sur les pads S0, S1, S2 se fait à une tension fixe égale à 1.7V. La tension de 1.7V correspond à la tension de mémorisation de la cellule à mémoire de courant lors de l'acquisition d'un courant nul. Le convoyeur de courant duplique le courant de sortie du composant tout en fixant son potentiel. Le courant dupliqué est ensuite converti en tension au moyen d'une résistance de 1 KOhm (R47, R25) et d'un amplificateur monté en suiveur (U3,U11:AD9617).

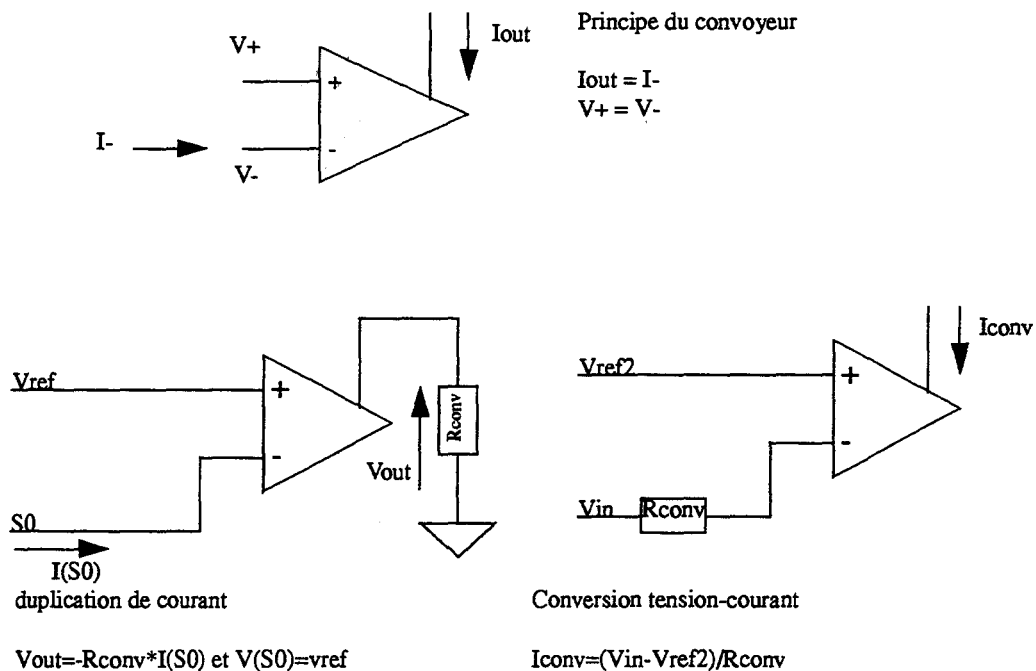
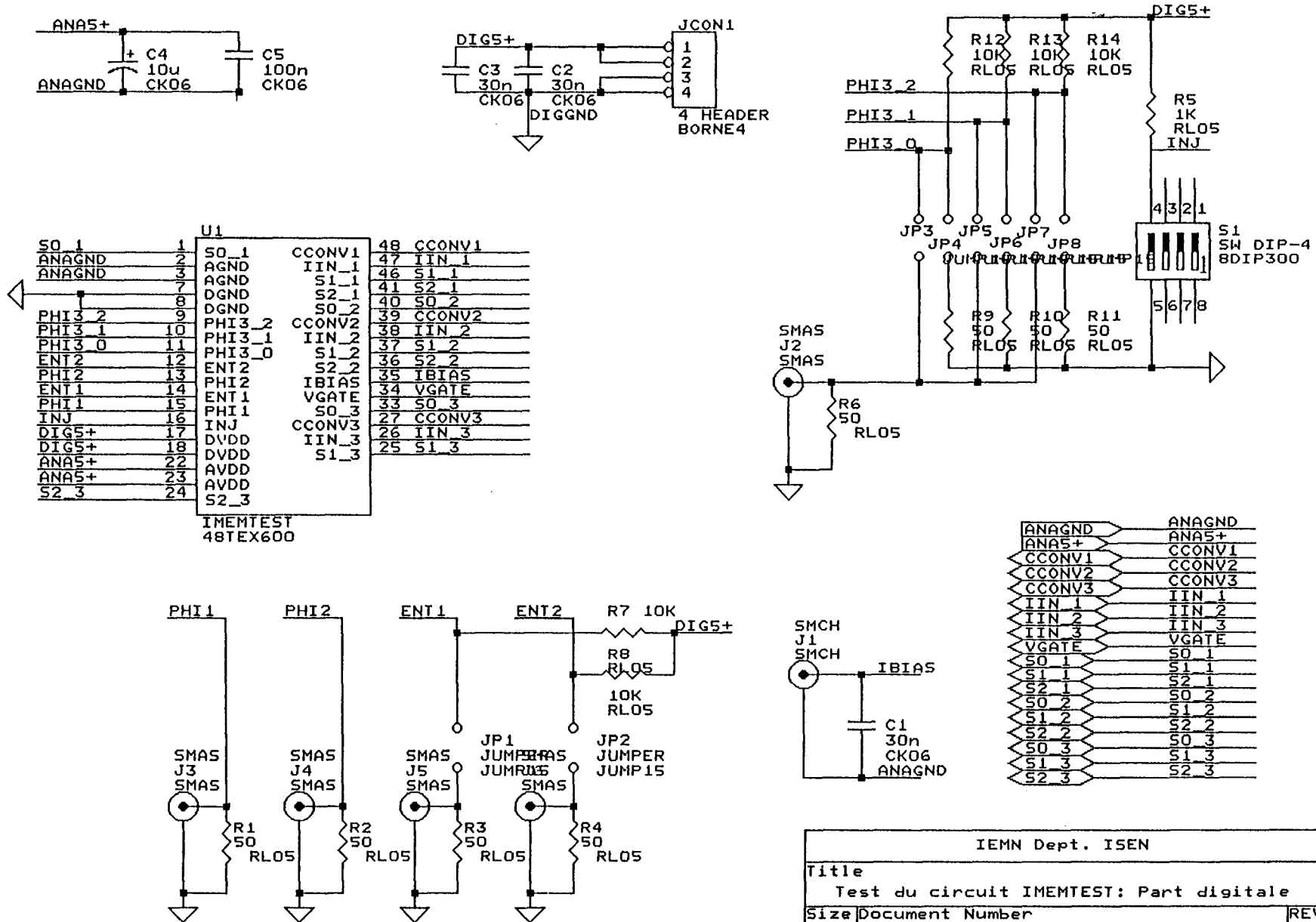
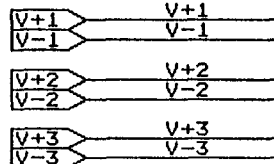
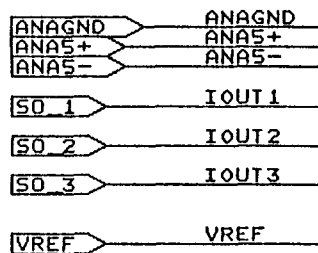
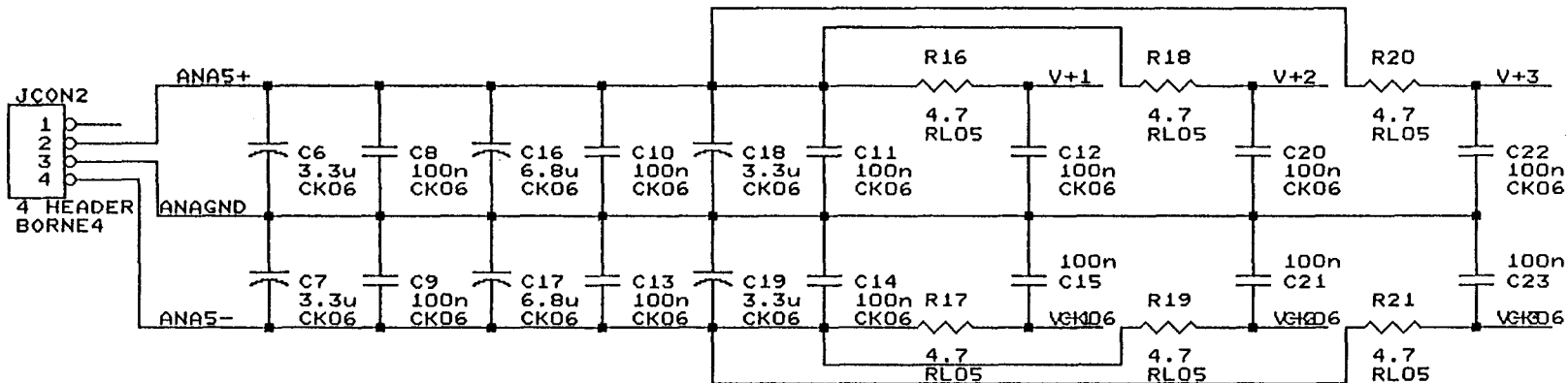
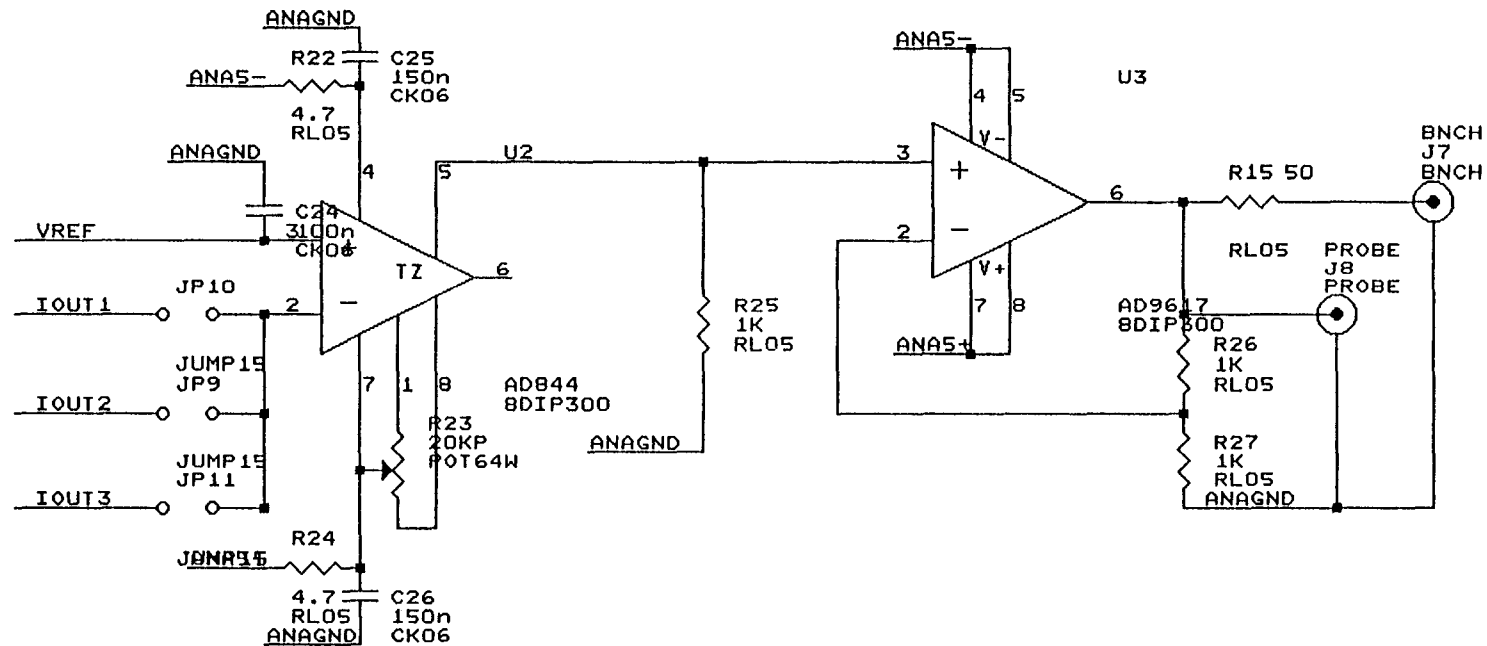


Fig 2.10 Convoyeur de courant: principe et utilisation.

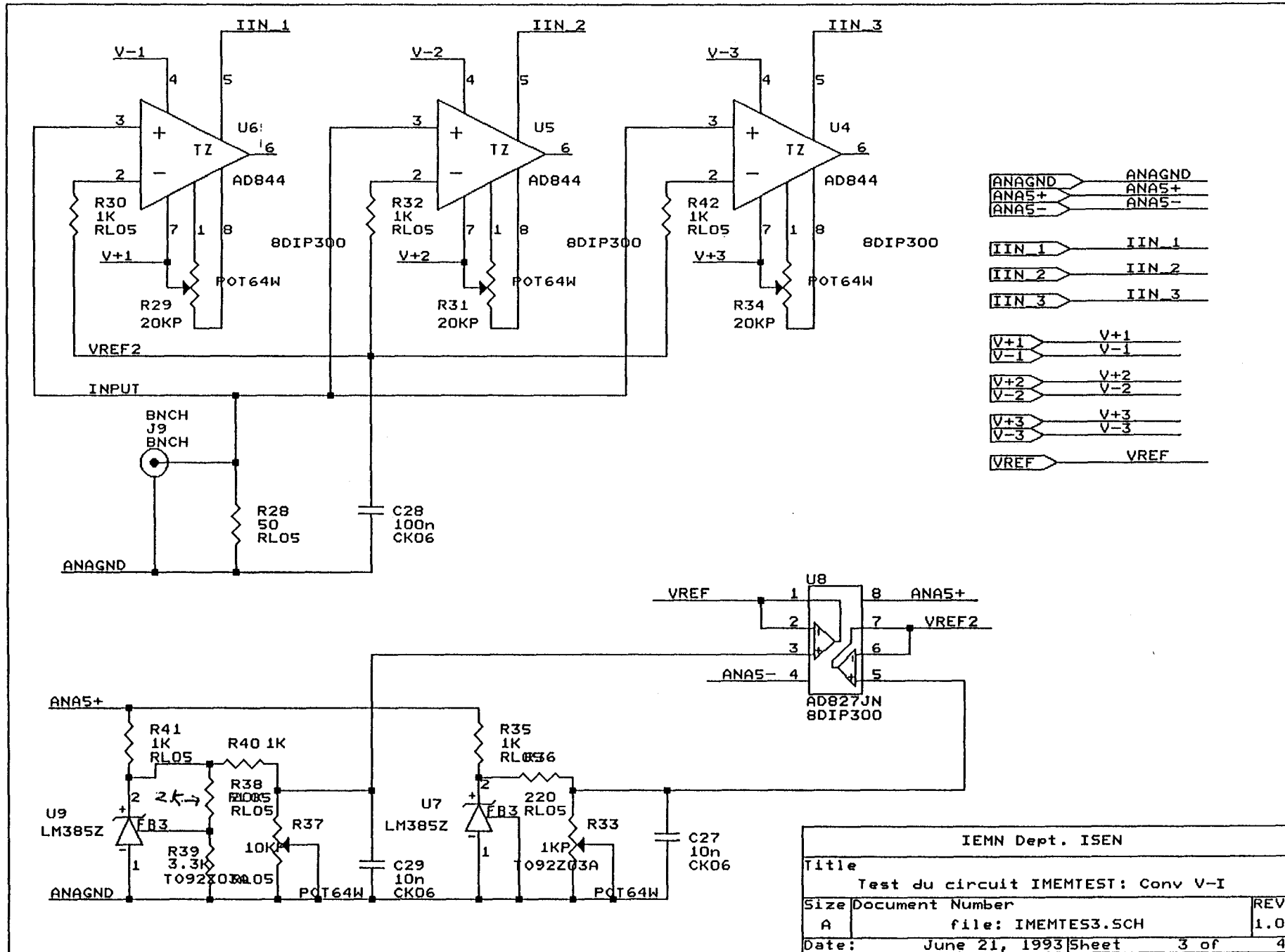
Les tensions VREF et VREF2 sont produites à partir de références de tensions (U9, U7:LM385Z), des résistances variables permettent d'affiner la valeur de ces deux tensions. Un ampli opérationnel suiveur (U8, AD827) permet de diminuer fortement l'impédance de sortie de la génération des tensions VREF et VREF2.



IEMN Dept. ISEN		
Title Test du circuit IMEMTEST: Part digitale		
Size	Document Number	REV
A	file: IMEMTES1.SCH	1.0
Date:	June 18, 1993	Sheet 1 of 4

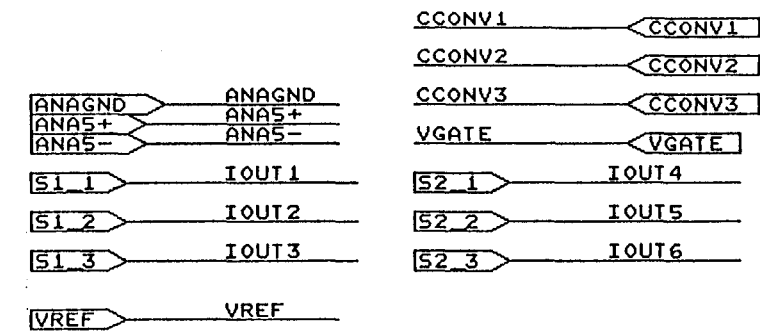
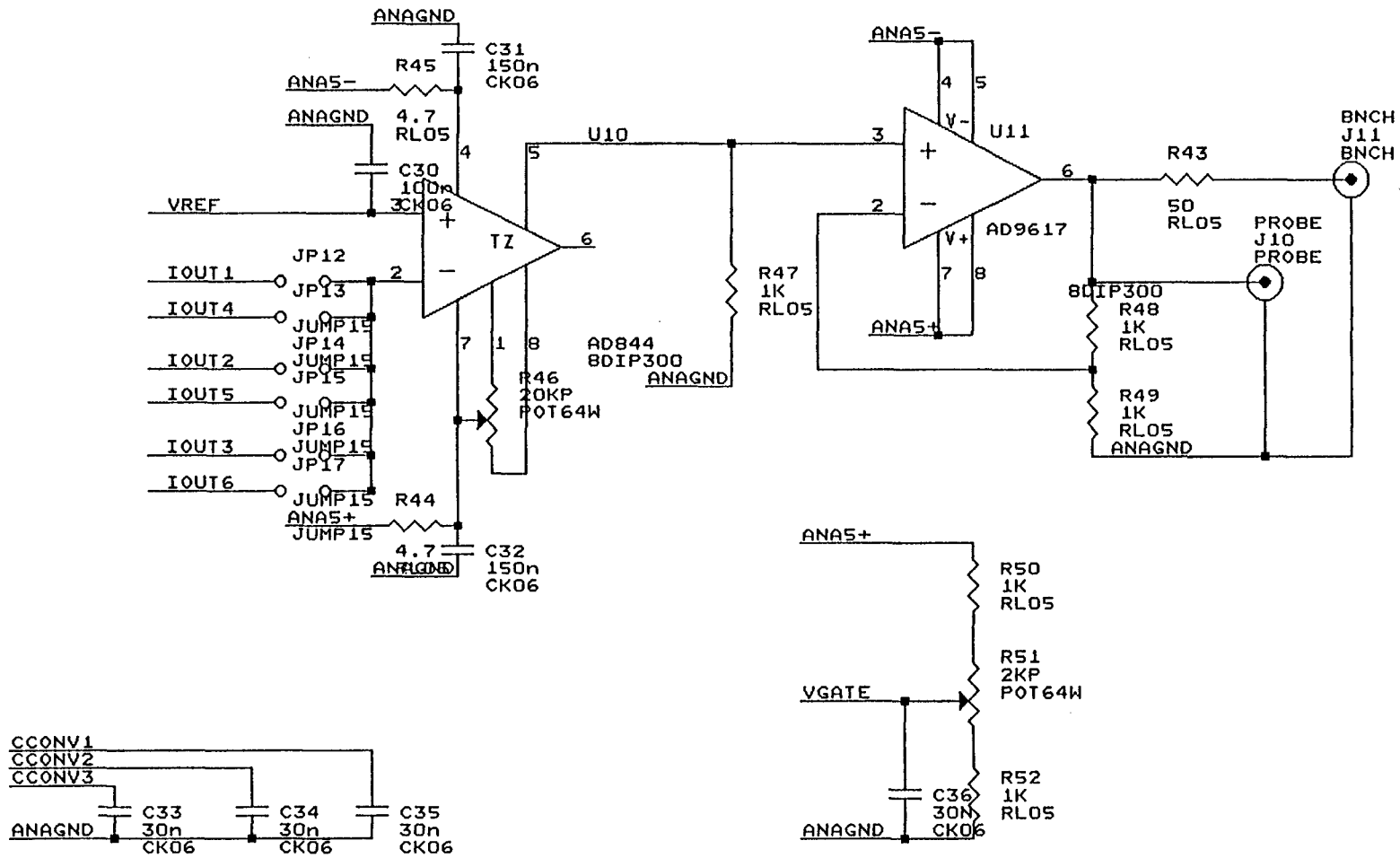


IEMN Dept. ISEN		
Title		
Test du circuit IMEMTEST: Conv. I-V		
Size	Document Number	REV
A	file: IMEMTES2.SCH	1.0
Date:	June 17, 1993	Sheet 2 of 4



- ANAGND → ANAGND
- ANA5+ → ANA5+
- ANA5- → ANA5-
- IIN_1 → IIN_1
- IIN_2 → IIN_2
- IIN_3 → IIN_3
- V+1 → V+1
- V-1 → V-1
- V+2 → V+2
- V-2 → V-2
- V+3 → V+3
- V-3 → V-3
- VREF → VREF

IEMN Dept. ISEN			
Title			
Test du circuit IMEMTEST: Conv V-I			
Size	Document Number	REV	
A	file: IMEMTES3.SCH	1.0	
Date:	June 21, 1993	Sheet	3 of 4



IEMN Dept. ISEN		
Title		
Test du circuit IMEMTEST: Conv I-V (2)		
Size Document Number	REV	
A	file: IMEMTES4.SCH	1.0
Date: June 21, 1993	Sheet	4 of 4

La génération du courant de polarisation IBIAS est externe et réalisée par un générateur de courant programmable Keithley 220. La génération du signal d'entrée qui est une tension continue est externe et est réalisée par une source de tension HP3226A. Les signaux d'horloges qui peuvent être au nombre de trois sont générés par un générateur d'impulsions Tektronix HFS9030 qui permet une précision de l'ordre de la centaine de picosecondes.

La caractérisation de l'évolution de l'erreur de mémorisation en fonction du temps d'acquisition est faite point par point. Chaque point est obtenu par mesure en suivant le timing de la Fig 2.3. Cette caractérisation étant répétitive, une automatisation de la manipulation de mesure à été faite sur PC. Le logiciel LabView permet de commander des appareils de laboratoire via le bus HP-IB, les résultats de mesure sont recueillis au moyen d'une carte d'acquisition de signaux analogiques installée sur le PC.

La Fig 2.15 donne une description de l'automatisation de la mesure, la forme du transitoire est directement visualisable sur le PC, les points de mesure sont alors stockés dans un fichier, une confrontation directe avec la simulation est possible.

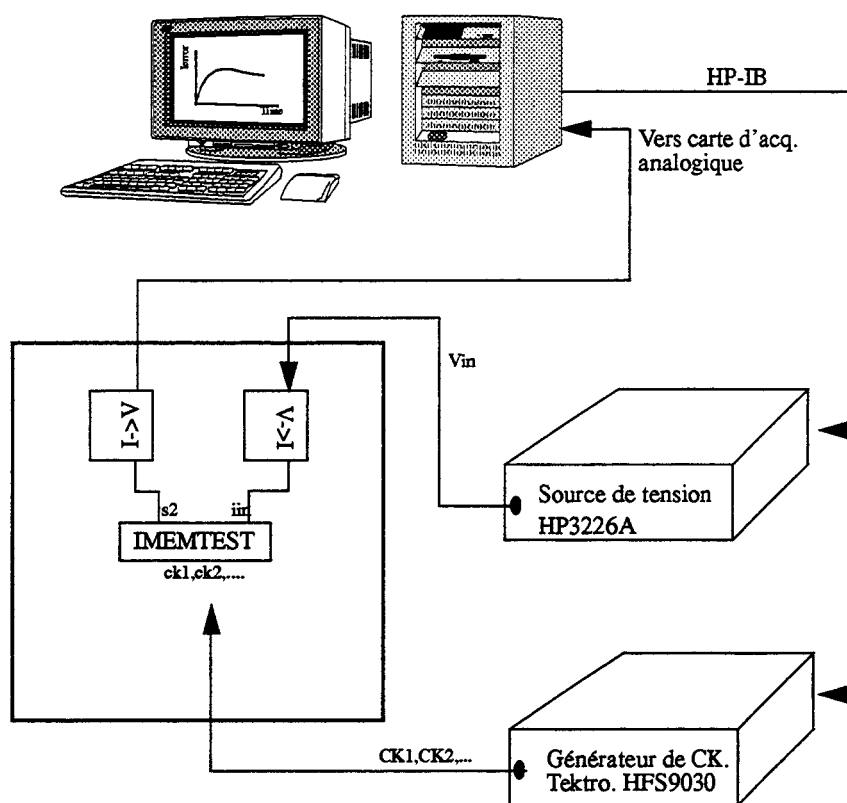


Fig 2.15 Automatisation de la caractérisation du comportement transitoire de la cellule

2.3 Résultats de mesure et validation expérimentale

2.3.1 Mesure du comportement transitoire et validation du modèle

La mesure du comportement transitoire de la cellule à mémoire de courant a été faite dans le cas de la cellule standard (les capacités de mémorisation et de sorties ont des valeurs nominales), pour un courant d'entrée de $+200\mu\text{A}$ et un courant d'entrée de $-200\mu\text{A}$. La manipulation étant automatisée sur PC, une comparaison directe entre la mesure, la simulation SPICE ainsi que la prédiction du modèle du chapitre 1 est possible sur le même graphe. Les Fig 2.16 et Fig 2.17, présentent les résultats.

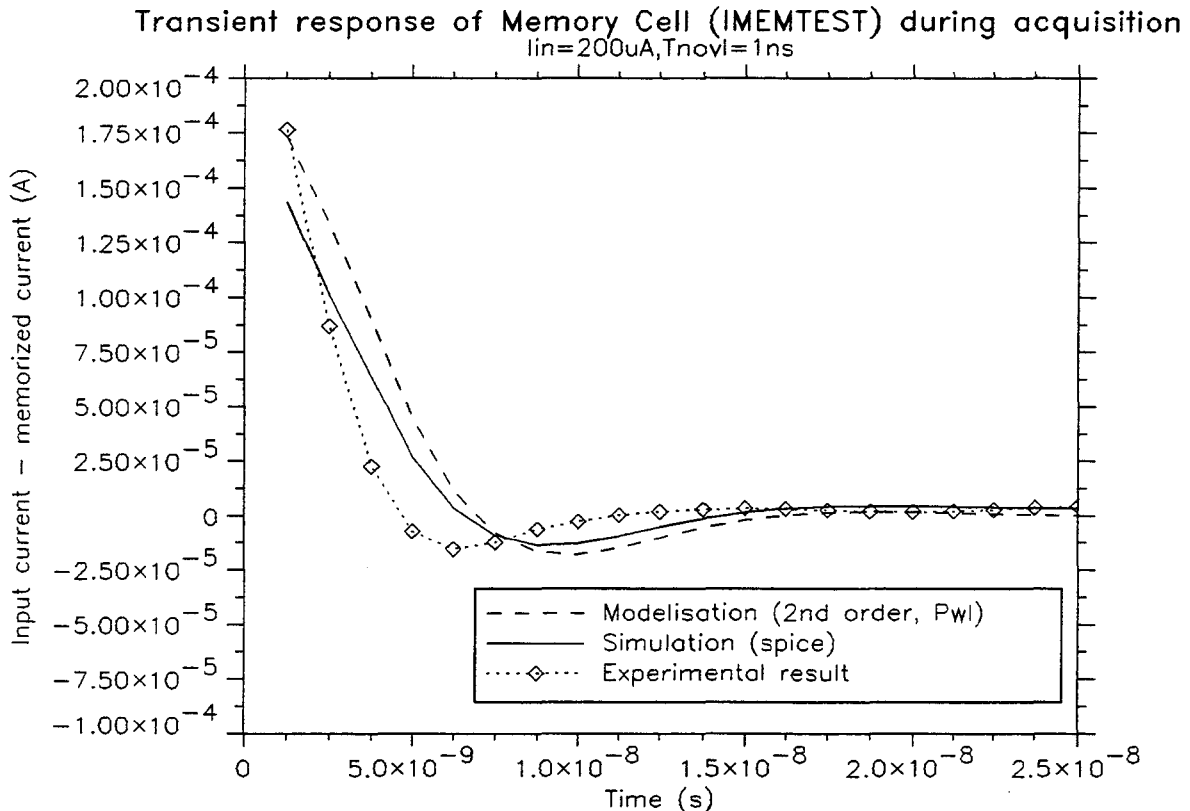


Fig 2.16 évolution de l'erreur d'acquisition pour un courant d'entrée de $200\mu\text{A}$

On voit que la courbe obtenue par mesure diffère légèrement des 2 courbes obtenues par la macro modélisation et par SPICE. La réponse mesurée est plus rapide que celle prédite par simulation, l'écart en haut de l'overshoot est de 3 nanosecondes. Par contre la valeur de l'overshoot est semblable pour la mesure et les simulations. On remarque que l'overshoot obtenu dans ce fonctionnement du circuit est plus faible que celui simulé au chapitre 1 lors de la validation du modèle. Cela vient du temps de non-recouvrement t_{novl} (cf. chap. 1 paragraphe 1.2.3) qui est plus faible dans cette configuration de mesure.

La légère différence entre la mesure et les simulations est à mon avis due essentiellement à la précision des paramètres du modèle SPICE extraits. En effet, les paramètres permettant le calcul des capacités parasites (capacité C_{db} , C_{gb} ...) vont influencer fortement la valeur de la capacité du noeud de sortie C_d . Ces paramètres lors de l'extraction dépendent énormément du circuit utilisé pour la caractérisation et sont parfois optimisés voire augmentés pour prédire le pire des cas.

Le fait que les 2 simulations ont une réponse quasi identique confirme la validation du

modèle. Pour utiliser le modèle de manière précise, une attention particulière lors de l'extraction des paramètres SPICE est recommandée.

Pour le cas où $I_{in} = -200\mu A$, La mesure diffère aussi des simulations. La réponse extraite de la mesure s'établit plus vite que celle des simulations. La raison de cette différence est la même que pour le cas où $I_{in} = +200\mu A$

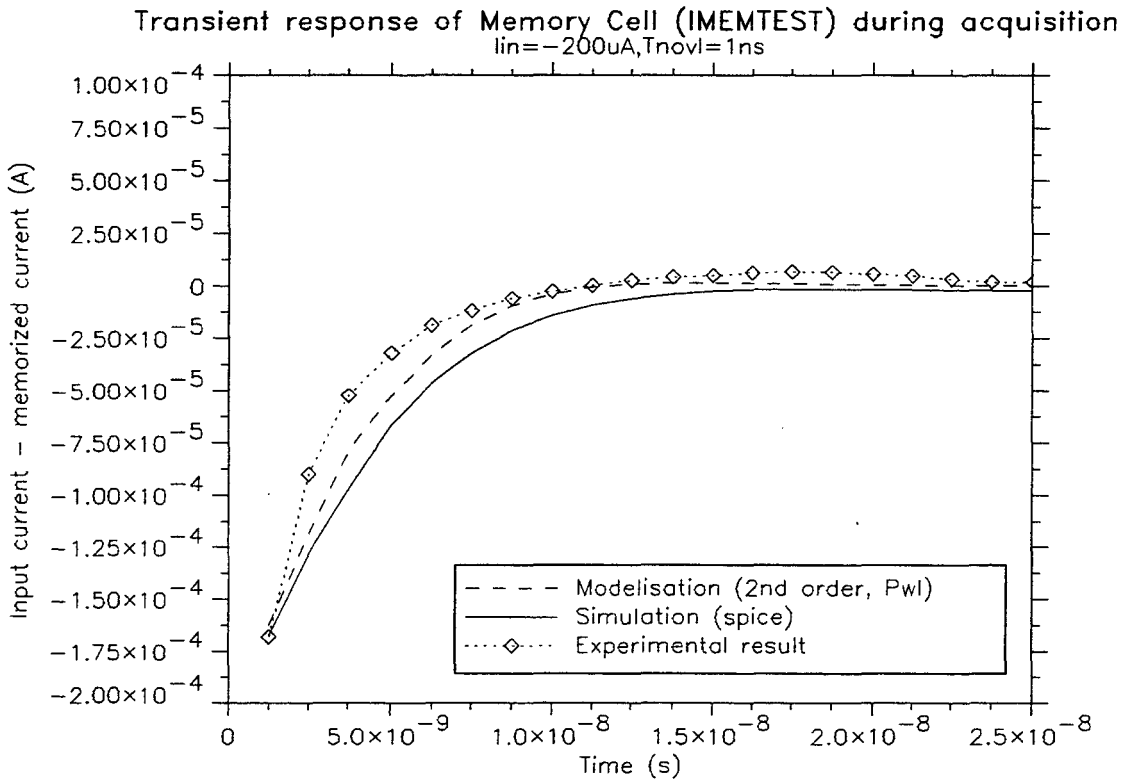


Fig 2.17 évolution de l'erreur d'acquisition pour un courant d'entrée de $-200\mu A$

2.3.2 Mesure de la conductance de sortie.

La Fig 2.18 représente l'écart du courant de sortie de la cellule induit par une variation de potentiel autour du potentiel moyen de sortie (1.7 V). Cette variation de courant est causée par la conductance de sortie statique et dynamique. Cette caractéristique est tracée pour trois valeurs du courant d'entrée.

Les courbes sont divisées en trois parties, chacune correspond à un état de fonctionnement de la cellule. Pour un potentiel de sortie faible (inférieur à environ 1.2V) ou élevé (supérieur à 2.2V) l'un des deux transistors cascode de la cellule est désaturé, ce qui provoque l'augmentation de la pente donc une forte conductance de sortie. Pour un potentiel de sortie autour de 1.7V, on a une pente plus faible qui correspond à une conductance faible. C'est le régime de fonctionnement normal de la cellule, les deux transistors cascodes sont saturés.

En différenciant les courbes de la Fig 2.18, on obtient la conductance de sortie de la cellule en fonction du potentiel de sortie (cf. Fig 2.19). La conductance de sortie est très faible quand la cellule est en fonctionnement saturé, cela explique l'imprécision du calcul de la conductance dans cette zone. Une méthode simple pour obtenir une bonne approximation de la conductance de sortie est de tracer une tangente à la courbe de la Fig 2.18 en zone linéaire.

Les valeurs obtenues pour la conductance de sortie sont:

- $2.8 \mu\text{A}/\text{V}$ pour $I_{\text{mémorisé}} = -200 \mu\text{A}$
- $4.1 \mu\text{A}/\text{V}$ pour $I_{\text{mémorisé}} = 0 \mu\text{A}$.
- $6.5 \mu\text{A}/\text{V}$ pour $I_{\text{mémorisé}} = 200 \mu\text{A}$.

Output Current Variations of the CMC

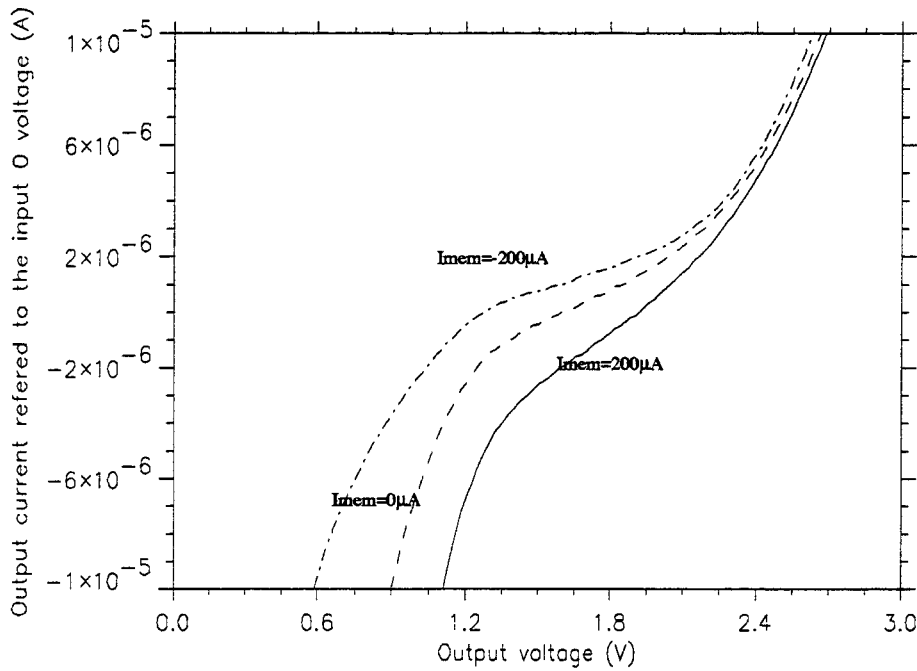


Fig 2.18 écarts de courant induits par une variation du potentiel de sortie.

Output Conductance of the CMC

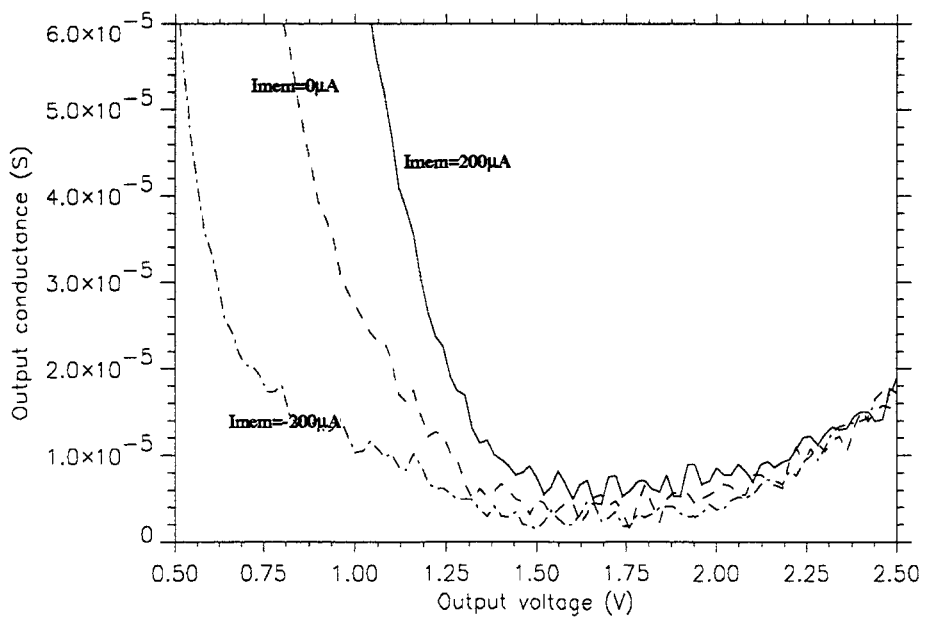


Fig 2.19 conductance de la cellule en fonction du potentiel de sortie

Cette évolution de la conductance est normale, en effet la conductance de drain du transistor mémoire est proportionnelle au courant de drain. Un courant de mémorisation de $200\mu\text{A}$ correspond à un courant de drain du transistor mémoire de $600\mu\text{A}$ alors qu'un courant de mémorisation de $-200\mu\text{A}$ correspond à $200\mu\text{A}$ pour le transistor mémoire. Dans le premier cas la conductance de drain du transistor mémoire est donc plus élevée que dans le second, la conductance totale varie de même.

La valeur de la conductance de sortie de la cellule est dépendante de la capacité de mémorisation, en effet la conductance a une partie dynamique qui est proportionnelle à C_g (2.2). La Fig 2.20 donne l'écart de courant provoqué par une variation de la tension de sortie pour un courant mémorisé de $0\mu\text{A}$ et pour deux types de cellules. La première cellule possède une capacité de mémorisation de 1.71pF la seconde cellule 0.91pF . On voit que la pente dans la zone de fonctionnement saturé est différente. La valeur de cette pente est la conductance de sortie de la cellule:

- $4.1\mu\text{A/V}$ pour la cellule ayant $C_g=1.71\text{pF}$.
- $6.1\mu\text{A/V}$ pour la cellule ayant $C_g=0.91\text{pF}$.

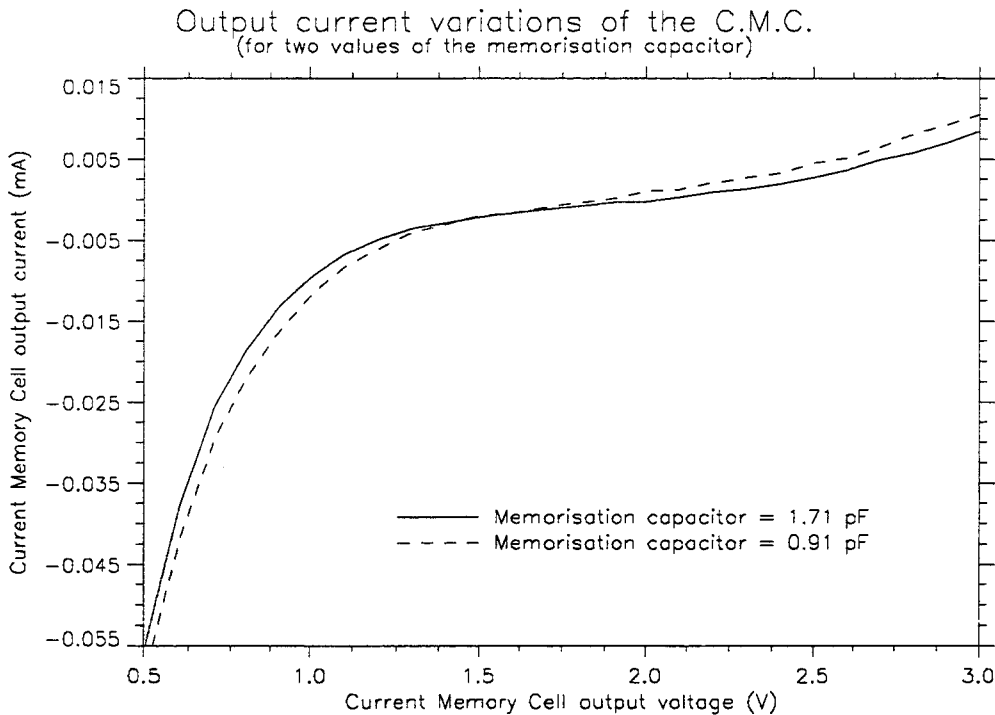


Fig 2.20 Mesure permettant le calcul de la partie dynamique de la conductance

Si on considère que la taille de la capacité de mémorisation de la seconde cellule est la moitié de celle de la première cellule, l'équation (2.2) permet d'obtenir la partie dynamique de la conductance de sortie de la première cellule. On a donc $g_{\text{tot}}=4.1\mu\text{A/V}$, $g_{\text{dyn}}=2\mu\text{A/V}$ et $g_{\text{stat}}=2.1\mu\text{A/V}$ pour la cellule possédant un capacité de mémorisation de 1.71pF .

2.3.3 Mesure de l'erreur de copie

Pour caractériser la précision de copie de la cellule, on trace l'erreur de copie de la CELL2 en fonction du courant d'entrée. Cette courbe permet aussi de caractériser la linéarité de la cellule. Une cellule de caractéristique très linéaire aura une courbe droite dont la pente est l'erreur de copie.

La Fig 2.21 donne l'erreur de recopie de la cellule réalisée. Cet caractéristique prends en compte toutes les limitations sauf l'erreur de stabilisation qui est rendue négligeable suite à un long temps d'acquisition. On voit que cette courbe est assez linéaire pour les courants d'entrée supérieurs à $-100\mu\text{A}$, le gain dans cette zone de fonctionnement est de 1.02 ce qui correspond à une erreur linéaire de copie de 2%.

Pour $I_{in} < -100\mu\text{A}$, on assiste à une augmentation très forte de l'erreur, cela correspond à la désaturation du cascode NMOS de la CELL2 en cours d'acquisition. Ce problème est normal et est une des principales limitations des cellules à mémoire de courant de type cascodées

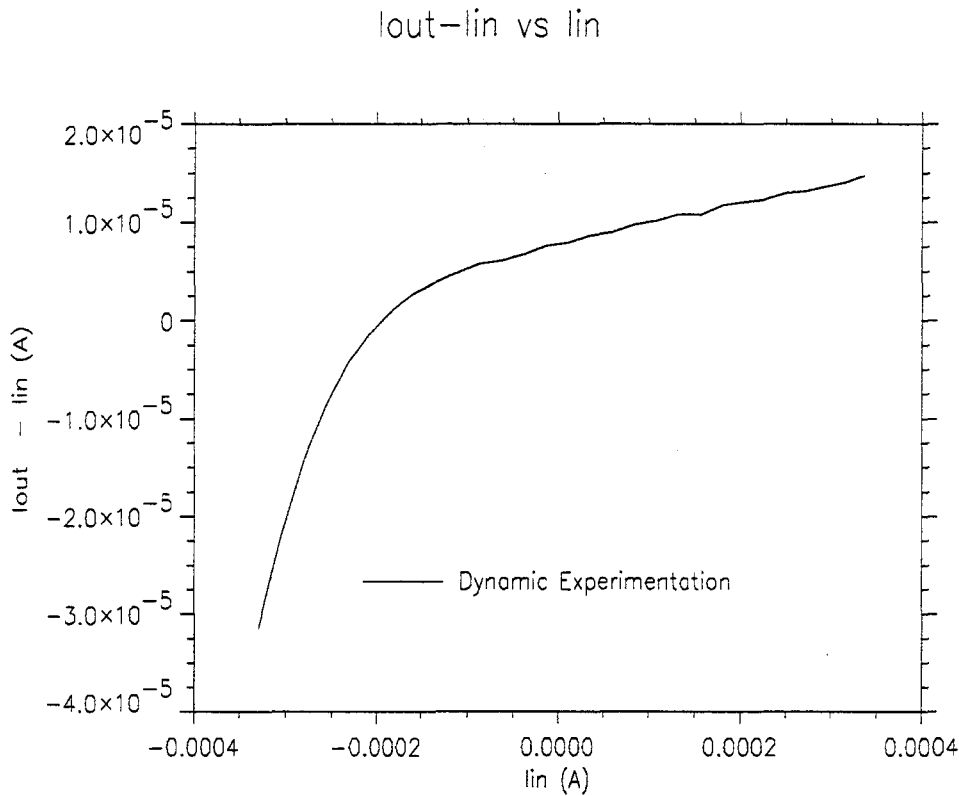


Fig 2.21 Erreur de recopie de la cellule

2.3.4 Caractérisation de l'injection de charge

L'injection de charge de l'interrupteur d'échantillonnage se caractérise au moyen du coefficient de proportionnalité K_i qui est le rapport entre la charge injectée sur la capacité de mémorisation et la charge totale stockée dans l'interrupteur.

La méthode expérimentale proposée au 2.1.2.4 permet la mesure externe des coefficients K_i et K_{ic} . La Table 2.1 donne les résultats de mesure. Trois cas sont pris en compte dans ce tableau (Un cas pour chaque ligne de test) suivant les valeurs de C_d et C_g . La mesure de l'erreur de mémorisation avec compensation Δ_{ic} et sans compensation Δ_i est donnée. Les coefficients K_i et K_{ic} correspondants sont calculés au moyen de l'équation (2.3).

L'article de G. Wegmann [1] montre que le coefficient K_i est dépendant de deux paramètres qui sont le rapport des capacités C_g/C_d et un coefficient B . L'abaque de la Fig 2.22 donne K_i en fonction de B (suivant le rapport C_g/C_d). Le coefficient B est calculé de la manière suivante:

$$B = V_{gst_{sw}} \cdot \sqrt{\frac{K_{sw}}{a \cdot C_g}} \quad (2.5)$$

Dans cette expression, “ $V_{gst_{sw}}$ ” est la valeur de $V_{gs_{on}} - V_t$ pour l'interrupteur d'échantillonnage. “ a ” est la pente de la commande de coupure de cet interrupteur. Cette pente n'est pas mesurable, on prend donc la valeur donnée par la simulation SPICE.

La pente de commutation de $3.2 \cdot 10^9$ V/s donne B égal à 0.42 pour une capacité C_g de 1.71 pF. B vaut 0.57 pour un C_g de 0.91 pF. En utilisant l'abaque de la Fig 2.22 on obtient le coefficient K_i égal à 0.51, 0.505 et 0.503 pour des valeurs respectives de C_g/C_d égales à 2.71, 1.44 et 1.51. On voit que la mesure ne coïncide pas avec la prédiction de l'abaque. En effet la charge injectée sur la capacité de mémorisation est trop importante. Par contre le rapport C_g/C_d influence le coefficient K_i de manière identique, seules les proportions ne sont pas respectées.

C_g	C_d	C_g/C_d	Δi	Δi_{comp}	K_i	$K_{i_{comp}}$	K_i Theori.
1.71pF	0.63pF	2.71	10.2 μ A	4.1 μ A	0.84	0.34	0.51
0.91pf	0.63pF	1.44	17 μ A	6.1 μ A	0.78	0.28	0.505
1.71pF	1.13pF	1.51	9.4 μ A	3.2 μ A	0.76	0.26	0.503

Table 2.1 caractérisation de l'injection de charge (mesure externe)

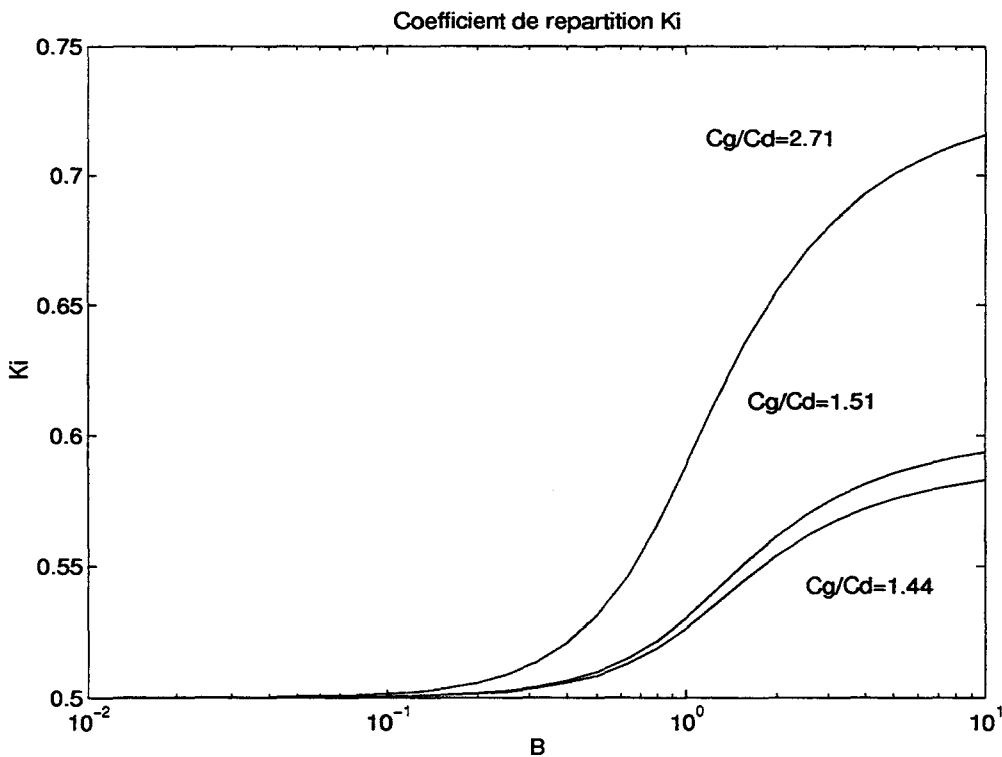


Fig 2.22 abaque donnant le coefficient K_i en fonction de C_g/C_d et B

Afin de comprendre la raison de cette différence, une seconde méthode de mesure a été utilisée. Des pads de test en métal 2 de 100µm par 100µm existent sur le circuit IMEMTEST. Ils sont directement reliés au noeud de mémorisation Vg de la CELL2.

L'évolution de la tension de mémorisation est visualisée sur un oscilloscope numérique. Pour mesurer la tension, une picoprobe est utilisée. En effet elle est active et ajoute une capacité parasite faible. Les chronogrammes de la Fig 2.23 et la Fig 2.24 représentent le résultat pour la ligne de test 2 (Cg=0.91pF et Cd=0.61pF). Sur la Fig 2.23 on utilise pas la compensation de l'injection de charge, sur la Fig 2.24 on l'utilise.

La voie1 (Ch1) de l'oscilloscope est connectée à la picoprobe et donc donne l'évolution de la tension d'acquisition, la voie4 est connectée au signal d'entrée de la carte CK2, signal qui commande la fermeture de l'interrupteur d'échantillonnage (moment indiqué sur le graphe). On mesure directement la différence de potentiel ΔV créée par l'injection de charge (cf Fig 2.23), ainsi que celle ΔV_c quand la compensation est utilisée (cf Fig 2.24). Les coefficients Ki et Kic en sont directement déduits (cf Table 2.2).

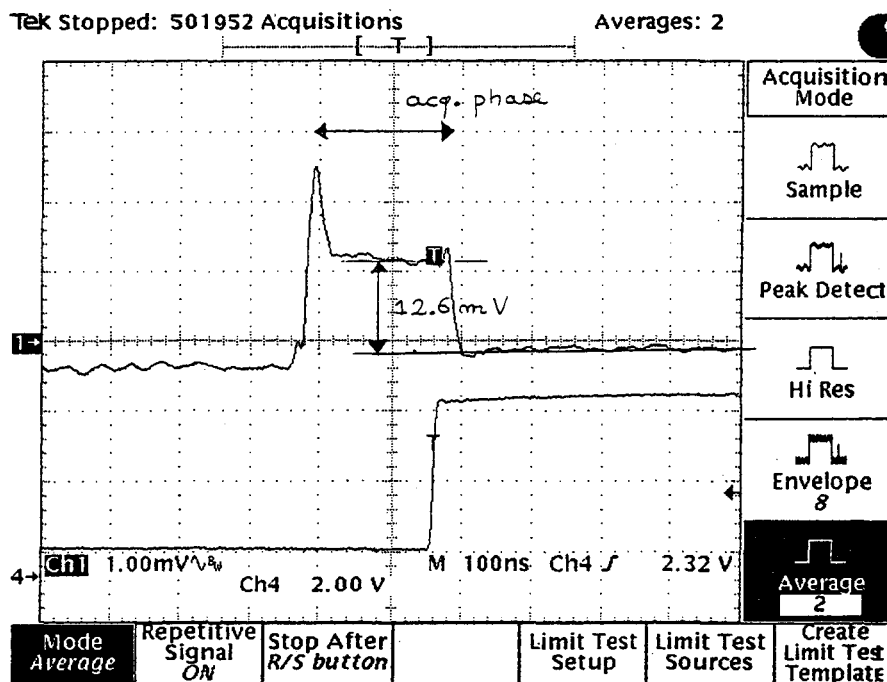


Fig 2.23 mesure de la tension Vg sous pointes (sans compensation)

On voit que les coefficients Ki et Kic sont presque similaires à ceux obtenus par mesure externe. Le procédé de mesure externe est bon. La différence entre la théorie et la mesure du circuit est due à mon avis à un problème de propagation de signaux parasites dans le substrat ou les alimentations.

En effet la valeur haute et basse de l'horloge de commande CK2, ainsi que la temps de montée influent beaucoup sur les coefficients Ki et Kic mesurés. Vu les temps de montée le signal d'horloge extérieur oscille un peu après la commutation. Ces oscillations sont absorbées par les diodes de protection qui créent un signal parasite qui se propage dans le substrat ou les rails d'alimentation.

Une autre raison de cette différence provient du calcul du coefficient B qui repose

totalemment sur les paramètres du modèle SPICE. Dans la mesure de la stabilisation en phase d'acquisition, les temps de montée et les transitoires ont parus plus rapides que ce qui est prédit par la simulation. Le calcul de B repose sur la valeur de la pente de coupure de l'interrupteur d'échantillonnage qui n'est connu que par la simulation SPICE. Suite aux capacités parasites et à de mauvais paramètres SPICE, l'erreur sur cette estimation de la pente de coupure peut être très importante vu la valeur très faible du temps de coupure.

D'autre part, le délai entre la coupure de l'interrupteur d'échantillonnage et l'activation de la compensation par le signal Φ_b n'est réalisé que par une porte NAND. Le délai a été validé par simulation SPICE, mais on peut envisager qu'en mesure ce délai est moindre et ne garantit plus le non recouvrement entre les deux commandes. Dans ce cas la compensation n'est plus efficace et ne capture plus la quasi totalité de la charge injectée. L'hypothèse que la charge stockée Q_{dum} dans l'interrupteur de compensation est égale à la moitié de la charge totale de l'interrupteur d'échantillonnage Q_{tot} n'est plus vraie, ce qui remet en cause les résultats de mesures. Pour s'assurer de la validité de l'hypothèse, une modification du circuit de commande des horloges assurant un plus grand délai entre ces deux commandes est nécessaire.

C_g	C_d	C_g/C_d	Δv	Δv_c	K_i	K_{ic}
1.71pF	0.63pF	2.71	8.67mV	3.26mV	0.8	0.3
0.91pf	0.63pF	1.44	12.6mV	3.39mV	0.68	0.18
1.71pF	1.13pF	1.51	7.53mV	1.97mV	0.68	0.18

Table 2.2 caractérisation de l'injection de charge (mesure sous pointes)

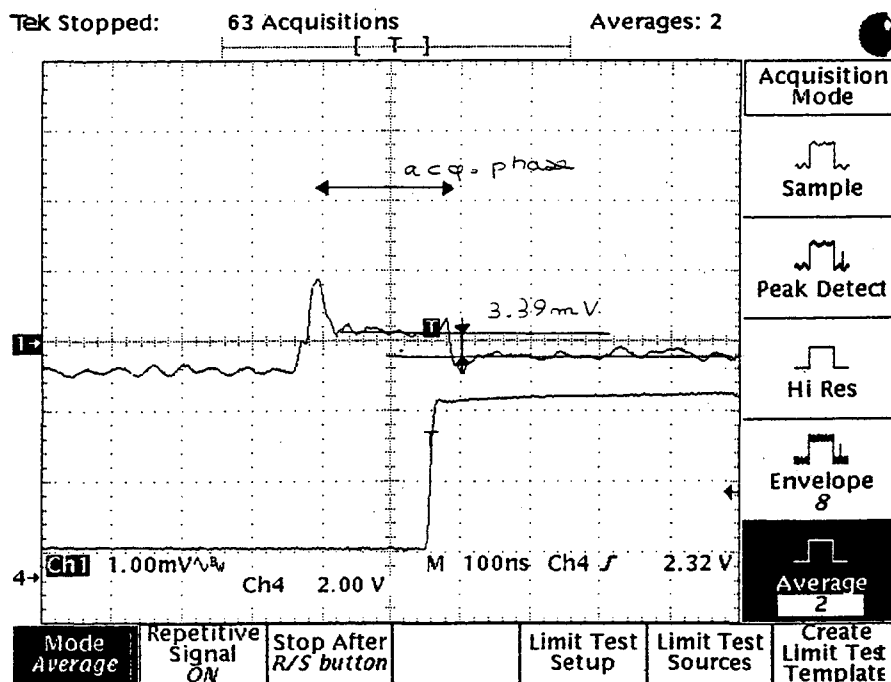


Fig 2.24 mesure de la tension V_g sous pointes (avec compensation)

2.4 Références bibliographiques

- [1] G. WEGMANN, E. A. VITTOZ and F. RAHALI
Charge Injection in Analog MOS Switches.
IEEE Journal of Solid-State Circuits, Vol. 22, No. 6, Dec 1987, pp.1091 - 1097.

- [2] J. SHIEH, M. PATIL and B. J. SHEU
Measurement and Analysis of Charge Injection in MOS Analog Switches.
IEEE Journal of Solid-State Circuits, Vol. Sc-22, No. 2, April 1987, pp. 277-281.

- [3] P. N'GORAN
Simulation à Temps Discret de Circuits à Mémoire de Courant et Application à l'Etude de Modulateurs Sigma-Delta.
Thèse No. 1291, Université des Sciences et Techniques de Lille Flandres-Artois, 1994, pp.92-96

- [4] N.MOENECLAEY, A. KAISER
Measurement of the Main Limitations of Current Memory Cells.
in proceedings of MWSCAS'94, Session 9.8, Lafayette, Louisiana, USA, August 1994.

Chapitre 3

Architectures de modulateurs Sigma-Delta de forte précision en mode courant

Les modulateurs sigma-delta sont largement utilisés dans les circuits à capacité commuté pour atteindre de fortes précisions. La réalisation de tels convertisseurs en mode courant est étudiée dans ce chapitre. Nous proposons une nouvelle structure M.A.S.H. à base de mémoire de courant permettant une précision de 16 Bits. Une étude de son dimensionnement, de sa consommation ainsi que du type de cellule à mémoire de courant nécessaire pour atteindre les performances voulues est présentée.

La modulation sigma-delta est très utilisée dans le domaine de la conversion analogique numérique de moyenne et forte précision pour des bandes passantes moyennes [1][2][3]. C'est la qualité des intégrateurs du modulateur qui lui permet d'atteindre une haute précision. La technique des capacités commutées est parfaitement adaptée à ce genre de modulateur. De nombreuses réalisations ayant une précision pouvant atteindre 16 à 18 Bits sont utilisées commercialement.

Un des désavantages de ce genre de réalisation vient des capacités commutées qui nécessitent un process analogique plus coûteux ainsi que le design d'amplificateurs opérationnels précis et rapides. Une alternative intéressante est d'utiliser des circuits en mode courant qui peuvent réaliser les mêmes fonctions mathématiques mais ont l'avantage d'être implémentables dans des technologies purements numériques. Les circuits à courant commuté sont faits à base de cellules à mémoires de courant, ces cellules sont plus faciles à dimensionner qu'un amplificateur opérationnel, elles se prêteraient mieux à la synthèse automatique.

Toutefois les cellules à mémoires de courant ont d'autres limitations, notamment celle de ne pouvoir être lues que par une seule autre cellule à un instant donné ce qui demande des modifications du schéma du modulateur sigma-delta en vue de sa réalisation en mode courant.

3.1 Introduction

Ce chapitre présentera, après une introduction sur les convertisseurs sigma-delta, une implémentation en mode courant du modulateur du second ordre proposée par Ph. N'Goran et A. Kaiser [4]. Dans le but d'atteindre une haute précision de l'ordre de 16 Bits, une modification de cette structure a permis la mise au point d'un modulateur de type M.A.S.H. cascadant un second ordre et un premier ordre. Une étude de l'influence des caractéristiques de la cellule à mémoire de courant sur les performances du modulateur permettra de cibler les caractéristiques de la cellule permettant d'atteindre une forte précision. Enfin l'introduction d'une division du signal dans la structure du modulateur autorisera une forte baisse de la consommation élevée due à la précision de 16 Bits voulue.

3.1.1 Principes de la modulation sigma-delta

3.1.1.1 Fonctionnement du modulateur

Le modulateur sigma-delta est un convertisseur suréchantillonné, dont la sortie numérique est codée sur un nombre de bits très faible (généralement 1 Bit) ce qui entraîne un bruit de quantification élevé. La forte précision de ce modulateur est obtenue grâce à une répartition non égale de ce bruit de quantification dans la bande des fréquences, la majeure partie du bruit est repoussé vers les hautes fréquences ce qui permet d'avoir très peu de bruit de quantification dans la bande de base. L'utilisation d'un filtre numérique décimateur en sortie du modulateur permet alors de faire disparaître ce bruit hors bande (Fig 3.1).

Le modulateur sigma-delta à sortie sur un bit est composé d'un ou plusieurs intégrateurs suivis d'un comparateur un bit délivrant le signal de sortie, celui-ci est soustrait à l'entrée des intégrateurs du modulateur (Fig 3.2). Pour cela la sortie est convertie en un signal analogique au moyen d'un convertisseur digital analogique. On obtient donc un système contre réactionné qui génère un signal sur 1 bit dont la densité de «1» est proportionnelle à la valeur du signal d'entrée ([5] pp118).

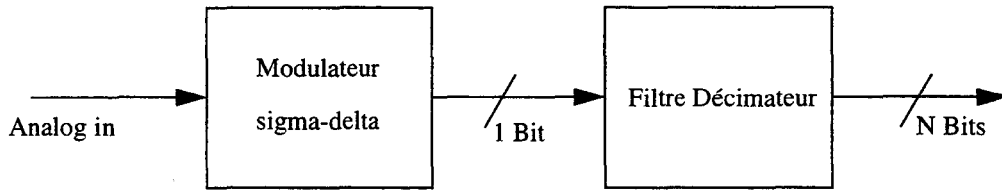


Fig 3.1 Le modulateur sigma-delta et son filtre décimateur

Lorsque le nombre le nombre d'intégrateurs du système est supérieur à deux le système peut devenir instable suivant la valeur de l'entrée. Il est possible de faire des modulateurs sigma-delta stable d'ordre 3 ou supérieur en utilisant la topologie de la Fig 3.2 avec des valeurs particulières des coefficients a_1, a_2, \dots . Le calculs de ces valeurs de coefficients se fait alors par simulation ([5] pp 152-171).

La structure cascadée de nom M.A.S.H. [6] autorise la stabilité à des modulateurs sigma-delta d'ordre supérieur à 2. Une implémentation d'un modulateur cascadé d'ordre 3 en mode courant sera présentée dans ce chapitre.

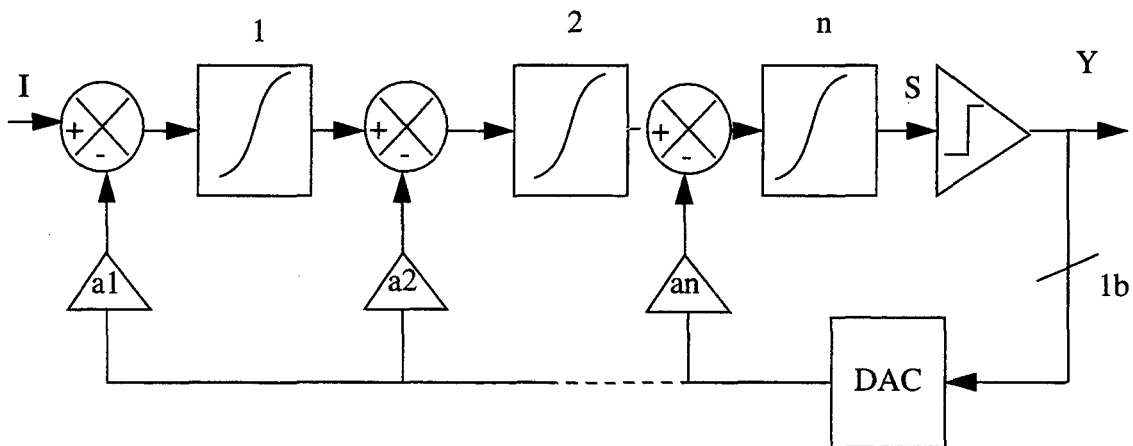


Fig 3.2 Modulateur sigma-delta d'ordre «n»

3.1.1.2 Calcul approché de la fonction de transfert

La fonction de transfert d'un de modulateur sigma-delta ne peut être calculée directement du fait du comportement non linéaire du comparateur. On utilise donc une modélisation approchée du comparateur pour obtenir la fonction de transfert en «Z» du modulateur.

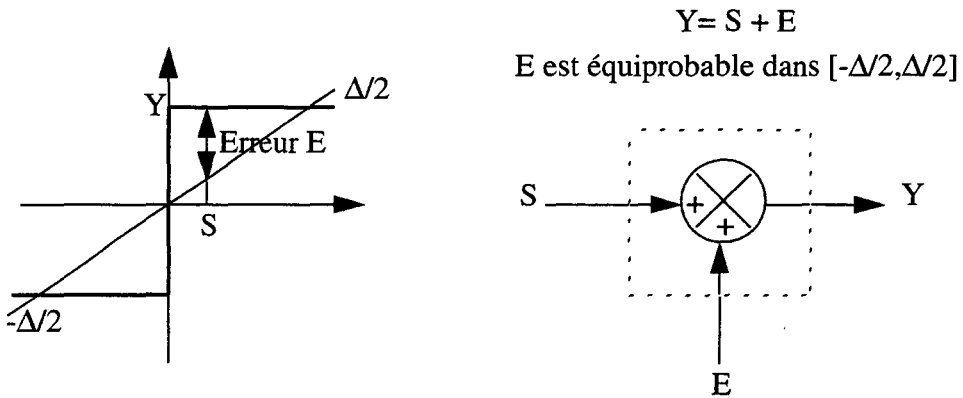


Fig 3.3 Représentation en «Z» du comparateur

Le comparateur est modélisé de la manière suivante. Le signal en sortie du comparateur est la somme de l'entrée S et d'une erreur E. La valeur de l'erreur est de probabilité égale dans l'intervalle $[-\Delta/2, \Delta/2]$ ou « $\Delta/2$ » est la valeur de sortie du comparateur pour un signal d'entrée positif (Fig 3.3). On prendra comme hypothèse que l'erreur E est un bruit blanc de puissance $\Delta^2/12$ [6].

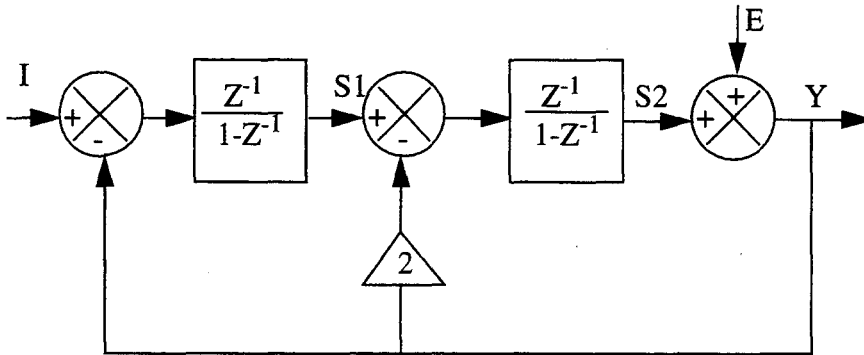


Fig 3.4 Modulateur sigma-delta du second ordre.

$$S2 = \frac{Z^{-1}}{1-Z^{-1}} \cdot (S1 - Y) \tag{3.1}$$

$$S1 = \frac{Z^{-1}}{1-Z^{-1}} \cdot (I - Y) \tag{3.2}$$

$$Y = S2 + E \tag{3.3}$$

Nous utiliserons un modulateur du second ordre pour le calcul approché de la fonction de transfert. La Fig 3.4 donne la représentation du modulateur. Les coefficients a1 et a2 ont pour valeurs respectives 1 et 2. Ces valeurs permettent d'obtenir une répartition idéale du bruit de

quantification vers les hautes fréquences. La fonction de transfert en «Z» du modulateur est déduite des trois équations suivantes (3.1)-(3.3). La résolution de ces trois relations nous donne la fonction de transfert du modulateur du second ordre:

$$Y = I \cdot Z^{-2} + E \cdot (1 - Z^{-1})^2 \quad (3.4)$$

On voit que la sortie du modulateur est la somme du signal d'entrée retardé et d'un terme fonction du bruit de quantification E du comparateur. Ce second terme est en fait le produit du bruit blanc E avec l'expression $(1 - Z^{-1})^2$. Dans le domaine fréquentiel la sortie du modulateur est la somme entre le spectre du signal d'entrée et le spectre du second terme de l'addition. La représentation fréquentielle de l'expression $(1 - Z^{-1})^2$ est $(2 \cdot \sin(\pi \tau \cdot f))^2$ ou τ est la période de suréchantillonnage (correspondante au retard Z^{-1}). Un exemple de spectre de la sortie du modulateur dans le cas d'une entrée sinusoidale est donnée en Fig 3.5.

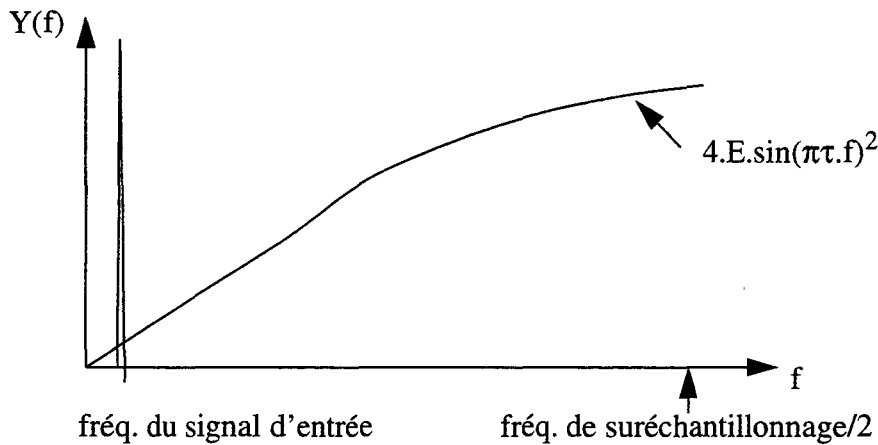


Fig 3.5 Spectre de sortie du modulateur du second ordre

La bande de base étant très faible par rapport à la fréquence de suréchantillonnage, la majeure partie de la puissance du bruit est repoussée en dehors, le rapport signal sur bruit peut être élevé. Pour les fréquences faibles on peut approximer le sinus du bruit de quantification à une parabole $(\pi \tau f)^2$. En échelle logarithmique, le bruit de quantification aura donc une pente de $2 \cdot 20\text{dB}$ par décade.

La fonction de transfert d'un modulateur d'ordre «n» est quasiment identique à celle de celui du second ordre(3.4), seul le retard de l'entrée et la puissance du terme en $(1 - Z^{-1})$ sont modifiés [6]:

$$Y = I \cdot Z^{-n} + E \cdot (1 - Z^{-1})^n \quad (3.5)$$

L'exposant du sinus qui modifie la distribution spectrale du bruit de quantification est de «n». En échelle logarithmique la pente du bruit de quantification est égale à $n \cdot 20\text{dB}$ par décades. On voit que plus «n» est élevé plus le bruit de quantification en bande de base sera faible et donc la résolution du convertisseur élevée.

La section suivante détaillera le calcul du rapport S/B maximal d'un convertisseur sigma-delta en fonction de l'ordre, du facteur de suréchantillonnage ainsi que de la fréquence d'échantillonnage.

3.1.2 Performances du modulateur

3.1.2.1 Calcul du rapport signal sur bruit

La puissance du bruit de quantification E introduit par le comparateur vaut $\Delta^2/12$. Nous supposons que ce bruit est blanc et donc est réparti uniformément dans la bande de fréquence. Comme ce bruit est échantillonné, il est donc replié dans la bande de fréquence comprise dans l'intervalle $[0, +fs/2]$ ou fs est la fréquence d'échantillonnage ($1/\tau$). La densité spectrale du bruit dans cette bande de fréquence est égale à [6]:

$$E(f) = \frac{\Delta}{\sqrt{6}} \cdot \sqrt{\tau} \quad (3.6)$$

La densité de bruit quantification du modulateur sigma-delta est la représentation fréquentielle du produit $E(1-Z^{-1})^n$ soit $E(f) \cdot (2 \cdot \sin(\pi \tau \cdot f))^n$. La puissance du bruit de quantification « n^2 » dans la bande de base $[0, fb]$ est obtenue en intégrant le carré de la densité de bruit de quantification entre 0 et fb (3.7). On approxime $\sin(x)$ par x dans cette zone car $fb \ll fs/2$. Le rapport entre $fs/2$ et fb est appelé rapport de suréchantillonnage OSR.

$$n^2 = \frac{\Delta^2 \cdot \pi^{2n}}{12 \cdot (2n + 1) \cdot (OSR)^{2n+1}} \quad (3.7)$$

Le rapport signal sur bruit est calculé en prenant la racine carré du rapport entre la puissance du signal et la puissance du bruit. Pour un signal sinusoïdal d'amplitude « a » à l'entrée le rapport signal sur bruit SNR vaut:

$$SNR = \frac{a}{\sqrt{2} \cdot n} \quad \text{soit} \quad SNR_{max} = \frac{\sqrt{3} \cdot \sqrt{2n+1} \cdot (OSR)^{n+0.5}}{\sqrt{2} \cdot \pi^n} \quad \text{si} \quad a_{max} = \frac{\Delta}{2} \quad (3.8)$$

L'amplitude maximale du sinus a_{max} que le modulateur sigma-delta peut coder sans devenir instable est $\Delta/2$. Le rapport signal à bruit maximal correspondant est donné dans l'équation (3.8). Il est fonction de deux variables: l'ordre du modulateur sigma-delta « n » et le rapport de suréchantillonnage «OSR». Cette relation permet d'établir un compromis entre la complexité du modulateur (proportionnelle à « n ») et rapidité de ses constituants (proportionnelle à l'OSR) pour une précision et une bande utile donnés. Pour les modulateurs du second et troisième ordre, la relation reliant le SNR_{max} à l'OSR est la suivante:

$$\text{Ordre 2} \quad SNR_{max} = 10 \cdot \log\left(\frac{15}{2 \cdot \pi^4}\right) + 50 \cdot \log(OSR)$$

$$\text{Ordre 3} \quad SNR_{max} = 10 \cdot \log\left(\frac{21}{2 \cdot \pi^6}\right) + 70 \cdot \log(OSR)$$

3.1.2.2 choix du modulateur

La Fig 3.6 représente le rapport signal à bruit maximal en fonction de l'ordre et de l'OSR du modulateur. La précision voulue est de 16 Bits soit un SNR de 98dB. Il nous faut un OSR de 153 pour un modulateur du second ordre alors qu'un OSR de 48 suffit pour un modulateur du troisième ordre et un OSR de 35 pour un quatrième ordre. Si la bande de base est de 20Khz, la fréquence de suréchantillonnage correspondante est de 1.4Mhz pour un quatrième ordre, 1.9Mhz pour un troisième ordre, pour le second ordre elle est de 6.1Mhz!

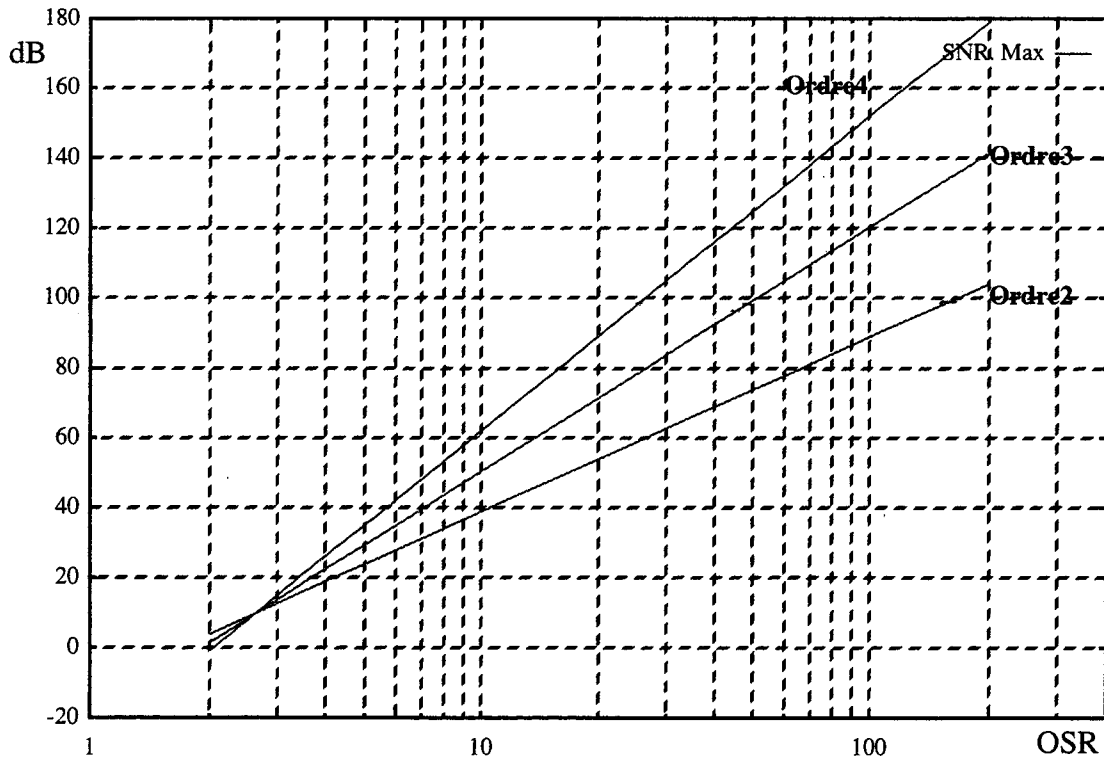


Fig 3.6 SNR_{max} d'un modulateur sigma-delta en fonction de l'ordre et de l'OSR

On voit bien que la précision de 16 Bits justifie un modulateur d'ordre 3, la plus faible fréquence de suréchantillonnage du modulateur du quatrième ordre ne justifie pas la complexité de ce dernier. Un modulateur d'ordre 3 est donc retenu.

Ce choix peut poser problème du fait de l'instabilité de ce modulateur quand il est réalisé de manière classique. Des coefficients de rebouclage particuliers permettent de le rendre stable, malheureusement ils ne sont pas entiers ([5]pp 152-171) et donc difficilement réalisables avec des cellules à mémoire de courant. Une solution stable est d'utiliser une structure cascadiée de type M.A.S.H. Il existe deux types de modulateurs M.A.S.H. du troisième ordre, soit on cascade trois modulateurs du premier ordre (structure M.A.S.H.111) soit on cascade un modulateur du second ordre et un modulateur du premier ordre (structure M.A.S.H.21). Ces deux structures ont le même comportement idéal, mais le M.A.S.H.111 est beaucoup plus sensible aux erreurs de gain sur le premier intégrateur comparé au M.A.S.H.21 [7]. Pour cette raison, nous avons choisi la structure M.A.S.H.21 pour notre modulateur. L'implémentation en mode courant de ce modulateur est présentée dans ce chapitre. Elle est dérivée du convertisseur du second ordre mis au point à l'I.S.E.N. par P. N'Goran [4]

Ce convertisseur utilise une cellule à mémoire de courant cascadiée. Le choix de ce type cellule avait été fait en raison de la précision de 12 bits voulue. Pour un convertisseur 16 bits, la cellule cascadiée ne suffit pas car son erreur de recopie est trop importante, la mise au point

d'une cellule plus précise est nécessaire. Pour cela une étude de l'influence du gain de la cellule sur les performances du modulateur M.A.S.H.21 fixera la précision de recopie voulue pour cette cellule à mémoire de courant.

3.2 Modulateur sigma-delta d'ordre 2 en mode courant

La cellule à mémoire de courant est le constituant de base de ce modulateur, elle permet trois opérations élémentaires:

- l'addition
- L'inversion (le courant d'entrée est de signe opposé à la somme des courants entrants).
- Le retard.

Ces opérations permettent de générer toutes les fonctions analogiques possibles. On peut donc synthétiser un modulateur sigma-delta à base de cellules à mémoire de courant. Un problème cependant vient du fait que le courant de sortie d'une cellule ne peut être lu que par une seule autre cellule en même temps. La Fig 3.7 représente un schéma d'un intégrateur à courant commuté. Suite à cette limitation des cellules à mémoire de courant, l'intégrateur nécessite trois phases d'horloge par intégration. En effet, deux phases $\Phi 2$ et $\Phi 3$ sont obligatoires pour mémoriser la somme actuelle et pour donner le courant de sortie. Deux phases suffisent pour réaliser toute l'intégration dans un circuit à capacités commutées.

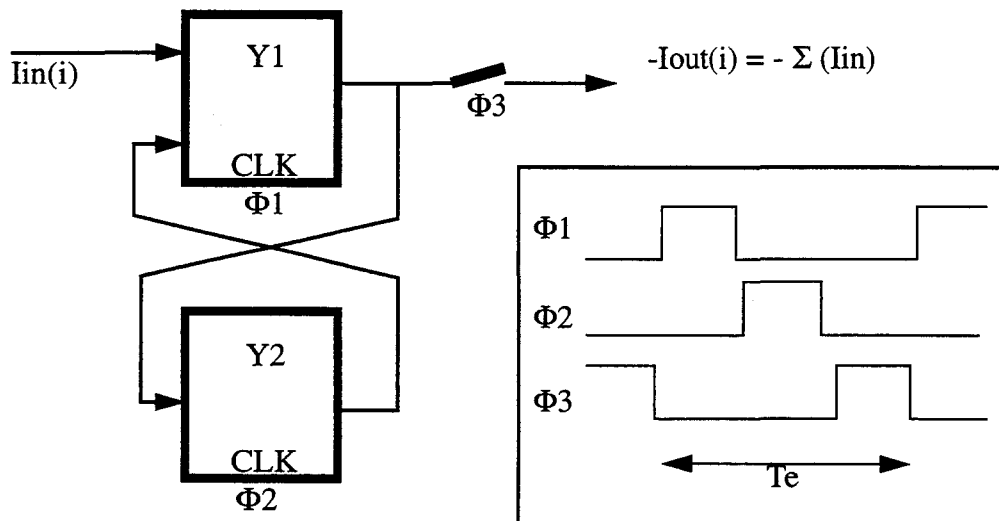


Fig 3.7 Intégrateur inverseur à trois phases

Une structure d'intégrateur à deux phases a été présentée par P. N'Goran [4]. La cellule $Y2$ dans l'intégrateur à trois phases ne sert qu'à stocker le résultat pour la prochaine intégration. Dans l'intégrateur à deux phases, les deux cellules vont faire une sommation entre l'entrée et la somme précédente. Pour cela on a deux entrées, l'une positive, l'autre négative qui seront lues successivement. Le cycle comporte 4 phases mais durant ce cycle, on réalise deux intégrations. Cette structure est donc un intégrateur à deux phases.

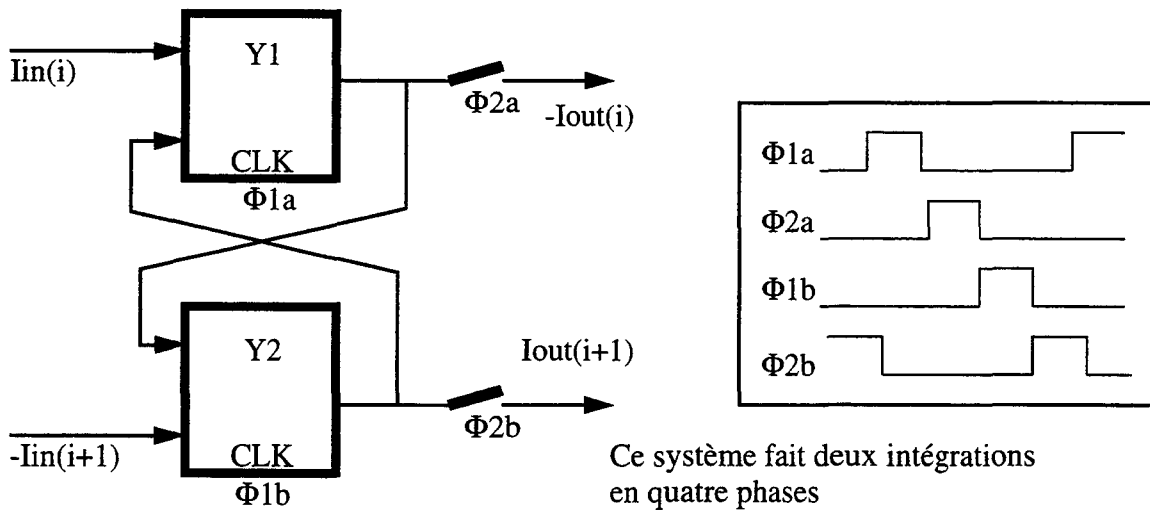


Fig 3.8 Intégrateur à deux phases

La Fig 3.9 présente l'architecture du modulateur sigma-delta du second ordre à deux phases. Il comporte deux intégrateurs à deux phases dérivés de celui de la Fig 3.8. Les interrupteurs de sortie commandés par $\Phi2a$ et $\Phi2b$ ont été supprimés. Les interrupteurs d'entrée des cellules $Y2a$ et $Y2b$ les remplacent. La décision en sortie est réalisée par deux comparateurs, un à la sortie de la cellule $Y2a$ et l'autre à la sortie de la cellule $Y2b$. Un multiplexeur aiguille alternativement la sortie de chaque comparateur vers le signal $m1$. Ce signal correspond à la sortie binaire du modulateur sigma-delta, il est utilisé pour le rebouclage du courant de référence $Iref$.

Ce type de modulateur a une entrée similaire à une entrée différentielle, mais le signal est échantillonné alternativement sur l'entrée positive et sur l'entrée négative. Le modulateur possède deux lignes de traitement, la première est réalisée par les cellules $Y1a$ et $Y2a$, la seconde par les cellules $Y1b$ et $Y2b$. Ces deux lignes de traitement sont utilisées alternativement pendant les 4 phases, elles permettent de traiter les deux échantillonnages successifs. Le chronogramme des horloges de commande est donné dans la Fig 3.9. Un cycle de quatre phases correspond à deux échantillonnages soit à une durée de $2Te$ (Te est la période d'échantillonnage). Une phase élémentaire a donc une durée de une demie période d'échantillonnage, la représentation en «Z» du modulateur comportera donc des retards de type $Z^{-0.5}$.

$$m1 = E1 \cdot (1 - Z^{-1})^2 + Z^{-1.5} \cdot I \tag{3.9}$$

La représentation en «Z» de ce modulateur sigma-delta d'ordre 2 (Fig 3.10) diffère légèrement de celle présentée en Fig 3.4. Cependant la fonction de transfert entre l'entrée et la sortie (3.10) est identique à celle d'un modulateur du second ordre classique, le bruit de quantification de la comparaison sera repoussé vers les hautes fréquences de manière identique.

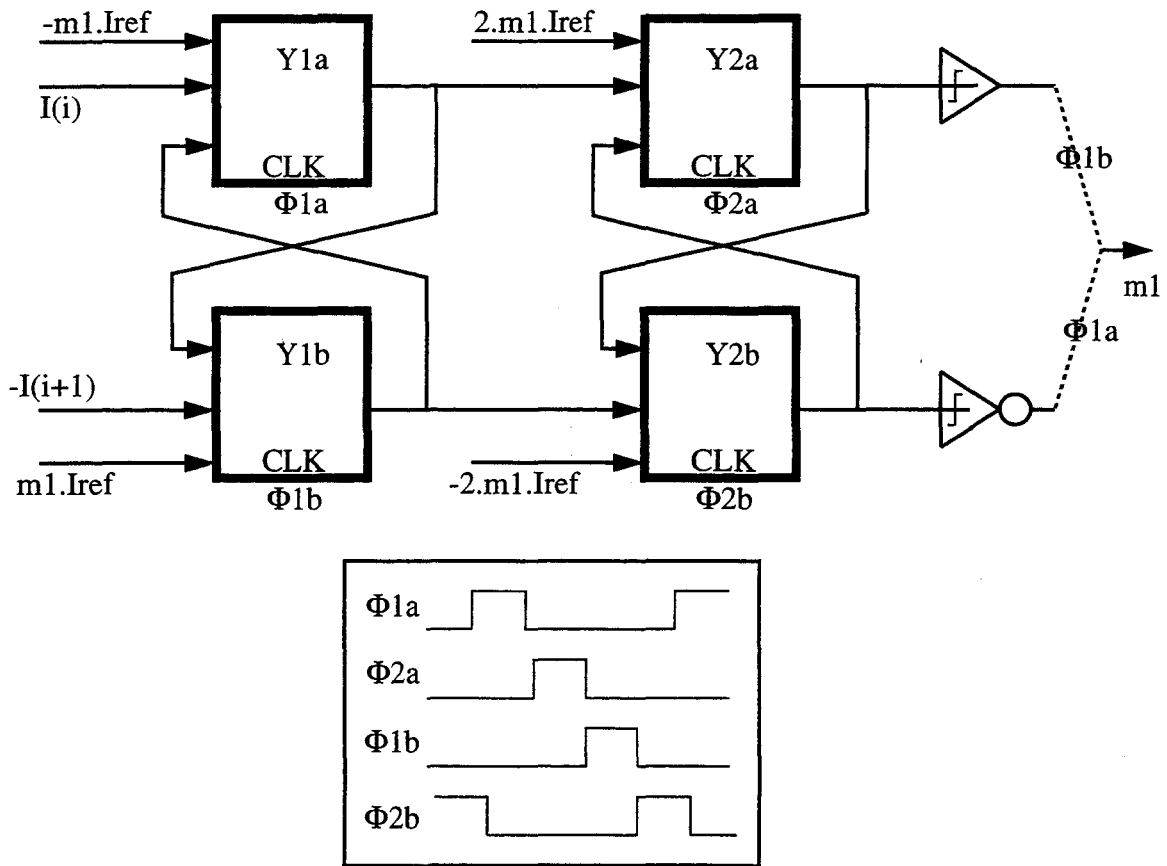


Fig 3.9 Modulateur du second ordre à deux phases

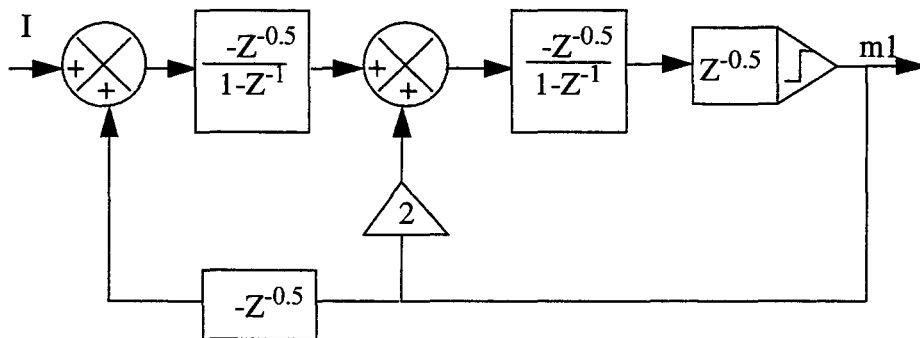


Fig 3.10 Représentation en «Z» du modulateur d'ordre 2

Cette architecture permet de faire un échantillonnage toutes les deux phases (échantillonnage de l'entrée positive sur $\Phi1a$, entrée négative sur $\Phi1b$). Il en résulte donc une augmentation de 50% de la fréquence d'échantillonnage par rapport à un modulateur à trois phases. Son seul inconvénient vient du fait qu'il faut fournir le signal et son inverse en entrée.

3.3 Modulateur sigma-delta d'ordre 3 en mode courant

Le modulateur du troisième ordre proposé est un M.A.S.H.21 composé d'un modulateur du second ordre cascadié avec un modulateur du premier ordre. Le modulateur du second ordre est identique à celui décrit dans la section précédente. Les cellules Y2a et Y2b dans le modulateur du second ordre sont utilisées pendant trois phases du cycle, elles sont inutilisées durant la quatrième. Dans le M.A.S.H.21 la quatrième phase inoccupée de ces cellules est utilisée pour transmettre la valeur sur le second intégrateur à l'entrée du modulateur du premier ordre.

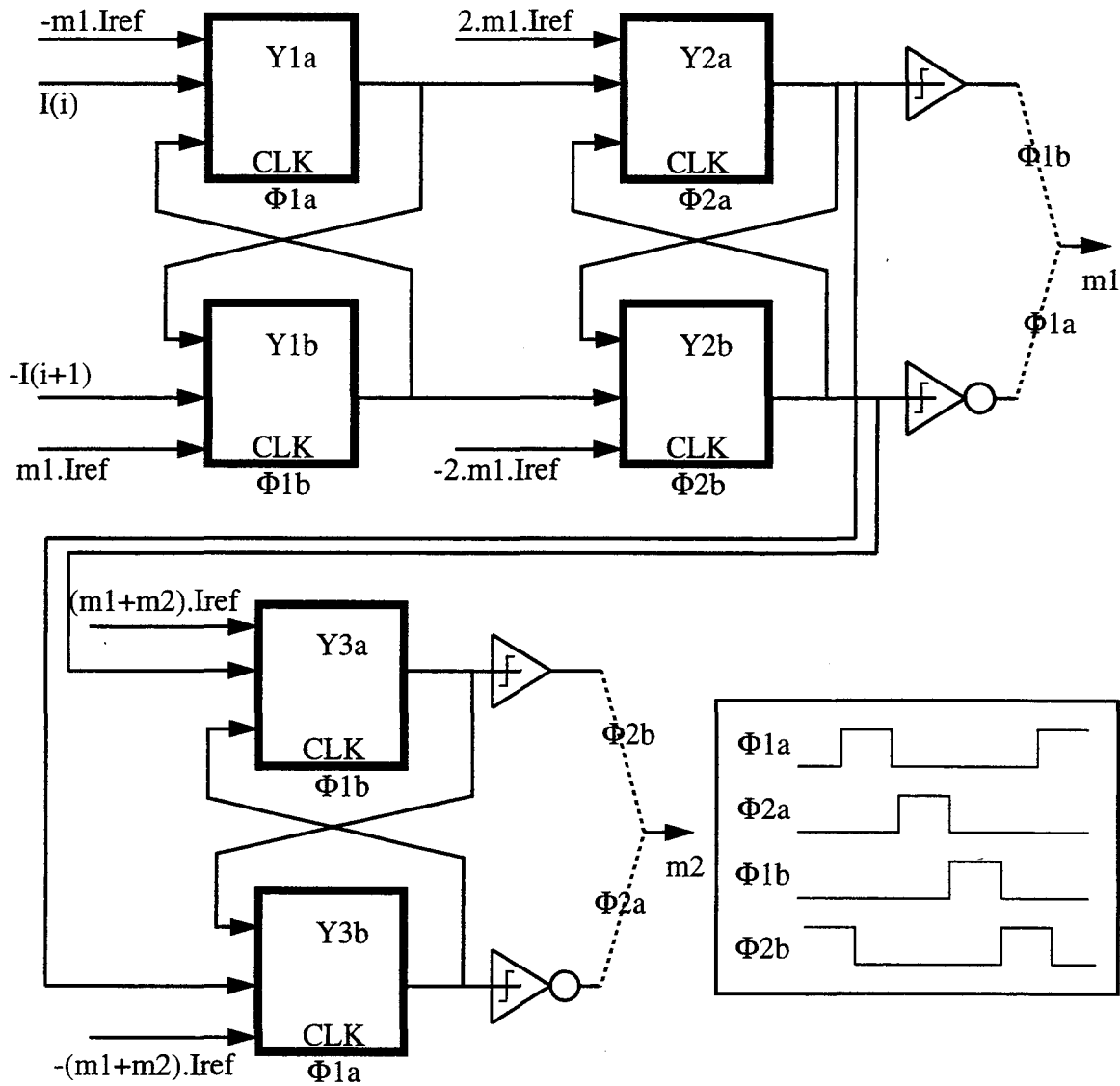


Fig 3.11 Modulateur d'ordre 3 à deux phases

L'architecture du M.A.S.H. est détaillée en Fig 3.9. Ce modulateur a un cycle de quatre phases, le signal est échantillonné deux fois au cours de ce cycle (une fois sur l'entrée positive phase Φ_{1a} , une fois sur l'entrée négative phase Φ_{1b}). Les deux sorties m_1 et m_2 sont recombinaées numériquement de sorte à obtenir le signal de sortie d'un modulateur sigma-delta du troisième ordre classique.

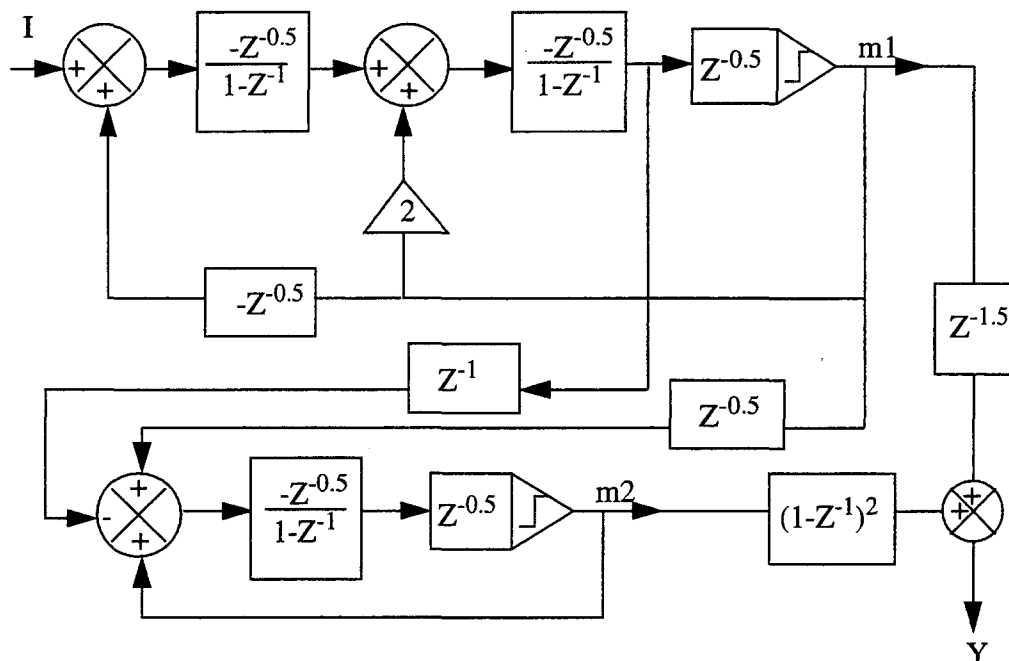


Fig 3.12 Représentation en «Z» du modulateur d'ordre 3

La représentation en «Z» de ce modulateur est donnée dans la Fig 3.10. Dans une structure M.A.S.H. l'entrée du second modulateur est l'erreur du comparateur du premier modulateur. Ceci est réalisé en faisant la soustraction entre la valeur de sortie du second intégrateur et le résultat de la comparaison (m1.Iref). Si E1 est l'erreur faite par le premier comparateur et E2 celle du second, la fonction de transfert du modulateur du premier ordre est la suivante:

$$m2 = (1 - Z^{-1}) \cdot E2 - Z^{-1.5} \cdot E1 \tag{3.10}$$

En recombinaison des sorties m1 et m2, on obtient la fonction de transfert du M.A.S.H.21. Le terme contenant l'erreur E1 a disparu:

$$Y = Z^{-1.5} \cdot m1 + (1 - Z^{-1})^2 \cdot m2 = E2 \cdot (1 - Z^{-1})^3 + Z^{-3} \cdot I \tag{3.11}$$

Cette structure est bien un modulateur du troisième ordre. La réalisation de ce modulateur nécessite un dimensionnement des cellules à mémoire de courant le constituant. Il faut aussi calculer les caractéristiques de la cellule à mémoire de courant permettant d'atteindre la précision des 16 Bits. Enfin nous devons estimer la taille et la consommation du circuit final. Pour cela, la suite du chapitre va présenter l'ensemble des simulations qui ont été faites avec cette architecture M.A.S.H.21 pour mettre en évidence le type de cellule nécessaire à la précision voulue. Dans la suite, nous avons utilisé le simulateur de circuits à mémoires de courant écrit en «c» et dont le fonctionnement est décrit dans la thèse de P. N'GORAN [4].

3.4 Influence des limitations de la cellule sur le M.A.S.H.21

3.4.1 Dimensionnement des intégrateurs

L'architecture du modulateur sigma-delta M.A.S.H.21 en mode courant a été décrite dans le simulateur de circuit à mémoire de courant en «c». Les cellules ont dans un premier temps été modélisées de manière idéales sans limitation de dynamique.

La bande de base choisie est de 20 KHz, le rapport de suréchantillonnage de 64. La fréquence d'échantillonnage correspondante est de 2.56 Mhz. La valeur du courant de référence I_{ref} est fixée à $200\mu A$, le signal d'entrée a une fréquence de 5000 Hz et son amplitude est de $80\mu A$. La Fig 3.13 représente le spectre de sortie du modulateur. La pente du bruit de quantification est bien de $+60\text{ dB/décade}$, ce qui vérifie que nous avons un modulateur du troisième ordre.

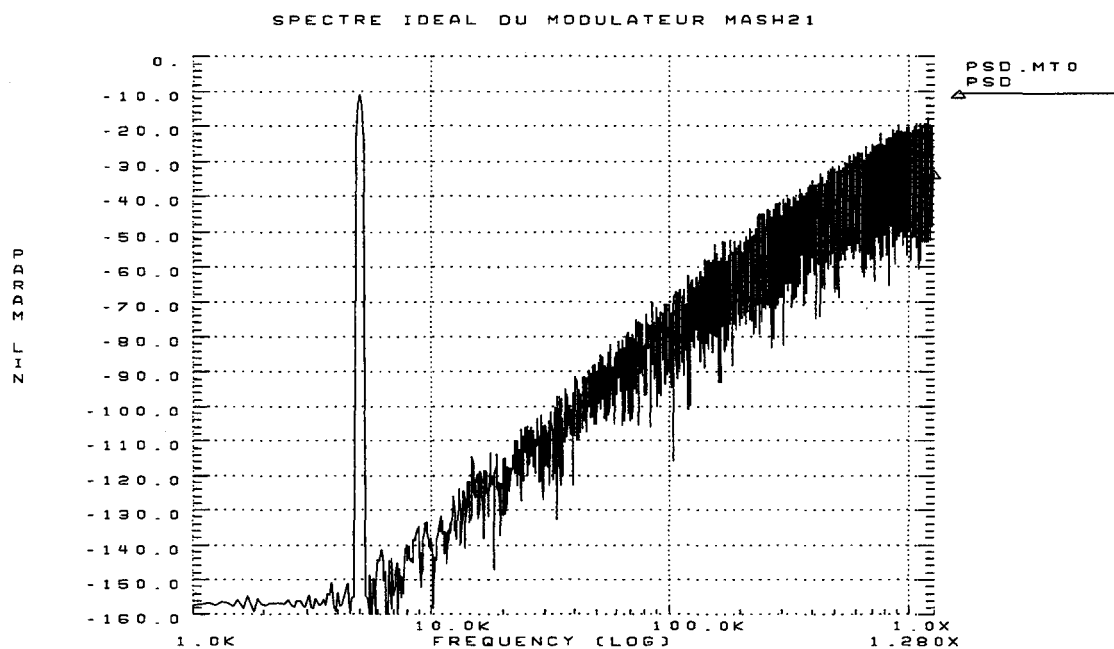


Fig 3.13 Spectre idéal du modulateur M.A.S.H.21

Le SNR calculé est de 94 dB ce qui correspond à une résolution de 16 Bits vu l'amplitude de $80\mu A$ à l'entrée. L'histogramme des amplitudes dans les différents intégrateurs est donné dans la Fig 3.14, la valeur est normée par rapport au courant de référence I_{ref} . On y voit que l'amplitude du signal du premier intégrateur est comprise entre $\pm 2.2I_{ref}$, pour le second intégrateur l'amplitude est comprise entre $\pm 3.4I_{ref}$, enfin le troisième intégrateur à son amplitude comprise entre $\pm 6I_{ref}$! Cette valeur est importante, mais la majorité des amplitudes sont entre $\pm 3I_{ref}$, seulement quelques valeurs sont en dehors.

Ces histogrammes ont été obtenus pour un signal d'amplitude $80\mu A$ ce qui correspond à -8 dB de la valeur maximale théorique. Les simulations montrent que pour un signal d'entrée plus grand, les amplitudes du second et surtout du troisième intégrateur ont tendance à augmenter considérablement.

Le dimensionnement des intégrateurs relève donc d'un compromis, un surdimensionnement du second et du troisième intégrateur causerait une consommation importante du circuit pour gagner seulement quelques dB de dynamique. La dynamique d'entrée théorique d'une cellule à mémoire de courant est de $\pm I_{bias}$ ($\pm 400\mu A$) ce qui

correspond à $\pm 2I_{ref}$, cependant il est préférable de ne pas utiliser toute cette dynamique de sorte à faire fonctionner la cellule dans sa meilleure zone de gain. On prends donc comme dynamique maximale pour une cellule $\pm I_{ref}$. La solution retenue est de mettre **2 cellules en parallèle pour Y1a et Y1b** (premier intégrateur) et **4 cellules en parallèle pour les cellules Y2a, Y2b, Y3a et Y3b** (Intégrateurs 2 et 3). Cette solution permet d'atteindre un SNR maximum de 95dB pour un signal d'entrée de -10dB quand on utilise des cellules modélisant la limitation de dynamique à $\pm I_{bias}$.

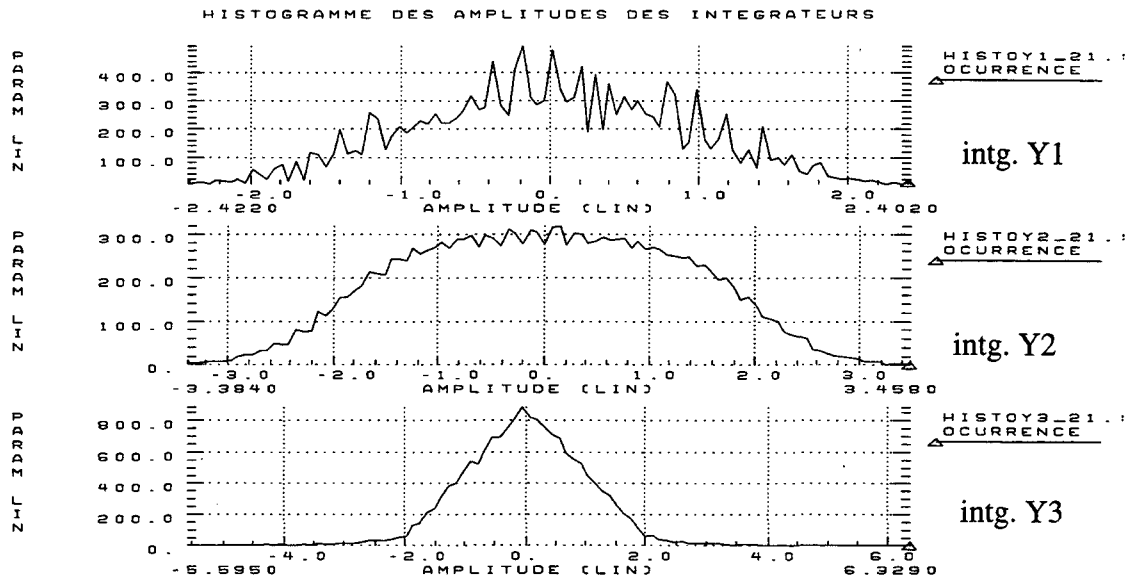


Fig 3.14 Histogramme de amplitudes des intégrateurs

Le SNR maximal prédit par le calcul de la Fig 3.6 est de 110dB, ce qui est largement supérieur au SNR simulé de 95 dB. La raison vient du fait que l'amplitude de signal maximale utilisé dans ce calcul est de $\pm I_{ref}$ (3.8). En simulation l'amplitude donnant le SNR maximal est de -10dB ce qui explique en partie cette différence.

3.4.2 Influence du gain de la cellule sur le comportement du modulateur

Afin d'évaluer la dépendance du rapport signal sur bruit du modulateur M.A.S.H.21 face à la précision de copie de la cellule, nous allons simuler son fonctionnement avec deux types de cellules non-idéales. La première a une erreur de gain linéaire c'est à dire proportionnelle à la valeur du signal codé. La seconde a une erreur non-linéaire quadratique ce qui correspond plus à la réalité vu que le courant de drain du transistor mémoire est fonction du carré de la tension de grille.

On calcule l'erreur de copie de la cellule en utilisant la méthode mise au point avec le circuit de test IMEMTEST.

3.4.2.1 Cellule ayant un gain de 1

Cette cellule est quasi idéale, sa seule limitation est due à la limite de dynamique du courant mémorisé. Il est compris dans l'intervalle $[-I_{bias}, I_{bias}]$. L'erreur de copie de cette cellule est nulle dans cet intervalle de courant d'entrée. Le spectre de sortie du modulateur pour cette cellule est idéal, la limitation de dynamique causera une brusque chute du SNR pour de forts signaux d'entrée.

Par la suite nous considèreront le SNR obtenu avec cette cellule comme idéal. Pour un

signal d'entrée de $80\mu\text{A}$, le SNR est de 94dB. La Fig 3.13 représente le spectre de sortie, on voit que le bruit de quantification est une droite de pente 60dB/décade. Pour les fréquences très faibles le bruit de quantification est extrêmement bas, il n'est pas limité par une valeur. Seule la précision de la fenêtre limite la plus faible valeur de la densité de bruit de quantification.

3.4.2.2 Cellule ayant une erreur linéaire (1%)

Cette cellule est identique à la cellule précédente à laquelle on a ajouté une erreur de copie proportionnelle à la valeur du signal mémorisé. La Fig 3.15 représente l'erreur de copie de la cellule en fonction du signal d'entrée, la pente de la droite est de 0.01 ce qui correspond à une erreur de 1%.

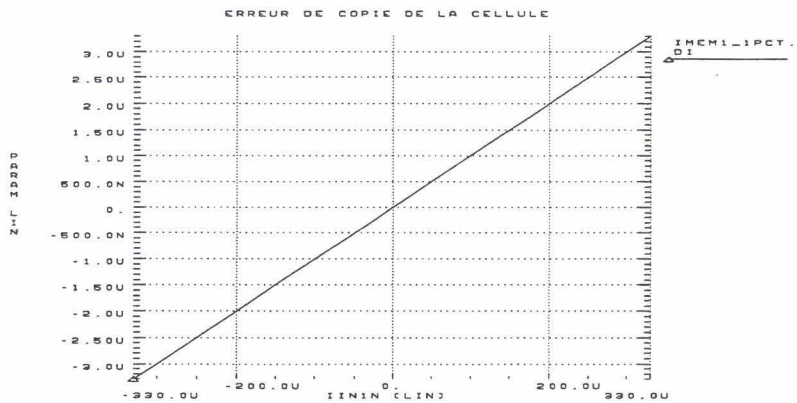


Fig 3.15 Erreur de copie linéaire de la cellule

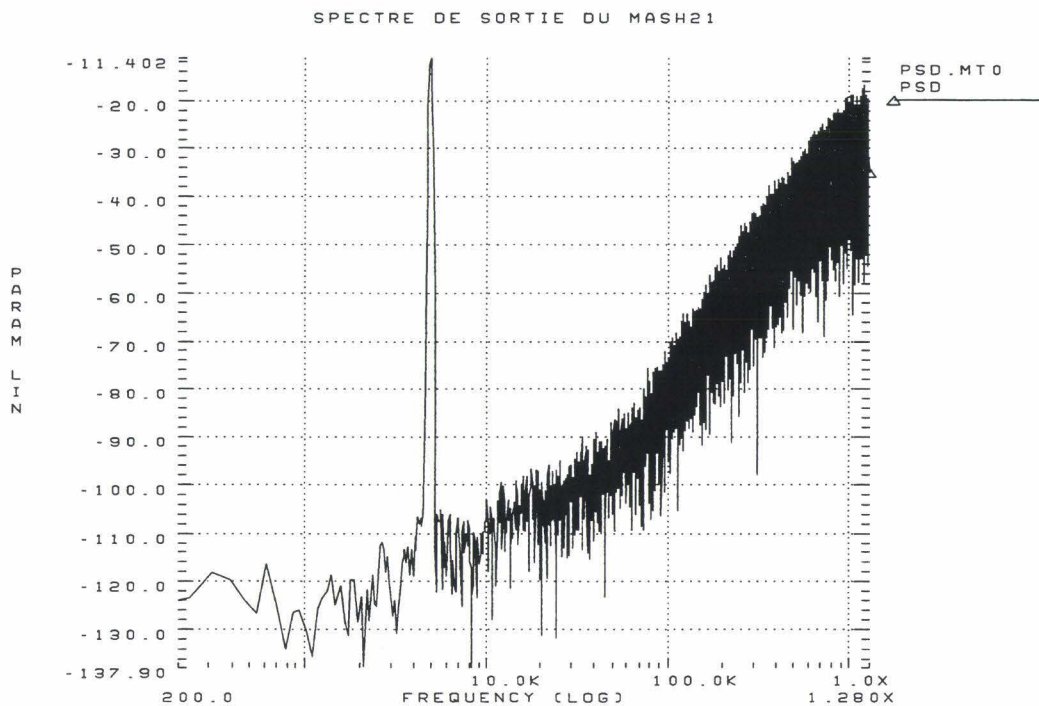


Fig 3.16 Spectre de sortie pour une cellule d'erreur linéaire 1%

Le modulateur M.A.S.H.21 est simulé avec cette cellule, le spectre est représenté en Fig 3.16. Le spectre est différent du précédent, la pente du bruit de quantification est égale à 60dB/

décade pour une fréquence supérieure à 45Khz. Pour les fréquences inférieures, la pente n'est plus que d'environ 20dB/décade. Ce changement de pente a un effet très négatif sur le SNR du modulateur, en effet le bruit de quantification ne descend plus aussi bas dans la bande de base. Il en résulte une très nette baisse du SNR qui n'est plus que de 74dB. C'est très loin de la précision de 16 bits voulue.

La cellule doit donc avoir un gain très largement supérieur. La cellule cascodée décrite dans les chapitres précédents, a été caractérisée avec une erreur de copie de l'ordre de 2%. Ce faible gain est du en partie à une faute de conception de la cellule, mais ce type de cellule ne peut baisser l'erreur en dessous de 5 pour mille ce qui ne suffit pas encore. Il est donc impossible d'utiliser cette cellule pour un modulateur de cette précision. Il faut modifier la cellule afin d'augmenter sa précision de recopie.

3.4.2.3 Cellule ayant une erreur quadratique

Une meilleure modélisation de l'erreur de copie est obtenue en utilisant le modèle de la cellule cascodée qui prend en compte la conductance de sortie de la cellule ainsi que la caractéristique quadratique du transistor mémoire [4]. Cette modélisation de la cellule est fonction de nombreux paramètres électriques tels la tension Early des transistors (permettant le calcul de la conductance de sortie) ou la tension de seuil, la mobilité ainsi que la capacité d'oxide (permettant le calcul de la caractéristique quadratique). En utilisant les paramètres de la technologie pour la cellule cascodée l'erreur de copie est très forte et l'influence de la non-linéarité de la cellule risque d'être masquée par celle de la forte erreur linéaire. En multipliant par 4 la tension Early des transistors de la cellule, l'erreur de copie linéaire devient faible (de l'ordre de 4 pour 10000)(Fig 3.17) et la caractéristique de la cellule est essentiellement non-linéaire.

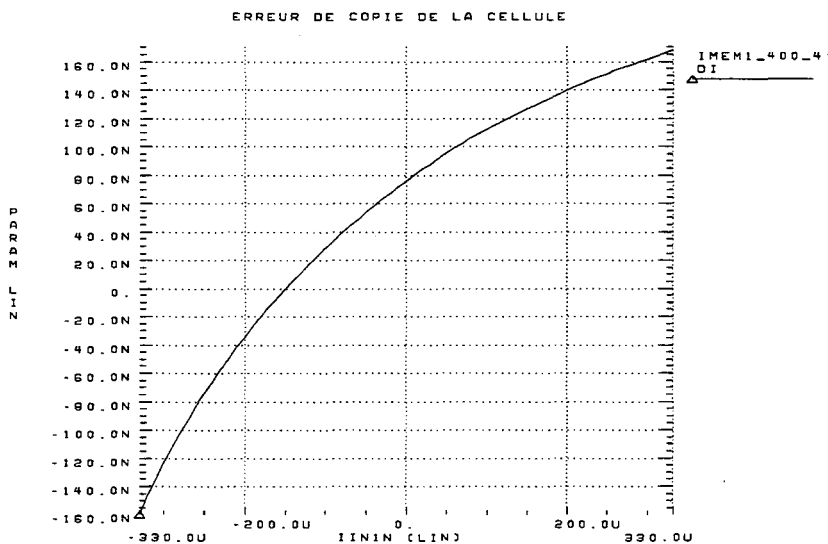


Fig 3.17 Erreur de copie non-linéaire

La simulation du modulateur M.A.S.H.21 avec cette cellule donne le spectre de la Fig 3.18. Le bruit de quantification du modulateur est non-idéal mais la limitation est différente. En effet la pente est toujours de 60dB/décade, par contre il existe un plancher de bruit blanc à -120dB qui limite le bruit de quantification qui augmente le bruit pour les basses fréquences. Le rapport signal à bruit est plus élevé que précédemment, il est de 86 dB pour cette amplitude de signal. Toutefois il est plus faible que le SNR idéal (94 dB).

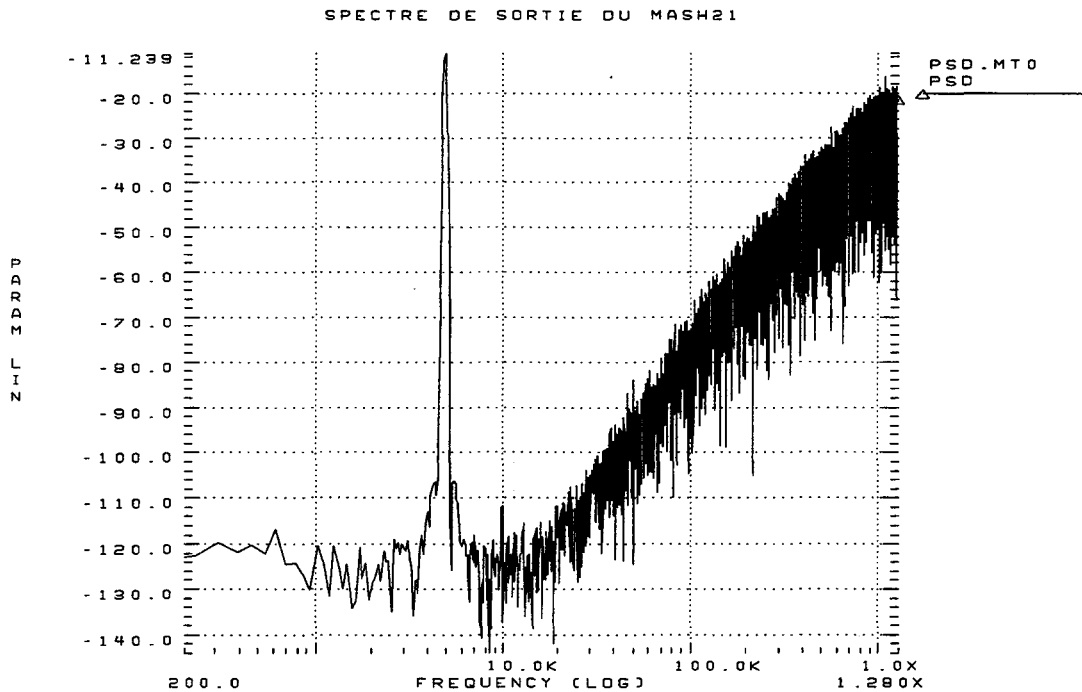


Fig 3.18 Spectre de sortie pour une cellule d'erreur non-linéaire

On voit ici que l'erreur de linéarité et la non-linéarité de la cellule agissent de manière différente sur le modulateur sigma-delta. L'erreur de linéarité aurait tendance à diminuer l'ordre du modulateur aux basses fréquences en rendant inefficace les deux derniers intégrateurs du modulateur. L'erreur non-linéaire de la cellule introduirait une imprécision dans les intégrateurs du modulateur qui n'est pas proportionnelle à la valeur du signal dans l'intégrateur, une telle imprécision serait vue comme un bruit blanc. Il convient donc d'utiliser une cellule ayant un gain de copie élevé. Cette cellule doit aussi «asservir» la tension de son noeud d'entrée durant la phase d'acquisition. Ceci permet d'éviter un défaut de la cellule cascodée dont la tension du noeud d'entrée varie de manière quadratique en fonction du courant mémorisé ce qui crée une forte non-linéarité.

3.4.3 Sensibilité aux forts signaux

Nous avons vu lors du dimensionnement de la structure, que pour des signaux d'amplitude élevés le SNR du modulateur chutait. La Fig 3.19 nous montre le spectre de sortie du modulateur pour deux signaux d'amplitudes élevées, $80\mu\text{A}$ et $150\mu\text{A}$ sachant que le signal de référence vaut $200\mu\text{A}$. La valeur de ces amplitudes en dB est fort proche, -8dB et -2.5dB et pourtant le comportement du modulateur est totalement différent. Dans le premier cas la pente du bruit de quantification est de 60 dB/décade , dans le second cas elle est de 40 dB/décade ce qui correspond à un modulateur du second ordre. Ceci vient du fait que pour des signaux d'entrée très élevés, l'amplitude du signal dans le troisième intégrateur est telle que la limitation en dynamique des cellules écrête trop le signal. Le modulateur du premier ordre cascadié ne quantifie plus l'erreur du premier modulateur, le M.A.S.H.21 se comporte donc comme un modulateur simple du second ordre.

Suite à l'impossibilité de travailler à très fort signal, pour un OSR de 64 et des cellules idéales on obtient un SNR maximum de 95 dB pour un signal d'entrée de l'ordre de -10 dB . En ajoutant les imperfections des cellules nous aurons un SNR maximum plus faible ce qui rendra difficile la précision de 16 Bits. Le rapport de suréchantillonnage est donc fixé à 128 ce qui

réduit la bande de base à 10 Khz.

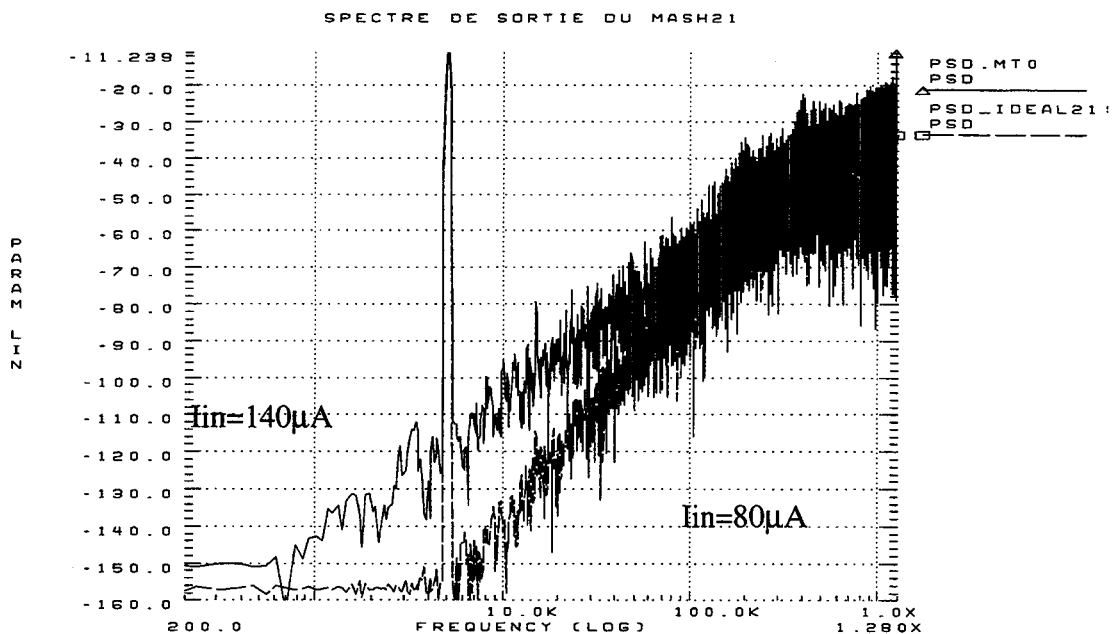


Fig 3.19 Spectre de sortie pour deux amplitudes élevées de signal.

3.4.4 Evaluation du T.S.N.R.

Le TSNR (Total Signal to Noise Ratio) est en fait une caractéristique du modulateur qui donne le SNR en fonction de l'amplitude du signal sinusoïdal à l'entrée du convertisseur.

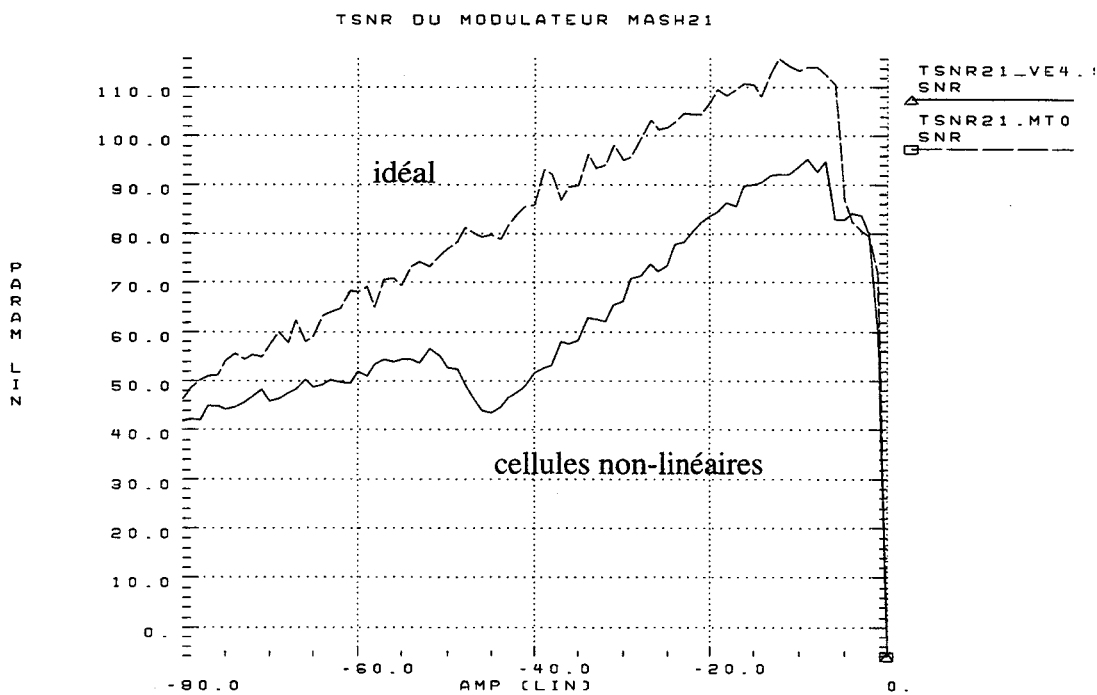


Fig 3.20 TSNR du M.A.S.H.21 pour deux modélisations de la cellule

La Fig 3.20 représente le TSNR du modulateur sigma-delta de type M.A.S.H.21. Il est

représenté pour la cellule idéale (comportant la limitation de dynamique) et pour la cellule qui a un comportement non-linéaire. Les simulations ont été faites avec un OSR de 128, une fréquence de suréchantillonnage de 2.56Mhz soit une bande de base de 10Khz, une fréquence du signal de 2.5Khz et un courant de référence de 200 μ A.

On voit nettement que la caractéristique est linéaire dans le cas idéal. Le SNR maximal obtenu pour un OSR de 128 est plus important (115dB), la précision de 16 Bits est possible. En utilisant des cellules modélisant la non-linéarité il y a des cassures dans le TSNR. La précision de 16 Bits est tout juste atteinte. Cette simulation met en évidence la nécessité d'une cellule à mémoire de courant possédant une très faible erreur de copie et une caractéristique plus linéaire.

Les cassures interviennent à une valeur d'amplitude aux environs de -40 dB à -50 dB. Si on regarde le spectre de sortie du modulateur dans ce cas pour un signal d'amplitude 1 μ A (-46 dB), on observe une très forte distorsion harmonique. La présence d'une telle distorsion peut expliquer la chute du SNR à l'endroit de la cassure.

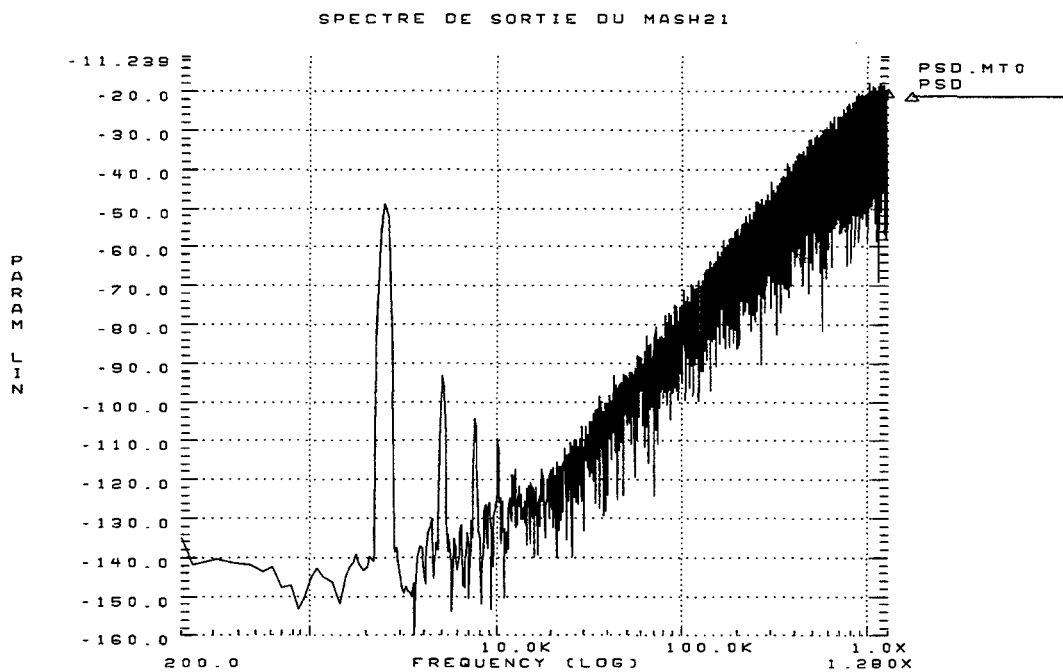


Fig 3.21 Spectre de sortie pour un signal d'amplitude -46 dB dans le cas de cellules non-linéaires

Une explication possible de ce problème de distorsion harmonique peut être lié à une interaction entre un offset inhérent au modulateur (causé par les non-idéalités des cellules) et les erreurs de gain des cellules. En effet une erreur de gain de la cellule à mémoire de courant donne un gain «DC» non infini aux intégrateurs, ce qui crée un intervalle non codé autour de l'entrée nulle pour le modulateur ([5] pp 178-179). Si le signal d'entrée est dans cette plage non codée, la sortie du modulateur est nulle, ce mécanisme est appelé «distorsion de bas niveau». La présence d'un offset crée un décalage du signal d'entrée, le signal de sortie sera donc distordu si l'amplitude du signal est supérieure à l'offset (Fig 3.22). Ceci explique donc la forte augmentation du TSNR si l'amplitude du signal est inférieure à l'offset (-45dB).

Le TSNR de la Fig 3.23 a été simulé dans des conditions identiques à celui obtenu pour des cellules à caractéristiques non-linéaires, un offset égal à l'opposé de l'offset systématique

du modulateur (-45 dB) est ajouté au signal d'entrée. On voit bien que les cassures ont disparues, ce résultat confirme l'explication précédente.

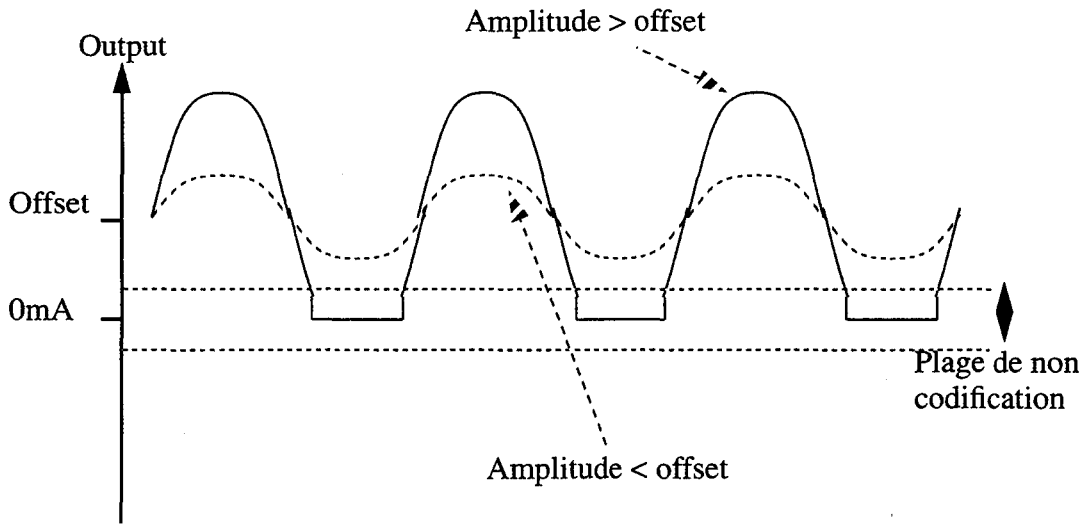


Fig 3.22 Explication de la forte distorsion pour un signal de l'ordre de l'offset.

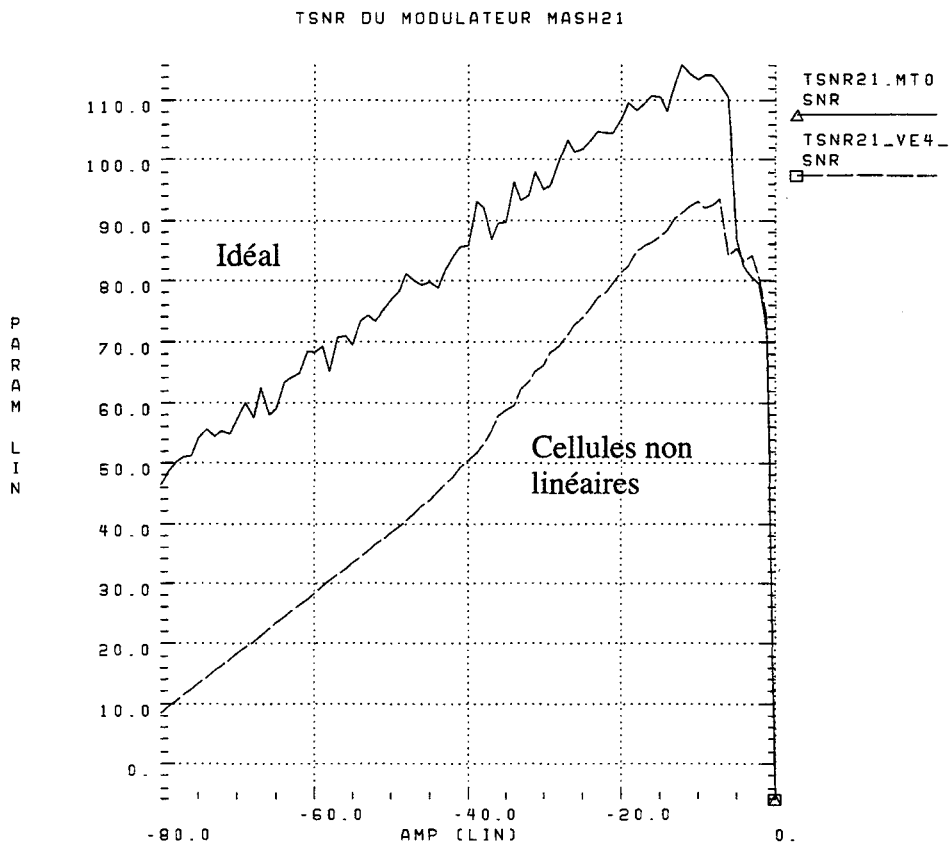


Fig 3.23 TSNR pour un signal d'entrée auquel on soustrait l'offset inhérent au modulateur

3.5 Modification de la structure du modulateur dans le but d'abaisser la consommation

3.5.1 Forte consommation lié au bruit thermique des transistors

La consommation globale du circuit est directement liée à la valeur du courant de polarisation I_{bias} de la cellule à mémoire de courant. La structure du modulateur M.A.S.H.21 proposée en Fig 3.9 a été dimensionnée dans le paragraphe précédent en fonction de la dynamique nécessaire dans chaque intégrateur. Le convertisseur ainsi obtenu contient 20 cellules à mémoire de courant, sa consommation statique est donc de $20 \cdot I_{bias}$ si on ne prends en compte que les cellules.

Le calcul qui va suivre détermine la valeur du courant de polarisation I_{bias} nécessaire pour atteindre la précision de 16 Bits requise. Ce calcul prendra comme seule limitation le bruit thermique des transistors, on verra que le courant I_{bias} nécessaire est élevé et cause une forte consommation statique du circuit.

Le bruit thermique des transistors est échantillonné avec le signal en fin de la phase d'acquisition. La Fig 3.24 représente le schéma petit signal d'un intégrateur en phase d'acquisition; seule la contribution du bruit est modélisée. Les cascades ont été omis parce qu'ils ont une influence négligeable.

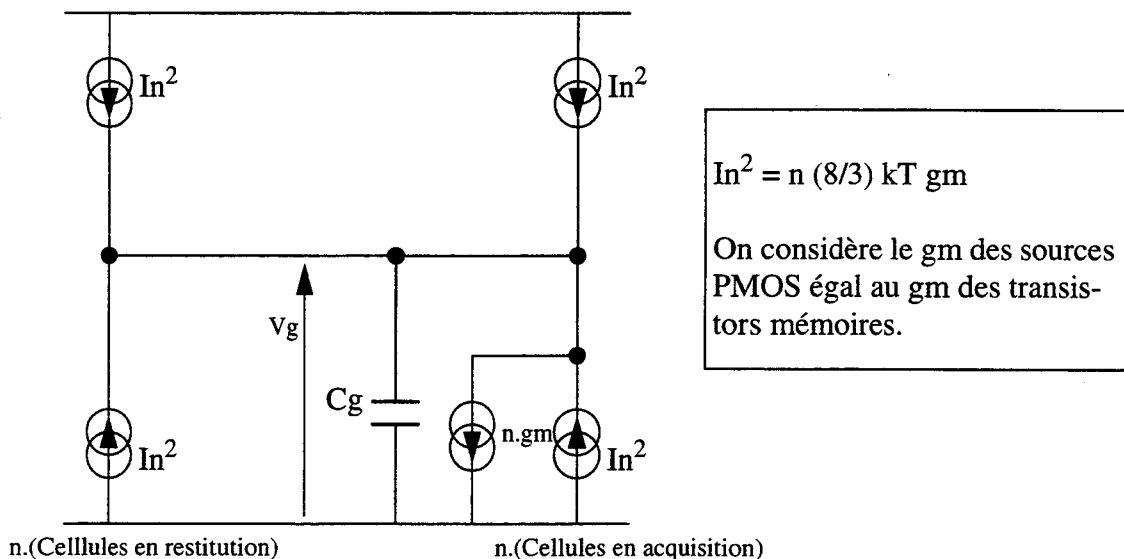


Fig 3.24 Bruit échantillonné en fin d'acquisition dans un intégrateur

La somme des courants arrivant sur la capacité C_g est:

$$\Sigma I_{n^2} = \frac{32}{3} \cdot n \cdot kT \cdot gm \quad (3.12)$$

La puissance totale du bruit échantillonné sur le capacité C_g est donc:

$$P_n(V_g) = \Sigma I_{n^2} \cdot \frac{1}{n^2 \cdot gm^2} \cdot BW_N \quad \text{o'u} \quad BW_N = \frac{\pi}{2} \cdot \frac{n \cdot gm}{2 \cdot \pi \cdot n C_g} = \frac{gm}{4 \cdot C_g} \quad (3.13)$$

Ce qui donne $P_n(V_g) = \frac{8 \cdot kT}{3 \cdot n \cdot C_g}$. Cette puissance de bruit en tension correspond à un bruit en courant:

$$P_n(I_{out}) = \frac{8 \cdot n \cdot g_m^2 \cdot kT}{3 \cdot C_g} \quad (3.14)$$

Ce bruit est échantillonné, chaque cellule fait une acquisition tout les $1/fs$. Ce bruit sera donc replié en fréquence, la puissance du bruit blanc dans l'intervalle $[0, fs/2]$ est donc égale à $P_n(I_{out})$. La partie de cette puissance qui compte dans le SNR est le bruit de la bande de base (intervalle $[0, fb]$). La puissance de bruit en bande de base est égale à:

$$P_{n_{bb}}(I_{out}) = P_n(I_{out}) \cdot \frac{fb}{fs/2} = \frac{P_n(I_{out})}{OSR} \quad (3.15)$$

L'amplitude de signal maximale admissible par le convertisseur sans distorsion est $I_{ref}/2$ soit $I_{bias}/4$. La puissance correspondante est $I_{ref}^2/32$. Le SNR maximal est égal à:

$$SNR^2 = \frac{P_{sig}}{P_{n_{bb}}(I_{out})} = \frac{3 \cdot I_{bias}^2 \cdot C_g \cdot OSR}{256 \cdot n \cdot kT \cdot g_m^2} \quad (3.16)$$

Le SNR maximal est donc fonction du courant de polarisation I_{bias} , de la capacité de mémorisation C_g et de la transconductance g_m . Cette dernière est en fait fonction du courant de polarisation et de la tension de garde ($V_{gs} - V_t$) du transistor mémoire par la relation $g_m = (2 \cdot I_{bias}) / (V_{gs} - V_t)$.

La bande passante de la cellule BW s'exprime de la manière suivante (τ_{cell} est la constante de temps du circuit RC formé par la capacité C_g et la transconductance g_m):

$$BW = \frac{1}{2 \cdot \pi \cdot \tau_{cell}} = \frac{g_m}{2 \cdot \pi \cdot C_g} \quad (3.17)$$

On peut donc exprimer le produit $SNR^2 \cdot BW$ (3.16), on s'intéresse à ce produit parce que la précision d'un convertisseur résulte d'un compromis entre rapport signal à bruit et bande de base. La BW de la cellule est directement fonction de la bande de base.

$$SNR^2 \cdot BW = \frac{3 \cdot I_{bias} \cdot OSR \cdot (V_{gs} - V_t)}{1024 \cdot n \cdot \pi \cdot kT} \quad (3.18)$$

Cette expression est fonction de I_{bias} seulement, en effet l'OSR est connu, le terme $(V_{gs} - V_t)$ dépend de la cellule. On voit dans cette expression que plus ce terme est élevé meilleure sera la performance du modulateur. Nous verrons dans le chapitre suivant que sous une alimentation de 5V on peut obtenir un $(V_{gs} - V_t)$ d'environ 1V pour le transistor mémoire. Le facteur «n» est de 2 pour le premier intégrateur du modulateur M.A.S.H.21.

Pour un OSR de 128 on peut donc approximer le courant de polarisation nécessaire au produit $SNR^2 \cdot BW$ de la manière suivante:

$$I_{bias} = \frac{16 \cdot \pi \cdot kT \cdot SNR^2 \cdot BW}{3} \quad (3.19)$$

Le modulateur que nous voulons réaliser a une précision de 16 Bits ce qui correspond à un SNR² de 2³². La bande passante de la cellule se calcule de la manière suivante:

$$1/f_s = \frac{1}{f_b \cdot 2 \cdot OSR} = 2 \cdot (20 \cdot \tau_{cell}) \quad \text{soit} \quad BW = \frac{80 \cdot f_b \cdot OSR}{2 \cdot \pi} \quad (3.20)$$

On considère qu'une phase d'acquisition dure 20 fois la constante de temps de la cellule pour permettre une stabilisation précise. Comme il y a deux phases par période d'échantillonnage, ceci nous permet de déduire cette relation.

Pour un OSR de 128, et une bande passante de 10 KHz, BW vaut 16.3 Mhz. Le produit SNR².BW est donc égal à 7.0 10¹⁶. La valeur du courant de polarisation nécessaire est 4.9 mA. La consommation du circuit pour ce courant est de 20.Ibias soit 97mA ce qui est inconcevable pour ce circuit. La capacité de mémorisation Cg Nécessaire peut être déduite de la relation (3.18) vu que l'on connaît la valeur de Ibias et donc celle de gm. La capacité Cg doit être de l'ordre de 100 pF.

Il faut donc réduire la consommation. un moyen simple est de diviser le signal entre le premier et le second intégrateur. En effet le convertisseur sigma-delta est moins sensible au bruit sur le second et sur le troisième intégrateur. Pour réduire l'amplitude du signal, il faut ajouter des miroirs de courant. Dans le paragraphe suivant nous allons évaluer par simulation l'impact des miroirs de courant sur les performances du modulateur.

3.5.2 Limitation de la consommation par la division du signal dans la structure

3.5.2.1 Utilisation de 2 miroirs de courant

a1	a2	K	SNR
0.1	0.1	0.1	114.5dB
0.0952	0.1014	0.1	83.9dB
0.1017	0.099	0.1	84.8dB
0.1008	0.0969	0.1	88dB
0.0981	0.0994	0.1	94.7dB
0.09515	0.1045	0.1	80.3dB
0.1	0.1	0.1026	113.1dB
0.1	0.1	0.0954	106.9dB
0.1	0.1	0.0978	113.3dB

Conditions de mesure:
 Cellules idéales
 OSR=128
 Bande de Base=10Khz
 fx=2.5Khz
 fs=2.56Mhz
 Iref=200µA
 Iin=80µA

Table 3.1 Effet du mismatch entre a1 et a2 ainsi que de l'imprécision de K

Afin d'abaisser la consommation globale du circuit, Il faut diviser l'amplitude du signal dans les cellules à mémoire de courant. Cela n'est possible que dans les intégrateurs 2 et 3

puisque le calcul du paragraphe précédent s'applique essentiellement à l'intégrateur 1 qui est sensible directement au bruit blanc des sources de courant. La solution la plus simple est d'introduire un miroir de courant entre les cellules Y1a et Y2a et entre les cellules Y1b et Y2b, la structure du modulateur M.A.S.H.21 (Fig 3.25) est donc inchangée en terme de timing, il faut seulement appliquer le même rapport de division lors du rebouclage de la sortie sur les intégrateurs 2 et 3.

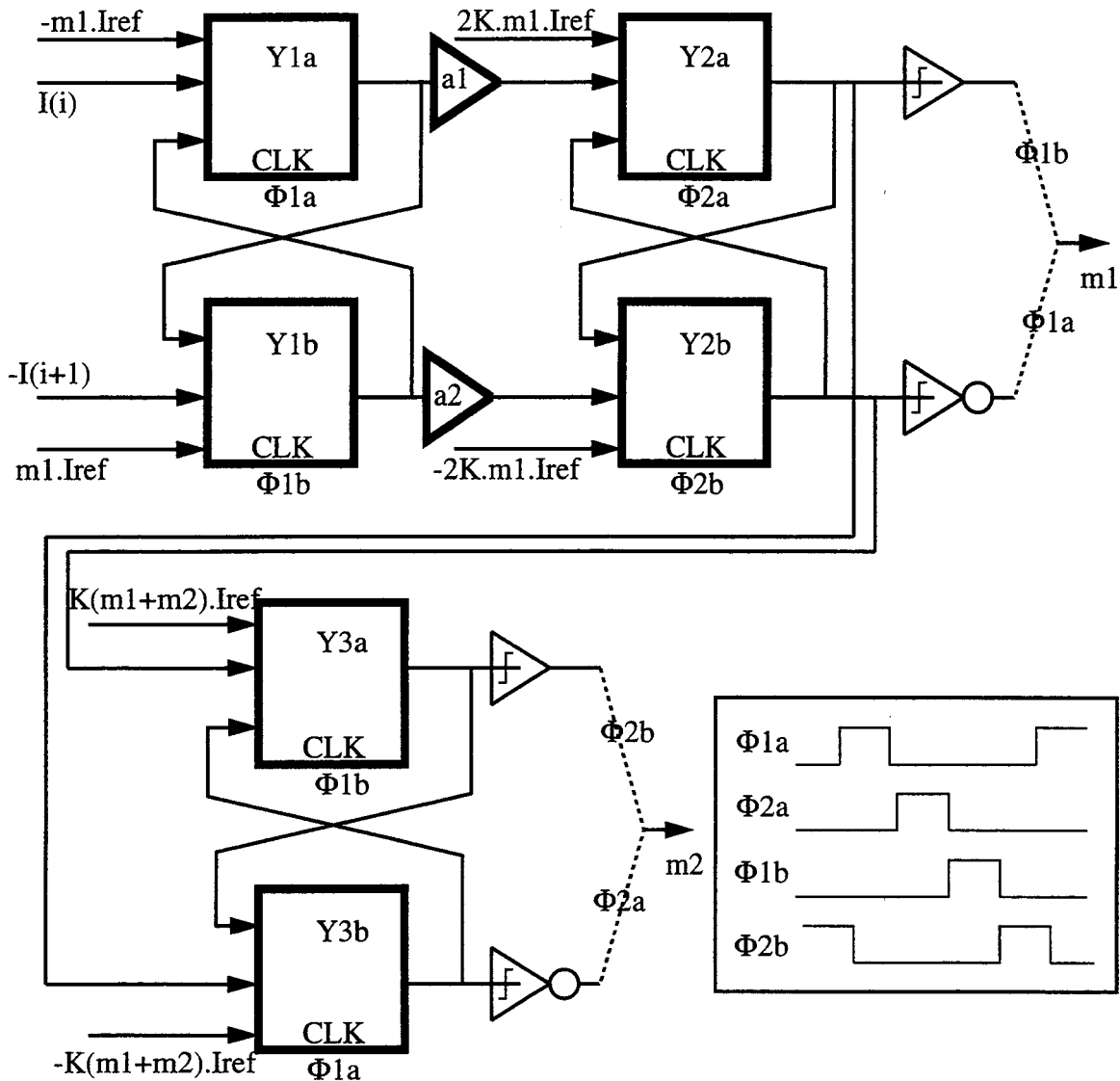


Fig 3.25 Modulateur M.A.S.H.21 comportant deux miroirs de courant.

Dans la Fig 3.25 on voit que trois rapports sont introduits, le rapport $a1$ est le rapport de division entre les cellules Y1a et Y2a, le rapport $a2$ entre les cellules Y1b et Y2b, le rapport K est le rapport de division appliqué sur les rebouclages. On doit différencier les deux rapports de division du signal $a1$ et $a2$ parce qu'il sont réalisés par deux miroirs de courant différents et donc leur égalité repose sur un matching des transistors des deux miroirs. Par contre il est possible de réaliser une division du signal, dans les rebouclages, identique pour les deux intégrateurs. En effet bien que le rebouclage est appliqué sur quatre cellules Y2a, Y2b, Y3a et Y3b ce n'est jamais fait simultanément. Un seul générateur de courant de référence peut servir pour ces quatre rebouclages, on peut donc utiliser un rapport de division identique K .

Afin de valider cette modification de la structure, des simulations du fonctionnement du M.A.S.H.21 ont été faites avec des cellules idéales et les trois rapports a_1 , a_2 et K fixés à 0.1. Nous avons d'abord appliqué un mismatch aléatoire de l'ordre de 5% entre a_1 et a_2 , puis nous avons fixé a_1 et a_2 égaux à 0.1 et nous avons fait varier K de 5% autour de sa valeur nominale.

La Table 3.1 donne le SNR mesuré pour plusieurs tirages aléatoires de a_1 , a_2 ou K . Les résultats de simulation montrent que l'imprécision du rapport K a peu d'influence sur le SNR et est donc envisageable dans la limite de 5%. Par contre il apparait clairement qu'un mismatch entre les rapports a_1 et a_2 provoque une forte perte de précision. La chute du SNR peut atteindre jusqu'à 35dB dans le cas où a_1 et a_2 sont différents de la valeur idéale mais aussi fort différents l'un de l'autre. Si a_1 et a_2 ont une variation quasiment identique par rapport à la norme, la perte de précision est moindre.

Le modulateur M.A.S.H.21 possède deux «lignes de traitement» du signal qui sont alternativement utilisées, le fait d'introduire un mismatch entre ces deux lignes par les coefficients a_1 et a_2 , rends ces «deux lignes de traitement» différentes. On ne peut plus approximer cette architecture par une seule ligne de traitement fonctionnant à la fréquence d'échantillonnage f_s . Il apparait donc que le mismatch entre a_1 et a_2 agit comme une démodulation en bande de base d'une partie des signaux présents autour de $f_s/2$. Ces signaux ajoutés en bande de base dégradent fortement le SNR en sortie du modulateur.

3.5.2.2 Utilisation d'un seul miroir

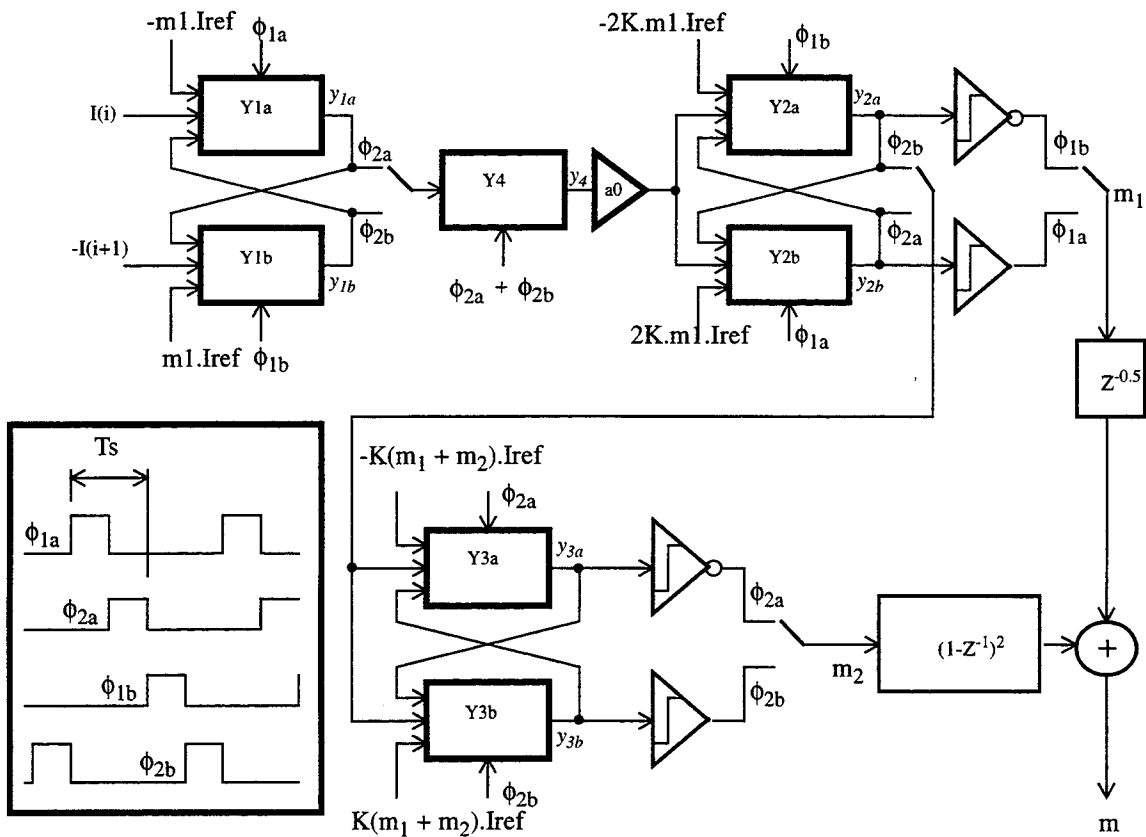
Les simulations de la structure à deux miroirs ont montré qu'un mismatch entre les deux rapports cause une forte dégradation du SNR. La solution serait donc d'utiliser un seul miroir de courant pour les deux lignes. Dans ce cas il est possible d'avoir un rapport de division identique dans les deux lignes de traitement. La structure actuelle du M.A.S.H.21 ne permet pas d'utiliser un seul miroir, il faut donc la modifier.

Une modification simple de la structure est donnée en Fig 3.26. Une cellule Y4 a été ajoutée, ce qui a décalé les commandes d'horloges pour les intégrateurs 2 et 3. Le fait d'ajouter une cellule identique qui transmet le signal entre Y1a et Y2a et entre Y1b et Y2b, permet d'insérer un seul miroir de courant pour les deux lignes de traitement. Le désavantage de cette solution est de faire une copie supplémentaire. Comme les cellules auront une très forte précision de copie et comme la copie supplémentaire intervient après le premier intégrateur qui est le plus critique en terme de précision, nous pouvons considérer que l'impact sur le SNR du modulateur sera négligeable.

a_0	SNR
0.1	114.5dB
0.1036	109.6dB
0.1003	113.2dB
0.09559	109.3dB
0.0984	112.2dB

Conditions de mesure:
Cellules idéales
OSR=128
Bande de Base=10Khz
$f_x=2.5Khz$
$f_s=2.56Mhz$
$I_{ref}=200\mu A$
$I_{in}=80\mu A$

Table 3.2 Effet de l'imprécision sur a_0



2 échantillonnages en 4 demi-phases

Fig 3.26 Modulateur M.A.S.H.21 comportant un seul miroir de courant

Comme les horloges de commande des cellules ont été modifiées, la Fig 3.27 donne la nouvelle représentation en «Z» de cette structure. La fonction de transfert globale du modulateur est inchangée et correspond à celle d'un convertisseur sigma-delta d'ordre 3. Les comparateurs ne comportent plus de retard, en effet nous verrons dans le chapitre 5 que le comparateur que nous avons réalisé commence la comparaison lors de la phase d'acquisition de la cellule. Ce type de comparateur donne sa décision à la fin de la phase d'acquisition de la cellule qui est testée. Du fait il n'introduit plus de retard.

Cette structure à été simulée avec des cellules idéales en faisant varier de 5% autour de sa valeur idéale le rapport du miroir. Les résultats de simulation sont donnés dans la Table 3.2. La perte maximale du SNR occasionné par les variations de a_0 n'est plus que de quelques dB, ce qui est largement admissible.

L'histogramme des amplitudes pour les intégrateurs 2 et 3 est donné en Fig 3.28 pour le modulateur M.A.S.H.21 sans miroir et pour le modulateur M.A.S.H.21 comportant un miroir de courant. On voit bien que la valeur des amplitudes de signal est divisée par 10. Pour un rapport de division a_0 égal à 0.1 le dimensionnement du modulateur est le suivant:

- Les cellules Y1a, Y1b et Y4 ont un courant de polarisation égal à $2I_{bias}$.
- Les cellules Y2a, Y2b, Y3a et Y3b ont un courant de polarisation égal à $0.4I_{bias}$.

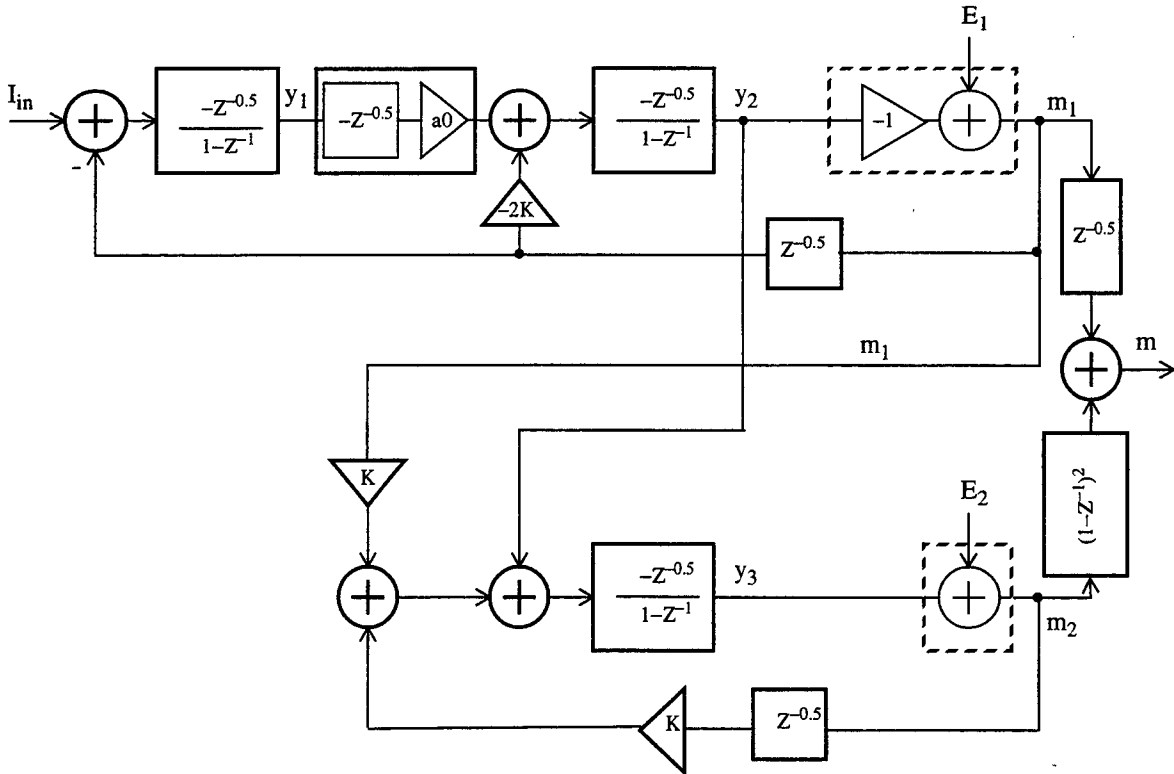


Fig 3.27 Schéma en «Z» du modulateur M.A.S.H.21 à un seul miroir

La consommation du modulateur M.A.S.H.21 comportant un seul miroir de courant est de 7.6.Ibias si on fixe le rapport division a0 égal à 0.1. La consommation a été divisée par trois par rapport à la structure ne comportant pas de miroir, tandis que la complexité du circuit est quasiment identique. Cette structure semble donc particulièrement intéressante, nous l'avons retenue et implémentée en utilisant une nouvelle cellule à mémoire de courant de très grande précision de copie.

Le chapitre suivant explique le principe de cette cellule. Il donne aussi la méthode suivie pour la réalisation de cette cellule.

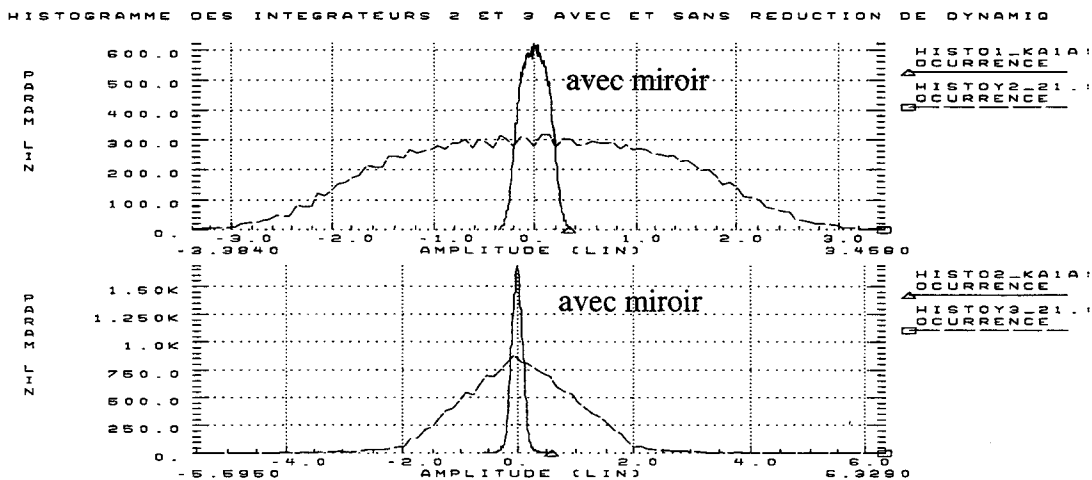


Fig 3.28 Histogramme des intégrateurs 2 et 3 pour un modulateur avec et sans miroir.

3.6 Références

- [1] Y. MATSUYA, K. UCHIMURA, A. IWATA, T. KOBAYASHI, M. ISHIKAWA and T. YOSHITOME
A 16-bit Oversampling A-to-D Conversion Technology Using Triple-Integration Noise Shaping
IEEE Journal of Solid-State Circuits, Vol Sc. 22, no.6, December 1987, pp921-929.
- [2] M. REBESCHINI, N. R. VON BAVEL, P. RAKERS, R. GREENE, J. CALDWELL, J. R. HAUG
A 16-b 160-kHz CMOS A/D Converter Using Sigma-Delta Modulation
IEEE Journal of Solid-State Circuits, Vol 25, no.2, April 1990, pp431-440.
- [3] B. P. DEL SIGNORE, D. A. KERTH, N. S. SOOCH and E. J. SWANSON
A Monolithic 20-b Delta-Sigma A/D Converter
IEEE Journal of Solid-State Circuits, Vol 25, no.6, December 1990, pp1311-1317.
- [4] P. N'GORAN
Simulation à Temps Discret de Circuits à Mémoire de Courant et Application à l'Etude de Modulateurs Sigma-Delta.
Thèse No. 1291, Université des Sciences et Techniques de Lille Flandres-Artois, 1994, pp.92-96
- [5] F. OPT'EYNDE, W. SANSEN
Analog Interfaces for Digital Signal Processing Systems
Chapitres 3 et 4.
1993 Kluwer Academic Publishers
- [6] J.C. CANDY, G. TEMES
Introduction "Oversampling Methods for A/D and D/A Conversion"
Oversampling Delta-Sigma Data Converters.
theory design and simulation ISBN 0-87942-285-8
IEEE press pp1-25.
- [7] P. GUIGNON
Comparaison de Modulateurs Delta-Sigma, pour la Réalisation en Circuits Intégrés CMOS de Convertisseurs Analogique Numérique à Hautes Performances
Mémoire de Diplôme d'Ingénieur C.N.A.M. 27 Avril 1990

Chapitre 4

Cellule à mémoire de courant double boucle régulée à faible erreur de recopie

La conception d'une cellule à mémoire de courant très précise est nécessaire à la réalisation du modulateur sigma-delta M.A.S.H.21. Nous proposons dans ce chapitre une nouvelle cellule qui est basée sur l'asservissement du noeud d'entrée et la structure double boucle. La méthode suivie pour le dimensionnement de la cellule ainsi que les principaux résultats de simulation des caractéristiques sont présentés dans ce chapitre.

La réalisation d'un modulateur sigma-delta en mode courant à partir de la structure M.A.S.H.21 nécessite une cellule à mémoire de courant à très faible erreur de recopie. L'utilisation d'étages cascodes ne permet pas d'atteindre une précision suffisamment élevée pour notre application. Nous proposons dans ce chapitre une nouvelle cellule à mémoire de courant permettant d'atteindre une erreur de recopie très faible (de l'ordre de 1 pour 30000). Ce type de cellule est inspirée de la cellule double boucle [1] proposée par J. B. Hughes à laquelle est ajoutée un dispositif d'asservissement de la tension d'entrée [2] lors de la première boucle.

Après une introduction sur le principe des cellules double boucle ainsi que sur l'asservissement du noeud d'entrée, la nouvelle cellule sera présentée. Nous comparerons le gain statique de cette cellule à celui des autres types de cellules.

Dans la seconde partie du chapitre, la méthode de mise en oeuvre ainsi que le dimensionnement de la cellule utilisé dans notre modulateur 16 bits est présentée. Nous donnerons aussi une partie des résultats de simulation des caractéristiques de la cellule réalisée.

4.1 Principe de la cellule

4.1.1 Cellule double boucle

La cellule double boucle proposée par J. B. Hughes [1] est dérivée de la cellule simple non-cascodée à laquelle une autre capacité de mémorisation ainsi que deux interrupteurs sont ajoutés. La Fig 4.1 en donne le schéma. Le timing de la phase d'acquisition est modifié, il faut deux périodes au lieu d'une seule.

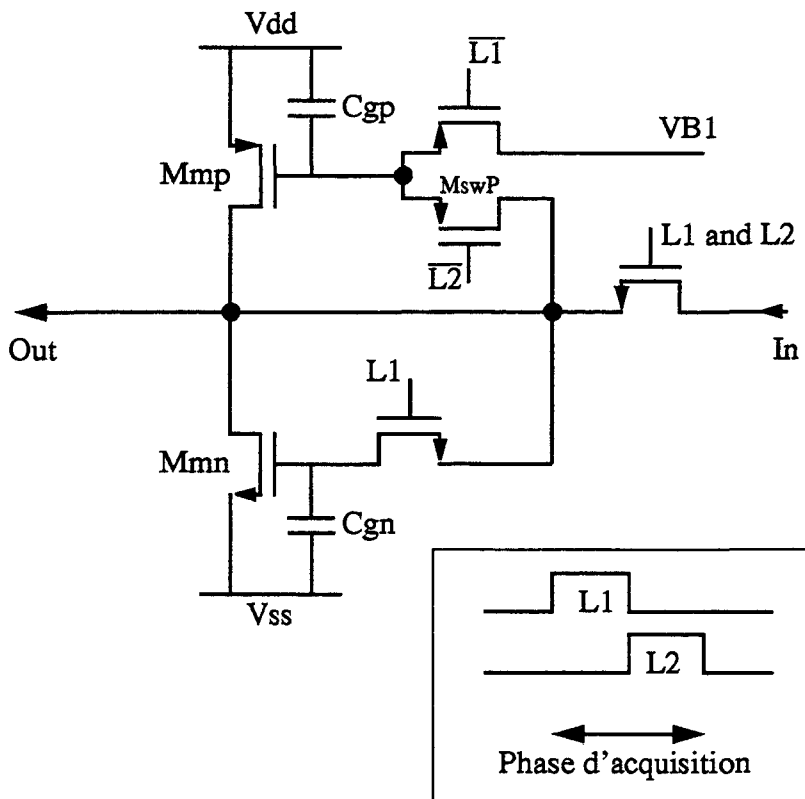


Fig 4.1 Cellule simple double boucle

La première période correspond à l'acquisition classique de la cellule à mémoire de courant. Le transistor Mmn est le transistor mémoire, sa grille est reliée à son drain et on mémorise la tension sur la capacité Cgn. Le transistor Mmp a sa grille connectée à la tension de bias VB1, il fonctionne donc comme une source de courant I_{bias}. Cette première période de l'acquisition est appelée première boucle L1.

Lors de la seconde période le noeud Vg est laissé en haute impédance, sa tension est fixée par la valeur mémorisée par la capacité Cgn. Le transistor Mmn agit alors comme une source de courant de valeur (I_{bias}+I_{in}+I_ε) ou I_ε est l'erreur de mémorisation au cours de la première boucle. La grille du transistor Mmp n'est plus connectée au noeud VB1 mais à son drain, le transistor Mmp agit donc comme un transistor mémoire. Son courant de drain vaut alors (-I_{bias}+I_ε), il mémorise l'erreur d'acquisition de la première boucle sur la capacité Cgp. Cette seconde période est appelée seconde boucle L2. Elle a pour but de corriger l'erreur d'acquisition de la première boucle.

L'erreur de recopie de cette cellule sera bien plus faible que celle de la cellule simple à une seule boucle. Si on linéarise les éléments de la cellule à mémoire de courant, l'erreur faite par la cellule simple boucle vaut $(g_d/g_m) \cdot I_{in}$ alors que l'erreur de la cellule double boucle est $(g_d/g_m)^2 \cdot I_{in}$.

L'intérêt de cette cellule double boucle est qu'elle "asservit" précisément son noeud d'entrée autour d'une tension fixe. En effet si on considère que $I_{\epsilon} \ll I_{bias}$, la tension mémorisée sur la capacité Cgp est donc égale à VB1 à quelques dixièmes de millivolts près. La tension du noeud d'entrée en fin de seconde boucle est donc quasiment fixe quel que soit la valeur du courant d'entrée I_{in}.

L'injection de charge causée par le transistor d'échantillonnage MswP devient alors indépendante du courant d'entrée puisque la charge injectée, étant constante, causera un offset au lieu d'une non-linéarité.

Le principal désavantage de cette cellule double boucle est qu'elle est deux fois plus lente qu'une cellule classique. Comme son erreur de recopie est égal au carré de l'erreur de la cellule simple cela justifie largement un temps d'acquisition plus long.

4.1.2 Régulation lors de la première boucle

La cellule simple boucle cascodée, qui est utilisée dans le circuit IMEMTEST, a un défaut important qui la rends très difficile à dimensionner. Lors de l'acquisition, la grille du transistor mémoire est reliée au noeud d'entrée, ce qui fait que pour une amplitude de signal d'entrée très négative, la grille du transistor mémoire est proche de la tension de seuil. Ce qui peut causer une désaturation du transistor cascode NMOS de la cellule fournissant le courant d'entrée et donc une forte erreur de recopie.

D'autre part une variation du courant d'entrée de la cellule va causer une variation quadratique importante de la tension du noeud d'entrée et donc une forte erreur non-linéaire.

Une solution qui évite ces deux problèmes est d'asservir le noeud d'entrée de la cellule à une tension fixe au moyen d'un circuit de régulation [2] (Fig 4.2). Le circuit de régulation que nous proposons est un convoyeur de courant, son fonctionnement est expliqué dans le chapitre 2 en Fig 2.10.

Lors de la phase d'acquisition ($\Phi_1 = 1'$), la grille du transistor Mmn va varier en fonction du courant d'entrée. Suite à la présence du convoyeur, le noeud d'entrée de la cellule est maintenu au potentiel VB1 alors que la différence entre le courant d'entrée et le courant mémorisé par la cellule est injectée sur la capacité de mémorisation. Quand le courant d'entrée

sera égal au courant mémorisé, le courant entrant dans le convoyeur sera nul, la tension sur la capacité mémoire deviendra fixe.

Cette méthode empêche donc les fortes variations du noeud d'entrée, en revanche elle introduit les défauts suivants:

- L'offset en courant du convoyeur est directement ajouté à l'erreur de recopie de la cellule.
- le convoyeur introduit des poles supplémentaires et donc rends plus difficile la stabilisation de la tension de grille au cours de l'acquisition.

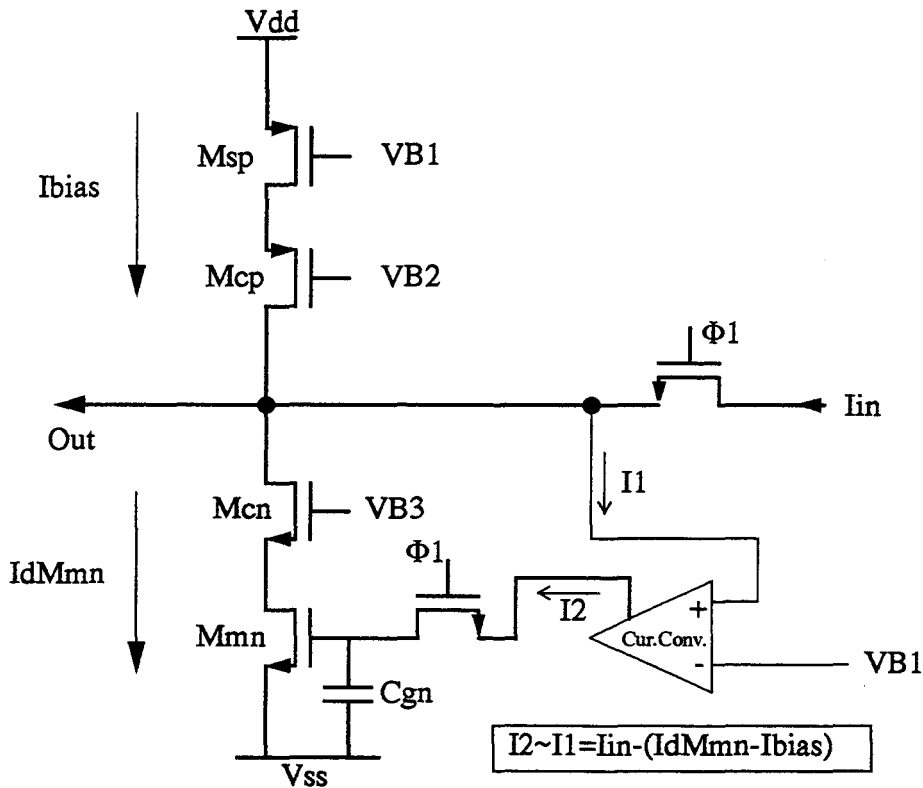


Fig 4.2 Cellule cascodée dont le noeud d'entrée est régulé à la tension VB1

Pour toutes ces raisons l'asservissement du noeud d'entrée par un convoyeur de courant semble peu intéressant et ne doit pas être utilisé seul. Dans le cas d'une cellule double boucle l'asservissement semble une bonne solution pour la première boucle d'acquisition seule. En effet le principal défaut de l'asservissement, l'offset du convoyeur, n'a alors plus d'importance puisqu'il sera corrigé au cours de la seconde boucle.

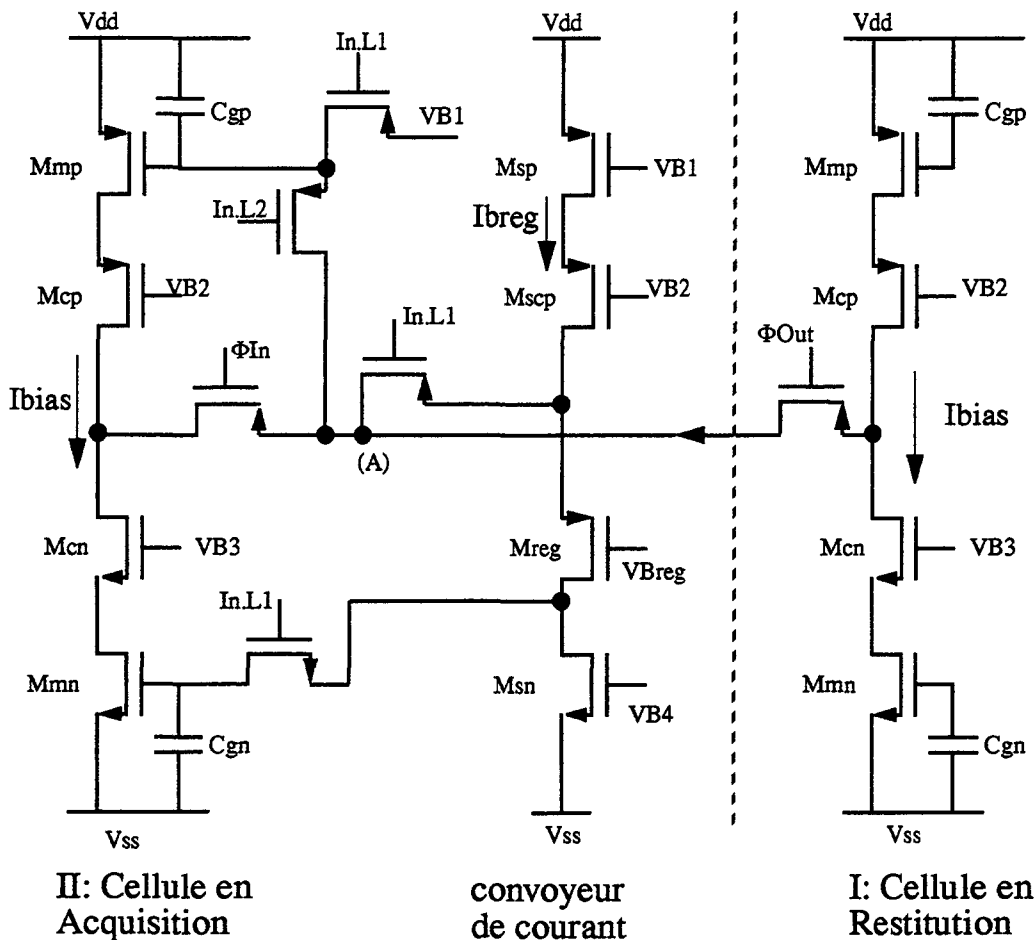
4.1.3 Cellule proposée

La cellule proposée comporte ces deux techniques d'augmentation du gain. Elle est du type double boucle cascodée et comporte un asservissement du noeud d'entrée à la tension de bias VB1 au cours de la première boucle seulement.

Cette solution apporte une très forte précision de recopie pour une augmentation de la complexité de la cellule minimale. Le convoyeur de courant est réalisé par un transistor PMOS monté en 'grille commune', il permet de diminuer fortement les variations de la tension d'entrée au cours de la première boucle. Le noeud d'entrée de la cellule est asservi à la valeur de la tension de polarisation VB1 du transistor Mmp. Cette astuce permet de stabiliser

constamment le noeud d'entrée de la cellule à VB1 au cours des deux boucles.

Le schéma de l'interconnexion de deux cellules est donné en Fig 4.3.



Le noeud (a) est asservi autour de VB1

'ΦIn' et 'ΦOut' sont actifs pendant la copie

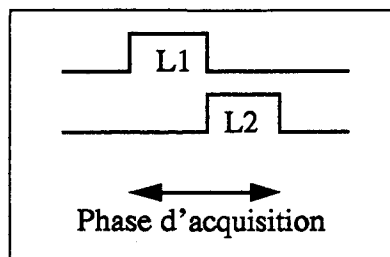


Fig 4.3 Cellule double boucle cascodée régulée lors de l'acquisition grossière.

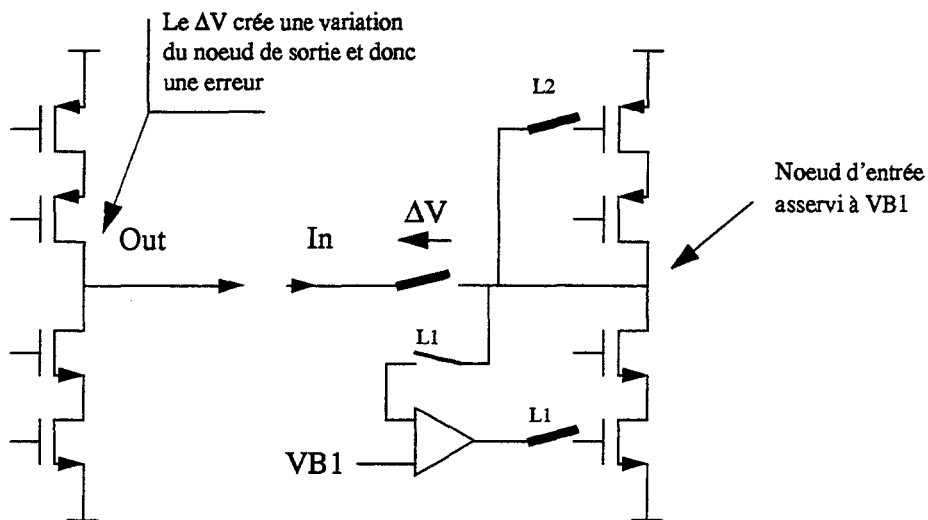
Lors de la première boucle d'acquisition L1, le convoyeur est connecté à l'entrée de la cellule, tandis que sa sortie fixe la tension de grille du transistor mémoire Mmn. Le transistor Mreg est l'élément amplificateur du convoyeur, il a sa grille fixé à une tension de polarisation fixe VBreg. La génération de tension VBreg est réalisée de manière à obtenir $VBreg = VB1 - (V_{gs} - V_t)_{Mreg}$. Cela force donc la source du transistor Mreg au potentiel VB1.

Le convoyeur est déconnecté durant la seconde boucle L2, la grille du transistor mémoire Mmp est ensuite connectée à l'entrée de la cellule. Cette deuxième acquisition a pour rôle de corriger les erreurs faites au cours de l'acquisition grossière:

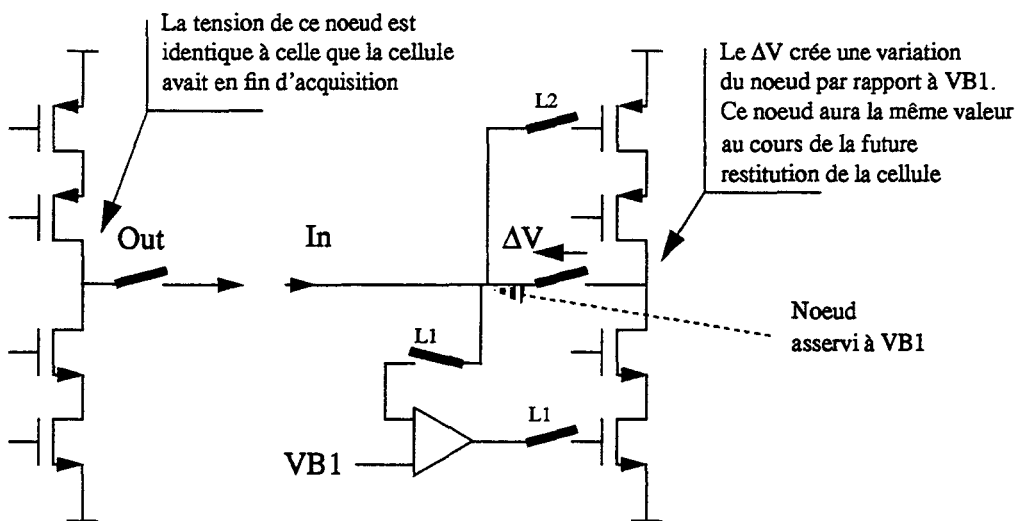
- Offset et bruit ramenés par le convoyeur.

- Erreur liée à l'injection de charge de la première boucle.
- Erreur liée à la conductance de sortie de la cellule.

Seul le bruit échantillonné lors de la seconde boucle créera une erreur, il convient donc de dimensionner seulement la capacité C_{gp} en rapport avec la précision voulue. L'injection de charge sur la capacité mémoire C_{gp} lors de la seconde boucle causera une erreur d'offset de recopie. En effet la variation de la tension mémorisée sur la capacité C_{gp} en fonction du courant d'entrée est extrêmement faible vu le gain de copie de la première boucle. La charge injectée est donc constante.



Position classique des interrupteurs



Position des interrupteurs proposée

Fig 4.4 Disposition des interrupteurs d'entrée

La conductance des interrupteurs d'entrée de la cellule, lorsqu'ils sont positionnés de manière classique, représente une limitation de la précision de recopie de la cellule. En effet, comme la conductance de l'interrupteur est non nulle, il existe une différence de potentiel à ses bornes, elle est dépendante de la valeur du signal. Bien que la cellule ait un asservissement de la tension d'entrée (le noeud d'entrée est le noeud commun au drain des deux transistors

casodes de la cellule), la présence de l'interrupteur va faire varier le noeud de sortie de la cellule qui est en restitution et donc créer une erreur (cf Fig 4.4).

La solution que nous avons retenue pour régler ce problème est d'insérer l'interrupteur d'entrée dans la boucle d'acquisition (cf Fig 4.4), et d'ajouter un interrupteur de sortie à la cellule. Le courant traverse donc deux interrupteurs pour aller de la cellule en restitution vers la cellule en acquisition. Ainsi c'est le noeud entre les deux interrupteurs qui est asservi à la tension VB1. En considérant que l'interrupteur de sortie est identique à celui d'entrée, la tension du noeud du noeud d'entrée de la cellule est la même en fin d'acquisition et au cours de la restitution vers une autre cellule. Il n'y a plus d'erreur induite par la conductance de l'interrupteur d'entrée vu qu'elle est prise en compte au cours de l'acquisition.

Une linéarisation de cette cellule autour de son point de repos permet d'avoir une estimation du gain de copie de la cellule. Lors de la première boucle l'erreur de copie vaut:

$$\varepsilon_{L1} = \frac{gd \cdot gd_{casc} \cdot gd_{reg}}{gm \cdot gm_{casc} \cdot gm_{reg}} \quad (4.1)$$

La conductance des transistors cascodes est gd_{casc} , celle du transistor Mreg, gm_{reg} et celle des transistors mémoire est gd . Cette erreur est proportionnelle à $(gd/gm)^3$ alors que pour une cellule cascodée simple elle est proportionnelle à $(gd/gm)^2$. Lors de la seconde boucle la cellule est de type cascodée simple. L'erreur finale est le produit des deux erreurs soit:

$$\varepsilon = \varepsilon_{L1} \cdot \varepsilon_{L2} = \frac{gd \cdot gd_{casc} \cdot gd_{reg}}{gm \cdot gm_{casc} \cdot gm_{reg}} \cdot \frac{gd_{casc} \cdot gd}{gm_{casc} \cdot gm} = \frac{gd_{reg} \cdot (gd_{casc} \cdot gd)^2}{gm_{reg} \cdot (gm_{casc} \cdot gm)^2} \quad (4.2)$$

Cette erreur est proportionnelle à $(gd/gm)^5$. En considérant la précision d'une cellule cascodée simple à 1%, cette cellule par comparaison permet d'atteindre une précision de copie de l'ordre de 1/20000.

Cette valeur est qualitative et non quantitative. Nous allons estimer plus précisément les caractéristiques de la cellule qui a été utilisée dans le convertisseur sigma-delta MASH21.

4.2 Mise en oeuvre de la cellule

Cette section a pour but de décrire les différentes étapes et simulations nécessaires à la réalisation de la nouvelle mémoire de courant. Avant cela il faut rappeler le cahier des charges de la cellule:

- La polarisation de la cellule doit tenir compte des variations des paramètres de la technologie utilisée afin de garantir un bon fonctionnement de la cellule dans le pire des cas.
- La cellule doit avoir un grand gain afin de réaliser un intégrateur de bonne qualité. Nous avons vu dans le chapitre précédent qu'une précision de 4/10000 permettait tout juste d'atteindre un SNR maximal de 98 dB. Un gain plus élevé de l'ordre de 1/20000 semble plus approprié à la précision de 16 bits voulue.
- La cellule doit avoir un temps d'acquisition Tacq de 190 ns pour les deux boucles dans le cas d'un OSR de 128 et d'une bande utile égale à 10 Khz. L'erreur de stabilisation doit être inférieure à l'erreur de gain.
- Pour ce qui est du bruit thermique, le rapport signal à bruit lors de la fin

d'acquisition, pendant la seconde boucle, doit être de l'ordre de 98 dB pour 2 cellules en parallèle en acquisition de la somme d'un courant provenant de 2 autres cellules en parallèle et d'un courant d'entrée extérieur. La valeur maximale de ce courant d'entrée est égal à $I_{ref}/2$ soit $I_{bias}/4$.

La tension d'alimentation du modulateur M.A.S.H.21 est de 5V. Le procédé utilisé pour le convertisseur M.A.S.H.21 est une technologie CMOS 0.8 μ m du fondeur AMS. Nous possédons les modèles du fondeur en «typic», «worstpower», «worstspeed», «worstZero», et «worstOne» utilisables par le simulateur ELDO (MOS Level15 [3]). Ce type de modèle modélise mal la zone de début de saturation du transistor MOS.

Pour éviter de sous-évaluer la conductance de sortie du transistor MOS dans cette zone, nous avons réalisé une extraction ainsi qu'une optimisation des paramètres du modèle MOS Level28 [4] (BSIM 1 [5] modifié pour le simulateur HSPICE) à partir d'échantillons de test du procédé. Ce modèle prends en compte une saturation graduelle du transistor et est bien plus précis [6]. Comme nous ne possédons pas de données statistiques pour le modèle MOS Level28, les simulations des caractéristiques de la cellule seront réalisées avec les 5 modèles MOS Level15 (Lev15typ, Lev15ws, Lev15wp, Lev15w0 et Lev15w1) avec le simulateur ELDO ainsi que avec le modèle MOS Level28 (Lev28typ) avec le simulateur HSPICE.

4.2.1 Polarisation de la cellule

4.2.1.1 Dimensionnement de la cellule

L'étude de l'impact du bruit thermique des transistors de la cellule sur le rapport signal à bruit du premier intégrateur (cf chapitre 3) nous donne la valeur du courant de polarisation I_{bias} de la cellule ainsi que la valeur de la capacité C_{gp} de mémorisation de la seconde boucle:

$$I_{bias} = 5mA \quad C_{gp} = 108pF \quad 4.5 < V_{dd} < 5.5 \quad (4.3)$$

(Valeurs obtenues dans le calcul du paragraphe 3.5.1 du chapitre 3)

Comme le courant de polarisation est connu, la valeur de la tension d'alimentation 5V-10% ainsi que les paramètres technologiques des transistors NMOS et PMOS permettent le calcul de la polarisation de la cellule. La polarisation de la cellule est une étape importante car elle permet d'obtenir une cellule optimale. Il faut:

- Obtenir une transconductance g_m minimale pour les transistors mémoire afin de minimiser le bruit thermique des transistors.
- Avoir une tension de garde ($V_{ds}-V_{dsat}$) supérieure à 250mV pour les transistors de la cellule. Ceci permet de garantir une faible conductance de sortie et d'éviter tout risque de désaturation de la cellule.

Nous utilisons un modèle simplifié du transistor MOS pour faire le dimensionnement des transistors, la simulation de la cellule permettra d'affiner et de valider ce point de polarisation avec les 6 modèles.

Les paramètres des transistors NMOS et PMOS sont les suivants:

$$\begin{array}{lll} \beta_N = 102.8\mu A/V^2 & \eta_N = 1.2 & V_{t0_N} = 0.93V \\ \beta_P = 35.6\mu A/V^2 & \eta_P = 1.13 & V_{t0_P} = -0.8V \end{array} \quad (4.4)$$

Pour le dimensionnement, nous fixons la garde ($V_{ds}-V_{dsat}$) du transistor mémoire M_{mn} égale à 465 mV (ce qui correspond à $V_{t0N}/2$), celle de M_{mp} égale à 400 mV ($-V_{t0P}/2$) et nous voulons la somme des gardes des deux transistors cascode égale à 865 mV ($[V_{t0P}-V_{t0N}]/2$). Ce calcul sera fait dans le cas le plus défavorable du fonctionnement de la cellule soit pour un courant d'entrée de I_{bias} . Dans ce cas le courant de drain de M_{mp} et de M_{cp} est de I_{bias} , pour M_{mn} et M_{cn} il est de $2I_{bias}$. Nous fixons aussi la transconductance g_m des deux transistors mémoire identique (pour un courant d'entrée nul) et est deux fois plus faible que celle des transistors cascodes.

En suivant ces directives nous calculons les rapport W/L des transistors de la cellule qui permettent d'obtenir un $(V_{gs}-V_t)$ maximal pour les deux transistors mémoire et donc une transconductance minimale. La Fig 4.5 donne le diagramme de Memelinck correspondant au point de polarisation obtenu.

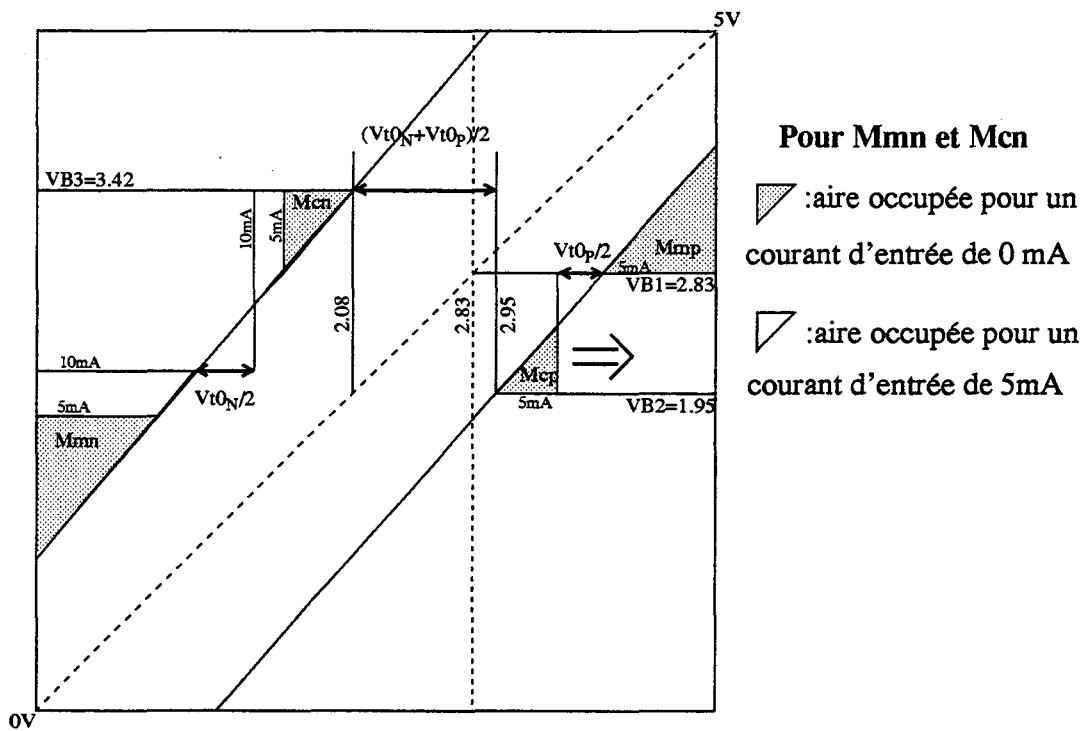


Fig 4.5 Diagramme de Memelinck représentant le point de polarisation de la cellule

Les rapports W/L des transistors obtenus par le calcul sont les suivants:

$$\begin{aligned} \left(\frac{W}{L}\right)_{Mcp} &= 1699 & \left(\frac{W}{L}\right)_{Mmp} &= 424.7 \\ \left(\frac{W}{L}\right)_{Mcn} &= 554 & \left(\frac{W}{L}\right)_{Mmn} &= 138.5 \end{aligned} \quad (4.5)$$

Sur le diagramme de Memelinck, on obtient la valeur des trois tensions de Polarisation $VB1$, $VB2$, $VB3$. Le noeud d'entrée de la cellule est asservi autour de $VB1$, cela nous permet de connaître la marge ($V_{ds}-V_{dsat}$) de chaque transistor cascode, on voit que la tension de polarisation $VB2$ doit être légèrement augmentée de sorte à augmenter la marge de M_{cp} qui est trop faible. Cela sera fait ultérieurement lors de la simulation de la cellule et du dimensionnement du circuit de génération de $VB1$, $VB2$ et $VB3$. Vu la valeur de $VB1$ tous les interrupteurs, excepté celui d'échantillonnage du noeud V_{gn} , seront des PMOS, en effet des interrupteurs NMOS auraient une résistance passante trop élevée.

Le rapport W/L des transistors est connu, il faut choisir la longueur L pour dimensionner la cellule. Le critère du choix de L pour les transistors mémoire est de minimiser la conductance de sortie de la cellule. Pour une longueur élevée l'effet Early (Conductance statique) est négligeable, par contre le couplage capacitif entre la capacité parasite C_{gd} et la capacité de mémorisation (Conductance dynamique) ainsi que la surface du transistor sont importants. Pour une faible valeur de L l'effet inverse se passe. Il y a donc un compromis.

La Fig 4.6 donne l'évolution de la conductance dynamique, statique et totale en fonction de la longueur du transistor mémoire M_{mp} . Les conditions de polarisation du transistor M_{mp} sont identiques à celles de la Fig 4.5. La simulation a été faite avec le simulateur HSPICE et le modèle Lev 28 typ. Ce résultat de simulation confirme l'influence de L sur la conductance de sortie. Pour L entre 3 et $10\mu m$ la part des deux types de conductances est sensiblement égale. Nous avons choisi L égal à $3\mu m$ pour des raisons d'encombrement des transistors mémoire.

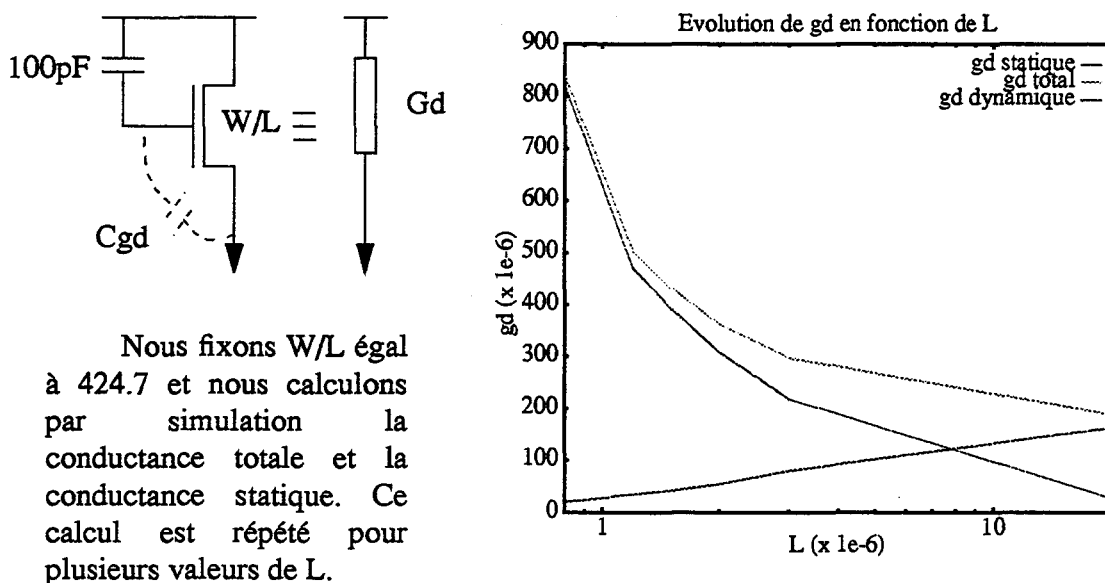


Fig 4.6 Influence de la longueur du transistor mémoire sur les conductances de sortie

Pour les transistors cascades, on choisit $L=1.2\mu m$ de sorte à minimiser leur taille tout en gardant de bonnes caractéristiques pour le transistor. Lors de l'extraction du modèle LEV28typ, nous avons observé que le transistor minimal, $L=0.8\mu m$, a une trop mauvaise conductance de sortie.

La dimension des transistors de la cellule doit prendre en compte les deux types de cellules à réaliser. Une première cellule identique à celle calculée pour l'instant et une autre consommant 10 fois moins qui sera utilisée pour les intégrateurs 2 et 3. Comme le pas de grille du procédé AMS est de $0.1\mu m$, il faut des largeurs de transistor multiples de $1\mu m$ de sorte à pouvoir créer une cellule de courant de polarisation 10 fois plus faible. Les tailles des transistors retenues sont donc:

(4.6)

$$\begin{aligned} \left(\frac{W}{L}\right)_{Mcp} &= 10 \cdot \left(\frac{203.9}{1.2}\right) & \left(\frac{W}{L}\right)_{Mmp} &= 10 \cdot \left(\frac{127.5}{3}\right) \\ \left(\frac{W}{L}\right)_{Mcn} &= 10 \cdot \left(\frac{66.5}{1.2}\right) & \left(\frac{W}{L}\right)_{Mmn} &= 10 \cdot \left(\frac{41.6}{3}\right) \end{aligned}$$

4.2.1.2 Circuit de polarisation de la cellule

Le circuit de polarisation a pour but de générer les tensions VB1, VB2, VB3 et nous verrons par la suite qu'il génère aussi la tension VB4 qui sera utile au convoyeur de courant. Le schéma électrique du circuit BIAS est donné en Fig 4.7. Il nécessite une source de courant extérieure de 500 μ A.

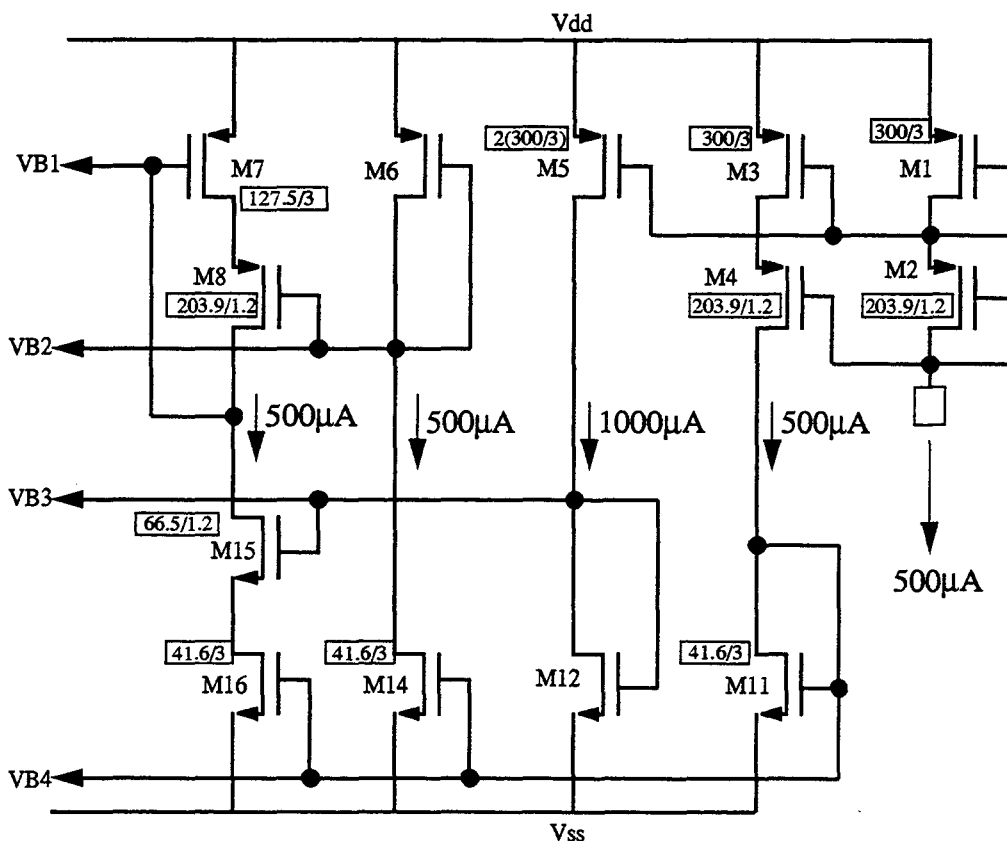


Fig 4.7 Schéma du circuit de polarisation (BIAS) de la cellule

La génération des tensions VB2 et VB3 polarisant les cascodes repose sur la taille du transistor M6 pour VB2 et M12 pour VB3. Le rapport W/L de ces deux transistors est d'abord calculé au moyen du diagramme de Memelincq puis optimisé par simulation.

Modèle	VB1	VB2	VB3	VB4
Lev15typ	2.89V	2.18V	3.35V	1.77V
Lev28typ	2.83V	2.1V	3.19V	1.74V

La marge de saturation ($V_{ds} - V_{dsat}$) minimale est ~ 220 mV. Elle est atteinte par le transistor M_{cp} pour les modèles Lev15wp et Lev15w0.

Sinon les marges des autres transistors de la cellule sont supérieures à 250mV pour tous les modèles.

Table 4.1 Valeur des tensions de polarisation de la cellule

Une simulation de la cellule polarisée par le circuit BIAS a été faite pour les 6 modèles disponibles. Les valeurs de VB1, VB2, VB3 et VB4 obtenues par simulation, ainsi que les gardes minimales (Vds-Vdsat) des transistors sont donnés en Table 4.1. La taille finale du transistor M6 est 42.5μ/3μ, celle de M12 est 14μ/3μ.

4.2.1.3 Dimensionnement du convoyeur de courant

Le dimensionnement du convoyeur consiste à fixer la taille des différents transistors, ainsi que la valeur de son courant de polarisation Ibreg. Le temps d'acquisition lors de la première boucle est fortement influencé par les caractéristiques du convoyeur, c'est lui qui charge la capacité Cgn en fonction du courant d'entrée. Le dimensionnement du convoyeur passe donc par l'étude de l'établissement de la cellule lors de la première boucle.

•) Taille des transistors

Les transistors Msp et Mscp (cf Fig 4.3) forment la source de courant PMOS du convoyeur. Comme le noeud d'entrée du convoyeur aura un potentiel asservi autour de VB1, les transistors Msp et Mscp ont un rôle identique aux transistors Mmp et Mcp de la cellule au cours de la première boucle. Leur tension de grille est alors respectivement fixée à VB1 et VB2. Leur taille est fonction des transistors de la cellule et du courant Ibreg par la relation suivante:

$$\left(\frac{W}{L}\right)_{Msp} = \frac{I_{breg}}{I_{bias}} \cdot \left(\frac{W}{L}\right)_{Mmp} \quad \left(\frac{W}{L}\right)_{Mscp} = \frac{I_{breg}}{I_{bias}} \cdot \left(\frac{W}{L}\right)_{Mcp} \quad (4.7)$$

De même par simplicité on considère la polarisation de la source de courant Msn identique à celle du transistor mémoire Mmn de la cellule (quand celle ci est en acquisition d'un courant nul). La tension de grille de Msn est fixée à VB4 puisque cette tension de polarisation correspond à la tension Vgn mémorisée par une cellule en acquisition d'un courant nul. La taille de Msn est calculée de la manière suivante:

$$\left(\frac{W}{L}\right)_{Msn} = \frac{I_{breg}}{I_{bias}} \cdot \left(\frac{W}{L}\right)_{Mmn} \quad (4.8)$$

Le transistor PMOS Mreg réalisant le gain du convoyeur occupera la place du transistor cascode Mcn de la cellule. Nous devons nous assurer que ce transistor est saturé quelquesoit la valeur du courant échantillonné par la cellule. Pour cela on se place dans le cas d'une cellule en acquisition d'un courant de valeur I_{bias} de sorte à obtenir une tension d'acquisition V_{gn} maximale. Dans ce cas la différence de potentiel entre le drain et la source de Mreg est minimale et égale à (VB1-V_{gn,max}) soit 740mV. En se fixant une garde de 300mV pour Mreg on obtient donc la valeur maximale du «Vdsat» de Mreg pour garantir la saturation: 440mV. Cette valeur donne la plus petite transconductance tout en garantissant la marge de saturation de Mreg supérieure à 300mV. Pour obtenir une faible erreur de recopie il faut maximiser la transconductance de Mreg, toutefois cette augmentation de la transconductance s'accompagne aussi d'une augmentation du bruit. Bien que le bruit échantillonné en fin de première boucle soit en partie corrigé par la seconde, le très fort gain théorique de la cellule ne nous oblige pas à augmenter gmreg. Nous avons donc choisi la valeur maximale de "vdsat" pour Mreg soit 440mV.

La taille du transistor Mreg est calculée à partir de sa tension «Vdsat» de la manière suivante:

$$I_{breg} = \beta_P \cdot \left(\frac{W}{L}\right)_{Mreg} \cdot \frac{\eta_P \cdot V_{dsat}^2}{2} \quad \text{soit} \quad \left(\frac{W}{L}\right)_{Mreg} = \frac{I_{breg}}{\beta_P} \cdot \frac{2}{\eta_P \cdot V_{dsat}^2} \quad (4.9)$$

•)Choix de I_{breg} : slew-rate

Le convoyeur charge ou décharge la capacité C_{gn} en fonction du courant d'entrée de la cellule. Le courant maximal de sortie du convoyeur est I_{breg} , une erreur de slew-rate peut donc provenir de cette limitation de courant.

Nous avons relevé, dans nos simulations du modulateur M.A.S.H.21, la dynamique du courant mémorisé par une des cellules du premier intégrateur, elle est égale à +/- I_{bias} pour deux cellules en parallèle. Par contre la variation de courant maximale d'une acquisition à l'autre est seulement de I_{bias} pour les 2 cellules en parallèle. Cela correspond à un saut de tension maximal sur la capacité C_{gn} de -270 mV dans le cas où le courant de drain du transistor M_{mn} passe de I_{bias} à $I_{bias}/2$. Le saut positif de la tension n'est pas considéré parce que la limitation par slew-rate du convoyeur n'intervient que dans le cas d'un courant rentrant (cas où M_{reg} est totalement bloqué).

La première boucle dure environ 80ns, si l'on veut garantir un fort non-recouvrement des horloges. En considérant l'établissement de la tension V_{gn} du premier ordre, nous avons fixé la constante de temps τ (Fig 4.8) de cette variation égale à 10ns pour éviter une forte erreur de stabilisation. Cela nous impose la valeur minimale du slew-rate qui est de 27V/ μ S donc nous pouvons en déduire une valeur minimale de I_{breg} en fonction de C_{gn} :

$$I_{breg} = 27V/\mu s \cdot C_{gn} \quad (4.10)$$

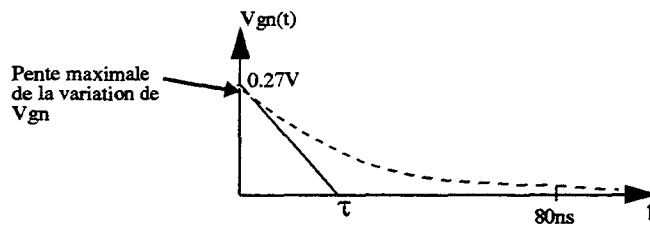


Fig 4.8 Constante de temps associée à la variation de V_{gn}

•)Choix de I_{breg} : stabilisation

Une forte valeur du courant I_{breg} va permettre un temps d'acquisition faible mais aura pour désavantage une forte consommation ainsi qu'un offset important du convoyeur nuisant fortement à la précision. Une faible valeur de I_{breg} n'apportera pas d'offset mais pénalisera le temps d'acquisition de la cellule.

Nous allons estimer approximativement le transitoire d'établissement de la tension V_{gn} . En linéarisant la cellule et le convoyeur, en négligeant la résistance passante des interrupteurs, la modélisation petit signal de la cellule en acquisition au cours de la première boucle nous donne la relation suivante:

$$V_{gn} = \frac{I_{in} \cdot g_{mreg}}{p^2 \cdot (C_d \cdot C_{gn}) + p \cdot (C_{gn} \cdot g_{mreg}) + g_{mn} \cdot g_{mreg}} \quad (4.11)$$

Cd est la capacité du noeud d'entrée de la cellule (commun au noeud d'entrée du convoyeur), gmreg est la transconductance du transistor Mreg et Iin est le courant d'entrée de la cellule. L'établissement de Vgn tel que nous l'avons approximé est du second ordre.

La solution classique de l'équation (4.11) donne deux poles complexes exprimés en fonction des variables z et ω0:

$$\begin{aligned}
 P1 &= -z \cdot \omega_0 + i \cdot \omega_0 \cdot \sqrt{1-z^2} \\
 P2 &= -z \cdot \omega_0 - i \cdot \omega_0 \cdot \sqrt{1-z^2}
 \end{aligned}
 \quad \text{ou} \quad
 \begin{aligned}
 z \cdot \omega_0 &= \frac{gmreg}{2 \cdot Cd} \\
 \omega_0 \cdot \sqrt{1-z^2} &= \sqrt{\frac{gmreg \cdot (gmreg \cdot Cgn - 4 \cdot gmn \cdot Cd)}{4 \cdot Cd^2 \cdot Cgn}}
 \end{aligned}
 \tag{4.12}$$

Nous allons polariser le convoyeur de manière à avoir une constante de temps de l'enveloppe égale à 10ns (cf Fig 4.9). L'amortissement z sera optimal soit compris entre 0.6 et 0.7.

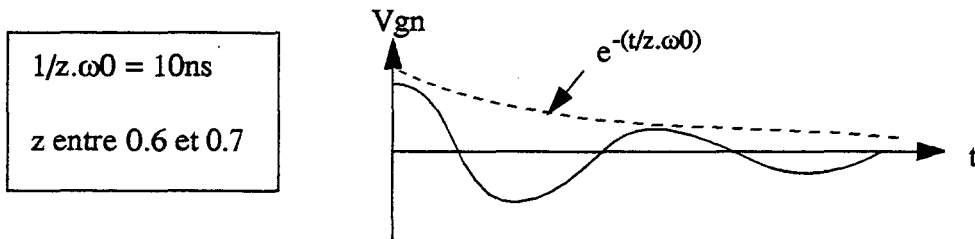


Fig 4.9 réponse d'un système du second ordre

Nous devons donc satisfaire trois équations (la première égalité provient de la contrainte de slew-rate):

$$\begin{aligned}
 \frac{I_{breg}}{C_{gn}} &= 27e6 & \frac{2 \cdot Cd}{gmreg} &= 10ns \\
 \sqrt{\frac{gmreg \cdot (gmreg \cdot C_{gn} - 4 \cdot gmn \cdot Cd)}{4 \cdot Cd^2 \cdot C_{gn}}} &= \omega_0 \cdot \sqrt{1-z^2} = \frac{\sqrt{1-z^2}}{z \cdot 10ns} \in [101Mhz, 132Mhz]
 \end{aligned}
 \tag{4.13}$$

La valeur de la transconductance du transistor mémoire est connue, la transconductance gmreg du transistor Mreg est fonction du courant de polarisation Ibreg. Les capacités Cgn et Cd sont fonction de Ibreg. On calcule donc la valeur de Ibreg qui satisfait la troisième égalité de (4.13). Il faut Ibreg compris entre 2mA et 3mA. Cet intervalle force Ibreg égal à environ Ibias/2, l'offset d'entrée du convoyeur risque d'être trop élevé.

Nous avons fixé Ibreg à 1mA ce qui donne Cgn égal à 37pF et la capacité du noeud d'entrée de la cellule (au cours de la première boucle) égale à 22pF. Comme nous négligeons la capacité parasite du noeud d'entrée de la cellule, il faut ajouter une capacité de 22pF sur ce noeud. Il est préférable d'ajouter cette capacité sur le noeud d'entrée du convoyeur et non celui de la cellule, comme cela la capacité n'est «visible» par la cellule que durant la première

boucle.

L'amortissement z de la réponse de la cellule n'est plus optimal, il est égal à 0.42, il reste toutefois tolérable. Qui plus est ce calcul de la réponse transitoire de la cellule est très **approximatif** et donc sert essentiellement à fixer le courant I_{breg} et les capacités C_{gn} et C_d de manière grossière. Lors de la simulation de la réponse en transitoire de la cellule (cf 4.2.3) nous allons d'abord fixer I_{breg} égal à 1mA et utiliser les tailles calculées avec l'équation (4.14) pour les transistors du convoyeur. En fonction du temps d'établissement de la cellule obtenu par simulation nous serons amenés à modifier la valeur du courant I_{breg} . Les tailles des transistors de la cellule seront alors changées en suivant la même équation.

$$\begin{aligned} \left(\frac{W}{L}\right)_{M_{sp}} &= 2N \cdot \left(\frac{127.5}{3}\right) & \left(\frac{W}{L}\right)_{M_{scp}} &= 2N \cdot \left(\frac{203.9}{1.2}\right) \\ \left(\frac{W}{L}\right)_{M_{sn}} &= 2N \cdot \left(\frac{41.6}{3}\right) & \left(\frac{W}{L}\right)_{M_{reg}} &= 2N \cdot \left(\frac{186.9}{1.2}\right) \end{aligned} \quad \boxed{\begin{array}{l} \text{Tailles pour un} \\ \text{courant } I_{breg} \text{ égal} \\ \text{à } N \text{ mA} \end{array}} \quad (4.14)$$

Il reste encore à générer la tension de polarisation V_{Breg} nécessaire à l'asservissement de l'entrée du convoyeur autour de la tension V_{B1} .

4.2.1.4 Polarisation du convoyeur de courant

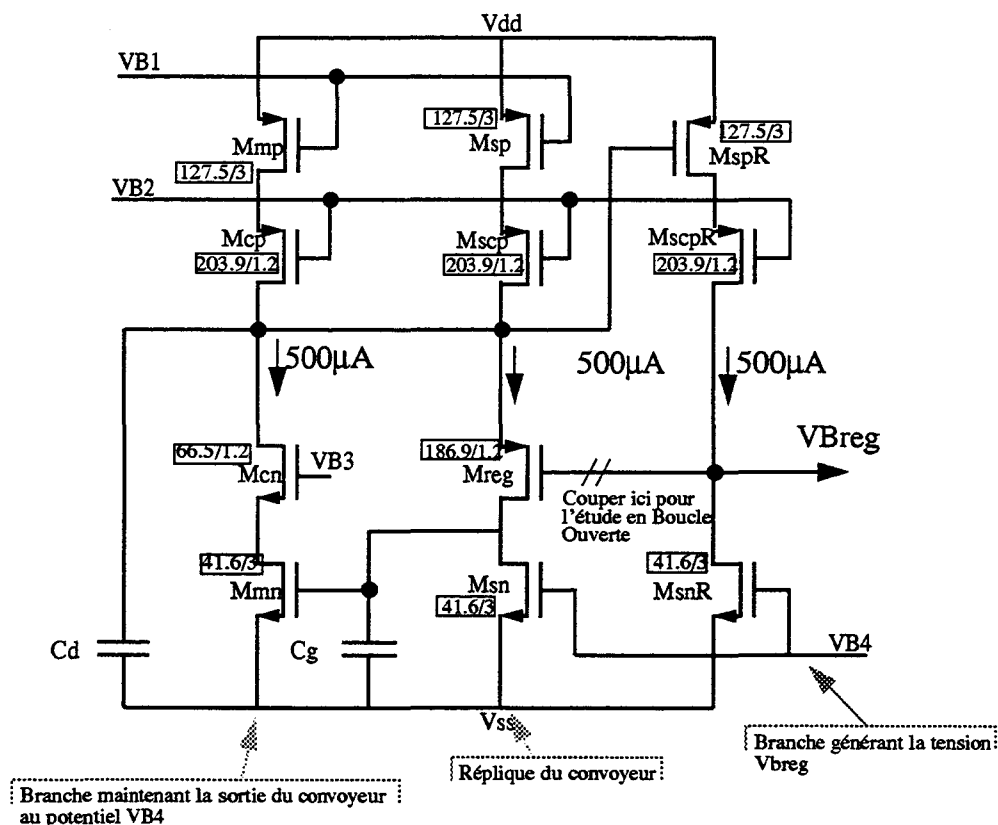


Fig 4.10 Schéma du circuit BIASR générant la tension de polarisation V_{Breg} .

Pour son fonctionnement, le convoyeur nécessite quatre tensions de polarisation V_{B1} , V_{B2} , V_{Breg} et V_{B4} . Le circuit de polarisation BIAS les génère toutes excepté la tension V_{Breg} . Elle est plus difficile à réaliser car sa valeur détermine la précision de l'asservissement de la tension d'entrée de la cellule à la tension V_{B1} . On ne peut pas reposer sur un rapport entre tailles de transistors comme pour les tensions V_{B2} et V_{B3} .

La solution utilisée pour réaliser précisément V_{Breg} est d'utiliser un circuit de polarisation comportant une contre réaction dont le point de repos est la tension V_{Breg} voulue. Pour cela on reproduit une cellule en acquisition d'un courant nul dont le convoyeur de courant a une polarisation active qui force le noeud d'entrée de la cellule à V_{B1} (cf Fig 4.10).

Les tailles des transistors sont toutes dérivées des tailles des transistors de la cellule et du convoyeur. Les courants de polarisation ont tous été fixés à $I_{bias}/10$ de sorte à réduire la consommation du circuit. Les tailles sont indiquées sur la Fig 4.10.

Cette méthode de polarisation a pour avantage de fournir parfaitement la tension V_{Breg} désirée. L'inconvénient majeur provient de la nécessité de stabiliser correctement ce circuit pour éviter toute oscillation. Pour cela une étude de ce circuit en boucle ouverte a été faite. La marge de phase du système a été fixée à 90° en jouant sur les valeurs des capacités additionnelles C_d et C_g . La valeur de C_d est de 2pF, celle de C_g est de 1pF. Ces capacités sont réalisés avec des transistors MOS dont la source et le drain sont reliés ensemble.

Afin de vérifier les marges de saturation du convoyeur ainsi que l'asservissement de la première boucle, nous avons simulé en «DC» l'interconnexion de deux cellules dont l'une est en acquisition du courant de sortie de l'autre. Cette simulation a été faite pour les 6 modèles disponibles. En faisant varier le courant de sortie de la cellule en restitution de -4.5mA à 4.5mA, nous avons relevé la variation du noeud d'entrée de la cellule et avons relevé la garde de tous les transistors. Le résultat est donné dans la Table 4.2.

Courant d'entrée	Modèle de tr. MOS	V_{Breg}	Tension du noeud d'entrée	Marge de M_{reg}	Marge de M_{sn}
-4.5 mA	Lev28typ	1.384 V	2.825 V	>600mV	400mV
+4.5mA	Lev28typ	1.384 V	2.837 V	334mV	>600mV
-4.5mA	Lev15typ	1.458 V	2.880 V	>600mV	562mV
+4.5mA	Lev15typ	1.458 V	2.898 V	361mV	>600mV

Table 4.2 Variation du noeud d'entrée de la cellule au cours de la première boucle.

La tension d'entrée de la cellule est effectivement asservie à V_{B1} à une dizaine de millivolts près. Toutes les gardes sont supérieures à 250mV, mis à part une désaturation légère du transistor M_{reg} du convoyeur dans le cas du modèle Lev15worstspeed. La désaturation de ce transistor n'entraînera pas de modification du convoyeur, en effet elle survient pour un courant d'entrée extrêmement élevé. De plus dans le cas où la tension d'alimentation est nominale 5V (au lieu de la valeur minimale 4.5V) le transistor M_{reg} ne désature pas et sa marge de saturation est toujours supérieure à 250mV quel que soit le modèle utilisé et le courant d'entrée.

4.2.2 Etude statique du gain

Il est possible d'évaluer par une simulation SPICE l'erreur de recopie de la cellule due uniquement aux conductances de sortie ainsi qu'à la caractéristique quadratique du transistor mémoire. Dans cette étude statique de la précision de recopie de la cellule, NE SONT PAS PRIS EN COMPTE:

- l'erreur liée à la partie dynamique de la conductance de sortie.

- l'erreur liée à l'injection de charge des interrupteurs d'échantillonnages.
- le bruit échantillonné.
- l'erreur de stabilisation.

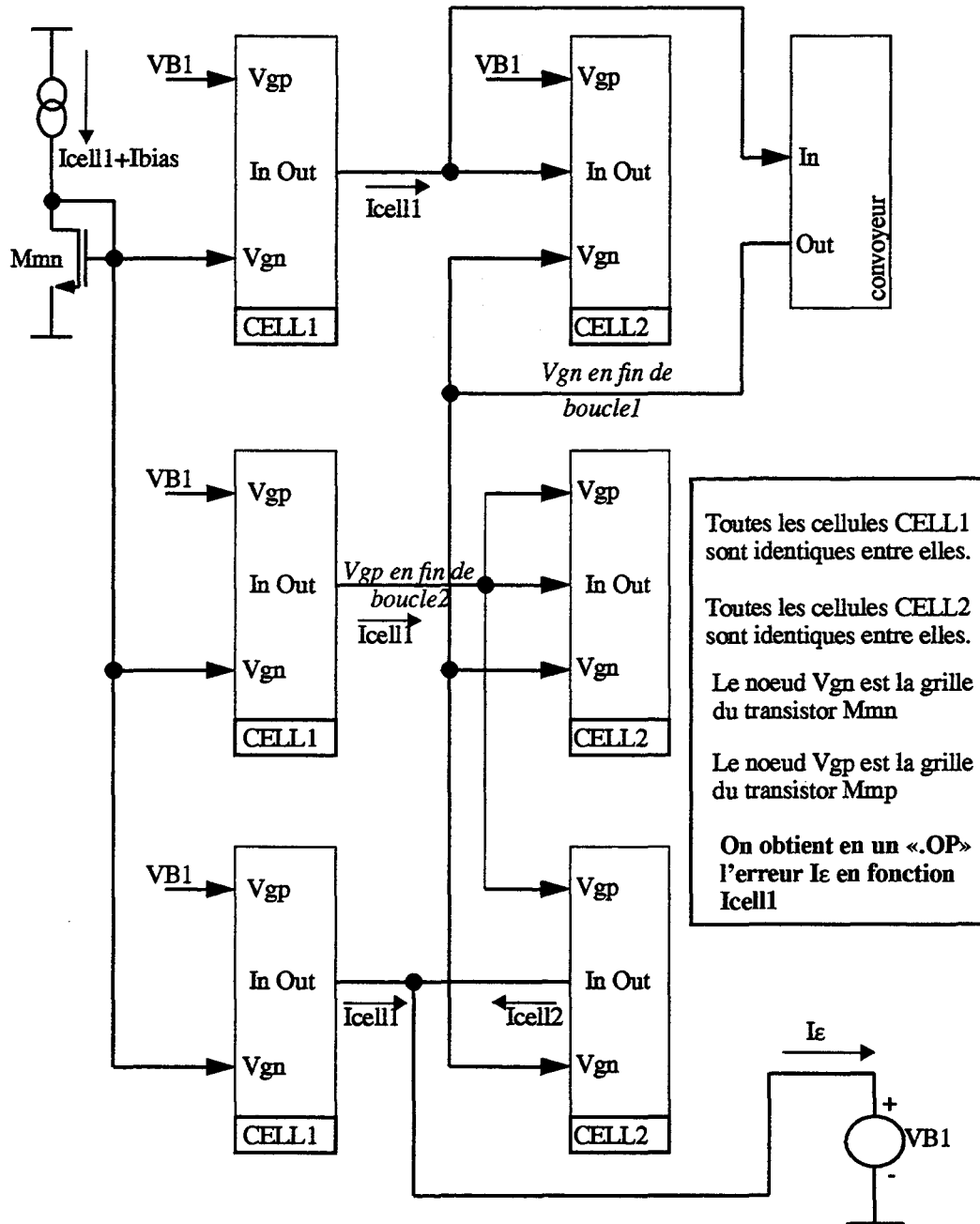


Fig 4.11 Principe de l'étude statique du gain de recopie

La Fig 4.11 explique le principe de mesure du gain statique. Il consiste à calculer en un seul point de polarisation:

- la tension mémorisée sur la capacité C_{gn} de la CELL2 à la fin de la première boucle.
- la tension mémorisée sur la capacité C_{gp} à la fin de la seconde boucle tout en utilisant le résultat de la première boucle pour fixer le courant du transistor Mmn.

- Enfin en connaissant les deux tensions mémorisées, évaluer le courant de sortie de la CELL2, I_{cell2} , en restitution vers une source de tension de valeur V_{B1} .

La différence entre le courant de sortie de la CELL1, I_{cell1} , et le courant de sortie de la CELL2, I_{cell2} est l'erreur de recopie faite par la CELL2. En forçant les trois CELL2 et les trois CELL1 identiques on peut obtenir l'erreur de mémorisation de la CELL2 en un seul point «OP» SPICE. Pour avoir l'évolution de cette erreur en fonction du courant d'entrée, il suffit de recommencer ce point de polarisation pour plusieurs valeurs du courant I_{cell1} . Ce qui correspond à une analyse DC du circuit en faisant varier le courant I_{cell1} .

La cellule que nous venons de dimensionner a été caractérisée de cette manière. Le résultat de simulation pour les modèles Lev28typ, Lev15typ, Lev15wp et Lev15ws est donné en Fig 4.12 et Fig 4.13. Une seule courbe est représentée pour les modèles Lev15, la différence entre le "worstcase" et le "best case" est très faible (de l'ordre du nano Ampère!!). Sur ces deux graphes l'erreur est très faible pour les modèles Lev15, inférieure à 1 pour 240000! Elle est encore plus faible pour le modèle Lev28typ, elle est de l'ordre de 1 pour 800000!!! Ces chiffres paraissent incroyablement faibles, en fait ils représentent la limite ultime du gain pour cette cellule, il faut encore prendre en compte de nombreuses imperfections.

Mais cette simulation met en évidence la forte amélioration de la précision de recopie que l'on peut attendre par rapport à la cellule cascodée simple boucle. Cette simulation confirme le choix de cette cellule pour le modulateur sigma-delta M.A.S.H.21.

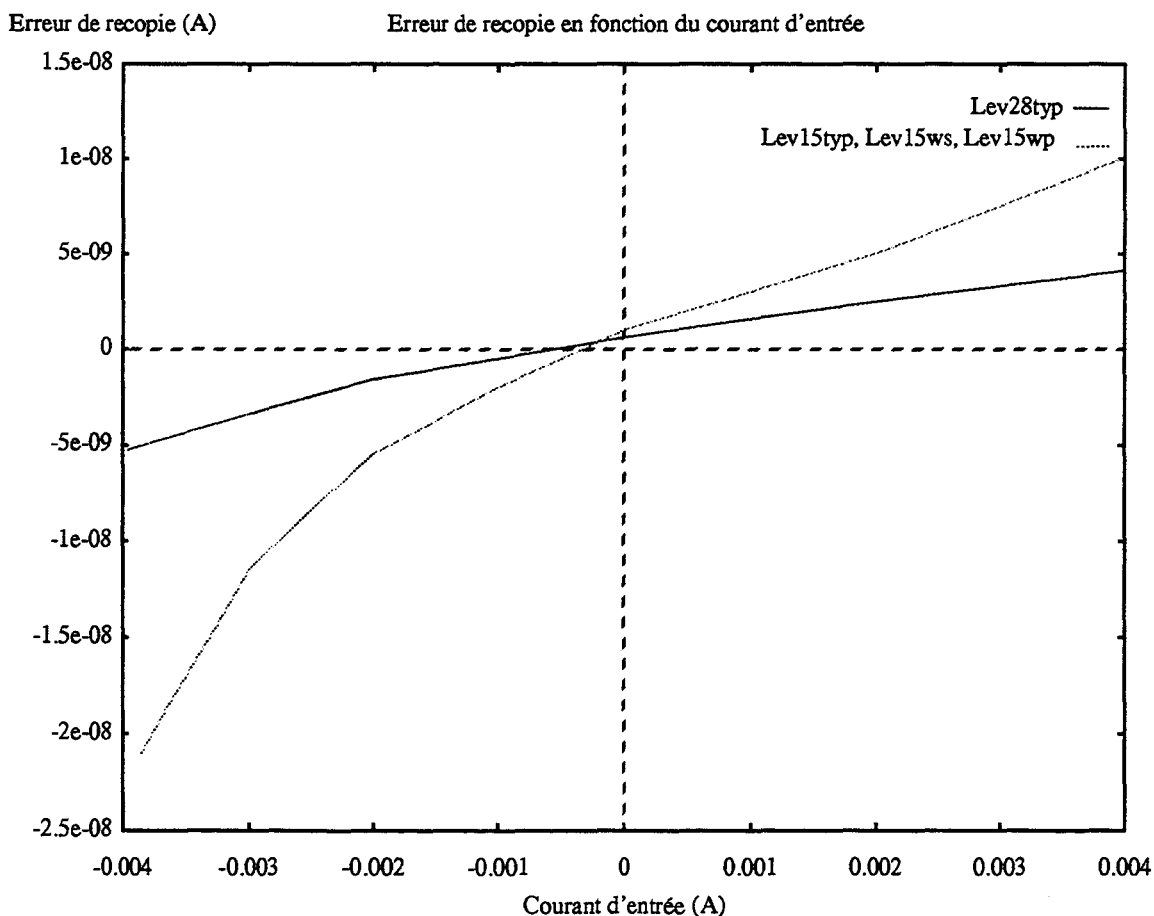


Fig 4.12 Erreur de recopie statique de la cellule

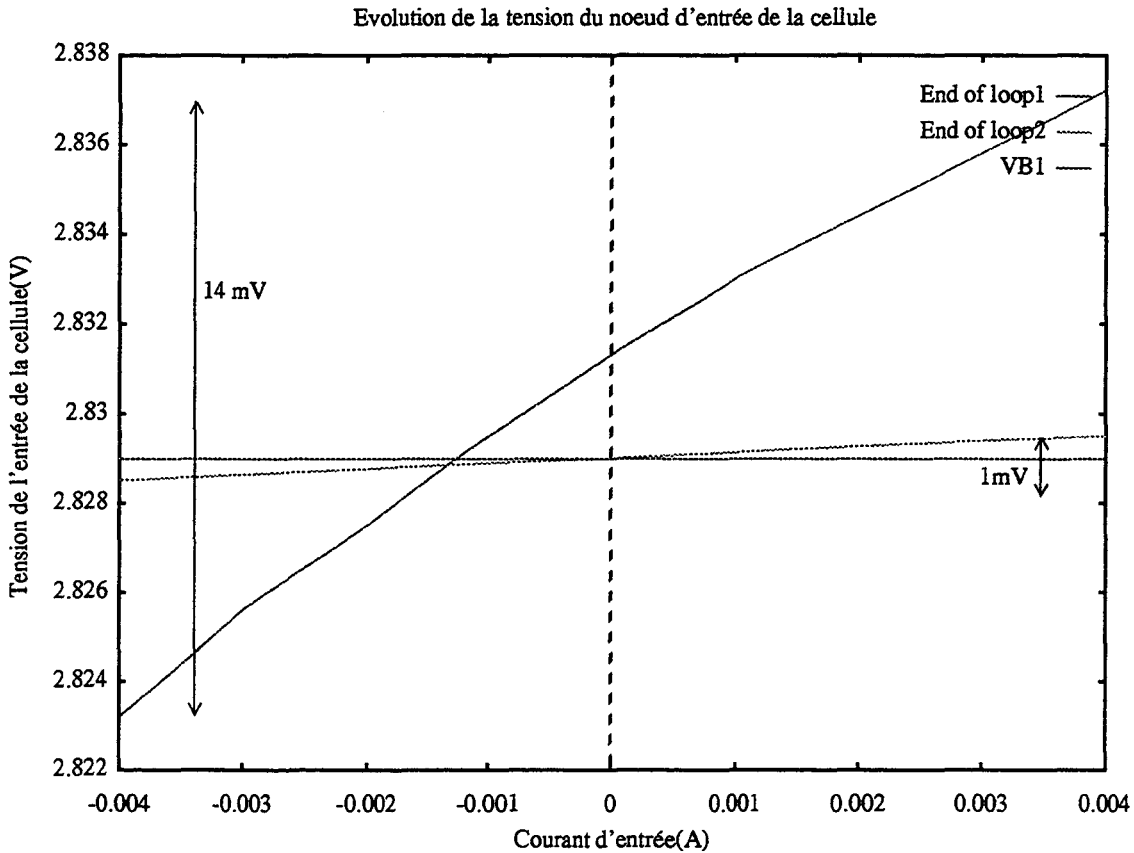


Fig 4.13 Variation du noeud asservi à VB1 en fonction du courant d'entrée (Lev28typ)

4.2.3 Etude de la cellule en transitoire

La simulation du fonctionnement en transitoire de la cellule permet de valider le choix des tailles des capacités et des transistors ainsi que la valeur des courants. La simulation de la cellule doit reproduire le fonctionnement normal de la cellule. Pour cela le schéma de simulation est identique à la topologie de test mise au point dans le chapitre 2 pour la caractérisation du circuit IMEMTEST.

La cellule sous test, CELL2, est précédée d'une autre cellule identique CELL1. Le chronogramme de commande des cellules est composé de trois parties:

- premièrement la CELL1 fait l'acquisition d'un courant fixe I_{in} . Seule la première boucle est réalisée car le courant mémorisé par la CELL1 ne doit pas être précisément I_{in} . A la fin de cette phase les noeuds de mémorisation de la CELL1 sont en haute impédance.
- deuxièmement la CELL2 fait l'acquisition du courant de sortie de la CELL1. Cette acquisition est faite de manière normale en deux boucles, la durée de la première boucle est T_{acq1} , celle de la seconde est T_{acq2} . Nous allons analyser le comportement transitoire de la CELL2 au cours de ces deux boucles.
- troisièmement les deux cellules sont en restitution vers une seule source de tension de valeur VB1. Le courant entrant dans la source de tension est le courant d'erreur de recopie de la CELL2.

Ce courant d'erreur tient compte de toutes les imperfections de la CELL2 excepté le

bruit échantillonné qui n'est pas pris en compte. L'injection de charge des interrupteurs d'échantillonnage, la conductance totale de sortie de la cellule, l'erreur d'établissement, les courants de fuite des interrupteurs.... toutes ces limitations sont modélisées.

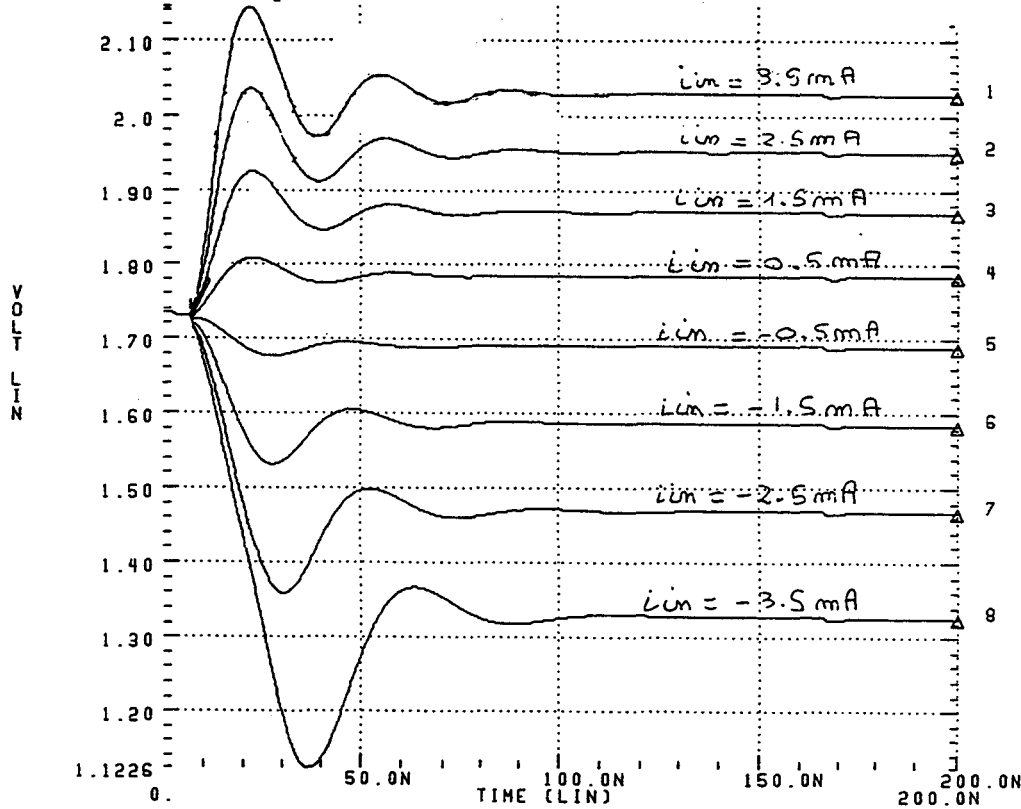


Fig 4.14 Evolution de la tension de mémorisation V_{gn} au cours de la première boucle

La simulation en transitoire de la cellule nécessite les deux circuits de polarisation pour générer les 5 tensions $VB1$, $VB2$, $VB3$, $VB4$ et VB_{reg} . Ces tensions sont stabilisées par des capacités de 30pF.

Une première simulation est faite en fixant $Tacq1$ et $Tacq2$ très grand en utilisant le modèle $Lev28typ$. L'évolution de la tension du noeud de mémorisation V_{gn} au cours de la première boucle est donné en Fig 4.14. Nous remarquons que la réponse est bien plus lente que ce qui est voulu, la constante de temps de l'enveloppe de la réponse est supérieure à 10ns puisqu'elle est de 27ns! Cette différence est essentiellement due à :

- La valeur de la capacité du noeud d'entrée de la cellule au cours de la première boucle qui est de 38.5pF au lieu de 22pF. Il ne fallait pas négliger la capacité parasite qui est élevée.
- La différence de potentiel aux bornes de l'interrupteur d'échantillonnage quoique faible est non négligeable. Son influence est de ralentir légèrement l'établissement de la cellule.

On remarque aussi que le début de la réponse est limité par le slew-rate pour un courant d'entrée de -3.5mA. Ce résultat était prévisible puisque le courant I_{breg} a été fixé pour éviter le slew rate dans le cas d'un courant d'entrée maximal de +/- $I_{bias}/2$ soit 2.5mA.

L'évolution de la tension de mémorisation V_{gp} est représentée en Fig 4.15. On remarque que l'amortissement de la tension V_{gp} est quasiment indépendant de la valeur du signal mémorisé par la cellule ce qui n'est pas le cas de la tension V_{gn} . En effet la seconde boucle sert à corriger l'erreur de la première qui est principalement due à l'offset du convoyeur et à l'erreur d'injection de charge.

La tension V_{gp} subit un pic d'à peu près 10mV pour se stabiliser rapidement, à 80 ns du début de la boucle l'oscillation a une amplitude de l'ordre de 0.1mV par rapport à sa valeur finale. Nous pourrions augmenter la taille de l'interrupteur d'échantillonnage PMOS et ainsi accélérer la stabilisation de V_{gp} . Mais cela aurait pour conséquence d'augmenter la charge injectée à l'échantillonnage.

La même simulation a été réalisée avec les modèles ELDO Lev15, elle donne sensiblement des résultats identiques.

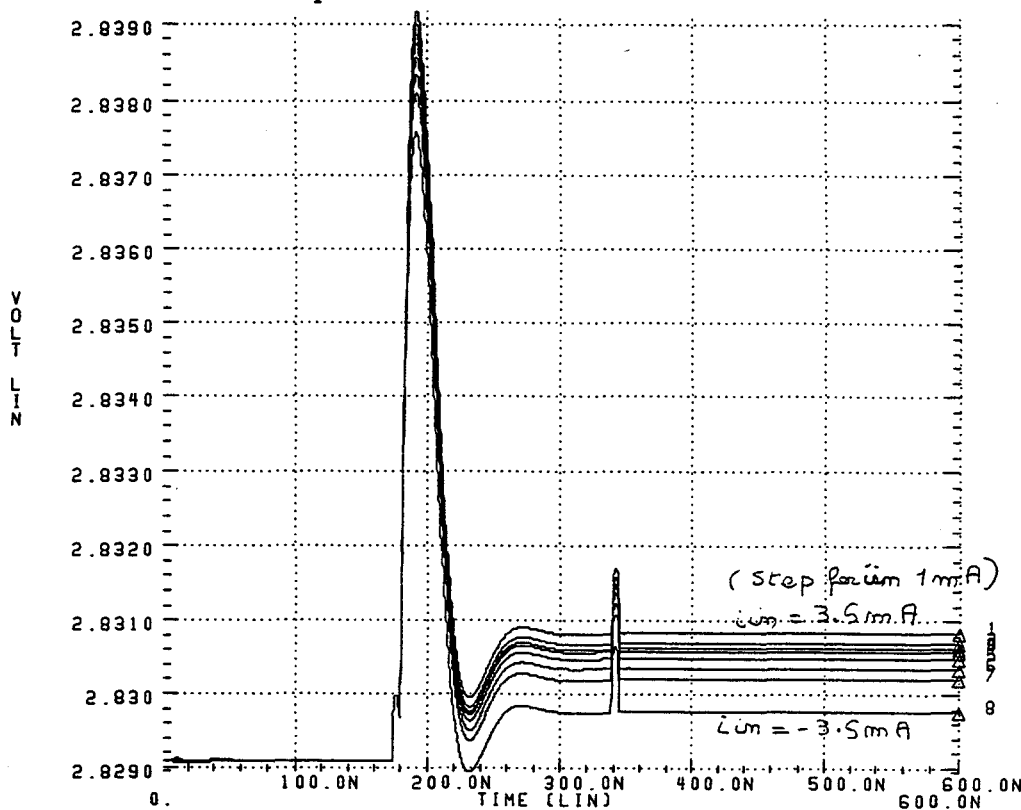


Fig 4.15 Evolution de la tension de mémorisation V_{gp} au cours de la seconde boucle

Afin de diminuer la constante de temps de la réponse au cours de la première boucle, nous avons baissé la valeur de la capacité additionnelle C_d sur le noeud d'entrée du convoyeur. Une capacité de 5pF en s'additionnant avec la capacité parasite donne une valeur totale de 22pF, valeur choisie lors du calcul du courant I_{breg} . La taille de l'interrupteur NMOS d'échantillonnage a été légèrement augmentée afin de rendre son influence sur l'établissement de V_{gn} plus négligeable.

D'autre part la limitation de la réponse de la cellule suite au slew-rate pour un courant d'entrée de -3.5mA a été évitée en augmentant sensiblement la valeur du courant I_{breg} de polarisation du convoyeur. Nous avons fixé I_{breg} à 1.5 mA et donc redimensionné en conséquence les tailles des transistors du convoyeur. Les rapports W/L de l'équation (4.14) ont été gardés mais nous avons mis 3 transistors identiques en parallèle au lieu de 2.

La Fig 4.16 donne l'erreur de recopie de la CELL2 obtenue pour une durée des deux boucles (T_{acq1} et T_{acq2}) très grande soit 160ns et pour une durée de 80ns. Cette simulation a été faite avec le modèle Lev28typ.

Pour un temps d'acquisition de 160ns par boucle, l'erreur de recopie est assez faible, puisqu'elle est encore de 1 pour 200000, on dénote aussi un offset de -150nA du à l'injection de charge de l'interrupteur de la seconde boucle. Dans le cas où T_{acq1} et T_{acq2} sont fixés à 80ns, l'erreur est plus élevée, 1 pour 50000! La cellule a tout juste le temps de s'établir.

L'offset est quasiment nul dans ce cas. Cette variation de l'offset provient du fait que la stabilisation lors de la seconde boucle est indépendante de la valeur du courant d'entrée, donc une diminution de la durée de la seconde boucle va introduire une erreur constante qui est vue comme un offset.

En utilisant les modèles ELDO nous avons été gênés par des problèmes de précision sur les valeurs des courants, l'erreur de recopie a un tracé erratique qui n'est pas relié à la valeur du courant d'entrée mais qui ressemble plus à un bruit de calcul numérique. L'erreur de recopie, quand le courant d'entrée varie, est comprise dans un intervalle large de 700nA, ce qui donnerait une erreur de 1 pour 10000. L'erreur obtenue avec ces modèles est en fait inférieure puisqu'elle est cachée derrière un bruit numérique.

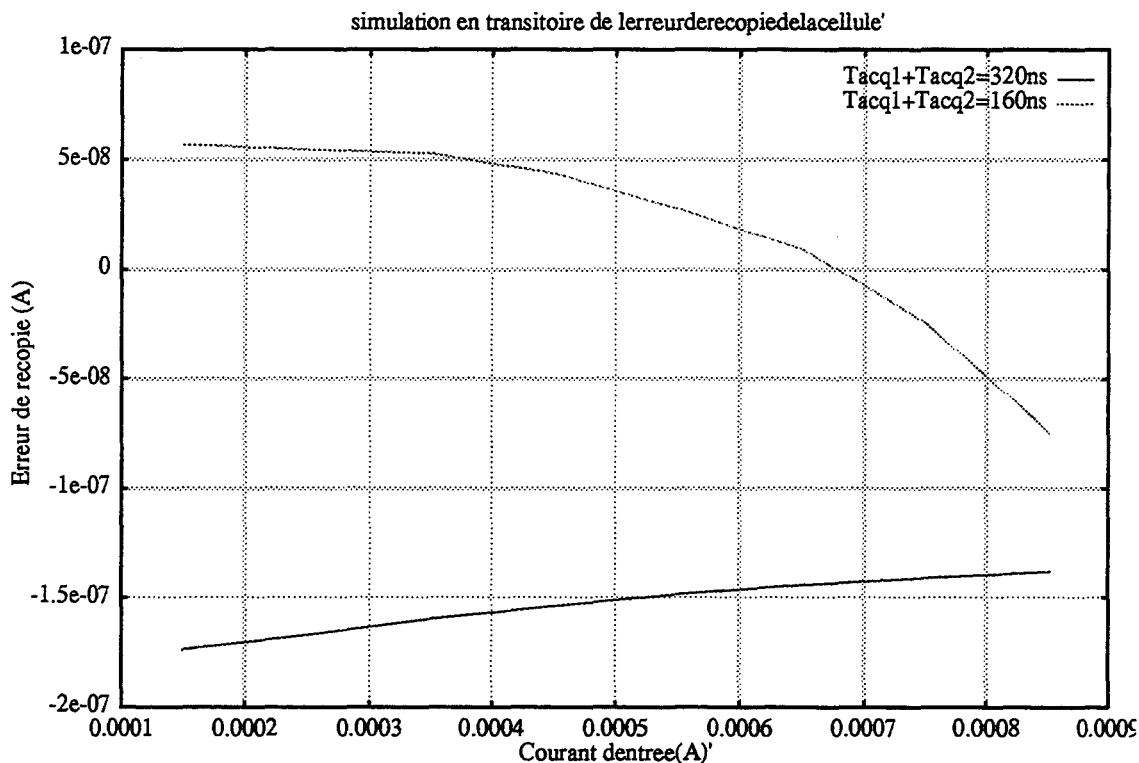


Fig 4.16 Erreur de recopie de la cellule pour un temps d'acquisition de 160ns et 320ns.

En conclusion, la cellule double boucle cascodée peut fonctionner avec un temps d'acquisition Tacq1+Tacq2 de 160ns. Le précision de recopie pour le modèle Lev28typ est de l'ordre de 1/50000. Cette simulation valide la potentialité de la cellule en terme de précision.

4.2.4 Bruit de la cellule

Le courant de polarisation et la valeur de la capacité Cgp ont été fixés à permettre un rapport puissance du signal sur puissance du bruit blanc échantillonné de 98dB. Nous avons simulé avec HSPICE la densité spectrale de bruit sur la capacité Cgp lors de la seconde boucle avant l'échantillonnage. Pour cela nous avons simulé le premier intégrateur du modulateur M.A.S.H.21 en fin de seconde boucle, ce qui consiste en l'interconnection de 2 cellules en acquisition du courant de sortie de 2 autres cellules.

La densité spectrale de bruit en tension sur le noeud Vgp est représenté en Fig 4.17. La bande passante du bruit BW_N est de 8Mhz. La puissance du bruit échantillonné $P_N[Vgn]$ est donc de $3.4 \cdot 10^{-11} V^2$. Ce bruit est échantillonné, la puissance de bruit dans la bande de base est

obtenue en divisant la puissance totale par le rapport de suréchantillonnage (cf Chapitre 3). Le rapport signal à bruit est donc égal à:

$$(S/B)^2 = \frac{P_{sig}}{P_N} = \frac{(I_{ref}/2)^2/2}{(P_N[V_{gn}] \cdot g_{mp}^2)/OSR} = \frac{I_{bias}^2 \cdot OSR}{8 \cdot g_{mp}^2 \cdot P_N[V_{gn}]} \quad (4.15)$$

Le rapport de suréchantillonnage OSR est de 128, I_{bias} vaut 5 mA et la transconductance du transistor M_{mp} est égale à $20 \cdot 10^{-3}$ A/V. Nous obtenons donc un rapport signal à bruit en bande utile de 86000 ce qui correspond à une précision de 16 bits.

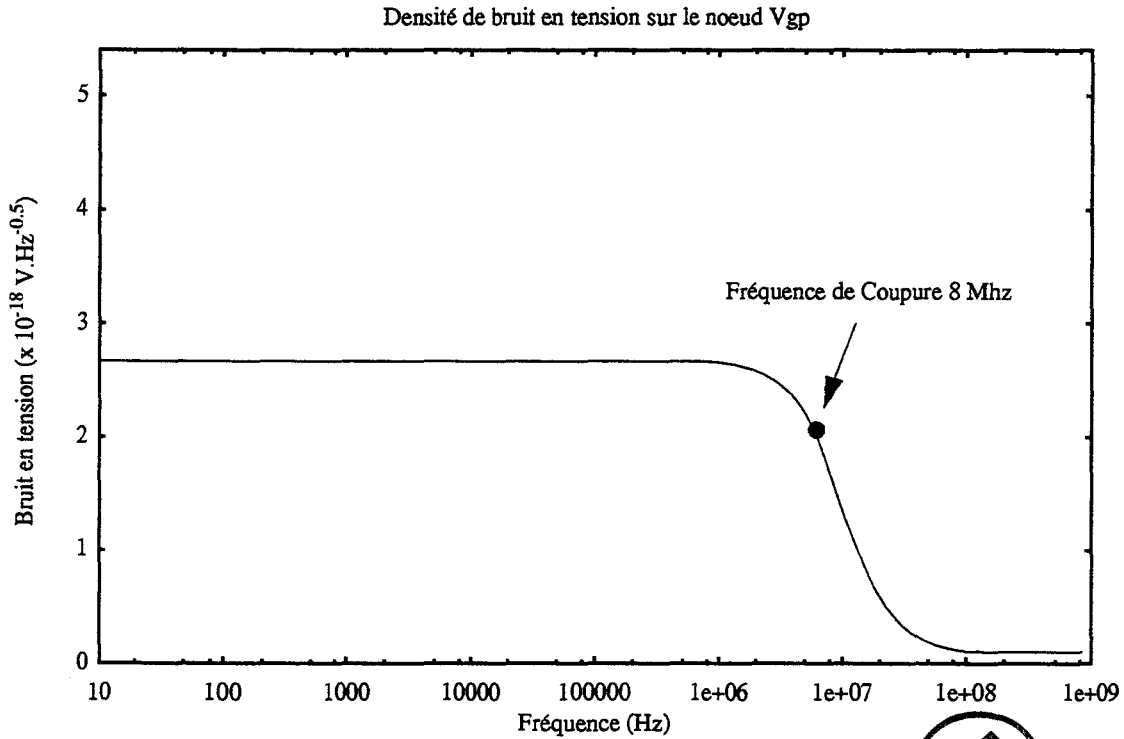


Fig 4.17 Bruit en tension sur le noeud Vgp



4.2.5 Conversion tension-courant

Cette cellule semble idéale pour la forte précision, en effet elle permet une précision de recopie et un rapport signal à bruit élevés. Cependant il reste un problème non-résolu qui est la conversion tension-courant à l'entrée du modulateur. En tirant profit d'une caractéristique de la cellule il est possible de réaliser facilement une conversion précise. Nous avons vu que la tension d'entrée de la cellule est asservi autour de la tension de polarisation V_{B1} . Le noeud d'entrée à une variation de l'ordre de 15mV sur toute la dynamique d'entrée en fin de première boucle. La variation est encore plus faible en fin de seconde boucle puisqu'elle est inférieure au millivolt. La manière la plus simple de faire une conversion tension-courant est d'utiliser une résistance externe au circuit dont l'un des terminaux est connecté à la tension V_{in} d'entrée du convertisseur, l'autre terminal est alors connecté au noeud d'entrée commun aux deux cellules formant le premier intégrateur (cf Fig 4.18). Comme ce noeud est très précisément asservi à la tension V_{B1} en fin de seconde boucle, c'est à dire au moment où l'on échantillonne le signal, le courant d'entrée est déterminé par la relation suivante:

$$I_{in} = \frac{V_{in} - V_{B1}}{R_{conv}} \quad (4.16)$$

L'erreur de recopie d'une cellule recevant son courant d'entrée par ce type de conversion tension-courant, a été simulé en transitoire. La simulation est divisée en deux étapes:

- en premier, la cellule fait l'acquisition du courant d'entrée obtenu par conversion tension-courant.
- en second, la cellule restitue ce courant mémorisé sur une source de tension fixée à VB1.

L'erreur de recopie est ensuite obtenue en faisant la différence entre le courant lu en sortie et le courant théorique d'entrée obtenu par la relation (4.16). L'erreur de recopie mesurée est de 1 pour 6000 pour une résistance de conversion de 1.5 Kohm et 1/12000 pour une résistance de 3 Kohm. Cette simulation a été réalisée avec le modèle Lev28typ et les modèles Lev15 dans le cas d'une résistance de 1.5 Kohm, le modèle Lev28typ seul a été utilisé avec la résistance de 3 Kohm vu les problèmes de précision du simulateur ELDO pour une erreur plus faible.

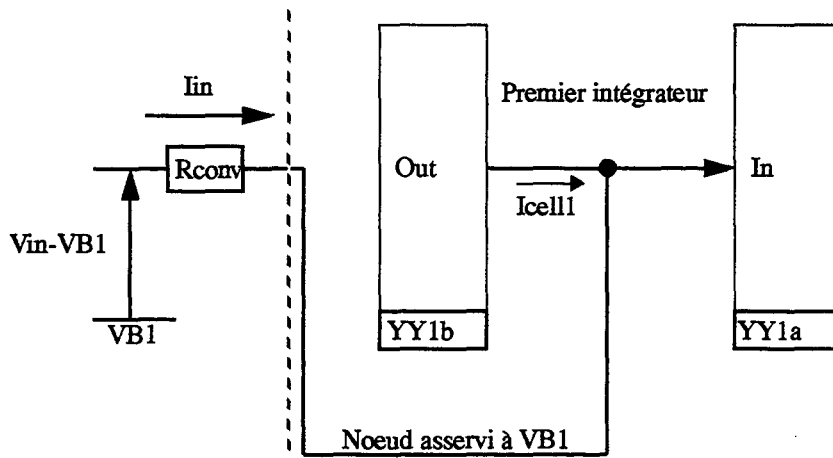


Fig 4.18 Conversion tension-courant à l'entrée du convertisseur M.A.S.H.21

La précision de la conversion tension-courant est plus faible que celle de la cellule seule, par contre elle augmente avec la valeur de la résistance de conversion. La valeur maximale possible de la résistance de conversion est limitée par la dynamique d'entrée du signal en tension V_{in} . Pour une résistance de 1.5 Kohm, le courant d'entrée maximal de la cellule est de 1.2mA soit à peu près $I_{ref}/2$, pour une résistance de 3 Kohm le courant maximal est de 0.6 mA, $I_{ref}/4$. Le courant maximal admissible par le modulateur avant saturation est de $I_{ref}/2$ (cf chapitre3), la résistance de 1.5 Kohm permet un tel courant d'entrée. La précision de conversion est cependant trop faible avec cette résistance. Nous verrons dans le chapitre suivant que l'implémentation du modulateur M.A.S.H.21 permet l'utilisation d'une résistance de conversion de 3 Kohm sans perdre 6 dB de rapport signal à bruit.

Les caractéristiques de la cellule décrite dans ce chapitre sont donc toutes en concordance avec les besoins en terme de précision du modulateur sigma-delta M.A.S.H.21. Le chapitre suivant présente la réalisation du modulateur, la validation de sa précision à l'aide du simulateur de circuits à courant commuté. Le test de ce circuit fera l'objet du dernier chapitre de la thèse.

4.3 Références

- [1] "A Switched-Current Technique for High Performance"
J. B. Hughes and K. W. Moulding
Electronics Letters 5th August 1993 Vol. 29 No. 16 pp. 1400-1401

- [2] "Regulated Cascode Switched-Current Memory Cell"
C. Toumazou, J. B. Hughes and D. M. Pattulo
Electronics Letters 1st March 1990 Vol. 26 No. 5 pp. 303-305

- [3] Règles de design du process CYB 0.8 μ m, Austria Mikro Structures (AMS).
Caractéristiques des transistors
Modèle analogique pour le simulateur ELDO: Level 15

- [4] «User's Guide» HSPICE version h93a, Meta Software
Modélisation du transistor MOS.
Modèle BSIM1 modifié: Level 28

- [5] "BSIM: Berkeley Short-Channel IGFET Model for MOS Transistors"
B.J. Sheu, D. L. Scharfetter, P. K. Ko and M. C. Jeng
IEEE Journal of Solid State Circuits, Vol. SC-22, No. 4 August 1987 pp. 558-566

- [6] "Evaluation of Deep Submicron Models for MOS Design"
R. Liu, A. Kooij and H. Aoki
1st Combined European Hewlett Packard HP 4062 & IC-CAP User-Meeting
October 10 1994.

Chapitre 5

Réalisation d'un modulateur sigma-delta cascadié de type M.A.S.H.21

Un exemple de convertisseur sigma-delta à base de cellules à mémoire de courant est présenté dans ce chapitre. Ce convertisseur est de type M.A.S.H.21, il a été étudié dans le but d'atteindre une précision de 16 bits. Nous expliquons la synthèse des différents blocs qui le composent ainsi que les simulations qui ont été faites. Un schéma complet du convertisseur est donné en annexe.

La réalisation concrète d'un convertisseur sigma-delta de haute précision est présentée dans ce chapitre. Le modulateur est composé d'un convertisseur sigma-delta du second ordre cascadié avec un convertisseur du premier ordre. L'élément de base est la cellule à mémoire de courant proposée dans le chapitre 4, la structure du convertisseur est adapté au mode courant, soit un modulateur cascadié de type M.A.S.H.21 identique à celui présenté dans le Chapitre 3.

Après une présentation du schéma du convertisseur et de la solution retenue pour la comparaison ainsi que les références de courant, nous commenterons les principales simulations qui ont été réalisées. Enfin l'implémentation physique du circuit et le layout du composant seront présentés à la fin de ce chapitre. Le circuit a été réalisé, le Chapitre 6 présente les résultats de mesures qui ont été faits à ce jour sur le circuit.

5.1 Modulateur réalisé

Nous avons réalisé un circuit comportant deux modulateurs identiques à celui présenté dans le chapitre 3 mais dimensionnés de moitié. L'un reçoit le signal d'entrée tandis que l'autre modulateur reçoit l'inverse de ce signal (Fig 5.1). Les modulateurs MOD1 et MOD2 fonctionnent de manière synchrone. De ce fait les deux entrées inverses du circuit seront lues simultanément par l'un des deux convertisseurs. Pour obtenir la précision voulue, il faut soustraire la sortie de ces deux modulateurs, le circuit est alors vu de l'extérieur comme un modulateur unique.

Le diagramme du convertisseur M.A.S.H.21 comprends 2 entrées de signe inverse qui sont successivement échantillonnées. Cette structure malgré les apparences est non différentielle puisque la mémoire de courant ne possède qu'une seule entrée. De ce fait le modulateur risque d'être plus sensible au bruit sur les alimentations ainsi qu'à toutes les perturbations dans le circuit.

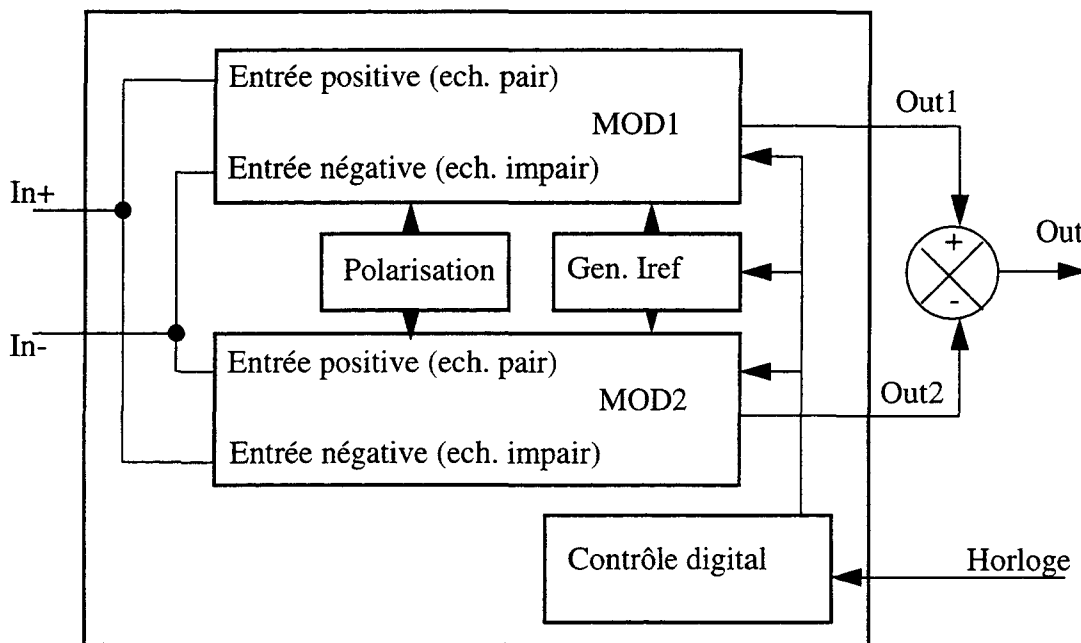


Fig 5.1 Diagramme du circuit réalisé

Dans le circuit r alis , une perturbation commune aux deux modulateurs causera une erreur identique qui sera  limin e dans la soustraction faite en sortie du circuit.

5.1.1 Sch ma du modulateur

Le sch ma fonctionnel d'un des deux modulateurs est pr sent  en Fig 5.2. Il est directement d riv  du modulateur pr sent  au Chapitre 3 (cf Fig3.26). Le courant de polarisation des cellules est indiqu , la valeur de ce courant a  t  diminu e par deux puisqu'il y a deux modulateurs fonctionnant en parall le dans le circuit. La valeur du courant de r f rence a aussi  t  divis e par deux ce qui donne I_{ref}  gal   1.25 mA. Le facteur de division a_0 interne au modulateur est fix    0.1, cette valeur sera valid e par la simulation du modulateur. Les deux bits m_1 et m_2 sont les sorties du modulateur, la recombinaison num rique des sorties sera fait   l'ext rieur du circuit.

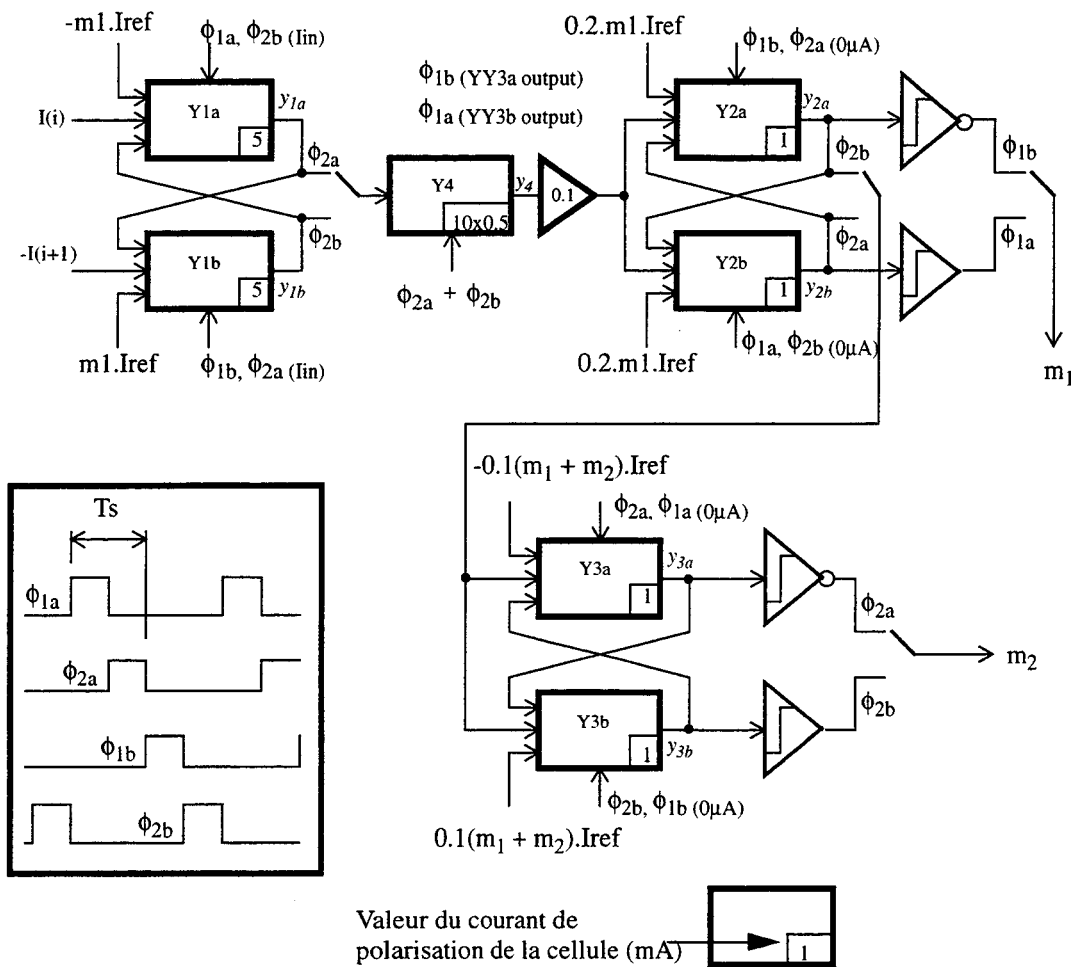


Fig 5.2 Sch ma fonctionnel d'un des deux modulateurs composant le circuit

Toutes les phases d'acquisition de chaque cellule sont indiqu es. En effet le sch ma du chapitre 3 pr cisait seulement les phases d'acquisition utiles au fonctionnement du modulateur. Dans ce sch ma les phases d'acquisitions factices sont indiqu es, elles correspondent   des acquisitions faites par les cellules mais qui sont inutiles au fonctionnement du modulateur. Lors de cette acquisition le courant d'entr e importe peu car   la phase suivante, la cellule refera l'acquisition d'un autre courant utile au fonctionnement du modulateur. En faisant une

acquisition factice, on évite une désaturation de la cellule qui arriverait dans le cas où la cellule n'est ni en acquisition ni en restitution. Dans le schéma, une parenthèse suivant une phase indique que l'acquisition est factice, la valeur du courant d'entrée est indiquée dans la parenthèse. Par exemple la cellule YY3a fait une acquisition factice d'un courant nul au cours de la phase Φ_{1a} , elle fera une acquisition normale au cours de la phase suivante Φ_{2a} . Ces acquisitions factices permettent à toutes les cellules d'être occupées à chacune des quatre phases.

Le modulateur contient plusieurs amplificateurs de régulation (cf schéma complet du modulateur en Annexe). Vu le timing de fonctionnement du modulateur, un amplificateur de nom «Reg1» est affecté aux cellules YY1a et YY1b, un amplificateur «Reg2» est affecté à la cellule YY4, un amplificateur «reg1» est affecté aux deux cellules YY2 et l'amplificateur «reg2» sert les cellules YY3. Le courant de polarisation des deux premiers est de 1.5mA, celui des deux autres est fixé à 0.5mA.

Le générateur de courant de référence doit fournir deux valeurs de courant, 1.25mA et 0.25mA. La première valeur est rebouclée positivement ou négativement sur le premier intégrateur. La seconde valeur est rebouclée de même sur le second et le troisième intégrateur.

La division par 10 du courant de sortie de la cellule YY4 est obtenu de la manière suivante: la cellule YY4 est en fait la mise en parallèle de 10 cellules identiques de courant de polarisation 0.5mA. Lors de la phase d'acquisition les dix cellules sont actives, tandis que seulement une cellule fait la restitution du courant mémorisé. On a donc une division du courant d'un facteur 10 mais qui est dépendante du matching entre les cellules. Lors des simulations de la structure M.A.S.H.21 nous avons vu que ce facteur de division devait être précis à quelques centièmes près. Ceci est réalisable si l'on fait un effort de placement des 10 cellules au cours du layout de la cellule YY4.

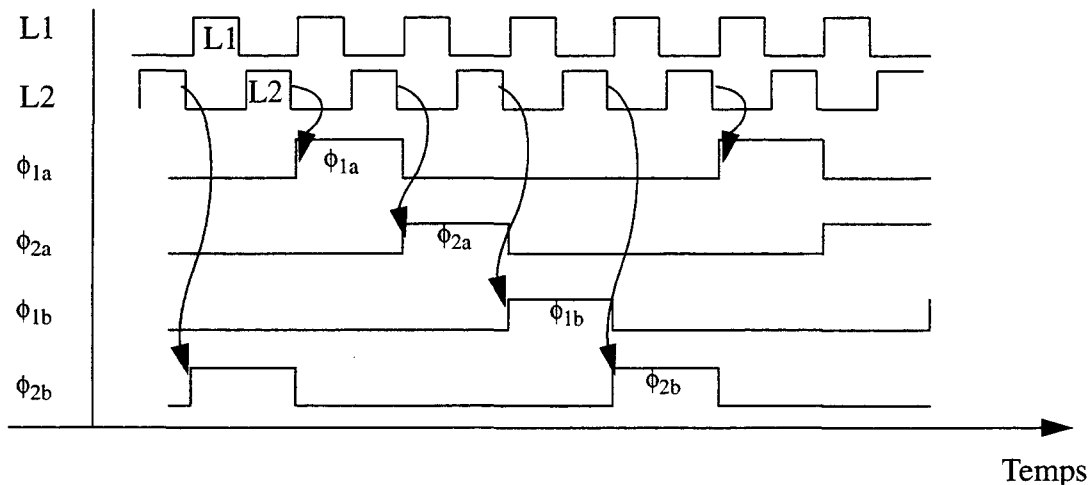


Fig 5.3 Chronogramme des horloges dirigeant le circuit

Le fonctionnement du modulateur sera cadencé par six signaux d'horloge (cf Fig 5.3):

- Les signaux L1 et L2 sont deux horloges fortement non-recouvrantes indiquant la durée de la première boucle et de la seconde boucle de l'acquisition. Le moment où leur transition arrive est très important car ils vont commander le début et la fin de la première et de la seconde acquisition. La transition descendante du signal L2 est prise comme référence car elle indique le moment où le signal est

échantillonné. Ces deux signaux vont commander les interrupteurs d'échantillonnages des cellules, en fonction de la phase de fonctionnement dans laquelle se trouve le circuit (cf Fig 5.4). Il est important que le chemin logique entre le signal et l'interrupteur soit minimal pour éviter tout jitter.

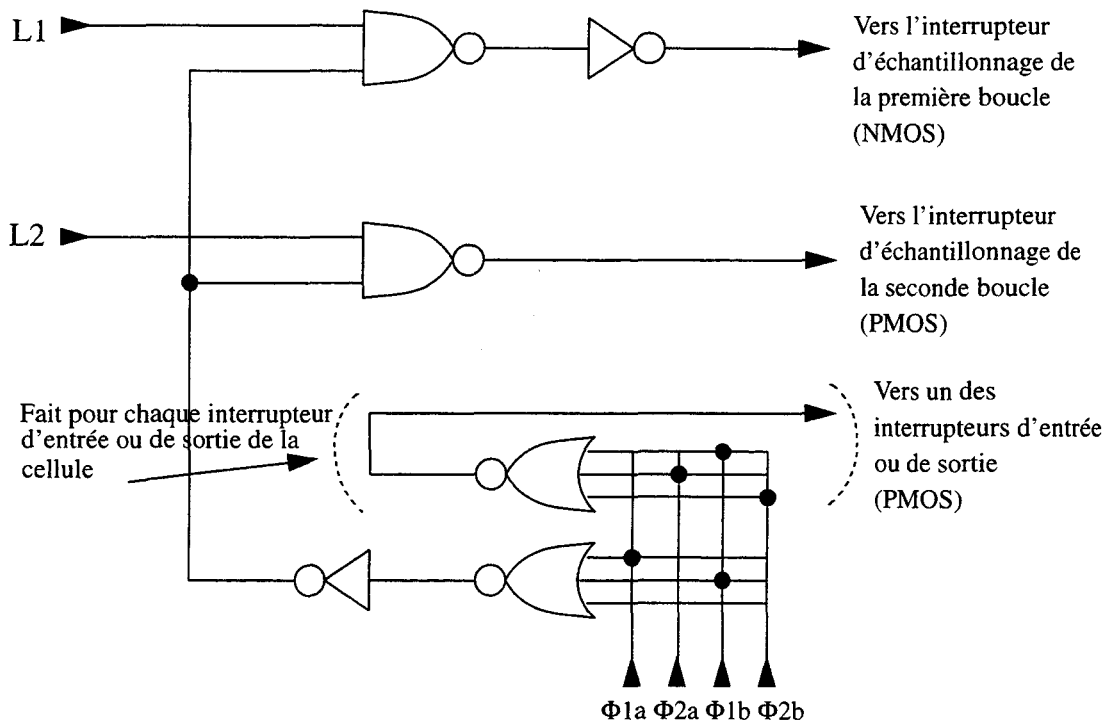


Fig 5.4 Commande des interrupteurs de la cellule

- Les signaux $\Phi_{1a}, \Phi_{2a}, \Phi_{1b}, \Phi_{2b}$ indiquent la phase de fonctionnement dans laquelle se trouve le circuit. Ils sont utilisés pour la commande des interrupteurs d'entrée et de sortie des cellules, des références et des amplificateurs. Le moment où leur transition arrive est moins important. Il faut garantir qu'ils sont valides quand L1 ou L2 sont actifs.

Le schéma détaillé du circuit complet est donné en Annexe de ce chapitre. Il correspond à la réalisation cablée du schéma fonctionnel de la Fig 5.2. La cellule utilisée dans ce circuit est celle dont l'étude est décrite dans le chapitre 4, il en est de même pour l'amplificateur d'asservissement et les deux circuits de polarisation BIAS et BIASR. Le principe du comparateur utilisé ainsi que le principe de génération des courants de référence sont présentés dans les paragraphes suivants.

5.1.2 Fonctionnement du comparateur

Entre chaque échantillonnage, le modulateur doit réaliser deux comparaisons pour fixer la valeur des deux sorties m_1 et m_2 . Le signal m_1 provient de la comparaison du courant de sortie des cellules YY2, le signal m_2 est la comparaison de la sortie des cellules YY3. Suivant la parité de l'échantillonnage (phases Φ_{xa} ou Φ_{xb}), l'une des deux cellule YY2 (respectivement l'une des deux cellules YY3) est comparée. Sur le schéma de la Fig 5.2 il y a quatre comparateurs, nous en avons implémenté deux seulement, un à la sortie des cellules YY2 et un à la sortie des cellules YY3. Suivant la parité de l'échantillonnage nous inversons ou non la décision de la comparaison (par exemple la décision du comparateur à la sortie des

cellules YY2 sera inversé en phase $\Phi 1b$).

Comme on peut le voir sur ce schéma, la comparaison de la cellule est réalisé en même temps que l'acquisition du courant à comparer, la cellule YY2a a son acquisition et sa comparaison au cours de la phase $\Phi 2a$. L'utilisation d'un comparateur de tension à rendu possible ces deux actions simultanées. En effet, nous avons vu par simulation que la précision de la comparaison avait très peu d'impact sur les performances du modulateur, nous avons donc décidé d'utiliser la tension de mémorisation Vgn de la cellule en fin de première boucle pour faire la comparaison. Cette tension de mémorisation est dépendante de la valeur du courant d'entrée de la cellule au cours de la phase d'acquisition. En la comparant à la tension de mémorisation correspondante à un courant d'entrée nul, on peut donc savoir si le courant d'entrée de la cellule est positif ou négatif et donc faire la comparaison voulue. La comparaison peut donc se dérouler au cours de la seconde boucle de l'acquisition et le résultat est disponible au début de la phase suivant la phase d'acquisition de la cellule.

La Fig 5.5 explique le principe de la comparaison. Pour prendre la décision, il faut connaître la valeur de la tension de mémorisation correspondante à un courant d'entrée nul. Cette valeur est disponible à la fin de la première boucle de la phase précédente puisque chacune des quatre cellules fait une acquisition factice d'un courant nul.

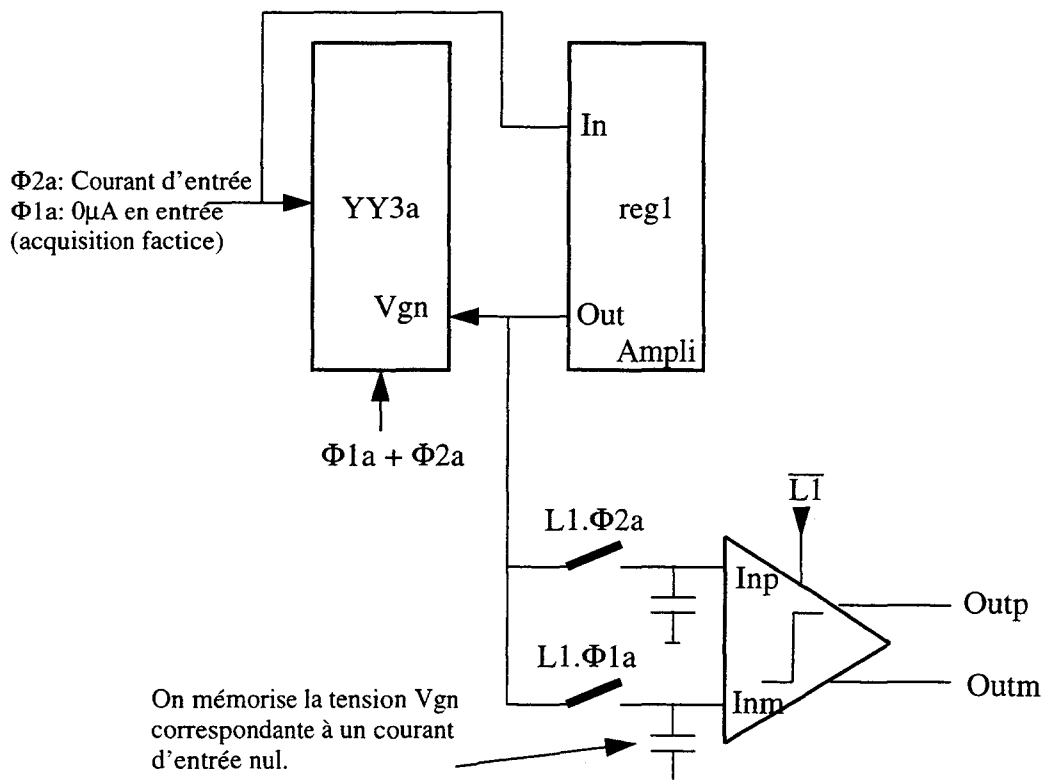


Fig 5.5 Principe de la comparaison (Exemple de la cellule YY3a).

Le comparateur utilisé est un bistable qui est forcé dans l'état métastable quand L1 vaut «1» et ensuite bascule vers l'un des deux états stables en fonction de la différence de potentiel entre les deux entrées Inp et Inm. Le schéma électrique du comparateur est donné en Fig 5.6.

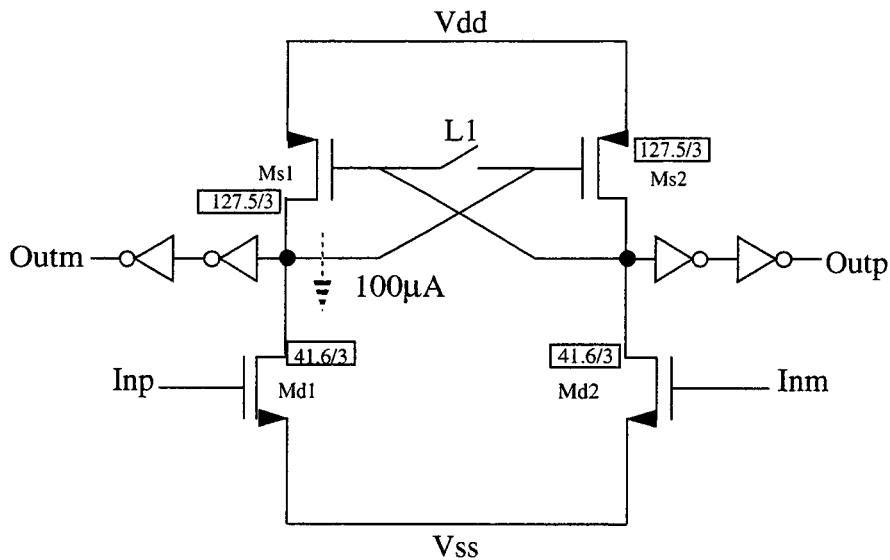


Fig 5.6 Schéma électrique du comparateur utilisé

Comme les entrées des comparateurs seront centrées autour de la tension de mémorisation V_{gn} correspondant à un courant d'acquisition nul, les tailles des transistors Md1 et Md2 sont calculées à partir de la taille du transistor mémoire NMOS de la cellule à mémoire de courant. Les tailles des transistors Ms1 et Ms2 sont dérivées de la taille du transistor mémoire PMOS de la cellule.

5.1.3 Génération des courants de référence

Le courant de référence utilisé pour les cellules à fort courant de polarisation (premier intégrateur) est égal à I_{ref} soit 1.25mA. La référence pour les cellules du second et du troisième intégrateur est de $(2 \times I_{ref})/10$ soit 0.25mA. En fonction de la décision prise par les comparateurs, on doit générer ces valeurs en courant positif ou négatif.

On désire pouvoir faire fonctionner le circuit avec 2 autres valeurs de courant de référence:

- $I_{ref}/2$ soit 0.625mA pour le premier intégrateur et $I_{ref}/10$ (0.125mA) pour le second et le troisième intégrateur.
- $3I_{ref}/2$ soit 1.875mA pour le premier intégrateur et $(3 \times I_{ref})/10$ (0.375mA) pour le second et le troisième intégrateur.

Le générateur de courant de référence doit fournir les courants de rebouclage pour les deux modulateurs du circuit. Il doit fournir tous ces courants à partir d'une seule source de courant externe.

La Fig 5.7 explique la structure du générateur de référence. Nous avons créé 3 sous-circuits:

- «dump» est un sous-circuit qui a pour rôle d'absorber le courant I_{ref} quand «Ref1» et «Ref2» ne se calibrent pas. Ce circuit contient un transistor cascodé monté en diode.
- «Ref1» et «Ref2» génèrent les courants de référence pour les deux modulateurs du second ordre, ils «lisent» le courant I_{ref} pour se calibrer.

- «ref1» et «ref2» génèrent les courants de référence pour les deux modulateurs du premier ordre, ils utilisent la tension de grille du circuit «dump» pour faire leur calibration.

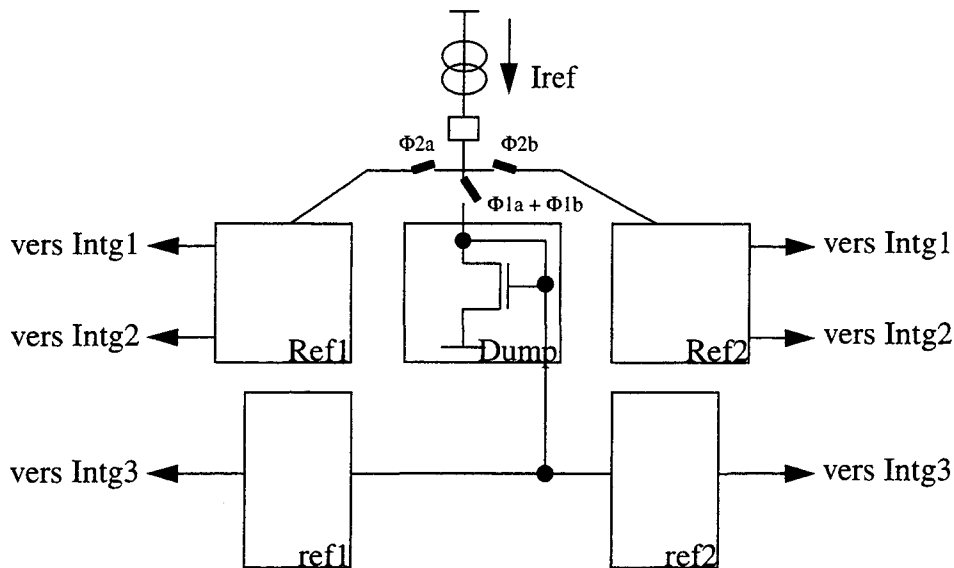


Fig 5.7 Structure du générateur de référence

Le principe de la génération du courant de rebouclage I_{ref} consiste à mémoriser le courant externe sur une mémoire de courant NMOS ne possédant pas de source de polarisation (cf Fig 5.8). Ceci est fait au cours de la première boucle («L1») quand la référence est en calibration. Au cours de la seconde boucle de calibration une mémoire PMOS ne possédant pas de source de polarisation lit le courant de sortie de la mémoire NMOS. De ce fait on a créé deux courants de signe contraire et de valeur absolue égale. Au moyen de deux interrupteurs on peut donc choisir de reboucler $+I_{ref}$ ou $-I_{ref}$ vers le premier intégrateur.

Pour générer le courant de rebouclage du second intégrateur, on utilise les courants mémorisés par la mémoire NMOS et la mémoire PMOS (cf Fig 5.8 et schéma en annexe). Au moyen d'un miroir de courant dans chacune des deux mémoires, nous créons deux courants de signe contraire et de valeur $(2 \times I_{ref})/10$.

Le courant de rebouclage du troisième intégrateur ne peut être généré de manière identique à celui du second intégrateur, en effet il doit être disponible au moment où les sous-circuits Ref1 ou Ref2 sont en phase de calibration. En formant un miroir de courant dynamique avec le circuit «dump» nous générons et mémorisons le courant de rebouclage négatif de valeur $2I_{ref}/10$ (cf Fig 5.9). Ceci est réalisé durant la première boucle de calibration des sous-circuits ref1 et ref2. Le courant de rebouclage positif est mémorisé sur une mémoire PMOS au cours de la seconde boucle de la phase de calibration.

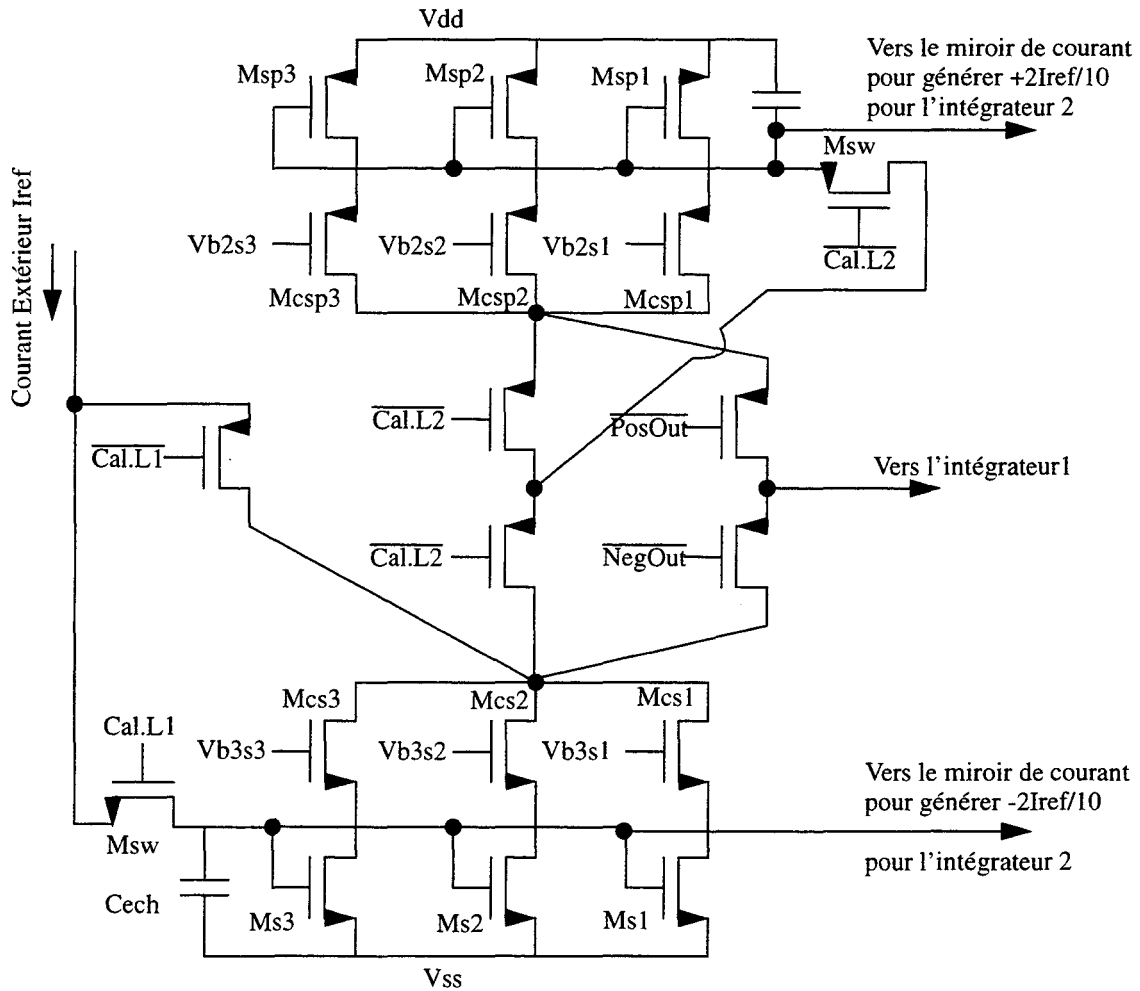
Pour pouvoir changer la valeur du courant de référence I_{ref} à $I_{ref}/2$ ou $3I_{ref}/2$ sans modifier le point de polarisation des mémoires NMOS et PMOS des sous-circuits Ref1, Ref2, ref1 et ref2, nous avons utilisé trois transistors cascodés en parallèle dans les mémoires et les miroirs (cf Fig 5.8). Ceci permet de moduler la taille des transistors mémoire en coupant un ou deux des trois transistors cascodés. On obtient donc trois modes de fonctionnement du circuit générateur de courant de rebouclage:

- Mode 1, les trois transistors cascodés sont actifs et permettent aux trois

transistors en parallèle de conduire. Ce mode est utilisé pour I_{ref} égal à 1.875mA.

- Mode 2, deux des trois transistors cascades sont actifs, le courant de référence I_{ref} est égal à 1.25mA.

- Mode 3, un des trois transistors cascades est actif, le courant de référence I_{ref} est égal à 0.625mA.



	Mode1	Mode2	Mode3		Mode1	Mode2	Mode3
Vb3s3	Gnd	Gnd	Vb3	Vb2s3	Gnd	Gnd	Vb2
Vb3s2	Gnd	Vb3	Vb3	Vb2s2	Gnd	Vb2	Vb2
Vb3s1	Vb3	Vb3	Vb3	Vb2s1	Vb2	Vb2	Vb2

Vb3 (Vb2) est la tension de bias permettant la bonne polarisation du cascode NMOS (PMOS).

Fig 5.8 Principe de la génération des courants de rebouclage de Ref1 et Ref2.

L'utilisation de ce générateur de courant de référence est synchrone avec celle du circuit, nous avons mis au point un cycle de calibration des quatre sous-circuits garantissant une calibration toutes les quatre phases. La Table 5.1 explique l'état de fonctionnement du générateur pour chacune des phases, lorsque une des sorties n'est pas utilisée par le convertisseur, nous connectons la source de courant positif à la source de courant négatif pour

éviter toute désaturation des transistors.

Phase	Ref1 (modul. no 1)	Ref2 (modul. no 2)	ref1 et ref2
$\Phi 1a$	vers YY1a et YY2b	vers YY1a et YY2b	inutilisée
$\Phi 2a$	Calibration	inutilisée	vers YY3a
$\Phi 1b$	vers YY1b et YY2a	vers YY1b et YY2a	Calibration
$\Phi 2b$	inutilisée	Calibration	vers YY3b

Table 5.1 Occupation des sous-circuits «Ref» et «ref»

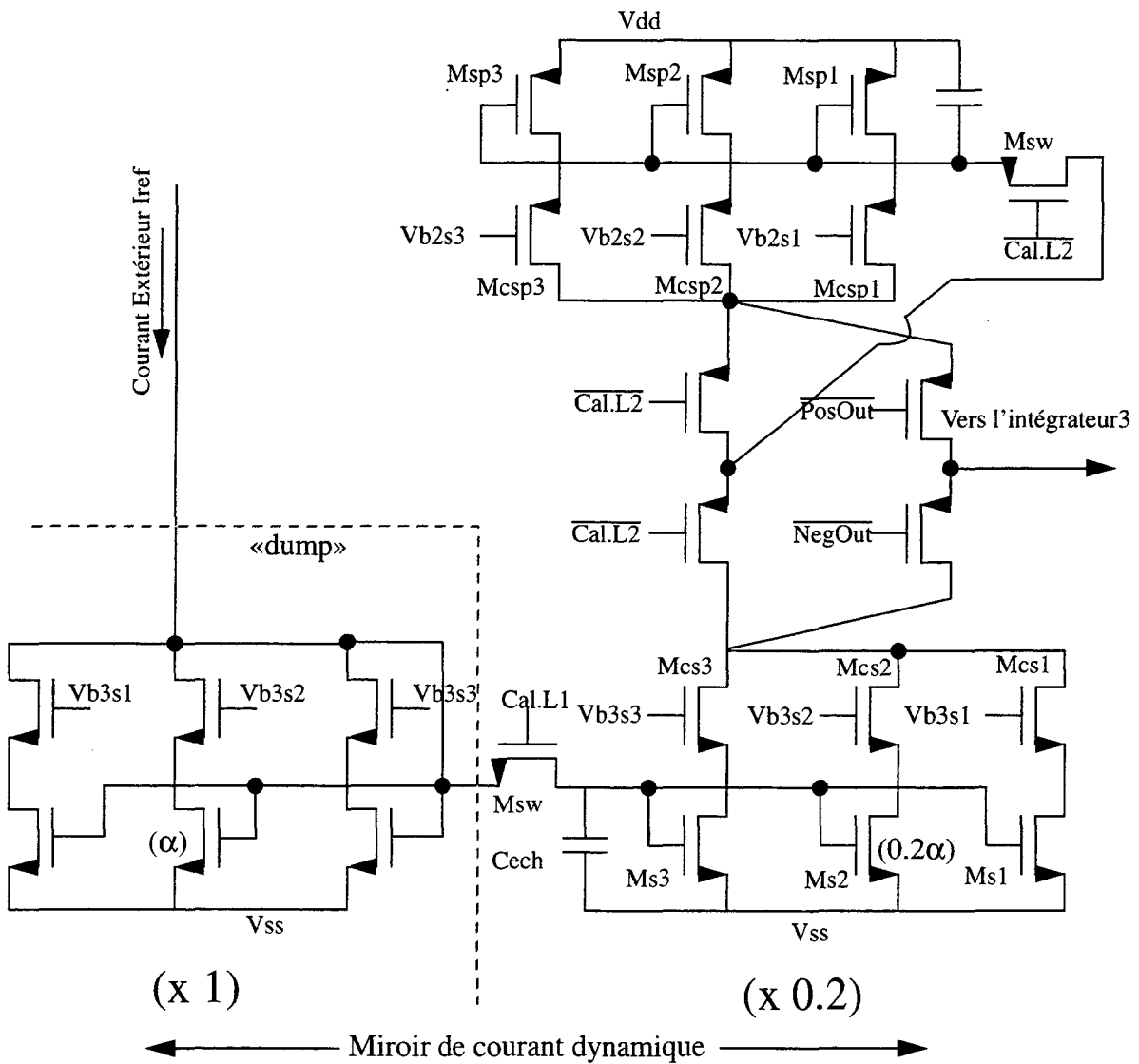


Fig 5.9 Principe de la génération du courant de rebouclage de ref1 et ref2

5.2 Simulation des performances du modulateur

5.2.1 Modélisation de la cellule

Afin de pouvoir valider la résolution de 16 bits attendue, la cellule double boucle cascadiée a été modélisée dans le simulateur de circuits à courant commuté. Nous avons simulé le fonctionnement du convertisseur M.A.S.H.21 sur un grand nombre de périodes afin de pouvoir faire une transformée de fourier de la sortie du modulateur et déterminer son rapport signal sur bruit. La modélisation de la cellule inclue de nombreuses non-idéalités:

- Conductance de sortie de la cellule et caractéristique quadratique des transistors mémoire. Au cours de la première boucle l'amplificateur de régulation est modélisé.
- La conductance dynamique de la cellule.
- L'injection de charge de l'interrupteur d'échantillonnage à la fin de chaque boucle.
- Le bruit échantillonné sur les deux boucles.

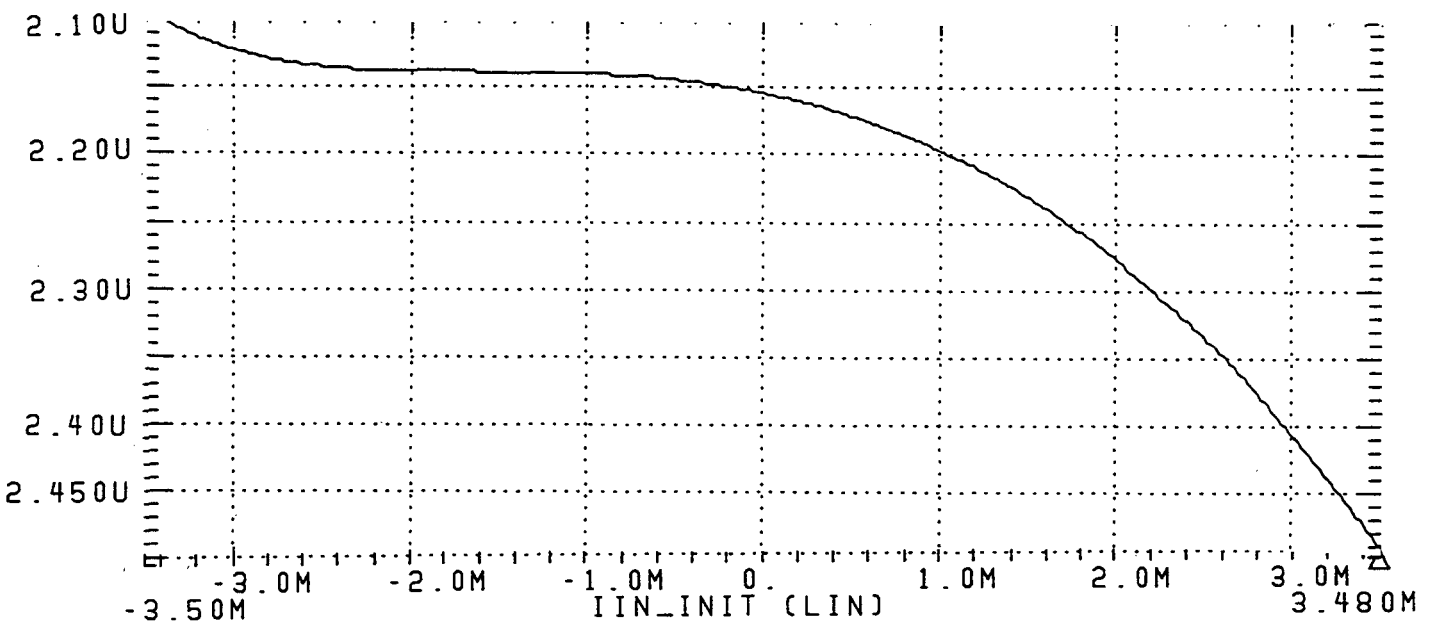


Fig 5.10 Erreur de copie prédite par le modèle de la cellule

Les valeurs nécessaires à la modélisation de la cellule proviennent des modèles des transistors ainsi que des différentes tailles des transistors de la cellule. Afin de pouvoir être sûr de la simulation du modulateur, nous avons comparé l'erreur de conversion de la cellule prédite par le modèle à l'erreur obtenue par la simulation transitoire HSPICE avec le modèle «Lev28typ» (cf Chapitre 4).

Le courant de polarisation de la cellule est de 5mA, nous avons simulé l'erreur de la cellule pour un courant d'entrée de -3.5mA à 3.5mA. Le fichier de simulation de la cellule utilise le principe de mesure de l'erreur de copie du circuit IMEMTEST (cf chapitre 2).

Les Fig 5.10 et Fig 5.11 montrent l'erreur d'acquisition obtenue avec le modèle et HSPICE. On distingue nettement que l'erreur prédite par le modèle est plus importante (à peu près trois fois) et fortement non-linéaire comparée à celle obtenue par la simulation HSPICE. Cette sur-estimation de l'erreur de copie est une marge que nous prenons sur la performance du modulateur.

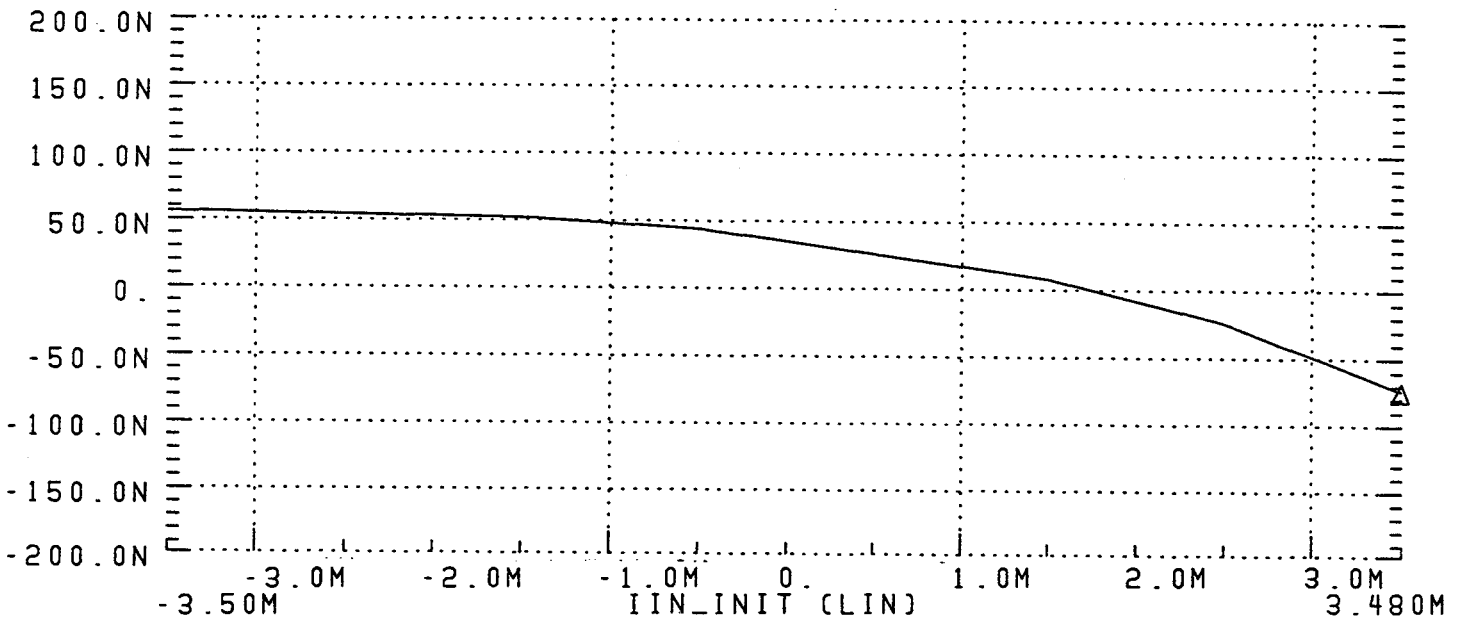


Fig 5.11 Erreur de copie obtenue en simulation transitoire de la cellule (HSPICE)

5.2.2 Validation des performances du circuit

Le circuit a été simulé au moyen du simulateur de circuits à mémoire de courant. La fréquence d'échantillonnage est fixée à 2.56 Mhz, le rapport d'échantillonnage étant de 128, nous avons une bande passante de 10 KHz. La conversion tension courant à l'entrée du circuit a été modélisée, c'est à dire que l'asservissement du noeud d'entrée de la cellule influe sur la précision de la conversion. La valeur des résistances de conversion est 3 KOhm. Le courant de référence est de 1.25mA.

La Fig 5.12 donne le spectre idéal du modulateur M.A.S.H.21, la fréquence du signal est fixée à 2.5 KHz et son amplitude à -8dB. Il a été obtenu en ne prenant pas en compte le bruit de quantification, en augmentant considérablement la valeur de la tension Early des transistors, en forçant la conductance dynamique à zéro et en annulant la charge injectée par les interrupteurs d'échantillonnages. Le rapport signal à bruit est de 115 dB ce qui est fortement supérieur aux 98 dB voulus.

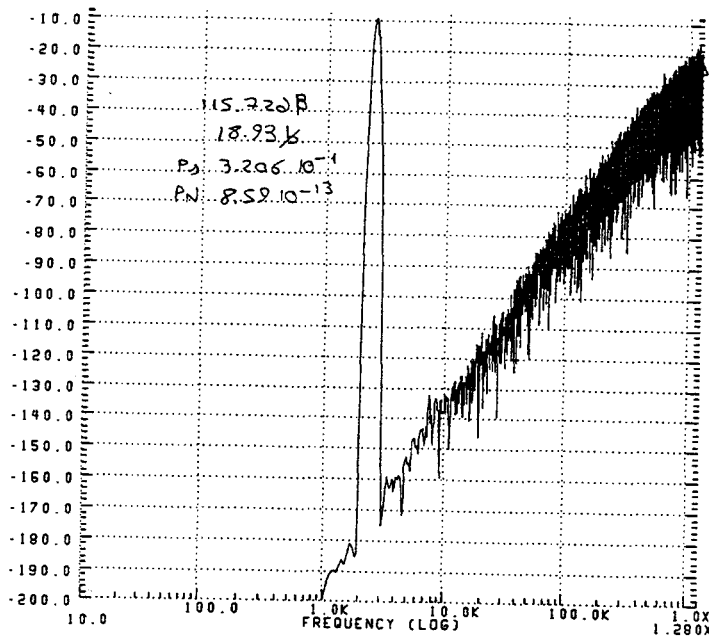


Fig 5.12 Spectre idéal de la sortie du convertisseur

Le fait d'ajouter l'erreur causée par la charge injectée par les interrupteurs d'échantillonnage ne diminue pas le SNR du modulateur. Seule la charge injectée à la fin de la seconde boucle par l'interrupteur PMOS crée une erreur de copie de la cellule. Or le très fort gain de la cellule fait que la tension de mémorisation en fin de seconde boucle est égale à V_{B1} à quelques millivolts près. La charge injectée est donc constante ce qui crée un offset de copie de la cellule. La structure même de l'intégrateur à deux phases rejette cet offset de copie. Cela explique donc l'insensibilité du modulateur à l'injection de charge.

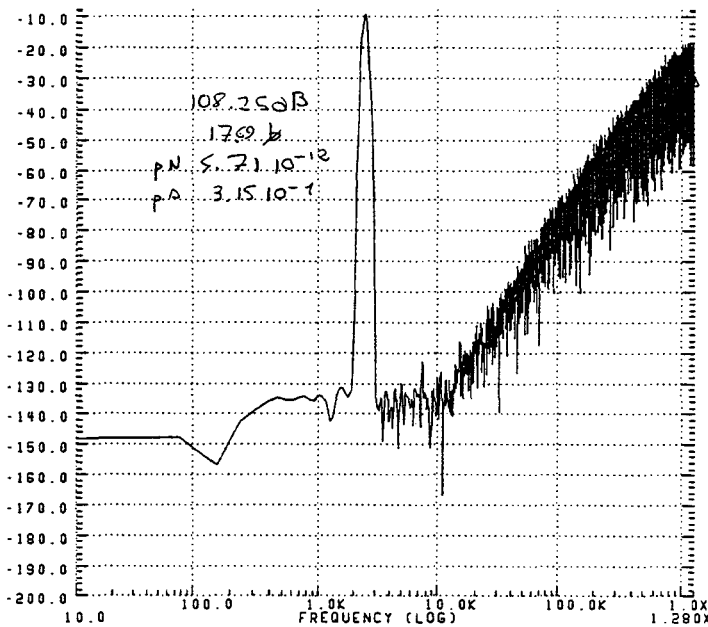


Fig 5.13 Spectre de la sortie du convertisseur (en ne modélisant que la conductance statique)

En fixant les tensions Early des transistors à la valeur normale, on cause une erreur de

copie non linéaire due à la conductance de sortie. Ceci cause une augmentation du plancher de bruit blanc du convertisseur. Le SNR calculé passe à 108 dB ce qui est très élevé (cf Fig 5.13). Comme l'erreur de copie de la cellule modélisée est plus pessimiste comparé à la valeur prédite par HSPICE, nous considérons que le gain de copie de la cellule est assez élevé pour la précision voulue.

Enfin en ajoutant l'influence de la conductance dynamique et du bruit échantillonné nous obtenons les performances du modulateur. Le SNR est de 92.53 dB pour un signal d'entrée de -7.95 dB (cf Fig 5.14). La précision de 16 bits est tout juste vérifiée.

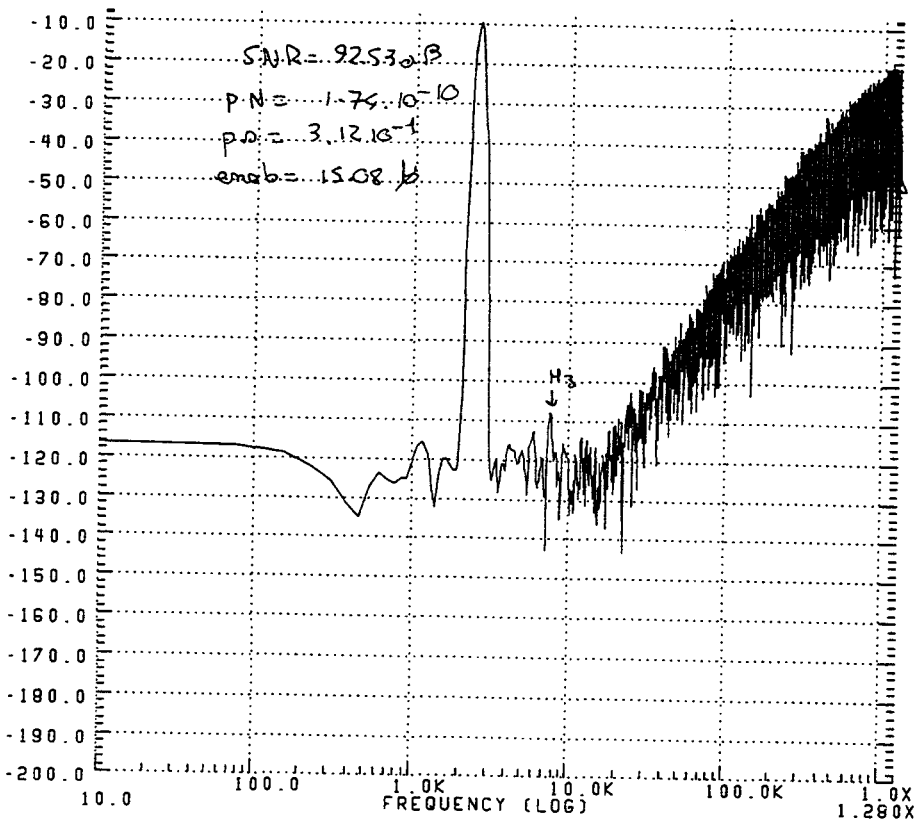


Fig 5.14 Spectre de la sortie du convertisseur (en modélisant toutes les erreurs de la cellule)

Une erreur d'offset de comparaison de 12.5 μ A, une imprécision de 5% sur la division du signal par la cellule YY4 ainsi qu'une erreur de 5% sur la valeur des courant rebouclés ont été ajouté comme imprécision du convertisseur. Le SNR calculé reste inchangé, ce qui prouve l'indépendance du modulateur face à ces limitations.

Afin de caractériser la linéarité du modulateur nous avons simulé l'évolution du SNR en fonction de l'amplitude du signal d'entrée. Cette simulation a aussi été faite en ajoutant le maximum d'erreurs à la cellule et au convertisseur. La Fig 5.15 présente le résultat de simulation, la courbe en pointillé est la caractéristique idéale d'un modulateur 16 Bits. Nous remarquons que la simulation montre une précision supérieure à 16 Bits pour un signal d'entrée de -100 dB à -8 dB.

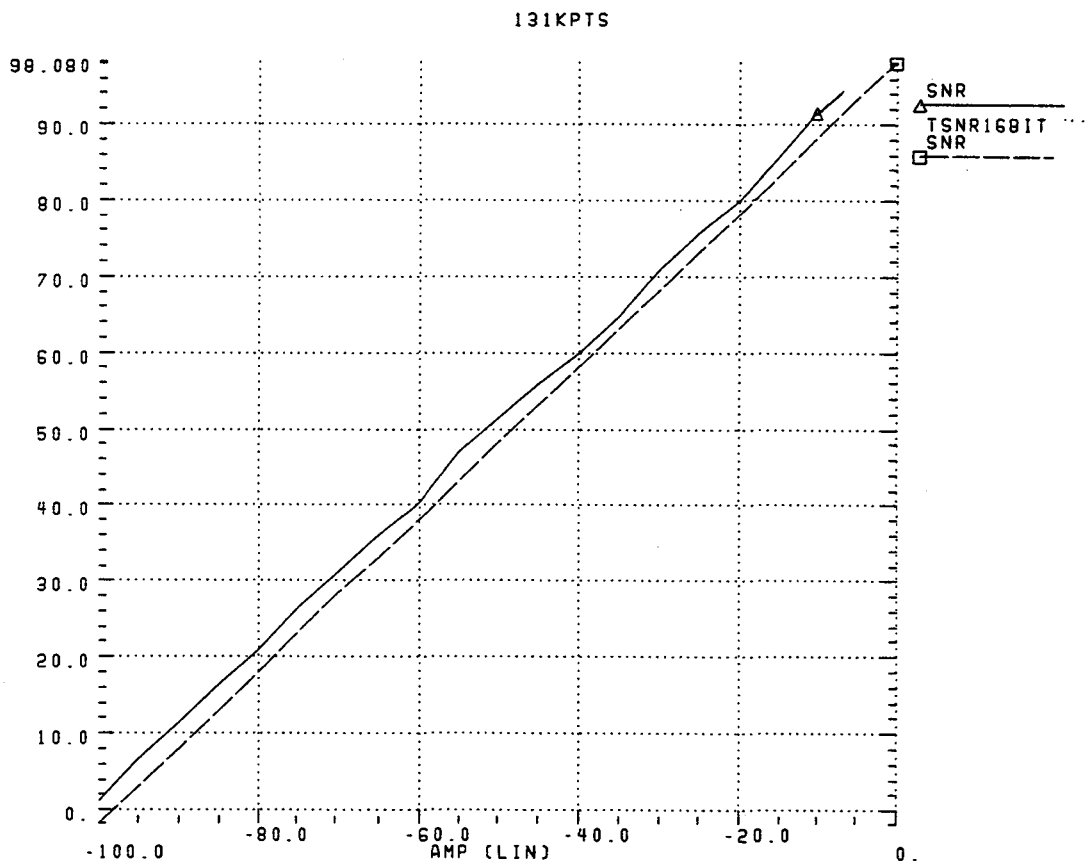


Fig 5.15 Simulation de la linéarité du modulateur

5.3 Simulation électrique

Ces simulations avec un macromodèle de la cellule ont permis de valider les performances du modulateur. Une étape indispensable avant la réalisation du layout du circuit est de simuler électriquement les différentes parties du circuit ainsi que la totalité du circuit. Ces simulations électriques permettent de dépister des problèmes de connectique dans la base de données schéma du circuit. Elles constituent la preuve de la bonne fonctionnalité du circuit.

5.3.1 Génération des courants de référence

Une simulation en transitoire a été faite de la partie générant les courants de référence du circuit. La topologie de simulation de cette partie du circuit comprends le sous circuit générant les six horloges, la partie sous test ainsi que des sources de tension fixe de valeur VB1. Nous simulons successivement les quatre phases de fonctionnement du générateur, au cours desquelles les courants de sortie des références sont appliqués aux sources de tension.

Il faut vérifier deux points:

- La bonne stabilisation de la tension de mémorisation des mémoires NMOS et PMOS au cours des phases de calibration.
- La valeur du courant de sortie positif et négatif pour les deux types de sous-circuits «Ref» et «ref».

La stabilisation des tensions de mémorisation n'est pas finie au cours de la première calibration. En effet au début de la simulation la tension stockée sur les capacités mémoire est nulle, il faut deux temps d'acquisition pour atteindre précisément la valeur finale. Après ces

deux calibrations, nous obtenons les courants de référence voulus. Le matching entre le courant positif et le courant négatif est parfait à moins de 1 pour mille ce qui bien plus faible que les 5% d'erreur utilisés lors de la simulation des performances du modulateur.

5.3.2 Test du comparateur

Une comparaison pour différentes valeurs de tension d'entrée a été simulée en transitoire. Le modèle SPICE utilisé est le «lev28typ». Le parfait fonctionnement du comparateur a pu être vérifié, nous avons aussi estimé de manière qualitative la plage d'indécision du comparateur. Elle est très faible puisqu'elle est largement inférieure à 1/10 de millivolts. La zone d'indécision correspond au cas où les entrées sont tellement proches que le comparateur a du mal à basculer vers un des états stables. Cela se traduit par un temps de basculement beaucoup plus long, qui peut parfois atteindre la durée totale de la seconde boucle au cours de laquelle la décision est prise.

En fonctionnement réel, il faut prendre en compte le bruit électrique des alimentations et du substrat qui diminuera considérablement la zone d'indécision. Les simulations du modulateur montrent que la précision de la comparaison influe très peu sur les performances du modulateur. Nous pouvons donc considérer que le comparateur est largement suffisant.

5.3.3 Simulation du comportement transitoire sur 100 périodes

Une étape importante de la mise au point du modulateur est la simulation électrique en transitoire de tout le circuit. Elle est la preuve de la parfaite fonctionnalité du circuit, malheureusement, la puissance actuelle des stations de travail ainsi que la complexité du modulateur ne permet pas de simuler le fonctionnement du modulateur sur un grand nombre de périodes.

Vu le nombre de transistors du circuit nous avons été forcé de «démarrer» le circuit avec précaution en adoptant le chronogramme de commande des alimentations, des courants de référence et des horloges suivant:

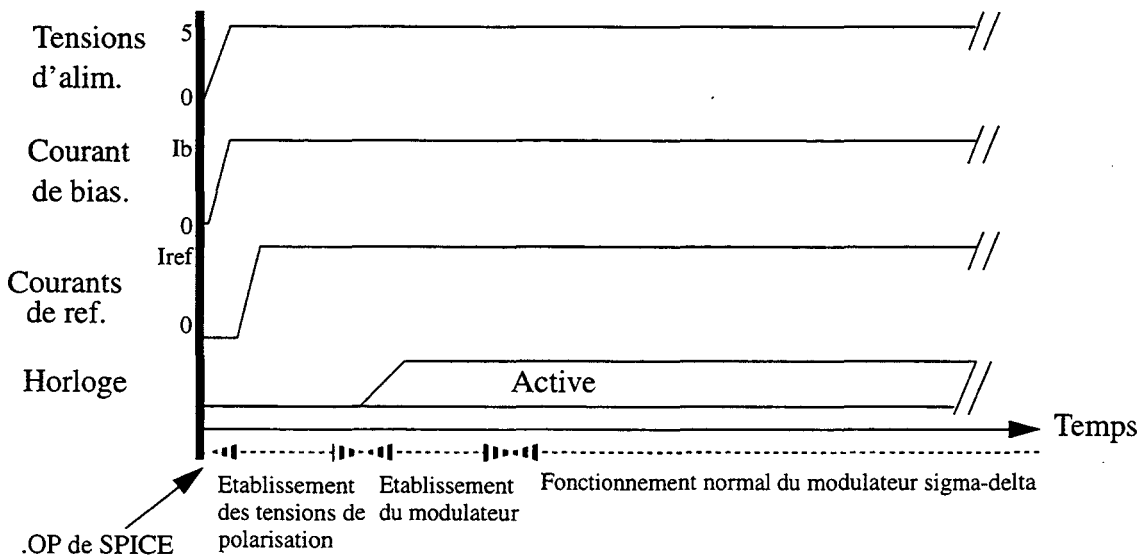


Fig 5.16 chronogramme de «démarrage» du circuit permettant à SPICE de converger.

Nous avons donc réalisé deux simulations du modulateur:

- Un fonctionnement en transitoire d'une dizaines de périodes en enregistrant dans le fichier de sortie l'évolution de tous les signaux du circuits. Le but de cette simulation est de visualiser l'évolution des principaux signaux du circuits et de vérifier manuellement que toutes les fonctions se déroulent parfaitement. Cette vérification quoique indispensable a le désavantage de reposer sur une vérification humaine qui n'est pas sûre à 100%. Toutefois elle permet de «voir vivre» le circuit.

- Une simulation d'une centaines de périodes de conversions du modulateur avec un signal continu puis un signal sinusoïdal en entrée. Cette simulation ne permet pas de regarder l'évolution de tous les signaux du modulateur, cela créerait un fichier de sortie de trop grande taille. Une simulation de 100 périodes de fonctionnement du circuit dure environ deux jours sur une station de travail de type SUN Sparc 10. Cette simulation permet de déceler certaines erreurs graves comme une inversion du rebouclage des courants de référence.

Ces deux simulations ont été réalisées. Le modulateur M.A.S.H.21 dont le schéma est décrit dans l'annexe a satisfait toutes les vérifications faites sur le résultat de la simulation.

Le schéma du modulateur a ensuite été pris comme base de donnée de référence pour la réalisation du layout du circuit. Ce dernier a été fait manuellement en respectant les règles du dessin analogique. Il est expliqué dans le paragraphe suivant.

5.4 Layout du circuit

L'intégration d'un convertisseur analogique digital est difficile dans le sens qu'elle est l'interface entre le monde des signaux analogiques et numériques. Sur le même substrat vont transiter des signaux numériques aux transitions rapides et bruyantes, ainsi que des signaux analogiques forts sensibles aux perturbations. La précision requise de 16 Bits rends la tâche encore plus difficile vu le rapport signal à bruit demandé dans la partie analogique.

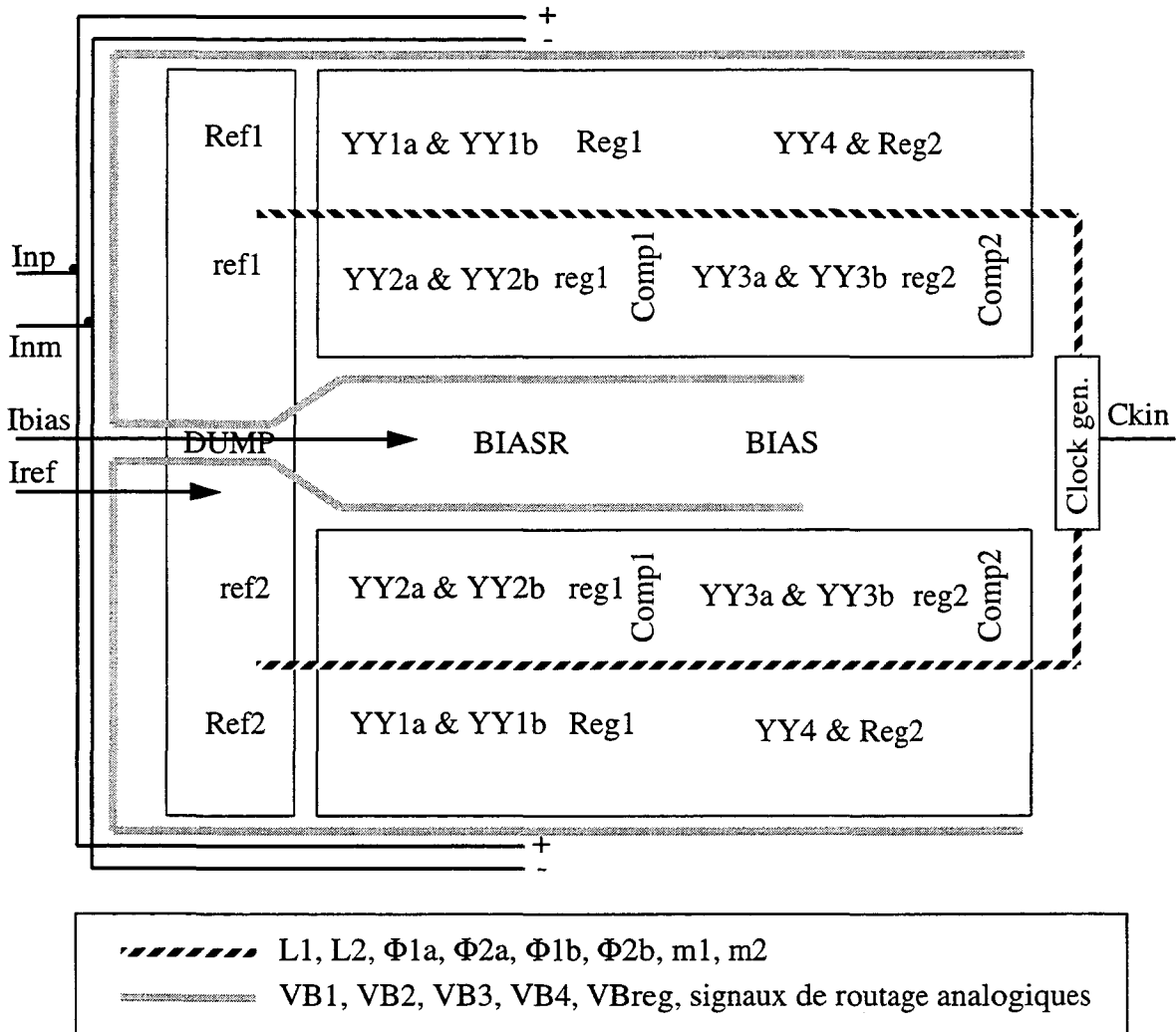


Fig 5.18 plan du layout du circuit.

Nous avons porté attention à la répartition des différentes parties du modulateur dans le layout du circuit. Nous avons respecté les règles suivantes:

- une séparation nette des parties numériques et analogiques.
- trois tensions d'alimentation séparées. L'alimentation de la partie analogique (vdda, gnda), celle de la partie digitale (vdd, gnd) ainsi qu'une alimentation particulière pour les buffers commandant les interrupteurs dans la partie analogique (vplusd, gnd).
- Le routage des signaux analogiques ne croise pas le routage des signaux

numériques.

Le schéma de la Fig 5.18 donne le plan de répartition des différentes parties du circuit. Les circuits BIAS et BIASR générant les tensions de polarisation sont placés au centre du circuit entre les deux modulateurs. La partie numérique de génération des signaux d'horloge est à l'extrême droite du circuit. Le routage des signaux d'horloge est fait au moyen de deux bus entrant dans chaque modulateur. Le bus ne traverse pas les parties analogiques, ces dernières entourent par la gauche le bus en se connectant sur le signal d'horloge voulu. Les signaux de routage analogique transitent par le coté gauche du circuit et donc ne croisent pas le bus des horloges. Le circuit de génération des courants de référence est à l'extrême gauche du circuit. Il est composé d'un générateur de courants de référence par modulateur, un à chaque extrémité. Au centre il y a une partie commune aux deux générateurs, le circuit DUMP.

Les signaux m1 et m2 provenant de la décision des comparateurs font partie du bus de signaux numériques. Ils sont lus par les générateurs de courant de références pour reboucler les décisions des comparateurs. Des buffers se situant dans la partie numérique, lisent ces signaux et les transmettent vers les plots de sortie.

Le brochage du circuit est présenté dans la Fig 5.19. Le circuit comporte 51 signaux d'entrée sortie, en effet le nombre de plots d'alimentation analogique est élevé (12 x GNDA, 12 x VDDA) il est justifié par la forte consommation statique du circuit (environ 68mA). Nous avons utilisé un boîtier de type CLCC68 comportant 68 plots, ce circuit possède un capot non scellé, il permettra donc des mesures sous pointes.

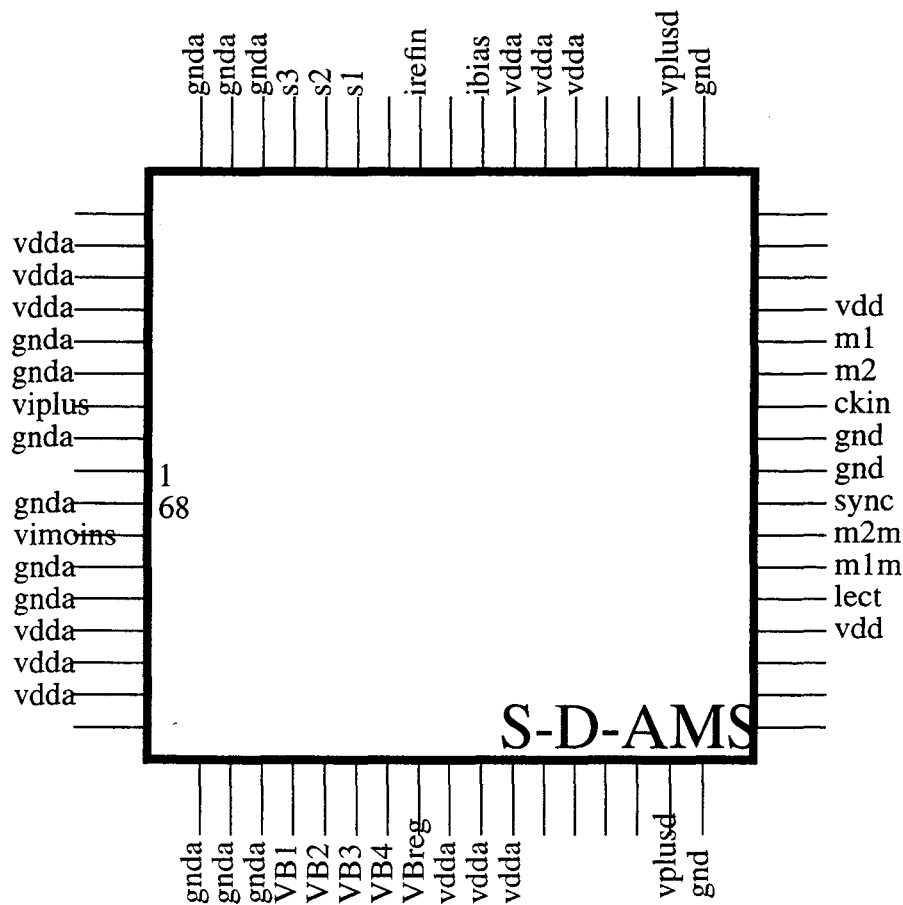


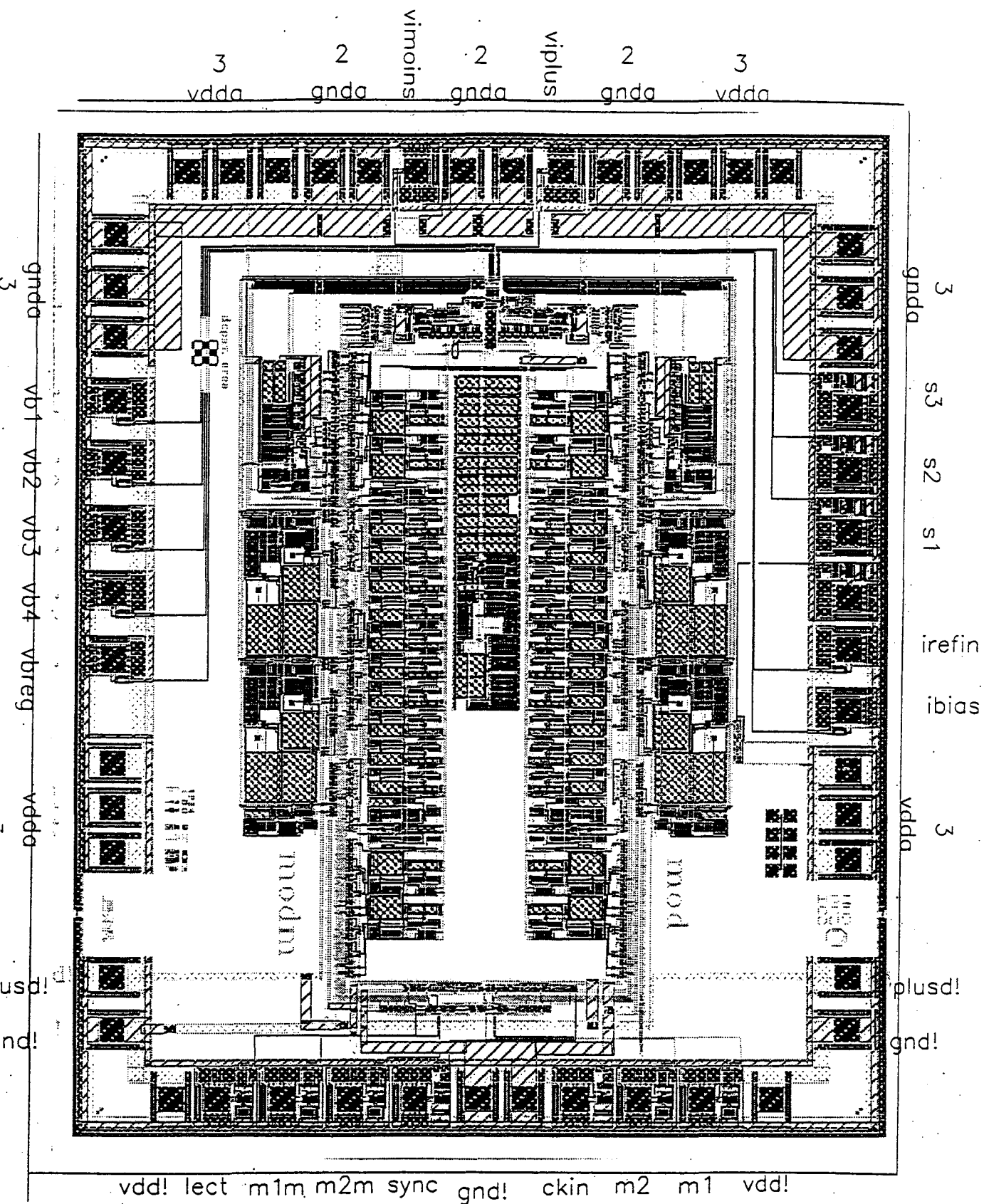
Fig 5.19 Brochage du circuit réalisé.

Les 5 tensions de polarisation VB1, VB2, VB3, VB4, VBreg sont connectées chacune à un plot de sortie. Cela permettra de mesurer ces tensions lors de la phase de test, nous pourrons aussi ajouter des capacités de stabilisation pour ces tensions si nécessaire. Toutefois cela représente un danger, ces plots sont un chemin direct pour le bruit extérieur au circuit vers la partie analogique du modulateur. Nous avons donc dépassivé une petite partie du circuit qui est traversée par le routage des ces signaux vers les plots. Au moyen d'une pointe il sera toujours possible de sectionner ce routage et donc de déconnecter les 5 plots.

Des plots de test sous pointes ont été aménagés sur les noeuds de mémorisation des cellules du premier intégrateur. Ils permettront de visualiser l'évolution des tensions de mémorisation Vgn et Vgp des cellules YY1 lors du test du circuit.

Le layout complet du circuit est présenté en Fig 5.20. La taille du circuit est de 4mm par 3.238mm. Il est composé de 5516 transistors. Sur cette vue globale du circuit, il est possible de distinguer les différentes parties du circuits comme elles sont indiquées dans le plan de la Fig 5.18.

Ce circuit a été envoyé en fabrication, nous en avons reçu 10 exemplaires encapsulés. Afin de permettre leur test, un circuit imprimé ainsi qu'une manipulation pilotée par un PC ont été mis au point. Le dernier chapitre présente le circuit imprimé ainsi que la méthode de test du circuit. Nous donnerons ensuite les principaux résultats de test et leur interprétation.



2

Fig 5.20 Layout du circuit

5.5 Annexe: schéma électrique du circuit

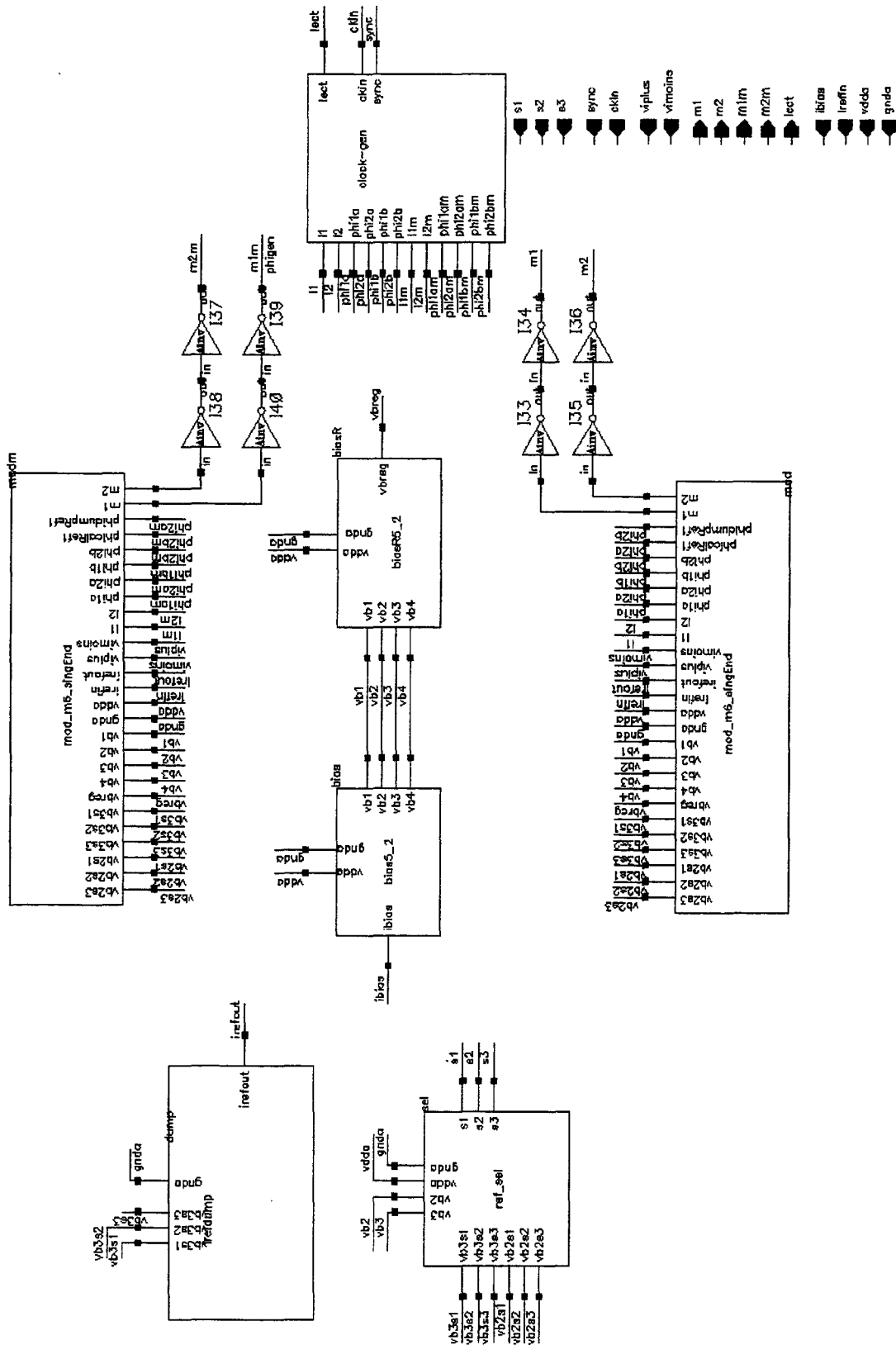
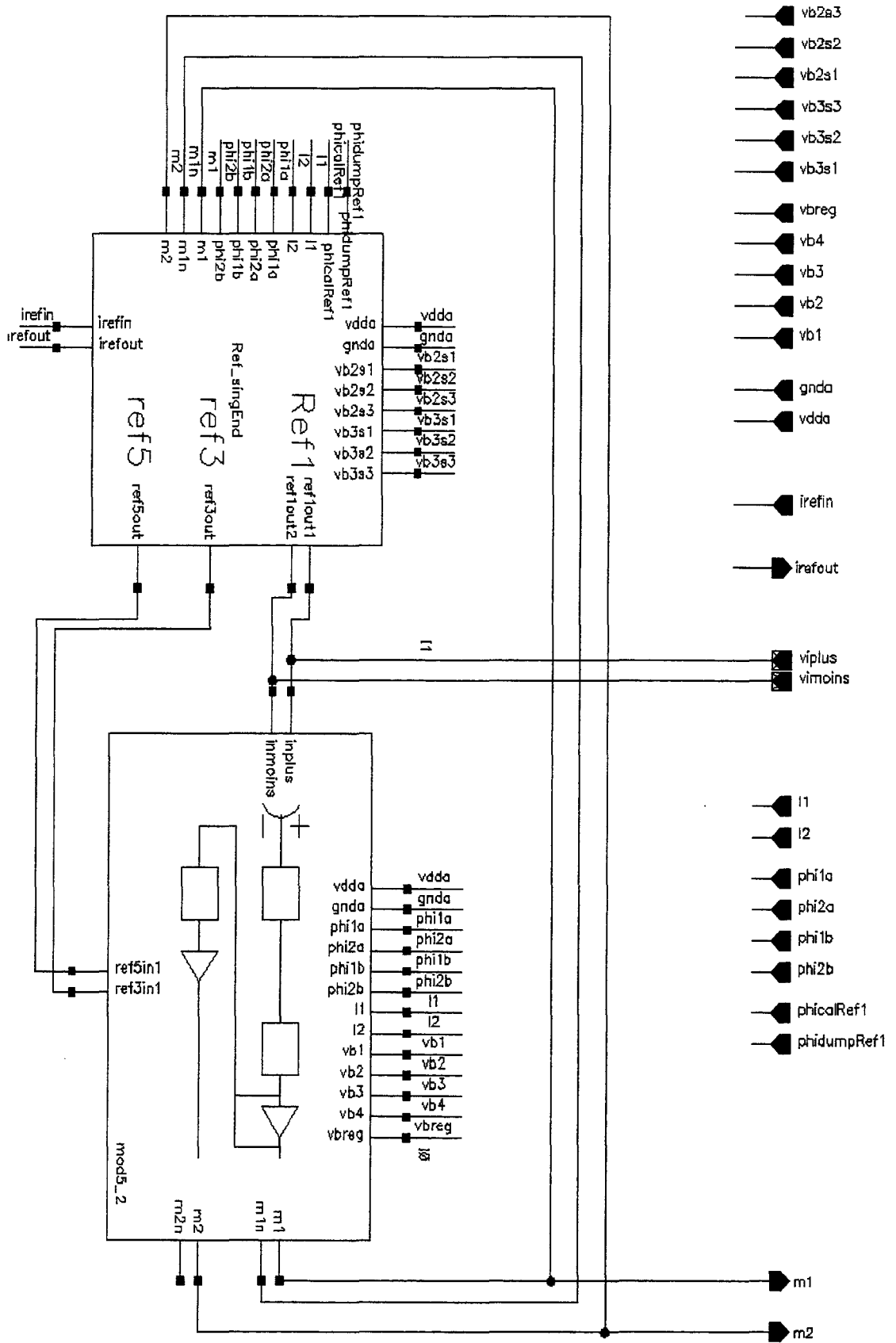


Fig 5.21 schéma du circuit s-d-AMS

Fig 5.22 schéma de "mod_m6_singleEnd"



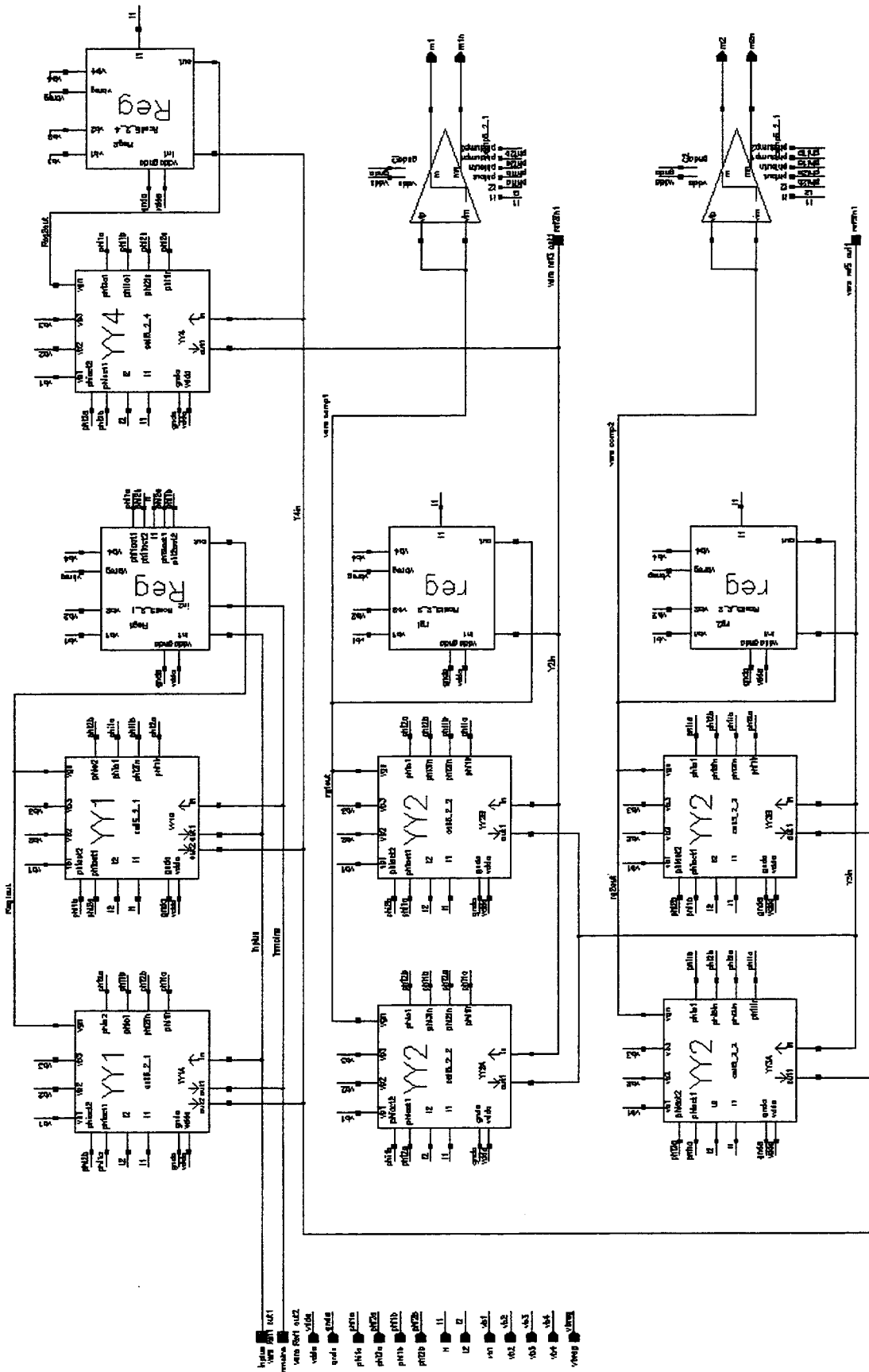


Fig 5.23 schéma de "mod5_2"

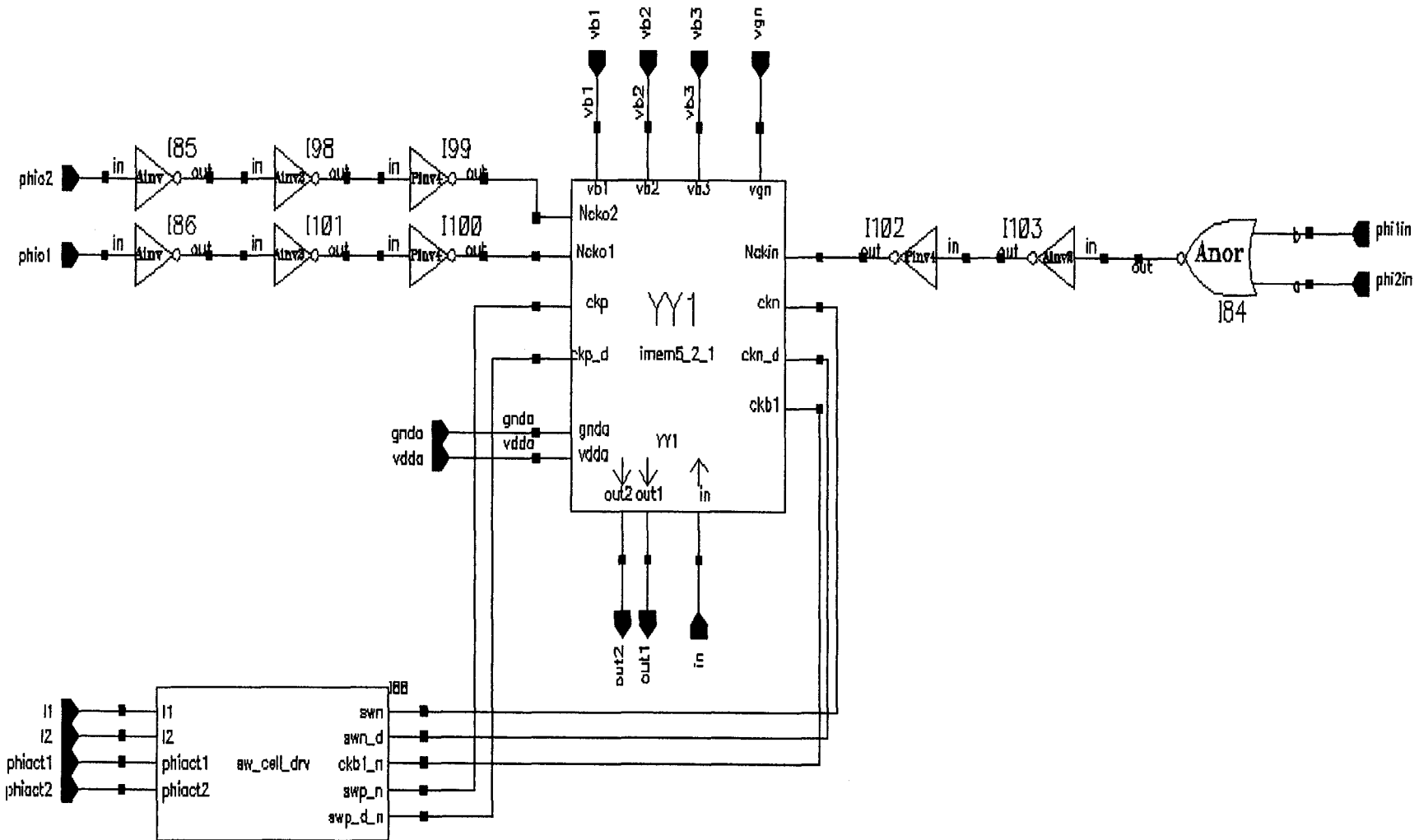


Fig 5.24 schéma de "cell5_2_1"

imem5_2_1 (1 input, 2 output, Ib=5mA, cgp=100pf, cgn=37pf)
cellule yy1 (attention !!! m=10 pour Mmn,Mmp,Mc n,Mc p)

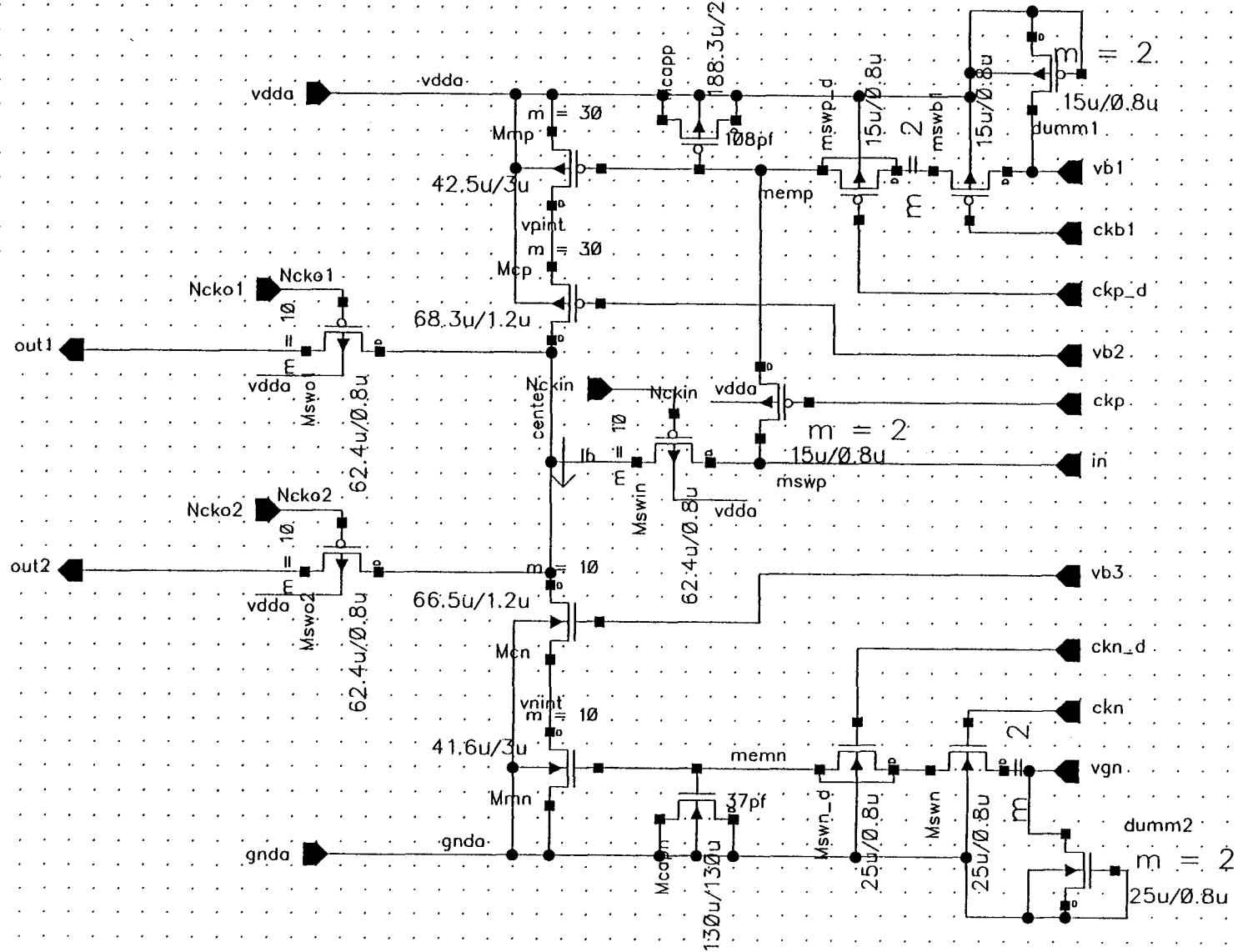


Fig 5.25 schéma de "imem5_2_1"

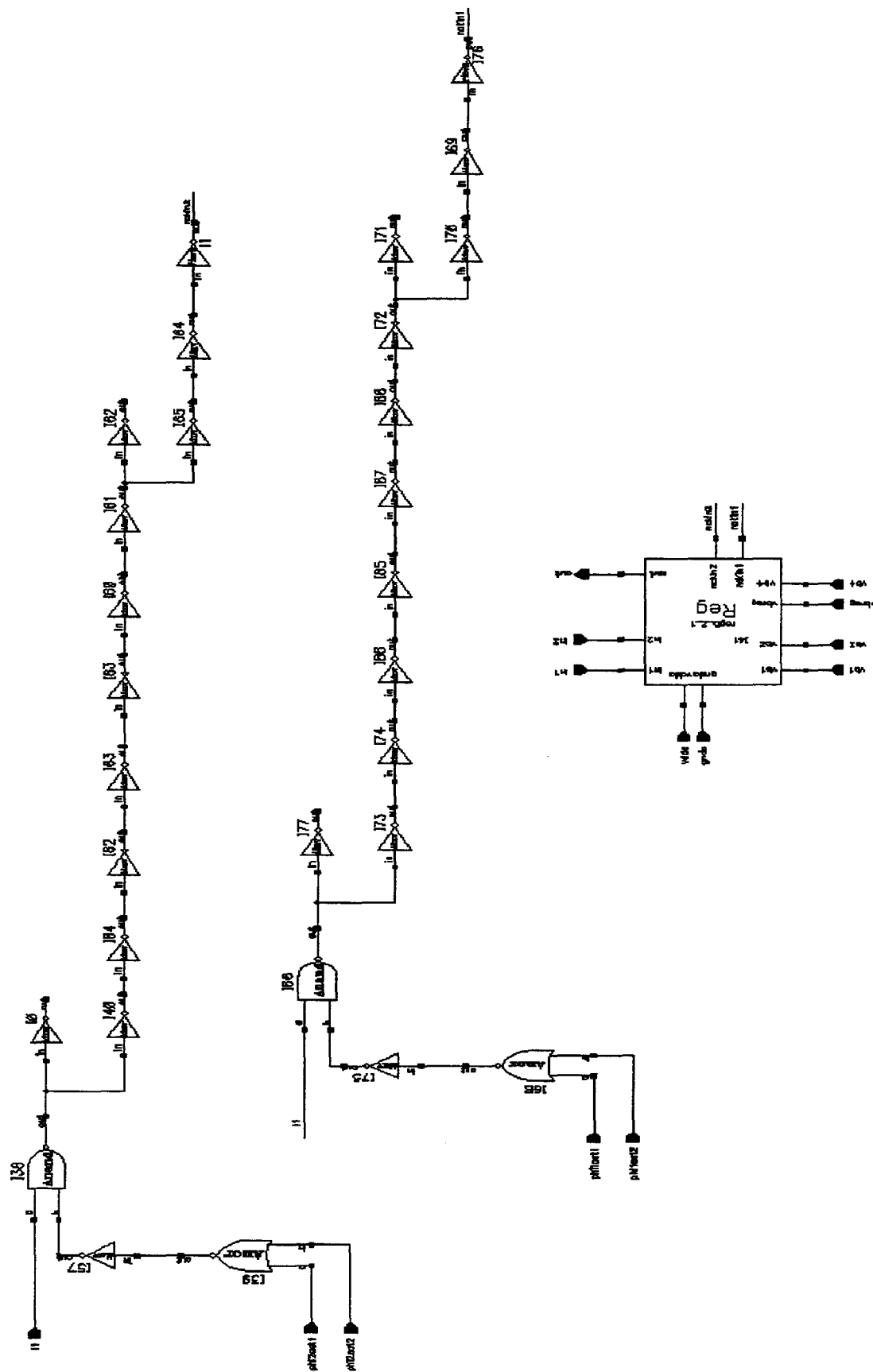


Fig 5.26 schéma de "Rcell5_2_1"

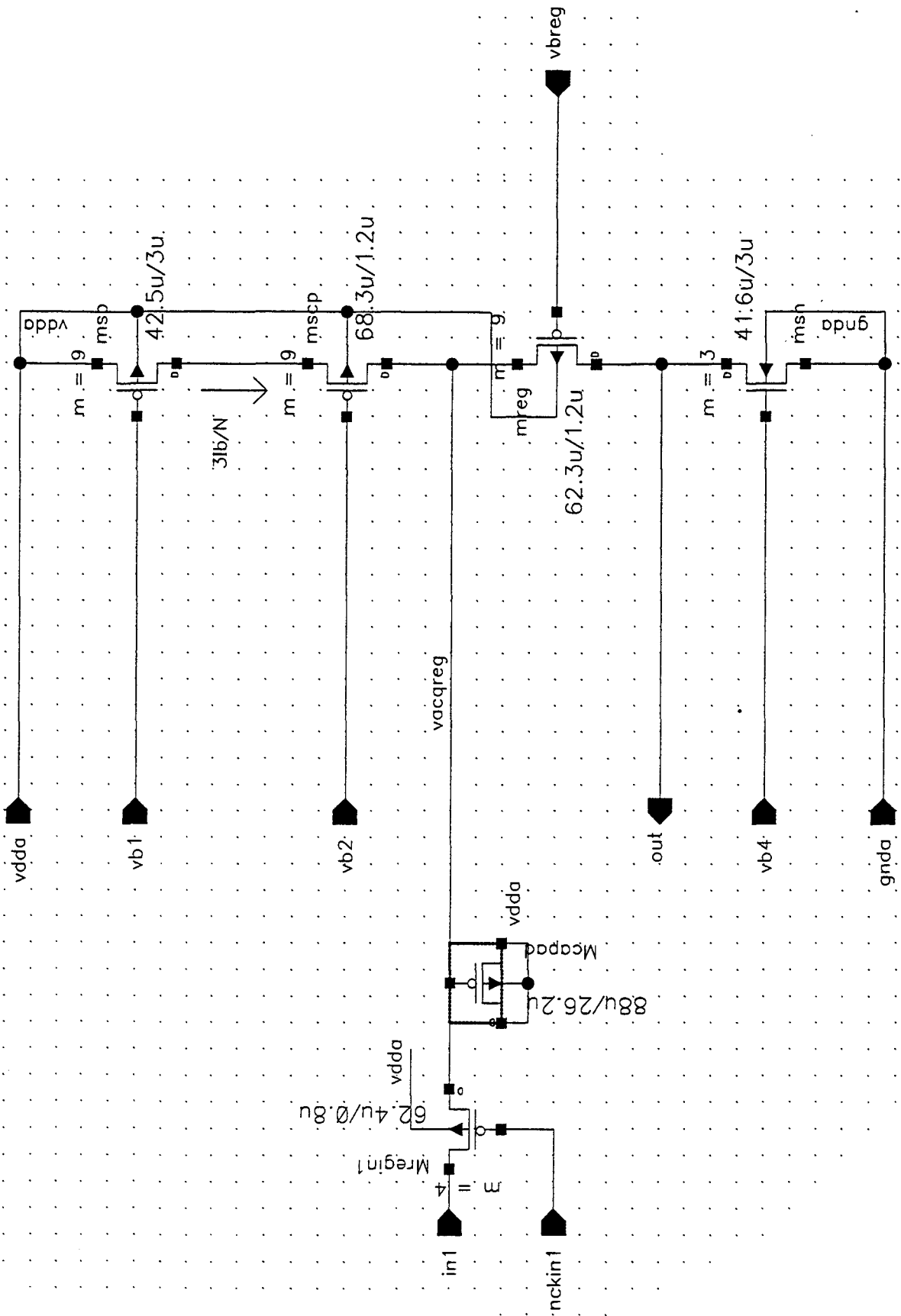


Fig 5.27 schéma de "Reg5_2_1"

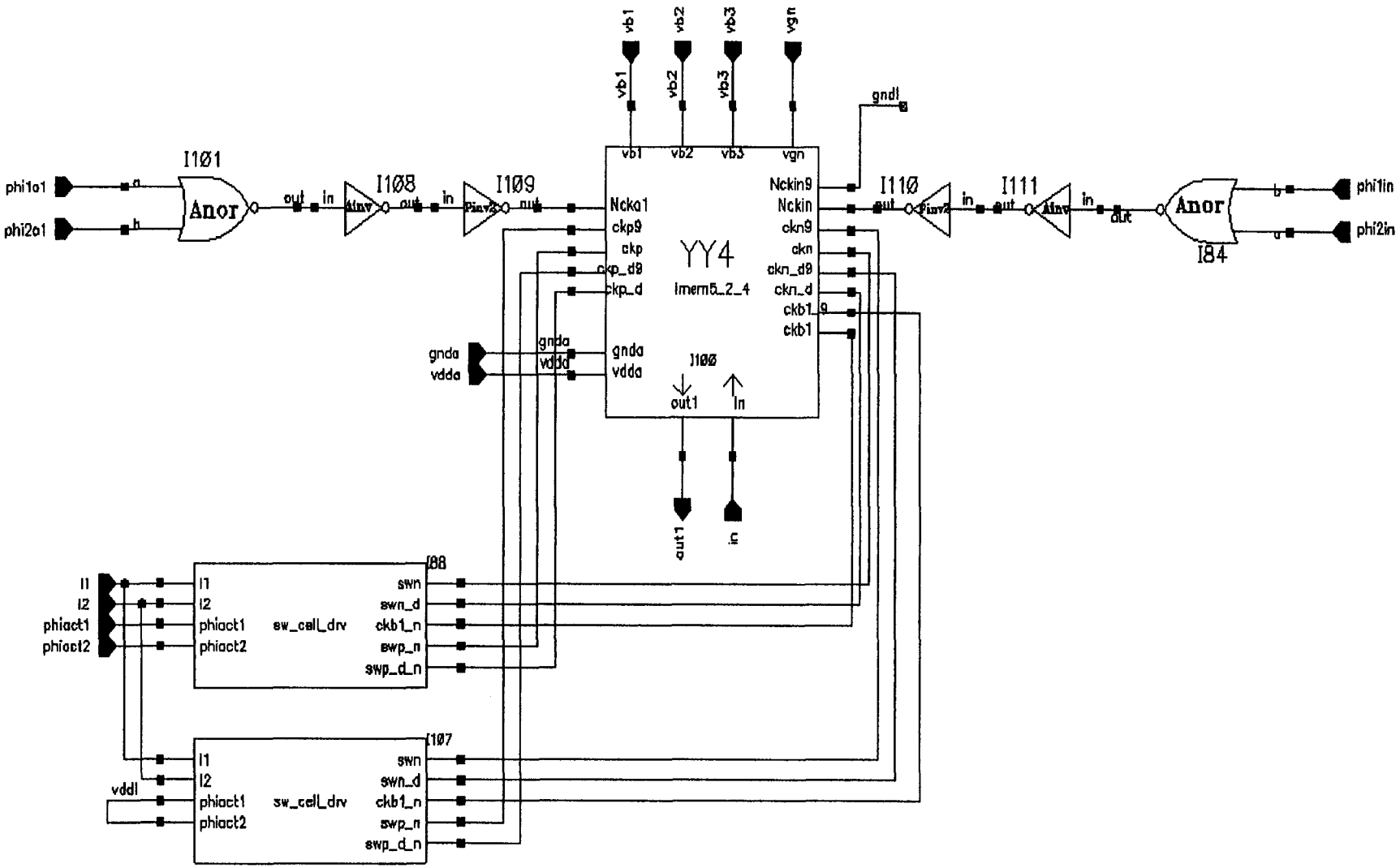


Fig 5.28 schéma de "cell5_2_4"

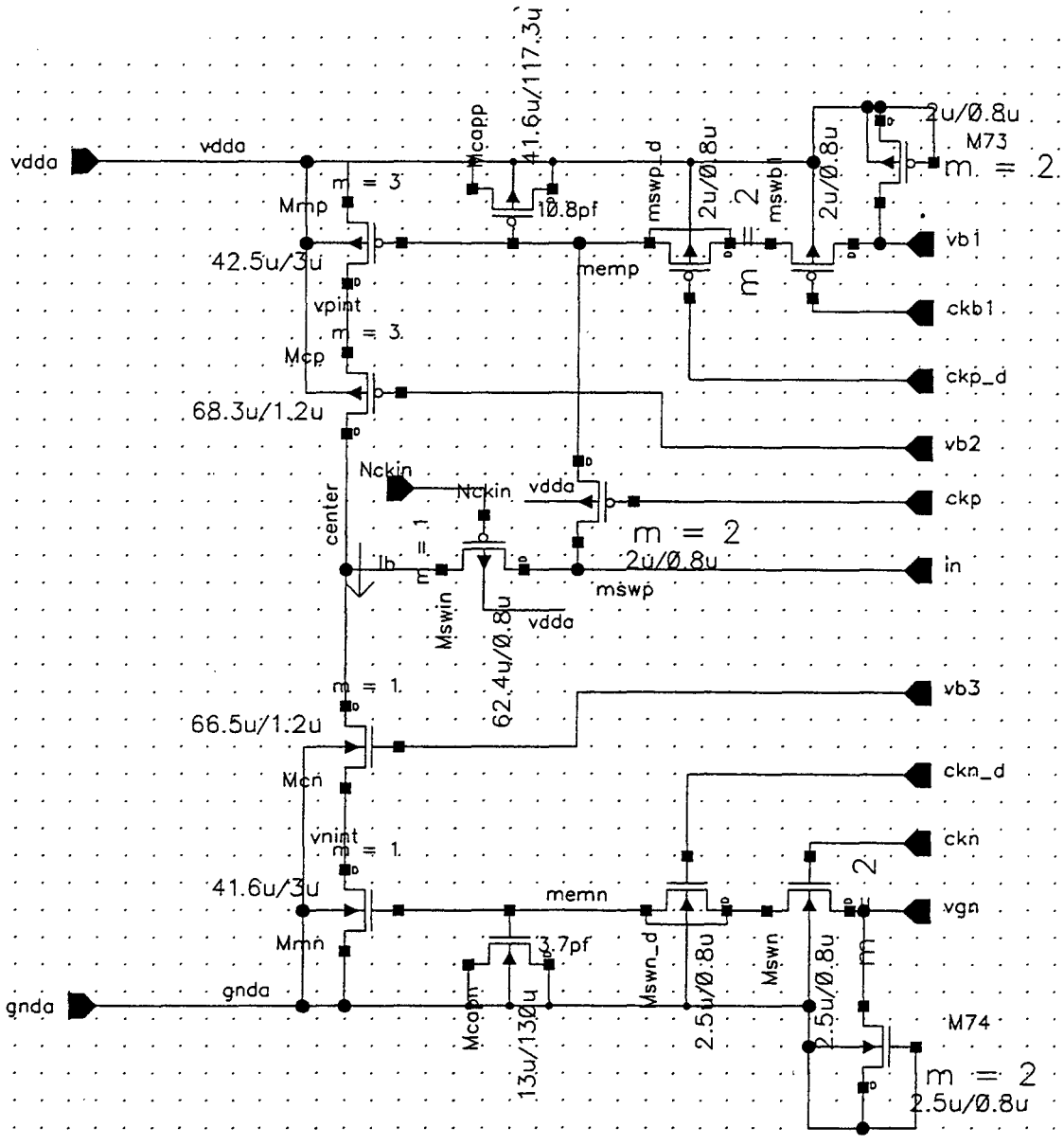


Fig 5.29 schéma de "imem5_2_02"

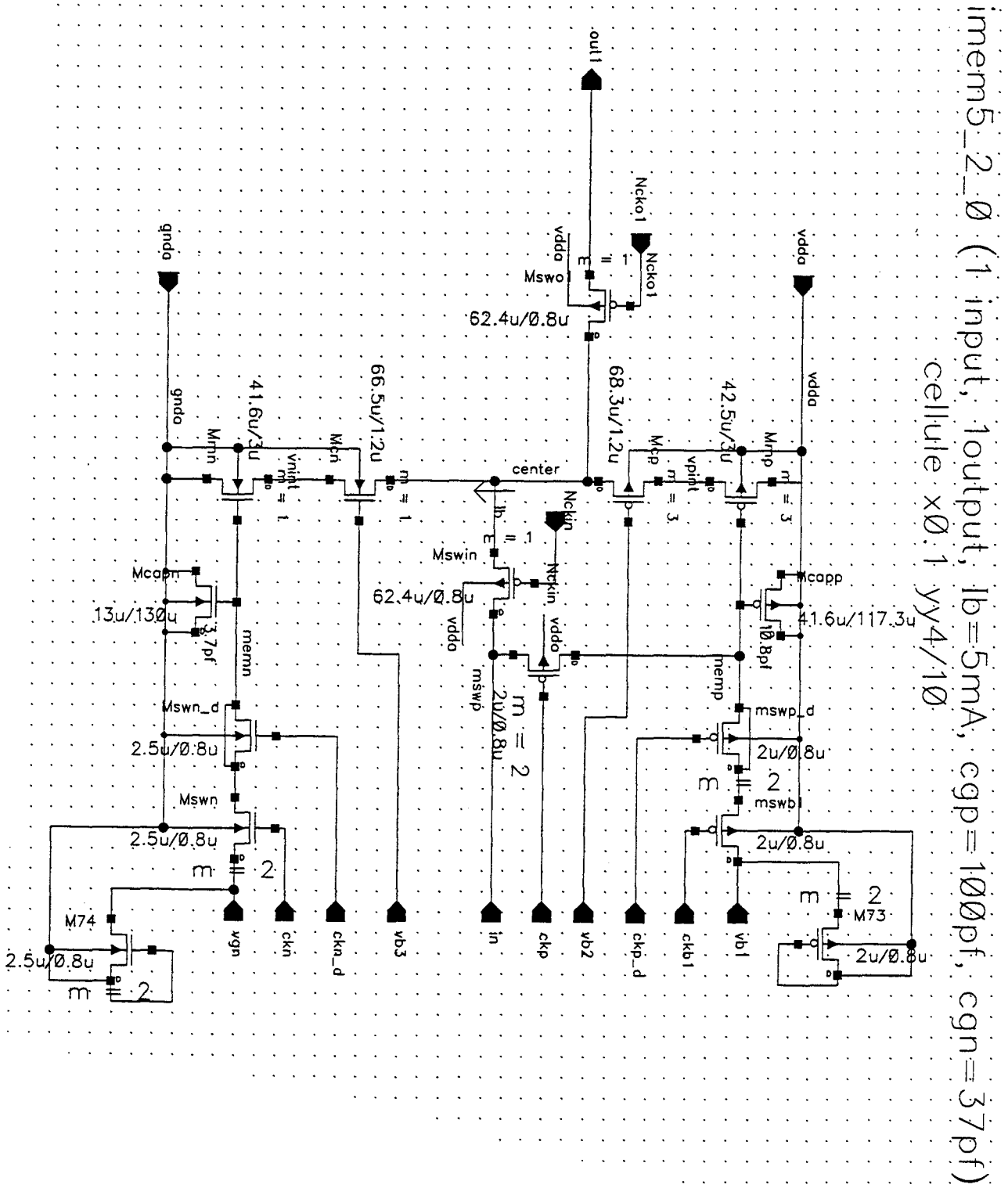


Fig 5.30 schéma de "imem5_2_0"

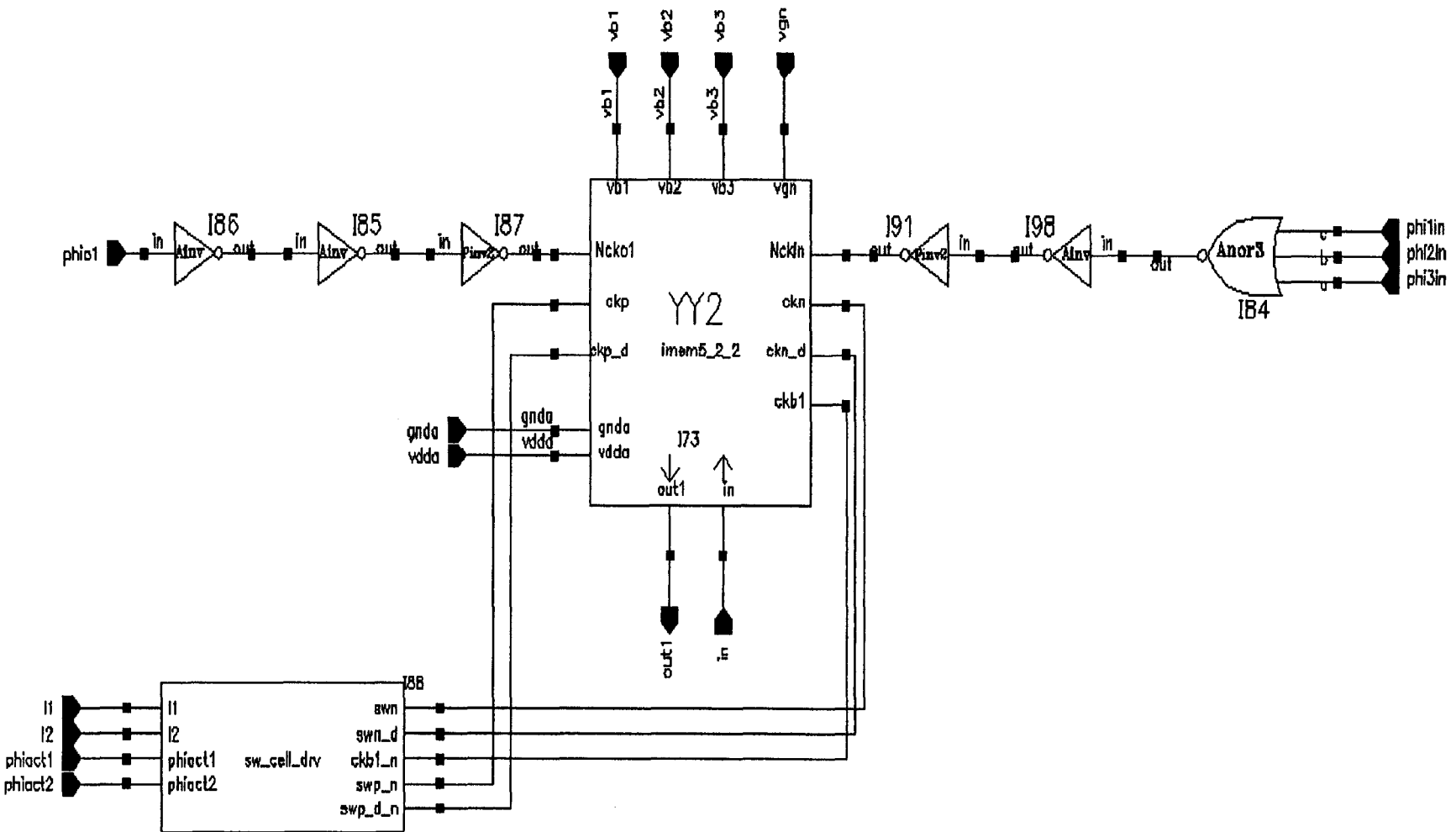


Fig 5.31 schéma de "Cells_2_2"

imem5_2_2 (1 input, 2output, Ib=5mA, cgp=100pf, cgn=37pf)
 cellule x0.2 yy2

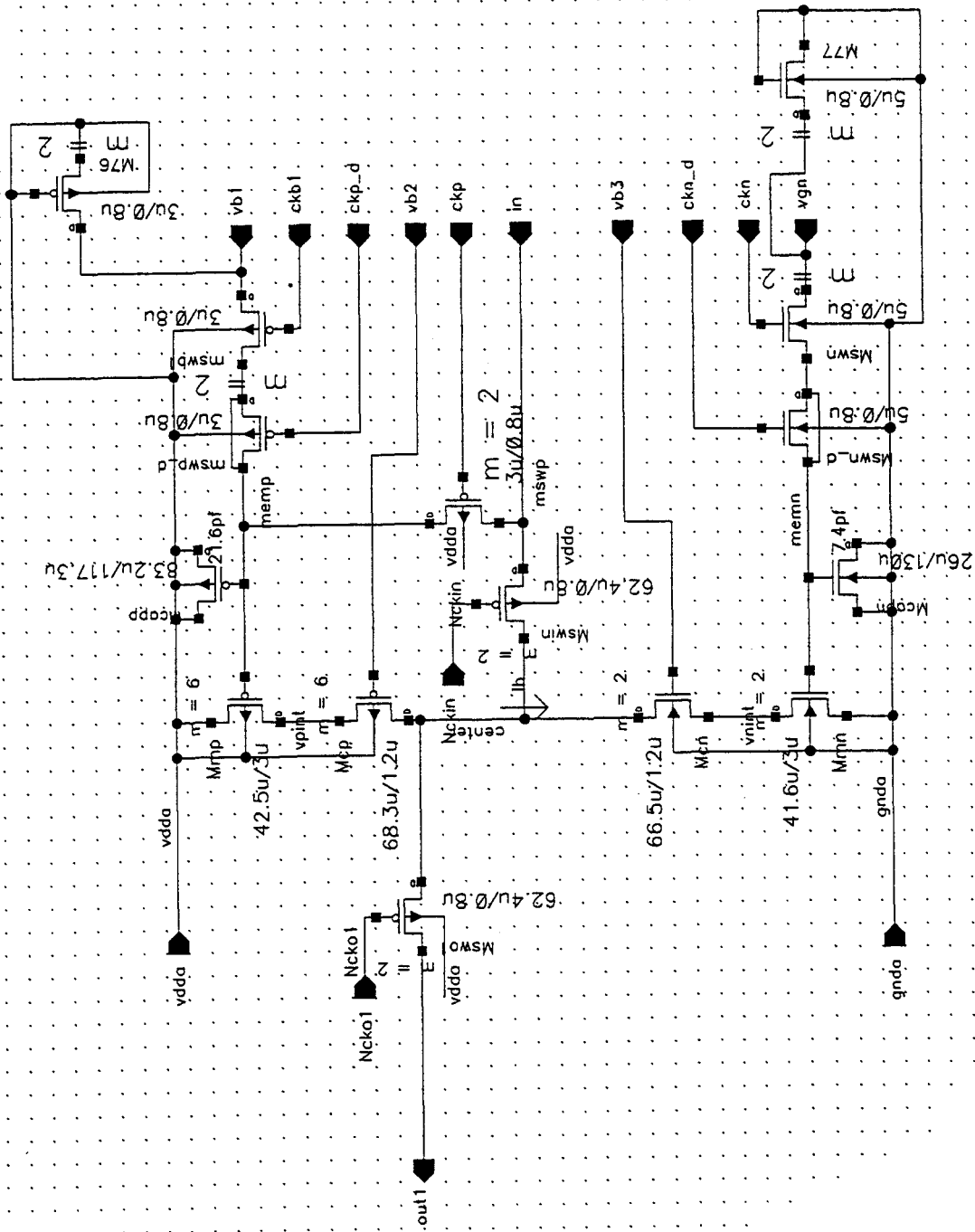


Fig 5.32 schéma de "imem5_2_2"

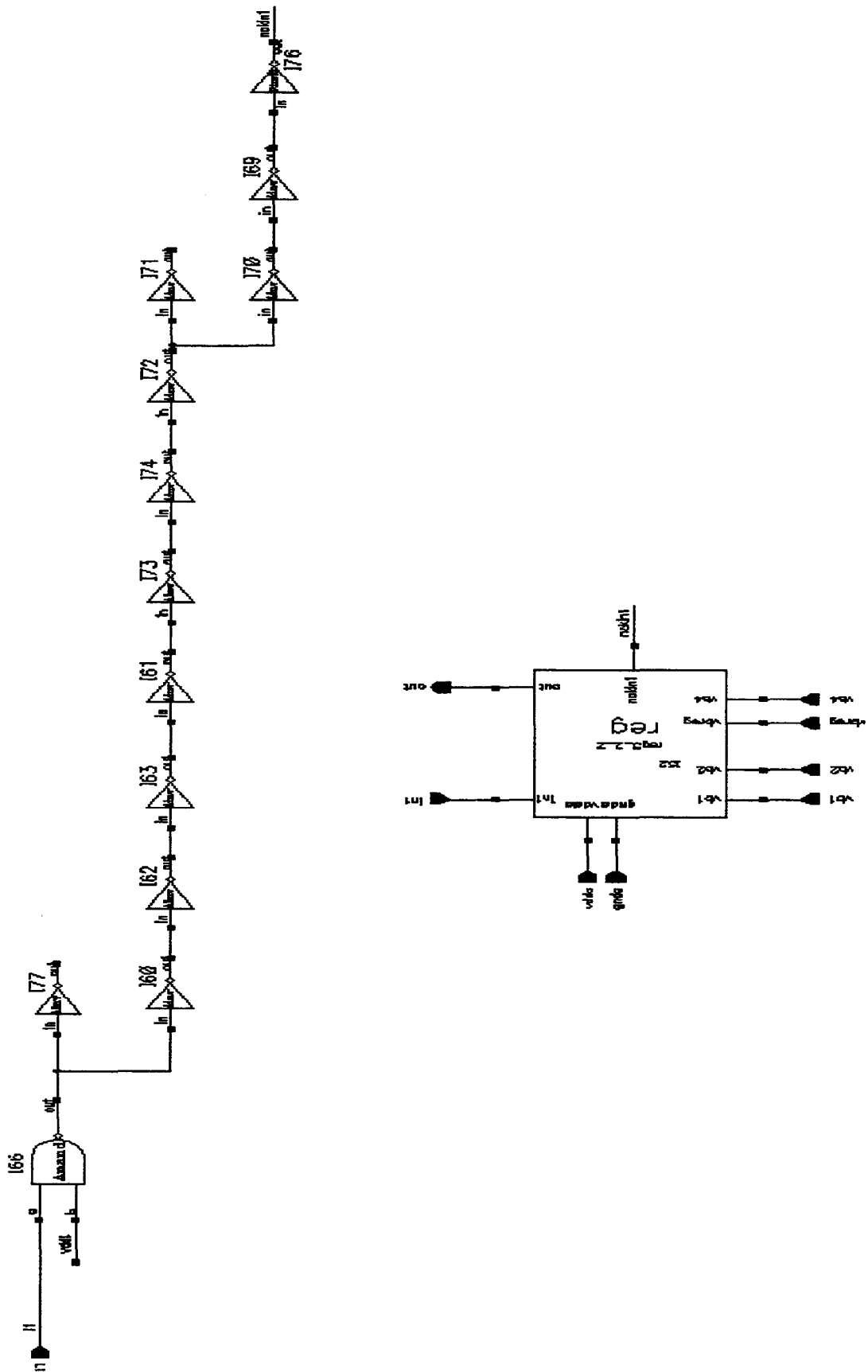


Fig 5.33 schéma de "rcell5_2_2"

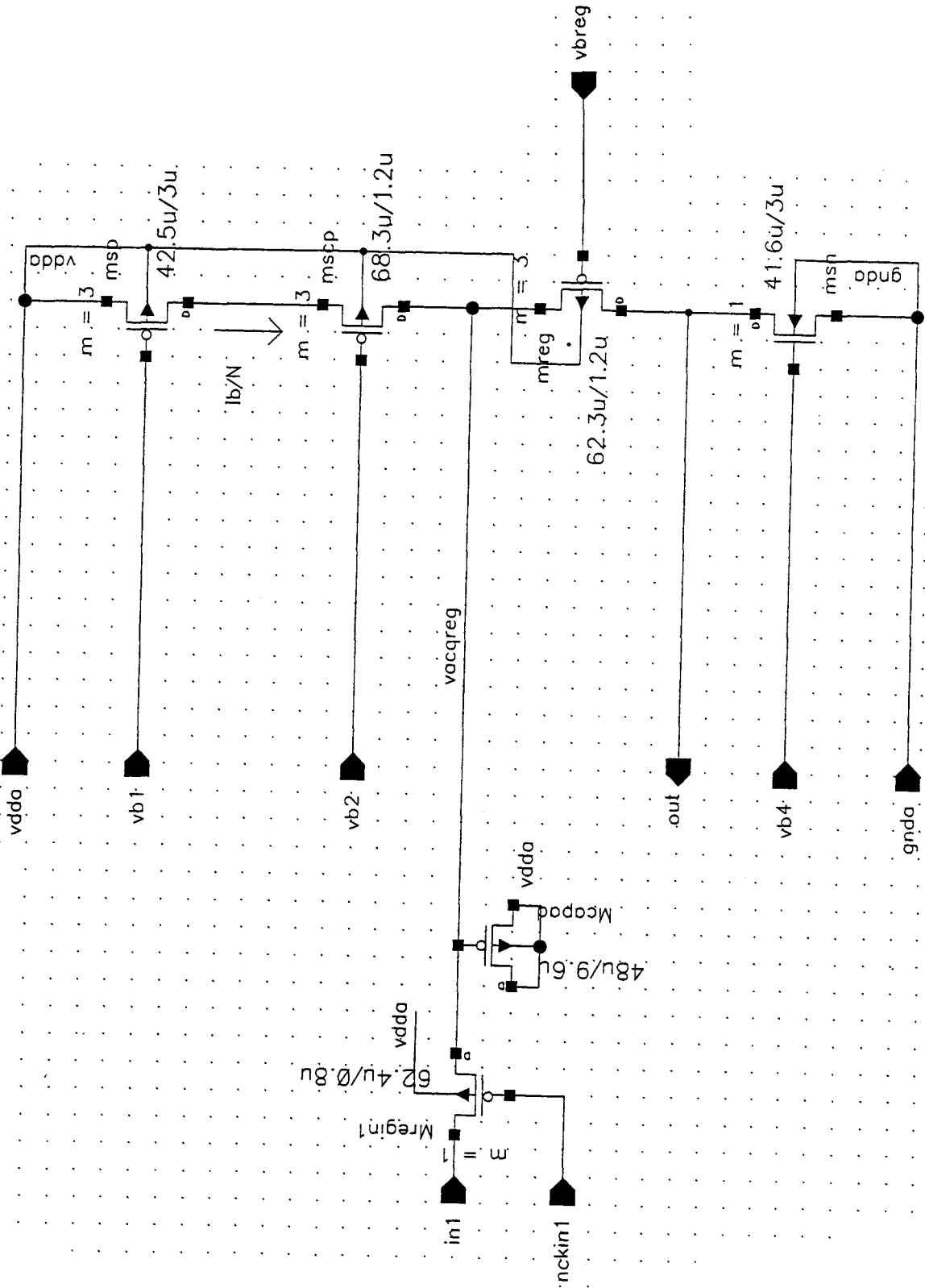


Fig 5.34 schéma de "reg5_2_2"

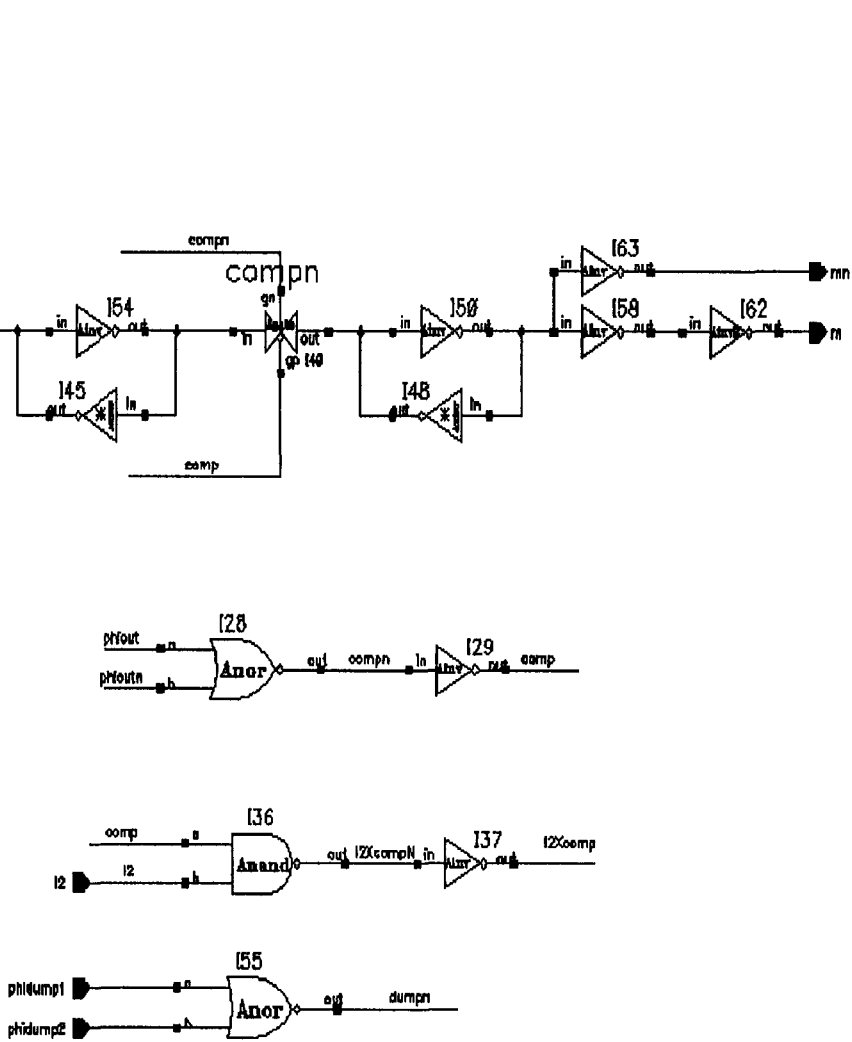


Fig 5.35 schéma de "Comps_2_1"

Comp5_2 (vip et vim sont polarises autour de vb4)

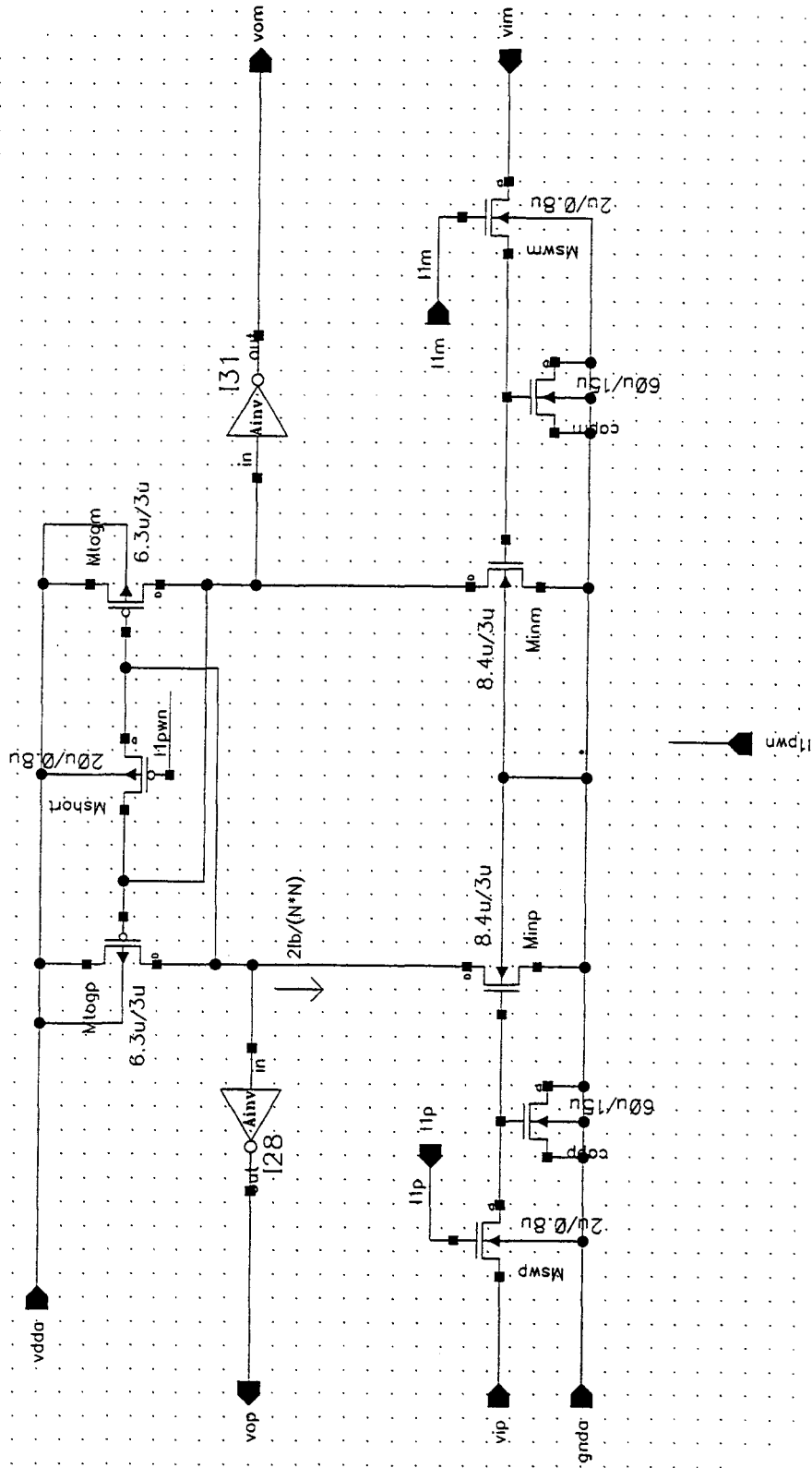


Fig 5.36 schéma de "Comp5_2"

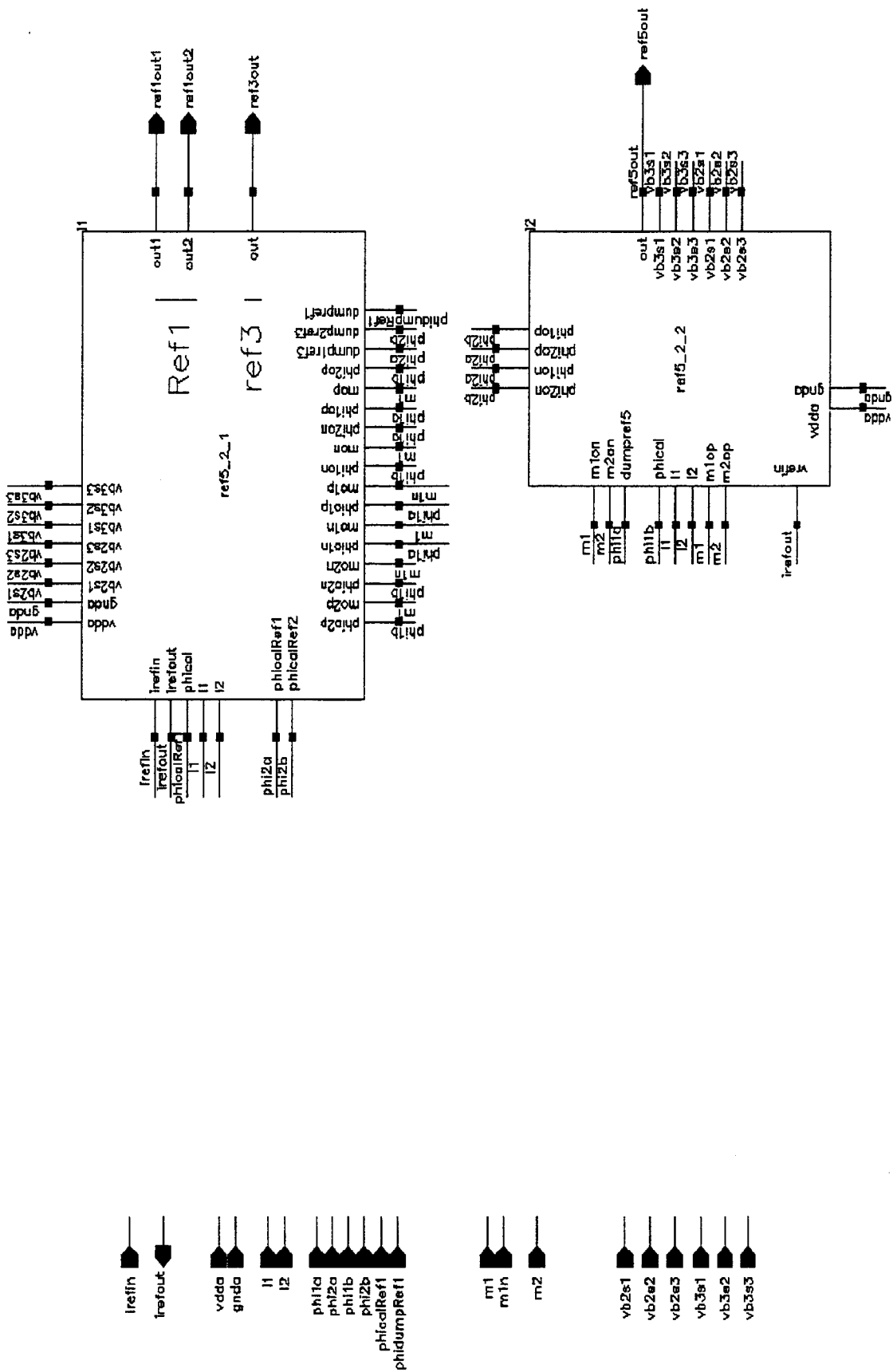


Fig 5.37 schéma de "Ref_singEnd"

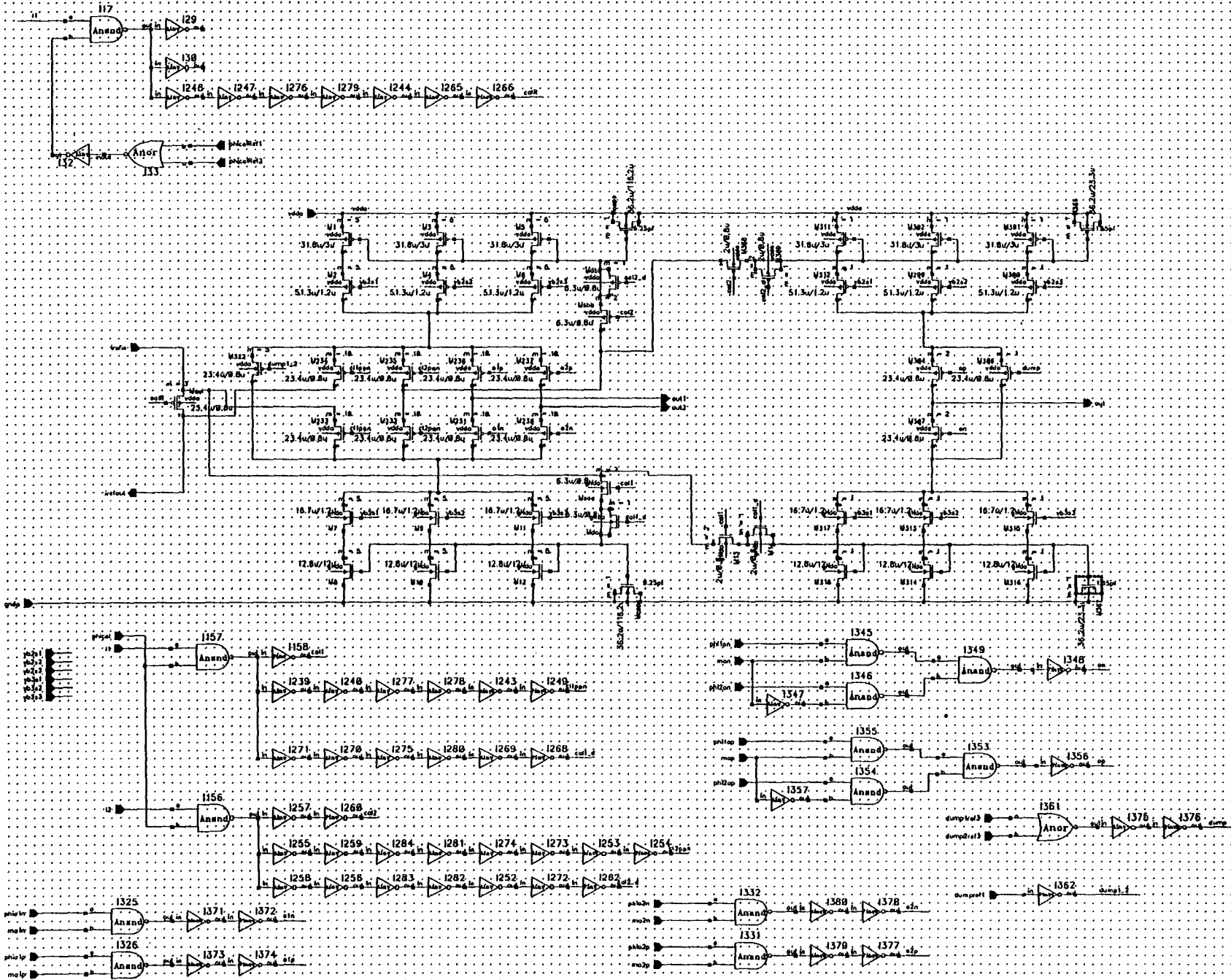


Fig 5.38 schéma de "Refs_2_1"

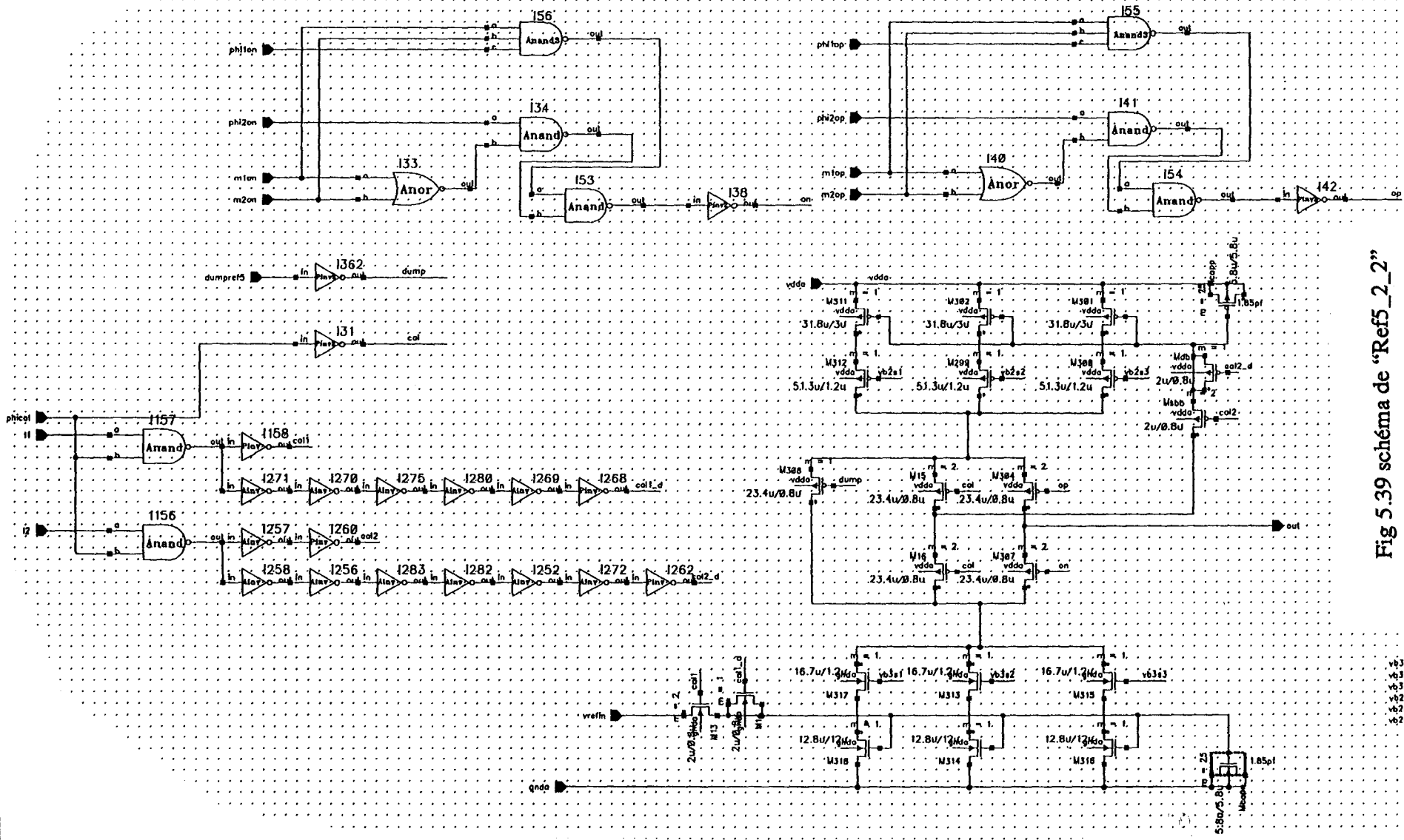


Fig 5.39 schéma de "Ref5_2_2"

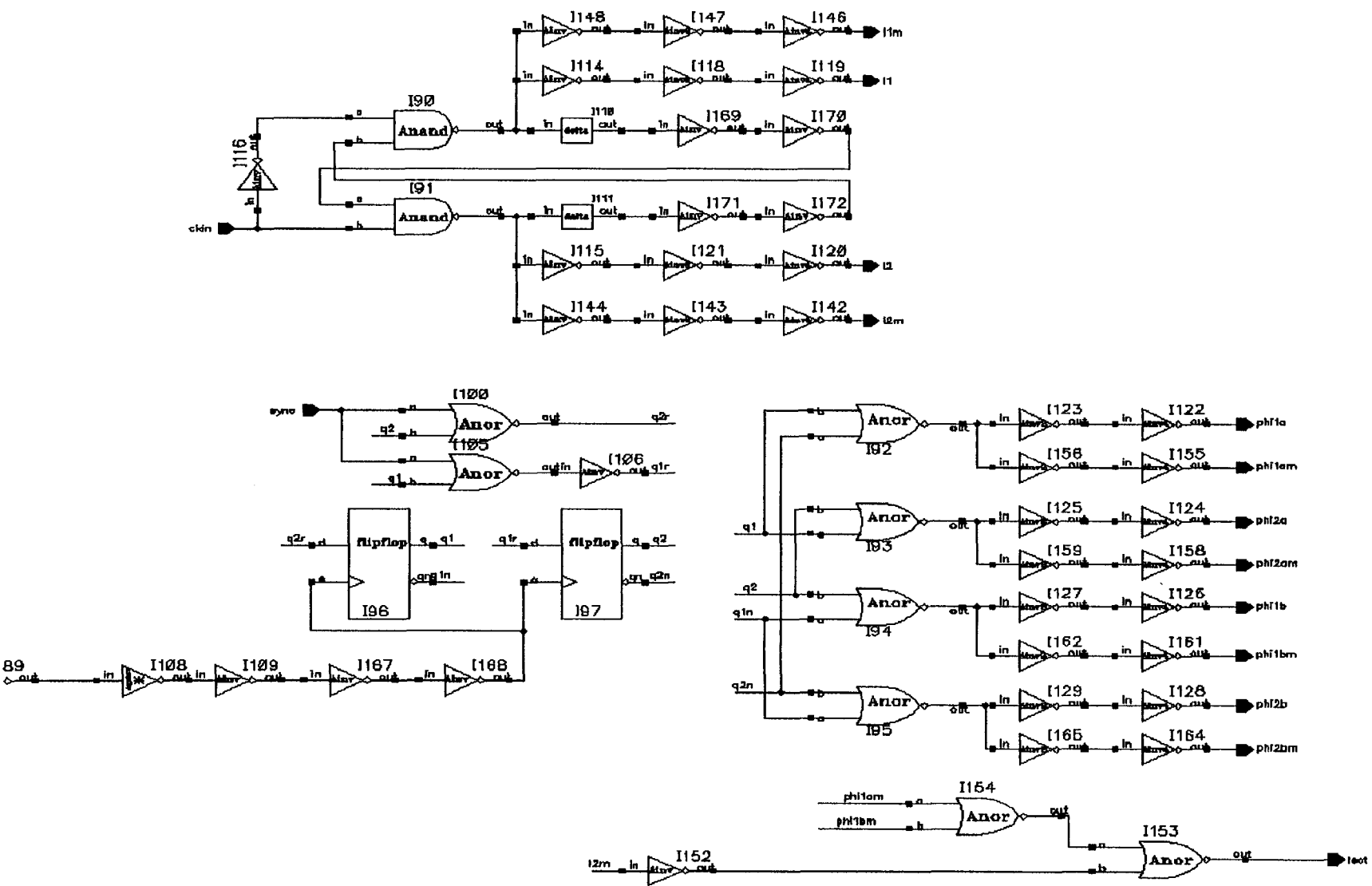


Fig 5.40 schéma de "clock_gen"

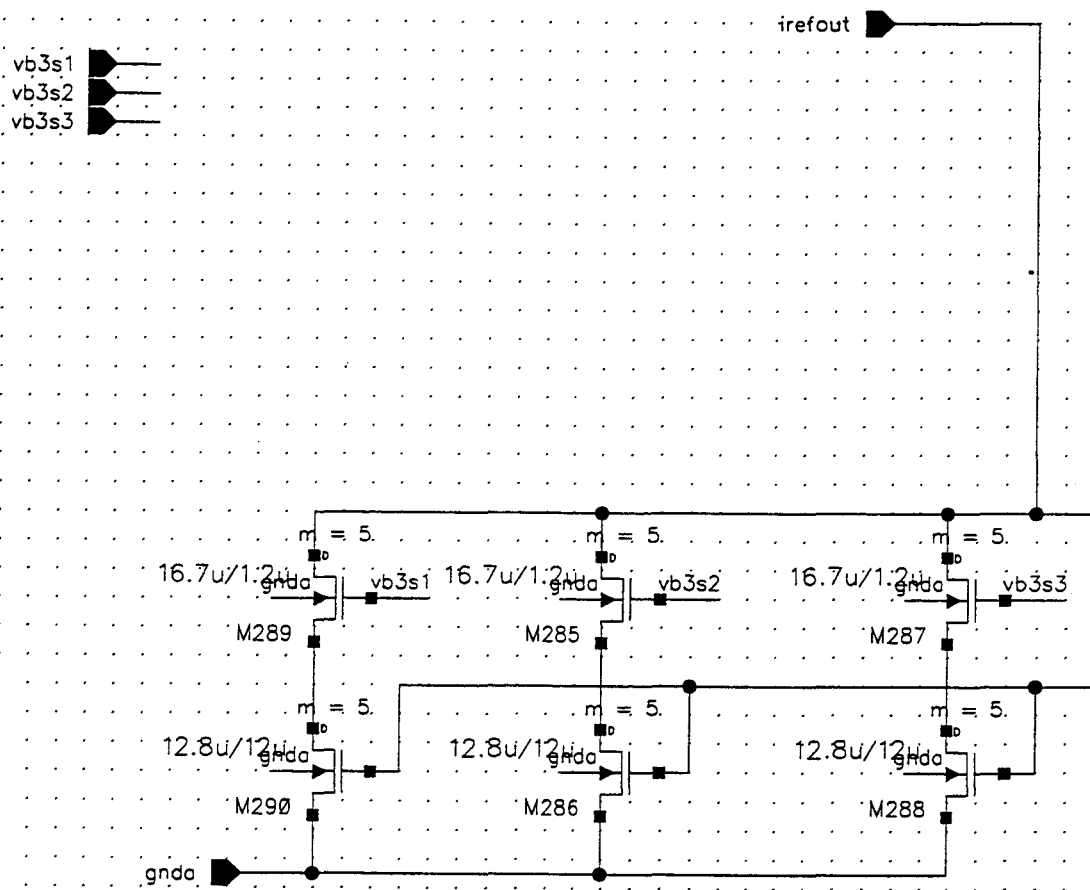


Fig 5.41 schéma de "irefdump"

imem5_2_4 (1 input, 2output, lb=5mA, cgp=100pf, cgn=37pf)
 cellule x2 yy4 out1 represente 1/10 de in

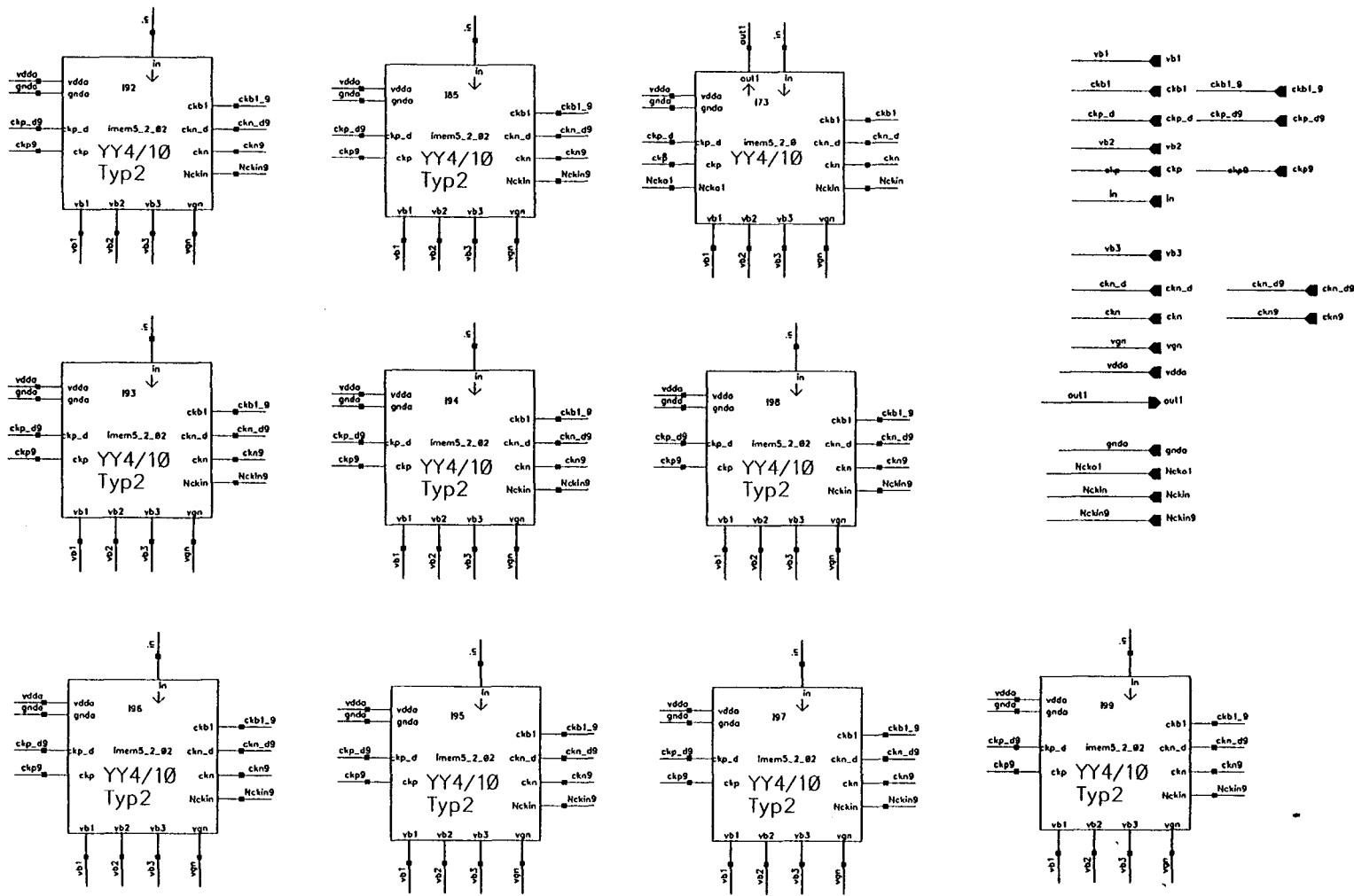


Fig 5.42 schéma de "imem5_2_4"

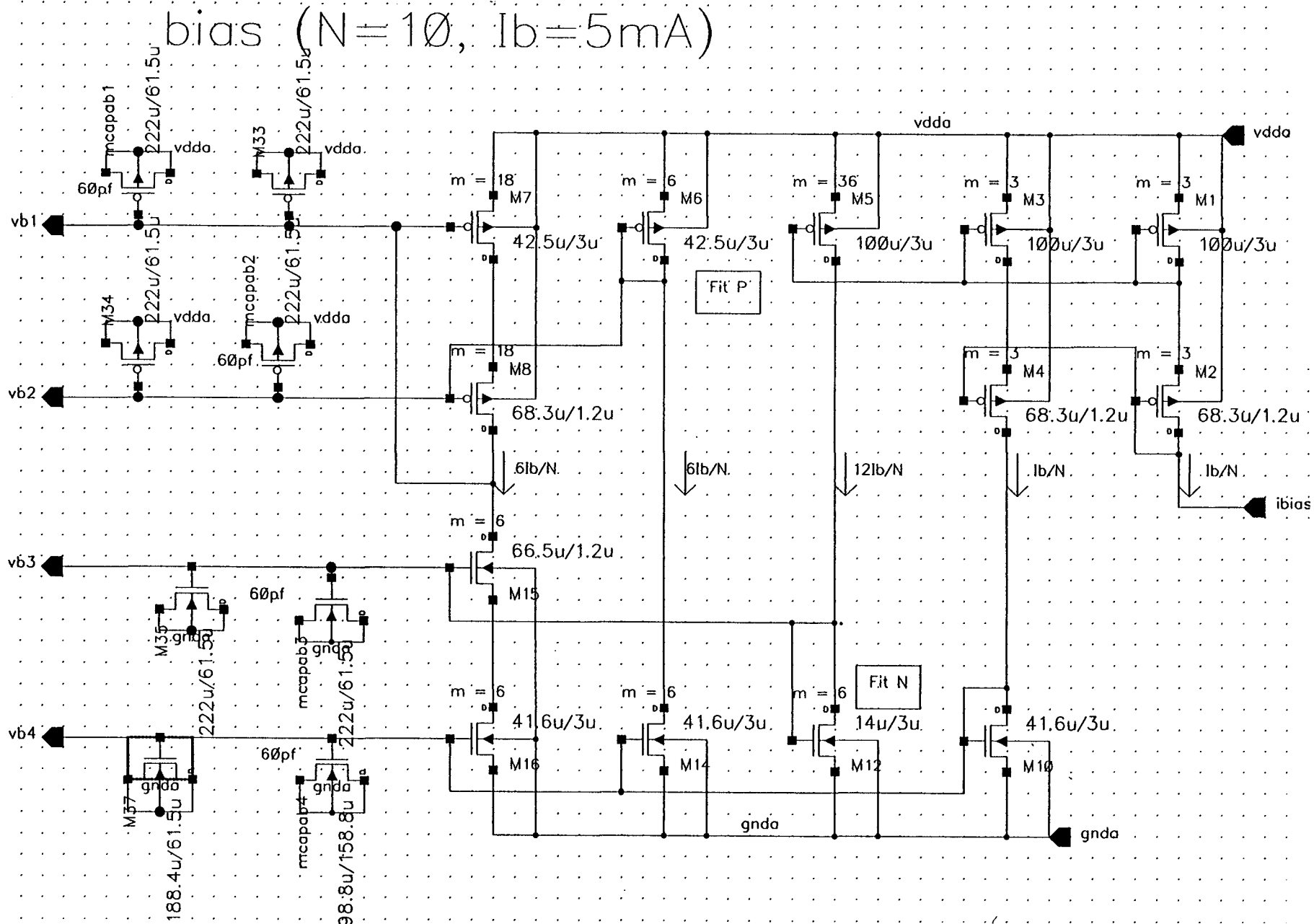


Fig 5.43 schéma de "bias_2"

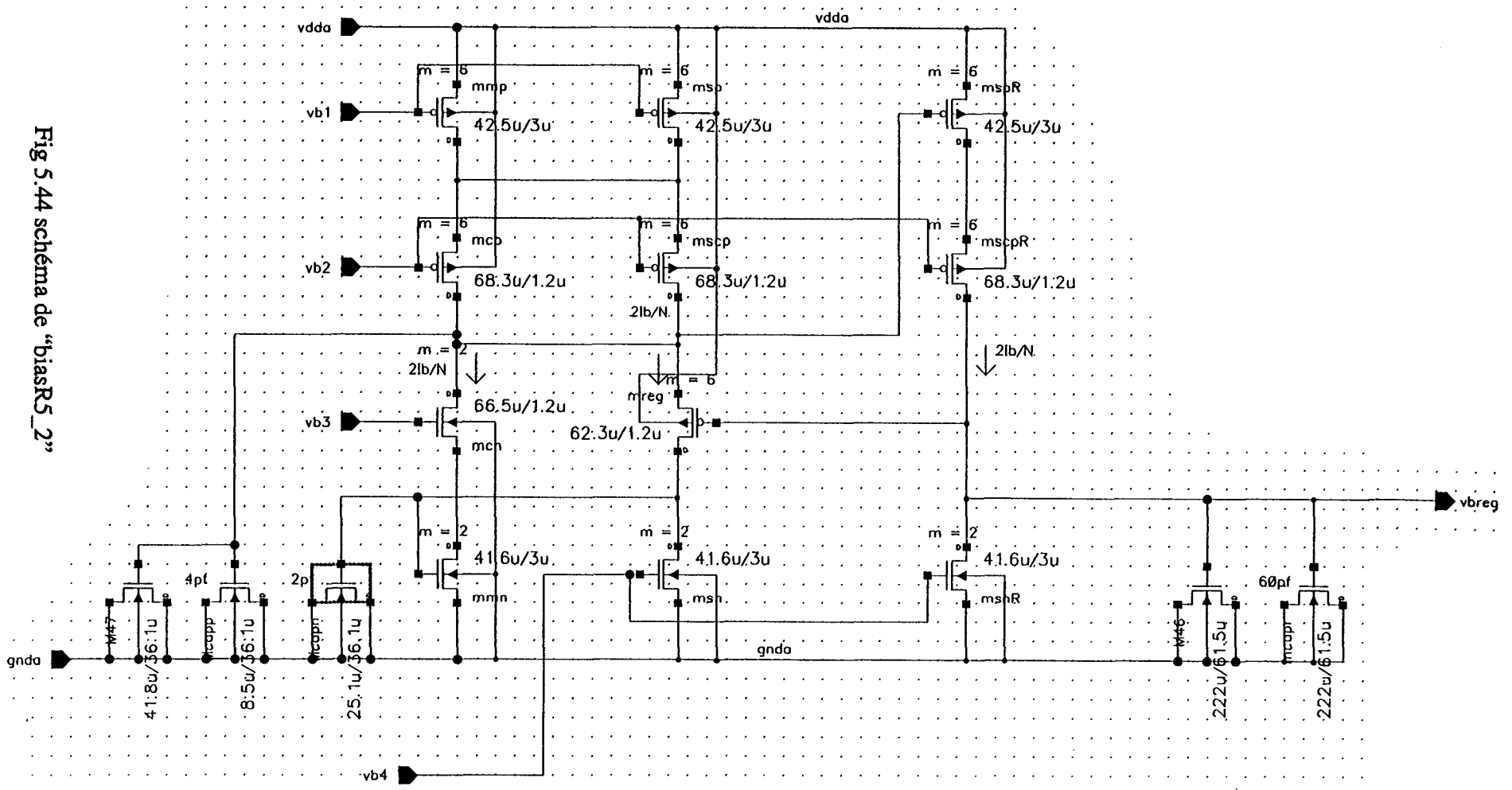


Fig 5.44 schéma de "biasR5_2"

Chapitre 6

Test du modulateur sigma-delta du troisième ordre de type M.A.S.H.21

Ce chapitre présente la manipulation de test, le circuit imprimé ainsi que la méthodologie employés pour évaluer les performances du modulateur sigma-delta M.A.S.H.21. Le test du circuit a été réalisé. les principaux résultats de mesures sont exposés et commentés. Nous proposons à la fin de ce chapitre des explications et des solutions pour remédier aux différences entre les performances voulues et mesurées.

6.1 Manipulation de test

Une manipulation de test a été spécialement développée pour le test du convertisseur. Le circuit imprimé de test comprend le convertisseur, la génération des références de tension et de courant nécessaires ainsi qu'un connecteur 20 broches (Jout2) permettant l'acquisition des sorties numériques par un système HP16500B. Il contient aussi un montage à deux amplis opérationnels permettant de générer deux signaux symétriques avec une précision et un niveau de bruit de l'ordre de 16 bits. Le système d'acquisition et le générateur de signal sont pilotés par un PC au moyen du logiciel d'instrumentation LabView. Les données numériques sont récupérées par le PC, la recombinaison de sorties numériques ainsi que la FFT et le calcul du TSNR sont faites par LabView. Les spectres ainsi obtenus peuvent être sauvegardés dans un fichier.

Le schéma détaillé de la maquette de mesure réalisée est donné Fig 6.2.

Le circuit est alimenté sous 5V, il nécessite pour fonctionner une source de courant de polarisation de 500µA. Les courants de polarisation et de référence sont dérivés de deux sources de courant Burr-Brown Ref200 (références fixes de 100 µA faible bruit). Le courant Iref utilisé par le circuit comme référence pour la conversion analogique numérique doit prendre deux valeurs suivant le mode de fonctionnement de la référence de courant du circuit. Le mode de fonctionnement est réglé au moyen des cavaliers S1 et S2. Le courant Iref correspondant à chacun des modes est le suivant:

- Mode1, 600mA pour (S1, S2) = (0,1)
- Mode2, 1200mA pour (S1, S2) = (1,1)

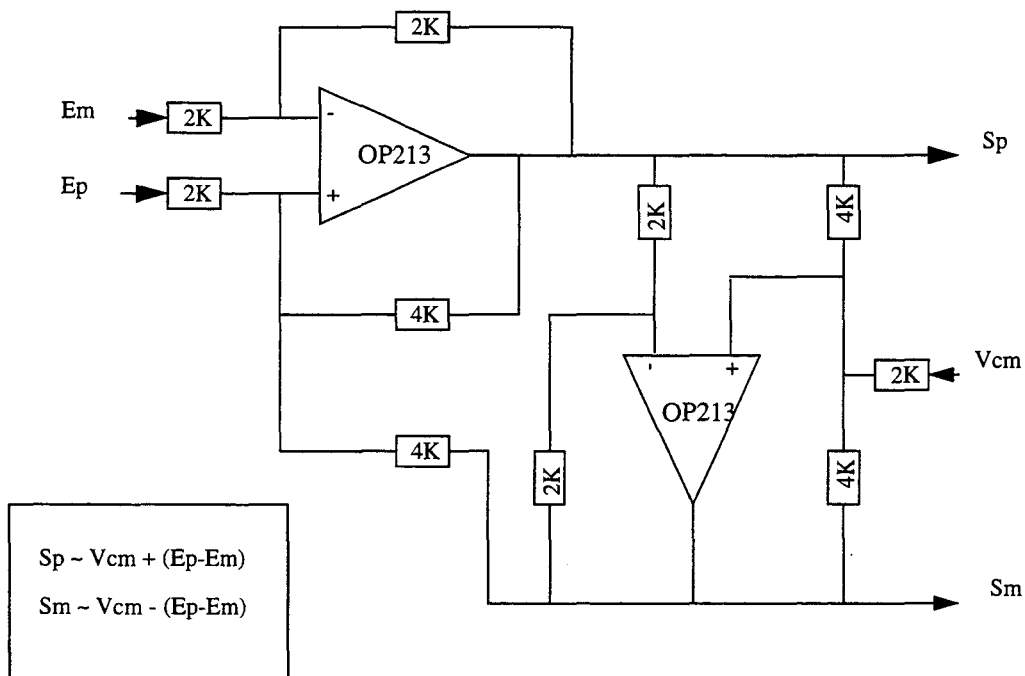


Fig 6.1 Montage générant le signal différentiel

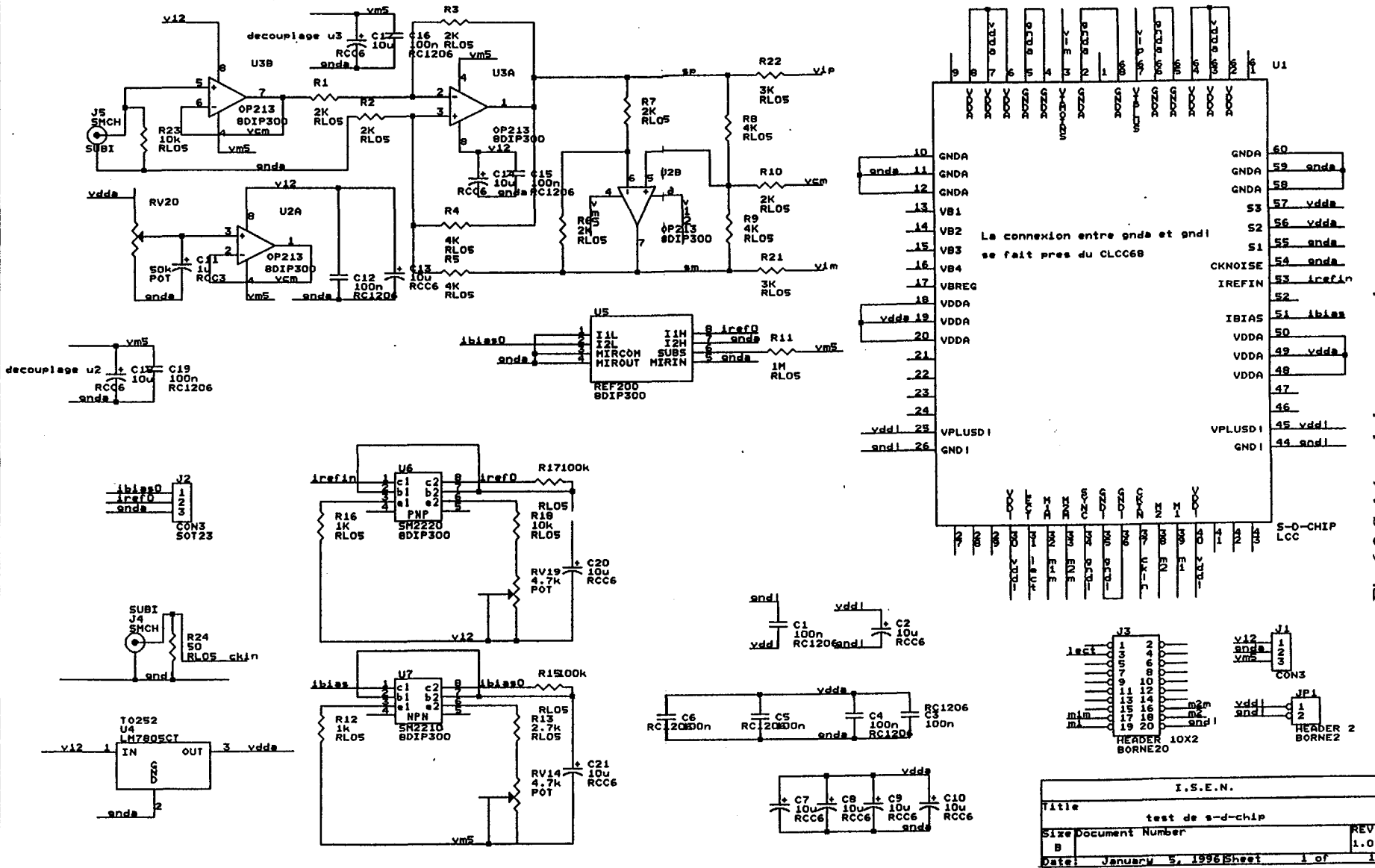


Fig 6.2 Schéma de la maquette de test

La conversion tension-courant à l'entrée du circuit est réalisée par l'intermédiaire de deux résistances de 3 KOhm précises à 0.1%. On utilise deux résistances (R_{convP} , R_{convN}) puisque l'entrée est différentielle. Les noeuds d'entrée du circuit étant asservis à la tension de polarisation V_{B1} , il suffit d'appliquer le signal en tension additionné à un potentiel (identique à V_{B1}) sur la résistance pour faire la conversion. Un montage à deux amplificateurs opérationnels réalise la génération des deux signaux d'entrée différentiels (centrés autour de V_{B1}) à partir du signal provenant du générateur de fréquence basse distorsion Khron-Hite. La Fig 6.1 explique le fonctionnement de ce montage, les amplificateurs OP 213 (U2) permettent d'obtenir un rapport signal sur distorsion de l'ordre de 16bits. Il y a peu de contraintes sur la précision et le matching des résistances utilisées.

La maquette de test comprends un système qui injecte sous forme de courant à l'entrée du modulateur une fraction du signal d'entrée. Il permet de régler très précisément la valeur de l'offset au moyen d'une résistance variable.

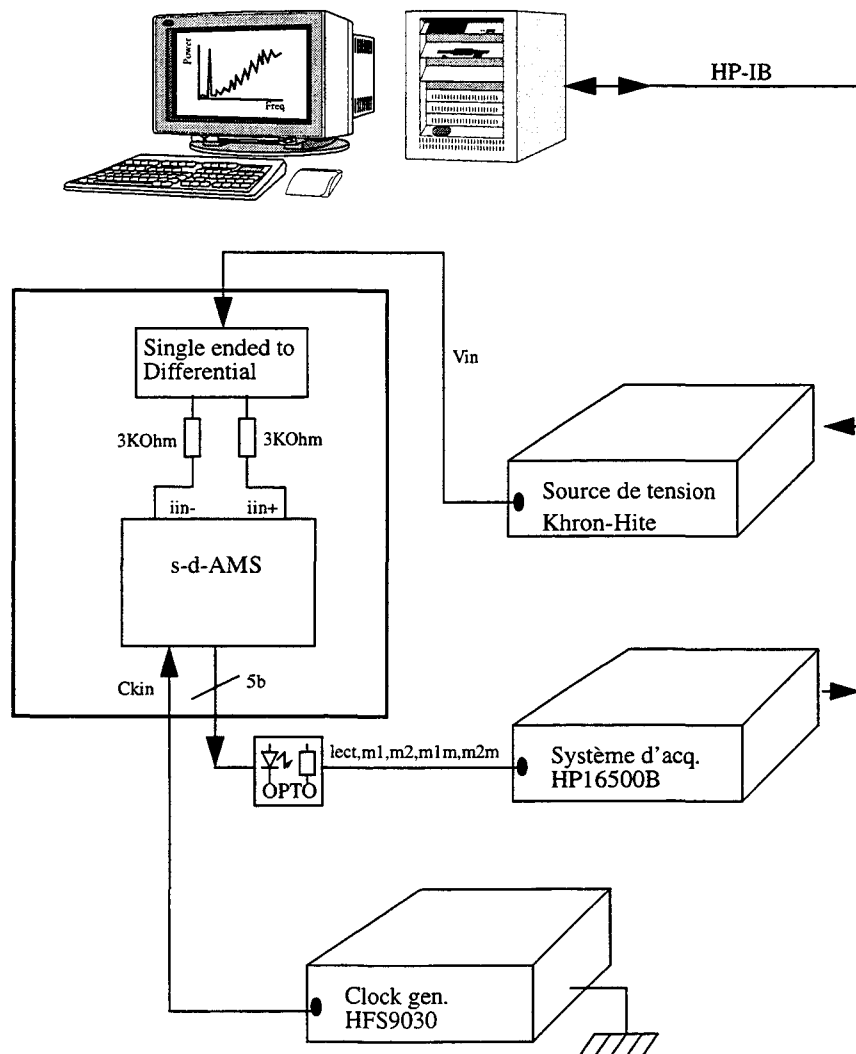


Fig 6.3 Automatisation de la caractérisation du convertisseur

Une série d'optocoupleurs HP7101 isole la masse de la plaquette de la masse du système d'acquisition de données HP16500B.

Le montage générant le signal différentiel a besoin du potentiel VB1 comme entrée mode commun (entrée vcm). La maquette de test peut générer ce signal de mode commun de deux manières:

- En recopiant la tension de polarisation VB1 disponible en sortie du circuit.
- En divisant, avec un pont résistif, la tension de référence de 5V disponible sur la plaquette.
- Dans ces deux cas, on utilise un amplificateur opérationnel monté en suiveur (Ucm1) pour augmenter l'impédance vu par la tension de bias VB1 du circuit ou par la référence de tension de la plaquette.

Le signal d'horloge est généré par un Tektronix HFS9030. Un buffer (Ub1), avec des filtres RC aux sorties, permet de filtrer directement les sorties m1 et m1m des deux modulateurs du second ordre, ceci afin de pouvoir visualiser directement la sortie du convertisseur sur un oscilloscope. Bien qu'inutile pour la mesure des performances du modulateur, cette possibilité permet, au démarrage des tests, de s'assurer du bon fonctionnement du circuit.

Le schéma de la Fig 6.3 explique l'automatisation de la caractérisation du convertisseur. Les signaux numériques entrant dans le système d'acquisition sont le signal de synchronisation lect qui indique que les données sont valides (sur front montant) ainsi que les quatre sorties (deux par modulateur du troisième ordre) m1, m2, m1m, m2m qui devront être recombinaées numériquement pour obtenir deux modulateurs du troisième ordre. Comme les deux modulateurs ont un courant d'entrée de signe contraire, en soustrayant la sortie du second modulateur à celle du premier, on a un gain de 3dB sur le TSNR. On peut aussi éliminer les signaux parasites de mode commun.

	VB1	VB2	VB3	VB4	V(Ibias)	V(Iref)	$\Sigma(\Delta^2)$
Mesure Chip no3	3.2	2.46	3.44	1.85	1.91	3.2	
Simu Lev 28	3.32	2.6	3.19	1.74	2.28	2.54	0.68
Simu lev 15 typ	3.39	2.68	3.36	1.78	2.33	2.68	0.54
Simu lev 15 ws	3.22	2.44	3.71	1.96	2.02	2.95	0.16
Simu lev 15 wp	3.54	2.91	3.02	1.6	2.63	2.4	1.71

V(bias) et V(Iref) correspondent à la tension mesurée sur le noeud d'entrée pour les courants Ibias et Iref
 'ws' signifie Worstspeed
 'wp' signifie Worstpower
 $\Sigma(\Delta^2)$ représente la somme des carrés de l'écart par rapport à la mesure

Fig 6.4 Tensions de polarisation mesurées et simulées.

6.2 Mesure de la polarisation du circuit

Pour la mesure statique le circuit est testé avec l'alimentation à 5V, la source de

polarisation à 500 μ A et le courant de référence Iref à 1200mA (mode 2 soit [S1,S2] = [0,1]). Le signal d'horloge Ckin est laissé à l'état bas, le circuit est donc dans l'état L1='1' (on se place en phase Phi2a). Cet état correspond à la phase de calibration du circuit de génération de référence Ref1 (cf chapitre 5).

La mesure des tensions de bias ainsi que la tension des noeuds d'entrée pour les courants Iref et Ibias est donnée Fig 6.4.

La mesure est comparée à quatre modèles. Le 'Lev 28' est un modèle développé par HSPICE et qui prends en compte la saturation de manière graduelle. Nous l'avons extrait et optimisé à partir d'un seul échantillon. Le 'Lev 15' est un modèle du simulateur ELDO, le fondeur nous l'a livré pour les simulations analogiques, il existe donc en version typique, forte consommation (worstpower) et faible vitesse (worstspeed).

Par comparaison, il apparaît que le modèle le plus proche pour le point de polarisation est le 'Lev 15 ws', en effet c'est lui qui présente le moins d'écart par rapport à la simulation. On remarque que les tensions VB1, VB2, V(Ibias) sont les plus proches. Ces trois tensions sont générées à partir de transistors PMOS alors que les autres tensions sont générées par des NMOS. Le modèle 'Lev 15 ws' a donc de meilleurs paramètres pour les transistors PMOS.

La polarisation mesurée est conforme à la simulation, le circuit est considéré comme bien polarisé.

6.3 Caractérisation du circuit en fonctionnement

Afin de pouvoir utiliser facilement les résultats de test, les conditions expérimentales suivantes sont précisées pour chacune des mesures:

- Tension d'alimentation (Volts) -> VDD
- Fréquence d'échantillonnage (Mhz) -> Fe
- Rapport cyclique du signal Ckin (%) -> Rcyc
- Rapport de suréchantillonnage -> OSR
- Fréquence du signal (Khz) -> Fx
- Amplitude d'entrée du signal (dB relatif au signal d'entrée maximal) -> Vin
- Courant de bias (mA) -> Ibias
- Courant de référence (mA) -> Iref
- Configuration du générateur de référence du modulateur -> Mod
- Type de modulateur test (2nd ordre, 3me ordre, 2 second ordre en parallèle, 2 troisième ordre en parallèle)
- Nombre de points utilisés pour la FFT (Samples) -> N

REMARQUES:

- Le rapport cyclique de l'horloge Ckin permet de fixer la répartition entre la première boucle (L1='1' correspond à Ckin='0'), et la seconde (L2='1' à Ckin='1') durant la phase d'acquisition de la cellule à mémoire de courant.
- La sélection du type de modulateur correspond à la méthode de recombinaison des sorties du modulateur. La sortie vaut m1 pour un second ordre (Typ 1), (m1-m1m) pour les deux seconds ordres en parallèle (Typ 2), $(m1+(1-Z^{-1})^2 m2)$ pour le MASH21 (Typ 3) et $(m1-m1m+(1-Z^{-1})^2(m2-m2m))$ pour les deux

MASH21 en parallèle (Typ 4).

Le Circuit a été dessiné pour fonctionner dans la configuration suivante:

VDD	Fe	Rcyc	OSR	Fx	Vin	Typ	Ibias	Iref	Mod
5	2.56	50%	128	<10	<0	4	0.5	1.25	2

• Chaque TSNR ou figure est suivi d'un numéro entre parenthèses, il correspond à la référence en annexe A des conditions expérimentales dans lesquelles le TSNR a été mesuré.

6.3.1 Influence de l'offset d'entrée

Au cours des mesures nous avons observé la présence de raies parasites. La fréquence et l'amplitude de ces raies sont dépendantes de la valeur du courant d'offset en entrée du modulateur. Un dispositif spécial permettant de régler très précisément la valeur de l'offset a été implémenté sur la carte de test. Les spectres des Fig 6.5 et Fig 6.6 ont été mesurés pour une valeur élevée d'offset (-50 dB) et une valeur quasi nulle de l'offset. Dans le second cas les raies parasites ont quasiment disparues, dans le premier elles existent et sont élevées.

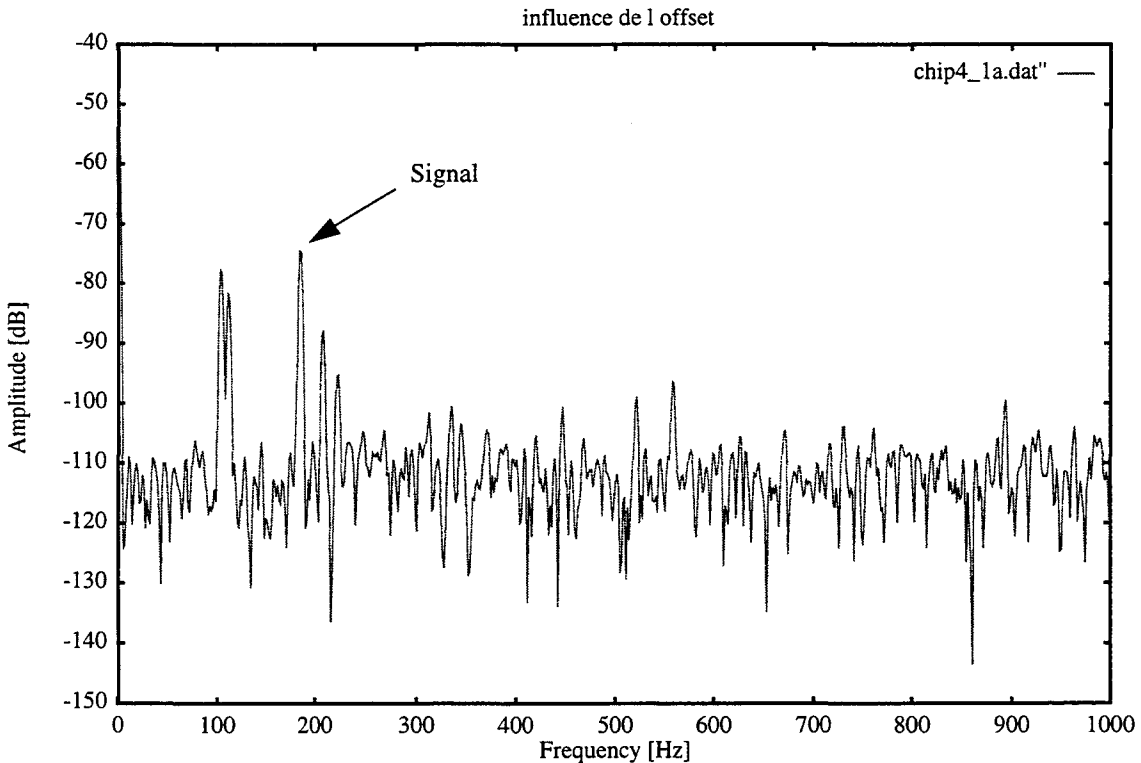


Fig 6.5 Spectre du modulateur du troisième ordre (offset -50dB)(cond11)

Ces raies ressemblent à des oscillations liées aux cycles limites dans les convertisseurs sigma-delta. En effet, ces cycles limites peuvent créer des fréquences parasites (sans rapport avec la fréquence du signal d'entrée) qui sont fonction essentiellement de la composante continue ainsi que de l'amplitude du signal d'entrée [1].

Pierre Carbou et al. attribuent ces raies à l'influence du second intégrateur sur le premier intégrateur du modulateur [2]. Une des raisons de cette influence est la communication par les tensions de polarisation communes aux deux intégrateurs.

Une influence identique est possible dans notre circuit puisque les tensions de

polarisations sont communes à tous les intégrateurs. Cette communication par les polarisations est simulable sur SPICE, malheureusement ce simulateur est trop lent pour pouvoir obtenir un spectre de sortie. La simulation en 'c' du modulateur sur un grand nombre de périodes a été faite avec un modèle simplifié de la cellule qui ne prends pas en compte pour l'instant ces influences. Ceci expliquerait la raison pour laquelle ces raies parasites n'ont pas été vues en simulation.

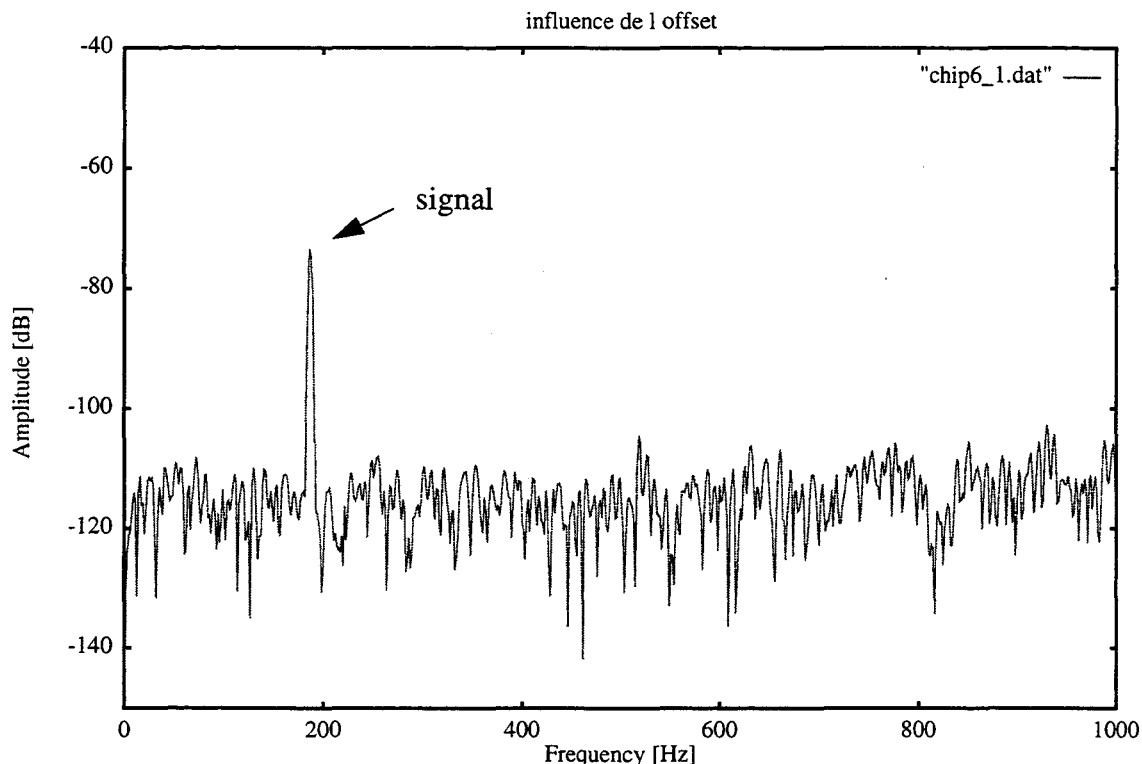


Fig 6.6 Spectre du modulateur du troisième ordre (offset nul)

Pour chaque exemplaire de circuit de circuit testé, nous avons cherché à annuler au maximum l'offset d'entrée avant de commencer les mesures.

6.3.2 Modulateur du second ordre seul

6.3.2.1 Problème d'établissement

En fixant la fréquence du signal à 2 KHz et son amplitude à -10 dB, on obtient un rapport Signal sur Bruit plus Distorsion de 54.25dB(cond1) pour un modulateur du second ordre seul. Le TSNR devient 51.68dB(cond2) pour un rapport OSR de 64.

Il est inutile de faire la comparaison avec un résultat de simulation pour voir qu'il y a un manque de précision, le TSNR est beaucoup trop faible. La Fig 6.7 représente le spectre en échelle logarithmique. La pente du bruit de quantification, théoriquement égale à 40 dB par décade, a une valeur bien plus faible entre 1000 à 5000 Hz. Le plancher de bruit est beaucoup trop haut. Ce genre de TSNR a été observé sur la simulation d'un modulateur comportant des cellules à mémoire de courant ayant une forte non-linéarité.

En diminuant la fréquence d'échantillonnage de moitié soit 1.2 Mhz on a une nette augmentation du TSNR qui passe à 60.57 dB(cond3) pour un OSR de 64 soit un gain de 9dB. Si on échantillonne à 600 KHz, avec un rapport cyclique de 25%, le TSNR devient égal à 69.02 dB(cond4) pour un OSR de 64. Le circuit a donc un problème lié à l'établissement lors de la phase d'acquisition. Le fait de diminuer encore la fréquence d'échantillonnage n'apporte

presque plus rien, en effet pour $F_e=300$ Khz le TSNR est de 70.52 dB(cond5).

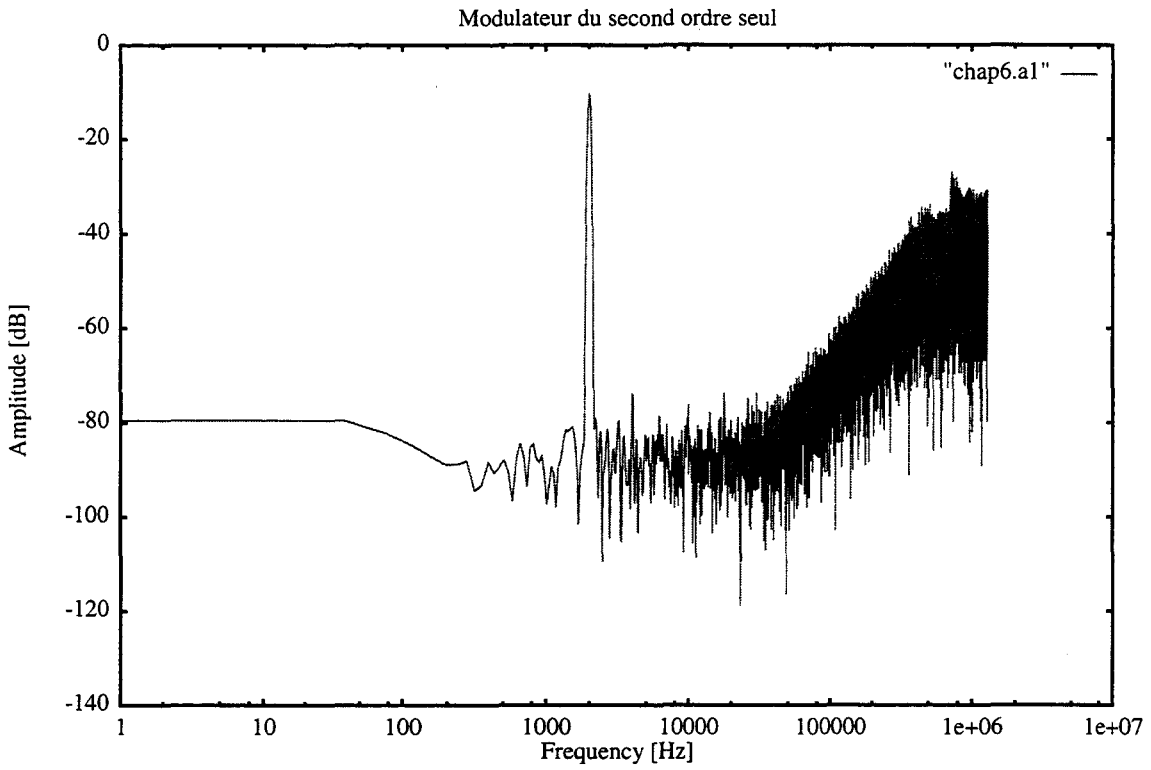


Fig 6.7 Spectre de la sortie d'un modulateur du second ordre pour $F_e=2.56$ Mhz(cond1)

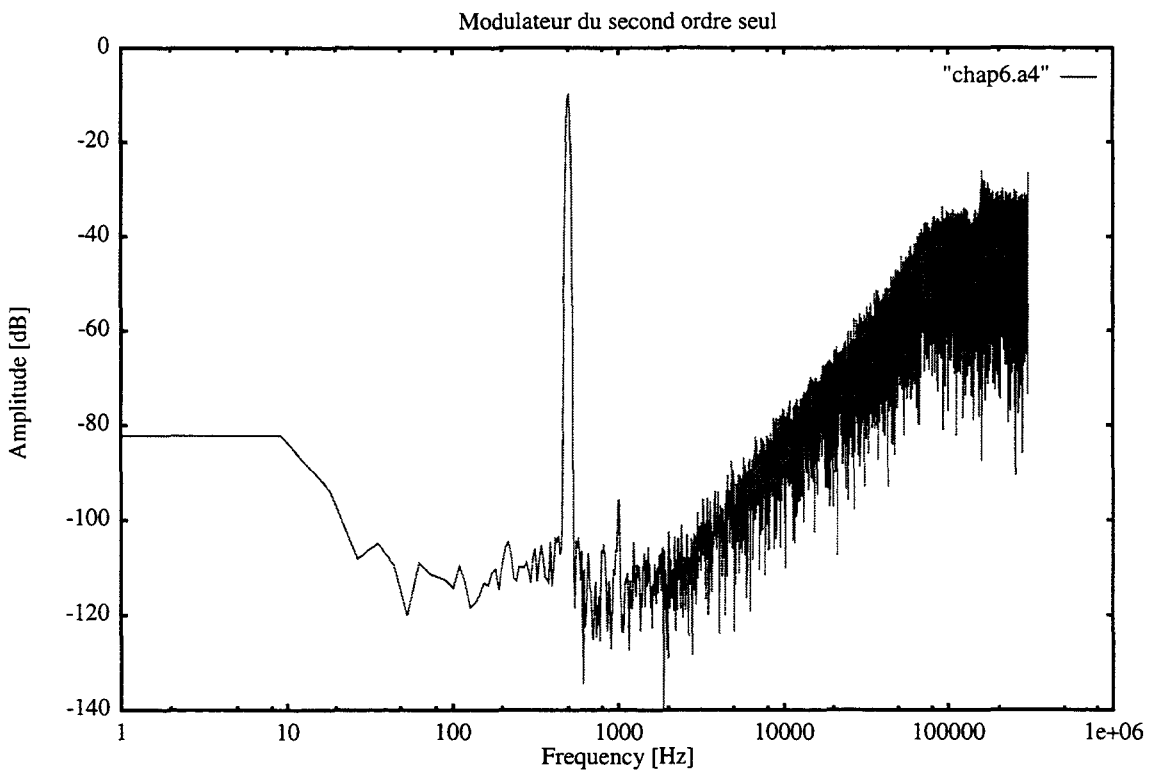


Fig 6.8 Spectre d'un modulateur du second ordre pour $F_e=600$ Khz(cond4)

La Fig 6.8 représente le Spectre du modulateur pour $F_e=600$ KHz. On voit que la pente du bruit de quantification est de 40dB par décade. Le TSNR obtenu à $F_e=600$ Khz correspond à celui d'un modulateur du second ordre.

Le fait de réduire la fréquence d'échantillonnage de 2.56 Mhz à 0.6 Mhz réduit considérablement la bande de base. En fixant le rapport de suréchantillonnage à 64, on garde une bande de base de 4680 Hz tout en maintenant une bonne précision.

6.3.2.2 Mesure de la linéarité du modulateur du second ordre

La Fig 6.9 représente la mesure de la linéarité du modulateur du second ordre seul. le TSNR maximal mesuré est de 70.26dB(cond6) pour un signal d'entrée à -7dB par rapport à la référence ce qui correspond à un nombre de bits effectifs égal à 12.5. La linéarité du modulateur est identique, en effet le tracé de la Fig 6.9 est toujours supérieur à la droite des 12.5bits.

Ce résultat pour un modulateur Sigma-Delta du second ordre est normal, toutefois la courbe de linéarité du modulateur a une brusque chute pour un signal d'amplitude supérieure à -7db. Cela est du à la désaturation du second intégrateur, la simulation avait prédit un tel phénomène.

La mesure des caractéristiques du modulateur du second ordre seul a mis en évidence un problème important de stabilisation en phase d'acquisition qui diminue fortement la fréquence d'échantillonnage maximale.

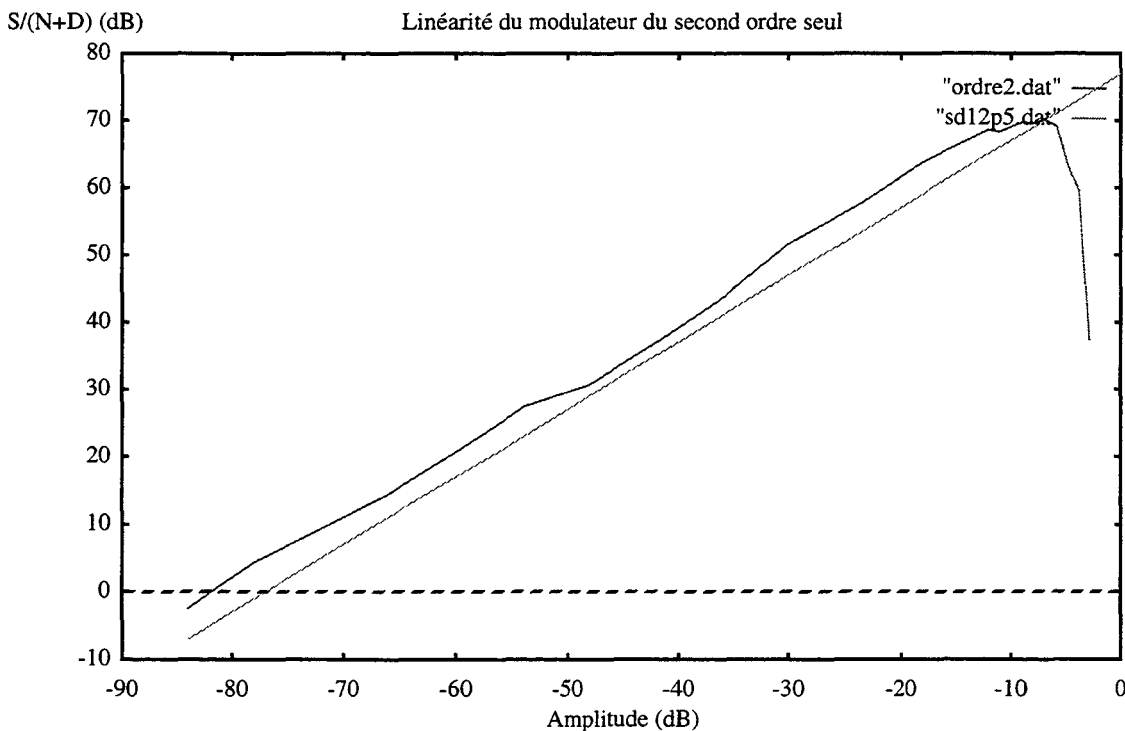


Fig 6.9 Linéarité du modulateur du second ordre. La pente droite correspond à un modulateur 12.5 Bits idéal (cond7)

6.3.3 Modulateur du troisième ordre

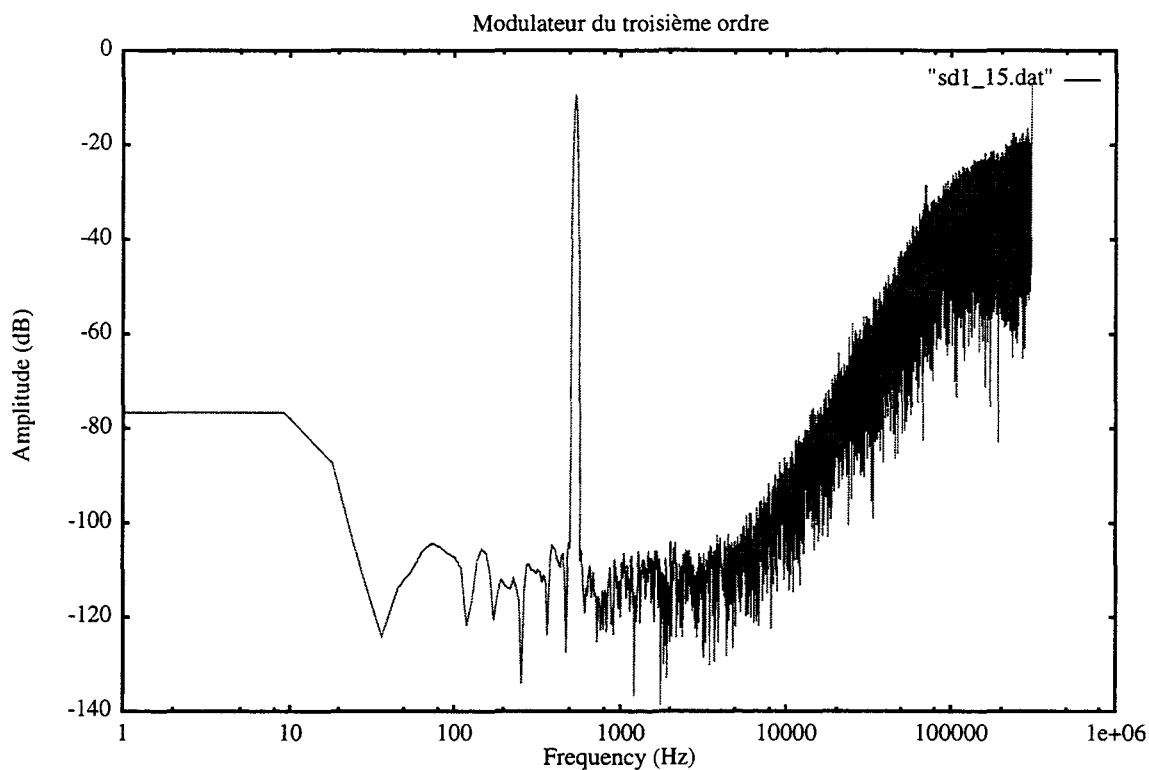


Fig 6.10 Spectre d'un modulateur du troisième ordre pour I_{in} à -15 dB(cond8)

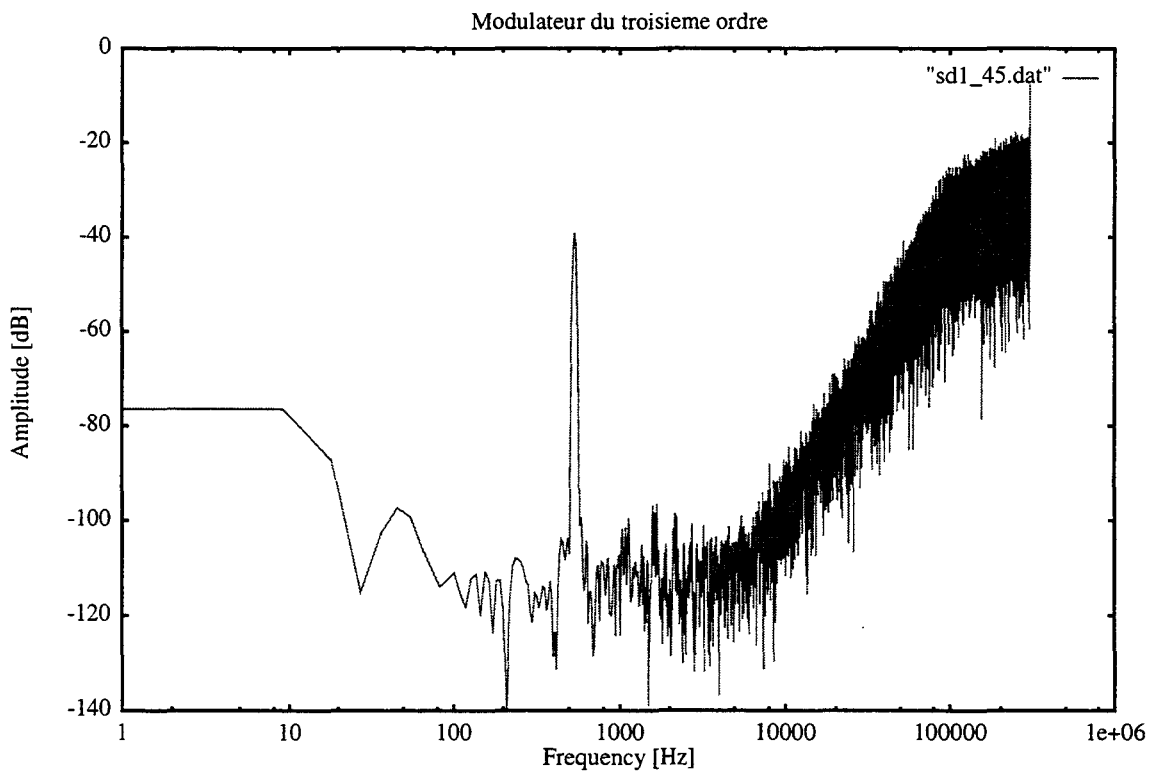


Fig 6.11 Spectre d'un modulateur du troisième ordre pour I_{in} à -45 dB (cond9)

Le modulateur du troisième ordre caractérisé est en fait la mise en parallèle de deux modulateurs MASH 2+1, l'un fonctionnant sur un signal d'entrée positif, l'autre fonctionnant sur l'opposé de ce signal (cf Chapitre 5 partie 5.1). L'intérêt réside dans le gain de 3dB sur le rapport signal à bruit ainsi que sur l'élimination de certains signaux de mode commun. Si les sorties du premier MASH 2+1 sont m_1 et m_2 , et celles du second sont m_{1m} et m_{2m} , la recombinaison permettant de calculer la sortie finale est $(m_1 - m_{1m} + m_2(1-Z^{-1})^2 - m_{2m}(1-Z^{-1})^2)$.

En fixant l'amplitude du signal d'entrée à -15 dB, le modulateur du troisième ordre donne un TSNR de 76.67 dB(cond8) en fonctionnant en mode2 pour une fréquence d'échantillonnage de 0.6 Mhz et un OSR de 64. Ce résultat correspond à un nombre de bits effectifs de 14.9 bits. La Fig 6.10 représente le spectre mesuré dans ces conditions (cond8). On remarque que le bruit de quantification possède bien la pente de 60dB par décade correspondant à un modulateur du troisième ordre.

Les Fig 6.11 et Fig 6.12 donnent le spectre du modulateur pour une amplitude respectivement de -45 dB et -90 dB. Le TSNR correspondant est de 45.27 dB (cond9) et 1.61 dB (cond10).

Sur le spectre mesuré à une amplitude de -45 dB, des raies parasites situées autour des fréquences harmoniques du signal sont visibles. Ces raies parasites provoquent une légère baisse du rapport signal à bruit pour une amplitude d'entrée comprise entre -40 dB et -50 dB (cf Fig 6.13).

L'origine de ces raies est due à des cycles limites dans le convertisseur. Dans le spectre de la Fig 6.11 elles sont très faibles suite à l'annulation de l'offset en entrée.

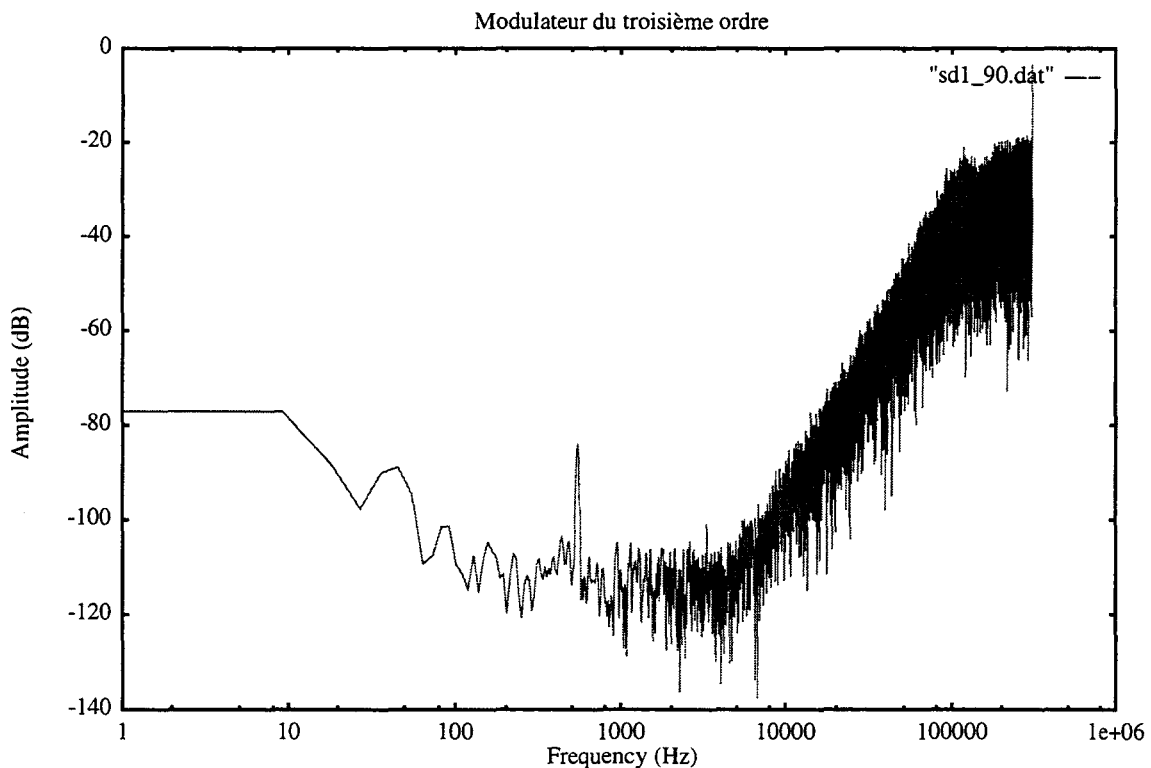


Fig 6.12 Spectre d'un modulateur du troisième ordre pour I_{in} à -90 dB (cond10)

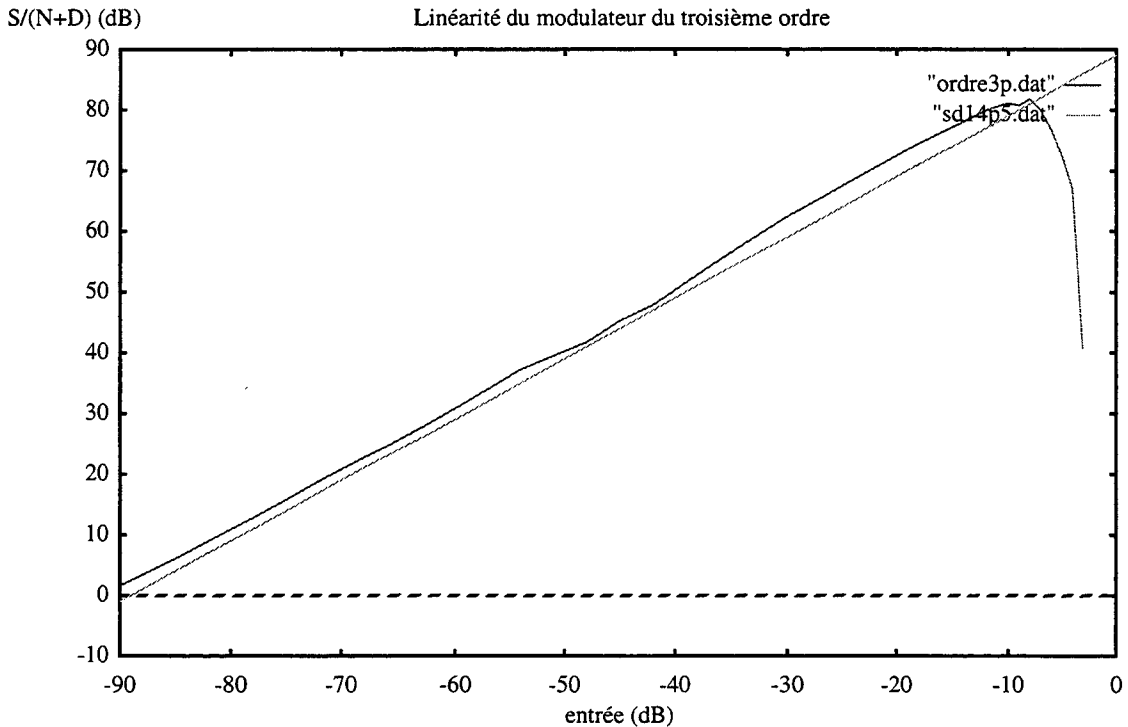


Fig 6.13 Linéarité du modulateur du troisième ordre (cond11)

La mesure de la linéarité du modulateur est donné Fig 6.13. La courbe obtenue est presque linéaire, le TSNR commence à chuter pour une amplitude de signal supérieure à -8 dB. La droite sur le graphique est la caractéristique théorique d'un modulateur 14.5 Bits. La linéarité du convertisseur réalisé est toujours supérieure ou égale à cette droite ce qui signifie que ce modulateur Sigma-Delta a une linéarité de 14.5 Bits.

La consommation du circuit est de 68 mA ce qui représente une dissipation de 340 mW. Une telle puissance dissipée est élevée mais était prévue. En effet, dans le chapitre 4 nous montrons que pour atteindre un rapport SNR de 16 Bits, il faut un courant de polarisation par cellule égal à 5mA.

Nous avons testé le circuit pour des valeurs de courant de polarisation plus faibles (cond12). La valeur minimale, sans que la précision du circuit soit affectée (excepté la fréquence d'échantillonnage plus faible de 400 Khz), est 200 μ A. Dans ce cas la puissance consommée par le circuit est de 136 mW.

La linéarité du modulateur que nous avons obtenue par simulation est celle d'un modulateur 16 Bits. La linéarité obtenue par mesure est supérieure à celle d'un convertisseur 14.5 Bits. L'écart entre la simulation et la mesure est de l'ordre de 9 dB. En diminuant le courant de polarisation, la linéarité mesurée ne diminue pas, cela signifie que ce n'est pas le bruit thermique qui limite la linéarité de notre convertisseur, ce qui est le cas en simulation. Cette différence peut être due à d'autres limitations qui ne sont pas prises en compte dans le simulateur de circuit à mémoires de courant:

- Chemin parasite entre les différents intégrateurs provenant des tensions de polarisation VB1, VB2, VB3, VB4 et VBreg qui sont communes à tout le circuit.
- une différence entre les deux lignes de traitement du signal dans le modulateur qui crée

un sous échantillonnage à $f_e/2$ laissant passer en bande de base un peu de bruit de quantification.

Les caractéristiques principales mesurées sont rappelées dans le tableau suivant.

Caractéristique	Conditions1	Condition2	Remarque
Tension d'alimentation	5V	5V	Le circuit fonctionne pour $V_{DD} > 4.25$ V
Courant de Polarisation	500 μA	200 μA	valeur nominale 500 μA
Fréquence d'échantillonnage	0.6 Mhz	0.4 MHz	Le circuit a été dessiné pour F_e valant 2.56Mhz
Consommation	340mW	136 mW	Le circuit a été dessiné pour une précision élevée de 16bits
OSR	64	64	
Courant de référence	1200 μA	600 μA	1200 μ A: Mod2, 600 μ A: Mod1
Dynamique d'entrée	91 dB	88 dB	
Linéarité	14.5b	14.5b	
SNR Maximum	81.88 dB	80.12 dB	
Dépendance à la Température	+ 0 dB/°C ($T < 40$ °C) - 0.1 dB/°C ($T > 40$ °C)		La perte de performances est d'environ 1dB/10°C pour une température supérieure à 40°C

Dans le prochain paragraphe nous proposerons une explication face au problème de temps d'établissement de la cellule. Des solutions permettant de résoudre le problème seront exposées.

6.4 Analyse des problèmes d'établissement

Afin de comprendre le trop long temps d'établissement, des mesures supplémentaires ont été faites. Cette partie détaillera les mesures entreprises ainsi que les conclusions.

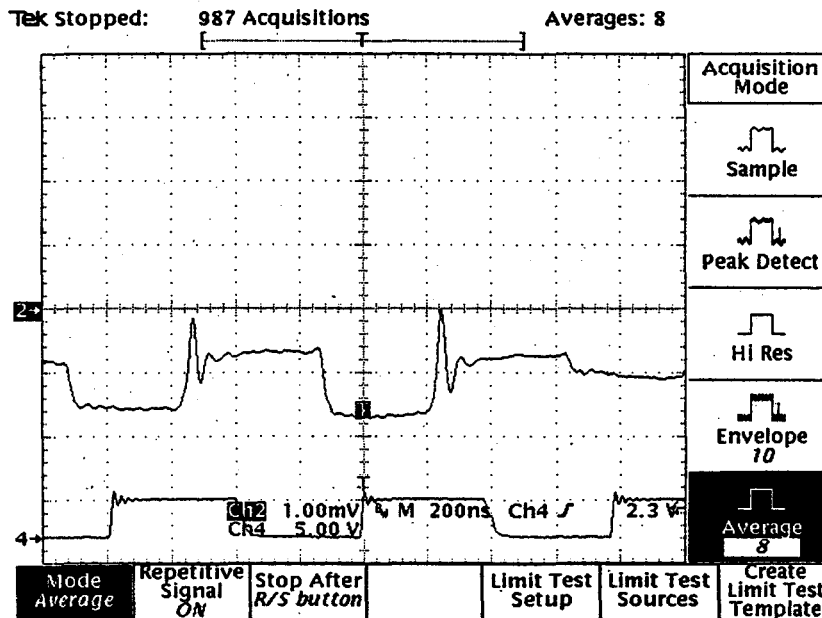


Fig 6.14 Mesure sous pointes de l'évolution de la tension de mémorisation V_{gp}

6.4.1 Mesures sous pointes

Le layout du circuit contient des plots de test sous pointes raccordés aux noeuds de mémorisation V_{gn} et V_{gp} des cellules à mémoire de courant du premier intégrateur. Le circuit de test a été installé sur le bâti de test sous pointes afin de pouvoir poser la pointe de mesure. La pointe employée est une picoprobe, elle a pour particularité d'être active et ne possède qu'une capacité d'entrée de 0.05 pF.

Le fait de poser la plaquette de test sur le bâti de mesure nous oblige à allonger les fils d'alimentation de la maquette de caractérisation ainsi que les autres connexions. Lors de la mise en fonctionnement du circuit, nous avons observé une nette augmentation du bruit de sortie. Cette observation a été faite à l'oscilloscope. En effet, sans signal à l'entrée du modulateur, la fréquence de la principale raie parasite (avant réglage de l'offset) était visible à l'oscilloscope en sortie du filtre R-C de la maquette. Par contre elle n'est plus visible lorsque la plaquette de test est sur le bâti, un bruit important la masque. Suite à cette remarque, on peut penser que les alimentations ont une contribution importante dans le bruit de sortie.

La Fig 6.14 représente la visualisation de la tension de mémorisation V_{gp} d'une des cellules à mémoire de courant du premier intégrateur. On distingue bien sur la figure les deux boucles de l'acquisition. Pour obtenir cette figure, une limitation de la bande passante de la voie2 ainsi qu'une moyenne ont été utiles. En effet, la sortie de la pointe visualisée directement est extrêmement bruitée. Une des causes pourrait être le fait que le potentiel mesuré par la pointe est référencé à la masse du circuit alors que la tension de mémorisation V_{gp} est

référéncée par rapport au Vdd du circuit. Le bruit apporté par l'alimentation sera donc additionné au signal à mesurer.

La picoprobe agit comme une sonde classique elle divise par dix le signal, la résolution est donc de 10mV par carreau pour la voie2. La valeur de la tension de mémorisation en fin de seconde boucle reste quasiment identique, à quelques millivolts près, d'une phase à la suivante. On peut en déduire que la tension d'entrée lors de la seconde boucle est bien régulée, mais pas autant que la simulation le prédit. En effet la simulation donne une variation inférieure à 1mV de la tension de mémorisation V_{gp} de la cellule sur toute la dynamique d'entrée.

Durant la seconde boucle de l'acquisition, on distingue nettement l'établissement de la tension V_{gp} , les oscillations du settling mettent à peu près 100ns pour être totalement amorties ce qui correspond aux simulations SPICE. Par contre, de petites oscillations persistent durant le reste de la boucle bien que la mesure soit moyennée. Ces oscillations ne sont pas prédites par SPICE, elle pourraient expliquer en partie un manque de précision de la cellule.

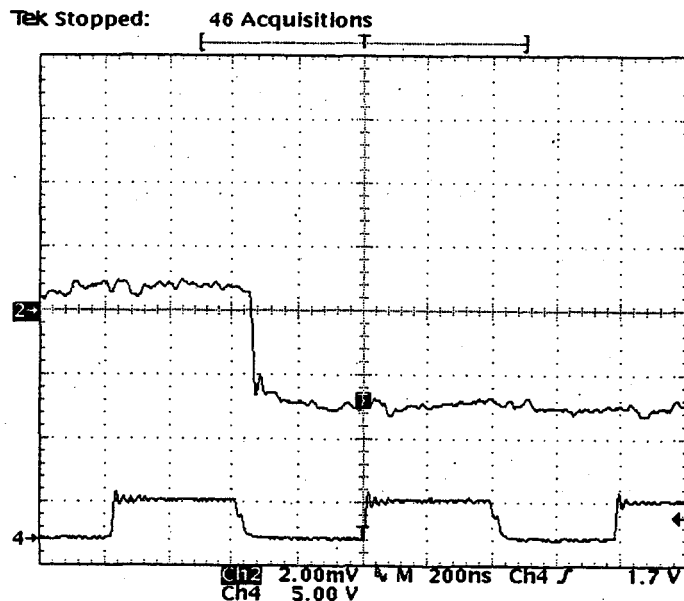


Fig 6.15 Mesure sous pointes de l'évolution de la tension de mémorisation V_{gn}

L'évolution de la tension de mémorisation V_{gn} est donnée en Fig 6.15. Les variations de la tension de mémorisation V_{gn} lors de la première boucle sont bien plus importantes, la résolution est de 50mV par carreaux, le step d'acquisition mesuré est de 40mV. Le transitoire d'établissement est plus difficile à visualiser dans cette mesure, il est caché par un bruit important et la résolution est moins élevée. La mesure n'est plus moyennée. En effet, la valeur de la tension de mémorisation V_{gn} pendant la première boucle n'est pas asservie autour de V_{B1} mais varie en fonction de l'entrée de la cellule, la moyenne n'est plus possible.

La mesure devrait être moins bruitée puisque la tension V_{gn} tout comme la pointe de mesure sont référencées à la masse. On distingue quand même sur la mesure un bruit important, il peut venir du fait que la référence de masse de la pointe est prise sur la plaquette de test alors que la tension V_{gn} est référencée à la masse du circuit intégré.

En ralentissant la base de temps, on obtient la mesure de la Fig 6.16. La cellule visualisée est la YY1a. Elle est en acquisition d'un courant nul pendant la phase Phi2b, elle fait l'acquisition d'un courant provenant du modulateur pendant la phase Phi1a et elle est en restitution de ce courant pendant les phases Phi2a et Phi1b.

Sur la figure, la tension Vg prend périodiquement la même valeur pendant 1/4 de la période et prend une autre valeur le reste du temps, cette autre valeur est différente d'une période à l'autre. Cette observation est normale, la phase Phi2b correspond à la valeur identique prise pendant 1/4 de la période, cette valeur est en fait la valeur de Vgn correspondante à une courant d'entrée nul (cf chapitre 5). La valeur qui suit est la valeur acquise en phase Phi1a. Elle varie d'une période à l'autre car elle représente le courant d'entrée provenant du modulateur. Cette valeur est maintenue pendant 3/4 de la période puisque la phase Phi1a est suivie par deux phases de restitution pendant lesquelles la tension Vgn reste inchangée sur la capacité mémoire Cgn.

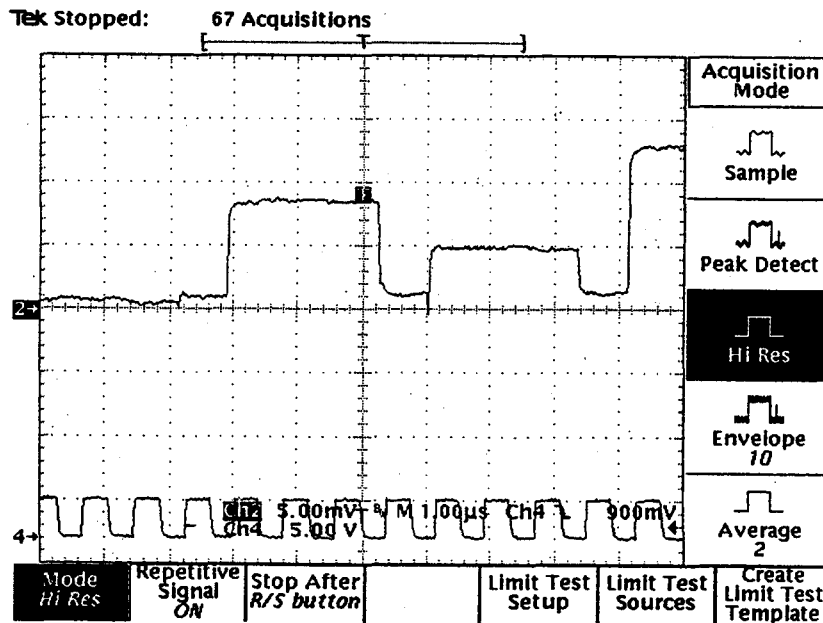


Fig 6.16 Mesure sous pointes de l'évolution de la tension de mémorisation Vgn

En diminuant encore la base de temps, on obtient la Fig 6.17. On voit l'évolution du courant mémorisé par le premier intégrateur du modulateur au cours du temps, cette évolution est typique des modulateurs Sigma Delta. La dynamique maximum du courant mémorisé sur le premier intégrateur peut être déduite de cette figure. La variation maximale de la tension Vgn lors du passage de la phase Phi2b à la phase Phi1a est de 125mV. Comme la conductance du transistor mémoire Mmemn est de 10mS, le courant maximal mémorisé par l'intégrateur est de 1.25mA soit à peu près deux fois Iref (les mesures ont été faites en mode1, Iref = 600µA). Lors des simulations, la dynamique du signal du premier intégrateur était effectivement de +/- 2Iref.

6.4.2 Influence de la durée de chaque boucle durant l'acquisition

Le rapport cyclique de l'horloge d'entrée du circuit influe directement sur la repartition entre la première boucle d'acquisition L1 et la seconde boucle L2 au cours de la phase d'acquisition. Ceci nous a permis de faire varier séparément la durée de chaque boucle afin d'en évaluer l'impact sur la précision du circuit.

Lorsque la première boucle L1 à une durée inférieure à 600 ns, les performances du modulateur se dégradent de manière très progressives.

Pour une durée de la seconde boucle L2 inférieure à 30 ns les performances se dégradent très rapidement. Au dessus de 30 ns et jusqu'à 200 ns l'amélioration des performances est très faible (1 à 2 dB). Pour une durée supérieure à 200 ns on ne dénote aucune amélioration.

Le SNR du modulateur sera maximal du point de vue établissement de la cellule pour une première boucle de durée 600ns et une seconde boucle de durée 200ns ce qui correspond à une fréquence d'échantillonnage de l'ordre de 600 Khz avec un rapport cyclique égal à 25% (La seconde boucle correspond à l'état haut de l'horloge d'entrée).

La mémoire de courant a été dessinée pour fonctionner à $f_e = 2.56\text{MHz}$ ce qui correspond à une durée de la boucle L1 et de la boucle L2 d'à environ 97ns. Les simulations montraient que la cellule était parfaitement stabilisée à la fin de la première boucle, et que par contre lors de la seconde boucle, la cellule était juste en fin de stabilisation. Ces mesures nous montrent que le problème d'établissement provient essentiellement de la première boucle d'acquisition.

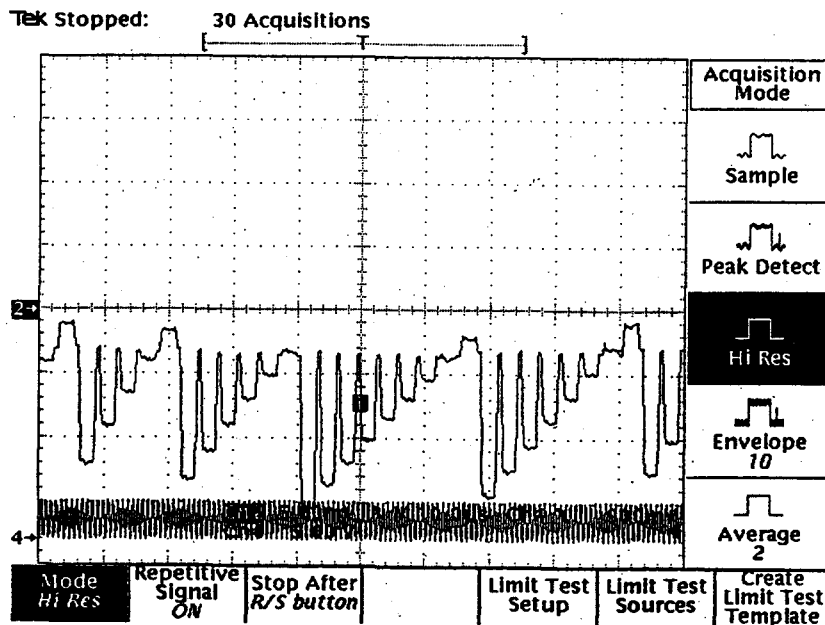


Fig 6.17 Mesure sous pointes de l'évolution de la tension de mémorisation Vgn

6.4.3 Problème d'oscillations parasites dues aux fils de «bonding»

Des oscillations, après moyenne, ont été observées dans la Fig 6.14 sur la mesure de la tension Vgp. Des oscillations parasites semblables avaient été mesurées avec le circuit IMEMTEST. Ces oscillations ne sont pas corrélées avec le signal ou le transitoire

d'établissement de la cellule.

Leur origine est difficile à cerner, en effet la simulation SPICE ne les prédit pas. La modélisation de SPICE ne prends pas en compte la structure du substrat. La résistance et la capacité distribuée des alimentations ainsi que les inductances parasites des fils de «bounding» du circuit ne sont pas comprises dans le schéma. Le circuit oscillant parasite ainsi que la «pollution» de la partie analogique du circuit sont dus à ce qui n'est pas pris en compte par SPICE.

D.W.J. Groeneveld et H.J. Schouwenars [3] ou W. Sansen [4] attribuent ces oscillations à un circuit R-L-C parasite lié à la présence des fils de «bounding». En effet le réseau R-L-C est formé par la résistance d'accès Rdd à l'alimentation numérique et la résistance Rss d'accès à la masse commune, par les inductances Ldd et Lss des fils de «bonding» ainsi que par la capacité interne Csupply du circuit entre le DVdd numérique et la masse commune (Fig 6.18). Le facteur de qualité Qs du circuit est fonction de ces paramètres, il détermine l'importance des oscillations parasites causées par les transitions dans la partie numérique.

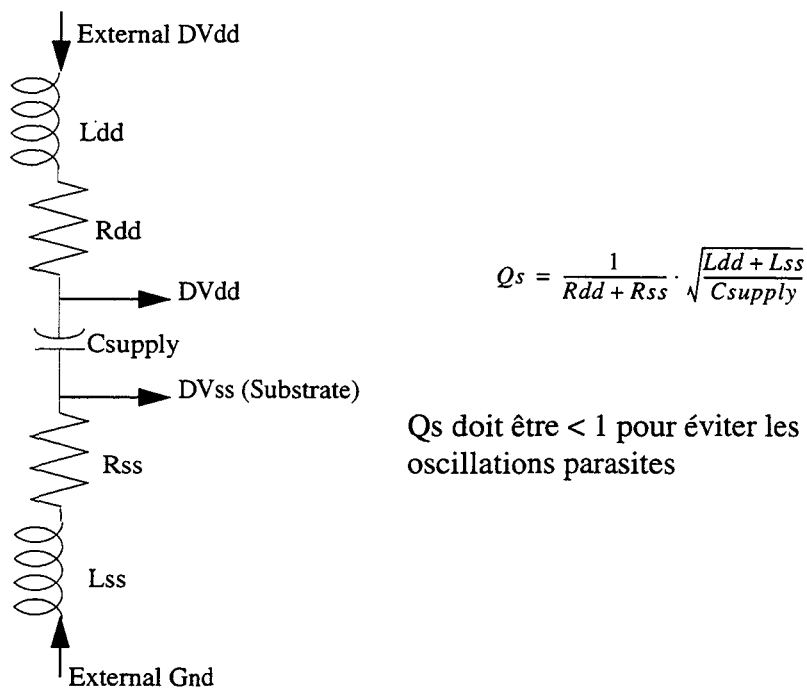


Fig 6.18 Circuit R-L-C parasite

Si le facteur de qualité du circuit résonnant est supérieur à 1, les alimentations internes DVdd et surtout DVss (qui est connecté au substrat) vont osciller à la fréquence de résonance.

Une solution proposée pour éviter les oscillations parasites est d'augmenter la résistance Rdd d'accès à l'alimentation numérique DVdd et d'augmenter la capacité interne Csupply de ce noeud. Cette modification permet de diminuer les oscillations tout en gardant une bonne alimentation numérique interne DVdd.

Les manques de performances du circuit ne sont pas entièrement dus à ce problème, il existe un chemin plus direct entre les alimentations et le signal que la pollution par le substrat. Il résulte d'une erreur dans le schéma.

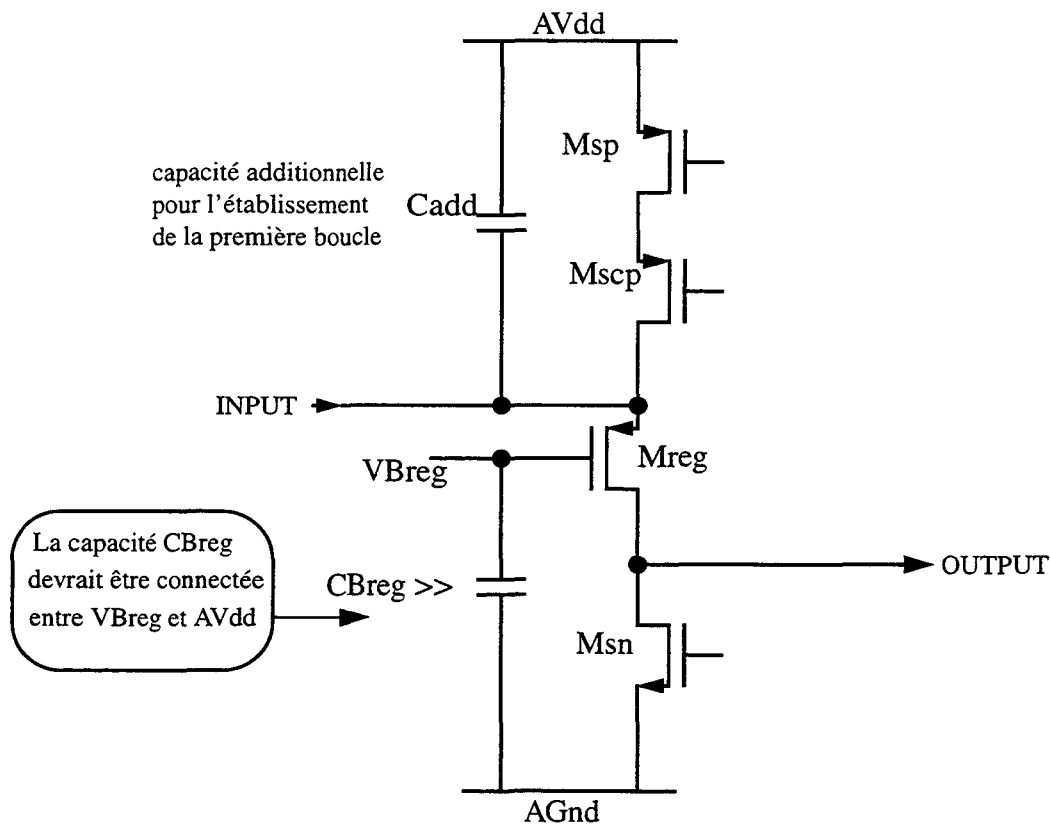


Fig 6.19 Schéma de l'amplificateur utilisé durant la première boucle d'acquisition

6.4.4 Problème de dessin dans la génération de tension de référence VBREG

Le schéma de la Fig 6.19 représente l'amplificateur de gain positif utilisé pour réguler l'entrée de la cellule à mémoire de courant durant la première boucle d'acquisition. On voit sur cette figure que le gain positif est réalisé par un transistor monté en grille commune Mreg. La tension de polarisation VBreg de la grille de ce transistor Mreg est référencée à la masse au moyen de la forte capacité de découplage CBreg. Une capacité additionnelle Cadd est placée entre l'entrée de l'amplificateur et l'alimentation positive AVdd, elle est nécessaire à la stabilisation de la première boucle d'acquisition. Cette capacité Cadd est connectée à AVdd parce que l'entrée de la cellule est asservie à la tension de polarisation VB1 (tension qui est référencée à AVdd).

On voit bien que la grille et la source de ce transistor d'amplification ne sont pas référencées à la même alimentation. Un bruit sur l'alimentation AVdd ou sur le substrat sera directement vu par ce transistor qui est l'élément de gain de l'amplificateur. Ceci représente un chemin direct du bruit de l'alimentation vers le signal.

Ce problème n'arrive que durant la première boucle puisque l'amplificateur est déconnecté durant la seconde boucle. Cela pourrait expliquer le problème d'acquisition trop lente au cours de la première boucle vu au paragraphe 6.4.2. De plus le problème d'oscillation parasite des alimentations peut directement influencer sur le signal durant la première boucle.

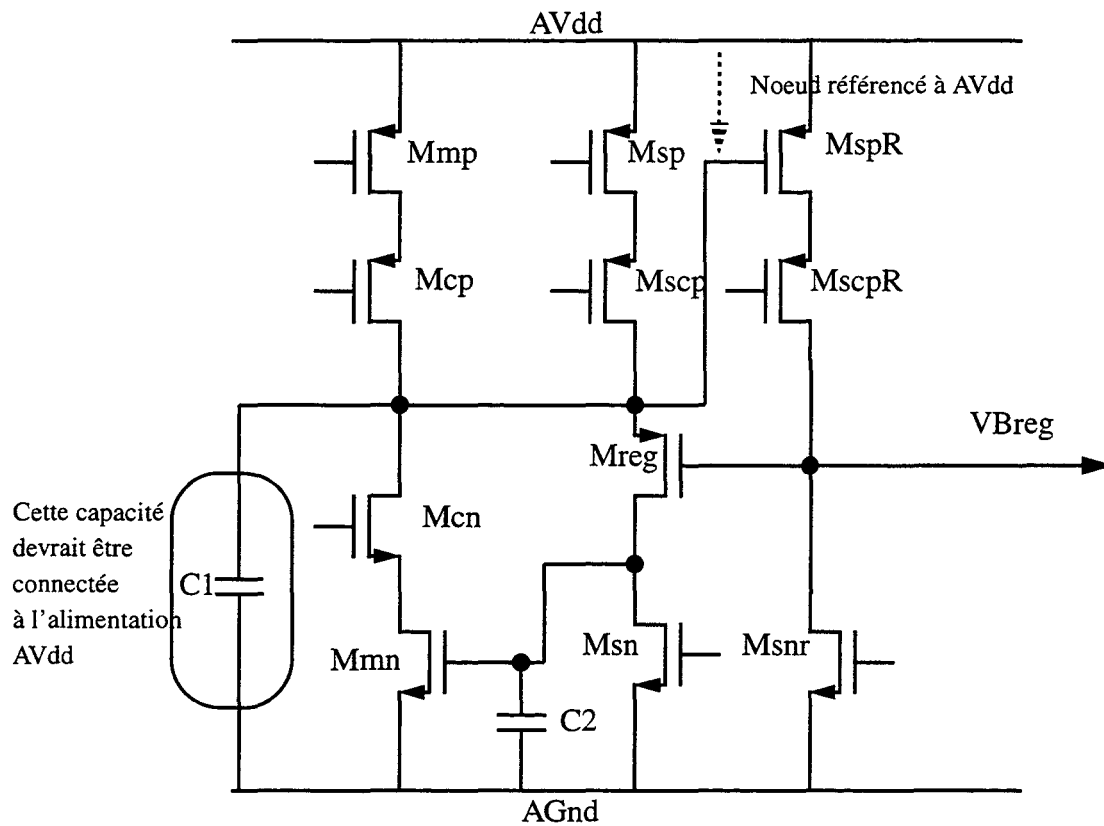


Fig 6.20 Schéma du bloc BIASR générant la tension de polarisation VBreg

Le seconde boucle d'acquisition a pour rôle de corriger l'erreur faite durant la première boucle, elle apparait en simulation quasi indépendante de la valeur du courant d'entrée de la cellule. Toutefois une non linéarité introduite au cours de la première boucle par ce chemin parasite pourrait rendre la seconde boucle moins efficace du fait de l'erreur importante à corriger. Une solution pour éviter ces problèmes est de référencer la tension VBreg à l'alimentation positive AVdd.

Un autre chemin parasite pour le bruit des alimentations provient du circuit de génération de la tension VBreg (bloc de polarisation BIASR). Il est indépendant du bloc de polarisation principal BIAS. En effet la tension VBreg n'est pas générée d'une manière classique. Une contre réaction est utilisée pour fixer VBreg à une valeur optimale permettant un parfait asservissement de l'entrée de la cellule à la tension VB1 durant la première boucle. Le fait d'utiliser une contre réaction dans la génération d'une tension de polarisation nous oblige à prendre beaucoup de précautions afin d'éviter des oscillations dans le bloc. Des capacités additionnelles dans le circuit de polarisation ont permis une contre réaction très stable.

Malheureusement, une erreur a été faite pour la connexion de la capacité C1. Elle est branchée entre la masse analogique AGnd et un signal référencé à AVdd. Cela représente un chemin direct vers VBreg pour le bruit ramené par les alimentations. La tension de polarisation VBreg risque d'être plus sensible aux bruit provenant des alimentations. La Fig 6.20 représente le bloc de génération de la tension de polarisation VBreg.

L'erreur faite dans le dessin du découplage de la tension de polarisation VBREG ainsi

que celle faite dans le circuit de génération de VBreg peuvent expliquer l'augmentation du temps d'acquisition durant la première boucle.

6.5 Conclusion

Le test du modulateur Sigma Delta s-d-AMS a permis de valider la parfaite fonctionnalité du circuit. La mesure de tension de polarisation est conforme aux simulations du circuit utilisant les modèles du cas «worstspeed» de la technologie.

Les performances mesurées du circuit sont récapitulées en fin de paragraphe 6.3. On y voit que le circuit a une linéarité identique à celle d'un modulateur 14.5bits idéal (pour une bande de base de 5Khz). En fait, le circuit a été dessiné pour une précision de 16bits et une bande de base de 10Khz ce qui justifie la forte consommation du circuit 340mW.

Les raisons de ce manque de performances sont essentiellement dues à:

- un trop long temps d'établissement en première boucle d'acquisition de la cellule. En effet il semblerait que le bruit des alimentations, et notamment celui dû aux oscillations causées par les transitions numériques, passe directement vers le signal. Une erreur de référencement de certaines capacités de découplage explique ce problème. Le fait d'augmenter fortement la durée de la première boucle permet à ces oscillations de s'atténuer et donc de ne plus perturber la première boucle d'acquisition.
- des raies parasites dues à des oscillations liées aux cycles limites du convertisseur. Ces raies n'avaient pas été observées lors des simulations du convertisseur. Leur origine pourrait venir de la présence de chemins de communication parasites entre les différents intégrateurs du modulateur.
- une différence entre les deux lignes de traitement du signal dans le modulateur qui crée un sous échantillonnage à $f_e/2$ laissant passer en bande de base un peu de bruit de quantification.
- la désaturation du second intégrateur à fort niveau de signal d'entrée. (-8 dB d'amplitude relative)

6.6 Annexe A

Conditions expérimentales des différents TSNR et spectres présentés pour le modulateur du second ordre seul. "No." correspond à la référence de la mesure:

No	Fe Hz	Rcyc	OSR	Fx Hz	Vin dB	Typ	Ibias mA	Iref mA	Mod	TSNR dB
cond1	2.56	50%	128	2000	-10	1	0.5	1.2	2	54.25
cond2	2.56	50%	64	2000	-10	1	0.5	1.2	2	51.68
cond3	1.2	25%	64	1000	-10	1	0.5	1.2	2	60.57
cond4	0.6	25%	64	500	-10	1	0.5	1.2	2	69.02
cond5	0.3	25%	64	250	-10	1	0.5	1.2	2	70.52
cond6	0.6	25%	64	500	-7	1	0.5	1.2	2	70.26
cond7	0.6	25%	64	500	varie	1	0.5	1.2	2	

Conditions expérimentales des différents TSNR et spectres présentés pour le modulateur du troisième ordre:

No	Fe MHz	Rcyc	OSR	Fx Hz	Vin dB	Typ	Ibias mA	Iref mA	Mod	TSNR dB
cond8	0.6	25%	64	500	-15	4	0.5	1.2	2	76.67
cond9	0.6	25%	64	500	-45	4	0.5	1.2	2	45.27
cond10	0.6	25%	64	500	-90	4	0.5	1.2	2	1.61
cond11	0.6	25%	64	500	varie	4	0.5	1.2	2	
cond12	0.6	25%	64	500	varie	4	0.2	0.6	1	

6.7 Annexe B

Lexique des termes employés dans ce rapport et leur signification.

TSNR. “Total Signal over Noise Ratio”. Il correspond à la puissance du signal divisée par la puissance totale du bruit et des harmoniques du signal dans la bande de base. Il est exprimé en dB de puissance.

Linéarité du Modulateur. C’est la courbe qui exprime le TSNR du modulateur en fonction de l’amplitude du signal en entrée (en dB relatifs à la référence). On dira qu’un modulateur a une linéarité de ‘n’ Bits si cette courbe est supérieure à la droite d’équation:

$(Y = 1.76 + 6 * 'n' - X)$ ou X est le signal d’entrée en dB.

Nombres de bits effectifs. Il est relié au TSNR maximum atteint par le modulateur. Le nombre de bits effectifs est calculé de la manière suivante:

$N \text{ bit} = (\text{TSNR} - 1.76) / 6$

Coefficient de suréchantillonnage (OSR). Il correspond au rapport entre la fréquence d’échantillonnage et la fréquence de Nyquist.

6.8 Références

- [1] J. C. Candy et O. J. Benjamin, "The structure of the Quantization Noise from Sigma-Delta Modulation"
IEEE Transactions on Communications, Vol. COM-29, No. 9, September 1981

- [2] Pierre CARBOU, Pascal Guignon and Loïc Le Toumelin.
«Practical Design Techniques for 16-Bit CMOS A/D Delta-Sigma Converter»
In the proceedings of ESSCIRC 91 Milan/Italie pp241-244 11-13 Septembre 1991.

- [3] D.W.J. Groeneveld and H.J. Schouwenaars
«A Dual 3.4V Bitstream Continuous Calibration CMOS D/A Converter With 110dB Dynamic Range»
Advanced A-D and D-A Conversion Techniques and their Applications, 6-8 July 1994, Conférence Publication No. 393, pp42-47.

- [4] W. Sansen J.H. Huijsing R.J. Van de Plassche
«ANALOG CIRCUIT DESIGN: Mixed A/D Circuit Design, Sensor Interface Circuits and Communication Circuits»
Kluwer Academic Publishers pp3-22

Conclusion

Ce mémoire décrit l'étude d'une nouvelle architecture de mémoire de courant ayant pour principale caractéristique une erreur de recopie très faible et non-linéaire. La structure de la cellule résulte de la combinaison des quatre techniques suivantes:

- L'utilisation de deux boucles d'acquisitions, une "grossière" et l'autre "fine". La tension du noeud d'entrée de la cellule est de ce fait asservie à une valeur constante au cours de l'acquisition "fine".
- L'utilisation d'un convoyeur de courant au cours de l'acquisition "grossière" afin de diminuer la forte excursion du noeud d'entrée de la cellule.
- l'utilisation de transistors cascodes pour abaisser la conductance de sortie de la cellule.
- l'insertion de l'interrupteur d'entrée de la cellule dans la boucle d'acquisition. Cela évite l'erreur créée par la chute de potentiel dans l'interrupteur.

L'utilisation de cette cellule dans des convertisseurs analogiques permet d'atteindre une précision élevée. Nous présentons un exemple de réalisation, un convertisseur sigma-delta du troisième ordre cascadié de type M.A.S.H. 2 + 1 en mode courant. Il est composé de cellule à mémoire de courant à faible erreur de recopie. La structure du modulateur a été modifiée et optimisée pour l'utilisation en mode courant.

Ce modulateur a été fabriqué dans un procédé numérique CMOS 0.8 μm . Les tests ont révélé une précision de 14.5 Bits (en terme de linéarité) pour une bande passante de 5 KHz. Cet exemple de réalisation montre qu'il est possible d'atteindre de forte précision en utilisant une approche courant commuté.

Toutefois l'intérêt d'une telle approche est encore limité essentiellement par la consommation du circuit. Le convertisseur que nous avons réalisé a une consommation de 340mW. Elle est due essentiellement au fort courant de polarisation de la cellule (5mA). En effet pour atteindre une précision de l'ordre de 16 Bits, il faut un rapport signal sur bruit de l'ordre de 98 dB. Dans un modulateur de type sigma-delta le bruit provient essentiellement de deux origines:

- le bruit lié à la structure du modulateur et de la cellule.
- le bruit thermique des transistors.

La nouvelle cellule que nous utilisons permet de limiter fortement la première cause de bruit en la faisant tendre vers le bruit de quantification idéal d'un modulateur sigma-delta. La seconde source de bruit ne peut être éliminée qu'en augmentant la dynamique du signal dans le modulateur.

En doublant le courant de polarisation, on multiplie par deux la dynamique du signal et donc on quadruple sa puissance, par contre on ne fait que doubler le bruit thermique des transistors. Le gain en terme de rapport signal sur bruit est donc de 3 dB. Pour une précision élevée, il faut donc un fort courant de polarisation dans la cellule ce qui explique la forte consommation du circuit.

L'étude d'une nouvelle architecture de convertisseur sigma-delta faible consommation spécialement dédiée à l'utilisation de cellule à mémoires de courant semble donc nécessaire pour rendre l'approche courant commercialement exploitable.

