

T
900 2000 166
50376
1997
33
N° d'ordre : 1962

THESE

intitulée

"ETUDE DE MULTIPLICATEURS DE FREQUENCE A HEMT APPLICATION A UN TRIPLEUR 10-30 GHz"

Présentée à

L'UNIVERSITE des SCIENCES et TECHNOLOGIES de LILLE

Soutenue le

04 février 1997 devant la commission d'examen

par

Christophe BROSTEAUX

pour obtenir le titre de

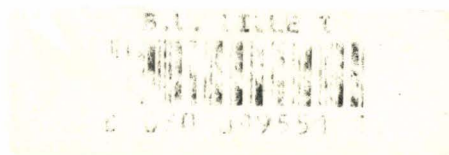
DOCTEUR de l'UNIVERSITE, spécialité ELECTRONIQUE



Membres du jury : MM.

**G. SALMER
Y. CROSNIER
J. GRAFFEUIL
J.-L. GAUTIER
C. TOLANT
E. BERGEAULT
P.A. ROLLAND**

**Président
Directeur de thèse
Rapporteur
Rapporteur
examineur
examineur
examineur**



Sommaire

INTRODUCTION GENERALE.....	1
CHAPITRE I ASPECTS FONDAMENTAUX DE LA MULTIPLICATION DE FREQUENCE ET ETAT DE L'ART.....	3
INTRODUCTION.....	4
I-A FONCTIONNEMENT DE BASE.....	5
I-B CAS PRATIQUES DE TRAITEMENTS DES HARMONIQUES.....	13
I-C ETAT DE L'ART.....	22
CONCLUSION.....	28
BIBLIOGRAPHIE DU CHAPITRE I.....	29
CHAPITRE II ETUDE ET OPTIMISATION DES PERFORMANCES D'UN TRIPLEUR.....	31
INTRODUCTION.....	32
II-A CARACTERISTIQUES ET MODELES DES TRANSISTORS UTILISES.....	33
II-B CHOIX DE LA TECHNOLOGIE.....	58
II-C ETUDE PRELIMINAIRE D'UN TRIPLEUR 12-36 GHZ.....	66
II-D COMPARAISON DOUBLEUR 18-36 GHZ / TRIPLEUR 12-36 GHZ.....	72
II-E SIMULATIONS D'UN TRIPLEUR 27-81 GHZ.....	76
II-F OPTIMISATION D'UN TRIPLEUR 10-30 GHZ ET PRISE EN COMPTE DES LIMITATIONS PHYSIQUES DU TRANSISTOR.....	82
CONCLUSION.....	89
BIBLIOGRAPHIE DU CHAPITRE II.....	90
CHAPITRE III CONCEPTION, REALISATION ET MESURES D'UN TRIPLEUR HYBRIDE 10-30 GHZ.....	91
INTRODUCTION.....	92
III-A METHODOLOGIE DE CONCEPTION.....	93
III-B RECHERCHE DES TOPOLOGIES OPTIMALES DES CIRCUITS D'ENTREE ET DE SORTIE.....	95
III-C REALISATION ET TEST DES CIRCUITS.....	108
III-D MESURE DES TRIPLEURS REALISES.....	117
CONCLUSION.....	132
III-E MESURE DU BRUIT DE PHASE AJOUTE.....	133
BIBLIOGRAPHIE DU CHAPITRE III.....	153
CONCLUSION GENERALE.....	155
Liste des figures.....	157
Liste des tableaux.....	162
Table des matieres.....	163

Introduction générale

Principalement en raison de l'encombrement de l'espace Hertzien, des fréquences de plus en plus élevées doivent être employées pour les applications telles que : radars continus et pulsés, communications terrestres et inter satellite, radiométrie, spectrométrie...

Les systèmes électroniques devant assurer ces fonctions doivent donc intégrer une source capable de délivrer un signal dans la gamme des longueurs d'ondes millimétriques.

Pour les applications mentionnées, cette source doit être le plus souvent très stable et pure. Or, la génération directe d'une onde millimétrique, à l'aide de diodes ou de transistors, ne permet d'obtenir que des sources ayant une stabilité et une pureté moyennes. Les synthétiseurs de fréquence à quartz et à boucle à verrouillage de phase, utilisés conjointement avec des multiplicateurs de fréquence, constituent actuellement la technique la plus répandue pour répondre aux exigences de qualité requises.

Les multiplicateurs de fréquence utilisés jusqu'à maintenant reposent sur l'emploi de diodes en tant qu'éléments non linéaires générateurs d'harmoniques. Ces dispositifs autorisent des rangs de multiplication élevés avec des rendements intéressants et des pertes de conversion raisonnables. Malheureusement, les circuits à diodes se prêtent peu à la réalisation de circuits intégrés micro-ondes (MMIC). Or, l'intégration complète de toutes les fonctions, y compris la multiplication de fréquence, est une condition indispensable pour diminuer significativement les coûts de production qui constituent un frein pour les applications grand public.

Des travaux ont donc, naturellement, été menés ces dernières années sur l'utilisation de transistors pour réaliser de la multiplication de fréquence. L'emploi de ces composants actifs doit conduire à l'obtention de circuits intégrés ayant un gain de conversion positif au lieu de pertes. Il est cependant apparu que les difficultés de mise en œuvre de ces circuits n'ont permis de réaliser des systèmes avec des performances utilisables pratiquement que dans le cas de doubleurs de fréquence.

Cette limitation restreint fortement l'utilisation de transistors en remplacement de diodes. L'étude et la réalisation de multiplicateurs de fréquences de rang plus élevé que deux et présentant un gain de

conversion constituent donc un sujet de recherche d'actualité. C'est pourquoi, une des tâches du projet Européen ESPRIT-5032 AIMS*, dans lequel s'est trouvé engagé le laboratoire, consistait à étudier la faisabilité de tripleurs de fréquences performants à transistors fonctionnant dans le domaine des ondes millimétriques. La prise en charge par notre laboratoire de cette partie du projet a donc permis d'initier ce travail sur la multiplication de fréquence à transistors millimétriques.

Nous présentons, dans le premier chapitre de ce manuscrit, le principe de la multiplication de fréquence à transistor à effet de champ et les différentes techniques utilisables pour réaliser des doubleurs, tripleurs et quadrupleurs de fréquence. Un état de l'art de ce type de dispositifs est également réalisé.

Le deuxième chapitre comporte la présentation des modélisations non linéaires des différents transistors HEMTs utilisés dans cette étude, suivie de simulations de multiplicateurs de fréquence réalisées avec ces transistors dans des conditions opératoires idéalisées.

Les différents circuits ainsi simulés permettent d'étudier les points suivants :

- choix de la technologie de transistor à employer
- validité des modèles de transistor et des simulations
- intérêt du tripleur par rapport au doubleur
- potentialités de fonctionnement d'un tripleur en bande W.

Ce chapitre se termine avec l'étude et l'optimisation d'un circuit tripleur 10-30 GHz, prélude à la réalisation d'un démonstrateur en technologie hybride (MIC) qui fera l'objet du troisième chapitre

Enfin, le troisième chapitre présente, successivement, la conception, la réalisation et les mesures de ce circuit tripleur 10-30 GHz. Aux mesures de gain et de rendement de ce dispositif, nous avons également adjoint une étude expérimentale du bruit de phase ajouté afin d'estimer l'accroissement de bruit de phase que pourrait engendrer notre dispositif au niveau du signal de sortie. Cet aspect, bien que quelque peu à part du reste de l'étude, revêt un intérêt fondamental dans bien des applications et trouve sa justification dans la réputation des transistors à effet de champ de présenter un bruit de phase originel relativement important.

* ESPRIT : European community's Specific Programm for research and technology developpement in the field of Information Technologies
AIMS : Advanced Integrated Millimeter wave Sub-assemblies

chapitre I

**Aspects fondamentaux de la multiplication de fréquence
et état de l'art**

Introduction

Ce chapitre, après un rappel du principe de la multiplication de fréquence à transistor, examine les différentes techniques de mise en œuvre des doubleurs, tripleurs et quadrupleurs de fréquence.

La multiplication de fréquence à transistor a fait l'objet de nombreuses publications ces dernières années mais les principaux travaux ont concerné les doubleurs qui, jusqu'à ce jour, étaient les seuls à fournir un gain supérieur à un. Les pertes obtenues avec les circuits de multiplication de rang plus élevés ont limité leur développement. Le choix de leur utilisation, plutôt que celle de multiplicateurs à diode, ne pouvait donc être justifiable que dans le cas d'une intégration monolithique.

Pour situer les performances atteintes par les différents circuits de multiplication de fréquence, nous présentons également un état de l'art le plus exhaustif possible.

I-A fonctionnement de base

I-A-1 Principe fondamental

La multiplication de fréquence analogique est basée sur la génération d'une harmonique de rang n par un système non linéaire excité par un signal à une fréquence fondamentale f_0 .

La non linéarité peut être obtenue à l'aide de systèmes passifs ou actifs. Comme notre étude porte sur les systèmes actifs à transistor à effet de champ (TEC), nous n'exposerons par la suite que ce qui a trait à la multiplication de fréquence avec ce type de composant.

Le schéma équivalent du modèle non linéaire usuel du transistor est présenté figure I-1.

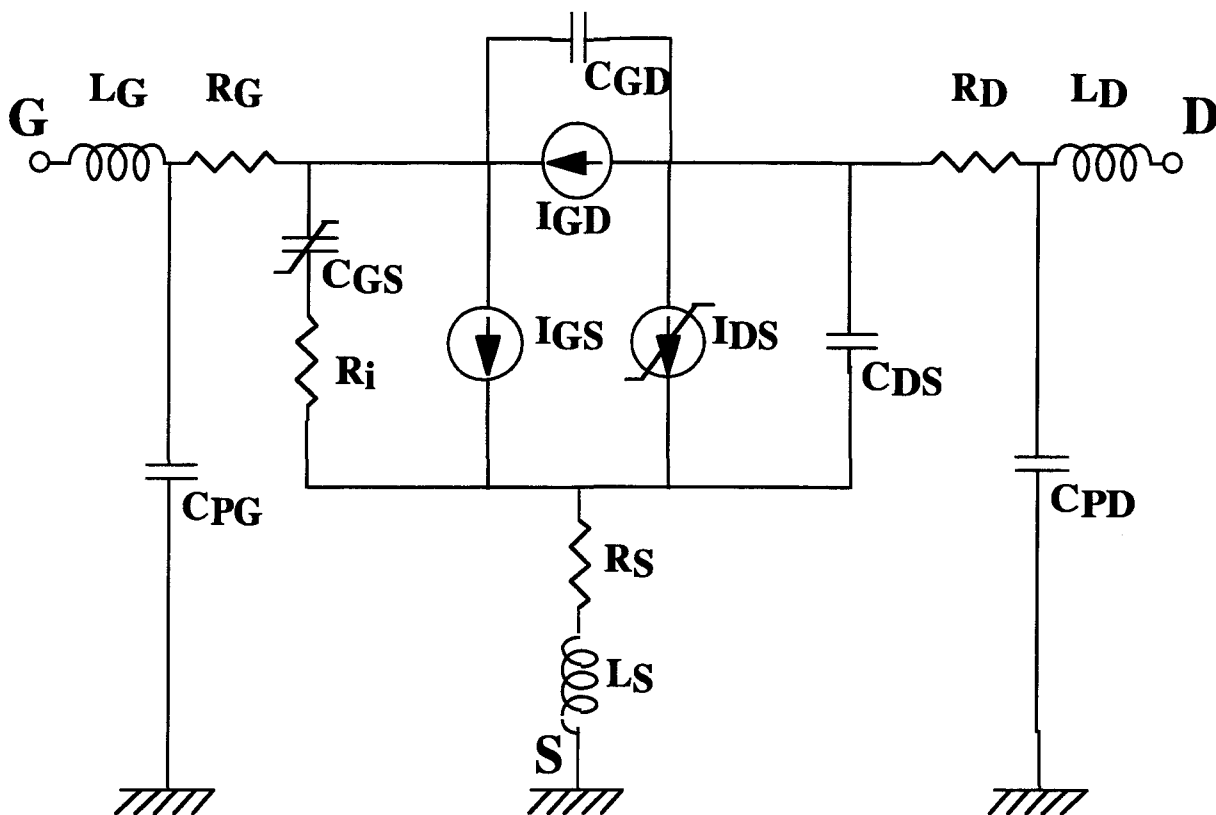


Figure I-1 : Schéma équivalent du TEC

Pour la multiplication de fréquence, la description du fonctionnement non linéaire du transistor peut être valablement limité aux deux éléments non linéaires C_{GS} et I_{DS} .

L'expérience a montré que la principale non linéarité génératrice d'harmoniques est celle liée au

générateur de courant commandé $I_{DS}=f(V_{GS},V_{DS})$. L'effet "varactor" que l'on pourrait escompter de la part de C_{GS} demeure généralement du second ordre.

On peut alors considérer deux cas théoriques concernant ce générateur de courant :

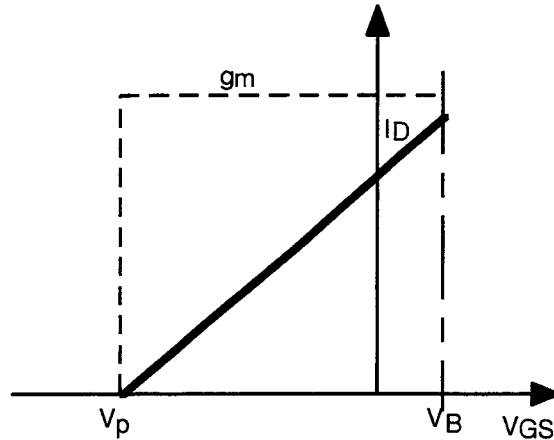


Figure I-2 : Cas 1 : Commande quasi-linéaire entre V_p et V_B

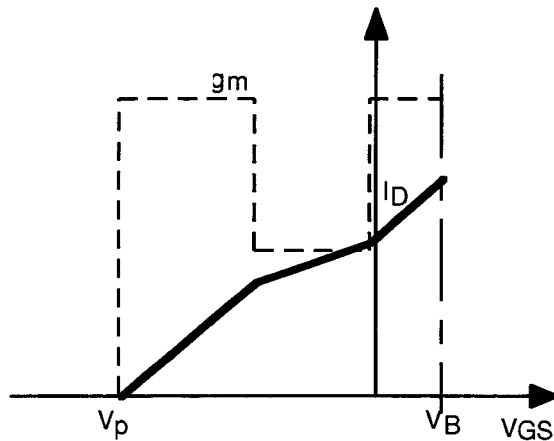


Figure I-3 : Cas 2 : Commande non-linéaire entre V_p et V_B

Dans le premier cas la source de courant peut être modélisée par un générateur $I_{DS}=f(V_{GS},V_{DS})$ ayant une réponse quasi-linéaire entre la tension V_p de pincement et la tension V_B de mise en conduction directe de la diode grille-source (figure I-2). Il faut alors obligatoirement que le signal de commande balaye en dehors de cette zone linéaire pour obtenir des harmoniques : la tension V_{GS} doit donc atteindre des valeurs inférieures à V_p (figure I-4).

Le deuxième cas est celui où la réponse du transistor présente des non linéarités importantes dans la zone $V_p - V_B$ (figure I-3). La réponse non linéaire du générateur de courant engendre, "naturellement", des harmoniques sans qu'il soit forcément nécessaire que le balayage de la tension V_{GS} aille en dessous de la tension de pincement V_p (figure I-5).

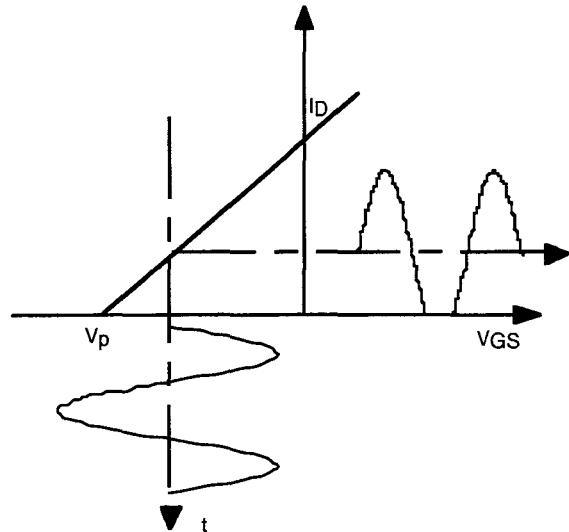


Figure I-4 : Création d'harmoniques dans le cas d'une commande quasi-linéaire

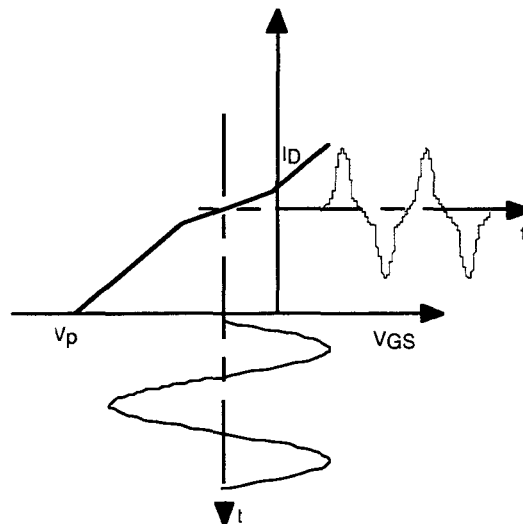


Figure I-5 : Création d'harmoniques dans le cas d'une commande non linéaire

Ce cas d'importante non linéarité de la caractéristique $I_D(V_{GS})$, pour V_{GS} comprise entre V_p et V_B , ne peut être obtenu qu'exceptionnellement avec des structures de couches spéciales. Un exemple en a

été fourni par la réalisation, au laboratoire, de HEMTs double puits¹. L'inconvénient de ce type de non linéarité est que son utilisation implique la présence d'un courant de repos important et que, par conséquent, le rendement ne peut être que très faible.

C'est la raison pour laquelle la non linéarité liée au pincement demeure actuellement le moyen le plus efficace d'obtenir de la multiplication de fréquence. Nous allons donc nous limiter uniquement à ce cas dans ce qui suit en développant ce que l'on peut attendre de l'influence de la polarisation

I-A-2 Choix de la polarisation

Lorsque la tension de polarisation V_{GS0} est inférieure à la tension V_p de pincement du transistor, on est en présence d'un redressement monoalternance où le temps de conduction t_0 est lié à la valeur de V_{GS0} (pour une amplitude donnée du signal d'entrée) : Si $V_{GS0} \approx V_p$, alors $\frac{t_0}{T} = \frac{1}{2}$ (figure I-6-a), par contre si $V_{GS0} < V_p$, alors $\frac{t_0}{T} < \frac{1}{2}$ (figure I-6-b).

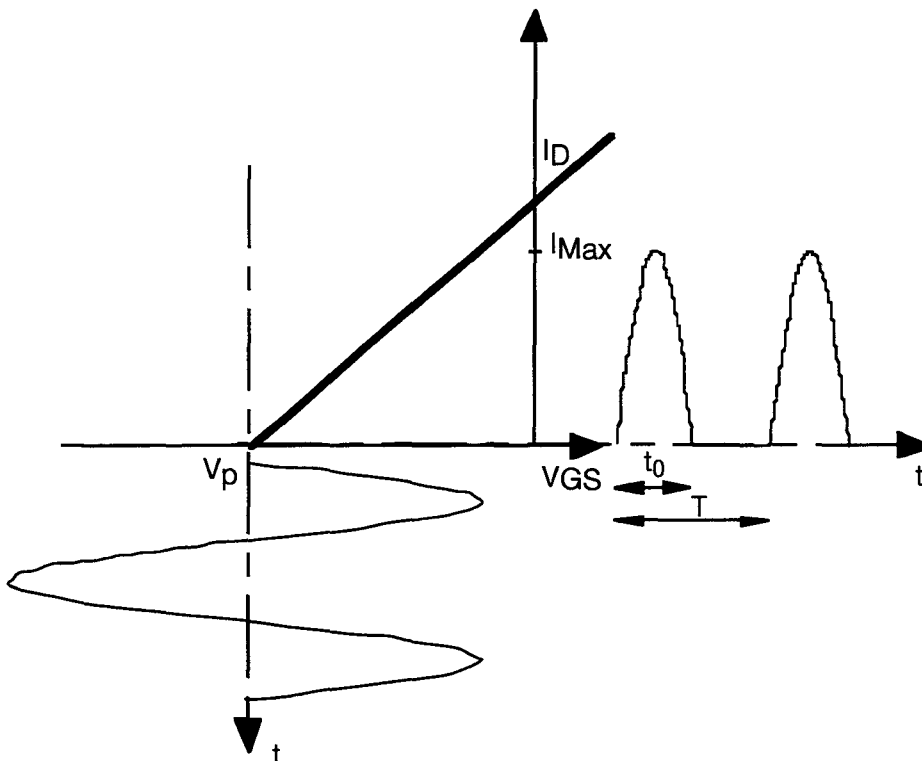


Figure I-6-a : Polarisation du transistor à $V_{GS0}=V_p$

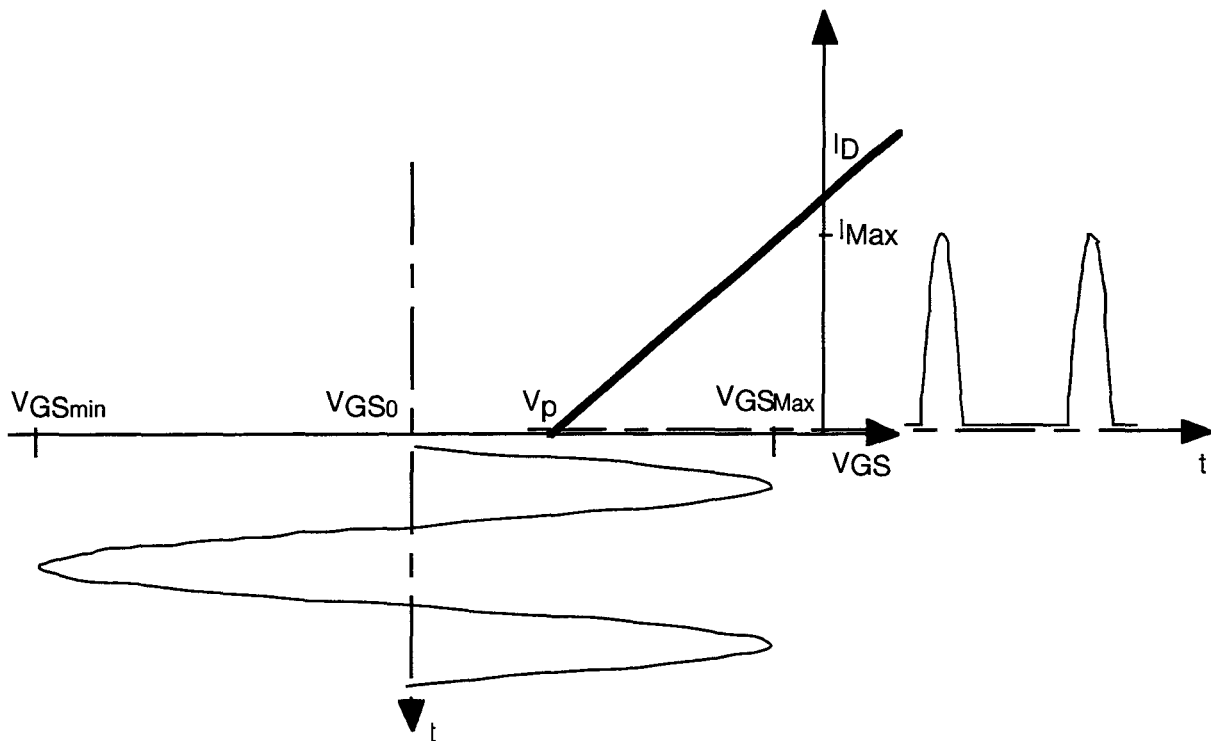


Figure I-6-b : Polarisation du transistor à $V_{GS0} < V_p$

Dans les deux cas, le signal $I_d(t)$ peut être décomposé en série de fourier² :

$$I_d(t) = I_0 + I_1 * \cos(\omega_0 t) + I_2 * \cos(\omega_1 t) + \dots + I_n * \cos(\omega_n t)$$

Avec, pour :

$$n = 0: I_0 = I_{Max} * \frac{2}{\pi} * \frac{t_0}{T}$$

$$\bullet n \neq 0: \text{quelque soit } \frac{t_0}{T} \neq \frac{1}{2n} : I_n = I_{Max} * \frac{4}{\pi} * \frac{t_0}{T} * \left| \frac{\cos(n\pi \frac{t_0}{T})}{1 - (2n \frac{t_0}{T})^2} \right|$$

$$\text{quelque soit } \frac{t_0}{T} = \frac{1}{2n} : I_n = I_{Max} * \frac{t_0}{T}$$

Le courant I_{Max} représentant la valeur maximale du courant $I_d(t)$

L'allure de la fonction $\frac{I_n}{I_{Max}}$ est donnée figure I-7 pour n variant de 2 à 5.

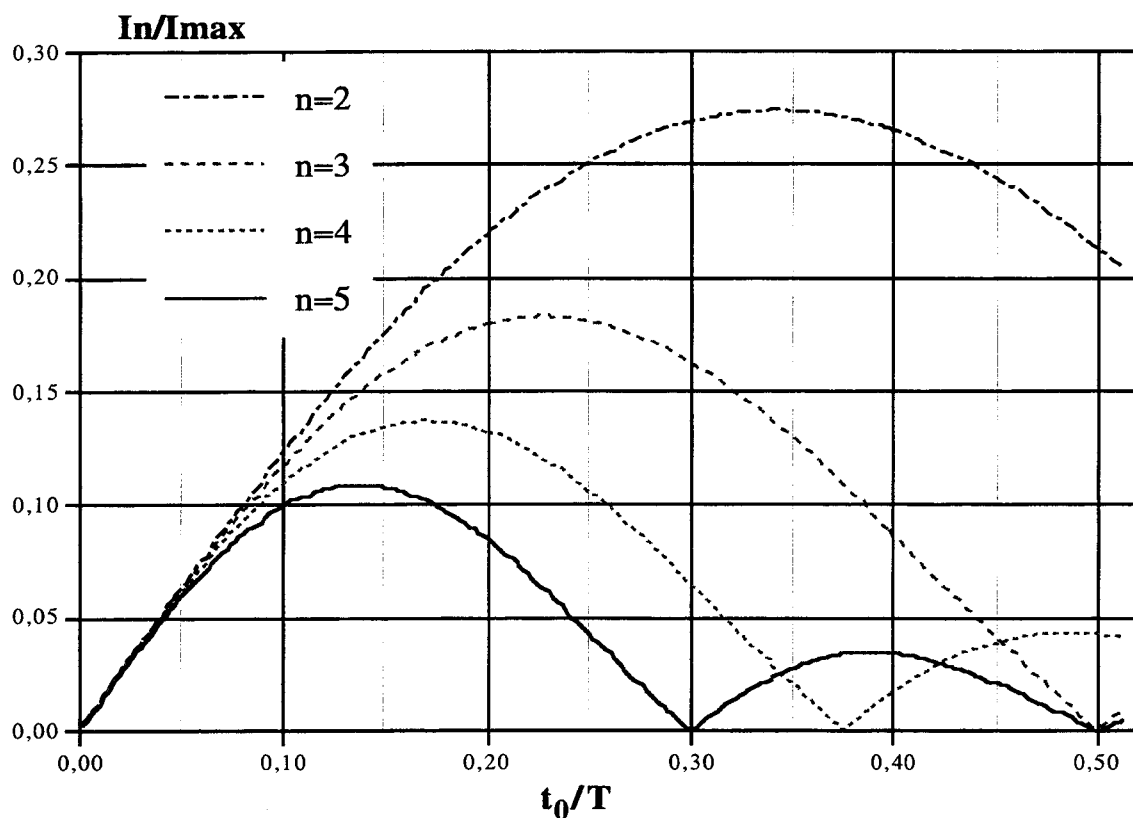


Figure I-7 : Valeurs du rapport I_n/I_{max} en fonction du temps d'ouverture pour différents rangs d'harmonique

Le tableau Ta.I-1 suivant présente les valeurs optimales de $\frac{t_0}{T}$ permettant de maximaliser le rapport $\frac{I_n}{I_{Max}}$ en fonction du rang n de l'harmonique recherchée.

n	2	3	4	5
$\frac{t_0}{T}$	0,34	0,23	0,17	0,14
$\frac{I_n}{I_{Max}}$	0,27	0,18	0,14	0,11

Tableau Ta.I-1 : Valeurs maximales du rapport I_n/I_{max} en fonction du temps d'ouverture pour différents rangs d'harmonique

On peut alors calculer la tension de polarisation $V_{GS_0} = \frac{V_{GS_{Max}} + V_{GS_{min}}}{2}$ et la tension $V_{GS_{min}}$ en fonction de $\theta_0 = 2\pi * \frac{t_0}{T}$.

En effet, on a :

$$V_{GS_0} = V_p - \frac{V_{GS_{Max}} - V_{GS_{min}}}{2} * \sin\left(\frac{\pi}{2} - \frac{\theta_0}{2}\right)$$

$$V_{GS_0} = V_p - \frac{V_{GS_{Max}} - V_{GS_{min}}}{2} * \cos\left(\frac{\theta_0}{2}\right)$$

$$V_{GS_0} = V_p - (V_{GS_{Max}} - V_{GS_0}) * \cos\left(\frac{\theta_0}{2}\right)$$

$$d'o : V_{GS_0} = \frac{V_p - V_{GS_{Max}} * \cos\left(\frac{\theta_0}{2}\right)}{1 - \cos\left(\frac{\theta_0}{2}\right)}$$

Par ailleurs, de la relation :

$$\frac{(V_{GS_{Max}} - V_{GS_{min}})}{2} * \cos\left(\frac{\theta_0}{2}\right) = V_p - V_{GS_0}$$

on tire :

$$V_{GS_{min}} = \frac{V_{GS_0} * (1 + \cos\left(\frac{\theta_0}{2}\right)) - V_p}{\cos\left(\frac{\theta_0}{2}\right)}$$

Les limites d'utilisation des expressions de V_{GS_0} et $V_{GS_{min}}$ sont fixées par le fait que, d'une part, $V_{GS_{max}}$ doit rester inférieur à V_B (tension de mise en conduction en direct de la jonction grille-source), et que, d'autre part, $V_{GS_{min}}$ doit rester supérieure à V_{BR} (tension de claquage de la jonction grille-drain).

La puissance disponible à la fréquence f_n dans une résistance R_L est :

$$P_n = R_L * \frac{I_n^2}{2}$$

$$\Rightarrow P_n = R_L * \frac{I_{Max}^2}{2} * \left(\frac{4}{\pi} * \frac{t_0}{T} \right)^2 * \left| \frac{\cos(n\pi \frac{t_0}{T})}{1 - (2n \frac{t_0}{T})^2} \right|^2$$

La puissance continue consommée P_{DC} est :

$$P_{DC} = V_{DS_0} * I_0$$

$$\Rightarrow P_{DC} = \frac{2}{\pi} * \frac{t_0}{T} * I_{Max} * V_{DS_0}$$

Il importe de noter que les considérations précédentes sont basées sur une configuration théorique où le transistor est chargé par une résistance uniquement à la fréquence f_n retenue, toutes les autres composantes fréquentielles étant court-circuitées. Une autre hypothèse implicite est que la tension appliquée en entrée du transistor est purement sinusoïdale et donc que les harmoniques sont également court-circuitées en entrée.

Il s'agit de conditions opératoires idéales. Dans la réalité, on ne peut qu'approcher ces conditions.

Pour arriver à ce résultat, plusieurs méthodes de traitement des harmoniques sont possibles :

- utilisation de filtres,
- utilisation de circuits à structure équilibrée,
- combinaison des deux.

Des choix technologiques doivent être fait suivant la bande passante, le gain, la puissance ou le rendement désirés.

Nous présentons maintenant quelques solutions possibles suivant le rang de multiplication recherché.

I-B cas pratiques de traitements des harmoniques

I-B-1 Doubleur de fréquence

I-B-1-a Doubleur simple

Le plus souvent, dans la pratique, la configuration suivante (Figure I-8) est retenue pour la réalisation de doubleurs :

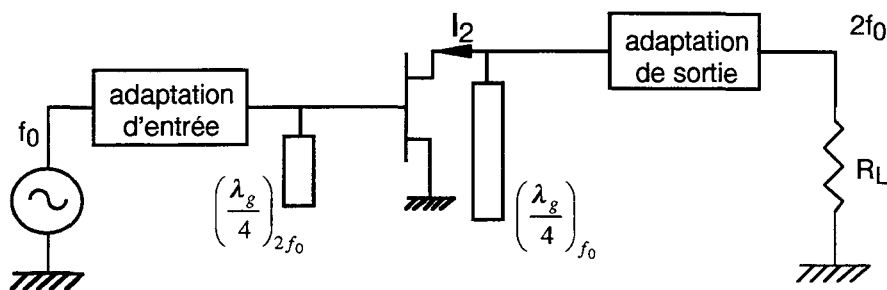


Figure I-8 : Configuration de fonctionnement d'un TEC en doubleur

Le transistor est adapté en entrée et en sortie. Un stub, de longueur $\frac{\lambda}{4}$ à f_0 , terminé par un circuit ouvert, est placé en sortie pour éliminer le fondamental^{3,4,5,6}. Un autre, à $2f_0$, peut éventuellement être placé en entrée^{7,8} pour court-circuiter le deuxième harmonique présent côté grille à cause de la capacité C_{GD} qui n'est généralement pas négligeable.

En théorie, le courant en sortie du transistor a pour amplitude :

- dans le cas d'un redressement mono-alternance $\left(\frac{t_0}{T} = \frac{1}{2}\right)$:

$$I_{2 \text{ théorique}} = I_{\text{Max}} * \frac{2}{3\pi} = I_{\text{Max}} * 0,21$$

- dans le cas $\frac{t_0}{T} = 0,34$, correspondant au maximum théorique que

l'on puisse obtenir, on a :

$$I_{2 \text{ théorique}} = I_{\text{Max}} * 0,27$$

La tension de polarisation V_{GS0} doit donc être inférieure à la tension de pincement du transistor.

Le principal avantage de ce doubleur est sa simplicité de mise en œuvre.

I-B-1-b Doubleur équilibré

Le principe de ce doubleur est de sommer deux signaux électriques dont les composantes harmoniques indésirables sont en opposition de phase.

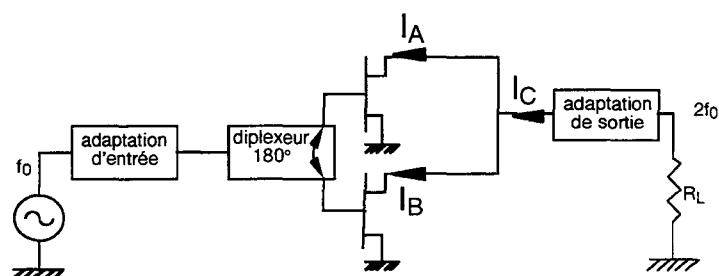


Figure I-9 : Configuration de fonctionnement de TECs en doubleur équilibré

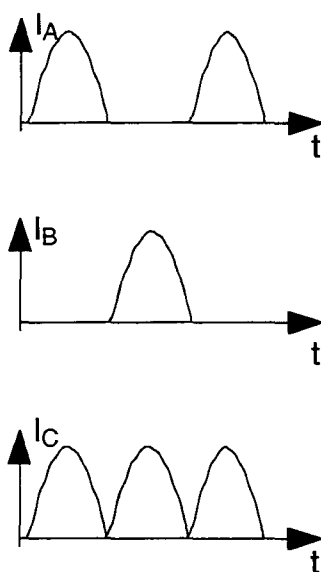


Figure I-10 : Formes des courants dans un doubleur équilibré

Pour ce faire, comme le montre la figure I-9, un système diplexeur ayant des sorties déphasées de 180° à f_0 est utilisé. Les deux signaux obtenus sont appliqués sur l'entrée de deux transistors polarisés en classe B ($\frac{t_0}{T} = \frac{1}{2}$).

La somme des deux signaux de sortie des transistors correspond à un "redressement double alternance" classique en électronique. Un tel signal a pour décomposition harmonique :

$$I_C(t) = I_{Max} * \left(\frac{2}{\pi} + \frac{4}{3\pi} * \cos(2\omega_0 t) - \frac{4}{15\pi} * \cos(4\omega_0 t) + \dots \right)$$

Les composantes impaires n'existent donc pas et la première harmonique à éliminer (à $4f_0$) est déjà très atténuée.

Le déphasage de 180° est le plus souvent obtenu à l'aide d'un "rat-race"⁹ mais des coupleurs de Lange¹⁰, associés à des longueurs de lignes^{11, 3}, peuvent être utilisés.

Ce type de doubleur permet de réaliser des montages compacts, sans "stub"¹³, avec une bonne réjection du fondamental.

I-B-2 Tripleur de fréquence

I-B-2-a Tripleur simple

L'étude de ce type de tripleur a constitué l'essentiel de notre travail. La simulation, la réalisation et la mesure d'un tripleur seront présentés aux chapitres II et III.

Le schéma, figure I-11, représente la configuration adoptée.

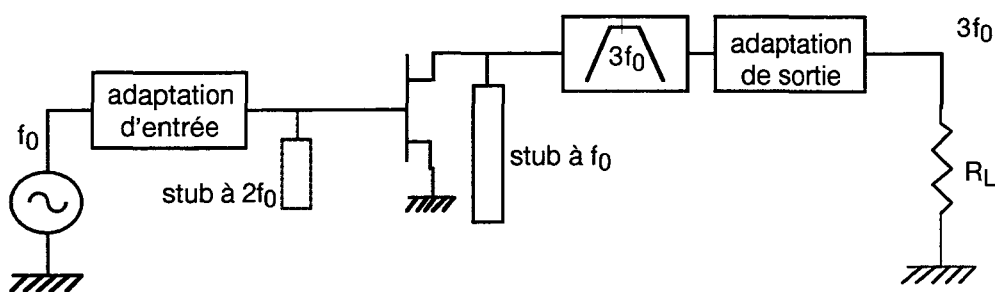


Figure I-11 : Configuration de fonctionnement d'un TEC en tripleur simple

Le transistor est adapté en entrée. Sa sortie est filtrée et adaptée à la charge R_L . Des "stubs" quart d'onde peuvent être placés en entrée¹² et en sortie avec, pour fréquences respectives de fonctionnement, $2f_0$ et f_0 .

Il est nécessaire de placer un filtre en sortie car il est impossible de rejeter correctement à la fois f_0 et $2f_0$ avec des "stubs". Les solutions à passe-bande empêchent de transmettre à la charge R_L les harmoniques f_0 , $2f_0$ et celles supérieures à $3f_0$. On garantit ainsi une meilleure pureté spectrale. Néanmoins, l'adaptation en sortie du transistor, nécessitant le traitement des trois harmoniques, constitue un problème très délicat. Celui-ci fait l'objet de notre étude dans le chapitre II.

Notons que, dans ce cas de fonctionnement en tripleur, la théorie indique que le transistor doit être polarisé à une tension très inférieure à sa tension de pincement ($\frac{t_0}{T} = 0,23$). Cela implique l'utilisation de transistors ayant une tension élevée de claquage en inverse.

I-B-2-b Tripleur à charges dissipatives

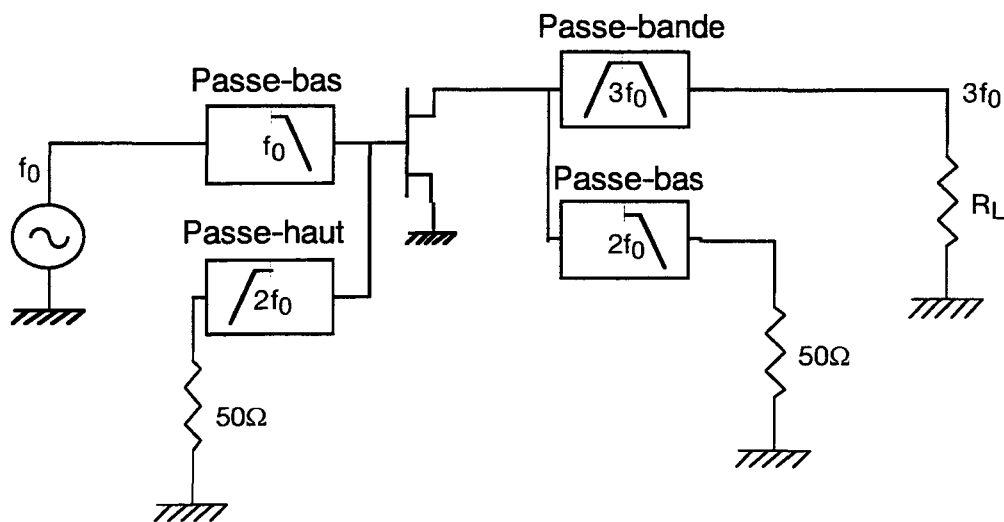


Figure I-12 : Configuration de fonctionnement d'un TEC en tripleur à charges dissipatives

Ce montage (figure 12-I) devrait théoriquement permettre d'obtenir un tripleur ayant une bande passante relativement importante (20%).

Son principe consiste à aiguiller chaque harmonique vers des charges résistives en utilisant des filtres en entrée et en sortie du transistor. Ce principe de circuit, apparemment très simple, est en fait de réalisation difficile. Les performances connues et obtenues¹³ à ce jour restent très modestes (gain de conversion de l'ordre de -10 dB en bande X).

I-B-2-c Tripleur équilibré

Ce montage (figure I-13) reprend le principe du moteur triphasé équilibré : la somme de trois signaux de même fréquence et de même amplitude mais déphasés de 120° est égale à zéro. Cela est vrai pour le fondamental et pour toutes les harmoniques différentes de $k*3f_0$ *quelque soit* $k \in \mathbb{N}^*$ au niveau du point S de recombinaison en sortie des transistors.

La démonstration mathématique est la suivante :

Soit \sum_n , la somme de trois signaux de fréquence $n * f_0$ ($n \in \mathbb{N}^*$) ayant 0 et $\pm n * \varphi$ pour phases respectives.

$$\sum_n = \cos(n * \omega t) + \cos(n * \omega t + n * \varphi) + \cos(n * \omega t - n * \varphi)$$

$$\sum_n = \cos(n * \omega t) + 2 * \cos(n * \omega t) * \cos(n * \varphi)$$

$$\sum_n = \cos(n * \omega t) * [1 + 2 * \cos(n * \varphi)]$$

$$\text{Quelque soit } t, \sum_n = 0 \text{ si } [1 + 2 * \cos(n * \varphi)] = 0$$

$$\text{ce qui est équivalent à : } n * \varphi = \pm \frac{2}{3} \pi + z * 2\pi \quad (z \in \mathbb{N})$$

$$\text{si } \varphi = \frac{2}{3} \pi, \text{ on a : } n = 3z \pm 1$$

$$\text{Donc, si } n = 1, 2, 4, 5, 7, \dots : \sum_n = 0$$

$$\text{et si } n = 3, 6, 9, \dots : \sum_n = 3 * \cos(n * \omega t)$$

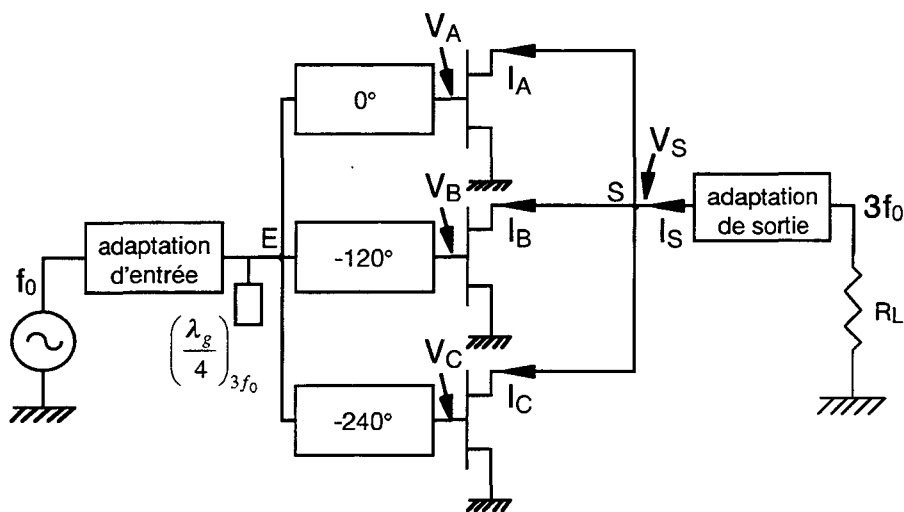


Figure I-13 : Configuration de fonctionnement de TECs en tripleur équilibré

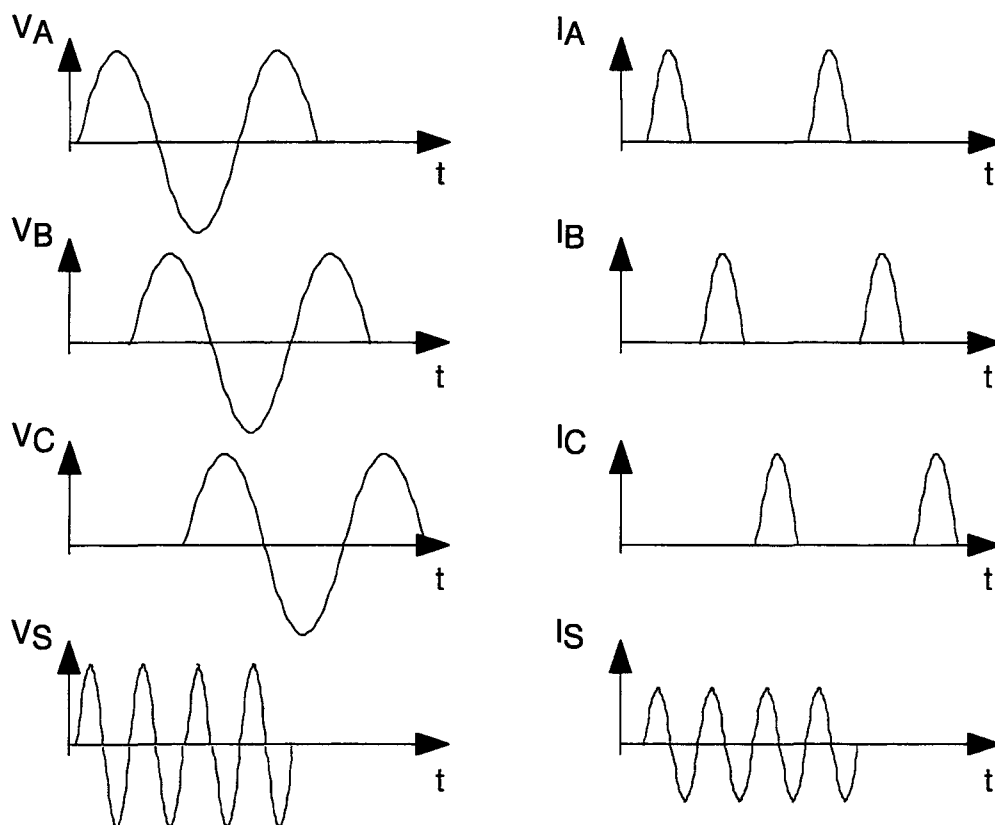


Figure I-14 : Formes des tensions et des courants dans un tripleur équilibré

Dans le cas des multiples du troisième harmonique, les trois ondes s'ajoutent. Cette propriété, qui est généralement un inconvénient en électrotechnique¹⁴, est, par contre, un avantage lors de la réalisation

d'un tripleur de fréquence. Les principales formes d'ondes des tensions et des courants présents dans un tripleur équilibré sont présentées figure I-14 pour en illustrer le fonctionnement.

On peut remarquer que le phénomène d'annulation d'ondes se produit également en sens inverse, en amont des circuits déphaseurs, au niveau du point E. En effet, les harmoniques, générées par chaque transistor, se retrouvent sur les grilles de ceux-ci via leur capacité CGD. Dans l'hypothèse d'une réflexion identique en sortie des trois transistors, ces signaux reviennent au point E avec des déphasages respectifs de :

$$\begin{pmatrix} A^\circ \\ A - 240^\circ \\ A - 120^\circ \end{pmatrix} \text{ pour } f_0, \begin{pmatrix} B^\circ \\ B - 120^\circ \\ B - 240^\circ \end{pmatrix} \text{ pour } 2 * f_0, \begin{pmatrix} C^\circ \\ C^\circ \\ C^\circ \end{pmatrix} \text{ pour } 3 * f_0, \text{ etc...}$$

A, B, C étant des constantes

Le signal résultant au point E est nul pour les harmoniques de fréquence différente de $k * 3 * f_0$. Seules la composante $3 * f_0$ et ses multiples seront donc présents en entrée.

Le circuit est constitué :

- d'une adaptation en entrée à f_0 et d'une en sortie à $3 * f_0$,
- d'un système de déphasage pouvant être réalisé par des longueurs de lignes,
- d'un éventuel "stub", de longueur $\frac{\lambda}{4}$ à $3f_0$, terminé par un circuit ouvert ou bien d'un filtre

passé-bas en entrée pour limiter le retour des harmoniques à $k * 3 * f_0$ sur le générateur.

La présence des harmoniques $(k + 1) * 3 * f_0$ ($6f_0, 9f_0, \dots$) en entrée ou en sortie est heureusement un problème d'ordre secondaire étant donné leur faible puissance due à la rapide décroissance des coefficients de Fourier.

Remarquons, enfin, que ce type de fonctionnement en tripleur équilibré nécessite que les transistors soient polarisés en dessous du pincement comme dans le cas du tripleur simple.

A ce jour et à notre connaissance, cette structure n'a fait l'objet d'aucune réalisation ou étude prospective théorique.

I-B-3 Quadrupleur de fréquence

Les réalisations de tripleurs à TEC sont déjà très rares, celles de quadrupleurs le sont encore d'avantage. Nous en présentons ci-dessous deux exemples très récents ayant fait l'objet d'une réalisation.

I-B-3-a Quadrupleur à transistor "unilatéral"

Dans ce premier cas¹⁵, l'hypothèse a été faite que le transistor est quasiment unilatéral et que, par conséquent, le retour d'harmoniques est supposé très faible. La figure I-15 illustre la configuration retenue.

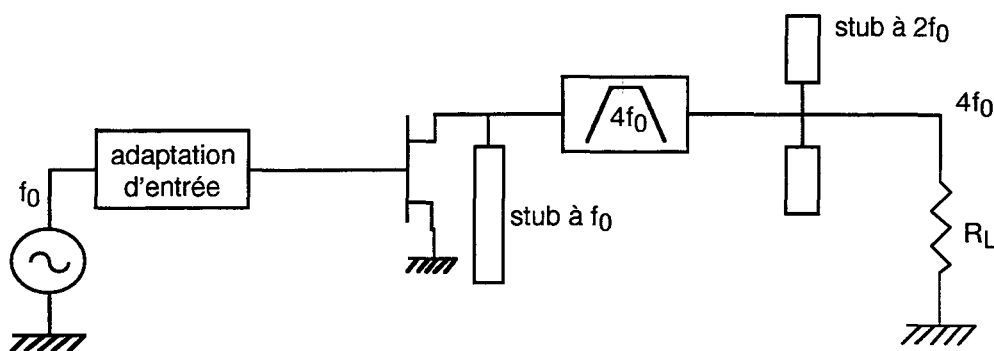


Figure I-15 : Première configuration de fonctionnement d'un TEC en quadrupleur

L'entrée ne comporte qu'un circuit d'adaptation.

En sortie, un "stub", de longueur $\frac{\lambda}{4}$ à f_0 , court-circuite le fondamental et un filtre passe bande atténue

la transmission des harmoniques indésirables dans la charge R_L . Deux "stubs", de longueur $\frac{\lambda}{4}$ à $2f_0$,

sont également ajoutés pour augmenter la pureté spectrale.

I-B-3-b Quadrupleur à transistor "non-unilatéral"

Dans ce deuxième cas¹⁶, l'hypothèse d'unilatéralité n'a pas été retenue et un traitement des harmoniques a été introduit en entrée (figure I-16).

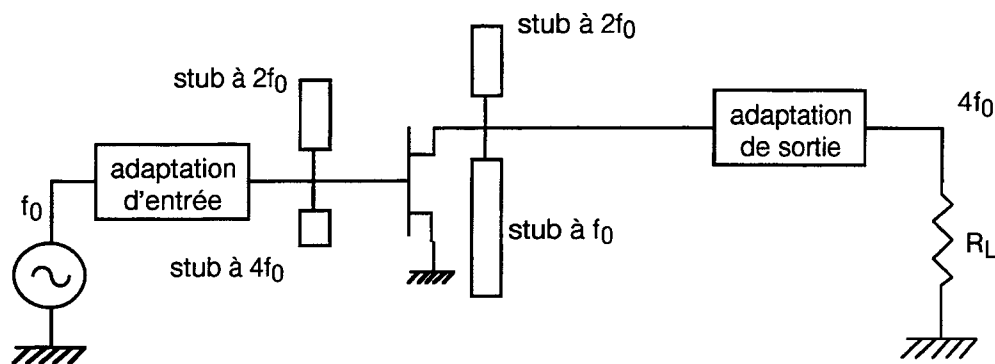


Figure I-16 : Deuxième configuration de fonctionnement d'un TEC en quadrupleur

Sur celle-ci, en plus de l'adaptation à f_0 , deux "stubs", de longueur $\frac{\lambda}{4}$ à $2f_0$ et à $4f_0$, court-circuitent les harmoniques $2f_0$ et $4f_0$.

La sortie comporte deux "stubs" de longueur $\frac{\lambda}{4}$ à f_0 et $2f_0$, qui court-circuitent le fondamental et le deuxième harmonique, ainsi qu'une adaptation à la charge R_L pour l'harmonique $4f_0$ recherchée.

Dans les deux cas, la tension de polarisation V_{GS0} est choisie proche de la tension de pincement V_p du transistor ($\frac{t_0}{T} \approx \frac{1}{2}$ et $I_{4\text{ théorique}} \approx I_{\text{Max}} * 0,043$). On peut penser qu'une polarisation telle que $\frac{t_0}{T} = 0,17$ impliquant $I_{4\text{ théorique}} = I_{\text{Max}} * 0,14$ n'a pas été choisie pour des raisons de tenue en tension des composants.

Bien que peu performants en terme de gain, les systèmes quadrupleurs de fréquence sont à priori intéressants en remplacement d'une chaîne de deux doubleurs.

I-C état de l'art

Toutes les publications connues et ayant fait l'objet de réalisations dans le domaine de la multiplication de fréquence à transistor sont regroupées dans le Tableau Ta.I-2.

Le graphique, figure I-17, situe les performances, en terme de gain de conversion des différentes réalisations en fonction de leur fréquence de sortie. Le type de multiplicateur (Doubleur, Doubleur équilibré, Tripleur ou Quadrupleur) et la technologie employée (Circuit intégré micro-ondes : M.I.C. ou Circuit intégré monolithique micro-ondes : M.M.I.C.) sont spécifiés pour chaque résultat.

Un résumé des principales indications fournies dans chaque publication est présenté dans le tableau Ta.I-3.

On constate immédiatement que ce sont les applications "doubleur de fréquence" qui ont fait l'objet de la plus part des travaux en multiplication de fréquence. Ce sont également celles-ci qui obtiennent les meilleurs performances en gain de conversion et en rendement.

Les travaux de ces dernières années (références 34, 74 et 99) semblent toutefois montrer la faisabilité de multiplicateurs de rang plus élevé ayant des caractéristiques potentiellement intéressantes. Même si les quadrupleurs ont encore des gain inférieurs à l'unité, notre contribution (référence 99) démontre la possibilité de réaliser des tripleurs de fréquence ayant un gain de conversion positif de plusieurs décibels.

1	Soares Augusto, J.; Rosario, M.J.; Vaz, J.C.; Costa Freire, J. Optimal design of MESFET frequency multipliers 23rd European Microwave Conference Proceedings p. 402-4 vol.1
2	Nassef, M.A. Computer simulation and design of non-linear microstrip 2.5 to 5 GHz frequency doubler Proceedings of the 35th Midwest Symposium on Circuits and Systems p. 643-6 vol.1
3	Angelov, I.M. Study of the output circuit influence on the efficiency of balanced FET doublers Bulgarian Journal of Physics Vol: 18 Iss: 4 p. 321-30 Date: 1991
4	Angelov, I.M. ; Stoev, I.K. ; Spasov A.I. Balanced transistor frequency doublers Internationales Wissenschaftliches Kolloquium - technische hochschule ilmenau 1987 Vol.32 pp109-11
5	Shveshkeyev MESFET multiplier analyses and design Mikrowellen & HF Magazin. Telecommunications Vol: 18 Iss: 6 p. 389-99 Date: Dec. 1992
6	Henkus, J.C.; Overduin, R.; Koomen, P.J. A wideband tripler for X-band in microstrip Microwave Journal Vol: 36 Iss: 3 p. 106, 108-9, 111 Date: March 1993
7	Piloni, M.; Brambilla, M. MESFET frequency multipliers including detectorless ALC Conference Proceedings. 22nd European Microwave Conference 92 p. 845-9 vol.2
8	Le, D.L.; Ghannouchi, F.M.; Bosisio, R.G. A novel approach for designing GaAs FET frequency multipliers with optimum conversion gain and power efficiency Microwave and Optical Technology Letters Vol: 5 Iss: 9 p. 403-8 Date: Aug. 1992
9	Khanna, A.P.S.; Creamer, C.; Topacio, E. A 45 GHz highly stable +15 dBm low noise GaAs MESFET source using a GaAs PHEMT as a frequency doubler Microwave Journal Vol: 34 Iss: 11 p. 117-18, 121, 125-7 Date: Nov. 1991
11	Lott, U. Low-loss MESFET frequency quadrupler from 5 to 20 GHz Conference Proceedings. 21st European Microwave Conference, Microwave '91 p. 1502-7
16	Iyama, Y.; Iida, A.; Takagi, T.; Urasaki, S. Second-harmonic reflector type high-gain FET frequency doubler operating in K-band IEEE 1989 MTT-S International Microwave Symp Digest p. 1291-4 vol.3
18	Creamer, C.; Chye, P.; Sinclair, B. 43.5 to 45.5 GHz active times-4 frequency multiplier with 1.4 Watt output power 1991 IEEE MTT-S International Microwave Symposium Digest p: 939-42 vol.3
19	Kondoh, H.; Cognata, A. A 20-50 GHz MMIC amplifier with 21 dBm output power and its application as a frequency doubler IEEE 1993 Microwave and Millimeter-Wave Monolithic Circuits Symposium. Digest of Papers p: 35-8

Tableau Ta.I- 2 : Correspondance entre les références-de l'état de l'art et les articles bibliographiques

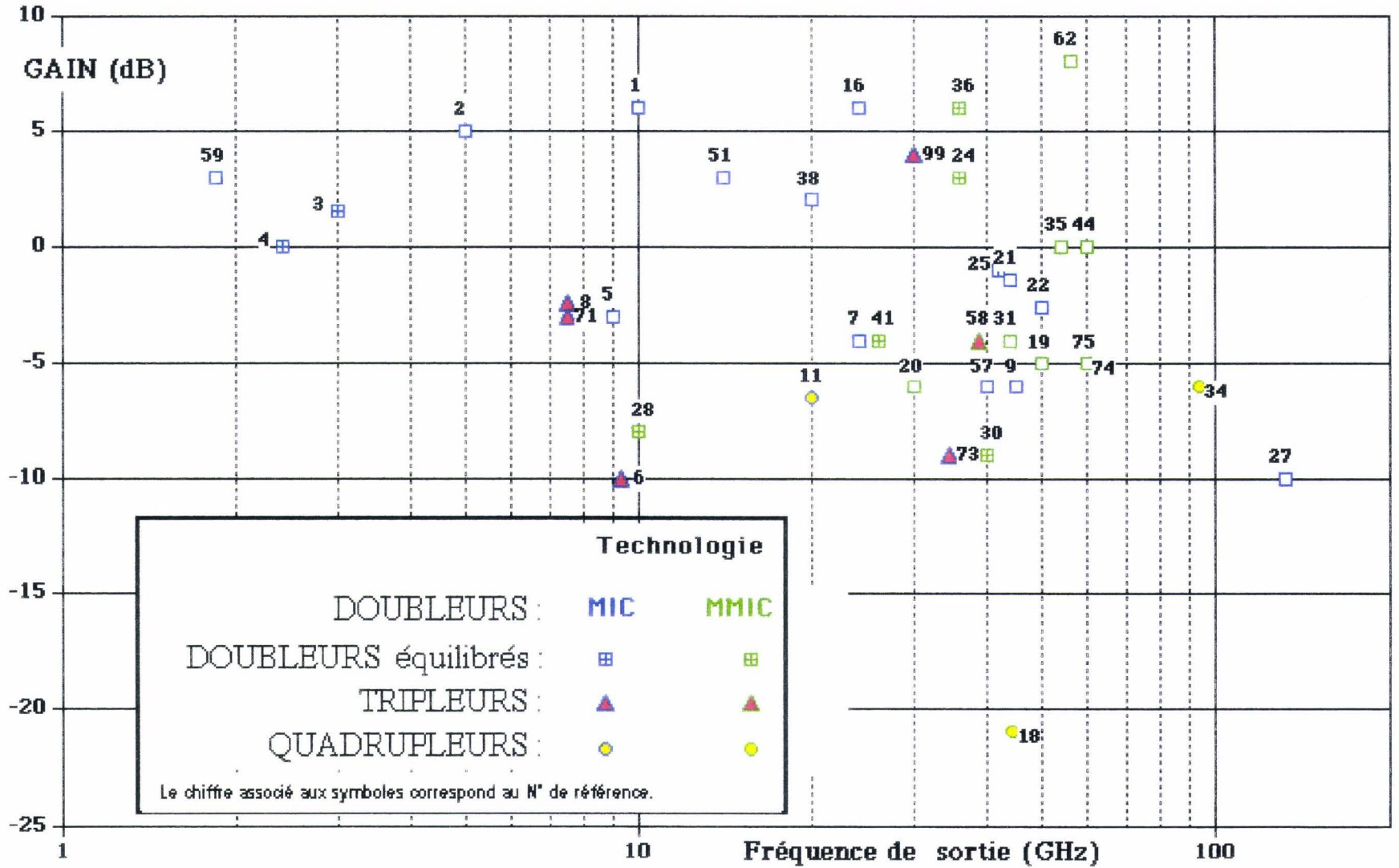
20	Kato, H.; Ohira, T.; Ishitsuka, F.; Tokumitsu, T.; Kihata, Y.; Imai, N. A 30 GHz MMIC receiver for satellite transponders IEEE Transactions on Microwave Theory and Techniques Vol: 38 Iss: 7 p: 896-903 Date: July 1990
21	Chow, P.D.; Hwang, Y.; Garske, D.; Velebir, J.; Yen, H.C. A 44-GHz HEMT doubler/amplifier chain 1990 IEEE MTT-S International Microwave Symposium Digest p: 603-6 vol.1
22	Ogawa, K.; Ishizaki, T.; Hashimoto, K.; Sakakura, M.; Uwano, T. A 50 GHz GaAs FET MIC transmitter/receiver using hermetic miniature probe transitions IEEE Transactions on Microwave Theory and Techniques Vol: 37 Iss: 9 p: 1434-41 Date: Sept. 1989
24	Abdo-Tuko, M.; Bertenburg, R.; Wolff, L. A balanced Ka-Band GaAs FET MMIC frequency doubler IEEE Microwave and Guided Wave Letters Vol: 4 Iss: 7 p: 217-19 Date: July 1994
25	Angelov, I.; Zirath, H.; Rorsman, N.; Gronqvist, H. A balanced millimeter wave doubler based on pseudomorphic HEMTs 1992 IEEE MTT-S International Microwave Symposium Digest p: 353-6 vol.1
27	Kwon, Y.; Pavlidis, D.; Marsh, P.; Ng, G.I.; Brock, T.; Munns, G.; Haddad, G.I. A fully integrated monolithic D-band oscillator-doubler chain using InP-based HEMTs GaAs IC Symposium. 14th Annual IEEE Gallium Arsenide Integrated Circuit Symposium Technical Digest p: 51-4
28	Hiraoka, T.; Tokumitsu, T.; Akaike, M. A minaturized broad-band MMIC frequency doubler IEEE Transactions on Microwave Theory and Techniques Vol: 38 Iss: 12 p: 1932-7 Date: Dec. 1990
30	Takenaka, T.; Ogawa, H. An ultra-wideband MMIC balanced frequency doubler using line-unified HEMTs IEEE Transactions on Microwave Theory and Techniques Vol: 40 Iss: 10 p: 1935-40 Date: Oct. 1992
31	Lester, J.A.; Jones, W.L.; Huang, P.; Garske, D.; Chow, P.D. High performance HEMT MMICs for low cost EHF SATCOM terminals IEEE 1992 Microwave and Millimeter-Wave Monolithic Circuits Symposium. Digest of Papers p: 113-16
34	Huei Wang; Chang, K.W.; Lo, D.C.W.; Tan, K.L.; Streit, D.; Dow, G.S.; Allen, B.R. Monolithic 23.5 to 94 GHz frequency quadrupler using 0.1 μ m pseudomorphic AlGaAs/InGaAs/GaAs HEMT technology IEEE Microwave and Guided Wave Letters Vol: 4 Iss: 3 p: 77-9 Date: March 1994
35	Huei Wang; Yatsun Hwang; Shaw, L.; Ahmadi, M.; Siddiqui, M.; Monolithic V-band frequency converter chip set development using 0.2 μ m AlGaAs/InGaAs/GaAs pseudomorphic HEMT technology Transactions on Microwave Theory and Techniques Vol: 42 Iss: 1 p: 11-17 Date: Jan. 1994

Tableau Ta.I- 2 (suite) : Correspondance entre les références-de l'état de l'art et les articles bibliographiques

36	Abdo-Tuko, M.; Naged, M.; Wolff, I. Novel 18/36 GHz (M)MIC GaAs FET frequency doublers in CPW-techniques under the consideration of the effects of coplanar discontinuities IEEE Transactions on Microwave Theory and Techniques Vol: 41 Iss: 8 p: 1307-15 Date: Aug. 1993
38	Guo, C.; Ngoya, E.; Quere, R.; Camiade, M.; Obregon, J. Optimal CAD MESFETs frequency multipliers with and without feedback 1988 IEEE MTT International Microwave Symposium Digest p: 1115-18 vol.2
41	Hirota, T.; Ogawa, H. Uniplanar monolithic frequency doublers IEEE Transactions on Microwave Theory and Techniques Vol: 37 Iss: 8 p: 1249-54 Date: Aug. 1989
44	Funabashi, M.; Inoue, T.; Ohata, K.; Maruhashi, K.; Hosoya, K. ; Kuzuhara, M.; Kanekawa, K.; Kobayashi, Y. A 60 GHz MMIC stabilized frequency source composed of a 30 GHz DRO and a doubler 1995 IEEE MTT-S International Microwave Symposium Digest Part vol.1 p.71-4
51	CAD review: the 7 GHz doubler circuit Journal: Microwave Engineering Europe p.43-4, 47-8, 53 Publication Date: May 1994
57	Boch, E. A High Efficiency 40 GHz Power FET Frequency Doubler Microwave Journal, August 89 p154-8
58	DBS Microwave Inc. Low Cost Front-ends for Digital Radio Microwave Journal, July 1995
59	Dougherty, R.M. A Design Method for FET Applications Microwave Journal, September 1993
62	Cordier, C. ; Gamand, P. Doubleur de fréquence 28 GHz / 56 GHz Neuvièmes journées Nationales Microondes Avril 1995 p5D12
71	Lê, D.L. ; Ghannouchi, F.M. ;Bosisio, R.G. Conception optimale d'un GaAs FET tripleur de fréquence 2.5 @ 7.5 GHz Canadian aeronautcs and space journal, 1991, Vol.37, No.3, pp134-8
73	Zhang, G. ; Pollard, R.D. ; Snowden, C.M. A nove technique for HEMT tripler design IEEE MTT-S Digest 1996, WE2E-5, pp663-6
74	Shirakawa, K. ; Kawasaki, Y. ; Ohashi, Y. ; Okubo, N. A 15/60 GHz one-stage MMIC frequency quadrupler IEEE 1996 Microwave and mm-wave Monolithic Circuits Symposium
75	Shirakawa, K. ; Shimizu, M. ; Kawasaki, Y. ; Ohashi, Y. ; Okubo, N. A new empirical large-signal HEMT model IEEE MTT Vol.44, No.4, April 1996
99	Brosteaux ; Crosnier A high performance Ka band P-HEMT MIC tripler ; à paraître

Tableau Ta.I- 2 (suite) : Correspondance entre les références-de l'état de l'art et les articles bibliographiques

Figure I-17 : performances des dispositifs multiplicateurs de fréquence avant fait l'objet d'une



N° ChB	Année	Type	f sortie (GHz)	Transistor	Techno	G (dB)	Pout(dBm)	Rendement(%)
1	93	D	10	MESFET	MIC	6	8	
2	92	D	5	MESFET	MIC	5		
3	91	DE	3	MESFET	MIC	1,5	12	5
4	88	DE	2,4	BIPOLAIRE	MIC	0	13	
5	92	D	9	MESFET	MIC	-3		
6	93	T	9,3	MESFET	MIC	-10	0	1
7	92	D	24	MESFET	MIC	-4	8	
8	92	T	7,5	FET	MIC	-2,4	1,6	10,5
9	91	D	45	PHEMT	MIC	-6	7	
11	91	Q	20	MESFET	MIC	-6,5	-5,5	0,44
16	89	D	24	FET	MIC	6	13	
18	91	Q	44,5	PHEMT	MMIC	-21	-1	
19	93	D	50	PHEMT	MMIC	-5	10	
20	90	D	30	MESFET	MMIC	-6		
21	90	D	44	HEMT	MIC	-1,4	0,4	
22	89	D	50	FET	MIC	-2,6	4	
24	94	DE	36	FET	MMIC	3	5	
25	92	DE	42	HEMT	MIC	-1	4	
27	92	D	132	Hemt InP	MMIC	-10	-12	
28	90	DE	10	FET	MMIC	-8	2	3
30	92	DE	40	HEMT	MMIC	-9	-3	0,5
31	92	D	44	PHEMT	MMIC	-4	5	
34	94	Q	94	PHEMT	MMIC	-6	-1	
35	94	D	54	PHEMT	MMIC	0	10	
36	93	DE	36	FET	MMIC	6	10	
38	88	D	20	MESFET	MIC	2	16	
41	89	DE	26	FET	MMIC	-4	6	
44	95	D	60	FET	MMIC	0	7	
51	94	D	14	FET	MIC	3	10	
57	89	D	40	FET	MIC	-6	12	25
58	95	T	39	FET	MMIC	-4		
59	93	D	1,85	MESFET	MIC	3	9	
62	95	D	56	HEMT	MMIC	8	5,5	
71	91	T	7,5	FET	MIC	-3	2	10
73	96	T	34,5	HEMT	MIC	-9	-9	
74	96	Q	60	HEMT	MMIC	-5,2	-5	
75	96	D	60	HEMT	MMIC	-4,8	-5	
99	96	T	30	PHEMT	MIC	4	4	6

Légende : D : Doubleur, DE : Doubleur équilibré, T : Tripleur, Q : Quadrupleur

Tableau Ta.I- 3: Résumé des caractéristiques des multiplicateurs des références citées

Conclusion

Ce premier chapitre nous a permis d'exposer le principe de la multiplication de fréquence à transistor en fonction des non linéarités des composants utilisés et en fonction des polarisations appliquées.

Nous avons ensuite décrit les différentes solutions pratiques pouvant être appliquées pour réaliser des multiplicateurs de fréquence. Cela nous permet de prendre conscience des principales contraintes et difficultés liées à la conception de chaque type de multiplicateur.

L'état de l'art que nous avons dressé met en évidence les piètres performances des tripleurs et quadrupleurs. Ces derniers ont, au mieux, des pertes de 2,4 et 5,2 dB respectivement. Pour ce qui est des doubleurs, leur gain peut atteindre 8 dB, ce qui explique leur position prédominante en multiplication de fréquence à transistor.

Notre travail, présenté dans les chapitres suivants, consiste à montrer qu'une étude rigoureuse peut permettre d'atteindre, en tripleur de fréquence à transistor, des performances quasi comparables à celles obtenues actuellement en doubleur de fréquence.

Bibliographie du chapitre I

- ¹ Théron, D.; Bonte, B.; Gaquière, C.; Playez, E.; Crosnier, Y.
Characterization of GaAs and InGaAs Double-Quantum Well Heterostructure FET's IEEE Transactions on Electron Devices Vol: 40 No.11 p: 1935-41 Date: November 1993
- ² S.A.MAAS
"Nonlinear Microwave Circuits", Artech House Norwood, MA, 1988
- ³ Abdo-Tuko, M.; Naghed, M.; Wolff, I.
Novel 18/36 GHz (M)MIC GaAs FET frequency doublers in CPW-techniques under the consideration of the effects of coplanar discontinuities IEEE Transactions on Microwave Theory and Techniques Vol: 41 Iss: 8 p: 1307-15 Date: Aug. 1993
- ⁴ Khanna, A.P.S.; Creamer, C.; Topacio, E.
A 45 GHz highly stable +15 dBm low noise GaAs MESFET source using a GaAs PHEMT as a frequency doubler Microwave Journal Vol: 34 Iss: 11 p. 117-18, 121, 125-7 Date: Nov. 1991
- ⁵ Chow, P.D.; Hwang, Y.; Garske, D.; Velebir, J.; Yen, H.C.
A 44-GHz HEMT doubler/amplifier chain 1990 IEEE MTT-S International Microwave Symposium Digest (Cat. No.90CH2848-0) p: 603-6 vol.1 Publisher: IEEE New York, NY, USA Date: 1990 3 vol. 1371 pp.
- ⁶ Ogawa, K.; Ishizaki, T.; Hashimoto, K.; Sakakura, M.; Uwano, T.
A 50 GHz GaAs FET MIC transmitter/receiver using hermetic miniature probe transitions IEEE Transactions on Microwave Theory and Techniques Vol: 37 Iss: 9 p: 1434-41 Date: Sept. 1989
- ⁷ Soares Augusto, J.; Rosario, M.J.; Vaz, J.C.; Costa Freire, J.
Optimal design of MESFET frequency multipliers 23rd European Microwave Conference Proceedings p. 402-4 vol.1 Publisher: Reed Exhibition Companies Tunbridge Wells, UK Date: 1993 2 vol.(xxii+1021+x+134 pp.)
- ⁸ Iyama, Y.; Iida, A.; Takagi, T.; Urasaki, S.
Second-harmonic reflector type high-gain FET frequency doubler operating in K-band IEEE 1989 MTT-S International Microwave Symposium Digest (Cat. No.89CH2725-0) p. 1291-4 vol.3
- ⁹ I. M. Angelov, I. K. Stoev,
"Balanced transistor frequency doublers", International Wissenschaftliches Kolloquium, Vol. 32, pp 109-111, 1987.
- ¹⁰ J.Rogers, R.Bhatia,
"A 6 to 20 GHz planar balun using a Wilkinson divider and a Lange coupler", 1991 IEEE MTT-S International Microwave Symposium Digest (Cat. No.91CH2870-4) p: 865-8 Date: 1991

¹¹ Abdo-Tuko, M.; Bertenburg, R.; Wolff, L.

A balanced Ka-Band GaAs FET MMIC frequency doubler IEEE Microwave and Guided Wave Letters
Vol: 4 Iss: 7 p: 217-19 Date: July 1994

¹² Le, D.L.; Ghannouchi, F.M.; Bosisio, R.G.

A novel approach for designing GaAs FET frequency multipliers with optimum conversion gain and
power efficiency Microwave and Optical Technology Letters Vol: 5 Iss: 9 p. 403-8 Date: Aug. 1992

¹³ Henkus, J.C.; Overduin, R.; Koomen, P.J.

A wideband tripler for X-band in microstrip Microwave Journal Vol: 36 Iss: 3 p. 106, 108-9, 111
Date: March 1993

¹⁴ "Un harmonique 3 encombrant", Electronique International Hebdo N°218, 4 avril 1996.

¹⁵ Lott, U.

Low-loss MESFET frequency quadrupler from 5 to 20 GHz Conference Proceedings. 21st European
Microwave Conference, Microwave '91 p. 1502-7

¹⁶ Shirakawa, K. A 15/60

One-Stage MMIC Frequency Quadrupler IEEE 1996 Millimeter-Wave Monolithic Circuits
Symposium p. 35-38 III-1

chapitre II

étude et optimisation des performances d'un tripleur

introduction

Dans le cadre du contrat Européen ESPRIT-5032 AIMS, nous devons montrer la faisabilité et l'intérêt de tripleurs de fréquences à transistor délivrant des fréquences dans la bande W. Pour ce faire, nous avons procédé par étapes :

1) Choix de la technologie à employer : Comme nous l'avons montré dans le chapitre I (I-1-1 : principe fondamental), il existe essentiellement deux façons de commander le générateur de courant particulaire de drain, pour obtenir des harmoniques, suivant que la réponse de ce générateur est quasi linéaire ou bien non-linéaire.

Des simulations ont été réalisées en se basant sur des composants présentant ces deux types de comportements pour comparer les potentialités de chaque solution. Les résultats de cette étude sont présentés dans la partie II-B.

2) Étude préliminaire d'un tripleur 12-36 GHz : La partie II-C présente à la fois des résultats de simulation utilisant un transistor FUJITSU (FHX04) et des mesures réalisées à l'aide d'un banc de table sur ce même composant. Les manipulations ont permis d'étayer les simulations en montrant des réponses similaires.

3) Comparaison du fonctionnement en doubleur 18-36 GHz et en tripleur 12-36 GHz d'un même transistor : Pour prouver l'intérêt du tripleur par rapport au doubleur, nous avons réalisé, dans la partie II-D, les deux types de simulation en employant le même transistor.

4) Simulation d'un tripleur 27-81 GHz : Nous avons simulé le fonctionnement en tripleur de fréquences de deux transistors différents dans plusieurs configurations différentes. La partie II-E précise ces configurations et présente les performances que l'on peut atteindre à ces fréquences de fonctionnement.

Après cette étude théorique contractuelle, nous nous sommes attachés à optimiser, en simulation, un tripleur 10-30 GHz dans le but de réaliser un démonstrateur en technologie hybride. Ce travail est décrit dans la partie II-F qui regroupe l'optimisation des impédances à présenter au transistor et la prise en compte des limitations de tenue en tension du composant devant être physiquement utilisé.

Mais avant toute chose, nous présentons dans la première partie (II-A) les caractéristiques et les modèles des transistors utilisés tout au long de ce travail.

II-A caractéristiques et modèles des transistors utilisés

Tout au long de l'étude en simulation de multiplicateurs de fréquence, nous avons été amenés à utiliser les modèles de 6 transistors différents.

Les noms et les principales caractéristiques de ces transistors se trouvent regroupés dans le tableau Ta.II-1.

Nom	Fabricant	Type	Structure	Développement (μm^2)	V _p (V)	IDSS (mA)	gm _{Max} (mS)	CGS _{Max} (fF)
CHS450	IEMN-DHS	HEMT AlGaAs/ GaAs	Simple puits	2*100*0,4	-0,7	45	74	170
CHS453	IEMN-DHS	HEMT AlGaAs/ GaAs	Double puits	2*75*0,4	-4,3	150	43	250
FHX04	FUJITSU	HEMT AlGaAs/ GaAs	Simple puits	2*100*0,2 5	-0,9	45	70	150
TOUTATIS TA33210	THOMSON	P-HEMT AlGaAs/ InGaAs/ GaAs	Simple puits	2*50*0,25	-0,5	15	95	130
TOUTATIS TA33420	THOMSON	P-HEMT AlGaAs/ InGaAs/ GaAs	Simple puits	4*50*0,25	-0,5	49	190	270
GRINGO	THOMSON	P-HEMT AlGaAs/ InGaAs/ GaAs	Simple puits	2*40*0,15	-0,7	26	67	68

Tableau Ta.II-1 : Caractéristiques des 6 transistors utilisés.

Les transistors CHS450 et CHS 453 ont été retenus pour avoir la possibilité de comparer deux composants de même type ayant des structures différentes (simple ou double puits).

Le choix du FHX04 s'est effectué en considérant ses caractéristiques électriques, compatibles avec notre application, et sa disponibilité commerciale.

Nous avons ensuite choisi d'utiliser un transistor plus performant : le TOUTATIS TA33210, fabriqué par THOMSON, de façon à accroître le gain en tripleur de fréquence.

La comparaison entre le TOUTATIS et le GRINGO nous a permis d'évaluer et de comparer les potentialités, en tripleur 27-81 GHz, de transistors ayant des longueurs de grille différentes (0,25 et 0,15 μm respectivement).

Enfin le choix d'un TOUTATIS TA33420, ayant un développement de grille plus important que le TA33210 (200 μm contre 100 μm), a été fait dans le but d'obtenir davantage de puissance de sortie dans le cas d'un tripleur 10-30 GHz.

II-A-1 Caractérisation des transistors

Les différentes étapes de caractérisation des transistors doivent permettre de déterminer leurs caractéristiques et tous les éléments du schéma du modèle non-linéaire usuel (figII-1).

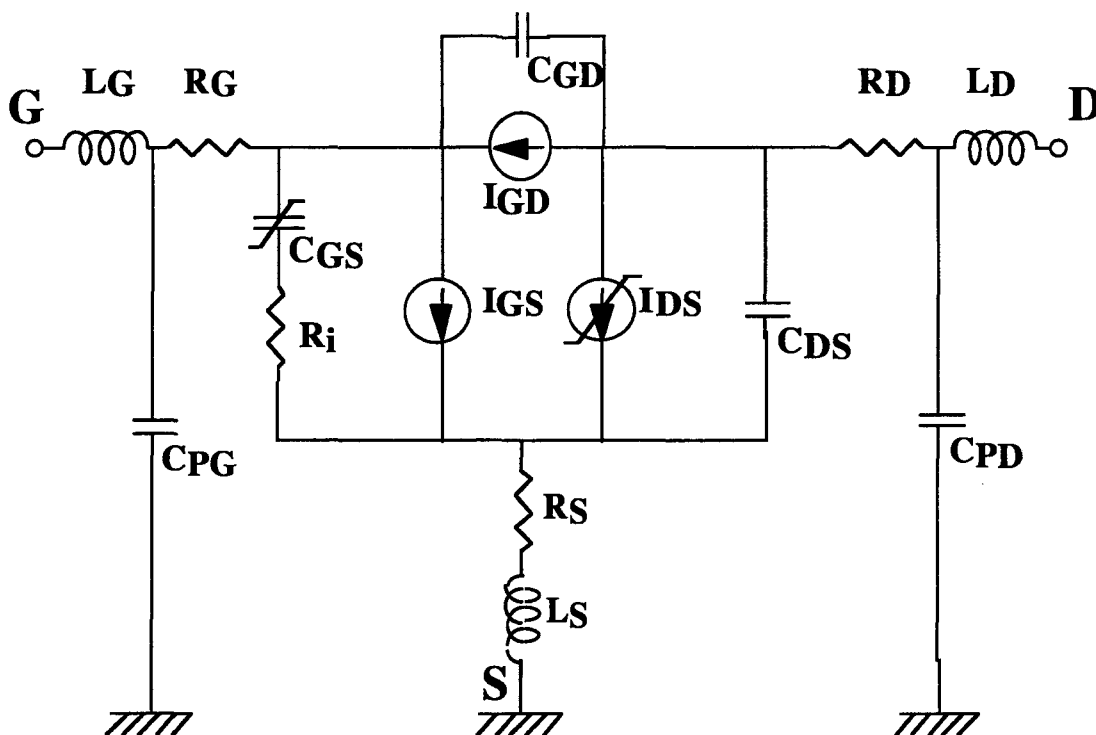


Figure II-1 : Schéma équivalent du TEC

Notre travail étant basé sur le fonctionnement non-linéaire des transistors, il nous est indispensable de réaliser une modélisation très fine et la plus exacte possible sur une large gamme de polarisations. Pour arriver à ce résultat, nous avons utilisé deux outils " classiques " au laboratoire : la caractérisation statique et la caractérisation hyperfréquence.

II-A-1-a Caractérisation statique

Ce type de mesure est réalisé sur des composants en cellule ou sous pointes à l'aide d'un banc automatisé piloté par le logiciel ICCAP (Hewlett Packard).

Les principales informations que l'on peut en tirer sont :

- Le réseau $IDS(VDS)$ pour différents VGS (exemple figure II-2).
- Le réseau $IDS(VGS)$ pour différents VDS (exemple figure II-3).
- La transconductance statique gm (exemple figure II-4).

- Les caractéristiques des diodes Grille-Source et Grille-Drain, en direct et en inverse (exemple figure II-5).

Cette caractérisation permet, en plus de la vérification du bon fonctionnement du composant, de connaître ses caractéristiques en tension (tension de pincement et tensions maximales de fonctionnement).

Les caractéristiques des diodes Grille-Source et Grille-Drain seront utilisées dans nos modèles lorsque les simulations auront pour but la réalisation matérielle d'un circuit.

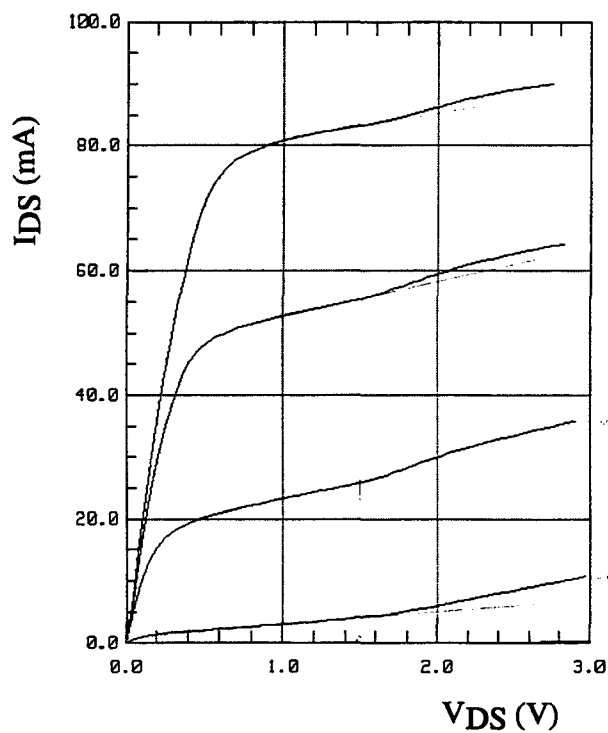


Figure II-2 : Exemple de réseau $I_{DS}(V_{DS})$ pour différents V_{GS} (transistor TOUTATIS TA33420).

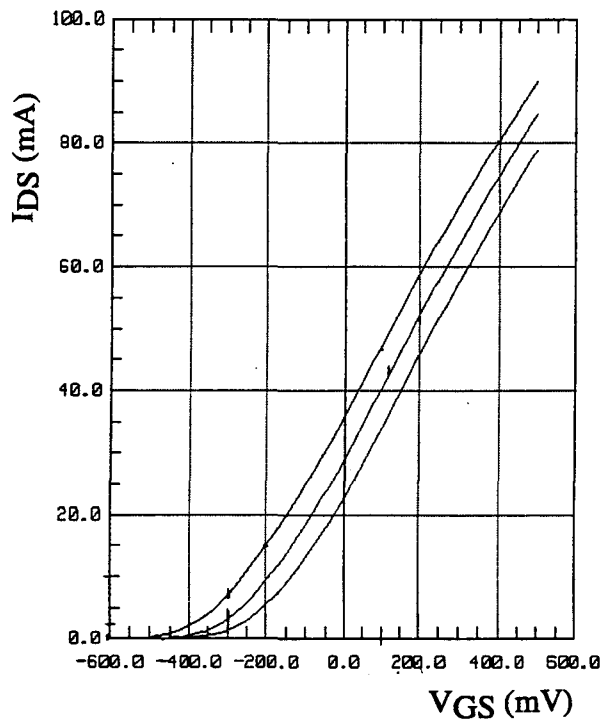


Figure II-3 : Exemple de réseau $I_{DS}(V_{GS})$ pour différents V_{DS} (transistor TOUTATIS TA33420).

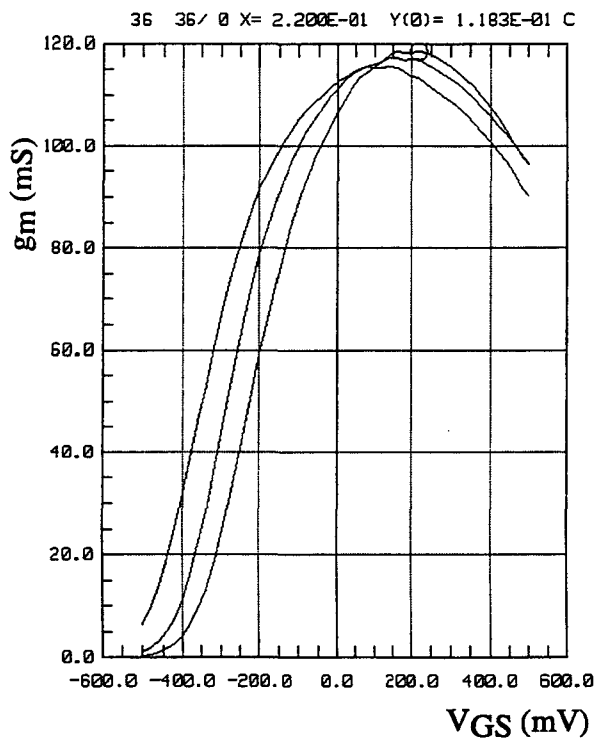


Figure II-4 : Exemple de mesure de la transconductance statique g_m (transistor TOUTATIS TA33420).

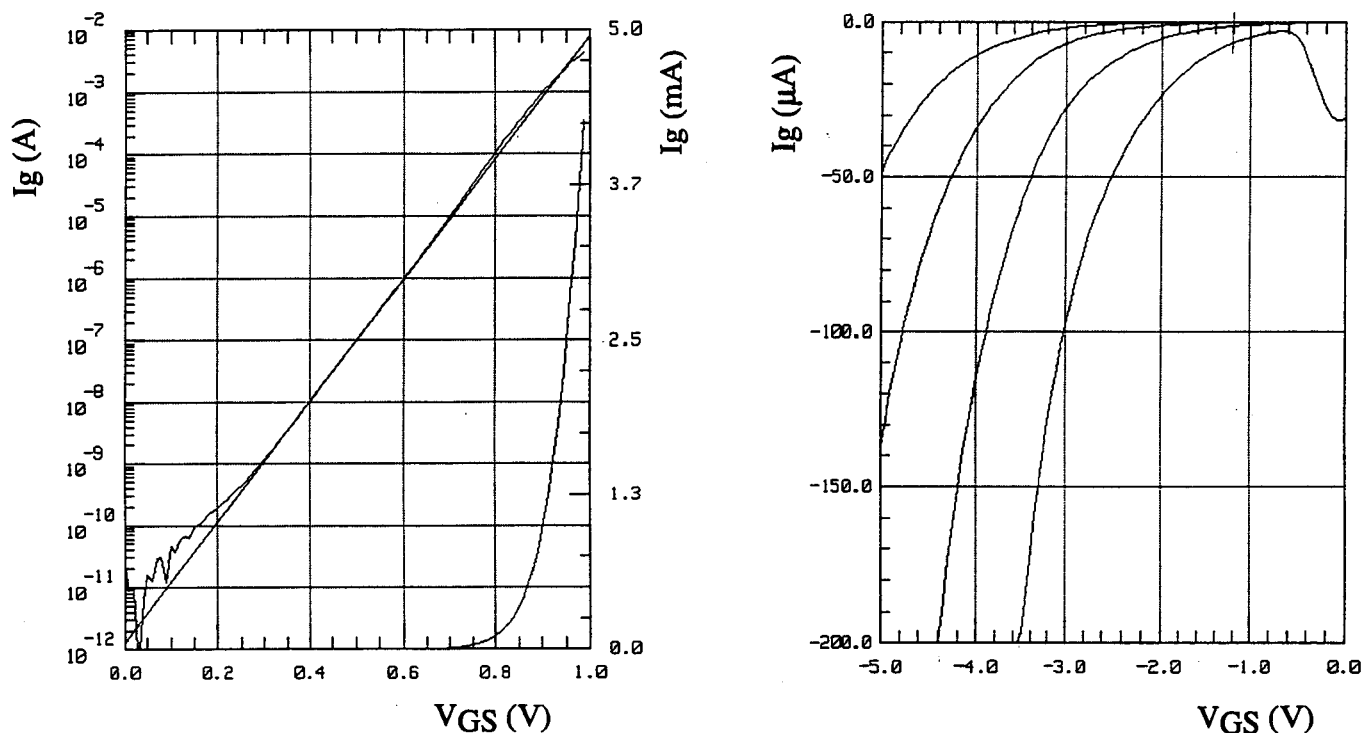


Figure II-5 : Exemple de caractéristique des diodes Grille-Source et Grille-Drain (transistor TOUTATIS TA33420).

II-A-1-b Caractérisation hyperfréquence

La caractérisation hyperfréquence est effectuée entre 45 MHz et 40 GHz à l'aide d'un analyseur de réseau HP85107A.

Les mesures des paramètres "S" sont réalisées en de nombreux points de polarisation et une procédure de dépouillement informatisée permet d'accéder aux valeurs de tous les éléments du schéma équivalent petit signal ¹⁷. La figure II-6 présente les éléments extrinsèques et intrinsèques du schéma équivalent petit signal du TEC. Les évolutions obtenues pour les éléments intrinsèques en fonction des tensions de polarisation sont utilisées pour élaborer nos modèles "grand signal".

Cette caractérisation peut être réalisée indifféremment sur des composants montés dans des cellules de mesure -Dambrine- ou sur des composants, sur "wafer", contactés à l'aide de pointes hyperfréquences.

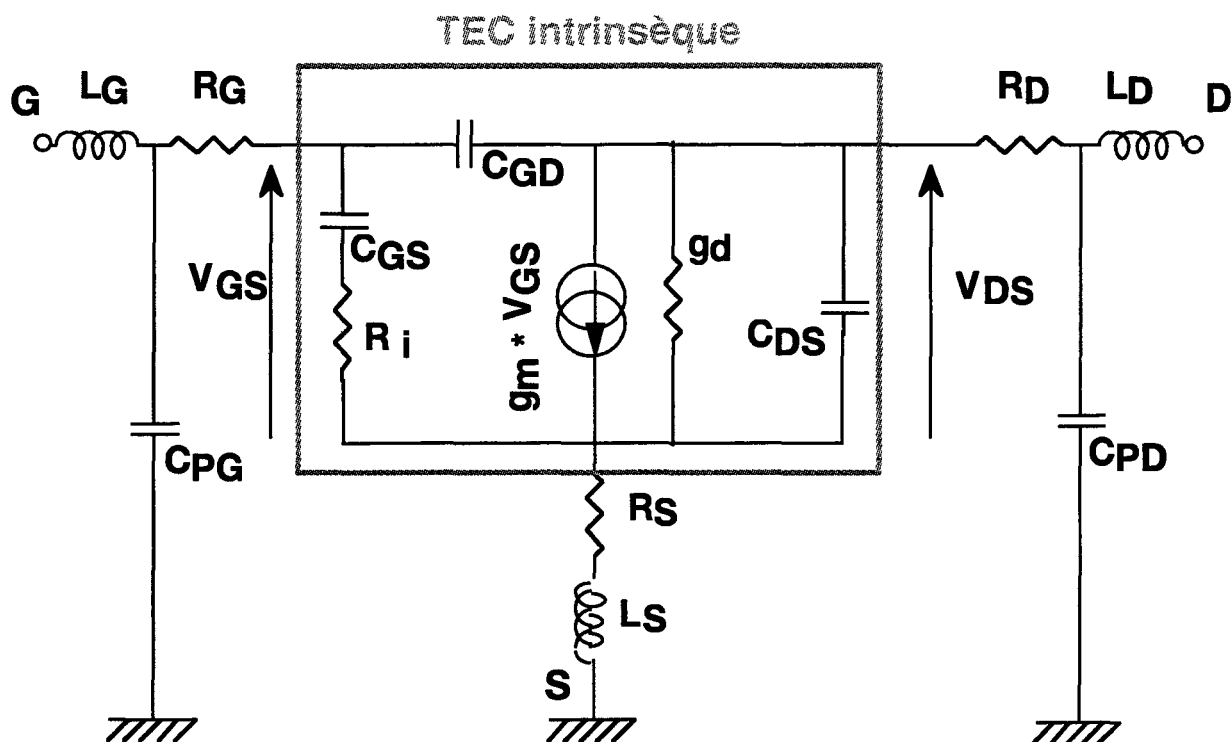


Figure II-6: Schéma équivalent petit signal du TEC

Une fois ces deux caractérisations effectuées, tous les éléments du schéma équivalent grand signal (figure II-1) sont connus et peuvent être alors intégrés dans les modèles devant représenter les transistors lors des simulations.

II-A-2 Description des modèles

Comme nous l'avons rappelé chapitre I, seules les non linéarités CGS et IDS seront présentes dans nos modèles de transistors. Les justifications de ces choix sont les suivantes :

- Le générateur de courant, fonctionnant en deçà de la tension de pincement V_p du transistor, constitue la source potentielle majeure des harmoniques. De ce fait, il doit donc être obligatoirement représenté par un modèle non-linéaire complet dépendant des tensions VGS et VDS.
- La capacité CGS, fortement non-linéaire en fonction de la tension interne VGS, doit être représentée par un modèle non-linéaire dépendant au moins de cette tension. Cela est nécessaire, non pas à cause de l'effet "Varactor" (création directe d'harmoniques) qu'elle

pourrait créer, mais parce qu'une valeur moyenne de la capacité CGS ne saurait rendre compte des variations d'impédance d'entrée du transistor dues à la variation de la valeur de cette capacité en fonction de la puissance injectée sur la grille du transistor.

Cette variation d'impédance d'entrée du transistor modifie la forme du signal $V_{GS}(t)$ et donc, la commande du générateur de courant.

De nombreuses simulations ont montré la nécessité de cette modélisation. Un exemple, figure II-7, présente, dans le cas d'un transistor TOUTATIS TA 33210, la différence de gain obtenue en prenant une capacité CGS fixe moyenne, ou bien une capacité variable.

- Les autres éléments du schéma équivalent ne modifient que très peu les résultats obtenus en simulation lorsqu'ils sont choisis fixes. Nous avons donc décidé de considérer constants ces éléments pour simplifier le modèle et, de ce fait, diminuer quelque peu les temps de calcul lors des simulations.

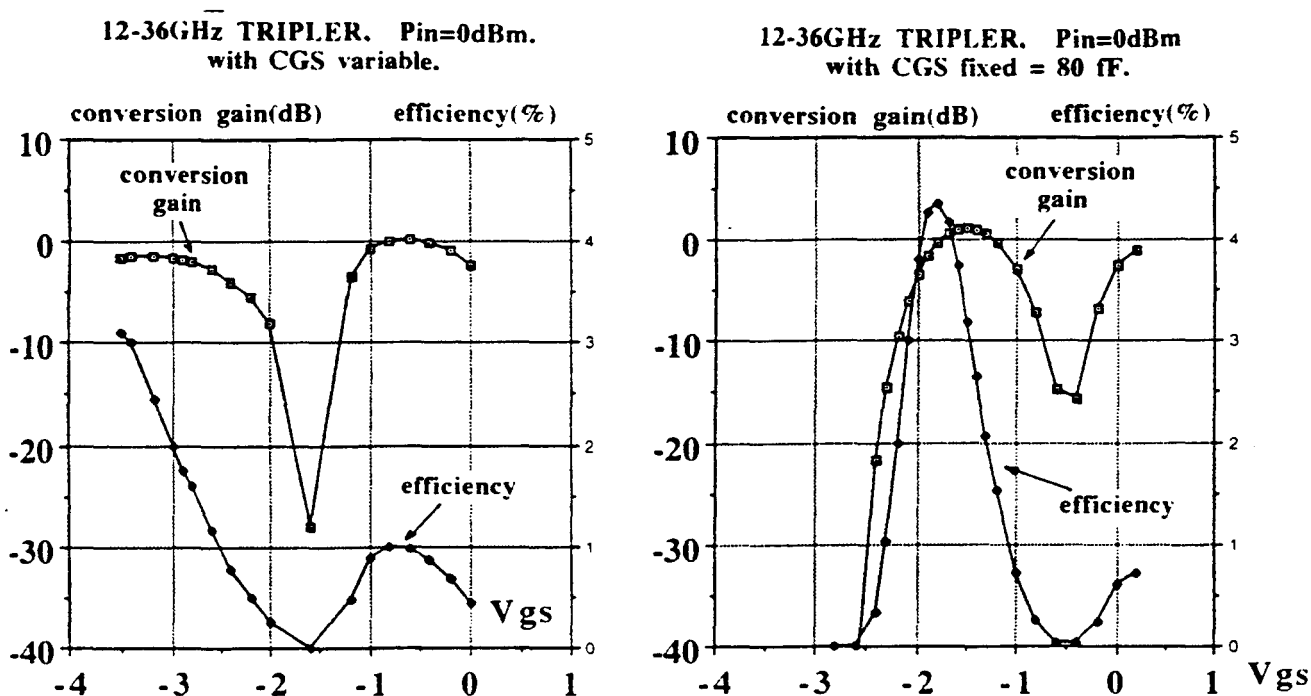


Figure II-7 : Comparaison des gains obtenus en prenant la capacité CGS fixe ou variable, dans le cas du transistor TOUTATIS TA33210.

Les caractéristiques des diodes Grille Source et Grille-Drain ne seront implantées dans nos modèles que lorsque nous désirerons vérifier la compatibilité des excursions en tension de nos simulations avec les caractéristiques de tenue en tension des transistors simulés.

Lorsque nous réaliserons des simulations dans le but de fabriquer un démonstrateur, nous nous imposerons d'obtenir des tensions VGS et VGD n'entraînant pas une conduction en direct ou en inverse des diodes Grille Source et Grille-Drain. Cette limitation est indispensable lorsque l'on désire réaliser un système à transistor qui soit fiable et qui ait une durée de vie significative.

Les caractéristiques non-linéaires de ces diodes ne seront donc pas, en principe, responsables du comportement non-linéaire du transistor.

Les différents éléments, constants ou non, des transistors caractérisés sont introduits dans le logiciel MDS (Hewlett Packard) en se basant sur un modèle pré défini de transistor à effet de champ.

Les éléments constants sont insérés directement. Le générateur de courant IDS peut être formulé par une équation dépendant des tensions VGS et VDS. La capacité CGS doit être décrite par sa charge QGS qui peut dépendre des tensions VGS et VDS.

Les expressions mathématiques, plus ou moins complexes, des courants IDS et charges QGS sont choisies en fonction des caractéristiques de chaque transistor.

Pour illustrer cela, nous détaillons la modélisation de deux des six transistors ; ces deux transistors étant assez différents l'un de l'autre.

Les modèles des quatre autres transistors sont calqués sur les précédents : seules leurs caractéristiques seront indiquées.

II-A-2-a Modélisation du transistor CHS453

Ce transistor est un composant AlGaAs / GaAs double puits particulièrement non-linéaire.

Les mesures de la transconductance g_m et de la capacité CGS sont données figures II-8 et II-9.

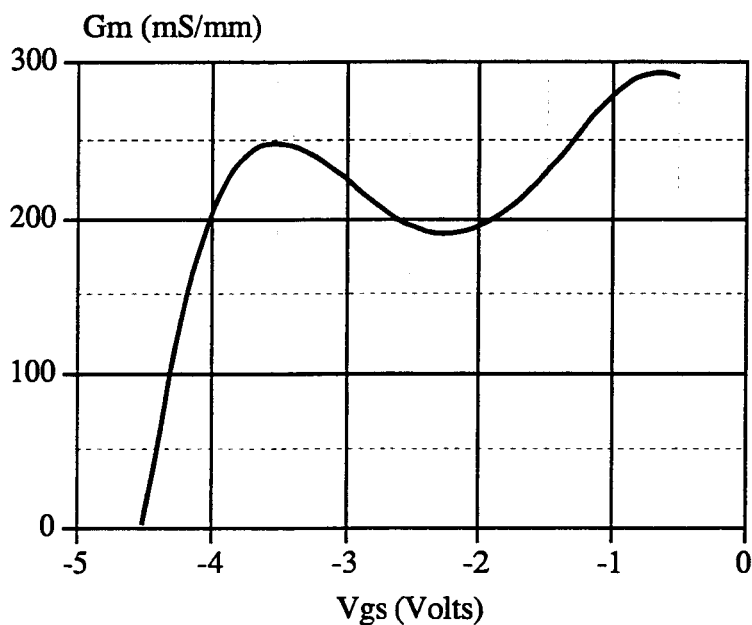


Figure II-8 : Transconductance hyperfréquence du transistor CHS453 en fonction de la tension de grille.

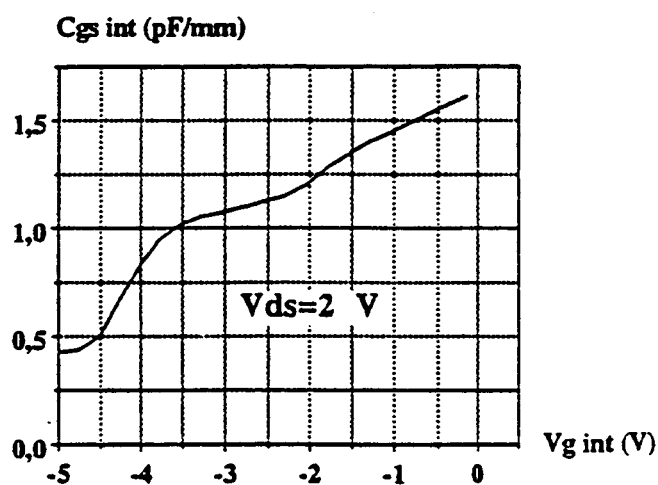


Figure II-9 : Capacité Grille-Source du transistor CHS453 en fonction de la tension de grille.

L'équation du générateur de courant est déterminée en intégrant celle du gm. La variation du gm est représentée par une équation polynomiale déterminée à partir de la mesure du gm à une tension VDS de 2 Volts.

L'expression finale de IDS est sous la forme :

$$I_{DS}(V_{GS}, V_{DS}) = \left(\sum_{k=0}^{19} I_k * V_{GS}^k \right) * 5 * 10^{-3} * \left(1 + th[40 * (V_{GS} + 4,63)] \right) * th(2 * V_{DS})$$

Les coefficients Ik du polynôme sont répertoriés dans le tableau Ta.II-2.

I0	14,70	I7	-0,19	I14	-2,27
I1	3,88	I8	-4,00	I15	-6,50
I2	-0,83	I9	0,14	I16	-1,19
I3	-0,36	I10	0,15	I17	-1,37
I4	0,20	I11	3,07	I18	-9,06
I5	9,52	I12	-4,82	I19	-2,63
I6	-0,13	I13	-4,84		

Tableau Ta.II-2 : Coefficients Ik du polynôme représentant le courant de drain du transistor CHS453

Bien que cette formulation ne soit rigoureusement valable que pour la valeur de VDS à laquelle a été faite la caractérisation (2V), le terme supplémentaire th(2VDS) permet de bâtir le réseau de caractéristiques dynamiques simulé IDS(VGS,VDS) (figure II-10).

Dans le cas de nos simulations, la petite erreur de modélisation induite par cette représentation n'aura qu'une répercussion minimale. En effet, comme le montre la figure II-11, la partie du réseau de caractéristiques où IDS et VDS sont importants n'est pas explorée par le cycle de charge du transistor.

Les caractéristiques simulées du courant dynamique de drain et de la transconductance sont présentées figure II-12 en fonction de la tension de grille pour une polarisation $V_{DS}=2\text{ V}$.

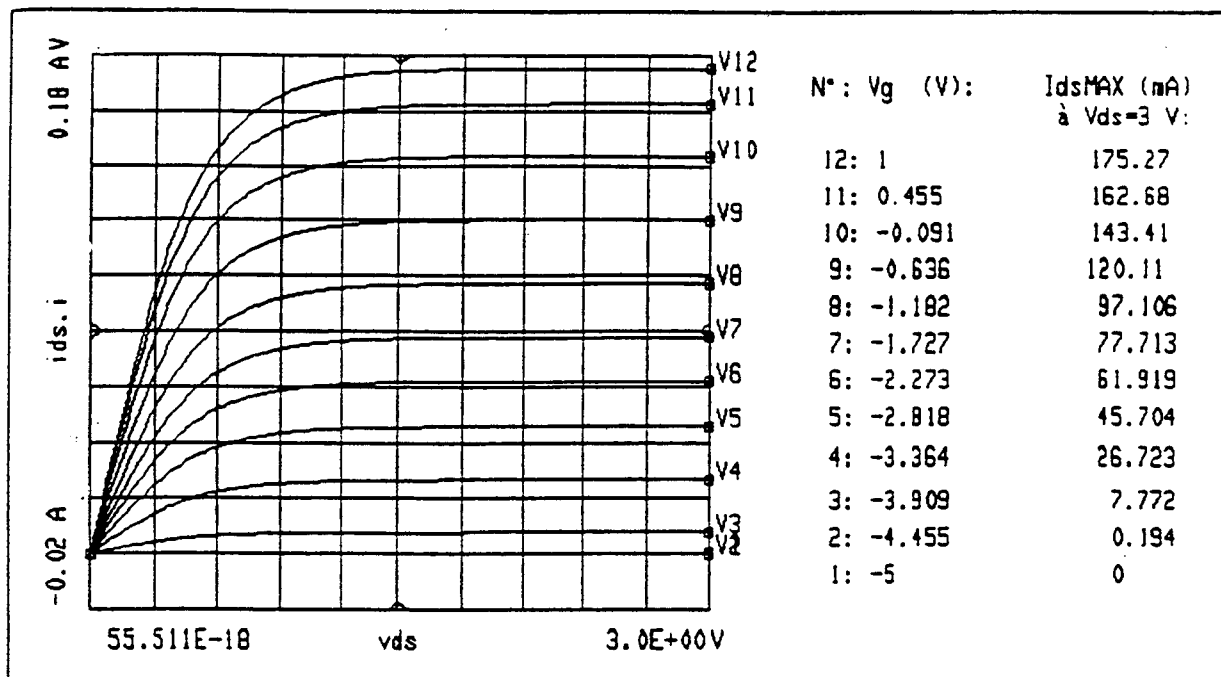


Figure II-10 : Réseau des caractéristiques dynamiques simulées $IDS(V_{GS}, V_{DS})$ du transistor CHS453.

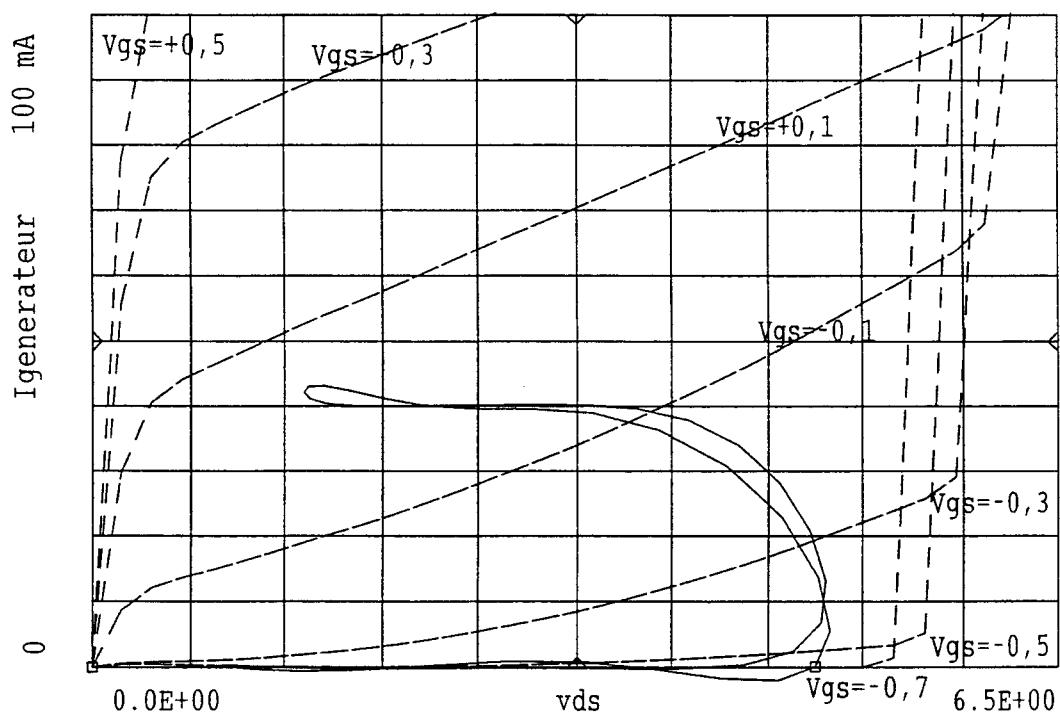


Figure II-11 : Exemple de cycle de charge en mode tripleur et réseau des caractéristiques dynamiques simulées $IDS(V_{GS}, V_{DS})$ du transistor TOUTATIS TA33420.

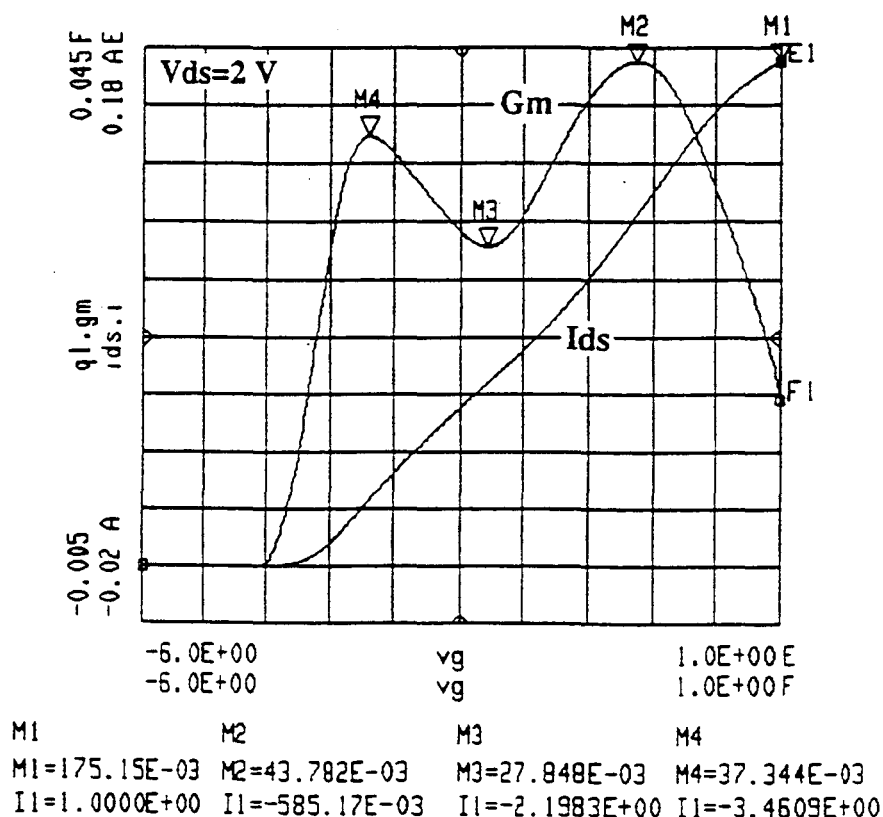


Figure II-12 : Caractéristiques simulées du courant dynamique de drain et de la transconductance du transistor CHS453 en fonction de la tension VGS.

De la même façon que pour le générateur de courant, l'équation de la charge QGS est déterminée en intégrant une équation polynomiale de CGS. La formule implantée dans le simulateur est la suivante :

$$Q(V_{GS}) = \left[\left(\sum_{k=0}^{21} Q_k * V_{GS}^k \right) * 50 * (1 + th[9 * (V_{GS} + 4,78)]) + 62 * V_{GS} \right] * 10^{-15}$$

Les coefficients Qk du polynôme sont répertoriés dans le tableau Ta.II-3. et la caractéristique simulée de la capacité CGS est présentée figure II-13 en fonction de la tension de grille pour une polarisation VDS=2 V.

La modélisation de la capacité CGS ne tient pas compte des variations de VDS car celles-ci sont relativement faibles étant donné que l'on court-circuite les fréquences f0 et 2f0 en sortie du transistor.

Q0	5,23	Q8	8,76	Q16	4,62
Q1	1,81	Q9	2,06	Q17	7,80
Q2	0,10	Q10	-4,84	Q18	9,14
Q3	1,79	Q11	-2,88	Q19	7,11
Q4	3,98	Q12	-1,33	Q20	3,32
Q5	-5,63	Q13	8,19	Q22	7,02
Q6	-6,81	Q14	5,29		
Q7	5,49	Q15	1,91		

Tableau Ta.II-3 : Coefficients I_k du polynôme représentant la charge QGS du transistor CHS453

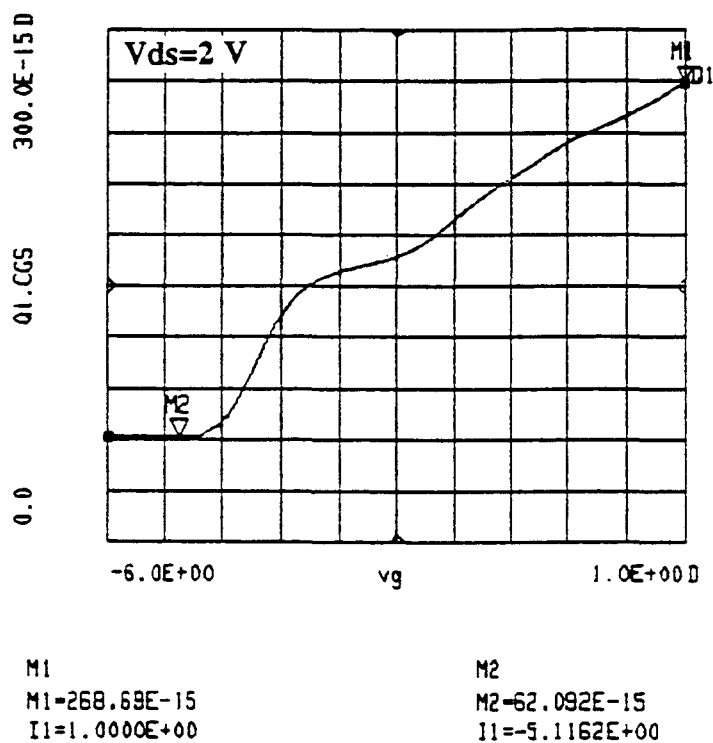


Figure II-13 : Caractéristique simulée de la capacité CGS(VGS) du transistor CHS453.

Les valeurs des autres éléments, considérés constants, sont regroupées dans le tableau Ta.II-4.

RG (Ω)	RD (Ω)	RS (Ω)	Ri (Ω)	CGD (fF)	CDS (fF)
2,5	3,4	2,6	1,7	59	150

Tableau Ta.II-4 : Valeurs des éléments constants du transistor CHS453

II-A-2-a Modélisation du transistor TOUTATIS TA33210.

Ce composant AlGaAs / InGaAs / GaAs monopuits n'est pas particulièrement non-linéaire. Sa transconductance (figure II-14) ne possède qu'un maximum, contrairement au CHS453.

La mesure de la capacité CGS est donnée figure II-15.

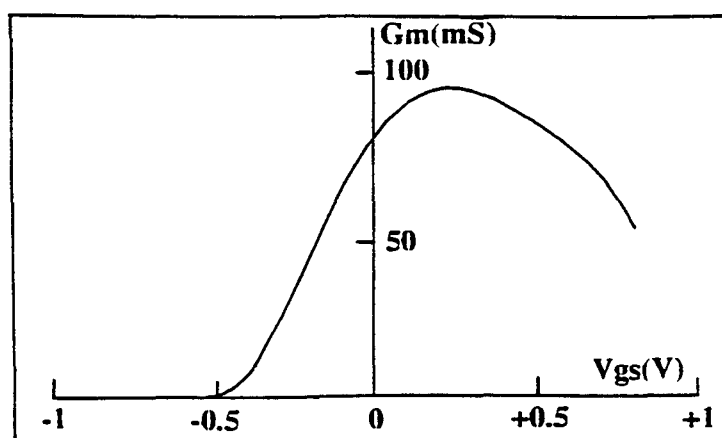


Figure II-14 : Transconductance du transistor TA33210 en fonction de la tension de grille.

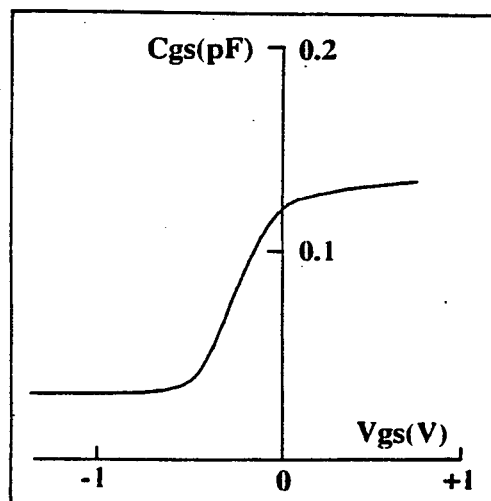


Figure II-15 : Capacité Grille-Source du transistor TA33210 en fonction de la tension de grille.

L'expression mathématique du générateur de courant est déterminée en utilisant la même méthode que pour le transistor CHS453. La forme moins tourmentée de la transconductance du transistor TA33210 permet l'utilisation d'un polynôme limité à l'ordre 10. Nous avons donc la formulation suivante pour le courant I_{DS} :

$$I_{DS}(V_{GS}, V_{DS}) = \left(I_0 + \sum_{k=1}^{10} I_k * V_{GS}^k \right) * 10^{-3} * \left(1 + th[40 * (V_{GS} + 0,6)] \right) * th(4,5 * V_{DS})$$

Le terme supplémentaire $th(4,5V_{DS})$ permet également de bâtir le réseau de caractéristiques dynamiques simulé $I_{DS}(V_{GS}, V_{DS})$ (figure II-16).

Les coefficients I_k du polynôme sont répertoriés dans le tableau Ta.II-5.; les caractéristiques simulées du courant dynamique de drain et de la transconductance sont présentés figure II-17 en fonction de la tension de grille pour une polarisation $V_{DS}=3$ V.

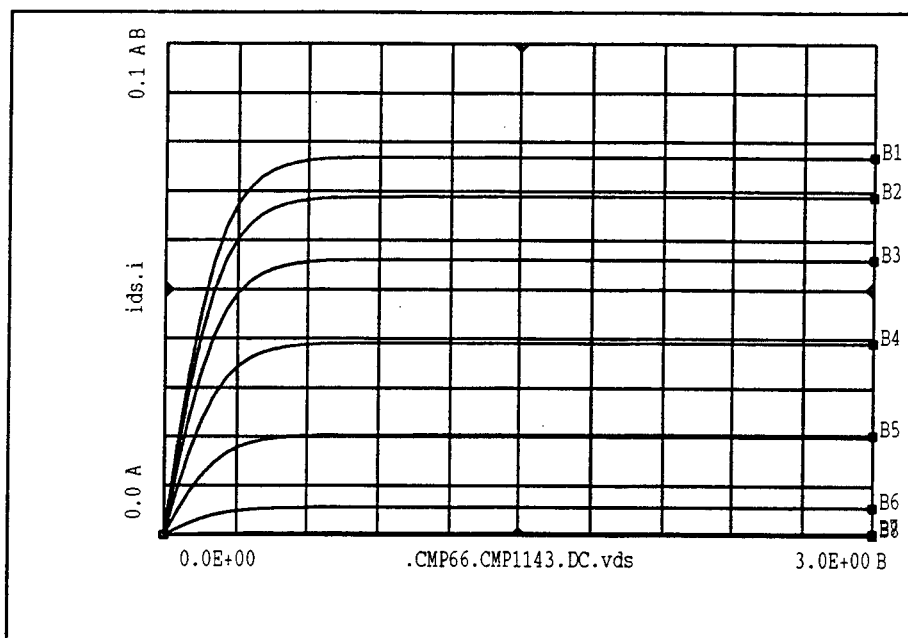


Figure II-16 : Réseau des caractéristiques dynamiques simulées $IDS(VGS, VDS)$ du transistor TA33210.

I0	10,17	I4	59,16	I8	1250,93
I1	44,86	I5	618,85	I9	-1032,66
I2	50,72	I6	-874,95	I10	276,26
I3	-244,44	I7	-143,51		

Tableau Ta.II-5 : Coefficients I_k du polynôme représentant le courant de drain du transistor TA33210

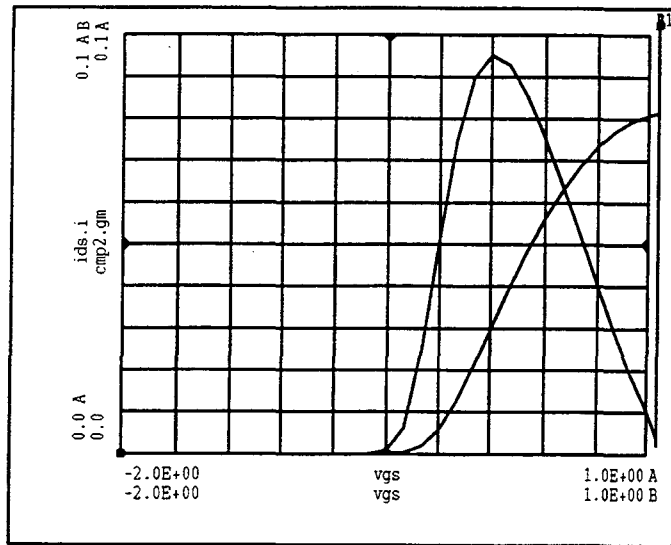


Figure II-17 : Caractéristiques simulées du courant dynamique de drain et de la transconductance du transistor TA33210 en fonction de la tension VGS.

L'équation de la charge QGS est déterminée en intégrant une équation non polynomiale de CGS. En effet, nous remarquons qu'en raison de la forme particulière de l'évolution de la capacité CGS, une équation du type "tangente hyperbolique" convient mieux pour la décrire :

$$C_{GS}(V_{GS}) = \left[31,4 + 52 * \left(1 + th \left[5 * (V_{GS} + 0,2) \right] \right) \right] * 10^{-15}$$

La charge QGS est alors la suivante :

$$Q_{GS}(V_{GS}) = \left[4,51 + (31,4 + 52) * V_{GS} + \frac{52}{5} * \ln \left(\cosh \left[5 * (V_{GS} + 0,2) \right] \right) \right] * 10^{-15}$$

La figure II-18 présente la caractéristique simulée de la capacité CGS en fonction de la tension de grille pour une polarisation VDS=3 V.

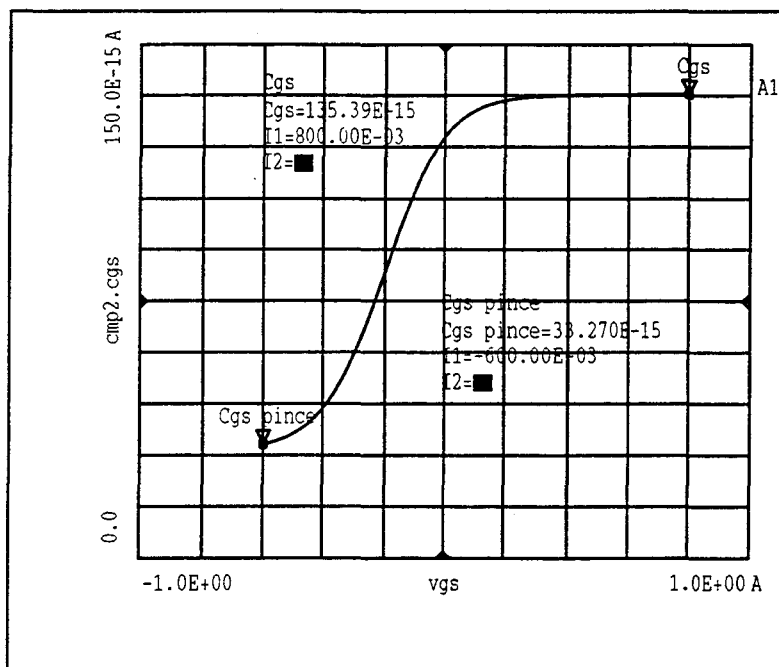


Figure II-18 : Caractéristique simulée de CGS(VGS) du transistor TA33210 .

Les autres éléments du schéma équivalent du transistor TA33210 sont considérés constants, leurs valeurs sont regroupées dans le tableau Ta.II-6.

RG (Ω)	RD (Ω)	RS (Ω)	Ri (Ω)	CGD (fF)	CDS (fF)
3,66	4,2	3,8	2,5	22	25

Tableau Ta.II-6 : Valeurs des éléments constants du transistor TA33210

II-A-2-c Modélisation des transistors CHS450, FHX04, TOUTATIS TA33420 et GRINGO

Le transistor CHS450

Ce transistor est modélisé en utilisant le même type d'équations que pour le CHS 453. Les variations de sa transconductance et de sa capacité CGS sont représentées figure II-19 et II-20 pour une tension VDS de 2 Volts; le tableau Ta.II-7 regroupe les valeurs des éléments constants.

RG (Ω)	RD (Ω)	RS (Ω)	Ri (Ω)	CGD (fF)	CDS (fF)
2,5	3,4	2,6	1,7	60	150

Tableau Ta.II-7: Valeurs des éléments constants du transistor CHS450

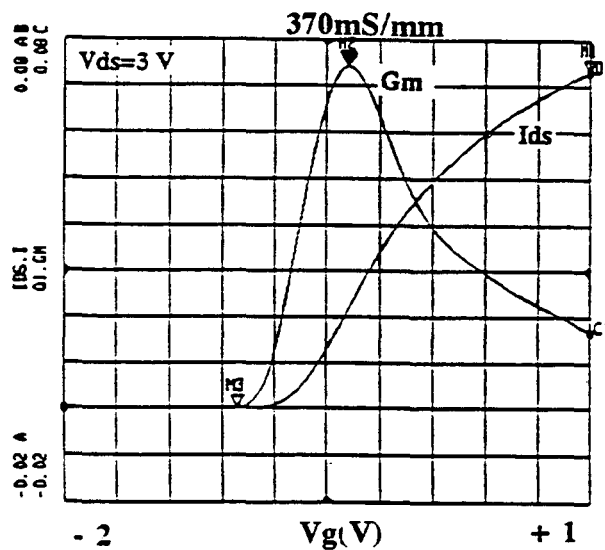


Figure II-19 : Transconductance du transistor CHS450 en fonction de la tension de grille.

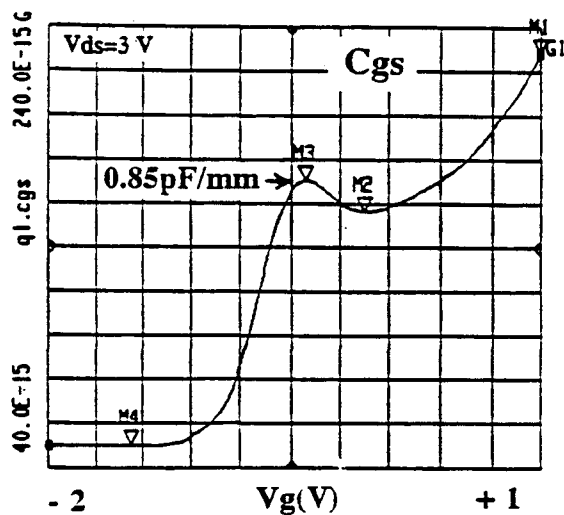


Figure II-20 : Capacité Grille-Source du transistor CHS450 en fonction de la tension de grille.

Le transistor FHX04

Ce composant a été caractérisé à une tension VDS de 3 Volts. Comme dans le cas du CHS453, des équations polynomiales ont été utilisées pour modéliser la transconductance (figure II-21) et la capacité CGS (figure II-22). Les valeurs des éléments constants sont regroupées dans le tableau Ta.II-8.

RG (Ω)	RD (Ω)	RS (Ω)	Ri (Ω)	CGD (fF)	CDS (fF)
2,0	2,8	3,0	4	20	100

Tableau Ta.II-8: Valeurs des éléments constants du transistor FHX04

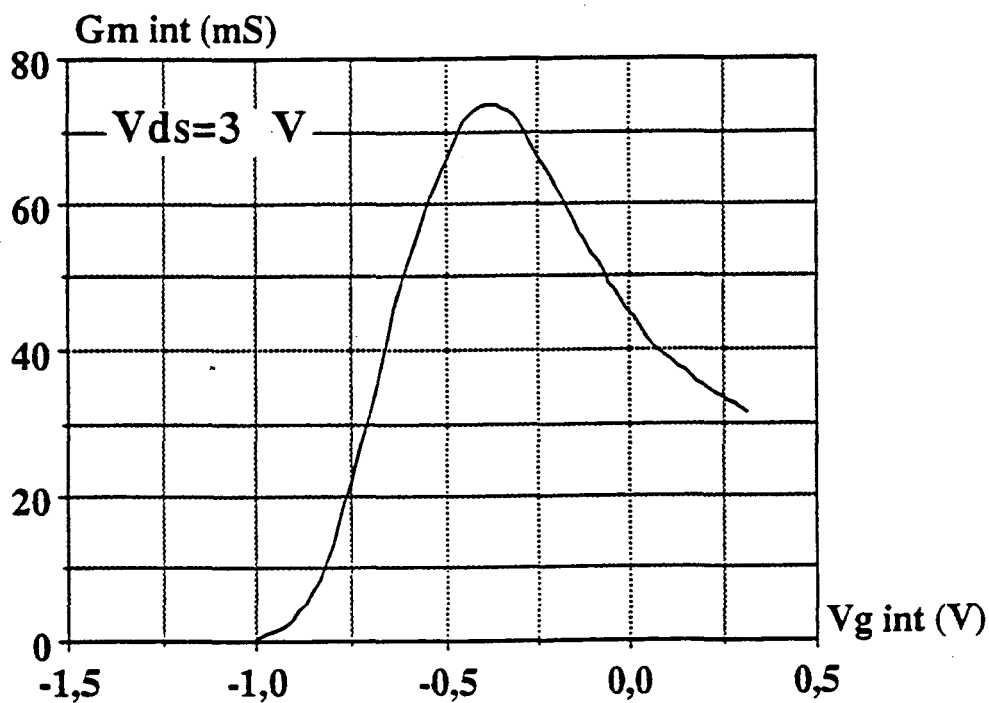


Figure II-21 : Transconductance du transistor FHX04 en fonction de la tension de grille.

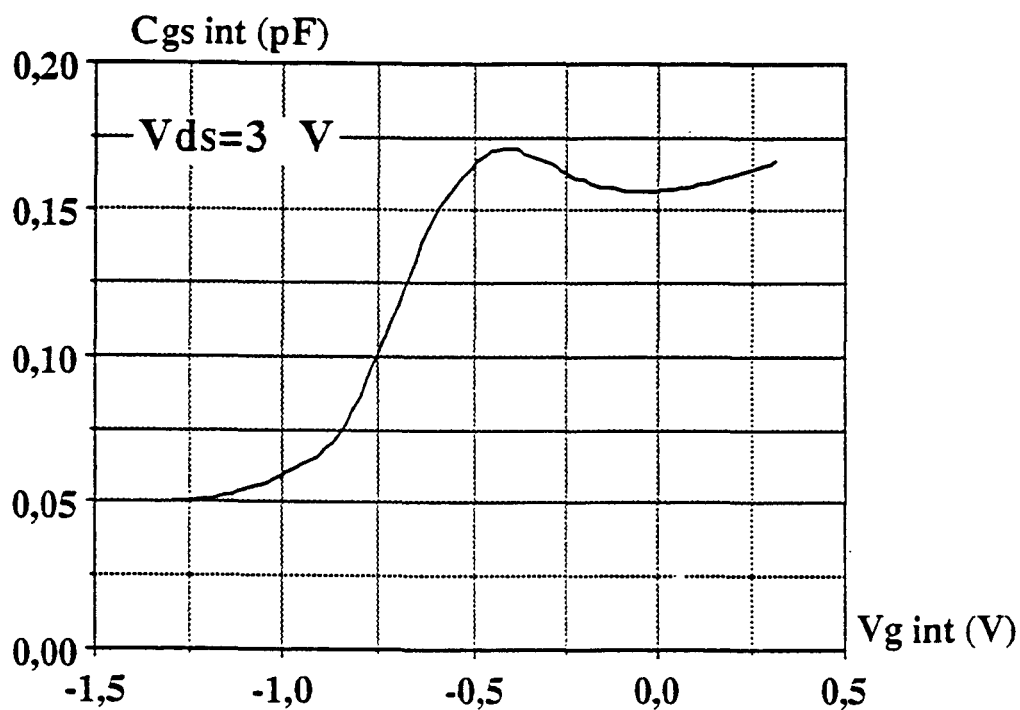


Figure II-22 : Capacité Grille-Source du transistor FHX04 en fonction de la tension de grille.

Le transistor TOUTATIS TA33420

La différence entre le TOUTATIS TA33420 et le TOUTATIS TA33210 se limite au nombre de doigts de grille : quatre au lieu de deux. La modélisation du TA33420 est donc calquée sur celle du TA33210.

Ce composant a été caractérisé à une tension VDS de 3 Volts. Comme dans le cas du CHS453, des équations polynomiales ont été utilisées pour modéliser les deux non linéarités du transistor

La transconductance (figure II-23), la capacité CGS (figure II-24), et les valeurs des éléments constants (tableau Ta.II-9) sont données à une tension VDS de 3 Volts.

RG (Ω)	RD (Ω)	RS (Ω)	Ri (Ω)	CGD (fF)	CDS (fF)
1,65	2,1	1,9	3	40	30

Tableau Ta.II-8: Valeurs des éléments constants du transistor TA33420

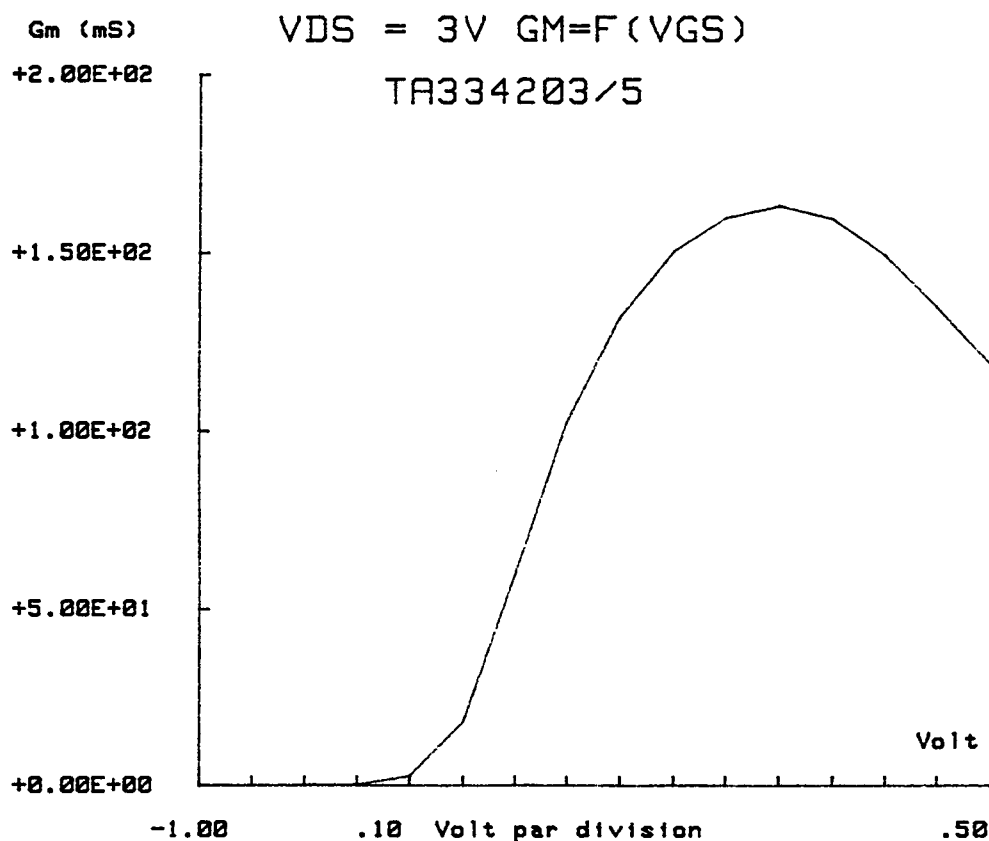


Figure II-23 : Transconductance mesurée du transistor TA33420 en fonction de la tension de grille.

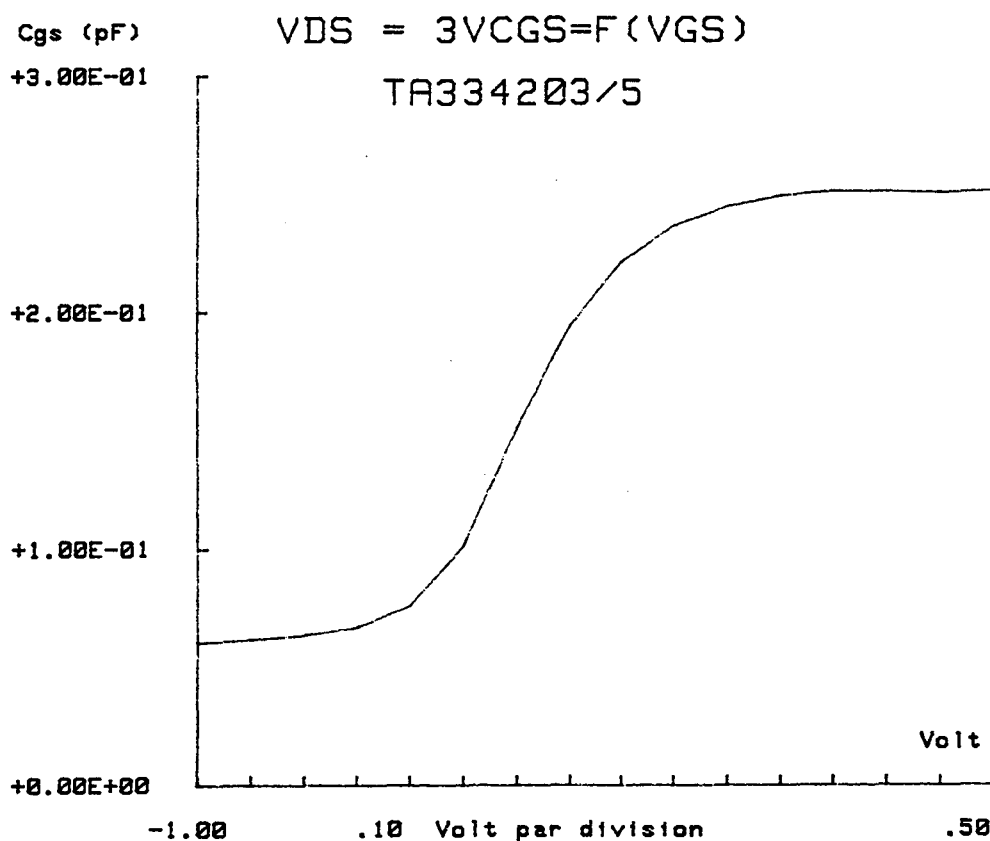


Figure II-24 : Capacité Grille-Source mesurée du transistor TA33420 en fonction de la tension de grille.

Le transistor GRINGO

Ce transistor est celui qui, des six transistors modélisés, a la plus petite longueur de grille (0,15 μ m).

La forme de l'évolution de sa capacité CGS (figure II-25) permet d'utiliser une modélisation identique à celle développée pour le TOUTATIS TA33210.

L'évolution de sa transconductance et les valeurs de ses éléments constants sont présentées figure II-26 et tableau Ta.II-9.

RG (Ω)	RD (Ω)	RS (Ω)	Ri (Ω)	CGD (fF)	CDS (fF)
5	4,9	3,4	5	15	20

Tableau Ta.II-9: Valeurs des éléments constants du transistor GRINGO

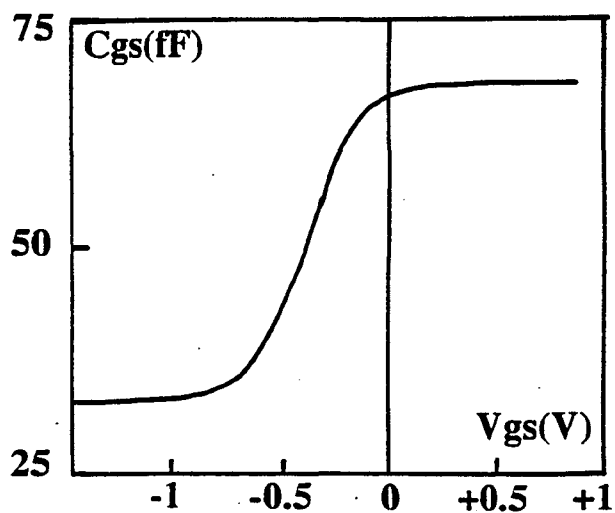


Figure II-25 : Transconductance du transistor GRINGO en fonction de la tension de grille.

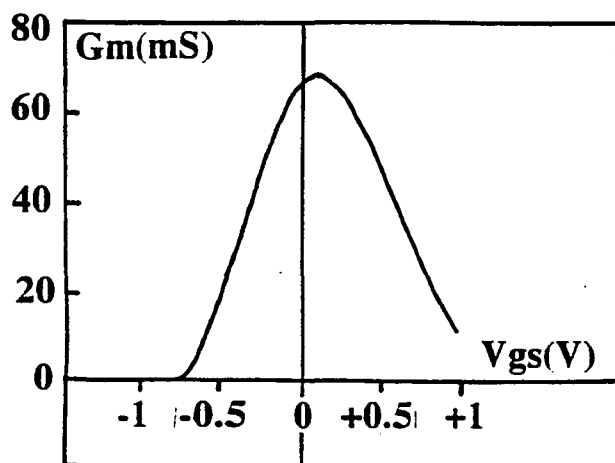


Figure II-26 : Capacité Grille-Source du transistor GRINGO en fonction de la tension de grille.

Les caractéristiques et les modèles des six transistors utilisés étant décrits, nous pouvons maintenant passer aux simulations de multiplication de fréquence.

II-B choix de la technologie

II-B-1 Introduction

Dans cette partie, nous comparons les potentialités en tripleurs de fréquences de deux types différents de transistors :

- le CHS 450, transistor simple puits, ayant une caractéristique $g_m(V_{GS})$ "classique". Ce type de composant présente une réponse en courant (figure III-27) entre V_p et V_B typique de beaucoup de HEMTs simple puits. A cette réponse en courant correspond une courbe en cloche, à sommet unique, pour la transconductance g_m .
- le CHS453, un transistor double puits. Sa réponse en courant (figure II-28) est notablement différente de celle du CHS450 car elle présente trois points d'inflexion en fonction de V_{GS} . A ces trois points d'inflexion correspondent trois extremums (deux maxima et un minimum) de la transconductance.

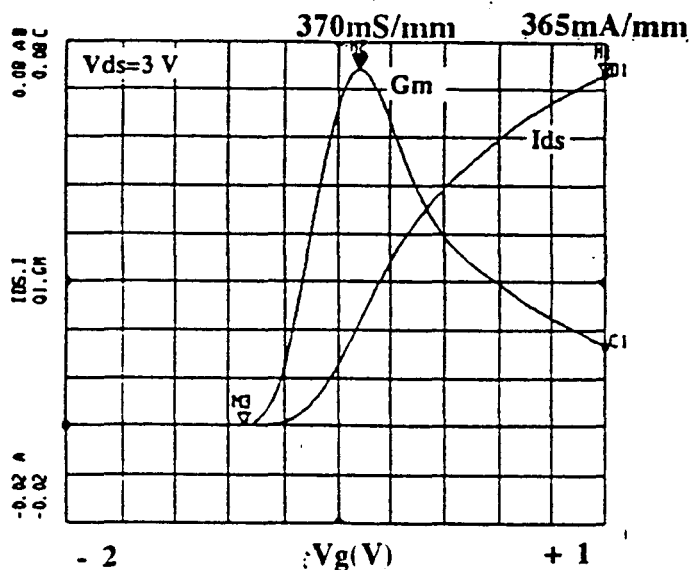


Figure II-27 : Transconductance et courant du transistor CHS450 en fonction de la tension V_{GS}

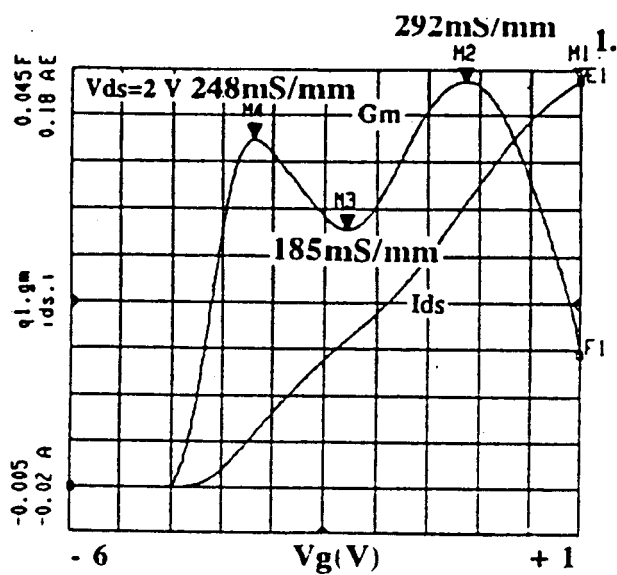


Figure II-28 : Transconductance et courant du transistor CHS453 en fonction de la tension VGS

Les modèles de ces deux transistors sont utilisés dans un circuit électrique permettant de simuler le triplement de fréquence de 12 vers 36 GHz.

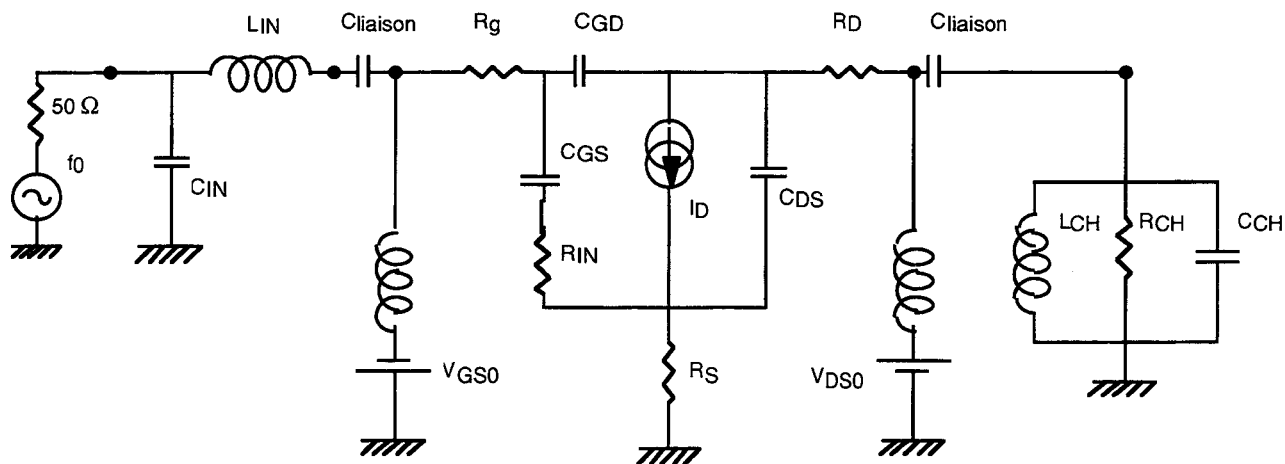
II-B-2 Description du circuit de simulation

Figure II-29 : Schéma du circuit électrique de multiplication de fréquence introduit dans le simulateur MDS

Le circuit utilisé est décrit figure II-29, il est composé des éléments suivants :

- un générateur, de résistance interne 50Ω , délivrant une puissance variable utile P_{IN} à une fréquence f_0 de 12 GHz.
- Un circuit d'accord, constitué d'une capacité et d'une self, qui assure l'adaptation à 50Ω de l'entrée du transistor.
- Une capacité d'isolation, interdisant le retour de tension continue sur le générateur.
- Un circuit de polarisation de la grille, comportant une self en série avec une source de tension continue. La self a pour but de laisser passer le courant continu tout en se présentant comme un circuit ouvert aux hautes fréquences.
- Le modèle du transistor utilisé.
- Un circuit de polarisation du drain suivi d'une capacité d'isolation.
- Un circuit bouchon (R-L-C parallèle), accordé à $3f_0$ (la fréquence triple de celle du générateur), se comportant comme une charge résistive de valeur R_{CH} pour le troisième harmonique et comme un quasi-court-circuit pour toutes les autres fréquences. La valeur de R_{CH} est fixée à 200Ω et celle de L_{CH} à 12pH .

II-B-3 Les simulations réalisées

La procédure d'optimisation consiste, d'une part, à accorder le circuit d'entrée (CIN et LIN) et d'autre part, à accorder le circuit de sortie (CCH).

La valeur de la capacité CCH peut être calculée de façon approximative en considérant qu'elle se trouve en parallèle avec la capacité CDS du transistor. Les éléments LCH, CCH et CDS doivent alors répondre à l'équation suivante pour qu'il y ait accord à la fréquence $3f_0$:

$$L_{CH} * (C_{CH} + C_{DS}) * (2\pi * 3f_0)^2 = 1$$

Le gain de conversion et le rendement sont calculés de la façon suivante :

$$G[\text{dB}] = 10 * \log \left(\frac{\text{Puissance de sortie à } 3f_0}{\text{Puissance d'entrée à } f_0} \right)$$

$$\eta[\%] = 100 * \left(\frac{\text{Puissance de sortie à } 3f_0}{\text{Puissance continue} + \text{Puissance d'entrée à } f_0} \right)$$

Il faut remarquer que, dans le cas de la multiplication de fréquence, la formule du rendement en puissance ajoutée (PAE [%] = $100 * \left(\frac{\text{Puissance de sortie} - \text{Puissance d'entrée}}{\text{Puissance continue}} \right)$) ne peut être

utilisée car elle conduirait, dans certains cas, à obtenir des rendements négatifs.

Le gain obtenu avec le transistor CHS450 est présenté figure II-30.

Les conditions de fonctionnement du transistor sont :

- VDS0=3 Volts
- PIN=0 dBm
- VGS0 variant de -3,5 à -0,4 Volts

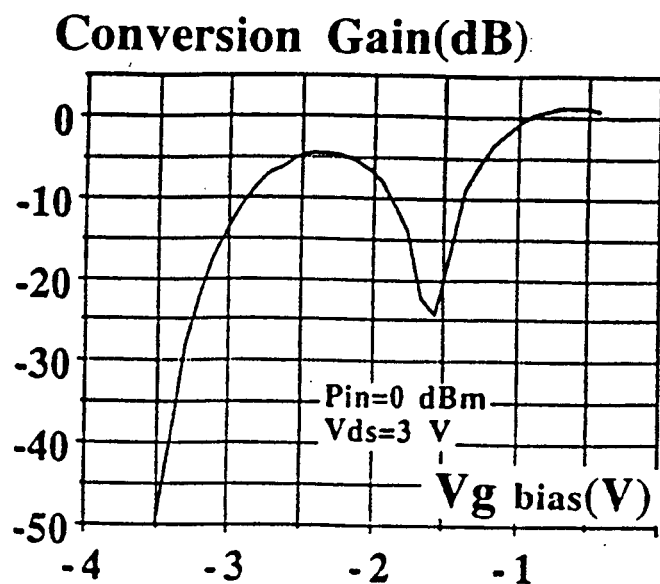


Figure II-30 : Gain de conversion du transistor CHS450 en mode tripleur en fonction de la tension de polarisation VGS0

La courbe du gain possède deux maxima : l'un se positionne à une tension de polarisation correspondant à la tension de pincement du transistor (-0,7V) et l'autre, se trouve à une tension VGS0 de -2,4 Volts qui a pour effet de faire fonctionner le générateur de courant du transistor avec un temps d'ouverture très faible.

La figure II-31 représente le rendement obtenu dans les mêmes conditions de fonctionnement.

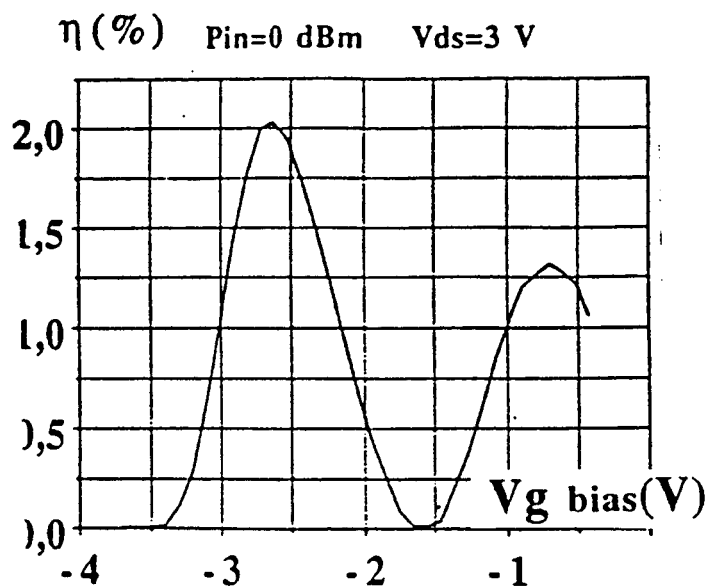


Figure II-31 : Rendement du transistor CHS450 en mode tripleur en fonction de la tension de polarisation VGS0

Les maxima de la courbe de rendement se trouvent pratiquement aux mêmes valeurs de V_{GS0} que pour la courbe de gain.

Suivant le but recherché, gain ou rendement, on choisira donc une polarisation de -0,7 ou de 2,6 Volts pour avoir un gain de +1,6 dB associé à un rendement de 1,3 % ou bien un gain de -7 dB avec un rendement de 2 %.

Le transistor CHS453 est utilisé dans les conditions de fonctionnement suivantes :

- $V_{DS0}=2$ Volts
- $P_{IN}=0$ dBm
- V_{GS0} variant de -6,2 à +0,1 Volts

Les courbes de gain de conversion et de rendement sont présentées figures II-32 et II-33.

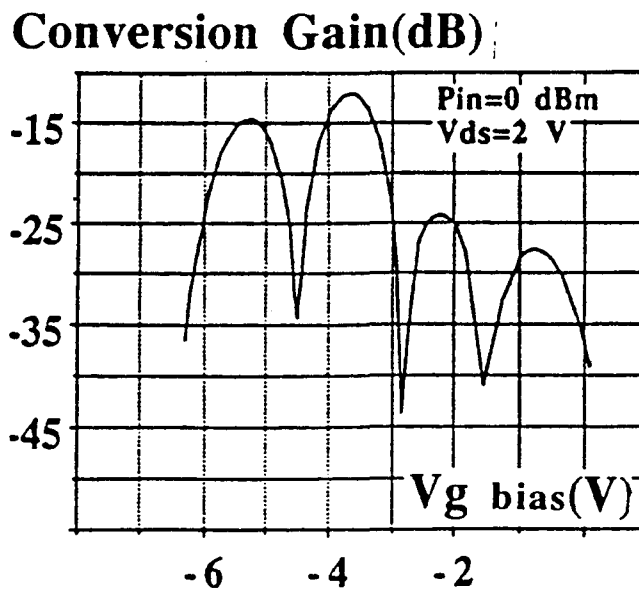


Figure II-32 : Gain de conversion du transistor CHS453 en mode tripleur en fonction de la tension de polarisation V_{GS0}

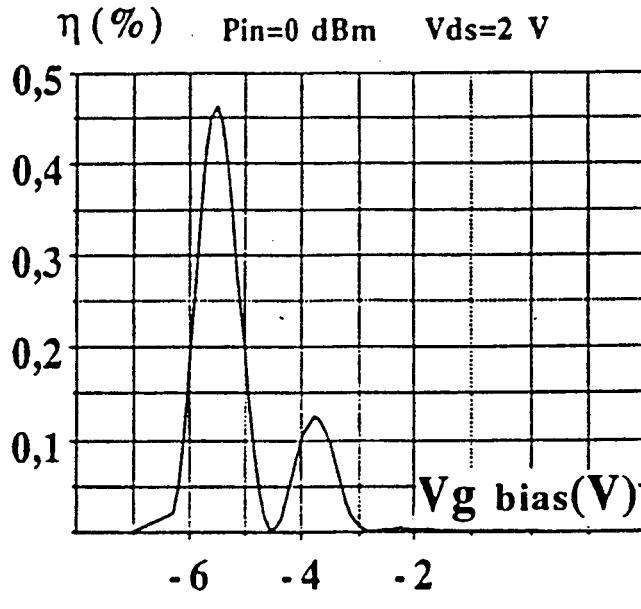


Figure II-33 : Rendement du transistor CHS453 en mode tripleur en fonction de la tension de polarisation VGS0

La courbe de gain du CHS453 présente quatre maxima :

- le premier, pour une tension de polarisation VGS0 de -0,8 Volt : cette tension correspond au pic le plus important de la transconductance gm.
- le deuxième, pour VGS0=-2,2 V est positionné au niveau du creux de la vallée du gm.
- le troisième, pour VGS0=-3,7 V, est en regard du pic le moins important du gm.
- le quatrième, est crée par une utilisation du transistor en dessous de sa tension de pincement : VGS0=-5,2 V.

La courbe II-33 montre que le rendement est quasi nul pour les deux premiers pics, ce qui est aisément compréhensible car le courant moyen de drain élevé implique une forte consommation de puissance continue.

On obtient $\eta=0,12\%$ pour le troisième pic et $\eta=0,45\%$ pour le quatrième pic avec, respectivement, pour gains associés, -12 et -15 dB.

II-B-4 Conclusion

Le transistor monopuits CHS450 procure un gain de conversion et un rendement beaucoup plus élevés que le transistor double puits CHS453 : +1,6dB et 2% contre -12dB et 0,45%.

Il apparaît donc que les quatre possibilités de point de polarisation de grille offertes par le CHS453 n'apportent pas de bénéfices par rapport au CHS450 qui n'en présente que deux.

Une explication simple de ce résultat peut être donnée sur la base du contenu d'harmoniques disponibles dans chacun des cas. Le CHS450 est finalement beaucoup plus non linéaire que le CHS453. Pour augmenter la non linéarité de ce dernier, il faudrait que la différence entre les deux pics et la vallée de sa transconductance soit davantage marquée. Cela n'est pas impossible, d'un point de vue technologique parlant, mais d'une réalisation délicate. C'est pourquoi, dans la suite de ce travail, nous nous limiterons à utiliser des transistors ayant des caractéristiques en courant quasi linéaires en les polarisant en deçà de leur tension de pincement.

II-C étude préliminaire d'un tripleur 12-36 GHz

Ce travail a pour but d'étudier le comportement d'un transistor HEMT simple puits en tripleur de fréquence en fonction de la tension de polarisation V_{GS0} et du niveau de puissance incidente.

Une série de simulations a été réalisée de façon à étudier la réponse du transistor et les potentialités que l'on peut en attendre en terme de gain de conversion et, également, en terme de rendement. Les résultats obtenus sont ensuite confrontés à des mesures réalisées sur un banc de table de façon à valider le modèle du transistor et les simulations effectuées.

Le circuit utilisé pour réaliser les simulations en tripleur de fréquence du FHX04 est le même que celui utilisé pour les CHS 450 et 453 (figure II-29).

Les conditions de fonctionnement sont les suivantes :

- $f_0=12$ GHz
- $V_{DS0}=3$ Volts
- PIN prend les valeurs (-3,5), (-2), (0), (+2), (+5) et (+6) dBm
- V_{GS0} varie de -5,5 à +0,5 Volts

Le résultat de ces simulations est présenté figure II-34 et II-35.

Avant d'interpréter ces simulations, il convient de signaler un point important : le simulateur non-linéaire MDS ne converge pas toujours.

Les phénomènes non-linéaires s'accroissant avec les puissances mises en jeu, nous n'avons pas réussi à réaliser sur toute la plage de tensions V_{GS0} désirée les adaptations en entrée et en sortie du transistor pour les puissances d'entrée de (+5) et (+6) dBm.

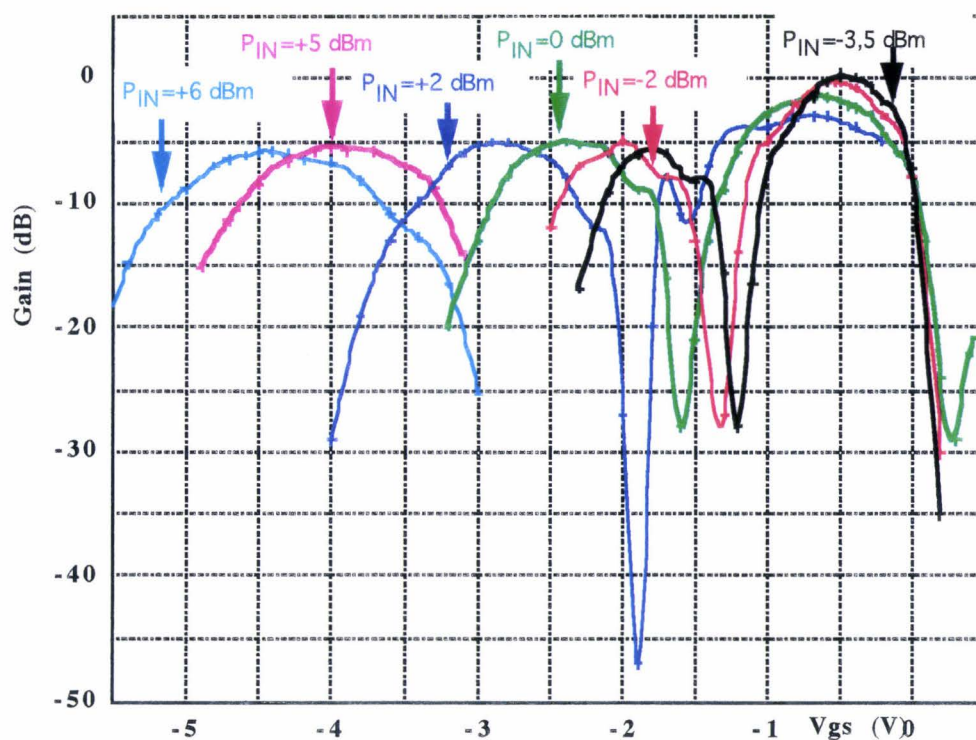


Figure II-34 : Gain simulé du transistor FHX04 en mode tripleur en fonction de la tension de polarisation V_{GS0} pour différentes puissances d'entrée.

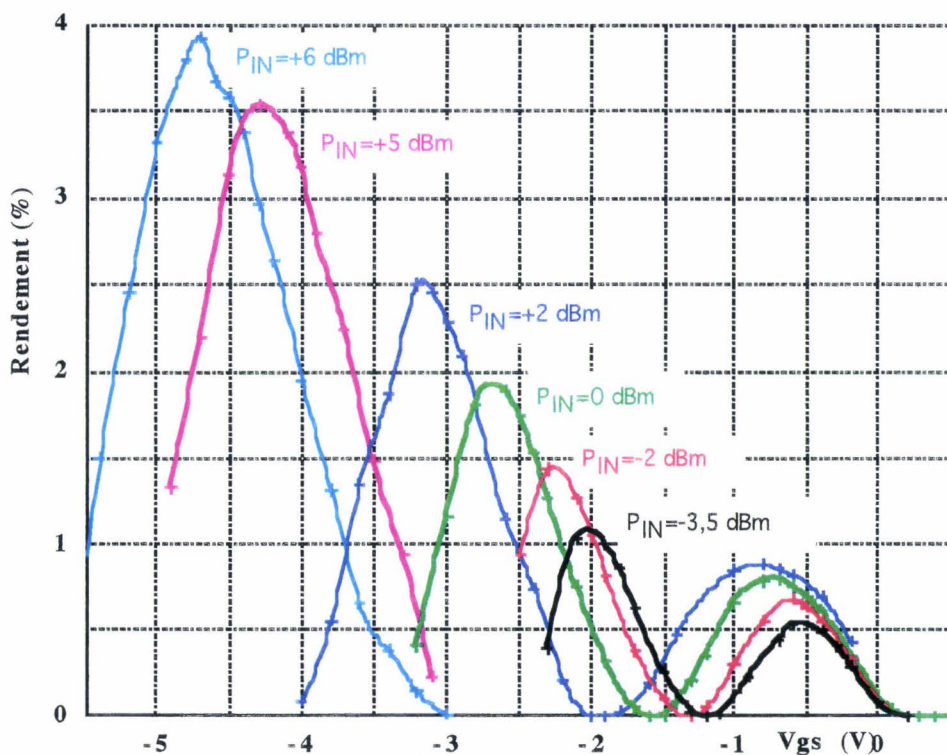


Figure II-35 : Rendement simulé du transistor FHX04 en mode tripleur en fonction de la tension de polarisation V_{GS0} pour différentes puissances d'entrée.

Pour les puissances d'entrée allant de (-3,5) à (+2) dBm, nous constatons que les courbes de gain et de rendement possèdent deux maxima :

- Le premier se situe au delà de la tension de pincement du transistor FHX04 ($V_p = -0,9$ Volt). Quelque soit la puissance d'entrée, ce maximum se localise aux environs de -0,5 Volt. Cette tension correspond sensiblement au maximum du g_m .

Cette transconductance g_m en fonction de VGS ayant une décroissance rapide une fois passée sa valeur maximale, le courant "sature" après ce maximum. Cela a pour effet de transformer l'impulsion sinusoïdale en impulsions quasi rectangulaires.

Il en résulte une richesse importante en harmoniques impaires du courant de drain du transistor, d'où un gain relativement important en tripleur de fréquence. Le rendement demeure assez faible cependant car le courant de drain moyen est important.

- Le deuxième maximum correspond à un état pincé du transistor.

Les valeurs de V_{GS0} , correspondant au Maximum des gains pour les différentes puissances d'entrée, décroissent lorsque ces puissances augmentent.

Ce comportement s'explique par le fait que plus la puissance d'entrée et donc, la tension d'entrée, sont élevées, plus le transistor doit être fortement pincé pour conserver un courant de drain impulsionnel. Comme nous l'avons vu en I-1-2, la tension V_{GS0} est liée au temps d'ouverture θ_0 et à l'excursion en tension V_{GSMax} .

Les maxima de rendement se trouvent pour des tensions de polarisation V_{GS0} inférieures à celles des maxima de gain : un compromis reste toujours nécessaire entre le gain le plus élevé, avec une puissance continue dissipée relativement importante, et le rendement le plus élevé correspondant à l'optimum entre gain et puissance dissipée.

Pour les puissances de (+5) et (+6) dBm, nous pouvons penser que les deux maxima doivent également exister car il n'y a pas de phénomènes physiques pouvant laisser présager un comportement différent.

Afin de vérifier la véracité de ces simulations, nous avons procédé à un test de vérification expérimentale sur un composant FHX04. Le banc de mesures mis en œuvre pour cet essai est décrit figure II-36 :

- Un générateur délivre sa puissance via un système d'adaptation constitué d'un "tuner".
- La puissance d'entrée et la puissance réfléchie sont mesurées de façon à déterminer la puissance absorbée par le transistor.
- Le composant est chargé en sortie par un "tuner plan E / plan H" qui est lui même chargé par 50Ω.
- Le signal de sortie est mesuré par un wattmètre et visualisé sur un analyseur de spectre pour surveiller l'apparition d'une raie à $2f_0$ qui pourrait fausser la mesure.
- Deux Tés de polarisation permettent de fixer V_{GS0} et V_{DS0} .

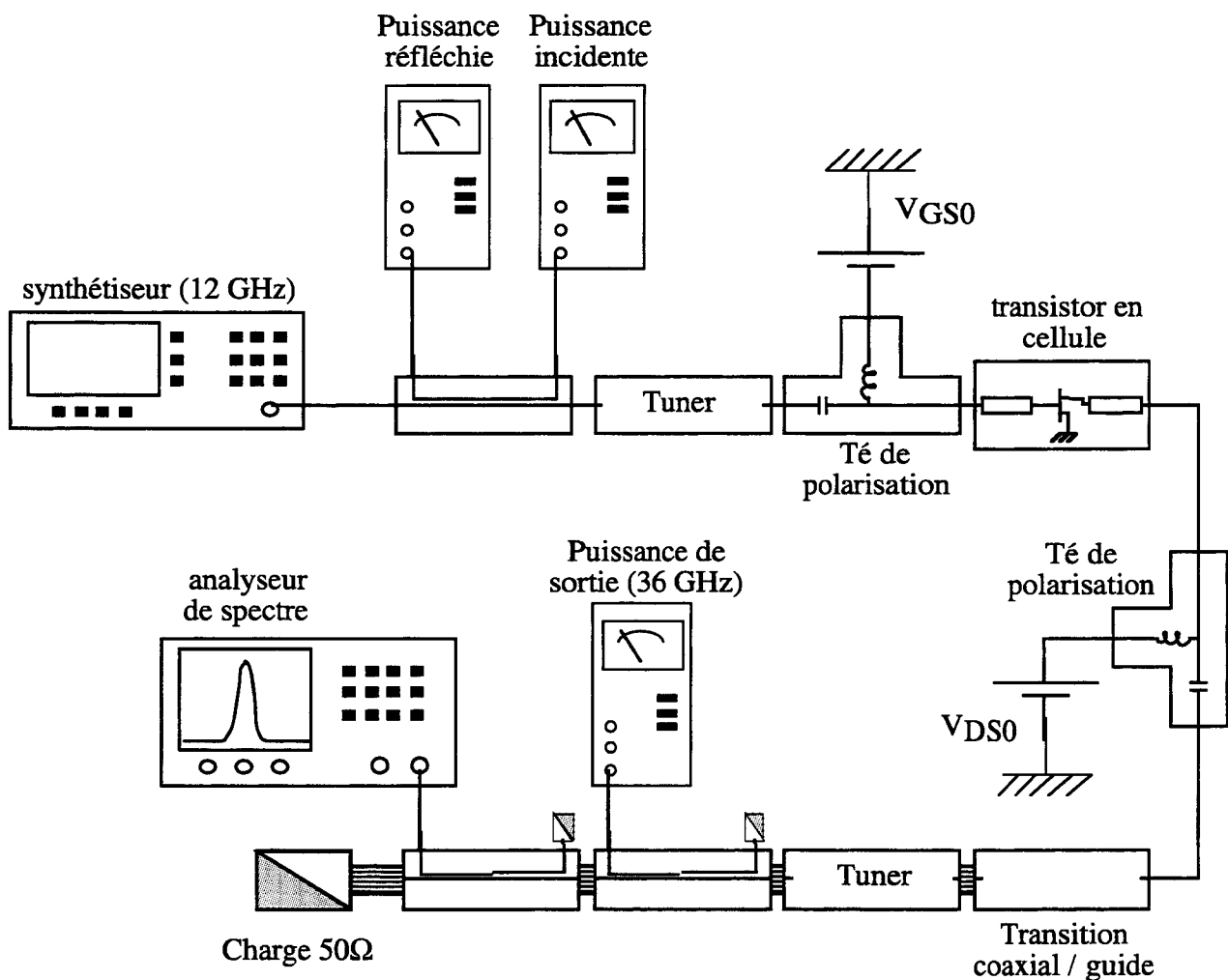


Figure II-36 : banc de mesures du FHX04 fonctionnant en tripleur de fréquence 10-30 GHz.

Deux relevés ont été effectués pour des puissances d'entrée de (-1) et (+4) dBm en fonction de VGS0. Ces mesures consistent à adapter à 50Ω l'entrée et la sortie du transistor à l'aide des tuners de façon à obtenir un minimum de puissance réfléchiée en entrée et un maximum de puissance à 36 GHz dans la charge.

Les gains correspondant à ces mesures sont représentés figure II-37.

Le relevé à la puissance d'entrée de (+4) dBm n'a pas pu être effectué pour une tension VGS0 supérieure à -0,8 Volt car un courant important de conduction en direct de la grille apparaît à cause de l'excursion positive trop importante de la tension VGS(t).

Ces mesures nous montrent un comportement similaire à celui prédit par nos simulations : pour la puissance d'entrée de (-1) dBm, deux maxima de gain apparaissent. Les valeurs de ces gains sont toutefois beaucoup plus faibles que prévu (-23 contre -5 dB). Cette différence peut être certainement expliquée par le fait que le dispositif expérimental ne permet pas de présenter au composant des impédances contrôlées pour les fréquences f_0 et $2f_0$, alors qu'en simulation il est chargé pour ces fréquences par un court-circuit.

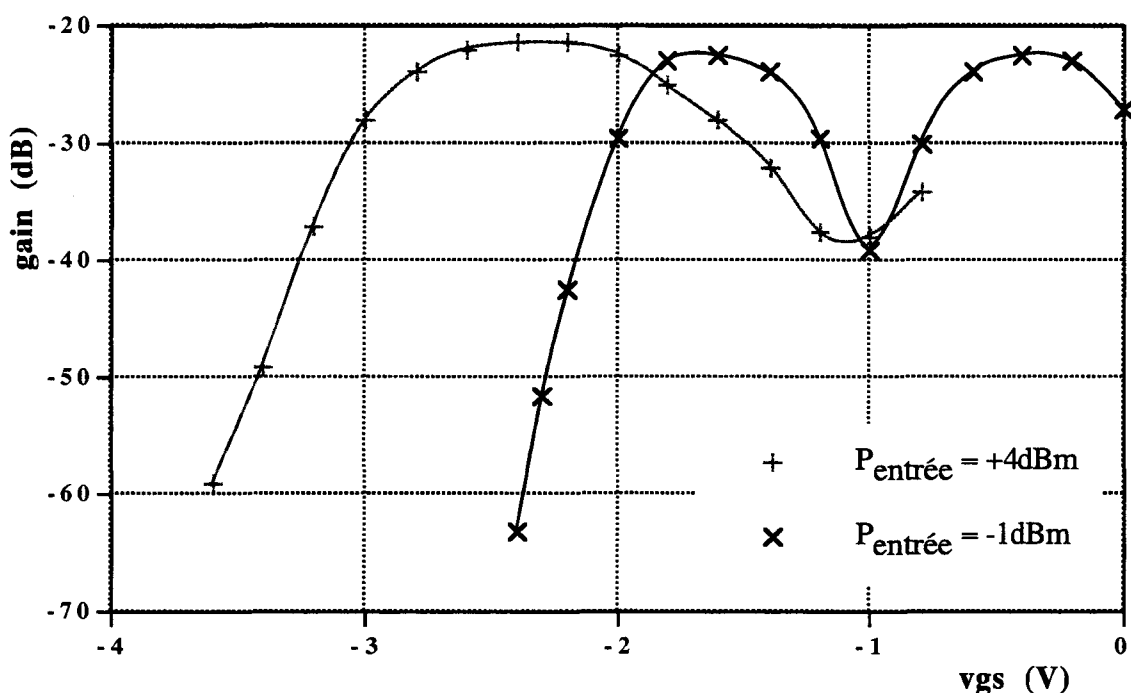


Figure II-37 : Gain mesuré du transistor FHX04 en mode tripleur en fonction de la tension de polarisation VGS0 pour deux puissances d'entrée.

Les rendements associés à ces mesures sont présentés figure II-38 ; leurs médiocres valeurs sont directement imputables aux faibles gains obtenus.

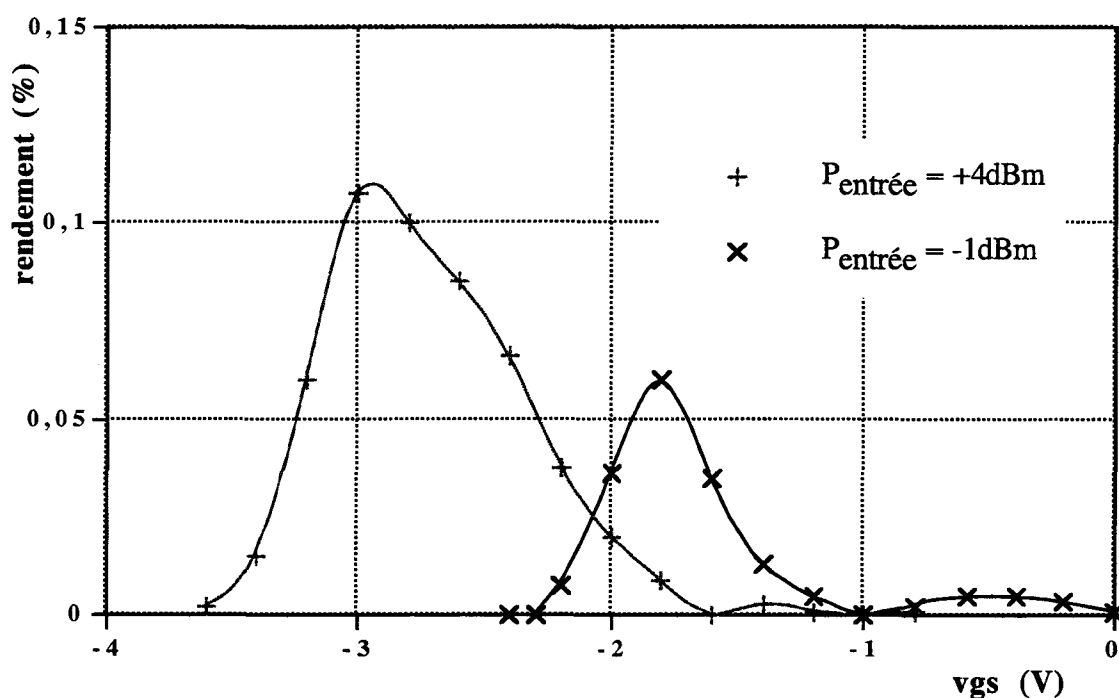


Figure II-38 : Rendement mesuré du transistor FHX04 en mode tripleur en fonction de la tension de polarisation VGS0 pour deux puissances d'entrée.

Les résultats de cette étude nous montrent que les niveaux de gain et de rendement obtenus lors des mesures sont plus faibles que prévu. Cependant, la forme des courbes corrobore nos simulations et indique que le modèle non-linéaire choisi pour le transistor permet de décrire correctement le comportement de ce composant en multiplicateur de fréquence.

II-D comparaison doubleur 18-36 GHz / tripleur 12-36 GHz

Dans cette partie, nous sommes attachés à montrer l'intérêt potentiel d'un tripleur de fréquence par rapport à un doubleur de fréquence.

Pour cela, nous avons utilisé le modèle non-linéaire du transistor TOUTATIS TA33210 afin de simuler son fonctionnement en doubleur 18-36 GHz et en tripleur 12-36 GHz.

Ces simulations sont effectuées en employant le même circuit que celui utilisé dans les parties II-B et II-C (cf. figure II-29).

Les conditions communes de fonctionnement sont les suivantes :

- $V_{DS0}=3$ Volts
- PIN prend les valeurs (-13), (-6) et (0) dBm
- V_{GS0} varie de -3,5 à +0,5 Volts

La fréquence f_0 du générateur prend la valeur de 18 GHz dans le cas du doubleur et 12 GHz dans le cas du tripleur.

Les gains et rendements obtenus en fonctionnement doubleur et tripleur sont représentés, respectivement, figures II-39, II-40, II-41 et II-42.

En mode doubleur, on constate :

- pour un très faible niveau de signal d'entrée (-13 dBm), la tension de polarisation V_{GS0} , qui permet d'obtenir un maximum de gain, correspond à une tension légèrement inférieure à la tension de pincement du composant.

Le transistor délivre alors un signal redressé en mono alternance avec le temps d'ouverture le plus favorable (environ 0,35) pour la génération de l'harmonique $2f_0$.

- Lorsque la puissance d'entrée augmente, la tension V_{GS0} doit diminuer de façon à conserver le temps d'ouverture optimal.

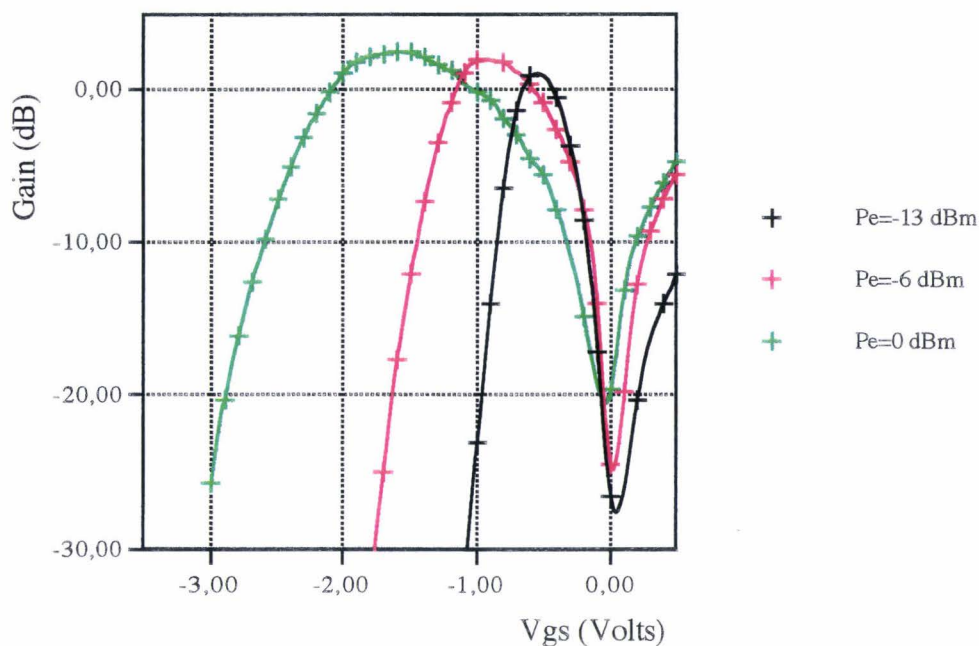


Figure II-39 : Gain simulé du transistor TOUTATIS TA33210 en mode doubleur en fonction de la tension de polarisation V_{GS0} pour différentes puissances d'entrée.

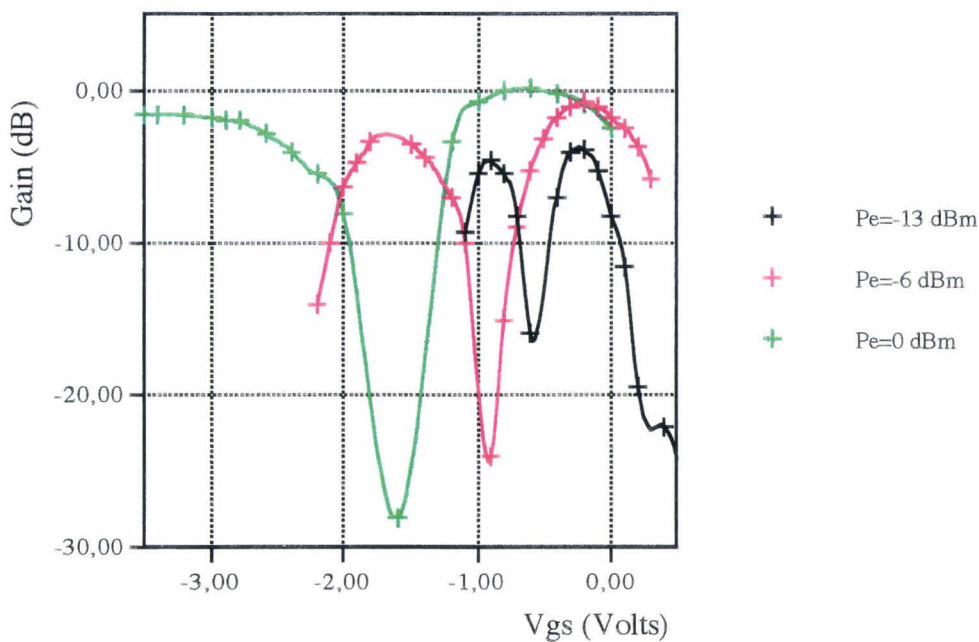


Figure II-40 : Gain simulé du transistor TOUTATIS TA33210 en mode tripleur en fonction de la tension de polarisation V_{GS0} pour différentes puissances d'entrée.

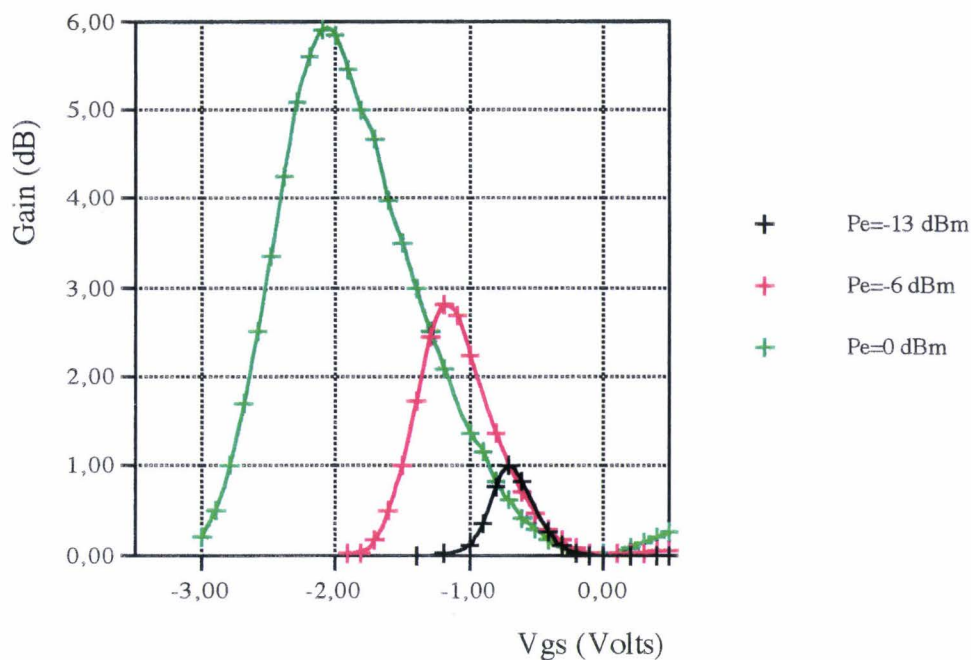


Figure II-41 : Rendement simulé du transistor TOUTATIS TA33210 en mode doubleur en fonction de la tension de polarisation V_{GS0} pour différentes puissances d'entrée.

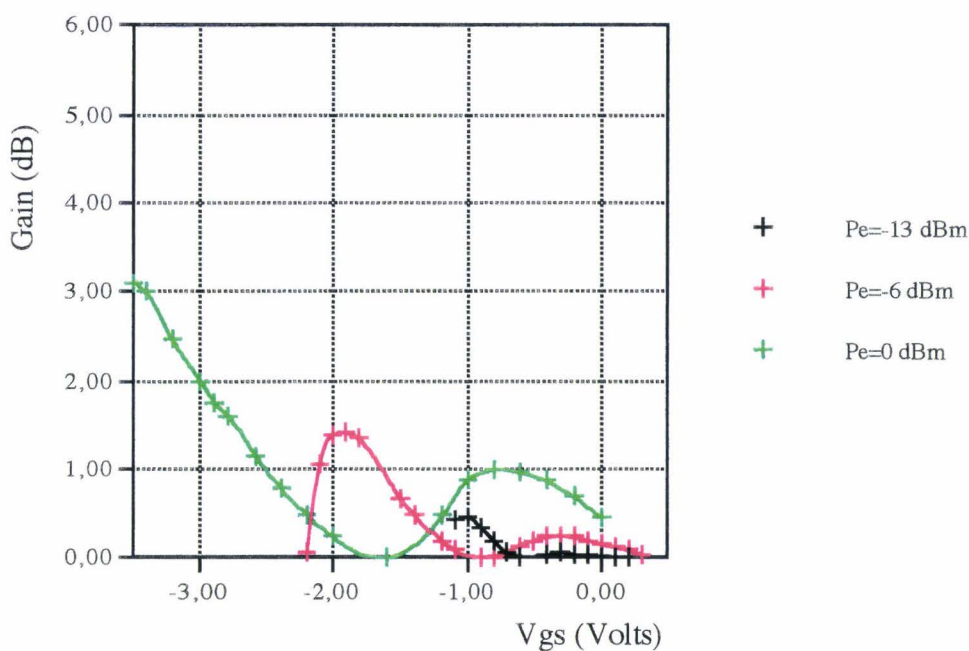


Figure II-42 : Rendement simulé du transistor TOUTATIS TA33210 en mode tripleur en fonction de la tension de polarisation V_{GS0} pour différentes puissances d'entrée.

En mode tripleur, on observe deux maxima pour le gain et le rendement.

Il convient de noter que les maxima correspondant à des tensions de polarisation V_{GS0} supérieures ou du même ordre que la tension de pincement V_p du composant TA33210 sont difficilement exploitables pratiquement. En effet, pour ces niveaux de polarisation, l'excursion positive en tension du signal $V_{GS}(t)$ provoque rapidement un courant de conduction en direct de la jonction grille-source du transistor. Ce courant dégraderait ou détruirait cette jonction dans la pratique.

De la même façon qu'en mode doubleur, la tension de polarisation (inférieure à V_p) doit diminuer lorsque le niveau de puissance d'entrée augmente, de manière à avoir des temps d'ouverture optimaux conduisant à des gains maximaux.

Nous remarquons, dans les deux modes de fonctionnement, que les tensions de polarisation amenant à des rendements maximaux, sont inférieures à celles entraînant des gains maximaux : le rendement est toujours un compromis entre un gain important et une faible consommation de courant.

Les gains et les rendements obtenus en simulation sont plus élevés en mode doubleur qu'en mode tripleur :

$$\left. \begin{array}{l} G = 2,4 \text{ dB contre } -1,5 \text{ dB} \\ \eta = 6 \% \text{ contre } 3 \% \end{array} \right| \text{ pour } P_e = 0 \text{ dBm}$$

Ces différences de performances pourront certainement être minimisées en optimisant les conditions de fonctionnement du transistor en tripleur de fréquence et elles demeurent minimes comparées à l'intérêt d'augmenter de un le coefficient de multiplication. L'attrait du tripleur de fréquence sera d'autant plus important que, dans un système, plusieurs multiplicateurs devront être chaînés. En effet, deux tripleurs suffiront alors à l'obtention d'un coefficient de multiplication de neuf alors que trois doubleurs n'offriront qu'un coefficient de huit.

Ces travaux, effectués en bande Ka, doivent maintenant être poursuivis en bande W. Ce domaine de fréquences constituait, rappelons le, l'objectif ultime des études de tripleurs à HEMTs effectuées dans le cadre du contrat ESPRIT AIMS.

II-E simulations d'un tripleur 27-81 GHz

La fréquence cible de 81 GHz a été choisie pour évaluer les potentialités en tripleur de fréquence des transistors P-HEMT commerciaux (THOMSON) TOUTATIS $2 * (50 * 0,25) \mu m^2$ et GRINGO $2 * (40 * 0,15) \mu m^2$.

Les premières simulations ont été réalisées en utilisant le circuit de la figure II-29 et en prenant les paramètres suivants pour valeurs :

- $f_0 = 27$ GHz
- $V_{DS0} = 2$ Volts
- $P_{IN} = +9$ dBm
- V_{GS0} varie de -5 à $-2,5$ Volts

Les résultats obtenus sont représentés figures II-43 et II-44.

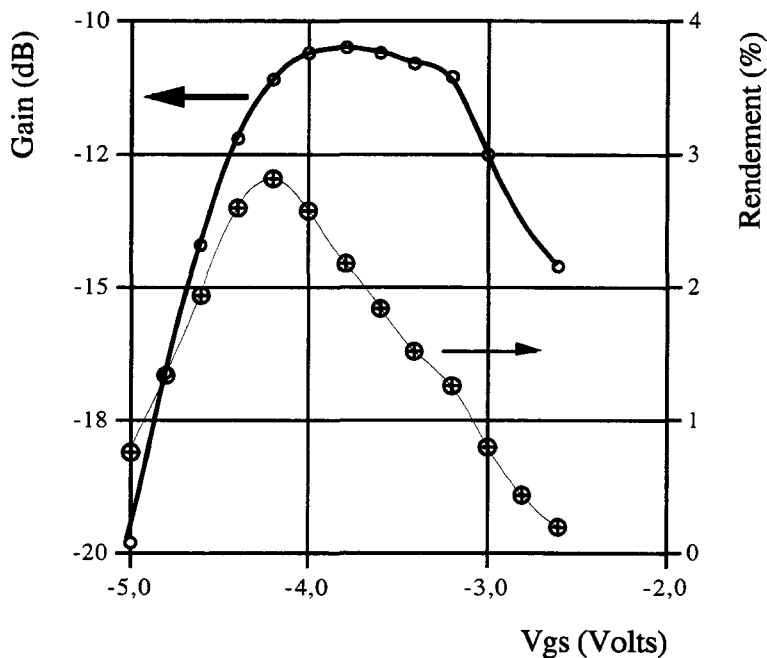


Figure II-43 : Gain et rendement simulés du transistor TOUTATIS TA33210 en mode tripleur 27-81 GHz en fonction de la tension de polarisation V_{GS0} pour une puissance d'entrée de +9 dBm.

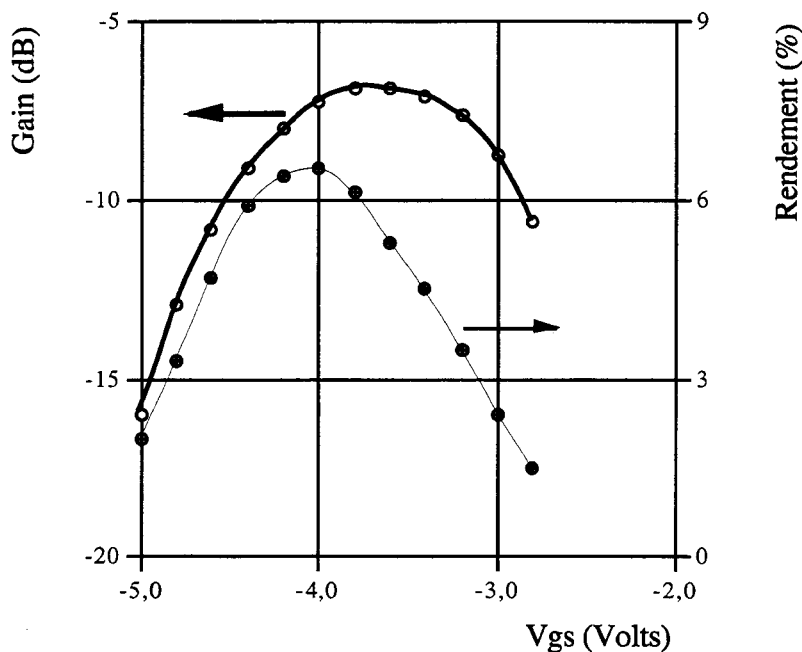


Figure II-44 : Gain et rendement simulés du transistor GRINGO en mode tripleur 27-81 GHz en fonction de la tension de polarisation VGS0 pour une puissance d'entrée de +9 dBm.

On constate que les gains maximums obtenus sont très faibles (-10,5 dB pour le TOUTATIS et -7 dB pour le GRINGO). Ces piètres valeurs nous ont amené à optimiser le traitement des harmoniques.

Partant de la constatation que des harmoniques se trouvaient présentes sur la grille des transistors avec des niveaux de puissance relativement importants, il nous a semblé judicieux de chercher à limiter l'amplitude de ces signaux indésirables.

Ces harmoniques sont transmises de la sortie du transistor vers la grille par le biais de la capacité CGD. L'harmonique à $2f_0$ est censée être court-circuitée en sortie mais les résistances R_S et R_D du composant interdisent la possibilité de court-circuiter parfaitement le générateur de courant. Un signal à $2f_0$ existe donc au niveau du drain intrinsèque.

L'harmonique $3f_0$, quand à elle, est voulue la plus importante possible.

Les harmoniques de rang supérieur sont suffisamment faibles pour ne pas nécessiter une étude et un traitement particulier.

N'étant techniquement pas possible de réduire la valeur de la capacité CGD, la seule façon de limiter le niveau des harmoniques sur la grille est de court-circuiter ces signaux au niveau de celle-ci.

Pour ce faire, nous avons ajouté au circuit de simulation de base des circuits résonnants série à $2f_0$ et / ou $3f_0$ connectés entre la grille et la masse. La figure II-45 illustre le schéma électrique de cette configuration.

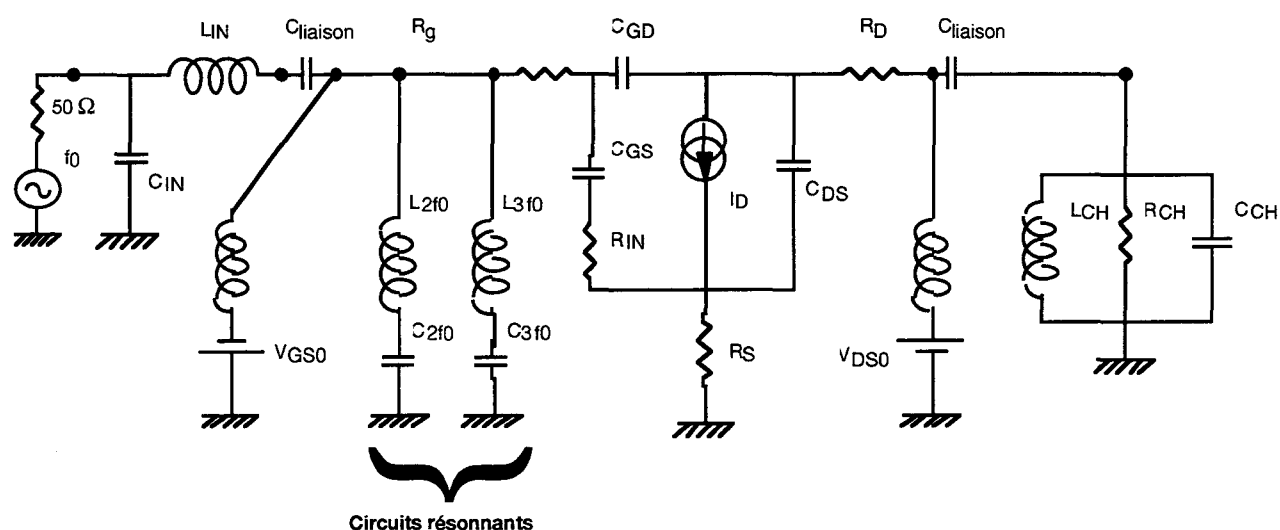


Figure II-45 : Schéma du circuit électrique de multiplication de fréquence introduit dans le simulateur MDS : version utilisant des résonateurs série.

Le fruit des nouvelles simulations avec le transistor TOUTATIS est représenté figures II-46 et II-47.

L'accroissement des performances est tout à fait notable : le tableau Ta.II-10 regroupe les valeurs maximales obtenues pour le gain et le rendement dans les quatre configurations de simulation.

Configuration	pas de circuit résonnant en entrée	circuit résonnant en entrée à $2f_0$	circuit résonnant en entrée à $3f_0$	circuit résonnant en entrée à $2f_0$ et $3f_0$
G_{Max} (dB)	-10,5	-7,6	-4,5	-1,4
η_{Max} (%)	2,8	3,9	8	13

Tableau Ta.II-10 : Valeurs maximales obtenues pour le transistor TOUTATIS en fonction de la présence ou non de circuits résonnants.

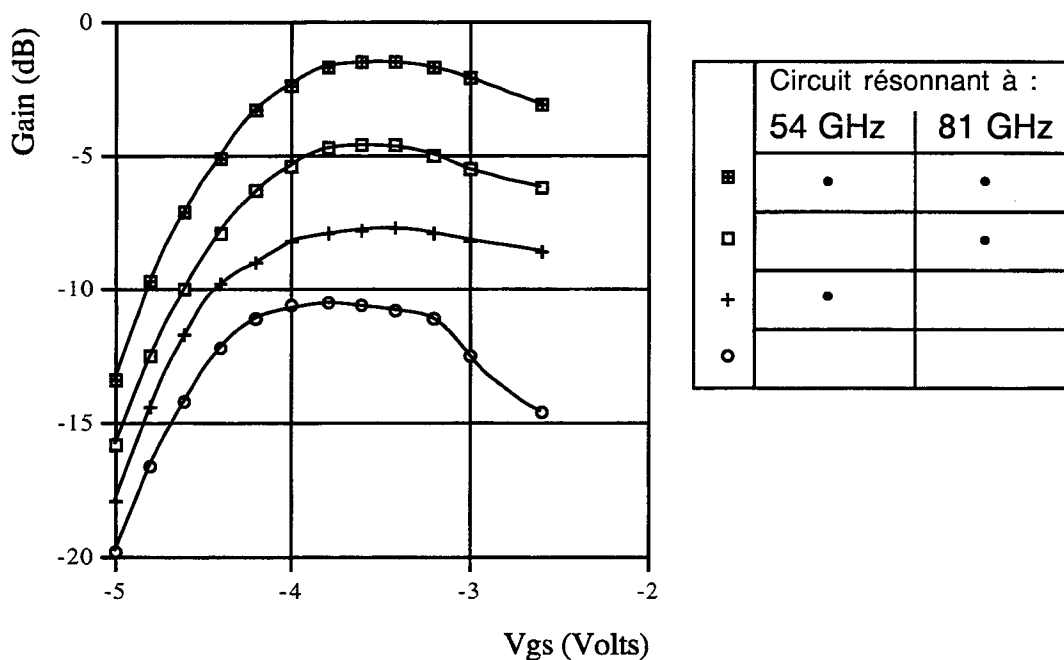


Figure II-46 : Gain simulé du transistor TOUTATIS TA33210 en mode tripleur 27-81 GHz en fonction de la tension de polarisation VGS0 pour une puissance d'entrée de +9 dBm dans quatre configurations différentes.

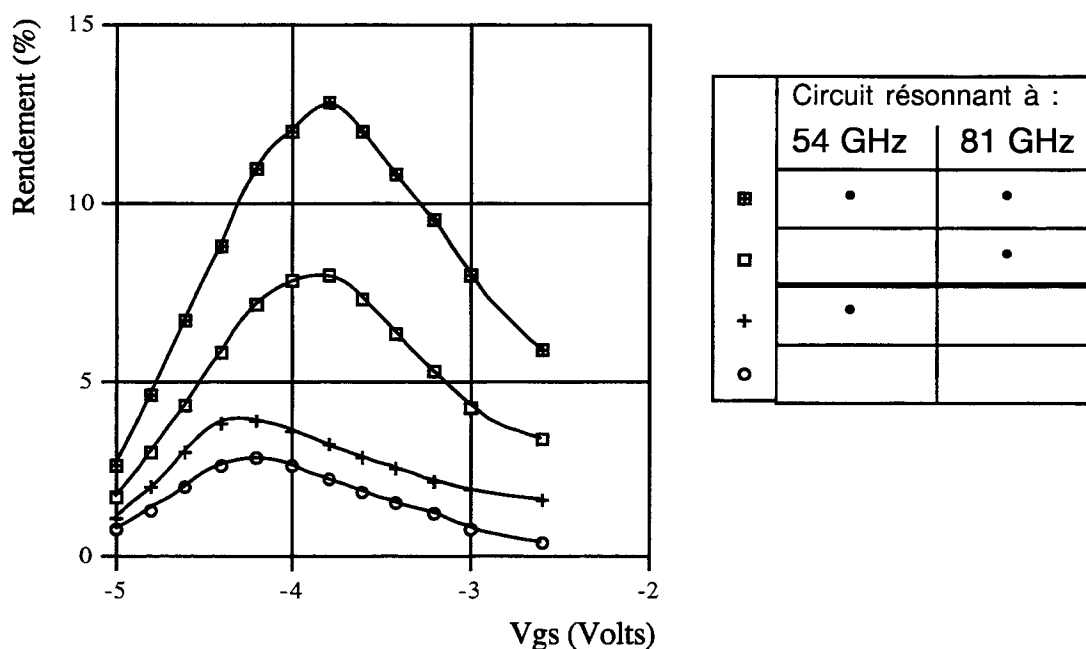


Figure II-47 : Rendement simulé du transistor TOUTATIS TA33210 en mode tripleur 27-81 GHz en fonction de la tension de polarisation VGS0 pour une puissance d'entrée de +9 dBm dans quatre configurations différentes.

L'utilisation d'un circuit résonnant à $2f_0$ augmente de 3 dB le gain alors qu'un même circuit à $3f_0$ fait gagner 6 dB. L'ajout simultané des deux circuits permet d'atteindre un gain -1,4 dB, soit 9 dB de mieux qu'avec le circuit d'origine ; le rendement passe alors à 13% contre 3% initialement.

Forts de ces résultats, nous avons également effectué des simulations avec le transistor GRINGO en ajoutant les deux circuits résonnants. Les gains et rendements recueillis sont présentés figures II-48 et II-49, le tableau Ta.II-11 regroupe les valeurs maximales obtenues dans les deux configurations.

Configuration	pas de circuit résonnant en entrée	circuit résonnant en entrée à $2f_0$ et $3f_0$
G_{Max} (dB)	-10,5	-1,4
η_{Max} (%)	2,8	13

Tableau Ta.II-11 : Valeurs maximales obtenues pour le transistor GRINGO en fonction de la présence ou non de circuits résonnants.

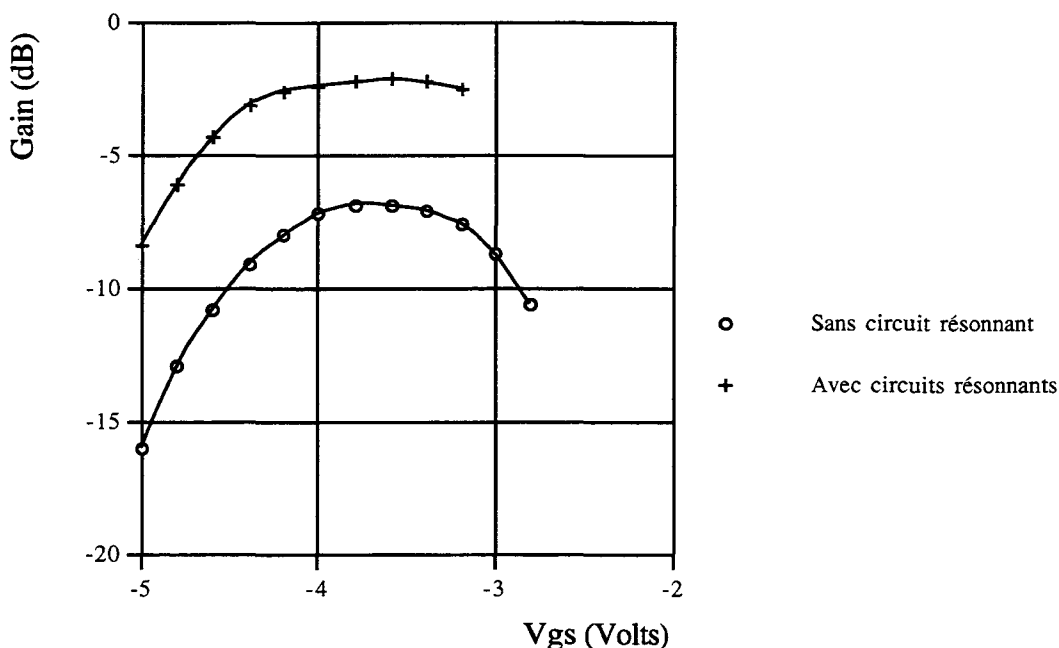


Figure II-48 : Gain simulé du transistor GRINGO en mode tripleur 27-81 GHz en fonction de la tension de polarisation V_{GS0} pour une puissance d'entrée de +9 dBm dans deux configurations différentes.

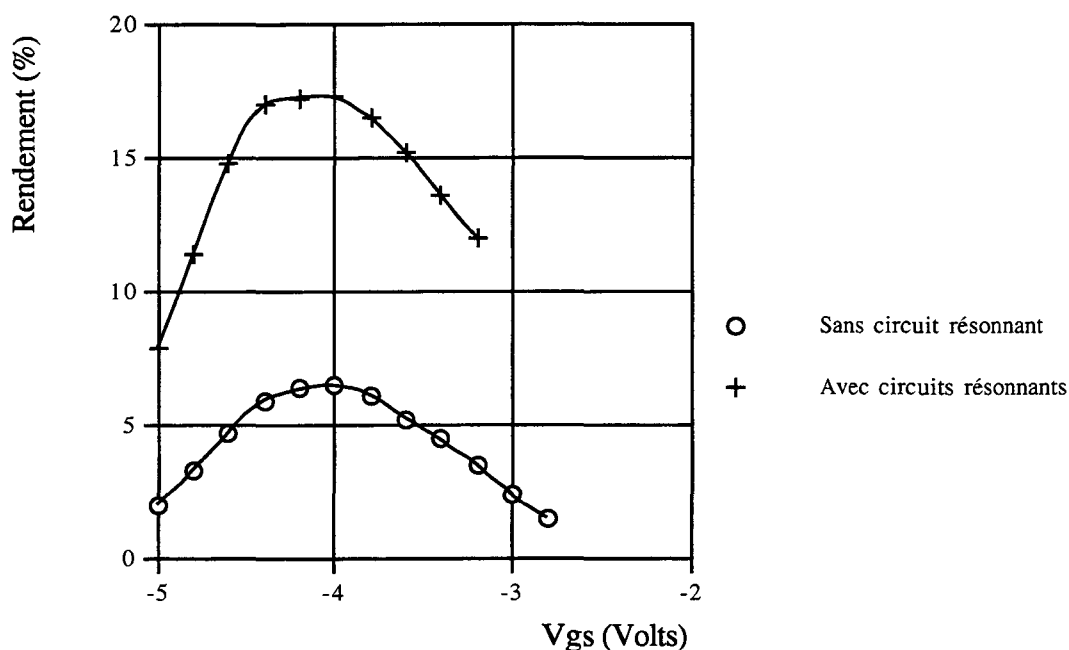


Figure II-49 : Rendement simulé du transistor GRINGO en mode tripleur 27-81 GHz en fonction de la tension de polarisation V_{GS0} pour une puissance d'entrée de +9 dBm dans deux configurations différentes.

L'accroissement obtenu pour le gain est moins élevé que dans le cas du transistor TOUTATIS mais les plus hauts niveaux de gains sont comparables. Le rendement est, par contre, plus important et atteint 17%.

Cette étude, d'un tripleur de fréquence 27-81 GHz, nous permet donc de prédire de faibles pertes (1,4 dB) pour un circuit tripleur, travaillant en bande W, basé sur l'utilisation d'un transistor P-HEMT AlGaAs/InGaAs/GaAs de 0,25 μm de longueur de grille.

Ce type de circuit, fonctionnant à ces fréquences, ne peut être réalisé qu'en technologie MMIC pour ne pas subir les problèmes d'interconnection inhérents à l'utilisation d'une technologie MIC.

N'ayant pas eu la possibilité de réaliser un tel MMIC dans notre laboratoire, nous avons décidé de concevoir un démonstrateur en technologie MIC, mais à 30 GHz.

II-F optimisation d'un tripleur 10-30 GHz et prise en compte des limitations physiques du transistor

Introduction

La réalisation d'un démonstrateur en technologie hybride (MIC) doit nous permettre de valider la simulation du fonctionnement en tripleur de fréquence d'un transistor HEMT dont nous avons effectué un modèle non-linéaire.

Pour arriver à ce but dans de bonnes conditions, nous devons satisfaire aux contraintes suivantes :

- La fréquence de sortie du transistor ne doit pas être trop élevée pour rester compatible avec la technologie MIC. Les principaux problèmes fréquentiels se situent au niveau de l'impédance des fils de liaison entre le composant actif et les circuits passifs. Nous avons donc retenu 30 GHz comme fréquence de sortie du dispositif.
- Le modèle du composant doit comporter tous les éléments parasites du transistor ainsi que les selfs d'accès constituées par les interconnexions "Grille, Drain et Source vers le circuit extérieur".
- Pour limiter les risques de destruction prématurée du transistor utilisé, nous devons limiter la puissance d'entrée en fonction des niveaux de polarisation choisis.
- Suite à l'étude menée dans la partie II-E, il semble indispensable d'optimiser les impédances présentées en entrée du transistor. Nous étendrons également cette recherche aux impédances présentées en sortie du transistor.

De plus, nous utiliserons un composant ayant un plus grand développement de grille pour obtenir plus de puissance en sortie du dispositif : il s'agit du TOUTATIS TA33420 ($4 * (50 * 0,25) \mu m^2$).

II-F-1 Caractéristiques du transistor TA33420

Les principales mesures et le modèle du TA33420 sont décrits dans la partie II-A.

Les mesures caractéristiques des jonctions grille-source en directe grille drain en inverse sont présentées figures II-50 et II-51.

Nous veillerons donc à ce que la tension VGS n'excède pas 0,8 Volt et la tension VGD ne soit pas inférieure à 6 Volts.

Les valeurs des selfs et capacités des métallisations propres du composant sont les suivantes :

LS=8 pH

LD=90 pH

LG=80 pH

CPG=50 fF

CPD=50 fF

Les inductances liées à l'interconnexion du transistor, en puce nue, au circuit extérieur sont estimées à:

200 pH côté grille

200 pH côté drain

8 pH côté source

Les selfs totales prendrons donc comme valeurs :

LS=8 pH

LD=290 pH

LG=280 pH

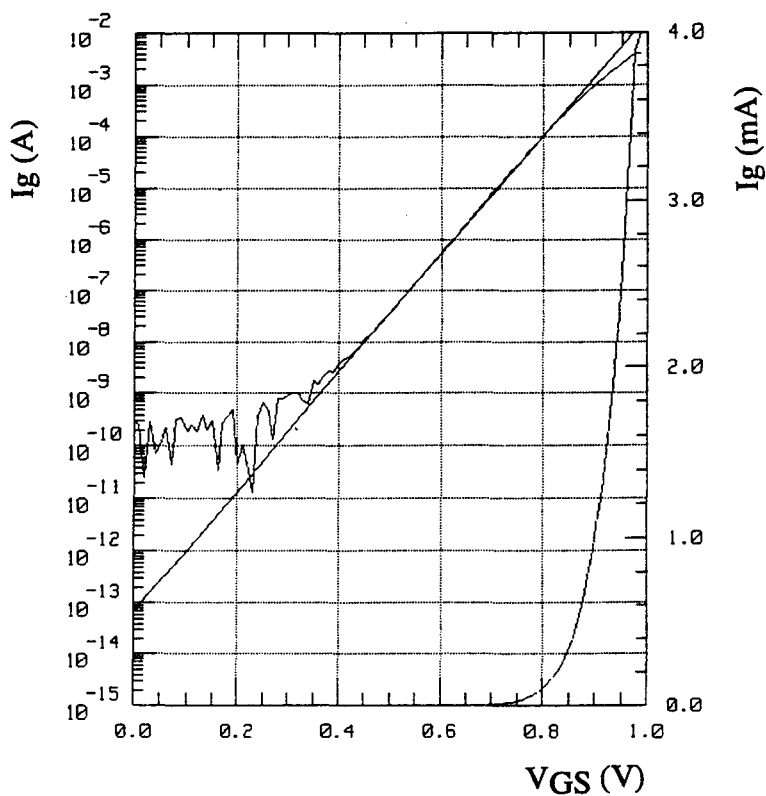


Figure II-50 : Caractéristique de la jonction grille-source en directe du transistor TOUTATIS

TA33420.

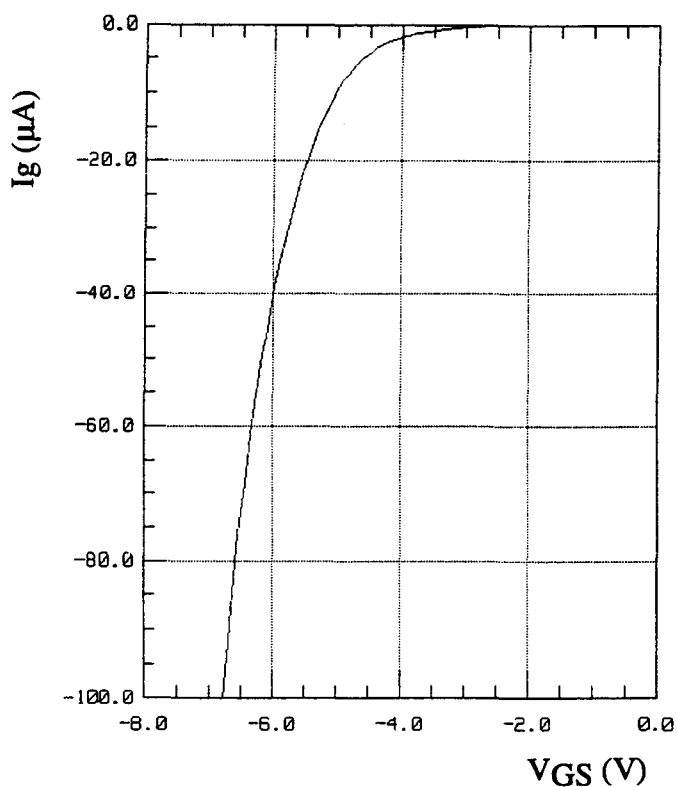


Figure II-51 : Caractéristique de la jonction grille-drain en inverse du transistor TOUTATIS

TA33420.

II-F-2 Etude des impédances.

Le circuit électrique utilisé pour cette étude est représenté figure II-52.

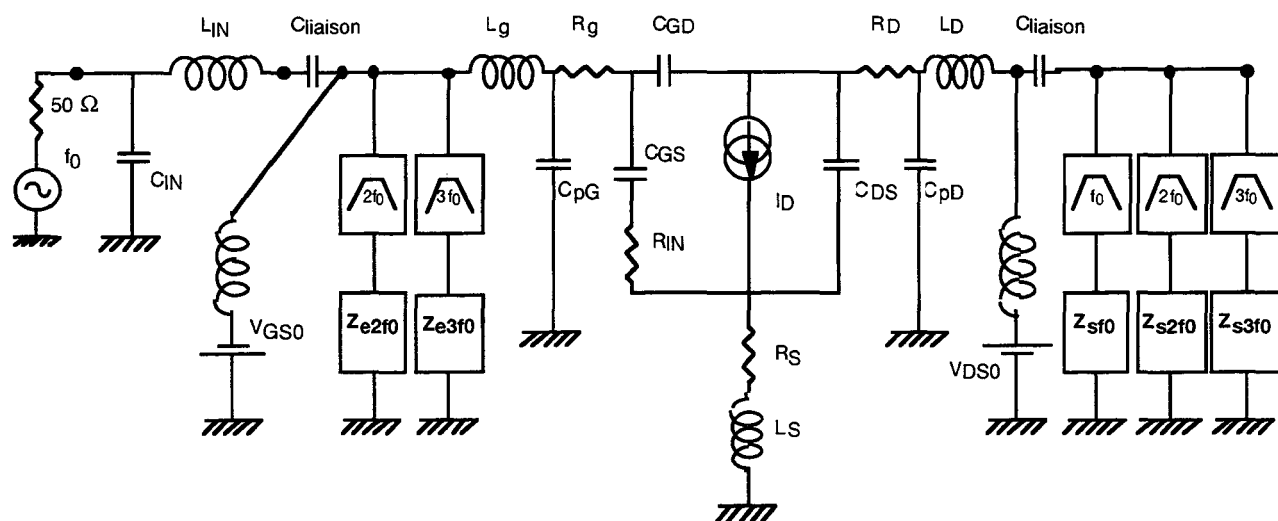


Figure II-52 : Schéma du circuit électrique de multiplication de fréquence introduit dans le simulateur MDS : version utilisant des filtres idéaux et des charges complexes.

Les circuits, composés d'un filtre passe-bande et d'une impédance complexe Z , permettent de "charger" chaque fréquence par l'impédance voulue.

Ces filtres passes-bandes sont idéaux, c'est à dire qu'ils présentent une impédance d'entrée infinie hors de la bande passante spécifiée et sont équivalents à des interconnexions électriques sans pertes à l'intérieur de la bande.

Cette configuration nous permet donc de réaliser des simulations en réglant indépendamment les charges présentées en entrée et en sortie du transistor pour les fréquences f_0 , $2f_0$ et $3f_0$.

La recherche des valeurs optimales pour chaque impédance de charge se fait suivant l'organigramme de la figure II-53. Il faut remarquer, étant donné les fréquentes divergences obtenues, que cette procédure d'optimisation est réalisée de façon manuelle et nécessite de très important temps de calcul (plus de deux heures pour chaque paramètre).

Le caractère indispensable et prioritaire de cette optimisation consiste à réaliser l'adaptation d'entrée du composant, ce qui n'est pas toujours possible à cause des divergences liées à la forte non linéarité du système.

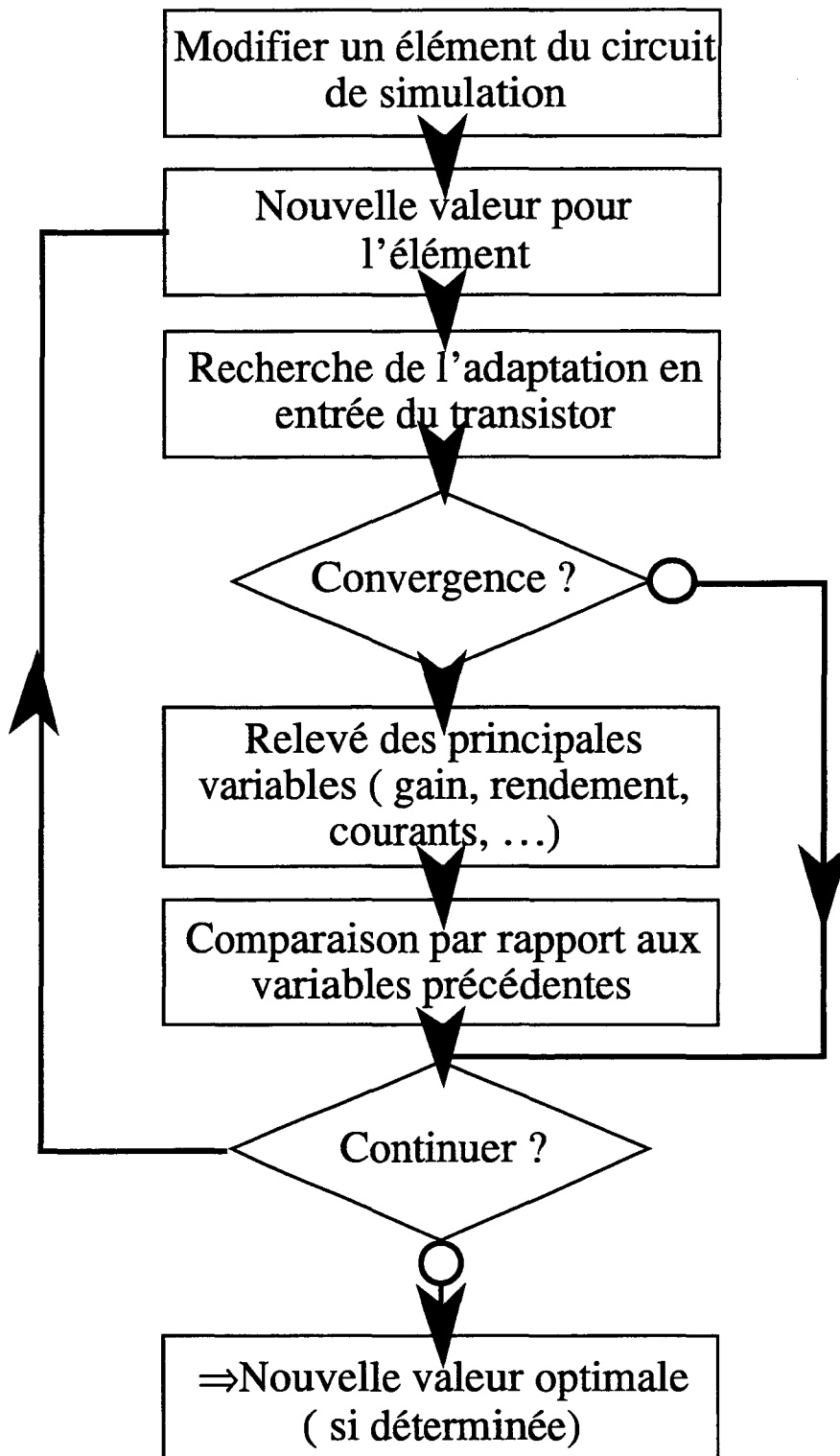


Figure II-53 : Organigramme d'optimisation de la valeur d'un paramètre du circuit électrique de simulation de fonctionnement en tripleur du transistor.

V _{DS0} =3 Volts		V _{GS0} =-1 Volt		P _{IN} =0 dBm		f ₀ =10 GHz	
N°	Z _{e2f0} (Ω)	Z _{e3f0} (Ω)	Z _{sf0} (Ω)	Z _{s2f0} (Ω)	Z _{s3f0} (Ω)	Gain (dB)	η (%)
N1	Z	Z	CC	CC	200	-2,26	0,44
N2	CC	Z	CC	CC	200	0	0,42
N3	Z	CC	CC	CC	200	-1,7	0,6
N4	CC	CC	CC	CC	200	+0,8	0,2
N5	CC	2-j20	CC	CC	200	+4	1,4
N6	CC	2-j20	CC	CC	30	+7	3,9
N7	CC	2-j20	CC	CC	30-j30	+9	6,2
N8	CC	2-j20	CC	+j20	30-j30	10,2	6,25
N9	CC	2-j20	-j14	+j20	30-j30	11,2	6,5

Tableau Ta.II-12 : Résultats de simulation obtenus avec le transistor TOUTATIS TA33420 pour neuf configurations différentes (Z=haute impédance, CC=Court-circuit).

Le tableau Ta.II-12 regroupe les conditions et résultats de simulation obtenus.

- La première configuration (N1) ne court-circuite pas les signaux de fréquence 2f₀ et 3f₀ présents sur la grille du transistor. Elle permet d'obtenir un gain de -2,3 dB.
- Nous avons ensuite (N2) court-circuité uniquement l'harmonique 2f₀, ce qui porte le gain à 0 dB.
- La même chose, réalisée pour l'harmonique 3f₀ (N3), donne un gain de -1,7 dB.
- Enfin, les deux harmoniques sont court-circuitées en même temps (N4) : le gain passe alors à +0,8 dB.

L'accroissement du gain est beaucoup plus faible que celui que l'on avait acquis dans la partie II-E (3dB contre 5 ou 9 dB). Cela doit être imputé à la présence des selfs qui ne permettent pas le placement des courts-circuits au niveau de la grille intrinsèque.

- Nous avons donc essayé de remplacer les courts-circuits, côté grille, par des charges complexes (N5).

Le court-circuit s'est avéré demeurer la meilleure valeur pour la fréquence $2f_0$.

Une impédance de $(2-j20) \Omega$ pour le troisième harmonique nous fournit un gain de +4 dB.

- Les étapes N6 et N7 ont consisté à rechercher la meilleure impédance de charge à placer en sortie du transistor pour la fréquence $3f_0$.

Une valeur purement ohmique de 30Ω permet de doubler le gain (+7dB) alors qu'une impédance complexe de $(30-j30) \Omega$ triple le gain (+9 dB).

- Les impédances de charge en sortie du transistor pour les fréquences $2f_0$ et $3f_0$ ont également été optimisées (N8 et N9). Les impédances réactives présentées valent alors, respectivement, $(+j20) \Omega$ et $(-j14) \Omega$ pour atteindre, finalement, un gain de 11,2 dB associé à un rendement de 6,5 %.

Conclusion

Les performances obtenues en tripleur de fréquence 10-30 GHz sont très sensibles aux impédances présentées au transistor pour les différentes harmoniques.

De plus, l'adaptation en entrée du transistor est souvent délicate car l'impédance d'entrée de celui-ci est quasi capacitive à la fréquence du fondamental (10 GHz).

Cette étude, bien que réalisée avec des circuits idéaux, nous fixe les objectifs à atteindre lors de la conception d'un circuit réel dans le chapitre III.

Conclusion

Après avoir déterminé les modèles non-linéaires de six transistors différents, nous avons montré qu'il était préférable d'utiliser des composants ayant une structure simple puits en les polarisant en deçà de leur tension de pincement plutôt que d'utiliser des composants double puits polarisés au niveau de la vallée de leur transconductance.

L'étude théorique en simulation associée à une manipulation effectuée sur un transistor commercial FHX04 fonctionnant en tripleur 12-36 GHz permet de valider le modèle non-linéaire retenu et la forme obtenue pour les courbes de gain en fonction de la polarisation de grille VGS0.

Une comparaison entre un fonctionnement doubleur 18-36 GHz et tripleur 12-36 GHz montre des performances similaires et, de ce fait, justifie l'intérêt du tripleur de fréquence par rapport au doubleur.

L'étude des potentialités d'un tripleur 27-81 GHz nous a permis de prédire de faibles pertes (1,4 dB) à la condition de court-circuiter les harmoniques de rang deux et trois présents sur la grille du transistor.

Enfin, l'analyse d'un tripleur 10-30 GHz nous révèle la dépendance directe, des performances obtenues, aux impédances présentées en entrée et en sortie du transistor aux différentes fréquences.

Ces enseignements peuvent nous permettre, maintenant, d'envisager une conception efficace d'un démonstrateur hybride 10-30 GHz.

Bibliographie du chapitre II

¹⁷ Dambrine, G.

Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination direct du schéma équivalent

Thèse de 3ème cycle, LILLE, Mars 1989.

chapitre III
conception, réalisation et mesures
d'un tripleur hybride 10-30 GHz

Introduction

Comme nous l'avons vu dans le chapitre précédent, des performances très intéressantes semblent pouvoir être atteintes en multiplication de fréquence par trois en utilisant un transistor P-HEMT. Cependant, les simulations mettent en évidence, d'une part, la difficulté de réaliser l'adaptation en entrée du composant et, d'autre part, la sensibilité du gain de conversion aux impédances présentées en entrée et en sortie du transistor.

Nous allons, dans ce chapitre, concevoir et réaliser un tripleur de fréquence 10-30 GHz en technologie hybride en essayant de trouver les circuits passifs qui permettent le mieux de répondre aux exigences dictées par l'étude précédente.

Nous mesurerons ensuite les dispositifs réalisés afin d'évaluer leurs performances et de les comparer aux simulations.

Une étude et des mesures de bruit de phase seront également effectuées de manière à estimer le bruit de phase en excès ajouté par nos tripleurs de fréquence.

III-A Méthodologie de conception

Les conclusions de l'étude réalisée en II-F-2 constituent le point de départ de notre conception.

Le composant utilisé est donc un TOUTATIS TA33420, la tension de drain est de 3 Volts, la puissance d'entrée PIN de 0 dBm et la tension de polarisation VGS0 de (-1) Volt.

Comme nous l'avons montré théoriquement précédemment, un fonctionnement optimal en tripleur 10-30 GHz de ce transistor nécessite la réalisation des conditions suivantes de fermeture en entrée :

- adaptation à 50Ω de l'entrée du transistor pour f_0
- court-circuit pour la fréquence $2f_0$
- impédance de $(2-j20) \Omega$ pour la fréquence $3f_0$.

Le circuit de sortie, quand à lui, doit présenter les impédances $(-j14)$, $(+j20)$ et $(30-j30) \Omega$ pour, respectivement, les fréquences f_0 , $2f_0$ et $3f_0$. De plus, il serait intéressant qu'il effectue un filtrage efficace de façon à obtenir le signal à $3f_0$ le plus pur possible en sortie du montage.

Dans un premier temps, la recherche et l'optimisation de ces circuits se fera en utilisant les schémas électriques de simulation des figures III-1 et III-2.

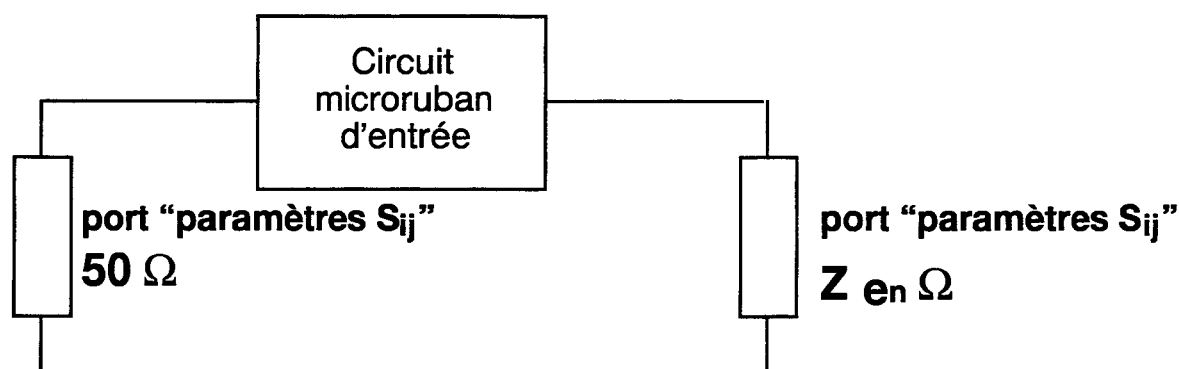


Figure III-1 : Schéma électrique utilisé lors de la phase de conception du circuit d'entrée.

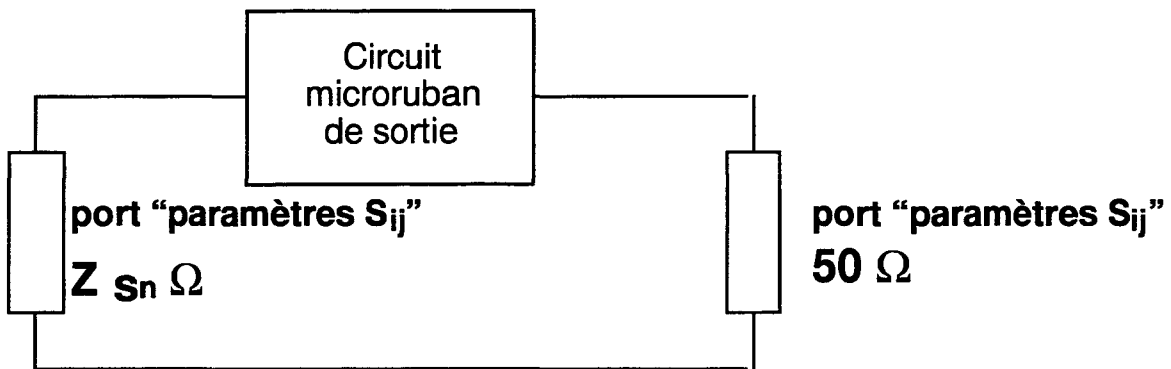


Figure III-2 : Schéma électrique utilisé lors de la phase de conception du circuit de sortie.

Les impédances Z_{e_n} et Z_{s_n} représentent les impédances complexes des impédances devant être présentées en entrée et en sortie du transistor pour les fréquences f_n (f_0 , $2f_0$, $3f_0$).

Les critères permettant l'élaboration des filtres sont basés sur la mesure des paramètres S_{ij} . Par exemple, le circuit de sortie sera considéré comme acceptable si, pour la fréquence $3f_0$, le paramètre S_{21} est supérieur à $(-1,5)$ dB.

Lors de l'optimisation des circuits, l'adaptation à 50Ω en entrée pour f_0 et en sortie pour $3f_0$ aura un "poids" plus important que la recherche des impédances aux autres fréquences.

III-B Recherche des topologies optimales des circuits d'entrée et de sortie

III-B-1 Le circuit d'entrée

En premier lieu, il doit assurer l'adaptation à 50Ω de l'entrée du transistor pour la fréquence f_0 . L'impédance relevée en simulation pour cette entrée est de $(2-j52)\Omega$.

Le caractère particulièrement capacitif de cette valeur rend très difficile l'adaptation à 50Ω en circuit microruban. Nous avons essayé les trois méthodes suivantes :

- Adaptation à "stub(s)" (figure III-3)

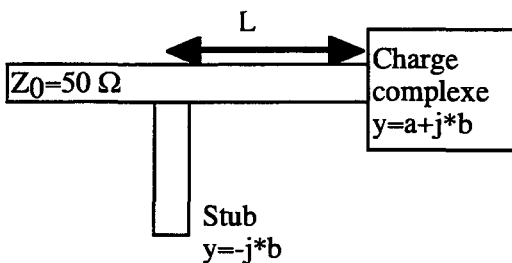


Figure III-3 : Schéma de principe de l'adaptation à un stub.

Cette méthode doit permettre d'obtenir l'adaptation en plaçant une ligne ouverte (stub), de susceptance $(-j*b)$, à une distance L de la charge à adapter. Dans notre cas, la valeur de la susceptance à placer est trop élevée pour réaliser une adaptation correcte. L'utilisation de plusieurs stubs ne permet pas de palier à ce problème.

- Adaptation à "stub adjacent" (figure III-4)

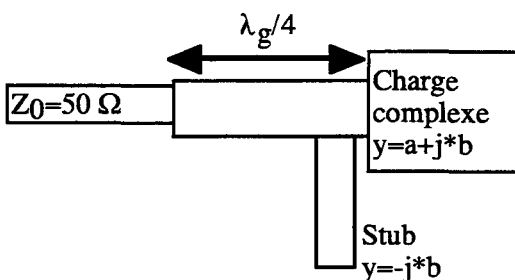


Figure III-4 : Schéma de principe de l'adaptation à stub adjacent.

Le stub, placé au plus près de la charge, annihile la partie imaginaire de sa valeur. Le transformateur quart d'onde permet d'adapter à 50Ω la partie réelle de la valeur de la charge. L'impédance du tronçon de longueur $\lambda_g/4$ doit être, pour notre charge, de $Z_T = \sqrt{50 * 2} = 10 \Omega$, ce qui correspond à une largeur de ligne beaucoup trop importante pour être directement reliée à la grille du transistor (la charge).

- Adaptation à "longueur de ligne et transformateur quart d'onde" (figure III-5)

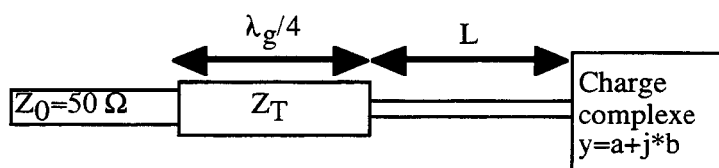


Figure III-5 : Schéma de principe de l'adaptation à longueur de ligne et transformateur quart d'onde.

Une longueur de ligne L permet de présenter une impédance purement réelle en entrée du transformateur quart d'onde. Celui-ci, d'impédance $Z_T = \sqrt{50 * 2} = 10 \Omega$, effectue l'adaptation à 50Ω . La faible valeur trouvée pour Z_T impose une largeur importante ($>2\text{mm}$) du tronçon de longueur $\lambda_g/4$ et induit, de ce fait de fortes discontinuités de part et d'autre. Cependant, cette méthode procure une adaptation acceptable ($S_{21} = -1,6 \text{ dB}$).

De ces trois méthodes, nous retiendrons la dernière pour les raisons suivantes :

- L'adaptation à 50Ω est correcte.
- Le circuit est réalisable facilement sans être trop encombrant.
- Les impédances présentées aux fréquences $2f_0$ et $3f_0$, bien que différentes de celles souhaitées théoriquement, se situent autour de 50Ω (ce qui n'est pas le cas pour les autres méthodes) et sont, par conséquent, loin du point "circuit ouvert" qui constitue le cas le moins favorable.

La bande passante étant alors relativement faible ($0,9 \text{ GHz}$), nous avons adjoint deux stubs (figure III-6) de façon à l'augmenter.

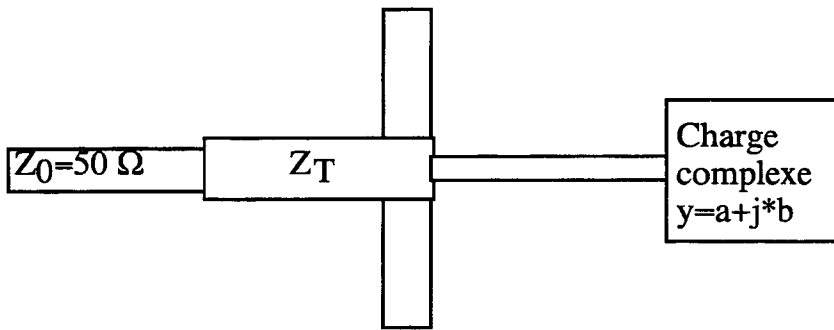


Figure III-6 : Schéma de principe de l'adjonction de stubs à l'adaptation à longueur de ligne et transformateur quart d'onde.

La bande passante est alors de l'ordre de 1,6 GHz pour un S_{21} de -2,4 dB.

Les impédances présentées à $2f_0$ et $3f_0$ sont, respectivement $(46 + j*27 \Omega)$ et $(51 - j*24 \Omega)$.

Un circuit de polarisation de grille doit être également ajouté.

L'influence de ce circuit est minimisé en faisant en sorte qu'il soit perçu comme un circuit ouvert placé en parallèle sur le circuit d'adaptation en un point équivalent à un court-circuit pour la fréquence f_0 .

Le circuit, figure III-7, montre la solution retenue.

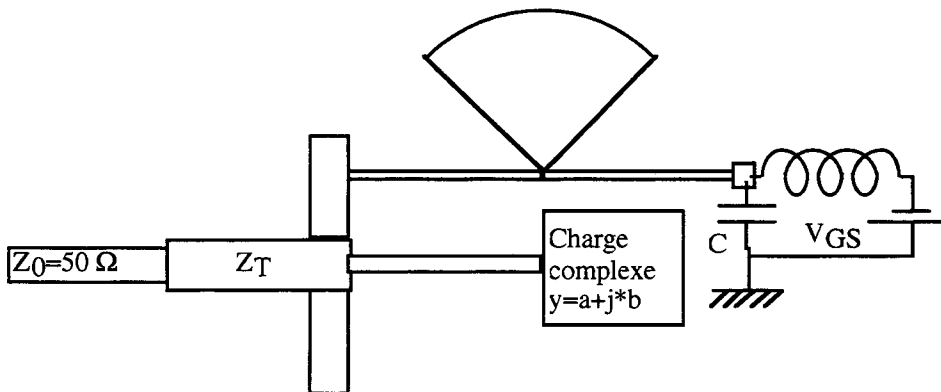


Figure III-7 : Schéma de principe retenu du circuit complet d'adaptation et de polarisation pour l'entrée du transistor.

Le "stub papillon", de rayon voisin de $\lambda_g/4$, est placé à $\lambda_g/4$ du circuit d'adaptation et à $\lambda_g/4$ d'un plot d'interconnexion. Ce plot est connecté à une capacité C de découplage et à la source de tension via une self de liaison.

III-B-2 Le circuit de sortie

Ce circuit doit, avant toute chose, réaliser pour la fréquence $3f_0$ une bonne adaptation à 50Ω de la sortie du transistor de façon à pouvoir exploiter toute la puissance disponible à cette fréquence.

Différents circuits à stub(s) ont été essayés. Ils permettent de réaliser une adaptation correcte mais, malheureusement, ils ne peuvent présenter les impédances recherchées à la fois à f_0 et à $2f_0$ et enfin, ils atténuent insuffisamment ces dernières fréquences de sorte que celles-ci restent donc visibles au niveau de la charge 50Ω .

Nous avons alors testé un circuit à lignes couplées (figure III-8).

En optimisant les largeurs et longueurs des lignes, pour un double couplage, nous obtenons les performances suivantes, en impédances d'entrée du filtre :

$$(Z_e)_{f_0} = 1 - j14$$

$$(Z_e)_{2f_0} = 2 - j26$$

$$(Z_e)_{3f_0} = 23 - j9 \quad (\text{le paramètre } S_{21}, \text{ à } 3f_0, \text{ est de l'ordre de } -2 \text{ dB})$$

Ces impédances ne sont pas exactement celles préconisées par notre étude, menée en II-F, mais elles constituent néanmoins une base satisfaisante avant d'optimiser globalement le circuit dans la partie suivante.

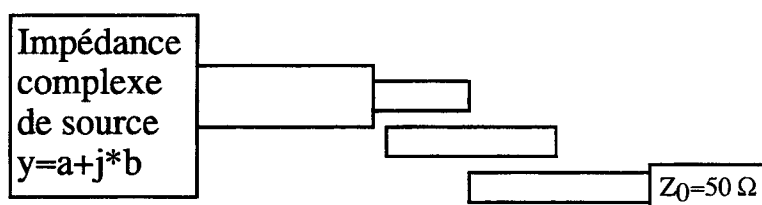


Figure III-8 : Schéma de principe du circuit d'adaptation à lignes couplées de la sortie du transistor.

Le comportement "passe-bande" de ce circuit permet également d'atténuer fortement les composantes fréquentielles multiples ou sous-multiples de $3f_0$ (la bande passante est de 4 GHz, centrée sur 30 GHz).

Le circuit de polarisation du drain du transistor est réalisé en soudant directement un fil d'or sur la ligne microruban connectée au drain. Ce type de polarisation entraîne très peu de perturbations pour le circuit initial. La position du fil est optimale pour $200\ \mu\text{m}$, mais les simulations montrent la faible sensibilité aux variations de $\pm 50\ \mu\text{m}$ autour de cette valeur.

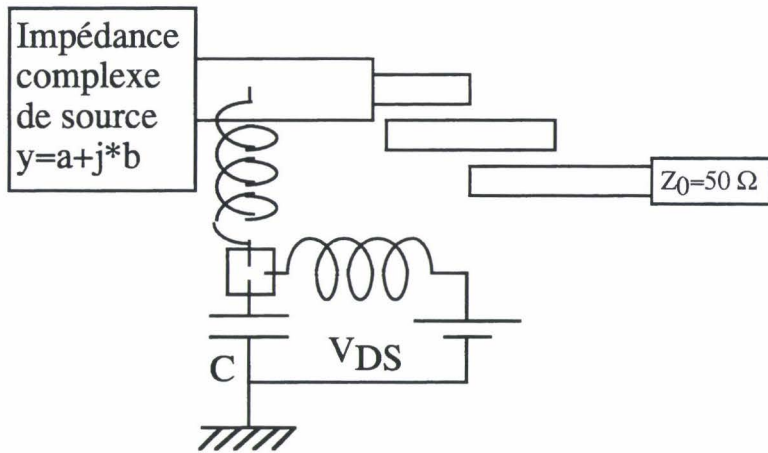


Figure III-9 : Schéma de principe du circuit d'adaptation à lignes couplées et de polarisation de la sortie du transistor.

III-B-3 Le circuit global

Comme nous l'avons signalé précédemment, il est impossible de trouver des circuits répondant parfaitement et en tous points aux exigences fixées par les simulations réalisées en II-F-2. Des compromis sont donc nécessaires, mais ils remettent en cause les différentes valeurs obtenues auparavant. En effet, toute modification de valeur, que ce soit en entrée ou en sortie, implique d'optimiser de nouveau toutes les autres valeurs.

C'est pourquoi des optimisations globales, incluant les circuits passifs et le composant, doivent être réalisées de façon réursive jusqu'à l'obtention de performances satisfaisantes.

Les dessins des circuits définitifs, obtenus pour l'entrée et la sortie du tripleur 10-30 GHz, sont représentés figures III-10 et III-11. Leurs paramètres S11 et S12 sont donnés figures III-12 et III-13.

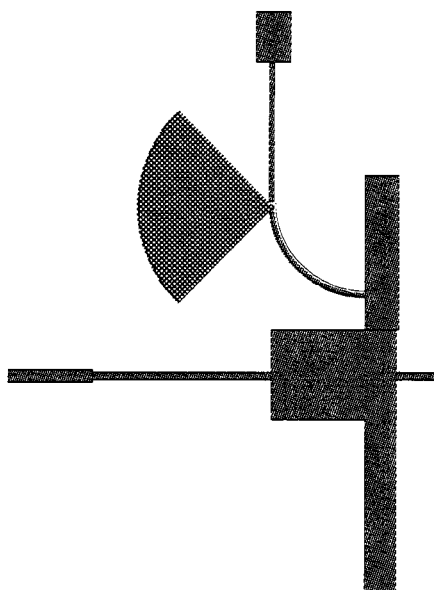


Figure III-10 : Dessin définitif du circuit d'entrée du tripleur 10-30 GHz.

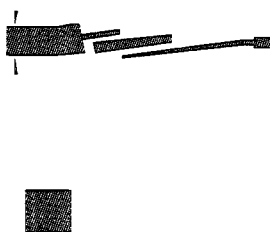


Figure III-11 : Dessin définitif du circuit de sortie du tripleur 10-30 GHz.

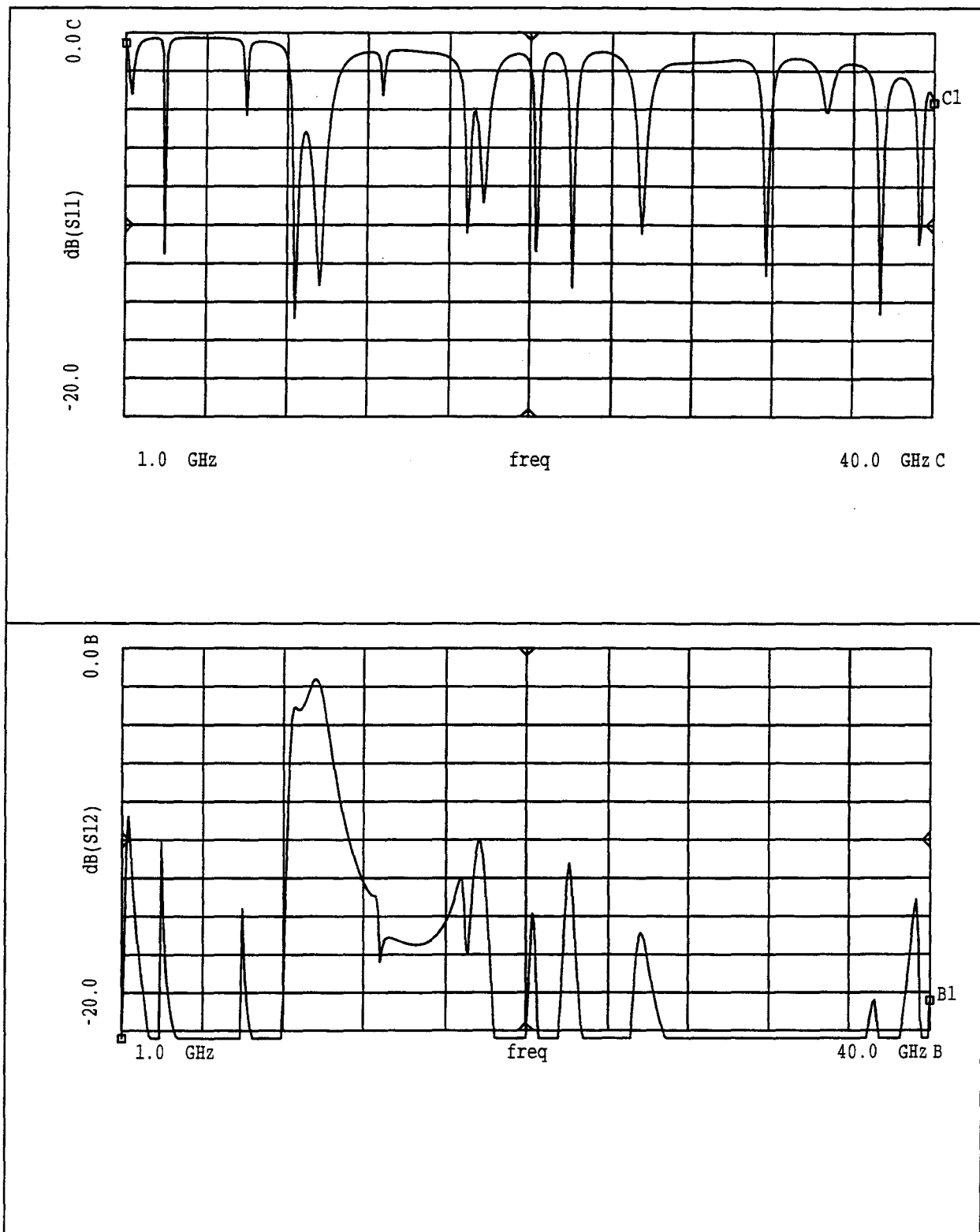


Figure III-12 : Paramètres simulés S_{11} et S_{21} du circuit d'entrée définitif du tripleur 10-30 GHz.

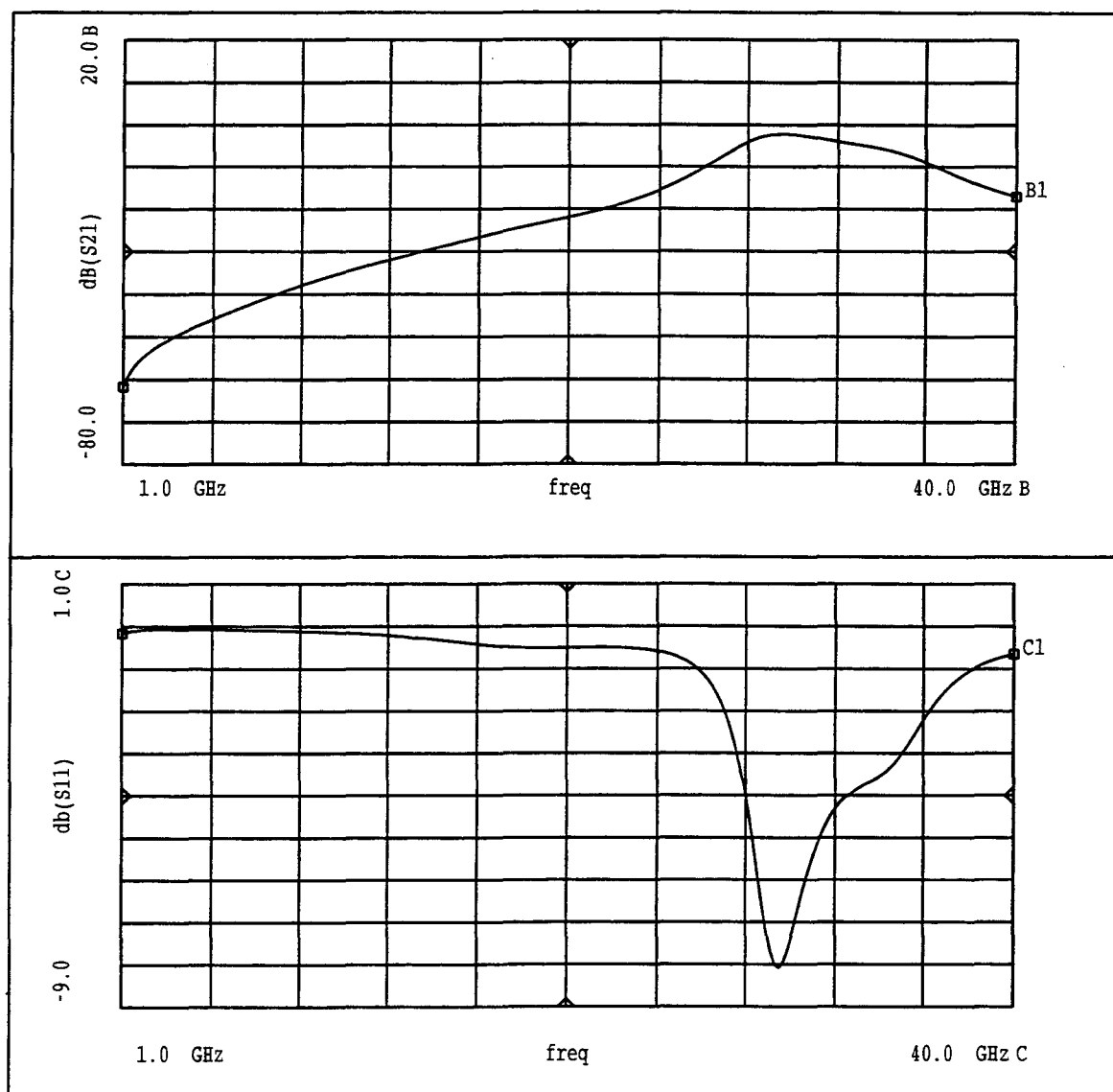


Figure III-13 : Paramètres simulés S_{11} et S_{21} du circuit de sortie définitif du tripleur 10-30 GHz.

Les performances et caractéristiques globales prévues pour le circuit tripleur 10-30 GHz, avec ces circuits passifs, sont regroupées dans le tableau Ta.III-1.

VDS0 (V)	VGS0 (V)	IDS0 (mA)	Pe (dBm)	Ps (dBm)	G (dB)	η (%)
3	-1	38	+1,2	5,9	4,7	3,5

Ta.III-1 : performances et caractéristiques prévues avec les circuits passifs définitifs.

Nous présentons également, figure III-14, des simulations réalisées en faisant varier la puissance d'entrée du tripleur pour la tension de polarisation VGS0 retenue (-1,0 V) et pour une autre (-0,7 V) où le transistor est moins pincé.

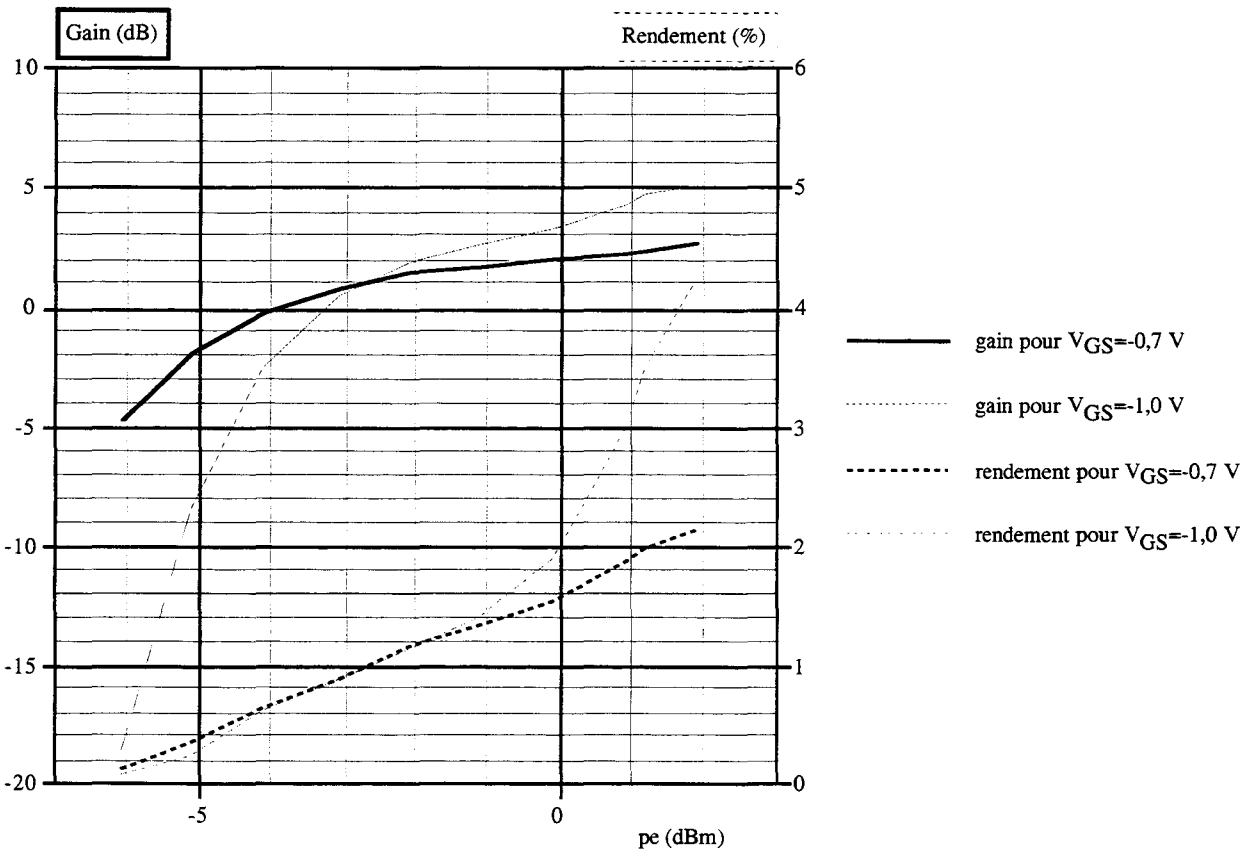


Figure III-14 : Gains et rendements obtenus en faisant varier la puissance d'entrée du tripleur dans deux cas de polarisation de grille.

Nous pouvons remarquer qu'un gain plus important que 4,7 dB semble pouvoir être atteint, mais nous nous sommes limités à une puissance d'entrée de 1,2 dBm de façon à ce que l'excursion de la tension

d'entrée soit inférieure à 0,8 Volt. Cette précaution, rappelons le, est nécessaire pour éviter une conduction en direct destructrice de la jonction grille-source.

Une étude en sensibilité a été effectuée de façon à déterminer l'influence de la précision de gravure des circuits passifs sur les caractéristiques simulées attendues.

Les simulations, du type "Monte-Carlo", ont été paramétrées en utilisant une distribution gaussienne de $\pm 10 \mu\text{m}$ autour des valeurs fixées pour les lignes microrubans.

Cet écart, de $\pm 10 \mu\text{m}$, correspond à la valeur typique obtenue lors de la réalisation de circuits sur alumine dans nos laboratoires.

Les variations des paramètres S_{ij} sont représentées figures III-15 et III-16.

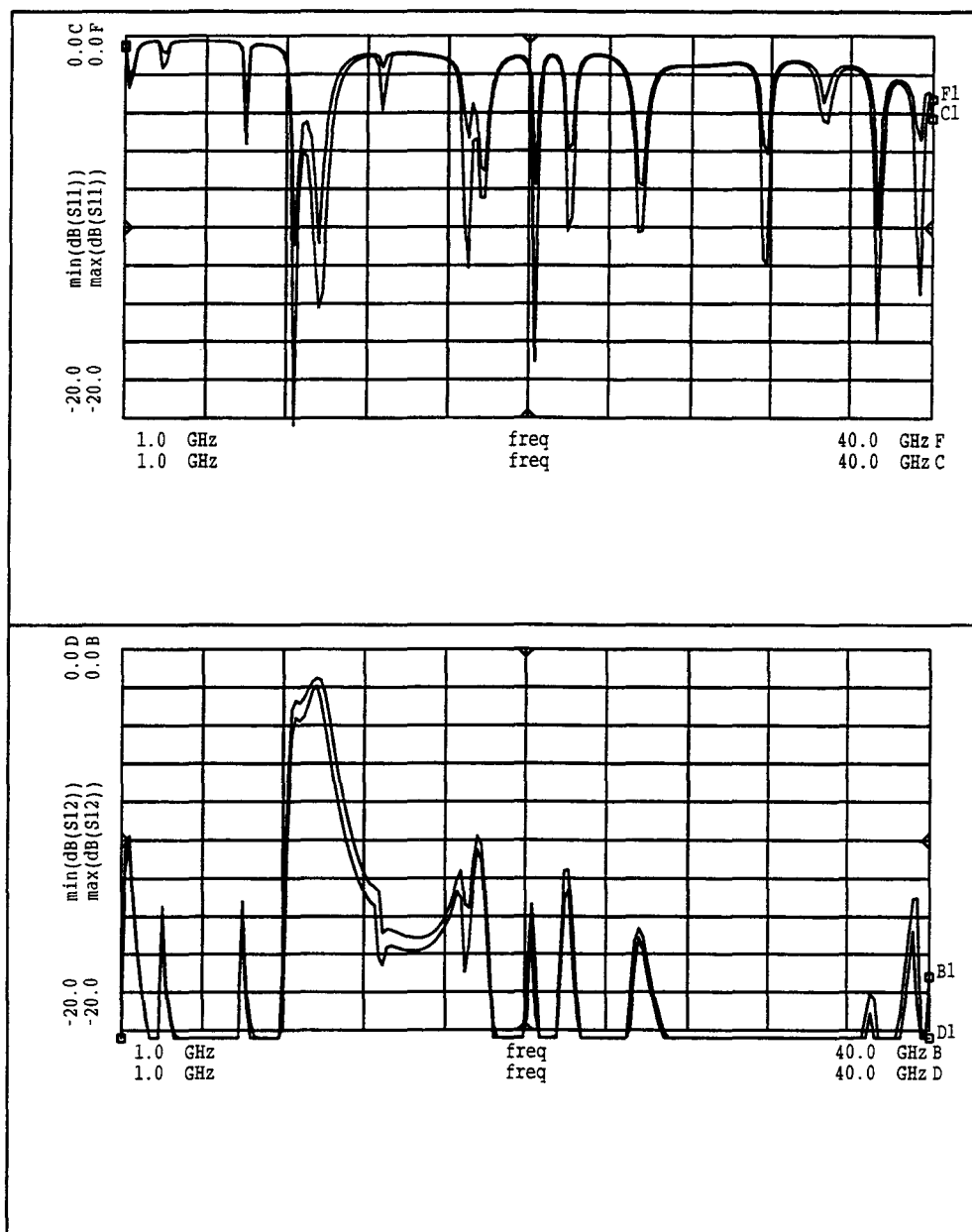


Figure III-15 : Sensibilité des paramètres S_{21} et S_{11} du circuit d'entrée du tripleur 10-30 GHz pour une précision de gravure de $\pm 10 \mu\text{m}$.

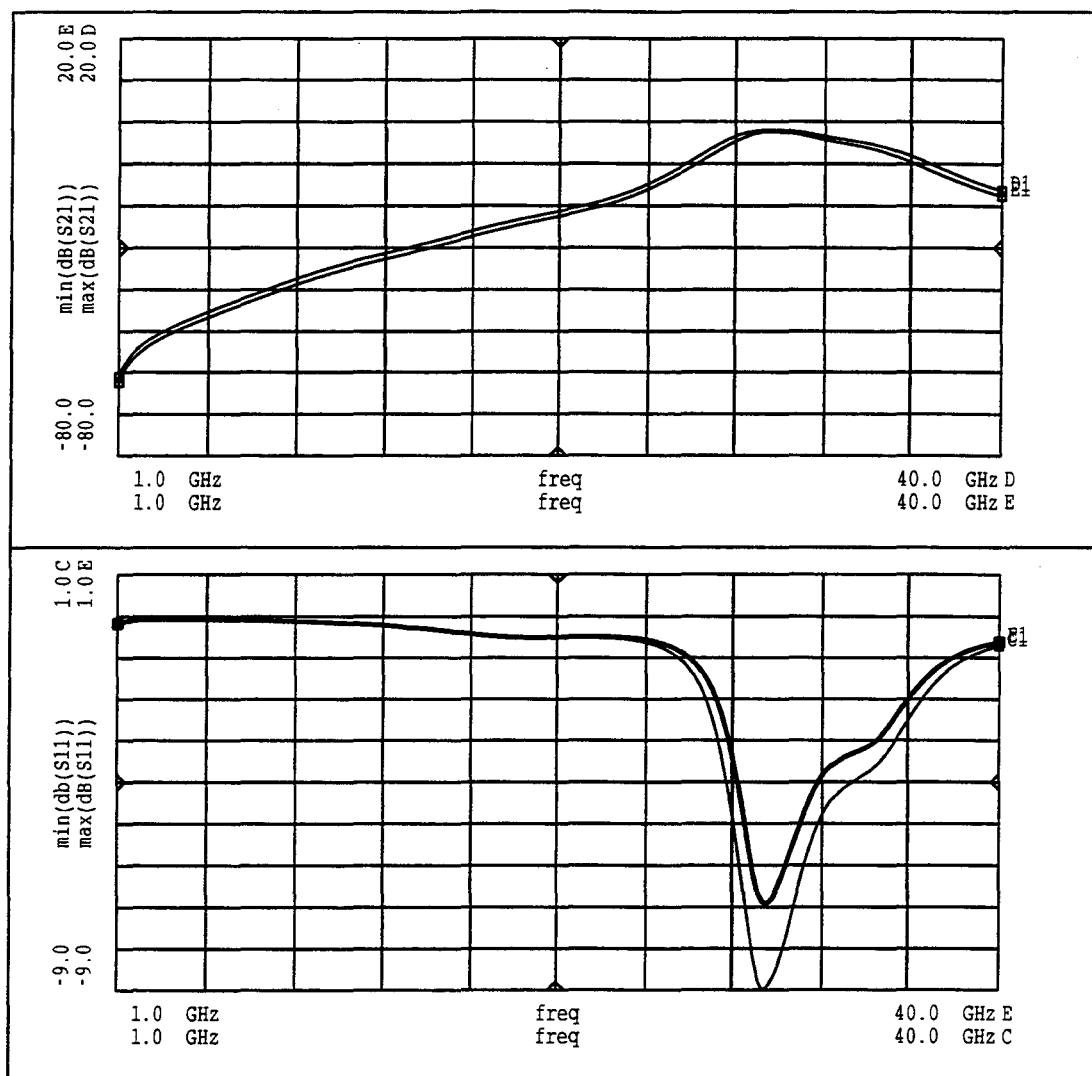


Figure III-16 : Sensibilité des paramètres S_{21} et S_{11} du circuit de sortie du tripleur 10-30 GHz pour une précision de gravure de +/- 10 μm .

Le coefficient de transmission de l'entrée à f_0 et de la sortie à $3f_0$ varient, respectivement, de 1,5 et 1,0 dB. Le décalage induit en fréquence est très faible.

Ces écarts devraient donc, tout au plus, diminuer d'autant les performances, en termes de gain et de rendement, du circuit tripleur.

La sensibilité du circuit complet a également été étudiée en fonction de la variation des valeurs des selfs de grille et de drain.

Le tableau Ta.III-2 présente les valeurs de gain et de rendement obtenues lorsque ces inductances présentent des variations Gaussiennes de 10 et 20 pH autour de leurs valeurs nominales.

$L_G =$	280	280+/-10	280	280+/-10	280+/-20	280	280+/-20
$L_D =$	290	290	290+/-10	290+/-10	290	290+/-20	290+/-20
[pH]							
Gain min[dB]	4,7	2,9	3,8	3,5	1,7	3,6	2,1
Gain Max[dB]	4,7	4,8	4,9	5,4	5	6	6,4
η min[%]	3,5	2,9	3,5	3,2	2,6	3,4	2,7
η Max [%]	3,5	3,5	3,5	3,5	3,5	3,5	3,9

Ta.III-2 : performances du circuit tripleur 10-30 GHz en fonction des variations des valeurs des selfs de grille et de drain.

Des variations de gain de 1,9 dB et 4,3 dB sont obtenues pour des valeurs de selfs fluctuant de +/-10 et +/-20 pH.

Les variations des valeurs des inductances de grille et de drain peuvent donc avoir des répercussions très importantes sur les performances finales du montage.

III-C Réalisation et test des circuits

Les circuits sont réalisés sur un substrat d'alumine ($\epsilon_r = 9,2$; $tg(\delta) = 0,01$), de 0,01 pouce (254 μm) d'épaisseur, ayant une métallisation de 5 μm sur ses deux faces. Cette métallisation est constituée d'une couche d'accrochage en Nickel-Chrome sur laquelle est déposée une couche d'or. La conductivité de cette couche métallique est de $\sigma = 4,7 * 10^7$ S/m.

Le masque (figure III-17), destiné à la réalisation des circuits, est généré par le logiciel M.D.S. et transféré sur film par "photo traçage". Il comporte, en plus des versions définitives "T10-30E02" et "T10-30S02", des versions sans polarisation de façon à effectuer des tests et des comparaisons.

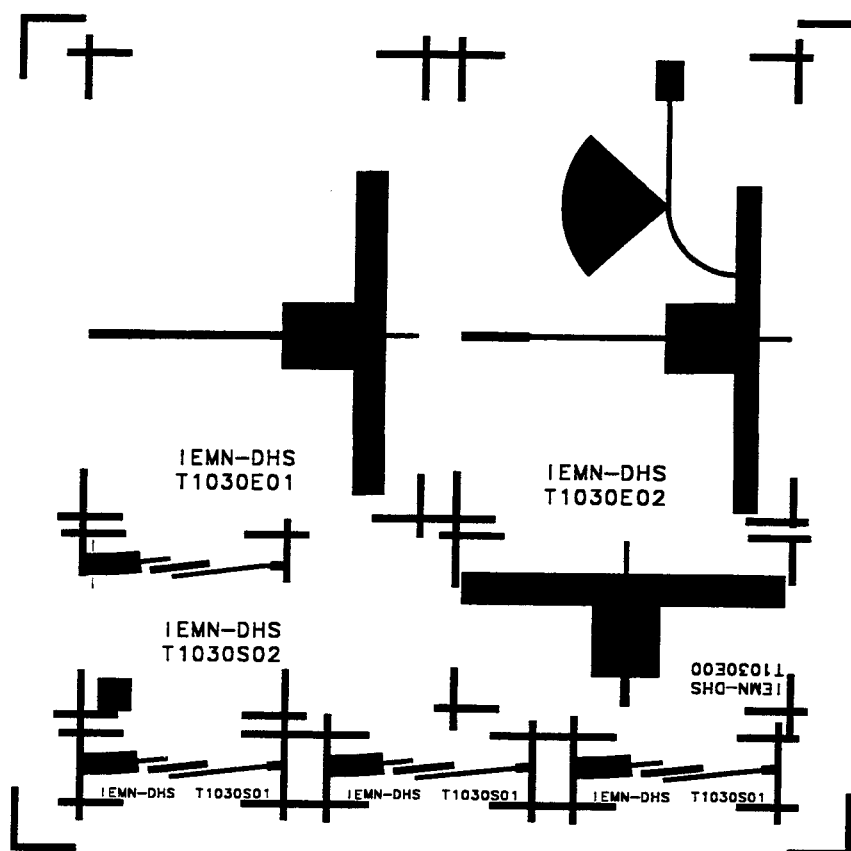


Figure III-17 : Représentation du masque utilisé pour la fabrication des circuits d'entrée, de sortie et de test.

Les principales étapes de réalisation des circuits sont les suivantes :

- dépôt d'une couche de résine photosensible sur le substrat
- insolation aux U.V. à travers le masque
- révélation
- gravure (or, puis Nickel-Chrome).

Une fois les alumines obtenues et découpées aux dimensions, elles sont collées sur des inserts métalliques à l'aide d'une colle conductrice. Ces blocs viennent s'insérer dans une cellule de mesures comme l'illustre la figure III-18.

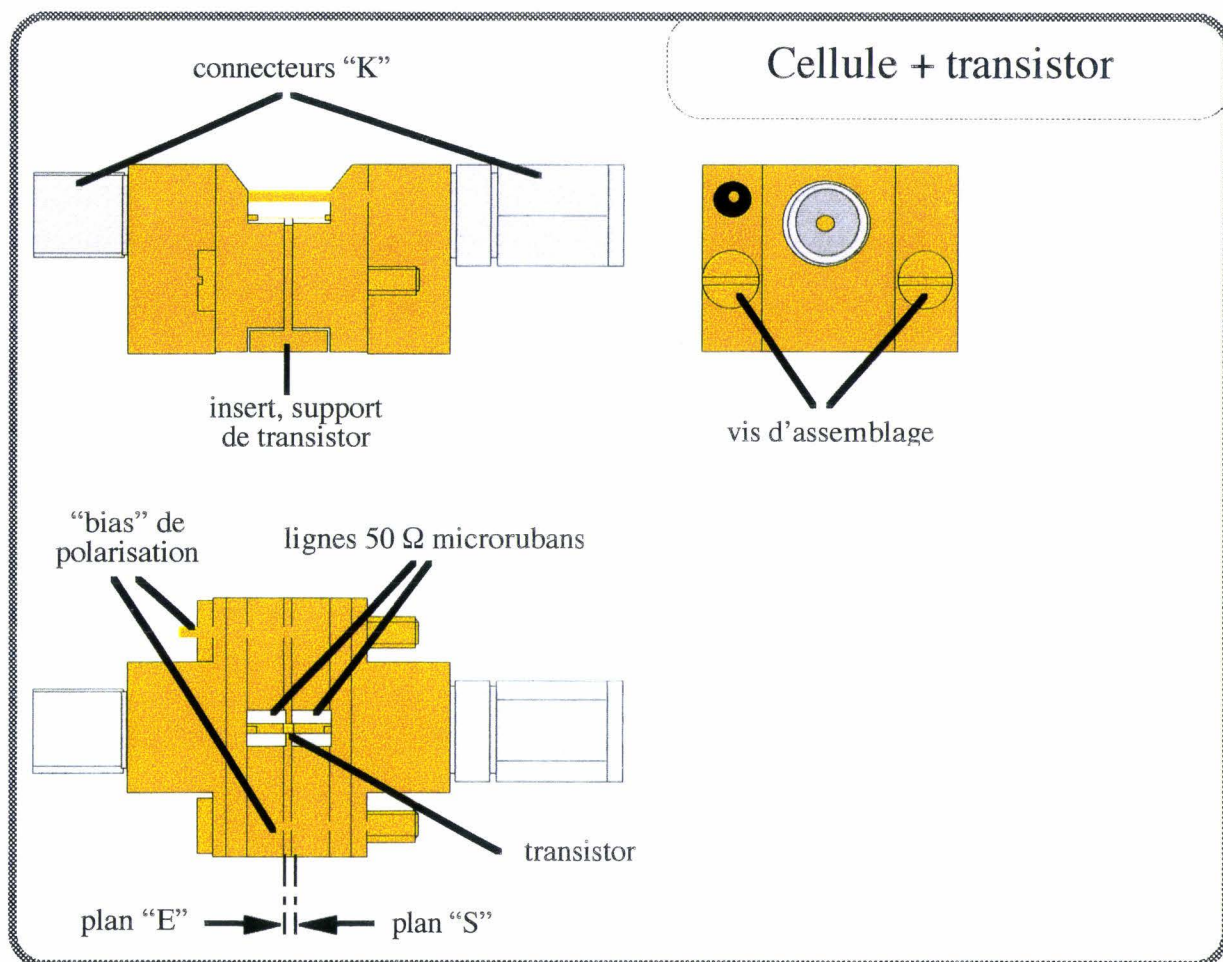


Figure III-18-a : Cellule de mesures seule et insert supportant un transistor.

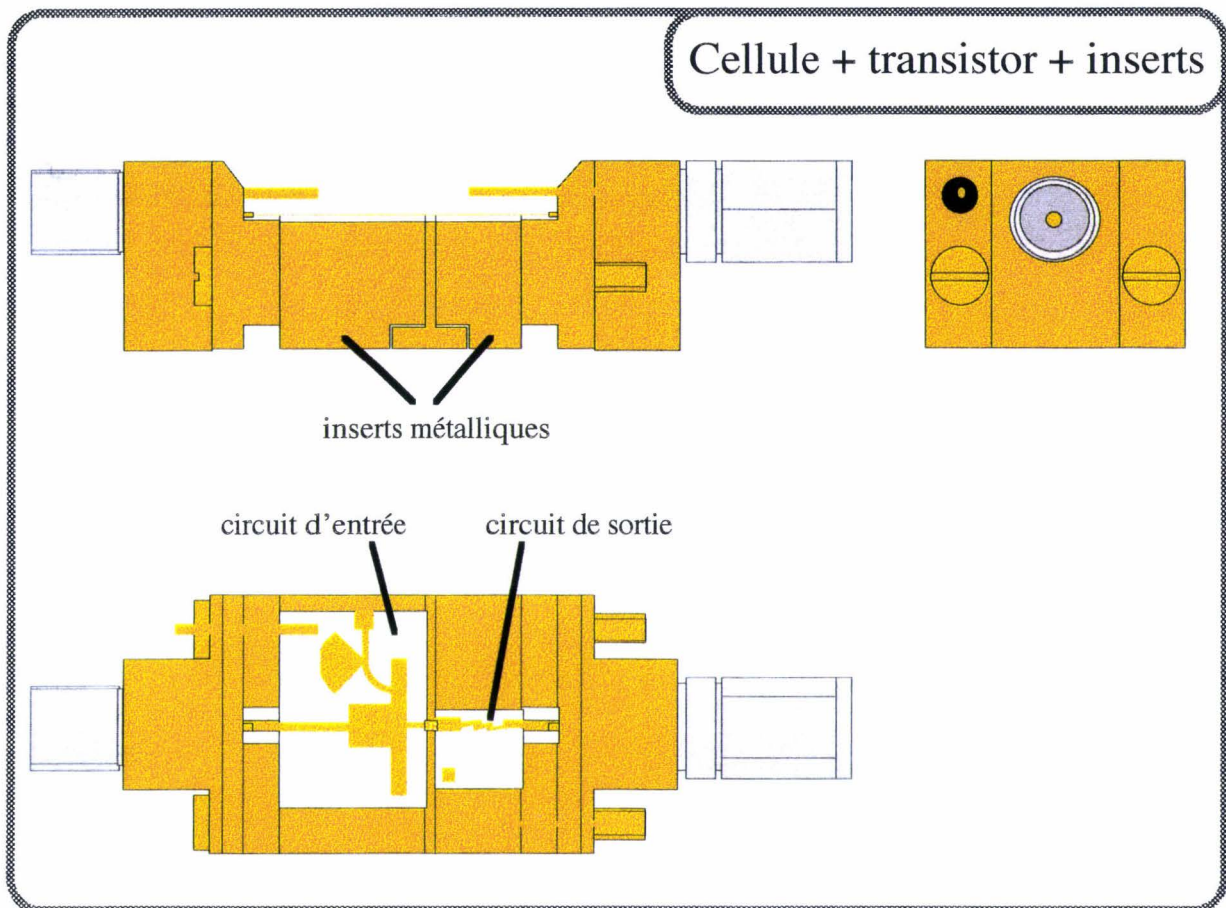


Figure III-18-b : Placement des inserts dans la cellule de mesures.

Ce type de cellule, mis au point par Gilles Dambrine¹⁸, nous permet, jusqu'à 40 GHz :

- de réaliser des mesures précises de paramètres S_{ij} dans les plans "E" et "S".
- de faire fonctionner en puissance n'importe quel dispositif connecté entre "E" et "S".

Dans un premier temps, nous allons mesurer uniquement, un par un, les circuits passifs. Pour ce faire, nous utiliserons les configurations représentées figures III-19 et III-20.

Les mesures des paramètres S_{ij} sont effectués à l'aide d'un analyseur de réseau HP85107 pour des fréquences comprises entre 1 et 40 GHz.

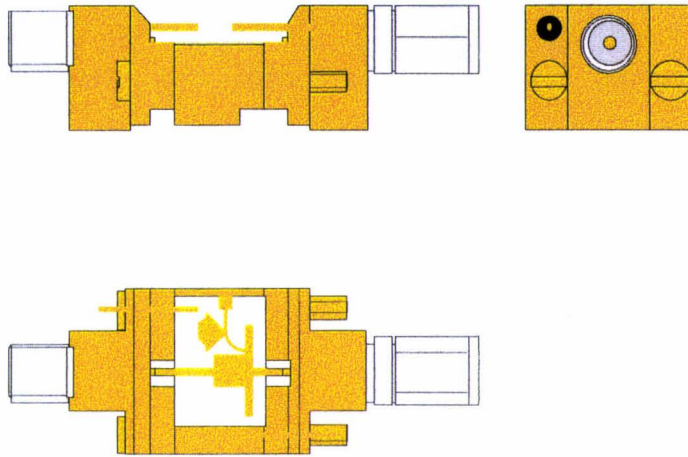


Figure III-19 : Configuration de mesure du circuit d'entrée seul.

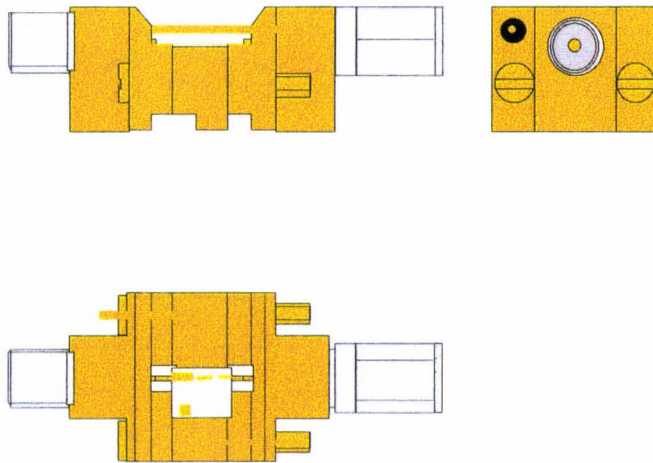


Figure III-20 : Configuration de mesure du circuit de sortie seul.

III-C-1 Test du circuit d'entrée

Les mesures brutes, réalisées en fermant sur 50Ω les deux côtés du circuit, ne permettent pas une analyse et une comparaison aisées avec les simulations faites dans les mêmes conditions d'impédances (figure III-21).

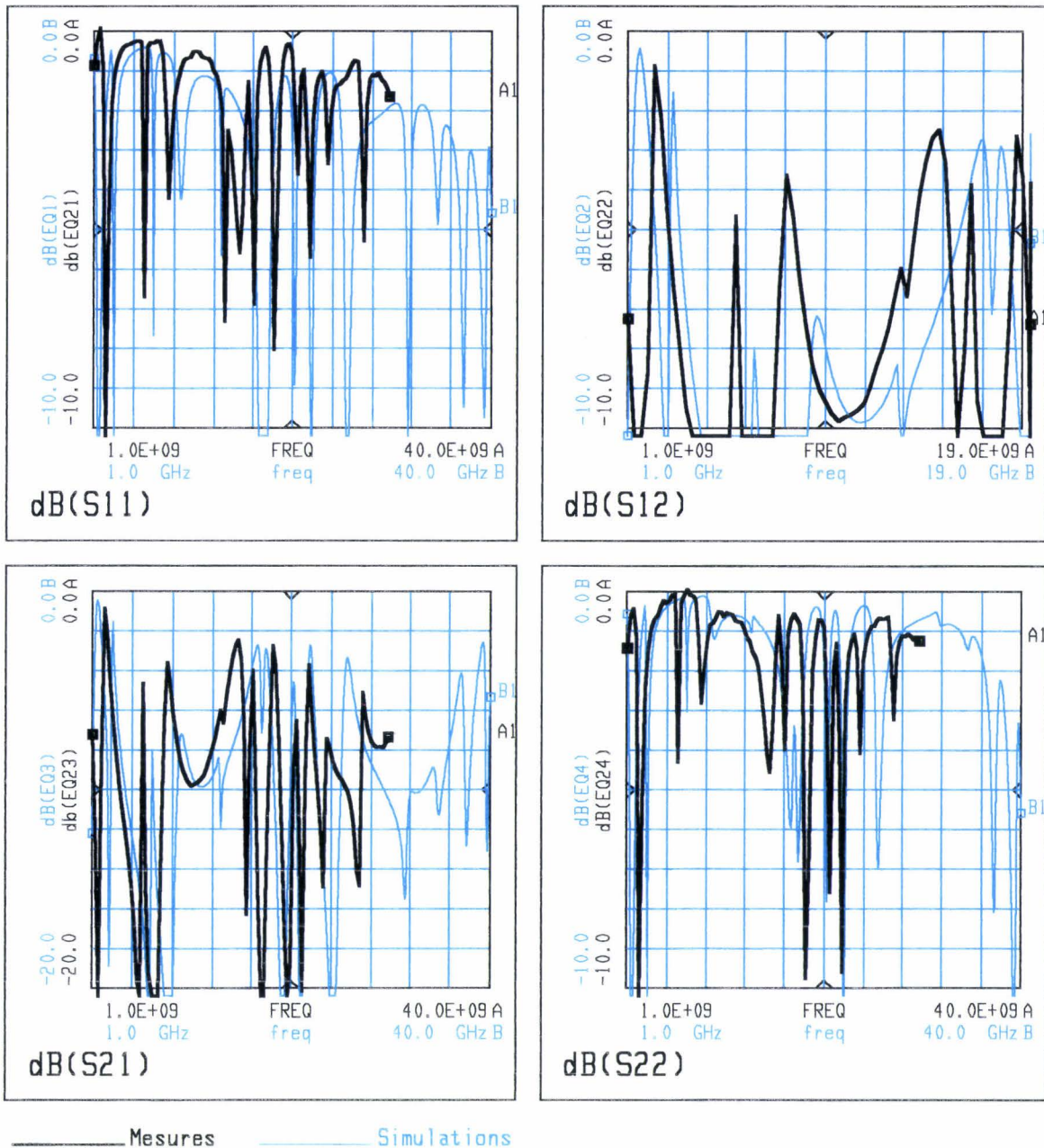


Figure III-21 : Paramètres S_{ij} mesurés du circuit d'entrée fermé sur 50Ω .

Nous avons donc transformé par logiciel ces mesures pour obtenir l'équivalent de relevés effectués en ayant une impédance de 50Ω en entrée du circuit et $(2-j52) \Omega$ en sortie. Ces nouveaux paramètres S_{ij} "mesurés" sont donc comparables à ceux obtenus lors des simulations (figure III-22).

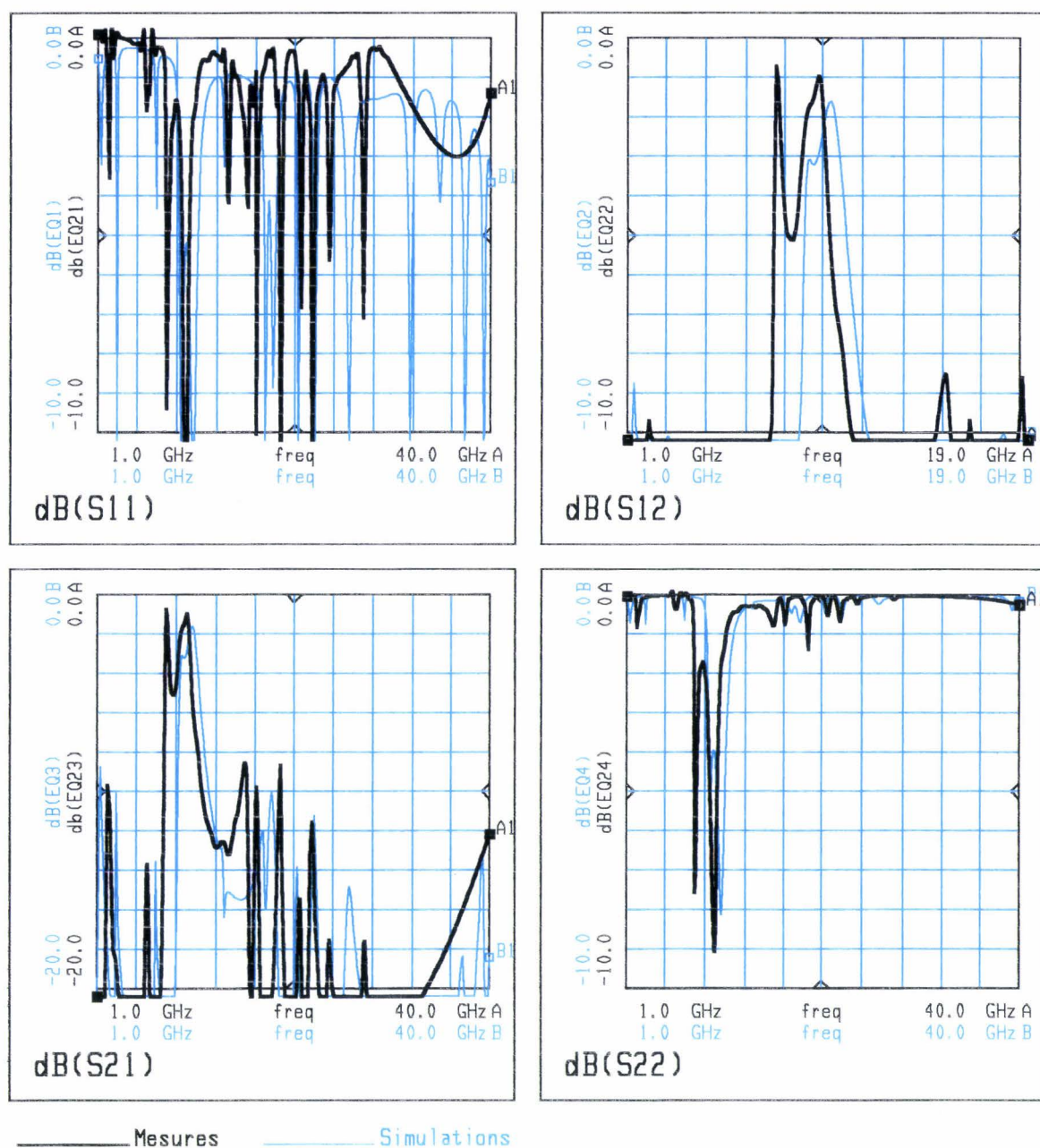


Figure III-22 : Paramètres S_{ij} mesurés et simulés du circuit d'entrée fermé sur 50 et $(2-j52) \Omega$.

On peut constater un léger décalage en fréquence, vers le bas, du circuit réalisé.

Pour la fréquence du fondamental, le milieu de la bande passante correspondante à une bonne adaptation du transistor se trouve à environ $0,2$ GHz en dessous des 10 GHz prévus.

Bien que la réponse du filtre ne soit pas centrée sur 10 GHz, la valeur du paramètre de transmission est quasiment identique à celle simulée pour cette fréquence.

III-C-2 Test du circuit de sortie

De la même façon que pour le circuit d'entrée, nous transformons les mesures effectuées sur 50Ω pour les présenter, figure III-23, dans la conditions de simulation : $(22+j11) \Omega$ en entrée du circuit et 50Ω en sortie.

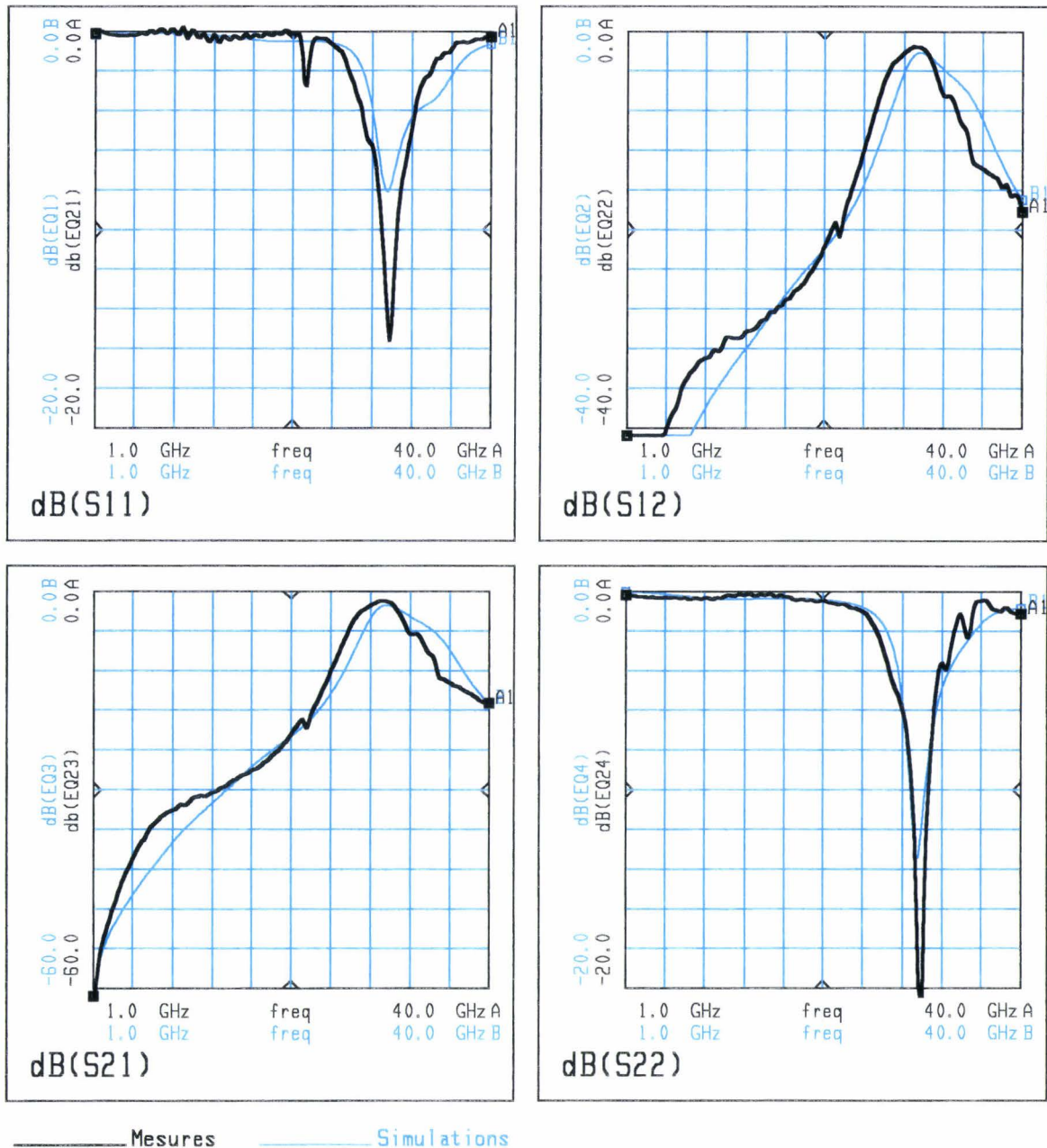


Figure III-23 : Paramètres S_{ij} mesurés et simulés du circuit de sortie fermé sur $(22+j11) \Omega$ et 50Ω .

Le circuit réalisé à un décalage en fréquence du centre de sa bande passante de -0,5 GHz.

La valeur du paramètre S21 à 30 GHz est conforme aux simulations (-1,7 dB) : le circuit doit donc pouvoir remplir correctement son rôle.

De manière à vérifier la faible influence du fil de polarisation, nous avons effectué une mesure du circuit de sortie sans ce fil. Nous présentons, figure III-24, les paramètres Sij, obtenus dans les mêmes conditions que pour la figure III-23. Ces mesures corroborent les simulations et valident notre choix pour ce principe de polarisation.

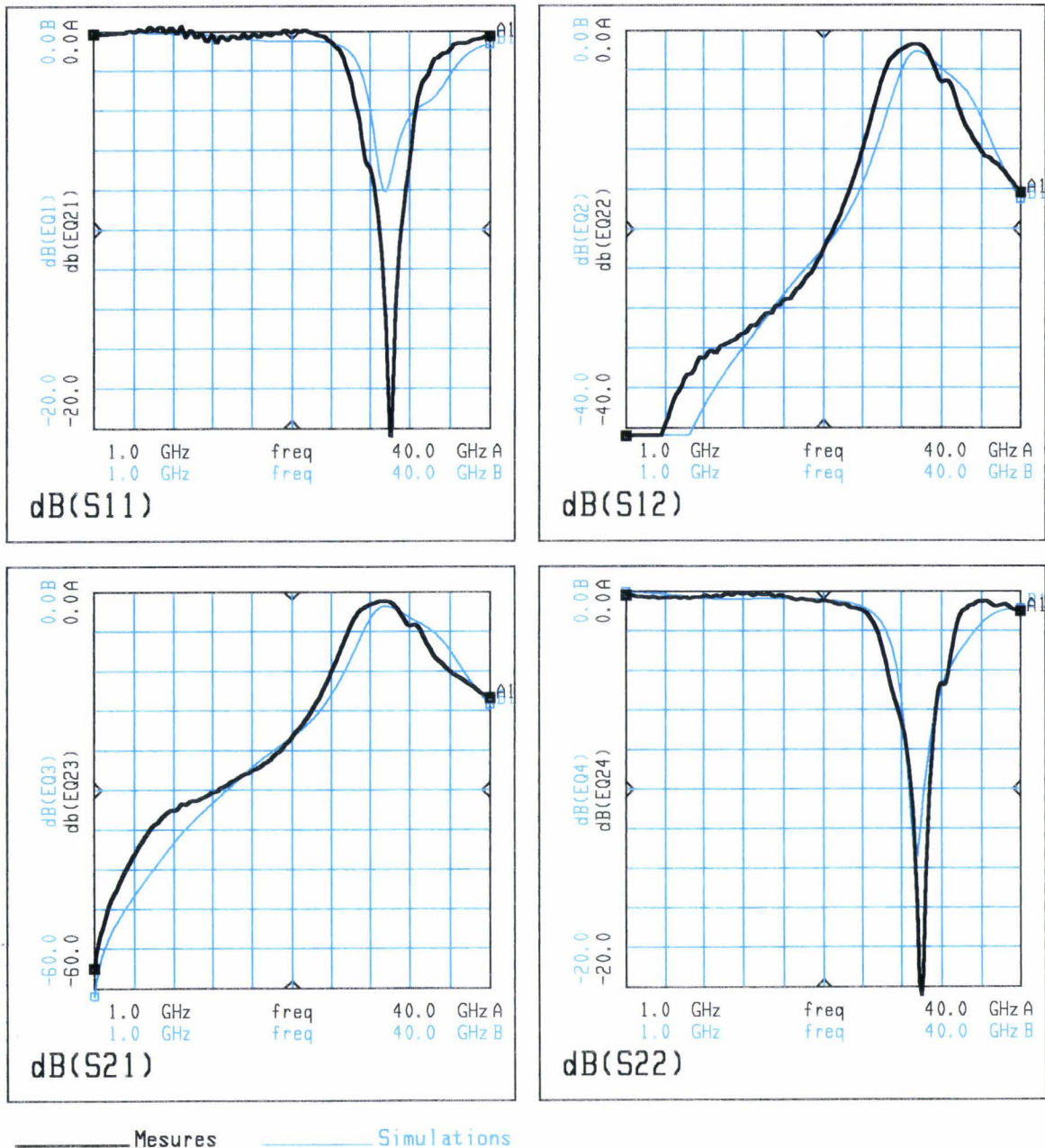


Figure III-24 : Paramètres Sij mesurés et simulés du circuit de sortie, sans fil de polarisation, fermé sur $(22+j11)$ et 50Ω .

III-C-3 Mesures dimensionnelles des circuits réalisés

Après que les circuits aient été fabriqués, nous avons mesuré les dimensions de leurs lignes microrubans à l'aide d'un microscope.

En adoptant la notation : $d = D^{+\frac{x}{-y}}$ μm

avec : d : dimension réelle

D : dimension théorique

(+x) : écart positif (en μm)

(-y) : écart négatif (en μm)

nous avons obtenu : $x_{\text{Max}}=1 \mu\text{m}$

$y_{\text{Max}}=7 \mu\text{m}$

Les circuits sont donc, essentiellement, sous-gravés. Cette sous-gravure est peut-être légèrement sous-estimée en raison de la constitution de la couche conductrice. En effet, la couche de Nickel-Chrome peut être davantage gravée que la couche d'or (figure III-25) sans que ça ne soit visible.

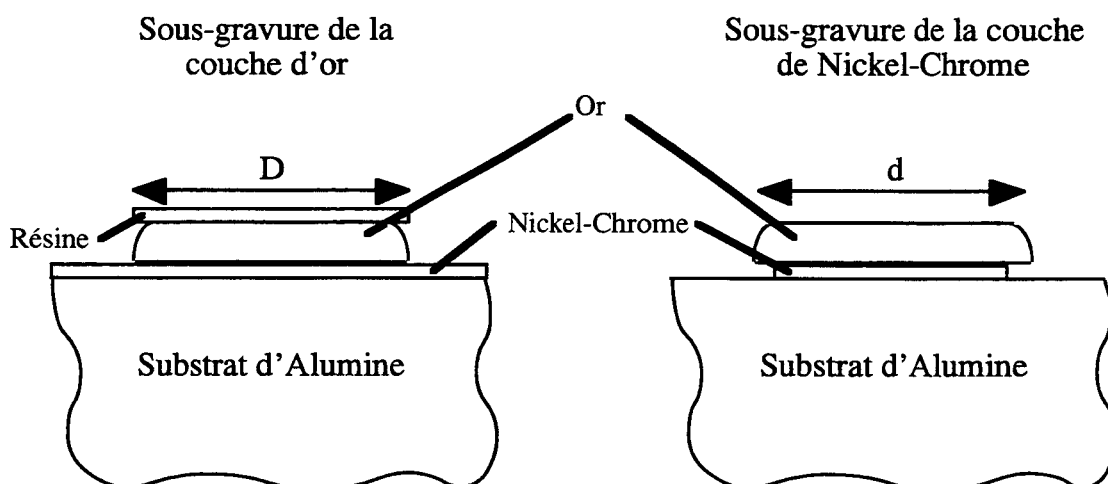


Figure III-25 : Phénomènes de sous-gravures des lignes des circuits passifs.

Quelque soit l'importance de ce phénomène, la valeur maximum de la sous-gravure totale restera inférieure à 8 ou 9 μm étant donné la faible épaisseur de la couche d'accrochage Nickel-Chrome.

Les simulations en sensibilité effectuées précédemment sont donc valables, bien que pessimistes, mais n'expliquent pas le léger décalage en fréquence. Celui-ci doit, certainement, être imputé aux imperfections des modèles de lignes utilisés dans le logiciel M.D.S.

III-D Mesure des tripleurs réalisés

II-D Introduction

Afin de tester la sensibilité du système "tripleur 10-30 GHz" aux différents éléments qui le compose, nous avons réalisé neuf versions distinctes du système en utilisant :

- deux cellules de mesures.
- deux jeux d'alumines (entrée plus sortie).
- six transistors TOUTATIS TA33420 en puce.

Le tableau Ta.III-3 regroupe les caractéristiques de fabrication de ces neuf versions.

Version	ordre chrono- logique	Nom de la cellule utilisée	Transistor TOUTATIS TA33420		Meilleur gain obtenu (VDS=2 V) [dB]
			Numéro de la puce	Tension de pincement (VDS=2 V) [Volt]	
VR1	1	CB2	N0	-0,4	4,0
VR2	5	CB2	N4	-0,6	2,6
VR3	6	CB2	N3	-0,6	2,8
VR4	9	D	N9	-0,55	-0,2
VN1	2	D	N1	-0,3	Non mesuré
VN2	3	D	N2	-0,4	4,7
VN3	4	D	N3	-0,6	5,4
VN4	7	D	N4	-0,6	8,5
VN5	8	CB2	N4	-0,6	5,8

Tableau Ta.III-3 : Constituants et caractéristiques des neuf versions réalisées du dispositif "tripleur 10-30 GHz".

La version VN1 n'a pas été mesurée car le transistor N1 pinçait trop rapidement (-0,3 Volt), ce qui ne permettait pas d'obtenir une puissance significative en sortie du dispositif.

Les mesures de ces circuits sont réalisées en utilisant le banc représenté figure III-26

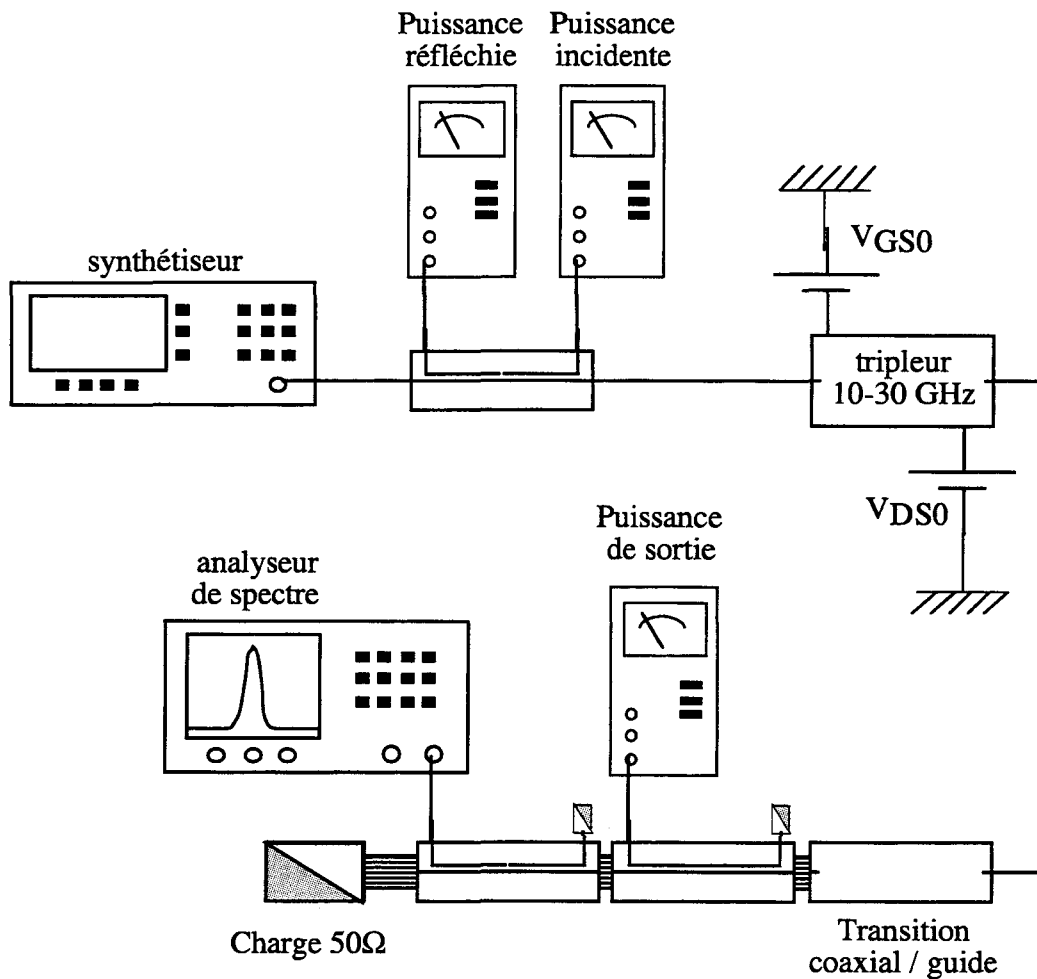


Figure III-26 : banc utilisé pour la mesure des tripleurs 10-30 GHz.

III-D-1 Mesures effectuées pour $V_{DS}=2$ V

Nous présentons, ci-après, les mesures de gain et de rendement effectuées pour chaque version de tripleur à une tension d'alimentation de 2 Volts.

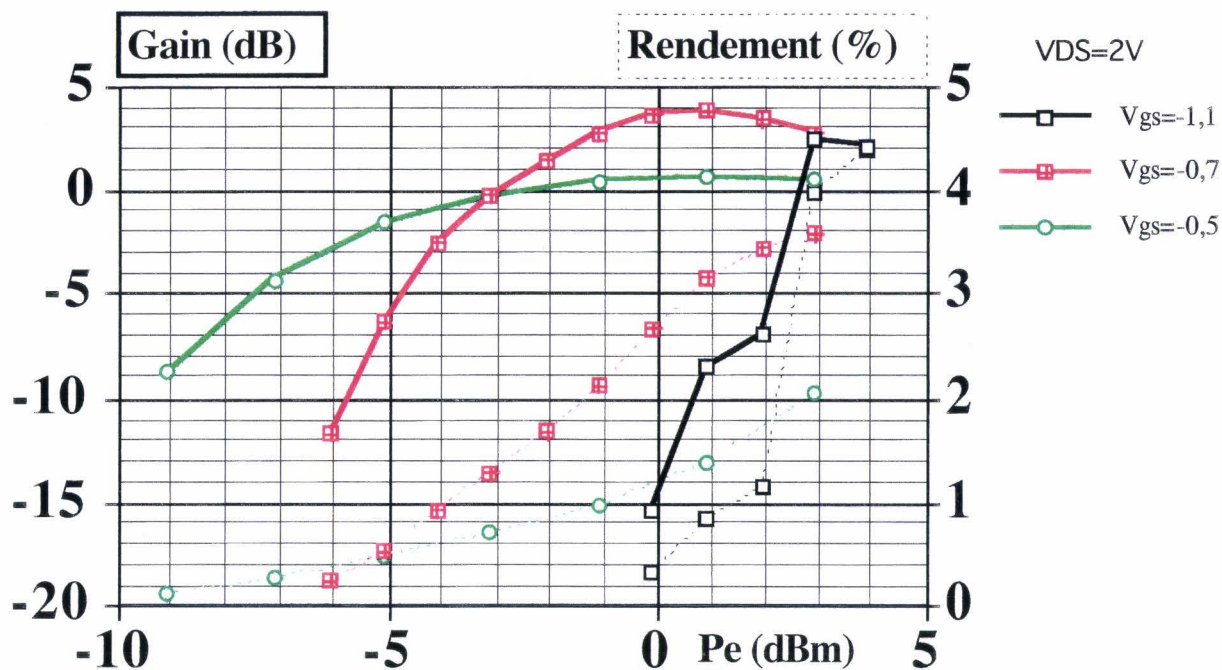


Figure III-27 : Mesures du gain et du rendement du tripleur version "VR1" pour VDS=2 Volts.

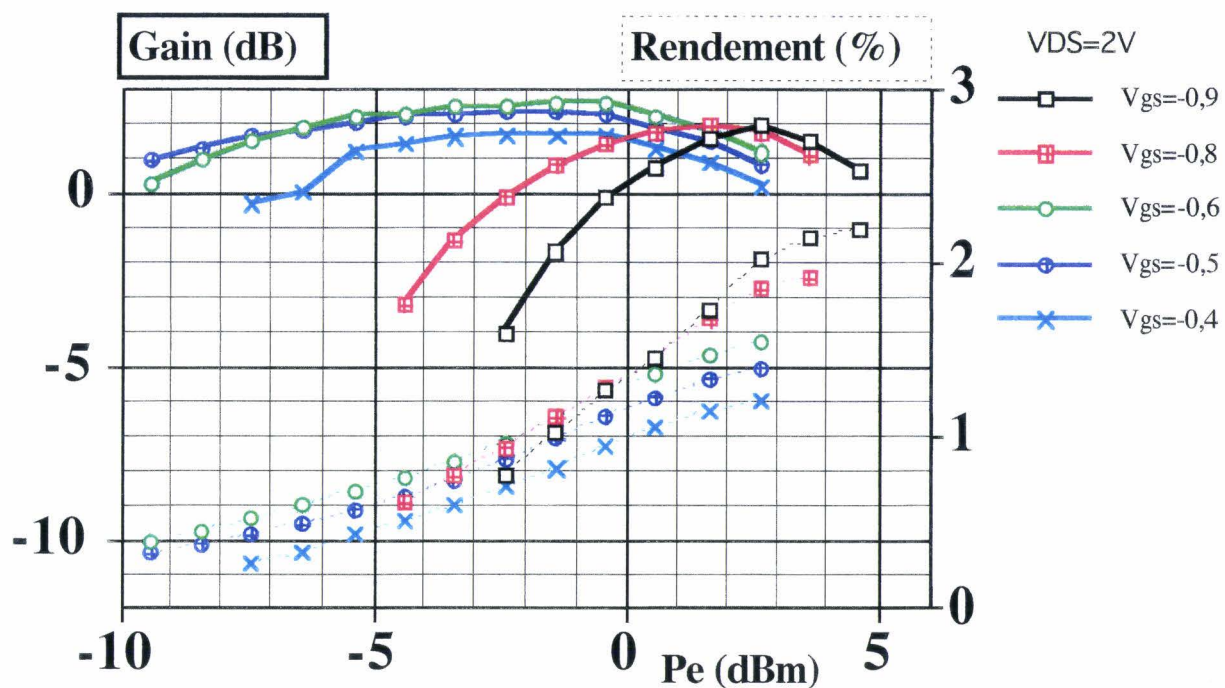


Figure III-28 : Mesures du gain et du rendement du tripleur version "VR2" pour VDS=2 Volts.

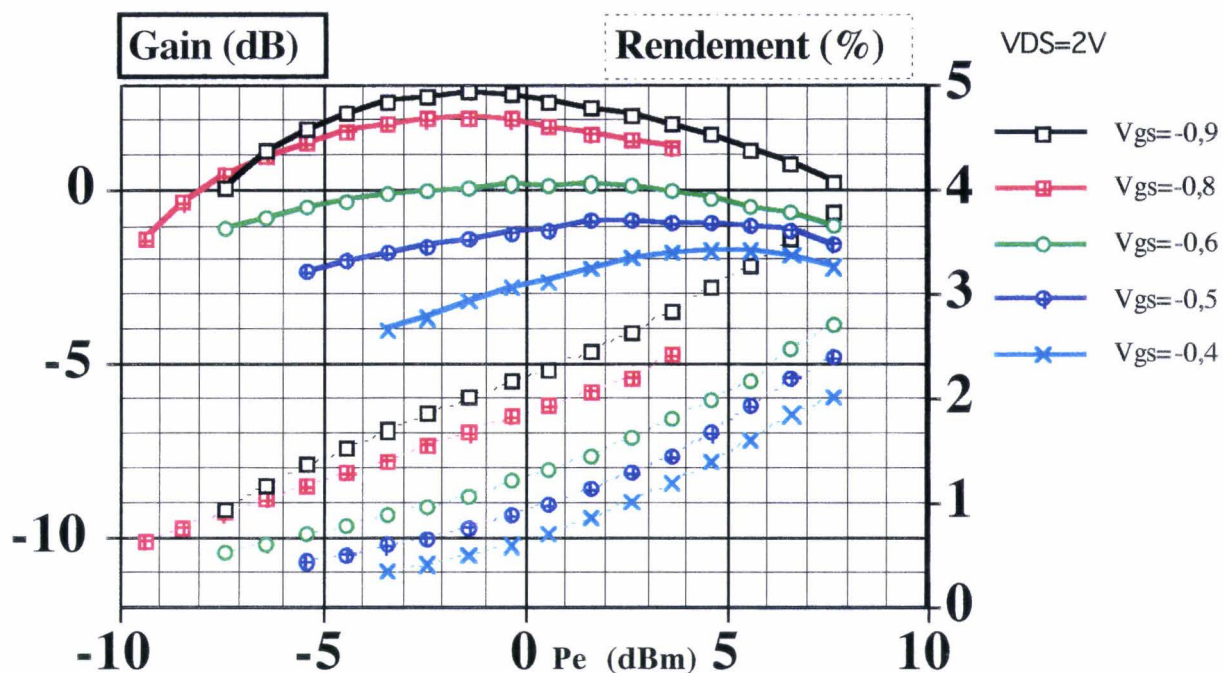


Figure III-29 : Mesures du gain et du rendement du tripleur version "VR3" pour VDS=2 Volts.

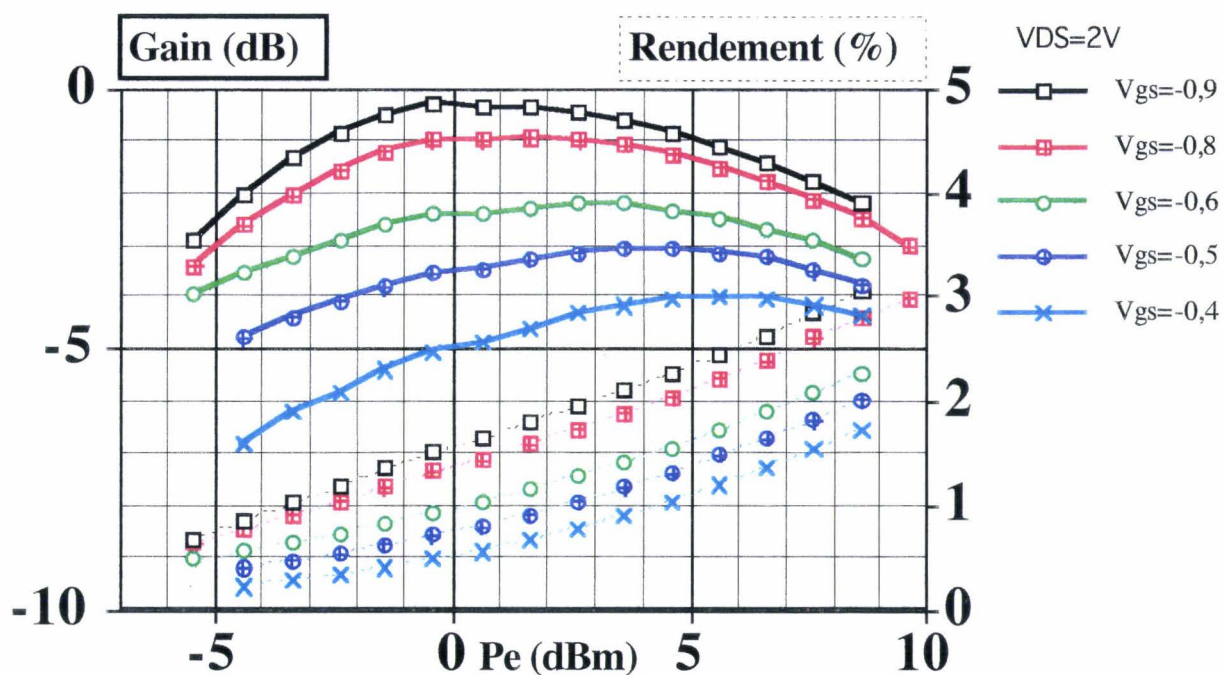


Figure III-30 : Mesures du gain et du rendement du tripleur version "VR4" pour VDS=2 Volts.

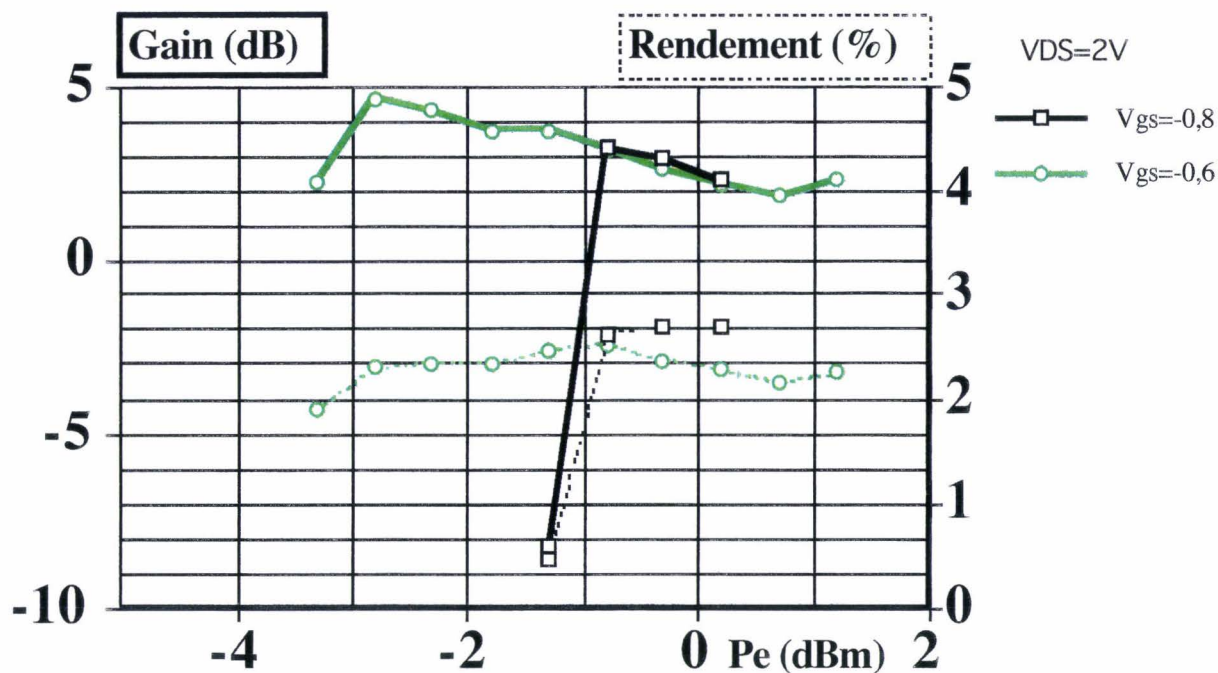


Figure III-31 : Mesures du gain et du rendement du tripleur version "VN2" pour VDS=2 Volts.

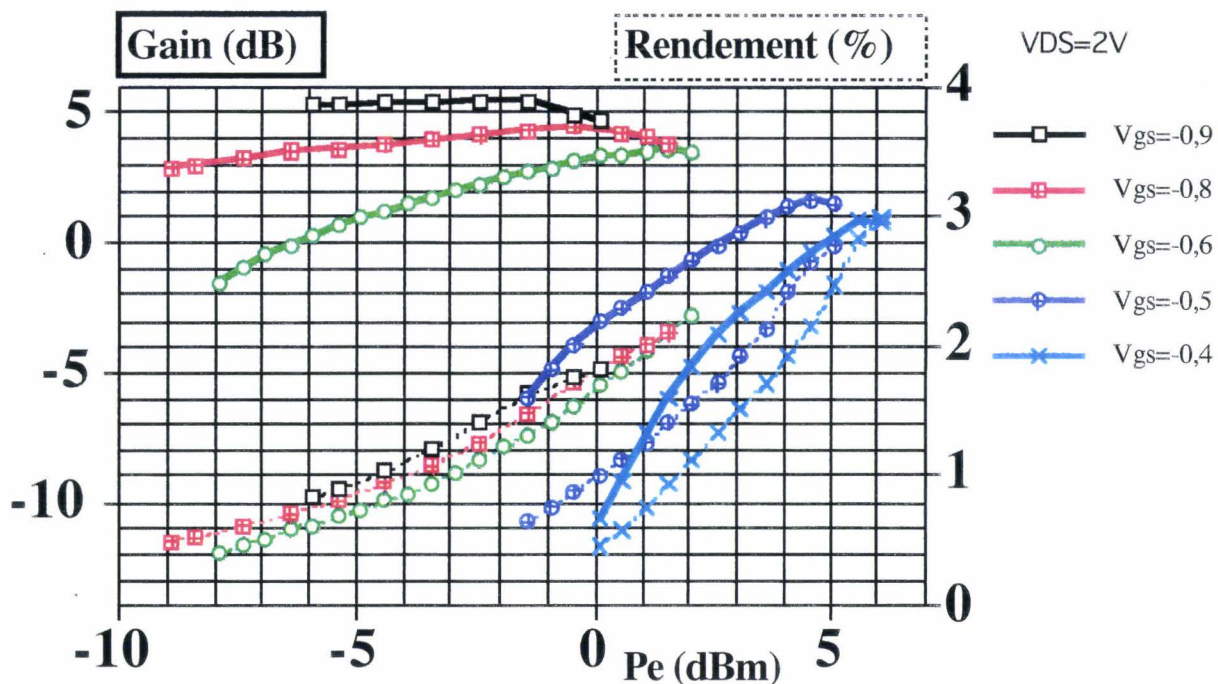


Figure III-32 : Mesures du gain et du rendement du tripleur version "VN3" pour VDS=2 Volts.

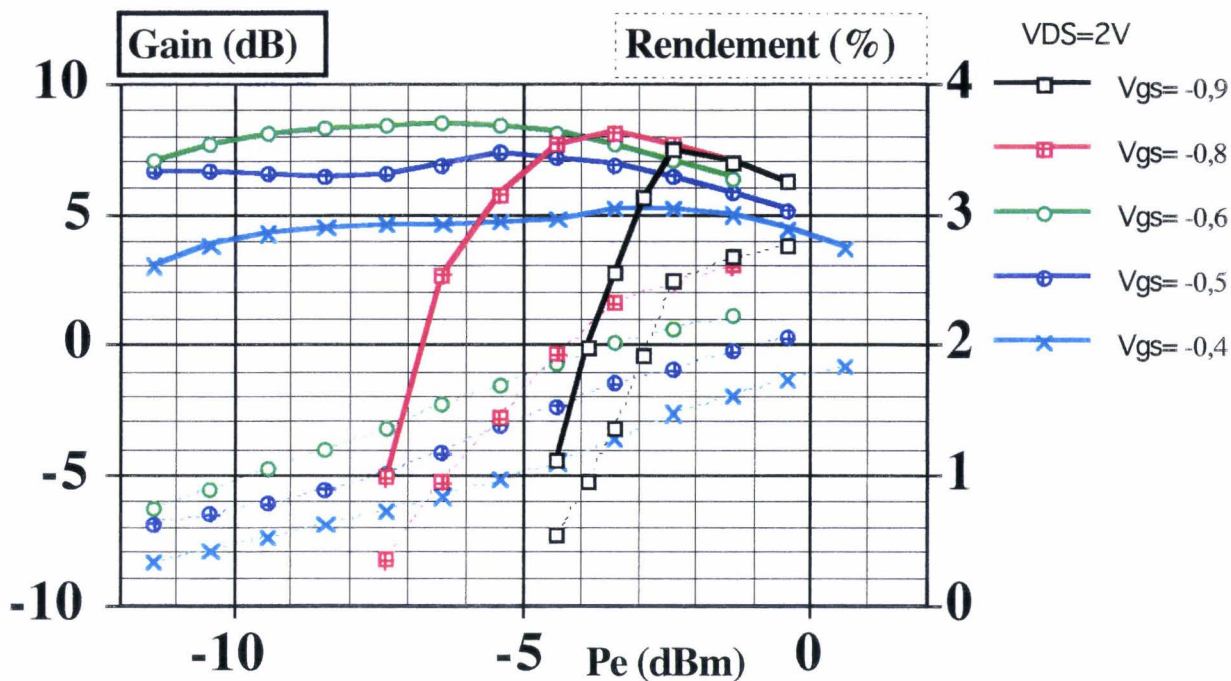


Figure III-33 : Mesures du gain et du rendement du tripleur version "VN4" pour VDS=2 Volts.

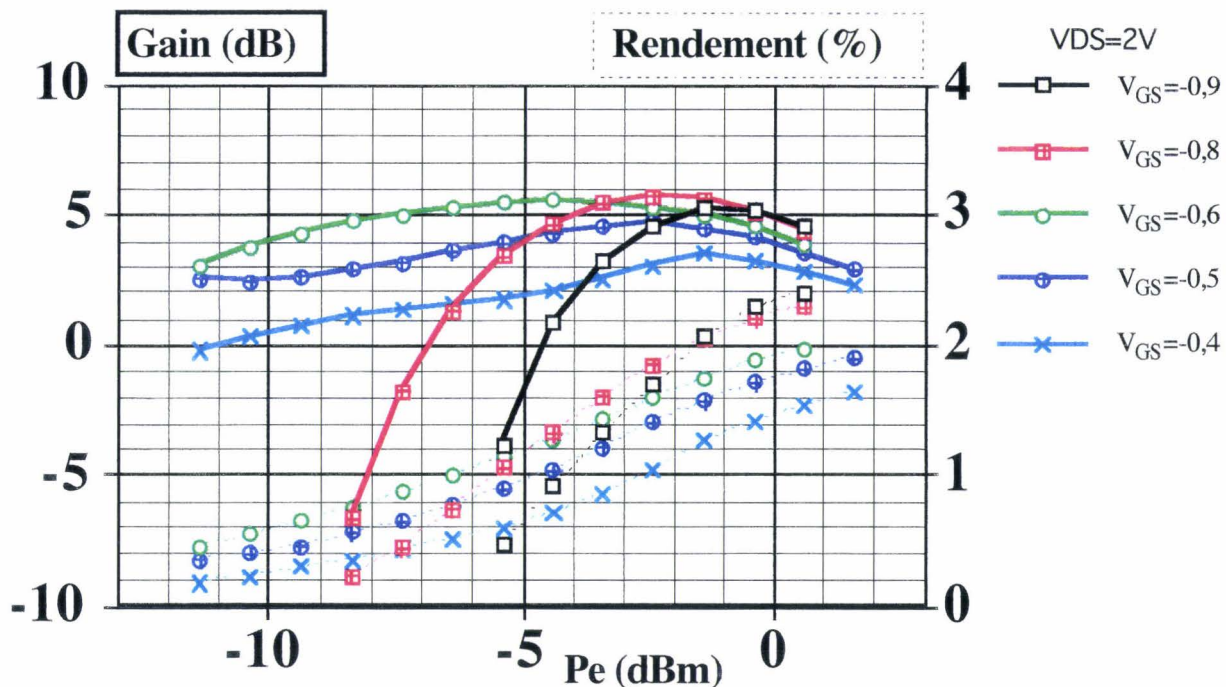


Figure III-34 : Mesures du gain et du rendement du tripleur version "VN5" pour VDS=2 Volts.

Nous pouvons constater d'importantes disparités dans les résultats obtenus : les gains maximums vont, en effet, de $-0,2$ à $+8,5$ dB.

La valeur moyenne des gains maximums obtenus pour les huit dispositifs tripleurs mesurés est de l'ordre de $4,8$ dB.

La qualité et la reproductibilité de l'assemblage des éléments du montage sont en bonne partie responsables de cette dispersion des performances. En effet, chaque réalisation nécessite quatre liaisons par fils d'or thermo-compressés (figure III-35) ; les deux se trouvant de part et d'autre du transistor étant particulièrement critiques (cf. étude de sensibilité en III-B-3).

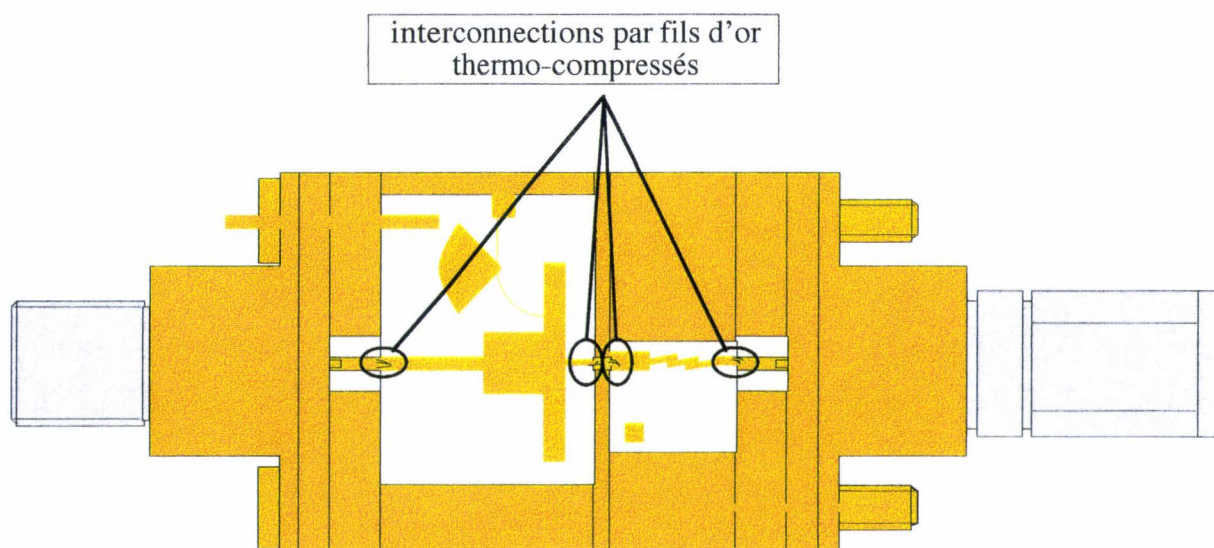


Figure III-35 : Localisation des jonctions devant être réalisées lors de l'assemblage d'un dispositif tripleur 10-30 GHz.

Ces opérations sont réalisées sur une machine semi-automatique avec les défauts qui lui sont inhérents, à savoir :

- la longueur et le positionnement des fils est difficilement contrôlable.
- le positionnement des différentes pièces mécaniques de la cellule n'est jamais exactement le même
- la qualité des métallisations (de la puce et des circuits passifs) se dégrade au fur et à mesure des montages et des démontages.

Pour illustrer ceci, nous pouvons comparer les versions VN4 et VN5 qui ne diffèrent que par la cellule employée : le gain de VN4 est de 3 dB supérieur à celui de VN5 (les cellules peuvent être considérées comme identiques).

Que ce soit par la position des maxima sur les courbes de gain en fonction de la puissance d'entrée ou bien par le relevé des puissances réfléchies, nous constatons que la puissance absorbée par VN5 est de 1 dB inférieure à celle absorbée par VN4 pour une puissance d'entrée donnée. Cette désadaptation de l'entrée justifie un des trois dB d'écart.

Les deux autres dB doivent eux, provenir de la différence de qualité d'interconnexion en sortie, et non du fonctionnement du transistor, car le courant I_{DS} moyen consommé dans les deux versions est identique pour une puissance absorbée et une polarisation données.

Une autre cause importante de disparités se situe au niveau de la valeur de la tension de pincement des différentes puces utilisées.

La comparaison entre les versions VR1 et VN5 montre que, pour la caractéristique à $V_{gs}=V_p-0,3$ V, on atteint un gain de 3 dB pour une puissance d'entrée de -1 dBm dans le premier cas et de -5,5 dBm dans le deuxième cas. Ceci peut s'expliquer aisément par le fait que la tension V_{gs} doit atteindre des valeurs plus importantes pour N0 que pour N4 afin d'atteindre le même courant étant donné que la tension de pincement de N0 ($V_p=-0,4$ V) est plus élevée que celle de N4 ($V_p=-0,60$ V).

La réalisation de dispositifs identiques nécessite donc un tri préalable en tension de pincement des puces et une attention toute particulière lors de l'interconnexion des constituants.

Afin d'explorer les potentialités du circuit tripleur, nous avons ensuite effectué une série de mesures en modifiant sa tension d'alimentation VDS.

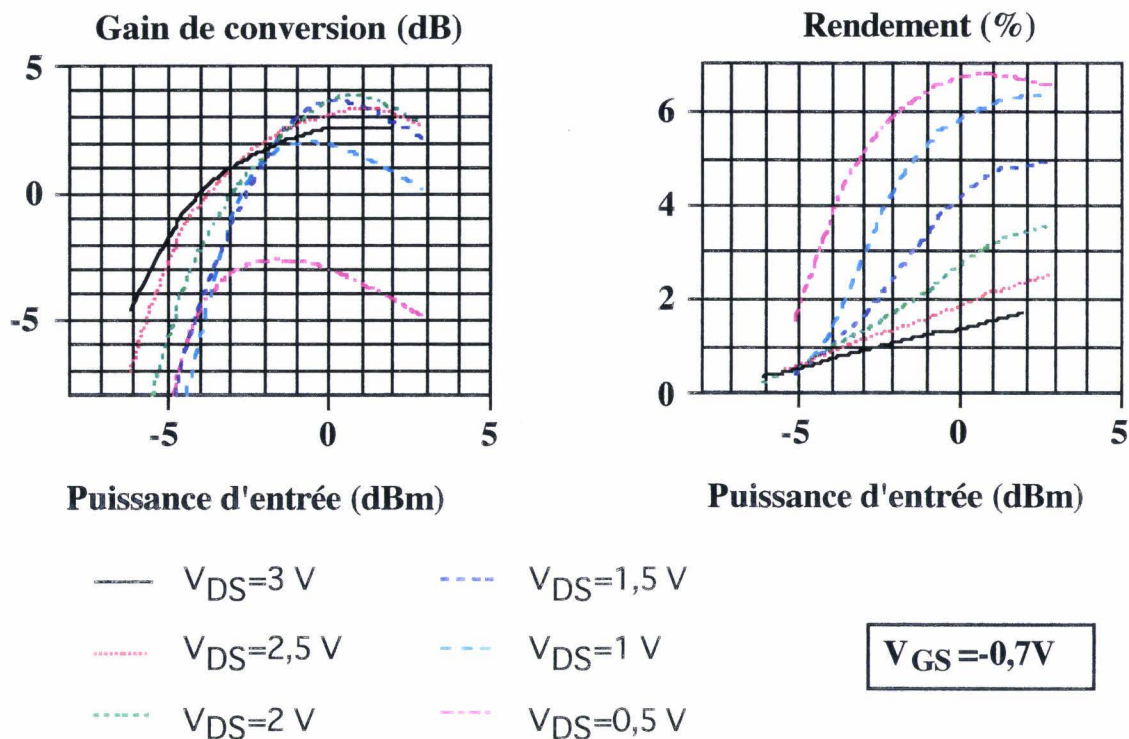


Figure III-37 : Mesures du gain et du rendement du tripleur version "VR1" pour $V_{GS}=-0,7$ Volt et différentes valeurs de V_{DS} .

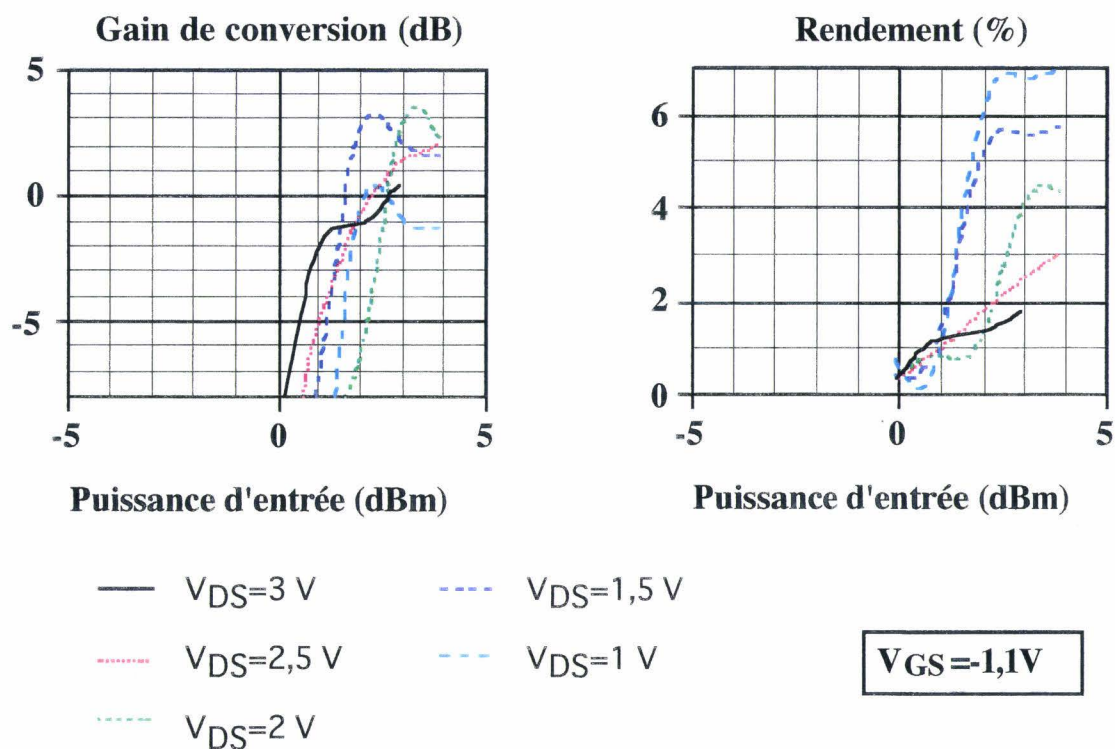


Figure III-38 : Mesures du gain et du rendement du tripleur version "VR1" pour $V_{GS}=-1,1$ Volt et différentes valeurs de V_{DS} .

III-D-2 Mesures de la version "VR1" effectuées pour différents VDS

Pour la version VR1, des mesures de gain et de rendement ont été effectuées pour une tension VDS prenant les valeurs (0,5), (1,0), (1,5), (2,0), (2,5) et (3,0), et pour des tensions VGS de (-0,5), (-0,7) et (-1,1).

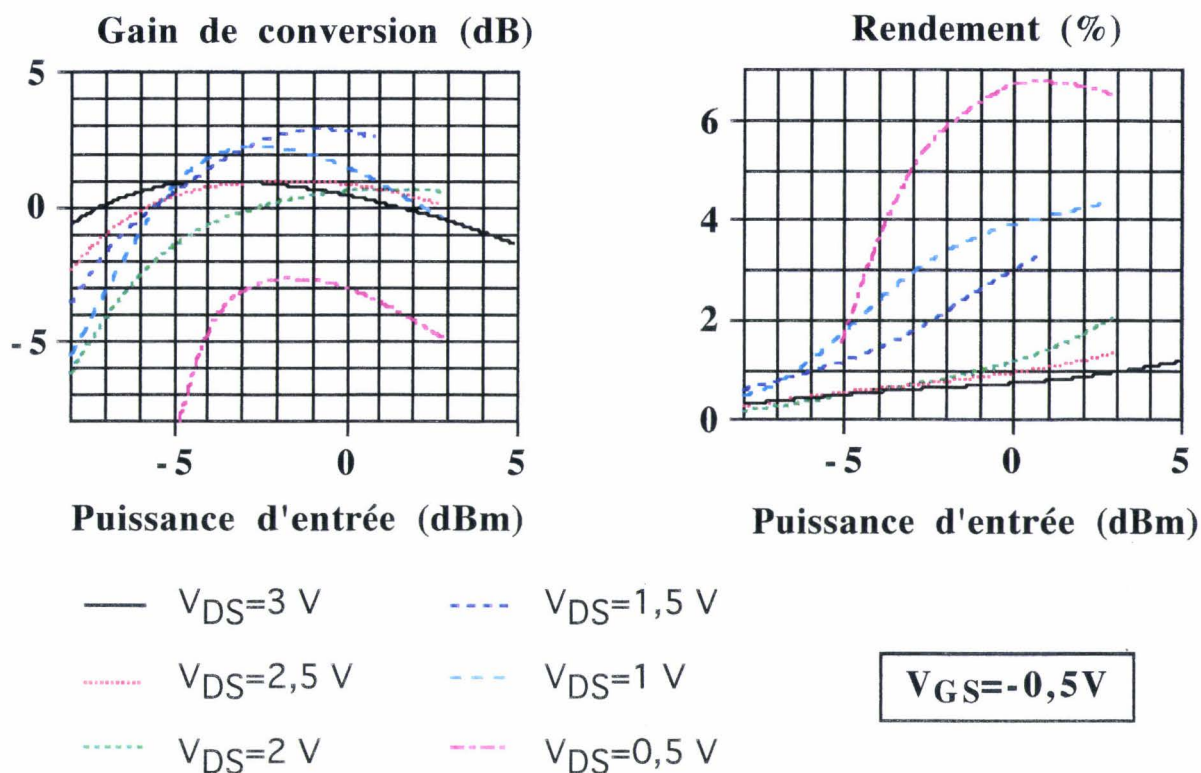


Figure III-36 : Mesures du gain et du rendement du tripleur version "VR1" pour $V_{GS}=-0.5$ Volt et différentes valeurs de VDS.

De ces mesures, il apparait, premièrement, que la valeur maximale du gain est, pour tous les cas envisagés, comprise entre +3 et +4 dB. Il ressort, deuxièmement, qu'il existe une valeur optimale de la tension de polarisation V_{DS0} pour laquelle le gain est maximum. Cette tension optimale est comprise entre 1,5 et 2 Volts pour les trois tensions de polarisation V_{GS0} envisagées. Cet effet de V_{DS0} n'avait pas été prévu lors de notre étude théorique, celle-ci ayant été limitée à une valeur unique de V_{DS0} de 3 Volts.

Il semble que l'on est en présence d'un effet lié au coude de la caractéristique $I_{DS}(V_{GS}, V_{DS})$.

Pour mieux comprendre ce phénomène, nous avons effectué des simulations complémentaires nous permettant d'observer finement cycles de charge et formes correspondantes du courant délivré par le générateur commandé du modèle du transistor (figure III-39-a, b, c).

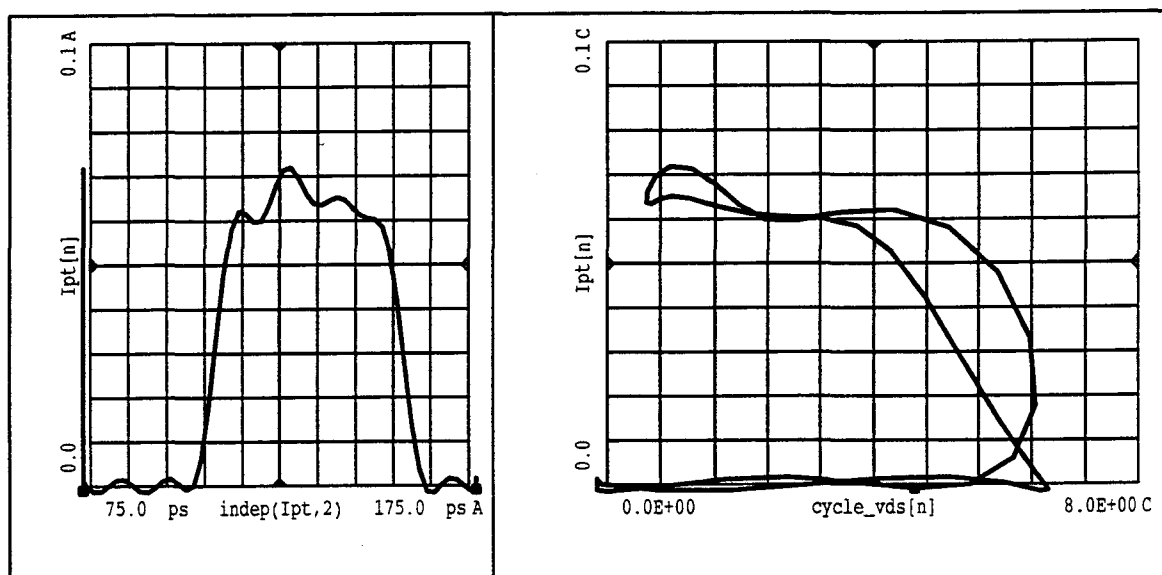


Figure III-39-a : Cycle de charge et forme du courant du générateur commandé pour $V_{DS0}=3V$.

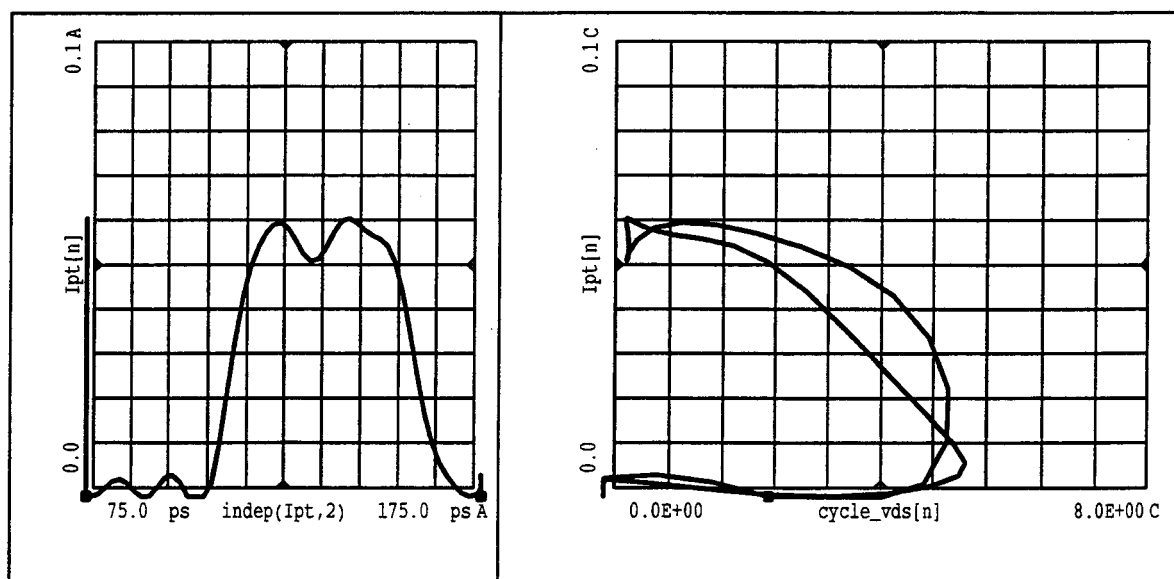


Figure III-39-b : Cycle de charge et forme du courant du générateur commandé pour $V_{DS0}=2V$.

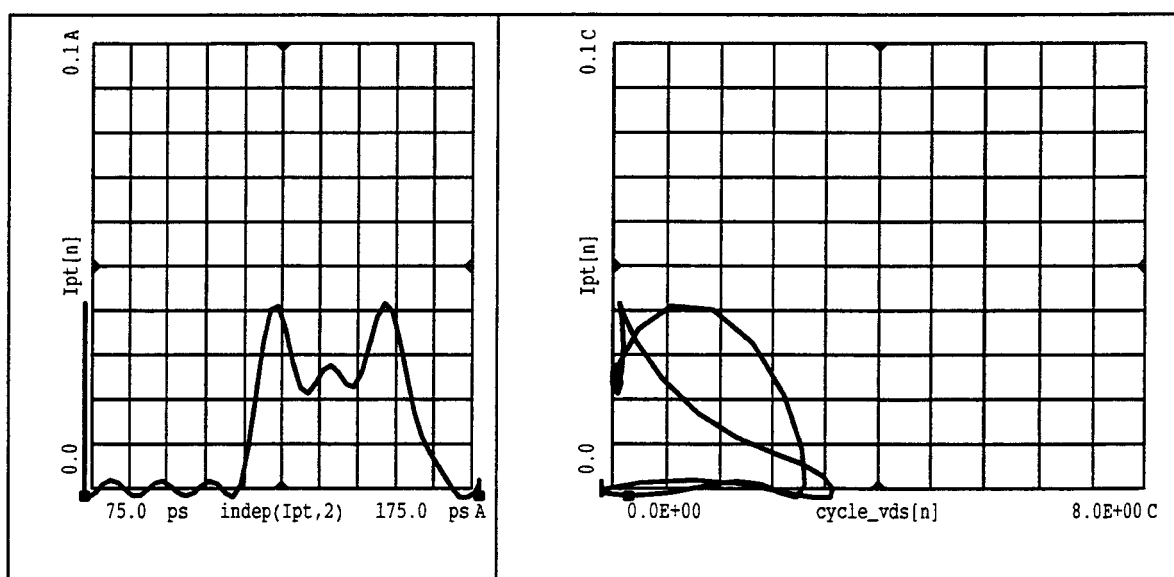


Figure III-39-c : Cycle de charge et forme du courant du générateur commandé pour $V_{DS0}=1V$.

Pour $V_{DS0}=3$ Volts, la forme du courant est proche d'une arche de sinusoïde alors que pour $V_{DS0}=2$ Volts, elle est quasiment rectangulaire. Ceci est dû, pour cette dernière polarisation, à la mise en butée du cycle de charge contre la valeur $V_{DS}=0$ Volt. Pour $V_{DS0}=1$ Volt, le phénomène de butée

s'accentue mais l'amplitude du courant est globalement moins importante.

Le cas le plus favorable est donc celui qui permet la formation d'une impulsion de courant d'amplitude élevée et de forme rectangulaire (cette forme d'onde est plus riche en harmonique d'ordre trois qu'une arche de sinusoïde).

La tension de polarisation V_{DS0} doit donc être optimisée en fonction du cycle de charge du transistor et donc, de la charge présentée à celui-ci.

Pour ce qui est du rendement, le cas le plus favorable est toujours celui correspondant à la tension d'alimentation V_{DS0} la plus faible.

Quelque soit la tension de polarisation V_{GS0} , le rendement peut atteindre des valeurs proches de 7 %.

Le gain de conversion associé est alors inférieur à 0 dB, sauf lorsque la tension V_{GS0} est inférieure à -1,1 Volt.

Un compromis entre une tension V_{DS0} suffisante pour un gain de conversion élevé et une tension V_{DS0} très faible pour une consommation continue très faible et donc, un rendement élevé, doit être fait.

Par exemple, pour $V_{DS0}=1$ Volt et $V_{GS0}=-0,7$ Volt, nous obtenons un gain de 2 dB associé à un rendement de 6 %.

III-D-3 Mesures effectuées en fonction de la fréquence

Une mesure (figure III-40) a été réalisée sur la version VR1 pour une puissance d'entrée de 0 dBm, une tension d'alimentation de 3 Volts et une tension de polarisation de -0,7 Volt.

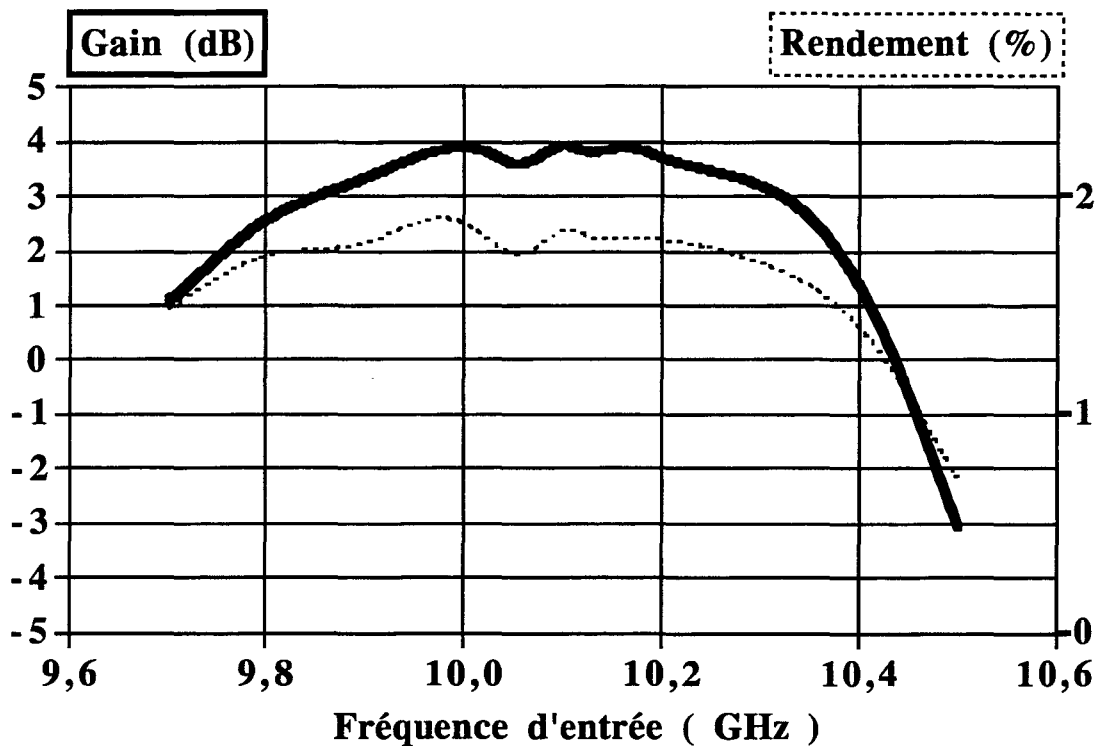


Figure III-40 : Mesures du gain et du rendement du tripleur version "VR1" en fonction de la fréquence.

Avec 1 dB d'ondulation, la bande passante est environ de 0,5 GHz, centrée sur 10,1 GHz. Ce résultat est en contradiction avec les mesures des circuits seuls (partie III-C) qui prévoyaient un décalage négatif en fréquence. L'explication doit encore se trouver au niveau de la qualité des interconnexions reliant les différentes parties du dispositif : les fils d'or, plus ou moins nombreux et plus ou moins longs, ne constituent pas la même inductance d'un montage à l'autre. Les circuits d'entrée et de sortie ne peuvent donc pas jouer parfaitement leur rôle.

Nous avons également mesuré le dispositif VN5 (figure III-41). Les conditions de fonctionnement étaient : $P_e = -4,4$ dBm; $V_{DS} = 2$ V; $V_{GS} = -0,6$ V.

Les évolutions obtenues, tant pour le gain que pour le rendement, sont notablement différentes de celles de la version VR1. La bande passante est plus réduite et centrée sur 10 GHz

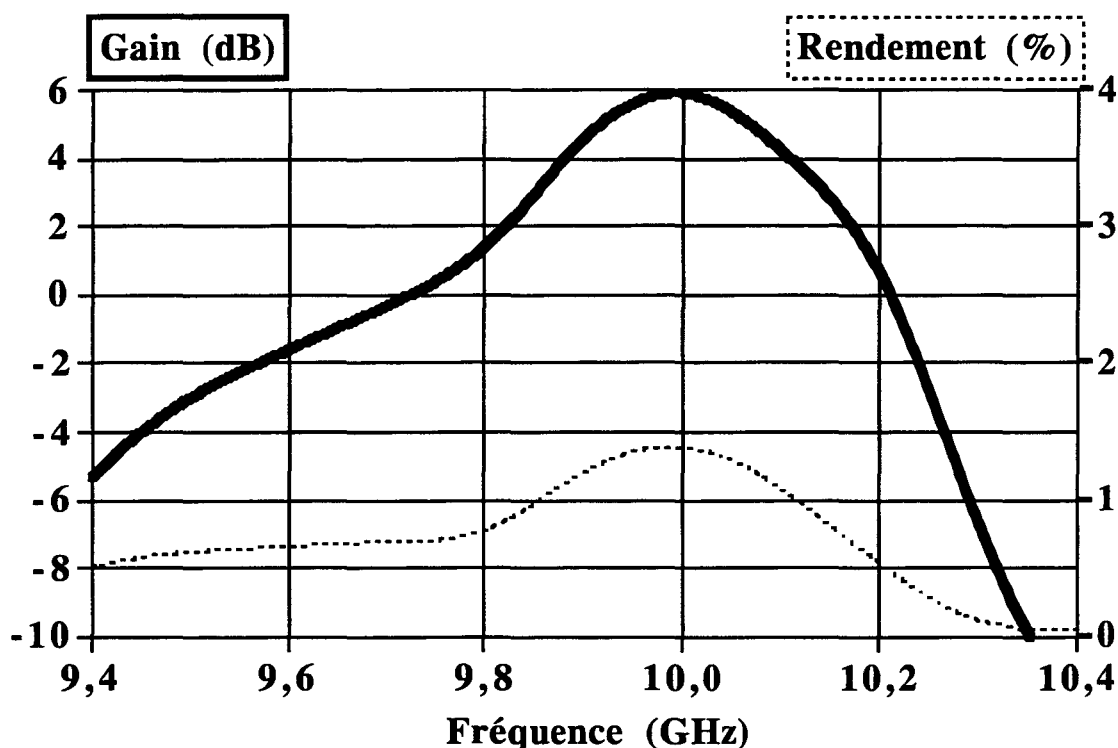


Figure III-41 : Mesures du gain et du rendement du tripleur version "VNS" en fonction de la fréquence.

Comme on peut le constater une nouvelle fois, la réponse des dispositifs réalisés dépend donc, assez fortement, des caractéristiques de l'assemblage

II-D Conclusion

Nous avons montré que les importantes disparités qui existent entre les différentes versions du dispositif "tripleur 10-30 GHz" étaient essentiellement dues à la précision et à la reproductibilité des assemblages. Le choix de transistors ayant une même valeur de tension de pincement est également important pour l'uniformité des résultats. De plus, ces mesures nous ont permis de comprendre le rôle joué par la tension de polarisation drain-source, celle-ci permettant d'atteindre soit un gain allant jusqu'à 8,5 dB mais avec seulement 2% de rendement, soit un rendement montant jusqu'à 7 % mais avec un gain associé de 0 dB.

Conclusion

La recherche de circuits passifs, correspondants au mieux aux caractéristiques suggérées par les simulations faites dans la partie II-F-2 de notre travail, nous permet d'obtenir des performances encore jamais atteintes à notre connaissance :

gain de conversion = 8,5 dB

rendement de conversion de 7 %

La technologie hybride montre malheureusement ses limites quand à la qualité et à la reproductibilité de l'assemblage de circuits fonctionnant à 10 et 30 GHz. La technologie intégrée devra donc être la voie à suivre pour ces fréquences ou pour d'autres, plus élevées.

III-E Mesure du bruit de phase ajouté

Introduction

Après avoir effectué quelques rappels concernant le bruit de phase et sa mesure^{19, 20, 21, 22, 23, 24, 25, 26}, nous présentons dans cette partie le banc qui a été mis en œuvre avec l'aide du LAAS[†] pour tenter une évaluation du bruit de phase de nos tripleurs 10-30 GHz hybrides à HEMT.

Nous donnons ensuite les résultats des différentes mesures qui ont pu être effectuées, tant pour le calibrage du banc que sur les tripleurs eux-mêmes.

III-E-1 Rappels sur le bruit de phase

Le bruit de phase se traduit, dans le domaine fréquentiel, par une variation aléatoire de la fréquence d'un signal autour de sa fréquence nominale f_0 . Il a pour origine les bruits thermiques, de grenaille et flicker.

On utilise le plus souvent les deux grandeurs suivantes pour le quantifier :

- $S_\phi(f)$: Densité spectrale de fluctuation de phase [en rad^2 / Hz],
- $L(f)$: Bruit de phase en bande latérale unique, c'est à dire le rapport de la puissance du

bruit de phase en simple bande latérale sur la puissance totale du signal [en dBc / Hz].

La théorie de la modulation nous donne, si $(\Delta\Phi)_{crete} \ll 1 \text{ rad}$, $L(f) = \frac{1}{2} S_\phi(f)$.

Le bruit de phase est fréquemment un paramètre limitatif important des systèmes électroniques actuels ; par exemple :

- en acquisition ou en transmission de données numériques^{27, 28}, il entraîne des erreurs sur la valeur des bits (jitter).

[†] LAAS : Laboratoire d'Analyse et d'Architecture des Système, TOULOUSE.

- dans un système radar à effet Doppler, le signal "écho" de la cible mobile peut être "noyé" dans le bruit de phase du signal "écho" dû aux objets fixes environnants (figure III-42).

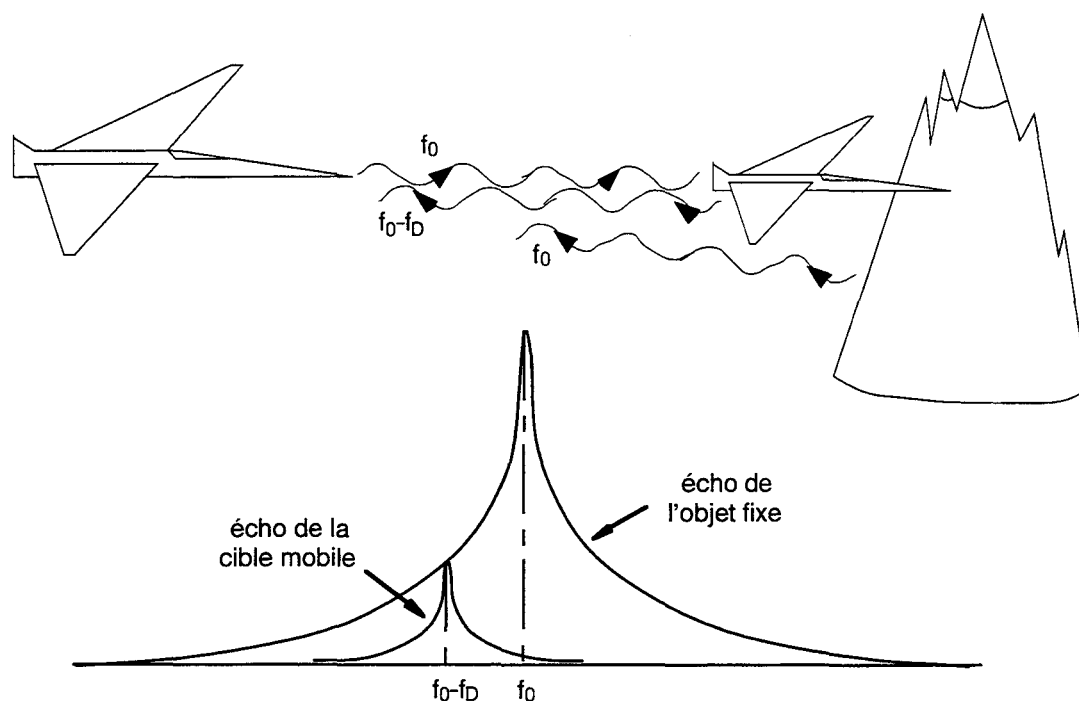


Figure III-42 : Illustration des problèmes de mesures causés par le bruit de phase dans le cas d'un radar "Doppler".

En fonction des applications visées, le bruit de phase est critique dans des zones fréquentielles différentes²⁹. Le graphique suivant (figure III-43) présente plusieurs cas :

- Transmission de données QPSK (Quad Phase Shift Keying : modulation par saut de phase à quatre états)
- Radar à effet Doppler
- Transmission de données par modulation de fréquence

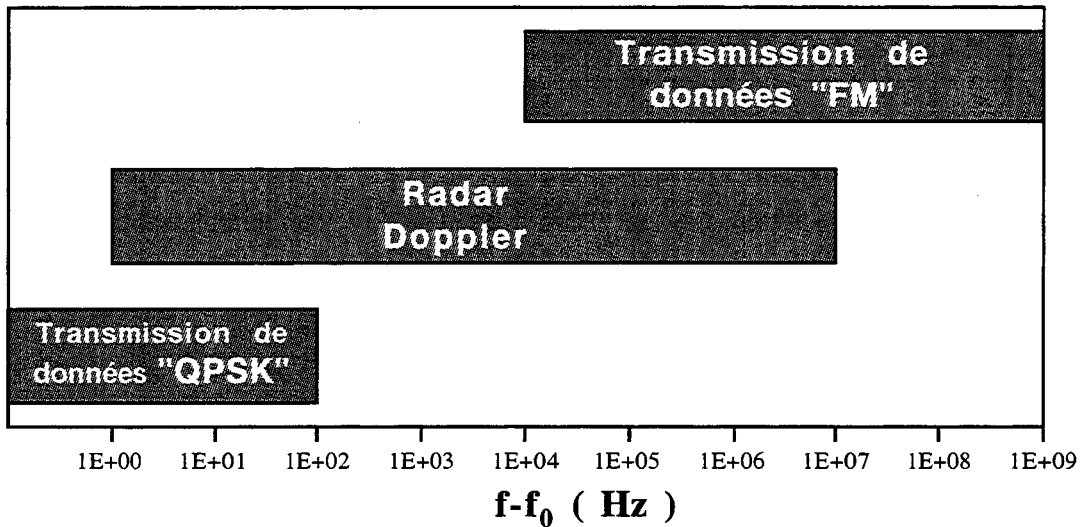


Figure III-43 : Zones de forte sensibilité des systèmes électroniques au bruit de phase en fonction de leur utilisation et de l'écart fréquentiel par rapport à la porteuse.

On peut constater qu'une transmission de données par saut de phase doit avoir un bruit de phase aussi faible que possible car la fluctuation moyenne de la phase dépend essentiellement de la partie basse du spectre.

A contrario, une modulation par modulation de fréquence est plus sensible au bruit éloigné de la porteuse. Le calcul de la fluctuation moyenne de la fréquence dépend principalement de la partie spectrale la plus élevée.

III-E-2 Méthodes de mesure

Nous rappelons dans cette partie les trois principales techniques utilisées pour mesurer le bruit de phase de dipôles ou le bruit de phase ajouté par des quadripôles.

III-E-2-a Mesure directe à l'aide d'un analyseur de spectre

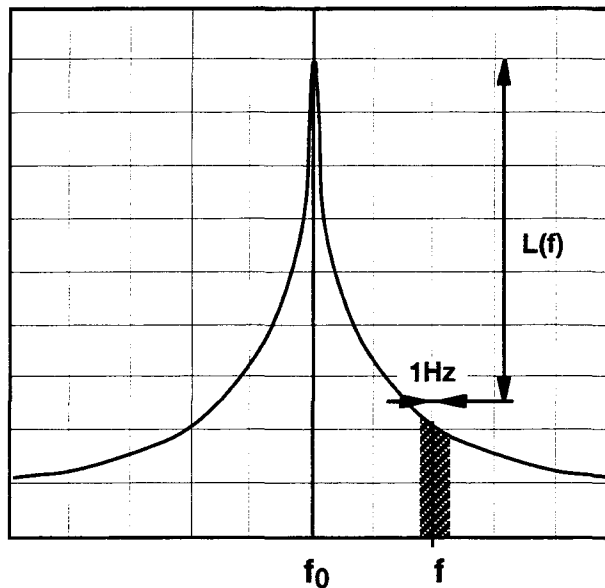


Figure III-44 : Exemple de spectre visualisable à l'aide d'un analyseur de spectre.

Cette mesure est censée donner directement $L(f)$ (figure III-44) ; en réalité :

- i) la puissance mesurée est la somme des puissances de bruit de phase et de bruit d'amplitude.
- ii) il faut appliquer une correction pour tenir compte de l'erreur de 2,5 dB introduite par l'amplificateur logarithmique interne qui atténue les pics de bruit par rapport à la porteuse (les analyseurs de spectre sont prévus pour analyser des signaux sinusoïdaux et non des signaux aléatoires).
- iii) la fenêtre fréquentielle de mesure n'étant pas de forme rectangulaire et de largeur 1 Hz, il faut ajouter un coefficient dépendant de l'appareil utilisé.

De plus :

i) la fréquence f_0 du signal doit être stable dans le temps : La largeur de la fenêtre fréquentielle étant choisie la plus proche possible de 1 Hz, toute variation de la fréquence centrale engendre un "décrochage" de l'appareil de mesures.

ii) le niveau de bruit résiduel de l'analyseur dépend fortement de la qualité de son oscillateur local, ce qui limite fortement la sensibilité de l'appareil.

Cette méthode est donc rapide et d'une mise en œuvre relativement simple, mais elle ne permet pas de mesurer des signaux ayant un faible bruit de phase ou un bruit d'amplitude important et elle nécessite la réalisation de corrections numériques sur les valeurs mesurées.

III-E-2-b Mesure avec un discriminateur de fréquences

Ce dispositif s'applique au cas où l'on ne dispose que d'une seule source : celle à mesurer. Il comporte deux voies, l'une avec une ligne à retard, l'autre avec un déphaseur variable, ces deux voies se rejoignant sur un comparateur de phase (mélangeur doublement équilibré), lui même suivi par un filtre passe bas et un analyseur FFT.

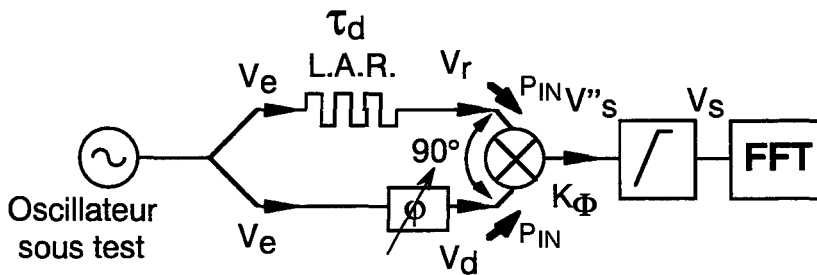


Figure III-45 : Banc de mesure utilisant une ligne à retard en tant que discriminateur de fréquence.

Les signaux entrant sur les voies "RF" et "OL" du mélangeur équilibré sont maintenus en quadrature à l'aide du déphaseur ajustable. La sortie du filtre passe bas délivre un signal V_S proportionnel au bruit de fréquence (figure III-45). L'explication mathématique menant à ce résultat est détaillée ci-dessous.

$$\text{Soit : } V_e(t) = V * \cos(2\pi(f_0 + \Delta f)t) = V * \cos\left(2\pi f_0 t + \frac{\Delta f}{f_m} * 2\pi f_m t\right)$$

où Δf représente la fluctuation aléatoire de fréquence autour de f_0
et f_m l'écart fréquentiel auquel on se place par rapport à f_0

$$\text{Le signal retardé prend la valeur : } V_r = V * \cos\left(2\pi f_0(t - \tau_d) + \frac{\Delta f}{f_m} * 2\pi f_m(t - \tau_d)\right)$$

$$\text{et le signal déphasé la valeur : } V_d = V * \cos\left(2\pi f_0 t + \frac{\Delta f}{f_m} * 2\pi f_m t + \varphi\right)$$

La multiplication des deux signaux (retardé et non retardé) nous donne, en sortie du mélangeur :

$$V_s'(t) = K_{\Phi} * \left[\begin{array}{l} \cos\left(2\pi f_0(t - \tau_d) + \frac{\Delta f}{f_m} * \cos(2\pi f_m(t - \tau_d)) - 2\pi f_0(t) - \frac{\Delta f}{f_m} * \cos(2\pi f_m(t)) - \varphi\right) \\ + \cos\left(2\pi f_0(t - \tau_d) + \frac{\Delta f}{f_m} * \cos(2\pi f_m(t - \tau_d)) + 2\pi f_0(t) + \frac{\Delta f}{f_m} * \cos(2\pi f_m(t)) + \varphi\right) \end{array} \right]$$

avec K_{Φ} , la constante du détecteur de phase

Le signal "basse fréquence" en sortie du filtre est alors :

$$V_s(t) = K_{\Phi} * \cos\left[-2\pi f_0(\tau_d) - \varphi + 2 * \frac{\Delta f}{f_m} * \sin(\pi f_m \tau_d) * \sin\left(2\pi f_m\left(t - \frac{\tau_d}{2}\right)\right)\right]$$

Lorsque la quadrature est réalisée entre les deux signaux entrant dans le mélangeur, nous avons :

$$2\pi f_0 \tau_d + \varphi = (2n + 1) * \frac{\pi}{2} \text{ avec } n = 0, 1, 2, 3, \dots$$

$$\text{et, alors : } V_s(t) = K_{\Phi} * \sin\left[2 * \frac{\Delta f}{f_m} * \sin(\pi f_m \tau_d) * \sin\left(2\pi f_m\left(t - \frac{\tau_d}{2}\right)\right)\right]$$

Si l'indice de modulation est faible : $\frac{\Delta f}{f_m} < 0,2 \text{ rad}$, alors $\sin\left(\frac{\Delta f}{f_m}\right) \approx \frac{\Delta f}{f_m}$ et le signal de sortie peut

se mettre sous la forme :

$$V_s(t) = K_{\Phi} * 2 * \frac{\Delta f}{f_m} * \sin(\pi f_m \tau_d) * \sin\left(2\pi f_m\left(t - \frac{\tau_d}{2}\right)\right)$$

L'amplitude de la réponse est alors du type :

$$\Delta V = K_{\Phi} * 2 \frac{\Delta f}{f_m} * \sin(\pi f_m \tau_d)$$

pouvant se mettre sous la forme

$$\Delta V = K_{\Phi} * 2\pi * \tau_d \Delta f * \frac{\sin(\pi f_m \tau_d)}{(\pi f_m \tau_d)}$$

En respectant la condition $f_m < \frac{1}{2\pi * \tau_d}$ soit $\frac{\sin(\pi f_m \tau_d)}{(\pi f_m \tau_d)} \approx 1$

nous avons : $\Delta V = K_{\Phi} * 2\pi * \tau_d * \Delta f$

La figure III-46 représente l'évolution de ΔV en fonction de la fréquence.

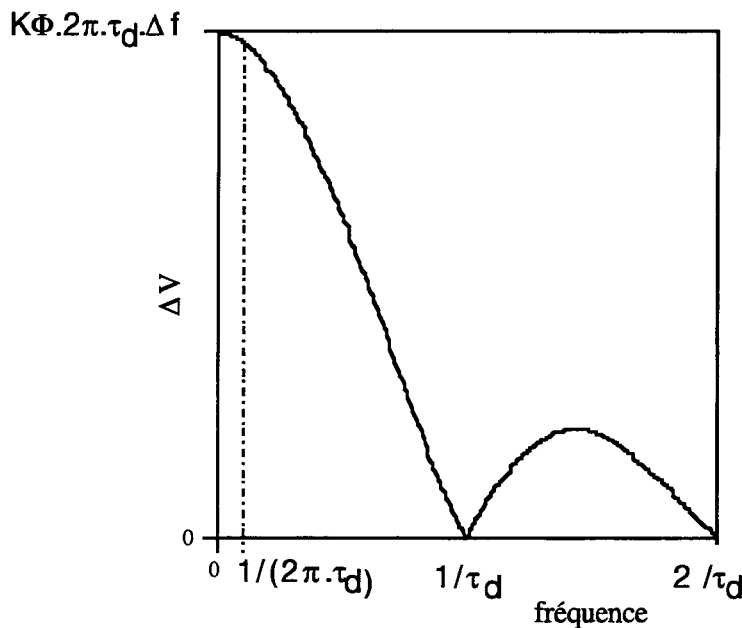


Figure III-46 : évolution de ΔV en fonction de la fréquence.

La mesure, sans corrections numériques, doit être limitée à une fréquence $f < \frac{1}{2\pi * \tau_d}$ pour ne pas avoir une erreur trop importante (on a alors : $\Delta V = K_{\Phi} * 2\pi * \tau_d * \Delta f(t)$).

Le retard τ_d doit être choisi de façon à avoir une bonne sensibilité tout en conservant une plage fréquentielle de mesures suffisante. En effet :

- le signal ΔV est proportionnel à la valeur de τ_d , il est donc préférable quelle soit élevée pour avoir un rapport signal sur bruit thermique le plus grand possible,

- la bande passante de la mesure est inversement proportionnelle à la valeur de τ_d , il faut donc que cette constante ne soit pas trop importante.

Cette méthode à l'avantage de pouvoir mesurer des sources de fréquence peu stables comme, par exemple, des VCO libres, mais oblige à un choix de τ_d qui impose la gamme de mesures et la sensibilité du système. De plus, cette mesure étant une détection de fluctuation de fréquence, le plancher de bruit est élevé très près de la porteuse.

III-E-2-c Mesures avec un détecteur de phase

Le dispositif à mesurer est comparé à un autre dispositif avec un détecteur de phase. Comme dans le cas de la mesure utilisant un discriminateur de fréquences, il faut maintenir en quadrature les signaux entrant dans celui-ci.

Deux principaux cas se présentent, suivant que l'on désire mesurer le bruit de phase d'une source (dipôle) ou bien le bruit de phase ajouté par un quadripôle (amplificateur, multiplicateur ou diviseur de fréquences,...) :

i) cas d'un oscillateur

La figure III-47 présente la configuration utilisée pour réaliser la mesure d'un oscillateur.

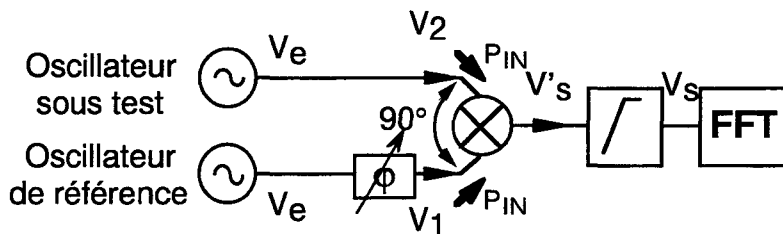


Figure III-47 : Banc de mesure utilisant un détecteur de phase pour effectuer la mesure du bruit de phase d'un oscillateur

L'oscillateur de référence doit être meilleur, en terme de bruit de phase, que l'oscillateur mesuré car la mesure nous indique la somme du bruit de phase des deux oscillateurs.

Lorsque l'oscillateur à tester n'est pas très stable en fréquence, ce qui est souvent le cas, il est nécessaire d'asservir l'oscillateur de référence pour maintenir les deux signaux en quadrature.

ii) cas de quadripôles

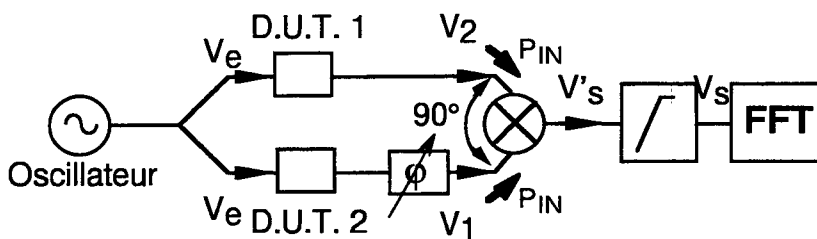


Figure III-48 : Banc de mesure utilisant un détecteur de phase pour effectuer la mesure du bruit de phase ajouté par deux dispositifs

Deux dispositifs quasi-identiques doivent être utilisés lorsque les quadripôles effectuent un changement de fréquence (figure III-48) ; on mesure la contribution, en bruit de phase, des deux quadripôles.

On peut remarquer qu'il est possible de déterminer le bruit ajouté par un dispositif de deux manières différentes :

- En ayant un autre dispositif dont le bruit est connu a priori :

$$P_{\Phi \text{ dispositif mesuré}} = P_{\Phi \text{ Total}} - P_{\Phi \text{ dispositif connu}}$$

$$\text{si les deux dispositifs sont identiques : } P_{\Phi \text{ dispositif mesuré}} = P_{\Phi \text{ Total}} - 3 \text{ dB}$$

- En ayant deux autres dispositifs dont il n'est pas nécessaire de connaître le bruit à priori et en procédant par permutation circulaire :

$$\begin{aligned}
 P_{\Phi_{\text{Totale 1}}} &= P_{\Phi_{\text{Dispositif 1}}} + P_{\Phi_{\text{Dispositif 2}}} \\
 P_{\Phi_{\text{Totale 2}}} &= P_{\Phi_{\text{Dispositif 2}}} + P_{\Phi_{\text{Dispositif 3}}} \\
 P_{\Phi_{\text{Totale 3}}} &= P_{\Phi_{\text{Dispositif 1}}} + P_{\Phi_{\text{Dispositif 3}}} \\
 \Rightarrow P_{\Phi_{\text{Dispositif 1}}} &= \frac{(P_{\Phi_{\text{Totale 1}}} + P_{\Phi_{\text{Totale 3}}} - P_{\Phi_{\text{Totale 2}}})}{2} \\
 \Rightarrow P_{\Phi_{\text{Dispositif 2}}} &= \frac{(P_{\Phi_{\text{Totale 1}}} + P_{\Phi_{\text{Totale 2}}} - P_{\Phi_{\text{Totale 3}}})}{2} \\
 \Rightarrow P_{\Phi_{\text{Dispositif 3}}} &= \frac{(P_{\Phi_{\text{Totale 2}}} + P_{\Phi_{\text{Totale 3}}} - P_{\Phi_{\text{Totale 1}}})}{2}
 \end{aligned}$$

Dans les deux cas on obtient, en sortie du mélangeur :

$$V_s' = K_d * V_1(t) * V_2(t) + V_m(t) = K_d * A * \cos(\omega t + \Phi + \varphi_1(t)) * A * \cos(\omega t + \varphi_2(t)) + V_m(t)$$

avec :

$$\left\{ \begin{array}{l}
 V_m(t) \text{ représentant le bruit de phase ajouté par le mélangeur} \\
 V_1(t) \text{ et } V_2(t) \text{ les signaux entrant dans le mélangeur, } \varphi_1 \text{ et } \varphi_2 \text{ leurs phases aléatoires} \\
 \Phi \text{ le déphasage entre les signaux } V_1(t) \text{ et } V_2(t), \text{ imposé par le déphaseur} \\
 K_d \text{ la constante liée au détecteur de phase}
 \end{array} \right.$$

$$V_s' = \frac{1}{2} * K_d * A * A * [\cos(\Phi + \varphi_1(t) - \varphi_2(t)) + \cos(2\omega t + \Phi + \varphi_1(t) + \varphi_2(t))] + V_m(t)$$

Le filtre passe bas coupe la composante à 2ω et délivre un signal $V_s(t)$ proportionnel au bruit de phase des deux dispositifs :

$$V_s(t) = K_d * \frac{A * A}{2} * \cos(\Phi + \varphi_1(t) - \varphi_2(t)) + V_m(t)$$

$$\text{soit, } V_s(t) \approx K_{\Phi} * \Delta_{\Phi} + V_m(t) \text{ si } \Phi = \frac{\pi}{2} \text{ et } \Delta_{\Phi}(t) \ll 1$$

$$\text{avec : } K_{\Phi} = K_d * \frac{A * A}{2} \text{ et } \Delta_{\Phi}(t) = \varphi_1(t) - \varphi_2(t)$$

On obtient alors la densité spectrale de fluctuation de phase :

$$S_{\Phi}(f) = \left(\frac{(V_s)_{\text{efficace}}}{K_{\Phi}} \right)^2 \text{ dans une bande de 1Hz}$$

Cette méthode permet d'obtenir des niveaux de bruit résiduel très bas tout en ayant une plage fréquentielle de mesures étendue.

C'est cette méthode que nous avons retenue pour mesurer le bruit de phase ajouté par les tripleurs 10-30 GHz réalisés

La mise en œuvre, dans ce cas est relativement simple et ne nécessite qu'une source de qualité moyenne si les longueurs électriques des deux branches sont identiques (sinon, il y a décorrélation des signaux $V_1(t)$ et $V_2(t)$) ; le bruit de phase de la source n'est alors plus visible en sortie du mélangeur. En effet, on obtient en sortie du détecteur de phase une tension proportionnelle à :

$$\left[n * \varphi_{\text{oscillateur}}(t) + \varphi_{\text{ajouté1}}(t) \right] - \left[n * \varphi_{\text{oscillateur}}(t) + \varphi_{\text{ajouté2}}(t) \right]$$

$\varphi_{\text{oscillateur}}(t)$ étant le bruit de phase de l'oscillateur, n le rang de multiplication (3), $\varphi_{\text{ajouté1}}(t)$ et $\varphi_{\text{ajouté2}}(t)$ les bruits de phase ajoutés par chacun des deux multiplicateurs de fréquence

Les bruits de phase ajoutés par les deux multiplicateurs n'étant pas corrélés, la densité spectrale résultante mesurée est donc la somme des densités spectrales qui leur correspondent.

II-E-3 Mesures réalisées

Ces mesures ont été menées à bien au LAAS-CNRS, à TOULOUSE, grâce à l'aide scientifique et technique de Jacques Graffeuil, Professeur à l'Université Paul Sabatier de Toulouse et d'Olivier Llopis, chargé de recherches au LAAS-CNRS.

La configuration du banc utilisé est la suivante (figure III-49) :

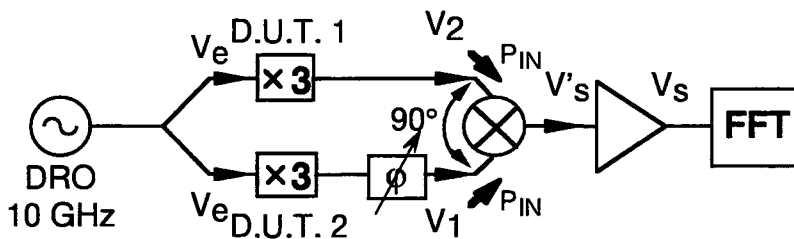


Figure III-49 : Banc de mesure de bruit de phase utilisé pour la mesure des tripleurs 10-30 GHz

Un oscillateur à résonateur diélectrique (DRO) est utilisé comme source hyperfréquence à 10 GHz et un mélangeur, équilibré dans la bande 26-40 GHz, comme détecteur de phase à 30 GHz. Un diviseur de puissance répartit le signal sur l'entrée des deux dispositifs. Un déphaseur ajustable est inséré entre la sortie de l'un des dispositifs et une entrée du mélangeur.

Les deux signaux d'attaque du mélangeur sont considérés en quadrature de phase lorsque $\overline{V_s} = 0$.

L'amplificateur, chargé d'amplifier le signal V_s de sortie du mélangeur équilibré, est un modèle très faible bruit : $0,8nV / \sqrt{Hz}$ en entrée.

L'analyse spectrale (FFT) se fait sur 1200 points en trois bandes fréquentielles :

- 2,5Hz-1kHz
- 25Hz-10kHz
- 250Hz-100kHz

Un filtre passe bas programmable est intégré dans l'analyseur de spectre.

II-E-3-a calibrage du banc

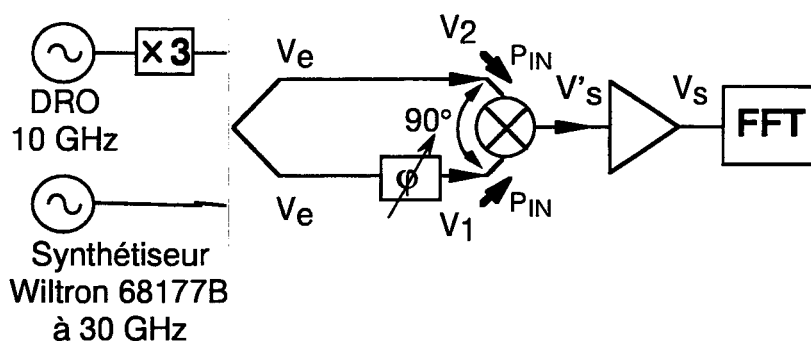


Figure III-50 : Calibrage du banc de mesures de bruit de phase à partir d'une source constituée d'un DRO et d'un tripleur de fréquence ou bien à partir d'un synthétiseur.

La configuration, présentée figure III-50, permet de procéder au calibrage du banc, c'est à dire : mesurer le bruit de phase résiduel en fonction de la puissance incidente P_{IN} injectée sur chacune des entrées du mélangeur.

Si l'on considère que les signaux arrivent sensiblement avec le même retard sur les voies OL et RF du mélangeur, le bruit de phase de la source hyperfréquences ne doit pas être visible au niveau du signal $V'_s(t)$. Le bruit de phase résiduel du banc doit donc être essentiellement celui généré par le mélangeur équilibré.

Le tableau Ta.III-4 résume les différents niveaux de puissance auxquels ont été effectués les calibrages. Ces mesures délicates imposant d'éteindre tous les appareils non-indispensables, le contrôle de la puissance incidente n'a pas pu être réalisé pendant l'acquisition des données. Il en résulte une incertitude d'au moins 1 dB sur P_{IN} lorsque la source est constituée du DRO et du multiplicateur de fréquence. On peut, par contre, raisonnablement estimer stable la puissance délivrée par le synthétiseur.

L'étalonnage de la constante $K\phi$ du détecteur de phase a été réalisé dans chaque cas par la méthode des extréma à l'aide du déphaseur variable.

Nom	DRO a	DRO b	DRO c	DRO d	Wil.a	Wil.b	Wil.c
PIN (dBm)	-2	-1	0	1	-2	1	3
Source utilisée	DRO 10 GHz + tripleur de fréquence				Synthétiseur Wiltron		

Tab.III-4 : Mesures de calibration effectuées.

La figure III-51 montre le bruit de phase résiduel obtenu pour les différentes puissances incidentes PIN et pour les deux sources utilisées en fonction de la fréquence de Fourier (f-f0).

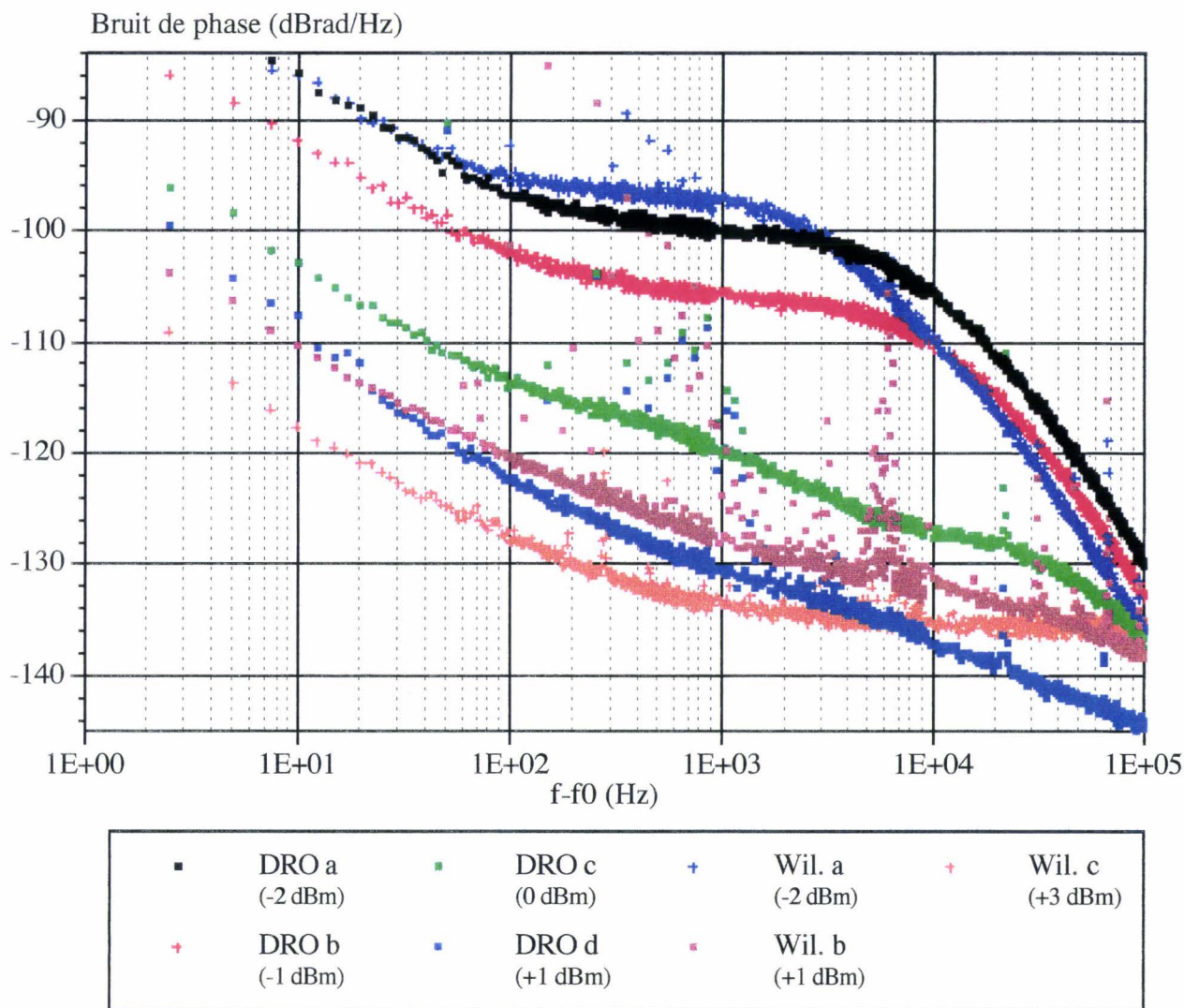


Figure III-51 : Bruit de phase résiduel du banc.

On constate une rapide décroissance du niveau de bruit, pour un écart fréquentiel à la porteuse donné, lorsque le niveau de la puissance incidente augmente.

Ce comportement peut être prêté au mélangeur équilibré. La figure III-52 montre le niveau de bruit, à 100 et 1000 Hz de la porteuse, en fonction de la puissance incidente. La réponse du mélangeur peut être considérée linéaire dans la zone (-2 dBm) / (+1 dBm). Les caractéristiques à +3 dBm n'étant pas dans le prolongement des autres, deux hypothèses sont possibles :

- une importante erreur de mesure a été faite sur ce point,
- on atteint, à cette puissance d'entrée, le niveau de bruit quasi-minimal du mélangeur.

La deuxième hypothèse semble la plus probable car il paraît naturel d'avoir une "saturation" conduisant à un niveau de bruit minimal.

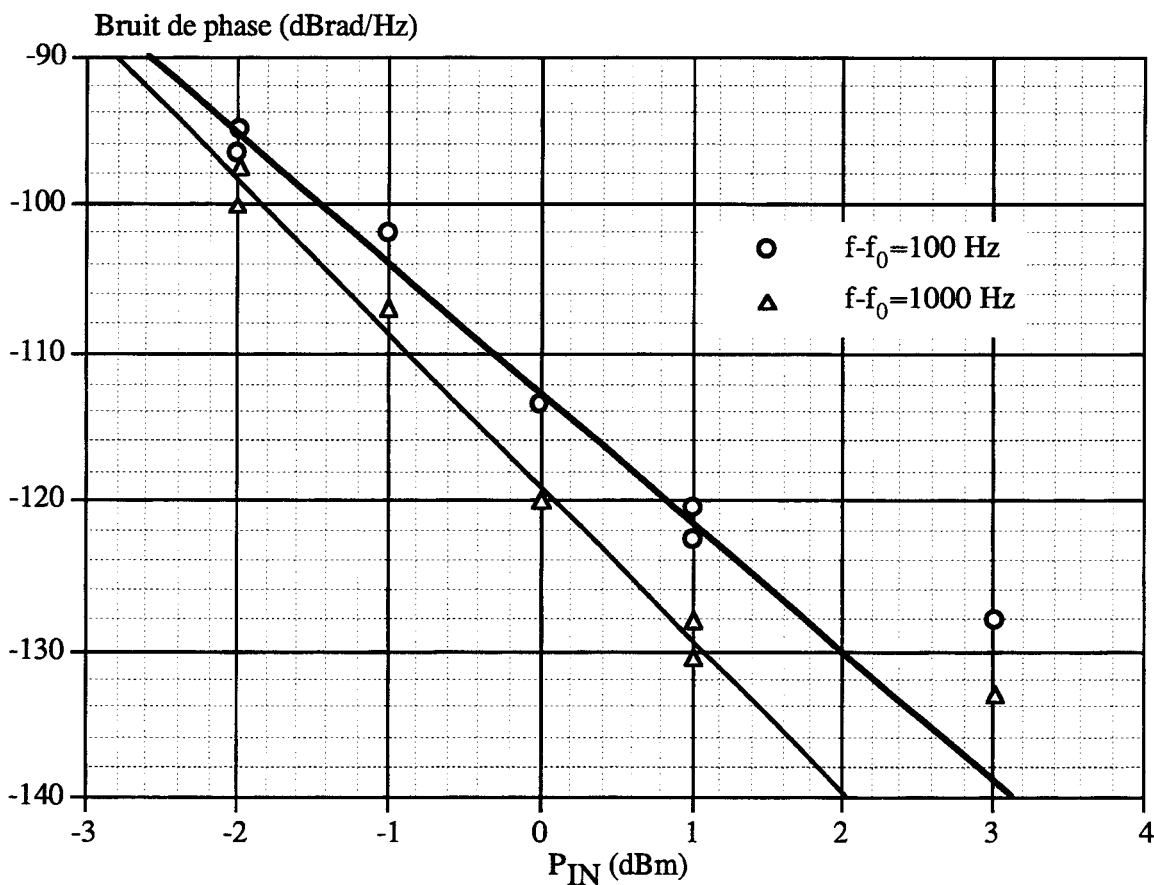


Figure III-52 : Puissance du bruit de phase du banc à 100 et 1000 Hz de la porteuse en fonction de la puissance incidente.

On peut également remarquer que, pour une puissance incidente donnée, la pente des courbes n'est pas tout-à-fait la même suivant la source utilisée.

Cela semble devoir être attribué aux sources elles-mêmes. En effet, comme le montre la figure III-53 où est reporté le bruit de phase absolu de ces sources (mesure effectuée au LAAS de Toulouse pour le DRO et données constructeur pour le synthétiseur WILTRON 68177B), des différences de comportement sont notoires.

Le synthétiseur est plus performant que l'ensemble "DRO + tripleur" pour des fréquences ($f-f_0$) inférieures à 1 kHz environ. Ce bon comportement en basses fréquences apparaît normal et significatif du système asservi à boucle PLL propre au synthétiseur.

La courbe intitulée "DRO + tripleur" a été tracée en translatant celle du "DRO seul" de $10\text{Log}(3^2)$.

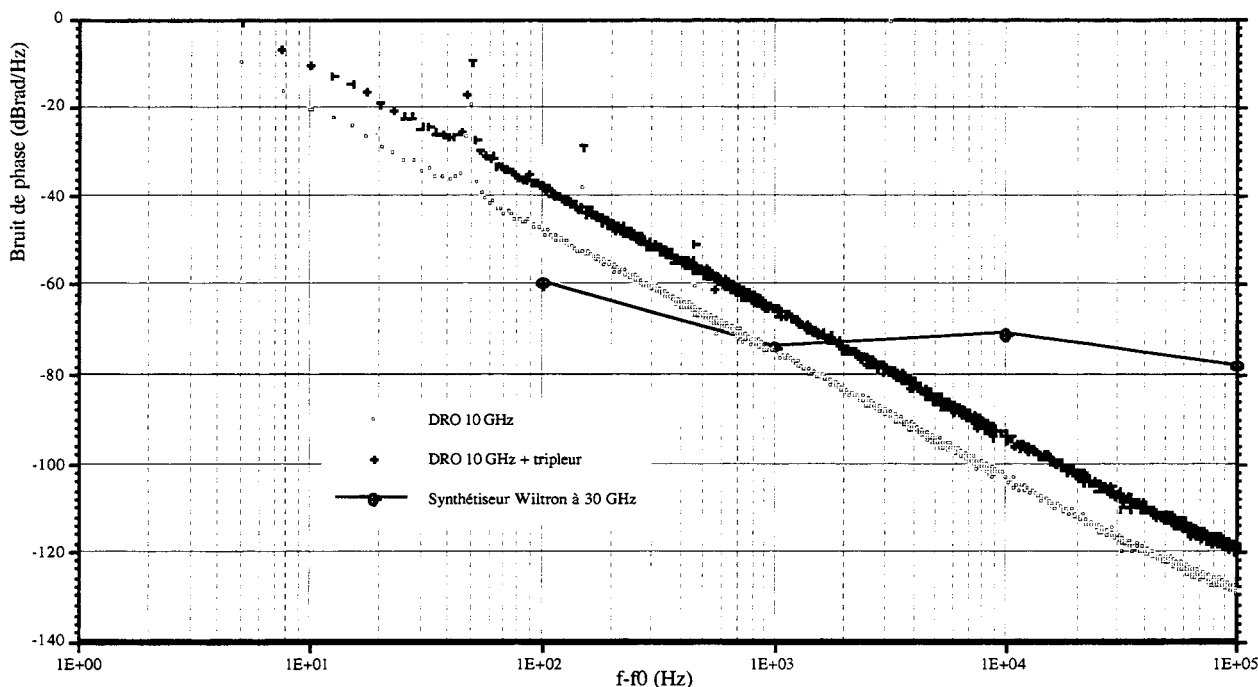


Figure III-53 : Bruit de phase des sources utilisées pour le calibrage du banc.

On retrouve approximativement les allures de courbes de ces sources parmi les mesures présentées figure III-51 :

- Les courbes "DRO a" et "Wil. a" se rejoignent en basses fréquences,
- il en est de même pour les courbes "DRO d" et "Wil. b",

- la courbe "Wil. c" montre un bruit plus important que la courbe "DRO d" pour des fréquences supérieures à 10 kHz.

Ces constatations laissent donc penser que l'hypothèse de masquage du bruit de phase de la source hyperfréquences par la configuration du banc n'est donc pas exacte. La cause principale doit en être le déphaseur ajustable, celui-ci introduisant probablement un déséquilibre de retard entre les deux branches du montage (le banc a alors un comportement en discriminateur de fréquence parasite). La quantification de ce déséquilibre n'a pas été faite. Elle aurait consisté à réaliser une faible modulation en fréquence de la source et à mesurer la valeur de l'amplitude de la modulation en sortie pour déterminer l'atténuation apportée par notre banc de mesures.

Pour situer les performances du banc mis en place, nous présentons figure III-54 le niveau de bruit de phase résiduel d'un banc commercial fonctionnant à 10 GHz.

Nous pouvons constater, compte tenu de notre fréquence de travail (30 GHz), que les caractéristiques obtenues sont acceptables car le banc à 10 GHz devrait, pour pouvoir mesurer un signal à 30 GHz, être précédé d'un abaisseur de fréquence qui ajouterait, lui-même, du bruit de phase.

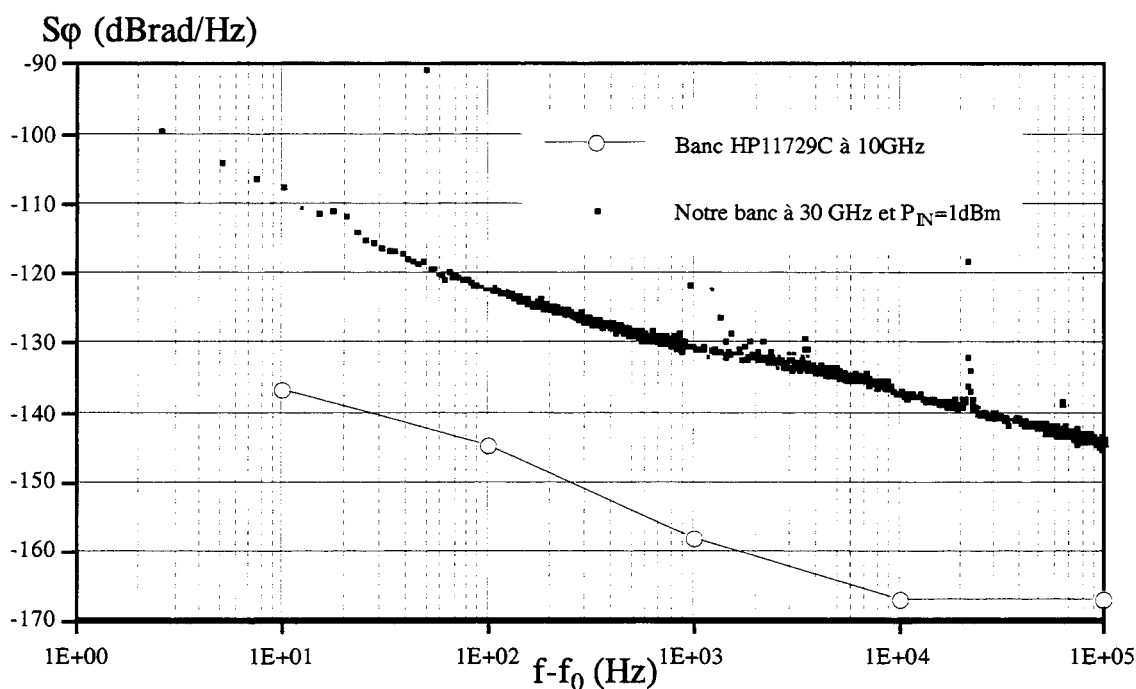


Figure III-54 : Comparaison du bruit de phase résiduel d'un banc commercial par rapport au montage de ce travail.

II-E-3-b Mesures des tripleurs 10-30 GHz

Trois relevés du bruit de phase des tripleurs ont été réalisés à l'aide du banc tel qu'il est décrit figure III-49, les puissances incidentes P_{IN} correspondantes (appliquées à l'entrée du mélangeur) sont reportées dans le tableau Tab.III-5. Comme dans l'étape de calibrage et pour les mêmes raisons, il existe une incertitude d'au moins 1 dB sur la mesure de P_{IN} .

Nom	Mult.a	Mult.b	Mult.c
P_{IN} (dBm)	-1,6	-1,0	0,0

Tab.III-5 : Mesures de bruit de phase effectuées sur les tripleurs 10-30 GHz.

La figure III-55 présente ces trois mesures en fonction de $(f-f_0)$. Ces résultats sont comparés figure III-56 au calibrage effectué précédemment à 100 et 1000 Hz de la porteuse.

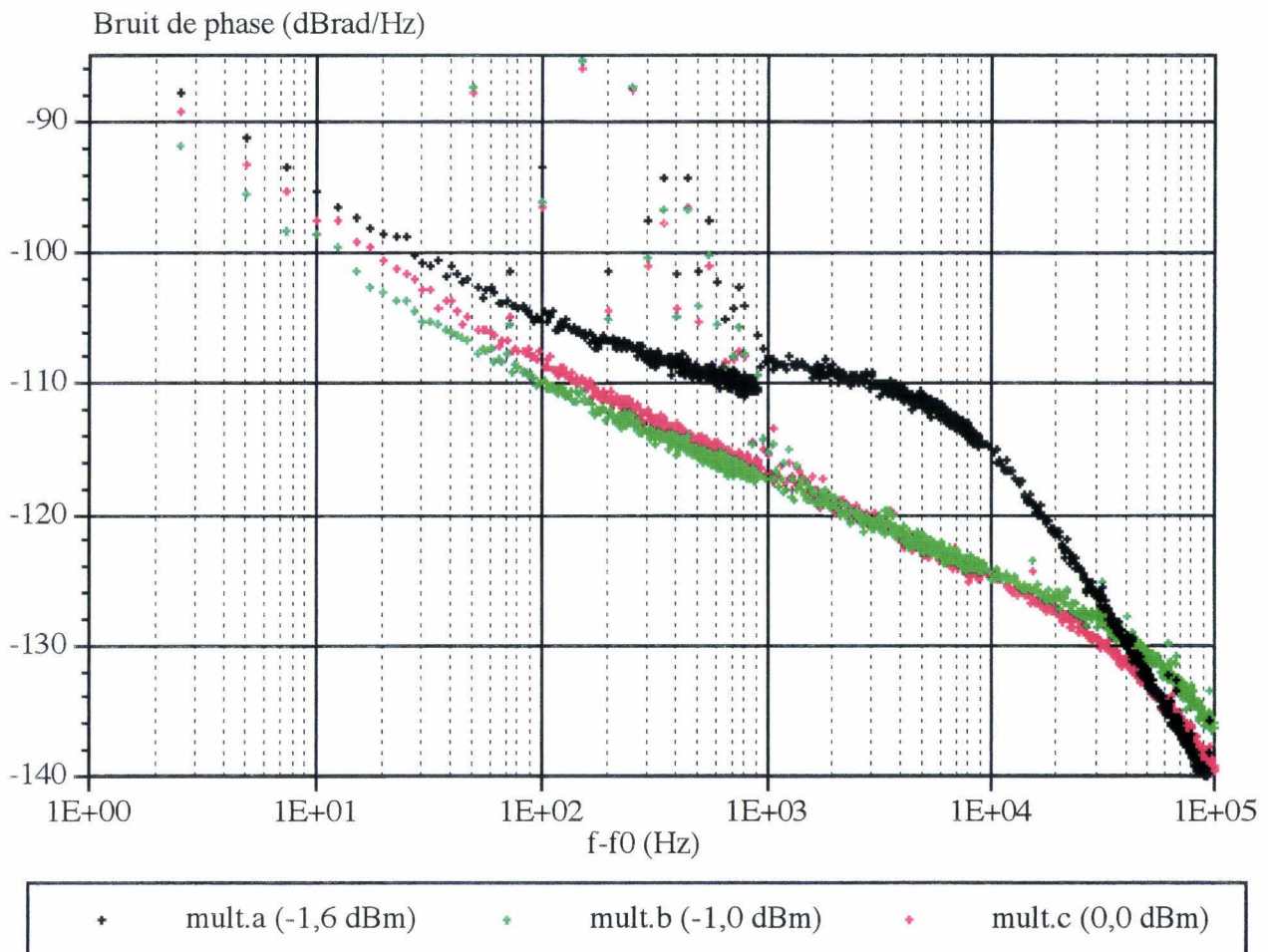


Figure III-55 : Mesures de bruit de phase des tripleurs 10-30 GHz.

Étant donné les incertitudes de mesure, il est difficile de quantifier précisément le bruit de phase en excès ajouté par chaque tripleur. En faisant l'analyse du pire cas, on peut estimer, en considérant que les résultats relatifs à Mult.c sont au plus supérieurs de 5 dB à la courbe DRO c (cf. figure III-56), que le bruit de phase en excès ajouté par chaque tripleur est du même ordre que le bruit de phase résiduel du banc (courbe DRO c). En effet :

$$\text{si } [P_{\varphi \text{ ajouté}}]_{\text{un tripleur}} \approx P_{\varphi \text{ fond du banc}}$$

$$P_{\varphi \text{ mesurée}} = [P_{\varphi \text{ ajouté}}]_{1^{\text{er}} \text{ tripleur}} + [P_{\varphi \text{ ajouté}}]_{2^{\text{ème}} \text{ tripleur}} + P_{\varphi \text{ fond du banc}} = 3 * [P_{\varphi \text{ ajouté}}]_{\text{un tripleur}}$$

$$\text{d'où : } [P_{\varphi \text{ ajouté}}]_{\text{un tripleur}} = \frac{P_{\varphi \text{ mesurée}}}{3} \text{ soit : } [P_{\varphi \text{ ajouté}}]_{\text{un tripleur}} = P_{\varphi \text{ mesurée}} - 4,77 \text{ dB .}$$

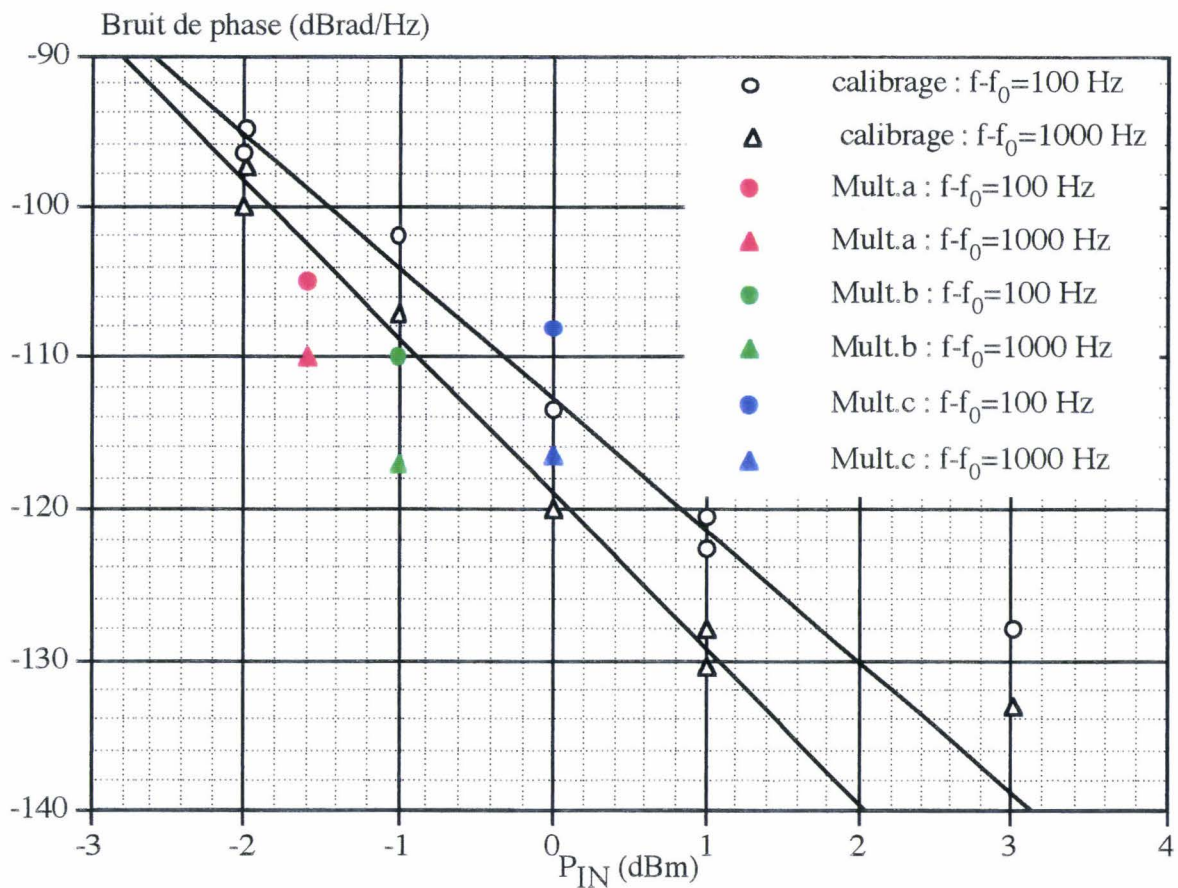


Figure III-56 : Comparaison des mesures du bruit de phase ajouté en excès par les tripleurs 10-30 GHz, à 100 et 1000 Hz de la porteuse, par rapport au calibrage du banc.

Conclusion

Le banc de mesure de bruit de phase, réalisé en utilisant un détecteur de phase, a des caractéristiques de bruit de phase résiduel honorables mais les incertitudes de mesure des puissances injectées sur les entrées OL et RF du mélangeur rendent imprécise toute conclusion concernant le bruit de phase ajouté en excès par les tripleurs hybrides 10-30 GHz.

Nous nous en tiendrons seulement à avancer que ce bruit doit être, au plus, du même niveau que le bruit de phase résiduel du banc de mesure, ce qui représente des niveaux de bruit très faibles et montre que l'utilisation de transistors pour réaliser des multiplicateurs de fréquence est tout à fait acceptable, même pour les systèmes exigeant des signaux très purs.

Bibliographie du chapitre III

¹⁸ Dambrine, G.

Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination direct du schéma équivalent

Thèse de 3ème cycle, LILLE, Mars 1989.

¹⁹ Graffeuil, J. and Plana, R.,

"Low frequency noise properties of microwave transistors and their application to circuit design", EMC 1994, CANNES, pp. 62-75.

²⁰ O. Llopis, J. Verdier, R. Plana, J. Graffeuil,

"The active device characterization and modelling problem in low phase noise microwave oscillator design",

Ann. Telecommun., 51, No 7-8, 1996, pp. 344-350.

²¹ T.R. Faulkner, R.E. Temple

"Residual phase noise and AM noise measurements and techniques" noted'application HP (03048-90011).

²² G. K. Montress, T. E. Parker, M. J. Loboda

"Residual phase noise measurements of VHF, UHF and Microwave Components" IEEE trans. on UFFC, vol 41, N=B0 5, sept. 1994, pp. 664-679.

²³ T. E. Parker

"Characteristics and sources of phase noise in stable oscillators" Proc. of the 1987 Freq. Control Symp., pp. 99-110.

²⁴ Ashley, J. R.,

"The measurement of noise in microwave transmitters", IEEE Transaction on microwave theory and techniques,

Vol. MTT-25, Np. 4, April 1977.

²⁵ Montress, G. K.,

"Residual phase noise measurements of VHF, UHF, and microwave components",

IEEE transactions on ultrasonics, ferroelectrics, and frequency control, Vol. 41, No 5, September 1994

²⁶ Walls, F. L.,

"Precise phase noise measurement of oscillators and other devices from 1 MHz to 20 GHz", 8th Quartz Devices Conference and exhibition, vol. 8, proceedings 1986, pp 143-58

²⁷ Schoukens, J.

Study of the influence of clock stabilities in synchronized data acquisition systems

Integrating intelligent instrumentation and control, instrumentation and measurement technology conference,; 13C, Apr. 1995, Waltham MA, p713-6

²⁸ Bregni, S.

Jitter testing technique and results at VC-4 desynchronizer output of SDH equipment

IEEE Trans. on Instrumentation and measurement, vol. 44, No 3, June 1995

²⁹ RF & Microwave phase noise measurement

seminar, HP, 1987

Conclusion générale

Une étude globale de la multiplication de fréquence à transistor nous a permis d'étudier les solutions actuellement mises en œuvre en fonction du type de multiplicateur à réaliser.

Quand nous avons commencé notre travail, l'état de l'art, pour ce dispositif, indiquait que seuls les doubleurs de fréquence pouvaient offrir des gains de conversion de plusieurs décibels. Les tripleurs et quadrupleurs présentaient, au mieux, que des pertes de l'ordre de 2 dB pour les premiers et 5 dB pour les seconds. Malgré quelques progrès, cette situation est restée relativement inchangée.

Notre étude a donc consisté, dans un premier temps, à montrer qu'il est possible d'obtenir des performances élevées en gain de conversion pour un tripleur à HEMT. Cela a été effectué en réalisant de nombreuses simulations avec différents transistors à effet de champ. Ces simulations nous ont renseignés sur les meilleures conditions de polarisation et d'impédances à appliquer aux transistors pour favoriser l'apparition de l'harmonique trois. Une polarisation sous la tension de pincement du composant a été démontrée comme étant la plus efficace pour les transistors HEMTs monopuits que nous avons étudié. Les valeurs des impédances présentées en entrée et en sortie du composant se sont avérées présenter une très grande importance pour la fréquence fondamentale comme pour les harmoniques $2f_0$ et $3f_0$ et nécessiter une optimisation très pointue.

Dans un deuxième temps, l'étude, la conception et la réalisation d'un circuit tripleur de fréquence 10-30 GHz en technologie hybride ont constitué la concrétisation de notre étude théorique et la validation des performances escomptées par simulation. De plus, les mesures des dispositifs réalisés ont mis en évidence la nécessité d'optimiser non seulement la tension grille-source mais aussi la tension drain-source de polarisation si l'on veut accroître encore le gain et le rendement des tripleurs.

Le démonstrateur réalisé a permis d'atteindre un gain de conversion de 8,5 dB avec un rendement associé de 2 % ou bien un rendement de 7 % avec alors un gain de 0dB, selon la polarisation adoptée.

L'étude de reproductibilité effectuée à partir de la fabrication de neuf circuits a nettement montré les difficultés liées à la technologie hybride employée : le montage en cellule de mesure et les liaisons par fils thermocompressés entre la puce et les circuits passifs ne peuvent être reproduits de façon exactement similaire, ce qui rend très difficile la conservation des conditions d'impédances terminales optimales à la fois à f_0 , $2f_0$ et $3f_0$. Il en a résulté des disparités importantes, en gain et en rendement, d'un montage à l'autre.

La tentative faite pour mesurer le bruit de phase ajouté par nos dispositifs a montré que ce dernier est très faible (inférieur à -110 dBrad/Hz à 1 kHz de la porteuse) et que, par conséquent, l'utilisation de transistors pour réaliser un tripleur de fréquence est tout à fait compatible avec les contraintes liées à la conception d'une source fréquentielle très pure.

Notre travail a donc abouti à la réalisation d'un dispositif constituant l'état de l'art en tripleur de fréquence à transistor avec des gains de conversion et des rendements atteignant, respectivement, $8,5$ dB et 7 %.

La suite logique de cette recherche doit être la mise à profit de l'expérience ainsi acquise avec la réalisation d'un tripleur de fréquence en technologie MMIC. Cette intégration doit permettre de s'affranchir des problèmes d'interconnexion qui, nous l'avons constaté, sont très sensibles et, par voie de conséquence, autoriser la conception de circuits combinant toutes les fonctions nécessaires à la réalisation de circuits d'émission-réception fonctionnant en bande V ou W.

Toujours dans le cadre des possibilités offertes par une technologie intégrée, l'étude de tripleurs équilibrés, dont nous avons seulement entrevu l'intérêt potentiel, devrait également constituer une voie de prospection très intéressante pour la conception de tripleurs toujours plus performants.

Liste des figures

FIGURE I-1 : SCHEMA EQUIVALENT DU TEC.....	5
FIGURE I-2 : CAS 1 : COMMANDE QUASI-LINEAIRE ENTRE V_P ET V_B	6
FIGURE I-3 : CAS 2 : COMMANDE NON-LINEAIRE ENTRE V_P ET V_B	6
FIGURE I-4 : CREATION D'HARMONIQUES DANS LE CAS D'UNE COMMANDE QUASI-LINEAIRE.....	7
FIGURE I-5 : CREATION D'HARMONIQUES DANS LE CAS D'UNE COMMANDE NON LINEAIRE.....	7
FIGURE I-6-A : POLARISATION DU TRANSISTOR A $V_{GS0}=V_P$	8
FIGURE I-6-B : POLARISATION DU TRANSISTOR A $V_{GS0}<V_P$	9
FIGURE I-7 : VALEURS DU RAPPORT I_N/I_{MAX} EN FONCTION DU TEMPS D'OUVERTURE POUR DIFFERENTS RANGS D'HARMONIQUE.....	10
FIGURE I-8 : CONFIGURATION DE FONCTIONNEMENT D'UN TEC EN DOUBLEUR.....	13
FIGURE I-9 : CONFIGURATION DE FONCTIONNEMENT DE TECS EN DOUBLEUR EQUILIBRE.....	14
FIGURE I-10 : FORMES DES COURANTS DANS UN DOUBLEUR EQUILIBRE.....	14
FIGURE I-11 : CONFIGURATION DE FONCTIONNEMENT D'UN TEC EN TRIPLEUR SIMPLE.....	15
FIGURE I-12 : CONFIGURATION DE FONCTIONNEMENT D'UN TEC EN TRIPLEUR A CHARGES DISSIPATIVES.....	16
FIGURE I-13 : CONFIGURATION DE FONCTIONNEMENT DE TECS EN TRIPLEUR EQUILIBRE.....	18
FIGURE I-14 : FORMES DES TENSIONS ET DES COURANTS DANS UN TRIPLEUR EQUILIBRE.....	18
FIGURE I-15 : PREMIERE CONFIGURATION DE FONCTIONNEMENT D'UN TEC EN QUADRUPLEUR.....	20
FIGURE I-16 : DEUXIEME CONFIGURATION DE FONCTIONNEMENT D'UN TEC EN QUADRUPLEUR.....	21
FIGURE I-17 : PERFORMANCES DES DISPOSITIFS MULTIPLICATEURS DE FREQUENCE AYANT FAIT L'OBJET D'UNE PUBLICATION CONNUE.....	26
FIGURE II-1 : SCHEMA EQUIVALENT DU TEC.....	35
FIGURE II-2 : EXEMPLE DE RESEAU $I_{DS}(V_{DS})$ POUR DIFFERENTS V_{GS} (TRANSISTOR TOUTATIS TA33420)......	36
FIGURE II-3 : EXEMPLE DE RESEAU $I_{DS}(V_{GS})$ POUR DIFFERENTS V_{DS} (TRANSISTOR TOUTATIS TA33420)......	37
FIGURE II-4 : EXEMPLE DE MESURE DE LA TRANSCONDUCTANCE STATIQUE G_M (TRANSISTOR TOUTATIS TA33420)......	37
FIGURE II-5 : EXEMPLE DE CARACTERISTIQUE DES DIODES GRILLE-SOURCE ET GRILLE-DRAIN (TRANSISTOR TOUTATIS TA33420)......	38
FIGURE II-6: SCHEMA EQUIVALENT PETIT SIGNAL DU TEC.....	39
FIGURE II-7 : COMPARAISON DES GAINS OBTENUS EN PRENANT LA CAPACITE C_{GS} FIXE OU VARIABLE, DANS LE CAS DU TRANSISTOR TOUTATIS TA33210.	40
FIGURE II-8 : TRANSCONDUCTANCE HYPERFREQUENCE DU TRANSISTOR CHS453 EN FONCTION DE LA TENSION DE GRILLE.....	42
FIGURE II-9 : CAPACITE GRILLE-SOURCE DU TRANSISTOR CHS453 EN FONCTION DE LA TENSION DE GRILLE.....	42
FIGURE II-10 : RESEAU DES CARACTERISTIQUES DYNAMIQUES SIMULEES $I_{DS}(V_{GS}, V_{DS})$ DU TRANSISTOR CHS453.....	44
FIGURE II-11 : EXEMPLE DE CYCLE DE CHARGE EN MODE TRIPLEUR ET RESEAU DES CARACTERISTIQUES DYNAMIQUES SIMULEES $I_{DS}(V_{GS}, V_{DS})$ DU TRANSISTOR TOUTATIS TA33420.	44

FIGURE II-12 : CARACTERISTIQUES SIMULEES DU COURANT DYNAMIQUE DE DRAIN ET DE LA TRANSCONDUCTANCE DU TRANSISTOR CHS453 EN FONCTION DE LA TENSION VGS.....	45
FIGURE II-13 : CARACTERISTIQUE SIMULEE DE LA CAPACITE CGS(VGS) DU TRANSISTOR CHS453.....	46
FIGURE II-14 : TRANSCONDUCTANCE DU TRANSISTOR TA33210 EN FONCTION DE LA TENSION DE GRILLE.....	47
FIGURE II-15 : CAPACITE GRILLE-SOURCE DU TRANSISTOR TA33210 EN FONCTION DE LA TENSION DE GRILLE.....	48
FIGURE II-16 : RESEAU DES CARACTERISTIQUES DYNAMIQUES SIMULEES IDS(VGS, VDS) DU TRANSISTOR TA33210.....	49
FIGURE II-17 : CARACTERISTIQUES SIMULEES DU COURANT DYNAMIQUE DE DRAIN ET DE LA TRANSCONDUCTANCE DU TRANSISTOR TA33210 EN FONCTION DE LA TENSION VGS.....	50
FIGURE II-18 : CARACTERISTIQUE SIMULEE DE CGS(VGS) DU TRANSISTOR TA33210	51
FIGURE II-19 : TRANSCONDUCTANCE DU TRANSISTOR CHS450 EN FONCTION DE LA TENSION DE GRILLE.....	52
FIGURE II-20 : CAPACITE GRILLE-SOURCE DU TRANSISTOR CHS450 EN FONCTION DE LA TENSION DE GRILLE.....	53
FIGURE II-21 : TRANSCONDUCTANCE DU TRANSISTOR FHX04 EN FONCTION DE LA TENSION DE GRILLE.....	54
FIGURE II-22 : CAPACITE GRILLE-SOURCE DU TRANSISTOR FHX04 EN FONCTION DE LA TENSION DE GRILLE.....	54
FIGURE II-23 : TRANSCONDUCTANCE MESUREE DU TRANSISTOR TA33420 EN FONCTION DE LA TENSION DE GRILLE.....	55
FIGURE II-24 : CAPACITE GRILLE-SOURCE MESUREE DU TRANSISTOR TA33420 EN FONCTION DE LA TENSION DE GRILLE.....	56
FIGURE II-25 : TRANSCONDUCTANCE DU TRANSISTOR GRINGO EN FONCTION DE LA TENSION DE GRILLE.....	57
FIGURE II-26 : CAPACITE GRILLE-SOURCE DU TRANSISTOR GRINGO EN FONCTION DE LA TENSION DE GRILLE.....	57
FIGURE II-27 : TRANSCONDUCTANCE ET COURANT DU TRANSISTOR CHS450 EN FONCTION DE LA TENSION VGS....	58
FIGURE II-28 : TRANSCONDUCTANCE ET COURANT DU TRANSISTOR CHS453 EN FONCTION DE LA TENSION VGS....	59
FIGURE II-29 : SCHEMA DU CIRCUIT ELECTRIQUE DE MULTIPLICATION DE FREQUENCE INTRODUIT DANS LE SIMULATEUR MDS.....	60
FIGURE II-30 : GAIN DE CONVERSION DU TRANSISTOR CHS450 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0	62
FIGURE II-31 : RENDEMENT DU TRANSISTOR CHS450 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0	62
FIGURE II-32 : GAIN DE CONVERSION DU TRANSISTOR CHS453 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0	63
FIGURE II-33 : RENDEMENT DU TRANSISTOR CHS453 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0	64
FIGURE II-34 : GAIN SIMULE DU TRANSISTOR FHX04 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR DIFFERENTES PUISSANCES D'ENTREE.	67
FIGURE II-35 : RENDEMENT SIMULE DU TRANSISTOR FHX04 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR DIFFERENTES PUISSANCES D'ENTREE.	67
FIGURE II-36 : BANC DE MESURES DU FHX04 FONCTIONNANT EN TRIPLEUR DE FREQUENCE 10-30 GHZ.....	69
FIGURE II-37 : GAIN MESURE DU TRANSISTOR FHX04 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR DEUX PUISSANCES D'ENTREE.	70
FIGURE II-38 : RENDEMENT MESURE DU TRANSISTOR FHX04 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR DEUX PUISSANCES D'ENTREE.	71
FIGURE II-39 : GAIN SIMULE DU TRANSISTOR TOUTATIS TA33210 EN MODE DOUBLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR DIFFERENTES PUISSANCES D'ENTREE.	73

FIGURE II-40 : GAIN SIMULE DU TRANSISTOR TOUTATIS TA33210 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR DIFFERENTES PUISSANCES D'ENTREE.....	73
FIGURE II-41 : RENDEMENT SIMULE DU TRANSISTOR TOUTATIS TA33210 EN MODE DOUBLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR DIFFERENTES PUISSANCES D'ENTREE.....	74
FIGURE II-42 : RENDEMENT SIMULE DU TRANSISTOR TOUTATIS TA33210 EN MODE TRIPLEUR EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR DIFFERENTES PUISSANCES D'ENTREE.....	74
FIGURE II-43 : GAIN ET RENDEMENT SIMULES DU TRANSISTOR TOUTATIS TA33210 EN MODE TRIPLEUR 27-81 GHZ EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR UNE PUISSANCE D'ENTREE DE +9 DBM.....	76
FIGURE II-44 : GAIN ET RENDEMENT SIMULES DU TRANSISTOR GRINGO EN MODE TRIPLEUR 27-81 GHZ EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR UNE PUISSANCE D'ENTREE DE +9 DBM.....	77
FIGURE II-45 : SCHEMA DU CIRCUIT ELECTRIQUE DE MULTIPLICATION DE FREQUENCE INTRODUIT DANS LE SIMULATEUR MDS : VERSION UTILISANT DES RESONATEURS SERIE.....	78
FIGURE II-46 : GAIN SIMULE DU TRANSISTOR TOUTATIS TA33210 EN MODE TRIPLEUR 27-81 GHZ EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR UNE PUISSANCE D'ENTREE DE +9 DBM DANS QUATRE CONFIGURATIONS DIFFERENTES.....	79
FIGURE II-47 : RENDEMENT SIMULE DU TRANSISTOR TOUTATIS TA33210 EN MODE TRIPLEUR 27-81 GHZ EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR UNE PUISSANCE D'ENTREE DE +9 DBM DANS QUATRE CONFIGURATIONS DIFFERENTES.....	79
FIGURE II-48 : GAIN SIMULE DU TRANSISTOR GRINGO EN MODE TRIPLEUR 27-81 GHZ EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR UNE PUISSANCE D'ENTREE DE +9 DBM DANS DEUX CONFIGURATIONS DIFFERENTES.....	80
FIGURE II-49 : RENDEMENT SIMULE DU TRANSISTOR GRINGO EN MODE TRIPLEUR 27-81 GHZ EN FONCTION DE LA TENSION DE POLARISATION VGS0 POUR UNE PUISSANCE D'ENTREE DE +9 DBM DANS DEUX CONFIGURATIONS DIFFERENTES.....	81
FIGURE II-50 : CARACTERISTIQUE DE LA JONCTION GRILLE-SOURCE EN DIRECTE DU TRANSISTOR TOUTATIS TA33420.....	84
FIGURE II-51 : CARACTERISTIQUE DE LA JONCTION GRILLE-DRAIN EN INVERSE DU TRANSISTOR TOUTATIS TA33420.....	84
FIGURE II-52 : SCHEMA DU CIRCUIT ELECTRIQUE DE MULTIPLICATION DE FREQUENCE INTRODUIT DANS LE SIMULATEUR MDS : VERSION UTILISANT DES FILTRES IDEAUX ET DES CHARGES COMPLEXES.....	85
FIGURE II-53 : ORGANIGRAMME D'OPTIMISATION DE LA VALEUR D'UN PARAMETRE DU CIRCUIT ELECTRIQUE DE SIMULATION DE FONCTIONNEMENT EN TRIPLEUR DU TRANSISTOR.....	86
FIGURE III-1 : SCHEMA ELECTRIQUE UTILISE LORS DE LA PHASE DE CONCEPTION DU CIRCUIT D'ENTREE.....	93
FIGURE III-2 : SCHEMA ELECTRIQUE UTILISE LORS DE LA PHASE DE CONCEPTION DU CIRCUIT DE SORTIE.....	94
FIGURE III-3 : SCHEMA DE PRINCIPE DE L'ADAPTATION A UN STUB.....	95
FIGURE III-4 : SCHEMA DE PRINCIPE DE L'ADAPTATION A STUB ADJACENT.....	95
FIGURE III-5 : SCHEMA DE PRINCIPE DE L'ADAPTATION A LONGUEUR DE LIGNE ET TRANSFORMATEUR QUART D'ONDE.....	96
FIGURE III-6 : SCHEMA DE PRINCIPE DE L'ADJONCTION DE STUBS A L'ADAPTATION A LONGUEUR DE LIGNE ET TRANSFORMATEUR QUART D'ONDE.....	97
FIGURE III-7 : SCHEMA DE PRINCIPE RETENU DU CIRCUIT COMPLET D'ADAPTATION ET DE POLARISATION POUR L'ENTREE DU TRANSISTOR.....	97

FIGURE III-8 : SCHEMA DE PRINCIPE DU CIRCUIT D'ADAPTATION A LIGNES COUPLEES DE LA SORTIE DU TRANSISTOR.	98
FIGURE III-9 : SCHEMA DE PRINCIPE DU CIRCUIT D'ADAPTATION A LIGNES COUPLEES ET DE POLARISATION DE LA SORTIE DU TRANSISTOR.....	99
FIGURE III-10 : DESSIN DEFINITIF DU CIRCUIT D'ENTREE DU TRIPLEUR 10-30 GHZ.....	100
FIGURE III-11 : DESSIN DEFINITIF DU CIRCUIT DE SORTIE DU TRIPLEUR 10-30 GHZ.....	100
FIGURE III-12 : PARAMETRES SIMULES S11 ET S21 DU CIRCUIT D'ENTREE DEFINITIF DU TRIPLEUR 10-30 GHZ....	101
FIGURE III-13 : PARAMETRES SIMULES S11 ET S21 DU CIRCUIT DE SORTIE DEFINITIF DU TRIPLEUR 10-30 GHZ...	102
FIGURE III-14 : GAINS ET RENDEMENTS OBTENUS EN FAISANT VARIER LA PUISSANCE D'ENTREE DU TRIPLEUR DANS DEUX CAS DE POLARISATION DE GRILLE.....	103
FIGURE III-15 : SENSIBILITE DES PARAMETRES S21 ET S11 DU CIRCUIT D'ENTREE DU TRIPLEUR 10-30 GHZ POUR UNE PRECISION DE GRAVURE DE +/- 10 μ M.....	105
FIGURE III-16 : SENSIBILITE DES PARAMETRES S21 ET S11 DU CIRCUIT DE SORTIE DU TRIPLEUR 10-30 GHZ POUR UNE PRECISION DE GRAVURE DE +/- 10 μ M.....	106
FIGURE III-17 : REPRESENTATION DU MASQUE UTILISE POUR LA FABRICATION DES CIRCUITS D'ENTREE, DE SORTIE ET DE TEST.....	108
FIGURE III-18-A : CELLULE DE MESURES SEULE ET INSERT SUPPORTANT UN TRANSISTOR.....	109
FIGURE III-18-B : PLACEMENT DES INSERTS DANS LA CELLULE DE MESURES.....	110
FIGURE III-19 : CONFIGURATION DE MESURE DU CIRCUIT D'ENTREE SEUL.....	111
FIGURE III-20 : CONFIGURATION DE MESURE DU CIRCUIT DE SORTIE SEUL.....	111
FIGURE III-21 : PARAMETRES S _{ij} MESURES DU CIRCUIT D'ENTREE FERME SUR 50 Ω	112
FIGURE III-22 : PARAMETRES S _{ij} MESURES ET SIMULES DU CIRCUIT D'ENTREE FERME SUR 50 ET (2-J52) Ω	113
FIGURE III-23 : PARAMETRES S _{ij} MESURES ET SIMULES DU CIRCUIT DE SORTIE FERME SUR (22+J11) ET 50 Ω ...	114
FIGURE III-24 : PARAMETRES S _{ij} MESURES ET SIMULES DU CIRCUIT DE SORTIE, SANS FIL DE POLARISATION, FERME SUR (22+J11) ET 50 Ω	115
FIGURE III-25 : PHENOMENES DE SOUS-GRAVURES DES LIGNES DES CIRCUITS PASSIFS.....	116
FIGURE III-26 : BANC UTILISE POUR LA MESURE DES TRIPLEURS 10-30 GHZ.....	118
FIGURE III-27 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VR1" POUR VDS=2 VOLTS.....	119
FIGURE III-28 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VR2" POUR VDS=2 VOLTS.....	119
FIGURE III-29 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VR3" POUR VDS=2 VOLTS.....	120
FIGURE III-30 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VR4" POUR VDS=2 VOLTS.....	120
FIGURE III-31 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VN2" POUR VDS=2 VOLTS.....	121
FIGURE III-32 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VN3" POUR VDS=2 VOLTS.....	121
FIGURE III-33 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VN4" POUR VDS=2 VOLTS.....	122
FIGURE III-34 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VN5" POUR VDS=2 VOLTS.....	122
FIGURE III-35 : LOCALISATION DES JONCTIONS DEVANT ETRE REALISEES LORS DE L'ASSEMBLAGE D'UN DISPOSITIF TRIPLEUR 10-30 GHZ.....	123
FIGURE III-36 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VR1" POUR VGS=-0,5 VOLT ET DIFFERENTES VALEURS DE VDS.....	125
FIGURE III-37 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VR1" POUR VGS=-0,7 VOLT ET DIFFERENTES VALEURS DE VDS.....	126
FIGURE III-38 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VR1" POUR VGS=-1,1 VOLT ET DIFFERENTES VALEURS DE VDS.....	126

FIGURE III-39-A : CYCLE DE CHARGE ET FORME DU COURANT DU GENERATEUR COMMANDE POUR $V_{DS0}=3V$	127
FIGURE III-39-B : CYCLE DE CHARGE ET FORME DU COURANT DU GENERATEUR COMMANDE POUR $V_{DS0}=2V$	128
FIGURE III-39-C : CYCLE DE CHARGE ET FORME DU COURANT DU GENERATEUR COMMANDE POUR $V_{DS0}=1V$	128
FIGURE III-40 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VR1" EN FONCTION DE LA FREQUENCE.....	130
FIGURE III-41 : MESURES DU GAIN ET DU RENDEMENT DU TRIPLEUR VERSION "VN5" EN FONCTION DE LA FREQUENCE.....	131
FIGURE III-42 : ILLUSTRATION DES PROBLEMES DE MESURES CAUSES PAR LE BRUIT DE PHASE DANS LE CAS D'UN RADAR "DOPPLER".....	134
FIGURE III-43 : ZONES DE FORTE SENSIBILITE DES SYSTEMES ELECTRONIQUES AU BRUIT DE PHASE EN FONCTION DE LEUR UTILISATION ET DE L'ECART FREQUENTIEL PAR RAPPORT A LA PORTEUSE.....	135
FIGURE III-44 : EXEMPLE DE SPECTRE VISUALISABLE A L'AIDE D'UN ANALYSEUR DE SPECTRE.....	136
FIGURE III-45 : BANC DE MESURE UTILISANT UNE LIGNE A RETARD EN TANT QUE DISCRIMINATEUR DE FREQUENCE.....	137
FIGURE III-46 : EVOLUTION DE ΔV EN FONCTION DE LA FREQUENCE.....	139
FIGURE III-47 : BANC DE MESURE UTILISANT UN DETECTEUR DE PHASE POUR EFFECTUER LA MESURE DU BRUIT DE PHASE D'UN OSCILLATEUR.....	140
FIGURE III-48 : BANC DE MESURE UTILISANT UN DETECTEUR DE PHASE POUR EFFECTUER LA MESURE DU BRUIT DE PHASE AJOUTE PAR DEUX DISPOSITIFS.....	141
FIGURE III-49 : BANC DE MESURE DE BRUIT DE PHASE UTILISE POUR LA MESURE DES TRIPLEURS 10-30 GHZ.....	144
FIGURE III-50 : CALIBRAGE DU BANC DE MESURES DE BRUIT DE PHASE A PARTIR D'UNE SOURCE CONSTITUEE D'UN DRO ET D'UN TRIPLEUR DE FREQUENCE OU BIEN A PARTIR D'UN SYNTHETISEUR.....	145
FIGURE III-51 : BRUIT DE PHASE RESIDUEL DU BANC.....	146
FIGURE III-52 : PUISSANCE DU BRUIT DE PHASE DU BANC A 100 ET 1000 HZ DE LA PORTEUSE EN FONCTION DE LA PUISSANCE INCIDENTE.....	147
FIGURE III-53 : BRUIT DE PHASE DES SOURCES UTILISEES POUR LE CALIBRAGE DU BANC.....	148
FIGURE III-54 : COMPARAISON DU BRUIT DE PHASE RESIDUEL D'UN BANC COMMERCIAL PAR RAPPORT AU MONTAGE DE CE TRAVAIL.....	149
FIGURE III-55 : MESURES DE BRUIT DE PHASE DES TRIPLEURS 10-30 GHZ.....	150
FIGURE III-56 : COMPARAISON DES MESURES DU BRUIT DE PHASE AJOUTE EN EXCES PAR LES TRIPLEURS 10-30 GHZ, A 100 ET 1000 HZ DE LA PORTEUSE, PAR RAPPORT AU CALIBRAGE DU BANC.....	151

Liste des tableaux

TABLEAU TA.I-1 : VALEURS MAXIMALES DU RAPPORT I_N/I_{MAX} EN FONCTION DU TEMPS D'OUVERTURE POUR DIFFERENTS RANGS D'HARMONIQUE	10
TABLEAU TA.I- 2 : CORRESPONDANCE ENTRE LES REFERENCES-DE L'ETAT DE L'ART ET LES ARTICLES BIBLIOGRAPHIQUES	23
TABLEAU TA.I- 2 (SUITE) : CORRESPONDANCE ENTRE LES REFERENCES-DE L'ETAT DE L'ART ET LES ARTICLES BIBLIOGRAPHIQUES	24
TABLEAU TA.I- 2 (SUITE) : CORRESPONDANCE ENTRE LES REFERENCES-DE L'ETAT DE L'ART ET LES ARTICLES BIBLIOGRAPHIQUES	25
TABLEAU TA.I- 3: RESUME DES CARACTERISTIQUES DES MULTIPLICATEURS DES REFERENCES CITEES.....	27
TABLEAU TA.II-1 : CARACTERISTIQUES DES 6 TRANSISTORS UTILISES.	33
TABLEAU TA.II-2 : COEFFICIENTS I_K DU POLYNOME REPRESENTANT LE COURANT DE DRAIN DU TRANSISTOR CHS453	43
TABLEAU TA.II-3 : COEFFICIENTS I_K DU POLYNOME REPRESENTANT LA CHARGE QGS DU TRANSISTOR CHS453 ...	46
TABLEAU TA.II-4 : VALEURS DES ELEMENTS CONSTANTS DU TRANSISTOR CHS453	47
TABLEAU TA.II-5 : COEFFICIENTS I_K DU POLYNOME REPRESENTANT LE COURANT DE DRAIN DU TRANSISTOR TA33210	49
TABLEAU TA.II-6 : VALEURS DES ELEMENTS CONSTANTS DU TRANSISTOR TA33210	51
TABLEAU TA.II-7: VALEURS DES ELEMENTS CONSTANTS DU TRANSISTOR CHS450	52
TABLEAU TA.II-8: VALEURS DES ELEMENTS CONSTANTS DU TRANSISTOR FHX04.....	53
TABLEAU TA.II-8: VALEURS DES ELEMENTS CONSTANTS DU TRANSISTOR TA33420.....	55
TABLEAU TA.II-9: VALEURS DES ELEMENTS CONSTANTS DU TRANSISTOR GRINGO.....	56
TABLEAU TA.II-10 : VALEURS MAXIMALES OBTENUES POUR LE TRANSISTOR TOUTATIS EN FONCTION DE LA PRESENCE OU NON DE CIRCUITS RESONNANTS.....	78
TABLEAU TA.II-11 : VALEURS MAXIMALES OBTENUES POUR LE TRANSISTOR GRINGO EN FONCTION DE LA PRESENCE OU NON DE CIRCUITS RESONNANTS.....	80
TABLEAU TA.II-12 : RESULTATS DE SIMULATION OBTENUS AVEC LE TRANSISTOR TOUTATIS TA33420 POUR NEUF CONFIGURATIONS DIFFERENTES (Z=HAUTE IMPEDANCE, CC=COURT-CIRCUIT).....	87
TA.III-1 : PERFORMANCES ET CARACTERISTIQUES PREVUES AVEC LES CIRCUITS PASSIFS DEFINITIFS.	103
TA.III-2 : PERFORMANCES DU CIRCUIT TRIPLEUR 10-30 GHZ EN FONCTION DES VARIATIONS DES VALEURS DES SELFS DE GRILLE ET DE DRAIN.....	107
TABLEAU TA.III-3 : CONSTITUANTS ET CARACTERISTIQUES DES NEUF VERSIONS REALISEES DU DISPOSITIF "TRIPLEUR 10-30 GHZ".	117
TAB.III-4 : MESURES DE CALIBRAGE EFFECTUEES.	146
TAB.III-5 : MESURES DE BRUIT DE PHASE EFFECTUEES SUR LES TRIPLEURS 10-30 GHZ.	150

Table des matières

INTRODUCTION GENERALE.....	1
CHAPITRE I ASPECTS FONDAMENTAUX DE LA MULTIPLICATION DE FREQUENCE ET ETAT DE L'ART.....	3
INTRODUCTION.....	4
I-A FONCTIONNEMENT DE BASE	5
<i>I-A-1 Principe fondamental</i>	<i>5</i>
<i>I-A-2 Choix de la polarisation.....</i>	<i>8</i>
I-B CAS PRATIQUES DE TRAITEMENTS DES HARMONIQUES.....	13
<i>I-B-1 Doubleur de fréquence</i>	<i>13</i>
I-B-1-a Doubleur simple.....	13
I-B-1-b Doubleur équilibré.....	14
<i>I-B-2 Tripleur de fréquence</i>	<i>15</i>
I-B-2-a Tripleur simple	15
I-B-2-b Tripleur à charges dissipatives.....	16
I-B-2-c Tripleur équilibré.....	17
<i>I-B-3 Quadrupleur de fréquence.....</i>	<i>20</i>
I-B-3-a Quadrupleur à transistor "unilatéral"	20
I-B-3-b Quadrupleur à transistor "non-unilatéral".....	21
I-C ETAT DE L'ART.....	22
CONCLUSION	28
BIBLIOGRAPHIE DU CHAPITRE I.....	29
CHAPITRE II ETUDE ET OPTIMISATION DES PERFORMANCES D'UN TRIPLEUR.....	31
INTRODUCTION.....	32
II-A CARACTERISTIQUES ET MODELES DES TRANSISTORS UTILISES.....	33
<i>II-A-1 Caractérisation des transistors.....</i>	<i>35</i>
II-A-1-a Caractérisation statique.....	35
II-A-1-b Caractérisation hyperfréquence.....	38

<i>II-A-2 Description des modèles</i>	39
II-A-2-a Modélisation du transistor CHS453.....	42
II-A-2-a Modélisation du transistor TOUTATIS TA33210.....	47
II-A-2-c Modélisation des transistors CHS450, FHX04, TOUTATIS TA33420 et GRINGO.....	52
II-B CHOIX DE LA TECHNOLOGIE.....	58
II-B-1 Introduction.....	58
II-B-2 Description du circuit de simulation.....	60
II-B-3 Les simulations réalisées.....	61
II-B-4 Conclusion.....	65
II-C ETUDE PRELIMINAIRE D'UN TRIPLEUR 12-36 GHZ.....	66
II-D COMPARAISON DOUBLEUR 18-36 GHZ / TRIPLEUR 12-36 GHZ.....	72
II-E SIMULATIONS D'UN TRIPLEUR 27-81 GHZ.....	76
II-F OPTIMISATION D'UN TRIPLEUR 10-30 GHZ ET PRISE EN COMPTE DES LIMITATIONS PHYSIQUES DU TRANSISTOR.....	82
Introduction.....	82
II-F-1 Caractéristiques du transistor TA33420.....	83
II-F-2 Etude des impédances.....	85
Conclusion.....	88
CONCLUSION.....	89
BIBLIOGRAPHIE DU CHAPITRE II.....	90

CHAPITRE III CONCEPTION, REALISATION ET MESURES D'UN TRIPLEUR HYBRIDE

10-30 GHZ.....	91
INTRODUCTION.....	92
III-A METHODOLOGIE DE CONCEPTION.....	93
III-B RECHERCHE DES TOPOLOGIES OPTIMALES DES CIRCUITS D'ENTREE ET DE SORTIE.....	95
III-B-1 Le circuit d'entrée.....	95
III-B-2 Le circuit de sortie.....	98
III-B-3 Le circuit global.....	100
III-C REALISATION ET TEST DES CIRCUITS.....	108

III-C-1 Test du circuit d'entrée	111
III-C-2 Test du circuit de sortie	114
III-C-3 Mesures dimensionnelles des circuits réalisés	116
III-D MESURE DES TRIPLEURS REALISES.....	117
II-D Introduction.....	117
III-D-1 Mesures effectuées pour $V_{DS}=2 V$	118
III-D-2 Mesures de la version "VR1" effectuées pour différents V_{DS}	125
III-D-3 Mesures effectuées en fonction de la fréquence	130
II-D Conclusion	131
CONCLUSION	132
III-E MESURE DU BRUIT DE PHASE AJOUTE.....	133
Introduction.....	133
III-E-1 Rappels sur le bruit de phase	133
III-E-2 Méthodes de mesure.....	136
III-E-2-a Mesure directe à l'aide d'un analyseur de spectre	136
III-E-2-b Mesure avec un discriminateur de fréquences.....	137
III-E-2-c Mesures avec un détecteur de phase	140
II-E-3 Mesures réalisées	144
II-E-3-a calibrage du banc.....	145
II-E-3-b Mesures des tripleurs 10-30 GHz.....	150
Conclusion.....	152
BIBLIOGRAPHIE DU CHAPITRE III.....	153
CONCLUSION GENERALE.....	155
LISTE DES FIGURES	157
LISTE DES TABLEAUX.....	162
TABLE DES MATIERES.....	163

