

N° d'ordre : 2350

THESE

Présentée à

L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE

Spécialité : Electronique

Par

François DOOM



MISE EN OEUVRE DE LA TECHNOLOGIE HIGFET AUTOALIGNEE SUR GAAS POUR APPLICATIONS ANALOGIQUES HYPERFREQUENCES.

Soutenue le 29 Septembre 1998 devant la commission d'examen

Membres du jury : MM.

G. SALMER
J. VINDEVOGHEL
P. DESCAMPS
C. RUMELHARD
J.F. SAUTEREAU
E. PEREA
Y. CROSNIER
J.P. TANGUY

Président
Directeur de thèse
Co-directeur de thèse
Rapporteur
Rapporteur
Examineur
Examineur
Invité

Ce travail a été réalisé à l'Institut d'Electronique et de Micro-électronique du Nord (IEMN) dirigé par Monsieur le Professeur G. SALMER, au département Hyperfréquences et Semiconducteurs (DHS) dirigé par Monsieur le Professeur P. A ROLLAND. Je les remercie de m'avoir accueilli dans leur laboratoire.

Je remercie vivement Monsieur le Professeur G. SALMER à l'université de Lille I, qui me fait l'honneur de présider la commission d'examen.

Je tiens à exprimer ma plus vive reconnaissance envers Monsieur le Professeur J. VINDEVOGHEL et Monsieur P. DESCAMPS qui ont assuré la direction de ce travail.

Je remercie sincèrement Monsieur le Professeur J.F. SAUTEREAU de l'université P. SABATIER de Toulouse et Monsieur le Professeur C. RUMELHARD du CNAM pour l'honneur qu'ils me font de juger ce travail et d'en être les rapporteurs.

Monsieur E. PEREA, group manager à STMicroelectronics me fait l'honneur d'évaluer ce travail en participant à ce jury d'examen. Je lui exprime mes plus vifs remerciements.

Que Monsieur le Professeur Y. CROSNIER soit vivement remercié pour l'honneur qu'il me fait d'examiner ce travail.

Je voudrais remercier très sincèrement Monsieur J.P. TANGUY, ingénieur chez Nortel Matra Cellular, pour sa participation à ce jury en qualité d'invité.

Je tiens à remercier Messieurs H. FAWAZ, J.F THIERY et S. AJRAM pour l'aide précieuse et l'expérience qu'ils m'ont apportées durant ce travail.

Je remercie chaleureusement tous les membres de l'équipe « Systèmes intégrés », Mademoiselle M. GRZESKOWIAK, Mesdames F. BOUAZZA, S. SADEK, Messieurs F. CARREZ, E. VANABELLE, E. VESTIEL avec qui j'ai eu le plaisir de travailler.

Je tiens à remercier Mesdames E. DELOS et S. LEPILLIET de la centrale de caractérisation ainsi que Messieurs D. VANDERMOERE et C. BOYAVAL de la micro-électronique pour leur aide efficace et leur disponibilité.

Je remercie également Monsieur J.P DEHORTER qui a assuré la reproduction de ce manuscrit et Messieurs JENNEQUIN, MICHON, ANDRIES de l'atelier de mécanique.

Enfin, je remercie tous mes amis grâce auxquels j'ai passé trois années de thèse formidables. Qu'ils trouvent ici le témoignage de ma grande sympathie.

SOMMAIRE

TABLE DES MATIERES

INTRODUCTION GENERALE	1
-----------------------------	---

CHAPITRE I ORIENTATION DES CIRCUITS RF POUR LES SYSTEMES DE COMMUNICATION SANS FIL

I-1. INTRODUCTION.....	4
I-2. LES SYSTEMES HETERODYNES.....	5
I-2.1 ARCHITECTURE DES DISPOSITIFS ET PRINCIPE DE FONCTIONNEMENT.	5
I-2.2 PERFORMANCES ET GRANDEURS CARACTÉRISTIQUES	6
I-3. LES SYSTEMES DE CONVERSION DIRECTE DE FREQUENCE.	8
I-3.1 TOPOLOGIE DU DISPOSITIF ET PRINCIPE DE FONCTIONNEMENT.	8
I-3.2 PERFORMANCES ET GRANDEURS CARACTÉRISTIQUES.	10
I-4. SYNTHÈSE COMPARATIVE DES DIFFÉRENTES ARCHITECTURES STANDARDS.	11
I-5. LES OPTIONS TECHNOLOGIQUES.....	12
I-5.1 LES FILIÈRES SILICIUM.	14
I-5.1.1 La filière bipolaire silicium.	14
I-5.1.2 La filière CMOS.....	15
I-5.1.3 La filière BiCMOS.....	15
I-5.2 LES FILIÈRES III-V.	16
I-5.2.1 Les transistors MESFET et HEMT.	16
I-5.2.2 Le transistor Bipolaire à hétérojonction sur GaAs.....	17
I-5.3 LES TRANSISTORS HIGFET SUR GAAS.....	17
I-6. CONCLUSION.....	18
I-7. BIBLIOGRAPHIE DU CHAPITRE I.....	20

CHAPITRE II MODELISATION DU TRANSISTOR HIGFET.

II-1. INTRODUCTION.....	24
II-2. CHOIX DU MODELE.....	24
II-2.1 LA LOI DE CONTRÔLE DE CHARGE.....	26
II-2.2 PRÉSENTATION DES ÉLÉMENTS DU SCHÉMA ÉQUIVALENT DU TRANSISTOR.....	28
II-2.2.1 Les sources de courant I_{gs} et I_{gd}	29
II-2.2.2 La source de courant I_{ds}	30
II-2.2.2.1 Hypothèse de calcul.....	30

II-2.2.2.2 Calcul du courant I_{ds} en régime de conduction.....	31
II-2.2.2.3 Expression du potentiel $V_{ds_{sat}}$ et du courant I_{ds} en régime de saturation.....	32
II-2.2.3 Détermination de la capacité C_{gs}	33
II-3. ANALYSE CRITIQUE DU MODELE INITIAL - AMELIORATIONS APPORTEES.....	34
II-3.1 LES FONCTIONS SPLINES.....	34
II-3.1.1 La fonction $V_{ds_{sat}}$ -spline.....	35
II-3.1.2 La fonction V_{ds2}	36
II-3.1.3 La conductance de sortie.....	37
II-4. IMPLANTATION DU MODELE DANS LE LOGICIEL DE C.A.O MDS.....	38
II-5. METHODE DE VALIDATION DU MODELE.....	38
II-5.1 PLAN D'EXPERIENCE.....	38
II-5.1.1 Type de caractérisation.....	38
II-5.1.1.1 Caractérisation impulsionnelle.....	38
II-5.1.1.2 Caractérisation des transistors en régime petit signal.....	39
II-5.1.1.3 Caractérisation en régime grand signal.....	39
II-5.1.2 Paramètres du transistor et paramètres d'accords.....	39
II-5.1.3 Méthodologie appliquée pour la validation du modèle non-linéaire.....	40
II-6. PRESENTATION DES RESULTATS.....	41
II-6.1 LE TRANSISTOR T224A/41 2*25*1 μM	41
II-6.1.1 Caractéristique du courant I_{gs}	41
II-6.1.2 Caractéristiques $I_{ds}(V_{ds}, V_{gs})$	42
II-6.1.3 Comparaison simulations-mesures des paramètres S	42
II-6.2 CONCLUSION SUR LE COMPOSANT T224A/46 2*25*1 μM	45
II-6.3 LE TRANSISTOR T224A/32 2*50*0.5 μM	45
II-6.3.1 Caractéristique du courant de grille.....	45
II-6.3.2 Caractéristiques $I_{ds}(V_{ds}, V_{gs})$	46
II-6.3.3 Comparaison simulations-mesures des paramètres S	46
II-6.3.4 Caractéristiques P_s et P_{imd3} en fonction de P_e	48
II-6.4 CONCLUSION SUR LE TRANSISTOR T224A/32 2*50*0.5 μM	50
II-7. CONCLUSION.....	50
II-8. BIBLIOGRAPHIE DU CHAPITRE II.....	51
 CHAPITRE III ETUDE ET REALISATION D'UN OSCILLATEUR A HIGFET.	
III-1. INTRODUCTION.....	52
III-2. CONDITIONS D'OSCILLATIONS.....	53
III-3. PRESENTATION DES CARACTERISTIQUES DU TRANSISTOR UTILISE.....	55
III-4. SIMULATION D'UN OSCILLATEUR A HIGFET.....	57
III-4.1. CHOIX DE LA STRUCTURE.....	57
III-4.2. SIMULATION DE L'OSCILLATEUR.....	59
III-4.2.1. Résultats de l'analyse en régime petit signal.....	61
III-4.2.2. Simulation du circuit à l'aide d'une analyse de type "harmonique balance".....	61
III-5. CONCLUSION SUR LES SIMULATIONS DE L'OSCILLATEUR.....	63
III-6. REALISATION DU CIRCUIT.....	63

III-7. ETUDE EXPERIMENTALE DE L'OSCILLATEUR.....	64
III-7.1. MESURES DE F_0 , P_0 ET η	65
III-7.2. DÉTERMINATION DU FACTEUR DE QUALITÉ QEXT.....	65
III-7.3. PURETÉ SPECTRALE DE L'OSCILLATION.....	67
III-7.3.1. <i>Bruit de phase</i>	67
III-7.3.2. <i>Distorsion harmonique</i>	69
III-7.4. PULLING DE L'OSCILLATEUR.....	69
III-7.5. PUSHING DE L'OSCILLATEUR.....	70
III-8. CONCLUSION SUR LES RESULTATS EXPERIMENTAUX.....	71
III-9. APPLICATION.....	71
III-9.1. VERROUILLAGE DE L'OSCILLATEUR.....	72
III-9.2. LA MODULATION NUMÉRIQUE.....	74
III-9.3. TRANSMISSION NUMÉRIQUE.....	75
III-10. CONCLUSION.....	78
III-11 BIBLIOGRAPHIE DU CHAPITRE III.....	79

CHAPITRE IV MISE EN OEUVRE DU MODELE POUR L'ETUDE D'UN MELANGEUR.

IV-1. INTRODUCTION.....	81
IV-2. PRESENTATION DES GRANDEURS CARACTERISTIQUES D'UN MELANGEUR.....	81
IV-2.1. LE GAIN DE CONVERSION.....	81
IV-2.2. LES ISOLATIONS.....	82
IV-2.3. LE POINT DE COMPRESSION À 1 DB.....	82
IV-2.4. INTERMODULATION D'ORDRE 3.....	82
IV-2.5. FACTEUR DE BRUIT D'UN MÉLANGEUR.....	83
IV-3. CHOIX D'UNE TOPOLOGIE DE MELANGEUR.....	83
IV-3.1. RAPPELS DES CRITÈRES FONDAMENTAUX INHÉRENTS AUX SYSTÈMES DE CONVERSION DIRECTE.....	83
IV-3.1.1. <i>Architectures de mélange</i>	83
IV-3.1.2. <i>Les différents types de mélangeurs</i>	85
IV-3.1.2.1. <i>Mélangeur à TEC froid</i>	85
IV-3.1.3. <i>Les mélangeurs à TEC chauds</i>	86
IV-3.1.3.1. <i>Le mélangeur par la grille</i>	86
IV-3.1.3.2. <i>Le mélangeur par le drain</i>	87
IV-3.1.3.3. <i>Le mélangeur par la source</i>	87
IV-3.1.4. <i>Le mélangeur à cellule de GILBERT</i>	88
IV-3.1.5. <i>Principe de base</i>	89
IV-3.1.6. <i>Calcul théorique simplifié dans le cas d'une loi de courant de type MOS</i>	89
IV-3.2. RÉCAPITULATIF DES PERFORMANCES DES MÉLANGEURS.....	90
IV-3.3. CONCLUSION QUANT AU CHOIX DE LA TOPOLOGIE À ADOPTER.....	92
IV-3.3.1. <i>Cas du mélangeur à cellule de GILBERT avec des transistors HIGFET</i>	92
IV-4. SIMULATION D'UN MELANGEUR A CELLULE DE GILBERT A HIGFET.....	93
IV-4.1. SIMULATION D'UN MÉLANGEUR À CELLULE DE GILBERT À HIGFET.....	93
IV-4.1.1. <i>Structure adoptée</i>	93
IV-4.1.2. <i>Choix du niveau d'OL</i>	94
IV-4.1.3. <i>Etude du gain de conversion et de la puissance de sortie</i>	95

IV-4.2. SPECTRE EN SORTIE ET ISOLATION.....	96
IV-4.3. ETUDE COMPARATIVE DE MÉLANGEURS DE GILBERT À HIGFET ET À AUTRES TECHNOLOGIES.	96
IV-5. COMMENT OPTIMISER LA STRUCTURE?.....	98
IV-6. CONCLUSION.....	99
IV-7. BIBLIOGRAPHIE DU CHAPITRE IV.....	100
CONCLUSION GENERALE.....	102
ANNEXES.....	105

INTRODUCTION GENERALE

INTRODUCTION GENERALE.

Depuis quelques années, l'essor exceptionnel pris par les systèmes de communication dans le domaine grand public a ouvert de nouveaux marchés pour les composants et dispositifs hyperfréquences, jusqu'alors réservés à des applications spécifiques.

Pour faire face à ces demandes, la stratégie mise en oeuvre est basée essentiellement sur la conception de circuits et systèmes à coût réduit, sur la miniaturisation de ces mêmes dispositifs et sur leur production en masse.

Dans ce contexte, de nombreux développements dans le domaine des composants ultra rapides, permettant la réalisation de circuits monolithiques consommant peu et de faible coût ont été effectués, tant sur silicium que sur des matériaux III-V. Parallèlement, l'ensemble des systèmes qui permettent de véhiculer l'information fait à ce jour l'objet d'intense développement.

Parmi les technologies III-V existantes, le procédé HIGFET (Heterostructure Insulated Gate Field Effect Transistor) Complémentaire auto-alignée sur GaAs apparaît être un candidat sérieux pour réaliser des circuits performants s'insérant dans une chaîne de communications sans fil. Initialement conçu dans le cadre du développement de circuits numériques ultra-rapides sur arséniure de gallium, les travaux concernant l'étude et la mise en oeuvre du transistor HIGFET de type N dans le domaine analogique hyperfréquences restent à ce jour quelque peu marginaux.

Bénéficiant des travaux relatifs à la mise au point d'un procédé de fabrication des transistors HIGFET par l'équipe du professeur G. SALMER à l'I.E.M.N, notre travail a consisté dans un premier temps à évaluer les performances hyperfréquences du transistor HIGFET de type N puis à établir un modèle électrique non-linéaire. Cette étude a ensuite débouché sur une mise en oeuvre de ce composant dans des applications non-linéaires fonctionnant en bande I.S.M à 2,4 GHz.

L'ensemble de ce travail s'articule en quatre chapitres.

Notre étude s'inscrivant dans le cadre des communications sans fil, nous présentons tout d'abord, dans un premier chapitre, les différents types de systèmes d'émission-réception potentiellement utilisables dans des systèmes de communication portable. De même, la présentation des différentes technologies intervenant dans ces dispositifs est abordée. Cette étude débouche sur la description du transistor HIGFET de type N et son intérêt pour les systèmes hyperfréquences.

Dans le second chapitre, la modélisation non-linéaire du composant, nécessaire pour l'élaboration de circuits micro-ondes non-linéaires, est entreprise. Pour cela, un modèle basé sur un schéma équivalent de transistor à effet de champ a été choisi. L'ensemble des éléments linéaires de ce schéma est déterminé à partir de mesures en régime impulsionnel et petit signal. Les non-linéarités sont décrites par des équations simples, calculées à l'aide d'une loi de contrôle de charge. Une comparaison entre les caractéristiques électriques simulées et celles établies en régime statique ainsi qu'en régime dynamique petit et grand signal est effectuée.

Le travail de modélisation du transistor débouche sur la conception et la réalisation d'un oscillateur libre à HIGFET fonctionnant à 2,4 GHz, qui constitue le troisième chapitre.

L'objectif de cette étude est double :

- elle doit permettre de conforter la validité du modèle décrit précédemment,
- elle doit également permettre d'établir les performances du transistor HIGFET dans une application analogique non-linéaire.

La simulation de l'oscillateur permet en premier lieu de déterminer les divers éléments du circuit et d'évaluer ses performances théoriques. Cette étude débouche sur une réalisation hybride de l'oscillateur. Les résultats concernant la caractérisation complète du circuit sont ensuite présentés. Enfin, la caractérisation d'une liaison optique radiofréquences faisant intervenir l'oscillateur, réalisée en collaboration avec l'équipe "optoélectronique" du professeur D. DECOSTER est exposée.

Dans un quatrième chapitre, une étude prospective de la fonction mélange de fréquence vient compléter notre travail. Cette partie s'inscrit dans le cadre de l'étude de

circuit à faible consommation pour les dispositifs du type "conversion directe de fréquence". L'analyse de différents mélangeurs à FET est tout d'abord effectuée. Une étude plus complète d'une structure de mélange utilisant une topologie du type cellule de Gilbert est ensuite exposée. Cette étude débouche sur l'analyse de ce type de structure conçue à l'aide de transistors HIGFET. Les performances du mélangeur simulé sont enfin comparées avec celles obtenues par des circuits analogues réalisés à partir de technologies MOS et bipolaire silicium.

CHAPITRE I

ORIENTATION DES CIRCUITS RF POUR LES SYSTEMES DE COMMUNICATION SANS FIL

CHAPITRE I ORIENTATION DES CIRCUITS RF POUR LES SYSTEMES DE COMMUNICATION SANS FIL

I-1. INTRODUCTION.

Depuis quelques années, l'explosion du marché des systèmes de communication sans fil tels que les radiotéléphones, les messageries de poche ou encore les réseaux locaux sans fil a donné lieu à un développement intensif de circuits analogiques et numériques ultra rapides, fonctionnant dans les gammes 1-1.9 GHz (téléphone cellulaire), 2.4-5.2 GHz (réseaux locaux sans fil) [1].

Actuellement, le choix de l'architecture d'un système radio ne dépend plus seulement des performances du dispositif en terme d'immunité aux interférences, sensibilité, sélectivité etc. mais dépend surtout de sa taille, de son coût et de la consommation des circuits qui le composent. Parallèlement un effort particulier dans le domaine des technologies des semi-conducteurs a été entrepris afin d'accroître les performances des transistors et d'assurer leur montée en fréquence. Si pour les applications fonctionnant en dessous de 1 GHz, l'utilisation intensive des procédés silicium s'impose naturellement, le choix de l'utilisation d'autres technologies utilisant des matériaux III-V pour les systèmes portables fonctionnant dans des gammes de fréquences supérieures est tout à fait justifiable [2].

Dans ce premier chapitre, deux approches différentes relatives à la conception

de systèmes de communication sont tout d'abord présentées puis comparées. Le bilan des différentes technologies silicium et III-V potentiellement utilisable dans les systèmes de communication sans fil est ensuite effectué.

I-2. LES SYSTEMES HETERODYNES.

La plupart des dispositifs d'émission réception radiofréquence fabriqués actuellement sont basés sur une approche hétérodyne conventionnelle [3][4][5] dans laquelle interviennent différents éléments discrets issus de diverses technologies silicium ou GaAs.

I-2.1 Architecture des dispositifs et principe de fonctionnement.

D'une façon générale, l'architecture d'un système hétérodyne repose sur l'utilisation d'une ou de plusieurs fréquences intermédiaires tant dans la chaîne d'émission que dans la partie réception.

Lors de l'émission des données décrite Figure I-1, une modulation numérique est appliquée à un signal IF dont la fréquence est relativement basse. Le signal résultant est ensuite transposé dans le domaine radiofréquence à l'aide d'un mélangeur puis amplifié avant d'être transmis [3].

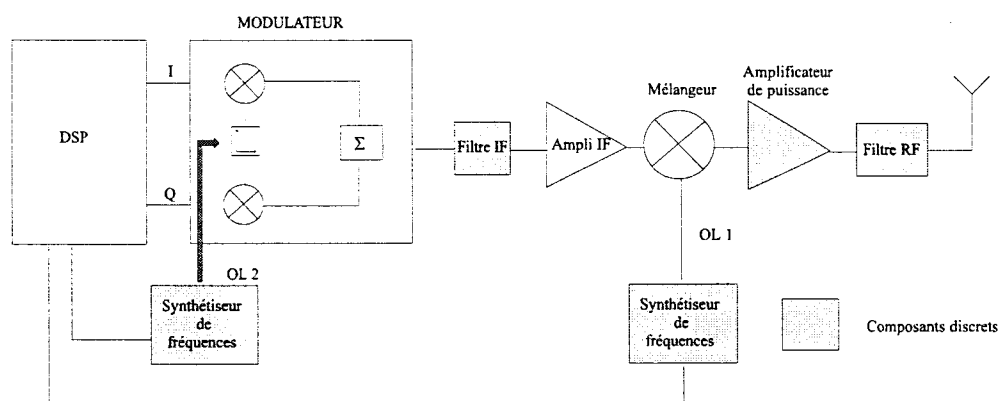


Figure I-1 :Schéma simplifié de la chaîne d'émission.

A la réception, le signal radiofréquence recueilli est converti à une fréquence intermédiaire fixe à l'aide d'un mélangeur et d'une source OL accordable. L'information est ensuite restituée en démodulant le signal IF en bande de base (Figure I-2).

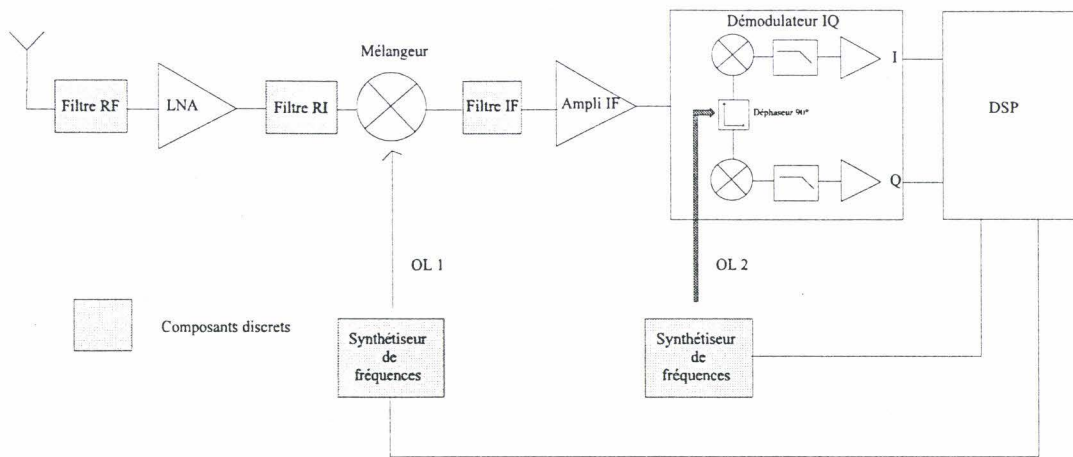


Figure I-2 : Schéma simplifié d'une chaîne de réception hétérodyne conventionnelle [3].

I-2.2 Performances et grandeurs caractéristiques

L'ensemble des filtres RF et IF et les sources synthétisées qui composent la chaîne de réception hétérodyne rendent cette structure difficilement intégrable en dépit des excellentes performances en terme de sélectivité et de sensibilité [3].

Afin de remédier à ce problème, une seconde approche peut être envisagée (Figure I-3). Elle consiste en premier lieu à translater l'ensemble des canaux du domaine RF à la fréquence IF en utilisant une source OL à fréquence fixe. Un simple filtre passe-bas élimine les signaux parasites hors bande convertis par le premier système de mélange. La sélection du canal désiré se fait alors en basse fréquence, en mélangeant le

signal IF à celui d'une source synthétisée accordable [3].

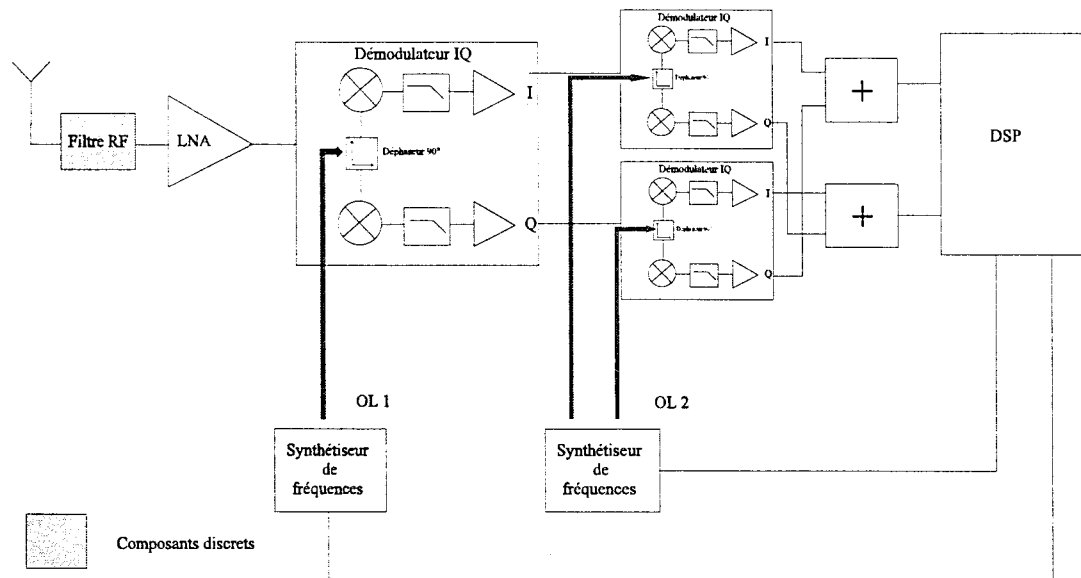


Figure I-3 : Système de réception hétérodyne utilisant une large bande IF.

Bien que présentant une très grande similitude avec le système de réception hétérodyne décrit auparavant, le principal avantage d'un tel dispositif est de s'affranchir du besoin :

- d'une source synthétisée accordable dans le domaine des hyperfréquences,
- du filtre IF passe-bande utilisé dans le système hétérodyne conventionnel.

Seule une source synthétisée basse fréquence est nécessaire pour effectuer la sélection du canal désiré, ce qui permet une meilleure intégration du premier oscillateur

local. Une diminution substantielle du bruit de phase généré par la source synthétisée accordable utilisée à la fréquence intermédiaire est également à prendre en compte [3]. Enfin, l'élimination du signal parasite présent à la fréquence image est effectuée à l'aide du système de mélange à réjection d'image intégrable et non plus à partir d'un filtre passe-bande.

Cependant, même si cette seconde architecture présente moins d'éléments passifs, les systèmes hétérodynes restent globalement complexes à intégrer et nécessitent en outre l'utilisation de plusieurs sources synthétisées. De plus, la modulation du signal IF basse fréquence, bien que plus simple à réaliser, a pour conséquence de limiter la bande passante donc le débit d'information [6].

I-3. LES SYSTEMES DE CONVERSION DIRECTE DE FREQUENCE.

De manière à réduire le nombre de composants nécessaires dans la chaîne d'émission réception et afin d'accroître le débit d'information à transmettre, une autre architecture standard déjà utilisée dans les systèmes digitaux cellulaires [7] et les messageries de poche [8] peut être envisagée. Cette architecture est basée sur l'utilisation d'un dispositif homodyne.

I-3.1 Topologie du dispositif et principe de fonctionnement.

Dans ces systèmes également appelés systèmes de conversion directe de fréquence, la transmission des données se fait en appliquant directement la modulation numérique sur le signal radiofréquence généré par l'oscillateur local. Le signal hyperfréquence à la sortie du modulateur IQ est ensuite amplifié, filtré puis émis (Figure I-4).

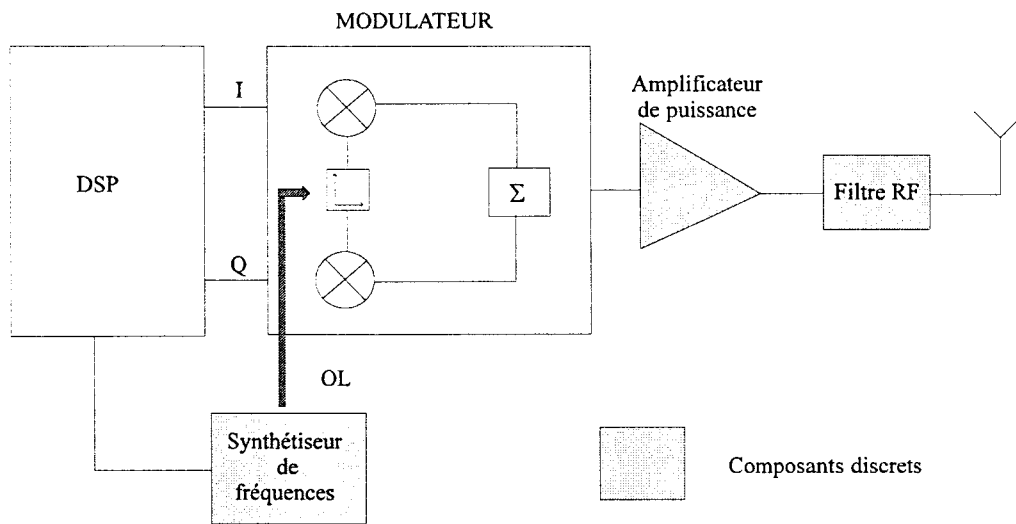


Figure I-4 : Système d'émission d'une chaîne de conversion directe de fréquence.

A la réception, l'oscillateur local est accordé à la fréquence RF. Le signal radiofréquence recueilli est démodulé directement en bande de base à l'aide d'un démodulateur IQ (Figure I-5).

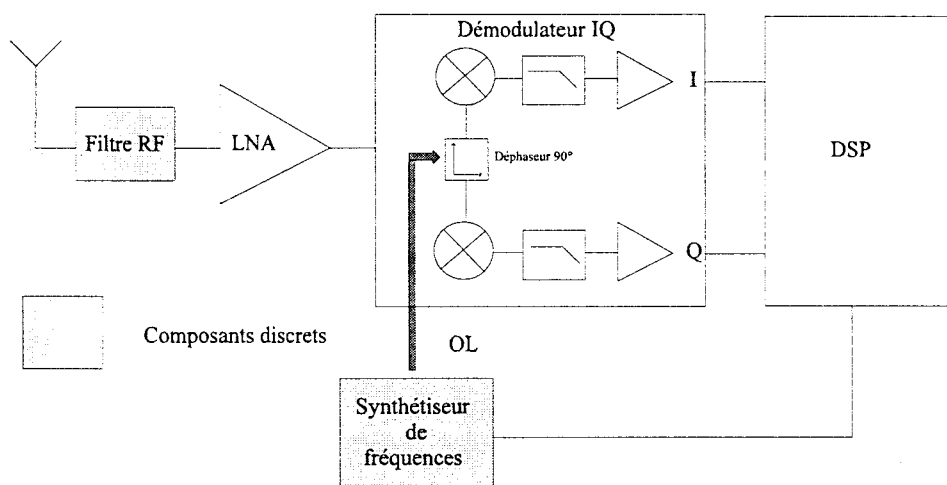


Figure I-5 : Chaîne de réception homodyne.

I-3.2 Performances et grandeurs caractéristiques.

Le principal intérêt de la conversion directe de fréquence par rapport aux systèmes hétérodynes est de s'affranchir de la chaîne de traitement à la fréquence intermédiaire ainsi que des systèmes de filtrage des signaux images [9]. De ce fait, une plus grande intégration du système est obtenue de même qu'une diminution du coût et de la consommation statique du système. Néanmoins, l'utilisation en hyperfréquence d'un signal OL accordable à très faible bruit de phase est à nouveau nécessaire.

L'accord fréquentiel entre le signal RF et le signal délivré par l'oscillateur local génère au sein de cette architecture deux problèmes lorsque l'isolation OL-RF du mélangeur et l'isolation de l'amplificateur faible bruit sont imparfaites [8]. Ces problèmes sont:

- la possible émission d'un signal OL parasite par le récepteur puisque le signal OL se trouve dans la bande passante de l'amplificateur faible bruit et de l'antenne [10],
- la présence dans le dispositif qui suit le mélangeur d'une composante continue parasite provenant du mélange d'un signal OL parasite avec celui de l'oscillateur local [11].

Notons néanmoins que ces problèmes ne constituent pas un handicap majeur pour les dispositifs utilisant la conversion directe de fréquence puisque ceux-ci peuvent être aisément résolus :

- en améliorant l'isolation physique des circuits (blindage) [10] ainsi que l'isolation de l'amplificateur faible bruit (topologie de type cascode) et du système de mélange,
- en compensant la composante continue parasite à l'aide d'un dispositif de régulation asservi numériquement à l'aide d'un DSP [11].

I-4. SYNTHÈSE COMPARATIVE DES DIFFÉRENTES ARCHITECTURES STANDARDS.

Afin de comparer les trois architectures standards précédemment décrites, l'ensemble des caractéristiques des trois chaînes a préalablement été rassemblé dans le tableau 1 [3].

Architecture du dispositif	Filtres discrets nécessaires	Sélection des canaux	Potentialité pour une utilisation multi standard	Filtrage des canaux	Système de réjection des signaux images
Hétérodyne	RF, Réjection d'image, IF	RF	Faible	IF	Filtre RF et filtre à réjection d'image
Hétérodyne à large bande IF	RF	IF	Elevée	Bande de base	Filtre RF et mélangeur à rejection d'image
Conversion directe de fréquence	RF	RF	Elevée	Bande de base	Inutile

Tableau 1.

Compte tenu de l'ensemble des remarques précédentes, la chaîne hétérodyne conventionnelle décrite en 2.1 offre incontestablement les meilleures performances en termes de sélectivité et de sensibilité, mais nécessite de nombreux éléments discrets avec des facteurs de qualité importants, rendant ce dispositif très difficilement intégrable. D'autre part, la faible bande passante des filtres utilisés limite l'utilisation de ce dispositif à un standard spécifique.

Pour résoudre ces deux importants problèmes, un second dispositif hétérodyne présenté au paragraphe 2.2 peut être envisagé, pour lequel le nombre de filtres discrets utilisés reste limité (Tableau 1). La réjection des fréquences images se fait à l'aide d'un

système de mélangeur et la sélection des canaux s'opère en bande de base.

Ceci permet l'utilisation de filtres IF programmables pour la sélection des canaux et d'une source radiofréquence fixe et non plus accordable, plus facilement intégrable. Ces modifications augmentent la souplesse d'utilisation du dispositif pour des applications multi standards. Néanmoins, cette architecture nécessite d'une part deux sources synthétisées tant à l'émission qu'à la réception de l'information. D'autre part, la modulation du signal IF restreint le débit d'information transmissible par le dispositif. Enfin, l'utilisation d'une fréquence intermédiaire non nulle introduit à nouveau le problème des signaux images.

Pour simplifier les systèmes radiofréquences, le procédé de conversion directe de fréquence décrit au paragraphe 3 apparaît le plus adéquat, puisque qu'il permet de s'affranchir du problème des signaux images ($IF=0$) et du filtre passe-bande IF intervenant dans la chaîne hétérodyne conventionnelle. Seul le filtre RF placé avant l'amplificateur faible bruit reste indispensable afin d'atténuer les signaux hors bande reçus par le dispositif. La modulation directe de la porteuse radiofréquence permet d'accroître considérablement le débit d'information à transmettre. Enfin, la démodulation du signal directement en bande de base offre la possibilité de réduire d'une façon substantielle la taille du dispositif et d'accroître son intégration.

I-5. LES OPTIONS TECHNOLOGIQUES.

Du fait de leur diversité, les circuits qui composent les systèmes de communications sans fil font intervenir des composants très différents, selon qu'il s'agisse par exemple de concevoir un amplificateur faible bruit ou au contraire un amplificateur de puissance. Il n'existe pas une technologie unique permettant de réaliser l'ensemble des fonctions analogiques et numériques mises en jeu dans ces dispositifs, mais au contraire un ensemble de procédés technologiques différents dont chacun d'eux apporte une amélioration au fonctionnement de l'ensemble du système [12].

Afin de mieux cerner la technologie la mieux adaptée pour l'élaboration de circuits intégrés intervenant dans les systèmes de communication sans fil, un résumé de l'ensemble des caractéristiques requises pour ces dispositifs figure ci-dessous [12] :

- **Considérations générales**

Procédé faible coût

Composant monotension d'alimentation

- **Applications petit signal**

systèmes facilement intégrables

composants comportant de faibles éléments parasites

excellent contrôle de la tension de seuil

- **Application de puissance**

haute tension de claquage

haut rendement

bonne linéarité

- **Autres Spécifications**

Faible bruit en $1/f$

grande stabilité

Il est à noter enfin qu'un effort important doit être fourni dans l'élaboration de dispositifs à faible consommation et opérant sous de faibles tensions de polarisation, 3V aujourd'hui, 1.5V demain et ce, afin de réduire l'encombrement et le poids liés aux batteries et d'accroître l'autonomie des systèmes portables [13].

I-5.1 Les filières silicium.

Le premier critère concernant le choix d'une technologie reste bien sûr le coût. A cet effet, les filières silicium pour des applications de communication sans fil opérant en dessous de 2 GHz figurent parmi les solutions les moins onéreuses [12]. Cependant, les inconvénients majeurs pour ces filières à l'exception du transistor bipolaire à hétérojonction SiGe proviennent d'une part d'une dégradation substantielle du rendement en puissance ajoutée (PAE) lorsque la fréquence augmente et lorsque la tension d'alimentation du système diminue [14]. D'autre part, la mauvaise résistivité du substrat silicium occasionne en haute fréquence des pertes importantes : il n'est pas possible de réaliser des éléments passifs intégrés ayant des facteurs de qualité importants [2] [12].

I-5.1.1 La filière bipolaire silicium.

La filière bipolaire silicium avec des transistors dont les fréquences de coupure du gain en courant de court-circuit (F_t) varient de quelques Gigahertz à environ 30 GHz [2] [12], représente la solution la moins coûteuse et la plus mature pour un large éventail d'applications radiofréquences. Grâce à ses performances, le transistor bipolaire permet de réaliser la quasi totalité des circuits analogiques qui composent un système radiofréquence [12]. Seule la partie relative à l'amplification de puissance reste jusqu'à présent irréalisable du fait de la moins bonne compétitivité des composants silicium vis à vis des transistors III-V en terme de rendement en puissance ajoutée (PAE). Une alternative à ce problème consiste à utiliser des transistors bipolaires à hétérojonctions (TBH) à partir d'un matériau SiGe épitaxié. Bénéficiant de meilleures caractéristiques intrinsèques [5], le TBH permet la réalisation de l'ensemble des fonctions RF requises dans les systèmes de communication sans fil. Néanmoins, la complexité du procédé

technologique employé ainsi que son manque de maturité par rapport à la technologie bipolaire conventionnelle représentent deux facteurs limitatifs pour des applications faible coût [15].

I-5.1.2 La filière CMOS.

Composant monotension au même titre que le transistor bipolaire, le transistor MOS peut être à la fois utilisé pour des applications analogiques et digitales, permettant ainsi la réalisation de circuits mixtes analogiques/numériques au sein d'un même substrat silicium. Autrefois réservé au domaine digital et aux applications analogiques en basse fréquence, le transistor MOS, du fait des améliorations sans cesse apportées aux procédés de fabrications devient un excellent candidat pour les applications radiofréquences jusqu'à 2 GHz [3] [16]. Cependant, bien qu'il soit possible de réaliser toutes les fonctions analogiques y compris l'étage de puissance [2], un challenge important reste la fabrication de transistors de puissance fonctionnant au delà de 1 GHz et sous des tensions d'alimentation inférieures à 3V [12].

I-5.1.3 La filière BiCMOS.

Combinant à la fois des transistors bipolaires et des transistors MOS, la technologie BiCMOS offre l'avantage de pouvoir réaliser, au même titre que la technologie CMOS, des circuits analogiques/numériques sur un même substrat. Néanmoins, l'avantage essentiel du procédé BiCMOS par rapport aux deux filières précédentes est d'une part de bénéficier des performances du transistor bipolaire dans les parties analogiques radiofréquence du système et d'autre part d'utiliser les transistors MOS dans l'ensemble des circuits numériques et dans les circuits analogiques fonctionnant en bande de base [17]. De nombreux exemples illustrent les excellentes performances de systèmes radiofréquences conçus à partir d'un procédé BiCMOS, contenant à la fois les fonctions analogiques et numériques [1][17][18]. Cependant, le principal inconvénient de cette technologie est le coût de fabrication nettement supérieur du fait de la complexité et de la multiplicité des niveaux de masquage intervenant dans le procédé de fabrication [15].

I-5.2 Les filières III-V.

En dépit des meilleures performances intrinsèques présentées par les matériaux III-V, leur utilisation dans les systèmes de communication portable reste encore quelque peu marginale. La raison principale est d'une part le coût élevé des matériaux de base et les volumes de production plus faibles que pour les circuits silicium. D'autre part, l'absence d'oxyde de qualité sur GaAs rend incompatible les technologies III-V pour les applications digitales de type VLSI. Seuls des circuits spécifiques tels que l'amplificateur de puissance ou encore le commutateur électronique sont réalisés sur Arséniure de Gallium. La motivation principale de ce choix reste le meilleur rendement en puissance ajoutée des transistors sur GaAs ainsi que les pertes moins importantes du substrat GaAs par rapport au silicium.

I-5.2.1 Les transistors MESFET et HEMT.

Pour les systèmes de communications digitaux, le rendement en puissance ajoutée ainsi que la linéarité des transistors de puissance dans la gamme de fréquences 900 MHz - 2 GHz sont deux données fondamentales [19]. A ce titre, les technologies MESFET et HEMT Normally ON sur couches épitaxiées permettent de répondre à ces besoins [20]. Cependant, bien que fonctionnant sous des tensions de polarisation de l'ordre 3V, ces transistors présentent deux inconvénients importants

- ils fonctionnent avec une tension de grille négative,
- ils sont élaborés à partir de structures épitaxiées coûteuses.

Afin de minimiser les coûts, et d'optimiser les rendements de fabrication ainsi que la reproductibilité des composants, une solution consistant à utiliser des transistors MESFET implantés [20] peut être envisagée. Outre ses performances hyperfréquences intéressantes, ce composant offre l'avantage de s'affranchir de la polarisation de grille négative. Cependant, la puissance de sortie reste limitée du fait du moins bon transport électronique dans ces structures.

I-5.2.2 Le transistor Bipolaire à hétérojonction sur GaAs.

Le transistor bipolaire à hétérojonction est actuellement l'un des meilleurs candidats à l'amplification de puissance. Associant à la fois une excellente linéarité et de très bonnes performances en termes de rendement PAE [21], ce composant bénéficie en plus d'une plus grande densité de puissance par rapport aux transistors MESFET et HEMT [21]. Une conséquence directe est la réduction de la taille des composants à densité de puissance égale. Enfin, son excellente qualité en bruit basse fréquence le rend également très intéressant pour la réalisation de sources hyperfréquences à faible bruit de phase [22]. Cependant, la complexité ainsi que le manque de maturité des procédés de fabrication limitent encore son utilisation dans les systèmes de communication grand public.

I-5.3 Les transistors HIGFET sur GaAs

L'utilisation de transistors HIGFET complémentaires (Heterostructure Insulated Gate Field Effect Transistor) sur couches pseudomorphiques GaAlAs/GaInAs/GaAs décrits Figure I-6 représente une alternative très intéressante à la logique CMOS pour la réalisation de circuits numériques ultra-rapides et à faible consommation [23].

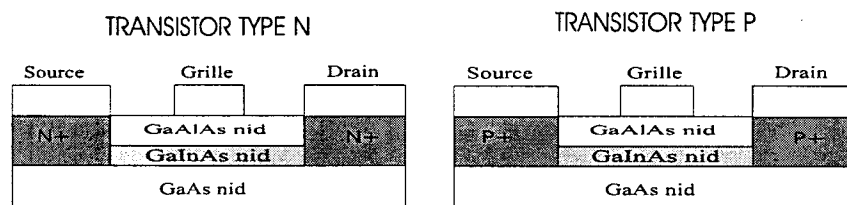


Figure I-6 : Structure des transistors HIGFET de types N et P

Conçu en technologie autoalignée [15] et tirant profit de l'absence de dopage dans les couches épitaxiées, ce procédé entièrement planar permet :

- d'obtenir des tensions de seuil extrêmement uniformes au sein d'un wafer [15],

- d'offrir une parfaite reproductibilité des composants d'un wafer à l'autre [15],
- de supprimer les effets de piégeage liés aux centres DX occasionnant un effet de "collapse" à basse température ainsi qu'un phénomène de photoconductance dans le cas du HEMT [15],
- de réaliser des composants monotension d'alimentation,
- de réduire les coûts de fabrication par rapport à une technologie HEMT épitaxiée.

Bien qu'initialement dévolu aux applications numériques et pénalisé par sa forte résistance de grille, les mesures antérieures portant sur des transistors de type N (dopage 40% Al) réalisées à l'I.E.M.N par J.F THIERY [15] ont mis en évidence toute les potentialités de ce composant pour des applications hyperfréquences. En particulier, les fréquences de coupure du gain en courant de court-circuit H21 de l'ordre de 22 GHz et 39 GHz ont été obtenus ainsi que des transconductances atteignant 390 mS/mm et 590 mS/mm pour des composants de longueur de grille de 1 μm et 0.5 μm . Notons de plus que l'ensemble des caractéristiques optimales des transistors HIGFET a été établi pour des tensions de grille de 1.3 V, faisant apparaître le HIGFET comme un candidat prometteur pour des applications fonctionnant à basse tension d'alimentation ainsi que pour la réalisation de circuits mixtes analogiques/numériques sur GaAs.

I-6. CONCLUSION.

Dans ce premier chapitre, la comparaison de différentes architectures standards utilisées dans les systèmes de communication sans fil a tout d'abord été réalisée. Cette étude comparative montre l'intérêt présenté par les systèmes de conversion directe de fréquence par rapport aux systèmes hétérodynes pour des dispositifs faible coût, faible consommation et de petites dimensions. Une présentation des différentes technologies silicium et III-V met ensuite en évidence l'intérêt de la technologie BiCMOS pour la réalisation de circuits intégrés intervenant dans les

systèmes portables fonctionnant en dessous de 2 GHz. Notons cependant qu'en dépit de leurs propriétés intrinsèques très intéressantes, l'utilisation des composants III-V dans les systèmes de communication sans fil reste quelque peu marginale du fait de leur coût par rapport aux composants silicium et de leur incompatibilité avec les procédés technologiques de circuits digitaux VLSI. Seuls des circuits spécifiques tels que l'amplificateur de puissance et le commutateur intégré sont réalisés de façon intensive à partir de ces technologies.

Une alternative intéressante permettant la réalisation de circuits analogiques/numériques sur GaAs faible coût et à faible consommation est l'utilisation de la technologie HIGFET complémentaire sur GaAs. Néanmoins, la mise en oeuvre du transistor HIGFET de type N dans des applications analogiques hyperfréquences nécessite l'élaboration d'un modèle électrique permettant de décrire rigoureusement les caractéristiques du composant. Afin de répondre à ce problème, nous présentons dans le second chapitre, un modèle nonlinéaire de transistors HIGFET de type N adapté à ce type d'application.

I-7. BIBLIOGRAPHIE DU CHAPITRE I.

- [1] M. Madihian, E. Bak, H. Yoshida, H. Hirabayashi, K. Imai, Y. Kinoshita, T. Yamazaki, L. Desclos : "A 2-V 1-10 GHz BiCMOS Transceiver Chip for multimode wireless Communication Networks." IEEE Journal of Solid-State Circuits, Vol 32 n°4, April 1997, pp 521-524.

- [2] L.M. Burns "Application for GaAs and silicon integrated circuits in next generation wireless communication systems." IEEE Journal of Solid-State Circuits, Vol 30 n°10, October 1995, pp 1088-1095.

- [3] J.C. Rudell, J.J Ou, T. Byunghak Cho, G. Chien, F. Brianti, J.A. Weldon, P.R Gray : "A 1.9 GHz wide-band IF double conversion CMOS receiver for cordless telephone applications." IEEE Journal of Solid-State Circuits, Vol 32 n°12, December 1997, pp 2071-2088.

- [4] H. Sato, K. Kashiwagi, K. Niwano, T. Iga, T. Ikeda, K. Mashiko, T. Sumi, K. Tsuchihashi : "A 1.9 GHz Single chip IF transceiver for digital cordless phones." IEEE Journal of Solid-State Circuits, Vol 31 n°12, December 1996 pp 1974-1979.

- [5] L.E Larson (Editor) "RF and Microwave circuit design for wireless communications." Mobile communication series, Artech House, Boston, 1996.

- [6] A. Boveda, F. Ortigoso, J.L. Alonso : "A 0.7-3 GHz GaAs QPSK/QAM direct modulator." IEEE Journal of Solid-State Circuits, Vol 28 n°12, December 1995, pp 1340-1349.

- [7] C. Berland, J. Dulongpont, P. Genest, E. Laurent : "Radios in mobile communication equipment", in Proc 1995 IEEE International Topical Meeting, Nomadic microwave technologies and techniques for mobile communications and

detection, Arcachon France, pp 31-33, 1995.

- [8] A.A Abidi : "Direct-conversion radio transceivers for digital communications.", IEEE Journal of Solid-State Circuits, Vol 30 n°12, December 1995, pp 1399-1410.

- [9] C. Dennis, J.L. Tham, R.R Chu : "A direct-conversion receiver for 900 MHz (ISM band) Spread-spectrum digital cordless telephone." IEEE Journal of Solid-State Circuits, Vol 31 n°12, December 1996, pp 1955-1963.

- [10] H. Tsurumi, T. Maeda : "Design and study on direct conversion receiver front-end for 280 MHz, 900 MHz and 2.6 GHz band radio communication systems", in IEEE veh. Technol, Conf, St Louis, MO, 1991, pp 457-462.

- [11] D. Haspeslagh, J. Ceutericck, L. Kiss, J. Wenin, A. Vanwelsenaers, C. Enel-Rehel : "BBTRX : a baseband transceiver for a zero IF GSM hand portable station", in proc IEEE Custom Integrated Circuits Conference, San Diego, CA 1992 pp10.7.1-10.7.4.

- [12] M. Golio : "Device and material technologies for commercial communications", in Proc 1995 IEEE International Topical Meeting, Nomadic microwave technologies and techniques for mobile communications and detection, France pp 3-9, 1995.

- [13] K.M. Baughan : "The wireless communications market-is there a place for GaAs", in GaAs IC Symposium Tech, Dig., pp 3-5, 1995.

- [14] M. Rocchi : "GaAs MMICs for cordless and cellular telecommunications : The fight against silicon odds", in the European Microwave Conference 1994 pp36-47.

- [15] J.F Thiery : "Etude et réalisation de transistors HIGFETs complémentaires en technologie auto-alignée pour circuits logiques rapides et à faible consommation." Thèse de doctorat soutenue le 11.10.1996.
- [16] A. Rofougaran, J.Y.C Chang, M. Rofougaran, A.A Abidi : "A 1 GHz CMOS RF front-end IC for a direct-conversion wireless receiver". IEEE Journal of Solid-State Circuits, Vol 31 n°7, July 1996, pp 880-889.
- [17] P .Senn "Radio frequency IC's in BiCMOS technology for mobile communications", in Proc 1995 IEEE International Topical Meeting, Nomadic microwave technologies and techniques for mobile communications and detection, Arcachon France pp 91-96, 1995.
- [18] R.G. Meyer, W.D. Mack, J.J.E.M Haggeraats : "A 2.5 GHz BiCMOS transceiver for wireless LAN's." IEEE Journal of Solid-State Circuits, Vol 32 n°12, December 1997, pp 2097-2104.
- [19] H. Ono, Y. Umemoto, M. Mori, M. Miyazaki, A. Terano, M. Kudo : "Pseudomorphic power HEMT with 53.5% power-added efficiency for 1.9 GHz PHS standards", IEEE MTT-S Digest 1996 pp 547-549.
- [20] Y.L. Lai, E.Y. Chang, C.Y. Chang, M.C Tai, T. H Liu, S.P Wang, K.C. Chuang, C.T. Lee : "High-efficiency and low-distortion directly-ion-implanted GaAs power MESFET's for digital personal handy-phone applications." IEEE Electron Device Letters, Vol 18 n°9, September 1997, pp 429-431.
- [21] C.W Kim, N. Hayama, N. Gorio, K. Honjo : "High-linearity and small-chip AlGaAs/GaAs power HBT's for L-band personal digital cellular applications." IEEE Electron Device Letters, Vol 18 n°4, April 1997, pp 147-149.

- [22] X. Zhang, D. Sturzebecher, A.S. Daryouch : "Comparison of the phase noise performance of HEMT and HBT based oscillators", in IEEE MTT-S Digest 1995 pp 697-700.
- [23] J. Hallmark, C. Shurboff, B. Ooms, R. Lucero, j. Abrokwah, J.H. Huang : "0.9-V DSP block: A 15 ns 4-k SRAM and a 45-ns 16-b multiply/accumulator." IEEE Journal of Solid-State Circuits, Vol 30 n°10, October 1995, pp 191136-1140.74

CHAPITRE II

MODELISATION DU TRANSISTOR HIGFET.

CHAPITRE II : MODELISATION DU TRANSISTOR HIGFET.

II-1. INTRODUCTION.

Dans le but d'étudier des dispositifs hyperfréquences fonctionnant en régime non-linéaire, la modélisation d'un transistor implanté dans un logiciel de C.A.O doit reposer sur l'utilisation d'équations simples, décrivant le plus rigoureusement possible le comportement électrique du composant. Bien que des travaux concernant la modélisation des transistors HIGFET aient déjà été effectués dans le but d'étudier des fonctions logiques élémentaires [1], ceux-ci doivent être complétés afin de permettre la description la plus réaliste possible du composant en fonctionnement analogique hyperfréquences.

Dans ce second chapitre, nous présentons tout d'abord la modélisation non-linéaire du transistor HIGFET de type N élaboré à partir d'une structure pseudomorphique GaAlAs/GaInAs/GaAs. Ce modèle ensuite implanté dans le logiciel de C.A.O MDS (Microwave Design System de chez Hewlett Packard) fera l'objet d'une validation à l'aide d'une confrontation simulations-mesures.

II-2. CHOIX DU MODELE.

La mise en oeuvre d'un modèle dans un logiciel de CAO doit permettre de décrire le comportement électrique du composant tant en régime statique qu'en régime dynamique petit et grand signal. Pour cela, notre choix s'est porté sur l'utilisation d'un modèle phénoménologique, c'est-à-dire basé sur un schéma équivalent du transistor dont la description est donnée Figure II- 1.

Les éléments non-linéaires qui composent ce schéma sont traduits à partir d'expressions analytiques soit purement mathématiques [2], soit construites à partir de modèles standards, ou enfin à l'aide d'une loi de contrôle de charge [3]. Cependant, la modélisation de type polynomiale fait intervenir de nombreux coefficients et nécessite en outre l'extraction de l'ensemble des éléments non-linéaires du schéma équivalent telles que les capacités, la transconductance ou encore la conductance de sortie à partir de mesures statiques et hyperfréquences [2]. La modélisation à partir de modèles standard implantés dans MDS est établie pour des transistors MESFET et se prête mal à la description de composants plus spécifiques tels que les HEMT ou encore le HIGFET.

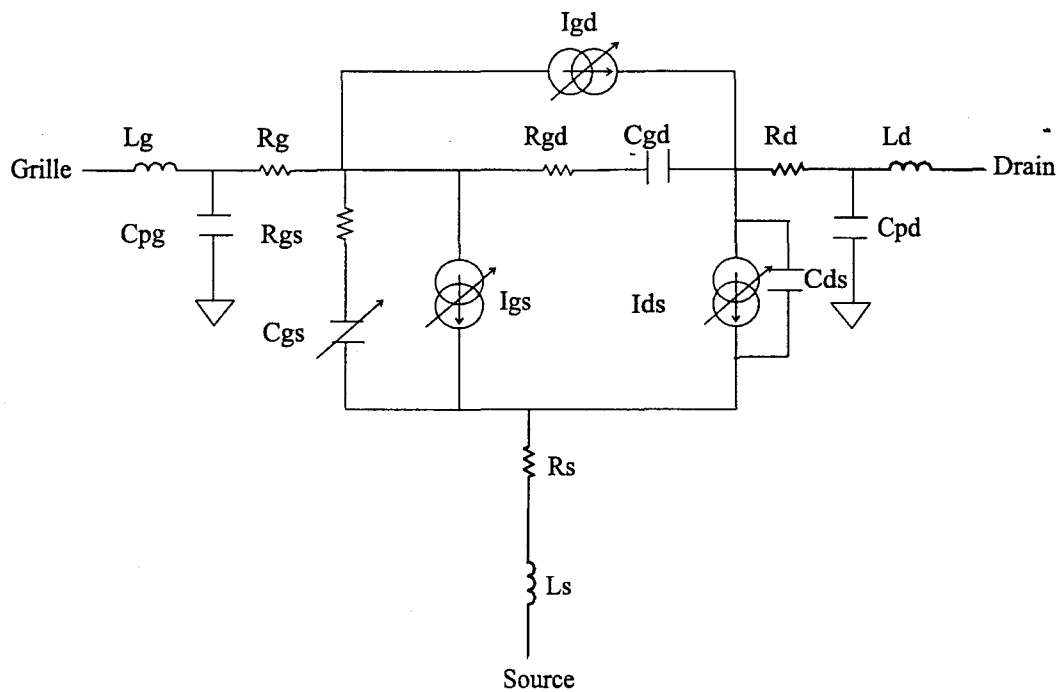


Figure II- 1 : Schéma électrique équivalent d'un TEC.

Afin de décrire au mieux le comportement électrique du HIGFET tout en gardant une modélisation simple à mettre en oeuvre, le modèle que nous nous proposons d'établir à présent a pour origine la loi de contrôle de charge établie par BAEK [3] pour les transistors HIGFET.

II-2.1 La loi de contrôle de charge.

L'élaboration de la loi de contrôle de charge décrite dans [3] a pour origine le diagramme de bande d'énergie du transistor HIGFET de type N élaboré sur des couches pseudomorphiques GaAlAs/GaAs (Figure II- 2).

La chute de potentiel V_{ox} dans la couche pseudo-isolante GaAlAs, correspondant à l'application d'une tension V_g positive sur la grille du transistor, est donnée par :

- $$V_{ox} = V_g - \Phi_b + \Delta E_c - V(0) \tag{II-1}$$

Dans cette équation, V_g est le potentiel de grille, Φ_b représente la barrière de potentiel à l'interface métal/GaAlAs, ΔE_c est la discontinuité des bandes de conduction des matériaux GaAs et GaAlAs, $V(0)$ correspond à la différence entre le niveau de Fermi et la bande de conduction du GaAs présent à l'interface GaAs/GaAlAs.

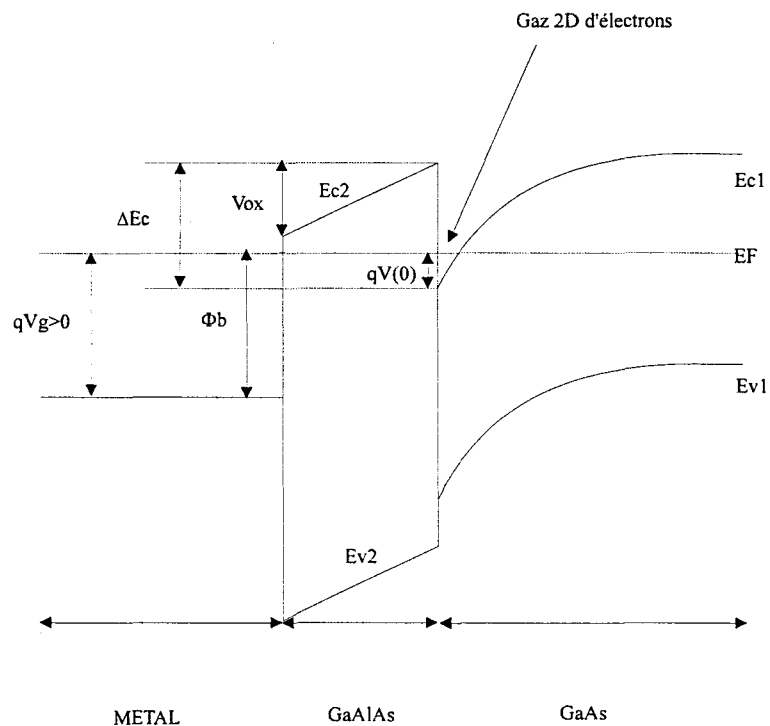


Figure II- 2: Structure de bandes d'énergies d'une structure MIS GaAlAs/GaAs.

En utilisant (II-1), la densité de charge développée à l'interface GaAlAs/GaAs notée N_s est donnée par [3]:

$$qN_s = Cox[Vg - \Delta Ec + \Phi b - V(0)] \quad (II-2),$$

$$\text{avec } Cox = \frac{\epsilon}{d_{GaAlAs}},$$

q : charge de l'électron.

Dans cette équation, Cox représente la capacité de la couche GaAlAs par unité de surface, ϵ et d_{GaAlAs} représentent respectivement la permittivité et l'épaisseur de la couche GaAlAs pseudo-isolante.

Le potentiel $V(0)$ est relié à la densité de charge par la relation :

$$V(0) = An \cdot N_s^{\frac{1}{2}} - Von \quad (II-3),$$

où An et Von sont deux fonctions polynomiales dépendant de la température [3]

En combinant les équations (II-2) et (II-3), l'expression reliant la densité électronique de charge du transistor HIGFET au potentiel appliqué est donnée par :

$$qN_s = Cox \left[Vg - Vc - KF(Vg - Vr)^{\frac{1}{2}} \right] \quad (II-4),$$

où Vc , Vr et KF sont tels que :

- $Vc = Vth - \frac{Cox \cdot An^2}{2 \cdot q},$

- $$V_r = V_{th} - \frac{C_{ox} \cdot A n^2}{4 \cdot q},$$

- $$KF = \left[\frac{C_{ox} \cdot A n^2}{q} \right]^{\frac{1}{2}}.$$

Dans ces équations, V_{th} représente la tension de seuil du transistor, c'est-à-dire le potentiel V_g pour lequel N_s s'annule.

II-2.2 Présentation des éléments du schéma équivalent du transistor.

Le schéma équivalent retenu pour le transistor HIGFET décrit figure II-1 est constitué de neuf éléments linéaires :

- deux résistances de charge côté grille et drain R_{gs} et R_{gd} . Bien que dépendant du point de polarisation du composant, ces deux résistances seront dans notre travail considérées comme constantes et égales à une valeur moyenne établie à partir de mesure faite en zone de saturation,
- les inductances d'accès L_g , L_s et L_d qui représentent les inductances parasites de connexions de grille, de source et de drain,
- les capacités plots C_{pd} et C_{pg} d'origine électrostatique qui sont liées aux plots de métallisation côté drain et grille,
- la capacité C_{ds} résultant du couplage entre les électrodes de source et de drain,
- la capacité C_{gd} qui représente les variations de charges accumulées dans la zone désertée sous la grille côté drain. Notons cependant que pour de faibles variations de V_{ds} , la capacité C_{gd} peut être considérée comme fixe et indépendante des variations de la tension V_{gs} .

Les éléments non-linéaires constituant le modèle sont au nombre de quatre :

- deux sources de courants I_{gs} et I_{gd} qui représentent l'évolution du courant de grille des jonctions grille-source et grille-drain en fonction des potentiels V_{gs} et V_{ds} appliqués au composant,
- une source de courant I_{ds} qui traduit la saturation des porteurs dans le transistor ainsi que le pincement. Cette source contient les informations relatives à la transconductance G_m ainsi qu'à la conductance de sortie G_d ,
- la capacité C_{gs} qui traduit l'accumulation de charges dans la zone désertée sous la grille côté grille-source.

II-2.2.1 Les sources de courant I_{gs} et I_{gd} .

Dans le cas du transistor HIGFET, deux effets régissant le courant de grille sont à prendre en considération [4]:

- un effet thermoionique,
- un effet tunnel.

La source de courant I_{gs} qui modélise le courant de fuite à travers la jonction grille-source ne peut donc être décrite simplement par une loi de type Schottky lors d'un fonctionnement en direct de la grille [4]. Dans le cadre de notre étude et afin de prendre en compte la structure réelle du transistor, une description plus correcte de cette source à partir d'une loi de type MIS a été adoptée.

La loi utilisée est celle décrite par FUJITA pour des structures MIS [5] et fait intervenir deux régimes de fonctionnement suivant que le potentiel V_{gs} est inférieur ou supérieur à la tension de seuil V_{th} :

$$I_{gs} = I_{gs_0} \cdot e^{\left(\frac{-q \cdot \Phi_b}{k \cdot T}\right)} \cdot \left(e^{\left(\frac{q \cdot \Phi_s}{k \cdot T}\right)} - 1 \right), \text{ avec } \Phi_s = \begin{cases} V_{gs} \\ V_{th} + S(V_{gs} - V_{th})^R \end{cases} \begin{cases} V_{gs} < V_{th} \\ V_{gs} > V_{th} \end{cases} \quad (\text{II-5})$$

$$\text{et } I_{gs_0} = A^* \cdot T^2 \cdot S_u.$$

Dans cette équation, A^* représente la constante de Richardson, S_u la surface du transistor, Φ_b est la barrière de potentiel à l'interface métal/GaAlAs, S_u la surface du composant, V_{th} la tension de seuil du transistor, R et S sont deux paramètres d'accord.

Lors du fonctionnement normal du transistor HIGFET c'est-à-dire lorsque la tension V_{gd} est négative, la jonction grille drain est polarisée en inverse. Par conséquent, une loi de type Schottky a été retenue pour la modélisation de la source de courant I_{gd} :

$$I_{gd} = I_{gd_0} \cdot \left(e^{\left(\frac{q \cdot V_{gd}}{\eta \cdot k \cdot T}\right)} - 1 \right) \quad (\text{II-6}),$$

II-2.2.2 La source de courant I_{ds} .

La source de courant I_{ds} constitue l'une des principales non-linéarité du transistor. Traduisant l'effet de saturation des électrons dans le composant ainsi que le pincement du canal, elle contient à la fois l'information sur les variations de la transconductance G_m et de la conductance de sortie G_d .

II-2.2.2.1 Hypothèse de calcul.

Le courant I_{ds} se calcule à partir de la loi de contrôle de charge (II-4) définie précédemment. Cependant une hypothèse simplificatrice doit être faite au préalable afin de pouvoir établir une expression analytique du courant de drain. Elle consiste à considérer une évolution de la vitesse des électrons du type [3]:

$$\begin{cases} v = \mu_0 \cdot E & \text{lorsque } E \leq E_c \\ v = v_s & E > E_c \end{cases},$$

avec v : vitesse des porteurs dans le canal,

v_s : vitesse de saturation des porteurs,

μ_0 : mobilité électronique en champ faible,

E : champ électrique appliqué,

E_c : « champ critique ».

II-2.2.2.2 Calcul du courant I_{ds} en régime de conduction.

En tenant compte de l'hypothèse définie au paragraphe 2.2.2.1, le calcul du courant en régime de conduction se fait en intégrant la loi d'Ohm le long du canal :

$$\int_0^{L_g} I_{ds} dx = \int_0^{V_{ds}} \frac{W}{L_g} \cdot \mu_0 \cdot Cox \cdot q \cdot N_s(V) \cdot dV,$$

$$\text{avec } q \cdot N_s(V) = Cox \cdot \left[V_{gs} - V - V_c - KF(V_{gs} - V - V_r)^{\frac{1}{2}} \right],$$

soit

$$I_{ds_{cond}} = \beta \cdot \left[(V_{gs} - V_c) \cdot V_{ds} - \frac{1}{2} \cdot V_{ds}^2 + \frac{2}{3} \cdot KF \cdot \left[(V_{gd} - V_r)^{\frac{3}{2}} - (V_{gs} - V_r)^{\frac{3}{2}} \right] \right] \quad (\text{II-7}),$$

$$\text{avec } \beta = \frac{W \cdot \mu_0 \cdot Cox}{L_g}, \text{ } L_g \text{ et } W \text{ étant respectivement la longueur et la largeur}$$

de grille.

II-2.2.2.3 Expression du potentiel $V_{ds_{sat}}$ et du courant I_{ds} en régime de saturation.

Pour déterminer la tension V_{ds} occasionnant la saturation des porteurs dans le canal, il nous faut, compte-tenu de l'hypothèse de calcul initiale, considérer le courant de saturation $I_{ds_{sat}}$ comme constant et égal à :[3]

$$I_{ds_{sat}} = W \cdot q \cdot N_s \cdot v_s .$$

En supposant que la saturation des porteurs est atteinte en fin de canal et que le champ appliqué correspondant est E_c [5], il vient alors :

$$I_{ds_{sat}} = \beta \cdot E_c \cdot L_g \cdot \left[V_{gs} - V_{ds} - V_c - KF \cdot (V_{gs} - V_{ds} - V_r)^{\frac{1}{2}} \right] \quad (II-8),$$

La tension $V_{ds_{sat}}$ est obtenue lorsque les courants $I_{ds_{cond}}$ et $I_{ds_{sat}}$ sont égaux

c'est-à-dire pour : $V_{ds_{sat}} = V_{sl} \cdot \left[1 - \frac{(V_{sl})^n \cdot 10^{-b}}{(V_{gs} - V_r - a \cdot V_{sl})^n} \right]$ [5], (II-9)

avec a, b, n paramètres constants.

Rappelons que lorsque la tension grille-source appliquée au composant est inférieure à la tension de seuil V_{th} , aucune charge n'est présente dans le canal du transistor ($q \cdot N_s = 0$).

Par conséquent, la tension de saturation est définie pour tout potentiel V_{gs} par l'expression :

$$V_{ds_{sat}} = \begin{cases} 0 \\ V_{sl} \cdot \left[1 - \frac{(V_{sl})^n \cdot 10^{-b}}{(V_{gs} - V_r - a \cdot V_{sl})^n} \right] \end{cases} \text{ pour } \begin{cases} V_{gs} \leq V_{th} \\ V_{gs} > V_{th} \end{cases}$$

Notons dans un premier temps que cette fonction, bien que continue, ne peut pas être dérivée par rapport à la tension V_{gs} au potentiel V_{th} puisqu'elle présente un point anguleux pour ce potentiel.

En remplaçant V_{ds} par $V_{ds_{sat}}$ dans l'équation (II-7), nous obtenons l'expression du courant de saturation $I_{ds_{sat}}$:

$$I_{ds_{sat}} = \beta \cdot \left[(V_{gs} - V_c) \cdot V_{ds_{sat}} - \frac{1}{2} \cdot V_{ds_{sat}}^2 + \frac{2}{3} \cdot KF \cdot \left[(V_{gs} - V_{ds_{sat}} - V_r)^{\frac{3}{2}} - (V_{gs} - V_r)^{\frac{3}{2}} \right] \right] \quad (II-10),$$

ce qui revient à utiliser une fonction V_{ds1} dans l'expression du courant évoluant comme :

$$V_{ds1} = \begin{cases} V_{ds} & \text{pour } \begin{cases} V_{ds} < V_{ds_{sat}} \\ V_{ds} > V_{ds_{sat}} \end{cases} \end{cases}$$

L'expression générale du courant quel que soit le régime de fonctionnement est alors donnée par :

$$I_{ds} = \beta \cdot \left[(V_{gs} - V_c) \cdot V_{ds1} - \frac{1}{2} \cdot V_{ds1}^2 + \frac{2}{3} \cdot KF \cdot \left[(V_{gs} - V_{ds1} - V_r)^{\frac{3}{2}} - (V_{gs} - V_r)^{\frac{3}{2}} \right] \right] \quad (II-11).$$

II-2.2.3 Détermination de la capacité C_{gs} .

Le calcul de la capacité C_{gs} à partir du logiciel de simulation M.D.S se fait par l'intermédiaire d'un calcul de charge dans le transistor. Pour cela, il nous faut au préalable calculer la charge totale présente dans le canal du composant en fonction des potentiels V_{gs} et V_{ds} .

Ce calcul, détaillé dans l'annexe 1, se fait en régime de conduction c'est-à-dire pour $V_{ds} < V_{ds_{sat}}$ en intégrant la loi de contrôle de charge $q \cdot N_s$ le long du canal:

$$Q_T = \int_0^{L_g} q \cdot N_S(x) dx = W \cdot L_g \cdot \frac{\int_{V_s}^{V_d} (q \cdot N_S(V))^2 dV}{\int_{V_s}^{V_d} q \cdot N_S(V) dV} \quad [5]. \quad (\text{II-12})$$

Lorsque le régime de saturation est atteint, le potentiel V_{ds} est alors remplacé par le potentiel $V_{ds_{sat}}$ ce qui revient également à utiliser la fonction V_{ds1} définie en 2.2.2.3 dans les équations. La capacité C_{gs} est obtenue en différenciant l'expression (II-12) par rapport à V_{gs} .

II-3. ANALYSE CRITIQUE DU MODELE INITIAL - AMELIORATIONS APORTEES.

Bien qu'adaptée pour la description des caractéristiques électriques du composant [3], l'implantation de telles équations dans un simulateur pose différents problèmes :

- des discontinuités des fonctions dérivées du courant et de la charge Q_T sont à prendre en compte lorsque V_{gs} est égale à V_{th} ou lors de la substitution de V_{ds} par $V_{ds_{sat}}$ à la transition entre le régime de conduction et le régime de saturation,
- étant données les hypothèses de calcul simplificatrices faites au paragraphe 2.2.2.1, le modèle ainsi conçu ne prend pas en compte les variations du courant I_{ds} en fonction de V_{ds} dans le fonctionnement en régime de saturation [3].

Afin d'étendre l'utilisation des équations initiales et de prendre en compte la conductance de sortie G_d , plusieurs améliorations doivent être apportées.

II-3.1 Les fonctions splines.

Notre premier travail consiste à étendre au préalable les équations de courant et de charge dans une gamme de potentiels V_{gs} et V_{ds} la plus large possible. Pour cela,

deux fonctions splines sont utilisées de manière à remplacer localement les fonctions non dérivables par une fonction polynomiale.

II-3.1.1 La fonction Vds_{sat} -spline.

La première fonction spline introduite dans le modèle permet de régler le problème de la dérivabilité de la fonction Vds_{sat} au potentiel de grille V_{th} (figure 3) et qui occasionne la discontinuité des capacités et de la transconductance à ce potentiel lorsque le transistor fonctionne en régime saturé.

Pour cela, nous introduisons une fonction notée Vds_{sat} -spline de type cubique :

$$Vds_{sat} - spline = a \cdot Vgs^3 + b \cdot Vgs^2 + c \cdot Vgs + d . \quad (II-13)$$

Dans cette expression, a, b, c, d sont des coefficients donnés dans l'annexe 2.

La fonction exprimant la saturation du composant notée $Vsat$ est alors définie comme suit :

$$Vsat = \begin{cases} 0 & \left\{ \begin{array}{l} 0 < Vgs < Vth, \\ Vth < Vgs < Vi, \\ Vgs > Vi \end{array} \right. \\ Vds_{sat} spline \\ Vds_{sat} \end{cases}$$

avec $Vi = Vth / \alpha$, $\alpha = 0.99$. Le coefficient α est choisi de manière à ce que la fonction spline remplace uniquement la tension de saturation Vds_{sat} au voisinage de la tension de seuil comme le montre la Figure II- 3.

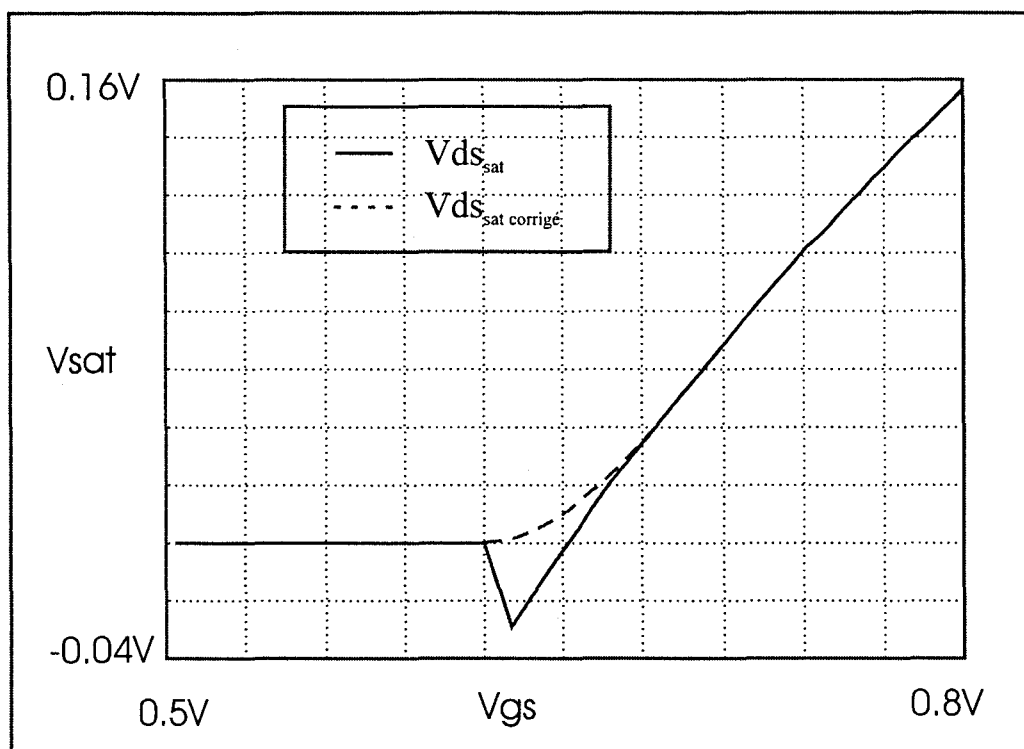


Figure II- 3 : Caractéristique V_{sat} en fonction de V_{gs}

La fonction $V_{ds_{sat}}$ ainsi modifiée rend à présent les expressions du courant et de la charge à la fois continues et dérivables en fonction de V_{gs} et ceci quel que soit le potentiel de grille appliqué au composant.

II-3.1.2 La fonction V_{ds2} .

Un second problème de dérivabilité des équations de courant et de charge, cette fois-ci par rapport à la variable V_{ds} , doit être résolu. En effet, lors de la transition entre le régime de conduction et le régime de saturation, la tension V_{ds} est, comme l'a décrit BAEK dans [3], directement remplacée par la tension $V_{ds_{sat}}$ à la fois dans les équations de courant et de charge, rendant ces expressions continues mais non dérivables par rapport à V_{ds} . A cet égard, la fonction V_{ds1} introduite dans le paragraphe 2.2.2.3 doit être également modifiée.

Pour cela, une seconde fonction spline appelée V_{ds2} est introduite et définie par :

$$V_{ds2} = \begin{cases} V_{ds} & 0 < V_{ds} < V1, \\ V_{ds_{spline}} & \text{lorsque } V1 < V_{ds} < V_{sat}, \\ V_{ds_{sat}} & V_{ds} > V_{sat} \end{cases} \quad (\text{II-14})$$

$$\text{avec } V_{ds_{spline}} = a1 \cdot V_{ds}^3 + a2 \cdot V_{ds}^2 + a3 \cdot V_{ds} + a4$$

$$\text{et } V1 = V_{sat} \cdot \beta, \quad \beta = 0.99.$$

Les coefficients $a1$, $a2$, $a3$ et $a4$ intervenant dans l'expression de V_{ds2} sont donnés dans l'annexe 2.

La fonction V_{ds2} ainsi définie permet de rendre les équations du courant I_{ds} et de la charge Q_T continues mais aussi dérivables par rapport à V_{ds} quel que soit le potentiel drain-source appliqué au composant.

II-3.1.3 La conductance de sortie.

Comme nous l'avons mentionné au paragraphe 3, le générateur de courant I_{ds} établi à partir de la loi de contrôle de charge [3] et calculé dans le cadre de l'hypothèse définie au 2.2.2.1 n'intègre pas de conductance de sortie dans sa formulation.

Pour prendre en compte les variations du courant en fonction du potentiel drain-source appliqué au composant, il convient de multiplier l'expression du courant de drain par une fonction dépendant de V_{ds} et définie par :

$$(1 + \lambda \cdot V_{ds}), \text{ où } \lambda \text{ est une constante.}$$

II-4. IMPLANTATION DU MODELE DANS LE LOGICIEL DE C.A.O MDS.

L'ensemble des équations non-linéaires qui permet de décrire le comportement électrique du transistor est ensuite introduit dans le logiciel de simulation MDS à l'aide d'un "SDD". Cet outil est schématisé par diverses entrées-sorties reliant les courants et charges aux tensions diverses appliquées au transistor. Les éléments linéaires du schéma équivalent sont alors ajoutés pour donner le schéma électrique équivalent du transistor pour un fonctionnement en hyperfréquences.

II-5. METHODE DE VALIDATION DU MODELE.

Afin de pouvoir évaluer les performances de circuits hyperfréquences à HIGFET, le modèle doit être à présent soumis à une série de tests de façon à pouvoir être validé.

II-5.1 Plan d'expérience.

Notre travail a consisté dans un premier temps à caractériser deux transistors HIGFET de type N réalisés sur des couches pseudomorphiques GaAlAs/GaInAs/GaAs comportant chacun deux doigts de grille, de longueurs de grille L_g 1 μm et 0.5 μm et de développements respectifs 25 μm et 50 μm .

II-5.1.1 Type de caractérisation.

Ces transistors notés respectivement T224A/41 2*25*1 μm et T224A/32 2*50*0.5 μm ont ensuite été caractérisés en régime impulsionnel de manière à établir la caractéristique I/V, puis en régime dynamique petit et grand signal. L'ensemble des mesures impulsionnelles ont été réalisées à l'I.E.M.N sur le banc mis au point par L. Rullier et H. Gerard.

II-5.1.1.1 Caractérisation impulsionnelle.

Le procédé de mesure statique de la caractéristique I/V d'un transistor pose deux problèmes importants [6] :

- auto-échauffement du composant,
- piégeage des électrons dans les transistors à effets de champ.

De manière à pouvoir s'affranchir de ces deux problèmes, la détermination du réseau de caractéristiques I/V doit reposer sur l'utilisation d'une méthode de type impulsionnelle.

II-5.1.1.2 Caractérisation des transistors en régime petit signal.

La caractérisation des composants en régime petit signal se fait à l'aide de la mesure des paramètres S en fonction de la fréquence (variant de 500 MHz à 25.5 GHz), mais également pour différents points de polarisation. Ce type de caractérisation a été effectuée à la centrale de caractérisation de l'IEMN sur un analyseur de réseau vectoriel.

II-5.1.1.3 Caractérisation en régime grand signal.

La caractérisation des transistors en régime grand signal s'effectue en déterminant les caractéristiques de la puissance de sortie P_s en fonction de la puissance d'entrée P_e ainsi que la caractéristique d'intermodulation d'ordre trois (P_{imd3}) en fonction de la puissance d'entrée.

II-5.1.2 Paramètres du transistor et paramètres d'accords.

Avant d'effectuer la comparaison entre les caractéristiques simulées et mesurées, les paramètres électriques et ceux dépendant de la géométrie du composant sont à insérer dans le logiciel de CAO :

- le nombre de doigts de grille, la longueur et le développement de grille L_g et W ,
- l'épaisseur de la couche pseudo-isolante GaAlAs notée d_{GaAlAs} ainsi que la permittivité du diélectrique ϵ_r intervenant dans l'expression de la capacité

de l'oxyde C_{ox} ,

- la tension de seuil du composant notée V_{th} , déterminée par une mesure statique,
- la mobilité électronique μ_0 déterminée par magnétorésistance,
- la température et la constante de Boltzmann intervenant dans le courant de grille.

Les paramètres permettant d'accorder les caractéristiques théoriques du transistor avec les mesures sont :

- les paramètres R et S intervenant dans le courant de grille (voir paragraphe 2.2.1),
- le « champ critique » E_c .

II-5.1.3 Méthodologie appliquée pour la validation du modèle non-linéaire.

Afin de valider l'ensemble du modèle, une caractérisation complète du composant en régime statique, impulsionnel ainsi qu'en régime dynamique petit et grand signal est tout d'abord effectuée.

Une étape préliminaire consiste à insérer dans le modèle l'ensemble des éléments linéaires du schéma équivalent décrit au paragraphe 2.2 et déterminés à partir de la mesure de paramètres S [7] entre 500 MHz et 25.5 GHz.

Ensuite le courant de grille défini au paragraphe 2.2.1 est accordé à l'aide des paramètres R et S à la caractéristique I_{gs} mesurée en fonction de V_{gs} pour une tension V_{ds} fixée.

La caractéristique impulsionnelle du courant de drain en fonction des potentiels

Vgs et Vds est enfin accordée au modèle à l'aide des paramètres E_c et λ intervenant dans le calcul de la tension de saturation V_{sat} (voir paragraphe 3.1.1).

Une fois l'ensemble des paramètres fixés, le simulateur nous permet de déterminer les paramètres S entre 500 MHz et 25.5 GHz quel que soit le point de polarisation choisi ainsi que les caractéristiques P_s et P_{imd3} en fonction de P_e .

II-6. PRESENTATION DES RESULTATS.

Nous présentons dans ce paragraphe l'ensemble des comparaisons entre nos simulations et les mesures diverses concernant les transistors T224A/41 $2*25*1 \mu m$ et T224A/32 $2*50*0.5 \mu m$. Notons que la caractérisation en puissance et en intermodulation n'a été réalisée que sur le transistor $2*50*0.5 \mu m$

II-6.1 Le transistor T224A/41 $2*25*1 \mu m$.

II-6.1.1 Caractéristique du courant I_{gs} .

La Figure II- 4 représente le courant de grille simulé après réglage des différents paramètres R et S et la caractéristique réelle mesurée en régime statique pour V_{ds} égale à 1.5 V.

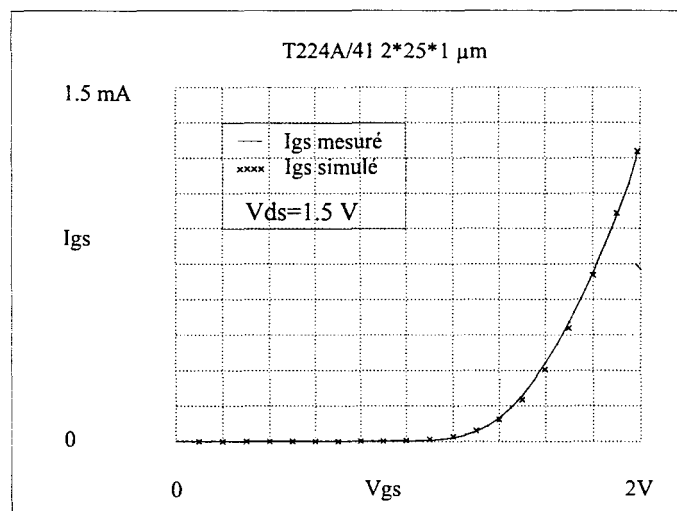


Figure II- 4 : caractéristique $I_{gs}(V_{gs})$.

II-6.1.2 Caractéristiques $I_{ds}(V_{ds}, V_{gs})$.

La Figure II- 5 représente les caractéristiques I_{ds} en fonction des tensions V_{gs} et V_{ds} appliquées au composant et déterminées d'une part à partir d'une mesure de type impulsionnel et d'autre part à partir du simulateur après accord des paramètres E_c et λ dans le modèle.

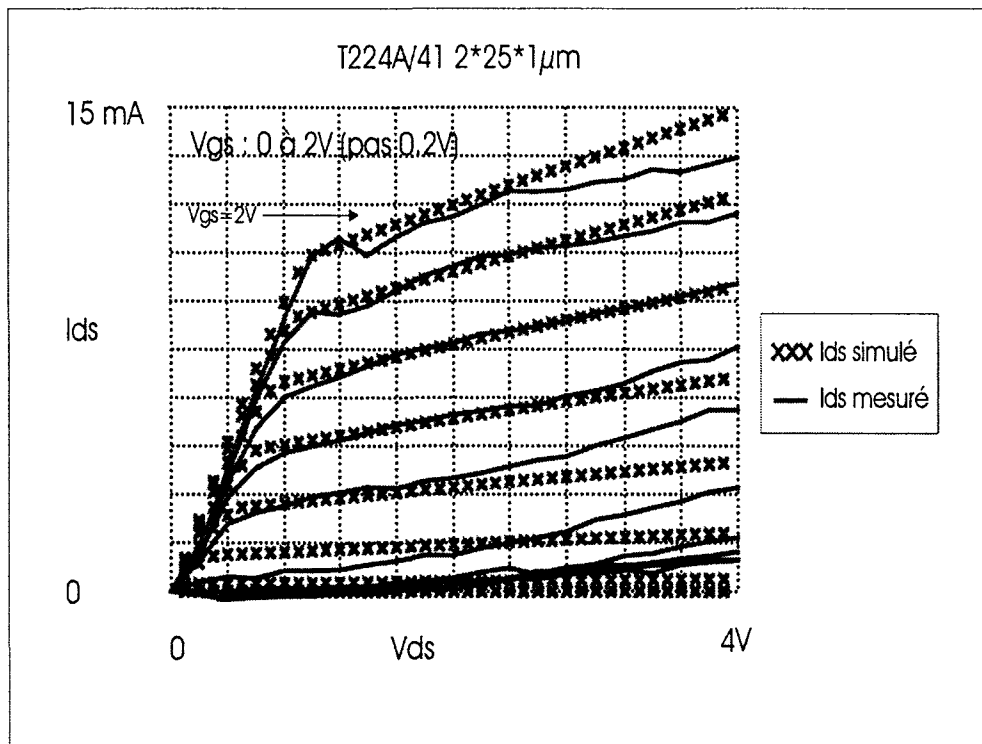


Figure II- 5 : caractéristiques $I_{ds}(V_{ds}, V_{gs})$.

Une fois les caractéristiques des courants I_{gs} et I_{ds} ajustées, le modèle non-linéaire nous permet de déterminer les paramètres S du transistor.

II-6.1.3 Comparaison simulations-mesures des paramètres S .

La validation du modèle en régime de fonctionnement petit signal s'effectue sur une large plage de fréquences et pour diverses polarisations de grille. A cet effet, deux caractéristiques différentes sont présentées :

- l'évolution du paramètre S21 du composant sur la même plage de fréquence mais pour différentes tensions Vgs appliquées (Figure II- 6)

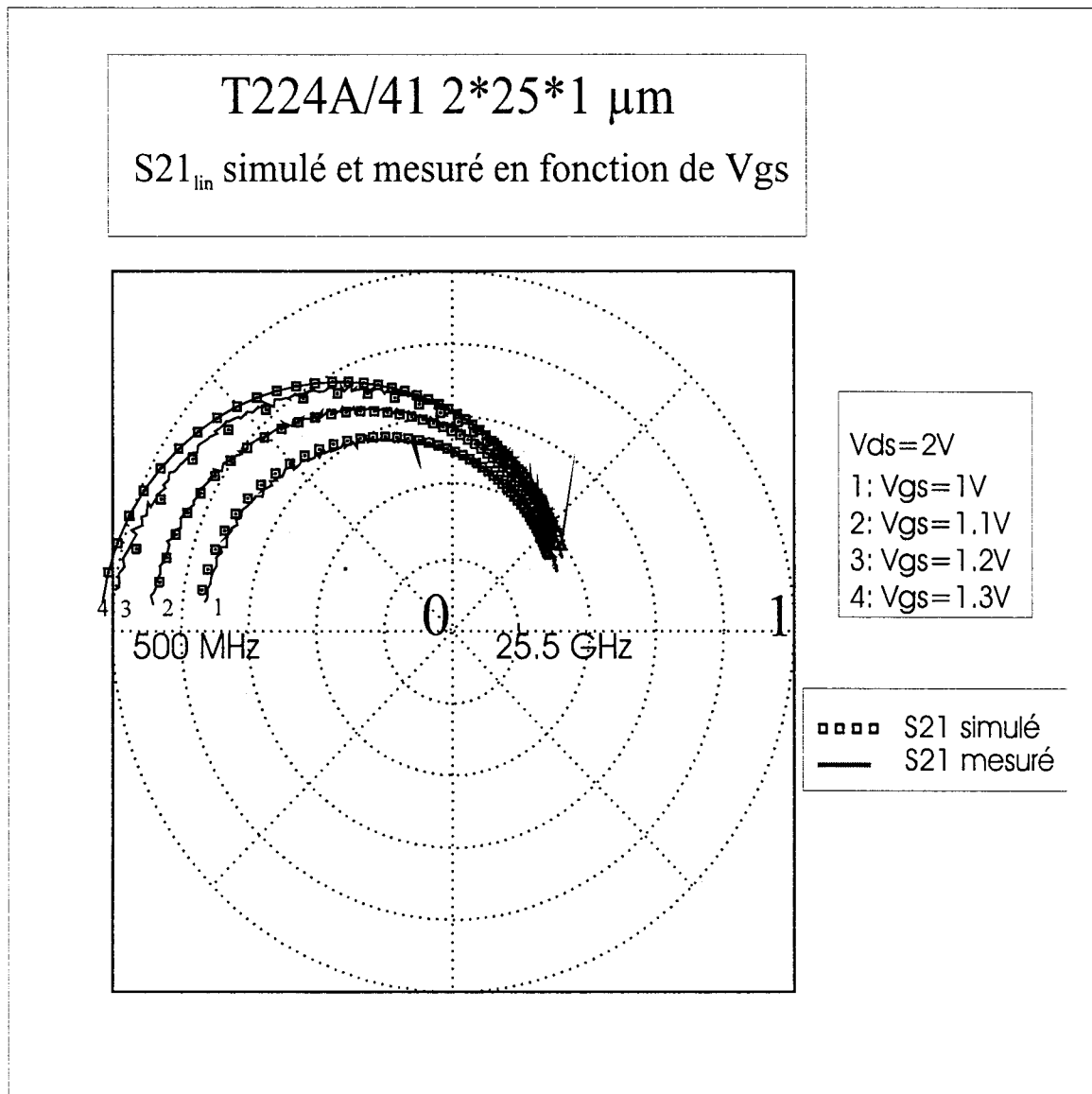


Figure II- 6 : paramètre s21 en fonction de Vgs et de la fréquence.

- une évolution de l'ensemble des paramètres S du transistor dans la gamme de fréquence 500 MHz à 25.5 GHz pour une polarisation statique

Vgs de 1.2 V et Vds égale à 2 V (Figure II-7).

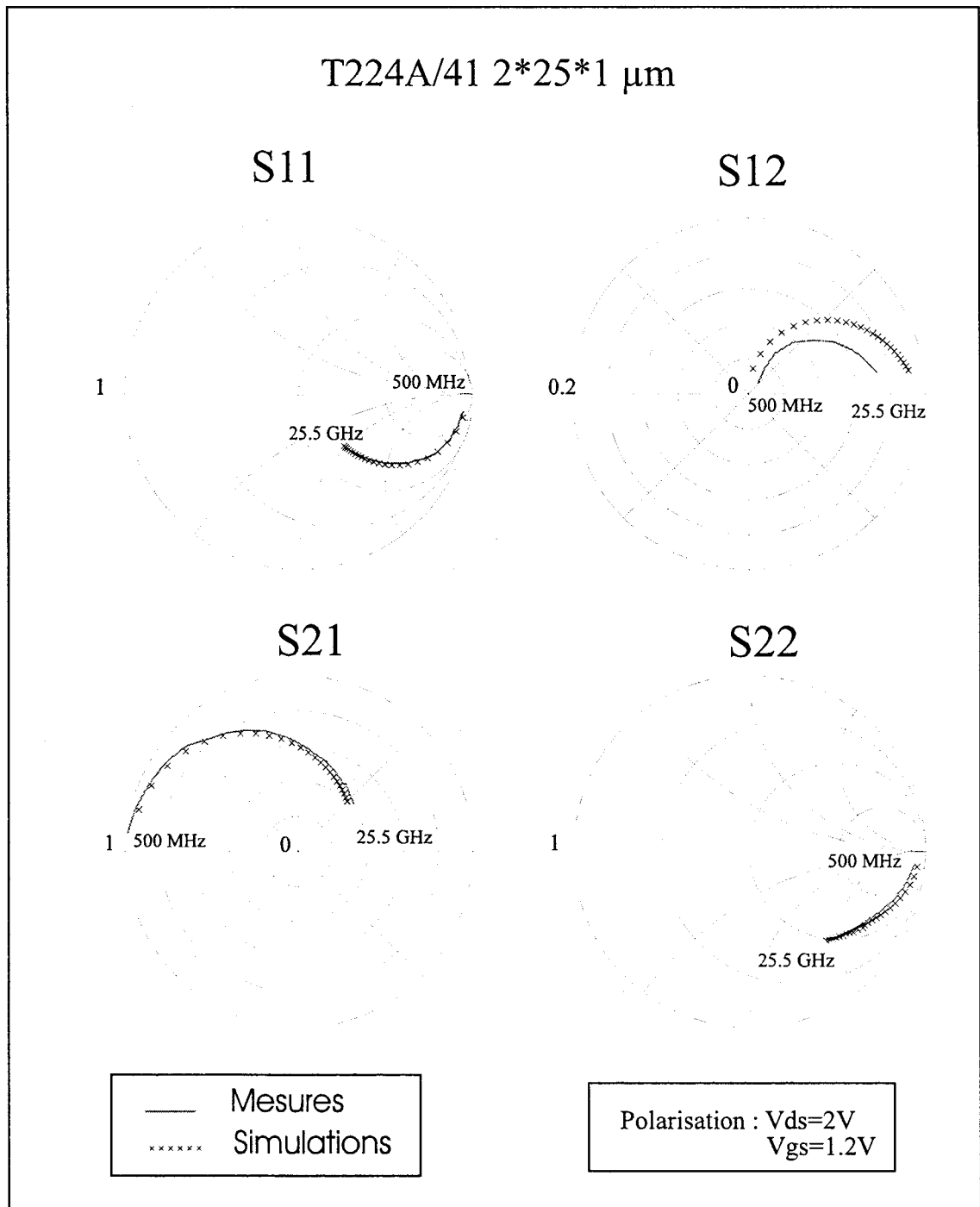


Figure II- 7 :paramètres S en fonction de la fréquence.

II-6.2 Conclusion sur le composant T224A/46 2*25*1 μm .

L'excellente concordance entre nos simulations et nos mesures établie par cette analyse, démontre la fiabilité de notre modélisation pour ce type de composant.

II-6.3 Le transistor T224A/32 2*50*0.5 μm .

Afin de vérifier la possibilité d'étendre notre modèle à des composants de dimensions différentes, un second transistor de longueur de grille L_g de 0.5 μm avec un développement de grille W de 2*50 μm a fait l'objet d'une confrontation simulations-mesures.

II-6.3.1 Caractéristique du courant de grille.

Tout comme précédemment, la caractéristique du courant de grille est obtenue en déterminant les coefficients R et S appropriés. Les caractéristiques théorique et simulée se confondent alors comme le montre la Figure II- 8.

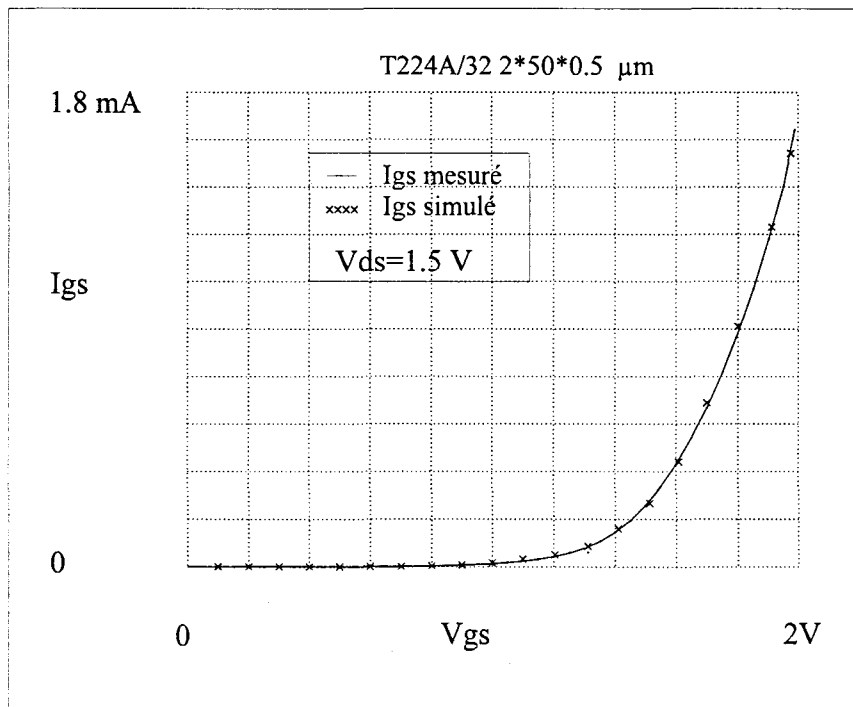


Figure II- 8 : caractéristique $I_{gs}(V_{gs})$.

II-6.3.2 Caractéristiques $I_{ds}(V_{ds}, V_{gs})$.

Après détermination de E_c et λ , les caractéristiques $I_{ds}(V_{ds}, V_{gs})$ simulées et issues de mesures impulsives montrent encore un bon accord (Figure II- 9).

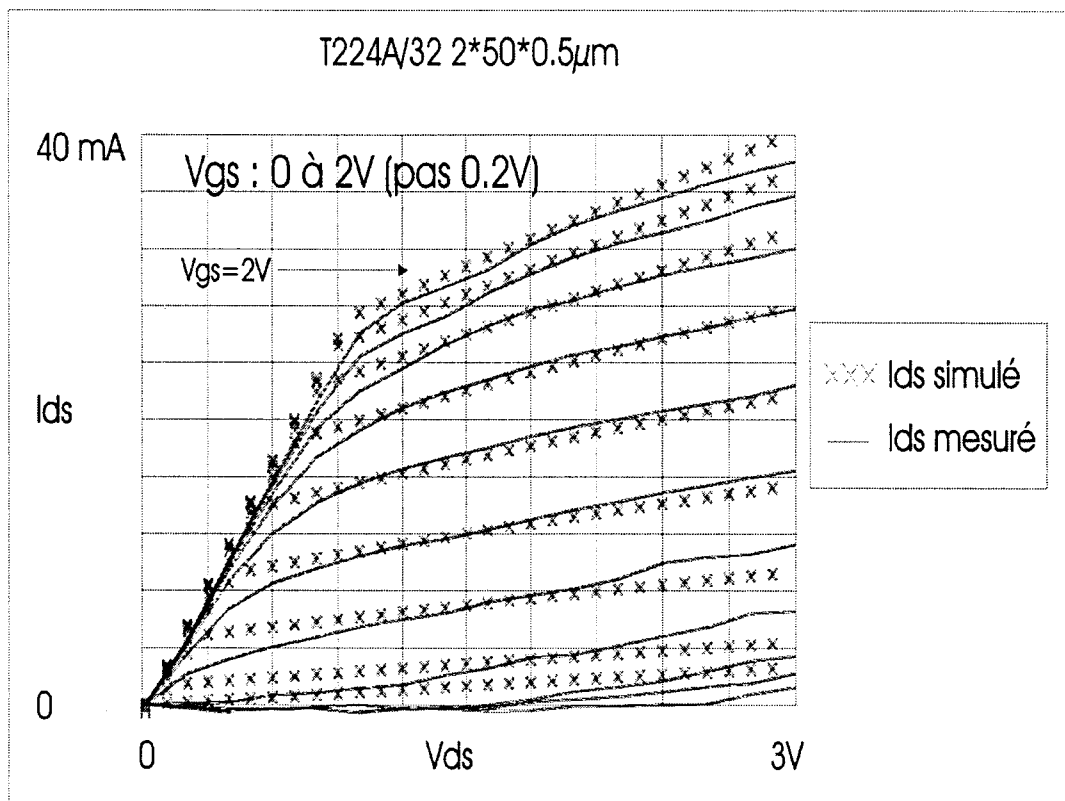


Figure II- 9 : Caractéristiques $I_{ds}(V_{ds}, V_{gs})$.

II-6.3.3 Comparaison simulations-mesures des paramètres S.

Une fois les paramètres intervenant dans la détermination des caractéristiques statiques du composant définis, le paramètre S21 établi pour diverses tensions V_{gs} est donné sur la Figure II- 10.

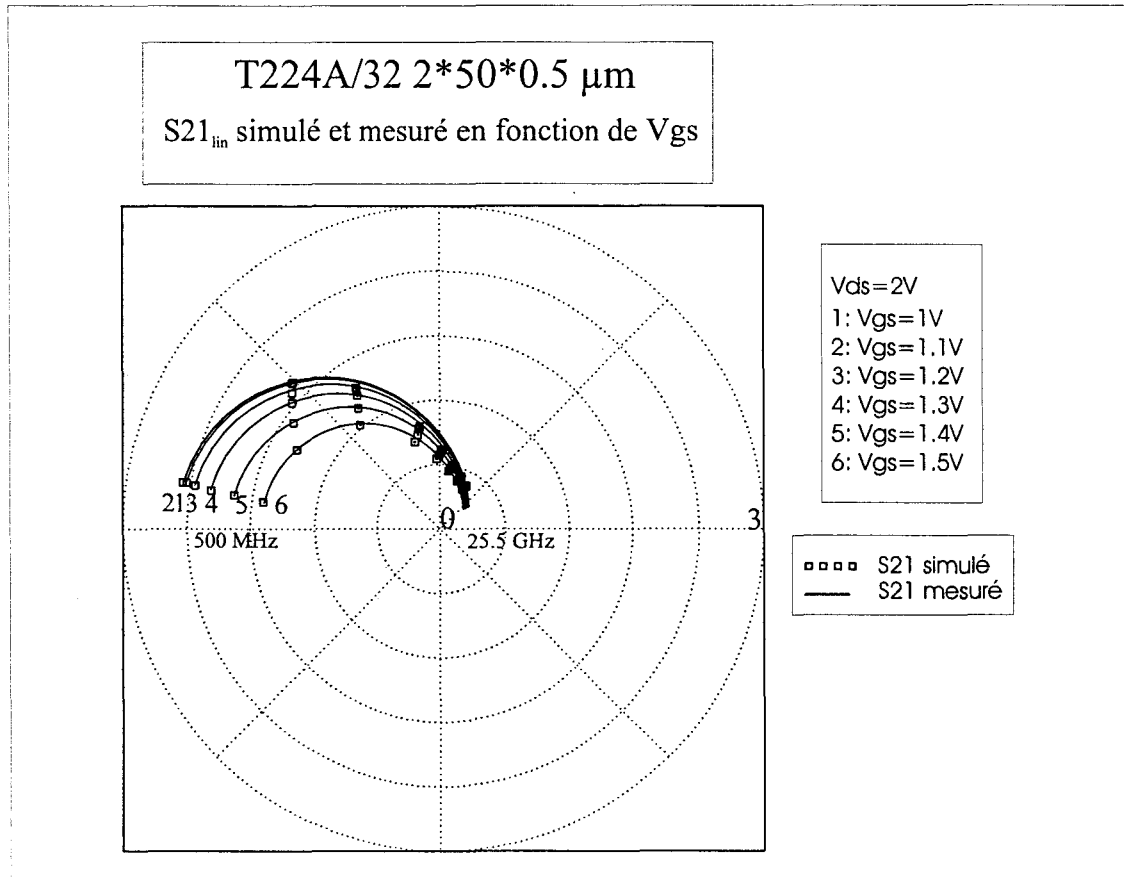


Figure II- 10 : Paramètre S_{21} en fonction de V_{gs} et de la fréquence.

De même, les paramètres S mesurés et simulés entre 500 MHz et 25.5 GHz pour une polarisation V_{ds} de 2V et V_{gs} de 1.3V sont donnés Figure II- 11.

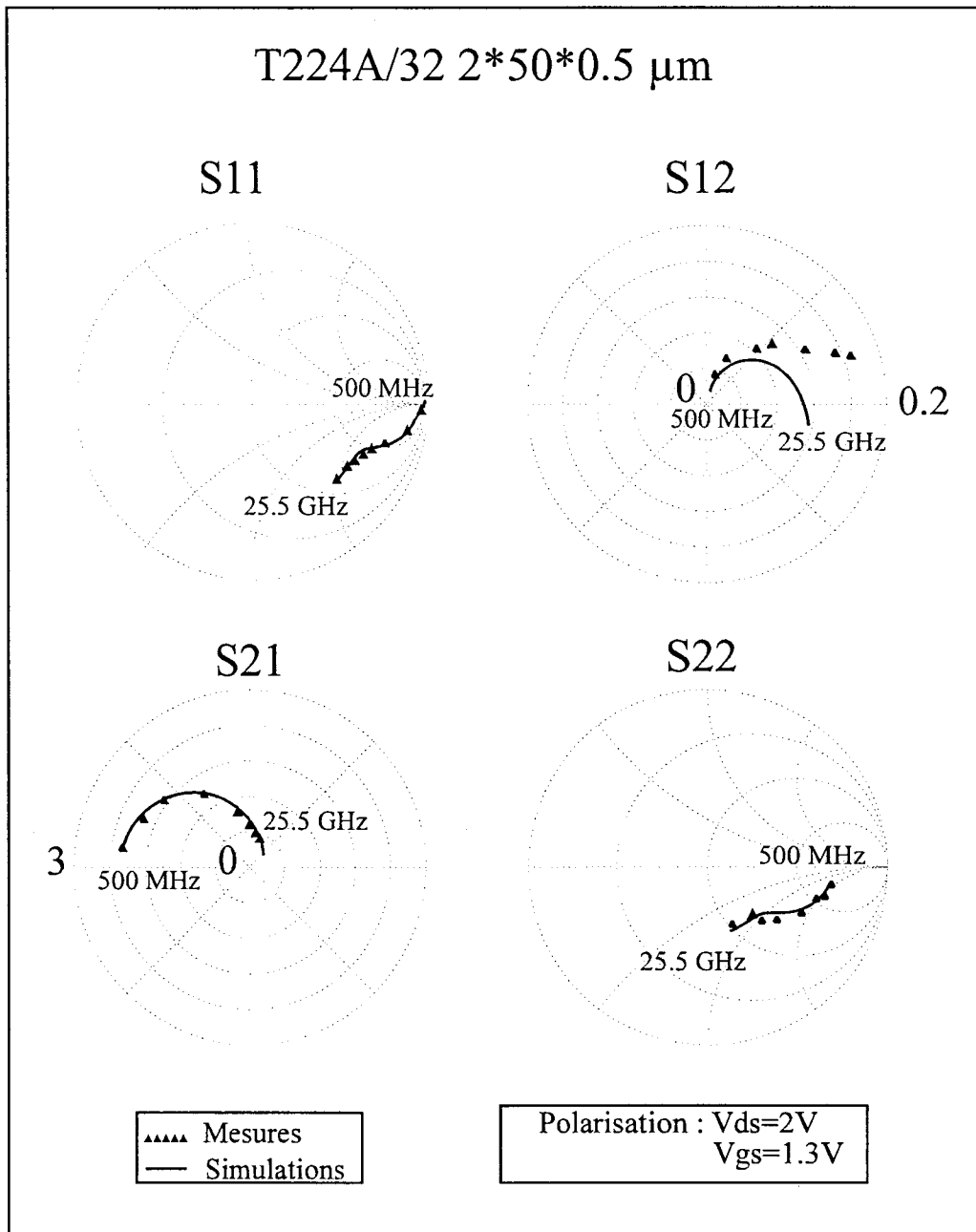


Figure II- 11 : Paramètres S en fonction de la fréquence.

II-6.3.4 Caractéristiques P_s et P_{imd3} en fonction de P_e .

De manière à évaluer les performances en régime non-linéaire grand signal, le transistor a été testé sur un banc de mesure dont le schéma synoptique est représenté Figure II-12.

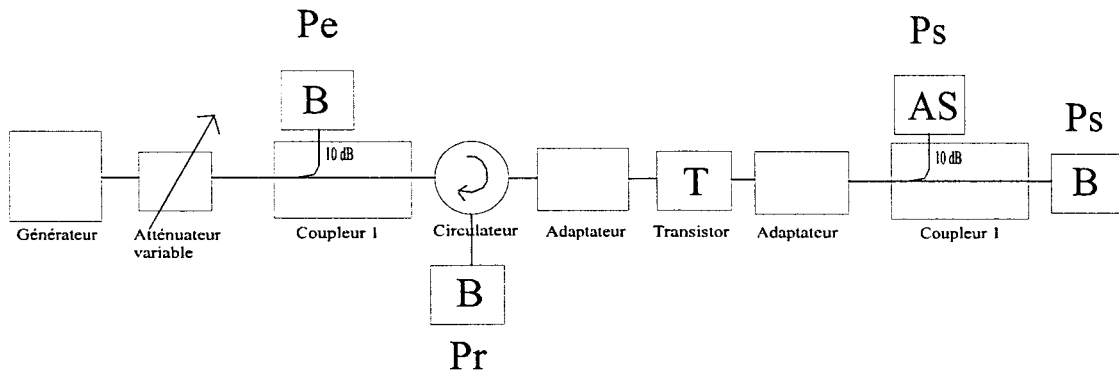


Figure II-12 : banc de mesure de puissance.

La caractéristique P_{imd3} en fonction de P_e est obtenue en ajoutant un second générateur à l'entrée du banc de mesure, fonctionnant à une fréquence proche de celle du générateur précédent.

Les caractéristiques $P_s=f(P_e)$ ainsi que $P_{imd3}=f(P_e)$ sont obtenues à partir de mesures réalisées sur le banc décrit figure II-12. Là encore, une bonne concordance entre nos simulations et nos mesures est à noter (Figure II-13).

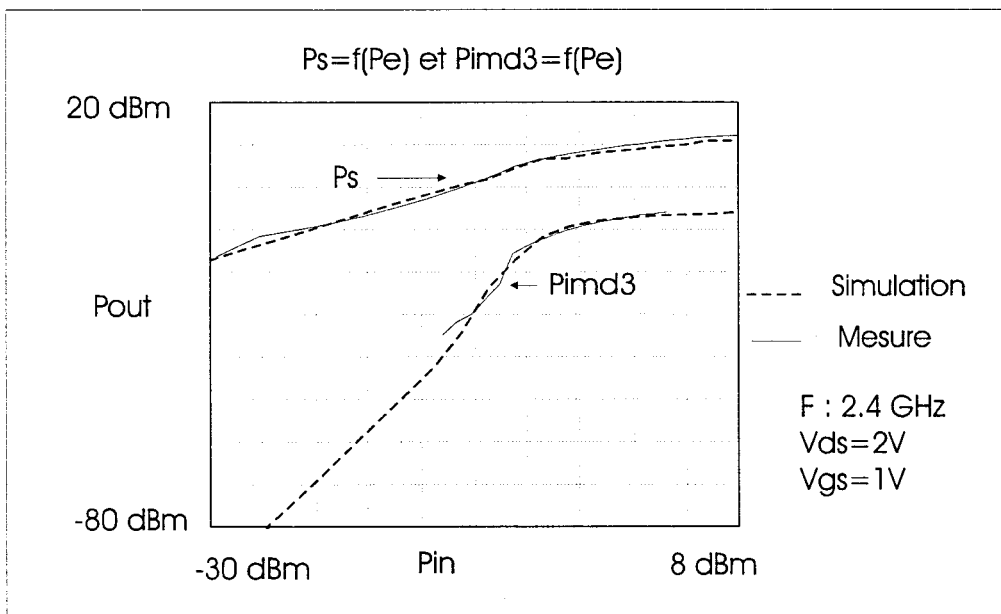


Figure II-13 : caractéristiques P_s et P_{imd3} en fonction de P_e .

II-6.4 Conclusion sur le transistor T224A/32 2*50*0.5 μm .

Tout comme pour le transistor T224A/46, l'étude menée sur le composant T224A/32 de dimension 2*50*0.5 μm démontre une parfaite concordance entre nos résultats simulés et ceux issus de mesures.

II-7. CONCLUSION.

Dans ce second chapitre, une modélisation non-linéaire du transistor HIGFET en vue d'applications analogiques hyperfréquences a été menée. Le modèle basé sur une loi de contrôle de charge établie par BAEK [3] a en premier lieu été intégré dans le logiciel de simulation MDS. Une confrontation entre des simulations et des mesures statiques, impulsionnelles ainsi qu'en régime dynamique grand signal et petit signal sur une plage de fréquences s'étendant de 500 MHz à 25.5 GHz, pour différents points de polarisation ont montré une excellente concordance, ceci pour des composants de géométrie différente, démontrant la bonne fiabilité du modèle à décrire l'évolution des caractéristiques électriques du transistor HIGFET de type N. Cette étude va nous permettre à présent d'entreprendre l'analyse et la réalisation de fonctions analogiques hyperfréquences telles que l'oscillation et la transposition de fréquence.

II-8. BIBLIOGRAPHIE DU CHAPITRE II

[1] C. H Hyun, M. S Shur, N. C Cirillo : "Simulation and Design analysis of (AlGa)As/GaAs MODFET Integrated Circuits". I.E.E.E Transactions on Computer-Aided-Design, vol CAD 5 n°2 April 86.

[2] C. Kolanowski : "Conception, réalisation et analyse de mélangeurs millimétriques en technologies hybride et intégrée utilisant des transistors à effet de champ HEMT de type monogrille et bigrille". Thèse de doctorat soutenue le 12.03.1996

[3] J. Baek, M. S Shur, R. R Daniels, D. K Arch, J. K Abrokwah, O. N tuftte : "Current-Voltage and Capacitance-voltage Characteristics of Heterostructure Insulated-Gate Field Effect Transistors". I.E.E.E Transaction on Electron Devices, vol ED-34, n°8, August 1987.

[4] J.F Thiery : "Etude et réalisation de transistors HIGFETs complémentaires en technologie auto-alignée pour circuits logiques rapides et à faible consommation." Thèse de doctorat soutenue le 11.10.1996.

[5] S. Fujita and T. Mizutani : "Characterization of heterostructure complementary MISFET circuits employing the new gate current model". I.E.E.E Transactions on Electron Devices, Vol ED 34 n°9, September 1987.

[6] L. Rullier : "Contribution à la modélisation non-linéaire de HEMTs de puissance. Application à l'amplification classe B en bande Ka". thèse de doctorat soutenue le 18.06.1997.

[7] G. Dambrine "Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent". thèse de doctorat soutenue le 03.1989.

CHAPITRE III

ETUDE ET REALISATION D'UN OSCILLATEUR A HIGFET

CHAPITRE III : ETUDE ET REALISATION D'UN OSCILLATEUR A HIGFET.

III-1. INTRODUCTION.

Un oscillateur micro-ondes est un circuit transformant l'énergie continue en énergie hyperfréquences. Différents types d'oscillateurs peuvent être mis en oeuvre, selon qu'il s'agisse de réaliser des sources micro-ondes très stables, avec un faible bruit de phase, ou encore dont la fréquence d'oscillation peut être contrôlée par une tension. Citons par exemple :

- l'oscillateur libre,
- l'oscillateur à résonateur diélectrique (DRO),
- l'oscillateur à Y.I.G (Yithrium Iron Garnet),
- le VCO (Voltage Controled Oscillator).

Dans le cadre de ce travail, l'objectif est d'une part de pouvoir vérifier la validité du modèle à travers une application non-linéaire. D'autre part, la réalisation d'un oscillateur à HIGFET nous permettra d'estimer les potentialités du composant pour ce type d'application, notamment en terme de bruit de phase. Pour cela, une structure du type oscillateur libre a été retenue. L'étude sera faite à la fréquence de 2,44 GHz qui correspond à la fréquence utilisée dans les réseaux locaux sans fil.

Après quelques rappels sur les conditions d'oscillation d'un quadripôle actif, nous décrirons les caractéristiques électriques du composant choisi. L'étude et la présentation des résultats de l'oscillateur à HIGFET seront ensuite entreprises. Enfin, une application opto-micro-ondes réalisée en collaboration avec l'équipe optoélectronique dirigée par le professeur D. DECOSTER et utilisant l'oscillateur sera présentée.

III-2. CONDITIONS D'OSCILLATIONS.

Lors de la réalisation d'un oscillateur, une recherche de l'instabilité du circuit actif à une fréquence donnée doit être faite en premier lieu. Pour cela, un certain nombre de conditions doit être respecté.

Parmi les nombreuses méthodes permettant d'obtenir les conditions d'oscillation [1], l'analyse en paramètres [S] est très souvent utilisée. Rappelons-en ici les principaux résultats.

Méthode des paramètres [S].

Soit un quadripôle actif caractérisé par ses paramètres [S] : S₁₁, S₁₂, S₂₁ et S₂₂,

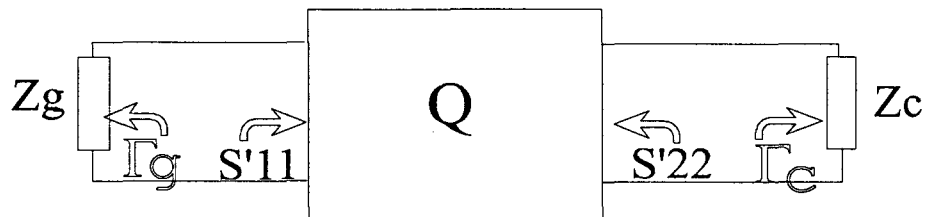


Figure III-1 : Quadripôle actif chargé par deux impédances quelconques.

Les coefficients S'₁₁ et S'₂₂ sont définis par :

$$S'_{11} = S_{11} + \frac{S_{12} \times S_{21} \times \Gamma_c}{1 - S_{22} \times \Gamma_c} \quad \text{et} \quad S'_{22} = S_{22} + \frac{S_{12} \times S_{21} \times \Gamma_g}{1 - S_{11} \times \Gamma_g} \quad (\text{III-1})$$

Par ailleurs, le coefficient de stabilité K défini par :

$$K = \frac{|\Delta|^2 + 1 - |S_{11}|^2 - |S_{22}|^2}{2 \times |S_{12} \times S_{21}|} \quad (\text{III-2})$$

avec $\Delta = S_{11} \times S_{22} - S_{12} \times S_{21}$

Si $K < 1$, il peut y avoir oscillation pour certaines valeurs particulières de S'_{11} ou S'_{22} .

Le quadripôle sera instable si :

$$\Gamma_g \cdot S'_{11} > 1,$$

$$\text{Ou } \Gamma_c \cdot S'_{22} > 1.$$

Les coefficients de réflexion Γ_c et Γ_g étant inférieurs à l'unité, nous en déduisons que le circuit sera instable pour :

$$K < 1, |S'_{11}| > 1 \text{ ou } |S'_{22}| > 1.$$

Si l'on se place dans les cas limites où $\Gamma_c = 1$ et $\Gamma_g = 1$, ces deux conditions nous permettent de déterminer les zones instables sur l'abaque de Smith qui sont des cercles de centre C_e et C_s et de rayon R_e et R_s [1], obtenus par les relations suivantes :

$$C_e = \frac{S_{22} \cdot S_{11} \cdot \Delta}{|S_{22}|^2 - |\Delta|^2} \quad (\text{III-3})$$

$$R_e = \left| \frac{|S_{21}| \cdot |S_{12}|}{|S_{22}|^2 - |\Delta|^2} \right| \quad (\text{III-4})$$

$$C_s = \frac{S_{11} \cdot S_{22} \cdot \Delta}{|S_{11}|^2 - |\Delta|^2} \quad (\text{III-5})$$

$$R_s = \left| \frac{|S_{21}| \cdot |S_{12}|}{|S_{11}|^2 - |\Delta|^2} \right| \quad (\text{III-6})$$

C_e et R_e déterminent le cercle d'instabilité en entrée et de la même façon C_s et R_s celui en sortie. Il y aura donc une instabilité en entrée si l'impédance de sortie présente un coefficient de réflexion situé à l'intérieur du cercle défini par C_e et R_e . De la même manière, la sortie sera instable si l'impédance d'entrée induit un coefficient de réflexion Γ_g situé à l'intérieur du cercle de centre C_s et de rayon R_s .

Notons que l'étude du démarrage des oscillations ne sera faite que dans un plan, car si la condition est vérifiée dans un plan, elle l'est aussi dans l'autre.

III-3. PRESENTATION DES CARACTERISTIQUES DU TRANSISTOR UTILISE.

Le transistor choisi pour notre application est un composant HIGFET de type N (40% Al) de la série 10224, réalisé par J.F Thiery et H. Fawaz à la centrale de technologie de I.E.M.N.

Nous présentons ci-dessous les caractéristiques mesurées et simulées en régime statique tout d'abord (figure III-2) , puis en paramètres [S] (figure III-3) pour les points de polarisation $V_{ds}=2V$, $V_{gs}=1V$ et $V_{gs}=1,4V$. Nous constatons que le modèle suit toujours assez fidèlement les caractéristiques réelles du composant.

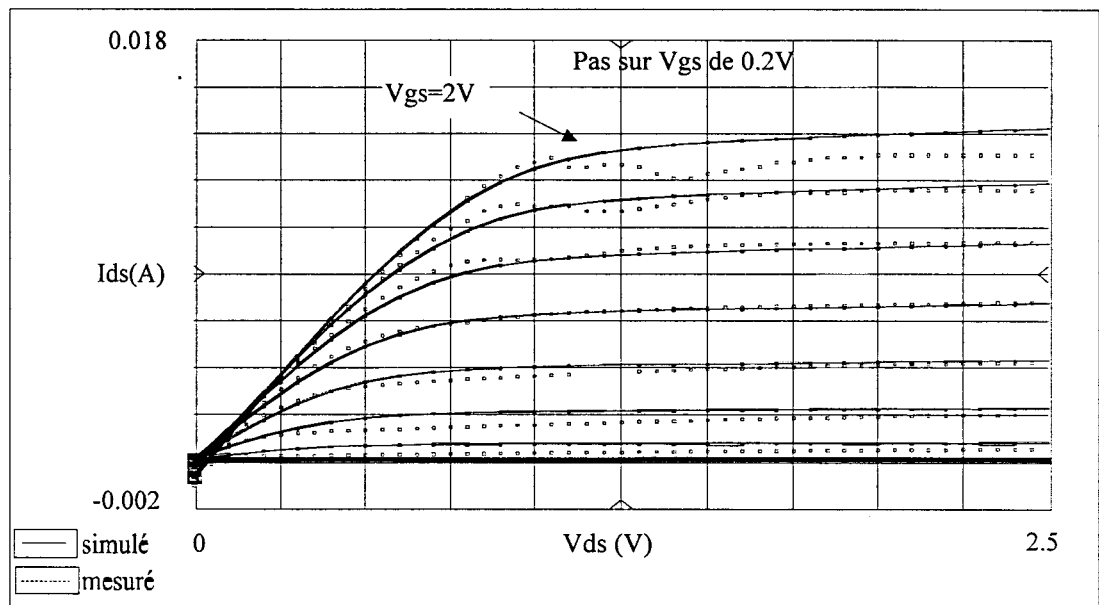


Figure III-2 : Réseau de caractéristiques statiques du transistor.

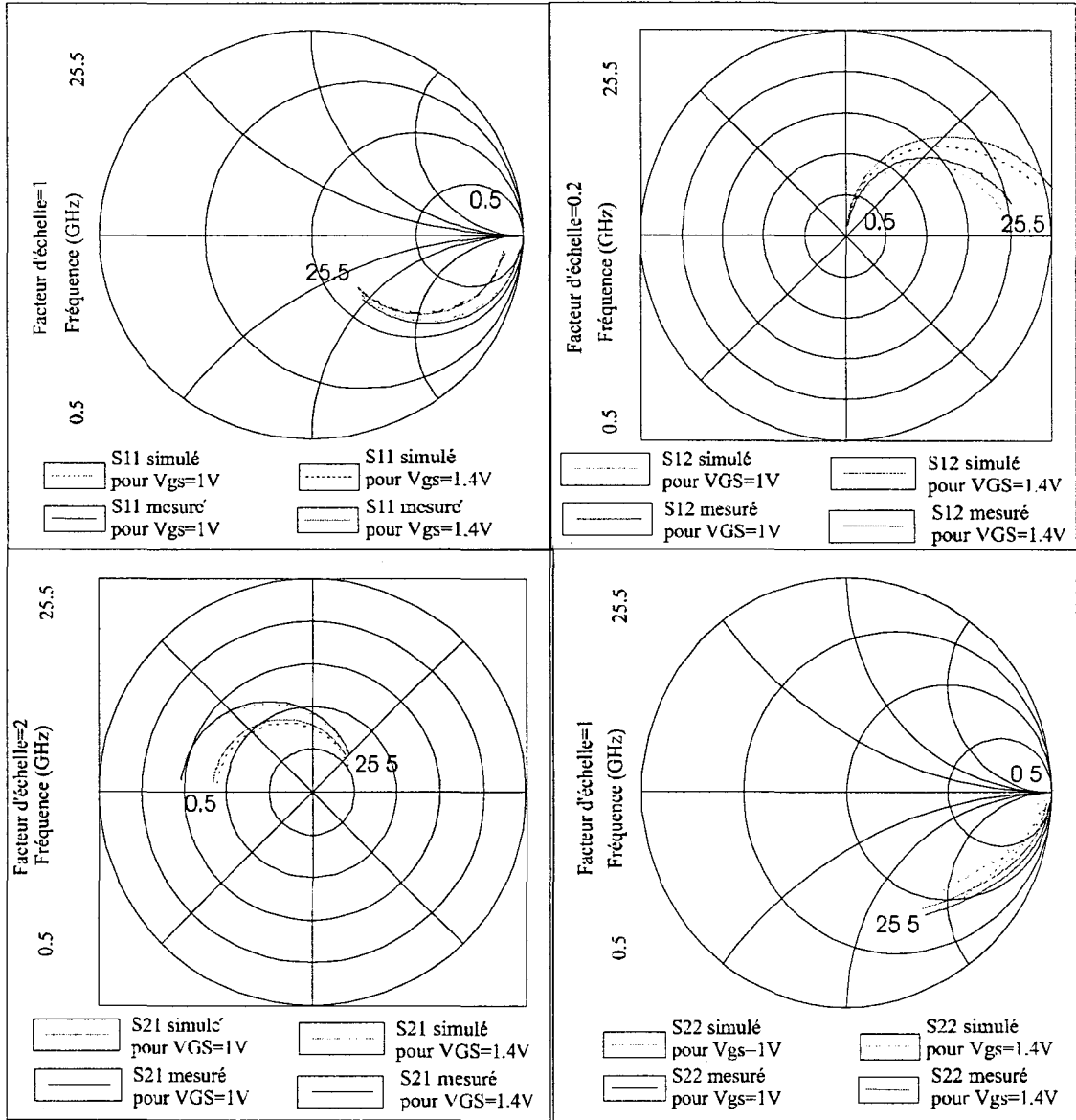


Figure III-3 : Paramètres [S] du transistor.

III-4. SIMULATION D'UN OSCILLATEUR A HIGFET.

Le schéma de principe général d'un oscillateur est le suivant :

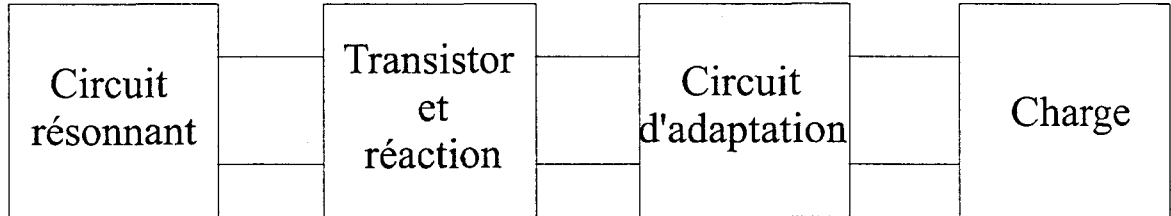


Figure III-4 : Schéma de principe général d'un oscillateur.

Dans ce schéma, le circuit résonnant fixe la fréquence d'oscillation. Le transistor est rendu instable à l'aide d'une contre-réaction série ou parallèle :

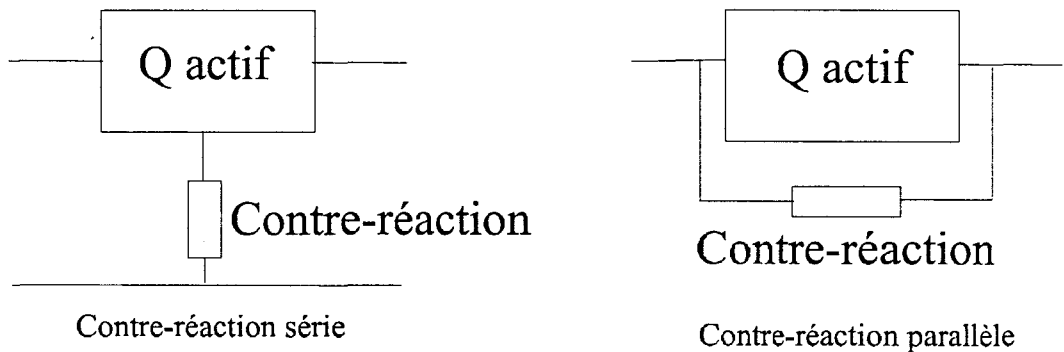


Figure III-5: les différentes contre-réactions.

Les cercles d'instabilité en entrée et en sortie en fonction de la contre-réaction sont ensuite tracés. Le circuit d'adaptation est utilisé de manière à obtenir une puissance maximale au niveau de la charge.

III-4.1. Choix de la structure.

Notre choix s'est porté sur un montage de transistor en source commune car la puissance de sortie désirée doit être la plus importante possible. Par ailleurs cette configuration offre la meilleure stabilité à l'oscillateur vis-à-vis des variations de charge.

III-4.2. Simulation de l'oscillateur.

La démarche adoptée pour la simulation du circuit peut être résumée selon l'algorithme décrit ci-dessous. L'ensemble des simulations relatives à l'oscillateur est réalisé à l'aide du logiciel M.D.S.

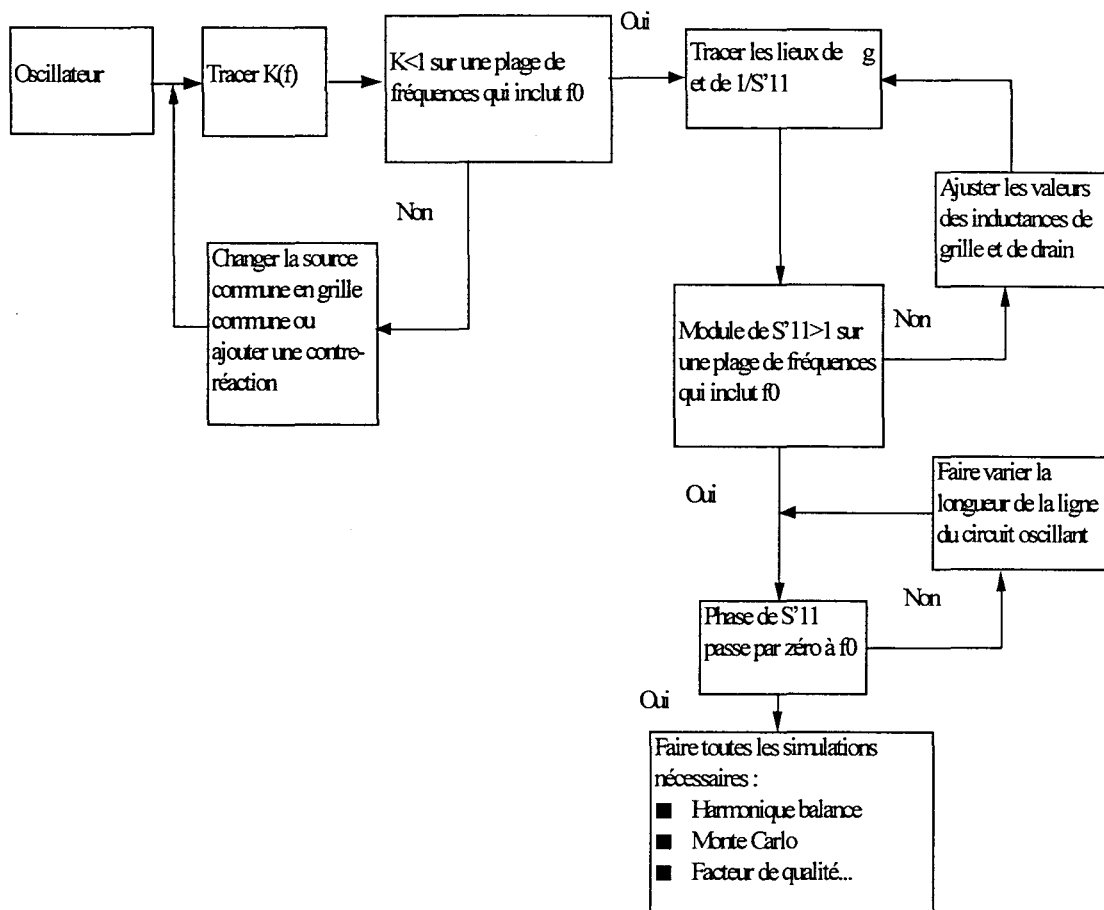


Figure III-7: Algorithme représentant la méthode employée pour la simulation.

Le transistor est tout d'abord monté en source commune. Le coefficient K est ensuite tracé en fonction de la fréquence. L'objectif est d'obtenir le facteur K inférieur à 1 sur une plage de fréquences incluant la fréquence d'oscillation. Ceci s'obtient en réglant les éléments de contre-réaction. Les valeurs des inductances de grille et drain ainsi que les stubs en court-circuit placés sur les plots de source du transistor sont choisies de manière à ce que le module de S'_{11} soit supérieur à 1.

Une fois cette condition établie, les lieux de Γ_G et $1/S'_{11}$ sont tracés. Nous vérifions qu'ils remplissent alors la condition $\Gamma_G \cdot S'_{11} > 1$ à la fréquence d'oscillation (figure III-8).

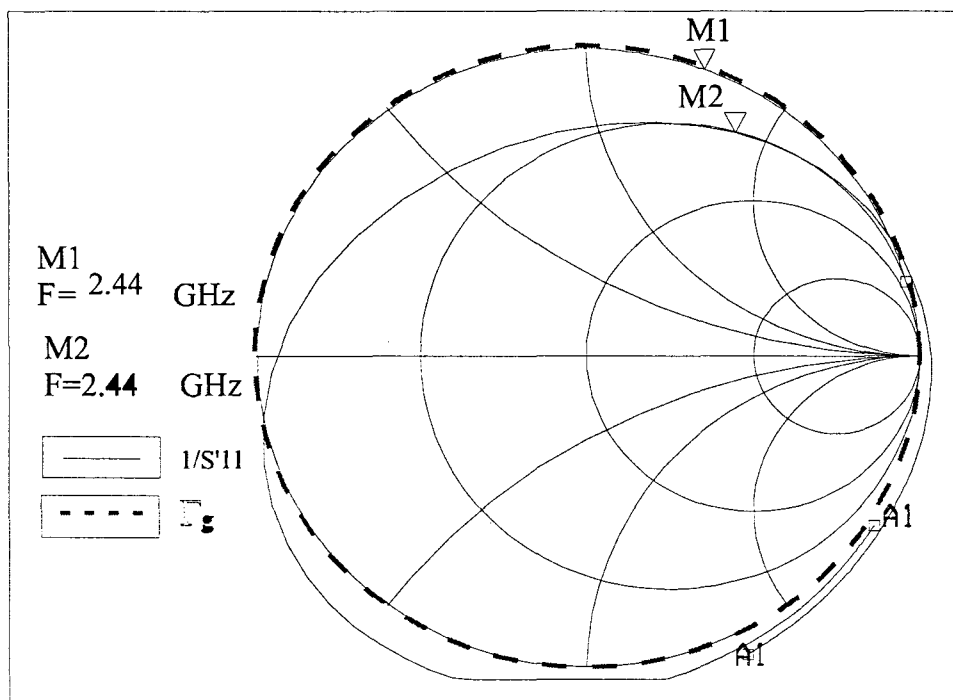


Figure III-8: Condition d'oscillation $\Gamma_G \cdot S'_{11} > 1$.

La longueur de ligne du circuit résonnant est choisie de façon à remplir la condition sur la phase (figure III-9).

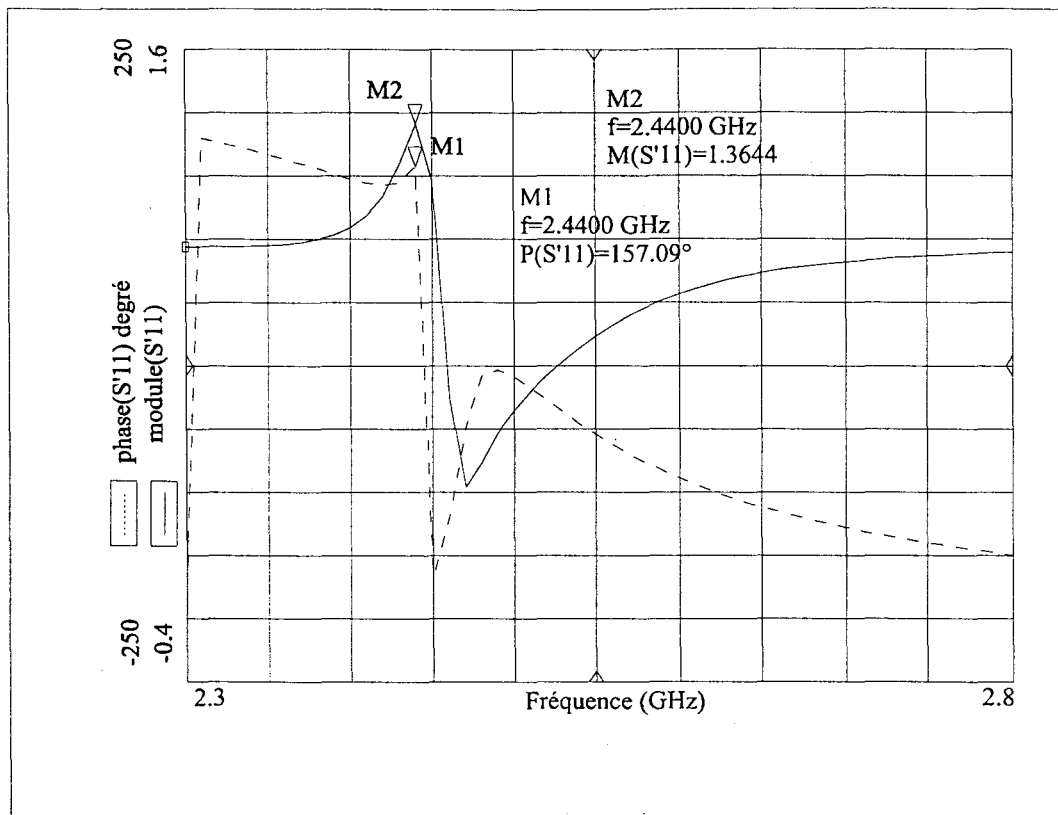


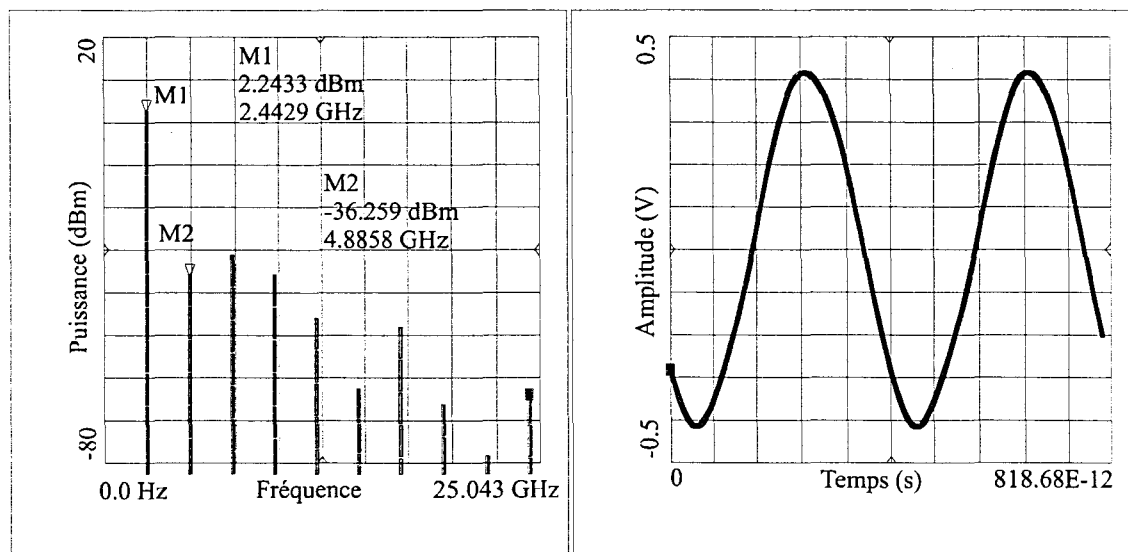
Figure III-9: Conditions d'oscillation sur le module et sur la phase du coefficient de réflexion.

III-4.2.1. Résultats de l'analyse en régime petit signal.

L'ensemble des simulations en petit signal est présenté sur les figures III-8, III-9. Une fois les conditions d'oscillations remplies, une analyse en "harmonique balance" permettant d'évaluer la puissance de sortie du circuit et la linéarité du signal est effectuée.

III-4.2.2. Simulation du circuit à l'aide d'une analyse de type "harmonique balance".

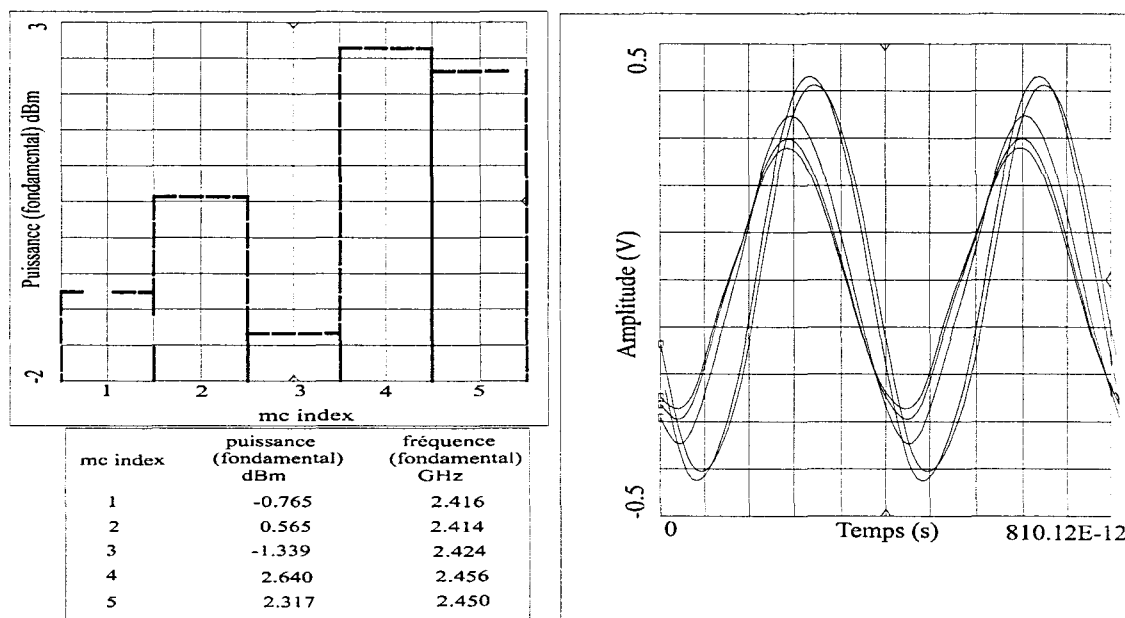
Il est à noter que la puissance maximale est obtenue directement sur une charge de 50 Ohms. Le circuit d'adaptation en sortie de l'oscillateur n'est donc pas utile. La figure III-10 montre le spectre du signal de sortie de l'oscillateur ainsi que le signal obtenu, transposé dans le domaine temporel.



Simulation en Harmonique Balance donnant la puissance et la fréquence d'oscillation

Signal temporel de l'oscillation

Figure III-10 : puissance et fréquence d'oscillation. Signal temporel de l'oscillateur.



Variation de la fréquence d'oscillation et de la puissance du fondamental pour une variation de +/- 50% des valeurs des inductances et des pertes dans celles-ci

Figure III-11 : Analyse Monte Carlo du circuit.

Une fois le circuit optimisé, une analyse de type Monte Carlo permet d'analyser la sensibilité du circuit à des variations de certains éléments de l'oscillateur (figure III-11).

III-5. CONCLUSION SUR LES SIMULATIONS DE L'OSCILLATEUR.

Les résultats obtenus sont satisfaisants puisque la fréquence d'oscillation est celle désirée. Cependant, la puissance de sortie valant 2,24 dBm n'est pas très élevée. Les pertes ainsi que la taille du transistor permettent d'expliquer ce faible niveau de puissance de sortie. Nous remarquons que la puissance du premier harmonique est de 30 dB inférieure à celle du fondamental, ceci se traduit par la bonne linéarité du signal temporel.

III-6. REALISATION DU CIRCUIT.

Après avoir évalué les performances théoriques de l'oscillateur, le circuit a été réalisé en technologie hybride. Le substrat diélectrique utilisé est du duroïd, d'épaisseur $h=0,635$ mm et de permittivité relative $\epsilon_r=10,6$. Le circuit réalisé a pour dimensions 80×50 mm². Le layout et la photographie du circuit sont donnés ci-dessous (figures III-12 et III-13).

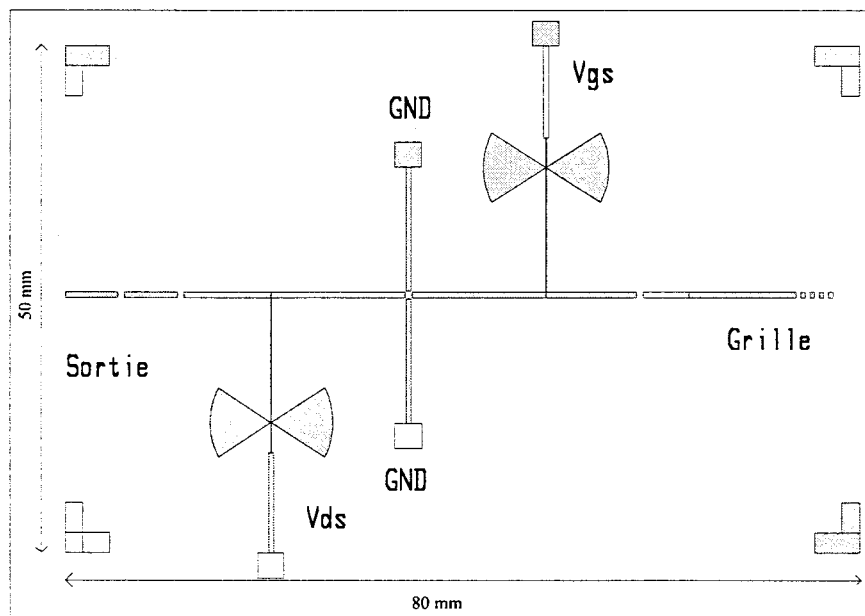


Figure III-12 : Layout de l'oscillateur.

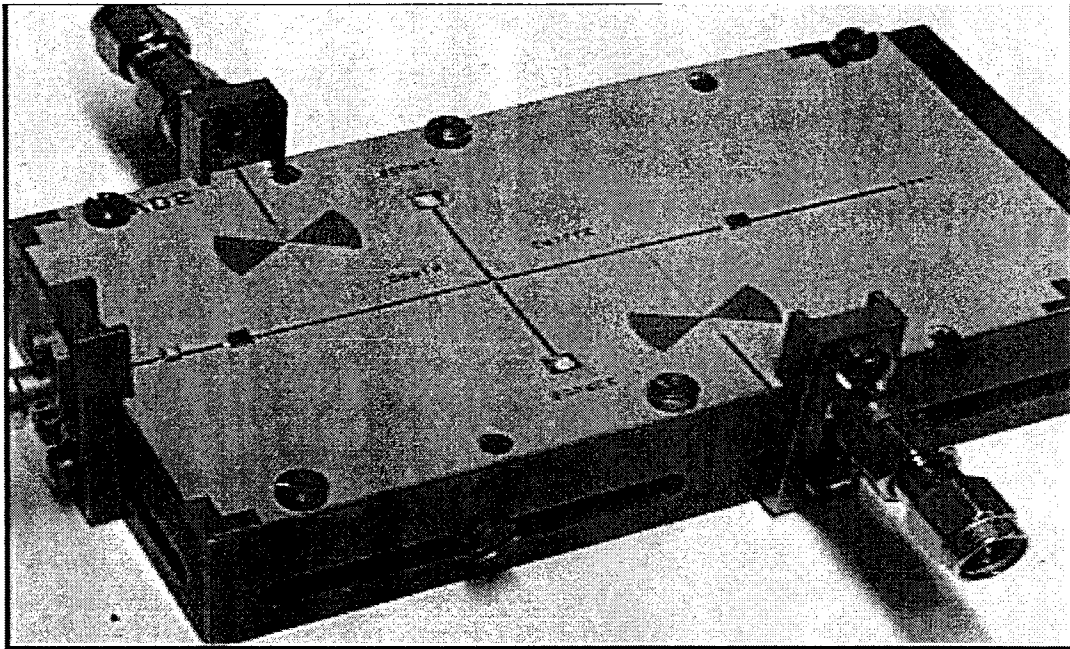


Figure III-13 : Photo de l'oscillateur.

III-7. ETUDE EXPERIMENTALE DE L'OSCILLATEUR.

L'étude expérimentale de l'oscillateur consiste à déterminer ses principales caractéristiques, à savoir :

- la fréquence d'oscillation F_0 ,
- la puissance délivrée par l'oscillateur et son rendement η ,
- le facteur de qualité Q_{ext} ,
- la pureté spectrale du signal hyperfréquences (bruit de phase) et la distorsion harmonique,
- la stabilité de l'oscillation en fonction de la charge (pulling),
- la stabilité de l'oscillation en fonction de la tension d'alimentation (pushing).

III-7.1. Mesures de F_0 , P_0 et η .

Le montage utilisé pour ces mesures est représenté figure III-14.

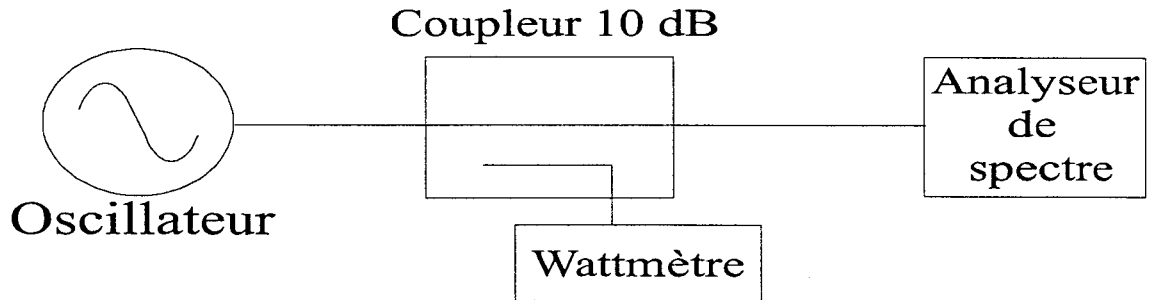


Figure III-14: Schéma du banc de mesures de la puissance et de la fréquence d'oscillation F_0 .

On visualise sur l'analyseur de spectre la raie d'oscillation à $F_0=2405,23$ MHz. Le wattmètre nous indique $P_0=1,67$ dBm.

Le rendement $\eta = \frac{P_{\text{hyper}}}{P_{\text{continue}}} = \frac{P_0}{V_{ds} \cdot I_d} = 14,7\%$ avec $V_{ds}=2$ V et $I_d=5$ mA.

III-7.2. Détermination du facteur de qualité Q_{ext} .

La détermination du facteur de qualité Q_{ext} s'effectue à partir de la méthode de synchronisation (figure III-15) dont nous allons rappeler le principe.

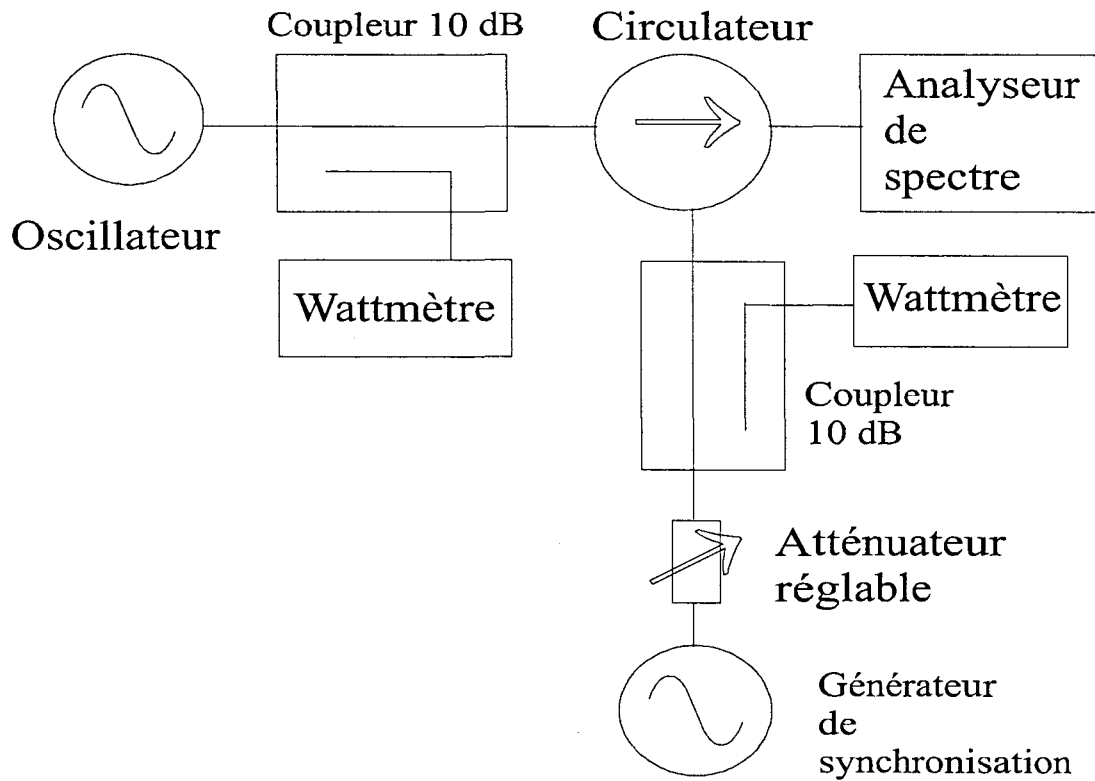


Figure III. 4 : Schéma du banc de mesure du facteur de qualité.

La puissance du générateur de synchronisation est réglée à 10 dB en dessous de la puissance délivrée par l'oscillateur. Sur l'analyseur, deux raies distinctes sont observées avec $F < F_0$. Lorsque la fréquence F du générateur se rapproche de F_0 , l'oscillateur se synchronise sur le signal du synthétiseur. Ce mécanisme s'explique par le fait que le générateur utilisé présente un facteur de qualité beaucoup plus élevé et est donc beaucoup plus stable.

On relève alors la bande de synchronisation Δf qui correspond à la plage de fréquence dans laquelle les deux raies restent confondues : $\Delta f = 8,2$ MHz.

On en déduit Q_{ext} à partir de la relation suivante :

$$\frac{P_{osc}}{P_{géné}} = \frac{f_0^2}{\left(\frac{\Delta f}{2}\right)^2 \times Q_{ext}^2} \quad (III-7)$$

avec :

$P_{\text{gén}}$: puissance délivrée par le synthétiseur,

P_{osc} : puissance délivrée par l'oscillateur à F_0 ,

F_0 : fréquence d'oscillation.

Ce qui nous donne en définitive $Q_{\text{ext}}=186$.

III-7.3. Pureté spectrale de l'oscillation.

La pureté spectrale du signal en sortie de l'oscillateur est définie par :

- le bruit de phase,
- la distorsion harmonique.

III-7.3.1. Bruit de phase.

Le bruit de phase de l'oscillateur est lié au bruit en $1/f$ du transistor, qui lui-même est lié aux non-linéarités dans le composant. A l'aide de l'analyseur de spectre, on dilate la raie (figure III-16). A 100 KHz de la porteuse, on relève un bruit de phase de 77 dBc/Hz (Figure III-17). Le tracé P (dBc/Hz) en fonction de $\log(f)$ nous donne $\alpha=800$ KHz (Figure III-18).

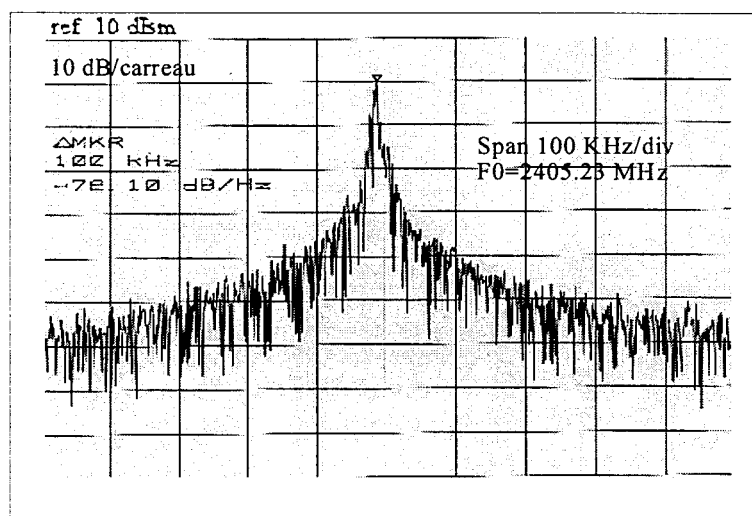


Figure III-16: Raie d'oscillation relevée à l'analyseur de spectre.

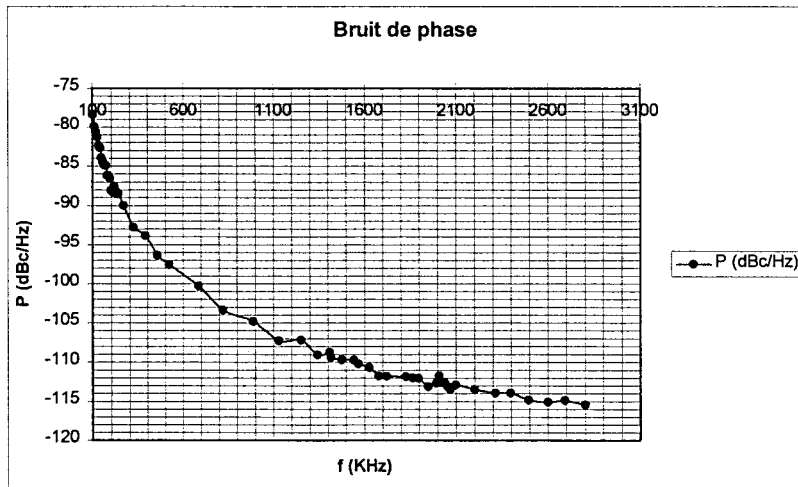


Figure III-17: Bruit de phase de l'oscillateur.

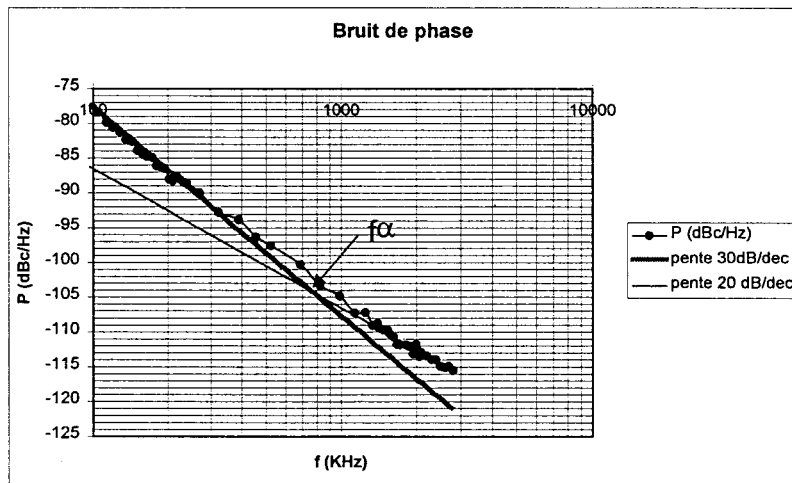


Figure III-18: Bruit de phase de l'oscillateur tracé en échelle semi-logarithmique.

A partir des relations :

$$\frac{P_{\text{bruit}}}{P_0} = \frac{1}{2} \times \frac{MkTB}{P_0} \times \frac{f_0^2}{Q_{\text{ext}}^2 * f_m^2} \quad (\text{III-8})$$

$$M = M_0 \times \left(1 + \frac{f\alpha}{f_m} \right) \quad (\text{III-9})$$

Avec :

M_0 : facteur de bruit (intrinsèque au transistor),

f_α : fréquence de Corner,

kT : -174 dBm (plancher de bruit),

P_0 : puissance délivrée par l'oscillateur à F_0 ,

Q_{ext} : facteur de qualité,

on en déduit $M_0=48$ dB.

III-7.3.2. Distorsion harmonique.

A l'aide de l'analyseur de spectre, on relève l'amplitude de tous les harmoniques de la fréquence d'oscillation :

$$Dh = \frac{\sum_{n=2}^{\infty} P(nf_0)}{P(f_0)} = -26 \text{ dB} \quad \text{(III-10)}$$

$P(f_0)$: puissance délivrée par l'oscillateur à f_0

$P(nf_0)$: puissances délivrées par l'oscillateur à $2f_0, 3f_0, \dots$

III-7.4. Pulling de l'oscillateur.

Le pulling de l'oscillateur traduit la stabilité de l'oscillation en fonction de variations de la charge. Nous présentons ci-dessous le schéma synoptique du montage permettant d'effectuer la mesure (figure III-19).

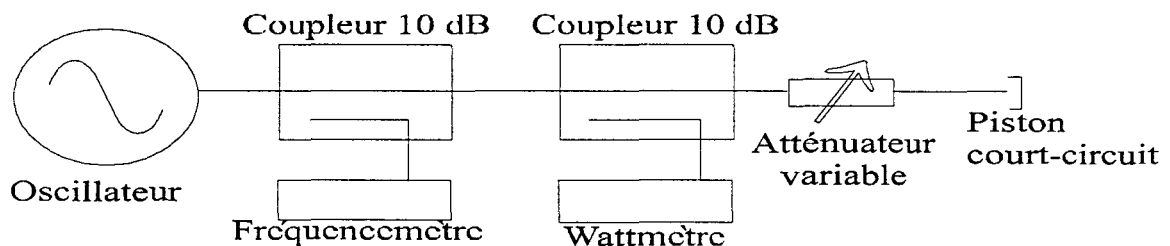


Figure III-19 : Banc de mesure du pulling.

La charge est simulée par un atténuateur variable suivi d'un court-circuit mobile. La mesure consiste à faire varier lentement la position du piston de court-circuit, pour chaque valeur de l'atténuateur (qui donne le TOS). On relève l'excursion crête à crête Δf_0 de la fréquence de l'oscillateur.

On en déduit Q_{ext} à partir de la formule de Hobson :

$$Q_{ext} = \frac{f_0}{2x\Delta f_0} \times \left(s - \frac{1}{s} \right) \quad (III-11)$$

Sur la figure III-20 est donnée la variation du facteur de qualité en fonction du TOS. Le TOS étant directement fonction de la charge, si le facteur de qualité varie peu, cela signifie que le circuit est stable en fonction des variations de charge.

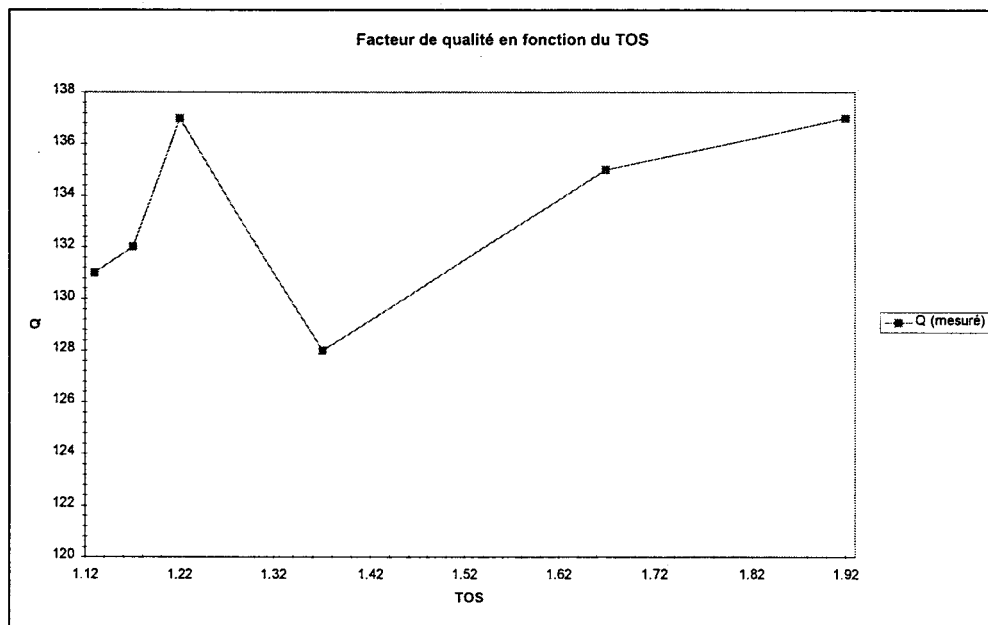


Figure III-20 : Variation du facteur de qualité en fonction du TOS.

III-7.5. Pushing de l'oscillateur.

Le pushing d'un oscillateur traduit la stabilité de ce circuit lors de variations de tension d'alimentation. Pour cela, on fait varier V_{ds} de 1,5V à 2,5V et on relève la variation de la fréquence d'oscillation (figure III-21).

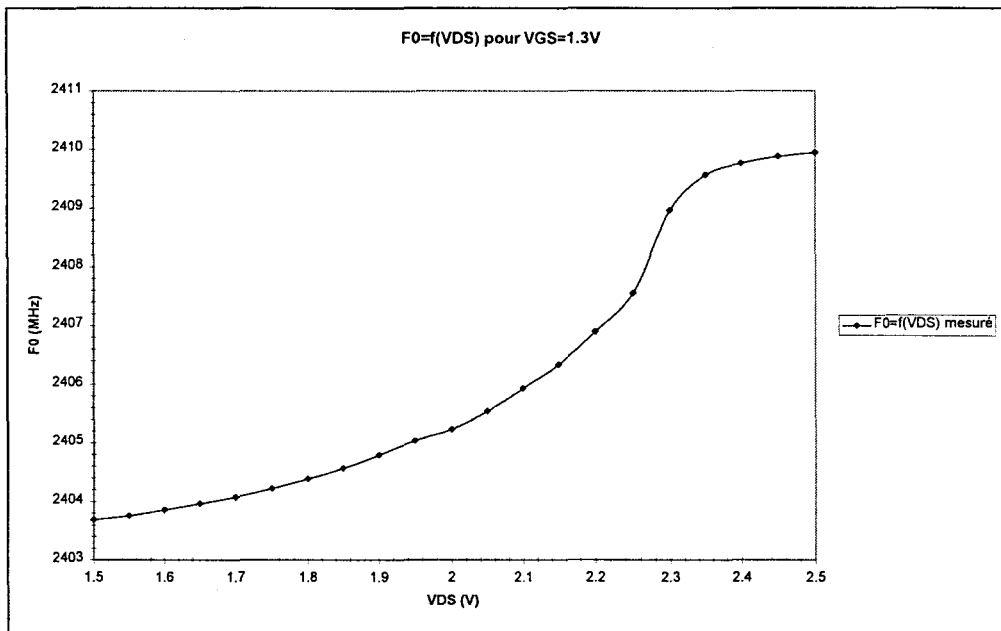


Figure III. 21 : Pushing de l'oscillateur.

Nous obtenons un pushing de 6,26 MHz/V.

III-8. CONCLUSION SUR LES RESULTATS EXPERIMENTAUX.

L'ensemble des résultats expérimentaux, en cohérence avec les résultats théoriques sur l'oscillateur, démontre tout d'abord la validité du modèle du transistor établi dans le précédent chapitre. Nous constatons ensuite une très bonne stabilité de l'oscillateur lors de variations de tension d'alimentation ou encore de charge. Le signal délivré par l'oscillateur est très linéaire puisqu'une distorsion harmonique de -26 dB a été obtenue. La puissance de sortie est satisfaisante compte tenu des dimensions du composant utilisé et de ses performances hyperfréquences. Enfin, les mesures du bruit de phase pour l'oscillateur à HIGFET sont en accord avec celles obtenues pour des structures analogues réalisées à partir de transistors MESFET. Le transistor HIGFET possède cependant un facteur de bruit intrinsèque M_0 relativement important. Il est possible d'améliorer le bruit de phase de l'oscillateur en utilisant comme circuit résonnant un résonateur diélectrique.

III-9. APPLICATION.

La plupart des systèmes de communications sans fil modernes utilisent des techniques de modulation/démodulation numériques. La liaison optique-radiofréquence

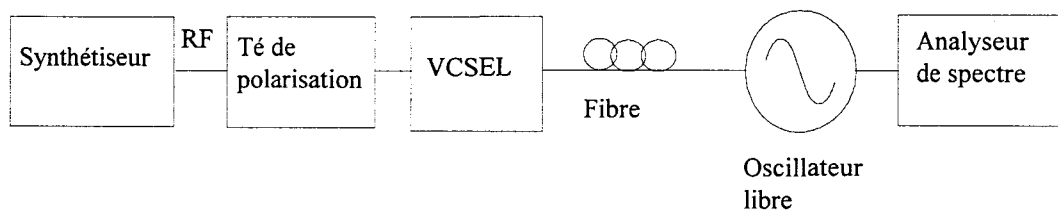
est un choix intéressant pour des applications indoor/outdoor. L'objectif de cette étude est de réaliser une liaison optique-hyperfréquences afin de transmettre des données en utilisant un contrôle optique de l'oscillateur. Pour cela, un signal optique modulé par un signal RF est soit appliqué directement sur la zone active du transistor, soit indirectement selon le mode de verrouillage choisi pour l'oscillateur, mode que nous allons décrire à présent.

III-9.1. Verrouillage de l'oscillateur.

Plusieurs méthodes de verrouillage d'un oscillateur peuvent être employées :

- synchronisation directe de l'oscillateur en éclairant directement la zone active du transistor [8],
- de manière indirecte, en éclairant un photodétecteur qui convertit le signal optique modulé en un signal électrique lequel est ensuite injecté sur le circuit résonnant de l'oscillateur [9].

Pour des raisons de simplicité, la méthode retenue est la méthode de synchronisation directe (figure III-22).



OL : oscillateur libre

Figure III-22 : Schéma du banc utilisé pour le verrouillage de l'oscillateur.

Etant donnée la fréquence de coupure de la diode laser de 2,5 GHz, nous effectuons le verrouillage sur le fondamental ou sur le premier sous harmonique (1,2 GHz). La puissance optique délivrée par le laser est de 1 mW pour un courant de polarisation de 5,5 mA. Notons qu'il ne nous est pas possible d'utiliser des harmoniques

plus bas étant donnés les matériaux épitaxiés utilisés dans la fabrication du transistor. En effet, en dessous de cette fréquence, l'ensemble du signal optique est réfléchi par la couche d'AlGaAs et ne peut plus être transmis dans le canal d'InGaAs.

La plage de synchronisation obtenue est de 300 KHz. Le fait de verrouiller l'oscillateur permet de diminuer le bruit de phase comme le montrent les figures III-23 et III-24.

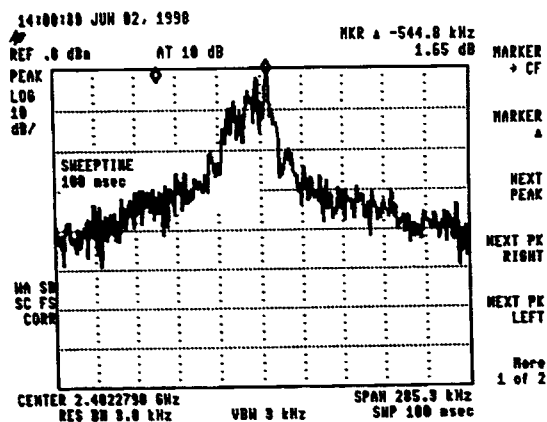


Figure III-23: Raie de l'oscillateur avant verrouillage.

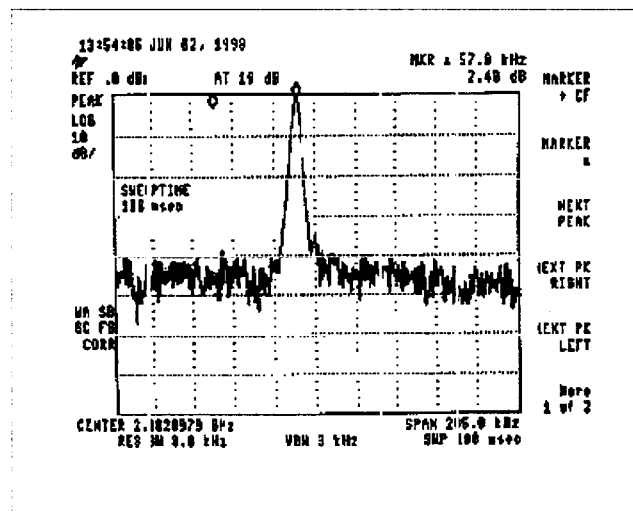


Figure III-24: Raie de l'oscillateur après verrouillage.

Kurokawa [9] a montré qu'il était possible d'accroître la plage de synchronisation en augmentant la puissance délivrée par le synthétiseur et en ayant un oscillateur présentant un faible coefficient de qualité.

Remarque : Seeds [10] a montré expérimentalement que le montage en source commune de l'oscillateur présente une plus grande sensibilité en fréquence pour le verrouillage que le montage en drain commun. Cela signifie qu'il sera possible de synchroniser l'oscillateur à partir d'une fréquence sous harmonique plus faible dans le cas du montage en source commune.

III-9.2. La modulation numérique.

La modulation numérique offre un grand nombre d'avantages par rapport à la modulation analogique, comme augmenter la capacité des canaux et la possibilité de transmettre et de recevoir de l'information avec une excellente fiabilité en présence de bruit et de distorsion. Avec les systèmes de communications numériques, des symboles binaires sont transmis; chaque symbole peut représenter un ou plusieurs bits. Le rôle du récepteur est alors d'estimer quel symbole a été envoyé par l'émetteur après que le bruit et la distorsion aient été rajoutés.

L'expression du signal à la sortie du modulateur peut être mis sous la forme :

$$x(t) = A(t) \cdot \cos(\omega_0 t + \varphi(t)),$$

avec :

A: amplitude du signal,

ω_0 : pulsation de la porteuse,

φ : phase du signal.

L'information binaire peut alors être contenue dans l'amplitude, dans la phase ou dans la fréquence de ce signal.

Les modulations utilisées dans ce travail sont :

- la modulation QPSK (Quadrature Phase Shift Keying) [11],
- la modulation 8PSK (8 Phase Shift Keying) [11],
- la modulation 16QAM (16 Quadrature Amplitude Modulation) [11],
- la modulation 32QAM (32 Quadrature Amplitude Modulation) [11].

III-9.3. Transmission numérique.

Toutes les modulations décrites précédemment ont été utilisées pour effectuer des tests de transmission numérique à l'aide de la liaison opto-hyperfréquence présentée dans ce paragraphe. La synchronisation de l'oscillateur est faite à 1,2 GHz. Le signal optique est modulé à l'aide du générateur HP 89331. Les figures III-26a et b montrent clairement que les signaux modulés, envoyés sur le laser puis dans la fibre optique sont bien récupérés sur la porteuse de l'oscillateur et sont parfaitement démodulés.

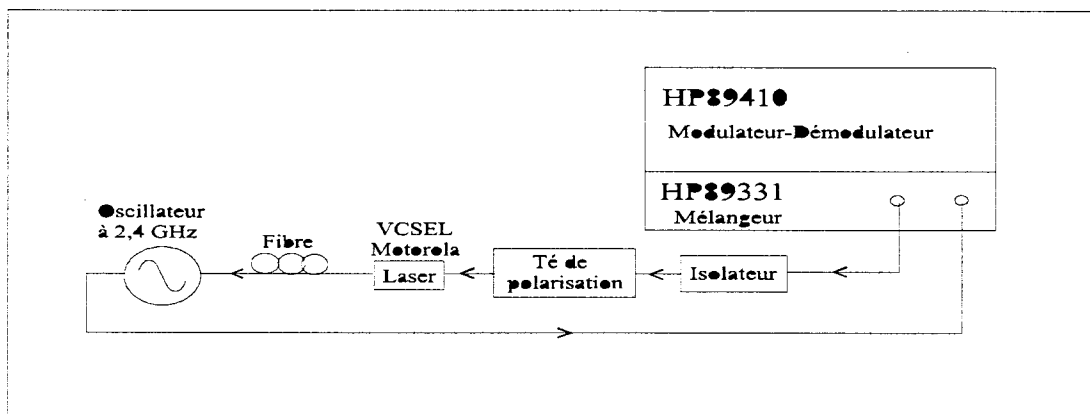


Figure III-25 : Schéma du banc utilisé pour la transmission numérique.

Le laser utilisé a pour longueur d'onde 0.85 μm . Le HP89410 est un modulateur-démodulateur.

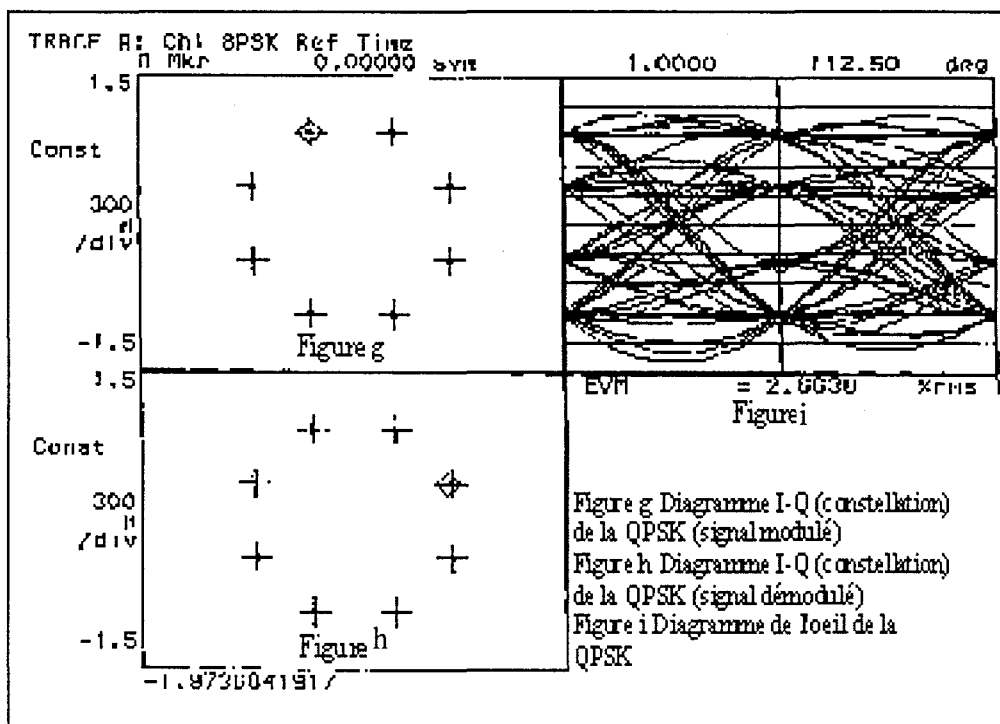
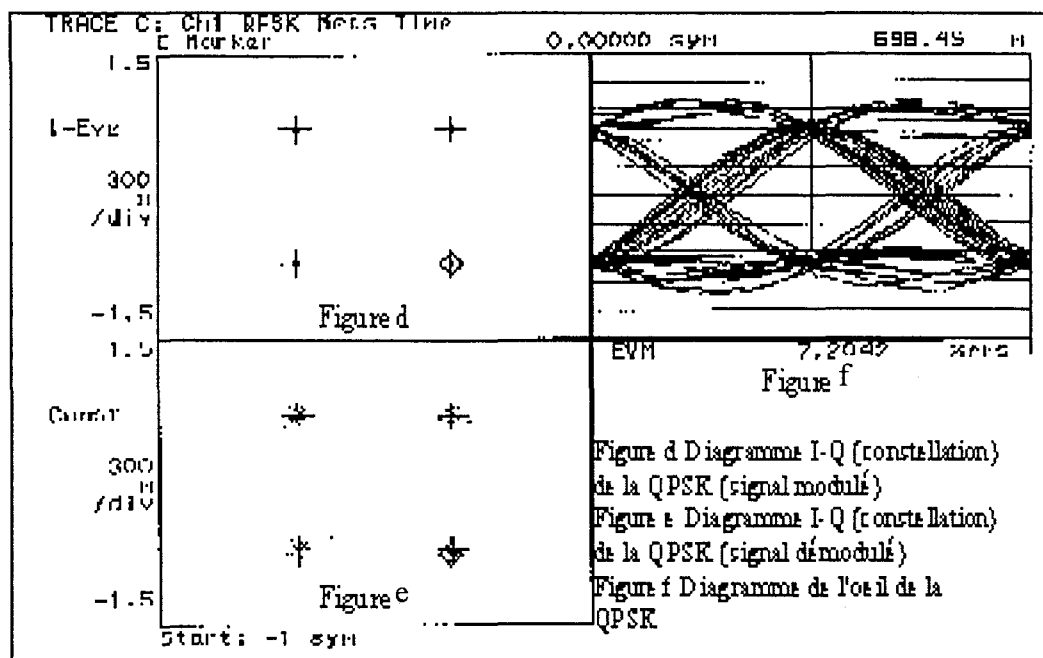


Figure III-26 a: Modulation PSK : Diagramme I-Q de signaux modulés et démodulés. Diagramme de l'oeil.

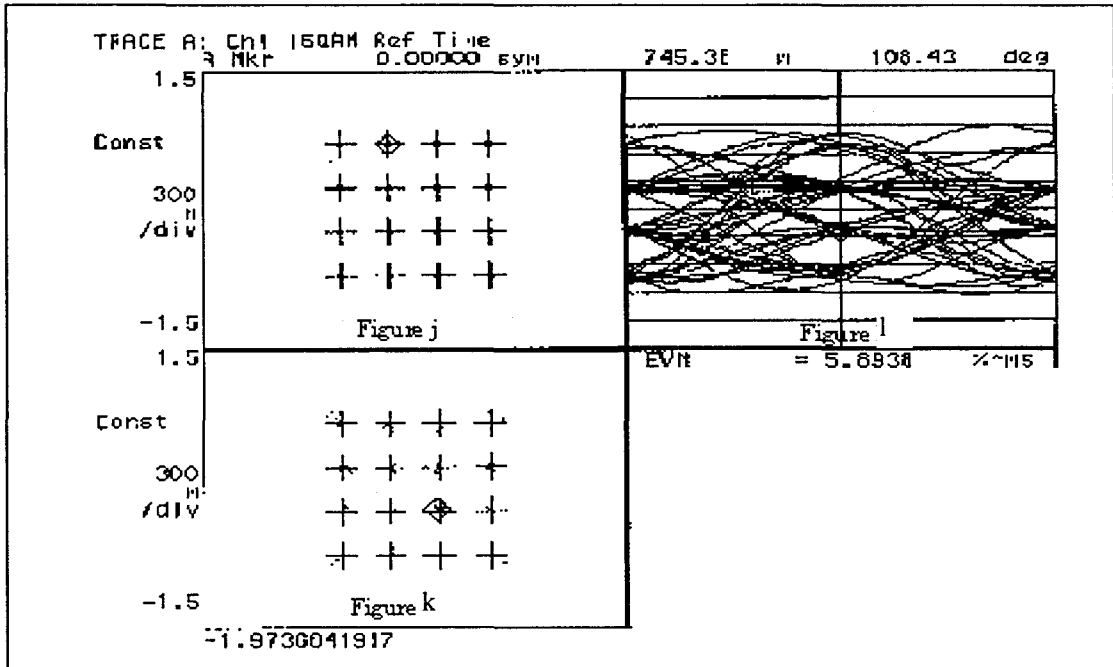


Figure j Diagramme I-Q (constellation) de la 16 QAM (signal modulé)
 Figure k Diagramme I-Q (constellation) de la 16 QAM (signal démodulé)
 Figure l Diagramme de l'oeil de la 16 QAM

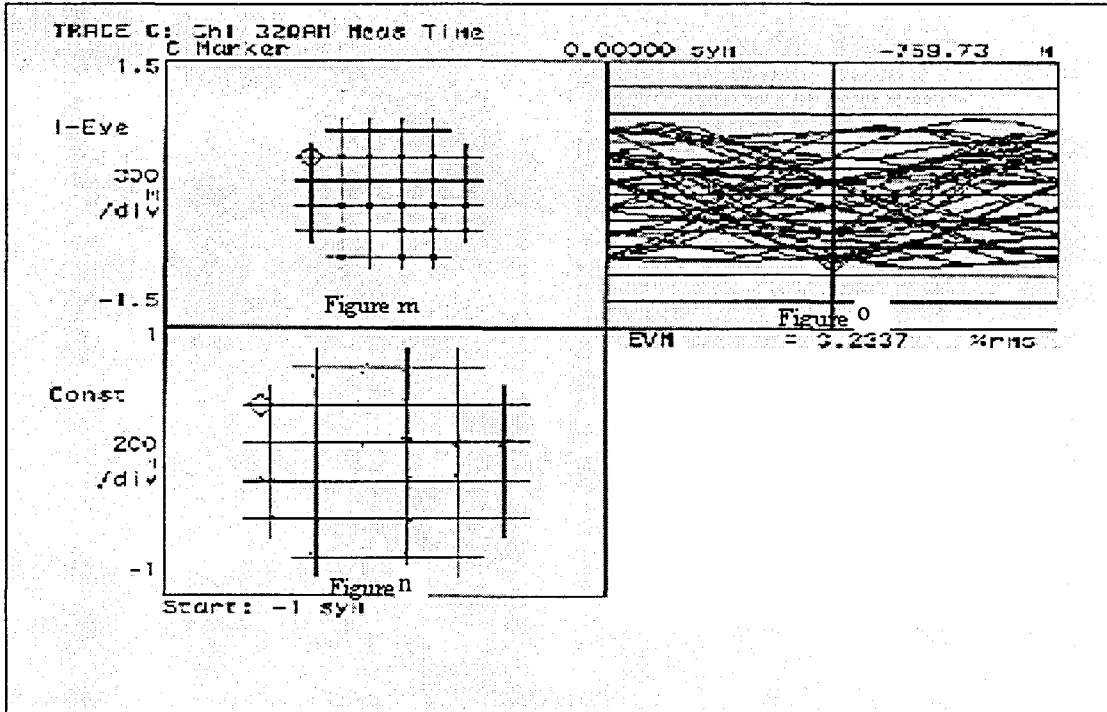


Figure m Diagramme I-Q (constellation) de la 32 QAM (signal modulé)
 Figure n Diagramme I-Q (constellation) de la 32 QAM (signal démodulé)
 Figure o Diagramme de l'oeil de la 32 QAM

Figure III-26 b: Modulation QAM : Diagramme I-Q de signaux modulés et démodulés. Diagramme de l'oeil.

III-10.CONCLUSION.

Dans ce troisième chapitre, l'étude et la réalisation d'un oscillateur utilisant un transistor HIGFET ont été réalisées. Ce travail a permis de montrer toute la validité du modèle non-linéaire développé précédemment. Bien que le transistor n'ait pas été optimisé pour des applications analogiques hyperfréquences, les résultats obtenus pour l'oscillateur libre à HIGFET sont satisfaisants, tant au niveau du rendement que de la linéarité du signal hyperfréquences ou encore du coefficient de qualité. Le niveau du bruit de phase reste comparable à celui d'un oscillateur libre à MESFET. L'ensemble de cette étude a débouché sur une application opto-hyperfréquences, menée conjointement avec l'équipe optoélectronique de l'IEMN. Ce travail a consisté à réaliser une liaison optique-radiofréquence à partir de l'oscillateur, d'un laser et d'une fibre optique. Les signaux modulés, émis à travers le système ont été démodulés sans difficulté.

III-11 BIBLIOGRAPHIE DU CHAPITRE III.

- [1] C. Gentili, « Amplificateurs et oscillateurs micro-ondes » Masson, 1984.
- [2] J.F. Thiery, « Etude et réalisation de transistors HIGFETs complémentaires en technologie auto-alignée pour circuits logiques rapides et à faible consommation » Thèse de l'université, octobre 1991, Lille.
- [3] G. Dambrine, « Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent » Thèse de l'université, mars 1989, Lille.
- [4] D.Sommer, N.Gomes, « Wide-locking bandwidth optically injection-locked oscillators : S-Parameter design and modulation effects » IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-43, N°7, July 1995 PP.1424-1432.
- [5] D.Vendelin, A.M.Pavio, U.L.Rohde, « Microwave circuit design » Ed. Wiley, 1989.
- [6] K.Kurokawa, « Injection locking of microwave solid state oscillators » Proceedings of IEEE, Vol.61, 1973, P.1983.
- [7] S.Hamilton, « FM and AM Noise in microwave oscillators » Microwave Journal, Juin 1978, PP.105-109.
- [8] S.K.Suresh Babu, P.Callaghan, N.J.Gomes, A.K.Jastrzebski, « Modelling and design of optically controlled MMIC oscillators » 26th Euro. Microw. Conf., Prague, Czech Republic, 1996, PP.120-124.
- [9] K.Kurokawa, « Microwave devices » Ed. Wiley, 1976, PP. 209-265.
- [10] A.J. Seeds, « Optical control of microwave semiconductor devices » IEEE Transactions on Microwave Theory and Techniques, Vol.38, N°5, May 1990 PP.577-584.

- [11] L.E.Larson, Editor, « RF and microwave circuit design for wireless communications » Artech House Publishers, 1994.

CHAPITRE IV

MISE EN OEUVRE DU MODELE POUR L'ETUDE D'UN MELANGEUR.

CHAPITRE IV MISE EN OEUVRE DU MODELE POUR L'ETUDE D'UN MELANGEUR.

IV-1. INTRODUCTION.

Ce quatrième chapitre a pour objet l'étude des performances d'un mélangeur à HIGFET utilisant une architecture de type cellule de GILBERT, qui intervient de manière intensive dans les systèmes de communication micro-ondes.

D'une façon générale, le rôle d'un mélangeur est de générer de nouvelles fréquences à partir de deux signaux appliqués sur ses entrées; l'un provenant d'un oscillateur local de fréquence F_{OL} , le second étant le signal radiofréquence à la fréquence F_{RF} . Le but de cette opération est de permettre la transposition de l'information contenue dans une porteuse RF à une fréquence intermédiaire plus basse notée F_{IF} afin de pouvoir faire l'objet d'un traitement plus aisé. A l'inverse, la fonction mélange peut être utilisée de façon à transposer un signal basse fréquence dans le domaine des hyperfréquences afin d'être transmis.

IV-2. PRESENTATION DES GRANDEURS CARACTERISTIQUES D'UN MELANGEUR.

La qualification d'un mélangeur fait intervenir différents paramètres qu'il nous faut décrire en premier lieu.

IV-2.1. Le gain de conversion.

Le gain de conversion d'un mélangeur est le paramètre qui traduit l'efficacité de la conversion d'un signal radiofréquence en un signal IF. Il est défini comme étant le rapport des puissances P_{IF} et P_{RF} . Ce paramètre noté G_c est donné par la relation suivante :

$$G_c = \frac{P_{IF}}{P_{RF}}. \quad (IV-1)$$

IV-2.2. Les isolations.

Compte tenu des phénomènes non-linéaires intervenant dans un mélangeur, les signaux OL et RF ainsi que leurs combinaisons harmoniques génèrent des raies parasites sur les entrées et sur la sortie du dispositif. Les isolations traduisent les pertes d'insertion entre les différents ports du mélangeur. Elles sont données par les relations définies ci-dessous:

$$\text{Isolation OL - RF} = \frac{\text{Puissance à } F_{OL} \text{ sur la voie RF}}{\text{Puissance à } F_{OL} \text{ sur la voie OL}}, \quad (\text{IV-2})$$

$$\text{Isolation RF - OL} = \frac{\text{Puissance à } F_{RF} \text{ sur la voie OL}}{\text{Puissance à } F_{RF} \text{ sur la voie RF}}, \quad (\text{IV-3})$$

$$\text{Isolation OL - IF} = \frac{\text{Puissance à } F_{OL} \text{ sur la voie IF}}{\text{Puissance à } F_{OL} \text{ sur la voie OL}}, \quad (\text{IV-4})$$

$$\text{Isolation RF - IF} = \frac{\text{Puissance à } F_{RF} \text{ sur la voie IF}}{\text{Puissance à } F_{RF} \text{ sur la voie RF}}, \quad (\text{IV-5})$$

IV-2.3. Le point de compression à 1 dB.

A la saturation du gain de conversion, le point de compression à 1 dB est défini comme étant la puissance P_{RF} appliquée au mélangeur pour avoir un écart de 1 dB entre la caractéristique réelle $P_{IF}=f(P_{RF})$ et l'extrapolation linéaire de cette même caractéristique.

IV-2.4. Intermodulation d'ordre 3.

Lorsque deux signaux RF1 et RF2 de fréquences voisines sont appliqués au mélangeur, des raies parasites de fréquences $2F_1-F_2$ et $2F_2-F_1$ avec $F_1=F_{RF1}-F_{OL}$ et $F_2=F_{RF2}-F_{OL}$ se retrouvent adjacentes au signal utile IF en sortie du dispositif. La sensibilité d'un mélangeur à l'intermodulation d'ordre 3 est alors définie par son point d'interception IP3 qui définit son niveau de linéarité.

IV-2.5. Facteur de bruit d'un mélangeur.

Le facteur de bruit d'un dispositif est défini comme étant le rapport signal sur bruit en entrée sur le rapport signal sur bruit en sortie. Dans le cas d'un mélangeur, le facteur de bruit caractérise la dégradation du rapport signal sur bruit lors de la conversion de fréquence. Deux définitions peuvent être employées selon que l'on considère ou non la fréquence image lors de la conversion [1].

IV-3. CHOIX D'UNE TOPOLOGIE DE MELANGEUR.

Diverses topologies de mélangeurs permettent d'effectuer la transposition d'un signal radiofréquence en un signal à une fréquence intermédiaire IF. Cependant, en vue d'applications du type "conversion directe de fréquence", il est nécessaire de rappeler les différentes exigences liées à ces systèmes.

IV-3.1. Rappels des critères fondamentaux inhérents aux systèmes de conversion directe.

La principale priorité relative aux circuits insérés dans des dispositifs de communications portables est la réduction de la consommation statique et de la tension d'alimentation. A cet égard, le mélangeur doit d'une part être en mesure de fonctionner de façon optimale sous une polarisation réduite et avec un niveau de puissance OL le plus faible possible. D'autre part, compte tenu du nombre restreint de circuits présents dans une chaîne de conversion directe, le mélangeur doit en outre présenter une linéarité la plus grande possible [2]. De plus, suite aux remarques faites dans le chapitre I, le circuit utilisé doit nécessairement présenter les meilleures isolations OL-RF possibles. Enfin, le mélangeur doit être facilement intégrable afin de limiter le plus possible le nombre de circuits externes présents dans la chaîne de communication.

IV-3.1.1. Architectures de mélange.

Afin de répondre aux problèmes relatifs aux isolations, deux architectures standards peuvent être retenues pour permettre de rejeter les signaux indésirables en sortie des mélangeurs :

- la structure de mélange simplement équilibrée,

- la structure de mélange doublement équilibrée.

L'objectif est d'éliminer en sortie du système les raies indésirables aux fréquences OL et RF. Pour cela, la technique consiste à utiliser deux mélangeurs identiques et à attaquer leurs entrées respectives avec des signaux en opposition de phase. Dans le cas d'une structure simplement équilibrée, seul le signal RF utilisé par les deux mélangeurs est déphasé comme le montre la figure IV-1. Les signaux aux deux sorties sont ensuite recombinaés pour donner le signal à la fréquence IF. Un calcul détaillé montre alors que le signal OL et ses harmoniques ainsi que les termes pairs du signal RF sont éliminés en sortie IF [3].

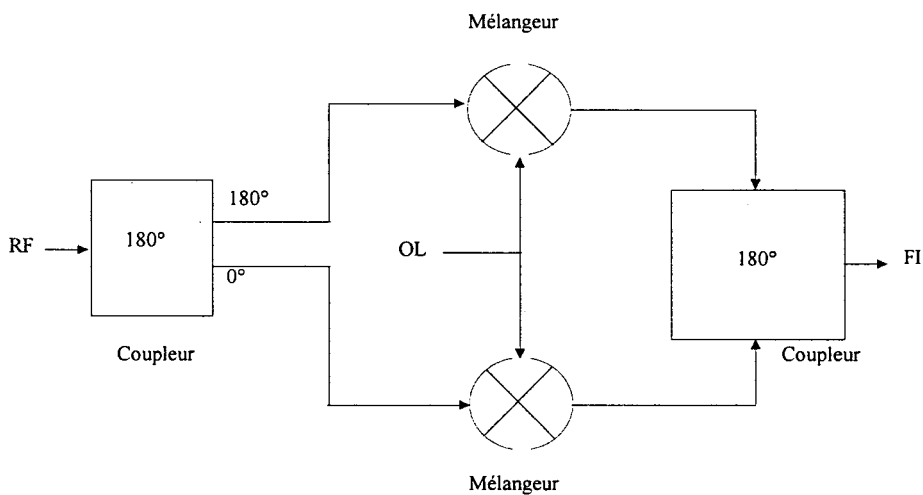


Figure IV- 1 : Structure d'un mélangeur simplement équilibrée.

En revanche, pour une structure doublement équilibrée, les signaux OL et RF sont ici tous deux déphasés de 180°. La structure de mélange est alors constituée de quatre mélangeurs identiques (Figure IV- 2). Un calcul simple montre que dans cette configuration, les signaux OL et RF ainsi que leurs harmoniques respectifs sont simultanément rejetés en sortie du système [3].

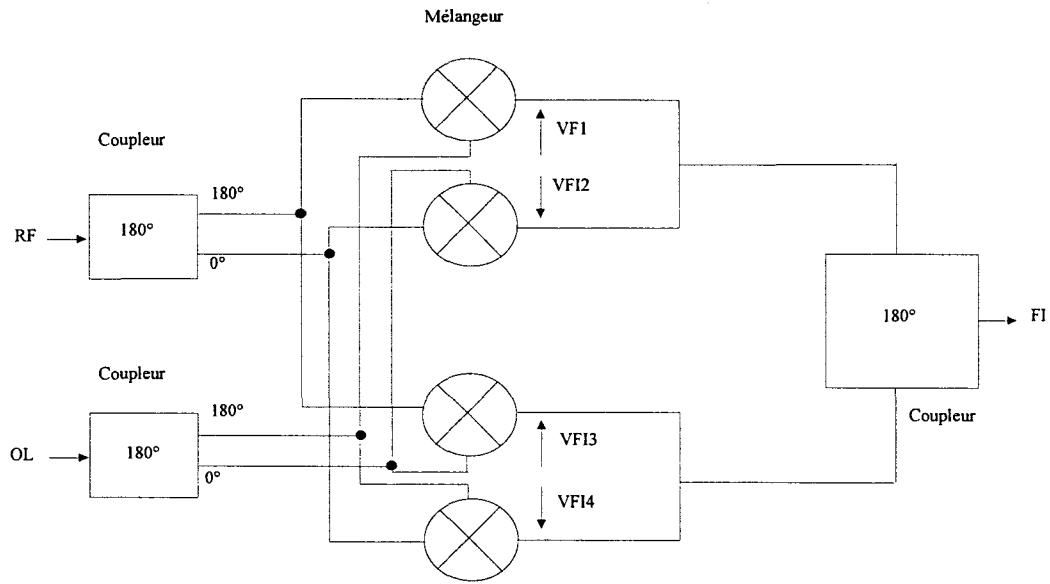


Figure IV- 2 : Structure d'un mélangeur doublement équilibré

IV-3.1.2. Les différents types de mélangeurs.

Nous allons à présent présenter différents types de mélangeurs.

IV-3.1.2.1. Mélangeur à TEC froid.

La configuration TEC "froid" (V_{ds} nul) consiste à utiliser le transistor dans sa zone de conduction où sa caractéristique I/V reste linéaire lorsque V_{ds} est inférieur à 0.5V. Dans ce mode de fonctionnement, le transistor se comporte alors comme une résistance que l'on peut faire varier en appliquant sur sa grille un signal OL [3]. Les avantages liés à cette structure sont :

- une consommation statique nulle puisque le transistor n'est pas polarisé,
- de très bonnes performances en terme de bruit basse fréquence,
- une excellente linéarité du dispositif due à la faible non-linéarité de la caractéristique modulé par l'OL,

- des pertes de conversion comparables à celles obtenues pour des systèmes de mélange à diodes.

Cependant, les inconvénients des mélangeurs à TEC froids sont :

- la nécessité d'une source OL de niveau élevé afin de pouvoir moduler la résistance R_{ds} de canal,
- une mauvaise isolation OL-RF qui provient de la valeur élevée de la capacité grille-drain, le transistor n'étant pas polarisé. Il convient par conséquent de bien court-circuiter l'OL sur le drain du transistor afin d'éviter un retour de celui-ci sur les voies RF et IF,
- la nécessité d'utiliser des filtres pour séparer les signaux IF et RF.

IV-3.1.3. Les mélangeurs à TEC chauds.

Lors d'un fonctionnement en TEC chaud, c'est à dire lorsque le transistor utilisé est polarisé dans sa zone de saturation, trois configurations peuvent être utilisées: selon qu'on attaque la source, le drain ou la grille du transistor avec le signal OL.

IV-3.1.3.1. Le mélangeur par la grille.

Dans cette topologie, les signaux OL et RF sont appliqués sur la grille du transistor. La non-linéarité intervenant dans le mélange est la transconductance $G_m(V_{gs})$ [3]. Le transistor est alors polarisé au pincement $V_{gs}=V_p$ et à $V_{ds}=V_{dsat}$.

Les avantages de cette structure sont:

- un gain de conversion relativement élevé pour un niveau de puissance d'OL de l'ordre de 0 dBm,
- une structure simple puisqu'elle n'utilise qu'un composant actif,
- une bonne linéarité si la caractéristique du G_m est d'allure parabolique [3].

Les principaux problèmes sont :

- le découplage des signaux OL et RF sur la grille,
- un fort couplage OL-IF et RF-IF lié à l'amplification des signaux OL et RF sur la grille,
- un facteur de bruit plus élevé que pour le mélangeur à TEC froid du fait de la polarisation.

IV-3.1.3.2. Le mélangeur par le drain.

Le transistor est ici polarisé entre sa zone de conduction et sa zone de saturation. Les signaux OL et RF sont respectivement appliqués sur le drain et la grille du transistor. La non-linéarité utilisée est celle du courant I_{ds} en fonction de V_{ds} .

Cependant, ce type de mélange nécessite d'une part un fort niveau d'OL du fait de la faible impédance présente entre le drain et la source du transistor et qui a pour effet de dégrader l'isolation OL-IF. D'autre part, la non-linéarité utilisée ne permet pas d'obtenir de bonnes performances en intermodulation.

Cette topologie ne permet pas d'obtenir un gain de conversion important contrairement au mélangeur par grille. Enfin le facteur de bruit de cette structure est relativement élevé du fait de la polarisation du transistor.

IV-3.1.3.3. Le mélangeur par la source.

La non-linéarité utilisée est à nouveau la transconductance. Le signal OL est appliqué sur la source du transistor tandis que le signal RF attaque la grille.

Cette structure permet d'obtenir:

- un gain de conversion important [3],
- de bonnes caractéristiques d'isolation [3].

IV-3.1.5.Principe de base.

Lorsque les entrées OL sont attaquées par deux signaux, l'un avec une phase φ_{OL} (OL+), l'autre en opposition de phase (OL-), et lorsque les entrées RF sont attaquées par deux signaux, l'un avec une phase φ_{RF} (RF+), l'autre en opposition de phase (RF-), on observe aux sorties IF+ et IF- du dispositif la différence des signaux OL et RF ainsi que leur somme. La fonction mélange est bien réalisée.

IV-3.1.6.Calcul théorique simplifié dans le cas d'une loi de courant de type MOS.

Dans le cas du transistor MOS, la loi reliant le courant à la tension Vgs est, lorsque le transistor est saturé, donnée par l'expression :

$$I_{ds} = k \cdot (V_{gs} - V_{th})^2, \quad (IV-6)$$

$$\text{avec } k = \frac{W \cdot \mu n \cdot Cox}{2 \cdot Lg}. \quad (IV-7)$$

Dans cette relation, Vgs représente le potentiel grille source appliqué au transistor, Vth sa tension de seuil.

Un calcul détaillé dans l'annexe 3 permet d'aboutir au résultat suivant:

$$I_{out} = k \cdot V_x \cdot \left[\sqrt{\left[\sqrt{\left(\frac{I_{SS}}{k} - \frac{V_y^2}{2} \right) + \frac{V_y}{\sqrt{2}}} \right]^2 - V_x^2} - \sqrt{\left[\sqrt{\left(\frac{I_{SS}}{k} - \frac{V_y^2}{2} \right) - \frac{V_y}{\sqrt{2}}} \right]^2 - V_x^2} \right], \quad (IV-8)$$

qui conduit lorsque les signaux Vx et Vy ont de faibles amplitudes à : [6]

$$I_{out} \approx \sqrt{2} \cdot k \cdot V_x \cdot V_y. \quad (IV-9)$$

$$\text{Par conséquent, lorsque } \begin{cases} Vx = A \cdot \cos(\omega_{OL} \cdot t) \\ Vy = B \cdot \cos(\omega_{RF} \cdot t) \end{cases} \quad (\text{IV-10})$$

nous retrouvons bien en sortie du système les signaux de pulsation $\omega_{OL} - \omega_{RF}$ et $\omega_{OL} + \omega_{RF}$.

Outre sa structure doublement équilibrée qui lui confère de bonnes isolations entrée-entrée et entrées-sortie, ce mélangeur fonctionne avec des niveaux de puissance OL relativement faibles [7] en comparaison des différentes structures vues jusqu'ici, lorsque la technologie bipolaire est choisie.

De plus, un gain de conversion peut être obtenu sous une polarisation réduite [7].

Le principal avantage offert par cette structure est sa grande capacité à être intégrée puisqu'elle ne comporte que des éléments actifs (transistors) et des résistances.

Néanmoins, l'utilisation de transistor à effet de champ a pour effet de limiter la linéarité du dispositif par rapport à un circuit similaire réalisé à partir de transistors bipolaires [5].

Notons enfin que pour les mêmes raisons que celles invoquées pour les mélangeurs à TEC chauds, le facteur de bruit d'un mélangeur à cellule de Gilbert ne peut être de bonne qualité [8].

IV-3.2. Récapitulatif des performances des mélangeurs.

L'ensemble des caractéristiques des mélangeurs énumérées précédemment est rassemblé dans le Tableau IV- 1 ci-après.

Chapitre IV Mise en oeuvre du modèle pour l'étude d'un mélangeur.

Type de mélangeur	Gain de conversion	Isolations	Linéarité	Facteur de bruit	Puissance OL	Intégration du circuit
à TEC "froid"	aucun	mauvaise isolation OL-RF. Dépend des filtres externes	excellente	faible	importante	aisée mais nécessite l'intégration d'éléments passifs (filtres)
Par la grille	élevé	fort couplage OL-IF et RF-IF, nécessite le découplage OL-RF sur la grille	bonne	élevé	moyenne	aisée mais nécessite l'intégration d'éléments passifs (filtres)
Par la source	élevé	bonnes	mauvaise	élevé	importante	aisée mais nécessite l'intégration d'éléments passifs (filtres)
Type de mélangeur	Gain de conversion	Isolations	Linéarité	Facteur de bruit	Puissance OL	Intégration du circuit
Par le drain	faible	l'isolation OL-IF nécessite un filtrage	mauvaise	élevé	importante	aisée mais nécessite l'intégration d'éléments passifs (filtres)
A cellule de GILBERT	élevé	excellente	moyenne	élevé	faible	excellente (ne comporte que des transistors et des résistances)

Tableau IV- 1 : Caractéristiques de mélangeurs à TEC.

IV-3.3. Conclusion quant au choix de la topologie à adopter.

Même si une structure simplement ou doublement équilibrée à partir de mélangeurs à TEC froid ou encore à TEC chaud présente un intérêt certain en terme de performance, le faible niveau de puissance OL nécessaire ainsi que le haut niveau d'intégration d'un mélangeur de type cellule de GILBERT, font de ce dispositif une structure très intéressante pour les systèmes de conversion directe de fréquence.

IV-3.3.1. Cas du mélangeur à cellule de GILBERT avec des transistors HIGFET.

La démonstration établie dans le paragraphe 3.1.6 peut être vérifiée aisément lorsque la loi reliant le courant à la tension V_{gs} appliquée au transistor est du type quadratique. Dans le cas du transistor HIGFET, il apparaît illusoire d'effectuer un calcul analytique simple compte tenu de l'équation reliant le courant I_{ds} aux potentiels V_{ds} et V_{gs} . Néanmoins, le tracé de la caractéristique $\sqrt{I_{ds}} = f(V_{gs})$ (caractéristique simulée) sur la Figure IV- 4 montre qu'une évolution de type quadratique est obtenue pour des potentiels de grille appliqués compris entre V_{th} et $1V$. Dans ces conditions, l'étude du circuit conduit au résultat obtenu dans le cadre d'une étude avec des transistors de type MOS. La fonction mélange est donc bien réalisée.

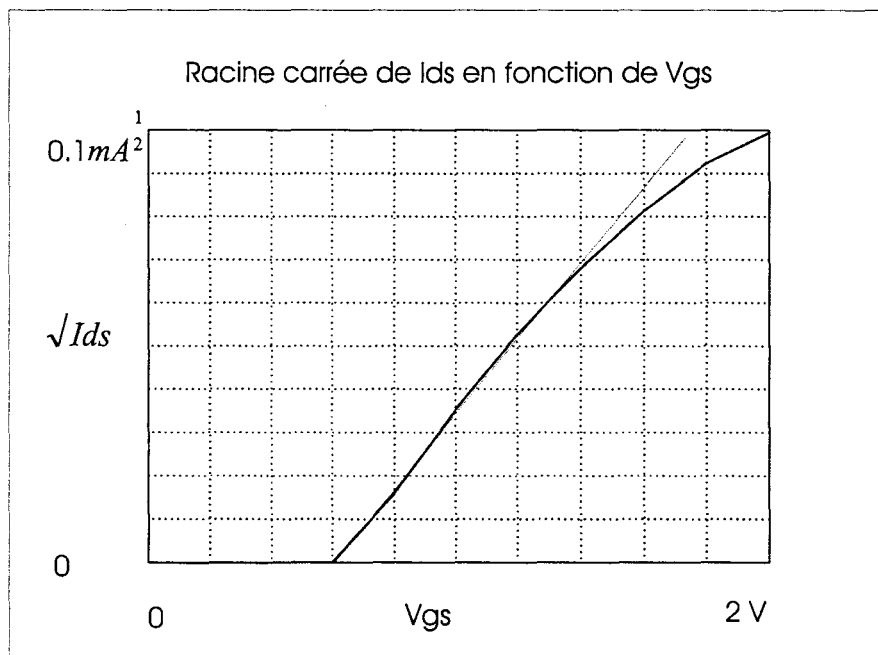


Figure IV- 4 : racine carrée du courant de drain en fonction de V_{gs}

IV-4. SIMULATION D'UN MELANGEUR A CELLULE DE GILBERT A HIGFET.

Pour évaluer les potentialités d'un mélangeur à cellule de GILBERT à partir d'une technologie HIGFET, nous nous proposons dans un premier temps d'évaluer ses performances du point de vue du gain de conversion, des isolations, de la linéarité ainsi que la consommation statique. Puis, nous comparerons différents résultats issus de la littérature, relatifs à des circuits analogues utilisant diverses technologies avec ce même mélangeur simulé sur MDS, à partir de transistors HIGFET de type N de dimensions $2 \times 25 \times 1 \mu\text{m}$.

IV-4.1.Simulation d'un mélangeur à cellule de GILBERT à HIGFET.

Notons auparavant que ce dernier a été simulé sous 2V de polarisation statique. A cet égard et étant donnés les potentiels appliqués aux transistors, une caractérisation plus précise correspondant à ces potentiels a été reconduite afin de réestimer les paramètres statiques et dynamiques du modèle. L'ensemble des caractéristiques ayant permis cette étude figure dans l'annexe 4.

IV-4.1.1.Structure adoptée.

De façon à obtenir de bonnes caractéristiques en termes d'isolations tout en restreignant le nombre de composants utilisés, une structure simplement équilibrée a été choisie. Dans cette configuration, la grille des transistors attaquée par le signal OL déphasé de 180° a été court-circuitée en dynamique à l'aide d'une capacité. Outre le circuit de base du mélangeur déjà représenté sur la Figure IV- 3, la structure adoptée comporte un système de polarisation par miroir de courant, un étage déphaseur RF, un amplificateur "differential-single ended" IF ainsi qu'un étage suiveur.

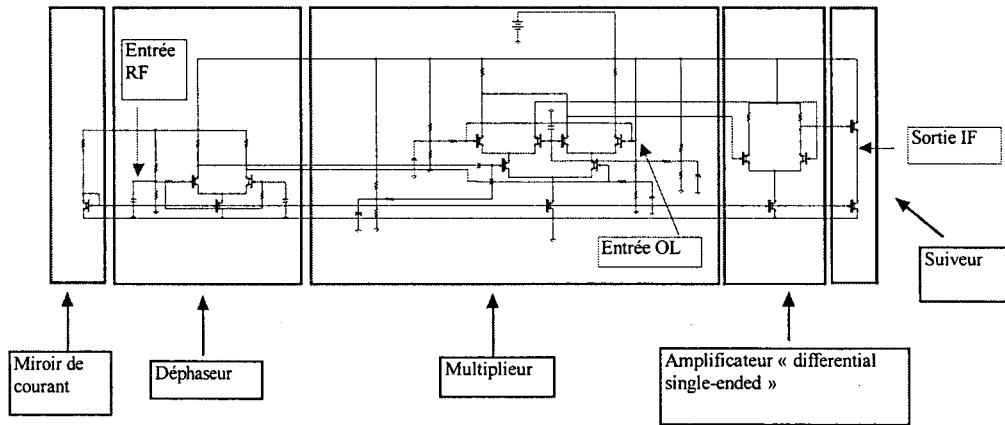


Figure IV- 5: structure finale du mélangeur à HIGFET.

IV-4.1.2.Choix du niveau d'OL.

De manière à estimer la puissance d'OL nécessaire pour l'obtention du gain de conversion optimal, une première étude consiste à fixer la puissance RF et à faire varier la puissance OL (Figure IV- 6).

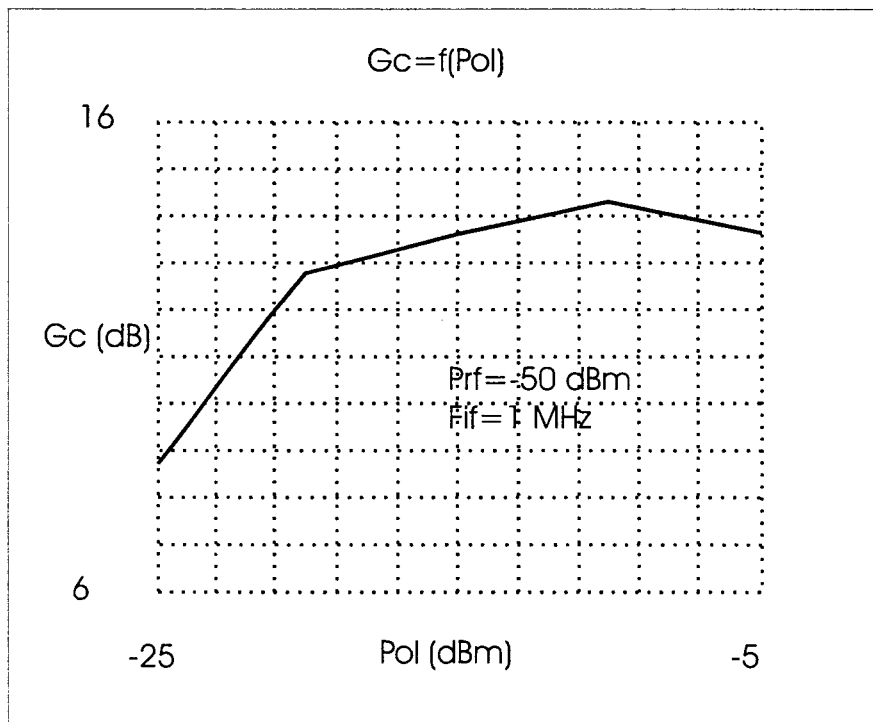


Figure IV- 6 : Evolution du gain de conversion en fonction de P_{OL} .

Le résultat de cette première simulation montre qu'un niveau d'OL de -10 dBm permet d'obtenir les meilleures performances pour le gain de conversion.

IV-4.1.3. Etude du gain de conversion et de la puissance de sortie.

Le signal d'OL étant fixé à -10 dBm, nous faisons varier la puissance RF de -60 dBm à -10 dBm. Les caractéristiques obtenues donnent une valeur du gain de conversion du mélangeur (Figure IV- 7) de l'ordre de 13.9 dB ainsi qu'une puissance de sortie à 1 dB de compression de l'ordre de -16 dBm. Ces deux résultats correspondent à une consommation statique de 8 mW.

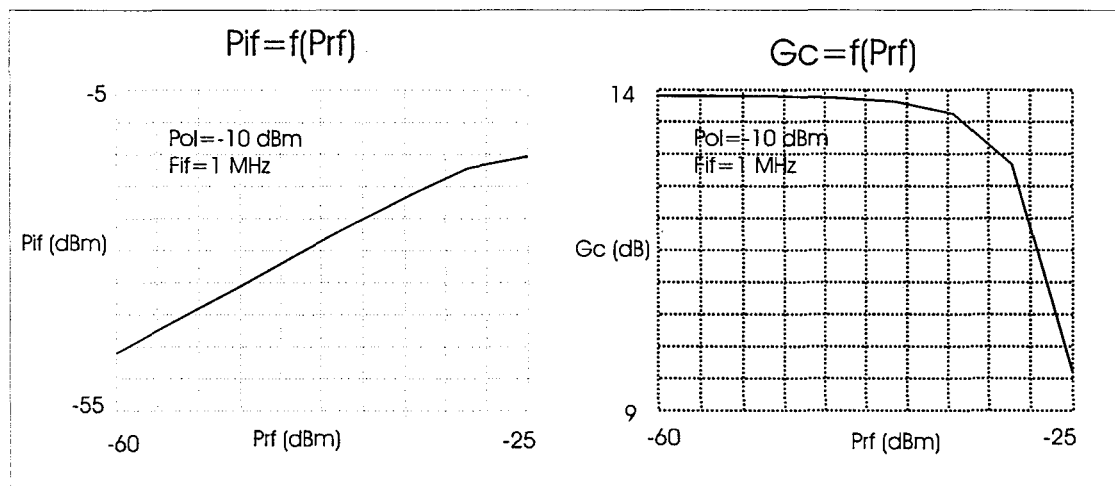


Figure IV- 7 : P_{IF} et Gain de conversion G_c en fonction de P_{RF} .

Notons que conformément à nos prévisions, les résultats concernant la linéarité moyenne du mélangeur se trouvent corroborés par cette simulation. Afin d'améliorer ce paramètre important, deux solutions s'offrent à nous :

- diminuer le gain de conversion du mélangeur,
- accroître sa consommation statique.

IV-4.2. Spectre en sortie et isolation.

L'allure du spectre du signal en sortie du mélangeur ainsi que l'évolution des isolations en fonction de la puissance RF sont données sur la Figure IV- 8 ci-dessous.

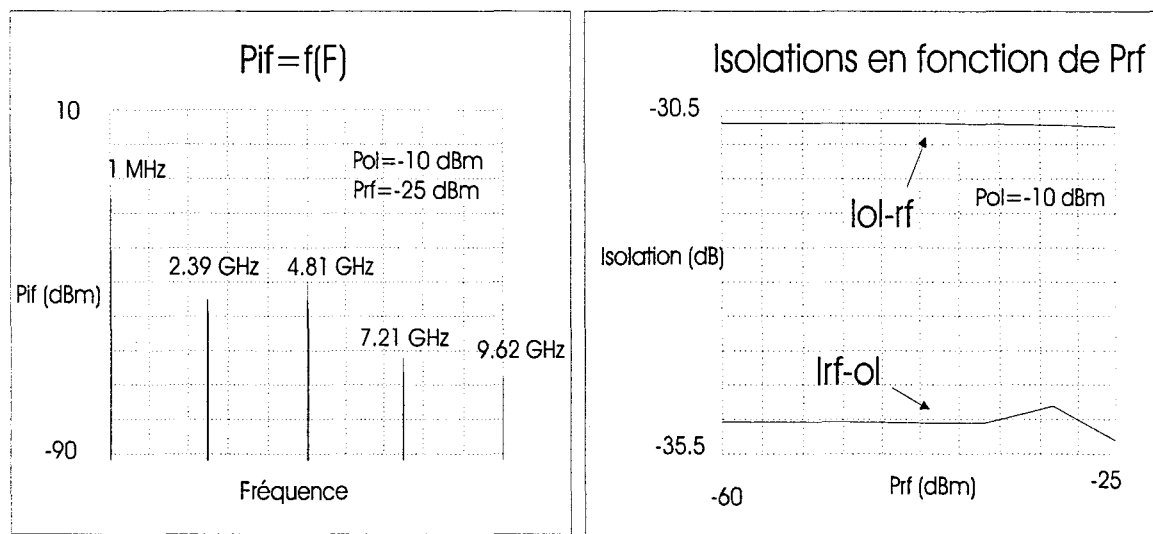


Figure IV- 8 : Spectre en sortie du mélangeur et isolations.

Nous constatons de très bonnes isolations (supérieures à 30 dB) ainsi qu'un spectre du signal de sortie laissant apparaître nettement le signal utile à 10 MHz.

IV-4.3. Etude comparative de mélangeurs de GILBERT à HIGFET et à autres technologies.

Afin d'effectuer la comparaison, quelques résultats concernant les mélangeurs à cellule de GILBERT ont été rassemblés dans le tableau IV-2.

Chapitre IV Mise en oeuvre du modèle pour l'étude d'un mélangeur.

Date	1997	1995	1996	1997	1995
Circuits	Ampli RF+mélangeur+ampli IF	Mélangeur	Mélangeur+LNA	Mélangeur	Mélangeur
Système	Conversion directe	Hétérodyne	Conversion directe	conversion directe	Conversion directe
Fréquence	1.8 GHz	1.9 GHz	1 GHz	1 GHz	1.5 GHz
Technologie	0.4µm (ECL) BiCMOS	0.8 µm BiCMOS	1 µm CMOS	0.7 µm CMOS	Bipolaire
Vdc (V)	2	1.9	3	5	3
Idc (mA)	9	2.5	9	16.2	5
consommation (mW)	18	4.75	27	81	15
Spécifications	Mesures	Mesures	Mesures	Mesures	Mesures
Circuits	Ampli RF+mélangeur+ampli IF		Mélangeur+LNA	Mélangeur	Mélangeur
Topologie	Cellule de Gilbert	Cellule de Gilbert	-	-	Cellule de Gilbert
Adaptation 50 OHMS	Externe	Externe	Externe	Externe	Externe
Consommation (mW)	18	12	27	81	15
Puissance OL (dBm)	-16	-5	5	0	-5
Gc Mel. dB	34 (-5 dB downconverter)	6.3	-3	-11 dB sur 500 OHMS	19
Isol. OL-RF dB	30	80	-	-	33
Isol. OL-IF dB	30	52	-	-	30
Pif à 1dB de compression (dBm)	-40	-	-	-	-13.8
Fréquence OL GHz	1.8	1.8	1	1	1.542
nombre de composants	17 (9 Bipolaires, 8 Mos)	6	-	-	15
Référence	[8]	[9]	[10]	[11]	[7]

Tableau IV- 2 : Comparaison de mélangeurs.

A la vue de ce tableau, la topologie de mélangeur utilisant la technologie bipolaire silicium offre les meilleures performances tant en terme de consommation statique qu'en terme de performances hyperfréquences. C'est précisément cette structure que nous allons comparer à notre circuit à HIGFET dans le Tableau IV- 3 suivant :

date	1995	1997
Circuits	Mélangeur	Mélangeur
Système	Conversion directe	conversion directe
Fréquence	1.5 GHz	2.4 GHz
Technologie	Bipolaire	1 µm HIGFET
Vdc (V)	3	2
Idc (mA)	5	7.5
consommation (mW)	15	15
Spécifications	Mesures	Théorie
Circuits	Mélangeur	Mélangeur
Topologie	Cellule de Gilbert	Cellule de Gilbert
Adaptation 50 OHMS	Externe	Externe
Consommation mW	15	15
Puissance OL (dBm)	-5	-10
Gc Mel. dB	19	14.9
Isol. OL-RF dB	33	30
Isol. OL-IF dB	30	24
Pif à 1dB de compression (dBm)	-13.8	-16.4
Fréquence OL GHz	1.542	2.4
nombre de composants	15	15

Tableau IV- 3 : Comparaison des mélangeurs à transistors bipolaires et à HIGFET.

Nous constatons en définitive que pour ce type d'application, la technologie HIGFET supplante assez nettement l'ensemble des technologies silicium à l'exception de la technologie bipolaire. Ces avantages se constatent surtout en matière de consommation statique et en performances hyperfréquences. Plusieurs raisons à cela :

- possibilité de fonctionner sous une polarisation réduite de 2V,
- fonctionnement du circuit sous tension d'alimentation unique et positive,
- cette structure ne nécessite qu'une source d'OL de -10 dBm.
- ce circuit permet d'obtenir l'ensemble des performances énumérées à partir d'une technologie 1 μm .

En revanche, nous constatons que la linéarité du circuit à HIGFET est moins bonne que celle obtenue pour le circuit à transistors bipolaires, ce résultat était prévisible compte tenu des remarques faites au paragraphe 3.1.6.

IV-5. COMMENT OPTIMISER LA STRUCTURE?

Afin d'obtenir des résultats plus tranchants par rapport à la technologie bipolaire, l'optimisation du circuit nécessite avant tout l'optimisation des performances électriques des composants utilisés.

A cet effet, la forte résistance de grille, facteur limitant du gain hyperfréquences, est un paramètre à diminuer en priorité. Pour cela, un épaissement de la grille à partir d'un alliage du type Ti/Pt/Au permettrait de résoudre ce problème [10].

L'utilisation de transistors de longueur de grille de 0.5 μm devrait également permettre d'accroître les performances hyperfréquences du système, le gain des composants étant alors plus important.



IV-6. CONCLUSION.

Dans ce chapitre, diverses structures de mélangeurs ont été comparées afin de répondre aux critères propres aux systèmes de conversion directe de fréquence. Cette étude préliminaire a mis en évidence l'avantage offert par une topologie de type mélangeur à cellule de Gilbert. Simulé à l'aide de transistors de longueur de grille de 1 μm , le mélangeur à cellule de Gilbert à HIGFET a montré, sur le plan théorique, des performances intéressantes vis-à-vis de structures identiques réalisées à partir de technologies silicium à l'exception de circuits en technologie bipolaire pour lesquels les performances restent analogues.

IV-7. BIBLIOGRAPHIE DU CHAPITRE IV.

- [1] C. Kolanowski : "Conception, réalisation et analyse de mélangeurs millimétriques en technologies hybride et intégrée utilisant des transistors à effet de champ HEMT de type monogrille et bigrille". Thèse de doctorat soutenue le 12.03.1996 à l'U.S.T.L.
- [2] A.A Abidi : "Direct-conversion radio transceivers for digital communications.", IEEE Journal of solid-State Circuits Vol 30 n°12 December 1995 pp 1399-1410.
- [3] C. boyavalle : "Conception de récepteurs à faible bruit dans le domaine millimétrique en étudiant le bruit électrique dans les circuits non-linéaires micro-ondes". Thèse de doctorat soutenue le 30 Octobre 1997 à l'U.S.T.L.
- [4] B. Gilbert : "A precise Four-Quadrant Multiplier with Subnanosecond Response". IEEE Journal of Solid-State Circuits, December 1968, pp 365-373.
- [5] D. C. Soo and R. G. Meyer : "A Four Quadrant NMOS Analog Multiplier". IEEE Journal of Solid-State Circuit, Vol SC-17 n° 6, December 1982.
- [6] J. N Babanezhad, G. C. Temes : "A 20 V Four Quadrant CMOS Analog Multiplier". IEEE Journal of Solid-State Circuits, Vol SC-20 n°6, December 1985.
- [7] K. Tuang Le, T. Roste, L. Hanssen : "Integration of receiver mixers for satellite application", in Proc 1995 IEEE International Topical Meeting, Nomadic microwave technologies and techniques for mobile communications and detection, France pp 103-106, 1995.
- [8] L.E Larson (Editor) "RF and Microwave circuit design for wireless communications." Mobile communication series, Artech House, Boston, 1996.

- [9] M. Madihian, E. Bak, H. Yoshida, H. Hirabayashi, K. Imai : "A 2 V 1-10 GHz BiCMOS Transceiver Chip for Multimode Wireless Communications Networks". IEEE Journal of Solid-State Circuits, Vol SC-32 n°4, April 1997 pp 521-524.

- [10] IEEE Journal of Solid-State Circuits, Vol SC-30 n°12, December 1995, pp 1438-1448.

- [11] A. Rofougaran, J. Y-C Chang, M. Rofougaran and A. A Abidi : "A 1 GHz CMOS RF Front-End IC for a Direct-Conversion wireless Receiver". IEEE Journal of Solid-State Circuits, Vol SC-31 n°7, July 1996, pp 880-889.

- [12] IEEE Journal of Solid-State Circuits, Vol SC-32 n°3, March 1997, pp 370-376.

CONCLUSION GENERALE

CONCLUSION GENERALE.

Ce travail est consacré à l'étude et à la mise en oeuvre du transistor HIGFET (Heterostructure Insulated Gate Field Effect Transistor) pour des applications analogiques hyperfréquences faible consommation, s'inscrivant dans le cadre de système de communication sans fil en bande ISM.

Un premier chapitre concernant l'étude de différents dispositifs de communication a mis en évidence l'intérêt tout particulier des systèmes utilisant la conversion directe de fréquence. Ces systèmes, dont le principe de fonctionnement repose sur la transposition du signal RF directement en bande de base ($IF=0$), permettent de réduire au maximum le nombre de circuits RF de la chaîne d'émission réception. De cette diminution découle naturellement une diminution de la consommation statique du dispositif et de sa taille. Néanmoins, notons que la réduction du nombre des étages RF nécessite l'utilisation de circuit à fort gain afin de réduire le facteur de bruit global du système. De plus, les circuits RF utilisés dans cette chaîne doivent également présenter d'excellentes performances en linéarité, de manière à ne pas trop limiter la dynamique d'entrée du système. Une seconde partie de ce chapitre, consacrée à la présentation des technologies silicium et III-V utilisées dans les systèmes de communications sans fil, a montré l'intérêt de la technologie BiCMOS pour la réalisation de circuits intégrés utilisés dans les systèmes portables fonctionnant en dessous de 2 GHz. Bien que bénéficiant de propriétés intrinsèques très intéressantes, l'utilisation des technologies III-V ne s'impose pas encore, à l'exception néanmoins de la partie concernant l'amplification de puissance de la chaîne d'émission. La raison principale de leur faible utilisation reste le coût plus élevé des composants III-V et de leur faible volume de production face à leur homologue silicium de plus en plus performant y compris dans le domaine des hyperfréquences. Une alternative intéressante permettant la réalisation de circuits analogiques/numériques sur GaAs faible coût et à faible consommation est l'utilisation de la technologie HIGFET complémentaire sur GaAs. De nombreuses études ont déjà montré l'intérêt de ces composants pour la réalisation de circuits numériques ultra-rapides et consommant peu. Cependant, l'absence d'étude conséquente dans le domaine analogique hyperfréquences a motivé notre étude.

Dans un second chapitre, la modélisation non-linéaire est présentée. Cette modélisation est basée sur l'utilisation d'un schéma équivalent et d'équations déterminées à partir d'une loi de contrôle de charge définie pour le HIGFET. Ce travail de modélisation est ensuite validé à l'aide de comparaison entre les caractéristiques électriques simulées et celles mesurées en régime impulsionnel, puis en régime petit et grand signal.

Dans le troisième chapitre, la conception suivie de la réalisation d'un oscillateur à HIGFET en technologie hybride fonctionnant à 2,4 GHz démontrent tout d'abord la validité du modèle établi précédemment. La caractérisation du circuit met ensuite en évidence des résultats satisfaisants, tant au niveau du rendement que de la linéarité des signaux hyperfréquences obtenus, ou encore du coefficient de qualité. Le bruit de phase quant à lui reste comparable à celui d'un oscillateur libre à MESFET. Enfin, l'oscillateur à HIGFET a été mis en oeuvre dans une liaison optique hyperfréquences originale, menée en collaboration avec l'équipe optoélectronique de l'I.E.M.N. L'ensemble des signaux modulés, émis à travers le système constitué d'un laser, d'une fibre optique et de l'oscillateur a été démodulé sans aucune difficulté.

Finalement, l'ensemble du travail de modélisation établi et validé dans nos précédents chapitres nous a permis d'entreprendre une étude prospective de la fonction mélange de fréquence à HIGFET. Cette étude, s'inscrivant dans le cadre des circuits à faible consommation pour les systèmes de communication sans fil, a été décrite dans le quatrième chapitre. Une comparaison de différents types de mélangeurs à FET a tout d'abord été présentée. Cette étude préliminaire a montré l'intérêt suscité par la structure de mélange dérivée de la cellule de Gilbert. Ce circuit, simulé en utilisant des transistors HIGFET, a montré des performances supérieures à des circuits similaires réalisés en technologie MOS, performances qui restent cependant comparables aux résultats de circuits conçus en technologie bipolaire silicium.

Bien que n'ayant pas été optimisé spécifiquement pour des applications analogiques, le transistor HIGFET a démontré des performances très intéressantes dans le domaine des hyperfréquences et plus particulièrement pour des applications faible coût et faible consommation statique. Afin d'accroître ses performances, plusieurs modifications peuvent être envisagées. Citons pour exemple la réduction de la résistance de grille des composants à partir d'un épaissement de grille, ou encore l'utilisation de

grille submicronique et de couche semi-conductrice métamorphique développée au sein de l'équipe du professeur G. SALMER à l'I.E.M.N.

ANNEXES

ANNEXE 1.

CALCUL DE LA CHARGE Q_T EN FONCTION DES POTENTIELS VGS ET VDS.

L'expression de la charge Q_T présente dans le canal lors du fonctionnement du transistor en régime de conduction est donnée par :

$$Q_T = \int_0^{Lg} q \cdot N_S(x) dx = W \cdot Lg \cdot \frac{\int_{V_S}^{V_D} (q \cdot N_S(V))^2 dV}{\int_{V_S}^{V_D} q \cdot N_S(V) dV}$$

Le développement du numérateur de l'équation 1 donne :

$$\int_{V_S}^{V_D} (q \cdot N_S(V))^2 dV = Cox^2 \cdot [A - 2 \cdot KF \cdot B + (KF)^2 \cdot C].$$

Dans cette expression et en posant $u=V_{gs}-V_c$ et $v=V_{gs}-V_r$,

$$A = \int_0^{V_{ds}} (u-V)^2 dV = -\frac{1}{3} \cdot [(u-V)^3]_0^{V_{ds}} = \frac{1}{3} \cdot [u^3 - (u-V_{ds})^3].$$

$$B = \int_0^{V_{ds}} (u-V) \cdot (v-V)^{\frac{1}{2}} dV,$$

En intégrant par partie nous obtenons :

$$B = \left[-\frac{2}{3} \cdot (u-V) \cdot (v-V)^{\frac{3}{2}} \right]_0^{V_{ds}} - \int_0^{V_{ds}} \frac{2}{3} \cdot (v-V)^{\frac{3}{2}} dV,$$

$$\text{Finalement } B = \frac{2}{3} \cdot \left\{ u \cdot v^{\frac{3}{2}} - (u-V_{ds}) \cdot (v-V_{ds})^{\frac{3}{2}} + \frac{2}{5} \cdot \left[(v-V_{ds})^{\frac{5}{2}} - v^{\frac{5}{2}} \right] \right\}.$$

$$C = \int_0^{Vds} (u-V)dV = \frac{1}{2} \cdot [v^2 - (v-Vds)^2].$$

Le développement du dénominateur donne :

$$D = \int_0^{Vds} qN_s(V)dV = \int_0^{Vds} Cox \cdot \left[(u-V) - KF \cdot (v-V)^{\frac{1}{2}} \right] dV ,$$

$$D = Cox \cdot \left\{ -\frac{1}{2} \cdot \left[(u-V)^2 \right]_0^{Vds} + \frac{2}{3} \cdot KF \cdot \left[(v-V)^{\frac{3}{2}} \right]_0^{Vds} \right\} ,$$

$$D = \left\{ \frac{1}{2} \cdot \left[u^2 - (u-Vds)^2 \right] + \frac{2}{3} \cdot KF \cdot \left[(v-Vds)^{\frac{3}{2}} - v^{\frac{3}{2}} \right] \right\} .$$

Ayant calculé l'ensemble des coefficients A, B, C, D, la charge Q_T vaut :

$$Q_T = W \cdot Lg \cdot Cox \frac{A - 2 \cdot KF \cdot B + (KF)^2 \cdot C}{D^2} , \text{ avec } W \text{ et } Lg \text{ représentant respectivement}$$

la largeur et la longueur de la grille.

ANNEXE 2.

DETERMINATION DES FONCTIONS SPLINE $V_{ds_{sat}}$ -spline et V_{ds2} .I La fonction $V_{ds_{sat}}$ -spline.

L'objectif est de remplacer localement la fonction décrivant la saturation par une fonction polynômiale passant par deux points et présentant une pente $g1$ au point $i1$ et une pente $g2$ au point $i2$.

Soit $V_{ds_{sat}} - \text{spline} = a \cdot V_{gs}^3 + b \cdot V_{gs}^2 + c \cdot V_{gs} + d$ cette fonction.

Les coefficients a , b , c , d du polynôme sont déterminés en vérifiant que la fonction $V_{ds_{sat}}$ -spline passe par les points $i1$ et $i2$ et a pour nombre dérivé $g1$ en $i1$ et $g2$ en $i2$.

$$V_2 = \frac{V_{th}}{\alpha}, 0 < \alpha < 1,$$

$$i1 = V_{ds_{sat}}(V_{th}),$$

$$i2 = V_{ds_{sat}}(V_2),$$

$$g1 = 0,$$

$$\Delta i = i2 - i1,$$

$$\Delta g = g1 - g2$$

$$g2 = \frac{dV_{ds_{sat}}(V_2)}{dV_{gs}} = n \cdot 10^{-b} \cdot \left[\frac{V_{sl}}{(V_2 - V_r - a_a \cdot V_{sl})} \right]^{(n+1)}$$

Le système d'équations dont les coefficients a, b, c, d sont solutions est :

$$\left. \begin{cases} a.\alpha^3.V_2^3 + b.\alpha^2.V_2^2 + c.\alpha.V_2 + d = i1 \\ a.V_2^3 + bV_2^2 + cV_2 + d = i2 \\ 3.a.\alpha^2.V_2^2 + 2.b.V_2 + c = g1 \\ 3.a.V_2^2 + 2.b.V_2 + c = g2 \end{cases} \right\} \quad \text{A 2- 1.}$$

La résolution du système (A 2- 1) donne en définitive :

$$a = -\frac{l}{(1-\alpha)^3.V_2^2} \left[2.\frac{\Delta i}{V_2} - (1-\alpha).(g1 + g2) \right],$$

$$b = -\frac{l}{(1-\alpha)^3.V_2} \left[-\Delta g.(1+\alpha+\alpha^2) - 3.(1+\alpha).\frac{\Delta i}{V_2} + 3.(g1 - \alpha^2.g2) \right],$$

$$c = -\frac{1}{(1-\alpha)^3} \left[2.(1+\alpha+\alpha^2).(g1 - \alpha.g2) - 3.(1+\alpha).(g1 - \alpha^2.g2) + 6.\alpha.\frac{\Delta i}{V_2} \right],$$

$$d = -\frac{V_2}{(1-\alpha)^3} \left[\alpha.(1-\alpha).(g1 + \alpha.g2) + (3.\alpha - 1).\frac{i1}{V_2} - \alpha^2.(3-\alpha).\frac{i2}{V_2} \right].$$

II La fonction spline Vds2.

L'objectif est de remplacer localement la fonction le potentiel Vds1 par une fonction polynômiale passant par deux points et présentant une pente g1 au point i1 et une pente g2 au point i2.

Soit $Vds_{\text{spline}} = a1 \cdot Vds^3 + a2 \cdot Vds^2 + a3 \cdot Vds + a4$ cette fonction.

Les coefficients a1, a2, a3, a4 du polynôme sont déterminés en vérifiant que la fonction Vds_{spline} passe par les points i1 et i2 et a pour nombre dérivé g1 en i1 et g2 en i2.

$$V_2 = Vds_{sat} \cdot \beta, \quad 0 < \beta < 1,$$

$$i1 = V_2,$$

$$i2 = Vds_{sat},$$

$$g1 = 1,$$

$$g2 = 0,$$

$$\Delta i = i2 - i1,$$

$$\Delta g = g1 - g2$$

Le système d'équations dont les coefficients a, b, c, d sont solutions est :

$$\left. \begin{cases} a1 \cdot \beta^3 \cdot Vds_{sat}^3 + a2 \cdot \beta^2 \cdot Vds_{sat}^2 + a3 \cdot \beta \cdot Vds_{sat} + a4 = i1 \\ a1 \cdot Vds_{sat}^3 + a2 \cdot Vds_{sat}^2 + a3 \cdot Vds_{sat} + a4 = i2 \\ 3 \cdot a1 \cdot \beta^2 \cdot Vds_{sat}^2 + 2 \cdot a2 \cdot Vds_{sat} + a3 = g1 \\ 3 \cdot a1 \cdot Vds_{sat}^2 + 2 \cdot a2 \cdot Vds_{sat} + a3 = g2 \end{cases} \right\} \quad \text{A-2 2.}$$

La résolution du système (A 2- 2) donne en définitive :

$$a1 = -\frac{1}{(1-\beta)^3 \cdot Vds_{sat}^2} \cdot \left[2 \cdot \frac{\Delta i}{Vds_{sat}} - (1-\beta)(g1 + g2) \right],$$

$$a2 = -\frac{1}{(1-\beta)^3 \cdot Vds_{sat}} \cdot \left[-\Delta g \cdot (1 + \beta + \beta^2) - 3 \cdot (1 + \beta) \cdot \frac{\Delta i}{Vds_{sat}} + 3 \cdot (g1 - \beta^2 \cdot g2) \right],$$

$$a3 = -\frac{1}{(1-\beta^3)} \cdot \left[2 \cdot (1 + \beta + \beta^2) \cdot (g1 - \beta \cdot g2) - 3 \cdot (1 + \beta) \cdot (g1 - \beta^2 \cdot g2) + 6 \cdot \beta \cdot \frac{\Delta i}{Vds_{sat}} \right],$$

$$a4 = -\frac{Vds_{sat}}{(1-\beta)^3} \cdot \left[\beta \cdot (1-\beta) \cdot (g1 + \beta \cdot g2) + (3 \cdot \beta - 1) \cdot \frac{i1}{Vds_{sat}} - \beta^2 \cdot (3-\beta) \cdot \frac{i2}{Vds_{sat}} \right].$$

ANNEXE 3.

**CALCUL THEORIQUE SIMPLIFIE DE L'OPERATION MELANGE A
PARTIR D'UNE LOI DE TYPE MOS.**

L'objectif est d'établir une expression du type : $I_{out} = k \cdot V_x \cdot V_y$ pour un multiplieur analogique du type multiplieur de GILBERT représenté sur la figure A3- 1, à partir d'une loi de courant de type MOS.

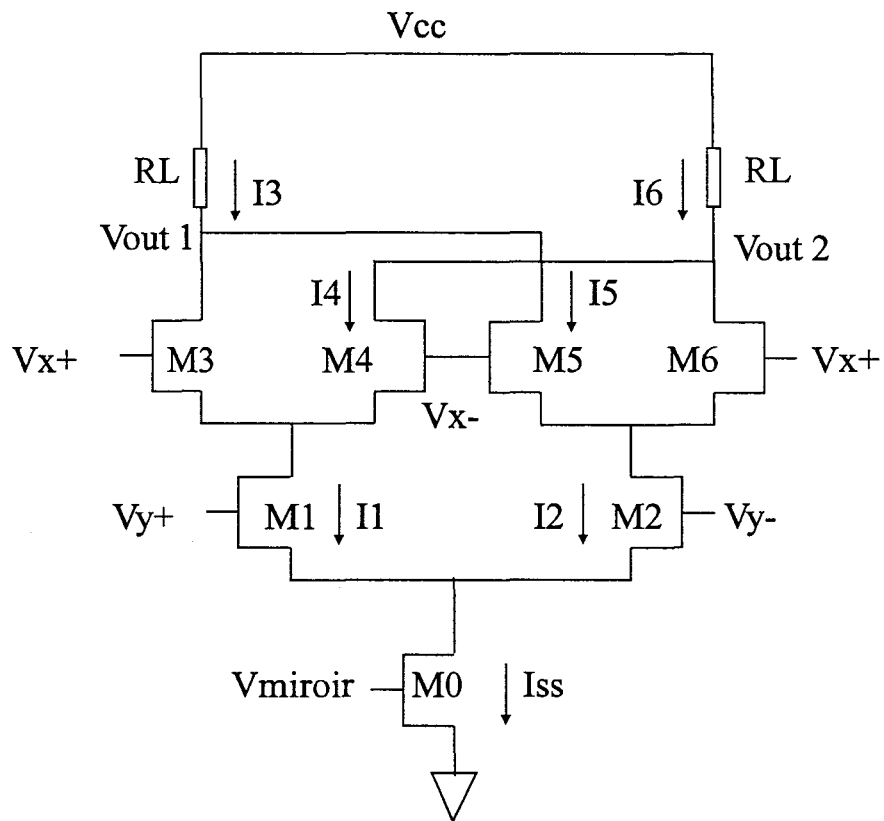


Figure A3- 1

1. CELLULE DE BASE

La loi reliant le courant à la tension V_{gs} est dans le cas du transistor MOS donnée par l'expression:

$$I_{ds} = k \cdot (V_{gs} - V_{th})^2,$$

$$\text{Avec } k = \frac{W \cdot \mu n \cdot C_{ox}}{2 \cdot L_g}.$$

Dans le cas d'une cellule de base décrite figure A3- 2, les courants I_1 et I_2 sont reliés à la tension V_i par les expressions:

$$\begin{cases} I_{ss} = I_1 + I_2 \\ \sqrt{I_1} - \sqrt{I_2} = \sqrt{k} \cdot V_i \end{cases} \quad (\text{A3- 1}),$$

avec $V_i = V_{gs} - V_{th}$.

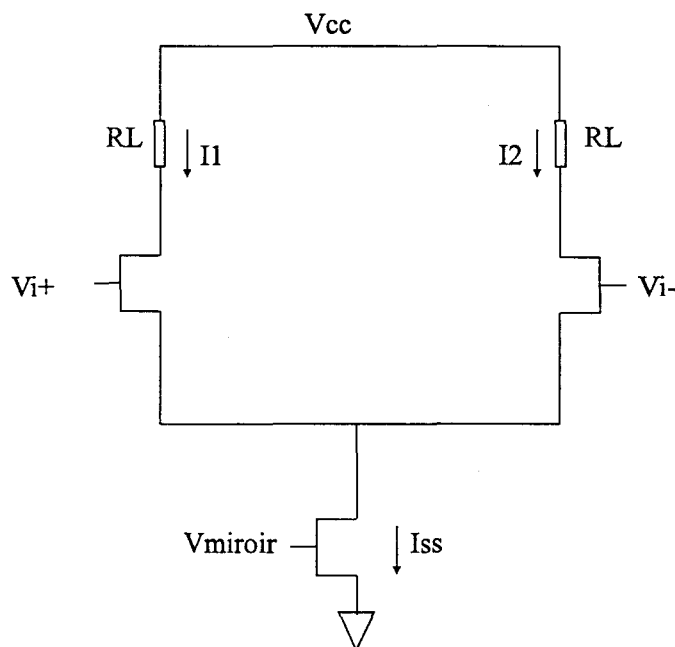


Figure A3- 2.

Le système (A3- 2) donne en définitive:

$$\begin{cases} I1 = \frac{k}{2} \cdot \left[\sqrt{\frac{Iss}{k} - \frac{Vi^2}{2}} + \frac{Vi}{\sqrt{2}} \right]^2 \\ I2 = \frac{k}{2} \cdot \left[\sqrt{\frac{Iss}{k} - \frac{Vi^2}{2}} - \frac{Vi}{\sqrt{2}} \right]^2 \end{cases} \quad (\text{A3- 2}),$$

$$\text{soit } \Delta I = I1 - I2 = k \cdot Vi \cdot \sqrt{\frac{2 \cdot Iss}{k} - Vi^2} \quad (\text{A3- 3}).$$

2. CAS DU MULTIPLIEUR.

D'après la figure A3- 1, le courant I_{out} est donné par:

$$I_{out} = I7 - I8 = (I3 + I5) - (I4 + I6) = (I3 - I4) - (I6 - I5)$$

$$I3 - I4 = k \cdot Vx \cdot \sqrt{\frac{2}{k} \cdot I'_{ss} - Vx^2},$$

$$\text{avec } I'_{ss} = I1 = \frac{k}{2} \cdot \left[\sqrt{\frac{Iss}{k} - \frac{Vy^2}{2}} - \frac{Vy}{\sqrt{2}} \right]^2,$$

Un calcul similaire permet d'obtenir l'expression $(I6 - I5)$:

$$I6 - I5 = k \cdot Vx \cdot \sqrt{\frac{2}{k} \cdot I''_{ss} - Vx^2},$$

$$\text{avec } I''_{ss} = I2 = \frac{k}{2} \cdot \left[\sqrt{\frac{Iss}{k} - \frac{Vy^2}{2}} + \frac{Vy}{\sqrt{2}} \right]^2,$$

Finalement,

$$I_{out} = k \cdot V_x \cdot \left[\sqrt{\left[\sqrt{\left(\frac{I_{SS}}{k} - \frac{V_Y^2}{2} \right) + \frac{V_Y}{\sqrt{2}}} \right]^2 - V_X^2} - \sqrt{\left[\sqrt{\left(\frac{I_{SS}}{k} - \frac{V_Y^2}{2} \right) - \frac{V_Y}{\sqrt{2}}} \right]^2 - V_X^2} \right],$$

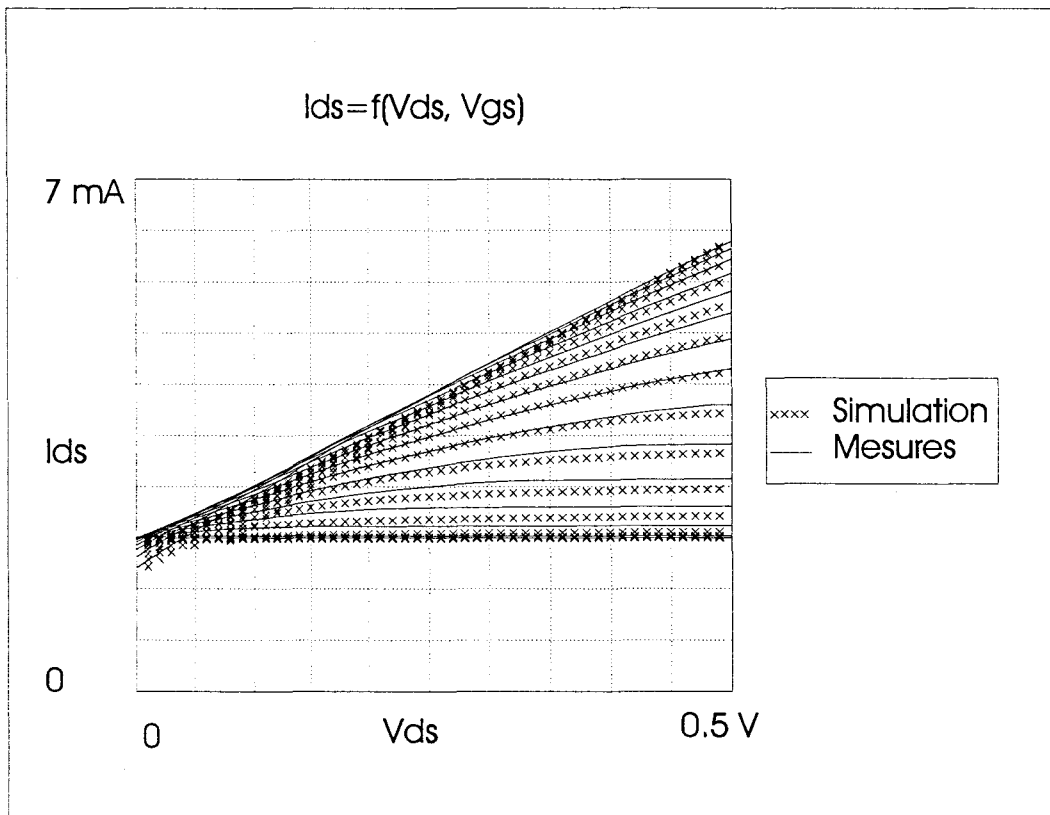
Après approximation, l'expression du courant I_{out} devient:

$$I_{out} \approx \sqrt{2} \cdot k \cdot V_x \cdot V_y$$

ANNEXE 4

MODELISATION DU TRANSISTOR $2*25*1 \mu\text{m}$ POUR L'APPLICATION MELANGEUR

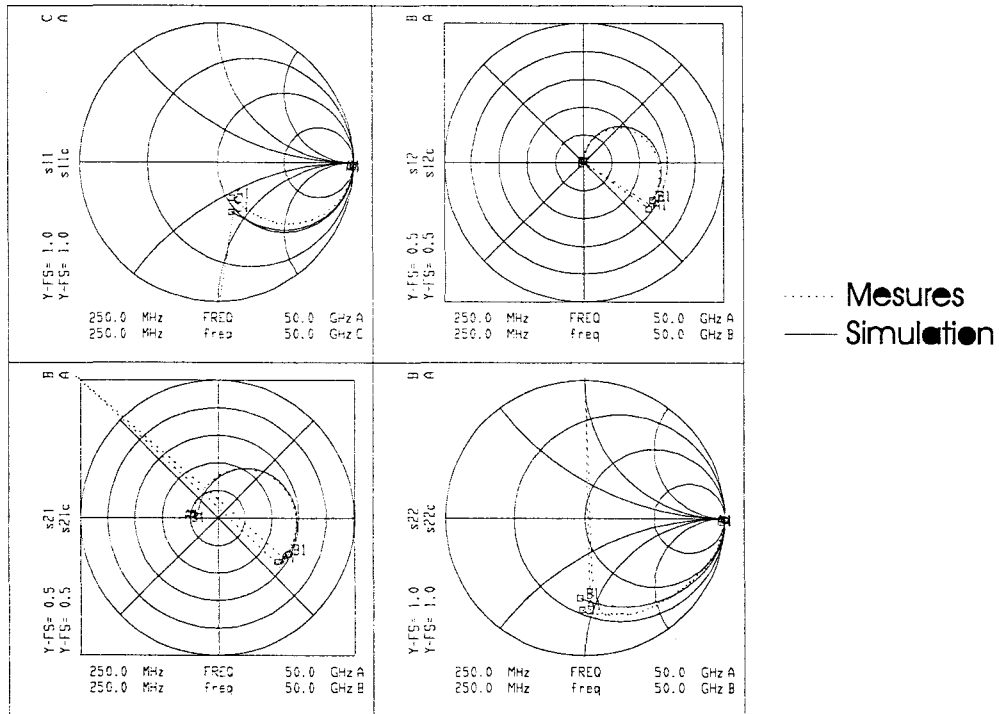
I Caractéristique statique simulée et mesurée.



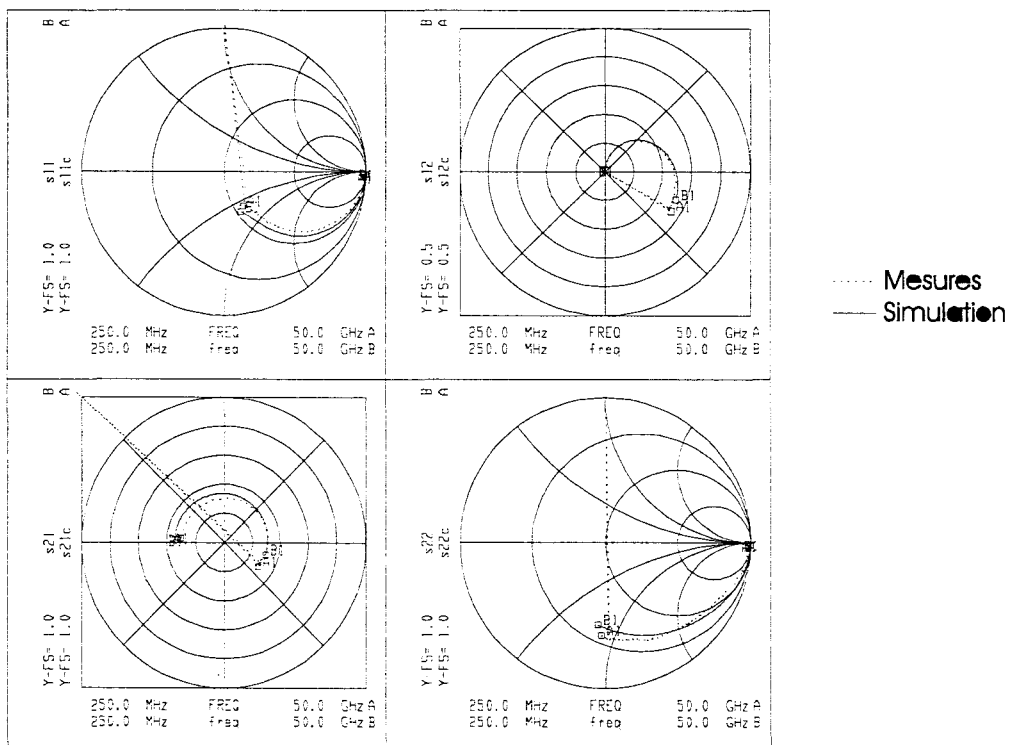
Caractéristiques $I_{ds}(V_{ds}, V_{gs})$ simulées et mesurées.
 $0 < V_{gs} < 2\text{V}$ par pas de 0.1V

II Paramètres S simulés et mesurés.

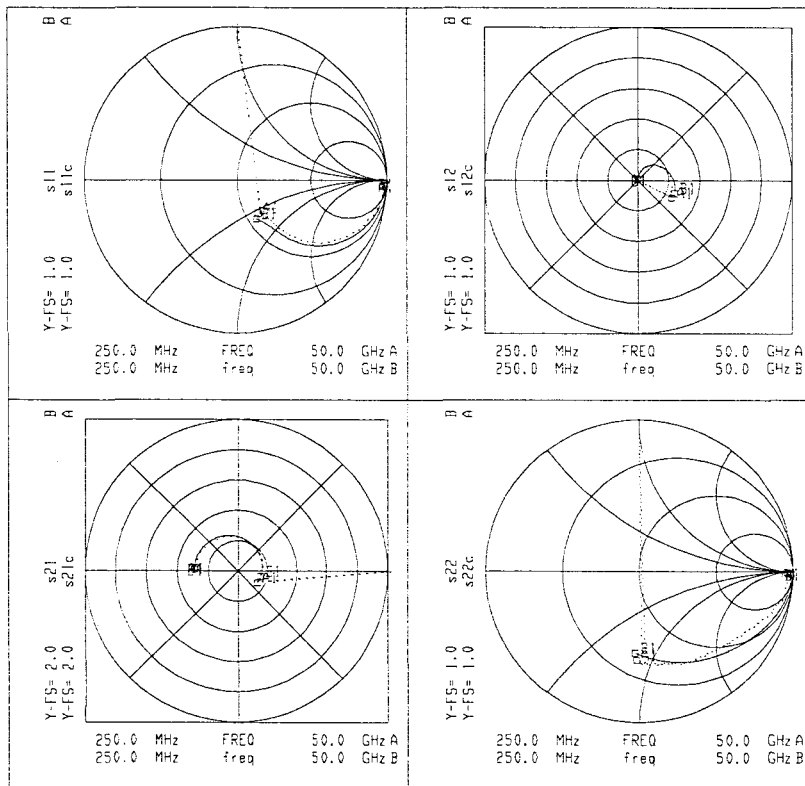
Polarisation : $V_{gs}=0.7V$, $V_{ds}=0.5V$.



Polarisation : $V_{gs}=0.8V$, $V_{ds}=0.5V$.

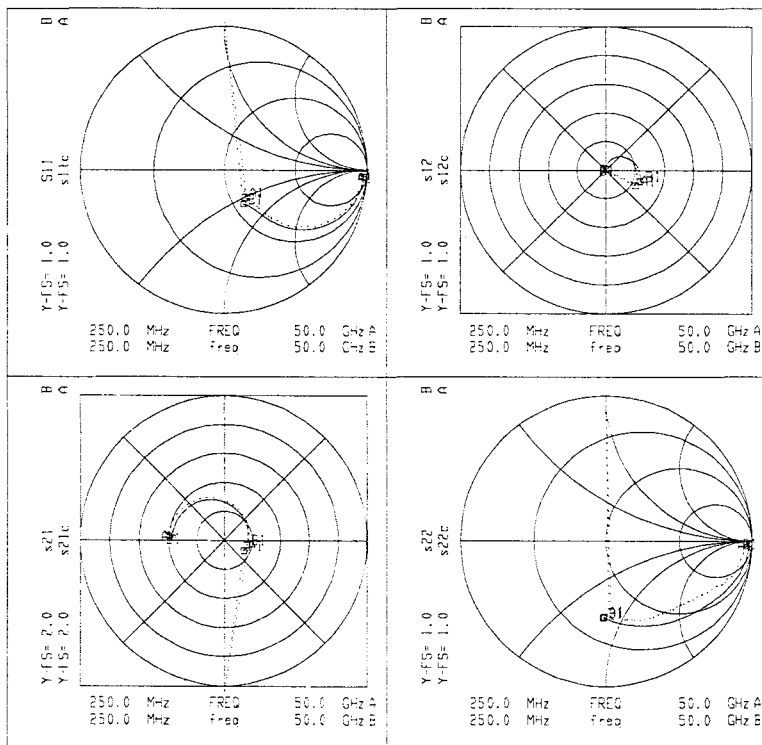


Polarisation : $V_{gs}=0.9V$, $V_{ds}=0.5V$.



..... Mesures
— Simulation

Polarisation : $V_{gs}=1V$, $V_{ds}=0.5V$.



..... Mesures
— Simulation

