

N° d'ordre :

THESE

Présentée à

L'Université des Sciences et Technologies de Lille

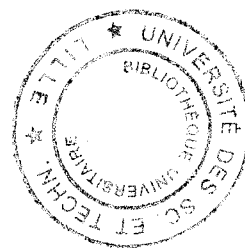
pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE

Spécialité : ELECTRONIQUE

par

Frédéric DIETTE



Etude des transistors à effet de champ de type HEMT sur substrat GaAs et InP pour l'amplification de puissance en gamme millimétrique.

Soutenue le 5 janvier 1998 devant la commission d'examen

Membres de jury : MM.	E. CONSTANT	Président
	Y. CROSNIER	Directeur de thèse
	D. THERON	Co-directeur de thèse
	M. ILEGEMS	Rapporteur
	A. SCAVENNEC	Rapporteur
	P. VIKTOROVITCH	Rapporteur
	L. MALIER	Examineur
	X. WALLART	Examineur



136540 6

A tous ceux qui me sont chers.

Ce travail a été effectué à l'Institut d'Electronique et de Microélectronique du Nord (IEMN) dirigé par Monsieur le Professeur E. CONSTANT, au Département Hyperfréquences et Semi-conducteurs, dirigé par Monsieur le Professeur G. SALMER. Je les remercie de m'avoir accueilli dans leur laboratoire.

Je remercie vivement Monsieur le Professeur E. CONSTANT, Professeur à l'Université de Lille I, qui me fait l'honneur de présider la commission d'examen.

Je tiens à exprimer ma plus vive reconnaissance envers Monsieur D. THERON, chargé de recherche au CNRS et Monsieur le Professeur Y. CROSNIER qui ont assuré la direction de ce travail. Leurs compétences scientifiques et pédagogiques ainsi que leur disponibilité m'ont permis de mener ce travail à bien dans de très bonnes conditions.

Je remercie sincèrement Monsieur le Professeur M. ILEGEMS, directeur de l'institut de micro et optoélectronique de l'Ecole Fédérale Polytechnique de Lausanne, Monsieur le Professeur P. VIKTOROVITCH de l'Ecole Centrale de Lyon et Monsieur A. SCAVENNEC, responsable du groupement C.C.O. au CNET de Bagneux pour l'honneur qu'ils m'ont fait de juger ce travail et d'en être les rapporteurs.

Je tiens également à remercier Monsieur L. MALIER, Ingénieur au département Composants DSP/STTC à la DGA et Monsieur X. WALLART, chargé de recherche au CNRS qui me font l'honneur d'évaluer ce travail en participant à ce jury d'examen.

Un grand merci aux personnes avec qui j'ai eu le plaisir de travailler à l'IEMN et qui m'ont aidé dans mes différentes réalisations ainsi que les caractérisations de celles-ci. Leurs compétences en MBE, en technologie front-end, en caractérisation ou en technologie back-end, et leurs gentillesse ont facilité mes travaux.

Je ne saurais oublier mes camarades de laboratoire pour toutes ces discussions enrichissantes au long de ces années.

Enfin, je remercie Monsieur J.P. DEHORTER pour la reproduction de ce mémoire.

Introduction générale**Chapitre 1****Généralités**

INTRODUCTION	3
1. LES FILIÈRES CONVENTIONNELLES DE TEC.....	4
1.1 ORIGINES	4
1.2 LE MESFET GAAS	4
1.3 LES TECs À HÉTÉROJONCTIONS (HEMTs).....	5
1.3.1 Le HEMT GaAlAs/GaAs	6
1.3.2 Le HEMT pseudomorphique GaAlAs/GaInAs/GaAs (PM-HEMT) et ses améliorations.....	7
1.3.3 Le HEMT adapté en maille AlInAs/GaInAs/InP (LM-HEMT).....	10
1.3.4 Le HEMT Métamorphique sur GaAs (MM-HEMT).....	12
2. LES AUTRES FILIÈRES	13
2.1 LE MISFET.....	13
2.1.1 Le MISFET InP.....	13
2.1.2 Le DMT GaAs et InP.....	14
2.2 LE TRANSISTOR BIPOLAIRE À HÉTÉROJONCTIONS (TBH).....	15
2.3 LES NOUVEAUX MATÉRIAUX.....	17
2.3.1 Le MISFET GaAs Basse Température (BT).....	17
2.3.2 Le Carbure de Silicium (SiC).....	18
2.3.3 Le Nitrure de Gallium (GaN) et les alliages AlGaN et InGaN.....	18
3. LA CARACTÉRISATION DES COMPOSANTS.....	19
3.1 LA CARACTÉRISATION STATIQUE OU QUASI-STATIQUE.....	19
3.1.1 Présentation du matériel à disposition	19
3.1.1.1 ICCAP	19
3.1.1.2 La mesure en impulsion	19
3.1.2 La mesure des caractéristiques I-V.....	20
3.1.3 Le courant de grille en configuration diode	22
3.1.3.1 La mesure de la diode Schottky en direct.....	22
3.1.3.2 La mesure de la diode Schottky en inverse	24
3.1.4 La caractéristique $R_{ds}(V_{gs})$	25
3.1.5 La mesure du courant de grille en fonctionnement transistor	26
3.2 CARACTÉRISATION BASSE FRÉQUENCE	27
3.2.1 La mesure de mobilité par magnéto-résistance	27
3.2.2 La mesure C(V).....	27
3.3 LA CARACTÉRISATION HYPERFRÉQUENCE PETIT SIGNAL.....	28
3.3.1 Les performances hyperfréquence	28
3.3.1.1 Le gain maximum disponible MAG (Maximum Available Gain).....	28
3.3.1.2 Le gain stable maximum MSG (Maximum Stable Gain).....	29
3.3.1.3 Le gain unilatéral U : le gain de MASON.....	29
3.3.1.4 Le gain en courant de court-circuit : H_{21}^2	29
3.3.2 Le schéma équivalent petit signal	31
3.3.2.1 Détermination des éléments extrinsèques	31
3.3.2.2 Détermination des éléments intrinsèques.....	32
3.3.3 Performances des transistors a partir du schéma équivalent	34
3.4 LA CARACTÉRISATION DE PUISSANCE OU GRAND SIGNAL.....	35
3.4.1 Description du banc de mesure.....	35
3.4.2 Définition des gains	36
3.4.2.1 Le gain en puissance G_p	38
3.4.2.2 Le gain transducteur G_T	38
3.4.3 Définitions des rendements	39
3.4.3.1 Le rendement drain η_D	40

3.4.3.2 Le rendement en puissance ajoutée η_{PAE}	41
4. ETAT DE L'ART DES TECs POUR LA PUISSANCE.....	41
4.1 DENSITÉ DE PUISSANCE DE SORTIE DES TECs DISCRETS	41
4.2 RENDEMENT EN PUISSANCE AJOUTÉE DES TECs DISCRETS	42
CONCLUSION	45

Chapitre 2

Technologie des TECs appliquée aux filières GaAs pseudomorphique et métamorphique et à la filière InP

INTRODUCTION.....	49
1. LES ÉTAPES GÉNÉRALES	51
1.1 LES CONTACTS OHMIQUES	51
1.2 L'ISOLATION	52
1.3 LE FOSSÉ DE GRILLE.....	53
1.4 LE DÉPÔT DE GRILLE	54
1.5 LES PLOTS D'ÉPAISSISSEMENT.....	56
2. LES ÉTAPES SPÉCIFIQUES AUX GRANDS DÉVELOPPEMENTS.....	56
2.1 LES PONTS À AIR	57
2.1.1 <i>La technologie</i>	57
2.1.2 <i>Etude électrique du pont</i>	60
2.2 LES TROUS MÉTALLISÉS	66
3. LA TECHNOLOGIE DE LA FILIÈRE GaAs PSEUDOMORPHIQUE ET SES AMÉLIORATIONS..	69
3.1 LES CONTACTS OHMIQUES	69
3.2 LE MESA	70
3.3 LA GRILLE	71
3.4 LA GRAVURE DU FOSSÉ DE GRILLE	72
3.5 LES AMÉLIORATIONS TECHNOLOGIQUES ENVISAGEABLES POUR LA FILIÈRE GaAs.....	74
4. LA TECHNOLOGIE DES FILIÈRES InP ET GaAs MÉTAMORPHIQUE.....	76
4.1 LES CONTACTS OHMIQUES	76
4.1.1 <i>La filière InP</i>	76
4.1.2 <i>La filière GaAs Métamorphique</i>	80
4.2 L'ISOLATION ET LA GRAVURE DU FOSSÉ DE GRILLE	82
4.2.1 <i>L'isolation</i>	82
4.2.2 <i>La gravure du fossé de grille</i>	85
4.3 LA MÉTALLISATION ET LA TECHNOLOGIE DE GRILLE.....	88
4.3.1 <i>La métallisation de grille</i>	88
4.3.2 <i>La technologie de grille</i>	92
4.4 LA PASSIVATION DES TRANSISTORS	106
CONCLUSION	111

Chapitre 3

Etude des potentialités de la filière InP. Optimisation de la technologie et de la structure des transistors

INTRODUCTION	117
1. LES PROBLÈMES RENCONTRÉS DANS LES HEMTS DE PUISSANCE ET LES SOLUTIONS POSSIBLES	119
1.1 LE CLAQUAGE À CANAL FERMÉ.....	119
1.2 LE CLAQUAGE À CANAL OUVERT.....	120
1.3 LES SOLUTIONS TECHNOLOGIQUES.....	121
1.3.1 Les solutions pour réduire l'ionisation par impact.....	121
1.3.2 Les solutions pour réduire la remontée des trous.....	122
1.3.3 Les solutions pour réduire l'injection dans le buffer.....	123
1.4 RÉSUMÉ. CHOIX DES SOLUTIONS À ÉTUDIER.....	124
2. MISE AU POINT DE LA COUCHE ET DE LA TECHNOLOGIE DE RÉFÉRENCE	127
2.1 MISE AU POINT DE LA COUCHE PAR SIMULATION UNIDIMENSIONNELLE.....	127
2.1.1 Détermination du plan de dopage optimal.....	128
2.1.2 Mise au point des épaisseurs des couches canal et barrière.....	129
2.2 RÉALISATION ET CARACTÉRISATION DE L'OPÉRATION 10237.....	130
2.2.1 Epitaxie et technologie.....	130
2.2.2 La caractérisation statique.....	132
2.2.3 La caractérisation hyperfréquence.....	137
2.3 CONCLUSION.....	137
3. ETUDE DE LA COUCHE TAMPON	139
3.1 LA COUCHE TAMPON À BARRIÈRE DE COMPENSATION.....	139
3.2 LA COUCHE TAMPON BASSE TEMPÉRATURE (BT).....	140
3.3 RÉALISATION ET CARACTÉRISATION DE L'OPÉRATION 10238.....	140
3.3.1 La caractérisation statique.....	142
3.3.2 La caractérisation hyperfréquence.....	144
3.4 CONCLUSION.....	148
4. ETUDE DE LA CONFIGURATION DU FOSSÉ DE GRILLE.....	148
4.1 RÉALISATION TECHNOLOGIQUE.....	150
4.2 LA CARACTÉRISATION STATIQUE.....	153
4.3 LES PERFORMANCES HYPERFRÉQUENCES.....	156
4.4 LE SCHÉMA ÉQUIVALENT.....	157
4.4.1 La transconductance et la conductance de sortie.....	158
4.4.2 La capacité grille-source et la capacité grille-drain.....	161
4.4.3 Relation entre les performances et le schéma équivalent.....	162
4.4.4 Limitations de la longueur du fossé de grille.....	162
4.5 CONCLUSION.....	163
5. ETUDE DES BARRIÈRES DE TROUS EN AlInAs À FORT TAUX D'ALUMINIUM.....	165
5.1 RÉALISATION DES OPÉRATIONS 10289 - 10290.....	166
5.2 LA CARACTÉRISATION STATIQUE ET HYPERFRÉQUENCE.....	169
5.2.1 Le claquage en diode.....	171
5.2.2 Le claquage à canal ouvert.....	171
5.2.3 Les performances en fréquence et en gain.....	174
5.2.4 Le schéma équivalent.....	175
5.3 CONCLUSION.....	178
6. ETUDE DES STRUCTURES À DEUX PLANS DE DOPAGE.....	178

6.1 MISE AU POINT THÉORIQUE DES ÉPITAXIES.....	179
6.2 RÉALISATION DES OPÉRATIONS 10277 - 10278 - 10279.....	180
6.3 LA CARACTÉRISATION STATIQUE ET HYPERFRÉQUENCE.....	182
6.3.1 <i>La caractérisation statique</i>	182
6.3.2 <i>Les performances en fréquence et en gain</i>	184
6.3.3 <i>Le schéma équivalent</i>	186
6.4 CONCLUSION.....	188
7. RÉSULTATS DE PUISSANCE DES TRANSISTORS RÉALISÉS.....	189
7.1 POTENTIALITÉS DES TRANSISTORS EN RÉGIME STATIQUE.....	189
7.2 POTENTIALITÉS DES TRANSISTORS EN RÉGIME GRAND SIGNAL.....	191
7.3 CONCLUSION.....	194
8. PROPOSITION DE LA STRUCTURE FINALE - RÉSULTATS.....	195
8.1 RÉSULTATS DE CARACTÉRISATION STATIQUE ET HYPERFRÉQUENCE PETIT SIGNAL.....	197
8.1.1 <i>Caractérisation statique</i>	198
8.1.2 <i>Caractérisation de claquage</i>	199
8.1.3 <i>Caractérisation hyperfréquence petit signal</i>	199
8.2 PERFORMANCES EN PUISSANCE.....	200
8.3 CONCLUSION.....	201
CONCLUSION.....	205

Chapitre 4

Comparaison des filières GaAs Pseudomorphique, GaAs Métamorphique et InP

INTRODUCTION.....	209
1. ANALYSE ET PERFORMANCES DES COMPOSANTS DE LA FILIÈRE GaAs PSEUDOMORPHIQUE.....	210
1.1 COMPARAISON DES TECHNOLOGIES DE FOSSÉ DE GRILLE.....	211
1.2 COMPARAISON DES STRUCTURES PSEUDOMORPHIQUES MONOCANAL ET HYBRIDE.....	217
1.3 AMÉLIORATION DES PERFORMANCES PAR OPTIMISATION DE LA TECHNOLOGIE.....	220
1.4 ÉTUDE DE LA LOI D'ÉCHELLE DES TRANSISTORS MULTI-GRILLES.....	226
1.5 ANALYSE DES RÉSULTATS DE PUISSANCE DES DIFFÉRENTS TRANSISTORS ÉTUDIÉS.....	228
2. ANALYSE D'UN COMPOSANT DE LA FILIÈRE GaAs MÉTAMORPHIQUE.....	229
2.1 MISE AU POINT DE COUCHE DE RÉFÉRENCE.....	232
2.2 RÉALISATION ET PERFORMANCES D'UN COMPOSANT DE RÉFÉRENCE.....	233
2.2.1 <i>La caractérisation statique</i>	235
2.2.2 <i>La caractérisation hyperfréquence</i>	238
2.3 CONCLUSION.....	239
CONCLUSION.....	241

Conclusion générale

Introduction générale

Le monde que nous connaissons bénéficie d'un confort grandissant jour après jour. L'unanimité est faite pour associer directement ou indirectement ces améliorations au progrès de l'électronique.

Ce progrès s'est concrétisé, depuis l'invention du transistor en 1952, par une réduction des dimensions afin d'intégrer à très haute densité le nombre grandissant de transistors formant une puce, dans le but d'accroître les performances des systèmes. Aujourd'hui, la naissance d'applications à très haute fréquence (supérieures à quelques GHz) nécessitent l'exploitation de voies autres que celle du traditionnel silicium.

Il en est une, explorée depuis quelques années, qui nécessite encore l'attention de la communauté scientifique pour atteindre la maturité d'une technologie industrielle. Celle-ci consiste en une association de matériaux de type III et de matériaux de type V tel que le GaAs ou l'InP.

Parmi les différentes fonctions assurées par les systèmes électroniques, nous nous proposons dans ce travail d'étudier l'amplification de puissance et plus particulièrement les potentialités des transistors à effet de champ dans les filières GaAs et InP pour cette application. Ce travail s'intègre dans le cadre de deux contrats DRET portant sur la réalisation dans la filière GaAs d'un amplificateur de puissance en classe B à 26 GHz et sur la réalisation dans la filière InP d'un amplificateur de puissance à 60 GHz.

Dans le premier chapitre, les différentes filières de transistors à effet de champ sont présentées dans leur ordre d'apparition. Ensuite, les matériaux et familles de transistors concurrents aux TECs sont présentés. Puis, un inventaire des différentes méthodes de caractérisation des composants est effectué. Celles-ci sont utilisées dans la suite de notre travail. Enfin, un état de l'art des performances des transistors discrets dédiés à l'amplification de puissance est présenté.

Dans le deuxième chapitre, nous présentons de manière générale, les différentes étapes technologiques possibles pour la réalisation de transistors, ainsi que les étapes spécifiques à la réalisation de transistors à grand développement de grille. Enfin, sont présentées les technologies de la filière GaAs (AlGaAs/InGaAs), de la filière InP et la filière métamorphique sur GaAs (AlInAs/InGaAs).

Le troisième chapitre est consacré à l'étude de la filière InP. Après avoir dressé une liste des mécanismes physiques et des effets limitatifs sur l'utilisation de cette filière pour l'amplification grand signal, nous abordons les études pratiques. Celles-ci sont divisées en deux grandes catégories portant sur l'étude de la zone active (épitaxie) ou l'étude des paramètres technologiques. Dans les deux cas, l'objectif est de permettre un accroissement de la densité de courant et/ou de la tenue en tension des transistors. Les différentes réalisations sont caractérisées en puissance afin de valider ou d'invalider les paramètres étudiés. Enfin, la réalisation et les résultats de caractérisation de deux structures englobant les éléments bénéfiques sont présentés. L'une d'elle a permis d'atteindre l'état de l'art mondial.

Le quatrième chapitre, traite des filières pseudomorphique et métamorphique sur substrat GaAs. La filière pseudomorphique est étudiée par le biais d'études technologiques

visant à améliorer les performances des transistors. De plus, deux structures à deux canaux sont étudiées afin de valider la possible utilisation pour l'amplification de puissance. Enfin, l'étude de la filière métamorphique se concrétise par la réalisation et la caractérisation d'un transistor. Le but étant de donner un aperçu des potentialités de cette filière face aux deux autres.

Chapitre 1

Introduction

Avant d'entrer dans le sujet que nous avons traité, il nous a semblé utile de commencer par un chapitre permettant à la fois de situer nos travaux dans le vaste domaine que couvrent les transistors à effet de champ (TEC) pour amplification de puissance en hyperfréquence et de définir les différentes notions qui seront utilisées dans les chapitres suivant.

Pour commencer, un inventaire des différentes filières de transistor à effet de champ sera effectué. La présentation suivant l'ordre chronologique de l'apparition de ces différentes filières permettra de présenter les améliorations apportées au fil des années et donnera une idée claire et précise sur les filières actuellement en phase d'étude.

Ensuite, toujours pour situer nos travaux, nous présenterons les diverses structures des transistors à effet de champ ainsi que les nouveaux matériaux dont pourraient émerger les filières futures.

Puis, une présentation complète des différentes méthodes de caractérisation appliquées aux transistors sera effectuée, celles-ci permettant de valider les réalisations technologiques pour la caractérisation statique. La caractérisation dynamique (hyperfréquence) permet quant à elle de réaliser des comparaisons entre les différents composants grâce à la détermination des performances en fréquence de ceux-ci ou encore, des paramètres physiques constituant les transistors. Nous présenterons également la caractérisation grand signal spécifique au transistors de puissance, ainsi que les différentes grandeurs utilisées pour définir les potentialités des transistors à travailler dans ce domaine.

Enfin, nous ferons un bilan des meilleures performances mondiales obtenues pour les transistors à effet de champ de puissance.

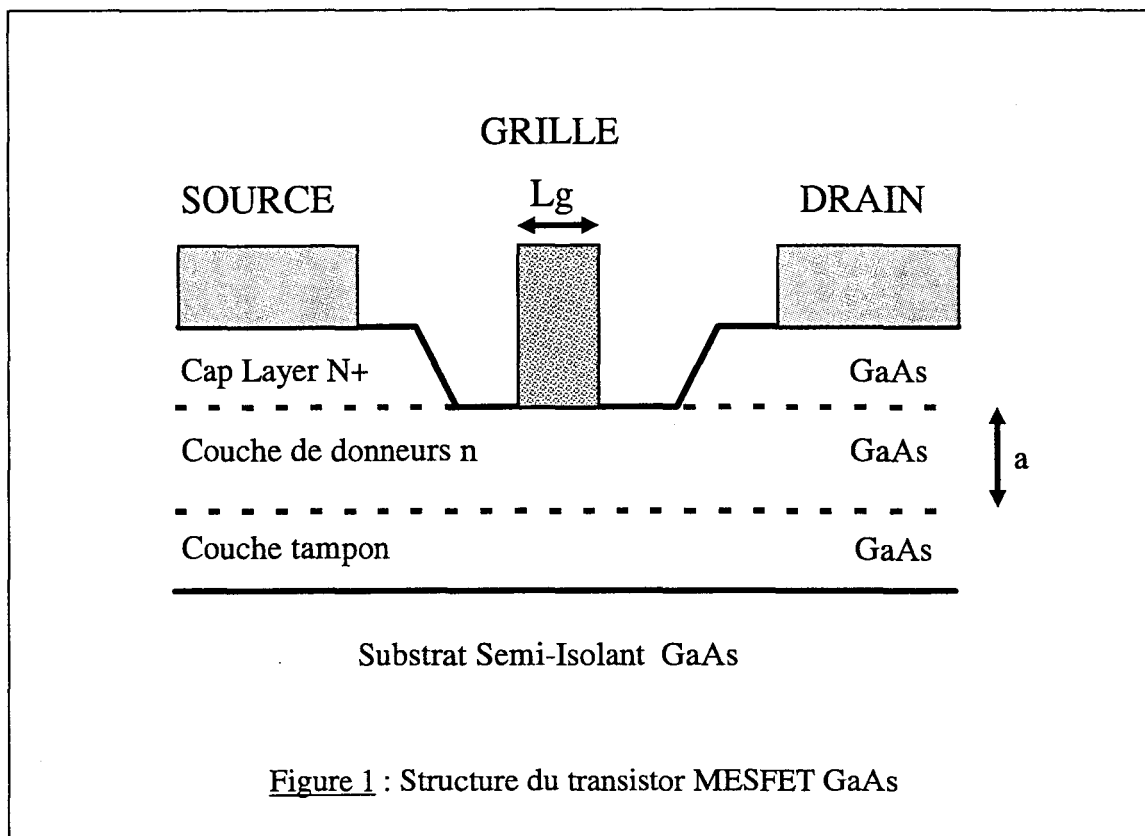
1. Les filières conventionnelles de TEC

1.1 Origines

Le TEC est né en 1952 d'après une idée de W.Shockley [1]. Il proposa de déposer aux extrémités d'un barreau de semi-conducteur, deux électrodes appelées source et drain. Entre ces deux électrodes, il y déposa une troisième, la grille afin de pouvoir moduler le courant traversant le barreau de semi-conducteur.

1.2 Le MESFET GaAs

Longtemps considéré comme le composant de référence pour l'amplification de puissance en hyperfréquence, le MESFET GaAs est constitué (fig.1) d'une couche de GaAs dopée (n) épitaxiée sur substrat GaAs Semi-Isolant ou directement par implantation de donneurs.



Pour améliorer la montée en fréquence du composant, il est nécessaire de diminuer la longueur de grille L_g . Il faut alors, pour conserver une efficacité de commande de grille efficace, diminuer l'épaisseur de la couche dopée pour garder un rapport d'aspect L_g/a au moins égal à 5. Si l'application envisagée pour le composant est l'amplification de puissance microonde, il faut que le composant délivre un courant le plus élevé possible. Par conséquent, il faut augmenter le dopage de la couche active. Cette modification de la couche active entraîne une augmentation du champ électrique dans la structure et par conséquent une

diminution de la tenue en tension du transistor (tension de claquage). Cela constitue la limitation principale de ce type de transistor.

Néanmoins, il faut préciser que les nombreux travaux réalisés ont permis d'obtenir des densités de puissance d'environ 700mW/mm à 35 GHz [2].

Enfin, si le MESFET devient de plus en plus important dans le domaine de la production, il est quelque peu tombé en désuétude dans le domaine de la recherche. En effet, il a été supplanté par la solution apportée pour remédier aux limitations du composant : les hétérojonctions.

1.3 Les TECs à hétérojonctions (HEMTs)

Les développements des techniques des méthodes de croissances de semi-conducteurs telles que l'épitaxie par jet moléculaire (EJM ou MBE pour Molecular Beam Epitaxy) ou le dépôt en phase vapeur d'organo-métallique (MOCVD en anglais) ont permis d'améliorer considérablement la qualité des interfaces entre matériaux semi-conducteurs.

Grâce à ces progrès, une nouvelle structure de transistors a vu le jour au début des années 80 : le HEMT (High Electron Mobility Transistor). Ce composant utilise les propriétés électriques des jonctions entre deux semi-conducteurs différents. Dans ce cas, les porteurs libres se trouvent séparés des dopants de la couche de donneurs [3], ce qui a pour conséquence l'obtention d'une importante quantité de charge (appelée gaz d'électrons) localisée dans le puits de potentiel de GaAs près de l'interface des deux matériaux. Ce résultat obtenu grâce à la déformation des bandes de conduction et de valence des matériaux à l'interface est dû à la différence de bande interdite des deux matériaux et au dopage sélectif de la barrière.

Notons que la séparation spatiale entre les donneurs ionisés et porteurs libres diminue les effets d'interactions. La globalité de ces effets contribue à accroître les propriétés de transport par rapport au MESFET.

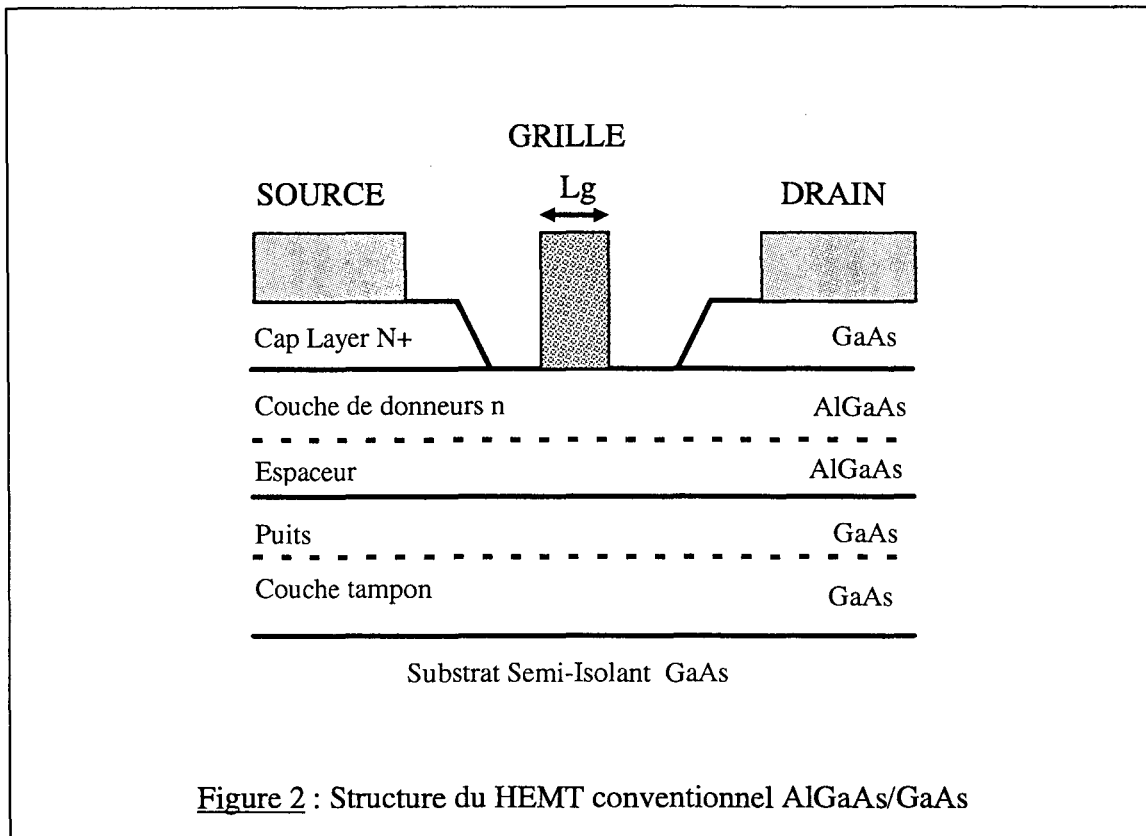
Outre les performances en bruit améliorées grâce à la diminution des interactions entre porteurs, ce sont des courants et des transconductances plus élevées qui peuvent être obtenus.

1.3.1 Le HEMT GaAlAs/GaAs

Le HEMT GaAlAs est le premier des transistors à hétérojonctions. Il consiste à associer (fig.2) un matériau fortement dopé à large bande interdite à un matériau intrinsèque de bande interdite plus faible.

Ainsi, cette structure peut être optimisée en choisissant le pourcentage d'aluminium de la couche de GaAlAs suffisant pour obtenir une discontinuité de bande de conduction GaAlAs/GaAs (valeur maximale de l'ordre de 0,2 eV) sans introduire de centres DX [4], qui auraient pour conséquence de piéger les électrons sur les donneurs, et en dopant au maximum la couche de donneurs. De cette façon, des densités de charge de l'ordre de $0,8 \cdot 10^{12} \text{ cm}^{-2}$ peuvent être obtenues et ont permis de réaliser des transistors délivrant 400mW/mm à 60 GHz ou 560 mW/mm à 40 GHz [5].

Cependant, il faut remarquer que la grille est comme dans le cas du MESFET, déposée sur une couche de matériau dopée, ce qui par conséquent limite la tension de claquage du composant.



De plus, notons que l'avènement des plans de dopage a permis de déposer la grille sur un matériau nid (non intentionnellement dopé). Enfin, l'obtention de barrières plus élevées avec d'autres matériaux a rendu le HEMT conventionnel moins attractif.

1.3.2 Le HEMT pseudomorphique GaAlAs/GaInAs/GaAs (PM-HEMT) et ses améliorations

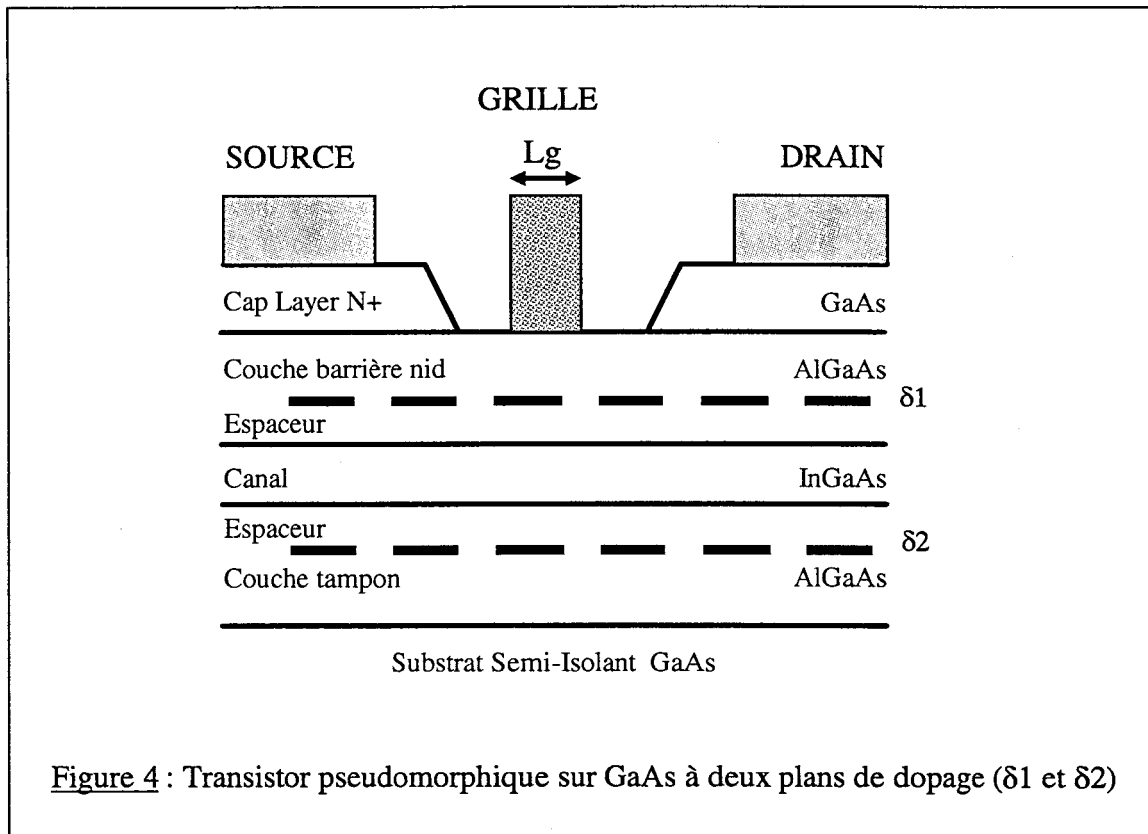
Une augmentation du taux d'aluminium dans la couche de donneurs doit permettre d'accroître la densité de charge transférée dans le puits du HEMT conventionnel grâce à une discontinuité de bande de conduction plus importante entre les deux matériaux en jeu. Néanmoins, cette augmentation a pour effet d'introduire des centres DX. Le blocage des donneurs empêche alors le transfert de charge et par conséquent, l'augmentation du courant.

Par conséquent, pour augmenter la discontinuité de bande de conduction, il est nécessaire de changer de matériau. Il s'avère qu'il est préférable de changer le matériau constituant le puits pour le remplacer par un matériau possédant une mobilité électronique plus élevée afin d'accroître les potentialités pour la montée en fréquence. C'est ainsi qu'est apparu le HEMT GaAlAs/GaInAs/GaAs (fig.3).

Le composant consiste en une croissance de GaInAs sur substrat GaAs. Le matériau GaInAs possédant un paramètre de maille différent de celui du GaAs, doit se déformer afin de s'adapter au GaAs. L'épaisseur de GaInAs restant faible (de l'ordre de 100 Å), le matériau ne se relaxe pas. Pour cette raison, la structure formée par ces matériaux est appelée pseudomorphique. Ensuite, est épitaxiée la couche de donneurs GaAlAs.

En conséquence, la diminution de la longueur de grille n'entraîne que la diminution de la couche barrière nid.

En ce qui concerne l'augmentation de la puissance de sortie, celle-ci passe par l'augmentation du courant délivré par le composant. Si au delà d'une certaine valeur, l'augmentation du nombre de donneur ne suffit plus à accroître la densité de charge dans le puits, l'adjonction d'un deuxième plan sous le canal le permet facilement. Si de plus, le deuxième plan est inséré dans une couche de GaAlAs, la différence de bande de conduction de cette deuxième hétérojonction permettra un excellent transfert (fig.4).



Ce type de structure représente alors le composant privilégié dans la filière GaAs pour les applications de puissance puisqu'il permet d'obtenir des densités de charge transférées pouvant atteindre $4.10^{12} \text{ cm}^{-2}$ et un courant de 1 A par millimètre de développement de grille.

Il est d'ailleurs à noter que ce type de composant a déjà permis d'obtenir une puissance de sortie de 960 mW/mm à 60 GHz avec une longueur de grille de $0,15 \mu\text{m}$ [7].

Enfin, une structure utilisant les mêmes critères, mais un peu plus complexe est la structure à plusieurs canaux. Ceux-ci possédant chacun leur propre plan de dopage [8]. Ces structures envisagées au départ pour la réalisation de multiplieur de fréquences ou de mélangeur [9] en utilisant les propriétés de non linéarité [10] se sont montrées très intéressantes pour les applications de puissance aux fréquences de 30 GHz. En effet, compte tenu de l'épaisseur de la couche active (incluant 2 ou plusieurs canaux) la longueur de grille raisonnable est de $0,25 \mu\text{m}$.

1.3.3 Le HEMT adapté en maille AlInAs/GaInAs/InP (LM-HEMT)

Une filière autre que celle du GaAs est apparue ces dernières années. Celle-ci avait pour objectif de tirer profit des caractéristiques du matériau pour former une différence de bande de conduction et une mobilité dans le puits plus élevées que sur GaAs. Ainsi, avec les progrès des techniques d'épitaxie, la croissance de matériau sur Phosphure d'Indium (InP) a donné naissance à cette nouvelle filière.

La structure du transistor LM-HEMT sur InP (Lattice Matched -HEMT) représentée sur la figure 5 est analogue à celle du transistor pseudomorphique sur GaAs. Le canal restant en GaInAs, celui-ci doit avoir un taux d'indium égal à 53 % afin de respecter l'accord de maille avec l'InP. Aussi, pour assurer une discontinuité de bande de conduction la plus élevée possible, il faut utiliser le matériau AlInAs pour réaliser les hétérojonctions. Le matériau doit alors avoir, si l'on veut comme précédemment être adapté sur l'InP, un taux d'indium de 52%.

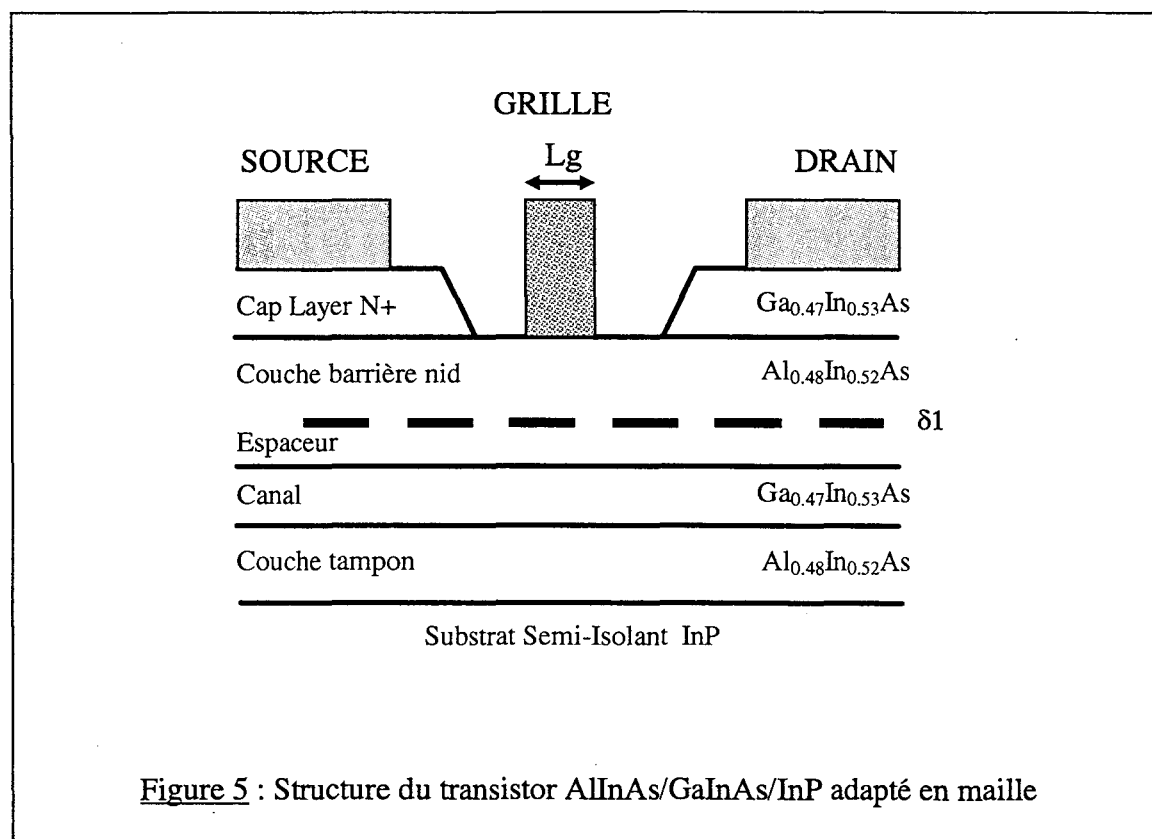


Figure 5 : Structure du transistor AlInAs/GaInAs/InP adapté en maille

L'avantage de cette structure est d'avoir une différence de bande de conduction égale à 0,5 eV pour l'hétérojonction AlInAs/GaInAs. Elle permet également d'obtenir des mobilités électroniques de l'ordre de $10000 \text{ cm}^2/\text{V}\cdot\text{s}$ à température ambiante. La combinaison de ces deux améliorations conduit directement à une augmentation de la densité de courant (comparée au structures sur GaAs).

Si à cela, nous ajoutons une conductivité thermique supérieure à celle du GaAs ($0,68 \text{ Wcm}^{-1}\text{K}^{-1}$ contre $0,44 \text{ Wcm}^{-1}\text{K}^{-1}$ à 300 K), il est aisé de comprendre l'intérêt porté par ce type de structures pour les applications à des fréquences supérieures à 60 GHz.

Il faut toutefois garder à l'esprit que le matériau GaInAs possède une bande interdite faible, ce qui a pour conséquence de laisser apparaître les phénomènes de claquage dès les faibles tensions de drain.

Néanmoins, des études ont été récemment entreprises et nous nous proposons dans la suite de ce travail de décrire plus précisément nos travaux à ce sujet.

A ce jour, une densité de puissance de 340 mW/mm au dB de compression et 400 mW/mm à la saturation a été obtenu à 60 GHz [11].

De la même façon que sur GaAs, il est possible d'imaginer une filière pseudomorphique sur InP, donc à canal contraint.

L'intérêt réside dans le fait d'accroître encore la mobilité électronique dans le puits en augmentant le pourcentage d'Indium du GaInAs du canal. Le contre effet de cette modification est la diminution de la bande interdite du GaInAs et par conséquent, une apparition des phénomènes de claquage plus précoce que dans le cas du LM-HEMT InP.

Il semble donc que ce type de composant ne réponde pas aux exigences demandées par les applications de puissance. Néanmoins, il semble être un composant de choix pour les applications faible bruit puisqu'en effet, le record de bruit à 94 GHz a été obtenu avec ce type de transistor à 80% d'indium [12].

1.3.4 Le HEMT Métamorphique sur GaAs (MM-HEMT)

Issu de la filière InP, la volonté d'accroître au maximum la différence de bande de conduction a conduit à l'hétérojonction $\text{Al}_{0.7}\text{In}_{0.3}\text{As}/\text{Ga}_{0.7}\text{In}_{0.3}\text{As}$.

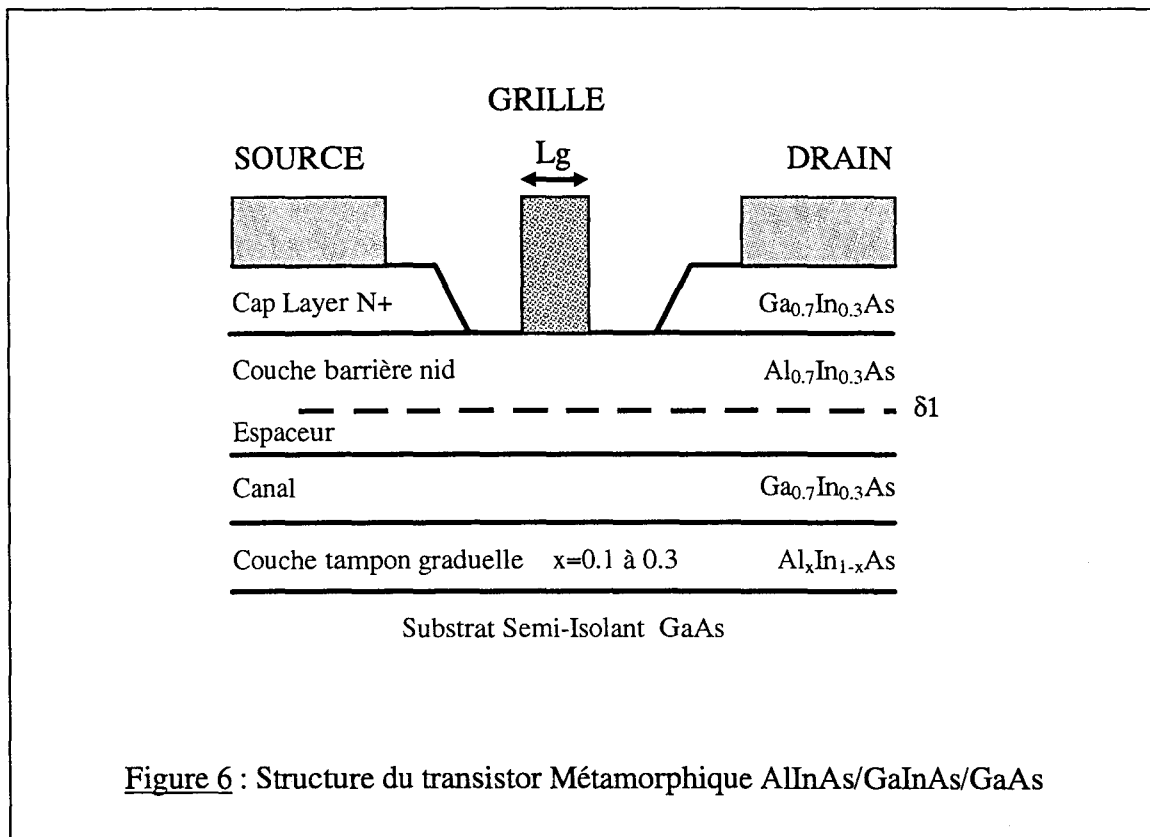
Ces matériaux, si ils sont adaptés en maille entre eux, présentent un très grand désaccord de maille par rapport au matériau GaAs du substrat. Il est alors nécessaire d'utiliser un buffer d'adaptation afin de confiner les dislocations dans celui-ci pour croître les matériaux de la couche active sans contrainte. En effet, les défauts de matériau ont pour conséquence de dégrader les propriétés électriques des semi-conducteurs.

Pour ce faire, il faut sur le substrat, croître une couche tampon graduelle, c'est à dire en faisant varier la composition du matériau en débutant de façon à être adapté en maille avec le substrat, puis continuer en modifiant progressivement les taux de composition jusqu'à l'obtention de l'adaptation avec les matériaux de la couche active (fig. 6).

On obtient alors pour ce composant (fig.6) une différence de bande de conduction de 0,7 eV avec des densités de charge dans le puits de $4.10^{12} \text{ cm}^{-2}$, permettant une amélioration de 30% par rapport aux résultats de la filière InP.

Le matériau GaInAs du canal possède alors une bande interdite de 1 eV et par conséquent laisse présager une très bonne tenue en tension des composants.

Les récents travaux sur ces composants ont permis d'obtenir de très bons résultats : 750 mA/mm, 160 GHz de Ft pour une longueur de grille de $0,15 \mu\text{m}$ [13] qui, il faut le penser, seront améliorés à l'avenir tant ce composant semble être un bon candidat pour les applications de puissance dans les gammes millimétriques. Actuellement, les travaux réalisés dans cette filière consistent essentiellement en des études matériaux afin de résoudre les problèmes de croissance concernant les couches tampon et le choix des compositions des alliages des matériaux de la couche active.



2. Les autres filières

2.1 Le MISFET

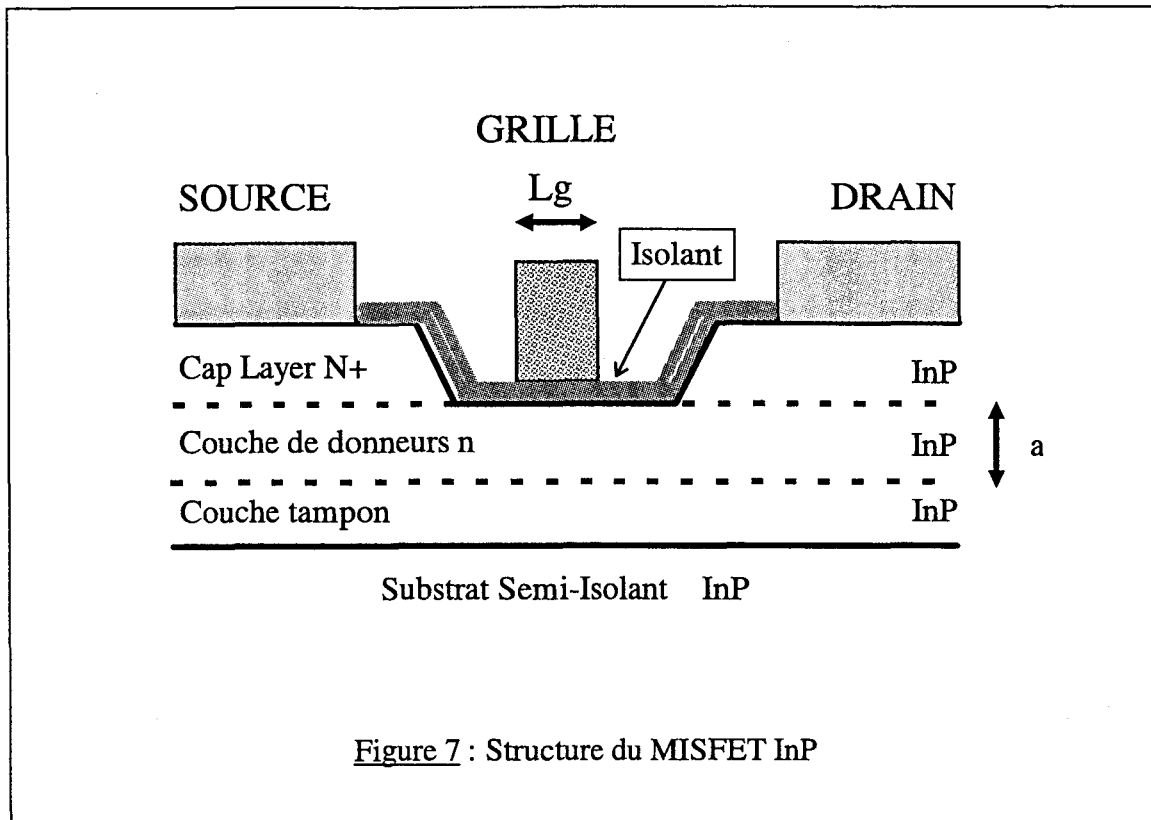
Dans le but de réduire de façon drastique l'effet néfaste du claquage, il a semblé intéressant d'utiliser le principe de la grille isolée des MOSFET.

2.1.1 Le MISFET InP

Le MISFET InP (fig.7) a été le premier transistor étudié dans la famille MISFET. La réalisation de contacts Métal-Isolant-Semi-conducteur (MIS) sur InP est très rapidement apparu comme une solution prometteuse.

Cependant, si le contact MIS est très facile à réaliser, il n'en reste pas moins le problème de l'instabilité de l'isolant, conduisant rapidement aux dégradations des performances des transistors en fonctionnement. De plus, la présence d'isolant a pour effet de diminuer l'efficacité de la commande de grille sur le semi-conducteur et par conséquent, rend très difficile l'obtention de transconductances élevées.

Malgré ces problèmes, des résultats intéressants ont été obtenus. Le plus marquant est l'obtention d'une puissance de sortie de 1,8 W/mm à 30 GHz [14].



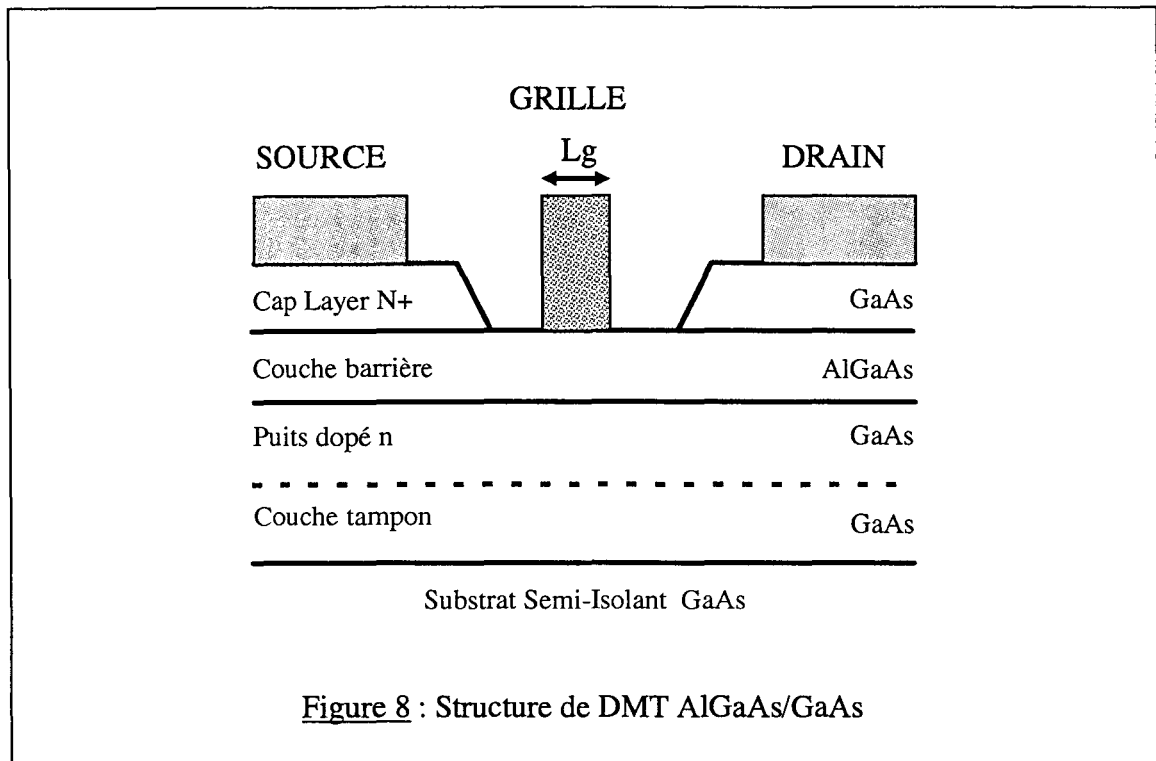
2.1.2 Le DMT GaAs et InP

Outre les problèmes posés par la dégradation rapide de la couche isolant, le MISFET souffre d'une montée en fréquence insuffisante. Pour remédier aux deux problèmes, est né le DMT (Doped Channel MIS-Like Field Effect Transistor). Celui-ci consiste en une couche très dopée constituée par le canal et une couche isolante semi-conductrice nid (fig.8). Ces deux critères permettent d'obtenir des courants élevés et de supporter des tensions relativement importantes. Notons que pour la montée en fréquence, le progrès le plus remarquable a été effectué en croissance, car c'est avec des structures de faibles épaisseurs et à très forts dopages que les meilleurs résultats de puissance ont été obtenus.

Parmi la multitude de variantes de ce type de structure, nous ne présenterons que les plus classiques. Le DMT AlGaAs/GaAs a permis d'obtenir une puissance de sortie de 840 mW/mm et 7 dB de gain à 10 GHz [15] avec une technologie de grille de 0,6 μ m, la tension de claquage étant de 20 Volts.

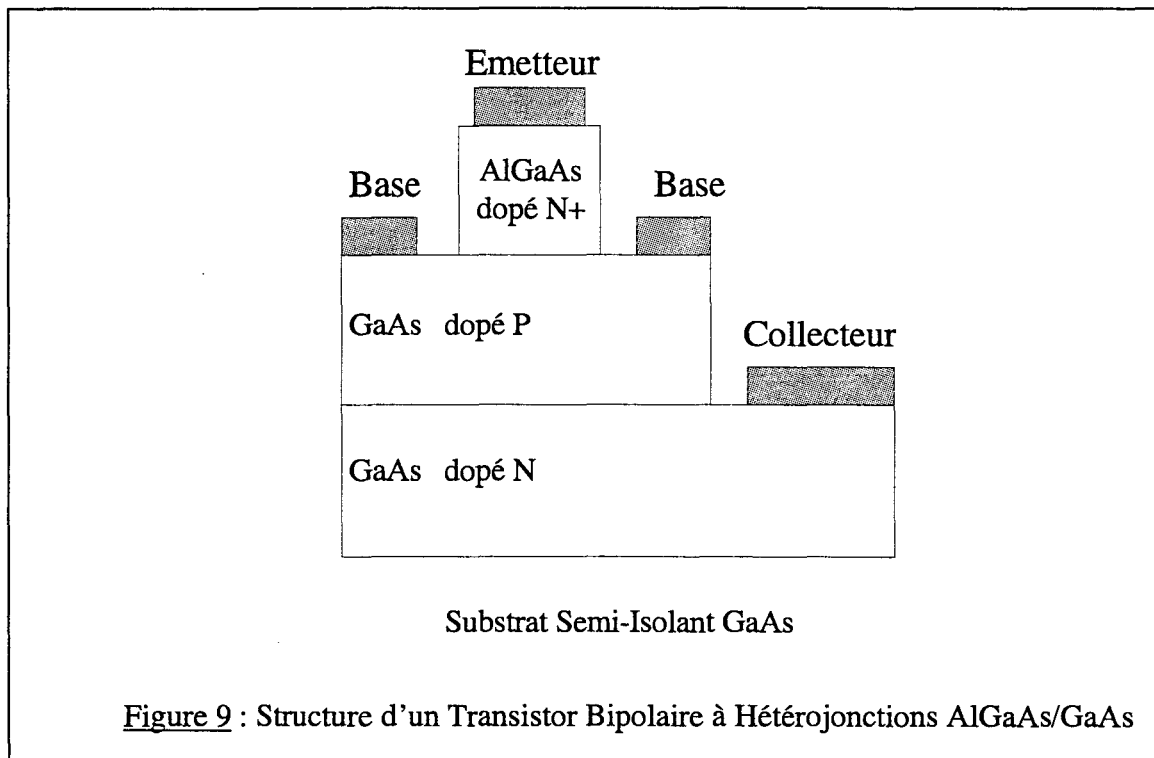
Comme dans le cas du HEMT, le remplacement du GaAs du canal par de l'InGaAs a permis d'améliorer les performances du composant. Outre la montée en fréquence, c'est également une augmentation spectaculaire du courant de drain qui a été observée. Il en a résulté les meilleures performances obtenues pour toute la famille des DMT, à savoir une puissance de sortie de 760 mW/mm à 60 GHz avec un gain de 3,6 dB [16].

Enfin, la dernière variante du transistor DMT qui nous paraît la plus intéressante, est celle issue de la filière InP. Afin de bénéficier des propriétés de transport dans le canal, celui-ci est remplacé par de l'InP et la couche semi-isolante est remplacée par de l'AlInAs en accord de maille sur l'InP. Ce type de structure a permis d'obtenir un gain petit signal de 11,5 dB à 10 GHz pour une technologie de grille de 1,25 μ m [17].



2.2 Le Transistor Bipolaire à Hétérojonctions (TBH)

Jusqu'ici, nous n'avons présenté que le TEC et ses variantes. Aussi, il semble intéressant de se pencher sur son concurrent direct : le Transistor Bipolaire à Hétérojonctions (TBH). Issu de la technologie bipolaire utilisée très couramment sur silicium, le TBH se différencie par l'utilisation de différents matériaux afin de réaliser l'hétérojonction entre l'émetteur et la base (fig. 9).



Bénéficiant d'une vitesse plus élevée, les électrons injectés dans la base voient leurs temps de transit dans cette région considérablement réduits. Ceci permet alors une montée en fréquence du composant face au transistor bipolaire à homojonctions.

Avec ce type de transistors, une densité de puissance de 3,1 W/mm a été obtenu à 10 GHz [18] associée à un gain en puissance de 5,8 dB et un rendement en puissance ajoutée de 30 %. Des travaux ont montré des niveaux de puissance supérieurs à ceux du MESFET GaAs [19].

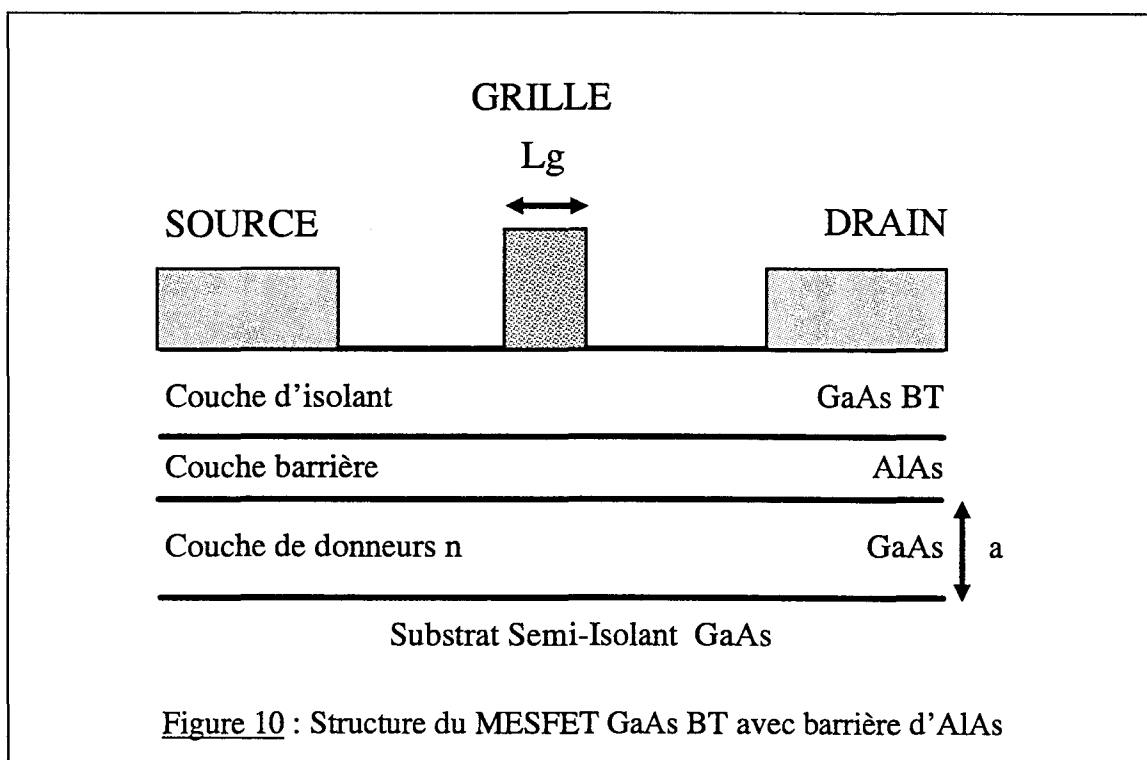
Bien que ce composant semble être un concurrent sérieux du HEMT, il faut se rendre à l'évidence des problèmes posés par la difficulté à travailler au delà de 10 GHz. De plus, sa faible impédance d'entrée le rend difficile à adapter. Enfin, la valeur très élevée de sa résistance thermique empêche la dissipation de chaleur de façon optimale et gêne son aptitude à fonctionner à fort courant, puisqu'apparaît rapidement un phénomène de second claquage (l'effet 'crunch').

2.3 Les nouveaux matériaux

Enfin, si dans les paragraphes relatifs aux HEMTs nous avons détaillé les principaux matériaux utilisés, il n'en reste pas moins deux nouveaux sur lesquels un bon nombre de travaux semble se porter actuellement et laisse présager des résultats intéressants compte tenu de leur caractéristiques intrinsèques.

2.3.1 Le MISFET GaAs Basse Température (BT)

Afin de s'affranchir des problèmes d'instabilité, le GaAs Basse Température (BT) a été récemment utilisé comme isolant et passivant. Alors que le GaAs semi-conducteur usuel est épitaxié au environ de 600°C, la GaAs BT est épitaxié à 200°C permettant l'incorporation de l'arsenic en excès.



Lorsqu'il est recuit, le matériau possède alors toutes les qualités d'un isolant, à savoir une résistance proche de $10^6 \Omega \cdot \text{mm}$ et une densité de piège de l'ordre de 10^{19} cm^{-3} .

La structure du transistor (fig. 10) consiste alors en une zone active de GaAs et une couche de GaAs BT servant d'isolant pour la grille. Notons qu'une fine couche (barrière) d'AlAs est déposée entre les deux matériaux afin d'empêcher la diffusion de l'arsenic en excès du matériau BT vers la couche active lors d'un éventuel recuit.

Ce composant a permis d'atteindre un produit courant-tension de sortie de $3,5 \text{ W/mm}$ en continu [20] ou encore 820 mW/mm à 4 GHz [21] pour des tensions de claquage supérieures à 40 Volts [22].

Si cette filière ne laisse espérer pour l'instant aucun résultat satisfaisant en gamme millimétrique, l'idée de réaliser des structures HEMTs BT alliant la montée en fréquence du HEMT et tenue en tension du BT pourra sans doute le permettre.

2.3.2 Le Carbure de Silicium (SiC)

En réalité, il ne faudrait pas parler du SiC, mais des SiC. Selon l'arrangement des liaisons atomiques, le SiC peut adopter différentes structures cristallines. Ces dernières peuvent être de type cubique (pour le 3C-SiC) ou hexagonal (pour les 2H-SiC, 4H-SiC, 6H-SiC). Malgré ces différences, certaines propriétés intéressantes pour les applications de puissance hyperfréquence leurs sont communes. En effet, ces matériaux possèdent une large bande interdite d'environ 3 eV . Ils possèdent également une excellente conductivité thermique (environ $4,5 \text{ W} \cdot \text{cm}^{-1} \cdot \text{K}^{-1}$), une très bonne tenue en tension et une vitesse de saturation élevée (environ $2 \cdot 10^7 \text{ cm} \cdot \text{s}^{-1}$). Tous ces paramètres font des SiC un candidat potentiel pour fonctionner à hautes températures [23].

Bien que des performances intéressantes aient été obtenues pour des MESFET [24], le manque de maturité de leurs technologies pénalise pour l'instant leurs potentialités [25].

2.3.3 Le Nitrure de Gallium (GaN) et les alliages AlGaN et InGaN

Possédant des propriétés similaires à celle des SiC, le nitrure de Gallium se présente comme son concurrent direct.

Il est à noter que des transistors utilisant l'hétérojonction $\text{Al}_{0,15}\text{Ga}_{0,85}\text{N}/\text{GaN}$ de $0,12 \mu\text{m}$ de longueur de grille ont déjà été réalisés et ont permis d'obtenir une fréquence de coupure de gain en courant de 47 GHz et un courant de drain de 500 mA/mm [26]. Aussi, tout comme les SiC, lorsque la croissance du InGaN sera viable et lorsque la technologie GaN sera un peu plus avancée, il est à penser que cette filière donnera entière satisfaction.

3. La caractérisation des composants

3.1 La caractérisation statique ou quasi-statique

La caractérisation statique ou quasi-statique constitue une première approche du composant. En effet, celle-ci se faisant à l'aide de signaux continus, aucune information sur

les potentialités en hyperfréquence du composant ne peuvent être tirées de ces caractérisations.

Cependant, une énorme quantité d'informations sera disponible sur les qualités du composant face au courant qu'il pourra délivrer et ses limites en tension.

3.1.1 Présentation du matériel à disposition

3.1.1.1 ICCAP

Pour réaliser les mesures statiques, notre laboratoire est équipé d'un système de mesures automatiques (ICCAP) composé de trois alimentations programmables et d'un logiciel de contrôle installé sur station. Un banc de tests sous pointes étant associé à ce système, nous effectuons les mesures directement sur wafer.

Aussi, grâce à son automatisation, le banc permet des mesures rapides et précises sans dégradation pour le composant sous test puisqu'il est possible de limiter les grandeurs mesurées. Par exemple, la mesure du courant de grille effectuée pour déterminer les tensions de claquage doit être limitée à 1 mA/mm de développement de grille. Cette mesure sur un composant de faible développement s'avérerait très délicate sans système automatisé.

3.1.1.2 La mesure en impulsion

Nous disposons également dans notre laboratoire, d'un banc de mesures en impulsion [27]. Celui-ci effectue le même type de mesure que le système précédent. Aussi, dans le cas des mesures statiques, les mesures se font par enchaînement et la mesure est relativement longue. Dans le cas des mesures pulsées, les mesures sont effectuées durant des temps très court (jusqu'à quelques dizaines de nanosecondes) et l'état de repos est observé entre deux mesures. Cette méthodologie permet de s'affranchir des effets thermiques que l'on rencontre souvent dans les transistors de puissance fonctionnant en continu. Notons que les impulsions délivrées aux bornes de la grille ou du drain ont une durée modulable. Ceci permet alors de s'adapter au transistor à étudier et d'observer les phénomènes transitoires ou de piégeage.

Si cet outil permet d'effectuer un très grand nombre de mesures (il est possible, comme dans le cas du système ICCAP de relever les tensions et les courants à chaque borne du transistor), il n'est pas équipé pour l'instant d'un système de pointes. Nous préférons donc utiliser le système statique pour notre étude.

3.1.2 La mesure des caractéristiques I-V

Il existe deux réseaux de caractéristiques. La première, $I_D(V_{ds})_{V_{gs}}$ (fig. 11) consiste à relever le courant de drain (I_D) en fonction de la tension V_{ds} pour une ou plusieurs tensions V_{gs} . La seconde, $I_D(V_{gs})_{V_{ds}}$ consiste à relever le courant en fonction de la tension V_{gs} pour une ou plusieurs tensions V_{ds} .

La mesure de $I_D(V_{ds})_{V_{gs}}$ est généralement la première effectuée sur le composant car elle permet de déterminer deux caractéristiques essentielles du composant; à savoir : le courant drain maximum et la tension de pincement.

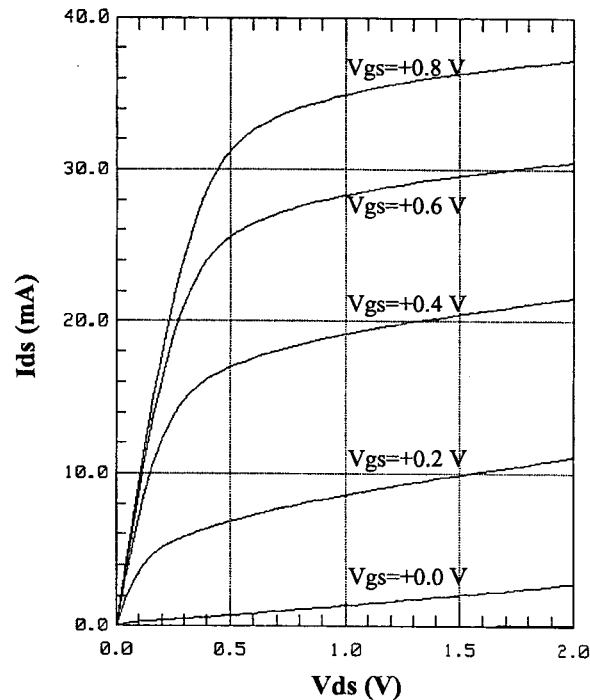


Figure 11 : Caractéristique $I_D(V_{ds})_{V_{gs}}$ d'un transistor $2 \times 50 \mu\text{m}$ (THOMSON Gringo)

Du réseau de caractéristique $I_{ds}(V_{ds})$, il est possible d'extraire la conductance statique g_d (fig. 12) défini par :

$$G_d = \left(\frac{\partial I_D}{\partial V_{ds}} \right)_{V_{gs} = \text{cte}}$$

Du réseau de caractéristique $I_{ds}(V_{gs})$, la transconductance extrinsèque G_m (fig. 12) peut être extraite selon la formulation :

$$G_m = \left(\frac{\partial I_D}{\partial V_{gs}} \right)_{V_{ds} = \text{cte}}$$

3.1.3 Le courant de grille en configuration diode

La mesure du courant de grille en configuration de diode permet de valider la qualité du contact Schottky.

Cette validation aussi bien technologique, qu'électrique doit se faire en direct (pour les courants >0) et en inverse (pour les courants <0). Notons que celle-ci se fait indépendamment pour le dipôle Grille-Source et pour le dipôle Grille-Drain.

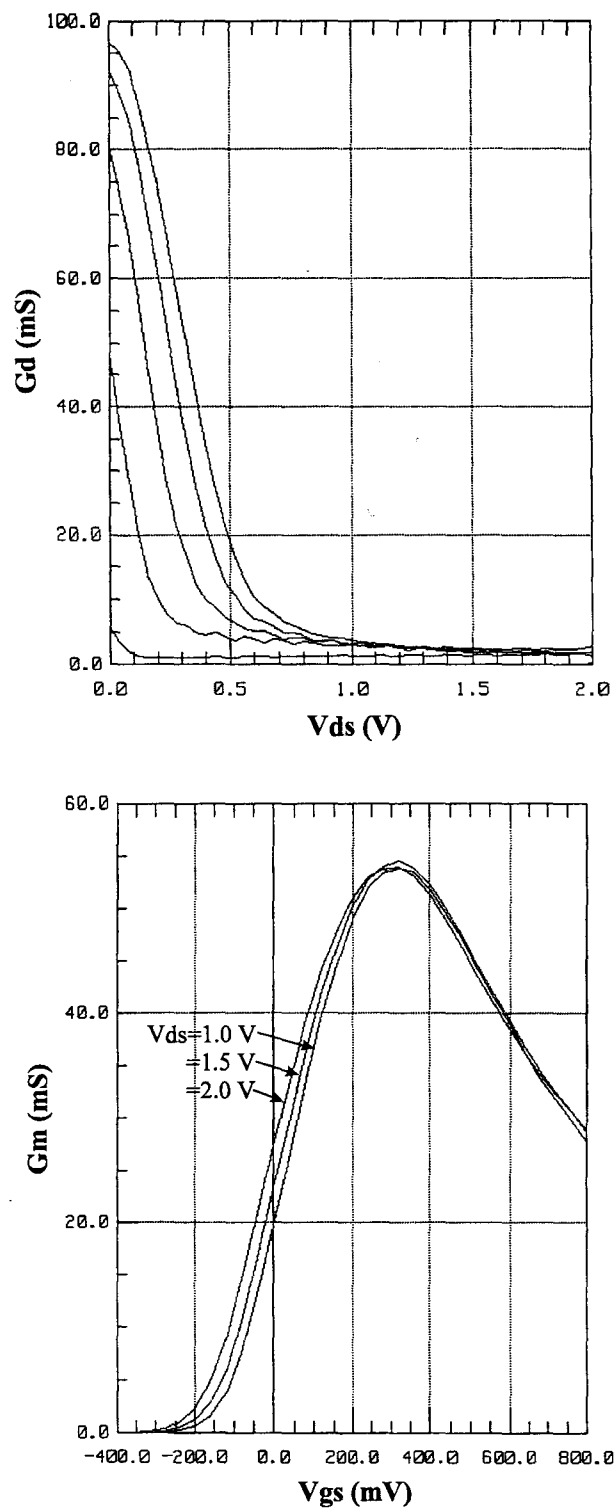
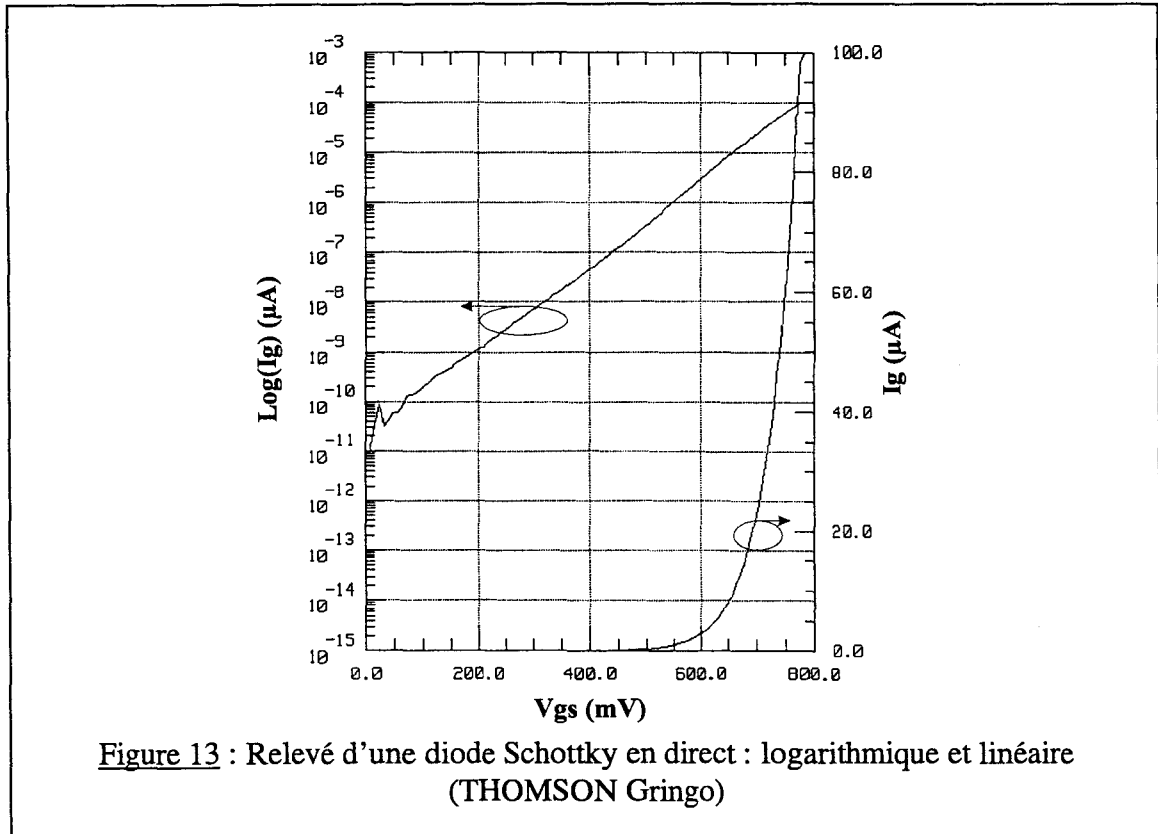


Figure 12 : Evolution de la conductance (en haut) et de la transconductance (en bas) en fonction de V_{gs} pour un composant $2 \times 50 \mu\text{m}$ (THOMSON Gringo)

3.1.3.1 La mesure de la diode Schottky en direct

La caractéristique $I_{gs}(V_{gs})$ (par exemple), lorsqu'elle est tracée sur échelle semi-log (fig. 13) permet de déterminer aisément le coefficient d'idéalité ' η ' et la tension de built-in ' V_b '. La hauteur de barrière ' Φ_b ' est défini par le produit ' $\eta \times V_b$ '.



Lorsque la diode est polarisée en direct, le courant I_{gs} suit la loi :

$$I_{gs} = A^* T^2 S \exp\left(\frac{-q \phi_b}{\eta kT}\right) \left(\exp\left(\frac{qV_{gs}}{\eta kT}\right) - 1 \right)$$

avec : A^* : constante de Richardson ; $A^* = 8,4 \cdot 10^4 \text{ A.m}^{-2} \cdot \text{K}^{-1}$;
 S : surface de la jonction de grille ($L_g \times$ développement total) ;
 η : coefficient d'idéalité (diode idéale : $\eta = 1$) ;
 Φ_b : hauteur de barrière.

Ainsi, à partir de la pente de la caractéristique $\ln(I_{gs})=f(V_{gs})$, le facteur d'idéalité se détermine d'après la relation :

$$\eta = \frac{q}{kT} \frac{\Delta V_{gs}}{\Delta \ln(I_{gs})}$$

La hauteur de barrière de built-in se déduit alors de la relation :

$$\phi_b = \frac{\eta kT}{q} \ln \left(\frac{AT^2 S}{I_{so}} \right)$$

(Iso étant déduit de la valeur de l'ordonnée à l'origine de la pente linéaire de $\ln(I_{gs})$).

La valeur de η caractérise l'interface Metal-Semi-conducteurs. Plus cette valeur sera proche de 1, meilleur sera le contact, la valeur de 1 signifiant la diode idéale.

La valeur de la tension de built-in (V_b) correspond à la tension maximale (positive) que l'on pourra appliquer sur la grille sans créer de dégradations.

Aussi, pour les applications de puissance, plus cette tension sera élevée, plus le sera l'excursion du signal appliqué sur la grille.

Des travaux ont montré que le métal utilisé pour le contact Schottky n'a que peu d'influence sur la valeur de ϕ_b [28] pour les matériaux GaAs et GaAlAs. Cependant, pour une métallisation donnée, les diodes réalisées sur le matériau $Al_xGa_{1-x}As$ montrent une forte dépendance de leurs caractéristiques en fonction du taux d'Aluminium du matériau semi-conducteur [29].

Enfin, remarquons que le courant de grille (I_G) développe une tension aux bornes de la résistance d'accès de source R_s en série avec la résistance $\frac{R_c}{2}$ d'environ la moitié du canal ouvert.

En relevant la tension drain (laissé en l'air), nous déterminons la somme des résistances $R_s + \frac{R_c}{2}$.

De la même façon, en affectant le rôle de la source au drain, il est possible en relevant la tension sur la source (laissé en l'air) de déterminer la somme des résistances $R_d + \frac{R_c}{2}$.

3.1.3.2 La mesure de la diode Schottky en inverse

Cette mesure permet de déterminer la tension de claquage de la diode et en première approximation, celle du transistor. En effet, la tension de claquage se déduit de la caractéristique $I_{gs}(V_{gs})$ en inverse (fig. 14) lorsque le courant atteint la valeur limite. Cette valeur limite a été choisie à 1 mA/mm de développement de grille, car elle correspond au courant admissible par la grille sans que n'apparaissent d'éventuelles dégradations des transistors.

L'origine de ce courant de grille dans les filières GaAs et InP est maintenant bien connue et reconnue comme résultant d'un effet tunnel pur ou tunnel assisté thermoioniquement à travers l'épaisseur de la couche barrière.

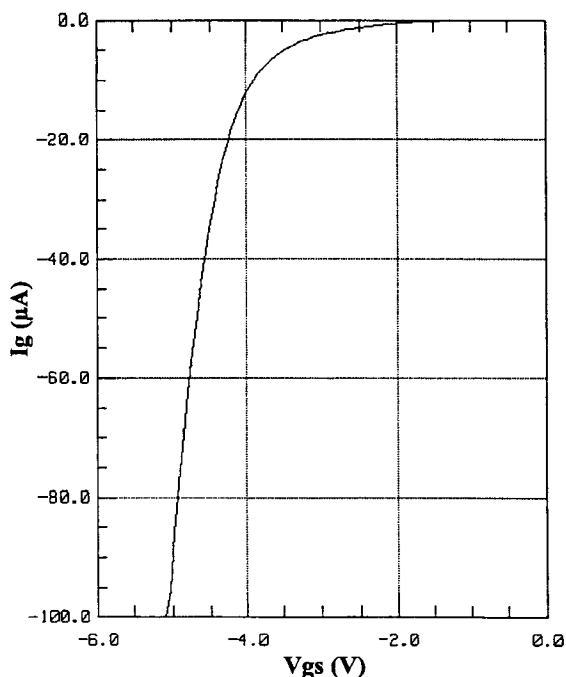


Figure 14 : Evolution du courant de grille d'une diode en inverse d'un transistor $2 \times 50 \mu\text{m}$ (THOMSON Gringo)

3.1.4 La caractéristique $R_{ds}(V_{gs})$

La résistance drain-source R_{ds} en fonction de V_{gs} est donnée, dans le cas du MESFET, par l'expression :

$$R_{ds} = R_s + R_d + R_c \frac{1}{1 - \sqrt{n}}$$

avec : $R_c = \frac{L_g}{q \cdot \mu \cdot N_d \cdot a \cdot Z}$ = résistance du canal et $n = \frac{-V_{gs} + V_b}{|V_t| + V_b}$

En pratique, le relevé de R_{ds} en fonction de $\frac{1}{1 - \sqrt{n}}$ permet de déterminer R_c et $R_s + R_d$. Si à ces deux grandeurs, nous associons les valeurs précédemment obtenues lors de la mesure des diodes en direct, nous pouvons déterminer les résistances d'accès statique du composant.

3.1.5 La mesure du courant de grille en fonctionnement transistor

Si la mesure de la tension de claquage en configuration de diode permet de valider la technologie et de donner une première idée quand à la tenue en tension du composant, il est nécessaire d'aller plus loin si l'on désire approfondir l'étude du composant. Aussi, l'étude du courant de grille en mode de fonctionnement transistor permet cet approfondissement puisqu'elle indique les limites en tension dans les conditions d'utilisation du transistor.

Cette mesure permettra alors la détermination des limites en tension du composant et d'analyser les phénomènes physiques en jeu dans le composant. De plus, elle permettra de déterminer le point de polarisation optimum pour la caractérisation de puissance, donc la classe de fonctionnement appropriée pour le transistor.

La mesure du courant de grille est réalisée lors du fonctionnement du transistor. Ainsi, le balayage en tension sur V_{gs} se fait de la tension de claquage en configuration diode jusqu'à l'ouverture complète du canal, et le balayage en V_{ds} se fait de 0 Volt jusqu'à apparition de la limitation du courant de grille (1mA/mm de développement de grille). La figure 15 représente une évolution typique du courant de grille en fonctionnement transistor.

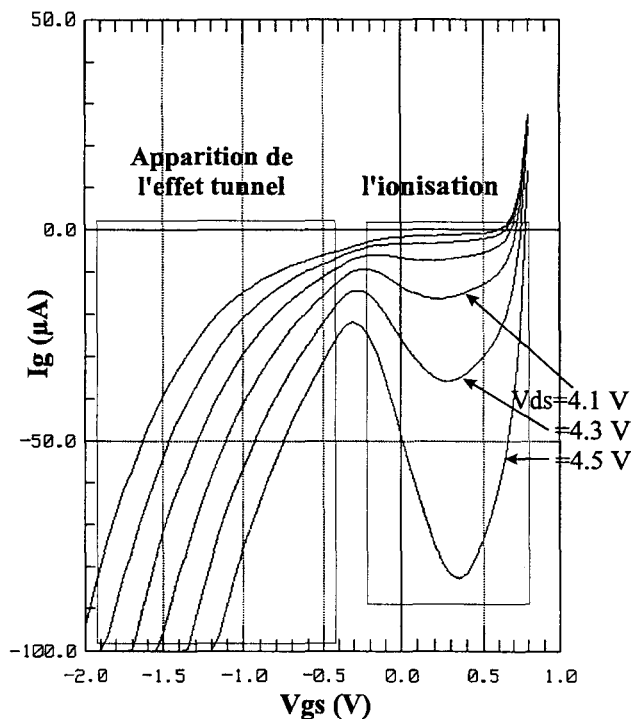


Figure 15 : Evolution typique du courant de grille pour un transistor en fonctionnement (THOMSON Gringo)

Sur ce relevé, apparaissent deux zones. La première zone définit le canal ouvert ou apparaît le courant dû à l'ionisation dans le canal. La seconde zone définit la fermeture du canal ou apparaît alors l'effet tunnel [30].

3.2 Caractérisation Basse Fréquence

Moins connue que la caractérisation statique, la caractérisation basse fréquence permet de valider la qualité de l'épithaxie sur laquelle sont réalisés les transistors. De cette façon, cette caractérisation permet d'aider à la mise au point des épithaxies et d'aider à la compréhension des éventuels problèmes rencontrés en caractérisation.

Ce type de caractérisation peut se faire par magnéto-résistance ou par mesure capacitive $C(V)$.

3.2.1 La mesure de mobilité par magnéto-résistance

La mesure au pont d'impédance de la résistance drain-source R_{ds} (à 100 MHz) en fonction de V_{gs} sans et avec l'application d'un champ magnétique B , permet de déduire la mobilité moyenne des porteurs selon la formule :

$$\mu_{moy}(V_{gs}) = \frac{1}{B} \sqrt{\frac{R_{ds}(B)}{R_{ds}(0)} - 1}$$

La mobilité moyenne caractérisant l'ensemble des électrons dans le canal.

Connaissant deux valeurs de R_{ds} pour des tensions V_{gs} proches, il est alors possible de déterminer la mobilité différentielle $\mu_{diff}(V_{gs})$. Celle-ci caractérise la mobilité des porteurs sous la grille [31].

3.2.2 La mesure C(V)

La quantité de charge libre $Q(V_{gs})$ sous la grille obéit (dans le cas du MESFET) à la loi de Shockley [32]:

$$Q(V_{gs}) = Q_0 \left(1 - \sqrt{\frac{-V_{gs} + V_b}{W_{00}}} \right)$$

avec : $Q_0 = q \cdot Z \cdot L_g \cdot a \cdot N_d$ et $W_{00} = V_p = \frac{q \cdot N_d \cdot a^2}{2\epsilon}$

En pratique, la caractéristique de la capacité C_g en fonction de V_{gs} est mesurée à l'aide d'un pont de mesure d'impédance.

Par intégration, nous déterminons la quantité de charge sous la grille Q . L'évolution de Q en fonction de $\sqrt{-V_{gs} + V_b}$ permet de déduire Q_0 et W_{00} .

L'exploitation de la valeur de W_{00} dans la caractéristique $R_{ds}(V_{gs})$ permet de déterminer correctement la valeur de $(R_s + R_d)$.

3.3 La Caractérisation hyperfréquence petit signal

La mesure des paramètres S_{ij} en régime petit signal permet de déterminer les performances fréquentielles du transistor. Il est également possible, à partir des paramètres S_{ij} , de déterminer le schéma électrique équivalent du transistor. Notons cependant que si le matériel dont dispose le laboratoire permet des mesures jusqu'à 110 GHz, les analyseurs de réseau avec lesquels le schéma équivalent est déterminé sont limités à 40 ou 50 GHz. Par conséquent, la plage de fréquence à utiliser pour la détermination du schéma équivalent ne dépasse pas 40 ou 50 GHz.

3.3.1 Les performances hyperfréquence

Les potentialités du composant se résument aux différents gains et à leurs fréquences de coupure respective.

3.3.1.1 Le gain maximum disponible MAG (Maximum Available Gain)

Le MAG correspond au maximum de transfert de puissance entre l'entrée et la sortie dans les conditions optimales d'adaptation en entrée et en sortie. Cette adaptation n'est réalisée simultanément que si le transistor est inconditionnellement stable.

Le MAG est défini par :

$$MAG = \frac{|S_{21}|}{|S_{12}|} \left(k \pm \sqrt{k^2 - 1} \right)$$

avec $k > 1$, k étant le coefficient de stabilité.

La fréquence de coupure du MAG : F_{mag} , est déterminée à partir de l'extrapolation de son évolution en fonction de la fréquence. Nous obtenons alors la fréquence maximale pour laquelle le transistor possède du gain en puissance.

3.3.1.2 Le gain stable maximum MSG (Maximum Stable Gain)

Le MSG correspond au gain maximum du transistor lorsqu'il est conditionnellement stable. Il est utilisé (lorsque le MAG n'est pas défini) comme critère d'évaluation des possibilités d'amplification du transistor.

Il est défini par :

$$MSG = \frac{|S_{21}|}{|S_{12}|}$$

3.3.1.3 Le gain unilatéral U : le gain de MASON

Le gain unilatéral est le gain à l'adaptation du transistor neutrodyné. Le paramètre S_{12} est dans ce cas, compensé par des circuits passifs sans pertes.

Le gain unilatéral est défini par :

$$U = \frac{1}{2} \frac{|S_{21} - S_{12}|^2}{k |S_{12} S_{21}| - \text{Re} |S_{12}^* S_{21}|}$$

Bien que ce gain ne présente aucun intérêt en caractérisation hyperfréquence, puisqu'il est purement hypothétique, il est utilisé pour déterminer par extrapolation de son évolution lorsqu'elle atteint -6 dB/octave, la fréquence F_{max} : la fréquence maximale d'oscillation du transistor.

3.3.1.4 Le gain en courant de court-circuit : H_{21}^2

Le gain en courant de court circuit extrinsèque est obtenu d'après la conversion des paramètres S_{ij} en paramètres H_{ij} selon la formulation :

$$|H_{21}|^2 = \left| \frac{-2S_{21}}{(1-S_{11})(1+S_{22})+S_{12}S_{21}} \right|^2$$

L'extrapolation de ce gain avec une pente de -6 dB/octave lorsque celui-ci varie en fonction de la fréquence, permet de déterminer la fréquence de coupure du gain en courant de court-circuit : F_t .

Remarque : Ces gains et leurs fréquences de coupure respectives peuvent être également déterminés d'après les éléments du schéma équivalent petit signal. Ces formulations seront définies dans la partie traitant du schéma équivalent, mais leurs valeur est moins précise en raison des approximations nécessaires.

3.3.2 Le schéma équivalent petit signal

La méthode utilisée au laboratoire que nous présentons dans cet ouvrage a été mise au point par G.DAMBRINE [33]. Pour déterminer le schéma équivalent du transistor (fig. 16), la méthode consiste, dans un premier temps à déterminer les éléments extrinsèques du composants et dans un deuxième temps, à déterminer les éléments intrinsèques. Enfin, à partir du schéma équivalent, il est possible de déterminer les performances du transistor.

3.3.2.1 Détermination des éléments extrinsèques

3.3.2.1.1 Détermination des éléments séries (R et L)

Pour déterminer les éléments d'accès série, il est nécessaire de court-circuiter en hyperfréquence, les accès du schéma intrinsèque. Pour cela, la réactance intrinsèque du transistor est court-circuitée par la mise en directe de la diode Schottky (résistance dynamique). Dans ce cas, $I_g > 0$ et $V_{ds} = 0V$.

Cette configuration laisse apparaître les effets selfiques, et il est possible à partir des paramètres S_{ij} de déterminer les inductances L_s , L_g et L_d et les résistances R_s , R_g et R_d .

3.3.2.1.2 Détermination des éléments parallèles (Capacité de plot)

Dans ce cas, il est nécessaire d'isoler les accès du schéma intrinsèque. Cette isolation se fait par désertion totale du canal en appliquant une tension sur la grille au delà du pincement ($V_{gs} < V_t$) et $V_{ds} = 0V$.

Le transistor se réduit alors à une association de capacités (fig. 17), la capacité C_b étant due à l'extension de la zone désertée dans le canal.

A l'aide des paramètres Y_{ij} , il est possible de déduire les capacités de plots de grille et de drain C_{pg} et C_{pd} .

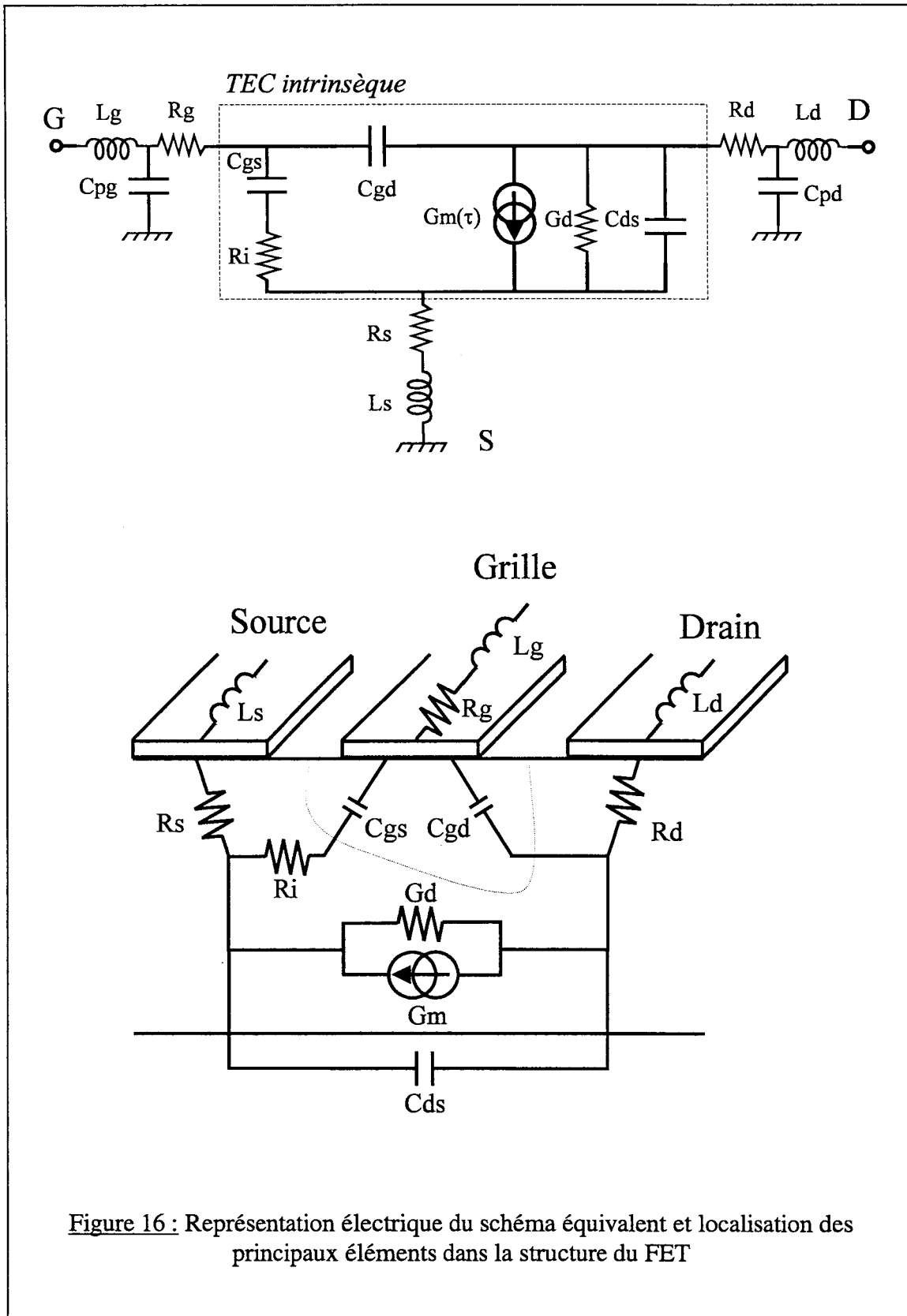
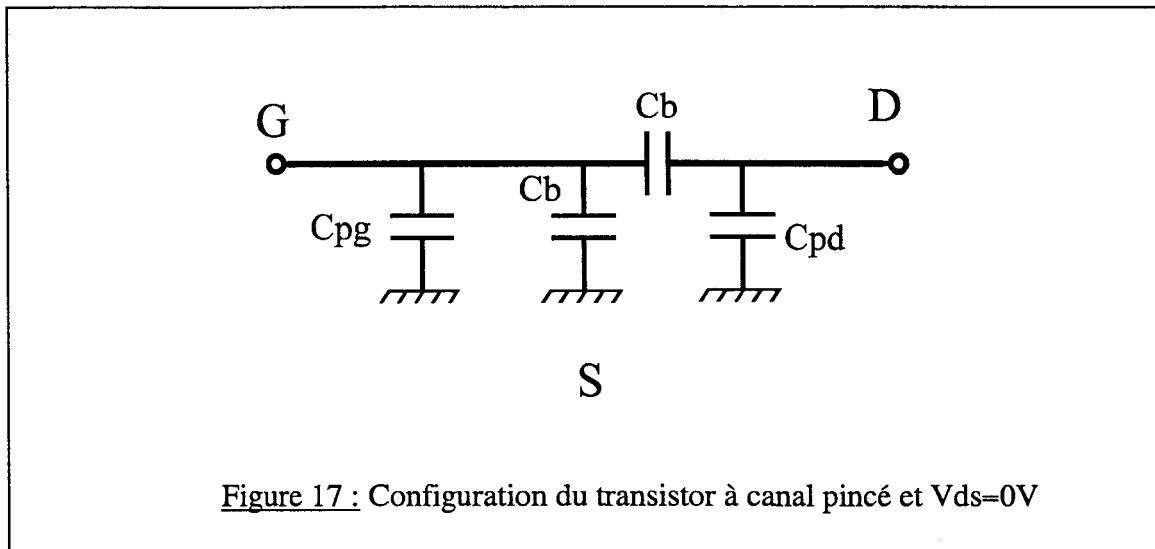


Figure 16 : Représentation électrique du schéma équivalent et localisation des principaux éléments dans la structure du FET



3.3.2.2 Détermination des éléments intrinsèques

La détermination des éléments d'accès est la première étape de détermination du schéma équivalent. Ensuite, les éléments intrinsèques sont déterminés à partir de la matrice admittance Y_{ij} intrinsèque extraite de la matrice de répartition S_{ij} selon la méthode décrite par la figure 18.

On calcule alors les valeurs des éléments en effectuant des moyennes sur la fréquence :

$$G_m = \sqrt{\left[1 + \left(\frac{\operatorname{Re}(Y_{11}) + \operatorname{Re}(Y_{12})}{\operatorname{Im}(Y_{11}) + \operatorname{Im}(Y_{12})}\right)^2\right] \left[\left(\operatorname{Re}(Y_{21}) - \operatorname{Re}(Y_{12})\right)^2 + \left(\operatorname{Im}(Y_{21}) - \operatorname{Im}(Y_{12})\right)^2\right]}$$

$$G_d = \operatorname{Re}(Y_{22}) + \operatorname{Re}(Y_{12})$$

$$C_{gs} = \frac{[\operatorname{Im}(Y_{11}) + \operatorname{Im}(Y_{12})] \left[1 + \left(\frac{\operatorname{Re}(Y_{11}) + \operatorname{Re}(Y_{12})}{\operatorname{Im}(Y_{11}) + \operatorname{Im}(Y_{12})}\right)^2\right]}{\omega}$$

$$C_{gd} = \frac{-\operatorname{Im}(Y_{12}) \left[1 + \left(\frac{\operatorname{Re}(Y_{12})}{\operatorname{Im}(Y_{12})}\right)^2\right]}{\omega}$$

$$C_{ds} = \frac{\operatorname{Im}(Y_{22}) + \operatorname{Im}(Y_{12})}{\omega}$$

$$R_{gd} = \frac{\operatorname{Re}(Y_{12})}{\operatorname{Im}(Y_{12}) \cdot C_{gd} \cdot \omega}$$

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$$

↓ S → Z

$$\begin{bmatrix} Z_{11}-j\omega L_g & Z_{12} \\ Z_{21} & Z_{22}-j\omega L_d \end{bmatrix}$$

↓ Z → Y

$$\begin{bmatrix} Y_{11}-j\omega C_{pg} & Y_{12} \\ Y_{21} & Y_{22}-j\omega C_{pd} \end{bmatrix}$$

↓ Y → Z

$$\begin{bmatrix} Z_{11}-R_g & Z_{12}-R_s \\ -R_s-j\omega L_s & -j\omega L_s \\ Z_{21}-R_s & Z_{22}-R_d \\ -j\omega L_s & -R_s-j\omega L_s \end{bmatrix}$$

↓ Z → Y

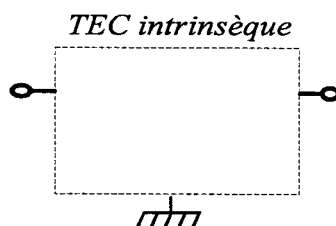
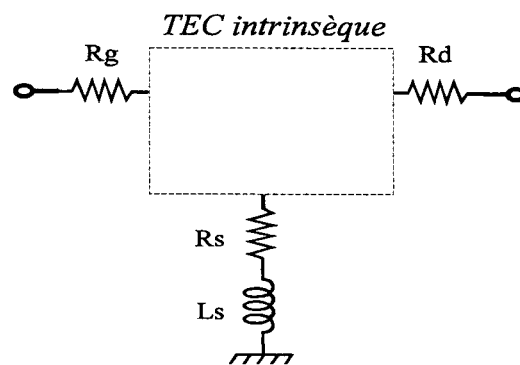
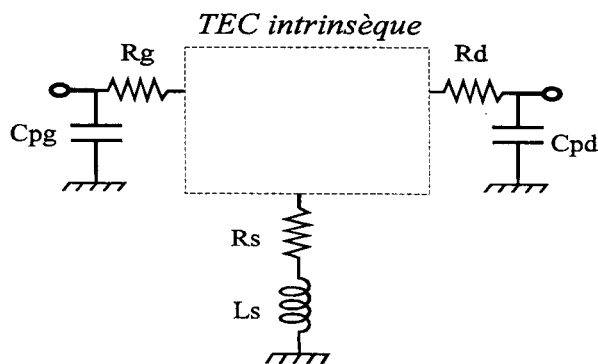
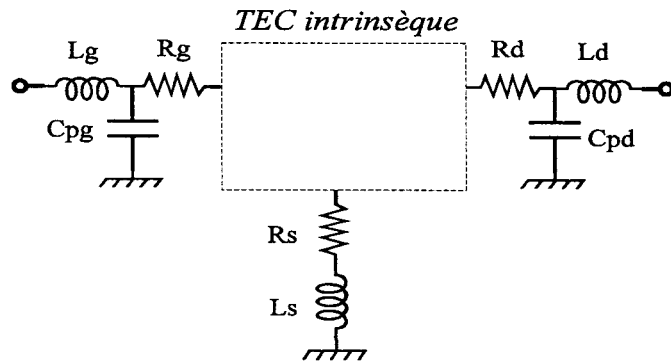


Figure 18 : Procédure d'extraction du schéma équivalent petit signal à partir des paramètres S_{ij}

$$Ri = \frac{\operatorname{Re}(Y11) + \operatorname{Re}(Y12)}{[\operatorname{Im}(Y11) + \operatorname{Im}(Y12)] Cgs \cdot \omega}$$

$$\tau = \operatorname{Arc} \tan \left[\frac{\Delta - Ri \cdot Cgs \cdot \omega}{1 + \Delta \cdot Ri \cdot Cgs \cdot \omega} \right] \cdot \frac{1}{\omega} \quad \text{avec} \quad \Delta = \operatorname{Im}(Y21) \operatorname{Im}(Y12) \left[1 + (Ri Cgs \omega)^2 \right]$$

3.3.3 Performances des transistors a partir du schéma équivalent

L'obtention du schéma équivalent permet de déduire les critères de qualité des composants. Ces critères sont liés aux fréquences maximales d'utilisation et sont définis comme suit :

La fréquence de coupure intrinsèque du gain en courant : Fc

$$Fc = \frac{Gm}{2\pi \cdot Cgs}$$

La fréquence de coupure du gain en puissance disponible : Fmag

$$Fmag = \frac{Fc}{\left[4Gd \left(Rd + \frac{\omega_c Ls}{2} \right) + 2\omega_c Cgd (Rs + Rg + \omega_c Ls) \right]^{1/2}}$$

La fréquence maximale d'oscillation : Fmax

$$F \max = \frac{Fc}{2 \left[RoGd + \omega_c RgCgd \right]^{1/2}}$$

avec $Ro = Rs + Rg + Ri$

Notons que d'autres critères de performances peuvent être directement obtenus à partir de la valeurs des éléments du schéma équivalent :

Le gain en courant de court-circuit H_{21}^2 intrinsèque [34] dont l'expression simplifiée s'écrit :

$$|H_{21}|_{int \, rin}^2 = \frac{Gm^2}{(Cgs + Cgd)^2 \omega^2}$$

Le gain maximum disponible MAG

L'expression complète du MAG en fonction des éléments du schéma équivalent du transistor [35] est complexe. Cependant, il est possible de la simplifier lorsque le coefficient de stabilité k dépasse 2. Nous obtenons alors l'expression :

$$MAG_{approché} = \left(\frac{Ft}{F} \right) \frac{1}{4 \cdot gd \cdot (Rs + Rg + \pi \cdot Ft \cdot Ls) + 4 \cdot \pi \cdot Ft \cdot Cgd (Rs + 2Rg + 2 \cdot \pi \cdot Ft \cdot Ls)}$$

$$\text{avec } Ft = \frac{Gm}{2 \cdot \pi \cdot (Cgs + Cgd)}$$

3.4 La caractérisation de puissance ou grand signal

Le fonctionnement des transistors en régime d'amplification de puissance est très différent du fonctionnement en régime petit signal. En effet, si en régime petit signal, le transistor peut être considéré comme un circuit linéaire, en régime grand signal (ou d'amplification de puissance), cette considération est exclue.

Aussi, après avoir été caractérisé en régime statique et en régime hyperfréquence petit signal, le maître mot, quant aux potentialités du transistor à fournir de la puissance, sera donné par la caractérisation grand signal.

Pour ce faire, un banc de mesure spécifique est nécessaire, et permet de déterminer trois grandeurs caractéristiques principales pour les transistors de puissance, à savoir : la puissance de sortie P_s , le gain en puissance G_p et le rendement en puissance ajoutée efficace η_{PAE} .

3.4.1 Description du banc de mesure

Notre laboratoire est pourvu d'un banc de mesure Load-Pull très performant [36][37], permettant la caractérisation en puissance dans la bande de fréquence de 26 à 40 GHz. Aussi, pour les applications visant un fonctionnement à 60 GHz, il nous a semblé utile de réaliser (en doublon avec les mesures 26-40 GHz) la caractérisation des transistors à la fréquence de fonctionnement souhaitée. Les mesures sur banc Load-Pull destinées à des caractérisations spécifiques seront utilisées afin d'analyser plus finement le comportement des transistors en fonctionnement grand signal [38].

Le banc de mesure à 60 GHz utilisé pour nos mesures est représenté à la figure 19. Il est constitué des éléments suivants :

- une source microonde à 60 GHz (constitué par un oscillateur Gunn) qui fournit le signal RF d'entrée au composant.
- un isolateur protégeant la source des ondes réfléchies par le transistor.
- un atténuateur permettant le réglage du niveau de signal RF incident.
- des appareils de mesure de puissance connectés au banc par coupleur permettant la mesure des puissances incidentes, réfléchies et transmises au composant.
- deux adaptateurs de type plan E/H permettant la correction des coefficients de réflexion des impédances présentées en entrée et en sortie afin d'assurer les adaptations.
- un système de pointes cascade permettant l'accès direct au transistor.

La caractérisation directe sous pointes donne alors l'avantage de rester en guide d'onde rectangulaire sur l'intégralité du banc, évitant ainsi les transitions guide/coaxial gênantes. De plus elle écarte les problèmes liés aux boîtiers puisqu'une étape d'étalonnage complexe est alors nécessaire afin de déterminer les pertes du boîtier et les pertes apportées par les bondings. En effet, cette étape d'étalonnage est nécessaire pour la mesure de chaque transistor

en boîtier, alors que la mesure sous pointes ne nécessite que d'une procédure d'étalonnage pour toute la campagne de mesure.

La méthode consiste alors à ajuster les adaptateurs plan E/H d'entrée et de sortie pour obtenir le minimum de puissance réfléchi et le maximum de puissance à la sortie du composant pour une puissance d'entrée donnée. Connaissant les pertes causées par les différents éléments du banc, il est possible de corriger partiellement les valeurs obtenues pour la puissance d'entrée P_e et de sortie P_s aux bornes du transistor. En appliquant cette méthode pour différents niveaux de signal en entrée, nous en déduisons la réponse du transistor en puissance $P_s(P_e)$ dont un exemple est donné figure 20. Nous pouvons alors déduire de cette caractéristique, la puissance de sortie maximale délivrable par le transistor.

3.4.2 Définition des gains

Dans une chaîne d'amplification (comme celle du banc de caractérisation de puissance), différentes puissances peuvent être définies aussi bien en entrée qu'en sortie. En entrée par exemple, nous pouvons considérer la puissance disponible à la source (P_{avs}) ou la puissance absorbée par le transistor en entrée (P_e). Il en résulte plusieurs définitions de gains. Dans ce travail, nous nous limiterons à ceux qui nous ont paru être les plus essentiels pour définir les potentialités des transistors en puissance.

3.4.2.1 Le gain en puissance G_p

Ce premier concept consiste à comparer la puissance absorbée P_s dans la charge vue par la sortie du transistor à la puissance absorbée par l'entrée P_e du transistor. Le gain en puissance est alors défini par le rapport entre P_s et P_e :

$$G_p = \frac{P_s}{P_e}$$

3.4.2.2 Le gain en transducteur G_T

Le gain en transducteur fait intervenir par définition, le rapport de la puissance absorbée P_s dans la charge vue par le transistor sur la puissance disponible de la source P_{avs} . Ce gain est défini par :

$$G_t = \frac{P_s}{P_{avs}}$$

La puissance disponible de source est la puissance maximale que celle-ci peut délivrer. Pour avoir le maximum de gain en transducteur, il faut assurer de manière optimale le transfert de puissance de la source à l'entrée du transistor et de la sortie du transistor à la charge.

Notons que l'adaptation simultanée entrée-sortie nécessite la stabilité inconditionnelle du transistor ($k > 1$). Nous obtenons dans ce cas le gain en transducteur maximum $G_{T_{max}}$. Celui-ci correspondant alors au gain maximum disponible, le MAG.

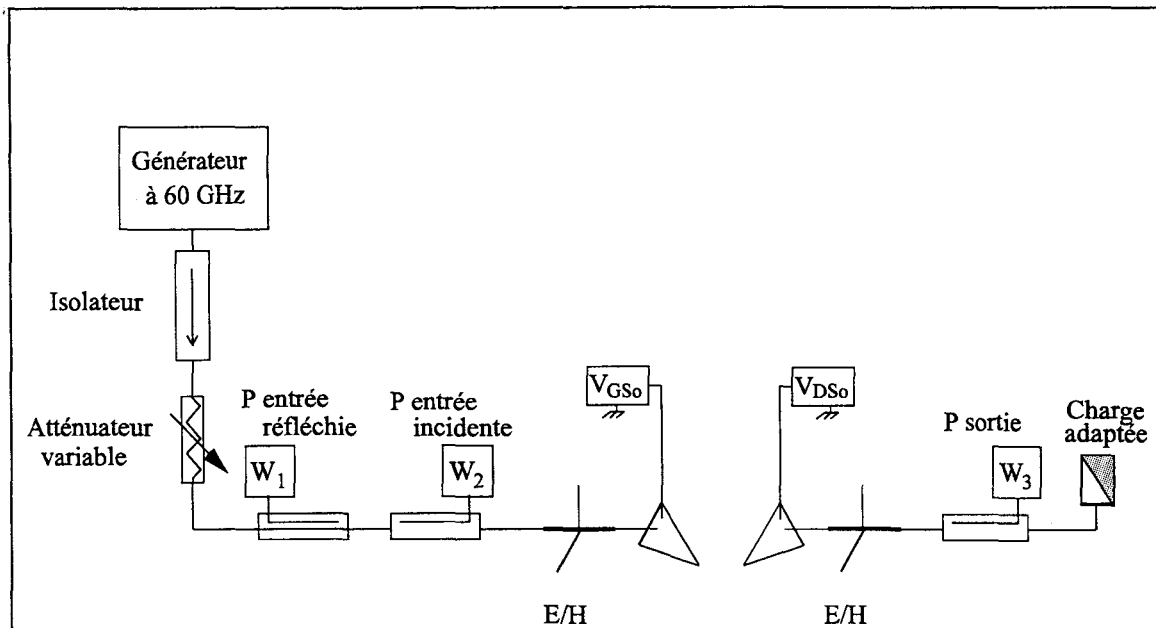


Figure 19 : Synoptique du banc de mesure de puissance à 60 GHz

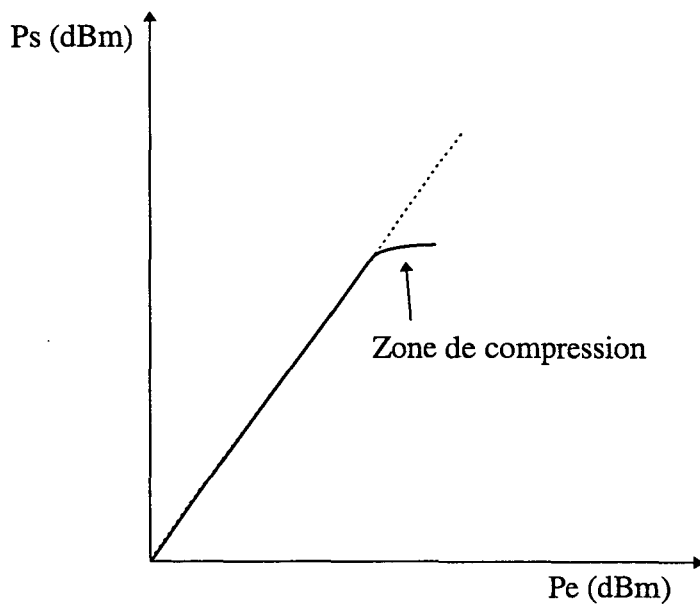


Figure 20 : Représentation schématique de la caractéristique $P_s(P_e)$ montrant le phénomène de compression

Notons également, que ces définitions sont basées sur l'hypothèse d'un fonctionnement en petit signal, et par conséquent ces gains caractérisent le fonctionnement linéaire du transistor. Ces gains restent constants tant que le niveau de puissance reste suffisamment faible. Au delà d'un certain niveau, les mécanismes de non linéarité se mettent à intervenir progressivement et entraînent l'apparition du phénomène de compression du gain (fig. 20).

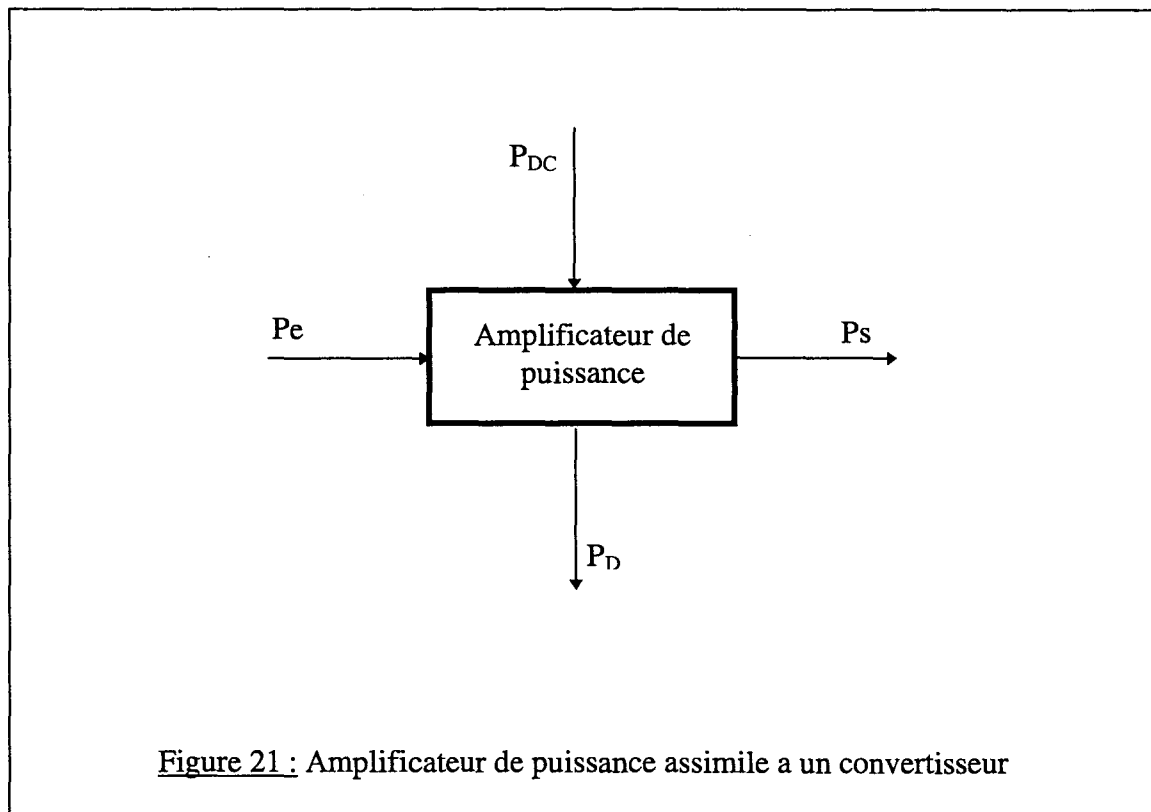
Dans ces conditions de non linéarité, les paramètres S_{ij} petit signal ne correspondent pas à la réalité car la génération de composantes aux fréquences harmoniques fait tomber l'hypothèse de base du formalisme des paramètres S_{ij} , à savoir le fonctionnement à la fréquence fondamentale.

3.4.3 Définitions des rendements

Comme dans le cas des définitions de gains, la multitude des puissances intervenant dans la chaîne d'amplification donne naissance à de multiples définitions de gains. Aussi, avant de procéder à l'inventaire de ces définitions, il apparaît judicieux de définir les puissances intervenant directement sur le transistor. L'amplificateur de puissance peut être considéré comme un convertisseur de puissance [39] (fig. 21).

Ce convertisseur fait alors intervenir quatre puissance :

- P_E : la puissance hyperfréquence absorbée par l'entrée
- P_{DC} : la puissance continue d'alimentation de l'amplificateur
- P_S : la puissance hyperfréquence absorbée par la charge
- P_D : la puissance dissipée thermiquement par l'amplificateur



Ce système étant à équilibré énergétiquement, le bilan de puissance s'écrit :

$$P_E + P_{DC} = P_S + P_D$$

Notons que les puissances P_E et P_S sont déterminées à l'aide d'appareils de mesure et que la puissance fournie par la source d'alimentation continue est définie (fig. 22) par :

$$P_{DC} = I_{D0} \cdot V_{DS0}$$

où I_{D0} et V_{DS0} sont les courants et tensions continues de celle-ci.

A l'aide du bilan de puissance, la détermination de la puissance dissipée thermiquement P_D devient implicite.

3.4.3.1 Le rendement drain η_D

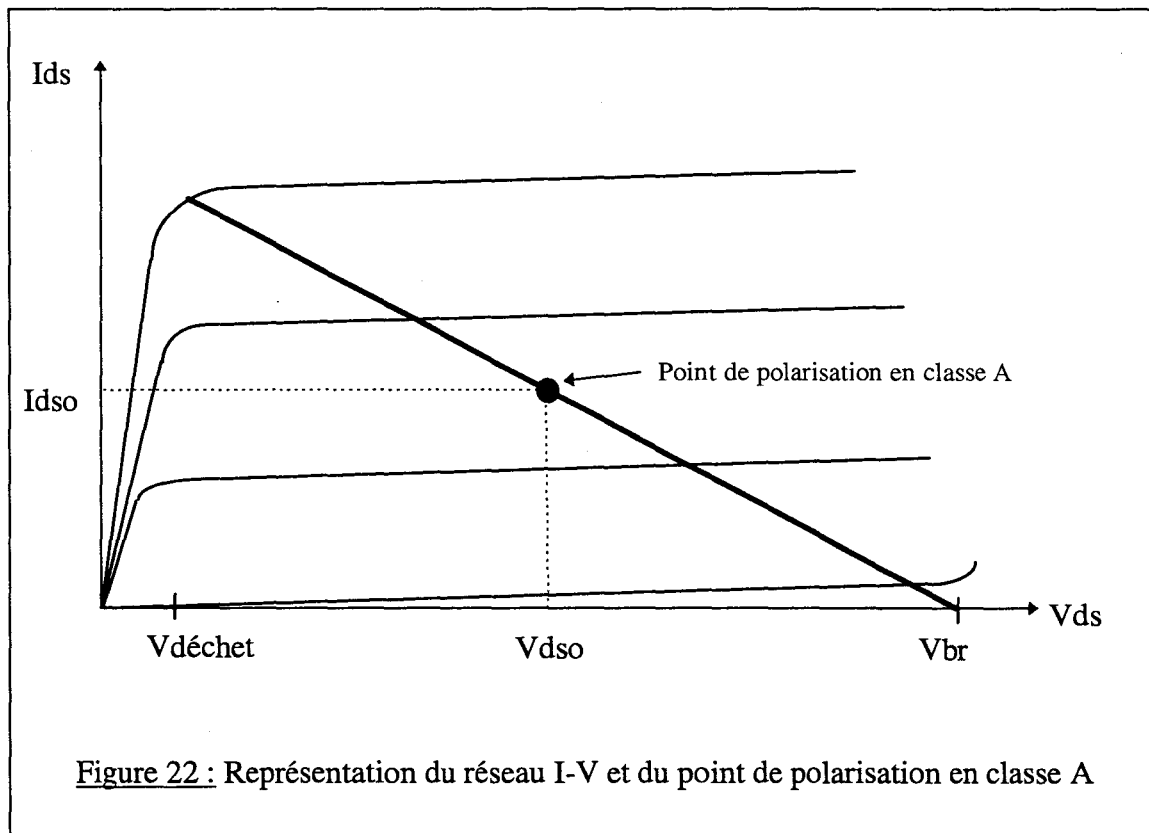
Ce rendement est défini comme étant le rapport entre la puissance P_S fournie à la charge vue par le transistor et la puissance continue d'alimentation P_{DC} :

$$\eta_D = \frac{P_S}{P_{DC}}$$

Dans le cas de l'amplification en classe A, le point de polarisation est placé au milieu de la droite de charge (fig. 22). La puissance de sortie maximale du transistor $P_{S_{max}}$ est alors :

$$P_{S_{max}} = \frac{1}{2} I_{DS0} \cdot (V_{DS0} - V_{déchet})$$

et par conséquent, le rendement drain maximum théorique est de 50%.



3.4.3.2 Le rendement en puissance ajoutée η_{PAE}

Le rendement en puissance ajoutée est défini par :

$$\eta_{PAE} = \frac{P_S - P_E}{P_{DC}} = 1 - \frac{P_D}{P_{DC}}$$

Avec la définition du gain $G_p = \frac{P_S}{P_E}$, nous obtenons :

$$\eta_{PAE} = \eta_D \left(1 - \frac{1}{G_p} \right)$$

Cette équation met en évidence la nécessité de l'utilisation optimale du réseau $I_D(V_{ds})$ afin d'obtenir les performances maximales en rendement. Elle montre également l'influence de la puissance dissipée sur ce même rendement.

4. Etat de l'art des TECs pour la puissance

Les progrès technologiques réalisés au cours des années 85 à 95 ont permis d'obtenir les meilleurs résultats mondiaux que nous connaissons actuellement. Aujourd'hui, ces résultats semblent figés étant donné les difficultés rencontrées pour repousser encore plus loin les limitations des composants. Mais, il est fort à parier que le développement des nouvelles filières donnera naissance à de nouveaux records.

4.1 Densité de puissance de sortie des TECs discrets

L'état de l'art des densités de puissance des FETs discrets en fonction de la fréquence est représentée figure 23.

De ce tableau, peuvent être tirés trois enseignements. Le premier est que la puissance de sortie des transistors semble être limitée à 1 W/mm de développement de grille (si l'on excepte le résultat de 1,45 W/mm obtenu par Allied Signal [40] qui n'a jamais été reproduit). Le deuxième enseignement tiré est qu'à partir de 40 GHz, la puissance de sortie (jusque là égale à 1 W/mm) diminue progressivement pour atteindre 0,5 W/mm à 100 GHz.

Enfin, le tableau confirme ce qui avait été énoncé dans la première partie de ce chapitre, à savoir que le MESFET a été relégué au second plan (même si pour des considérations économiques, il reste le favori des industriels) compte tenu des résultats obtenus par les PM-HEMT. Comme le montre l'état de l'art, ceux-ci supplantent toutes les autres structures de TEC et ceci quelle que soit la fréquence.

4.2 Rendement en puissance ajoutée des TECs discrets

En ce qui concerne l'état de l'art du rendement en puissance ajoutée (représenté fig. 24), nous pouvons observer qu'il est possible d'obtenir des valeurs supérieures à 50% jusqu'à 20 GHz. Le rendement diminue alors en fonction de la fréquence pour obtenir difficilement 15% à 94 GHz.

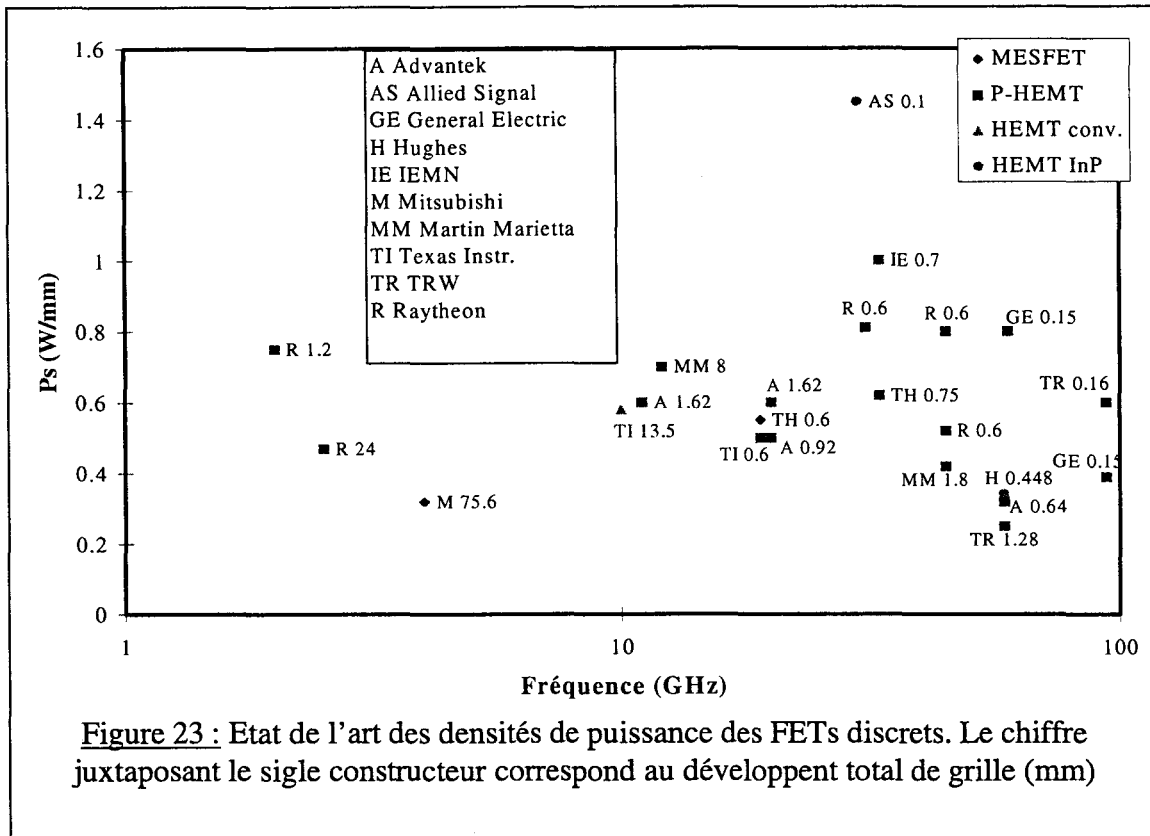


Figure 23 : Etat de l'art des densités de puissance des FETs discrets. Le chiffre juxtaposant le sigle constructeur correspond au développement total de grille (mm)

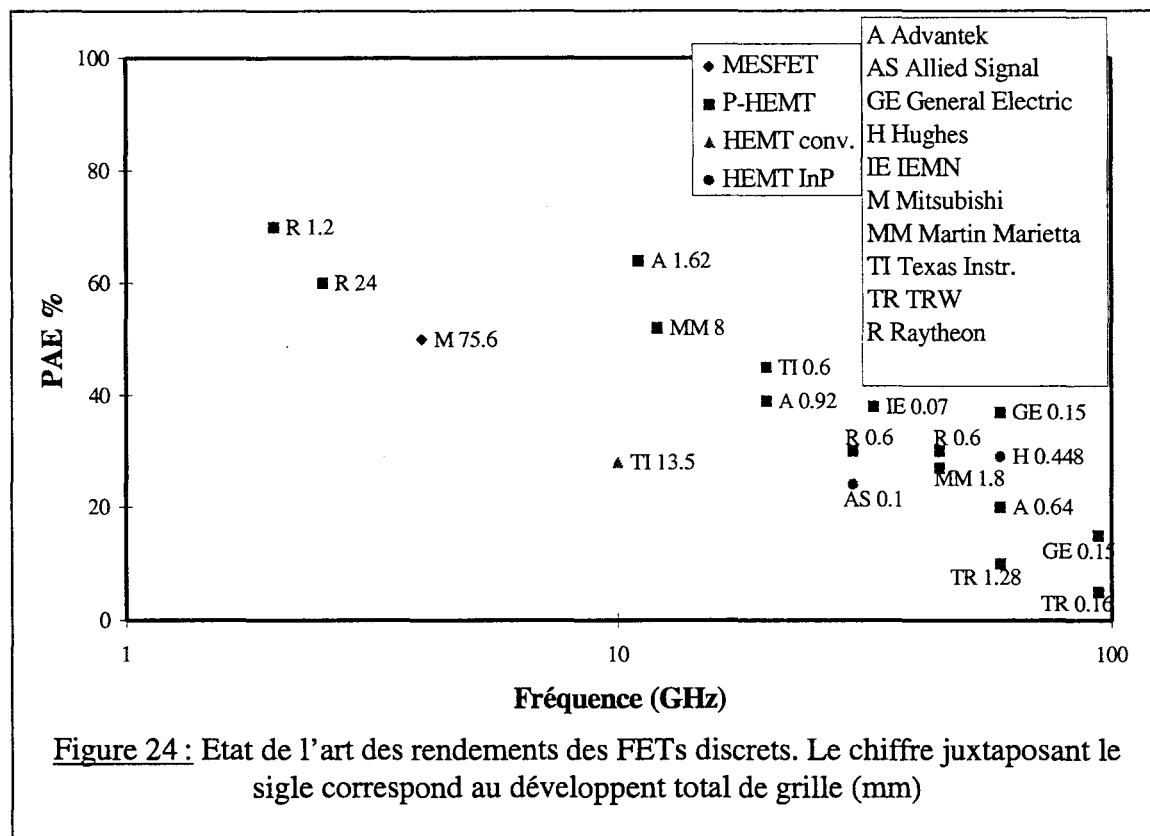


Figure 24 : Etat de l'art des rendements des FETs discrets. Le chiffre juxtaposant le sigle correspond au développement total de grille (mm)

Ces deux tendances montrent les problèmes, liés à la fois aux grands développements et à la montée en fréquence, pour la réalisation de transistors de puissance fonctionnant en gamme millimétrique.

Enfin, remarquons (comme dans le cas des puissances de sortie) que le PM-HEMT sur GaAs affiche nettement sa supériorité devant toutes les autres filières. Cependant, le résultat obtenu à 60 GHz sur InP [41] laisse penser que pour les applications de puissance aux fréquences supérieures à 40 GHz, le composant de choix sera issu de cette filière.

Conclusion

Par le biais de ce chapitre, nous venons de situer notre travail dans le domaine couvert par les transistors à effet de champ pour l'amplification de puissance en hyperfréquence.

Pour commencer, nous avons effectué un inventaire des différentes filières de transistor à effet de champ. La présentation suivant l'ordre chronologique de l'apparition de ces différentes filières nous a permis de présenter les améliorations apportées au fil des années et nous donne une idée précise sur les filières actuellement en phase d'étude.

Ensuite, toujours pour situer nos travaux, nous avons présenté les concurrents des transistors à effet de champ ainsi que les nouveaux matériaux dont pourraient émerger les filières futures.

Puis, nous avons effectué une présentation complète des différentes méthodes de caractérisation appliquées aux transistors. Celles-ci permettent de valider les réalisations technologiques et de les comparer, grâce à la détermination des performances en fréquence de ceux-ci. Nous avons également présenté la caractérisation grand signal spécifique aux transistors de puissance, ainsi que les différentes grandeurs utilisées pour définir les potentialités des transistors à travailler dans ce domaine.

Enfin, nous avons effectué un bilan des meilleures performances mondiales obtenues pour les transistors à effet de champ de puissance. Ce bilan nous servira de référence tout au long de notre travail.

Bibliographie

[1] W.SCHOKLEY

'A unipolar field effect transistor'
Proc. IRE, Vol. 40, Nov. 1952

[2] B.KIM et al.

'GaAs Power MESFET with 41-Percent Power-Added Efficiency at 35 GHz'
IEEE Electron Device Lett., Vol. 9, No. 2, Feb. 1988

[3] R.DINGLE et al.

'Electron mobility in modulation doped semiconductor heterojunction superlattices'
Appl. Phys. Lett., Vol. 33, pp. 665-668, Oct. 1978

[4] T.N.MORGAN

'Theory of the DX center in AlGaAs and GaAs crystals'
Phys. Rev. B, Vol. 34, pp. 2664-2669, 1986

[5] P.SAUNIER et al.

'High-Efficiency Millimeter-Wave GaAs/GaAlAs Power HEMT's'
IEEE Electron Device Lett., Vol. ED7, No. 9, Sep. 1986

[6] K.L.TAN et al.

'High Power V-Band Pseudomorphic InGaAs HEMT'
IEEE Electron Device Lett., Vol. 12, No. 5, May 1991

[7] M.Y.KAO et al.

'Very High Power-Added Efficiency and Low-Noise 0.15 μ m Gate-Length Pseudomorphic HEMT's'
IEEE Electron Device Lett., Vol. 10, No. 12, Dec. 1989

[8] G.W.WANG et al.

'A High-current Pseudomorphic AlGaAs/InGaAs Double Quantum-Well MODFET'
IEEE Electron Device Lett., Vol. 9, No. 1, Jan. 1988

[9] R.ALLAM et al.

'Subharmonic Gate Mixer Based on a Multichannel HEMT'
IEEE Microwave and Guided Wave Letters, Vol. 5, No. 4, Apr. 1995

[10] T.COUPEZ

'Etudes théoriques et expérimentales de transistors multipuits à effet de champ et à plan de dopage. Potentialités d'application à la multiplication de fréquence'
Thèse d'université, Lille, Septembre 1993

[11] M.MATLOUBIAN et al.

'V-band high efficiency high-power AlInAs/GaInAs/InP HEMT's'
IEEE Trans. on MTT, Vol. 41, No. 12, Dec. 1993

[12] L.D.NGUYEN

- '50-nm self-aligned-gate pseudomorphic AlInAs/GaInAs high electron mobility transistors'
IEEE Transactions on Electron Devices, Vol. 39, pp. 2007-2014, 1992
- [13] M.CHERTOUK
'Metamorphic InAlAs/InGaAs HEMTs on GaAs substrates with Composite Channel and 350 GHz Fmax with 160 GHz Ft'
Microwave and Optical Technology Lett., Vol. 11, No. 3, Feb. 1996
- [14] P.SAUNIER et al.
'An InP MISFET with a power density of 1.8 W/mm at 30 GHz'
IEEE Electron Device Lett., Vol. 11, No. 1, Jan. 1990
- [15] B.KIM et al.
'Microwave Power GaAs MISFET's with Undoped AlGaAs as an Insulator'
IEEE Electron Device Lett., Vol. 5, No. 11, Nov. 1984
- [16] B.KIM et al.
'Millimeter-Wave AlGaAs/InGaAs/GaAs Quantum Well Power MISFET'
IEDM, 1988, pp. 168-171
- [17] M.FATHIMULLA et al.
'Heterojunction InAlAs/InP MESFET's Grown by OMVPE'
IEEE Electron Device Lett., Vol. 9, No. 5, May 1988
- [18] Thomson, Daimler-Benz
'Proposal for microwave power transistors'
Programme Européen IEPG TA1/RFP8
- [19] S.I.LONG et al.
'A comparison of the GaAs MESFET and the AlGaAs/GaAs heterojunction bipolar transistor for power microwave amplification'
IEEE Transactions on Electron Devices, Vol. 36, No. 7, Jul. 1989
- [20] K.M.LIPKA et al.
'Low Temperature Grown GaAs Lossy Dielectric Heterostructure FET'
IEEE Cornell Conference, NY USA, 7-9 August 1995
- [21] L.W.YIN et al.
'Temperature Investigation of the Gate Drain Diode of Power GaAs MESFET with Low Temperature Grown Al(GaAs) Passivation'
IEEE Electronics Letters, Vol. 29, n°7, Aug. 1993
- [22] C.L.CHEN
'High Power Density GaAs MISFET's with a Low Temperature Grown Epitaxial Layer as the Insulator'
IEEE Electron Device Lett., Vol. 12, No. 6, Jun. 1991
- [23] M.RUFF
'SiC devices : physics and numerical simulation'

IEEE Transactions on Electron Devices, Vol. 41, No. 6, Jun. 1994

[24] J.W.PALMOUR

'Field effect transistors in 6H-silicon carbide'

Actes International Semiconductor Device Research Symposium, p. 491, 1991

[25] G.B.GAO et al.

'High frequency performance of SiC heterojunction bipolar transistors'

IEEE Transactions on Electron Devices, Vol. 41, No. 7, Jul. 1994

[26] M.ASIF KHAN et al.

'0.12 μ m Gate III-V Nitride HFET's with High Contact Resistances'

IEEE Electron Device Lett., Vol. 18, No. 4, p. 141, April 1997

[27] L.RULLIER

'Contribution à la modélisation non linéaire de HEMTs de puissance. Application à l'amplification classe B en bande Ka'

Thèse d'Université, Lille, Juin 1997

[28] K.HIKOSAKA et al.

'Microwave Power Double Heterojunction HEMT's'

IEEE Transactions on Electron Devices, Vol. 33, No. 5, Jul. 1986

[29] M.EIZENBERG et al.

'Barrier Heights and Electrical Properties of Intimate Metal-AlGaAs Junctions'

J. Appl. Phys., Vol. 61, No. 4, Feb. 1987

[30] C.R.CROWELL et al.

'Normalized Thermoionic Field Emission in Metal-Semiconductor Barriers'

Solid State Electron, Vol. 32, n° 12, pp.89-105, 1989

[31] J.R.SITES et al.

'Magnetoresistance Mobility Profiling of MESFET Channels'

IEEE Transactions on Electron Devices, Vol. 27, No. 12, Jul. 1980

[32] J.P.HARRANG et al.

'Charge Control and Geometric Magnetoresistance of a Gated AlGaAs/GaAs Heterojunction Transistor'

J. Appl. Phys., Vol. 58, No. 11, Dec. 1985

[33] G.DAMBRINE

'Caractérisation des transistors à effet de champ. Mesure précise de la matrice de répartition et détermination directe du schéma équivalent'

Thèse de doctorat, Lille, 1989

[34] P.J.TASKER et al.

'Importance of source and drain resistance to the maximum Ft of millimeter wave MODFETs'

IEEE Electron Device Lett., Vol. 10, No. 7, July. 1989

- [35] M.FUKUTA et al.
'GaAs microwave power FET'
IEEE Transactions on Electron Devices, Vol. 23, No. 4, Jul. 1976
- [36] A.AMOR
'Caractérisation en petit signal, en puissance et en impédance des transistors à effet de champ millimétriques. Etude et réalisation d'un banc 'Load-Pull à charge active' 26.5-40 GHz'
Thèse d'Université, Lille, Septembre 1991
- [37] C.GAQUIERE
'Analyse et optimisation de transistors à effet de champ à hétérojonction pour l'amplification de puissance dans la bande Ka'
Thèse d'Université, Lille, Novembre 1995
- [38] E.BOURCIER
Thèse à paraître, Lille.
- [39] R.SOARES et al.
'Application des transistors à effet de champ en Arséniure de Gallium'
Collection technique et scientifique des télécommunications. Edition EYROLLES
- [41] O.AINA et al.
'A 1.45 W/mm, 30GHz InP-channel power HEMT'
IEEE Electron Device Lett., Vol. 13, No. 5, May. 1992
- [42] M.MATLOUBIAN et al.
'High power V-band AlInAs/GaInAs on InP HEMT's'
IEEE Electron Device Lett., Vol. 14, No. 4, May. 1993

Chapitre 2

Introduction

Les transistors sont composés de trois électrodes et peuvent être réalisés par une succession de gravures, de dépôts métalliques et de recuits. Concernant les étapes de gravure et de métallisation, il est nécessaire de définir les zones pour lesquelles les gravures ou les métallisations seront nécessaires. Cette définition se fait par lithographie optique ou électronique. Notre laboratoire disposant d'un nano-masqueur électronique et d'un aligneur optique, nous avons choisi de définir les opérations nécessitant une précision inférieure au micron par lithographie électronique, les autres opérations étant définies par lithographie optique.

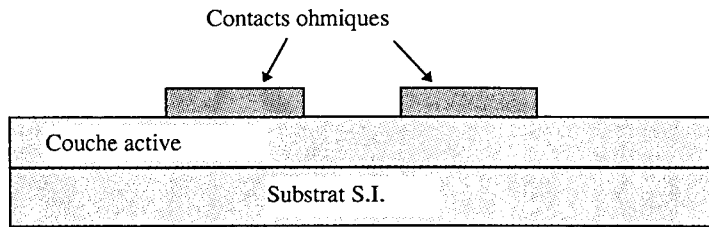
Ainsi, nous avons choisi de commencer la réalisation de transistors (fig. 1) par le dépôt des contacts ohmiques. Ensuite, après l'isolation et le creusement du fossé de grille, le dépôt de grille est effectué. Enfin, les plots d'épaissement sont déposés. Ces quatre opérations standard sont réalisées pour des transistors à faible développement de grille (une ou deux grilles). Notre étude concernant les TECs à grand développement de grille (excepté les transistors utilisés pour mettre au point certaines étapes technologiques), il nous a fallu utiliser des étapes technologiques spécifiques.

Si les différentes étapes technologiques décrites ci-dessus sont plus ou moins couramment utilisées, nous décrivons dans les deux premières parties de ce chapitre, les quelques possibilités qui nous sont offertes pour effectuer ces étapes ainsi que l'optimisation de certaines étapes nécessaires à l'amélioration des performances des transistors.

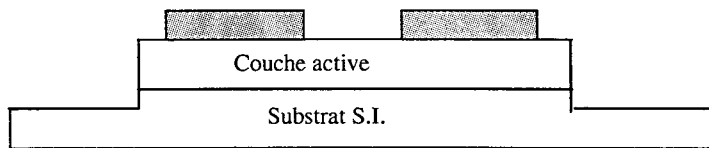
Dans la troisième partie de ce chapitre, nous décrivons le technologie de la filière GaAs que nous utilisons au laboratoire, ainsi que quelques éléments technologiques permettant d'améliorer les performances des transistors.

Enfin, dans la quatrième partie, nous décrivons la mise au point de chaque étapes technologiques qui nous ont été nécessaires pour développer les filières InP et métamorphique.

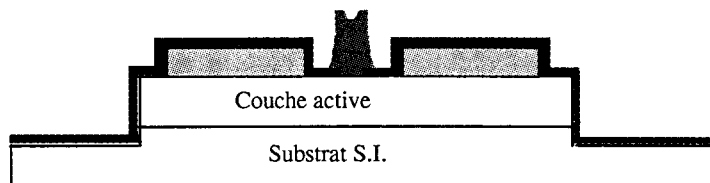
Dépôt de contacts ohmiques



Isolation par gravure chimique



Dépôt de grille par la technologie 'nitrure'



Dépôt de la couche d'épaissement

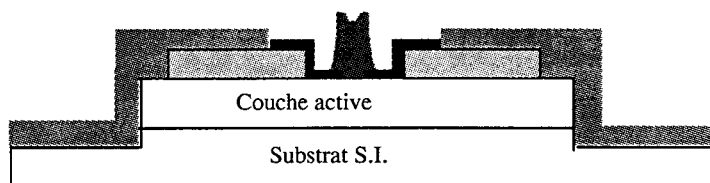


Figure 1 : Description des étapes nécessaires à la réalisation d'un transistor élémentaire

1. Les étapes générales

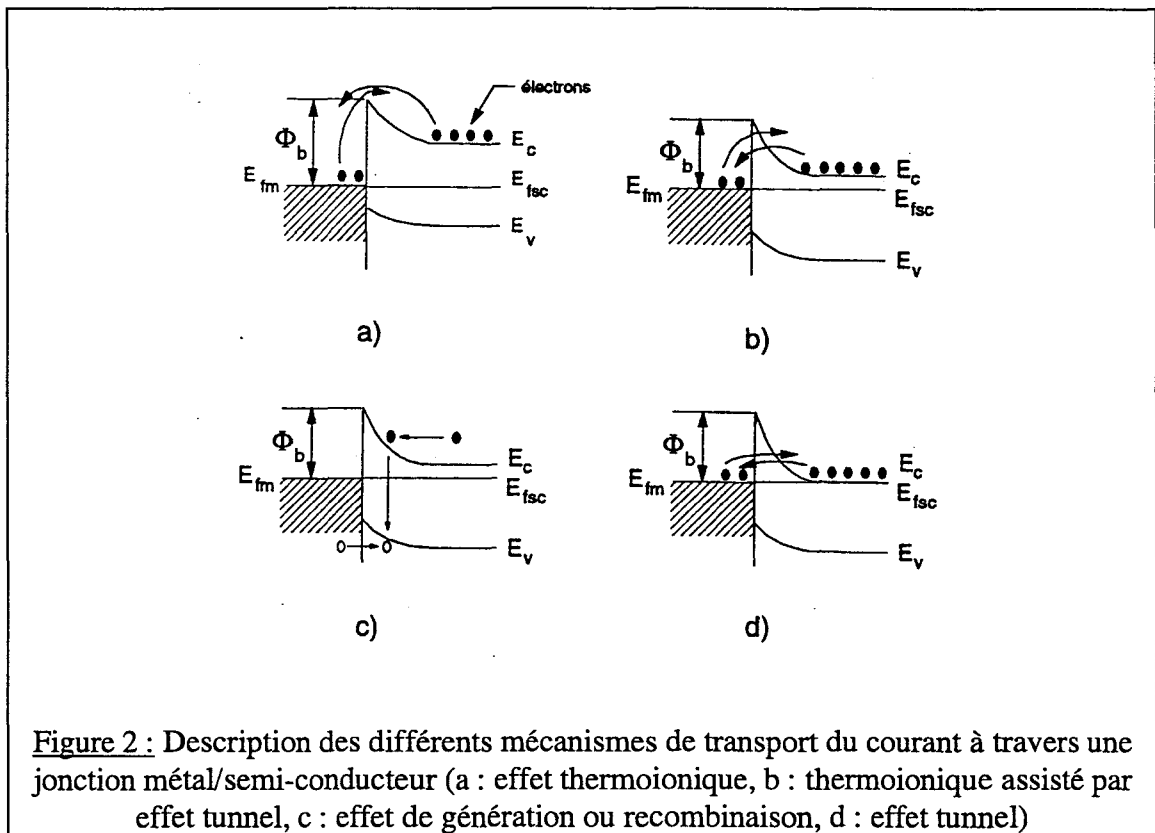
Ce paragraphe a pour but de présenter quelques possibilités offertes pour chaque étape technologique.

1.1 Les contacts ohmiques

Les contacts ohmiques qui sont utilisés pour les contacts de source et de drain sont définis par lithographie. Dans notre étude, la distance séparant les contacts varie de 1,3 à 2 μm selon le type de transistor réalisé (essai technologique ou réalisation). Par conséquent, la lithographie utilisée est de type électronique. Après exposition par masquage électronique, puis révélation, les contacts ohmiques sont réalisés par dépôt par évaporation de différents métaux et d'un dopant. Enfin, un recuit est effectué afin de former le contact. Généralement, le dopant utilisé est le germanium. Celui-ci diffuse à travers le semi-conducteur lors du recuit et assure la qualité du contact.

Un contact ohmique est défini comme un contact métal/semi-conducteur de très faible résistance. Le contact est considéré ohmique lorsque le courant circulant à travers la jonction est proportionnel à la tension appliquée à ses bornes.

On comptabilise quatre processus (fig. 2) assurant le transport du courant à travers la jonction métal/semi-conducteur [1] :



- l'effet thermoionique (fig. 2.a) qui est prédominant dans le cas où le semi-conducteur est faiblement dopé et se résume par le passage des porteurs majoritaires

par excitation au dessus de la barrière. Si la hauteur de barrière métal/semi-conducteur est faible, les électrons peuvent passer [2].

- l'effet thermoionique assisté par effet tunnel (fig. 2.b) qui résulte de la combinaison des deux effets précédemment décrits et qui concerne les semi-conducteurs à dopages moyens ($10^{17} < n < 10^{18} \text{ cm}^{-3}$). Dans ce cas, les porteurs passent par effet tunnel près du sommet de la barrière.
- l'effet de génération ou la recombinaison des porteurs dans la zone de charge d'espace (fig. 2.c) qui résulte de la recombinaison des paires électrons-trous au travers de la bande interdite [3].
- l'effet tunnel (fig. 2.d) qui est prédominant dans le cas où le semi-conducteur est fortement dopé. Dans ce cas, le semi-conducteur présente une barrière très étroite et les électrons peuvent franchir la barrière à sa base [4].

En utilisant ces mécanismes de transport du courant, il est possible de diminuer les résistances de contacts. La méthode employée est celle qui consiste à utiliser un semi-conducteur fortement dopé pour obtenir une zone désertée du semi-conducteur très fine, afin de laisser passer les électrons par effet tunnel. Pour faciliter le passage par effet tunnel, nous utilisons la technique de l'alliage. Cet alliage composé de différents métaux (or, nickel, titane..) et de germanium est recuit. Lors du refroidissement, le film métallique s'allie au semi-conducteur dans une zone très fortement dopée.

1.2 L'isolation

L'isolation de chaque composant est nécessaire afin de délimiter la zone de fonctionnement du transistor. Cette isolation peut être effectuée par attaque chimique de la zone active (mesa) ou par implantation ionique autour du composant (fig. 3). Bien que nous possédons un implanteur dans notre laboratoire, nous n'avons pas utilisé cette technique plus lourde à mettre en oeuvre comparée à la gravure chimique.

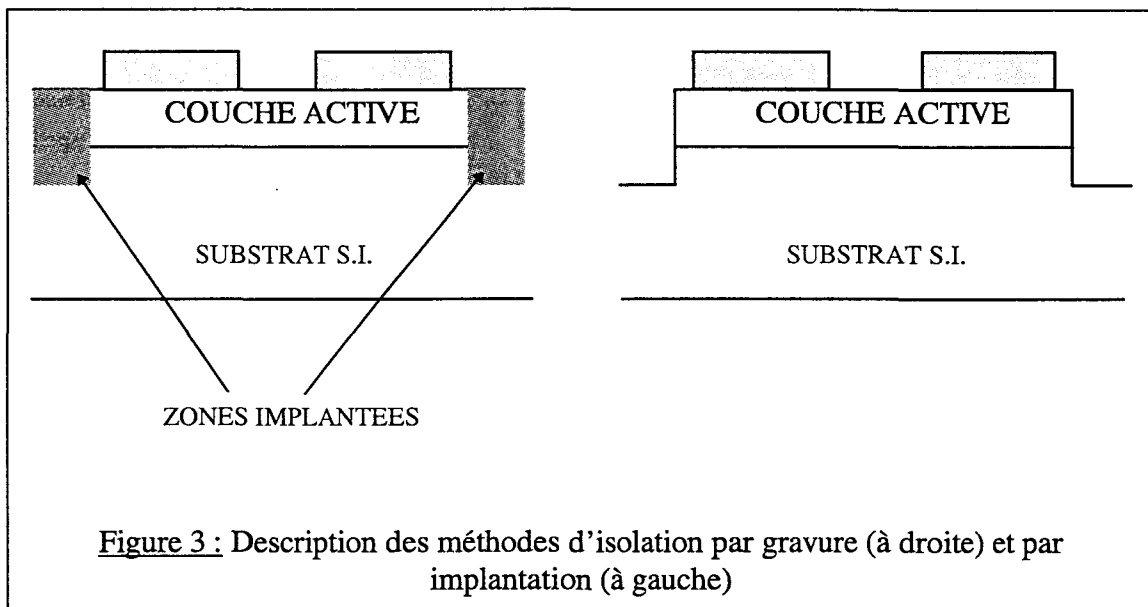


Figure 3 : Description des méthodes d'isolation par gravure (à droite) et par implantation (à gauche)

En effet, l'implantation nécessite un ajustement des différents paramètres qui lui sont propres (dose, matériaux à implanter...). Une grande partie de notre travail consistant à définir

la structure optimale d'épitaxies, une étude d'implantation aurait été nécessaire avant chaque réalisation. De plus, la réalisation de TECs sur des structures à hétérojonctions avec plans de dopage ne nécessite pas une profondeur de gravure importante et par conséquent, pose peu de problèmes relatifs aux dénivelés. Cette étape ne nécessitant pas de définition inférieure au micron, le mesa est défini par lithographie optique.

1.3 Le fossé de grille

L'utilisation d'une couche dopée pour obtenir des contacts ohmiques de bonne qualité requiert une gravure de celle-ci avant le dépôt de grille. Cette opération concerne une très faible dimension (inférieure au micron) entre les contacts ohmiques afin d'assurer une bonne montée en fréquence; il est donc nécessaire d'utiliser la lithographie électronique pour réaliser l'ouverture du fossé de grille. Cette gravure peut se faire par voie humide ou par voie sèche (attaque plasma). Les deux techniques possèdent des avantages et des inconvénients. Ceux ci sont répertoriés sur le tableau 1.

Procédé de gravure	Avantages	Inconvénients
Plasma	<ul style="list-style-type: none"> ■ sélectivité possible permettant une sous-gravure ■ homogénéité sur une plaque et vitesse lente intéressante dans le cas d'une gravure non sélective 	<ul style="list-style-type: none"> ■ long à mettre en œuvre ■ problème de reproductibilité ■ possibilité de contamination du semi-conducteur
Chimique	<ul style="list-style-type: none"> ■ rapide à mettre en oeuvre ■ sélectivité possible permettant une sous-gravure 	<ul style="list-style-type: none"> ■ moins de fiabilité dans le cas de gravure non sélective ■ manque d'homogénéité (phénomène amplifié dans le cas de solution très diluée)

Tableau 1 : Comparaison des deux procédés de gravure pour l'étape du fossé de grille

Notons que notre étude concerne les applications de puissance et par conséquent, nécessite une bonne tenue en tension. Cette dernière étant liée à la configuration du fossé de grille. Il paraît intéressant de pouvoir disposer de gravure sélective (plasma ou chimique) dans le but de simplifier l'étape du fossé de grille. Dans le cas de gravure non sélective (donc sans sous-gravure), il peut être intéressant d'effectuer un double fossé de grille. Ces différentes techniques seront décrites et utilisées dans les parties suivantes de ce chapitre.

1.4 Le dépôt de grille

La grille constitue la troisième électrode du transistor. Celle-ci a pour but de créer une zone désertée sous elle et par conséquent de moduler le courant drain source.

Or, la montée en fréquence impose de diminuer la longueur de grille. De ce fait la résistance métallique augmente considérablement dans le cas de grilles en I. La résistance de

grille ayant un effet néfaste sur les performances du transistor, il faudra préférer une technologie de grille en Té pour les composants devant fonctionner en gamme millimétrique.

La lithographie utilisée est du type électronique. Dans le cas des grilles en Té utilisant un masque de nitrure (fig. 1), il faut définir le Té de grille avant de métalliser. L'intérêt de ce procédé réside dans le fait que le nitrure définit le pied de grille. La deuxième exposition consistant à définir le chapeau de grille n'a pas d'impact sur la dimension du pied préalablement défini. Cette technique est utilisée depuis de nombreuses années dans notre laboratoire.

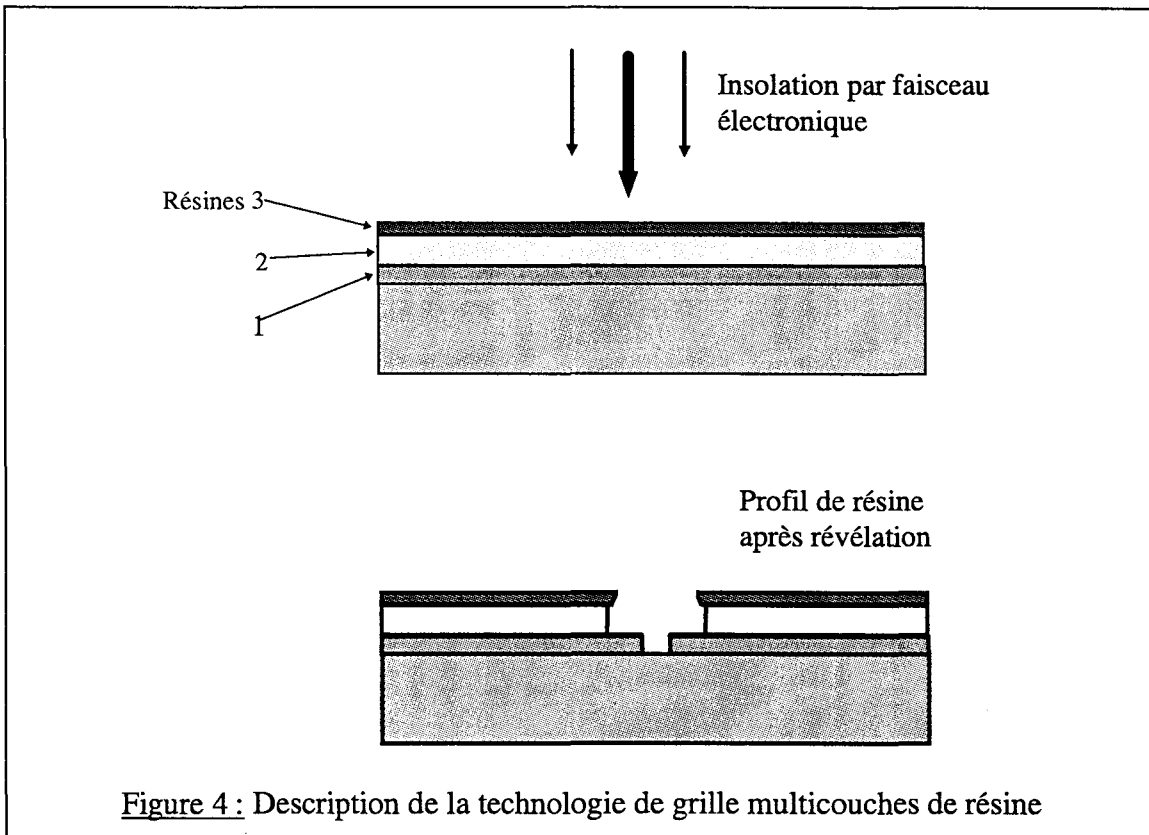


Figure 4 : Description de la technologie de grille multicouches de résine

Pour les grilles en Té sans nitrure, il est nécessaire d'utiliser un procédé multicouches qui consiste en un dépôt successif de résines électroniques de sensibilités différentes. Trois expositions sont alors nécessaires pour définir la grille (fig. 4).

Une première exposition définit le pied de grille. Deux autres expositions d'intensité moins importante sont effectuées de chaque côté de la première pour définir le chapeau de grille.

Notons que pour les applications de puissance, la qualité de la diode Schottky en terme de tenue en tension est une des principales caractéristiques du composant. Elle dépend du matériau semi-conducteur sur lequel elle est déposée. L'utilisation d'un semi-conducteur à large bande interdite assure un courant de fuite faible à haute tension.

1.5 Les plots d'épaissement

Afin de relier les plots de source et de drain du transistor à 2 doigts ou plus et, d'en faire un motif directement accessible par les pointes 'hyperfréquences' pour le caractériser sur

tranche, il est nécessaire de réaliser un niveau de métallisation supplémentaire appelé épaisseur. Ceux-ci consistent en une métallisation de 1000 Å de Titane (Ti) et 4000 Å d'or (Au). Une précision de 1 µm sur les dimensions étant amplement suffisante, le niveau d'épaissement est défini par lithographie optique.

2. Les étapes spécifiques aux grands développements

Les applications de puissance nécessitent l'utilisation de transistor à grand développement de grille. Pour cela il est possible d'augmenter la largeur de grille, mais apparaît alors une limitation fréquentielle d'utilisation des composants (dû à la longueur d'onde et la résistance métallique de la grille).

Par conséquent, pour augmenter le développement total de grille, il est nécessaire d'en augmenter le nombre. Se trouvent alors un grand nombre d'accès de grille, de drain et de source qu'il faut relier entre eux. Le moyen le plus simple est d'utiliser une technologie planaire consistant à relier les plots à l'aide d'une ligne. Mais dans ce cas, reste une famille de plots qu'on ne peut relier par ligne. La solution consiste à utiliser un pont de métal (pont à air) liant des électrodes en 'sautant' par dessus d'autres. Si l'interconnexion par ponts pour les plots de source ou de drain est facile à mettre en oeuvre, les faibles dimensions des accès de grille laisse apparaître une très grande difficulté d'utiliser cette technique pour relier ceux-ci, sauf si les connexions se font en dehors de l'espace source-drain.

Différentes configurations sont possibles. Nous avons choisi de relier les différents plots de source par ponts à air. Les plots de drain et de grille seront reliés de façon coplanaire (fig. 5).

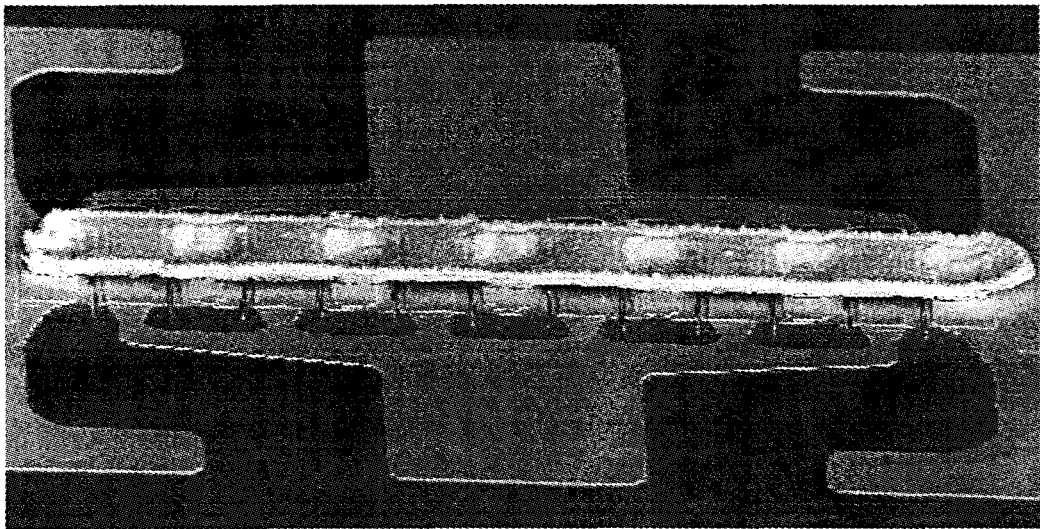


Figure 5 : Exemple de transistor à grand développement de grille utilisant un pont à air

Une autre technologie utilisable, est la technologie micro-ruban. Elle consiste à réaliser le contact de masse par la face arrière via des trous métallisés débouchant sous les plots. Cette technologie est très délicate à mettre en oeuvre car elle nécessite l'amincissement du substrat en vue d'obtenir une épaisseur finale de l'ordre de 50 à 100 μ m. Cet amincissement rend le substrat très fragile et donc difficilement manipulable. Cependant, l'amincissement et la métallisation en face arrière favorise la dissipation thermique (importante dans les transistors dédiés aux applications de puissance) lors du fonctionnement du composant.

2.1 Les ponts à air

2.1.1 La technologie

Nous avons mis au point deux techniques de réalisation [5]. La première dite par évaporation, la seconde dite par électrolyse. La réalisation des ponts à air se fait en deux étapes.

La première étape consiste à définir les piliers par lithographie optique, la seconde étape consiste à définir les tabliers (toujours par lithographie optique) après avoir déposé un film métallique de titane (Ti) pour le procédé par évaporation et titane et or (Ti et Au) pour le procédé par électrolyse. Il reste ensuite à réaliser la métallisation des ponts par évaporation ou par électrolyse et le lift-off (fig. 6).

Le film métallique intermédiaire déposé a pour fonction de séparer optiquement les deux résines lors de la définition des tabliers dans le cas des deux techniques et d'assurer la conduction électrique dans le cas de la technique par électrolyse. Cependant, pour mener à bien cette étape technologique, il a fallu résoudre quelques problèmes, le premier étant lié à la définition des tabliers. Lors du recuit de la deuxième résine, le film métallique précédemment déposé se froissait et par conséquent, rendait difficile l'étape d'alignement des tabliers et était susceptible de créer des courts-circuits entre la métallisation des ponts et les plots de drain et/ou de grille (fig. 7).

Pour remédier à ce problème, il est nécessaire de recuire la résine à basse température (environ 60°C).

Le deuxième problème rencontré est apparu durant l'étape de lift-off. En effet, dans le cas des deux techniques, en réalisant un lift-off classique, le film métallique intermédiaire était solidaire du pont et ne se détachait pas correctement. Il produisait des lichettes et par conséquent était susceptible de provoquer des courts-circuits avec les électrodes de grille ou de drain. Pour s'affranchir de ce problème, il est nécessaire de réaliser une attaque chimique de ce film. Cette attaque a lieu avant la métallisation dans le cas de la technique par évaporation; lorsque la métallisation est déposée, le lift-off se fait dans l'acétone. Dans le cas de la technique par électrolyse, le film assure la conductivité électrique; par conséquent, il est nécessaire de réaliser le dépôt, puis successivement dissoudre la seconde résine dans l'acétone, réaliser l'attaque chimique du film métallique et de dissoudre la première résine dans l'acétone.

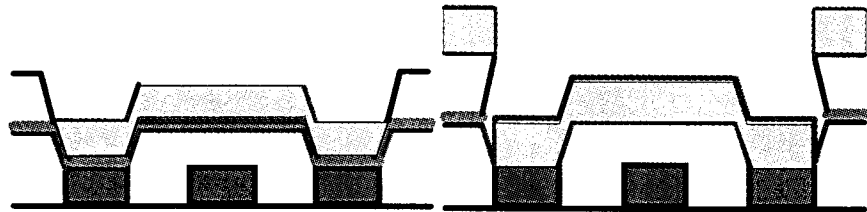
Enfin, une résine épaisse peut être utilisée pour définir les piliers afin d'augmenter la hauteur des ponts. La résine utilisée pour définir les tabliers rebouche alors complètement les trous de piliers (fig. 8) et par conséquent, il est nécessaire de surexposer la résine lors de cette étape.

ELECTROLYSE / EVAPORATION

Définition des piliers et
dépôt du film métallique

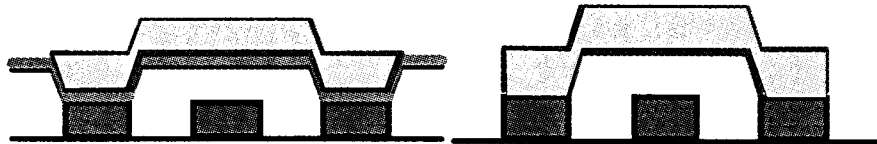


Définition des tabliers
et métallisation



"Lift-off"

Acétone



Attaque Chimique
+ acétone

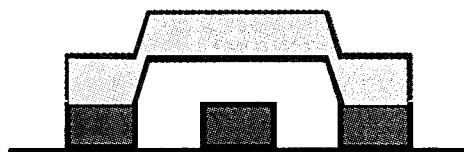


Figure 6 : Technologie des ponts à air

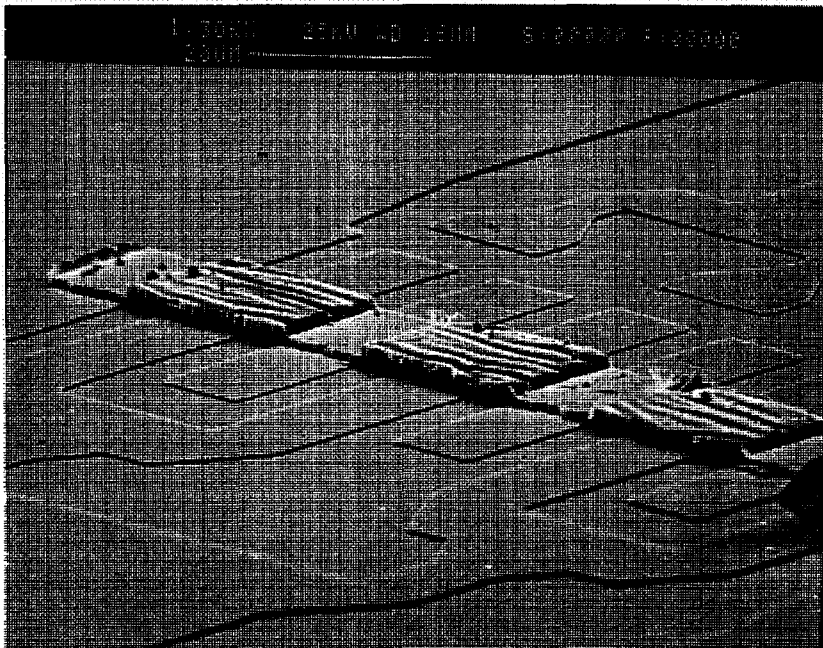


Figure 7 : Pont à air avec résine de tablier recuite à 120°C montrant le problème du film froissé

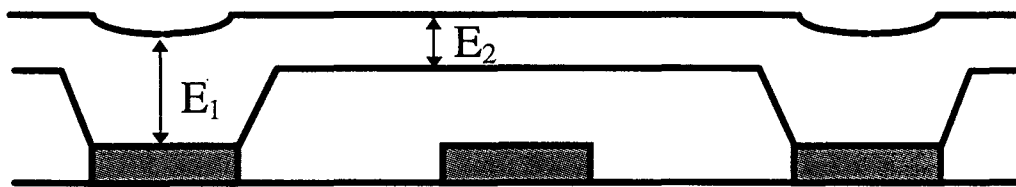


Figure 8 : Mise en évidence du remplissage des trous de piliers par la résine utilisée pour définir les tabliers

2.1.2 Etude électrique du pont

Une étude préliminaire à ce travail avait été effectuée dans notre laboratoire. Celle-ci a consisté à étudier l'influence du développement de grille des transistors sur les performances hyperfréquences [6]. Si les transistors étudiés comportaient un pont ou deux ponts en parallèle, ceux-ci avaient une hauteur de tablier identique. Il nous a donc semblé intéressant d'approfondir cette étude.

La réalisation de structures ne comportant que le niveau d'épaissement et les ponts à air a été effectuée sur substrat semi-isolant à l'aide d'un masque (fig. 9) comportant des transistors à 2, 4, 8 et 12 doigts de grille de largeur unitaire de 50 μm . Pour étudier l'influence de la hauteur des ponts sur les capacités de couplage avec les accès de grille et de drain, nous avons effectué les structures avec des ponts à 1 et 6 μm de hauteur (fig. 10).

Pour étudier l'influence de la géométrie des ponts, également sur les capacités de couplage, mais aussi sur les inductances de source, nous avons effectué des structures à un pont, deux ponts en parallèles et un pont large (fig. 11).

Les valeurs des capacités de couplage grille-source et drain-source (mesurées de 1 à 10 GHz) sont représentées sur la figure 12 pour différentes structures. Nous constatons, pour la capacité grille-source des valeurs quasi identiques quelles que soient la géométrie et la hauteur des ponts. Les faibles variations représentent les variations des capacités de plots.

En ce qui concerne les capacités drain-source, pour les structures à 12 doigts et les ponts à 1 μm de hauteur, nous constatons une variation assez importante qu'il faut attribuer aux ponts. Ces variations s'amenuisent lorsque la hauteur des ponts passe à 6 μm , et nous obtenons alors des capacités quasi identiques quelle que soit la géométrie.

Cette étude montre très bien l'effet de la hauteur du pont sur les capacités de couplage entre le pont et les plots de drain. Il semble donc nécessaire de réaliser les ponts à une hauteur de 6 μm .

Des réalisations de transistors utilisant les différentes géométries de pont à 6 μm de hauteur ont été effectuées. La figure 13 représente le MAG d'un composant à 2 doigts de grille pour des géométries de ponts simple ou double. Nous observons des valeurs de gain plus importantes pour les transistors à 2 ponts en parallèle. Les études préliminaires ayant montré [6] l'influence des selfs de source sur les performances, nous permettent d'affirmer que la réalisation de ponts doubles ou larges est préférable pour les transistors à grand développement de grille. La surexposition de la résine lors de la définition des tabliers pour la réalisation de pont de hauteur à 6 μm permet un agrandissement du motif de tablier qui peut être considéré comme un pont large.

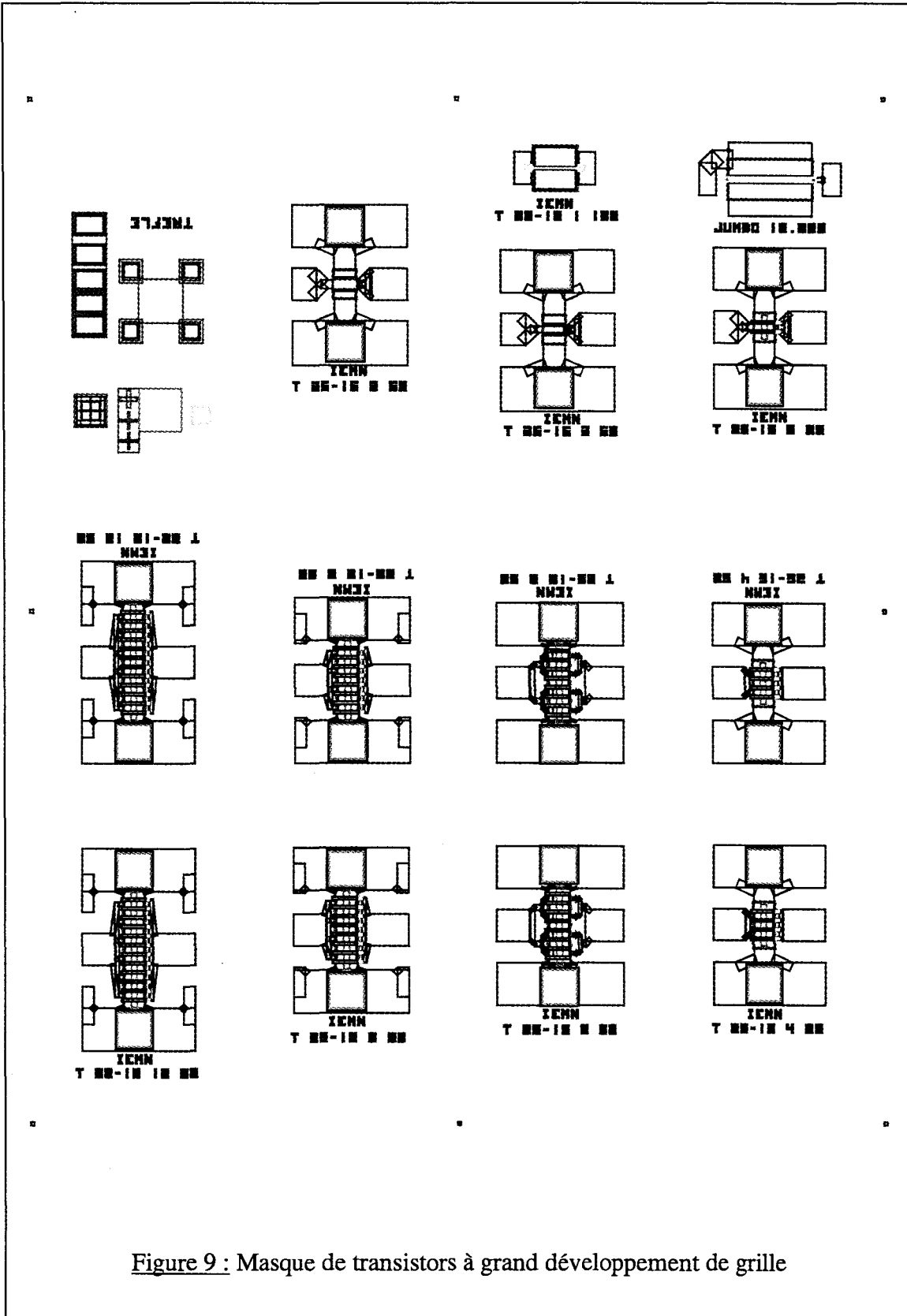


Figure 9 : Masque de transistors à grand développement de grille

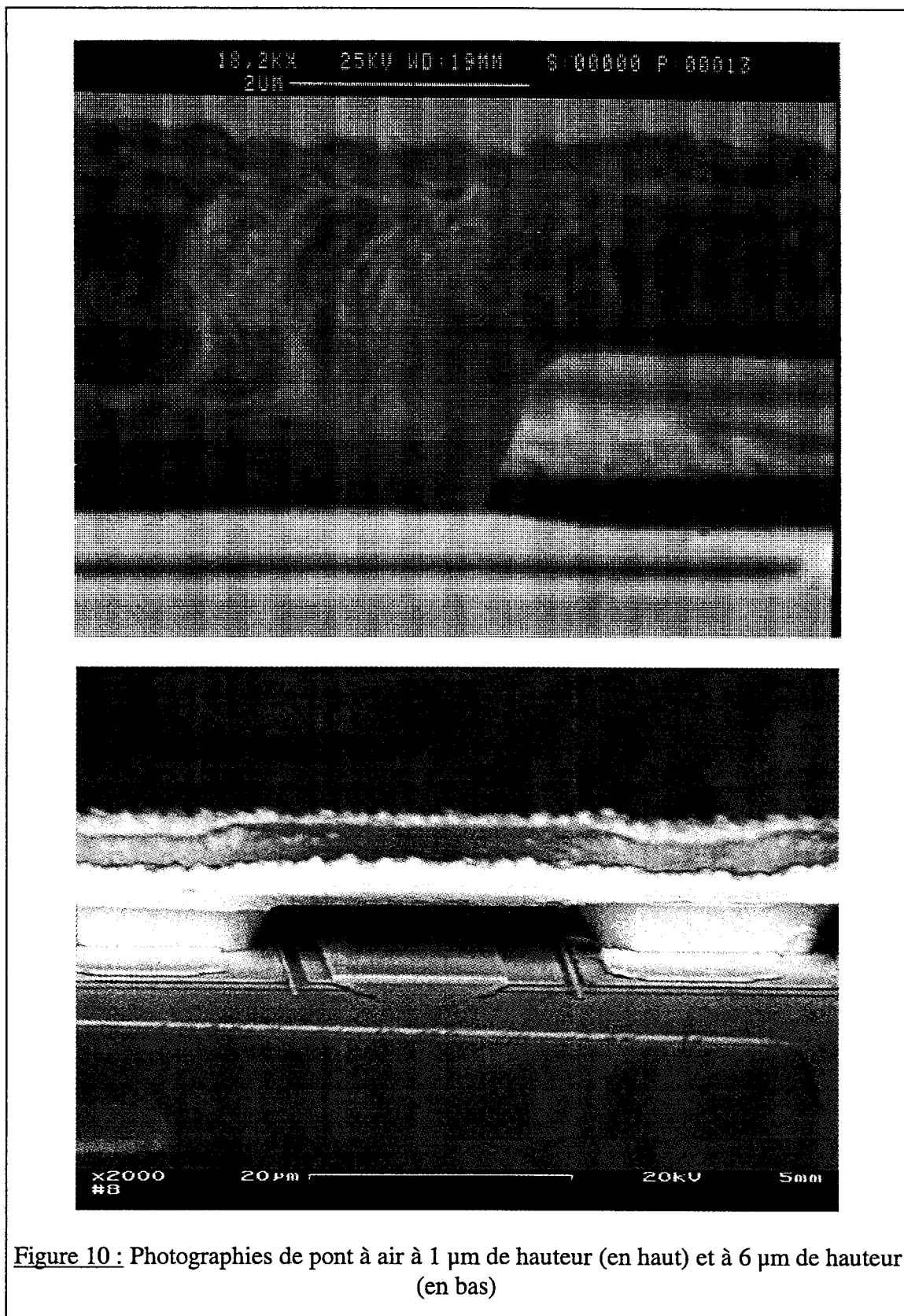


Figure 10 : Photographies de pont à air à 1 μm de hauteur (en haut) et à 6 μm de hauteur (en bas)

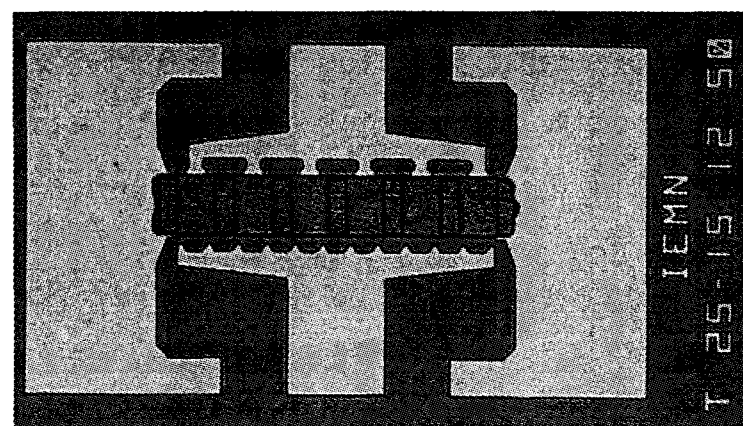
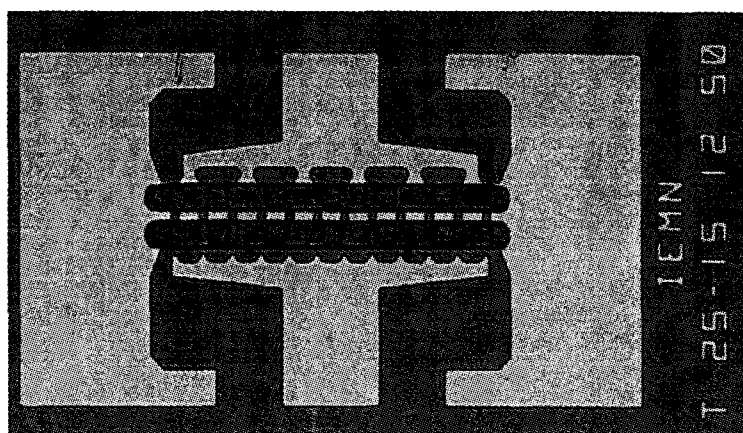
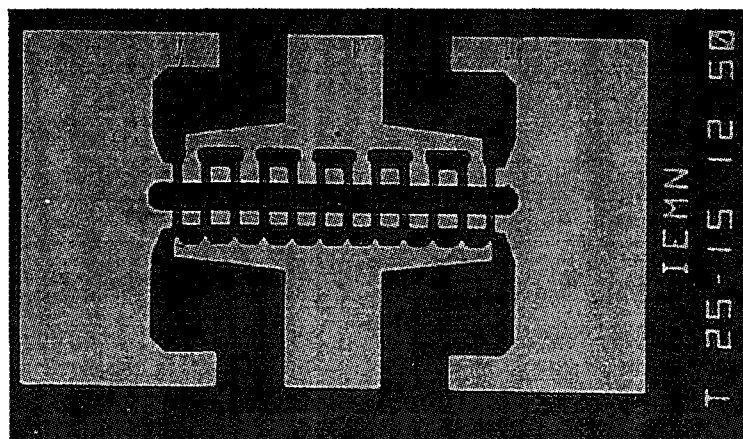


Figure 11 : Photographie des différentes configurations de ponts étudiées : ponts simple, double ou large

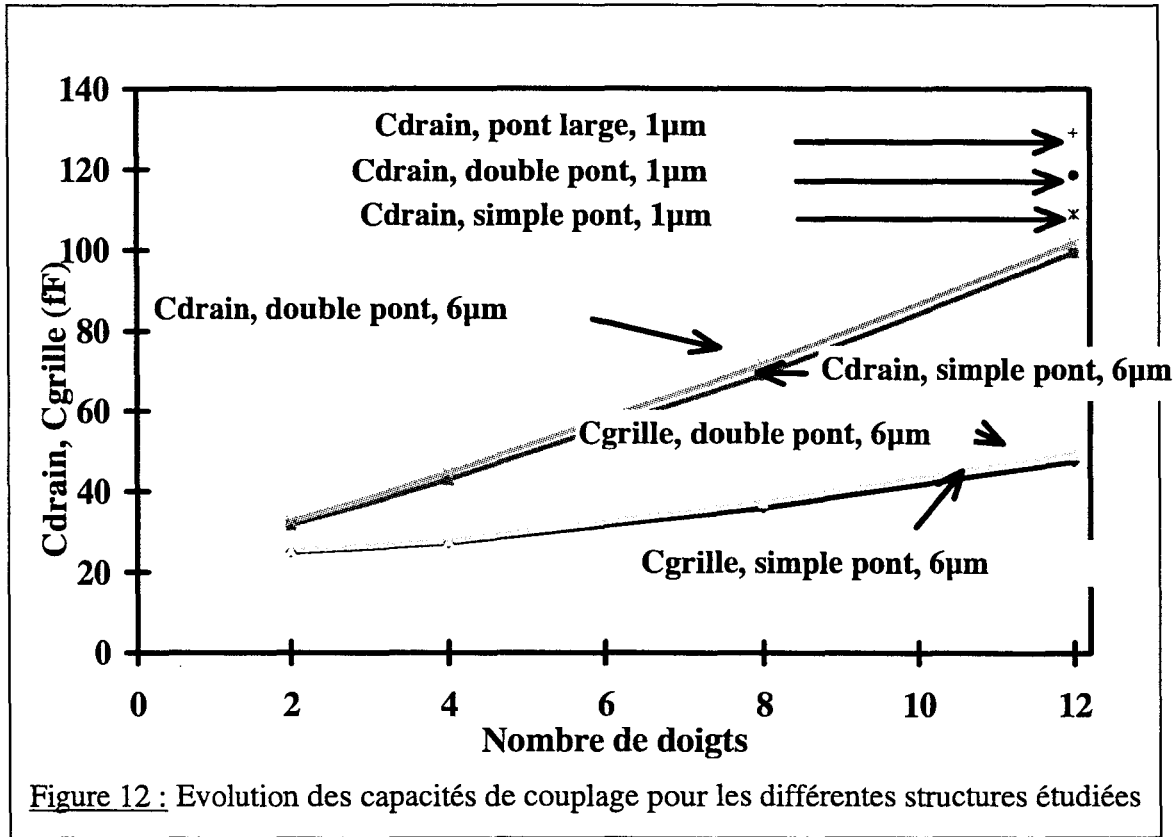


Figure 12 : Evolution des capacités de couplage pour les différentes structures étudiées

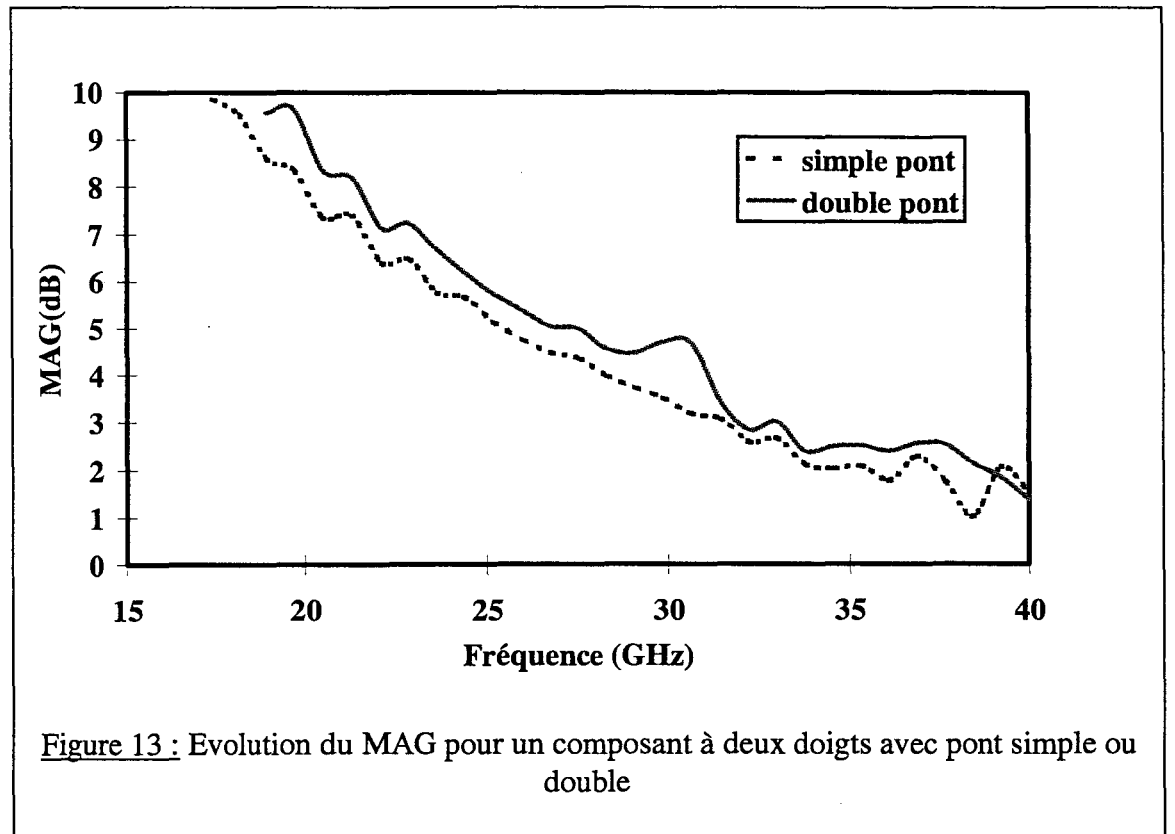


Figure 13 : Evolution du MAG pour un composant à deux doigts avec pont simple ou double

2.2 Les trous métallisés

Notre laboratoire ne disposant pas d'aligneur double face, la réalisation de trous métallisés en face arrière nécessite des motifs de repérage en face arrière. Ces motifs de repérage sont alors effectués par perçage en face avant de trous identiques aux via-trous.

Donc, dans un premier temps, les trous de repérage sont effectués en face avant. Dans un deuxième temps, l'amincissement et le polissage du substrat sont réalisés afin d'obtenir un état de surface miroir. Enfin, les via-trous sont réalisés en face arrière avant la métallisation (fig. 14).

L'épaisseur du substrat après amincissement étant de l'ordre de 100 μm , celui-ci est très fragile. Il est donc nécessaire de coller le substrat sur une tranche de silicium à l'aide d'une cire.

Ensuite, l'amincissement peut se faire de façon mécanique, chimique, ou mécano-chimique.

Nous avons essayé les trois solutions afin de déterminer la technique la plus fiable, la plus rapide et la plus reproductible pour nos réalisations dans la filière GaAs.

La technique initialement mise en oeuvre au laboratoire [7] et qui est d'ailleurs la technique utilisée par les industriels est l'amincissement mécanique. Il consiste à roder le substrat à l'aide d'une pâte abrasive préparée à base d'eau et de poudre d'alumine.

Le rodage se fait à l'aide d'une polisseuse équipée d'un plateau en verre. Au cours de l'amincissement, des contrôles de l'épaisseur sont réalisés à l'aide d'un comparateur jusqu'à l'obtention de l'épaisseur désirée.

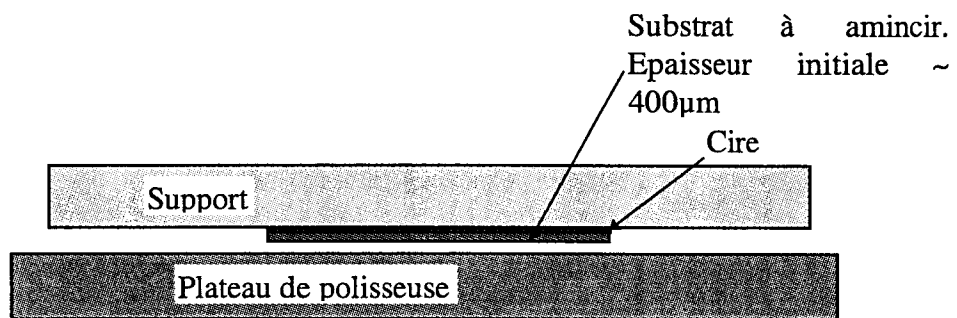
Ensuite, le polissage est effectué sur la polisseuse équipée d'un plateau recouvert de tissu utilisé conjointement avec une préparation d'eau et de gel de silice, et ce jusqu'à l'obtention d'une surface ayant l'aspect d'un poli miroir.

Ce procédé a le désavantage d'être très long et très dommageable pour le substrat lors de l'étape d'amincissement (rodage). Lorsque l'épaisseur du substrat devient très faible, le frottement du substrat en contact avec la poudre d'alumine sur le disque érode le contour de ce dernier avec tous les risques que cela peut entraîner.

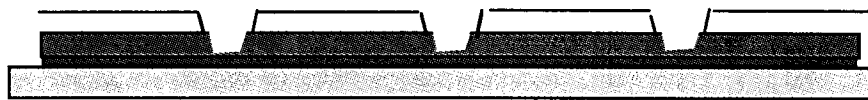
Nous avons ensuite essayé la méthode d'amincissement chimique. L'utilisation d'acide permet de réaliser des amincissements de substrat de GaAs avec des vitesses de gravure de l'ordre de 10 $\mu\text{m}/\text{min}$, mais ne permet pas l'obtention d'une surface miroir (l'état de surface de départ étant rugueux !).

Enfin, nous avons essayé la technique d'amincissement mécano-chimique. Celle-ci se fait de la même façon que l'amincissement mécanique (sur polisseuse équipée d'un plateau recouvert de tissu), mais une solution à base d'acide remplace la poudre d'alumine. Il apparaît alors très délicat d'utiliser cette méthode compte tenu du caractère abrasif de la solution sur la machine de polissage). Notons cependant que cette méthode a permis d'obtenir de très bons résultats et de façon très rapide.

Amincissement : H_2SO_4/H_2O + Polissage



Gravure des trous : HCl ou H_2SO_4/H_2O



Métallisation : Evaporation et Electrolyse



Produit fini

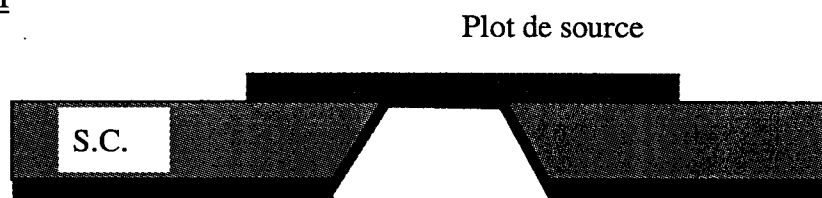


Figure 14 : Description des étapes technologiques pour la réalisation des trous métallisés

Il est apparu, suite aux trois techniques utilisées que la meilleure solution consistait à amincir le substrat chimiquement et à réaliser le polissage par la méthode utilisée pour les amincissements mécaniques (à l'aide de la polisseuse équipée d'un plateau recouvert de tissu et d'une solution à base de gel de silice). Ce procédé a montré par la suite son intérêt, par une très bonne reproductibilité, une rapidité (moins d'une heure pour l'amincissement et le polissage d'un substrat) et un procédé adaptable éventuellement à la filière InP (la solution d'attaque chimique change en fonction du substrat à amincir : $H_2SO_4/H_2O_2/H_2O$ pour le GaAs et HCl/H_2O pour l'InP).

Ensuite, la réalisation des via-trous continue par la gravure en face arrière (gravure par voie sèche ou par voie humide). Nous disposons de gravure par voie sèche pour la filière GaAs (fig. 15), mais les problèmes rencontrés (dégradation de la couche active du transistor après gravure des avant trous) nous ont incité à utiliser également la voie chimique. Les solutions chimiques sont identiques à celles utilisées pour l'amincissement.

Enfin, la métallisation des trous de la face arrière est effectuée par évaporation de 1000 Å de Titane (Ti) et 4000 Å d'or (Au) et est suivie d'une électrolyse afin de déposer une dizaine de microns en vue d'assurer la tenue mécanique du substrat.

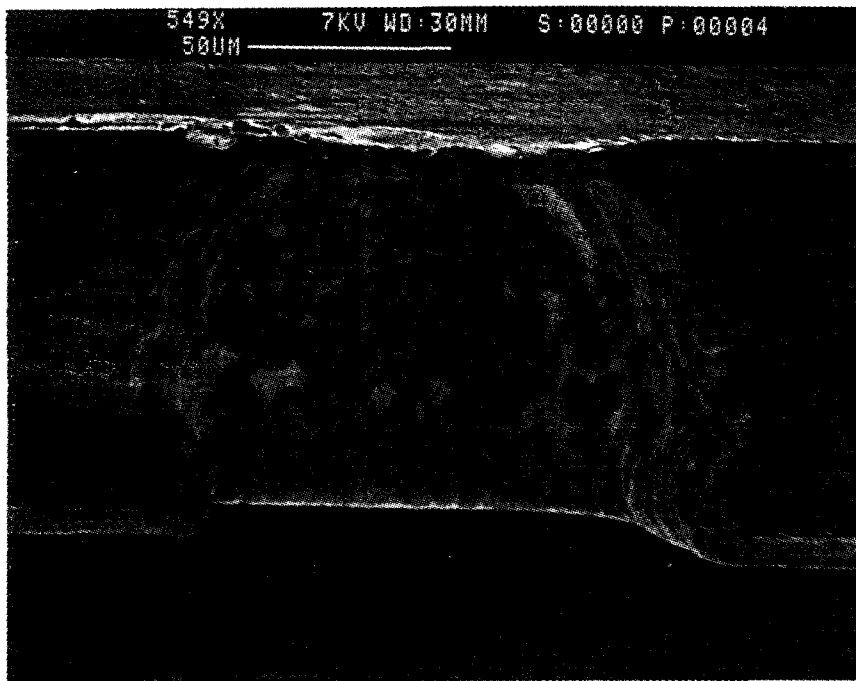


Figure 15 : Vue en coupe d'un via sur GaAs réalisé par gravure plasma

3. La technologie de la filière GaAs pseudo-morphique et ses améliorations

La filière GaAs est étudiée depuis de nombreuses années dans notre laboratoire. Par conséquent, aucune mise au point d'étapes technologiques n'a été nécessaire pour mener à

bien notre travail (à l'exception des étapes de ponts et de vias-trous). Nous présentons, dans cette partie, les choix retenus pour la réalisation de composants élémentaires.

3.1 Les contacts ohmiques

Les contacts ohmiques ont été étudiés par de nombreux laboratoires. Dans notre centrale de technologie, des études ont également été menées sur ce sujet pour mettre au point les contacts sur des couches MESFET [9]. Dès le départ, nous avons choisi de réaliser des contacts utilisant le germanium comme dopant. Ainsi, trois métallisations ont été étudiées par E.LEDUC. Il s'agit de :

- Ni / Ge / Au / Ti / Au
- Ge / Ni / Au
- Ge / Pd

Les mesures de la résistance du contact ont été faite sur des échelles de résistances [10] (mesure TLM : Transmission Line Method). Le tableau 2 résume les meilleurs résultats obtenus pour les trois métallisations.

Type de métallisation	Ni / Ge / Au / Ti / Au	Ge / Ni / Au	Ge / Pd
Epaisseur (nm)	15/19/39/50/200	20/15/200	120/50
Recuit	400°C 40 sec.	380°C 40 sec.	350°C 30 min.
Rc (Ω .mm)	0,07	0,09	0,1

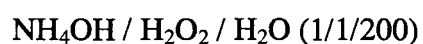
Tableau 2 : Résumé des différentes métallisations de contact ohmiques

Nous constatons que le meilleur résultat est obtenu avec le premier type de métallisation. Ainsi, une résistance de contact de 0,07 Ω .mm est obtenue à 400°C par recuit flash. C'est donc sur ce type de contact que notre choix s'est porté. Notons que les contacts réalisés sur les couches HEMTs utilisées pour notre étude a toujours permis d'obtenir des résistances Rc inférieures à 0,1 Ω .mm.

Par conséquent, les contacts ohmiques sont réalisés à partir du dépôt Ni/Ge/Au/Ti/Au (150/195/390/500/2000 Å) recuit à 400°C pendant 40 secondes au four à recuit rapide.

3.2 Le Mesa

L'isolation des composants se fait, comme il a été dit précédemment (paragraphe 1.2), par gravure humide. La gravure utilise les mécanismes d'oxydation et de dissolution des oxydes créés. Ainsi, pour graver un matériau, il est nécessaire que la solution d'attaque contienne un agent oxydant et un agent dissolvant les oxydes. Le peroxyde d'hydrogène (H_2O_2) et l'ammoniaque (NH_4OH) ont respectivement, ces propriétés. La solution de gravure que nous utilisons est donc :



Notons que cette solution d'attaque n'est pas sélective entre les différents matériaux que l'on peut rencontrer dans cette filière (GaAs, GaInAs et GaAlAs).

La quantité d'eau ajoutée a pour conséquence de faire varier la vitesse d'attaque lors de la gravure. Si une solution d'attaque très diluée permet de contrôler plus facilement la gravure, elle a le désavantage de montrer une inhomogénéité très importante. La concentration indiquée ci-dessus permet de graver les matériaux avec une vitesse de 1300 Å/min. et une homogénéité très acceptable sur une plaquette de deux pouces.

Par conséquent, l'isolation se fait par gravure humide avec $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (1/1/200) et permet de graver le matériau à 1300 Å/min.

3.3 La grille

Lorsque nous avons commencé les études spécifiques à ce travail dans la filière GaAs, la technologie de grille utilisée dans notre laboratoire était la technologie nitrure. Aussi, cette technologie donnant des résultats satisfaisant pour les fréquences de fonctionnement inférieures à 30 GHz (ce qui est le cas pour les applications qui ont motivé les réalisations de PM-HEMTs sur GaAs décrites dans ce travail), nous avons décidé d'utiliser cette technologie qui offrait une excellente fiabilité et reproductibilité. Le procédé consiste alors à déposer une couche de nitrure de 800 Å, à définir le pied de grille dans le nitrure, à creuser le fossé et à définir le chapeau de grille avant de métalliser. Au cours des différentes réalisations, nous avons pu observer une dégradation (causant une diminution du courant) de la couche après gravure du nitrure (nécessaire à la définition du pied de grille) par plasma CF_4 . Nous avons pu estimer que cette dégradation se faisait sur une épaisseur de 200 Å. La gravure du cap-layer (d'une épaisseur supérieure à 200 Å) qui s'ensuit permet le retrait du matériau dégradé.

Pour diminuer la résistance de grille, il est nécessaire d'augmenter l'épaisseur de métal déposé. Cependant, l'utilisation de résine électro-sensible ne permet de déposer que de faibles épaisseurs de métallisation (de l'ordre de 3000Å). Pour remédier à ce problème, nous avons mis au point un procédé d'enduction à deux résines (bi-couches) (fig. 16). La première résine déposée est de type PMMA-MAA (copolymère), alors que la deuxième résine déposée est de type PMMA. Cette technique permet d'obtenir des épaisseurs totales de résine de 7000 Å et ainsi, de déposer jusqu'à 5000 Å de métal.

Notons que cette technique trouve également son intérêt dans la netteté du profil en casquette et le lift-off qui suit. En effet, le copolymère est plus sensible aux électrons que la PMMA. Il est surdosé lors de l'exposition et à la révélation, cela se traduit par une gravure latérale. Ce profil est alors très avantageux pour le lift-off.

En ce qui concerne la métallisation, elle est de type :

Ti/Pt/Au (500/250/4250 Å)

La première couche de métal déposé (le Titane) a la fonction de barrière électrique, la seconde (le platine) est utilisée comme barrière de blocage de diffusion de l'or dans le semi-conducteur. Enfin, le dernier métal déposé (l'or) est utilisé pour diminuer la résistance électrique de la grille.

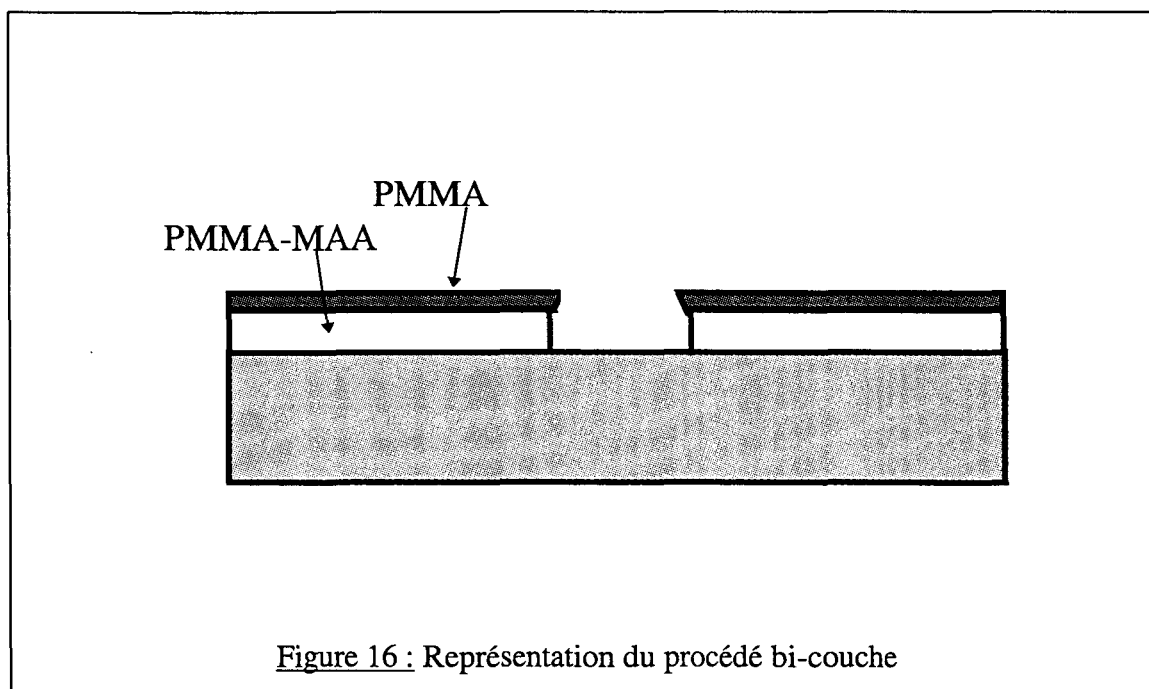


Figure 16 : Représentation du procédé bi-couche

3.4 La gravure du fossé de grille

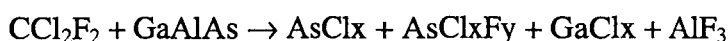
La gravure du fossé de grille, comme nous l'avons vu dans les généralités peut être effectuée par voie humide ou par voie sèche.

Une étude très poussée a été menée dans notre laboratoire pour mettre au point la gravure par voie sèche. Celle-ci a l'avantage d'avoir une très grande sélectivité entre le GaAs du cap layer et la barrière de AlGaAs ($\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ dans notre cas). Ceci permet alors d'obtenir des gravures s'arrêtant exactement à l'interface GaAs/GaAlAs et de sous-graver le cap-layer, permettant à cette occasion d'obtenir des tensions de claquage très élevées. La gravure utilise un plasma de Fréon (CCl_2F_2). La réaction chimique entrant en jeu est [11] en ce qui concerne le GaAs :



Les trois composés obtenus par dissociation, sont volatils et sont donc évacués de la chambre du bâti de gravure.

Et en ce qui concerne l'AlGaAs :



Cette fois, il y a production des trois composés volatils précédemment rencontrés et d'un quatrième (AlF_3) qui quand à lui, reste à la surface du matériau et provoque l'arrêt de la gravure.

Les conditions optimales de gravure ont permis d'obtenir une sélectivité proche de 4000 et ont permis d'obtenir la tension de claquage la plus élevée de toutes nos réalisations (16 Volts) grâce à la sous-gravure du cap-layer (fig. 17).

Pendant, l'utilisation du procédé ne peut être envisagé de façon routinière car il est n'assure pas une bonne reproductibilité. En effet, le bâti utilisé pour ce type de gravure ne lui

est pas entièrement dédié, et il est fort possible qu'une pollution de la chambre (aussi faible soit elle) puisse modifier considérablement les conditions de réaction.

Les résultats obtenus par le procédé de gravure sèche nous ont contraint à nous diriger vers la gravure humide. La solution d'attaque est la même que celle utilisée pour la gravure du mesa bien que dans ce cas, elle soit plus diluée dans l'eau. La gravure n'étant pas du tout sélective, il est nécessaire de contrôler celle-ci par des mesures intermédiaires du courant sur un élément test. Ce procédé permet toutefois une assez bonne reproductibilité.

Par conséquent, la gravure du fossé de grille se fait par voie chimique avec une solution de $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ (1/1/400). La profondeur de gravure se contrôle par mesure du courant sur un élément test.

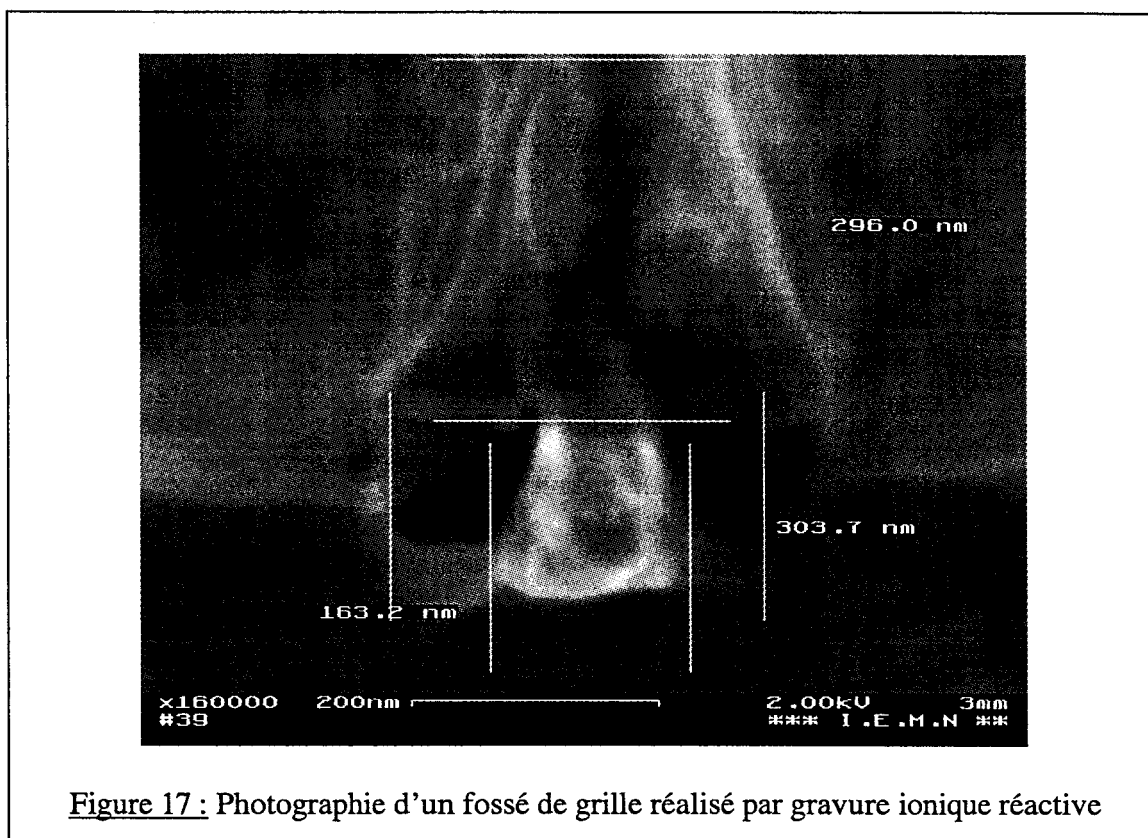


Figure 17 : Photographie d'un fossé de grille réalisé par gravure ionique réactive

3.5 Les améliorations technologiques envisageable pour la filière GaAs

Bien que les étapes technologiques présentées ci-dessus permettent la réalisation de transistors accusant des performances au niveau de l'état de l'art mondial, il nous paraît intéressant de présenter dans cette partie, des solutions technologiques permettant d'accroître les performances des transistors de puissance.

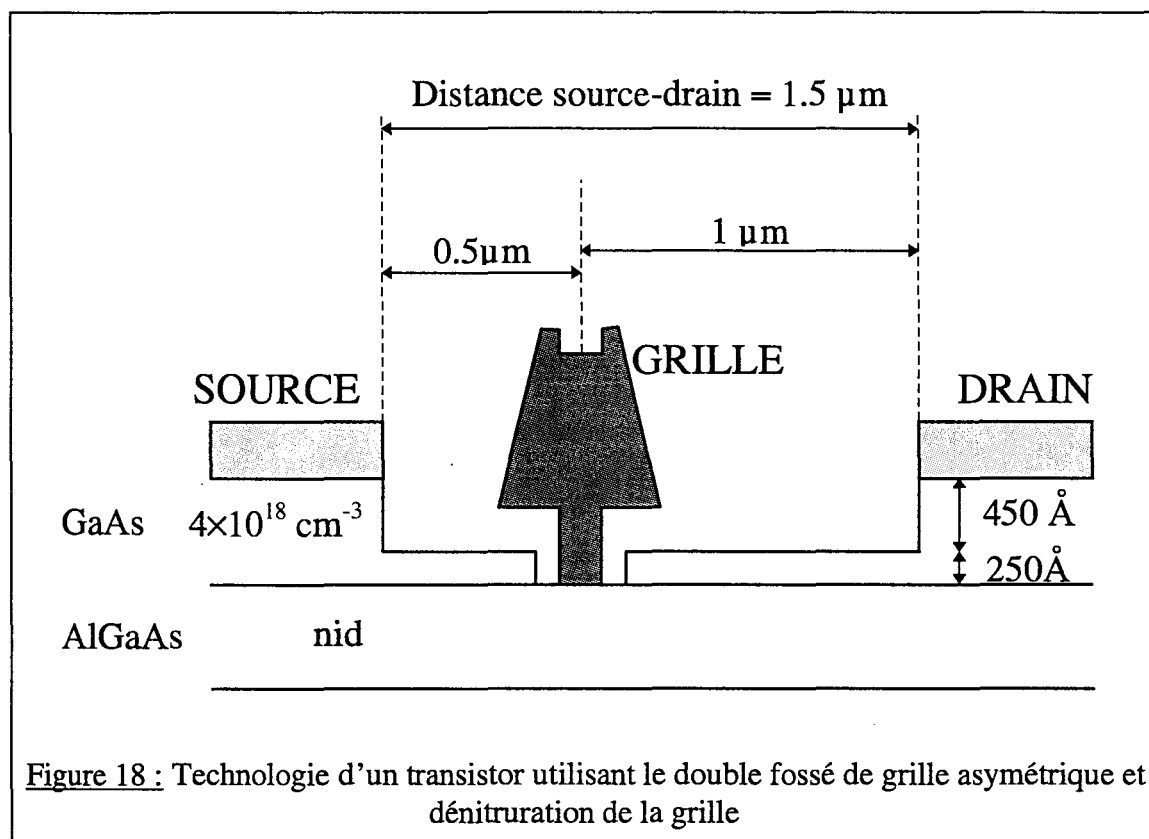
La première amélioration technologique est motivée par la volonté d'obtenir une tension de claquage du composant la plus élevée possible. Or, la solution de gravure chimique à base de NH_4OH ne permet pas d'obtenir une extension du fossé de grille importante. De plus, le champ électrique important et la haute énergie des porteurs dans la région grille-drain sont à l'origine du claquage du composant. Par conséquent, pour repousser la tension de claquage des composants, il est nécessaire de réduire le champ électrique dans la région grille-drain. Ceci est rendu possible par l'utilisation d'un cap-layer déserté par le potentiel de

surface, mais pénalise dans ce cas, les résistances d'accès. La solution consiste alors à effectuer un double fossé de grille. Le double fossé de grille consiste à graver en partie le cap-layer pour obtenir une épaisseur finale désertée par le potentiel de surface. Ensuite, le second fossé de grille plus étroit, est effectué dans la couche cap-layer restante.

La deuxième amélioration est motivée par la montée en fréquence et l'amélioration des gains des transistors. Si nous avons vu dans la deuxième partie de ce chapitre qu'une amélioration était possible par l'optimisation de la technologie des ponts à air, une amélioration peut être apportée par une diminution des résistances d'accès. En effet, les performances des composants sont dépendantes (entre autres) de la résistance de source. Si la résistance de contact est négligeable, il faut alors diminuer la résistance apportée par la structure elle-même en réduisant la distance séparant la source du contact de grille. Ceci peut être effectué par un décalage de la grille vers la source.

Enfin, la troisième amélioration est motivée comme précédemment par la montée en fréquence et l'amélioration des gains des transistors. Les performances des transistors sont pénalisées par les capacités de couplage grille-drain et grille-source induites par le nitrure utilisé pour la technologie de grille. Une attaque ionique réactive permet de retirer en grande partie le nitrure et par conséquent, de réduire considérablement les capacités de couplage.

La figure 18 représente un transistor utilisant les trois solutions pour améliorer les performances. Celles-ci seront détaillées dans le chapitre concernant la réalisation de composants dans cette filière.



4. La technologie des filières InP et GaAs

Métamorphique

Lorsque nous avons commencé nos études des filières InP et Métamorphique sur GaAs, notre laboratoire possédait peu de connaissances et d'expérience dans ce domaine précis. Aussi, notre travail consistant à montrer les potentialités de ces filières, il a été nécessaire de mettre au point la technologie, cette mise au point passant par l'amélioration et la fiabilisation du travail déjà entrepris.

4.1 Les contacts ohmiques

4.1.1 La filière InP

Dans la filière InP, les contacts utilisés pour les premiers essais technologiques [12] :

- Ni/AuGe/Ni recuit à 400°C pendant 40 sec.
- Pd/Ge recuit à 440°C pendant 5 sec.

ont montré des résistances de contact toujours supérieures à 0,5 Ω .mm et pouvant aller jusqu'à 6 Ω .mm sur couche transistor. De plus, le contact n'était pas reproductible dans le cas où l'épitaxie était légèrement modifiée (épaisseur de cap, de barrière...). A la suite de ces constats, une étude plus poussée a été menée dans cette filière [9]. Trois types de contacts ont été envisagés :

- Ni/Ge/Au/Ti/Au
- Ge/Ni/Au
- Ge/Au/Ge/Au/Ge/Au/Ge/Au/Ni/Au

et ont permis d'améliorer les résistances d'accès sur des couches HEMTs. Cela a permis d'atteindre des valeurs de 0,25 Ω .mm, avec une reproductibilité améliorée.

Ces études, par la diversité des cas étudiés et les informations issues des différents cas, nous ont donné une base solide pour mener une action finale d'optimisation des contacts ohmiques.

Le développement de la filière InP ayant pour objectif les applications à 60 et 94 GHz, des choix technologiques s'imposent avant de commencer toute action d'optimisation. Tout d'abord nous savons que de la qualité des résistances d'accès dépendent les performances des composants. Aussi, il ne faut pas que la résistances des contacts dépasse celle de la zone d'accès. Il apparaît donc une barre haute à ne pas franchir. Nous avons fixé cette barre à 0,15 Ω .mm. De plus, les longueurs de grille doivent être de 0,25 ou 0,15 μ m. Par conséquent, la définition doit se faire au masqueur électronique. Les contacts ohmiques servant à l'alignement des grilles au masqueur électronique, nous imposent un excellent repérage des marques d'alignement. Aussi, nous savons par expérience que le métal idéal pour le repérage des marques est l'or. Pour cette raison il nous a semblé inutile de continuer étudier le contact Pd/Ge; celui-ci ayant de surcroît, toujours montré des résultats moins bons. Dans le même but de disposer de métallisations facilement repérables, nous avons cherché à obtenir des métallisations pas ou peu déformées après recuit. Enfin, la dernière contrainte que nous nous

sommes imposés réside dans l'épaisseur maximale de métallisation du contact. Celle-ci conditionne le bon déroulement technologique de définition de grille. Ce problème sera évoqué dans le paragraphe relatant des étapes de grille. Dans ce but, nous avons fixé l'épaisseur maximum à 2000 Å.

Par conséquent, en nous imposant les quatre contraintes ci-dessus ($R_c < 0,15 \Omega \cdot \text{mm}$, métallisation avec or, épaisseur max. de 2000 Å, bonne morphologie des contacts) nous avons commencé notre étude en utilisant la voie qui consiste à utiliser le dépôt Ge/Au, la plus prometteuse d'après les essais préliminaires.

Nous avons effectué notre étude en réalisant des échelles de résistances isolées entre elles par gravure chimique (fig. 19), avec des contacts (de surface) distants de 2, 5, 10 et 20 µm en utilisant trois métallisations :

- Ni/Ge/Au/Ti/Au (150/190/395/500/2000 Å)
- Ni/Ge/Au/Ni/Au (25/400/800/50/600 Å)
- Ni/Ge/Au/Ni/Au (25/400/800/50/2000 Å)

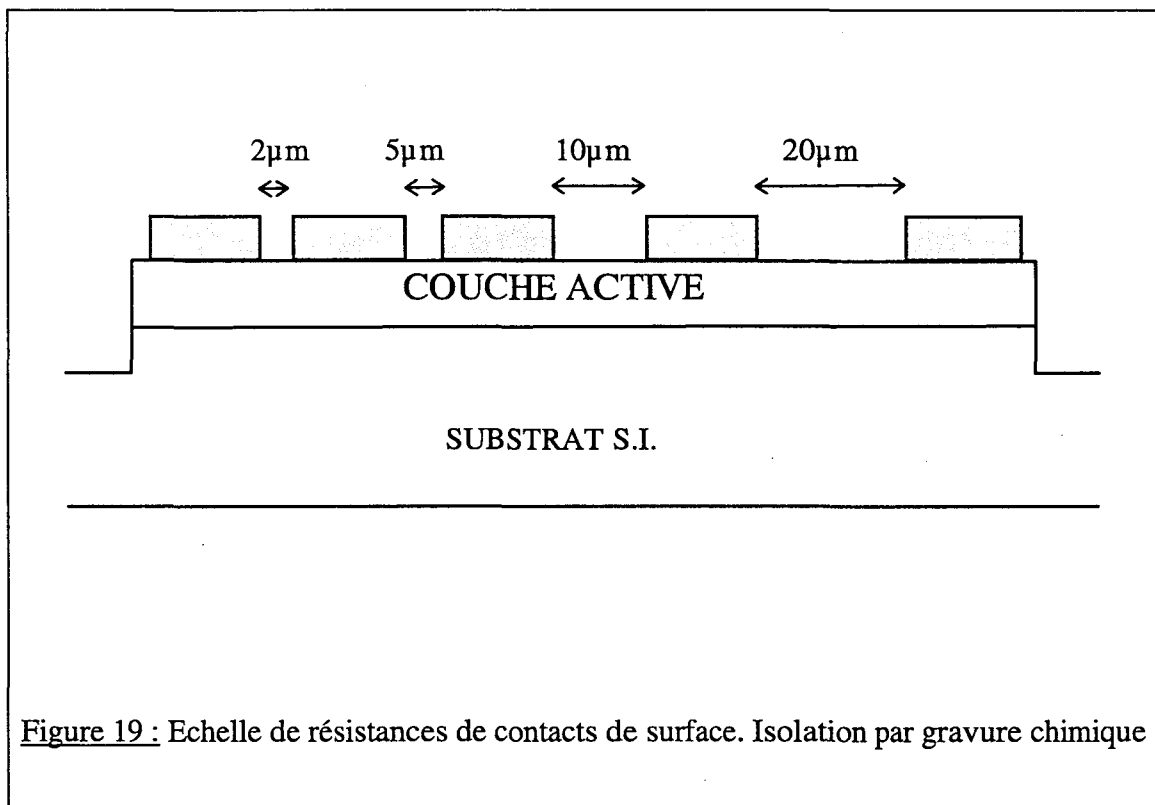
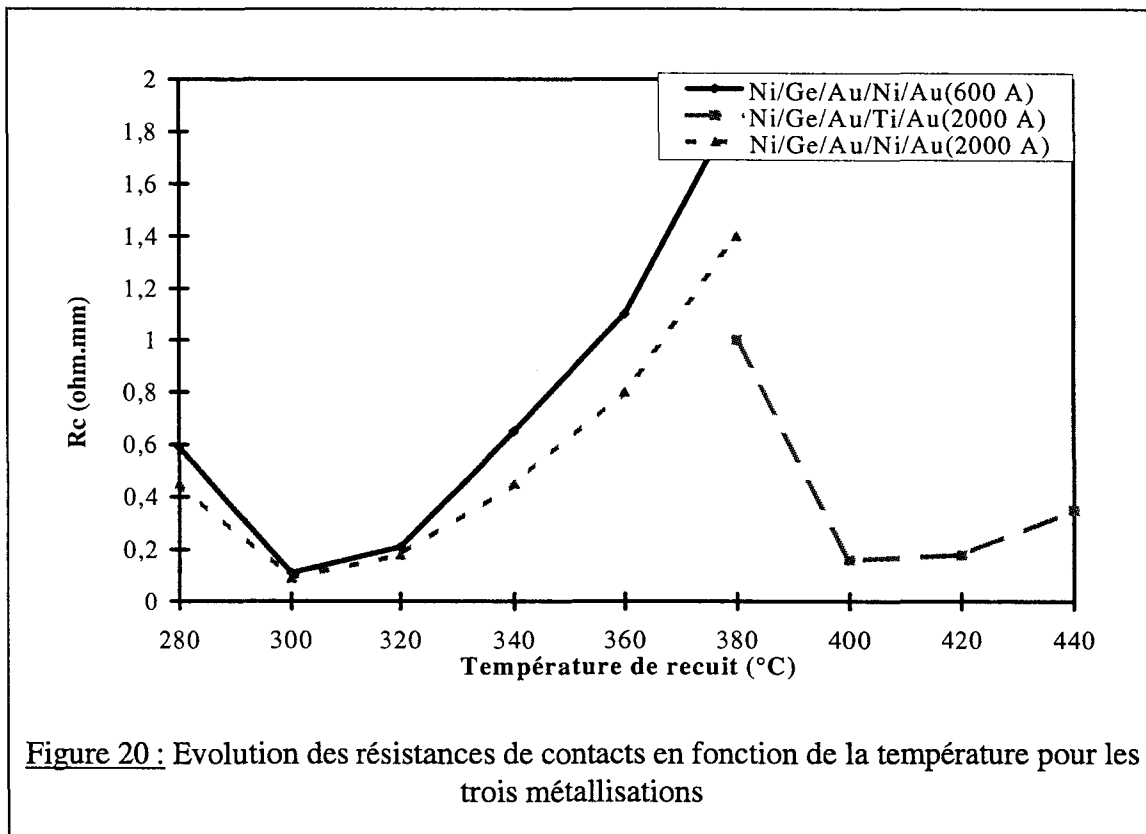


Figure 19 : Echelle de résistances de contacts de surface. Isolation par gravure chimique

Il faut noter que les métallisations sont faites de cinq dépôts successifs. La première sert à uniformiser et à faciliter la formation du contact. En effet, des essais ont montré que dans la filière InP, le dépôt Ge/Au, présente des résistances de contact moins bonnes que la métallisation utilisant une couche intermédiaire de Ni [13]. La quatrième couche a pour fonction d'assurer la morphologie du contact pendant le recuit. Enfin, la cinquième couche est utilisée pour faciliter le repérage des marques au masqueur électronique.

Notons que les deuxième et troisième contacts proposés se distinguent uniquement par l'épaisseur de la couche finale. La comparaison des deux métallisations permettra de valider ou non le choix sur l'épaisseur maximale que nous avons fait.

Nous avons étudié la température de recuit des différents contacts effectués sur épitaxie à deux plans de dopage et une couche de cap-layer de 100 \AA dopée à $4 \cdot 10^{18} \text{ At.cm}^{-3}$. La durée des recuits en four à recuit rapide a été fixée à 10 secondes. Les valeurs des résistances de contacts déterminés par la méthode de mesure TLM sont représentées (fig. 20) en fonction de la température (ayant permis l'obtention de contacts ohmiques).



Nous pouvons donc observer des minima de $0,16 \text{ } \Omega \cdot \text{mm}$ à 400°C pour la première métallisation et $0,11 \text{ } \Omega \cdot \text{mm}$ à 300°C pour la deuxième métallisation. Aussi, après observation des contacts au MEB, nous avons constaté que la morphologie du premier contact recuit à 400°C est très fortement dégradée, alors qu'elle ne l'est pas pour le deuxième contact recuit à 300°C .

Pour les deuxième et troisième métallisations, nous pouvons observer des minimums à 300°C quasi identiques, puis des différences notables pour les températures de recuit supérieures à 350°C . Il semble donc que le surplus d'or de la couche d'épaississement du contact permet de diminuer la résistance métallique du contact uniquement lorsque R_c est supérieur à $0,2 \text{ } \Omega \cdot \text{mm}$.

Par conséquent, les conditions de recuit ayant permis d'obtenir des R_c d'environ $0,1 \text{ } \Omega \cdot \text{mm}$ nous permettent de limiter l'épaisseur totale de la métallisation du contact à ce qui a été défini dans le cas n°2 et vient appuyer le fait que la limitation sur l'épaisseur de métallisation ne pénalise pas le résultat final.

Aussi, pour la première métallisation, les résultats avaient montré des R_c moins bons alors que la métallisation bénéficiait d'un surplus d'or. De plus, la température permettant le minimum de R_c était beaucoup plus élevée que dans le cas n°2, ceci pouvant être dû à une épaisseur de Ni trop importante, limitant de ce fait la diffusion de GeAu [14] dans le semi-conducteur.

Nous pouvons donc conclure que le meilleur contact est celui qui utilise la deuxième métallisation.

Enfin, pour valider notre procédé, nous avons réalisé des essais à 300°C pour des durées de 40 secondes. Ces essais se sont soldés par des résistances de contacts plus élevées. De la même façon, nous avons réalisé des contacts dans les conditions optimales précédemment définies, sur des couches différentes de celle utilisée pour notre optimisation. Les épitaxies utilisées se distinguent par différentes épaisseurs de cap (dopé ou non), de barrières et des dopages plans ou volumiques. Les différents essais réalisés ont permis d'obtenir des R_c compris entre 0,1 et 0,15 Ω .mm, montrant ainsi une excellente reproductibilité.

Ces résultats seront confirmés dans la suite de notre travail et ont également été confirmé dans d'autres laboratoires [15]

Par conséquent, pour la suite de notre travail, nous avons utilisé le dépôt Ni/Ge/Au/Ni/Au (25/400/800/50/600) recuit à 300°C pendant 10 secondes. Celui-ci répond aux contraintes que nous nous étions fixées avant notre étude d'optimisation; à savoir :

- un épaisseur maximale de 2000 Å
- une excellente morphologie
- un dépôt contenant de l'or
- $R_c < 0,15 \Omega$.mm

4.1.2 La filière GaAs Métamorphique

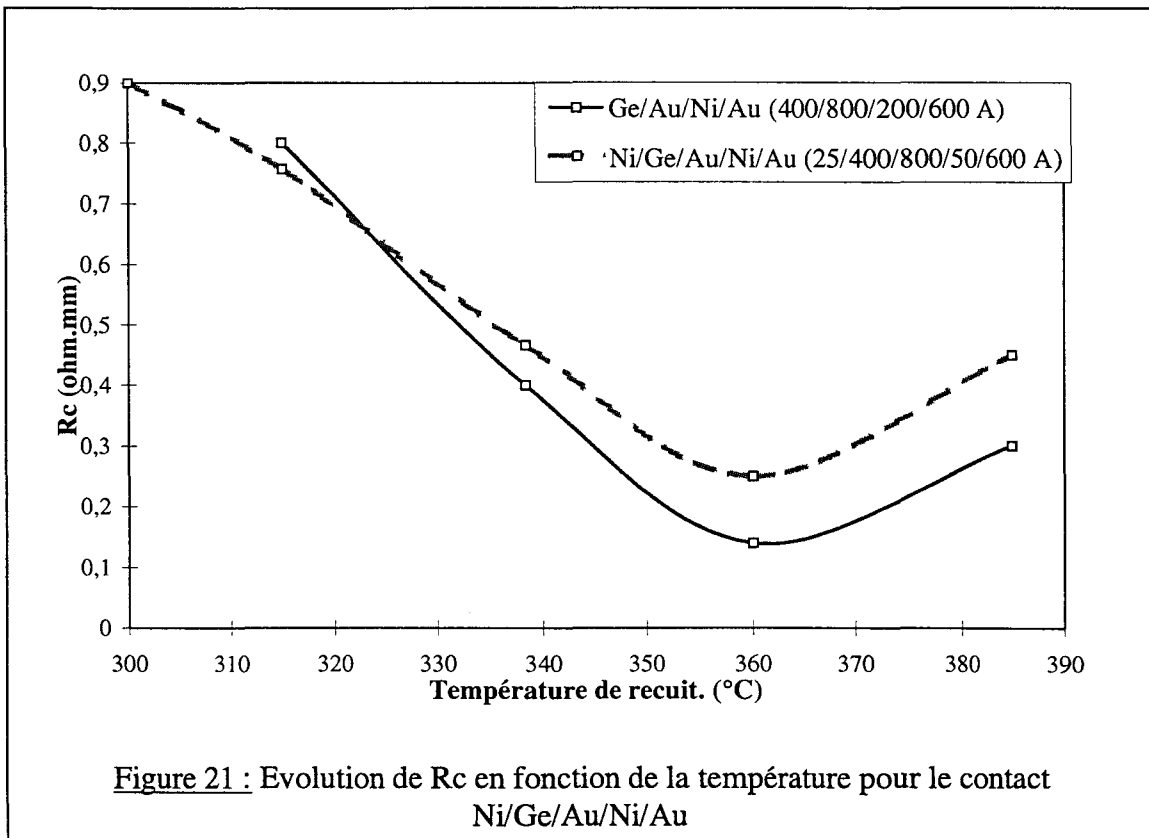
Comme pour la filière InP, une étude exploratoire avait été menée dans notre laboratoire sur cette filière [16]. Deux métallisations avaient été envisagées :

- Pd/Ge qui avait permis d'obtenir un R_c de 0,12 Ω .mm, mais qui n'était absolument pas reproductible.
- Ni/GeAu/Ni qui avait permis d'obtenir des R_c de 0,4 Ω .mm

Nous avons alors envisagé une étude de contacts ohmiques en nous basant sur les travaux effectués sur InP et en gardant les mêmes motivations et les mêmes contraintes.

Dans un premier temps, nous avons effectué une étude de la température de recuit du contact issu de l'optimisation dans la filière InP pour une durée de 10 secondes. Ces contacts ont été réalisés sur une couche transistor. La figure 21 représente l'évolution de R_c en fonction de la température.

Nous obtenons une résistance de 0,1 Ω .mm à 300°C, mais d'autres essais réalisés sur une autre épitaxie (avec un cap de 100 Å) ont montré un problème de reproductibilité.



Il apparaissait alors nécessaire d'effectuer le recuit du contact à 360°C (10 sec.) pour obtenir un minimum de Rc dont la valeur approchait au mieux 0,25 Ω .mm. De plus, ce contact accuse une très mauvaise morphologie. Par conséquent, il nous a fallu trouver une parade pour remédier à ce problème. Nous avons trouvé la solution en insistant sur l'épaisseur du quatrième métal (le Ni utilisé pour assurer la morphologie du contact) et en supprimant la première couche de métal.

Nous obtenons alors le contact Ge/Au/Ni/Au (400/800/200/600 Å) qui nous a permis d'obtenir une résistance de 0,15 Ω .mm à 360°C avec une morphologie tout à fait acceptable.

Il semble donc que de bons contacts ohmiques soient réalisables dans la filière Métamorphique, mais nos essais ont montré que ceux-ci étaient (contrairement à la filière InP), extrêmement sensibles à la structure de l'épitaxie. Il est donc nécessaire d'effectuer une optimisation sur chaque structure de couche avant d'envisager un process complet, l'idéal étant de stabiliser la fabrication du matériau.

Pour notre part, nous avons retenu pour nos couches de composants, le contact Ge/Au/Ni/Au (400/800/200/600 Å) recuit à 360°C pendant 10 secondes.

4.2 L'isolation et la gravure du fossé de grille

4.2.1 L'isolation

Dans l'ordre chronologique, comme il a été défini dans les généralités, après les contacts ohmiques, est effectuée l'isolation entre les différents composants. Celle-ci peut alors se faire par implantation, par gravure chimique ou ionique réactive.

Des essais d'implantation ont été menés dans notre laboratoire. Ces essais ont permis d'obtenir par implantation de Bore pour la filière Métamorphique ou d'Argon pour la filière InP, des résistances carrées de couches de l'ordre de 30 M Ω /carré [18]. Mais, ce procédé est relativement sensible à la composition de la couche active (matériaux, épaisseurs, dopages). Par conséquent, ce procédé nécessite une optimisation pour chaque type de structure, limitant ainsi notre champ d'étude de structures de couches.

Viennent ensuite les procédés de gravure. La gravure ionique réactive est réalisable sur les structures InP et Métamorphique à l'aide de CH₄/H₂. Mais il faut reconnaître que faire appel à ce procédé demande un temps non négligeable.

Par conséquent, il est plus simple et plus rapide d'utiliser la gravure chimique. Si la solution NH₄OH/H₂O₂/H₂O utilisée dans la filière GaAs permet de graver les structures étudiées dans ce paragraphe, elle provoque une sur-gravure au niveau des flancs de mesa [16]. Aussi, la solution H₃PO₄/H₂O₂/H₂O (5/1/40) grave les deux matériaux étudiés à une vitesse de 1300 Å/min. sans engendrer le phénomène de sur-gravure au pied du mesa. Notons que l'attaque est stoppée dans l'eau DI.

Si ce procédé est beaucoup plus simple que l'implantation, il a le désavantage de ne pouvoir empêcher le contact entre la grille et le canal au niveau de la descente de grille. Ce contact aura un effet de court-circuit et provoquera une limitation sur la tenue en tension [19]. Il faut alors trouver une solution pour séparer la grille du canal.

Trois solutions envisageables sont représentées sur la figure 22:

- la première solution consiste après l'isolation, à déposer une couche de diélectrique qui sera ensuite ouverte afin de prendre accès sur la couche active tout en laissant le nitrure sur le flanc de MESA.
- la deuxième solution consiste à réaliser le composant (contacts ohmiques et grille) et réaliser l'isolation par gravure chimique. De ce fait, la grille se retrouve suspendu entre le composant et un plot de report.
- la dernière solution consiste après le MESA, à sous-graver latéralement le canal. Par conséquent, lors du dépôt de grille, un gap d'air sépare le métal de grille et le GaInAs du canal.

La première solution (en plus des problèmes occasionnés par la gravure du diélectrique [14]), a le désavantage de laisser une partie du canal sans commande. Il apparaît alors au pincement, un courant de fuite I_D qui est néfaste pour les applications de puissance.

La deuxième solution pose le problème du rendement technologique, car si cette technique peut être envisagée pour des grille de L_g~1 μ m, l'utilisation du procédé pour des grilles de 0,1 à 0,2 μ m risque de provoquer des ruptures aux endroits où le métal est suspendu.

Enfin, la troisième solution est simple à utiliser et ne nécessite pas d'étape technologique supplémentaire car elle peut être effectuée juste après la gravure d'isolation. Aussi, il faut disposer d'une solution chimique ayant une bonne sélectivité entre le GaInAs et l'AlInAs. Cette solution peut alors servir pour l'étape de l'isolation et la gravure du fossé de grille. Elle est décrite dans le paragraphe suivant.

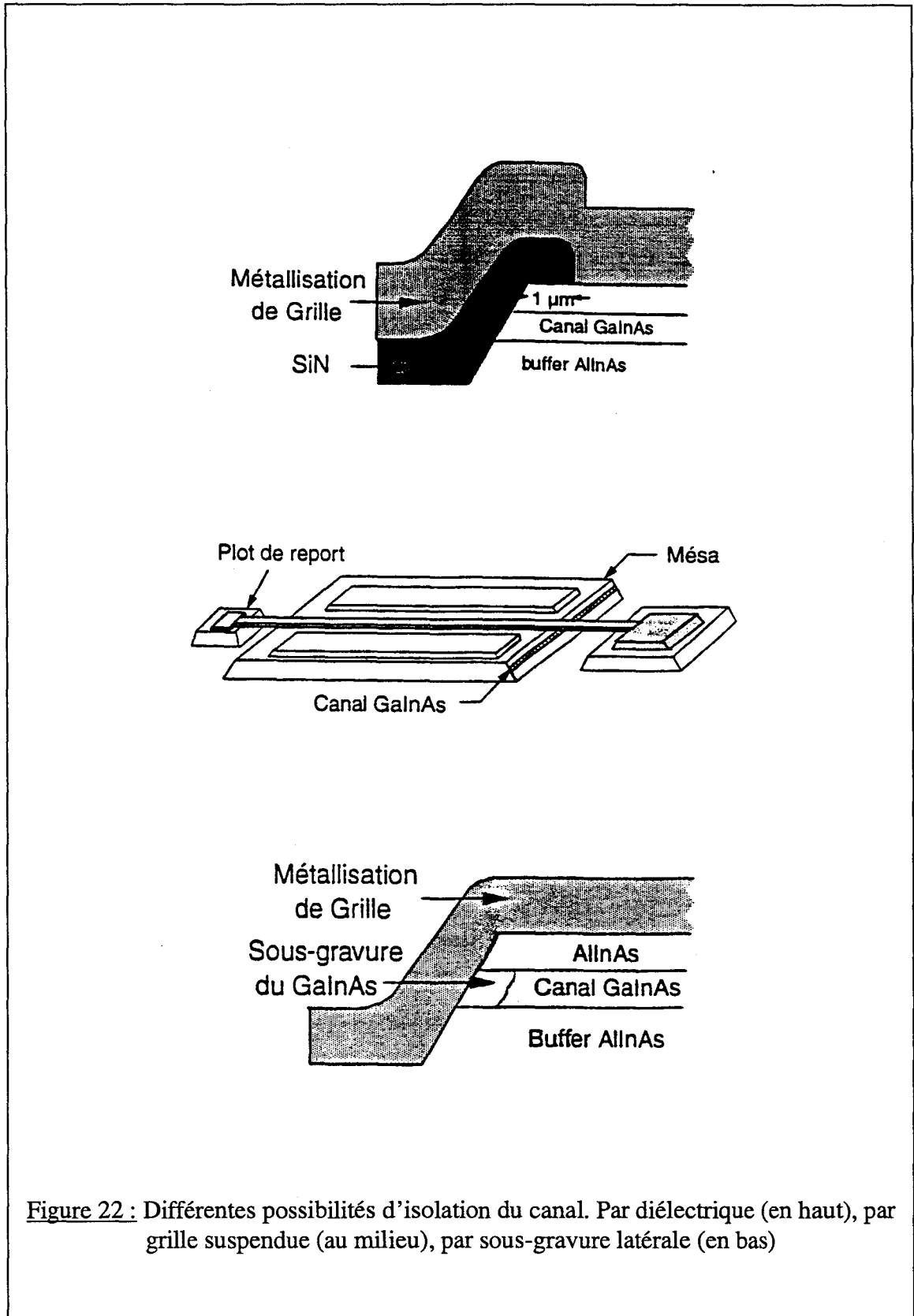


Figure 22 : Différentes possibilités d'isolation du canal. Par diélectrique (en haut), par grille suspendue (au milieu), par sous-gravure latérale (en bas)

4.2.2 La gravure du fossé de grille

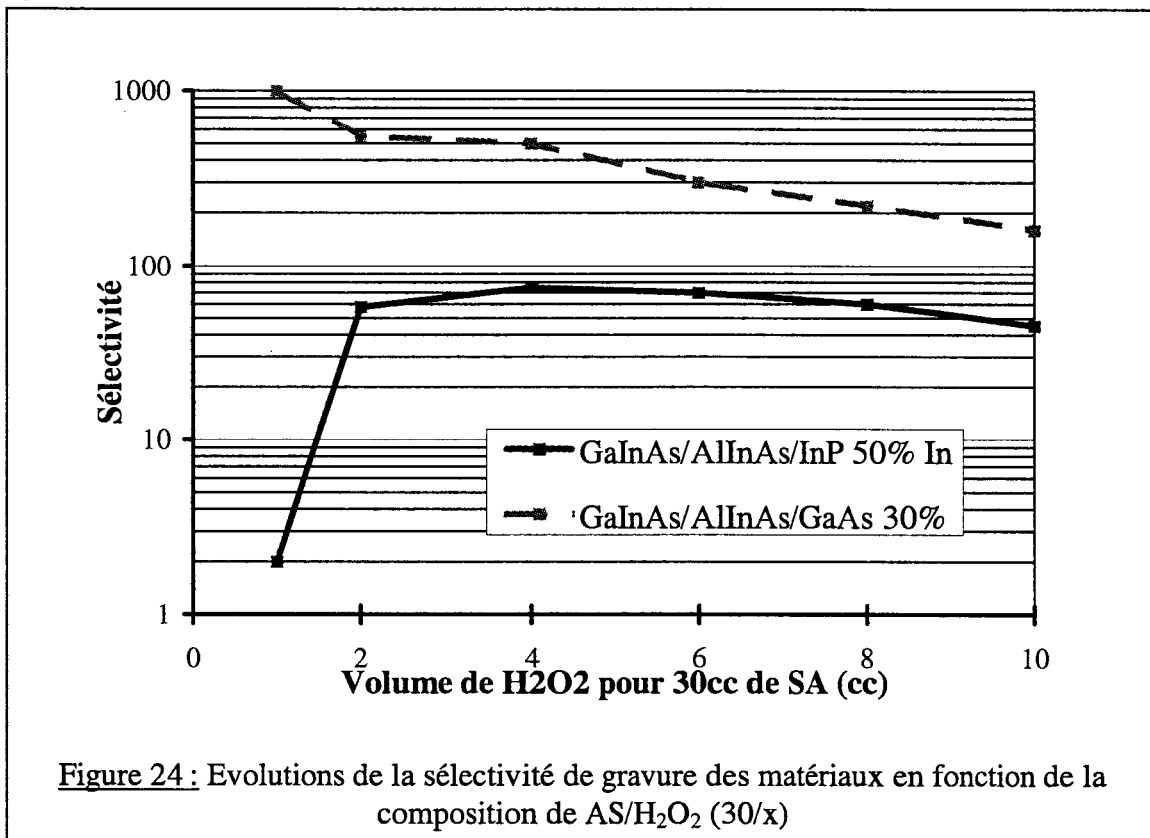
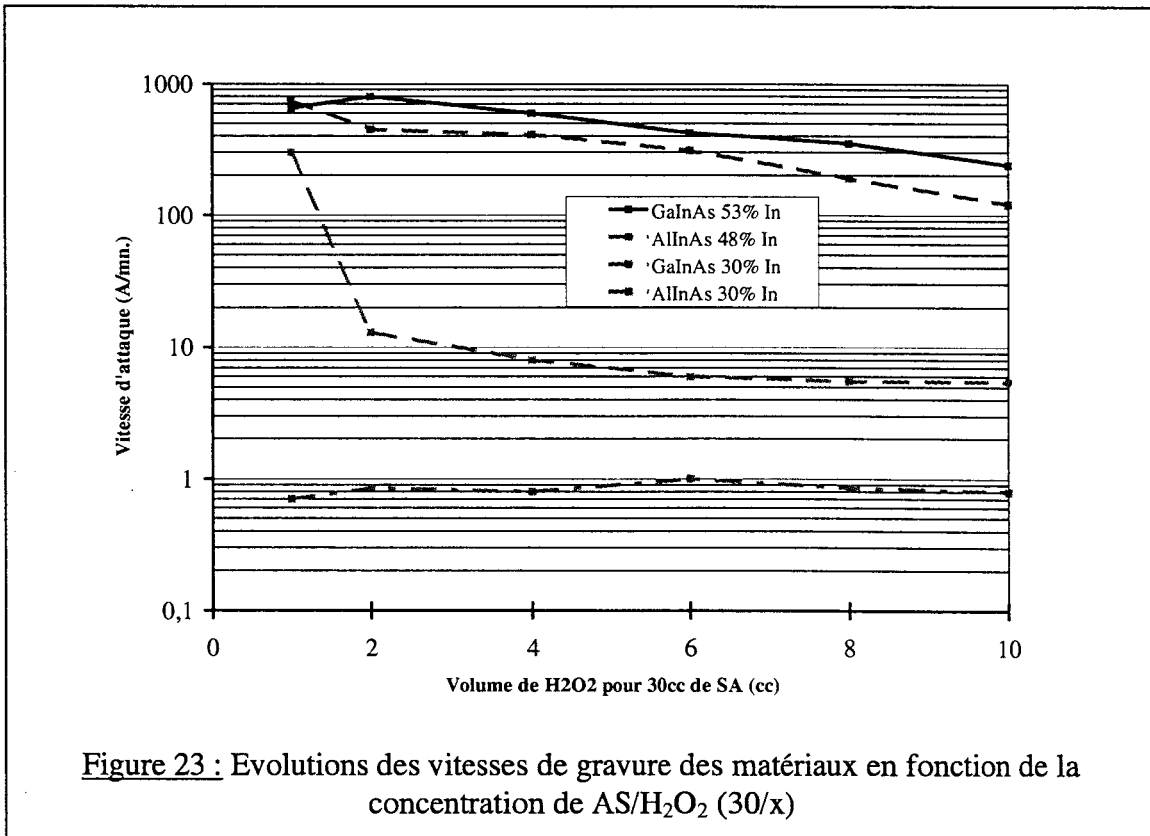
La gravure du fossé de grille est de loin l'étape technologique la plus délicate car elle nécessite un procédé reproductible plaque à plaque et donc sélectif ou parfaitement contrôlé. Il est possible d'envisager deux techniques : la gravure ionique réactive (RIE) et la gravure chimique.

Aussi, la RIE est très difficile à mettre en œuvre. Dans la filière InP, il est possible d'utiliser le méthane/hydrogène (CH_4/H_2) [20] ou le bromure d'hydrogène (HBr) [21].

Dans le premier cas, la gravure est sélective sous certaines conditions (une sélectivité de 100 peut être atteinte), mais le profil de gravure est vertical. En effet, pendant la gravure, la génération de polymères se déposant sur les flancs, empêchent une gravure latérale. Dans le cas de la gravure par HBr, celle-ci permet d'obtenir une sélectivité supérieure (170) à celle précédemment décrite. De plus, l'HBr permet une sous-gravure du matériau à travers le masque de résine, mais une gravure latérale comme celle qui nous serait utile pour l'isolation paraît peu probable. En fait, la sous-gravure latérale n'est possible que s'il y a rétro-diffusion des ions sur le matériau. Enfin, ne disposant pas de ce type de gaz dans notre laboratoire, il faut orienter nos travaux vers la gravure chimique.

Des résultats utilisant l'acide citrique étaient disponibles dans la littérature. Ceux-ci annonçaient des sélectivités de GaInAs sur AlInAs (adapté sur InP) de 25 [22] à 60 [23] et 500 pour la gravure de GaInAs/InP. Les essais effectués au laboratoire par H.FOURRE [18] pour reproduire ces résultats se sont soldés par des échecs. Le meilleur résultat obtenu a permis d'obtenir une sélectivité de 17 avec une vitesse d'attaque de l'AlInAs de l'ordre de 250 Å/min. Il semble que cette gravure nécessite une température très basse (proche de 0°C, ce qui est difficile à obtenir sans bain thermostaté). Une autre possibilité utilisant une barrière d'arrêt d'AlAs et une gravure à l'acide succinique ($\text{HOOCCH}_2\text{CH}_2\text{COOH}$) s'offrait à nous et permettait une sélectivité supérieure à 1000 [24]. Mais l'utilisation des barrières AlAs peut compromettre la qualité des contacts ohmiques, nous avons écarté cette solution. Cependant nous n'avons pas exclu cette solution en totalité car, l'acide succinique semblait offrir des potentialités intéressantes pour la gravure des matériaux en jeu.

Par conséquent, nous avons étudié en collaboration avec H.FOURRE, la solution de gravure acide succinique(AS)/ H_2O_2 dans le but d'obtenir une solution chimique utilisable à la fois pour la filière InP et pour la filière Métamorphique. Pour cela, nous avons préparé de l'acide succinique (200 gr. d'acide pour un litre d'eau DI) que nous avons tamponné à l'aide d'ammoniaque, afin d'ajuster le pH de la solution totale à 5 [25]. Le résultat du pH indiqué dans la littérature correspond à celui que nous avons également déterminé et qui permet d'obtenir la meilleure sélectivité. Nous avons ensuite calibré la solution d'acide/ H_2O_2 (30/x) en fonction du volume x de peroxyde d'hydrogène variant de 1 à 10 pour les structures InP et métamorphiques. Les résultats de gravure effectuées sur du matériau AlInAs et GaInAs sont représentés sur la figure 23. Nous pouvons constater une sélectivité d'attaque entre les deux matériaux et ce, dans les deux filières [26]. De plus, la vitesse d'attaque de l'AlInAs est d'autant plus faible que ce matériau contient un taux d'aluminium plus élevé.



Le rapport de vitesse de gravure entre les matériaux GaInAs et AlInAs (sélectivité) est représentée sur la figure 24 pour les deux filières. Nous obtenons alors pour le matériau adapté en maille sur InP, une sélectivité maximale de l'ordre de 75 pour la solution SA/H₂O₂ (30/4). Pour le matériau métamorphique, nous obtenons une sélectivité de 1030 pour la solution SA/H₂O₂ (30/1). Notons que pour les solutions permettant d'obtenir les sélectivités maximales, la vitesse de gravure d'AlInAs est de l'ordre de 8 Å/min. sur InP et inférieure à 1 Å/min. sur métamorphique.

Ces résultats sont très encourageants, car ils offrent à la fois la facilité et la fiabilité quant à l'utilisation de la solution AS/H₂O₂.

Aussi, il reste afin de valider totalement les solutions utilisées, à calibrer la sous-gravure éventuelle du matériau GaInAs à l'aide de la solution permettant la sélectivité la plus élevée.

Pour ce faire, nous avons réalisé des motifs similaires aux ouvertures de grilles de 0,1 et 0,2 µm sur une couche de type composant avec un cap layer de 100 Å de GaInAs adapté sur InP. Nous avons réalisé des attaques de durée variable allant de 30 à 240 secondes, puis nous avons à l'aide d'un microscope AFM, mesuré l'ouverture totale et la profondeur de la gravure. Les résultats représentés sur la figure 25 montrent la possibilité d'une sous-gravure importante. La sous-gravure totale varie linéairement avec la durée d'attaque pour les ouvertures initiales de 0,1 et 0,2 µm. Il est alors possible, pour une grille de 0,2 µm, d'obtenir une sous-gravure de 0,1µm de chaque côté de la grille avec une attaque de 1 minute.

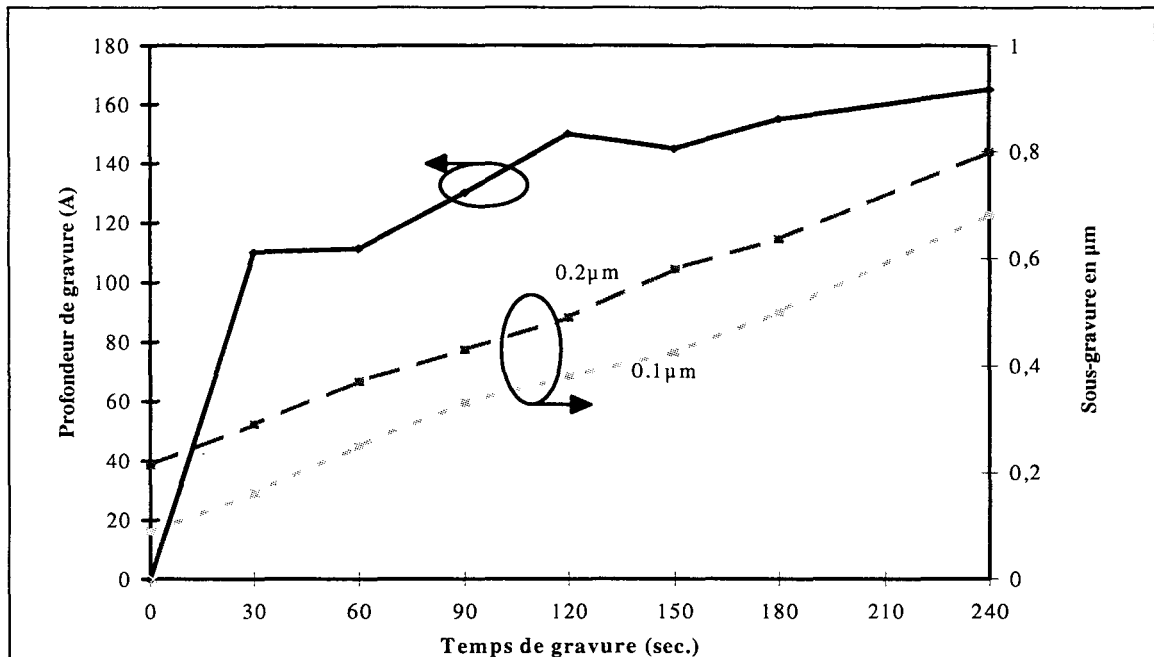


Figure 25 : Evolution en fonction du temps, de la profondeur et de la sous-gravure des matériaux /InP pour la solution permettant d'obtenir la sélectivité maximale

Par la suite, nous avons essayé de réaliser le calibrage de la sous-gravure du matériau GaInAs de la filière Métamorphique. L'état de surface de ce type de structure (cross hatching) n'a pas permis la mesure par AFM des ouvertures de gravure.

Nous retiendrons de cette étude, la possibilité offerte par l'acide succinique d'obtenir une sélectivité de 75 (pour SA/H₂O₂ 30/4) sur InP et 1030 (pour SA/H₂O₂ 30/1) sur Métamorphique et une sous-gravure du fossé de grille pouvant être ajustée par le temps d'attaque.

4.3 La métallisation et la technologie de grille

Avant de commencer les réalisations technologiques complètes, il faut encore mettre au point la technologie de grille. Celle-ci consiste à déterminer la métallisation permettant les meilleures tenues en tension (en direct et en inverse) possibles et le procédé de fabrication.

4.3.1 La métallisation de grille

Nous avons donc dans un premier temps, étudié la métallisation de grille. Cette étude a commencé par la réalisation de grilles de longueur de 5 μm sur une épitaxie de type composant sur InP avec un plan de dopage de $5.10^{12} \text{ cm}^{-2}$.

La première réalisation a consisté à essayer la métallisation utilisée sur GaAs : Ti/Pt/Au en sous-gravant ou non le canal lors de l'étape d'isolation. Les résultats sont représentés sur le figure 26 pour les deux cas. Nous observons alors pour la diode ne bénéficiant pas de sous-gravure du canal, un fort courant de fuite, comparé à la diode avec canal sous-gravé. Ce premier résultat confirme la nécessité de sous-graver le canal. Pour la diode avec sous-gravure du canal, nous obtenons une tension de built-in (V_b) de 0,35V et un facteur d'idéalité de 2,5. Ce résultat semble insuffisant car la tenue en tension inverse est très faible et le courant apparaît rapidement. Par conséquent, une optimisation du contact Schottky est nécessaire.

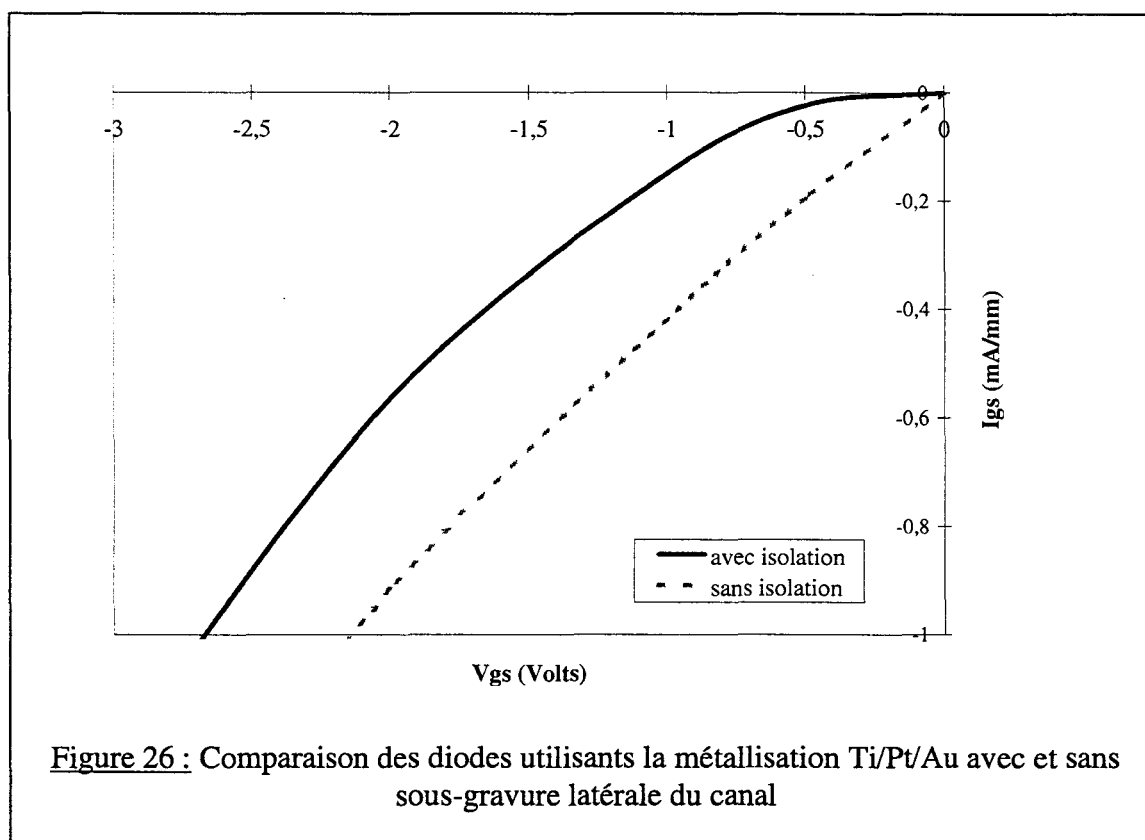


Figure 26 : Comparaison des diodes utilisant la métallisation Ti/Pt/Au avec et sans sous-gravure latérale du canal

En fait, pour réaliser un bon contact de grille, il est nécessaire d'utiliser un métal dont la barrière sur le matériau semi-conducteur sera la plus élevée possible. Aussi, il semble que le platine (Pt) soit de loin le meilleur prétendant avec une hauteur de barrière sur AlInAs de 0,82 V (contre 0,59 V pour le Ti)[27]. Si l'utilisation d'une grille Pt/Au permet d'obtenir de diodes de meilleures qualités que celles obtenues avec Ti/Pt/Au, le courant de fuite à 1V est encore de 70 μ A/mm [28].

Il semble alors nécessaire de combiner les métaux Ti et Pt. La métallisation Pt/Ti/Pt/Au ayant permis d'obtenir des résultats satisfaisants [27], nous avons décidé d'étudier ce contact en faisant varier l'épaisseur de la première couche de Pt du dépôt Pt/Ti(500)/Pt(500)/Au. Comme dans le cas des premiers essais, nous avons réalisé des grilles de 5 μ m de longueur en isolant le canal par sous-gravure.

Les résultats obtenus sont résumés dans le tableau 3 pour des épaisseurs de Pt de 50, 100 et 250 Å. De plus, le premier essai permet d'effectuer des comparaisons.

Type de dépôt	Vb(V)	η	Iinv. à -1V (μ A/100 μ m)
Ti/Pt/Au	0,35	2,5	20
Pt(50)/ Ti/Pt/Au	0,40	2,1	10
Pt(100)/ Ti/Pt/Au	0,48	1,9	2
Pt(250)/ Ti/Pt/Au	0,54	1,8	1

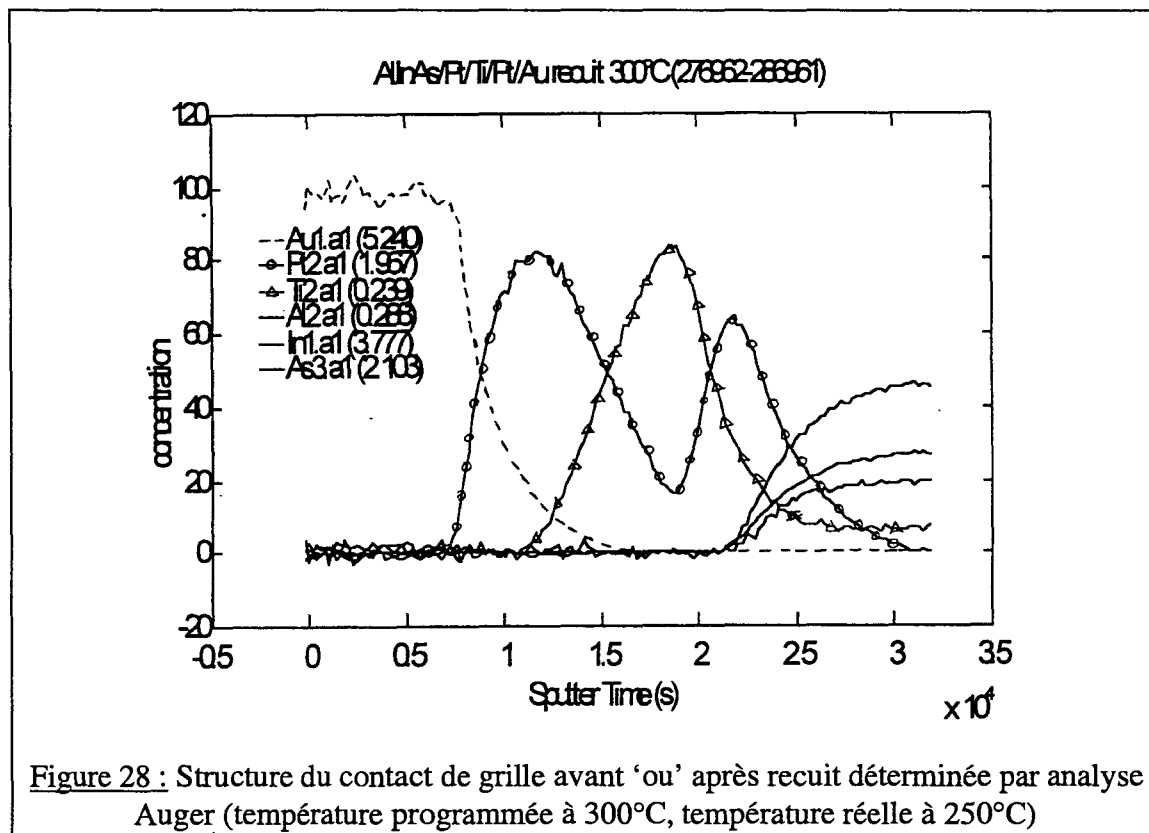
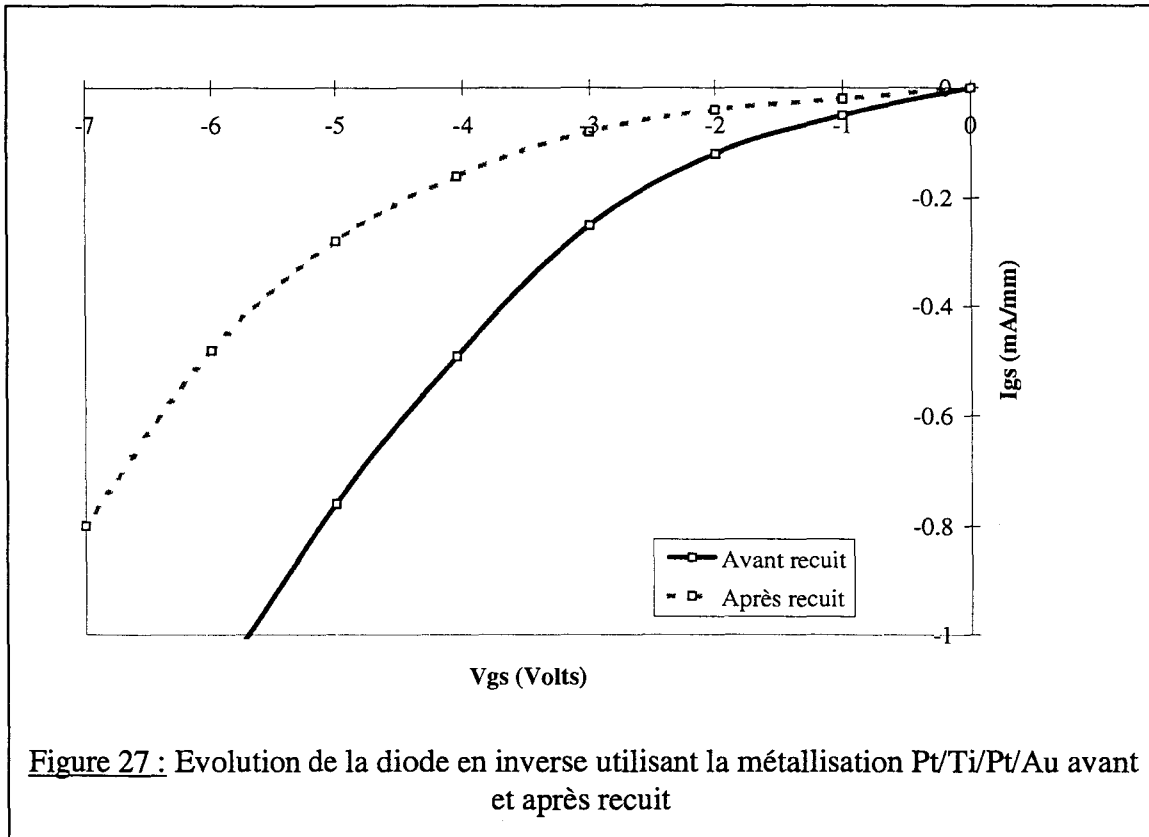
Tableau 3 : Comparatif des différentes métallisations de grille. Influence de l'épaisseur de la première métallisation.

Nous observons une amélioration de la diode en incorporant du Pt. Cette amélioration est d'autant plus évidente que l'épaisseur de Pt est importante. Cependant, des essais ont montré qu'une épaisseur de Pt supérieure à 250 Å n'apporte pas d'amélioration.

Par conséquent, nous avons adopté la métallisation Pt(250)/Ti(500)/Pt(500)/Au. Ensuite, nous avons effectué des recuits à 250°C sous azote hydrogéné, pour vérifier la nécessité d'un recuit de stabilisation. La figure 27 montre les résultats de diode en inverse avant et après recuit. Il est par conséquent indispensable d'effectuer un recuit de la grille. Certains auteurs [29][30] ont observé des modifications des caractéristiques des composants dues à la diffusion du Platine dans le semi-conducteur. Nous n'avons pas observé ces modifications. Nous avons alors effectué des analyses Auger sur des métallisations de grille ayant subi ou non un recuit. Les analyses n'ont montré (fig. 28) aucune modification de la structure métallique telle que la diffusion du platine dans le semi-conducteur.

En conclusion, la métallisation Pt(250)/Ti(500)/Pt(500)/Au permet d'obtenir des contacts Schottky de très bonne qualité (Vb~0,5 V et une bonne tenue en tension inverse) et nécessite un recuit de stabilisation de 250°C pendant 10 minutes sous azote hydrogéné.

Dans la filière métamorphique, la même métallisation peut être utilisée. Le résultat obtenu sera détaillé dans le chapitre concernant la réalisation d'un transistor dans cette filière.



4.3.2 La technologie de grille

Après avoir défini la métallisation de grille permettant d'obtenir un contact Schottky de qualité suffisante, il a fallu définir la technologie de grille pour les deux filières. Or, nous avons vu dans le premier paragraphe, la nécessité de réaliser des grilles en Té et les deux possibilités de réalisation : en utilisant une couche de nitrure ou par la méthode multicouches.

La méthode de grille nitrure était couramment utilisée lorsque nous avons commencé le développement des filières InP et Métamorphique, et avait montré une excellente reproductibilité. Cependant, cette méthode induit quelques limitations aux transistors visant les applications en gamme millimétrique. Ces limitations sont d'autant plus importantes sur les structures d'épitaxie retenues pour les filières étudiées.

En effet, comme nous l'avons vu dans le paragraphe traitant de l'isolation, l'ouverture au CF_4 du nitrure pour définir le pied de grille, dégrade fortement le matériau. Dans les filières InP et Métamorphique, pour des raisons qui seront expliquées dans le troisième chapitre, l'épaisseur du cap-layer est de l'ordre de 70 à 100 Å. Par conséquent, la couche barrière risque d'être affectée par l'opération d'ouverture si les conditions de gravure ne sont pas optimisées.

Aussi, même si des conditions de gravure sont obtenues pour empêcher toute dégradation de la couche, il est évident que le nitrure situé sous le chapeau de grille constitue un excellent diélectrique pour permettre d'obtenir des capacités parasites entre la grille et le cap-layer. Ces capacités ayant pour conséquence d'empêcher la montée en fréquence des transistors. Pour enlever ce nitrure, une attaque plasma CF_4 ou SF_6 est nécessaire, même si elle est parfois insuffisante pour attaquer totalement le nitrure sous le chapeau de grille. Bien qu'il soit possible de modifier les conditions de gravure afin que celle-ci devienne anisotrope [31] (gravure dans toutes les directions), il ne faut pas oublier que la gravure plasma peut être une source de dégradation du matériau. De plus, comme le laisse penser la grille représentée sur la figure 29, la réduction du pied passe obligatoirement par une diminution de l'épaisseur de nitrure. En effet, les 800 Å de nitrure utilisés pour une longueur de grille de 0,15 µm sont déjà très critiques car le risque de rupture entre le pied et le chapeau de grille est certain. L'exemple donné met en évidence que la solidarité entre le pied et le Té de grille n'a lieu que pour un épaissement de grille très important. En plus du problème de liaison entre le pied et le chapeau, nous constatons que le remplissage de la grille par le métal, n'est pas maximum et par conséquent, pénalise la résistance de grille.

Par conséquent, il est nécessaire pour cette technologie de réduire l'épaisseur de nitrure pour la réalisation de grille de longueur inférieure à 0,2 µm. Cette réduction provoque alors une augmentation de la capacité de couplage entre la grille et le cap-layer.

Enfin, notons que cette technologie nécessite pour la réalisation de grille, deux expositions au masqueur électronique. Si cet aspect peut être relégué au second plan pour un laboratoire de recherche, il n'en est plus de même pour l'industrie. Dans les deux cas, la diminution du nombre d'étapes technologiques favorise la réussite du process.

Alternativement à ce procédé, il est possible de réaliser des grilles par la méthode multicouches. Plusieurs variantes existent dans cette méthode :

- la première, consiste à utiliser deux ou trois résines
- la seconde, consiste à définir le grille en une ou deux expositions

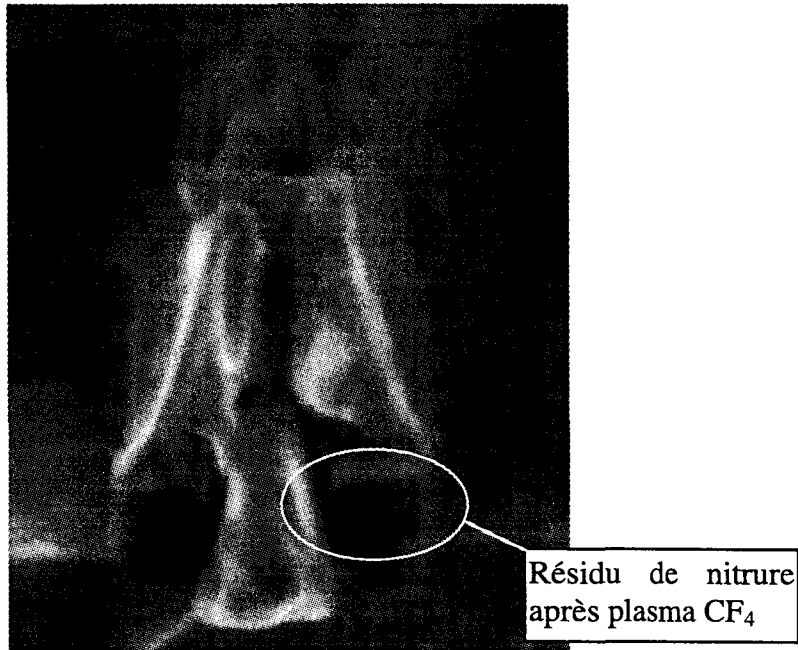


Figure 29 : Mise en évidence des problèmes de métallisation et d'attaque nitrure laissant une partie de celui-ci sous le chapeau pour une grille réalisée par la méthode nitrure

Concernant le nombre de couches de résine, la solution utilisant trois couches est plus intéressante puisque la troisième couche (utilisée en chapeau) a pour but de faciliter le lift-off.

Concernant le nombre d'expositions, la solution consistant à utiliser deux expositions rejoint l'idée de la technologie de grille nitrure. En effet, les trois résines ont pour la première, la fonction de définir le pied, et pour les deux autres, la fonction de définir le chapeau. Lors de la première exposition, le chapeau est défini. Après révélation, la deuxième exposition permet de définir le pied [32]. Cette solution à deux expositions est par conséquent plus longue, même si elle ne semble pas difficile à mettre en œuvre.

La solution à une seule exposition consiste à définir la forme de la grille en faisant varier la dose et les lieux d'expositions. La façon la plus simple consiste à définir une exposition centrale pour définir le pied et deux expositions latérales de dose beaucoup moins élevée pour définir le chapeau. Ces différentes expositions définissent le motif de grille.

Il apparaît alors deux paramètres très importants dans cette technologie :

- la hauteur de la première résine
- le rapport de dose entre l'exposition centrale et les expositions latérale

La hauteur de la première couche de résine (PMMA) a été fixée à 1000 Å afin de pouvoir diminuer la longueur du pied de grille jusque 0,1 µm. L'épaisseur de la troisième résine (PMMA) doit juste assurer la facilité du lift-off et doit être faible. Celle-ci a été fixée à 600 Å.

Enfin, l'épaisseur de la résine intermédiaire (PMMA-MAA) a été ajustée à une épaisseur de 7000 Å, afin de pouvoir métalliser les grilles jusqu'à 5000 Å. La très forte sensibilité de cette résine permet de choisir l'épaisseur désirée sans avoir d'incidence sur la dose d'exposition nécessaire. Le dépôt successif des trois résines est représenté sur la figure 4.

En ce qui concerne le rapport de dose, des essais préliminaires d'écriture à 100 kV (pour un faisceau de 100 nm de spot et une résolution de 100 nm) d'une simple ligne ont montrés que les deuxième et troisième résine sont ouvertes totalement à partir de $100 \mu\text{C}/\text{cm}^2$ et jusqu'à $400 \mu\text{C}/\text{cm}^2$, la première résine n'étant pas exposée. Pour la dose devant définir le pied de grille, elle n'est efficace qu'à partir de $600 \mu\text{C}/\text{cm}^2$, mais l'ouverture initiale de 0,1 μm se concrétise par une ouverture de 0,15 μm .

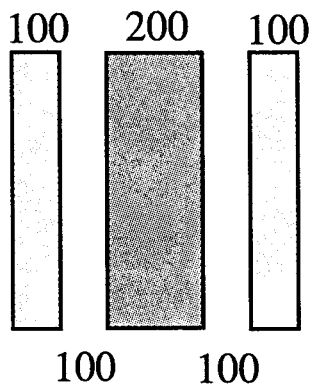
Par conséquent, le rapport de dose entre l'exposition centrale et les expositions latérales, peut être choisi entre 3 et 5. Nous avons choisi arbitrairement de conserver un rapport de dose de 5.

Ensuite, nous avons dû définir le motif de grille et la dose de base pour l'écriture. Nous avons commencé cette étude en nous fixant pour objectif, la réalisation de grilles de 0,25 μm de longueur de pied. Fort de notre première expérience, nous avons défini le motif représenté sur la figure 30, avec une dimension de pied de 0,2 μm et une résolution de 100 nm. Ensuite, nous avons effectué une variation de dose, afin de déterminer le minimum de dose d'exposition. Celle-ci s'avérait être de $375 \mu\text{C}/\text{cm}^2$. Le résultat obtenu est représenté sur la figure 30.

Nous avons continué notre étude dans l'objectif de réaliser des grilles de 0,15 et 0,1 μm . Dans un premier temps, la réduction de 50 % des dimensions du masque de grille de 0,25 μm et une écriture avec une résolution de 50 nm s'est soldée par un échec. Il nous a fallu augmenter de façon considérable la résolution pour passer de 50 à 10 nm avec un spot de 30 nm. Dans le même temps, nous étions conscients que la réduction des espaces entre les expositions des lobes centraux et latéraux risquait de modifier l'exposition totale de la structure.

Enfin, la réalisation de grille de longueur de 0,15 μm avec une longueur de Té de 0,3 μm peut paraître insuffisante en terme de résistance métallique, même si la métallisation occupe tout l'espace défini pour la grille (contrairement aux grilles réalisées par la technologie nitrure). Dans cette optique, nous avons continué notre étude en réalisant des grilles à partir de neuf motifs différents du précédent (fig. 31). Ces différents motifs permettant d'étudier pour notre procédé :

- l'influence de l'espacement entre les zones latérale et centrale (motifs 2, 3 et 4)
- la faisabilité d'une longueur de Té $>$ à 0,3 μm pour $L_g=0,15 \mu\text{m}$ (motifs 0, 1, et 2) et $L_g=0,1 \mu\text{m}$ (motifs 6 et 7)
- la faisabilité d'une grille de longueur de pied $<$ 0,15 μm (motifs 6, 7 et 8)
- la faisabilité d'une grille en Γ (motif 5)



Lg=0,25 μ m Dose de 375 μ C/cm²

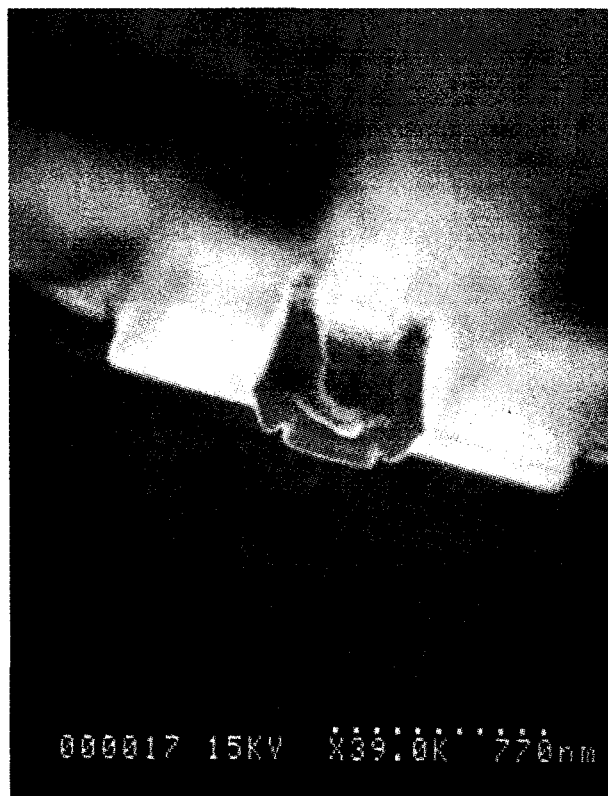
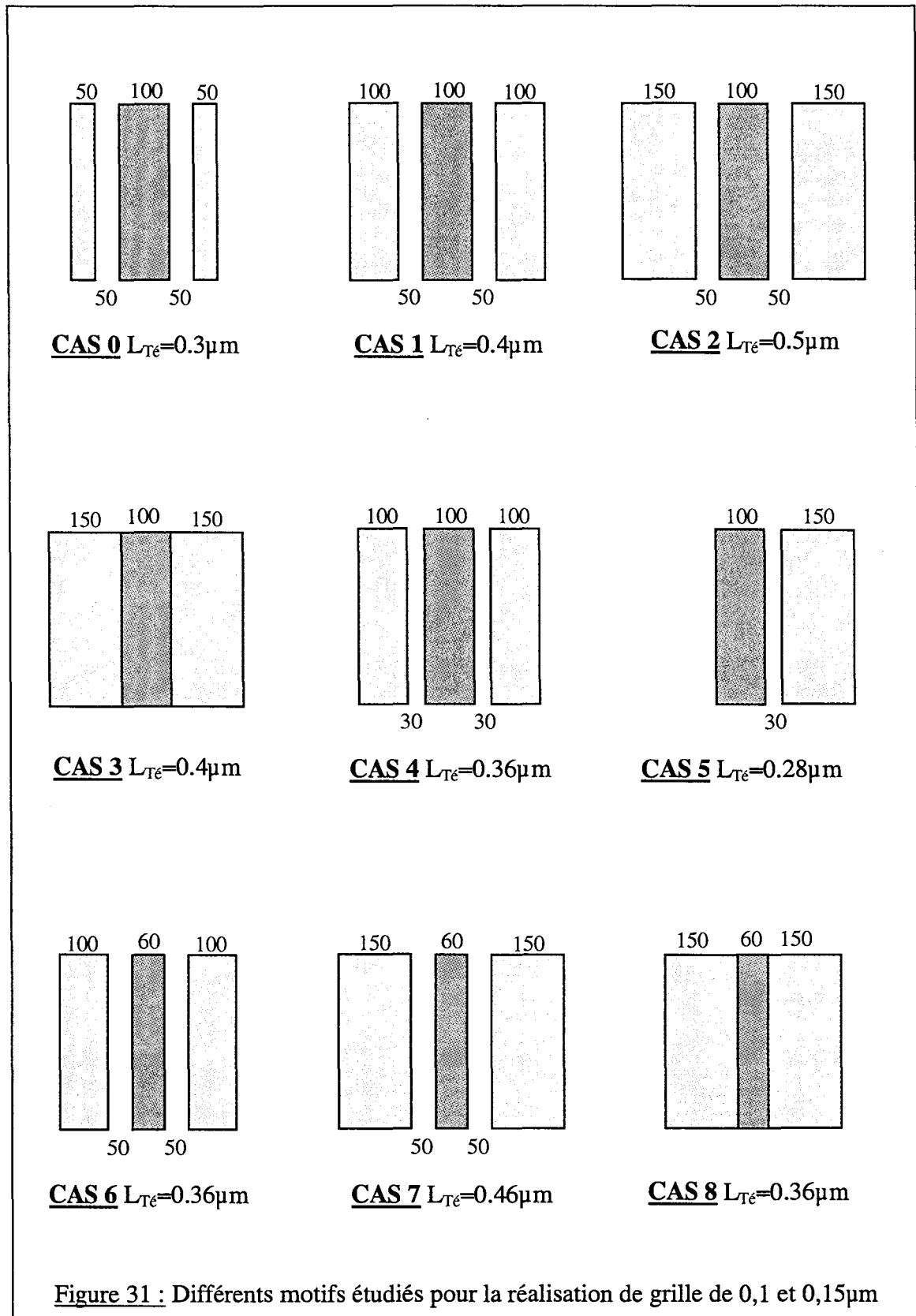


Figure 30 : Motif et résultat de l'essai de réalisation d'une grille de 0,25 μ m



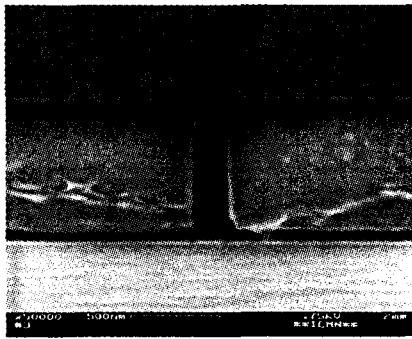
Notons que le dernier motif (5) permettra de visualiser le profil du pied de grille lorsque celui-ci se trouve sans métallisation latérale.

Les expositions ayant été effectuées avec un spot de 30 nm et une résolution de 10 nm, un rapport de dose de pied sur dose latérale égal à 5. Une variation des doses latérales variant de 100 à 250 $\mu\text{C}/\text{cm}^2$ a permis de déterminer pour les différents motifs, les évolutions des longueurs des ouvertures des pieds et des chapeaux de grilles en fonction de la dose (fig. 32 a, b et c). Le tableau 4 résume les différentes mesures effectuées au MEB.

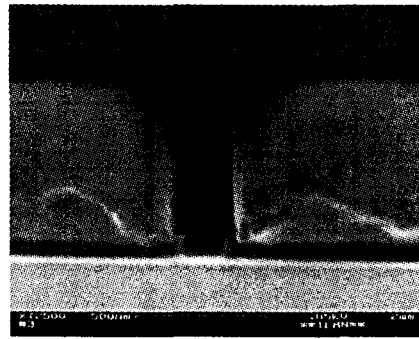
	Dose lat $\mu\text{C}/\text{cm}^2$	112	132	152	172	192	212
Motifs	Dose pied $\mu\text{C}/\text{cm}^2$	560	660	760	860	960	1060
cas 0	Lg (nm) 0	115	130	160	150	185	190
	Lté (nm) 0	190	205	220		310	350
cas 1	Lg (nm) 1	115	135	160	155	180	190
	Lté (nm) 1	200	210	240	307	359	420
cas 2	Lg (nm) 2		130	165	160	175	160
	Lté (nm) 2	190	205	240	350	400	425
cas 3	Lg (nm) 3	130	135	125	200	230	230
	Lté (nm) 3	265	320	400	485	475	472
cas 4	Lg (nm) 4	110	145	170	175	185	210
	Lté (nm) 4	200	250	310	430	440	460
cas 5	Lg (nm) 5		115	135	170	190	185
	Lté (nm) 5	214	213	280	320		380
cas 6	Lg (nm) 6		95	120	120	120	135
	Lté (nm) 6	160	170	215	240		400
cas 7	Lg (nm) 7	70	100	115	120	105	140
	Lté (nm) 7	140	170	175	220	315	330
cas 8	Lg (nm) 8	110	95	150	160	195	215
	Lté (nm) 8	220	200	320	400	400	480

Tableau 4 : Résumé des longueurs de pieds et de chapeaux de grilles (en nm) en fonction de la dose d'exposition pour les différents motifs étudiés.

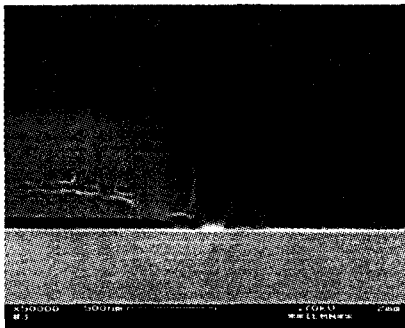
Pour analyser ces résultats, nous avons tracé les évolutions des dimensions du pied et du chapeau de grille pour les différents motifs en fonction de la dose d'exposition (la figure 33 représente cette évolution pour les motifs 0 et 1). Pour déterminer ensuite la dose d'exposition nécessaire, nous avons recherché la dose correspondant à la cote fixée pour notre motif. Si pour la cote du chapeau de grille, nous avons adopté la dimension du motif, pour le pied de grille, nous avons fixé la dimension à 150 nm lorsque le motif est de 100 nm. Lorsque le motif est à 60 nm, nous avons fixé la dimension du pied de grille à 100 nm.



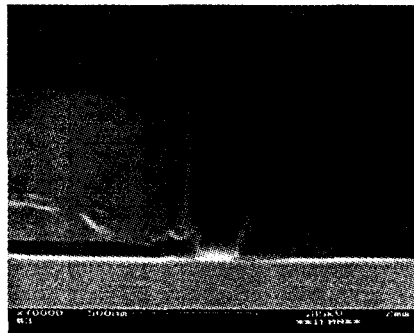
M0-132



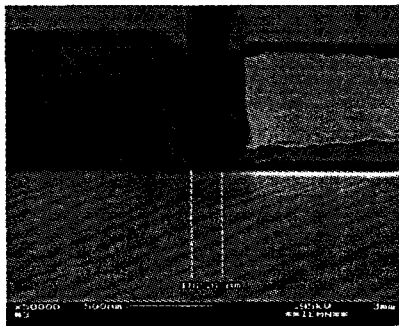
M0-152



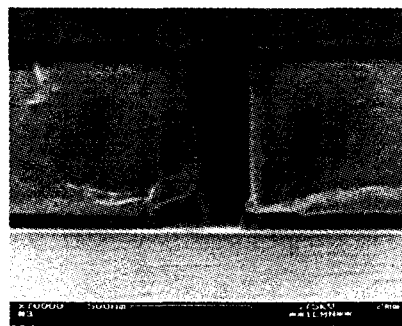
M1-132



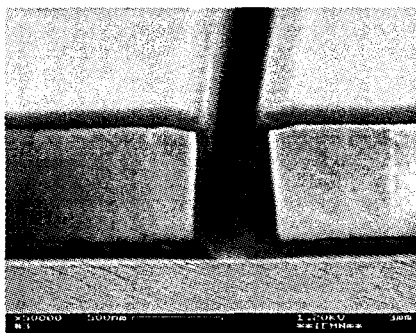
M1-152



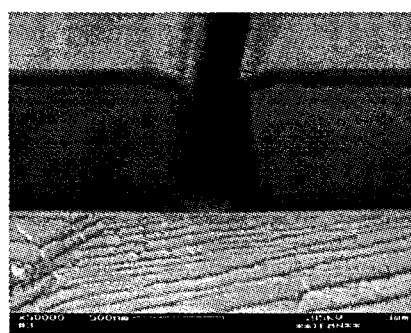
M1-192



M2-132

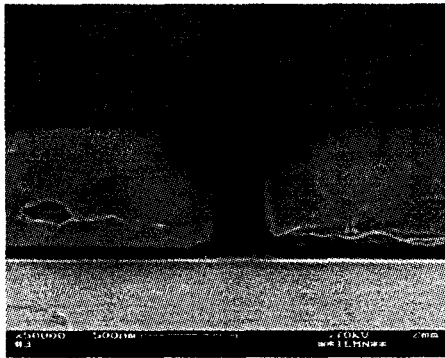


M2-172

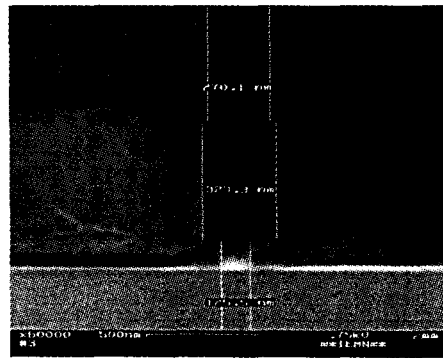


M2-192

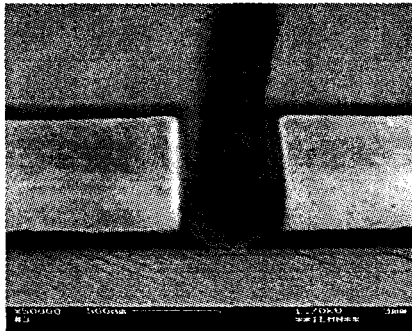
Figure 32-a : Ouvertures des différents motifs étudiés. Le premier chiffre correspond au numéro du motif, le deuxième chiffre correspond à la dose du lobe latéral



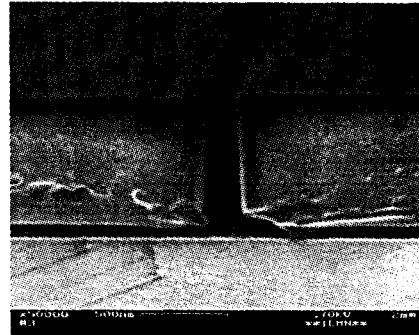
M3-112



M3-132



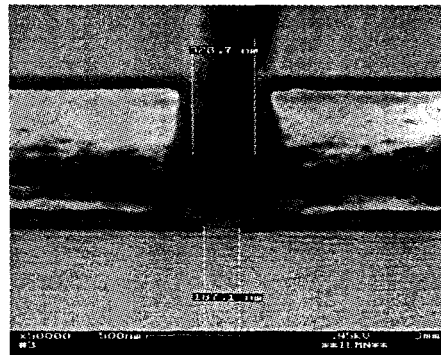
M3-172



M4-112

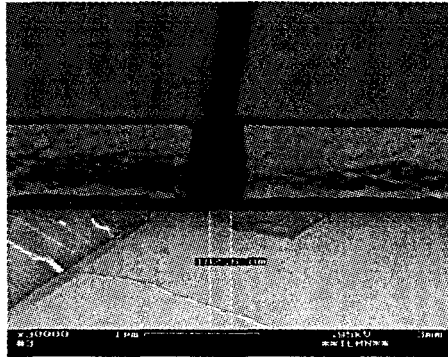


M4-152

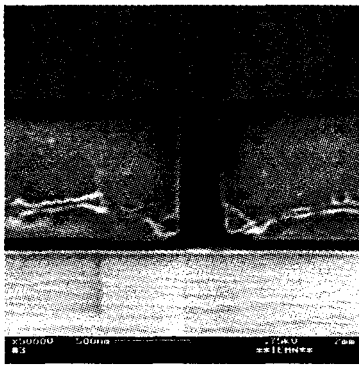


M4-192

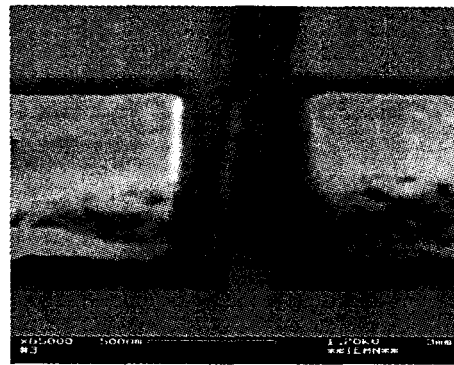
Figure 32-b : Ouvertures des différents motifs étudiés. Le premier chiffre correspond au numéro du motif, le deuxième chiffre correspond à la dose du lobe latéral



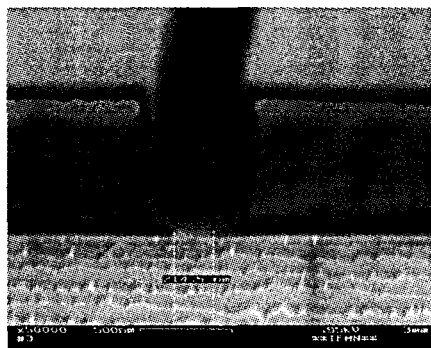
M5-212



M8-132

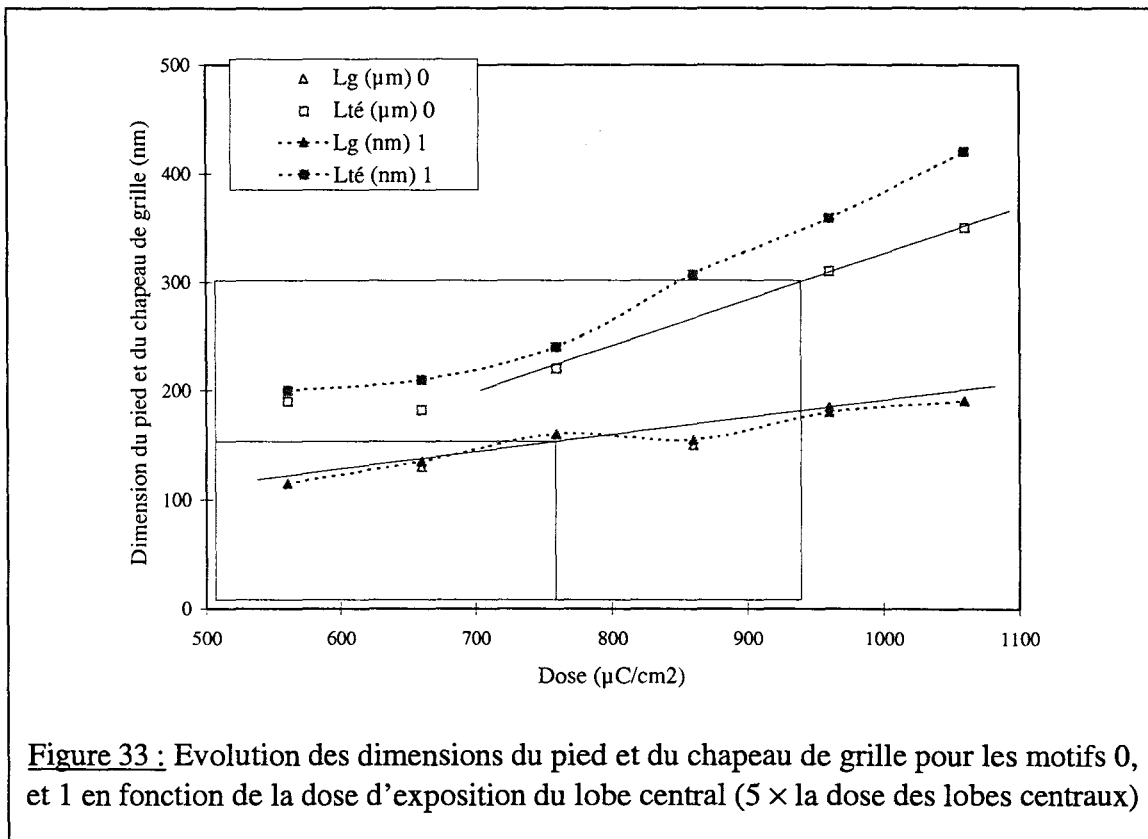


M8-172



M8-212

Figure 32-c : Ouvertures des différents motifs étudiés. Le premier chiffre correspond au numéro du motif, le deuxième chiffre correspond à la dose du lobe latéral



Le tableau 5 résume pour chaque motifs les longueurs visées, les doses nécessaires et le rapport de dose entre les expositions des zones latérales et de la zone centrale.

Motifs	Lg visée (nm)	Dose ($\mu\text{C}/\text{cm}^2$)	Lté visée (nm)	Dose ($\mu\text{C}/\text{cm}^2$)	Rapport
cas 0	150	760	300	190	4
cas 1	150	760	400	205	3,7
cas 2	150	830	500	225	3,7
cas 3	150	630	400	165	3,8
cas 4	150	650	360	175	3,7
cas 5	150	830	330	175	4,7
cas 6	100	660	360	210	3,2
cas 7	100	660	460	250	2,6
cas 8	100	640	360	165	3,8

Tableau 5 : Récapitulatif des doses d'exposition nécessaire pour les dimensions de pied et de chapeau visées. Détermination du rapport de dose.

La première conclusion qui s'impose à la vue de ce résultat concerne le rapport de dose. En effet, nous constatons que pour les grilles en té, le rapport est de l'ordre de 3,7 pour les pieds de longueur de 150 nm et de l'ordre de 3 pour les pieds de longueur de 100 nm.

De la même façon, les conclusions suivantes peuvent être tirées en analysant les motifs définis pour notre étude :

- d'après l'étude de l'influence de l'espacement entre les zones latérale et centrale (motifs 2, 3, 4 et 5) :

- lorsque l'espace entre les zones latérales et centrale augmente, la dose d'exposition nécessaire des zones latérales augmente. En effet, au fur et à mesure que la dimension des zones latérales augmente, l'effet de l'ouverture du pied de grille diminue. (comparaison des motifs 2 et 3)

- lorsque deux motifs ont des dimensions de pied et de chapeau de grille identique avec dans un cas, un espace latéral-central nul, les doses d'exposition des zones centrales et latérales sont identiques pour les deux motifs. (comparaison des motifs 3 et 4)

- d'après l'étude de la faisabilité d'une longueur de $Té > à 0,3 \mu\text{m}$ pour $L_g=0,15 \mu\text{m}$ (motifs 0, 1, et 2) et $L_g=0,1 \mu\text{m}$ (motifs 6 et 7) :

- lorsque l'espace latéral-central est constant et que la dimension des zones latérales augmente, la dose d'exposition nécessaire de la zone latérale augmente. Cette observation se fait sur les motifs de grille avec un pied de $0,15 \mu\text{m}$ (motifs 0, 1 et 2) et sur les motifs de grille avec un pied de $0,1 \mu\text{m}$ (motifs 6 et 7)

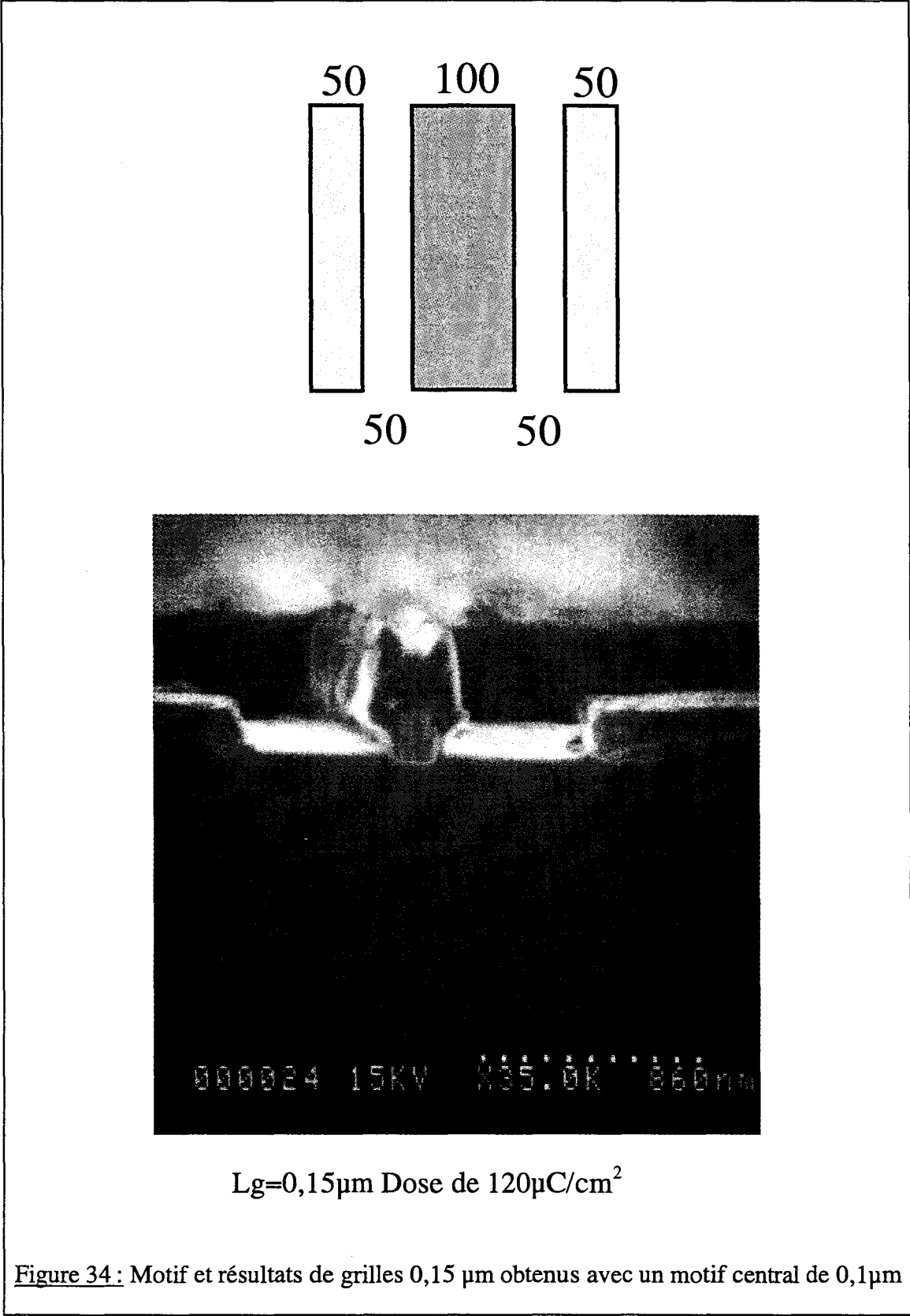
- d'après l'étude de la faisabilité d'une grille de longueur de pied $< 0,15 \mu\text{m}$ (motifs 6, 7 et 8) :

- contrairement au cas des grilles de $0,15 \mu\text{m}$ de longueur, lorsque la dimension totale du latérale et de l'espace latéral-central est identique à la dimension de la zone latérale avec un espace latéral-central nul, les doses d'exposition des zones latérales ne sont pas identiques pour les deux motifs. (comparaison des motifs 6 et 8). Dans le cas 8, les expositions latérales chevauche l'exposition centrale et donc surexpose cette région.

- comme dans le cas des grilles de $0,15 \mu\text{m}$ de longueur, lorsque l'espace entre les zones latérales et centrale augmente (à dimension de zone latérale constante), la dose d'exposition nécessaire des zones latérales augmente (comparaison des motifs 7 et 8).

Cette analyse sur les rapports de dose (dose centrale/dose latérale) pour les différents motifs et les tendances sur la dose d'exposition nécessaire en fonction de la géométrie nous a permis de rectifier les paramètres d'exposition pour la réalisation de grilles à trois couches de résine de longueur de pied égale ou inférieure à $0,15 \mu\text{m}$. Notre travail n'ayant pas pour objectif la réalisation de grille de $0,15 \mu\text{m}$ de longueur de pied, les résultats plus complet de cette étude seront présentés dans le mémoire de thèse de P.CHEVALIER [33].

Il en résulte alors pour la réalisation de grille de $0,15 \mu\text{m}$, la possibilité d'utiliser les motifs 0, 1 ou 2 avec une dose de pied de $800 \mu\text{C}/\text{cm}^2$ et un rapport de dose central/latéral de 3,7 utilisant une écriture électronique à 100 kV, une résolution de 10 nm et un spot de 30 nm (fig. 34).



Pour des raisons de fiabilité (tenue mécanique des métallisations de grilles) nous retiendrons le motifs 0, avec une longueur de chapeau de grille de 0,3 μ m.

De même, pour la réalisation des études technologiques, nous pourrions également retenir la solution ayant permis d'obtenir des grilles de 0,25 μ m de longueur.

4.4 La passivation des transistors

Conséquence de la technologie de grille multicouches, l'AlInAs à proximité du pied de grille se trouve en contact avec l'air ambiant. Compte tenu du pourcentage d'aluminium contenu dans le matériau AlInAs, l'oxydation du matériau dans la zone du fossé de grille s'effectue très rapidement. En effet, après un stockage de composants pendant une durée de deux mois, nous avons observé sur ces transistors une chute importante du courant (environ la moitié), mettant en évidence le phénomène de dégradation par manque de passivation. Le même essai effectué à la fin de cette étude sur un composant passivé montrera que cette dégradation n'a pas d'origine dans la fiabilité technologique.

Si certains auteurs ont étudié la possibilité de passiver les composants par sulfuration [34], il faut garder à l'esprit que le passivant a pour fonction de stopper les agressions physiques et chimiques extérieures. Par conséquent, cette méthode ne peut être utilisée seule. La méthode couramment utilisée et qui répond aux exigences de protection est la méthode utilisant le nitrure (Si_3N_4).

Nous avons effectué un dépôt de nitrure à 300°C sur un composant désoxydé à l'ammoniaque afin de dégager la surface d'AlInAs gravée. Le relevé du réseau I(V) représenté sur le figure 35 permet d'effectuer la comparaison avant et après dépôt de nitrure. Le réseau I(V) du transistor passivé, présente une caractéristique transistor classique pour de faibles V_{ds} , puis le courant drain augmente vers le régime saturé observé avant le dépôt de nitrure. Ce phénomène peut être interprété par des défauts à l'interface ou en volume dans le semiconducteur dans la zone du fossé de grille. Ces défauts créent une zone désertée qui domine le comportement du transistor à faible champ. A champ élevé, le champ électrique longitudinal devient prépondérant et les électrons peuvent traverser cette zone désertée. Le courant augmente pour arriver à la saturation normale.

Pour déterminer si le phénomène est effectivement lié à un effet de surface et si il prend naissance dans l'état de surface du semi-conducteur ou dans les conditions de dépôt, nous avons effectué un recuit à 300°C dans le bâti de dépôt plasma afin de conserver les mêmes conditions (les recuits effectués dans la suite de ce travail seront identiques) pour des transistors désoxydés ou non. Les résultats ont montré pour le transistor désoxydé, le même phénomène que celui précédemment décrit. Pour le transistor non désoxydé, aucune modification n'a été observée (la caractéristique de départ étant déjà modifiée).

Il apparaît donc que le phénomène de dégradation des composants est dû à la température de dépôt. Un dépôt à température plus faible semble nécessaire.

Nous avons effectué un recuit à 200°C pendant 30 min. de transistor après désoxydation. La mesure du réseau I(V) avant et après recuit a montré des modifications de caractéristiques analogue à celles observées pour le recuit à 300°C, même si le phénomène est beaucoup moins important.

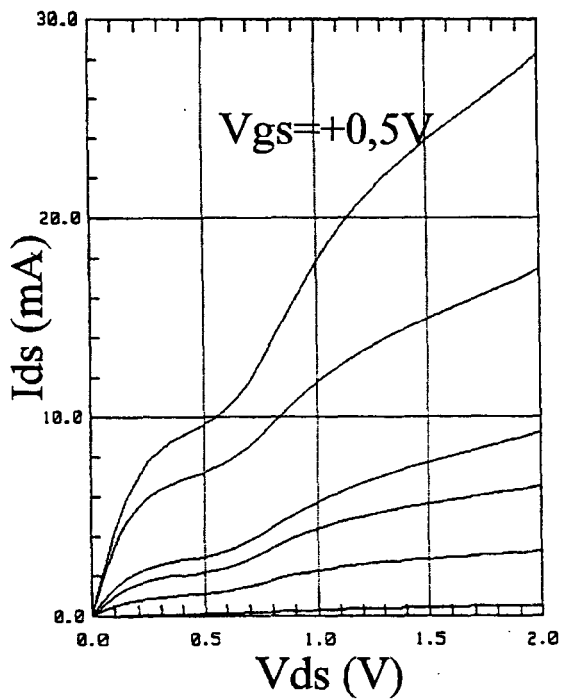
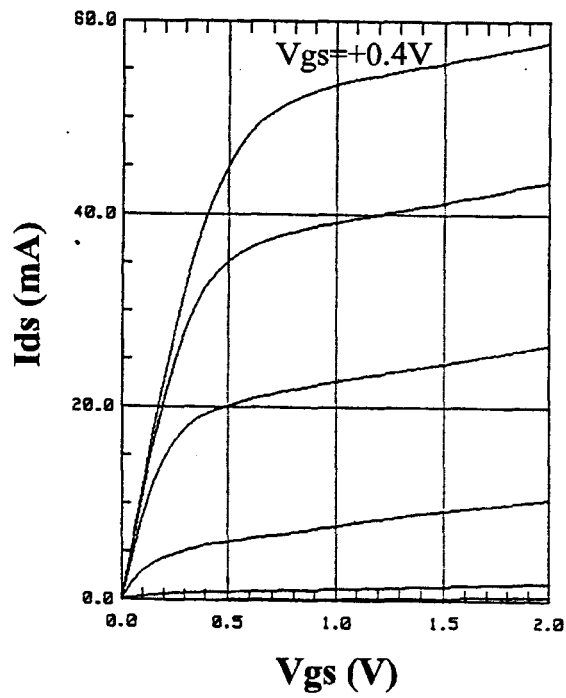


Figure 35 : Comparaison des réseaux I-V d'un composant $2 \times 50 \mu m$ avant (en haut) et après (en bas) passivation effectuée à $300^\circ C$

Il semble donc que les paramètres essentiels dans l'apparition du phénomène observé soit la température de dépôt du nitrure. Aussi, ne sachant pas exactement à quelle température l'effet se fait ressentir, nous avons continué notre étude sur la température en effectuant des essais à 100°C.

Les essais de passivation à 100°C se révélant efficace, nous avons opté pour cette solution. Nous avons cherché à déterminer l'influence de l'épaisseur de nitrure sur les performances statique et hyperfréquence. Nous avons effectué des dépôts à 100°C pour des épaisseurs de 200, 500 et 800 Å.

La comparaison des réseaux I(V) et Gm(V) d'un composant avant et après dépôt à 100°C de 800 Å de nitrure ne permet de mettre en évidence qu'une très légère variation du maximum de transconductance. Ceci peut être interprété par une diminution de la résistance de source qui n'aurait pour d'autre origine que la modification du potentiel de surface du semi-conducteur.

La caractérisation hyperfréquence des composants avec différentes épaisseurs de nitrure met en évidence l'influence de l'épaisseur de nitrure sur les performances. Le tableau 6 résume les valeurs des gains en court-circuit et des gains maximums disponibles pour les composants non passivé et passivé avec différentes épaisseurs. Nous pouvons alors observer que plus l'épaisseur de nitrure est importante, plus les gains diminuent.

Transistors	H_{21}^2 (dB) à 38 GHz	MAG (dB) à 38 GHz
non passivé	8,0	11,8
200 Å	7,7	11,0
500 Å	7,0	10,6
800 Å	6,3	10,1

Tableau 6 : Evolutions des performances en gains des transistors 2×50×0,25 µm non passivé et passivé avec différentes épaisseurs de nitrure

L'extraction du schéma équivalent des différents composants a montré des différences significatives pour les capacités Cgs et Cgd. En effet, le tableau 7 résume les valeurs des capacités, qui montrent des variations de 20 % pour la capacité Cgs et 50 % pour la capacité Cgd. C'est la variation de cette dernière qui influe le plus sur les performances en gain en puissance des transistors. Ces résultats mettent en évidence des valeurs identiques pour les transistors non passivé et passivé avec 200 Å. De la même façon, les valeurs des capacités sont identiques pour les transistors passivés avec 500 et 800 Å de nitrure, alors que l'on note des différences entre les capacités pour les transistors passivés avec 200 et 500 Å.

Transistors	Cgs (pF)	Cgd (pF)
non passivé	0,21	0,008
200 Å	0,21	0,008
500 Å	0,26	0,016
800 Å	0,26	0,016

Tableau 7 : Evolutions des capacités Cgs et Cgd des transistors 2×50×0,25 µm non passivé et passivé avec différentes épaisseurs de nitrure.

Ces résultats peuvent être interprétés par le mécanisme de dépôt de nitrure. En effet comme nous pouvons l'observer sur la figure 36 représentant une grille d'un transistor passivé par 800 Å de nitrure, le dépôt commence par enrober la grille, puis passé une épaisseur critique, le nitrure couvre l'intégralité de l'espace source-drain en laissant un gap d'air entre la grille et les contacts de source et de drain.

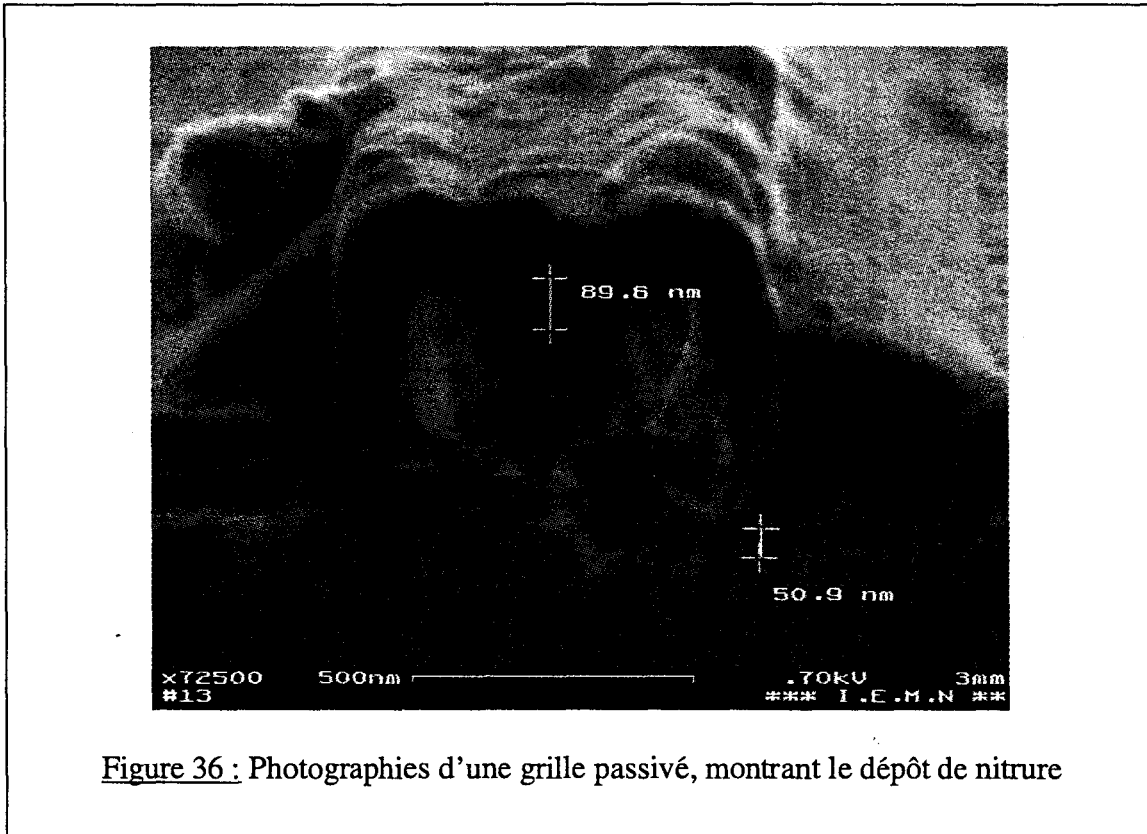


Figure 36 : Photographies d'une grille passivé, montrant le dépôt de nitrure

En conclusion, la passivation des composants à grille utilisant la technologie multicouches semble possible par dépôt de nitrure. Ce dépôt doit être effectué à 100°C et pour ne pas dégrader les performances hyperfréquences, l'épaisseur du nitrure doit être de 200 Å.

Notons, que des composants passivés selon les recommandations ci-dessus, n'ont pas montré de diminution du courant après deux mois de stockage.

Conclusion

Nous avons commencé ce chapitre en définissant de manière générale, les différentes étapes technologiques nécessaire à la réalisation de transistor de faible développement. Ensuite, nous avons défini les différentes étapes spécifiques (ponts à air et trous métallisés) à la réalisation de transistors à grand développement de grille.

Nous avons décrit dans les deux premières parties de ce chapitre, quelques possibilités qui nous sont offertes pour effectuer ces opérations ainsi que l'optimisation de certaines étapes nécessaire à l'amélioration des performances des transistors.

Dans la troisième partie de ce chapitre, nous avons décrit la technologie de la filière GaAs que nous utilisons au laboratoire, ainsi que quelques éléments technologiques permettant d'améliorer les performances des transistors.

Enfin, dans la quatrième partie, nous avons décrit la mise au point de chaque étapes technologiques qui nous ont été nécessaires pour développer les filières InP et Métamorphique.

Dans la suite de notre travail, nous utiliserons les différents procédés de réalisation technologique pour les études des trois filières envisagées.

Bibliographie

- [1] S.M.SZE
'Physics of Semiconductor Devices'
Wiley-Interscience, 1981
- [2] A.VAPAILLE et R.CASTAGNE
'Dispositifs et circuits intégrés semi-conducteurs'
Dunod, 1990
- [3] W.SCHOCKLEY et al.
'Statistics of the Recombinations of Holes and Electrons'
Phys. Rev., Vol. 87, p. 835, 1952
- [4] F.A.PADOVANI et al.
'Field and Thermoionic-Field Emission in Schottky Barriers'
Solid State Electron., Vol. 9, p. 695, 1966
- [5] F.DIETTE et al.
'Airbridge Technology for Millimeter Wave Power FET's'
5th European Heterostructure Technology Workshop, Cardiff 1995
- [6] C.GAQUIERE et al.
'Analysis of the Source Inductance Effect on the Power Performance of High Development HEMT's in the Ka-Band'
Micro. And Guided Wave Letters, Vol.5, n°8, 1995
- [7] J.L.OSZUSTOWICZ
'Mise au point de technologies adaptées à la réalisation de circuits intégrés monolithique III-V : Application au circulateur actif en bande X'
Thèse d'Université, Lille, 1996
- [8] K.Y.HUR et al.
'High Resolution InP Via Holes for Millimeter Wave Device Applications'
GaAs IC Symposium, 1994
- [9] E.LEDUC
'Optimisation des contacts ohmiques sur GaAs et GaInAs en vue d'améliorer les performances des transistors TEGFET AlInAs/GaInAs sur substrat InP'
Diplôme d'Etude Approfondies, Université de Lille, Juillet 1994
- [10] W.SCHOCKLEY
'Research and Investigation of Inverse Epitaxial UHF Power Transistors'
Rep. No. AL-TDR-64-207, Air Force Atomic Laboratory, Wright-Patterson AFB, Ohio, 1964
- [11] C.FORESTIER
'Application de la gravure plasma au creusement de la grille de transistors à effet de champ de puissance en GaAs'

Diplôme d'Etude Approfondies, Université de Lille, Jui. 1994

[12] P.BOUREL

'Simulation bidimensionnelle et étude expérimentale du transistor à effet de champ à hétérojonction AlInAs/GaInAs adapte en maille sur InP'

Thèse d'Université, Lille , Décembre 1991

[13] B.U.H.KLEPSEK et al.

'Comparison and Optimisation of Different Ohmic Contact Metallisations for InP-HEMT structures with doped and undoped cap-layers'

6th Conf. InP and Related Materials, Apr. 1994

[14] R.PALLA

'Etude et Réalisation de Transistors HEMT AlInAs/GaInAs/InP pour Circuits Optoélectroniques à Hauts Débits'

Thèse d'Université, Paris 6, 1995

[15] B.U.H.KLEPSEK et al.

'Influence of Cap-layer Doping on Ohmic Contacts for InP Based HEMT Structures'

Solid-State Electronics Vol.37, No.12, pp.1905-1906, 1994

[16] P.WIN

'Transistor à Effet de Champ à Couche Métamorphique AlInAs/GaInAs : un Nouveau Composant pour l'Amplification Hyperfréquence et la Logique Rapide'

Thèse d'Université, Lille 1, 1993

[17] H.FOURRE.

'Réalisation et caractérisation de transistors à effet de champ à hétérojonction de la filière AlInAs/GaInAs pour applications en ondes millimétriques'

Thèse d'Université, Lille, Février 1997

[18] H.FOURRE et al.

'Implant Isolation for Lattice Matched InGaAs/InAlAs/InP Modulation Doped Field Effect Transistor Realisation'

8th Conf. InP and Related Materials, Germany, Apr. 1996

[19] S.R.BAHL et al.

'Mesa-Sidewall Gate Leakage in InAlAs/InGaAs Heterostructure Field-Effect Transistors'

IEEE Transactions on Electron Devices, Vol. 39, No. 9, Sep. 1992

[20] H.C.DURAN et al.

'Investigation of CH₄/H₂ RIE for Gate Recess Etching in InGaAs/InAlAs-Based HEMTs'

Wocsdice 96

[21] S.ARGAWALA et al.

'InAlAs/InGaAs Heterostructure FET's Processed with Selective Reactive-Ion-Etching Gate-Recess Technology'

IEEE Elect. Dev. Lett., Vol. 14, No. 9, Sep. 1993

- [22] M.TONG et al.
'Selective Wet Etching Characteristics of Lattice-Matched InGaAs/InAlAs/InP'
J. Electrochem. Soc., Vol. 139, No. 10, Oct. 1992
- [23] G.C.DESALVO et al.
'Etch Rates and Selectivities of Citric Acid/Hydrogen Peroxide on GaAs, Al_{0.3}Ga_{0.7}As, In_{0.2}Ga_{0.8}As, In_{0.53}Ga_{0.47}As, In_{0.52}Al_{0.48}As and InP'
J. Electrochem. Soc., Vol. 139, No. 3, Mar. 1992
- [24] T.P.E.BROKAERT et al.
'AlAs Etch-Stop Layers for InGaAlAs/InP Heterostructure Devices and Circuits'
IEEE Transactions on Electron Devices, Vol. 39, No. 3, Mar. 1992
- [25] T.P.E.BROKAERT et al.
'Novel, Organic Acid-Based Etchants for InGaAlAs/InP Heterostructure Devices with AlAs Etch-Stop Layers'
J. Electrochem. Soc., Vol. 139, No. 8, Aug. 1992
- [26] H.FOURRE et al.
'Selective Wet Etching of Lattice-Matched InGaAs/InAlAs on InP and Metamorphic InGaAs/InAlAs on GaAs using Succinic Acid/Hydrogen Peroxide Solution'
J. Vac. Sci. Technol. B, Vol. 14, No. 5, Sep./Oct. 1996
- [27] N.HARADA et al.
'Pt-Based Gate Enhancement-Mode InAlAs/InGaAs HEMTs For Large-Scale Integration'
3th Conf. InP and Related Materials, UK, 1991
- [28] T.D.HUNT et al.
'Gate Technologies for AlInAs/InGaAs HEMTs'
ESSDERC 90, Nottingham, Sep. 1990
- [29] K.WEIGEL et al.
'Degradation Effects and Stabilization of InAlAs/InGaAs-HFETs'
8th Conf. InP and Related Materials, Germany, Apr. 1996
- [30] K.J.CHEN et al.
'High-Performance InP-Based Enhancement-Mode HEMT's Using Non-Alloyed Ohmic Contacts and Pt-Based Buried-Gate Technologies'
IEEE Transactions on Electron Devices, Vol. 43, No. 2, Feb. 1996
- [31] V.HOEL et al.
'Influence des capacités parasites liées à la technologie nitrure sur les performances de HEMT adapté en maille sur InP de longueur de grille submicronique'
Journées Nationales Micro. et Optoélectronique, Chantilly, Jan. 1997
- [32] N.SAMOTO et al.
'A Novel Electron-beam Exposure Technique for 0.1µm T-shaped Gate Fabrication'
J. Vac. Sci. Technol. B 8 (6), Nov./Dec. 1990

[33] P.CHEVALIER.
Thèse à paraître, Lille.

[34] V.N.BESSOLOV et al.
'Sulfidization in Alcoholic Solutions: a New Surface Passivation Method for GaAs'
20th Wocsdice, Lithuania, May 19-22, 1996



Chapitre 3

Introduction

Notre travail, a consisté à étudier les filières et la technologie des HEMTs pour les applications de puissance à différentes fréquences. Ces dernières incluent entre autres, la bande V (50-75 GHz) et plus particulièrement la fréquence de 60 GHz. Si de nombreux travaux ont permis d'atteindre de bons résultats et la maturité nécessaire à l'industrialisation de la filière GaAs, il faut se rappeler que l'état de l'art dressé à la fin du premier chapitre, nous avait permis de conclure que la filière InP semblait attrayante pour les applications de puissance. La filière InP a montré, grâce aux propriétés des matériaux en jeu (différence de bande de conduction entre AlInAs et GaInAs, mobilité électronique dans le GaInAs), des résultats de gains et de rendements très intéressants à 60 GHz. Mais les travaux effectués dans ce domaine ont donné pour l'instant des résultats en puissance de sortie plutôt limités.

Nous avons commencé notre étude par une recherche bibliographique de résultats présentés sur les HEMTs de puissance de la filière InP. Ce travail avait pour but de diriger nos travaux et nous aider par la même occasion à faire le point sur les mécanismes physiques intervenant dans le fonctionnement et les limitations des transistors.

Notre approche pratique a commencé par la réalisation de transistors, sur une couche de référence élaborée à la suite d'une mise au point théorique des dimensions et des dopages, en utilisant la technologie que nous avons développée (décrite dans le deuxième chapitre). Ce travail s'est poursuivi par une étude spécifique liée au buffer.

Ensuite, nous avons étendu nos travaux pratiques et théoriques avec pour objectif une meilleure compréhension des limitations des composants afin d'aboutir à la réalisation d'un transistor permettant le meilleur compromis entre le courant de drain et sa tenue en tension.

Nous nous sommes particulièrement intéressés à la tenue en tension des composants. Notre attention a porté sur la structure de la couche non seulement concernant la position et les densités de charge des dopants, mais également concernant la composition des matériaux, avec une étude spécifique de la couche barrière à fort taux d'aluminium. Nous avons aussi étudié l'influence de la configuration du fossé de grille sur la tenue en tension à l'aide de multiples réalisations, le tout s'appuyant sur une étude paramétrique des dimensions de ce fossé.

Enfin, concernant le courant de drain, notre étude a consisté à étudier la structure de la couche ou plus précisément la position et les densités de charge des dopants.

L'étude des caractéristiques et des performances en gain et en fréquence de ces différentes réalisations nous a permis de faire un choix à la fois sur la technologie et sur la structure de couche. Enfin, les mesures en grand signal nous ont permis de valider notre choix afin de nous orienter vers la ou les solutions les plus prometteuses permettant de délivrer les meilleures performances possibles en puissance et en gain.

1. Les problèmes rencontrés dans les HEMTs de puissance et les solutions possibles

Le principal problème rencontré pour les applications de puissance utilisant des HEMTs est celui de la tenue en tension (claquage). En effet, le fonctionnement en grand signal utilise toute la caractéristique I-V du transistor. On doit donc considérer le claquage du composant pour toutes les polarisations de grille. En pratique, il faut considérer deux types de claquage. Le premier à canal fermé (intervenant au pincement) et le second à canal ouvert. L'un et l'autre mettent en jeu le mécanisme d'ionisation par choc. L'effet tunnel intervient en plus dans le claquage au pincement.

1.1 Le claquage à canal fermé

Beaucoup étudié par R.BAHL [1], il est reconnu que le claquage à canal fermé est très pénalisant pour le fonctionnement en amplification de puissance de classe A. Ce phénomène intervenant alors dans l'espace grille-drain se produit en deux temps [2]. Tout d'abord, les électrons de la grille transitent vers l'AlInAs par effet tunnel assisté thermiquement. Ensuite, ces électrons, compte tenu du profil de bande de conduction (fig.1), se retrouvent chauds dans le canal et y relaxent leur énergie par ionisation de paires électrons-trous. Le courant de fuite de grille trouve son origine dans l'effet tunnel assisté thermiquement. Ce dernier peut être dû à une faible hauteur de barrière Schottky ou à des défauts d'interface dans l'AlInAs.

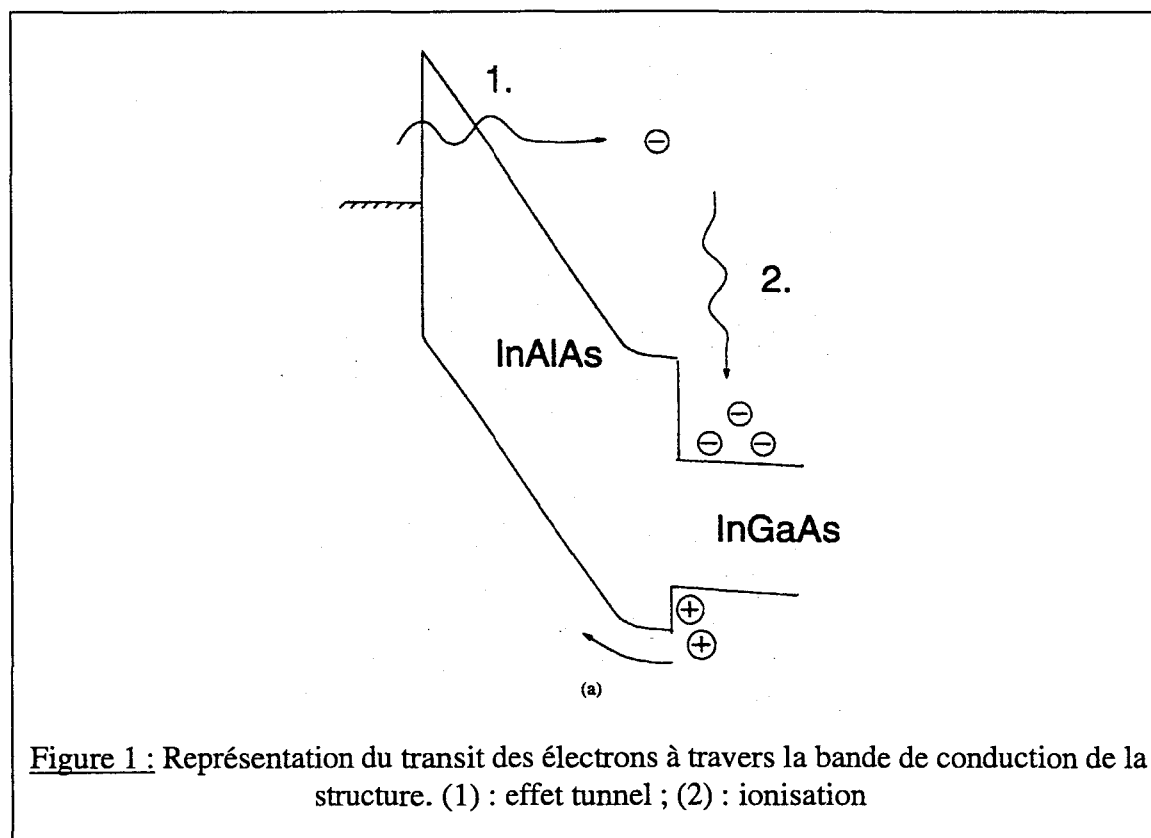


Figure 1 : Représentation du transit des électrons à travers la bande de conduction de la structure. (1) : effet tunnel ; (2) : ionisation

Ces deux mécanismes ont pu être mis en évidence grâce aux observations théoriques ou expérimentales suivantes :

- champ élevé dans la région grille-drain (observation théorique)
- courant de grille thermiquement activé à l'approche du claquage
- génération de paires électrons-trous dans le canal
- pas d'influence du courant de source sur le claquage (les électrons viennent de la grille)

Parallèlement à ce phénomène, un autre effet susceptible de limiter la tenue en tension du composant est le phénomène d'injection. En effet, la présence d'un champ élevé dans l'espace grille-drain provoque le phénomène d'injection des électrons dans le buffer ou à travers la zone désertée. Lorsque le champ électrique augmente (avec la tension V_{ds}), les électrons prennent de la vitesse et franchissent la zone désertée. Cet effet a pour conséquence, la nécessité de diminuer la tension appliquée sur la grille pour bloquer le transistor, et donc diminue la tension de claquage effective drain-source.

1.2 Le claquage à canal ouvert

Le claquage à canal ouvert peut être, lui aussi, pénalisant pour le fonctionnement en amplification de puissance. Des études menées au laboratoire sur le courant de grille à canal ouvert laissent penser que celui-ci induit une limitation sur les performances en puissance [3].

Le phénomène responsable du claquage à canal ouvert est principalement le phénomène d'ionisation par impact. A champ élevé, les électrons se trouvant dans le canal acquièrent de l'énergie. Lorsque celle-ci dépasse largement le gap, les électrons peuvent par impact avec un électron de la bande de valence, créer une paire électron-trou. Les électrons se dirigent alors vers le drain [4] ou vers le buffer [5]. Les trous se dirigent alors vers la source [4], vers la grille ou sont injectés dans le buffer (en proportion négligeable) [5]. Notons, que les trous (qui contribuent au courant de source) se dirigeant vers la source n'atteignent pas tous leur but car, il a été démontré [6] qu'une partie d'entre eux se recombinaient avec des électrons dans la région source. En ce qui concerne les trous se dirigeant vers la grille, ceux-ci contribuent au courant de fuite de grille. Si à faible polarisation de drain, le courant de grille est essentiellement dû à l'effet tunnel pur ou assisté thermoioniquement, à forte polarisation (champ élevé), il a été montré que l'ionisation par choc devient prédominante [7].

1.3 Les solutions technologiques

Connaissant un peu mieux les phénomènes limitant la tenue en tension, il est possible de trouver des solutions pour remédier aux problèmes. L'ionisation par impact et l'effet tunnel sont les deux phénomènes intervenant dans les limitations des transistors, il apparaît donc nécessaire de les réduire au maximum. Pour cela, il faut empêcher les électrons de franchir la barrière Schottky, les trous de remonter vers la grille et réduire l'ionisation des porteurs dans le canal. Enfin, un troisième mécanisme susceptible de limiter la tenue en tension est la conduction par le buffer.

D'un point de vue technologique, les axes à explorer pour limiter les mécanismes de claquage et par conséquent, la possibilité d'obtenir de bons résultats de puissance avec la filière InP peuvent aboutir à un grand nombre de solutions. Les solutions technologiques vont parfois à l'encontre des idées fondamentales qui ont donné naissance à cette filière (à savoir la

mobilité électronique et la différence de bande de conduction de l'hétérojonction AlInAs/GaInAs) et qui permettent la montée en fréquence des composants issus de cette filière. Il convient tout de même de les évoquer.

1.3.1 Les solutions pour réduire l'ionisation par impact

En ce qui concerne l'ionisation par impact, il paraît judicieux dans un premier temps de réduire le champ électrique dans la structure. De plus, l'ionisation par impact se produit plus rapidement dans les matériaux à faible gap. L'augmentation du taux d'indium dans le canal GaInAs (comparer à la filière GaAs) permet à celui-ci d'avoir une mobilité électronique plus élevée mais diminue la largeur de bande interdite du matériau. La mobilité étant plus élevée, les électrons acquièrent plus facilement de l'énergie. Lorsque celle-ci devient largement supérieure au gap, les électrons deviennent sujet à l'ionisation par choc. Par conséquent, dans un deuxième temps, il semble intéressant d'utiliser un matériau à grand gap pour le canal.

Pour réduire le champ électrique, on pourra envisager :

- un cap-layer non dopé ou déserté par le potentiel de surface (faisant ainsi fonction de double recess)
- augmenter la distance grille-canal et/ou grille-drain

Si les deux solutions se montrent très attrayantes parce que aisées à réaliser, la solution consistant à augmenter la distance grille-canal aura des effets néfastes sur les performances en fréquence (mauvais rapport d'aspect).

Pour réduire l'ionisation par impact, l'augmentation du gap du canal pourra se faire en utilisant pour celui-ci :

- des matériaux phosphorés tel que InP [8] ou GaInAsP pour le canal
- une combinaison mixte GaInAs/InP [9]
- une faible épaisseur dans le but d'augmenter le gap effectif par effets quantiques [2]

Les trois solutions envisagées ont pour conséquence de diminuer la mobilité électronique des porteurs dans le canal. De plus, la troisième limite également leur densité et par conséquent, le courant drain.

1.3.2 Les solutions pour réduire la remontée des trous

Pour présenter une barrière à la remontée des trous et au franchissement de la barrière Schottky par les électrons, il est possible d'utiliser :

- une couche espaceur (voir également la barrière) composée de phosphore tel que AlInAsP, InP, AlInP ou GaInP [11]
- pour l'espaceur et/ou la barrière, de l'AlInAs à fort taux d'aluminium ou tout simplement une ou plusieurs barrières d'AlAs [12]

Les deux solutions consistant alors à augmenter le gap de la couche barrière (et/ou du spacer) sont toutes deux facilement envisageables. Cependant, ces matériaux ne sont plus adaptés en

maille sur InP. A maille égale, l'AlInAs riche en aluminium présente un gap plus important que les matériaux utilisant du phosphore (AlInP par exemple). Par conséquent le matériau phosphoré utilisé pour atteindre un gap plus élevé sera davantage désadapté par rapport à l'InP. Apparaissent alors les problèmes relatifs aux épaisseurs critiques.

1.3.3 Les solutions pour réduire l'injection dans le buffer

Enfin, concernant l'injection ou la conduction dans le buffer, il est possible d'utiliser :

- une couche dopée (dopage complémentaire de type p) afin de contrer la passage des porteurs
- un buffer semi-isolant basse température [10]
- un buffer à grand gap

Il semble alors plus réaliste d'opter pour la deuxième solution, compte tenu de la difficulté que représente l'ajustement de la quantité de dopant à incorporer dans le buffer pour réaliser la compensation proposée par la première solution.

Notons également des solutions qui s'écartent des 'trois axes à explorer', mais qui ne doivent cependant pas être ignorées dans le but de repousser le claquage à canal fermé (ou encore retarder l'arrivée du courant de grille dû à l'effet tunnel ou aux fuites). Pour cela, il semble utile :

- de réaliser l'isolation entre la grille et le canal lors de la descente de mesa (en sous-gravant ce dernier par exemple [13])
- d'augmenter le potentiel de la barrière du contact Schottky grâce à un métal de grille judicieusement choisi

Toutes ces solutions consistent en des modifications technologiques (que ce soit en épitaxie ou pour les procédés de fabrication des transistors) simples et pouvant être utilisées pour toutes les réalisations.

1.4 Résumé. Choix des solutions à étudier

Les nombreuses possibilités offertes pour repousser les tensions de claquage des transistors sont résumées dans le tableau 1. Ce tableau reprend chaque solution énumérée précédemment avec leurs actions sur l'amélioration de la tenue en tension et les effets néfastes qu'elles peuvent engendrer.

Solutions	Avantages	Inconvénients
Diminution du champ électrique par : ■ emploi d'un double recess (deux niveaux de gravure)	Efficace pour le claquage	La technologie double recess par gravure est très difficile à maîtriser (problème de reproductibilité)
■ cap-layer déserté	Efficace pour le claquage et l'utilisation d'un cap-layer déserté rend très	Limitation de la résistance par carré de la couche

	simple la technologie	
<ul style="list-style-type: none"> ■ augmentation de la distance grille-drain 	Efficace pour le claquage	L'augmentation de la distance grille-drain pénalise la montée en fréquence (augmentation des résistances d'accès)
Diminution de l'ionisation dans le canal par l'utilisation de : <ul style="list-style-type: none"> ■ matériaux phosphorés pour le canal 	Gain en claquage à canal ouvert et probablement au pincement	Probable diminution de la mobilité
<ul style="list-style-type: none"> ■ canal mixte GaInAs/InP 	Gain en claquage à canal ouvert	Diminution de la mobilité
<ul style="list-style-type: none"> ■ canal GaInAs fin 	Gain en claquage à canal ouvert	Diminution de la mobilité et forte limitation du courant drain
Diminution de l'injection dans le buffer par l'utilisation de : <ul style="list-style-type: none"> ■ barrière de compensation dans le buffer 	Effets sur le claquage à canal fermé.	Très grande difficulté à maîtriser la compensation.
<ul style="list-style-type: none"> ■ buffer basse température 	Effets sur le claquage à canal fermé. L'utilisation du buffer BT ne nécessite pas de réelle optimisation.	
Diminution de la remontée des trous vers la grille par utilisation : <ul style="list-style-type: none"> ■ d'espaceur et/ou barrière utilisant des matériaux P 	Gain en claquage à canal ouvert. Augmentation de la différence de bande de conduction entre l'espaceur et le canal. Meilleure barrière pour le contact Schottky.	Les épaisseurs utilisables sont limitées.
<ul style="list-style-type: none"> ■ espaceur et/ou barrière utilisant de l'AlInAs à fort taux d'aluminium ou des barrières d'AlAs 	Gain en claquage à canal ouvert. Augmentation de la différence de bande de conduction entre l'espaceur et le canal. Meilleure barrière pour le contact Schottky.	Fiabilité des transistors compromise

Tableau 1 : Solutions envisageables pour améliorer la tenue en tension des transistors et les avantages et inconvénients qu'elles peuvent engendrer

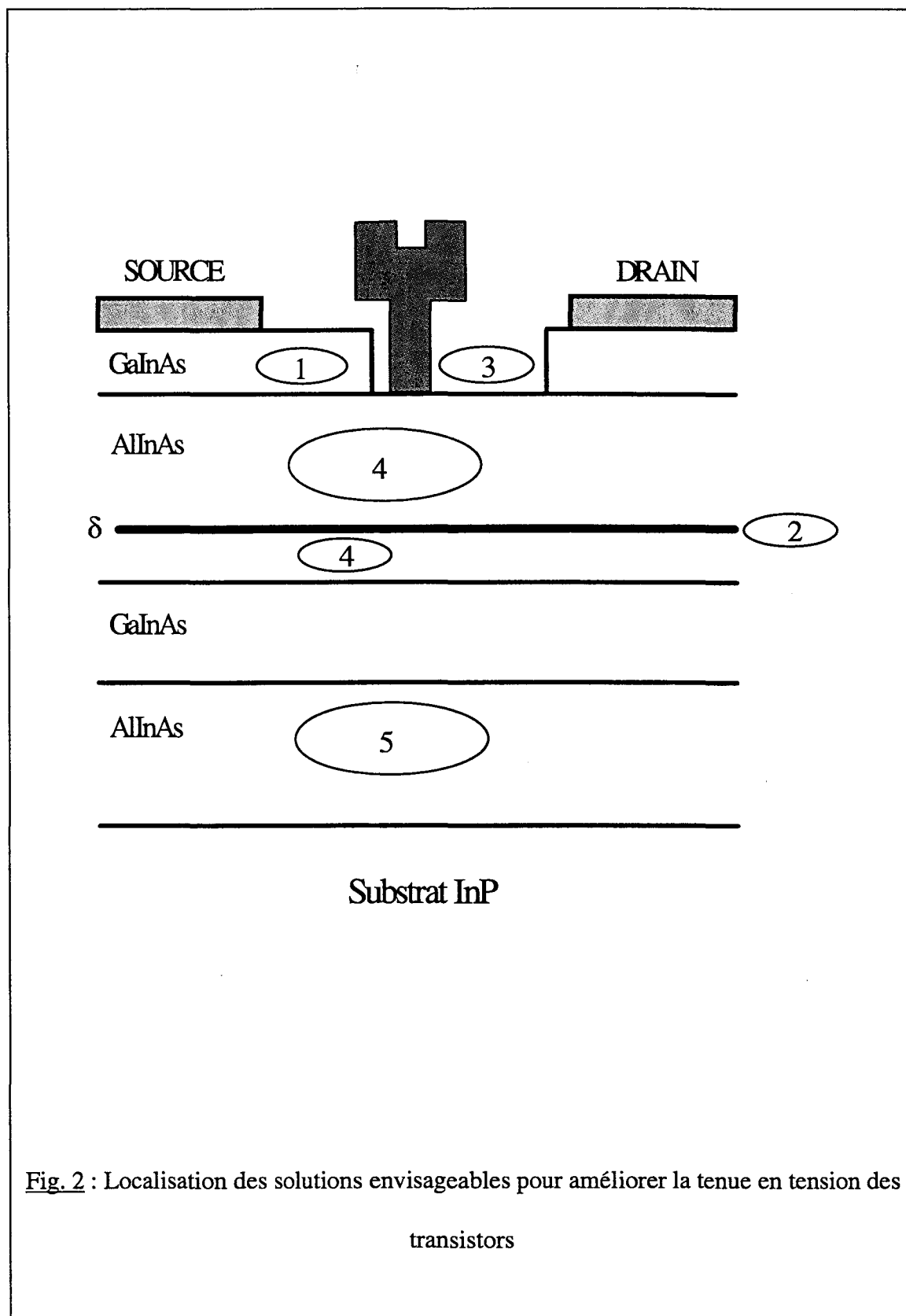


Fig. 2 : Localisation des solutions envisageables pour améliorer la tenue en tension des transistors

2.1 Mise au point de la couche par simulation unidimensionnelle

Cette mise au point a été effectuée à l'aide de simulation unidimensionnelle. Le modèle repose sur la résolution autocohérente des équations de Schrödinger et de Poisson [14].

La structure de l'épithaxie adaptée en maille sur InP représentée sur la figure 3, laisse apparaître les épaisseurs à déterminer. Notons que la couche de donneurs consiste en un plan de dopage, comme le préconisaient les solutions technologiques discutées dans le paragraphe précédent. Notons également que la valeur de la charge du plan de dopage doit être elle aussi, optimisée par simulation. Enfin, comme le montre la figure 3, l'épaisseur de la couche séparant le plan de dopage du canal (l'espaceur) ne peut être optimisée à l'aide du modèle utilisé. L'espaceur a pour fonction d'empêcher les interactions entre les donneurs transférés dans le canal et les donneurs du plan de dopage. Ces interactions auraient pour conséquence de dégrader la mobilité du gaz d'électrons formé par les porteurs transférés dans le canal. Habituellement, l'épaisseur de la couche espaceur est de l'ordre de 30 à 50 Å. Pour nos simulations et les épithaxies réalisées à la suite de ces simulations, l'épaisseur de la couche espaceur a été choisie à 50 Å.

Les résultats obtenus dans la réalisation qui seront décrites dans la suite de ce travail, montrent que l'épaisseur de 50 Å s'est avérée correcte.

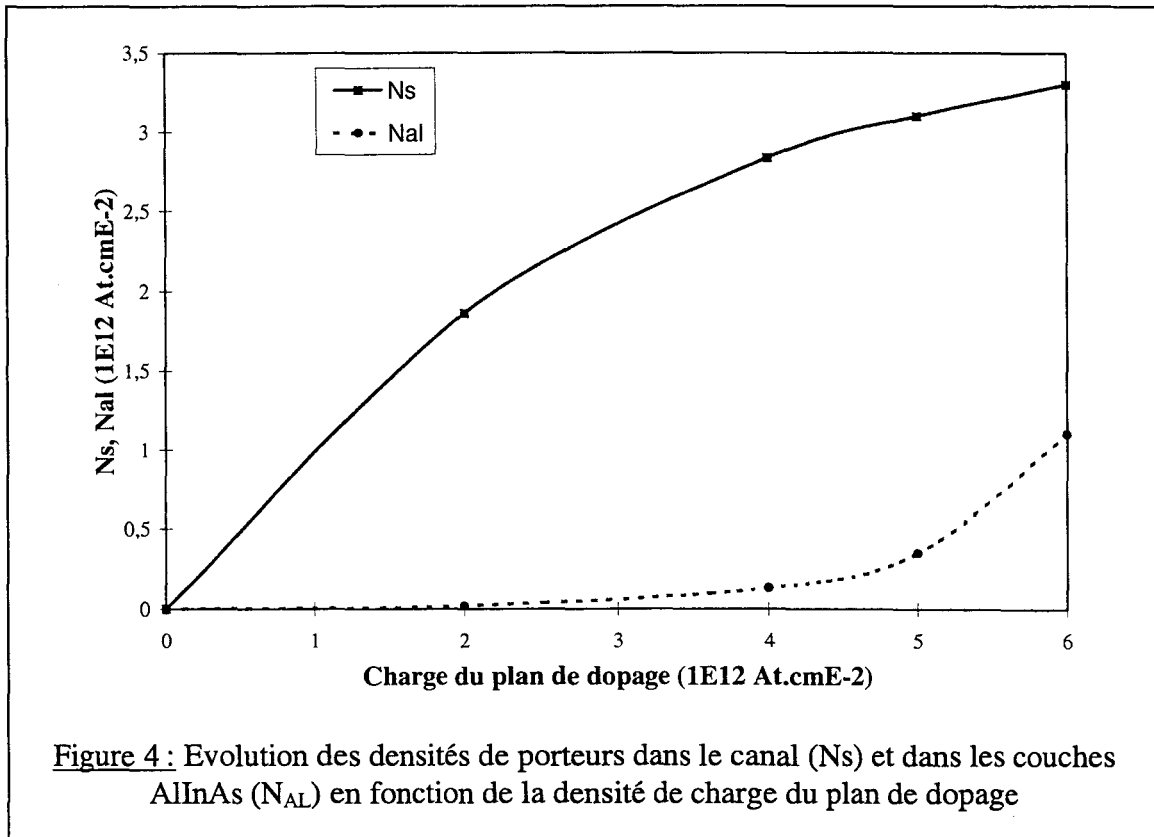
2.1.1 Détermination du plan de dopage optimal

Pour déterminer la charge optimale du plan de dopage, nous avons simulé des structures avec différentes valeurs de charge. Pour ces structures, nous avons fixé l'épaisseur de la couche barrière à 250 Å et l'épaisseur du canal à 200 Å. Une épaisseur de canal de 200 Å pouvant être considérée comme suffisamment importante pour permettre le transfert des électrons sans affecter leur densité.

Ainsi, nous avons simulé cinq structures avec des plans de dopage de 2, 3, 4, 5 et 6.10^{12}cm^{-2} , pour lesquels nous avons déterminé la densité des charges transférées dans le canal N_S et la densité des charges présentes dans la couche barrière N_{AL} .

La hauteur de barrière Schottky a été fixée à 0,5 V pour nos simulations. Ce résultat est issu des études de mise au point technologique décrites dans le deuxième chapitre.

L'évolution des densités N_S et N_{AL} en fonction de la charge du plan de dopage est représentée sur la figure 4. La charge optimale du plan de dopage est celle qui permet d'avoir dans le canal, une densité de porteur la plus élevée possible. Mais, il faut garder à l'esprit qu'une densité de charge de plan trop importante favorise une conduction parallèle de type MESFET qui s'avère être très pénalisante. Par conséquent, la charge optimale de dopage du plan est également celle qui génère le moins possible de porteurs dans les couche d'AlInAs. A la vue des résultats de simulation sur la figure 4, nous pouvons conclure que la charge optimale du plan est de l'ordre de 4 à 5.10^{12}cm^{-2} . Il en résulte une densité de charge dans le canal de $3,1.10^{12}\text{cm}^{-2}$ et une densité de porteur dans l'AlInAs de $0,35.10^{12}\text{cm}^{-2}$ pour un plan de 5.10^{12}cm^{-2} .



2.1.2 Mise au point des épaisseurs des couches canal et barrière

Si pour déterminer la charge optimale du plan de dopage, nous avons fixé l'épaisseur du canal à 200 Å, celle-ci doit être également optimisée. Le canal doit avoir une épaisseur suffisante pour ne pas gêner le transfert des électrons. D'autre part, l'épaisseur ne doit pas être trop importante pour limiter l'étalement du gaz d'électrons. Ceci aurait pour conséquence de diminuer l'efficacité de la grille sur la commande du gaz.

Nous avons donc simulé trois structures avec des épaisseurs de canal de 100, 150 et 200 Å. L'épaisseur de la couche barrière étant fixée à 250 Å et la charge du plan de dopage à $5 \cdot 10^{12} \text{ cm}^{-2}$.

Epaisseur du canal (Å)	100	150	200
$N_s (10^{12} \text{ cm}^{-2})$	2,92	3,05	3,1
$N_{Al} (10^{12} \text{ cm}^{-2})$	0,49	0,42	0,35

Tableau 2 : Evolution de la densité de charge dans le puits (N_s) et dans la barrière (N_{Al}) en fonction de l'épaisseur du canal

L'évolution des densités de charges dans le canal et dans la couche barrière en fonction de l'épaisseur du canal laisse apparaître une épaisseur optimale de canal égale à 150 Å.

Enfin, l'épaisseur de la couche barrière est déterminée en ajustant le rapport d'aspect $\frac{L_g}{a}$. Pour la technologie de grille visée (0,25µm), l'épaisseur de la couche barrière a été fixée

à 250 Å. Nous obtenons alors un facteur d'aspect de 8. Notons que pour une longueur de grille de 0,15µm, ce rapport d'aspect tombe à 4,5. Il faut alors diminuer l'épaisseur de barrière Schottky à 200 Å.

2.2 Réalisation et caractérisation de l'opération 10237

2.2.1 Epitaxie et technologie

La réalisation des transistors a été effectuée sur la couche décrite au paragraphe précédent (fig. 5). Des études de croissance préliminaires ont été menées [15] afin de déterminer les conditions permettant d'offrir la meilleure qualité matériau possible.

La croissance de la couche a été effectuée à 520°C, à l'exception du plan de dopage réalisé à 460°C pour diminuer l'étalement du dopant silicium dans l'AlInAs. La résistance par carré de la couche est de 220 Ω.

Les mesures de magnéto-résistance sur transistors ont permis de déterminer une densité de charge dans le canal de $3,0 \cdot 10^{12} \text{cm}^{-2}$ et une mobilité électronique de $8100 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ à 300 K. Notons que le résultat expérimental obtenu pour la densité de charge dans le canal est peu différent de celui donné par la simulation et met en évidence la très bonne qualité de la couche.

La technologie des composants a été effectuée selon les spécifications décrites dans le chapitre portant sur la mise au point de la technologie. Après les contacts ohmiques Ni/Ge/Au/Ni/Au recuits à 300°C, l'isolation a été réalisée par gravure chimique. Ensuite la grille Pt/Ti/Pt/Au utilisant la technologie 'à trois couches de résines' (tricouche), a été déposée après une gravure du cap-layer à l'acide succinique d'une minute et trente secondes.

La mesure sur échelles de résistances nous a permis de déterminer une résistance de contact ohmique R_c de 0,13 Ω.mm.

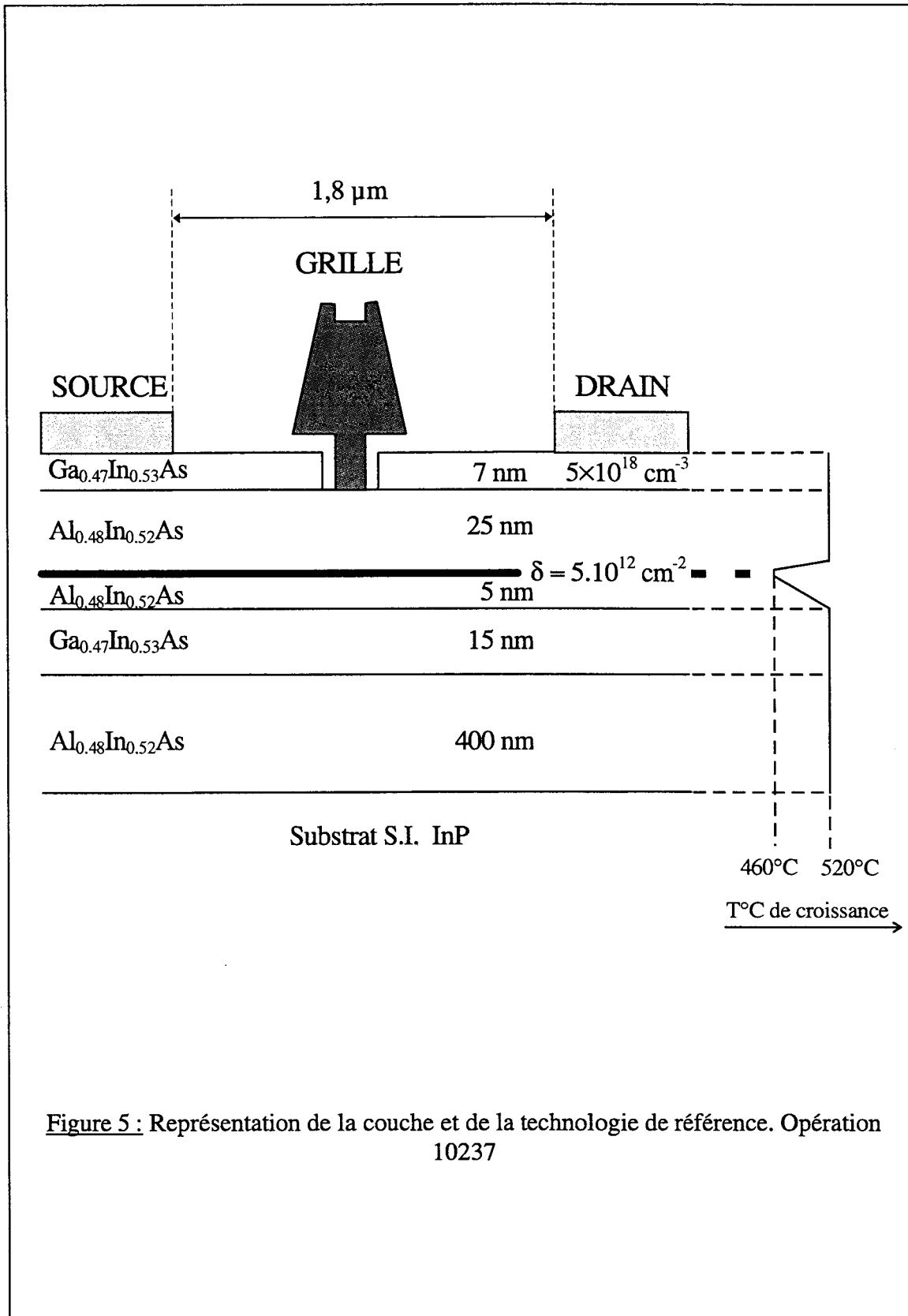
Une mesure du courant en fonction de la tension effectuée entre deux composants distant de 300 µm a montré un courant de fuite de 100µA. La durée du creusement de fossé de grille permet une sous-gravure de chaque côté de celle-ci, de 0,1µm (fig. 5).

2.2.2 La caractérisation statique

Les résultats de caractérisation statique des composants de $2 \times 50 \mu\text{m}$ de largeur sont résumés par le tableau 3. Le réseau de caractéristique I-V (fig. 6) montre un courant de saturation de 710 mA/mm à $V_{gs}=+0,4\text{V}$ et le réseau $G_m(V_{gs})$ (fig.6) montre un maximum de 850 mS/mm à $V_{gs}=-0,3\text{V}$.

$I_{ds_{max}}$ mA/mm	V_p (V)	$G_{m_{max}}$ mS/mm	V_b (V) η	$V_{b_{G-D}}$ (V)
710	-0,8	850	0,45 1,78	4,5

Tableau 3: Caractéristiques statiques du composant 10237



Le transistor possède une tension de pincement de -0,8 V. Ce résultat ne correspond pas avec celui de 1,5 Volt prédit par la simulation. Ce décalage de la tension de pincement ne remet pourtant pas en cause la sélectivité de la solution d'attaque chimique utilisé pour la gravure du fossé de grille. Cependant, il faut noter qu'une attaque de 30 à 40 Å d'AlInAs doit être portée au crédit de la solution chimique. Le décalage observé peut trouver son explication dans une multitude d'origines. En effet, au premier abord, nous pouvons accuser soit la densité de charge dans le plan de dopage, soit l'épaisseur de la barrière Schottky, soit les deux en même temps. Au sens large, l'uniformité de l'épitaxie peut être mise en cause. Nous pouvons également incriminer :

- un problème d'interface des matériaux (hétérojonction non abrupte) provoquant une forte augmentation de la différence de bande de conduction (présence d'InAs à l'interface)
- un effet lié à la tension de built-in (valeur expérimentale différente de la valeur considérée pour la simulation)
- une évolution de la tension de pincement lors du recuit de contact Schottky (diffusion du platine)

L'écart entre les tensions de pincement théorique et expérimentale est de l'ordre 0,7 V. Cette valeur nous permet de réfuter les explications données par l'augmentation de ΔE_c et d'une éventuelle erreur sur la valeur de V_b . De plus la valeur de $V_b \sim 0,5$ V est vérifiée expérimentalement (cf. tableau 3).

Enfin, les problèmes d'uniformité de l'épitaxie peuvent être écartés, car la caractérisation statique de près d'une centaine de composants a montré des tensions de pincement comprises entre -0,5 et -0,8 V. Il semble que l'origine de ce décalage se trouve dans la densité de charge du plan de dopage. Il est possible que celui-ci soit pénalisé par une activation trop faible du silicium, qui conduirait à une densité effective de $3,4 \cdot 10^{12} \text{ cm}^{-2}$. La simulation d'une structure avec une barrière de 200 Å, un plan de dopage de $3,6 \cdot 10^{12} \text{ cm}^{-2}$ de charge a montré une densité de charge transférée dans le puits de $2,9 \cdot 10^{12} \text{ cm}^{-2}$ et une tension de pincement de -0,8 Volt. Le résultat de cette simulation obtenu pour la densité de charge peut alors être considéré comme proche de la valeur obtenue expérimentalement.

La caractérisation de la grille a montré :

- en direct : une tension de built-in de 0,48 V et un facteur d'idéalité de 1,78 (fig. 7)
- en inverse : une tension de claquage en configuration diode d'environ 4,5 V en grille-drain et en grille-source (fig. 7)

Le relevé du courant de grille en fonction de V_{gs} en configuration diode laisse apparaître un courant de grille non nul dès les faibles tensions. Ceci est caractéristique d'un effet tunnel thermoionique [16].

La mesure du courant de grille en fonctionnement transistor (fig. 8) montre l'apparition de celui-ci par ionisation dès 1,5 V, avec 1 mA/mm à environ 3,5 V (valeurs de la tension de claquage à canal ouvert).

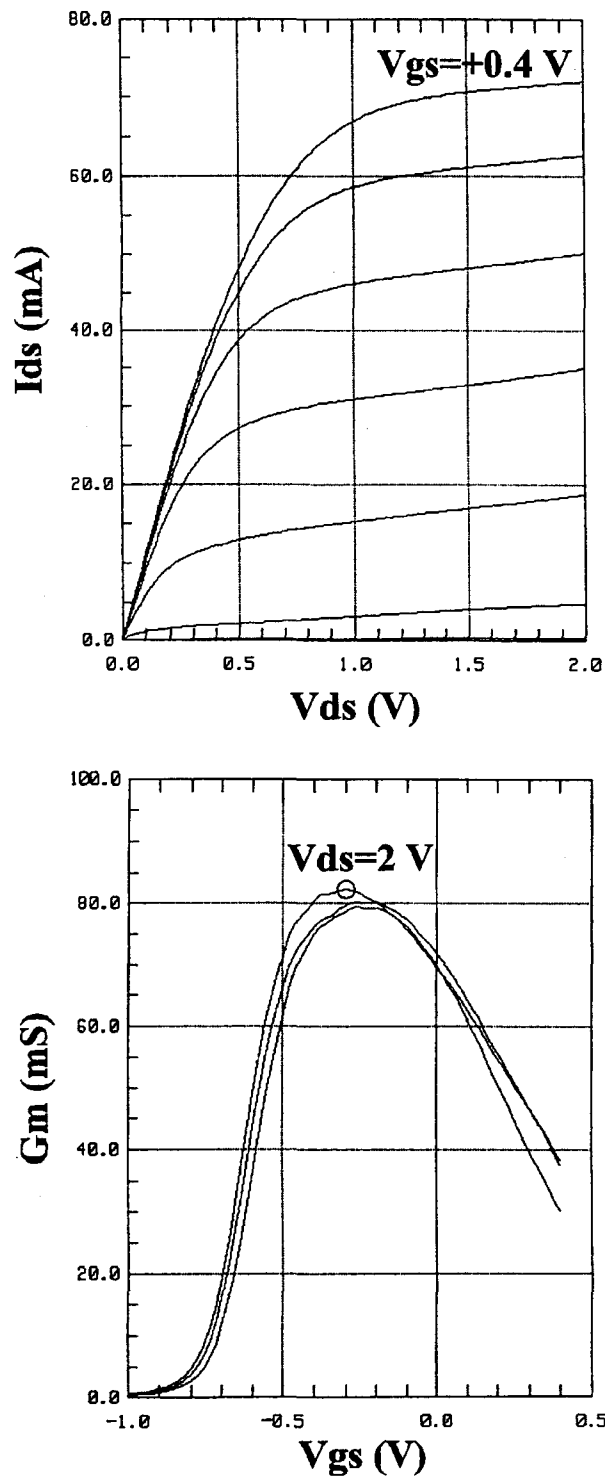


Figure 6 : Caractéristiques $I_{ds}(V_{ds}, V_{gs})$ et $G_m(V_{ds}, V_{gs})$ du composant de référence 10237 - $2 \times 50 \mu\text{m}$

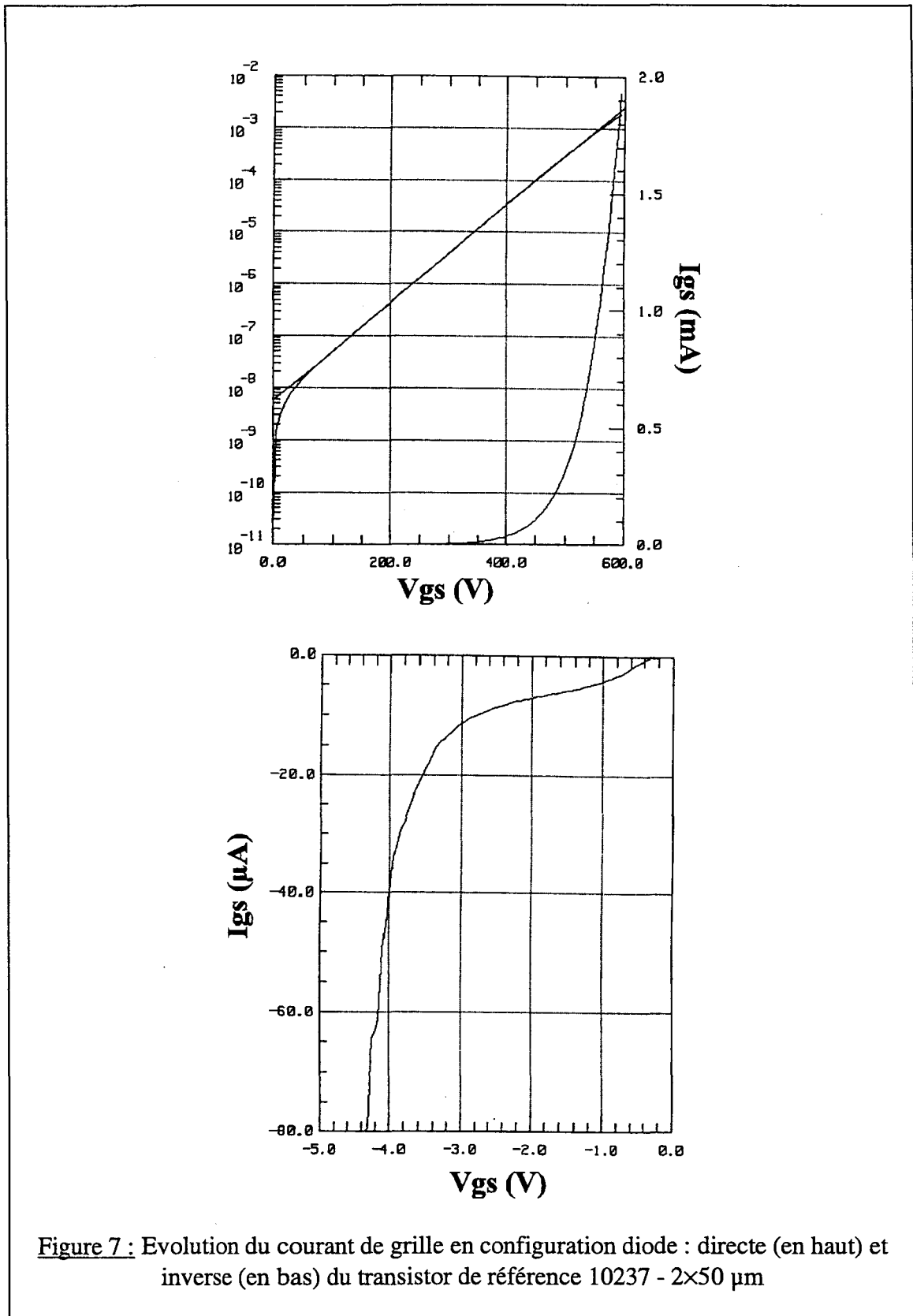
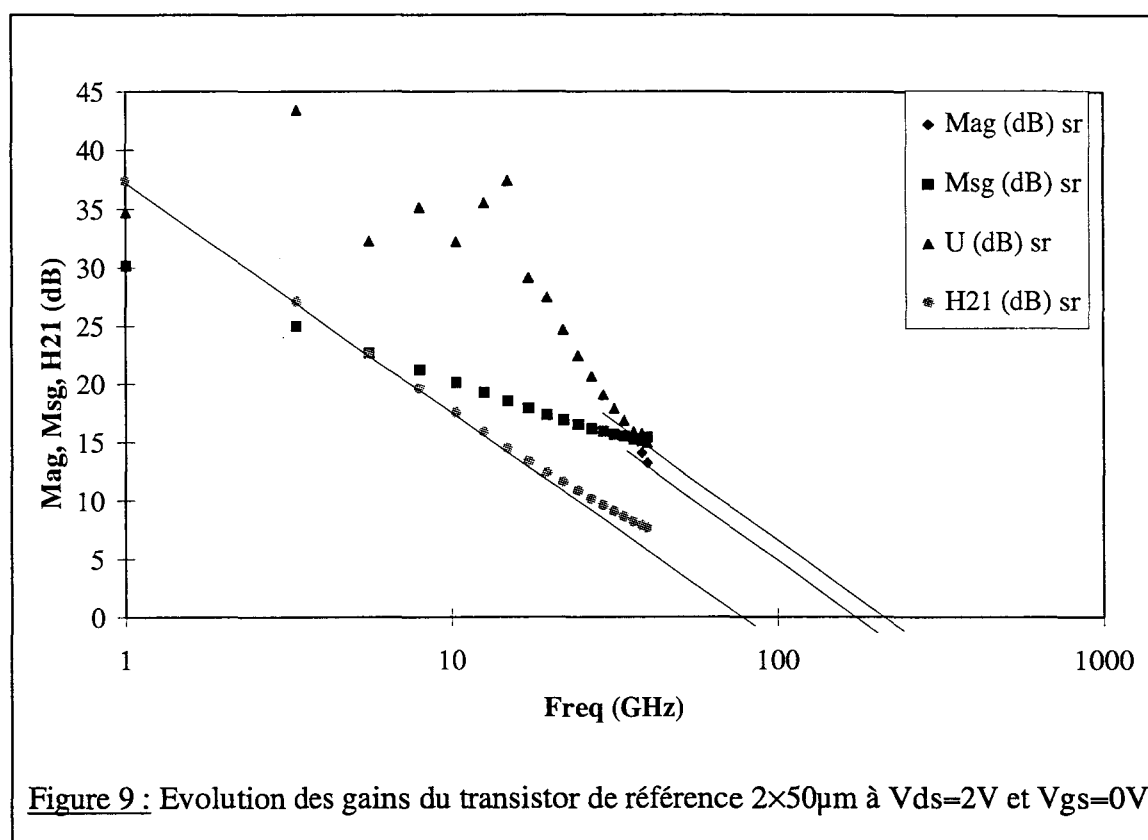
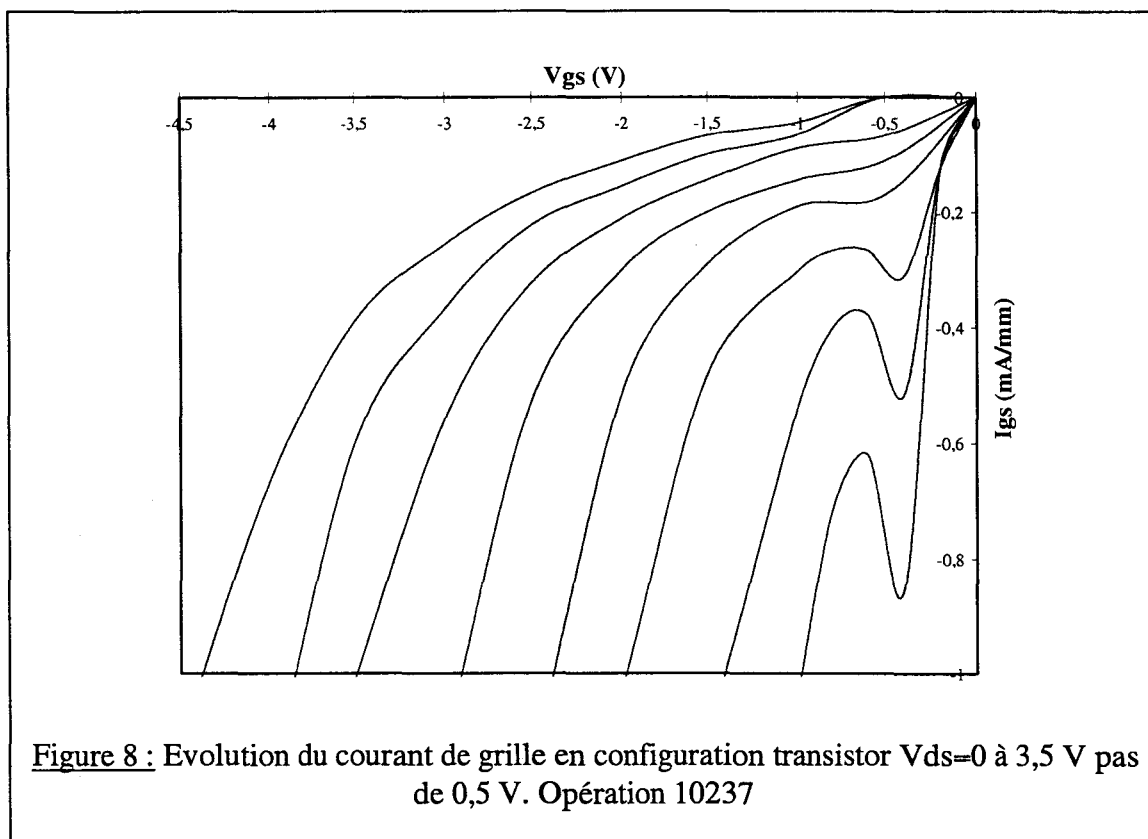


Figure 7 : Evolution du courant de grille en configuration diode : directe (en haut) et inverse (en bas) du transistor de référence 10237 - $2 \times 50 \mu m$



2.2.3 La caractérisation hyperfréquence

Les performances des transistors à $V_{ds}=2V$ et $V_{gs}=0V$ (polarisation de grille où le MAG est maximum) sont représentées fig. 9. Il en résulte les performances en fréquence :

Ft (GHz)	Fmax (GHz)
96	210

avec un gain MAG à 60 GHz de 9,5 dB.

La mesure des paramètres S_{ij} à $V_{ds}=2V$ a permis de déterminer les éléments du schéma équivalent petit signal. Les évolutions des principaux éléments en fonction de V_{gs} sont représentées sur le figure 10.

Nous observons un maximum de transconductance de 1280 mS/mm et une conductance de sortie correspondante de 44,5 mS/mm. Le gain en tension du composant défini par le rapport $\frac{G_m}{G_d}$, vaut 29. Le rapport $\frac{C_{gs}}{C_{gd}}$ correspondant est égal à 20, avec une capacité C_{gs} de 2,06 pF/mm. Nous obtenons alors pour ce point de polarisation, une fréquence de coupure intrinsèque F_c de 100 GHz.

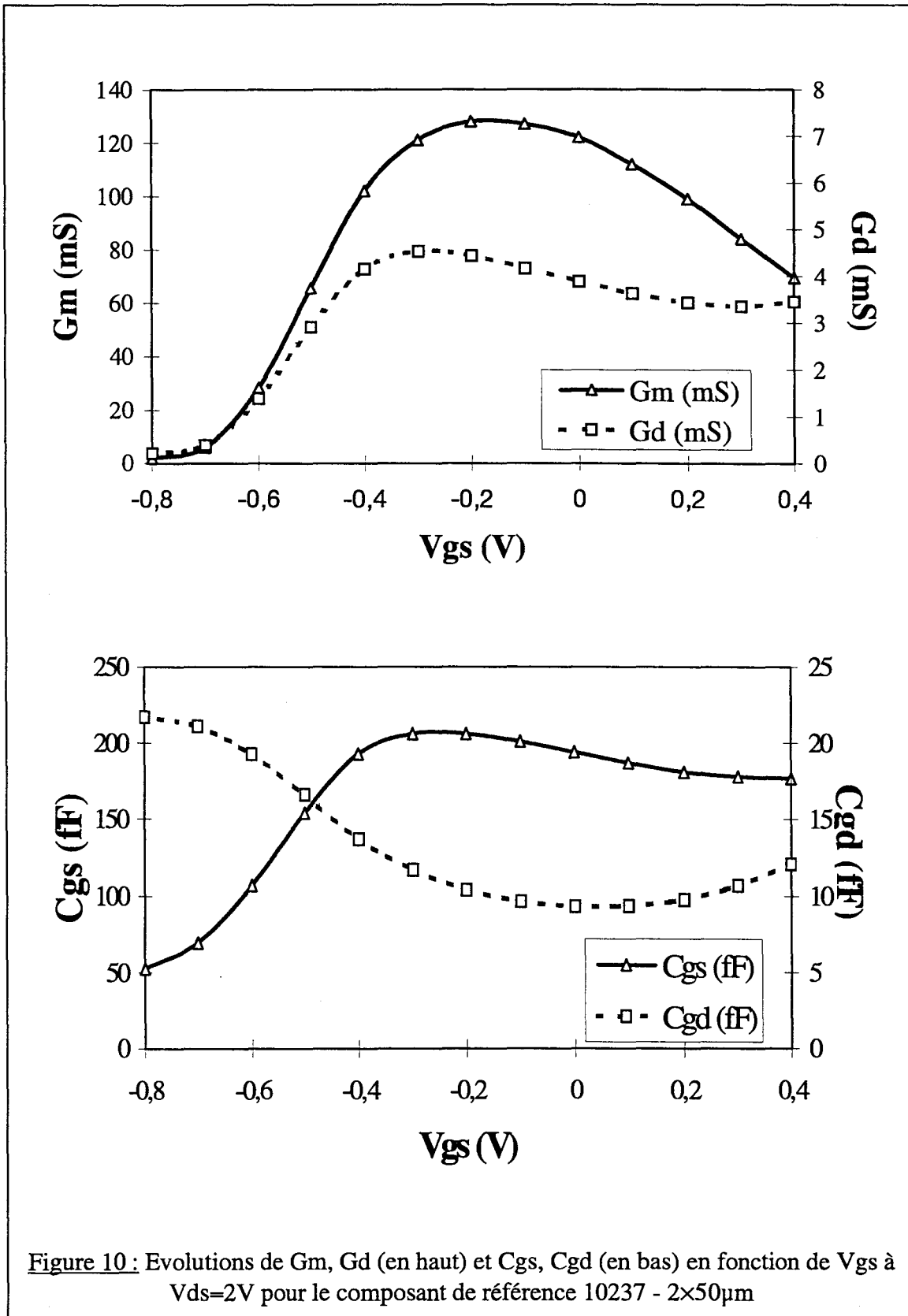
2.3 Conclusion

La caractérisation de la couche a donné des résultats excellents quant à la résistance par carré ou bien la mobilité et la densité des porteurs dans le canal : les résultats obtenus sont identiques voire supérieurs à ceux rencontrés dans la littérature [17], même si dans notre cas, la couche semble bridée par le manque d'activation du silicium.

A la vue des performances obtenues pour les composants réalisés sur cette couche, nous pouvons considérer comme valide, la technologie de cette filière. Si la tension de pincement des composants ne coïncide pas avec la valeur déterminée par simulation, des études sont en cours afin de permettre la résolution du problème. De plus la qualité du contact Schottky est comparable aux meilleurs résultats publiés. Concernant la tenue en tension des composants, les valeurs obtenues sont, pour une première approche de la filière, déjà satisfaisantes malgré les légères fuites du buffer. Ceci a été rendu possible grâce aux premières améliorations technologiques (cap layer déserté et sous-gravure du canal). Il en est de même pour les résultats obtenus en hyperfréquence et plus particulièrement les gains.

Enfin, la fréquence de coupure F_t est du niveau de l'état de l'art pour une longueur de grille de 0,25 μ m.

Il apparaît donc que le composant réalisé constitue alors une excellente référence pour la poursuite de notre travail. Celle-ci doit passer par un effort pour supprimer les fuites par le buffer.



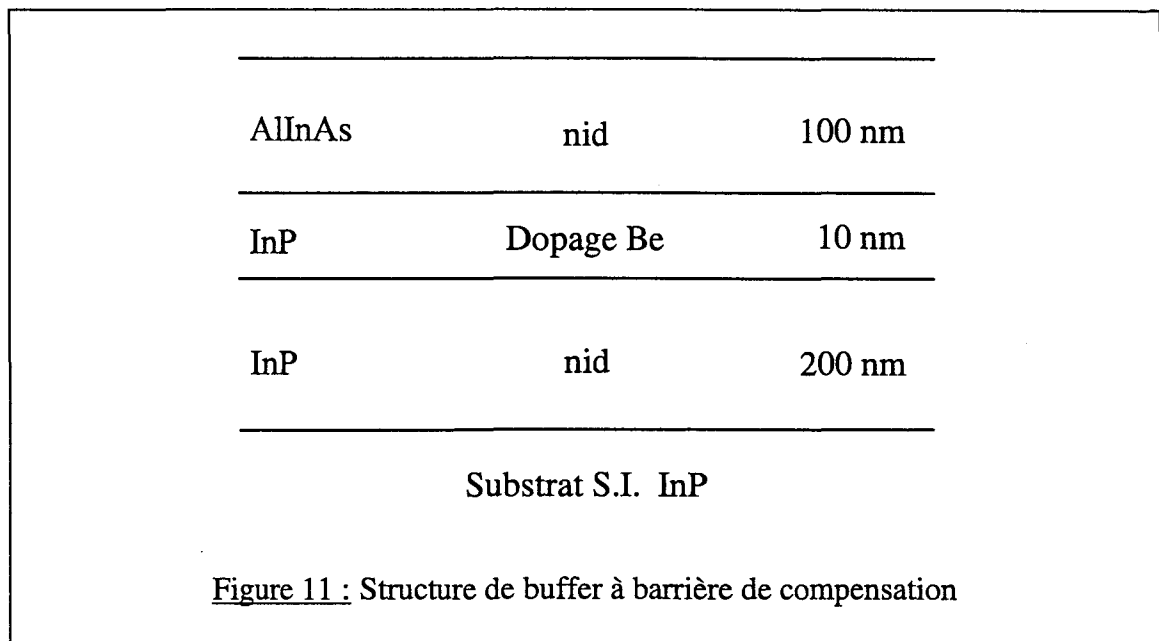
3. Etude du buffer

La conclusion de la première partie de ce chapitre préconisait l'utilisation d'un buffer avec barrière de compensation ou basse température. Comme nous l'avons observé pour la couche de référence, un buffer d'AlInAs épitaxié à la même température que la couche active, laisse apparaître un courant de fuite. Aussi cette fuite peut provoquer un mauvais pincement des transistors et parasiter les caractéristiques des composants passifs des circuits intégrés. Pour réaliser notre étude buffer, nous avons essayé dans un premier temps, les compensations par barrière dopée. Dans un deuxième temps, nous avons étudié les buffers basse température (BT).

3.1 Les buffers à barrière de compensation

Le principe repose sur l'idée que les porteurs résiduels dans le buffer peuvent être compensés par des porteurs complémentaires. Si le principe semble aisé, il faut se rendre à l'évidence que l'ajustement du dopage du buffer est très délicat.

Aussi, nous avons réalisé quelques essais en utilisant de l'InP dopé par du béryllium (dopant de type p) pour commencer la croissance. La suite du buffer se faisant avec de l'AlInAs (fig. 11).



Après réalisation, certains composants ont montré des courants de fuite de buffer beaucoup moins importants que pour le buffer de la couche de référence (réduction d'un facteur 5).

Les caractérisations statiques et hyperfréquences ont laissé apparaître des grandeurs identiques à celles obtenues pour le transistor de référence.

3.2 Le buffer basse température (BT)

La particularité des matériaux épitaxiés à basse température est de comporter une densité de pièges très importante. La conséquence directe est d'avoir une densité électronique

très faible dans le matériau. Sur GaAs, les matériaux BT ont été utilisés comme couche barrière et ont permis d'obtenir un accroissement de la tension de claquage (avec toutefois d'énormes problèmes de montée en fréquence)[18]. Pour l'InP, il semble intéressant d'utiliser l'AlInAs BT comme buffer afin d'y limiter la densité des porteurs et ainsi d'empêcher le courant de fuite.

Nous avons réalisé des couches identiques à la couche de référence avec des buffers épitaxiés à 350°C ou 400°C. La croissance de la couche active nécessitant un état de surface correct, il faut commencer à épitaxier les matériaux à 520 °C pour ensuite suivre une rampe décroissante de température jusqu'à 400 ou 350°C (selon le cas). Puis le matériau BT est épitaxié et la croissance se poursuit par une rampe croissante de température pour finir le buffer à 520°C comme le montre la figure 12.

Une autre solution consisterait à suivre, dans un premier temps, la même méthodologie jusqu'à la croissance du matériau BT. Dans un deuxième temps, la croissance pourrait être arrêtée pendant la remontée en température à 520°C avant de terminer la croissance. Si cette dernière solution permet de rapprocher le buffer BT un peu plus près du canal, l'expérience a montré que les interruptions de croissance avaient pour conséquence d'introduire des défauts dans les matériaux. Par conséquent, nous avons écarté cette solution.

3.3 Réalisation et caractérisation de l'opération 10238

La résistance carré de la couche avec buffer à 400°C est de 185 Ω . Comparé à la couche de référence, le buffer BT apporte une amélioration de 35 Ω . Ceci peut être expliqué par une densité de porteurs dans le canal plus élevé, grâce au buffer BT.

La mesure par magnéto-résistance sur transistor a donné une densité de porteurs dans le canal de $3,2 \cdot 10^{12} \text{ cm}^{-2}$ et une mobilité de $7800 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ à 300K, montrant ainsi une densité de charge dans le canal plus élevée que dans le cas d'une structure avec buffer épitaxié à 520°C.

Le process technologique des composants est identique à celui du transistor de référence avec cependant, une gravure de fossé de grille d'une durée de 2 minutes (au lieu d'une minute et trente secondes) permettant une sous gravure de 0,15 μm .

La mesure des résistances de contacts ohmiques nous a donné une valeur de R_c de 0,14 $\Omega \cdot \text{mm}$ et la mesure I-V entre deux composants distant de 300 μm n'a pas montré de courant de fuite jusque 25 Volts (sur le calibre 1 μA !). Ce dernier résultat montre tout l'intérêt du buffer BT.

3.3.1 La caractérisation statique

Les caractéristiques statiques des transistors de développement $2 \times 50 \mu\text{m}$ avec des longueurs de grille de 0,25 μm sont résumées dans le tableau 4. Les résultats du composant de référence y sont également reportés et permettent de réaliser la comparaison entre les deux transistors.

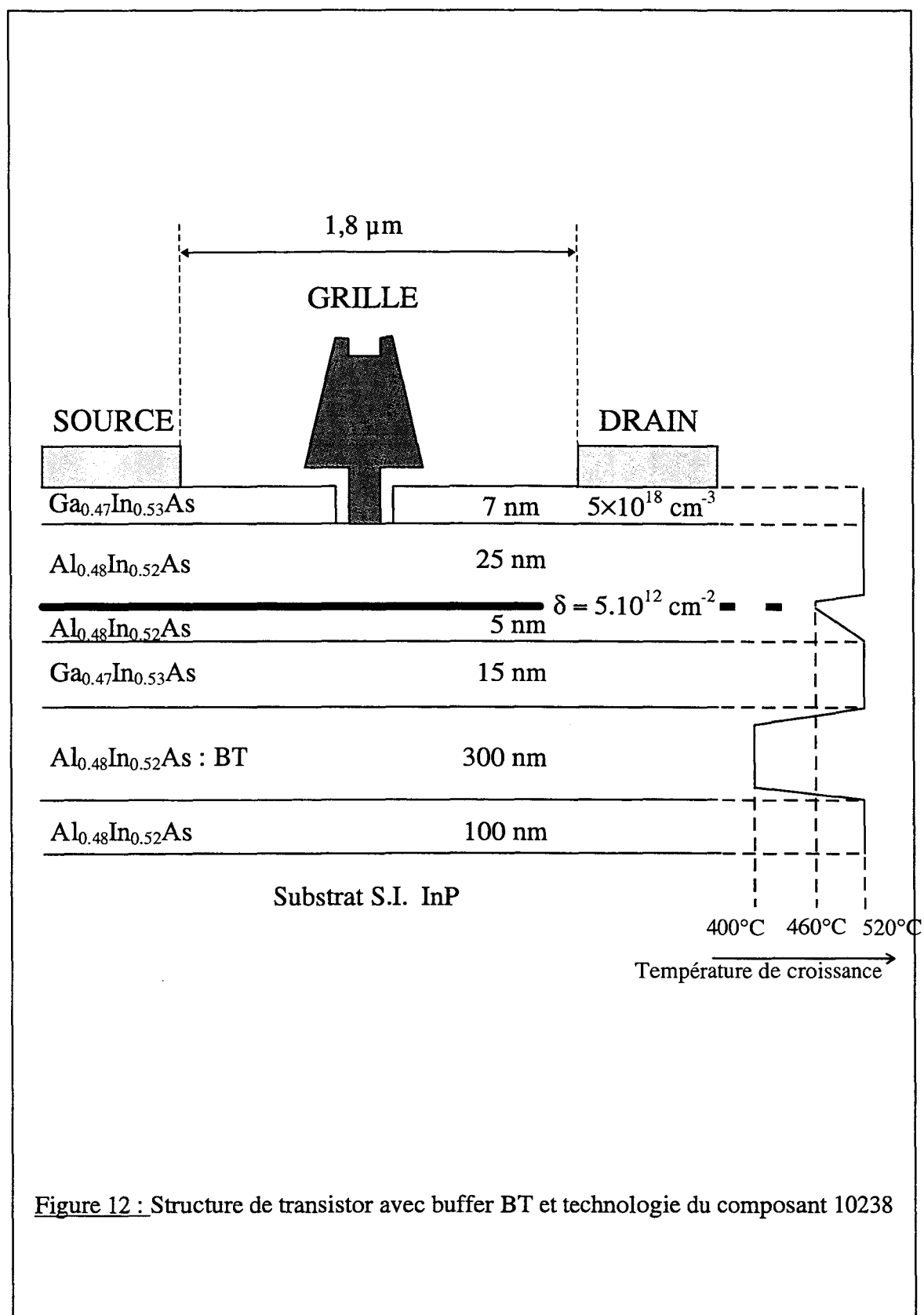


Figure 12 : Structure de transistor avec buffer BT et technologie du composant 10238

Transistor	$I_{ds_{max}}$ mA/mm	V_p (V)	$G_{m_{max}}$ mS/mm	V_b (V)	η	$V_{br_{G-D}}$
buffer BT	740	-0,7	900	0,42	1,78	6
référence	710	-0,8	850	0,48	1,78	4,5

Tableau 4 : Comparatif des caractéristiques statiques de composants à buffer BT et de référence à $V_{ds}=2$ V

Notons que les conditions de croissance de la partie active des structures étant les mêmes dans les deux cas, nous retrouvons des caractéristiques statiques similaires pour le courant et la transconductance, même si ceux-ci sont légèrement supérieurs dans le cas de l'épithaxie avec buffer BT. Les tensions de pincement sont identiques et révèlent une nouvelle fois le manque d'activation du silicium du plan. En effet, la durée de la gravure du fossé de grille étant plus importante dans le cas du buffer BT, le fait d'obtenir des tensions de pincement identiques écarte toutes hypothèses quant au manque de sélectivité de la solution chimique utilisée pour la gravure. L'augmentation du courant drain et de la transconductance peut alors être expliquée par la meilleure densité de porteurs dans le canal.

Comme dans le cas précédent, l'allure de la caractéristique du courant de grille en configuration diode (fig. 13) met en évidence un effet tunnel thermoionique. Il faut remarquer que le buffer BT ne permet de gagner qu'environ 1,5 Volt sur la tenue en tension, mais ne permet pas l'amélioration spectaculaire obtenue par U.Auer [10]. L'utilisation d'un buffer BT lui permettait de passer de 5 à 14 Volts de tension de claquage pour une longueur de grille de 1,4 μ m.

La mesure du courant de grille en fonctionnement transistor (fig. 13) montre une valeur de tension de claquage à canal ouvert d'environ 3,5 V. Cette valeur étant comparable à celle obtenue pour le transistor de référence.

3.3.2 La caractérisation hyperfréquence

Les performances des transistors à $V_{ds}=2$ V et $V_{gs}=0$ V sont résumées dans le tableau 5. Y figurent également les performances des transistors de référence afin de réaliser la comparaison. Aussi, nous pouvons observer une diminution de la fréquence de coupure F_t , qui n'est probablement due qu'à une faible augmentation de la longueur de grille (problème de reproductibilité technologique).

Transistor	F_t GHz	F_{mag} GHz	F_{max} GHz	MAG à 60 GHz
buffer BT	83	190	240	10
référence	96	180	210	9,5

Tableau 5 : Comparatif des performances des composants à buffer BT et référence 2x50 μ m à $V_{ds}=2$ V

En ce qui concerne l'augmentation des fréquences F_{mag} , F_{max} et du gain MAG (fig. 14), elle peut être interprétée par l'augmentation de la longueur du fossé de grille qui a pour conséquence de diminuer la capacité C_{gd} et la conductance de sortie G_d . Les gains et leurs fréquences de coupure associées étant dépendants de ses éléments, il en résulte dans notre cas une augmentation des performances.

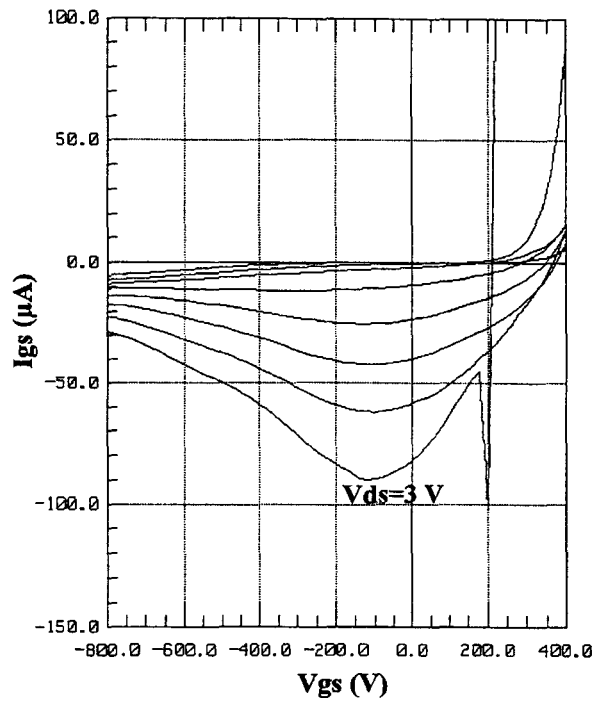
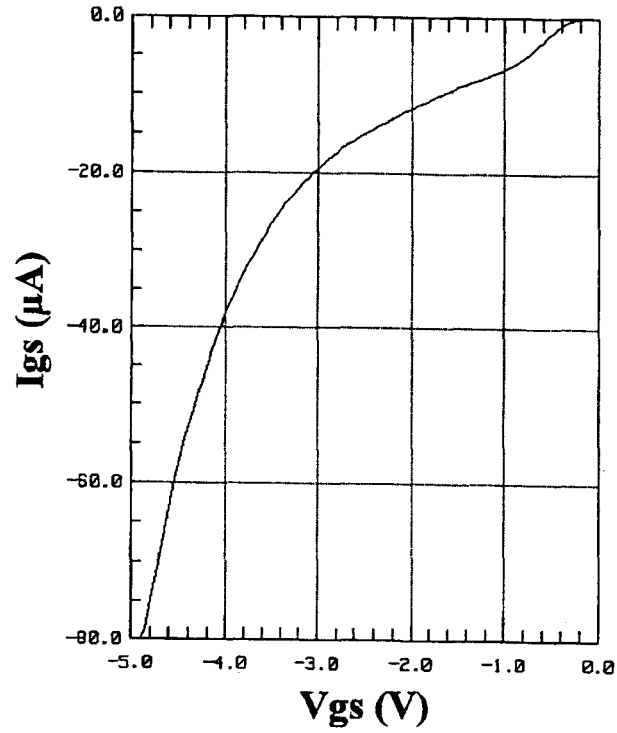
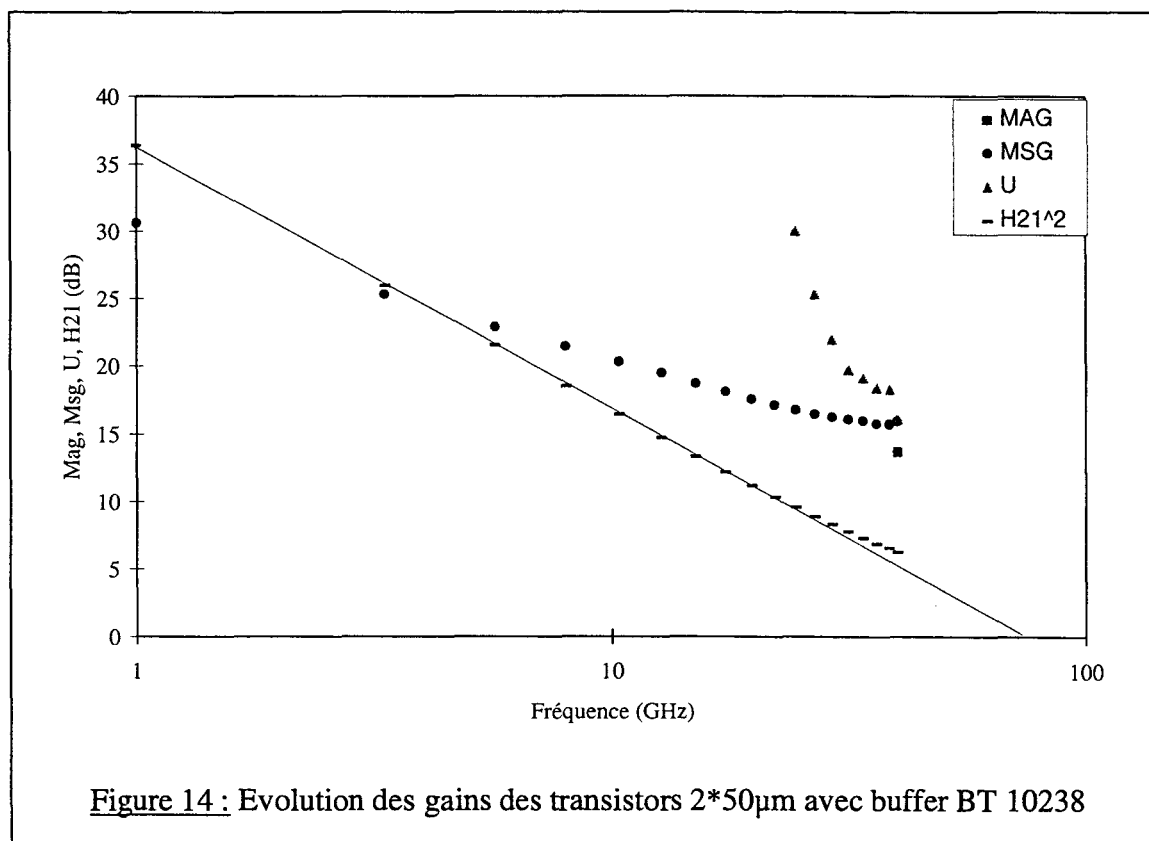


Figure 13 : Evolutions du courant de grille en configuration diode (en haut) et en configuration transistor pour $V_{ds} = 0$ à 3 V (en bas). Opération 10238 - $2 \times 50 \mu\text{m}$



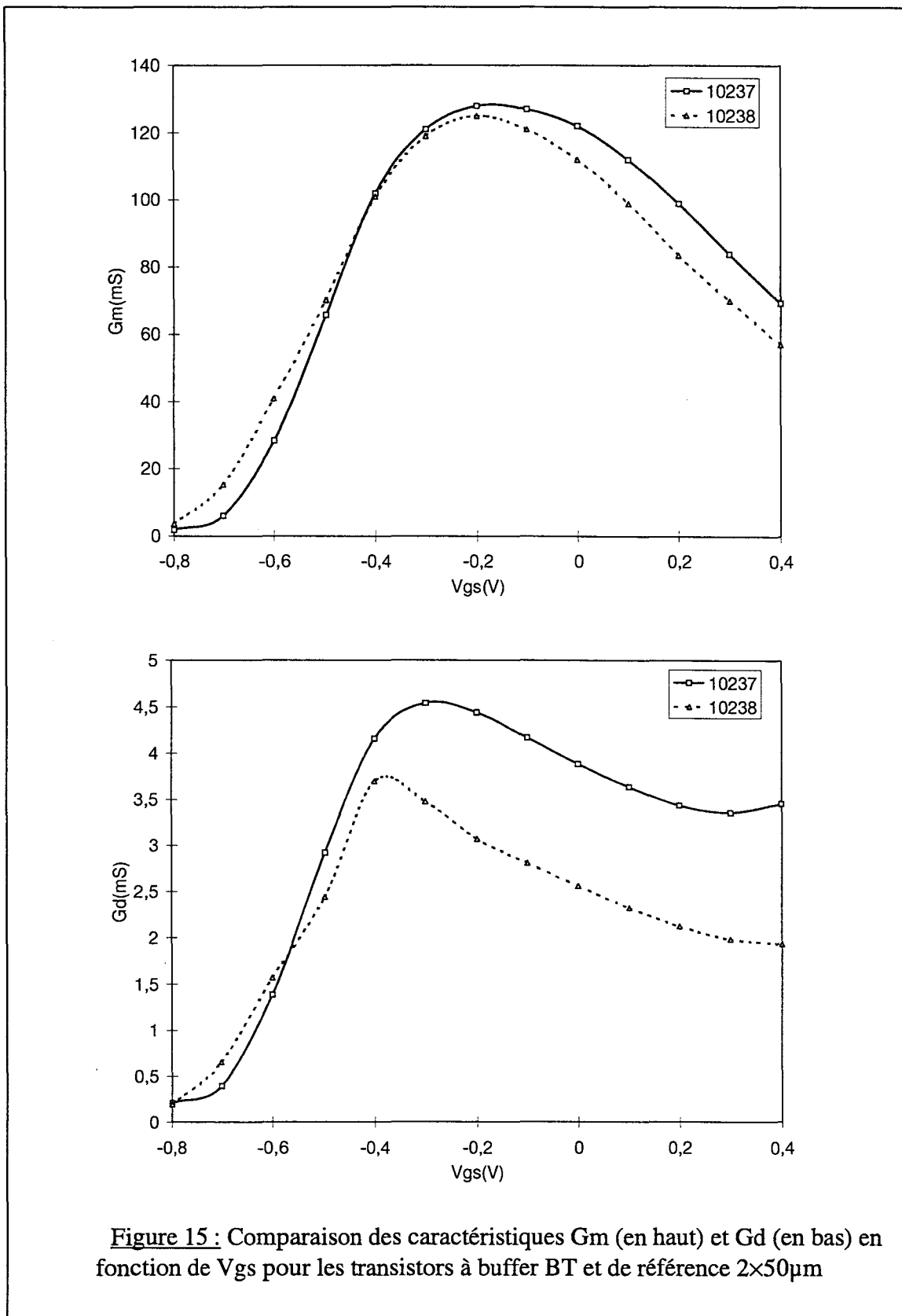
L'extraction du schéma équivalent à $V_{ds}=2$ V a permis de faire la comparaison des principaux éléments entre les deux transistors. Les valeurs des principaux éléments à la polarisation de grille correspondant au G_m max. sont résumées dans le tableau 6.

Transistor	G_m mS/mm	G_d mS/mm	C_{gs} pF/mm	C_{gd} pF/mm	G_m/G_d	C_{gs}/C_{gd}
buffer BT	1230	31	2,6	0,091	40	29
référence	1280	44	2,1	0,1	29	21

Tableau 6 : Comparatif des principaux éléments du schéma équivalent à $V_{ds}=2$ V au maximum de G_m pour les composants à buffer BT et référence

Si l'évolution de la transconductance en fonction de la tension V_{gs} (fig. 15) est identique pour les deux composants, les évolutions de C_{gs} , C_{gd} et G_d en fonction de V_{gs} (fig. 15 et 16) montrent un écart sensible. L'augmentation de C_{gs} et la diminution de C_{gd} peuvent être expliquées par une augmentation de la longueur de grille. Il faut peut être également chercher une explication de cette tendance dans le fait de la sous-gravure plus importante, par rapport au composant de référence, dans le cas présent.

Ainsi, il découle de ces résultats une augmentation des rapports $\frac{G_m}{G_d}$ et $\frac{C_{gs}}{C_{gd}}$ de 35 %.



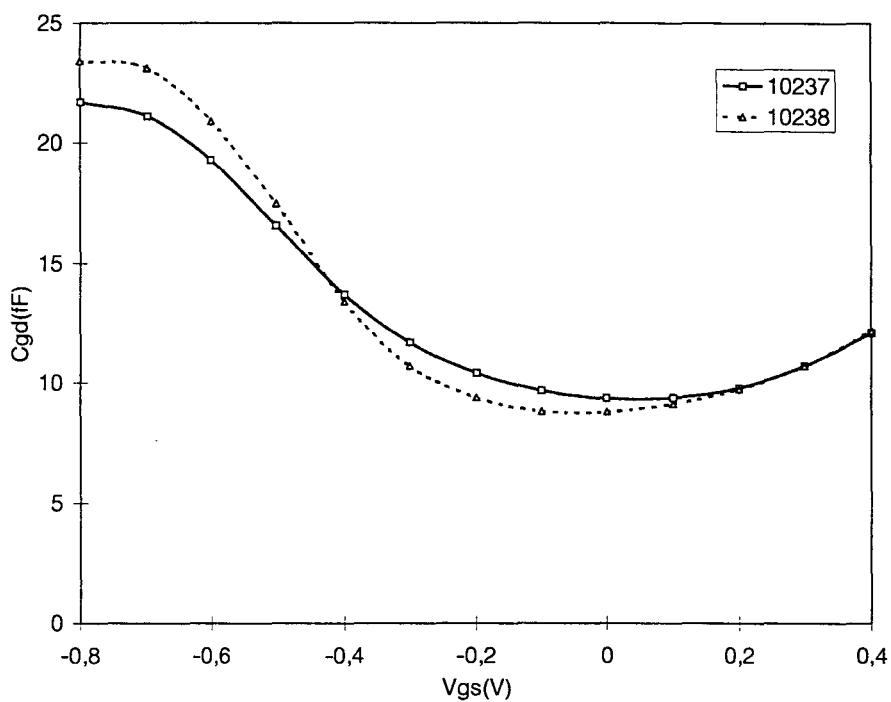
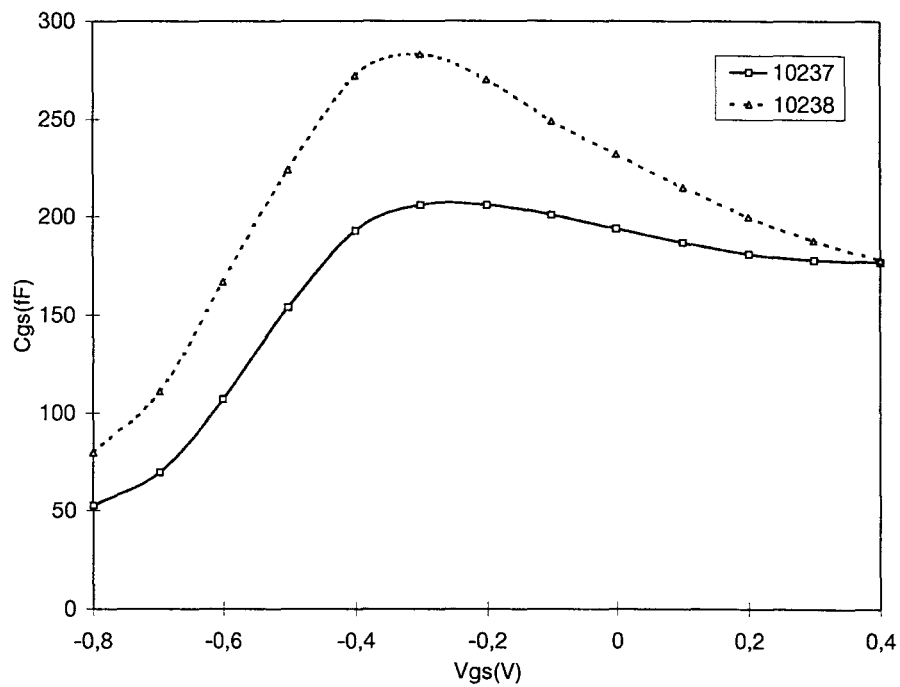


Figure 16 : Comparaison des caractéristiques C_{gs} (en haut) et C_{gd} (en bas) en fonction de V_{gs} pour les transistors à buffer BT et de référence $2 \times 50 \mu\text{m}$

3.4 Conclusion

Nous avons montré, par le biais de cette étude, qu'il était possible d'enrayer le phénomène de fuite par le buffer. Parmi les deux solutions envisagées, la plus simple est celle qui a donné les meilleurs résultats (buffer BT). Aussi, nous nous proposons dans la suite de notre travail de l'utiliser systématiquement (sauf exception chronologique) car cette solution technologique apparaît également comme un critère de qualité.

La physique des matériaux BT est très complexe et les connaissances actuelles ne nous permettent pas de donner une explication certaine de la diminution de la résistance carré des couches réalisées. De plus, il faut rappeler que nous n'avons pas observé le résultat obtenu par A.Auer. Au lieu d'une extraordinaire augmentation de la tension de claquage, nous avons tout au plus observé une amélioration de 1,5 Volt. Tout laisse penser que, dans notre cas, l'utilisation de grilles submicroniques engendre des effets de canal court et atténue fortement l'effet escompté sur le claquage. Mais cette augmentation peut être apportée par la longueur du fossé de grille plus importante (que pour le transistor de référence). Cette extension du fossé de grille peut être également tenue en partie pour responsable des variations des éléments du schéma équivalent et des performances en gain.

Par conséquent, pour la suite de notre travail visant à repousser les limitations de la tenue en tension des transistors, il semble judicieux d'approfondir l'étude de la configuration du fossé de grille.

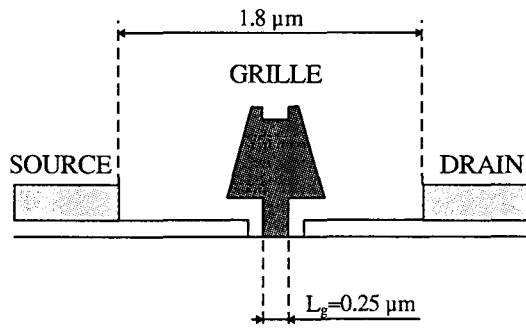
4. Etude de la configuration du fossé de grille

La géométrie et la dimension du fossé de grille vont avoir pour conséquence, d'influencer le champ électrique à proximité de la grille. En effet, le fait de graver partiellement ou en totalité la couche cap-layer, va reporter le potentiel de surface sur la couche barrière, créant ainsi une pseudo-zone désertée entre les contacts grille drain et/ou grille-source où le champ électrique a tendance à s'étaler. L'étalement du champ se traduit par une diminution de sa valeur pic et son uniformisation.

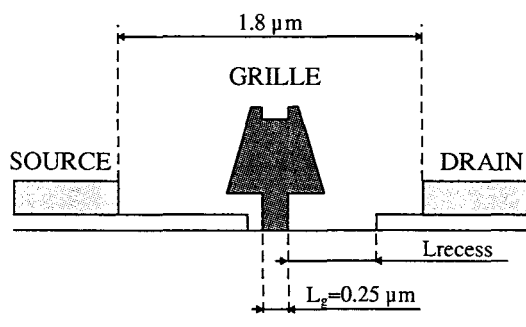
Les deux premières séries de composants présentées, appelées 10237 et 10238, étaient réalisés avec un recess auto-aligné étroit (le recess est réalisé après l'ouverture de la résine utilisée pour définir la grille), le cap-layer étant déserté par le potentiel de surface.

Par conséquent, ces deux séries s'apparentent à des technologies à double recess. Cependant, leur comparaison avait laissé apparaître une différence dans la tension de claquage qui pouvait être (entre autres) expliquée par une sous-gravure du fossé de grille différente. De cette comparaison, nous avons conclu la nécessité d'approfondir l'étude de la configuration du fossé de grille. Cette configuration peut présenter une multitude de variantes. De plus, la réalisation de dimensionnements différents accroît encore le nombre de configurations possibles.

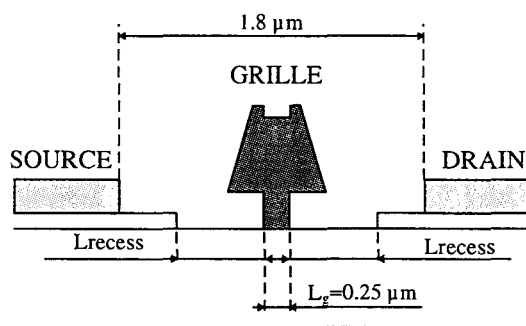
Pour des raisons d'ordre chronologique, notre étude a été réalisée sur une couche sans buffer BT. La configuration à fossé étroit auto-aligné (fig. 17.a) a été choisie comme référence pour cette étude. Nous avons également réalisé des transistors à fossés asymétriques du côté drain (fig. 17.b) et à fossés symétriques (fig. 17.c). Ceux-ci ont des longueurs de 0,1; 0,3; et 0,5 μm (fig. 18 bis) et sont appelés respectivement : petit, moyen et grand fossés.



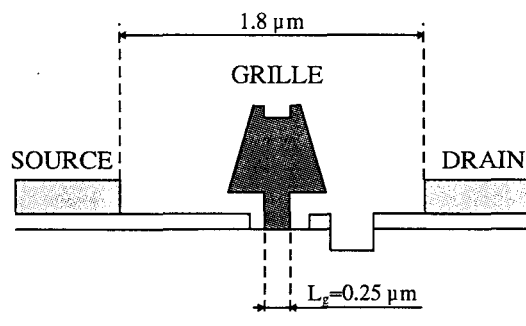
(a)



(b)



(c)



(d)

Figure 17 : Représentation des différentes configurations de fossé de grille étudiés. (a) fossé étroit, (b) fossés asymétriques, (c) fossés symétriques, (d) anti-fossé de drain

Si la technologie des fossés de grille symétriques et asymétriques est bien connue, la technologie des anti-fossés de drain (fig. 17.d) l'est moins. Cette technologie consiste à réaliser, à partir d'un composant à recess étroit, un second creusement à côté de la grille (côté drain). Le principe reprend la philosophie des transistors bigrilles [19], avec dans ce cas l'effet de la seconde grille assuré par le potentiel de surface.

4.1 Réalisation technologique

Le procédé de réalisation décrit sur la figure 18 est identique à celui présenté jusqu'à présent dans ce chapitre pour les opérations de contacts ohmiques et d'isolation. Ensuite, une lithographie permet de définir les recess symétriques et asymétriques (fig. 18.b). Après gravure chimique des fossés précédemment définis, la grille est déposée après définition selon le procédé à trois couches de résine pour tous les composants (fig. 18.c et 18.d). Notons qu'une seconde gravure chimique qui a pour effet de creuser le fossé de grille des composants à creusement étroit et anti-fossé de drain est nécessaire avant la métallisation de la grille.

Si la solution chimique utilisée pour cette dernière gravure, agit également dans la région des ouvertures de grilles des composants à fossés symétriques et asymétriques, la sélectivité ne permet pas d'attaquer le matériau de la couche barrière. Par conséquent, cette deuxième gravure n'a pas ou peu d'influence sur les variations des caractéristiques des composants. Lorsque la grille est déposée, il reste à réaliser la gravure de l'anti-fossé (fig. 18.e) par voie chimique non sélective à travers la fenêtre de résine définie par lithographie électronique. Cette fenêtre empiète sur la métallisation du chapeau de grille pour permettre un recess auto-aligné avec ce chapeau. Les dimensions de l'anti-fossé sont représentées sur la figure 17. Nous obtenons alors un anti-fossé situé à 0,1 μ m du pied de grille et de longueur 0,1 μ m (fig. 18 bis). La profondeur de gravure est 'contrôlée' par mesure du courant drain-source.

4.2 La caractérisation statique

Les principales valeurs issues de la caractérisation statique sont résumées dans le tableau 7.

Types de fossés	Etroit	Asym. petit	Asym. moyen	Asym. large	Sym. petit	Sym. moyen	Sym. large	Anti-fossé
Id mA/mm	710	730	730	720	730	680	680	680
Vp (V)	-0,8	-0,8	-0,7	-0,75	-0,6	-0,5	-0,55	-0,5
Gm (mS/mm)	850	790	820	830	890	860	860	900
Vbr _{GS} , Vbr _{GD} (V)	4,5, 4,5	4,5, 5	4,5, 7	4,5, 8,5	5, 5	7, 7	8,5, 8,5	4,5, 9

Tableau 7 : Caractéristiques des différents types de configuration de grille de l'opération 10237 à V_{ds}=2V

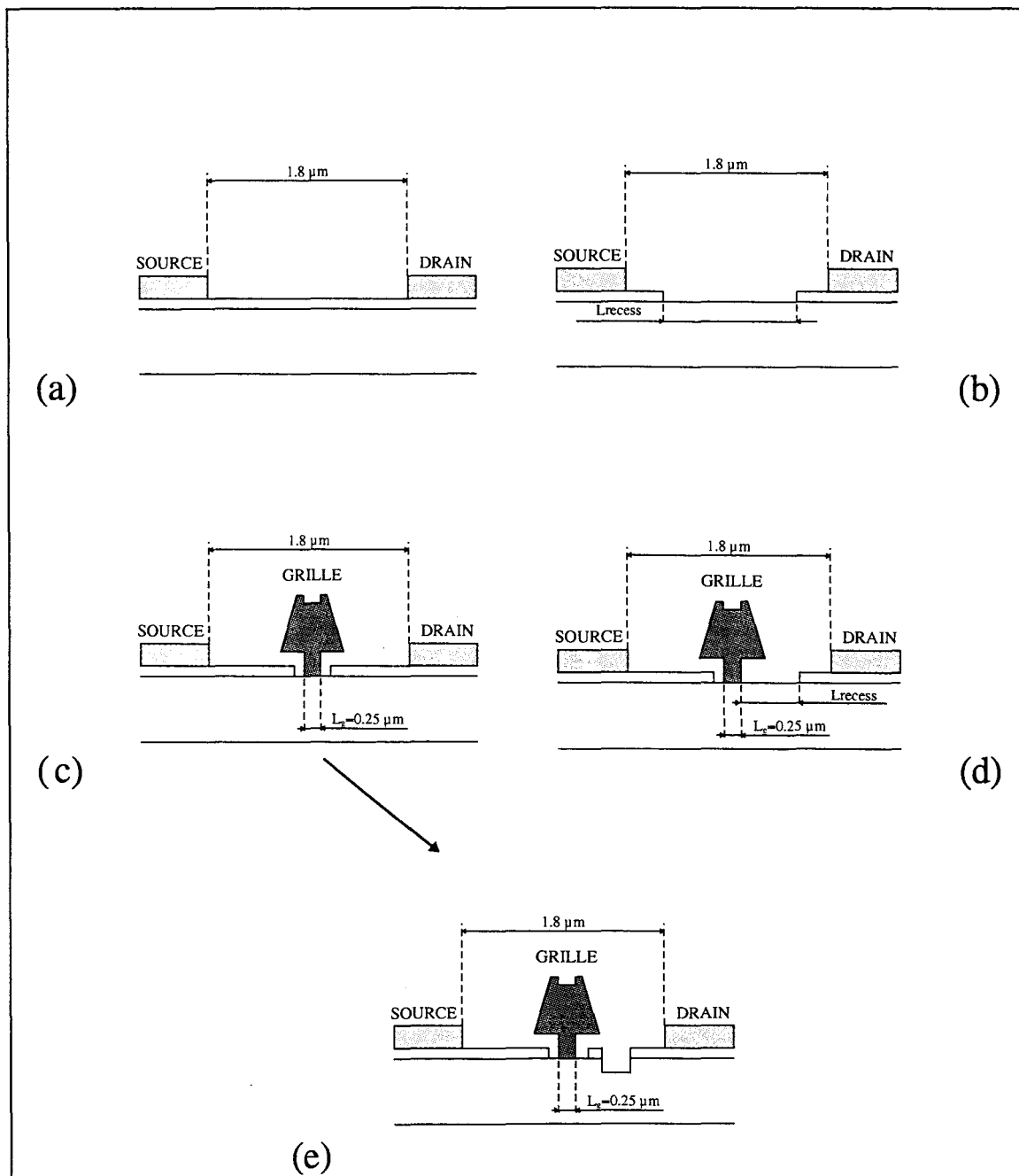


Figure 18 : Représentation des étapes technologiques nécessaires à la réalisation des différentes configuration de fossé de grille étudiées.

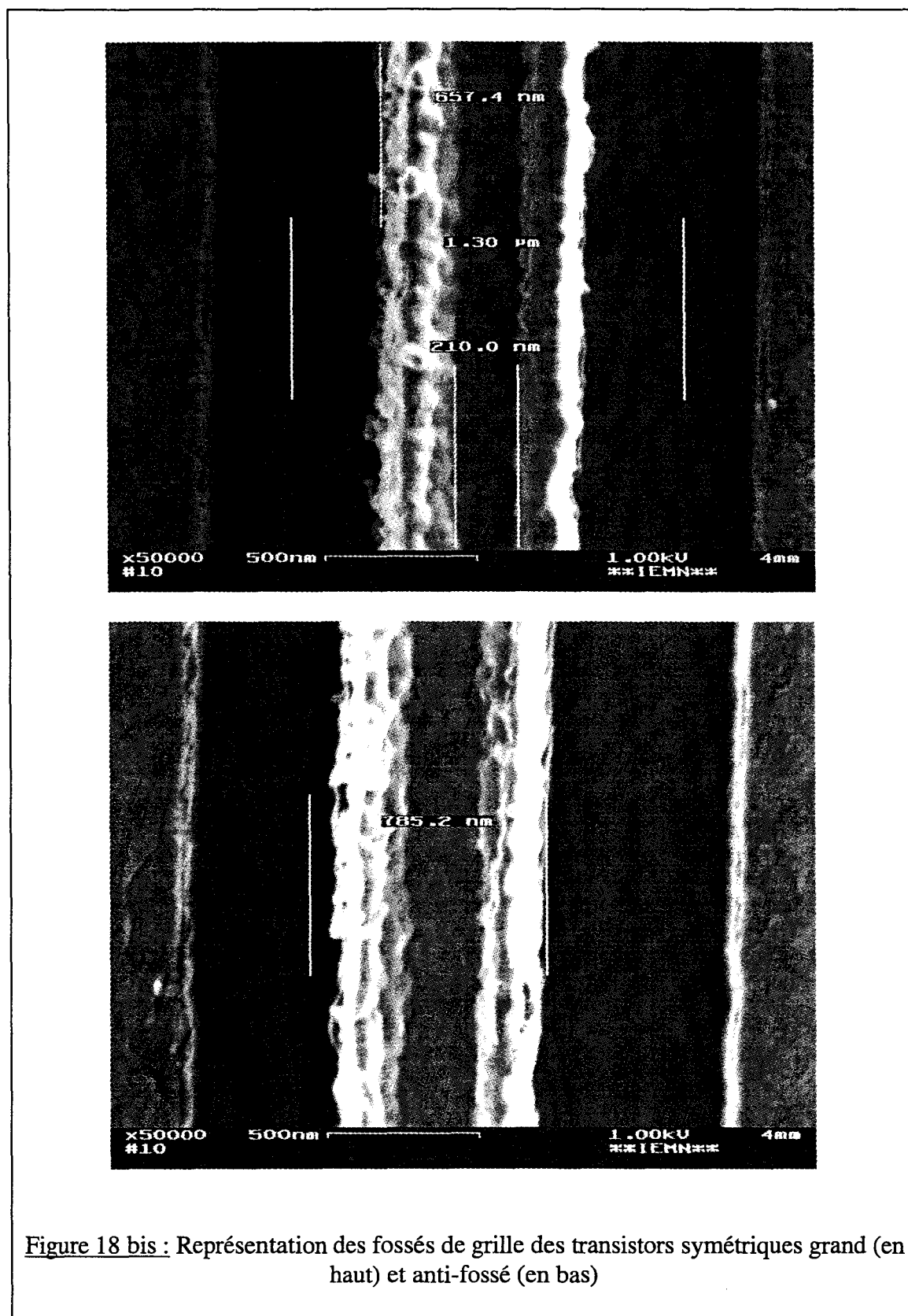


Figure 18 bis : Représentation des fossés de grille des transistors symétriques grand (en haut) et anti-fossé (en bas)

Nous observons alors peu de différence pour les 8 types de transistors à l'exception des tenues en tension qui montrent des variations importantes. En effet, nous observons pour les différents composants un courant de saturation drain source de l'ordre de 680 à 730 mA/mm pour une tension de pincement de -0,5 à -0,8 Volt. La transconductance extrinsèque maximum est comprise entre 800 et 900 mS/mm à $V_{ds}=2$ V. Les variations de ces dernières valeurs pourraient être attribuées aux variations de la résistance d'accès de source R_s [20] et des profondeurs inégales de gravure de fossé. En effet, bien que la solution de gravure chimique utilisée possède une bonne sélectivité, la deuxième gravure effectuée pour les composants à recess asymétriques et symétriques peut permettre une gravure de l'ordre de 30 à 40Å. Cette différence d'épaisseur peut expliquer à elle seule les variations de la tension de pincement [21]. Notons tout de même que les transconductances extrinsèques (dépendant de R_s) sont plus élevées pour les structures symétriques. Par conséquent, l'effet de R_s sur les évolutions observées peut être considéré comme négligeable.

Les contacts Schottky de grille montrent une tension de built-in et un coefficient d'idéalité similaire pour chaque composant, à savoir $V_b=0,45$ V et $\eta=1,75$.

En ce qui concerne la tension de claquage en configuration de diode, nous pouvons observer une très nette variation pour les différents composants, même si pour des raisons de reproductibilité technologique, une marge d'erreur de plus d'un Volt doit être prise en compte. Les variations de ces valeurs sont attribuées à l'extension du fossé de grille. Pour le fossé auto-aligné étroit, la tension de claquage est de l'ordre de 4,5 Volts en grille-source et grille-drain. Pour les composants à fossés asymétriques, la tension de claquage grille-source est invariante car l'extension du fossé côté source reste la même. Côté drain, l'extension du fossé permet un gain en tension assez important, et va de 5 à 9 Volts pour les petits et grands fossés respectivement et 7 Volts pour le fossé moyen (fig. 19).

Cette augmentation par pas de deux Volts est également observée pour les composants à fossés symétriques avec cette fois des tensions de claquage identiques en grille-source et en grille-drain puisque l'extension du fossé est la même de chaque côté de la grille. On obtient alors jusqu'à 9 Volts de tension de claquage pour le fossé asymétrique large.

Enfin, l'anti-fossé possède une tension de claquage grille-source de 4,5 Volts car son fossé côté source n'est pas étendu. Côté drain, la tension de claquage atteint 9 Volts et montre par ce premier résultat tout l'intérêt de ce type de structure. Si les fossés de grille asymétriques et symétriques élargis ont pour conséquence de diminuer le champ électrique en sortie de grille, des études théoriques basées sur des simulations hydrodynamiques ont montré [22] que l'anti-recess avait le même effet sur l'étalement du champ électrique dans la structure et donc sur le claquage en configuration diode.

La mesure du courant de grille en fonctionnement transistor a été effectuée sur les différents composants afin de connaître l'effet de la configuration du fossé de grille sur le claquage à canal ouvert.

Le tableau 8 résume les valeurs maximales de courants de grille (à l'ionisation) relevées pour les différents composants à 2 et 3 Volts de V_{ds} .

Types de fossés	Etroit	Asym. petit	Asym. moyen	Asym. large	Sym. petit	Sym. Moyen	Sym. large	Anti-fossé
I _{gs} (μA/mm) à V _{ds} =2V	200	X	X	95	95	80	60	100
I _{gs} (μA/mm) à V _{ds} =3V	X	X	X	180	350	245	120	250

Tableau 8 : Résumé des courants de grille relevés à V_{ds}=2 et 3 V pour les différents transistors (X : non mesuré)

Nous observons un comportement du courant de grille en fonctionnement transistor étroitement lié avec la configuration du fossé de grille. En effet, l'élargissement du fossé (d'une manière générale) permet de diminuer la valeur du courant de grille à une polarisation donnée. Cet effet peut être interprété, comme dans le cas de l'augmentation de la tension de claquage en configuration diode, par l'étalement du champ électrique dans la structure et la diminution de la valeur pic. L'ionisation (qui donne naissance au courant de grille à canal ouvert) étant proportionnelle au champ électrique, il en résulte une diminution du courant de grille. Notons que cette diminution est plus prononcée pour les transistors avec fossés de grilles symétriques que pour les transistors avec fossés de grilles asymétriques. Notons également que si les tendances observées à V_{ds}=2V restent valables à V_{ds}=3V. Ces tendances laissent présager d'une amélioration en tension de claquage à canal ouvert pouvant atteindre 2 Volts pour le composant à fossé large, comparé à la valeur obtenue pour le fossé étroit.

4.3 Les performances hyperfréquences

La mesure des paramètres S_{ij} de 1 à 75 GHz nous a permis de déterminer les performances en fréquence et en gain des différents composants réalisés. Ces performances sont reportées dans le tableau 9 pour V_{ds}=2 Volts et la polarisation de grille permettant d'obtenir les performances les plus élevées.

Configuration du fossé	Etroit	Asym. petit	Asym. moyen	Asym. large	Sym. petit	Sym. moyen	Sym. large	Anti-fossé
F _t (GHz)	96	93	94	89	99	101	94	86
F _{max} (GHz)	210	250	260	290	260	250	320	220
MAG@60GHz (dB)	9,5	9	10,8	11,8	10,6	11,3	13,2	9

Tableau 9 : Evolutions des performances en fréquence et en gain des transistors 2×50μm en fonction de la configuration du fossé de grille à V_{ds}=2V

Nous pouvons constater que les valeurs de la fréquence de coupure du gain en courant de court-circuit sont peu différentes quelque soit la configuration du fossé de grille. En effet, les variations observées sont inférieures à 10% et peuvent être expliquées par un problème d'uniformité de la longueur de grille ou un décalage de cette fréquence en fonction de V_{gs}.

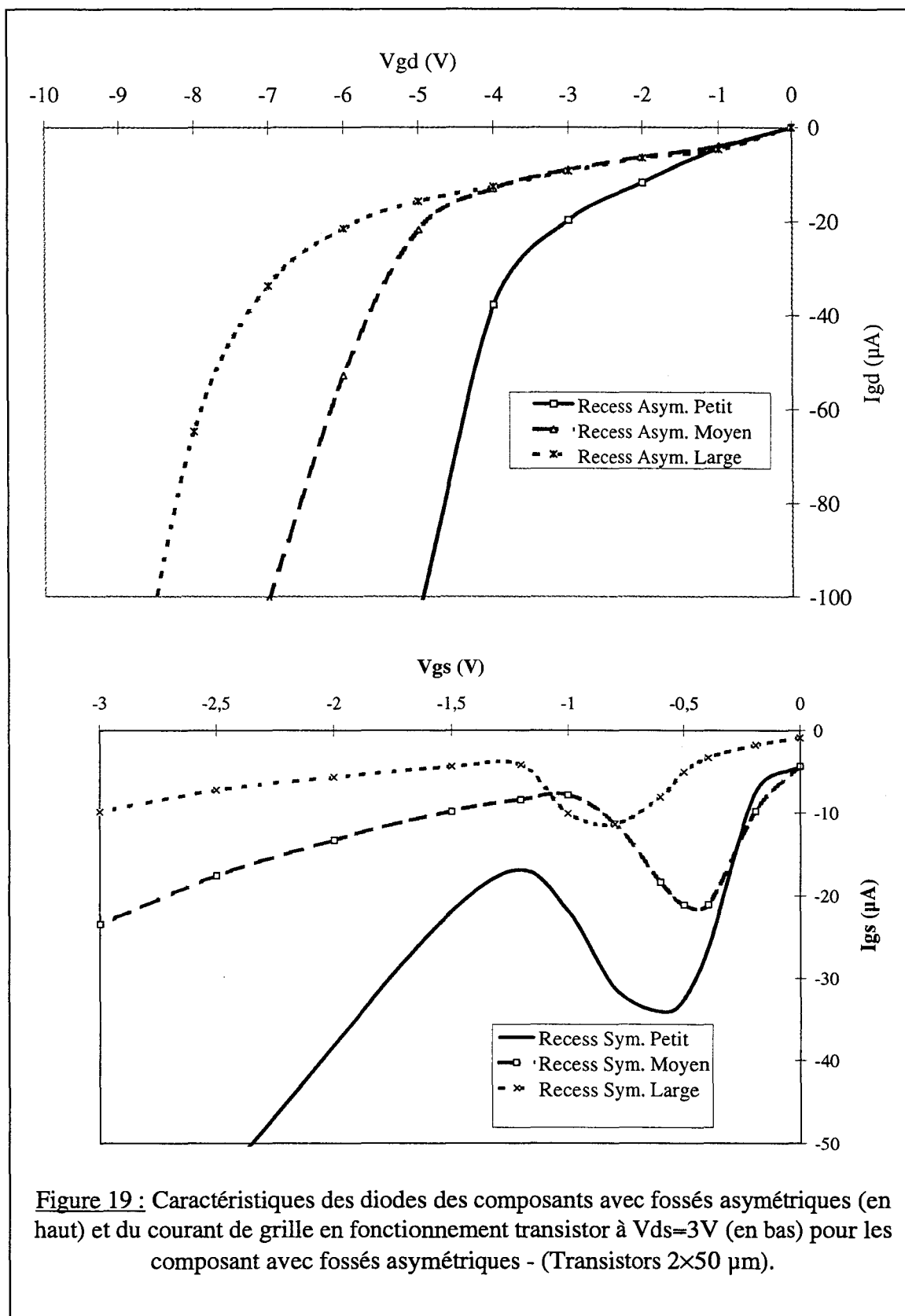


Figure 19 : Caractéristiques des diodes des composants avec fossés asymétriques (en haut) et du courant de grille en fonctionnement transistor à $V_{ds}=3V$ (en bas) pour les composant avec fossés asymétriques - (Transistors $2 \times 50 \mu m$).

Contrairement à cette tendance, nous pouvons observer une augmentation de la fréquence F_{max} lorsque la longueur du fossé (aussi bien côté source que côté drain) augmente. Toutefois, il est à noter que pour les composants à fossés symétriques, cette augmentation est plus importante que celle observée pour les composants à fossés asymétriques. Pour le transistor à fossé de grille symétrique large, F_{max} est de 320 GHz et pour le transistor à fossé de grille asymétrique large, F_{max} est de 290 GHz.

De la même façon, le MAG à 60 GHz suit la même évolution que la fréquence F_{max} , avec pour les composants à fossés symétriques, des valeurs supérieures à celles obtenues pour les composants à fossés asymétriques. Concernant le transistor avec anti-fossé de drain, ses performances sont équivalentes aux transistors à fossés étroits, asymétriques et symétriques petit. Cependant, le facteur de stabilité de ces derniers est nettement supérieur à ceux des composants à fossé étroit [19] (1,6 contre 1,1 respectivement à 40 GHz), ce qui montre un atout supplémentaire de ce type de configuration dès lors que leur utilisation simplifie la conception de circuits intégrés.

Nous pouvons donc conclure que l'augmentation de la longueur du fossé de grille permet d'améliorer la tenue en tension et les performances en fréquence et en gain des transistors. Si la configuration d'anti-fossé permet d'obtenir des tensions de claquage du même ordre de grandeur que pour les transistors à fossés asymétriques larges, ses performances en fréquence et en gain restent du même ordre de grandeur que celles obtenues pour les transistors à fossés de grille étroit et asymétriques ou symétriques petits.

Pour comprendre plus finement les modifications physiques et les conséquences induites par la configuration du fossé de grille, il paraît judicieux d'étudier les évolutions des éléments du schéma équivalent des différents transistors.

4.4 Le schéma équivalent

Les schémas équivalents petit signal en fonction de V_{gs} ont été extraits à partir des mesures de paramètres S_{ij} de 1 à 40 GHz pour la polarisation de drain de 2 Volts. Les valeurs des principaux éléments sont résumés dans le tableau 10 pour la polarisation de grille correspondant au maximum de G_m .

Configuration du fossé	Etroit	Asym. petit	Asym. moyen	Asym. Large	Sym. petit	Sym. Moyen	Sym. large	Anti-fossé
G_m (mS/mm)	1280	1190	1210	1180	1270	1340	1270	1260
G_d (mS/mm)	44	38	32	25	39	33	26	31
G_m/G_d	29	31	38	48	32	40	49	40
C_{gs} (pF/mm)	2,1	2	2	2,1	2	2,2	2,2	2,2
C_{gd} (pF/mm)	0,1	0,1	0,076	0,067	0,085	0,075	0,063	0,073
C_{gs}/C_{gd}	20	20	26	31	24	29	35	30

Tableau 10 : Principaux éléments des schémas équivalents à $V_{ds}=2V$ et V_{gs} correspondant au maximum de G_m , pour les différentes configurations de fossé de grille

4.4.1 La transconductance et la conductance de sortie

Comme dans le cas des caractérisations statiques, nous pouvons observer une faible variation (10%) des valeurs maximales de transconductances (fig. 20) pour les différents composants. Les origines de ces variations se trouvent également dans la différence de profondeur de gravure du fossé de grille des composants.

Contrairement à la transconductance, la conductance de sortie (fig. 20) accuse des variations substantielles. Par exemple, pour les composants à fossés de grille asymétriques, la conductance de sortie passe de 38 à 25 mS/mm pour les fossés petit et grand respectivement, alors qu'elle est de 44 mS/mm pour le composant à fossé étroit.

Ces résultats confirment l'effet annoncé dans l'introduction de ce paragraphe, à savoir que l'extension du fossé aurait pour conséquence de diminuer la valeur du champ électrique. Cette diminution se faisant, comme l'ont montré les simulations [22], par son uniformisation le long de l'extension du fossé. De même, nous pouvons observer pour les transistors à fossés symétriques, des valeurs de conductance de sortie identiques à celles obtenues pour les transistors à fossés asymétriques. En effet, nous obtenons 39, 33, et 26 mS/mm pour les transistors à fossés petit, moyen et grand respectivement. Ces résultats comparés à ceux obtenus pour les fossés asymétriques montrent que l'extension du fossé côté source n'a aucune influence sur le comportement du champ électrique dans l'espace grille-drain. Pour le composant à anti-fossé, nous obtenons un Gd de 31 mS/mm, ce qui équivaut aux résultats obtenus pour les composants à fossés symétriques et asymétriques moyen.

Ceci peut être expliqué par le fait que la distance séparant la grille et la fin de l'anti-fossé est identique à la longueur des fossés moyens.

Des valeurs de transconductance quasi-invariantes et des fortes variations de conductance de sortie, il résulte de fortes différences pour le rapport $\frac{Gm}{Gd}$ en fonction des configurations de fossés de grille. Pour le composant à fossé étroit, nous obtenons une valeur de 29. Pour les transistors à fossés asymétriques et symétriques, cette valeur augmente avec l'extension du fossé pour atteindre 49 pour les plus grandes dimensions. Pour l'anti-fossé, la valeur obtenue (40) et comme dans le cas de la conductance de sortie, identique à celles obtenues pour les fossés asymétriques et symétriques moyen.

4.4.2 La capacité grille-source et la capacité grille-drain

Comme la transconductance, la capacité Cgs (fig. 21) varie très peu pour les différents types de transistors [23]. Comme pour la transconductance, ces écarts sont dûs aux variations technologiques.

Les évolutions de la capacité Cgd (fig. 21) montrent comme dans le cas de la conductance de sortie, une forte dépendance à l'extension du fossé de grille. Les variations et les valeurs sont quasiment identiques pour les fossés symétriques et asymétriques, et montrent une diminution lorsque la longueur des fossés augmente[24]. Ainsi, on passe de 0,1 pF/mm pour les fossés étroits, symétriques et asymétriques petit à 0,065 pF/mm pour les fossés asymétriques et symétriques large. En ce qui concerne le transistor à anti-fossé, la valeur obtenue est une fois de plus, identique à celles obtenues pour les composants à fossés asymétriques et symétriques moyens.

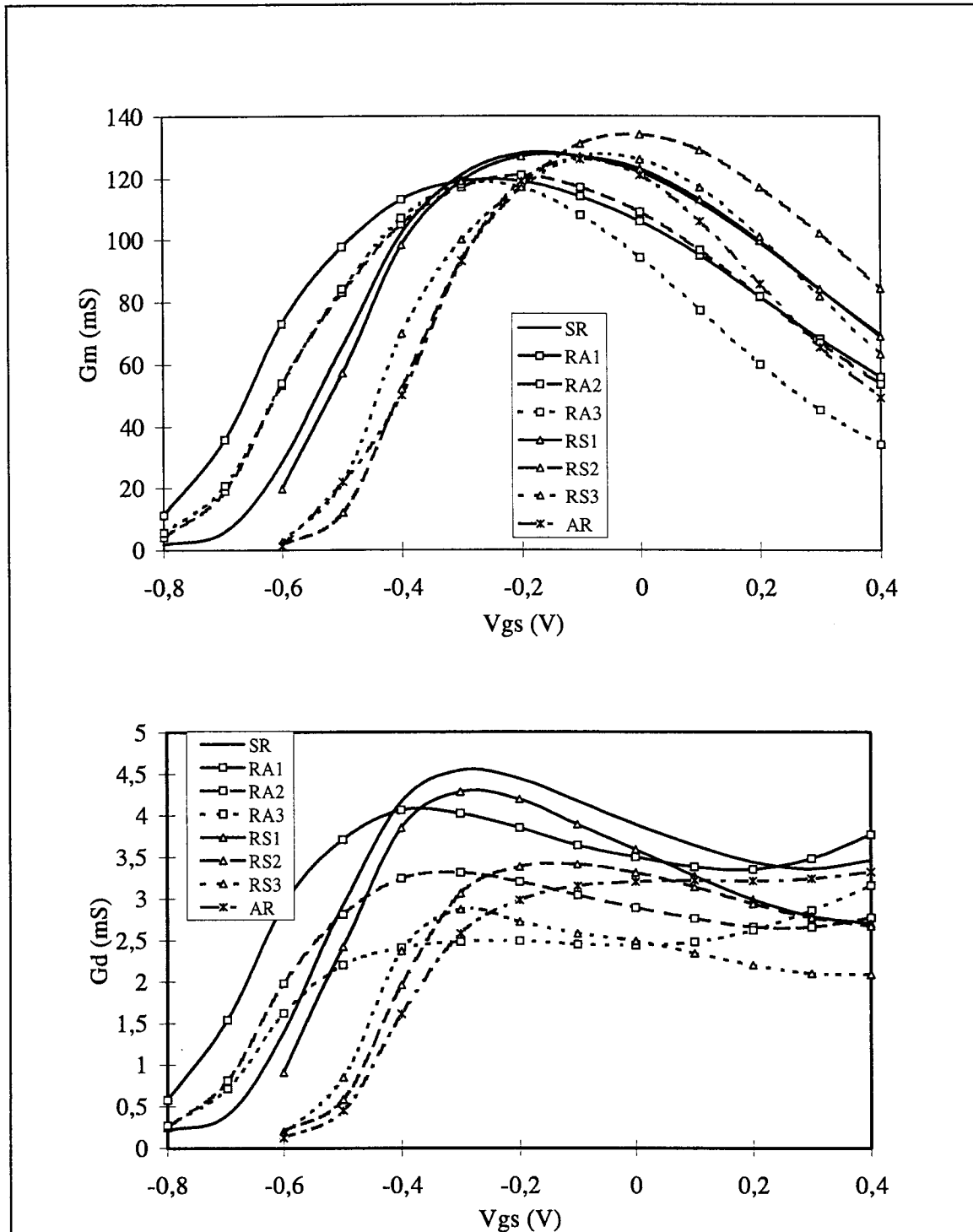


Figure 20 : Caractéristiques $G_m(V_{gs})$ (en haut) et $G_d(V_{gs})$ (en bas) à $V_{ds}=2V$ pour les différentes configurations de fossés de grille (transistors $2 \times 50 \mu m$)

RS : Recess Symétrique, RA : Recess Asymétrique, 1,2,3 : Petit, Moyen, Large

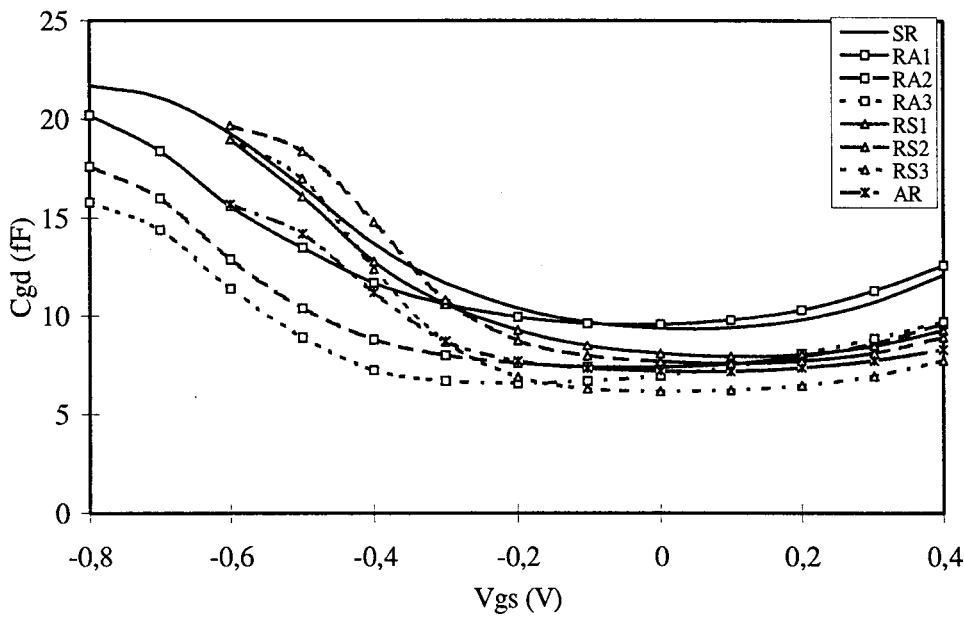
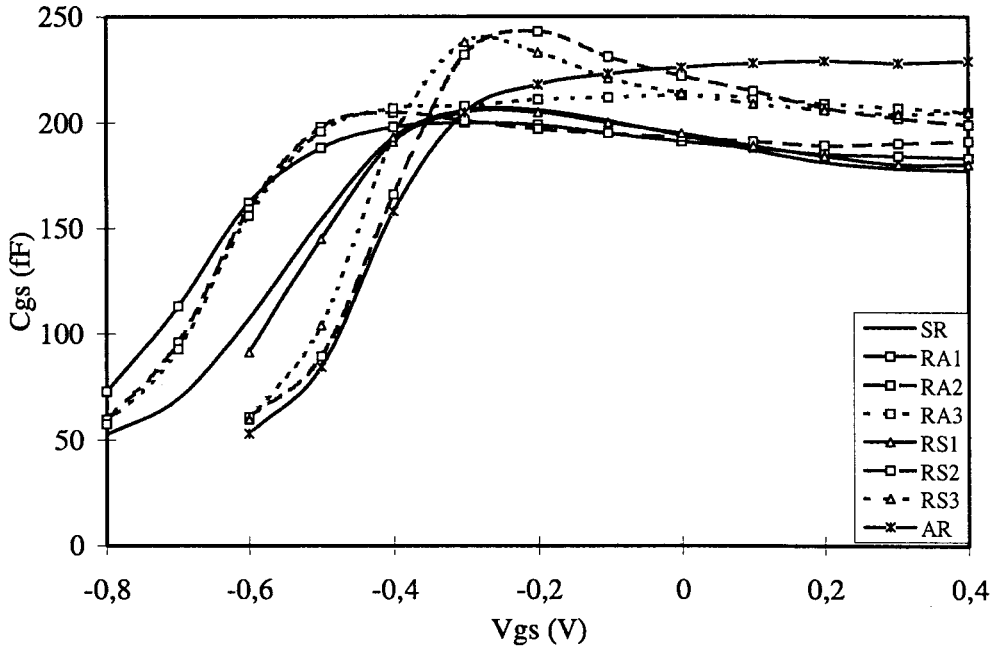


Figure 21 : Caractéristiques $C_{gs}(V_{gs})$ (en haut) et $C_{gd}(V_{gs})$ (en bas) à $V_{ds}=2V$ pour les différentes configurations de fossés de grille (transistors $2 \times 50 \mu m$)

RS : Recess Symetrique, RA : Recess Asymétrique, 1,2,3 : Petit, Moyen, Large

Les observations effectuées sur les transistors asymétriques, symétriques et à anti-fossé de drain montrent que seule l'extension du creusement de grille côté drain a une influence sur le comportement de C_{gd} . En effet, compte tenu des dimensions en jeu, nous pouvons penser que le couplage entre le chapeau de grille et la partie du semi-conducteur se trouvant juste au dessous, reste quasi invariant que le cap-layer soit présent ou non.

Conséquence de ces variations de capacités, le rapport $\frac{C_{gs}}{C_{gd}}$ augmente avec la longueur du fossé de grille pour atteindre 30 à 35 pour les composants à fossés asymétriques et symétriques larges.

4.4.3 Relation entre les performances et le schéma équivalent

Des observations faites sur les éléments du schéma équivalent, montrent que l'extension du fossé de grille a un effet bénéfique sur les valeurs des éléments du composant que l'on cherche à réduire (G_d et C_{gd}) pour améliorer le MAG, car ces derniers diminuent lorsque la longueur du fossé augmente. De plus, les éléments tels que G_m et C_{gs} restent invariants ou quasi-invariants quelle que soit la configuration du fossé de grille. Aussi, si l'on reprend les résultats obtenus pour les performances en gains, il semble aisé de montrer la relation entre les variations de G_d et C_{gd} et les variations du gain MAG. En effet, le tableau 11 montre une très nette dépendance entre les variations de C_{gd} et du MAG.

Configuration du fossé	Asym. Petit	Asym. moyen	Asym. large	Sym. petit	Sym. Moyen	Sym. large
ΔC_{gd} (%)	0	-24	-33	-15	-25	-37
ΔG_d (%)	-14	-27	-44	-11	-25	-41
ΔMAG (%)	0	+20	+31	+17	+25	+39

Tableau 11 : Ecart (en %) des C_{gd} , G_d et MAG des transistors à fossés asymétriques et symétriques (Asym. et Sym.) par rapport au transistor à fossé étroit.

4.4.4 Limitations de la longueur de recess

Des observations précédemment faites, il pouvait sembler intéressant d'augmenter la longueur de recess au delà de 0,5 μm afin d'améliorer un peu plus la tenue en tension et les performances en gain des transistors. Cette idée a été rapidement écartée après la mesure des paramètres S_{ij} de 75 à 110 GHz en fonction de V_{ds} à la polarisation de grille permettant d'obtenir le maximum de G_m pour les composants à fossés de grille asymétriques. Ces mesures ont montré des modules $|S_{22}|$ supérieurs à 1. Le tableau 12 montre que la fréquence à partir de laquelle apparaissent les $|S_{22}| > 1$ varie en fonction de V_{ds} et de l'extension du fossé de grille. Pour le petit fossé, jusqu'à $V_{ds} = 3,5$ Volts, le phénomène n'est pas observé jusqu'à 110 GHz. $|S_{22}|$ devient supérieur à 1 dès $V_{ds} = 3$ V pour le fossé moyen et dès $V_{ds} = 2$ V pour le fossé large. Notons que, plus est importante la tension V_{ds} , plus vite apparaît le phénomène [25].

Type de fossé	Petit	Moyen	Grand
V _{ds} =2 V	x	x	105
2,5 V	x	x	99
3 V	x	105	91
3,5 V	x	96	85

Tableau 12 : Fréquences d'apparition de $|S_{22}| > 1$ en fonction de la longueur du fossé et de V_{ds} pour la tension V_{gs} correspondant au maximum de gain MAG pour les transistors à fossé asymétriques (x : phénomène non observé dans la bande 75-110 GHz).

L'explication de ce phénomène n'est pas encore complètement claire. Il pourrait être la manifestation d'oscillations Gunn dans l'espace grille-drain. Ces oscillations apparaissant dans les structures planaires, l'apparition plus prononcée du phénomène pour le transistor à fossé de grille large s'explique aisément. L'existence réelle de ces oscillations (mises en évidence par les simulations hydrodynamiques [26]) est encore contestée, car aucune mise en évidence expérimentale n'en a été effectuée en raison de leurs fréquences très élevées. L'explication physique du phénomène se trouve dans le fait que les matériaux utilisés pour l'épithaxie du transistor possèdent une résistance différentielle négative. De même, les simulations ont montré que les fréquences d'apparition des oscillations (à polarisation fixée) est inversement proportionnelle à la distance grille drain.

Il est possible de supprimer ou d'atténuer ces oscillations en utilisant une couche cap-layer plus épaisse ou des distances grille drain plus faibles. Ces deux solutions ont pour conséquence de réduire fortement la tenue en tension des composants et donc un effet inverse de ce qui est recherché. Il semble donc que la meilleure solution consiste à rechercher un compromis entre les structures réalisées pour cette étude.

4.5 Conclusion

L'objectif de cette étude était de corréler la tenue en tension des transistors à leur configuration de fossé de grille. Pour cela, nous avons réalisé sur une épithaxie, les différentes configurations possibles. Ces multiples configurations étant paramétrées par la dimension du fossé, nous avons à notre disposition huit types de transistors différents.

Après caractérisation statique, nous avons pu observer l'amélioration de la tenue en tension en configuration de diode lorsque la longueur du fossé augmente (aussi bien côté source que côté drain). Cette amélioration se faisant également sur la tension de claquage en configuration transistor.

Par ailleurs, si l'élargissement des fossés de grille (symétriques et asymétriques) améliore la tenue en tension des composants, aucune répercussion significative se fait sur les courants de drain. Cependant, des écarts sur la tension de pincement ont été observés, mais ceci doit être attribué au déroulement des étapes technologiques qui implique une variation de la profondeur de gravure.

La caractérisation hyperfréquence petit signal a montré que lorsque la longueur des fossés augmentaient, les gains MAG et les fréquences de coupure F_{max} augmentaient, alors que les fréquences de coupure en courant de court-circuit F_t restaient constantes.

Après détermination des éléments des schémas équivalents, nous avons pu mettre en évidence que l'élargissement du fossé de grille avait pour conséquence de réduire de façon drastique, les éléments du schéma équivalent intrinsèque ayant un effet néfaste sur les performances en fréquence et en gain des transistors, ces éléments étant la capacité grille-drain C_{gd} et la conductance de sortie G_d .

Nous avons également observé que les résultats obtenus par le composant à anti-fossé de drain étaient décevants car il présentaient des performances peu différentes du composant à fossé de grille étroit (transistor de référence) bien que celui-ci présente des C_{gd} et C_{gs} plus faibles. En fait, la complexité de ce type de structure nécessite une étude plus approfondie quant aux dimensions à prendre pour observer un gain réel sur les différentes caractéristiques [22]. Notons, également que les facteurs de stabilité pour les composants à fossés de grille symétriques, asymétriques ou à anti-fossé de drain sont nettement supérieurs à ceux des composants à fossé étroit. Cela fait de ces trois types de transistors, des composants de choix pour les concepteurs de circuits intégrés.

En effectuant des mesures de paramètres S_{ij} dans la bande de fréquence 75-110 GHz sur les composants à fossés asymétriques, nous avons observé des phénomènes pouvant s'apparenter à de l'oscillation Gunn dans l'espace grille-drain, lorsque les fossés étaient moyens ou larges. Il est donc apparu de ces observations une limitation sur la longueur de l'extension du creusement de grille. La configuration de fossé de grille asymétrique ou symétrique large doit être écartée. Le choix sur la configuration optimale se limite donc entre la configuration à fossé asymétrique ou symétrique moyen. En effet, ces deux dernières sont les deux seules qui ont montré des améliorations de tenue en tension, en performances en gain et en fréquence face au transistor à fossé étroit. Aussi, en comparant les performances des transistors à fossés symétriques et asymétriques, nous avons pu observer des valeurs identiques. Par conséquent, le choix de la configuration optimale (à ce stade de notre travail) est alors décidé par la technologie. Le transistor à fossé asymétrique nécessite une étape de lithographie électronique pour définir le fossé de grille. Le transistor à fossé symétrique peut très bien en être dispensé. En effet, le creusement pourra se faire à travers l'ouverture de grille. Le calibrage de la solution d'attaque chimique sélective que nous avons effectué pour déterminer la sous-gravure en fonction du temps d'attaque, nous permettra d'obtenir une longueur de fossé de 0,3 μm de part et d'autre de la grille.

5. Etude des barrières de trous en AlInAs à fort taux d'aluminium

Dans l'étude de la configuration du fossé de grille précédemment présentée, nous avons pu observer qu'il était possible d'améliorer la tenue en tension des transistors en effectuant un élargissement du fossé. Cette amélioration est observée sur la tenue en tension en configuration de diode, mais également sur la tenue en tension en configuration transistor. Cependant, il faut noter qu'à faible V_{ds} , le courant de grille à canal ouvert reste encore élevé pour les structures à fossé de grille très large. Comme nous l'avons décrit au début de ce chapitre, la principale cause de l'apparition du courant de grille à canal ouvert (celui que l'on observe par la présence de la cloche du courant de grille) est essentiellement l'ionisation par

choc se produisant dans le canal. Pour empêcher les trous (engendrés par l'ionisation) de remonter vers la grille, il est nécessaire d'utiliser pour la barrière un matériau à grand gap. Pour augmenter le gap du matériau AlInAs, il est possible d'augmenter sa teneur en aluminium. Une autre possibilité consisterait à utiliser un alliage à base de phosphore, mais cette solution rencontre immédiatement des limitations quant à l'épaisseur maximale de matériau utilisable et par conséquent, son action. A la fin de ce paragraphe, nous présenterons à titre de comparaison les résultats de travaux utilisant des barrières composées de Phosphore.

5.1 Réalisation des opérations 10289 - 10290

Dans la première partie de ce chapitre, nous avons proposé plusieurs solutions pour l'utilisation de barrière à fort taux d'aluminium. En effet, il est possible d'utiliser de l'AlInAs en volume (avec un taux d'aluminium supérieur à 48%) pour la couche espaceur et/ou la barrière. De même, il est possible d'insérer toujours dans la couche espaceur et/ou la couche de contact Schottky, des barrières d'AlAs de faibles épaisseurs (20 à 30 Å).

Notre étude se voulant significative, nous avons décidé d'étudier une structure avec de l'AlInAs à fort taux d'aluminium en volume (65%) pour la couche espaceur et la barrière Schottky. Pour cette dernière, nous avons envisagé l'utilisation d'un fort taux d'aluminium constant du canal jusqu'à une certaine épaisseur de barrière, pour finir jusqu'à la couche cap-layer en diminuant graduellement le taux d'aluminium pour atteindre la valeur de 48%.

Concernant les barrières d'AlAs, nous avons également cherché à obtenir des résultats significatifs et par conséquent, nous avons décidé d'insérer cinq barrières dans la couche d'AlInAs (une dans la couche espaceur et quatre dans la couche de contact Schottky).

Nous obtenons alors, deux épitaxies différentes dont les couches espaceur et barrière se distinguent comme suit :

- $\text{Al}_{0.65}\text{InAs} / \delta / \text{Al}_{0.65}\text{InAs} / \text{Al}_{0.65 \rightarrow 0.48}\text{InAs}$ (fig. 22) pour l'opération 10289 (notée 65+48% Alu)
- $\text{AlAs} / \text{Al}_{0.48}\text{InAs} / \delta / \text{Al}_{0.48}\text{InAs} / \text{AlAs} / \dots \times 4 \dots / \text{Al}_{0.48}\text{InAs}$ (fig. 23) pour l'opération 10290 (notée SR AlAs)

Notons que dans tous les cas, les structures reprennent la philosophie utilisée jusqu'à maintenant, c'est à dire un buffer BT, un canal de 150 Å, un cap-layer de 70 Å et une épaisseur de barrière de 250 Å dans le but de réaliser des transistors de 0,25µm de longueur de grille. Notons également que le profil de température de croissance (juxtaposé aux représentations des épitaxies) comporte, comme dans le cas précédent, une diminution lors de la croissance du plan de dopage afin de limiter la ségrégation du dopant.

Le déroulement des étapes technologiques est identique à celui décrit dans le paragraphe sur le transistor de référence (10237) avec une gravure de fossé de grille d'une minute et trente secondes. Ceci permet d'utiliser le composant de référence pour effectuer des comparaisons avec les trois autres opérations.

Après réalisation, nous avons pu relever les caractéristiques des épitaxies et de la technologie. Le tableau 13 résume quelques unes de ces caractéristiques.

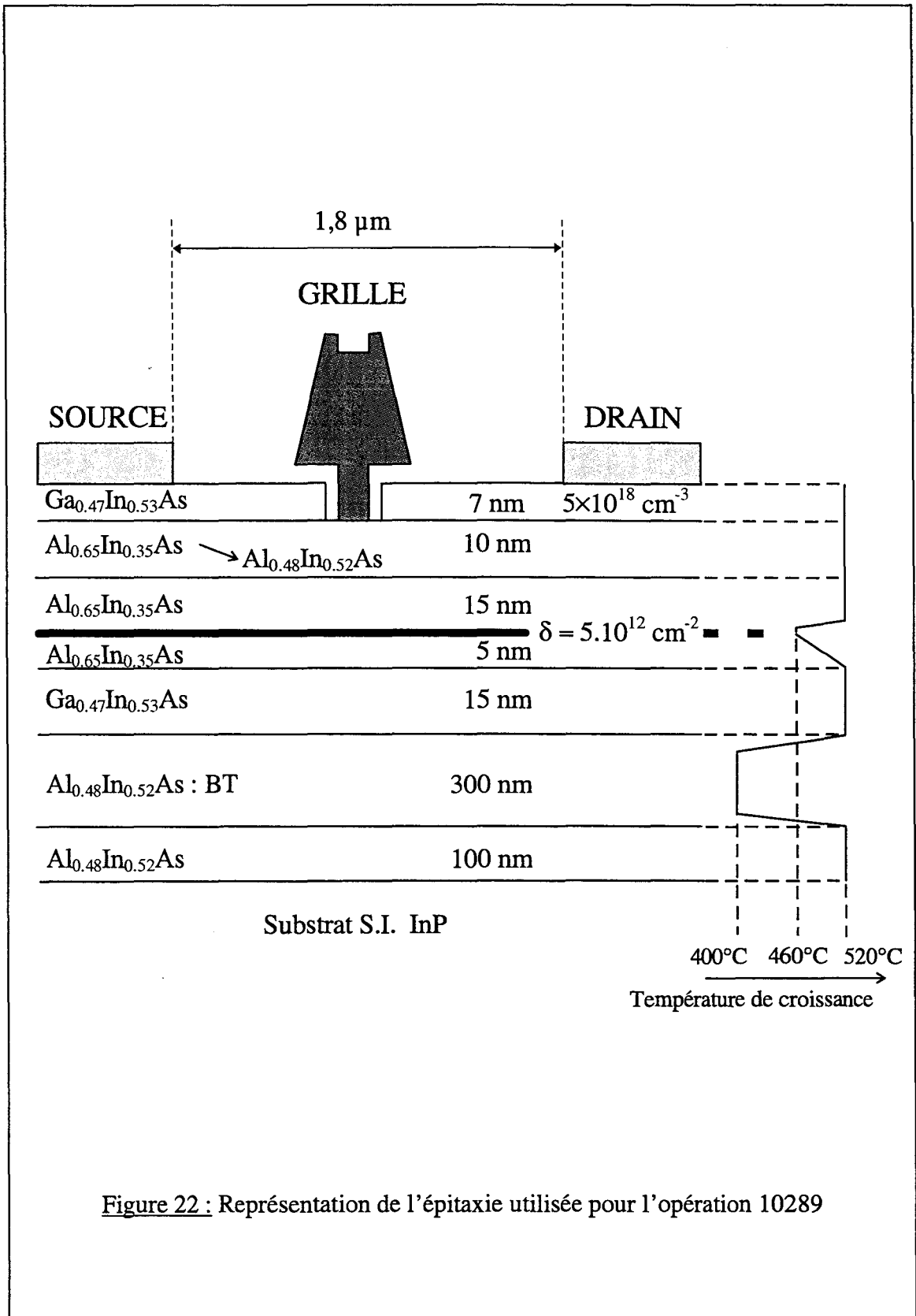


Figure 22 : Représentation de l'épitaxie utilisée pour l'opération 10289

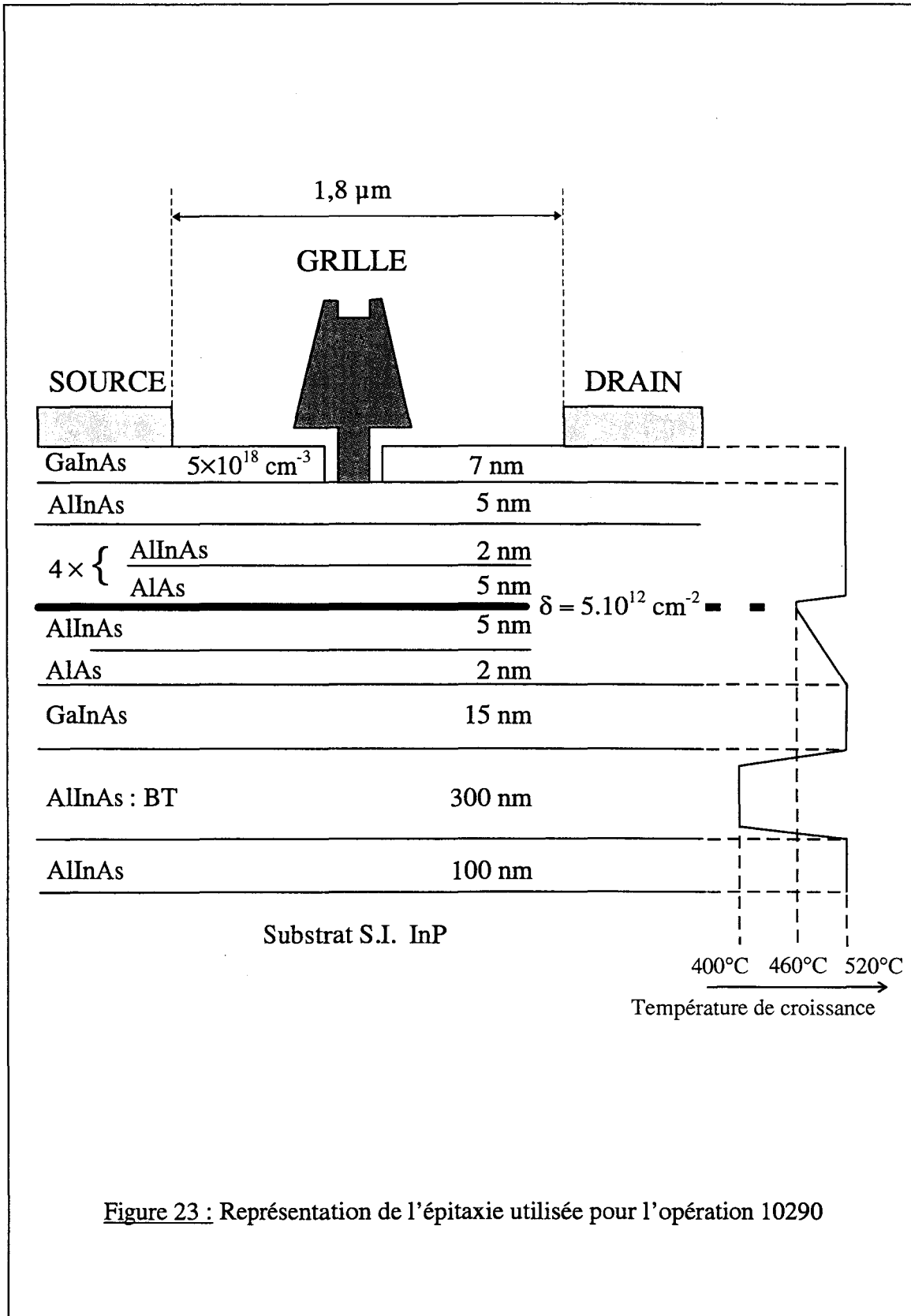


Figure 23 : Représentation de l'épitaxie utilisée pour l'opération 10290

Transistor	10238 Référence BT	10289 65 + 48% Alu	10290 SR AlAs
R carrée (ohm)	185	174	211
Rc (ohm.mm)	0,14	0,14	0,26

Tableau 13 : Comparaison des caractéristiques des épitaxies utilisées pour notre étude.

De ces résultats, nous retiendrons que les structures avec de l'AlInAs à 65 % d'aluminium possède une résistance carrée plus faible que la couche de référence. Ce résultat peut être expliqué par une augmentation de la différence de bande de conduction de l'interface $Al_{0,65}InAs/GaInAs$ passant de 0,5 à 0,7 eV. Le mauvais résultat obtenu pour la couche à super réseau d'AlAs peut être, quand à lui, interprété par des contraintes engendrées par les barrières d'AlAs. Remarquons que pour les résistances de contacts, les résultats obtenus sur les couches à 65 % d'aluminium dans la barrière AlInAs sont très peu différents de ceux obtenus pour le transistor de référence. La résistance de contact des transistors réalisés sur la couche super réseau d'AlAs est très élevée (environ deux fois la valeur obtenus pour le composant de référence) et laisse présager des performances en hyperfréquence moindres.

5.2 La caractérisation statique et hyperfréquence

Les principales caractéristiques statiques des transistors $2 \times 50 \mu m$ sont résumées dans le tableau 14.

Transistors	10238 Référence	10289 65 + 48 % Alu	10290 SR AlAs
I_{DS} (mA/mm)	740	710	650
V_p (V)	-0,7	-1,6	-1,5
$G_{m_{max}}$ (mS/mm)	900	600	510
V_b (V), η	0,43 1,78	0,71 1,54	0,69 1,40
$V_{br_{G-D}}$ (V)	6	8	12

Tableau 14 : Caractéristiques des transistors de référence et à barrières d'aluminium.

Nous pouvons alors observer d'après ces résultats un bon accord sur le courant drain pour les trois transistors, même si la couche à super réseau d'AlAs donne un résultat un peu plus faible. En effet, bien que les trois épitaxies utilisées possèdent toutes un plan de dopage de $5 \cdot 10^{12} \text{ cm}^{-2}$, la valeur de $R_{carré}$ mesurée pour le transistor 10290 pouvait présager du résultat obtenu sur le courant de drain.

Si les courants de drain obtenus pour les transistors sont peu différents, il n'en est pas de même pour les autres caractéristiques statiques. En effet, nous pouvons observer une forte dispersion sur les tensions de pincement entre le transistor de référence et les transistors à barrières d'aluminium. Pour ces derniers, les valeurs relevées correspondent aux valeurs

théoriques. Notons que l'augmentation de la différence de bande de conduction qui se traduit directement par un décalage de la tension de pincement, est à peu près compensé par la hauteur de barrière du contact de grille. Aussi, cet accroissement de bande de conduction devrait avoir un effet bénéfique sur le transfert des porteurs dans le puits, mais là aussi, il est probable que les contraintes engendrées par la désadaptation du réseau cristallin à l'interface AlInAs/GaInAs pénalise le transfert des porteurs dans le puits. Cette compensation se traduit bien par les faibles variations observées sur le courant drain des transistors de référence et à barrière d'aluminium à 65%. D'une autre manière, le manque d'activation des dopants silicium du plan pour le composant de référence permet à la grille de celui-ci, une commande plus efficace sur le gaz d'électrons, permettant ainsi des valeurs de transconductance plus élevées que celles observées pour les composants à barrières riches en aluminium. C'est ce que nous observons puisque, la transconductance passe de 900 mS/mm pour le transistor de référence à 600 mS/mm pour le transistor à barrière mixte (10289). Notons que la transconductance du transistor 10290 accusant une valeur plus faible que les deux autres composants à barrières riches en aluminium peut être expliquée par des résistances d'accès plus élevées.

5.2.1 Le claquage en diode

Nous observons également (tableau 14) une amélioration sur les caractéristiques de diodes que ce soit en direct (fig. 24) comme en inverse. L'utilisation de barrières à fort taux d'aluminium permet d'augmenter la tension de built-in, passant ainsi à 0,7 Volt contre 0,42 V pour le transistor de référence. De la même façon, les caractéristiques de diode en inverse représentées figure 25, nous permettent de faire deux observations. La première est dans le fait que les caractéristiques des transistors à barrière à fort taux d'aluminium ne montrent plus l'effet du décollement du courant de grille dès les faibles tensions. Cet effet, fortement atténué pour la barrière mixte, est totalement absent pour l'autre structure. La deuxième observation est que le claquage est amélioré pour les structures à barrières à fort taux d'aluminium.

Ces deux observations s'expliquent par la réduction de l'effet tunnel thermoionique. En effet, l'augmentation du pourcentage d'aluminium de la barrière AlInAs induit d'une part, une augmentation de la barrière Schottky et donc, améliore la tension de claquage en diode.

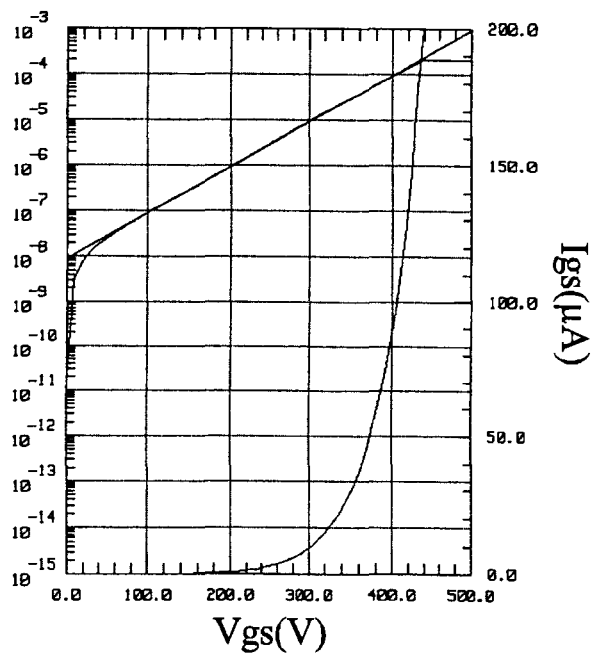
5.2.2 Le claquage à canal ouvert

Les mesures de courant de grille et de tension de claquage à canal ouvert sont représentées dans le tableau 15. Nous pouvons alors observer une très nette amélioration sur les valeurs du courant de grille à $V_{ds}=2$ Volts. Cette amélioration se confirme sur la tension de claquage, montrant ainsi l'efficacité de l'AlInAs à fort taux d'aluminium utilisé comme barrière de trous.

Transistors	10238 Référence BT	10289 65+48 % Alu	10290 SR AlAs
I_{gs} à $V_{ds}=2V$ ($\mu A/mm$)	-200	-35	-60

Tableau 15 : Comparaison des courants de grille en fonctionnement transistor à $V_{ds}=2V$ et des tensions de claquage pour les différents composants

Transistor 10238



Transistor 10289

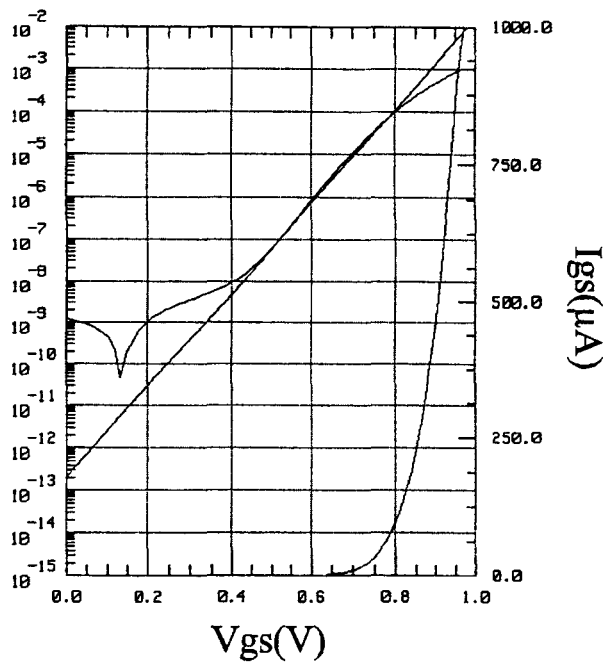


Figure 24 : Comparaison des caractéristiques de diodes en direct pour les transistors de référence (10238) et pour le composant à barrière riche en aluminium (10289) (transistors $2 \times 50 \mu m$)

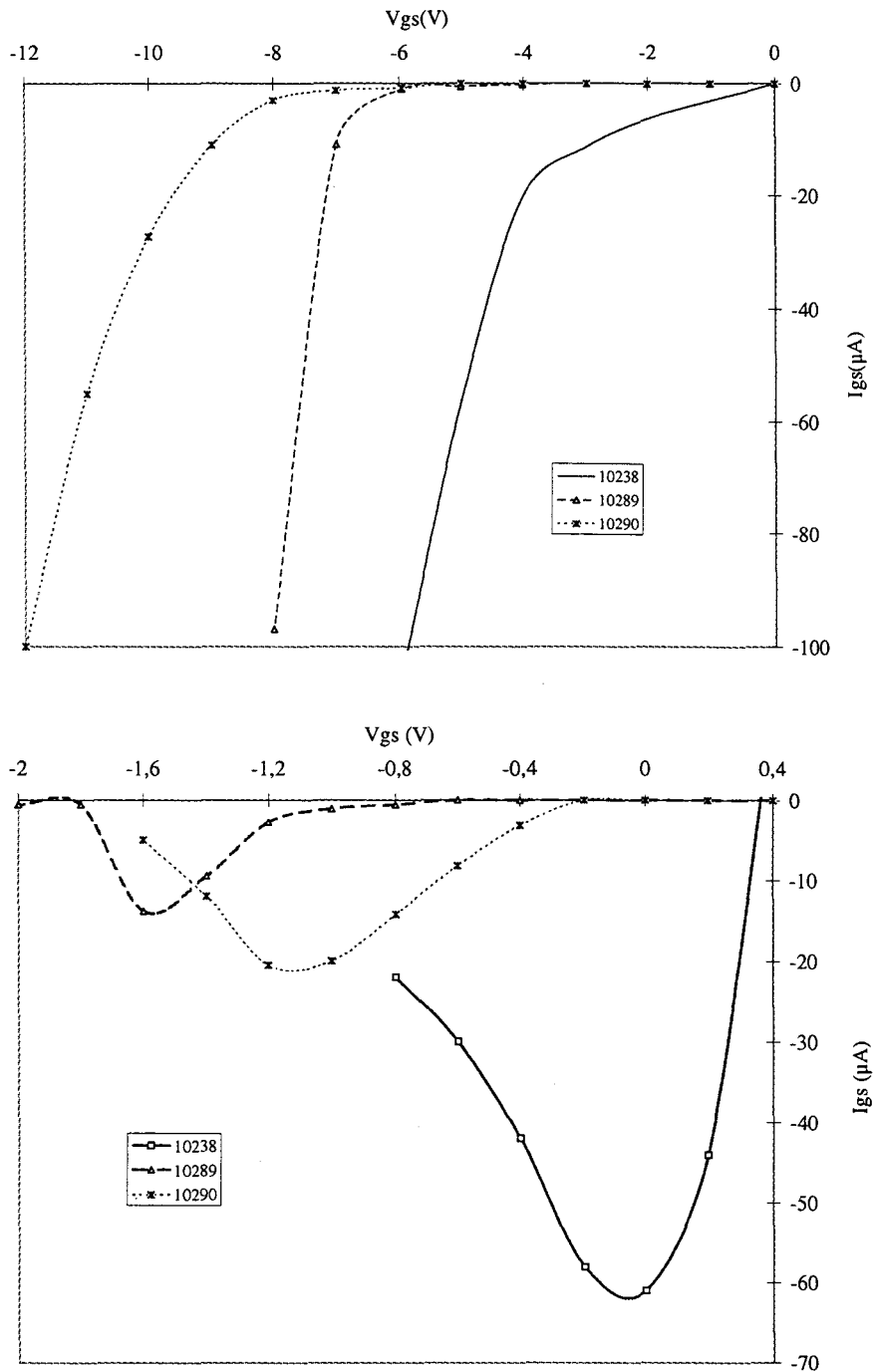


Figure 25 : Comparaison des caractéristiques de diodes en inverse (en haut) et des courants de grille en fonctionnement transistor à $V_{ds}=2V$ (en bas) pour les composants de référence 10238 et à barrières à fort taux d'aluminium (transistors $2 \times 50 \mu m$)

Notons toutefois le résultat obtenu avec le super réseau d'AlAs qui apparaît assez décevant devant les résultats obtenus pour le transistor 10289. Il faut sans doute comprendre dans ce résultat, que pour le composant 10290, les trous remontant vers la grille se retrouvent face à cinq barrières d'AlAs de 20 Å qu'ils finissent (en partie) par franchir par effet tunnel. De cette façon, les barrières à 65 % d'aluminium deviennent plus difficile à franchir compte tenu de leurs épaisseurs.

5.2.3 Les performances en fréquence et en gain

Les performances en hyperfréquence déterminées à partir des mesures de paramètres S_{ij} de 1 à 75 GHz sont résumées dans le tableau 16 pour une tension V_{ds} de 2 Volts et une polarisation de grille permettant d'obtenir le gain MAG maximum.

Transistors	10238 Réf. Buffer BT	10237 Réf. sans BT	10289 65+48 % Alu	10290 SR AlAs
Ft (GHz)	85	96	86	76
Fmax (GHz)	240	210	180	200
MAG (dB) @ 60 GHz	10	9,5	9,7	5,8

Tableau 16 : Comparaison des performances des transistors $2 \times 50 \mu\text{m}$ de référence et à barrières d'aluminium à $V_{ds}=2\text{V}$

Les résultats obtenus pour la fréquence de coupure F_t sont quasi identiques pour les quatre transistors malgré la résistance de source élevée (causée par la résistance de contact) du transistor 10290. La différence de F_{max} observée pour les composants à barrière d'aluminium doit être justifiée par une sous-gravure du fossé de grille moins importante que pour le composant de référence 10238 (2' pour le composant 10238 contre 1'30 pour les autres composants). En effet, les performances du composant 10237 dont la durée de gravure du recess était également de une minute et trente secondes montrent un bon accord sur les fréquences F_{max} avec les composants à barrières à fort taux d'aluminium.

Enfin, le MAG à 60 GHz montre également un bon accord sur les valeurs obtenues pour les composants de référence et à barrière d'AlInAs à 65 % (10289). Cependant, comme le montrait la transconductance extrinsèque, le gain du composant 10290 montre une forte diminution par rapport aux transistors de référence (5,8 dB contre 10 dB), cette diminution étant liée à l'augmentation de la résistance de source. Celle-ci vaut 3,0; 2,8; 6,3 Ω , respectivement pour les composants 10237, 10289 et 10290 ($2 \times 50 \mu\text{m}$).

5.2.4 Le schéma équivalent

Les principaux éléments du schéma équivalent extrait à partir des paramètres S_{ij} à $V_{ds}=2\text{V}$ sont représentés en fonction de V_{gs} sur la figure 26 et 27. Le tableau 17 reprend ces principaux éléments à la tension V_{gs} pour laquelle apparaît le maximum de G_m .

Transistors	10238 Réf. BT	10289 65+48 % Alu	10290 SR AlAs
Gm (mS/mm)	1230	660	690
Gm/Gd	40	16	17
Gd (mS/mm)	31	41	39
Cgs (pF/mm)	2,60	1,17	1,3
Cgs/Cgd	29	20	13
Cgd (pF/mm)	0,09	0,06	0,1

Tableau 17 : Comparaison des principaux éléments du schéma équivalent pour les différents transistors à $V_{ds} = 2$ Volts et G_m max.

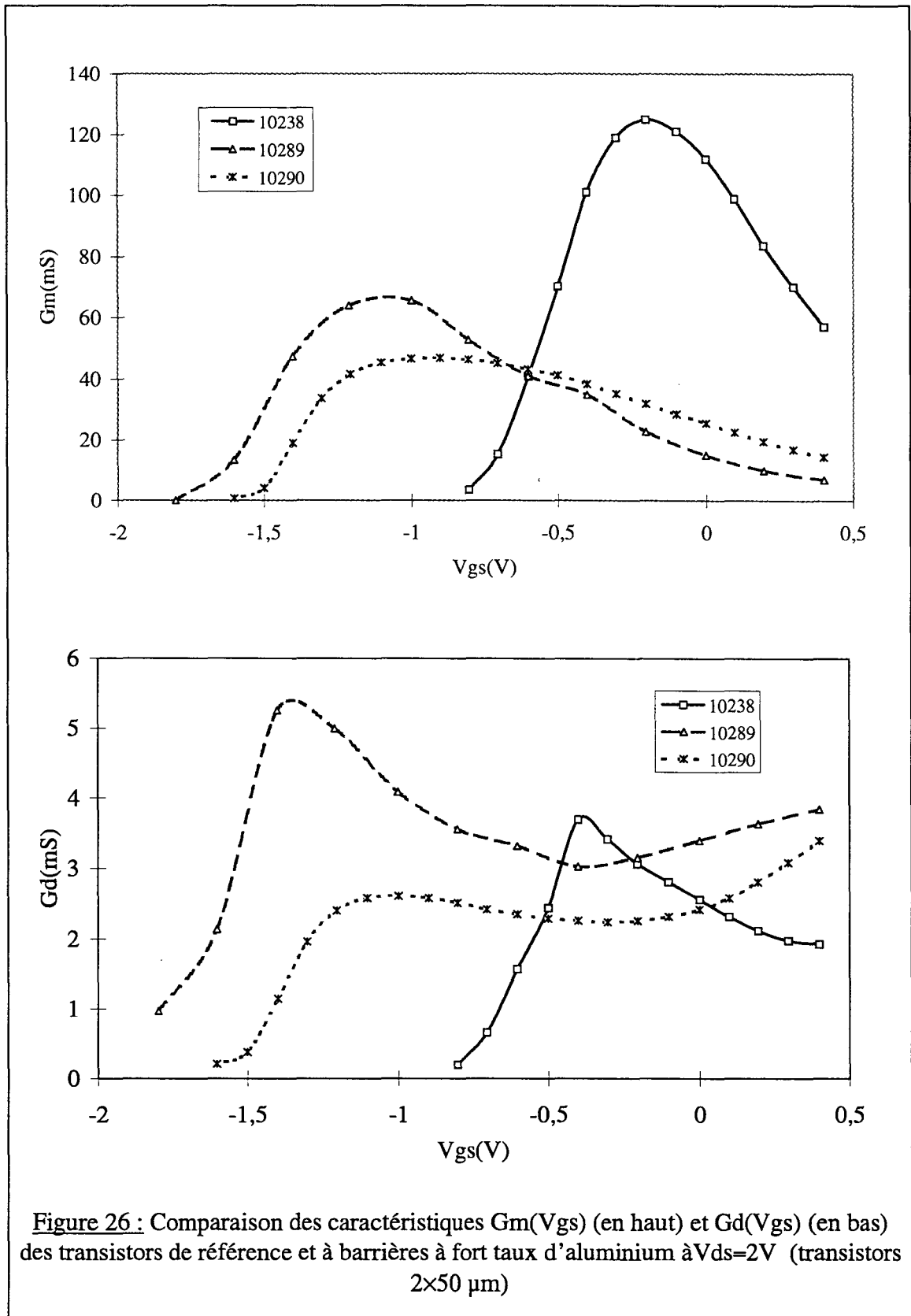
Nous pouvons alors observer une très nette diminution de la transconductance pour les structures à barrières d'aluminium. La transconductance étant corrélée à la distance grille canal, la diminution de la transconductance pourrait s'expliquer par une distance grille canal plus grande pour les transistors à barrières à fort taux d'aluminium. Cependant, il faut rappeler que la solution d'acide utilisée pour la gravure du fossé de grille est très sélective. Compte tenue des temps de gravure en jeu, l'épaisseur de barrière gravée pour les transistors de référence est au maximum de 30 Å. Cette sur-gravure ne permet pas d'expliquer la différence de transconductance. En ce qui concerne la conductance de sortie, nous observons une variation que l'on peut expliquer par un recess plus petit pour les composants à AlInAs à fort taux d'aluminium.

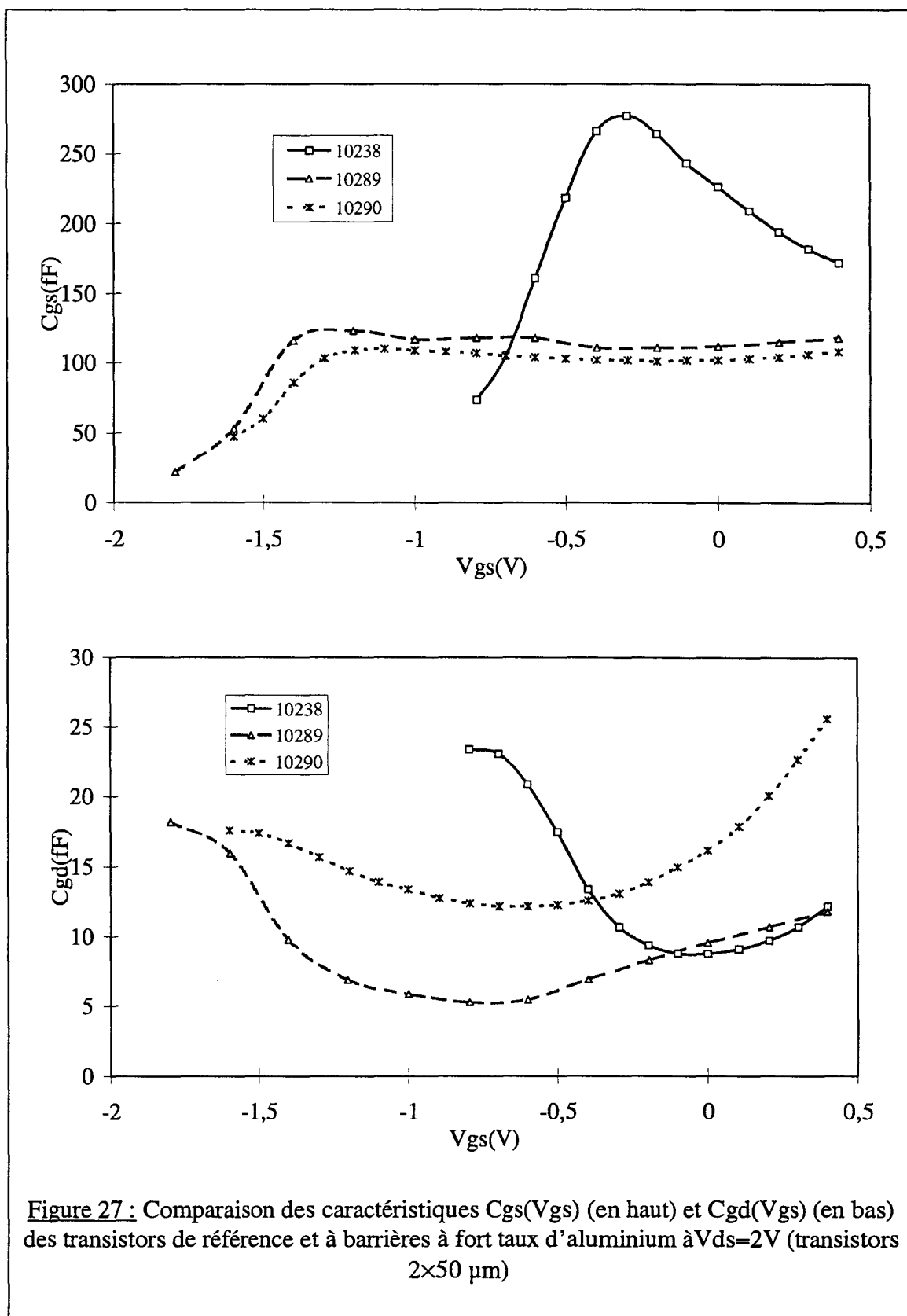
Pour les capacités C_{gs} et C_{gd} , les variations observées nous renvoient aux mêmes conclusions que pour les caractéristiques de G_m et G_d (distances effectives grille canal plus élevées).

5.3 Conclusion

Notre étude sur les barrières à fort taux d'aluminium avait pour objectif d'améliorer la tenue en tension des composants. Les deux structures proposées ont permis d'atteindre les objectifs à des degrés plus ou moins élevés. La structure avec super réseau d'AlAs a permis d'obtenir la tension de claquage en configuration diode la plus élevée, mais les performances obtenues sont bien moins bonnes que pour les autres composants à cause des résistances d'accès de source. De plus, le courant de grille apparaissant à canal ouvert est plus important que celui observé sur les transistors à AlInAs à 65 % d'aluminium.

Par ailleurs, l'étude des barrières de trous pourrait être alimentée par des réalisations de transistors utilisant des matériaux phosphorés. Cependant, des résultats rencontrés dans la littérature montrent que le gain sur la tenue en tension sera au maximum, du même ordre que celui que nous avons obtenu. En effet, le matériau AlInAs allié avec l'élément P ne permet pas d'obtenir un gap supérieur à celui du matériau AlInAs à 65% d'aluminium (2eV). Par ailleurs, les problèmes rencontrés pour les contraintes des matériaux seront identiques dans le cas d'utilisation de matériaux P. Rappelons tout de même que le courant de grille à $V_{ds}=2V$ passait de 200 $\mu A/mm$ pour le composant de référence à 35 $\mu A/mm$ pour le composant à 65+48 % d'aluminium (10289).





A titre de comparaison, un courant de grille de $45 \mu\text{A}/\text{mm}$ à $V_{ds}=2\text{V}$ a été obtenu par R.PALLA [27] avec une barrière d' $\text{Al}_{0.3}\text{In}_{0.7}\text{P}$.

Il semble donc que la solution à retenir pour les barrières de trous doit être la structure à AlInAs à 65% d'aluminium.

6. Etude des structures à deux plans de dopage

Nous venons de voir dans les paragraphes précédents, les solutions pour améliorer la tenue en tension des composants. Cependant, les applications de puissance nécessitent à la fois de tenue en tension et de courant (sans oublier le gain !). Si jusqu'à présent, les transistors étudiés avaient été réalisés sur des couches épitaxiées contenant un plan de dopage de 5.10^{12}cm^{-2} permettant d'obtenir un courant de $700 \text{mA}/\text{mm}$, il est possible d'augmenter ce courant en ajoutant un deuxième plan de dopage à l'arrière du canal. Le plan de dopage de 5.10^{12}cm^{-2} pour les structures monoplan avait été déterminé par simulation afin d'obtenir un transfert de porteurs dans le canal optimum en ayant dans le même temps, un minimum de porteurs dans la couche barrière. L'adjonction du plan en face arrière nécessite une nouvelle optimisation car le canal peut être saturé si la somme des charges des deux plans de dopage est trop importante; avec pour conséquence l'apparition d'un effet MESFET parallèle indésirable. De plus, le pincement du transistor est conditionné par la densité du plan arrière. Celui-ci, se trouvant très éloigné de la grille est a priori moins facilement contrôlé et ce, d'autant plus que sa densité de charge est élevée. Enfin, nous savons par expérience sur GaAs , qu'un choix judicieux des plans de dopage permet d'obtenir une bonne linéarité (en fonction de V_{gs}) du gain du transistor, ce critère étant primordial pour l'amplification de puissance.

6.1 Mise au point théorique des épitaxies

Comme pour la structure à un plan de dopage, nous avons essayé d'optimiser la structure d'épitaxie par détermination de la commande de charge à l'aide du modèle auto-cohérent de Schrödinger-Poisson.

Les structures que nous avons simulées possèdent toutes une couche barrière de 250Å , un canal de 150Å et des épaisseurs de couches espaceur de 50Å .

Les résultats de simulations sont résumés dans le tableau 18 pour les différentes structures étudiées. Ces différentes structures consistent à déterminer l'effet d'un deuxième plan de dopage en face arrière en laissant constant la charge du plan avant ou en fixant une charge dans le plan arrière et en faisant varier la charge du plan avant. En pratique, nous nous sommes intéressés aux structures permettant un gain d'environ 1.10^{12}cm^{-2} sur la densité de charge dans le canal par rapport à une structure simple plan.

Nous constatons un accroissement de la densité de porteurs plus ou moins significatif selon la quantité de charge incorporée dans les plans de dopage. Si la structure à plans 5 et 2.10^{12}cm^{-2} donne la valeur de densité dans le puits la plus élevée, il faut remarquer qu'elle donne également la densité de porteurs dans l' AlInAs la plus élevée. Aussi, une densité de charge dans l' AlInAs de $1,5.10^{12} \text{cm}^{-2}$ peut s'avérer très compromettante quant au bon fonctionnement du transistor.

Structure plans avant / arrière (cm ⁻²)	5 / 2	5 / 1	4 / 2	3 / 2
Ns (10 ¹² cm ⁻²)	4,8	3,9	4,2	3,7
NAI (10 ¹² cm ⁻²)	1,5	1	1,1	0,3
Vp (V)	-2,6	-2,3	-2,2	-1,9

Tableau 18 : Evolution des densités de porteurs dans le canal (Ns) et dans la barrière (NAI), et tension de pincement obtenues à partir des simulations des épitaxies à deux plans de dopage.

En ce qui concerne les autres structures, celle à plans de dopage 5 et 1.10^{12} cm⁻² donne un résultat de Ns plus faible (même si ce résultat est légèrement supérieur à celui d'une structure simple plan) pour une densité de porteur NAI relativement élevée.

Si la structure à plans de dopage 3 et 2.10^{12} cm⁻² permet une densité de charge dans la barrière très faible, la densité dans le puits reste faible. Par conséquent, nous allons nous intéresser aux structures avec un plan de dopage arrière de 2.10^{12} cm⁻² et pour des plans avant de 3, 4 et 5.10^{12} cm⁻².

6.2 Réalisation des opérations 10277 - 10278 - 10279

Les trois épitaxies envisagées ont été réalisées avec un buffer BT afin de permettre une comparaison avec le transistor 10238 à un plan de dopage. La comparaison peut être d'autant plus significative que, pour la face avant, les épaisseurs de barrières, de spacer et les conditions de températures de croissance sont identiques.

Dans le même souci d'éviter la ségrégation des porteurs du plan, une couche espaceur de 5 nm est insérée entre le canal et le plan arrière. De plus, une rampe en température décroissante est appliquée lors de la croissance du plan de dopage, puis la remontée en température est effectuée pour la croissance du GaInAs du canal [15]. La figure 28 détaille les épaisseurs des couches, les positions des plans de dopage, ainsi que les conditions de températures de croissance. Le tableau associé à cette figure résume les trois épitaxies réalisées pour notre étude et l'épitaxie (présentée dans un paragraphe précédent) permettant les comparaisons futures.

6.3 La caractérisation statique et hyperfréquence

6.3.1 La caractérisation statique

Les composants réalisés suivant le process technologique utilisé pour l'opération 10238 ont permis de mesurer les caractéristiques des épitaxies. Les caractéristiques sont résumées dans le tableau 19.

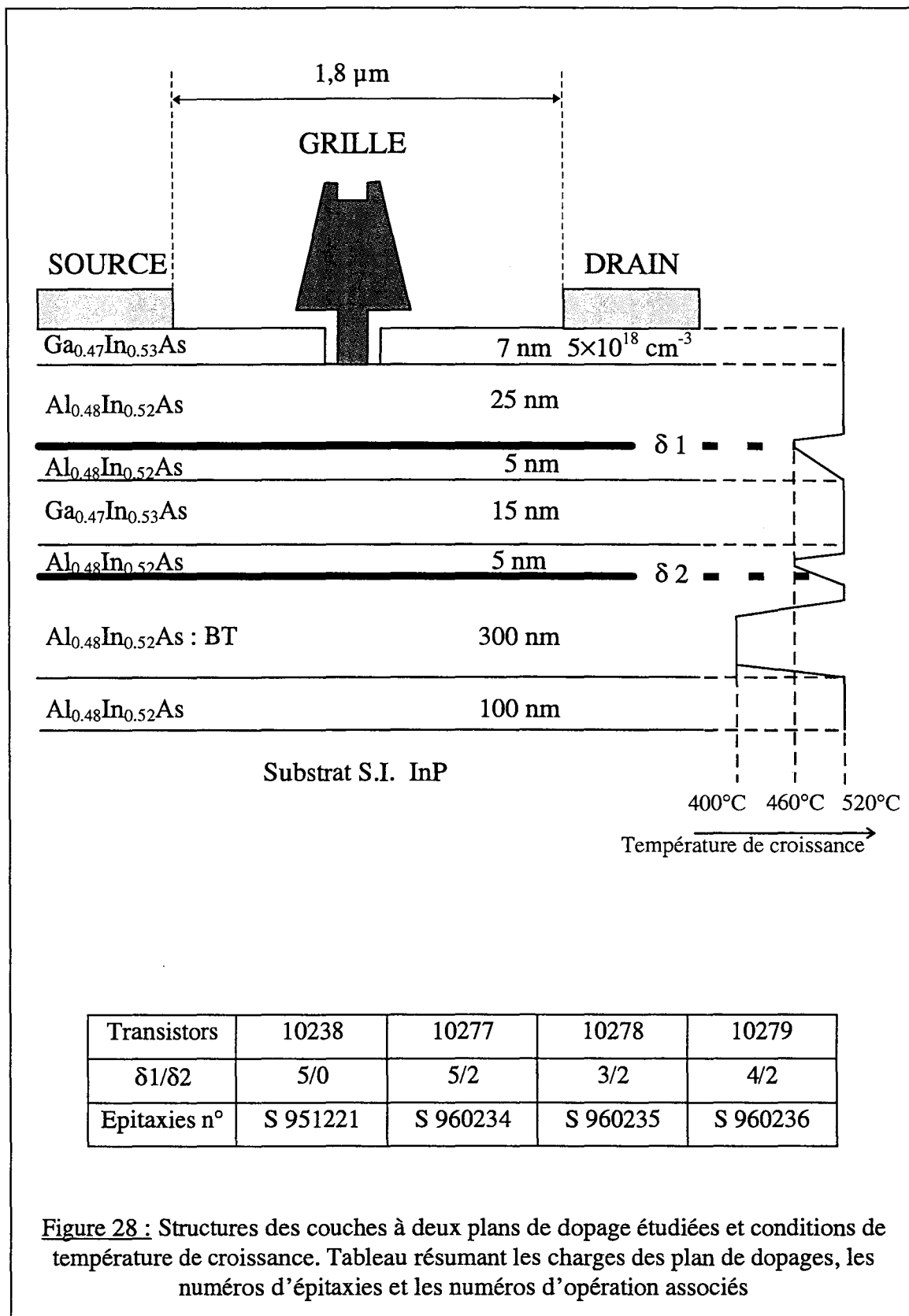


Figure 28 : Structures des couches à deux plans de dopage étudiées et conditions de température de croissance. Tableau résumant les charges des plan de dopages, les numéros d'épitaxies et les numéros d'opération associés

Transistors	10238	10277	10278	10279
$\delta 1/\delta 2$	5/0	5/2	3/2	4/2
R carrée (Ω)	185	124	142	130
Rc (Ω .mm)	0,13	0,14	0,14	0,15

Tableau 19 : Comparaison des caractéristiques des épitaxies de référence et à deux plans de dopage

Conséquence de l'augmentation de la densité de charge, la résistance par carré des structures diminue de façon très significative.

La caractérisation statique a permis de mesurer le courant de drain, la tension de pincement et la tenue en tension de chaque composant. Les résultats sont résumés dans le tableau 20.

Transistors	10238	10277	10278	10279
$\delta 1/\delta 2$	5/0	5/2	3/2	4/2
$I_{DS\ 0,4}$ (mA/mm)	740	1450	980	1150
V_p (V)	-0,7	-2,5	-0,9	-1,7
$G_{m\ max}$ (mS/mm)	900	X	870	700
V_b (V) η	0,42 1,78	X	0,47 1,61	0,62 1,28
$V_{br\ G-D}$	6	1,8	3,5	4

Tableau 20 : Caractéristiques statiques des différents composants

Nous pouvons donc constater un accroissement du courant en fonction de la densité de charge. Remarquons également que les tensions de pincement des composants ne recourent pas entièrement les valeurs trouvées par simulation. Il semble que les problèmes de manque d'activation des porteurs des plans de dopage rencontrés dans les structures à simple plan, se retrouvent dans les structures à deux plans.

D'autre part, le transistor 10277 pince à -2,5 Volts (mesure possible en dépassant la limitation sur le courant de grille définie à 1 mA/mm) et la tension de claquage en configuration de diode de ce composant n'est que de 1,8 à 2 Volts. Par conséquent, nous devons considérer que le pincement de ce transistor n'est pas contrôlable en pratique dans les conditions de limitations utilisées. La valeur de pincement de -2,5 Volts est obtenue en dépassant la limitation de tension de claquage que nous imposons.

Ce résultat médiocre peut être expliqué par le champ électrique dans la structure qui est beaucoup plus élevé que dans les autres structures. Ceci montre que la charge totale dans la structure est excessive.

En ce qui concerne les deux autres composants (10278 et 10279), les tensions de claquage sont peu différentes entre elles et sont légèrement inférieures à celle obtenue pour le composant de référence.

Enfin, la transconductance extrinsèque montre une assez forte dispersion. Cette dispersion peut être la conséquence de deux phénomènes. D'une part, cette dispersion peut être due à un étalement du gaz d'électrons dans le canal et par conséquent, rendre la commande de grille moins dynamique. D'autre part, la dispersion peut être expliquée par les différences de résistances d'accès essentiellement dues aux résistances par carré des couches [28], les résistances de contact étant similaires.

Par ailleurs, si nous comparons les composants 10238 et 10278, nous constatons que les transconductances sont quasiment identiques alors que les résistances par carré des couches sont très différentes. Par conséquent, il semble nécessaire de déterminer la transconductance intrinsèque pour connaître l'origine de la dispersion observée sur les trois transistors.

Concernant le claquage en fonctionnement transistor, si pour le transistor 10238 à simple plan de dopage, la mesure du courant de grille à canal ouvert avait été rendue possible grâce à la qualité correcte de la diode, il n'en est plus de même pour les deux transistors à deux plans de dopage 10278 et 10279. En effet, pour le composant 10238, les phénomènes donnant naissance au courant de grille (à savoir le courant d'ionisation et le courant tunnel) étaient séparés. Pour les composants 10278 et 10279, la figure 29 qui montre les évolutions des courants de grille en fonction de V_{gs} jusqu'à $V_{ds}=2$ V, nous permet d'observer que les deux phénomènes sont liés (même si l'on observe un début de cloche pour le composant 10278), et rendent impossible la mesure des tensions de claquage à canal ouvert. Enfin, notons que pour ces deux composants, les allures et les valeurs du courant de grille sont très similaires.

Par conséquent, il semble difficile de s'appuyer sur ces mesures pour faire un choix entre les deux structures à deux plans de dopage.

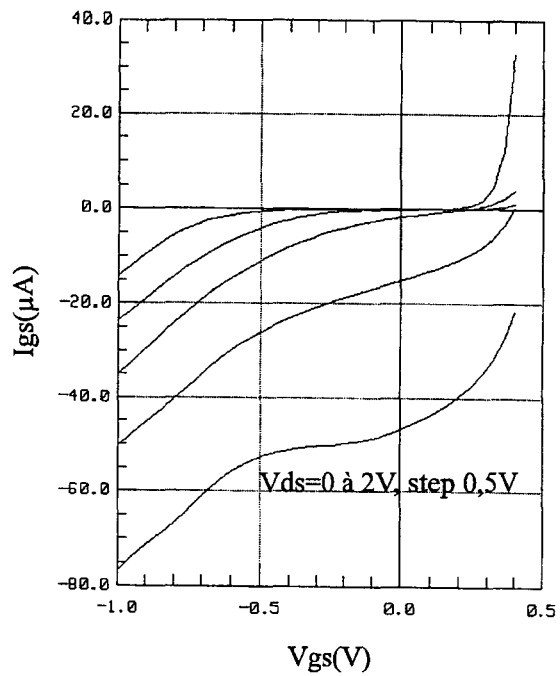
6.3.2 Les performances en fréquence et en gain

De la même manière que pour les transistors précédemment présentés, nous avons déterminé les performances en fréquence et en gain à $V_{ds}=2$ V pour la polarisation de grille permettant d'obtenir le maximum de gain. Les performances sont résumées dans le tableau 21 pour les composants étudiés à l'exception du transistor 10277 qui n'était pas contrôlable.

Transistors	10238	10278	10279
$\delta 1/\delta 2$	5/0	3/2	4/2
Ft (GHz)	83	72	68
Fmax (GHz)	240	190	200
MAG@60GHz (dB)	10	8	8,3

Tableau 21 : Comparaison des performances des transistors de référence et à deux plans de dopage

Transistor 10278



Transistor 10279

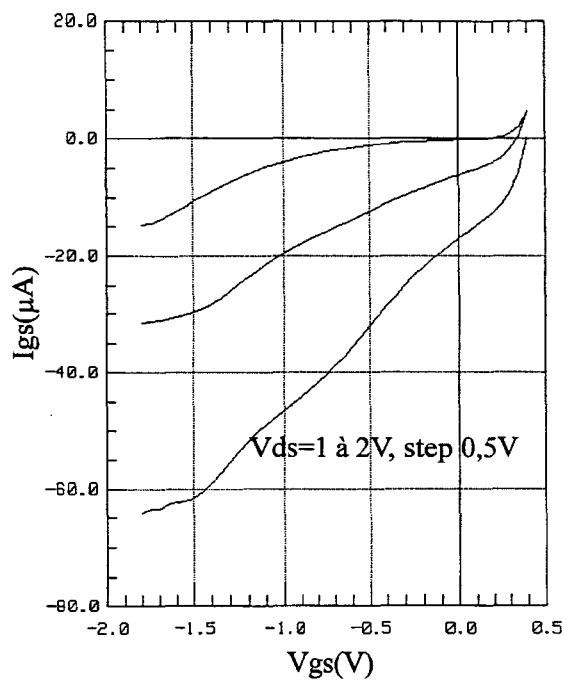


Figure 29 : Evolutions du courant de grille en fonctionnement transistor pour les composants 10278 et 10279 de développement $2 \times 50 \mu m$

Nous pouvons alors constater une dégradation des performances pour les structures à deux plans de dopage comparées aux résultats obtenus pour la structure monoplan [28]. Ceci confirme les observations effectuées sur les valeurs des transconductances extrinsèques. Notons cependant que comparées l'une à l'autre, les deux structures à deux plans de dopage étudiées montrent des différences de performances en fréquence et en gain peu significatives.

6.3.3 Le schéma équivalent

Les principaux éléments du schéma équivalent extrait de la mesure des paramètres S_{ij} de 1 à 40 GHz pour une polarisation V_{ds} de 2 Volts en fonction de V_{gs} sont représentés sur les figures 30 et 31. Les valeurs de ces éléments au G_m maximum sont résumées dans le tableau 22.

Transistors	10238	10278	10279
$\delta 1/\delta 2$	5/0	3/2	4/2
G_m mS/mm	1230	1160	860
G_m/G_d	40	29	21
G_d mS/mm	31	40	40
C_{gs} pF/mm	2,6	2,6	2,0
C_{gs}/C_{gd}	29	17	17
C_{gd} pF/mm	0,091	0,160	0,120

Tableau 22 : Comparaison des éléments du schéma équivalent au $G_{m_{max}}$ et $V_{ds}=2V$

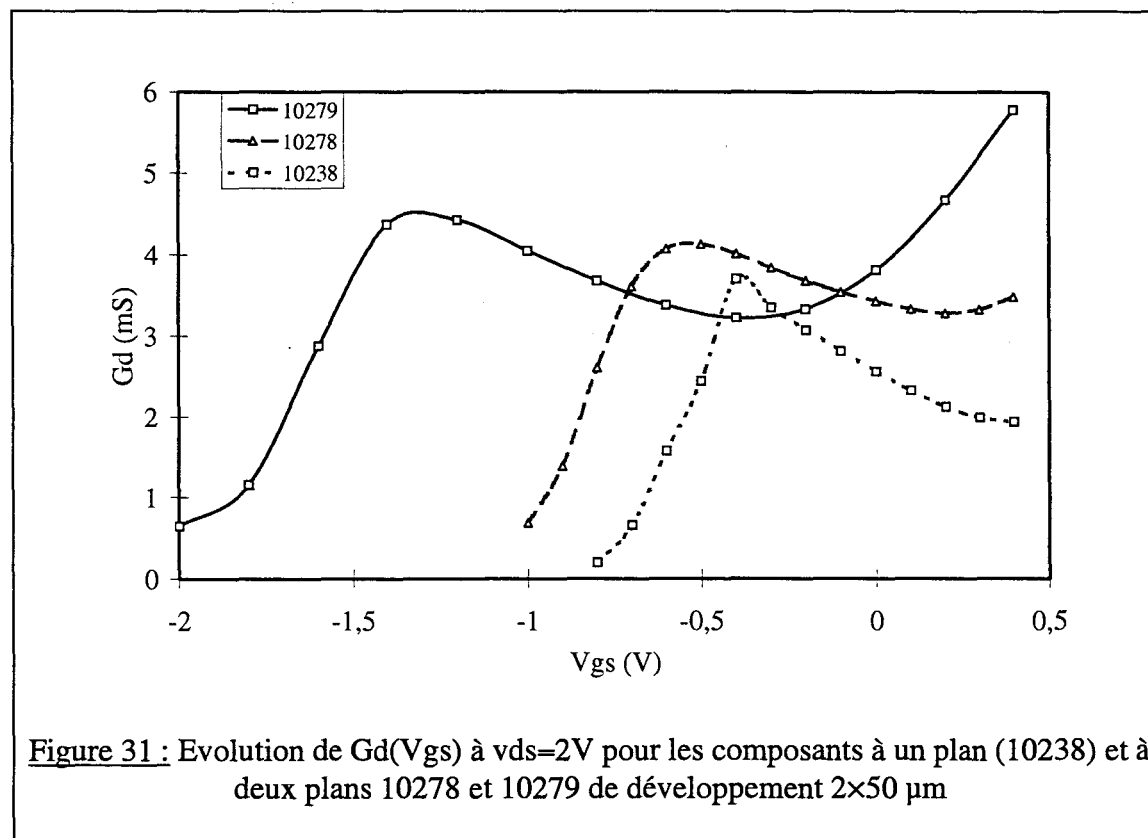
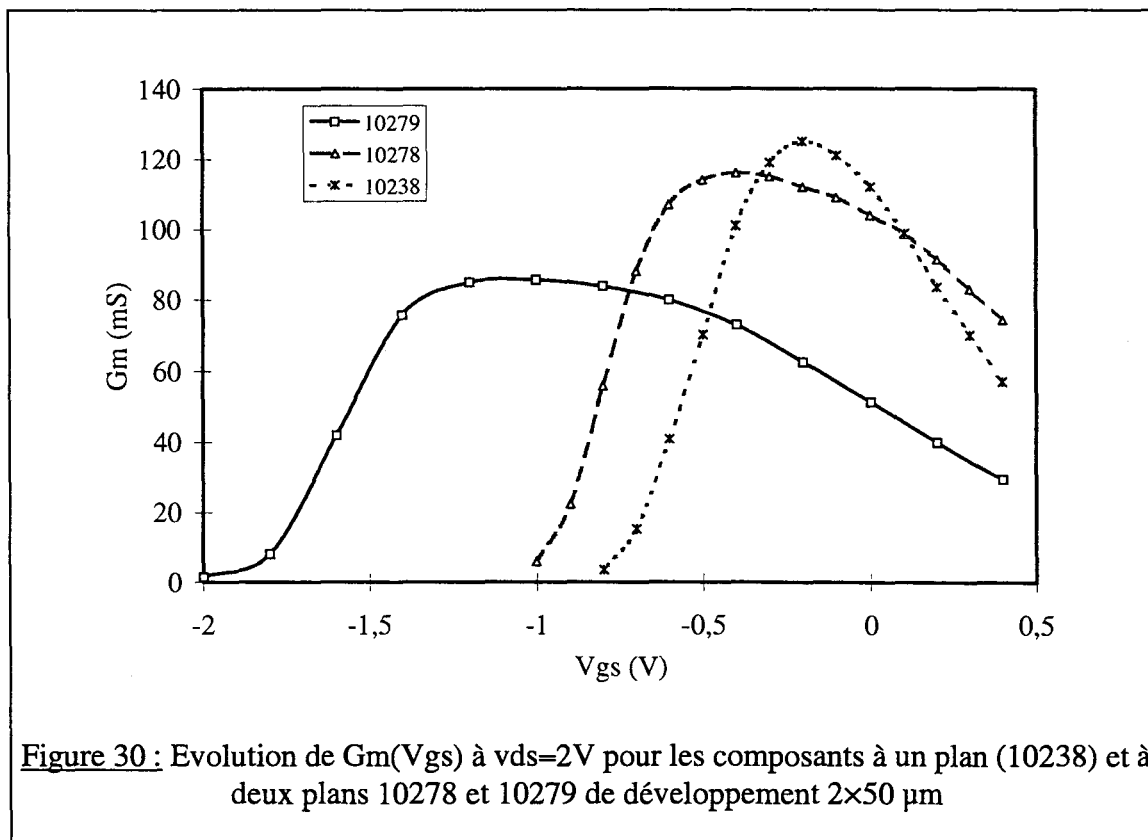
Les évolutions de G_m confirment l'hypothèse de la localisation du gaz d'électrons dans le bas du canal pour les structures à deux plans de dopage [21]. Nous observons une transconductance plus importante, avec une meilleure linéarité pour le composant 10278.

La conductance de sortie est un peu plus élevée pour les structures à deux plans. Ce résultat peut être expliqué par un courant MESFET dans l'AlInAs plus important pour ces composants. Par ailleurs, les effets thermiques plus importants pour ces structures peuvent être à l'origine de cette diminution. La mesure de G_d à $V_{ds}=1V$ pour le $G_{m_{max}}$ semble confirmer ce résultat :

Transistors	10238	10278	10279
G_d mS/mm	60	63	72

6.4 Conclusion

Nous venons de voir qu'il était possible d'accroître de façon considérable le courant de drain en utilisant des structures à deux plans de dopage. Mais, un mauvais choix des quantités de charge des plans de dopage peut empêcher le fonctionnement correct du transistor (au pincement). Cependant, pour deux des trois structures proposées, ce problème ne s'est pas posé.



Nous avons pu observer pour les deux structures 10278 et 10279 que les tensions de claquage en configuration de diode étaient peu différentes de celles obtenues pour le composant à un plan de dopage. Mais, en fonctionnement transistor, un courant de grille élevé ne nous a pas permis de déterminer la tension de claquage pour cette configuration. Enfin, notons que le courant drain le plus élevé a été obtenu avec le composant à plans de dopage de 4 et $2 \cdot 10^{12} \text{ cm}^{-2}$ (10279).

La caractérisation hyperfréquence des différents composants a montré des fréquences de coupure en gain légèrement inférieures pour les structures à deux plans de dopage. De la même façon, le gain MAG à 60 GHz affiche une légère baisse pour les structures à deux plans.

Enfin, l'extraction des schémas équivalents a montré une diminution du Gm pour les structures à deux plans avec cette fois, un avantage pour le composant 10278 en ce qui concerne les valeurs maximales. Ce composant, par ailleurs, présente une linéarité de commande très intéressante. Le composant 10279 offre une linéarité assez voisine mais avec le handicap d'un étalement de l'excursion de commande. En ce qui concerne les autres éléments, les variations ont été expliquées, comme le Gm, par les différences de localisation du gaz d'électrons.

Par conséquent, nous pouvons considérer que pour l'amplification de puissance, parmi les transistors présentés dans cette partie, celui qui offre le compromis le plus satisfaisant entre le courant, la tenue en tension et la linéarité de gain MAG, est le 10279, à deux plans de dopage 4 et $2 \cdot 10^{12} \text{ cm}^{-2}$.

7. Résultats de puissance des transistors réalisés

Les actions menées jusqu'ici ont consisté à améliorer la tenue en tension ou à augmenter le courant de drain des composants. Si les mesures en régime statique ou hyperfréquence (petit signal) ont permis de dégager les grandes tendances sur les performances, il n'en reste pas moins que les mesures de puissance (grand signal hyperfréquence) sont indispensables pour nous renseigner définitivement quant aux potentialités des transistors pour l'amplification de puissance.

La fréquence de fonctionnement pour ces transistors étant de 60 GHz, il nous a paru judicieux de les caractériser à cette fréquence. Les mesures ont été effectuées sur le banc dont nous disposons. Celui-ci possède des adaptateurs de type plan E/H en entrée et en sortie (fig. 19 du chapitre 1). Les résultats que nous présentons, sont obtenus en minimisant la puissance réfléchiée en entrée et en maximisant la puissance de sortie. Ils prennent en compte les pertes dans les guides et dans les pointes de mesure. Par contre, nous n'avons pas tenu compte des pertes dans les adaptateurs. Les valeurs de puissance de sortie indiquées sont donc à priori sous-estimées.

Les valeurs de puissances de sortie sont seules présentées car les valeurs de rendement et de gain sont entachées de trop d'incertitude pour être valablement exploitables.

Avant de présenter ces résultats de régime dynamique, il est intéressant d'examiner en premier lieu les potentialités en puissance données par le régime statique.

7.1 Potentialités des transistors en régime statique

Les différents transistors que nous avons réalisés ont leurs caractéristiques statiques assez différentes.

Le tableau 23 résume l'essentiel de celles-ci. Ce tableau comprend la valeur maximale du courant de grille à canal ouvert à $V_{ds}=2$ Volts (I_g dû à l'ionisation) et la puissance statique théoriquement délivrable par le composant en classe A, ainsi que le point de polarisation. Nous définissons la puissance statique par :

$$P_s = \frac{I_{ds_{max}} \times (V_{br_{G-D}} - V_{DS0})}{4}$$

ou V_{DS0} est la tension de polarisation drain-source.

Transistors	I_{ds} max (mA/mm)	V_p (V)	V_{br} gd (V) à $I_g=1$ mA/mm	$I_{gs_{max}}$ à $V_{ds}=2$ V (μ A/mm)	P_s max (mW/mm)	V_{ds_0} (V)	P_s à $V_{ds_0}=3$ V
10237 simple	710	-0,8	4,5	200	310	2,75	310
asym 1	730	-0,8	5	x	365	3	365
asym 2	730	-0,7	7	x	550	4	365
asym 3	720	-0,75	8,5	95	675	4,75	360
sym 1	730	-0,6	5	95	365	3	365
sym 2	680	-0,5	7	80	510	4	340
sym 3	680	-0,55	8,5	60	640	4,75	340
anti fossé	680	-0,5	9	100	680	5	340
10238	740	-0,7	6	x	460	3,5	370
10278	980	-0,9	3,5	x	300	2,25	300
10279	1150	-1,7	4	x	430	2,5	430
10289	710	-1,6	8	35	620	4,5	355
10290	650	-1,5	12	60	895	6,5	325

Tableau 23 : Caractéristiques statiques calculées des différents transistors réalisés.

Il est clair d'après les valeurs calculées que la puissance de sortie est favorisée par une tenue en tension de claquage élevée. En effet, les puissances de sortie les plus élevées sont obtenues par les transistors à un plan de dopage et à recess symétrique ou asymétrique large, ainsi que par les transistors à un plan de dopage et à AlInAs riche en aluminium. Nous obtenons alors des potentialités de puissance comprises entre 650 et 900 mW/mm.

Pour les transistors à deux plans de dopage, les puissances de sortie sont du même ordre de grandeur que pour les transistors à un plan de dopage et recess étroit (300 à 400 mW/mm).

Cependant, si les transistors avec un plan de dopage et recess large ou avec AlInAs riche en aluminium permettent d'obtenir des puissances de sortie les plus élevées, il est nécessaire de les polariser à des tensions pouvant aller de 4 à 6,5 Volts. En théorie, ces tensions de polarisation sont envisageables (compte tenu du claquage en diode). En pratique, les mesures des transistors pour déterminer la tension de claquage à canal ouvert, ont montré qu'il était difficile de dépasser 3,5 Volts, même en ayant un courant grille inférieur à 1 mA/mm, sans risque important de claquage brutale.

La première idée pour expliquer ce phénomène a été de remettre en cause la technologie de grille à trois couches de résine et la possibilité de lichettes de métal pouvant créer des courts-circuits avec la couche cap. En réalité sur les nombreuses grilles observées, très peu présentaient ce type de défauts. Par ailleurs, des composants réalisés au laboratoire avec une technologie de grille nitrure ont montré ce même phénomène de claquage précoce.

Une explication possible pourrait être le phénomène que nous avons observé lors de l'étude du recess : le phénomène d'oscillation de type Gunn. Celui-ci, rappelons le, prend naissance dans le cas de géométrie de transistors trop planaire et quand les caractéristiques dynamiques des matériaux en jeu s'y prêtent (mobilité différentielle négative du GaInAs...). Par conséquent, il faut reconsidérer à la baisse les potentialités de puissance de sortie des transistors en prenant une tension de polarisation V_{ds} de 3 Volts ne présentant pas de risque de claquage prématuré.

Dans ces conditions, les densités de puissance varient de 300 à 350 mW/mm pour la structure à un plan de dopage quelque soit le recess et quelque soit le taux d'aluminium de l'AlInAs. A la différence des résultats précédents (pour lesquels on ne tient pas compte de la limitation en tension), la puissance de sortie est alors proportionnelle au courant I_{ds} .

Pour le composant 10279 (deux plans de dopage de 4 et 2.10^{12} cm⁻²) la puissance devient alors 430 mW/mm.

7.2 Caractérisation des transistors en régime grand signal

Les transistors ont été mesurés à 60 GHz pour la polarisation de grille optimale en fonction de V_{ds} . Les résultats sont résumés dans le tableau 24. Faute de pouvoir déterminer précisément le gain en puissance, nous mentionnons dans le tableau le gain MAG obtenu à 60 GHz à l'analyseur de réseau. Concernant l'influence du recess, la figure 32 représente l'évolution de P_{smax} en fonction de V_{ds} pour les trois composants à recess asymétrique.

Nous obtenons une augmentation de P_s lorsque V_{ds} augmente, mais à V_{ds} fixé, la puissance de sortie diminue avec l'élargissement du recess. La puissance de sortie la plus élevée (11,3 dBm) est obtenue pour le transistor à recess asymétrique petit. Ces tendances sont confirmées par les résultats des transistors symétriques.

Concernant les transistors à barrières riches en aluminium (fig. 33) nous constatons que la possibilité de polariser à $V_{ds}=3,5$ Volts semble sans intérêt étant donné que la puissance diminue lorsque V_{ds} croît de 2 à 3,5 Volts. C'est à $V_{ds}=2$ Volts que la puissance de sortie la plus élevée est obtenue. Nous relevons 12,6 dBm pour le transistor 10290 (super

réseau AIAs). Cette augmentation par rapport aux transistors à barrière classique peut être attribuée à la différence de courant.

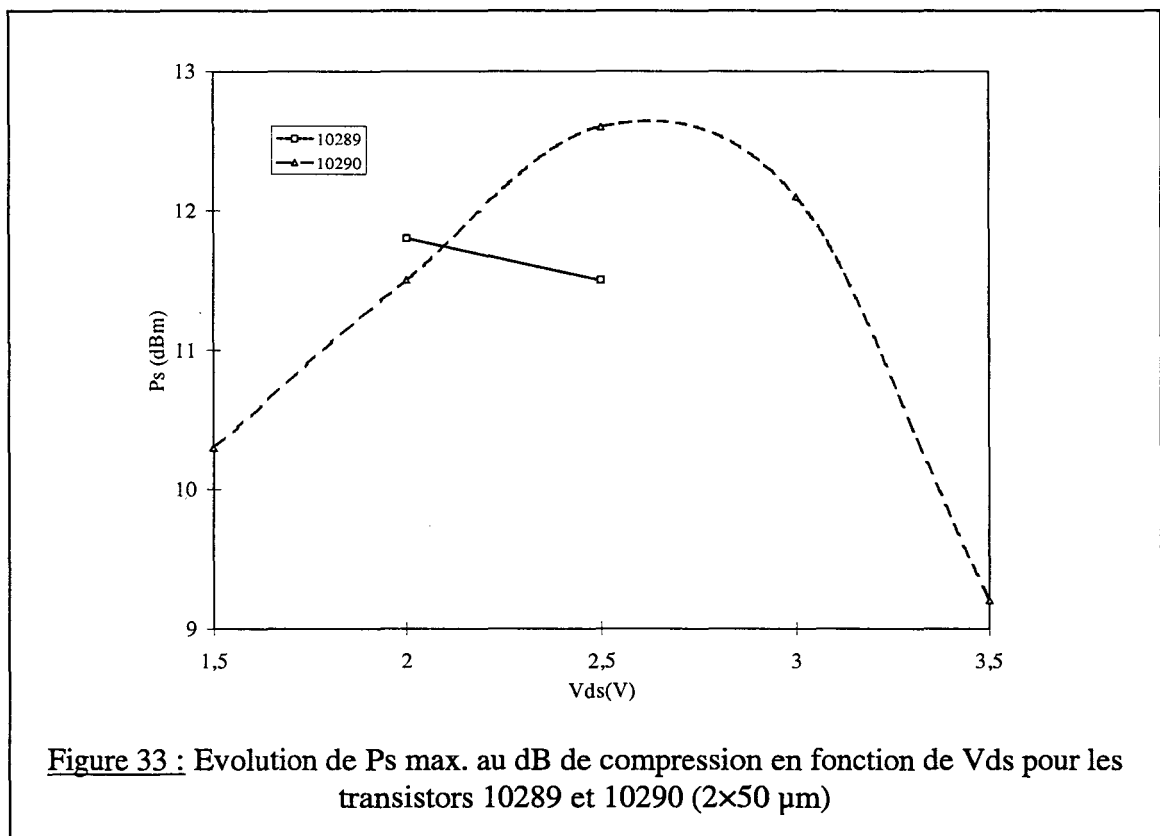
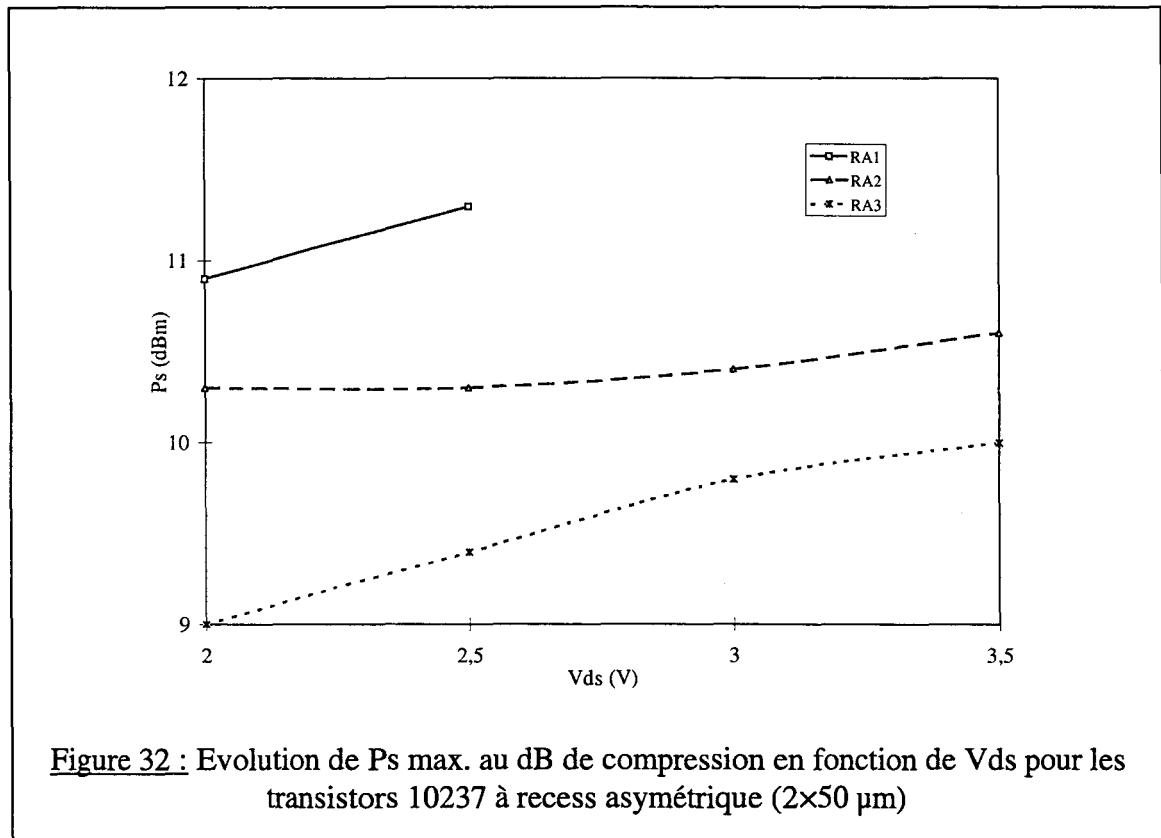
Transistors	Vgs (V)	Ps(dBm) à Vds =1,5V	Ps(dBm) à Vds =2V	Ps(dBm) à Vds =2,5V	Ps(dBm) à Vds =3V	Ps(dBm) à Vds =3,5V	MAG@60 GHz (dB) à Vds=2V
10237 simple	-0,1	-	10,2	10,4	-	-	9,5
asym 1	-0,2	-	10,9	11,3	-	-	9
asym 2	-0,2	-	10,3	10,3	10,4	10,6	10,8
asym 3	-0,2	-	9	9,4	9,8	10	11,8
sym 1	-0,1	-	11,1	9,2	9,7	-	10,6
sym 2	-0,1	-	6,5	6	5,7	-	11,3
sym 3	-0,1	-	10	11	10,8	-	13,2
anti fossé	-0,1	-	7,7	8,9	8,8	8,8	9
10278	-0,3	10,4	11,9	-	-	-	8,3
10279	-0,8	11,9	13,2	-	-	-	8
10289	-0,7	-	11,8	11,5	-	-	9,7
10290	-0,7	10,3	11,5	12,6	12,1	9,2	5,8

Tableau 24 : Résultats de puissance (au dB de compression) en fonction de Vds pour les différents transistors à la polarisation Vgs optimale (transistors 2×50 µm)

Enfin, pour les transistors à deux plans de dopage, nous observons également une augmentation de la puissance de sortie avec Vds. Dans ce cas, la polarisation maximale est de 2 Volts et la puissance maximale est obtenue pour le transistor 10279 (plans de dopage de 4 et $2.10^{12} \text{ cm}^{-2}$) avec 13,2 dBm contre 11,9 dBm pour le transistor 10278 (plans de dopage de 3 et $2.10^{12} \text{ cm}^{-2}$). De la même façon que pour le transistor avec barrière riche en aluminium, la différence peut être interprétée par le courant (1150 mA/mm contre 980 mA/mm).

7.3 Conclusion

Avant de caractériser en grand signal les différents transistors que nous avons réalisés, nous avons effectué une première approche des potentialités en puissance de ceux-ci, grâce aux caractérisations statiques à notre disposition. Les mesures de claquage ayant mis en évidence des problèmes de destruction prématurée des composants, nous avons dû revoir à la baisse les résultats en puissance escomptés. Ces problèmes de claquage sont supposés liés aux oscillations de type Gunn rencontrées lors de l'étude recess.



La caractérisation de puissance à 60 GHz a montré que la puissance de sortie augmentait avec V_{ds} , excepté pour le cas du transistor 10290. En ce qui concerne les transistors à différentes configurations de recess, les résultats ont montré une diminution de la puissance de sortie lorsque le recess est élargi. De même, la comparaison des transistors à un plan de dopage avec AlInAs standard ou riche en aluminium a permis de mettre en évidence une augmentation de la puissance proportionnelle à l'augmentation du courant de drain du transistor.

Ce dernier résultat a été vérifié par les transistors à deux plans de dopage.

Il semble que pour améliorer les résultats obtenus, deux solutions sont envisageables. La première consisterait à réduire ou supprimer les oscillations et par conséquent, permettrait de profiter de l'excursion totale sur la tension de claquage. La deuxième solution consisterait à augmenter davantage le courant de drain tout en préservant une tenue en tension capable d'offrir la possibilité de polariser le transistor à 2 ou 3 Volts.

8. Proposition de structure finale - Résultats

Compte tenu des conclusions tirées de l'analyse des résultats de puissance, nous avons fait deux tentatives de transistors visant à exploiter au mieux les potentialités en puissance de la filière InP.

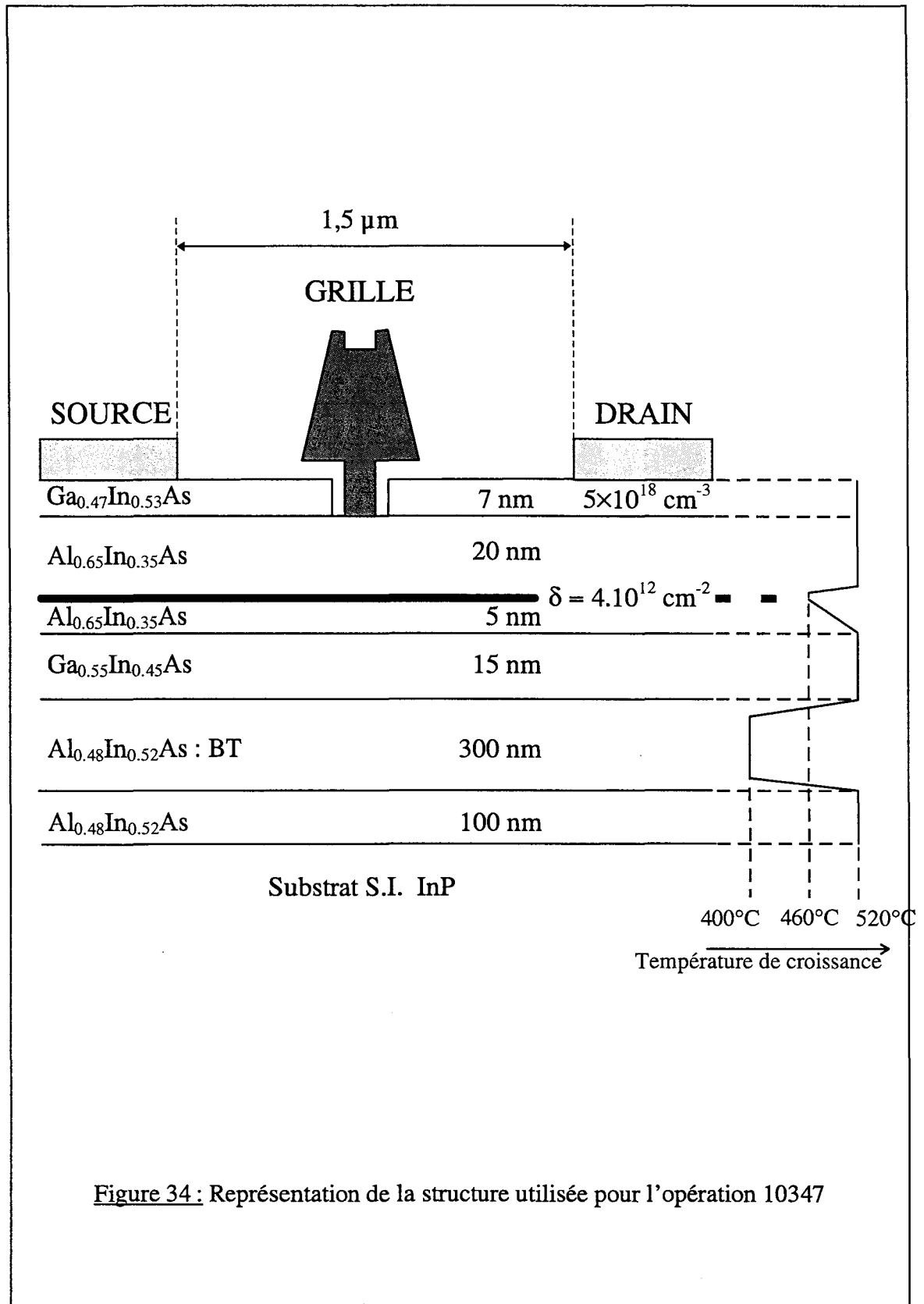
La première tentative a consisté à repousser les limites en tension en fonctionnement transistor. Pour ce faire, nous avons décidé de diminuer de 53% à 45% le pourcentage d'indium du canal GaInAs afin de réduire la dynamique des porteurs et donc, de limiter les oscillations. La figure 34 représente l'épitaxie utilisée. Celle-ci comprend un plan de dopage de $4 \cdot 10^{12} \text{ cm}^{-2}$ et une barrière de 200 Å afin de pouvoir utiliser une grille de longueur plus faible et de compenser ainsi les pertes de performance causées par l'utilisation du taux d'indium moins élevé dans le canal.

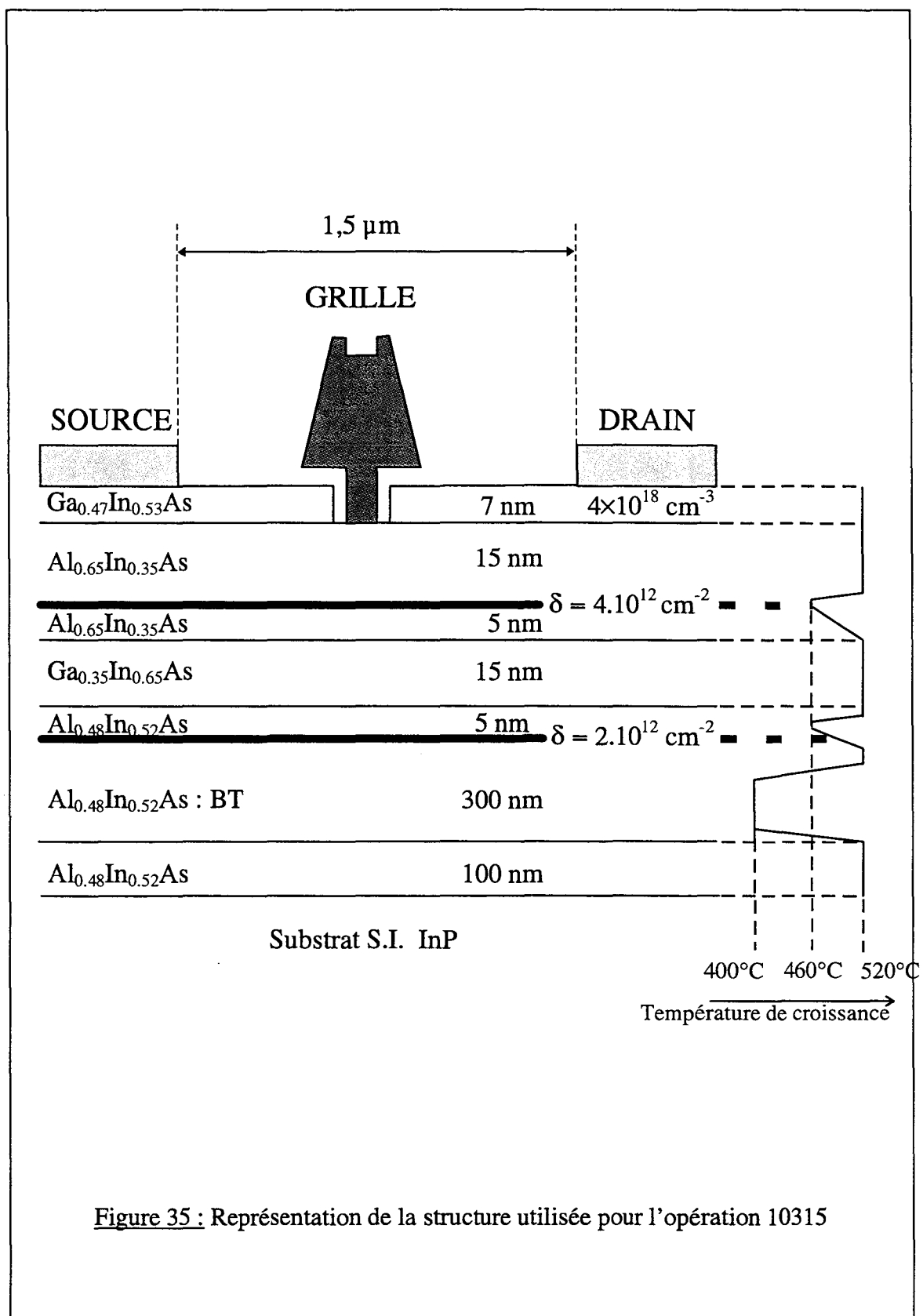
La deuxième tentative pour exploiter au maximum la filière InP a consisté à trouver une structure permettant de délivrer le courant drain le plus élevé possible tout en gardant la possibilité de polariser le transistor à $V_{ds} = 2$ ou 3 Volts.

D'après les études précédentes, il nous a semblé judicieux d'associer à une structure à deux plans de dopage, une barrière à fort taux d'aluminium. Les dopages des plans et la nature de la barrière sont ceux que nous avons retenus en conclusion des études préliminaires, à savoir : des plans de 4 et $2 \cdot 10^{12} \text{ cm}^{-2}$ et une barrière d'AlInAs à 65 % d'aluminium.

Aussi, afin de bénéficier du maximum de courant, nous avons utilisé cette fois, un canal à fort taux d'indium (65 %) permettant un meilleur confinement, et par la même occasion, l'augmentation de la différence de bande de conduction entre l' $\text{Al}_{0,65}\text{InAs}$ et l' $\text{In}_{0,65}\text{GaAs}$ (passant à 0,7 eV au lieu de 0,5 eV pour l'hétérojonction en accord de maille sur InP). La structure est représentée sur la figure 35. Celle-ci utilise une barrière de 150 Å afin d'améliorer la transconductance par rapport à celle obtenue pour les structures classiques à deux plans présentées dans ce qui précède.

La technologie est identique à celle utilisée jusqu'à présent avec dans les deux cas, une technologie de grille à trois couche de résine et des longueurs de grille respectivement de $0,1 \mu\text{m}$ pour la première structure (opération 10347) et $0,25 \mu\text{m}$ pour la seconde (opération 10315).





Les résistances par carré des couches sont résumées dans le tableau 25. Elles sont respectivement de 240 (10347) et 89 (10315) Ω reflétant la présence du canal unique et le faible taux d'indium dans le premier cas, et la présence de deux plans de dopage et le fort taux d'indium dans le deuxième cas. Les résistances de contact ont des valeurs similaires à celles obtenues tout au long des études préliminaires.

Transistor	10315	10347
	2 δ Al _{0,65} InAs/GaIn _{0,65} As	1 δ Al _{0,65} InAs/GaIn _{0,45} As
R carrée (ohm)	89	240
Rc (ohm.mm)	0,12	0,14

Tableau 25 : Comparaison des caractéristiques des épitaxies utilisées pour les transistors 10315 et 10347

8.1 Résultats de caractérisation statique et hyperfréquence petit signal

8.1.1 Caractérisation statique

Les caractéristiques statiques des deux transistors, résumées dans le tableau 26, montrent l'effet escompté sur les deux structures.

Transistor	Ids (mA/mm)	Vp (V)	Vb (V) ; η	Vbr _{G-D} (V)	Ig (μ A/mm)	Gm (mS/mm)
10347	720	-2	0,75 ; 1,65	12 à 13	-13 à 2V	500
10315	1450	-2,3	0,66 ; 1,58	5	-120 à 1V	800

Tableau 26 : Résumé des caractéristiques statiques des transistors 10315 et 10347

Dans le cas du transistor 10347, nous obtenons une tenue en tension de 12 à 13 Volts avec une tenue en tension à canal ouvert prometteuse comme l'indique la faiblesse du courant de grille relevé à 2 Volts. Son courant de drain maximum est de 720 mA/mm et sa transconductance de 500 mS/mm.

Pour le transistor 10315, les deux plans de dopage et le fort taux d'indium du canal permettent de délivrer un maximum de courant jamais atteint [29] de 1450 mA/mm avec une tension de claquage en configuration de diode de 5 Volts et une transconductance de 800 mS/mm.

Comme dans le cas des transistors utilisés pour les études préliminaires, les tensions de pincement restent plus ou moins éloignées des valeurs théoriques.

8.1.2 Caractérisation de claquage

En ce qui concerne le claquage à canal ouvert, les deux transistors réalisés présentent à première vue des particularités opposées. Dans le cas du transistor 10347, la diminution du

taux d'indium limite le courant grille à canal ouvert. Celui-ci est de 13 $\mu\text{A}/\text{mm}$ à $V_{ds} = 2$ Volts, ce qui montre l'effet du canal si l'on se réfère à l'opération 10289 (étude préliminaire) qui utilisait une épitaxie identique à la présente excepté le canal à 53 % d'indium. Au contraire, l'opération 10315 qui utilise un canal à 65% d'indium présente un très fort courant de grille (120 $\mu\text{A}/\text{mm}$ à $V_{ds}=1$ Volt). Cependant, après multiplication des essais, il est apparu que comme dans le cas des composants précédents, un claquage prématuré pouvait se produire, y compris pour l'opération 10347 pour laquelle des claquages à 3,5 ou 4 Volts ont été rencontrés. La parade imaginée pour brider les matériaux et donc limiter les oscillations, n'est donc pas pleinement efficace. Ceci nous amène à penser que les limitations sur la tension utilisable trouvent leur origine ailleurs que dans la dynamique des matériaux.

8.1.3 Caractérisation hyperfréquence petit signal

La mesure des paramètres S_{ij} de 1 à 75 GHz a permis de déterminer les performances en fréquence (tableau 27).

Transistor	Ft (GHz)	Fmax (GHz)	MAG@ 60 GHz	Gm mS/mm	Gd mS/mm	Cgs pF/mm	Cgd pF/mm
10347	120	190	10	620	20,1	0,59	0,058
10315	88	182	8	895	27,5	1,47	0,165

Tableau 27 : Caractéristiques hyperfréquences des transistors ($2 \times 50 \mu\text{m}$) 10315 à $V_{ds}=1,5\text{V}$ et 10347 à $V_{ds}=2\text{V}$

Ces performances hyperfréquences sont conformes à ce qu'on pouvait prévoir avec la technologie et les épitaxies utilisées, et les résultats des études préliminaires. Pour l'opération 10315, nous obtenons 88 GHz de Ft, correspondant ainsi aux valeurs obtenues pour les structures classiques à deux plans de dopage. Le gain MAG reste du même ordre de grandeur.

Pour le transistor 10347, la diminution du pourcentage d'indium dans le canal est compensé par la diminution de la longueur de grille. Nous obtenons un Ft de 120 GHz et un MAG de 10 dB à 60 GHz.

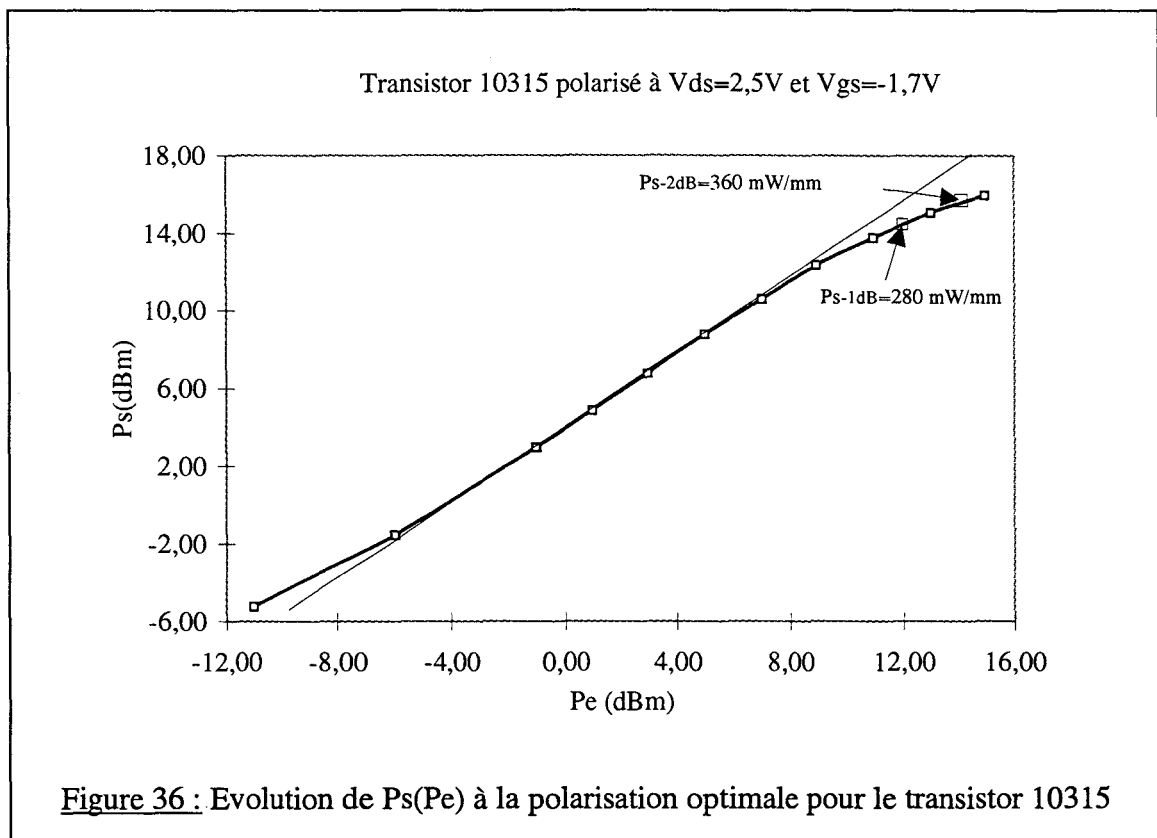
La mesure des paramètres S_{ij} a également permis de déterminer les éléments du schéma équivalent des transistors. Nous constatons alors que la transconductance est en relation avec l'épaisseur de barrière et la position des plans de dopage dans l'épitaxie. Si les 620 mS/mm obtenus pour le transistor 10347 sont proches du résultat de l'opération 10289, la forte diminution de l'épaisseur de barrière du transistor 10315 (par rapport à l'opération 10278), permet d'obtenir 900 mS/mm.

En ce qui concerne la conductance de sortie, pour l'opération 10347, la faible densité du plan limite la conduction parallèle et donc la conductance de sortie Gd. De la même façon, le confinement améliore ce paramètre pour le transistor 10315. Les capacités Cgs et Cgd sont, dans les deux cas, directement liées à la longueur de grille.

8.2 Performances en puissance

Nous avons terminé le test des deux structures par les mesures de puissance à 60 GHz. Comme le laissait présager les caractérisations de claquage, il nous a été impossible de polariser le transistor 10347 à plus de 3 Volts en raison du risque de claquage inopiné signalé ci-dessus. En conséquence, les mesures ont montré un maximum de puissance de sortie à -1 dB de compression de 97 mW/mm à $V_{ds} = 3$ V et $V_{gs} = -1,3$ V. Ce résultat, peu différent de ceux obtenus précédemment confirme l'inutilité de la diminution du taux d'indium pour améliorer les performances.

Pour le transistor 10315, la polarisation optimale de $V_{ds}=2$ V et $V_{gs}=-1,7$ V a permis de délivrer une puissance de sortie de 280 mW/mm au dB de compression (fig. 36). Notons qu'à 2 dB de compression, la puissance de sortie atteint 360 mW/mm, ce qui à notre connaissance, est du niveau de l'état de l'art [30].



8.3 Conclusion

Deux voies ont été explorées pour tenter d'améliorer les performances en puissance des transistors. La première (10347) a consisté à diminuer le taux d'indium du GaInAs du canal afin de limiter la dynamique et donc les instabilités supposées responsables du claquage prématuré. La deuxième (10315) a consisté à privilégier le courant drain en essayant de conserver une tenue en tension de l'ordre de 2 à 3 Volts. Pour parvenir à ce résultat, nous avons associé à une structure à deux plans de dopage, un canal à 65 % d'indium; le matériau AlInAs étant quant à lui à 65% d'aluminium.

La caractérisation en régime statique du transistor 10347 a montré la même limitation en tension que les transistors précédents.

En régime hyperfréquence, les résultats obtenus pour le transistor 10347 ont montré que la diminution du taux d'indium était compensée par la diminution de la longueur de grille. En conséquence, les performances en MAG obtenues pour ce composant sont identiques à celles obtenues pour les transistors des études préliminaires. En ce qui concerne le transistor 10315, l'utilisation d'un taux d'indium de 65 % pour le canal a permis d'obtenir des performances identiques à celles obtenues pour les transistors à deux plans adaptés en maille sur InP.

La caractérisation en puissance des transistors n'a montré, pour le transistor 10347, aucune amélioration compte tenu du fait qu'il nous a été impossible de le polariser à plus de 3 Volts. Ce résultat écarte en partie, notre hypothèse sur les oscillations engendrées à cause de la dynamique des matériaux. Il faut alors chercher ailleurs les raisons du problème du claquage précoce des composants. Les oscillations de type Gunn peuvent trouver leur origine dans des structures de couche quasi planaire (cap layer de faible épaisseur), ce qui est le cas dans toutes les couches que nous avons étudiées. Une autre hypothèse est que la technologie est à l'origine du problème (contamination de l'épitaxie, gravure du fossé de grille trop large,...). Cette dernière hypothèse expliquerait également les problèmes de décalage de tension de pincement observés.

Pour le transistor 10315, la valeur de 360 mW/mm obtenue nous a permis d'égaliser l'état de l'art pour la filière InP à 60 GHz.

Il semble donc que pour améliorer les résultats de puissance, la voie consistant à augmenter le courant drain soit la seule solution. Mais, le résultat que nous avons obtenu (1450 mA/mm) semble difficile à améliorer sans dégrader la tenue en tension des composants. Il reste alors à rechercher d'autres solutions faisant appel à des modifications des procédés technologiques de réalisation des composants.

Conclusion

Dans ce chapitre, par le biais de différentes réalisations technologiques, nous avons essayé d'exploiter au maximum les potentialités de la filière InP pour l'amplification de puissance. Dans le même temps, nous avons essayé de comprendre au mieux les mécanismes limitatifs pour l'application de puissance.

Nous avons dû effectuer de nombreux travaux de mise au point technologique pour réaliser les transistors. Notre travail s'est décomposé en quatre parties. Les deux premières parties ont consisté en des études essentiellement technologiques et ont permis de quantifier l'impact de certains paramètres technologiques sur les performances des transistors. Dans un premier temps, nous avons cherché à repousser au maximum la tension de claquage grâce à la modification du fossé de grille ou bien de l'utilisation d'une barrière d'AlInAs riche en aluminium. Nous avons alors obtenu jusqu'à 9 Volts de tension de claquage en configuration diode par l'étude du fossé de grille et 12 Volts pour les transistors à barrière riche en aluminium.

Dans un second temps, nous avons poursuivi notre travail en visant l'accroissement de la densité de courant drain délivré par les transistors. Pour ce faire, nous avons utilisé des épitaxies à deux plans de dopage (chaque épitaxie se distinguant par les densités de charge des plans). Nous avons alors obtenu un courant drain de 1150 mA/mm avec deux plans de dopage de 4 et $2.10^{12} \text{ cm}^{-2}$.

L'analyse des résultats de caractérisations statique et hyperfréquence petit signal des différents transistors réalisés nous a permis de mettre l'accent sur les améliorations et les limitations des paramètres technologiques.

La caractérisation statique a montré que les différents transistors étaient limités dans leur tenue en tension même avec un courant de grille largement inférieur à 1 mA/mm de développement. Ceci a été attribué à des phénomènes d'oscillations de type Gunn, celles-ci trouvant leurs origines dans les caractéristiques technologiques (recess trop large,...) et la nature de l'épitaxie (trop grande dynamique des porteurs dans le matériau, épaisseur de cap layer trop faible,...).

Dans un troisième temps, nous avons effectué la caractérisation grand signal des différents transistors. Celle-ci a mis en évidence que les modifications visant à ne rechercher que l'amélioration de la tenue en tension, par exemple avec la l'élargissement du fossé de grille, n'apportait pas d'amélioration à la puissance de sortie, celle-ci étant étroitement limitée par le risque de claquage inopiné. Par contre, l'utilisation de barrière riche en aluminium et de structures à deux plans de dopage a montré un accroissement des performances en puissance.

Partant de ces constats, nous avons envisagé dans un quatrième temps, d'améliorer les résultats obtenus en axant nos travaux sur une étude particulière du canal GaInAs. Nous avons réalisé un transistor avec un canal GaInAs à 45 % d'indium en espérant limiter les oscillations. Cela a conduit à 14 Volts de claquage en configuration diode. En configuration transistor, les problèmes d'oscillations se sont à nouveau présentés, annihilant toute amélioration du résultat de puissance. Il semble donc que ce type de structures soit trop planaire et qu'il faudrait augmenter l'épaisseur du cap-layer.

La deuxième solution a consisté à utiliser deux plans de dopage et un canal GaInAs à 65 % d'indium afin d'augmenter le courant Ids. Cette solution a permis d'atteindre un courant de 1450 mA/mm et une tension de claquage de 5 Volts en configuration dode. Ces

améliorations en statique ont été retrouvées en grand signal puisque nous avons obtenu 360 mW/mm à 2 dB de compression égalant, de ce fait, l'état de l'art.

Bibliographie

- [1] S.R.BAHL et al.
'Off-state Breakdown in InAlAs/InGaAs MODFETs'
IEEE Transactions on Electron Devices, Vol. 42, No. 1, pp. 15-22, Jan. 1995
- [2] S.R.BAHL et al.
'Physics of Breakdown in InAlAs/n+-InGaAs Heterostructure Field-Effect Transistors'
IEEE Transactions on Electron Devices, Vol. 41, No. 12, pp. 2268-75, Dec. 1994
- [3] E.BOURCIER
Thèse de doctorat, Lille, à paraître
- [4] P.BOUREL et al.
'A Monte-Carlo Study of Impact ionisation in InP LM-HEMT'
4th International Seminar on Simulation of Devices and Technologies, South Africa, 15-17 Nov. 1995
- [5] G.G.ZOUGH et al.
'High Output Conductance of InAlAs/InGaAs/InP MODFET due to Weak Impact Ionization in the InGaAs Channel'
International Electron Devices Meeting, Washington DC USA, pp247-50, 8-11 Dec. 1991
- [6] N.SHIGEKAWA et al.
'Electroluminescence of InAlAs/InGaAs HEMTs Lattice-Matched to InP Substrates'
IEEE Electron Device Letters, Vol. 16, No. 11, Nov !. 1995
- [7] C.HEEDT et al.
'Characterization of Impact-Ionization in InAlAs/InGaAs/InP HEMT Structures Using a Novel Photocurrent Measurement Technique'
5th International Conference on Indium Phosphide and Related Materials, Paris, France, 19-22 Apr. 1993
- [8] D.R.GREENBERG et al.
'Impact Ionization and Transport in the InAlAs/n+ -InP FHET'
IEEE Transactions on Electron Devices, Vol. 42, No. 9, pp. 1574-82, Sep.. 1995
- [9] T.ENOKI et al.
'Design and Characteristics of InGaAs/InP Composite-Channel HFET's'
IEEE Transactions on Electron Devices, Vol. 42, No. 8, pp. 1413-18, Aug. 1995
- [10] U.AUER et al.
'InAlAs/InGaAs HFET with Extremely High Device Breakdown Using an Optimized Buffer Layer Structure'
6th International Conference on Indium Phosphide and Related Materials, Santa Barbara, USA, 27-31 March 1994
- [11] F.SCHEFFER et al.

'In_{0.5}Ga_{0.5}P Spacer Layer for High Drain Breakdown Voltage InGaAs/InAlAs HFET on InP Grown by MOVPE'

IEEE Electron Device Letters, pp. 439-42, 1994

[12] U.AUER et al.

'The Impact of Pseudomorphic AlAs Spacer Layers on the Gate Leakage Current of InAlAs/InGaAs Heterostructure Field-Effect Transistors'

Microwave and Optical Technology Letters, pp.125-128, Vol. 11, No. 3, Feb. 1996

[13] S.R.BAHL et al.

'Elimination of Mesa-Sidewall Gate Leakage in InAlAs/InGaAs Heterostructures by Selective Sidewall Recessing'

IEEE Electron Device Letters, Vol. 13, pp. 195-197, Apr. 1992

[14] J.ALAMKAN

'Etude théorique des couches actives AlGaAs/InGaAs/GaAs à l'aide d'un modèle de résolution autocohérente des équations de Schrödinger et de poisson'

Thèse de doctorat, Lille, Février 1993

[15] B.LAYATI

'Croissance par épitaxie par jets moléculaires d'hétérostructures AlInAs/Ga_{1-x}In_xAs/InP à dopage planaire pour applications aux transistors HEMT'

Thèse de doctorat, Lille, Décembre 1996

[16] C.GAQUIERE

'Analyse et optimisation de transistors à effet de champ à hétérojonction pour l'amplification de puissance dans la bande Ka'

Thèse de doctorat, Lille, Novembre 1995

[17] S.TAKAMIYA et al.

'Overview of Recent Development of HEMTs in the mm-Wave Range'

Solid State Electronics, Vol. 38, No. 9, pp.1581-1588, 1995

[18] D.THERON et al.

'LT GaAs HFET : a novel concept to overcome the breakdown limitation'

23^{ème} International Symposium on Compound Semiconductors, Inst. Phys. Conf. Sci. n°155 p.475-478

[19] D.LANGREZ

'Transistors à effet de champ bigrille : nouvelle méthode de caractérisation et étude expérimentale des potentialités en ondes millimétriques'

Thèse de doctorat, Lille, Juillet 1996

[20] P.J.TASKER et al.

'Importance of Source and Drain Resistance to the Maximum Ft of Millimeter-wave MODFET's'

IEEE Electron Device Letters, Vol. 10, No. 7, Jul. 1989

[21] F.DUHAMEL

Chapitre 4

Introduction

Après avoir passé en revue dans le chapitre précédent, les aspects positifs et négatifs de la filière InP, nous allons maintenant voir les développements technologiques que nous avons aussi effectués concernant la filière pseudomorphique sur substrat GaAs pour essayer de pousser ses performances en puissance le plus loin possible, sans bien entendu, vouloir rivaliser avec la filière InP pour la montée en fréquence.

Les aspects que nous avons le plus particulièrement étudiés concernent la technologie du fossé de grille et le développement de celle-ci. Nous avons aussi repris une idée ancienne consistant à réaliser des structures à deux canaux et avons recherché à en tirer toutes les potentialités.

Par ailleurs, compte tenu des problèmes rencontrés avec la filière InP pour les applications de puissance en gamme millimétrique, nous avons abordé à titre d'alternative éventuelle, la voie offerte par la filière dite «métamorphique» sur substrat GaAs. Celle-ci consiste à faire croître l'hétérojonction AlInAs/GaInAs sur substrat GaAs. Les intérêts de cette filière seront discutés à la lumière des premiers essais que nous avons tentés.

1. Analyse et performances des composants de la filière GaAs

Notre étude de la filière pseudomorphique a été motivée par la réalisation d'un amplificateur de puissance à 26 GHz dans le cadre d'un contrat DRET. Afin de proposer un composant offrant un bon compromis entre la puissance de sortie, le gain et le rendement, nous avons étudié les différents aspects technologiques de cette filière en suivant la méthodologie déjà utilisée pour nos autres études. Les aspects abordés dans un premier temps concernent les structures des couches. Nous avons mis l'accent sur les épitaxies à deux puits et deux plans de dopage, en réalisant une structure avec deux puits de GaInAs et une structure avec un puits de GaInAs et un puits de GaAs (structure dite hybride). Ces deux types de structures étant conçues pour permettre une meilleure linéarité du gain, nous les avons confrontées à une structure de référence classique avec un seul canal pseudomorphique et deux plans de dopage.

Pour compléter notre étude, nous avons effectué différents types de recess : simple, double symétrique, double asymétrique par attaque chimique ou plasma. Nous avons aussi réalisé des transistors avec des longueurs de grilles soit de 0,15 soit de 0,25 μm . Enfin, dans certains cas, la dépassivation de la grille a été effectuée dans le but d'améliorer les performances des composants.

Ces différentes options se sont concrétisées par cinq opérations dont les caractéristiques technologiques sont résumées dans le tableau 1.

Opérations	10143	10153	10154	10264	10266
Structure	Hybride 2 canaux	Hybride 2 canaux	Pseudo 1 canal	Pseudo 1 canal	2 canaux InGaAs
Lg (μm)	0,25	0,25	0,25	0,15 et 0,25	0,15 et 0,25
Recess	Simple plasma	Double chimique	Double chimique	Double chimique	Double chimique
Grille	Centrée	Centrée	Centrée	Décalée vers la source	Décalée vers la source

Tableau 1 : Caractéristiques des différentes opérations.

Les différentes formes de recess, les différentes longueurs de grille s'inscrivant dans l'amélioration de la technologie présentée dans le chapitre 2 ont une influence sur les performances des transistors.

Ainsi, la confrontation des opérations 10143 et 10153 doit permettre d'effectuer la comparaison de la technologie de recess plasma simple ou de la technologie du double recess chimique. Ensuite, la comparaison des opérations 10153 et 10154 doit aider à confirmer ou infirmer le choix privilégié concernant actuellement la structure pseudomorphique à un canal pour l'amplification de puissance en gamme millimétrique. Puis, les réalisations 10264 et 10266, monocanal pseudomorphique et double canal InGaAs respectivement, avec double

recess chimique, grille décalée vers la source et dépassivation doivent permettre de montrer si le double canal offre une amélioration décisive ou pas. Enfin, la caractérisation des différentes topologies interdigitées de l'opération 10153 doit offrir une base sérieuse d'étude de loi d'échelle. Cette loi d'échelle permettra de déterminer les avantages et les inconvénients liés aux grands développements et pourquoi pas, de fixer la topologie nécessaire à notre projet.

1.1 Comparaison des technologies de recess

Les opérations 10143 et 10153 ont été effectuées sur une structure qui a été étudiée antérieurement dans notre laboratoire (fig. 1) pour offrir une linéarité accrue du gain. Cette linéarité est obtenue grâce à l'optimisation des épaisseurs, des positions des différentes couches (notamment les deux canaux) et des plans de dopage.

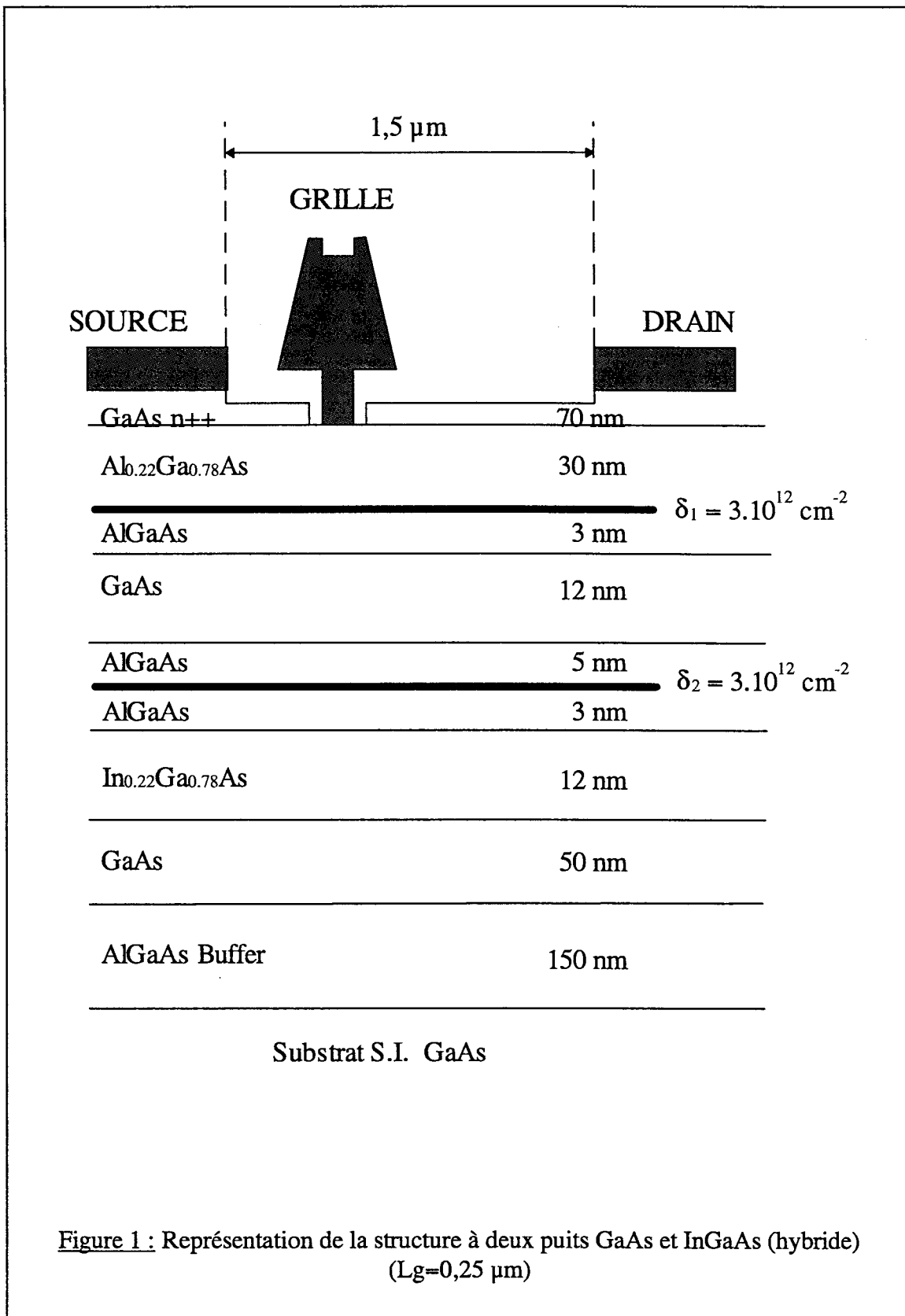
La figure 2 met en évidence la différence de technologie de recess entre les deux opérations. Pour l'opération 10143, le recess est effectué par plasma sur toute l'épaisseur du cap-layer à travers la fenêtre de nitrure utilisée pour la définition du pied de grille. L'opération 10153 comporte un double recess chimique. Ce double recess consiste dans un premier temps, à graver le cap-layer sur la totalité de l'espace source-drain jusqu'à obtenir une épaisseur telle qu'il y ait désertion complète par le potentiel de surface et dans un deuxième temps, à effectuer une gravure complémentaires du cap-layer à travers le masque de nitrure de définition du pied de grille.

Les caractéristiques statiques des deux opérations sont résumées dans le tableau 2.

Caract.	I_{ds} (mA/mm)	V_p (V)	G_m max. (mS/mm)	$V_{br\ g-s}$ (V)	$V_{br\ g-d}$ (V)	$V_{br\ on}$ (V)	V_b (V) η
10143	500	-1	400	-16	-16	5,8	0,77 1,36
10153	800	-2	400	-8	-9	6	0,74 1,21

Tableau 2 : Comparaison des caractéristiques statiques des composants à structure hybride pour des technologies de recess simple par plasma (10143) ou double recess chimique (10153).

A la vue de ces résultats, une première remarque s'impose sur le courant et la tension de pincement. Ceux-ci correspondent effectivement aux résultats attendus pour l'opération 10153, puisque le calcul théorique du pincement donne une valeur de -2 Volts. En ce qui concerne l'opération 10143, la tension de pincement de -1 Volt paraît d'autant plus anormale que le recess a été effectué par attaque plasma sélective et que, par conséquent, l'épaisseur de la couche d'AlGaAs sous la grille ne peut être remise en cause. Il faut donc rechercher ailleurs la raison de anomalie.



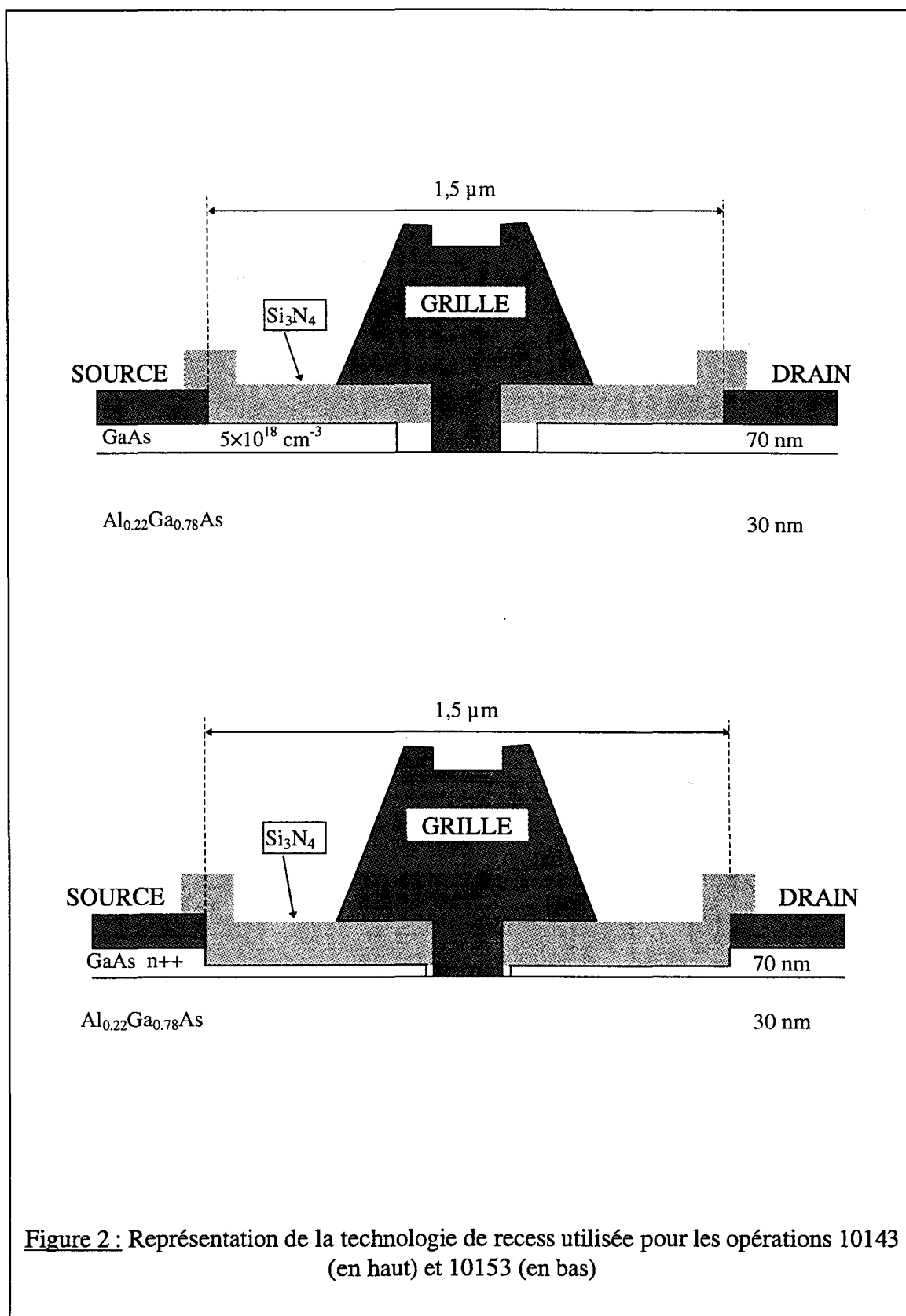


Figure 2 : Représentation de la technologie de recess utilisée pour les opérations 10143 (en haut) et 10153 (en bas)

Il est montré à partir de modélisation 2D que le courant chute légèrement lorsque la sous-gravure du recess de grille devient importante, ce qui est le cas pour cette opération. Ce n'est cependant pas une raison suffisante pour expliquer la chute de 900 à 450 mA/mm. De plus, l'augmentation de la sous-gravure ne doit avoir aucune influence sur la tension de pincement, or la diminution de courant est ici associée à une diminution de la tension de pincement. La seule explication envisageable peut être trouvée dans l'attaque RIE. En effet, il est maintenant admis que ce type de gravure est, dans certains cas, très dommageable pour les matériaux semiconducteurs. Cette dégradation provient du gaz utilisé pour l'attaque ou d'une pollution du bâti de gravure lorsque celui-ci n'est pas dédié à une unique application. Dans les deux cas, cet effet semble se traduire par une compensation des charges du plan de dopage avant.

Le calcul théorique de la densité de charge équivalente du plan de dopage peut être effectué en fixant l'épaisseur d'AlGaAs sous la grille à 300 Å et la tension de pincement à -1 Volt (valeur expérimentale). On obtient alors un plan de dopage de $1,4 \cdot 10^{12} \text{ cm}^{-2}$. Cela permet alors d'expliquer en grande partie la chute de courant (comparé à l'opération 10153). Le reste pouvant être attribué à la sous-gravure excessive du recess de grille.

Cette sous-gravure est, par contre, très bénéfique pour la tension de claquage du composant 10143. Elle est de 16 Volts en configuration diode. Le composant 10153, à double recess chimique, montre une tension de claquage en configuration diode de 9 Volts. Cette différence très nette semble indiquer l'avantage du recess large sur le double recess. La sous-gravure introduit une zone désertée à proximité de la grille, et diminue l'énergie en sortie de grille et le champ électrique le long de l'axe grille-drain [1]. Cependant, il faut noter que dans le cas du composant 10143, la densité de charge effective (Neff) plus faible est aussi un facteur favorable pour améliorer la tension de claquage.

Néanmoins, les valeurs de tension de claquage à canal ouvert (fig. 3) sont très similaires et proches de 6 Volts pour les deux composants. Ceci montre que la dégradation du matériau, si elle se fait à la fois sur le plan de dopage supérieur et sur la barrière, n'atteint pas le premier canal de GaAs. Il semble donc que la configuration du recess dès lors que celui-ci est large, ne constitue pas un élément décisif pour l'amélioration de la tension de claquage à canal ouvert.

Enfin, pour ces deux opérations, les tensions de built-in et les coefficients d'idéalité sont identiques.

Les performances hyperfréquences sont résumées dans le tableau 3 pour des composants de développement $2 \times 50 \mu\text{m}$ polarisés à $V_{ds}=2\text{V}$ et V_{gs} correspondant au maximum de gain.

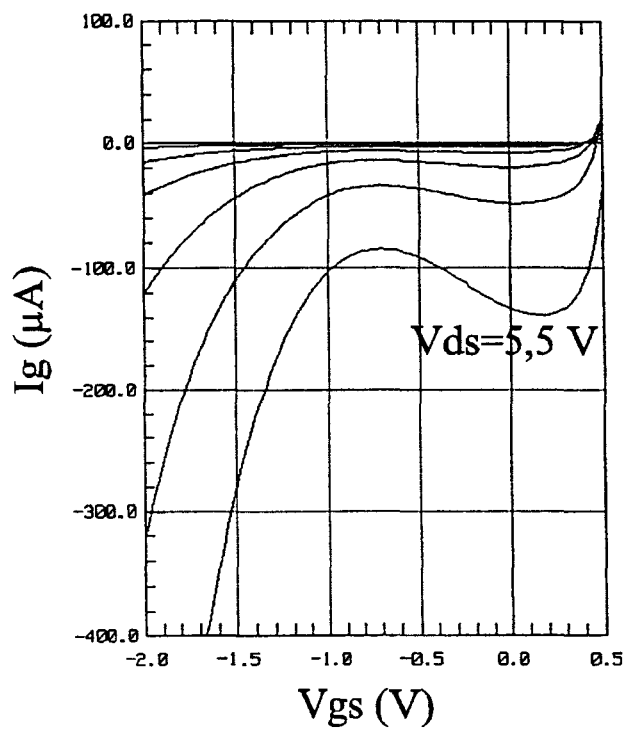
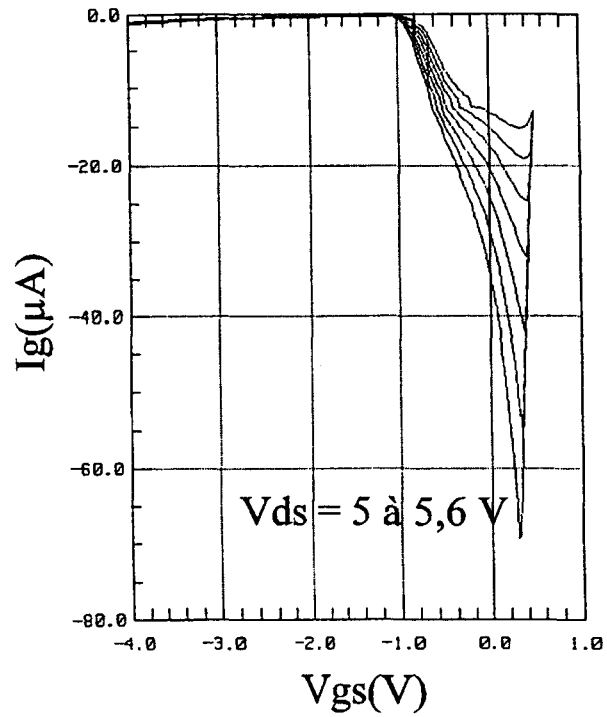


Figure 3 : Représentation du courant de grille en fonctionnement transistor pour les séries 10143 ($4 \times 50 \mu\text{m}$) (en haut) et 10153 ($8 \times 50 \mu\text{m}$) (en bas)

N°	Vgs (V)	Ft (GHz)	Fmax (GHz)	MSG@26GHz (dB)	MAG@40GHz (dB)		
10143	-0,4	49	100	9,4	Instable		
10153	-0,3	51	100	9,5	6,3		
N°	Rs (Ω)	Rd (Ω)	Rg (Ω)	Gm (mS/mm)	Gd (mS/mm)	Cgs (pF/mm)	Cgd (pF/mm)
10143	2,8	3,2	3,2	410	34	0,88	0,23
10153	3,2	3,7	4,1	430	54	1,13	0,23

Tableau 3 : Comparaison des caractéristiques hyperfréquences des composants 10143 et 10153 de développement 2×50µm.

Les résistances d'accès de l'opération 10143 sont plus faibles que pour le composants 10153 (pour Rs et Rd, les différences sont dues au cap-layer gravé ou non; pour Rg, la différence s'explique par une épaisseur de métallisation de grille plus importantes pour l'opération 10143). La conductance de sortie Gd (considérée comme néfaste sur les performances en gain en puissance) est plus faible pour l'opération 10143. Ces observations, également effectuées sur les recess large de la filière InP, ont été vérifiées par simulation. Cependant, ces différences ne se répercutent que très faiblement sur les performances en gain et en fréquence. Remarquons au passage les rapports $\frac{Gm}{Gd}$ et $\frac{Cgs}{Cgd}$ de 10 et 4 respectivement.

Ce dernier résultat est typique de la technologie de grille nitrure (la valeur élevée de Cgd s'explique par la capacité nitrure extrinsèque).

En conclusion de cette étude comparative, nous observons que le recess simple par gravure sèche, accompagné d'une sous-gravure importante, permet d'obtenir d'excellentes tensions de claquage, mais peut avoir le désavantage de dégrader l'épitaxie et par conséquent, de diminuer le courant de drain. La comparaison avec la configuration à double recess chimique, conduit à des performances hyperfréquences identiques. Nous verrons, par la suite, si les mesures de puissance permettront de départager ces deux configurations de recess de grille.

1.2 Comparaison entre la structure pseudomorphique monocanal et la structure hybride

Si les résultats obtenus par les composants à deux canaux sont très prometteurs pour les applications visées, il paraît intéressant de comparer ces résultats à ceux qui pourraient être obtenus avec une couche pseudomorphique. Afin de comparer les résultats obtenus avec l'opération 10153, nous avons effectué sur une épitaxie dite pseudomorphique (représentée fig. 4), des transistors en utilisant la même technologie (grille nitrure de 0,25µm et double recess chimique).

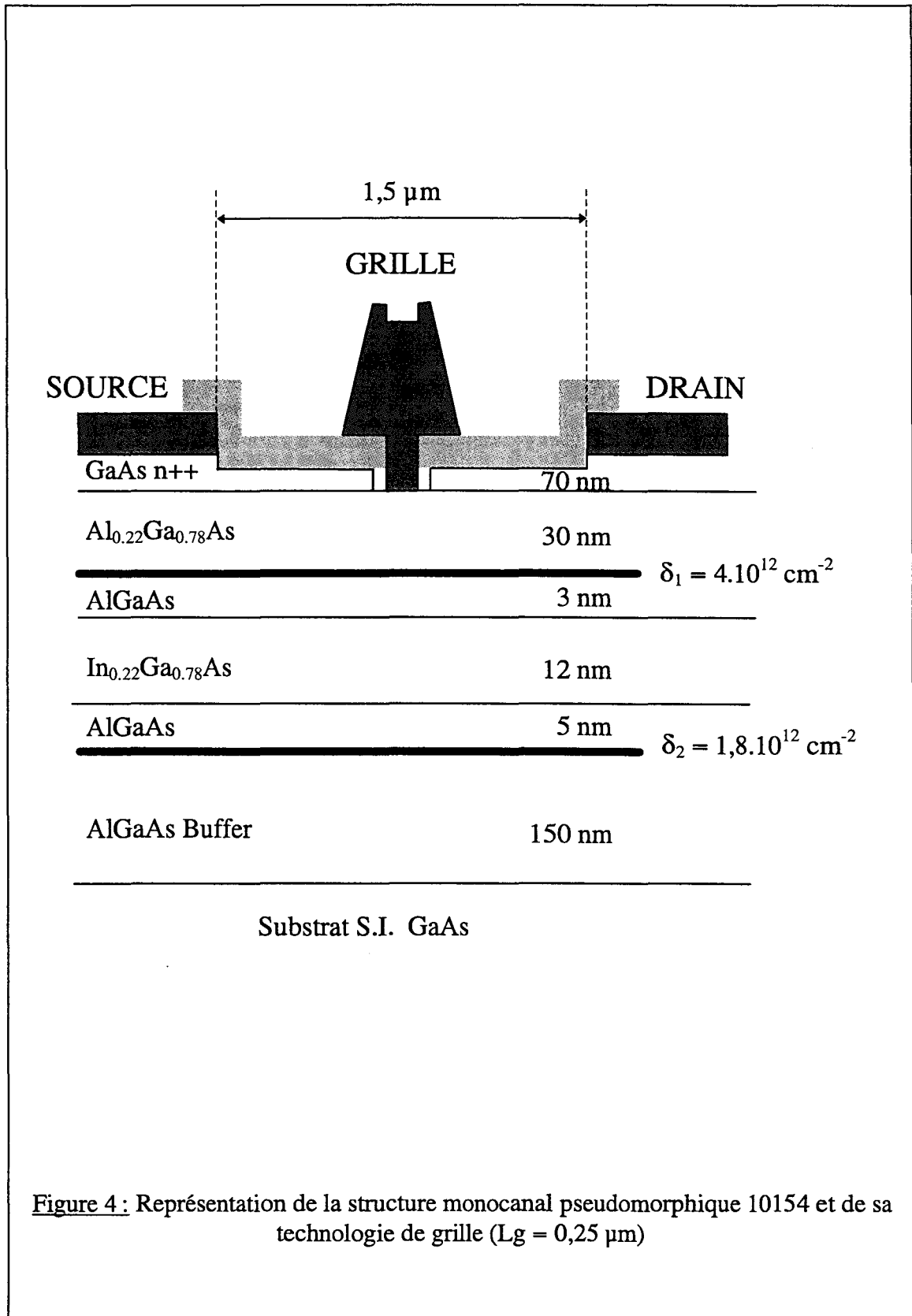


Figure 4: Représentation de la structure monocanal pseudomorphique 10154 et de sa technologie de grille (Lg = 0,25 μm)

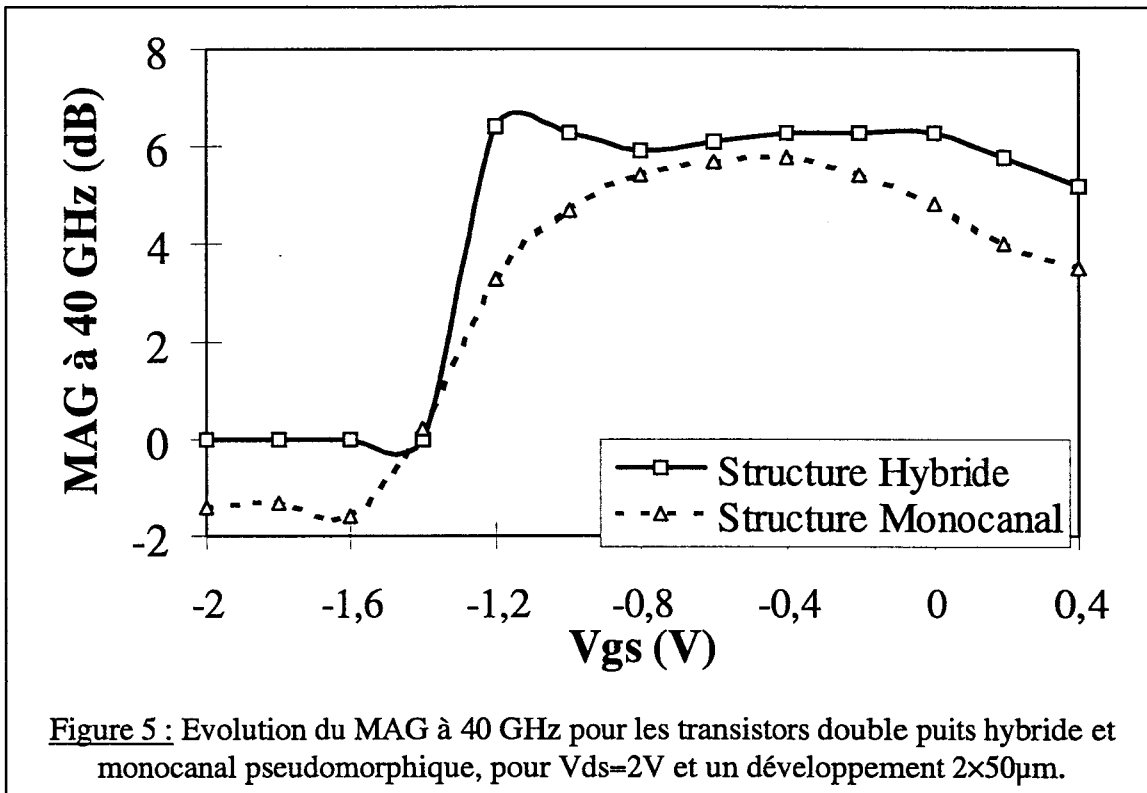
Les caractéristiques statiques sont résumées dans le tableau 4. Nous observons alors pour cette opération, des caractéristiques moins bonnes que celles obtenues pour les structures hybrides. Un courant drain maximum de 500 mA/mm et une tension de claquage de 5 Volts sont relativement décevants pour une telle structure.

Pour ce composant, les valeurs des tensions de built-in sont plus faibles. Ces comportements du contact Schottky en inverse et en direct relativement moyens sont probablement à mettre au compte d'une métallisation de grille médiocre.

N°	Id (mA/mm)	Vp (V)	Gm max. (mS/mm)	Vbr g-s (V)	Vbr g-d (V)	Vbr on (V)	Vb (V) η
10153	800	-2	400	-8	-9	6	0,74 1,21
10154	500	-2	370	-5	-5	X	0,55 1,36

Tableau 4 : Comparaison des caractéristiques statiques des composants pseudomorphique monocanal (10154) et double canal hybride (10153)

Les performances en fréquence des deux opérations sont assez similaires, et il en est de même pour les performances en gain, avec un $MAG@40GHz$ atteignant de 6,9 dB pour l'opération 10154 et 6,3 dB pour l'opération 10153. Le résultat le plus spectaculaire (évident sur la figure 5) est pour la structure pseudomorphique, le profil typique en cloche et pour la structure hybride, le profil quasi plat. C'est de cette différence fondamentale que l'on attend la supériorité de la structure hybride sur le plan de la linéarité.



Les éléments du schéma équivalent à $V_{ds}=2$ V, pour la polarisation de grille permettant d'obtenir le maximum de gain (résumés dans le tableau 5), présentent des valeurs sensiblement identiques.

N°	Gm (mS/mm)	Gd (mS/mm)	Cgs (pF/mm)	Cgd (pF/mm)
10153	430	54	1,13	0,23
10154	460	41	1,16	0,23

Tableau 5 : Comparaison des principaux éléments du schéma équivalent des opérations 10154 et 10153

Il semble raisonnable de conclure, vu ces différents résultats, que la structure hybride a des caractéristiques fréquentielles assez proche de la structure monocanal pseudomorphique et donc, est utilisable pour les applications de puissance.

1.3 Amélioration des performances par optimisation de la technologie

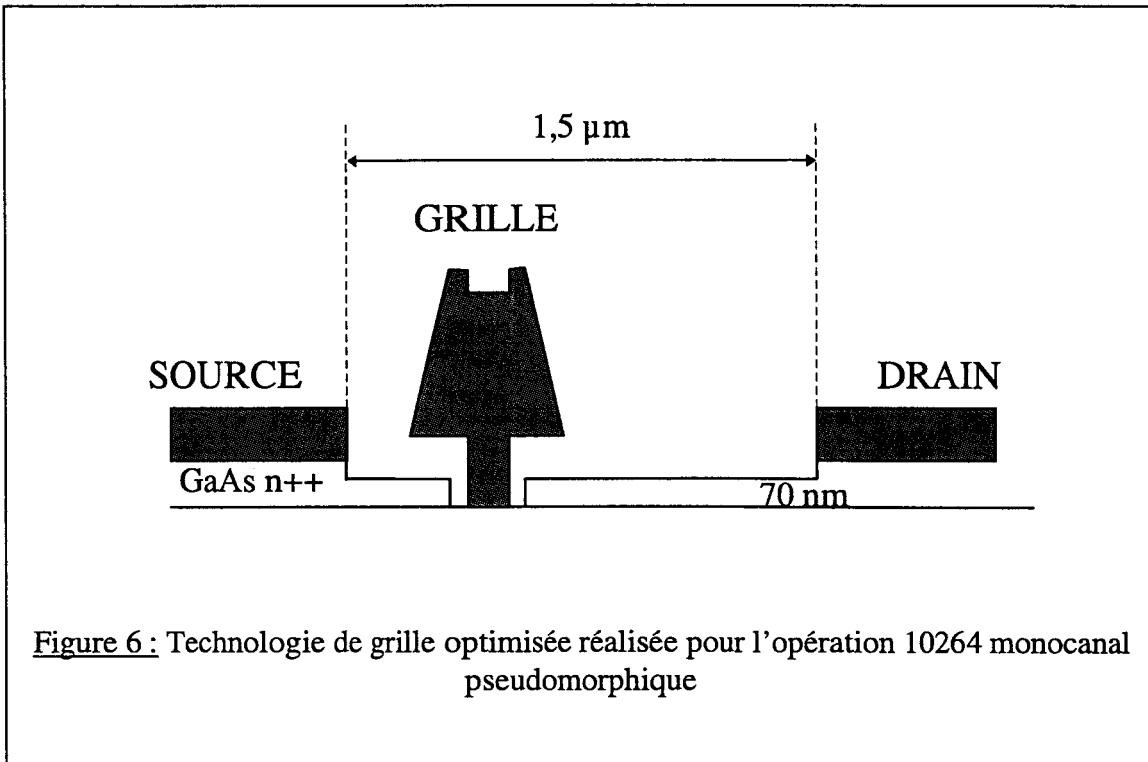
Bien que les composants présentés jusqu'ici aient permis d'obtenir des résultats très encourageants : 800 mA/mm, $V_{br}=9$ V et $MAG@40$ GHz de 6,3 dB (pour un composant $2 \times 50 \mu\text{m}$), il paraissent encore insuffisants pour les applications visées.

Si pour améliorer les performances, il semble peu évident d'agir sur la structure de couche, quelques modifications de la technologie doivent permettre d'obtenir de meilleurs résultats.

Ces modifications ont été présentées dans le chapitre 2 et consistent à décaler la grille vers la source afin de diminuer la résistance de source R_s . De plus, la dénitruration permettra de réduire les capacités grille-drain C_{gd} . En effet, pour les opérations précédentes, le faible rapport $\frac{C_{gs}}{C_{gd}}$ était imputable à C_{gd} . Par ailleurs, pour améliorer le gain, une diminution de la longueur de grille peut être envisagée. Celle-ci, sera diminuée à $0,15 \mu\text{m}$ sur la moitié des composants, l'autre moitié conservant la longueur de $0,25 \mu\text{m}$, utilisé pour les trois opérations précédentes afin d'effectuer des comparaisons. Enfin, comme précédemment, le recess sera double afin de conserver le claquage et sera effectué par voie chimique.

Nous avons d'abord réalisé un transistor monocanal pseudomorphique comportant les améliorations technologiques indiquées ci-dessus. Cette opération (10264), dont la technologie de recess et de grille sont représentées sur la figure 6, a été principalement comparée à l'opération 10154 (également réalisée sur couche pseudomorphique).

Les caractéristiques statiques du composant 10264 avec une longueur de grille de $0,15 \mu\text{m}$ et des composants 10154 et 10153 avec des longueurs de grille de $0,25 \mu\text{m}$ sont résumées dans le tableau 6. Les caractéristiques du composant 10153 y sont également portées à titre de référence.



N° Lg (µm)	Id (mA/mm)	Vp (V)	Gm mS/mm	Vbr g-s (V)	Vbr g-d (V)	Vbr on (V)	Vb (V) η
10154 0,25	500	-2	450	-5	-5	X	0,55 1,36
10264 0,15	600	-1	720	-8	-8	6	
10153 0,25	800	-2	400	-8	-8	6	0,74 1,21

Tableau 6 : Comparaison des caractéristiques statiques des composants sur couche monocanal pseudomorphique avec (10264) et sans (10154) technologie optimisée et sur couche double canal hybride (10153)

On y constate une différence importante de la tension de pincement que l'on peut expliquer par une gravure de recess plus importante. Il en résulte (en partie) une transconductance plus importante. Cependant, aucune influence n'est observée sur les tensions de claquage entre les opérations 10153 et 10264. Dans les deux cas, le double recess chimique permet d'obtenir des tensions de claquage en configuration diode de 8 Volts et la tension de claquage en configuration transistor est de 6 Volts.

En ce qui concerne les performances hyperfréquences, les améliorations technologiques montrent clairement leur effet. Les résultats, résumés dans le tableau 7, montrent des performances en fréquence très supérieures pour le composant 10264 comparé au composant 10154, avec un Ft passant de 50 à 100 GHz et un Fmax passant de 100 à 180 GHz.

N° / Lg (µm)	Ft (GHz)	Fmax (GHz)	MSG@26 GHz (dB)	MAG@40 GHz (dB)
10154 / 0,25	50	100	11	6,9
10264 / 0,15	100	180	17,5	12

Tableau 7 : Performances hyperfréquences pour les composants 2×50µm à Vds =2V

De la même façon, le gain augmente considérablement avec un MSG@26 GHz qui passe de 11 à 17,5 dB et un MAG@40 GHz qui passe de 6,9 à 12 dB (pour des composants 2×50µm).

Ces améliorations de performances correspondent, comme le montre le tableau 8 résumant les caractéristiques des principaux éléments du schéma équivalent à Vds = 2V, à une forte diminution de Rs (due à la grille décalée), à une très forte diminution de Cgd (due à la dépassivation) et à une augmentation de Gm due probablement à un recess plus profond.

N°	Rs (Ω)	Rd (Ω)	Rg (Ω)	Gm (mS/mm)	Gd (mS/mm)	Cgs (pF/mm)	Cgd (pF/mm)
10154	4,9	6,1	3,4	460	41	1,16	0,23
10264	2,8	5,6	4,4	960	57	1,17	0,093

Tableau 8 : Comparaison des principaux éléments du schéma équivalent à Vds = 2 V pour les transistors 10154 et 10264

L'augmentation de Gd peut être expliquée par la diminution de la longueur de grille, alors que la valeur constante de Cgs peut être expliquée par un effet de compensation entre la profondeur de gravure plus importante et la diminution de la longueur de grille. On obtient pour l'opération 10264, des rapports $\frac{Gm}{Gd}$ et $\frac{Cgs}{Cgd}$ de 17 et 13, respectivement. Ces rapports étant de 10 et 4 pour l'opération 10153.

Ces résultats ont été confirmés par l'opération 10266 réalisée sur une structure à deux puits de GaInAs (fig. 7) avec une grille de longueur de 0,15 ou 0,25 µm décalée vers la source, un double recess effectué par voie chimique et une dénitruration finale. Les résultats sont résumés dans le tableau 9 et sont comparées à l'opération 10153.

Si les courants et les tensions de pincement sont identiques, les transconductances sont légèrement supérieures dans le cas des opérations 10266. Cette amélioration peut trouver son origine dans la dynamique de transfert du deuxième puits de GaInAs ou encore, dans l'amélioration de Rs. Le double recess a pour les trois composants, le même effet avec des tenues en configuration diode et en configuration transistor identiques même si les diodes sont de moins bonnes qualité (Vb et η) pour l'opération 10266.

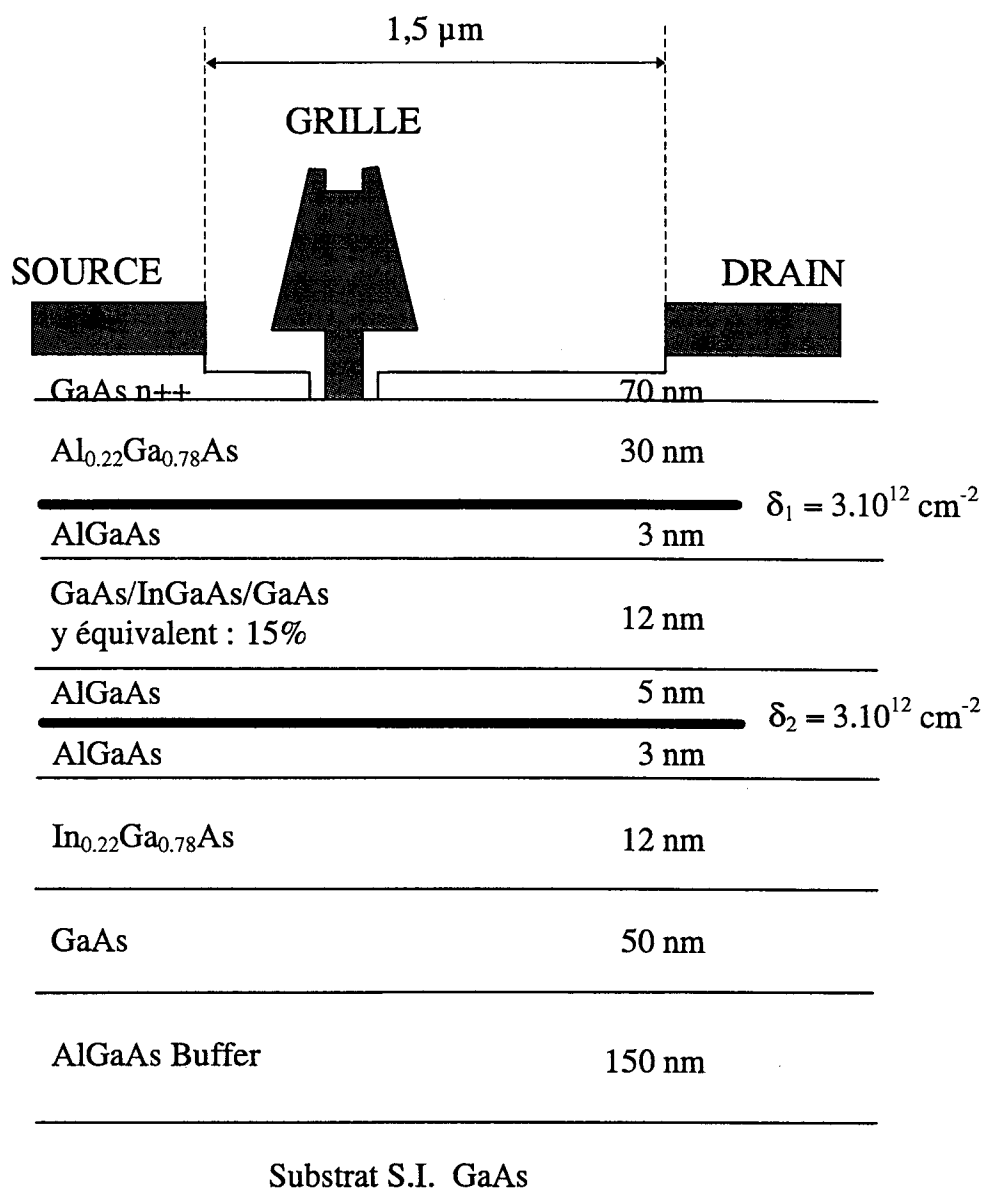


Figure 7 : Représentation de la structure 10266 à deux puits de GaInAs et de sa technologie de grille ($L_g = 0,15$ et $0,25 \mu\text{m}$)

Conséquence des améliorations technologiques, on observe dans le cas de l'opération 10266 une très nette amélioration des performances en fréquence et en gain par rapport aux composants 10153. Le gain augmente de 5 dB pour un composant de $2 \times 50 \mu\text{m}$ ayant une la longueur de grille de $0,15 \mu\text{m}$.

En ce qui concerne le schéma équivalent, nous observons grâce à la grille décalée, une forte diminution de R_s . Comme dans le cas de $G_{m_{ext}}$, $G_{m_{int}}$ augmente alors que G_d est identique pour les deux composants à $L_g = 0,25 \mu\text{m}$ et augmente légèrement pour $L_g = 0,15 \mu\text{m}$, conséquence des effets de canal court. Les effets rencontrés sur le G_d se retrouvent sur C_{gs} . Enfin, la dépassivation de la grille entraîne comme dans le cas de l'opération 10264, une très nette diminution de C_{gd} avec des valeurs plus faibles lorsque L_g diminue.

N° / $L_g(\mu\text{m})$	I_d (mA/mm)	V_p (V)	G_m (mS/mm)	$V_{br\ g-d}$ (V)	$V_{br\ on}$ (V)	V_b (V) η
10153 / 0,25	800	-2	400	-9	-6	0,74 1,21
10266 / 0,25	750	-2	550	-8	-5	0,6 1,57
10266 / 0,15	800	-2	520	-8	-5	0,6 1,6

N° / $L_g(\mu\text{m})$	F_t (GHz)	F_{max} (GHz)	MSG@26 GHz (dB)	MAG@40 GHz (dB)
10153 / 0,25	51	100	9,5	6,3
10266 / 0,25	80	110	14,2	11,2
10266 / 0,15	85	110	14,7	Instable

N° / $L_g(\mu\text{m})$	R_s (Ω)	R_d (Ω)	R_s (Ω)	G_m (mS/mm)	G_d (mS/mm)	C_{gs} (pF/mm)	C_{gd} (pF/mm)
10153 / 0,25	3,2	3,7	4,1	430	54	1,13	0,23
10266 / 0,25	1,7	3,5	4	720	56	1,24	0,13
10266 / 0,15	1,7	3,2	4	690	64	0,96	0,11

Tableaux 9 : Comparaisons des caractéristiques des composants 10153 et 10266.

Nous pouvons conclure en disant que les améliorations technologiques permettent d'augmenter considérablement les performances des composants. La structure étudiée dans le cadre de l'opération 10266 semble prometteuse pour les applications de puissance.

1.4 Etude de la loi d'échelle des transistors multi-grilles

La réalisation d'un amplificateur de puissance nécessite des transistors de développement de grille important. Afin de quantifier la dégradation engendrée par le nombre de doigts, nous avons étudié les différentes caractéristiques en fonction du développement. Pour réaliser cette étude nous avons retenu la série 10153 qui a été réalisée à l'aide du masque à multi-motifs décrit dans le chapitre 2. Rappelons que celui-ci comporte des transistors à 2, 4, 8 et 12 doigts de grille de largeur unitaire de $50\mu\text{m}$. La longueur de grille unitaire étant de $0,25\mu\text{m}$.

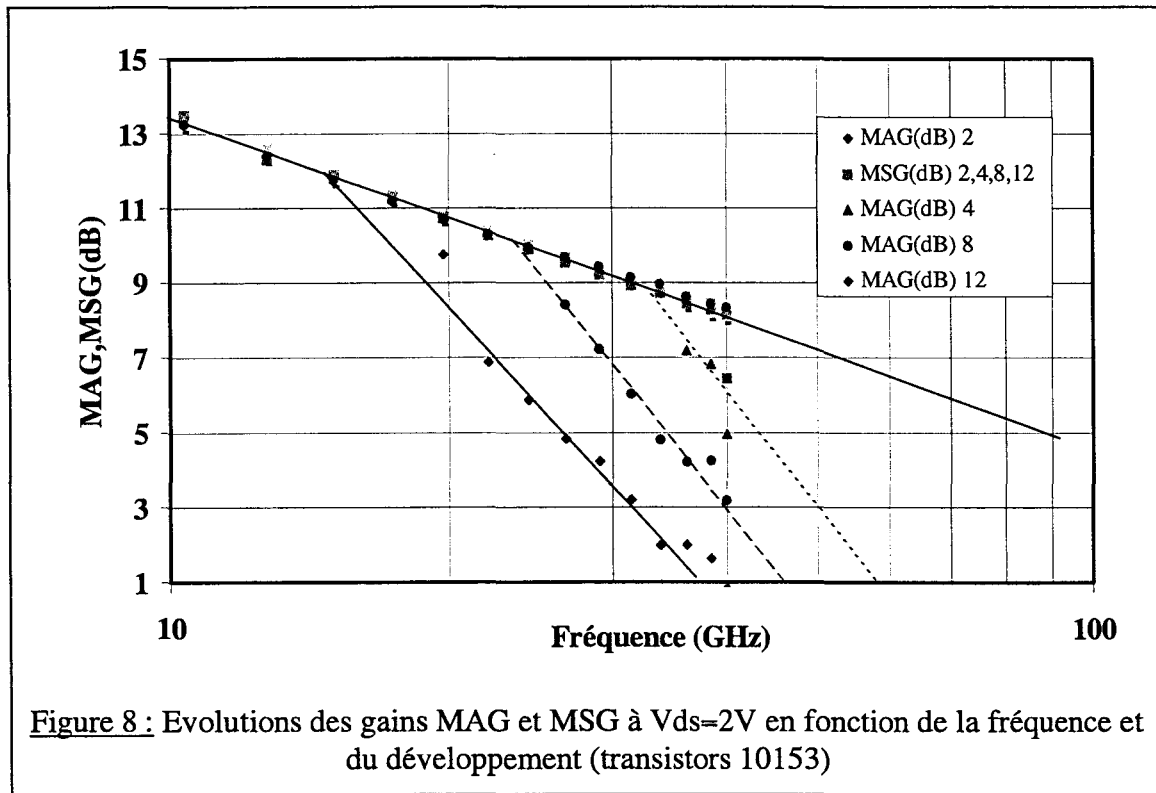
La mesure en régime statique montre que la loi d'échelle est suivie pour le courant de drain et la transconductance. A $V_{ds} = 2\text{ V}$, nous obtenons un courant $I_{ds_{max}}$ de 800 mA/mm et une transconductance $G_{m_{max}}$ de 400 mS/mm . Concernant les différentes grandeurs rapportées au contact Schottky (V_b , η , V_{br} diode, V_{br} on), celles-ci sont invariantes quelque soit le développement.

Les performances en fréquence et en gain sont résumées dans le tableau 10.

Nb de doigts	Ft (GHz)	Fmax (GHz)	MSG@40GHz (dB)	MAG@40GHz (dB)
2	51	100	8,2	6,3
4	45	100	8,2	5,3
8	46	80	8,4	3,2
12	46	60	8	1,4

Tableau 10 : Evolution des performances en gain et en fréquence des transistors 10153 en fonction du développement à $V_{ds}=2\text{V}$

Nous constatons une quasi invariance de Ft, alors que Fmax décroît en fonction du développement, conséquence des capacités extrinsèques plus importantes pour les transistors avec un nombre de doigts élevé. Pour les performances en gain, comme le montre la figure 8 représentant les évolutions des gains MAG et MSG à $V_{ds}=2\text{V}$ en fonction du développement et de la fréquence, nous observons une invariance de MSG, alors que le gain MAG subit de façon drastique une décroissance avec le nombre de doigts des transistors. Cette observation trouve son origine dans l'effet inductif des ponts à air de source. En effet, ceux-ci introduisent une rétroaction en sortie du transistor permettant ainsi de le stabiliser au prix de la dégradation du gain [2].



La dégradation du gain ne s'explique que par les effets de selfs L_s . Comme le montre le tableau 11 résumant les principaux éléments des schémas équivalents à $V_{ds}=2V$, nous observons une parfaite loi d'échelle.

Nb de doigts	R_s (Ω)	R_d (Ω)	R_g (Ω)	G_m mS/mm	G_d mS/mm	C_{gs} pF/mm	C_{gd} pF/mm
2	3,2	3,7	4,1	430	54	1,13	0,23
4	1,6	1,9	1,8	460	59	1,13	0,25
8	0,9	1,1	1,2	480	63	1,19	0,25
12	0,6	0,8	0,8	460	52	1,20	0,23

Tableau 11: Evolution des éléments des schémas équivalents des différents transistors (10153)

Nous pouvons donc conclure que les lois d'échelle sont respectées pour la plupart des éléments. La conséquence du développement se retrouve directement sur la diminution du gain disponible. Il faut alors trouver un compromis entre la puissance de sortie délivrée par le transistor qui est proportionnelle au développement totale de grille, et le gain. Compte tenu des résultats obtenus, il semble que la structure de choix est celle qui comporte 8 doigts de grille.

1.5 Analyse des résultats de puissance des différents transistors étudiés

Nous venons de voir que, les transistors que nous avons réalisés présentent des caractéristiques statiques ou hyperfréquences différentes. Comme dans le cas de notre étude

de la filière InP, la validation des choix effectués (process ou épitaxie) passe par la mesure de puissance. Aussi dans le cas présent, la fréquence d'utilisation étant de 26 GHz, nous avons effectué les mesures sur le banc load-pull 26-40 GHz dont nous disposons [3].

Le tableau 12 résume les différents résultats obtenus pour les transistors présentés, excepté le transistor 10154 compte tenu de sa faible tenue en tension. Les performances de puissance sont toutes données pour un courant moyen de grille ne dépassant pas la valeur limite que nous nous sommes fixée pour ne pas dégrader les composants, c'est à dire : 1 mA/mm.

Nous observons sur ces résultats que la plus forte densité de puissance est obtenue pour le transistor 10153 avec 600 mW/mm comparé aux 400 mW/mm obtenus pour les autres transistors.

C'est pour le composant 10264 que nous observons les rendements PAE et les gains G_p les plus élevés. Ces résultats sont obtenus grâce aux améliorations technologiques. Le transistor 10266 présente un PAE quasi-identique avec une puissance P_{out} légèrement plus élevée. Cependant, le gain G_p obtenu est plus faible que dans le cas du transistor 10264 (à longueur et nombre de doigts de grille identiques), conséquence de la transconductance plus faible.

La comparaison des trois transistors à deux canaux (10143, 10153 et 10266) met en évidence que l'élargissement du fossé de grille pénalise la puissance P_{out} et le PAE. Cependant, la diminution des éléments extrinsèques résultant de l'élargissement du fossé de grille a pour conséquence d'améliorer le gain G_p . Le composant 10266 met en évidence les améliorations technologiques par les résultats obtenus sur les PAE et G_p face aux transistors 10153 et 10143.

Transistors	$L_g \times N \times W_g$ (μm) ²	I_d max (mA/mm)	V_{br} (V)	F_t (GHz)	Classe	P_{out} (mW/mm)	PAE (%)	G_p (dB)
10153	0,25×4×50	800	9	51	A	600	26	5,7
10143	0,25×4×50	500	16	49	A	406	18	6,5
						422	18	6,1
					AB	460	29	4,6
10264	0,15×2×50	600	8	100	AB	420	43	7,7
					A	315	30	9,7
	0,15×8×50				AB	430	40,3	7,7
						325	44,7	8,9
10266	0,15×8×50	800	8	85	A	450	22	7,3
					AB	362	43	6,3

Tableau 12 : Résultats de mesures de puissance à 26 GHz des différents transistors en classe A et AB pour différents développement ($N \times W_g$: nombre de doigts \times largeur unitaire de grille)

Il apparaît donc que ce type de structure se présente comme un bon candidat pour l'amplification de puissance compte tenu des performances obtenues et de la linéarité du gain.

Cependant, notre étude confirme que le composant de référence pour les applications de puissance aux environs de 30 GHz reste le transistor pseudomorphique monocanal, compte tenu de l'excellent compromis qu'il réalise entre le PAE et le gain G_p (avec 2,6 dB de plus par rapport au composant à deux canaux, à développement et technologie identique). L'intérêt du transistor double canal réside essentiellement dans sa linéarité.

2. Analyse d'un composant de la filière

Métamorphique sur substrat GaAs

Face aux filières pseudomorphiques AlGaAs/GaInAs sur GaAs et adapté en maille ou pseudomorphique AlInAs/GaInAs sur InP, la filière métamorphique constitue un intermédiaire technologique. Cette filière consiste à faire croître à partir d'un substrat GaAs, la partie active de la filière InP. L'objectif est alors d'effectuer des hétérojonctions $Al_{0.7}In_{0.3}As/Ga_{0.7}In_{0.3}As$ afin de profiter :

- du grand gap de la barrière AlInAs ≈ 2 eV
- de la mobilité du GaInAs
- de la plus grande différence de bande de conduction de l'hétérojonction $Al_{0.7}In_{0.3}As/Ga_{0.7}In_{0.3}As \approx 0.7$ eV

Il en résulte alors un excellent transfert de charge dans le puits et un très bon compromis entre la mobilité et l'ionisation des porteurs dans le puits.

Une des difficultés majeures de cette filière est que la croissance des matériaux $Al_{0.7}In_{0.3}As$ et $Ga_{0.7}In_{0.3}As$ (de paramètre de maille de 5,8 Å) sur le substrat en GaAs (de paramètre de maille de 5,65 Å) nécessite un buffer d'adaptation. Ce buffer d'adaptation a alors la fonction de rattraper le désaccord de maille de 2% entre le substrat GaAs et la couche active. Il a également la fonction de bloquer les dislocations engendrées par ce désaccord.

Le buffer peut être réalisé avec un des matériaux ternaires (AlInAs ou GaInAs) en faisant varier les compositions de manière graduelle ou de façon brutale, par paliers. Des super réseaux peuvent être également introduits pour absorber les dislocations. Différentes structures ont été essayées dans la littérature, comme le montre les exemples de la figure 9 :

- InGaAs graduel (fig. 9.a) [4] ou par paliers (fig. 9.b) [5]
- AlInAs par paliers (fig. 9.c) [6]
- InGaAlAs graduel (fig. 9.d) [7] pour obtenir un canal $In_{0.8}Ga_{0.2}As$

La croissance du buffer doit se faire entre 350°C et 400°C pour éviter la croissance en îlots et s'effectue sur environ 1µm.

La qualité du buffer peut être caractérisée par trois paramètres :

- le degré de relaxation
- la morphologie de surface

InGaAs	$X_{in}=0,1 \text{ à } 0,3$	1000 nm
--------	-----------------------------	---------

GaAs		30 nm
------	--	-------

Substrat S.I. GaAs

(a)

InGaAs	$X_{in}=0,3$	300 nm
--------	--------------	--------

InGaAs	$X_{in}=0,2$	300 nm
--------	--------------	--------

InGaAs	$X_{in}=0,1$	300 nm
--------	--------------	--------

Substrat S.I. GaAs

(b)

AlInAs	$X_{in}=0,3$	400 nm
--------	--------------	--------

AlInAs	$X_{in}=0,2$	200 nm
--------	--------------	--------

AlInAs	$X_{in}=0,1$	200 nm
--------	--------------	--------

Substrat S.I. GaAs

(c)

AlInAs	$X_{in}=0,8$	100 nm
--------	--------------	--------

InGaAlAs	$X_{in}=0,1 \text{ à } 0,7$	2000 nm
----------	-----------------------------	---------

Substrat S.I. GaAs

(d)

Figure 9: Représentation de quelques possibilités pour effectuer le buffer Métamorphique

■ la densité linéique de dislocations

Les études menées au laboratoire [8] ont permis d'obtenir des buffer GaInAs (variant de 10 à 30%) avec un degré de relaxation de 98%, un 'cross-hatch' satisfaisant et une densité de dislocations inférieure à 10^7cm^{-2} .

Les meilleurs résultats mondiaux ont permis d'obtenir une densité de porteurs de 3.10^{12}cm^{-2} et une mobilité de $8500 \text{cm.V}^{-1}\text{s}^{-1}$ à 300K [9].

Notons que l'hétérostructure métamorphique AlInAs/GaInAs à 50% d'indium peut être épitaxiée sur substrat GaAs, mais qu'elle complique davantage la croissance du buffer.

2.1 Mise au point de couche de référence

Comme dans le cas des structures sur InP, la mise au point des structures $\text{Al}_{0.7}\text{In}_{0.3}\text{As}/\text{Ga}_{0.7}\text{In}_{0.3}\text{As}$ a été effectuée par simulation autocohérente des équations de Poisson et Schrödinger. Pour faciliter notre travail, nous avons fixé l'épaisseur de la couche barrière à 250 Å, l'épaisseur du spacer à 50 Å, l'épaisseur du canal à 150 Å et dans le cas des structures à deux plans de dopage, l'épaisseur du spacer arrière à 50 Å.

Nos simulations ont donc consisté à étudier la densité de porteurs dans le puits et la densité résiduelle de porteurs dans la barrière d'AlInAs en fonction des dopages de structures à un ou deux plans de dopage.

Dans un premier temps, les simulations (dont les résultats sont résumés dans le tableau 13) ont montré que l'utilisation d'un plan de 6.10^{12}cm^{-2} pouvait être faite sans pour autant induire un résiduel dans la barrière trop important. Nous obtenons donc pour cette structure, une densité de porteurs dans le puits de 4.10^{12}cm^{-2} avec un résiduel de $0,4.10^{12} \text{cm}^{-2}$ et une tension de pincement de -2,3 Volts.

Notons que pour les structures InP, l'utilisation d'un plan de dopage de 5.10^{12}cm^{-2} permettait d'obtenir une densité N_s de 3.10^{12}cm^{-2} et que l'utilisation d'un même plan dans une structure métamorphique permet d'obtenir une densité de $3,6.10^{12} \text{cm}^{-2}$. Ceci se justifie par la différence de bande de conduction plus élevée pour les structures métamorphiques.

Structure $\delta 1/\delta 2$	1/0	2/0	3/0	4/0	5/0	6/0	5/1	5/2	6/2
N_s 10^{12}cm^{-2}	0,9	1,6	2,3	2,9	3,6	4	4,4	5,2	5,5
NAI cm^{-2}	0	$1,5.10^5$	$2,7.10^7$	$2,2.10^9$	$2,5.10^{10}$	4.10^{11}	7.10^{11}	$1,1.10^{12}$	$2,1.10^{12}$
Vp(V)	-0,3	-0,7	-1,1	-1,5	-1,9	-2,3	-2,3	-2,8	-3,3

Tableau 13 : Densités de porteurs dans le puits et la barrière et tension de pincement pour les différentes structures étudiées ($\delta 1$ et $\delta 2$ sont les plans de dopage avant et arrière)

En ce qui concerne les structures à deux plans de dopage, il apparaît indispensable de soulager le premier plan. En effet, les résultats issus de nos simulations (tableau 13) montrent qu'une structure 6/2 génère une densité de porteurs dans la barrière trop importante. Par conséquent, la valeur de dopage du plan avant doit être ramenée à 5. Dans ce cas, l'utilisation d'un plan arrière de 1 permet une densité de porteurs acceptable, mais apporte peu

d'amélioration sur la densité de porteurs dans le puits, comparé à la structure optimale à un seul plan. Par conséquent, la structure à deux plans 5 et 2 semble être le meilleur compromis entre N_s et NAI . Notons que la structure à deux plans proposée permet d'obtenir une densité de charge dans le puits de $5,5 \cdot 10^{12} \text{ cm}^{-2}$ alors que la structure à simple plan ne permet qu'une densité de $4 \cdot 10^{12} \text{ cm}^{-2}$.

2.2 Réalisation et performances d'un composant de référence

Les résultats de simulation ayant montré que la structure de référence comportait un plan de dopage de $6 \cdot 10^{12} \text{ cm}^{-2}$, nous avons effectué un composant sur ce type de structure. Notre structure utilisée pour nos simulations comportait une barrière et un puits d'épaisseur de 250 et 150 Å respectivement. Pour des raisons techniques, l'épitaxie que nous avons processée (figure 10) a comporté une barrière et un puits de 200 et 250 Å d'épaisseur, respectivement.

Avant la réalisation technologique, des mesures de résistance de couche et des mesures d'effet Hall ont été effectuées. Les résultats résumés dans le tableau 14 mettent en évidence une valeur de résistance carrée élevée et une densité de porteurs dans le puits faible. Si ces résultats décevants remettent en cause les conditions de croissance. Il semble aujourd'hui que le manque d'activation des donneurs dans la barrière est à l'origine du problème.

R carrée (Ω)	ns (cm^{-2})	μ_s ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)
335	$1,65 \cdot 10^{12}$	8570

Tableau 14 : Caractéristiques de la couche épitaxiée S960524 utilisée pour la réalisation de notre transistor

Malgré ces résultats, nous avons poursuivi notre travail de réalisation.

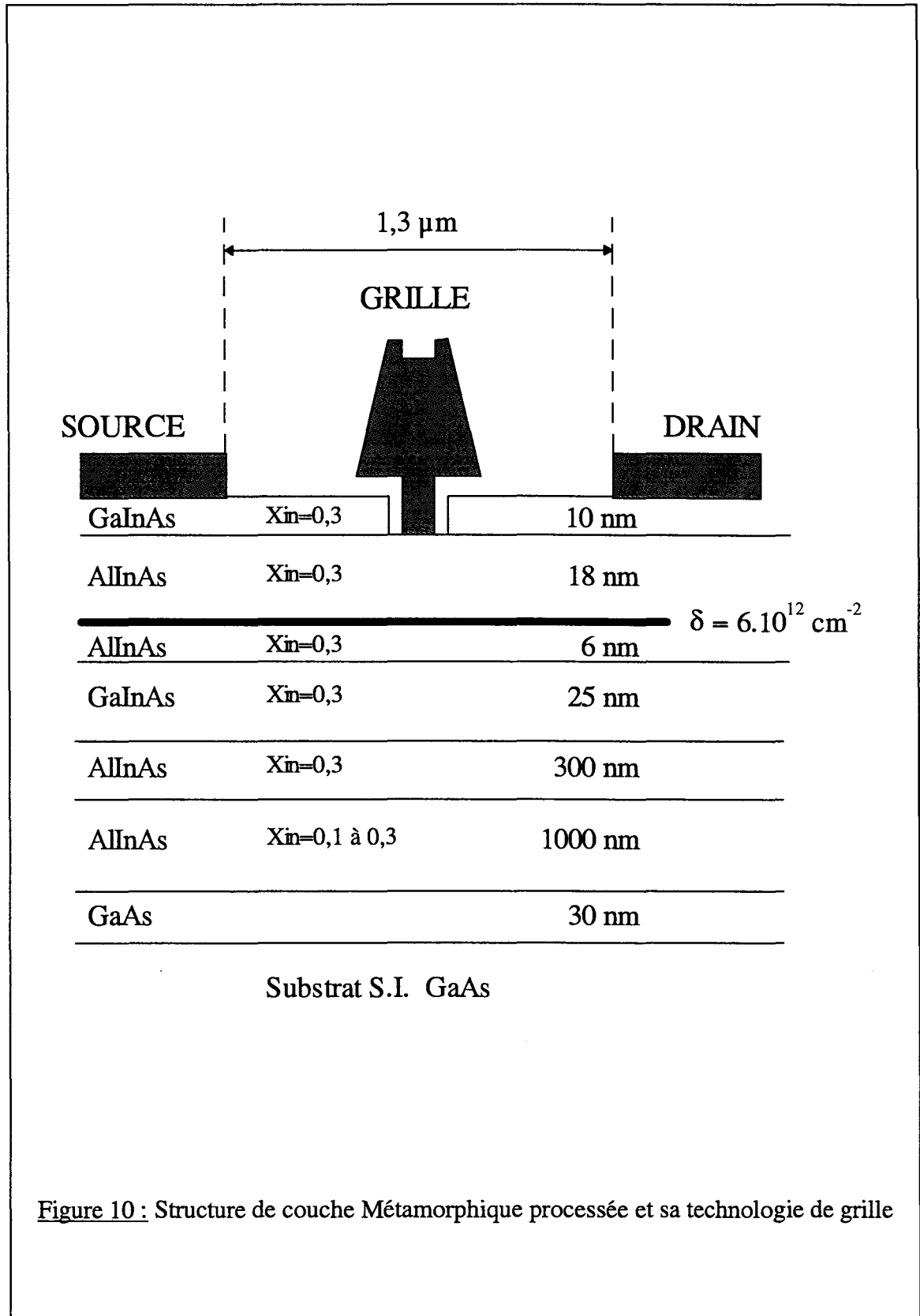
La technologie utilisée est identique à celle de la filière InP avec (fig. 10) une distance source-drain de $1,3 \mu\text{m}$ et une grille de $0,25 \mu\text{m}$ tricouche. Les contacts ohmiques Ge/Au/Ni/Au qui avaient permis d'obtenir des résistances de contacts de $0,15 \Omega \cdot \text{mm}$ dans la phase d'étude préliminaire de cette filière, n'a permis d'obtenir qu'une résistance de contact R_c de $0,5 \Omega \cdot \text{mm}$ lors du process.

Enfin, la grille Pt/Ti/Pt/Au a été déposée après un recess de 1'30, effectué à l'aide d'une solution d'acide succinique et de H_2O_2 (30/4).

Notons que le rendement technologique, une fois le process terminé, ne dépassait pas 10%, ceci pouvant être attribué au fait que l'état de surface (cross hatch) rend très délicat à la fois le résinage (problème d'adhérence, difficulté à ajuster les épaisseurs) et l'écriture au masqueur électronique de la grille directement sur le matériau (problème de rétro-diffusion).

2.2.1 La caractérisation statique

La caractérisation statique des composants $2 \times 50 \mu\text{m}$ est résumée dans le tableau 15. Le réseau de caractéristiques I-V (fig. 11) montre un courant de saturation de 450 mA/mm à $V_{gs} = +0,6\text{V}$ et le réseau $G_m(V_{gs})$ (fig.11) montre un maximum de 470 mS/mm à $V_{gs} = -0,3\text{V}$. Le transistor possède une tension de pincement de $-1,2 \text{ V}$.



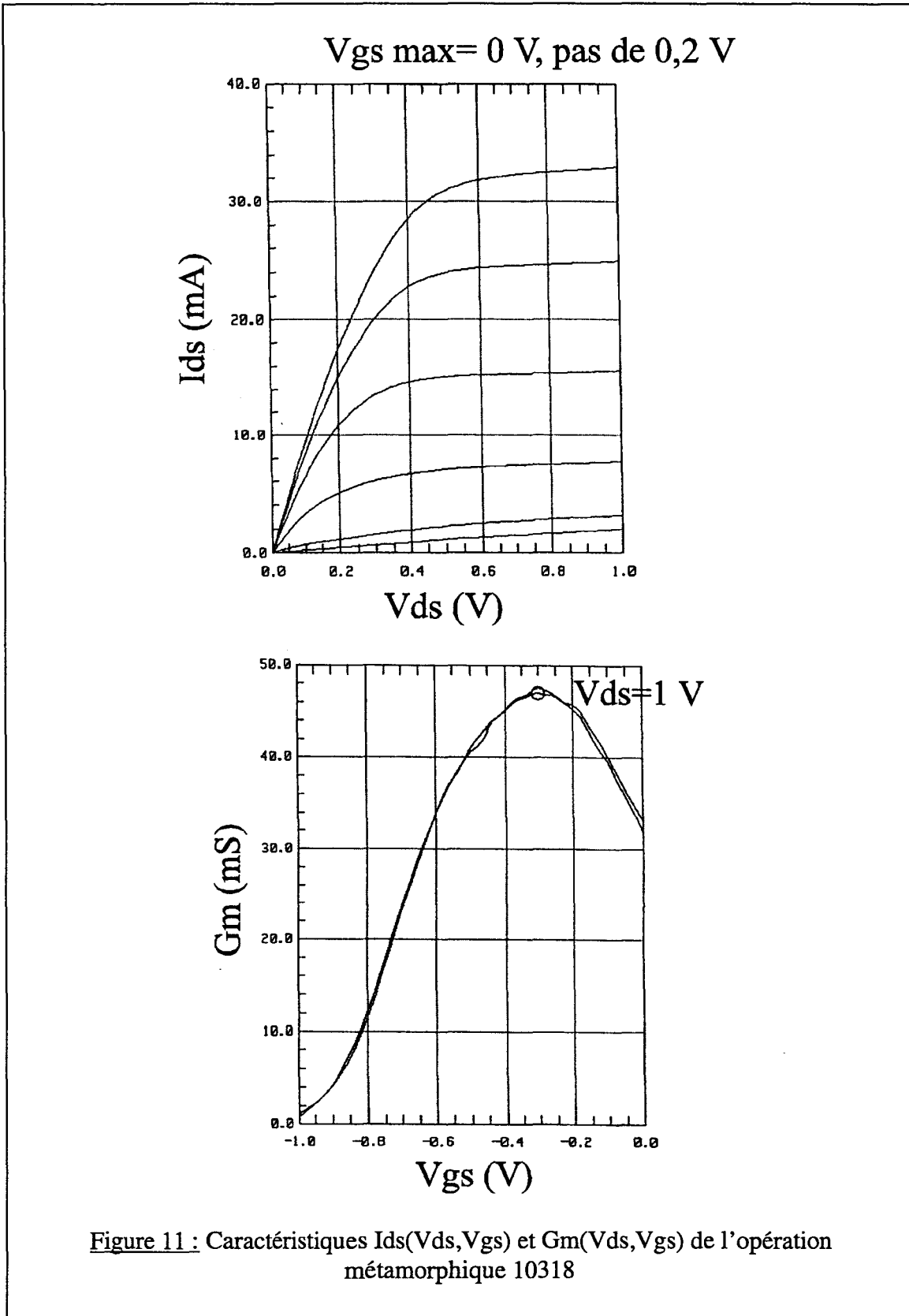


Figure 11 : Caractéristiques $I_{ds}(V_{ds}, V_{gs})$ et $G_m(V_{ds}, V_{gs})$ de l'opération métamorphique 10318

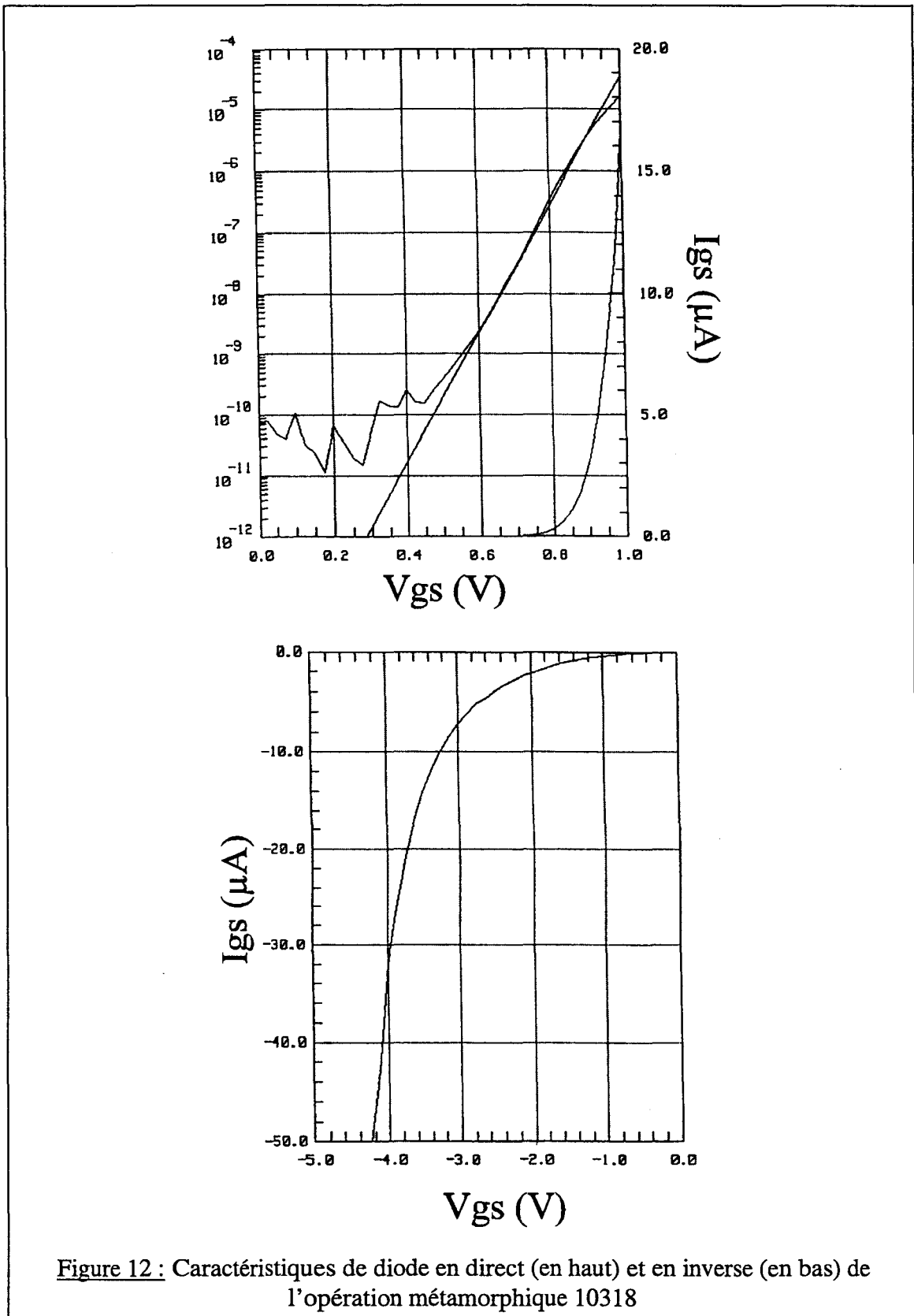


Figure 12 : Caractéristiques de diode en direct (en haut) et en inverse (en bas) de l'opération métamorphe 10318

I_{ds} (mA/mm)	V_p (V)	G_m max. (mS/mm)	V_{br} g-s (V)	V_{br} g-d (V)	V_{br} on (V)	V_b (V) η
450	-1,2	450	-5	-5	X	0,77 1,7

Tableau 15 : Caractéristiques statiques d'un transistor 10318 2x50 μ m

La caractérisation de la grille a montré :

- en direct : une tension de built-in de 0,77 V et un facteur d'idéalité de 1,7 (fig. 12)
- en inverse : une tension de claquage en configuration diode d'environ 5 V en grille-drain et en grille-source (fig. 12)

Le relevé du courant de grille en fonction de V_{gs} en configuration diode laisse apparaître un courant de grille non nul dès les faibles tensions.

La mesure du courant de grille en fonctionnement transistor (fig. 13) ne laisse pas apparaître de courant de grille dû à l'ionisation jusqu'à 2 V.

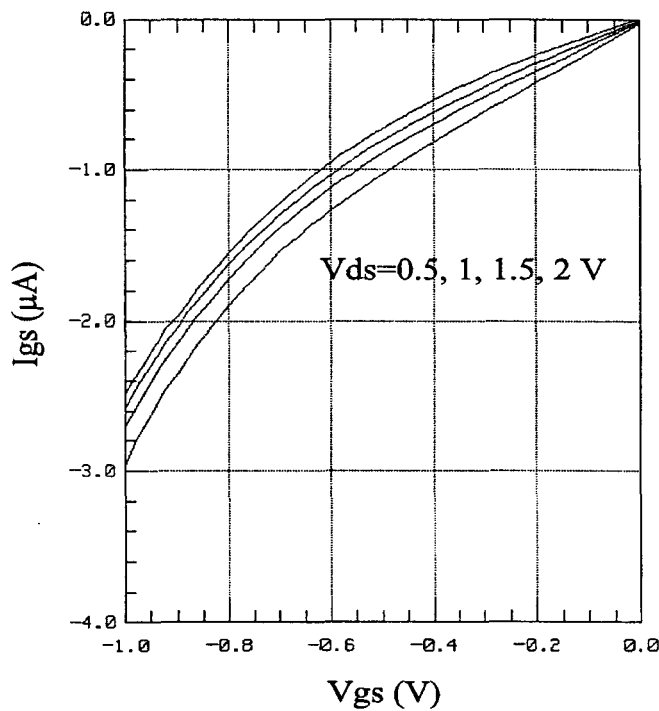


Figure 13 : Relevé du courant de grille $I_{gs}(V_{gs}, V_{ds})$ (fonctionnement transistor)

2.2.2 La caractérisation hyperfréquence

Les performances des transistors à $V_{ds}=1V$ et $V_{gs}=-0,5V$ (polarisation de grille où le MAG est maximum) ont été mesurées jusque 75 GHz. Il en résulte les performances en fréquence suivantes :

Ft (GHz)	Fmag (GHz)	Fmax (GHz)
66	130	165

avec un gain MAG à 60 GHz de 6,1 dB.

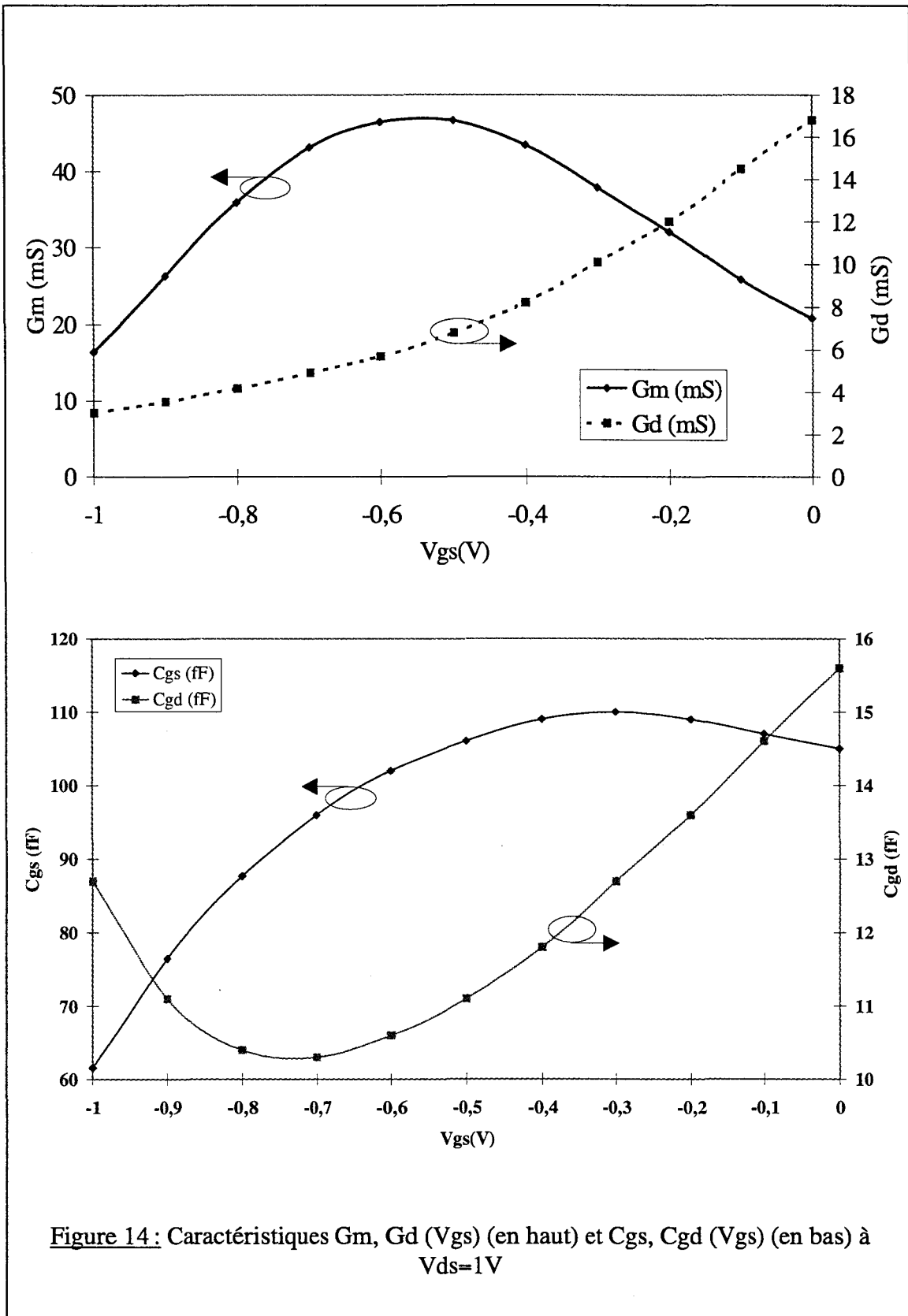
La mesure des paramètres S_{ij} à $V_{ds}=1V$ a permis de déterminer les éléments du schéma équivalent petit signal. Les évolutions des principaux éléments en fonction de V_{gs} sont représentés sur la figure 14.

Nous observons un maximum de transconductance de 470 mS/mm et une conductance de sortie correspondante de 68 mS/mm. Nous obtenons alors des rapports $\frac{G_m}{G_d}$ et $\frac{C_{gs}}{C_{gd}}$ de 6,8 et 9,5 respectivement. Avec une capacité C_{gs} de 1,06 pF/mm, nous obtenons pour ce point de polarisation, une fréquence de coupure intrinsèque F_c de 73 GHz.

2.3 Conclusion

La caractérisation de la couche a donné des résultats peu encourageant quant à la résistance carré ou bien à la mobilité et la densité des porteurs dans le canal. A la vue des performances obtenues pour les composants réalisés sur cette couche, il semble que la technologie doit encore être améliorée. En effet, la qualité de l'épitaxie et la technologie utilisée sont toutes deux responsables des médiocres résultats obtenus. Les potentialités de la filière ne sont que très partiellement exploitées. La tension de pincement des composants coïncide avec la valeur déterminée par le calcul théorique (à 0,1 V près). De plus la qualité du contact Schottky (V_b et η) est comparable au meilleurs résultats publiés [4].

Concernant la tenue en tension des composants, les valeurs obtenues sont, pour une première approche de la filière, déjà satisfaisantes malgré les fuites du buffer. Ceci a été rendu possible grâce aux premières améliorations technologiques (cap layer déserté et sous-gravure du canal). Il en est de même pour les résultats obtenus en hyperfréquence et plus particulièrement les gains.



CONCLUSION

Dans la première partie de ce chapitre, nous avons mis en application certains aspects technologiques relatifs à la configuration du fossé de grille ou à la technologie de celle-ci pour tenter de pousser le plus haut possible en fréquence les performances en puissance des différents composants sur substrat GaAs existant actuellement. Des études systématiques similaires à celles menées pour la filière InP, ont permis de tirer les mêmes conclusions (diminution des performances en puissance pour les transistors à fossé de grille élargi.....).

Nous avons également pu constater que, comme nous l'avions prédit dans le premier chapitre, le transistor pseudomorphique monocanal reste le composant de choix pour l'amplification de puissance jusqu'à des fréquences très élevées. Cependant, notre étude sur les structures de transistors multipuits a permis de mettre en évidence la possibilité d'utiliser également ce type de transistor pour l'amplification de puissance millimétrique. Par ailleurs, ce type de structure a démontré une excellente linéarité du gain.

Dans la deuxième partie de ce chapitre, nous avons présenté une première tentative de ce qui semble être une alternative possible pour la puissance en millimétrique, à savoir la filière Métamorphique sur substrat GaAs. Nous avons présenté une étude théorique concernant la mise au point de structures de couche ainsi que la réalisation et les résultats d'un transistor de cette filière. Si les résultats se sont avérés inférieurs à ceux obtenus pour les transistors des filières pseudomorphiques sur substrat GaAs ou substrat InP, ceux-ci sont néanmoins encourageants. Cependant, l'exploitation des potentialités réelles de ce nouveau type de transistor passe par une maîtrise des techniques de croissance que nous n'avons pas encore lorsque cette tentative a été faite et qui demande une étude très approfondie.

Bibliographie

[1] J.HEDOIRE

'Simulation hydrodynamique bidimensionnelle de transistors de type HEMT pseudomorphique. Analyse physique et optimisation pour l'amplification de puissance hyperfréquence'

Thèse d'Université, Juillet 1997, Lille

[2] C.GAQUIERE et al.

'Analysis of the Source Inductance Effect on the Power Performance of High Development HEMT's in the Ka Band'

IEEE Microwave and Guided Wave Lett., 5(8), pp. 243-255, 1995

[3] E.BOURCIER

Thèse d'Université à paraître, Lille

[4] P.WIN et al.

'Metamorphic InGaAs/InAlAs Layer on GaAs : A new Structure for High Performance High Electron Mobility Transistor Realization'

Appl. Phys. Lett. 61(8), 24 August 1992

[5] N.C.TIEN et al.

'Unstrained Modulation-Doped, InAlAs/InGaAs Field-Effect Transistor Grown on GaAs Substrate'

IEEE Elect. Dev. Lett., Vol. 13, No. 12, Dec. 1992

[6] J.I.CHYI et al.

'Characteristics of InGaAs/InAlAs Heterostructures Grown on GaAs Using InAlAs Buffers'

Jpn. J. Appl. Phys. Vol. 33 (1194) pp. 1574-1576

[7] N.RORSMAN et al.

'DC and Rf Performance of 0.15 μ m Gate Length InAlAs/InGaAs HFETs on GaAs Substrate'

Electronics Letters, 20th July 1995, Vol. 31, No. 15

[8] P.WIN et al.

'Microwave Performance of 0.4 μ m Gate Metamorphic InAlAs/InGaAs HEMT on GaAs Substrate

Electronics Letters, 21st January 1993, Vol. 29, No. 2

[9] H.FOURRE

'Réalisation et Caractérisation de Transistors à Effet de Champ à Hétérojonction de la Filière AlInAs/GaInAs pour applications en ondes millimétriques'

Thèse d'Université, Février 1997, Lille

Conclusion générale

L'objectif de ce travail était d'étudier les transistors de type HEMT sur substrat GaAs et InP pour l'amplification de puissance en gamme millimétrique. Ce travail s'est intégré dans le cadre de deux contrats DRET portant sur la réalisation dans la filière GaAs d'un amplificateur de puissance de classe B capable de délivrer 1 Watt à 26 GHz et sur la réalisation dans la filière InP d'un amplificateur de puissance à 60 GHz capable de délivrer 200 mW.

Dans la première partie de cet ouvrage, nous avons dressé un inventaire des différentes filières de transistors à effet de champ en insistant sur les spécificités de chacune d'elles, et les principaux résultats auxquels elles avaient permis d'aboutir. De la même façon, nous avons établi une liste détaillée des matériaux et des familles de transistors concurrents aux TECs conventionnels. La présentation des différentes méthodes de caractérisation des composants utilisées pour notre travail nous a permis de dégager les critères et les grandeurs de référence que nous avons employés par la suite. Enfin, un état de l'art des performances des transistors discrets dédiés à l'amplification de puissance nous a permis de situer les filières que nous avons étudiées par la suite, et de donner des repères pour l'évaluation des résultats de nos réalisations.

Dans le deuxième chapitre, nous avons commencé par présenter les différentes possibilités offertes pour chacune des étapes technologiques nécessaires à la réalisation de transistors, puis des étapes spécifiques à la réalisation des transistors à grand développement de grille. Enfin, nous avons présenté en détail chaque étape technologique de la filière GaAs et les études d'optimisation des étapes de la filière InP et métamorphique sur GaAs. Nous avons abouti à un procédé de réalisation utilisant pour les filières InP et métamorphique, la gravure chimique pour l'isolation (solution à base d' H_3PO_4) et pour la gravure du fossé de grille (solution à base d'acide succinique). La solution utilisée pour la gravure du fossé de grille (gravure de la couche GaInAs) a la particularité d'être très sélective par rapport au matériau AlInAs et permet de ce fait une sous gravure latérale du fossé de grille. Pour les contacts ohmiques, notre choix s'est fixé sur les dépôts Ni/Ge/Au/Ni/Au pour la filière InP et Ge/Au/Ni/Au pour la filière métamorphique. Dans les deux cas, des contacts ohmiques présentant une résistance de 0,1 à 0,15 Ω .mm ont pu être obtenus. La technologie de grille a été fixée à une métallisation Pt/Ti/Pt/Au et une lithographie électronique utilisant la technique des trois couches de résine avec des longueurs de pied de grille de 0,25 ou 0,15 μm .

Le troisième chapitre a été consacré à l'étude approfondie de la filière InP. Après avoir passé en revue les mécanismes physiques et les effets limitatifs intervenants dans l'utilisation de cette filière en amplification grand signal, nous avons commencé notre étude pratique. Dans le but d'accroître la densité de courant et/ou la tenue en tension des transistors, nous avons orienté nos investigations vers la zone active (épitaxie) et les paramètres technologiques. La réalisation d'un transistor avec une épitaxie à un plan de dopage a servi de référence pour la suite de notre travail. Pour permettre d'améliorer la tenue en tension des transistors, nous avons effectué une étude spécifique de la configuration du fossé de grille. Nous avons réalisé des transistors avec des fossés de grille asymétriques ou symétriques et anti-fossé du côté drain. Les fossés symétriques et asymétriques ayant des longueurs variables, nous avons pu quantifier leurs effets sur les différents paramètres électriques des transistors,

qu'ils soient statiques ou dynamiques. Dans le même but, nous avons entrepris une étude de structures comportant de l'AlInAs riche en aluminium, en volume ou localement à l'aide de barrières d'AlAs. Les deux structures étudiées ont montré des résultats très marquants sur la tenue en tension. Pour permettre d'améliorer la densité de courant, nous avons réalisé des composants sur des épitaxies comportant deux plans de dopage. Plusieurs combinaisons de charge des plans de dopage ont été étudiées afin de voir l'augmentation du courant apportée et les dégradations de la tenue en tension et des caractéristiques dynamiques.

Au fur et à mesure de l'avancement de ces réalisations, nous avons mis en évidence certains phénomènes. Le premier concerne le décalage de la tension de pincement, bien que la gravure du fossé de grille ne puisse être remise en cause. Ensuite, nos études ont révélé un phénomène d'oscillation, pouvant être plus ou moins important selon la configuration du fossé de grille. Enfin, pour tous les transistors et malgré les parades employées pour repousser la tenue en tension, nous avons observé un claquage prématuré des composants alors que les limites du courant de grille n'étaient pas atteintes.

La caractérisation en puissance des différents transistors a mis en évidence l'inutilité des fossés de grille élargis ainsi que le faible avantage apporté par les matériaux à fort taux d'aluminium. Ainsi, les densités de puissance les plus élevées (à ce stade de notre travail) ont été obtenues avec les structures à deux plans de dopage.

Pour terminer l'étude de la filière InP, nous avons imaginé deux structures de transistors permettant de bénéficier de toutes les améliorations possibles. Nous avons réalisé d'une part, des transistors à un plan de dopage avec une barrière et un canal à faible taux d'indium et d'autre part, des transistors à deux plans de dopage avec une barrière à fort taux d'aluminium et un canal à fort taux d'indium. Cette dernière structure a permis d'obtenir une puissance de sortie de 360 mW/mm à 60 GHz, égalant de ce fait l'état de l'art mondial. Ce résultat a mis en évidence que la disponibilité d'un fort courant et d'une tenue en tension d'au moins quelques Volts est le meilleur choix pour obtenir d'un transistor de bons niveaux de puissance en millimétrique.

Le quatrième chapitre, a traité des filières sur substrat GaAs. Nous avons commencé notre travail par la réalisation d'un transistor monocanal pseudomorphique à deux plans de dopage. Cette réalisation nous a servi de référence pour mettre au point une technologie optimisée que nous avons appliquée non seulement au transistor monocanal pseudomorphique, mais aussi à des transistors double canal. Dans le premier cas, l'optimisation du procédé technologique nous a permis d'obtenir un accroissement des performances. Dans le deuxième cas, nous avons pu montrer que si les structures à deux canaux ne présentent pas des performances en fréquence et en puissance supérieures à celles des structures monocanal, elles présentent l'atout considérable d'une remarquable linéarité. Enfin, notre étude de la filière métamorphique sur substrat GaAs s'est concrétisée par une première tentative d'un transistor sur une épitaxie à un plan de dopage. La qualité de l'épitaxie à notre disposition (la croissance étant reconnue comme le point critique du développement de cette filière) ne nous a pas permis d'exploiter au mieux les potentialités de cette nouvelle famille de transistors. Cependant, le résultat obtenu pour les tensions de claquage, à configuration de fossé de grille identique, a montré des valeurs supérieures à celles des transistors adaptés en maille sur InP.

Des trois filières étudiées, il paraît encore difficile d'en dégager une plus particulièrement pour les applications de puissance en gamme millimétrique. En effet, la filière pseudomorphique sur GaAs permet d'obtenir les densités de puissance les plus élevées, mais la filière InP permet quant à elle d'obtenir les gains les plus élevés.

Aussi, nous pourrions être tentés de choisir la filière pseudomorphique pour les applications allant jusqu'aux bandes K (40 GHz) et la filière InP au delà. Mais si la filière pseudomorphique semble proche de ses limites, il n'en est pas de même pour la filière InP. Certains phénomènes, que nous avons observés, en particulier le claquage inopiné à canal ouvert restent encore à élucider et nous pouvons penser que la résolution de ces problèmes permettra une exploitation optimale de la filière. Enfin, la filière métamorphique nécessite un soutien de la part de nos spécialistes de l'épitaxie afin de permettre à cette filière le développement qu'elle mérite tant elle semble un excellent compromis entre les filières GaAs et InP. Enfin, il faut aussi compter avec les possibilités nouvelles, qui restent de l'utilisation des matériaux phosphorés (grand gap) sur substrat GaAs.

