

N° d'ordre : 2421

THESE

Présentée à l'Université des Sciences et Technologies de Lille

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE
Spécialité : ELECTRONIQUE

par

Virginie HOEL

Conception, réalisation et caractérisation de transistors à effet de champ à hétérojonction sur substrat d'InP pour circuits intégrés coplanaires en bandes V et W

Soutenue le 17 Décembre 1998 devant la commission d'examen

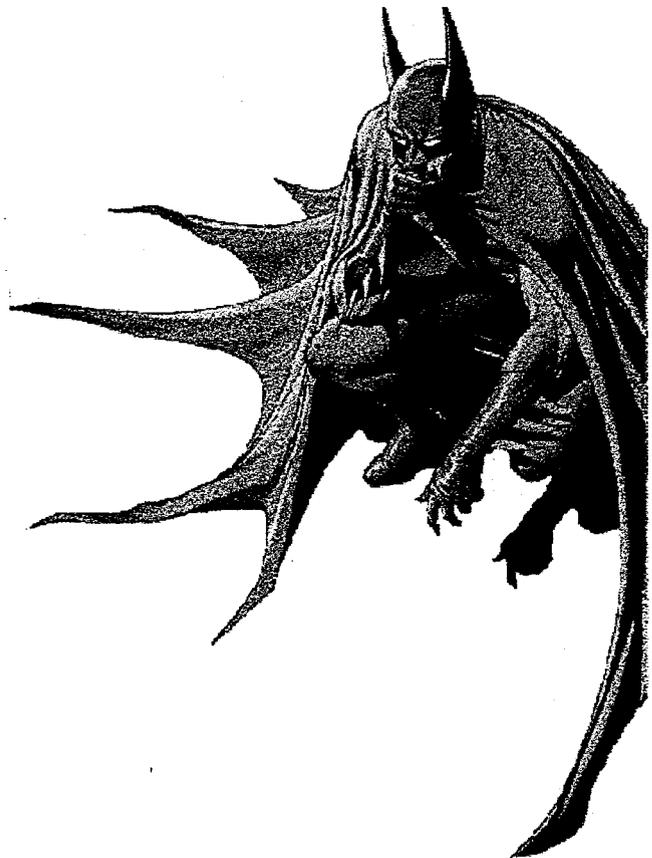
Membres du jury :

Mr E. CONSTANT
Mr J.M. DUMAS
Mr J.L. PELOUARD
Mr A. CAPPY
Mr R. FAUQUEMBERGUE
Mr R. FUNK
Mr F. GARAT
Mr L. MALIER

Président du jury
Rapporteur
Rapporteur
Directeur de thèse
Examineur
Examineur
Examineur
Examineur



*C'est à partir de l'intrigante ressemblance entre le masque de BATMAN
et la topologie de l'accès de grille du transistor en II
que tout a commencé...*



Ce travail a été réalisé à l'Institut d'Electronique et de Microélectronique du Nord (IEMN) dirigé par Monsieur le professeur G. SALMER.

Je remercie Monsieur E. CONSTANT, Professeur à l'Université des Sciences et Technologies de Lille et ancien directeur de l'IEMN, de m'avoir accueilli dans son laboratoire et de me faire l'honneur de présider la commission d'examen.

J'exprime toute ma reconnaissance et ma sympathie à Monsieur A. CAPPY, Professeur à l'Université des Sciences et Technologies de Lille et directeur de l'équipe « Composants Actifs Microondes » qui a dirigé ce travail. L'aide constante et les conseils qu'il m'a prodigués pendant cette étude m'ont permis de la mener à bien.

Je remercie sincèrement Monsieur J.M DUMAS, Professeur à l'Ecole Nationale Supérieure d'Ingénieurs de Limoges, ainsi que Monsieur J.L. PELOUARD, directeur de recherche au Laboratoire de Microstructures et de Microélectronique de Bagnex, pour l'honneur qu'ils me font d'avoir accepté d'être rapporteurs de ce travail.

J'adresse mes plus vifs remerciements à Monsieur R. FAUQUEMBERGUE, Professeur à l'Université des Sciences et Technologies de Lille pour avoir accepté de juger ce travail au sein de la commission d'examen.

Je remercie également Monsieur R. FUNK, Ingénieur chez Dassault Electronique à la division « Hyperfréquences » et Monsieur F. GARAT, Ingénieur à l'Agence Spatiale Européenne, qui me font l'honneur de participer à la commission d'examen et de juger ce travail.

Je remercie Monsieur L. MALIER, Ingénieur à la Délégation Générale des Armements pour l'intérêt qu'il porte à ce travail en acceptant de participer à ce jury de thèse. Je remercie également la Délégation Générale des Armements pour avoir soutenu financièrement ce travail.

Je souhaite, par ailleurs, remercier sincèrement tous les membres de l'équipe « Composants Actifs Microondes » pour leur contribution au bon déroulement de mon travail pendant ces trois années de thèse : Sylvain BOLLAERT, François DANNEVILLE, Gilles

DAMBRINE, et Henry HAPPY, sans oublier Beaudouin, François François, Gonzague, Hervé, JMB, Matthieu, Sam, Thierry...

Je remercie X. WALLART ainsi que l'ensemble des membres de la centrale d'épitaxie pour le travail fourni en MBE.

Je tiens également à associer à ce travail tous les membres de la Centrale de Technologie Christophe BOYAVAL, Annie FATTORINI, Marc FRANÇOIS, Bertrand GRIMBERT, Patricia LEGRY, André LEROY, Michel MULLER, Pascal TILMANT et Didier VANDERMOËRE et ceux de la Centrale de Caractérisation Elisabeth DELOS et Sylvie LEPILLIET pour leur aide et leurs compétences. Je tiens à les remercier vivement pour le soutien moral qu'ils m'ont apporté lorsque rien ne fonctionnait comme prévu.

Je remercie Jean-Pierre DEHORTER pour avoir assuré avec soin la reproduction de ce manuscrit.

Je remercie Pierre ARMANT pour son dévouement.

J'adresse enfin un MERCI tout particulier à Beb, Dédé, Marc et Mimi (alias Michel), Pascal, VD, Christophe, Michel Fryziel, Pascal Delemotte, A. Kokuko, Petite Dame, Katy, et encore Hervé, François François, Nancy, Jérôme, PAF, Ian, Vincenzo, Bob, JP, Cathy, Sophie, Sami, John, Frédéric, JMB, Steph1, Steph2, Steph3, Kiki, Mohammed, Alain Alain, Romain, Javier, Beaudoin, Miloud, Katir, et tous les autres ... qui, par l'intérêt qu'ils ont porté à ce travail au cours de discussions nombreuses et diverses ou simplement par leur sympathie, ont contribué à l'avancement de ce travail.

Introduction générale

Chapitre I : Introduction au HEMT	1
I.1. Principe de fonctionnement du HEMT	1
I.1.1 Le transistor MESFET	1
I.1.2 Le transistor HEMT	3
I.2. Les différents types de HEMT	7
I.2.1 Le HEMT Conventionnel	7
I.2.2 Le HEMT Pseudomorphique sur GaAs	9
I.2.3 Le HEMT Adapté en maille sur InP	11
I.2.4 Le HEMT Pseudomorphique sur InP	13
I.2.5 Le HEMT Métamorphique	14
I.2.6 Quelques résultats sur la filière Métamorphique	16
I.2.6.1 Le logiciel HELENA	16
I.2.6.2 Les résultats de simulation en filière Métamorphique	18
a) comparaison des différentes filières métamorphiques (Lg=0.25µm)	18
b) la filière métamorphique à 40% d'indium (Lg=0.1µm)	22
I.2.6.3 La réalisation de composant en filière Métamorphique	23
I.3. Etat de l'art	25
I.4. Application faible bruit - faible signal	29
I.4.1 La structure de l'hétérojonction	29
I.4.2 Le schéma équivalent petit signal	32
I.4.3 Les performances fréquentielles	35
I.4.4 Les performances en bruit	37
I.4.5 Applications faible signal - faible bruit	41
I.5. Conclusion	48
Bibliographie Chapitre 1	49

Chapitre II : La technologie du transistor à grille nitrure 55

II.1. Conception et réalisation de masques transistors	56
II.1.1 Conception du nouveau masque	56
a) le masque TU	56
b) le cahier des charges	57
II.1.2 Le logiciel de dessin: WAVEMAKER	59
II.1.3 Le masque BATMAN	60
a) La description du masque	60
b) La cellule élémentaire transistor	61
c) La cellule de test	62
d) Les niveaux de masque BATMAN	64
d1) dépôt simultané : marques d'alignement et contacts ohmiques	65
d2) réalisation séquentielle: marques d'alignement-isolation- contacts ohmiques	65
d3) Les masques pour réaliser la grille	69
e) Conclusion	69

II.1.4 La topologie transistor	70
1) le transistor en T	70
2) le transistor en Π	72
II.1.5 Résultats	73
II.1.6 Le masque 4AS	75
II.1.7 Les capacités parasites des différents masques	80
II.2. Présentation des étapes technologiques	82
II.2.1 Les étapes avant la réalisation de la grille	84
II.2.1.1 Le dépôt des marques	84
II.2.1.2 L'isolation	85
II.2.1.3 Les contacts ohmiques	88
II.2.1.4 Le dépôt du nitrure	89
II.2.1.5 Les plots d'épaississement	90
II.2.2 Les étapes pour la réalisation de la grille	91
II.2.2.1 Le procédé à base de résines multicouches	92
II.2.2.2 Le procédé à base de nitrure	92
II.2.3 Optimisation des étapes de grille dans le cadre de la technologie nitrure	95
A) première phase d'optimisation : l'ouverture du pied de grille	95
A-1) Optimisation du résinage du pied de grille	96
A-2) Optimisation de l'ouverture du nitrure	100
B) deuxième phase d'optimisation : l'ouverture du haut de grille	110
C) le résultat des deux premières optimisations	113
D) troisième phase d'optimisation : la gravure du fossé de grille	114
E) quatrième phase d'optimisation : le contact Schottky	117
F) le résultat de l'optimisation	123
G) cinquième phase d'optimisation: la dénitruration	124
1) la gravure isotrope	124
2) la gravure anisotrope	128
II.3. Conclusion	130
Détail du procédé de fabrication des HEMTs en technologie nitrure	131
Bibliographie Chapitre 2	139

Chapitre III: Caractérisation des transistors HEMTs à grille nitrure —143

III.1. Comparaison des performances obtenues pour les transistors en T et en Π du numéro d'opération 10248	145
III.1.1 La caractérisation statique	146
III.1.2 La caractérisation hyperfréquence : gain et schéma équivalent	148
a) Gain - Fréquence de transition	148
b) Eléments du schéma équivalent	148
III.1.3 Conclusion	150
III.2. Comparaison des performances des transistors en Π : début et fin d'optimisation du procédé de réalisation.	151
III.2.1 La caractérisation statique	151
III.2.2 La caractérisation hyperfréquence : le schéma équivalent	152
III.2.3 Conclusion	153
III.3. Les performances des transistors en Π par rapport aux objectifs fixés	154
III.3.1 La caractérisation statique	154
III.3.2 La caractérisation hyperfréquence : le schéma équivalent	157

III.3.3 La caractérisation hyperfréquence : gains et fréquences de transition	162
III.3.4 Conclusion	163
III.4. La détermination de la fréquence maximale d'oscillations	164
III.5. Evolution des capacités parasites en fonction de la largeur de grille	168
III.6. Influence de la dénitruration sur les performances du transistor	172
III.5.1. Influence de la dénitruration isotrope à l'aide du SF ₆	172
III.5.2. Influence de la dénitruration anisotrope à l'aide du CF ₄	178
III.7. Influence de la passivation sur les performances du transistor	180
III.8. Les performances en bruit microonde et en bande W	183
III.9. Effet de la conduction parasite dans la couche tampon due à la contamination des substrats « prêts à l'emploi »	187
Conclusion	189
Bibliographie chapitre 3	190
<u>Conclusion générale</u>	191
<u>Perspectives</u>	194
Annexe	210

INTRODUCTION

GENERALE

INTRODUCTION GENERALE

Les premières observations électrostatiques et magnétostatiques dont nous soyons sûrs datent du VI^{er} siècle avant JC : l'ambre frotté (en grec « electron ») attire les corps légers, la magnétite ou pierre d'aimant provenant de Magnésie (ancienne région de Thésalie en Grèce) attire le fer. La science de l'électricité s'est peu à peu constituée à partir de simples observations des phénomènes de la nature. La possibilité de produire à volonté de l'électricité fut acquise seulement au XVII^e siècle. Au XVIII^e siècle, l'expérimentation est suffisamment développée pour que l'on puisse échafauder les premières théories. Par des expériences et des mesures de plus en plus précises, on passe du qualitatif au quantitatif. En 1800, la découverte de la pile par Volta permet d'obtenir des courants électriques pendant de longues durées. A partir de ces travaux, de grands scientifiques tels que Ampère, Coulomb, Faraday, Gauss, Henry, Kirchoff, Maxwell, et Ohm ont contribué à l'évolution du génie électrique.

L'âge de l'électronique des semiconducteurs commença avec la fabrication du premier transistor à pointe par William Shockley, John Bardeen, et Walter Brattain en 1948. Cette découverte a révolutionné le monde de l'électronique. Depuis cette date, les chercheurs travaillent à l'amélioration des performances des transistors afin de répondre aux besoins de chaque nouvelle application. La fréquence de travail de ces composants ne cesse de croître. Celles-ci nécessitent le traitement de signaux à des fréquences bien supérieures au GHz.

D'importantes recherches, axées sur la croissance de matériaux semiconducteurs offrant de bonnes propriétés de transport électronique, ont permis en 1966 de réaliser le premier MESFET (MEtal Semiconducteur Field Effect Transistor) à base de matériau III-V. Mettant à profit les propriétés de transport électronique de l'Arséniure de Gallium (GaAs), les MESFETs ont permis de répondre aux besoins d'applications jusqu'à des fréquences de l'ordre de 30 GHz.

Les progrès réalisés dans la croissance des matériaux semiconducteurs par épitaxie par jets moléculaires et par MOCVD et la volonté de surmonter les limitations fondamentales du MESFET GaAs ont conduit au développement des structures HEMTs (High Electron Mobility Transistor). Le premier HEMT est réalisé en 1980 par Fujitsu et par THOMSON-CSF. Basées sur la croissance d'hétérojonctions à modulation de dopage, ces composants permettent d'atteindre des fréquences bien supérieures à 30GHz. Depuis la première structure

HEMT AlGaAs/GaAs sur substrat GaAs qui constitue la filière « conventionnelle », la recherche de performances toujours meilleures a conduit à la découverte de nouvelles filières HEMT. L'augmentation de la fréquence de coupure des HEMTs passent en effet par un changement de matériaux. Ainsi, la croissance de structures contraintes AlGaAs/InGaAs sur substrat GaAs, encore appelées « pseudomorphiques », permet d'obtenir une plus grande discontinuité de bande de conduction et de meilleures propriétés de transport.

Cependant, l'encombrement spectral important et l'arrivée de nombreuses applications nouvelles nécessitent le développement de composants performants fonctionnant à des fréquences supérieures à 30GHz. Pour ces applications telles que la réception satellite, la communication sans fil, les communications entre véhicules et le radar anti-collision automobile, il faut réaliser des circuits intégrés monolithiques performants travaillant en bande V (50-75 GHz) et W (75-110 GHz). La technologie MMIC (Monolithic Microwave Integrated Circuit) permet de réaliser des circuits intégrés compacts et performants.

Par ailleurs, l'utilisation de l'InP comme substrat a permis le développement des filières adaptées en maille sur InP ($\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{0.47}\text{In}_{0.53}\text{As}/\text{InP}$) ou pseudomorphiques sur InP ($\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{GaIn}_{x>0.53}\text{As}/\text{InP}$). Les résultats obtenus avec ces filières constituent aujourd'hui l'état de l'art en terme de fréquence de coupure et de facteur de bruit en gamme d'ondes millimétriques.

Afin de répondre à ces nouveaux besoins et de profiter de ces avancées technologiques, nous avons souhaité réaliser des circuits amplificateurs faible bruit 2 étages performants sur substrat d'InP travaillant en bande V et W. Les circuits sont réalisés en technologie coplanaire. Cette technologie est plus simple à mettre en œuvre que la technologie micro-ruban qui nécessite l'amincissement du substrat et la réalisation de trous métallisés. Pour réaliser ces circuits amplificateurs, nous devons concevoir et réaliser des transistors HEMTs performants dans ces gammes de fréquences. Ces composants sont adaptés en maille sur substrat d'InP et réalisés en technologie coplanaire. Ceci doit permettre une bonne intégration du composant dans le circuit.

Notre objectif est donc la maîtrise d'une technologie reproductible et à haut rendement conduisant à la réalisation de HEMTs performants, conditions nécessaires pour réaliser des circuits intégrés monolithiques en technologie coplanaire. La technologie choisie pour réaliser

le pied de grille de $0.1\mu\text{m}$ est de type nitrure. Le pied de grille est inséré dans une couche de nitrure de 800\AA qui recouvre toute la structure et qui soutient le chapeau de grille.

Le travail présenté dans ce mémoire traite de la conception, de la réalisation et de la caractérisation de transistors à effet de champ à hétérojonction AlInAs/GaInAs adaptée en maille sur substrat d' InP . Il a été soutenu financièrement par la DGA (Délégation Générale de l'Armement) et a fait l'objet d'une collaboration avec la société Dassault Electronique.

Le premier chapitre traite du principe de fonctionnement du transistor HEMT et des différentes filières qui le composent. Pour ce faire, un état de l'art permet de comparer les performances hyperfréquences obtenues par ces différentes structures HEMT. Les paramètres technologiques qui influencent les caractéristiques statiques et hyperfréquences du composant sont également étudiés.

Le second chapitre traite de la conception et de l'optimisation des motifs transistors pour obtenir des transistors performants s'intégrant dans un circuit en technologie coplanaire. Ce travail a nécessité la création de deux masques nommés respectivement BATMAN et 4AS. Nous décrivons également dans ce chapitre l'ensemble du procédé de fabrication en technologie nitrure utilisé pour réaliser les transistors HEMTs de longueur de grille $0.1\mu\text{m}$. Les différentes étapes technologiques qu'il a fallu optimiser pour obtenir un procédé de fabrication reproductible et à haut rendement sont présentées. Les paramètres de la technologie optimisée sont donnés à la fin du chapitre.

Le troisième chapitre présente l'ensemble des performances statiques, hyperfréquences et en bruit des transistors HEMTs en technologie nitrure que nous avons réalisé au laboratoire. Le but de ce chapitre est d'utiliser les résultats de mesure pour comprendre et optimiser le procédé de fabrication. Pour cela, nous comparons les performances des transistors réalisés à l'aide des masques BATMAN et 4AS. Les performances des transistors obtenus au début et à la fin de l'optimisation du procédé de réalisation sont étudiées. Enfin, les bonnes performances hyperfréquences et en bruit ainsi que le haut rendement obtenus à l'aide du procédé de fabrication optimisé sont présentés.

Enfin, la dernière partie de ce manuscrit est consacrée à la conclusion et aux nombreuses perspectives apportées par ce travail.

CHAPITRE 1

Chapitre I : Introduction au HEMT

C'est en 1948 que William Shockley, John Bardeen, et Walter Brattain ont réalisé le premier transistor à pointe, invention qui reçut le prix Nobel en 1956. Shockley proposa, en 1952, le premier le transistor à effet de champ à jonction ou JFET. Cependant, les premiers essais de fabrication échouèrent. Le premier JFET fut fabriqué en France par Tetzner en 1958. Les composants tels que le MESFET et le HEMT sont apparus bien plus tard. Ainsi, le premier MESFET à base de matériau III-V sur GaAs fut réalisé en 1966. Enfin, le premier HEMT est réalisé en 1980 par Fujitsu et par THOMSON-CSF. Ces découvertes, associées à la mise au point de la technologie planar en 1958 par Jean Heorni au sein de la firme Fairchild Semiconductors, sont à l'origine des circuits intégrés monolithiques connus à ce jour.

Ce chapitre traite du principe de fonctionnement du transistor HEMT et des différentes filières qui le composent. Pour ce faire, un état de l'art permet de comparer les performances hyperfréquences obtenues par ces différentes structures HEMT. Les paramètres technologiques qui influencent les caractéristiques statiques et hyperfréquences du composant sont également étudiés. Enfin, le procédé technologique qui permet d'obtenir une longueur de grille de $0.1\mu\text{m}$, nécessaire à notre application, est exposé dans le dernier paragraphe.

I.1. Principe de fonctionnement du HEMT

Les performances hyperfréquences des transistors à effet de champ ont beaucoup évolué depuis quelques années. En effet, celles du transistor HEMT se sont montrées très vite supérieures à celles du transistor MESFET et de nouvelles filières de matériau ont vu le jour.

I.1.1 Le transistor MESFET

Le MESFET (Metal Semiconductor Field Effect Transistor) est le plus ancien des transistors utilisés dans les circuits microondes de part ses performances dans la gamme de fréquence 1-10 GHz.

Son fonctionnement repose sur la modulation de la conductance d'un barreau de semiconducteur par une électrode de commande. Celle-ci, située entre les contacts de source et de drain, est appelée grille. Formée d'une jonction Schottky métal-semiconducteur, elle peut donc modifier la densité de porteurs libres ou la section efficace du barreau. Les électrons circulent dans un matériau dopé en volume, il s'agit ici de l'arséniure de gallium AsGa, (Figure 1).

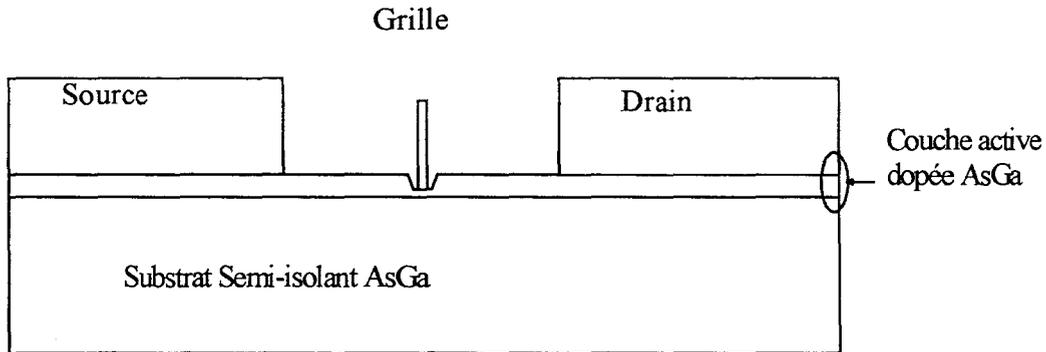


Figure 1 : Coupe schématique d'un transistor MESFET.

Pour améliorer la fréquence d'utilisation de ce composant, il est nécessaire d'augmenter sa fréquence de coupure intrinsèque F_c dont une expression approchée est donnée par :

$$F_c \approx \frac{\langle v \rangle}{2 \cdot \pi \cdot L_g^*} \quad (1)$$

où $\langle v \rangle$ est la vitesse moyenne des électrons sous la grille et L_g^* la longueur de grille effective tenant compte des effets de bord.

Il apparaît qu'une nette diminution de la longueur de grille L_g permet d'augmenter la fréquence de coupure F_c . Cependant, cette réduction doit se faire en tenant compte de la condition fixée par le rapport d'aspect [1] :

$$\frac{Lg}{a} \geq 5 \quad (2)$$

où a est l'épaisseur de la zone active. Pour accompagner la diminution de Lg , il est donc nécessaire de diminuer a . Si a diminue, il faut augmenter le dopage N_d de la couche active pour conserver la même valeur de la tension de pincement V_p :

$$V_p = V_b - \frac{q * N_d * a^2}{2 * \epsilon} \quad (3)$$

Par conséquent, si la longueur de grille diminue, il faut que le transport de charges ait lieu dans un matériau plus dopé, entraînant alors une chute de la mobilité. De ce fait, l'amélioration que doit apporter une longueur de grille plus petite est contrebalancée par la chute de la vitesse des porteurs ce qui limite les performances hyperfréquences du MESFET.

Une autre limitation est d'origine technologique. En effet, il est difficile de réaliser une bonne barrière métal – semiconducteur sur un matériau fortement dopé. Il peut y avoir un courant de grille très vite important pour des tensions élevées de polarisation inverse.

Dès lors, il faut surmonter les limitations fondamentales du MESFET. C'est ce qui a été fait à l'aide d'une nouvelle structure transistor à haute mobilité électronique présentée ci-dessous le HEMT.

1.1.2 Le transistor HEMT

Il existe plusieurs dénominations dans la littérature pour ce même composant. Il s'agit de **HEMT** (High Electron Mobility Transistor), de **HFET** (High Field Effect Transistor), de **TEGFET** (Two Dimensional Electron Gas Field Effect Transistor) et de **MODFET** (Modulation Field Effect Transistor).

Pour pallier les problèmes posés par le MESFET, la solution se trouve dans la séparation spatiale des charges mobiles et des ions qui sont les centres donneurs. Le but est de favoriser le transport des charges dans un matériau le moins dopé possible. Les porteurs bénéficient alors de meilleures propriétés de transport. Ceci est réalisable grâce à l'association de deux matériaux semiconducteurs. Le premier est un matériau

semiconducteur à grand gap fortement dopé qui fournit les porteurs. Le second est un matériau semiconducteur à petit gap non intentionnellement dopé qui les reçoit. On doit donc réaliser une hétérojonction entre les deux matériaux semiconducteurs. Celle-ci favorise, du côté du semiconducteur le moins dopé, une accumulation de charges suite à l'apparition d'un puits de potentiel. Il est caractérisé par la discontinuité de bande de conduction ΔE_c entre les 2 matériaux. Ce transfert de charges induit une zone désertée dans la couche donneuse. Les différentes charges électriques déterminent la courbure de bande de part et d'autre de l'hétérojonction [2].

La formation du puits de potentiel dans le canal et la courbure de bande sont représentées sur la figure 2.

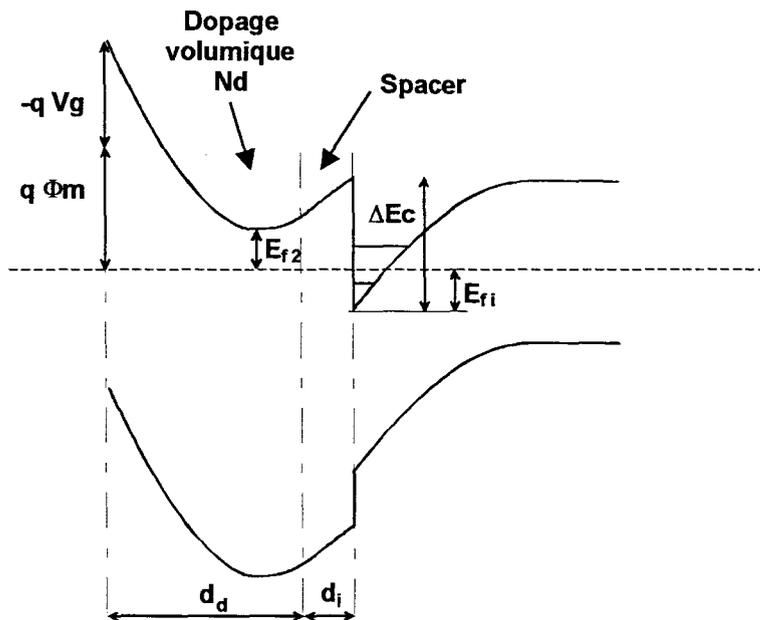


Figure 2 : Structure de bande d'une hétérojonction avec la présence d'un potentiel de grille V_g .

Pour une largeur de puits inférieure à la longueur d'onde de De Broglie, il y a apparition d'effets quantiques. Ils se manifestent par la quantification des niveaux d'énergie des électrons et par la restriction du mouvement des porteurs dans un plan parallèle à l'hétérojonction. L'accumulation des électrons dans le puits est alors appelé gaz d'électron bidimensionnel [3].

De ce fait, les porteurs sont bien séparés des donneurs et ils bénéficient d'une valeur de mobilité électronique élevée. En effet, le transport de charges a lieu dans le canal qui est formé d'un matériau non dopé.

L'ensemble de ces résultats justifie tout l'intérêt porté à la croissance de ces hétérojonctions. Celle-ci est régit par le diagramme de la figure 3. La valeur de l'énergie de bande interdite E_g y est représentée en fonction du paramètre cristallin des alliages de composés III-V.

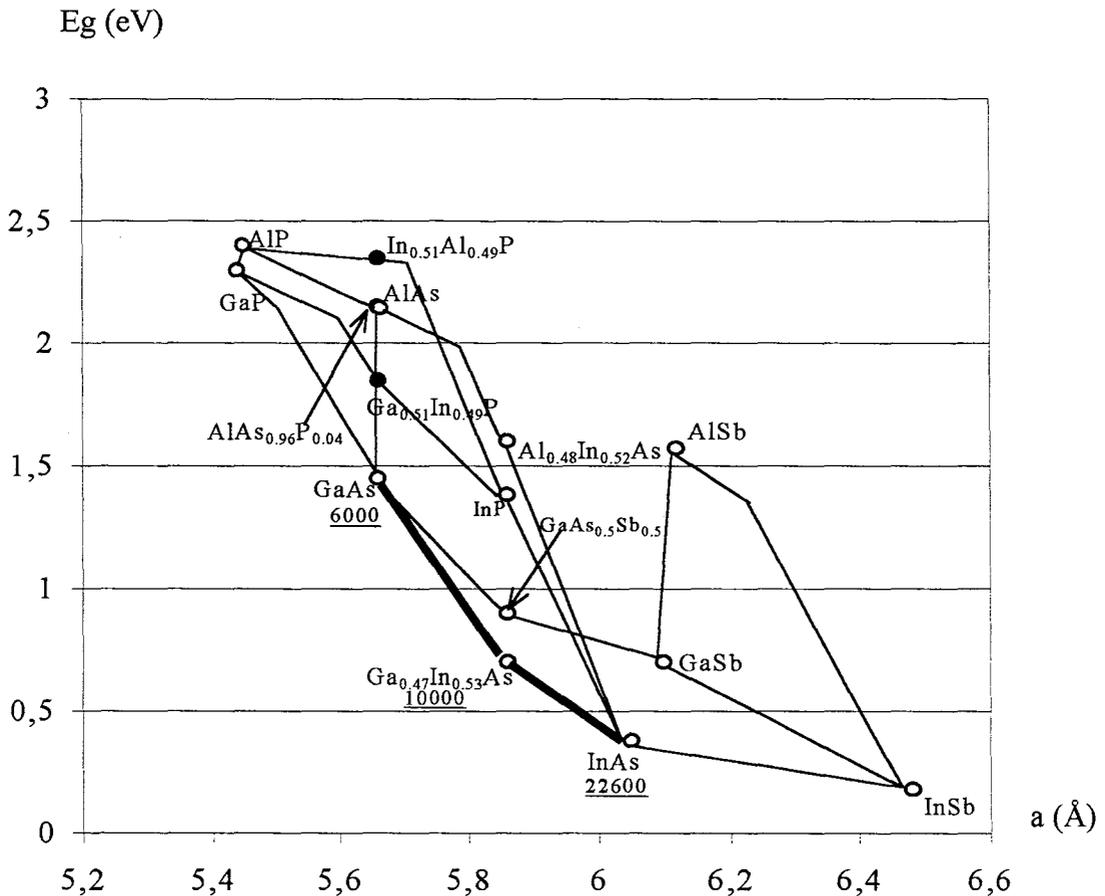


Figure 3 : Energie de bande interdite E_g en fonction du paramètre cristallin a .

La valeur de E_g pour ces alliages varie en fonction de la composition du matériau. Ainsi, cette composition fixe la valeur du paramètre de maille cristallin a . Elle impose également la différence d'énergie de bande interdite entre les deux matériaux. Par conséquent, plus cette dernière sera importante, plus la valeur de ΔE_c sera élevée et meilleurs seront les résultats en terme de densité de porteurs dans le puits.

Il faut, d'une part, optimiser la structure pour que les paramètres de l'hétérojonction présentent les meilleures propriétés de transport des charges mobiles dans le canal. D'autre part, il faut étudier les combinaisons offertes par ce diagramme pour se placer dans des conditions de croissance accessibles. Pour cela, deux configurations sont envisageables [4].

La première consiste à faire croître l'hétérojonction dans les conditions d'adaptation en maille. Dans ce cas, tous les composés III-V de la couche auront le même paramètre de maille cristalline a .

La seconde autorise la croissance d'hétérojonctions où les composés X_1 et X_2 ont respectivement des paramètres de maille a_1 et a_2 différents. La croissance du composé X_1 est réalisée dans les conditions d'adaptation en maille sur le substrat. Le matériau X_1 et le substrat forment donc une seule couche X'_1 de paramètre de maille a_1 . Le matériau X_2 doit, par déformation élastique de sa maille, adopter le paramètre a_1 de X'_1 dans le plan de croissance. La maille ainsi déformée devient tétragonale. Ces structures contraintes sont appelées structures pseudomorphiques. Le but étant d'assurer une croissance de bonne qualité, elles ne peuvent exister que si l'épaisseur du canal reste en dessous d'une épaisseur critique L_c . Cette épaisseur limite permet d'éviter les problèmes de relaxation dus à la désadaptation.

Dans ce diagramme, les nombres soulignés représentent la mobilité des électrons des matériaux binaires et ternaires en volume non intentionnellement dopés à 300K. Il faut observer que la mobilité augmente à mesure que la composition en indium du GaInAs s'accroît. Elle va de 8000 $\text{cm}^2/\text{V.s}$ pour le GaAs en passant par 10000 $\text{cm}^2/\text{V.s}$ pour le $\text{Ga}_{0.5}\text{In}_{0.5}\text{As}$ et jusqu'à 22600 $\text{cm}^2/\text{V.s}$ pour l'InAs.

Plus cette mobilité est élevée pour un matériau en volume et plus elle le sera pour celle du gaz bidimensionnel d'électrons. Le cheminement simple pour le développement du HEMT passe par l'utilisation du canal à la plus haute mobilité électronique. Ce diagramme indique donc qu'il s'agit d'augmenter le taux d'indium [5]. En effet, ceci a pour résultat des vitesses électroniques plus élevées et de meilleures performances hyperfréquences des composants.

I.2. Les différents types de HEMT

Il existe différentes filières de matériau qui permettent un fonctionnement de type HEMT. Ainsi, et cela en raison du souci toujours constant d'améliorer les performances hyperfréquences des transistors, de nouvelles hétérostructures ont vues le jour. Elles sont présentées dans les paragraphes suivants.

I.2.1 Le HEMT Conventionnel

Il s'agit du premier transistor fabriqué à partir du concept d'hétérojonction. Il est question de faire croître deux couches sur un substrat semi-isolant d'AsGa. Il s'agit d'une couche d'arséniure de gallium intrinsèque (petit gap) suivie d'une couche d' $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ fortement dopée (grand gap).

Au travers des différentes recherches sur l'optimisation de cette hétérojonction, une bonne corrélation a été mise en évidence entre un grand nombre de porteurs transférés dans le puits et de bonnes performances hyperfréquences [6].

C'est pour cela que les deux principaux éléments qui caractérisent une hétérojonction sont : la discontinuité de bande de conduction ΔE_c et la masse effective des électrons dans le canal (m^*/m_0). La grandeur m_0 représente la masse des électrons au repos. En effet, ces deux grandeurs fixent la densité de charges accumulées N_s dans le puits de potentiel.

Les valeurs des grandeurs caractéristiques de cette structure sont reportées dans le tableau suivant :

(m^*/m_0)	ΔE_c (eV)	N_s (10^{12} cm^{-2})
0.067	0.15 – 0.2	0.7 – 0.8

Tableau 1 : HEMT conventionnel $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}/\text{AsGa}$

Les performances hyperfréquences obtenues sont meilleures avec le HEMT conventionnel qu'avec le MESFET. Cependant, le même problème technologique se pose. Il faut encore déposer la grille sur un matériau dopé en volume. La tension de claquage du

composant est limitée et la densité surfacique d'électrons transférés est faible. L'application de ces transistors à l'amplification de puissance est donc difficile.

Afin d'y remédier, la structure a évolué avec l'introduction d'un plan de dopage qui permet de fournir les électrons au puits. Avec cette méthode de croissance, il est possible d'introduire les donneurs silicium (Si) en très forte concentration sur une épaisseur très faible. Des densités surfaciques de donneurs de $5 \cdot 10^{12} \text{ cm}^{-2}$ peuvent alors être facilement obtenues pour un seul plan. Cela permet de déposer le contact schottky sur un matériau non dopé. Les tensions de claquage des composants sont plus élevées.

Une nouvelle couche non intentionnellement dopée appelée « espaceur » a été ajoutée. Le rôle de cette couche non dopée est d'augmenter la séparation spatiale entre les électrons libres du gaz bidimensionnel et les impuretés ionisées. Cette couche conduit à une valeur de la mobilité plus élevée. Cependant, son introduction a un effet néfaste de réduction de la densité surfacique d'électrons accumulés et donc de dégradation de la résistance de source.

La structure, intégrant ces améliorations, est représentée figure 4(a). La structure du HEMT conventionnel $\text{Ga}_{0.75}\text{Al}_{0.25}\text{As}/\text{GaAs}$ est présentée figure 4(b).

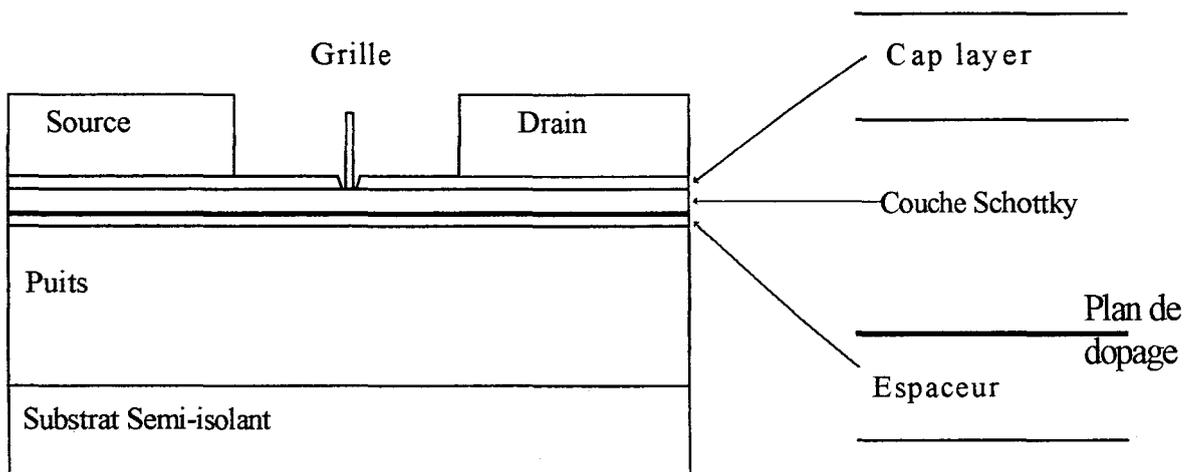


Figure 4(a): Coupe schématique d'une structure HEMT.

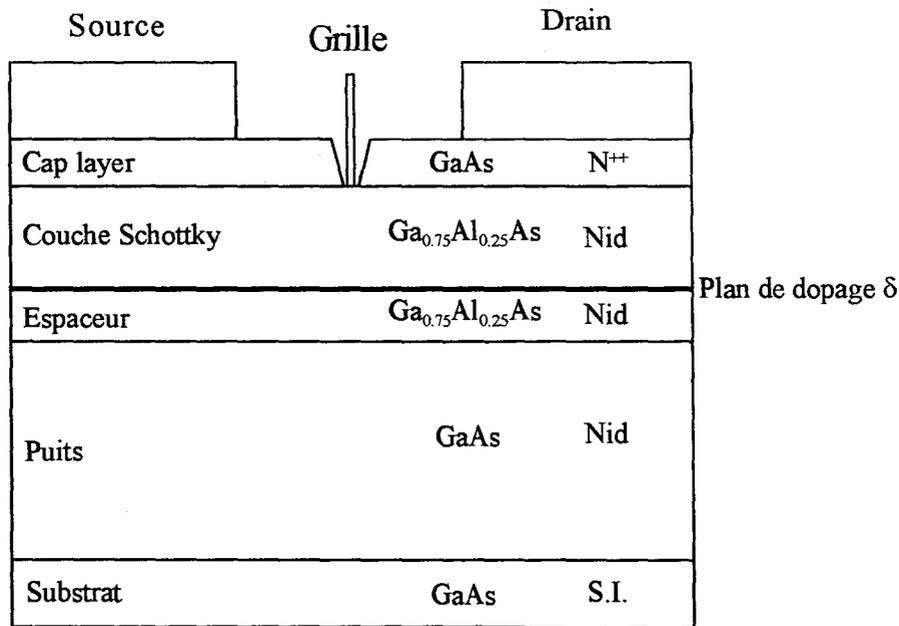


Figure 4(b) : Coupe schématique d'un HEMT conventionnel Ga_{0.75}Al_{0.25}As/GaAs.

Outre ces modifications de structure, l'amélioration des performances hyperfréquences des transistors de la filière dite « conventionnelle » aurait pu être amenée par l'augmentation du taux d'aluminium. Celle-ci conduit à une plus grande discontinuité de bande ΔE_c . Le nombre de charges transférées dans le puits doit être plus élevé. Malheureusement, lorsque la concentration en aluminium augmente, la concentration en électrons libres est très inférieure à celle du dopant incorporé. Pour interpréter ce phénomène, il est nécessaire d'introduire l'existence d'un niveau profond appelé « centre DX ». La présence de centres donneurs profonds entraîne une diminution du nombre d'électrons transférés. Il y a donc apparition d'effets néfastes qui limitent l'augmentation du taux d'aluminium.

I.2.2 Le HEMT Pseudomorphique sur GaAs

L'amélioration des performances hyperfréquences de ces transistors n'a pu être obtenue que par un changement de matériau. En effet, la croissance d'un nouveau matériau pour le canal a permis d'obtenir une discontinuité de bande ΔE_c et un nombre de charges transférées plus élevés.

Cette nouvelle hétérostructure consiste en la croissance du GaInAs sur substrat GaAs. La composition cristalline est la suivante : $\text{Ga}_{0.80}\text{Al}_{0.20}\text{As}/\text{Ga}_{0.75}\text{In}_{0.25}\text{As}/\text{GaAs}$.

Une couche dite «tampon» a été intercalée entre le matériau puits et le substrat. Elle permet, d'une part, d'avoir un matériau de base pour la croissance du canal d'une grande qualité cristallographique. D'autre part, sa présence contribue à un meilleur confinement des porteurs dans le puits.

La coupe schématique d'un HEMT Pseudomorphique sur GaAs intégrant cette couche tampon est présentée figure 5.

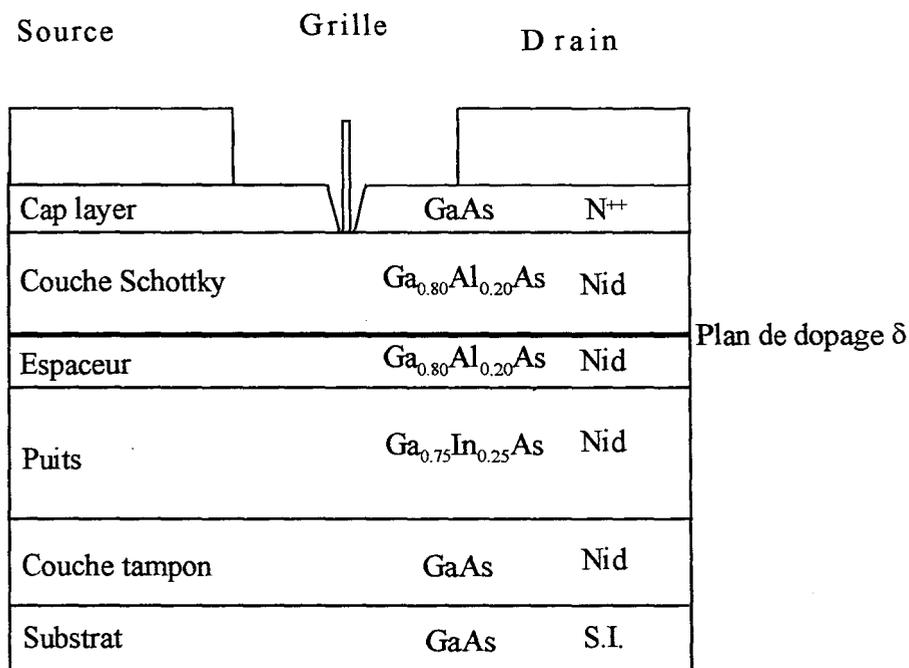


Figure 5 : Coupe schématique d'un HEMT Pseudomorphique sur GaAs.

Comme le prévoit le diagramme de la figure 3, cette croissance ne s'effectue pas dans les conditions d'adaptation en maille. Cette structure est appelée pseudomorphique. Le matériau puits $\text{Ga}_{0.75}\text{In}_{0.25}\text{As}$, ayant un paramètre de maille différent de celui du substrat GaAs, doit se déformer afin de s'adapter à ce dernier. Ainsi, pour assurer une croissance de bonne qualité, la maille de GaInAs se déforme en maille tétragonale sous l'effet de la contrainte. Pour ces matériaux, il existe une épaisseur critique L_c au-delà de laquelle la

contrainte contenue dans le matériau se relaxe par l'apparition de dislocation de désadaptation.

La hausse du taux d'indium amplifie, dans ce type de croissance, la désadaptation en maille et la contrainte dans le matériau. Ainsi pour éviter la relaxation du canal et les dislocations, la quantité d'indium sera limitée à 15-20% pour une épaisseur du canal de 150Å.

Les principales propriétés de cette structure sont reportées ci-dessous.

(m^*/m_0)	ΔE_c (eV)	N_s (10^{12} cm^{-2})
0.061	0.3	≈ 1.5

Tableau 2 : HEMT pseudomorphique sur GaAs ($\text{Ga}_{0.80}\text{Al}_{0.20}\text{As} / \text{Ga}_{0.75}\text{In}_{0.25}\text{As} / \text{GaAs}$)

En raison de la discontinuité de bande ΔE_c plus élevée et de meilleures propriétés de transport, la valeur N_s du HEMT pseudomorphique est bien supérieure à celle du HEMT conventionnel. D'ailleurs, ce type de HEMT est encore largement utilisé dans un grand nombre de systèmes microondes.

I.2.3 Le HEMT Adapté en maille sur InP

Les progrès dans la croissance par épitaxie par jet moléculaire ont favorisé l'apparition d'autres hétérojonctions. Pour cette structure dite «adaptée en maille sur InP », il s'agit de faire croître deux matériaux avec le même paramètre de maille cristalline. Ceci fixe donc la composition en aluminium, indium et gallium des deux matériaux de la façon suivante $\text{Al}_{0.48}\text{In}_{0.52}\text{As} / \text{Ga}_{0.47}\text{In}_{0.53}\text{As} / \text{InP}$. Cette hétérojonction est représentée figure 6.

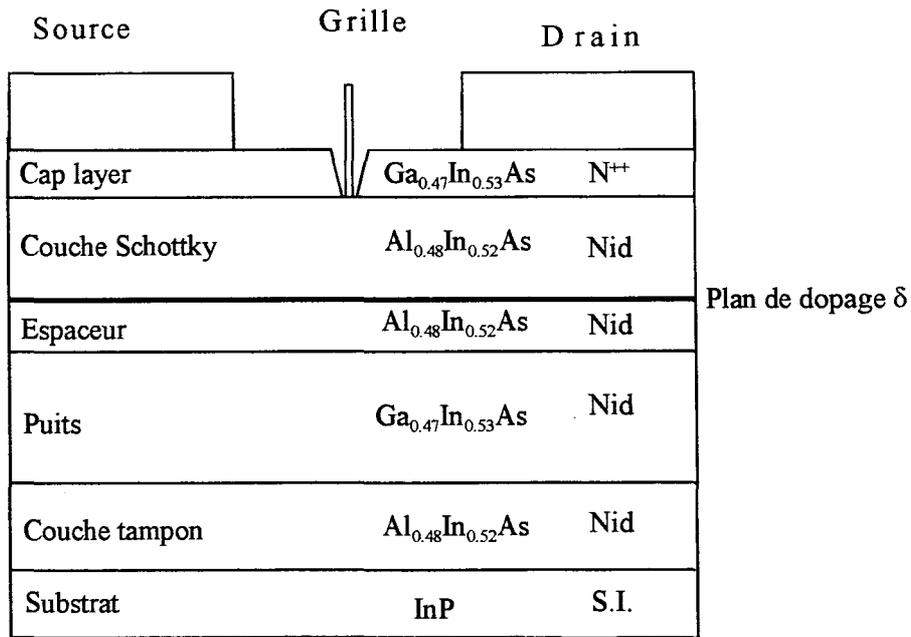


Figure 6 : Coupe schématique d'un HEMT Adapté en maille sur InP.

Cette dernière, comme le montre les résultats rassemblés dans le tableau 3, possède des propriétés de transport bien meilleures que celles du HEMT pseudomorphique sur GaAs. En effet, la discontinuité de bande est importante et les propriétés de transport du $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ sont excellentes avec une mobilité de l'ordre de $1 \text{ m}^2/(\text{V}\cdot\text{s})$.

(m^*/m_0)	ΔE_c (eV)	N_s (10^{12} cm^{-2})
0.041	0.52	≈ 3

Tableau 3 : HEMT adapté en maille sur InP ($\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{0.47}\text{In}_{0.53}\text{As}/\text{InP}$)

Il est à noter, d'une part, la difficulté de réaliser une bonne schottky sur un matériau comme l' $\text{Al}_{0.48}\text{In}_{0.52}\text{As}$. D'autre part, il ne faut pas oublier que le matériau $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ possède une bande interdite faible ($E_g \approx 0.8 \text{ eV}$). La conséquence directe est l'apparition de phénomènes de claquage dès les faibles tensions drain-source. Cette hétérojonction ne peut donc pas servir pour les applications de puissance. Elle reste, cependant, parfaitement adaptée à l'amplification faible bruit qui utilise des tensions drain-source beaucoup plus faibles.

I.2.4 Le HEMT Pseudomorphique sur InP

Sa couche active est constituée d' $\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{(1-x)}\text{In}_x\text{As}/\text{InP}$ avec $x > 0.53$. La composition différente en Indium entre la couche donneuse et le canal implique une nouvelle fois la croissance du $\text{Ga}_{(1-x)}\text{In}_x\text{As}$ de façon désadaptée en maille.

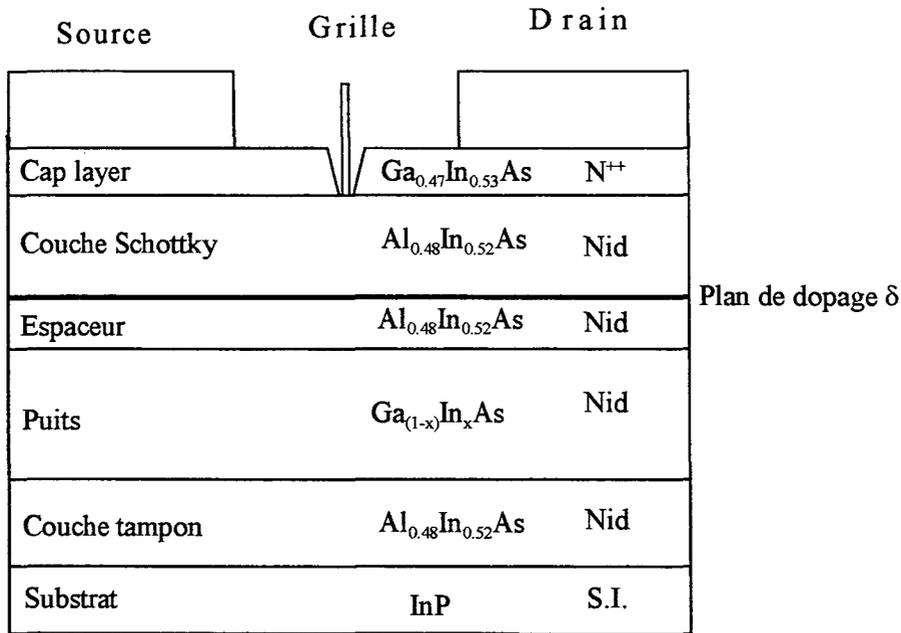


Figure 7 : Coupe schématique d'un HEMT Pseudomorphique sur InP.

Les spécificités de cette structure sont groupées dans le tableau suivant. Il est important de souligner que cette dernière présente de meilleure qualité de transport que la structure adaptée en maille sur InP. De même, elle permet un gain de 0.14 eV pour la discontinuité de bande. Cela conduit à une densité de charges N_s également supérieure au cas précédent.

Ces valeurs sont données pour une composition en indium de 65%.

(m^*/m_0)	ΔE_c (eV)	N_s (10^{12} cm^{-2})
0.036	0.66	≈ 3

Tableau 4 : HEMT pseudomorphique sur InP ($\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{0.35}\text{In}_{0.65}\text{As}/\text{InP}$)

Pour améliorer les performances hyperfréquences, le matériau puits doit présenter d'excellentes propriétés de transport. En effet, les électrons doivent se déplacer avec la vitesse électronique la plus élevée. L'augmentation du taux d'indium ayant pour résultat une valeur de mobilité plus importante, il est maintenant à 65%.

La quantité d'indium ne peut cependant pas être augmentée indéfiniment.

D'une part, l'augmentation du pourcentage d'indium, bien que bénéfique pour la mobilité, entraîne une diminution de la bande interdite. Ceci favorise l'apparition du phénomène de claquage pour des valeurs de la tension drain-source encore plus faibles que pour le transistor adapté en maille sur InP.

D'autre part, la hausse du taux d'indium amplifie la désadaptation en maille et la contrainte sur le matériau. Or, la croissance de ce matériau ne peut être réalisée sans tenir compte de l'épaisseur critique L_c . Pour éviter la relaxation du canal, un compromis doit être trouvé entre cette épaisseur et la quantité d'indium du composé à faire croître.

La réponse à ce problème viendra certainement de la filière métamorphique présentée ci-dessous. Elle permet, entre autres, de faire croître l'hétérojonction AlInAs/GaInAs pour n'importe quelle composition d'indium.

1.2.5 Le HEMT Métamorphique

La filière métamorphique a été créée dans le but d'allier les avantages respectifs des filières précédentes. Il s'agit de réaliser l'hétérojonction $Al_{(1-y)}In_yAs/Ga_{(1-x)}In_xAs$ sur un substrat GaAs. Les compositions en indium x et y sont choisies de manière à ce que l'accord de maille soit réalisé entre les deux matériaux ternaires. Le point fort de cette structure vient du fait qu'elle peut se décliner pour tous les taux d'indium. La structure référencée dans ce paragraphe sera celle où le taux d'indium x est de 30%. Il s'agit de l'hétérojonction $Al_{0.71}In_{0.29}As/Ga_{0.7}In_{0.3}As/GaAs$.

De part leur composition ces deux matériaux $Al_{0.71}In_{0.29}As/Ga_{0.7}In_{0.3}As$ sont adaptés entre eux. Le désaccord de maille vient du substrat GaAs sur lequel est réalisée la

croissance de cette hétérojonction. Il est alors nécessaire d'utiliser un buffer d'adaptation afin de confiner les dislocations dans le substrat. Ainsi la croissance du canal peut avoir lieu sans contraintes ni dislocations.

Pour cela, il faut faire croître une couche tampon graduelle, c'est à dire qu'il faut faire varier la composition de ce matériau. Au départ, la croissance de cette couche se fait avec une composition qui assure l'adaptation en maille avec le substrat. Puis, au fur et à mesure de cette croissance, la composition évolue jusqu'à l'obtention de l'adéquation avec les matériaux de la couche active.

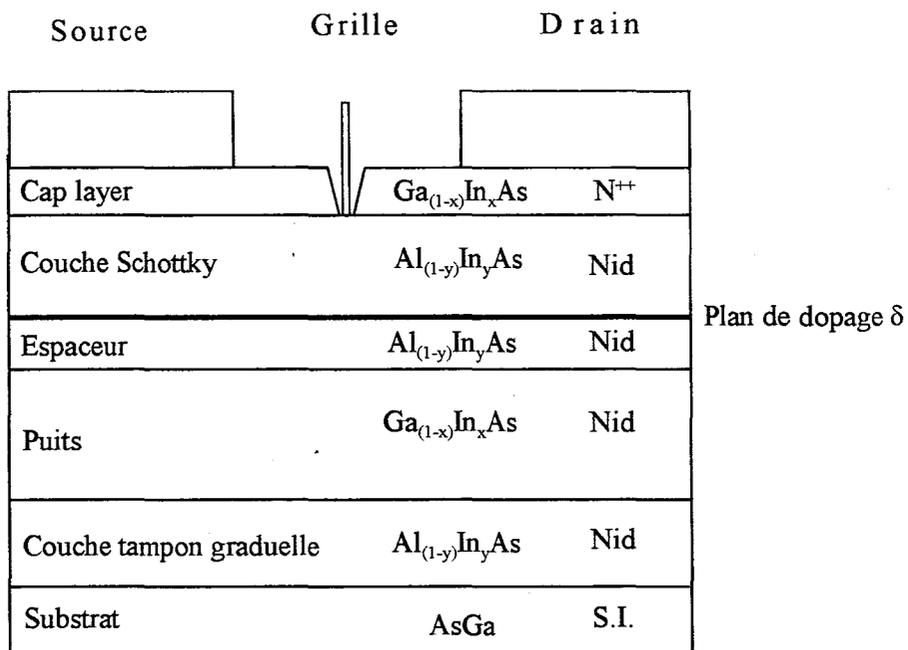


Figure 8 : Coupe schématique d'un HEMT Métamorphique.

Les grandeurs significatives de cette hétérojonction sont reportées dans le tableau suivant. Ainsi les nouvelles améliorations en terme de transport de charges et de discontinuité de bande assurent une nette augmentation de N_s .

(m^*/m_0)	ΔE_c (eV)	N_s (10^{12} cm^{-2})
0.053	0.74	≈ 4

Tableau 5 : HEMT métamorphique ($\text{Al}_{0.71}\text{In}_{0.29}\text{As}/\text{Ga}_{0.7}\text{In}_{0.3}\text{As}/\text{GaAs}$)

Cette filière métamorphique est très intéressante puisque, en plus des potentialités présentées auparavant, elle permet de s'affranchir des problèmes de coût et de fragilité des substrats InP.

La croissance de l'hétérojonction AlInAs/GaInAs peut avoir lieu pour n'importe quelle composition d'indium. Mais, elle offre aussi la possibilité de choisir le paramètre de maille de la couche tampon et la nature du canal (pseudomorphique ou adapté en maille sur la couche tampon).

A l'heure actuelle, les travaux réalisés avec ce type d'hétérostructure portent essentiellement sur des études matériau. Il faut déterminer la meilleure composition pour la couche active dans le cadre des applications faible bruit - faible signal et des applications de puissance.

I.2.6 Quelques résultats sur la filière Métamorphique

Cette structure se déclinant avec différents taux d'indium, il est intéressant d'évaluer les performances dans la gamme d'ondes millimétriques de chacune d'elles. C'est ainsi que deux études sont menées sur le sujet au sein de l'équipe, l'une sur des simulations des structures et l'autre sur la réalisation de composant sur ces mêmes structures. Voici donc une présentation du logiciel HELENA utilisé pour la simulation. Elle est suivie des résultats obtenus avec ce dernier et ceux issus des réalisations technologiques.

I.2.6.1 Le logiciel HELENA

Le logiciel HELENA (Hemt ELEctrical properties and Noise Analysis) a été développé au sein du laboratoire par H. Happy. Il permet de simuler les caractéristiques électriques et les performances de bruit de toutes les structures HEMTs présentées dans ce mémoire (conventionnelle, pseudomorphique sur GaAs ou sur InP, adaptée en maille sur InP et métamorphique). Ce logiciel est basé sur un modèle quasi bidimensionnel qui permet de tenir compte au maximum des phénomènes physiques. L'organigramme de la Figure 9 permet de comprendre la philosophie de ce modèle.

Dans la première partie, et cela en tenant compte de la structure verticale du transistor, le programme fournit la commande de charge du composant.

Dans la deuxième partie du programme, la loi de commande de charge obtenue est utilisée pour étudier le transport dans le composant selon l'axe source-drain en considérant la conservation du courant. En tenant compte de la géométrie du transistor, des éléments extrinsèques ainsi que des paramètres matériau, le programme fournit les caractéristiques continues, hyperfréquences et de bruit du composant simulé. Les paramètres matériau utilisés par HELENA (mobilité, vitesse de saturation, coefficient de diffusion) sont le résultat de simulations Monte-Carlo.

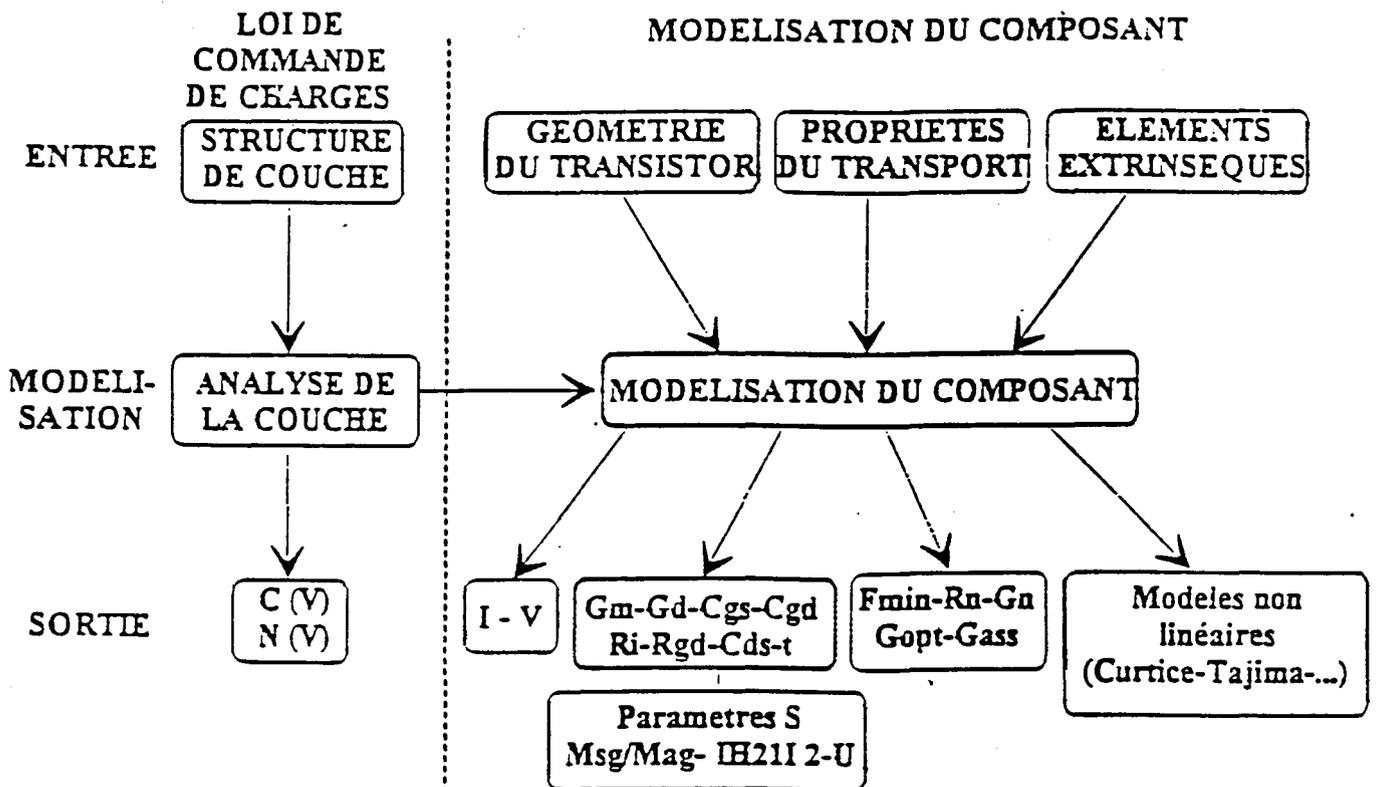


Figure 9: Organigramme du logiciel HELENA.

I.2.6.2 Les résultats de simulation en filière Métamorphique

a) comparaison des différentes filières métamorphiques ($L_g=0.25\mu\text{m}$)

L'étude théorique comparative menée par H. Happy [7] à l'aide du logiciel HELENA [8] a donné les résultats suivants.

Il s'agit de structures métamorphiques non contraintes. Les couches actives AlInAs/GaInAs sont donc considérées comme adaptées en maille avec la couche tampon. Quatre composants, avec des taux d'indium distincts (30, 40, 53 et 60 %) ont été simulés. Les taux d'indium donnés sont ceux du GaInAs. Dans les quatre cas, la structure de la couche est identique à celle présentée sur la Figure 10.

100 Å	GaIn _x As	$5.10^{18} \text{ cm}^{-3}$
150 Å	AlIn _x As	nid
	δ doped (Si)	$5.10^{12} \text{ cm}^{-2}$
50 Å	AlIn _x As	nid
250 Å	GaIn _x As	nid
1000 Å	AlIn _x As	nid
GaAs (S-I)		

Figure 10: Structure de la couche simulée.

Le plan de dopage $5.10^{12} \text{ at/cm}^2$ est simulé par une fine couche de 25 Å très dopée $2.10^{20} \text{ cm}^{-3}$ qui est soustraite à l'épaisseur de la couche Schottky. La topologie du transistor ainsi que les éléments extrinsèques utilisés pour la simulation sont regroupés Figure 11.

Les structures sont toutes simulées avec une longueur de grille de 0.25 μm . Cela permet, d'une part, de classer les structures en fonction de leurs performances. D'autre part, ce choix de longueur de grille permet de se placer dans le domaine de validité du modèle Quasi2D utilisé dans le logiciel HELENA.

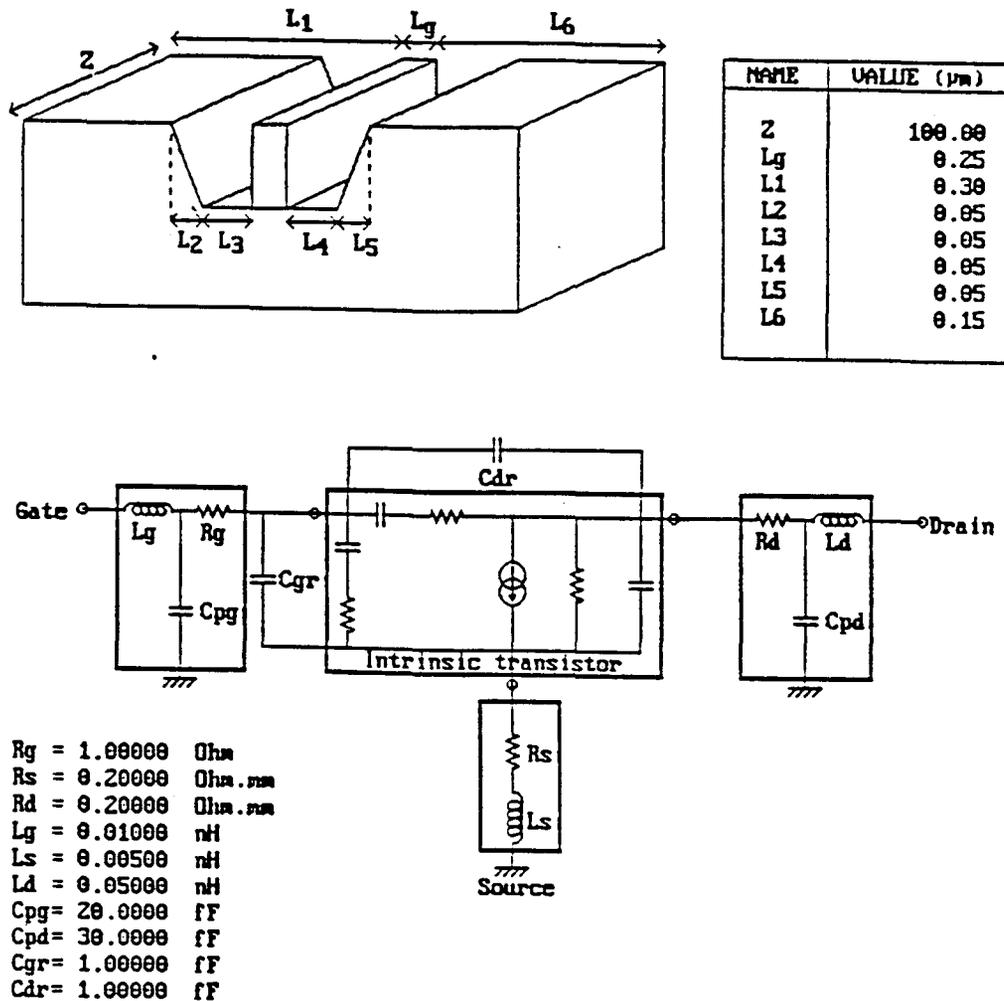


Figure 11: Topologie et paramètres extrinsèques du transistor simulé.

Les résistances parasites de grille ($R_g=1 \text{ } \Omega$), de source et de drain ($R_s=R_d=0,2 \text{ } \Omega$.mm) sont prises identiques pour la simulation des quatre transistors. Elles sont comparables aux résistances mesurées typiquement pour ce genre de composant. Ceci permet de comparer les transistors intrinsèques tout en ayant un résultat de simulation crédible. L'épaisseur de la couche Schottky a été choisie en considérant les résultats d'attaque sélective présentés dans le chapitre II, c'est à dire en prenant en compte la surgravure obtenue.

La valeur de la transconductance maximale est identique dans les quatre cas et égale à 2 S/mm. Cette dernière ne paraît donc pas varier en fonction de la composition d'indium. Tout se passe comme si la transconductance G_m ne dépendait que de l'épaisseur de la couche active. Ceci peut s'expliquer par la compensation des deux résultats suivants. La mobilité des électrons dans le canal de GaInAs augmente avec le taux d'indium. A l'inverse, la discontinuité de bande de conduction de l'hétérojonction AlInAs/GaInAs diminue. Ainsi, l'amélioration du transport de charges est contrebalancée par la diminution du nombre de charges transférées.

Le tableau 6 regroupe les résultats de simulation pour une longueur de grille $L_g=0.25\mu\text{m}$. Il s'agit de la fréquence de coupure du gain en courant intrinsèque f_c , ainsi que des fréquences de transitions respectives F_t et F_{max} des gains $|h_{21}|^2$ et U .

% d'indium	L_g (μm)	f_c (GHz)	F_t (GHz)	F_{max} (GHz)
30	0.25	200	94	290
40	0.25	260	102	315
53	0.25	270	99	315
60	0.25	270	102	330

Tableau 6 : Paramètres et résultats de simulation pour les différents composants métamorphiques.

Les meilleures performances sont détenues par la filière métamorphique 60% avec une valeur de F_{max} de 330 GHz. Cependant, l'ensemble de ces résultats demande à être confirmé par l'expérience.

Dans le cadre de circuit intégré en gamme d'onde millimétrique, il est impératif de connaître la filière qui présente le facteur minimum de bruit le plus faible. Celui-ci est représenté figure 12 en fonction du taux d'indium à 60 et 94 GHz. La densité de courant est de 100 mA/mm.

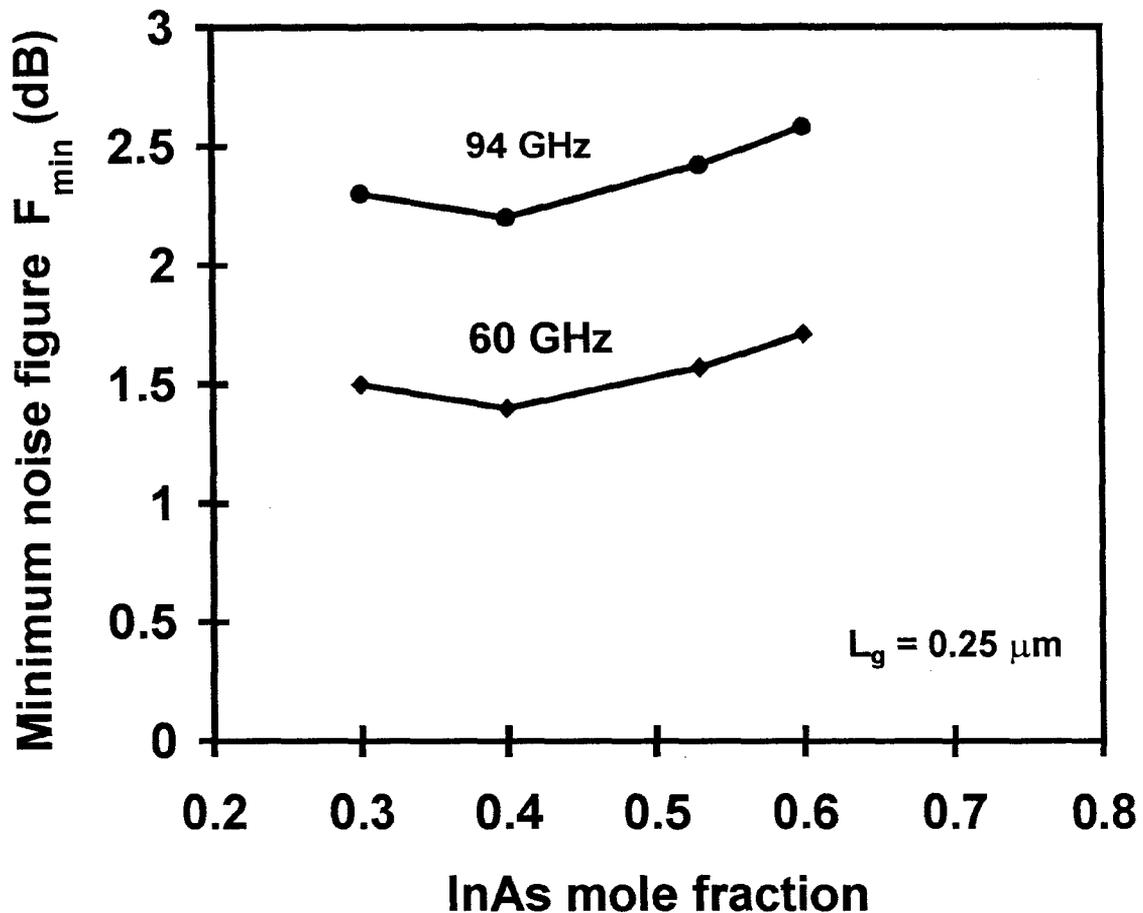


Figure 12: Facteur minimum de bruit en fonction du taux d'indium pour une densité de courant de 100 mA/mm à 60 et 94GHz.

Le meilleur résultat est obtenu avec la composition 40% d'indium. Elle constitue visiblement le meilleur compromis entre la mobilité et la discontinuité de bande de conduction pour des applications « faible bruit ». En effet, la mobilité des électrons dans le canal de GaInAs augmente avec le taux d'indium. A l'inverse, la discontinuité de bande de conduction de l'hétérojonction AlInAs/GaInAs diminue.

Ainsi, les composants métamorphiques à 40% d'indium sont d'excellents candidats pour les applications hyperfréquences aussi bien en régime faible bruit qu'en puissance. En effet, la largeur de bande interdite du $\text{Ga}_{0.6}\text{In}_{0.4}\text{As}$ produit des tensions de claquage plus importantes que pour le $\text{Ga}_{0.5}\text{In}_{0.5}\text{As}$.

b) la filière métamorphique à 40% d'indium ($L_g=0.1\mu\text{m}$)

Le minimum de bruit pour une longueur de grille de $0.25\mu\text{m}$ est obtenu par la filière métamorphique 40%. Il est intéressant de compléter l'étude par la simulation d'un HEMT à grille $0.1\mu\text{m}$ sur ce type de couche. Pour cela les valeurs des éléments extrinsèques retenues sont typiques d'un transistor à grille submicronique.

Le développement total du composant est $100\mu\text{m}$. La topologie et les paramètres extrinsèques du transistor sont regroupés figure 13 et tableau 7.

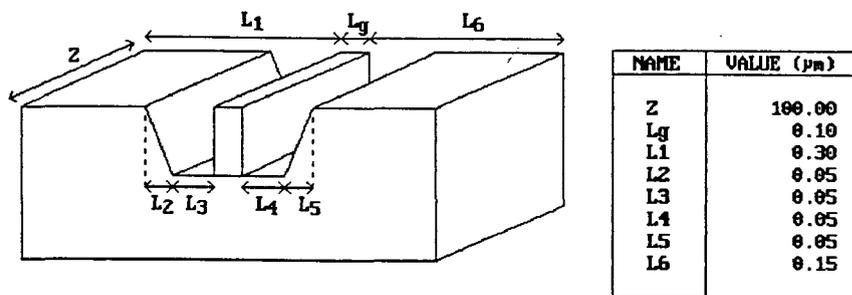


Figure 13: Topologie du transistor $L_g=0.1\mu\text{m}$ HEMT Métamorphique 40%.

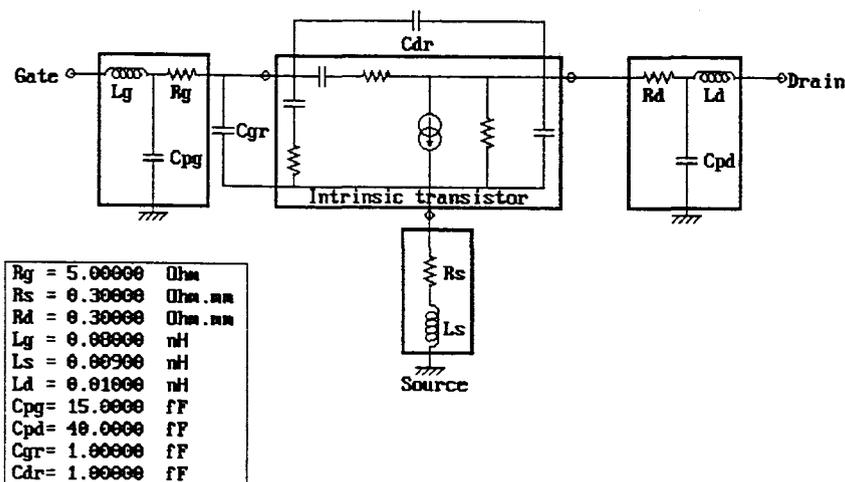


Tableau 7 : Paramètres de simulation $L_g=0.1\mu\text{m}$ HEMT Métamorphique 40%

Les fréquences de transition F_t et F_{max} des gains $|h_{21}|^2$ et U représentées figure 14 sont encourageantes. Leurs valeurs sont respectivement de 250 GHz pour F_t et de 420 GHz pour F_{max} .

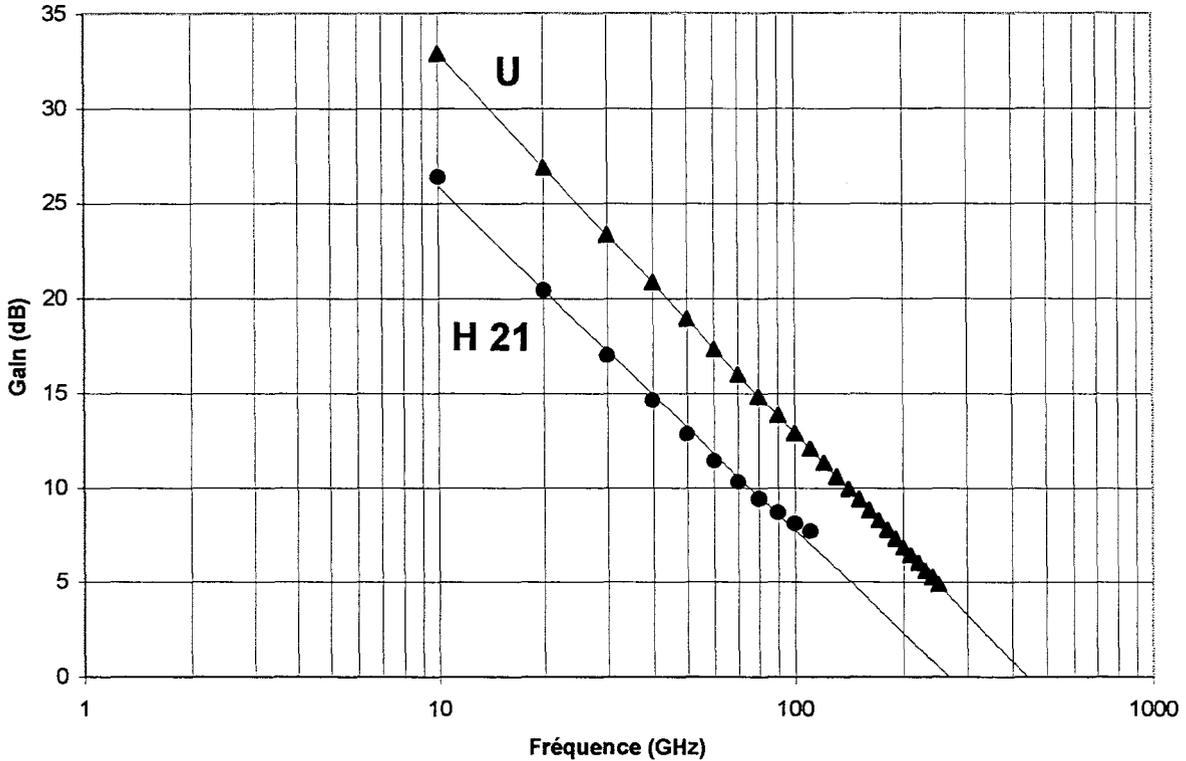


Figure 14: Fréquence de transition HEMT Métamorphique 40% $L_g=0.1\mu\text{m}$.

I.2.6.3 La réalisation de composant en filière Métamorphique

L'étude expérimentale est menée par S. Bollaert et M. Zachnoute pour la partie « réalisation des composants » et par Y. Cordier pour la partie « structures épitaxiées ». Il s'agit de réaliser des composants à partir de trois structures épitaxiées ayant des taux d'indium respectifs de 30, 40 et 50%.

La technologie de grille en T, utilisée et présentée dans le chapitre 2, est différente suivant les filières. Pour le métamorphique 40 et 50%, il s'agit d'une grille à technologie nitrure. Pour le 30%, la technologie utilisée est de type grille bicouche.

En raison de l'instabilité du gain unilatéral U , seule la valeur de la fréquence F_t est reportée dans le tableau ci-dessous.

% d'indium	F_t (GHz)	Technologie de grille
30	160	Bicouche
40	195	Nitruire
50	180	Nitruire

Les valeurs de 160 GHz pour le 30% et de 195 GHz et le 40% sont très encourageantes. Actuellement, il s'agit de résultats à l'état de l'art pour ces deux taux d'indium sur substrat GaAs. De plus, il est à souligner un assez bon accord avec la valeur de F_t simulée pour le transistor métamorphique 40% à grille 0.1 μm .

Enfin, il reste à confirmer cette tendance par la mesure en bruit de ces composants.

I.3. Etat de l'art

Les performances hyperfréquences des différentes filières HEMT sont regroupées ci-dessous sous forme de tableau

Pseudomorphique sur InP

Ref	Date	Lg (μm)	Ft (GHz)	Fmax (GHz)	NF (dB)	Gass (dB)	Freq. (GHz)
[9]	92	0.05	340	250			
[10]	93	0.08	275				
[11]	95	0.1	160	600 (MSG)			
[12]	95	0.1	240	400	1.3	8.2	95
[13]	96	0.6	53	135			

Adapté en maille sur InP

	Date	Lg (μm)	Ft (GHz)	Fmax (GHz)	NF (dB)	Gass (dB)	Freq. (GHz)
[14]	94	0.05	269	235			
			300				
[15]	98	0.07	300	400			
[16]	90	0.08	250	220-300			
[17]	96	0.1	189	266			
[18]	91	0.12	200				
[19]	91	0.15		455	0.6	16.3	18
[20]	89	0.15	186	405	0.3	17.2	18
					0.9	8.6	60
					1.4	6.5	94
[21]	93	0.2	141				
[22]	93-94	0.25	150				
[23]	97	0.3	116	229			
[13]	96	0.5	60	110			
[24]	91	1.4	16	40			

Pseudomorphique sur GaAs

	Date	Lg (μm)	Ft (GHz)	Fmax (GHz)	NF (dB)	Gass (dB)	Freq. (GHz)
[25]	90	0.1	120	290	2.1	6.3	94
[21]	93	0.2	105		0.6	11	15
[26]	95	0.25	62				

Métamorphique

	Date	%In	Lg (μm)	Ft (GHz)	Fmax (GHz)	NF (dB)	Gass (dB)	Freq. (GHz)
[27]	98	30	0.1	160	400			
[28]								
[29]	98	40	0.1	195				
[29]	98	50	0.1	187				
[30]	96	50	0.1	150	330			
[31]	97	50	0.1			0.48	14.2	18
[32]	88	50	0.12	117	125			
[33]	96	0.32- 0.52	0.13	160	350			
[34]	96	30	0.13	105	310			
[34]	96	52	0.13	185	200			
[35]	96	80	0.15	115	110			
[36]	96	30	0.6	23	73			

Conventionnelle

	Date	Lg (μm)	Ft (GHz)	Fmax (GHz)	NF (dB)	Gass (dB)	Freq. (GHz)
[37]	91	0.15	104	104			
[37]	91	0.15	110	132			

Paramètres de bruit

	Date	Matériau	Lg (μm)	NF (dB)	Gass (dB)	Freq. (GHz)
[25]	90	PM GaAs	0.1	2.1	6.3	94
[38]	91	LM	0.1	1.2	7.2	94
[12]	95	PM InP	0.1	1.3	8.2	94
[20]	89	LM	0.15	1.4	6.5	94
[39]	96	LM	0.15	0.9	7	60
[20]	89	LM	0.15	0.9	8.6	60
[40]	88	LM	0.2	<0.8	>8.7	60
[41]	88	PM InP	0.1	1.5	8	60
[41]	88	LM	0.1	1.3	9.5	60
[19]	91	LM	0.15	0.6	16.3	18
[20]	89	LM	0.15	0.3	17.2	18
[31]	97	Méta 50%	0.1	0.48	14.2	18

Tableau 8: Performances hyperfréquences des différentes filières HEMT

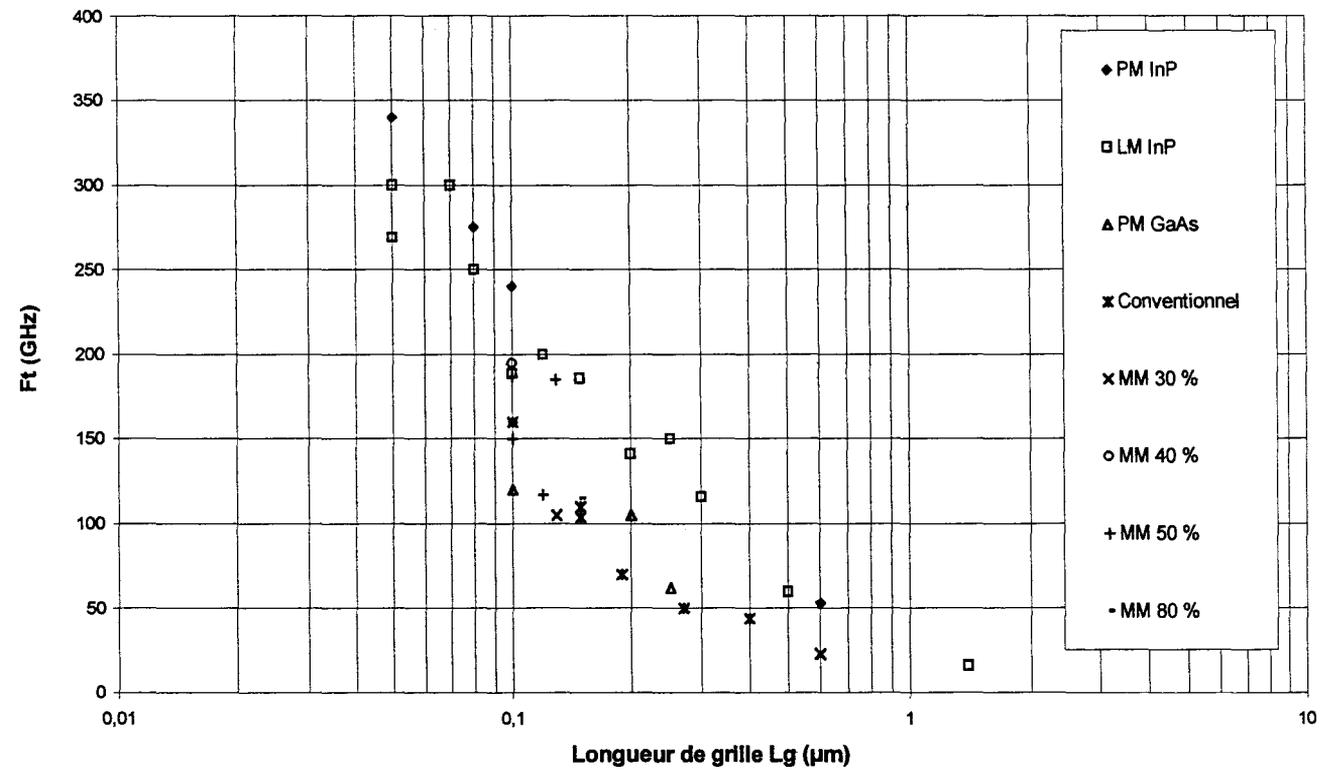


Figure 15: Etat de l'art pour la fréquence de transition F_t en fonction de la longueur de grille L_g pour différentes filières HEMT.

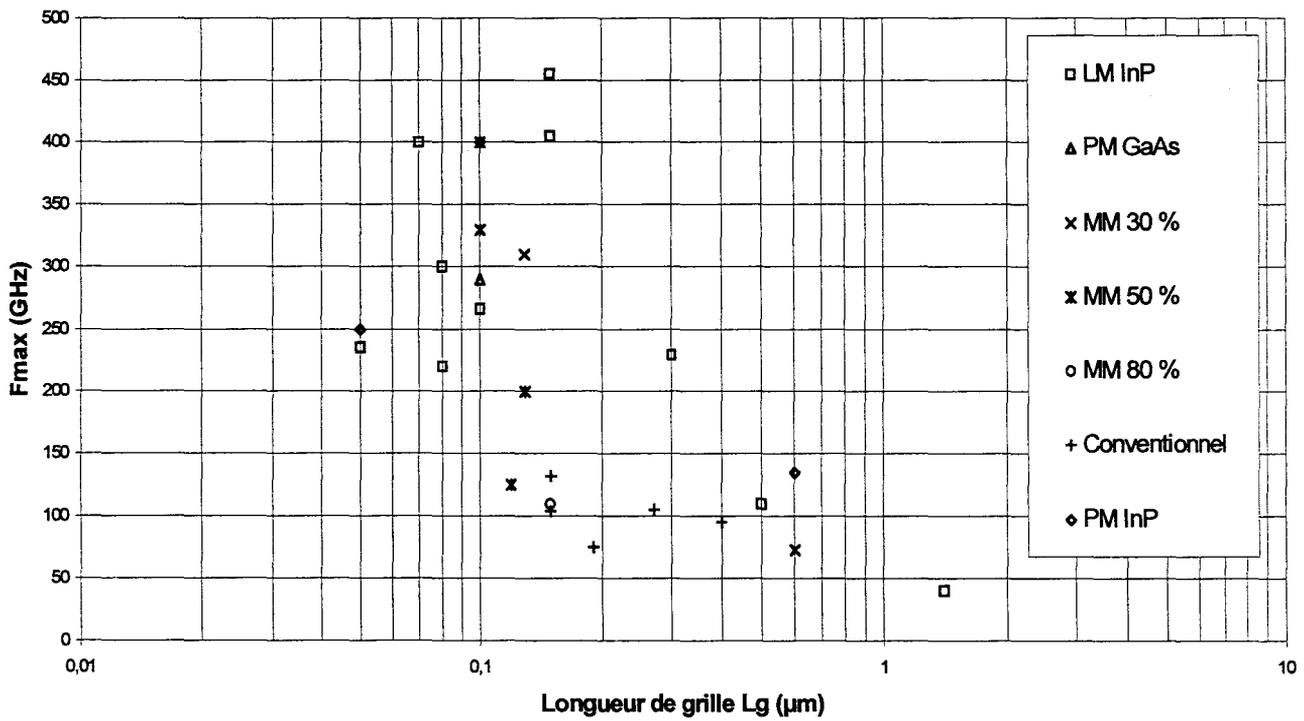


Figure 16: Etat de l'art pour la fréquence de transition F_{max} en fonction de la longueur de grille L_g pour différentes filières HEMT.

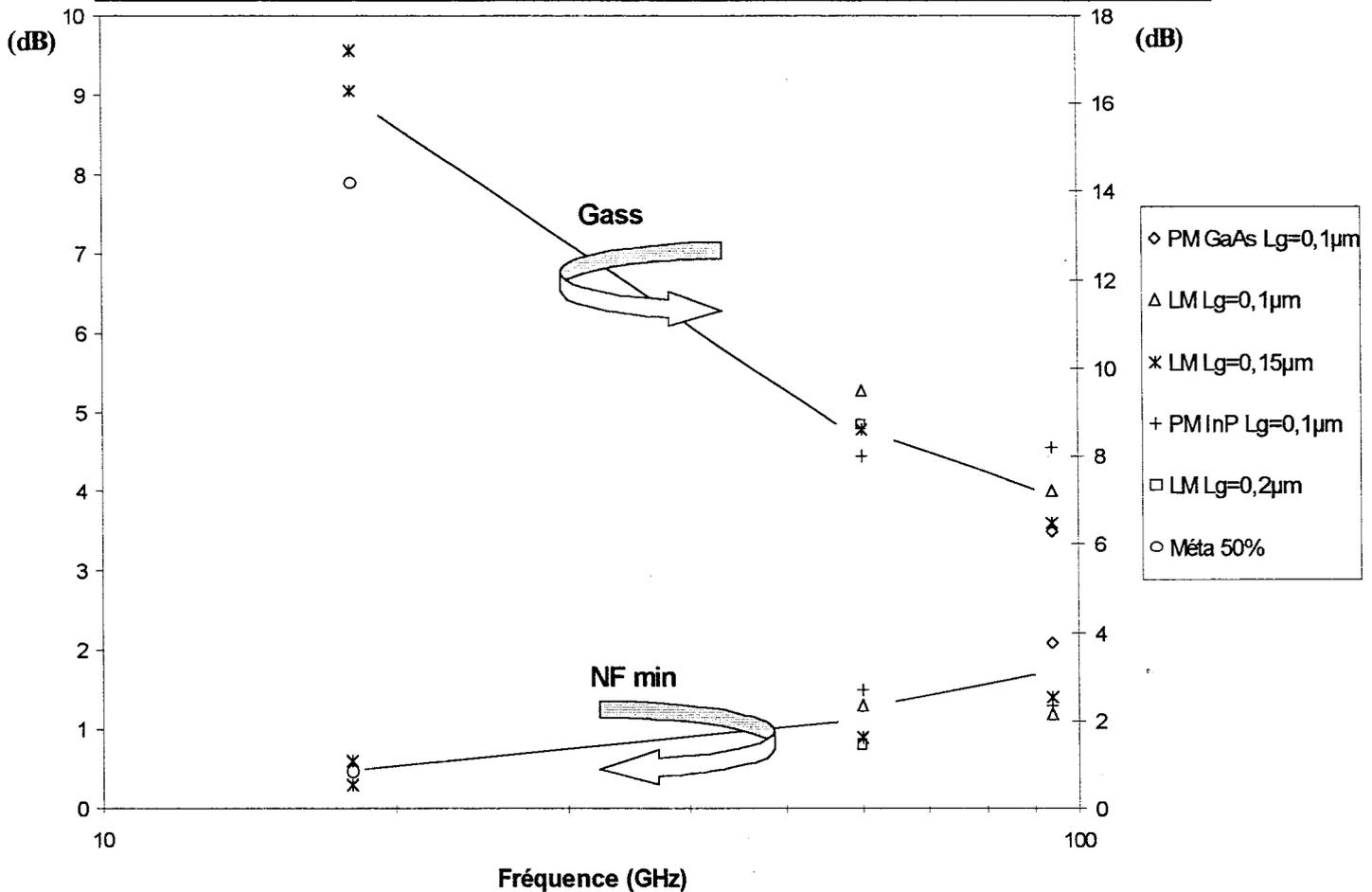


Figure 17: Etat de l'art du facteur minimum de bruit en fonction de la fréquence pour différentes filières HEMT.

Les figures 15,16 et 17 regroupent respectivement l'état de l'art des fréquences de coupure F_t , F_{max} et des facteurs minimums de bruit en fonction de la longueur de grille. La supériorité des hétérojonctions AlInAs/GaInAs est nettement visible sur ces trois figures. Ceci est à associer à leurs bons résultats en terme de masse effective et de discontinuité de bande de conduction.

La fréquence de coupure du gain en courant est de 340 GHz pour un HEMT pseudomorphique sur InP [9].

La fréquence maximale d'oscillation, définie comme la fréquence de transition du gain unilatéral U , est de 455GHz pour un HEMT LM-InP [19].

Le record pour le facteur de bruit est détenu par un HEMT Pseudomorphique sur InP, avec un facteur de bruit de 1.3 dB et un gain associé de 8.2 dB à la fréquence de 95 GHz [12].

I.4. Application faible bruit - faible signal

Les activités de recherche sur les transistors HEMT ont permis d'améliorer leurs performances hyperfréquences. Il a été démontré que celles-ci sont conditionnées par :

- le dimensionnement de la structure
- la propriété des matériaux utilisés
- la topologie du transistor
- et la technologie de grille.

Les paragraphes suivants ont pour but d'établir l'influence de ces différents paramètres sur les performances hyperfréquences du HEMT. La signification des éléments, nécessaires à la caractérisation du transistor et utilisés dans ce mémoire, est celle employée couramment dans la littérature.

I.4.1 La structure de l'hétérojonction

La composition schématique de l'hétérostructure qui compose le HEMT est représentée sur la figure 18. Chacune de ces couches possède un rôle bien défini.

1	CAP LAYER	Fortement dopé
2	SCHOTTKY	Non intentionnellement dopé
3	PLAN DE DOPAGE	Fortement dopé
4	ESPACEUR	Non intentionnellement dopé
5	PUITS	Non intentionnellement dopé
6	COUCHE TAMPON	Non intentionnellement dopé
7	SUBSTRAT	Semi-isolant

Figure 18: Structure de couche épitaxiée.

1- La couche superficielle, appelée cap layer, permet de réduire par son fort dopage (10^{18} - 10^{19} Si/cm³) la valeur de la résistance d'accès de source et de réduire les résistances de contact de source et de drain.

2- La couche schottky est prévue pour la réalisation du contact de grille. Pour cela elle est non intentionnellement dopée et constituée par le matériau à grand gap.

3- Le plan de dopage apporte les électrons qui vont transférer dans le gaz bidimensionnel d'électrons situé dans le canal.

4- La couche « spacer » non intentionnellement dopée permet d'accroître la séparation spatiale des électrons et des impuretés ionisées. Elle est toujours constituée par le matériau à large bande interdite [42]. Enfin, la valeur de la mobilité des porteurs dans le canal ainsi que leur densité dépendent de son épaisseur. Ainsi, plus elle est mince, plus la mobilité est faible, mais plus la densité de porteurs sera élevée.

5- Le canal dans lequel se forme le puits accueillant le gaz d'électrons bidimensionnel est constitué du matériau à petit gap. Les performances hyperfréquences dépendent beaucoup de la qualité du transport de charge qu'il présente.

6- La couche tampon permet d'une part un meilleur confinement des porteurs dans le canal et d'autre part d'avoir un matériau d'une grande qualité cristallographique pour la croissance des couches supérieures de l'hétérostructure.

7- Le substrat qui sert de support à la croissance est semi-isolant. Il est à noter qu'il est plus ou moins fragile et coûteux suivant les filières.

Pour obtenir des HEMT performants, fiables et reproductibles avec un bon rendement dans la gamme d'ondes millimétriques, il est impératif d'optimiser les dimensions de la structure.

L'un des paramètres assurant l'homogénéité des caractéristiques hyperfréquences est la tension de pincement V_p . Pour une structure à plan de dopage, comme ci dessus, l'expression de V_p est donnée par :

$$V_p = V_b - \frac{q * N_d * a}{\epsilon} - \Delta E_c \quad (4)$$

où V_b est la tension de built-in du contact schottky, V_p la tension de pincement, ΔE_c la discontinuité de bande de conduction, N_d la densité de dopage du plan, a l'épaisseur de couche entre le plan de dopage et le contact schottky et ϵ la permittivité de la couche schottky.

Ainsi, cette tension est directement proportionnelle aux deux paramètres technologiques qui sont N_d et a .

Le dopage N_d est un paramètre fondamental puisqu'il détermine, en plus de la tension de pincement, la densité superficielle d'électrons N_s . L'augmentation de N_d entraîne celle de N_s et une valeur de N_s élevée conduit à de meilleures performances hyperfréquences. Il est donc très intéressant d'augmenter la densité surfacique de donneur N_d ($=5.10^{12} \text{cm}^{-2}$).

Cependant, une utilisation de densité d'impuretés de valeurs aussi élevées demande un contrôle très précis de l'épaisseur de la couche sous la grille. En effet, c'est elle qui assure la bonne valeur de la tension de pincement V_p . De plus, il est risqué de s'approcher trop près du plan de dopage pour la réalisation d'un bon contact schottky. Le contrôle de cette épaisseur est réalisé à l'aide d'une solution d'attaque sélective du fossé de grille. Ainsi, seule la couche superficielle (cap layer) est gravée, laissant à découvert la couche schottky où sera déposé le contact de grille.

Il est alors possible de prévoir à quelques 10 Å près la valeur de a et de connaître avec une bonne précision V_p .

Pour terminer, il faut rappeler la règle imposée par le rapport d'aspect L_g/a . Afin d'éviter un décalage de la tension de pincement et une conductance de sortie trop élevée, ce rapport doit être supérieur à 5. Ainsi, pour $L_g = 0.1 \mu\text{m}$, il faut que $a < 200 \text{Å}$.

L.4.2 Le schéma équivalent petit signal

Le schéma équivalent petit signal est une représentation électrique d'un transistor à effet de champ soumis à une onde sinusoïdale de faible amplitude. Les différents éléments de ce schéma sont tirés des paramètres $[S]$ grâce à une méthode d'extraction développée par G. Dambrine [43]. Elle consiste, dans un premier temps, à déterminer les éléments extrinsèques du composant et dans un deuxième les éléments intrinsèques.

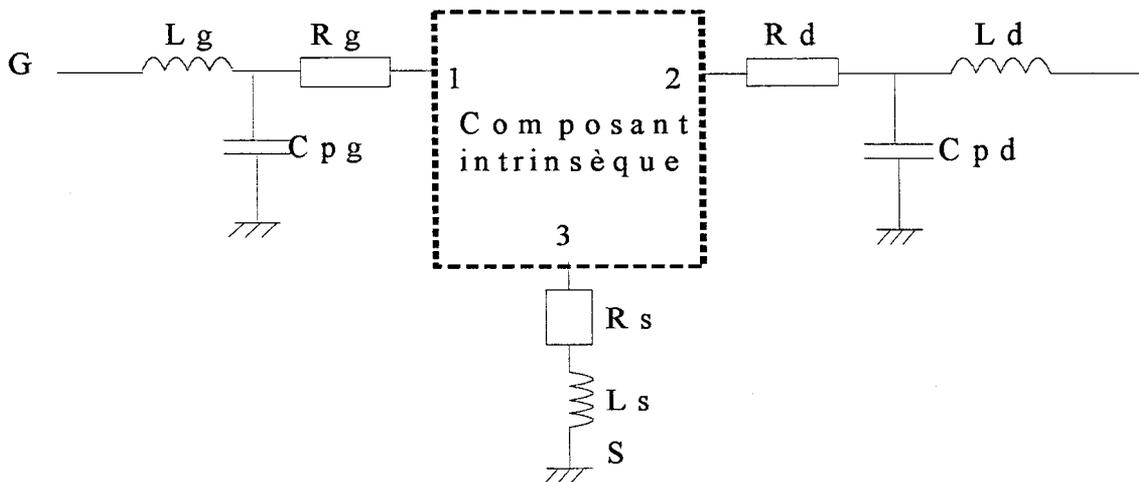


Figure 19 : Schéma de principe pour la détermination des éléments parasites

La philosophie de la méthode de détermination des éléments parasites consiste :

- à court-circuiter les accès 1-2-3 du schéma intrinsèque afin de déterminer les éléments d'accès série (L_g , L_s , L_d , R_g , R_s , R_d). Pour cela, il faut polariser le transistor à $V_{ds}=0V$ et la grille en direct ($I_g>0$). La réactance intrinsèque du transistor est court-circuitée par la résistance dynamique R_{dy} de la jonction schottky.

- à isoler les accès 1-2-3 pour déterminer les éléments parasites parallèles (C_{pg} , C_{pd}). Pour cela la conductance du canal est annulée en désertant totalement la couche active sous la grille. La polarisation correspondante est $V_{ds}=0V$ et $V_{gs}<V_p$.

Les éléments intrinsèques sont ensuite déterminés à partir de la matrice admittance Y_{ij} intrinsèque extraite de la matrice de répartition S_{ij} . La méthode générale suivie est décrite sur la figure 20.

La figure 21 présente le schéma équivalent d'un transistor à effet de champ (a) et la localisation des éléments dans la structure (b).

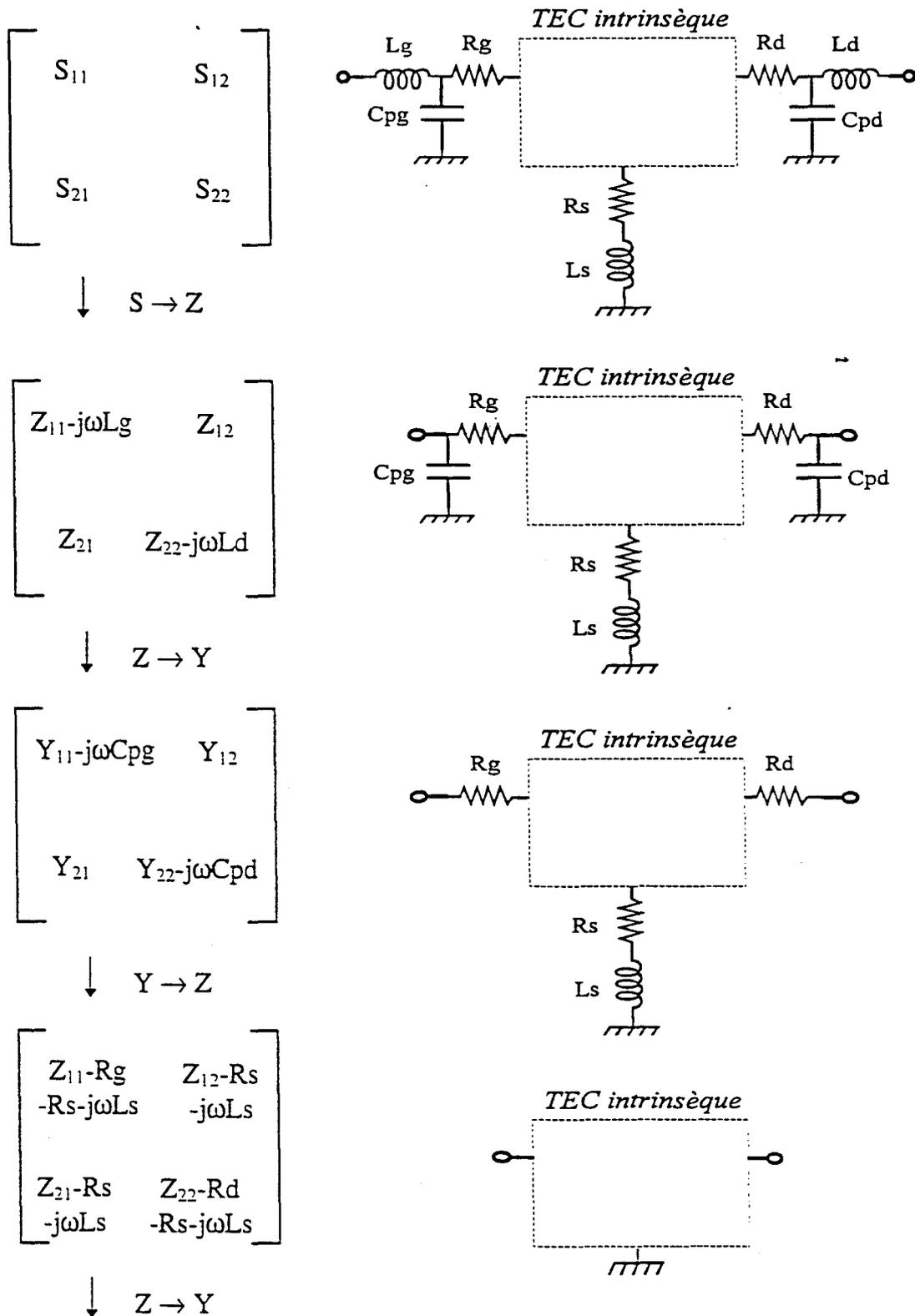


Figure 20: Procédure d'extraction du schéma équivalent petit signal à partir des paramètres S_{ij} .

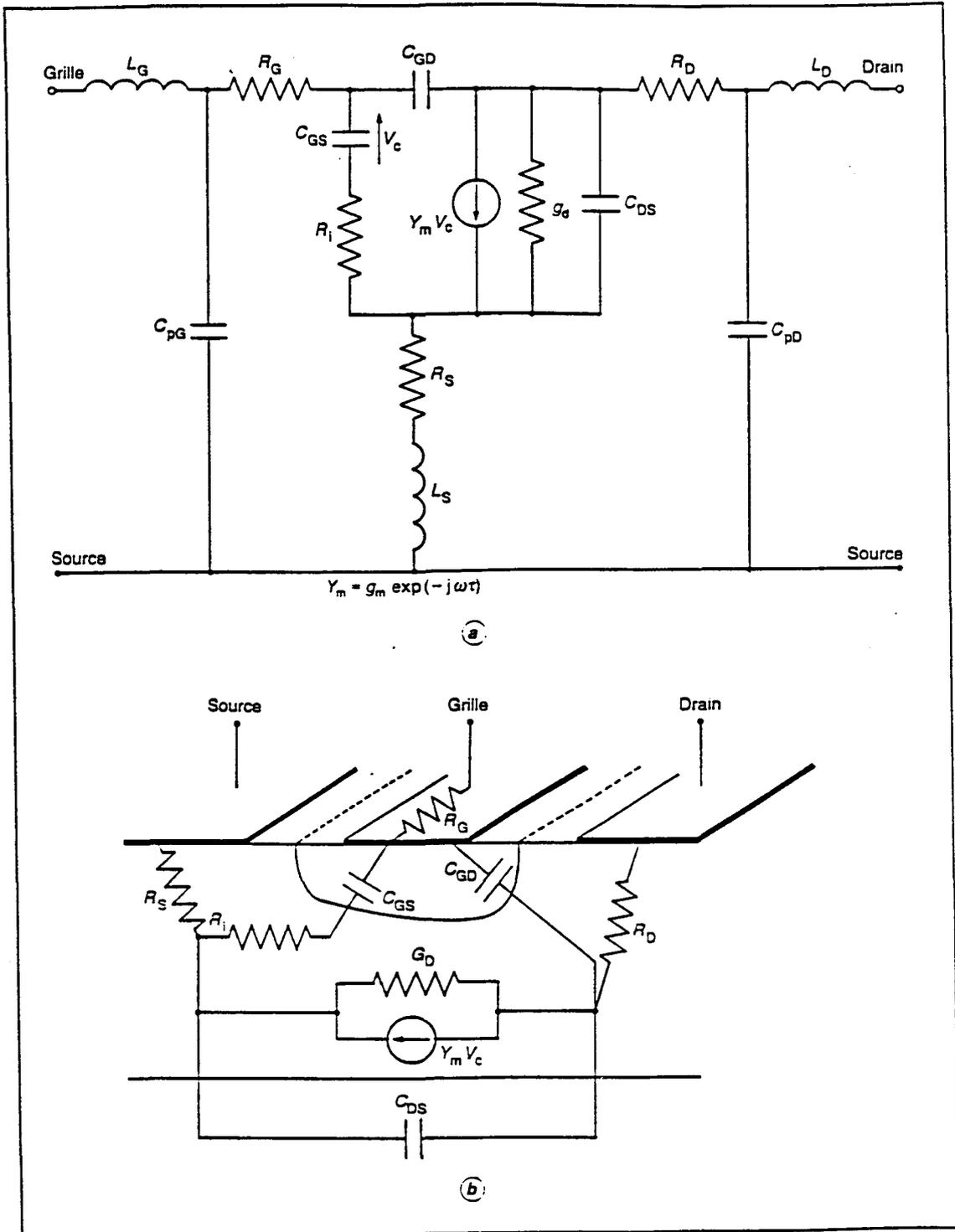


Figure 21: Schéma équivalent d'un transistor à effet de champ (a)

Localisation des éléments dans la structure (b).

I.4.3 Les performances fréquentielles

Les performances en gamme d'ondes millimétriques des transistors HEMT sont essentiellement définies à partir de la mesure du gain en courant $|h_{21}|^2$ et du gain unilatéral U . La valeur de leurs fréquences de transition respectives F_t et F_{max} doit donc être la plus élevée possible. Ces différents gains sont directement reliés aux propriétés:

- de la structure de la couche HEMT
- de transport des matériaux
- de la topologie du transistor
- des éléments technologiques.

Issu de la mesure des paramètres de la matrice de répartition $[S]$ extrinsèques, la définition de $|h_{21}|^2$ est telle que :

$$|h_{21}|^2 = \left| \frac{-2S_{21}}{(1-S_{11})(1+S_{22}) + S_{12} \cdot S_{21}} \right|^2 \quad (5)$$

De même, le gain unilatéral de Mason est tel que :

$$U = \frac{1}{2} \cdot \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{k \cdot \left| \frac{S_{21}}{S_{12}} - \operatorname{Re} \left(\frac{S_{21}}{S_{12}} \right) \right|} \quad (6)$$

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2 \cdot |S_{12}| \cdot |S_{21}|} \quad (7)$$

C'est le gain du quadripôle lorsque celui-ci est adapté en puissance à l'entrée et à la sortie et qu'une contre réaction annule le paramètre S'_{12} . $U=1$ correspond à la limite entre un quadripôle actif ($U>1$) et un quadripôle passif ($U<1$). [44]

Les expressions approchées des fréquences de transition, à partir des éléments du schéma équivalent, permettent de mieux appréhender le comportement du transistor. Ces relations ne tiennent pas compte de tous les éléments du schéma équivalent. Cependant, bien qu'approximatives [45], elles fournissent de nombreuses indications sur l'influence de chacun des paramètres qui régissent les performances du HEMT.

L'expression de la fréquence de transition F_t est donnée par:

$$F_t \approx \frac{G_m}{2.\pi.(C_{gs} + C_{gd} + C_{pg})} \quad (8)$$

Cette dernière peut se mettre sous la forme :

$$F_t \approx F_c . \frac{1}{\left(1 + \frac{C_{gd}}{C_{gs}} + \frac{C_{pg}}{C_{gs}}\right)} \quad (9)$$

où F_c est la fréquence de coupure intrinsèque du transistor ($F_c = G_m / 2.\pi.C_{gs}$). De cette façon, il apparaît nettement que pour avoir une fréquence de transition élevée, il faut en première approximation :

$$\frac{C_{gs}}{C_{gd}} \gg 1 \quad \text{et} \quad \frac{C_{gs}}{C_{pg}} \gg 1 \quad (10)$$

Ces deux rapports seront donc à étudier particulièrement lors de la caractérisation hyperfréquence des composants. De plus, la capacité de plot de grille C_{pg} montre qu'il est nécessaire de concevoir le masque transistor avec les capacités parasites les plus faibles possibles.

L'expression de la fréquence de transition F_{max} est la suivante :

$$F_{max} \approx \frac{F_c}{[4.R_0.G_d + 4.\pi.F_c.(R_g + R_0).C_{gd}]^{1/2}} \quad \text{avec } R_0 = R_i + R_s + R_g \quad (11)$$

Ainsi, pour obtenir une augmentation significative de F_{max} , il faut augmenter la fréquence de coupure F_c . De plus, il faut simultanément diminuer la résistance de grille R_g et la résistance de source R_s . Les valeurs de G_d et de C_{gd} doivent être également les plus faibles possibles, ce qui revient à dire que les rapports G_m/G_d et C_{gs}/C_{gd} doivent être les plus élevés possibles.

En conclusion, les performances hyperfréquences sont principalement déterminées par la valeur de la fréquence de coupure F_c et par les valeurs de R_g , G_d , C_{pg} et C_{gd} . Les conditions à remplir pour obtenir des fréquences de transitions F_t et F_{max} élevées sont donc définies. En effet, il est souhaitable d'optimiser les propriétés de transport et de diminuer la longueur de grille pour que F_c atteigne des valeurs records. De même, il faut optimiser la topologie et le procédé de fabrication des transistors pour que R_g , G_d , C_{pg} et C_{gd} soient les plus faibles possibles.

I.4.4 Les performances en bruit

Pour caractériser entièrement le transistor à effet de champ, l'étude fréquentielle doit être complétée par une étude sur le bruit généré à la fréquence de travail souhaitée. Celui-ci caractérise, par définition, les fluctuations spontanées et aléatoires de grandeurs physiques telle que la vitesse électronique et la densité des porteurs.

Ainsi à des fréquences d'utilisation élevées, le phénomène de bruit intervenant dans le transistor à effet de champ est le bruit thermique ou de diffusion. Il vient des diverses interactions de porteurs avec le réseau cristallin qui sont à l'origine des fluctuations aléatoires de leur vitesse.

Pour la conception de l'amplificateur, le problème qui se pose est la réduction du bruit ajouté par les divers éléments qui le composent. La puissance de bruit disponible à la sortie N_s du dispositif est donnée par

$$N_s = N_a + N_e.G \quad (12)$$

avec

$$N_e = k.T_0.\Delta f \quad (\text{avec } T_0=290K) \quad (13)$$

où $T_0 = 290K$ est la température de bruit de référence du générateur, N_e est la puissance de bruit disponible à l'entrée du dispositif, G le gain en puissance disponible et N_a le bruit ajouté par l'étage amplificateur.

Ainsi, lorsqu'un signal est amplifié, le rapport signal sur bruit (S/B)_s à la sortie de l'amplificateur est toujours dégradé par rapport au rapport signal sur bruit (S/B)_e à l'entrée. Il est nécessaire de réduire le bruit propre du système qui contribue à la dégradation de ce rapport. Pour caractériser cette dégradation, on peut définir un facteur de bruit noté F [46]. Son expression, pour une température de générateur de 290K, est donnée par :

$$F = \frac{(S/B)_e}{(S/B)_s}_{T_0=290K} \quad (14)$$

Il est minimal (F_{\min}) pour une admittance optimale de générateur Y_{opt} .

Du point de vue de l'utilisateur, l'amplificateur sera donc caractérisé par un couple « facteur minimum de bruit et gain associé ». Le gain associé correspond au gain en puissance disponible lorsque le générateur présente une admittance optimale Y_{opt} .

Il existe plusieurs techniques de caractérisation de bruit des quadripôles. La méthode décrite dans ce mémoire est celle utilisant trois paramètres de bruit. Parmi les autres méthodes, celle à deux températures équivalentes de bruit fait l'objet d'un travail de recherche au sein de l'équipe[47][48].

Dans le cadre des structures à effet de champ tel que le HEMT, les performances de bruit dépendent des quatre sources de bruit suivantes [49]:

- les sources de bruit $\langle e_s^2 \rangle$ et $\langle e_g^2 \rangle$ sont associées aux résistances d'accès R_s et R_g . Elles sont données par la formule de Nyquist :

$$\langle e_s^2 \rangle = 4 \cdot k \cdot T_a \cdot R_s \cdot \Delta F \quad (15)$$

$$\langle e_g^2 \rangle = 4 \cdot k \cdot T_a \cdot R_g \cdot \Delta F \quad (16)$$

où T_a est la température ambiante.

- les deux sources de bruit corrélées $\langle i_g^2 \rangle$ et $\langle i_d^2 \rangle$ sont associées au transistor intrinsèque. Leur expression est :

$$\langle i_g^2 \rangle = 4.k.T. \frac{C_{gs}^2 . \omega^2}{G_m} . R . \Delta F \quad (17)$$

$$\langle i_d^2 \rangle = 4.k.T . G_m . P . \Delta F \quad (18)$$

$$C_0 = j.C \text{ (coefficient de corrélation)} \quad (19)$$

avec P , R coefficients qui dépendent de la polarisation mais pas de la fréquence. Il est à noter que c'est le couplage capacitif grille-canal qui donne un coefficient de corrélation C_0 purement capacitif et qu'il est également responsable de l'évolution de $\langle i_g^2 \rangle$ en fonction de ω^2 .

La figure 22 représente la modélisation dans le HEMT du bruit intrinsèque et extrinsèque apporté par ces quatre sources de bruit équivalentes.

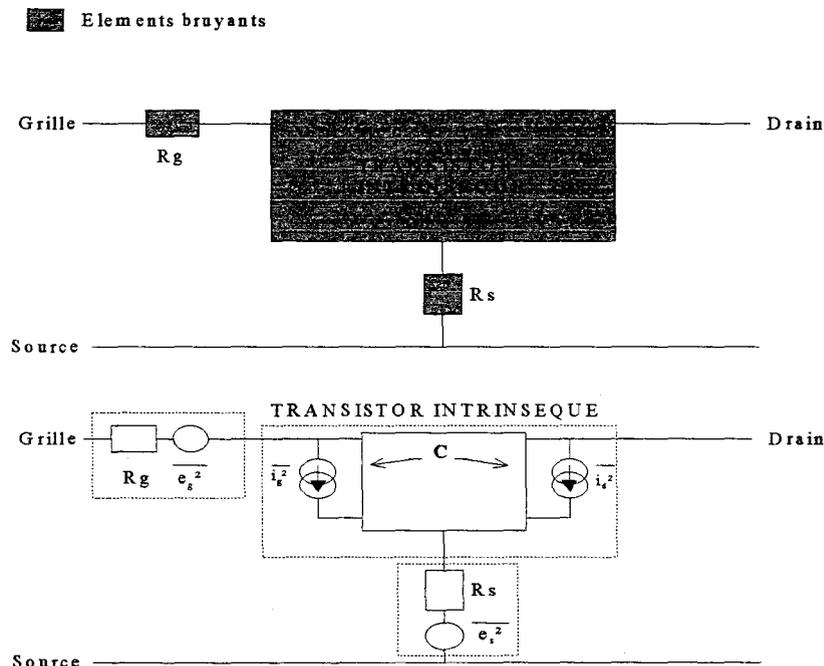


Figure 22: modélisation du bruit intrinsèque et extrinsèque dans le HEMT apporté par quatre sources de bruit équivalentes.

Par conséquent, le calcul des paramètres de bruit, à partir des quatre sources de bruit, donne :

$$F_{\min} = 1 + 2\sqrt{K_1} \frac{f}{f_c} \sqrt{Gm(Rs + Rg) + \frac{K_2}{K_1}} \quad (20)$$

$$Rn = Rs + Rg + \left(\frac{P}{Gm} \right) \quad (21)$$

$$Y_{opt} = \left(\frac{Gn}{Rn} \right)^{1/2} + j.\omega.Cgs \frac{(C\sqrt{R.P} - P)}{Gm.Rn} \quad (22)$$

$$K_1 = P + R - 2C\sqrt{P.R} \quad (23)$$

$$K_2 = PR(1 - C^2) \quad (24)$$

$$G_n = \left(\frac{\omega^2.Cgs^2}{Gm^2} \right) \left[\frac{Gm(Rs + Rg)K_1 + K_2}{Rn} \right] \quad (25)$$

où Rn est appelée résistance équivalente de bruit et Gn la conductance équivalente de bruit. Les coefficients P, R, C sont sans dimension, ils dépendent des caractéristiques physiques du transistor et des conditions de polarisation. En régime faible bruit, les valeurs de ces coefficients sont typiquement : $P=1$, $R=0.5$ et $C=0.8$.

Par conséquent, pour que le facteur minimum de bruit soit le plus faible possible il faut que la fréquence de coupure F_c soit la plus élevée possible. Il faut aussi trouver les paramètres technologiques qui assurent de faibles valeurs des résistances Rs et Rg . Ces trois grandeurs donnent la condition à réaliser pour obtenir les meilleurs résultats dans ce domaine.

I.4.5 Applications faible signal - faible bruit

A partir des différentes relations discutées dans les paragraphes précédents, nous pouvons recenser les paramètres qui conditionnent les performances du transistor HEMT.

La fréquence de coupure F_c :

De façon approximative, cette fréquence peut être reliée aux propriétés du matériau et du transistor par la relation (1). Les fréquences de coupure les plus élevées seront obtenues en utilisant des matériaux à grande vitesse électronique $\langle v \rangle$ et pour des composants à grille ultracourte.

La transconductance G_m :

Il y a deux conditions pour avoir une valeur de transconductance élevée. Celles-ci sont définies à partir de l'expression suivante. Ainsi, pour un transistor de développement total Z , la transconductance se met sous la forme :

$$G_m = \frac{\varepsilon * Z * \langle v \rangle}{A} \quad (26)$$

Il faut donc que l'épaisseur A entre la grille et le gaz d'électrons bidimensionnel soit la plus petite possible. De plus, les porteurs doivent bénéficier des meilleures propriétés de transport afin d'atteindre les vitesses électroniques $\langle v \rangle$ les plus élevées.

La conductance de sortie G_d :

L'augmentation de ce paramètre est principalement dû à l'injection classique de porteurs dans le substrat. Cette injection est amplifiée par l'effet de canal court qui se produit lorsque le rapport d'aspect du composant (longueur de grille / épaisseur de couche active) devient trop faible (< 5).

Pour diminuer cette injection, il faut réaliser une structure en puits pour assurer un bon confinement des porteurs. De même, il faut un bon contrôle de l'épaisseur du canal et

de la gravure du fossé de grille. Il est nécessaire de respecter la règle fixée par le rapport d'aspect (L_g/A) afin de ne pas dégrader la valeur de la conductance de sortie.

La capacité grille-drain C_{gd} :

Cette capacité a deux composantes. La première vient de la commande des charges du semiconducteur par la tension drain-source. La seconde est issue de la capacité électrostatique grille-drain. Cette dernière dépend beaucoup de la géométrie de la grille et de la topologie des plots de contact du transistor.

La résistance d'accès de source R_s :

Cette résistance est donnée par :

$$R_s = R_c + \frac{R_{\square} * L_{sg}}{Z} \quad (27)$$

où R_c est la résistance de contact du contact ohmique de source, R_{\square} la résistance carré de l'espace source-grille et L_{sg} la distance source-grille. Pour diminuer la valeur de R_s , il faut réduire la distance L_{sg} . Cette résistance peut être diminuée également en minimisant R_c et R_{\square} . Pour cela, il faut respectivement un cap layer fortement dopé et une grande mobilité électronique dans le puits.

La résistance de grille R_g :

Pour un composant de développement total Z comportant n doigts de grille en parallèle, cette résistance a pour valeur :

$$R_g = \frac{1}{3 \cdot n^2} R_m \cdot Z \quad (28)$$

où R_m est la résistance linéique de métallisation.

R_g est donc réduite en optimisant la structure de grille (grille en T ou grille champignon pour réduire R_m), et en optimisant la topologie du transistor (nombre de doigts de grille).

Cette optimisation est rendue complexe par la corrélation entre la résistance de grille R_g et la capacité grille-drain C_{gd} . La forme de la grille a une influence directe sur la valeur de R_g et de C_{gd} . Plus la section de métal conducteur est grande, plus la résistance de métallisation R_m est faible. Pour diminuer R_g , il faut donc augmenter la hauteur et la largeur du haut de grille. Cependant, une partie de la capacité C_{gd} dépend beaucoup de la géométrie de la grille et de la topologie des plots de contact du transistor. Une métallisation de grille importante entraînera une diminution de R_g mais également une augmentation des capacités parasites liées à la forme de la grille.

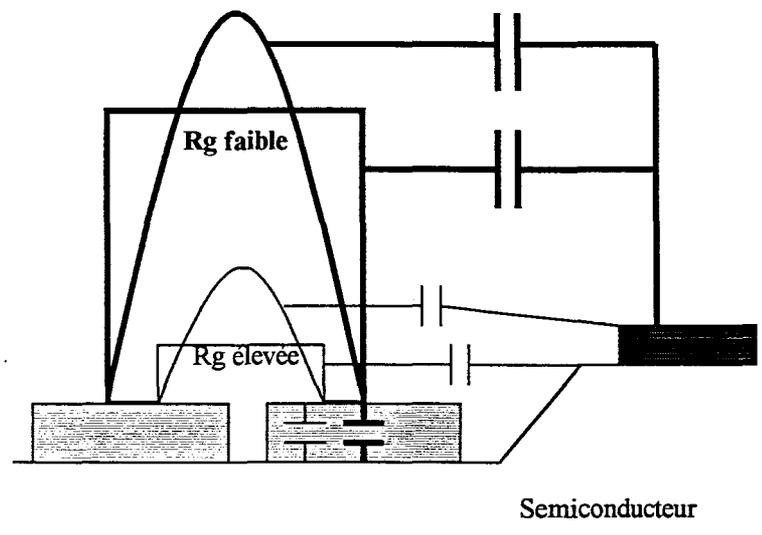


Figure 23: Influence de la métallisation de grille sur R_m et C_{gd} .

L'influence de R_s et de R_g :

Les résistances R_s et R_g interviennent dans l'expression de F_{max} (11) et de F_{min} (20). Ces expressions montrent qu'en première approximation, F_{max} est proportionnelle à

$1/\sqrt{(R_s + R_g)}$ et F_{min} à $\sqrt{(R_s + R_g)}$. Par conséquent, des valeurs élevées de ces deux résistances dégradent les performances du composant.

Les expressions (28) et (29) montrent que la résistance R_s est proportionnelle à $(1/W)$ et R_g à (W) . Pour tenir compte de ces évolutions, ces deux grandeurs sont représentées figure 24 en fonction de l'inverse du développement du transistor $(1/W)$.

La résistance de source R_s est paramétrée en fonction de la résistance de contact R_c . La valeur de la résistance carré de la couche est fixée à $R_{\square} = 200 \Omega$. Les valeurs choisies pour R_c caractérisent la qualité du contact ohmique. Quand $R_c = 0.1 \Omega \cdot \text{mm}$, le contact est de bonne qualité. Quand $R_c = 0.4 \Omega \cdot \text{mm}$, le contact est de mauvaise qualité.

La résistance de grille R_g est paramétrée en fonction de la résistance linéique de métallisation R_m . Les valeurs choisies pour R_m caractérisent la qualité de la métallisation de grille. Quand $R_m = 250 \Omega/\text{mm}$, la section de grille métallisée est suffisamment élevée pour que R_g soit faible. Quand $R_m = 1000 \Omega/\text{mm}$, la section de grille métallisée est insuffisante et la résistance de grille R_g est très élevée.

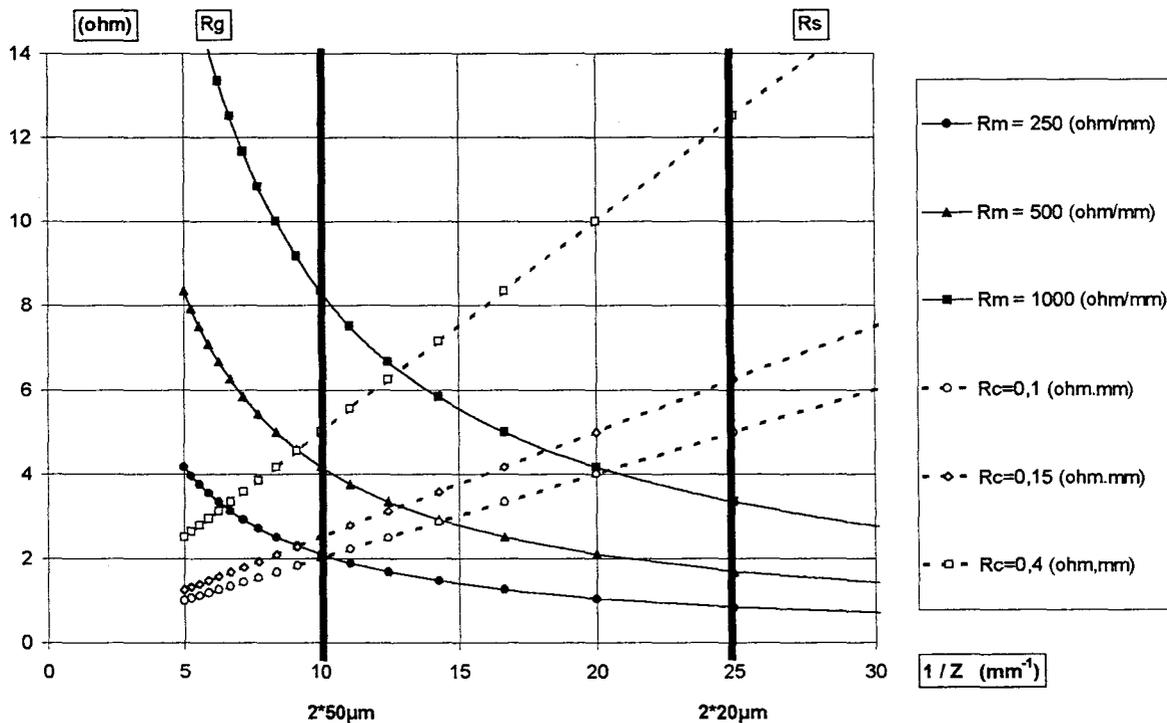


Figure 24: Représentation de R_s et R_g en fonction du développement du transistor pour différentes valeurs de R_c et de R_m .

Deux grandes tendances peuvent être dégagées de ce réseau de caractéristiques. En effet, on peut voir que les étapes à optimiser ne sont pas les mêmes suivant le développement du transistor.

- 1- Pour les grands développements de transistor, les performances du composant sont principalement dégradées par la valeur élevée de R_g . En effet, pour un transistor de $2 \times 50 \mu\text{m}$, la résistance de grille R_g est très nettement supérieure à R_s . De ce fait, les contacts ohmiques ont moins d'influence sur les performances du transistor que la résistance de grille. Il faudra, par conséquent, optimiser essentiellement l'étape de réalisation de grille afin de réduire R_m et de diminuer R_g .

- 2- Pour les faibles développements de transistor, les performances du composant sont principalement dégradées par la valeur élevée de R_s . En effet, pour un transistor de $2 \times 20 \mu\text{m}$, la résistance de source R_s est très nettement supérieure à R_g . De ce fait, la technologie de grille a moins d'influence sur les performances du transistor que celle des contacts ohmiques. Il faudra, par conséquent, optimiser essentiellement le procédé de réalisation des contacts ohmiques. Le but est de diminuer la résistance de contact R_c et de réduire la valeur de R_s .

A l'aide du logiciel HELENA, nous avons estimé l'amélioration apportée par la diminution des résistances R_s et R_g sur le facteur minimum de bruit en fonction de la fréquence. En effet, il est intéressant de savoir de combien le facteur minimum de bruit diminue lorsque l'on réduit, par exemple, R_g de 2Ω et R_s de $0.1 \Omega \cdot \text{mm}$. Ce travail a été réalisé en tenant compte des tendances évoquées précédemment :

- grand développement de transistor : premier facteur limitant R_g
- petit développement de transistor : premier facteur limitant R_s .

Dans le cas d'un grand développement de transistor, la valeur de la résistance de source est fixée à une valeur typique, soit $R_s = 0.25 \Omega \cdot \text{mm}$, et l'optimisation porte sur R_g . Les résultats de cette étude sont regroupés dans le tableau 9.

2*50 μm			
$R_c = 0.15 (\Omega.\text{mm})$ et $R_s = 0.25 (\Omega.\text{mm})$			
$R_m(\Omega/\text{mm})$	$R_g (\Omega)$	$F_{\text{min}}(\text{dB})@60\text{GHz}$	$F_{\text{min}}(\text{dB})@94\text{GHz}$
250	2.1	1.4	2.1
500	4.1	1.6	2.4
1000	8	1.87	2.87

Tableau 9: Evolution du facteur minimum de bruit en fonction de R_g à différentes fréquences pour un transistor de développement $2*50\mu\text{m}$.

Les résultats montrent que si l'on parvient à réduire la résistance de grille R_g de 4 à 2Ω alors la valeur du facteur minimum de bruit décroît de 0.3 dB à 94 GHz. Par contre, si l'on ne réalise pas une bonne métallisation de grille, la valeur élevée de R_g dégrade fortement le facteur minimum de bruit. Il peut augmenter de 0.47 dB à 94 GHz si la résistance R_g de 4Ω est doublée.

Dans le cas d'un petit développement de transistor, la valeur de la résistance de métallisation de grille est fixée à une valeur typique, soit $R_m = 500 \Omega/\text{mm}$, et l'optimisation porte sur R_s . Les résultats de cette étude sont regroupés dans le tableau 10.

2*20 μm		
$R_m = 500 (\Omega/\text{mm})$ et $R_g = 1.6 (\Omega)$		
$R_s (\Omega.\text{mm})$	$F_{\text{min}}(\text{dB})@60\text{GHz}$	$F_{\text{min}}(\text{dB})@94\text{GHz}$
0.1	1.17	1.77
0.2	1.25	1.9
0.25	1.3	1.93
0.5	1.47	2.23

Tableau 10: Evolution du facteur minimum de bruit en fonction de R_s à différentes fréquences pour un transistor de développement $2*50\mu\text{m}$

Les résultats montrent que si l'on parvient à réduire la résistance de source R_s de 0.25 à 0.1 ($\Omega.\text{mm}$) alors la valeur du facteur minimum de bruit décroît de 0.16 dB à

94GHz. Par contre, si l'on ne réalise pas un bon contact ohmique, la valeur de R_s passe de 0.25 à 0.5 (Ω .mm) ce qui dégrade le facteur minimum de bruit. Ce dernier peut, dans ce cas, augmenter de 0.3dB à 94 GHz.

I.5. Conclusion

Nous avons vu dans ce chapitre le principe de fonctionnement et les différents types de HEMT. Puis, nous avons comparé les performances à l'état de l'art des composants pour différentes filières HEMT. Enfin, les paramètres qui conditionnent les performances du transistor HEMT dans le cadre d'applications « faible bruit - faible signal » ont été listés et analysés. Ainsi, la comparaison des performances hyperfréquences des filières HEMT permet de conclure sur la supériorité des hétérojonctions AlInAs/GaInAs. Un transistor réalisé sur une structure adaptée en maille sur InP doit permettre de réaliser un amplificateur fonctionnant à 94 GHz. Les grandeurs caractéristiques auxquelles il faut s'intéresser sont F_c , G_m , R_s , R_g , G_d , et C_{gd} . Il s'agit de paramètres importants pour l'amplification faible bruit - faible signal. La réalisation d'un tel transistor nécessite une technologie optimisée pour réduire les valeurs de R_s , R_g , G_d , et C_{gd} . A l'inverse, les valeurs de F_c et de G_m doivent être les plus élevées possibles. Ainsi, il faut définir et optimiser un procédé de fabrication de HEMT qui permette de remplir ces conditions. Les objectifs à atteindre ainsi que les étapes technologiques nécessaires à la réalisation de ces composants sont exposés dans le chapitre deux.

Bibliographie du Chapitre 1

[1]

L.D. NGUYEN, U. K. MISHRA, et coauteurs

« ultra-high speed modulation –doped field effect transistor, a tutorial revue »
PROCEEDINGS OF THE IEEE – VOL 80 – N. 4 – pp (494-518) – APRIL 1992.

[2]

D.DELAGEBEAUDEUF, N. T. LINH

« metal-n AlGaAs–GaAs two dimensional electron gas FET »
IEEE TRANSACTIONS ON ELECTRON DEVICES - VOL. ED-29 - N. 6 – pp (955-960) –
JUN 1982.

[3]

R.DINGLE, W.WIEGMANN, et coauteurs

« electron mobilities in modulation-doped semiconductor heterojunction superlattices »
APPLIED PHYSICS LETTERS. VOL. 33(7) – pp (665-667) – OCTOBER 1978.

[4]

Thèse Yvon CORDIER.

« croissance par épitaxie par jets moléculaires de structures contraintes GaInAs sur substrat
GaAs; réalisation et caractérisation de HEMT pseudomorphiques GaAlAs/GaInAs/GaAs »
14 FEVRIER 1992.

[5]

S. TAKAYAMA, S. MITSUI, et coauteurs

« overview of recent development of HEMTS in the mm-wave range »
SOLID-STATE ELECTRONICS - VOL. 38 - N. 9 – pp (1581-1588) – 1995.

[6]

D. PAVLIDIS

« InP-based heterostructure transistors and diodes and their monolithic implementation »
INTERNATIONAL SEMINAR ON TERAHERTZ ELECTRONICS 13 JUNE 1994.

[7]

H.HAPPY, A. CAPPY, et coauteurs

« numérical analysis of device performance of metamorphic $In_yAl_{1-y}As/In_xGa_{1-x}As$
($0.3 \leq x \leq 0.6$) HEMTson GaAs substrate »
IEEE TRANSACTIONS ON ELECTRON DEVICES (accepté et à paraître).

[8]

Thèse Henri HAPPY.

« HELENA : un logiciel convivial de simulation des composants à effet de champ »
18 JUN 1992.

[9]

L.D. NGUYEN, A.S. BROWN, et coauteurs

«50-nm self-aligned-gate pseudomorphic AlInAs/GaInAs high electron mobility transistor »
IEEE TRANSACTIONS ON ELECTRON DEVICES - VOL. 39 - N. 9 – pp (2007-2014) –
SEPTEMBER 1992.

[10]

I. THAYNE, M. HOLLAND, et coauteurs

« comparison of 80nm-200nm gate length $\text{Al}_{0.25}\text{GaAs}/\text{GaAs}/\text{Al}_{0.25}\text{GaAs}$,
 $\text{Al}_{0.3}\text{GaAs}/\text{In}_{0.15}\text{GaAs}/\text{GaAs}$ and $\text{In}_{0.52}\text{AlAs}/\text{In}_{0.65}\text{GaAs}/\text{InP}$ HEMTs »
IEDM 1993 – IEEE – pp (225-228).

[11]

P.M. SMITH, P.C. CHAO, et coauteurs

« W-Band high efficiency InP-based power HEMT with 600 GHz f_{max} »
IEEE MICROWAVE AND GUIDED WAVE LETTERS – VOL. 5 – N. 7 – pp (230-232) –
JULY 1995.

[12]

H. WANG, M.W. POSPIESZALSKI, et coauteurs

« a 140-GHz monolithic low noise amplifier »
IEEE MICROWAVE AND GUIDED WAVE LETTERS – VOL. 5 – N. 5 – pp (150-152) –
MAY 1995.

[13]

S. STRÄHLE, E. KOHN, et coauteurs

« microwave performance of InP-based HEMTs for low-voltage application »
MICROWAVE AND OPTICAL TECHNOLOGY LETTERS – VOL. 11 - N. 3 – pp (131-
134) – FEBRUARY 1996.

[14]

T. ENOKI, Y. ISHII, et coauteurs

« 0.05 μm gate InAlAs/InGaAs high electron mobility transistor and reduction of its short-
channel effects »
JPN J. APPL PHYS. – VOL 33 – pp (798-803) – PART 1 – N. 1B - JANUARY 1994.

[15]

T. ENOKI, Y. ISHII, et coauteurs

«Impact of two-step-recessed gate structure on RF performance of InP-based HEMTs »;
ELECTRONICS LETTERS - pp (220-222) - JANUARY 1998 - VOL. 34 – N. 2.

[16]

L.D. NGUYEN, L.M. JELLOIAN, et coauteurs

« fabrication of a 80nm self-aligned T-gate AlInAs/GaInAs HEMT »
IEDM 1990 - IEEE - pp (499-502)

[17]

T. ENOKI, Y. ISHII, et coauteurs

« 0.1 μm InAlAs/InGaAs HEMTs with an InP-recess-etch stopper grown by MOCVD »
MICROWAVE AND OPTICAL TECHNOLOGY LETTERS – VOL. 11 - N. 3 – pp (135-
139) – FEBRUARY 1996.

[18]

T. ENOKI, K. ARAI, et coauteurs

« novel T-gate fabrication and high frequency performance for 0.1 μ m-gate InAlAs/InGaAs HEMT »

ELECTRONICS LETTERS - VOL. 27 - N. 2 – pp (115-116) – JANUARY 1991.

[19]

P. HO, P.C. CHAO, et coauteurs

« extremely high gain 0.15 μ m gate-length InAlAs/InGaAs/InP HEMTs »

ELECTRONICS LETTERS - VOL. 27 - N. 2 – pp (325-327) – FEBRUARY 1991.

[20]

A.J. TESMER, P.C. CHAO, et coauteurs

« Very high performance 0.15 μ gate length InAlAs/InGaAs/InP lattice-matched HEMTs »

1989 - IEEE - pp (56-61) - CH2790.

[21]

Y. BAYENS, M. VAN ROSSUM, et coauteurs

« performance of 0.2 μ m planar doped pseudomorphic and lattice-matched HEMTs on GaAs and InP »

ESSDERC 1993 - pp (753-756).

[22]

C.G. DISKUS, C. BERGAMASHI, et coauteurs

« small and large signal model of a 150 GHz InAlAs/InGaAs HEMT »

1993-1994 - ?

[23]

A. MAHAJAN, I.ADESIDA, et coauteurs

« 0.3- μ m Gate-Length Enhancement-Mode InAlAs/InGaAs/InP High Electron Mobility Transistor ».

IEEE ELECTRON DEVICE LETTERS, VOL.18 - N°6 - JUNE 1997 - pp (284-286).

[24]

J.B. BOOS, W. KRUPPA

« InAlAs/InGaAs/InP HEMTs with high breakdown voltages using double-recess gate process »

ELECTRONICS LETTERS - VOL. 27 - N. 21 – pp (1909-1910) – OCTOBER 1991.

[25]

K.L. TAN, R.M. DIA, et coauteurs

« 94-GHz 0.1 μ m T-gate low noise pseudomorphic InGaAs HEMT's »

IEEE ELECTRON DEVICE LETTERS - VOL. 11 - N. 12 – pp (585-587) - DECEMBER 1990.

[26]

M. FENG, J.R. MIDDLETON, et coauteurs

« temperature dependence study of two-dimensional electron gas effect on the noise performance of high frequency field effect transistors »

IEEE ELECTRON DEVICE LETTERS - VOL. 16 - N. 4 – pp (139-141) – APRIL 1995.

[27]

M. ZACHNOUNE, Y. CROSNIER, et coauteurs

« power performance capability of metamorphic HEMT on GaAs substrate »
GAAS 1998.

[28]

M. ZACHNOUNE, Y. CROSNIER, et coauteurs

« high performance metamorphic $\text{In}_{0.32}\text{Al}_{0.68}\text{As}/\text{In}_{0.33}\text{Ga}_{0.67}\text{As}$ HEMT's on GaAs substrate
with an inverse step InAlAs metamorphic buffer »
DRC 1998 (Device Research Conference).

[29]

S. BOLLAERT, A. CAPPY, et coauteurs

« 0.1 μm metamorphic $\text{In}_{0.4}\text{Al}_{0.5}\text{As}/\text{In}_{0.4}\text{Ga}_{0.5}\text{As}$ on GaAs substrate HEMTs with $f_t=190$
GHz »
GAAS 1998

[30]

D. M. GILL, N.E. BYER, et coauteurs

« high-performance, 0.1 μm InAlAs/InGaAs high electron mobility transistors on GaAs »
IEEE ELECTRON DEVICE LETTERS - VOL. 17 - N. 7 – pp (328-330) – JULY 1996.

[31]

M.KAWANO, H. TOKUDA, et coauteurs

« InAlAs/InGaAs metamorphic low-noise HEMT »
IEEE MICROWAVE AND GUIDED WAVE LETTERS -VOL. 7 - pp (6-8) - N. 1
JANUARY 1997.

[32]

G.U. WANG, F. EASTMAN, et coauteur

« a 0.1 μm gate $\text{Al}_{0.5}\text{In}_{0.5}\text{As}/\text{Ga}_{0.5}\text{In}_{0.5}\text{As}$ MODFET fabricated on GaAs substrates »
IEEE TRANSACTIONS ON ELECTRON DEVICES - VOL. 35 - N. 7 – pp (818-822) –
JULY 1988.

[33]

M. CHERTOUK, G. WEIMANN, et coauteurs

« metamorphic InAlAs/InGaAs HEMT's on GaAs substrates with a novel composite channels
design »
IEEE ELECTRON DEVICE LETTERS - VOL. 17 - N. 6 – pp (273-275) – JUNE 1996.

[34]

M. CHERTOUK, G. WEIMANN, et coauteurs

« metamorphic InAlAs/InGaAs HEMTs on GaAs substrates with composite channels and 350
GHz f_{max} with 160 GHz f_t »
MICROWAVE AND OPTICAL TECHNOLOGY LETTERS – VOL. 11 - N. 3 – pp (145-
147) – FEBRUARY 1996.

[35]

C. KARLSSON, H. ZIRATH, et coauteurs

« microwave performance of HFETs on metamorphic $\text{In}_{0.7}\text{Al}_{0.3}\text{As}/\text{In}_{0.8}\text{Ga}_{0.2}\text{As}$ on GaAs substrates »

ESSDERC 1996 – pp (881-884)

[36]

Y.J. CHAN, J.L. SHIEN, et coauteurs

« GaAs-based $\text{In}_{0.29}\text{Al}_{0.71}\text{As}/\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ high electron mobility transistors »

MICROWAVE AND OPTICAL TECHNOLOGY LETTERS – VOL. 11 - N. 3 – pp (148-150) – FEBRUARY 1996.

[37]

Y. JIN

MICROELECTRONIC ENGINEERING - VOL. 13 - pp (181) – 1991.

[38]

K.H.G. DUH, P.C. CHAO, et coauteurs

« a super low noise $0.1\mu\text{m}$ T-gate $\text{InAlAs}/\text{InGaAs}/\text{InP}$ HEMT »

IEEE MICROWAVE AND GUIDED WAVE LETTERS – VOL. 1 – N. 5 – pp (114-116) – MAY 1991.

[39]

N. YOSHIDA, S. MITSUI, et coauteurs

« a super low noise $\text{AlInAs}/\text{InGaAs}$ HEMT processed by selective wet gate recess etching »

IEEE TRANSACTIONS ON ELECTRON DEVICES - VOL. 43 - N. 1 – pp (178-180) – JANUARY 1996.

[40]

U.K. MISHRA, A.S. BROWN, et coauteurs

« Microwave performance of $\text{AlInAs}/\text{GaInAs}$ HEMT's with 0.2 and $0.1\mu\text{m}$ gate length »

IEEE ELECTRON DEVICE LETTERS - VOL. 9 - N. 12 – pp (647-649) - DECEMBER 1988.

[41]

U.K. MISHRA, A.S. BROWN, et coauteurs

« DC and RF performance of $0.1\mu\text{m}$ gate length $\text{AlInAs}/\text{GaInAs}$ pseudomorphic HEMTs »

IEDM- pp (180-183) - 1988-IEEE.

[42]

H. L. STORMER, W. WIEGMANN, et coauteurs

« influence of an undoped $(\text{AlGa})\text{As}$ spacer on mobility enhancement in $\text{GaAs}/(\text{AlGa})\text{As}$ superlattices »

APPLIED PHYSICS LETTERS. VOL. 38(9) – pp (691-693) – MAY 1981.

[43]

G. DAMBRINE, et coauteurs

« a new method for determining the FET small-signal circuit »
IEEE TRANS. MTT-36- N. 7 – pp (1151-1159) – JULY 1988.

[44]

G.D VENDELIN,

« design of amplifiers and oscillators by S-parameter method »
WILEY-INTERSCIENCE , 1982

[45]

Virginie HOEL

« optimisation de la technologie de grille des transistors HEMT pour application en bande W »
DEA ELECTRONIQUE – JUILLET 1995.

[46]

Thèse Alain CAPPY.

« propriétés physiques et performances potentielles des composants submicroniques a effet de champ : structures conventionnelles et à gaz d'électrons bidimensionnel »
19 DECEMBRE 1986.

[47]

Thèse Jean Maxence BELQUIN.

« Développement de bancs de mesures et de modèles de bruit de HEMT pour la conception de circuits faible bruit en gamme d'ondes millimétriques »
26 MARS 1997.

[48]

Gilles DAMBRINE - Diplôme d'Habilitation à diriger des recherches en sciences.

« caractérisation des composants hyperfréquences en régime de fonctionnement linéaire »
9 JANVIER 1996.

[49]

Techniques de l'ingénieur (E 2490)

CHAPITRE 2

Chapitre II : La technologie du transistor à grille nitrure

Ce chapitre présente le procédé de fabrication en technologie nitrure de transistors HEMTs de longueur de grille $0.1\mu\text{m}$ [1-4]. L'objectif est la maîtrise d'une technologie reproductible et à haut rendement conduisant à la réalisation de HEMTs performants, condition nécessaire pour réaliser des circuits intégrés monolithiques en technologie coplanaire.

Dans ce cadre, nous souhaitons réaliser des amplificateurs faible bruit 2 étages performants travaillant en bande V (50-75 GHz) et W (75-110 GHz). Dans le cas de l'application en bande W, le module amplificateur doit présenter un gain de 10 dB et un facteur de bruit de 3.5 dB à 94 GHz. Ces valeurs nous conduisent à la détermination des performances hyperfréquences des transistors. En effet, il faut tenir compte des dégradations apportées par les réseaux d'entrée et de sortie de l'amplificateur. Les pertes introduites par les éléments passifs dégradent le facteur minimum de bruit. Ainsi, pour obtenir la valeur $3.5\text{dB}@94\text{GHz}$, le facteur minimum de bruit pour un transistor doit être $2\text{dB}@94\text{GHz}$. Sachant que le gain unilatéral U évolue en 20dB/décade, nous pouvons déduire la fréquence de transition F_{max} d'un transistor à l'aide de la formule suivante : $F_{\text{max}} = F * 10^{(\text{gain}/20)} = 94 * 10^{(10/20)} = 300\text{GHz}$. Cette valeur nous conduit à la valeur de 180GHz pour la fréquence de transition du gain en courant F_t . Ce travail nécessite, par conséquent, la réalisation de HEMTs aux performances hyperfréquences suivantes :

F_t (GHz)	180
F_{max} (GHz)	300
$F_{\text{min @ 94 GHz}}$ (dB)	2

Nous présentons dans ce chapitre :

1. la conception et l'optimisation des motifs transistors nécessaires pour atteindre les objectifs précités,
2. la technologie de grille nitrure utilisée pour la réalisation des transistors,

3. les phases d'optimisation des différentes étapes technologiques pour obtenir un procédé de fabrication reproductible et à haut rendement,
4. les paramètres de la technologie optimisée sont donnés à la fin de ce chapitre.

II.1. Conception et réalisation de masques transistors

Les anciens motifs de transistors existants au laboratoire étaient obtenus à l'aide du masque « TU ». Ces derniers ont servi de support pour l'élaboration des nouveaux motifs et masques transistors. Les inconvénients de ces anciens masques et les améliorations à y apporter sont regroupés dans un cahier des charges. Celui-ci est à la base de la conception des nouveaux masques nommés « BATMAN » et « 4AS ». Pour le dessin de ces différents niveaux de masquage, le logiciel utilisé est WAVEMAKER. Son emploi a permis de réaliser au laboratoire les niveaux de masquage pour la lithographie électronique ainsi que l'ensemble des masques en verre utiles au procédé de lithographie optique.

II.1.1 Conception du nouveau masque

Pour atteindre les objectifs fixés, le nouveau masque transistor doit répondre à de nombreuses exigences. Ainsi, il faut analyser les inconvénients de l'ancienne série de masque « TU » et prévoir les améliorations à y apporter. L'objectif est d'intégrer ces éléments dans le nouveau masque « BATMAN ».

a) le masque TU

Ce masque permet de réaliser deux développements de transistor. Il s'agit de composants à deux doigts de grille. Leur développement total est respectivement de 100 et 150 μ m. La topologie est de type transistor en T. Les éléments de test sont une échelle de résistance et un trèfle pour la mesure d'effet Hall. Pour un champ complet, il y a un jeu de 4 marques d'alignement. Elles permettent la localisation par le masqueur électronique des motifs à exposer.

Une vue schématique du masque TU est présentée figure 1.

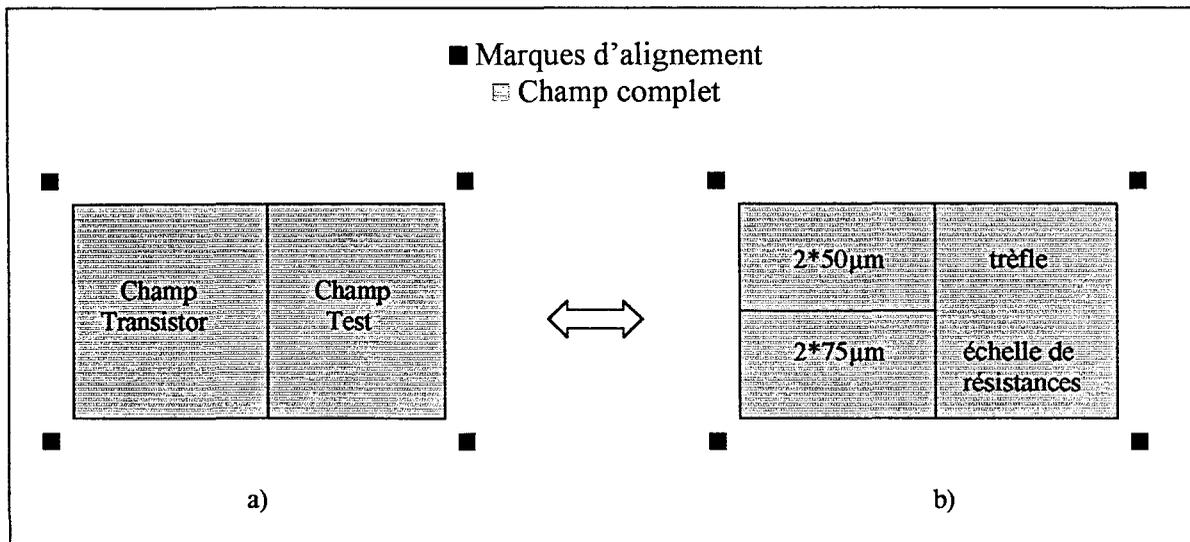


Figure 1 : Vue schématique du masque TU.

b) le cahier des charges

Le cahier des charges est le résultat de l'analyse du masque TU. Il est composé de neuf points. Chaque point est développé de la manière suivante. Les inconvénients liés au masque TU ainsi que les exigences du circuit à réaliser sont évoqués dans un premier temps. Les solutions à développer et à intégrer dans le nouveau masque sont alors proposées dans un second temps.

Voici le contenu de la réflexion menée sur le sujet.

1. Il est risqué d'appliquer la loi d'échelle avec uniquement deux développements de transistor. Le résultat de l'extrapolation est issu d'une droite passant seulement par deux points. La validité des résultats obtenus peut être mise en doute. Il faut au moins trois développements de transistors pour exploiter avec certitude les résultats donnés par la loi d'échelle.

2. Il n'y a qu'une seule topologie de transistor. Il s'agit de la configuration en T. Il faut intégrer sur le même masque la topologie en Π et celle en T. Il sera alors possible de comparer les performances hyperfréquences de ces deux types de transistors.

3. Il n'y a que deux transistors pour une série d'éléments de test (échelle + trèfle). Il faut augmenter le nombre de transistors. La taille du champ transistor doit être plus

importante que celle du champ test. Le choix s'est arrêté sur « un champ test pour 64 transistors ». Cette disposition permet d'obtenir un bon contrôle du procédé de fabrication et d'assurer une bonne utilisation de la surface de la plaque.

4. Le circuit est à réaliser en technologie coplanaire. Les transistors doivent s'intégrer facilement dans ce genre de réalisation. Les plots d'accès de grille, de drain et de source doivent être de type coplanaire. La dimension des accès du transistor et l'espacement entre ces plots sont à définir dans ce sens.

5. Il y a 4 marques d'alignement à repérer pour insoler seulement 2 transistors. Cela allonge considérablement le temps d'exposition. Il faut réduire ce temps de passage au masqueur électronique. On utilise un jeu de 4 marques d'alignement pour repérer et exposer 64 transistors.

6. Le masque TU n'a que très peu d'éléments tests. Il faut réfléchir à de nouveaux éléments de contrôle. Le but est de s'assurer du bon déroulement de chaque étape du procédé de fabrication.

7. La topologie transistor du masque TU n'est pas prévue pour les applications en gamme d'onde millimétrique. Le dessin doit être optimisé pour obtenir de bonnes performances hyperfréquences. Il faut en particulier réduire le plus possible les capacités parasites.

8. Le nouveau masque doit être utilisable par toutes les équipes. Il faut pour cela ajouter d'autres niveaux de masques. Le masque de grille doit être prévu pour la technologie multicouche de résine et la technologie nitrure. Il faut pouvoir choisir la nature des contacts ohmiques. Ils peuvent être débordants ou non débordants. Ces différentes variantes sont intégrables sur un même jeu de masque. Cependant, pour tout concilier, un ordre doit être défini pour les premières étapes du procédé de fabrication.

9. Un composant doit être facilement mesurable et monté en boîtier si nécessaire. Il faut que le transistor soit cascadable. La distance entre les accès doit concorder avec l'espacement des sondes. Pour la mise en boîtier du composant, il faut tenir compte du pas minimum utile à la découpe.

II.1.2 Le logiciel de dessin: WAVEMAKER

Ce logiciel permet de dessiner des masques. Le format GDSII est son format standard de travail. Il permet d'obtenir les formes les plus complexes par le dessin ou le calcul.

Son utilisation doit se faire avec beaucoup de précaution. Il faut tenir compte des deux points suivants.

1- Il faut prévoir la position des motifs transistors avant la première réalisation technologique. En effet, le masqueur électronique divise la surface totale à insoler sur le substrat. Il en résulte ainsi un maillage de la zone à exposer. L'écriture se fait alors secteur après secteur. Cela veut dire que tous les motifs présents à l'intérieur d'un secteur sont écrits avant de passer au suivant. Il y a ainsi une juxtaposition de champs d'écriture. De ce fait, il faut éviter que des motifs très critiques comme les grilles ne soient « victimes » d'un changement de champ d'écriture. Si une grille est placée sur la ligne qui limite un champ d'écriture, son insolation se fait alors en deux temps. Ceci augmente considérablement le risque d'avoir des coupures dans la métallisation de grille. Il faut également éviter que les motifs ne soient écrits en limite de champ. En effet, les défauts d'écriture y sont plus importants. En conclusion, l'emplacement idéal pour un motif est le centre d'un carré du maillage.

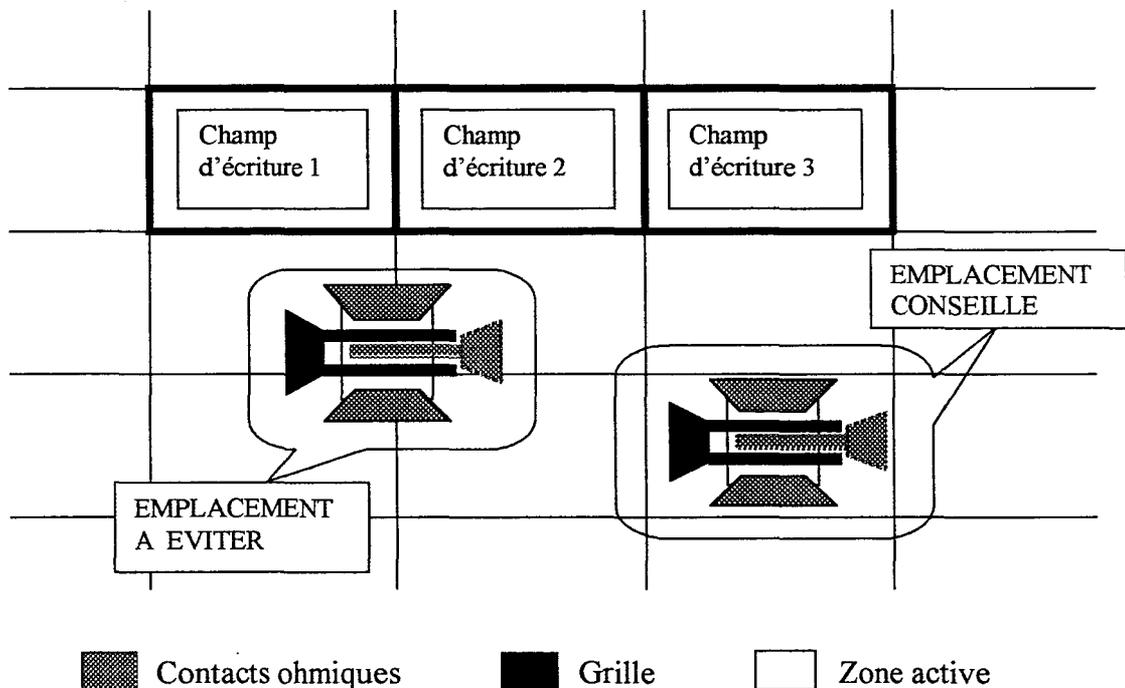


Figure 2 : Le principe du maillage.

2- Il faut déterminer à l'avance l'unité de base de la grille de dessin dans le logiciel Wavemaker. Celle-ci doit être identique à celle du logiciel « Cats » qui convertit le dessin du masque dans un format lisible par le masqueur électronique.

Les unités de base des grilles de dessin dans Wavemaker et dans Cats sont notées respectivement a_1 et a_2 . Le cas le plus critique est celui où $a_1 < a_2$. Si le dessin du pied de la grille en T est réalisé avec $a_1 = 1\text{nm}$ et si, pour cette même étape, l'unité de base dans Cats est $a_2 = 5\text{nm}$, alors il y a obligatoirement perte d'informations et déplacement du motif. En effet, le logiciel Cats va prendre en compte tous les points qui sont placés sur une grille d'unité de base 5 nm. Les autres points qui ne sont pas placés sur cette grille y seront ramenés.

Cela peut également se produire pour l'étape du haut de grille si a_1 est fixé à 10nm et a_2 à 50nm. L'accumulation de déplacement des motifs conduira par conséquent à la réalisation d'une grille en T dissymétrique.

Lors de la conception, il faut tenir compte de ces contraintes matérielles. Il s'agit d'éléments déterminant la qualité de la réalisation. Le respect de ces règles permet de se concentrer essentiellement sur l'optimisation des étapes du procédé de fabrication. Les deux masques conçus à l'aide de ce logiciel sont chronologiquement BATMAN et 4AS. Les paragraphes suivants présentent leurs caractéristiques.

II.1.3 Le masque BATMAN

Il s'agit du premier jeu de masques. Sa conception répond point par point aux éléments du cahier des charges. Ainsi, pour établir la correspondance entre ce dernier et le nouveau masque, chaque élément du cahier des charges est référencé entre parenthèses dans la suite de ce paragraphe.

a) La description du masque

La structure globale du masque est présentée figure 3. Ce champ, d'une surface de $5.4 \times 4.0 \text{ mm}^2$, se compose de 8 matrices élémentaires de transistor et d'une matrice de tests. Cela correspond, pour cette surface, à 64 transistors pour un champ test (3). Cette disposition

permet d'obtenir un bon contrôle du procédé de fabrication et d'assurer une bonne utilisation de la surface de la plaque.

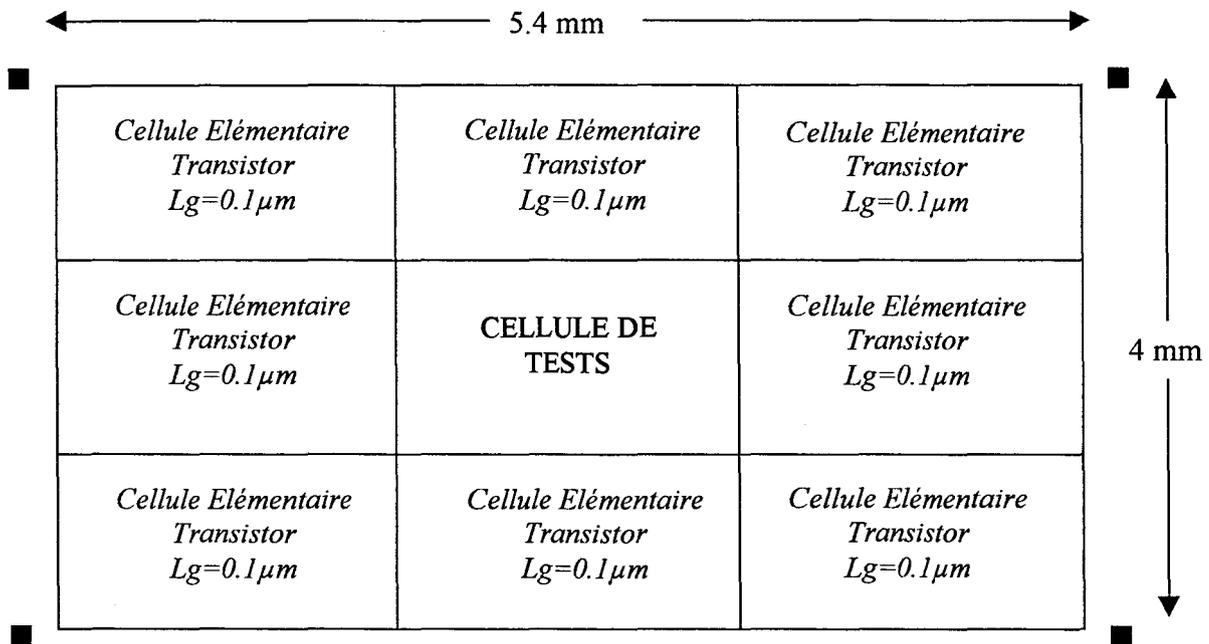


Figure 3 : Vue schématique du masque BATMAN.

Le champ test contient 10 éléments de contrôle pour s'assurer du bon déroulement du procédé de fabrication (6). Un jeu de 4 marques d'alignement est prévu pour l'exposition des 64 composants au masqueur électronique ce qui réduit considérablement le temps d'exposition (5).

En raison des dimensions du masque, le nombre de champs sur un substrat de « 2 pouces » est de 30. Ainsi, le nombre de transistors réalisés est très important. En effet, ce type de masque porte à 1920 le nombre de composants obtenus en fin de réalisation (3). Ce résultat permet de multiplier les possibilités d'optimisation des étapes du procédé de fabrication. De plus, une étude en terme de reproductibilité et de rendement est envisageable.

b) La cellule élémentaire transistor

Cette cellule, composée de plusieurs matrices de transistor, est répétée autour de la cellule de test. Elle contient en tous 8 motifs de transistors à deux doigts de grille. Ils sont répartis de la façon suivante : 6 composants sont dans la configuration transistor en T et 2 sont dans la configuration transistor en II.

Il y a 2 transistors en T pour chacun des développements suivants : 2*25, 2*50 et 2*75 μm . Ces composants sont de largeurs différentes ce qui permet d'appliquer la loi d'échelle dans de bonnes conditions (1).

Il y a deux composants de configuration transistor en Π de développement 2*25 μm . Cela permettra de comparer les performances hyperfréquences du transistor en T à celles du transistor en Π (2).

Une vue de la disposition des motifs est donnée figure 4.

<i>Transistor en T 2*25μm Lg=0.1μm</i>	<i>Transistor en T 2*25μm Lg=0.1μm</i>	<i>Transistor en Π 2*25μm Lg=0.1μm</i>
<i>Transistor en T 2*50μm Lg=0.1μm</i>	<i>Transistor en T 2*50μm Lg=0.1μm</i>	
<i>Transistor en T 2*75μm Lg=0.1μm</i>	<i>Transistor en T 2*75μm Lg=0.1μm</i>	<i>Transistor en Π 2*25μm Lg=0.1μm</i>

Figure 4 : Vue schématique d'une cellule élémentaire transistor.

c) La cellule de test

Il s'agit d'un réticule de contrôle du procédé de réalisation qui est inséré de façon régulière dans les réticules de transistor. Cette cellule regroupe l'ensemble des motifs d'alignement. Elle contient également les éléments de test de chaque étape technologique. Cette solution permet un bon contrôle du procédé de fabrication et une bonne utilisation de la surface de la plaque (3).

Pour assurer le suivi de réalisation (6), il y a :

- des motifs pour mesurer l'épaisseur de résine après révélation,
- des motifs pour mesurer les épaisseurs de métallisation après évaporation,
- des motifs pour mesurer les profondeurs de gravure,
- une échelle de résistance pour déterminer la résistance carrée de la couche R_{\square} et la résistance de contact R_c ,
- une échelle pour mesurer la résistance de la couche après l'étape d'isolation par implantation ionique,
- un trèfle pour la mesure d'effet Hall,
- un motif pour vérifier l'isolation des composants après la gravure de type Mesa,
- un motif pour mesurer la résistance de grille dans la configuration transistor,
- un transistor complet qui sert pour la mesure du courant de recess,
- des motifs d'alignement pour les étapes de lithographie optique.

Une vue de cette cellule est donnée sur la figure 5.

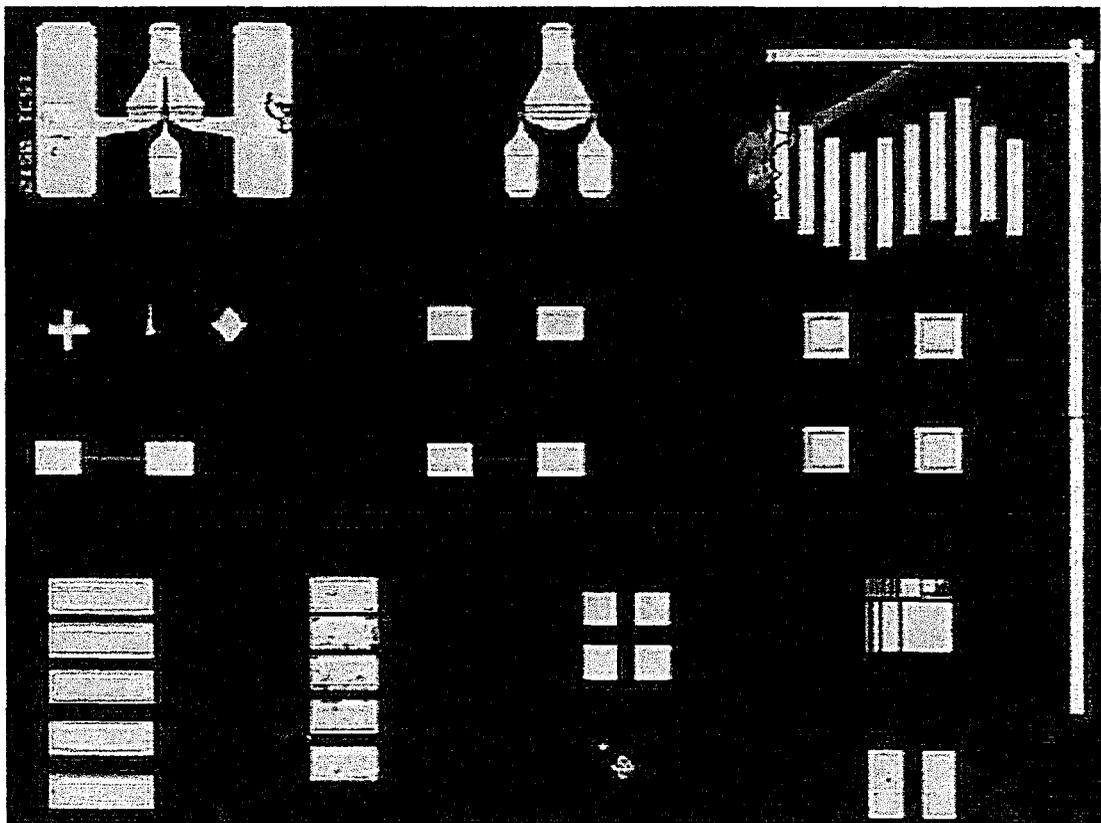


Figure 5 : Vue de la cellule de test.

d) Les niveaux de masque BATMAN

La réalisation d'un transistor à l'aide du masque BATMAN nécessite plusieurs niveaux de masquage différents. Il s'agit de motifs obtenus soit par une exposition au masqueur électronique soit par un procédé de lithographie optique.

Ces différents niveaux sont dans l'ordre suivant:

- | | |
|------------------------|-------------------------------|
| 1. Marque | (lithographie électronique) |
| 2. Isolation | (lithographie optique) |
| 3. Contacts ohmiques | (lithographie électronique) |
| 4. Plots d'épaissement | (lithographie optique) |
| 5. Grille | (lithographie électronique) |

Il existe des variantes de ces masques suivant le type de réalisation choisi (8). Cette diversité des procédés de fabrication augmente la complexité de la conception des masques.

Il y a un seul élément fondamentalement invariant dans cette technologie. Il s'agit de la définition de la zone active du transistor. En effet, quel que soit le type d'isolation, la largeur W du transistor est toujours fixée de la façon suivante.

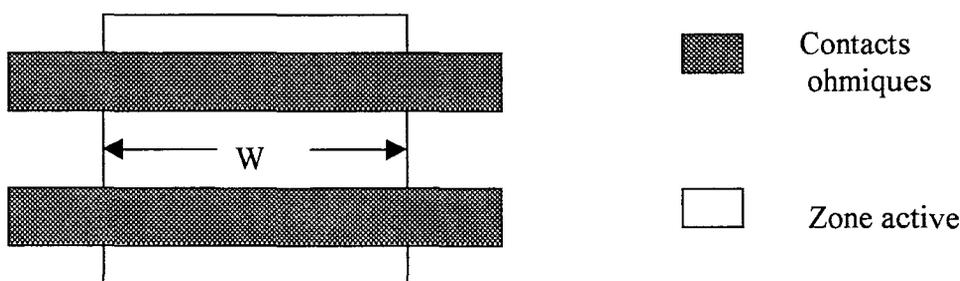


Figure 6 : Définition de la largeur du transistor.

Les paragraphes qui suivent ont pour objectif la présentation de ces différentes combinaisons possibles avec le masque BATMAN. De plus, les conventions prises dans le dessin de la figure 6 seront les mêmes dans le reste de ce chapitre.

d1) dépôt simultané : marques d'alignement et contacts ohmiques

Certains niveaux peuvent être regroupés dans le but d'un gain de temps. C'est le cas du niveau de marque qui peut être associé au niveau des contacts ohmiques. Ces deux étapes sont donc regroupées en une seule. L'isolation est, par conséquent, réalisée ensuite.

Le problème de cette option se pose pour une isolation par attaque chimique. Pour expliciter ce point, le contour de l'attaque de la structure (après le dépôt simultané des marques et des contacts ohmiques) est représenté par un trait en pointillé sur la figure 7.

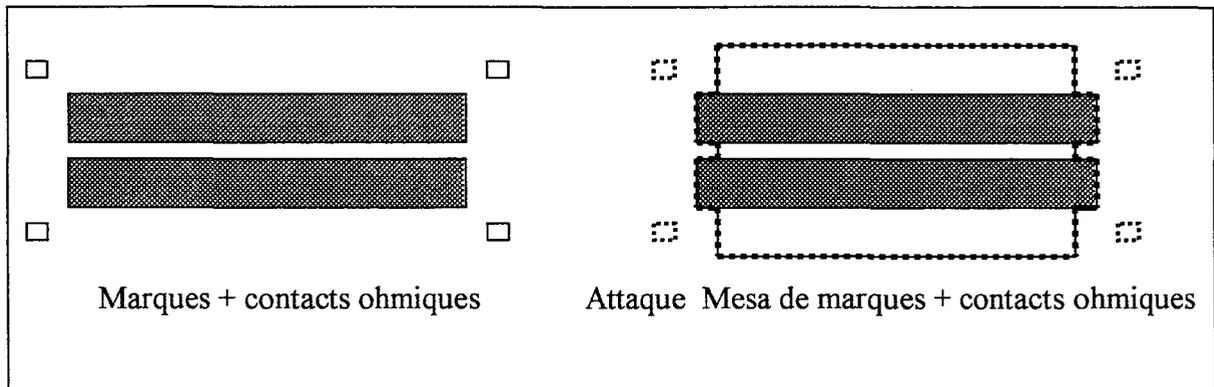


Figure 7 : Structure vue du dessus avant et après attaque Mesa avec le dépôt simultané des marques et des contacts ohmiques.

L'inconvénient vient de la métallisation de contact ohmique qui sert de masque lors de l'attaque Mesa. En effet, ceci peut entraîner une mauvaise homogénéité de l'attaque en bordure de métallisation et une dégradation de cette métallisation. De plus, la zone active du transistor risque d'être mal définie entre les contacts ohmiques.

d2) réalisation séquentielle: marques d'alignement–isolation-contacts ohmiques

Une autre possibilité passe par le dépôt des marques et la réalisation du Mesa avant le dépôt des contacts ohmiques. Cette succession d'étapes est proposée sur la figure 8. Le contour de l'attaque chimique est également représenté par un trait en pointillé.

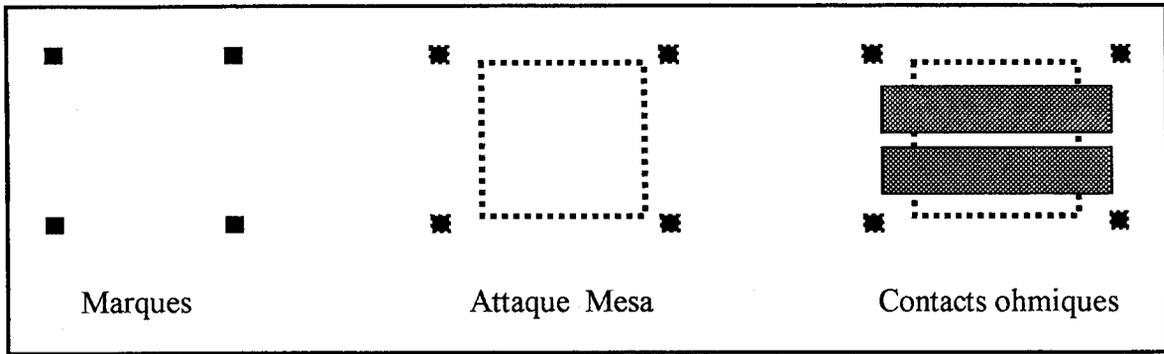


Figure 8 : Structure avec attaque Mesa entre dépôt des marques et des contacts ohmiques.

- La solution proposée figure 8, bien que plus longue, permet de protéger la métallisation des contacts ohmiques. Elle favorise aussi une attaque plus homogène de la zone active dans le cas d'isolation par Mesa. Enfin, elle permet également d'obtenir une meilleure définition de la zone active du transistor.

- La solution, proposée figure 8, autorise aussi la réalisation de contacts ohmiques « débordants » ou « non débordants ». [11]

Avant de développer ces deux types de réalisation, il faut tenir compte du point suivant. Il est à noter qu'au cours de cette étape du dépôt des contacts ohmiques, on prépare également la structure pour l'étape de métallisation de grille. En effet, pour obtenir un bon contact schottky, il faut éviter le contact entre la métallisation de grille et le canal. L'idée est de venir sous graver les couches conductrices à l'aide d'une attaque sélective. On s'affranchit ainsi du courant de grille. Le principe est exposé figure 9.

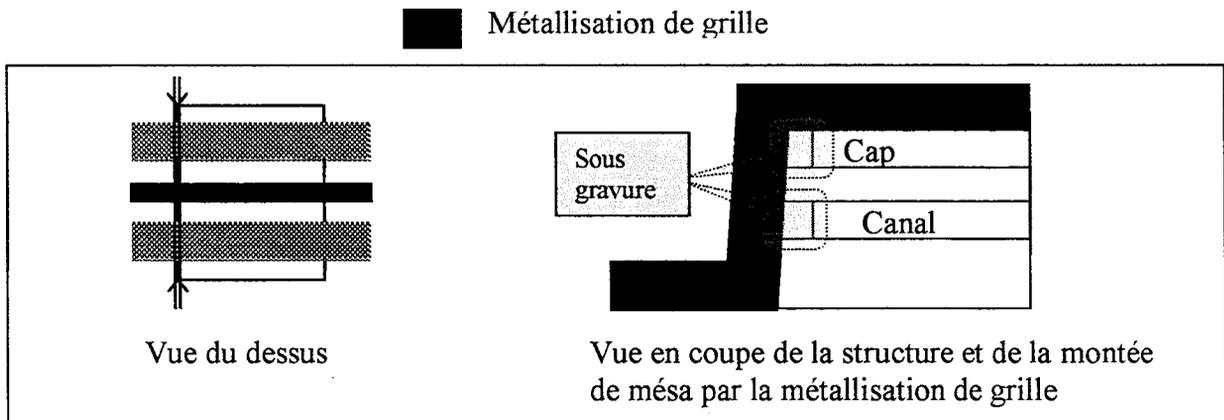


Figure 9 : Principe de la sous gravure du canal.

- Pour les contacts ohmiques « débordants », il faut prévoir la réalisation d'un masque de type « petit Mesa ». Dans ce cas, l'idée est de venir contacter directement le canal dans la descente de Mesa pour diminuer la résistance d'accès. Cette technique est intéressante pour les matériaux où il n'y a pas besoin de sous graver le canal, c'est-à-dire pour les hétérostructures ayant un ΔE_c élevé. Pour d'autres matériaux, la sous gravure du canal peut avoir lieu après le dépôt des contacts ohmiques.

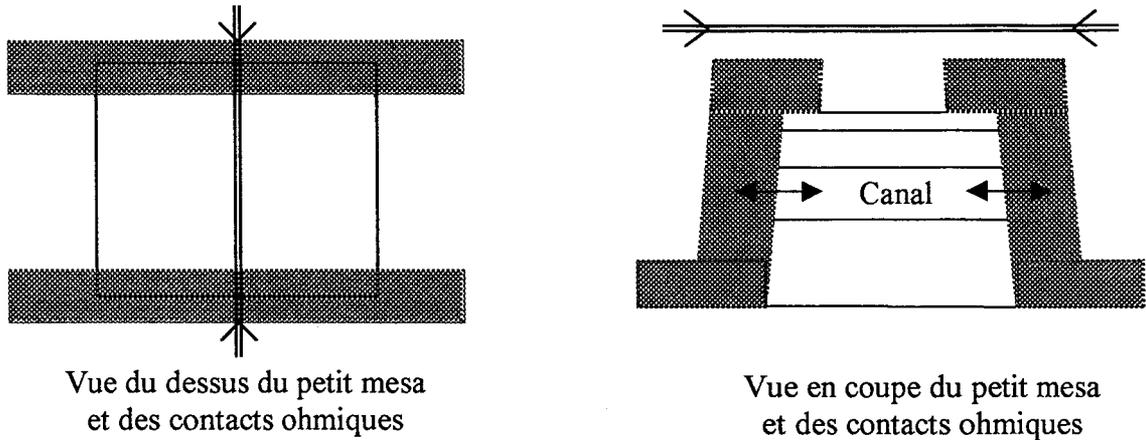


Figure 10 : Principe des contacts ohmiques débordants

- Pour les contacts ohmiques « non débordants », l'idée est de sous graver totalement le canal à l'aide de l'attaque sélective. On évite ainsi le contact entre les métallisations de contacts ohmiques et de grille et le canal. Pour y parvenir, il faut dessiner un masque de type « grand Mesa ».

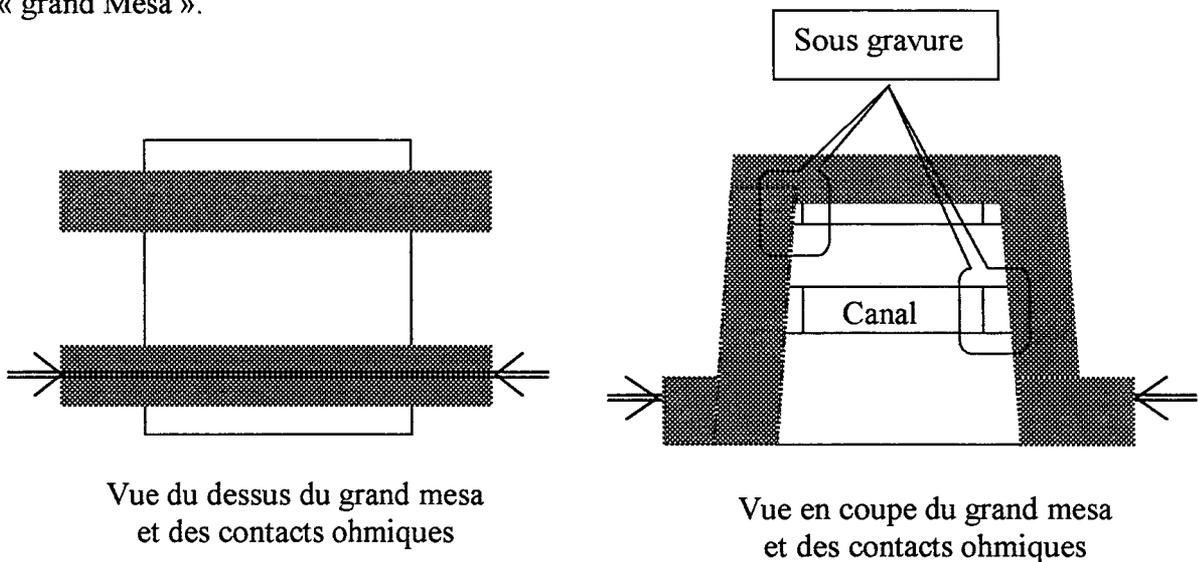
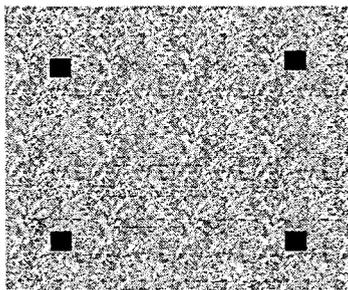
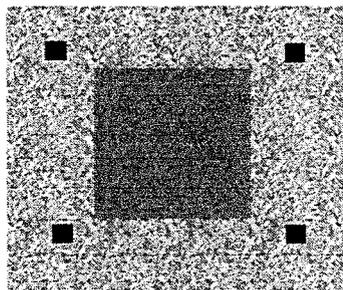


Figure 11 : Principe des contacts ohmiques non débordant

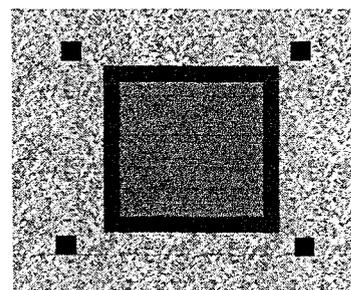
• La solution proposée figure 8 permet également d'isoler les composants par implantation ionique. Le composant est alors planaire, ce qui réduit le risque de cassure dans la métallisation de grille. L'implantation ionique de la structure a lieu juste après le premier dépôt des marques d'alignement et le dépôt de 200 Å de nitrure de silicium. Ce film de diélectrique sert à protéger la structure lors de la future gravure plasma. En effet, suite à cette implantation, la résine qui sert à définir la zone active du transistor est fortement dégradée. Ce type de réalisation nécessite l'application sur la structure d'une attaque plasma. Il faut supprimer la résine polymérisée afin d'obtenir une surface propre. Ceci est possible dans le cas du dépôt de marque et de la définition de la zone active avant le dépôt des contacts ohmiques. En effet, la gravure par plasma ne dégrade en aucun cas la qualité des contacts ohmiques puisqu'ils sont déposés par la suite, et ce, sur une surface propre.



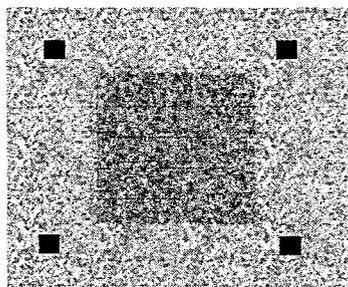
1. Dépôt de marque et de 200Å de nitrure



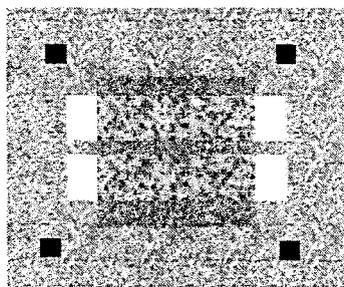
2. Dépôt de résine optique



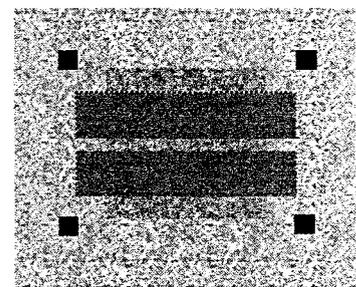
3. Implantation de la structure et polymérisation des flancs de résine



4. Gravure de la résine polymérisée à l'aide d'un plasma d'oxygène



5. Ouverture du nitrure par gravure plasma SF₆



6. Dépôt des contacts ohmiques

Figure 12 : Définition de la zone active par implantation ionique.

L'ensemble des paramètres utilisés pour cette réalisation sont donnés à la fin de ce chapitre. Malheureusement, l'implantation ionique est d'un abord plus délicat que la gravure Mesa notamment en termes technologiques. Ce procédé n'a pas été utilisé lors des opérations technologiques présentées dans ce manuscrit. Cependant, il n'a pas été abandonné, son optimisation est toujours en cours. En effet, il faut répondre aux problèmes de protection des zones non implantées, de propreté du substrat après implantation et aux problèmes liés au recuit après implantation.

De même, le procédé de réalisation de la grille est modifié par la présence de la couche de 200Å de nitrure. Le procédé de réalisation de la grille nitrure, présenté dans le suite de ce chapitre, est optimisé pour une épaisseur de diélectrique de 800Å. Dans le cas de l'isolation par implantation, deux solutions sont envisageables. La première est de graver les 200Å de nitrure et d'en déposer 800Å pour réaliser la grille. La seconde est de conserver les 200Å de nitrure et de superposer les 600Å restants pour atteindre les 800Å nécessaires pour la réalisation de la grille.

d3) Les masques pour réaliser la grille

Il y a différentes combinaisons possibles pour la technologie de grille. Elle peut être soit à base d'un multicouche de résine ou soit à base de nitrure.

Dans le premier cas, la réalisation ne nécessite qu'une seule exposition au masqueur électronique. Il ne faut alors qu'un seul niveau de masquage.

Dans le second cas, la réalisation de la grille nécessite plusieurs étapes. En effet, il faut distinguer celles nécessaires à la réalisation du pied de grille et du haut de grille. Il faut donc prévoir deux niveaux de masquage.

Ces deux procédés de réalisation sont développés dans la suite de ce chapitre.

e) Conclusion

◆ Il faut donc dessiner au minimum 8 niveaux de masquage différents pour que le jeu de masques soit utilisable par tous. Il y a 3 masques prévus pour la lithographie optique (petit

Mesa, grand Mesa, plot d'épaissement) et il y a 5 masques prévus pour la lithographie électronique (marque, contacts ohmiques, pied de grille nitrure, haut de grille nitrure, grille tri-couche).

◆ Dans le cadre de notre étude, l'enchaînement des étapes avant la réalisation de la grille est fixé de la manière suivante :

- marque
- isolation : {implantation ionique} ou {Mesa et attaque sélective du canal}
- contacts ohmiques

◆ La technologie de grille utilisée pour la réalisation des HEMTs est de type nitrure. Elle est développée dans la suite de ce chapitre.

II.1.4 La topologie transistor

Le choix d'une topologie de transistor constitue une étape essentielle pour obtenir des transistors performants (7). En effet, la zone active des transistors étant très petite, les éléments parasites jouent un rôle primordial dans les performances du transistor. Les topologies en T et en Π doivent être conçues à partir des éléments suivants :

- faibles capacités parasites
- faible résistance de grille.

1) le transistor en T

En suivant les règles fixées par le cahier des charges (4), le transistor en T est tel que :

- le dessin est fait pour réduire le plus possible les éléments parasites et pour favoriser la montée en fréquence des composants,
- tous les masques sont prévus pour que le composant puisse être réalisé avec des procédés de réalisation différents,

- les accès sont adaptés à l'espacement des sondes de mesure hyperfréquence et le transistor peut être mis en boîtier si nécessaire (9).

La vue et les dimensions en μm d'un transistor en T de développement $2 \times 25 \mu\text{m}$ sont reportés figure 13.

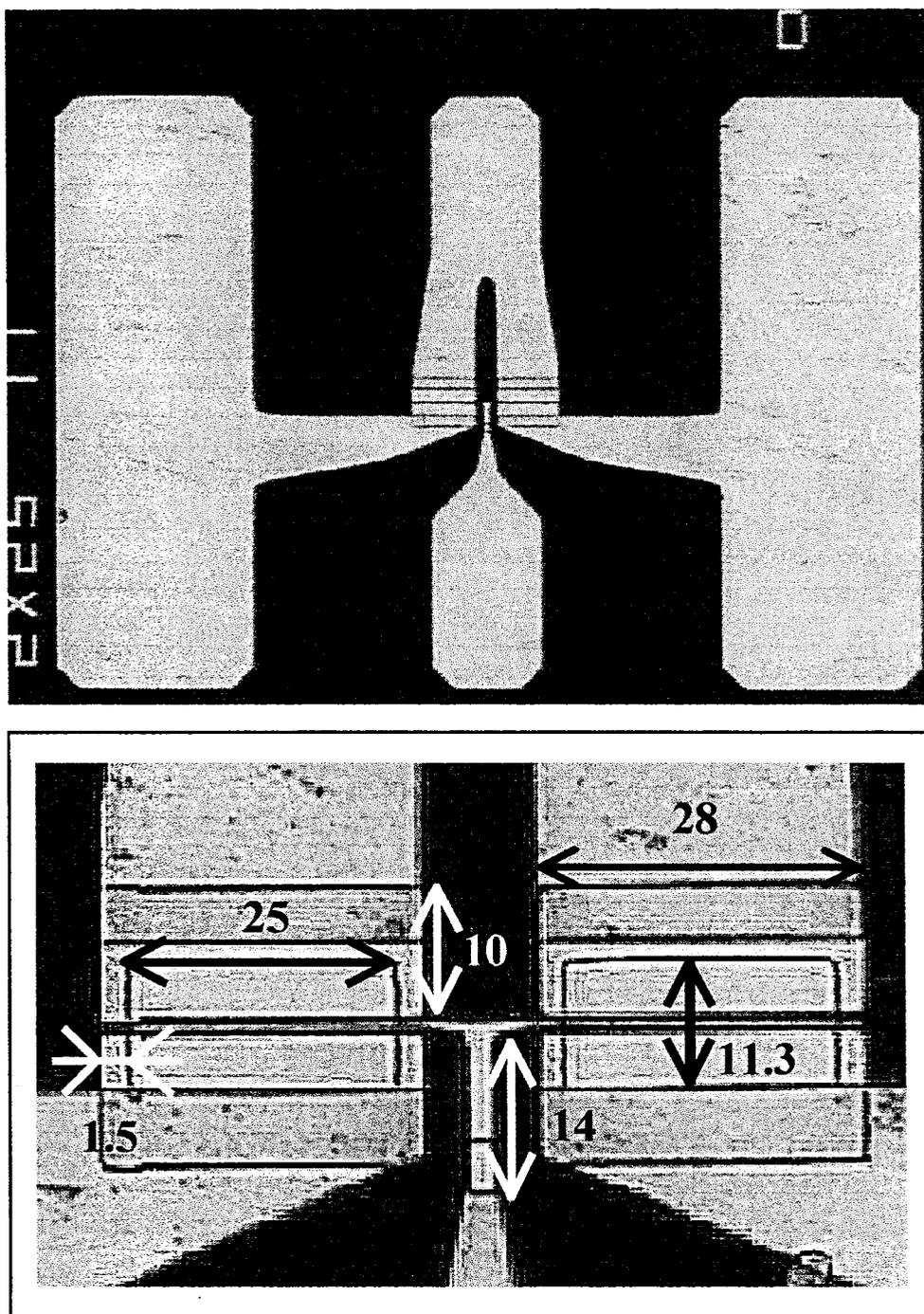


Figure 13 : Vue d'un transistor en T ($2 \times 25 \mu\text{m}$) de type « petit méssa ».

2) le transistor en Π

Ce transistor est dessiné en suivant les mêmes règles que précédemment (4). Le dessin est reporté sur la figure 14.

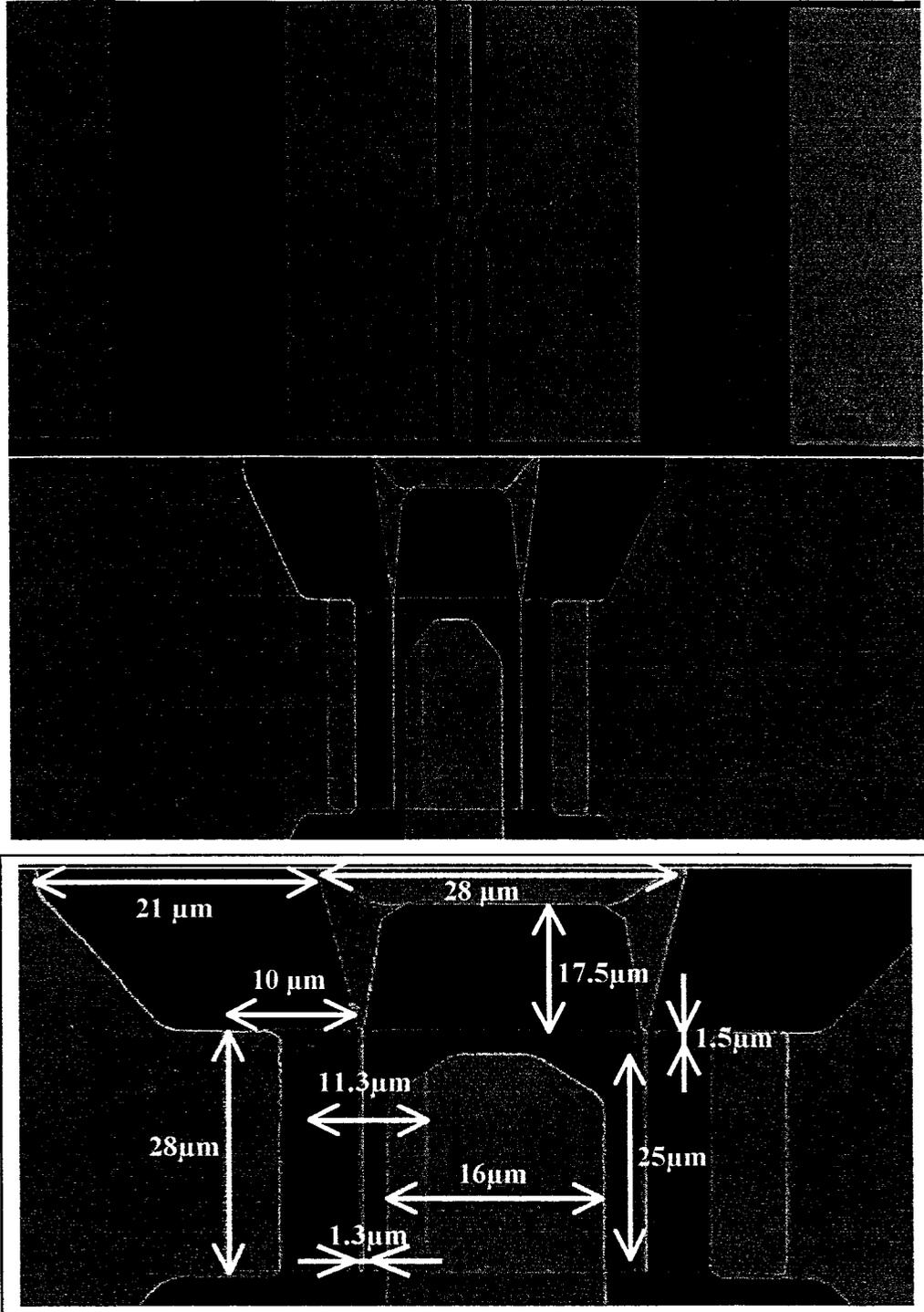


Figure 14 : Vue schématique d'un transistor en Π ($2 \times 25 \mu\text{m}$) de type « petit mesa ».

Ce type de topologie présente, par rapport à la précédente, les avantages suivants :

- 1- les accès sont de type coplanaire ce qui facilite l'intégration de ce composant dans un circuit utilisant la technologie coplanaire (9),
- 2- la structure du composant en Π présente beaucoup moins de discontinuités que celle du transistor en T. Par conséquent, la structure en Π présente beaucoup moins de capacités parasites que celle en T.
- 3- la structure du composant est invariante à la modification du développement du transistor comme le montre la figure 15.

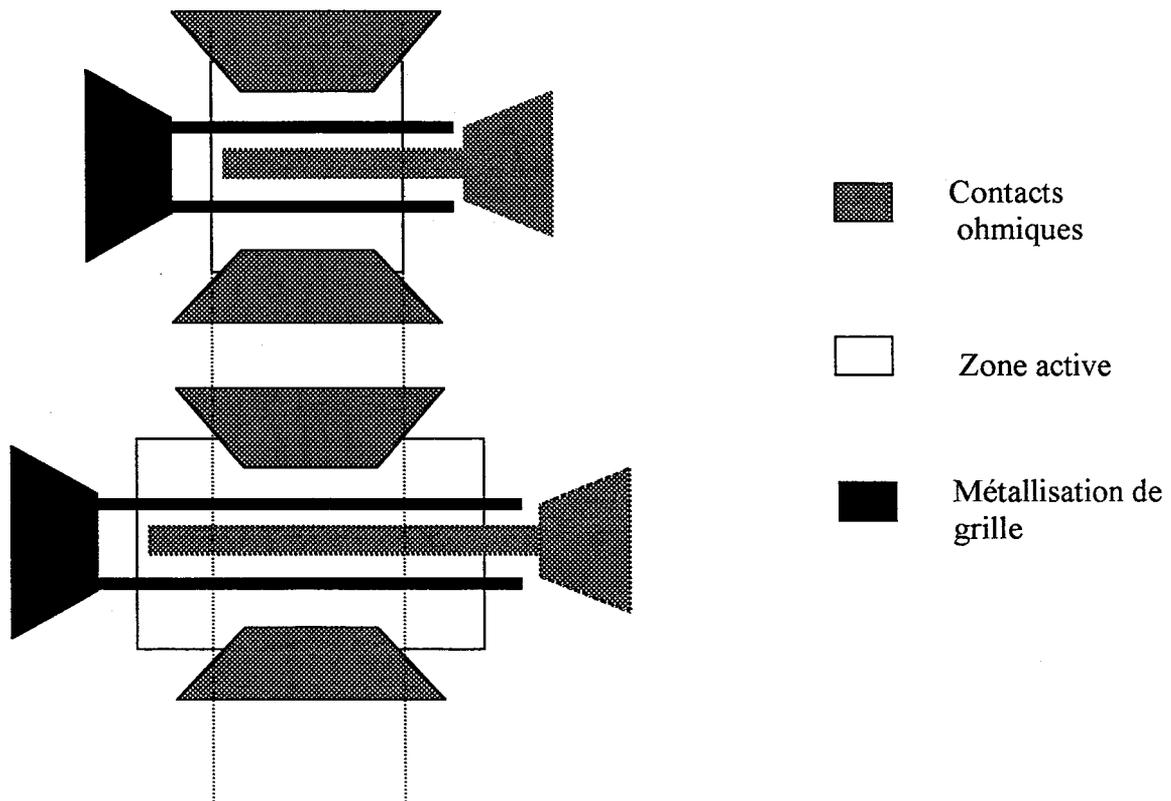


Figure 15 : Variation de la zone active sans variation de structure.

II.1.6 Résultats

En intégrant tous les éléments exposés auparavant, le masque BATMAN est donc le suivant :

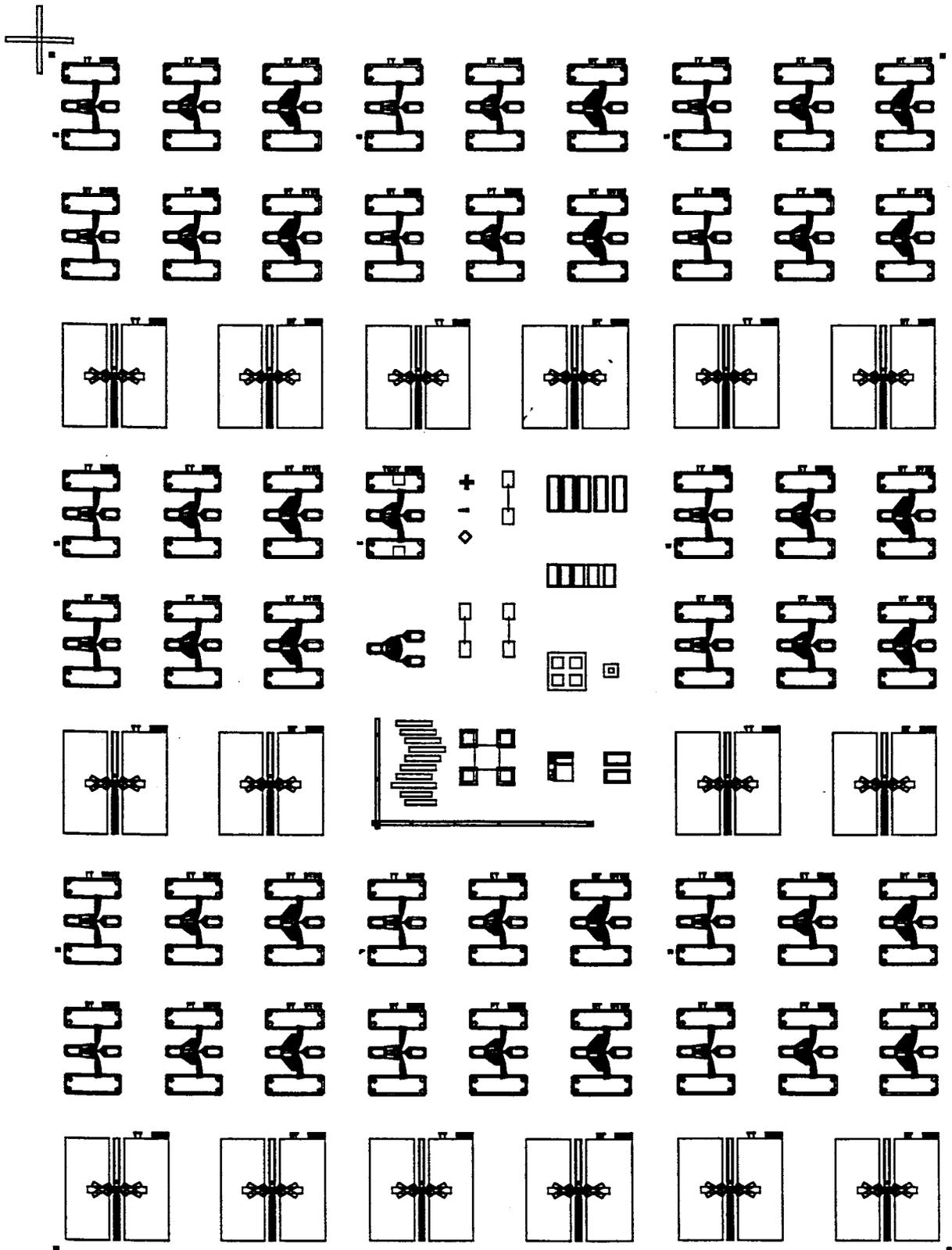


Figure 16 : Le masque BATMAN

Les premiers résultats obtenus avec ce masque sont référencés sous le numéro d'opération 10248. Une étude, dont les résultats seront donnés dans le chapitre 3, a été menée sur les performances des deux structures différentes de transistor. Celle-ci a montré la supériorité des transistors en Π pour ce qui est du rendement et des fréquences de coupure.

Ce résultat entraîne donc de nouvelles perspectives et de nouveaux besoins. Il faut concevoir un masque qui permette de réaliser des transistors en Π avec des développements différents. Ces nouveaux composants sont contenus dans le masque 4AS. Sa description est donnée dans le paragraphe suivant.

II.1.7 Le masque 4AS

Le but de ce nouveau masque est d'établir une base de données qui sera utilisée lors de la conception des circuits. Pour cela, il faut concevoir un masque qui permette de réaliser des transistors en Π avec des développements différents. Ainsi, la caractérisation électrique, hyperfréquence et en bruit de ces différents composants permettra d'évaluer et de rassembler tous les paramètres nécessaires à la conception du module amplificateur.

Ce masque a été élaboré en suivant exactement la même démarche que pour le masque BATMAN. Il comprend le même réticule de test. Seule la configuration est différente. Ce changement est dû aux dimensions très grandes des accès des transistors en Π qui limitent la taille du champ global.

Ce masque comprend quatre transistors en Π de développement $2*15$, $2*25$, $2*35$ et $2*50$ μm . Leur structure est identique à celle qui existait dans le masque BATMAN.

Il comprend également des transistors qui ont des plots d'accès différents. La conception de ces nouveaux composants a été réalisée par la société DASSAULT ELECTRONIQUE dans le cadre du contrat numéro 95162 - 95536. A la suite d'une étude de stabilité des composants, il s'est avéré intéressant à 94 GHz de réaliser des transistors avec des selfs dans la source. La solution la plus utilisée pour les amplificateurs faible bruit est de réaliser une contre-réaction série en ajoutant un tronçon de ligne sur les accès de source du transistor. Cela se matérialise par des tronçons de ligne de 50 ou 100 μm placés dans les

accès de source. Il y a donc deux séries de transistor de développement 2×15 , 2×25 et 2×35 μm . La première série est composée de transistors ayant un tronçon de ligne dans la source de longueur 50 μm , la seconde avec un tronçon de ligne de longueur 100 μm . Les dessins de transistor de ce type sont donnés sur la figure 17.

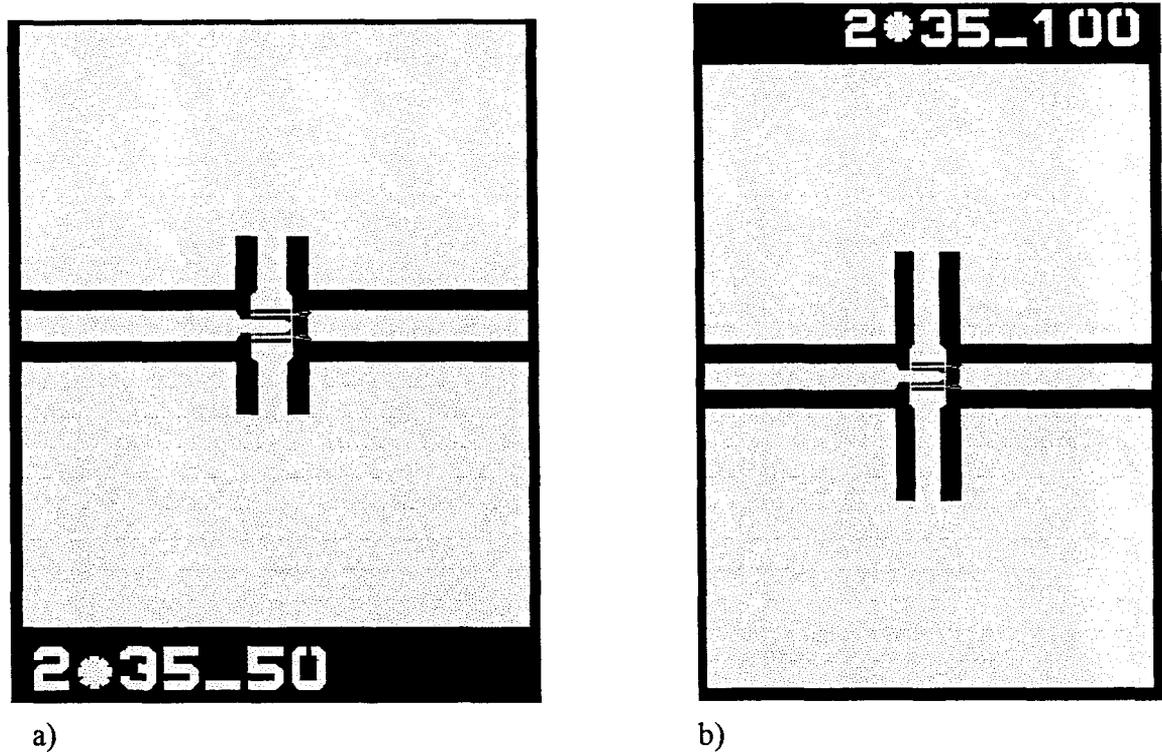


Figure 17 : Transistor en Π $2 \times 35 \mu\text{m}$ avec a) une ligne dans la source de 50 μm
b) une ligne dans la source de 100 μm

Ces tronçons de ligne introduisent d'importantes discontinuités dans les plots d'épaissement de source. Par conséquent, il faut réaliser, au voisinage de ces discontinuités, des interconnexions de plan de masse par pont à air.

La mise au point du procédé de fabrication de ces ponts a été menée au sein de l'équipe par S.Boret [5-6]. L'objectif de son travail de thèse est la conception, la réalisation et la caractérisation d'éléments passifs en technologie coplanaire pour la réalisation de circuits intégrés fonctionnant en bande V et W.

Il a établi dans un premier temps une bibliothèque des éléments passifs nécessaires à la conception d'amplificateurs. Une étude théorique, validée par la suite par une caractérisation hyperfréquence, a permis de définir une topologie de ligne optimale pour un bon fonctionnement jusque 110 GHz. La partie passive de l'amplificateur étant réalisée par

lithographie optique, différents niveaux de masquage ont donc été conçus de manière à réaliser :

- 1- les résistances métalliques. Elles sont utilisées dans le circuit de polarisation du transistor et servent également à la stabilisation de celui-ci.

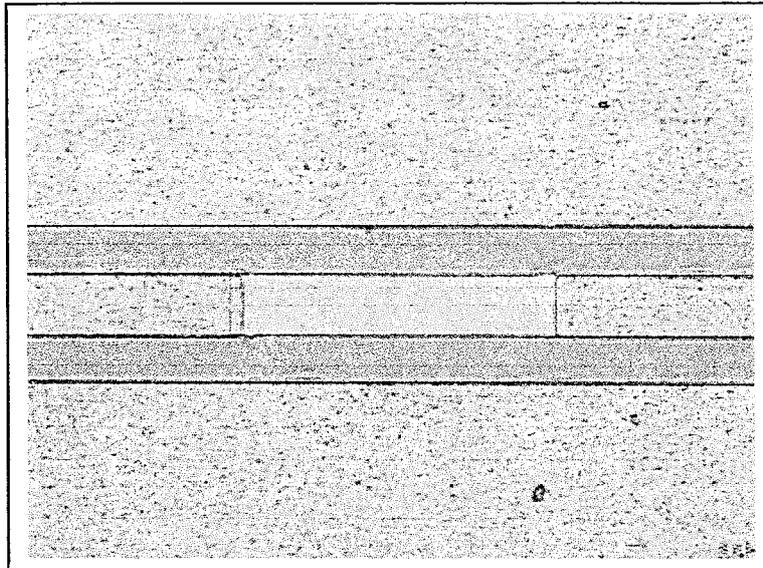


Figure 18 : Photographie d'une résistance métallique en technologie coplanaire

- 2- les capacités MIM (Métal - Isolant - Métal). Celles-ci peuvent être utilisées aussi bien comme capacité de liaison (DC Block) que de capacité de découplage(circuit de polarisation). L'ordre de grandeur est de quelques picofarads dans le domaine millimétrique. Pour atteindre ces valeurs, le film diélectrique de niture a une épaisseur de 1000 Å.

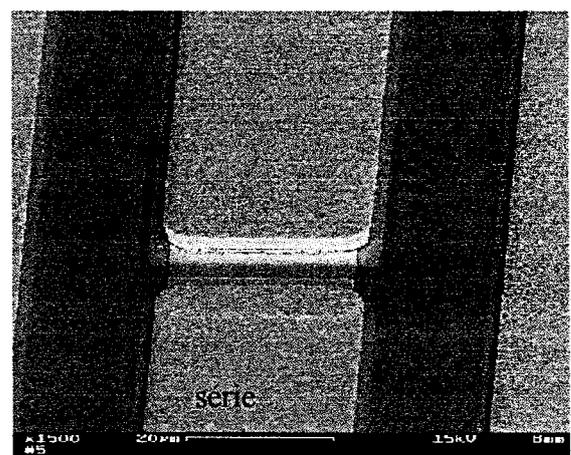
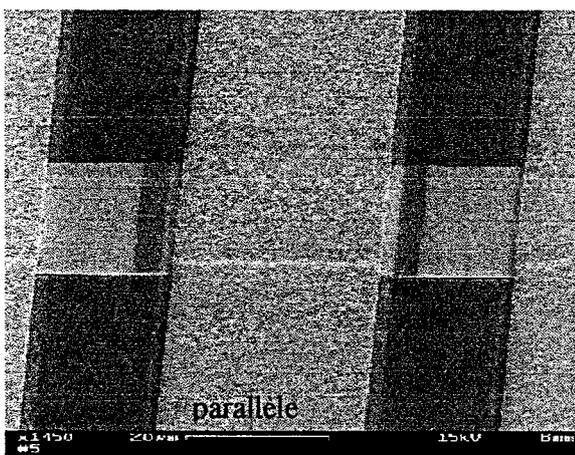


Figure 19 : Photographies de Capacité MIM parallèle et série en technologie coplanaire.

3- les ponts à air. L'utilisation de ponts à air est indispensable en technologie coplanaire. Ils permettent de supprimer le mode de propagation indésirable (fortement dispersif) qui apparaît lors de discontinuité asymétrique. Il existe deux types de ponts :

- Pont intermasse : un ruban métallique, passant au dessus du conducteur central, permet de relier les deux plans de masse.

- Pont conducteur central : le conducteur central passe au dessus du ruban métallique reliant les deux plans de masse.

La figure suivante présente un transistor en Π où les plans de masse sont connectés à l'aide de ponts à air.

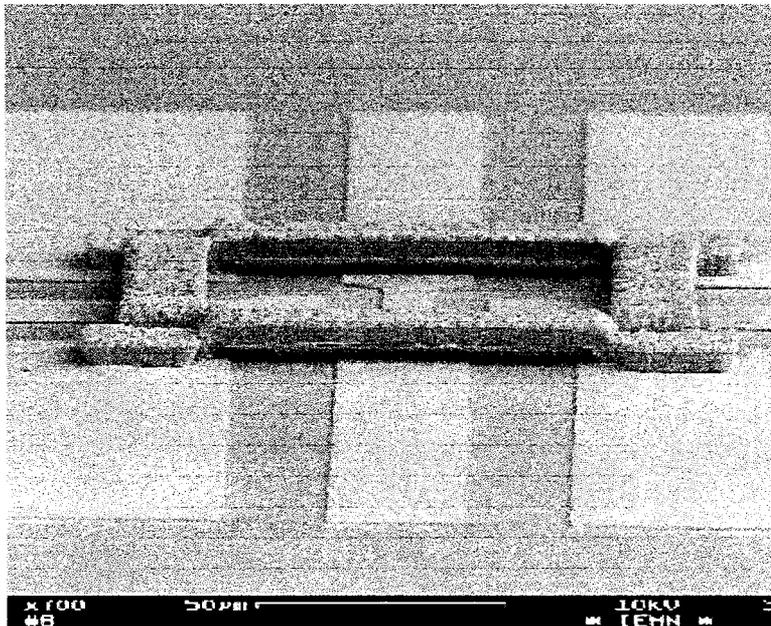


Figure 20 : Transistor en Π $2 \times 25 \mu\text{m}$ avec une ligne dans la source de $50 \mu\text{m}$ et où les plans de masse sont connectés à l'aide de ponts à air.

Le masque 4AS est représenté figure 21. Les caractéristiques électriques et hyperfréquences obtenues après réalisation seront données dans le chapitre 3.

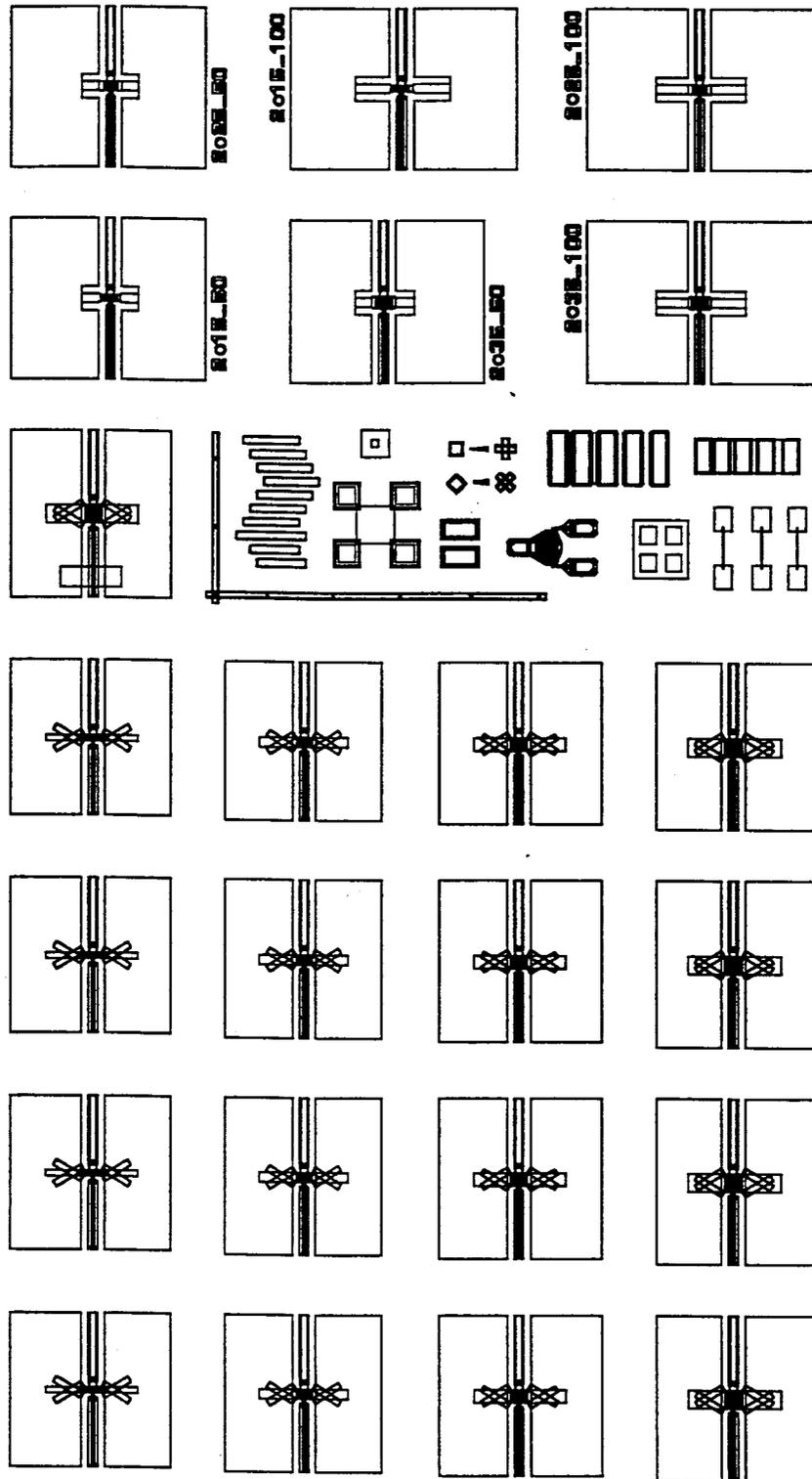


Figure 21 : Le masque 4AS

II.1.8 Les capacités parasites des différents masques

La connaissance précise des capacités parasites présente un intérêt majeur. Il s'agit de pouvoir optimiser la topologie du transistor. Pour cela, nous allons déterminer et comparer dans ce paragraphe les capacités parasites pour les trois types de transistors évoqués dans ce chapitre [7-9]. Il s'agit du transistor en T du masque TU et des transistors en T et en Π du masque BATMAN.

La technique employée pour mesurer ces capacités parasites est fondée sur la méthode de mesure dite à « froid » des transistors. Elle a été développée par G. Dambrine [10]. Il s'agit de polariser le transistor tel que $V_{gs} \ll V_p$. Le schéma équivalent dans ces conditions de polarisation et le schéma de principe de la répartition de ces capacités parasites sont présentés figure 22.

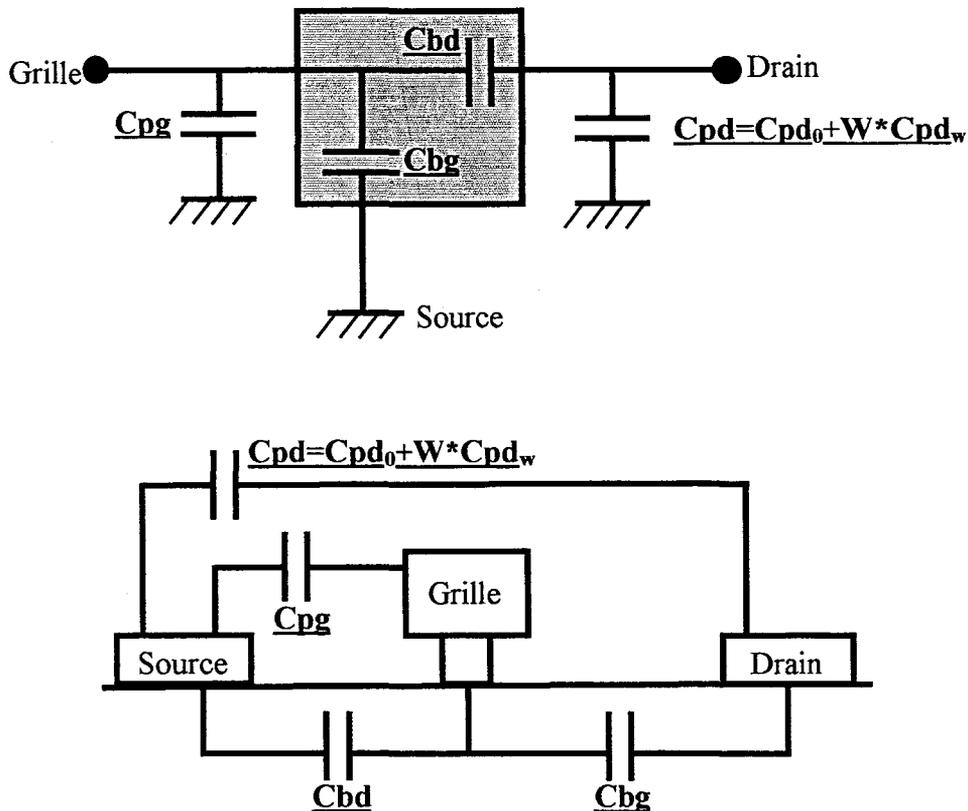


Figure 22 : Schéma équivalent et schéma de principe de la répartition des capacités parasites pour $V_{gs} \ll V_p$

Les capacités C_{pg} et C_{pd} sont respectivement les capacités de plot de grille et de drain. Les capacités C_{bg} et C_{bd} sont des capacités de bord dues à l'extension latérale de la zone désertée.

Les paramètres de la matrice admittance [Y] sont calculés à partir de la mesure des paramètres de la matrice scattering [S]. Les expressions des parties imaginaires des paramètres de la matrice admittance sont dans ces conditions :

$$\text{Im}(Y_{11}) = \omega (C_{pg} + C_{bd} + C_{bg})$$

$$\text{Im}(Y_{12}) = -\omega (C_{bd})$$

$$\text{Im}(Y_{22}) = \omega (C_{pd} + C_{bd}).$$

En supposant que l'extension de la zone désertée soit identique côté grille et côté drain, le système d'équations s'écrit :

$$\text{Im}(Y_{11}) = \omega (C_{pg} + 2 \cdot C_b)$$

$$\text{Im}(Y_{12}) = -\omega (C_b)$$

$$\text{Im}(Y_{22}) = \omega (C_{pd} + C_b).$$

Les valeurs des capacités parasites sont données pour un transistor de développement 100 μm dans le tableau 1.

	Cpg fF	Cpd₀ fF	Cpd_w fF/mm
Transistor en T masque TU	17,4	13	397
Transistor en T masque BATMAN	8,4	10,9	273
Transistor en II masque BATMAN	0	1,73	226

Tableau 1: Valeurs des capacités parasites Cpg, Cpd₀, Cpd_w.

L'évolution des résultats est très satisfaisante. Les optimisations successives de la topologie des transistors conduisent à une nette réduction des valeurs des capacités. Les faibles valeurs des capacités obtenues avec le transistor en II permettent de conclure à la bonne optimisation de la topologie transistor. Le dessin des plots transistor en technologie coplanaire est donc bien optimisé pour un bon fonctionnement des composants dans les bandes de fréquence V et W.

II.2. Présentation des étapes technologiques

Les transistors à grille nitrure sont réalisés en suivant la succession d'étapes technologiques suivantes :

- dépôt de marque
- isolation
- dépôt de contacts ohmiques
- dépôt de nitrure
- dépôt de plots d'épaississement
- réalisation de la grille :
 - ouverture du pied de grille
 - ouverture du haut de grille
 - attaque du fossé de grille
 - dépôt de la métallisation de grille.

L'élaboration et l'optimisation de procédés technologiques étant fortement dépendantes de la structure de la couche active, il faut la fixer. Dans le cadre du projet de réalisation de transistors et de circuits amplificateurs faible bruit performants en bande V et W, la structure retenue est de type « structure HEMT en accord de maille sur InP ».

Cette couche épitaxiée est une constante de l'étude. Celle-ci sera considérée comme la structure de base pour la mise au point de la technologie des transistors. Il faut fixer la couche pour fixer le procédé de réalisation et pour obtenir la reproductibilité des caractéristiques électriques et hyperfréquences des transistors.

Pour cela, nous avons choisi de travailler avec une structure à cap fin. En effet, une structure à cap épais (>50nm) fortement dopé permet d'obtenir de très bonnes résistances de contact, mais celle-ci pose deux problèmes :

1. la gravure du cap. Plus le cap est épais, plus le temps de gravure est long. Cela pose le problème de l'incertitude sur la profondeur de gravure et donc sur la tension de pincement. Cela pose également le problème de la tenue de la résine qui sert à définir la grille pendant l'attaque.

2. les capacités parasites. Pour une grille de $0.1\mu\text{m}$, un cap de 50 nm entraîne des valeurs des capacités parasites C_{gs} et C_{gd} importantes. La solution serait d'utiliser une technologie à double recess mais cela est beaucoup plus compliqué.

Cette structure à cap fin dopé est représentée sur la figure 23.

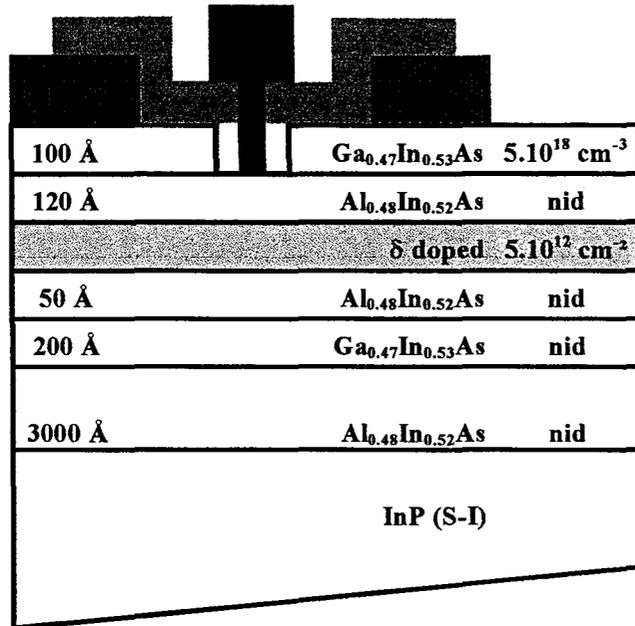


Figure 23 : la couche active de la structure HEMT en accord en maille sur InP.

Les résultats de mesures par effet HALL pour cette structure sont rassemblés dans le tableau 2. Il est à noter que les structures, obtenues par épitaxie par jet moléculaire et utilisées pour ce travail, ont été réalisées au laboratoire par X. Wallart. La résistance carré R_{\square} , la densité surfacique d'électrons n_h et la mobilité électronique μ_h sont données à 77K et à 300K.

	300K	77K
R_{\square} (Ω)	187	56
n_h (10^{12} cm^{-2})	3.48	3.45
μ_h (cm^2/Vs)	9570	32200

Tableau 2 : Mesures par effet HALL à 77K et 300K d'une couche adaptée en maille sur InP dont la structure est donnée figure 23.

Les paragraphes suivants ont pour but de présenter en détail les différentes étapes technologiques et les difficultés rencontrées pendant la mise au point du procédé de fabrication. L'ensemble des caractéristiques données dans la suite de ce chapitre ont été obtenues sur des structures HEMT identiques à celles de la figure 23. La démarche suivie pour aboutir à une technologie reproductible et à haut rendement est également exposée.

II.2.1 Les étapes avant la réalisation de la grille

II.2.1.1 Le dépôt des marques

Il s'agit de placer sur la couche épitaxiée encore vierge les repères qui vont servir pour ajuster les différents éléments qui forment le composant.

Le dépôt de marque se fait à l'aide d'un procédé de lithographie électronique. On dépose une couche de résine électronique (PMMA 5% Anisole 950K) qui est exposée au masqueur électronique et révélée dans un bain de Méthyl Isobutyle Alcool Kétone (MIBK) et d'Alcool Isopropylique (IPA). Ceci est suivi par l'évaporation sous vide de la métallisation (Ti/Au) dans les proportions (200/2000 Å).

Cette étape conditionne la suite du procédé de fabrication :

- les motifs utilisés pour l'alignement des masques en verre doivent être très bien définis sous peine d'observer un décalage gênant. Le décalage limite autorisé pour que la zone active soit correctement positionnée est de 1.5 μm en x.

- les motifs utilisés par le masqueur électronique pour l'alignement des éléments sont des marques carrées de 8*8 μm^2 . Ces marques, pour être détectées par le masqueur, doivent présenter des flancs de métallisation très abrupts. De plus, elles ne doivent en aucun cas avoir des cotés arrondis. En effet, les marques arrondies ne sont pas non plus détectées par le masqueur électronique, ce qui empêche la poursuite de la réalisation.

II.2.1.2 L'isolation

Cette étape a pour but d'isoler électriquement les différents composants d'un même substrat. Elle peut être réalisée par attaque chimique où l'on vient graver la couche active jusqu'à la couche tampon non-conductrice [11].

Cette technique a l'avantage d'être facile à mettre en œuvre, mais elle présente les inconvénients suivants :

- la structure est non-planaire
- risque de courant de fuite de grille dû au contact entre la métallisation de grille et les couches actives dans la descente de Mesa.
- dans le cas de grille courte, risque de rupture de la métallisation dans la descente de Mesa.

L'isolation par implantation est une bonne alternative à l'attaque Mesa car elle permet, en conservant une structure plane, d'éviter tous les problèmes.

Une étude sur ce sujet a été réalisée au sein de l'équipe par Hervé Fourré. Il a été montré qu'une résistance d'isolation de $30\text{M}\Omega$ peut être obtenue sur une couche HEMT adaptée en maille sur InP [12].

Cependant, bien qu'attrayante, l'implantation ionique est d'un abord plus délicat que la gravure Mesa. Ainsi, la résolution des problèmes technologiques évoqués au début de ce chapitre étant en cours, le procédé choisi pour l'isolation est donc celui de la gravure chimique Mesa. Il existe plusieurs solutions aux problèmes liés à cette technologie. Par exemple, l'utilisation d'une attaque chimique sélective après la réalisation du Mesa permet d'attaquer préférentiellement les couches de GaInAs conductrices dans la descente de grille [13]. On évite ainsi les courants de fuite de grille. De même, l'orientation des grilles parallèlement à la direction cristallographique $[1\ 1\ 0]$ et une profondeur d'attaque raisonnable permettent de réduire les risques de rupture de la métallisation.

Le procédé utilisé pour cette étape est un procédé de lithographie optique. Une couche de résine optique positive est déposée. Cette couche après insolation et révélation protège les

zones à ne pas graver, soit en particulier la zone active. L'attaque chimique est réalisée à l'aide d'une solution d'acide orthophosphorique $H_3PO_4/H_2O_2/H_2O$ qui dans les proportions 5:1:40 a une vitesse d'attaque de l'ordre de $1800\text{\AA}/\text{min}$. La profondeur d'attaque visée est de l'ordre de 1500\AA ce qui permet d'atteindre la couche tampon. Cette étape est suivie par une attaque à base d'acide succinique AS/H_2O_2 dans les proportions 30:4 afin de graver sélectivement les couches de GaInAs conductrices.

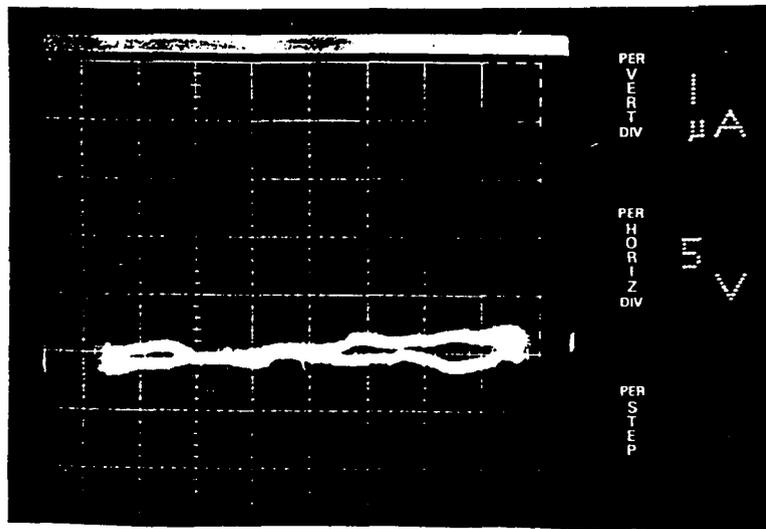
A ce stade de la réalisation, les composants sont isolés électriquement.

Cependant, il a été observé fréquemment après isolation une conduction parasite de type n dans la couche tampon. Ces courants résiduels ont été mesurés sur différentes couches de structure identique. Cette conduction ne peut être attribuée aux conditions de croissance du matériau AlInAs puisque dans des conditions de croissance identiques, certaines épitaxies présentent une isolation parfaite entre motifs. De plus, compte tenu du fort taux d'aluminium (48%) de l'AlInAs adapté en maille sur InP, des mauvaises conditions de croissance favoriseraient l'incorporation d'impuretés résiduelles telles que l'oxygène qui ne peut expliquer une conduction parasite de type n.

Après discussion avec les différentes équipes et les fournisseurs de substrat InP, il semble que l'origine du dopage résiduel de type n observé dans les couches tampons soit une contamination en silicium importante (pouvant atteindre quelque $10^{12}\text{ at}/\text{cm}^2$) et mal maîtrisée de la surface des substrats « prêts à l'emploi ».

Voici un exemple de caractéristique courant - tension dans le cas d'une bonne isolation et d'une mauvaise isolation due à la conduction parasite dans la couche tampon.

Bonne isolation



Mauvaise isolation due à la conduction parasite dans la couche tampon

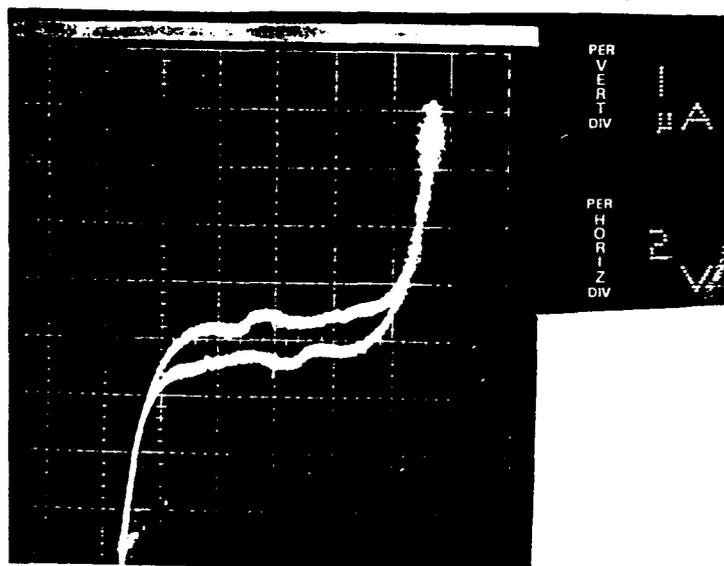


Figure 24 :Caractéristiques I(V) dans le cas d'une bonne isolation et d'une mauvaise isolation due à la conduction parasite dans la couche tampon.

Les problèmes liés à cette conduction parasite lors des mesures hyperfréquences seront présentés dans le chapitre 3.

II.2.1.3 Les contacts ohmiques

Les performances des HEMTs sont fortement affectées par la résistance parasite de source R_s dans laquelle la résistance de contact R_c joue un rôle prépondérant. La diminution de R_c permet une amélioration globale des performances en fréquence et en bruit du transistor.

La formation des contacts est un phénomène complexe mais il est possible de définir globalement son principe. Un contact ohmique est défini comme un contact métal – semiconducteur de très faible résistance. Le contact est considéré ohmique lorsque le courant circulant à travers la jonction est proportionnel à la tension appliquée à ses bornes.

Les contacts ohmiques sont réalisés par une évaporation sous-vide de différents métaux et d'un dopant. Cette métallisation est alors recuite sous atmosphère inerte. Le but de ce dépôt métallique et de ce recuit est de former à l'interface métal – semiconducteur une couche très dopée. Celle-ci est obtenue, lors du recuit par la diffusion à travers le semiconducteur du matériau dopant. Celui-ci assure la qualité du contact, il s'agit généralement du Germanium.

Les contacts ohmiques qui sont utilisés pour les contacts de source et de drain sont définis par lithographie électronique. On dépose une couche de résine électronique (PMMA 5% 50K) qui est exposée au masqueur électronique et révélée dans un bain de (MIBK/IPA).

La difficulté de cette étape vient de l'espace source-drain L_{sd} de $1.3\mu\text{m}$. En effet, il faut premièrement respecter cette dimension tout le long du canal et aussi sur tout le substrat. Le profil de la résine doit permettre d'atteindre cet objectif.

Des résultats, bons et reproductibles, ont été obtenus sur la structure adaptée en maille sur InP à l'aide de la métallisation Ni/Ge/Au/Ni/Au dans les proportions (25 / 400 / 800 / 50 / 600 Å). Le recuit est réalisé dans un four à recuit rapide (RTA) sous atmosphère d'azote

hydrogéné à la température de 310 °C pendant 60 s. Celui-ci conduit, à basse température, à l'obtention d'un contact ohmique non allié.

Les valeurs typiques de résistances sont données dans le tableau 3. Il s'agit de valeurs caractéristiques moyennes et non des meilleures valeurs de résistances obtenues.

Structure	R_{\square} (Ω)	R_c (Ω .mm)	Paramètres du recuit
Adaptée en maille sur InP	200	0.17	RTA 310°C 60s

Tableau 3: Valeurs typiques moyennes pour la résistance carré R_{\square} de la couche et la résistance de contact R_c .

Pour cette étude, la détermination des résistances de contact a été faite par des mesures quatre points sur des échelles de résistances. Cette méthode permet de s'affranchir de la résistance des pointes et de remonter à la résistance carré de la couche.

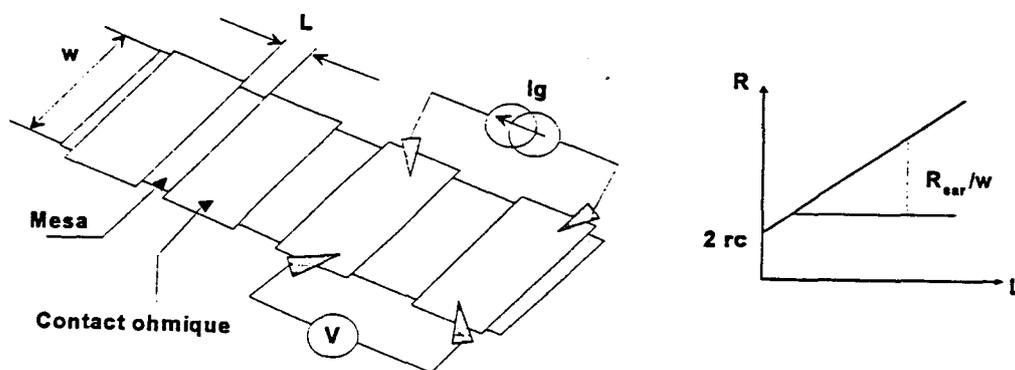


Figure 25 : Principe de la mesure de la résistance de contact et de la résistance carré par la méthode de mesure quatre pointe.

II.2.1.4 Le dépôt du nitrure

Le dépôt de ce diélectrique a uniquement lieu lorsque la grille est réalisée en technologie nitrure. Ce dépôt est effectué par PECVD à la température de 300°C. Cette couche de diélectrique est déposée sur l'ensemble de la structure. Son épaisseur est de 800Å pour une grille de 0.1µm.

Les deux paramètres, homogénéité du dépôt et bonne épaisseur sur tout le substrat, sont critiques. En effet, cette couche de diélectrique étant gravée par plasma lors de l'étape de réalisation du pied de grille, il faut que l'épaisseur soit la même sur toute la surface. Autrement, la gravure ne sera pas homogène.

De plus, les temps de gravure sont optimisés pour 800Å. Par conséquent, si l'épaisseur est trop faible, on risque par une exposition trop longue au plasma de sur-graver le matériau et d'introduire des défauts dans la structure. D'un autre côté, si l'épaisseur est supérieur à 800Å, le temps de gravure sera insuffisant pour enlever tout le diélectrique nécessaire.

II.2.1.5 Les plots d'épaissement

Cette étape est réalisée à l'aide d'un procédé de lithographie optique. Une couche de résine est appliquée sur la couche de diélectrique déposée au préalable. Après l'alignement des motifs, le tout est insolé et révélé. Cette structure est placée ensuite dans un bâti de gravure plasma afin d'enlever le nitrure non protégé par la résine. Puis, les plots sont déposés à l'aide d'une évaporation sous vide de (Ti/Au) dans les proportions (1000/4000Å).

Le profil est donc, à ce stade de la réalisation, le suivant :

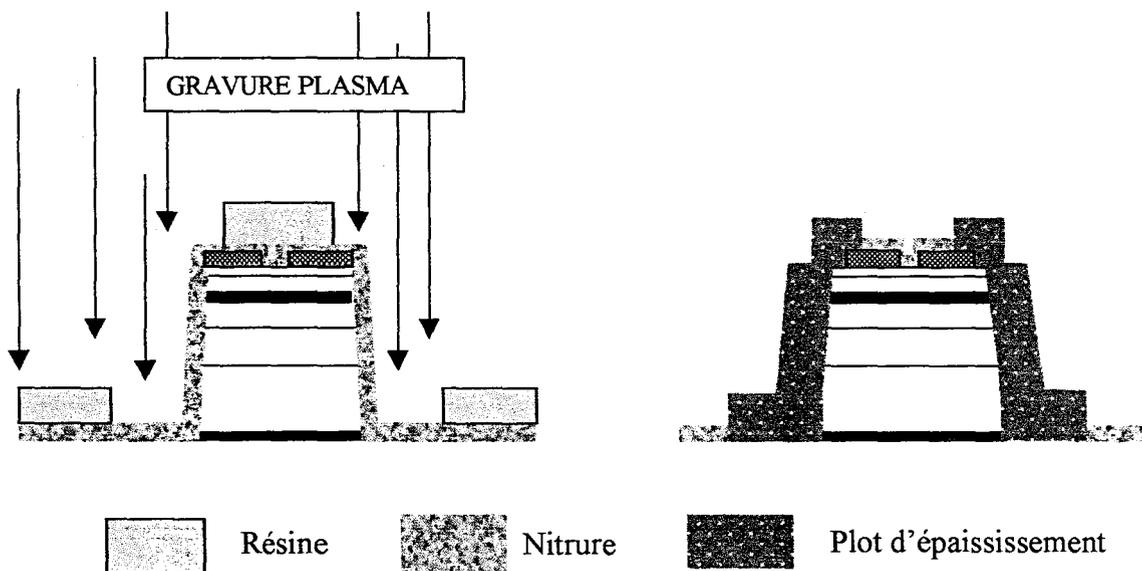


Figure 26 : Profil de la structure avant et après le dépôt des plots d'épaissement.

L'intérêt de faire les plots d'épaississement à ce stade de la réalisation est double :

- les risques de dégradation de la grille sont fortement réduits puisque celle-ci est réalisée en dernier.
- il est plus facile de contrôler le courant pendant la gravure du fossé de grille. La surface métallisée pour poser les pointes est plus importante que celle offerte par les contacts ohmiques.

II.2.2 Les étapes pour la réalisation de la grille

Pour améliorer les performances hyperfréquences du transistor, il faut utiliser une grille ultracourte. La réduction des dimensions passe par un changement de profil de celle-ci. En effet, si la diminution porte sur une grille de forme triangulaire, la valeur de la résistance de grille augmente ce qui dégrade le facteur de bruit de l'ensemble. Pour diminuer cette résistance de grille, il faut diminuer la résistance linéique de métallisation R_m en réalisant un profil de grille en T. Au laboratoire, il existe deux méthodes pour les réaliser. Il s'agit de la technologie à base de résines multicouches et de la technologie nitrure.

II.2.2.1 Le procédé à base de résines multicouches

Ce procédé, utilisé pour obtenir un profil de grille en T, repose sur un empilement de couches de résines d'épaisseurs variables [14]. Ces multicouches utilisent généralement deux types de résines électroniques différentes. Il s'agit :

- de la résine PMMA (poly-méthyl métachrylate)
- du COPOLYMERE P(MMA-MAA) (poly-méthyl acrylique acide)

Un système de type tricouche est constitué d'une première couche de PMMA, puis de P(MMA-MAA) et enfin de PMMA.

Lors de l'exposition au masqueur électronique, la partie centrale est exposée avec une dose plus importante. C'est cette première exposition qui va définir la dimension du pied de grille. Deux autres expositions d'intensité moins importante sont effectuées de chaque côté de la première pour définir le chapeau de grille. Le copolymère P(MMA-MAA) étant plus sensible aux électrons que le polymère PMMA, son ouverture après révélation sera plus grande. La dernière couche, avec son profil en casquette, sert à favoriser le lift-off de la métallisation de grille. Le profil obtenu est représenté figure 27.

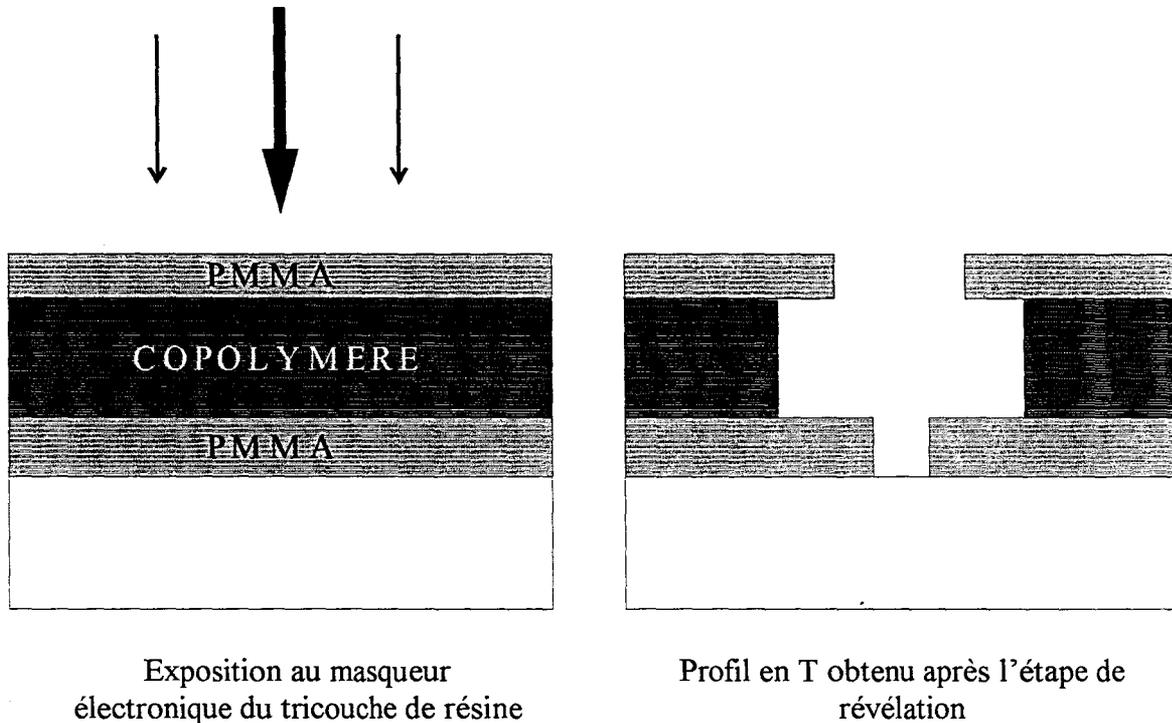


Figure 27: Profil de résine tricouche.

II.2.2.2 Le procédé à base de nitrure

La particularité de cette technique vient du fait que le pied de la grille en T est inséré dans une couche de nitrure de silicium Si_3N_4 . Celle-ci, soutenant le chapeau de grille, permet d'augmenter la hauteur de métallisation diminuant ainsi la résistance de grille et améliorant les performances de bruit. Cette technologie offre donc, en plus de grilles courtes, une bonne tenue mécanique conduisant à un rendement élevé.

La réalisation d'une grille avec ce procédé de fabrication se déroule de la façon suivante. La première étape consiste à déposer sur la structure 800 Å de nitrure de silicium

par PECVD à 300°K. Ensuite, un premier dépôt de résine électronique (PMMA) permet de définir l'ouverture du pied de grille. C'est la première exposition au masqueur électronique. Une fois cette première couche de résine révélée, une ouverture du nitrure est réalisée à l'aide d'une attaque plasma.

La structure est ensuite totalement délaquée et prête pour le dépôt d'un bicouche de résine. Celui-ci a pour but de définir le haut de grille. Il comporte une première couche de P(MMA-MAA) qui est suivie par une couche de PMMA. Cette seconde exposition n'a pas d'impact sur la dimension du pied de grille préalablement défini. C'est tout l'intérêt de ce procédé de réalisation. Par ailleurs, il faut noter la performance réalisée au cours de cette étape de réalisation de la grille. En effet, l'ouverture du haut de grille doit être parfaitement aligné avec celle du pied de grille. Il s'agit de centrer une ouverture dans la résine de 0.3µm sur une ouverture de 0.1µm. Les profils obtenus sont les suivants :

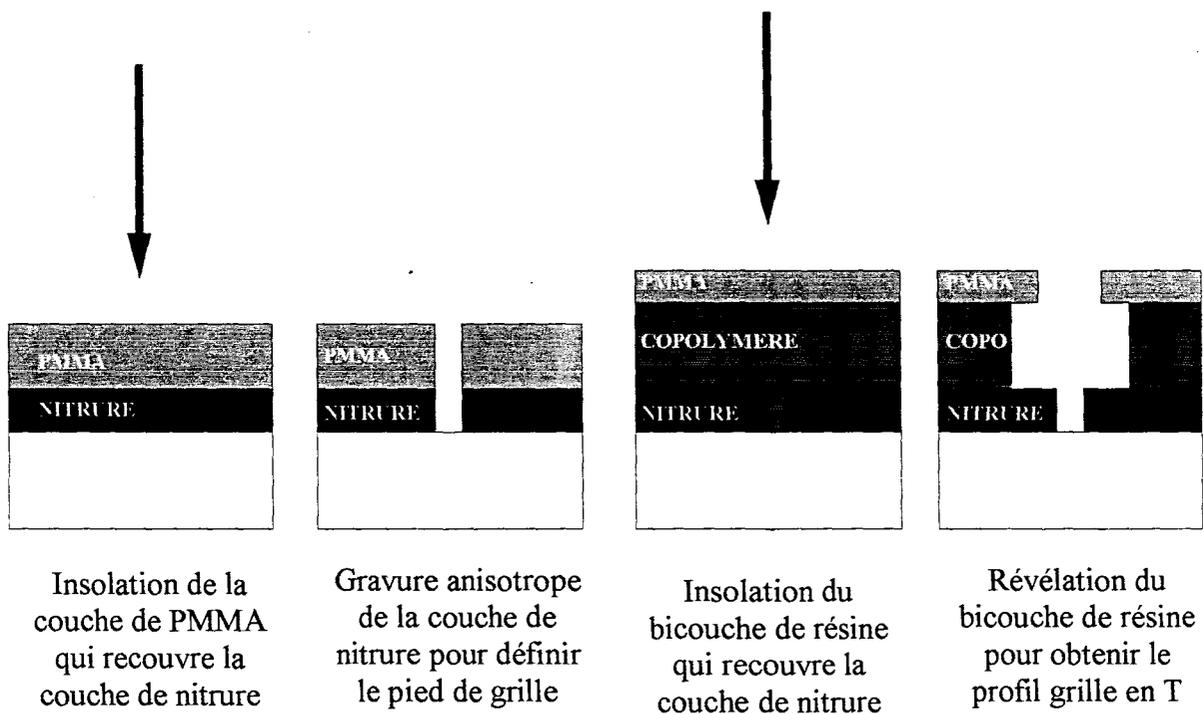


Figure 28: Profils des résines pour les deux étapes de la grille en technologie nitrure.

Ces deux types de procédé de fabrication sont utilisés au laboratoire. Ils présentent tous les deux des avantages et des inconvénients. Ces éléments sont présentés ci-dessous.

La technologie à base d'un tricouche de résine

Les Avantages :

Ce procédé est très rapide puisqu'il permet d'obtenir le profil de résine type grille en T en une seule exposition et une seule révélation. Il présente également de faibles valeurs de capacités parasites puisqu'il n'y a pas de diélectrique en dessous du chapeau de grille.

Les Inconvénients

Le profil de la grille est défini en une seule fois. Il faut donc assurer en même temps, un très bon contrôle des trois épaisseurs de résines, de la dose appliquée et du temps de révélation. Il y a ainsi beaucoup de paramètres qui peuvent influencer la dimension du pied de grille.

La technologie à grille nitrure

Les Avantages :

Ce procédé permet d'assurer un très bon contrôle de la dimension du pied de grille. La présence du nitrure, bien que pénalisante pour la valeur des éléments parasites, permet d'obtenir des grilles robustes et un bon rendement de fabrication.

Les Inconvénients

Ce procédé est plus long que le procédé à base d'un multicouche de résine puisque le profil de type grille en T est obtenu après deux expositions et deux révélation. La première étape est celle du pied de grille et la deuxième celle du haut de grille. Ce procédé présente également des valeurs de capacités parasites élevées puisqu'il y a présence de nitrure en dessous du chapeau de grille.

Au vue de ces éléments, nous avons choisi d'utiliser la technologie grille nitrure. En effet, pour concevoir des circuits fonctionnant en bande V et W, il est fondamental de pouvoir définir précisément la dimension du pied de grille et d'atteindre des longueurs de grille L_g inférieures à $0.1\mu\text{m}$. De plus, la présence du nitrure, bien que pénalisante pour la valeur des éléments parasites, permet d'obtenir des grilles robustes et un bon rendement de fabrication.

II.2.3 Optimisation des étapes de grille dans le cadre de la technologie nitrure

Le but de ce paragraphe est d'analyser les problèmes rencontrés au cours de la mise au point du procédé de fabrication de la grille en technologie nitrure.

Pour cela les diverses étapes vont être présentées en détail. Les difficultés seront mises en évidence et l'on exposera la démarche suivie pour les surmonter.

A la fin de ce paragraphe, les paramètres technologiques du procédé stabilisé menant à la réalisation, reproductible et à haut rendement, de HEMT adaptés en maille sur InP de longueur de grille $0.1\mu\text{m}$ en technologie nitrure sont présentés.

A) PREMIERE PHASE D'OPTIMISATION : l'ouverture du pied de grille

Le cahier des charges dans cette première phase d'optimisation est le suivant :

- il faut que la longueur de grille soit inférieure ou égale à $0.1\mu\text{m}$ pour obtenir de bonnes performances hyperfréquences des composants,
- il faut que l'ouverture du pied de grille soit propre tout le long du développement du transistor, soit pour les plus grands $150\mu\text{m}$,
- le profil du nitrure, après attaque plasma, doit être droit afin :
 - 1- de limiter les capacités parasites introduites par le contact entre la métallisation de grille et le nitrure dans le cas d'un profil en « V ».
 - 2- d'éviter les coupures de métallisation entre le pied de grille et le haut de la grille si le profil est en « queue d'aronde »
- l'attaque du nitrure par plasma ne doit pas dégrader la couche active
- il faut un bon rendement de fabrication, des transistors performants et reproductibles.

A-1) Optimisation du résinage du pied de grille

Au début de l'étude, les profils visualisés au microscope électronique n'étaient pas satisfaisants. Voici des exemples de résinage du pied de grille insolés et révélés. On peut relever la présence néfaste de particules dans le canal.

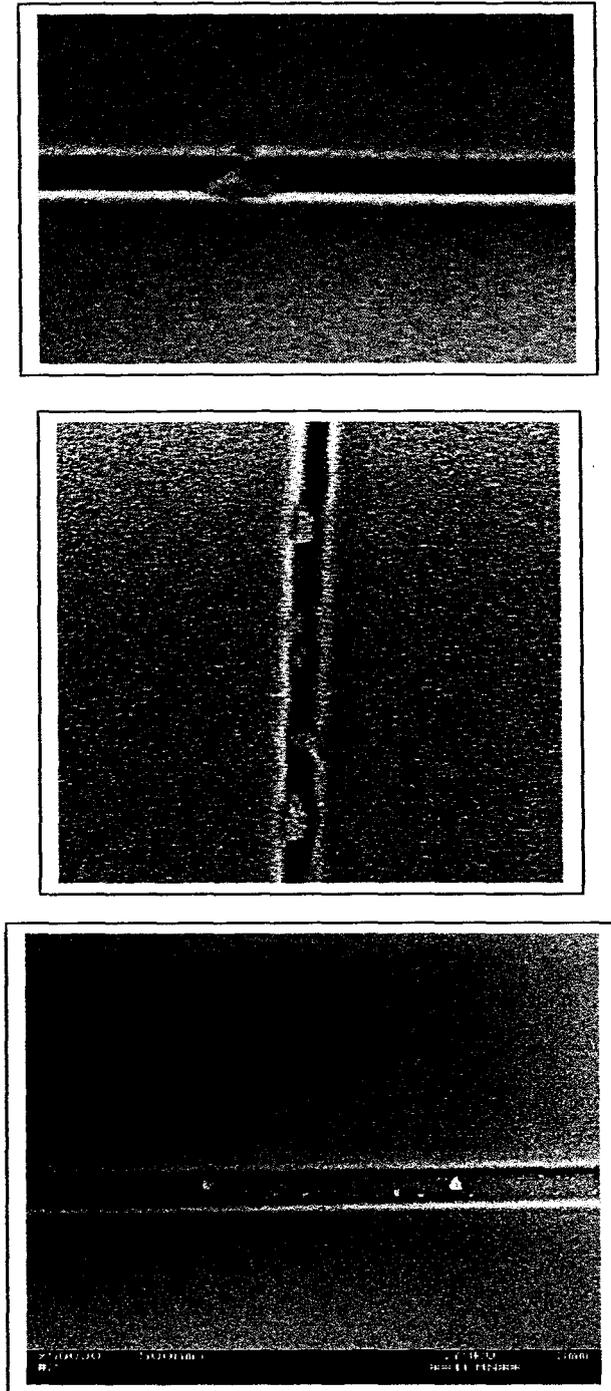


Figure 29: Photos prises au microscope électronique d'une ouverture de résine pour la définition du pied de grille.

La longueur du pied de grille métallisé doit être de $0.1\mu\text{m}$ à la fin du procédé de réalisation. Il faut donc prévoir une ouverture de la résine après la première révélation inférieure à $0.1\mu\text{m}$. En effet, il faut tenir compte de l'élargissement du pied de grille lorsque l'on enlèvera le nitrure par attaque plasma. Ce procédé grave non seulement le nitrure mais aussi la résine ce qui agrandit l'ouverture du pied de grille. Pour y remédier, la dimension du pied de grille sur le masque est de 70 nm . Avec cette dimension, le but est d'obtenir, après exposition et révélation, une ouverture de 90 nm dans le premier niveau de résine.

L'évolution de ces dimensions est donnée figure 30:

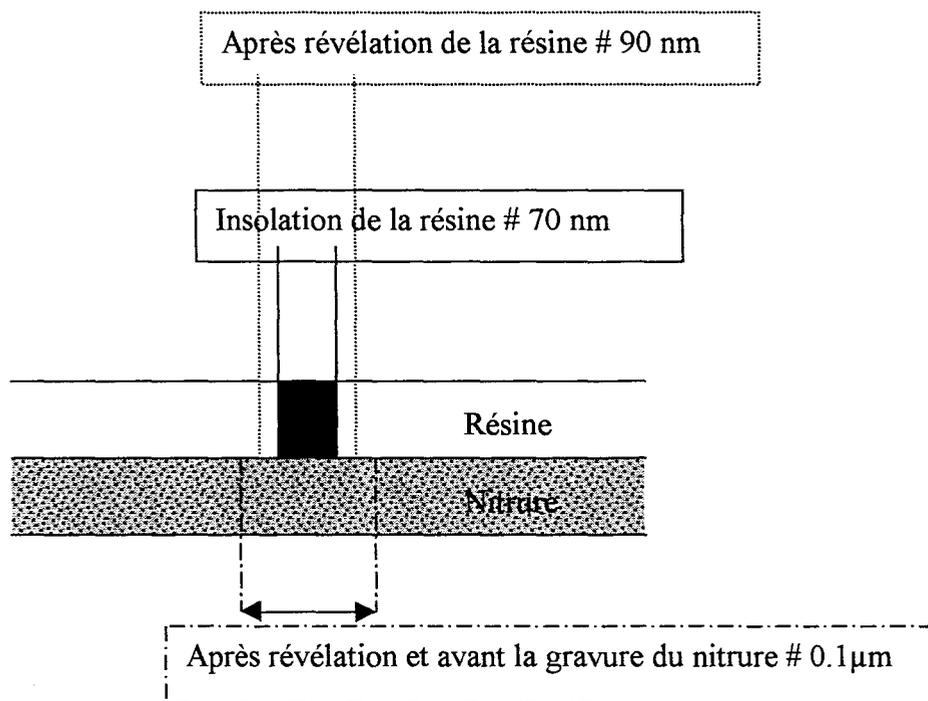
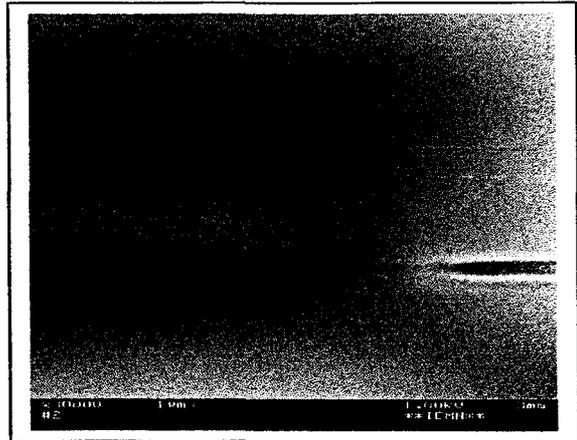
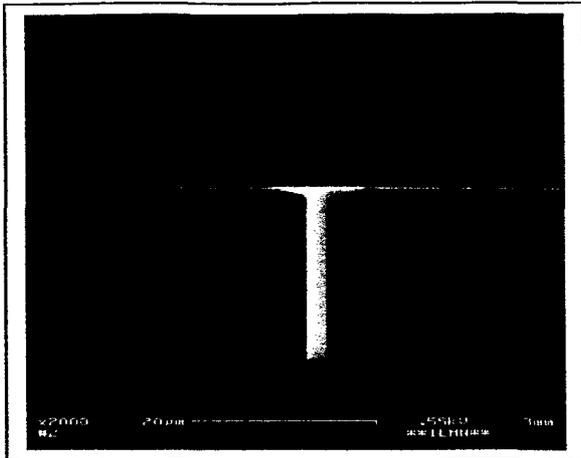


Figure 30: Evolution des dimensions du pied de grille.

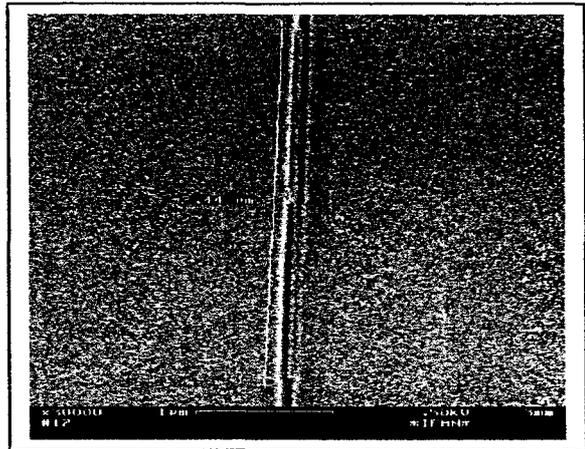
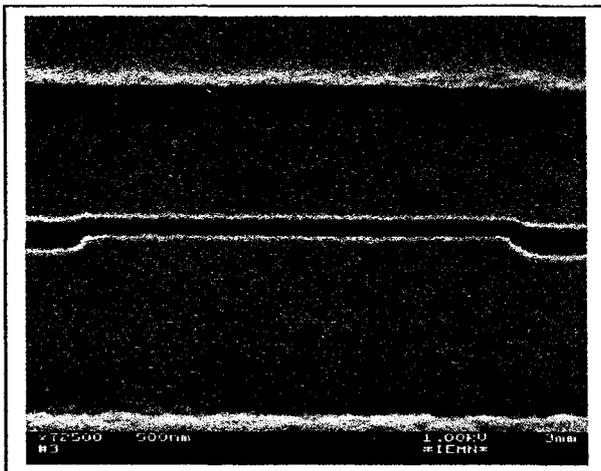
De nombreux essais ont été réalisés. Il s'agit de trouver la combinaison optimale entre l'épaisseur de résine, la dose, la composition du bain de révélation et le temps de révélation. Pour cela une variation de dose est appliquée sur le substrat résiné. L'ensemble est ensuite révélé pendant un temps suffisant pour obtenir une ouverture propre et à la bonne dimension. Il est à noter que pour obtenir des résultats réalistes, il est préférable de le faire sur des structures transistors. En effet, il semble que pour des dimensions aussi faibles, les résultats soient différents de ceux obtenus sur un substrat vierge. Il faut donc retenir l'influence du Mesa, des contacts ohmiques et des plots d'épaississement sur la dimension du pied de grille.

Tous ces essais sont visualisés au microscope électronique à balayage. C'est ainsi que l'on décèle des problèmes invisibles au microscope optique :

- révélation incomplète :



- discontinuité dans la ligne de grille :



La combinaison optimale a été définie : PMMA 4% 950K – 1750 Å – Révélation 1 MIBK : 2 IPA 2 min – Révélation 2 MIBK : 10 IPA 30 s – Rinçage IPA seul. Les deux révélation successives assurent la « sur révélation » de la résine. Le but est d'être sûr que l'ouverture du pied de grille sera propre.

Il y a eu ensuite une nouvelle série d'essais. Ainsi, la dose optimale définie auparavant est appliquée sur tout le substrat. Cette opération est également répétée plusieurs fois et cela

sur différents substrats. L'objectif est d'une part de confirmer le résultat et d'autre part d'être sûr de la reproductibilité des paramètres.

Le résultat en fin d'optimisation est le suivant :

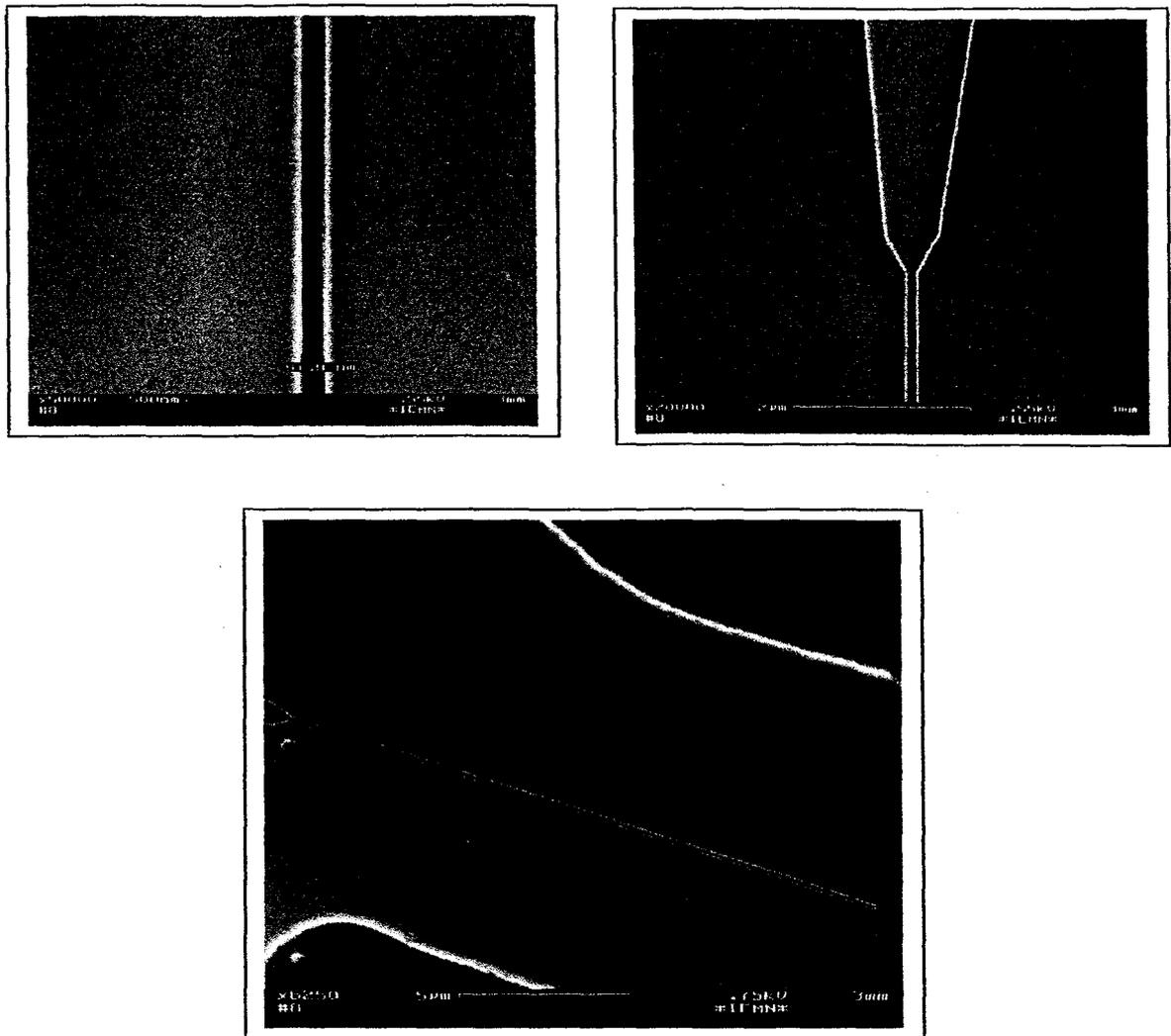


Figure 31: Ouverture optimisée de la résine PMMA pied de grille.

En conclusion, l'objectif fixé est atteint puisque l'ouverture est propre le long des deux doigts de grille avec une ouverture d'environ 90 nm. Cependant, le nombre élevé de paramètres, les faibles dimensions et la complexité du masqueur électronique font qu'un contrôle régulier des motifs obtenus est indispensable. En effet, il faut s'assurer qu'il n'y a pas de dérive du procédé de fabrication.

A-2) Optimisation de l'ouverture du nitrure

L'ouverture de 90 nm dans la résine étant réalisée, il s'agit maintenant de graver le nitrure découvert à l'aide d'une attaque plasma non destructive [15-18]. Celle-ci doit permettre :

- 1) d'ouvrir le nitrure en reproduisant le plus fidèlement l'ouverture de la résine,
- 2) d'obtenir les flancs du nitrure gravés les plus droits possibles,
- 3) de dégrader le moins possible la couche épitaxiée.

Le gaz utilisé auparavant pour ce type de réalisation technologique était le tétrafluorocarbone CF_4 . Les conditions d'utilisation de ce gaz ne permettaient pas d'obtenir une attaque reproductible. En effet, avec le bâti de gravure plasma utilisé alors, il était impossible de visualiser la structure pendant l'attaque, de détecter la fin d'attaque et de mesurer les vitesses de gravure pendant l'attaque.

Par conséquent, l'arrivée d'un nouveau bâti de gravure plasma au laboratoire nous a conduit à une nouvelle optimisation de cette étape d'ouverture du pied de grille. Nous avons souhaité profiter de la propreté de l'enceinte, du vide poussé et des outils de contrôle de la fin d'attaque offerts par ce nouveau matériel pour maîtriser au mieux cette étape clé.

Par conséquent, il faut trouver l'adéquation entre les cinq paramètres suivants : gaz, débit, pression, puissance et temps. L'objectif est d'obtenir l'ouverture la plus petite et la plus propre possible.

Ainsi de nombreux essais ont été réalisés afin de déterminer les conditions optimales pour notre application. Le travail consiste, dans un premier temps, à visualiser au MEB tous les profils d'ouverture obtenus avec les différents gaz disponibles. Une fois les paramètres fixés, la reproductibilité et la propreté de cette attaque ont été testées. Enfin, ces paramètres ont été appliqués aux transistors du numéro d'opération 10352.

Les conditions expérimentales sont les suivantes. Les premiers essais ont été faits dans le souci de reproduire le plus fidèlement possible l'environnement du composant. Ainsi, nous avons pris un substrat InP (dopé n+) qui a été recouvert successivement d'une couche de nitrure d'environ 800Å d'épaisseur et d'une couche de PMMA 4% de 1700Å.

PMMA 4%	1700Å
Si ₃ N ₄	800Å
InP	

Les motifs insolés sont des lignes de différentes dimensions, la plus intéressante pour nous étant celle de 0.1µm. La révélation a consisté en 50s dans (1/3 MIBK : 2/3 IPA, agitation 100 rpm) et 30s dans (IPA pur, agitation manuelle). La résine insolée a été visualisée avant attaque afin de connaître la dimension de l'ouverture et de la comparer à celle après attaque.

Les essais sont regroupés dans le tableau 4.

<u>ESSAI</u>	<u>GAZ</u>	<u>DEBIT</u>	<u>PUISSANCE</u>	<u>DC BIAS</u>	<u>TEMPS</u>	<u>PRESSION</u>	<u>RESINE</u> <u>RESTANTE</u>	<u>REMARQUES</u>
		(sccm)	(W)	(V)		(mT)	(Å)	
A	-	-	-	-	-	-	-	
B	CF4	20	100	420	40''	30	1020	
C	CF4+O2	20+2	100	423	20''	30	1090	
D	CF4+O2	20+2	100	423	15''	30	-	
E	CF4	20	100	-	40''	50	1170	
F	CF4	20	100	420	40''	30	-	
G	CF4	20	100	450	1'	20	-	
H	CF4	20	100	450	1'15	10		
I	CHF3+CF4+O2	25+40+4	100	440	1'	30	740	
J	O2	20	100	-	4''	100	1500	
K	O2	20	100	-	4''	100	-	
	CF4	20	100	-	40''	30		
L	CF4	20	150	570	40''	30	100	1700Å de SiN gravé en 1'15''
M	CF4+CHF3	40+40	125	483	1'15''	50	1200	1700Å de SiN gravé en 2'
N	O2	20	100	-	4''	100	-	
	CF4	20	100	-	40''	50		
O	CF4+CHF3	40+40	125	483	1'15''	40		
P	idem M							
Q	CF4+CHF3	40+40	125	483	1'05''	50		
R	idem M							Confirmation du profil droit
S	idem M							Test propreté de l'attaque
T	idem M							+ gravure de l'InP avec H ₃ PO ₄
U	O2	20	100	-	4''	100		
	CF4+CHF3	40+40	125	483	1'15''	50		pas d'amélioration
V	idem M							sur ¼ de plaque

Tableau 4: Récapitulatif des différents essais de gravure pour ouvrir le nitrure du pied de grille.

A chaque essai correspond un profil visualisé au MEB. Quelques exemples sont donnés ci-dessous.

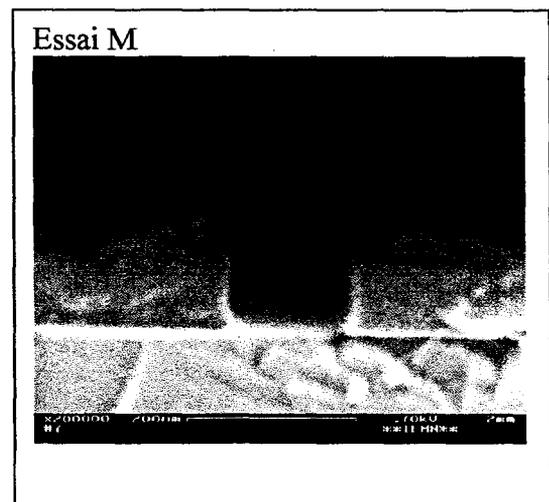
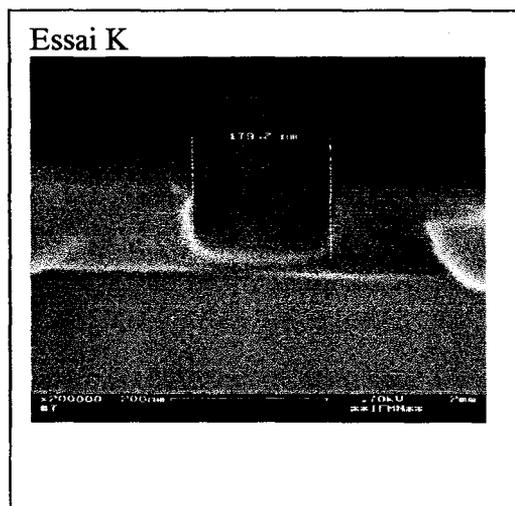
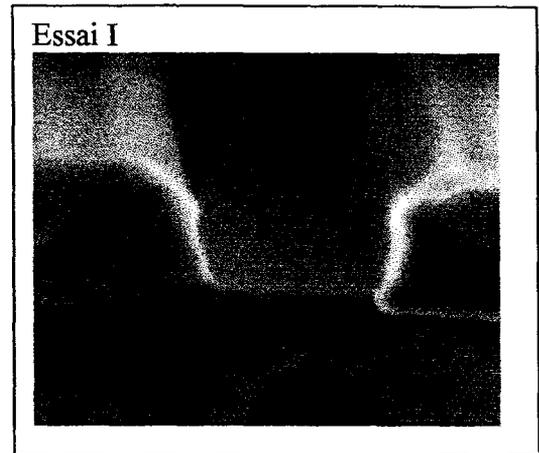
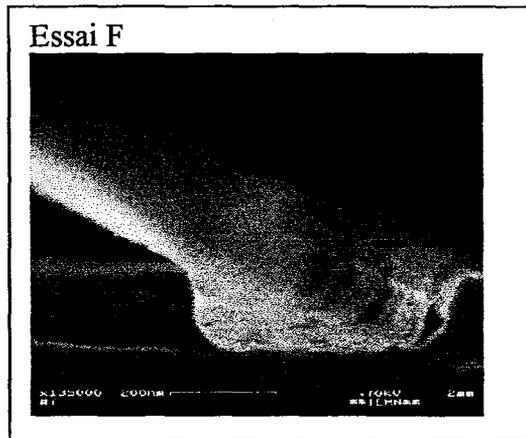
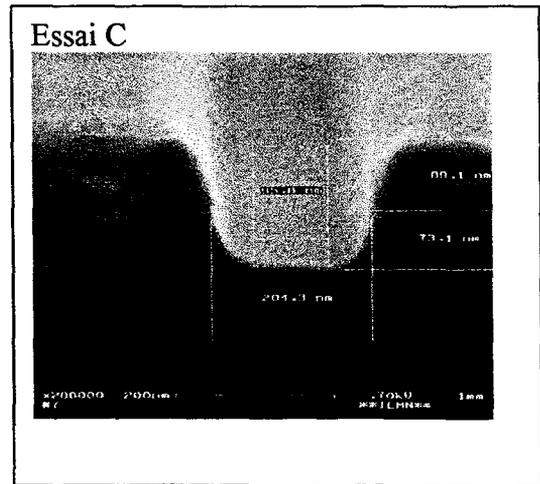
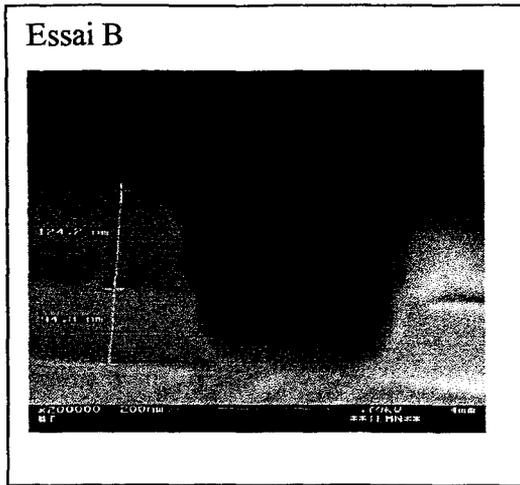


Figure 32: Différents profils de gravure obtenus au cours de l'optimisation.

Le mélange qui a donné le profil souhaité est le suivant : $\text{CF}_4 + \text{CHF}_3$, 40 sccm+40 sccm, 50 mT, 125 W. En effet, nous avons obtenu une assez bonne verticalité des flancs, surtout en comparaison des autres essais. De plus, cette attaque reproduit fidèlement l'ouverture de la résine obtenue. Ce résultat n'est malheureusement pas visible sur les photos. Lors de la visualisation des échantillons, le balayage de la résine par le faisceau d'électrons modifie le profil de résine très rapidement. Celle-ci se rétracte de chaque côté de l'ouverture, ce qui modifie considérablement le profil réellement obtenu.

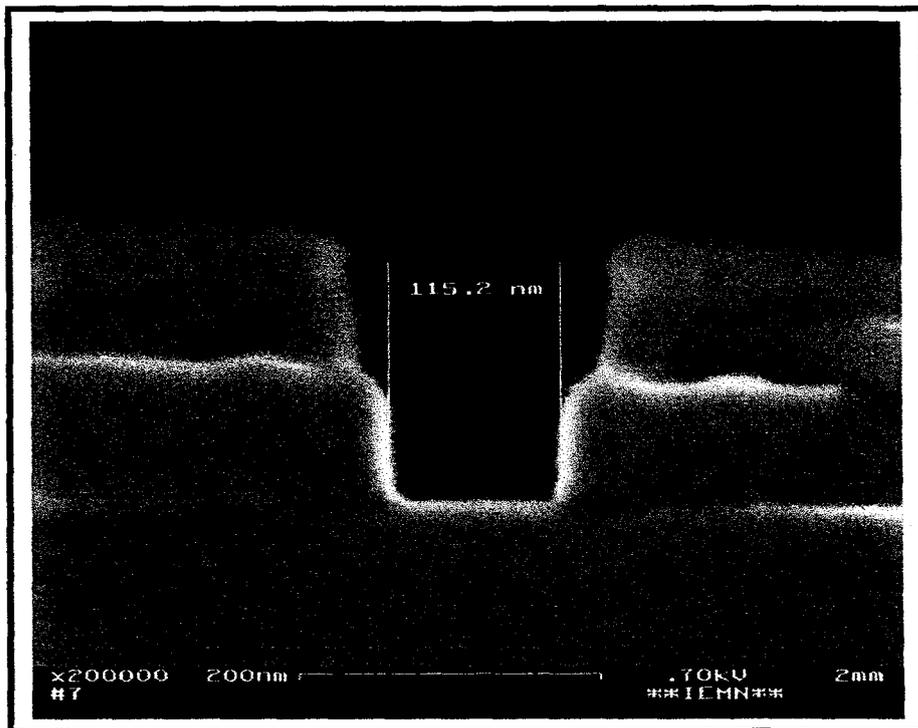
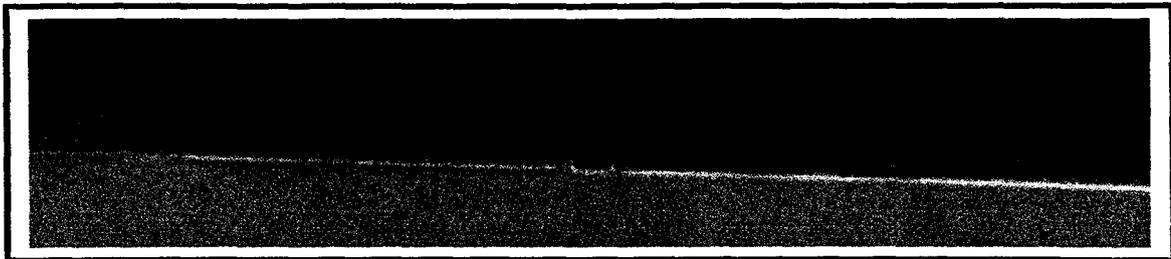


Figure 33: Profils de gravure après attaque plasma CF_4/CHF_3 .

A ce stade de la réalisation, les conditions suivantes sont remplies : ouvrir le nitrure en reproduisant le plus fidèlement l'ouverture de la résine, obtenir les flancs du nitrure gravés les plus droits possibles. Il faut maintenant s'intéresser au problème de dégradation de la structure.

Le semiconducteur est exposé au plasma à la fin de la gravure du pied de grille. L'incidence de ce plasma a été testée à l'aide de la mesure par effet Hall. Le but est de s'approcher des conditions expérimentales de surgravure du nitrure à la fin de cette attaque. Il est à noter que ces résultats ne seront qu'informatifs. En effet, il y a une grande différence entre la dimension du pied de grille et celle d'un trèfle.

Les trèfles sont réalisés sur une structure de type HEMT identique à celle de la figure 23. Ils ont été soumis aux mêmes étapes technologiques que celles utilisées pour la réalisation d'un transistor. Une mesure de la résistance carré R_{\square} , de la densité de porteurs de Hall n_h et de la mobilité de Hall μ_h a été faite à la suite de chaque étape. Les résultats sont regroupés dans les tableaux suivants.

300K					
	CΩ	CΩ +Si$_3$N$_4$	CΩ+ Si$_3$N$_4$ +dénitruration CF$_4$/CHF$_3$	CΩ+ Si$_3$N$_4$ +dénitruration CF$_4$/CHF$_3$+ UV 17min 30	CΩ + Si$_3$N$_4$ +dénitruration CF$_4$/CHF$_3$+ UV 17min30+ Attaque recess du cap
R$_{\square}$ (ohm)	175	148	382	200	631
n$_h$ (1012cm$^{-2}$)	3,88	5,10	2,08	3,36	1,56
μ_h (cm2/Vs)	9210	8270	7840	9310	6340

5.a) Mesures du Trèfle 1 à 300K avec passage aux UV.

	300K				
	C Ω	C Ω +Si ₃ N ₄	C Ω + Si ₃ N ₄ +dénituration CF ₄ /CHF ₃	Pas d'UV	C Ω + Si ₃ N ₄ +dénituration CF ₄ /CHF ₃ + Attaque recess du cap
R \square (ohm)	168	142	342	-	677
n _h (10 ¹² cm ⁻²)	3,91	5,17	2,27	-	1,52
μ_h (cm ² /Vs)	9500	8510	8030	-	6050

5.b) Mesures du Trèfle 2 à 300K sans passage aux UV.

	300K			77K
	C Ω	C Ω +Si ₃ N ₄	C Ω + Si ₃ N ₄ +dénituration CF ₄ /CHF ₃	C Ω + Si ₃ N ₄ +dénituration CF ₄ /CHF ₃
R \square (ohm)	175	148	382	106
n _h (10 ¹² cm ⁻²)	3,88	5,1	2,08	2,17
μ_h (cm ² /Vs)	9210	8270	7840	27200

5.c) Mesures du Trèfle 1 à 300K et à 77K.

Tableau 5: Evolution de la résistance carrée R \square , de la mobilité de Hall μ_H et de la concentration surfacique des porteurs n_h en fonction des différentes étapes technologiques.

Dans le tableau 5.a), le dépôt de nitrure sur le trèfle conduit à une augmentation de la concentration surfacique de porteurs n_h. Celle-ci s'accompagne d'une diminution de la mobilité μ_h et d'une diminution de la résistance carrée R \square . On observe ainsi que la présence du nitrure entraîne une modification du potentiel de surface. La couche superficielle ou cap layer est moins désertée. Par conséquent, les électrons de cette couche fortement dopée participent à la conduction ce qui correspond à une chute de la mobilité.

On remarque également pour le trèfle 1 que l'étape de dénitruration CF_4/CHF_3 conduit à l'effet inverse. Nous constatons une augmentation de R_{\square} avec une diminution de n_h et de μ_h . Ces évolutions après dénitruration sont par conséquent dues à la dégradation de la structure par l'attaque plasma et à la modification du potentiel de surface.

Pour améliorer la compréhension des phénomènes, le trèfle 1 a été soumis aux UV pendant 17 min 30s. Nous observons, pour ce trèfle 1, que le passage aux UV permet de retrouver des caractéristiques pratiquement identiques à celles de la structure initiale. Ce résultat est caractéristique d'une implantation d'hydrogène dans la structure. L'utilisation de cette étape UV pour réduire les dégradations apportées par le plasma est très intéressante. En effet, cette étape présente un caractère non destructif.

Le trèfle 2 qui a subi les mêmes étapes que le trèfle 1 jusqu'à la dénitruration n'a pas été soumis aux UV. Ces deux trèfles ont ensuite été gravés à l'aide d'une attaque sélective succinique afin d'enlever uniquement le cap layer. Les résultats sont respectivement dans les tableaux 5.a) et 5.b). Ils sont surprenants. En effet, les paramètres de Hall sont identiques après gravure du cap pour le trèfle 1 (soumis aux UV) et le trèfle 2 (non soumis aux UV). Il apparaît donc que la majorité des dégradations sont surtout introduites dans le cap layer. Ce résultat est très important puisque le cap layer est toujours gravé avant de déposer le contact schottky.

La structure après dénitruration a été également mesurée à 77K. Les résultats sont dans le tableau 5.c). A cette température les paramètres de Hall sont représentatifs du déplacement des charges dans le canal. Nous pouvons constater que nous obtenons une assez bonne mobilité après dénitruration.

Cependant, il faut toujours être très prudent lorsque l'on soumet une structure au plasma. Pour cela, il faut faire très attention au temps de surgravure. Il ne faut pas exposer le semiconducteur trop longtemps au plasma sous peine de dégrader fortement la structure.

Cette attaque plasma a été ensuite appliquée aux transistors du numéro d'opération 10352 avec les paramètres définis pendant les essais. Le résultat de cette réalisation n'est pas satisfaisant. Il s'est avéré que le nitrure n'était pas complètement gravé. La photographie suivante montre que la métallisation de grille ne contacte pas le semiconducteur.

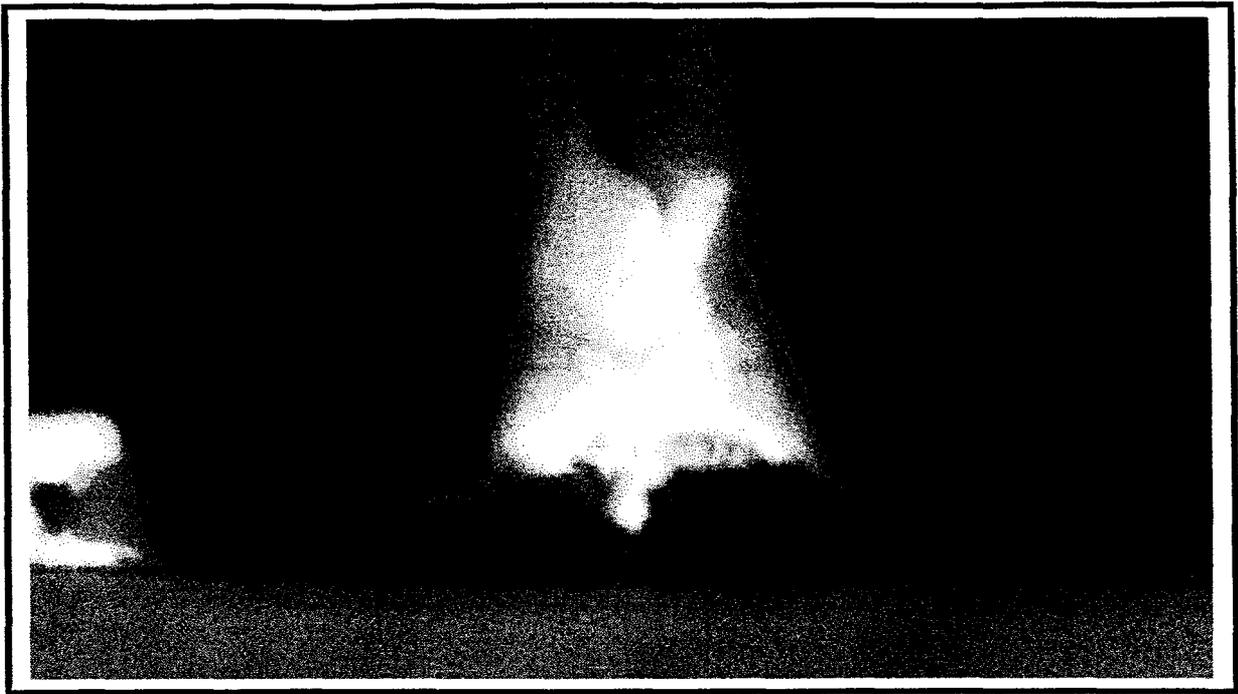


Figure 34: Première application de la gravure plasma CF_4/CHF_3 sur une structure transistor.

Il faut donc prendre en compte un paramètre supplémentaire qui est la quantité de matériau à graver. Pour cette réalisation, la surface totale de diélectrique en contact avec le plasma était beaucoup plus importante que celle pendant les essais. Il est donc nécessaire d'augmenter le temps d'attaque afin d'éviter ce type d'inconvénient. Il est essentiel d'être sûr que cette couche de diélectrique sera complètement gravée. Il ne faut pas oublier, par ailleurs, que le temps de surgravure doit être le plus petit possible.

Pour cela, une procédure de contrôle à l'aide de la détection de fin d'attaque a été mise en œuvre. Il s'agit d'une mesure par interférométrie laser. Celle-ci permet de faire une mesure de la vitesse et de l'épaisseur gravée en temps réel. Une caméra permet de visualiser l'évolution de l'attaque sur un moniteur de contrôle. Le tout est piloté par ordinateur et exploité par logiciel. Tant qu'il y a gravure du diélectrique, la caractéristique relevée est sinusoïdale. Dès qu'il n'y en a plus, il y a une rupture de la courbe. Un plateau est alors visible. C'est ce que montre la caractéristique suivante :

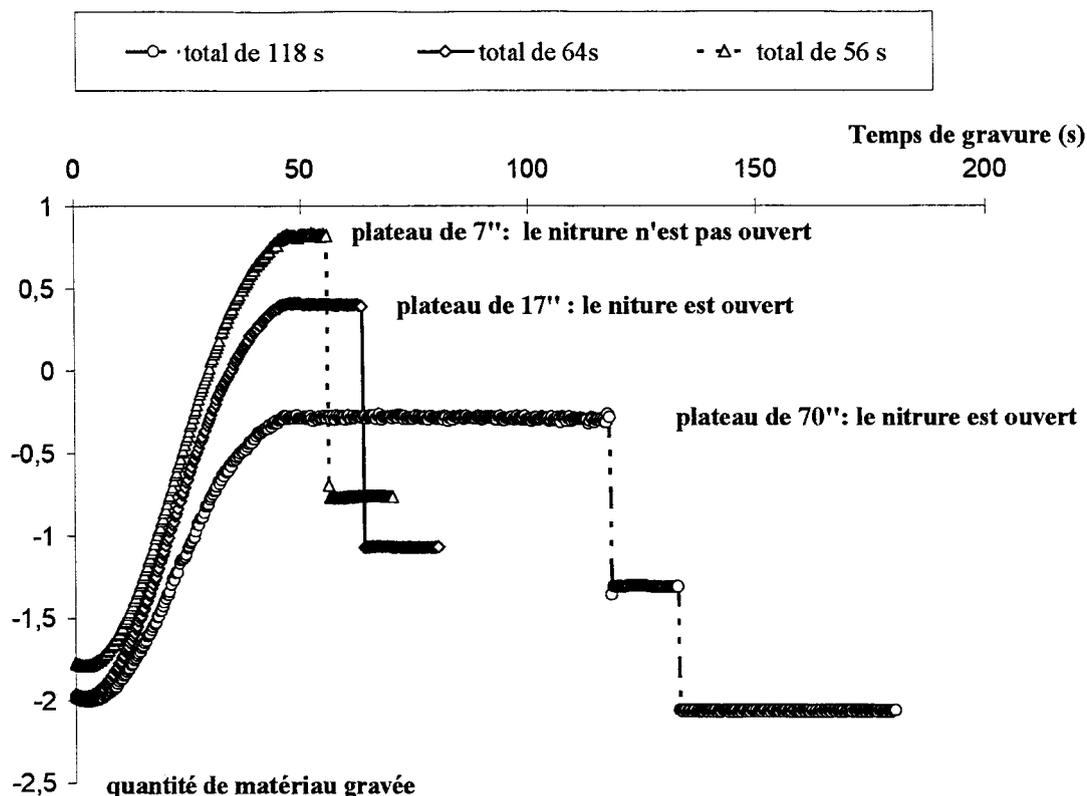


Figure 35: Caractéristiques obtenues pendant la gravure du nitrure pour différents temps d'attaque.

Afin d'être certain de l'issue de cette étape, un temps suffisamment important est ajouté au temps minimum de fin de gravure. Il est de 20 s et il se caractérise par une longueur de plateau de 3 cm. Celui-ci est appliqué chaque fois que l'on utilise cette attaque plasma. Il s'agit du critère de fin d'attaque. Il permet de s'affranchir d'une épaisseur variable de la couche de diélectrique d'une couche épitaxiée à l'autre. Par ailleurs, il faut noter que la visée laser est positionnée sur un plot plus grand que le plot de grille. Celui-ci étant beaucoup trop petit, on risquerait d'obtenir de mauvais résultats. Ainsi, à l'aide de ce temps de surgravure, on est également assuré de graver l'ensemble des pieds de grille sur un même substrat, et ce même si la couche de diélectrique n'est pas uniforme.

Une fois cette étape de gravure terminée, un morceau de la couche est prélevé et soumis à un nouveau test. Il s'agit de plonger quelques structures transistors dans une attaque chimique puissante afin de vérifier que le pied de grille est correctement ouvert. Celle-ci est

composée d' $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$. Elle permet de graver totalement le semiconducteur et d'atteindre la couche tampon. Cette attaque est tellement puissante qu'il est possible de vérifier le résultat de la gravure à l'aide du microscope optique. Il n'y a pas besoin, dans ce cas, de se servir du microscope électronique ce qui représente un gain de temps appréciable.

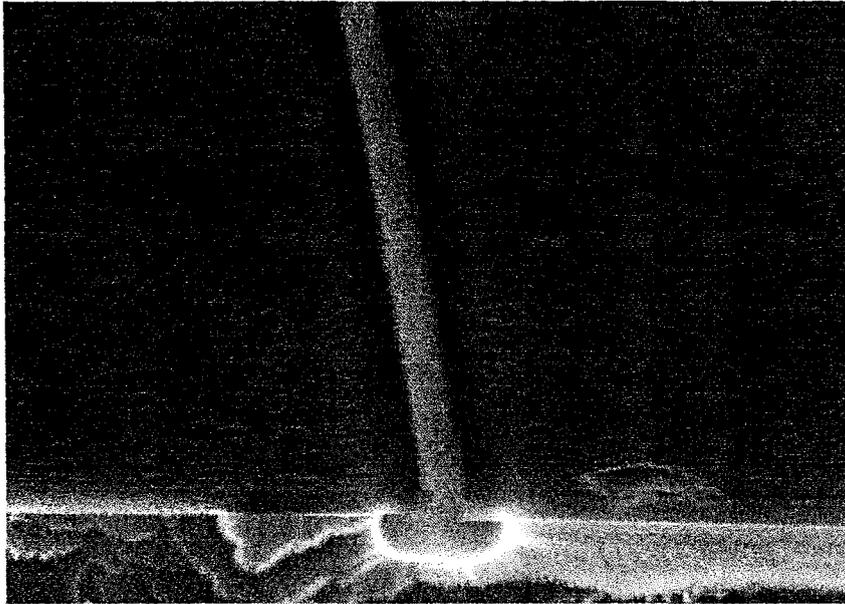


Figure 36: Gravure du semiconducteur par $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ pour vérifier l'ouverture du nitrure.

Cette vérification est corroborée par la mesure du courant entre le drain et la source. Lorsque celui-ci est nul ($I_{ds}=0$), c'est que le nitrure est bien gravé jusqu'au semiconducteur et que la structure est bien gravée jusqu'à la couche tampon. La suite de la réalisation peut avoir lieu.

B) DEUXIEME PHASE D'OPTIMISATION : l'ouverture du haut de grille

Le cahier des charges pour cette optimisation est le suivant :

- il faut obtenir une grille au profil en T avec une largeur de chapeau de $0.3\mu\text{m}$,
- après révélation du haut de grille, l'ouverture doit être propre tout le long du pied de grille pour avoir une attaque uniforme du fossé de grille,

- l'épaisseur de résine doit être suffisamment élevée pour augmenter la hauteur de métallisation. L'objectif est d'obtenir une résistance de métallisation R_m très faible.
- il faut un bon rendement de fabrication, des transistors performants et reproductibles.

Le haut de grille est obtenu par lithographie électronique. Le bi-couche de résine électronique est exposé puis révélé. Pour être sûr d'ouvrir correctement, on se place en condition de « sur révélation ». Cela se déroule en deux étapes. Le premier bain de révélation sert à ouvrir le motif. Le second bain est volontairement plus concentré pour nettoyer le fond du pied de grille.

Le profil visualisé après ces deux révélations est donné figure 37. Nous pouvons voir sur cette photographie que le haut de grille est très légèrement décentré par rapport au pied de grille. A cet effet, il est nécessaire de rappeler la difficulté de positionner une ouverture de $0.3\mu\text{m}$ sur une ouverture de $0.1\mu\text{m}$.

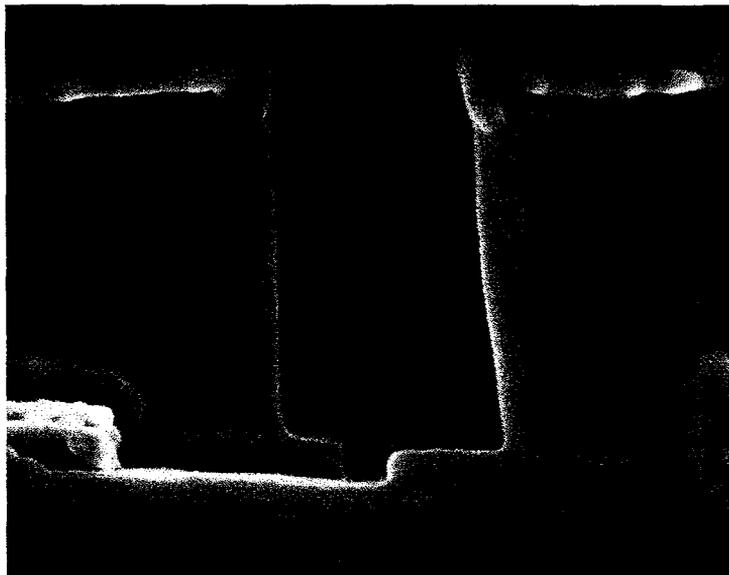


Figure 37: Profil du haut de grille après révélation.

Ce profil répond donc bien aux exigences exposées dans le cahier des charges. L'épaisseur de la résine est suffisamment élevée pour avoir une grande épaisseur de métallisation. Le profil est bien en casquette pour faciliter de lift-off. Le haut et le pied de grille sont centrés l'un par rapport à l'autre. Par conséquent, la réalisation peut se poursuivre.

Cependant, lorsque l'on poursuit cette réalisation, le résultat à la fin du procédé n'est jamais bon en terme de rendement et de tension de pincement. De plus, au début de l'optimisation du procédé de fabrication, le test $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ n'était pas utilisé pour vérifier l'ouverture du pied de grille. Il y avait seulement une visualisation au microscope électronique du nitrure après attaque. De ce fait, il était impossible de conclure sur la source du problème : étape du pied de grille ou étape du haut de grille ?

La solution a été trouvée lorsque le test $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ a permis de confirmer l'ouverture du pied de grille. Ainsi, il reste un problème à résoudre dans l'étape du haut de grille. La visualisation du bi-couche de résine n'est pas suffisante pour être assuré du bon déroulement de l'étape. Il faut par conséquent réaliser de nouveaux tests.

Pour cela, une structure est menée jusqu'à la réalisation du haut de grille en s'assurant que toutes les étapes précédentes sont réussies. Après exposition et révélation de ce bi-couche, le test de gravure est pratiqué sur cette structure. Le temps est suffisamment long pour atteindre la couche tampon. Le résultat est surprenant puisqu'il reste du courant entre la source et le drain. L'observation au microscope optique permet de voir que l'attaque n'est pas homogène. Il y a donc présence de polymères dans le fond du canal après la révélation du haut de grille ce qui empêche de graver totalement et uniformément le semiconducteur.

Ces polymères peuvent avoir des origines diverses. Ils peuvent être dus à la révélation du haut de grille mais aussi au délaquage du pied de grille. Ce dernier effet à déjà été constaté, il se manifeste de la façon suivante :

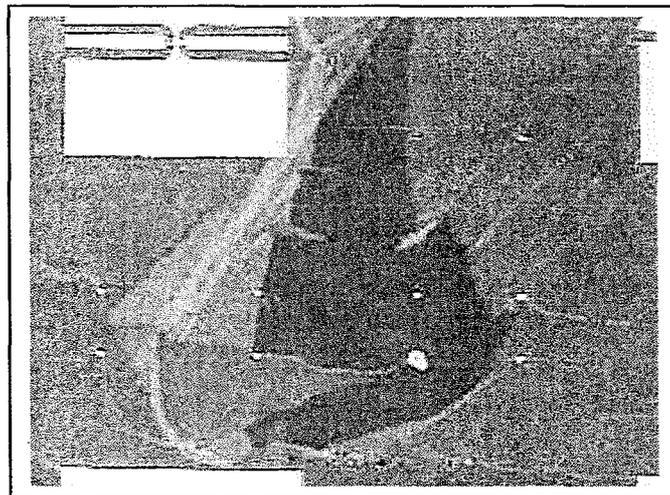


Figure 38: Présence de polymères après délaquage du pied de grille.

Pour y remédier, deux plasmas d'oxygène de 4s, 100W et 100mT sont appliqués successivement sur la structure révélée en haut de grille. L'intérêt de cette technologie est que ce plasma n'a que très peu d'incidence sur la dimension du pied de grille.

Une fois cette étape réalisée, la structure est de nouveau testée par attaque chimique. Le résultat est concluant. En effet, le courant est nul entre la source et le drain.

L'ouverture du haut de grille répond donc bien aux cahiers des charges. On peut alors poursuivre le procédé de réalisation.

C) LE RESULTAT DES DEUX PREMIERES OPTIMISATIONS

Le profil obtenu après ces étapes d'optimisation est reporté sur la figure 39. Les numéros portés sur le dessin renvoient aux points qui sont développés dans ce paragraphe.

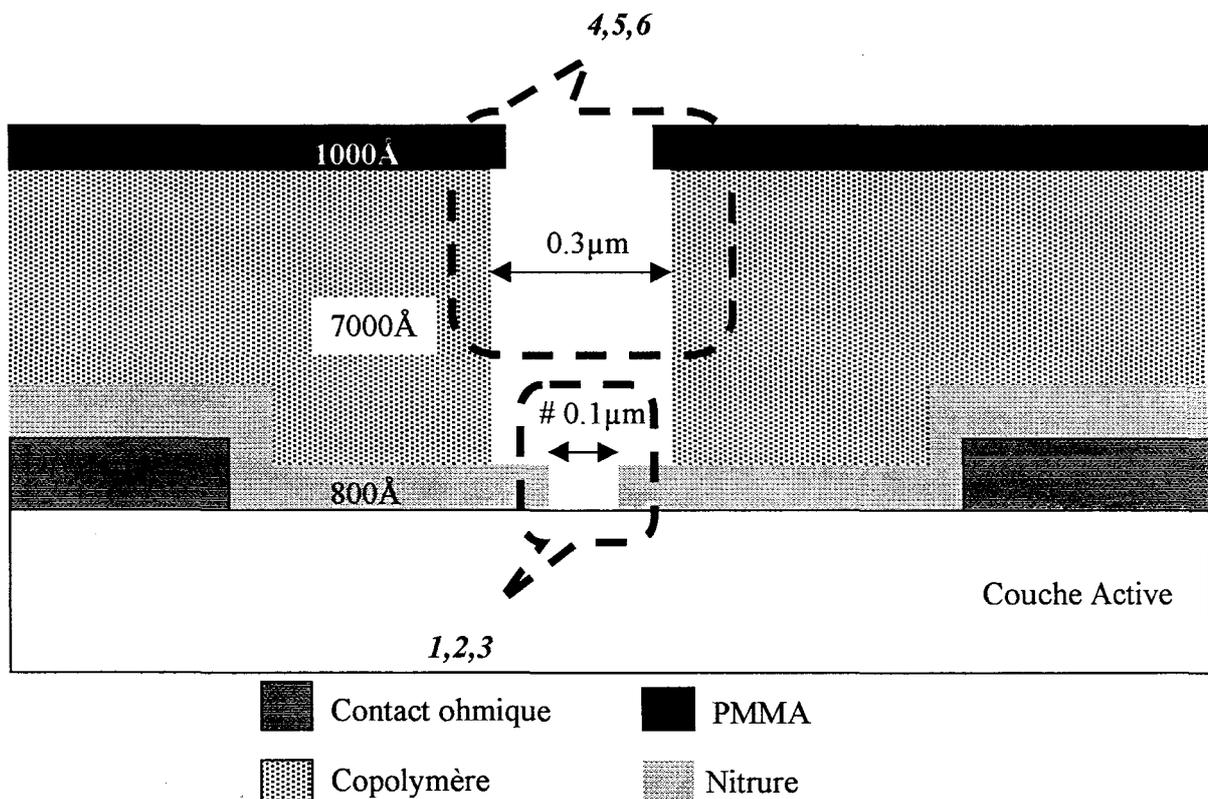


Figure 39: Profil de la structure du transistor avant la gravure du fossé de grille.

1. la longueur de grille est inférieure ou égale à 0.1 μm avec une ouverture du pied de grille propre tout le long du développement du transistor

2. les flancs du nitrure après gravure sont verticaux
3. L'épaisseur de nitrure est de 800Å
4. Le profil en T a une largeur de chapeau de 0.3µm.
5. Le profil est de type profil en casquette pour favoriser le lift-off.
6. L'épaisseur de résine est suffisamment élevée pour avoir une bonne hauteur de métallisation.

Tous ces éléments répondent aux exigences que nous nous sommes fixées dans le cahier des charges. Nous pouvons donc poursuivre le procédé de fabrication des transistors

D) TROISIEME PHASE D'OPTIMISATION : la gravure du fossé de grille

L'étape de gravure du fossé de grille, généralement appelé recess de grille, est une étape critique dans la fabrication des transistors. Cela consiste à retirer le cap de GaInAs pour atteindre la couche Schottky et y déposer la grille. L'épaisseur des couches situées entre la grille et le canal détermine la tension de pincement et les caractéristiques du composant. De ce fait, pour l'obtention d'une tension de pincement précise et une bonne homogénéité des performances du composant, un contrôle précis des profondeurs d'attaque est nécessaire. Cette homogénéité est un point essentiel pour la réalisation de circuits intégrés monolithiques.

Dans les hétérostructures GaInAs/AlInAs, un bon moyen de contrôler les épaisseurs de gravure est d'utiliser une attaque chimique sélective [19-21]. Cela permet en outre de sous graver le cap sous la résine ou le nitrure, en évitant les courants de fuite de grille et en limitant les capacités parasites entre la grille et les contacts de source et de drain.

Une étude sur ce sujet a été réalisée par H.FOURRE [22]. Le but de ce travail était de trouver une solution d'attaque ayant :

- une sélectivité élevée pour graver le GaInAs en préservant la couche d'AlInAs,

- une faible vitesse d'attaque de l'AlInAs pour un bon contrôle de la profondeur de gravure
- un profil d'attaque propre pour la réalisation du contact de grille.

Le résultat de cette étude montre que l'acide succinique (noté AS) permet de répondre à ces exigences. Les caractéristiques sont reportées dans le tableau 6.

Matériau	Solution AS/H ₂ O ₂	Vitesse d'attaque de l'AlInAs (Å/min)	Sélectivité
Adapté en maille sur InP	30/4	6	70

Tableau 6: Paramètres de l'attaque succinique.

Cependant après plusieurs opérations technologiques utilisant cette attaque, il s'est avéré nécessaire d'introduire deux phases supplémentaires. Il s'agit de pratiquer une désoxydation du substrat avant attaque et également une après attaque. Le but est d'améliorer considérablement l'homogénéité de l'attaque et aussi d'uniformiser les caractéristiques du contact Schottky sur le substrat.

La préparation de surface correspond à une désoxydation de la couche. Celle-ci s'effectue à l'aide d'une solution d'acide chlorhydrique HCl diluée dans les proportions HCl/H₂O 1:1. Le substrat est agité pendant 20s dans le but de bien faire s'écouler les espèces gravées.

L'étape suivante est celle de l'attaque recess. Le substrat est plongé pendant 1 min 30s dans la solution AS/H₂O₂.

Cette solution d'attaque a une sélectivité élevée. En effet, la vitesse de gravure du GaInAs est beaucoup plus élevée que celle d'AlInAs. Cela est dû à la formation d'une couche d'arrêt pendant l'attaque qui empêche la gravure de l'AlInAs [23]. L'oxygène apporté par la solution réagit avec l'aluminium pour former le composé Al₂O₃. Sa présence dégrade donc la qualité du contact Schottky puisque, dans ce cas, la métallisation est déposée sur un oxyde.

Afin de l'enlever, une nouvelle désoxydation a lieu pendant 30s. Celle-ci est à base d'acide phosphorique H_3PO_4 dilué dans les proportions H_3PO_4/H_2O 10:100. Sa vitesse de gravure de l'AlInAs en volume est d'environ $80\text{\AA}/\text{min}$.

Une fois ces trois attaques terminées, le substrat est prêt pour le dépôt de la Schottky.

Il faut ajouter, par ailleurs, que toute cette opération est contrôlée par une mesure du courant avant et après recess. De plus, ces mesures sont confrontées aux résultats obtenus par simulation de la couche à l'aide du logiciel HELENA. L'objectif est de vérifier le bon déroulement des opérations technologiques et principalement l'étape de gravure recess. Voici l'exemple du raisonnement suivi pour le contrôle du courant des transistors du numéro d'opération 10436.

- 1- On sait que la gravure de l'AlInAs est d'environ $80\text{\AA}/\text{min}$, ce qui fait une gravure de 40\AA pour 30 s.
- 2- On peut supposer que cette gravure ne démarre pas tout de suite puisqu'il faut d'abord enlever l'oxyde. La gravure est donc certainement inférieure à 40\AA .
- 3- Pour ce numéro d'opération, la valeur mesurée du courant I_{ds} est de l'ordre de $240\text{mA}/\text{mm}$ à $V_{gs} = 0\text{ V}$ et $V_{ds} = 1\text{V}$. La tension de pincement mesurée V_p est de -0.4V .
- 4- En tenant compte de ces paramètres, la structure de la couche simulée avec HELENA doit avoir les caractéristiques suivantes: épaisseur de la couche Schottky 120\AA , surgravure de 40\AA et plan de dopage $= 5.10^{12}\text{cm}^{-2}$. On simule le cas où la quantité d'AlInAs sur gravée est maximale. Le courant simulé doit donc être plus faible que le courant mesuré.
- 5- Le résultat de cette simulation est donné sur la caractéristique suivante. On peut voir que la valeur du courant I_{ds} est de $190\text{mA}/\text{mm}$ pour $V_{gs} = 0\text{ V}$ et $V_{ds} = 1\text{V}$. La valeur de la tension de pincement V_p est -0.5V .

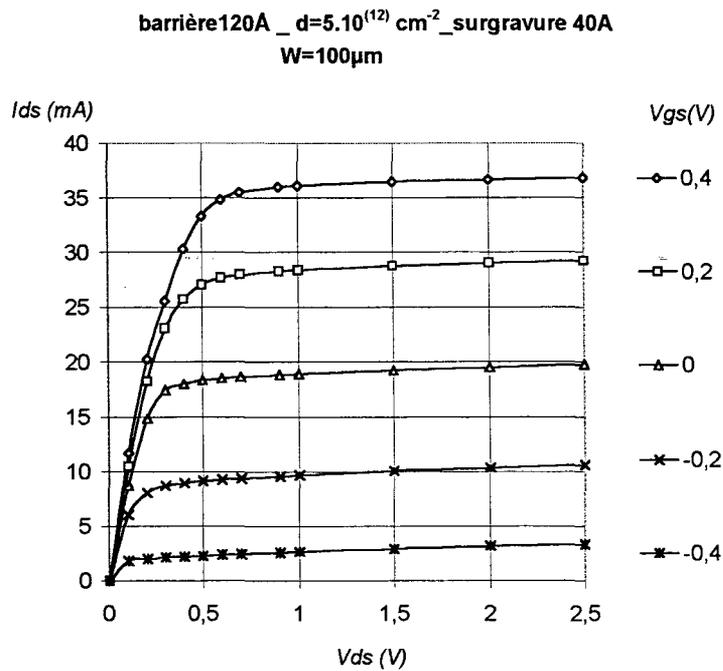


Figure 40: Caractéristique I(V) simulée avec HELENA afin de contrôler l'étape de recess de grille.

- 6- La comparaison avec la valeur mesurée I_{ds} de 240 mA/mm montre qu'il y a un bon accord entre la pratique et la théorie. Il y a par ailleurs un bon accord pour la valeur de la tension de pincement. L'écart de 100mV entre V_p simulé et V_p mesuré est faible compte tenu du nombre de paramètres intervenant dans la structure HEMT. Ces résultats confirment, par ailleurs, le fait que la gravure est bien inférieure à 40 Å.

E) QUATRIEME PHASE D'OPTIMISATION : le contact Schottky

Il s'agit de déposer un métal sur un semiconducteur non dopé afin de réaliser un contact métal-semiconducteur de type redresseur ou encore appelé contact Schottky. Ce dernier est assimilé à une jonction $P^{++}N$. Les caractéristiques de ce contact sont données par le potentiel de built-in V_b , par le coefficient d'idéalité η , et par la tension de claquage en inverse de la diode V_γ .

Dans le cadre de notre application, la métallisation Ti/Pt/Au (500/500/3000Å) permet d'avoir des contacts Schottky avec une tension de built-in d'environ 0.5V et une tension de claquage en inverse de -5V. Ces résultats sont présentés ci-après.

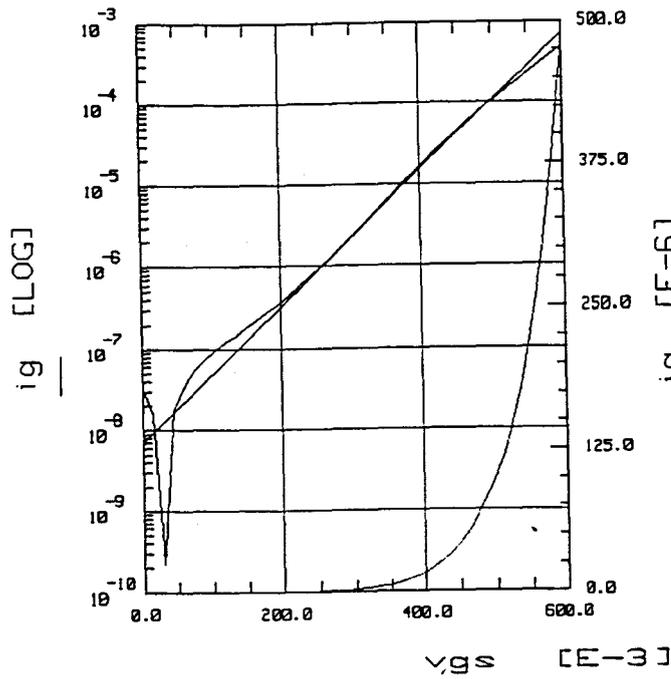


Figure 41: Tension de built-in V_b .

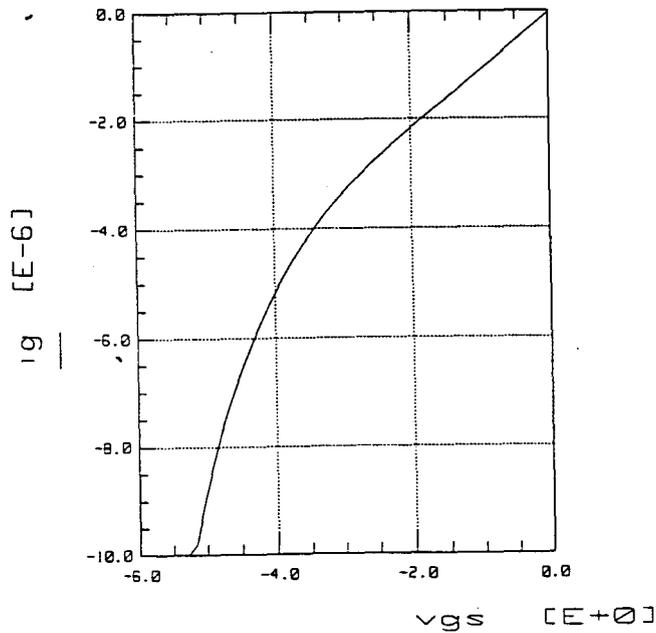


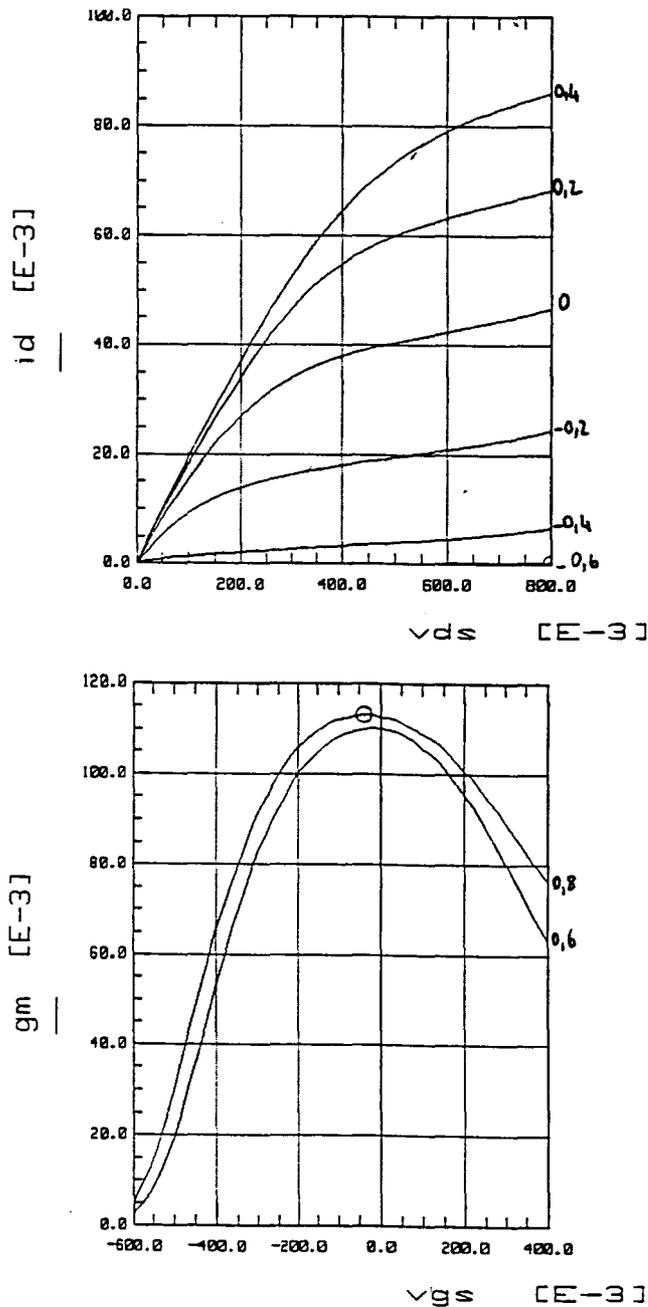
Figure 42: Tension de claquage en inverse V_γ .

Cette métallisation remplace la métallisation Pt/Ti/Pt/Au (250/500/500/2000Å) qui était utilisée auparavant. En effet, elle présente deux inconvénients majeurs.

Le premier vient d'une mauvaise adhérence du platine sur la couche d'AlInAs. En effet, en utilisant cette métallisation on peut constater un grand nombre de grilles décollées sur un même substrat.

Le second concerne les grilles qui ne se sont pas décollées. L'inconvénient vient, dans ce cas, de la diffusion du platine dans la couche d'AlInAs pendant le recuit de stabilisation pour former le composé métallique PtAs₂ [24]. Les caractéristiques I(V) obtenues, avant et après le recuit d'une grille Pt/Ti/Pt/Au, sont données sur la figure suivante. Les paramètres de ce recuit sont : 300°C-15min-sous atmosphère inerte. Les caractéristiques courant - tension et la transconductance sont issues des transistors du numéro d'opération 10305.

*Ids(Vds) et Gm(Vgs) AVANT RECUIT (2*75 μm)*



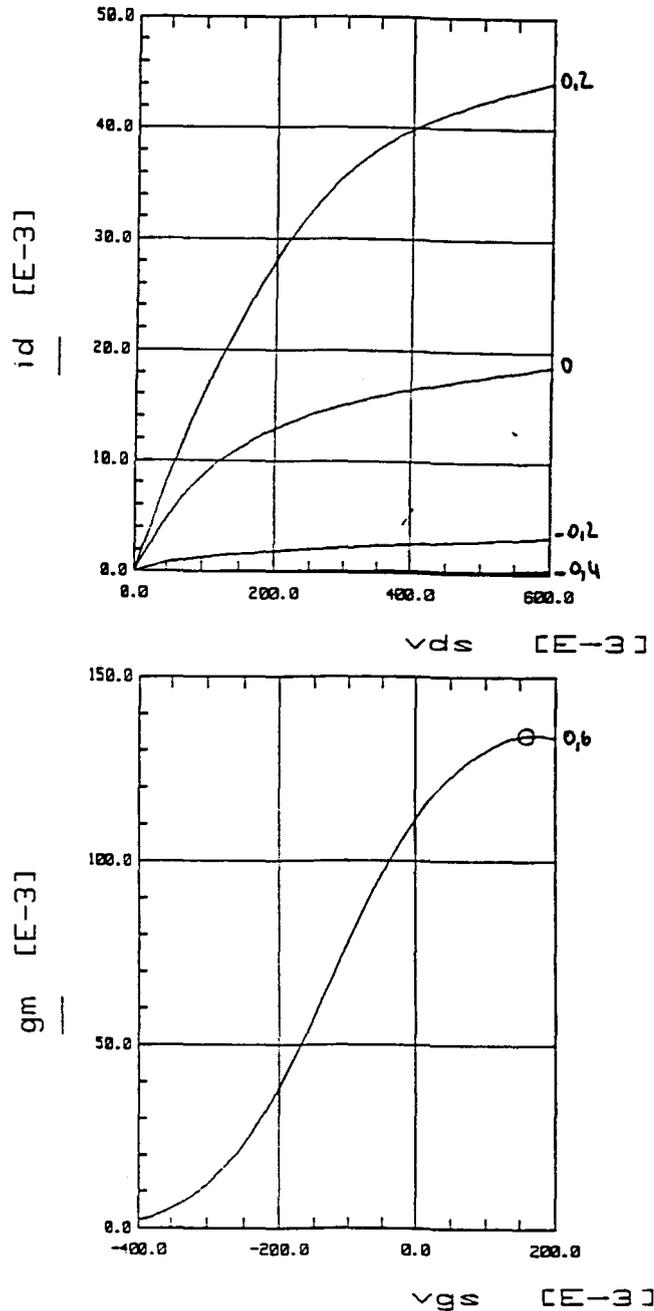
*Ids(Vds) et Gm(Vgs) APRES RECUIT(2*75μm)*

Figure 43: Evolutions des caractéristiques statiques avant et après recuit de transistor à grille Pt/Ti/Pt/Au.

Ces caractéristiques sont quasiment identiques à celles rencontrées dans la littérature [24-26]. L'augmentation de la transconductance G_m obtenue en pratique est également décrite dans la littérature [24 et 25]. La diffusion du platine se caractérise par une translation de la tension de pincement vers des tensions V_{gs} positives. On constate après ce recuit une

diminution de V_p . Le décalage de V_p s'accompagne également, pour une même valeur de V_{gs} , d'une très forte diminution du courant I_{ds} avant et après recuit. Le transistor passe d'un régime « normally-on » à « normally-off ». Les valeurs du courant avant et après recuit sont données dans le tableau suivant pour $V_{gs}=0V$ et $V_{ds}=0.6V$.

N°opération	I_{ds} avant recuit (mA/mm)	I_{ds} après recuit(mA/mm)
10305		
2*50 μm	280	73
2*75 μm	280	120
2*75 μm	280	160

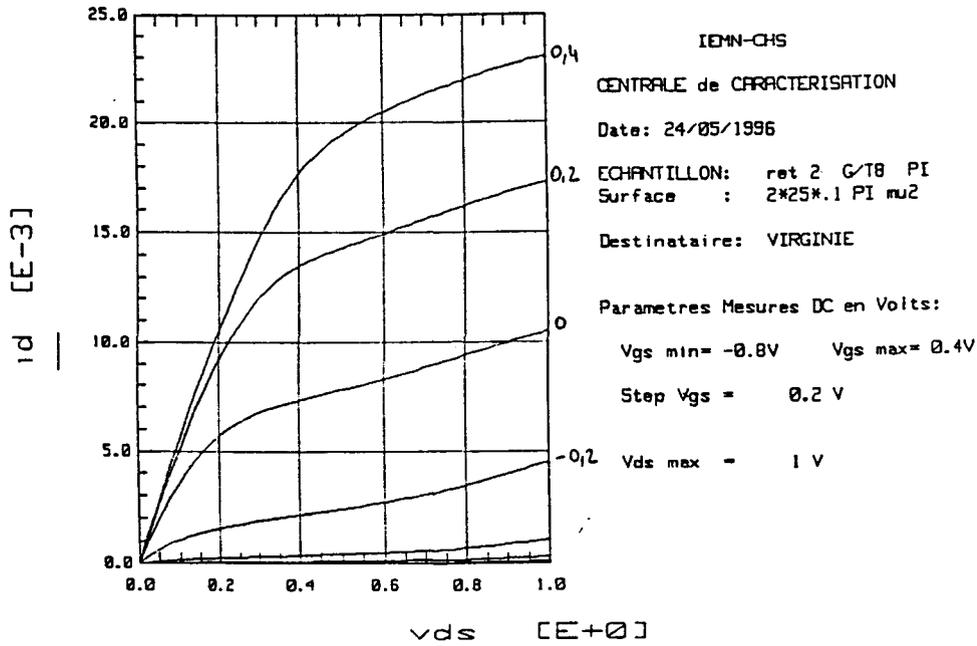
Tableau 7: Evolution de la valeur du courant I_{ds} dans le cas de transistor à grille Pt/Ti/Pt/Au avant et après recuit ($V_{gs}=0V$ et $V_{ds}=0.6 V$).

L'évolution du courant I_{ds} est aléatoire. Cette étape technologique ne permet pas d'obtenir un procédé de réalisation reproductible. De ce fait, nous ne pouvons pas bénéficier de l'augmentation de la transconductance G_m et de la diminution de la tension de pincement V_p après recuit. Par ailleurs, il faut ajouter que le recuit de stabilisation n'a pas pour objet de modifier les caractéristiques statiques des composants.

Ce phénomène de diffusion est d'autant plus gênant que le procédé de fabrication n'est pas terminé.

Pour protéger le composant des dégradations mécaniques et pour éviter la dérive des paramètres électriques au cours du temps, un dépôt de nitrure par PECVD est réalisé. Ce film de diélectrique recouvre l'ensemble de la structure. Lors de cette passivation, le transistor est porté à la température de 300°C pendant au moins une heure. Il s'agit de la même température de recuit que précédemment mais en beaucoup plus long. Après la passivation des composants du numéro d'opération 10248 dont la métallisation de grille est Pt/Ti/Pt/Au, nous avons observé les caractéristiques suivantes.

*Ids(Vds) AVANT passivation (2*25µm)*



*Ids(Vds) APRES passivation (2*25µm)*

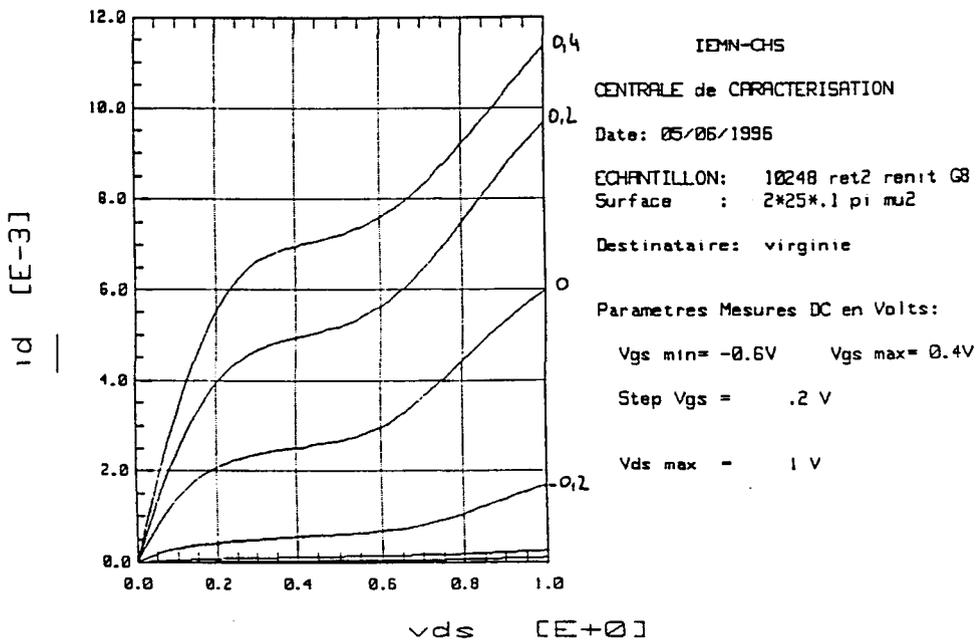


Figure 44: Evolution des caractéristiques statiques avant et après la passivation SiN 300°C de transistor à grille Pt/Ti/Pt/Au.

Nous retrouvons bien le phénomène de diffusion du platine. Nous pouvons constater une forte baisse du courant I_{ds} et une évolution curieuse de la caractéristique après cette étape de passivation. Par conséquent, cette étape de passivation étant inévitable dans le cas de la dénitruration complète de la structure, nous avons choisi de supprimer la couche de platine. Les étapes de dénitruration sont présentées à la fin de ce chapitre.

F) LE RESULTAT DE L'OPTIMISATION

Une fois toutes ces étapes réalisées, le profil de la grille en technologie nitrure est le suivant :

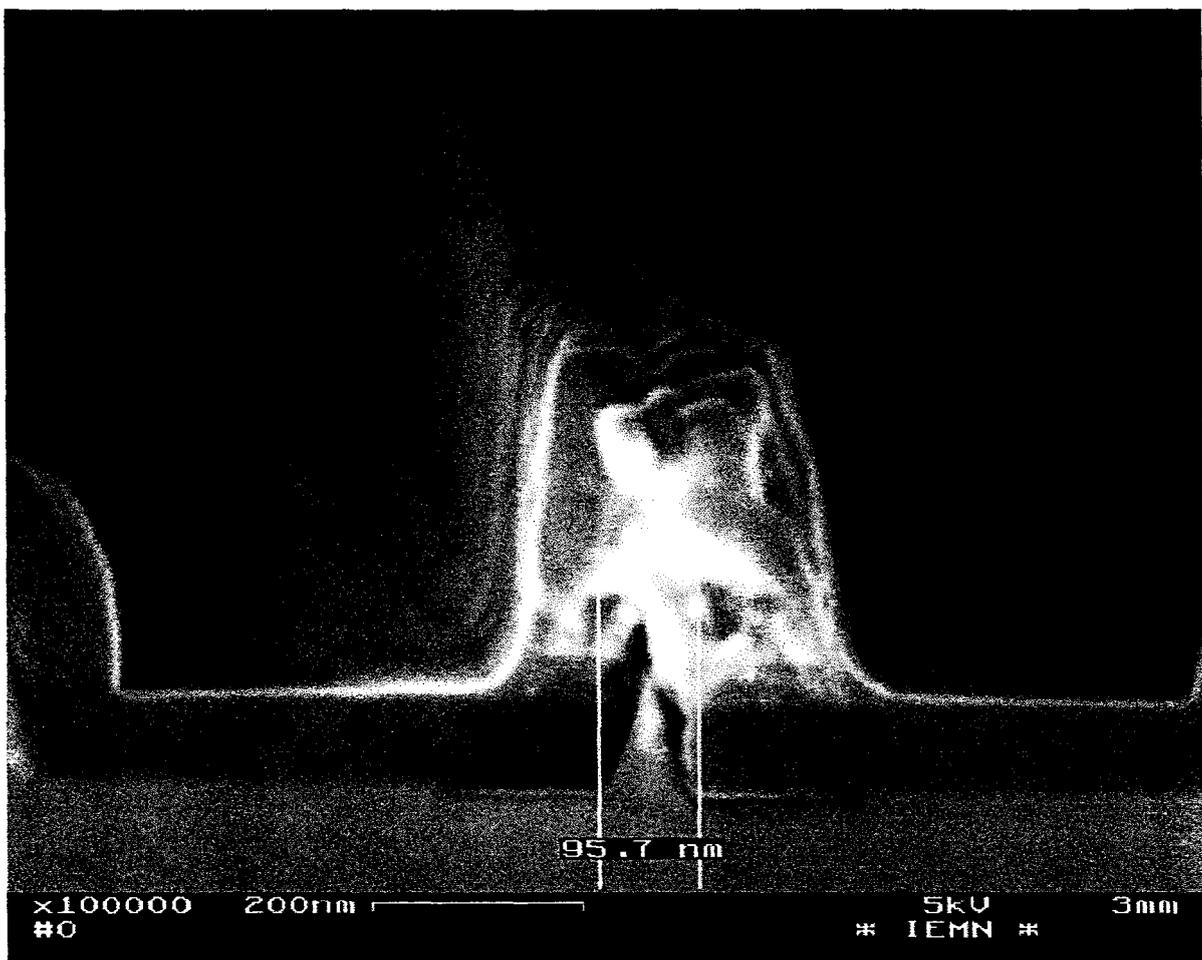


Figure 45: Métallisation de grille en T en technologie nitrure de longueur de grille $L_g=95.7\text{nm}$.

Les résultats obtenus sont satisfaisants en terme de rendement et de reproductibilité du procédé. Les fréquences de transitions F_t et F_{max} sont respectivement de 210 et 320 GHz.

Ces résultats répondent aux exigences fixées par la réalisation de circuit amplificateur. Toutes les caractéristiques électriques seront données dans le chapitre 3 de ce manuscrit.

G) CINQUIEME PHASE D'OPTIMISATION : la dénitruration

La couche de diélectrique utilisée dans la technologie nitrure permet d'obtenir des composants naturellement passivés puisque la grille est déposée sur du nitrure. L'inconvénient de cette technologie vient des couplages parasites introduits par le nitrure entre le haut de la grille et la structure. Ainsi, pour améliorer les performances hyperfréquences des HEMTs, il faut parvenir à graver le nitrure sans dégrader la structure. L'amélioration des performances apportée par cette gravure doit être significative. En effet, après cette étape, le composant doit être passivé. La nouvelle couche de passivation est plus fine que la précédente (200Å de nitrure à l'IEMN). Ainsi, on peut espérer obtenir pour ces composants passivés des performances hyperfréquences supérieures à celles des transistors à grille déposée sur du nitrure.

Pour cela, une étude sur la dénitruration a été menée en utilisant différents gaz et différents types de gravure [15-18]. En effet, la couche de diélectrique peut être ôtée soit par une gravure isotrope soit par une gravure anisotrope. Ces deux procédés sont présentés ci-dessous.

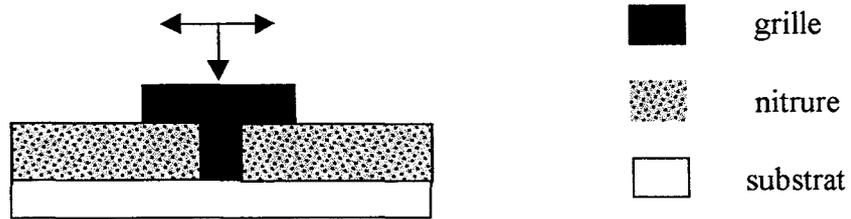
Par ailleurs, l'influence de ces deux étapes sur les performances hyperfréquences est étudiée dans le troisième chapitre.

1) la gravure isotrope

Le but est de graver tout le nitrure présent sur le substrat y compris celui qui est situé de part et d'autre du pied de grille. Le principal objectif est de réduire les capacités parasites introduites par la présence de ce film de diélectrique localisé entre la couche active et le chapeau de grille.

Cette attaque est caractérisée par une vitesse de gravure identique dans toutes les directions. La pression élevée, la faible puissance et une faible tension d'autopolarisation

favorisent dans ce cas l'attaque chimique. Le gaz utilisé est l'Hexafluorure de Soufre (noté SF₆) avec les paramètres suivants : 45W, 18V, 200 mT.



Pour vérifier qu'il y a bien sous gravure à pression élevée, nous avons fait l'expérience suivante. Des plots métalliques sont déposés sur 800 Å de nitrure et soumis, pendant le même temps (3min), à trois pressions différentes 50, 100 et 200 mT. La tension d'autopolarisation et la puissance sont respectivement de 18V et 45W.

Il y a, pour chaque pression et pour un même temps de gravure, une vue de dessus et une vue en coupe. Celles-ci sont reportées figure 46.

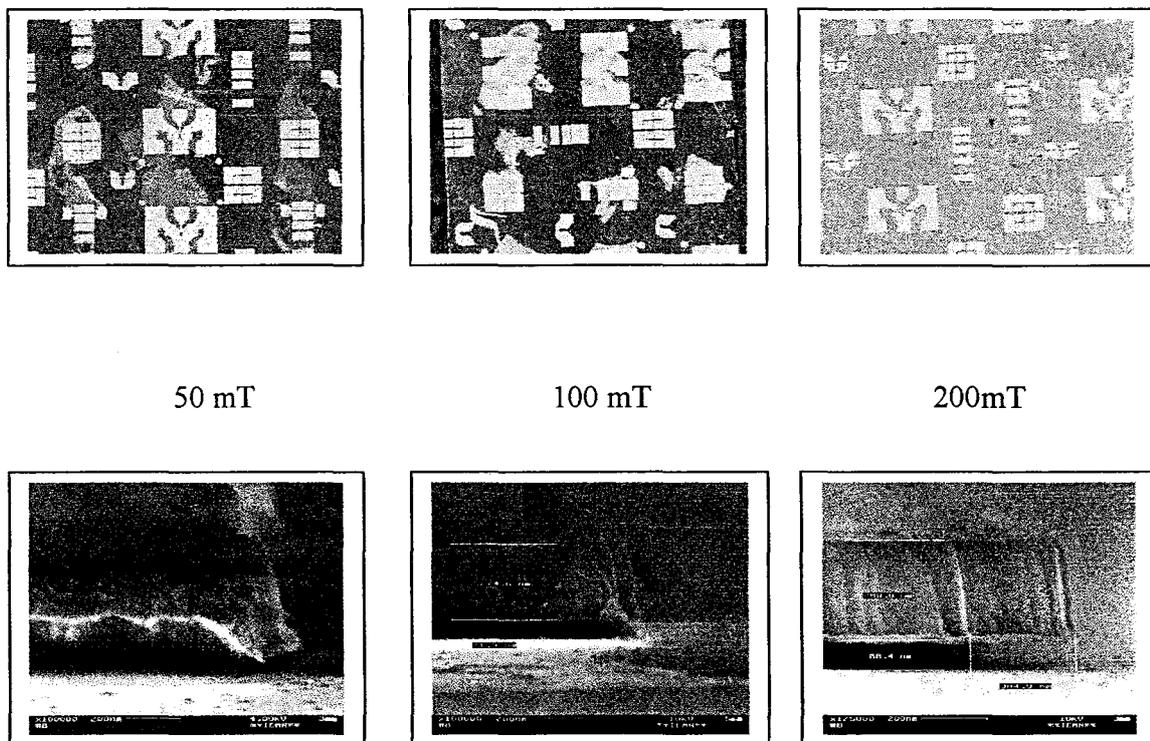


Figure 46: Profils de gravure utilisant le SF₆ et cela pour différentes pressions.

Le profil d'attaque observé pour 200mT est satisfaisant. En effet, il y a bien présence de sous gravure du nitrure à pression élevée. Par ailleurs, on peut constater que l'attaque du nitrure est plus rapide pour les fortes pressions que pour les faibles pressions. De plus, on peut noter la propreté de la surface à la fin de la gravure.

Cet ensemble de paramètres (200mT - 18V - 45W) est donc optimal pour notre application. De plus, le temps d'attaque à cette pression étant le plus court, cela réduit le temps d'exposition au plasma et limite les dégradations électriques dans la structure.

Les dommages apportés par ce plasma ont été étudiés à l'aide de la mesure par effet Hall. Les résultats sont les suivants :

	R_{\square} (ohm)	n_h (10^{12} cm^{-2})	μ_h (cm^2/Vs)
Echantillon de référence	170	3.9	9390
SF₆ - P=45W - p=200mT	165	4.28	8840

Tableau 8 : Evolution de la mobilité de Hall et de la concentration surfacique des porteurs après gravure SF₆

La très faible variation de ces paramètres entre les deux étapes technologiques montre que cette attaque est très douce. Elle peut être appliquée au composant puisque les risques de dégradations électriques sont réduits.

Ainsi, cette gravure a été utilisée pour dénitrurer des transistors réalisés en technologie nitrure. Le temps à appliquer a été déterminé à partir des essais précédents où la sous gravure est en moyenne de 310 nm pour 3 min. Dans notre cas, il n'y a que 100 nm de nitrure à graver en dessous du chapeau de grille. Par conséquent, le temps d'attaque est de 1min 30s. Il permet d'être sûr de graver complètement le diélectrique présent de part et d'autre du pied de grille.

Le résultat de cette attaque, donné sur la figure suivante, est satisfaisant. En effet, on peut constater qu'il n'y a plus de nitrure en dessous du chapeau de grille. De plus, les performances hyperfréquences sont meilleures après attaque.

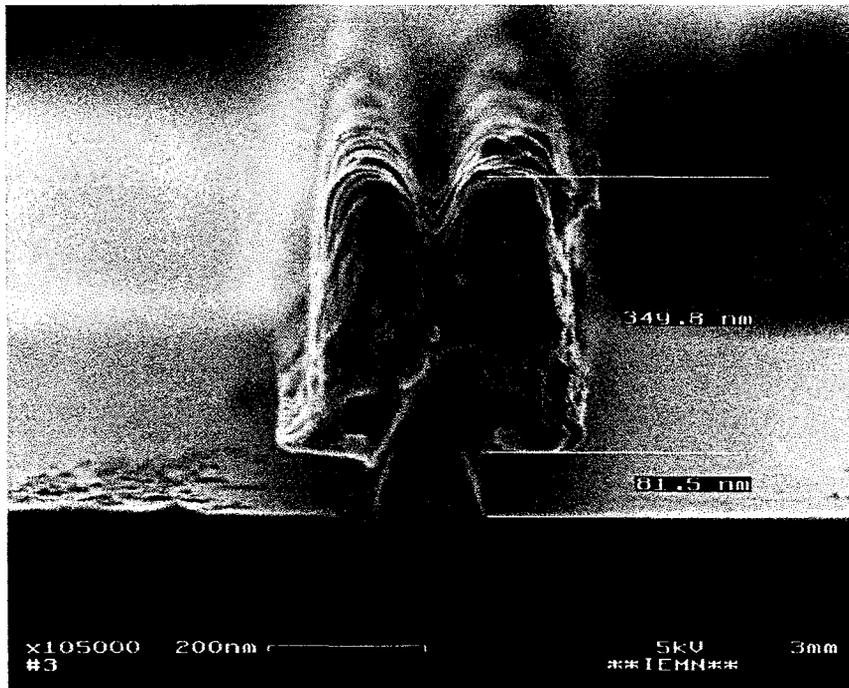


Figure 47: Profils de gravure après attaque isotrope Sf_6 .

Cependant, quelques points délicats concernant cette étape sont à signaler. Il s'agit :

- de la stabilité de la grille et de son chapeau. Ce problème se posera en effet pour des dimensions de longueur de grille beaucoup plus petites.
- de la mise à l'air de la couche Schottky. Il est difficile de savoir ce qui se passe lorsque celle-ci est en contact avec l'attaque plasma.
- de savoir quel est le temps optimal pour la gravure. C'est un élément difficile à gérer puisque la détection de fin d'attaque ne permet pas de contrôler la quantité de matériau

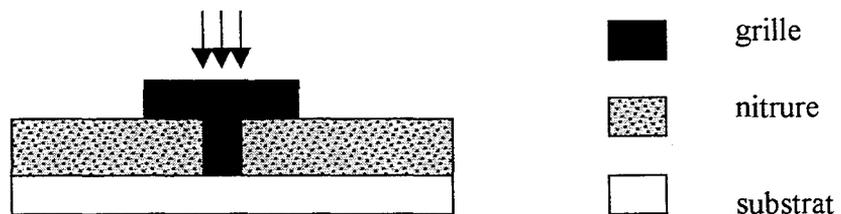
gravé en dessous du chapeau. De plus, il faut prendre en compte une éventuelle variation de la largeur du chapeau de grille et de l'épaisseur du nitrure à graver.

2) la gravure anisotrope

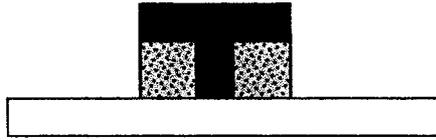
Afin d'éviter les problèmes posés par la gravure isotrope du nitrure, nous nous sommes intéressés à la gravure anisotrope. En effet, ce procédé présente deux avantages non négligeables par rapport au précédent. Il permet :

- d'assurer le maintien du haut de grille à l'aide du nitrure laissé de part et d'autre du pied de grille. Cette configuration est obtenue en utilisant une gravure hautement directionnelle et en se servant du haut de grille comme masque pendant l'attaque.
- de ne pas mettre en contact la zone du fossé de grille avec le plasma. Le nitrure placé de part et d'autre du pied de grille fait écran pendant la gravure.

Cette attaque est caractérisée par une vitesse de gravure hautement directionnelle. En effet, il n'y a qu'une seule direction de gravure conduisant à un profil vertical après attaque. Cette gravure directionnelle est favorisée par une puissance élevée et une forte tension d'autopolarisation. Le gaz utilisé est le Tétrafluorure de Carbone (noté CF_4) avec les paramètres suivants : 100W, 340V, 100 mT.



Ces conditions d'attaque entraînent une gravure verticale du nitrure sans phénomène de surgravure. Le haut de grille sert ainsi de masque comme on peut le voir sur le dessin suivant.



Cette attaque a donc été appliquée aux composants. Le résultat après gravure est le suivant :

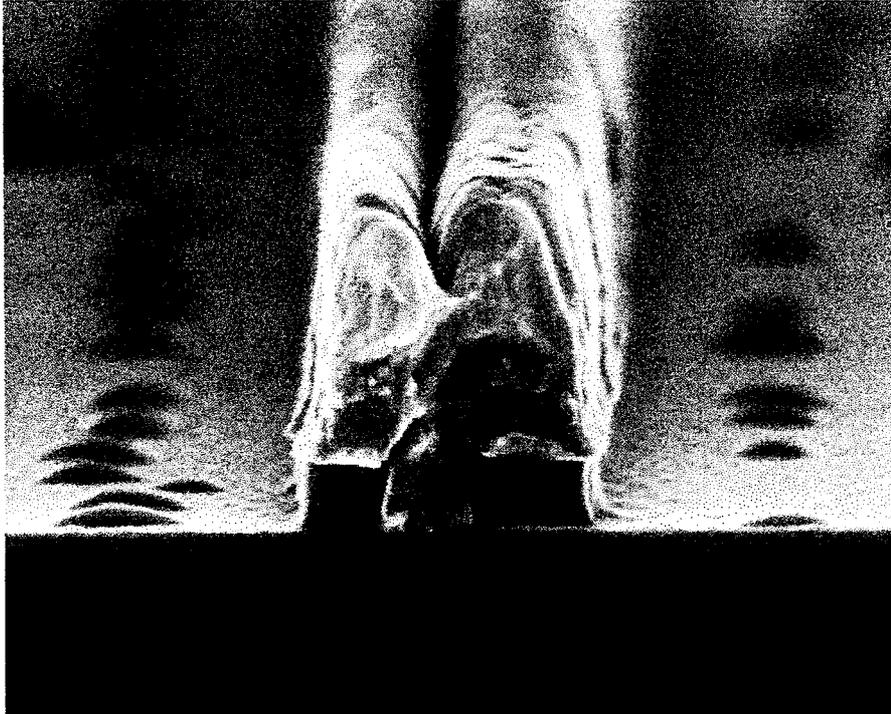


Figure 48: Profils de gravure après attaque anisotrope CF₄.

On peut constater qu'il y a bien présence du nitrure en dessous du chapeau de grille. Ce résultat indique que les paramètres sont bien optimisés pour obtenir une gravure anisotrope.

Cependant les résultats obtenus par la caractérisation hyperfréquence ne permettent pas de profiter des avantages précités. En effet, bien que l'attaque dure moins longtemps puisqu'il n'y a que 800 Å à graver, celle-ci est beaucoup plus violente. Il y a donc plus de dégradation de la structure. De plus, les mesures hyperfréquences montrent que le nitrure resté en dessous de la grille ne permet pas de réduire la capacité Cgd. Celle-ci reste trop élevée par rapport aux dégradations apportées par le plasma pour que l'on améliore les performances hyperfréquences des transistors.

II.3. Conclusion

Nous avons vu dans ce chapitre que :

- les transistors II technologie coplanaire du masque 4AS sont optimisés pour un bon fonctionnement en bande V et W.
- l'optimisation du procédé de fabrication de la technologie grille nitrure permet d'obtenir une longueur de grille $L_g < 0.1\mu\text{m}$.

Il faut maintenant étudier les performances statiques et hyperfréquences de ces transistors. Les résultats de caractérisation sont dans le chapitre 3 de ce manuscrit.

Détail du procédé de fabrication des HEMTs en technologie nitrure :

- **MARQUES**
- **ISOLATION PAR ATTAQUE CHIMIQUE**
- **ISOLATION PAR IMPLANTATION**
- **CONTACTS OHMIQUES**
- **PLOTS D'ÉPAISSISSEMENT**
- **GRILLE : DEFINITION DU PIED DE GRILLE**
- **GRILLE : DEFINITION DU HAUT DE GRILLE**
- **GRAVURE DU FOSSE DE GRILLE ET METALLISATION**
- **DENITRURATION**

MARQUES

OPERATION	PRODUITS	TEMPERATURE	METHODE	DUREE
Nettoyage	Acétone Alcool Isopropylique (IPA)	Température Ambiante (TA)	Bain + ultra son	5 min. 5 min.
Séchage		120 °C	Plaque chauffante	5 min.

Résine Bicouche

Dépôt	COPO 14%		V = 4500 tr/min A = 5000 tr/min/s → Epaisseur = 6000 Å	12 s
Recuit résine		170 °C	Four	30 min.
Dépôt	PMMA 5% Anisole 50 K		V = 2000 tr/min A = 5000 tr/min/s → Epaisseur tot = 6800 Å	12 s
Exposition	Masqueur électronique		172 $\mu\text{C}/\text{cm}^2$ 50kV	
Recuit résine		170 °C	Four	30 min.
Développement critique	(MIBK) / IPA 1 / 2	TA	agitation 100 tr/min	45 s
Rinçage	IPA	TA	agitation manuelle	30 s
Désoxydation Métallisation	Plasma Argon Ti/Au 200/2000 Å		150 V	20 s
Lift off	Acétone	TA	Bain + Ultra son	

ISOLATION PAR ATTAQUE CHIMIQUE

OPERATION	PRODUITS	TEMPERATURE	METHODE	DUREE
Nettoyage	Acétone Alcool (IPA)	TA	Bain + ultra son	5 min. 5 min.
Séchage		120 °C	Plaque chauffante	5 min.
Dépôt résine				
• Optique	SHIPLEY 1400-27		V = 2600 tr/min A = 3000 tr/min/s → Epaisseur = 1,4 µm	5 s
• Electronique	AZ PN114		V = 2000 tr/min A = 2000 tr/min/s → Epaisseur = 1,1 µm	15 s
Recuit résine				
• Optique	<u>Sinon risque de décollement de la résine</u>	80°C	Four	30 min.
• Electronique		120 °C	Plaque chauffante	60 s
Exposition				
• Optique			17 mW/cm ²	5s
• Electronique			dose de base 14 µC/cm ²	
Inversion résine				
• Electronique		115 °C	Plaque chauffante	60 s
Révélation				
• Optique	Micro. Dev. / H ₂ O DI 1 / 2		Agitation	10-15 s
• Electronique	MIF 518 pur		Sans agitation	60 s
Rinçage	H ₂ O DI		Agitation	60 s
Attaque chimique	(H ₃ PO ₄ / H ₂ O ₂ / H ₂ O DI) 5 / 1 / 40		v ≈ 1800 Å/min. Sans agitation	45 s
Rinçage	H ₂ O DI		Agitation	60 s
Attaque chimique	(AS / H ₂ O ₂) 30 / 4		Sans agitation	60 s
Rinçage	H ₂ O DI		Agitation	60 s
Nettoyage				
• Optique	Acétone	TA	Bain + ultra son	5 min
• Electronique	Remover 100		Bain + ultra son	
Rinçage				
• électronique	H ₂ O DI	TA	Bain + ultra son	5 min

ISOLATION PAR IMPLANTATION IONIQUE

OPERATION	PRODUITS	TEMPERATURE	METHODE	DUREE
Nettoyage	Acétone Alcool (IPA)	TA	Bain + ultra son	5 min. 5 min.
Séchage		120 °C	Plaque chauffante	5 min.
Dépôt nitrure	Si _x N _y 200 Å	300 °C	PECVD	
Dépôt résine • Optique	SHIPLEY 1400-27		V = 2600 tr/min A = 3000 tr/min/s → Epaisseur = 1,4 µm	5 s
• Electronique	AZ PN114		V = 2000 tr/min. A = 2000 tr/min/s → Epaisseur = 1,1 µm	15 s
Recuit résine • Optique (profil casquette)	- - Chlorobenzène -	- 60 °C - - 80 °C	- Four - - Four	20 min 16 min 30 min
• Electronique			Plaque chauffante	60 s
Exposition • Optique • Electronique			17 mW/cm ² dose de base 14 µC/cm ²	5s
Inversion résine • Electronique		115 °C	Plaque chauffante	60 s
Révélation • Optique	Microposit Developer / H ₂ O DI 2 / 1		Agitation	10 s
• Electronique	MIF 518 pur		Sans agitation	60 s
Rinçage	H ₂ O DI		Agitation	60 s
Implantation ionique • PM ou LM InP	Ar ⁺ 1.10 ¹⁵ /cm ²		EATON 3204 100-110 keV	
• MM 30 %	B ⁺ 5.10 ¹³ /cm ²		140 keV	
Nettoyage • Optique • Electronique	Acétone Remover 100	100 °C	Bain + ultra son Bain + ultra son (plusieurs fois)	3 min

Retrait polymères			GIR4 O ₂ 50 mT 200 V 50 W	5 min
Recuit d'implantation		300 °C	Four tubulaire sous flux d'azote	10 h

CONTACTS OHMIQUES

OPERATION	PRODUITS	TEMPERATURE	METHODE	DUREE
-----------	----------	-------------	---------	-------

Pour les deux types d'isolation

Nettoyage	Acétone Alcool (IPA)	TA	Bain + ultra son	5 min. 5 min.
Séchage		120 °C	Plaque chauffante	5 min.

Résine Bicouche

Dépôt	COPO 14%		V = 4500 tr/min A = 5000 tr/min/s → Epaisseur = 6000 Å	12 s
Recuit résine		170 °C	Four	30 min.
Dépôt	PMMA 5% Anisole 50 K		V = 2000 tr/min A = 5000 tr/min/s → Epaisseur tot. = 6800 Å	12 s
Recuit résine		170 °C	Four	30 min.
Développement	(MIBK) / IPA 1 / 2	TA	agitation 100 tr/min	45 s
Rinçage	IPA	TA	agitation manuelle	30 s
Exposition	Masqueur électronique		172 µC/cm ² 50kV	
Développement	(MIBK) / IPA 1 / 2	TA	agitation 50 tr/min	50 s
Rinçage	IPA	TA	agitation manuelle	10 s

Dans le cas d'une isolation par implantation

Ouverture nitrure	SF ₆ 20sccm		18V 45W 200mT	
-------------------	---------------------------	--	---------------	--

Pour les deux types d'isolation

Désoxydation	Plasma Ar ⁺ (in situ bâti d'évaporation)		150 V	20 s
Métallisation • PM ou LM INP	Ni/Ge/Au/Ni/Au 25/400/800/50/600 Å			

• MM 30 %	Ni/Ge/Au/Ni/Au 50/400/800/100/2000 Å			
Lift off	Acétone	TA	bain + ultra son	
Recuit				
• PM ou LM INP		310 °C	Four de recuit flash	60 s
• MM 30 %		≈ 350 °C	Four de recuit flash	50 s

PLOTS D'ÉPAISSISSEMENT

OPERATION	PRODUITS	TEMPERATURE	METHODE	DUREE
Nettoyage	Acétone Alcool (IPA)	(TA)	Bain sans ultra son	5 min. 5 min.
Séchage		120 °C	Plaque chauffante	5 min.
Dépôt nitrure	Si _x N _y 800 Å 600 Å	300 °C	PECVD	
• Procédé isolé par attaque chimique • Procédé isolé par implantation				
Dépôt résine	SHIPLEY 1400-27		V = 2600 tr/min A = 3000 tr/min/s → Épaisseur = 1,4 µm	5 s
Recuit résine				
• Optique (profil en casquette)	- - Chlorobenzène -	- 60 °C - - 80 °C	- Four - - Four	-20 min -16 min -30 min
Exposition			17 mW/cm ² dose de base 14 µC/cm ²	5s
Révélation	(Micro. Dev. / H ₂ O DI) 2 / 1 MIF 518 pur		Agitation Sans agitation	10 s 60 s
Rinçage	H ₂ O DI		Agitation	60 s
Ouverture nitrure	Plasma CF ₄ /CHF ₃ 40sccm / 40sccm		GIR5 50 mT 480V 125W	1min.30
Métallisation	Ti/Au 1000/4000 Å			
lift off	acétone / alcool		Sans ultra-son	

GRILLE : DEFINITION DU PIED DE GRILLE

OPERATION	PRODUITS	TEMPERATURE	METHODE	DUREE
Nettoyage	Acétone Alcool (IPA)	TA	Bain + ultra son	5 min. 5 min.
Séchage		120 °C	Plaque chauffante	5 min
Dépôt résine	PMMA 4% Anisole 950 K		V = 2850 tr/min A = 5000 tr/min/s → Epaisseur = 1700-1800 Å	12 s
Recuit résine		170 °C	Four	30 min.
Exposition	Masqueur électronique		440 $\mu\text{C}/\text{cm}^2$ 100kV	
Développement (En deux temps ...)	MIBK / IPA • 1 / 2 • 10/100	TA TA	agitation 100 tr/min agitation 100 tr/min	2 min. 30 s
Rinçage	IPA seul	TA	agitation manuelle	30 S
Ouverture pied de grille	Plasma CF_4/CHF_3 40sccm / 40sccm		GIR5 50 mT 480V 125W	1min30 mini. +det. fin att.
Retrait résine	Acétone	TA	Bain + ultra son	

GRILLE : DEFINITION DU HAUT DE GRILLE

OPERATION	PRODUITS	TEMPERATURE	METHODE	DUREE
Nettoyage	Acétone Alcool (IPA)	Température ambiante (TA)	Bain + ultra son	5 min. 5 min.
Séchage		120 °C	Plaque chauffante	5 min.
Dépôt résine	COPO 14%		V = 4500 tr/min A = 5000 tr/min/s → Epaisseur = 6000 Å	12 s
Recuit		170°C	Four	30 min.
Dépôt résine	PMMA 3%		V = 2000 tr/min A = 5000 tr/min/s → Epaisseur tot = 7000 Å	12s
Recuit		170 °C	Four	30 min.
Exposition	Masqueur électronique		193 $\mu\text{C}/\text{cm}^2$ 50kV	
Révélation	MIBK/IPA 1/2 1/1		Agitation 100 tr/min Agitation 100 tr/min	1min 15s 10s
Rinçage	IPA		Agitation manuelle	1min 30 s
Nettoyage du canal après révélation	(Plasma O_2)*2 20sccm		GIR5 100 mT 380V 100W	(4s)*2

GRAVURE DU FOSSE DE GRILLE ET METALLISATION

OPERATION	PRODUITS	TEMPERATURE	METHODE	DUREE
Gravure du fossé de grille PM et LM InP a) <u>Désoxydation</u>	HCl / H ₂ O 50/50	TA	Agitation manuelle	20s
b) <u>Rinçage</u>	H ₂ O	TA	Agitation manuelle	1min
c) <u>Séchage de l'échantillon</u>	-	-	-	-
d) <u>Recess</u>	Acide Succinique / H ₂ O ₂ 30 / 4	20 °C	Agitation pendant	30s
			Puis Sans agitation	1min
e) <u>Rinçage</u>	H ₂ O	TA	Agitation manuelle	2min
f) <u>Désoxydation</u>	H ₃ PO ₄ /H ₂ O 10/100	TA	Agitation manuelle	30s
g) <u>Rinçage</u>	H ₂ O	TA	Agitation manuelle +agitateur magnétique dans le bécher	2min
Désoxydation	Plasma Ar ⁺ (in situ bâti d'évaporation)		150 V	20 s
Métallisation	Ti / Pt / Au 500 / 500 / 3000 Å			
lift off	acétone / alcool		Sans ultra-son	

GRILLE : DENITRURATION

OPERATION	PRODUITS	TEMPERATURE	METHODE	DUREE
Denitruration par attaque plasma	SF ₆ 20sccm		18V 45W 200mT	1min30

Bibliographie du Chapitre 2

[1]

K. NUMILA, I. ADESIDA, et coauteurs

« Fabrication of sub-100-nm gates with SiN passivation layer »

J. VAC. SCI. TECHNOL. B – VOL 9 – N. 6 – pp (2870-2874) – NOV/DEC 1991.

[2]

K. YAZBEK, G. VERNET et coauteurs

« Electrostatic capacitances in standard and pseudomorphic ultrashort gate length HEMTs »

ELECTRONICS LETTERS - VOL. 28 - N. 19 – pp (1776-1778) – FEBRUARY 1992.

[3]

V. HOEL, A. CAPPY, et coauteurs

« A new gate process for realization of lattice-matched HEMT on InP for high yield MMIC »

CONFERENCE PROCEEDINGS GAAS'98 pp(697-702)

[4]

A. LUSTRAC, et coauteurs

« Experimental and theoretical investigation of parameter evolution of ultra-short gate standard and pseudomorphic HEMTs »

MICROELECTRONIC ENGINEERING 1992 – pp (313-316)

[5]

S. BORET

« Etude théorique et expérimentale de lignes coplanaires pour circuit intégré monolithique en bande W »

D.E.A. JUILLET 1995. UNIVERSITE LILLE 1.

[6]

S. BORET, G. DAMBRINE, A CAPPY et coauteurs

« Modeling of passive coplanar elements for W-band ICs, and experimental verification up to 110 GHz and parasitic mode coupling study »

1998. CONFERENCE PROCEEDING. EuMc'98, pp (190-195).

[7]

O. SCHULER, A. CAPPY, et coauteurs

« Influence of parasitic capacitances on the performance of passivated InAlAs/InGaAs HEMTs in the millimeter wave range »

8th CONF. InP and RELATED MATERIALS – pp (646-649) – AVRIL 1996.

[8]

K. MARUHASHI, Y. ANDO, et coauteurs

« Determination of optimum gate width for millimeter-wave low noise amplifiers »

1994 PROC. ASIA PACIFIC MICROWAVE CONFERENCE, pp (287- 290).

- [9]
V.HOEL
« Optimisation de la technologie de grille des transistors HEMT pour application en bande W »
D.E.A. JUILLET 1995. UNIVERSITE LILLE 1.
- [10]
Thèse G. DAMBRINE
« Caractérisation des transistors à effet de champ: mesure précise de la matrice de répartition et détermination directe du schéma équivalent »
3 MARS 1989. UNIVERSITE LILLE 1.
- [11]
Thèse H.FOURRE
« Réalisation et caractérisation de transistors à effet de champ à hétérojonction de la filière AlInAs/GaInAs pour applications en ondes millimétriques »
05 FEVRIER. UNIVERSITE LILLE 1.
- [12]
H.FOURRE, A.CAPPY, et coauteurs
« Implant isolation for lattice matched InGaAs/InAlAs/InP modulation doped field effect transistor realisation »
8th CONF. InP and RELATED MATERIALS – pp (331-333) – AVRIL 1996.
- [13]
S.R. BAHL et coauteurs
« Mesa sidewall gate leakage in InAlAs/InGaAs heterostructure field effect transistors »
IEEE TRANSACTIONS ON ELECTRON DEVICES - VOL. 39 – pp (2037-2043) - N. 9 – SEP 1992.
- [14]
B. E. MAILE
« Fabrication limits of nanometer T and Γ gates : Theory and experiment »
J. VAC. SCI. TECHNOL. B – VOL 11 – N. 6 – pp (2502-2508) – NOV/DEC 1993.
- [15]
R.J. SCHUTZ
« Reactive plasma etching »
VLSI TECHNOLOGY - Chapter 5 - pp (185-231)
- [16]
RALPH WILLIAMS
«Modern GaAs processing methods »
ARTECH HOUSE pp (177-195)
- [17]
K. L SEAWARD, N.J MOLL
« Semiconductor damage from inert and molecular gas plasmas »
J. VAC. SCI. TECHNOL. B – VOL 10 – N. 1 – pp (46-52) – JAN/FEV 1992.

[18]

K. L SEAWARD, N.J MOLL

« Surface contamination and damage from CF_4 and SF_6 reactive ion etching of silicon oxide on gallium arsenide »

JOURNAL OF ELECTRONIC MATERIALS -VOL 19 – N. 4 – pp (385-391) – 1990.

[19]

N. YOSHIDA, S. MITSUI, et coauteurs

« a super low noise AlInAs/InGaAs HEMT processed by selective wet gate recess etching »

IEEE TRANSACTIONS ON ELECTRON DEVICES - VOL. 43 - N. 1 – pp (178-180) – JANUARY 1996.

[20]

G. DESALVO, J. COMAS, et coauteurs

« Etch rates and selectivities of citric acid/hydrogen peroxide on GaAs, $Al_{0.3}Ga_{0.7}As$, $In_{0.2}Ga_{0.8}As$, $In_{0.52}Al_{0.48}As$, and InP »

J. ELECTROCHEM. SOC. – VOL 139 – N. 3 – pp (831-835) – MARCH 1993.

[21]

T. BROEKAERT, et coauteurs

« Novel, organic acid-based etchants for InGaAlAs/InP heterostructure devices with AlAs etch-stop layers »

J. ELECTROCHEM. SOC. – VOL 139 – N. 8 – pp (2306-2309) – AUG 1992.

[22]

H.FOURRE, A.CAPPY, et coauteurs

« Selective wet etching of lattice-matched InGaAs/InAlAs on InP and metamorphic InGaAs/InAlAs on GaAs using succinic acid/hydrogen peroxide solution »

J. VAC. SCI. TECHNOL. B – VOL 14 – N. 5 – pp (3400-3402) – SEPT/OCT 1996.

[23]

M.M.AHMED P.H. LADBROOKE, et coauteurs

« effects of interface states on submicron GaAs metal-semiconductor field effect transistors assessed by gate leakage current »

J. VAC. SCI. TECHNOL. B – VOL 13 – N. 4 – pp (1519-1525) – JUL/AUG 1995.

[24]

K. CHEN, M. YAMAMOTO, et coauteurs

« High performance InP-based enhancement-mode HEMT's using non alloyed ohmic contacts and Pt-based buried gate technologies »

IEEE TRANSACTIONS ON ELECTRON DEVICES - VOL. 43 - N. 2 – pp (252-257) – FEBRUARY 1996.

[25]

M. AMANO et coauteurs

« InGaP/InAlAs/InGaAs HEMT USING A Pt-based schottky gate »

MICROWAVE AND OPTICAL TECHNOLOGY LETTERS – VOL. 11 - N. 3 – pp (128-130) – FEBRUARY 1996.

[26]

A. MAHAJAN, I.ADESIDA, et coauteurs

« 0.3- μm Gate-Length Enhancement-Mode InAlAs/InGaAs/InP High Electron Mobility Transistor ».

IEEE ELECTRON DEVICE LETTERS, VOL.18 - N°6 - JUNE 1997 - pp (284-286).

CHAPITRE 3

Chapitre III: Caractérisation des transistors HEMTs à grille nitrure

Ce chapitre présente les performances statiques, hyperfréquences, et en bruit des transistors HEMTs de longueur de grille $0.1\mu\text{m}$ en régime de fonctionnement linéaire. Ces transistors ont été réalisés sur la structure adaptée en maille sur InP présentée dans le chapitre deux. Nous avons également utilisé la technologie du transistor à grille nitrure présentée dans le chapitre deux.

Notre but est d'utiliser les résultats de mesures pour comprendre et optimiser le procédé de fabrication. Pour cela, nous traitons dans ce chapitre :

- des résultats de mesures obtenus pour les transistors réalisés avec le masque BATMAN. Ces transistors portent le numéro d'opération 10248. Une étude permettra de comparer les performances des transistors en T et des transistors en Π réalisés sur un même substrat.
- de l'évolution des performances du transistor au cours de l'optimisation du procédé de réalisation. Pour cela, nous comparerons les transistors du numéro d'opération 10248 à ceux du numéro 10436. Ces numéros correspondent respectivement au début et à la fin de l'optimisation du procédé de réalisation.
- de l'ensemble des résultats de mesures obtenus pour les transistors réalisés avec le masque 4AS (n°10436). On étudiera le rendement et les performances obtenues pour ces transistors à grille ultracourte.
- du calcul de la fréquence maximale d'oscillation F_{max} à partir des éléments du schéma équivalent (n°10436).
- de l'évolution des capacités parasites en fonction du développement du transistor. On étudiera l'effet de la dénitruration SF_6 sur la valeur de ces éléments parasites.
- de l'influence des étapes de dénitruration SF_6 et CF_4 sur les performances des composants.

- de l'effet de la passivation sur la fréquence de transition du gain en courant pour les transistors du numéro d'opération 10354.
- des résultats de caractérisation en bruit des transistors du numéro d'opération 10436 dans les bandes de fréquences 6-20 et 75-110 GHz.
- de l'effet de la conduction parasite dans la couche tampon. Les mesures nécessaires pour aboutir aux performances intrinsèques du transistor sont données en annexe.

Les méthodes utilisées pour caractériser les composants présentés dans ce manuscrit sont au nombre de trois : caractérisation statique, caractérisation hyperfréquence et caractérisation en bruit.

Pour déterminer les caractéristiques statiques des composants, nous utilisons l'alimentation en tension et en courant contrôlés HP4142. Cette alimentation est pilotée par le logiciel ICCAP qui permet également de faire l'acquisition et le traitement des mesures. La caractérisation statique permet de déterminer :

- le réseau de caractéristiques $I_{ds} = f(V_{ds}, V_{gs})$,
- la transconductance extrinsèque $G_{m\ ext}$,
- la tension de pincement V_p ,
- et les caractéristiques du contact schottky η (coefficient d'idéalité), V_b (tension de built-in), V_γ (la tension de claquage en inverse).

La caractérisation hyperfréquence permet de déduire le schéma équivalent petit signal des transistors (G_m , G_d , C_{gs} , C_{gd} , C_{pg} , C_{pd} , L_s , L_g , L_d , R_g , R_i , τ , F_c) ainsi que les fréquences de transitions (F_t , F_{max}) associées aux différents gains [1]. Cette caractérisation repose sur la mesure des paramètres de répartition de la matrice « Scattering » du quadripôle, dits paramètres S. Elle est réalisée par une mesure sous pointes des composants à l'aide d'un analyseur de réseaux vectoriel ®HP 8510 dans les gammes de fréquence 1.5-50 GHz et 75-110GHz.

La caractérisation en bruit est réalisée à partir de la mesure des paramètres [S] et du facteur de bruit. Ces mesures sont réalisées respectivement à l'aide d'un analyseur de réseaux vectoriel @HP 8510 et d'un mesureur de bruit @HP 8970. Ces mesures sous pointes, effectuées dans la bande de fréquence 6-20 GHz et aux fréquences 60 et 94 GHz, permettent de déterminer la valeur des paramètres de bruit F_{min} , R_n et Y_{opt} . La méthode utilisée pour la détermination de ces paramètres est donnée dans la suite de ce chapitre.

III.1. Comparaison des performances obtenues pour les transistors en T et en Π du numéro d'opération 10248

Le masque BATMAN a été utilisé pour la réalisation des transistors du numéro d'opération 10248. C'est le premier masque qui a permis de réaliser des transistors en T et en Π sur un même substrat. Il est donc intéressant de comparer les performances statiques et hyperfréquences obtenues par ces deux topologies de transistor. A cet effet, les deux transistors choisis pour la comparaison ont le même développement, soit $2 \times 25 \mu\text{m}$. La topologie du transistor en Π est donnée sur la figure 1. La topologie du transistor en T est donnée sur la figure 2.

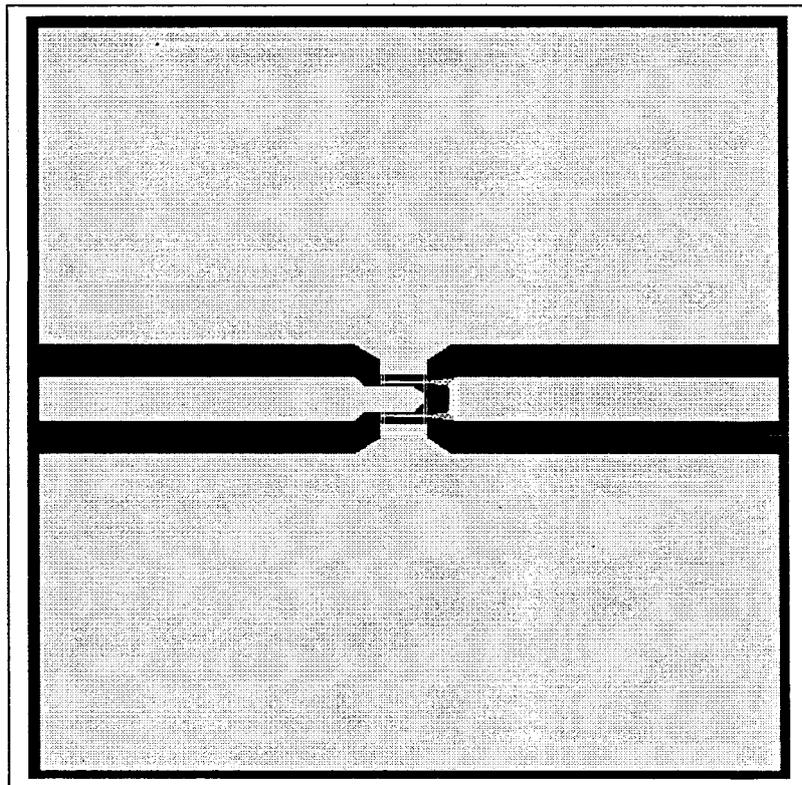


Figure 1 : Topologie du transistor en Π

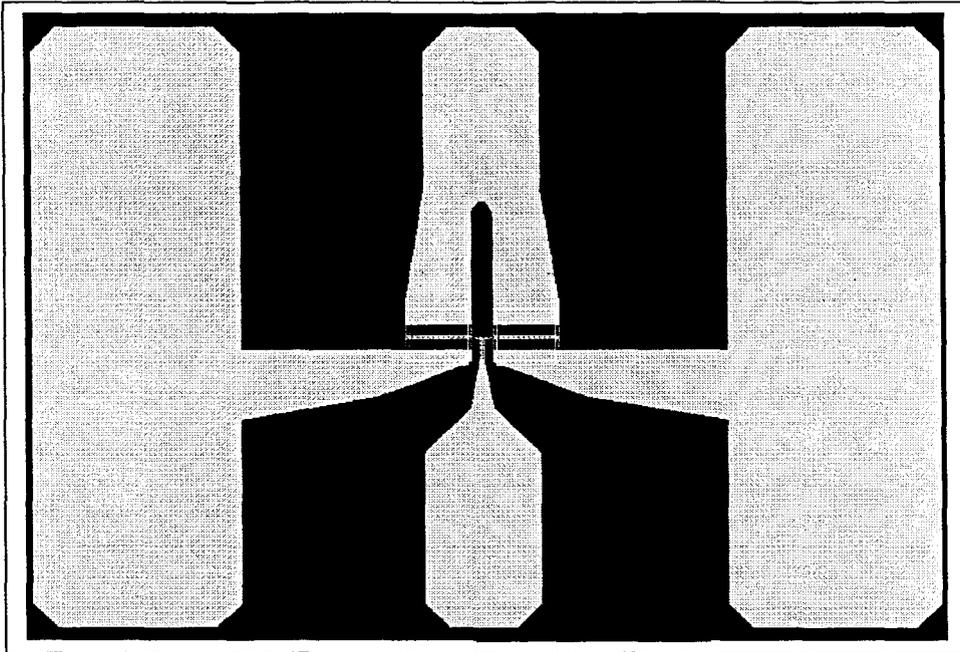


Figure 2 : Topologie du transistor en T

III.1.1 La caractérisation statique

Les résultats de la caractérisation statique pour les transistors en Π et en T sont donnés dans le tableau 1. Il s'agit de transistors naturellement passivés, c'est à dire que le haut de grille repose sur une couche de nitrure de 800\AA . La métallisation de grille est Pt/Ti/Pt/Au. Les problèmes posés par cette métallisation ont été présentés et discutés dans le chapitre 2. La couche schottky pour ce numéro d'opération est de 150\AA . Nous verrons, dans la suite de ce chapitre, que nous l'avons baissée à 120\AA pour diminuer la tension de pincement et améliorer les performances des transistors.

Nous avons reporté dans le tableau 1 la tension de pincement V_p et la valeur maximale de la transconductance extrinsèque $G_m \text{ ext}$. La tension V_{ds} est de $1V$. La tension V_{gs} et le courant I_{ds} sont donnés au $G_m \text{ max}$. Nous avons également reporté le coefficient d'idéalité η et la tension de built-in V_b qui caractérisent la qualité du contact schottky en direct. La tension V_y est la tension qui permet de caractériser le contact schottky en inverse. Celle-ci est donnée pour une valeur du courant de grille de $10\mu A$.

	dim μm	type	Vp (V) vds=1v	Gm max Vds=1V						ig=10 μA	
				Gm ext ms/mm	Ids mA/mm	Vgs V	η	Vb V	$\eta \cdot Vb$ V	V γ (rs) V	V γ (rd) V
PI	2*25	Si3N4	-0,5	694	270	0,07	1,71	0,59	1,01		
	2*25	Si3N4	-0,45	703	200	0,1	1,59	0,61	0,97	-4	-4
T	2*25	Si3N4	-0,58	648	240	0	1,83	0,56	1,03	-3,8	-4,2
	2*25	Si3N4	-0,52	667	260	0,05	1,94	0,56	1,08		

Tableau 1 : Les caractéristiques statiques pour la topologie transistor en T et la topologie transistor en II.

Nous pouvons voir que le seul résultat significatif dans le tableau 1 est une valeur du Gm ext légèrement supérieure pour les transistors en II. Par conséquent, pour compléter l'étude des caractéristiques statiques, un grand nombre de transistors a été testé sur une même plaque. Lors de cette caractérisation en continu, nous n'avons pas trouvé de transistors ayant en même temps un bon fonctionnement et une tension de pincement supérieure à -1V. De ce fait, nous n'avons pris en compte que les transistors ayant une tension de pincement Vp telle que $|Vp| < 1V$.

Le nombre de réticules testés étant de 15, cela fait en tous 960 composants mesurés répartis de la façon suivante : 240 transistors en II et 720 transistors en T. Nous avons comptabilisé 83 transistors en II et 112 transistors en T répondant au critère fixé sur $|Vp|$, ce qui correspond à 34% de transistors en II et 15% de transistor en T.

Pour expliquer ces valeurs de rendement particulièrement faibles, il faut se rappeler que lorsque nous avons réalisé ces transistors le procédé de fabrication n'était pas optimisé. Cependant, nous pensons que la valeur supérieure du rendement des transistors en II est significative. Ainsi, cet écart montre clairement la supériorité des transistors en II en terme de rendement par rapport à ceux en T.

III.1.2 La caractérisation hyperfréquence : gain et schéma équivalent

a) Gain - Fréquence de transition

Nous avons reporté les valeurs maximales du gain en courant H_{21} et du gain unilatéral U à la fréquence de 40GHz ainsi que les tensions V_{gs} et V_{ds} correspondantes. Les fréquences de transition respectives pour ces deux gains sont F_t et F_{max} . Les gains H_{21} et U évoluant en 20dB/dec, ces fréquences s'obtiennent à partir de la formule $F(\max,t) = F \cdot 10^{(GAIN/20)}$.

	Dim μm	type	V_{gs} V	V_{ds} V	U 40GHz	H_{21} 40Ghz	F_{max} GHz	F_t GHz
PI	2*25	Si3N4	0,1	1	16,13	12,77	256	174,0
	2*25	Si3N4	0,1	1	19,04	12,4	358	166,7
T	2*25	Si3N4	0	1	16,95	10,86	282	139,7
	2*25	Si3N4	0,1	1	16,98	10,46	282	133,4

Tableau 2 : Les fréquences de transition pour la topologie transistor en T et la topologie transistor en Π .

On observe, à partir du tableau 2, que les valeurs de F_t pour le transistor en Π sont nettement supérieures à celles du transistor en T. Pour l'exploitation des valeurs de F_{max} , il faut être plus prudent. En effet, l'extrapolation du gain U est très délicate. Ce point sera abordé dans la suite de ce chapitre.

b) Eléments du schéma équivalent

Nous avons reporté dans la première partie du tableau 3 la valeur des éléments extrinsèques. Les valeurs des éléments intrinsèques sont données dans la seconde partie du tableau à la valeur maximale de la transconductance G_m .

	dim μm	type	R_s Ω/mm	R_d Ω/mm	R_g Ω	R_m Ω/mm	C_{pg} fF	C_{pd} fF	L_s pH	L_d pH	L_g pH
PI	2*25	Si3N4	0,33	0,38	3	720	2	14	0	30	35
	2*25	Si3N4	0,33	0,38	3	720	3	15	0	30	25
T	2*25	Si3N4	0,31	0,36	2,6	624	9	26	6	55	55
	2*25	Si3N4	0,32	0,38	2,6	624	10	29	5	60	60

Elements extrinsèques

	V_{gs} V	V_{ds} V	G_m mS/mm	G_d mS/mm	C_{gs} fF/mm	C_{gd} fF/mm	F_c GHz	G_m/G_d	C_{gs}/C_{gd}	C_{gs}/C_{pg}
PI	0,1	1	1072	101	670	164	255	10,61	4,09	16.7
	0,1	1	1106	97,4	708	163	249	11,36	4,34	11.8
T	0	1	1016	106	722	204	224	9,58	3,54	4
	0,1	1	1024	105	720	200	227	9,75	3,60	3.6

Elements intrinsèques

Tableau 3 : Les éléments du schéma équivalent pour la topologie transistor en T et la topologie transistor en Π .

Pour la partie extrinsèque des transistors du tableau 3, les capacités parasites C_{pg} , C_{pd} des transistors en Π sont bien inférieures à celles des transistors en T. Ce résultat est en accord avec celui obtenu dans le chapitre 2.

Nous avons vu que la topologie du transistor en Π présente moins de discontinuité à la propagation du signal que la structure en T. Cela conduit à une baisse sensible des capacités parasites. La topologie du transistor en Π permet également de mieux définir les plans de référence du transistor. Les accès de type coplanaire permettent de s'approcher très près de la zone active du composant. Les longueurs de lignes mesurées lors de la détermination du schéma équivalent sont plus faibles pour le transistor en Π que pour le transistor en T. Ce résultat conduit aussi à la réduction des capacités parasites et permet en plus d'obtenir une baisse significative des selfs L_s , L_g et L_d .

Pour la partie intrinsèque des transistors du tableau 3, il faut noter la supériorité de la fréquence de coupure $F_c = G_m / 2 \cdot \Pi \cdot C_{gs}$ des transistors en Π . Il en est de même pour les rapports G_m / G_d , C_{gs} / C_{gd} et C_{gs} / C_{pg} . Nous avons discuté dans les chapitres précédents de l'importance de ces grandeurs. Il a été montré que, pour augmenter les performances hyperfréquences et en bruit du composant, ces grandeurs devaient être les plus élevées possibles.

Nous pouvons aussi remarquer que la valeur de la résistance de grille R_g reste élevée. Ce résultat limite les performances hyperfréquences et en bruit du transistor. Une nouvelle optimisation de la grille est donc à prévoir. Il sera intéressant d'élargir l'ouverture du haut de grille et d'augmenter l'épaisseur de métallisation pour diminuer la résistance de métallisation. Il faudra par ailleurs s'assurer que cela n'entraîne pas une forte augmentation des éléments parasites. En effet, nous avons vu que l'augmentation des capacités parasites peut être causée par une hauteur de métallisation élevée et par une surface en contact trop importante entre le nitrure et la base du haut de grille.

III.1.3 Conclusion

Nous avons comparé deux transistors de topologie différente et de même développement $2 \times 25 \mu\text{m}$. L'un a une topologie transistor en T, l'autre une topologie transistor en Π . Ces deux types de transistors ont été réalisés sur le même substrat. Les différentes caractérisations (statiques et hyperfréquences) nous ont conduit aux conclusions suivantes:

1. rendement transistor en $\Pi >$ rendement transistor en T
2. $(C_{pg}, C_{pd}, L_s, L_g, L_d) \Pi <$ $(C_{pg}, C_{pd}, L_s, L_g, L_d) T$
3. $(G_m / G_d, C_{gs} / C_{gd}, C_{gs} / C_{pg}) \Pi >$ $(G_m / G_d, C_{gs} / C_{gd}, C_{gs} / C_{pg}) T$
4. $(F_t) \Pi >$ $(F_t) T$.

Par conséquent, nous avons décidé de profiter des avantages offerts par la topologie transistor en Π . Pour cela nous avons réalisé un masque qui permet de fabriquer uniquement des transistors en Π . Il s'agit du masque 4AS présenté dans le chapitre 2. Le transistor en Π permet une meilleure intégration dans une structure coplanaire. Cependant, il faut rappeler qu'il ne possède que deux doigts de grille ce qui pose un problème pour les applications en puissance.

III.2. Comparaison des performances des transistors en Π : début et fin d'optimisation du procédé de réalisation.

Le masque 4AS a été utilisé pour la réalisation des transistors en Π de numéro d'opération 10436. Les transistors de ce numéro d'opération ont été réalisés à l'aide du procédé de fabrication optimisé. Par contre, les transistors en Π du numéro d'opération 10248 ont été réalisés avec un procédé de fabrication en cours d'optimisation. Il est intéressant, par conséquent, de comparer les caractéristiques des transistors en Π obtenus au début et en fin d'optimisation du procédé de réalisation. A cet effet, les deux transistors choisis pour la comparaison ont le même développement, soit $2*25\mu\text{m}$.

III.2.1 La caractérisation statique

Les résultats de la caractérisation statique pour les transistors en Π des numéros d'opération 10248 et 10436 sont donnés dans le tableau 4. La métallisation de grille des transistors du numéro 10248 est Pt/Ti/Pt/Au, celle des transistors du numéro 10436 est Ti/Pt/Au. Ces transistors sont naturellement passivés, c'est à dire que le haut de grille repose sur 800\AA de nitrure. Les variables qui sont reportées dans le tableau 4 sont les mêmes que celles du tableau 1.

		Gm max Vds=1V								ig=10 μ A
dim	type	Vp	Gm ext	Ids	Vgs	η	Vb	$\eta*Vb$	V γ (rs)	
μm		(V) vds=1v	ms/mm	mA/mm	V		V	V	V	
10248 début d'optimisation	2*25	Si3N4	-0,45	703	200	0,1	1,59	0,61	0,97	-4
10436 fin d'optimisation	2*25	Si3N4	-0.4	1010	250	0	2	0.4	0.8	-5.5

Tableau 4 : Les caractéristiques statiques pour la topologie transistor en Π (n°10248) et la topologie transistor en Π (n°10436).

Nous pouvons remarquer que le procédé de réalisation optimisé permet d'atteindre une valeur de G_m extrinsèque de 1010 mS/mm. Cette valeur est très nettement supérieure à celle obtenue avec le procédé de réalisation en cours d'optimisation.

La tension inverse V_γ est également meilleure dans le cas des transistors du numéro d'opération 10436. Celle-ci s'élève à $-5.5V$ pour un courant de grille de $10\mu A$. Cette amélioration résulte des étapes de désoxydation successives qui ont été ajoutées pendant l'étape de la gravure du fossé de grille. On voit également l'effet produit par le changement de la métallisation de grille. La tension de built-in V_b pour le Ti est plus faible que pour le Pt. Il en est de même pour le produit $\eta \cdot V_b$.

III.2.2 La caractérisation hyperfréquence : le schéma équivalent

Les éléments du schéma équivalent sont donnés dans le tableau 5. Les éléments intrinsèques et les polarisations sont donnés au G_m max.

	dim	type	R_s	R_d	R_g	R_m	C_{pg}	C_{pd}	L_s	L_d	L_g
	μm		$\Omega \cdot mm$	$\Omega \cdot mm$	Ω	Ω/mm	fF	fF	pH	pH	pH
10248	2*25	Si3N4	0.33	0.38	3	720	3	15	0	30	25
10436	2*25	Si3N4	0,28	0,28	2,30	552	2	13	2	25	25

	V_{gs}	V_{ds}	G_m	G_d	C_{gs}	C_{gd}	F_c	G_m/G_d	C_{gs}/C_{gd}
		V	mS/mm	mS/mm	fF/mm	fF/mm	GHz		
10248	0.1	1	1106	97.4	708	163	249	11.36	4.34
10436	0.1	1	1430	82	848	126.6	268	15,42	5,00

Tableau 5 : Les éléments du schéma équivalent pour la topologie transistor en Π (n°10248) et la topologie transistor en Π (n°10436).

La valeur maximum du G_m intrinsèque est 1430 mS/mm. Cette valeur, obtenue à l'aide du procédé optimisé, est nettement supérieure à celle obtenue avec le procédé en cours

d'optimisation. Cette amélioration est due à la diminution de l'épaisseur de la couche schottky. Celle-ci est de 150Å pour les transistors du numéro d'opération 10248 et de 120Å pour ceux du numéro 10436. Cela conduit à la diminution de la distance A qui sépare le contact schottky du gaz d'électrons bidimensionnel. Dans le chapitre 2, nous avons vu que la transconductance G_m est inversement proportionnelle à A. Cette légère évolution de la structure permet d'augmenter la transconductance G_m . Elle permet aussi de réduire la tension de pincement V_p puisque la distance entre le plan de dopage et le contact schottky diminue.

Ces évolutions sont également dues à l'amélioration des propriétés de transport de la structure. En effet, la résistance carré R_{\square} de la plaque 10248 est de 210 Ω tandis que celle de la plaque 10436 est de 168 Ω .

Cette amélioration sensible est également remarquable pour la fréquence de coupure F_c ainsi que pour les rapports G_m/G_d et C_{gs}/C_{gd} . Ces résultats sont très encourageants. En effet, pour améliorer les performances hyperfréquences et en bruit du composant, il faut que ces éléments soient les plus élevés possibles.

III.2.3 Conclusion

Nous avons comparé deux transistors de topologie identique. Il s'agit de transistors en Π de développement 50 μ m. Nous avons vu que l'optimisation du procédé de fabrication a permis:

1. d'atteindre une valeur de G_m extrinsèque de 1010 mS/mm,
2. d'obtenir une tension inverse V_{γ} de -5.5V pour un courant de grille de 10 μ A,
3. d'enregistrer une valeur du G_m intrinsèque de 1430 mS/mm,
4. d'augmenter la fréquence de coupure F_c ainsi que pour les rapports G_m/G_d et C_{gs}/C_{gd} .

Par conséquent, nous avons montré que l'optimisation du procédé nous permettait d'améliorer les performances du transistor. En effet, les évolutions de ces paramètres sont toutes profitables. Il faut maintenant étudier plus en détail les caractéristiques des transistors

en II. En effet, dans le cadre de la réalisation de circuits intégrés, il faut voir si les objectifs fixés dans le chapitre 2 sont atteints.

III.3. Les performances des transistors en II par rapport aux objectifs fixés

Le masque 4AS permet de réaliser des transistors de développement 2*15, 2*25, 2*35 et 2*50 μ m. Le but de ce masque est d'établir une base de données qui sera utilisée lors de la conception des circuits. Ainsi, la caractérisation électrique, hyperfréquence et en bruit de ces différents composants permettra d'évaluer et de rassembler tous les paramètres nécessaires à la conception du module amplificateur.

Nous avons vu que ces transistors doivent répondre aux objectifs qui ont été donnés et discutés dans le chapitre 2 :

- le procédé de réalisation doit être reproductible et à haut rendement. Il doit conduire à la réalisation de HEMTs performants.
- le transistor doit avoir une fréquence de transition $F_t = 180$ (GHz) et une fréquence de transition $F_{max} = 300$ (GHz).

Dans ce paragraphe, nous allons présenter l'ensemble des caractéristiques obtenues pour chacun des développements de transistor en II. Nous allons montrer également que le procédé de fabrication optimisé permet d'atteindre les objectifs qui ont été fixés pour les composants dans le chapitre 2.

III.3.1 La caractérisation statique

Les caractéristiques statiques typiques d'un transistor du numéro d'opération 10436 sont données sur les figures 3,4,5,6 et 7.

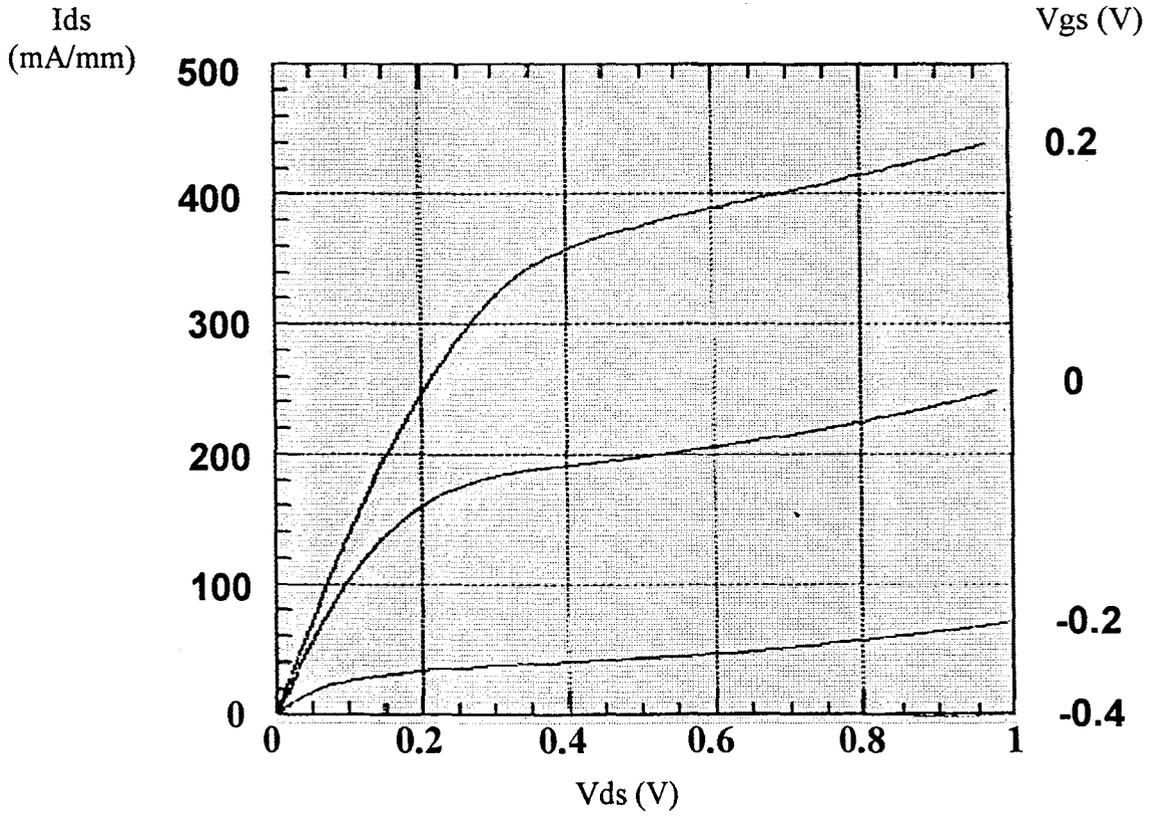


Figure 3 : Courant drain-source $I_{ds} = f(V_{ds})$

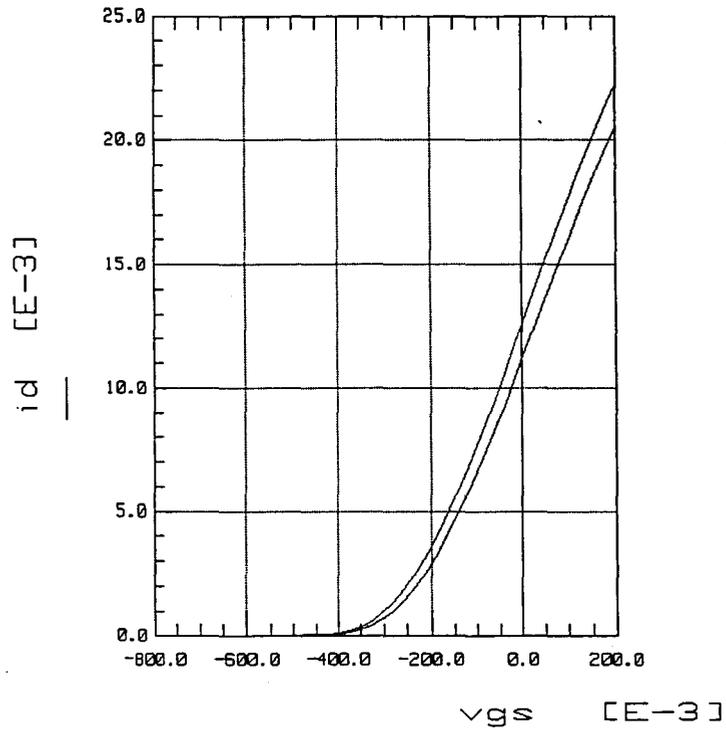


Figure 4 : Courant drain-source $I_{ds} = f(V_{gs})$

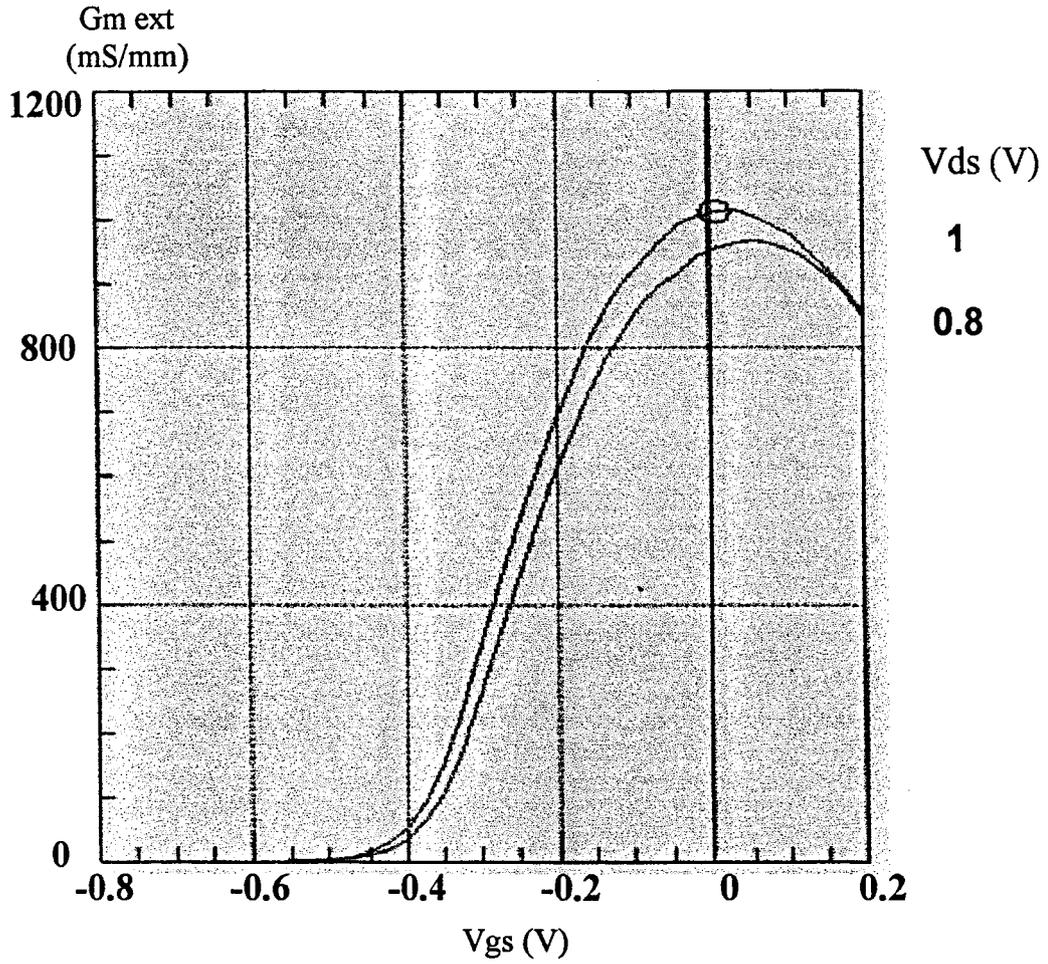


Figure 5 : Transconductance G_m

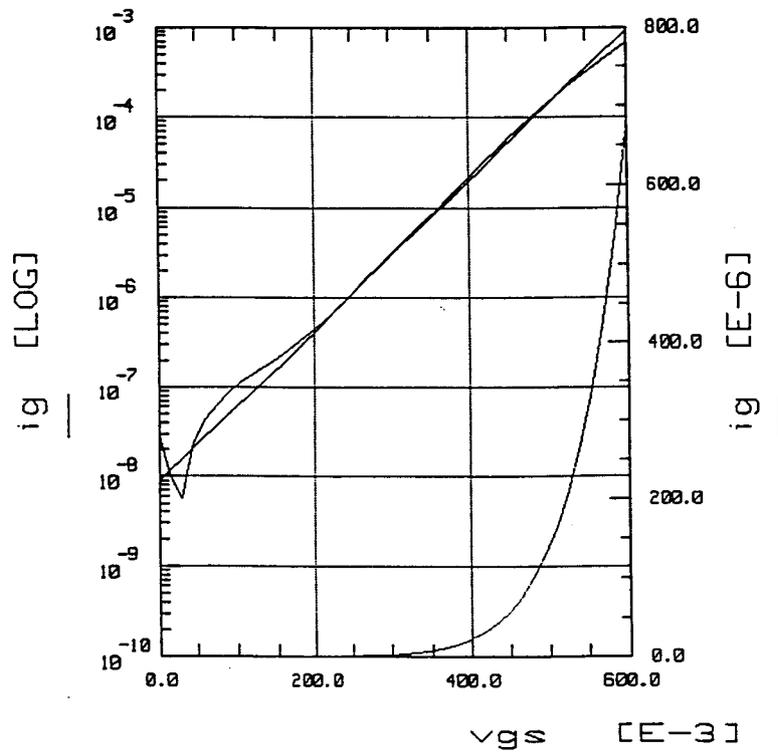


Figure 6 : Caractéristique de la barrière Schottky en direct

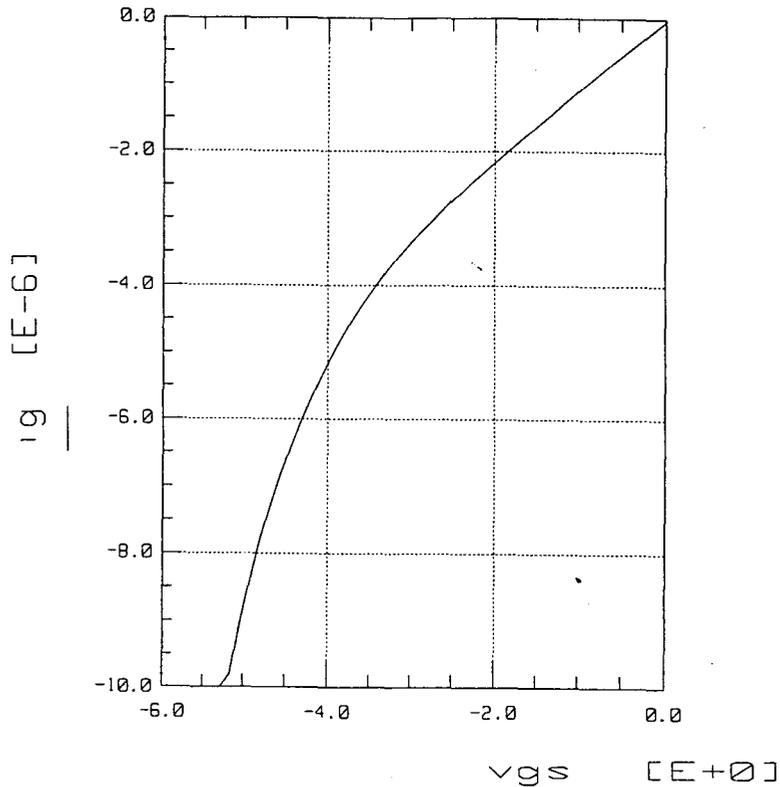


Figure 7 : Caractéristique de la barrière Schottky en inverse

III.3.2 La caractérisation hyperfréquence : le schéma équivalent

Les éléments du schéma équivalent sont donnés dans le tableau 6 pour 4 développements de transistor en Π sans self de source. En effet, nous avons vu dans le chapitre 2 que la caractérisation des transistors avec self de source nécessite la réalisation de pont à air. Les résultats dans cette configuration sont en cours d'exploitation.

Les éléments extrinsèques sont regroupés dans la première partie du tableau 6. Les éléments intrinsèques sont donnés dans la seconde partie du tableau 6 à la valeur maximale du G_m . Les éléments intrinsèques dans la troisième partie du tableau 6 sont donnés en condition "faible bruit", c'est à dire pour $I_{ds} \approx 100$ mA/mm.

μm	R_s ohm.mm	R_d ohm.mm	R_g ohm	R_m ohm/mm	C_{pg} fF	C_{pd} fF	L_s pH	L_d pH	L_g pH
2*15	0,28	0,27	1,4	560	2	8	2	26	26
2*25	0,28	0,28	2,3	552	2	13	2	25	25
2*35	0,29	0,29	3,2	549	2	15	2	25	25
2*50	0,28	0,30	4.6	552	3	27	2	26	26

Eléments extrinsèques

μm	Vgs V	Ids mA/mm	Gm mS/mm	Gd mS/mm	Cgs fF/mm	Cgd fF/mm	Fc GHz	Gm/Gd	Cgs/Cgd
2*15	0,1	303,33	1440	74	813	160	281	19,5	5,1
2*25	0,1	342,00	1430	82	848	126	268	17,4	6,7
2*35	0,1	258,57	1421	80	837	112	270	17,7	7,4
2*50	0,1	270,00	1460	84	830	111	279	17,3	7,4

Eléments intrinsèques à la valeur maximale du Gm

μm	Vds V	Ids mA/mm	Gm mS/mm	Gd mS/mm	Cgs fF/mm	Cgd fF/mm	Fc GHz	Gm/Gd	Cgs/Cgd
2*15	1	100	920	58	670	180	218	15,9	3,7
2*25	1	100	925	60	700	140	210	15,4	5,0
2*35	1	100	902	60.5	684	132	210	15,0	5,2
2*50	1	100	980	65	700	125	229	15,0	5,6

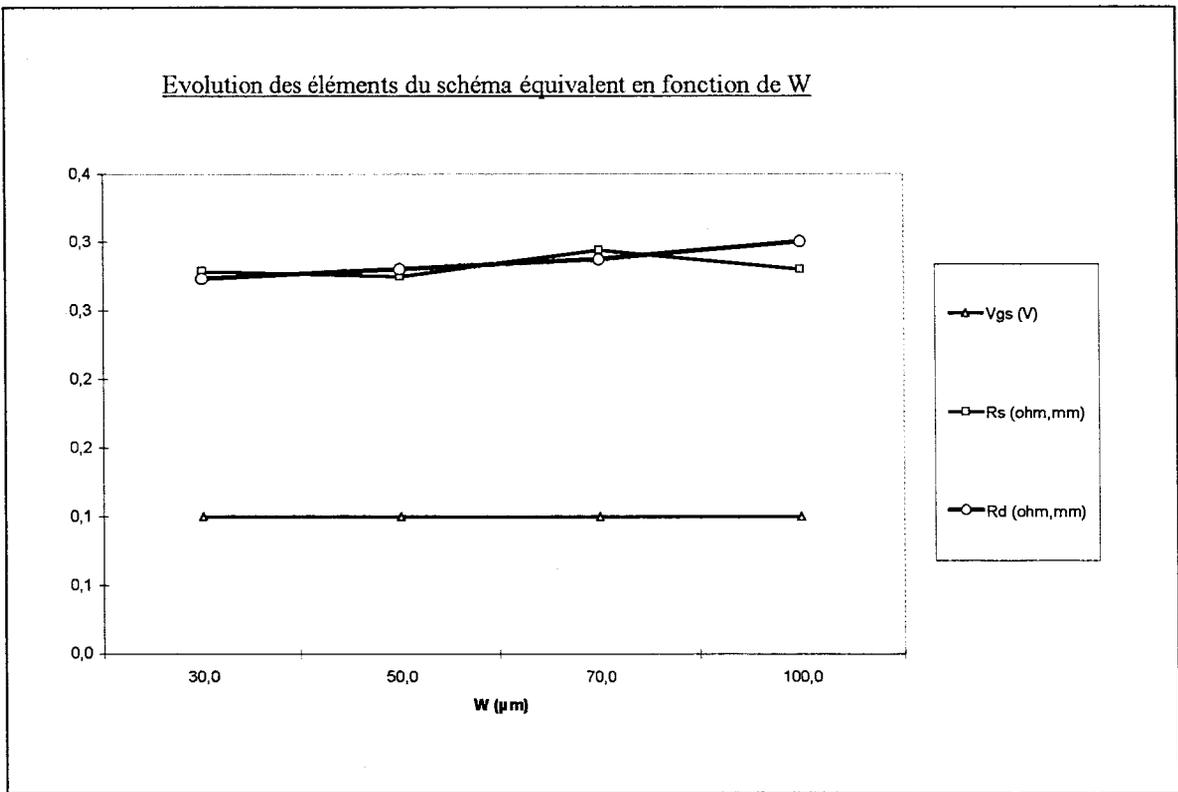
Eléments intrinsèques dans les conditions faible bruit ($I_{ds} \approx 100$ mA/mm)

Tableau 6 : Eléments du schéma équivalent pour quatre développements de transistor en Π réalisés avec le procédé de fabrication optimisé.

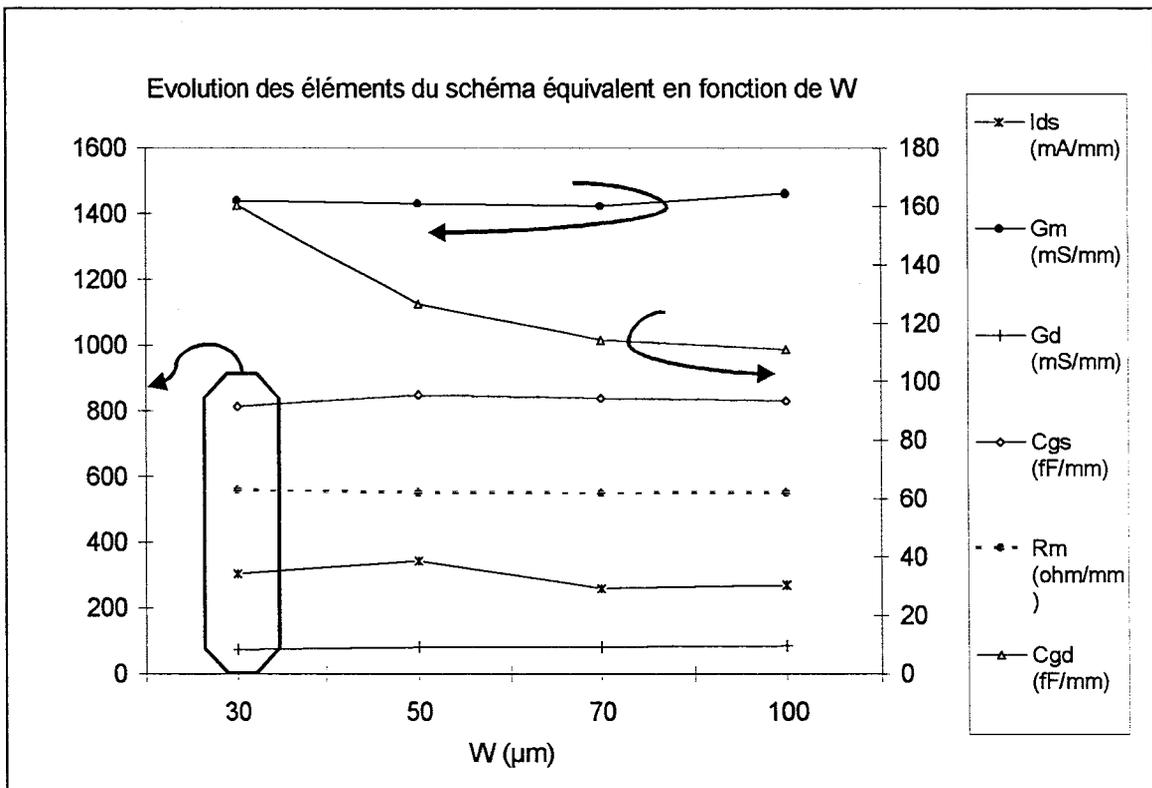
Tous ces éléments permettent de construire la base de données utile pour la conception des circuits intégrés en gamme d'ondes millimétriques. Pour valider ces mesures, il est important de vérifier l'évolution des paramètres en fonction du courant I_{ds} et du développement total du transistor W .

Pour cela, nous avons reporté sur les figures 8.a et 8.b, les éléments du schéma équivalent normalisés par rapport au développement W du transistor. Les résultats obtenus sont satisfaisants pour toutes les grandeurs normalisées sauf pour la capacité C_{gd} . Il s'agit de la seule variable normalisée qui n'a pas une évolution indépendante de W comme on peut le voir dans le tableau 6.

Ce résultat montre que la capacité C_{gd} est telle que $C_{gd} = C_0 + C_1 \cdot W$, C_0 étant la valeur de C_{gd} pour $W=0$. Nous voyons, à partir de cette équation, qu'il faut définir deux nouvelles capacités qui sont C_0 et C_1 . Pour cela une étude sur l'évolution des capacités parasites en fonction de W sera faite dans la suite de ce chapitre. Il faut noter que l'augmentation du rapport C_{gs}/C_{gd} dans le tableau 6 est directement liée à cette évolution de C_{gd} .



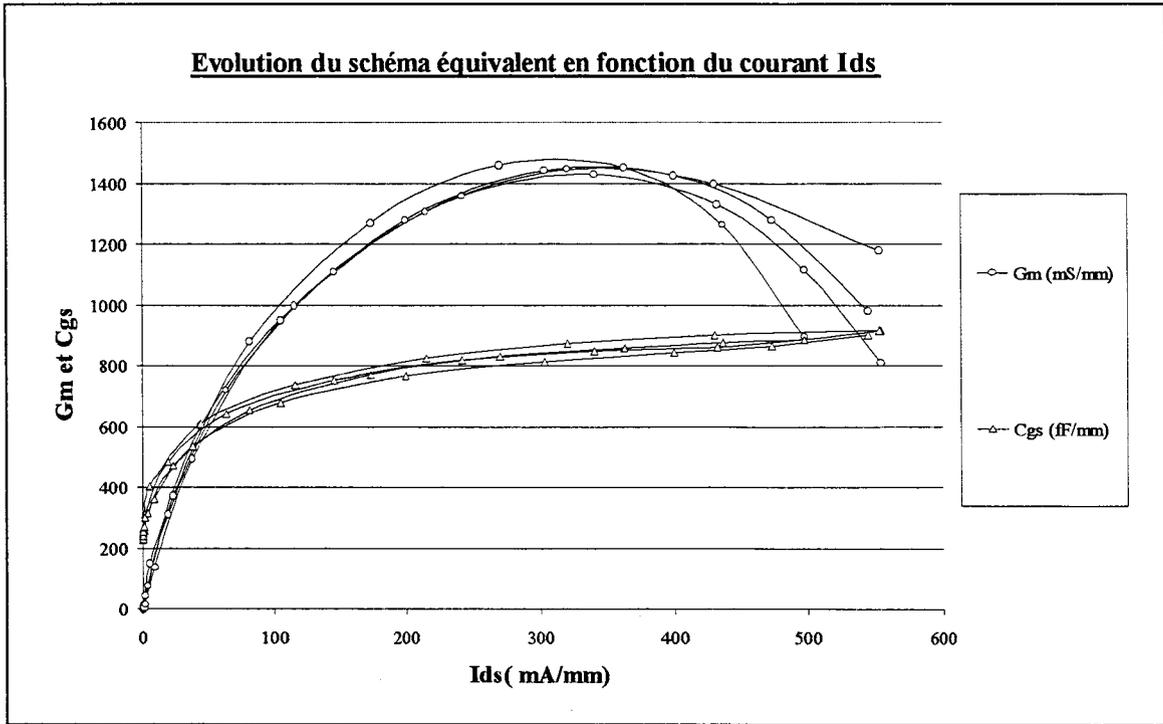
8.a



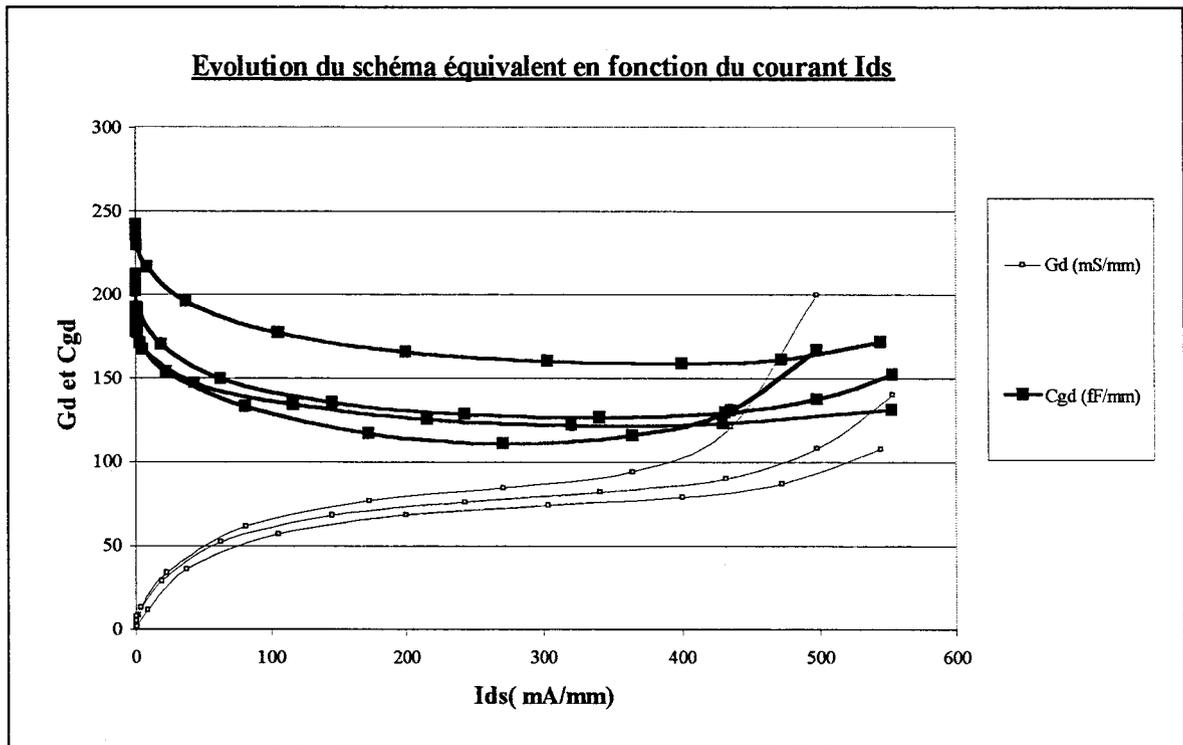
8.b

Figure 8 : Evolution des paramètres du schéma équivalent en fonction du développement du transistor W.

Nous avons également reporté, sur les figures 9.a et 9.b, les éléments intrinsèques G_m , G_d , C_{gs} et C_{gd} en fonction du courant I_{ds} (mA/mm).



9.a (G_m et C_{gs} normalisés par rapport au développement W du transistor)



9.b (G_d et C_{gd} normalisés par rapport au développement W du transistor)

Figure 9 : Evolution des paramètres du schéma équivalent en fonction du courant I_{ds} .

Les évolutions pour G_m , G_d et C_{gs} sont également satisfaisantes surtout compte tenu du très grand nombre de paramètres qui interviennent dans la détermination du schéma équivalent. Nous pouvons observer une faible variation entre les différents éléments.

Pour la capacité C_{gd} nous retrouvons le même effet que précédemment puisque la valeur de C_{gd} reportée sur la figure 9.b est normalisée par rapport à W .

Afin d'évaluer les performances de ces transistors, il est intéressant de les comparer à celles d'un transistor où la grille est réalisée à l'aide de la technologie tricouche. La longueur de grille du transistor est $L_g = 0.1 \mu\text{m}$. Les paramètres sont donnés dans le tableau 7. Il s'agit de composants du numéro d'opération 10438 réalisés par P. Chevalier. La structure HEMT adaptée en maille sur InP utilisée pour les transistors du numéro 10438 est la même que celle utilisée pour les composants du numéro d'opération 10436. La topologie transistor est également la même. Il s'agit dans le tableau 7 de transistors en Π de développement $2*50 \mu\text{m}$ réalisés avec le masque 4AS.

	μm	R_s ohm.mm	R_d ohm.mm	R_g ohm	R_m ohm/mm	C_{pg} fF	C_{pd} fF	L_s pH	L_d pH	L_g pH
Si3N4	2*50	0,28	0,30	4.6	552	3	27	2	26	26
Tricouche	2*50	0.28	0.32	2.25	270	7	40	2	30	30

	μm	V_{gs} V	V_{ds} V	G_m mS/mm	G_d mS/mm	C_{gs} fF/mm	C_{gd} fF/mm	F_c GHz	G_m/G_d	C_{gs}/C_{gd}
Si3N4	2*50	0,1	1	1460	84	830	111	279	17,3	7,4
Tricouche	2*50	-0,1	1	1450	144	763	68	298	10	11.4

Tableau 7 : Comparaison des éléments du schéma équivalent pour des transistors en Π en technologie tricouche et nitrure.

Nous pouvons remarquer que la valeur de C_{gd} est supérieure dans le cas de la technologie nitrure. Cette valeur plus élevée est due à la présence du film de diélectrique en dessous du chapeau de grille dans le cas de cette technologie. A part cela, la présence du nitrure ne semble pas être un facteur limitant les performances du transistor puisque les éléments du schéma équivalent sont comparables pour les deux technologies.

III.3.3 La caractérisation hyperfréquence : gains et fréquences de transition

Nous avons reporté sur la figure 10, le gain en courant $|H_{21}|^2$ et le gain unilatéral U en fonction de la fréquence pour un transistor en Π . Il s'agit d'un composant du numéro d'opération 10436.

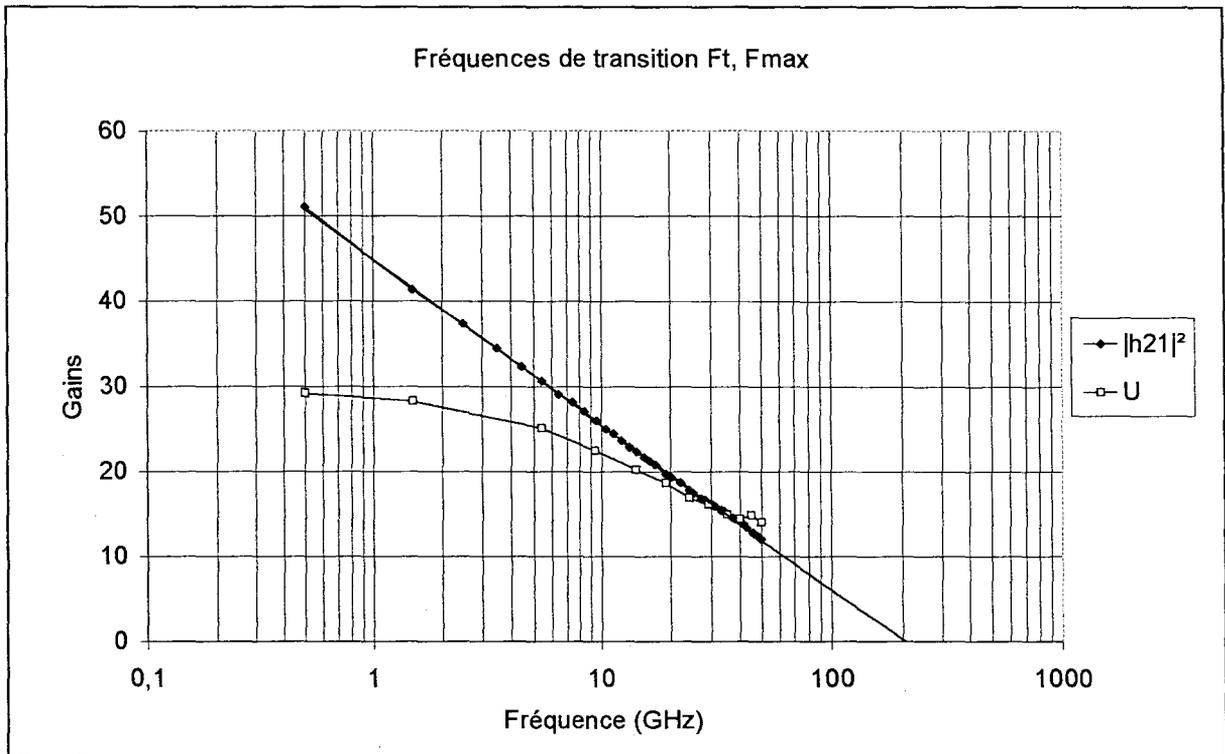


Figure 10 : Fréquences de transition de $|h_{21}|^2$ et U .

A partir de cette figure, on peut déduire les fréquences de transition des gains $|H_{21}|^2$ et U qui sont respectivement F_t et F_{max} . Sur cette figure, on peut voir que le gain en courant $|H_{21}|^2$ évolue bien en 20dB/décade. Par conséquent, la fréquence de transition F_t a pour valeur 205 GHz. Pour le gain unilatéral U , l'exploitation est plus délicate puisque la courbe ne présente pas une pente de 20dB/décade. Plusieurs solutions sont envisageables pour obtenir une estimation de F_{max} . Ces points sont développés dans le paragraphe suivant.

Afin d'étudier le rendement de ce procédé technologique, une mesure de la fréquence de transition a été réalisée sur 119 composants. Il est à noter qu'un seul composant sur 119 ne fonctionnait pas en statique. La distribution de la fréquence F_t pour les 118 composants est reportée sur la figure 11.

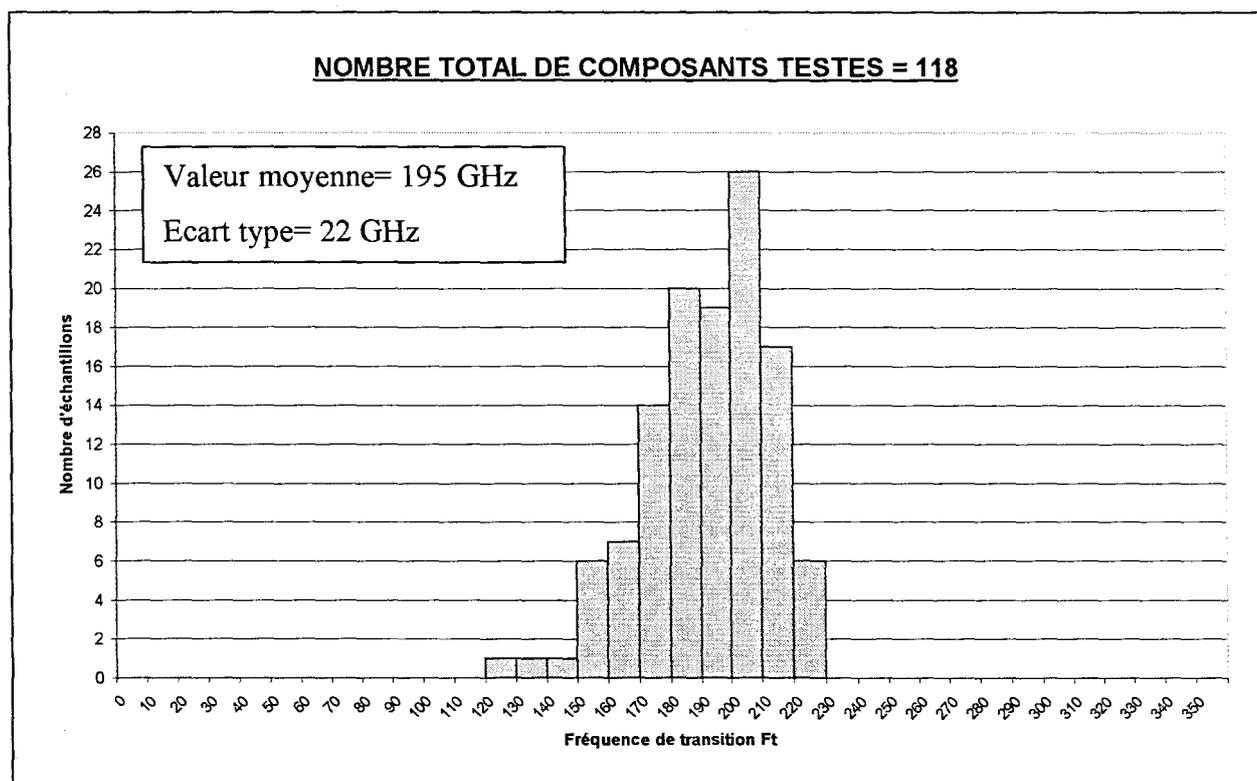


Figure 11 : Distribution de la fréquence de transition F_t pour les transistors du numéro d'opération 10436.

Les résultats sont satisfaisants. En effet, la valeur moyenne pour la fréquence de transition de 195 GHz est bien supérieure à celle de 180 GHz fixée dans le chapitre 2. De plus, la faible dispersion des valeurs sur 118 composants montre que ce procédé de réalisation permet d'obtenir un bon rendement de fabrication. Enfin, il faut ajouter que ce procédé de réalisation a été transféré à d'autres membres du laboratoire et utilisé à plusieurs reprises avec succès.

III.3.4 Conclusion

Nous avons traité dans ce paragraphe :

- de l'ensemble des paramètres du schéma équivalent nécessaires à la conception du module amplificateur. Nous avons vérifié la validité des éléments qui composent la base de données.

- des performances des composants en terme de fréquence de transition F_t . Ainsi, nous avons montré que les valeurs répondent bien aux objectifs qui ont été donnés et discutés dans le chapitre 2.
- du procédé de réalisation. Nous avons vu que celui-ci est à haut rendement et qu'il conduit à la réalisation de HEMTs performants de façon reproductible.

Afin de compléter cette étude, il est important de s'intéresser au problème posé par la détermination de la fréquence de transition du gain U .

III.4. La détermination de la fréquence maximale d'oscillations

Dans le cadre de la réalisation de circuit en bande V et W , il est indispensable de connaître les performances du transistor aux fréquences de travail. Or, les techniques et les moyens de mesure en gamme d'ondes millimétriques sont relativement lourds à mettre en œuvre. De plus, la précision de détermination d'un schéma équivalent à partir des paramètres $[S]$ dans ces gammes de fréquences n'est pas tout à fait satisfaisante. En effet, ces bandes de fréquences sont trop étroites pour définir avec une bonne précision le schéma équivalent.

La méthode utilisée dans notre cas repose sur une extrapolation faite à partir des paramètres du schéma équivalent déterminés en plus basses fréquences, soit 1-50 GHz. Cette bande de fréquence est suffisamment large pour définir avec précision les éléments du schéma équivalent. Il se pose toutefois un problème de validité des extrapolations pour des fréquences supérieures à 100GHz.

Pour illustrer ces propos, nous avons comparé pour un même composant, les gains h_{21} , U et MSG/MAG mesurés aux mêmes gains calculés à partir du schéma équivalent déterminé dans la bande [1-50 GHz]. La définition des gains MSG et MAG est donnée dans la suite de ce paragraphe.

Le gain en courant h_{21} mesuré et calculé est représenté figure 12, le gain unilatéral U figure 13, le gain MSG/MAG figure 14.

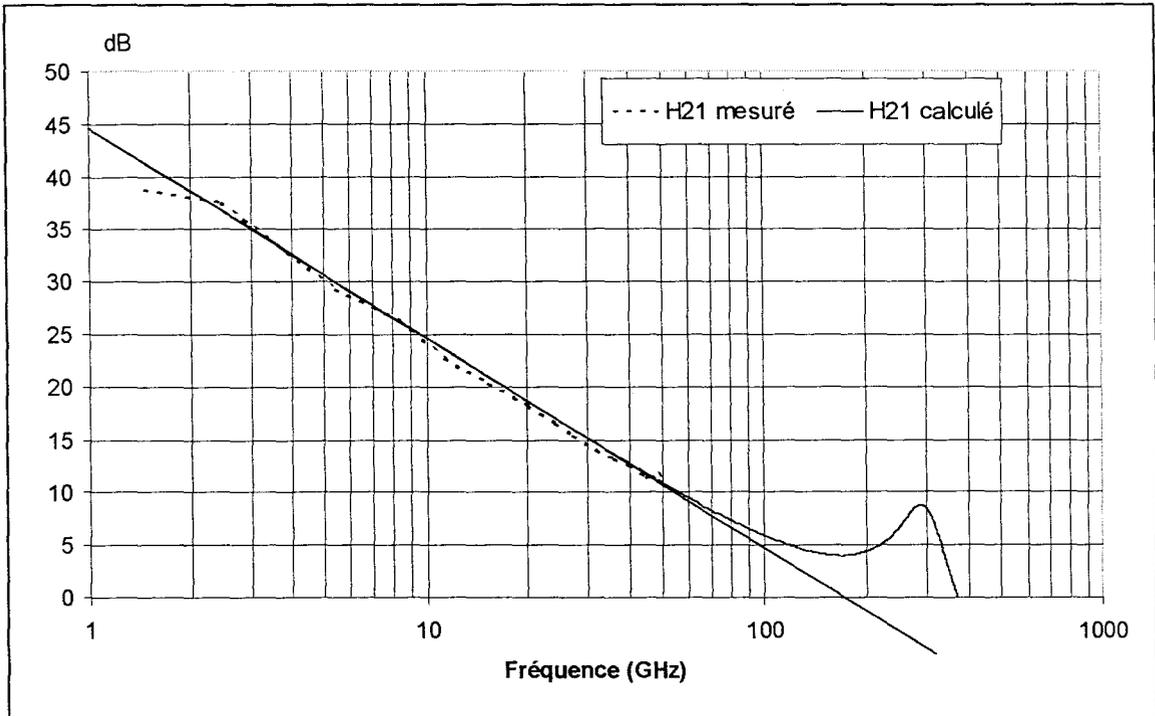


Figure 12 : Comparaison du gain en courant h_{21} mesuré et calculé.

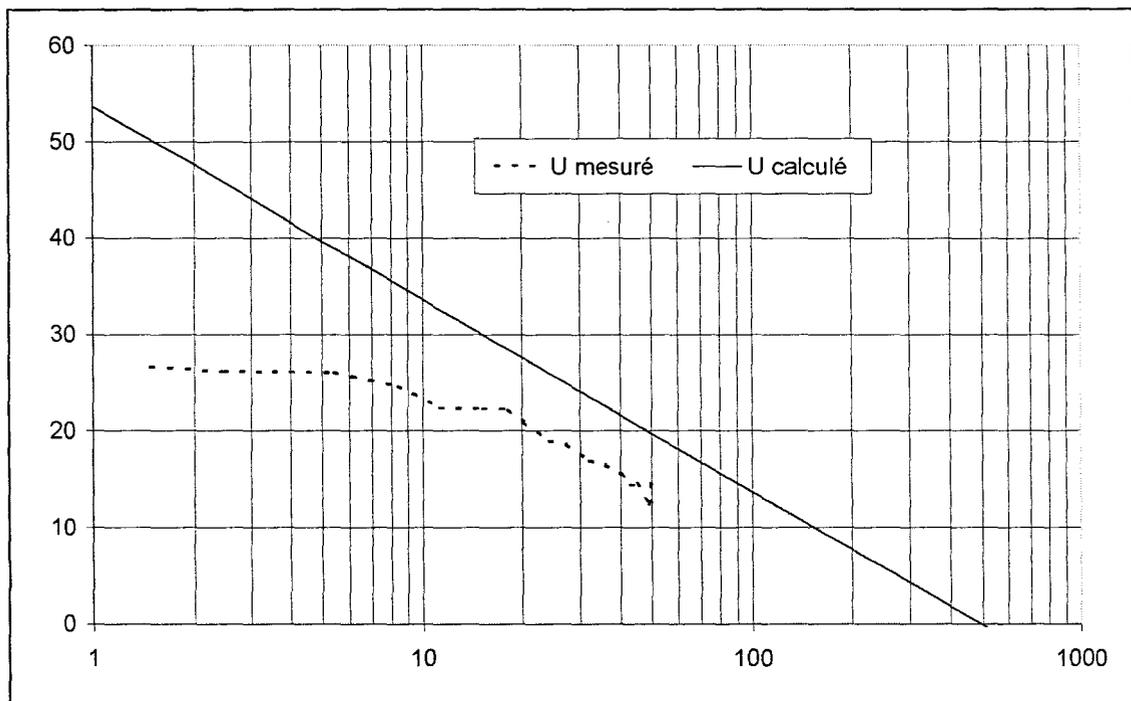


Figure 13 : Comparaison du gain unilatéral U mesuré et calculé.

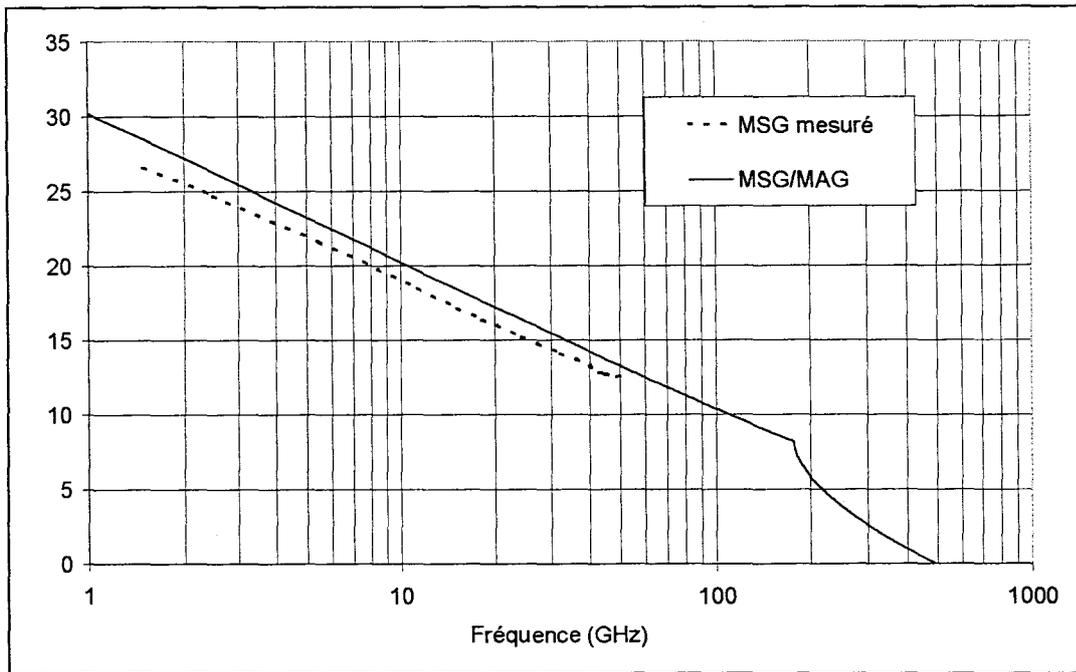


Figure 14 : Comparaison du gain MSG/MAG mesuré et calculé.

Les paramètres du schéma équivalent utilisés pour le calcul sont ceux du transistor mesuré. Ils sont reportés dans le tableau 8. Nous pouvons remarquer qu'ils ont une évolution normale.

paramètres extrinsèques			paramètres intrinsèques		
rg	2	Ω	gm	1303	mS/mm
rs	0,32	Ω .mm	gd	89,3	mS/mm
rd	0,31	Ω .mm	cgs	850	fF/mm
lg	25	pH	cgd	118	fF/mm
ls	2	pH	n	0,07	Ω .mm
ld	25	pH	tau	0,3	ps
cpg	2	fF			
cpd	10	fF			

Tableau 8 : Eléments du schéma équivalent utilisés pour l'extrapolation des gains.

Nous observons sur la figure 12 une bonne adéquation entre les mesures et les valeurs calculées pour le h21 uniquement jusqu'à 50 GHz. Pour le gain U reporté sur la figure 13, il y a une grande disparité entre la mesure et les valeurs calculées à partir du schéma équivalent.

D'une part, la valeur de la fréquence de transition du U extrapolé Fmax de 500GHz est vraisemblablement trop optimiste. Le gain extrapolé est toujours nettement supérieur au gain

mesuré. Il semble que la détermination du schéma équivalent en basse fréquence ne permette pas de tenir compte des phénomènes parasites qui se manifestent à la fréquence de travail.

D'autre part, l'évolution atypique en basse fréquence du gain U mesuré rend la comparaison encore plus difficile. Ce résultat laisse supposer qu'il y a soit un problème de la mesure du gain ou bien que cette évolution est le résultat d'une conductance parasite G_g . Ces hypothèses sont en cours de vérification.

Pour tenter de résoudre ce problème, nous avons essayé d'utiliser les gains MSG et MAG. Le MAG (Maximum Available Gain) est le gain maximum disponible. Il correspond au transfert maximum de puissances dans les conditions optimales d'adaptation entre l'entrée et la sortie du quadripôle actif. Ce gain ne peut être défini que lorsque le transistor est inconditionnellement stable, ce qui correspond pour le coefficient de stabilité $k > 1$. La fréquence de transition du MAG est appelée F_{mag} . Il s'agit de la fréquence pour laquelle le transistor possède du gain en puissance. Le MAG est défini par :

$$MAG = \frac{|S_{21}|}{|S_{12}|} (k \pm \sqrt{k^2 - 1}) \text{ avec } k > 1.$$

Le MSG (Maximum Stable Gain) correspond au gain maximum du transistor lorsque celui-ci est conditionnellement stable. Il est utilisé, lorsque le MAG n'est pas défini, comme critère d'évaluation des possibilités d'amplification du transistor. Le MSG est défini par :

$$MSG = \frac{|S_{21}|}{|S_{12}|}$$

Malheureusement, la figure 14 montre qu'il y a également une disparité entre les valeurs mesurées et calculées. De plus, le transistor étant toujours instable jusqu'à 50GHz, il n'est pas possible de voir la transition entre le MSG et le MAG. Nous ne pouvons donc pas déterminer la fréquence F_{mag} . Il est à noter que l'évolution fréquentielle du MAG n'est pas simple. Ainsi, la seule solution envisageable serait de faire la mesure du MSG jusqu'à ce que le transistor soit stable. Sachant que le MAG est toujours inférieur gain unilatéral U , on

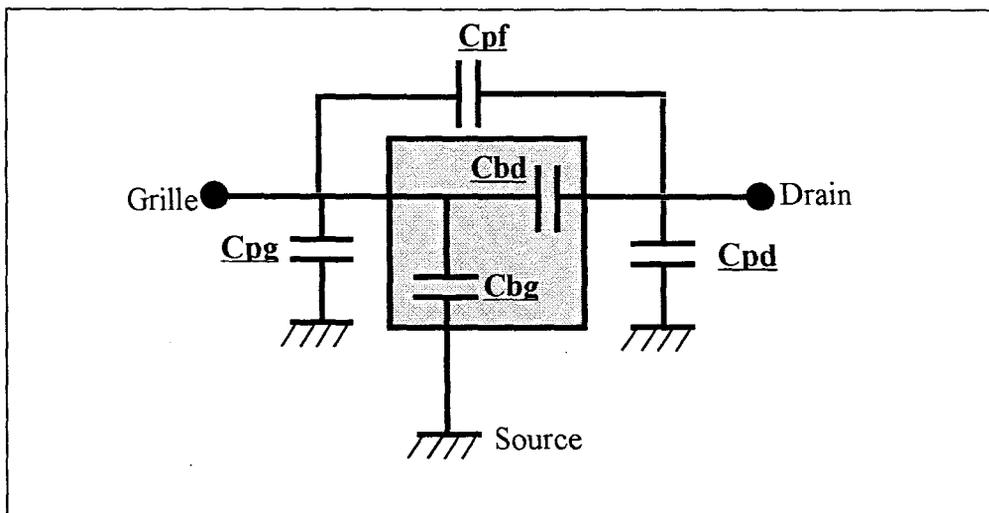
pourrait extrapoler la valeur du gain mesuré lors de la transition MSG/MAG en suivant la pente fixé par le gain unilatéral U . La fréquence de transition obtenue, inférieure à F_{max} , permettrait de définir par défaut la fréquence de transition du gain unilatéral U .

Ainsi, la disparité entre les résultats pour F_{max} rend difficile la comparaison entre les différentes filières de transistor. Par conséquent, il semble nécessaire d'observer une certaine prudence dans l'exploitation des valeurs de F_{max} fournies par l'état de l'art.

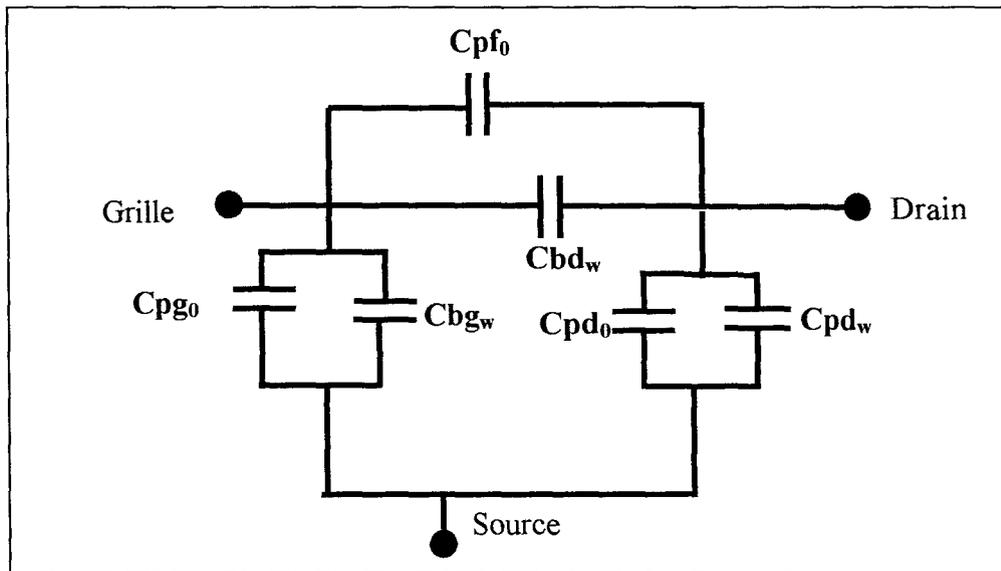
III.5. Evolution des capacités parasites en fonction de la largeur de grille

Nous avons vu dans le chapitre 2 que la connaissance précise des capacités parasites présente un intérêt majeur. Il s'agit, en effet, de pouvoir optimiser la topologie du transistor. Pour mieux comprendre la répartition des capacités parasites définies dans le chapitre 2 et pour affiner le schéma équivalent, nous avons fait l'étude de ces éléments en fonction du développement W du transistor [2]. On peut, avec cette méthode, observer l'effet d'une étape technologique sur les valeurs des capacités parasites. Il s'agit dans notre cas d'étudier l'influence de la dénitruration SF_6 . En effet, dans le cas de la gravure isotrope, on enlève tout le nitrure ce qui doit conduire à une diminution des capacités parasites après attaque.

La technique employée pour mesurer ces capacités parasites est la même que celle présentée au chapitre 2. Elle est fondée sur la méthode de mesure dite à « froid » des transistors. Le nouveau schéma équivalent pour le transistor pincé est présenté figure 15.a. La nouvelle répartition de ces capacités parasites après exploitation est présentée figure 15.b.



15.a



15.b

Figure 15 : Schéma équivalent des capacités parasites pour $V_{gs} \ll V_p$

Les paramètres de la matrice admittance $[Y]$ sont calculés à partir de la mesure des paramètres de la matrice scattering $[S]$. Les nouvelles expressions des parties imaginaires des paramètres de la matrice admittance sont:

$$\text{Im}(Y_{11}) = j \omega (C_{pg} + C_{bg} + C_{pf} + C_{bd}) \quad (1)$$

$$\text{Im}(Y_{12}) = -j \omega (C_{pf} + C_{bd}) \quad (2)$$

$$\text{Im}(Y_{22}) = j \omega (C_{pd} + C_{pf} + C_{bd}). \quad (3)$$

Nous représentons les capacités parasites $C_{pg}+C_{bg}$, $C_{pf}+C_{bd}$, et C_{pd} en fonction de W avant et après la gravure isotrope du nitrure à l'aide du SF_6 . Elles sont tracées respectivement sur les figures 16, 17 et 18. Nous avons reporté ces valeurs pour chaque transistor en Π du masque 4AS.

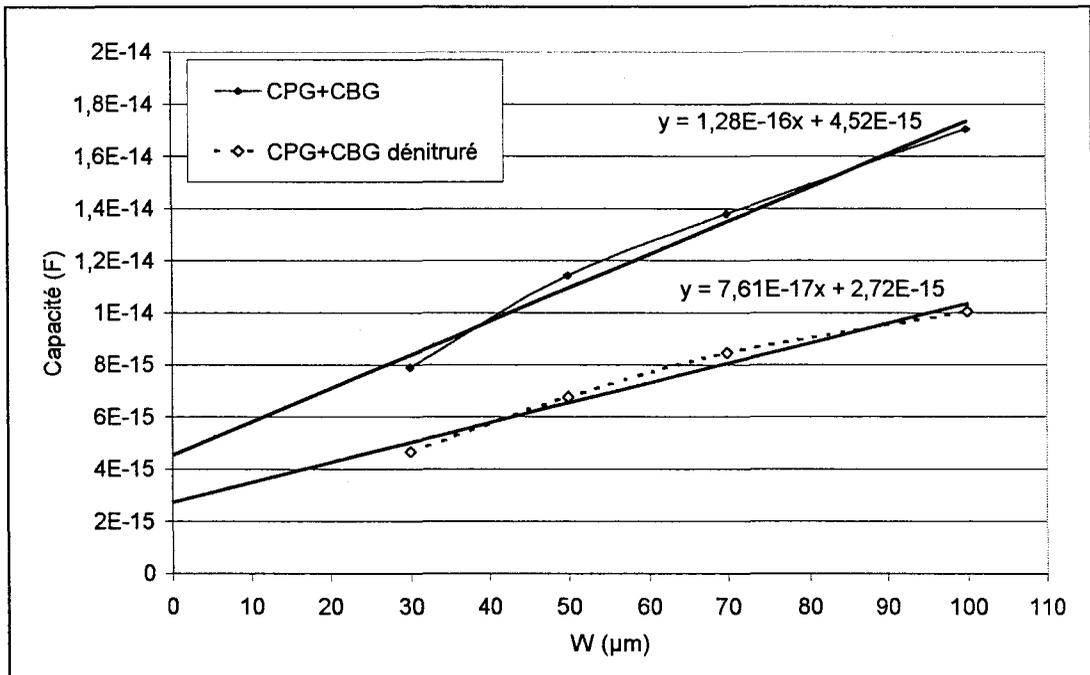


Figure 16 : Evolution des capacités parasites Cpg+Cbg en fonction de W pour les transistors en II du masque 4AS avant et après dénituration SF₆.

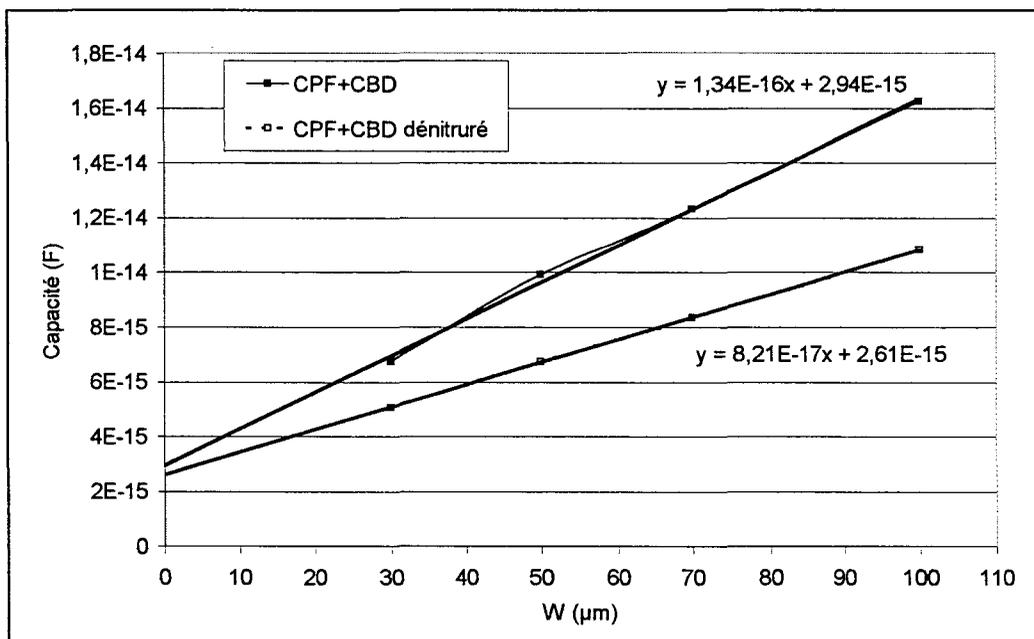


Figure 17 : Evolution des capacités parasites Cpf+Cbd en fonction de W pour les transistors en II du masque 4AS avant et après dénituration SF₆.

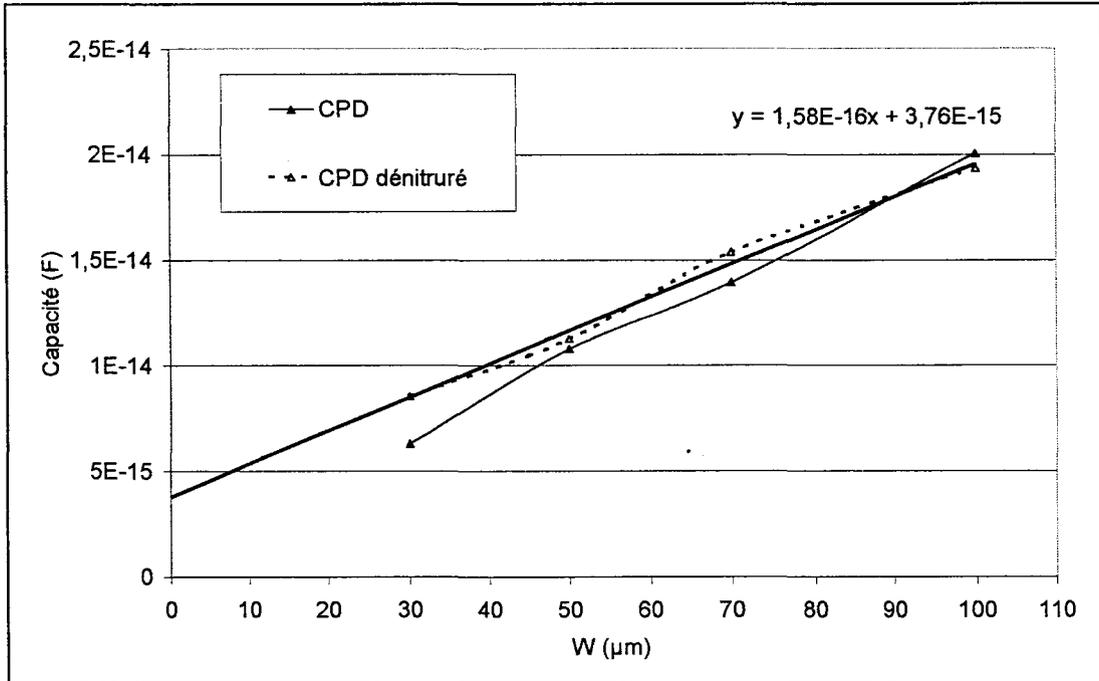


Figure 18 : Evolution des capacités parasites C_{pd} en fonction de W pour les transistors en II du masque 4AS avant et après dénitruration SF_6 .

On observe sur ces trois figures un bon accord avec le principe de répartition des capacités parasites. L'évolution de chaque élément est bien linéaire en fonction de W . L'exploitation de ces trois représentations donne les valeurs des capacités qui évoluent en fonction de W . Il s'agit de C_{bd_w} , C_{bg_w} et C_{pd_w} . On obtient également la valeur des capacités pour $W=0\mu m$. Il s'agit de C_{pf_0} , C_{pd_0} et C_{pg_0} .

	C_{bd_w}	C_{bg_w}	C_{pd_w}	C_{pf_0}	C_{pd_0}	C_{pg_0}
	fF/mm	fF/mm	fF/mm	fF	fF	fF
Avant dénitruration	134	128	158	2.9	2	4.5
Après dénitruration	81	76	178	2.6	3.7	2.7

Tableau 9 : Evolution des capacités parasites pour les transistors en II du masque 4AS avant et après dénitruration SF_6 .

On observe une réduction significative de $C_{bd,w}$ et $C_{bg,w}$ après gravure du nitrure. Ce résultat indique que la gravure du nitrure a bien été effectuée sous le chapeau de grille. La faible évolution de la capacité C_{pd} est attendue puisqu'elle représente la capacité plot entre le plot de source et le plot de drain. Il est à noter que la dispersion des valeurs dans le cas de C_{pd} est due aux imprécisions de mesure et à la dimension très faible des valeurs mesurées de l'ordre de quelque 10^{-15} Farad. On peut également remarquer la faible valeur des capacités pour $W=0\mu\text{m}$. Cela montre que la topologie du masque est bien optimisée pour notre application.

III.6. Influence de la dénitruration sur les performances du transistor

Deux étapes technologiques sont utilisées pour réduire les éléments parasites introduits par la couche de nitrure de 800\AA . Il s'agit de la gravure plasma vue dans le chapitre 2.

Dans le cas d'une gravure avec l'Hexafluorure de Soufre SF_6 , l'attaque est de type isotrope. Cela veut dire que tout le nitrure est enlevé, même celui localisé en dessous du chapeau de grille.

Dans le cas d'une gravure avec le Tétrafluorocarbone CF_4 , l'attaque est de type anisotrope ou hautement directionnelle. Le haut de grille sert de masque pendant la gravure. Il reste ainsi deux morceaux de nitrure de part et d'autre du pied de grille.

Dans ce paragraphe, nous allons étudier respectivement l'influence de ces deux types gravures sur les performances des transistor du numéro d'opération 10436.

III.6.1. Influence de la dénitruration isotrope à l'aide du SF_6

La fréquence de transition du gain en courant h_{21} avant et après gravure SF_6 est reportée sur la figure 19. On observe sur cette figure que la valeur de F_t après gravure est légèrement supérieure à celle avant gravure. Ce résultat montre donc qu'il n'y a pas de dégradation introduite par cette étape technologique. D'ailleurs, il y a même une légère amélioration de F_t qui passe de 205 à 220GHz.

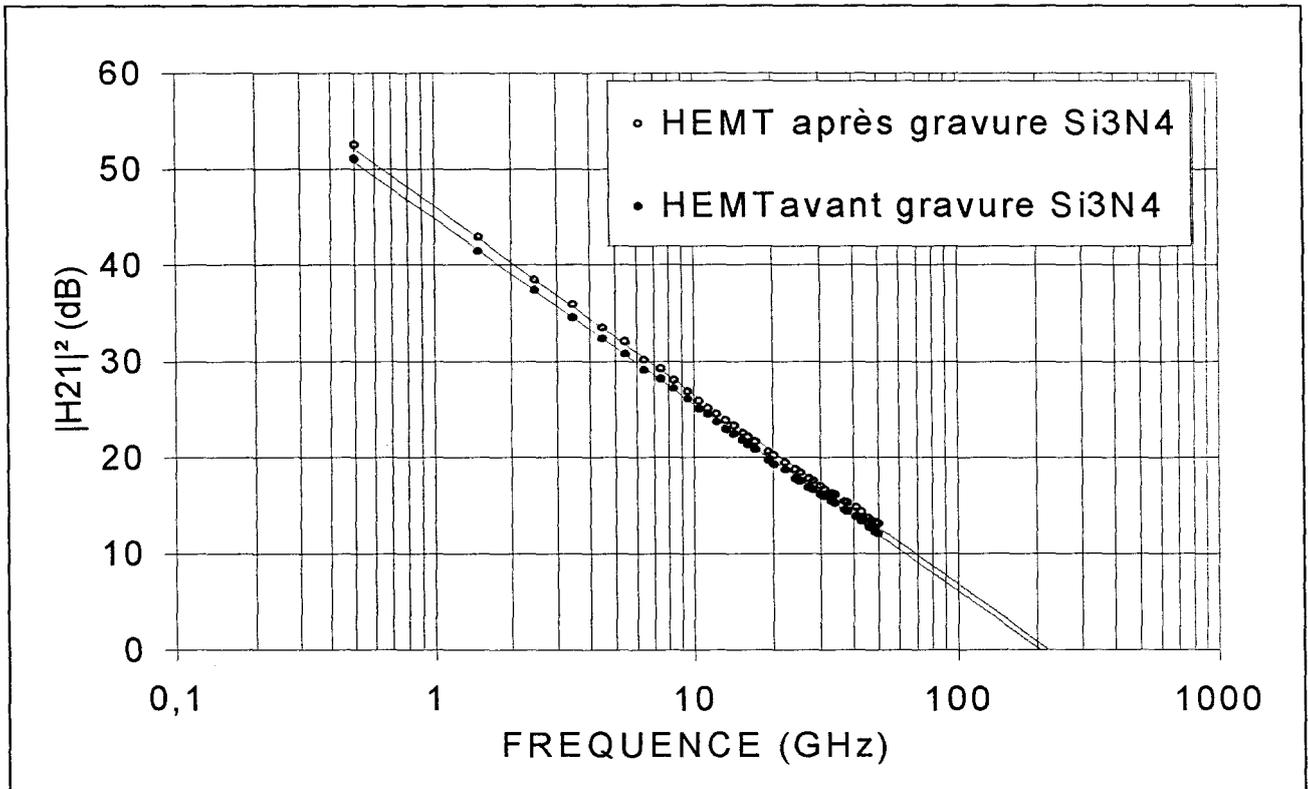


Figure 19 : La fréquence de transition Ft avant et après gravure SF₆

Pour compléter cette étude sur l'évolution des gains, les fréquences de transition Ft et Fmax sont reportées figure 20 pour plusieurs échantillons.

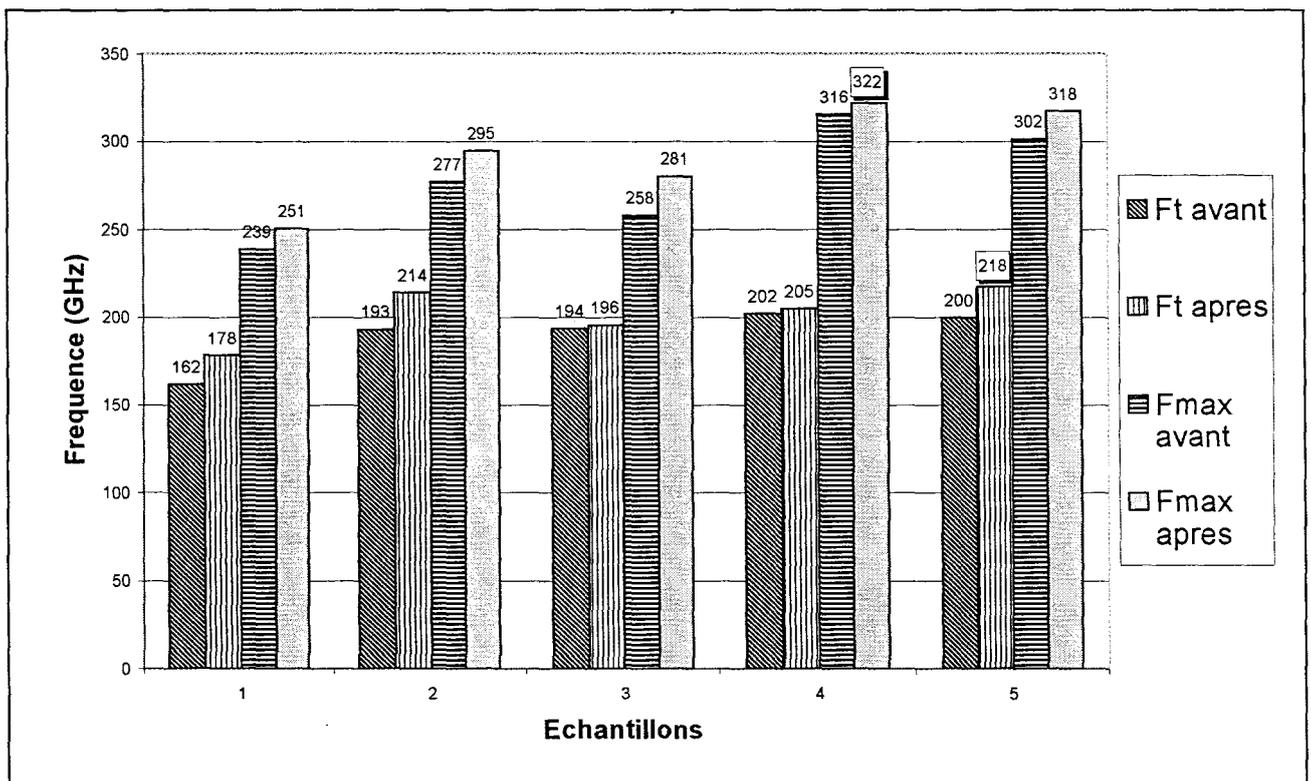
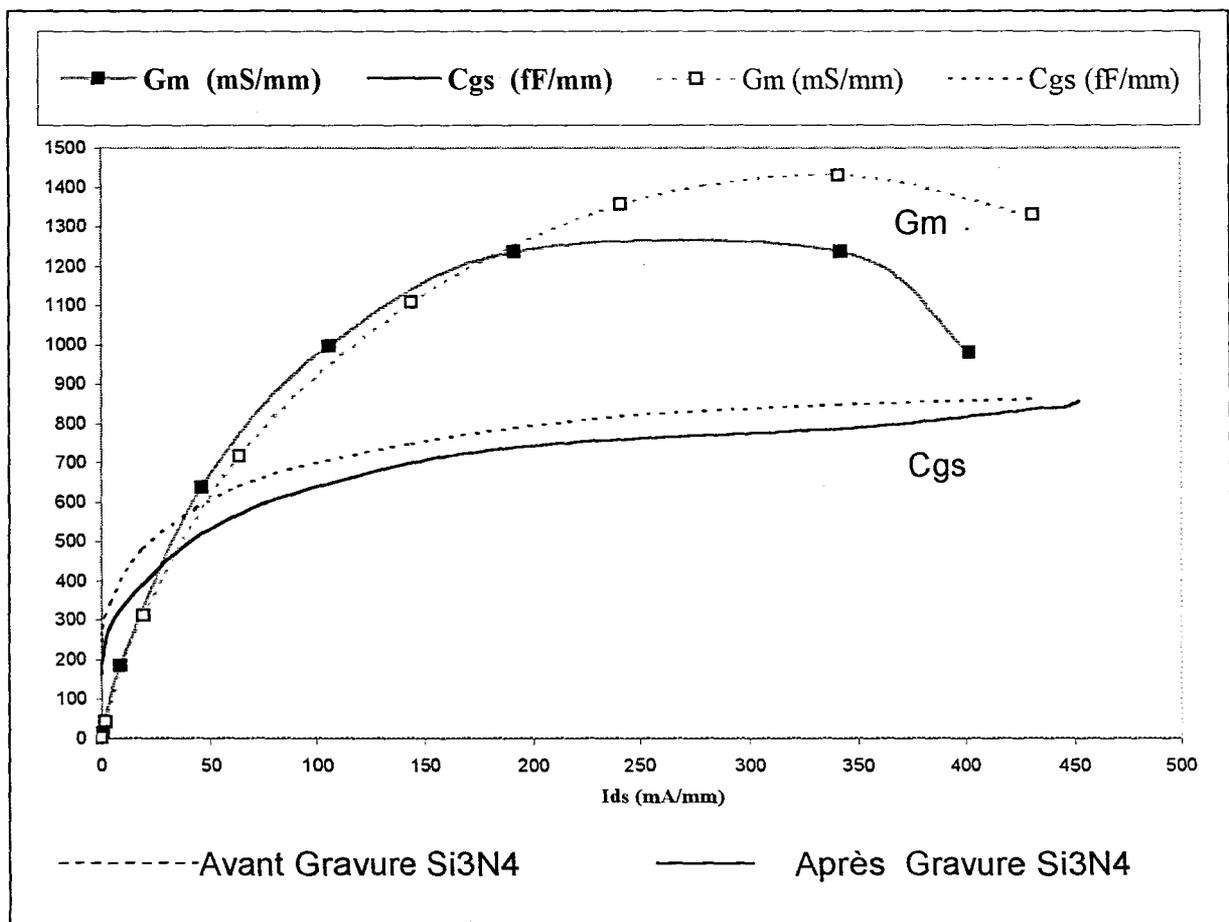


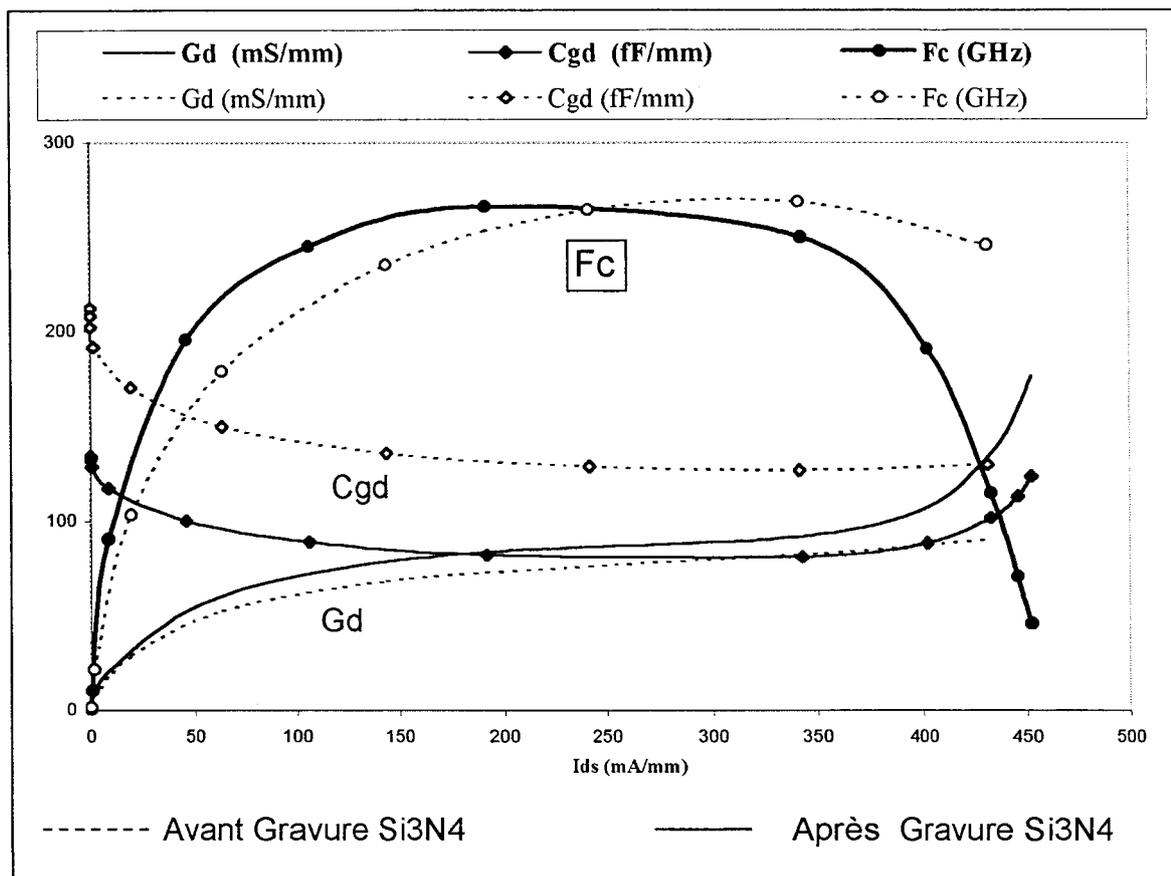
Figure 20 : Les fréquences de transition Ft et Fmax avant et après gravure SF₆

Les valeurs pour F_{max} sont extrapolées à partir de la valeur mesurée du gain unilatéral U prise à la fréquence de 20GHz. Il s'agit de la partie où l'évolution de U est la plus linéaire en fonction de la fréquence. Lorsque l'on utilise cette méthode de détermination pour F_{max} , les valeurs obtenues pour les composants naturellement passivés par la couche de diélectrique de 800Å sont légèrement inférieures à la valeur de 300 GHz fixée dans le chapitre 2. Pour améliorer cette fréquence, il faut augmenter l'épaisseur de métallisation de grille pour diminuer R_g . Il faut rappeler cependant que ces valeurs de F_{max} sont à étudier avec une certaine prudence.

Ainsi, on observe sur la figure 20 une amélioration de F_t et F_{max} après gravure. Ces augmentations s'expliquent par l'évolution des éléments du schéma équivalent. Pour cela, nous avons reporté sur les figures 21.a et 21.b, les éléments intrinsèques du schéma équivalent avant et après gravure nitrure SF_6 .



21.a



21.b

Figure 21 : Les éléments intrinsèques du schéma équivalent avant et après gravure SF_6 en fonction du courant I_{ds} normalisé.

Les valeurs correspondantes sont reportées dans les tableaux 10.a et 10.b. Dans la première partie du tableau, les paramètres sont donnés pour la valeur maximale de la transconductance G_m , c'est à dire à fort courant I_{ds} . Dans la seconde partie du tableau, ils sont donnés à faible courant ($I_{ds}=100\text{mA/mm}$), c'est à dire en condition faible bruit.

Nous remarquons, dans le tableau 10, une augmentation des résistances R_s et R_d après la gravure du nitrure. Cette dégradation des résistances est certainement liée à la modification du potentiel de surface et/ou à l'introduction de défauts à la surface de la couche. La présence du nitrure diminue la valeur du potentiel de surface ce qui permet d'obtenir des valeurs de résistance plus faibles pour les transistors naturellement passivés.

Dans le tableau 10.a) et sur la figure 21.a, nous constatons une diminution du G_m max ainsi qu'une diminution de la capacité C_{gs} après la gravure du nitrure. Ces deux effets sont

antagonistes. La fréquence de transition intrinsèque $F_c = G_m / 2\pi \cdot C_{gs}$ au maximum du G_m n'évolue pas.

Dans le tableau 10.b) et sur les figures 21.a et 21.b, soit en condition faible bruit, la transconductance G_m augmente alors que la capacité C_{gs} diminue après dénituration. Dans ce cas, la fréquence de coupure intrinsèque F_c augmente. Elle passe de 210 GHz avant gravure à 242 GHz après gravure du nitrure. De plus, on remarque figure 21.b que la valeur de F_c à bas courant atteint très rapidement la valeur maximale de F_c à fort courant. On note également que la valeur de F_c est maximale pour une grande plage de courant I_{ds} .

	type	I_{ds}	R_s	R_d	R_g	C_{pg}	C_{pd}	L_s	L_d	L_g	G_m	G_d	C_{gs}	C_{gd}	F_c
dim		mA/mm	ohm.mm	ohm.mm	ohm	fF	fF	pH	pH	pH	mS/mm	mS/mm	fF/mm	fF/mm	GHz
50µm	avec Si3N4	342,0	0,28	0,28	2,3	2	13	2	25	25	1430	82	848	126,6	268
50µm	sans Si3N4	192,0	0,36	0,33	2,3	2	10	2	25	25	1236	83,4	740	82	266
10.a) Fort courant I_{ds} – G_m max															
50µm	avec Si3N4	100	0,28	0,28	2,3	2	13	2	25	25	925	60	700	140	210,42
50µm	sans Si3N4	100	0,36	0,33	2,3	2	10	2	25	25	975	65	640	90	242,59
10.b) Faible courant I_{ds} – condition faible bruit															

Tableau 10 : Eléments du schéma équivalent avant et après gravure SF_6 pour deux conditions de polarisation différentes.

L'évolution à bas courant de ces éléments est très intéressante. En effet, nous avons vu que ce paramètre F_c conditionne fortement les performances hyperfréquences et en bruit des transistors. Plus F_c est élevée et meilleures sont les performances du composant.

Sur la figure 21.a, on remarque également que la valeur du G_m croît à bas courant et diminue à fort courant. Pour comprendre cette évolution nous avons tracé sur la figure 22 le courant en fonction de V_{gs} . On observe ainsi que le courant du transistor dénituré augmente pour des tensions proches du pincement et qu'il décroît à fort courant.

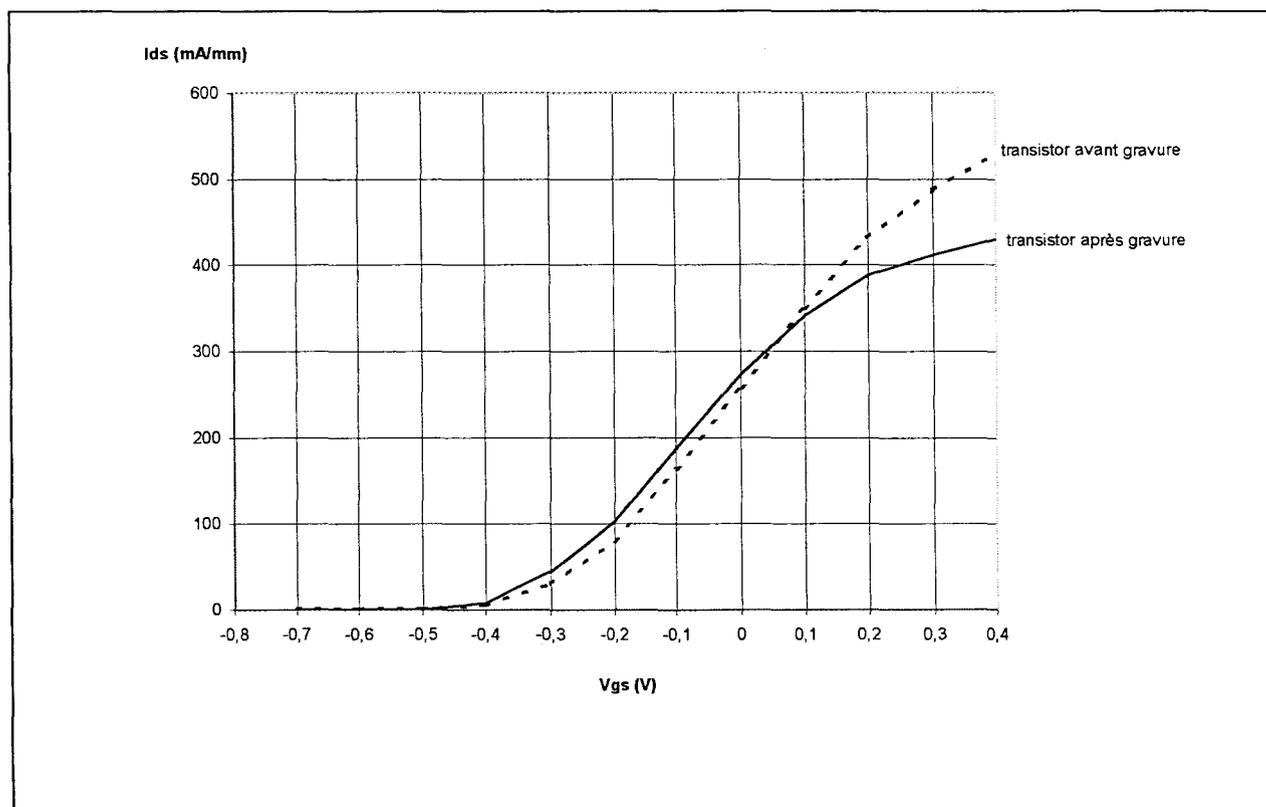


Figure 22 : Le courant I_{ds} avant et après gravure SF_6 en fonction de V_{gs} .

Le composant est entièrement soumis au plasma lors de la gravure complète du nitrure. La gravure SF_6 introduit des modifications sur l'ensemble de la structure. Ainsi, lors de la gravure SF_6 , le fossé de grille est en contact direct avec le plasma. Il faut envisager, dans ce cas, l'introduction de défauts dans cette zone située de part et d'autre du pied de grille. Cette attaque modifie également le potentiel de surface après gravure. Enfin, la gravure du diélectrique situé en dessous du chapeau de grille modifie le couplage qui existe entre la grille et le canal. L'interprétation de ces évolutions est par conséquent complexe. Une simple étude analytique ne permet pas de déterminer avec précision les mécanismes physiques mis en jeu. Une étude à l'aide de simulations Monte-Carlo est en cours dans le cadre d'une collaboration avec l'université de Salamanca (Espagne).

Un autre élément est à noter sur la figure 21.b. En effet, la capacité C_{gd} après gravure est toujours inférieure à celle avant gravure et cela quelle que soit la valeur du courant I_{ds} . Par ailleurs, on observe dans l'évolution des paramètres extrinsèques une diminution de la valeur des capacités parasites après l'étape de gravure SF_6 . Ce résultat prouve que cette gravure permet de réduire les éléments parasites introduits par la couche de diélectrique.

En conclusion, cette augmentation de la fréquence de transition intrinsèque F_c montre que ce procédé de fabrication est bien adapté aux applications faible bruit. Cependant, il ne faut pas dégrader la structure et perdre cet avantage lors de la passivation des composants. On étudiera l'évolution des performances dans la suite de ce chapitre.

III.6.2. Influence de la dénitruration anisotrope à l'aide du CF_4

Il s'agit de l'autre type de dénitruration, la gravure est anisotrope ou hautement directionnelle. Cette gravure est très intéressante. Le nitrure laissé de part et d'autre du pied de grille permet d'obtenir des grilles plus robustes que dans le cas de la dénitruration isotrope SF_6 . De plus avec la gravure CF_4 la zone de gravure du fossé de grille n'est pas en contact avec le plasma.

Nous avons reporté le gain en courant h_{21} et le gain unilatéral U avant et après gravure CF_4 sur la figure 23.

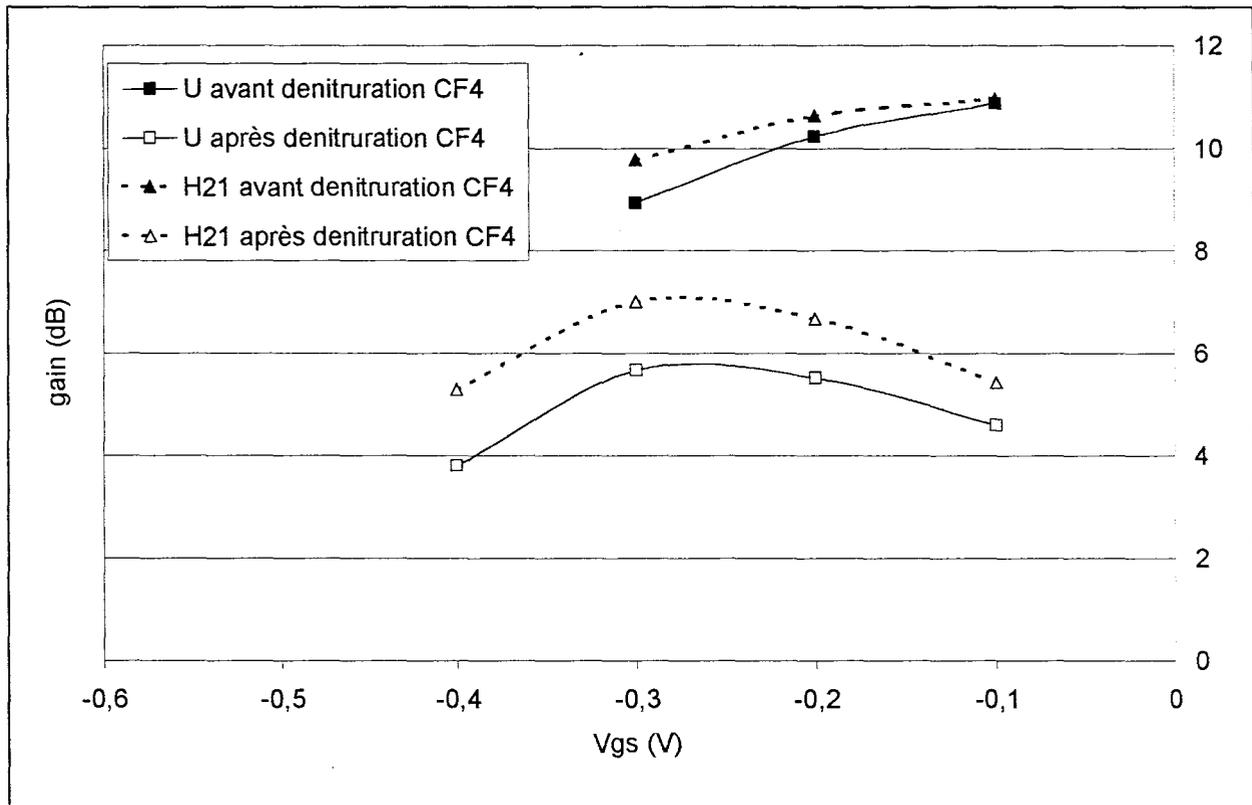


Figure 23 : Les gains h_{21} et U avant et après gravure CF_4 en fonction de V_{gs} .

On remarque que contrairement à la gravure SF_6 , les gains h_{21} et U après gravure sont toujours inférieurs à ceux avant gravure. Il y a par conséquent une forte dégradation de la structure pendant cette étape de dénitruration CF_4 .

La fréquence de coupure intrinsèque F_c est également représentée figure 24 avant et après gravure CF_4 .

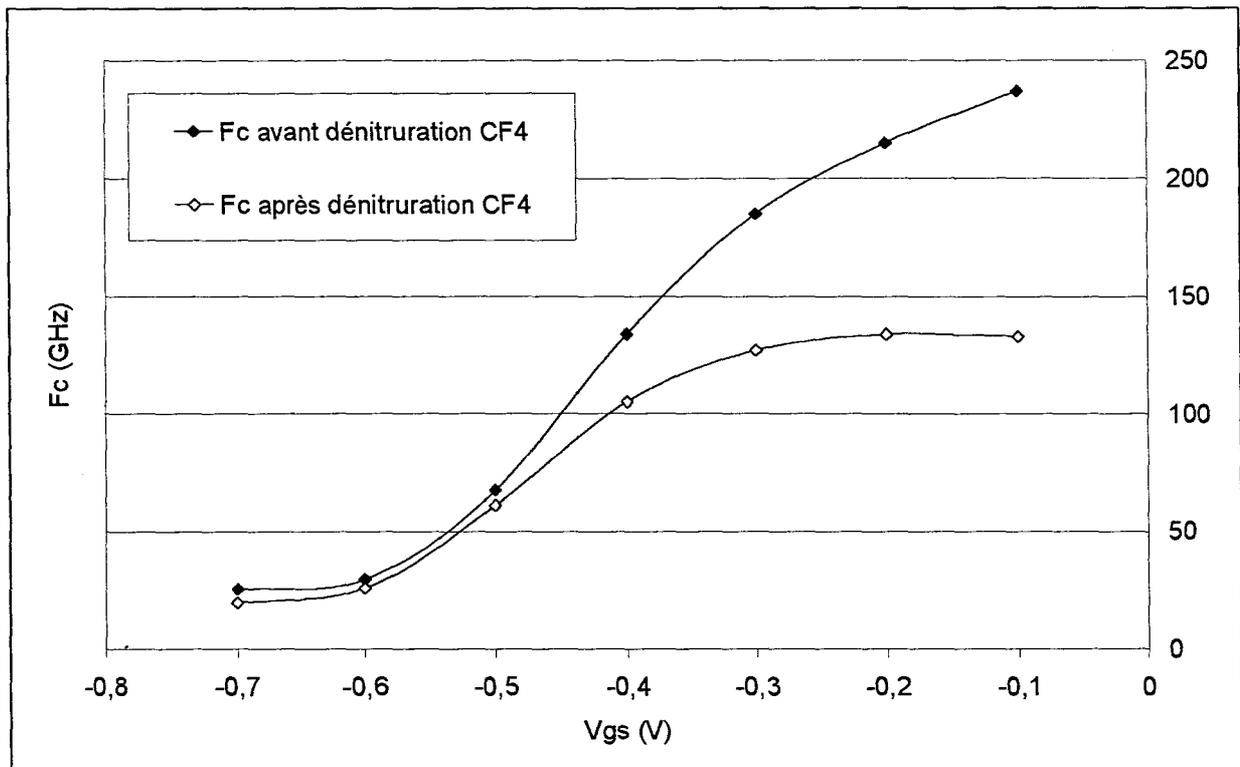


Figure 24 : La fréquence de coupure intrinsèque F_c avant et après gravure CF_4 en fonction de V_{gs} .

On remarque également que la fréquence de coupure F_c après attaque est inférieure à celle avant attaque. Le décalage observé pour F_c sur la figure 21.b (cas de la dénitruration SF_6) n'apparaît pas ici. Dans le cas de la gravure anisotrope à l'aide du CF_4 , la zone située sous le chapeau de grille n'est pas modifiée.

Les éléments du schéma équivalent sont reportés dans le tableau 11. On observe dans ce tableau une dégradation des éléments du schéma équivalent après l'attaque plasma CF_4 . Il est à noter que les performances hyperfréquences reportées dans ce tableau ne sont pas aussi élevées que précédemment. Le procédé de fabrication utilisé n'était pas optimisé lors de la

réalisation de ces transistors. La longueur de grille de ces composants est plus élevée que celle des transistors du numéro d'opération 10436. Cependant, les variations des éléments du schéma équivalent avant et après gravure sont significatives. Il est possible d'obtenir de nombreuses indications sur cette gravure CF₄.

	dim μm	type	Rs ohm.mm	Rd ohm.mm	Rg ohm	Rm ohm/mm	Cpg fF	Cpd fF	Rs pH	Ld pH	Lg pH
PI	50	brut	0,26	0,35	1,8	432	2	20	2	41	40
		CF4	0,35	0,41	1,8	432	2	20	5	42	35
	50	brut	0,26	0,40	1,8	432	2	15	2	41	41
		CF4	0,32	0,46	1,8	432	2	15	5	45	35

type	Vgs V	Vds V	Gm mS/mm	Gd mS/mm	Cgs fF/mm	Cgd fF/mm	Fc GHz	Gm/Gd	Cgs/Cgd
brut	-0,1	0,7	1416	252	952	262	237	5,6	3,6
CF4	-0,2	0,7	944	182	1120	224	129	5,2	5,0
brut	-0,2	0,7	1026	268	864	252	189	3,8	3,4
CF4	-0,2	0,7	816	212	932	202	139	3,8	4,6

Tableau 11 : Eléments du schéma équivalent avant et après gravure CF₄.

Nous observons pour les éléments intrinsèques du schéma équivalent après gravure une forte diminution du Gm avec parallèlement une augmentation significative de la capacité Cgs. La fréquence de coupure intrinsèque du gain en courant Fc décroît fortement. Ce résultat n'est absolument pas favorable aux applications en bande W.

III.7. Influence de la passivation sur les performances du transistor

Les résultats obtenus lors de la dénitruration SF₆ montrent que nous parvenons à dénitrurer la structure en améliorant ses performances en condition faible bruit. Nous avons conclu que cet avantage ne devait pas être perdu lors de la passivation des composants. En effet, pour protéger le composant des dégradations mécaniques et pour éviter la dérive des

paramètres électriques au cours du temps, un dépôt de nitrure basse température par PECVD est réalisé. Ce film de diélectrique recouvre l'ensemble de la structure. Lors de cette passivation, le transistor est porté à la température de 100°C. L'épaisseur du film déposé est de 200Å.

Ce type de passivation remplace la passivation à 300°C qui était pratiquée auparavant. En effet, la température à laquelle est porté l'échantillon pendant plus d'une heure et demie nous paraît trop élevée pour ne pas dégrader les performances du composant.

Nous avons reporté sur la figure 25, l'évolution de la fréquence de transition F_t du gain en courant pour un même composant.

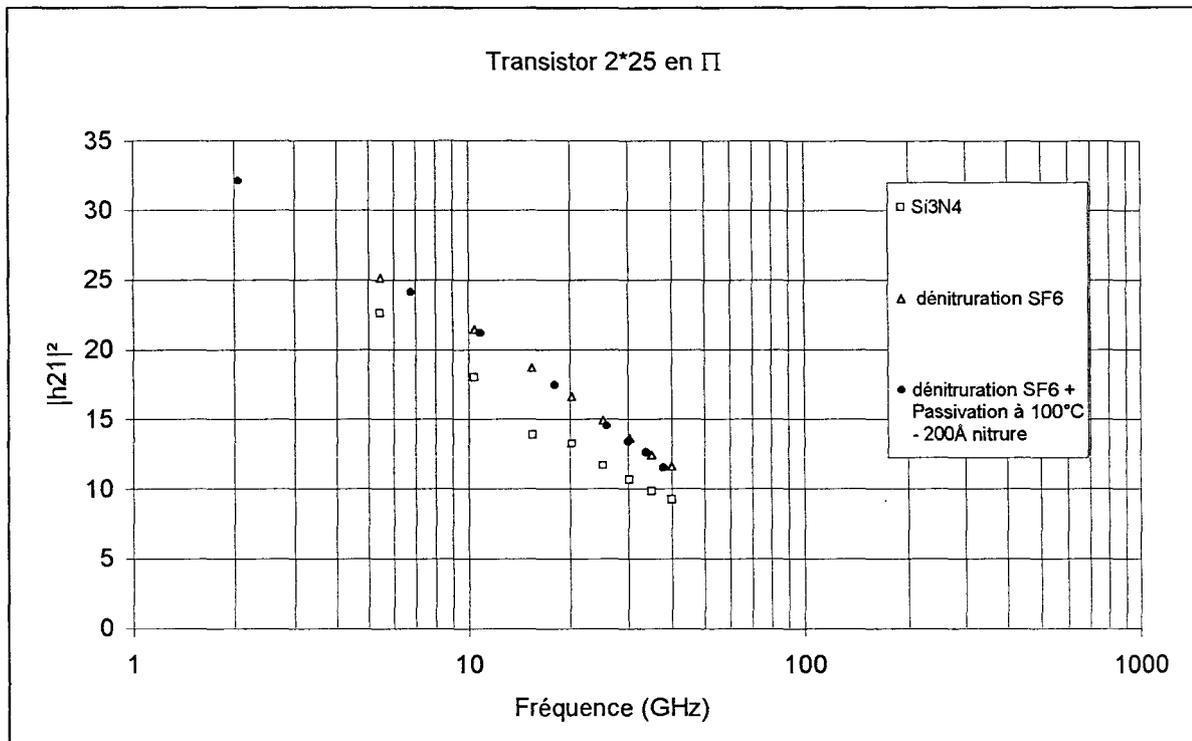


Figure 25 : La fréquence de transition F_t avant et après gravure SF₆ et après passivation à 100°C par 200Å de nitrure.

Celui-ci est tout d'abord naturellement passivé par les 800Å de nitrure, puis dénitruré au SF₆ et enfin passivé à 100°C par 200Å de nitrure. Il est à noter que les performances de ce transistor ne sont pas très élevées puisqu'il a été réalisé avec un procédé en cours d'optimisation. Cela nous permet néanmoins d'observer l'évolution des performances du transistor.

On observe sur la figure 25 une augmentation de F_t après gravure SF_6 . L'amélioration obtenue dans ce cas est plus importante que celle observée précédemment figure 19. Cette évolution est probablement due à une largeur du chapeau de grille plus importante.

On remarque, sur la figure 25, que la fréquence de transition F_t obtenue pour le transistor passivé par 200Å de nitrure est toujours supérieure à celle du transistor naturellement passivé par la couche de 800Å de nitrure.

La couche de nitrure de 200Å ne paraît pas dégrader les performances du transistor. Le gain H_{21} pour le transistor passivé par 200Å de nitrure est sensiblement le même que celui du transistor dénitruré et non passivé par les 200Å.

Pour compléter l'étude, nous avons reporté dans le tableau 12, les éléments du schéma équivalent pour un transistor dénitruré puis passivé par les 200Å de nitrure basse température.

	dim μm	type	R_s ohm.mm	R_d ohm.mm	R_g ohm	R_m ohm/mm	C_{pg} fF	C_{pd} fF	L_s pH	L_d pH	L_g pH
PI	50	SF6	0,27	0,36	1,8	432	2	20	2	30	40
		passivé	0,28	0,36	1,8	432	2	20	2	25	40

type	V_{gs} V	V_{ds} V	G_m mS/mm	G_d mS/mm	C_{gs} fF/mm	C_{gd} fF/mm	F_c GHz	G_m/G_d	C_{gs}/C_{gd}
SF6	-0,2	0,7	1138	182	868	150,4	209	6,3	5,8
passivé	-0,1	0,7	1260	212	936	171,2	214	5,9	5,5

Tableau 12 : Eléments du schéma équivalent après gravure SF_6 et après passivation à 100°C par 200Å de nitrure.

Nous pouvons voir une légère augmentation de la capacité C_{gd} qui associée à une augmentation de C_{gs} donne un rapport C_{gs}/C_{gd} à peu près constant entre les deux étapes technologiques. Il en est de même pour le rapport G_m/G_d .

Par conséquent, ce type de passivation à basse température semble être adapté à notre étude. Il reste toutefois à tester l'efficacité de cette protection au cours du temps et d'étudier la fiabilité des composants.

III.8. Les performances en bruit microonde et en bande W

Nous avons vu dans le chapitre 2 que les composants doivent présenter un facteur de bruit F_{min} de 2 dB à 94 GHz. Pour étudier les performances en bruit du transistor des mesures du facteur de bruit et du gain associé sur 50Ω ont été réalisées dans la bande 6-20 GHz et à 94 GHz. Il s'agit respectivement du F_{50} et du G_{50} .

Cette méthode, développée au sein de l'équipe, utilise les propriétés de la mesure de bruit sur 50Ω [3,4]. Elle consiste à faire une caractérisation complète du bruit du transistor HEMT en effectuant des mesures à différentes fréquences. On déduit les caractéristiques en bruit du composant à partir de la mesure de son facteur de bruit sous l'impédance caractéristique du système pour au moins deux fréquences. Dans notre cas, l'impédance présentée au transistor sous test est proche de 50Ω .

Dans ce paragraphe, nous présentons les résultats de la mesure de bruit effectuée dans la bande 6-20 GHz. On détermine à partir de cette mesure le facteur minimum de bruit F_{min} , le gain associé G_{ass} , la résistance équivalente de bruit R_n et le facteur de réflexion optimal du générateur Γ_{opt} à 19 GHz.

A partir de ces résultats, on détermine un modèle équivalent de bruit. L'extrapolation de ce modèle permet de prévoir la valeur des paramètres de bruit à la fréquence de travail, soit 94 GHz. Pour valider les résultats obtenus par le modèle, on mesure à cette même fréquence les valeurs du F_{50} et du G_{50} . Les valeurs du F_{50} et du G_{50} extrapolées sont alors comparées aux valeurs du F_{50} et du G_{50} mesurés à 94GHz. Si il y a un bon accord entre la mesure et l'extrapolation, on peut alors se servir du modèle pour calculer le F_{min} et le G_{ass} à 94 GHz.

Nous présentons dans ce paragraphe les résultats obtenus par les transistors en Π du numéro d'opération 10436.

L'exploitation des mesures en bruit et des paramètres [S] dans la bande 6-20 GHz permet d'obtenir F_{min} , R_n , et Γ_{opt} . Il s'agit respectivement du facteur de bruit minimum, de la résistance équivalente de bruit, et du facteur de réflexion optimal du générateur pour obtenir F_{min} . Les résultats en bruit à 19 GHz sont reportés sur les figures 26,27, et 28.

Les valeurs minimales sont obtenues pour un courant I_{ds} de 50 mA/mm. Sur la figure 26, on obtient pour une valeur de I_{ds} de 60mA/mm un F_{min} de 0.8dB avec un gain associé de 13 dB à 19 GHz.

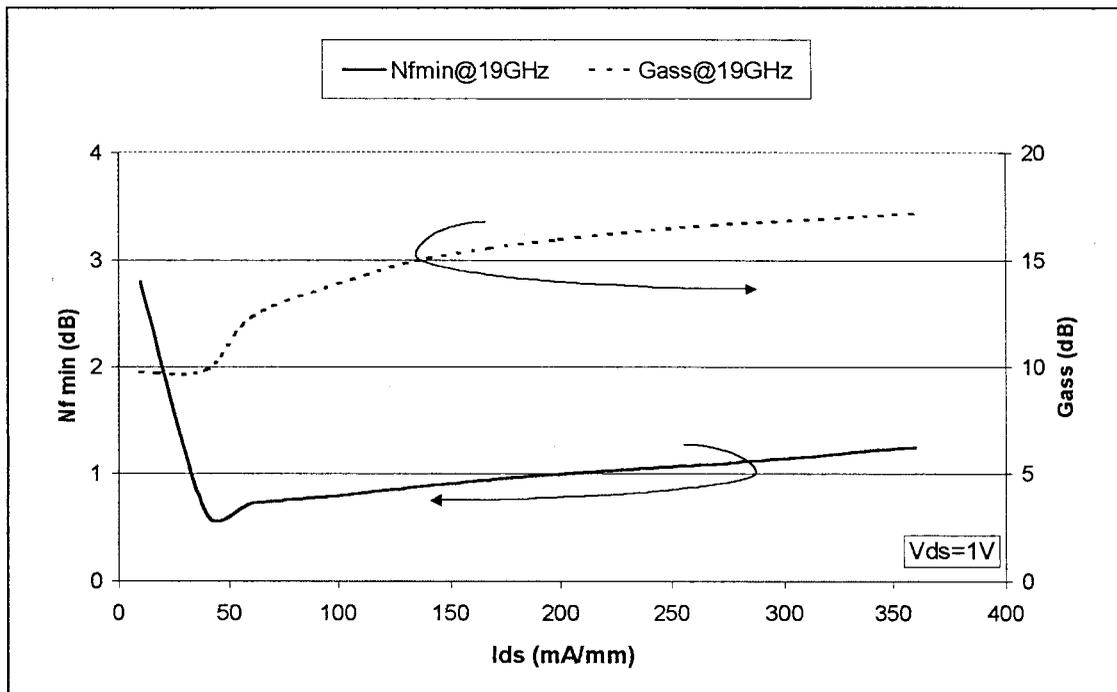


Figure 26 : Facteur minimum de bruit et Gain associé à 19GHz

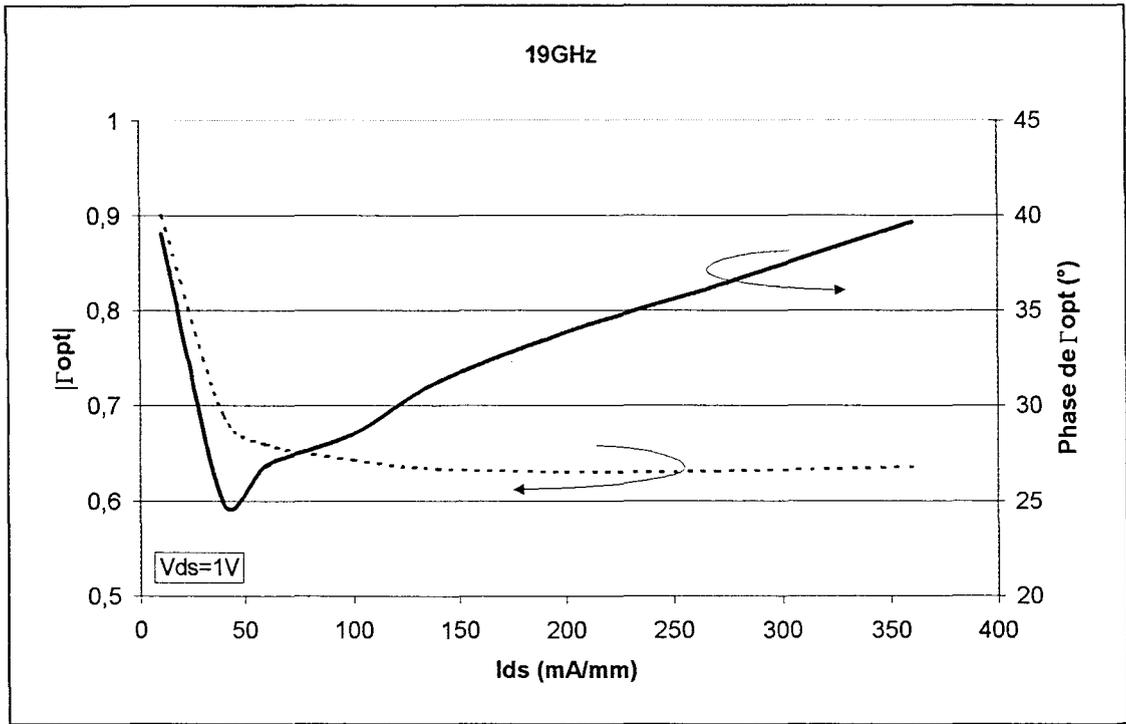


Figure 27 : Module et phase du facteur de réflexion optimal Γ_{opt} .

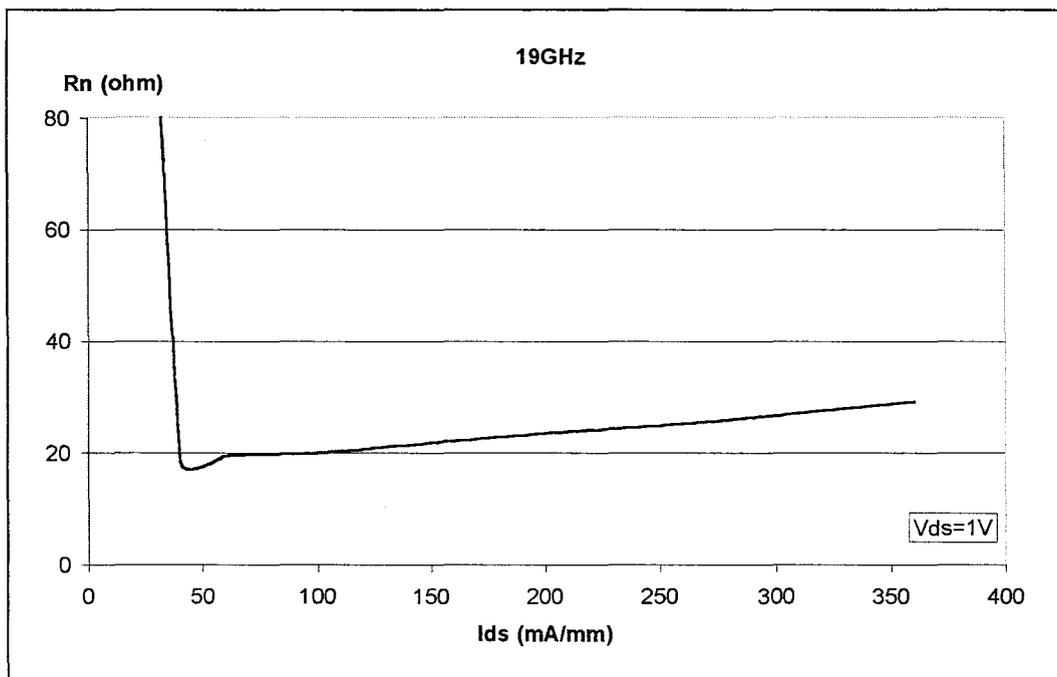


Figure 28 : La résistance équivalente de bruit à 19 GHz.

A partir de l'exploitation des paramètres obtenus par la mesure du bruit microondes, on détermine un modèle de bruit. Celui ci permet par extrapolation de déterminer le facteur minimum de bruit F_{min} et le gain associé G_{ass} à la fréquence de travail soit 94 GHz. Les résultats de F_{min} et G_{ass} extrapolés à partir des mesures à 19GHz sont reportés figure 29.

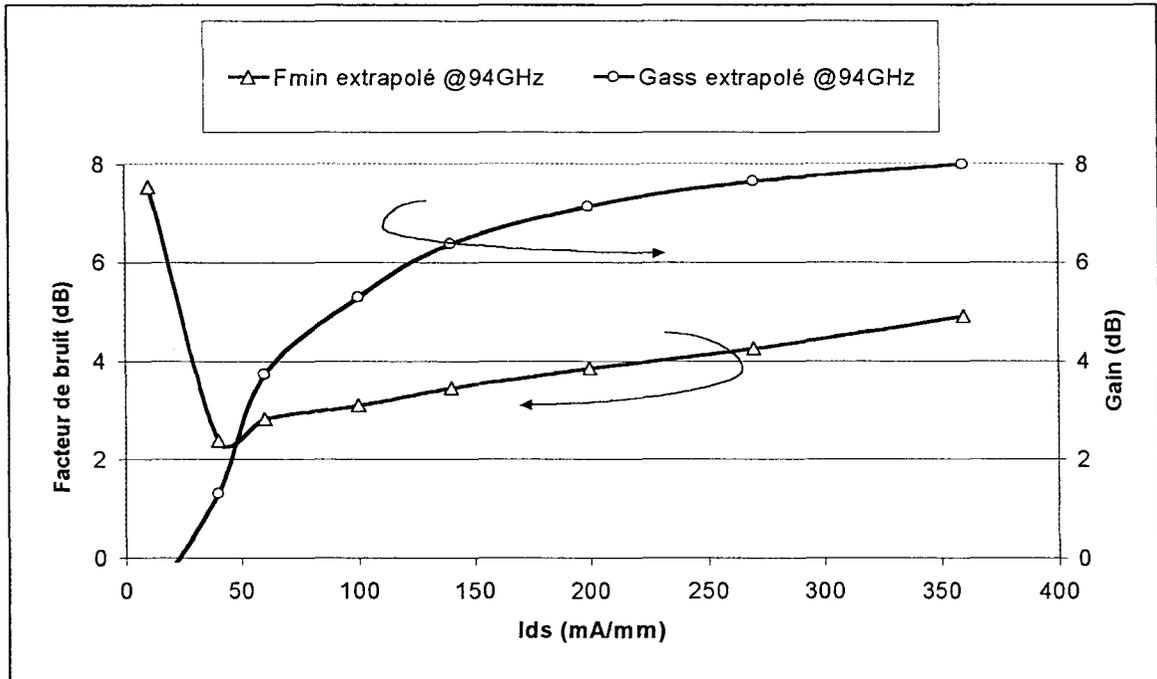


Figure 29 : F_{min} et G_{ass} à 94 GHz obtenus à partir de l'extrapolation du modèle bruit déterminé à 19 GHz.

Les valeurs obtenues pour F_{min} et G_{ass} à 94 GHz sont respectivement 2.38 dB et 1.5dB. Ainsi, le F_{min} est légèrement supérieur à celui fixé à 2dB pour le transistor dans le chapitre 2.

Pour s'assurer de la validité des résultats extrapolés une mesure du F_{50} et du G_{50} est faite à 94 GHz. Cette mesure permet de comparer les résultats F_{50} - G_{50} extrapolés à partir des mesures à 18 GHz à celles mesurées à 94 GHz.

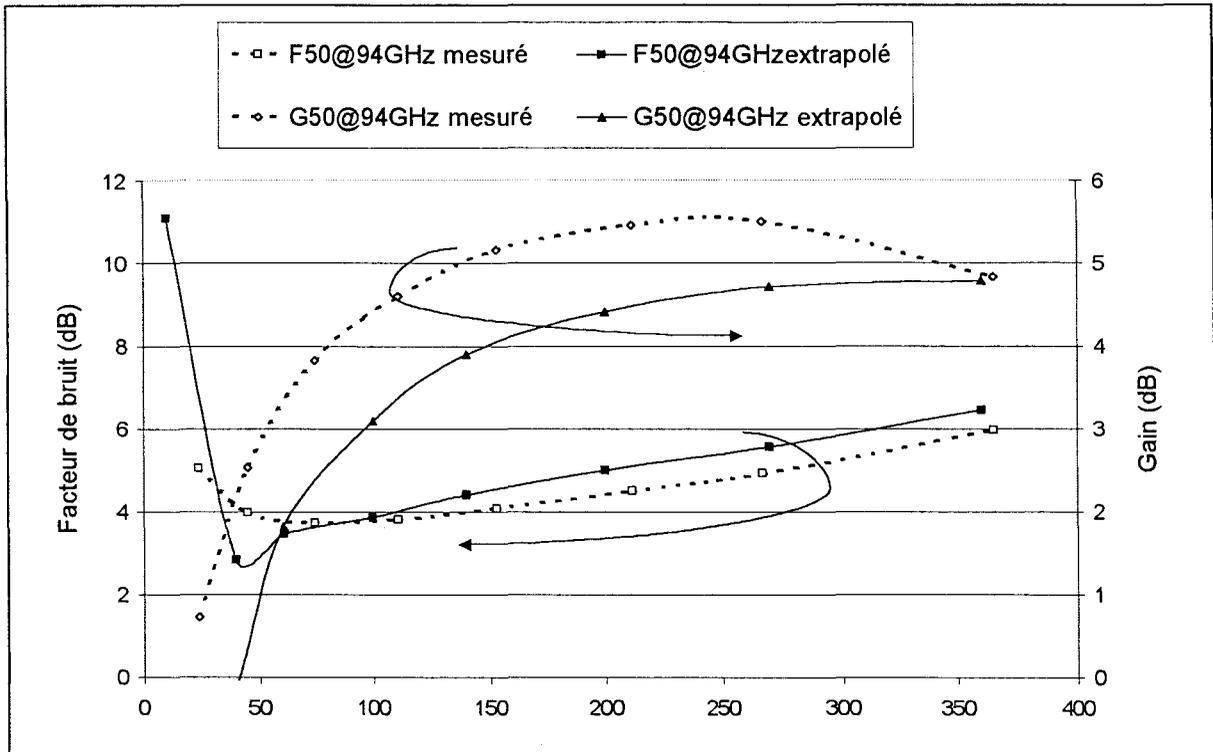


Figure 30 : Comparaison du F_{50} mesuré et extrapolé et du G_{50} mesuré et calculé à 94GHz

Le F_{50} mesuré et extrapolé ainsi que le G_{50} mesuré et calculé sont reportés sur la figure 30. On peut remarquer un bon accord entre la mesure et l'extrapolation pour le facteur de bruit et pour le gain. Par ailleurs il est à noter que le modèle est « pessimiste » par rapport à la mesure. En effet, le G_{50} mesuré est supérieur à celui extrapolé. Par conséquent, en pratique, nous pouvons espérer obtenir de meilleures performances et atteindre les objectifs fixés pour le F_{min} et le gain associé à 94 GHz.

III.9. La conduction parasite dans la couche tampon due à la contamination des substrats « prêts à l'emploi »

Ce problème de conduction parasite est lié à la contamination en silicium importante (pouvant atteindre quelque 10^{12} at/cm²) et mal maîtrisée de la surface des substrats « prêts à l'emploi ». Cette contamination, étudiée dans le chapitre 2, se caractérise par la présence d'un courant important dans la couche tampon après l'étape d'isolation par attaque méso.

Cette dernière, invisible pendant la caractérisation statique, se manifeste pendant la mesure en hyperfréquences. Ainsi, lorsque l'on teste l'isolation après attaque méso, le courant parasite apparaît pour des tensions de l'ordre de 4V. Ces valeurs de tensions n'étant jamais utilisées pour la polarisation du transistor, nous avons continué la fabrication des composants sur les plaques contaminées. Or, nous n'avions pas prévu que cette mauvaise isolation aurait des répercussions lors de la caractérisation hyperfréquence.

Quand il y a des charges dans la couche tampon, la méthode pour parvenir à déterminer correctement les caractéristiques intrinsèques du transistor est la suivante. On considère les plots d'accès situés de part et d'autre du transistor comme des quadripôles d'erreurs. On mesure les paramètres [S] du transistor complet ainsi que ceux des plots d'accès de grille et de drain. Ensuite, lors de l'exploitation, les erreurs introduites par ces lignes d'accès sont corrigées et on aboutit aux paramètres intrinsèques du transistor. La méthode complète est décrite en annexe.

III.10. Conclusion

Nous avons présenté dans ce chapitre les performances statiques, hyperfréquences et en bruit des transistors HEMTs que nous avons réalisés. Il s'agit de transistors de longueur de grille $0.1\mu\text{m}$ réalisés en technologie nitrure sur une structure adaptée en maille sur InP. Nous avons comparé les performances obtenues par les transistors en T et les transistors en Π réalisés sur un même substrat. Cela nous a permis de conclure à la supériorité des transistors en Π . L'évolution des performances hyperfréquences en fonction de l'optimisation du procédé de réalisation a été étudiée. Ainsi, en utilisant le procédé de réalisation optimisé, nous obtenons pour les transistors à grille ultracourte un bon rendement et de bonnes performances hyperfréquences. Nous avons vu que, en condition faible bruit, les performances hyperfréquences de ces transistors peuvent être améliorées par la dénitruration SF_6 . Par contre, la dénitruration CF_4 dégrade toujours les performances du transistor. La diminution des capacités parasites après la gravure SF_6 montre également que le nitrure est bien gravé en dessous du chapeau de grille. La passivation par 200\AA de nitrure à basse température semble être une bonne solution pour protéger le composant. Nous n'avons pas fait cependant d'étude sur la fiabilité des composants. Enfin, nous avons comparé les valeurs mesurées et calculées du facteur de bruit et du gain associé sur $50\ \Omega$ à $94\ \text{GHz}$. Nous avons observé un bon accord entre la mesure et le calcul. Le modèle de bruit obtenu à partir des mesures de bruit microondes donne un F_{min} de $2.38\ \text{dB}$ et une G_{ass} de 1.5dB à $94\ \text{GHz}$. Nous avons également vu que les valeurs données par le modèle de bruit sont « pessimistes ». On peut par conséquent espérer obtenir un facteur minimum de bruit et un gain associé meilleur que celui prévu par le modèle de bruit.

Bibliographie du Chapitre 3

[1]

Thèse G. DAMBRINE

« Caractérisation des transistors à effet de champ: mesure précise de la matrice de répartition et détermination directe du schéma équivalent »

3 MARS 1989. UNIVERSITE LILLE 1.

[2]

K. MARUHASHI, Y. ANDO, et coauteurs

« Determination of optimum gate width for millimeter-wave low noise amplifiers »

1994 PROC. ASIA PACIFIC MICROWAVE CONFERENCE, pp (287- 290).

[3]

G. DAMBRINE

« Caractérisation des composants hyperfréquences en régime de fonctionnement linéaire »

Habilitation à diriger des recherches 9 JANVIER 1996. UNIVERSITE LILLE 1.

[4]

Thèse J.M. BELQUIN

« Développement de bancs de mesures et de modèles de bruit de HEMT pour la conception de circuits faible bruit en gamme d'ondes millimétriques »

26 MARS 1997. UNIVERSITE LILLE 1.

CONCLUSION

GENERALE

CONCLUSION GENERALE

L'objectif que nous nous étions fixé au début de ce mémoire a été atteint. Nous avons conçu des motifs transistors adaptés à la réalisation de circuit en technologie coplanaire. Ces transistors ont montré de faibles valeurs des éléments parasites ce qui permet de conclure à une bonne optimisation de la topologie. Nous avons réalisé au laboratoire des transistors HEMTs de longueur de grille $0.1\mu\text{m}$ sur des structures adaptées en maille sur InP. Le procédé de fabrication est reproductible, il permet d'obtenir un bon rendement de fabrication et les transistors réalisés sont performants. Avec cette technologie, les transistors sont naturellement passivés par une couche de nitrure de 800\AA qui protège la zone active et qui permet d'obtenir des grilles submicroniques robustes.

Nous avons présenté, au cours des trois chapitres de ce mémoire, la démarche adoptée et le travail réalisé pour parvenir à ce résultat. Nous avons étudié dans le premier chapitre :

- le principe de fonctionnement et les différents types de HEMTs. Nous avons vu que l'hétérojonction AlInAs/GaInAs adaptée en maille sur InP présente de très bonnes propriétés de transport. Un transistor réalisé sur une structure adaptée en maille sur InP doit permettre de réaliser un amplificateur fonctionnant à 94GHz .
- les performances à l'état de l'art des composants pour différentes filières HEMTs. La comparaison des performances hyperfréquences des filières HEMT permet de conclure sur la supériorité des hétérojonctions AlInAs/GaInAs. A l'aide de cette base de données, nous pouvons évaluer les performances obtenues par les transistors réalisés en technologie nitrure. On voit ainsi que les performances atteintes par ces transistors de longueur de grille $0.1\mu\text{m}$ sont quasiment à l'état de l'art
- les paramètres qui conditionnent les performances du transistor HEMT dans le cadre d'applications « faible bruit - faible signal ». Ainsi, les grandeurs caractéristiques auxquelles il faut s'intéresser sont F_c , G_m , R_s , R_g , G_d , et C_{gd} . Il s'agit de paramètres importants pour l'amplification faible bruit - faible signal. Un procédé de fabrication des transistors optimisé permet de réduire les valeurs de R_s , R_g , G_d , et C_{gd} . A l'inverse, les valeurs de F_c et de G_m doivent être les plus élevées possibles.

A partir de ces résultats, nous avons défini et optimisé un procédé de fabrication de HEMTs qui permette de remplir ces conditions. Pour cela nous avons étudié dans le second chapitre :

- les performances que doivent présenter les transistors pour réaliser des circuits amplificateurs performants en bandes V et W.
- la topologie des transistors pour qu'ils soient facilement intégrés dans un circuit réalisé en technologie coplanaire. Nous avons vu que la topologie des transistors devait également présenter les éléments parasites les plus faibles possibles. Pour cela, nous avons dessiné des transistors en Π . Ils présentent de faibles valeurs de selfs et de capacités parasites. A partir de la mesure des éléments parasites, nous avons pu conclure que les transistors en Π du masque 4AS réalisés en technologie coplanaire étaient optimisés pour un bon fonctionnement en bande V et W.
- les différentes étapes qui permettent de réaliser un transistor en technologie nitrure. Nous avons travaillé sur l'optimisation de la technologie nitrure pour obtenir des transistors performants et reproductibles. Nous avons pu voir que l'étape la plus critique est celle de la réalisation de la grille. La longueur de grille obtenue avec le procédé grille nitrure optimisé est $L_g < 0.1 \mu\text{m}$.

Après avoir acquis la maîtrise du procédé optimisé, nous avons étudié en régime linéaire les performances statiques, hyperfréquences et en bruit des transistors que nous avons réalisés. Pour cela nous avons étudié dans le troisième chapitre :

- les performances obtenues par les transistors en T et les transistors en Π réalisés avec le masque BATMAN sur un même substrat. Cela nous a permis de conclure à la supériorité des transistors en Π .
- les performances hyperfréquences obtenues avec le procédé de réalisation optimisé (fin de l'étude) et non optimisé (début de l'étude). Nous avons vu que le procédé

de réalisation optimisé permet d'obtenir des transistors avec une longueur de grille inférieure à $0.1\mu\text{m}$. Nous obtenons également un bon rendement de fabrication et de bonnes performances hyperfréquences. La fréquence de transition F_t typique pour un transistor naturellement passivé par 800\AA de nitrure est 205 GHz. La fréquence de transition F_{max} estimée est de 280 GHz.

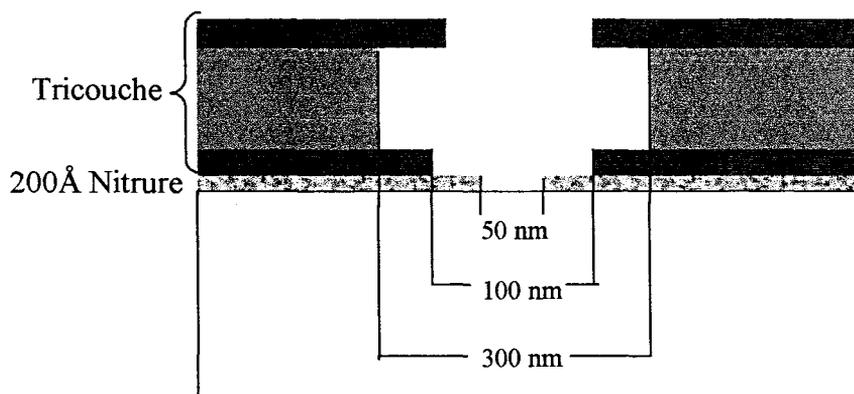
- la diminution des capacités parasites après la gravure SF_6 en introduisant de nouvelles capacités parasites. L'étude de ces capacités en fonction du développement du transistor W permet d'obtenir une meilleure définition du schéma équivalent. La diminution de la valeur de ces capacités après gravure montre que le nitrure est bien gravé en dessous du chapeau de grille.
- en condition faible bruit, l'amélioration des performances hyperfréquences des transistors par la dénitruration SF_6 . Nous obtenons une augmentation intéressante de F_c après la gravure isotrope du nitrure. Nous avons vu que la dénitruration CF_4 dégrade toujours les performances du transistor.
- l'effet de la passivation par 200\AA de nitrure à basse température. Nous avons vu que cela paraît être une bonne solution pour protéger le composant. Nous n'avons pas fait cependant d'étude sur la fiabilité des composants.
- les mesures en bruit microondes et en bande W des transistors en Π . Nous avons comparé les valeurs mesurées et calculées du facteur de bruit et du gain associé sur $50\ \Omega$ à 94 GHz. Nous avons observé un bon accord entre la mesure et le calcul. Le modèle de bruit obtenu à partir des mesures de bruit microondes donne un F_{min} de 2.6 dB et un G_{ass} de 4 dB à 94 GHz. Nous avons également vu que les valeurs données par le modèle de bruit sont « pessimistes ». On peut par conséquent espérer obtenir un facteur minimum de bruit et un gain associé meilleur que celui prévu par le modèle de bruit.

PERSPECTIVES

PERSPECTIVES

Les perspectives de ce travail sont nombreuses.

- Nous souhaitons réaliser des transistors de dimensions ultimes. Il s'agit de travailler sur la longueur du pied de grille pour que celle-ci soit la plus faible possible. Nous avons vu dans le premier chapitre que le rapport d'aspect L_g/A doit être supérieur à 5, L_g étant la longueur de grille et A l'épaisseur de la couche active. L'épaisseur ultime pour A est de 100\AA . En effet, si A est inférieure à 100\AA , on s'approche trop près du plan de dopage et on favorise le passage des électrons par effet tunnel. Pour respecter la condition imposée par le rapport d'aspect, la longueur de grille L_g ultime est par conséquent fixée à 50nm . Pour diminuer la longueur de grille jusqu'à 50nm , une nouvelle technique de réalisation consiste à recouvrir la structure de 200\AA de nitrure au lieu de 800\AA . Le pied de grille sera inséré dans cette couche de nitrure de 200\AA . Cette fine épaisseur permet d'obtenir une faible ouverture nitrure et donc de faibles longueurs de grille. L'idée est d'aligner au dessus de cette ouverture un tricouche de résine. Cela permet d'une part d'épaissir suffisamment la métallisation de grille pour diminuer la résistance métallique R_m . D'autre part, la surface de la métallisation du chapeau de grille en contact avec le nitrure est moins grande. En effet, dans le cas des 200\AA de nitrure, l'ouverture de la résine qui est en contact avec le nitrure est plus petite que celle obtenue avec les 800\AA . Le recouvrement de part et d'autre du pied de grille est de 25nm dans le cas des 200\AA , alors qu'il est de 100nm avec la technologie nitrure 800\AA . Le schéma explicatif pour la structure recouverte par 200\AA de nitrure est donné ci-dessous.



- Nous souhaitons utiliser la technologie et la topologie des transistors en Π à grille nitrure pour faire de l'intégration 3D. Nous voulons ainsi diminuer l'encombrement des circuits

sur le substrat. Le but est de réaliser une partie du circuit passif au dessus des transistors. Pour cela, il faut recouvrir les transistors d'une couche de polyimide afin d'assurer l'isolation entre les éléments situés au dessus du composant et le composant lui-même. Pour éviter que cette étape ne dégrade les transistors, nous souhaitons réaliser des ponts qui doivent recouvrir entièrement les transistors. Le dépôt de polyimide est ainsi réalisé sur les ponts et non sur les transistors. De cette manière, on doit parvenir à réduire la taille du circuit sans dégrader les performances des composants.

- Nous souhaitons étudier les circuits en régime de fonctionnement non linéaire.
- Nous souhaitons approfondir l'étude sur l'influence de la passivation des composants. L'objectif est d'éviter la dérive de leurs performances au cours du temps. Il faut s'assurer de l'efficacité et de la "non dégradation" des performances du composant après passivation.
- Enfin, nous souhaitons réaliser et caractériser des amplificateurs performants en bandes V et W. Un premier essai est en cours de réalisation. Pour cela, nous avons établi au cours de ce travail une base de données composée des performances hyperfréquences et en bruit des composants. Il s'agit des transistors HEMTs adaptés en maille sur InP réalisés au laboratoire à l'aide de la technologie nitrure. La longueur de grille est de 0.1 μ m.

Les résultats qui composent cette base de données sont obtenus pour des transistors naturellement passivés et également pour des transistors dénitrurés à l'aide de la gravure isotrope SF₆. Cette base de données a été utilisée par la société DASSAULT ELECTRONIQUE pour faire la conception des circuits en bande V et W dans le cadre d'un contrat de recherche DGA 95162-95536. La disposition schématique des amplificateurs est donnée sur la figure 1. Le masque qui permet de réaliser l'ensemble des circuits est appelé MISTRAL. Le détail complet de ce masque est donné sur la figure 2.

94-1	94-0	94-0	94 BOITIER
94-1	60-1	60-1	60 BOITIER
TEST	60-0	60-0	Lignes SM

Figure 1 : Disposition schématique des amplificateurs

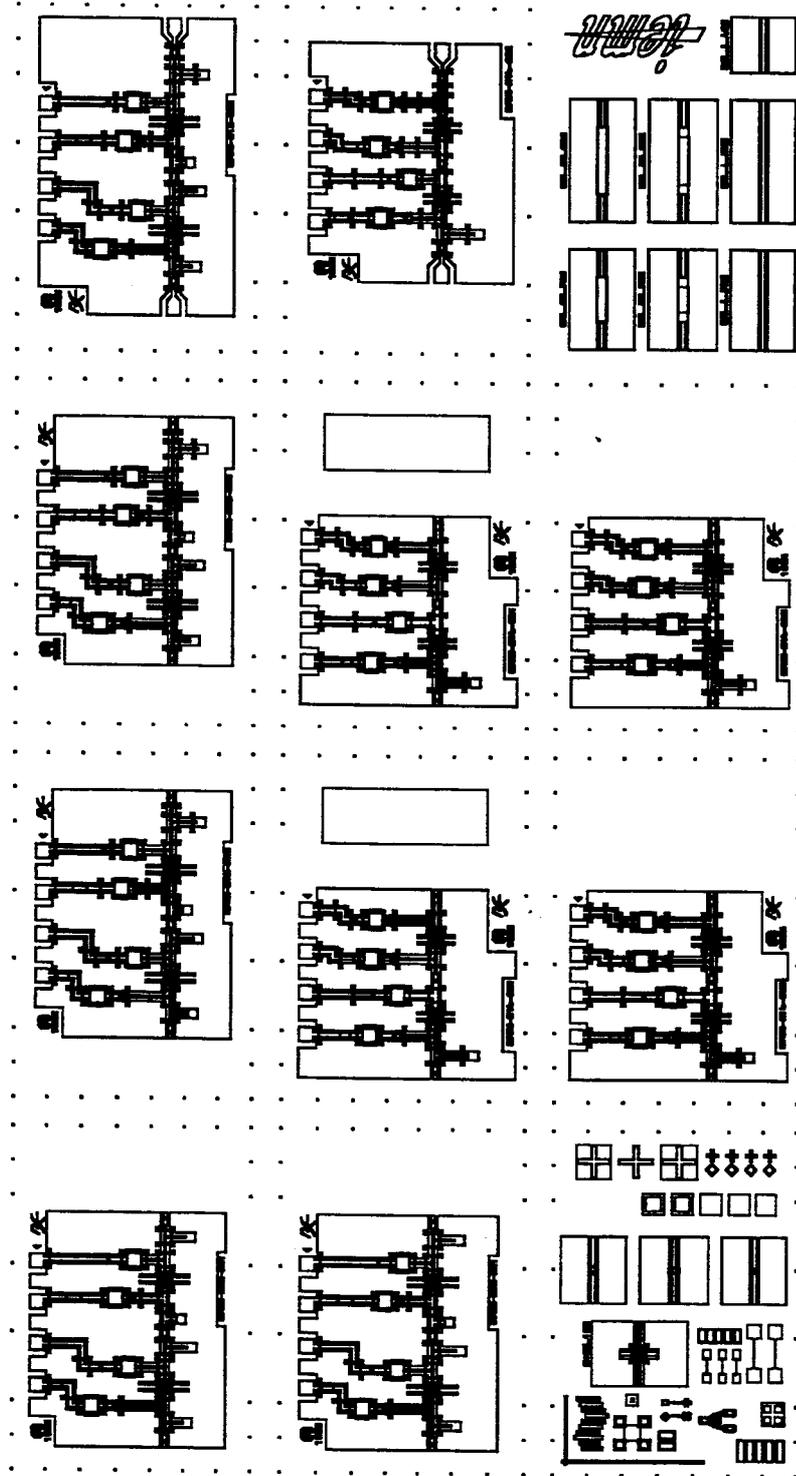


Figure 2 : Masque MISTRAL

Les numéros 60-0 et 94-0 correspondent aux amplificateurs réalisés respectivement pour les fréquences 60 et 94 GHz. Ils sont représentés respectivement sur les figures 3 et 4. La conception de ces modules à été réalisée à partir de modèles électriques développés à l'IEMN.

Les numéros 94-1 et 60-1 correspondent aux amplificateurs réalisés respectivement pour les fréquences 60 et 94 GHz. Ils sont représentés respectivement sur les figures 5 et 6. La conception de ces modules à été réalisée à partir de modèles électriques obtenus à l'aide des logiciels LIBRA et SONNET.

Les noms 60 BOITIER et 94 BOITIER correspondent aux modules amplificateurs prévus pour la montée en boîtier. Ils sont reportés respectivement sur les figures 7 et 8. La conception de ces modules à été réalisée à partir de modèles électriques développés à l'IEMN.

Il y a également un module composé de différentes lignes coplanaires pour assurer un bon calibrage lors de la caractérisation des modules amplificateurs.. Ce module est reporté sur la figure 9.

Enfin, comme dans les masques BATMAN et 4AS, il y a également un module de tests pour contrôler le déroulement du procédé de fabrication et valider chacune des étapes technologiques. Les éléments de cette cellule tests sont donnés figure 10.

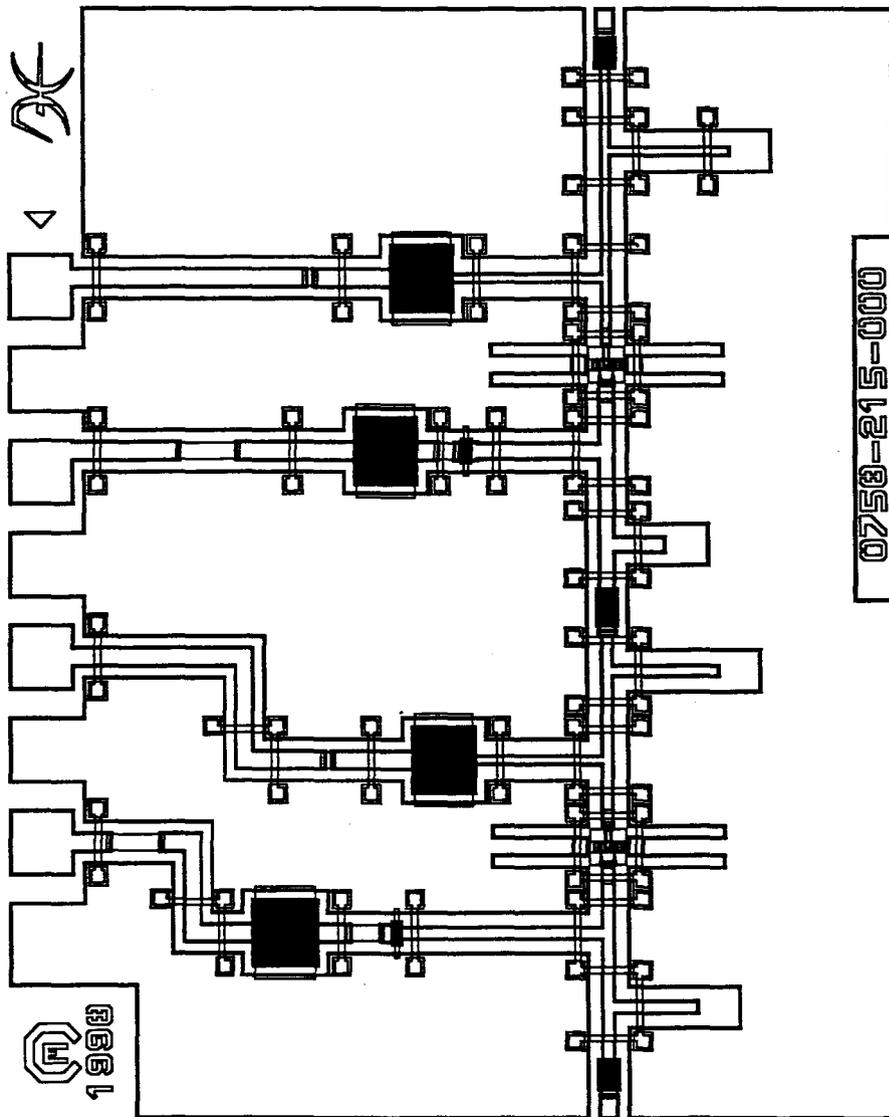


Figure 3 : Module amplificateur 60 GHz (modèles IEMN)

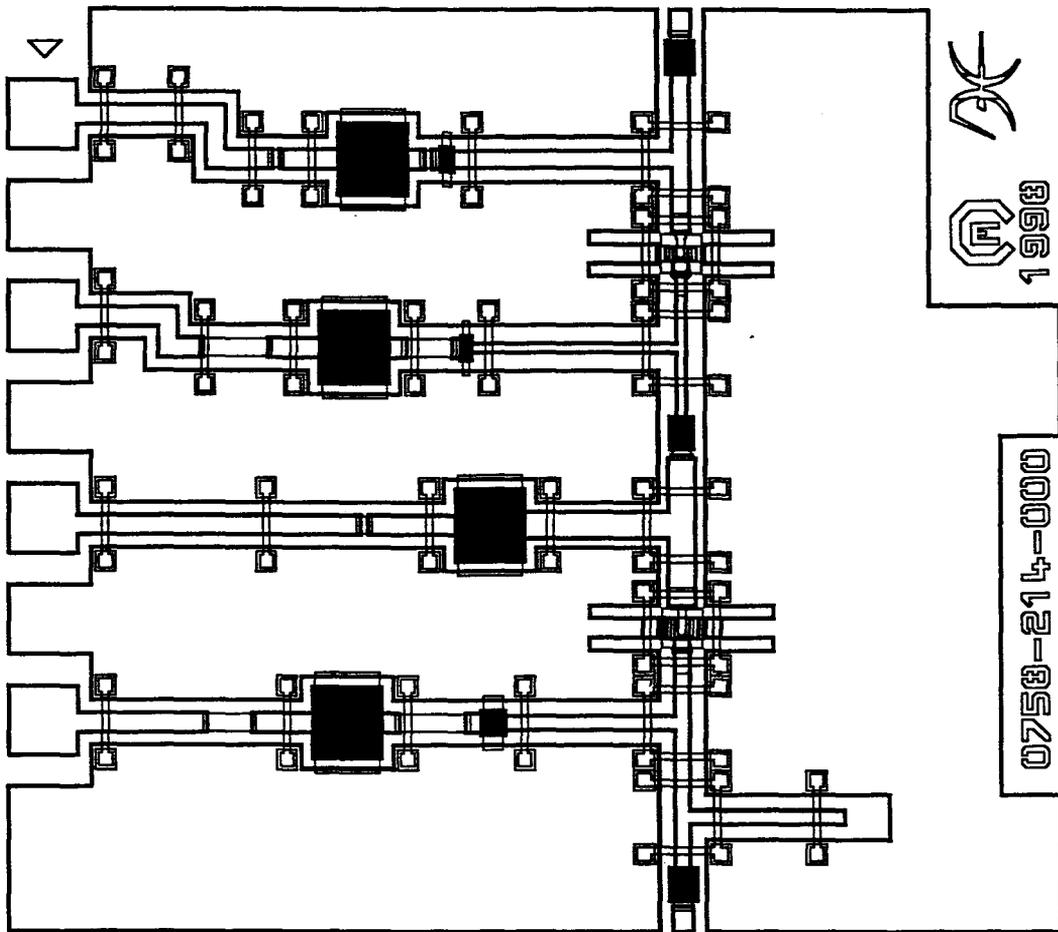


Figure 4 : Module amplificateur 94 GHz (modèles IEMN)

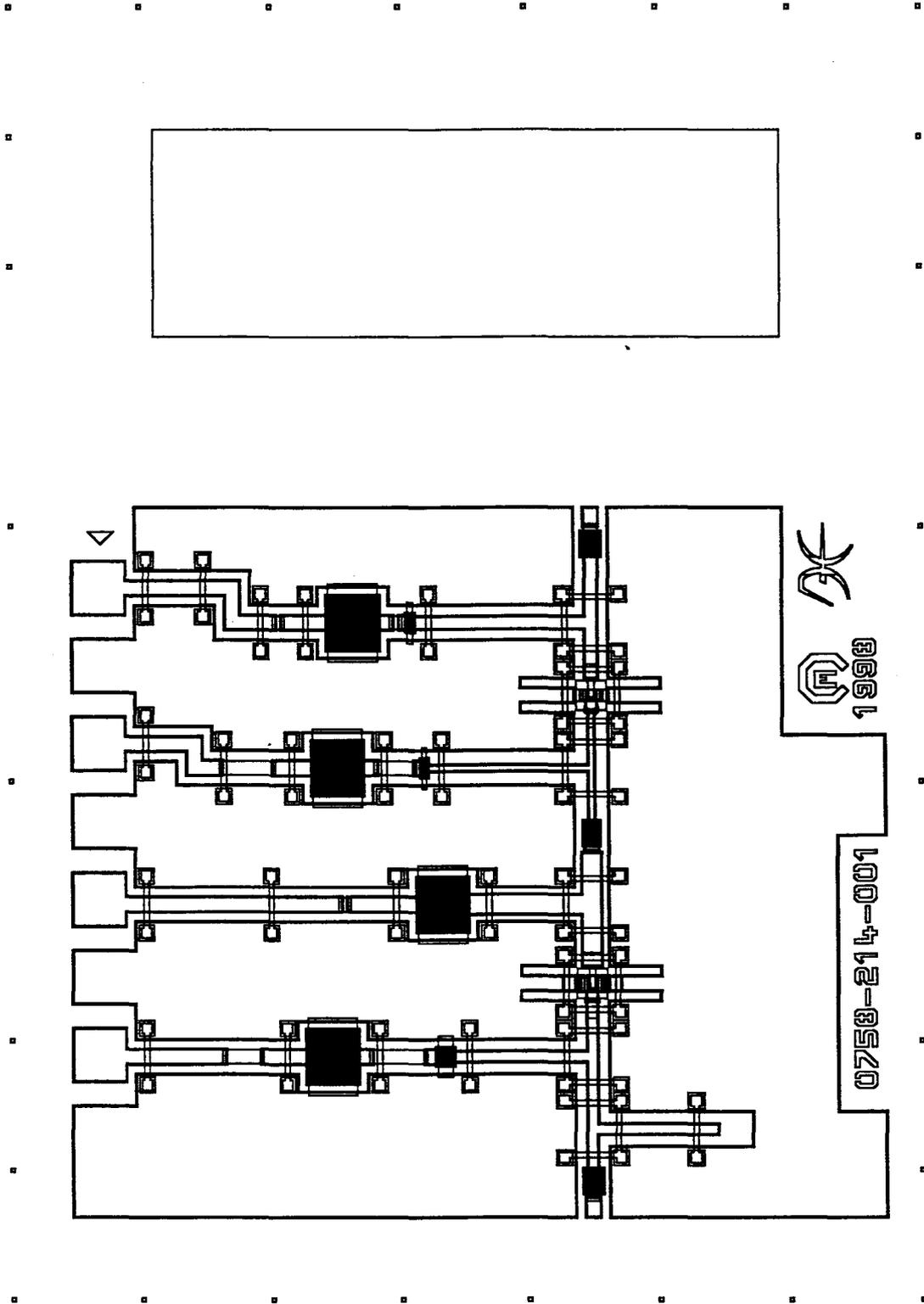


Figure 5 : Module amplificateur 60 GHz (modèles LIBRA/SONNET)

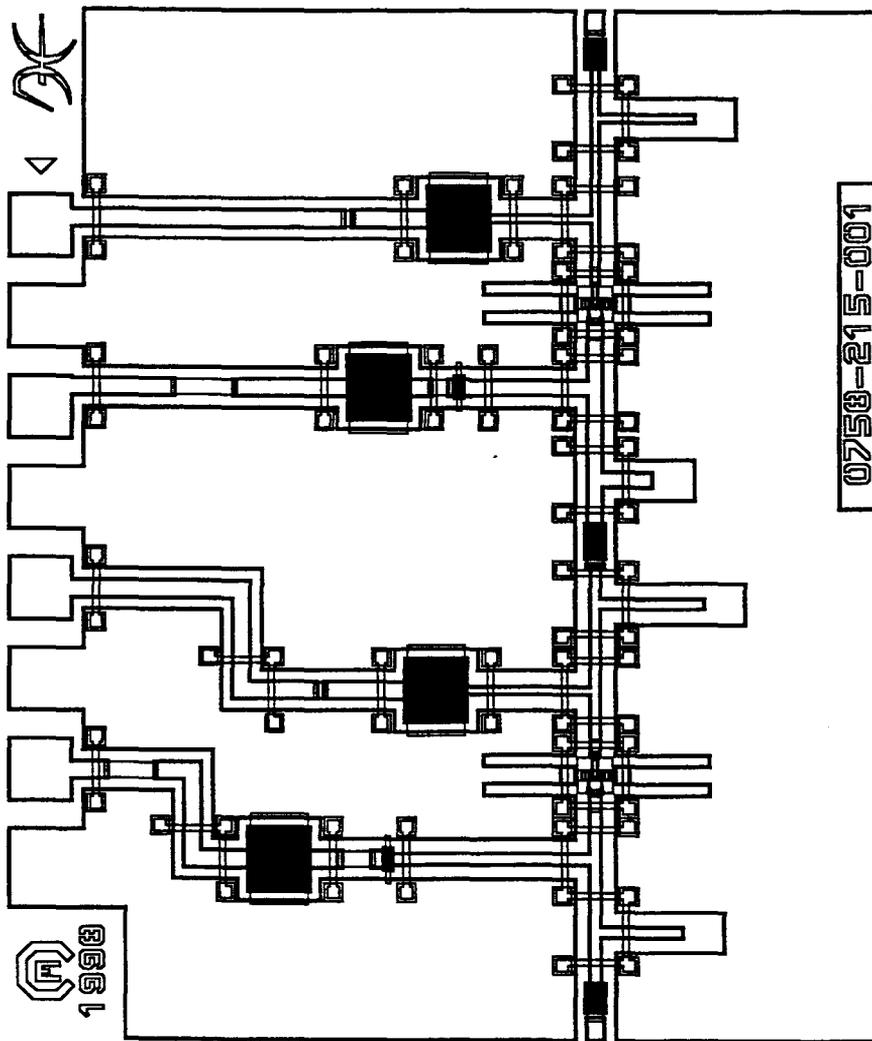


Figure 6 : Module amplificateur 94 GHz (modèles LIBRA/SONNET)

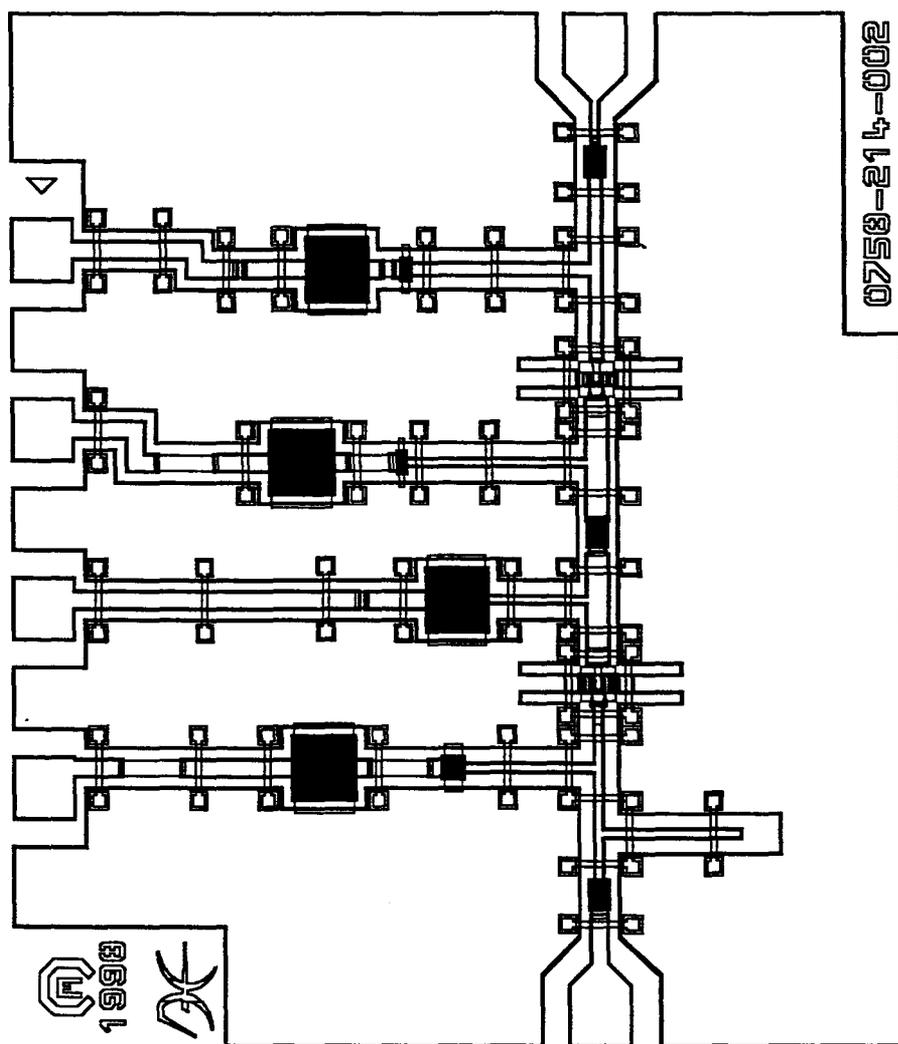


Figure 7 : Module amplificateur 60 GHz version boîtier (modèles IEMN)

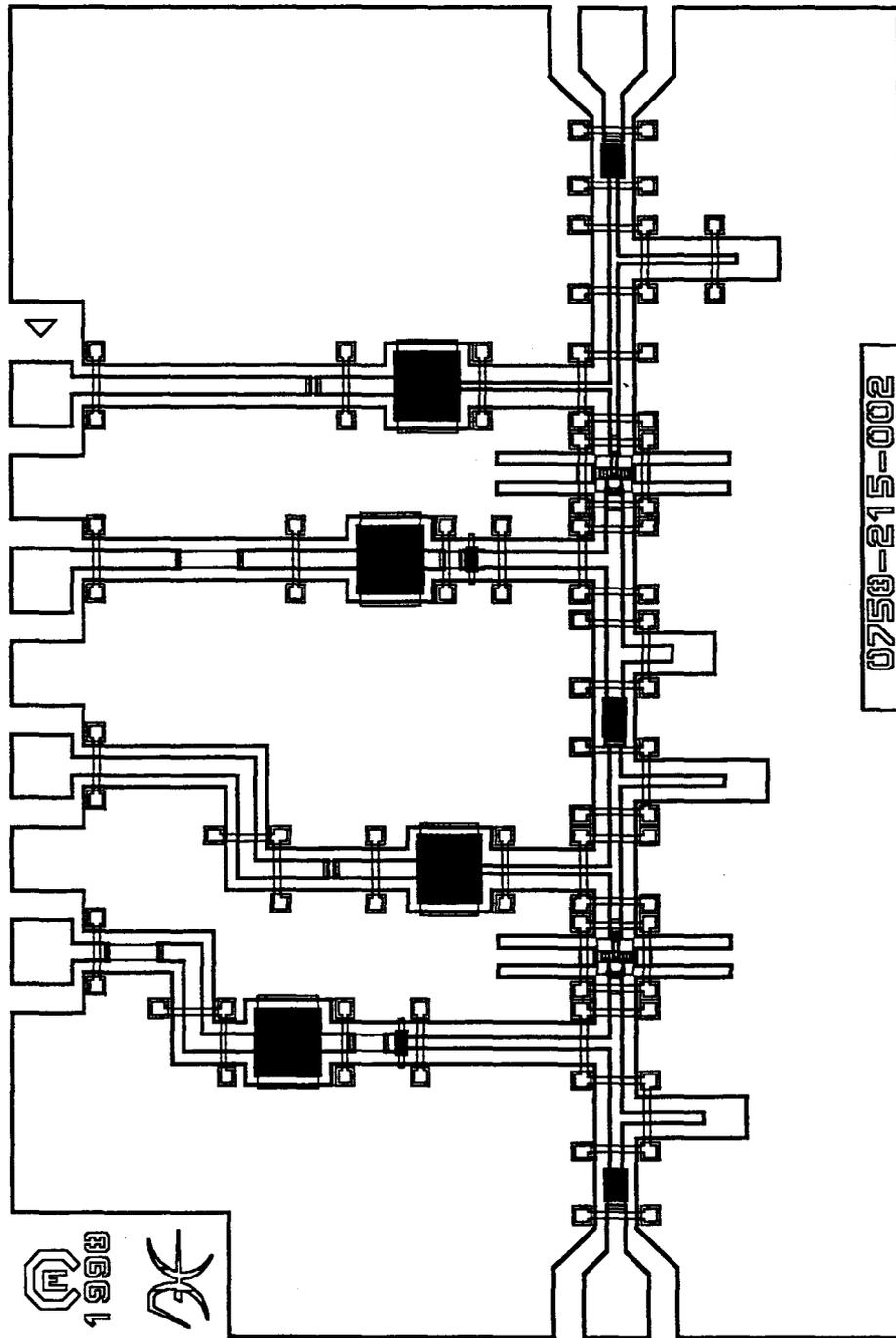


Figure 8 : Module amplificateur 94 GHz version boîtier (modèles IEMN)

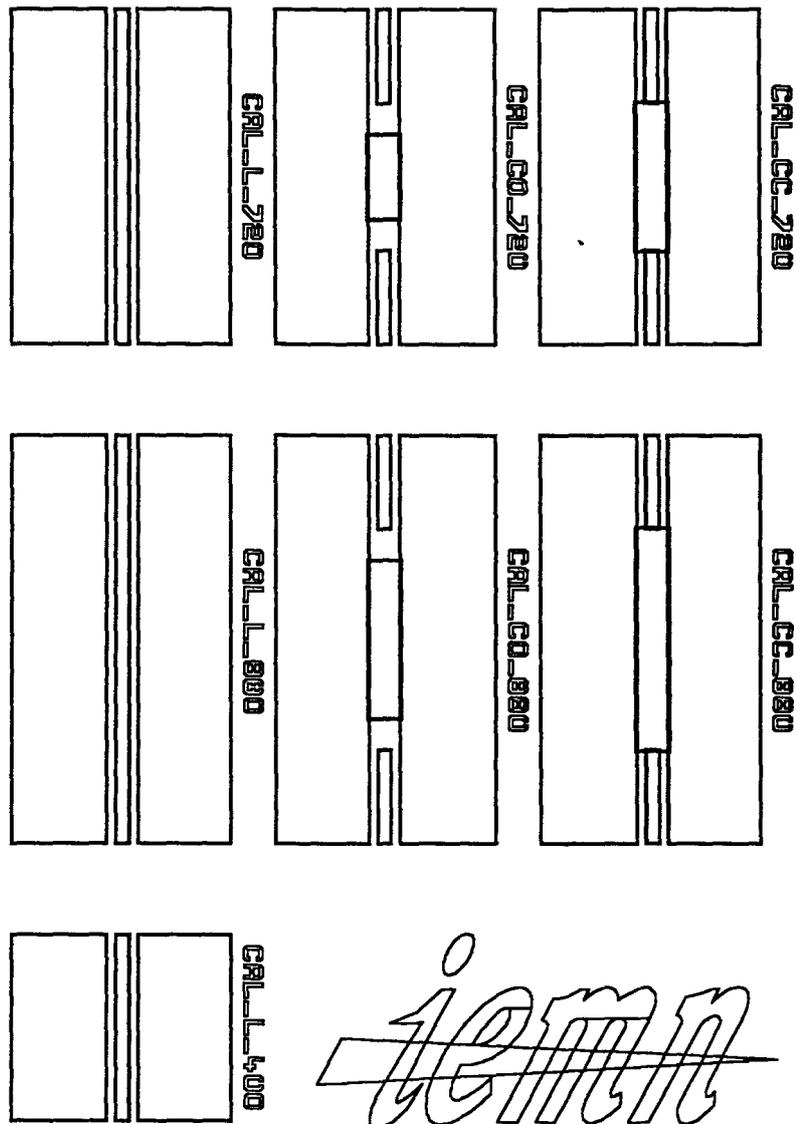


Figure 9 : Module lignes de calibrage (modèles IEMN)

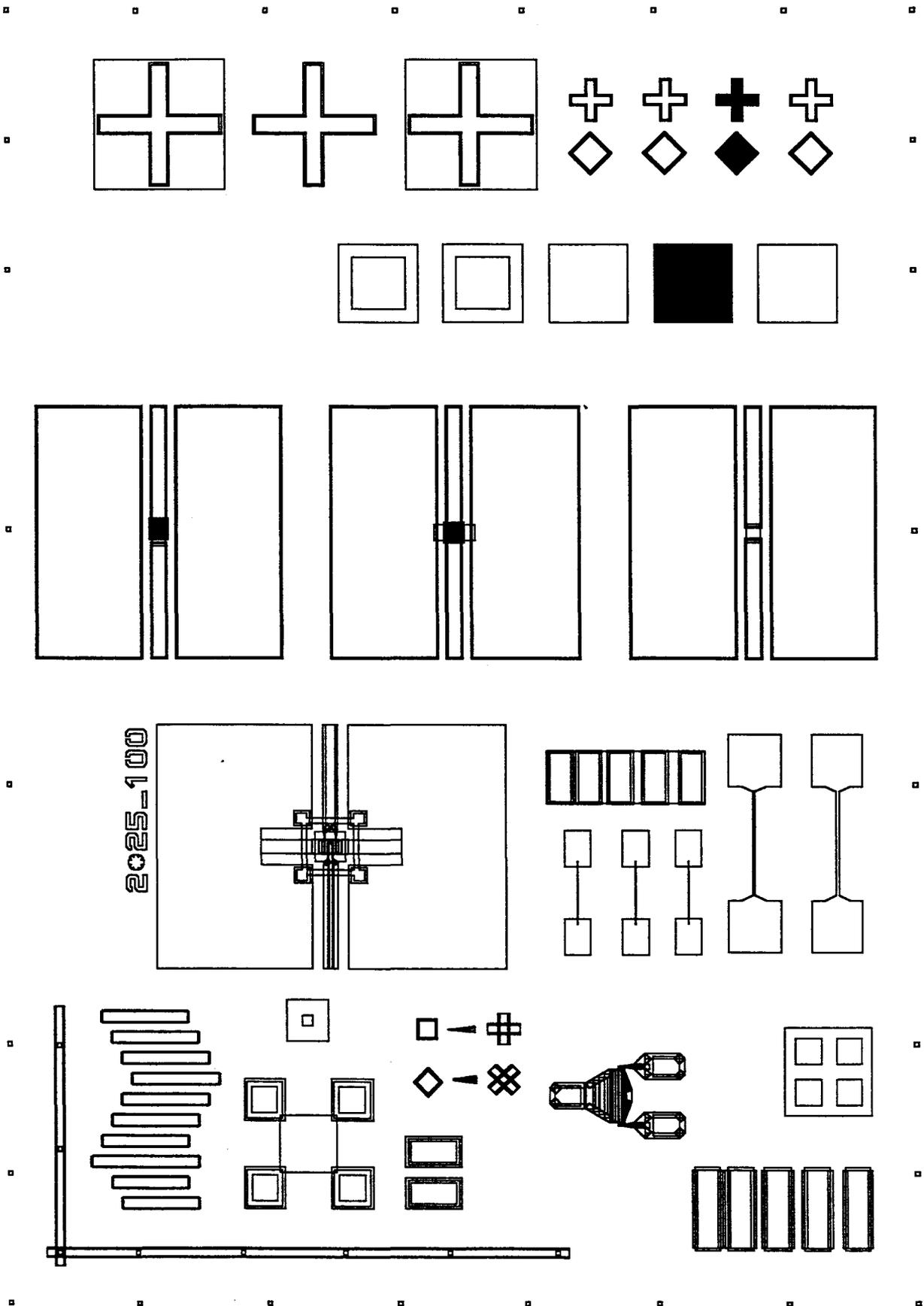


Figure 10 : Module de tests (modèles IEMN)

La difficulté du travail pour réaliser ces modules amplificateurs vient de la combinaison de deux technologies. Il faut associer la technologie des transistors à celle des éléments passifs. La grille du transistor doit être robuste et le transistor performant même après la réalisation des éléments passifs. Il y a en tout 15 niveaux de masques.

L'ordre défini pour la réalisation des éléments actifs et passifs qui composent les circuits est le suivant. Il a été déterminé en collaboration avec S.Boret, les ingénieurs et techniciens de la centrale de technologie.

Niveau de masque 0 Découpage masqueur	commun
Niveau de masque 1 Dépôt marques alignement masqueur	commun
Niveau de masque 2 Petit méso	transistor
Niveau de masque 3 Grand méso	transistor
Niveau de masque 4 Contact ohmique	transistor
Niveau de masque 5 Electrode inférieur des capacités	passif
Niveau de masque 6 Plot d'épaississement	transistor
Dépôt de nitrure	commun
Niveau de masque 7 Pied de grille	transistor
Niveau de masque 8 Haut de grille	transistor
Niveau de masque 9 Gravure du nitrure pour les capacités MIM	passif
Niveau de masque 10 Résistance métallique	passif

Niveau de masque 11 1 ^{er} niveau ligne coplanaire	passif
Niveau de masque 12 ligne coplanaire	passif
Niveau de masque 13 Pilier pont à air	passif
Niveau de masque 14 Tablier pont à air	passif
Niveau de masque 15 Nitrure capa MIM bicouche	passif

Les résultats que l'on peut espérer obtenir pour les amplificateurs à 60 et 94 GHz en technologie nitrure dessinés à partir des modèles électriques IEMN sont reportés sur les figures suivantes. Les résultats simulés du circuit amplificateur à 60 GHz sont sur la figure 11. La simulation prévoit un circuit réalisé avec des transistors naturellement passivés et des transistors dénitrurés SF₆. Les mêmes résultats simulés sont donnés à 94 GHz sur la figure 12.

Les résultats de la simulation sont donnés dans le tableau 1.

	Fmin (dB) « naturellement passivés »	Gass (dB) « naturellement passivés »	Fmin (dB) « dénitrurés SF ₆ »	Gass (dB) « dénitrurés SF ₆ »
60 GHz	2.8-2.9	14.5	2.5-2.6	15.6
94 GHz	3.8	10.5	3.3	13.5

Tableau 1 : Les résultats de simulation obtenus pour les amplificateurs à 60 et 94 GHz naturellement passivés et dénitrurés (modèles IEMN)

Ces circuits sont en cours de réalisation au laboratoire. Il s'agit de la première réalisation de circuits intégrés monolithiques en bandes V et W à l'IEMN. Ce travail est le résultat d'une collaboration étroite entre les personnes qui travaillent en conception, en technologie et en caractérisation.

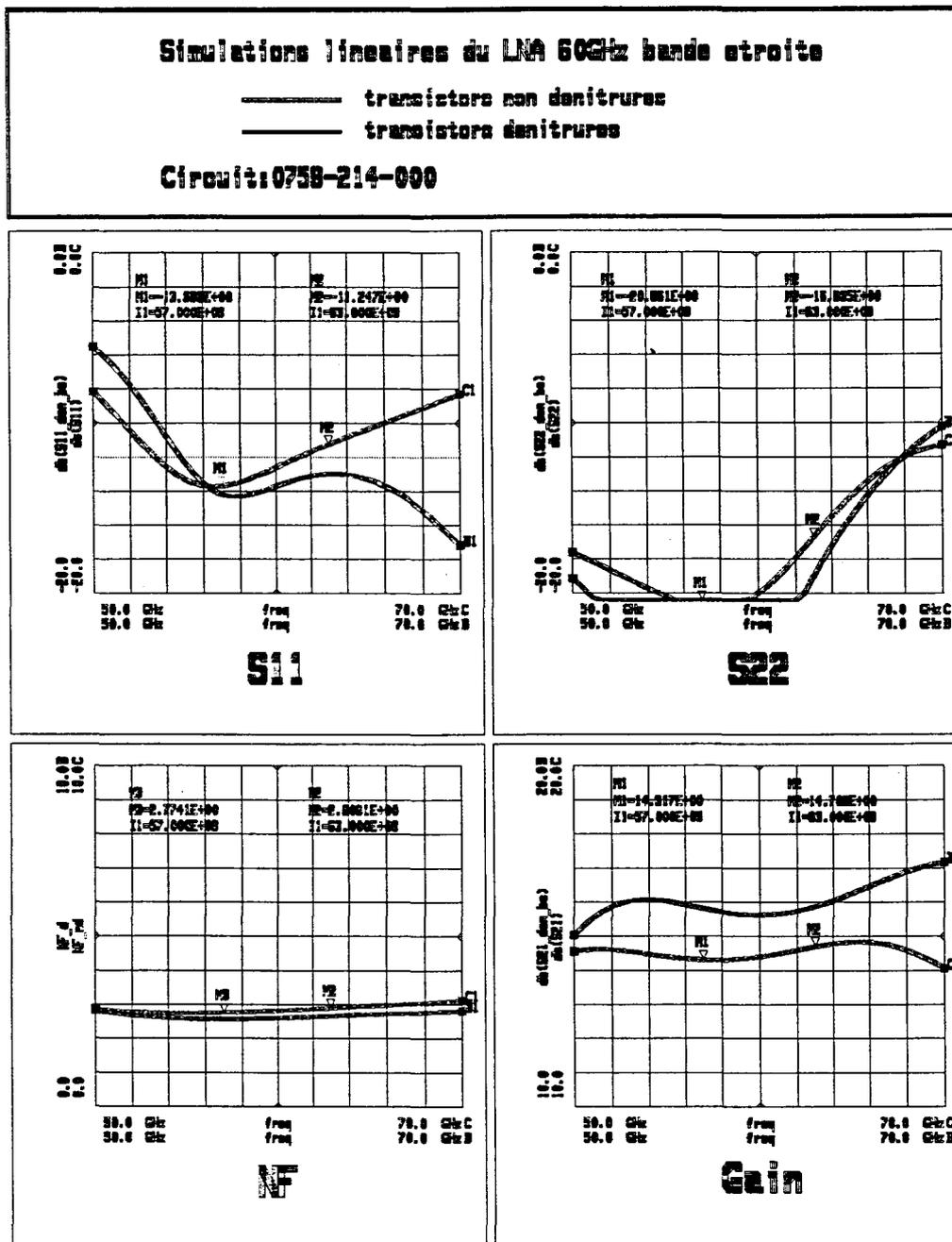


Figure 11 : Les résultats de simulation du circuit amplificateur à 60 GHz réalisé avec des transistors naturellement passivés et dénitrurés SF₆.

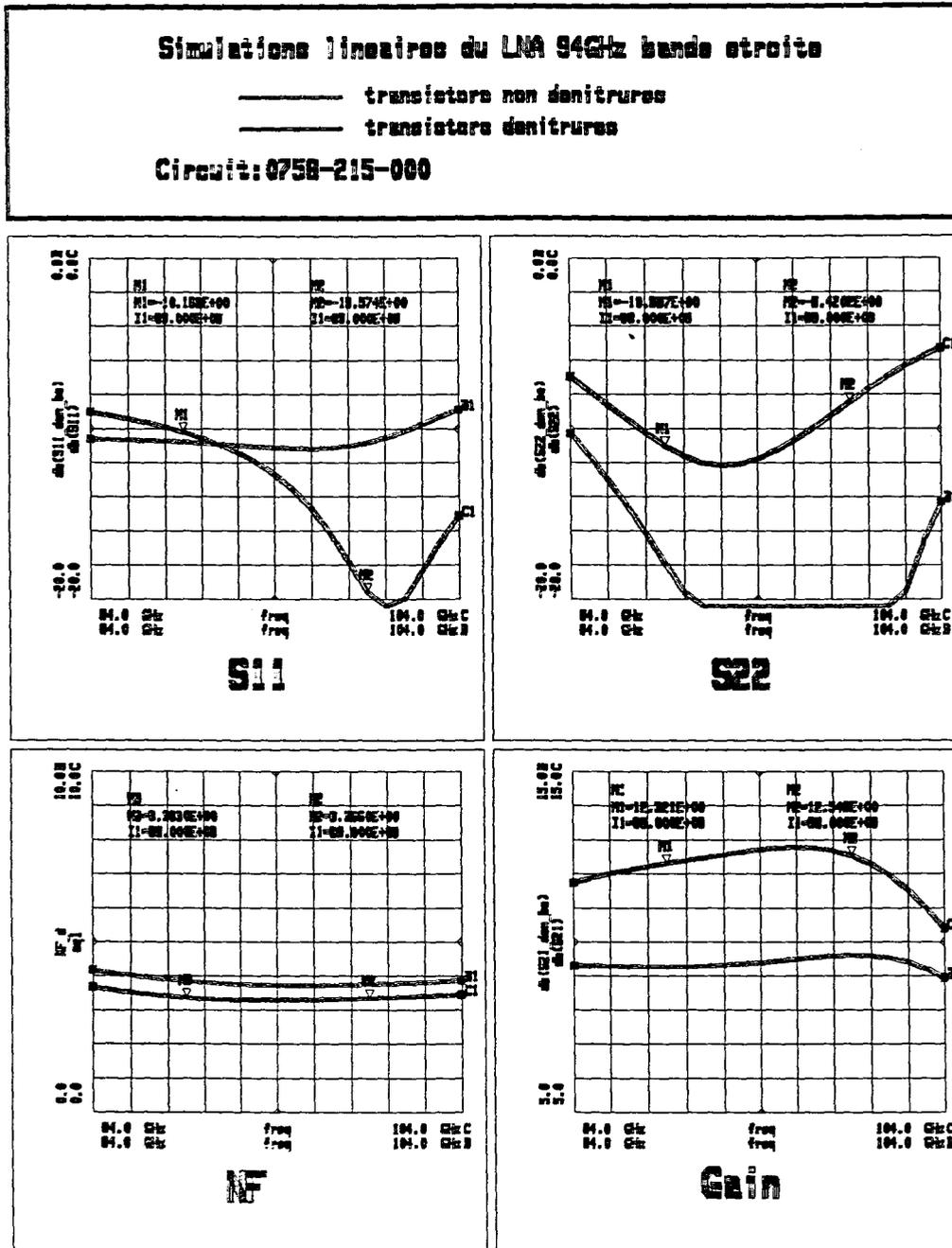


Figure 12 : Les résultats de simulation du circuit amplificateur à 94 GHz réalisé avec des transistors naturellement passivés et dénitrurés SF₆.

ANNEXE

ANNEXE : La conduction parasite dans la couche tampon due à la contamination des substrats « prêts à l'emploi »

Ce problème de conduction parasite dans la couche tampon a été évoqué dans le chapitre 2. Nous avons vu que cela se caractérise par la présence d'un courant important après l'étape d'isolation par attaque méso.

Nous allons étudier dans cette annexe la manifestation de cette conduction parasite lors de la mesure hyperfréquence des composants. Nous allons par ailleurs exposer la méthode utilisée pour parvenir à déterminer correctement les caractéristiques intrinsèques du transistor.

Pour cela, les paramètres S_{11} d'un transistor sans contamination et celui d'un transistor avec contamination sont reportés sur la figure 1. On observe dans le cas du transistor avec conduction un décalage à l'intérieur de l'abaque du paramètre S_{11} . Cela est dû à la présence des charges libres dans la couche tampon. De plus, cette couche tampon se situant en dessous de plots d'accès transistor très grands, cela se traduit par la présence d'une capacité.

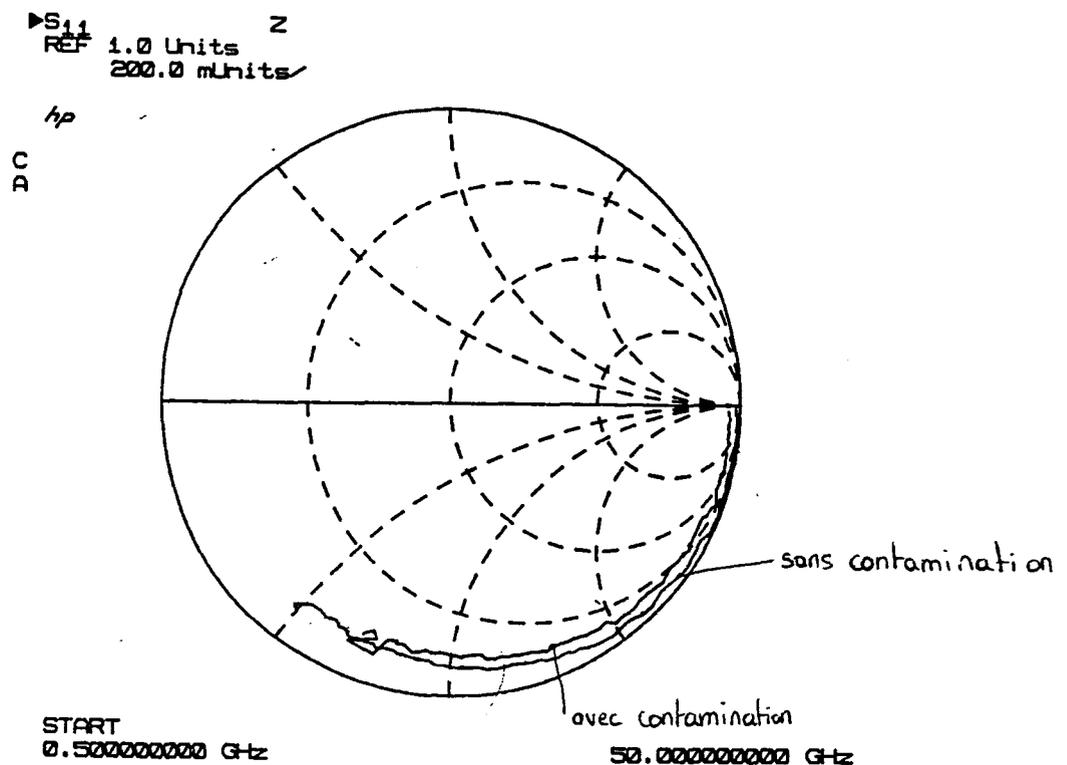
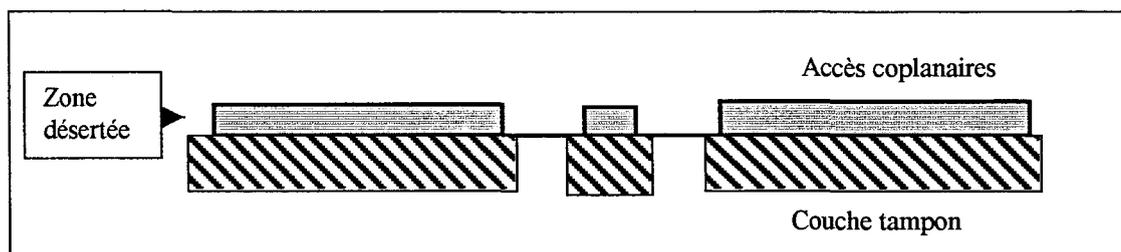
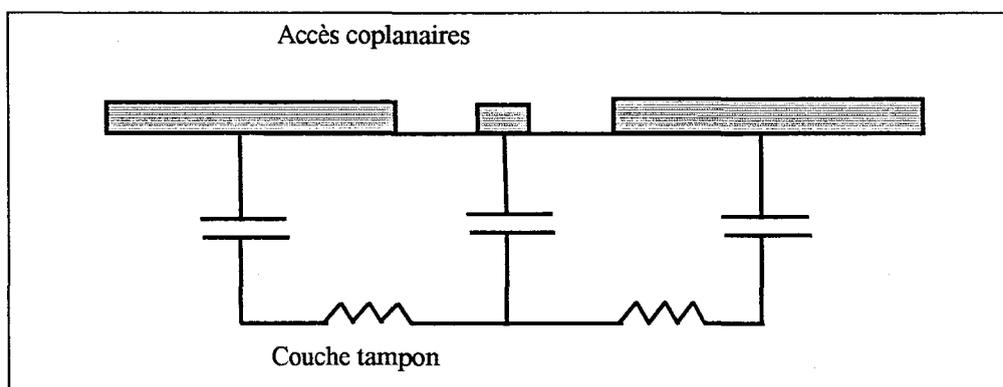


Figure 1 : Les paramètres S_{11} pour un transistor avec conduction et sans conduction dans la couche tampon.

Cette dernière, invisible pendant la caractérisation statique, se manifeste pendant la mesure hyperfréquence. On peut l'expliquer à l'aide des plots d'accès. En effet, ceux-ci sont posés sur un matériau semi-conducteur formant un contact métal-SC. Cela entraîne la formation d'une zone désertée qui ne laisse rien apparaître en statique et qui se manifeste par la commande des charges libres dans la couche tampon en hyperfréquences. Le décalage dans l'abaque est du à la présence de cette capacité parasite et de la résistivité de la couche tampon en hyperfréquences. Les schémas explicatifs pour la caractérisation statique et la caractérisation hyperfréquence sont reportés respectivement sur la figure 2.a) et sur la figure 2.b).



2.a) caractérisation statique



2.b) caractérisation hyperfréquences

Figure 2: Représentation de la conduction dans le substrat

Pour tenir compte des charges dans la couche tampon, la méthode est la suivante. On considère que les lignes d'accès situées de part et d'autre du transistor comme des quadripôles d'erreurs. Ainsi, à l'aide des matrices chaînes [Ch], on peut dire que :

$$[Ch]_{\text{transistor total}} = [Ch]_{\text{ligne d'accès coté grille}} \cdot [Ch]_{\text{transistor intrinsèque}} \cdot [Ch]_{\text{ligne d'accès coté drain}} \quad (1)$$

et donc :

$$[Ch]_{\text{transistor intrinsèque}} = [Ch]_{\text{ligne d'accès coté grille}}^{-1} \cdot [Ch]_{\text{transistor total}} \cdot [Ch]_{\text{ligne d'accès coté drain}}^{-1} \quad (2)$$

Par conséquent, on mesure les paramètres [S] du transistor complet ainsi que ceux des plots d'accès de grille et de drain. Ensuite, lors de l'exploitation les erreurs introduites par ces lignes d'accès sont corrigées et on aboutit aux paramètres intrinsèques du transistor.

Il est également à noter que cette contamination n'est pas uniforme entre les substrats. Pour cela nous avons reporté sur la figure 3, le paramètre S_{11} d'un accès posé sur une couche tampon fortement contaminée.

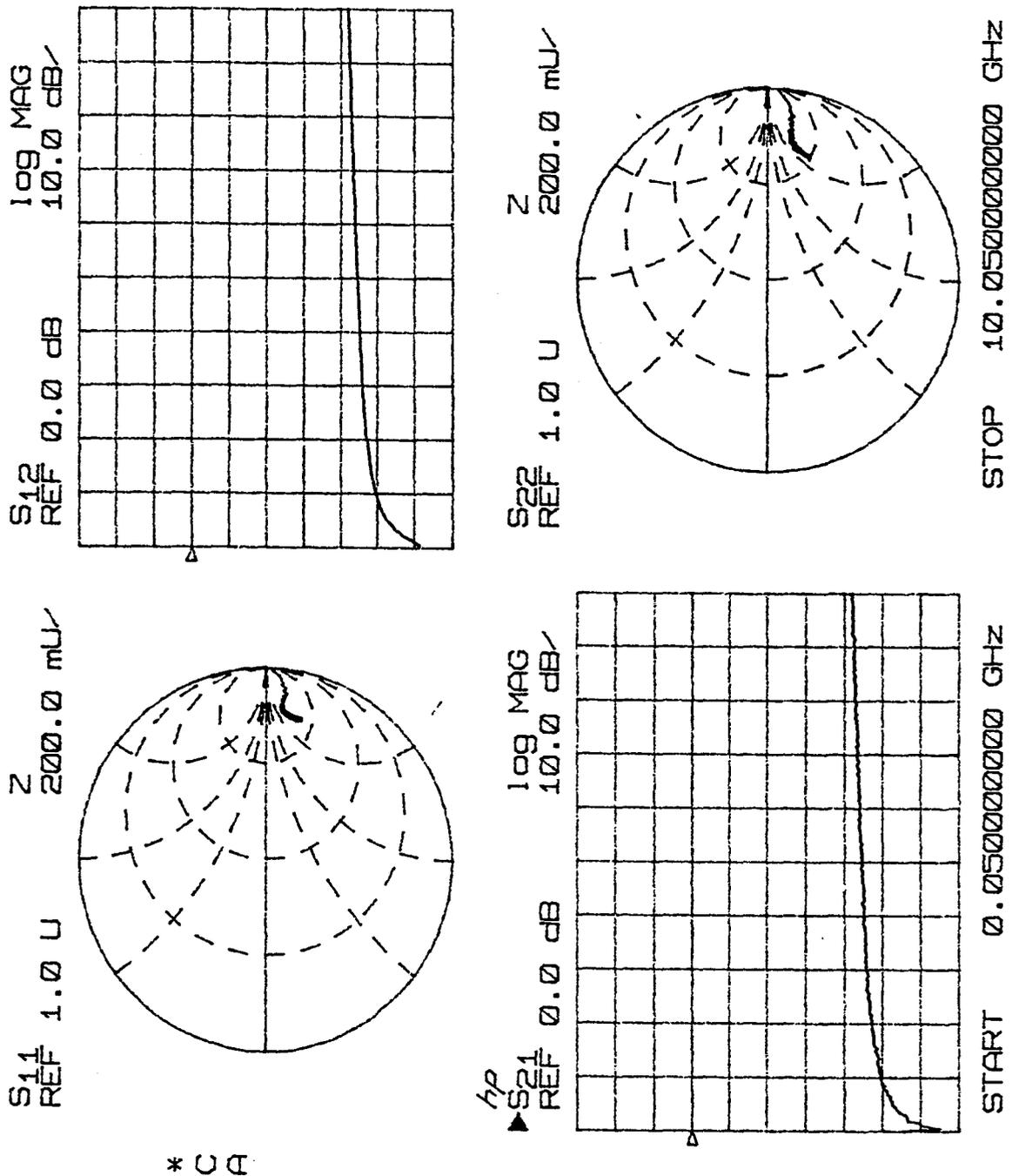


Figure 3 : Les paramètres S pour les plots d'accès posés sur une couche tampon fortement contaminée.

Nous avons reporté respectivement sur les figures 4, 5 et 6, les paramètres [S] d'accès posés sur une couche tampon contaminée, d'un transistor non corrigé et d'un transistor corrigé. Il s'agit d'un transistor du numéro d'opération 10436.

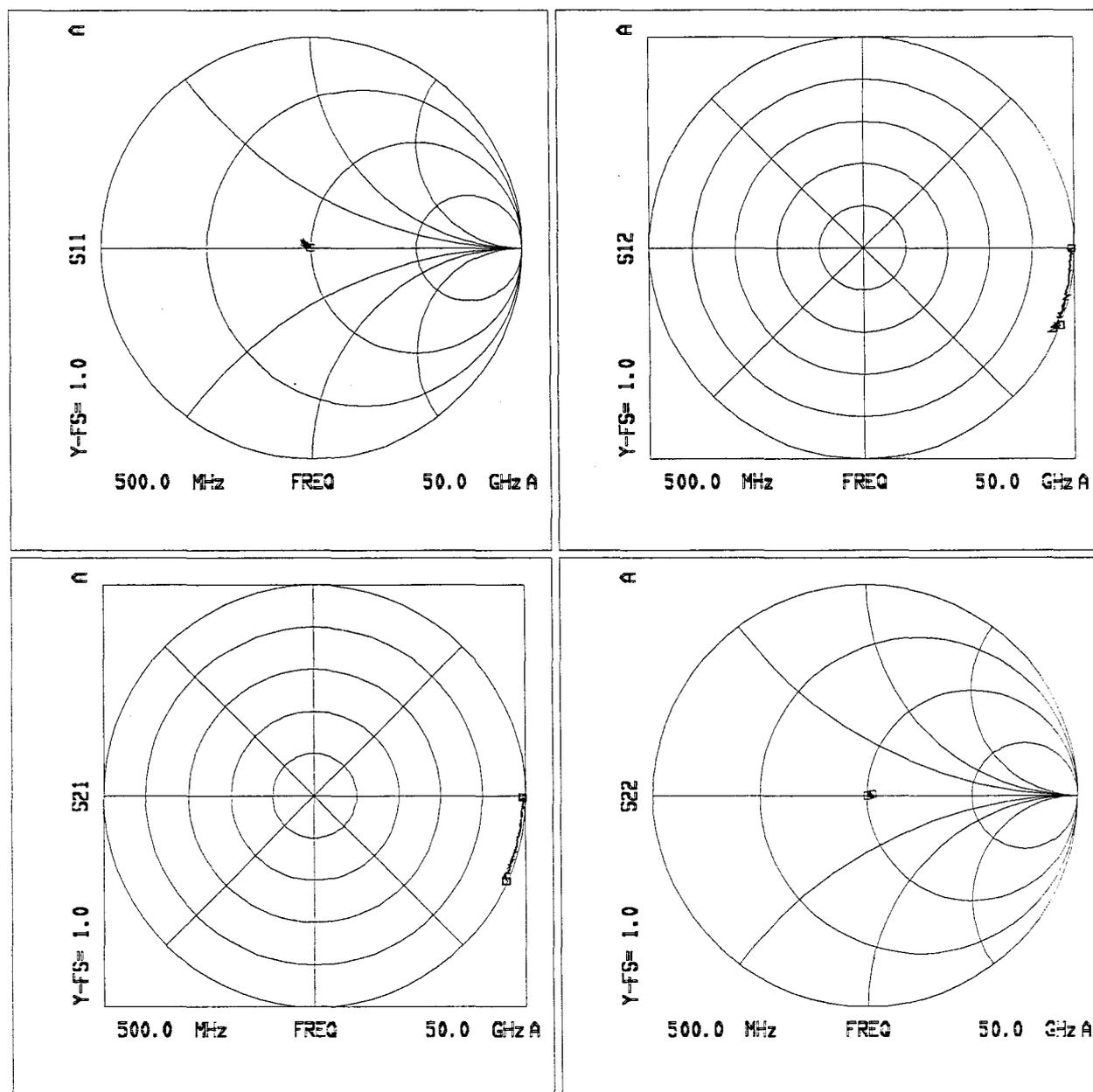


Figure 4 : Les paramètres S pour les plots d'accès posés sur une couche tampon conductrice.

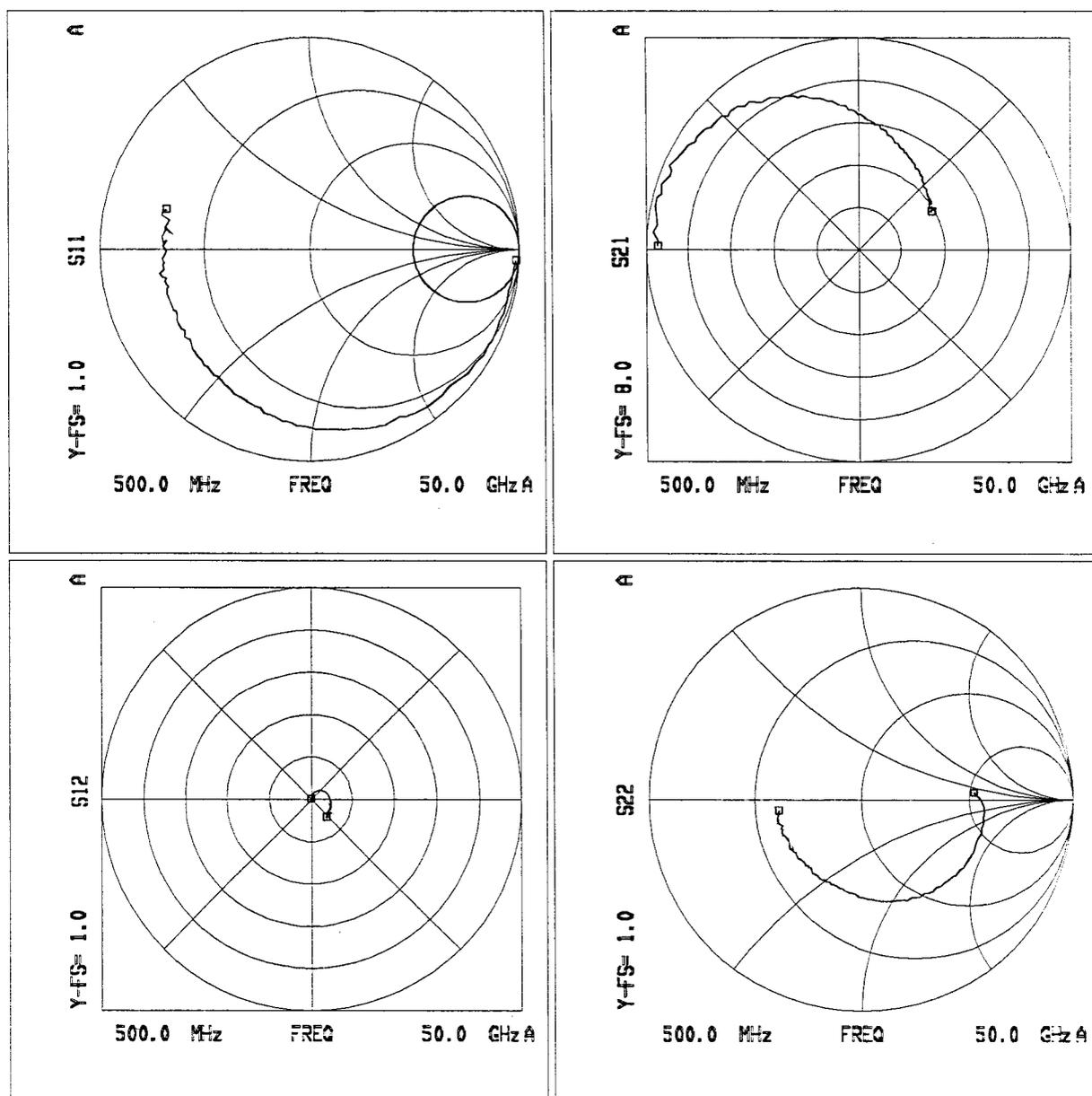


Figure 5 : Les paramètres S non corrigés pour un transistor réalisé sur une couche tampon conductrice.

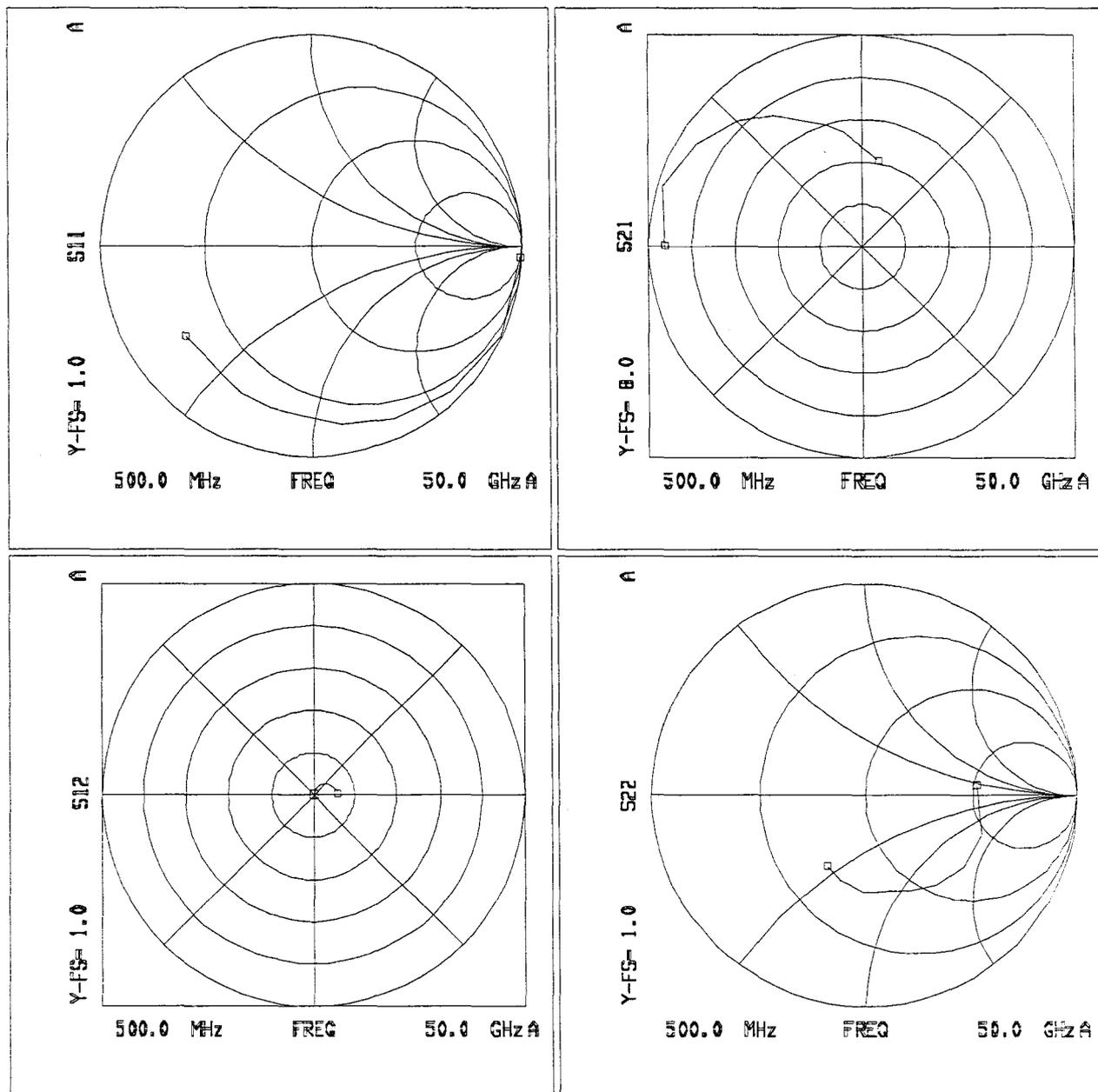


Figure 6 : Les paramètres S corrigés pour un transistor réalisé sur une couche tampon contaminée.

La figure 4 montre que la couche tampon des transistors 10436 est moins fortement contaminée que celle reportée figure 3. Nous pouvons voir également sur cette la figure 6 que la correction est satisfaisante puisque le S_{11} pour le transistor corrigé est bien purement capacitif et qu'il ne sort pas de l'abaque. Par conséquent, on peut dire que la correction n'est pas optimiste.

La figure 7 représente sur le même abaque le paramètre S_{11} pour le transistor corrigé et non corrigé.

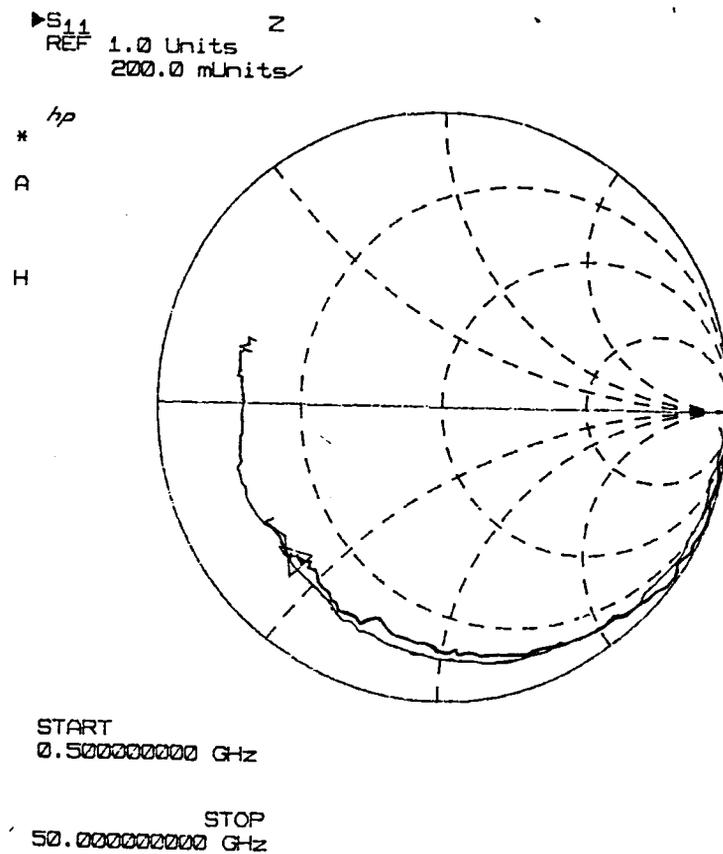


Figure 7 : Le paramètre S_{11} corrigé et non corrigé pour un transistor du numéro d'opération 10436.

Par ailleurs, les résultats présentés dans le chapitre 3 ont été obtenus à l'aide de cette méthode. Ainsi, la faible dispersion obtenue sur les paramètres du schéma équivalent et sur la fréquence de transition F_t montrent que nous ne faisons pas une très grande erreur lors de la caractérisation des transistors.

