

(ne 20 000 235)  
N° d'ordre: 2506

50376  
1999  
253

# THESE

Présentée à

**L'UNIVERSITE DES SCIENCES ET TECHNOLOGIQUES DE LILLE**

Pour obtenir le titre de

**DOCTEUR DE L'UNIVERSITE**

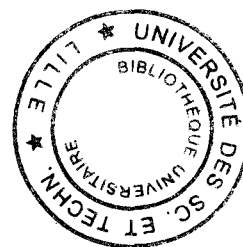
**Discipline : ELECTRONIQUE**

Par

**Stéphane PIOTROWICZ**

**Intégration monolithique de HEMT's sur substrat InP en vue de  
l'amplification de puissance en bande V**

**Soutenue le 26 Mars 1999 devant la commission d'examen**



Membres du jury:

MM	G. SALMER	Président
	Y. CROSNIER	Directeur de thèse
	B. BONTE	Co-directeur de thèse
	J.M. DUMAS	Rapporteur
	J.L. GAUTIER	Rapporteur
	R. FAUQUEMBERGUE	Examineur
	R. LEVEVRE	Examineur
	M.SOULARD	Examineur

A Rachel  
et Clémentine,

A mes Parents.

## Remerciements

---

Ce travail a été réalisé à l'Université des Sciences et Technologies de Lille au sein de l'Institut d'Electronique et de Micro-électronique du Nord (I.E.M.N.) dirigé Monsieur par Professeur G.Salmer et dans le département Hyperfréquences et Semi-conducteurs (D.H.S.) dirigé par Monsieur le Professeur P.A.Rolland.

Je remercie Monsieur le Professeur P.A.Rolland, de me faire l'honneur de présider la commission d'examen.

La direction de ce travail a été assurée par Monsieur le Professeur Y.Crosnier, Messieurs B.Bonte et C.Gaquièrre à qui j'exprime ma plus vive reconnaissance. Leurs compétences scientifique et pédagogique ainsi que leur disponibilité m'ont permis de mener à bien ce travail.

Monsieur J.M.Dumas, Professeur à l'E.N.S.I.L. de Limoges et Monsieur J.L.Gautier Professeur à l'E.N.S.E.A. de Cergy Pontoise, me font l'honneur de juger ce travail et d'en être les rapporteurs. Je leur exprime toute ma reconnaissance.

Mes remerciements vont également à Messieurs :

R.Fauquembergue, Professeur à l'Université de Lille ;

R.Lefevre, Ingénieur au CNET Bagneux ;

M.Soulard, Docteur, responsable du Laboratoire d'Etude des M.M.I.C. à Alcatel Space Industries ; représenté par le Docteur D.Langrez.

qui me font l'honneur de participer à la commission d'examen.

La partie expérimentale de cette étude a fait appel aux compétences de l'ensemble du personnel du D.H.S. Je tiens ici à leur exprimer toute ma gratitude et en particulier à :

Sylvie et Babette de la centrale de caractérisation,

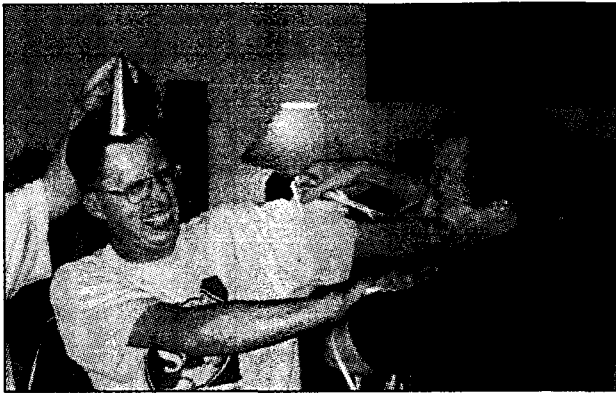
Pascal Tilmant, Michel Muller et Marc François de la lithographie

Pierre,

V.D. et Christophe de la Micro-électronique,

Monsieur J.P.Dehorter du service de reprographie.

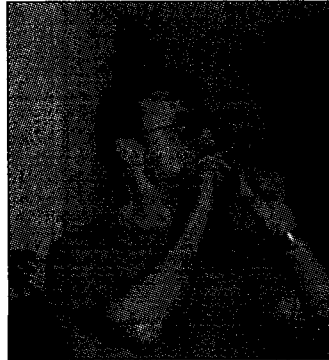
ainsi qu'à tous les amis de l'équipe ...



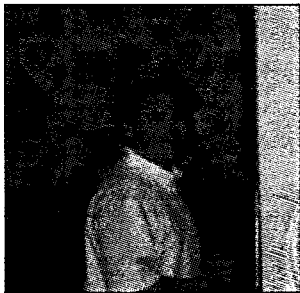
A Bertrand et Christophe, pris sur le fait lors d'une discussion sur le nombre de doigts de transistors ...



A Bertrand, plongé dans des lectures bibliographiques ...



A Didier, prenant son souffle avant de rédiger un rapport de contrat ...

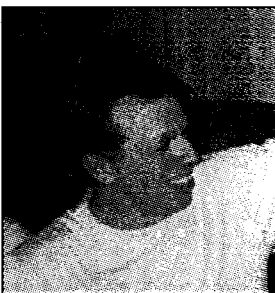


A Momo, qui a toujours répondu présent alors que je n'étais plus à Lille ...

ps: tu peux t'installer sur mon ancien bureau ... si tu as besoin de place ...



A Stef, que j'écrase au bad ... quand il veut ...



A Eric, dont j'ai toujours plaisir à écouter les idéologies ...

Sans oublier Xavier, qui n'est malheureusement pas pris sur le fait ... en grande réflexion ...



# Table des Matières

---

<b>INTRODUCTION GENERALE .....</b>	<b>5</b>
<b>CHAPITRE I :Caractéristiques des amplificateurs de puissance et état de l'art à 60 GHz .....</b>	<b>9</b>
I. INTRODUCTION.....	9
II. LES PRINCIPALES GRANDEURS CARACTÉRISANT UN TRANSISTOR DE PUISSANCE MICROONDE. ....	9
II.1. <i>Le concept des paramètres de répartition</i> .....	9
II.2. <i>Les concepts de gain</i> .....	11
II.2.1. Gain de transducteur.....	12
II.2.2. Gain en puissance.....	14
II.2.3. Gain en puissance disponible .....	15
II.3. <i>Les critères d'évaluations des performances des transistors à effet de champ</i> .....	15
II.3.1. Critères d'évaluations en fonctionnement linéaire .....	16
II.3.2. Les critères d'évaluations en fonctionnement non linéaire.....	19
III. STABILITÉ DES TRANSISTORS .....	24
III.1. <i>Les critères de stabilité</i> .....	24
III.1.1. Le coefficient de stabilité K .....	24
III.1.2. Les cercles de stabilité .....	26
III.1.3. Validité d'utilisation du coefficient de stabilité .....	28
III.2. <i>Les méthodes de stabilisation</i> .....	29
III.2.1. Stabilisation à la fréquence de travail .....	29
III.2.2. Stabilisation hors de la bande de travail.....	30
IV. MÉTHODES D'ADAPTATION DES TRANSISTORS.....	31
IV.1. <i>Transformateur à ligne de compensation</i> .....	31
IV.2. <i>Adaptation par transformateur à tronçon de ligne</i> .....	32
V. ETAT DE L'ART DES TRANSISTORS ET AMPLIFICATEURS DE PUISSANCE À 60 GHz ET 94 GHz .....	33
V.1. <i>Les familles de transistors à effet de champ dédiées à l'amplification de puissance en gammes de fréquences millimétriques</i> .....	33
V.1.1. Le HEMT conventionnel sur substrat GaAs .....	34
V.1.2. le HEMT pseudomorphique sur substrat GaAs.....	34
V.1.3. Le HFET sur GaAs à canal dopé.....	34
V.1.3. Le HEMT conventionnel sur InP .....	35
V.1.4. Le HEMT pseudomorphique sur InP .....	35
V.1.5. Le HEMT métamorphique sur GaAs.....	36
V.2. <i>Puissance absolue des FET discrets de 1 GHz à 94 GHz</i> .....	37
V.3. <i>Puissance absolue des FET discrets</i> .....	38

<i>V.4. Rendement en puissance ajoutée des FET discrets.....</i>	<i>38</i>
<i>V.5. Densité de puissance des FET discrets.....</i>	<i>39</i>
<i>V.6. Puissance absolue des amplificateurs MMIC.....</i>	<i>40</i>
<i>V.7. Conclusion et perspectives sur les filières de composants destinées à la puissance en bande millimétrique.....</i>	<i>41</i>
VI. CONCLUSION .....	43
BIBLIOGRAPHIE.....	44
<b>CHAPITRE II : Réalisation, mesures et définition des modèles d'éléments passifs .....</b>	<b>51</b>
I. INTRODUCTION.....	52
II. CONCEPTION DES NIVEAUX DE MASQUES .....	53
<i>II.1. Les motifs à réaliser .....</i>	<i>53</i>
<i>II.2. Règles de dessin .....</i>	<i>53</i>
II.2.1. Présentation des logiciels utilisés.....	53
II.2.2. Modifications à apporter sous le logiciel MASTEK .....	54
III. DESCRIPTION DE LA RÉALISATION DES ÉLÉMENTS PASSIFS .....	55
<i>III.1. Métallisation inférieure des capacités et motifs d'alignements .....</i>	<i>55</i>
<i>III.2. Réalisation de l'avant trou.....</i>	<i>55</i>
<i>III.3. Dépôt du diélectrique pour la réalisation des capacités.....</i>	<i>56</i>
<i>III.4. Réalisation des résistances .....</i>	<i>56</i>
<i>III.5. Dépôt de la métallisation supérieure .....</i>	<i>57</i>
<i>III.6. L'amincissement.....</i>	<i>57</i>
<i>III.7. La gravure des trous métallisés .....</i>	<i>58</i>
<i>III.8. Relaxation des contraintes.....</i>	<i>59</i>
IV. MESURES DES ÉLÉMENTS PASSIFS.....	59
<i>IV.1. Les méthodes de calibrage utilisées .....</i>	<i>60</i>
IV.1.1. Le calibrage LRM (Line Reflect Match).....	60
IV.1.2. Le calibrage LRL (Line Reflect Line).....	62
<i>IV.2. Difficultés rencontrées lors des premières réalisations .....</i>	<i>62</i>
IV.2.1. Planéité du substrat.....	63
IV.2.2. Non uniformité des trous métallisés.....	63
IV.2.3. Impédance caractéristique différente de 50 $\Omega$ .....	64
IV.2.4. Etude du couplage existant entre deux structures voisines .....	65
<i>IV.3. Résultats obtenus lors des réalisations suivantes.....</i>	<i>66</i>
IV.3.1. Mesures des éléments de calibrage .....	66
IV.3.2. Comparaison de nos lignes avec celles d'un fondeur .....	68
V. COMPARAISON MESURES - SIMULATIONS : VALIDITÉ DES MODÈLES .....	70
<i>V.1. Les lignes de transmission.....</i>	<i>70</i>
V.1.1. Les différents types de lignes présentes .....	70

V.1.2. Influence de l'épaisseur du substrat sur l'impédance caractéristique des lignes .....	71
V.1.3. Valeurs nécessaires au simulateur .....	72
V.1.4. Mesure des lignes et validation du modèle .....	73
V.1.5. Conclusion sur ces modèles de lignes .....	76
<i>V.2. Les résistances</i> .....	76
V.2.1. Les différentes résistances présentes .....	76
V.2.2. Mesures en courant continu .....	77
V.2.3. Mesures hyperfréquences et validation du modèle .....	79
<i>V.2. Les capacités MIM</i> .....	79
V.3.1. Les différentes capacités réalisées .....	80
V.3.2. Détermination de la valeur de la permittivité relative .....	81
V.3.3. Comparaison entre les mesures hyperfréquences et les simulations .....	83
<i>V.4. Les lignes de compensation droites</i> .....	84
V.4.1. Les différentes configurations réalisées .....	84
V.4.2. Fréquence de résonance du terme $S_{21}$ .....	85
V.4.3. Validation des compensations .....	89
<i>V.5. Les lignes de compensation radiales</i> .....	90
V.5.1. Les différentes configurations réalisées .....	90
V.5.2. Mise en évidence des problèmes et compensation des modèles .....	91
V.5.3. Validation de la méthode de compensation .....	94
<i>V.6. Les trous métallisés</i> .....	95
<i>V.7. Les discontinuités de largeur de ligne</i> .....	96
<i>V.8. Validation sur une structure complète</i> .....	97
VI. CONCLUSION .....	98
BIBLIOGRAPHIE .....	100
<b><u>CHAPITRE III : Réalisation, mesures et modélisation des éléments actifs</u></b> .....	<b>101</b>
I. INTRODUCTION .....	102
II. CARACTÉRISATION DES COMPOSANTS .....	102
<i>II.1. Caractérisation en régime statique et présentation des épitaxies étudiées</i> .....	<i>103</i>
II.1.1. Présentation d'ICCAP .....	103
II.1.2. L'opération 10174B .....	104
II.1.3. L'épitaxie 10289 .....	107
II.1.4. L'opération 10290 .....	109
II.1.5. L'opération 10347 .....	110
II.1.6. L'opération 10315 .....	112
<i>II.2. Caractérisation hyperfréquence petit signal</i> .....	<i>113</i>
II.2.1. Schéma équivalent petit signal des transistors .....	114
II.2.2. Résultats hyperfréquences petit signal obtenu sur les différentes épitaxies étudiées .....	133
<i>II.3. Caractérisation hyperfréquence grand signal en bande V</i> .....	<i>136</i>

II.3.1. Présentation du banc de mesure .....	136
II.3.2. Méthode de correction des mesures .....	137
II.3.3. Résultats des mesures de puissances .....	140
II.4. Conclusion : choix de l'épitaixie .....	142
III. DESCRIPTION DES ÉLÉMENTS PRÉSENTS SUR LE NOUVEAU MASQUE DE TRANSISTOR MAGIC .....	143
III.1. Les éléments de calibrage .....	143
III.2. Les structures supplémentaires permettant de déterminer les éléments extrinsèques .....	144
III.2.1. Structures sans doigts de drain ni de grille .....	145
III.2.2. Structures sans zone active .....	146
III.3. Les différents développements de transistors .....	147
III.4. Les autres topologies de transistors .....	147
III.4.1. Transistor avec pont sur le drain .....	148
III.4.2. Transistor en T dit en "arête de poisson" .....	148
III.4.3. Composant à trois trous métallisés de source .....	148
IV. DESCRIPTION DU PROCÉDÉ DE RÉALISATION DES COMPOSANTS .....	148
IV.1. Marques et motifs d'alignements .....	149
IV.2. Réalisation de l'avant trou .....	149
IV.3. Les contacts ohmiques .....	150
IV.4. Isolation des transistors .....	150
IV.5. Le fossé de grille .....	151
IV.6. L'épaississement .....	151
IV.7. Réalisation des ponts à air .....	152
IV.8. Traitement de la face arrière .....	152
V. CARACTÉRISATION DES COMPOSANTS RÉALISÉS AVEC LE MASQUE MAGIC .....	152
V.1. Caractérisation statique .....	153
V.1.1. Avant l'étape d'amincissement du substrat .....	153
V.1.2. Caractérisation des composants terminés .....	155
V.2. Caractérisation hyperfréquence petit signal .....	156
V.2.1. Avant l'étape d'amincissement du substrat .....	156
V.2.2. Caractérisation des composants terminés .....	157
V.3. Conclusion .....	157
VI. LA FILIÈRE MÉTAMORPHIQUE ALINAS/GAINAS SUR GAAS .....	158
VII. CONCLUSION .....	159
BIBLIOGRAPHIE .....	161
<b>CHAPITRE IV : Conception d'un amplificateur de puissance en technologie MMIC à 60 GHz ...</b>	<b>165</b>
I. INTRODUCTION .....	166
II. ETUDE DE L'ADAPTATION DES TRANSISTORS .....	167
II.1. Optimisation linéaire des circuits adaptateurs .....	167

II.2. Comparaison des trois méthodes d'adaptation.....	168
II.2.1. Epaisseur de substrat de 40 $\mu\text{m}$ .....	168
II.2.2. Sensibilité des circuits adaptateurs aux variations de l'épaisseur du substrat .....	169
III. ETUDE DES CIRCUITS DE POLARISATION ET DE STABILISATION .....	170
III.1. Circuits de polarisation .....	171
III.2. Etude des circuits de stabilisation.....	172
III.2.1. En fonction des éléments résistifs .....	172
III.2.2. En fonction des éléments capacitifs .....	172
III.3. Influence des éléments du Té sur le comportement du circuit.....	174
III.3.1. Partie du circuit ramenant un circuit ouvert à 60 GHz.....	174
III.3.2. Valeurs et positions des résistances de stabilisation .....	175
III.3.3. Valeurs des capacités de découplage .....	176
IV . MODÉLISATION DU COMPOSANT ACTIF POUR LA CONCEPTION DU CIRCUIT .....	177
V. CONCEPTION DU DÉMONSTRATEUR.....	179
V.1. Méthodologie de conception.....	179
V.2. Analyse de tolérance du circuit en fonction des éléments passifs.....	182
V.2.1. Sensibilité à la variation des éléments passifs localisés du circuit .....	182
V.2.2. Sensibilité à la variation de l'épaisseur du substrat.....	182
V.3. Analyse de tolérance du circuit en fonction de l'élément actif.....	183
V.4. Analyse de sensibilité à la dispersion technologique .....	184
VI. CONCLUSION .....	185
BIBLIOGRAPHIE.....	187
<b><u>CONCLUSION GENERALE</u></b> .....	<b>188</b>

# **INTRODUCTION**

Les applications microondes sont en pleine expansion et la saturation progressive des bandes de fréquences allouées pour celles-ci conduisent à développer des applications vers de plus hautes fréquences. Citons par exemple les réseaux locaux multicanaux de distribution de service (LMDS) qui visent la bande des 40 GHz, les communications entre satellites à 60 GHz, les radars anti collision à bord des véhicules opérant autour de 77 GHz, sans oublier les applications militaires à 94 GHz.

A ces fréquences, la maîtrise des interconnexions dans les circuits constitue un point important pour la fiabilité de ces ensembles. C'est pourquoi la technologie MMIC (Monolithic Microwave Integrated Circuit) a supplanté la technologie hybride qui a montré ses limites pour la réalisation des fonctions de ces systèmes au delà de 40 GHz. Parmi ces fonctions, l'amplificateur de puissance tient un rôle primordial dans les chaînes d'émission où il constitue bien souvent l'un des derniers maillons.

Ce travail a pour objectif la conception et la réalisation, pour la première fois au laboratoire et en Europe, d'un amplificateur de puissance en technologie intégrée sur substrat de phosphore d'indium. Une structure en guide de propagation microruban a été préférée à une structure coplanaire car la compacité et la dissipation thermique s'y avèrent meilleures. Cette étude s'insère dans un vaste projet supporté par la DGA (convention DRET 94-160) destiné à l'étude des "potentialités des transistors de la filière GaInAs pour applications microondes faible bruit, de puissance et la conversion optoélectronique."

Le premier chapitre de ce manuscrit est consacré aux caractéristiques des amplificateurs de puissance. Il aborde le rappel des principales grandeurs qui les caractérisent, l'analyse de leur stabilité ainsi que les méthodes habituellement utilisées pour adapter ces composants. Enfin, un état de l'art des transistors à effet de champ et des amplificateurs de puissance aux fréquences de 60 GHz et 94 GHz termine ce chapitre.

Le deuxième chapitre porte sur la réalisation, les mesures et la modélisation d'éléments passifs afin de créer une bibliothèque d'éléments fiables pour la conception du démonstrateur. La réalisation de lignes de transmission, de résistances, de capacités, de trous métallisés et de divers éléments d'adaptation et de calibrage a été mise au point au sein de l'équipe Dispositifs Microondes de Puissance du Professeur Crosnier. Les mesures de ces éléments dans la centrale de caractérisation du laboratoire jusqu'à 110 GHz ont permis leur comparaison aux modèles disponibles sur le simulateur commercial MDS (Microwave Design System). Cette étude a conduit à la nécessité d'élaborer une bibliothèque d'éléments passifs fiables jusqu'à 60 GHz propre à la technologie développée à l'IEMN.

Le troisième chapitre est consacré à la réalisation, aux mesures et à la modélisation des transistors à effet de champ. Des réalisations préliminaires de composants couplées à des caractérisations en régime statique, petit signal et grand signal à 60 GHz permettront la mise au point d'une épitaxie mieux adaptée au fonctionnement en régime d'amplification de puissance. Afin de réaliser des composants multi doigts de grille, un nouveau jeu de masques de transistors sera conçu en attachant une importance particulière à l'amélioration de la détermination des éléments extrinsèques gage d'une meilleure validité en fréquence du schéma équivalent des transistors.

Dans le dernier chapitre nous effectuerons la conception du démonstrateur. Les différentes étapes de la conception seront abordées en tenant compte des contraintes imposées sur les modèles des éléments passifs décrits au deuxième chapitre. Nous adopterons alors une méthodologie de conception progressive afin de s'attacher à distinguer le rôle tenu par chaque élément de ces circuits.



## CHAPITRE I

# **CARACTERISTIQUES DES AMPLIFICATEURS DE PUISSANCE ET ETAT DE L'ART A 60 GHZ**

## **I. Introduction**

---

Nous avons souhaité dans ce premier chapitre rappeler les principales notions relatives à l'amplification de puissance microonde. Ce sont tout d'abord les différents gains que nous définirons ainsi que les critères permettant d'évaluer les performances des transistors en régime de fonctionnement linéaire et non linéaire. Nous aborderons ensuite un des points clé de toute conception d'amplificateurs qui est l'étude de la stabilité des transistors. Puis, nous nous intéresserons aux méthodes permettant de présenter en entrée et en sortie des transistors les impédances optimales souhaitées afin de les adapter. Enfin, afin de situer ce travail, il nous est apparu important d'effectuer un état de l'art des transistors et des amplificateurs de puissance en portant une attention plus particulière sur ceux fonctionnant à 60 GHz et au delà.

## **II. Les principales grandeurs caractérisant un transistor de puissance microonde.**

---

### **II.1. Le concept des paramètres de répartition**

Le court circuit et le circuit ouvert sont les éléments les plus utilisés pour déterminer les coefficients des matrices impédance et admittance des quadripôles. Toutefois, pour des applications à plus hautes fréquences, il devient difficile de réaliser un circuit ouvert ou un court circuit du fait des éventuels couplages et effets parasites qui peuvent apparaître. Ces effets qui affectent la précision de la mesure se révèlent être plus présents lorsque la fréquence augmente. De plus, les éléments actifs étant très

sensibles à ces terminaisons, ils réagissent le plus souvent en oscillant ; des mesures dans cet état n'ayant alors que peu d'intérêt pour les concepteurs de circuits.

C'est pourquoi, une représentation pratique des quadripôles basée sur le concept d'onde a été développée pour caractériser les circuits microondes : les paramètres S ou paramètres de répartition ( Scattering parameters) dont le nom vient de la similitude de comportement entre la lumière et l'énergie microonde. Les plus importantes caractéristiques de ces paramètres sont la relative facilité et la précision avec laquelle ils peuvent être mesurés à très hautes fréquences ainsi que leur interprétation physique vis à vis des autres matrices.

Nous présentons figure I.1 un quadripôle fermé par une impédance  $Z_1$  en entrée et  $Z_2$  en sortie.  $Z_1$  et  $Z_2$  sont les impédances de référence et peuvent prendre n'importe quelle valeur ; toutefois  $50 \Omega$  est la valeur la plus utilisée.

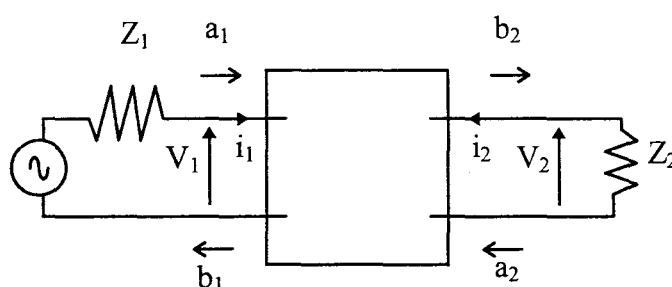


Figure I.1 : Représentation générale d'un quadripôle

Les relations reliant les ondes incidentes  $a_1$ ,  $a_2$  et réfléchies  $b_1$ ,  $b_2$  aux courants et tensions fermés sur l'impédance de référence  $Z_0$  sont les suivantes :

$$a_i = \frac{1}{2} \left( \frac{V_i}{Z_0} + \sqrt{Z_0} \cdot I_i \right) \quad b_i = \frac{1}{2} \left( \frac{V_i}{Z_0} - \sqrt{Z_0} \cdot I_i \right) \quad (i = 1, 2)$$

La matrice de répartition est définie par :

$$\begin{cases} b_1 = S_{11}a_1 + S_{12}a_2 \\ b_2 = S_{21}a_1 + S_{22}a_2 \end{cases}$$

Il peut parfois être utile de les convertir en d'autres paramètres : impédance, admittance, hybride ou chaîne, ce qui peut être réalisé aisément à partir de simples conversions de matrice [1].

## II.2. Les concepts de gain

En régime d'amplification de puissance, le composant actif est rapidement appelé à fonctionner en régime non linéaire, à cause des importantes excursions de tension et de courant qui lui sont appliquées. La prise en compte de ces phénomènes dans une conception d'amplificateur nécessite l'utilisation de simulateurs performants car l'estimation analytique des performances du transistor dans ce mode de fonctionnement reste difficile. Toutefois, une approche analytique en régime de fonctionnement linéaire, que nous allons décrire dans la partie suivante, est possible [2].

Dans la pratique, le transistor est généralement inséré entre deux réseaux d'adaptations afin de présenter à ses bornes, à partir de l'impédance de référence  $Z_0 = 50 \Omega$ , les impédances de source  $Z_S$  et de charge  $Z_L$  souhaitées (figure I.2).

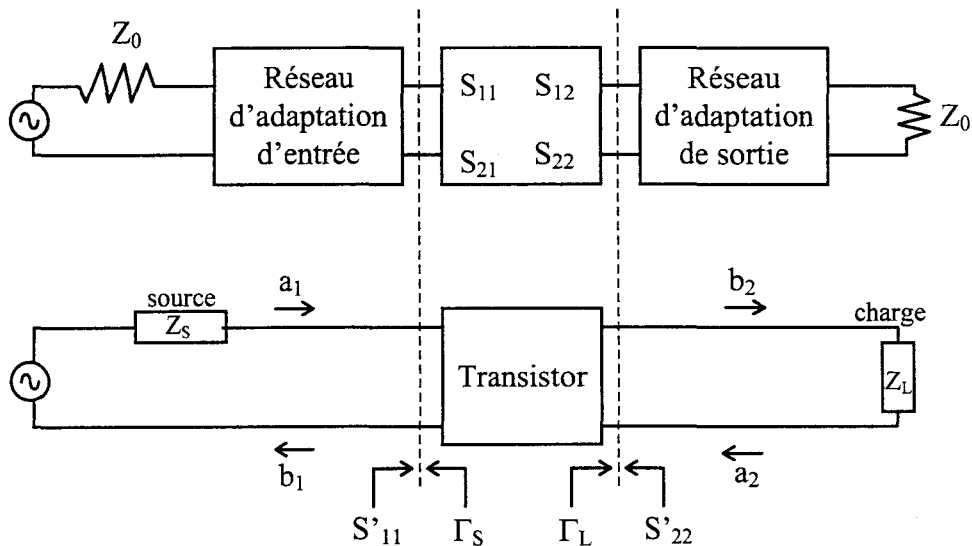


Figure I.2 : Schéma équivalent d'un étage amplificateur à transistor.

Partant de cette configuration, trois concepts de gain sont utilisés en puissance, un paragraphe est consacré à chacun d'eux dans ce qui suit.

### II.2.1. Gain de transducteur

Le gain de transducteur est défini comme étant le rapport entre la puissance absorbée par la charge en sortie du transistor et la puissance disponible de la source située à l'entrée du transistor.

$$G_T = \frac{P_s}{P_{AVS}}$$

Son expression dans le formalisme des paramètres [S] est la suivante :

$$G_T = \frac{|S_{21}|^2 (1 - |\Gamma_S|^2)(1 - |\Gamma_L|^2)}{|1 - S'_{11} \Gamma_S|^2 |1 - S_{22} \Gamma_L|^2} = \frac{|S_{21}|^2 (1 - |\Gamma_S|^2)(1 - |\Gamma_L|^2)}{|1 - S_{11} \Gamma_S|^2 |1 - S'_{22} \Gamma_L|^2}$$

où :

$\Gamma_S$  est le coefficient de réflexion de l'impédance de source  $Z_S$  vue par l'entrée du transistor et  $\Gamma_L$  est le coefficient de réflexion de l'impédance de charge  $Z_L$  vue par la sortie du transistor.

$S'_{11}$  est le coefficient de réflexion présenté par l'entrée du transistor lorsqu'il est chargé en sortie par l'impédance  $Z_L$  :

$$S'_{11} = S_{11} + \frac{S_{12} S_{21} \Gamma_L}{1 - S_{22} \Gamma_L}$$

et  $S'_{22}$  le coefficient de réflexion présenté par la sortie du transistor lorsque celui-ci est fermé en entrée par l'impédance  $Z_S$  :

$$S'_{22} = S_{22} + \frac{S_{12} S_{21} \Gamma_S}{1 - S_{11} \Gamma_S}$$

Ce gain est fonction simultanément des coefficients de réflexion de source  $\Gamma_S$  et de charge  $\Gamma_L$  vus par le transistor. Il est possible d'obtenir un gain de transducteur

maximum lorsque l'on adapte de manière optimale le transistor à la fois en entrée et en sortie. Cela nécessite de satisfaire simultanément aux deux conditions suivantes :

$$S'_{11} = \Gamma_S^* \quad \text{et} \quad S'_{22} = \Gamma_L^*$$

Par la résolution de ce système d'équations, et si la valeur du coefficient K est supérieure à l'unité, il est possible d'obtenir les valeurs des coefficients de réflexion optimum  $\Gamma_{Sopt}$  et  $\Gamma_{Lopt}$  à présenter au transistor en entrée et en sortie. Leurs expressions sont les suivantes :

$$\Gamma_{Sopt} = \frac{1}{2C_1} (B_1 \pm 2|S_{12}S_{21}|\sqrt{K^2 - 1}) \quad \begin{array}{l} + \text{ si } B_1 < 0 \\ - \text{ si } B_1 > 0 \end{array}$$

$$\Gamma_{Lopt} = \frac{1}{2C_2} (B_2 \pm 2|S_{12}S_{21}|\sqrt{K^2 - 1}) \quad \begin{array}{l} + \text{ si } B_2 < 0 \\ - \text{ si } B_2 > 0 \end{array}$$

avec

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 \quad B_2 = 1 - |S_{11}|^2 + |S_{22}|^2 - |\Delta|^2$$

$$C_1 = S_{11} - \Delta S_{22}^* \quad C_2 = S_{22} - \Delta S_{11}^*$$

$$\Delta = S_{11}S_{22} - S_{12}S_{21}$$

$$\text{et} \quad K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|}$$

Nous pouvons constater que, suivant les valeurs prises par le coefficient K, il sera ou non possible de réaliser ces conditions optimales. Ce coefficient, appelé plus communément coefficient de stabilité du transistor (ou facteur de Rollet), sera détaillé plus spécifiquement au paragraphe III.1. de ce chapitre. Lorsque ce coefficient est supérieur à l'unité, il est possible d'adapter le transistor par ses impédances optimales à la fois en entrée et en sortie. Dans ces conditions, le gain de transducteur est maximum et est aussi appelé MAG (Maximum Available Gain). Son expression est alors :

$$\text{MAG} = \frac{|S_{21}|}{|S_{12}|} (K \pm \sqrt{K^2 - 1}) \quad \text{avec le signe :} \quad \begin{array}{l} + \text{ si } B_1 < 0 \\ - \text{ si } B_1 > 0 \end{array}$$

Ce gain, qui représente le gain en puissance maximal que va pouvoir fournir le transistor, est un des critères important d'évaluation des performances des transistors en régime de fonctionnement linéaire.

### II.2.2. Gain en puissance

Le gain en puissance est défini comme étant le rapport entre la puissance absorbée par la charge présentée en sortie du transistor et la puissance absorbée en entrée par le transistor. Son expression est :

$$G_P = \frac{P_S}{P_E} = \frac{|S_{21}|^2 (1 - |\Gamma_L|^2)}{|1 - S_{22}\Gamma_L|^2 (1 - |S'_{11}|^2)}$$

Nous pouvons constater que ce gain est uniquement fonction des conditions d'adaptation en sortie du transistor. Sa valeur sera donc inchangée que l'on présente en entrée du composant, 50  $\Omega$ , ou toute autre impédance. On peut également montrer que les lieux des coefficients de réflexion  $\Gamma_L$  permettant d'obtenir un gain en puissance constant sont des cercles de centre C et de rayon R ayant pour expressions :

$$C = \frac{g_P(S_{22}^* - S_{11}\Delta^*)}{1 + g_P(|S_{22}|^2 - |\Delta|^2)} \quad R = \frac{\sqrt{1 - 2 \cdot K \cdot g_P |S_{12}S_{21}| + g_P^2 |S_{12}S_{21}|^2}}{1 + g_P(|S_{22}|^2 - |\Delta|^2)}$$

avec  $g_P = \frac{G_P}{|S_{21}|^2}$

L'adaptation optimale en sortie est obtenue lorsque le rayon du cercle devient nul. Dans ce cas, il est également possible de montrer que le gain en puissance optimum est égal au gain maximum disponible et que l'impédance de charge optimale obtenue pour le gain en puissance est la même que celle obtenue pour le gain maximum disponible.

### II.2.3. Gain en puissance disponible

Le gain en puissance disponible est défini comme étant le rapport entre la puissance disponible en sortie du transistor et la puissance disponible en entrée du transistor. Son expression s'écrit :

$$G_{av} = \frac{|S_{21}|^2 (1 - |\Gamma_S|^2)}{|1 - S_{11}\Gamma_S|^2 (1 - |S'_{22}|^2)}$$

Cette quantité n'est cette fois uniquement fonction que des conditions d'adaptation en entrée du transistor. Elle est essentiellement utilisée lors de mesures de facteurs de bruit. Comme pour le gain en puissance, il est possible de montrer que les lieux des coefficients de réflexion  $\Gamma_S$  permettant d'obtenir un gain en puissance disponible constant sont des cercles de centre C et de rayon R définis comme suit :

$$C = \frac{g_{av}(S_{11}^* - S_{22}\Delta^*)}{1 + g_{av}(|S_{11}|^2 - |\Delta|^2)} \quad R = \frac{\sqrt{1 - 2.K.g_{av}.|S_{12}S_{21}| + g_{av}^2|S_{12}S_{21}|^2}}{1 + g_{av}(|S_{11}|^2 - |\Delta|^2)}$$

avec  $g_{av} = \frac{G_{av}}{|S_{21}|^2}$

L'adaptation optimale pour le gain en puissance disponible est également réalisée lorsque le rayon du cercle devient nul. Dans ce cas, le gain en puissance disponible est égal au gain maximum disponible (MAG) et l'impédance d'entrée optimale obtenue pour le gain en puissance disponible est la même que celle obtenue pour le gain maximum disponible. Un exemple des lieux des impédances en entrée et en sortie permettant d'obtenir un gain en puissance constant ainsi qu'un gain en puissance disponible constant est donné figure I.3.

## II.3. Les critères d'évaluations des performances des transistors à effet de champ



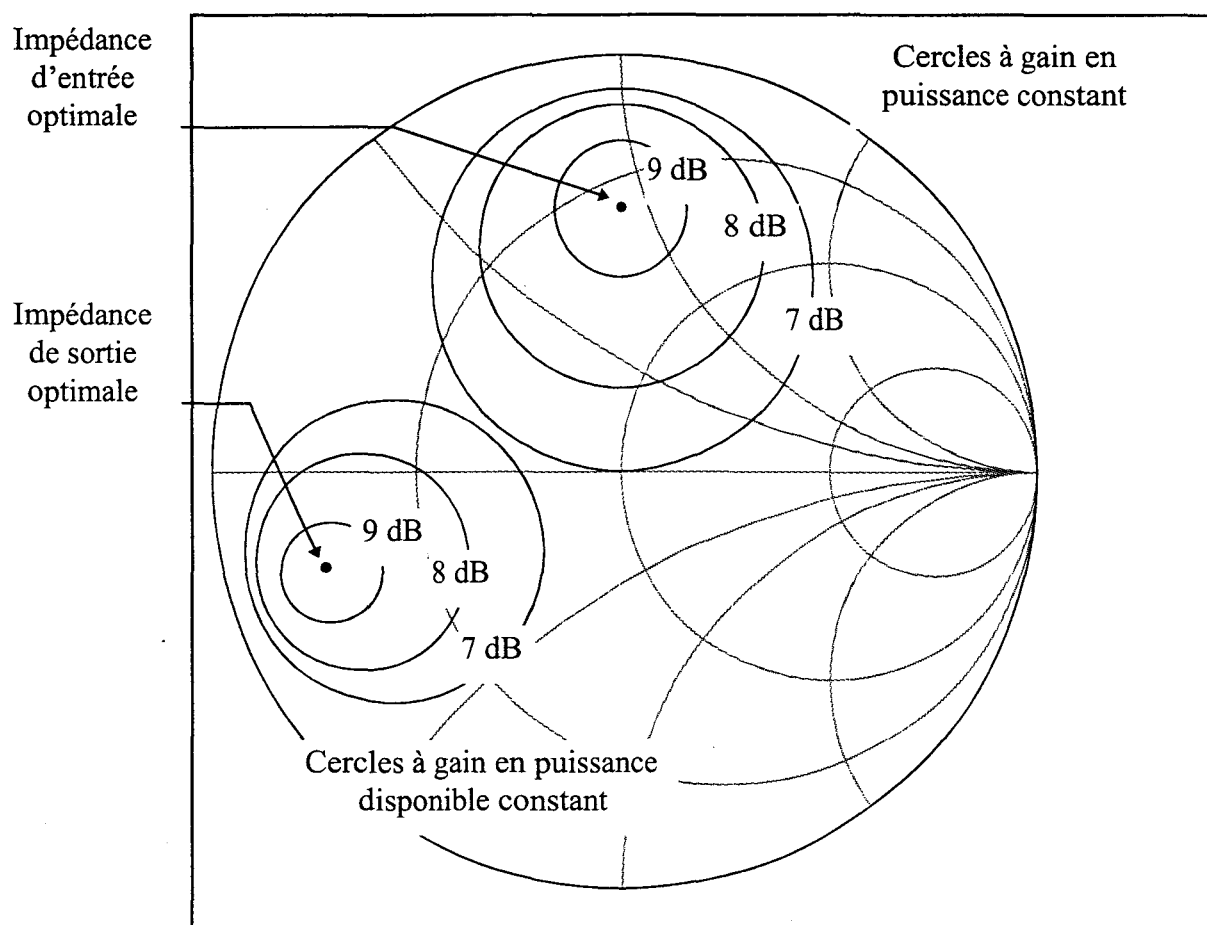


Figure I.3 : Cercles donnant les lieux des impédances permettant d'obtenir un gain en puissance constant et un gain en puissance disponible constant à 60 GHz.

(InP HEMT  $2 \times 50 \mu\text{m}$ , réalisé au laboratoire  
 $V_{\text{ds}} = 2 \text{ V}$  ;  $V_{\text{gs}} = 0 \text{ V}$ )

La différenciation de composants repose souvent sur l'estimation de leurs performances, ce qui nécessite la définition de critères d'évaluations. Ces critères vont nous permettre à partir des performances des transistors d'estimer par exemple les performances que pourrait développer un circuit MMIC (Microwave Monolithic Integrated Circuit) réalisé à partir de ces composants. Nous avons classé ces critères suivant qu'ils se manifestent soit lors d'un fonctionnement linéaire, ou non linéaire du transistor.

### **II.3.1. Critères d'évaluations en fonctionnement linéaire**

Les critères d'évaluations en fonctionnement linéaire du transistor peuvent être soit directement obtenus de la mesure de paramètres  $[S]$  à l'analyseur de réseau vectoriel, soit déduits du schéma équivalent électrique localisé du transistor à effet de champ présenté figure I.4. Ce schéma permet de décrire le fonctionnement du transistor à effet de champ en fonction de la fréquence en régime de fonctionnement petit signal. Il est composé d'une partie extrinsèque et d'une partie intrinsèque. La partie extrinsèque représente les éléments d'accès ou parasites du transistor. Ces éléments sont considérés indépendants du point de polarisation appliqué au transistor. La partie intrinsèque représente la partie active du composant dont les éléments varient en fonction de la polarisation appliquée au transistor.

Il est important d'essayer de conserver une bonne correspondance entre la signification des éléments de ce schéma et les grandeurs physiques du transistor afin de pouvoir l'utiliser non seulement pour évaluer les performances globales des transistors, mais aussi pour pouvoir évaluer les performances de la partie intrinsèque uniquement.

#### II.3.1.1. Le gain maximum disponible et sa fréquence de coupure

Comme nous l'avons vu dans le paragraphe II.2.1., ce gain est obtenu dans les conditions d'adaptation optimales à la fois en entrée et en sortie du transistor. On a alors le maximum de transfert de puissance entre l'entrée et la sortie du composant. Toutefois, ces conditions ne peuvent être réalisées que si le transistor est stable, ce qui correspond à un coefficient de stabilité  $K > 1$ . Rappelons l'expression de ce gain en fonction des paramètres  $[S]$ , expression déjà définie au paragraphe II.2.1. :

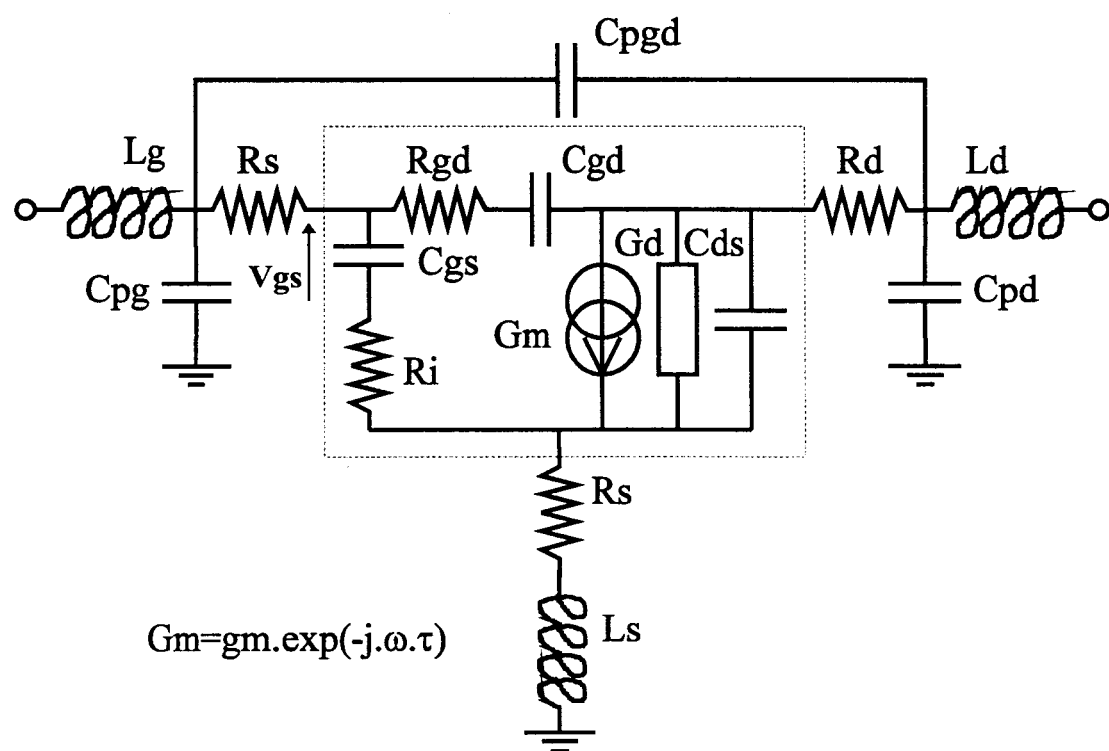


Figure I.4 : Schéma équivalent localisé du transistor à effet de champ

$$\text{MAG} = \frac{|S_{21}|}{|S_{12}|} (K \pm \sqrt{K^2 - 1}) \quad \begin{array}{l} + \text{ si } B_1 < 0 \\ - \text{ si } B_1 > 0 \end{array}$$

Ce gain est une des caractéristiques essentielles pour la conception de circuits MMIC ou hybrides car, aux pertes près localisées dans les circuits d'adaptation en entrée et en sortie du composant, il représente le gain en puissance réellement disponible en fonctionnement petit signal de l'étage amplificateur.

Lorsque le coefficient de stabilité  $K$  est inférieur à l'unité, on utilise alors le gain maximum stable (MSG) comme critère d'évaluation des performances amplificatrices du transistor.

$$\text{MSG} = \left| \frac{S_{21}}{S_{12}} \right|$$

Toutefois, ce gain, supérieur au MAG quand le transistor est stable surestime les performances amplificatrices réelles du composant. L'évolution du MAG en fonction de la fréquence permet de définir sa fréquence de coupure  $F_{\text{MAG}}$  comme étant la valeur de la fréquence pour laquelle le MAG vaut 0 dB.

Le MAG ainsi que sa fréquence de coupure peuvent également être exprimés en fonction des éléments du schéma équivalent électrique localisé [3] selon la relation :

$$\text{MAG} = \left( \frac{F_T}{f} \right)^2 \frac{1}{4G_d(R_g + R_s + R_i + \pi F_T L_s) + 4\pi F_T C_{gd}(2R_g + R_i + R_s + 2\pi F_T L_s)}$$

et

$$F_{\text{mag}} = \frac{F_T}{2\sqrt{G_d}} \frac{1}{\sqrt{(R_s + R_i + R_g) + \pi F_T L_s + \pi F_T \frac{C_{gd}}{G_d} (R_s + 2R_g + R_i + 2\pi F_T L_s)}}$$

avec

$$F_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} ; \text{ fréquence de coupure intrinsèque du gain en courant.}$$

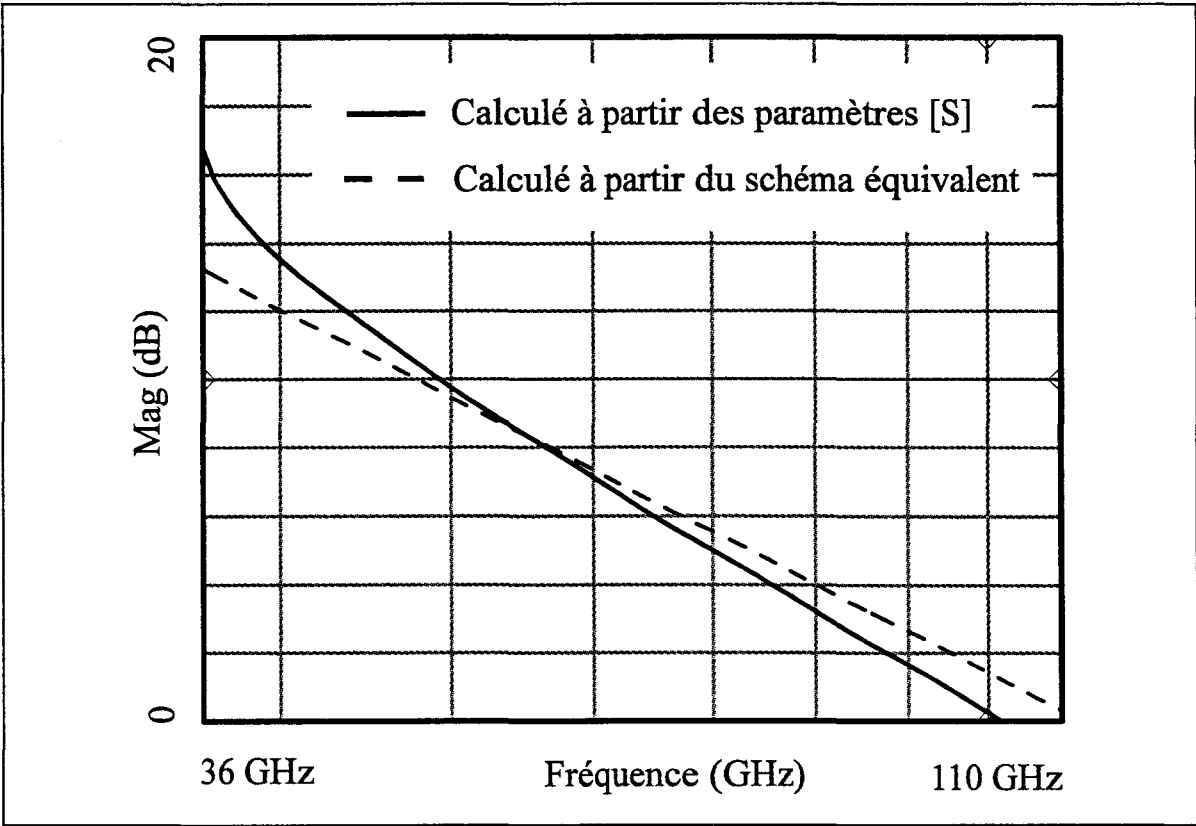


Figure I.5 : Comparaison entre le MAG calculé à partir de la formule faisant intervenir les différents éléments du schéma équivalent et le MAG calculé à partir de la formule déduite des paramètres [S] ( $K > 1$  pour  $f > 36$  GHz).

(Composant InP HEMT  $2 \times 50 \times 0.25 \mu\text{m}^2$  réalisé au laboratoire :  $V_{ds} = 2 \text{ V}$  ;  $V_{gs} = 0 \text{ V}$ )

Ces expressions simplifiées comportent des approximations habituellement utilisées pour des transistors de longueurs de grille importante ( $>1 \mu\text{m}$ ) [4]. Afin de vérifier la validité de ces approximations pour des composants de plus faible longueur de grille ( $0.2 \mu\text{m}$ ) nous présentons figure I.5 une comparaison entre le MAG calculé à partir des paramètres [S] déduits du schéma équivalent et du MAG calculé à partir de la formule faisant intervenir les éléments les plus influents. On constate que lorsque l'on s'éloigne de la fréquence pour laquelle le transistor atteint la stabilité inconditionnelle ( $K = 1$ ), ces formulations permettent une estimation du MAG à mieux que 1 dB et de sa fréquence de coupure à mieux que 10 % ; ce qui permet l'utilisation de ces formules pour des composants de faible longueur de grille. L'intérêt de ces expressions réside dans l'étude des performances du composant en fonction des éléments du schéma équivalent afin de guider les évolutions technologiques des transistors.

#### II.3.1.2. Gain en courant de court circuit et fréquences de coupures

Le gain en courant à sortie court-circuitée  $|H_{21}|^2$  est obtenu par conversion des paramètres [S] en paramètres hybrides [H]. Son expression est donnée par la relation suivante :

$$|H_{21}|_{\text{ext}}^2 = \left| \frac{-2S_{21}}{(1-S_{11})(1-S_{22}) + S_{12}S_{21}} \right|^2$$

On définit également la fréquence de coupure du gain en courant de court circuit comme étant la fréquence pour laquelle  $|H_{21}|^2 = 0 \text{ dB}$ . Elle s'obtient en traçant l'évolution de  $|H_{21}|^2$  en décibels en fonction de la fréquence en coordonnées logarithmiques. Ce gain, ainsi que sa fréquence de coupure, sont déterminés à partir des paramètres [S] mesurés et représentent des quantités extrinsèques. On peut cependant être amené à vouloir comparer des quantités intrinsèques et s'affranchir des éléments d'accès et se rapprocher ainsi plus près de la partie active du transistor [5]. On exprime alors le gain en courant de court circuit intrinsèque à partir des éléments du schéma équivalent électrique par la relation :

$$|H_{21}|_{\text{int}}^2 = \frac{g_m^2}{\omega^2 (C_{gs} + C_{gd})^2}$$

Toutefois, il est nécessaire de remarquer que le schéma équivalent localisé du transistor à effet de champ utilisé pour établir cette expression néglige l'effet de la résistance de contre réaction  $R_{gd}$  située entre les électrodes de grille et de drain [6]. Cette approximation, valable pour des composants fonctionnant à des fréquences allant jusque quelques dizaines de gigahertz, l'est beaucoup moins aux fréquences millimétriques où l'on ne peut plus négliger l'influence de cette résistance. Rappelons l'expression de la fréquence de coupure intrinsèque du gain en courant de court circuit :

$$F_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

### II.3.1.3. Gain unilatéral

Le gain unilatéral  $U$  est obtenu lorsque le transistor est neutrodyné. Le neutrodynage consiste à compenser l'effet du paramètre  $S_{12}$  par des circuits passifs et sans perte. Il est alors possible d'obtenir un gain en puissance supérieur au MAG. Cependant, le neutrodynage est de plus en plus difficile à réaliser aux fréquences élevées avec des transistors à effet de champ car il est quasiment impossible de compenser les éléments  $R_{gd}$  et  $C_{gd}$  avec des circuits passifs et sans perte. Ce gain reste cependant utilisé comme critère d'évaluation des performances des transistors. Son expression en fonction des paramètres  $[S]$  est la suivante :

$$U = \frac{1}{2} \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{K \left| \frac{S_{21}}{S_{12}} \right| - \text{Re} \left( \frac{S_{21}}{S_{12}} \right)}$$

### **II.3.2. Les critères d'évaluations en fonctionnement non linéaire**

Tant que la puissance de sortie du transistor évolue linéairement avec le niveau de puissance à son entrée, le fonctionnement du composant est dit linéaire. C'est le cas de l'amplification faible bruit où les niveaux de puissance à l'entrée des composants

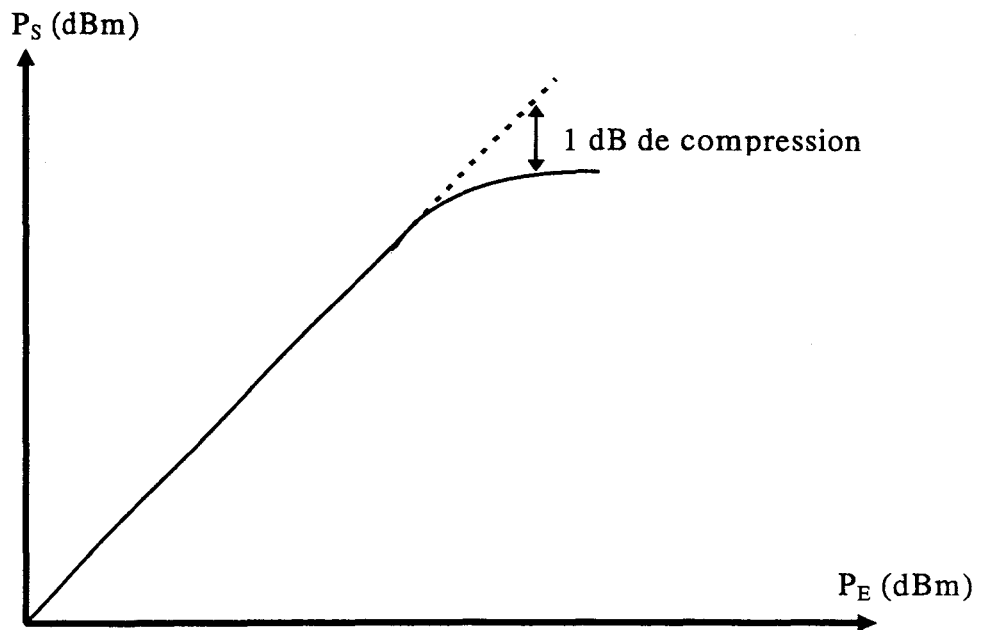


Figure I.6 : Evolution typique de la puissance de sortie en fonction de la puissance d'entrée d'un amplificateur.

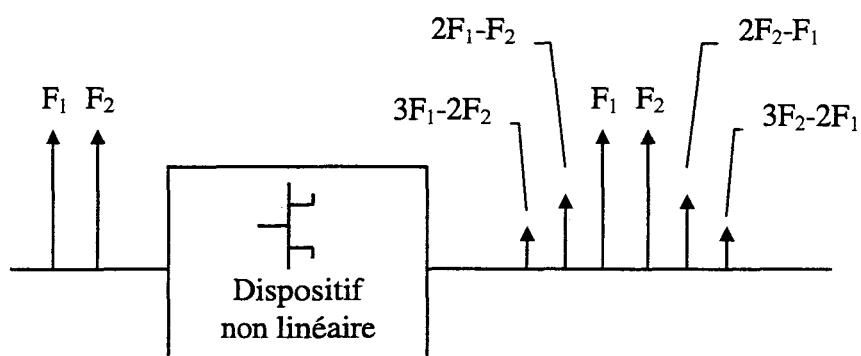


Figure I.7 : Schématisation de l'effet d'intermodulation entre deux signaux



sont faibles. Par contre, lorsque les puissances appliquées à l'entrée du composant deviennent trop importantes, les mécanismes de non linéarités se mettent à intervenir et entraînent progressivement une réponse en puissance hors de la linéarité. Dans ces conditions, les paramètres  $[S]$  petit signal n'ont plus qu'une correspondance lointaine avec la réalité. Ceci résulte de la génération de composantes aux fréquences harmoniques qui ôtent sa validité au formalisme des paramètres  $[S]$ , formalisme qui repose sur un fonctionnement uniquement à la fréquence fondamentale. On définit alors d'autres critères que nous allons décrire dans les parties qui suivent.

#### II.3.2.1. Point à 1 dB de compression

La puissance de sortie d'un transistor est classiquement mentionnée à deux valeurs particulières de celle-ci :

la première est la puissance de sortie obtenue pour la valeur de 1 dB de compression du gain en puissance. Cette valeur s'obtient à partir du tracé de la caractéristique représentant l'évolution de la puissance de sortie du transistor en fonction de la puissance d'entrée qui lui est appliquée. On obtient alors la puissance de sortie à 1 dB de compression du gain en puissance lorsque le gain a diminué de 1 dB par rapport au gain de la zone linéaire (figure I.6).

La seconde puissance usuellement mentionnée est la puissance maximale obtenue en sortie du transistor qui peut être obtenue pour plusieurs décibels de compression du gain. Elle se nomme également puissance de saturation.

#### II.3.2.2. Intermodulation d'ordre 3

L'intermodulation résulte de l'interférence de deux signaux de fréquences voisines injectées à l'entrée d'un dispositif non linéaire. Le transistor, par l'intermédiaire de ses non linéarités, va générer en sortie des signaux aux fréquences fondamentales  $F_1$  et  $F_2$  mais également à d'autres fréquences (figure I.7). Ces fréquences résultent du développement polynomial des non linéarités du transistor et en particulier du générateur de courant. Les composantes au premier ordre seront les fréquences fondamentales  $F_1$  et  $F_2$ , au second ordre, les termes en  $2F_1$ ,  $2F_2$ ,  $F_1+F_2$ , et  $F_2-F_1$ , et au troisième ordre les termes en  $3F_1$ ,  $3F_2$ ,  $2F_1+F_2$ ,  $2F_1-F_2$ ,  $2F_2+F_1$ ,  $2F_2-F_1$ .

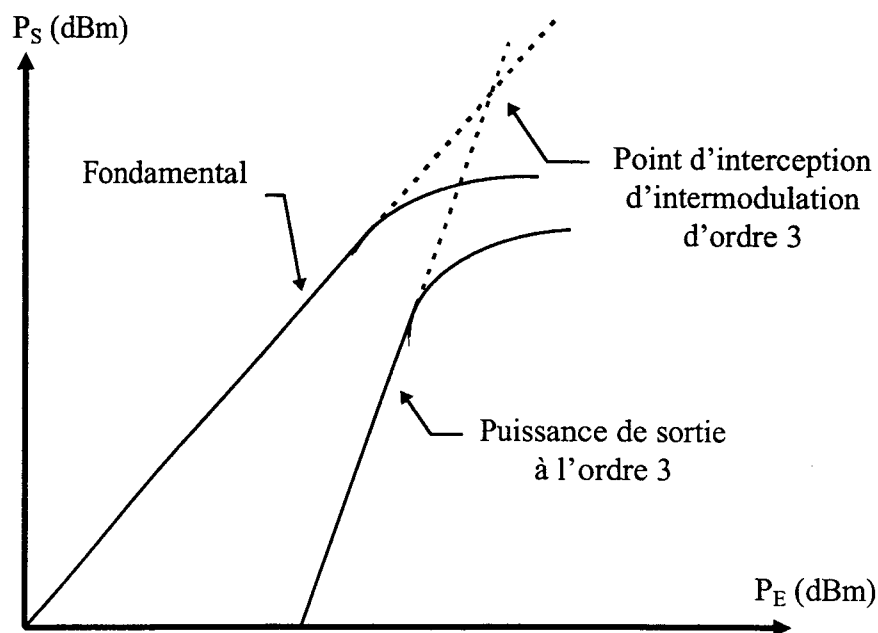


Figure I.8 : Détermination du point d'interception d'intermodulation d'ordre 3

Les termes du second ordre peuvent être aisément supprimés par filtrage dans la plupart des systèmes, et les termes supérieurs à l'ordre 3 sont en général de très faible amplitude. Par contre, les termes du 3<sup>e</sup> ordre en  $2F_1-F_2$  et  $2F_2-F_1$  risquent de se trouver contenus dans la bande passante du dispositif et ne pourront pas être supprimés par filtrage. Pour quantifier la linéarité du dispositif, on utilise alors le rapport d'intermodulation  $\frac{C}{I}$  (pour  $\frac{\text{carrier}}{\text{intermodulation}}$ ) qui traduit l'écart de puissance contenue entre les raies d'ordre 3 et les raies à la fréquence fondamentale, pour un point de fonctionnement donné :

$$\left(\frac{C}{I}\right)_{\text{dBc}} = 10 \log\left(\frac{P_{S1}}{P_{S3}}\right)$$

pour une puissance injectée identique pour les 2 raies fondamentales.

$P_{S1}$  est la puissance de sortie mesurée à l'une des fréquences fondamentales  
et  $P_{S3}$  la puissance de sortie mesurée sur l'une des raies d'ordre 3.

On peut également caractériser l'intermodulation par son point d'interception d'ordre 3 appelé  $IP_3$ . Il s'obtient en traçant les caractéristiques linéaires extrapolées des évolutions des puissances de sortie du dispositif en fonction de la puissance d'entrée, à la fréquence fondamentale ainsi qu'à l'ordre 3. Le point fictif d'intersection, où le prolongement des réponses linéaires du fondamental et du 3<sup>e</sup> ordre se croisent, caractérise l' $IP_3$  [7] (figure I.8). Ce point, indépendant de la puissance d'entrée, constitue un critère de qualité pratique pour caractériser le degré de linéarité d'un amplificateur.

### II.3.2.3. Rendement en puissance ajoutée et classes de fonctionnement

Le concept de rendement traduit l'aptitude du transistor à transformer l'énergie continue apportée par les alimentations en énergie hyperfréquence. Le bilan des puissances entrantes et sortantes de l'amplificateur peut s'écrire :

$$P_E + P_{DC} = P_S + P_{\text{dis}}$$

où :

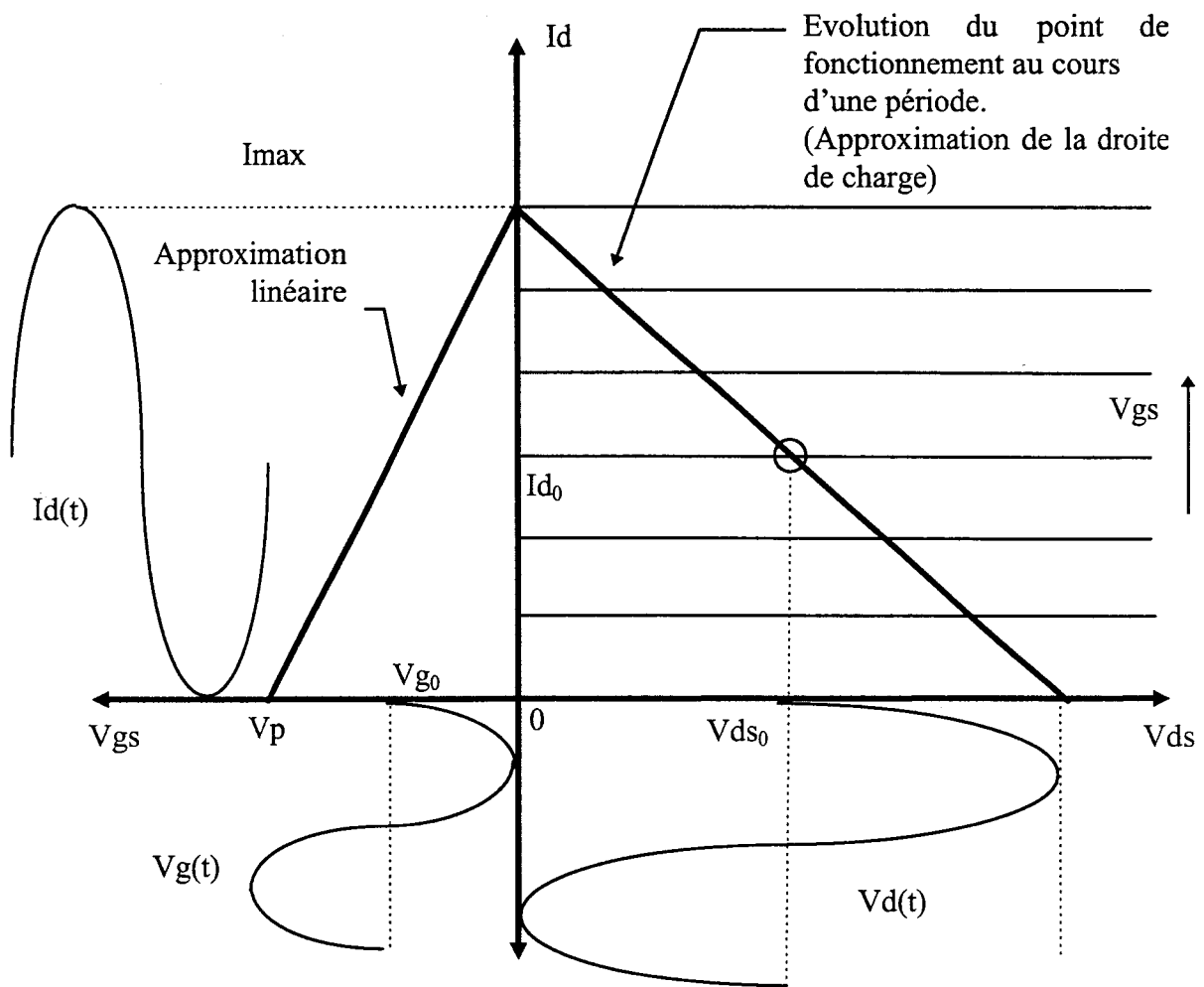


Figure I.9 : Représentation des signaux disponibles en classe A

$P_E$  est la puissance hyperfréquence absorbée en entrée de l'amplificateur,

$P_S$  la puissance hyperfréquence absorbée par la charge,

$P_{DC}$  la puissance continue fournie par l'alimentation

et  $P_{dis}$  la puissance dissipée par l'amplificateur.

Le rendement le plus couramment utilisé est le rendement en puissance ajoutée qui prend en considération le bilan des puissances appliquées à l'amplificateur. On le définit par les relations suivantes :

$$\eta_{PAE} = \frac{P_S - P_E}{P_{DC}} = \frac{P_S}{P_{DC}} \left( 1 - \frac{1}{G_P} \right) = 1 - \left( \frac{P_{dis}}{P_{DC}} \right)$$

où  $G_P$  est le gain en puissance de l'amplificateur.

Le terme  $\frac{P_S}{P_{DC}}$  est aussi appelé rendement drain de l'amplificateur.

Le rendement en puissance ajoutée dépend de la puissance continue fournie par l'alimentation, donc du point de polarisation du transistor. Ce point, appelé aussi point de repos, est également utilisé pour définir les classes de fonctionnement du transistor :

- ✓ En classe A, le transistor est polarisé à la moitié de son courant maximum, les signaux de commande et de sortie sont sinusoïdaux. Le rendement drain maximum est de 50 % pour une approximation linéaire du courant. Cette classe de fonctionnement est particulièrement bien adaptée aux applications nécessitant une puissance de sortie ainsi qu'un gain important. Une représentation des signaux disponibles sur le transistor pour cette classe de fonctionnement est donné figure I.9.
- ✓ En classe B, le point de repos se situe au pincement du transistor. Le composant ne conduit que durant une demi alternance ce qui permet un rendement drain maximum théorique de 78.5 %. Cette classe de fonctionnement permet d'obtenir un rendement supérieur mais pour une puissance d'entrée injectée au composant identique à celle du fonctionnement en classe A, la puissance de sortie sera deux fois plus faible. Le point de polarisation choisi dépendra du type d'application envisagée. L'amplification de puissance en classe B conviendra aux applications demandant une faible

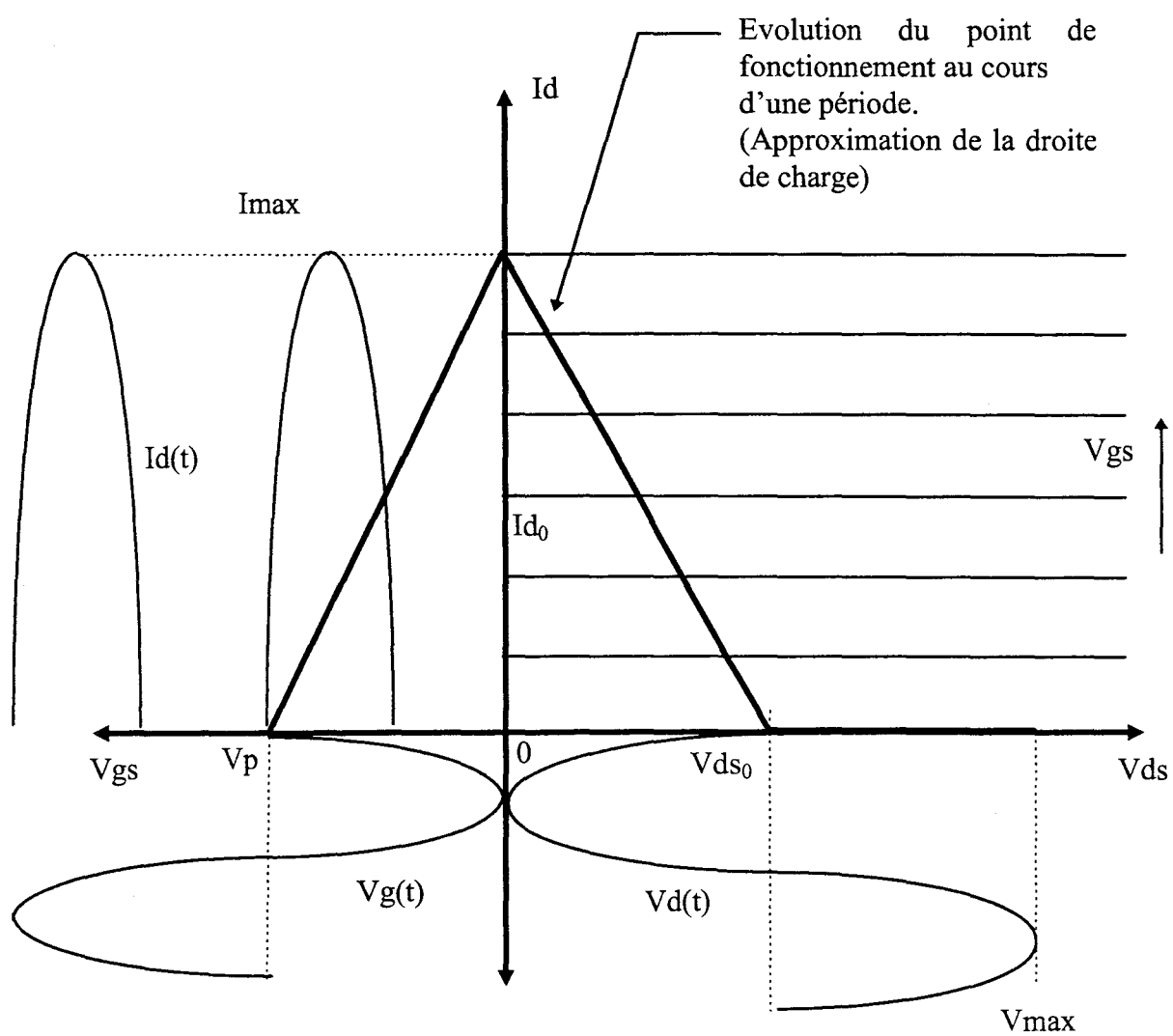


Figure I.10 : Représentation des signaux disponibles en classe B

consommation ainsi qu'un rendement élevé. Une représentation des signaux disponibles sur le transistor pour cette classe de fonctionnement est donnée figure I.10.

- ✓ La classe AB correspond à un état intermédiaire entre les deux classes précédemment citées. Elle permet d'obtenir un compromis entre la puissance de sortie, le gain et le rendement.

Ces classes de fonctionnement sont actuellement les seules à être utilisées aux fréquences millimétriques. Les autres classes de fonctionnement, comme la classe C ou F ne sont utilisées jusqu'à aujourd'hui que pour des applications autour de la bande X, c'est pourquoi nous n'en parlerons pas ici.

#### II.3.2.4. Conversion AM-AM et AM-PM

Lorsque le gain d'un quadripôle est dépendant de l'amplitude de la puissance injectée à l'entrée de celui-ci, le phénomène de conversion AM-AM (AM pour modulation d'amplitude) peut apparaître. De même, si l'écart de phase produit à travers un quadripôle est dépendant de la puissance injectée à l'entrée du quadripôle, le phénomène de conversion AM-PM (PM pour modulation de phase) peut également apparaître [8]. La distorsion AM-AM en hyperfréquence se caractérise par la déviation du gain du quadripôle par rapport à sa valeur mesurée en petit signal. On définit alors un coefficient de conversion AM-AM par la relation :

$$k_{AM-AM} = \frac{dG_P}{dP_E} \quad \text{avec} \quad \begin{cases} G_P : \text{gain en puissance} \\ P_E : \text{puissance d'entrée absorbée} \end{cases}$$

La distorsion en phase est caractérisée par un décalage de la phase entre l'entrée et la sortie du quadripôle par rapport à un décalage de phase de référence déterminé pour un fonctionnement en petit signal et une impédance de charge donnée. Ce coefficient de distorsion AM-PM s'exprime par le rapport entre la dérivée de cet écart de phase  $\Phi$  et la dérivée de la puissance d'entrée [9].

$$k_{AM - PM} = \frac{d\Phi}{dP_E}$$

Pour réduire la consommation des téléphones portables, les amplificateurs de puissance opèrent parfois près de la zone de saturation afin d'obtenir un rendement important. Dans ces conditions de fonctionnement, les distorsions en amplitude et en phase augmentent de façon significative, accentuant les interférences entre les canaux adjacents. On utilise alors pour atténuer ces distorsions des compensateurs de linéarisation [10].

### **III. Stabilité des transistors**

---

L'étude de la stabilité est un point important dans la phase de conception de tout amplificateur. Le concepteur aura en charge durant cette phase de stabiliser l'amplificateur dans une gamme de fréquences allant du continu à la fréquence de travail, voire jusqu'aux harmoniques 2, 3... afin d'éviter que les impédances présentées au transistor n'entraînent son entrée en oscillation et ne le détruisent. Nous étudierons dans la première partie la stabilité des transistors, puis dans la seconde, nous verrons différentes techniques utilisées pour les stabiliser.

#### **III.1. Les critères de stabilité**

##### **III.1.1. Le coefficient de stabilité K**

Le coefficient de stabilité K, encore appelé coefficient de Rollet [11], est le critère le plus utilisé par les concepteurs de circuits pour étudier la stabilité des quadripôles linéaires. Son expression, déjà définie dans la partie II.2.1. de ce chapitre, s'exprime en fonction des paramètres [S] de la façon suivante :



$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} \quad \text{avec} \quad \Delta = S_{11}S_{22} - S_{12}S_{21}$$

Le quadripôle sera dit inconditionnellement stable si et seulement si les deux conditions suivantes sont remplies :

$$\begin{cases} K > 1 \\ |\Delta| < 1 \end{cases} \quad \text{pour toutes les fréquences}$$

Notons que la condition  $|\Delta| < 1$  peut être exprimée sous des formes équivalentes soit :

$$B_1 > 0 \quad \text{avec} \quad B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2$$

$$\text{ou encore} \quad 1 - |S_{ii}|^2 > |S_{ij}S_{ji}| \quad \text{avec } i = 1, 2 \text{ et } i \neq j.$$

Le coefficient de stabilité peut également être exprimé dans le formalisme des paramètres Z, Y ou H, où il prend une forme identique :

$$K = \frac{2\text{Re}(\gamma_{11})\text{Re}(\gamma_{22}) - \text{Re}(\gamma_{12}\gamma_{21})}{|\gamma_{12}\gamma_{21}|} \quad \text{avec} \quad \gamma = z, y \text{ ou } h$$

La stabilité est alors inconditionnelle si et seulement si :

$$\begin{cases} K > 1 \\ \text{Re}(\gamma_{11}) > 0 \\ \text{Re}(\gamma_{22}) > 0 \end{cases}$$

Lorsque le quadripôle est inconditionnellement stable, il ne pourra pas osciller, quelles que soient les impédances passives qui pourraient lui être présentées en entrée ou en sortie. On peut également calculer les impédances optimales  $\Gamma_{\text{Lopt}}$  et  $\Gamma_{\text{Sopt}}$  à présenter au composant de manière à réaliser le MAG à la fréquence de travail. Durant la phase de conception d'un amplificateur, on s'efforcera de réaliser les conditions  $K > 1$  et  $|\Delta| < 1$  dans la gamme de fréquence allant du continu à la fréquence de travail, et de manière plus générale jusqu'à ce que l'amplificateur n'ait plus de gain.

Lorsque le coefficient de stabilité est inférieur à l'unité, la stabilité du quadripôle est dite conditionnelle et l'étude de sa stabilité nécessite celle des cercles de stabilité.

### III.1.2. Les cercles de stabilité

Lorsque le coefficient de stabilité  $K$  est inférieur à l'unité, l'étude de la stabilité du transistor est conditionnelle. Il est alors nécessaire de vérifier pour chaque fréquence où  $K < 1$  si les impédances présentées en entrée et en sortie du transistor ne vont pas entraîner son instabilité. Ceci s'effectue à partir de l'étude des cercles de stabilité.

Dans le formalisme des paramètres  $[S]$ , un système devient instable lorsque  $|S'_{11}| > 1$  ou  $|S'_{22}| > 1$ . La limite de la stabilité est alors obtenue pour des valeurs de  $|S'_{11}|$  ou  $|S'_{22}|$  égales à l'unité.

Nous avons vu dans la partie II.2.1. de ce chapitre que le coefficient de réflexion présenté par l'entrée du transistor lorsqu'il est chargé en sortie par une impédance  $Z_L$  peut s'exprimer par :

$$S'_{11} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L}$$

A la limite de stabilité, nous avons donc  $|S'_{11}| = 1$  soit :

$$|S'_{11}| = \left| S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \right| = 1$$

Cette expression représente dans l'abaque de Smith un cercle de rayon  $|R_L|$  et de centre  $C_L$  tel que :

$$|R_L| = \frac{|S_{12}S_{21}|}{|S_{22}|^2 - |\Delta|^2} \quad C_L = \frac{S_{22}^* - \Delta^* S_{11}}{|S_{22}|^2 - |\Delta|^2}$$

Il est ensuite nécessaire de déterminer si la zone de stabilité se trouve à l'intérieur ou à l'extérieur de ce cercle. Une méthode simple et rapide consiste à

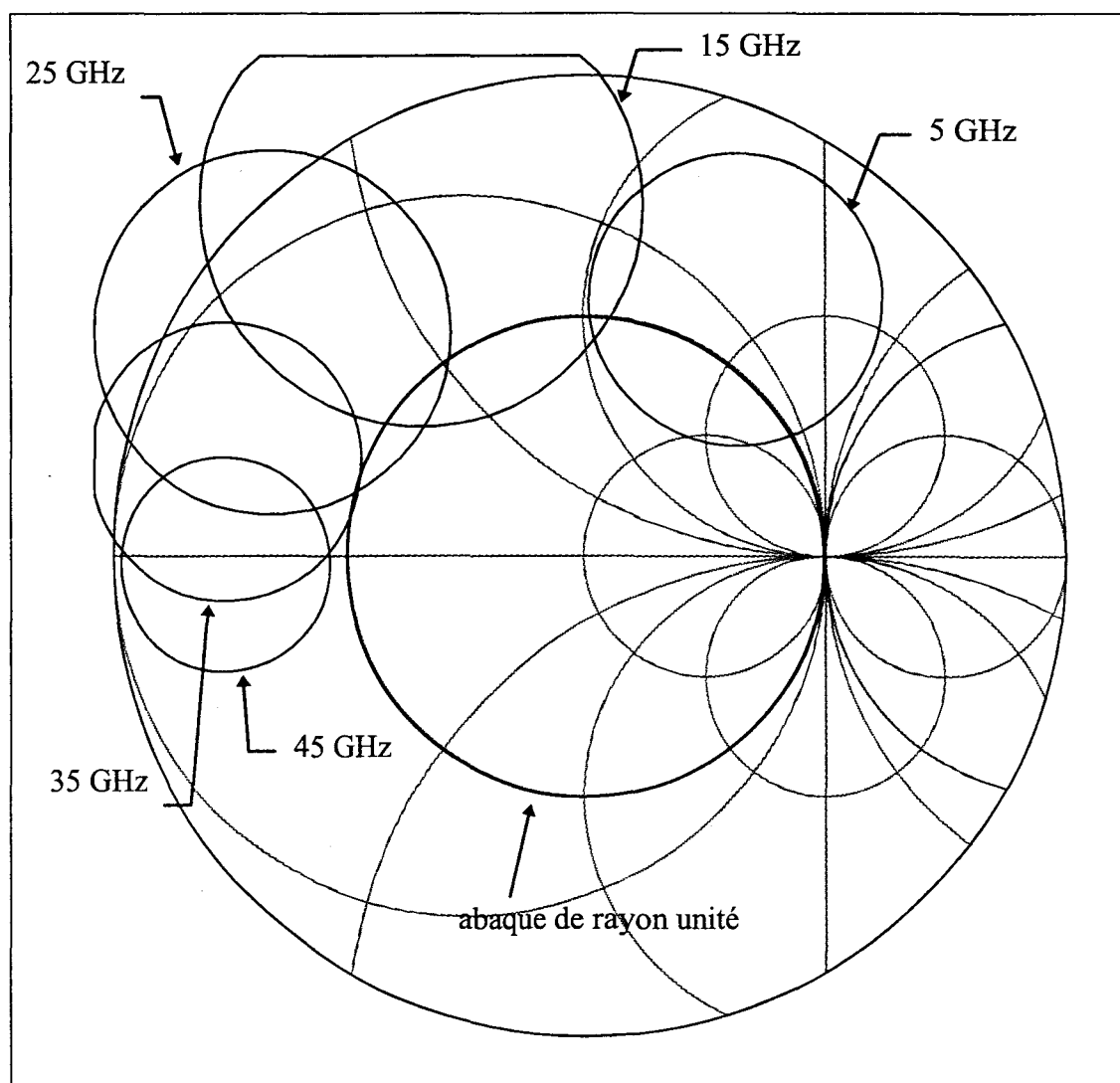


Figure I.11 : Lieu des impédances de source pour les fréquences de 5 GHz, 15 GHz, 25 GHz, 35 GHz, et 45 GHz entraînant une instabilité en sortie du transistor. La zone d'instabilité est à l'intérieur des cercles.

(InP HEMT  $2 \times 50 \mu\text{m}$ , réalisé au laboratoire :  $V_{ds} = 2 \text{ V}$  ;  $V_{gs} = 0 \text{ V}$ )

considérer le cas particulier où  $\Gamma_L = 0$ , point représentant le centre de l'abaque de Smith. Ce point sera situé dans la zone de stabilité si  $|S'_{11}| = |S_{11}| < 1$ .

Un raisonnement analogue peut être appliqué pour la sortie. Le coefficient de réflexion présenté par la sortie du transistor lorsqu'il est chargé en entrée par une impédance  $Z_S$ , de coefficient de réflexion  $\Gamma_S$ , s'exprime par :

$$S'_{22} = S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S}$$

A la limite de stabilité, l'étude du cas  $|S'_{22}| = 1$  permet d'établir l'équation d'un cercle de centre  $C_S$  et de rayon  $|R_S|$  définie par :

$$|R_S| = \frac{|S_{12}S_{21}|}{|S_{11}|^2 - |\Delta|^2} \quad C_S = \frac{S_{11}^* - \Delta^* S_{22}}{|S_{11}|^2 - |\Delta|^2}$$

Afin de déterminer si la zone de stabilité se trouve à l'intérieur ou à l'extérieur du cercle, on étudiera alors le cas particulier où  $\Gamma_S = 0$ .

Nous pouvons remarquer que la stabilité en entrée du transistor va dépendre uniquement de la charge qui lui sera présentée en sortie. De même, la stabilité en sortie du transistor va dépendre uniquement de la valeur de la charge qui lui sera présentée en entrée. A titre d'exemple, nous présentons sur la figure I.11, le lieu des impédances d'entrée qui vont entraîner une instabilité en sortie d'un composant de développement  $2 \times 50 \mu\text{m}$  réalisé sur substrat InP pour les fréquences particulières de 5 GHz, 15 GHz, 25 GHz, 35 GHz et 45 GHz. Nous constatons que le transistor est inconditionnellement stable pour la fréquence de 45 GHz car le cercle d'instabilité est situé à l'extérieur de l'abaque de Smith de rayon unité.

Malheureusement, toutes ces considérations ne sont valables que dans le formalisme des paramètres  $[S]$ , c'est à dire lorsque l'on ne considère qu'un seul mode de propagation ainsi qu'un niveau de puissance suffisamment faible pour demeurer en régime de fonctionnement linéaire. C'est pourquoi, nous allons nous intéresser dans la partie suivante aux limitations du coefficient de stabilité K.

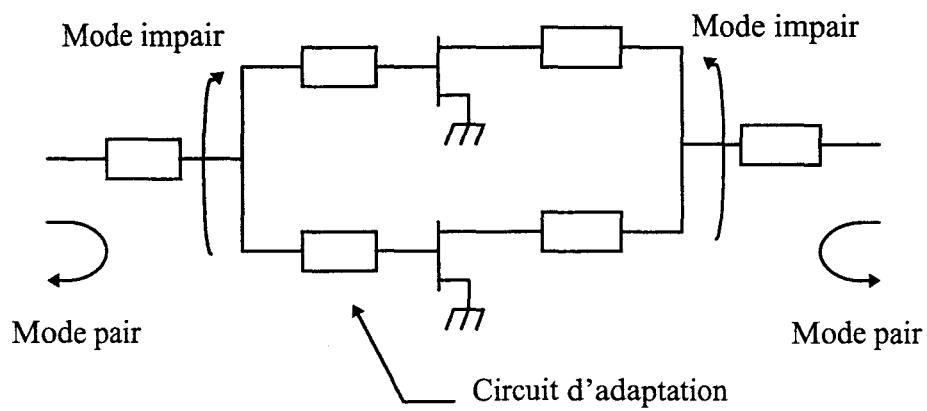


Figure I.12 : Schématisation de la localisation de l'apparition du mode impair dans un circuit à deux transistors.

### **II.1.3. Validité d'utilisation du coefficient de stabilité**

L'analyse de la stabilité des amplificateurs de puissance ou d'oscillateur est une préoccupation importante pour tout concepteur. Plusieurs auteurs, à travers leurs publications, font remarquer que le coefficient de stabilité  $K$ , classiquement utilisé, n'est pas suffisant pour prédire la stabilité des quadripôles linéaires [12], [13], [14]. La stabilité d'un quadripôle linéaire est déterminée par les coefficients vus à l'entrée ainsi qu'à la sortie de celui-ci. Il sera inconditionnellement stable si les conditions  $K > 1$  et la condition auxiliaire  $|\Delta| < 1$  sont vérifiées. Toutefois, ces auteurs ajoutent que ces conditions ne sont valables que si elles sont accompagnées d'une condition supplémentaire. Cette condition stipule que le quadripôle non chargé ne doit pas posséder de pôles à partie réelle positive, c'est à dire de pôles situés dans le demi plan droit du plan complexe. Platzker [12] propose une définition plus complète du critère de stabilité d'un quadripôle linéaire : "un quadripôle non chargé qui ne possède aucun pôle dans le demi plan complexe droit sera rendu stable lorsqu'il sera chargé de manière externe à son entrée et à sa sortie si et seulement si les deux conditions  $K > 1$  et  $|\Delta| < 1$  sont vérifiées pour toutes les fréquences."

L'étude de la stabilité reposant uniquement sur les deux conditions  $K > 1$  et  $|\Delta| < 1$  a été mise en défaut pour les amplificateurs de puissance composés de plusieurs transistors placés en parallèle. Pour de telles configurations, plusieurs auteurs montrent que pour des circuits MMIC de puissance comportant deux ou quatre transistors en parallèle, les deux conditions classiquement utilisées lorsqu'elles sont vérifiées ne sont plus suffisantes puisqu'il y a apparition d'oscillations dans leurs circuits [15], [16]. Ces oscillations sont engendrées par l'apparition de mode de propagation impair appelé également push-pull mode entre les transistors (figure I.12).

De manière générale,  $n$  modes peuvent exister quand  $n$  transistors sont associés : un mode pair et  $n-1$  modes impairs.

Freitag [13] propose une méthode pour tester la stabilité des circuits basée sur l'étude des paramètres  $Z$  lorsque l'on va scinder le circuit. Toutefois, cette méthode n'est applicable qu'à une configuration de circuit symétrique (2, 4, 8 transistors ...) [17].

Platzker [12], quant à lui, propose une méthode basée sur la généralisation du critère de Bode et de la définition du "Return Ratio". Des études menées à l'université de Limoges tentent d'étendre cette définition à l'étude de la stabilité en régime de fonctionnement non linéaire [14].

L'étude de la stabilité des amplificateurs de puissance multi-étages suscite beaucoup d'intérêts car le simple critère  $K > 1$  a montré ses limites. Il est cependant nécessaire d'ajouter que les méthodes citées deviennent vite très lourdes lorsque beaucoup d'étages sont associés et ne sont actuellement pas introduites dans les simulateurs commerciaux.

### **III.2. Les méthodes de stabilisation**

Lors de toute conception d'amplificateur, le concepteur cherchera à rendre inconditionnellement stable son circuit. Dans ce paragraphe, nous allons décrire brièvement les méthodes habituellement utilisées pour stabiliser un transistor. Comme nous l'avons vu dans la partie précédente, l'étude de la stabilité des amplificateurs multi-étages nécessitera une fois ces conditions remplies une étude supplémentaire globale du circuit. Ce paragraphe se décompose en deux parties : dans la première, nous étudierons le cas où le transistor est instable à la fréquence de travail, et dans la seconde, les techniques utilisées pour le stabiliser à toutes les autres fréquences.

#### **III.2.1. Stabilisation à la fréquence de travail**

Lors de la phase de stabilisation d'un transistor, la première démarche est de vérifier s'il est ou non inconditionnellement stable à la fréquence de travail. S'il est instable, il faudra dans un premier temps le stabiliser autour de cette fréquence. Pour cela, il va falloir "brider" le composant en ajoutant des éléments passifs au transistor afin d'augmenter son coefficient de stabilité jusqu'à ce qu'il atteigne l'unité à la fréquence de travail. Dans la pratique, on se fixera plutôt un coefficient  $K \gg 2$  afin de s'octroyer une marge liée à la dispersion technologique lors de la réalisation. Bien entendu, la principale conséquence de l'augmentation du coefficient de stabilité va être

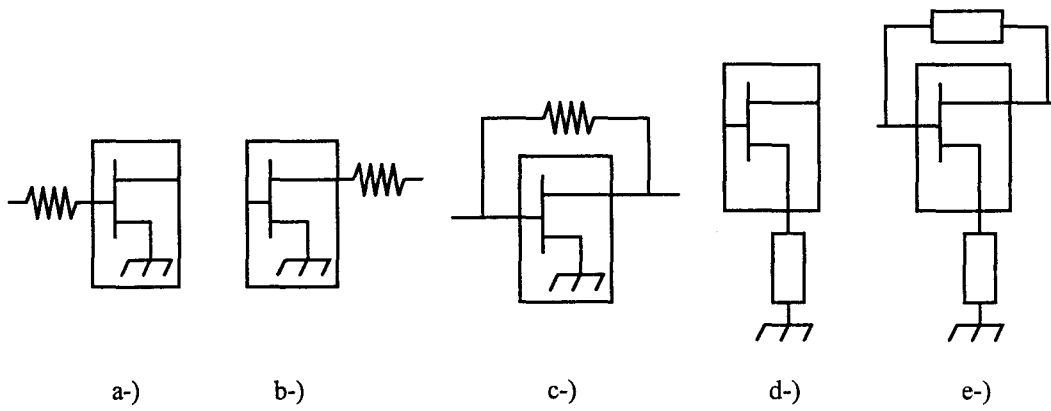


Figure I.13 : Schématisation de diverses possibilités pour stabiliser un transistor en diminuant son gain

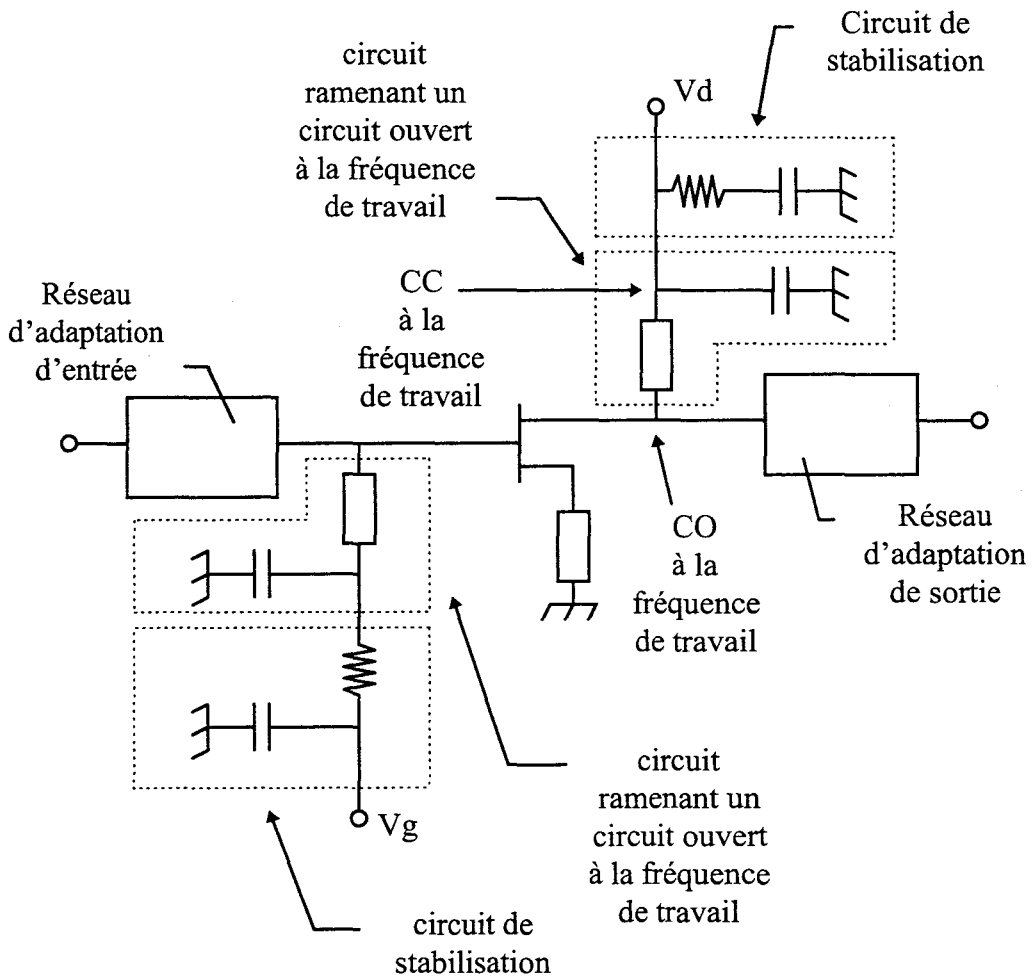


Figure I.14 : Circuits RLC utilisés pour polariser et stabiliser les montages amplificateurs en technologie MMIC aux fréquences millimétriques.



une diminution du gain du transistor. Des exemples typiques de stabilisation par adjonction d'éléments passifs sont donnés en figure I.13. Les cas a, b, et c, font intervenir un élément résistif pour stabiliser le transistor. Le principal inconvénient de ces méthodes réside dans une puissance dissipée importante dans les résistances ce qui se traduit par une baisse du rendement des circuits. Les cas e et d, font intervenir des éléments réactifs. Ils ne consommeront donc pas de puissance active et n'influenceront pas le rendement de l'amplificateur. A notre connaissance, le cas d qui consiste à placer une longueur de ligne dans la source du transistor est la plus utilisée pour stabiliser les amplificateurs en technologie MMIC en gamme millimétrique. L'ajout de cette longueur de ligne dans la source du transistor va se traduire par une augmentation de la quantité  $L_s$  du schéma équivalent localisé du transistor, terme fortement lié à la valeur du gain du transistor [18]. Un autre avantage de cette technique est un contrôle très précis de la valeur du coefficient de stabilité et du gain en fonction de la longueur de la ligne.

### **III.2.2. Stabilisation hors de la bande de travail**

Une fois le transistor rendu stable à sa fréquence de travail, l'étape suivante de la conception de l'amplificateur va consister à rendre l'amplificateur inconditionnellement stable à toutes les fréquences. Le gain du transistor et l'étude de sa stabilité étant étroitement liés, rendre stable l'amplificateur va se résumer à diminuer le plus possible le gain du transistor afin de se prémunir de toute amplification d'éventuels parasites qui pourraient naître dans le circuit et engendrer l'apparition d'oscillations. Pour les circuits en technologie intégrée au delà de la bande X, la solution la plus répandue pour remplir cette fonction est l'utilisation de circuit RLC. Ces circuits permettent à la fois d'amener les tensions de polarisation aux transistors mais aussi de les rendre stables dans une large bande de fréquence. Ils permettent également d'obtenir des dimensions de circuit en accord avec la technologie MMIC où le coût est fortement lié à la surface du circuit. Un schéma typique de circuits RLC utilisé pour polariser un transistor est représenté figure I.14.

Il peut être décomposé en deux circuits distincts. Le premier aura en charge de ramener au niveau de l'entrée et de la sortie du transistor un circuit ouvert pour la fréquence de travail afin de rendre transparent le second circuit placé derrière. Ce

second circuit, composé d'éléments capacitifs et résistifs, fera chuter le gain du montage hors de la bande de travail. Remarquons que la résistance est placée en série dans la grille puisqu'il n'y a pas de courant dans celle-ci alors qu'elle est placée en parallèle dans le drain, afin d'éviter une chute de tension à ses bornes et donc une modification du point de polarisation du transistor. La complémentarité des divers éléments constituant ce type de circuit en font un circuit performant pour polariser et stabiliser les amplificateurs en technologie MMIC et hybride en onde millimétrique. Dans le chapitre IV une description plus détaillée de la simulation et l'incorporation de ce type de circuit dans notre amplificateur sera effectuée.

## **IV. Méthodes d'adaptation des transistors**

---

Maintenant que nous avons évoqué les principales techniques utilisées pour stabiliser les transistors, nous allons nous intéresser à la partie suivante de la conception qui est leur adaptation. Cette étape va consister à concevoir le circuit passif permettant de présenter en entrée et en sortie du transistor les impédances optimales souhaitées. Nous verrons dans la première partie comment réaliser cette adaptation à partir de ligne de compensation ou "stub". Dans la seconde, nous utiliserons des lignes d'impédance caractéristiques différentes.

### **IV.1. Transformateur à ligne de compensation**

Les lignes de compensation ou "stub" en anglais sont des lignes terminées par un circuit ouvert ou un court circuit placées en parallèle sur la ligne principale. Elles permettent de réaliser une transformation d'impédance afin de procéder à l'adaptation du transistor. La transformation d'impédance, réalisée par des circuits passifs, permettra

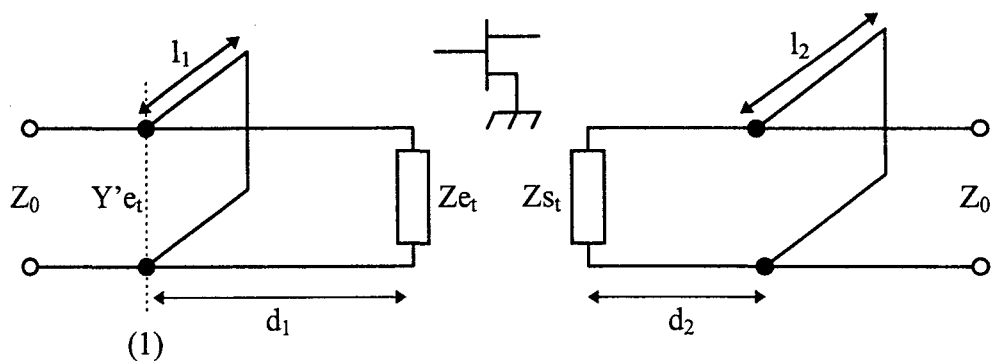


Figure I.15 : Schématisation de la transformation d'impédance par lignes de compensation fermées.

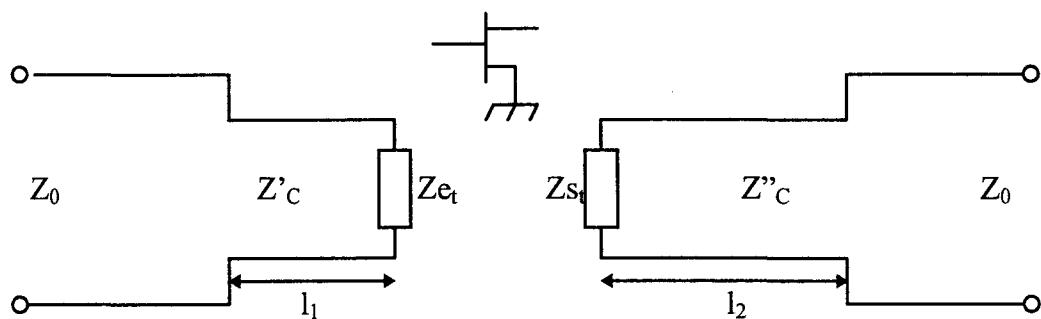


Figure I.16 : Schématisation du transformateur d'impédance à tronçon de ligne.

de transformer les impédances d'entrée  $Z_{e_t}$  et de sortie  $Z_{s_t}$  du transistor en l'impédance de référence  $Z_0$ , valant classiquement  $50 \Omega$  (figure I.15).

L'adaptation en entrée du transistor dépendra des longueurs de ligne  $d_1$  et  $l_1$  et en sortie des longueurs de ligne  $d_2$  et  $l_2$ . Prenons l'exemple de l'entrée où l'admittance complexe du transistor peut s'écrire  $Y_{e_t} = a_{e_t} + jb_{e_t}$ . La longueur de ligne  $l_1$  doit permettre d'obtenir dans le plan (1) l'admittance  $Y'_{e_t} = 1 + jb_{e_t}$ . Ceci s'obtient en plaçant l'admittance  $Y_{e_t}$  du transistor sur l'abaque de Smith et en se déplaçant à taux d'ondes stationnaires constant vers le générateur jusqu'à couper le cercle des parties réelles égales à l'unité. Deux solutions sont possibles permettant un choix parmi deux longueurs de lignes, l'une d'elle étant égale à la valeur de la ligne  $d_1$ . Puis, partant du court circuit (cas de la figure I.15) ou du circuit ouvert sur l'abaque de Smith, on détermine la longueur de ligne  $l_1$  qui compensera le terme  $+jb_{e_t}$  de l'admittance  $Y'_{e_t}$ . Cette admittance est égale à l'admittance conjuguée  $-jb_{e_t}$ . On obtient ainsi une admittance ou une impédance résultante normalisée égale à l'unité soit  $50 \Omega$  dans notre système de référence. Cette technique très utilisée pour la conception de circuit en technologie MMIC permet de rapidement estimer de manière analytique ces longueurs, ceci afin de mieux les contrôler lors de l'optimisation du circuit sur le simulateur utilisé pour la conception.

#### **IV.2. Adaptation par transformateur à tronçon de ligne**

La transformation d'impédances est ici réalisée par juxtaposition de lignes d'impédances caractéristiques différentes (figure I.16). Comme pour la méthode précédente, il est possible de calculer analytiquement la valeur de l'impédance caractéristique  $Z'_C$  ainsi que la longueur de la ligne  $l_1$  nécessaire à la transformation de l'impédance d'entrée du transistor  $Z_{e_t}$  en l'impédance de référence  $Z_0$ . Ces deux grandeurs s'obtiennent à partir des formulations suivantes :

$$\text{tg}(\beta l_1) = \frac{Z'_C(Z_0 - \text{Re}_{e_t})}{Z_0 X_{e_t}} \quad Z'_C = \sqrt{Z_0 \text{Re}_{e_t} - \frac{X_{e_t}^2 Z_0}{Z_0 - \text{Re}_{e_t}}}$$

$$\text{avec } Z_{e_t} = R_{e_t} + jX_{e_t} \quad \text{et} \quad \beta = \frac{2\pi}{\lambda}$$

$\lambda$  : longueur d'onde guidée

En guide de propagation microruban, l'impédance caractéristique de la ligne est fixée principalement par sa largeur pour une épaisseur de substrat donnée. Afin de diminuer le critère sélectif de l'adaptation et d'éviter les discontinuités trop importantes dues à des largeurs de ligne trop différentes, on peut faire appel à des sections quart d'onde d'impédance caractéristique progressive. Par contre, cela augmentera les dimensions du circuit donc également son coût. Cette technique d'adaptation est toutefois très utilisée par les concepteurs de circuits. Nous effectuerons dans le chapitre IV de ce manuscrit une comparaison de ces deux méthodes.

## **V. Etat de l'art des transistors et amplificateurs de puissance à 60 GHz et 94 GHz**

---

Avant de présenter les différents résultats de puissance relevés dans la littérature avec des transistors à effet de champ, nous allons tout d'abord décrire les différentes familles de composants utilisés pour l'amplification de puissance en gamme d'onde millimétrique.

### **V.1. Les familles de transistors à effet de champ dédiées à l'amplification de puissance en gammes de fréquences millimétriques**

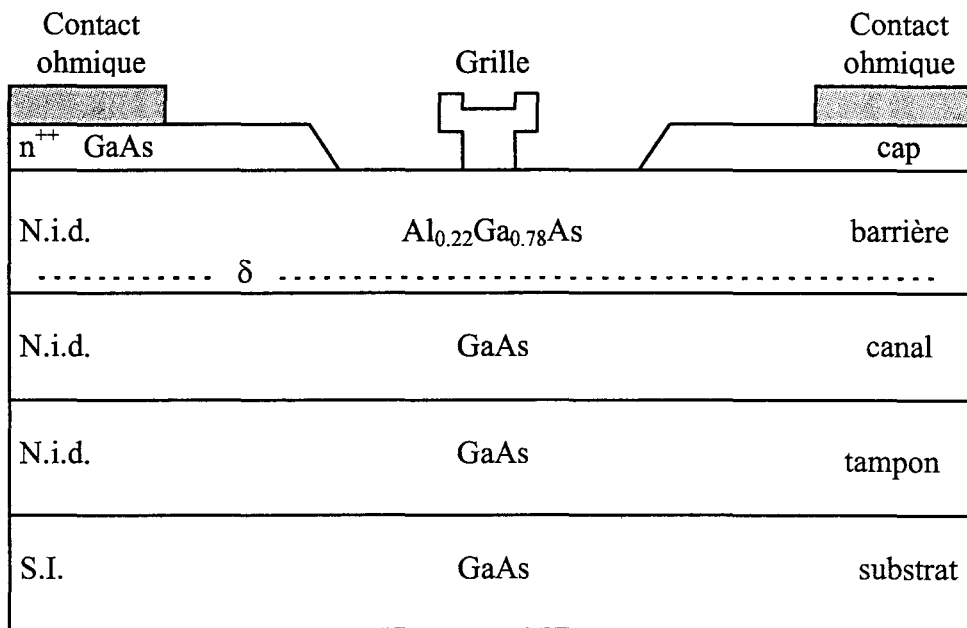


Figure I.17 : Structure type du HEMT conventionnel sur substrat GaAs à 1 plan de dopage.

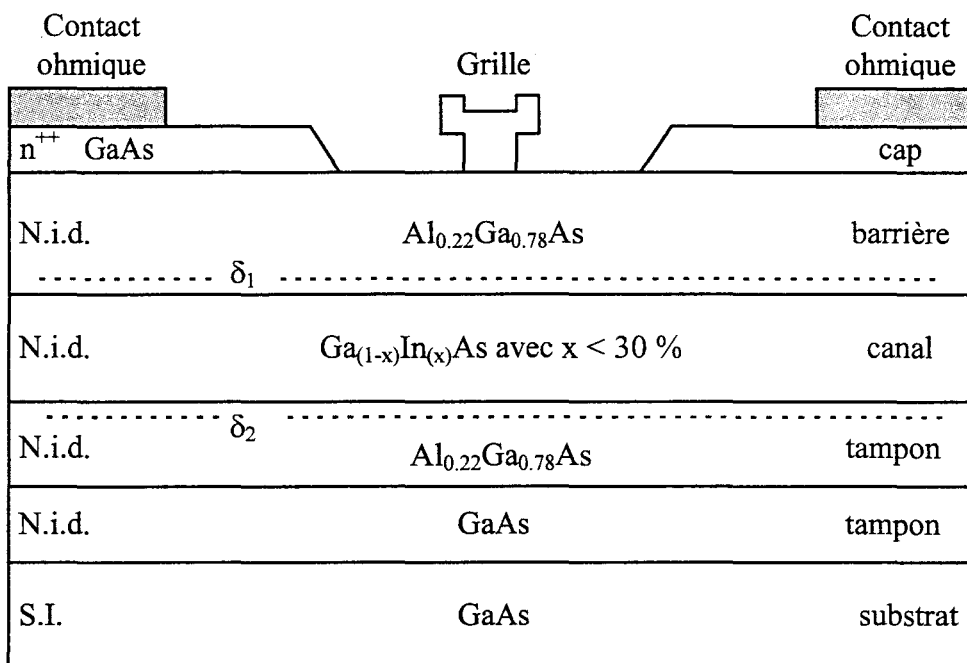


Figure I.18 : Structure type du HEMT pseudomorphique sur substrat GaAs à 2 plans de dopages.

### **V.1.1. Le HEMT conventionnel sur substrat GaAs**

Le HEMT conventionnel est réalisé à partir de l'hétérojonction AlGaAs/GaAs, les deux matériaux possédant les mêmes paramètres de maille. La barrière d'AlGaAs n'est pas dopée ce qui permet d'obtenir une bonne tenue en tension. Un ou deux plans de dopages sont classiquement introduits de par et d'autre du canal GaAs non dopé procurant une densité de courant importante. Sa structure est représentée figure I.17.

Ce type de composant n'est pas utilisé pour l'amplification de puissance en bande V parce que dépassé par les performances du HEMT pseudomorphique sur substrat GaAs, mais nous l'avons tout de même présenté afin qu'il lui serve d'introduction.

### **V.1.2. le HEMT pseudomorphique sur substrat GaAs**

Dans ce type de structure, le canal GaAs est ici remplacé par un canal  $\text{In}_x\text{Ga}_{(1-x)}\text{As}$ . Ce matériau offre à la fois de meilleures propriétés de transport ainsi qu'une hauteur de barrière supérieure permettant un meilleur confinement des porteurs dans le puits. Mais, la taille de la maille cristalline de la couche d'InGaAs étant différente de celle du GaAs, la couche d'InGaAs sera contrainte ce qui limitera son épaisseur. Celle ci sera d'autant plus faible que le taux d'indium sera élevé. Une valeur typiquement rencontrée est une épaisseur de 150 Å pour 22 % d'indium dans la couche InGaAs. La structure d'un transistor PHEMT sur substrat GaAs avec deux plans de dopage est présentée figure I.18.

Le PHEMT sur substrat GaAs est un composant qui a démontré d'excellentes performances pour les applications de puissance en bande V. Ce type de structure a permis à la société TRW d'obtenir l'état de l'art en terme de puissance de sortie en 1993 avec 225 mW sur un transistor de développement total de grille de 450  $\mu\text{m}$  à la fréquence de 60 GHz [19].

### **V.1.3. Le HFET sur GaAs à canal dopé**

La principale différence entre le PHEMT sur substrat GaAs et le HFET sur substrat GaAs concerne le canal. Pour le PHEMT, comme nous l'avons vu, la réserve

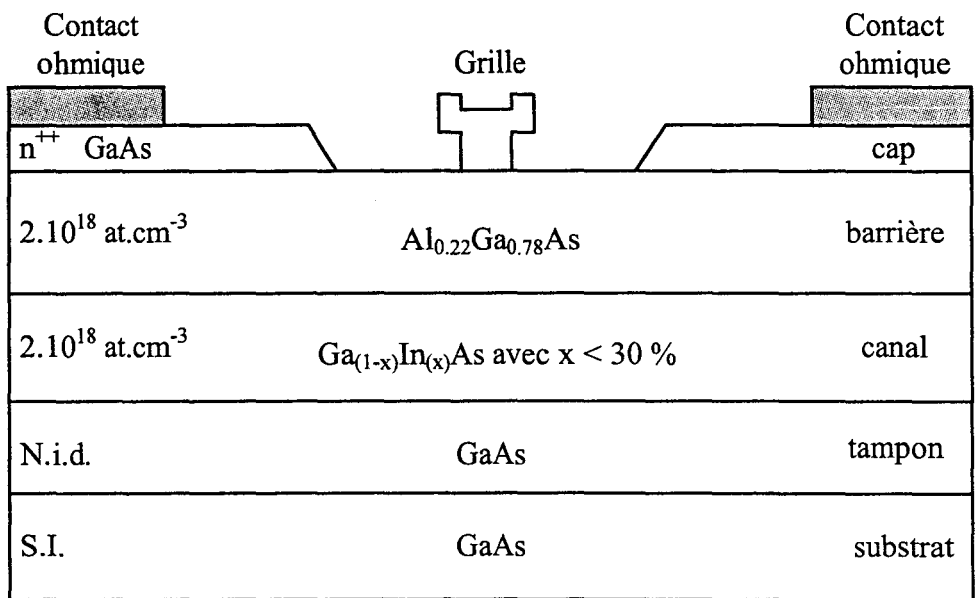


Figure I.19 : Structure type d'un HFET mono-canal sur substrat GaAs.

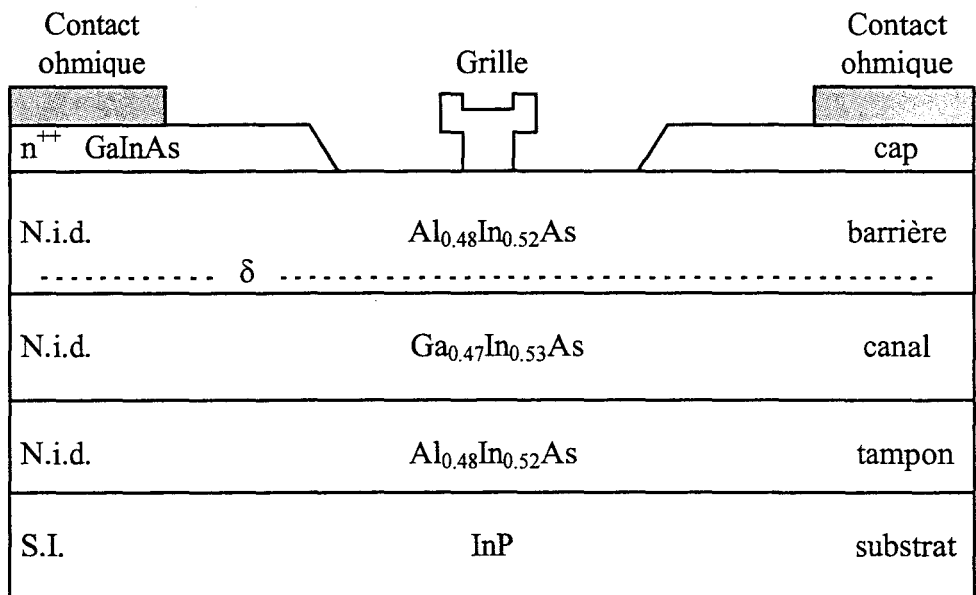


Figure I.20 : Structure type d'un HEMT conventionnel sur substrat InP à un plan de dopage.



d'électrons constituée par les plans de dopages est séparée du canal InGaAs non dopé. Pour le HFET le dopage est volumique et est situé dans le canal comme dans la barrière. Historiquement, cette structure est plus ancienne que le PHEMT sur substrat GaAs mais des densités de puissance très importantes ont été obtenues avec ce type de structure. La barrière de 1 W/mm de développement de grille a été obtenue avec une structure à deux canaux par la société Texas Instrument en 1989 à 60 GHz [20]. La structure typique d'un transistor HFET composé d'un seul canal est présenté figure I.19.

### **V.1.3. Le HEMT conventionnel sur InP**

La dimension de la maille cristalline plus importante du substrat InP par rapport au substrat GaAs permet la croissance de l'hétérojonction AlInAs/GaInAs sans contrainte avec un taux important d'indium de 53 % dans le canal GaInAs et de 52 % dans la barrière d'AlInAs (figure I.20). Cet important taux d'indium dans le canal permet de bénéficier d'une mobilité supérieure à celle obtenue pour le PHEMT sur GaAs où le taux d'indium est moins élevé ( $< 30\%$ ). Cette hétérostructure permet également une hauteur de barrière plus élevée ( $\Delta E_C = 500\text{ meV}$ ) permettant un meilleur confinement des porteurs dans le canal. Le phosphore d'indium possède de plus une meilleure conductivité thermique ( $0.68\text{ Wcm}^{-1}\text{K}^{-1}$  à 300 K) que l'arséniure de gallium ( $0.44\text{ Wcm}^{-1}\text{K}^{-1}$  à 300 K). Tous ces avantages en font une filière très avantageuse.

Toutefois celle ci est pénalisée par une faible tension de claquage en fonctionnement transistor comparée aux familles de composants décrites précédemment [21].

Les meilleurs résultats en terme de puissance de sortie vraie ont été obtenus sur cette filière obtenus par la société Hughes avec 180 mW de puissance à 60 GHz en 1993 [22].

### **V.1.4. Le HEMT pseudomorphique sur InP**

Afin d'accroître encore le confinement des porteurs dans le canal, il est possible d'augmenter la hauteur de barrière de l'hétérojonction  $\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ . On peut pour cela soit augmenter le taux d'aluminium dans la barrière, soit augmenter le

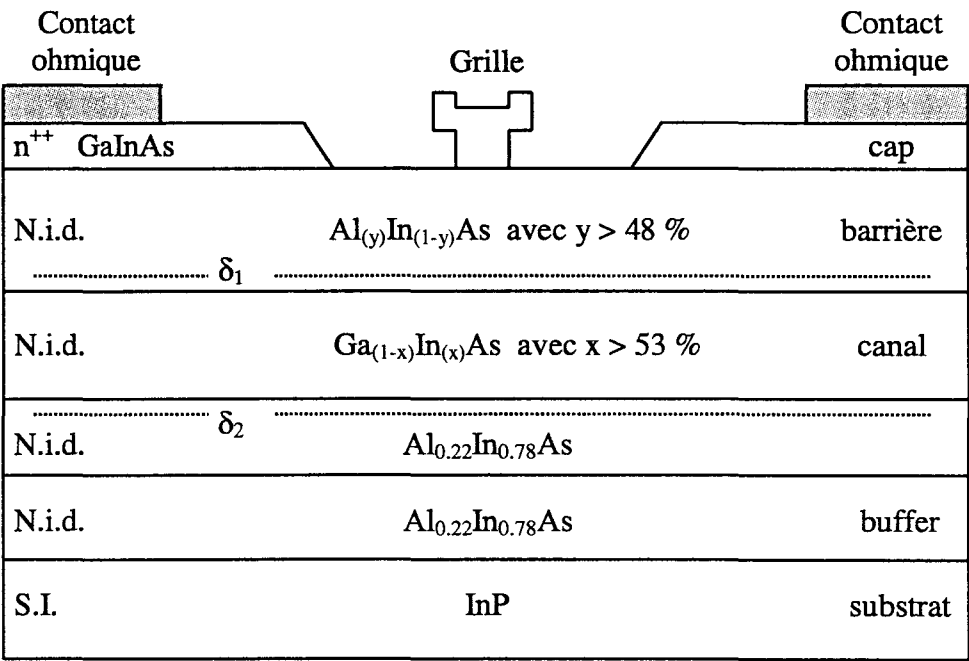


Figure I.21 : Structure d'un HEMT pseudomorphique sur substrat InP à deux plans de dopages.

taux d'indium dans le canal. En choisissant la première possibilité, on va faire croître une couche contrainte d' $\text{Al}_y\text{In}_{(1-y)}\text{As}$  avec  $y > 0.48$  sur la couche de  $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$  adaptée en maille. Le désaccord de maille entre ces deux couches permet de faire croître environ 350 Å d' $\text{AlInAs}$  à 65 % d'aluminium. La seconde possibilité pour augmenter le confinement des porteurs est d'augmenter le taux d'indium dans le canal en faisant croître la couche  $\text{Al}_{0.48}\text{In}_{0.52}\text{As}$  sur le canal  $\text{In}_x\text{Ga}_{(1-x)}\text{As}$  avec  $x > 52$  %. La figure I.21 représente une structure PHEMT sur substrat InP à deux plans de dopage avec à la fois une barrière et un canal pseudomorphique.

La société Hughes a obtenu sur une structure PHEMT à barrière pseudomorphique une puissance de sortie de 200 mW à 60 GHz [23]. Les résultats de puissance sont encore peu nombreux sur cette filière, mais elle est couramment utilisée pour la réalisation d'amplificateurs faible bruit en bande W et au delà [24] [25]. Ceci leur réserve un avenir prometteur sachant que le développement de l'amplification faible bruit est toujours en avance comparée à l'amplification de puissance.

#### **V.1.5. Le HEMT métamorphique sur GaAs**

L'intérêt de cette filière réside dans l'obtention d'une hauteur de barrière de l'hétérojonction  $\text{Ga}_{0.7}\text{In}_{0.3}\text{As} / \text{Al}_{0.7}\text{In}_{0.3}\text{As}$  supérieure à celle que l'on pourrait obtenir avec les HEMT's pseudomorphiques sur substrats GaAs ou InP, tout en gardant une hétérojonction adaptée en maille. Néanmoins, si ces matériaux sont adaptés entre eux, ils présentent un important désaccord de maille par rapport au substrat de GaAs. C'est pourquoi, la croissance de cette hétérojonction sur ce substrat va produire des dislocations qu'il va falloir confiner dans une couche tampon d'adaptation. Partant du paramètre de maille du substrat de GaAs, la croissance de la couche tampon va s'effectuer en augmentant progressivement le taux d'indium dans celui ci jusqu'à obtenir le taux désiré. Puis, la croissance du canal adapté en maille pourra être entreprise. La valeur de 30 % d'indium incorporé dans la canal correspond à une hauteur de barrière maximale à l'hétérojonction. Ceci permet donc un meilleur transfert des électrons dans le canal, et donc une densité de courant supérieure, par rapport à une structure pseudomorphique sur substrat GaAs. De plus, le taux d'indium dans le canal étant plus faible que celui d'une structure sur substrat InP adaptée en maille, la tenue en tension

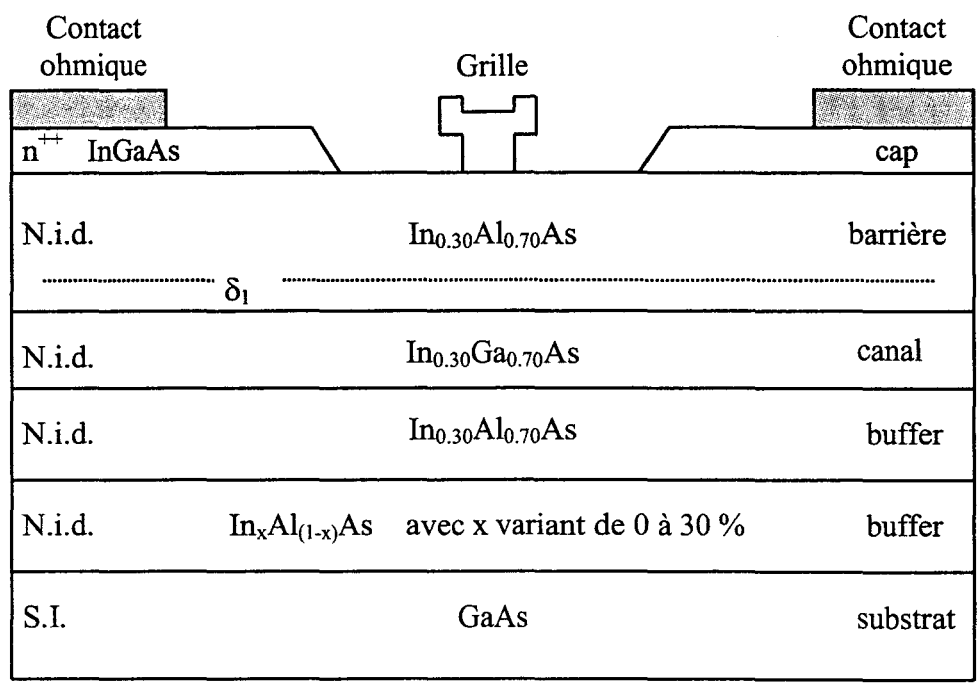


Figure I.22 : Structure d'un HEMT métamorphique sur substrat GaAs.

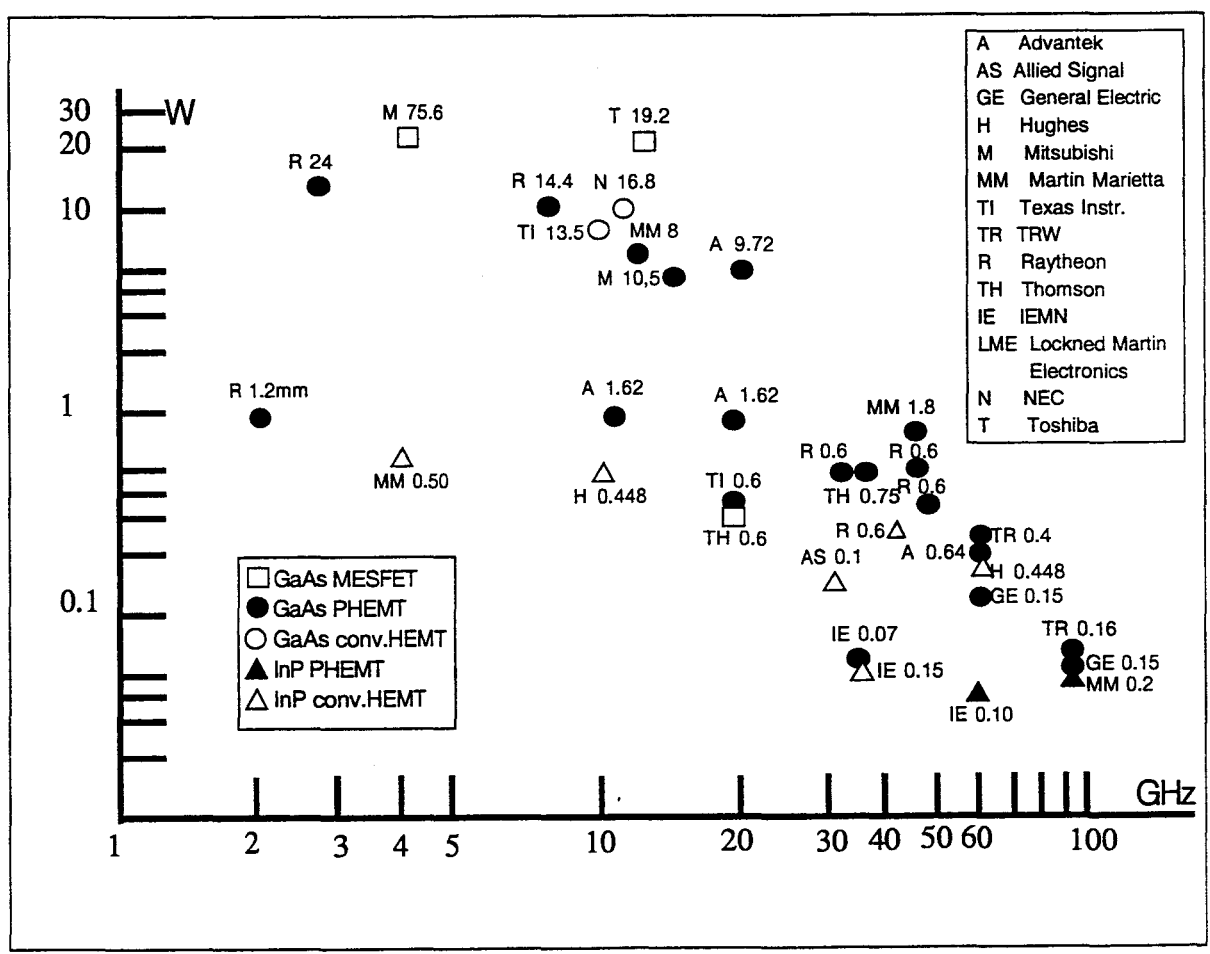


Figure I.23 : Présentation de l'état de l'art des transistors discrets en puissance absolue.

des composants sera meilleure. Ces avantages font du HEMT métamorphique un bon compromis pour les applications de puissance à très hautes fréquences. Un exemple de structure du HEMT métamorphique sur substrat de GaAs est présenté figure I.22.

A ce jour, un seul résultat comportant des mesures de puissance a été publié. Il s'agit d'un composant de longueur de grille  $0.15\text{ }\mu\text{m}$  réalisé à l'IEMN. Il a permis d'obtenir une densité de puissance de sortie de  $240\text{ mW/mm}$  avec  $6.4\text{ dB}$  de gain et  $25\%$  de rendement en puissance ajouté, à la fréquence de  $60\text{ GHz}$  [26].

## **V.2. Puissance absolue des FET discrets de 1 GHz à 94 GHz**

Les principaux résultats de l'état de l'art en puissance absolue des transistors à effet de champ sont présentés figure I.23 de  $1\text{ GHz}$  à  $94\text{ GHz}$ . Pour chaque résultat mentionné, sont indiqués le type de structure, la société d'origine ainsi que le développement total de grille.

De ce graphe, nous pouvons constater :

- ✓ une décroissance de la puissance absolue en fonction de la fréquence indépendamment du développement considéré. Cette décroissance peut être considérée comme linéaire avec la fréquence, le produit  $P_{\text{sortie}} \times f^2$  apparaissant être à peu près constant. Ainsi, une puissance de sortie de plus d'une dizaine de Watts est obtenue à  $10\text{ GHz}$  avec des transistors de plus de  $15\text{ mm}$  de développement de grille alors qu'à  $94\text{ GHz}$ , les puissances de sortie obtenues sont inférieures à  $0.1\text{ W}$  pour des développements d'environ  $150\text{ }\mu\text{m}$ . Ce qui s'explique essentiellement par l'augmentation de l'importance des effets parasites au fur et à mesure que la fréquence croît obligeant les constructeurs à réduire le développement total de grille de leurs composants afin d'obtenir des transistors ayant de bonnes performances raisonnables à la fréquence de travail.
- ✓ Le nombre impressionnant de résultats publiés à partir de composants HEMT pseudomorphiques sur substrat GaAs montre l'intérêt de cette filière pour l'amplification de puissance jusqu'aux fréquences millimétriques

Composants	Ps (mW)	Gain (dB)	$\eta_{pae}$ (%)	Ps (mW/mm)	Lg ( $\mu$ m)	Années	Fondeurs	réf.
GaAs PHEMT	225	4.5	25.4	550	0.15	1993	TRW	[19]
InP PHEMT	200	—	17	444	0.22	1993	H	[23]
GaAs PHEMT	190		20	300	0.15	1994	A	[35]
GaAs PHEMT	184	4.6	25	460	0.25	1991	TRW	[38]
InP HEMT	180	3	27	400	0.15	1993	H	[22]
GaAs PHEMT	139	3	28	930	0.15	1989	GE	[28]
GaAs PHEMT	125	4.5	32	830	0.15	1989	GE	[28]
InP PHEMT	120	3	17.8	400	0.22	1993	H	[23]
GaAs PHEMT	100	3	22	670	0.25	1988	GE	[39]
InP PHEMT	56	4	20.4	373	0.22	1993	H	[23]
GaAs HFET	50	2.9	25	1000	0.25	1989	TI	[20]
GaAs HFET	42.5	3.3	22.1	850	0.2	1988	TI	[40]
GaAs PHEMT	42	5.9	37	840	0.15	1989	GE	[28]
InP PHEMT	36	5.2	28	360	0.2	1998	IE	[29]
GaAs PHEMT	32	6	41	640	0.15	1989	GE	[28]

Tableau I.1 : Etat de l'art en puissance absolue des transistors discrets à 60 GHz

Composants	Ps (mW)	Gain (dB)	$\eta_{pae}$ (%)	Ps (mW/mm)	Lg ( $\mu$ m)	Années	Fondeurs	réf.
GaAs PHEMT	62.7	4	13.2	391	0.1	1991	TRW	[27]
GaAs PHEMT	57	2	16	380	0.15	1989	GE	[28]
InP PHEMT	50	5	26	250	0.1	1994	MM	[30]
GaAs PHEMT	32	3	15	430	0.25	1989	GE	[41]
GaAs PHEMT	22	3.2	19	430	0.15	1989	GE	[28]
GaAs PHEMT	18	3.3	23	360	0.15	1989	GE	[28]
GaAs PHEMT	10.6	7.3	14.3	265	0.1	1991	TRW	[27]

Tableau I.2 : Etat de l'art en puissance absolue des transistors discrets à 94 GHz

comme nous allons le voir en nous intéressant uniquement dans la suite aux résultats obtenus à 60 GHz et 94 GHz.

### **V.3. Puissance absolue des FET discrets.**

Nous avons essayé de réunir un maximum de résultats publiés autour des fréquences de 60 GHz et 94 GHz. Ces résultats, classés par ordre de puissance absolue décroissante, sont présentés sur les tableaux I.1 et I.2. Ils comportent pour chaque référence la puissance de sortie obtenue, le gain et le rendement en puissance ajoutée correspondant. Ils comportent également la densité de puissance ramenée au millimètre de développement de grille, la longueur de grille, l'année de publication ainsi que le nom de la société ayant réalisée le composant.

Des puissances de sortie supérieures ou égales à 200 mW ont été obtenues à la fois sur la filière PHEMT sur substrat GaAs [19] et avec la filière PHEMT sur substrat InP [23]. Toutefois le composant sur substrat InP présente une longueur de grille de 0.22  $\mu\text{m}$  contre 0.15  $\mu\text{m}$  pour le composant sur substrat GaAs, ce qui à longueur de grille identique fait potentiellement du PHEMT sur substrat InP un bon candidat pour l'amplification de puissance à ces fréquences.

A 94 GHz, des puissances de sorties de l'ordre de 60 mW sont obtenues avec les filières PHEMT sur substrat GaAs [27].

Remarquons également que la majorité des composants réalisés pour fonctionner en bande V et W ont été publiés au début des années 1990 et possèdent des dimensions de longueurs de grille comprises entre 0.15  $\mu\text{m}$  et 0.22  $\mu\text{m}$ , alors que pour la fréquence de 94 GHz les longueurs de grille utilisées sont typiquement comprises entre 0.1  $\mu\text{m}$  et 0.15  $\mu\text{m}$ .

### **V.4. Rendement en puissance ajoutée des FET discrets.**

Les tableaux I.3 et I.4 présentent l'état de l'art en rendement en puissance ajoutée des transistors discrets à 60 GHz et 94 GHz. Les références sont identiques à

Composants	Ps (mW)	Gain (dB)	$\eta_{pae}$ (%)	Ps (mW/mm)	Lg ( $\mu$ m)	Années	Fondeurs	réf.
GaAs PHEMT	32	6	41	640	0.15	1989	GE	[28]
GaAs PHEMT	42	5.9	37	840	0.15	1989	GE	[28]
GaAs PHEMT	125	4.5	32	830	0.15	1989	GE	[28]
InP PHEMT	36	5.2	28	360	0.2	1998	IE	[29]
GaAs PHEMT	139	3	28	930	0.15	1989	GE	[28]
InP HEMT	180	3	27	400	0.15	1993	H	[22]
GaAs PHEMT	225	4.5	25.4	550	0.15	1993	TRW	[19]
GaAs PHEMT	184	4.6	25	460	0.25	1991	TRW	[38]
GaAs HFET	50	2.9	25	1000	0.25	1989	TI	[20]
GaAs HFET	42.5	3.3	22.1	850	0.2	1988	TI	[40]
GaAs PHEMT	100	3	22	670	0.25	1988	GE	[39]
InP PHEMT	56	4	20.4	373	0.22	1993	H	[23]
GaAs PHEMT	190		20	300	0.15	1994	A	[35]
InP PHEMT	120	3	17.8	400	0.22	1993	H	[23]
InP PHEMT	200	—	17	444	0.22	1993	H	[23]

Tableau I.3 : Etat de l'art en rendement en puissance ajoutée des transistors discrets à 60 GHz

Composants	Ps (mW)	Gain (dB)	$\eta_{pae}$ (%)	Ps (mW/mm)	Lg ( $\mu$ m)	Années	Fondeurs	réf.
InP PHEMT	50	5	26	250	0.1	1994	MM	[30]
GaAs PHEMT	18	3.3	23	360	0.15	1989	GE	[28]
GaAs PHEMT	22	3.2	19	430	0.15	1989	GE	[28]
GaAs PHEMT	57	2	16	380	0.15	1989	GE	[28]
GaAs PHEMT	32	3	15	430	0.25	1989	GE	[41]
GaAs PHEMT	10.6	7.3	14.3	265	0.1	1991	TRW	[27]
GaAs PHEMT	62.7	4	13.2	391	0.1	1991	TRW	[27]

Tableau I.4 : Etat de l'art en rendement en puissance ajoutée des transistors discrets à 94 GHz



Composants	Ps (mW)	Gain (dB)	$\eta_{pae}$ (%)	Ps (mW/mm)	Lg ( $\mu\text{m}$ )	Années	Fondeurs	réf.
GaAs HFET	50	2.9	25	1000	0.25	1989	TI	[20]
GaAs PHEMT	139	3	28	930	0.15	1989	GE	[28]
GaAs HFET	42.5	3.3	22.1	850	0.2	1988	TI	[40]
GaAs PHEMT	42	5.9	37	840	0.15	1989	GE	[28]
GaAs PHEMT	125	4.5	32	830	0.15	1989	GE	[28]
GaAs PHEMT	100	3	22	670	0.25	1988	GE	[39]
GaAs PHEMT	32	6	41	640	0.15	1989	GE	[28]
GaAs PHEMT	225	4.5	25.4	550	0.15	1993	TRW	[19]
GaAs PHEMT	184	4.6	25	460	0.25	1991	TRW	[38]
InP PHEMT	200	—	17	444	0.22	1993	H	[23]
InP HEMT	180	3	27	400	0.15	1993	H	[22]
InP PHEMT	120	3	17.8	400	0.22	1993	H	[23]
InP PHEMT	56	4	20.4	373	0.22	1993	H	[23]
InP PHEMT	36	5.2	28	360	0.2	1998	IE	[29]
GaAs PHEMT	190		20	300	0.15	1994	A	[35]

Tableau I.5 : Etat de l'art en densité de puissance des transistors discrets à 60 GHz

Composants	Ps (mW)	Gain (dB)	$\eta_{pae}$ (%)	Ps (mW/mm)	Lg ( $\mu\text{m}$ )	Années	Fondeurs	réf.
GaAs PHEMT	32	3	15	430	0.25	1989	GE	[41]
GaAs PHEMT	22	3.2	19	430	0.15	1989	GE	[28]
GaAs PHEMT	62.7	4	13.2	391	0.1	1991	TRW	[27]
GaAs PHEMT	57	2	16	380	0.15	1989	GE	[28]
GaAs PHEMT	18	3.3	23	360	0.15	1989	GE	[28]
GaAs PHEMT	10.6	7.3	14.3	265	0.1	1991	TRW	[27]
InP PHEMT	50	5	26	250	0.1	1994	MM	[30]

Tableau I.6 : Etat de l'art en densité de puissance des transistors discrets à 94 GHz

celles des deux tableaux précédents mais elles sont classées ici dans l'ordre décroissant de leur rendement en puissance ajoutée.

A la fréquence de 60 GHz, les rendements les plus importants ( $> 30\%$ ) sont obtenus à partir de PHEMT sur substrat GaAs. La société General Electric a démontré 41 % de rendement en 1989 [28]. Sur substrat InP, des rendements légèrement inférieurs à 30 % ont été obtenus par la société Hughes [22] ainsi qu'à l'IEMN [29] respectivement en 1993 et 1998. Notons que les rendements les plus importants sont obtenus pour des composants présentant des gains en puissance élevés.

A la fréquence de 94 GHz, des rendements en puissance ajoutée de l'ordre de 20 % sont difficiles à obtenir avec la filière PHEMT sur substrat GaAs, pénalisée par leur faible valeur du gain en puissance. Par contre, le composant de la filière PHEMT sur substrat InP montre ici tout son intérêt puisqu'il permet d'obtenir un rendement supérieur à 25 % avec encore 5 dB de gain en puissance [30]. Ceci est le résultat des excellentes propriétés de transport électronique de l'hétérojonction AlInAs/InGaAs avec lesquelles des fréquences de coupure du MAG de 600 GHz ont été atteintes [31].

### **V.5. Densité de puissance des FET discrets**

L'état de l'art en densité de puissance des transistors discrets est présenté sur les tableaux I.5 et I.6. On constate que les composants réalisés sur substrat GaAs sont quasiment tous placés devant ceux de la filière InP à 60 GHz comme à 94 GHz. La barre du 1 W/mm de développement de grille ayant été obtenu à 60 GHz avec un composant de type HFET sur substrat GaAs par la société Texas Instrument en 1989 [20]. Pour la fréquence de 94 GHz, les densités de puissance relevées sont toutes inférieures à 0.5 W/mm.

Nous pouvons remarquer que les densités de puissance très importantes sont souvent obtenues à partir de composants de faible développement total de grille, ces composants étant moins pénalisés par les effets parasites inhérent aux grands développements.

Composants	Ps (mW)	Gain (dB)	$\eta_{pae}$ (%)	Lg ( $\mu\text{m}$ )	Developpement par étages ( $\mu\text{m}$ )	Années	Fondeurs	réf.
GaAs P-HEMT	370	7	11	0.15	$2 \times 320 + 4 \times 320$	1994	TRW	[42]
GaAs P-HEMT	335	11	10.5	0.15	$2 \times 320 + 4 \times 320$	1996	TRW	[43]
GaAs P-HEMT	313	9	19.9	0.15	$1 \times 400 + 2 \times 400$	1994	TRW	[44]
GaAs P-HEMT	272	9.4	24	0.1	$1 \times 300 + 2 \times 300$	1995	MM	[45]

Tableau I.7 : Etat de l'art en puissance absolue des amplificateurs  
MMIC à 60 GHz

Composants	Ps (mW)	Gain (dB)	$\eta_{pae}$ (%)	Lg ( $\mu\text{m}$ )	Developpement par étages ( $\mu\text{m}$ )	Années	Fondeurs	réf.
GaAs P-HEMT	300	5	9.5	0.1	$4 \times 160 + 8 \times 160$	1997	TRW	[34]
GaAs P-HEMT	175	4	4	0.1	$8 \times 80 + 16 \times 80$	1995	TRW	[48]
InP HEMT	130	4	13	0.15	$4 \times 160$	1997	TRW	[35]
GaAs P-HEMT	100	6	6.6	0.1	$2 \times 160 + 4 \times 160$	1992	TRW	[47]
InP HEMT	80	4.9	20.2	0.15	$2 \times 160$	1997	TRW	[34]
InP HEMT	58	6.4	33	0.1	$1 \times 200$	1995	LME	[31]
InP HEMT	54	4.3	20	0.15	$2 \times 180$	1996	TRW	[46]
GaAs P-HEMT	35	9	—	0.1	$1 \times x + 2 \times x + 4 \times x$	1995	TRW	[37]

Tableau I.8 : Etat de l'art en puissance absolue des amplificateurs  
MMIC à 94 GHz

## **V.6. Puissance absolue des amplificateurs MMIC**

Après avoir reporté l'état de l'art des transistors discrets, nous nous sommes intéressés aux principaux résultats concernant les amplificateurs de puissance en technologie MMIC. Ces amplificateurs sont composés soit de plusieurs transistors, soit d'un seul composant avec ses circuits d'adaptation. Ces résultats sont regroupés dans les tableaux I.7 et I.8 pour les fréquences de 60 GHz et 94 GHz respectivement.

Tous les circuits reportés ont été réalisés en guide microruban qui permet une meilleure dissipation thermique par son plan de masse en face arrière que les guides coplanaires plutôt réservés à l'amplification faible bruit [32] [33].

A 60 GHz, tous les circuits relevés ont été réalisés sur substrat GaAs. Une puissance de sortie de 370 mW a été mesurée par la société TRW en 1994 avec un circuit comportant 2 étages et 6 transistors : le premier étage est composé de 2 transistors de 320  $\mu\text{m}$  de développement chacun placés en parallèle et le second de 4 transistors. (Ces données figurent dans la colonne appelée développement par étage des tableaux I.7 et I.8, et peuvent être lus de la manière suivante :  $2 \times 320 \mu\text{m} + 4 \times 320 \mu\text{m}$ ).

A 94 GHz, une publication de 1997 de la société américaine TRW a démontré une puissance de sortie de 300 mW associée à un rendement en puissance ajouté de 9.5 % pour un circuit réalisé sur substrat de GaAs. Ce MMIC, utilisant des composants de largeur unitaire de grille de 20  $\mu\text{m}$  comprend deux étages de 4 et 8 transistors de huit doigts de grille [34]. Sur substrat de phosphore d'indium, une puissance de sortie de 130 mW avec 13 % de rendement en puissance ajouté a été obtenue à partir de composants de type HEMT [35]. Le circuit est composé d'un étage comportant quatre transistors placés en parallèle.

Les transistors de puissances sur substrat d'InP sont un sujet de recherche d'actualité puisque de tels circuits permettent aux très hautes fréquences d'allier des puissances, des gains ainsi que des rendements importants. Des puissances de sortie plus importantes ont pourtant été publiées sur substrat de GaAs avec des circuits constitués de plusieurs étages. Pour augmenter les puissances de sortie obtenues avec la filière sur substrat d'InP moins mature, des circuits comportant deux étages devront être réalisés, ce qui, à notre connaissance, n'a pas encore été publié.

Enfin, notons que des puissances de sorties supérieures ont été obtenues en combinant plusieurs circuits MMIC. Pour cela, les circuits passifs d'interconnexions sont réalisés sur des substrats moins coûteux présentant de faibles pertes. Cette technique permet de réduire la taille de la puce de substrat GaAs plus coûteux, les circuits d'interconnexions étant généralement de dimensions importantes. Elle permet de réduire également les écarts liés à la dispersion technologique plus importants sur un grand circuit que plusieurs petits.

A 55 GHz, une puissance de sortie de 750 mW a été obtenue par la société Advantek [36]. A la fréquence de 94 GHz, un module amplificateur délivrant 100 mW avec 32 dB de gain linéaire a été réalisé par la société TRW en 1995 [37].

### **V.7. Conclusion et perspectives sur les filières de composants destinées à la puissance en bande millimétrique**

Nous avons vu que, s'il était possible d'obtenir des puissances de sortie de plusieurs dizaines de watts en bande X avec des transistors discrets, à 60 GHz les puissances de sortie relevées ne sont plus que de quelques centaines de milliwatts et à 94 GHz, inférieures à la centaine de milliwatts.

En terme de puissance de sortie maximale obtenue, les différentes filières sur substrats de GaAs et d'InP permettent quasiment toutes les deux d'obtenir les mêmes valeurs de puissance à 60 GHz comme à 94 GHz. Par contre, ramenée au millimètre de développement de grille, la suprématie de la filière sur substrat GaAs est très marquée. Enfin, en terme de rendement en puissance ajoutée, les composants sur substrat GaAs semblent encore à 60 GHz pouvoir rivaliser avec ceux de la filière InP, ce qui n'est plus le cas à 94 GHz. C'est en effet à ces fréquences que la technologie sur substrat InP, encore moins mature que celle sur substrat GaAs, offre d'excellentes performances pour les applications de puissance.

Toutefois, une des principales limitations de cette filière est sa tenue en tension relativement faible en fonctionnement transistor due à l'important taux d'indium dans le

canal. Une solution passe peut être par la filière métamorphique qui permet de réaliser un compromis entre les propriétés de transport électronique dans le canal, la hauteur de barrière de l'hétérojonction et la hauteur de bande interdite.

## **VI. Conclusion**

---

Ce premier chapitre, consacré aux caractéristiques des amplificateurs de puissance ainsi qu'à leur état de l'art aux fréquences de 60 GHz et 94 GHz, nous a permis de définir les principales grandeurs qui caractérisent un transistor de puissance microonde. Nous avons tout d'abord rappelé brièvement le concept des paramètres de répartition, puis défini les différents gains. Ensuite, nous avons abordé les critères d'évaluation des transistors à effet de champ en régime de fonctionnement linéaire et non linéaire.

Puis, nous avons étudié les étapes qui constituent les points clés de toute conception d'amplificateur à savoir la stabilité des transistors et leur adaptation

Enfin, un état de l'art des composants et des amplificateurs de puissance en technologie MMIC a été réalisé permettant une revue des meilleurs résultats publiés aux fréquences de 60 GHz et 94 GHz. Ceci a permis de montrer la suprématie des composants et circuits de la filière sur substrat GaAs en terme de densité de puissance. Toutefois, la filière sur substrat InP, bien que moins mature, montre tout son intérêt aux très hautes fréquences par des gains et des rendements meilleurs, des puissances de sorties supérieures à celles relevées sur substrat de GaAs devraient être obtenues pour des circuits combinant plusieurs étages.

## Références Bibliographiques

- [1] : R.Badoual  
"Les microondes"  
Editions Masson.
- [2] : G.Gentili  
"Amplificateurs et oscillateurs microondes"  
Editions Masson.
- [3] : S. Youngseok, K. Bumman, and P. Wee Sang  
"The Effect of parasitic components of GaAs FETs on high frequency gain"  
Microwave and Optical Technology Letters, Vol.6, n°2, pp. 98-101, February 1993.
- [4] : Masumi Fukuta, Katshuhiko Suyama, Hidetake Suzuki and Hajime Ishikawa  
"GaAs microwave power FET"  
IEEE Transactions on Electron Devices, Vol. 23, n°4, pp. 388-394, April 1976.
- [5] : P.J. Tasker, B. Hughes  
"Importance of source and drain resistance to the maximum  $F_T$  of millimeter-wave MODFETs."  
IEEE Electron Device Letters, Vol. 10, n°7, pp. 291-293, July 1989.
- [6]: A.Amairi  
"Caractérisation en petit signal, en puissance et en impédance des transistors à effet de champ millimétriques. Etude et réalisation d'un banc de load-pull à charge active 26,5-40 GHz.  
Thèse de l'université de Lille, Septembre 1991.
- [7] : D.D. Henkes, S.C. Kwok  
"Intermodulation : Concepts and Calculations"  
Applied Microwave and Wireless, pp.38-43, July-August 1997.
- [8] : J.F. Moss  
"AM-AM and AM-PM measurements using the PM Null technique"  
IEEE Transactions on Microwave Theory and Technique, Vol. 35, n°8, pp. 780-782, August 1987.
- [9] : F.M. Ghannouchi, G. Zhao, F. Beaugerard  
"Simultaneous AM-AM / AM-PM distortion measurements of microwave transistors using active load pull and six port techniques"  
IEEE Transactions on Microwave Theory and Technique, Vol. 43, n°7, pp. 1584-1588, July 1995.
- [10] : M. Nakayama, K. Mori, K. Yamouchi, Y. Itoh, T. Takagi



- “A novel amplitude and phase linearizing technique for microwave power amplifiers”  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 1451-1454, 1995.
- [11] : Rollett  
“Stability and power gain invariant of linear two ports”  
IRE Transactions on Circuit Theory, Vol.CT9, pp.29-32, March 1962.
- [12] : A. Platzker, W. Struble, K.T. Hetzler  
“Instabilities diagnosis and the role of K in microwave circuits”  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 1185-1188, 1993.
- [13] : R.G. Freitag  
“A unified analysis of MMIC power amplifier stability”  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 297-300, 1992.
- [14] : R. Quere, E. Ngoya, S. Mons, J. Rousset, M. Camiade, J. Obregon  
“Linear and non linear stability analysis of MMICs”  
Gallium Arsenide and Application Symposium, Paris June 1996.
- [15] : R.G. Freitag, S.H. Lee, D.M. Krafcsik, D.E. Dawson, J.E. Degenford  
“Stability and improved circuit modelling considerations for high power MMIC amplifiers”  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 175-178, 1988.
- [16] : W. Struble, A. Platzker  
“A rigorous yet simple method for determining stability of linear N-port networks”  
GaAs IC Symposium, pp. 251-254, 1993.
- [17] : M. Ohtomo  
“Stability analysis and numerical simulation of multi-device amplifiers”  
IEEE Transactions on Microwave Theory and Technique, Vol. 41, n°6/7, pp. 983-991, June/July 1993.
- [18] : C. Gaquiere, B. Bonte, D. Theron, Y. Crosnier, J.J. Favre  
“Analysis of the source inductance effect on the power performance of high development HEMTs in Ka Band”  
IEEE Microwave and Guided Wave Letters, Vol. 5, n°8, pp. 243-245, August 1995.

- [19] : R. Lai, M. Wojtowicz, C.H. Chen, M. Biedenbender, H.C. Yen, D.C. Streit, K.L. Tan, P.H. Liu  
"High power 0.15  $\mu\text{m}$  V band pseudomorphic InGaAs-AlGaAs-GaAs HEMT"  
IEEE Microwave and Guided Wave Letters, Vol. 3, n°10, pp. 363-365, October 1993.
- [20] : P. Saunier, H.Q. Tserng  
"AlGaAs/InGaAs heterostructures with doped channels for discrete devices and monolithic amplifiers"  
IEEE Transactions on Electron Devices, Vol. 36, n°10, pp. 2231-2235, October 1989.
- [21] : C. Gaquiere  
"Analyse et optimisation de transistors à effet de champ à hétérojonction pour l'amplification de puissance dans la bande Ka"  
Thèse de l'université de Lille, novembre 1995.
- [22] : M. Matloubian, L.M. Jelloian, A.S. Brown, L.D. Nguyen, L.E. Larson, M.J. Delaney, M.A. Thompson, R.A. Rhodes, J.E. Pence  
"V band high efficiency high power AlInAs/GaInAs/InP HEMT's"  
IEEE Transactions on Microwave Theory and Technique, Vol. 41, n°12, pp. 2206-2209, December 1993.
- [23] : M. Matloubian, A.S. Brown, L.D. Nguyen, M.A. Melendes, L.E. Larson, M.J. Delaney, J.E. Pence, R.A. Rhodes, M.A. Thompson, J.A. Henige  
"High power V band AlInAs/GaInAs on InP HEMT's"  
IEEE Electron Device Letters, Vol. 14, n°4, pp. 188-189, April 1993.
- [24] : R. Lai, K.W. Chang, K. Tan, D.C. Streit, P.H. Liu, R. Dia, J. Berenz  
"A high performance and low DC power V band MMIC LNA using 0.1  $\mu\text{m}$  InGaAs/InAlAs/InP HEMT technology"  
IEEE Microwave and Guided Wave Letters, Vol. 3, n°12, pp. 447-449, December 1993.
- [25] : K.W. Wang, R. Lai, D.C.W. Lo, D.C. Streit, P.H. Liu, R. Dia, M.W. Pospieszalski, J. Berenz  
"A 140 GHz monolithic low noise amplifier"  
IEEE Microwave and Guided Wave Letters, vol. 5, n°5, pp. 150-152, May 1995.
- [26] : M. Zaknounge, B. Bonte, C. Gaquiere, Y. Cordier, Y. Druelle, D. Theron and Y. Crosnier  
"In<sub>0.3</sub>Al<sub>0.7</sub>As/In<sub>0.3</sub>Ga<sub>0.7</sub>As metamorphic HEMT with high current density and high breakdown voltage"  
IEEE Electron Device Letters, parution Septembre 1998.

- [27] : D.C. Streit, K.L. Tan, R.M. Dia, J.K. Liu, A.C. Han, J.R. Velebir, S.K. Wang, T.Q. Trinh, P.D. Chow, P.H. Liu, H.C. Yen  
"High gain W band pseudomorphic InGaAs power HEMT's"  
IEEE Electron Device Letters, Vol. 12, n°4, pp. 149-150, April 1991.
- [28] : M.Y. Kao, P.M. Smith, P. Ho, P.C. Chao, K.H.G. Duh, A.A. Jabra, J.M. Ballingall  
"Very high power added efficiency and low noise 0.15  $\mu\text{m}$  gate length pseudomorphic HEMT's"  
IEEE Electron Device Letters, Vol. 10, n°12, pp. 580-582, December 1989.
- [29] : S. Piotrowicz, C. Gaquiere, B. Bonte, E. Bourcier, D. Theron, X. Wallart, Y. Crosnier  
"Best combination between power density, efficiency, and gain at V band with an InP based PHEMT structure"  
IEEE Microwave and Guided Wave Letters, Vol. 8, n°1, pp. 10-12, January 1998.
- [30] : S.C. Wang, M.Y. Kao, S.M.J. Liu, P. Ho, K.G. Duh  
"High performance W band pseudomorphic InAlAs/InGaAs/InP power HEMTs"  
Device Research Conference 1994.
- [31] : P.M. Smith, S.M.J. Liu, M.Y. Kao, P. Ho, S.C. Wang, K.G. Duh, S.T. Fu, P.C. Chao,  
"W band high efficiency InP based power HEMT with 600 GHz  $f_{\text{max}}$ "  
IEEE Microwave and Guided Wave Letters, Vol. 5, n°7, pp. 230-232, July 1995.
- [32] : M. Berg, T. Hackborth, B.E. Maile, J. Dickman, R. Guhl, B. Adelseck, H.L. Hartnagel  
"W band MMIC amplifiers based on quarter micron gate length InP HEMTs and coplanar waveguides"  
Indium Phosphide and Related Materials 1996, pp. 72-75, Germany.
- [33] : M. Berg, J. Dickman, R. Guehl, W. Bischof  
"60 and 77 GHz monolithic amplifiers utilising InP based HEMTs and coplanar waveguide"  
Microwave and Optical Technology Letters, Vol. 11, n°3, pp. 139-145, February 1996.
- [34] : P. Huang, E. Lin, R. Lai, M. Biedenbender, T.W. Huang, C. Geiger, T. Block and P.H. Liu  
"A 94 GHz monolithic high output power amplifier"  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 1175-1178, 1997.
- [35] : Y.C. Chen, R. lai, E. Lin, H. Wang, T. Block, H.C. Yen, D.C. Streit, W. Jones, P.H. Liu, R.M. Dia, T.W. Huang, K. Stamper

"A 94 GHz 130 mW InGaAs/InAlAs/InP HEMT high power MMIC amplifier"  
IEEE Microwave and Guided Wave Letters, Vol. 7, n°5, pp. 133-135, May 1997.

- [36] : M. Faulkner, P. Chye, R. Hansen  
"V band PHEMT power amplifier using N way chain combiner"  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 265-267, 1994.
- [37] : L. Marosi, M. Sholley, J. Goel, A. Faris, M. Siddiqui, D.I. Stones, K. Tan  
"94 GHz power amplifier using PHEMT technology"  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 1597-1600, 1995.
- [38] : K.L. Tan, D.C. Streit, R.M. Dia, S.K. Wang, A.C. Han, P.M.D. Chow, T.Q. Trinh, P.H. Liu, J.R. Velebir, H.C. Yen  
"High power V band pseudomorphic InGaAs HEMT"  
IEEE Electron Device Letters, Vol. 12, n°5, pp. 213-214, May 1991.
- [39] : P.M. Smith, P.C. Chao, L.F. Lester, R.P. Smith, B.R. Lee, D.W. Ferguson, A.A. Jabra, J.M. Ballingall, K.H.G. Duh  
"InGaAs pseudomorphic HEMTs for millimeter wave power applications"  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 927-930, 1988.
- [40] : P. Saunier, R.J. Matyi, K. Bradshaw  
"A double heterojunction doped channel pseudomorphic power HEMT with a power density of 0.85 W/mm at 55 GHz"  
IEEE Electron Device Letters, Vol. 9, n°8, pp. 397-398, August 1988.
- [41] : P.M. Smith, L.F. Lester, P.C. Chao, P. Ho, R.P. Smith, J.M. Ballingall, M.Y. Kao  
"A 0.25  $\mu\text{m}$  gate length pseudomorphic HFET with 32 mW output power at 94 GHz"  
IEEE Electron Device Letters, Vol. 10, n°10, pp. 437-439, October 1989.
- [42] : K. Sharma, G. Onak, D. Yamauchi, D.I. Stones, J. Goel, R. Lai, K.L. Tan  
"Millimeterwave high power amplifiers using pseudomorphic HEMTs"  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 813-816, 1994.
- [43] : J. Goel, G. Onak, D.I. Stones, D. Yamauchi, A. Sharma, K. Tan, J. Mancini  
"High power V band power amplifier using PHEMT technology"  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 45-48, 1996.
- [44] : R.E. Kasody, G.S. Dow, A.K. Sharma, M.V. Aust, D. Yamauchi, R. Lai, M. Biedenbender, K.L. Tan, B.R. Allen

- "A high efficiency V band monolithic HEMT power amplifier"  
IEEE Microwave and Guided Wave Letters, Vol. 4, n°9, pp. 303-304,  
September 1994.
- [45] : S.W. Chen, P.M. Smith, S.H.J. Liu, W.F. Kopp, T.J. Rogers  
"A 60 GHz high efficiency monolithic power amplifier using 0.1  $\mu\text{m}$  PHEMTs"  
IEEE Microwave and Guided Wave Letters, Vol. 5, n°6, pp. 201-202, June 1995.
- [46] : R. Lai, G.I. Nguyen, D.C.W. Lo, T. Block, H. Wang, M. Biedendender, D.C.  
Streit, P.H. Liu, R.M. Dia, E.W. Lin, H.C. Yen  
"A high efficiency 94 GHz 0.15  $\mu\text{m}$  InGaAs/InAlAs/InP monolithic power HEMT  
amplifier"  
IEEE Microwave and Guided Wave Letters, Vol. 6, n°10, pp. 366-368,  
October 1996.
- [47] : T.H. Chen, K.L. Tan, G.S. Dow, H. Wang, K.W. Chang, T.N. Ton, B. Allen, J.  
Berentz, P.H. Liu, D. Streit, G. Hayashibara  
"A 0.1 W W band pseudomorphic HEMT MMIC power amplifier"  
GaAs IC Symposium, pp. 71-74, 1992.
- [48] : H. Wang, Y. Hwang, T.H. Chen, M. Biedenbender, D.C. Streit  
"A W band monolithic 175 mW power amplifier"  
IEEE Transactions on Microwave Theory and Technique Digest, pp. 419-422,  
1995.

## CHAPITRE II

# RÉALISATION, MESURES ET DÉFINITION DES MODÈLES D'ÉLÉMENTS PASSIFS

## I. Introduction

---

Les principaux éléments nécessaires à la réalisation de tout amplificateur sont bien entendu les transistors. Toutefois les éléments passifs tels les lignes de transmission, les résistances ou les capacités qui viendront se greffer autour des composants actifs de manière à constituer l'amplificateur sont tout aussi important.

Ce deuxième chapitre porte sur la réalisation, les mesures et la modélisation des éléments passifs requis pour la conception d'amplificateurs. Ces éléments ont été réalisés en guide de propagation microruban sur substrat de phosphure d'indium. Ceci constitue à l'heure actuelle, à notre connaissance, les tous premiers travaux pour cette technologie en Europe réalisés sur ce substrat beaucoup plus fragile que l'arséniure de gallium.

Dans la première partie, nous aborderons la conception des masques optiques nécessaires à la réalisation de ces éléments et nous décrirons les différents motifs présents. La deuxième partie sera consacrée à leur réalisation effectuée dans la centrale de technologie du laboratoire. La partie suivante, portera sur les mesures de ces éléments : nous décrirons les méthodes de calibrage utilisées, aborderons les problèmes auxquels nous avons été confrontés lors des premières réalisations puis nous montrerons les résultats actuellement obtenus. Enfin, dans la quatrième partie, nous examinerons les différents éléments présents sur le masque en comparant nos mesures aux simulations réalisées avec les modèles disponibles du simulateur MDS (Microwave Design System). Dans le cas où cette confrontation ne nous permettrait pas d'obtenir un accord suffisant, nous modifierons ces modèles afin de disposer d'une bibliothèque d'éléments en accord avec la technologie du laboratoire pour la conception d'un amplificateur de puissance à 60 GHz.

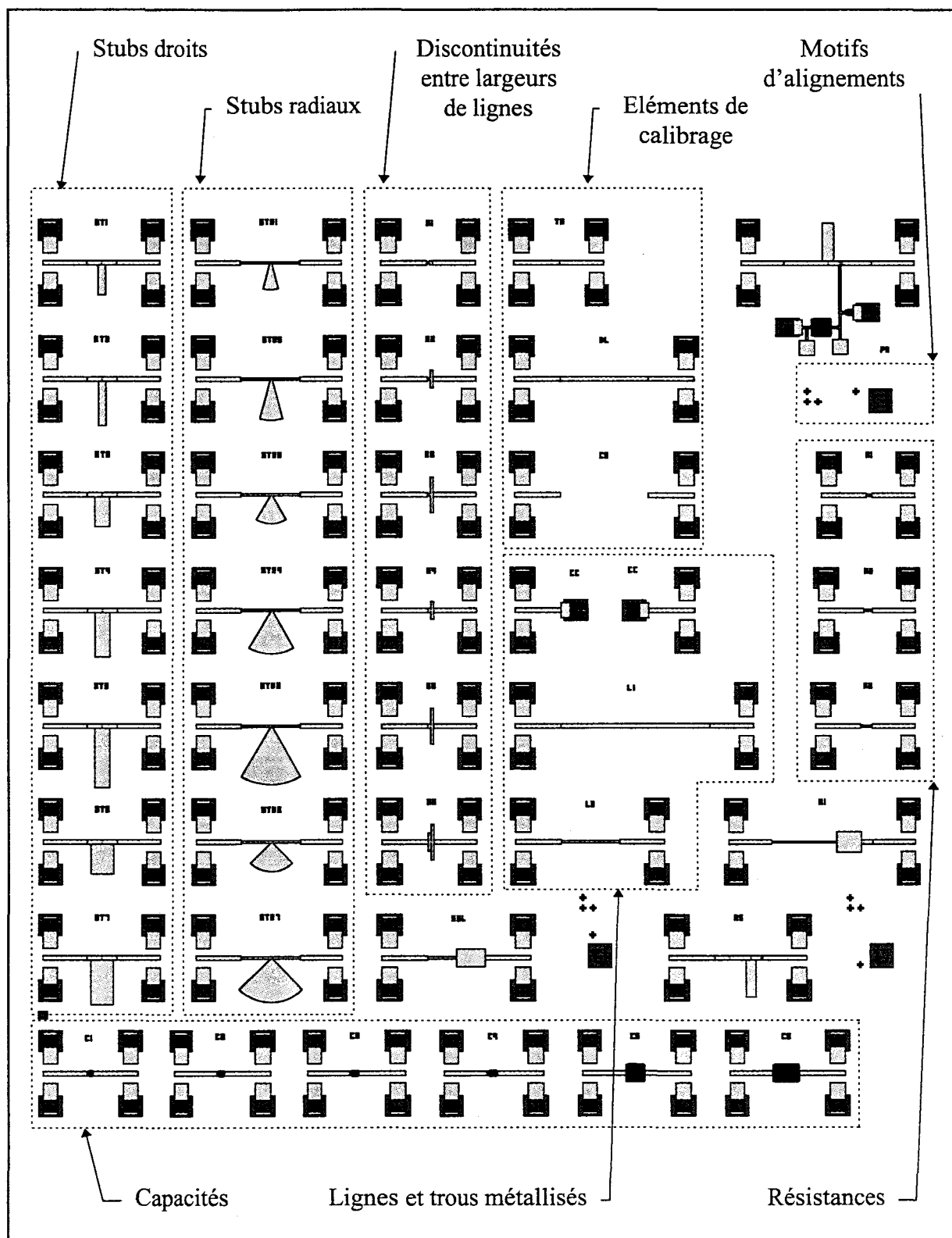


Figure II.1 : Réticule d'éléments passifs en guide microruban



## **II. Conception des niveaux de masques**

---

### **II.1. Les motifs à réaliser**

Des simulations préliminaires de conception d'amplificateurs effectuées sur le logiciel MDS ont permis de connaître les ordres de grandeurs des éléments à réaliser sur le réticule. Ce réticule composé de 7 niveaux de masques est représenté sur la figure II.1. Chaque structure comporte quatre trous métallisés pour connecter les pointes de mesure au plan de masse situé en face arrière.

Ce réticule est composé de plusieurs lignes de compensation orthogonales (stubs droits) de longueurs et largeurs différentes et des lignes de compensation orthogonales radiales (stubs radiaux) de largeurs et d'angles d'ouverture différents. Il contient également des lignes de transmission présentant des discontinuités de largeurs, des résistances ainsi que des capacités. Des lignes de transmission d'impédances caractéristiques différentes, des trous métallisés et des éléments de calibrage en font également partie. La réalisation puis la caractérisation de toutes ces structures permettra de définir une bibliothèque de modèles nécessaire à la conception de l'amplificateur.

### **II.2. Règles de dessin**

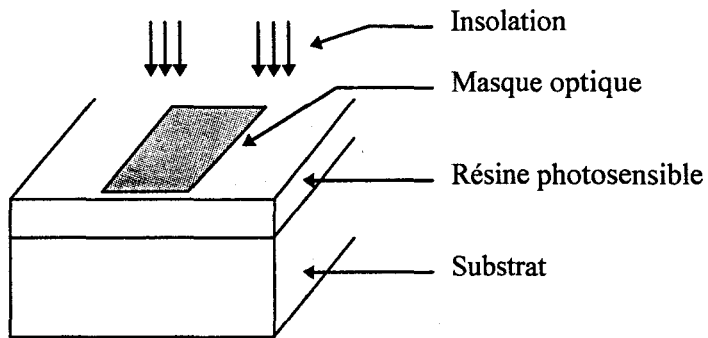
#### **II.2.1. Présentation des logiciels utilisés**

La conception des différents masques d'éléments passifs a été effectuée à l'aide du module de layout du logiciel MDS. Les sept différents niveaux, correspondant chacun à une étape de réalisation technologique, sont obtenus le plus souvent grâce à la fonction de layout automatique dont dispose cet outil. Cependant, il est parfois nécessaire de dessiner manuellement certaines structures ne possédant pas de schéma électrique et donc de layout associé comme les plots de connexions des sondes de

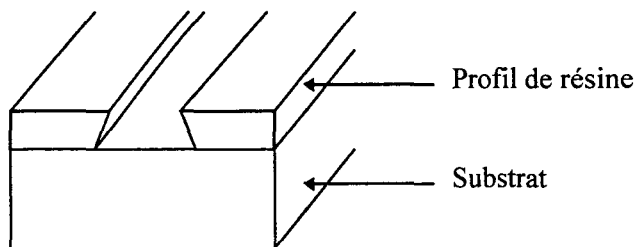
mesure. Il faut également dessiner les structures manuellement si l'on ne veut pas utiliser le layout imposé par ce logiciel, ce qui a été décidé pour les capacités et les trous métallisés, le layout imposé par MDS ne correspondant pas à nos procédés de réalisation (trou métallisé de forme cylindrique par exemple). Une fois le réticule complet, le logiciel MDS permet une conversion de ce fichier en d'autres formats standards tels que GDS II, GERBER ... Les appareillages récents, comme le masqueur électronique dont est équipé l'IEMN, permettent directement la lecture de ces formats de fichier. Cet appareil très performant permet une résolution très grande, de l'ordre de la dizaine de nanomètres. Cependant, lorsque les dimensions des éléments à réaliser ne sont pas critiques, le masquage des résines nécessaire à la réalisation est effectuée de manière optique. Pour cela, les différents niveaux de masques sont réalisés sur un support de verre à l'aide d'un photocomposeur. La précision des structures sur le masque est alors d'environ un demi micron. Le photocomposeur ne permet de lire des fichiers que sous un format qui lui est spécifique. Il utilise le logiciel assez rudimentaire nommé MASTEK pour générer ces fichiers. Il est donc impératif d'effectuer une transformation de fichier du format GDSII à celui exploitable par le logiciel MASTEK.

### **II.2.2. Modifications à apporter sous le logiciel MASTEK**

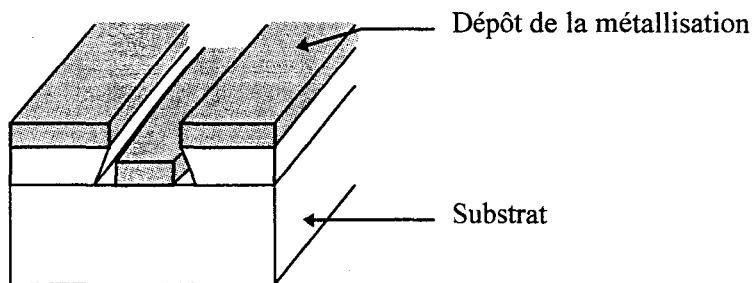
Une fois notre fichier converti en celui exploitable sous le logiciel MASTEK, il est nécessaire d'apporter quelques modifications aux différents masques. En effet, le photocomposeur ne permettant que de lire des structures rectangulaires, il est impératif de remplacer toutes les structures comportant une courbure par une structure identique réalisée à partir de rectangles. Pour cela, des fonctions implantées sur ce logiciel permettent d'effectuer de manière automatique ces modifications. Enfin, il est également nécessaire d'effectuer une légère superposition de tous les rectangles adjacents sur une distance supérieure à la précision de l'appareil afin d'éviter que deux rectangles juxtaposés ne soient physiquement séparés une fois le masque réalisé.



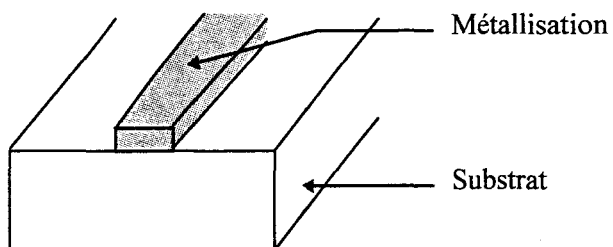
a-) Dépôt d'une résine photosensible et insolation de celle-ci à l'aide du masque associé à cette étape.



b-) Révélation et dissolution de la résine



c-) Dépôt de 1000 Å de titane et 5000 Å d'or par évaporation



d-) Lift off de la métallisation située sur la résine

Figure II.2 : Schématisation des étapes relatives au dépôt de la métallisation inférieure des capacités MIM.

### **III. Description de la réalisation des éléments passifs**

---

Lorsque les différents niveaux de masques sont réalisés, il est possible de commencer la réalisation des éléments qui a été effectuée au sein de notre équipe par S.Trassaert et B.Boudart [1]. Je vais dans la suite en décrire la méthodologie.

#### **III.1. Métallisation inférieure des capacités et motifs d'alignements**

La première étape de la réalisation est le dépôt d'une couche de métal nécessaire à la réalisation des capacités MIM (Métal Isolant Métal) ainsi que des motifs utilisés pour l'alignement ultérieur des masques. Celle ci nécessite tout d'abord le dépôt d'une couche de résine photosensible sur le substrat d'InP, son exposition avec le masque associé puis sa révélation (figure II.2). Une fine couche (1000 Å) de titane, servant de couche d'accrochage, et une couche d'or plus épaisse (5000 Å) sont alors déposées par évaporation. Finalement, la suppression (lift off) des métallisations indésirables termine cette étape.

#### **III.2. Réalisation de l'avant trou**

Cette étape est la première de celles spécifiques à la réalisation des structures de propagation en guide microruban. Elle consiste en la gravure d'un trou dans le substrat qui aura pour fonction de permettre l'alignement des masques optiques en face arrière et dont la profondeur permettra d'ajuster l'épaisseur du substrat lors de l'amincissement. Sa réalisation va tout d'abord nécessiter un dépôt de 1000 Å de nitrure de silicium ( $\text{Si}_3\text{N}_4$ ), suivi du dépôt d'une résine photosensible. L'insolation de celle ci avec le masque dédié à cette étape puis sa révélation va permettre d'ouvrir la résine sur des carrés de 80 µm de cotés. Une attaque plasma du nitrure de silicium non protégé par la

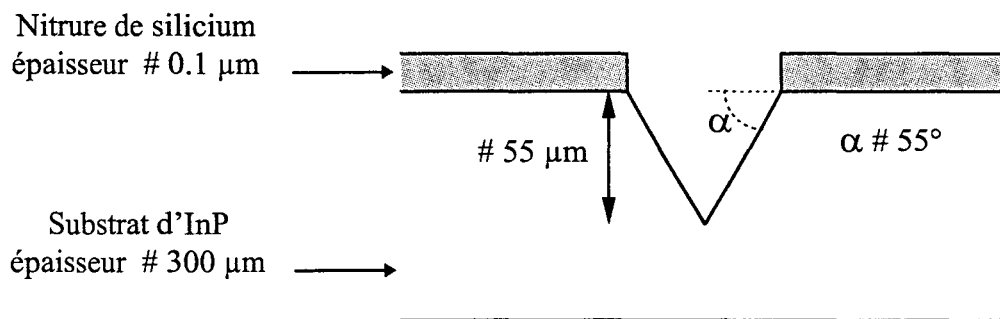


Figure II.3 : Schématisation de la gravure de l'InP pour la réalisation de l'avant trou.

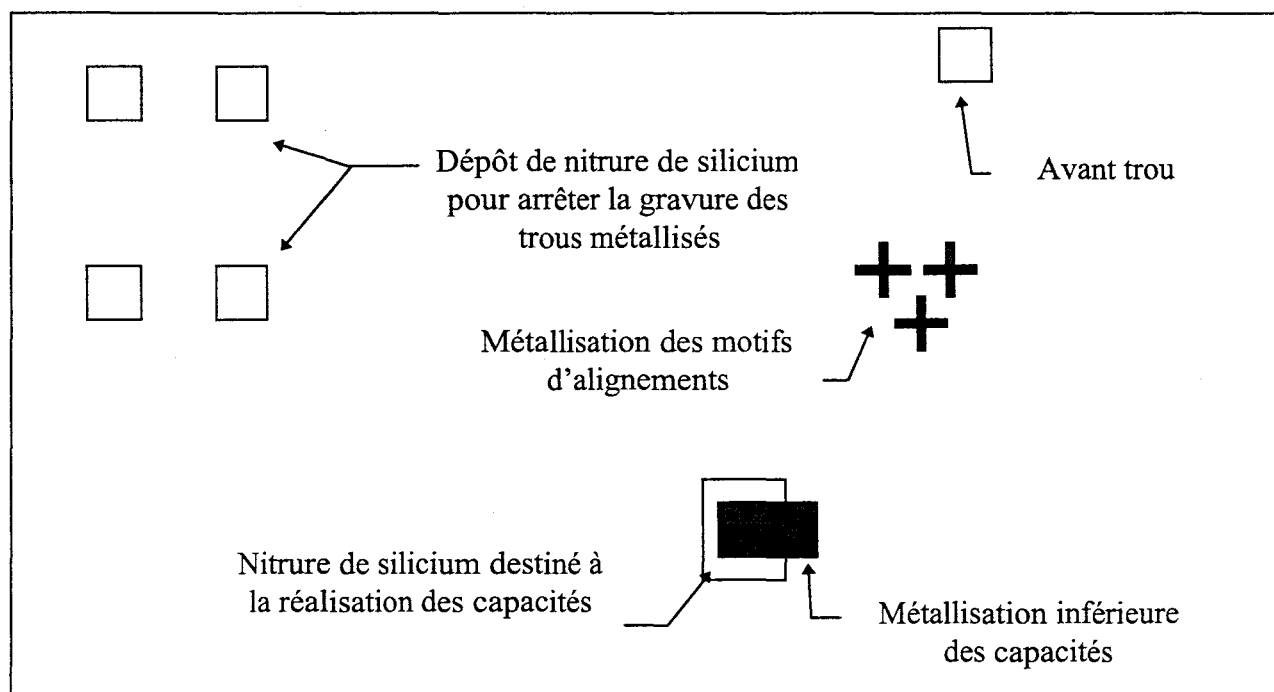


Figure II.4 : Schématisation des éléments présents sur l'échantillon en face avant à la fin de l'étape de dépôt du diélectrique des capacités.

résine puis la dissolution de celle-ci prépare l'échantillon pour la gravure du substrat d'InP et pour la réalisation des avant trous. La gravure du substrat s'effectue à partir d'une solution de brome méthanol qui attaque le matériau avec un angle proche de 55 degrés suivant l'une des directions cristallines [2]. La gravure s'arrête alors pour une profondeur gravée de l'ordre de 55  $\mu\text{m}$  (figure II.3). Lors de l'étape relative à l'amincissement du substrat, en fin de réalisation, la gravure de l'InP s'effectuera par la face arrière jusqu'à l'apparition de ces avant trous qui permettront alors d'ajuster l'épaisseur du substrat restante.

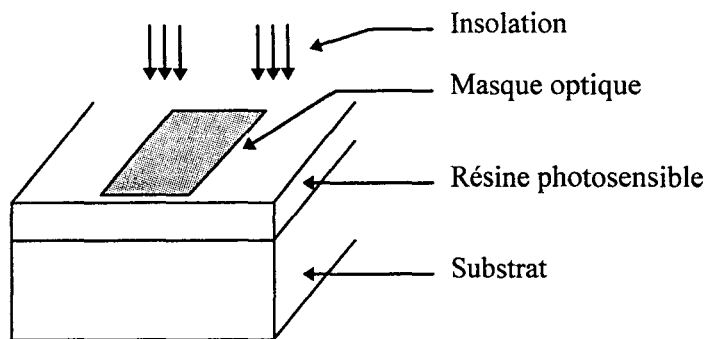
### **III.3. Dépôt du diélectrique pour la réalisation des capacités**

Les capacités MIM sont utilisées à divers endroits dans les circuits MMIC. Suivant leurs situations et leurs fonctions, leurs dimensions, seront différentes et donc implicitement leurs valeurs. Le diélectrique retenu pour leur réalisation est le nitrure de silicium dont la valeur de la permittivité relative est voisine de 7.5 pour les dépôts réalisés au laboratoire. Avec une épaisseur déposée de 2000 Å, il est possible de réaliser des capacités de l'ordre de 0.1 fF à quelques pF tout en gardant des dimensions raisonnables en technologie intégrée.

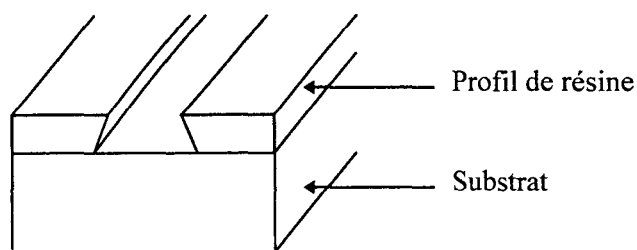
Leur réalisation va consister à déposer de nouveau 1000 Å de diélectrique sur les 1000 Å déjà déposés dans l'étape précédente. Puis, le dépôt d'une résine photosensible, son insolation suivie de sa révélation vont permettre, par attaque plasma, de ne conserver le nitrure de silicium qu'au niveau des capacités ainsi qu'aux endroits où vont déboucher à la fin de la réalisation les trous métallisés et les avant trous (figure II.4). A ces endroits, le nitrure de silicium servira à stopper la gravure des trous métallisés venant de la face arrière.

### **III.4. Réalisation des résistances**

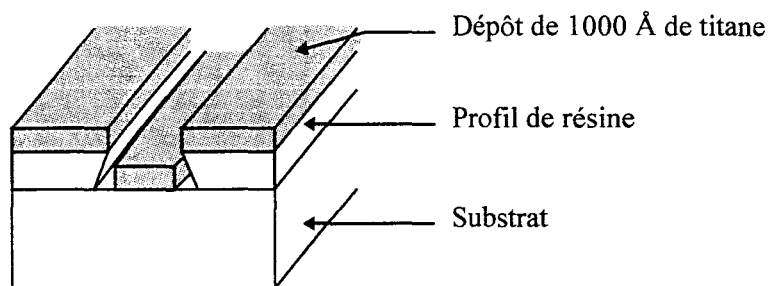
Les résistances sont utilisées principalement pour réaliser des diviseurs de tension ou pour stabiliser les transistors. Les valeurs de résistances faibles (quelques



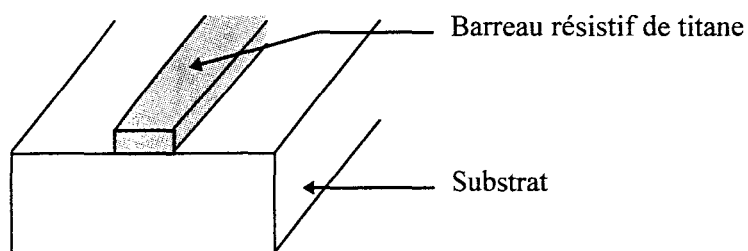
a-) Dépôt d'une résine photosensible et insolation de celle-ci à l'aide du masque associé à cette étape.



b-) Révélation et dissolution de la résine



c-) Dépôt de 1000 Å de titane par évaporation



d-) Lift off de la métallisation située sur la résine

Figure II.5 : Schématisation des étapes relatives à la réalisation des résistances.

dizaines d'ohms) sont le plus souvent réalisées à l'aide d'un dépôt de film mince de métal résistif. Parmi les métaux dont nous disposons dans les bâtis du laboratoire, notre choix s'est porté vers le titane dont la valeur de la résistivité ( $100 \text{ à } 110 \times 10^{-8} \Omega \cdot \text{m}$ ) permet de réaliser des valeurs de résistances proches de  $50 \Omega$  avec des dimensions raisonnables. Une épaisseur déposée de  $1000 \text{ \AA}$  de titane permet d'obtenir une valeur de résistance carrée  $R_{\square}$  de  $10 \text{ à } 11 \Omega/\square$ . La valeur de la résistance est alors donnée par la relation :

$$R = R_{\square} \times \frac{L}{W} + \frac{2R_C}{W} \quad \text{avec} \quad \begin{cases} L : \text{longueur du barreau résistif} \\ W : \text{largeur du barreau résistif} \\ R_C : \text{résistance de contact par unité de largeur} \end{cases}$$

Le procédé de réalisation de ces éléments est détaillé sur la figure II.5.

### **III.5. Dépôt de la métallisation supérieure**

Cette étape termine la réalisation des éléments passifs sur la face avant. Elle consiste en un dépôt par évaporation d'un film d'accrochage en titane de  $1000 \text{ \AA}$  suivi d'une couche de  $5000 \text{ \AA}$  d'or. Cet ultime dépôt d'or en face avant permet d'achever la réalisation des capacités, des lignes de transmission, des plots de masse et de contacter les résistances.

### **III.6. L'amincissement**

La technologie de la face avant étant terminée, préalablement à l'amincissement de l'échantillon il est nécessaire d'appliquer sur cette face une résine de protection. Puis, la plaquette est collée sur un support avec de la cire pour éviter de briser l'échantillon pendant la phase d'amincissement. L'amincissement de la plaquette s'effectue par gravure humide avec une solution d'acide chlorhydrique jusqu'à obtenir l'épaisseur souhaitée pour le substrat d'InP de  $40 \mu\text{m}$ . Pour cela, elle baigne dans la solution d'acide chlorhydrique jusqu'à l'apparition des premiers avant trous. Le contrôle de la



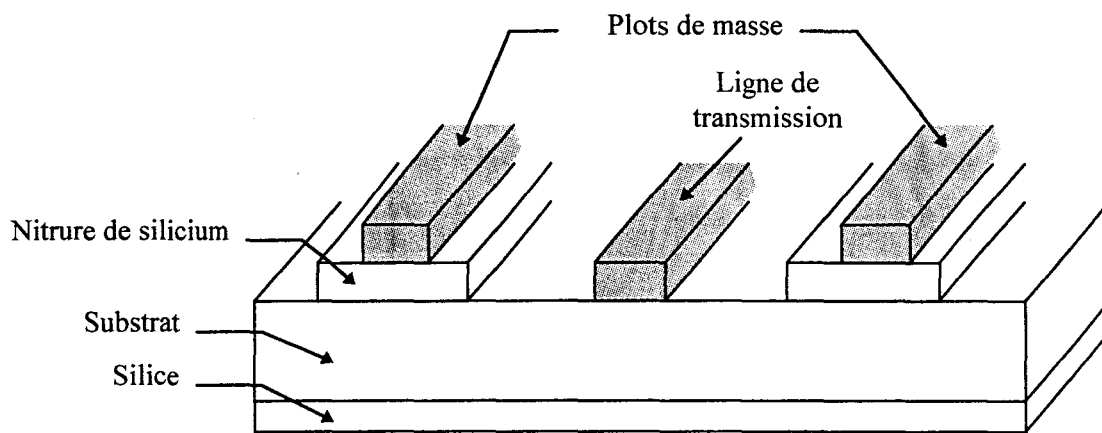
gravure s'intensifie alors jusqu'à ce que tous les avant trous apparaissent, ce qui met fin à cette étape.

La valeur de l'épaisseur du substrat peut sembler faible comparée à ce qui est réalisé industriellement sur substrat de GaAs (100  $\mu\text{m}$ ) mais il était impossible de réaliser par gravure chimique des trous métallisés de dimensions raisonnables sur une épaisseur de substrat plus importante compte tenu de l'angle de gravure. De ce fait, les impédances caractéristiques des lignes sont beaucoup plus sensibles à la variation d'épaisseur de substrat (une variation de  $\pm 5 \mu\text{m}$  entraîne une variation de  $\pm 3 \Omega$  pour une épaisseur de substrat de 40  $\mu\text{m}$  et de  $\pm 1.3 \Omega$  pour une épaisseur de substrat de 100  $\mu\text{m}$ ).

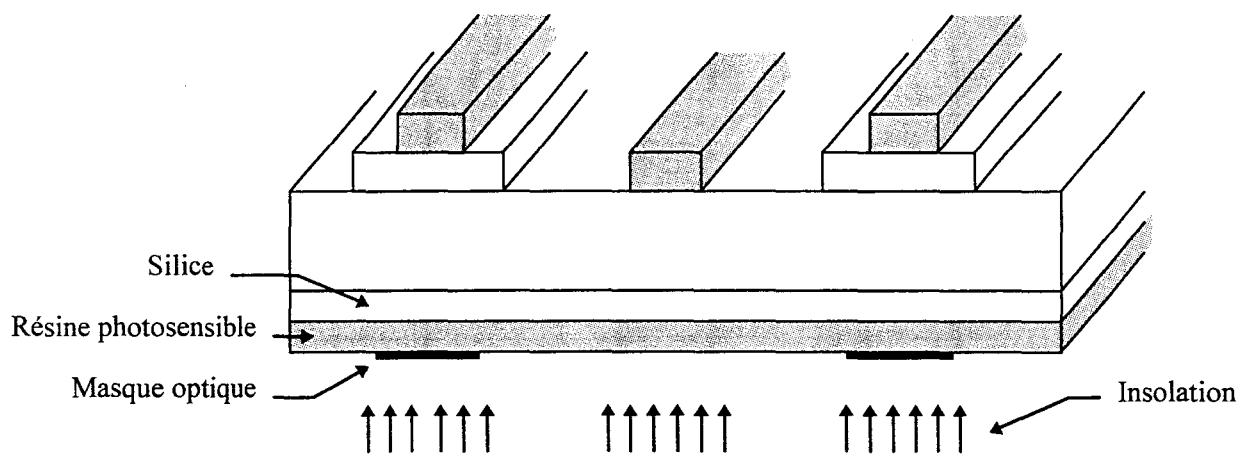
### **III.7. La gravure des trous métallisés**

Une fois l'amincissement terminé, l'étape suivante porte sur la gravure des trous métallisés pour contacter électriquement la face avant au plan de masse situé en face arrière. On dépose pour cela 500 Å de silice sur toute la face arrière par pulvérisation car cette technique permet un dépôt à une température inférieure à 60 °C, température au delà de laquelle la cire commence à fondre. Le dépôt de résine photosensible, son insolation à l'aide du masque approprié puis sa révélation vont permettre de délimiter les surfaces à graver. On peut alors attaquer par plasma la silice non protégée par la résine. La dissolution de celle-ci prépare ensuite la plaquette à la gravure des trous métallisés. Cette gravure s'effectue par voie humide avec une solution de brome méthanol similaire à celle utilisée pour la réalisation des avant trous. La gravure est arrêtée en face avant par le nitrure de silicium, lequel est gravé avant de réaliser un contact électrique. Ce contact est réalisé par le dépôt par évaporation d'une couche d'accrochage de titane suivi d'une couche de 0.5  $\mu\text{m}$  d'or. La figure II.6 reprend les principales étapes de la gravure des trous métallisés.

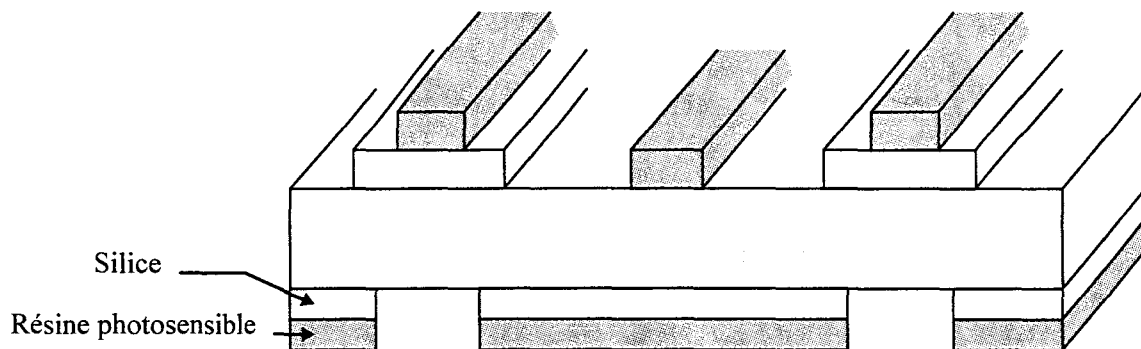
Les américains utilisent pour la gravure du phosphore d'indium et la réalisation des trous métallisés destinés aux circuits hyperfréquences, une méthode de gravure par plasma utilisant une tête ECR (Electron Cyclotron Résonance), matériel dont ne dispose pas le laboratoire.



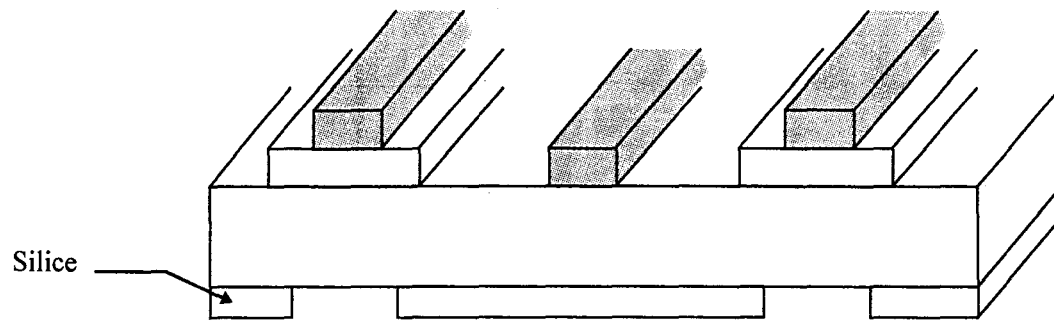
a-) Dépôt de 500 Å de silice par pulvérisation en face arrière



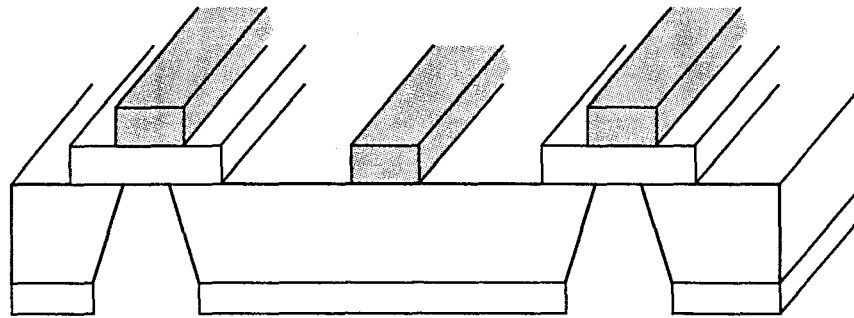
b-) Dépôt de résine photosensible, masquage et insolation de la résine



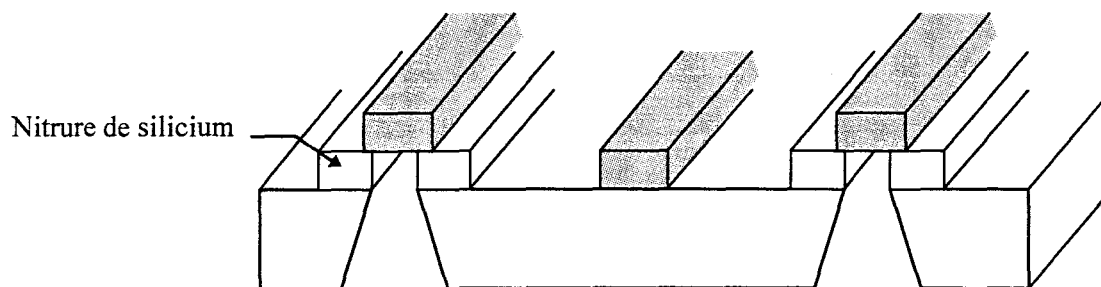
c-) Ouverture de la résine puis de la silice



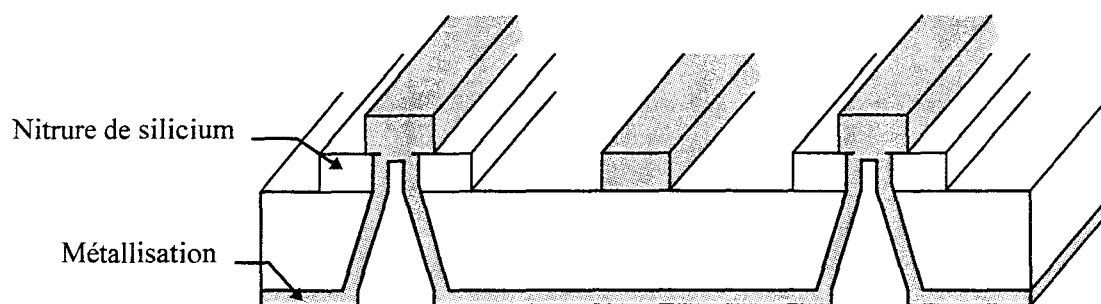
d-) Dissolution de la résine



e-) Gravure des trous métallisés

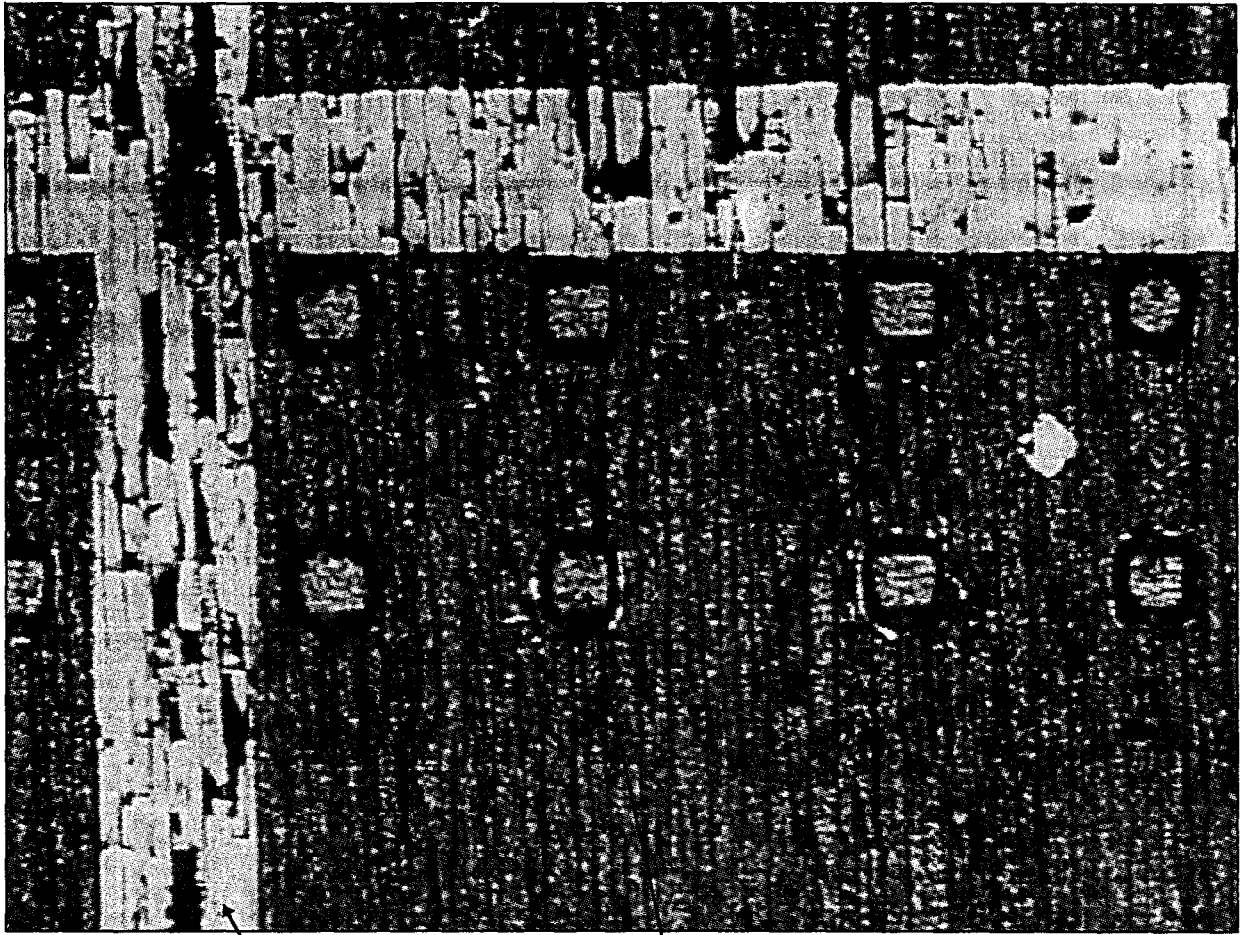


f-) Suppression de la silice et ouverture du nitrure de silicium



g-) Métallisation des trous et prise de contact avec la face avant

Figure II.6 : Réalisation des trous métallisés.



Quadrillage

Trou métallisé

Figure II.7 : Photographie du quadrillage réalisé en face arrière pour relaxer les contraintes exercées par la métallisation sur le substrat.

### **III.8. Relaxation des contraintes**

Afin de réaliser un bon plan de masse en face arrière et assurer la tenue mécanique de la plaquette, une épaisseur supplémentaire d'or s'avère obligatoire. Toutefois, afin d'éviter une contrainte trop importante de l'or sur le substrat, il est impératif de réaliser en face arrière un quadrillage entre les différents champs afin de relaxer les contraintes exercées par la métallisation sur le matériau et ainsi obtenir une surface plane. Pour cela, un dernier dépôt de résine photosensible est effectué. Son exposition aux rayons ultra violets avec le masque approprié puis sa révélation permettent de définir un quadrillage sur la plaque. Il est maintenant possible de procéder au dépôt d'une épaisseur d'or plus importante (3 à 4  $\mu\text{m}$ ) par électrolyse afin de terminer la réalisation du plan de masse. La dissolution de la résine puis le décollage de la plaque de son support terminent la réalisation. La photo présentée figure II.7 illustre la réalisation du quadrillage face arrière.

Après cette description de la réalisation des éléments passifs, nous allons dans la partie suivante présenter les différents types d'étalonnages que nous utiliserons pour la caractérisation de ces éléments. Puis, dans la deuxième partie, nous évoquerons les difficultés auxquelles nous avons été confrontés lors des premières réalisations. Dans la dernière partie, nous aborderons les solutions adoptées pour surmonter ces difficultés et nous présenterons les mesures des lignes de transmission réalisées en guide microruban sur substrat d'InP.

## **IV. Mesures des éléments passifs**

---

## **IV.1. Les méthodes de calibrage utilisées**

Tout système de mesures hyperfréquences comporte un certain nombre d'imperfections systématiques, aléatoires ou encore dues aux dérives d'environnement.

Les erreurs systématiques sont celles liées à la séparation des signaux, aux câbles, aux transitions et aux convertisseurs de fréquences. Elles peuvent être déterminées par les mesures d'étalonnage ce qui permet ensuite par calcul numérique de revenir aux paramètres du dispositif sous test seul.

Les erreurs aléatoires sont essentiellement dues au bruit du système de mesure, à la reproductibilité des connexions ou de pose des sondes de mesure, et ne peuvent pas être prises en compte lors de l'étalonnage de l'analyseur de réseau. Pour minimiser ces erreurs, il est possible d'utiliser une moyenne des mesures à l'analyseur de réseau. L'usage d'une clé dynamométrique est indispensable pour assurer une bonne reproductibilité du serrage des connexions. Dans le cas des mesures sous pointes, il est crucial de toujours reproduire le même positionnement des sondes avec la même pression de contact.

Enfin, les erreurs de dérive d'environnement sont principalement liées aux évolutions de la température et de l'hygrométrie du local où a lieu la mesure. Ce type d'erreur ne peut bien sûr être prise en compte lors du calibrage de l'appareil, cependant la mesure dans une salle climatisée permet d'en réduire les effets. Pour les mesures des éléments passifs, nous avons utilisé deux méthodes de calibrages différentes.

### **IV.1.1. Le calibrage LRM (Line Reflect Match)**

Ce premier calibrage est destiné à trier les éléments des plaquettes qui serviront au second calibrage effectué avec un des kits présents parmi nos éléments passifs. Ces kits d'étalonnage sont composés de deux lignes de longueurs différentes et d'impédance caractéristique théorique de  $50\ \Omega$  ainsi que de deux charges réfléchives en circuit ouvert. Afin de caractériser et de trier ces éléments, un premier calibrage est réalisé. Il est effectué à l'aide d'un kit commercial en guide coplanaire sur un substrat d'alumine. La mesure de nos éléments s'effectuant sur un autre substrat que celui servant au calibrage,

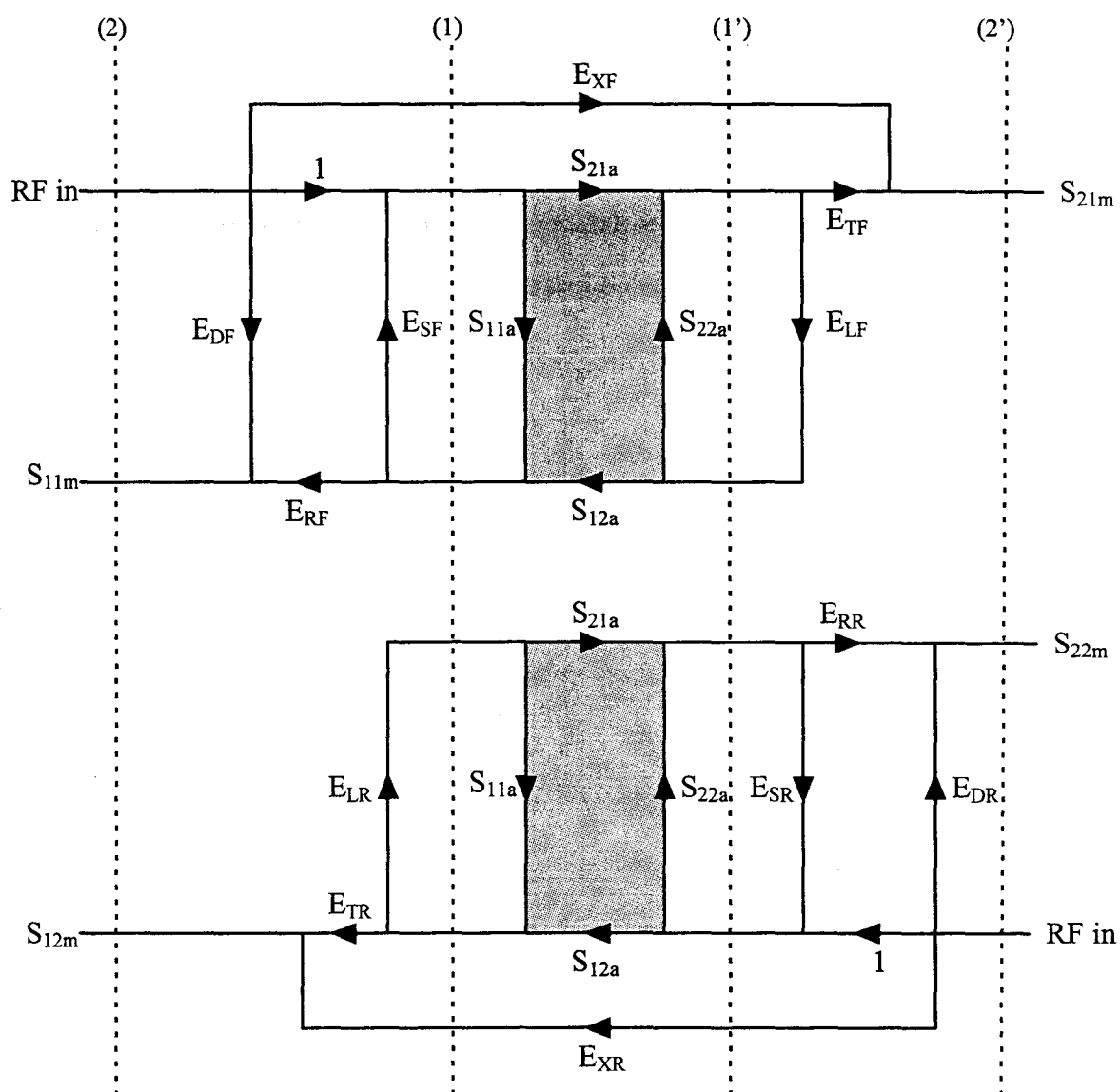


Figure II.8 : Représentation du graphe du fluence à 12 termes d'erreur de l'analyseur de réseau en mode direct (F) et inverse (R).

nous avons opté pour un calibrage de type LRM. En effet, l'adaptation de nos lignes sera meilleure avec un calibrage LRL si le kit et la ligne sont sur le même substrat, par contre, elle sera meilleure avec un calibrage de type LRM si on a recours à deux substrats différents [3].

Pour ce calibrage de type LRM les étalons sont constitués d'une charge  $50 \Omega$ , d'une charge réfléchive et d'une ligne supposée sans perte. La valeur de la charge adaptée définit l'impédance de référence du système. Pour le calibrage, nous utilisons la procédure interne d'autocalibrage de l'analyseur de réseau dans la bande de fréquences 1 GHz - 50 GHz. Durant la procédure, les deux termes d'isolation sont négligés. Une fois l'étalonnage terminé, deux fichiers sont créés par l'analyseur de réseau dans lesquels sont sauvegardés l'état d'instrument et le calset comprenant entre autre la bande de mesure, le nombre de points de mesure, ainsi que les 12 termes d'erreurs du système pour tous les points de fréquence synthétisés.

Le graphe de fluence utilisé par la procédure interne de l'analyseur de réseau est standard (figure II.8). Les termes en sens direct sont indicés F (Forward), en sens indirect, ils sont indicés R (Reverse). Leurs dénominations et significations sont les suivantes :

$ED_F$  et  $ED_R$  traduisent la directivité du système

$EX_F$  et  $EX_R$  traduisent son isolation

$ES_F$  et  $ES_R$  traduisent l'adaptation d'impédance de source

$EL_F$  et  $EL_R$  traduisent l'adaptation d'impédance de charge

$ET_F$  et  $ET_R$  traduisent la réponse fréquentielle en transmission

$ER_F$  et  $ER_R$  traduisent la réponse fréquentielle en réflexion.

On peut alors déduire les paramètres [S] de l'élément mesuré dans les plans de référence (1) et (1') de la mesure des paramètres globaux de l'analyseur de réseau [4].

$$S_{11A} = \frac{\left[ \left( \frac{S_{11M}-ED_F}{ER_F} \right) \left[ 1 + \left( \frac{S_{22M}-ED_R}{ERR} \right) ES_R \right] \right] - \left[ \left( \frac{S_{21M}-EX_F}{ET_F} \right) \left( \frac{S_{12M}-EX_R}{ETR} \right) EL_F \right]}{\left[ 1 + \left( \frac{S_{11M}-ED_F}{ER_F} \right) ES_F \right] \left[ 1 + \left( \frac{S_{22M}-ED_R}{ERR} \right) ES_R \right] - \left[ \left( \frac{S_{21M}-EX_F}{ET_F} \right) \left( \frac{S_{12M}-EX_R}{ETR} \right) EL_F EL_R \right]}$$

$$S_{21A} = \frac{\left[ 1 + \left( \frac{S_{22M}-ED_R}{ERR} \right) (ES_R - EL_F) \right] \left( \frac{S_{21M}-EX_F}{ET_F} \right)}{\left[ 1 + \left( \frac{S_{11M}-ED_F}{ER_F} \right) ES_F \right] \left[ 1 + \left( \frac{S_{22M}-ED_R}{ERR} \right) ES_R \right] - \left[ \left( \frac{S_{21M}-EX_F}{ET_F} \right) \left( \frac{S_{12M}-EX_R}{ETR} \right) EL_F EL_R \right]}$$



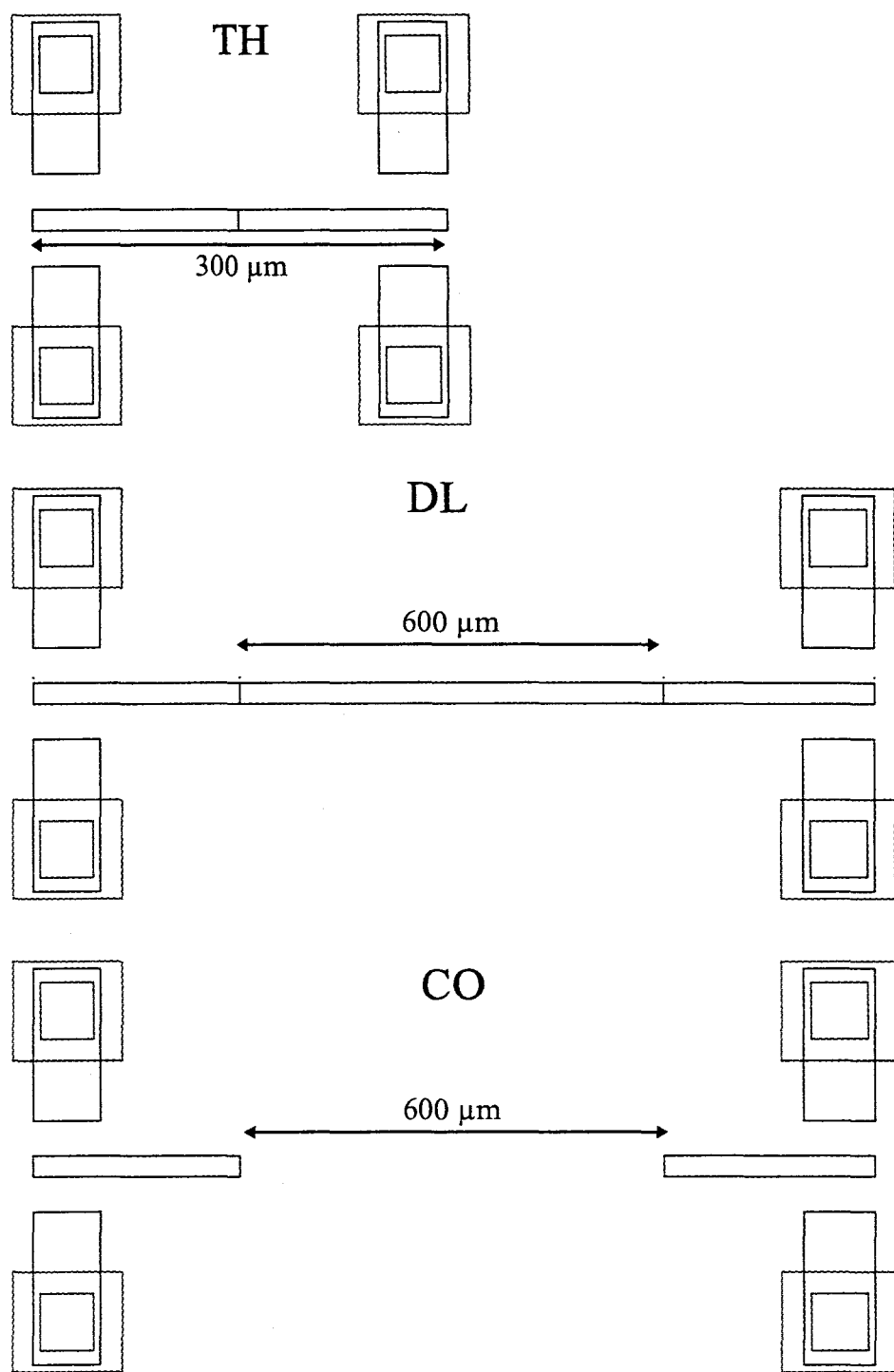


Figure II.9 : Représentation des structures permettant un calibrage LRL microruban sur le substrat aminci d'InP.

$$S_{12A} = \frac{\left[ 1 + \left( \frac{S_{11M}-E_{DF}}{E_{RF}} \right) (E_{SF}-E_{LR}) \right] \left( \frac{S_{12M}-E_{XR}}{E_{TR}} \right)}{\left[ 1 + \left( \frac{S_{11M}-E_{DF}}{E_{RF}} \right) E_{SF} \right] \left[ 1 + \left( \frac{S_{22M}-E_{DR}}{E_{RR}} \right) E_{SR} \right] - \left[ \left( \frac{S_{21M}-E_{XF}}{E_{TF}} \right) \left( \frac{S_{12M}-E_{XR}}{E_{TR}} \right) E_{LF} E_{LR} \right]}$$

$$S_{22A} = \frac{\left[ \left( \frac{S_{22M}-E_{DR}}{E_{RR}} \right) \left[ 1 + \left( \frac{S_{11M}-E_{DF}}{E_{RF}} \right) E_{SF} \right] \right] - \left[ \left( \frac{S_{21M}-E_{XF}}{E_{TF}} \right) \left( \frac{S_{12M}-E_{XR}}{E_{TR}} \right) E_{LR} \right]}{\left[ 1 + \left( \frac{S_{11M}-E_{DF}}{E_{RF}} \right) E_{SF} \right] \left[ 1 + \left( \frac{S_{22M}-E_{DR}}{E_{RR}} \right) E_{SR} \right] - \left[ \left( \frac{S_{21M}-E_{XF}}{E_{TF}} \right) \left( \frac{S_{12M}-E_{XR}}{E_{TR}} \right) E_{LF} E_{LR} \right]}$$

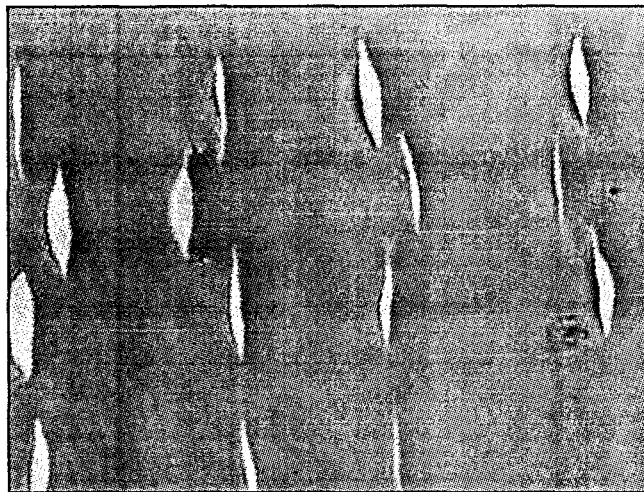
#### IV.1.2. Le calibrage LRL (Line Reflect Line)

Une fois les éléments de calibrage de la plaquette triés, un nouveau calibrage, avec le meilleur de chaque élément, va être effectué pour caractériser tous les autres éléments passifs. Ce calibrage est de type LRL en guide microruban. L'impédance de référence sera définie par la hauteur du substrat, la largeur des lignes étalons étant fixée.

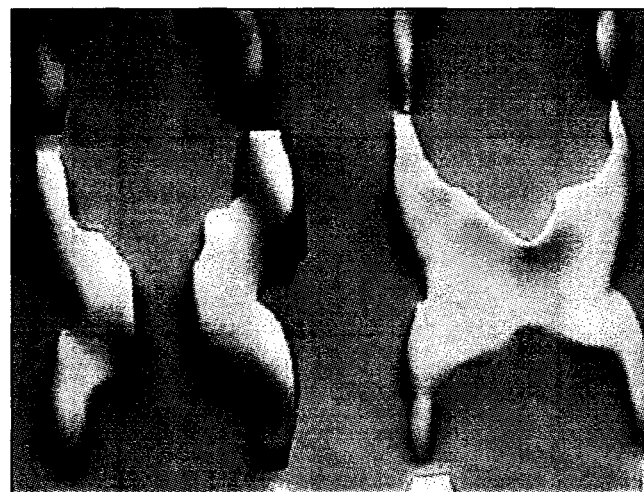
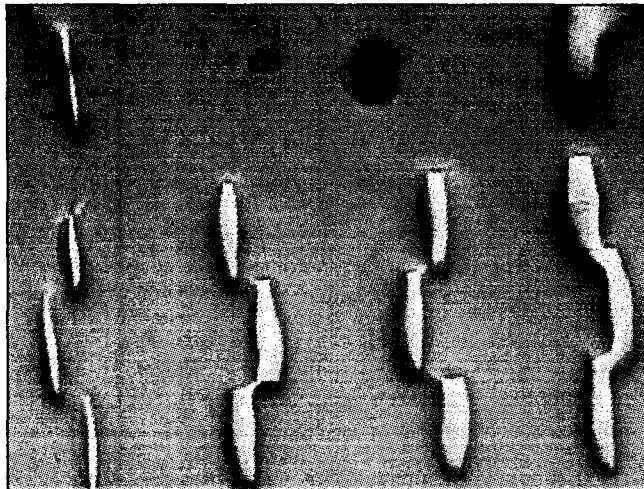
Pour l'analyse LRL, les éléments de référence sont deux lignes de transmission supposées sans pertes, d'impédance caractéristique connue et identique  $Z_0$ . Leur différence de longueur est fixée de manière à amener un déphasage dans la bande de mesure compris dans l'intervalle  $18^\circ$  -  $162^\circ$  nécessaire pour assurer une bonne précision de l'étalonnage [5]. L'écart de longueur entre les deux lignes est de  $600 \mu\text{m}$ , la longueur de la ligne courte valant  $600 \mu\text{m}$ . Cette longueur apparaît suffisante pour éviter des éventuels couplages entre les sondes et également pour obtenir un mode de propagation microruban établi au milieu de la ligne, tout en conservant des longueurs raisonnables afin de limiter les pertes. Le troisième élément nécessaire pour le calibrage est le standard de réflexion qui doit présenter le même coefficient de réflexion sur les deux ports de l'analyseur de réseau. Ce kit de calibrage représenté à la figure II.9 a été aligné de manière à réduire les mouvements mécaniques des sondes de mesures et augmenter ainsi la reproductibilité des positionnements.

### IV.2. Difficultés rencontrées lors des premières réalisations

Lors des premières réalisations, outre les difficultés directement liées aux étapes de la technologie que nous n'aborderons pas dans ce mémoire puisqu'elles feront partie d'une thèse à paraître dans notre équipe [1], des difficultés au moment de la



La forme des trous métallisés en grain de riz est propice à leur connexion.



Tous les trous métallisés sont connectés entre eux.

Figure II.10 : Photographies illustrant la non uniformité sur un même échantillon de la gravure des trous métallisés avec une solution d'acide chlorhydrique.

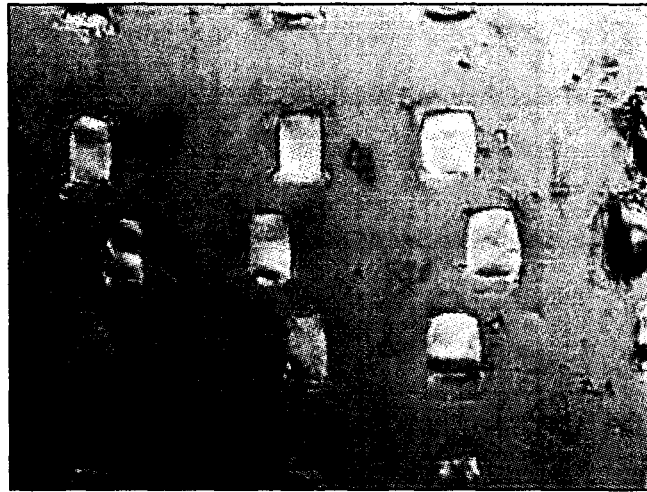
caractérisation des éléments ont été rencontrées. Ce sont plus particulièrement celles-ci que nous allons aborder dans la suite de ce chapitre.

#### **IV.2.1. Planéité du substrat**

Une des premières difficultés à laquelle nous avons été confronté, une fois la réalisation de l'échantillon entièrement terminée, a été la non planéité du substrat. En effet, sur ce premier essai, la dernière étape de la réalisation qui consiste à relaxer les contraintes face arrière n'avait pas été effectuée ; ce qui engendra un léger bombement de l'échantillon dû aux contraintes importantes exercées par la métallisation de la face arrière sur le substrat. Dans de telles conditions, l'aspiration de l'échantillon par la station sous pointe était insuffisante pour obtenir un bon plaquage. La prise de contact avec les sondes de mesures hyperfréquences était alors difficile, l'échantillon s'affaissant sous leur pression. La réalisation de mesures dans ces conditions devenait alors périlleuse, le compromis entre un bon contact des sondes et une pression trop importante sur celles-ci risquait de les détériorer ou de briser l'échantillon. La réalisation du quadrillage en face arrière pour relaxer les contraintes exercées par la métallisation sur le substrat a permis de s'affranchir de ce problème et d'obtenir des substrats parfaitement plans.

#### **IV.2.2. Non uniformité des trous métallisés**

Les premiers essais de gravure des trous métallisés ont été effectués par gravure humide avec une solution d'acide chlorhydrique. La non uniformité des trous métallisés s'est tout d'abord caractérisée par un mauvais rendement des contacts électriques entre le plan de masse et la métallisation supérieure. En effet, à certains endroits de l'échantillon, la gravure des trous métallisés s'est révélée être beaucoup moins avancée alors qu'à d'autres, elle était déjà trop importante. Deux trous métallisés distincts pouvaient alors s'interconnecter (figure II.10), ou les plots de métallisation pouvaient tomber au fond des trous devenus trop larges. De plus, la gravure s'effectuant plus rapidement dans une direction cristalline que dans l'autre, la forme des trous métallisés



Pas de forme en grain de riz.

Les trous métallisés ne se connectent pas.

Figure II.11 : Photographie de la face avant illustrant la gravure des trous métallisés avec une solution de brome méthanol.

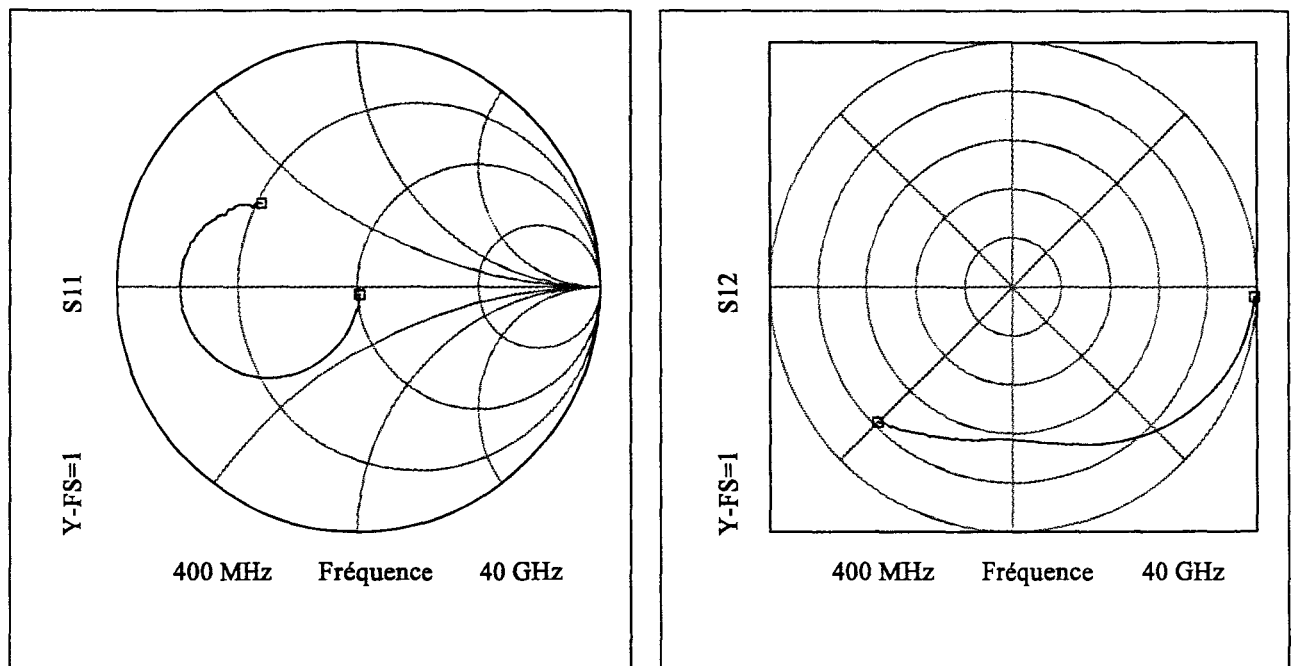


Figure II.12 : Evolution des paramètres  $S_{ij}$  d'une ligne microruban sur substrat InP d'impédance caractéristique  $33 \Omega$ .

s'apparentait à des grains de riz. Un trou métallisé pouvait alors venir court-circuiter le conducteur central de la ligne microruban.

S.Trassaert et B.Boudart ont mis au point une autre solution composée de brome méthanol qui a donné de bien meilleurs résultats [6] (figure II.11).

#### IV.2.3. Impédance caractéristique différente de 50 $\Omega$

Si toutes les étapes technologiques liées à la réalisation des éléments passifs sont importantes et présentent chacune leurs propres difficultés, celle relative à l'amincissement du substrat aura des conséquences particulières sur les mesures hyperfréquences. En effet, en guide microruban, l'impédance caractéristique des lignes est fortement fonction de la valeur de l'épaisseur du substrat. A titre d'exemple, nous présentons sur la figure II.12 l'évolution en fonction de la fréquence des paramètres  $S_{ij}$  d'une ligne microruban réalisée sur un substrat d'InP. Le calibrage utilisé pour la mesure est de type LRM référencé par rapport à l'impédance de 50  $\Omega$  qui représente le centre de l'abaque de Smith. Nous constatons une très mauvaise adaptation de cette ligne dont l'impédance caractéristique est proche de 33  $\Omega$  dû à un amincissement trop important du substrat. Cette valeur d'impédance caractéristique a été obtenue après mesure de l'épaisseur du substrat au comparateur et simulation avec MDS des caractéristiques de la ligne de transmission et du substrat.

Nous avons toutefois réalisé un calibrage de type LRL avec ce kit d'impédance caractéristique de valeur 33  $\Omega$ . Une fois celui ci effectué jusque 40 GHz, nous vérifions que le centre de l'abaque est bien de 33  $\Omega$  par la mesure d'une charge 50  $\Omega$  (figure II.13).

Nous avons tiré de ces essais une remarque concernant la prise en compte par le simulateur MDS de l'impédance de référence. En effet, pour obtenir une évolution similaire des mesures et des simulations lorsque l'impédance de référence de la mesure est différente de 50  $\Omega$ , il est nécessaire de remplacer la valeur déclarée dans des ports de paramètres  $S_{ij}$  du simulateur par celle de l'impédance caractéristique de référence de la mesure. Pour un calibrage LRL, la valeur déclarée dans les ports de paramètres  $S_{ij}$  du simulateur doit donc être égale à celle de l'impédance caractéristique des lignes utilisées pour le calibrage.

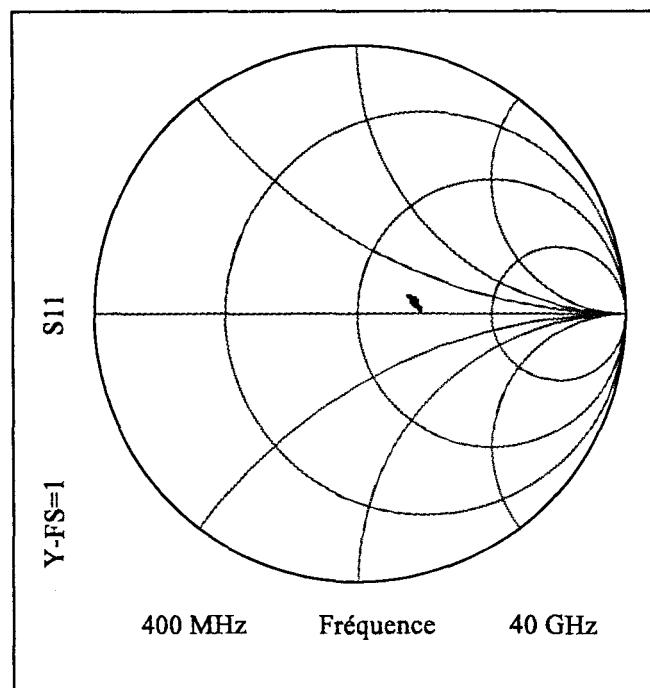


Figure II.13 : Evolution du paramètres  $S_{11}$  d'une charge  $50\ \Omega$  coplanaire mesurée avec un calibrage de type LRL d'impédance caractéristique  $33\ \Omega$ .

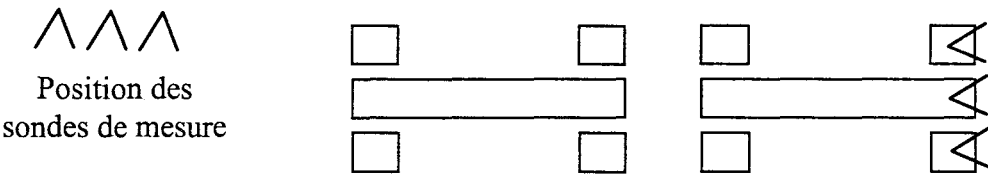
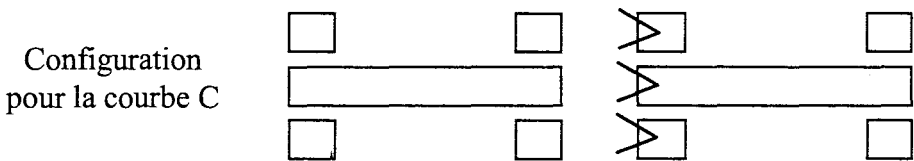
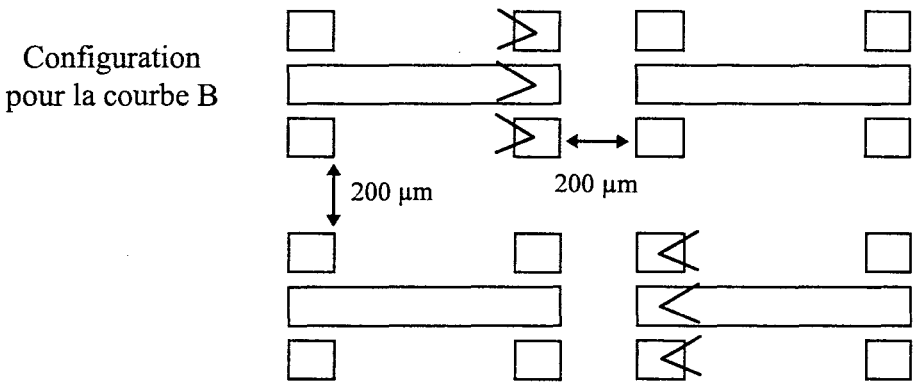
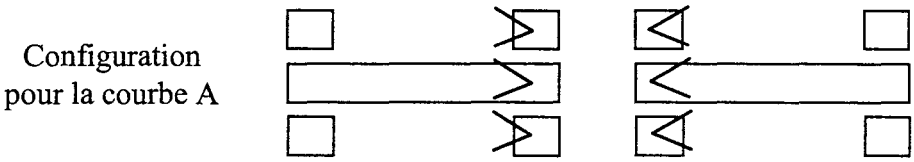
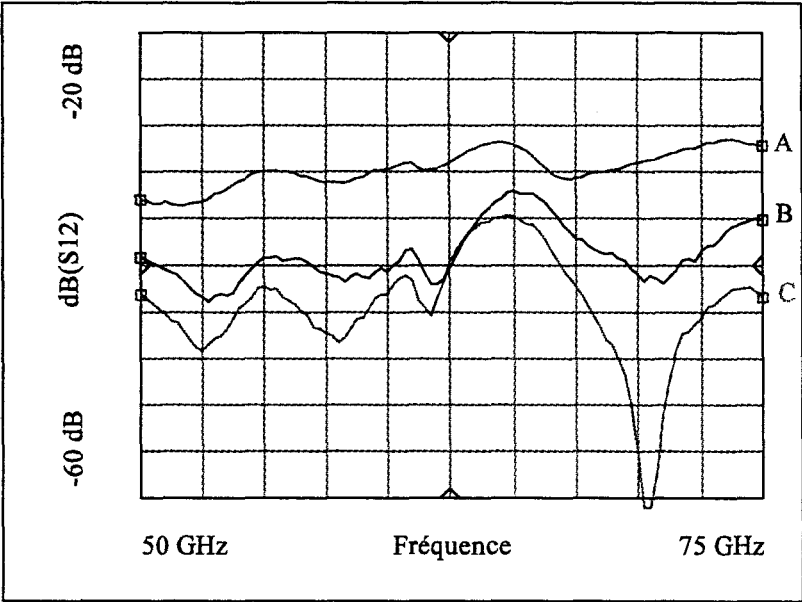


Figure II.14 : Couplage existant entre deux structures voisines en bande V

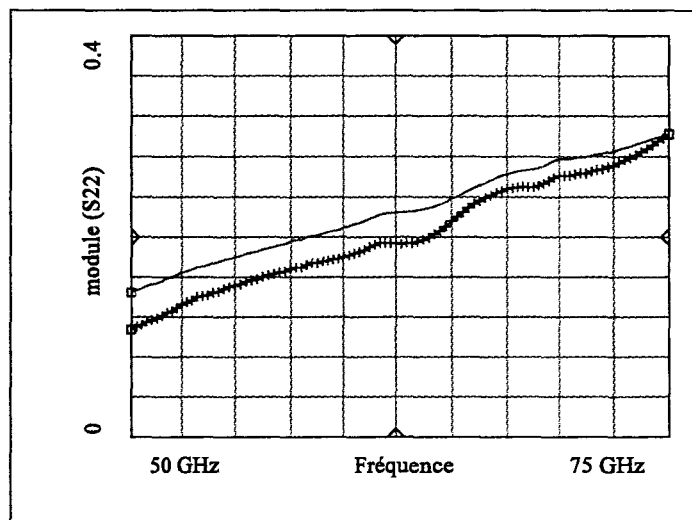
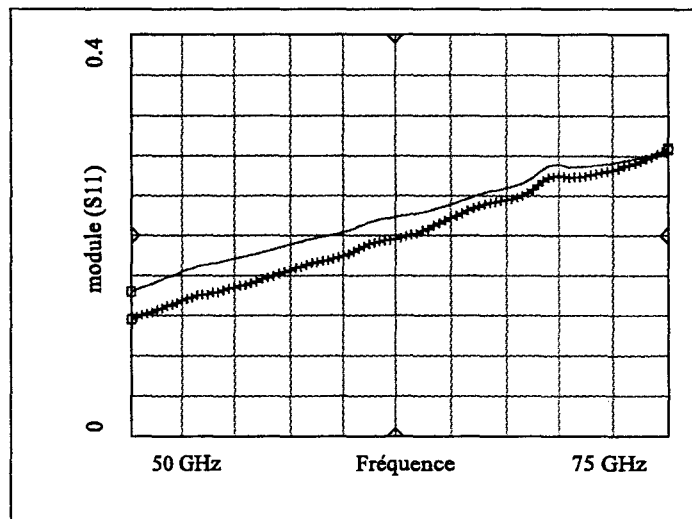
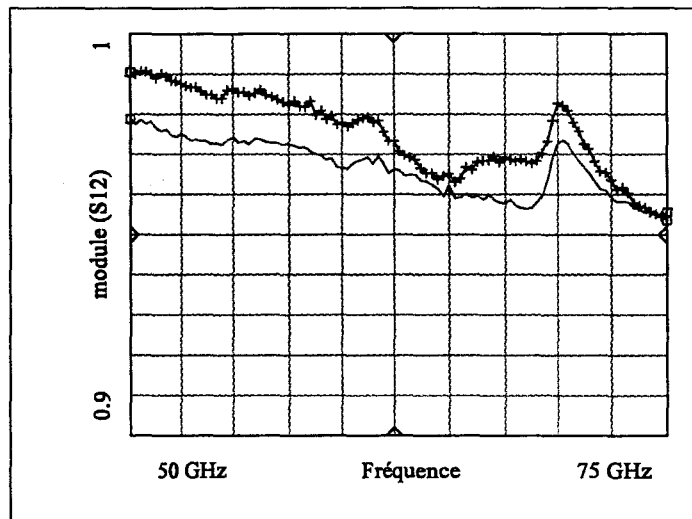


#### IV.2.4. Etude du couplage existant entre deux structures voisines

Des mesures sur des éléments passifs ont été réalisées à l'analyseur de réseau en bande V afin de mettre en évidence les éventuels effets de couplages existant entre les structures à ces fréquences. Ces couplages peuvent être soit induits par des structures métalliques trop proches, soit par un écartement des sondes de mesures trop faible lors de la mesure d'un élément (Cross talk). Le but de ces mesures était de s'assurer que les éléments sont assez éloignés les uns des autres sur notre réticule.

Pour tenter de quantifier ces couplages, trois mesures dans différentes conditions de pose des sondes hyperfréquences ont été effectuées. Les sondes de mesures sont positionnées sur deux éléments voisins selon les schémas présentés figure II.14. On représente pour chaque position l'évolution du module du paramètre  $S_{12}$ . Nous constatons pour les positions B et C des sondes de mesure un couplage très faible puisque de l'ordre de -40 dB. Sur la courbe A, correspondant à un écart entre les sondes moins important, nous obtenons un couplage de l'ordre de -30 dB. Cette valeur relativement faible confirme que l'espace de 200  $\mu\text{m}$  entre les structures est suffisant.

Afin de vérifier l'influence que pourrait avoir une structure pendant la mesure d'une seconde, nous avons mesuré un élément que nous avons par la suite essayé d'isoler en utilisant un matériau absorbant. Ce matériau est utilisé pour isoler le conducteur central des masses dans les sondes de mesures hyperfréquences. La figure II.15a schématise les conditions de cette mesure, les résultats sont présentés sur la figure II.15b.



— Mesure d'une capacité

⋯ Mesure de la même capacité avec un matériau absorbant placé derrière les sondes

Figure II.15b : Mesure d'une capacité avec et sans matériau absorbant derrière les sondes hyperfréquences en bande V.

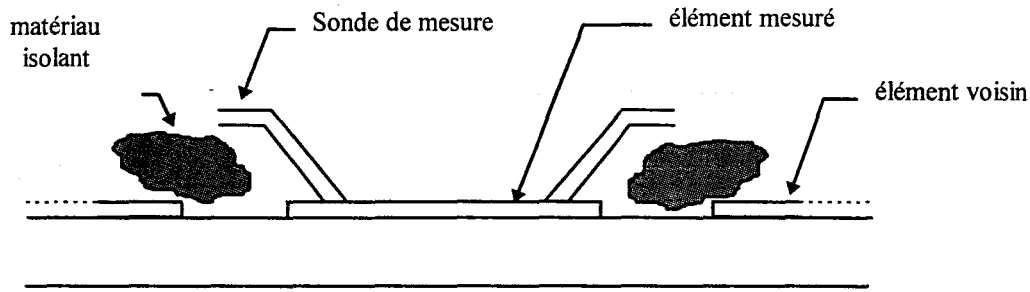


Figure II.15a : Mesure d'un élément avec et sans matériau absorbant placé derrière les sondes de mesure.

L'élément mesuré est une capacité. On constate avec l'utilisation du matériau absorbant moins de pertes et un meilleur isolement de la structure. Toutefois, les écarts observés restent faibles. Il ne nous apparaît donc pas primordial d'augmenter la distance de séparation entre les différentes structures.

### **IV.3. Résultats obtenus lors des réalisations suivantes**

Le procédé définitif de réalisation, modifié afin de contourner les difficultés précédemment citées, est celui décrit dans la partie III de ce chapitre. Nous allons maintenant présenter les caractéristiques obtenues sur les éléments de calibrage, puis nous comparerons nos lignes à celles réalisées par la fonderie Thomson.

#### **IV.3.1. Mesures des éléments de calibrage**

Ces mesures portent sur deux lignes de transmission de longueurs différentes que nous appellerons Thru et Delay ainsi que sur une ligne en circuit ouvert pour chaque port de l'analyseur de réseau (Reflect). Ces trois éléments sont nécessaires à la réalisation d'un calibrage de type LRL, destiné à la caractérisation de toutes les structures présentes sur le substrat.

Un premier calibrage de type LRM en guide coplanaire sur un substrat d'alumine est effectué afin de trier ces éléments et d'identifier ceux qui seront utilisés pour

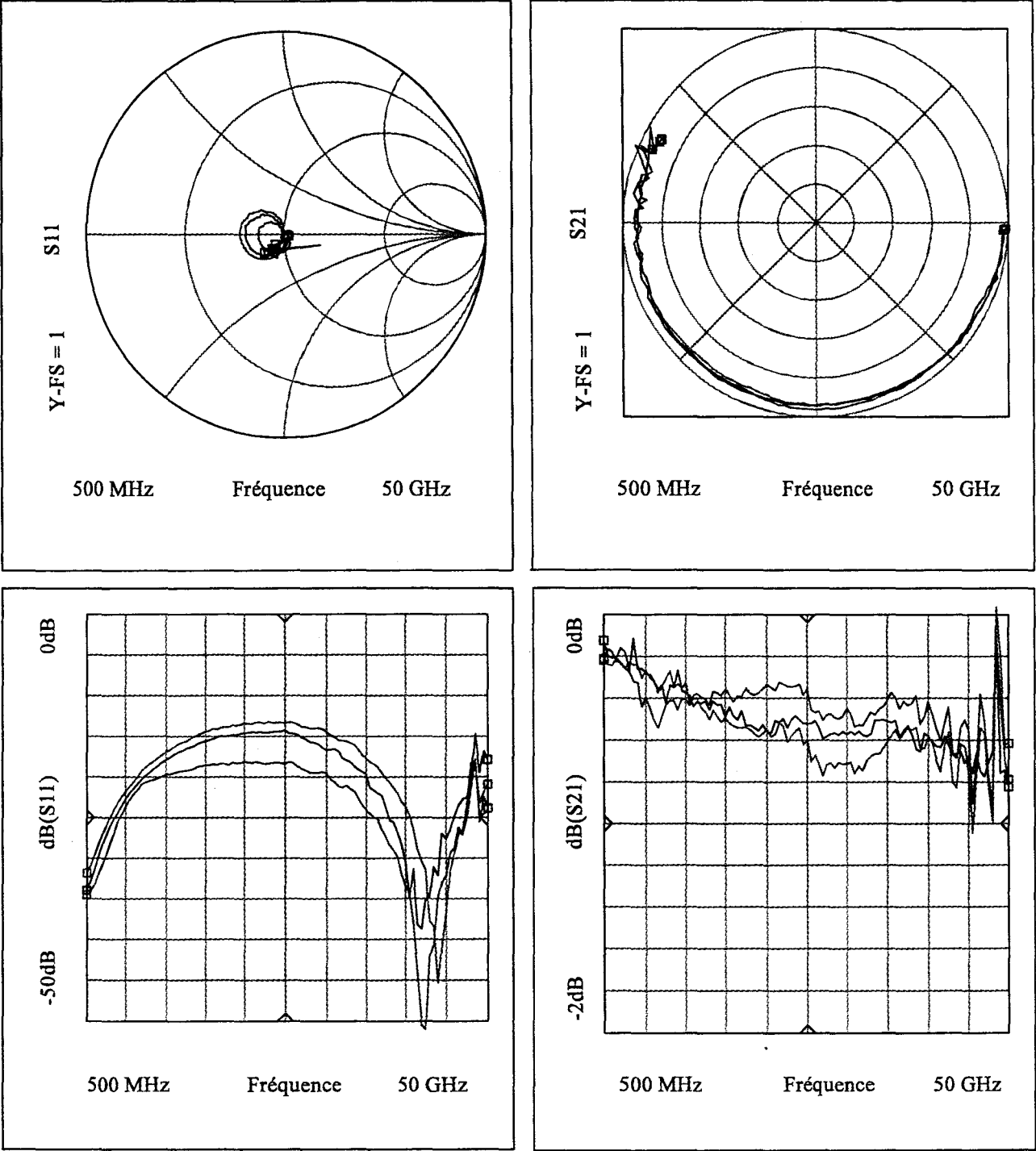


Figure II.16 : Evolution des paramètres  $S_{11}$  et  $S_{21}$  de trois lignes Delay de 1.2 mm de longueur mesurées avec un calibrage de type LRM. (plaque 10356\_2t)

l'étalonnage de type LRL. Les plans de références sont ici les plans des sondes de mesure.

#### ☒ La ligne Delay

Nous présentons sur les figures II.16 et II.17 l'évolution des paramètres  $S_{11}$  et  $S_{21}$  de la ligne Delay de longueur 1.2 mm provenant des plaquettes nommées 10356\_2t et 10356\_st. Précisons que la face avant de ces deux plaquettes est identique, car l'échantillon a été clivé juste avant la réalisation de l'amincissement du substrat.

Nous constatons pour la plaque 10356\_2t (figure II.16) une moins bonne adaptation des lignes que pour la plaque 10356\_st (figure II.17). En effet, le module du terme  $S_{11}$  des lignes est inférieur à -15 dB pour la première plaque contre -20 dB sur la seconde. Cette moins bonne adaptation des lignes peut avoir deux origines : la première serait liée à l'impédance caractéristique des lignes qui serait plus éloignée de 50  $\Omega$ . La seconde proviendrait des trous métallisés qui provoqueraient une désadaptation de la ligne. De ces deux hypothèses, nous ne garderons que la seconde car les épaisseurs de substrat des deux plaquettes (33  $\mu\text{m}$  et 47  $\mu\text{m}$ ), seul paramètre pouvant confirmer la première hypothèse, donnent un comportement similaire des lignes compte tenu de leur valeur d'impédance caractéristique (45.5  $\Omega$  et 55  $\Omega$ ). C'est pourquoi, nous avons attribué cette désadaptation aux trous métallisés dont c'était la première réalisation.

Du module du paramètre  $S_{21}$ , nous pouvons constater des pertes à la fréquence de 50 GHz de l'ordre de 0.4 dB/mm pour la plaque 10356\_st et de 0.5 dB/mm à 0.6 dB/mm pour la plaque 10356\_2t.

#### ☒ La ligne Thru

Les lignes Thru, d'une longueur de 600  $\mu\text{m}$  présentent des évolutions similaires aux lignes Delay. Leurs caractéristiques sont présentées figure II.18 pour la plaque 10356\_2t et figure II.19 pour la plaque 10356\_st.

#### ☒ Les lignes en circuit ouvert (Reflect)

Les derniers éléments de nos kits de calibrage sont les lignes en circuit ouvert. Leurs caractéristiques sont présentées figure II.20 et figure II.21 pour nos deux plaquettes. Pour l'étalonnage, on s'attachera à utiliser les lignes en circuits ouverts les plus semblables deux à deux.

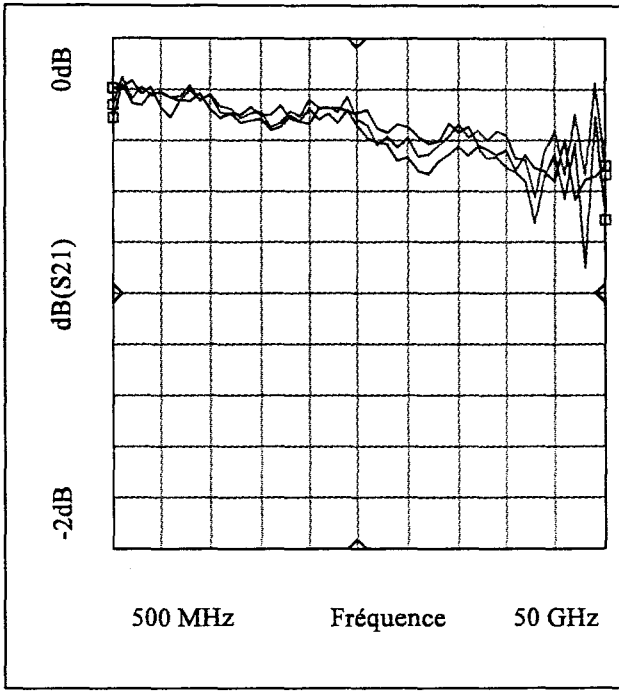
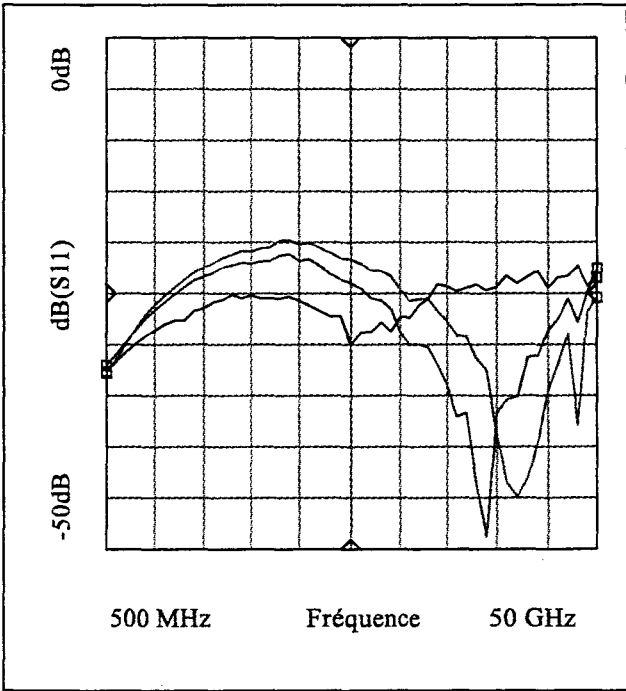
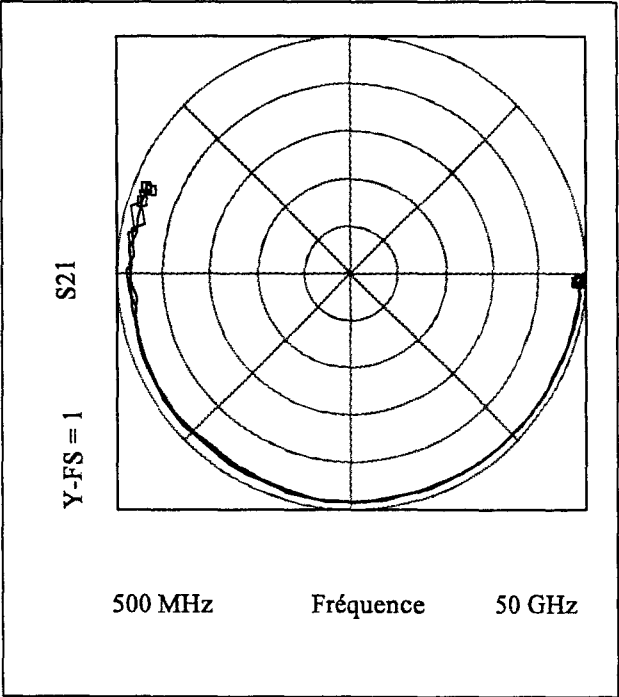
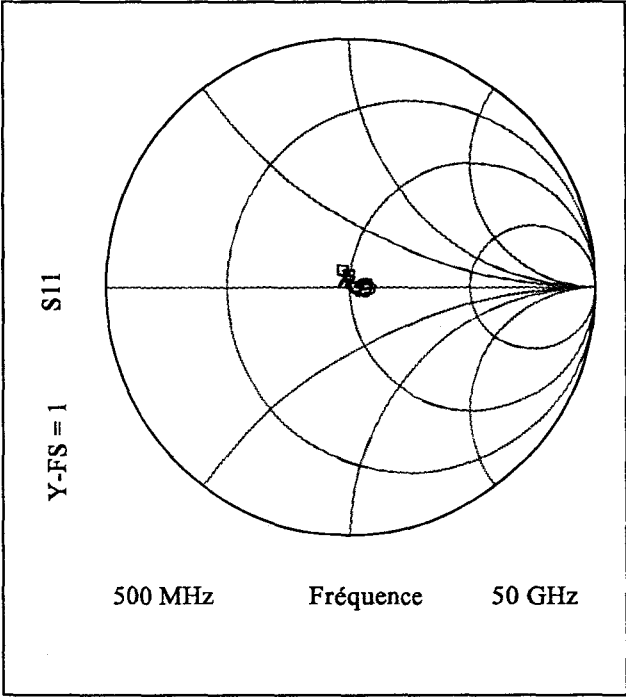


Figure II.17 : Evolution des paramètres  $S_{11}$  et  $S_{21}$  de trois lignes Delay de 1.2 mm de longueur mesurées avec un calibrage de type LRM. (plaque 10356\_st)

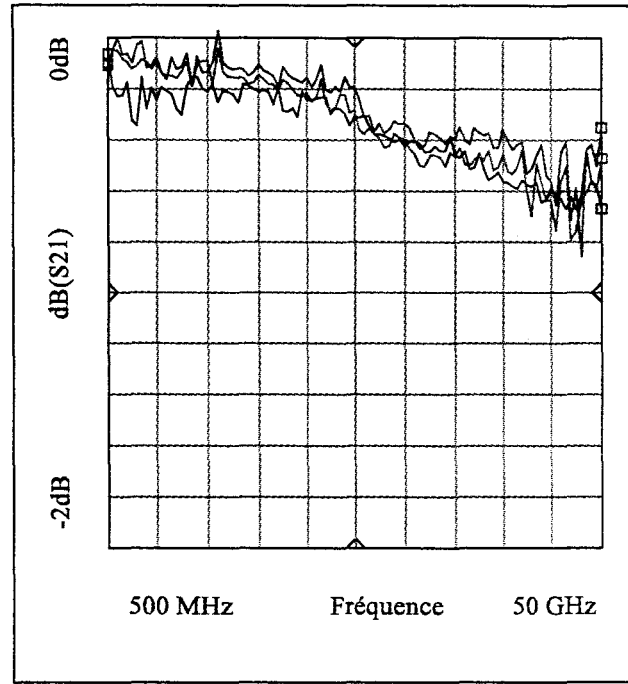
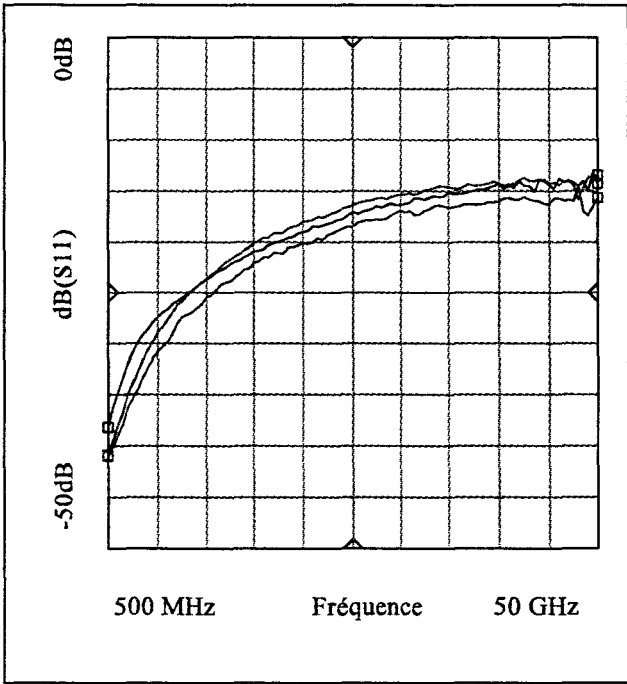
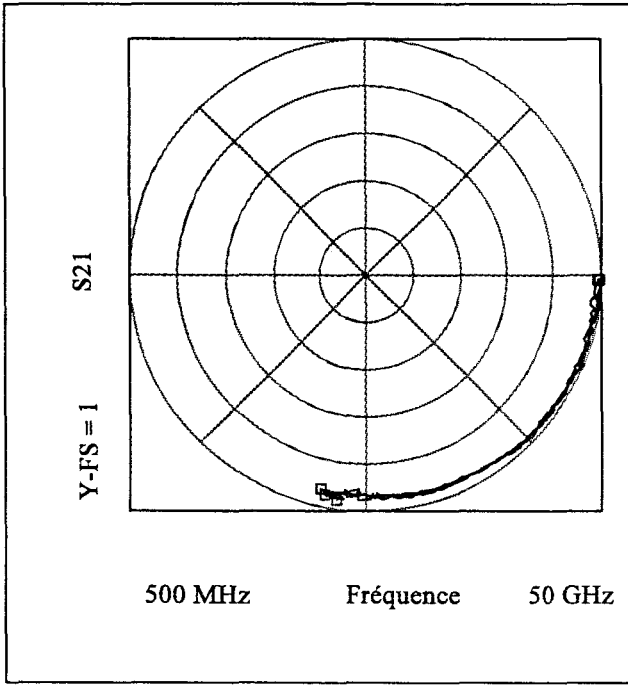
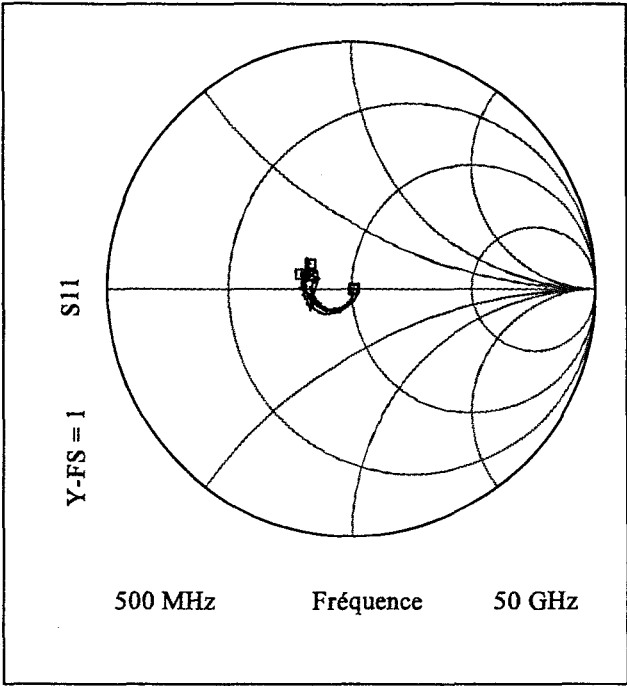


Figure II.18 : Evolution des paramètres  $S_{11}$  et  $S_{21}$  de trois lignes Thru de  $600\ \mu\text{m}$  de longueur mesurées avec un calibrage de type LRM. (plaque 10356\_2t)

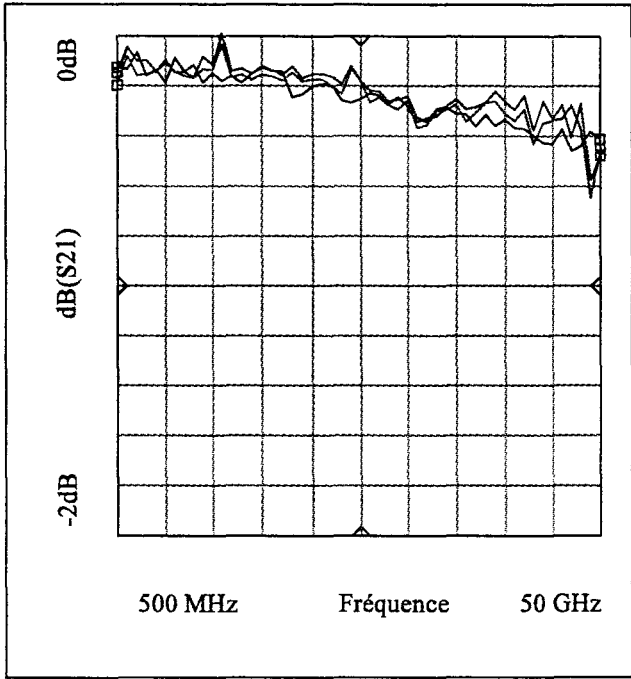
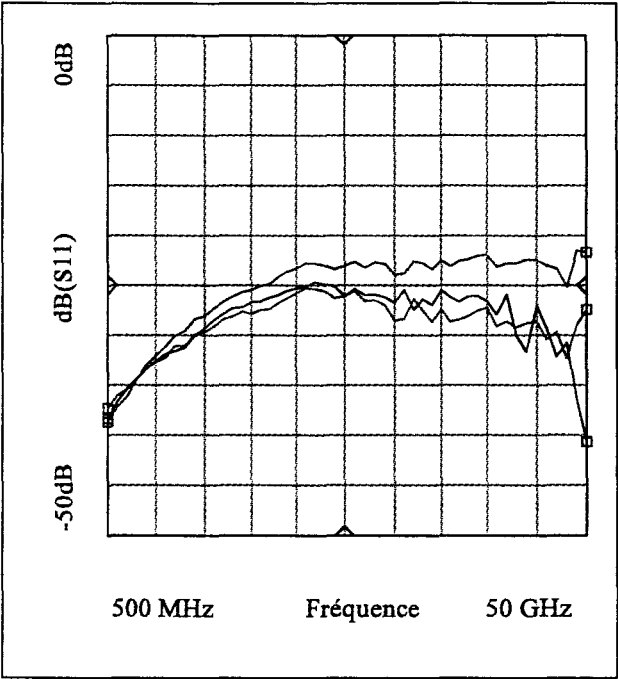
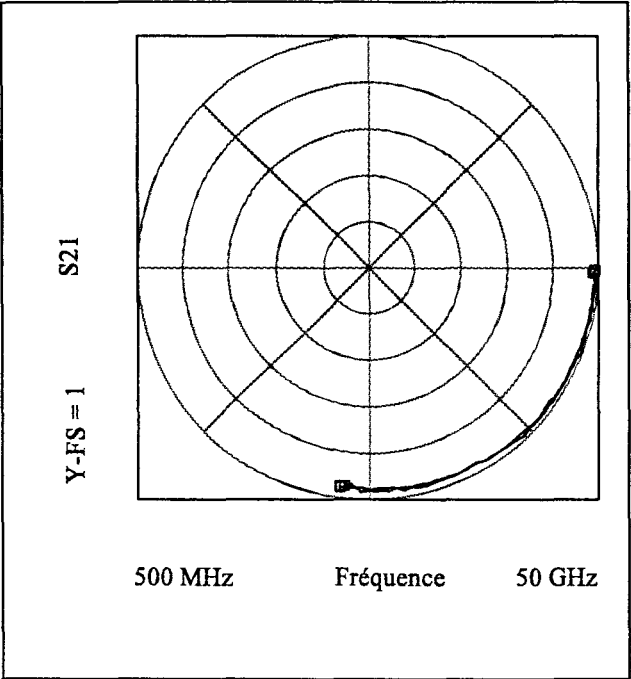
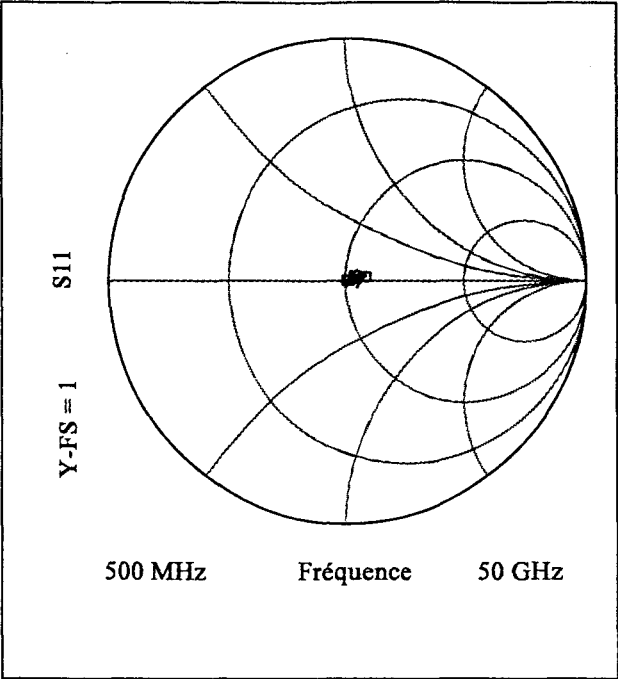


Figure II.19 : Evolution des paramètres  $S_{11}$  et  $S_{21}$  de trois lignes Thru de  $600\ \mu\text{m}$  de longueur mesurées avec un calibrage de type LRM.  
(plaque 10356\_st)



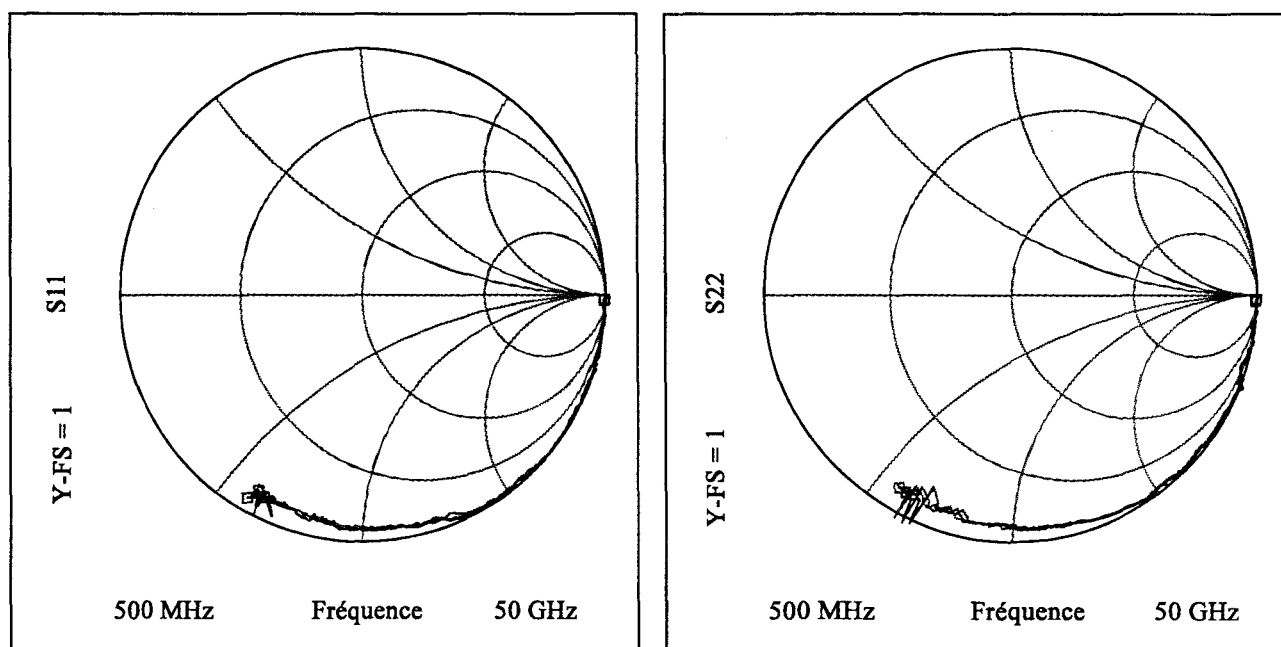


Figure II.20 : Evolution des paramètres  $S_{11}$  et  $S_{22}$  de trois lignes en circuit ouvert de 300  $\mu\text{m}$  de longueur mesurées avec un calibrage de type LRM. (plaque 10356\_2t)

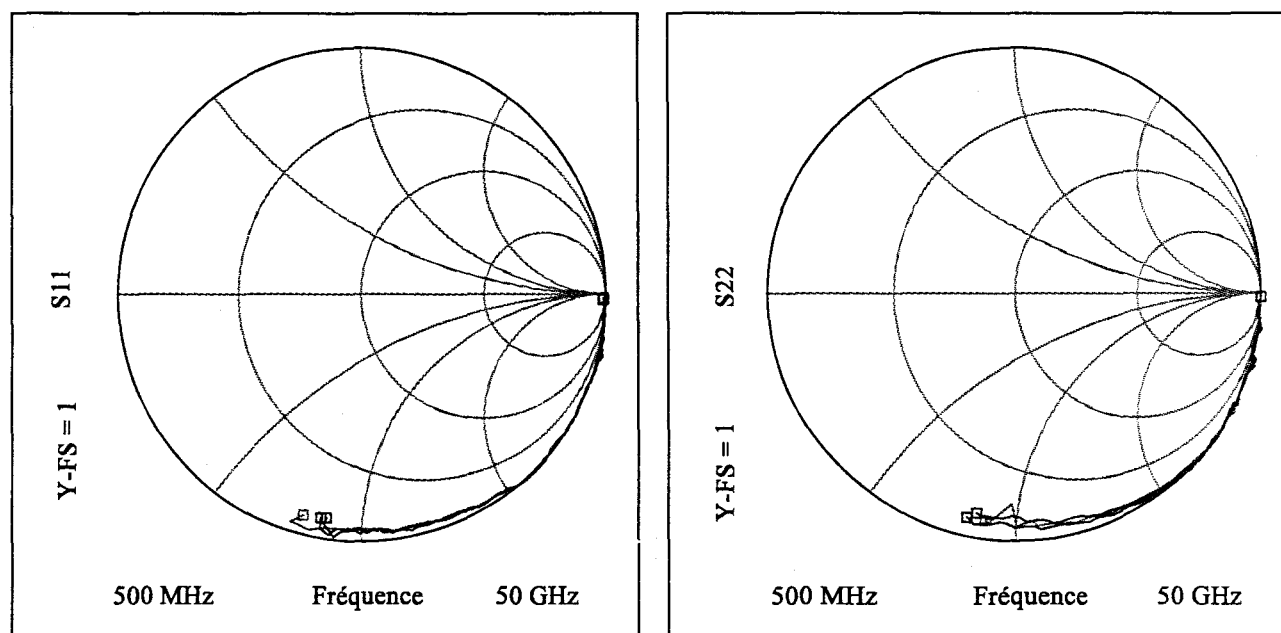


Figure II.21 : Evolution des paramètres  $S_{11}$  et  $S_{22}$  de trois lignes en circuit ouvert de 300  $\mu\text{m}$  de longueur mesurées avec un calibrage de type LRM. (plaque 10356\_st)

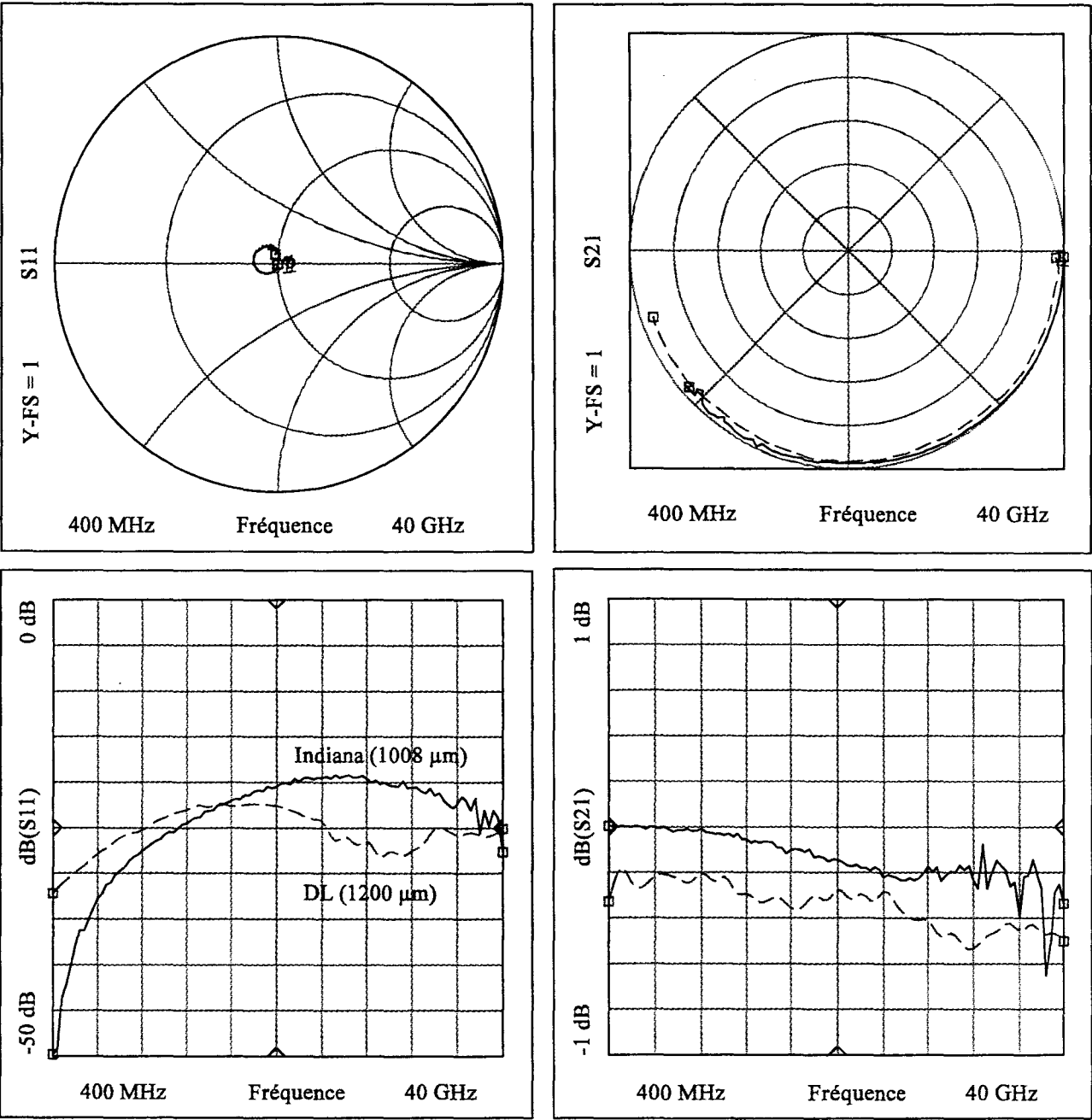


Figure II.22 : Evolution des paramètres  $S_{11}$  et  $S_{21}$  d'une ligne DL (1200  $\mu\text{m}$ ) réalisée au laboratoire et d'une ligne Indiana (1008  $\mu\text{m}$ ) mesurées avec un calibrage de type LRM en guide coplanaire.

Nous avons présenté les caractéristiques des lignes dédiées aux kits de calibrage. Nous avons constaté une bonne reproductibilité entre les différentes lignes d'un même substrat, nous disposons donc d'un choix suffisant de lignes Thru et Delay ainsi que de lignes présentant un fort coefficient de réflexion pour effectuer un calibrage de type LRL sur chacun de ces échantillons.

#### IV.3.2. Comparaison de nos lignes avec celles d'un fondeur

Afin de juger de la qualité des lignes réalisées au laboratoire, nous avons comparé les résultats obtenus sur la plaquette 10356\_st à ceux donnés par des plaquettes réalisées par la fonderie Thomson. Les éléments mesurés réalisés par cette fonderie font partie d'un substrat de GaAs de 3 pouces nommé Indiana. Les lignes sont réalisées en guide microruban sur un substrat de GaAs aminci à une épaisseur de 100  $\mu\text{m}$ .

Nous présentons figure II.22 l'évolution des paramètres  $S_{11}$  et  $S_{21}$  d'une ligne de transmission d'une longueur de 1.2 mm réalisée au laboratoire et d'une ligne d'une longueur de 1008  $\mu\text{m}$  mesurée sur la plaquette Indiana. Pour ces mesures, le calibrage de type LRM en guide coplanaire, est identique. Nous constatons que les deux lignes présentent un coefficient de réflexion inférieur à -20 dB ce qui traduit une valeur de l'impédance caractéristique de chaque ligne proche de 50  $\Omega$ . Nous pouvons également constater que les trous métallisés qui sont intégralement "vus" lors de la mesure (le calibrage ayant été effectué en guide coplanaire), ne dégradent pas les coefficients de réflexion des lignes. Les pertes des lignes sont représentées par l'évolution en fonction de la fréquence du module du terme  $S_{21}$ . Nous constatons des pertes de l'ordre de 0.3 dB/mm à 40 GHz pour la ligne provenant de la plaquette Indiana et de 0.4 dB/mm pour celle provenant de notre plaquette. L'écart de pertes de l'ordre de 0.1 à 0.2 dB/mm à lieu sur la toute la bande fréquence et a été expliqué à l'aide de la simulation par l'épaisseur de métallisation de nos lignes qui est plus faible (0.5  $\mu\text{m}$  pour les lignes réalisées au laboratoire contre 2.2  $\mu\text{m}$  pour celles réalisées par la fonderie Thomson). Déposer une épaisseur de métal supérieure aurait certes contribué à diminuer les pertes dans les lignes mais aurait encore compliqué le procédé de réalisation.

Nous avons ensuite effectué un calibrage de type LRL avec un kit de chaque plaquette. Les éléments des deux plaquettes étant en guide microruban, les trous

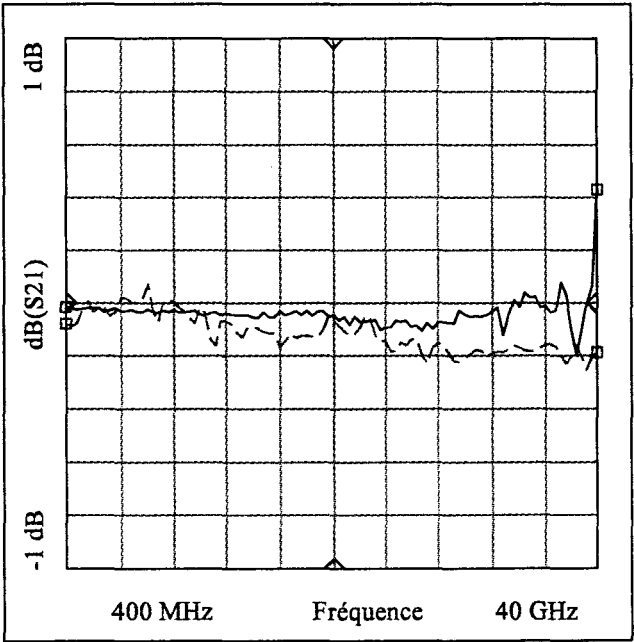
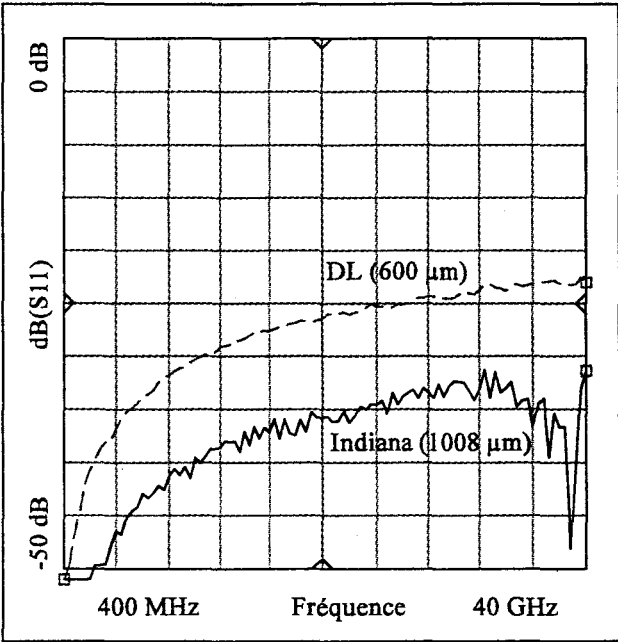
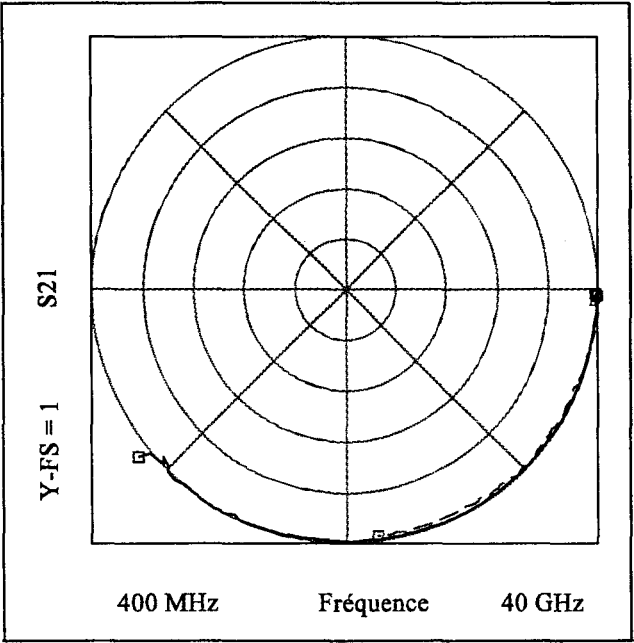
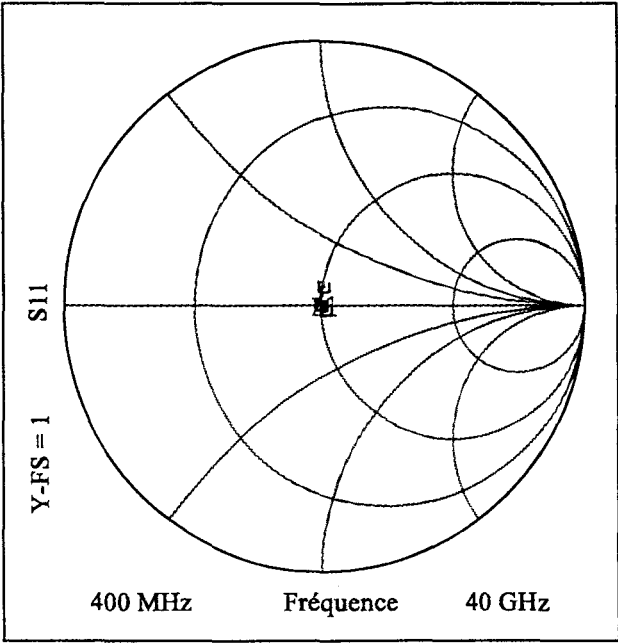


Figure II.23 : Evolution des paramètres  $S_{11}$  et  $S_{21}$  d'une ligne DL (600  $\mu m$ ) réalisée au laboratoire et d'une ligne Indiana (1008  $\mu m$ ) mesurées avec un calibrage de type LRL en guide microruban.

métallisés sont pris en compte dans les termes d'erreur du calibrage. Une autre ligne sur chaque échantillon a alors été mesurée avec son calibrage respectif. La longueur de la ligne mesurée sur la plaquette Indiana est de 1008  $\mu\text{m}$  et celle de notre plaquette de 600  $\mu\text{m}$ . Les paramètres de répartition de ces deux lignes sont présentés figure II.23.

La ligne mesurée sur la plaquette Indiana présente maintenant un coefficient de réflexion inférieur à -30 dB alors que pour notre ligne il est inférieur à -23 dB. La ligne mesurée provenant de la plaquette Indiana présente un coefficient de réflexion très faible, ce qui traduit une grande similitude entre les caractéristiques de la ligne mesurée et celles utilisées pour le calibrage, et donc une grande reproductibilité de réalisation. Quant à la ligne mesurée sur notre plaquette, l'amélioration n'est pas aussi importante, son coefficient de réflexion ne passant que de -20 dB à -23 dB, ce qui traduit soit une moins bonne reproductibilité des trous métallisés, soit une épaisseur de substrat moins uniforme.

Sur le module du terme  $S_{21}$ , nous constatons que les pertes de la ligne de la plaquette Indiana sont quasiment négligeables. Pour la ligne de notre échantillon, les pertes observées sont toujours légèrement supérieures (# 0.3 dB/mm à 40 GHz) mais elles sont inférieures à celles relevées lors de la mesure avec le calibrage LRM ; ce qui montre une prise en compte des pertes engendrées par les trous métallisés dans les termes d'erreurs du calibrage.

En conclusion, bien que nos lignes ne soient pas aussi reproductibles que celles d'un fondeur industriel, ce qui n'est pas fondamentalement anormal, elles présentent tout de même des caractéristiques électriques suffisantes pour la réalisation de circuits. Un coefficient de réflexion inférieur à -20 dB et des pertes de l'ordre de 0.3 dB/mm à la fréquence de 40 GHz sont des valeurs typiques. Aux vues de ces performances, il n'est de plus pas nécessaire d'augmenter la distance entre les structures, les couplages existant ayant été mesurés en deçà de -30 dB.

Dans la suite de ce chapitre, la caractérisation des éléments s'effectuera jusqu'à la fréquence de 60 GHz puisque c'est autour de celle ci que doit être conçu l'amplificateur de puissance.

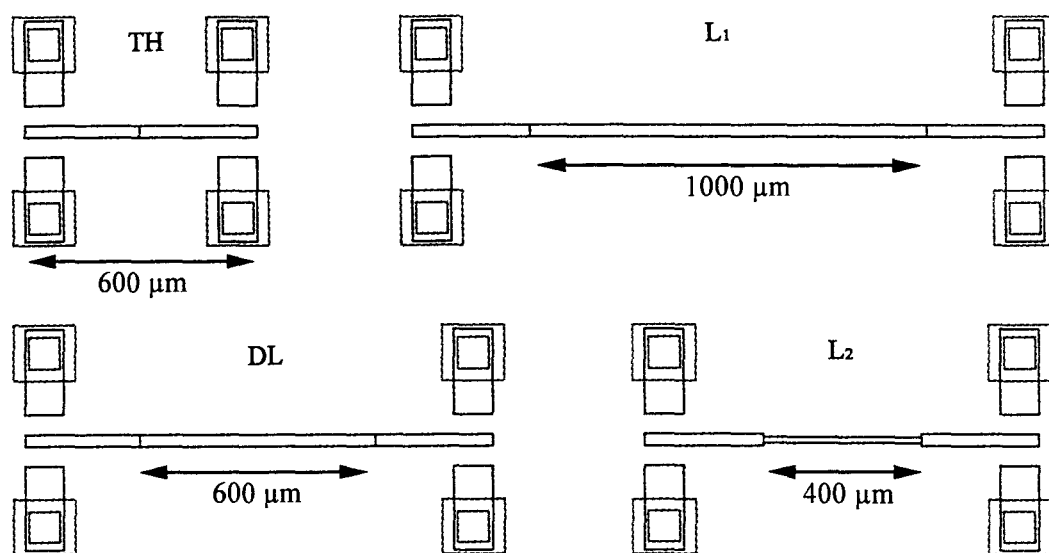


Figure II.24 : Différentes lignes présentes sur le réticule.

## **V. Comparaison mesures - simulations : validité des modèles**

---

Dans les parties précédentes de ce chapitre, nous nous sommes attachés à décrire le procédé de réalisation, la procédure de tri des éléments de calibrage ainsi que leurs performances. Dans la suite, nous allons effectuer des comparaisons entre les mesures des éléments réalisés et les simulations obtenues à partir des modèles disponibles sur le logiciel MDS. Pour les mesures réalisées dans cette partie, un calibrage de type LRL a été effectué avec le kit présent sur l'échantillon mesuré. Les plans de référence de ce calibrage sont situés au milieu de la ligne Thru. Nous avons alors procédé aux simulations et vérifié pour chaque type d'élément que le modèle fourni par le simulateur MDS décrit de façon correcte l'évolution fréquentielle de nos éléments jusqu'à 60 GHz. Dans le cas où le modèle du simulateur ne serait pas en adéquation avec nos mesures, nous procéderons soit à l'élaboration de nouveaux modèles, soit à la compensation des modèles existants.

### **V.1. Les lignes de transmission**

Les lignes de transmission sont bien entendu des éléments indispensables à la réalisation de circuits. Elles sont nécessaires dans notre étude pour calibrer l'analyseur de réseau et constitueront un élément de base à la conception de l'amplificateur de puissance.

#### **V.1.1. Les différents types de lignes présentes**

Un champ ou module d'éléments passifs comporte quatre lignes de différentes largeurs ou longueurs. Elles sont représentées figure II.24. Les lignes appelées TH (Thru) et DL (Delay) ont des longueurs respectives de 600  $\mu\text{m}$  et 1200  $\mu\text{m}$  et des largeurs de 30  $\mu\text{m}$  ; ce qui fixe, pour une épaisseur de substrat de 40  $\mu\text{m}$ , une valeur

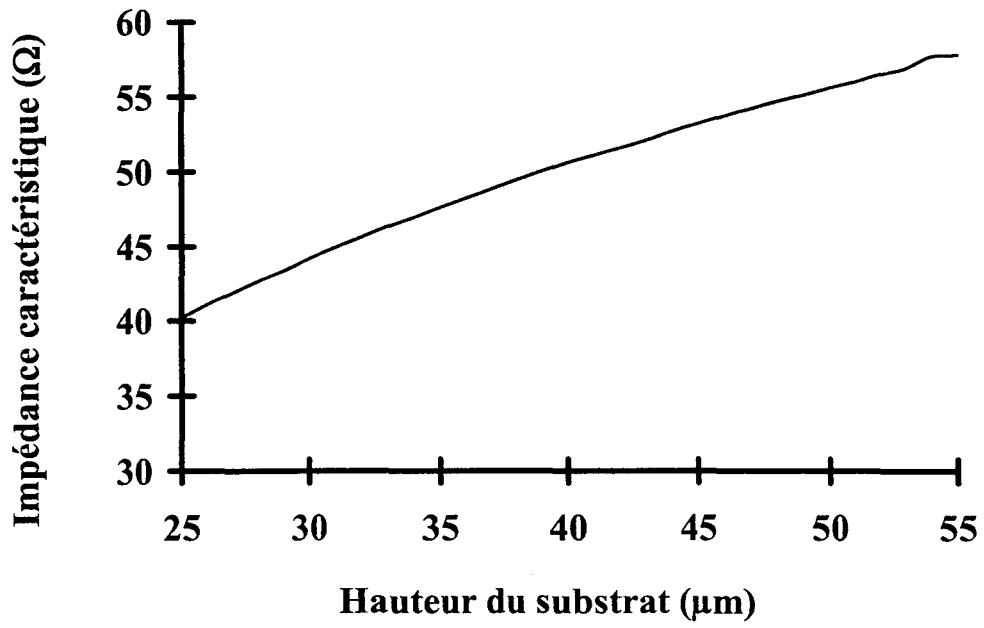


Figure II.25 : Evolution de l'impédance caractéristique d'une ligne en fonction de l'épaisseur du substrat (40  $\mu\text{m}$  donne 50  $\Omega$ ).



d'impédance caractéristique de  $50 \Omega$ . Ces lignes de transmission font partie du kit de calibrage de l'échantillon. Une fois celui-ci effectué, les plans de référence de la mesure sont situés au milieu de la ligne Thru. Les dimensions des différentes lignes mesurées dans ces plans de référence sont données dans le tableau II.1.

Eléments	Ligne TH	Ligne DL	Ligne $L_1$	Ligne $L_2$
Longueur ( $\mu\text{m}$ )	0	600	1000	400
Largeur ( $\mu\text{m}$ )	30	30	30	15
$Z_c (\Omega)$	50	50	50	65

Tableau II.1 : Dimensions des lignes mesurées avec un calibrage dont les plans de référence sont au milieu de la ligne Thru.

### V.1.2. Influence de l'épaisseur du substrat sur l'impédance caractéristique des lignes

Avant de présenter les mesures réalisées sur ces lignes, nous avons auparavant étudié l'influence de l'épaisseur du substrat sur le comportement électrique des lignes de transmission en guide microruban. En effet, la valeur de l'épaisseur du substrat est un paramètre très difficile à maîtriser avec une extrême précision lors de la réalisation de l'amincissement du substrat. Les largeurs des lignes ayant été calculées de manière à obtenir une impédance caractéristique de  $50 \Omega$  pour une épaisseur de substrat de  $40 \mu\text{m}$ . Etudions quelle sera l'influence de l'épaisseur du substrat sur celle-ci. La figure II.25 représente l'évolution de l'impédance caractéristique d'une ligne microruban sur un substrat d'InP de permittivité diélectrique 12.55 [7] et d'angle de perte  $\text{tg}\delta$  de 0.005. Les caractéristiques de la ligne simulée sont les suivantes : sa largeur est de  $30 \mu\text{m}$ , son épaisseur de métallisation de  $0.5 \mu\text{m}$  et la conductivité de l'or de  $3.15 \times 10^7 \text{ S/m}$ , valeur qui correspond à celle de l'or déposée au laboratoire par évaporation.

Nous pouvons constater que l'impédance caractéristique n'est pas tout à fait linéaire en fonction de l'épaisseur du substrat. En effet, elle évolue légèrement plus rapidement pour des épaisseurs de substrat inférieures à  $40 \mu\text{m}$  que pour des épaisseurs supérieures. Toutefois, autour de la valeur de  $40 \mu\text{m}$ , on peut considérer la variation

comme linéaire. Un écart d'épaisseur de substrat de plus ou moins quelques microns par rapport aux 40  $\mu\text{m}$  visés permettra donc d'obtenir une variation d'impédance caractéristique identique.

### V.1.3. Valeurs nécessaires au simulateur

Avant de procéder à toute simulation électrique, il est impératif de fournir au simulateur les valeurs caractéristiques du substrat et de la ligne microruban, ce qui s'effectue par l'intermédiaire de la fonction nommée MSSUBSTRATE du simulateur. Les valeurs utilisées sont présentées dans le tableau II.2.

Sigle MDS	Valeur	Signification
SUBST	InP	Nom du substrat
$\epsilon_r$	12.55	Permittivité diélectrique relative du substrat
MUR	1	Perméabilité relative de la ligne
COND	$3.15 \times 10^7 \text{ S/m}$	Conductivité du métal des lignes
ROUGH	0	Rugosité de la surface de la ligne
TAND	0.005	tangente de perte diélectrique
HU	$1 \times 10^3 \text{ m}$	Hauteur de la capsule du circuit
T	0.5 $\mu\text{m}$	Epaisseur de métallisation
H		Hauteur du substrat

Tableau II.2 : Valeurs déclarées dans le champ MSSUBSTRATE du simulateur.

Parmi toutes ces grandeurs, seule la valeur attribuée à l'épaisseur du substrat différera suivant les échantillons. Cette valeur est obtenue par la mesure au comparateur de l'échantillon auquel on soustrait une valeur typique de 3  $\mu\text{m}$  correspondant à l'épaisseur de métallisation déposée face arrière.

Enfin, comme nous l'avons explicité dans la partie IV.2.3 de ce chapitre, la valeur de l'impédance caractéristique des lignes ayant servies au calibrage doit être attribuée aux ports de paramètres  $S_{ij}$  du simulateur. Cette valeur de l'impédance caractéristique est calculée avec la fonction Linecalc de MDS.

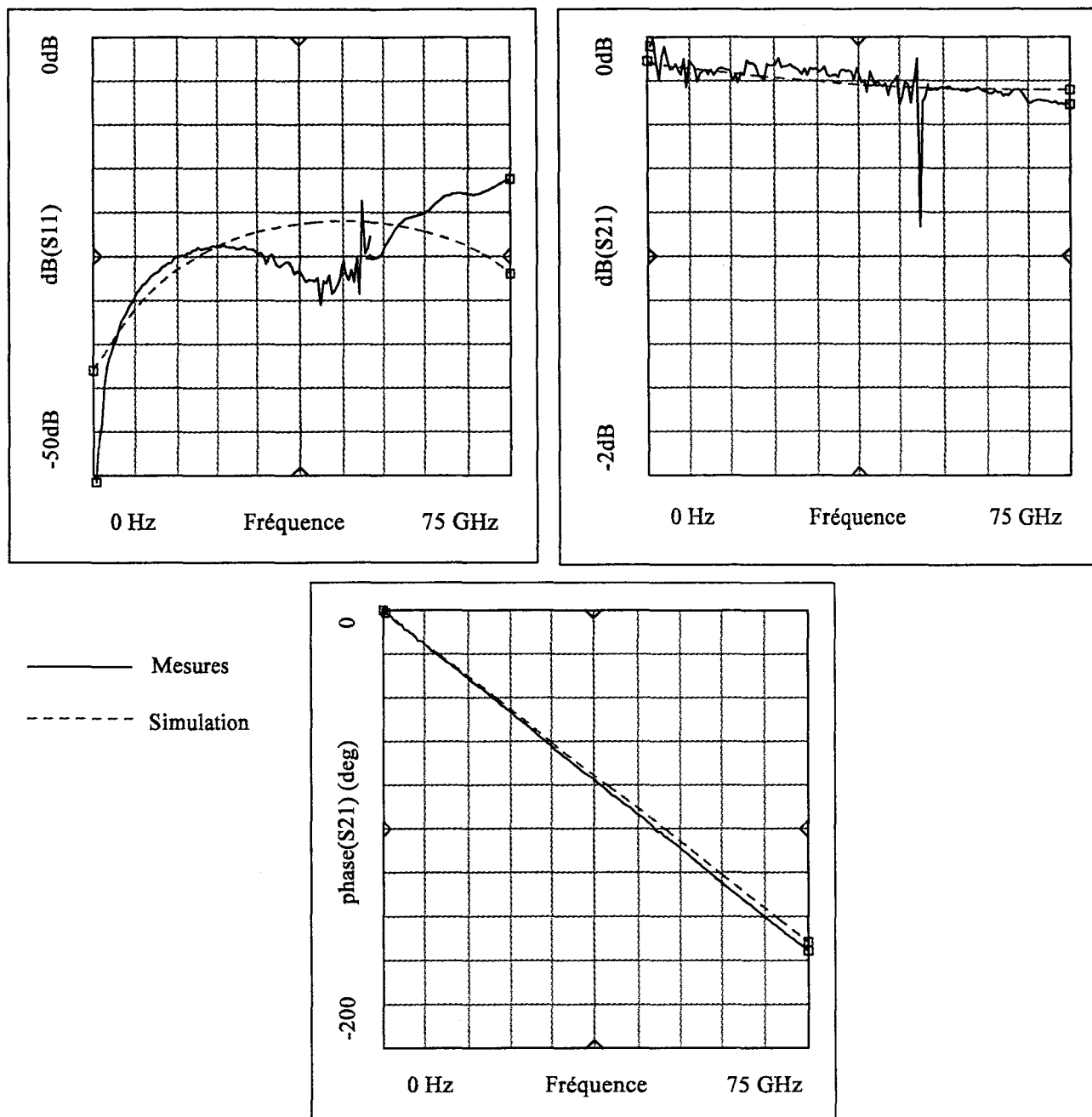


Figure II.26 : Evolution du module du terme  $S_{11}$  et du module et de la phase du terme  $S_{21}$  d'une ligne DELAY de  $50 \Omega$  mesurée et simulée avec MDS.

### V.1.4. Mesure des lignes et validation du modèle

#### V.1.4.1. Les lignes d'impédance caractéristique de $50\ \Omega$ ( $W=30\ \mu\text{m}$ )

Un exemple typique de comparaison entre les mesures effectuées à l'analyseur de réseau et les simulations réalisées sur MDS est représenté figure II.26.

Nous présentons sur ces graphes les modules des paramètres  $S_{11}$  et  $S_{21}$  ainsi que la phase du terme  $S_{21}$ . La mesure de phase étant peu précise pour des valeurs de coefficient de réflexion faible, nous n'avons pas représenté la phase du terme  $S_{11}$ .

Nous constatons un bon accord sur le module et la phase du terme  $S_{21}$  puisqu'un écart de l'ordre de  $3^\circ$  est obtenu à la fréquence de 60 GHz sur la phase. Cet écart de phase est considéré comme faible car une différence de positionnement des sondes de mesure d'environ  $20\ \mu\text{m}$  peut amener une différence de phase de l'ordre de  $3^\circ$  à  $4^\circ$  à ces fréquences. Les mesures étant effectuées sur deux analyseurs de réseau différents couvrant les bandes de fréquences 500 MHz à 50 GHz puis de 50 GHz à 75 GHz nous avons décidé de faire correspondre les phases à la fréquence commune de 50 GHz de manière à tenir compte d'une erreur éventuelle de positionnement des sondes entre les deux mesures. De plus, le dernier point de mesure à la fréquence de 50 GHz de la première bande est souvent entaché d'une incertitude liée à l'analyseur de réseau, plus importante, ce qui engendrent une imprécision supplémentaire sur la mesure.

Sur le module du terme  $S_{11}$ , nous obtenons un moins bon accord ; toutefois, sa valeur est faible puisque inférieure à -20 dB.

Afin d'évaluer la reproductibilité de ces lignes en transmission, nous présentons dans le tableau II.3 le module et la phase du paramètre  $S_{21}$  relevés pour plusieurs lignes et échantillons à la fréquence de 60 GHz.

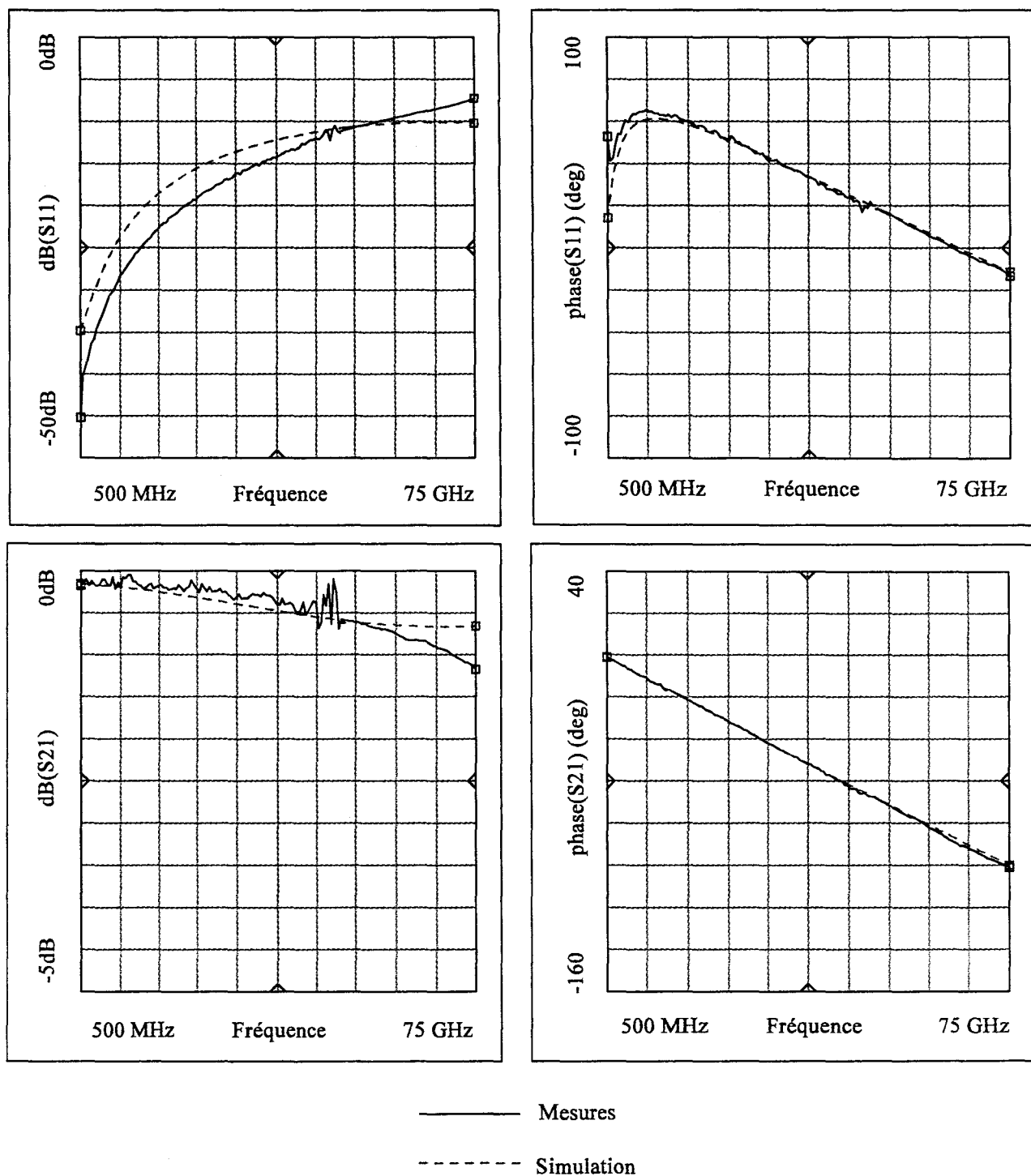


Figure II.27 : Comparaison des paramètres  $S_{11}$  et  $S_{21}$  d'une ligne  $L_2$  ( $W=15\text{ }\mu\text{m}$ ) réalisée au laboratoire et simulée sur MDS.

Ligne DL (600 $\mu\text{m}$ )			Ligne L <sub>1</sub> (1000 $\mu\text{m}$ )		
Plaques et modules	module S <sub>21</sub> (dB)	phase S <sub>21</sub> (deg)	Plaques et modules	module S <sub>21</sub> (dB)	phase S <sub>21</sub> (deg)
10356_st - m10	-0.15	-125	13356_st - m8	-0.35	-209
10356_st - m11	-0.15	-123.5	13356_st - m2	-0.41	-205.5
10356_st - m7	-0.21	-125.3	Simulation	-0.36	-205.3
10356_st - m8	-0.25	-124.8	10382_B - m7	-0.40	-209.7
Simulation	-0.22	-123.2	10382_B - m2	-0.40	-208.7
10382_B - m3	-0.22	-125	10382_B - m3	-0.40	-208.6
10382_B - m8	-0.30	-125.6	10382_B - m4	-0.40	-207.6
Simulation	-0.23	-123.7	Simulation	-0.39	-206.3
Moyenne	-0.21	-124.9	Moyenne	-0.39	-208.2

Tableau II.3 : Paramètres de transmission de deux lignes de plusieurs modules et plaquettes à la fréquence de 60 GHz.

Nous pouvons constater sur la phase une dispersion de l'ordre de 3 à 4 degrés sur l'ensemble des lignes ainsi qu'un écart moyen par rapport à la simulation inférieur à 3 degrés. Nous obtenons également sur le module une bonne concordance entre nos mesures et les simulations avec des pertes de l'ordre de 0.4 dB/mm. De plus, la reproductibilité entre les différentes plaquettes liée au savoir faire des technologues s'est améliorée au fur et à mesure des réalisations.

Ceci nous permet de valider le modèle de ligne pour des largeurs de ruban de 30  $\mu\text{m}$  autour d'une épaisseur de substrat de 40  $\mu\text{m}$ .

#### V.1.4.2. Les lignes d'impédance caractéristique de 65 $\Omega$ ( $W=15 \mu\text{m}$ )

Nous disposons également sur le masque d'une ligne de largeur de 15  $\mu\text{m}$  destinée aux circuits de polarisation de l'amplificateur.

Nous présentons sur la figure II.27 l'évolution des modules et phases des paramètres S<sub>11</sub> et S<sub>21</sub> d'une de ces lignes jusque la fréquence de 75 GHz. Nous pouvons constater un assez bon accord entre la simulation et les mesures sur les phases des termes S<sub>11</sub> ainsi que S<sub>21</sub>. Par contre, une moins bonne concordance est relevée sur les

modules de ces paramètres. Nous présentons dans la tableau II.4 les valeurs relevées pour les paramètres  $S_{11}$  et  $S_{21}$  des lignes  $L_2$  à la fréquence de 60 GHz pour différents modules et échantillons.

Plaquette 10356_st				
Module	$ S_{11} $ (dB)	$ S_{21} $ (dB)	phase ( $S_{11}$ ) (deg)	phase ( $S_{21}$ ) (deg)
m7	-13.7	-0.39	-82	6
m8	-14.4	-0.4	-84.3	8.6
m2	-12.7	-0.52	-85.5	8.5
Moyenne	-13.6	-0.43	-83.9	7.7
Simulation	-11.8	-0.5	-80.6	6.6

Plaquette 10382_B				
Module	$ S_{11} $ (dB)	$ S_{21} $ (dB)	phase ( $S_{11}$ ) (deg)	phase ( $S_{21}$ ) (deg)
m2	-8.7	-0.9	-83.8	5.6
m3	-8.7	-0.93	-83.6	5.7
m4	-9	-0.85	-86.5	9.2
m6	-9.6	-0.74	-82	6.7
m7	-9	-0.84	-84.8	7.3
m8	-9.6	-0.84	-84.8	7.3
Moyenne	-9.1	-0.83	-84.2	6.5
Simulation	-11.8	-0.5	-82.8	6.2

Tableau II.4 : Valeurs des paramètres  $S_{11}$  et  $S_{21}$  de lignes  $L_2$  à 60 GHz

Nous pouvons constater pour chaque échantillon une assez bonne reproductibilité sur les phases ainsi que sur les modules de chaque paramètre. Par contre, un moins bon accord est relevé entre les moyennes des modules des termes  $S_{11}$  et  $S_{21}$  des deux échantillons et les simulations. Cependant, remarquons que pour la plaquette 10356\_st, nous obtenons une valeur de -13.6 dB du module de  $S_{11}$ , valeur inférieure à celle obtenue en simulation (-11.8 dB), et que pour la plaquette 10382\_B, nous obtenons une valeur de -9.1 dB de ce module, valeur supérieure cette fois à celle

obtenue en simulation. Nous ne pouvons donc pas conclure à une moins bonne validité du modèle mais plus à une dispersion importante de la reproductibilité de cette ligne sur plusieurs échantillons. Remarquons cependant que la moyenne des modules des termes  $S_{11}$  et  $S_{21}$  pour les deux échantillons est proche de la valeur simulée ce qui conforte cette hypothèse.

### **V.1.5. Conclusion sur ces modèles de lignes**

Comme nous l'avons vu, nous pouvons conclure à la validation du modèle pour les lignes de largeur 30  $\mu\text{m}$ , un bon accord étant obtenu entre nos mesures et les simulations.

Nous pouvons également conclure à la validation du modèle de ligne de largeur 15  $\mu\text{m}$  même si les dimensions plus faibles de celle-ci engendrent une dispersion entre différents échantillons plus importante. Toutefois, il faut savoir que ces lignes sont destinées aux circuits de polarisation, cette dispersion plus importante devrait de ce fait être peu pénalisante.

## **V.2. Les résistances**

Les résistances sont des éléments indispensables à la conception d'amplificateur en technologie MMIC pour assurer la stabilité des transistors.

### **V.2.1. Les différentes résistances présentes**

Des simulations préliminaires à la réalisation du réticule ont permis de connaître l'ordre de grandeur des résistances nécessaires à la stabilisation du transistor utilisé pour cet amplificateur. C'est pourquoi, sont présentes sur le réticule trois résistances de dimensions différentes représentant des valeurs théoriques comprises entre 10  $\Omega$  et 50  $\Omega$ . Le métal utilisé pour leur réalisation est du titane dont la valeur de la résistivité déposé au laboratoire par évaporation est de l'ordre de 100 à 110  $\times 10^{-8}$   $\Omega\cdot\text{m}$ . Le masque



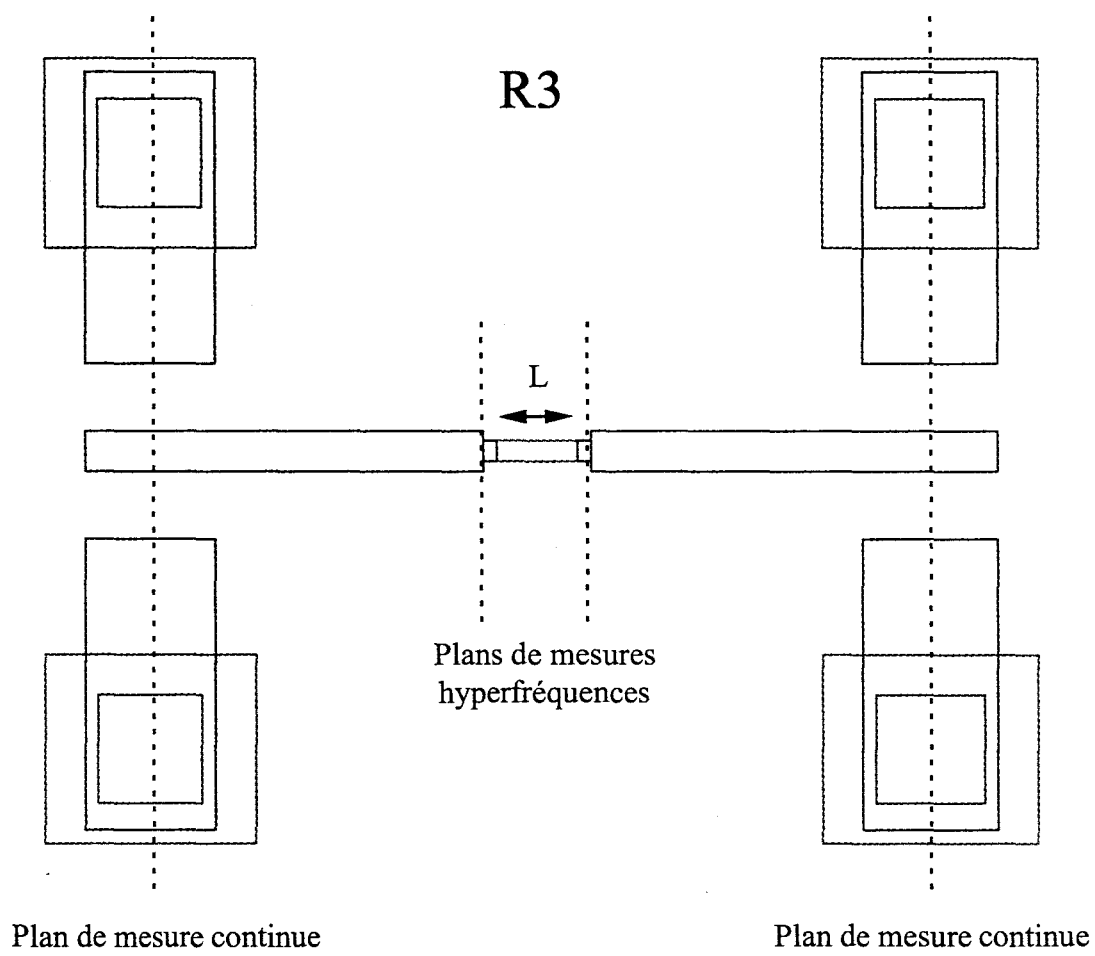


Figure II.28 : Représentation d'une résistance et de ses plans de mesures.

d'une résistance est représenté sur la figure II.28 et les dimensions visées sont données dans le tableau II.5. La valeur de la résistance est donnée par la relation :

$$R = R_{\square} \times \frac{L}{W} \quad \text{avec } R_{\square} = \frac{\rho}{e} \quad \text{où } \left\{ \begin{array}{l} L \text{ et } W \text{ sont les dimensions du barreau} \\ e \text{ est l'épaisseur de métallisation} \\ \rho \text{ est la résistivité du titane} \end{array} \right.$$

	Longueur L (μm)	Largeur W (μm)	R (Ω)
R <sub>1</sub>	20	15	15.3
R <sub>2</sub>	40	15	30.6
R <sub>3</sub>	60	15	45.9

Tableau II.5 : Dimensions des différentes résistances réalisées

V.2.2.Mesures en courant continu

V.2.2.1. Mesures à faible courant

Ces mesures sont destinées à déterminer la valeur de la résistance du barreau de titane. Elles ont été réalisées à faible courant de manière à garder une évolution linéaire du courant en fonction de la tension appliquée. Les valeurs mesurées pour trois échantillons sont donnés dans le tableau II.6.

Plaquette 10356_st ( épaisseur mesurée de titane = 1000 Å)							
	R (Ω)	R (Ω)	R (Ω)	R <sub>moyen</sub> (Ω)	ΔR (Ω)	R <sub>□</sub>	ρ (×10 <sup>-8</sup> Ω.m)
R <sub>1</sub>	16.6	18	18.6	17.7			
R <sub>2</sub>	30.2	32.3		31.2	13.5	10.1	101
R <sub>3</sub>	45.2	43.3	48.7	45.8	14.6	11	110

Plaquette 10382_B ( épaisseur mesurée de titane = 1200 Å)							
	R (Ω)	R (Ω)	R (Ω)	R <sub>moyen</sub> (Ω)	ΔR (Ω)	R <sub>□</sub>	ρ (×10 <sup>-8</sup> Ω.m)
R <sub>1</sub>	17	18.8	18.1	18			
R <sub>2</sub>	27.4	30.8	29.1	29.1	11.1	8.3	99.6
R <sub>3</sub>	38.8	42.8	41.4	41	11.9	8.9	106.8

Plaquette 10382_P1 ( épaisseur mesurée de titane = 1200 Å)							
	R (Ω)	R (Ω)	R (Ω)	R <sub>moyen</sub> (Ω)	ΔR (Ω)	R <sub>□</sub>	ρ (*10 <sup>-8</sup> Ω.m)
R <sub>1</sub>	14.5	13.6	14.5	14.6			
R <sub>2</sub>	25.5	24.4	26.9	25.6	11.4	8.6	103.2
R <sub>3</sub>	36.4	41.2	37.9	38.5	12.4	9.3	111.6

Tableau II.6 : Valeurs des résistances mesurées pour trois échantillons.

avec  $\Delta R = R_{\text{barreau de titane}} = R_{2 \text{ moyen}} - R_{1 \text{ moyen}} = R_{3 \text{ moyen}} - R_{2 \text{ moyen}} = R_{\square} \times \frac{15 \mu\text{m}}{20 \mu\text{m}}$

Nous constatons une dispersion de l'ordre de 17 % à 20 % sur les valeurs moyennes des résistances R<sub>1</sub> à R<sub>3</sub> pour les trois échantillons. Pour les plaquettes nommées 10382\_B et 10382\_P1, seul le traitement de la face arrière a été réalisé séparément ; le dépôt de titane des résistances est donc identique. Nous constatons toutefois sur les moyennes des résistances de valeur faible un écart de l'ordre de 20 % et de 8 % entre les valeurs moyennes des résistances R<sub>3</sub>. L'explication de cette dispersion semble être une variation de la résistance de contact entre le barreau de titane et le dépôt de la métallisation des lignes.

Lors de la conception de l'amplificateur, il sera impératif de prendre en compte une valeur de dispersion de 20 % autour de la valeur des résistances et de vérifier que cette variation ne perturbe pas le fonctionnement du circuit.

V.2.2.1. Mesures à fort courant

Des mesures à plus fort courant ont été également effectuées afin de connaître la valeur maximale du courant qui peut traverser les barreaux de titane sans modification de leurs caractéristiques électriques.

Ainsi, un courant traversant les résistances inférieur à 40 mA n'entraîne aucune modification de leurs caractéristiques. Lorsqu'il est supérieur à 40 mA, la valeur de leur résistance évolue, le titane commençant à fondre. Enfin, un courant de l'ordre de 100 mA entraîne la destruction instantanée de la résistance.

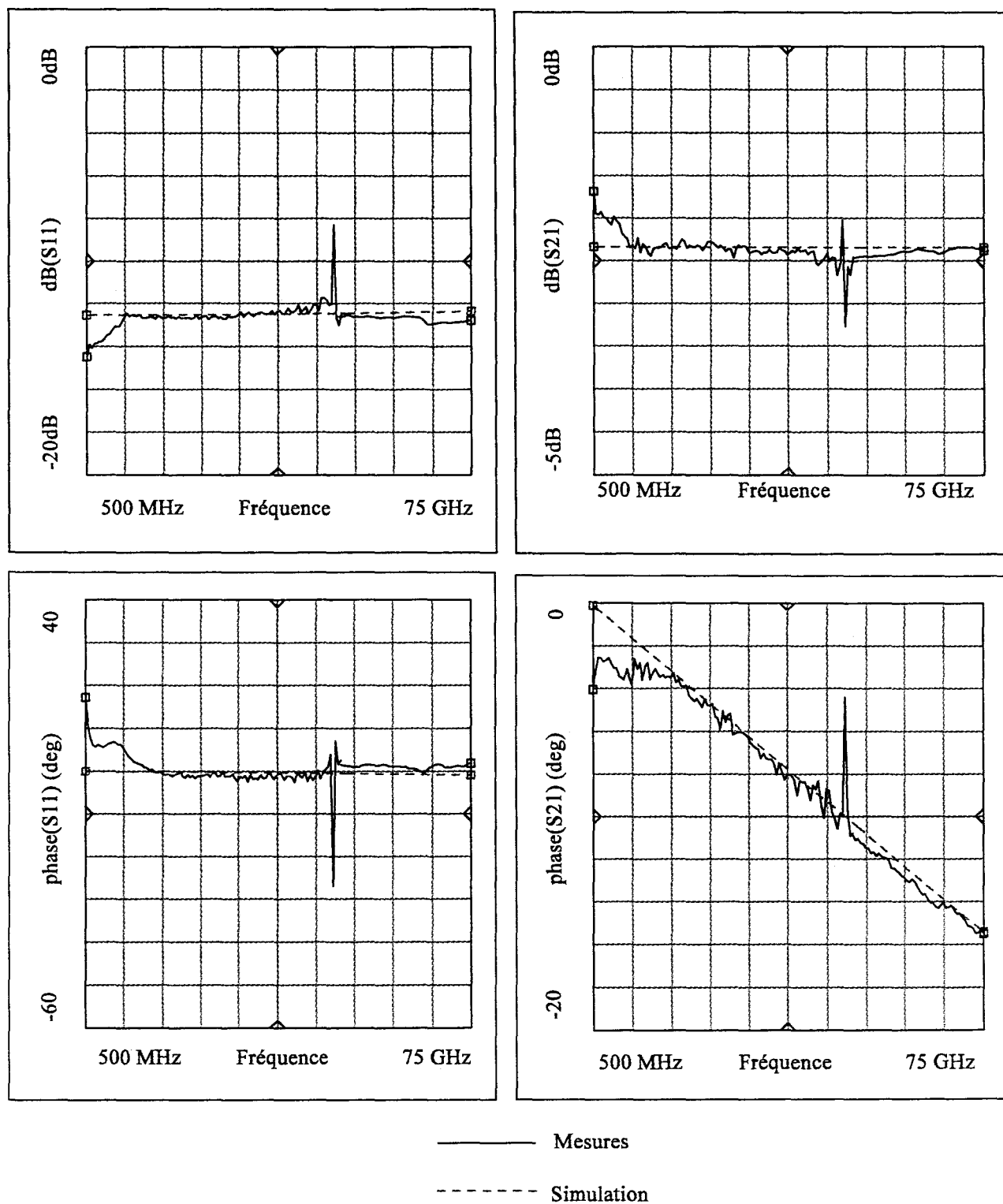


Figure II.29 : Comparaison des paramètres  $S_{11}$  et  $S_{21}$  d'une résistance  $R_2$  mesurée et simulée sur MDS (Plaquette 10356\_st).

La valeur maximale de courant supportée par les résistances est donc de l'ordre de 40 mA. Cette valeur est suffisante puisque les résistances ne sont parcourues par aucun courant continu. Le courant hyperfréquence pouvant éventuellement les traverser est lui bien inférieur à cette valeur.

### **V.2.3. Mesures hyperfréquences et validation du modèle**

Les paramètres utilisés par le modèle de résistance à fin film métallique de MDS sont les suivants :

L	Longueur du barreau résistif
W	Largeur du barreau résistif
RS	Valeur de la résistance carrée du barreau résistif
F	Fréquence traduisant l'apparition des pertes par effet de peau
OL	Distance de recouvrement entre le barreau résistif et l'élément voisin. Cette grandeur est utilisée uniquement pour la réalisation du layout et n'est pas simulée.

Le paramètre RS est déterminé à partir des mesures continues et le paramètre F laissé à sa valeur nulle par défaut dans nos simulations.

Une comparaison typique des résultats obtenus est donnée figure II.29 où sont représentées les évolutions des modules et phases des paramètres  $S_{ij}$  d'une résistance  $R_2$  jusque 75 GHz que nous comparons aux grandeurs simulées.

Nous obtenons un très bon accord sur les modules et les phases de ces paramètres pour des fréquences supérieures à 10 GHz. En deçà de cette fréquence, une évolution assez atypique est relevée mais nous permet néanmoins l'utilisation de ce modèle sur toute la bande de fréquence.

## **V.2. Les capacités MIM**

Les capacités dans les circuits MMIC sont utilisées pour différentes fonctions. Les capacités de faible valeur (quelques dizaines à quelques centaines de femtofarads)

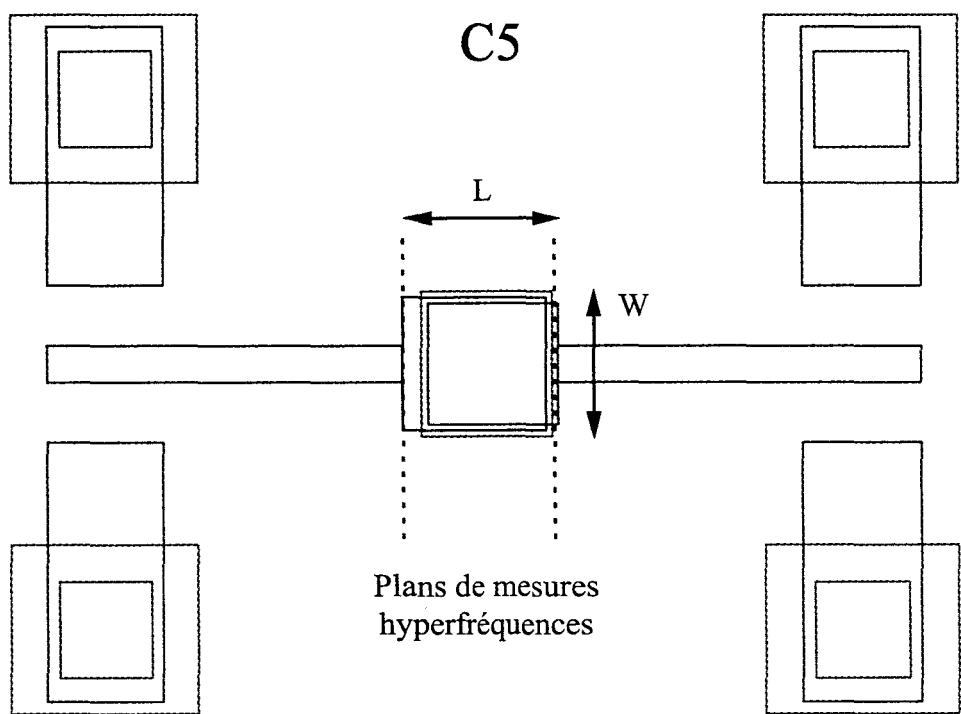


Figure II.30 : Représentation d'une capacité et de ses plans de mesures.

seront utilisées par exemple pour isoler les transistors les uns des autres afin que chacun puisse être polarisé indépendamment des autres. On rencontre également ces capacités dans la partie du circuit ayant en charge la réalisation d'un circuit ouvert à la fréquence de travail de façon à rendre transparent le Té de polarisation. Une grande précision est en général requise sur ces éléments puisqu'ils servent d'éléments d'adaptation . Des capacités de valeurs plus importantes (quelques picofarads) sur lesquelles une grande précision n'est pas nécessaire sont également utilisées dans les Tés de polarisation afin de stabiliser les composants en basse fréquence et protéger le circuit d'éventuels parasites amenés par l'alimentation.

### V.3.1. Les différentes capacités réalisées

Six capacités de tailles différentes ont été réalisées et nommées  $C_1$  à  $C_6$ . Le masque de l'une d'entre elles est représenté sur la figure II.30. Les dimensions des différentes capacités ainsi que leurs valeurs sont reportées dans le tableau II.7. Ces valeurs issues de la loi électrostatique ont été calculées sans tenir compte de l'effet de bord pour dans un premier temps associer un ordre de grandeur aux dimensions réalisées. La permittivité relative a été choisie égale à 7.5 (valeur obtenue pour les dépôts réalisés aux laboratoire) et l'épaisseur de diélectrique de 2000 Å correspond à la valeur déposée.

Nom	Longueur ( $\mu\text{m}$ )	Largeur ( $\mu\text{m}$ )	Valeur (fF)
$C_1$	10	20	66.4
$C_2$	20	20	132.8
$C_3$	30	20	199.2
$C_4$	40	20	265.6
$C_5$	100	100	3320
$C_6$	150	100	4980

Tableau II.7 : Dimensions et valeurs des différentes capacités réalisées.

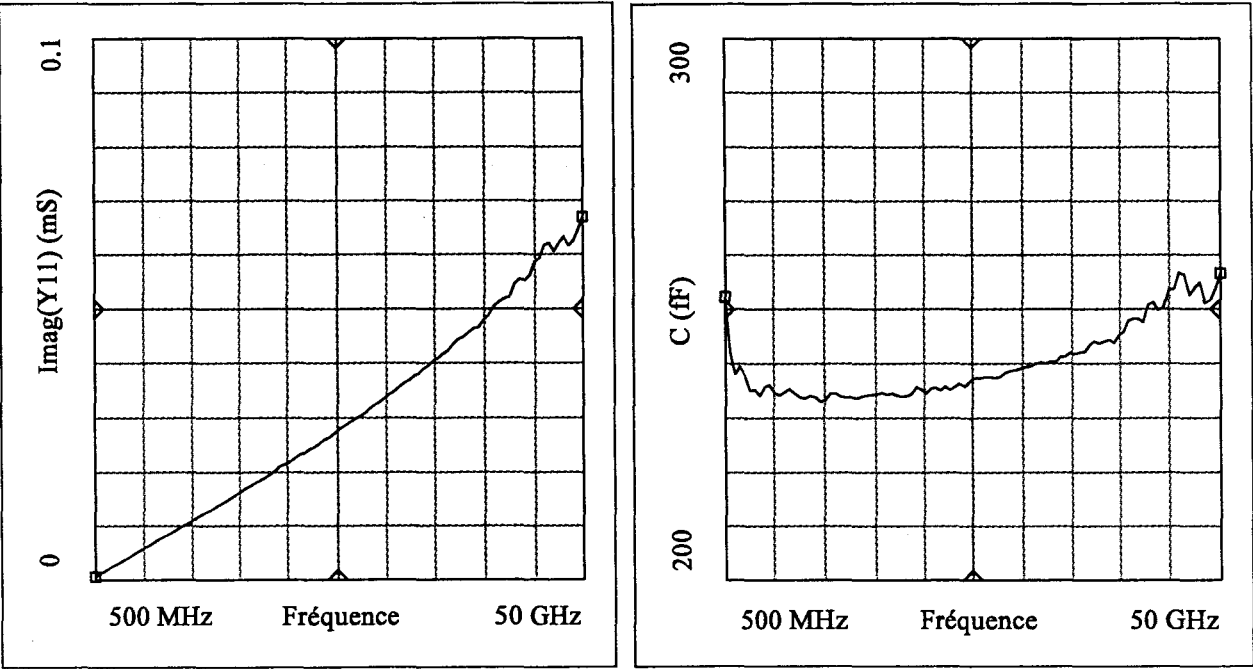


Figure II.31 : Evolution de la partie imaginaire de  $Y_{11}$  et de la valeur de la capacité  $C$  d'une capacité  $C_3$ .



### V.3.2. Détermination de la valeur de la permittivité relative

La permittivité relative du diélectrique que nous utilisons, le nitrure de silicium est d'environ 7.5 pour les dépôt réalisés au laboratoire à 300 °C. La particularité de la réalisation de nos capacités réside dans le fait que le diélectrique est déposé en deux épaisseurs de 1000 Å chacune afin de supprimer une étape dans la réalisation des éléments passifs. Nous avons constaté qu'une des conséquences de ce procédé de réalisation était la diminution de la valeur de la constante diélectrique.

Des mesures sur ces capacités jusque 50 GHz ont été effectuées et par transformation des paramètres  $S_{ij}$  mesurés en paramètres admittance  $Y_{ij}$ , il est possible de déduire la valeur de la capacité de la pente de la partie imaginaire de  $Y_{11}$  tracée en fonction de la pulsation  $\omega$ . A titre d'exemple nous présentons figure II.31 l'évolution de la partie imaginaire de  $Y_{11}$  ainsi que la valeur de la capacité en fonction de la fréquence. Rappelons que la particularité d'une capacité MIM est de présenter une résonance série, le schéma équivalent localisé d'une capacité MIM faisant intervenir des éléments selfiques et capacitifs. Ceci explique que la partie imaginaire de  $Y_{11}$  n'est pas linéaire en fonction de la fréquence et, par conséquent, que la valeur de la capacité n'est pas constante. La valeur de la capacité a été déterminée dans la bande de fréquence durant laquelle la partie imaginaire de  $Y_{11}$  est linéaire c'est à dire la bande de fréquence durant laquelle la valeur de la capacité  $C$  est constante. Notons que la résonance apparaît d'autant plus tôt que la valeur de la capacité est importante.

Nous avons procédé de cette manière pour toutes les capacités réalisées. Les valeurs obtenues sont présentées dans le tableau II.8a.

	module 2	module 3	module 4	module 6	module 7	module 8	Moyenne
$C_1$ (fF)	68			62	67	68	66.2
$C_2$ (fF)		101			115	118	111.3
$C_3$ (fF)	138	177		164	161	166	161.2
$C_4$ (fF)	225	226	211	216	216	202	216
$C_5$ (fF)	2545	2352	2387	2280	2358	2455	2396
$C_6$ (fF)				3692	3467		3579

Tableau II.8a : Valeurs des différentes capacités déduites des mesures pour plusieurs modules (Plaquette 10382\_B).

Les valeurs des capacités étant fonction des surfaces métalliques en regards ainsi que d'une capacité de bord fonction du périmètre, la valeur totale de la capacité s'écrit :

$$C_{\text{totale}} = C_{\text{surface}} + C_{\text{bord}} = \frac{\epsilon_0 \cdot \epsilon_r \cdot L \cdot W}{e} + k_{\text{bord}} \cdot 2 \cdot (L + W) \text{ avec}$$

$C_{\text{bord}}$  : valeur de la capacité de bord fonction du périmètre par le coefficient  $k_{\text{bord}}$

$\epsilon_0$  : permittivité du vide ( $8.854 \times 10^{-9}$  F/m)

$\epsilon_r$  : permittivité relative du diélectrique

$e$  : épaisseur du diélectrique (2000 Å)

$L$  et  $W$  : longueur et largeur de la capacité.

Pour déterminer la valeur attribuée à la permittivité relative, nous utilisons la valeur moyenne de la capacité  $C_6$  pour laquelle nous pouvons négliger l'effet de la capacité de bord compte tenu de sa valeur importante. Nous obtenons ainsi une valeur de permittivité relative égale à 5.4.

Nous pouvons alors déterminer la valeur à attribuer au coefficient  $k_{\text{bord}}$ . Nous utilisons pour cela la valeur moyenne des capacités les plus faibles  $C_1$ , car l'effet du bord sur celles ci sera le plus important. On obtient ainsi une valeur du coefficient  $k_{\text{bord}}$  égale à 307 pF/m.

Il nous est alors possible de recalculer les valeurs des capacités  $C_1$  à  $C_6$  que nous présentons dans le tableau II.8b compte tenu des valeurs précédentes.

$C_1$ (fF)	$C_2$ (fF)	$C_3$ (fF)	$C_4$ (fF)	$C_5$ (fF)	$C_6$ (fF)
66.2	120.2	174.2	228.1	2513	3740

Tableau II.8b : Valeurs des capacités recalculées en utilisant une valeur de  $k_{\text{bord}}$  égale à de 307 pF/m et  $\epsilon_r = 5.4$ .

Nous constatons un bon accord entre les valeurs moyennes mesurées présentées dans le tableau II.8a et celles recalculées présentées dans le tableau II.8b. Nous pouvons

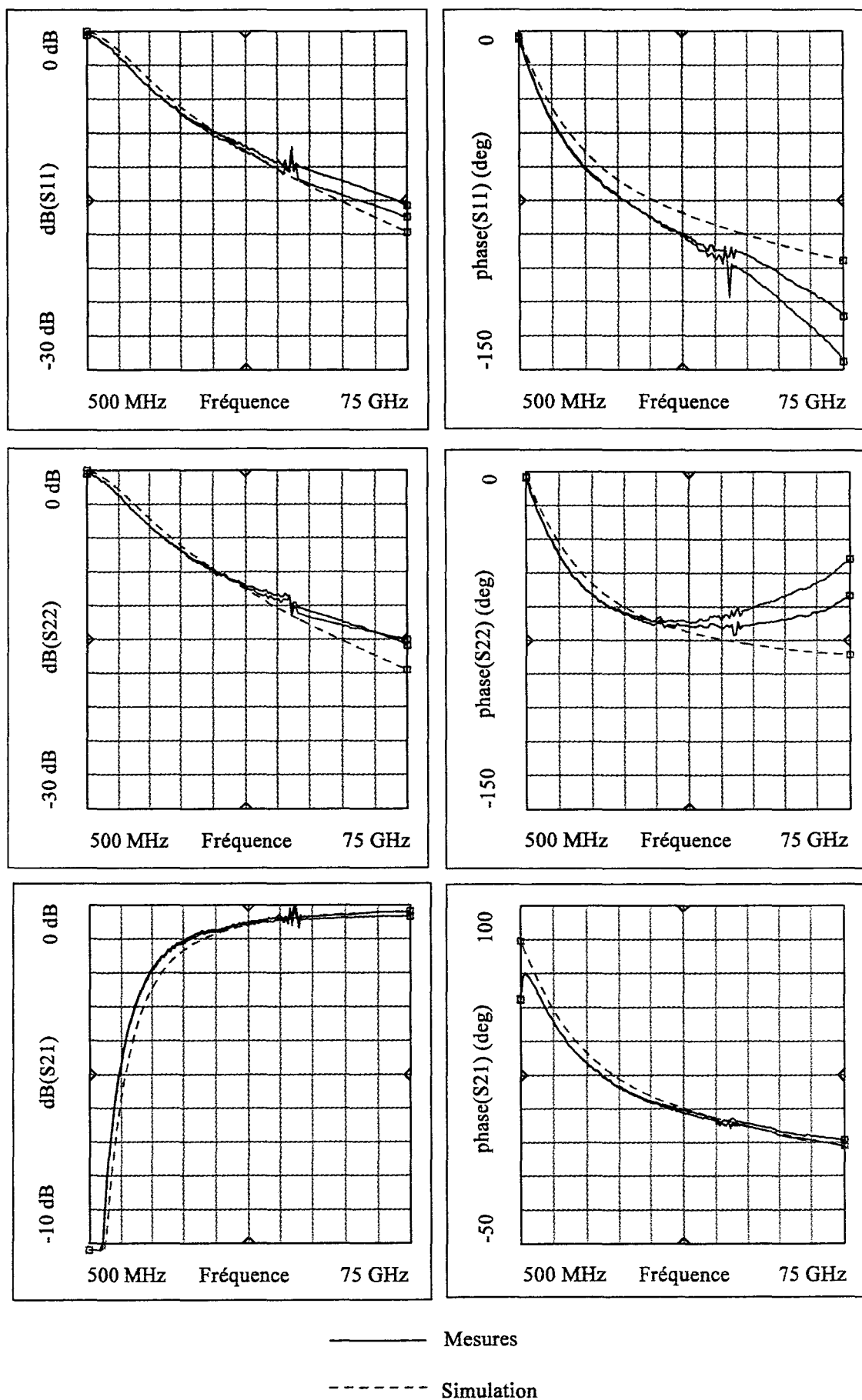


Figure II.32 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$ , et  $S_{21}$  mesurés de deux capacités  $C_3$  et de la simulation à partir du modèle de MDS.

donc adopter la loi de variations précédemment citée et les valeurs ci dessus pour connaître les valeurs des capacités.

### **V.3.3. Comparaison entre les mesures hyperfréquences et les simulations**

Ces capacités ont été caractérisées à l'analyseur de réseau vectoriel jusque 75 GHz. Les mesures ont été effectuées dans les plans de référence définis figure II.30. Nous présentons à titre d'exemple figure II.32 les évolutions des paramètres  $S_{ij}$  mesurés pour deux capacités  $C_3$  (modules 7 et 8) et simulés à l'aide du modèle disponible sur MDS. Sur la figure II.33 sont également présentées les évolutions des paramètres  $S_{ij}$  pour deux capacités  $C_4$  (modules 7 et 8).

Nous constatons sur les modules et phases des termes  $S_{21}$  des capacités  $C_3$  et  $C_4$  de chaque module un bon accord entre les mesures et la simulation. Par contre, ceci est beaucoup moins vrai sur les termes de réflexion  $S_{11}$  et  $S_{22}$ . Nous constatons en effet pour la capacité  $C_3$  non seulement une moins bonne concordance du modèle sur le module et la phase des termes  $S_{11}$  et  $S_{22}$  mais également une dispersion plus importante sur les phases de ces mêmes termes. Les mêmes remarques peuvent être faites pour la capacité  $C_4$  puisque qu'au delà d'environ 30 GHz, le modèle ne traduit plus de manière correcte les évolutions des termes  $S_{11}$  et  $S_{22}$ . Nous constatons également une dispersion significative entre les mesures. Ces évolutions ont été observées pour beaucoup de capacités  $C_1$  à  $C_4$ . Dans ces conditions, la définition d'un modèle ne nous paraît pas être la solution adéquate, la dispersion présente sur les termes de réflexion étant trop importante pour des fréquences supérieures à 30 GHz. Cette dispersion est attribuée au dépôt du diélectrique qui est effectué en deux étapes. L'interface hétérogène entre les deux dépôts successifs de nitrure de silicium serait responsable de ces évolutions.

Il nous paraît alors plus sage d'éviter d'utiliser ces petites capacités pour la conception du circuit car une précision importante sur ces éléments est requise de part leur fonction. Une alternative sera l'utilisation de ligne de compensation.

Les capacités  $C_5$  et  $C_6$ , de valeurs plus importantes, sont quant à elles situées à des endroits beaucoup moins critiques des circuits ce qui nous permet une précision

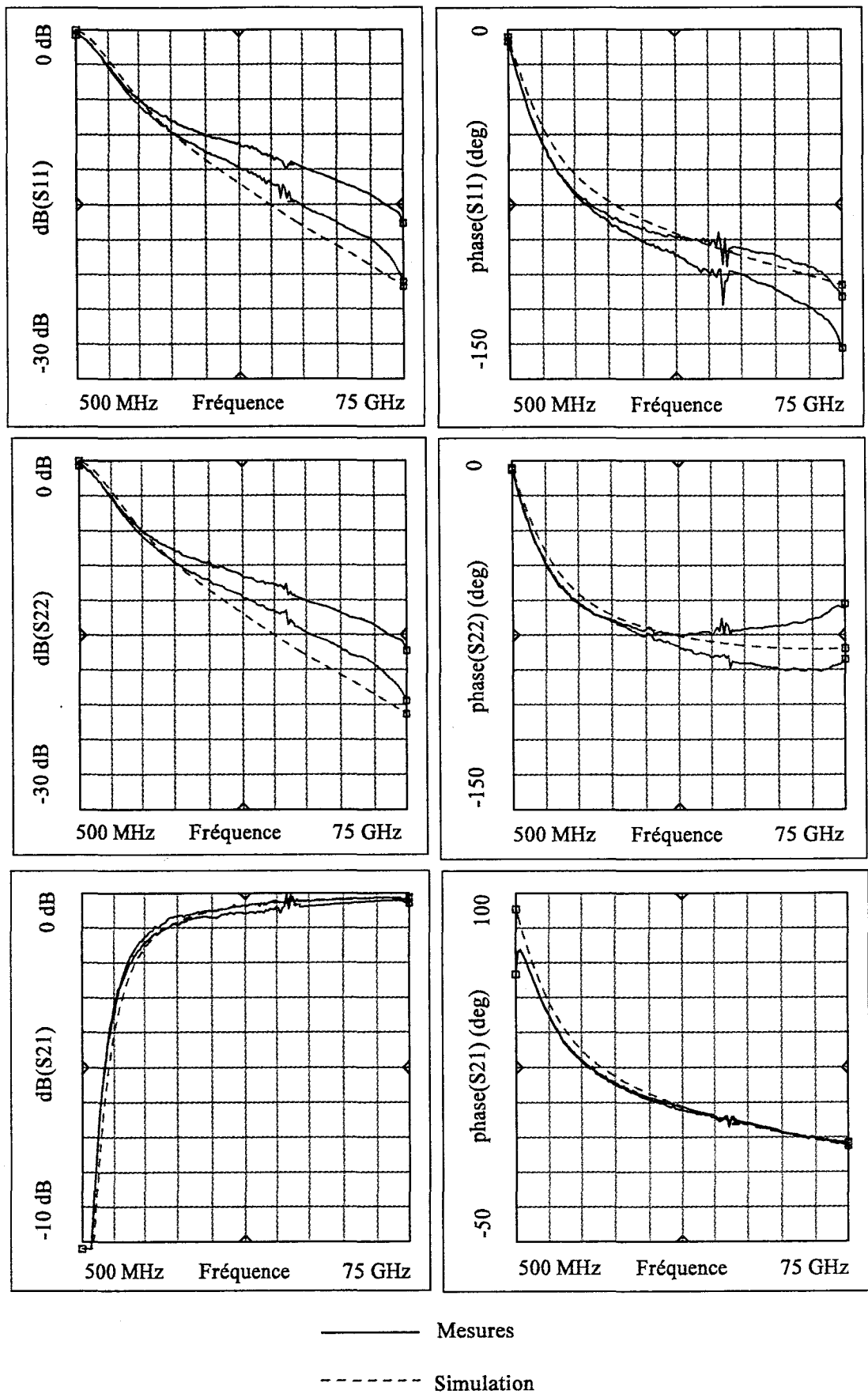


Figure II.33 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$ , et  $S_{21}$  mesurés de deux capacités  $C_4$  et de la simulation à partir du modèle de MDS.

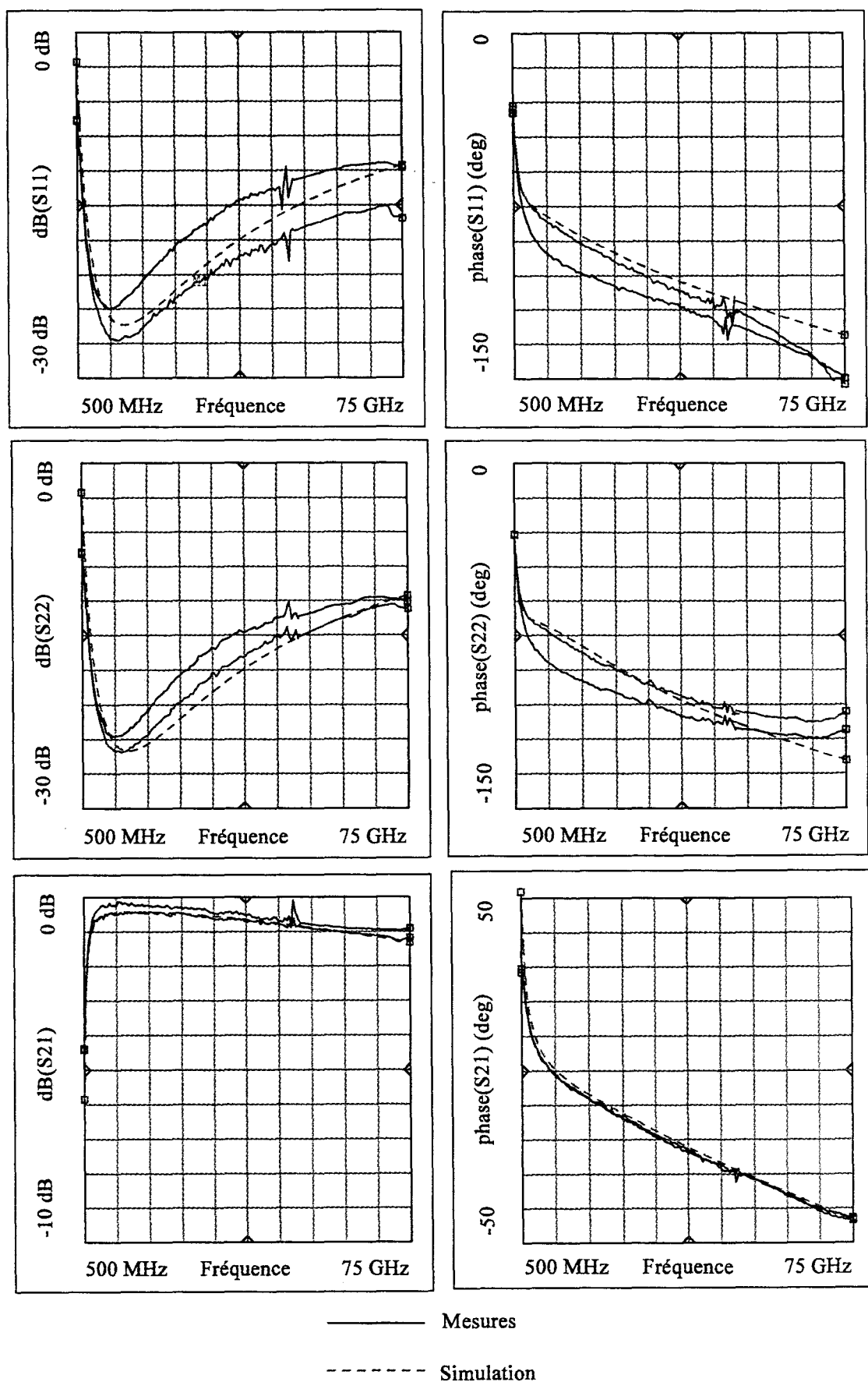


Figure II.34 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$ , et  $S_{21}$  mesurés de deux capacités  $C_5$  et de la simulation à partir du modèle de MDS.

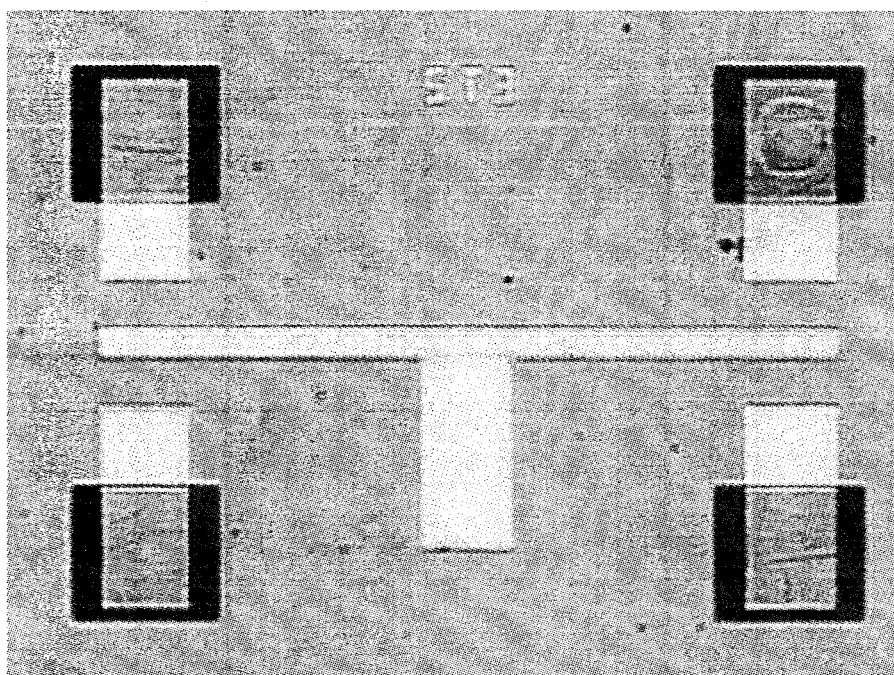
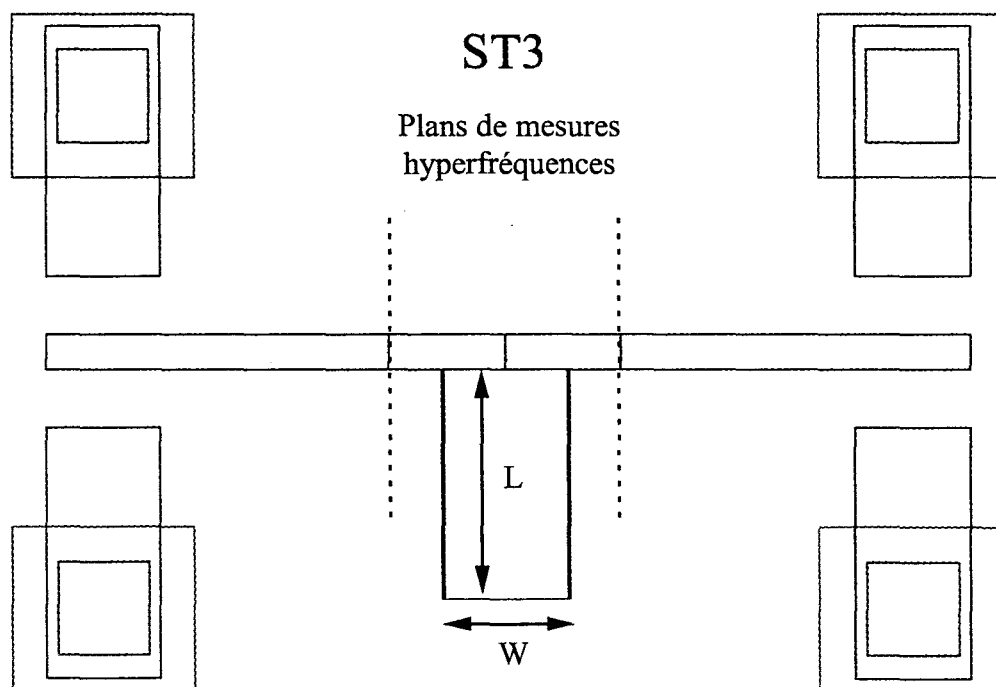


Figure II.35 : Représentation et photographie d'une ligne de compensation droite  $ST_3$ .

moins importante de leur modélisation. Nous présentons figure II.34 une comparaison entre la simulation et les mesures de deux capacités  $C_5$ . Comme pour les capacités précédentes, nous constatons un bon accord sur les modules et les phases des termes  $S_{21}$ . La dispersion sur les paramètres de réflexion est toujours présente mais atténuée de part la valeur plus grande de la capacité. Une modélisation plus précise nécessiterait une modification des étapes de réalisation ainsi que de nouveaux essais, engendrant des délais supplémentaires.

La solution la plus raisonnable nous paraît donc de conserver cette méthode de réalisation tout en n'utilisant pas pour la conception des capacités MIM de faibles valeurs mais uniquement des capacités de valeurs importantes aux endroits les moins critiques du circuit.

#### **V.4. Les lignes de compensation droites**

Ces lignes de compensation sont utilisées pour présenter aux transistors les impédances optimales afin d'assurer un maximum de transfert de puissance entre la source hyperfréquence et le composant ainsi qu'entre le composant et la charge. Dans l'hypothèse où l'adaptation des transistors ne serait pas optimale, les performances de l'amplificateur seraient diminuées. C'est pourquoi, une grande précision sur la modélisation de ces éléments est requise.

##### **V.4.1. Les différentes configurations réalisées**

Le schéma illustrant une configuration ainsi qu'une photographie d'un élément réalisé est représenté figure II.35. Nous disposons au total de sept structures différentes dont on a fait varier la largeur ainsi que la longueur. Les dimensions des différents éléments réalisés sont données dans la tableau II.9, elles ont été déterminées lors de simulations préliminaires.



Nom	Longueur L ( $\mu\text{m}$ )	Largeur W ( $\mu\text{m}$ )
ST <sub>1</sub>	200	50
ST <sub>2</sub>	300	50
ST <sub>3</sub>	200	100
ST <sub>4</sub>	300	100
ST <sub>5</sub>	400	100
ST <sub>6</sub>	200	150
ST <sub>7</sub>	300	150

Tableau II.9 : Dimensions des différentes lignes de compensation droites réalisées.

#### V.4.2. Fréquence de résonance du terme S<sub>21</sub>

Ce type de structure présente une fréquence de résonance visible sur le module du terme S<sub>21</sub>. Nous avons effectué sur ces éléments des mesures jusqu'à 110 GHz afin de déterminer pour chaque élément la valeur de la fréquence de résonance. Nous l'avons alors comparée à celle donnée par MDS et celle donnée par un simulateur électromagnétique (Momentum). L'ensemble de ces résultats sont présentés dans le tableau II.10.

éléments	modules	Fréquences de résonance (GHz)			Ecart entre les mesures et	
		mesurées	MDS	Momentum	MDS (GHz)	Momentum (GHz)
ST <sub>1</sub>		> 110				
ST <sub>2</sub>	m6	84.8	82.9	87	1.9	-2.2
	m2	85.5	82.9	87	2.6	-1.2
ST <sub>3</sub>		> 110				
ST <sub>4</sub>	m2	84.1	79.5	88	4.6	-3.9
	m6	84.1	79.5	88	4.6	-3.9
	m10	84.8	79.5	88	5.3	-3.2
ST <sub>5</sub>	m6	62.5	59.9	65	2.6	-2.5
ST <sub>6</sub>		> 110				
ST <sub>7</sub>	m6	87.6	76	91	11.6	-3.4
	m10	88.3	76	91	12.3	-2.7

Tableau II.10 : Fréquences de résonance du terme S<sub>21</sub> mesurées et simulées avec les logiciels MDS et Momentum (Plaquette 10356\_2t).

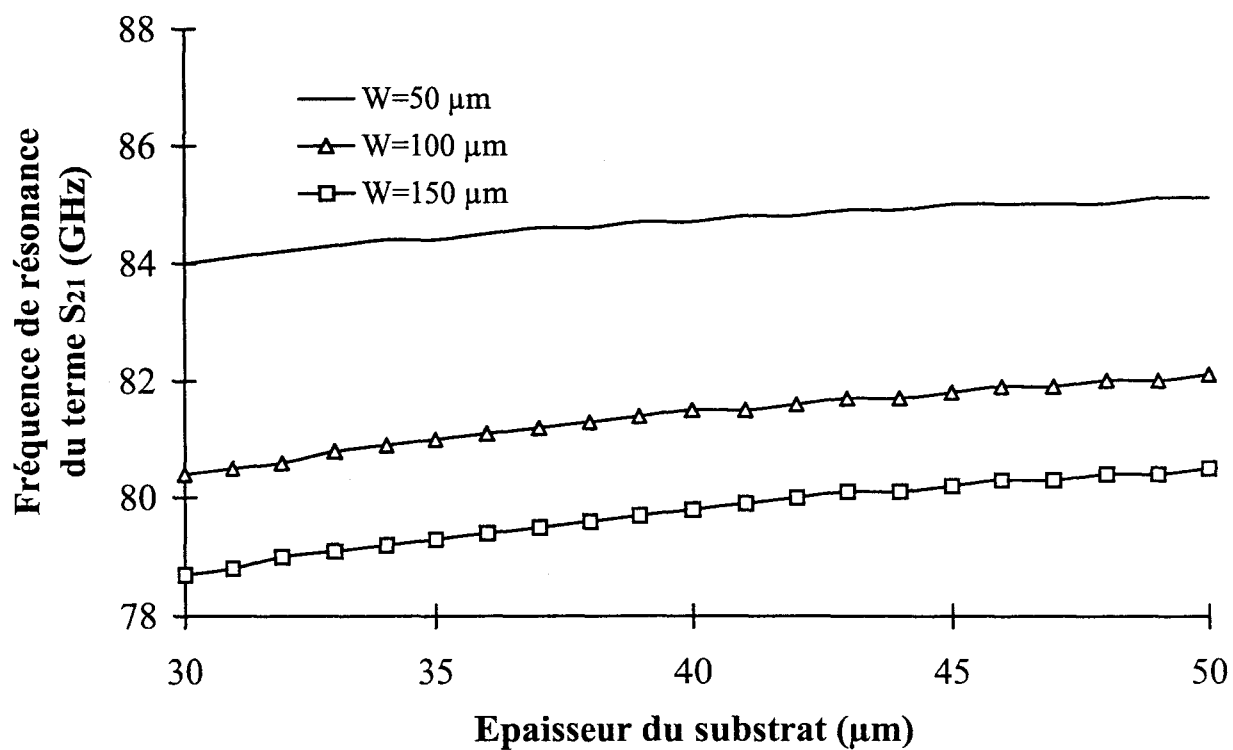


Figure II.36 : Evolution de la fréquence de résonance du terme  $S_{21}$  présentée par une ligne de compensation droite de longueur 300  $\mu\text{m}$  et de largeur  $W$  en fonction de l'épaisseur du substrat.

Nous pouvons tout d'abord constater une dispersion de l'ordre de 1 GHz de la fréquence de résonance sur des éléments provenant de différents endroits de la plaquette dû à la non uniformité de l'épaisseur du substrat qui, d'après les mesures est environ de 5  $\mu\text{m}$  sur la plaquette. L'écart de fréquences déterminé entre les mesures et MDS ou Momentum est toujours supérieur à l'écart de dispersion et atteint 10 GHz pour l'élément ST<sub>7</sub>. Ni MDS, ni Momentum ne permettent de rendre compte suffisamment précisément de la fréquence de résonance de ces filtres. Toutefois, les résultats obtenus sur Momentum sont plus proches de ceux mesurés. Nous attribuons cette différence de fréquence à une moins bonne validité du modèle de jonction en Té utilisé par MDS traduisant la discontinuité au point de jonction des trois morceaux de ligne. En effet, plus la largeur de la ligne de compensation est importante, plus la valeur de la fréquence de résonance calculée par MDS est éloignée de celle mesurée. Il nous a paru alors nécessaire d'effectuer une correction des modèles afin de retrouver un meilleur accord.

V.4.2.1. Compensation sur le module de  $S_{21}$

La fréquence de résonance du module de  $S_{21}$  est fortement liée à la valeur de la longueur de la ligne de compensation. Comme il est impossible d'intervenir sur le modèle du Té lui même, nous avons quantifié la longueur à ajouter ou à supprimer à la ligne de compensation de manière à obtenir une meilleure concordance entre ces mesures et les simulations. Nous obtenons des droites que nous appellerons droites de compensation. Les coefficients de ces droites sont donnés dans la tableau II.11 pour chaque dimension de Té réalisé. Nous avons au préalable vérifié que la fréquence de résonance du terme  $S_{21}$  évoluait linéairement en fonction de l'épaisseur du substrat pour les dimensions des discontinuités réalisées (figure II.36).

Dimensions du Té	$W_1 = W_2 = 30 \mu\text{m}$ $W_3 = 50 \mu\text{m}$	$W_1 = W_2 = 30 \mu\text{m}$ $W_3 = 100 \mu\text{m}$	$W_1 = W_2 = 30 \mu\text{m}$ $W_3 = 150 \mu\text{m}$
Longueur supplémentaire $\Delta L = a \times L + b \text{ (}\mu\text{m)}$	$a = -0.04$ $b = 4$	$a = -0.01$ $b = -14$	$a = -0.2$ $b = 20$

Tableau II.11 : Coefficients attribués aux droites de compensation.

Nous connaissons alors pour les trois dimensions des Tés réalisés la valeur de la ligne  $\Delta L$  à ajouter à la longueur  $L$  de la ligne de compensation pour obtenir un meilleur accord sur le module du terme  $S_{21}$ . Cette quantité sera ajoutée avant de réaliser le masque. Toutefois, ces droites de compensation ne sont valables que pour les trois types de discontinuités en Té réalisées ce qui diminue les degrés de liberté d'optimisation des circuits. Deux de ces accès sont de largeur  $30\text{ }\mu\text{m}$  et le troisième de  $50\text{ }\mu\text{m}$ ,  $100\text{ }\mu\text{m}$  ou  $150\text{ }\mu\text{m}$ .

#### V.4.2.2. Etude des phases des termes $S_{11}$ , $S_{22}$ et $S_{21}$ .

Une fois la compensation sur le module effectuée, il est apparu nécessaire de compenser également les phases puisque les écarts de phases relevés à la fréquence de  $60\text{ GHz}$  sont souvent supérieurs à  $5$  degrés. Or, la longueur  $L$  de la ligne de compensation n'a d'influence ni sur les phases des termes de réflexions ni sur les phases des termes de transmissions. On compensera alors cet écart de phase en ajoutant un tronçon supplémentaire aux deux lignes de longueur  $100\text{ }\mu\text{m}$  qui placées de part et d'autre du Té définissent les plans de référence du motif. Chaque longueur de ligne de compensation a alors une action distincte, cette dernière ne modifiant pas la fréquence de résonance du terme  $S_{21}$ .

Pour déterminer les longueurs de lignes à ajouter de part et d'autre du Té afin de compenser l'écart de phase relevé, nous avons procédé de la manière suivante : dans un premier temps, nous avons déterminé l'écart de phase entre les mesures et les simulations à la fréquence de  $60\text{ GHz}$  pour toutes les structures sur les termes de réflexion et de transmission. Pour une même dimension du Té, nous avons ensuite déterminé la valeur moyenne de l'écart de phase sur les termes de réflexion et de transmission. Nous avons alors déterminé la valeur de la longueur de ligne à ajouter de part et d'autre du Té de manière à compenser exactement cette différence de phase. Dans la mesure où la longueur de ligne nécessaire pour compenser exactement l'écart de phase en transmission était différente de celle nécessaire pour compenser exactement l'écart de phase en réflexion, nous avons choisi la moyenne de ces deux longueurs de lignes comme compromis. Nous avons alors vérifié qu'un meilleur accord en phase était

obtenu après compensation. Ces résultats sont présentés dans le tableau récapitulatif II.12.

Eléments : ST <sub>1</sub> - ST <sub>2</sub> Dimensions du Té : 30 µm - 30 µm - 50 µm		
	S <sub>ii</sub>	S <sub>ij</sub>
Ecart de phase moyen avant correction	-3.5 °	-2.2 °
Longueur de ligne nécessaire pour une compensation exacte	+18 µm	+10 µm
Longueur de ligne retenue	+14 µm	+14 µm
Ecart de phase moyen après corrections	-0.9 °	0.7 °

Eléments : ST <sub>3</sub> - ST <sub>4</sub> - ST <sub>5</sub> Dimensions du Té : 30 µm - 30 µm - 100 µm		
	S <sub>ii</sub>	S <sub>ij</sub>
Ecart de phase moyen avant correction	-7.9 °	-7 °
Longueur de ligne nécessaire pour une compensation exacte	+38 µm	+34 µm
Longueur de ligne retenue	+36 µm	+36 µm
Ecart de phase moyen après corrections	0 °	0.8 °

Eléments : ST <sub>6</sub> - ST <sub>7</sub> Dimensions du Té : 30 µm - 30 µm - 150 µm		
	S <sub>ii</sub>	S <sub>ij</sub>
Ecart de phase moyen avant correction	-5.6 °	-2.2 °
Longueur de ligne nécessaire pour une compensation exacte	+18 µm	+12 µm
Longueur de ligne retenue	+16 µm	+16 µm
Ecart de phase moyen après corrections	-2.3 °	0.9 °

Tableau II.12 : Ecart de phases relevés avant et après compensation à 60 GHz et valeurs des longueurs de lignes à ajouter pour compenser les phases des termes S<sub>ii</sub> et S<sub>ij</sub>.

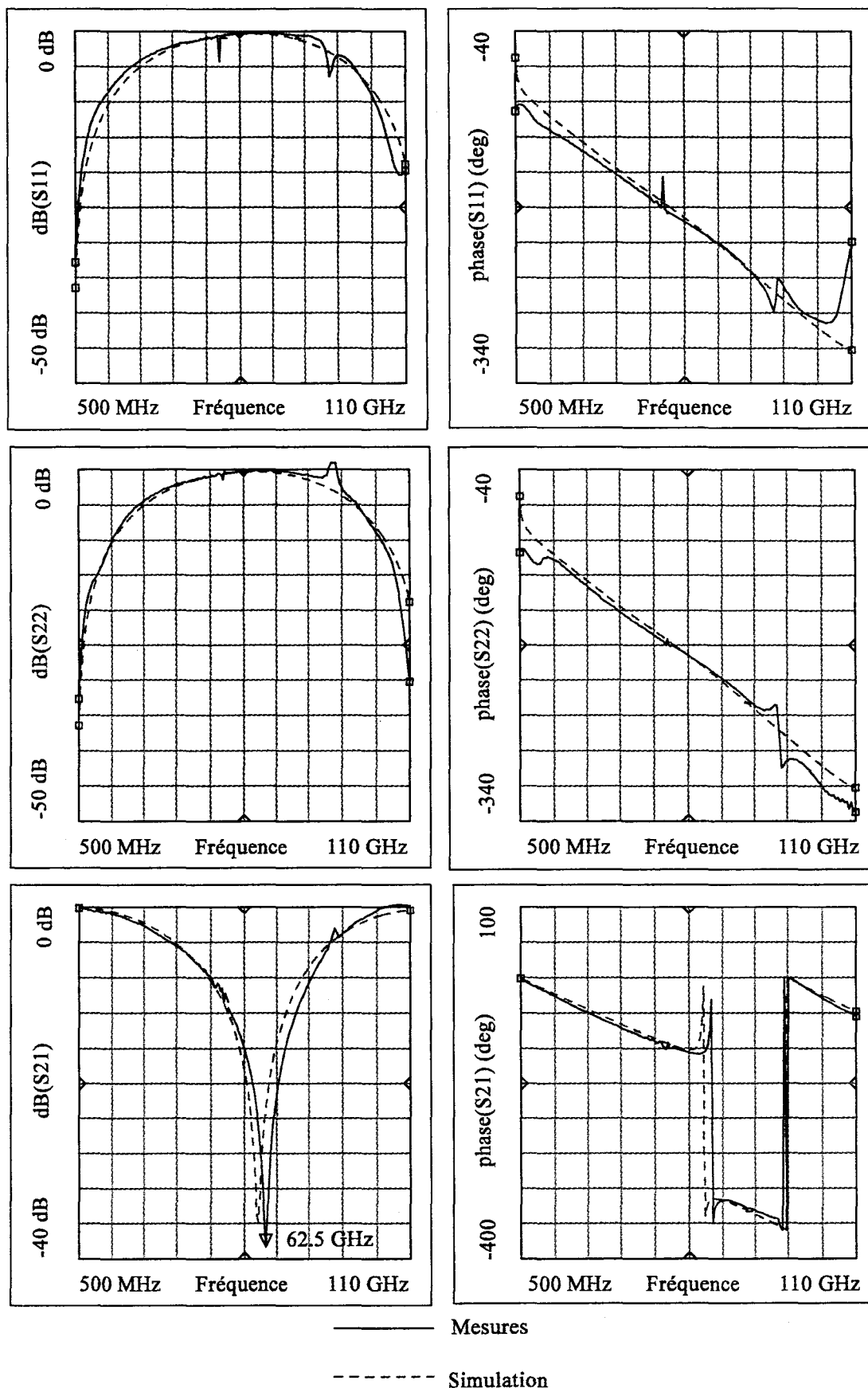


Figure II.37 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$ , et  $S_{21}$  mesurés d'une ligne de compensation droite  $ST_5$  et de la simulation à partir du modèle de MDS sans aucune compensation.

Nous constatons qu'il est nécessaire d'ajouter une longueur de ligne de  $14\text{ }\mu\text{m}$  (soit  $7\text{ }\mu\text{m}$  de chaque côté du Té) pour la ligne de largeur  $50\text{ }\mu\text{m}$ ,  $36\text{ }\mu\text{m}$  pour la ligne de largeur  $100\text{ }\mu\text{m}$  (soit  $18\text{ }\mu\text{m}$  de chaque côté du Té) et  $16\text{ }\mu\text{m}$  pour la ligne de largeur  $150\text{ }\mu\text{m}$  (soit  $8\text{ }\mu\text{m}$  de chaque côté du Té) pour obtenir un meilleur accord en phase à la fréquence de  $60\text{ GHz}$ .

Nous présentons figure II.37 l'évolution des modules et phases des paramètres  $S_{ij}$  de  $500\text{ MHz}$  à  $110\text{ GHz}$  mesurés et simulés sans aucune compensation. Sur la figure II.38, sont présentés les paramètres  $S_{ij}$  du même élément mesurés et simulés en tenant compte des compensations établies dans ce paragraphe. Nous pouvons constater un meilleur accord sur le module et la phase du terme  $S_{21}$ .

#### **V.4.3. Validation des compensations**

Pour valider ces méthodes de compensation, nous avons effectué une nouvelle comparaison entre les éléments mesurés et ceux simulés avec et sans compensation sur des éléments issus d'une autre plaquette. La hauteur du substrat fluctuant selon les plaquettes, nous vérifions que nos méthodes de compensation restent valables. Les écarts obtenus entre les mesures et la simulation avec et sans compensation des modèles sur le module du terme  $S_{21}$  et les phases des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  à la fréquence de  $60\text{ GHz}$  sont présentés dans le tableau II.13.

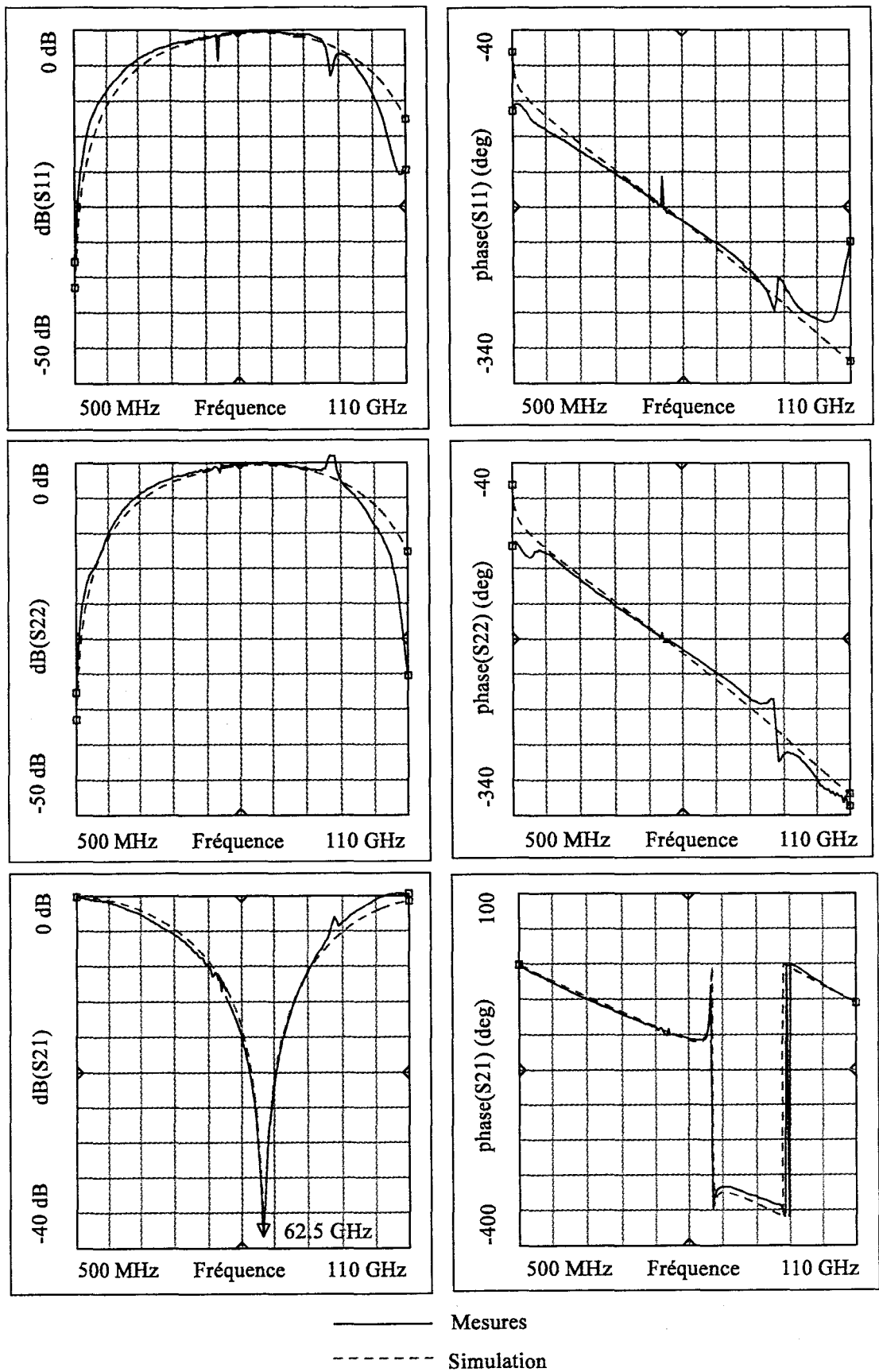


Figure II.38 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$ , et  $S_{21}$  mesurés d'une ligne de compensation droite  $ST_5$  et de la simulation à partir du modèle de MDS avec compensations.



Eléments	Ecart sans compensation			Ecart avec compensations		
	f <sub>S21</sub> (GHz)	Phases (S <sub>ii</sub> )	Phases (S <sub>ij</sub> )	f <sub>S21</sub> (GHz)	Phases (S <sub>ii</sub> )	Phases (S <sub>ij</sub> )
ST <sub>1</sub>	-	-2.3°	-3.4°	-	-0.2°	-1.1°
ST <sub>2</sub>	2.7	-3.3°	-3.8°	0.7	-2.4	-2.8°
ST <sub>3</sub>	-	-2.3°	-2.1°	-	-2.3°	-2°
ST <sub>4</sub>	6.2	-3.8°	-4.6°	1.7	0.3°	-0.5°
ST <sub>5</sub>	3.2	-5.4°	-	0.7	-1.5°	-
ST <sub>6</sub>	-	1.5°	-1°	-	0.9°	-2°
ST <sub>7</sub>	4.2	4.4°	2.2°	-0.5	1°	0.4°

Tableau II.13 : Ecart relevés entre les mesures et les simulations avec et sans compensation des modèles (plaquette 10382\_B).

Nous obtenons en utilisant les modèles compensés un meilleur accord en phase puisque l'écart entre les mesures et la simulation reste toujours inférieur à 3° à la fréquence de 60 GHz. Nous pouvons constater également un écart plus faible sur la fréquence de résonance du terme S<sub>21</sub>. Ceci valide l'utilisation de nos paramètres de compensation et l'utilisation de ces trois dimensions de Té pour la conception de circuit.

**V.5. Les lignes de compensation radiales**

Ces lignes sont le plus souvent utilisées pour inhiber l'influence du circuit de polarisation sur un composant actif en amenant un circuit ouvert à la fréquence de travail dans la ligne principale. Les lignes de compensation radiales sont généralement préférées aux lignes de compensation droites car elles sont réputées être plus large bande.

**V.5.1. Les différentes configurations réalisées**

La topologie de ces éléments est présentée figure II.39 et les différentes dimensions réalisées sont données dans le tableau II.14.

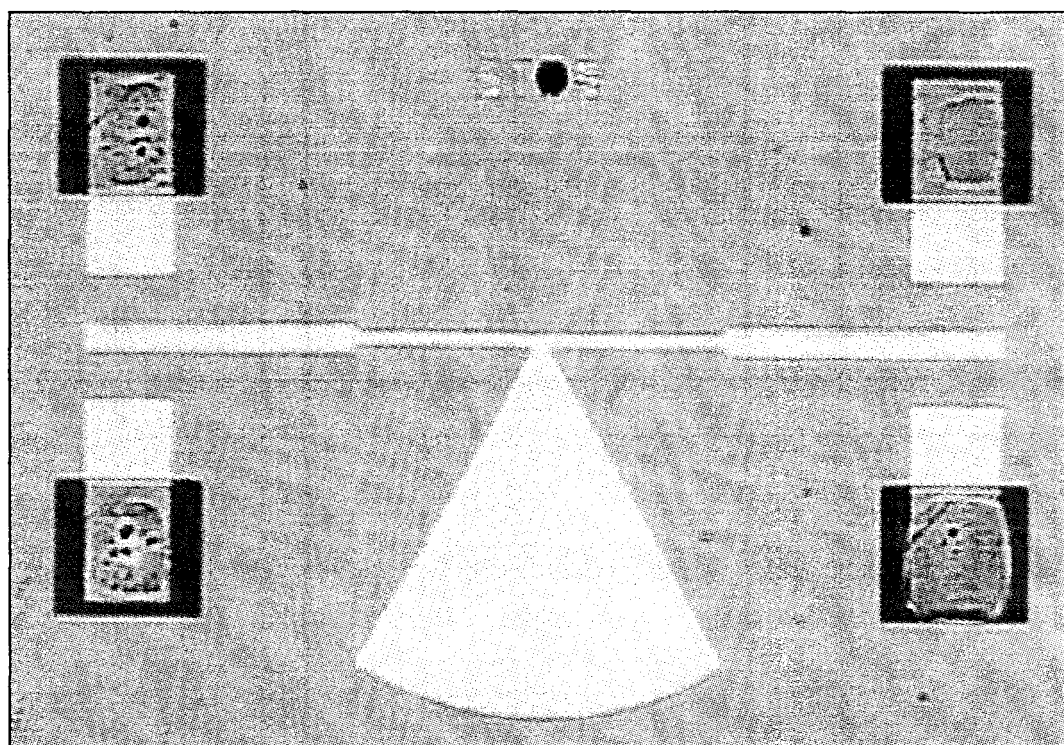
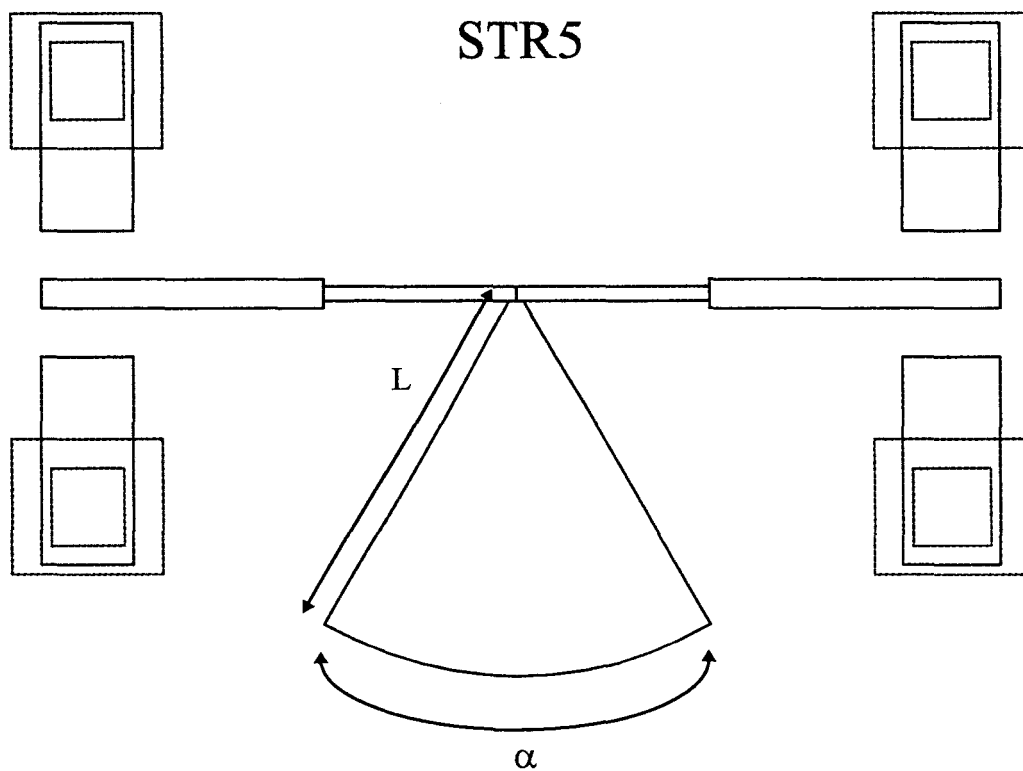


Figure II.39 : Représentation et photographie d'une ligne de compensation radiale  $STR_5$ .

Eléments	Longueur ( $\mu\text{m}$ )	Angle d'ouverture $\alpha$ ( $^\circ$ )
STR <sub>1</sub>	200	30
STR <sub>2</sub>	300	30
STR <sub>3</sub>	200	60
STR <sub>4</sub>	300	60
STR <sub>5</sub>	400	60
STR <sub>6</sub>	200	90
STR <sub>7</sub>	300	90

Tableau II.14 : Dimensions des différentes structures réalisées.

### V.5.2. Mise en évidence des problèmes et compensation des modèles

#### *V.5.2.1. Fréquence de résonance du terme $S_{21}$*

Ce type de filtre présente également une fréquence de résonance sur le module du terme  $S_{21}$ . Nous allons dans cette partie procéder de façon similaire à la précédente afin de vérifier la bonne concordance de cette fréquence entre nos mesures et les simulations. Par la suite, si cela s'avère nécessaire, nous modifierons le modèle de manière à retrouver une bonne concordance de comportement.

Dans le tableau II.15 sont présentées les valeurs des fréquences de résonance déterminées par la simulation avec les logiciels MDS et Momentun ainsi que les fréquences mesurées. L'écart de fréquence obtenu, entre ces deux logiciels de simulation et les mesures, a également été reporté.

éléments	modules	Fréquences de résonance (GHz)			Ecart entre les mesures et	
		mesurées	MDS	Momentum	MDS (GHz)	Momentum (GHz)
STR <sub>1</sub>		> 110				
STR <sub>2</sub>	m1	68.5	71	72	-2.5	-3.5
	m6	68.5	71	72	-2.5	-3.5
	m7	68.5	71	72	-2.5	-3.5
STR <sub>3</sub>	m6	97.4	95	101	2.4	-3.6
	m10	97.4	95	101	2.4	-3.6
STR <sub>4</sub>	m6	59.5	57.6	62	1.9	-2.5
	m10	61	57.6	62	3.4	-1
STR <sub>5</sub>	m6	43	40.5	43	2.5	0
	m10	43	40.5	43	2.5	0
STR <sub>6</sub>	m7	86.9	84.5	97	2.4	-10.1
	m10	85.5	84.5	97	1	-11.5
STR <sub>7</sub>	m7	53.7	51.5	59	2.2	-5.3

Tableau II.15 : Fréquences de résonance du terme  $S_{21}$  mesurées et simulées avec les logiciels MDS et Momentum (Plaquette 10356\_2t).

Nous pouvons tout d'abord constater une dispersion de l'ordre de 1.5 GHz de la fréquence de résonance mesurée pour une même topologie, ce qui est la limite de précision de la réalisation et des mesures.

L'écart de fréquence obtenu avec MDS est souvent plus faible que celui obtenu avec Momentum qui peut atteindre 11 GHz pour les éléments dont l'angle d'ouverture est important. Cet écart plus important avec le logiciel de simulation électromagnétique va à l'encontre de ce que l'on pouvait s'attendre compte tenu des couplages entre les structures à ces fréquences.

Les résultats obtenus avec MDS sont assez homogènes, l'écart de fréquence observé étant le plus souvent de l'ordre de 2.5 GHz. Nous avons alors entrepris de corriger ces modèles de manière à obtenir un meilleur accord.

#### V.5.2.2. Compensation en module

La fréquence de résonance observée sur le module du terme  $S_{21}$  est directement fonction du rayon de la ligne de compensation radiale. Nous avons alors entrepris d'y apporter une correction de manière à retrouver une meilleure concordance entre la fréquence de résonance mesurée et simulée avec le logiciel MDS. Cette fréquence de résonance évoluant linéairement en fonction de l'épaisseur du substrat autour de la

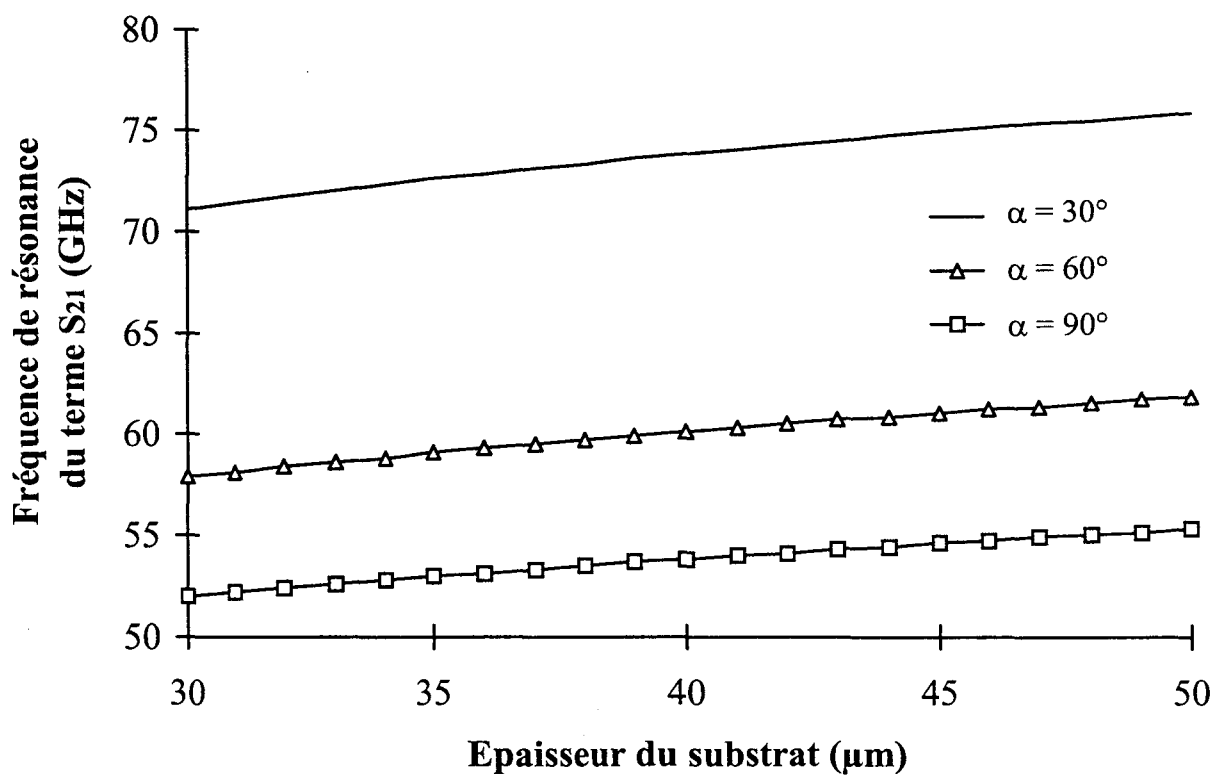


Figure II.40 : Evolution de la fréquence de résonance du terme  $S_{21}$  présente d'une ligne de compensation radiale de longueur 300  $\mu\text{m}$  et d'angle d'ouverture  $\alpha$  en fonction de l'épaisseur du substrat.

valeur visée de 40  $\mu\text{m}$  pour un angle d'ouverture donné (figure II.40), les compensations effectuées resteront valables pour des valeurs d'épaisseurs de substrats voisines.

Les paramètres des droites destinées à prévoir une compensation des modèles sont donnés dans le tableau II.16 pour chaque angle d'ouverture.

Dimensions du Té angle d'ouverture	$W_1=W_2=W_3=15\ \mu\text{m}$ $\alpha=30^\circ$	$W_1=W_2=W_3=15\ \mu\text{m}$ $\alpha=60^\circ$	$W_1=W_2=W_3=15\ \mu\text{m}$ $\alpha=90^\circ$
Longueur supplémentaire $\Delta L = a \times L + b\ (\mu\text{m})$	$a = 0.02$ $b = 2$	$a = -0.07$ $b = 10$	$a = -0.05$ $b = 6$

Tableau : II.16 : Coefficients attribués aux droites de compensation pour les stubs radiaux.

Nous sommes alors maintenant en mesure d'effectuer une compensation sur le module du terme  $S_{21}$  en ajoutant une quantité  $\Delta L$  au rayon du stub radial lors de la réalisation du masque. Ces compensations ne sont valables que pour des dimensions de discontinuité en Té identiques valant 15  $\mu\text{m}$  de largeur et pour un angle d'ouverture fixé ( $\alpha = 30, 60$  et  $90$  degrés).

V.5.2.3. Etude des phases des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$ .

Nous avons noté des écarts importants à la fréquence de 60 GHz sur les phases des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  mesurées et simulées. Pour compenser ces différences de phase nous avons modifié les longueurs de lignes se situant de part et d'autre de la discontinuité. Nous attribuons cet écart de phase uniquement à une moins bonne validité du modèle de la discontinuité. Nous obtenons ainsi une seule longueur de ligne de compensation pour tous les éléments car les dimensions des discontinuités en Té sont identiques.

Nous avons alors procédé de façon similaire à ce qui a été fait pour les stubs droits. Dans un premier temps nous avons déterminé l'écart de phase observé pour chaque élément sur les termes de réflexion puis sur les termes de transmission. Nous avons alors déterminé les longueurs de ligne à ajouter de manière à compenser exactement soit l'écart de phase en réflexion, soit celui en transmission. Enfin, un

compromis entre ces deux longueurs de ligne a été déterminé comme étant la valeur intermédiaire. Ces résultats sont donnés dans le tableau II.17.

Eléments : STR		
Dimensions du Té : 15 $\mu\text{m}$ - 15 $\mu\text{m}$ - 15 $\mu\text{m}$		
	S <sub>ii</sub>	S <sub>ij</sub>
Ecart de phase moyen avant correction	-7.2 °	-5.1 °
Longueur de ligne nécessaire pour une compensation exacte	+30 $\mu\text{m}$	+22 $\mu\text{m}$
Longueur de ligne retenue	+26 $\mu\text{m}$	+26 $\mu\text{m}$
Ecart de phase moyen après corrections	-1.3 °	0.1°

Tableau II.17 : Ecart de phases relevés à 60 GHz avant et après compensation sur les éléments STR.

Valeurs des longueurs de lignes à ajouter pour compenser les phases des termes S<sub>ii</sub> et S<sub>ij</sub>. (Plaquette 10356\_2t)

Nous constatons qu'en ajoutant une longueur de ligne totale de 26  $\mu\text{m}$  (soit 13  $\mu\text{m}$  de chaque côté de la discontinuité) nous obtenons un écart de phase beaucoup plus faible sur les termes de réflexion et de transmission à la fréquence de 60 GHz.

Nous présentons figure II.41 une comparaison de l'évolution des paramètres S<sub>ij</sub> en module et en phase mesurés et simulés sans aucune compensation des modèles. Une comparaison de ces mêmes paramètres est présentée figure II.42 en utilisant pour la simulation les compensations décrites aux paragraphes précédents. Dans cette dernière comparaison, un meilleur accord est obtenu autour de 60 GHz.

### V.5.3. Validation de la méthode de compensation

Afin de vérifier la validité de ces compensations, nous avons comparé sur un autre échantillon la fréquence de résonance du terme S<sub>21</sub> ainsi que les phases des termes S<sub>11</sub>, S<sub>22</sub> et S<sub>21</sub> à la fréquence de 60 GHz obtenus entre les mesures et les simulations

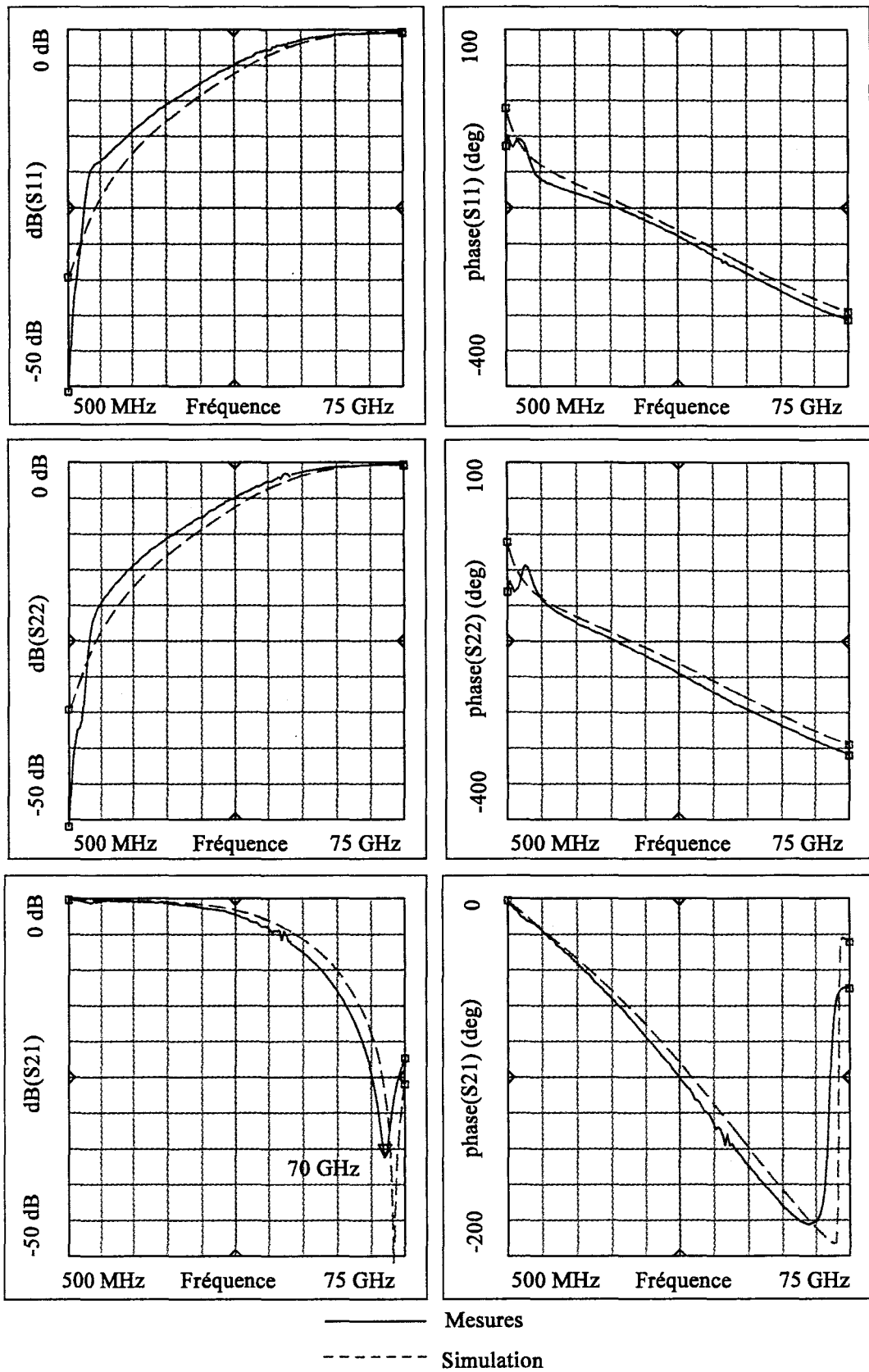


Figure II.41 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$ , et  $S_{21}$  mesurés d'une ligne de compensation radiale  $STR_2$  et de la simulation à partir du modèle de MDS sans aucune compensation.



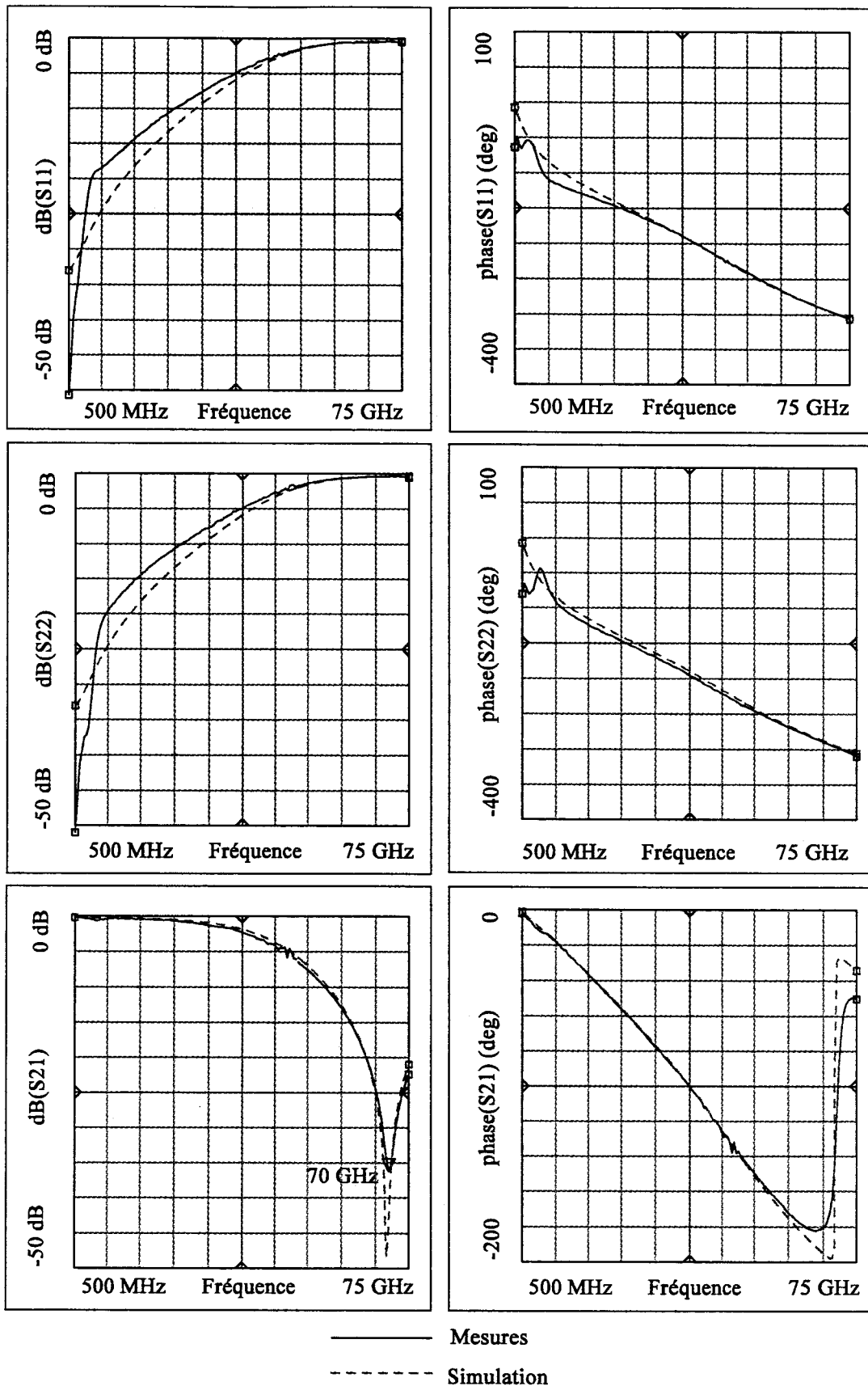


Figure II.42 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$ , et  $S_{21}$  mesurés d'une ligne de compensation radiale  $STR_2$  et de la simulation à partir du modèle de MDS avec compensation.

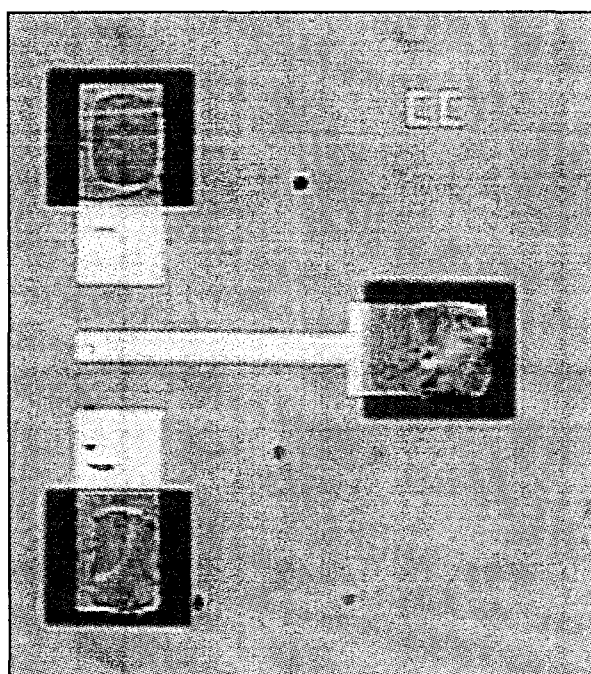
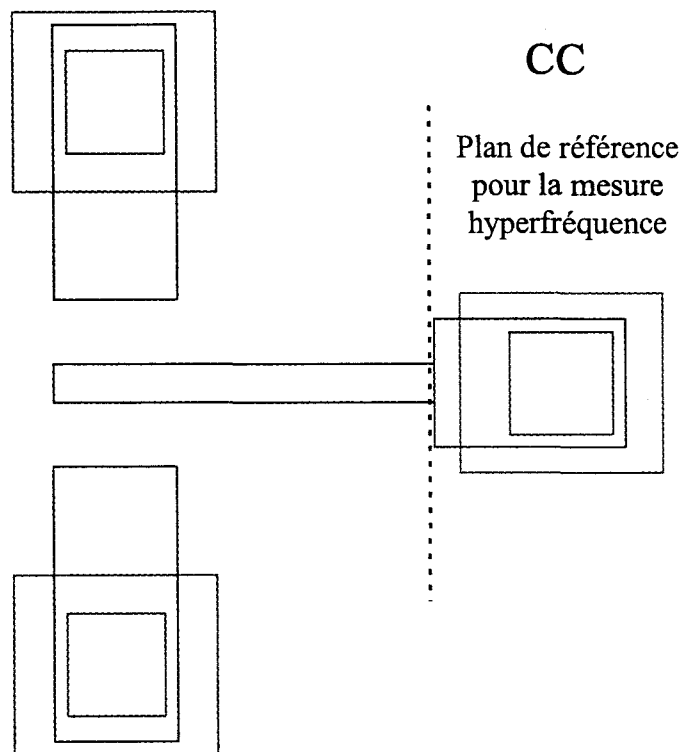


Figure II.43 : Représentation et photographie de la structure permettant la mesure d'un trou métallisé

avec et sans compensation des modèles. Ces résultats sont présentés dans le tableau II.18.

Eléments	Ecart sans compensation			Ecart avec compensations		
	f <sub>S21</sub> (GHz)	Phases (Sii)	Phases (Sij)	f <sub>S21</sub> (GHz)	Phases (Sii)	Phases (Sij)
STR	2.2	-6.3°	-4.7°	1	-1.2°	3°

Tableau II.18 : Ecart relevés sur les éléments STR entre les mesures et les simulations avec et sans compensation des modèles (plaquette 10382\_B).

Nous pouvons constater un meilleur accord obtenu à la fois sur la fréquence de résonance ainsi que sur les phases des termes de transmission et de réflexion. Ceci montre l'intérêt de l'utilisation des corrections pour les discontinuités en Té de largeur 15 µm associée à un stub radial d'ouverture 30, 60 ou 90 degrés.

V.6. Les trous métallisés

Les trous métallisés sont utilisés pour contacter le plan de masse situé en face arrière au circuit situé en face avant. Le layout utilisé pour la mesure des trous métallisés ainsi qu'une photographie d'une structure réalisée sont représentés figure II.43.

Le schéma équivalent du trou métallisé est représenté figure II.44. Il peut être modélisé par une résistance d'environ 0.3 Ω en série avec une inductance de 15 pH.

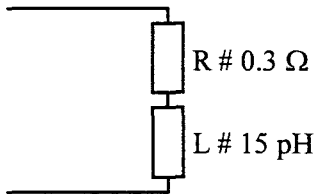


Figure II.44 : Schéma équivalent d'un trou métallisé.

Pour déterminer les valeurs de la résistance et de l'inductance, une transformation des paramètres  $S_{ij}$  en paramètres impédances  $Z_{ij}$  est nécessaire. La représentation de la partie imaginaire ainsi que la partie réelle de  $Z_{11}$  en fonction de la fréquence permet de déterminer la valeur de ces éléments. La pente de la partie imaginaire de  $Z_{11}$  permettra de déterminer la valeur de l'inductance et la partie réelle la valeur de la résistance. Ces évolutions sont présentées figure II.45 à titre d'exemple.

La mesure de plusieurs échantillons nous a ainsi permis de déterminer une valeur moyenne d'inductance de 15 pH associée à une valeur de résistance de l'ordre de 0.3  $\Omega$ . Cette valeur d'inductance correspond à celle d'un bout de ligne associé en série à l'inductance propre du trou métallisé. Une dispersion de  $\pm 3$  pH a été rencontrée, valeur que l'on peut associer à l'erreur commise lors de l'alignement en face arrière. Ce modèle localisé est plus simple et beaucoup plus facilement utilisable lors d'une étude de dispersion que celui disponible sur MDS sur lequel on ne peut intervenir que sur les dimensions physiques et non électrique du trou métallisé.

Enfin, nous avons constaté une meilleure reproductibilité dans les valeurs des éléments du schéma équivalent du trou métallisé au fur et à mesure des réalisations dû au savoir faire acquis par les technologues.

### **V.7. Les discontinuités de largeur de ligne**

Ces modèles disponibles dans le simulateur MDS sont utilisés pour modéliser la juxtaposition de deux lignes de largeurs différentes. Cette discontinuité de largeur peut être utilisée pour adapter le transistor comme nous l'avons décrit dans le premier chapitre de ce mémoire. Afin de vérifier la validité de ces discontinuités à la fréquence de 60 GHz, six discontinuités entre des lignes de différentes largeurs ont été réalisées. Un exemple ainsi qu'une photographie de l'une d'entre elle sont présentés figure II.46. Les différentes dimensions réalisées sont données dans le tableau II.19.

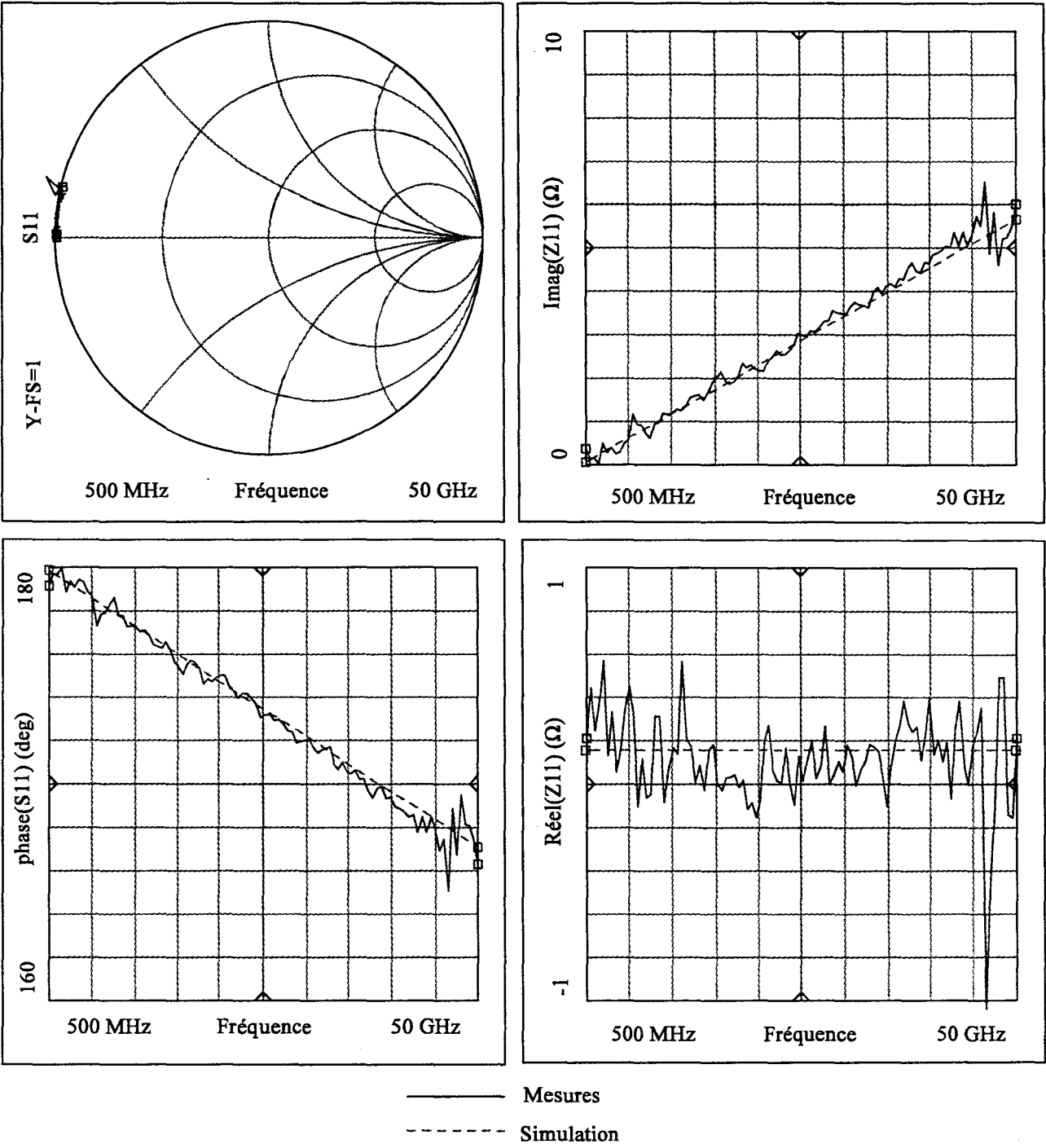


Figure II.45 : Evolution de  $S_{11}$  et des parties réelles et imaginaires de  $Z_{11}$  d'un trou métallisé mesuré et simulé.

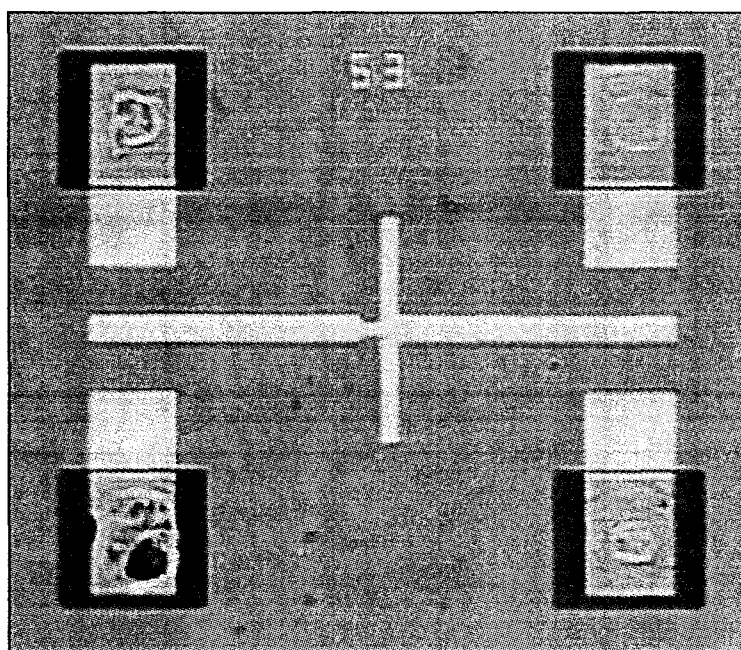
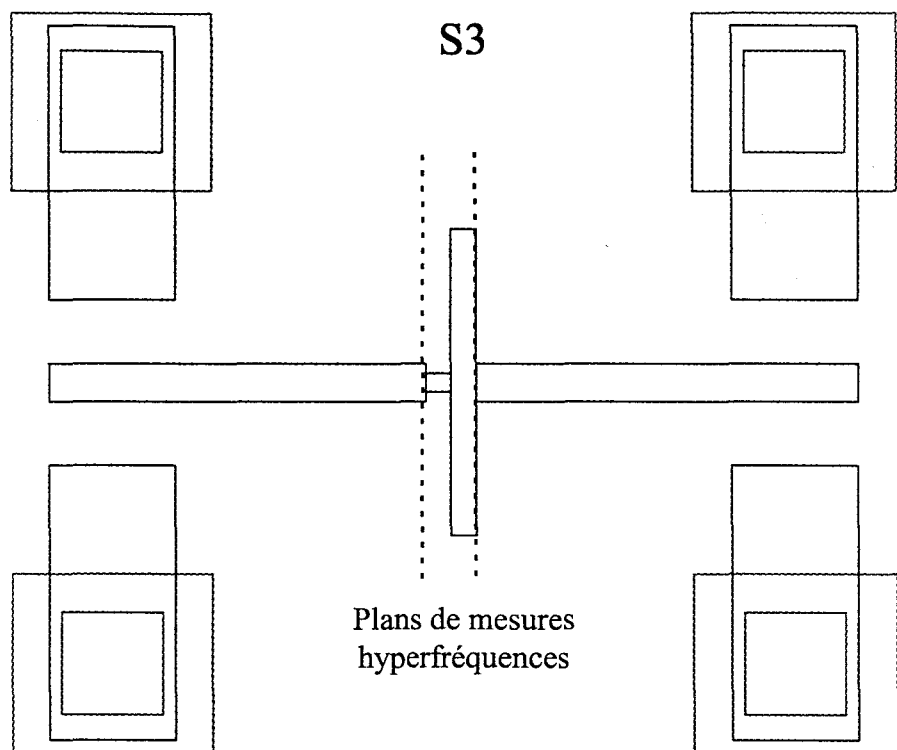


Figure II.46 : Représentation et photographie d'une discontinuité entre deux lignes de largeurs différentes.

Elément	$W_1$ ( $\mu\text{m}$ )	$W_2$ ( $\mu\text{m}$ )	$\frac{W_2}{W_1}$
$S_1$	15	30	2
$S_2$	15	120	8
$S_3$	15	240	16
$S_4$	30	120	4
$S_5$	30	240	8
$S_6$	120	240	2

Tableau II.19 : Valeurs des différentes discontinuités de largeur de ligne réalisées.

Le rapport entre les largeurs de ligne est un paramètre important puisque le modèle implanté dans le simulateur est validé pour des rapports entre les discontinuités inférieur à 8 [8]. Nous souhaitons donc étudier le modèle à son seuil de validité, en deçà (rapport inférieur à 8) et au delà (rapport supérieur à 8). Des rapports de largeurs importants sont nécessaires pour adapter les transistors tout en réduisant la taille des circuits.

Nous n'avons cependant pas pu exploiter les mesures réalisées sur ces structures car les dimensions des longueurs de ligne étant faibles, il était très difficile de distinguer la part relative à l'imprécision du modèle de celle relative à la dispersion technologique. La philosophie adoptée pour les mesures de toutes les structures disponibles sur le masque était de placer les plans de référence de l'analyseur de réseau au plus près de la structure à caractériser cependant la solution aurait peut être été de placer des longueurs de lignes plus importantes en amont et en aval de la discontinuité, à condition toutefois de savoir alors distinguer la part relative aux lignes de celle relative aux discontinuités. Nous ne pourrions donc pas utiliser cette méthode d'adaptation d'impédance lors de la conception de notre circuit.

## **V.8. Validation sur une structure complète**

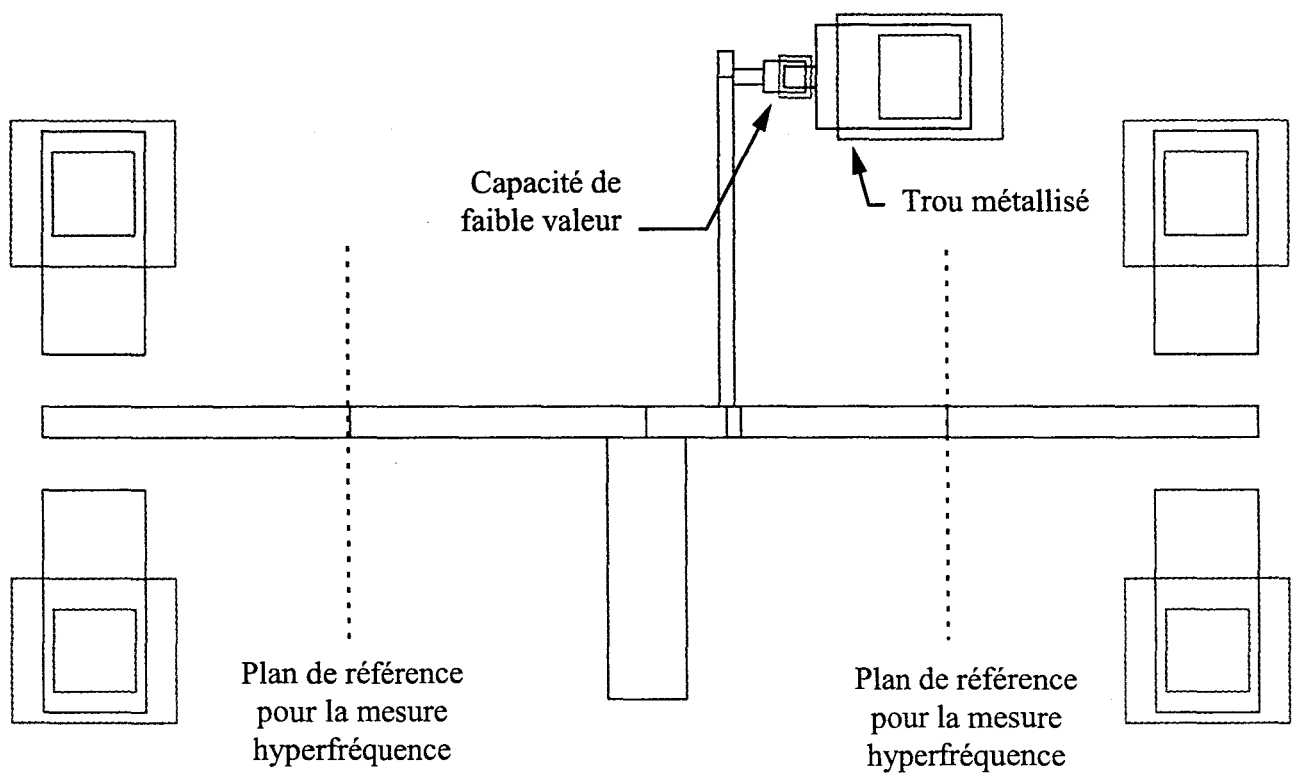


Figure II.47 : Représentation d'une structure permettant l'adaptation et la polarisation d'un transistor.



Afin de juger nos paramètres de compensation sur une structure faisant intervenir plusieurs éléments et discontinuités, un circuit d'adaptation de transistor a été également réalisé. Le layout de ce circuit est donné figure II.47. Il comprend trois discontinuités en Té, une capacité de faible valeur et un trou métallisé.

Nous avons comparé les mesures de cette structure avec les simulations utilisant les modèles disponibles sur MDS et celles utilisant les modèles compensés décrits dans ce chapitre. Les résultats de ces simulations sont présentés figure II.48 et figure II.49 respectivement.

Nous constatons un meilleur accord entre les mesures et la simulation utilisant les modèles compensés pour les fréquences supérieures à 30 GHz. En deçà de celles-ci, les modèles fournis avec MDS et ceux compensés donnent les mêmes résultats. Ceci justifie pleinement cette étude et démontre la nécessité, pour des fréquences supérieures à environ 30 GHz, de vérifier et éventuellement de modifier les modèles fournis avec MDS pour un procédé de réalisation.

## **VI. Conclusion**

---

Ce chapitre a été entièrement dédié à la réalisation, la caractérisation et la simulation des éléments passifs nécessaires à la conception de l'amplificateur de puissance en technologie intégrée à 60 GHz.

Après une rapide description de la méthodologie employée pour la conception des différents niveaux de masques nécessaires à la réalisation des éléments passifs, nous avons décrit les étapes relatives à leur réalisation.

Nous avons ensuite explicité les différents types de calibrages que nous avons utilisés lors des mesures effectuées parfois jusque 110 GHz. Les difficultés rencontrées lors des toutes premières réalisations ont été abordées et les solutions adoptées présentées et validées.

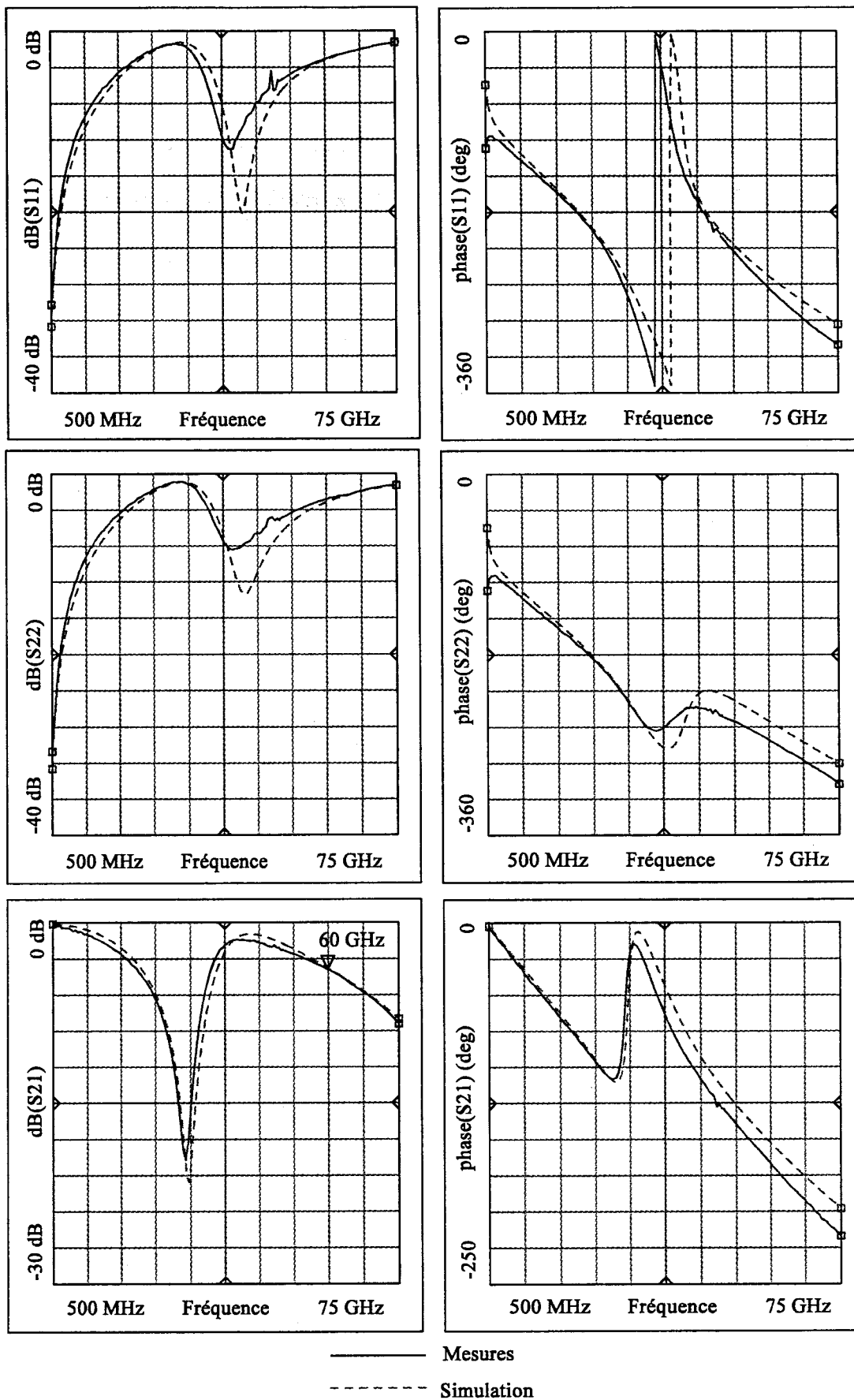


Figure II.48 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$ , et  $S_{21}$  mesurés et simulés sans compensation des modèles d'une structure de polarisation.

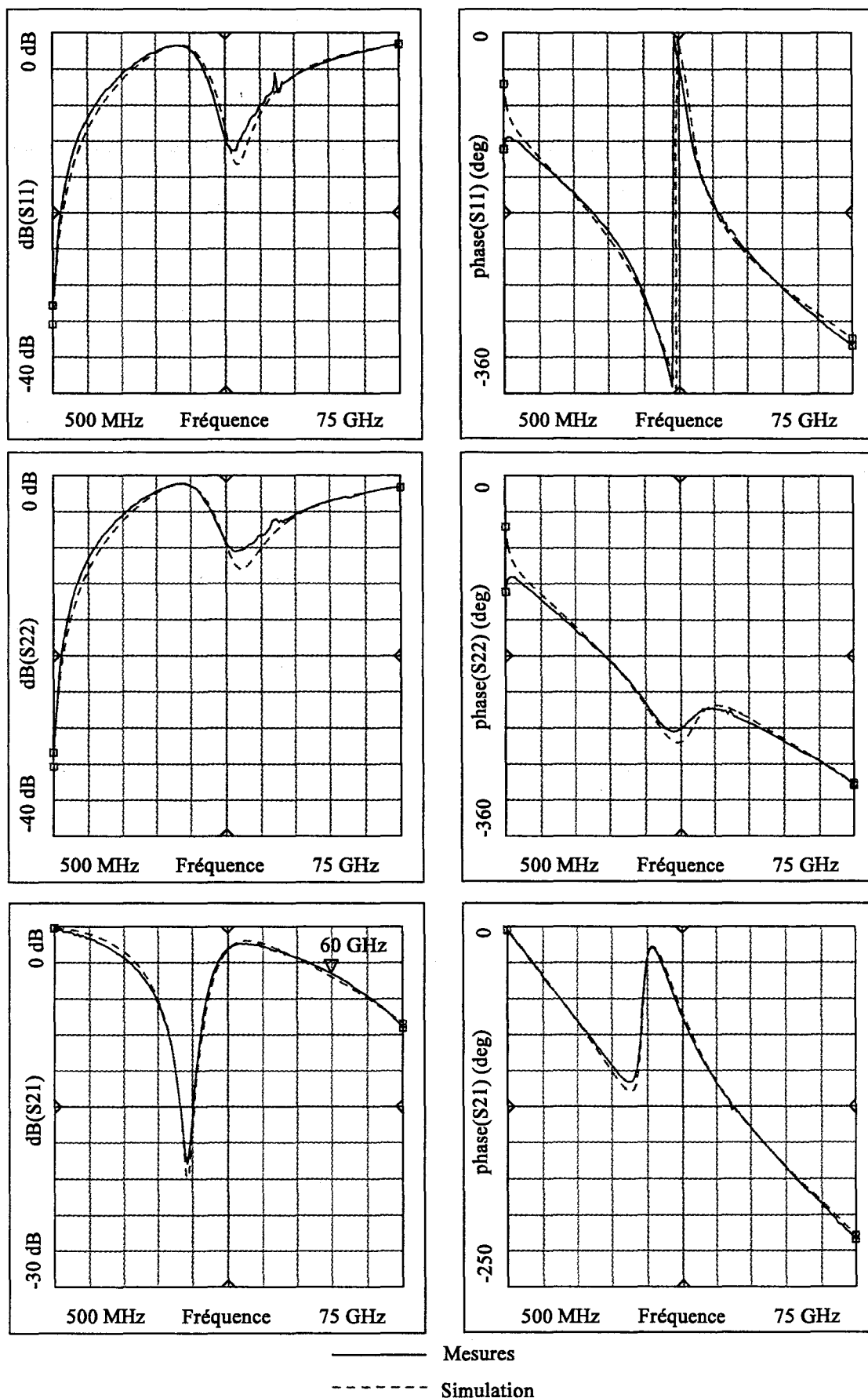


Figure II.49 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$ , et  $S_{21}$  mesurés et simulés avec compensations des modèles d'une structure de polarisation.

Enfin, dans la dernière partie de ce chapitre, nous avons étudié chaque type de structures réalisées. Pour cela, elles ont été caractérisées à l'analyseur de réseau vectoriel jusque 75 GHz, puis rétro-simulé, afin de soit valider les modèles disponibles sur MDS, soit établir des compensations de ces modèles lorsque cela s'avérerait nécessaire.

Nous disposons ainsi d'une meilleure précision sur les modèles d'éléments passifs nécessaires à la conception d'un amplificateur de puissance en technologie intégrée à 60 GHz en guide microruban sur substrat de phosphure d'indium. Nous connaissons également les domaines de variation des éléments liés à la dispersion technologique ce qui permettra ultérieurement une étude de dispersion.

Cette étude a également permis la validation technologique d'éléments nécessaires à la conception de circuits pour la première fois au laboratoire sur substrat de phosphure d'indium en guide de propagation microruban et ceci jusque 75 GHz.



## Références Bibliographiques

- [1] : S.Trassaert  
"Conception de transistors à effet de champ dans la filière GaN pour amplification en hyperfréquence et à haute température"  
Thèse de l'université de Lille, à paraître.
- [2] : S.Adachi, H.Kawaguchi  
"Chemical etching characteristics of (001) InP"  
Journal of Electrochemical Society, June 1981, pp. 1342-1349.
- [3] : E.Bourcier  
"Analyse de fonctionnement en amplification de puissance en bande Ka des transistors HEMT des filières AsGa et InP"  
Thèse de l'université de Lille, janvier 1998.
- [4] : J.Williams  
"Accuracy enhancement fundamentals for vector network analysers"  
Microwave journal, March 1989, pp. 99-114.
- [5] : A.Maury et Al.  
"LRL calibration of vector automatic network analysers"  
Microwave journal, may 1987.
- [6] : S.Trassaert, B.Boudart, S.Piotrowicz and Y.Crosnier  
"Bromine/methanol wet chemical etching of via holes for InP microwave devices"  
Journal of Vacuum and Science Technology B, pp. 561-564, March-April 1998.
- [7] : B.R.Nag  
"Empirical formula for the dielectric constant of cubic semiconductors"  
Applied Physic Letters, n°65, Vol. 10, pp. 1938-1939, October 1994.
- [8] : Microwave and RF Design Systems  
Component catalog.

## CHAPITRE III

# RÉALISATION, MESURES ET MODÉLISATION DES ÉLÉMENTS ACTIFS

## I. Introduction

---

Le deuxième chapitre a porté sur l'étude des éléments passifs nécessaires à la conception des circuits. Il convient maintenant de s'attacher aux composants actifs. Pour cela, les performances des différentes séries de transistors réalisés au laboratoire seront analysées afin de définir l'épitaxie et la topologie optimales pour notre application. Les composants présentés ont été réalisés au laboratoire dans le cadre de la convention DRET 94160 relative aux "potentialités des transistors de la filière GaInAs pour applications microonde faible bruit, de puissance et à la conversion optoélectronique".

La première partie de ce chapitre est consacrée à la présentation des épitaxies et à la caractérisation des composants en régime statique, puis en paramètres  $S_{ij}$  petit signal, et enfin en puissance. Nous concluons sur l'épitaxie la mieux adaptée à l'amplification de puissance à 60 GHz. Dans la deuxième partie, nous présenterons les structures disponibles sur le jeu de masques dénommé MAGIC. Celui ci comporte un nombre important de transistors de développements différents afin de déterminer la topologie la mieux adaptée au fonctionnement en bande V. Dans la troisième partie, nous décrirons succinctement les étapes technologiques relatives à la réalisation de ces composants en guide de propagation microruban. Dans la partie suivante, nous présenterons les résultats des mesures de ces composants. Enfin, la dernière partie sera dédiée à la filière métamorphique AlInAs/GaInAs/GaAs dont nous présentons les premiers résultats.

## II. Caractérisation des composants

---

Afin de déterminer l'épitaxie la mieux adaptée à la génération de puissance à 60 GHz, des composants de la filière GaInAs sur substrat de phosphore d'indium ont été réalisés et étudiés dans le cadre du contrat DRET 94160.

Dans la première partie, nous présenterons les différentes épitaxies réalisées et nous évaluerons les performances en régime statique de ces composants. La deuxième partie sera consacrée à la caractérisation en régime petit signal des transistors et à l'élaboration d'un schéma équivalent de transistor à effet de champ valide jusqu'à 60 GHz. Enfin, dans la troisième partie, nous nous intéresserons à cette même fréquence aux performances des transistors en régime de fonctionnement grand signal.

## **II.1. Caractérisation en régime statique et présentation des épitaxies étudiées**

### **II.1.1. Présentation d'ICCAP**

La première mesure effectuée sur les transistors est une caractérisation en régime continu. Elle permet une première sélection entre les différents composants et la connaissance, pour les mesures ultérieures en régime de fonctionnement hyperfréquence, du point de polarisation désiré. Ces mesures sont effectuées à l'aide de trois alimentations programmables commercialisées par la société Hewlett Packard HP4142. Le tout est piloté par le logiciel ICCAP et implanté sur station de travail. Outre les facilités d'acquisitions et de représentations des graphes désirés, l'intérêt de ce logiciel réside dans l'existence de possibilités de protection en courant et en tension des composants. Il est effectivement possible, afin d'éviter une dégradation ou une destruction prématurée du composant, de limiter les valeurs des courants de grille et de drain par l'intermédiaire des trois alimentations et appareils de détection programmables. Il est maintenant admis que des courants de grille en fonctionnement transistor supérieurs à 1 mA/mm de développement total de grille, représentent un seuil de détérioration des transistors [1].

Les composants présentés ci-après ont été réalisés dans la centrale de technologie de l'IEMN par F.Diette, sous la direction de D.Théron membre de l'équipe du Professeur Crosnier.



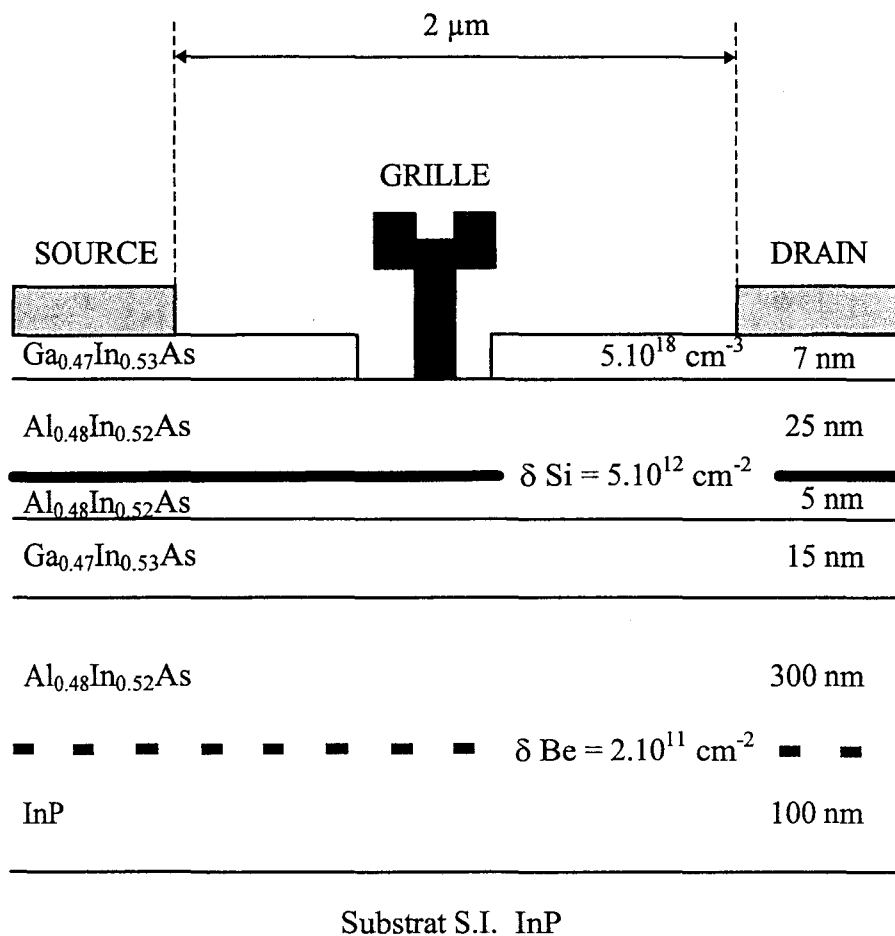


Figure III.1 : Représentation de l'épitaxie pour l'opération 10174B

II.1.2. L'opération 10174B

II.1.2.1. présentation de l'épitaxie

La structure de la couche est présentée sur la figure III.1. Il s'agit d'une épitaxie entièrement adaptée en maille sur le substrat de phosphure d'indium. Un plan de dopage de silicium à  $5.10^{12}$  at.cm<sup>-2</sup> est inséré dans la barrière d'AlInAs. Le Cap en GaInAs est dopé en volume à  $5.10^{18}$  at.cm<sup>-3</sup> pour faciliter de bons contacts ohmiques. Sa faible épaisseur (70 Å) est nécessaire afin que le potentiel de surface existant à l'interface GaInAs/Air soit suffisant pour que le Cap soit, en théorie, complètement déserté de tout porteur. Notons que la couche tampon ou buffer compte un plan de dopage de  $2.10^{11}$  at.cm<sup>-2</sup> de béryllium (dopants de type P) afin de neutraliser le dopage résiduel qui se trouve dans la couche d'InP.

II.1.2.2 Résultats en régime statique

La distance entre le contact ohmique de drain et celui de source est de 2 µm. La grille, de longueur 0.2 µm, est centrée par rapport aux contacts ohmiques. Trois types de largeur de fossé de grille ont été réalisés sur ces composants. Ils sont présentés sur la figure III.2 et sont dénommés : petit, moyen et large fossé de grille, ce qui correspond à des distances entre la grille et le cap de 0.1, 0.3 et 0.5 µm respectivement.

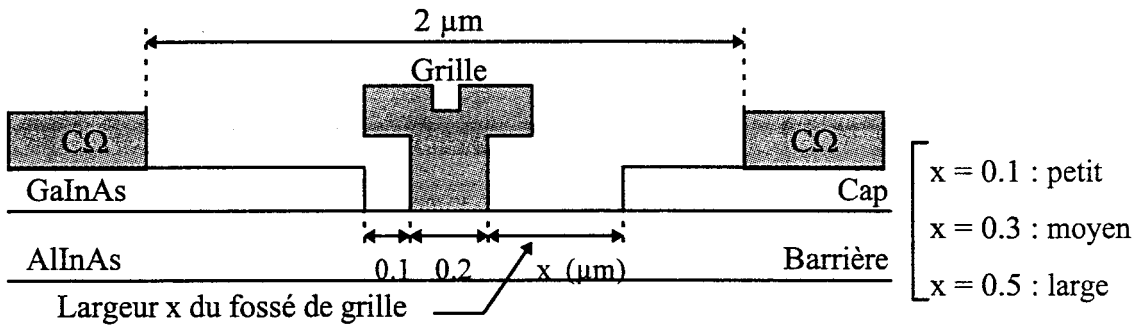


Figure III.2 : Les différents types de fossés de grille réalisés lors de l'opération 10174B.

Nous présentons sur la figure III.3 la caractéristique  $I_{ds} = f(V_{ds})$  paramétrée en fonction de la tension  $V_{gs}$  d'un transistor à moyen fossé de grille et à deux doigts de largeur unitaire 50 µm. Nous pouvons constater sur cette première caractéristique une tension de pincement de -0.6 V ainsi qu'une densité de courant

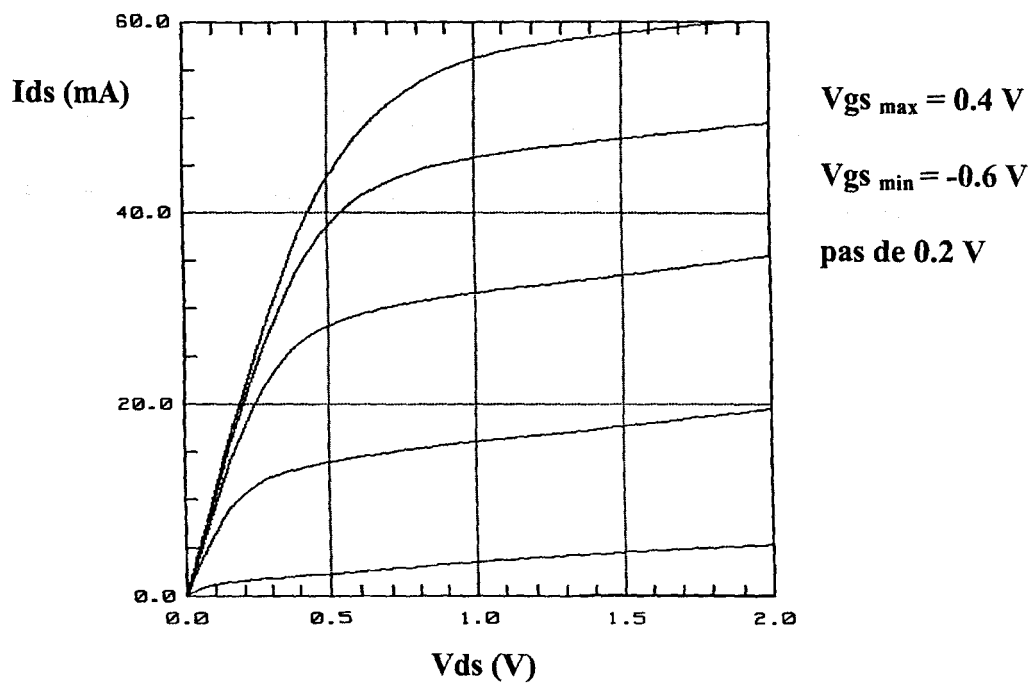


Figure III.3 : Caractéristique  $I_{ds}$  fonction de  $V_{ds}$  paramétrée en tension  $V_{gs}$ .  
(Composant 10174B  $2 \times 50 \text{ } \mu\text{m}$ , moyen fossé de grille)

maximale  $I_d$  de 600 mA/mm. Cette caractéristique nous renseigne également sur la tension de déchet du transistor valant pour ce composant environ 0.7 V.

Une autre caractéristique importante pour l'étude du fonctionnement en puissance des transistors est la tenue en tension inverse des diodes, et plus particulièrement de la diode grille drain. En effet, plus la tension inverse grille drain sera importante, plus la tension  $V_{ds}$  applicable au composant devrait être importante. Nous présentons, sur la figure III.4, les caractéristiques des diodes grille source et grille drain en polarisation inverse. Le courant de grille est limité à 1 mA/mm de développement total de grille soit ici 100  $\mu\text{m}$ . Nous obtenons une tension de claquage en diode de -4.5 V du côté source et de -7 V du côté drain. Cette dissymétrie dans les tensions est la conséquence de largeurs différentes pour le fossé de grille, le composant présenté possédant un fossé de type moyen. Nous pouvons de plus constater que l'on ne retrouve pas l'allure typique d'une diode idéale pour ces composants. En effet ces diodes ne présentent pas un coude proche d'un angle droit mais plutôt une courbure molle qui traduit l'apparition prématurée de courant dans la grille, phénomène limitatif des performances en puissance des composants [2]. Ce comportement s'explique par la faible tension de la barrière métal/AlInAs (0.45 eV) qui facilite l'apparition d'un courant de trous dans la grille [3].

La figure III.5 représente l'évolution de la diode grille source mesurée en polarisation directe. On déduit de cette caractéristique le coefficient d'idéalité  $\eta$ , la hauteur de barrière  $\phi_b$  de la diode à partir de la relation :

$$I_g = I_s \times e^{\frac{qV_g}{\eta kT}} \quad \text{où :}$$

$I_s$  est le courant de saturation,

$k$ , la constante de Boltzman et

$T$ , la température absolue.

On obtient alors  $\eta = \frac{q}{kT} \frac{\Delta V_g}{\Delta(\ln I_g)}$  à partir de la pente de la courbe  $\ln(I_g) = f(V_g)$

(figure III.5). Le coefficient d'idéalité  $\eta$  de la diode traduit la qualité de l'interface métal semi-conducteur du contact Schottky ; la valeur 1 signifie un contact idéal.

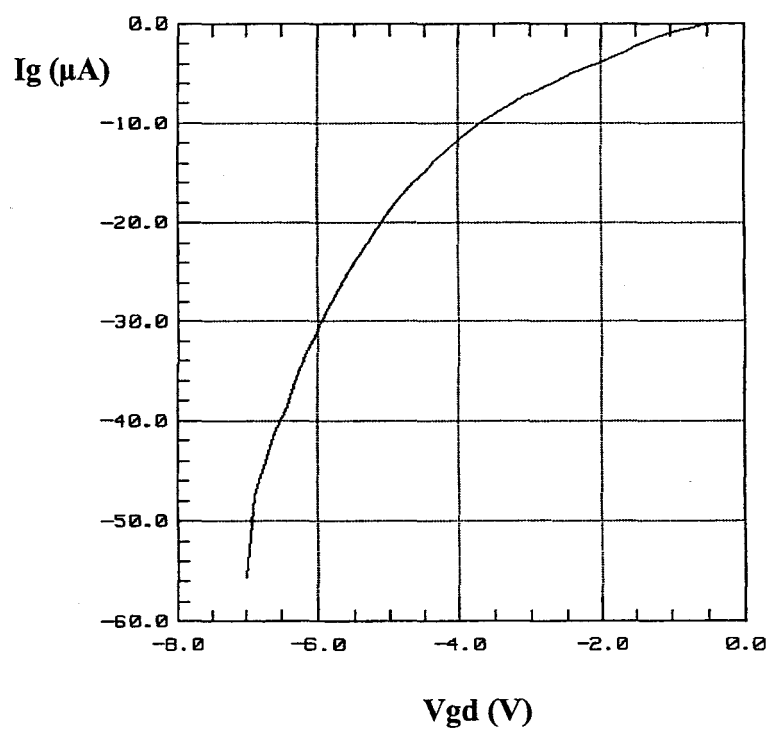
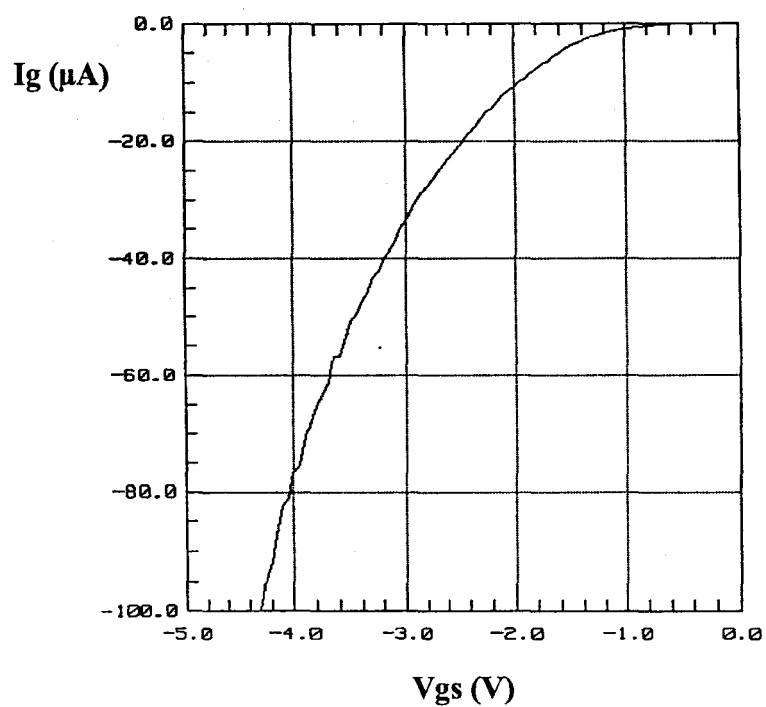


Figure III.4 : Evolution du courant de grille des diodes grille source et grille drain en polarisation inverse.  
(Composant 10174B  $2 \times 50 \mu m$ , moyen fossé de grille)

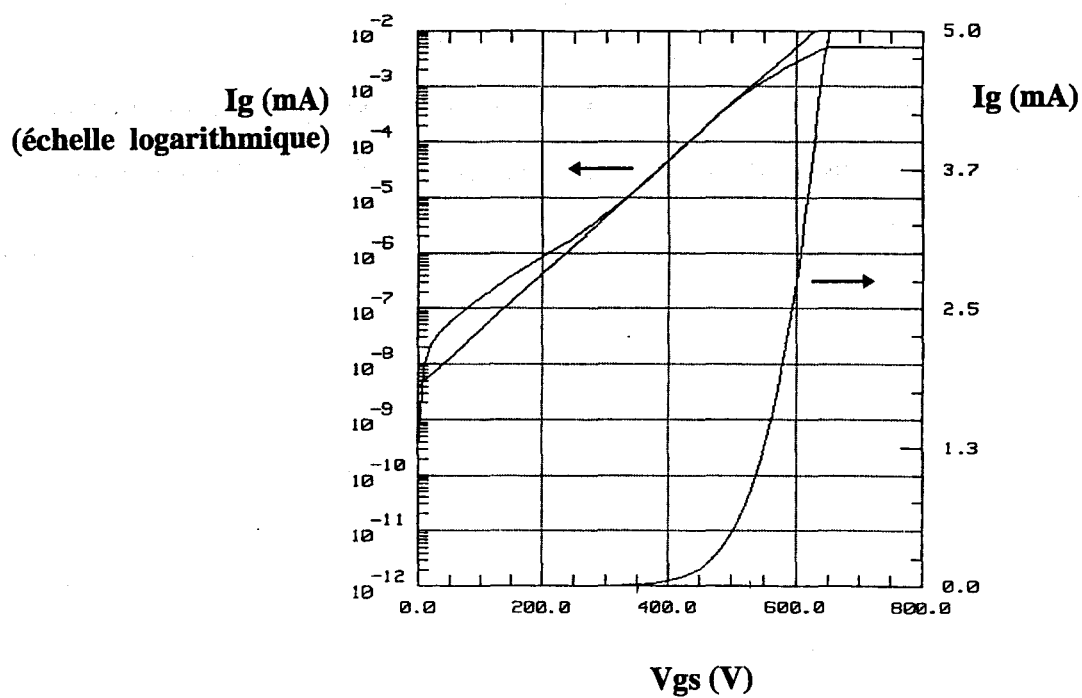


Figure III.5 : Caractéristique d'une diode Schottky en polarisation directe (relevé linéaire et logarithmique).  
(Composant 10174B moyen fossé de grille,  $2 \times 50 \mu\text{m}$ )

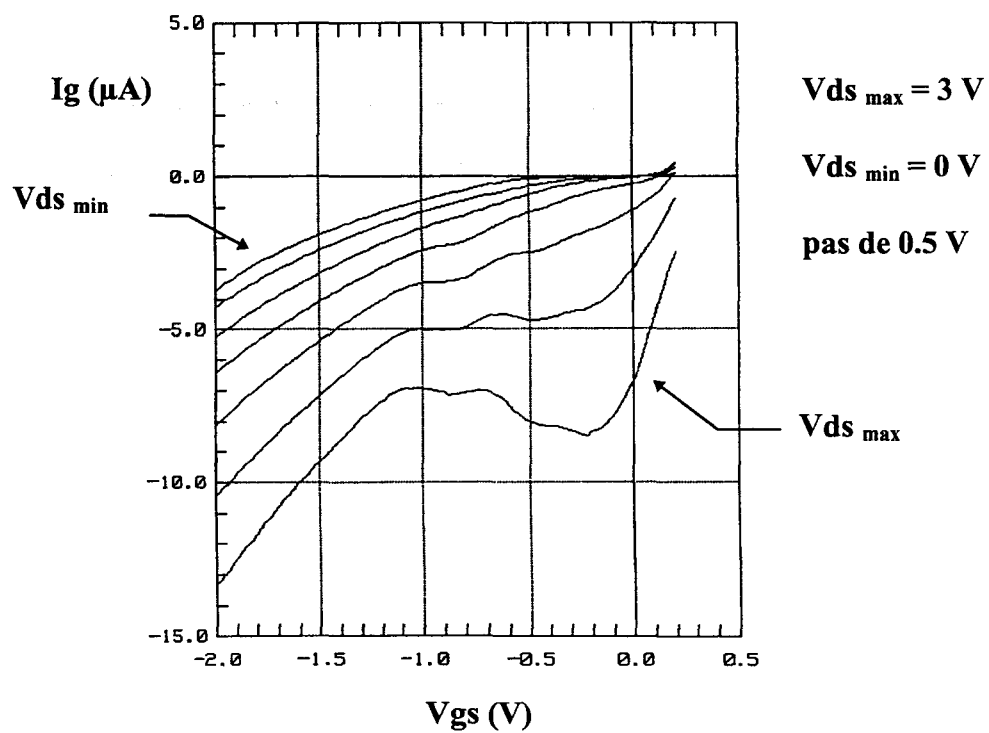


Figure III.6 : Evolution typique du courant de grille en fonctionnement transistor.  
 (Composant 10174B moyen fossé de grille,  $2 \times 50 \mu m$ )

La valeur de la tension  $V_b$  s'obtient à partir de la relation précédente et de la définition du courant de saturation  $I_s$  :

$$I_s = AT^2S \times e^{\frac{qV_b}{kT}} \text{ avec :}$$

$A$  : constante de Richardson ( $8.7A/cm^2/K^2$ )

$S$  : surface de la jonction de grille ( $L_g \times$  développement total)

$$\text{soit } V_b = \frac{kT}{q} \ln\left(\frac{I_s}{AT^2S}\right) \text{ et } \phi_b = \eta V_b.$$

La valeur du courant  $I_s$  est obtenue par la valeur de l'ordonnée à l'origine du tracé présenté. Pour les applications de puissance, on recherchera une tension de built-in élevée afin d'améliorer la tenue en tension des diodes.

Nous présentons sur la figure III.6 l'évolution du courant de grille en fonction de la tension grille source, pour différentes tensions drain source. Cette caractéristique permet de connaître le comportement du composant depuis le pincement jusqu'au canal très ouvert. Elle offre, entre autres, la possibilité de choisir le point de polarisation afin d'éviter les zones correspondant à un fort courant de grille néfaste pour le transistor. Nous constatons sur ce graphe le début de l'apparition d'une cloche d'ionisation ( $V_{ds} = 3.0$  V,  $V_{gs} = -0.3$  V) à canal ouvert. Ce phénomène, dû soit à un effet d'ionisation par impact seul, soit à de l'ionisation par impact combiné à un effet tunnel (assisté par un effet thermique ou non), peut-être dommageable pour le transistor [2]. La connaissance du phénomène qui intervient nécessite des mesures supplémentaires en fonction de la température [1]. Néanmoins, ce thème est travaillé depuis plusieurs années dans l'équipe et l'expérience acquise permet de distinguer les différents effets et de s'affranchir ainsi des mesures en fonction de la température.

Les principales caractéristiques des composants réalisés à partir de cette épitaxie sont résumés dans le tableau III.1.



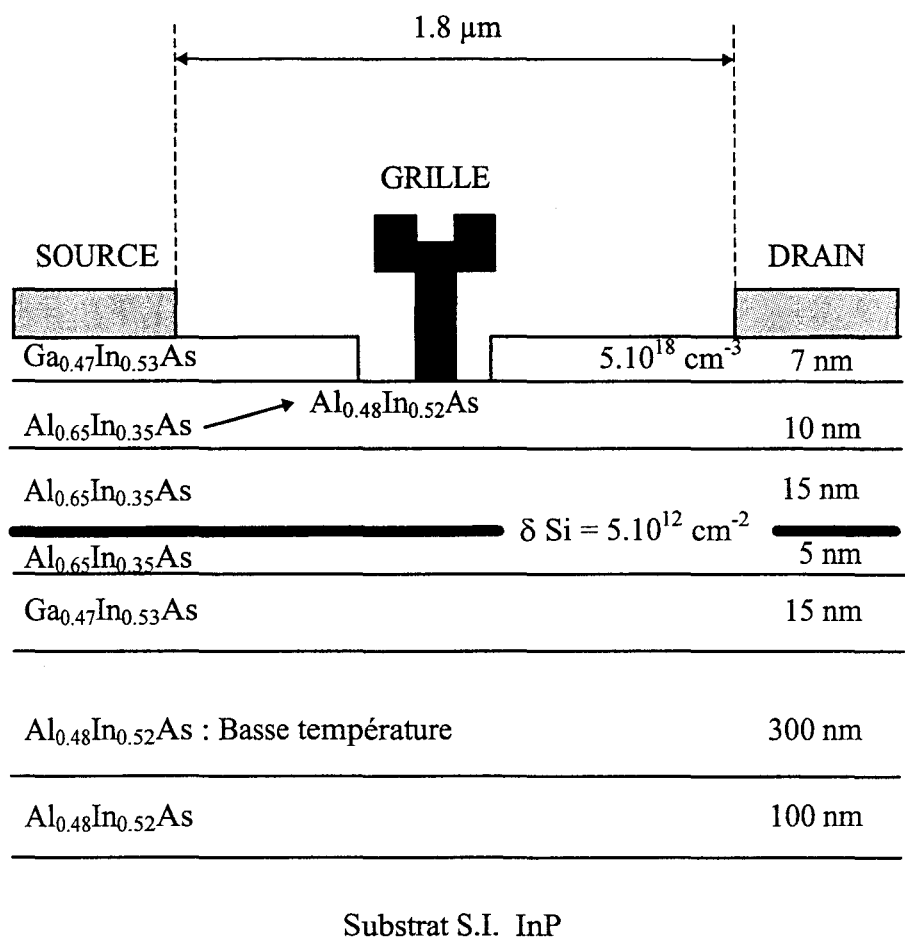


Figure III.7 : Représentation de l'épitaxie pour l'opération 10289

10174B	V <sub>p</sub> (V)	V <sub>gs<sub>br</sub></sub> (V)	V <sub>gd<sub>br</sub></sub> (V)	I <sub>d</sub> (mA/mm)	V <sub>b</sub> (V)	$\eta$
Petit fossé	-0.6	4.5	5	600	0.45	1.6
Moyen fossé	-0.6	4.5	7	600	0.45	1.6
Large fossé	-0.6	4.5	8.5	600	0.45	1.6

Tableau III.1 : résultats statiques obtenus lors de l'opération 10174B.

La densité de courant obtenue de 600 mA/mm à une tension V<sub>gs</sub> de 0.4 V est conforme aux attentes d'une structure à simple plan de dopage. Par contre, la tension de pincement de -0.6 V est trop faible pour ce type de structure où une tension de pincement de -1.6 V serait plus normale. La cause serait une gravure partielle de la barrière lors du creusement du fossé de grille. Les tensions de claquage en inverse des diodes sont propices à un fonctionnement en puissance des composants puisqu'elles varient entre 5 V et 8.5 V pour les trois types de fossés de grille présents. La tension drain source maximale applicable au composant à canal ouvert est de l'ordre de 3 V, le transistor ne supportant pas des tensions supérieures. Toutefois, afin de limiter l'apparition précoce de courant de grille et d'améliorer l'allure des diodes en polarisation inverse, il s'est avéré nécessaire de présenter une barrière à la remontée des trous et au franchissement de la barrière Schottky par les électrons; ce sera l'objectif des réalisations technologiques suivantes.

### II.1.3. L'épitaxie 10289

L'objectif principal de cette réalisation est d'opposer une barrière à la remontée des trous et limiter ainsi le courant de grille. Plusieurs possibilités étaient offertes. L'une des méthodes possible est l'incorporation de phosphore dans la barrière. Cette solution a été étudiée par M.Zaknour dans notre équipe et fera l'objet d'une thèse à paraître [4]. Une autre solution consiste à incorporer plusieurs couches d'AlAs dans l'AlInAs [5]. Cette solution du super réseau sera étudiée dans le paragraphe relatif à l'opération 10290. La solution retenue pour l'opération 10289 est la croissance d'une barrière AlInAs dont le taux d'aluminium est de 65 % à proximité du canal et diminue graduellement à 0.48 % sous la grille. Le taux en aluminium plus élevé de la couche barrière permet d'augmenter d'environ 0.3 eV la hauteur de bande à l'interface du canal en GaInAs et de la barrière. Ceci doit permettre l'amélioration de la diode et, de ce fait ses caractéristiques en direct et en inverse [6]. La structure de la couche est présentée

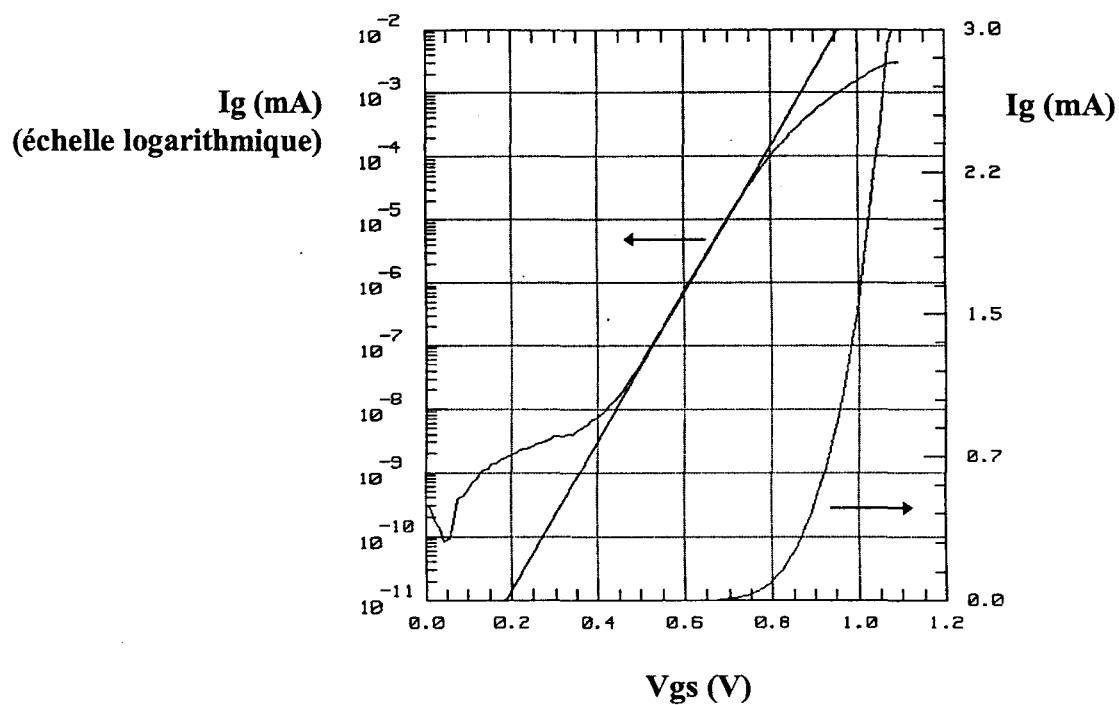


Figure III.8 : Caractéristique d'une diode Schottky en polarisation directe (relevé linéaire et logarithmique).  
(Composant 10289,  $2 \times 50 \mu\text{m}$ )

figure III.7. La couche tampon est cette fois en AlInAs dont la croissance a été effectuée à basse température (400 °C) [7]. Cette solution, pour la réalisation d'un buffer semi-isolant, a été préférée à la précédente (opération 10174B) compte tenu de la difficulté que représente l'ajustement de la quantité d'atomes de béryllium à incorporer dans le buffer pour réaliser la compensation des porteurs.

Cette opération visait l'amélioration des caractéristiques des diodes en direct et en inverse, en augmentant la hauteur de bande à l'interface entre le canal et la barrière. Nous présentons figure III.8 la caractéristique de la diode grille source en polarisation directe. Nous constatons une tension de mise en direct  $V_b$  d'environ 0.7 V ce qui montre que l'un des objectifs est atteint. Sur la figure III.9 est présentée la caractéristique de la diode grille drain en polarisation inverse. Nous pouvons constater une amélioration de l'allure de la caractéristique de la diode, la tension de coude étant beaucoup plus franche. Le courant de grille est quasiment nul pour des tensions appliquées inférieures à 4 V, ce qui n'était pas le cas auparavant. La tension de claquage en diode a également été améliorée valant environ 9 V. La figure III.9 comprend également la caractéristique  $V_{ds}$  fonction de  $V_{gs}$  relevée au pincement pour une valeur constante de courant de drain injectée au transistor de 1 mA/mm. Cette mesure permet de connaître la tension de claquage drain source du canal de manière non destructive [8] et s'avère particulièrement utile pour la caractérisation de transistors ayant tendance à osciller car le fonctionnement à canal pincé empêche toute velléité d'oscillation. La tension drain source est relevée au pic de  $V_{ds}$  qui, pour ce transistor, est proche de 8 V. Un résumé des résultats obtenus pour ces composants est présenté dans le tableau III.2.

10289	$V_p$ (V)	$V_{gs_{br}}$ (V)	$V_{gd_{br}}$ (V)	$I_d$ (mA/mm)	$V_b$ (V)	$\eta$
	-2.2	9	9	700	0.71	1.54

Tableau III.2 : Résultats statiques obtenus lors de l'opération 10289.

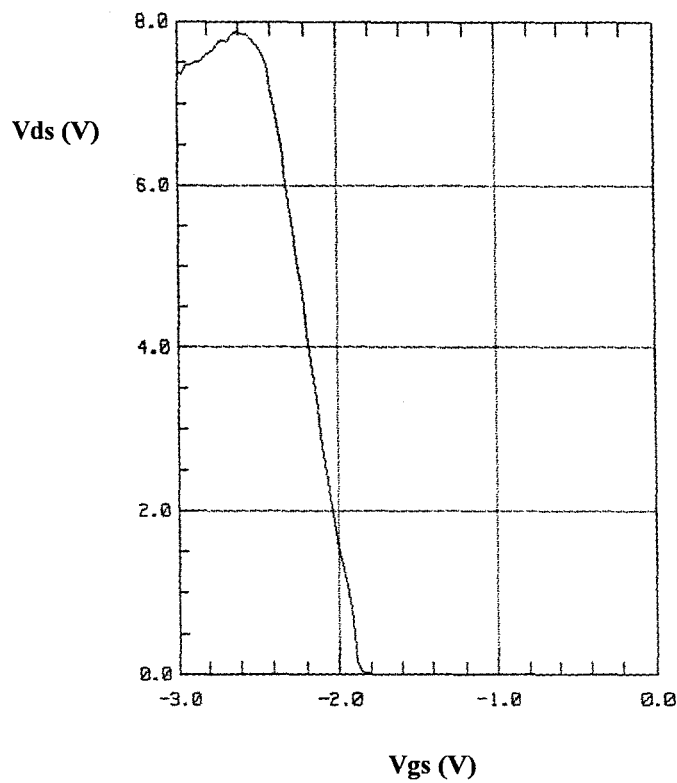
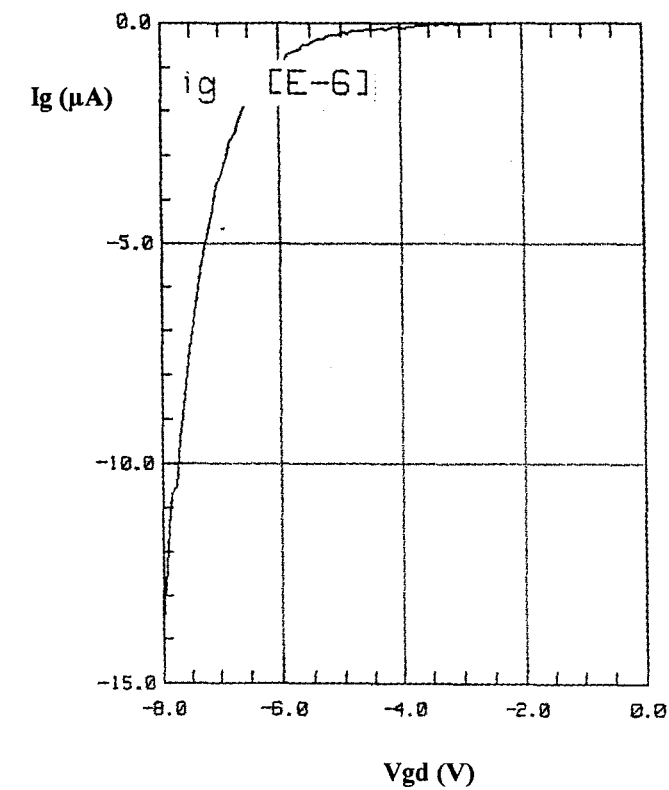


Figure III.9 : Evolution du courant de grille de la diode grille drain en polarisation inverse et caractéristique  $V_{ds}$  fonction de  $V_{gs}$  d'un composant 10289 de développement  $2 \times 50 \mu m$ .

Une densité de courant de 700 mA/mm a été obtenue, valeur légèrement supérieure à celle obtenue pour l'opération 10174B, ce qui s'explique par un meilleur confinement des électrons dans le canal en raison de la supériorité de la discontinuité de bande de conduction à l'interface canal barrière. La tension de pincement des composants a également augmenté (-2.2 V au lieu de -0.6 V), présentant ainsi un résultat beaucoup plus conforme à l'étude théorique (Schrödinger - Poisson). Les caractéristiques en direct et en inverse des diodes sont également améliorées, ce qui démontre que les structures à fort taux d'aluminium incorporé dans la barrière permettent une nette amélioration des caractéristiques statiques des transistors et répondent ainsi beaucoup mieux aux exigences des transistors dédiés à l'amplification de puissance.

#### II.1.4. L'opération 10290

La structure de la couche est présentée sur la figure III.10. L'unique différence avec l'opération précédente réside cette fois dans l'utilisation d'un super réseau composé de quatre couches successives d'AlInAs/AlAs de 20 Å et 30 Å respectivement dans la barrière. Ces épaisseurs ont été déterminées de manière à garder un taux d'aluminium moyen égal à 65 % compte tenu de la teneur en atomes d'aluminium de ces deux matériaux. L'AlInAs est adapté en maille sur le substrat d'InP alors que l'AlAs présente un important désaccord. Les résultats des mesures en régime statique sont présentés dans le tableau III.3.

10290	V <sub>p</sub> (V)	V <sub>gs<sub>br</sub></sub> (V)	V <sub>gd<sub>br</sub></sub> (V)	I <sub>d</sub> (mA/mm)	V <sub>b</sub> (V)	η
	-2	11	11	670	0.70	1.4

Tableau III.3 : Résultats statiques obtenus lors de l'opération 10290.

La densité de courant obtenue de 670 mA/mm pour ces composants est légèrement plus faible que celle obtenue pour l'opération 10289. Ceci est en cohérence

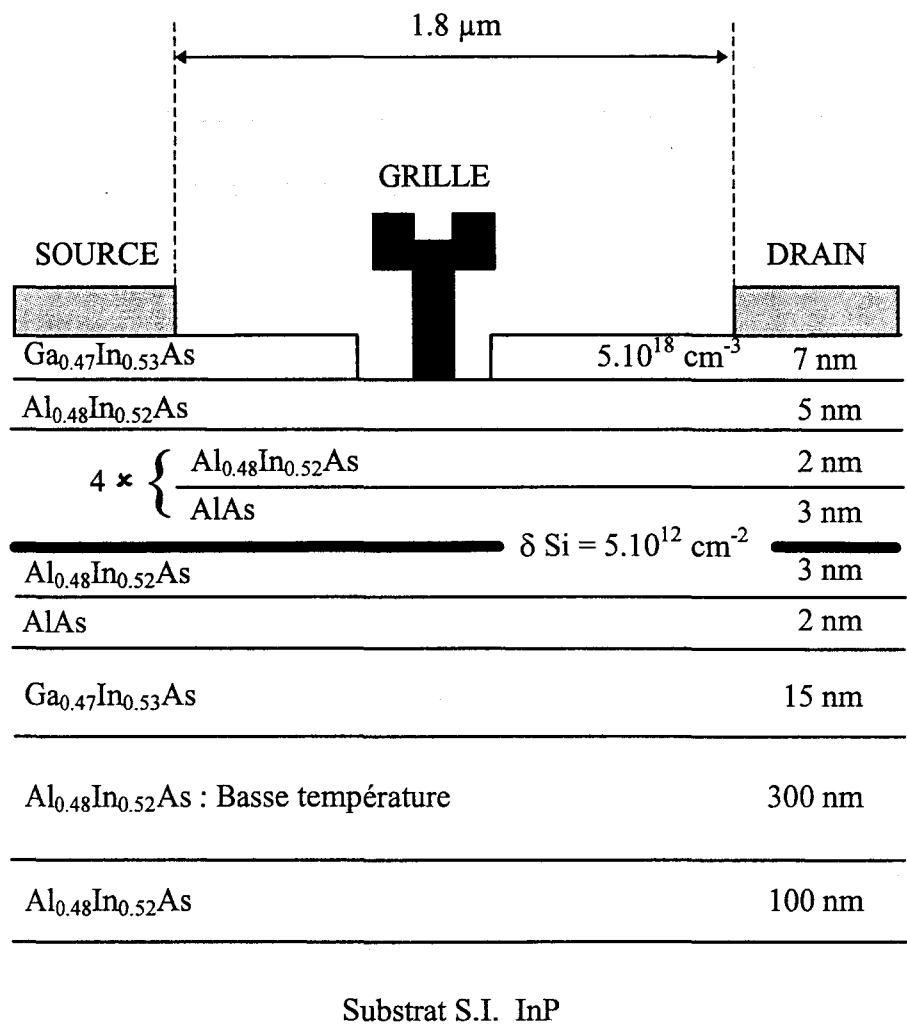


Figure III.10 : Représentation de l'épitaxie pour l'opération 10290.

avec à la valeur de la résistance carrée de la couche qui est légèrement plus importante. Les contraintes liées à la présence d'AlAs dans le réseau en sont probablement la raison [3] (mobilité dans le canal des porteurs moins bonne).

La figure III.11 présente d'une part la diode grille drain mesurée en polarisation inverse et d'autre part la caractéristique de claquage au pincement du transistor ( $V_{ds}$  fonction de  $V_{gs}$ ). La tension de claquage en diode a été améliorée puisqu'une valeur de 11 V est généralement rencontrée pour une grille centrée dans un petit fossé. La caractéristique montrant le claquage du canal au pincement nous permet de savoir que celui ci supporte des tensions de l'ordre de 10 V. Ces tensions de claquage importantes devraient être profitables pour un fonctionnement en puissance de ces composants. Malheureusement, il n'est pas possible d'appliquer en fonctionnement des tensions drain source très importantes à ces composants; comme ceux des séries précédentes ils ont tendance à "claquer" inopinément à canal ouvert pour des tensions drain source supérieures à 4 V typiquement. Ce claquage est attribué à une mise en oscillation du composant. D'après de nombreuses simulations physiques réalisées à l'IEMN, ces composants seraient le siège d'oscillations de type Gunn [9], phénomène attribué à la mobilité différentielle négative particulièrement importante du matériau GaInAs du canal, pour certaines valeurs du champ électrique. Théoriquement, la fréquence d'oscillations dépend principalement de la distance entre la grille et le drain. Comme dans ces structures le cap layer est considéré comme complètement déserté à cause du potentiel de surface, cette configuration est propice à la formation du domaine Gunn. On ne peut donc pas profiter de l'importante tenue en tension des diodes pour polariser le transistor à des tensions plus élevées, ce phénomène limitant la tension  $V_{ds}$  maximale applicable au composant.

### II.1.5. L'opération 10347

L'épitaxie 10347 a été réalisée afin de repousser les limites de tenue en tension en fonctionnement transistor. La structure de la couche est représentée sur la figure III.12. La principale modification par rapport aux épitaxies précédentes est que la barrière a 65 % de taux d'aluminium sur toute son épaisseur. Cette solution a été préférée à celle qui incorpore le super réseau AlInAs/AlAs car ses performances statiques sont approximativement identiques, mais ses performances hyperfréquences,



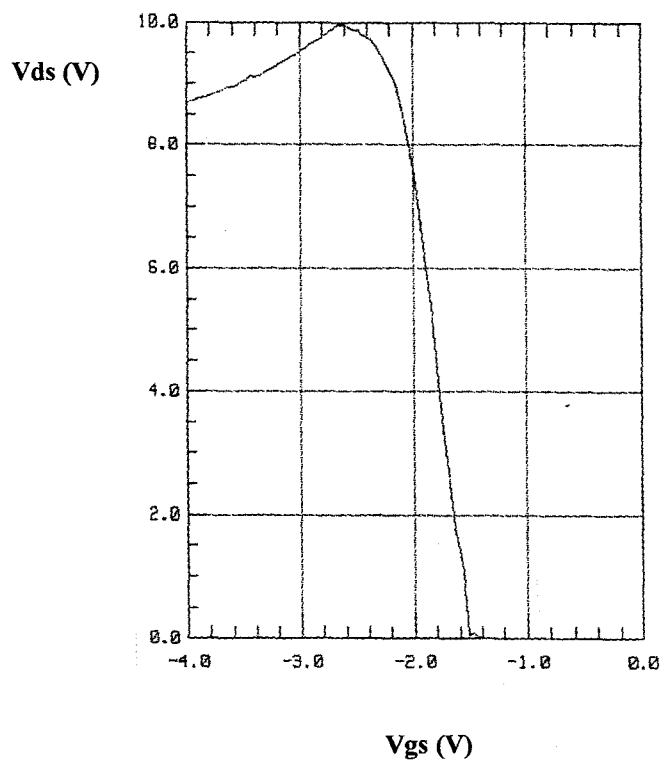
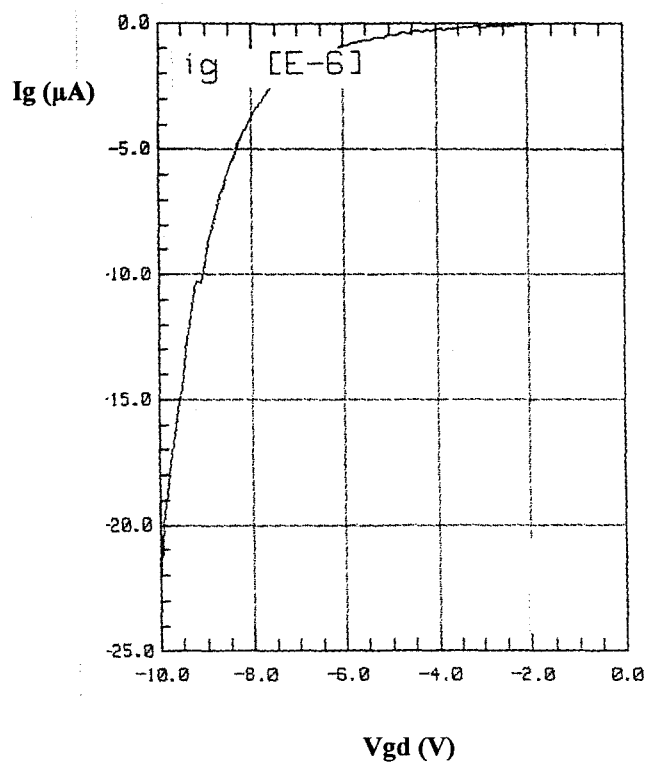


Figure III.11 : Evolution du courant de grille de la diode grille drain en polarisation inverse et caractéristique  $V_{ds}$  fonction de  $V_{gs}$  d'un composant 10290 de développement  $2 \times 50 \mu m$ .

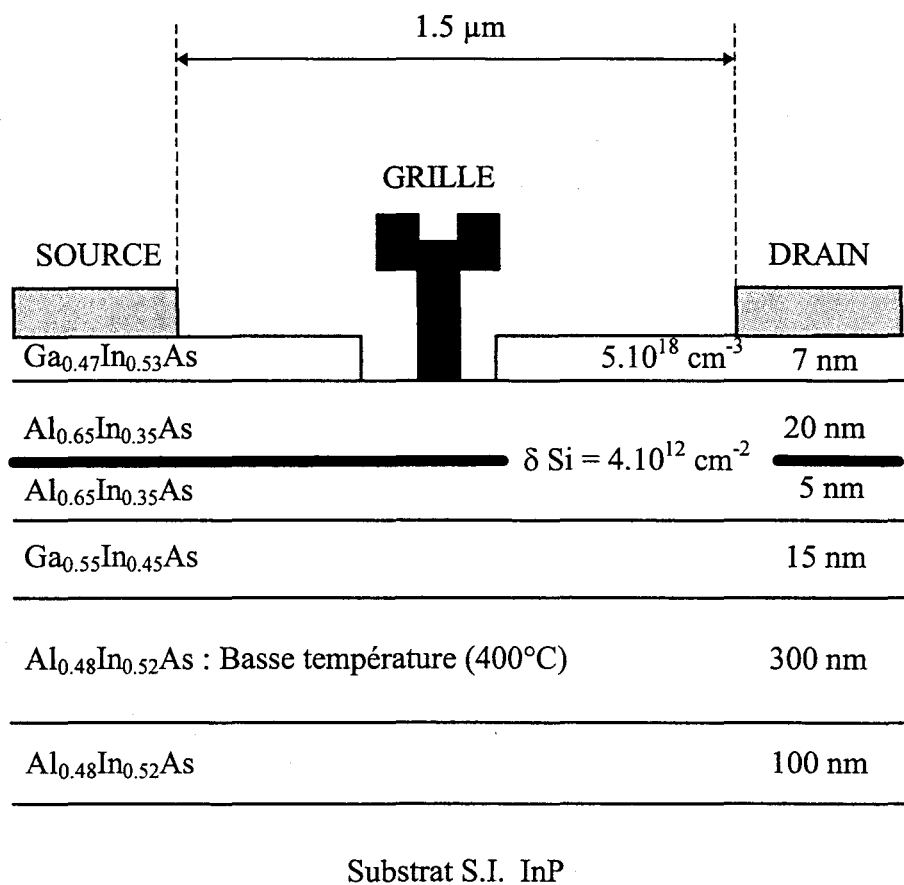


Figure III.12 : Représentation de l'épitaxie pour l'opération 10347.

que nous présenterons dans les parties suivantes de ce chapitre sont nettement meilleurs. Une seconde modification importante de la structure de la couche concerne le canal. Afin de réduire la dynamique des porteurs et ainsi tenter de limiter les oscillations, le taux d'indium dans le canal a été abaissé de 8 % passant ainsi de 53 % à 45 %. Cette structure est donc à canal et barrière pseudomorphiques.

Afin de réduire le temps de transit des porteurs sous la grille et donc implicitement augmenter les fréquences de coupure et les gains, l'espace entre le contact ohmique de source et de drain a été réduit à 1.5  $\mu\text{m}$ . Une grille de plus faible longueur a été réalisée pour tenter de compenser la perte de mobilité causée par la diminution du taux d'indium dans le canal. L'épaisseur de la barrière a donc été également abaissée de manière à respecter le rapport d'aspect entre son épaisseur et la longueur de grille.

Enfin, la quantité de dopant dans le plan a été réduite à  $4.10^{12} \text{ at.cm}^{-2}$ , afin de diminuer le champ électrique sous la grille et ainsi essayer d'augmenter la tension de claquage en fonctionnement transistor du composant [10]. Les caractéristiques statiques de ces composants sont résumées dans le tableau III.4 ci-dessous.

10347	Vp (V)	Vgs <sub>br</sub> (V)	Vgd <sub>br</sub> (V)	Id (mA/mm)	Vb (V)	$\eta$
	-2	12	12	720	0.75	1.65

Tableau III.4 : Résultats statiques obtenus lors de l'opération 10347.

La densité de courant obtenue pour ces transistors est de 720 mA/mm. Si l'on se réfère à l'opération 10289, où la structure de la couche assez semblable comportait un plan de dopage à  $5.10^{12} \text{ at.cm}^{-2}$ , au lieu de  $4.10^{12} \text{ at.cm}^{-2}$  pour celle-ci, la densité de courant obtenue pour ces deux séries est du même ordre de grandeur. Il n'y a donc pas d'intérêt majeur à réaliser un plan de dopage à  $5.10^{12} \text{ at.cm}^{-2}$ , la quantité d'électrons transférée dans le puits étant identique à celle avec un plan de dopage à  $4.10^{12} \text{ at.cm}^{-2}$ . Les tensions de claquage relevées en configuration diode sont encore plus importantes puisque de l'ordre de 12 V, à la fois du côté grille source et du côté grille drain, avec toujours un coude abrupte, conséquence de l'utilisation de la barrière à 65 % de taux d'aluminium.

La valeur de la tension de pincement de -2 V est importante comparée à celle relevée pour l'opération 10289 (-1.6 V) compte tenu de l'épaisseur de barrière plus fine et de la valeur du plan de dopage moins élevée. Les aléas de la technologie faisant partie de la réalisation, ils ne permettent pas toujours de trouver une justification rigoureuse des phénomènes constatés.

Nous présentons, sur la figure III.13, l'évolution du courant de grille dans le composant en fonctionnement transistor à canal ouvert. Nous pouvons constater que le courant d'ionisation entre en croissance rapide pour une tension appliquée au composant de 2 V ; ce qui permet d'envisager une tension  $V_{ds}$  maximale de l'ordre de 3 V. La réduction de la proportion d'indium dans la canal n'a donc pas donné l'effet escompté en terme d'amélioration significative de la tension drain source de claquage; ceci laisse penser que l'origine de sa limitation est ailleurs que dans la dynamique des matériaux. Une structure présentant un cap layer plus épais est en cours de réalisation pour tenter de trouver l'origine de ce phénomène [11].

#### II.1.6. L'opération 10315

Les objectifs visés pour cette structure sont d'obtenir une bonne fréquence de coupure du gain en courant de court circuit grâce à une excellente mobilité de part le taux d'indium important dans le canal, ainsi qu'une densité de courant supérieure aux autres structures par l'adjonction d'un second plan de dopage. Cette épitaxie est la dernière étudiée dans le but de définir une structure optimale pour un fonctionnement en puissance sur le substrat de phosphure d'indium. Sa structure est présentée sur la figure III.14. L'épaisseur de la barrière est passée de 25 nm à 20 nm, le taux d'aluminium restant constant à 65%. Le canal GaInAs est toujours pseudomorphique mais en compression cette fois puisque son taux d'indium vaut 65 % (la structure étant adaptée en maille pour un taux de 53 % avec  $Al_{0.48}In_{0.52}As$ ). Deux plans de dopage ont été insérés de part et d'autre du canal avec des taux de  $4.10^{12} \text{ at.cm}^{-2}$  à l'avant et  $2.10^{12} \text{ at.cm}^{-2}$  à l'arrière. La longueur de grille réalisée est de 0.25  $\mu\text{m}$ . Une densité de puissance importante pourra ainsi être envisagée à très hautes fréquences en privilégiant le courant tout en opérant à des tensions  $V_{ds}$  modérées.

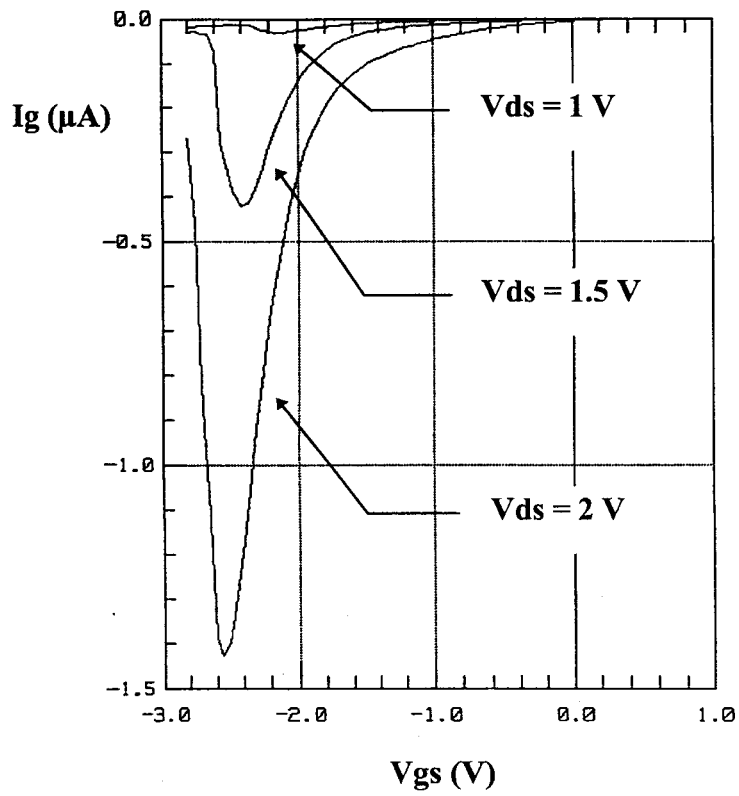


Figure III.13 : Evolution typique du courant de grille en fonctionnement transistor.  
(Composant 10347,  $2 \times 50 \mu\text{m}$ )

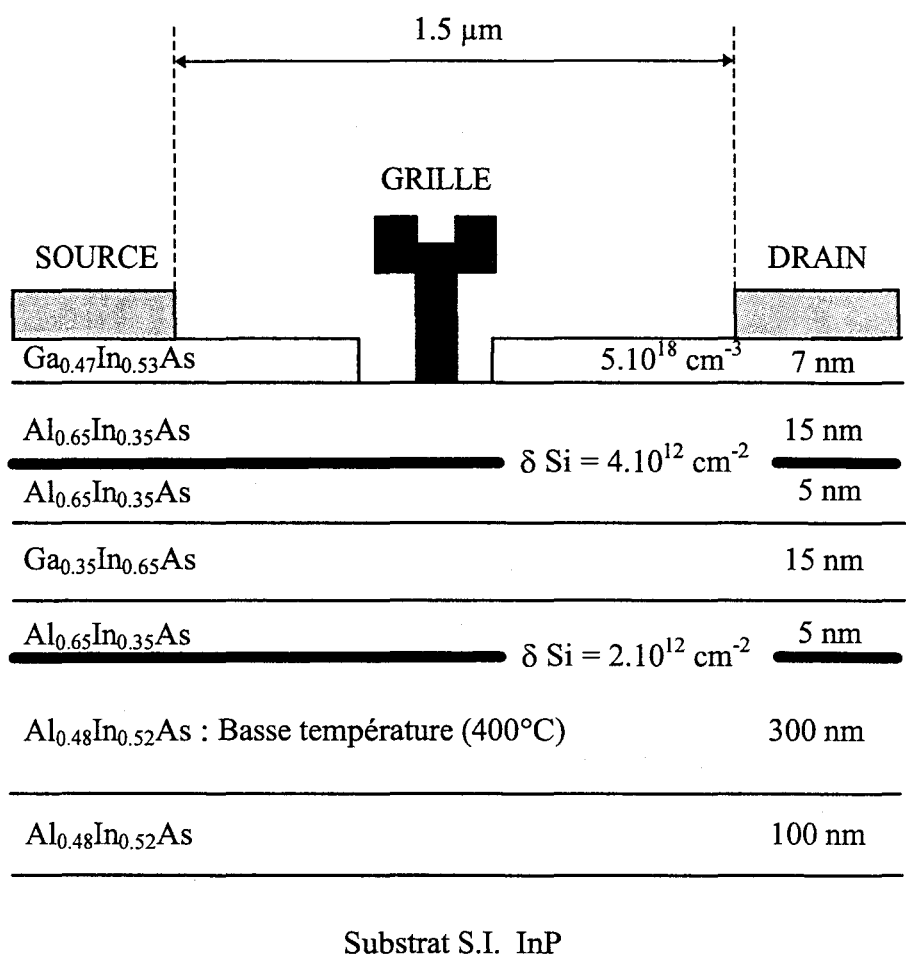


Figure III.14 : Représentation de l'épitaxie pour l'opération 10315.

Les caractéristiques statiques mesurées sur les composants sont présentées dans le tableau III.5.

10315	V <sub>p</sub> (V)	V <sub>gs<sub>br</sub></sub> (V)	V <sub>gd<sub>br</sub></sub> (V)	I <sub>d</sub> (mA/mm)	V <sub>b</sub> (V)	η
	-2.3	5	5	1450	0.65	1.6

Tableau III.5 : Résultats statiques obtenus lors de l’opération 10315.

Une densité de courant extrêmement importante de 1450 mA/mm, jamais atteinte auparavant avec ce type de structure, a été obtenue [12]. Les tensions de claquage inverse en configuration diode sont cependant relativement faibles comparées à celles des épitaxies précédentes. La forte charge présente sous la grille avec l’épaisseur de barrière plus fine peut probablement expliquer cette diminution.

La présence d’un courant d’ionisation dans le canal beaucoup plus important (de l’ordre de -15  $\mu$ A à V<sub>ds</sub> = 1 V) a été remarqué, conséquence directe du taux élevé d’indium présent dans le canal. La tension de pincement de -2.3 V est correcte pour une structure à double plan. Les tensions V<sub>ds</sub> maximales applicables à ces composants étaient de l’ordre de 2 V pour une polarisation du transistor en classe A.

Nous avons, dans cette première partie, présenté les épitaxies réalisées à l’IEMN dans le cadre de la convention DRET 94160 relative aux potentialités des transistors de la filière GaInAs pour l’application de puissance. Les résultats obtenus en statique ont été présentés en essayant de montrer l’influence des choix technologiques sur les performances en régime statique des composants. La partie suivante sera consacrée aux performances d’amplification en régime petit signal de ces composants.

**II.2. Caractérisation hyperfréquence petit signal**

La caractérisation statique offre les premières informations sur les performances potentielles des transistors une fois leur réalisation achevée. Des mesures plus

complètes, telle que la connaissance de l'évolution du courant grille en fonctionnement transistor, permettent de discerner les bonnes ou mauvaises dispositions des composants à un fonctionnement en puissance. Toutefois, ces mesures ne peuvent, à ce stade, n'apporter qu'une prévision quant aux performances d'amplification de puissance en hyperfréquence de ces composants. C'est pourquoi, des mesures en fonction de la fréquence en régime petit signal sont la suite logique et nécessaire dans les étapes de leur caractérisation. Elles démontreront l'aptitude des transistors à l'amplification, avant la caractérisation en régime grand signal.

Ces caractérisations hyperfréquences ont été réalisées au moyen de deux analyseurs de réseau HP85107 permettant de couvrir les bandes de fréquences comprises entre 500 MHz et 50 GHz pour le premier et 50 GHz et 75 GHz pour le second. Ces mesures ont été réalisées sous pointes avec une méthode de calibrage TRM (Thru, Reflect, Match). Les éléments de calibrage, ainsi que les transistors mesurés, sont en guide de propagation coplanaire; le plan de référence de la mesure se situant dans le plan des sondes.

### **II.2.1. Schéma équivalent petit signal des transistors**

Les mesures des paramètres S sont effectuées sur une large bande de fréquences, classiquement comprise entre 500 MHz et 50 GHz, en régime d'amplification petit signal. Dans un second temps, si les performances s'avèrent suffisantes, d'autres mesures complémentaires seront effectuées, couvrant la bande de fréquences supérieure 50 GHz-75 GHz. A partir de ces données, il sera possible de déterminer les valeurs des différents gains et fréquences de coupure définies au chapitre I, mais également de déterminer le schéma équivalent petit signal localisé du transistor. A partir de celui-ci, il sera non seulement possible de prédire le comportement du transistor, chaque élément présent dans le modèle utilisé étant lié à un effet physique, mais aussi de guider les choix technologiques en vue d'améliorer les performances. Le schéma équivalent localisé petit signal que nous avons utilisé est présenté à la figure III.15.

#### **II.2.1.1. Principe de sa détermination**

Le schéma équivalent du transistor est composé d'éléments intrinsèques et extrinsèques. Les éléments intrinsèques traduisent le comportement de la zone active du



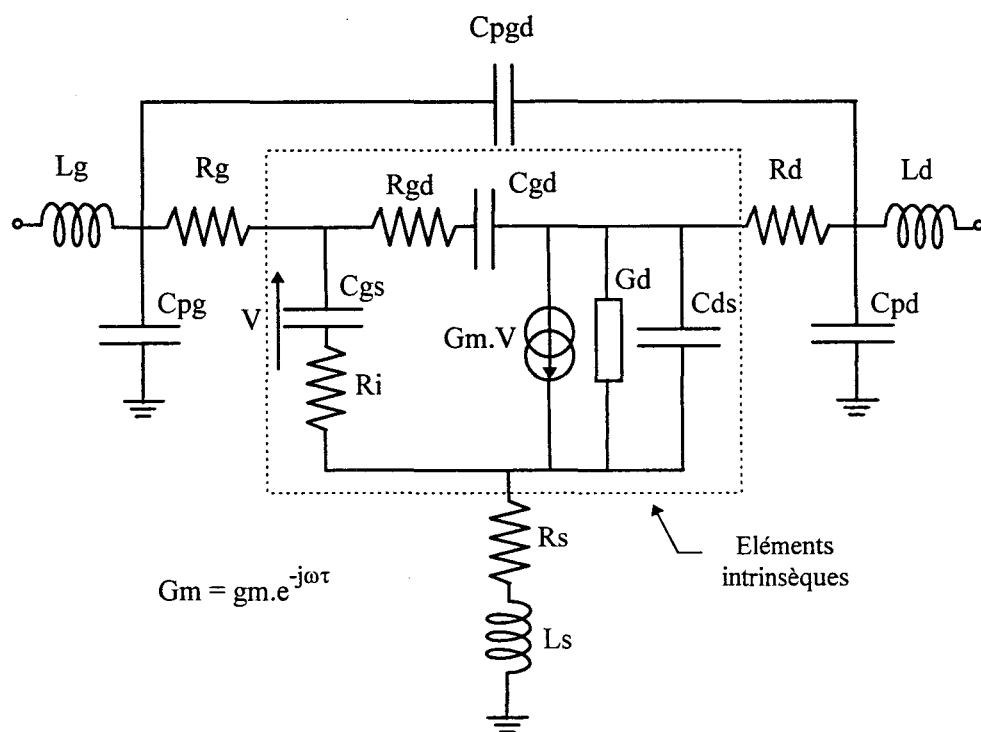


Figure III.15 : Schéma équivalent petit signal localisé du transistor à effet de champ.

composant; leurs valeurs dépendent du point de polarisation. Les éléments extrinsèques représentent les éléments d'accès ou éléments parasites; leurs valeurs sont, quant à elles, supposées indépendantes du point de polarisation du transistor. La méthode d'extraction du schéma équivalent est une méthode analytique [13], couramment utilisée au laboratoire.

#### *II.2.1.1.1. Les éléments extrinsèques*

La détermination des éléments extrinsèques s'effectue en deux étapes, suivant deux types de polarisation du transistor. On détermine tout d'abord les éléments parasites capacitifs en polarisant le transistor à  $V_{ds} = 0$  V et à une tension  $V_{gs}$  inférieure à la tension de pincement. Puis, le transistor est polarisé à  $V_{ds} = 0$  V et à une tension  $V_{gs}$  proche de la tension de mise en direct de la grille pour déterminer les valeurs des résistances et des inductances d'accès.

##### *a) Les éléments capacitifs*

Deux types de capacités sont considérés dans cette méthode de détermination : ce sont les capacités relatives aux plots de métallisation de grille  $C_{pg}$  et de drain  $C_{pd}$  ainsi que les capacités de bord  $C_b$  dues à l'extension latérale de la zone désertée supposée identique de chaque côté de la grille. Notons qu'avec cette méthode de détermination, la capacité  $C_{pgd}$  représentant la capacité électrostatique entre les électrodes de grille et de drain, ne peut pas être déterminée et est alors supposée nulle. Sa détermination nécessite la présence de structures particulières que nous détaillerons dans la suite de ce chapitre lors de la présentation du nouveau jeu de masque MAGIC.

En polarisant le transistor en deçà du pincement et à  $V_{ds} = 0$  V, la zone active sous la grille est complètement désertée et l'on peut négliger l'effet des inductances jusque quelques gigahertz [14]. On en déduit alors la matrice admittance du quadripôle présentée en figure III.16 dont les parties imaginaires sont :

$$\text{Im}(Y_{11}) = \omega (C_{pg} + 2C_b)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = - \omega C_b$$

$$\text{Im}(Y_{22}) = \omega (C_{pd} + C_b + C_{ds})$$

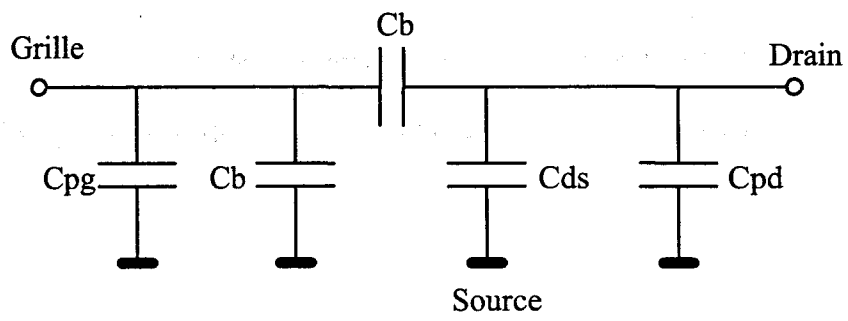


Figure III.16 : Configuration du transistor à canal pincé et  $V_{ds} = 0$  V.

On détermine alors, à partir de ces trois équations, les valeurs de la capacité  $C_{pg}$  et la somme des capacités  $C_{pd}$  et  $C_{ds}$ . Mais il est à ce stade impossible d'extraire la valeur de la capacité  $C_{pd}$  de la somme  $C_{pd} + C_{ds}$  [15]. Une solution consiste à déterminer la valeur de la capacité  $C_{pd} + C_{ds}$  pour plusieurs transistors composés de doigts de grille de différents développements. La valeur de la capacité  $C_{ds}$  étant proportionnelle à la largeur totale de grille, l'évolution de la capacité  $C_{pd} + C_{ds}$ , tracée en fonction de la largeur totale de grille, est linéaire. L'extrapolation de cette courbe à une largeur nulle permet d'extraire la valeur associée à la capacité de plot  $C_{pd}$ . Il faut cependant disposer de plusieurs transistors de développements différents sur le même masque, ce qui n'est pas toujours le cas. La seconde solution, si le layout du transistor est symétrique, consiste à considérer que la valeur de la capacité de plot  $C_{pg}$  est égale à celle de la capacité  $C_{pd}$ .

b) *Les inductances et les résistances d'accès.*

Pour déterminer les éléments parasites "série", on applique au transistor les tensions  $V_{ds} = 0$  V et  $V_{gs} > V_b$  (où  $V_b$  est la tension de mise en direct de la diode) de façon à injecter un courant direct dans la grille ( $1\text{mA}$  / surface de grille de  $5\text{ }\mu\text{m}^2$ ). Dans cette configuration, la résistance dynamique de la jonction Schottky court-circuite la capacité de grille. De ce fait, les éléments inductifs deviennent prépondérants devant les éléments capacitifs pour des fréquences allant jusque quelques gigahertz [16]. La matrice impédance du quadripôle s'écrit alors :

$$Z_{11} = R_s + R_g + \frac{R_0}{3} + \frac{\eta kT}{q I_g} + j\omega (L_s + L_g)$$

$$Z_{12} = Z_{21} = R_s + \frac{R_0}{2} + j\omega L_s$$

$$Z_{22} = R_d + R_s + R_0 + j\omega (L_s + L_d)$$

De la partie imaginaire de la matrice impédance, on déduit les inductances d'accès de source  $L_s$ , de drain  $L_d$  et de grille  $L_g$ . En traçant la partie réelle de  $Z_{11}$  en fonction de  $\frac{1}{I_g}$ , on obtient par extrapolation la somme  $R_s + R_g + \frac{R_0}{3}$ . Cependant, pour

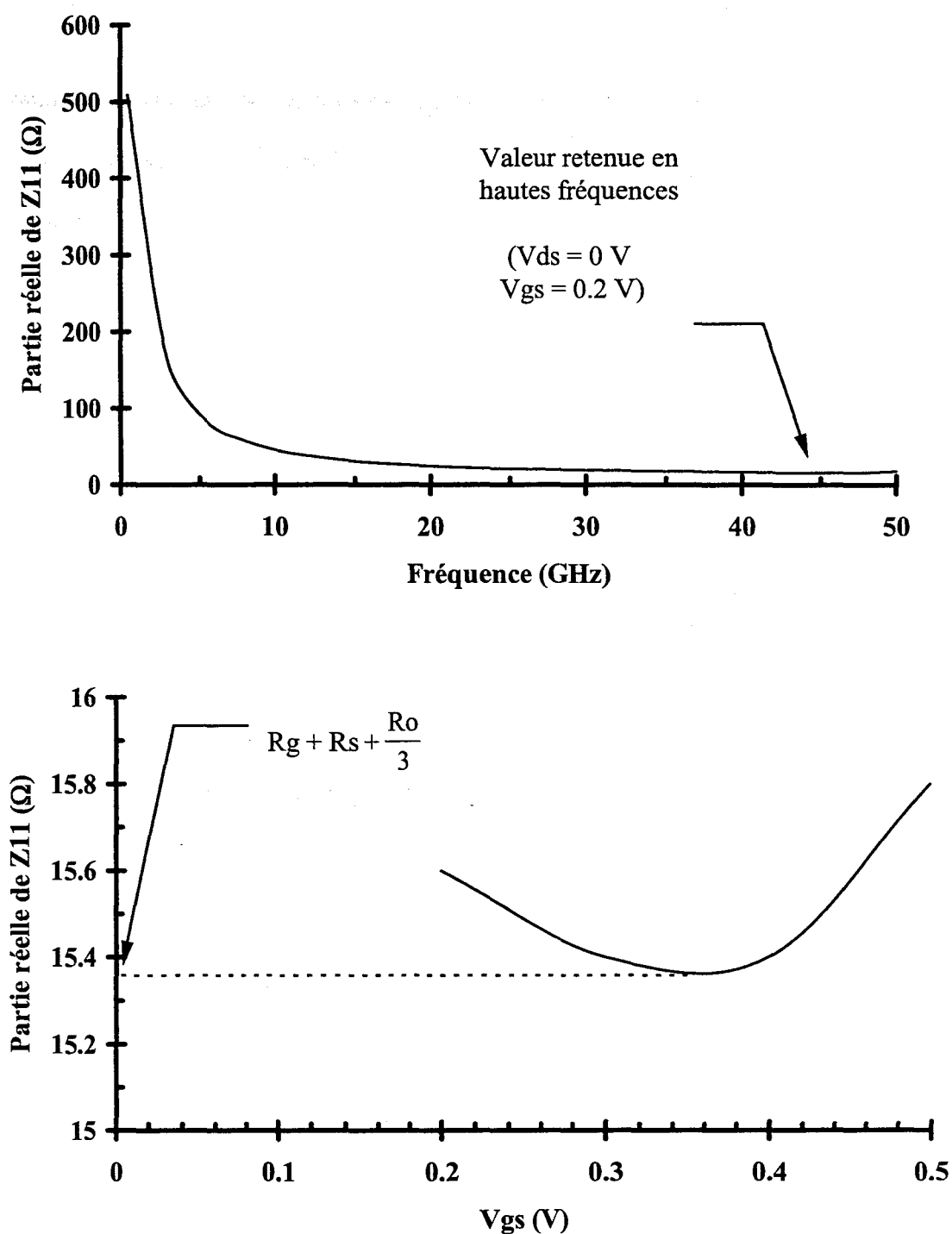


Figure III.17 : Evolutions de la partie réelle de  $Z_{11}$  en fonction de la fréquence et de la tension  $V_{gs}$  nécessaires à la détermination de la résistance de grille  $R_g$ .

la détermination des résistances de source  $R_s$ , de grille  $R_g$ , de drain  $R_d$  et de canal  $R_o$ , nous ne disposons que de trois équations pour quatre inconnues. Une quatrième équation s'avère alors nécessaire. Celle-ci peut provenir, soit d'une mesure effectuée en statique, soit d'une mesure de la résistance carrée du canal par effet Hall.  $R_o$  est classiquement prise à  $0.1 \Omega \cdot \text{mm}$  pour un composant ayant un canal GaInAs. Cette méthode a longtemps été utilisée au laboratoire ; toutefois, elle s'est avérée être inefficace pour les composants de faible développement et de faible longueur de grille. En effet, pour ces composants, il est difficile d'injecter des densités de courant importantes dans la grille sans les détériorer [17]. La principale conséquence de cette limitation est une importante incertitude sur la détermination des deux éléments  $R_g$  et  $L_g$  puisque l'effet de la capacité sous la grille ne pouvait plus être négligé.

La détermination de la résistance de grille  $R_g$  a été modifiée par G.Dambrine au laboratoire ; la méthodologie est la suivante [18]. Le transistor est polarisé à  $V_{ds} = 0 \text{ V}$  et à une tension  $V_{gs1}$  telle que  $0 < V_{gs1} < V_b$ . Le tracé de l'évolution de la partie réelle  $Z_{11}$  en fonction de la fréquence permet d'obtenir une première valeur de la partie réelle de  $Z_{11}$  déterminée en haute fréquence compte tenue de l'allure asymptotique de la courbe (figure III.17). Le transistor est ensuite polarisé à une autre tension  $V_{gs2}$  telle que  $0 < V_{gs1} < V_{gs2} < V_b$  afin de relever une nouvelle valeur de la partie réelle de  $Z_{11}$ . On procède ensuite selon cette méthodologie jusqu'à avoir suffisamment de points pour tracer l'évolution des parties réelles de  $Z_{11}$  relevées en haute fréquence en fonction de la tension appliquée  $V_{gs}$ . Cette caractéristique passe par un minimum dont l'ordonnée correspond à la valeur du terme  $R_g + R_s + \frac{R_o}{3}$  (figure III.17) ; les valeurs de  $R_o$  et  $R_s$  étant connues, on détermine ainsi la valeur de  $R_g$ .

Pour connaître la valeur correspondante à l'inductance de grille  $L_g$ , la méthode la plus employée au laboratoire consiste en une optimisation manuelle par approches successives. Si les longueurs des accès de grille et de drain sont identiques, ce qui est le cas le plus souvent pour les topologies des composants réalisés au laboratoire, la valeur de l'inductance de grille est prise identique à la valeur de celle de drain. Le schéma équivalent du transistor est alors calculé afin de vérifier la non dépendance en fréquence des valeurs prises par la transconductance  $g_m$ . Si cet élément présente une évolution

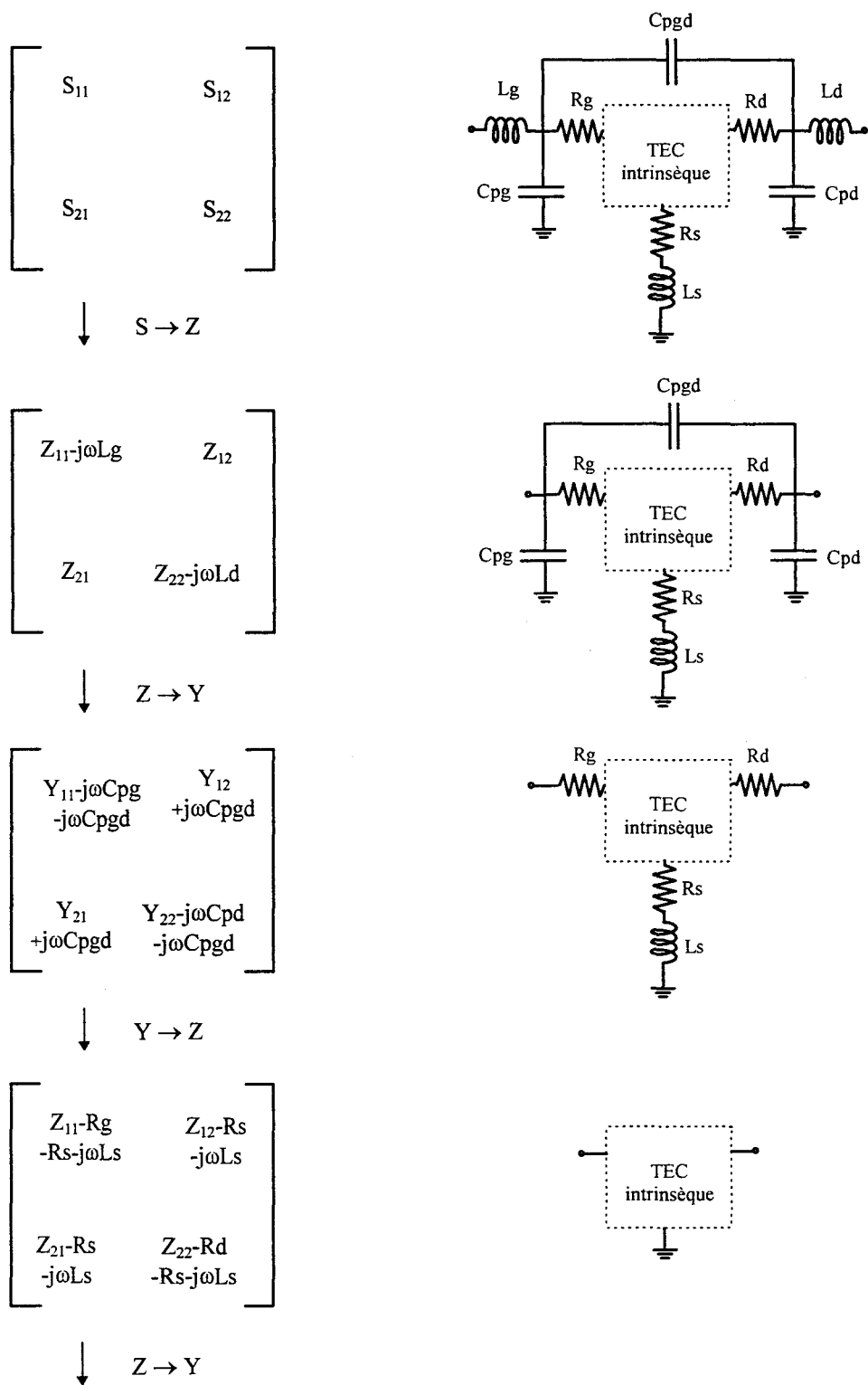


Figure III.18 : Procédure d'extraction du schéma équivalent petit signal à partir des paramètres  $S_{ij}$ .

trop importante en fonction de la fréquence, la valeur de l'inductance de grille est modifiée de manière à minimiser cette dépendance.

Un savoir faire dans le domaine de la détermination des éléments d'accès a été acquis dans l'équipe ce qui facilite d'autant plus leur extraction et permet d'envisager de l'améliorer grâce à la création d'un nouveau jeu de masque de transistors [19] [20]. Une fois la détermination de tous les éléments extrinsèques effectuée, il est possible de déterminer les valeurs des éléments intrinsèques du transistor.

#### II.2.1.1.2. Les éléments intrinsèques

Les valeurs des éléments intrinsèques du transistor sont déterminées à partir de la matrice  $S_{ij}$  du transistor mesurée au point de polarisation choisi. On peut alors remonter à la matrice  $Y_{ij}$  de la zone active par transformations matricielles successives en soustrayant les valeurs des éléments extrinsèques (figure III.18). Les expressions de cette matrice, en fonction des éléments intrinsèques du schéma équivalent, sont données ci-dessous :

$$Y_{11} = \frac{\omega^2 R_i C_{gs}^2}{D_1} + \frac{\omega^2 R_{gd} C_{gd}^2}{D_2} + j\omega \left( \frac{C_{gs}}{D_1} + \frac{C_{gd}}{D_2} \right)$$

$$Y_{12} = -\frac{\omega^2 R_{gd} C_{gd}^2}{D_2} - j\omega \left( \frac{C_{gd}}{D_2} \right)$$

$$Y_{21} = \frac{g_m e^{-j\omega\tau}}{1 + j\omega R_i C_{gs}} - j\omega \left( \frac{C_{gd}}{1 + j\omega R_{gd} C_{gd}} \right)$$

$$Y_{22} = \frac{G_d + \omega^2 R_{gd} C_{gd}^2}{D_2} + j\omega \left( C_{ds} + \frac{C_{gd}}{D_2} \right)$$

$$\text{avec } D_1 = 1 + \omega^2 R_i^2 C_{gs}^2$$

$$\text{et } D_2 = 1 + \omega^2 R_{gd}^2 C_{gd}^2$$



On peut alors exprimer les huit éléments du schéma équivalent en fonction des paramètres  $Y_{ij}$  :

$$C_{gd} = -\frac{\text{Im}(Y_{12})}{\omega} \left( 1 + \left( \frac{\text{Re}(Y_{12})}{\text{Im}(Y_{12})} \right)^2 \right)$$

$$R_{gd} = \frac{\text{Re}(Y_{12})}{\omega \cdot C_{gd} \cdot \text{Im}(Y_{12})}$$

$$C_{gs} = \frac{[\text{Im}(Y_{11}) + \text{Im}(Y_{12})]}{\omega} \left( 1 + \left[ \frac{\text{Re}(Y_{11}) + \text{Re}(Y_{12})}{\text{Im}(Y_{11}) + \text{Im}(Y_{12})} \right]^2 \right)$$

$$R_i = \frac{\text{Re}(Y_{11}) + \text{Re}(Y_{12})}{\omega \cdot C_{gs} \cdot [\text{Im}(Y_{11}) + \text{Im}(Y_{12})]}$$

$$g_m = \sqrt{[\text{Re}(Y_{21}) - \text{Re}(Y_{12})]^2 + [\text{Im}(Y_{21}) - \text{Im}(Y_{12})]^2} \cdot D_1$$

$$\tau = \frac{1}{\omega} \arcsin \left( \frac{\text{Im}(Y_{12}) - \text{Im}(Y_{21}) - \omega \cdot C_{gs} \cdot R_i \cdot [\text{Re}(Y_{21}) - \text{Re}(Y_{12})]}{g_m} \right)$$

$$C_{ds} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega}$$

$$G_d = \text{Re}(Y_{22}) + \text{Re}(Y_{12})$$

Tous ces éléments doivent être indépendants de la fréquence pour que le schéma équivalent électrique puisse être considéré comme physique et valable. Cependant, cette condition est de plus en plus difficile à réaliser au fur et à mesure que la fréquence augmente. Pour des applications très hautes fréquences ( $> 40$  GHz), il est souvent

nécessaire de réduire les dimensions intrinsèques du composant pour obtenir de meilleures performances hyperfréquences. Dans ces conditions, l'ordre de grandeur des éléments extrinsèques devient similaire à celui des éléments intrinsèques. L'influence des paramètres extrinsèques sur le schéma équivalent du transistor, en très hautes fréquences, est alors renforcée et la détermination correcte des éléments d'accès devient un point clé dans l'élaboration du schéma équivalent du transistor.

#### II.2.1.2. : Introduction d'un critère quantitatif de comparaison : la variance

L'influence des éléments d'accès ou parasites des transistors sur les éléments intrinsèques est renforcée aux fréquences millimétriques. Les mesures de ces éléments ne sont alors plus suffisantes pour élaborer un schéma équivalent de transistor valable jusqu'à ces fréquences. La précision avec laquelle s'effectue la détermination des valeurs de ces éléments d'accès n'est plus suffisante pour garantir une non dépendance en fréquence de tous les éléments intrinsèques jusqu'à 50 GHz, bande de mesure couverte par l'analyseur de réseau vectoriel. Dans ces conditions, il est nécessaire de modifier manuellement les valeurs des éléments extrinsèques de manière à modifier l'évolution fréquentielle des éléments internes du schéma équivalent et tenter de rendre leur évolution la moins dépendante possible de la fréquence, gage de validité physique du schéma équivalent.

Pour quantifier la dépendance en fréquence des éléments intrinsèques du schéma équivalent, nous avons introduit un critère quantitatif. La détermination des éléments extrinsèques du schéma basée sur la dépendance en fréquence des éléments intrinsèques ne sera plus uniquement qualitative et visuelle. La variance, qui représente l'écart d'une population de valeurs par rapport à leur valeur moyenne, a été choisie comme critère quantitatif. Sa définition est rappelée ci-dessous :

$$\text{variance } \sigma = \frac{1}{N} \sum_{i=1}^{N-1} |x_i - \overline{x}|^2 \text{ ou :}$$

$x_i$  représente la valeur au point  $i$  ;

$\overline{x}$  la valeur moyenne de la population de valeurs  $x$  ;

$N$  le nombre de points de mesures.

### II.2.1.3. Influence des paramètres extrinsèques sur les paramètres intrinsèques du schéma équivalent

Si l'on suppose que le schéma équivalent électrique présenté auparavant reste valide et physique dans toute la bande de fréquences étudiée (jusque 60 GHz), il est nécessaire que les éléments intrinsèques soient indépendants de la fréquence dans toute cette bande. Toutefois, ce n'est bien souvent pas satisfaisant avec la méthode d'extraction des éléments d'accès présentée au paragraphe III.2.1.1. Dans ces conditions, bon nombre d'auteurs utilisent des algorithmes d'optimisation : certains pour modifier les éléments d'accès afin d'obtenir des paramètres intrinsèques indépendants de la fréquence [21], d'autres pour optimiser tous les éléments du schéma en ayant pour objectif d'obtenir un bon accord entre les paramètres  $S_{ij}$  mesurés et ceux calculés à partir du schéma [22] [23]. Enfin, d'autres auteurs présentent également des schémas équivalents dont les éléments internes dépendent de la fréquence par l'intermédiaire de fonctions et de coefficients optimisés [17]. L'inconvénient majeur de ce type de méthode est de ne préserver qu'une très lointaine signification physique aux divers éléments du schéma équivalent, base de son fondement au sein du laboratoire. En effet, dans bien des articles, les mesures des éléments d'accès ne sont plus nécessaires, un procédé itératif optimisant tous ces éléments. Pourtant, le recours à ce type de logiciel d'optimisation peut être évité puisqu'il est possible de garder une approche plus physique pour obtenir une non dépendance en fréquence des éléments intrinsèques. En effet, certains éléments extrinsèques sont plus importants que d'autres car ils modifient la linéarité des éléments intrinsèques alors que d'autres ne font que traduire leurs valeurs.

Pour étudier l'influence respective de chaque élément extrinsèque sur les éléments intrinsèques du schéma équivalent, nous avons utilisé un transistor HEMT sur substrat InP de la série 10174B de développement  $2 \times 50 \times 0.25 \mu\text{m}^2$ . Les valeurs des paramètres extrinsèques ont été augmentées de 50 % une à une et nous avons évalué la variation obtenue sur les éléments internes. L'augmentation arbitraire de 50 % effectuée sur les valeurs des éléments extrinsèques est souvent supérieure à l'incertitude de la mesure mais permettra de dégager des tendances de comportement. Pour quantifier cette variation, nous avons calculé la valeur moyenne de chaque élément ainsi que sa variance

sur une même bande de fréquences. Le rôle de la variance sera de quantifier la dépendance en fréquence et celui de la valeur moyenne la translation de leur courbe. Les bandes de fréquences retenues pour déterminer chaque élément sont présentées dans le tableau III.6.

gm	Gd	Cgs	Cgd	Ri	Rgd	Cds	Tau
10-45 (GHz)	10-45 (GHz)	10-45 (GHz)	10-45 (GHz)	20-45 (GHz)	20-45 (GHz)	20-45 (GHz)	20-45 (GHz)

Tableau III.6 : Bandes de fréquences retenues pour la détermination des éléments internes du schéma équivalent.

Les mesures réalisées permettaient de couvrir la bande de fréquences 0.5 GHz-50 GHz. Néanmoins, la détermination des valeurs des éléments intrinsèques du schéma équivalent doit être effectuée sur une bande de fréquences plus restreinte. En effet, pour les fréquences basses de la bande d'analyse, des évolutions asymptotiques des éléments du schéma équivalent sont souvent rencontrées (figure III.19).

Les évolutions proviennent des expressions décrivant les allures de ces éléments en fonction des paramètres admittance  $Y_{ij}$  (paragraphe II.2.1.1.2). En effet, ces expressions font intervenir des rapports de faibles quantités qui engendrent à ces fréquences des évolutions asymptotiques. Pour la bande de fréquence supérieure, nous avons fixé la limite supérieure de la fréquence à 45 GHz afin de ne pas prendre en compte les fluctuations engendrées par la fréquence de coupure du câble reliant l'analyseur de réseau aux sondes de mesures à 48 GHz.

Les valeurs attribuées aux éléments extrinsèques du schéma équivalent ainsi que les valeurs des éléments intrinsèques obtenues avec leur variance sont présentées tableau III.7 :

Eléments extrinsèques :

Eléments	$R_s(\Omega)$	$R_g(\Omega)$	$R_d(\Omega)$	$l_s(\text{pH})$	$l_g(\text{pH})$	$l_d(\text{pH})$	$C_{pg}(\text{fF})$	$C_{pd}(\text{fF})$	$C_{pgd}(\text{fF})$
Valeurs	3.0	2.0	3.4	10	54	50	16	16	4.0

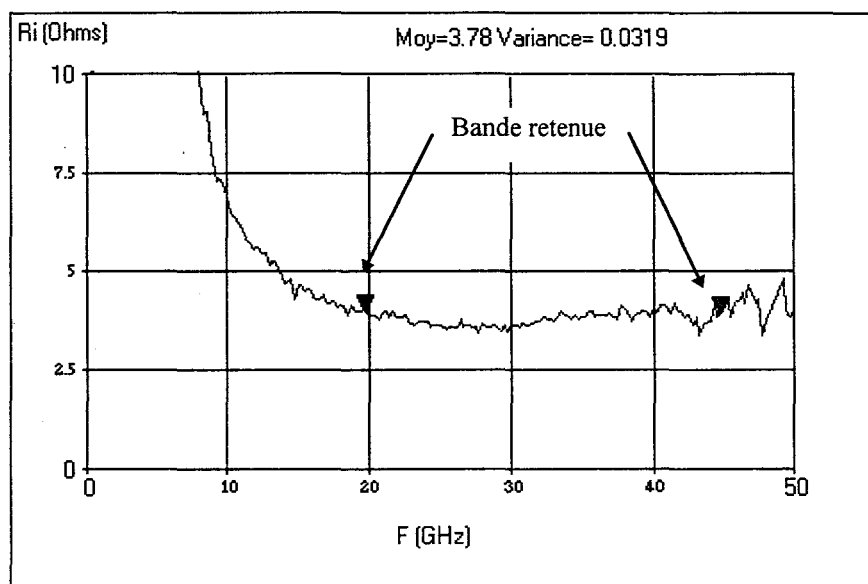
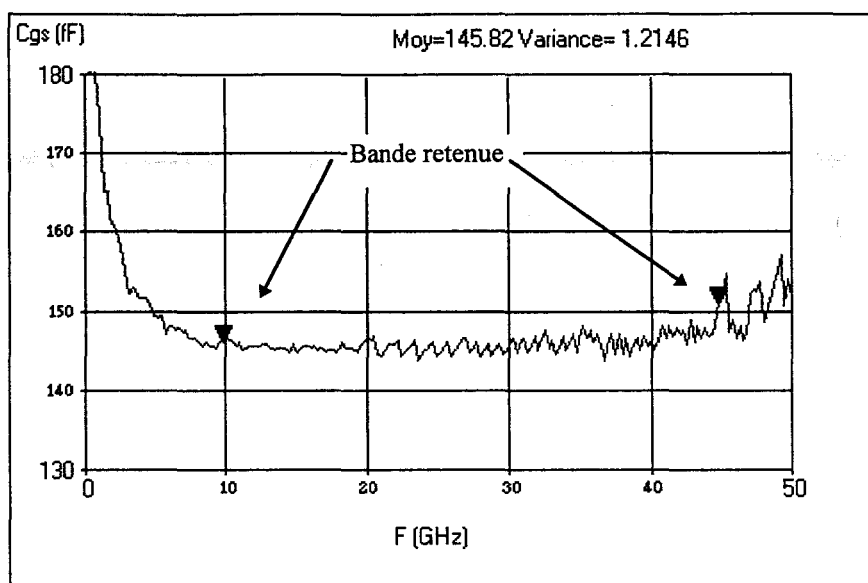


Figure III.19 : Bandes de fréquence retenues pour la détermination des éléments internes du schéma équivalent.

Eléments intrinsèques :

Eléments	gm (ms)	Gd (ms)	Cgs (fF)	Cgd (fF)	Ri ( $\Omega$ )	Rgd ( $\Omega$ )	Cds (fF)	Tau (ps)
Valeurs moyennes	84.2	3.0	145.8	5.5	3.8	434	19.7	0.60
Variance	0.63	0.02	0.69	0.10	0.03	444	0.51	0.0005

Tableau III.7 : Valeurs des éléments du schéma équivalent et de la variance utilisés pour étudier l'influence des éléments extrinsèques sur les éléments intrinsèques.  
(InP HEMT 2\*50  $\mu\text{m}$  ,  $V_{ds} = 2 \text{ V}$  ;  $V_{gs} = 0 \text{ V}$ )

Ce schéma équivalent est celui d'un transistor HEMT sur substrat InP réalisé au laboratoire. Ce composant présentait une transconductance extrinsèque statique de 700 mS/mm associée à une densité de courant de 500 mA/mm, polarisé à  $V_{ds} = 1.5 \text{ V}$  et  $V_{gs} = 0 \text{ V}$ . La fréquence de coupure du gain en courant extrinsèque était de 90 GHz et son gain maximal disponible était de 9.5 dB à 60 GHz.

Les résultats de cette étude sont présentés dans le tableau III.8. Nous y avons également reporté le pourcentage de variation de la valeur moyenne ainsi que le rapport entre la variance obtenue et celle déduite avec les éléments extrinsèques initiaux, ceci pour représenter la variation de la pente des évolutions en fonction de la fréquence des éléments internes du schéma. Ces valeurs permettent une analyse plus facile de la répercussion de la valeur des éléments extrinsèques sur les valeurs des éléments intrinsèques.

Transconductance gm

Nous pouvons constater que les éléments extrinsèques les plus influents sur la valeur moyenne de la transconductance gm sont essentiellement la résistance Rs et l'inductance de grille Lg. Ces deux quantités modifient sa valeur moyenne de 35 % et 10.3 % respectivement.

La variance est, quant à elle, fortement affectée par l'inductance de grille Lg puisqu'un rapport de 75 est constaté pour les variances. L'inductance Ld modifie également la pente de l'évolution de gm mais avec une moindre importance (rapport 10 entre la variance relevée et celle de départ). Précisons qu'un rapport de variance

	gm (mS)		Gd (mS)		Cgs (fF)		Cgd (fF)		Ri ( $\Omega$ )		Rgd ( $\Omega$ )		Cds (fF)		Tau (ps)	
Valeurs initiales	84.19		3.00		145.80		5.50		3.78		434.70		19.70		0.60	
	0.63		0.02		0.69		0.10		0.03		444.60		0.51		0.0005	
Rs+50%	113.60	34.93	3.82	27.33	196.80	34.98	9.16	66.55	1.38	63.49	881.30	102.74	27.70	40.61	0.60	0.00
	2.86	4.54	0.13	6.50	1.38	2.00	17.25	172.50	0.03	1.00	33020	74.27	1.18	2.31	0.0005	1.00
Rg+50%	84.23	0.05	2.97	1.00	145.90	0.07	5.41	1.64	1.72	54.50	375.70	13.57	18.90	4.06	0.60	0.00
	0.60	0.95	0.03	1.50	0.74	1.07	0.12	1.20	0.03	1.00	416.20	0.94	0.44	0.86	0.0005	1.00
Rd+50%	85.10	1.08	2.98	0.67	144.40	0.96	5.53	0.55	3.66	3.17	414.40	4.67	20.17	2.39	0.54	10.00
	0.64	1.02	0.03	1.50	0.91	1.32	0.12	1.20	0.03	1.00	447.90	1.01	0.55	1.08	0.0005	1.00
Ls+50%	82.58	1.91	2.68	10.67	143.00	1.92	6.18	12.36	0.85	77.51	401.10	7.73	20.50	4.06	0.60	0.00
	2.82	4.48	0.11	5.50	1.82	2.64	0.07	0.70	0.04	1.33	863.10	1.94	0.86	1.69	0.0005	1.00
Lg+50%	75.50	10.32	3.55	18.33	125.20	14.13	4.37	20.55	4.28	13.23	692.90	59.40	19.40	1.52	0.59	1.67
	47.50	75.40	0.04	1.75	138.40	200.58	0.78	7.80	0.12	4.00	29362	66.04	0.56	1.10	0.0005	1.00
Ld+50%	81.23	3.52	2.84	5.33	145.20	0.41	5.06	8.00	4.71	24.60	459.60	5.73	18.13	7.97	0.41	31.67
	6.30	10.00	0.05	2.50	0.39	0.57	0.30	3.00	0.03	1.00	2204	4.96	1.85	3.63	0.0010	2.00
Cpg+50%	84.90	0.84	3.03	1.00	137.30	5.83	5.41	1.64	5.23	38.36	421.40	3.06	19.70	0.00	0.48	20.00
	0.31	0.49	0.02	1.00	2.98	4.32	0.15	1.50	0.03	1.00	837.40	1.88	0.44	0.86	0.0006	1.20
Cpd+50%	84.60	0.49	3.35	11.67	146.60	0.55	4.72	14.18	3.98	5.29	386.70	11.04	9.61	51.22	0.63	5.00
	0.37	0.59	0.01	0.70	1.54	2.23	0.55	5.50	0.03	1.00	4124	9.28	0.36	0.71	0.0005	1.00
Cpgd+50%	84.22	0.04	3.00	0.00	147.04	0.85	3.94	28.36	3.81	0.79	2159	396.57	20.34	3.25	0.61	1.67
	0.60	0.95	0.03	1.25	0.71	1.03	4339	43394	0.03	1.07	389651	876.41	0.51	1.00	0.0005	1.00

Valeur moyenne

% variation par rapport à la valeur moyenne

143.00	3683
1.82	60.67

Variance

Variance / variance départ

Tableau III.8 : Influence des éléments extrinsèques du schéma équivalent sur les éléments intrinsèques.

inférieur à 5 peut être considéré comme étant la limite à partir de laquelle l'élément a une influence significative sur les évolutions fréquentielles des éléments intrinsèques compte tenu des variations appliquées importantes qui sont de 50 %.

Nous pouvons donc en conclure que les éléments les plus influents sur la dépendance en fréquence de l'élément  $g_m$  sont l'inductance de grille  $L_g$  et, dans une moindre mesure, celle de drain  $L_d$ . La résistance  $R_s$  a, quant à elle, plus un effet de translation des valeurs prises par la transconductance qu'une réelle modification de son évolution fréquentielle.

### Conductance $G_d$

Des influences similaires sont relevées pour les éléments  $R_s$  et  $L_s$  sur la conductance  $G_d$ , tous deux modifiant la variance de cet élément dans un rapport proche de 6. Les autres éléments ont une influence beaucoup plus limitée.

### Capacité $C_{gs}$

L'élément le plus influent sur l'évolution fréquentielle de la capacité  $C_{gs}$  est l'inductance de grille  $L_g$  puisque nous constatons un rapport de variance beaucoup plus important que pour tous les autres éléments extrinsèques. Remarquons que la résistance  $R_s$  procure un effet de translation des valeurs de la capacité  $C_{gs}$  puisqu'une modification de 35 % de sa valeur moyenne est relevée pour un rapport de variance de 2 seulement.

### Capacité $C_{gd}$

Les éléments extrinsèques les plus influents sur l'évolution de la capacité  $C_{gd}$  en fonction de la fréquence sont en tout premier lieu la capacité  $C_{pgd}$  ainsi que la résistance  $R_s$  ; viennent ensuite l'inductance  $L_g$  et la capacité  $C_{pd}$ . Remarquons que la capacité  $C_{pgd}$  influence beaucoup plus la pente de la capacité  $C_{gd}$  (rapport de variance de 43394) que sa valeur moyenne (28 % d'écart). Ces deux éléments étant placés en parallèle, une somme constante est à peu près conservée. Quant à l'élément  $R_s$ , il engendre une modification de la pente (rapport de variance de 172) mais modifie également fortement sa valeur moyenne (66 % d'écart).



### Résistance Ri

Aucun élément extrinsèque ne modifie fortement la pente de l'évolution de cette résistance en fonction de la fréquence. Par contre, beaucoup d'entre eux provoquent une modification importante de sa valeur moyenne. Les éléments suivants engendrent une translation de l'évolution fréquentielle de la résistance Ri : Rs (66 % d'écart), Rg (55 % d'écart), Ls (77 % d'écart), Ld (24 %) et Cpg (38 %).

### Résistance Rgd

Trois paramètres extrinsèques modifient fortement la dépendance en fréquence de la résistance Rgd en fonction de la fréquence. Il s'agit des éléments Cpgd (rapport de variance de 876), Rs (rapport de variance de 74) et Lg (rapport de variance de 66). Cette modification de pente s'accompagne également d'une importante modification de la valeur moyenne. La capacité Cpd modifie l'évolution fréquentielle de la résistance Rgd dans une moindre mesure (rapport de variance de 9) en modifiant plus légèrement sa valeur moyenne (11 % d'écart).

### Capacité Cds

Comme pour la résistance Ri, aucun élément intrinsèque ne semble modifier fortement la pente de l'évolution de la capacité Cds en fonction de la fréquence. Seules la résistance Rs et la capacité Cpd influencent les valeurs moyennes de la capacité Cds dont l'évolution est traduite.

### Temps de propagation tau

Les valeurs associées au temps  $\tau$  sont également beaucoup plus sensibles à une translation qu'à une modification de leur pente. La capacité Cpg ainsi que l'inductance Ld sont les éléments extrinsèques les plus influents de cette translation.

Par cette étude nous souhaitons montrer que certains éléments extrinsèques avaient une influence beaucoup plus prononcée que d'autres sur les évolutions des éléments intrinsèques du schéma équivalent en fonction de la fréquence. En effet, nous

avons pu vérifier par exemple que les deux résistances  $R_d$  et  $R_g$  avaient une influence minime sur les pentes des évolutions en fonction de la fréquence des éléments intrinsèques.

Les capacités  $C_{pg}$ ,  $C_{pd}$ ,  $C_{pgd}$  et les inductances  $L_d$  et  $L_s$  n'ont d'influence que sur un maximum de deux éléments, influence que l'on peut considérer de second ordre. Une influence de premier ordre pouvant être attribuée aux éléments  $R_s$  et  $L_g$  qui modifient fortement les évolutions de plusieurs paramètres intrinsèques. En connaissant l'influence respective de chaque élément extrinsèque sur les éléments intrinsèques du schéma équivalent, il est ainsi possible de minimiser la dépendance fréquentielle des éléments internes du schéma équivalent et ainsi augmenter sa validité en fréquence [24]. A titre d'exemple, nous présentons, figure III.20, une comparaison des paramètres  $S_{ij}$  obtenus à partir d'un schéma équivalent utilisant les valeurs des paramètres extrinsèques mesurées et d'un schéma établi à partir des valeurs de paramètres extrinsèques ajustées pour augmenter la validité du modèle. Les valeurs des différents éléments de ces deux schémas équivalents sont reportées dans le tableau III.9.

Eléments extrinsèques :

Eléments	$R_s(\Omega)$	$R_g(\Omega)$	$R_d(\Omega)$	$L_s(\text{pH})$	$L_g(\text{pH})$	$L_d(\text{pH})$	$C_{pg}(\text{fF})$	$C_{pd}(\text{fF})$	$C_{pgd}(\text{fF})$
Valeurs	3.0	2.0	3.4	7.0	52	50	17	17	0

Eléments intrinsèques :

Eléments	$g_m$	$G_d$	$C_{gs}$	$C_{gd}$	$R_i$	$R_{gd}$	$C_{ds}$	$\tau$
Valeurs moyennes	89.5 (ms)	3.3 (ms)	152 (fF)	8.6 (fF)	5.4 ( $\Omega$ )	111 ( $\Omega$ )	17.8 (fF)	0.57 (ps)
Variance	1.11	0.01	11.5	0.47	0.03	101	0.44	0.0005

Valeurs des éléments du schéma équivalent et de leur variance obtenues à partir des éléments extrinsèques mesurés.

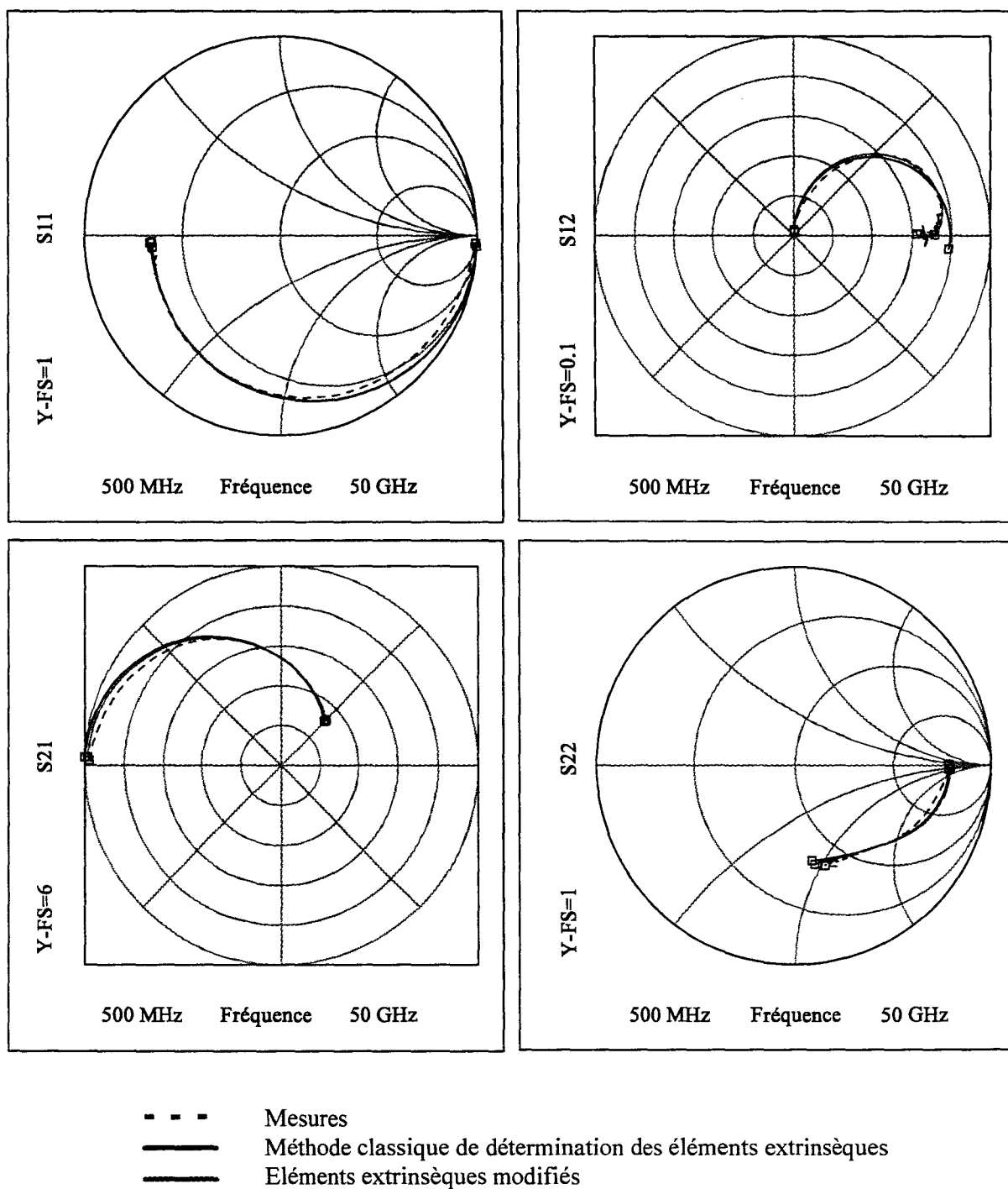


Figure III.20 : Comparaisons entre les paramètres  $S_{ij}$  mesurés et recalculés à partir du schéma équivalent avec et sans modification des éléments extrinsèques.

Eléments extrinsèques :

Eléments	$R_s(\Omega)$	$R_g(\Omega)$	$R_d(\Omega)$	$l_s(\text{pH})$	$l_g(\text{pH})$	$l_d(\text{pH})$	$C_{pg}(\text{fF})$	$C_{pd}(\text{fF})$	$C_{pgd}(\text{fF})$
Valeurs	3.0	2.0	3.4	10	54	50	16	16	4.0

Eléments intrinsèques :

Eléments	$g_m$	$G_d$	$C_{gs}$	$C_{gd}$	$R_i$	$R_{gd}$	$C_{ds}$	$\tau$
Valeurs moyennes	84.2 (ms)	3.0 (ms)	145 (fF)	5.5 (fF)	3.8 ( $\Omega$ )	434 ( $\Omega$ )	19.7 (fF)	0.60 (ps)
Variance	0.63	0.02	0.69	0.1	0.03	444	0.51	0.0005

Valeurs des éléments du schéma équivalent et de leur variance obtenues à partir des éléments extrinsèques ajustés.

Tableau III.9 : valeurs des éléments des schémas équivalents obtenus à partir des paramètres extrinsèques mesurés et ajustés de manière à obtenir une meilleure validité du modèle en hautes fréquences.

Nous pouvons constater sur la figure III.20, qu'un meilleur accord est obtenu sur le terme  $S_{12}$  en haute fréquence lorsque l'on ajuste les valeurs des éléments extrinsèques. Remarquons que l'écart entre les deux modèles reste faible pour des fréquences inférieures à 40 GHz mais devient important pour des fréquences supérieures. Les valeurs des éléments extrinsèques mesurées présentées dans le tableau III.9 ne sont pas fortement différentes de celles modifiées, mais suffisent pour qu'aux fréquences supérieures à 40 GHz on obtienne un comportement du schéma équivalent moins précis. Il est donc important, pour des fréquences millimétriques, de minimiser la dépendance fréquentielle des éléments intrinsèques du schéma équivalent et de modifier pour cela les valeurs des éléments extrinsèques mesurées. Ceci peut être effectué sans l'utilisation d'algorithme d'optimisation et ainsi garder une méthode qui se veut rester la plus proche possible des grandeurs physiques des composants. Pour quantifier la dépendance fréquentielle des éléments internes du schéma équivalent, la variance peut être employée comme critère quantitatif. Toutefois, sa valeur étant fortement dépendante de la valeur de l'élément intrinsèque considéré, la variance ne

permet que de comparer des éléments intrinsèques du même ordre de grandeur. On peut ainsi comparer deux valeurs de variance calculées pour la transconductance gm mais on ne doit pas comparer la variance obtenue pour l'élément gm par rapport à celle obtenue pour Gd par exemple.

Pour pouvoir comparer les éléments intrinsèques du schéma équivalent entre eux, on peut utiliser l'écart type normalisé par rapport à la valeur moyenne de l'élément que nous avons exprimé en pourcentage :

écart type normalisé :  $100 \times \frac{\sum_{i=1}^{N-1} \sqrt{\frac{1}{N} |x_i^2 - \overline{x^2}|}}{\overline{x}}$

Nous présentons dans le tableau III.10 les valeurs obtenues pour les moyennes des éléments intrinsèques, leur variance, leur écart type ainsi que leur écart type normalisé.

Eléments	gm	Gd	Cgs	Cgd	Ri	Rgd	Cds	τ
valeur moyenne	89.5 (mS)	3.3 (mS)	152 (fF)	8.6 (fF)	5.4 (Ω)	111 (Ω)	17.8 (fF)	0.57 (ps)
variance	1.10	0.01	11.5	0.47	0.03	101	0.44	0.0005
écart type	1.0	0.10	3.39	0.68	0.17	10.0	0.66	0.02
écart type normalisé	1.17 %	3.05 %	2.22 %	7.90 %	3.16 %	9.01 %	3.71 %	3.51 %

Valeurs obtenues pour le schéma équivalent utilisant les paramètres extrinsèques mesurés.

Eléments	gm	Gd	Cgs	Cgd	Ri	Rgd	Cds	$\tau$
valeur moyenne	84.2 (mS)	3 (mS)	146 (fF)	5.5 (fF)	3.8 ( $\Omega$ )	435 ( $\Omega$ )	19.7 (fF)	0.6 (ps)
variance	0.63	0.02	0.69	0.10	0.03	444	0.51	0.0005
écart type	0.80	0.14	0.83	0.31	0.17	21.1	0.71	0.02
écart type normalisé	0.94 %	4.67 %	0.57 %	5.63 %	4.49 %	4.85 %	3.60 %	3.33 %

Valeurs obtenues pour le schéma équivalent utilisant les paramètres extrinsèques ajustés.

Tableau III.10 : valeurs des différents paramètres permettant de quantifier la validité du schéma équivalent d'un transistor.

Nous pouvons maintenant connaître les éléments intrinsèques les plus dépendants de la fréquence par rapport aux autres et ainsi tenter de minimiser leurs variations. Les éléments Cgd et Rgd sont responsables de la moins bonne concordance entre les paramètres  $S_{12}$  mesurés et recalculés dans le cas du schéma équivalent utilisant les paramètres extrinsèques mesurés. En effet, l'écart type normalisé sur ces valeurs est plus important que sur les autres termes du schéma équivalent, ce qui n'est plus le cas avec le schéma équivalent utilisant les paramètres extrinsèques modifiés. Ces éléments, qui sont les plus difficiles à extraire, ont une influence moins importante en deçà de 30 GHz, mais au delà, elle ne doit plus être considérée comme négligeable.

II.2.1.3.Sensibilité de l'extraction du schéma équivalent aux mesures de paramètres  $S_{ij}$ .

Afin de quantifier la précision de la détermination des éléments intrinsèques du schéma équivalent par rapport à la mesure des paramètres  $S_{ij}$ , trois mesures, dans différentes configurations, ont été réalisées sur le même composant, à un même point de polarisation. Pour ces mesures, deux calibrages que nous appellerons calibrage **a** et calibrage **b** ont été effectués. Ces mesures ont été réalisées dans les conditions suivantes : une première mesure de paramètre  $S_{ij}$  a été effectuée pour le calibrage **a**, puis la détermination des éléments intrinsèques a été effectuée. Une deuxième mesure de paramètre  $S_{ij}$  a ensuite été entreprise pour le calibrage **b**, sans aucune modification de la

pose des pointes sur le composant. Enfin, pour la troisième mesure, le calibrage a est utilisé et nous avons procédé à la levée des sondes sur le composant, au déplacement du socle puis au repositionnement des sondes sur le même composant, en essayant de se replacer le plus précisément possible à la même position.

Les valeurs moyennes des éléments intrinsèques déterminés pour ces trois mesures sont présentées dans le tableau III.11. Elles ont été déterminées sur des intervalles de fréquences identiques avec les mêmes valeurs des éléments extrinsèques.

Eléments	gm (mS)	Gd (mS)	Cgs (fF)	Cgd (fF)	Ri ( $\Omega$ )	Rgd ( $\Omega$ )	Cds (fF)	Tau (ps)
Calibrage a	78.5	2.75	145	6.7	4.6	443	25.1	0.79
Calibrage b	79.0	2.7	147	6.7	4.2	429	24.7	0.81
Calibrage a et reposition	76.0	2.9	141	6.1	4.7	452	22.4	0.76

Eléments	gm (mS)	Gd (mS)	Cgs (fF)	Cgd (fF)	Ri ( $\Omega$ )	Rgd ( $\Omega$ )	Cds (fF)	Tau (ps)
% variation calibrages a et b	0.6	1.8	1.4	0.0	9.5	3.2	2.5	1.6
% variation reposition	3.2	5.4	2.7	9.0	2.2	2.0	3.8	10.7

Tableau III.11 : Influence du calibrage et de la position des sondes de mesures hyperfréquences sur la détermination du schéma équivalent du transistor.

Nous pouvons constater un pourcentage de variation des éléments intrinsèques inférieur à 3.2 % qui correspond à la précision des calibrages sauf pour l'élément Ri où une dispersion plus importante est constatée. Ceci peut être lié au fait que la détermination de la résistance Ri nécessite tout d'abord la connaissance de la valeur de la capacité Cgs. Ri étant beaucoup plus faible que l'impédance de Cgs, une légère variation de la valeur de Cgs modifiera de manière plus importante la valeur de la résistance Ri. Par contre, dès lors que l'on procède à un déplacement des sondes de mesures sur le composant, la dispersion relevée sur les éléments intrinsèques est plus importante, due à la modification des valeurs des éléments d'accès. Nous présentons sur

la figure III.21 les évolutions de la transconductance  $g_m$  en fonction de la fréquence dans les trois cas étudiés.

Nous pouvons constater dans le cas de la modification de la position du socle une plus grande dépendance en fonction de la fréquence, due à la modification de la valeur des éléments d'accès.

Cette étude permet de montrer la sensibilité de la détermination des éléments intrinsèques au calibrage et donc par voie de conséquence à la mesure hyperfréquence. De plus, l'influence de la position des sondes a également été abordée, montrant clairement son influence en très hautes fréquences, et constituant une difficulté supplémentaire dans l'extraction du schéma équivalent de transistor en ondes millimétriques.

#### II.2.1.4. Détermination du schéma équivalent jusque 60 GHz

Comme nous avons pu le voir dans les paragraphes précédents, la montée en fréquence ne fait qu'accroître les difficultés relatives à la détermination du schéma équivalent du transistor à effet de champ. Les Test Sets disponibles au laboratoire permettent de couvrir les bandes 1-50 GHz, 50-75 GHz et 75-110 GHz. Les mesures couvrant les bandes 1-50 GHz et 50-110 GHz s'effectuent sur deux stations sous pointes distinctes. De plus, les sources 50-75 GHz et 75-110 GHz ne peuvent pas être utilisées consécutivement avec le même calibrage, le passage d'une bande à l'autre nécessitant le changement des sources, des guides et des sondes. Pour la détermination du modèle de schéma équivalent valable jusque 60 GHz, il est donc nécessaire d'effectuer des mesures sur deux stations sous pointes distinctes. Afin d'éviter les décalages en phases entre les deux bandes de mesures, les deux points de fréquence à 50 GHz de chaque extrémité de bande sont ajustés lors de la pose des sondes sur le composant avant d'effectuer la mesure des paramètres  $S_{ij}$  en bande V. Nous évitons ainsi toute erreur due à un décalage de phase entre les deux bandes de mesures.

Nous présentons sur la figure III.22 les évolutions des éléments  $g_m$ ,  $G_d$  et  $C_{gs}$  en fonction de la fréquence de 1 à 75 GHz. Les éléments extrinsèques utilisés pour cette détermination ont été ajustés sur la bande de fréquence 1-50 GHz afin d'obtenir des évolutions des éléments intrinsèques les plus plats possibles sur cette même bande.



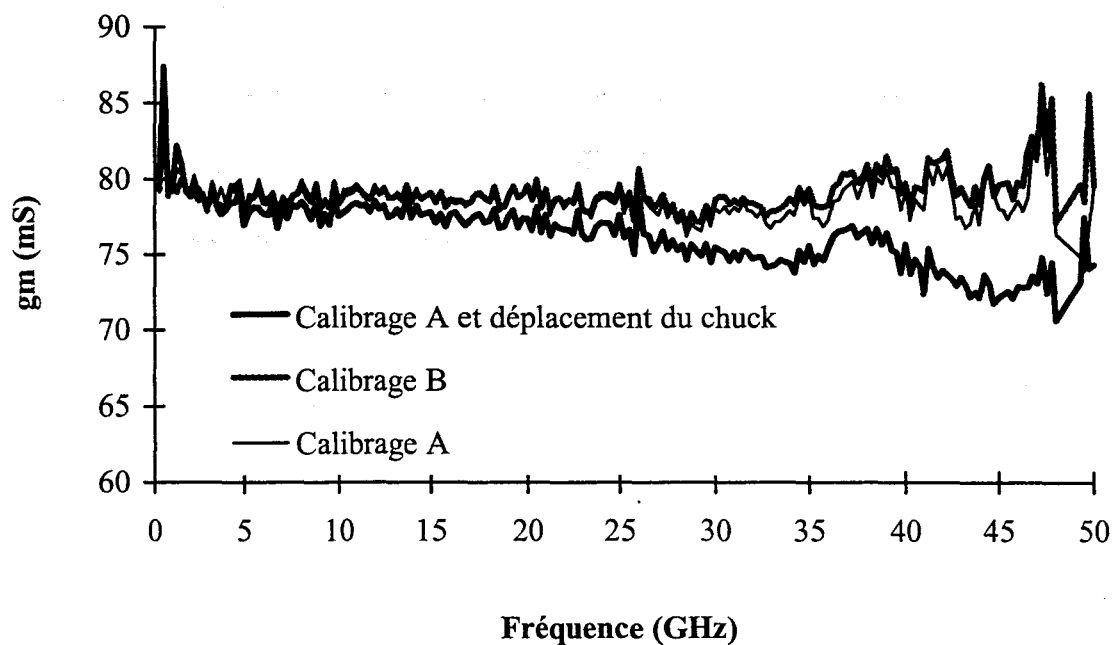


Figure III.21 : Evolutions de la transconductance  $g_m$  déterminée pour plusieurs calibrages et avec modification de la position des sondes sur le composant pour les mêmes valeurs d'éléments extrinsèques.  
InP HEMT  $2 \times 50 \mu\text{m}$ , opération 10174B,  $V_{ds} = 2 \text{ V}$ ,  $V_{gs} = 0 \text{ V}$ .

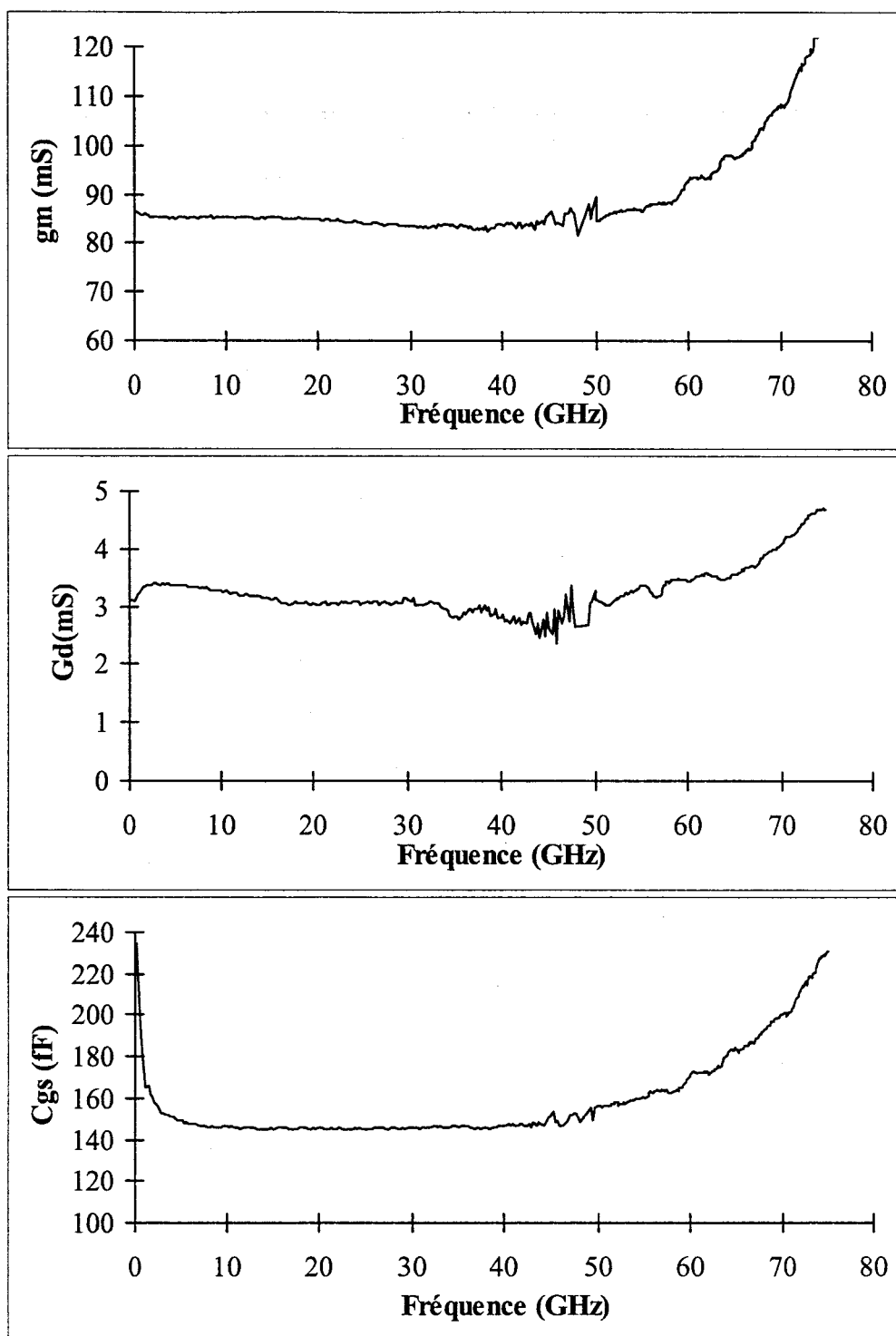


Figure III.22 : Evolutions des éléments intrinsèques  $gm$ ,  $Gd$  et  $C_{gs}$  en fonction de la fréquence jusqu'à 75 GHz. L'extraction a été effectuée avec les éléments d'accès optimisés jusqu'à 50 GHz.

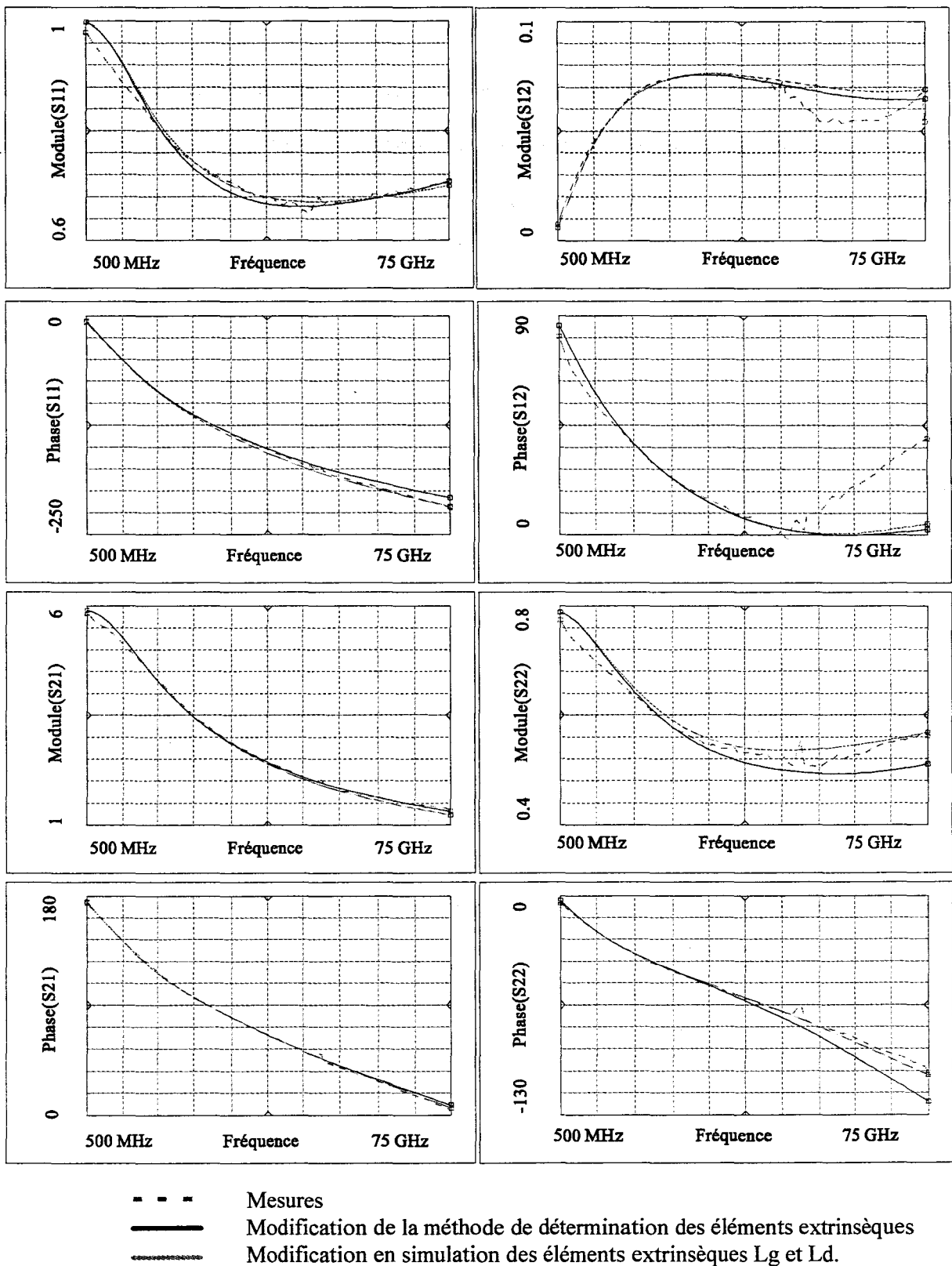
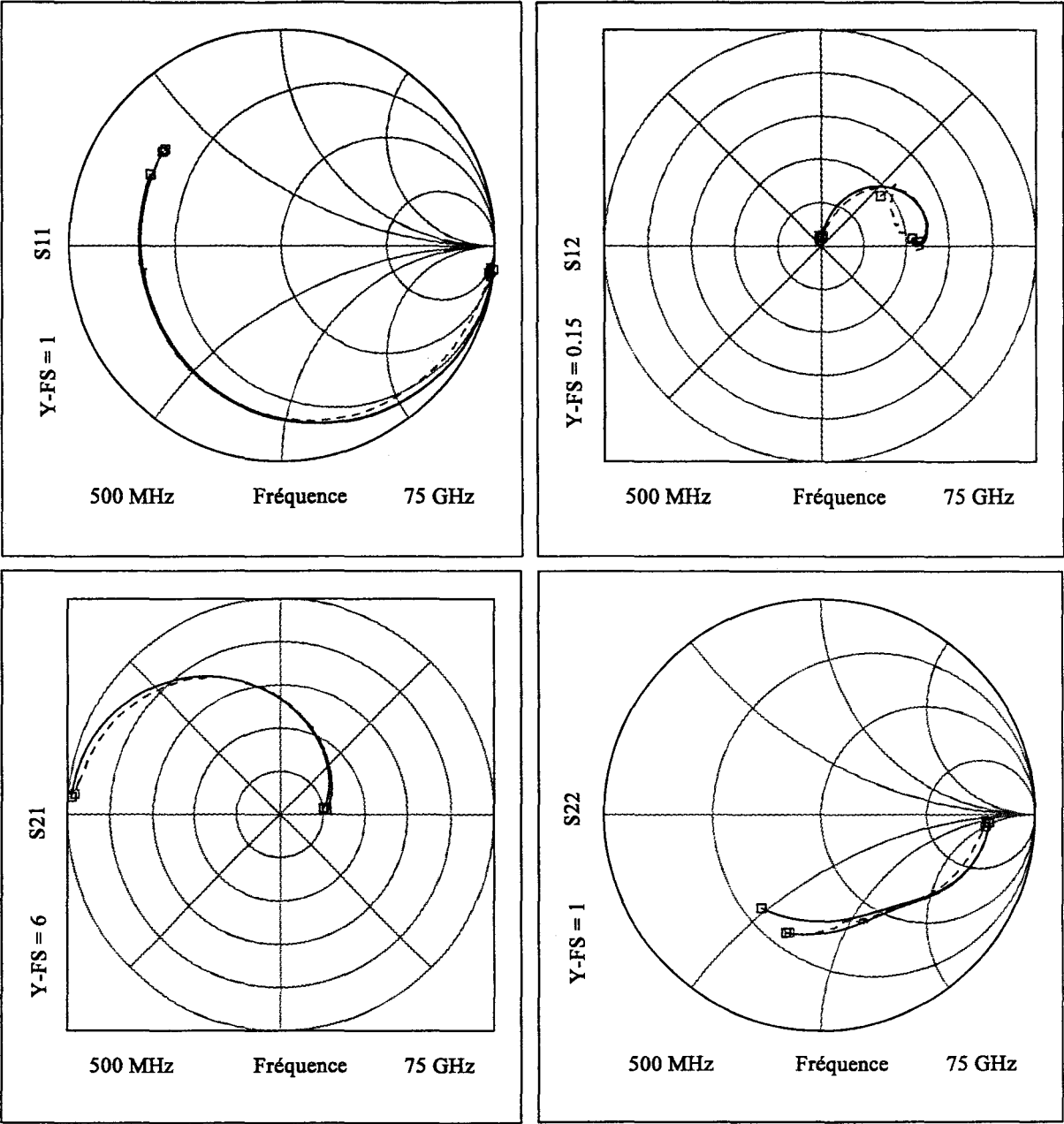


Figure III.23 : Comparaisons entre les paramètres  $S_{ij}$  mesurés et recalculés à partir du schéma équivalent.

Nous pouvons constater une assez bonne platitude de ces éléments jusque environ 60 GHz, puis nous constatons une forte modification de leur valeur dans la bande 60-75 GHz, ce qui n'est physiquement pas réaliste si l'on suppose que le schéma équivalent électrique localisé est toujours valable.

Nous présentons maintenant sur la figure III.23 une comparaison entre les paramètres  $S_{ij}$  mesurés et calculés jusque 75 GHz. Les valeurs des éléments du schéma équivalent ont été déterminées sur la bande de fréquence 1-50 GHz. Les paramètres  $S_{ij}$  sont présentés en module et phase car les comparaisons présentées sous abaques mettent souvent moins en valeur les écarts observés. Nous pouvons constater un bon accord jusque autour de 55 GHz puis, au delà, les écarts entre les mesures et le schéma équivalent sur les phases des termes  $S_{11}$  et  $S_{22}$  sont plus importants. Nous pouvons donc conclure dans ces conditions que ce schéma équivalent reste physique jusque 60 GHz, car les éléments intrinsèques sont indépendants de la fréquence dans cette bande. Cependant, il est possible d'obtenir un meilleur accord sur les phases des termes  $S_{11}$  et  $S_{22}$  en modifiant les éléments extrinsèques  $L_d$  et  $L_g$  du schéma équivalent. En effet, en augmentant la valeur de  $L_g$  de 50 pH à 60 pH et en diminuant celle de  $L_d$  de 54 pH à 34 pH, nous pouvons constater, figure III.24, un meilleur accord sur les modules et phases des termes  $S_{11}$  et  $S_{22}$ . Si nous faisons abstraction du terme  $S_{12}$  pour l'instant, nous pouvons constater un bon accord jusque 75 GHz entre les mesures et le schéma équivalent. Cependant, si nous procédons à l'extraction des valeurs intrinsèques du schéma équivalent à partir des paramètres  $S_{ij}$  mesurés en utilisant les nouvelles valeurs des éléments d'accès  $L_d$  et  $L_g$ , nous constatons que les éléments intrinsèques ne sont plus constants en fonction de la fréquence. Nous obtenons ainsi un schéma équivalent dont les paramètres  $S_{ij}$  mesurés et calculés sont en bon accord jusque 75 GHz mais ce schéma équivalent n'est physiquement pas valable. Ce cas doit être couramment rencontré lors de l'utilisation d'algorithmes où l'on se contente d'obtenir un bon accord entre les paramètres  $S_{ij}$  mesurés et calculés.

Il est de plus en plus complexe d'obtenir un schéma équivalent physique pour des applications très hautes fréquences. Pour ces composants, réalisés au laboratoire, il est possible d'obtenir un schéma valable et physique jusque 50 GHz. Pour ces fréquences, les éléments extrinsèques voient leurs influences renforcées et il devient



- - - Mesures  
 ——— Modification de la méthode de détermination des éléments extrinsèques  
 ..... Modification en simulation des éléments extrinsèques Lg et Ld.

Figure III.24 : Comparaisons entre les paramètres  $S_{ij}$  mesurés et recalculés à partir du schéma équivalent.

extrêmement difficile de déterminer neuf éléments extrinsèques qui permettent d'obtenir huit éléments intrinsèques indépendants de la fréquence. Cependant, il reste possible d'obtenir un schéma équivalent dont les paramètres  $S_{ij}$  mesurés et calculés sont en bon accord. Le schéma équivalent localisé simple utilisé reste donc valable à ces fréquences (50 GHz à 60 GHz) pour décrire les performances globales d'un transistor. Un schéma équivalent distribués, plus complexe, pourrait peut être permettre d'obtenir un schéma équivalent valable et physique pour les fréquences supérieures à 60 GHz où le schéma équivalent à élément localisé a montré ses limites. Cependant, les éléments des schémas distribués sont le plus souvent déterminés à partir des éléments du schéma localisé [25].

Sur la figure III.24, où nous avons présenté les paramètres  $S_{ij}$  sur abaque, nous constatons que le terme  $S_{12}$  présente une résonance dont la fréquence est proche de 60 GHz, fréquence pour laquelle le module de  $S_{12}$  passe par un minimum. Ce phénomène permet d'obtenir une diminution du gain MAG légèrement moins importante puisque, dans cette zone de fréquence, sa décroissance en fonction de la fréquence n'évolue plus en -20 dB/décade. Cette résonance dépend principalement des éléments extrinsèques  $L_s$ ,  $R_s$  et des éléments intrinsèques  $R_{gd}$  et  $C_{gd}$ . Ce phénomène est particulièrement visible pour des composants ayant des valeurs de capacités  $C_{gd}$  faibles, ce qui est le cas pour nos composants, compte tenu de la technologie de grille employée pour leur réalisation. L'inconvénient majeur de ce type de résonance est une modélisation difficile à l'aide des schémas équivalents localisés ou même distribués. Toutefois, le terme  $S_{12}$  dans ce cas étant très faible, son effet sur les gains ou impédances de charge ou de source sera faible. Le contrôle de cette résonance par des paramètres technologiques permettrait d'obtenir une valeur de gain MAG plus importante puisqu'il évolue peu autour de cette fréquence (figure III.25).

### **II.2.2. Résultats hyperfréquences petit signal obtenu sur les différentes épitaxies étudiées**

Nous avons regroupé dans le tableau III.12 les résultats obtenus en fonctionnement petit signal des transistors sur les différentes épitaxies présentées. Dans ce tableau figurent les valeurs des principaux éléments du schéma équivalent petit signal

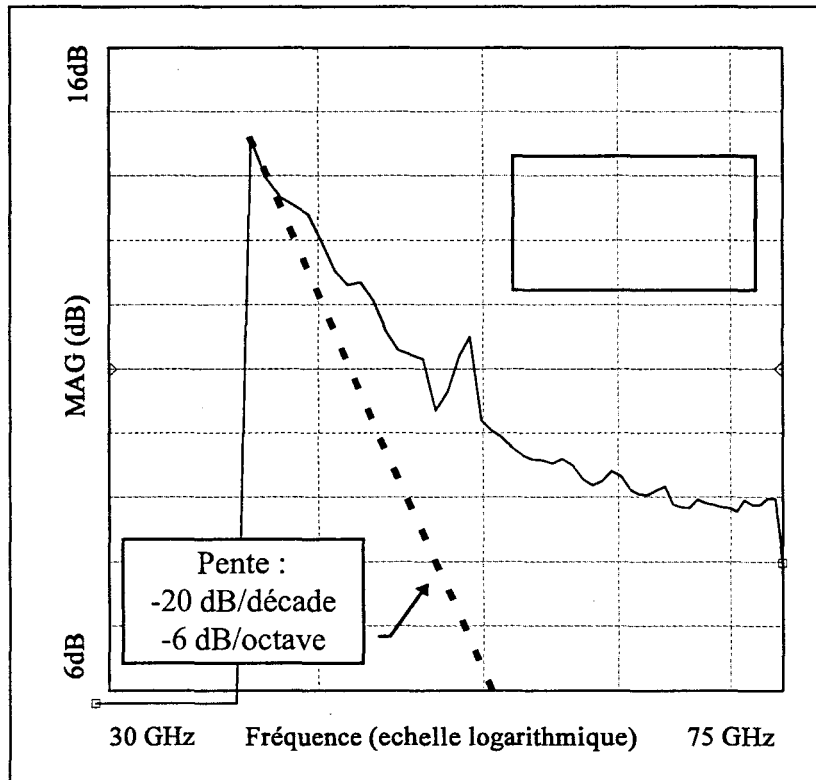


Figure III.25 : Evolution du gain  $MAG$  en fonction de la fréquence.  
 (En dessous de 36 GHz, ce gain n'est pas défini car le coefficient de stabilité  $K$  est inférieur à l'unité.)

épitaxies	gm (mS)	Gd (mS)	Cgs (fF)	Cgd (fF)	gm/Gd	Cgs/Cgd	$f_T$ (GHz)	lg ( $\mu\text{m}$ )	MAG à 60 GHz	Vp (V)	Vgs <sub>br</sub> (V)	Vgd <sub>br</sub> (V)	Idss (mA/mm)
10174B petit fossé	103	4.5	140	10.0	22.8	14.0	85	0.2	9.1 dB	-0.6	4.5	5	600
10174 moyen fossé	112	3.6	150	7.0	31.1	21.4	93	0.2	11.8 dB	-0.6	4.5	7	600
10174B large fossé	106	2.7	160	6.0	39.2	26.6	106	0.2	13.7 dB	-0.6	4.5	8.5	600
10289	66	4.1	117	6.0	16.1	19.5	86	0.25	9.7 dB	-2.2	9	9	700
10290	69	3.9	130	10.0	17.7	13.0	76	0.25	5.8 dB	-2	11	11	670
10315	89	2.7	14.7	16.5	32.5	8.9	88	0.25	8 dB	-2.3	5	5	1450
10347	62	2.0	59	5.8	30.8	10.2	120	0.15	10 dB	-2	12	12	720

Tableau III.12 : Valeurs des principales grandeurs statiques, des schémas équivalents des transistors (développement  $2 \times 50 \mu\text{m}$ ) et des performances fréquentielles obtenues pour les différentes épitaxies réalisées.



$g_m$ ,  $G_d$ ,  $C_{gs}$  et  $C_{gd}$  ainsi que les rapports d'aspect  $g_m/G_d$  et  $C_{gs}/C_{gd}$ . Les performances fréquentielles des transistors sont représentées par la fréquence de coupure extrinsèque de gain en courant de court circuit  $f_T$ , ainsi que par la valeur du gain MAG à 60 GHz. Les valeurs des éléments du schéma équivalent ont été déterminées à partir des mesures des paramètres  $S_{ij}$  de 1 à 50 GHz pour une polarisation  $V_{ds}$  de 2 V et une tension  $V_{gs}$  correspondant au maximum de transconductance  $g_m$ .

#### II.2.2.1. Epitaxie 10174B

Nous pouvons constater pour cette épitaxie une augmentation des rapports d'aspect  $g_m/G_d$  et  $C_{gs}/C_{gd}$  avec l'accroissement de la largeur de recess de grille. Ces augmentations sont liées à la diminution des valeurs des éléments  $G_d$  et  $C_{gd}$ . Celles-ci démontrent un étalement de la zone désertée vers le drain donc une diminution de la valeur du champ électrique par son uniformisation le long de l'extension du fossé de grille. Les rapports cités étant directement reliés aux performances fréquentielles des composants, des accroissements de la fréquence de coupure  $f_T$  et du gain MAG à la fréquence de 60 GHz sont naturellement constatés. Les variations observées sur les valeurs des transconductances et des capacités grille source varient en fonction de la largeur du recess mais ces variations sont plus reliées à la dispersion technologique.

La valeur de la transconductance  $g_m$  est élevée compte tenu de l'épaisseur de barrière de 250 Å. La tension de pincement de - 0.6 V laisse également présumer une gravure de la barrière pendant la réalisation du fossé de grille. En effet, une tension de pincement de - 1.6 V correspondrait beaucoup mieux à ce type de structure à un plan de dopage. Ces composants présentent des performances fréquentielles toutefois très bonnes puisque le gain MAG à 60 GHz est de 11.8 dB pour le composant à moyen fossé de grille.

#### II.2.2.2. Epitaxie 10289

Cette structure a permis d'obtenir 660 mS/mm de transconductance, ce qui peut paraître faible par rapport à la valeur obtenue précédemment. Néanmoins, celle-ci est beaucoup plus cohérente compte tenu de l'épitaxie. Ces composants ont permis d'obtenir des performances fréquentielles semblables au composant 10174B pour le petit fossé de grille. Rappelons que l'objectif de cette structure était d'opposer une barrière à la remontée des trous dans la grille et retarder l'apparition de courant de grille

dans les composants. Nous avons déjà montré que cette technique était concluante lors de la caractérisation statique et nous vérifions ici que les performances hyperfréquences ne sont pas dégradées puisque nous obtenons 9.7 dB de gain MAG à 60 GHz et 86 GHz de  $f_T$ .

#### II.2.2.3. Epitaxie 10290

Les résultats en terme de schéma équivalent sont très proches de ceux obtenus pour l'épitaxie 10289. Toutefois, nous pouvons constater une valeur du gain MAG à 60 GHz et une fréquence de coupure  $f_T$  beaucoup plus faibles : 5.8 dB et 76 GHz respectivement. Cette diminution de gain est attribuée à l'augmentation de la résistance de source deux fois plus importante ( $6.3 \Omega$ ) sur cette structure que sur les précédentes ( $2.9 \Omega$ ). Cette augmentation est la conséquence de la présence du super réseau AlInAs/AlAs qui modifie le comportement des contacts ohmiques lors du recuit. Une amélioration de la résistance de source aurait alors nécessité une optimisation spécifique des contacts ohmiques pour ce type de structure.

#### II.2.2.4. Epitaxie 10315

Nous obtenons sur cette structure une transconductance de 890 mS/mm due à l'épaisseur de la barrière plus fine. La diminution de la distance entre les contacts ohmiques de  $0.3 \mu\text{m}$  pour atteindre  $1.5 \mu\text{m}$  permet de maintenir de bonnes performances en fréquence avec un gain MAG à 60 GHz de 8 dB et une fréquence de coupure  $f_T$  de 90 GHz.

#### II.2.2.5. Epitaxie 10347

Pour cette épitaxie, le rapport  $gm/Gd$  reste important malgré la diminution de la transconductance (620 mS/mm) puisque compensée par la faible valeur de la conductance  $Gd$  (2 mS/mm). Les capacités  $C_{gs}$  et  $C_{gd}$  sont toutes les deux diminuées, leur rapport restant ainsi constant. Cette diminution de la valeur des capacités est directement imputée à celle de la longueur de grille. Les performances fréquentielles des composants sont ainsi améliorées puisqu'une fréquence de coupure du gain en courant de court-circuit  $f_T$  de 120 GHz et 10 dB de gain MAG à 60 GHz sont obtenus.

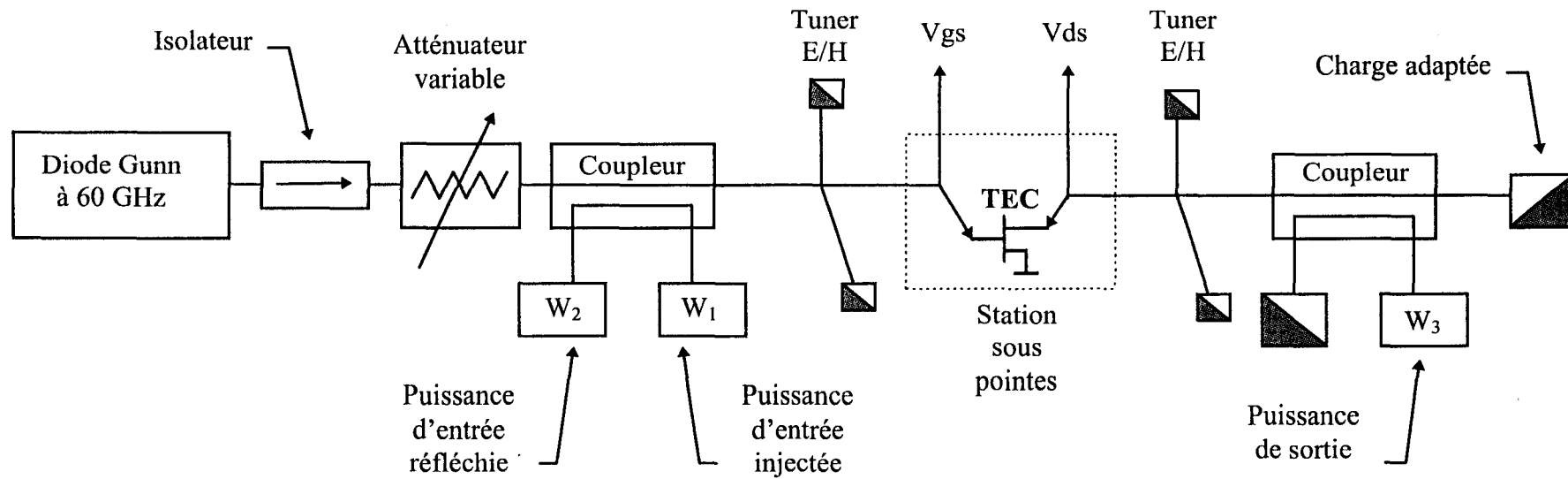


Figure III.26 : Schématisation du banc de puissance en ligne sous pont à 60 GHz.

Les performances et les caractéristiques statiques et hyperfréquences petit signal de ces composants ont été montrées. Néanmoins, l'aptitude d'un composant à fonctionner en régime d'amplification de puissance fait intervenir d'autres paramètres que la caractérisation petit signal ne permet pas de mettre en évidence. Des mesures pulsées auraient été un complément aux mesures de puissance, mais le banc de mesures pulsées dont dispose le laboratoire ne comportait pas encore de station sous pointe au moment de leur réalisation. Des mesures de puissance à la fréquence de 60 GHz avec un banc en ligne passif ont alors été entreprises.

### **II.3. Caractérisation hyperfréquence grand signal en bande V**

#### **II.3.1. Présentation du banc de mesure**

Dans ce type de banc de puissance, la méthode de mesure consiste à caractériser le composant sous test pour plusieurs niveaux de puissance du signal d'excitation en faisant varier les impédances présentées en entrée et en sortie du composant. Ces impédances sont optimisées pour obtenir la puissance de sortie maximale. Elles sont réalisées en utilisant des adaptateurs mécaniques variables ou tuners.

Ce banc est présenté sur la figure III.26 et comprend les éléments suivants :

- une source microonde réalisée par une diode Gunn utilisée à sa fréquence centrale de 60 GHz et délivrant une puissance de 100 mW ;
- un isolateur suivi d'un atténuateur variable permettant de contrôler l'amplitude du signal microonde incident ;
- des coupleurs associés à des bolomètres pour prélever une partie des signaux hyperfréquences incident ( $W_1$ ) et réfléchi ( $W_2$ ) en entrée et transmis à la charge en sortie ( $W_3$ ) ;
- deux adaptateurs mécaniques plan E/plan H pour réaliser les impédances nécessaires à l'adaptation en entrée et en sortie du composant ;

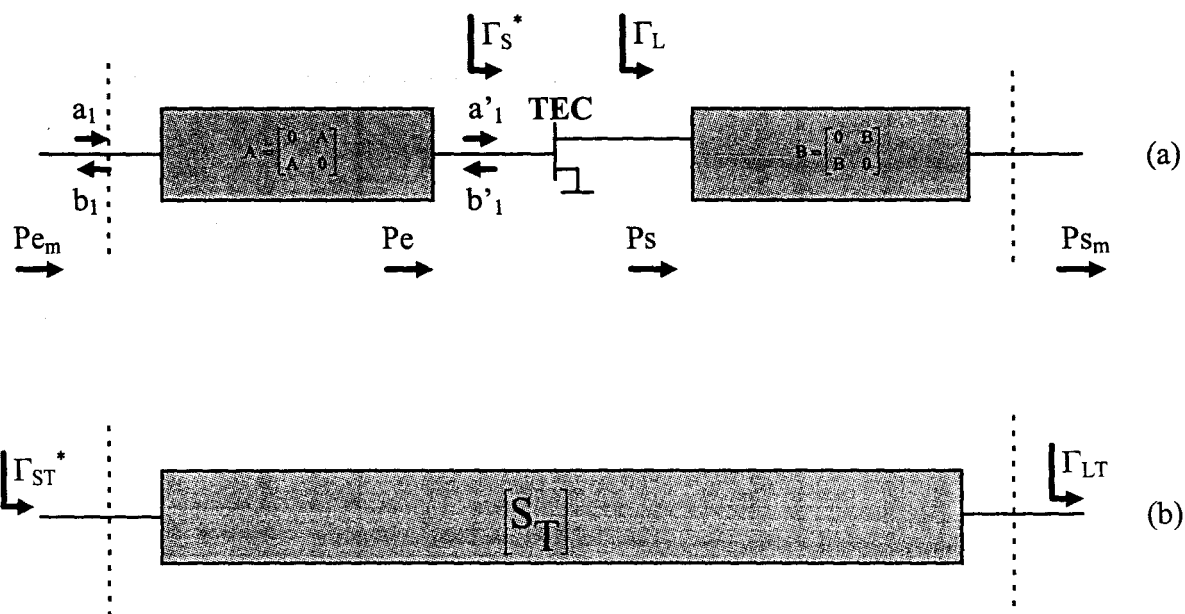


Figure III.27 : Simplification du banc de mesure en ligne afin de pouvoir définir une procédure de correction simple pour déterminer les performances du transistor adapté seul.

- une station sous pointe couplée à des tés de polarisation qui permettent d'amener les tensions  $V_{gs}$  et  $V_{ds}$  au composant.

La procédure de caractérisation consiste à minimiser la puissance réfléchie en entrée et à maximiser la puissance fournie en sortie par adaptation simultanée avec les deux tuners. A partir des relevés des différentes puissances, des tensions drain source et grille source ainsi que des courants de drain et de grille, il est possible de connaître le comportement, les valeurs des puissances de sortie et le rendement des composants mesurés. L'un des inconvénients de ce banc est qu'il n'est cependant pas possible de connaître les impédances présentées en entrée et en sortie du transistor.

### II.3.2. Méthode de correction des mesures

Si l'on examine attentivement le banc de mesure décrit à la figure III.26, on se rend compte que les deux adaptateurs mécaniques ne se trouvent pas directement dans les plans d'entrée et de sortie du transistor. Entre le tuner placé en entrée et la grille du transistor, un tronçon de guide ainsi que la sonde de mesure doivent être insérés. Il en est de même en sortie. L'adaptation avec les tuners ne se fait donc pas au niveau des plans d'entrée et de sortie du transistor mais à travers des quadripôles constitués des éléments précédemment cités.

Le principe de cette méthode de correction consiste à considérer l'ensemble constitué du tronçon de guide et de la pointe de la station comme une simple ligne à perte aux vues des faibles coefficients de réflexion présentés par ces éléments. Les adaptateurs en guide plan E/H peuvent de plus être considérés sans perte. Ces considérations permettent alors de passer du schéma présenté à trois quadripôles (figure III.27a) à un autre schéma à un seul quadripôle (figure III.27b).

Comme nous avons considéré que les atténuateurs A et B se comportaient comme de simples lignes à pertes, il est possible d'écrire leur matrice de répartition de la façon suivante :

$$[A] = \begin{bmatrix} 0 & A \\ A & 0 \end{bmatrix} \text{ et } [B] = \begin{bmatrix} 0 & B \\ B & 0 \end{bmatrix}$$

ce qui permet d'écrire simplement la matrice globale sous la forme :

$$\begin{aligned} S_{T11} &= A^2 S_{11} \\ S_{T21} &= A B S_{21} \\ S_{T12} &= A B S_{12} \\ S_{T22} &= B^2 S_{22} \end{aligned}$$

Puisque  $Pe = |a'_1|^2 - |b'_1|^2$  et  $Pe_{mes} = |a_1|^2 - |b_1|^2$ ,

on obtient alors en entrée, en supposant que l'adaptation est optimale dans le plan des tuners :

$$\frac{Pe}{Pe_{mes}} = \frac{|A|^2 \times \left( 1 - \frac{|\Gamma_{STopt}^*|^2}{A^4} \right)}{\left( 1 - |\Gamma_{STopt}^*|^2 \right)} = \Delta_1$$

avec

$$|\Gamma_{ST}^*| = \left| \frac{b_1}{a_1} \right| = |A|^2 \times |\Gamma_S^*|$$

De même en sortie on obtient :

$$\frac{Ps}{Ps_{mes}} = \frac{1 - B^4 \times |\Gamma_{LTopt}|^2}{|B|^2 \times (1 - |\Gamma_{LTopt}|^2)} = \Delta_2$$

$\Gamma_{STopt}$  et  $\Gamma_{LTopt}$  sont les coefficients de réflexion optimum des impédances présentées par les tuners à l'entrée et à la sortie de l'ensemble, constitué des tronçons de guide, des

sondes et du composant, pour une application en puissance. Ces deux valeurs peuvent être calculées en module à partir des paramètres  $S_{Tij}$  selon les expressions :

$$\Gamma_{STopt} = \frac{B_1 \pm 2|S_{T12}S_{T21}|\sqrt{K_T^2 - 1}}{2C_1}$$

$$\Gamma_{LTopt} = \frac{B_2 \pm 2|S_{T12}S_{T21}|\sqrt{K_T^2 - 1}}{2C_2}$$

avec

$$B_1 = 1 + |S_{T11}|^2 - |S_{T22}|^2 - |\Delta_T|^2$$

$$B_2 = 1 - |S_{T11}|^2 + |S_{T22}|^2 - |\Delta_T|^2$$

$$C_1 = S_{T11} - \Delta_T \cdot S_{T22}^*$$

$$C_2 = S_{T22} - \Delta_T \cdot S_{T11}^*$$

On obtient alors une estimation de la puissance absorbée par le transistor ou délivrée à la charge par les relations suivantes :

$$P_e \text{ (dBm)} = P_{mes} \text{ (dBm)} + 10 \log \Delta_1$$

$$P_s \text{ (dBm)} = P_{mes} \text{ (dBm)} + 10 \log \Delta_2$$

A partir de cette méthode, il est possible de revenir au gain en puissance du transistor seul :

$$G = P_s \text{ (dBm)} - P_e \text{ (dBm)}$$

Il est bien sûr possible de comparer cette valeur du gain en puissance avec celle du gain maximum MAG du transistor seul calculé à partir de ses paramètres  $S_{ij}$ . Dans tous les cas, le gain en puissance obtenu pour le transistor sur le banc de mesure est inférieur à son gain MAG calculé, ce qui traduit l'impossibilité de réaliser simultanément l'adaptation dans les plans extérieurs des tuners et dans les plans d'entrée et de sortie du composant.



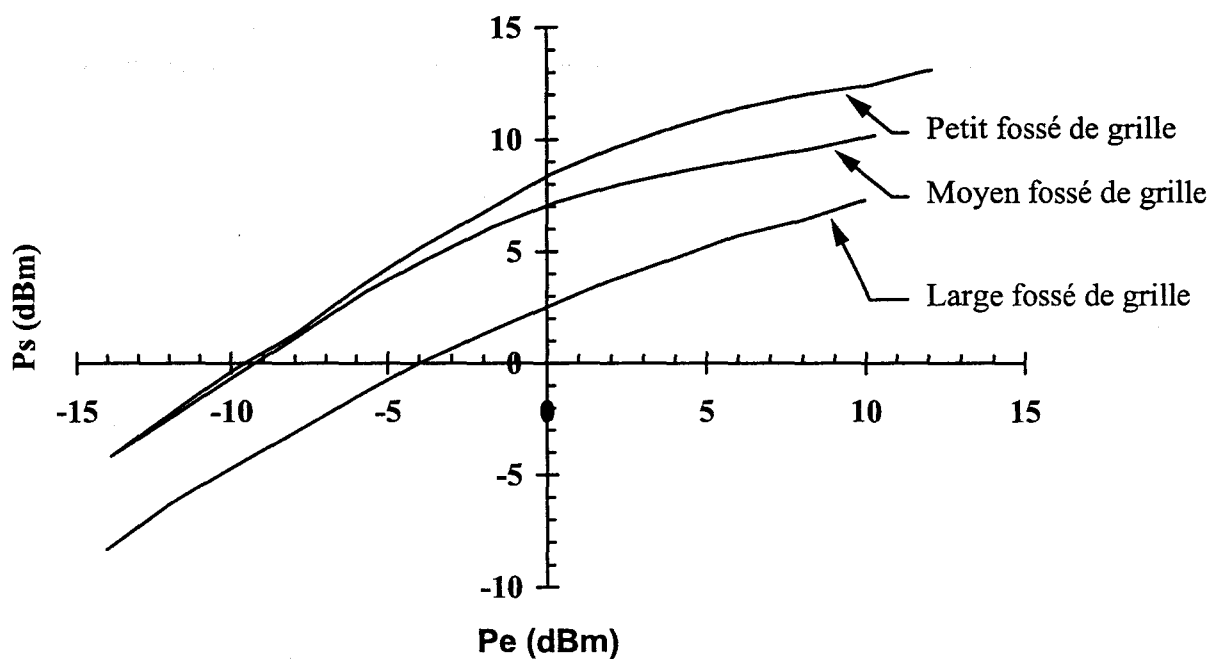


Figure III.28 : Evolutions de la puissance de sortie  $P_s$  mesurée à 60 GHz en fonction de la puissance d'entrée absorbée  $P_e$  pour plusieurs dimensions du fossé de grille.

InP HEMT  $2 \times 50 \mu\text{m}$ , opération 10174B,  $V_{ds} = 2 \text{ V}$ , classe A.

Compte tenu de ces éléments, les performances finalement estimées des composants sont présentées ci après.

### II.3.3. Résultats des mesures de puissances

Des mesures en régime d'amplification de puissance ont été entreprises sur les composants précédemment étudiés. Des corrections ont été appliquées sur ces mesures de manière à connaître les puissances d'entrée et de sortie dans le plan du transistor selon la méthodologie décrite dans les paragraphes précédents. Les composants mesurés ont tous des développements de  $2 \times 50 \mu\text{m}$ .

#### II.3.3.1. Opération 10174B

Sur cette épitaxie des composants présentant une variation de la largeur du fossé de grille ont été réalisés. Des transistors de chaque configuration ont alors été testés à une polarisation drain source de 2 V et à une polarisation grille source correspondant à un fonctionnement en classe A du transistor. Les caractérisations statiques et hyperfréquences petit signal avaient toutes deux montré l'effet bénéfique lié à l'extension du fossé de grille. On avait noté un meilleur comportement au claquage du composant et des valeurs plus élevées du gain MAG avec l'augmentation du fossé de grille.

Nous présentons sur la figure III.28 l'évolution de la puissance de sortie en fonction de la puissance d'entrée pour les trois types de fossé de grille. Nous pouvons constater sur ce graphe que la compression du transistor apparaît d'autant plus tôt que le fossé de grille est important, même si le composant à large fossé de grille est pénalisé par un gain plus faible. Les effets bénéfiques relevés en fonctionnement statique et petit signal semblent alors totalement occultés par la compression prématurée des composants à large fossé de grille. Cet effet de compression prématurée est sans doute liée à l'existence de pièges en sortie de grille qui bloquent l'excursion du signal hyperfréquence. Le composant à recess étroit a permis d'obtenir une puissance de sortie de 13.1 dBm (205 mW/mm) presque à saturation et 10.7 % de rendement en puissance ajoutée. Le rendement maximal obtenu était de 22.3 %, la puissance de sortie à 1 dB de compression de 6.8 dBm. Cette compression prématurée aurait dû être évitée par l'application d'une tension drain source supérieure. Cela ne s'est pas produit, ces

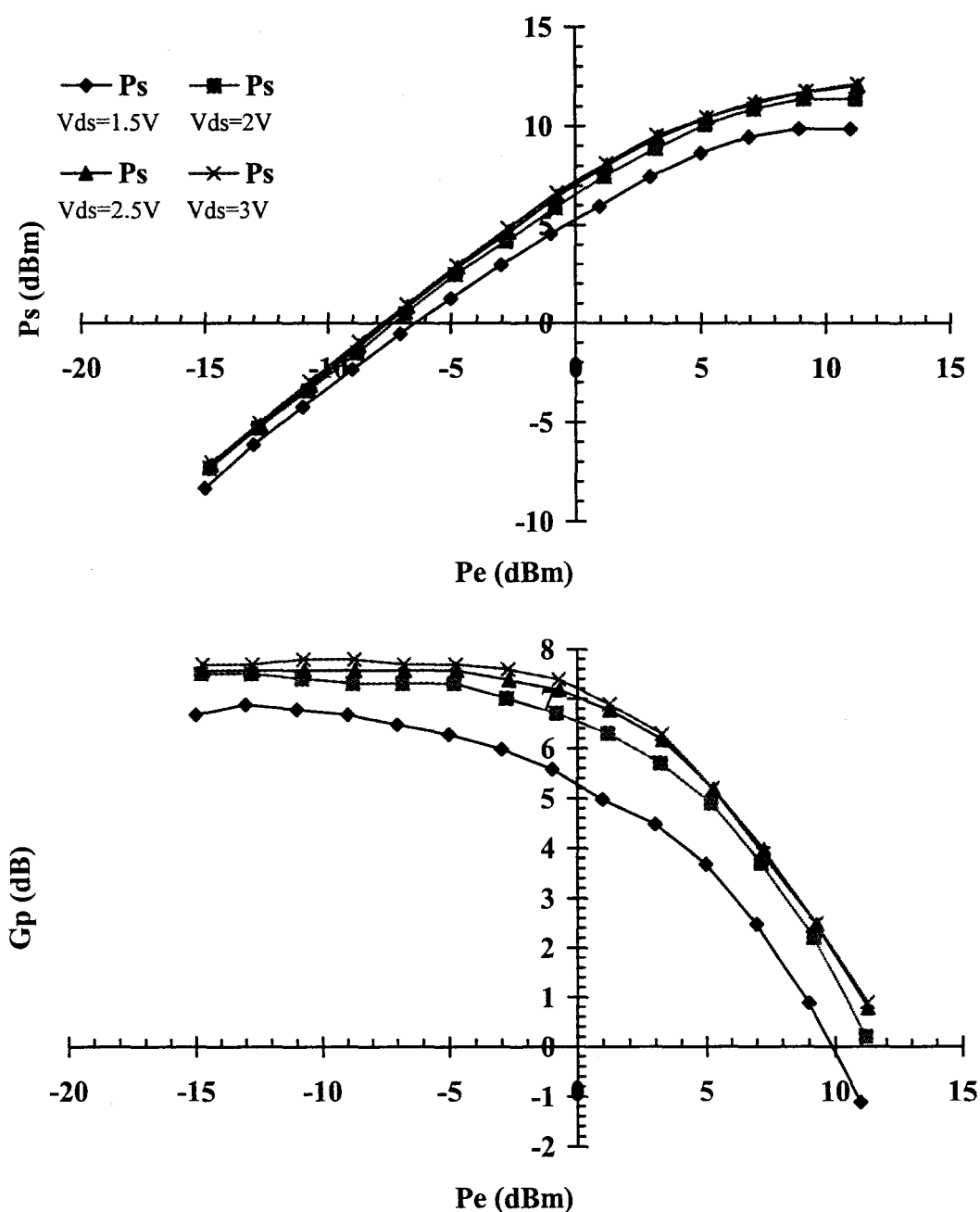


Figure III.29 : Evolutions de la puissance de sortie  $P_s$  et du gain en puissance  $G_p$  en fonction de la puissance d'entrée  $P_e$  pour plusieurs tensions de polarisation  $V_{ds}$ .  
InP HEMT  $2 \times 50 \mu m$ , opération 10290, classe A.

composants ne pouvant pas être polarisés à une tension  $V_{ds}$  supérieure à 2 V. A la puissance de sortie maximale, le courant de grille inverse était de 90  $\mu A$ , soit la limite de la densité de courant maximale (1 mA/mm) que nous imposons pour toutes les mesures en puissance.

#### II.3.3.2. Epitaxie 10290

Cette épitaxie est destinée à retarder l'apparition du courant de grille à l'aide d'un réseau AlAs/AlInAs placé dans la couche barrière. Les mesures de puissances effectuées sur ces composants ont permis d'obtenir une puissance de sortie maximale de 12.2 dBm (165 mW/mm) à saturation avec 7 % de rendement en puissance ajoutée pour une polarisation  $V_{ds}$  de 2 V et  $V_{gs}$  correspondant à un fonctionnement en classe A. Le rendement maximal obtenu est de 14.6 % et la puissance de sortie à 1 dB de compression de 6.4 dBm. Le rendement ainsi que la puissance de sortie sont évidemment pénalisés par une valeur du gain MAG à 60 GHz moins élevée que sur les autres composants. Néanmoins, aucun courant de grille n'a été relevé pendant les mesures, la barrière d'AlAs/AlInAs exerçant alors pleinement son rôle. Une meilleure tenue en tension a également été relevée, ces composants supportant une tension  $V_{ds}$  de 3 V, valeur qui reste cependant nettement en deçà de ce que laissaient espérer les mesures de claquage. Nous présentons figure III.29 l'évolution de la puissance de sortie et du gain en puissance pour différentes valeurs de la tension  $V_{ds}$ . Nous pouvons constater que pour une tension drain source appliquée au composant de 2.5 V ou 3 V, la puissance de sortie comme le gain en puissance n'augmentent plus ; une tension de polarisation de 2 V offrant alors des performances optimales.

#### II.3.3.3. Epitaxie 10315

Les composants réalisés sur cette épitaxie à double plan de dopage ont permis d'obtenir des performances proches de l'état de l'art à 60 GHz. Polarisé à une tension  $V_{ds}$  de 2 V, ces composants ont développé une puissance de sortie maximale de 15.6 dBm (360 mW/mm) avec 5.2 dB de gain associé et 28.3 % de rendement [26]. La puissance à 1 dB de compression du gain était de 10.5 dBm et le rendement maximal de 28.3 %. Très peu de courant de grille a été relevé ; la barrière composée d'un taux d'aluminium de 65 % en volume a ici aussi pleinement rempli sa fonction. Cependant,

l'utilisation de cette dernière est préférable à l'utilisation d'un super réseau dans la couche barrière puisqu'il n'est pas nécessaire d'optimiser à nouveau l'étape des contacts ohmiques. Ces transistors n'ont toutefois pas supporté une tension  $V_{ds}$  supérieure à 2 V.

#### II.3.3.4. Epitaxie 10347

Cette structure à plan de dopage unique incorporant une barrière à 65 % d'aluminium possède un canal  $\text{Ga}_{0.55}\text{In}_{0.45}\text{As}$ . La diminution du taux d'indium dans le canal devrait permettre d'augmenter la tension  $V_{ds}$  applicable au composant. Polarisés à une tension  $V_{ds}$  de 2 V, ces composants ont permis d'obtenir une puissance de sortie de 10.5 dBm (110 mW/mm) avec 4.5 dB de gain et 10.2 % de rendement en puissance ajoutée. Polarisés à une tension drain source de 3 V, 13.2 dBm (210 mW/mm) avec 3 dB de gain et 8.3 % de rendement ont été atteint ; la présence de courant de grille n'ayant pas été décelée pour ces composants. Ajoutons que pour les composants ne présentant pas de courant de grille à fort signal injecté dans la grille, nous avons été limité par la puissance maximale délivrable par la diode Gunn utilisée comme source du banc de mesure en puissance.

### II.4. Conclusion : choix de l'épitaxie

Une caractérisation complète a été entreprise sur chaque épitaxie afin de connaître le comportement en régime statique, petit signal et grand signal de ces composants. L'objectif était d'optimiser les structures pour un fonctionnement en amplification de puissance des composants. Il a été démontré qu'une barrière à fort taux d'aluminium (65 %) était nécessaire pour améliorer non seulement la tenue en tension des diodes mais aussi limiter la remontée de courant de trous dans la grille. Ce type de barrière a été préféré à un super réseau composé de plusieurs couches d'AlInAs, nécessitant une optimisation des contacts ohmiques, pour éviter une baisse des performances hyperfréquences petit signal et grand signal. Le canal a été choisi adapté en maille sur le substrat d'InP, l'augmentation du taux d'indium favorisant l'apparition de domaine Gunn et limitant ainsi la tenue en tension des composants. Il faut cependant remarquer que les performances en puissance de tous les composants étudiés ont été

limités dans un rapport 2 par rapport à la puissance statique classiquement définie par la relation  $\frac{I_{ds} \times V_{gd_{br}}}{8}$ .

Enfin, une structure monoplan de dopage à  $4.10^{12}$  at/cm<sup>2</sup> est préférée à une structure double plan dans un premier temps pour ne pas augmenter l'ionisation dans le canal, mais également dans un soucis d'une meilleure reproductibilité des couches. Cette structure type ainsi définie et présentée figure III.30 sera utilisée pour la réalisation des transistors destinés à la conception de l'amplificateur.

### III. Description des éléments présents sur le nouveau masque de transistor MAGIC

---

Nous ne disposons pas au laboratoire de jeux de masques destinés à la réalisation de composants multi doigts en guide de propagation microruban pour un fonctionnement en bande V. C'est pourquoi, la réalisation d'un nouveau jeu de masques s'est avéré nécessaire. Il est composé de multiples transistors de développements et de configurations différentes. Des structures particulières ont été réalisées afin d'essayer d'améliorer la détermination des éléments extrinsèques dont l'influence est renforcée à ces fréquences comme nous avons pu le voir dans les précédents paragraphes de ce chapitre. Des topologies innovantes ont également été conçues afin d'étudier leur influence sur les performances hyperfréquences. Enfin, des éléments de calibrage en guide microruban ont été placés sur ce masque afin de permettre un étalonnage de l'analyseur de réseau sur le même substrat que les éléments à caractériser.

#### III.1. Les éléments de calibrage

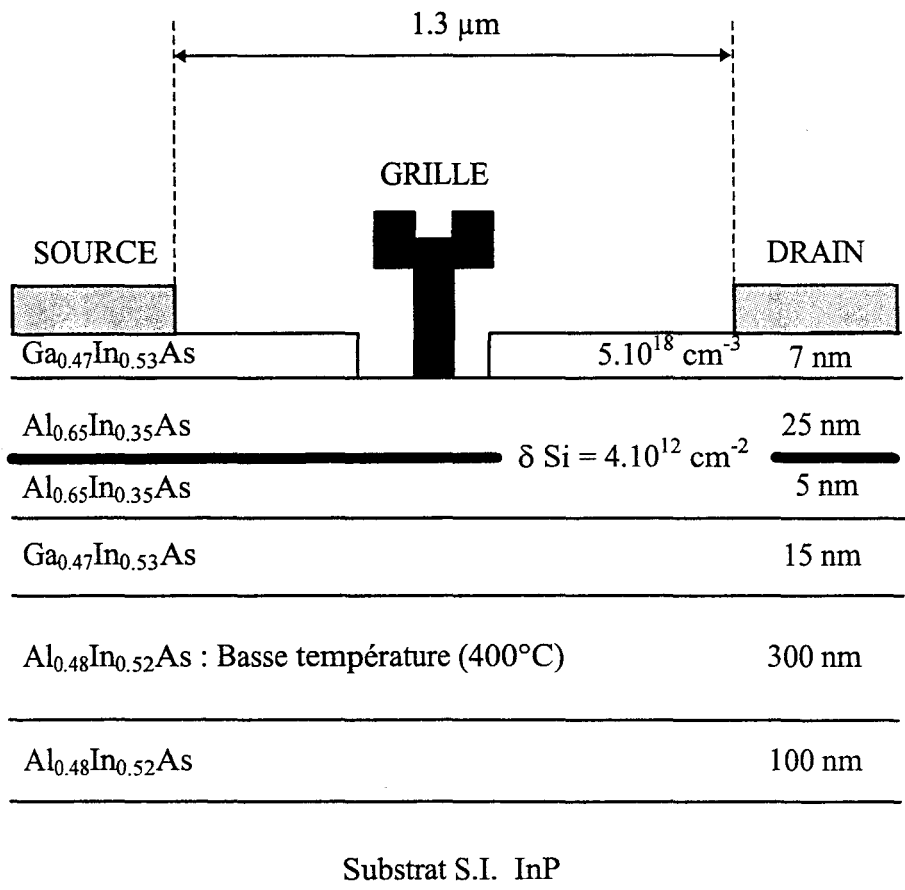


Figure III.30 : Représentation de l'épitaxie utilisant le masque MAGIC lors de l'opération 10442.

Des éléments de calibrage identiques à ceux déjà réalisés pour les éléments passifs sont présents. Ils sont réalisés, comme l'ensemble des transistors, en guide microruban. Ces éléments sont constitués de deux lignes d'impédance caractéristique  $50 \Omega$  ( pour une épaisseur de substrat de  $40 \mu\text{m}$ ) et de longueur  $600 \mu\text{m}$  et  $1000 \mu\text{m}$ . Deux lignes en circuit ouvert de  $300 \mu\text{m}$  constituent l'étalon de réflexion pour la réalisation du calibrage de type LRL.

### **III.2. Les structures supplémentaires permettant de déterminer les éléments extrinsèques**

Comme nous l'avons montré dans ce chapitre, la détermination des éléments extrinsèques constitue l'un des points clé de l'élaboration du schéma équivalent de transistors aux fréquences millimétriques. C'est pourquoi, une attention particulière a été portée sur ce nouveau jeu de masque afin de permettre la détermination précise de ces éléments extrinsèques. Une attention particulière a été portée pour faciliter la détermination des capacités de plots  $C_{pg}$  et  $C_{pd}$  ainsi que celle de la capacité parasite  $C_{pgd}$ . S'il est possible d'obtenir les valeurs des capacités de plots de grille et de drain en réalisant des lois d'échelles avec différents développements de transistors, il n'en est pas de même pour la capacité  $C_{pgd}$ . Pour estimer la valeur de celle-ci, des structures particulières supplémentaires s'avèrent nécessaires.

La figure III.31 montre les différentes capacités présentes dans le transistor lorsqu'il est polarisé à  $V_{ds} = 0 \text{ V}$  et  $V_{gs} < V_p$ . A partir des paramètres admittance, il est possible d'extraire les capacités totales  $C_{11}$ ,  $C_{12}$  et  $C_{22}$  du circuit équivalent en  $\Pi$  en fonction du développement total de grille selon les équations :

$$C_{11}(W) = C_{pg} + C_{gs_{ext}}(W) + C_{bs}(W) + C_{g_{pont}}(W)$$

$$C_{21}(W) = C_{pgd_{ext}}(W) + C_{bd}(W)$$

$$C_{22}(W) = C_{pd} + C_{ds_{ext}}(W) + C_{ds_{int}}(W) + C_{d_{pont}}(W)$$



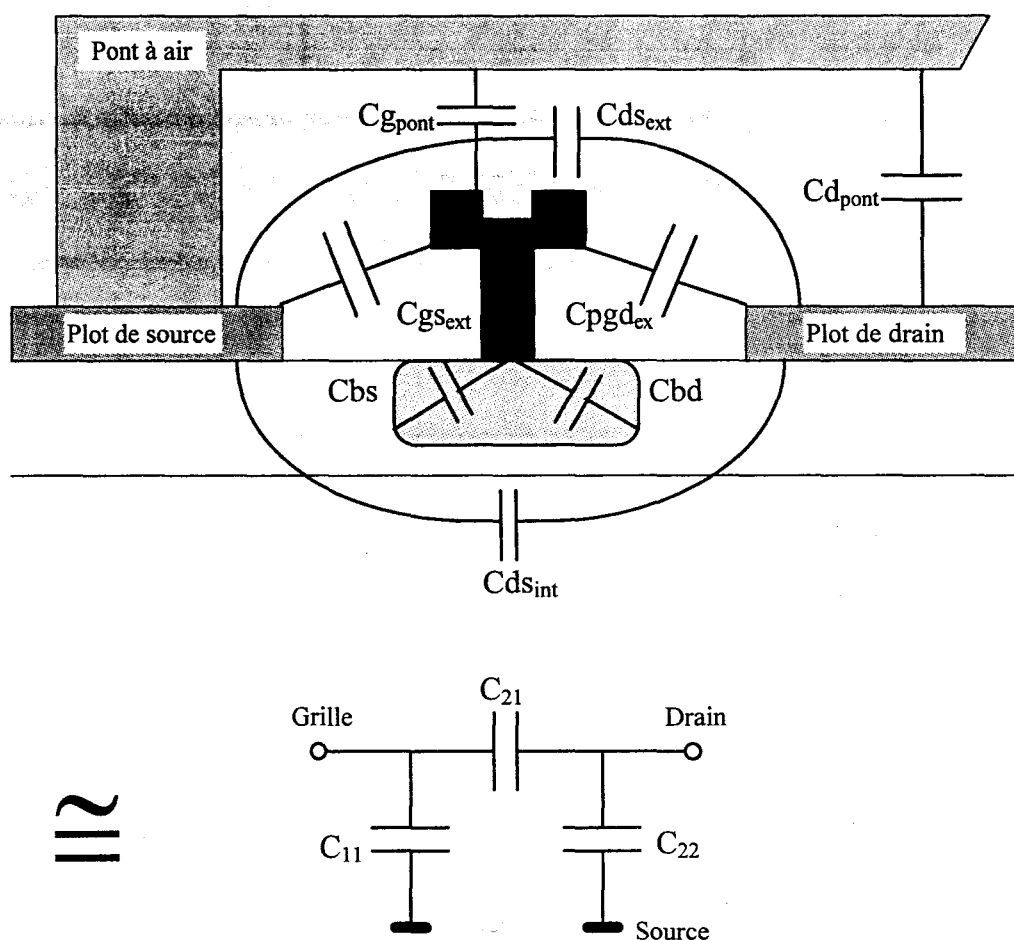


Figure III.31 : Représentation des différentes capacités lorsque le transistor est polarisé au pincement.

où  $C_{pg}$  et  $C_{pd}$  représentent les capacités dues à la métallisation des plots d'accès de la grille et du drain;

$C_{gs_{ext}}(W)$  représente la capacité grille source électrostatique liée aux électrodes correspondantes et situées hors du semi-conducteur;

$C_{bs}(W)$ , la capacité d'extension côté source, à l'intérieur du semi-conducteur;

$C_{gpont}(W)$ , la capacité électrostatique entre l'électrode de grille et le pont de source;

$C_{gd_{ext}}(W)$ , la capacité grille drain électrostatique liée aux électrodes correspondantes et situées à l'extérieur du semi-conducteur;

$C_{bd}(W)$ , la capacité d'extension côté drain, située dans le semi-conducteur;

$C_{ds_{int}}(W)$ , la capacité drain source résiduelle à l'intérieur du semi-conducteur;

$C_{ds_{ext}}(W)$ , la capacité drain source électrostatique liée aux électrodes correspondantes et situées hors du semi-conducteur;

$C_{dpont}(W)$ , la capacité électrostatique entre l'électrode de drain et le pont de source.

Cette méthode donne accès à la détermination de toutes ces capacités si l'on considère négligeable la capacité électrostatique liée au pont [27].

### III.2.1. Structures sans doigts de drain ni de grille

La réalisation d'une structure ne comportant ni doigt de drain, ni doigt de grille, est l'une des deux structures nécessaires à la détermination de toutes ces capacités. Pour une telle structure, les valeurs des capacités  $C_{11}$ ,  $C_{22}$  et  $C_{21}$  se réduisent à :

$$C_{11} = C_{pg}$$

$$C_{21} = 0$$

$$C_{22} = C_{pd}$$

Ce type d'éléments permet la détermination des valeurs des capacités de plots  $C_{pg}$  et  $C_{pd}$  par simple mesure des paramètres admittances et évite l'extrapolation des courbes représentant  $C_{11}$  et  $C_{22}$  en fonction de la largeur totale de grille [6].

Ces deux méthodes permettent toutes deux de déterminer les valeurs des capacités de plots  $C_{pg}$  et  $C_{pd}$ . Une structure sans doigts de drain ni de grille conviendra

particulièrement bien à un jeu de masque où des transistors de différents développements de grille ne sont pas nécessaires. Avec le masque MAGIC, nous possédons la possibilité d'utiliser l'une ou l'autre de ces méthodes, ce qui est un gage de fiabilité.

### III.2.2. Structures sans zone active

L'intérêt de ces structures réside dans la possibilité de pouvoir séparer les capacités internes au semi-conducteur des capacités électrostatiques liées aux métallisations. Leur réalisation consiste à déposer toutes les métallisations du transistor non pas sur les couches actives mais sur une couche semi-isolante comme pour une structure passive. Il n'y a donc ni contact ohmique, ni méso sur ces structures. Les capacités  $C_{11}$ ,  $C_{21}$  et  $C_{22}$  d'une telle structure s'écrivent alors en négligeant les capacités électrostatiques engendrées par le pont dont la hauteur est importante ( $\approx 3.5 \mu\text{m}$ ) :

$$C_{11} = C_{pg} + C_{gs_{ext}}(W)$$

$$C_{21} = C_{pgd}$$

$$C_{22} = C_{pd} + C_{ds_{ext}}(W)$$

Le terme  $C_{21}$  permet donc la détermination de la capacité électrostatique  $C_{pgd}$ . Cette structure permet également de quantifier les contributions des parties extrinsèques et des parties intrinsèques des capacités  $C_{gs}$ ,  $C_{ds}$  et  $C_{gd}$  en mesurant ces mêmes quantités  $C_{ij}$  sur un véritable composant cette fois.

Ces conditions devraient permettre une meilleure connaissance de la répartition des capacités au sein des transistors à effet de champ et de pouvoir ainsi améliorer leur modélisation. Cinq structures sans zone active et cinq autres sans doigt de drain ni de grille ont été réalisées sur ce masque pour une largeur unitaire de  $40 \mu\text{m}$ . Elles comportent 2, 4, 6 et 8 doigts de grille. Le composant à 8 doigts est réalisé avec soit un accès de grille en peigne, soit un accès de grille en arbre. Ce dernier est destiné à placer à égale distance de l'accès tous les doigts de grille et à limiter ainsi les déphasages entre les signaux propagés sur chaque grille.

### **III.3. Les différents développements de transistors**

De nombreux développements de transistors ont été réalisés afin de permettre l'étude du développement de grille sur les performances des transistors en gamme millimétrique puisque l'on ne connaît pas actuellement la géométrie optimale pour des applications en puissance. Les topologies de transistors en peigne sont les plus représentées sur le réticule. Elles comprennent des largeurs unitaires de 20, 30, 40, 50, et 75  $\mu\text{m}$  et 2, 4, 6 ou 8 doigts de grille répartis comme suit :

Largeur unitaire	20 $\mu\text{m}$	30 $\mu\text{m}$	40 $\mu\text{m}$	40 $\mu\text{m}$	50 $\mu\text{m}$	75 $\mu\text{m}$
Topologie	peigne	peigne	peigne	arbre	peigne	peigne
2 doigts	x	x	x		x	x
4 doigts	x	x	x		x	x
6 doigts	x	x	x		x	x
8 doigts			x	x	x	x

Tableau III.13. Les différents développements de transistors présents sur le masque MAGIC.

A titre d'exemple, la figure III.32 représente un composant en peigne de développement 6\*40  $\mu\text{m}$ .

### **III.4. Les autres topologies de transistors**

Afin d'optimiser au maximum la place disponible sur le réticule, quelques structures innovantes ont été ajoutées pour connaître leur comportement en gamme d'ondes millimétriques. Ces structures visent toutes à augmenter les performances des composants en diminuant la valeur de l'inductance de source  $L_s$  des transistors [28].

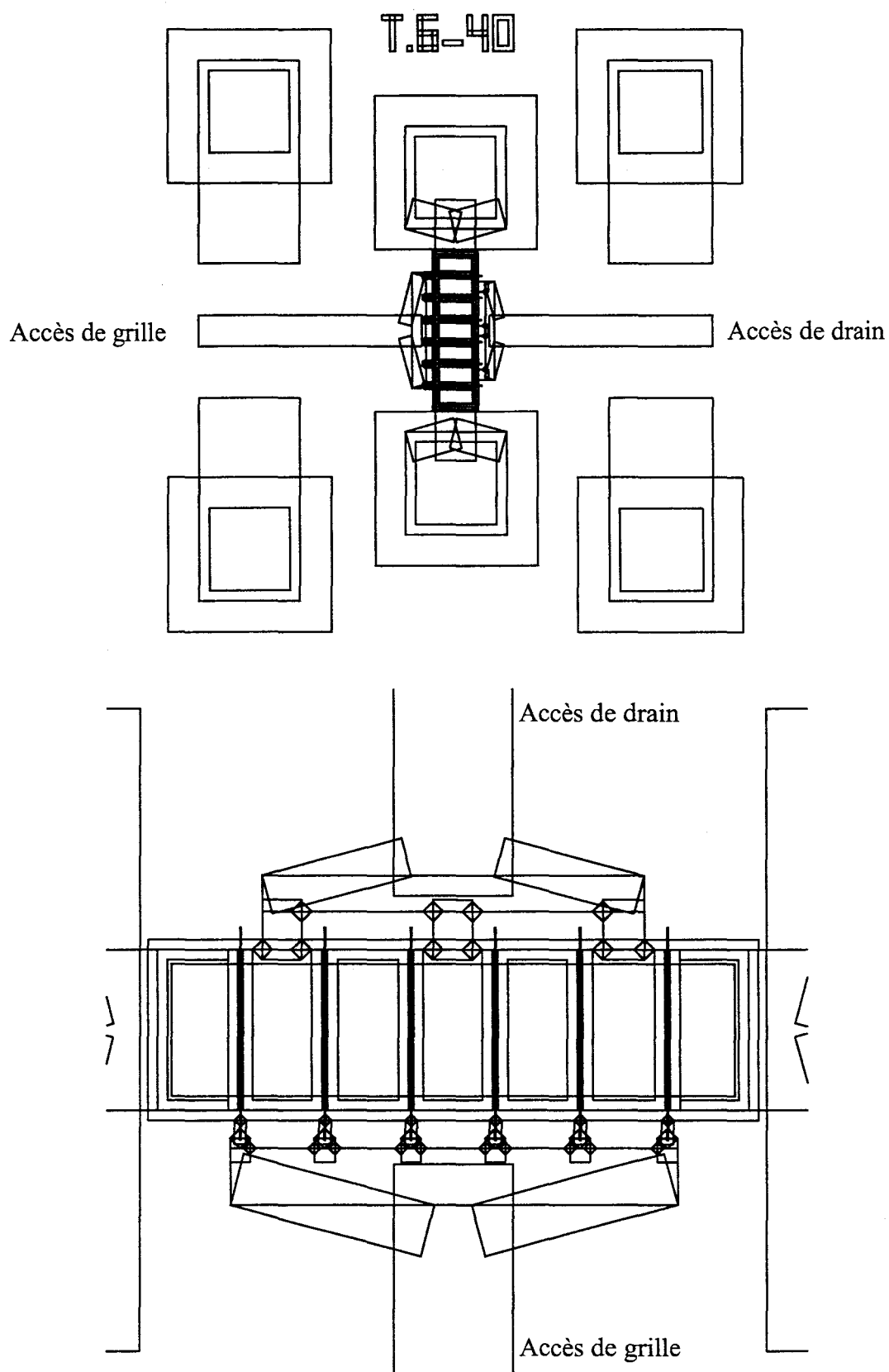


Figure III.32 : Dessins d'un composant MAGIC 6×40 μm et de sa zone active.

### III.4.1. Transistor avec pont sur le drain

Ce transistor est représenté sur la figure III.33. Le pont de source a été supprimé sur cette topologie afin de diminuer la valeur de l'inductance de source et ainsi augmenter les performances des composants. Des ponts ont alors été réalisés pour connecter les contacts ohmiques de drain au plot d'accès. Ce composant possède un développement de grille de 8 doigts de 40  $\mu\text{m}$ .

### III.4.2. Transistor en T dit en "arête de poisson"

Un transistor dit "en arête de poisson" de 6 doigts de grille de largeur unitaire de 40  $\mu\text{m}$  a également été conçu. Une fois encore, les ponts sont réalisés sur les contacts de drain, minimisant ainsi les métallisations de source. La topologie de ce composant est représentée sur la figure III.34.

### III.4.3. Composant à trois trous métallisés de source

Cette topologie de transistor est inspirée des composants MESFET de puissance dont le développement total de grille peut atteindre plusieurs millimètres. La topologie de ce composant est présentée sur la figure III.35. En ajoutant un trou métallisé supplémentaire à la structure, l'inductance équivalente de source est alors constituée de trois trous métallisés placés en parallèle et de deux ponts de source plus courts. Le développement de ce composant est de 8 doigts de grille de 40  $\mu\text{m}$  de large. Une autre solution consisterait à faire un trou métallisé sous chaque source [29], mais cette solution n'est pas envisageable dans les conditions actuelles de la technologie. C'est pourquoi des solutions géométriques pour diminuer l'inductance de source  $L_s$  ont été envisagées.

## IV. Description du procédé de réalisation des composants

---

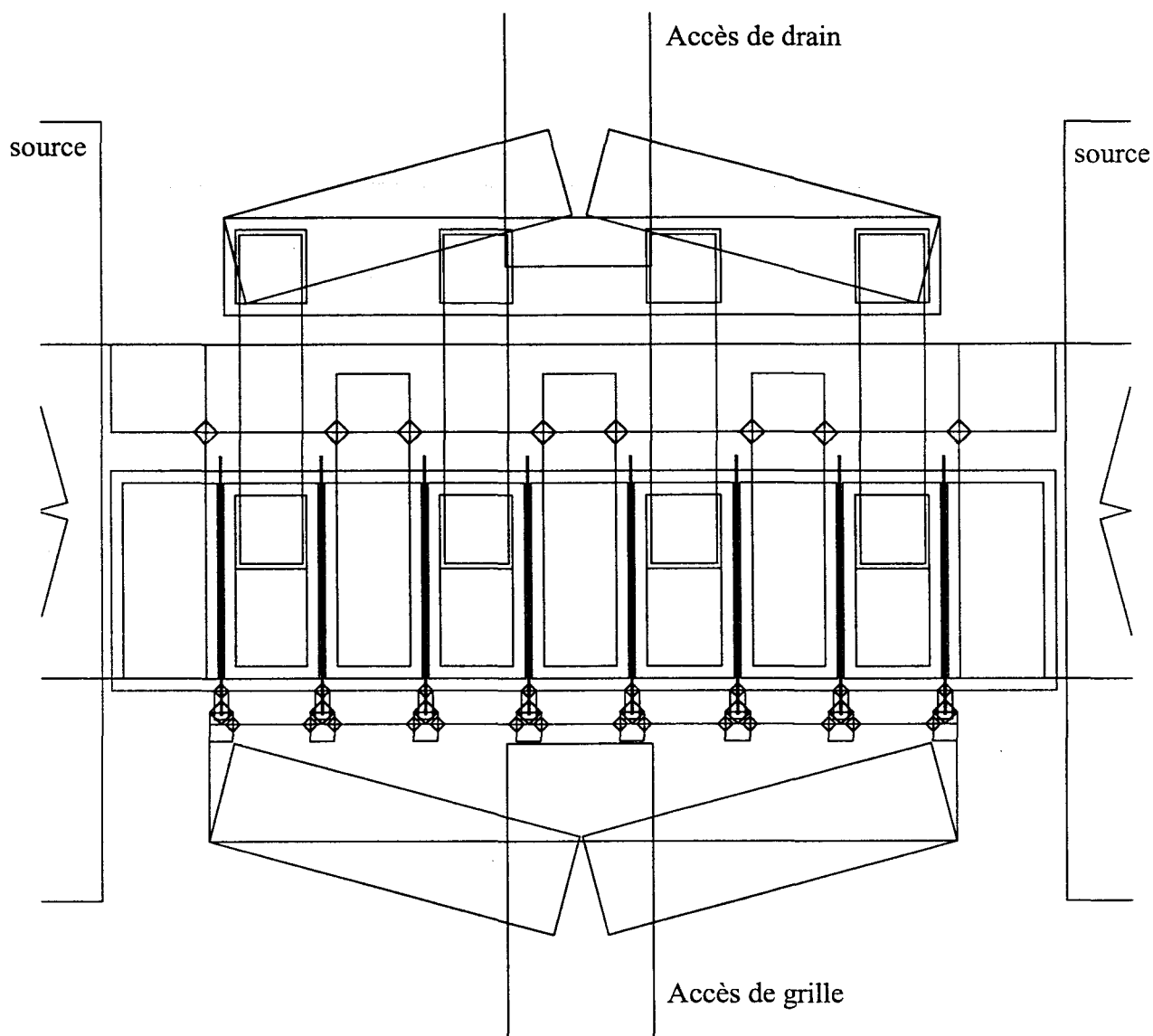


Figure III.33 : Dessin d'un composant MAGIC 8×40 μm avec le pont à air sur le drain.

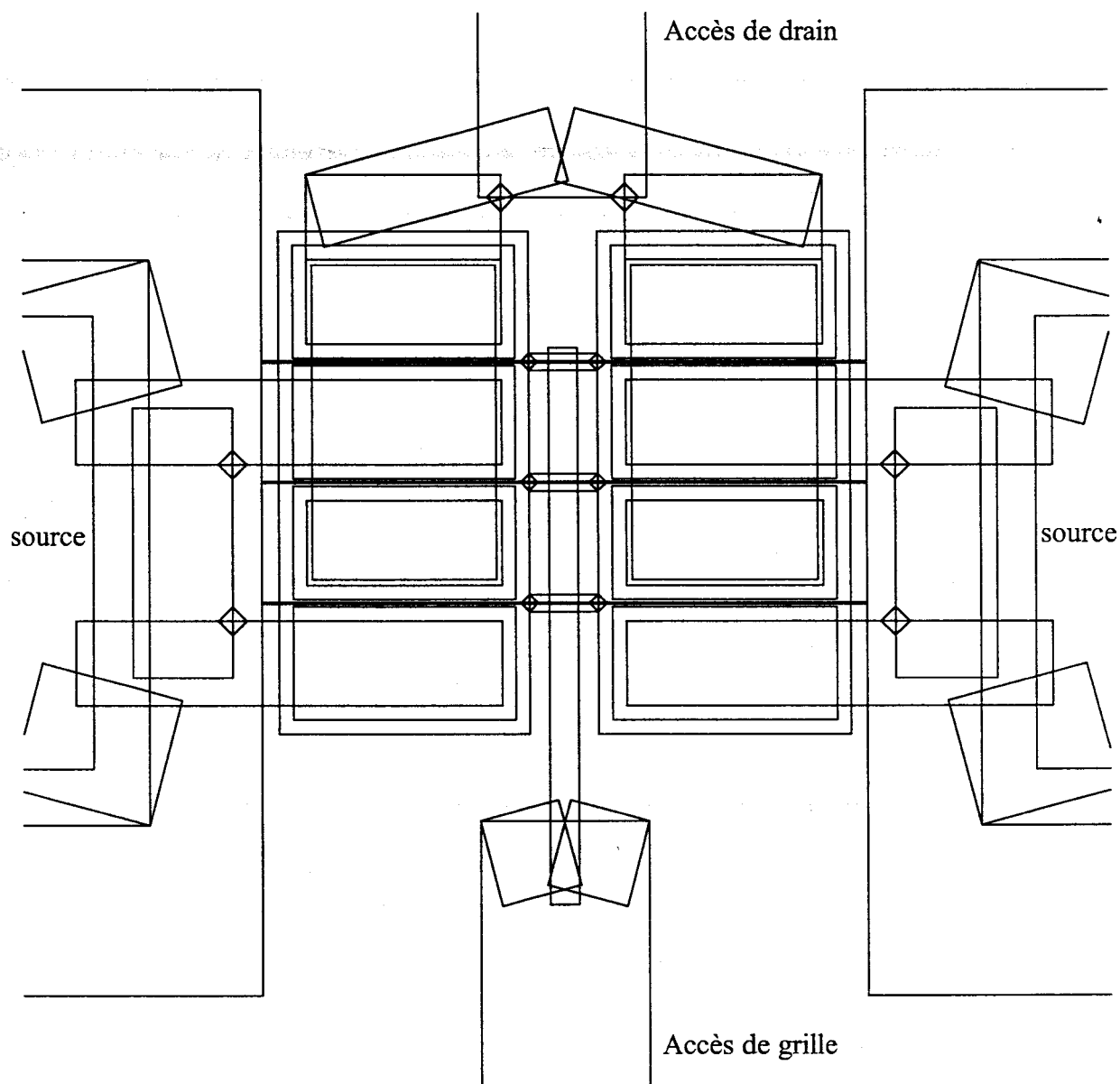


Figure III.34 : Dessin d'un composant MAGIC 6×40  $\mu\text{m}$  "en arête de poisson".



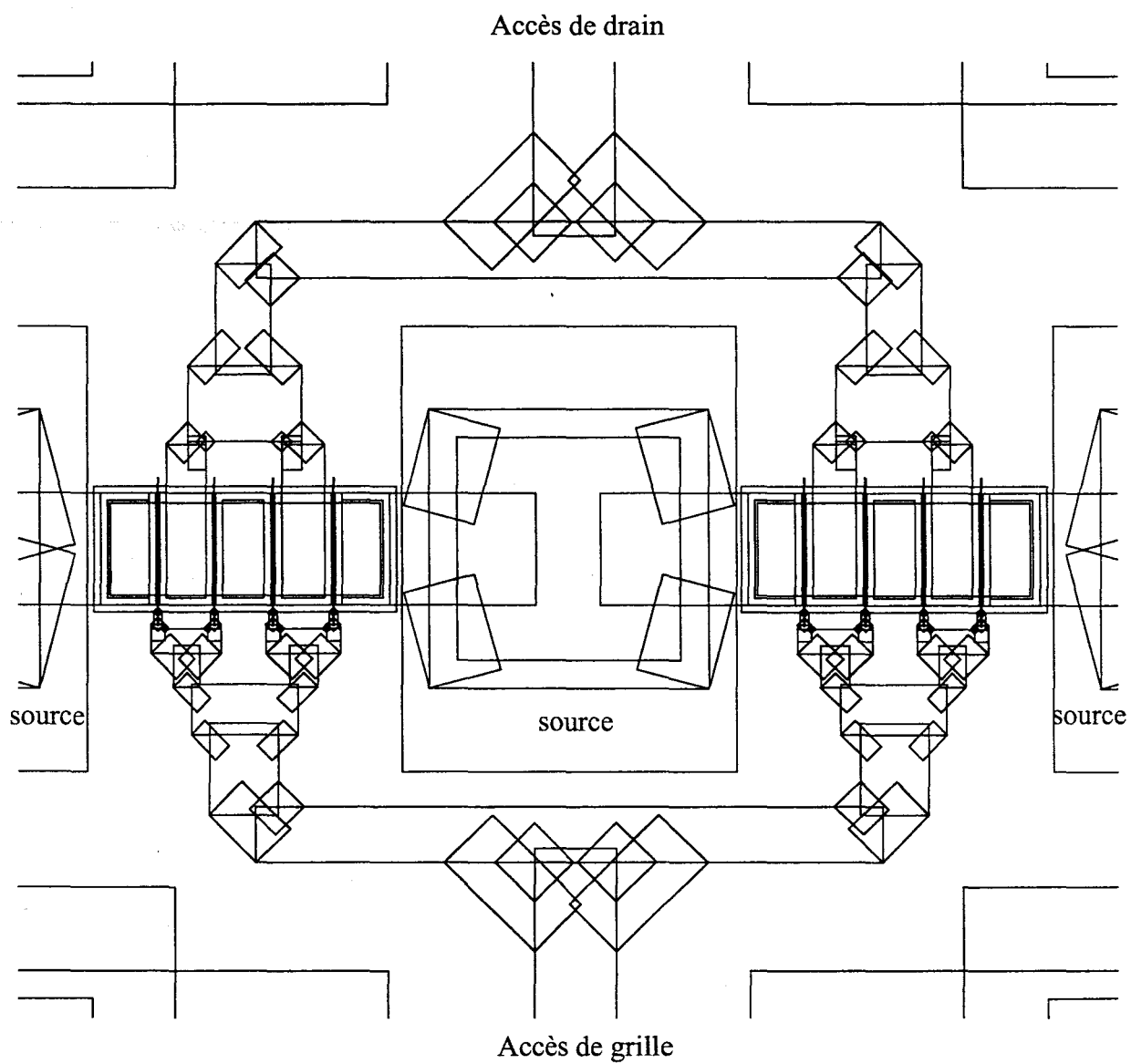


Figure III.35 : Dessin d'un composant MAGIC 8×40 μm avec trou métallisé central.

Le procédé de réalisation de ces composants en guide microruban sur substrat de phosphore d'indium a été mis au point par S.Trassaert, B.Boudart et M.Zaknoune, tous membres de l'équipe du professeur Crosnier. Ce procédé doit respecter trois principales contraintes : le procédé de réalisation des trous métallisés doit rester identique à celui utilisé pour la réalisation des éléments passifs. Il doit permettre la réalisation du pont à air nécessaire dans une technologie multi doigts de grille pour connecter entre eux les différents plots de source. Enfin, le procédé complet de réalisation doit rester compatible avec la réalisation des éléments passifs pour la réalisation future du circuit intégré.

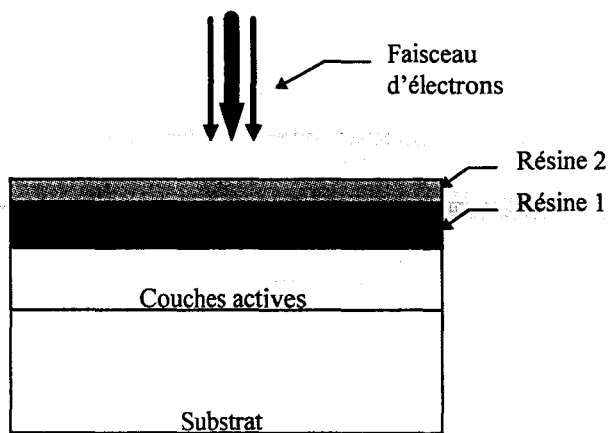
#### **IV.1. Marques et motifs d'alignements**

La première étape de réalisation des transistors nécessite une première exposition au masqueur électronique. Elle permet la définition des marques et des motifs qui seront utilisés pour l'alignement des masques optiques et électroniques des étapes ultérieures. Pour cette étape, il y a un dépôt successif de deux résines d'épaisseur 11000 Å/2000 Å et de sensibilité différentes pour obtenir un profil en casquette et ainsi pouvoir supprimer (lift off) la métallisation en fin d'étape. La figure III.36 illustre ce procédé.

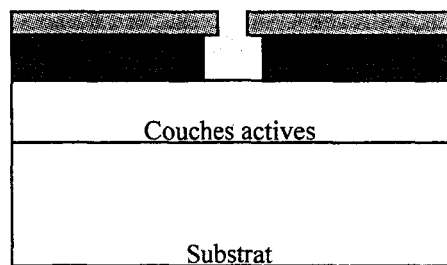
Les motifs d'alignement sont constitués de croix et seront utilisés pour la lithographie optique. L'alignement consiste à superposer une croix épaisse située sur l'échantillon et une croix plus fine située sur le masque de verre. Chaque croix correspond à un niveau différent de masquage. Les marques d'alignement sont utilisées pour positionner le masqueur électronique sur l'échantillon avant l'insolation des contacts ohmiques. Ces marques sont constituées de 8 carrés de 8 µm de côté placés autour de la zone délimitant un champ élémentaire de composants.

#### **IV.2. Réalisation de l'avant trou**

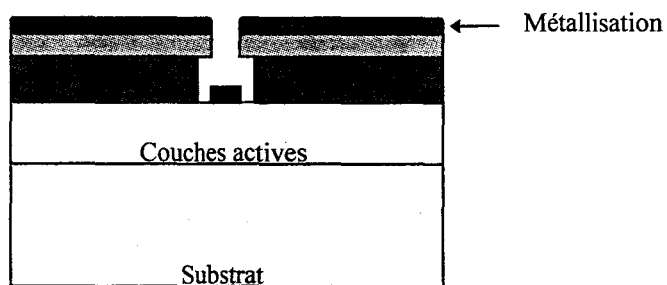
La réalisation des avant trous est nécessaire au repérage de l'épaisseur du substrat lors de son amincissement ainsi que lors de l'alignement des masques face



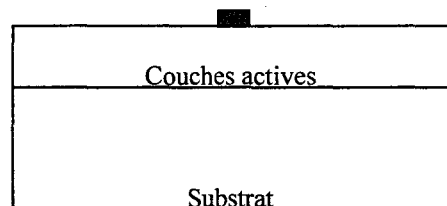
① : Dépôt de 2 couches de résines de sensibilité différentes et insolation par faisceau électronique.



② : Profil de résine obtenu après révélation.



③ : Dépôt de la métallisation par évaporation



④ : Dissolution des résines

Figure III.36 : Description de la réalisation des marques et motifs d'alignement.

arrière. Ce procédé est identique à celui décrit pour la réalisation des éléments passifs ; c'est pourquoi nous ne le décrivons pas de nouveau dans cette partie. Toutefois, la présence des couches actives sur le substrat provoque une sous gravure plus importante des avants trous qui s'élargissent. Il conviendra donc pour la réalisation du circuit de diminuer leurs dimensions (réduction des dimensions des carrés de 80  $\mu\text{m}$  de côté à 60  $\mu\text{m}$  de côté).

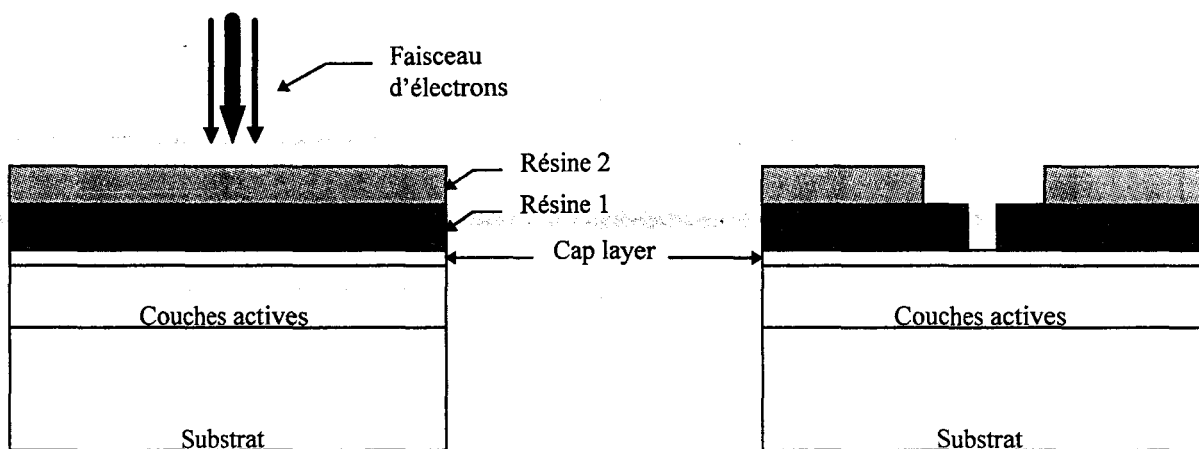
### **IV.3. Les contacts ohmiques**

La définition des contacts ohmiques nécessite un deuxième passage au masqueur électronique. L'alignement de celui-ci s'effectue à l'aide des marques réalisées lors de la première étape. Deux résines d'épaisseur (6300/700 Å) et de sensibilité différentes sont déposées et recuites avant d'être insolées. Pour la réalisation des contacts ohmiques, les métaux Ni/Ge/Au/Ni/Au d'épaisseurs respectives 25/400/800/50/600 Å sont évaporés. La suppression de la métallisation et un recuit rapide de 30s à 300 °C pour former le contact terminent cette étape.

De nouvelles marques d'alignement sont également réalisées en même temps que les contacts ohmiques afin de disposer de repères pour la définition des grilles. Les grilles des transistors seront ainsi alignées par rapport aux contacts ohmiques et non pas par rapport aux marques déposées lors de la première étape.

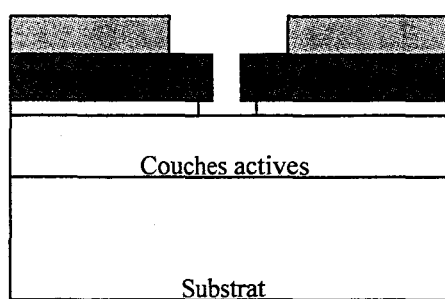
### **IV.4. Isolation des transistors**

Cette étape, réalisée par lithographie optique, permet d'isoler électriquement les transistors les uns des autres. La totalité de l'épaisseur des couches actives (#1000 Å) est gravée par voie chimique (méso) jusqu'à atteindre la couche tampon isolante. L'isolation peut également être effectuée par implantation ionique mais cette méthode, pas encore étudiée ni optimisée, n'a pas été utilisée.

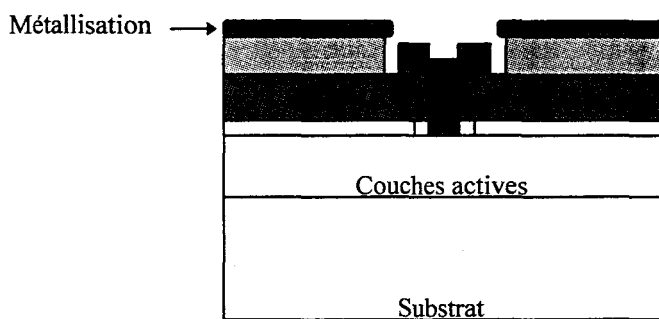


① : Dépôt de 2 couches de résines de sensibilité différentes et insolation par faisceau électronique.

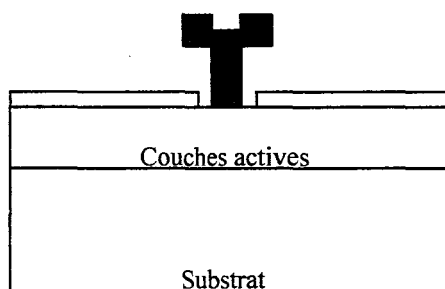
② : Profil de résine obtenu après révélation.



③ : Gravure du cap par voie humide.



④ : Dépôt de la métallisation de grille.  
Le profil en casquette nécessaire au lift off s'effectue progressivement lors du dépôt des métaux.



⑤ : Dissolution des résines

Figure III.37 : Description de la technologie de grille à deux couches de résines

#### **IV.5. Le fossé de grille**

La réalisation du contact Schottky requiert tout d'abord la gravure du Cap. Celle-ci est effectuée par gravure humide avec une solution d'acide succinique sélective qui présente l'avantage d'être rapide à mettre en œuvre comparée à une attaque plasma. Etant données les dimensions en présence nécessaires à la montée en fréquence (longueur de grille de  $0.15\ \mu\text{m}$ , espace entre les contacts ohmiques de  $1.3\ \mu\text{m}$ ), l'utilisation de la lithographie électronique s'impose. Deux couches de résines d'épaisseurs et de sensibilités différentes sont alors déposées (procédé bicouche). La définition correcte des doses et du motif à insoler permet de réaliser une topologie de grille en T de faible longueur ( $0.15\ \mu\text{m}$ ) nécessaire à l'obtention de performances correctes des transistors en ondes millimétriques. Cette étape est certainement l'une des plus délicates dans la réalisation des transistors, sa reproductibilité étant un paramètre déterminant pour la réalisation des composants multi doigts.

Le procédé de réalisation des grilles en T à l'aide d'une technologie bicouche est décrite à la figure III.37. La réalisation de la casquette nécessaire à la suppression de la métallisation s'effectue de manière progressive au fur et à mesure du dépôt de la métallisation.

#### **IV.6. L'épaississement**

Ce niveau de métallisation supplémentaire est destiné à épaissir les contacts ohmiques, réaliser tous les accès des transistors et les lignes de transmission des kits de calibrage. Une première couche de titane ( $1000\ \text{\AA}$ ) servant d'accrochage à celle de l'or plus épaisse ( $4000\ \text{\AA}$ ) est alors déposée par évaporation. Cette étape est définie par lithographie optique avec une précision de l'ordre du micromètre sur les dimensions non critiques de ces structures.

#### **IV.7. Réalisation des ponts à air**

Des ponts à air sont nécessaires pour connecter les plots de source des composants multi doigts. Leur réalisation s'effectue en deux étapes. La première consiste à définir les piliers à l'aide d'une épaisse résine ( $3.5\text{ }\mu\text{m}$ ) afin d'augmenter la hauteur des ponts. La seconde concerne la définition des tabliers. Entre ces deux étapes, il est nécessaire de déposer un fin film de nickel ( $500\text{ }\text{\AA}$ ) par évaporation de manière à réaliser une électrode nécessaire à la croissance électrolytique des ponts. La définition des piliers et des tabliers des transistors s'effectue par lithographie optique. La figure III.38 résume le procédé de réalisation.

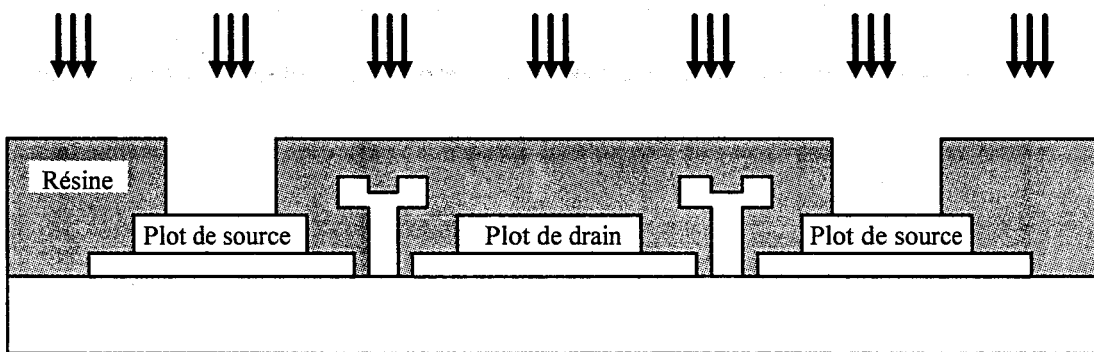
#### **IV.8. Traitement de la face arrière**

Le traitement de face arrière consiste à amincir la plaquette à une épaisseur proche de  $40\text{ }\mu\text{m}$ , à graver les trous puis à les métalliser, sans oublier l'étape supplémentaire de relaxation des contraintes exercées par le plan de masse sur le substrat. Ces étapes sont identiques à celles présentées dans le chapitre précédent concernant la réalisation des éléments passifs. Ce traitement de la face arrière termine la réalisation des composants.

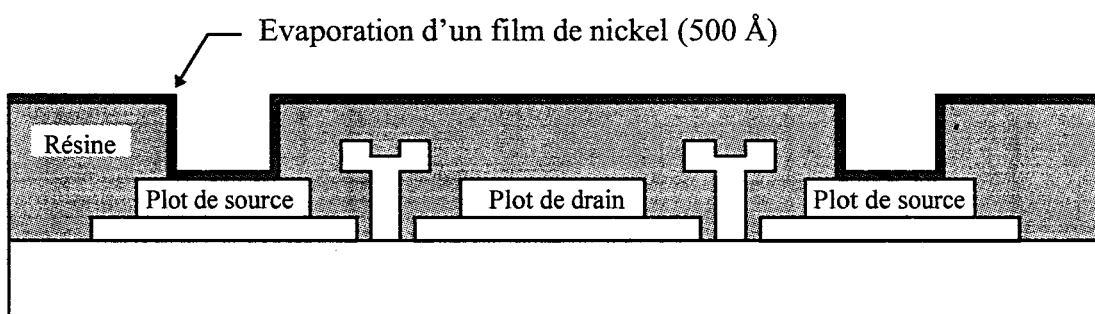
### **V. Caractérisation des composants réalisés avec le masque MAGIC**

---

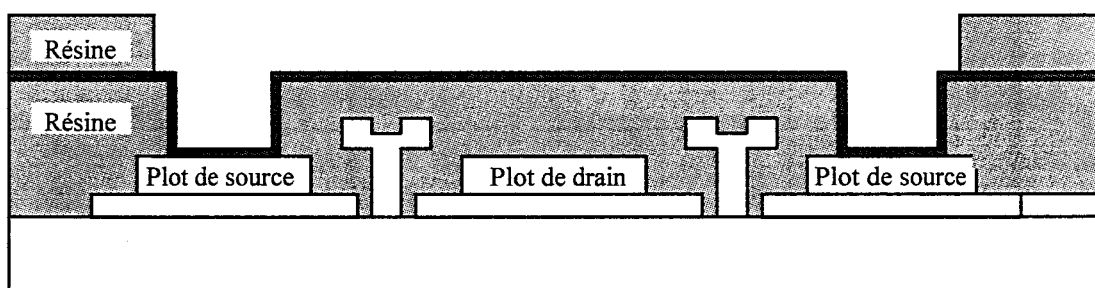
Le procédé de réalisation des transistors décrit à la partie précédente est complexe puisqu'il comporte 11 niveaux de masquage. L'étape la plus critique reste la réalisation du fossé de grille qui conditionne le fonctionnement des composants. De plus, pour les composants multi-doigts, le dépôt de la grille doit être réalisé avec un rendement important sous peine de ne pas pouvoir pincer le transistor. Afin de



① : Dépôt, insolation et révélation de la résine afin de définir les piliers des ponts à air.

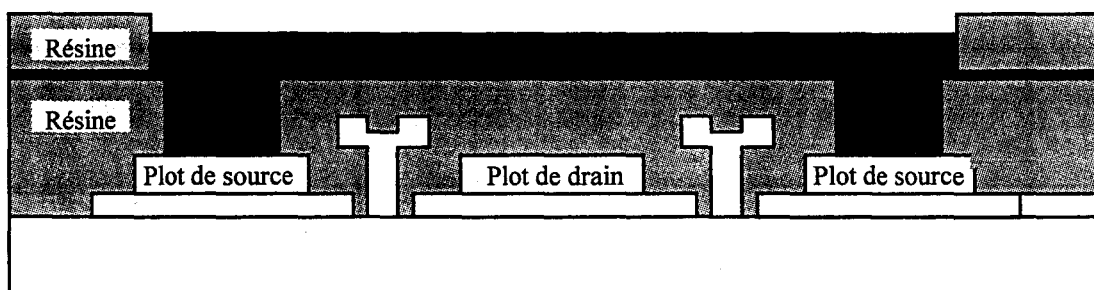


② : Evaporation d'un film métallique nécessaire au dépôt par électrolyse

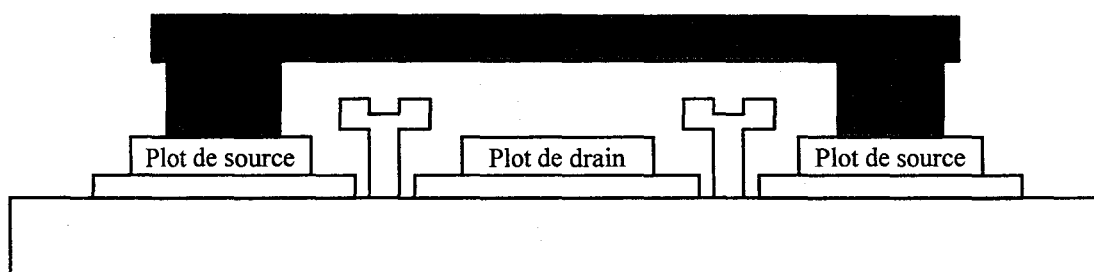


③ : Dépôt de résine, insolation et révélation pour la définition du tablier du pont à air.





④ : Dépôt d'une couche d'environ 2  $\mu\text{m}$  d'or par électrolyse.



⑤ : Dissolution de la première résine, attaque sélective du nickel puis dissolution de la seconde résine.

Figure III.38 : Schématisation du procédé de réalisation des ponts à air.

s'affranchir de ces difficultés, une longue période de mise au point pour les technologues de l'équipe a été nécessaire. Nous allons présenter par la suite, les résultats obtenus lors de la caractérisation en régime statique et hyperfréquence petit signal des premières séries réalisées à partir du masque MAGIC. Afin de mieux cerner la difficulté que représente la réalisation de trous métallisés sur le substrat de phosphure d'indium et l'impact qu'ils pourraient avoir sur les performances des composants, une caractérisation a été effectuée avant et après leur réalisation. Plusieurs essais ont été nécessaires mais nous ne présenterons ici que les derniers qui sont les plus représentatifs du savoir faire acquis.

## **V.1. Caractérisation statique**

Les résultats des caractérisations des composants présentés ci après ont été réalisés avec l'épitaxie 10442 présentée sur la figure III.30.

### **V.1.1. Avant l'étape d'amincissement du substrat**

Les transistors ont été mesurés en régime de fonctionnement statique et hyperfréquence petit signal avant de procéder à la réalisation de la technologie en face arrière. Les trous métallisés n'étant pas encore réalisés, la mesure des transistors ne peut s'effectuer qu'en posant les sondes de mesure très près du composant, comme indiqué à la figure III.39.

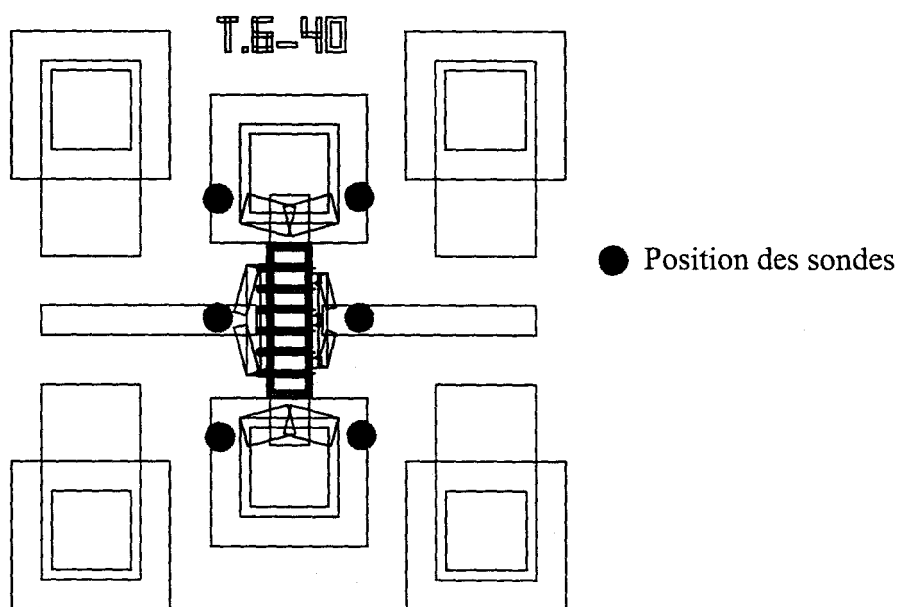


Figure III.39. Position des sondes de mesures pour la caractérisation effectuée sans trou métallisé.

Nous présentons à la figure III.40 la caractéristique  $I_{ds} = f(V_{ds}, V_{gs})$  ainsi que la transconductance extrinsèque d'un composant de développement  $8 \times 50 \times 0.15 \mu\text{m}^2$ . Ce composant, caractéristique des résultats obtenus, présente une densité de courant de  $700 \text{ mA/mm}$  à  $V_{gs} = 0 \text{ V}$ . Cette densité de courant est conforme à celle attendue compte tenu de l'épitaxie. Sur les réalisations précédentes utilisant le masque MAGIC précédentes, une perte du courant de 5 à 10 % avait été relevée due aux conditions de plasma trop brutales employées pour supprimer du nitrure de silicium. Ces composants ont une tension de pincement de  $-1.8 \text{ V}$  et une transconductance extrinsèque de  $600 \text{ mS/mm}$  pour une tension drain source de  $1.5 \text{ V}$ . Pour des composants de développement plus faible,  $700 \text{ mS/mm}$  sont obtenus. Très peu de courant de grille en fonctionnement transistor a été constaté (inférieur à  $3 \mu\text{A}$ ) lors du relevé de ces caractéristiques, preuve que la barrière remplit correctement son rôle. La tension de mise en direct des diodes est de  $0.6 \text{ V}$ . Les évolutions des diodes grille drain et grille source en polarisation inverse sont présentées à la figure III.41. La grille est centrée dans son fossé, lui-même centré par rapport aux contacts ohmiques. Les tensions de claquage des diodes sont supérieures à  $10 \text{ V}$ . Leurs valeurs identiques confirment la position

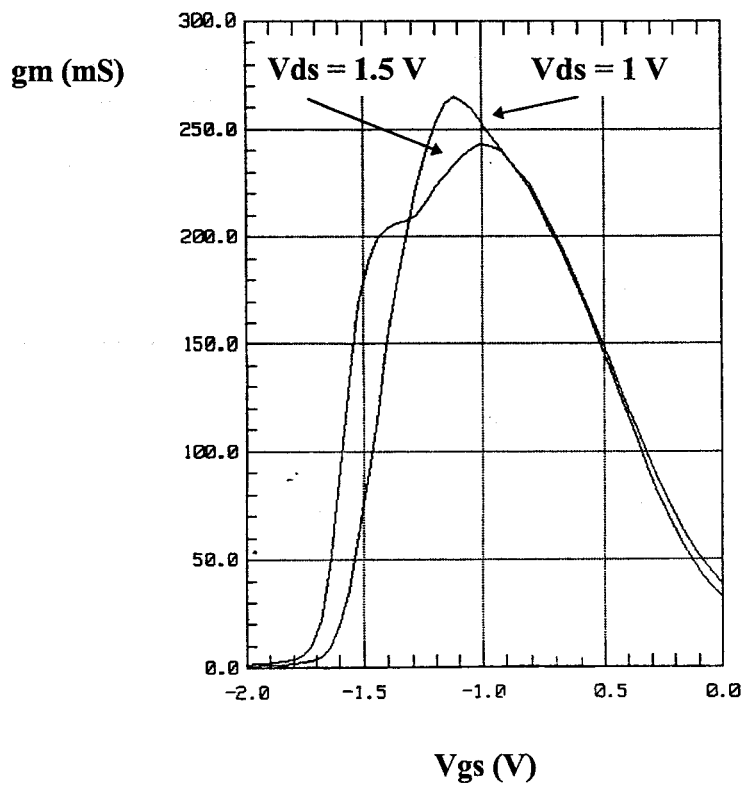
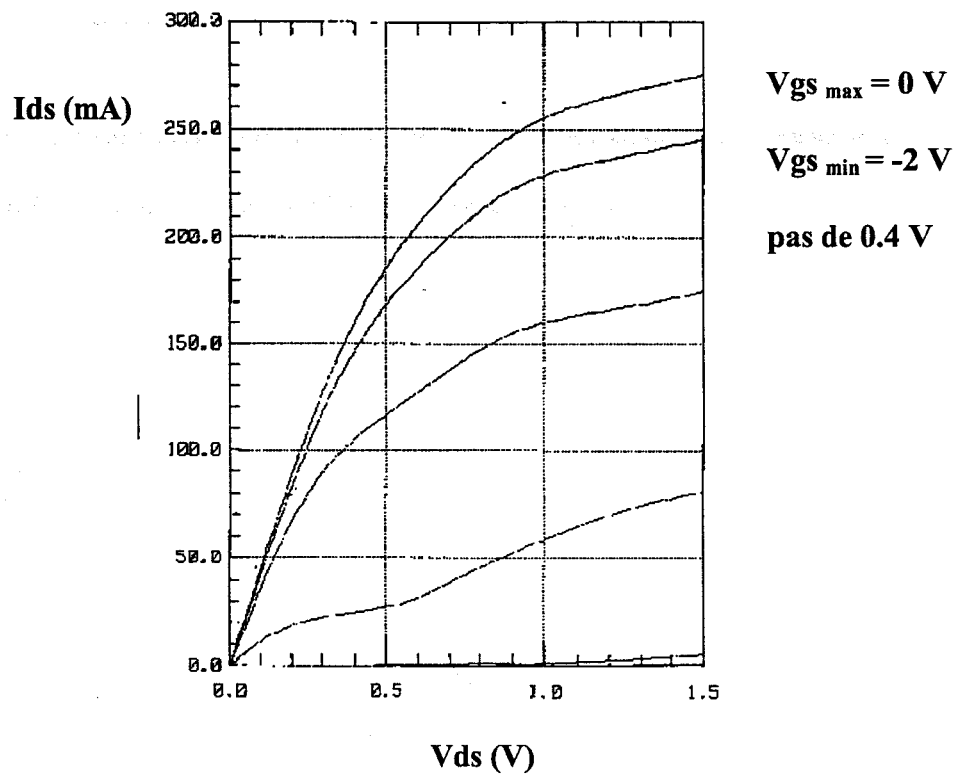


Figure III.40 : Caractéristiques  $I_{ds} = f(V_{gs}, V_{ds})$  et transconductance d'un composant MAGIC  $8 \times 50 \times 0.15 \mu\text{m}^2$ .

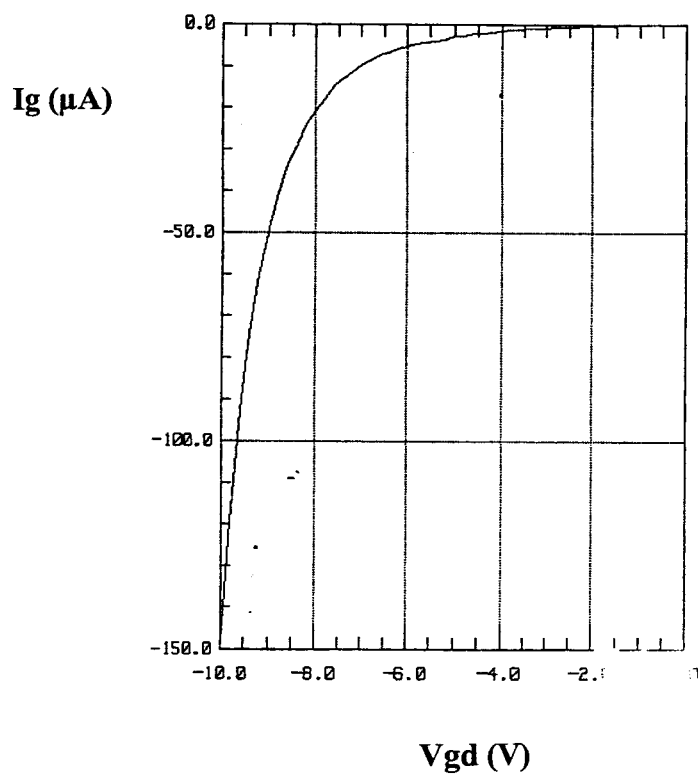
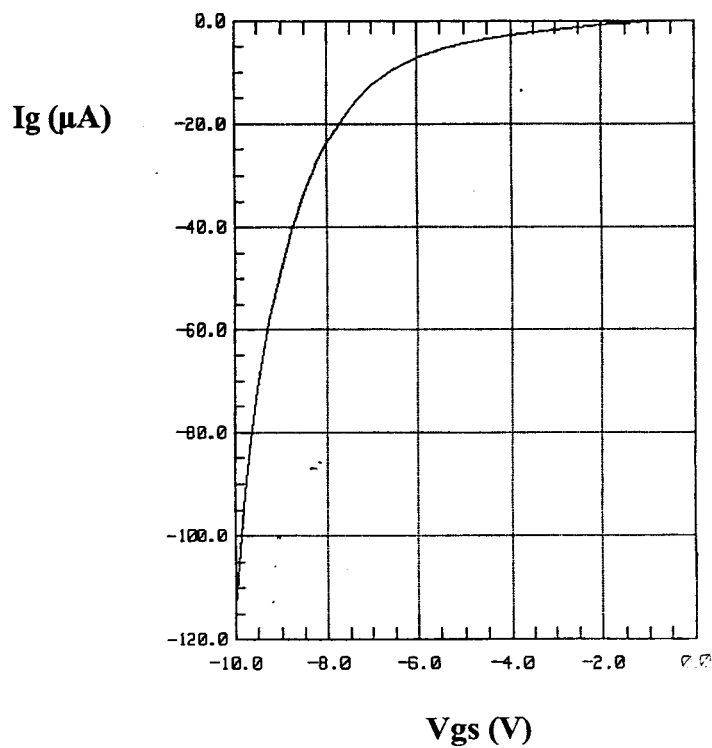


Figure III.41 : Evolutions des diodes grille source et grille drain en polarisation inverse d'un composant MAGIC de développement  $8 \times 50 \times 0.15 \mu m^2$ .

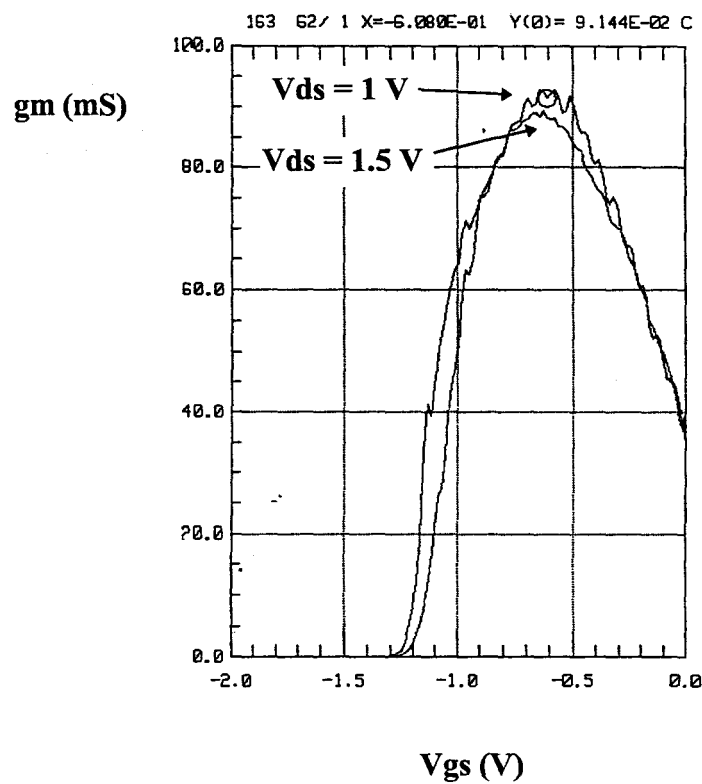
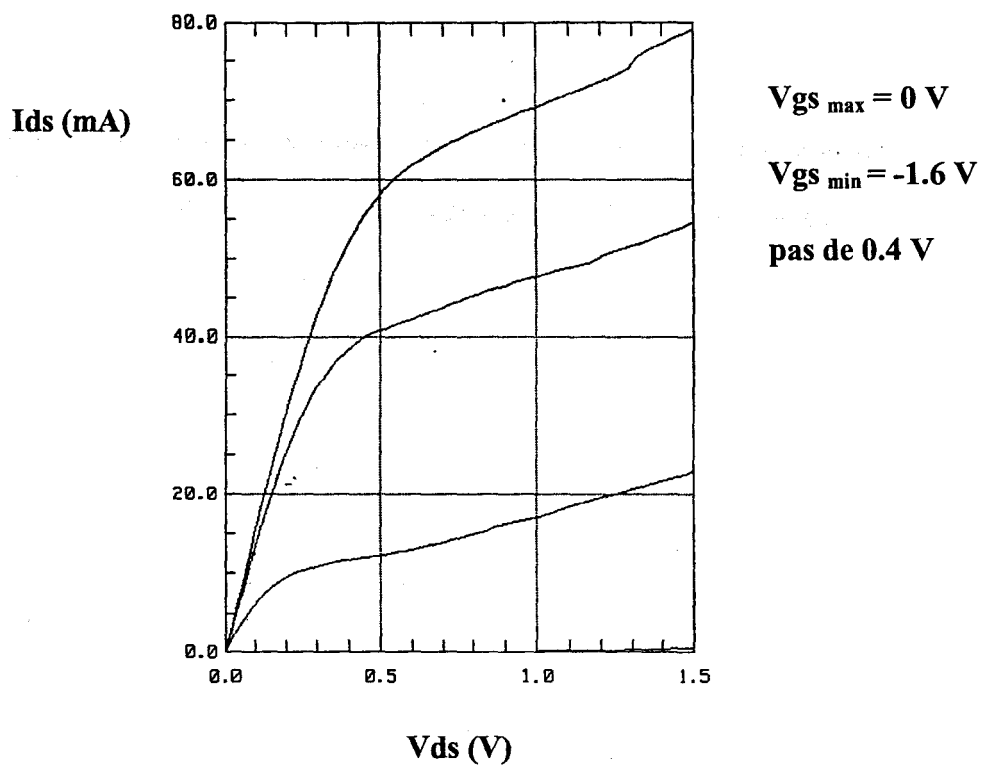


Figure III.42 : Caractéristiques  $I_{ds} = f(V_{gs}, V_{ds})$  et transconductance extrinsèque d'un composant MAGIC  $6 \times 20 \times 0.15\ \mu m^2$  mesuré en fin de réalisation.

symétrique de la grille dans son fossé. Malgré cela, il reste difficile d'appliquer au transistor des tensions de polarisation supérieures ou égales à 2 V, le composant pouvant claquer inopinément autour de cette tension drain source. Ce phénomène de claquage par effet Gunn est un problème propre à la filière des composants sur substrat de phosphure d'indium. Des études sont actuellement en cours au laboratoire pour tenter d'endiguer ce phénomène. Elles concernent principalement la réalisation des structures tests à cap épais [11] et l'optimisation de la distance grille drain pour permettre d'étaler le champ électrique présent en sortie de grille tout en évitant dans la mesure du possible le déclenchement d'effet Gunn.

### V.1.2. Caractérisation des composants terminés

Une fois la réalisation des composants terminée, de nouvelles mesures ont été entreprises dans les mêmes conditions de pose des sondes. La figure III.42 représente la caractéristique  $I_{ds} = f(V_{ds}, V_{gs})$  ainsi que la transconductance extrinsèque d'un composant de développement  $6 \times 20 \mu\text{m}$ . Nous pouvons constater une densité de courant de 670 mA/mm environ à  $V_{gs} = 0 \text{ V}$ . Cette légère diminution du courant n'est pas systématique et peut être attribuée à la dispersion technologique. Sur cette dernière réalisation, nous n'avons pas observé de diminution significative du courant de saturation après la réalisation des trous métallisés ; ce qui n'était pas le cas lors des réalisations précédentes où une baisse systématique de 15 % du courant avait été relevée.

Nous avons cependant parfois constaté une modification de la tension de pincement qui atteint maintenant -1.3 V pour ce composant. Toutefois, la valeur de la transconductance extrinsèque reste du même ordre de grandeur, une valeur de 700 mS/mm étant obtenue sur ce composant de faible largeur totale de grille.

Nous avons relevé, sur un nombre important de transistors, un accroissement du courant de grille en fonctionnement transistor montrant une détérioration du composant. Le rendement des transistors a de plus fortement diminué. En effet, un champ entier comportant plus de 60 transistors pouvant être anéanti si, lors de la gravure des trous métallisés, la solution de brome méthanol réussit à s'infiltrer en face avant. Pour palier à ce problème, les dimensions des trous métallisés vont être réduites à 60  $\mu\text{m}$  de côté (au

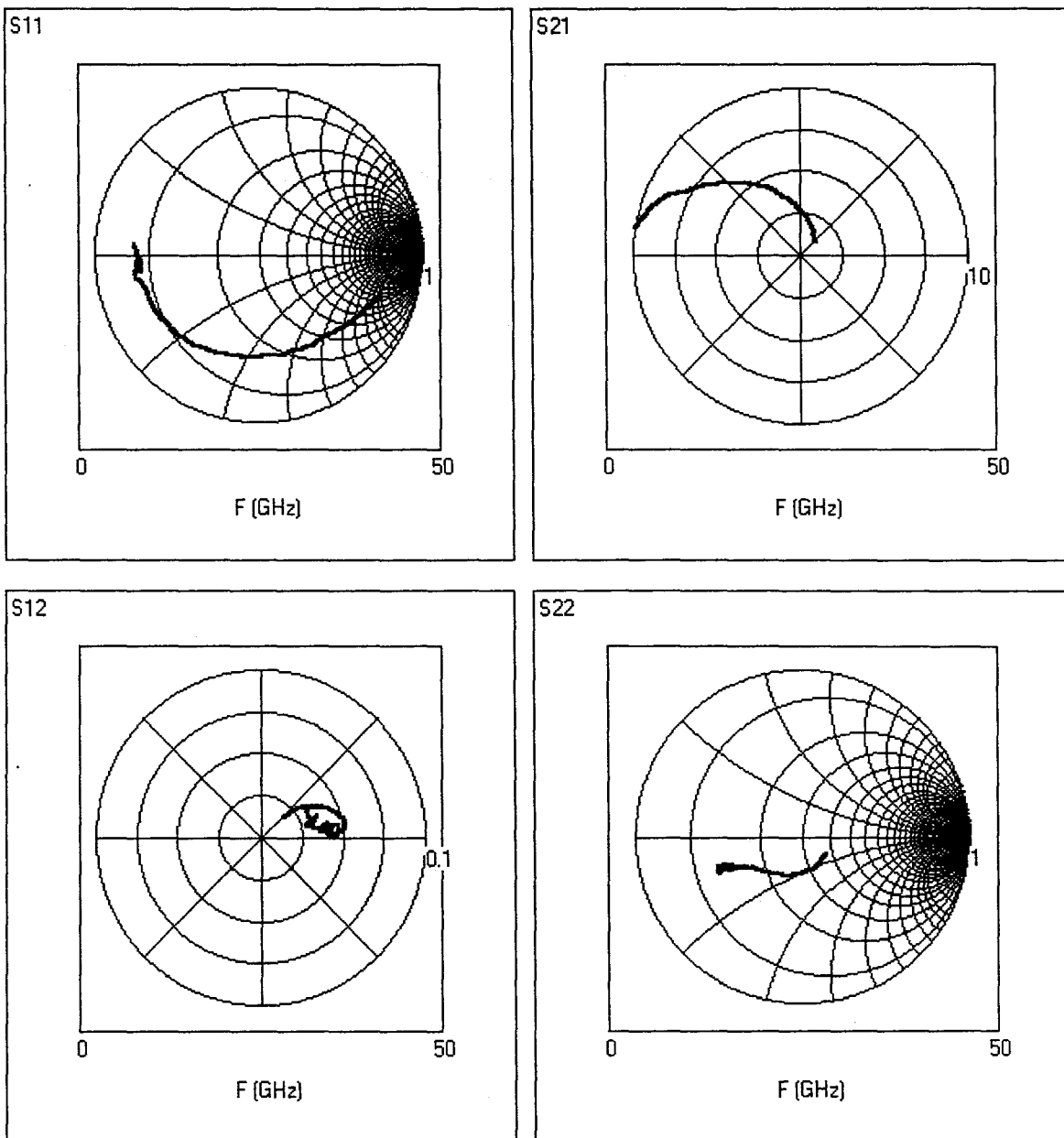


Figure III.43 : Evolutions des paramètres  $S_{ij}$  mesurés avant la réalisation des trous métallisés d'un composant de développement  $6 \times 50 \times 0.15 \mu\text{m}^2$ .  
( $V_{ds} = 1.5 \text{ V}$  ;  $V_{gs} = -0.9 \text{ V}$ )



lieu de 80  $\mu\text{m}$  de côté) pour les réalisations ultérieures. Toutefois, lorsqu'il n'y a pas eu contact entre la solution de brome méthanol et la face avant, les résultats obtenus ont été corrects. La gravure des trous métallisés est une étape délicate car intervenant en fin de réalisation, le contrôle de l'arrêt de la gravure des trous étant primordial pour ne pas dégrader les transistors.

## **V.2. Caractérisation hyperfréquence petit signal**

Pour la caractérisation hyperfréquence des transistors, nous avons procédé de façon similaire à la caractérisation statique. Les composants ont ainsi été mesurés jusqu'à la fréquence de 50 GHz avant de procéder à la réalisation de la technologie relative au traitement de la face arrière. Les mesures ont été réalisées comme en régime statique en plaçant les sondes hyperfréquences de l'analyseur de réseau très près du transistor (figure III.39).

### **V.2.1. Avant l'étape d'amincissement du substrat**

Les paramètres  $S_{ij}$  d'un transistor de développement  $6 \times 50 \times 0.15 \mu\text{m}^2$  au point de polarisation  $V_{ds} = 1.5 \text{ V}$  et  $V_{gs} = -0.9 \text{ V}$  sont présentés à la figure III.43.

Nous pouvons constater que les évolutions des termes  $S_{11}$  et  $S_{22}$  en basse fréquence débutent fortement à l'intérieur de l'abaque de Smith. Ces évolutions anormales du composant ont pour principale conséquence de fortement diminuer les performances des transistors. En effet, le coefficient de stabilité  $K$  d'un tel composant est toujours supérieur à l'unité. La fréquence de coupure  $f_T$  du gain en courant de court circuit est de l'ordre de 60 GHz, alors qu'une valeur de 110 GHz serait plus conforme pour ce type de composant. Le gain MAG du transistor est également affaibli. Les valeurs de ce gain fluctuant autour de 7 dB à 50 GHz, quelque soit le développement du transistor.

Ce phénomène n'est pas à imputer à la technologie des composants ou à leur épitaxie mais à une mauvaise qualité du substrat. En effet, celui-ci n'est pas semi-isolant. Une couche résiduelle conductrice d'atome de silicium située à l'interface entre le substrat et la couche tampon engendre un comportement fortement dispersif des

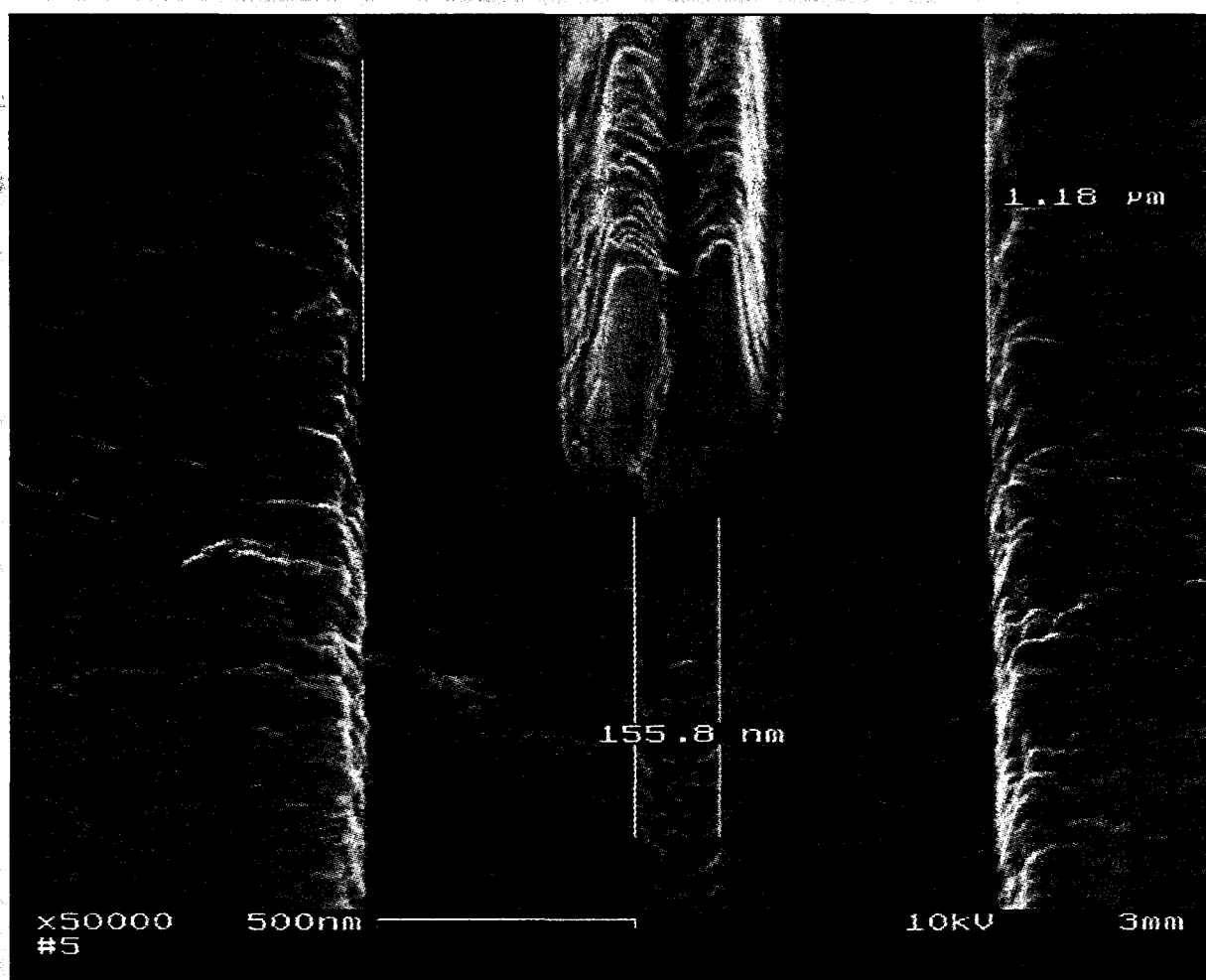


Figure III.44 : Photographie prise au microscope électronique d'une grille de transistor MAGIC réalisée par un procédé à deux couches de résines.

lignes d'accès réalisées en face avant. Dans ces conditions, lors de la mesure des paramètres  $S_{ij}$ , la ligne placée derrière les sondes de mesure est fortement dispersive et occulte totalement le transistor en basse fréquence.

### **V.2.2. Caractérisation des composants terminés**

Malgré ce phénomène, pénalisant les performances hyperfréquences des transistors, la réalisation des composants a été terminée afin de toujours acquérir une meilleure maîtrise de toutes les étapes de leur réalisation. Mesurés dans les mêmes conditions que précédemment, nous avons constaté une diminution de 10 GHz de la fréquence de coupure du gain en courant de court circuit sur tous les transistors, valant maintenant 50 GHz. De même, une diminution d'environ 2 dB a également été constatée pour le gain MAG des composants.

Les mesures des lignes de calibrage présentaient également beaucoup trop de pertes pour pouvoir réaliser un calibrage correct. Dans ces conditions, l'étude des structures passives destinées à la détermination des éléments d'accès était impossible.

## **V.3. Conclusion**

La technologie des composants multi-doigts de grille en guide de propagation microruban sur substrat de phosphure d'indium est complexe. Néanmoins, beaucoup de paramètres sont aujourd'hui maîtrisés par les technologues. Le creusement du fossé de grille et son dépôt avec un rendement important est primordial pour une technologie de transistor multi-doigts. A titre d'exemple, la figure III.44 est une photographie d'une grille de longueur  $0.15\ \mu\text{m}$  réalisée sur ces composants. La réalisation des ponts à air destinés à la connexion de tous les plots de source est également maîtrisée. La technologie relative au traitement de la face arrière reste une étape délicate de la réalisation des transistors. Néanmoins, les résultats présentés ont démontré la faisabilité de la réalisation de transistors à effet de champ avec ce procédé. La réduction des dimensions des trous métallisés pour éviter le passage de la solution de gravure en face avant devrait amener ces composants, sur un substrat de bonne qualité, à développer des



performances bien meilleures. Le fournisseur des substrats de phosphure d'indium n'étant pas actuellement capable de résoudre ce problème de dopage résiduel, de nouveaux substrats ont été achetés chez un autre fournisseur et ont été épitaxiés.

## VI. La filière métamorphique AlInAs/GaInAs sur GaAs

---

L'objet de ces travaux visait l'étude et la réalisation de structures amplificatrices intégrées en bande V avec des transistors HEMTs AlInAs/GaInAs sur substrat de phosphure d'indium et HEMTs métamorphiques AlInAs/GaInAs sur substrat d'arséniure de gallium. La majeure partie de ce travail a cependant été effectuée exclusivement sur le substrat de phosphure d'indium. En effet, la réalisation des épitaxies étant, au début de ce travail, beaucoup plus mature sur ce substrat, il apparaissait difficile d'envisager la réalisation d'un circuit sur cette autre filière.

Les travaux de thèse de M.Zaknune [4] qui portent sur l'étude des potentialités des filières métamorphiques et phosphorées pour l'amplification de puissance font suite à ceux de P.Win [30] et ont conduit à la réalisation au laboratoire de transistors à effet de champ sur la filière métamorphique sur substrat de GaAs.

Afin de comparer les deux filières, des résultats de mesures de puissance à 60 GHz seront présentés. Les transistors, réalisés sur un substrat de GaAs, disposent d'une couche tampon métamorphique d'un micron d'épaisseur. Elle consiste en la croissance graduelle du taux d'indium jusqu'à la valeur de 30 % dans une couche d'AlInAs. Une structure à monoplan de dopage et une à double plan ont été réalisées et mesurées. Ces épitaxies sont présentées à la figure III.45.

La structure à plan de dopage unique peut fournir une densité de courant de 750 mA/mm pour une tension  $V_{gs}$  de 0.4 V. La tension de pincement est de -1.7 V. Les tensions de claquage en configuration diode sont de 13 V. Pour un composant de longueur de grille 0.15  $\mu\text{m}$ , la mesure des paramètres  $S_{ij}$  petit signal a donné une

fréquence de coupure du gain en courant de court circuit de 125 GHz et une valeur du gain MAG à 60 GHz de 11 dB à une tension drain source de 3 V pour un fonctionnement du transistor en classe A. En régime de fonctionnement grand signal à la fréquence de 60 GHz, ces transistors ont permis d'obtenir une puissance de sortie de 24 mW (240 mW/mm) avec 25 % de rendement en puissance ajoutée et 6.4 dB de gain. Ces résultats de puissance sont les tous premiers publiés sur cette filière [31].

La structure à double plan de dopage a permis, quant à elle, d'obtenir une densité de courant de 900 mA/mm à une tension  $V_{gs}$  de 0.4 V associée à des tensions de claquage en diode de 11.5 V. En régime d'amplification petit signal, avec un composant de longueur de grille 0.1  $\mu\text{m}$ , une fréquence de coupure du gain en courant de court circuit de 150 GHz et une valeur du gain MAG à 60 GHz de 11.2 dB ont été obtenues à une tension drain source de 3 V pour un fonctionnement du transistor en classe A. En fonctionnement grand signal, pour un composant de longueur de grille 0.25  $\mu\text{m}$ , une puissance de sortie de 40 mW (270 mW/mm) avec 21 % de rendement en puissance ajoutée et 4.8 dB de gain ont été obtenus. Les composants de longueur de grille 0.1  $\mu\text{m}$  n'ont pas été mesurés car ils n'étaient pas inconditionnellement stable à 60 GHz.

Ces résultats très prometteurs pour cette filière encore émergente, restent cependant inférieurs à ceux obtenus sur la filière AlInAs/GaInAs sur substrat InP. La technologie des composants métamorphiques sur substrat de GaAs n'est pas aujourd'hui aussi mature que celle réalisée sur substrat de phosphore d'indium ce qui justifie pleinement le choix de la filière InP pour toute notre étude.

## VII. Conclusion

---

Ce troisième chapitre a porté sur la réalisation, les mesures et la modélisation des composants actifs nécessaires à la réalisation d'une structure amplificatrice intégrée à 60 GHz.

La première partie a permis la présentation des épitaxies réalisées au laboratoire et destinées à l'élaboration d'une structure de couche optimale pour l'amplification de puissance. Les caractéristiques hyperfréquences petit et grand signal ont permis de connaître le comportement des transistors et de guider les évolutions technologiques afin d'améliorer leurs performances. Pour cela, l'établissement d'un schéma équivalent petit signal de transistor constitué de grandeurs physiques était nécessaire. Nous avons montré les difficultés inhérentes à son extraction aux fréquences millimétriques et introduit un critère quantitatif pour juger de sa validité.

La partie suivante a porté sur la présentation d'un nouveau jeu de masques pour la réalisation de transistors multi-doigts. Ce réticule est composé d'un grand nombre de transistors de développements différents et comprend également plusieurs structures permettant une meilleure connaissance des éléments d'accès parasites et de leur répartition au sein du transistor dans le but d'améliorer leur modélisation.

Le procédé de réalisation a ensuite été succinctement décrit montrant les difficultés inhérentes à la réalisation de transistors à effet de champ multi-doigts en guide de propagation microruban. Les premiers résultats obtenus ont été présentés. Les performances nécessaires à la conception d'un amplificateur intégré n'ont malheureusement pas pu être atteintes pour l'instant, la mauvaise qualité des substrats dégradant systématiquement les performances des composants. Néanmoins, les étapes les plus délicates de la réalisation sont maintenant maîtrisées par les technologues de l'équipe. La réalisation de nouveaux composants, sur des substrats provenant d'un autre fournisseur, est actuellement en cours et devrait permettre d'obtenir des performances beaucoup plus en accord avec leur potentialités.

Enfin, dans la dernière partie de ce chapitre, nous avons justifié le choix de la filière sur substrat d'InP pour toute notre étude par rapport à la filière métamorphique AlInAs/GaInAs sur substrat de GaAs. En effet, les résultats obtenus sur la filière métamorphique sont les tous premiers obtenus au laboratoire. Même s'ils sont très encourageant, cette technologie est encore aujourd'hui beaucoup moins mature que celle réalisée sur substrat de phosphore d'indium.

## Références Bibliographiques

- [1] : C.Gaquiere  
"Analyse et optimisation de transistors à effet de champ à hétérojonction pour l'amplification de puissance dans la bande Ka."  
Thèse de doctorat de l'université de Lille, novembre 1995.
- [2] : E.Bourcier  
"Analyses de fonctionnement en amplification de puissance en bande Ka des transistors HEMTs des filières AsGa et InP."  
Thèse de doctorat de l'université de Lille, janvier 1998.
- [3] : F.Diette  
"Etude des transistors à effet de champ de type HEMT sur substrat GaAs et InP pour l'amplification de puissance en gamme millimétrique."  
Thèse de doctorat de l'université de Lille, janvier 1998.
- [4] : M.Zaknounge  
"Etude des potentialités des filières phosphorées et métamorphiques pour l'amplification de puissance à 60 GHz"  
Thèse de doctorat de l'université de Lille, à paraître.
- [5] : U.Aver  
"The impact of pseudomorphic AlAs spacer layers on the gate leakage current of InAlAs/InGaAs heterostructure field effect transistors."  
Microwave and Optical Technology Letters, Vol. 11, n°3 pp. 125-128, February 1996.
- [6] : B.Bonte, F.Diette, S.Piotrowicz, C.Gaquiere, D.Theron, Y.Crosnier  
"Utilisation d'AlInAs riche en aluminium pour augmenter la tenue en tension des composants HFET'S sur InP."  
Journées III.IV, Chantilly, Janvier 1997.
- [7] : U.Aver  
"InAlAs/InGaAs hfet with extremely High Device Breakdown using an optimized Buffer Structure."  
6<sup>th</sup> International Conference on Indium Phosphide and related materials, Santa Barbara, USA March 1994.
- [8] : S.R.Bahl, A.Del Alamo  
"A new drain current injection technique for the measurement of off-state breakdown voltage."  
IEEE Transaction on Electron Devices, Vol. 40, n°8, pp. 1558-1560, August 1983.
- [9] : I.Moutakif



“Simulation hydrodynamique bidimensionnelle des structures MISFET InP. Analyse physique et étude expérimentale pour l’amplification de puissance hyperfréquence.”

Thèse de doctorat de l’université de Lille, juillet 1993.

- [10] : C.Gaquiere, D.Theron, B.Bonte, Y.Crosnier  
“Optimization of a power pseudomorphic double heterojunction FET.”  
Microwave and Optical Technology Letters, Vol. 7, n°18, pp. 871-873, December 1994.
- [11] : M. Boudrissa  
“Etude technologique de transistors à effet de champ de la filière AlInAs/GaInAs sur substrat InP pour communication à 60 GHz”  
Rapport de stage de DEA, Juillet 1998.
- [12] : D.Theron, S.Piotrowicz, X.Wallart, F.Diette, B.Bonte, Y.Crosnier  
“InP based HEMT structure with a large band gap barrier layer for power application in V band.”  
WOCSDICE, Scheveningen, Netherland, 1997.
- [13] : G.Dambrine, A.Cappy, F.Heliodore and E.Playez  
“A new method for determining the FET small signal equivalent circuit.”  
IEEE Transaction on Microwave Theory and Technique, Vol. 36, n°7, pp. 1151-1159, July 1988.
- [14] : D.Theron, B.Bonte, C.Gaquiere, E.Playez and Y.Crosnier  
“Characterisation of GaAs and InGaAs double quantum well heterostructures FET’s.”  
IEEE Transactions on Electron Devices, Vol 4B, n°11, pp. 1935-1937, November 1993.
- [15] : M.Garcia, K.Yhland, H.Zirath and I.Angolov  
“Fast, automatic and accurate HFET Small signal characterization.”  
Microwave journal, pp. 102-117, July 1997.
- [16] : S.Piotrowicz  
“Amélioration de la méthode de détermination du schéma équivalent petit signal des transistors de puissance à effet de champ.”  
DEA Lille, Juillet 1994.
- [17] : A.Miras and E.Legros  
“Very high frequency small signal equivalent circuit for short gate length InP HEMT’s.”  
IEEE Transaction on Microwave Theory and Technique, Vol. 45, n°7, pp. 1018-1026, July 1997.

- [18] : J.M.Belquin  
"Développement de bancs de mesures et de modèles de bruit de HEMT pour conception de circuits « faibles bruits » en gamme d'ondes millimétriques."  
Thèse de doctorat de l'université de Lille, mars 1997.
- [19] : B.Bonte, S.Piotrowicz, Y.Crosnier, C.Gaquiere, E.Delos, P.Fellon  
"Les HFETs pseudomorphiques de puissance : influence du développement de grille sur les performances hyperfréquences."  
Journées III-V, Lyon 1994.
- [20] : C.Gaquiere, B.Bonte, S.Piotrowicz, E.Bourcier and Y.Crosnier  
"Analysis of extrinsic element influence on the power performances of HEMT's in the Ka Band."  
Gallium Arsenide Application Symposium, Paris, June 1996.
- [21] : K.Shirakawa, H.Oikawa, T.Shimura, Y.Kawasaki, Y.Ohashi, T.Saito and Y.Daido  
"An approach to determining an equivalent circuit for HEMT's."  
IEEE Transaction on Microwave Theory and Technique, Vol. 43, n°3, pp. 499-503, March 1995.
- [22] : C.Van Niekerk, P.Meyer  
"A new approach for the extraction of an FET equivalent circuit from measured S parameters."  
Microwave and Optical Technology Letters, Vol. 11, n°5, pp. 281-284, April 5<sup>th</sup> 1996.
- [23] : N.Rorsman, M.Garcia, C.Kalrson, H.Zirath  
"Accurate small signal modeling of HFET'S for millimeter-wave applications."  
IEEE Transaction on Microwave Theory and Technique,, Vol. 44, n°3, pp. 432-436, March 1996.
- [24] : S.Piotrowicz, C.Gaquiere, B.Bonte, E.Delos, E.Bourcier, Y.Crosnier  
"A simplified approach to determine a small signal equivalent circuit up to 60 GHz."  
IEEE international experimentally based FET device modelling and related non linear circuit design workshop, Kassel, Germany, July 1997.
- [25] : A.Amairi  
"Caractérisation en petit signal, en puissance et en impédance des transistors effet de champ millimétriques. Etude et réalisation d'un banc de load-pull à charge active 26.5 GHz 40 GHz."  
Thèse de l'université de Lille, Septembre 1991.
- [26] : S. Piotrowicz, C.Gaquiere, B.Bonte, E.Bourcier, D.Theron, X.Wallart, Y.Crosnier

- “Best combination between power density, efficiency and at V.Band with an based PHEMT structure.”  
IEEE Microwave and Guided Wave Letters, Vol. 8, n°1, pp. 10-12, January 1998.
- [27] : Y.M.Niquet, S.Piotrowicz, B.Bonte, S.Trassaert, B.Boudart, Y.Crosnier  
“A complementary approach for determining the best access design of milimeter power HFET. ”  
EuMC’98, Amsterdam, October 1998.
- [28] : G.Gaquiere, B.Bonte, S.Piotrowicz, E.Bourcier, Y.Crosnier  
“Analysis of extrinsic element on the power performances of HEMT’s in the Ka Band.”  
GaAs Application Symposium Paris, June 1996.
- [29] : P.M.Smith, W.F.Kopp, P.Ho, P.C.Chao, R.P.Smith, K.Nordheden, J.M.Ballingall  
“Ku-Band high efficiency high gain pseudomorphic HEMT. ”  
Electronic Letters, Vol. 27, n°3, pp.270-271, 31<sup>st</sup> January 1991.
- [30] : P.Win  
“Transistor à effet de champ à couche métamorphique AlInAs/GaInAs/GaAs : un nouveau composant pour l’amplification hyperfréquence et la logique ultra rapide”  
Thèse de doctorat de l’université de Lille, juillet 1993.
- [31] : M. Zaknoune, B.Bonte, C.Gaquiere, Y.Cordier, Y.Druelle, D.Theron and Y.Crosnier  
“In<sub>0.3</sub>Al<sub>0.7</sub>As/In<sub>0.3</sub>Ga<sub>0.7</sub>As metamorphic HEMT with high current density and high breakdown voltage”  
IEEE Electron Device Letters, parution Septembre 1998.

## **CHAPITRE IV**

# **CONCEPTION D'UN AMPLIFICATEUR DE PUISSANCE EN TECHNOLOGIE MMIC À 60 GHZ**

## I. Introduction

---

Ce dernier chapitre porte sur la conception à l'aide d'une modélisation petit signal et du logiciel commercial MDS, d'un amplificateur de puissance en guide de propagation microruban en technologie MMIC sur substrat de phosphore d'indium. Cette réalisation, aboutissement des deux chapitres précédant, faisait partie de la convention DRET 94.160. Elle prévoyait la réalisation d'un amplificateur monolithique d'un étage délivrant une puissance de sortie maximale de 80 mW avec 5 dB de gain associé à 60 GHz pour un développement total de grille d'au moins 200  $\mu\text{m}$ . Aucune contrainte sur la bande passante n'avait été spécifiée. La réalisation ne pourra pourtant pas être menée à son terme dans le cadre de cette thèse compte tenu des délais nécessaires à la mise au point de la technologie des transistors. Rappelons que seules quelques grandes fonderies aux Etats-Unis telles que TRW ou Hughes disposent aujourd'hui d'une technologie microruban en ondes millimétriques sur substrat InP, particulièrement bien adaptées aux amplificateurs de puissance grâce à une bonne dissipation thermique. En Europe, aucune ne dispose de cette technologie, mais quelques unes disposent d'une technologie coplanaire sur substrat InP (IMEC, Daimler) à ces fréquences.

La première partie de ce chapitre porte sur l'étude de l'adaptation des transistors. Nous comparerons plusieurs méthodes et analyserons les avantages et les inconvénients de chacune d'elles. La deuxième partie sera consacrée à l'étude de la polarisation et de la stabilisation des composants. Nous adopterons une méthode de conception progressive en nous attachant plus particulièrement à montrer les influences respectives de chaque élément qui constitue le circuit.

Ces études permettront, dans la partie suivante, de définir une topologie finale de circuit en accord avec les contraintes évoquées dans les chapitres précédents. Ce circuit fera ensuite l'objet d'une étude de tolérance compte tenu des domaines de variations des éléments passifs et actifs mis en évidence dans ces mêmes chapitres.

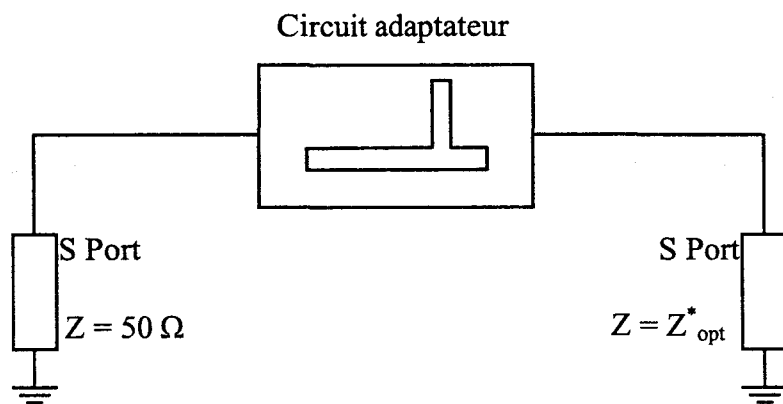


Figure IV.1 : Schéma d'optimisation du circuit d'adaptation d'entrée.

## II. Etude de l'adaptation des transistors

---

Pour cette étude portant sur l'adaptation et la stabilisation des transistors effectuée au début de ce travail de thèse, nous avons utilisé le schéma équivalent d'un des tous premiers transistors réalisés au laboratoire. Cette étude a également permis de définir les ordres de grandeurs des éléments passifs pour la réalisation du réticule dédié à la validation des modèles. Il s'agit d'un composant HEMT de développement de  $2 \times 50 \mu\text{m} \times 0.25 \mu\text{m}$ , réalisé sur un substrat de phosphure d'indium. Les performances fréquentielles de ce composant, bien que n'étant pas les meilleures obtenues, sont suffisamment représentative puisque nous étudions davantage l'environnement du composant que le composant lui-même. L'objectif de cette étude est de fournir une méthodologie de conception adaptable ultérieurement à tous types de nos composants millimétriques et, bien entendu, à ceux présentant les meilleures performances [1].

### II.1. Optimisation linéaire des circuits adaptateurs

Afin de présenter les impédances optimales souhaitées en entrée et en sortie du transistor, une optimisation des dimensions des tronçons de ligne de ces circuits a été effectuée (figure IV.1) [2].

Chaque circuit est encadré par deux ports de simulation de paramètres S. L'un des deux est référencé par rapport à l'impédance caractéristique définie par le calibrage ( $50 \Omega$  pour une épaisseur de substrat de  $40 \mu\text{m}$ ), l'autre par rapport à l'impédance d'entrée ou de sortie du transistor. La définition de ces impédances est essentielle pour établir le maximum de transfert de puissance entre l'entrée et la sortie du composant. Les critères d'optimisation visent à obtenir des pertes minimales dans ces circuits et une adaptation meilleure que  $-40 \text{ dB}$  à  $60 \text{ GHz}$ .

Trois types de circuits d'adaptation ont été étudiés indépendamment des contraintes obtenues pour la réalisation des éléments passifs présentée dans le deuxième chapitre. Le premier circuit est constitué de lignes d'impédances caractéristiques de

50  $\Omega$  (largeur de ligne de 30  $\mu\text{m}$ ) et d'une discontinuité en Té associée à un stub droit. Les dimensions à optimiser sont les longueurs des tronçons de lignes et les longueur et largeur du stub. Le deuxième circuit étudié utilise un stub radial à la place d'un stub droit. Le troisième et dernier circuit est constitué de tronçons de lignes dont les largeurs et longueurs sont à optimiser, tout en respectant les rapports entre les discontinuités de largeur de ligne fixés par les modèles du simulateur.

**II.2. Comparaison des trois méthodes d'adaptation**

Nous avons comparé ces méthodes d'adaptation selon quatre critères : la bande passante d'adaptation, les pertes engendrées dans les circuits adaptateurs, les dimensions des circuits ainsi que leur comportement lorsqu'ils sont soumis à une variation d'épaisseur du substrat .

**II.2.1. Epaisseur de substrat de 40  $\mu\text{m}$**

Nous présentons, dans le tableau IV.1, une comparaison des trois méthodes d'adaptation. La bande de fréquence, dans laquelle l'adaptation est meilleure que - 20 dB, a été relevée en entrée et en sortie. Les dimensions des circuits adaptateurs ainsi que leurs pertes sont également reportées dans ce tableau.

	bande de fréquence où :		Longueurs des circuits		Pertes des circuits adaptateurs
	$ S_{11}  < -20 \text{ dB}$	$ S_{22}  < -20 \text{ dB}$	entrée	sortie	
Stub droit	2340 MHz	2360 MHz	201 $\mu\text{m}$	434 $\mu\text{m}$	0,93 dB
Stub radial	2410 MHz	2210 MHz	203 $\mu\text{m}$	394 $\mu\text{m}$	0,70 dB
Discontinuité de largeur de lignes	2690 MHz	2420 MHz	560 $\mu\text{m}$	547 $\mu\text{m}$	0,65 dB

Tableau IV.1. Comparaison entre les trois méthodes de conception des circuits adaptateurs.



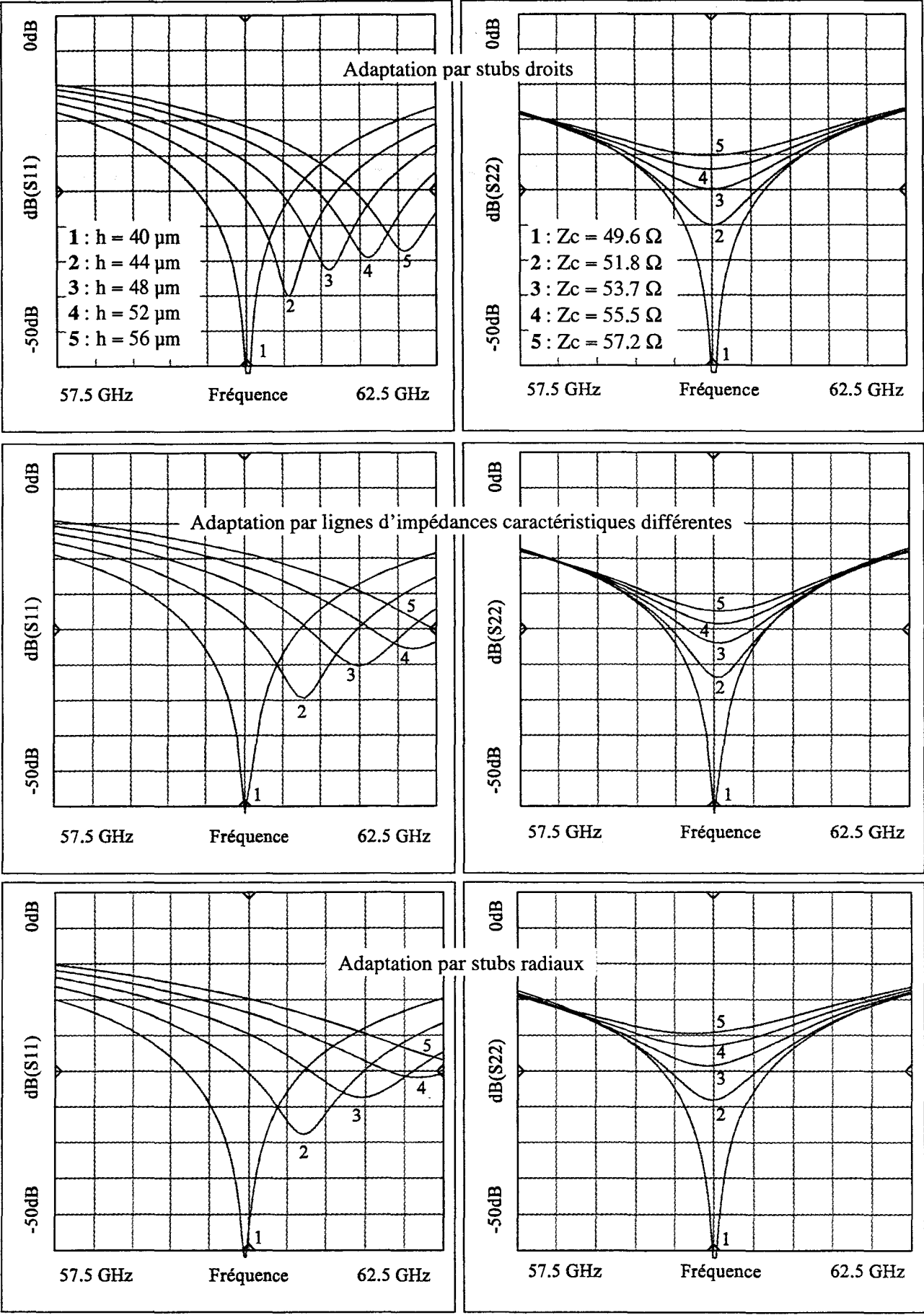


Figure IV.2 : Evolutions des modules de  $S_{11}$  et  $S_{22}$  en fonction de l'épaisseur  $h$  du substrat pour trois différents types d'adaptations.

Nous pouvons constater que l'adaptation du composant réalisée par des circuits à stub droit ou radial permet d'obtenir sensiblement les mêmes caractéristiques en terme de bande passante. Des pertes légèrement supérieures sont obtenues pour le circuit à stub droit, pertes principalement localisées à la discontinuité en T<sub>é</sub> utilisée, la taille des circuits étant quasiment identique.

Le circuit adaptateur utilisant des discontinuités de largeurs de lignes  $a$ , quant à lui, permis d'obtenir une largeur de bande de fréquences en entrée et en sortie légèrement supérieure aux deux autres circuits (+ 280 MHz en entrée par rapport au circuit à stub radial et + 60 MHz en sortie par rapport au circuit à stub droit). C'est également avec ce circuit que les pertes se sont avérées être minimales (0.65 dB) malgré des dimensions de circuits adaptateurs de 60 % plus grandes. Ceci confirme que les pertes simulées par MDS sont davantage liées à la nature et aux dimensions des discontinuités qu'aux longueurs des tronçons de lignes. Une topologie d'adaptation utilisant des lignes de transmission d'impédances caractéristiques différentes sera donc particulièrement bien adaptée pour limiter les pertes des circuits.

### **II.2.2. Sensibilité des circuits adaptateurs aux variations de l'épaisseur du substrat**

L'étape d'amincissement du substrat de phosphure d'indium est une étape critique dans le procédé de réalisation. Nous nous proposons ici d'étudier le comportement de ces circuits adaptateurs lorsqu'ils sont soumis à une épaisseur de substrat différente de 40  $\mu\text{m}$ . Pour cela nous avons fait varier cette épaisseur de 40  $\mu\text{m}$  à 56  $\mu\text{m}$ .

Nous présentons sur la figure IV.2 les évolutions des modules des termes  $S_{11}$  et  $S_{22}$  autour de 60 GHz pour plusieurs valeurs de l'épaisseur de substrat et de l'impédance de référence correspondante. Nous avons supposé pour cette étude que les impédances présentées par le transistor ne variaient pas avec l'épaisseur du substrat, ce qui est a priori le cas.

Nous pouvons constater, pour les trois circuits, sur le module de  $S_{11}$ , un décalage en fréquence de l'adaptation optimale. Le décalage le plus faible est obtenu avec le circuit adaptateur à simple stub qui présente toujours une adaptation plus prononcée que

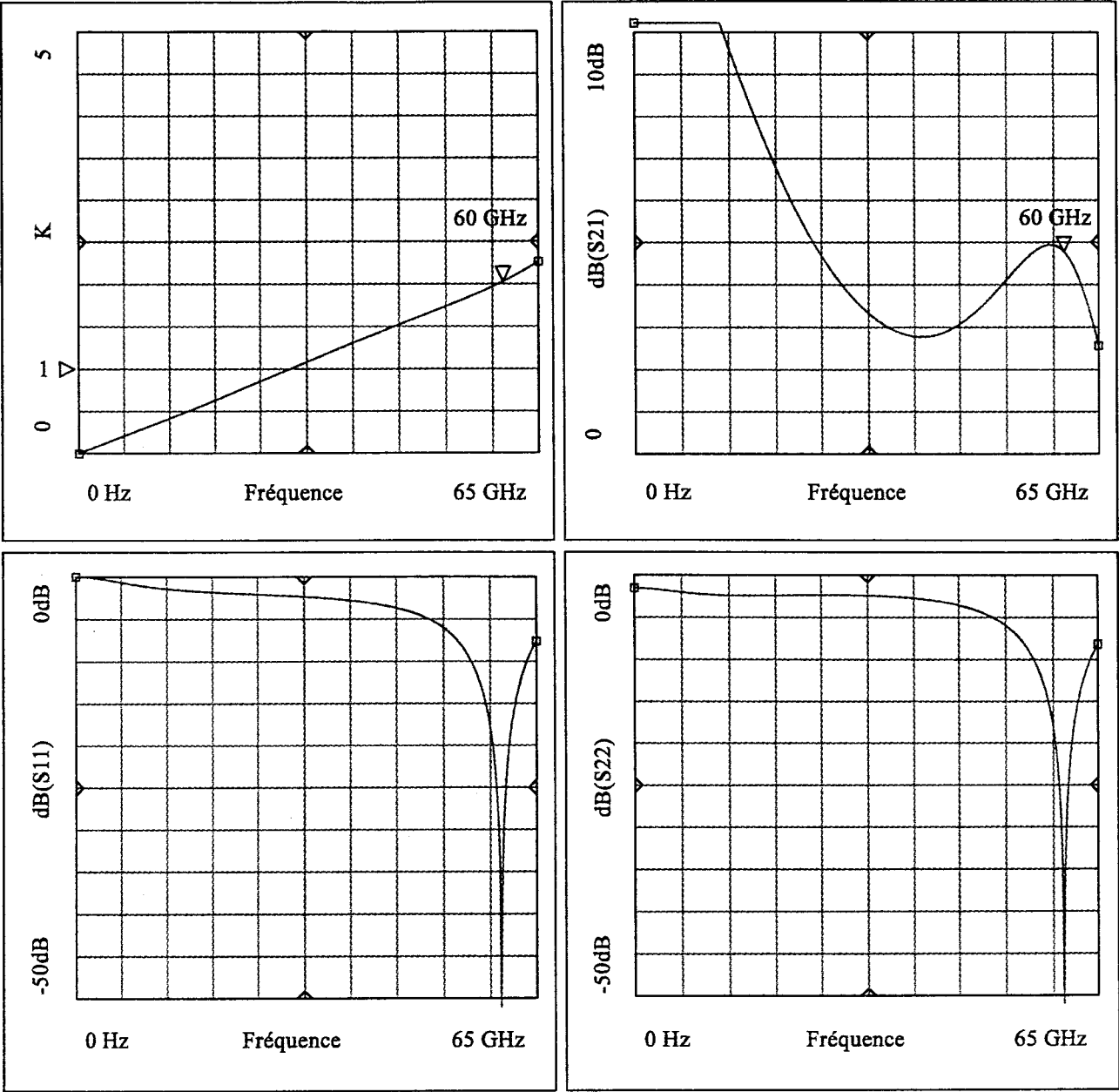


Figure IV.3 : Evolutions des modules de termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  du transistor avec ses circuits d'adaptation mais sans ceux de polarisation et de stabilisation.

les deux autres. En sortie, le module de  $S_{22}$  évolue, pour les trois types de circuits, de manière sensiblement identique, aucun décalage en fréquence n'est relevé.

Le décalage en fréquence de l'adaptation observé en entrée du transistor s'explique dans ce cas par le fait que la phase de l'impédance d'entrée du transistor évolue plus que le module ce qui n'est pas le cas en sortie ou à la fois la phase et le module évoluent.

C'est le circuit adaptateur à stub droit qui s'est révélé être le moins sensible des trois à la variation d'épaisseur du substrat, ce qui est un critère de choix pour notre conception compte tenu de nos contraintes. De plus, la taille des circuits et la bande passante d'adaptation ne sont pas très inférieures aux deux autres circuits. Il occasionne toutefois des pertes légèrement supérieures.

### III. Etude des circuits de polarisation et de stabilisation

---

Lorsque le transistor est adapté dans ses plans d'entrée et de sortie, il est nécessaire de concevoir les circuits de polarisation et les circuits de stabilisation. A titre d'exemple, la figure IV.3 présente les évolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que le coefficient de stabilité  $K$  du transistor de test avec ses circuits d'adaptation comportant un stub de compensation droit en entrée et en sortie. On constate 0.9 dB de pertes dans les circuits d'adaptation. Nous pouvons constater que le coefficient de stabilité  $K$  est inférieur à l'unité jusque environ 30 GHz. Le rôle des circuits de polarisation et de stabilisation sera alors de rendre ce coefficient  $K$  strictement supérieur à 1 (ainsi que la condition annexe  $|\Delta| < 1$  vue au chapitre 1), de manière à rendre le circuit inconditionnellement stable sur toute la bande de fréquences où le transistor a du gain.

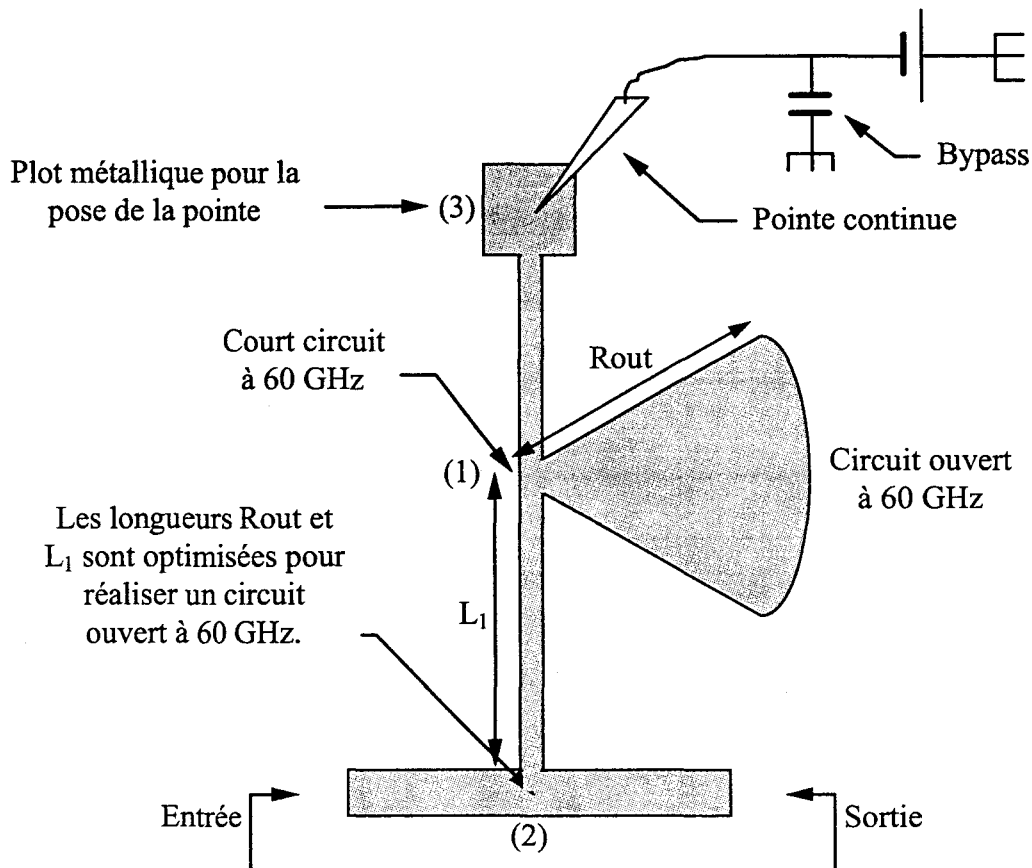


Figure IV.4 : Schéma d'une structure de polarisation élémentaire.

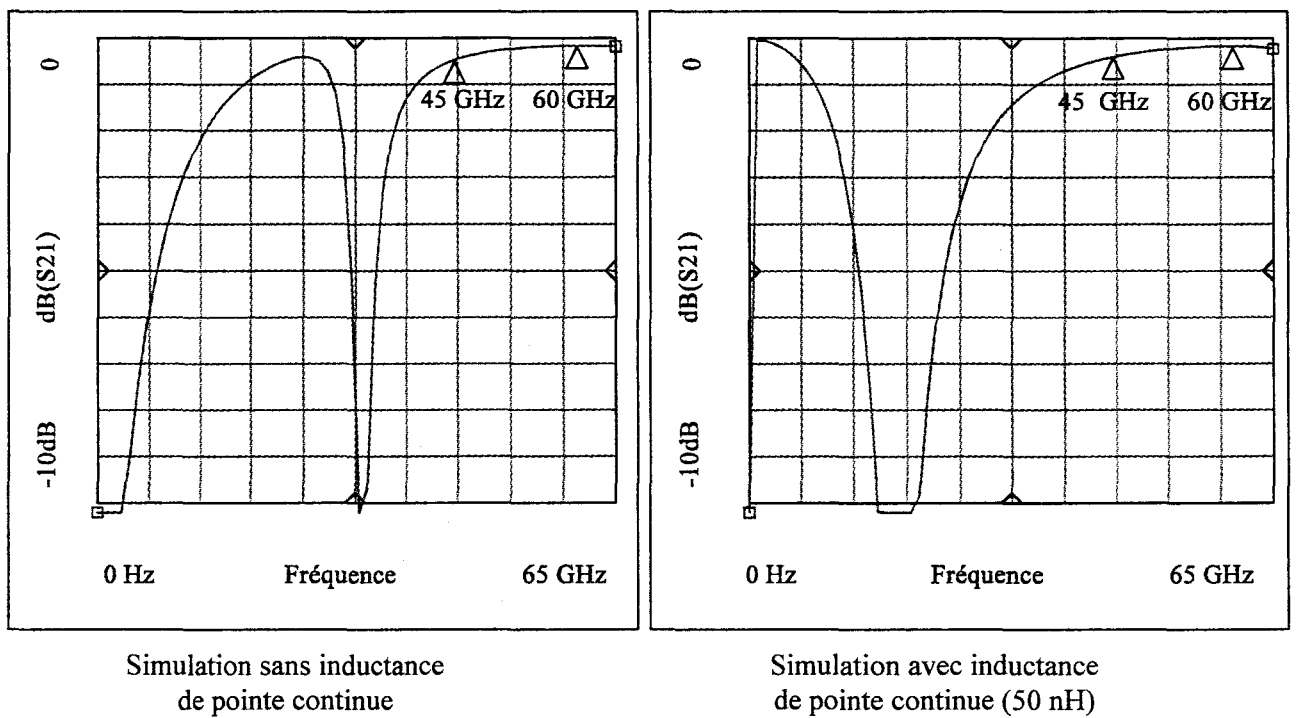


Figure IV.5 : Evolutions des modules du terme  $S_{21}$  d'un circuit de polarisation avec et sans prise en compte de l'inductance amenée par la pose de la pointe continue.

### **III.1. Circuits de polarisation**

Les tensions de polarisation du transistor peuvent être amenées soit directement par les sondes de mesures hyperfréquences, soit par l'intermédiaire de circuits supplémentaires placés en amont et en aval du transistor. L'objectif de ce travail étant la réalisation d'un circuit, la seconde solution est celle vers laquelle il faut se diriger. Le schéma d'une structure typique de polarisation est représenté à la figure IV.4 [3].

Les longueurs des lignes  $L_1$  et  $R_{out}$  sont optimisées de manière à présenter à la fréquence de 60 GHz un court circuit au point (1) ainsi qu'un circuit ouvert au point (2). Une fois ces conditions remplies, le reste du circuit (3) n'influencera plus les performances du circuit à la fréquence de travail. Le plot (3) peut alors être utilisé pour poser une pointe continue nécessaire à la polarisation des composants. Nous présentons sur la figure IV.5 l'évolution, en fonction de la fréquence, du module du terme  $S_{21}$  d'un circuit de polarisation, dans le cas où l'on prend en compte ou non l'inductance de la pointe continue de l'ordre de 50 nH. Pour ces simulations, le circuit présenté en figure IV.4 est fermé en entrée et en sortie par une impédance de  $50 \Omega$ . Nous pouvons constater sur ces graphes que les deux circuits simulés présentent bien une faible atténuation autour de 60 GHz. Par contre, en dessous d'environ 45 GHz, l'inductance, amenée par la pointe de polarisation, modifie fortement le comportement du circuit. Il ne faut donc pas négliger son influence dans les simulations. Nous montrerons par la suite que cette inductance provoque une résonance dans le circuit, et peut le rendre instable.

Nous présentons à la figure IV.6 les évolutions des modules des paramètres  $S_{11}$ ,  $S_{21}$ ,  $S_{22}$  ainsi que celle du coefficient de stabilité pour un circuit adapté en entrée et en sortie et incluant les éléments nécessaires à sa polarisation. Le dessin de ce circuit est présenté à la figure IV.7. Un transistor, bien que ne correspondant pas à celui utilisé pour la simulation, y a été placé pour mieux se rendre compte des dimensions.

Nous pouvons constater une valeur de gain inférieure de 0.3 dB à celle obtenue lors de la simulation comportant uniquement les circuits adaptateurs. Le circuit est maintenant inconditionnellement stable à partir de 10 GHz. En deçà, il est nécessaire d'ajouter d'autres éléments afin de le stabiliser sur toute la bande d'étude.

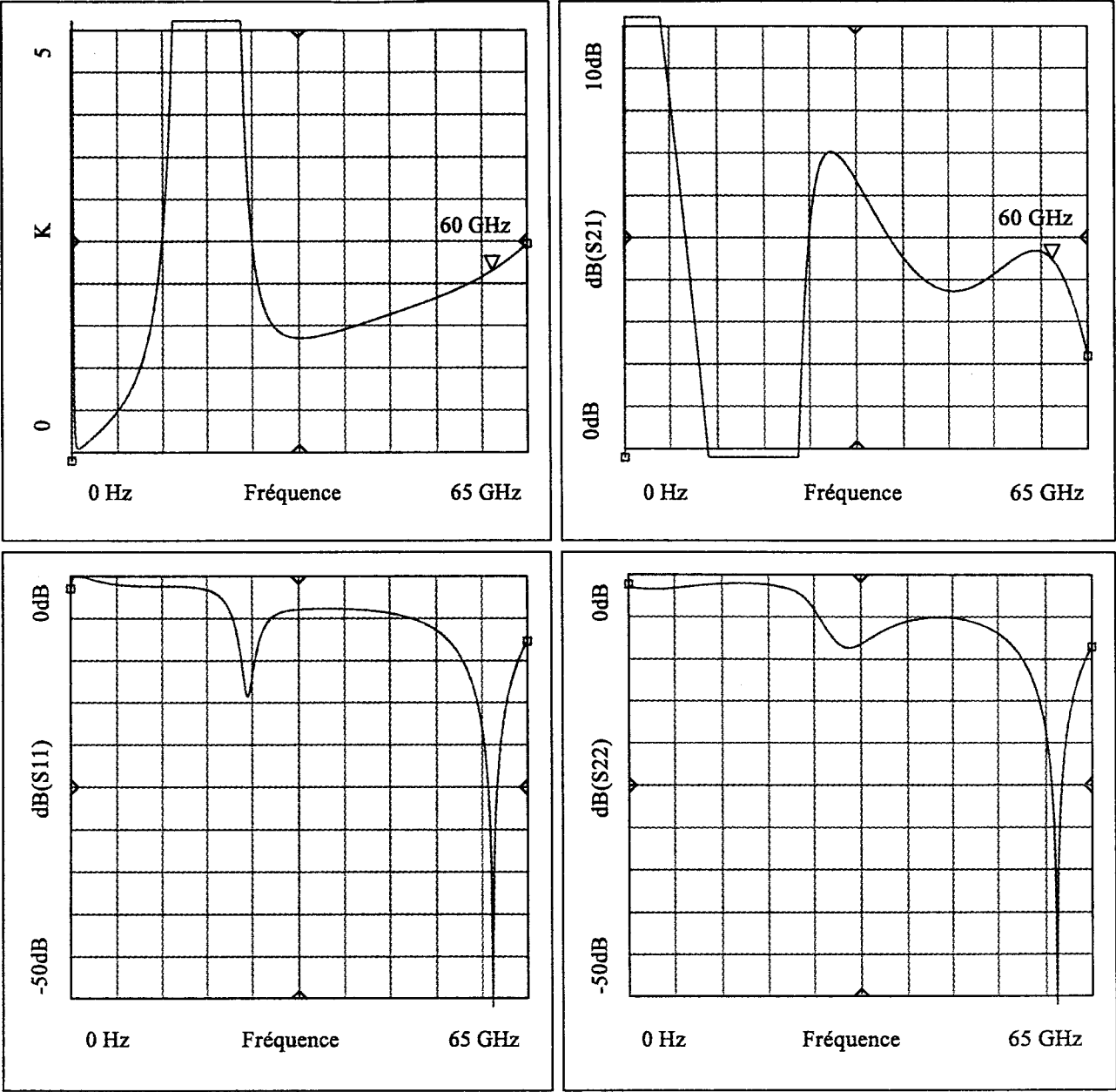


Figure IV.6 : Evolutions des modules des terme  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  d'un amplificateur avec circuits de polarisations intégrés.

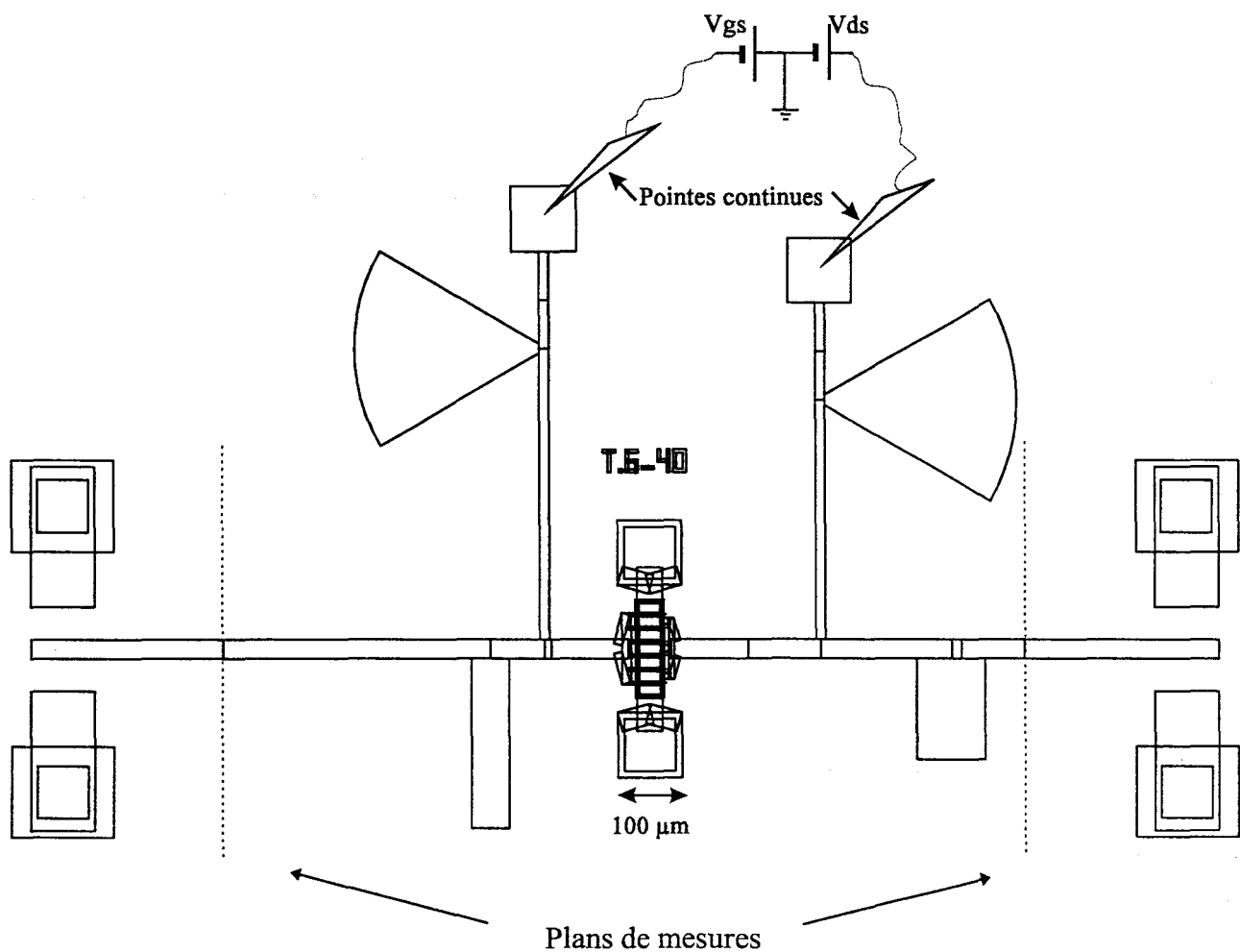


Figure IV.7 : Layout d'un amplificateur avec circuits de polarisations intégrés (simulation présentée figure IV.6).



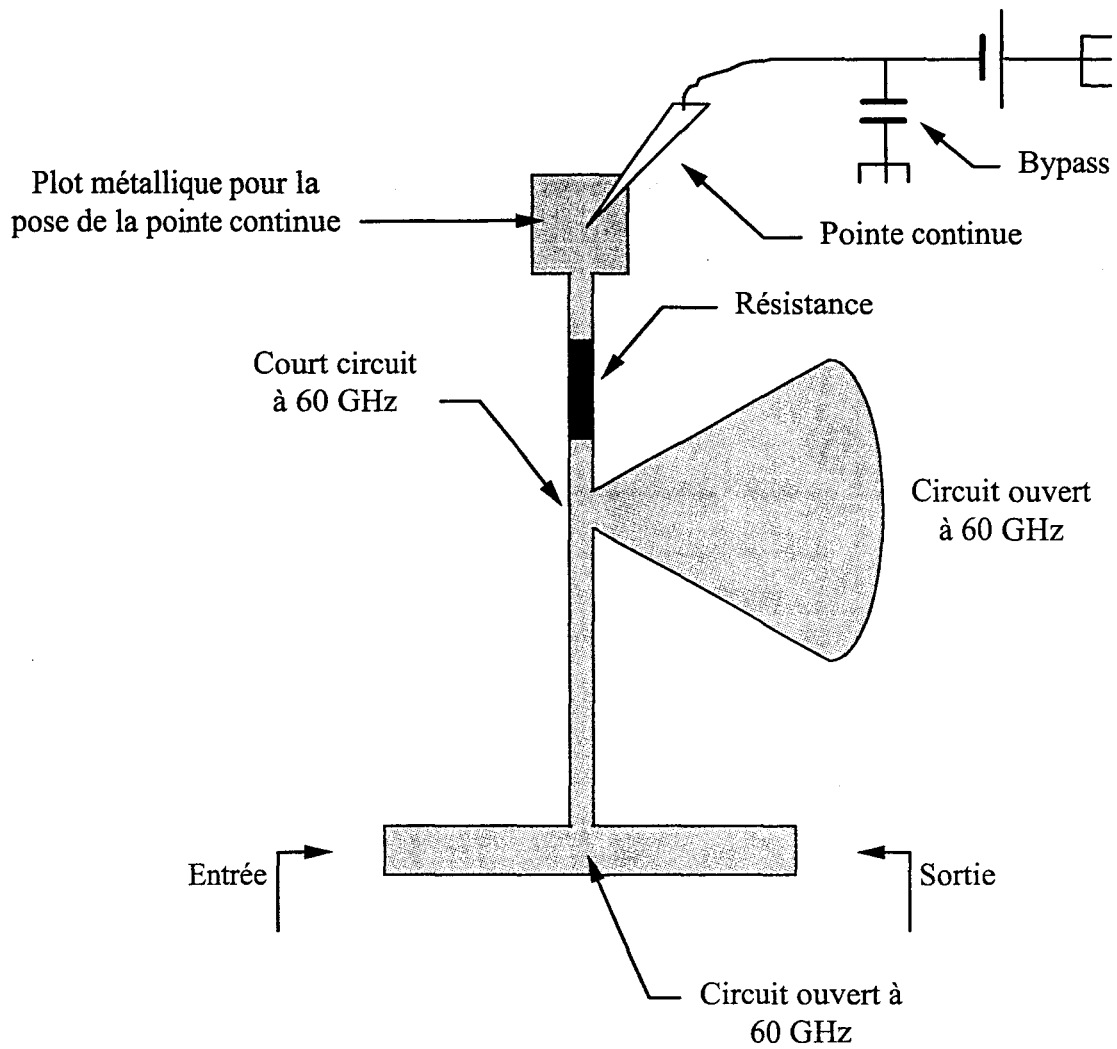


Figure IV.8 : Schéma d'une structure de polarisation incluant un élément résistif.

## **III.2. Etude des circuits de stabilisation**

### **III.2.1. En fonction des éléments résistifs**

La stabilisation du circuit sur toute la bande de fréquences sur laquelle le circuit présente du gain est primordiale pour s'affranchir de tout phénomène d'instabilité.

Sa stabilisation dans les bandes de fréquences où le coefficient  $K$  est encore inférieur à l'unité nécessite donc l'ajout d'éléments supplémentaires. Parmi ces éléments, une résistance est couramment placée dans les circuits de polarisation des transistors [3] [4]. Le nouveau schéma d'un circuit de polarisation et de stabilisation est alors présenté à la figure IV.8. Il a été incorporé dans un étage complet dont le résultat des simulations est présenté à la figure IV.9.

Nous pouvons constater que, pour cette topologie de circuit, l'influence de la résistance de valeur inférieure à une centaine d'ohms n'a pas l'effet escompté puisqu'elle ne permet pas de stabiliser le circuit en dessous de 10 GHz. Son effet est complètement masqué par l'impédance présentée par l'inductance de la pointe continue, comme le montre la figure IV.10. Les graphiques présentés ont été obtenus en incluant une résistance dans le circuit avec et sans prise en compte de l'inductance de la pointe continue. Nous constatons que, si celle-ci n'est pas prise en compte, le circuit est parfaitement stable sur toute la bande de fréquences. Il le restera pour des valeurs typiques d'inductance de pointe ou de fils de connexion nécessaires pour amener le signal continu, inférieur au nanohenry. Cependant, ce cas de figure est beaucoup plus proche d'un cas idéal que d'un cas réel. En effet, les fils d'or utilisés pour amener le signal continu de polarisation d'un boîtier au circuit ont des valeurs d'inductances d'environ 1 nH/mm, plusieurs millimètres pouvant s'avérer nécessaires.

Ceci confirme la nécessité de prendre en compte la valeur attribuée à l'inductance de la pointe ou du fil de connexion à un "bypass" dans nos simulations.

### **III.2.2. En fonction des éléments capacitifs**

L'inductance représentant soit la pointe de polarisation continue, soit un fil de connexion d'une dizaine de nanohenry, masque totalement l'effet de la résistance

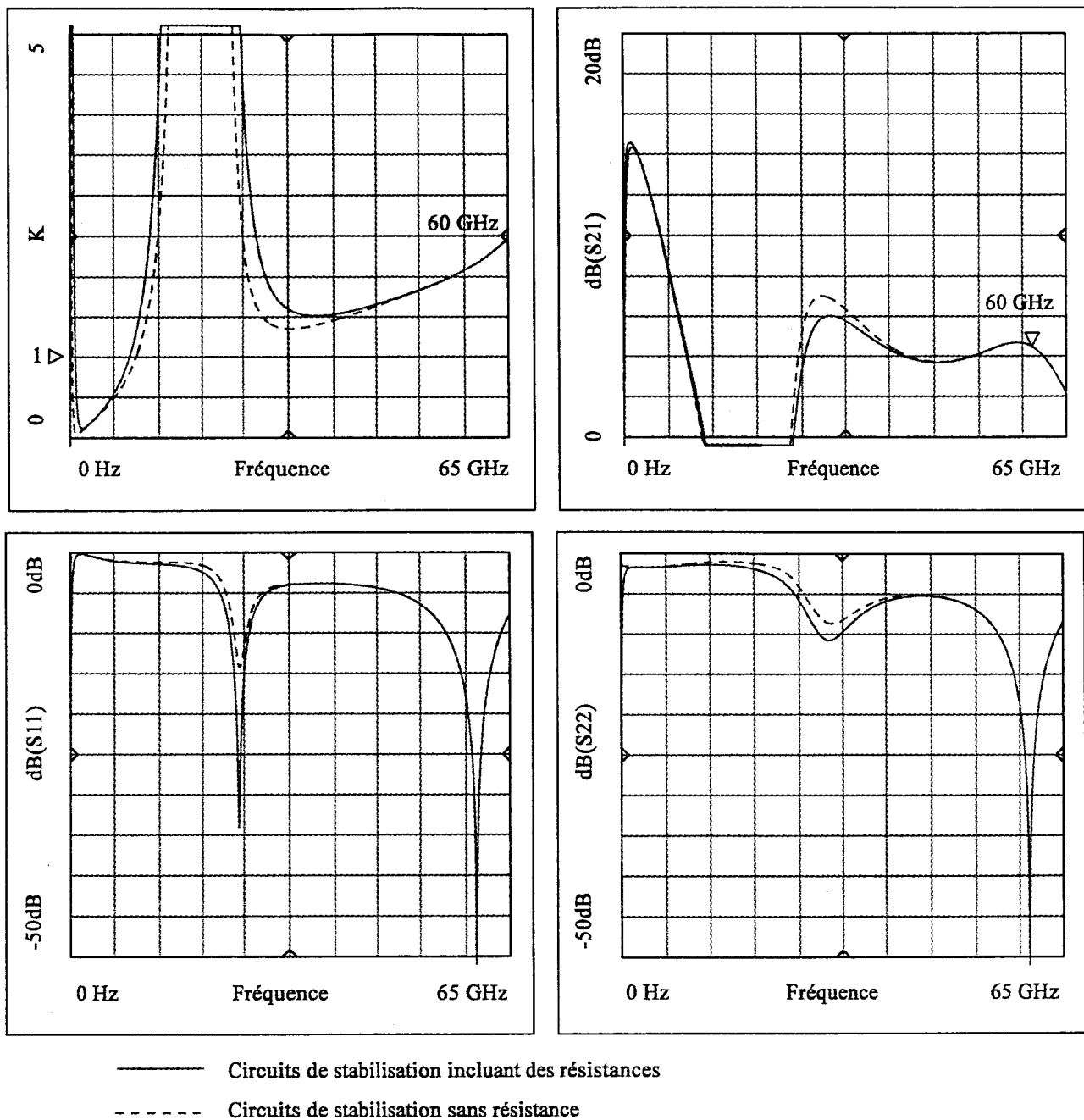
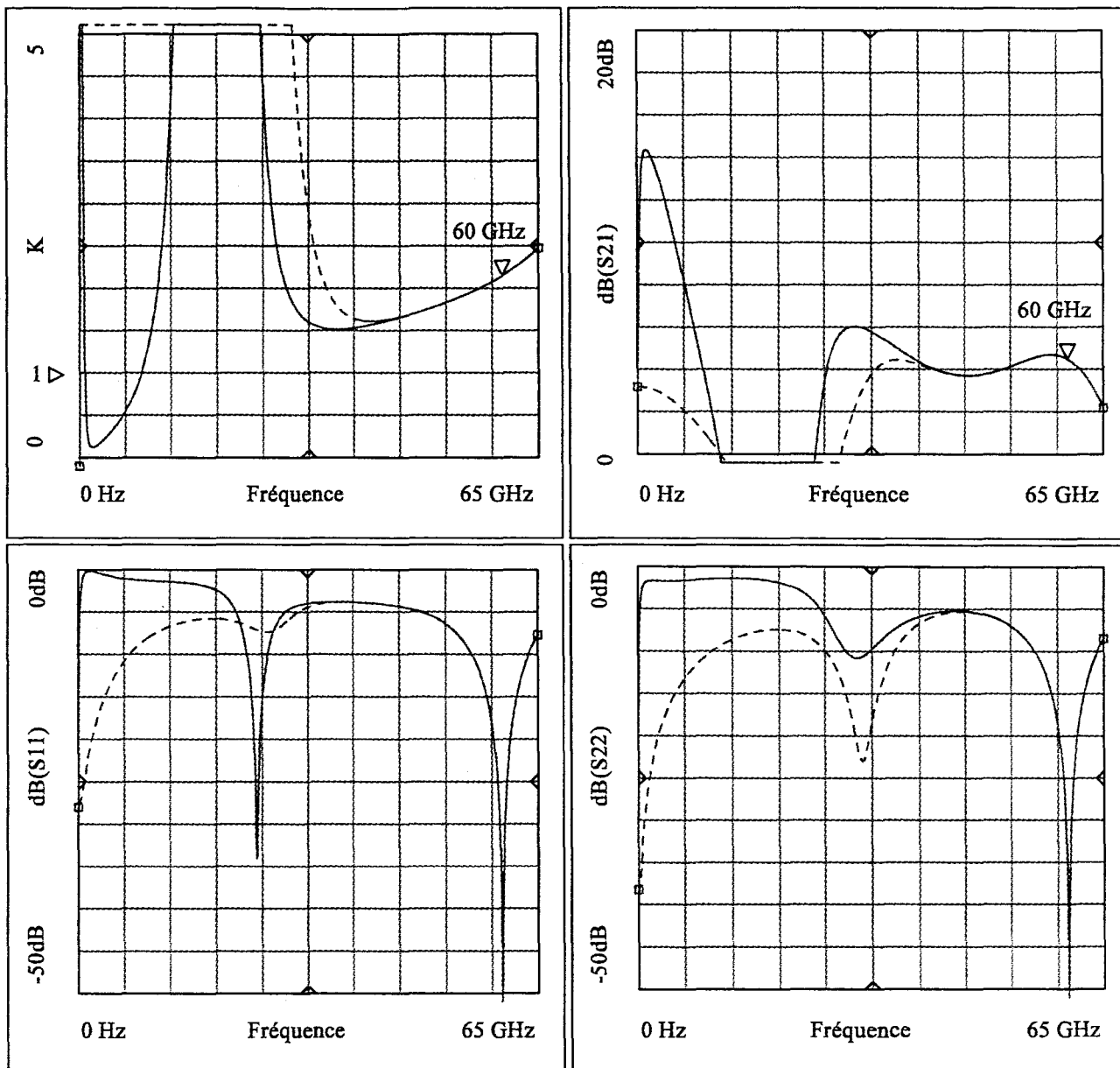


Figure IV.9 : Evolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  avec et sans résistances dans les circuits de stabilisation.



— Circuits de polarisation avec résistance et prise en compte de l'inductance de la pointe continue (50 nH)  
 - - - - - Circuits de polarisation avec résistance mais sans prise en compte de l'inductance

Figure IV.10 : Comparaison des performances du circuit lorsque l'on prend en compte ou non les inductance des pointes continues (50 nH) du circuit de polarisation :

- facteur de stabilité
- $|S_{21}|$  ;  $|S_{11}|$  ;  $|S_{22}|$

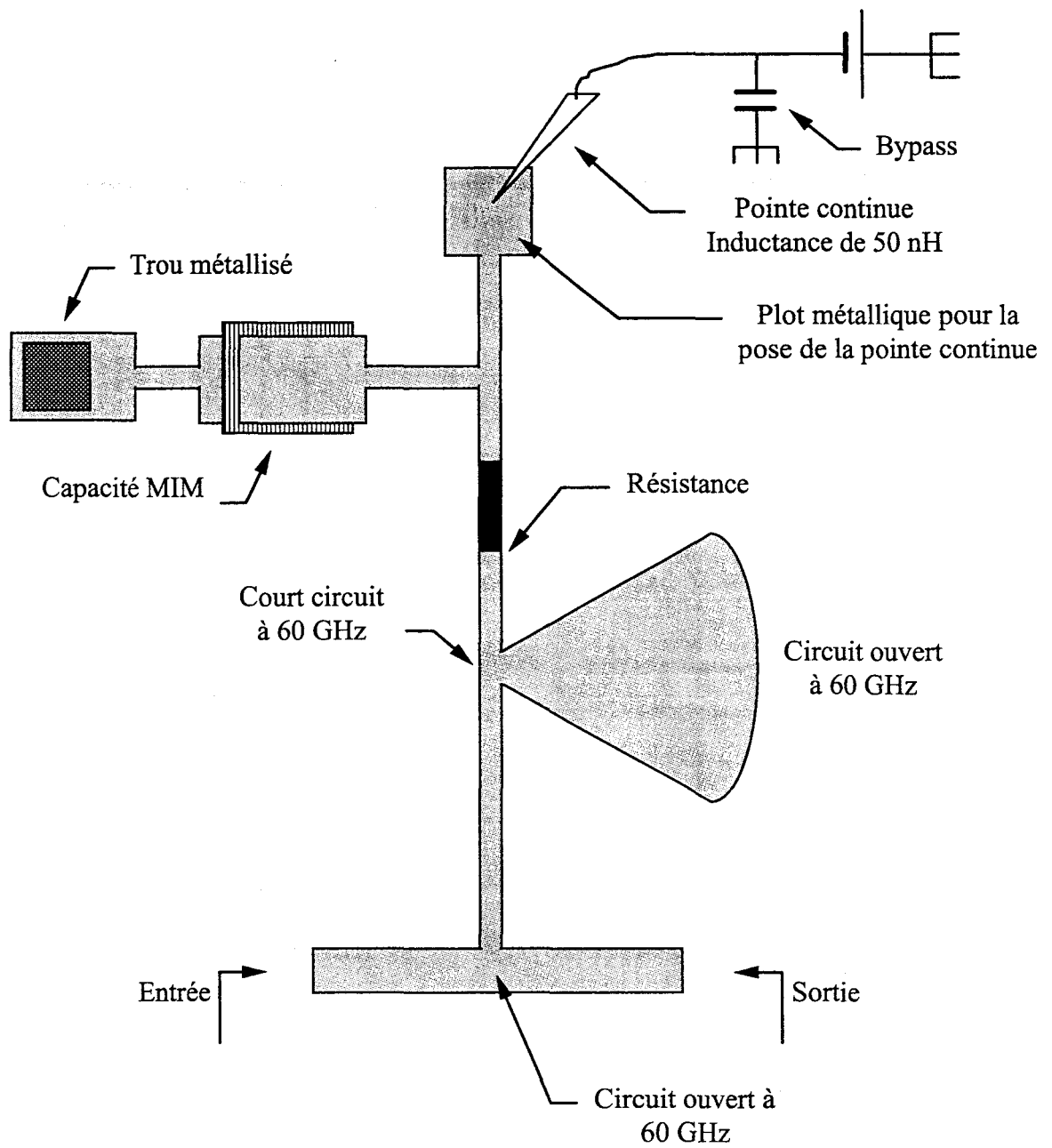


Figure IV.11 : Circuit de polarisation et de stabilisation complet.

destinée à stabiliser le circuit. Il s'avère donc nécessaire d'ajouter d'autres éléments aux circuits de stabilisation de manière à occulter ce phénomène selfique et ainsi pouvoir stabiliser le circuit sur toute la bande de fréquence. Une solution consiste à placer en parallèle avec l'inductance de la pointe une capacité de valeur importante pour que son impédance court-circuite le plus rapidement possible l'impédance amenée par la pointe. Le schéma de ce circuit est présenté à la figure IV.11.

Nous présentons sur la figure IV.12 les résultats de la simulation effectuée sur un circuit adapté par des stubs droits et incluant les circuits de polarisation et de stabilisation décrits à la figure IV.11. Ce circuit est alors beaucoup plus stable puisque la valeur importante (3.3 pF) de la capacité MIM permet de court-circuiter l'impédance amenée par l'inductance de la pointe de polarisation. Néanmoins, une résonance parallèle entre ces deux éléments provoque une chute du coefficient de stabilité en dessous de l'unité (figure IV.12). En effet, pour des fréquences comprises entre 335 MHz et 445 MHz, le circuit présente un risque d'instabilité ; le coefficient de stabilité étant minimal à la fréquence de 380 MHz. Cette fréquence de résonance se retrouve à partir des valeurs attribuées à la capacité (3.3 pF) et à l'inductance de la pointe (50 nH), puisque ces éléments se comportent comme un circuit résonant LC.

Afin d'obtenir une valeur de  $K$  supérieure à l'unité, il est possible soit d'augmenter la valeur de la capacité, soit de diminuer la valeur de l'inductance. La première solution est limitée par la surface de substrat nécessaire à la réalisation de capacités de valeurs importantes. La diminution de la valeur de l'inductance est alors la solution que nous retiendrons. Ce problème de risque d'instabilité ne se pose que pour la mesure en test du circuit avec une inductance de pointe de 50 nH ; c'est pourquoi, il faut prévoir que la puce puisse être polarisée par une pointe hyperfréquence dont l'inductance est beaucoup plus faible ( $\approx 1$  nH).

Dans la suite de nos simulations, nous prendrons donc en compte une inductance de 5 nH représentant une valeur 5 fois supérieure à celle de la pointe hyperfréquence ou égale à celle de deux fils de connexion de 1 cm de long placés en parallèle. La figure IV.12 représente la valeur du coefficient de stabilité simulé pour cette valeur des inductances de pointe (courbe en pointillés). Le circuit est alors inconditionnellement stable.

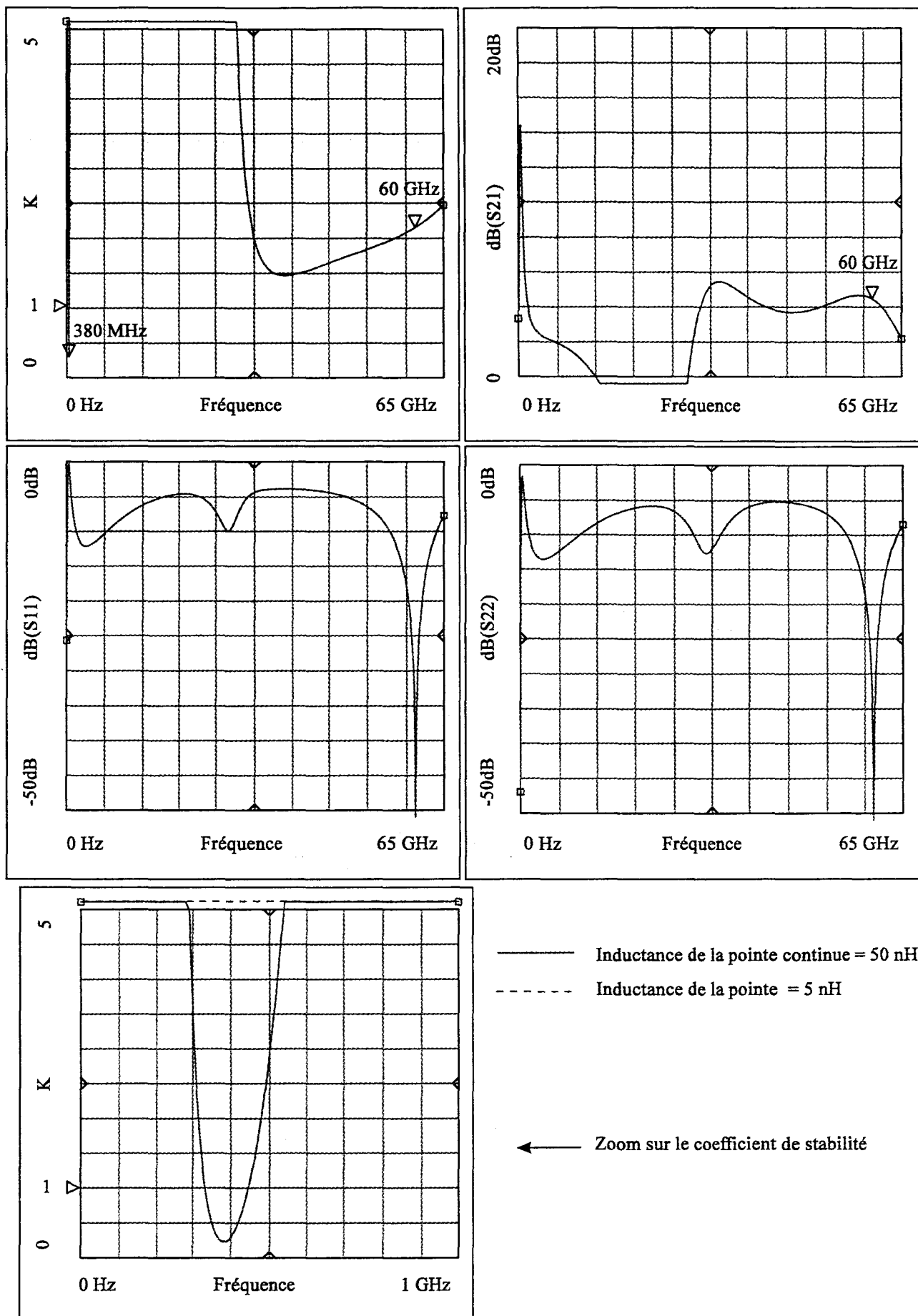


Figure IV.12 : Influences de l'inductance des points continus sur les évolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  d'un amplificateur complet.

### **III.3. Influence des éléments du Té sur le comportement du circuit**

La topologie des circuits de polarisation et de stabilisation est à présent définie. La stabilité inconditionnelle du circuit est obtenue sur toute la bande de fréquence. Nous allons maintenant étudier plus particulièrement l'influence des éléments du Té de polarisation et de stabilisation sur les performances du circuit.

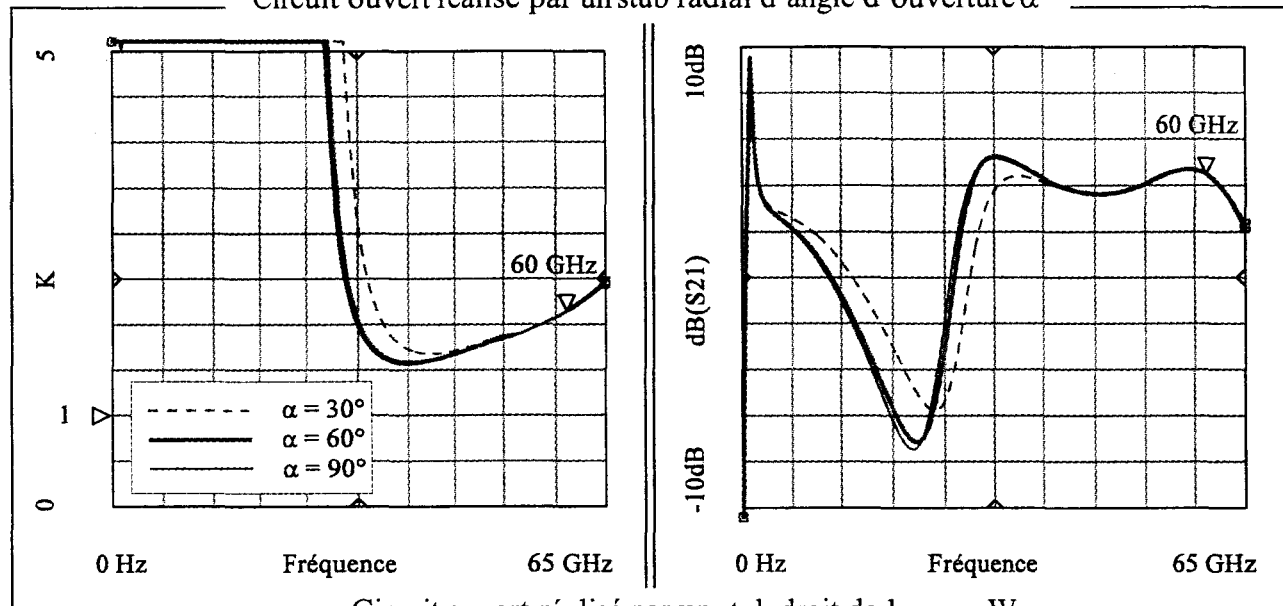
#### **III.3.1. Partie du circuit ramenant un circuit ouvert à 60 GHz**

La fonction de cette branche du Té est d'inhiber l'influence du circuit de polarisation en amenant un circuit ouvert à la fréquence de travail dans la ligne principale. Cette fonction peut être réalisée soit avec une ligne de compensation droite, radiale ou encore par la mise en série d'un trou métallisé et d'une capacité. Le rôle de la capacité est d'empêcher le courant continu de polarisation de circuler dans cette branche. Ces trois types de configurations ont été testés en utilisant comme paramètre de variation la largeur du stub droit, l'angle d'ouverture du stub radial et la valeur de la capacité. Les résultats de ces simulations sont représentés par le coefficient de stabilité  $K$  du circuit ainsi que le module du paramètre  $S_{21}$  du circuit à la figure IV.13.

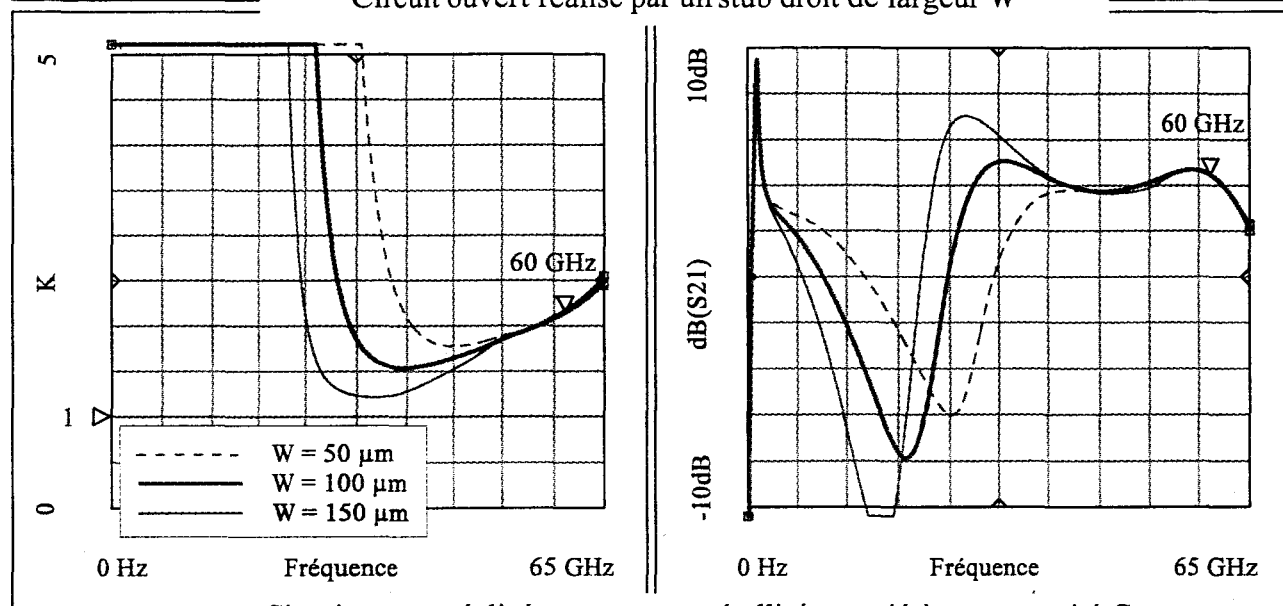
Nous pouvons constater autour de la fréquence de travail un comportement similaire des trois circuits étudiés. L'adaptation du composant actif est identique, les différences de comportement n'interviennent que pour des fréquences inférieures à 45 GHz. Nous constatons de plus que les variations effectuées sur la largeur du stub droit, l'ouverture du stub papillon ou la valeur de la capacité permettent tous trois de moduler l'évolution du coefficient de stabilité du circuit ou du gain en dessous de 45 GHz. Il n'y a donc pas a priori d'avantage à utiliser une structure plutôt qu'une autre. Ce choix doit s'effectuer plutôt selon les contraintes technologiques du fondeur, les modèles disponibles...



Circuit ouvert réalisé par un stub radial d'angle d'ouverture  $\alpha$



Circuit ouvert réalisé par un stub droit de largeur  $W$



Circuit ouvert réalisé par un trou métallisé associé à une capacité  $C$

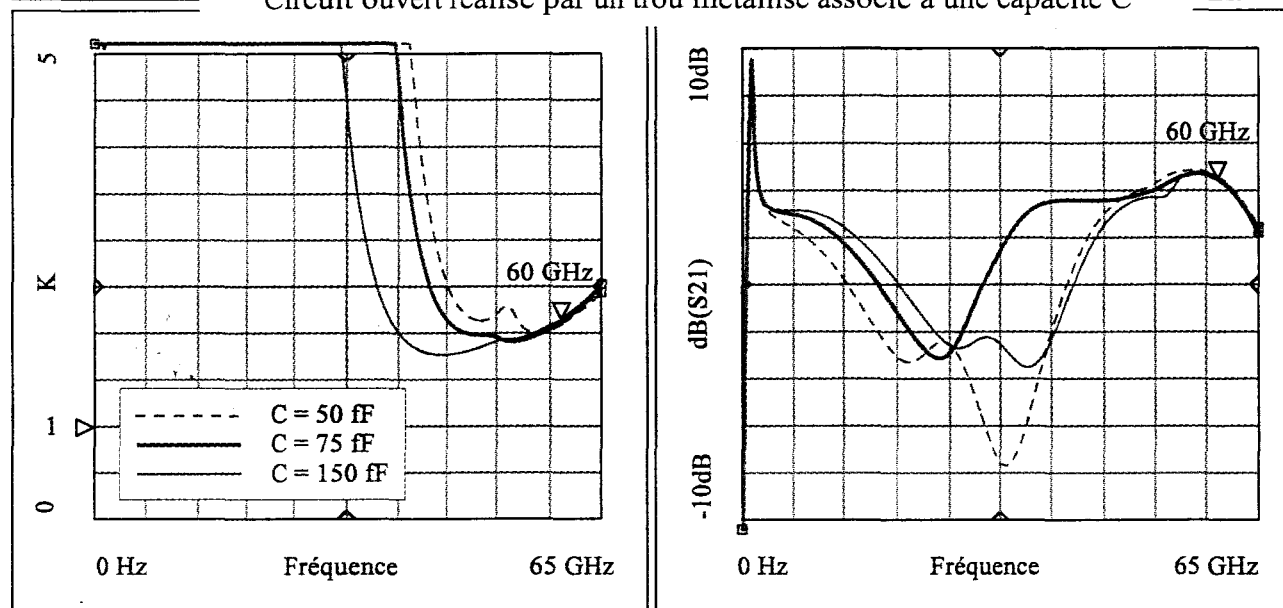


Figure IV.13 : Influences des éléments réalisant un circuit ouvert à 60 GHz sur les évolutions du module du terme  $S_{21}$  et du coefficient de stabilité  $K$  d'un amplificateur complet.

### III.3.2. Valeurs et positions des résistances de stabilisation

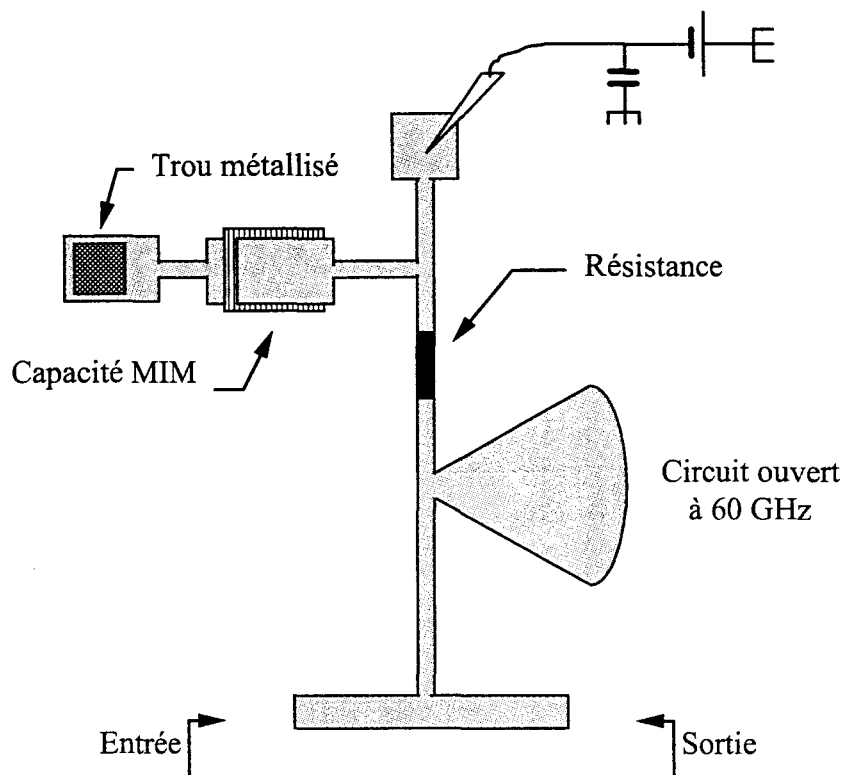
Des éléments résistifs dans les circuits de stabilisation des transistors sont couramment ajoutés de manière à améliorer leur stabilité. Pour le circuit de polarisation et de stabilisation de grille, celle-ci peut être placée en série avec le tronçon de ligne qui amène la tension de polarisation au composant. En effet, puisque qu'a priori aucun courant continu ne circule dans la grille, il n'y aura pas de chute de tension aux bornes de la résistance. Il n'en est pas de même du côté drain où, pour éviter une chute de tension aux bornes de la résistance et donc une modification du point de polarisation du composant, il est plus judicieux de placer la résistance dans une branche parallèle à celle utilisée pour véhiculer les courants d'alimentations. Placée en série avec une capacité, la résistance évitera la circulation d'un courant de polarisation qui de plus augmenterait la consommation du circuit (figure IV.14).

Afin de mieux cerner l'effet des résistances et leur bande de fréquence de stabilisation, nous avons simulé un circuit n'en comportant pas. Les résultats de cette simulation sont présentés à la figure IV.15. Nous pouvons constater pour la fréquence de 1.2 GHz que le coefficient de stabilité du circuit est proche de l'unité et que pour la gamme de fréquence allant d'environ 13 GHz à 18 GHz, il est inférieur à l'unité.

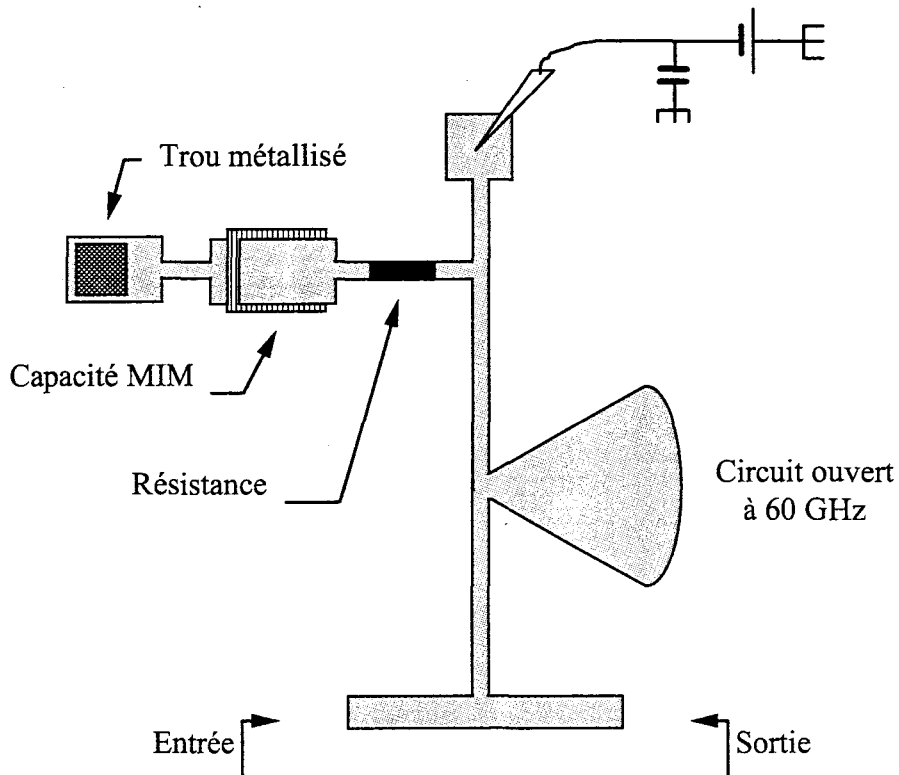
Nous pouvons donc conclure qu'en deçà d'environ 6 GHz, la stabilité est plutôt assurée par la capacité de découplage; au delà de 25 GHz, c'est principalement le stub radial qui remplit cette fonction, la résistance effectuant la jonction entre ces deux fréquences.

Si un élément résistif est nécessaire dans les circuits de stabilisation, faut-il nécessairement en placer un dans la grille et un dans le drain ? Pour répondre à cette interrogation nous avons effectué deux nouvelles simulations. La première est réalisée en supprimant la résistance de grille et en faisant varier les valeurs prises par celle de drain. Dans la seconde, la résistance de drain est supprimée et les valeurs de celle de grille évoluent. Les résultats de ces simulations sont présentés aux figures IV.16 et IV.17 respectivement.

Nous pouvons constater sur la figure IV.16 (pas de résistance dans le circuit de polarisation de grille), que la résistance de drain suffit pour stabiliser le circuit puisque le coefficient de stabilité est toujours supérieur à l'unité. Les valeurs attribuées à cette



Circuit de polarisation et de stabilisation de grille.



Circuit de polarisation et de stabilisation de drain.

Figure IV.14 : Schéma des circuits de polarisation et de stabilisation de grille et de drain.

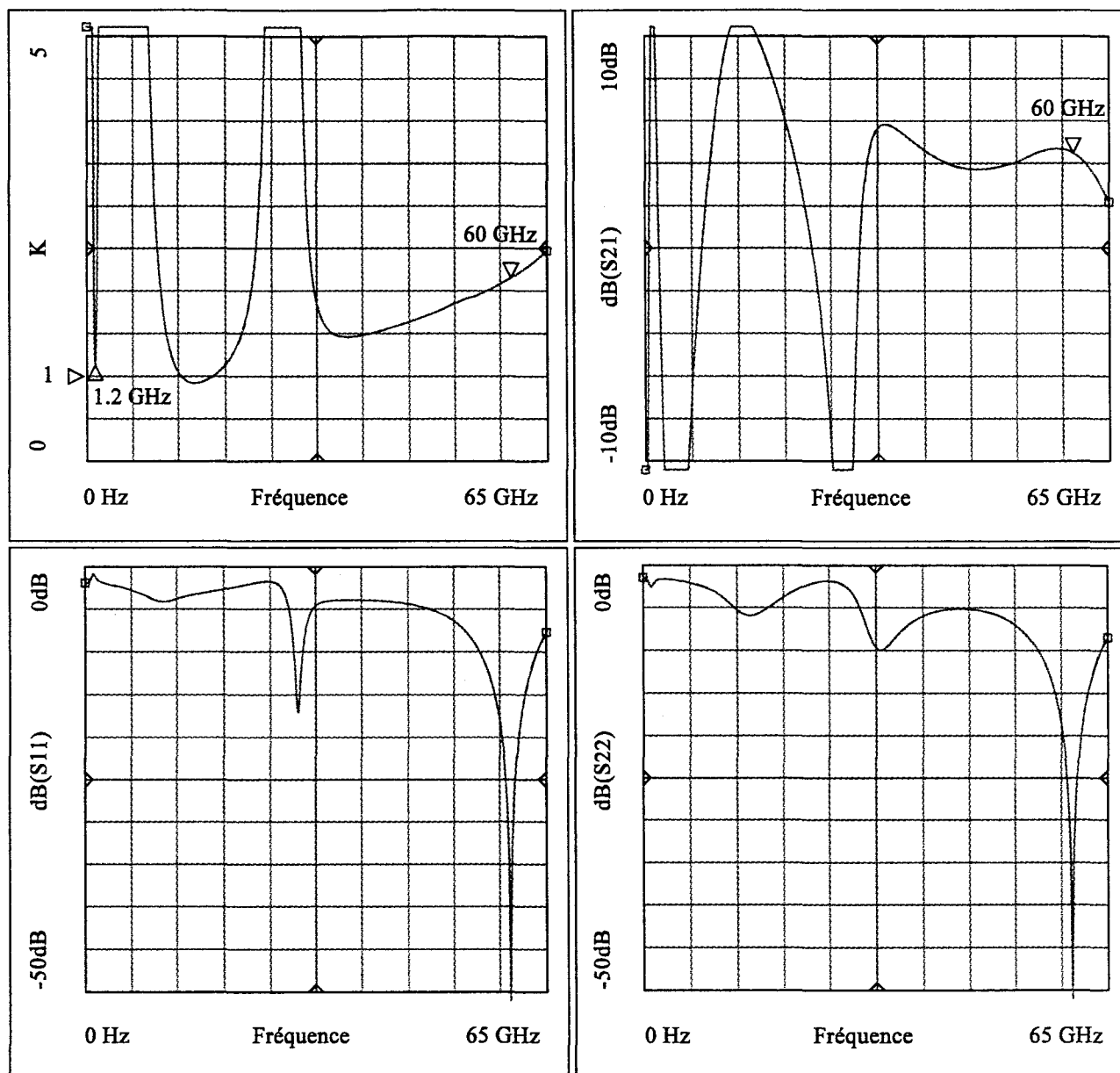


Figure IV.15 : Evolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  d'un amplificateur sans résistance dans les circuits de stabilisation.

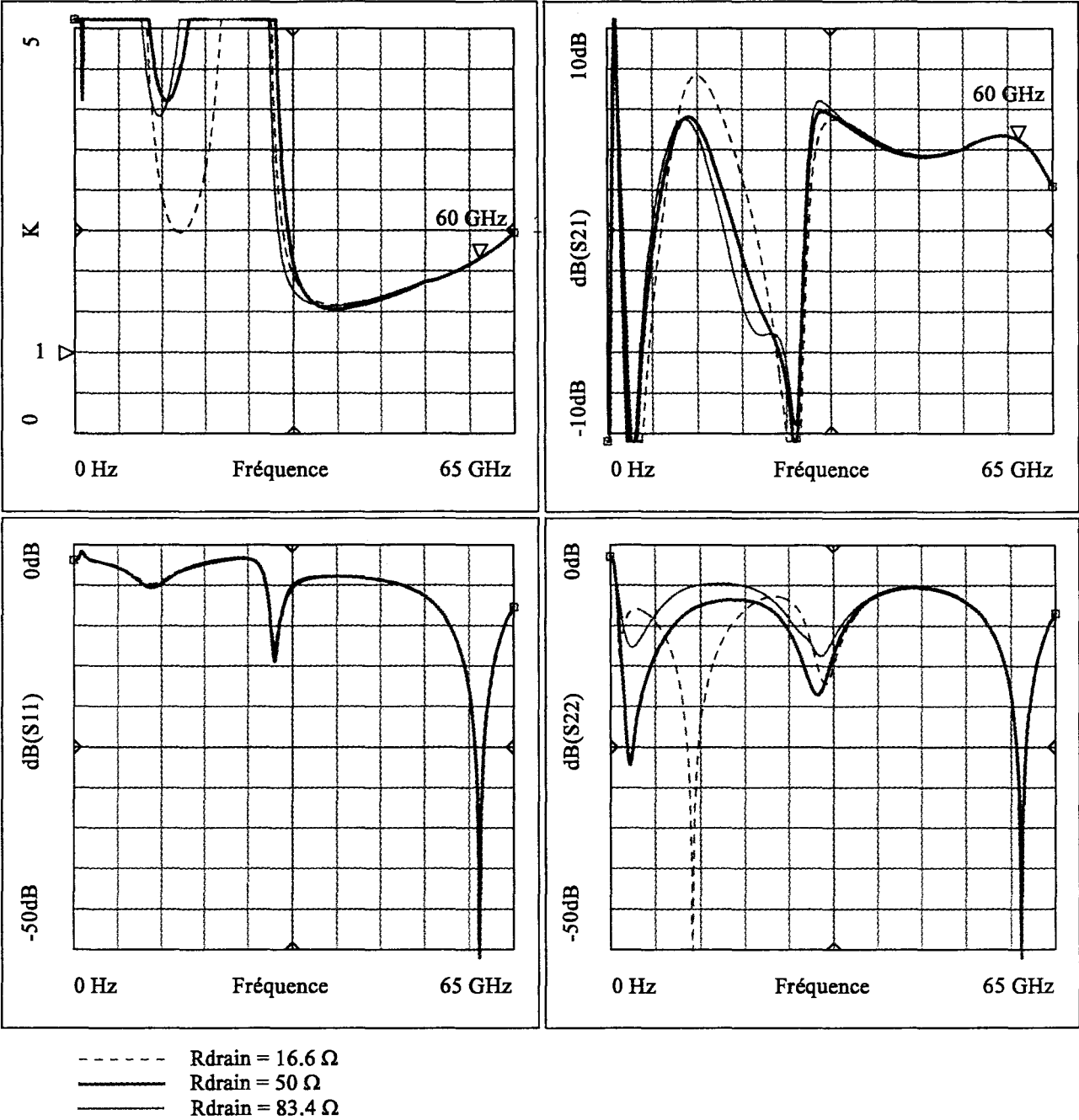


Figure IV.16 : Variations des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  d'un amplificateur sans résistance dans le circuit de stabilisation de grille en fonction de la résistance du circuit de stabilisation de drain .

résistance pour la simulation sont celles réalisées parmi les éléments passifs décrits au chapitre II et valent :  $16.6 \Omega$ ,  $50 \Omega$  et  $83.4 \Omega$ . La valeur optimale est ici de  $50 \Omega$ , le critère de choix étant un coefficient de stabilité de plus important possible. Nous pouvons constater de plus que la résistance de stabilisation placée du côté drain n'influence aucunement le coefficient de réflexion en entrée du circuit mais atténue cependant le coefficient de qualité visible sur le coefficient de stabilité K. Si on se place maintenant du côté de la grille (figure IV.17 : résistance du circuit de polarisation de drain nulle), nous constatons une évolution similaire du coefficient de stabilité. La valeur optimale est cette fois la plus importante ( $83.4 \Omega$ ) puisque c'est grâce à celle-ci que le coefficient de stabilité est le plus élevé. Comme précédemment, la résistance du circuit de polarisation de grille ne modifie pas l'allure du coefficient de réflexion en sortie du circuit mais uniquement celui de l'entrée.

L'effet des deux résistances est donc complémentaire. Placées dans chaque circuit, elles permettent d'obtenir une valeur du coefficient de stabilité supérieur à 4. Cela présente en outre l'avantage de pouvoir tolérer une certaine dispersion sur leur valeur sans compromettre la stabilité du circuit. Leur ordre de grandeur varie de quelques dizaines à une centaine d'ohms avec pour chaque résistance une valeur optimale, valeur pour laquelle le coefficient de stabilité est maximal.

### III.3.3. Valeurs des capacités de découplage

Nous avons montré dans l'étude relative à la détermination des éléments nécessaires à la conception du Té de polarisation et de stabilisation la nécessité de placer une branche de circuit en parallèle à l'inductance de la pointe continue. Pour éviter une circulation du courant de polarisation dans celle-ci, l'introduction d'une capacité est nécessaire. La valeur attribuée à cet élément doit être importante, car une valeur trop faible de celle-ci peut entraîner un risque d'instabilité dans le circuit. La figure IV.18 représente l'évolution du coefficient de stabilité du circuit pour plusieurs valeurs de capacités de découplages des circuits de drain et de grille. Les valeurs simulées sont les suivantes :  $130 \text{ fF}$ ,  $1.6 \text{ pF}$ ,  $3.3 \text{ pF}$  et  $6.6 \text{ pF}$  (elles occupent des surfaces respectives d'environ :  $400 \mu\text{m}^2$ ,  $5000 \mu\text{m}^2$ ,  $10000 \mu\text{m}^2$  et  $20000 \mu\text{m}^2$ ). Nous pouvons constater que pour la valeur de  $130 \text{ fF}$ , le circuit n'est plus inconditionnellement stable. Puis, pour les

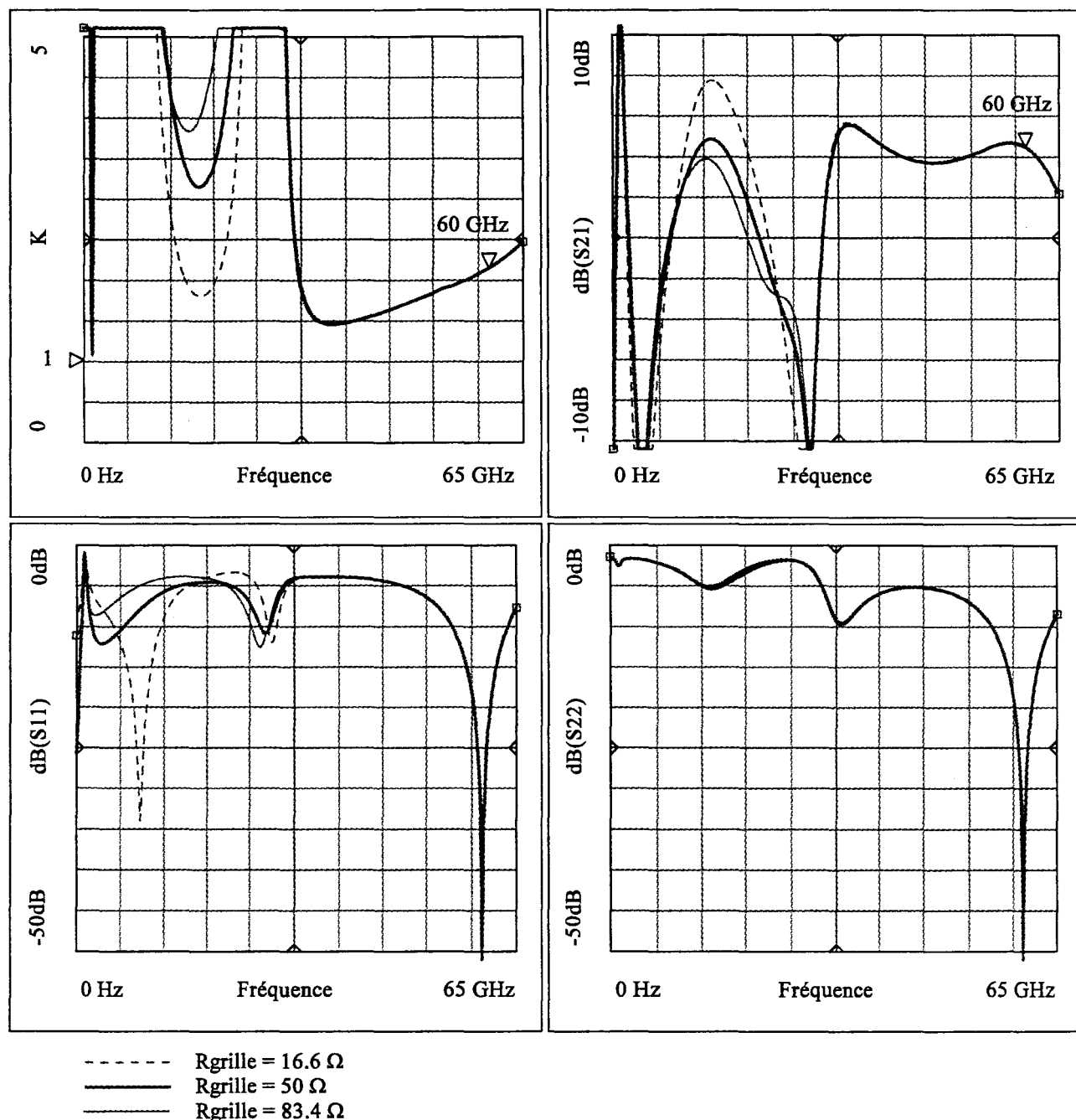


Figure IV.17 : Variations des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  d'un amplificateur en fonction de la résistance du circuit de stabilisation de grille sans résistance dans le circuit de stabilisation de drain.

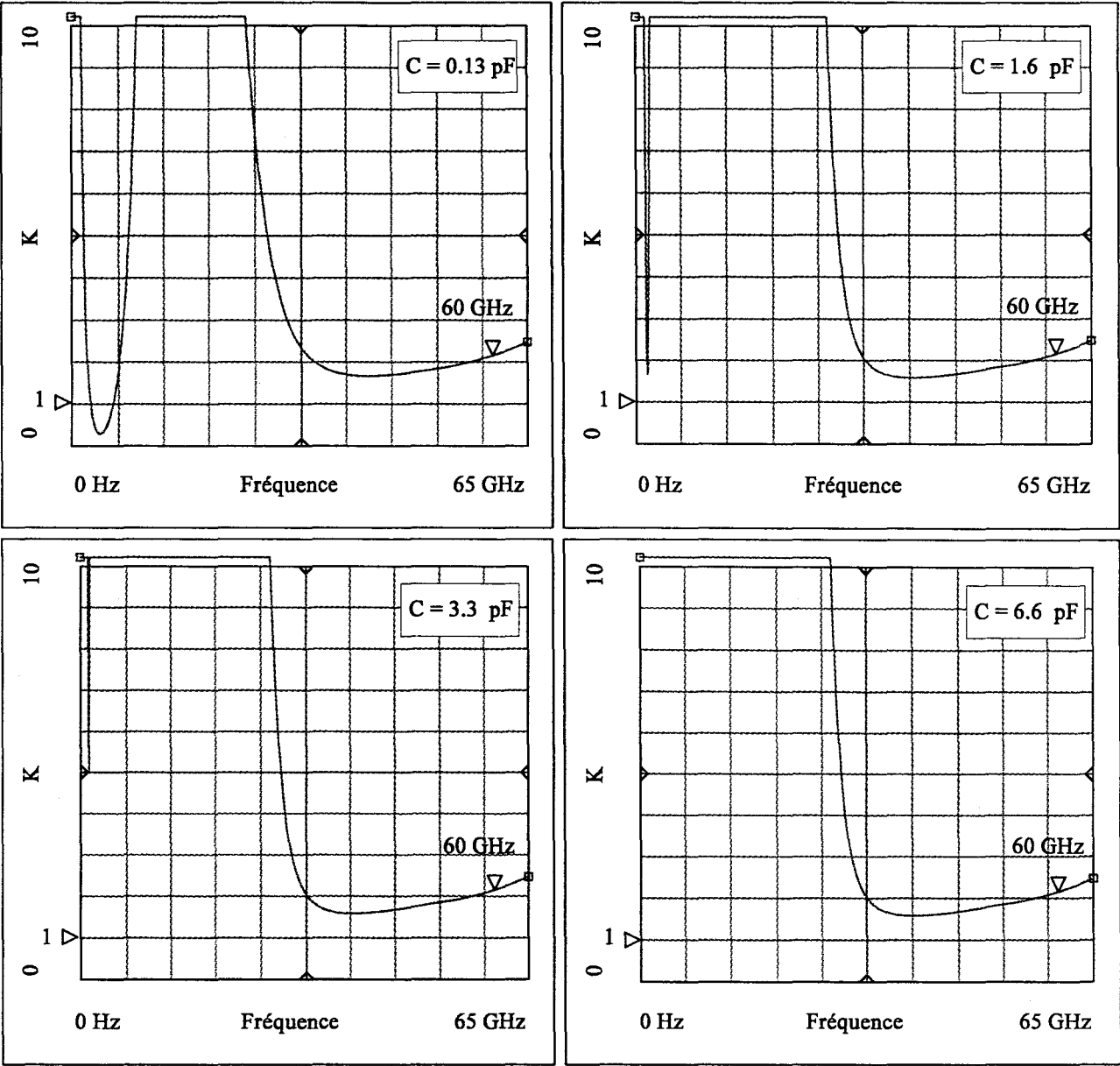


Figure IV.18 : Evolutions du coefficient de stabilité  $K$  d'un amplificateur en fonction de la valeur des capacités de découplage des circuits de stabilisation de grille et de drain.



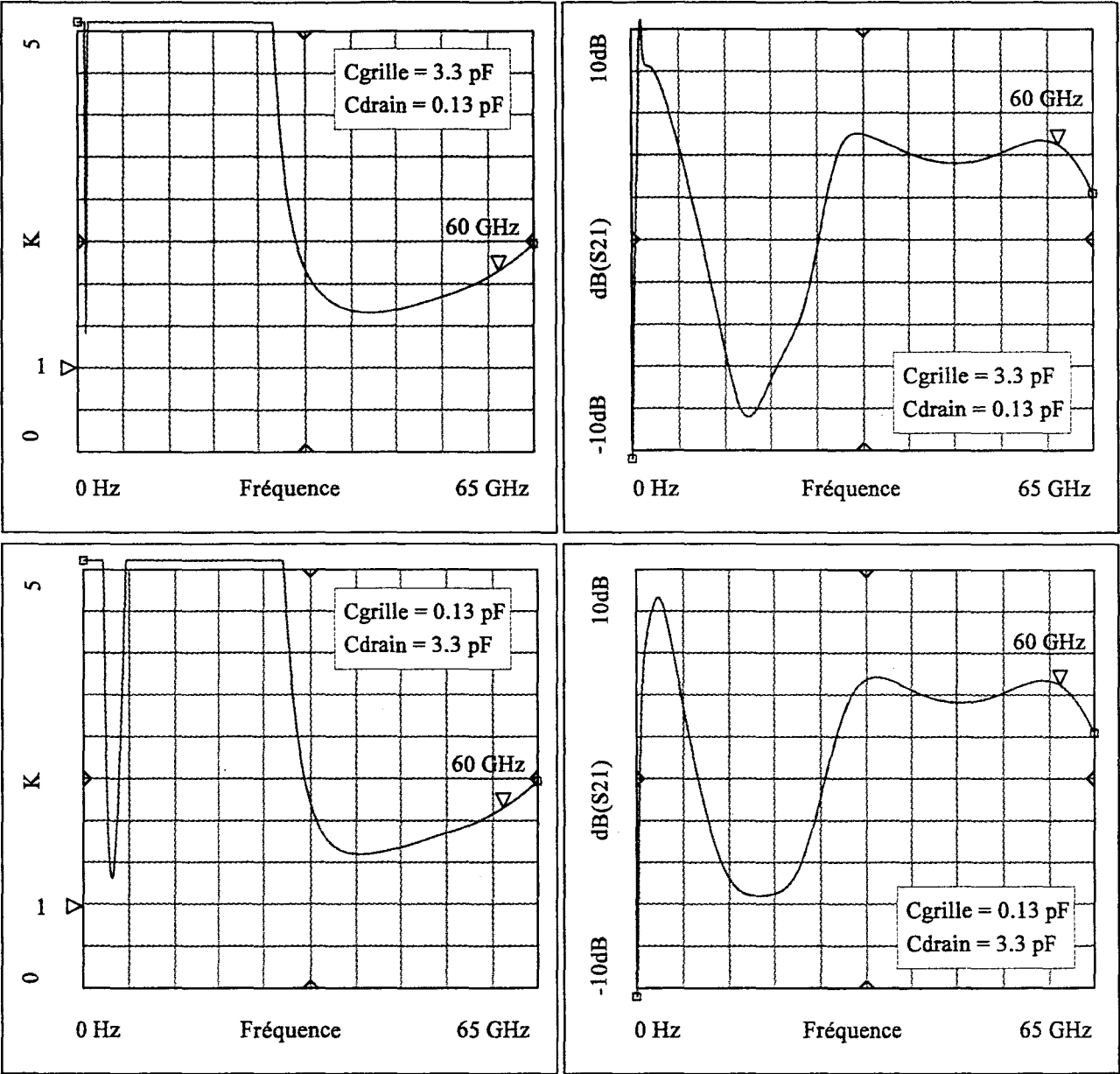


Figure IV.19 : Evolutions du coefficient de stabilité  $K$  et du module de  $S_{21}$  d'un amplificateur en fonction des valeurs des capacités de découplage des circuits de stabilisation de grille et de drain.

valeurs supérieures des capacités, le coefficient de stabilité du circuit est de plus en plus important.

Afin de connaître l'influence respective de la capacité du Té de polarisation de grille et de celle de drain, nous présentons sur le figure IV.19 l'évolution du coefficient de stabilité et du gain  $S_{21}$  du circuit lorsque la capacité du Té de grille vaut 130 fF et celle de drain vaut 3.3 pF et vice versa. Nous pouvons remarquer que la capacité du Té de grille permet de réduire de manière plus importante la bande de fréquence pour laquelle le coefficient de stabilité devient proche de l'unité que celle du Té de drain. Nous pouvons constater de plus que, comme pour les résistances, une seule valeur importante suffit pour obtenir un coefficient de stabilité supérieur à 1. Cependant, en utilisant deux capacités, leurs effets sont renforcés ce qui permet d'augmenter la valeur de ce dernier et de limiter ainsi les risques d'instabilité.

## **IV . Modélisation du composant actif pour la conception du circuit**

---

Comme nous l'avons mentionné au début de ce chapitre, compte tenu des délais liés à la mise au point technologique des composants, nous ne disposions pas au moment de la rédaction de ce mémoire de transistors réalisés avec le masque MAGIC. Dans ces conditions, et afin d'étudier la conception complète d'un amplificateur intégré en bande V, nous avons dû utiliser un autre composant. Notre choix s'est naturellement porté vers les transistors réalisés au laboratoire pour la mise au point de l'épitaxie. Nous avons ainsi opté pour un composant de la série 10347 dont l'épitaxie se rapproche le plus de celle conçue pour la réalisation des transistors à grand développement de grille. Cependant, ne disposant que de transistors de développement de grille de  $2 \times 50 \mu\text{m}$ , deux possibilités s'offraient à nous. La première était de concevoir le circuit en modélisant ce composant. La seconde était de créer artificiellement un nouveau composant en opérant des lois d'échelles sur les paramètres extrinsèques et intrinsèques

pour simuler un nombre de doigts de grille plus important. Cette solution permettrait de modéliser des impédances d'entrée et de sortie plus proches de celle d'un composant à grand développement de grille [5]. Cependant, cet artifice présentait l'inconvénient de définir un schéma équivalent global d'un composant n'ayant pas été fabriqué. Nous avons alors opté pour la première solution, la modélisation du transistor étant mieux connue et beaucoup plus cohérente.

Un schéma équivalent linéaire du transistor a été défini, préféré à une modélisation non linéaire du composant plus précise mais moins justifiée, pour cette première approche du circuit. Les valeurs des éléments du schéma équivalent extraits jusque 50 GHz d'un transistor de la série 10347 de développement  $2 \times 50 \times 0.2 \mu\text{m}^2$  au point de polarisation  $V_{ds} = 2 \text{ V}$  et  $V_{gs} = 0 \text{ V}$  sont reportés dans le tableau IV.2.

Eléments extrinsèques :

Eléments	$R_s(\Omega)$	$R_g(\Omega)$	$R_d(\Omega)$	$l_s(\text{pH})$	$l_g(\text{pH})$	$l_d(\text{pH})$	$C_{pg}(\text{fF})$	$C_{pd}(\text{fF})$
Valeurs	3.4	4	3.4	7	50	54	20	24

Eléments intrinsèques :

Eléments	$g_m$	$G_d$	$C_{gs}$	$C_{gd}$	$R_i$	$R_{gd}$	$C_{ds}$	$\tau$
Valeurs moyennes	60 (ms)	2.0 (ms)	58.4 (fF)	5.8 (fF)	22.6 ( $\Omega$ )	79.6 ( $\Omega$ )	14.7 (fF)	0.72 (ps)
Variance	0.36	0.009	1.6	0.008	1.05	929	0.32	0.002
Ecart type normalisé	1	4.7	2.2	1.6	4.5	37.8	3.9	6.4

Tableau IV.2 : Schéma équivalent du transistor de la série 10347 déterminé jusque 50 GHz.

Pour augmenter l'accord obtenu entre les paramètres  $S_{ij}$  mesurés et le schéma équivalent calculé jusque 75 GHz, les valeurs des éléments  $l_g$ ,  $l_d$  et de la résistance  $R_{gd}$  ont cependant du être modifiés. L'inductance de grille a été abaissée à 45 pH, celle de drain à 41 pH et la valeur de la résistance  $R_{gd}$  a été augmentée à 100  $\Omega$ . Une comparaison entre les paramètres  $S_{ij}$  mesurés et recalculés avec ces nouvelles valeurs est

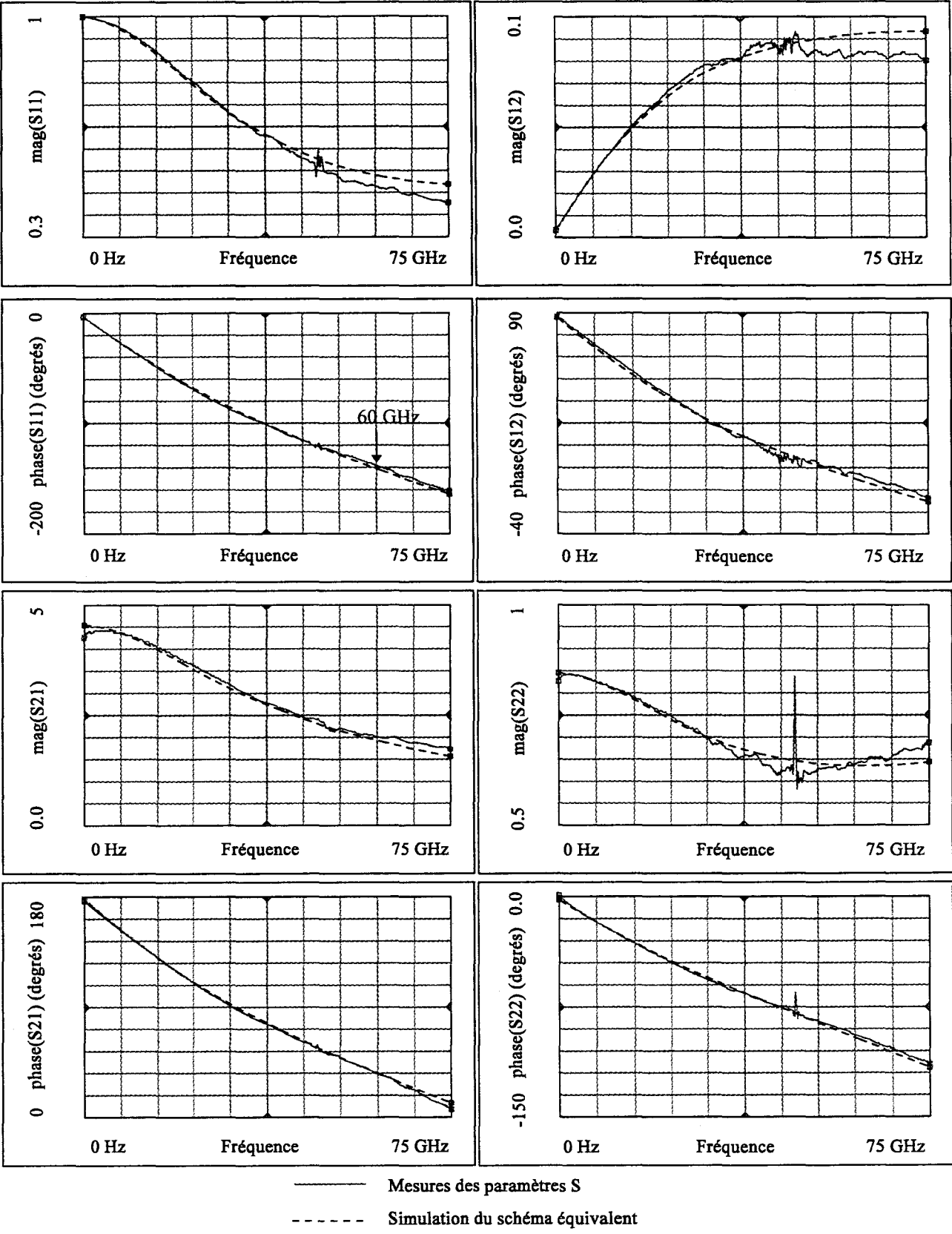


Figure IV.20 : Comparaison entre les paramètres  $S_{ij}$  mesurés et déduit du schéma équivalent du transistor utilisé pour la conception de l'amplificateur.

présentée à la figure IV.20. Nous pouvons alors constater un bon accord entre le schéma équivalent et nos mesures jusque 75 GHz. Ce composant inconditionnellement stable à partir de 42 GHz présente une valeur du coefficient de stabilité égale à 1.37 et 9.6 dB de MAG à 60 GHz. Les impédances optimales à présenter en entrée et en sortie du transistor pour réaliser ce gain sont les suivantes :  $Z_{e_{opt}} = 12.964 + j7.293 \, \Omega$  et  $Z_{s_{opt}} = 13.019 + j35.893 \, \Omega$ .

## V. Conception du démonstrateur

---

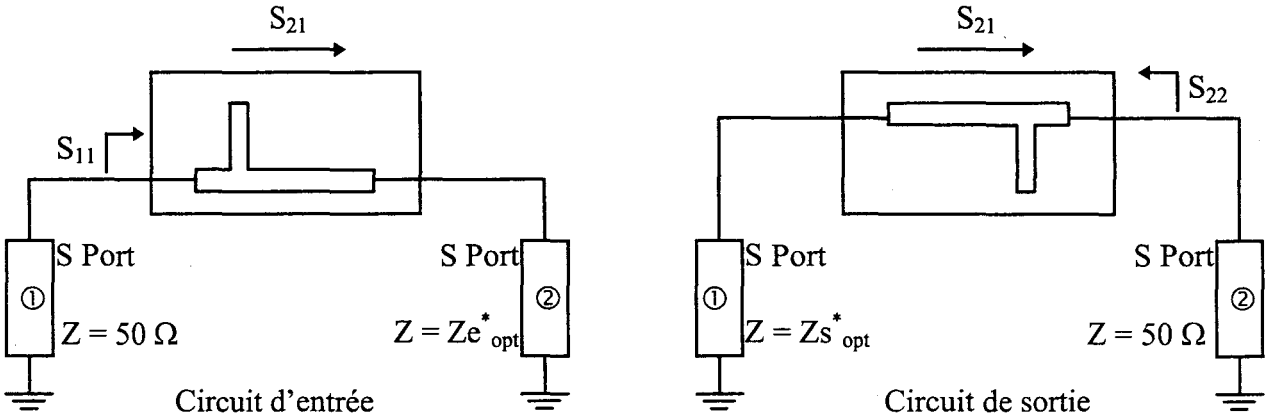
L'étude réalisée au deuxième chapitre a permis la validation d'une bibliothèque de modèles d'éléments passifs. La conception du circuit a donc été entreprise en tenant compte de ces paramètres.

### V.1. Méthodologie de conception

La méthodologie employée pour la conception du circuit est décrite dans ce paragraphe et présentée à la figure IV.21. Elle a été décrite étape par étape afin de donner les principales clés de la conception aux lecteurs.

① Les impédances optimales à présenter au transistor pour réaliser le gain maximum disponible sont connues. La première étape de la définition du circuit consiste à réaliser ces impédances en concevant des circuits adaptateurs d'entrée et de sortie, indépendants pour l'instant. Le schéma de l'optimisation est présenté à la figure IV.21. Toutes les longueurs des tronçons de lignes sont optimisées de manière à présenter l'impédance souhaitée et minimiser les pertes de ces circuits. Les largeurs des lignes de transmissions sont fixées à 30  $\mu\text{m}$  afin d'obtenir une impédance caractéristique égale à 50  $\Omega$  (pour une épaisseur du substrat de 40  $\mu\text{m}$ ). La largeur de la ligne de compensation

**ETAPE 1 :** Optimisation séparée des circuits d'adaptation d'entrée et de sortie du transistor.

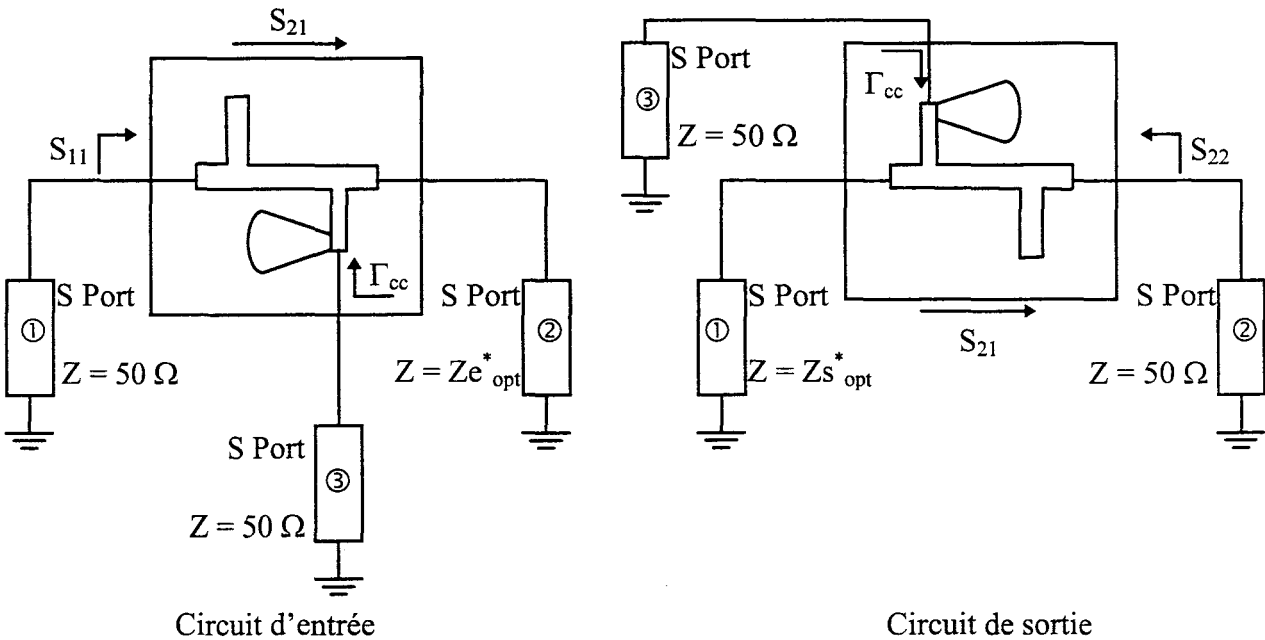


Objectifs pour l'optimisation à la fréquence de 60 GHz

$S_{11} \# -50 \text{ dB}$   
 $S_{21} \# 0 \text{ dB}$

$S_{22} \# -50 \text{ dB}$   
 $S_{21} \# 0 \text{ dB}$

**ETAPE 2 :** Optimisation séparée des circuits d'adaptation et de polarisation d'entrée et de sortie du transistor.

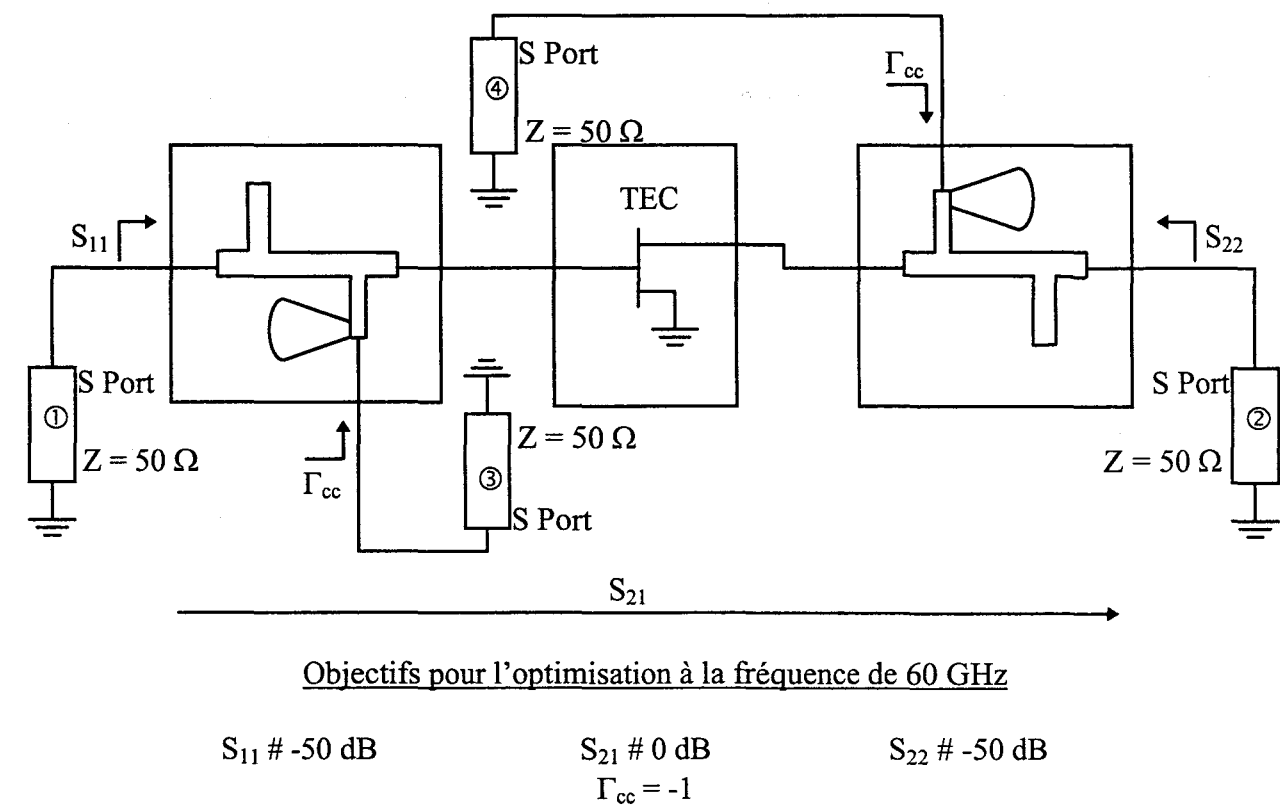


Objectifs pour l'optimisation à la fréquence de 60 GHz

$S_{11} \# -50 \text{ dB}$   
 $S_{21} \# 0 \text{ dB}$   
 $\Gamma_{cc} = -1$

$S_{22} \# -50 \text{ dB}$   
 $S_{21} \# 0 \text{ dB}$   
 $\Gamma_{cc} = -1$

**ETAPE 3 :** Optimisation des circuits d'adaptation et de polarisation dans le circuit.



**ETAPE 4 :** Conception des circuits nécessaires pour stabiliser l'amplificateur.

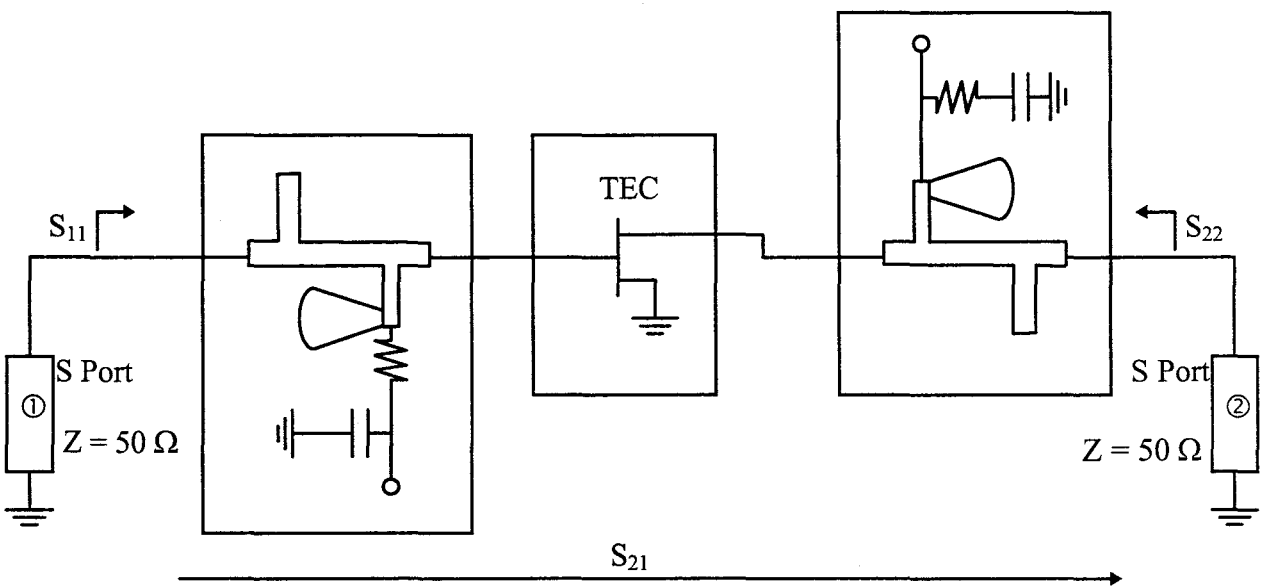


Figure IV.21 : Conception et méthodes d'optimisations des circuits d'adaptation, de polarisation et de stabilisation du circuit.

est fixée à 50  $\mu\text{m}$ , 100  $\mu\text{m}$  ou 150  $\mu\text{m}$  ; ces largeurs de ligne correspondent à celles dont nous avons établi les principes de correction au chapitre II de ce mémoire. L'optimisation linéaire est effectuée sur le logiciel MDS. Une fois les objectifs atteints, les ordres de grandeurs des lignes sont fixés et il est possible de passer à l'étape suivante de la conception.

② Cette étape consiste à incorporer dans les circuits d'adaptation d'entrée et de sortie les circuits de polarisation. Ceux-ci n'ont pas été introduits auparavant de manière à permettre une convergence plus rapide du simulateur en limitant le nombre de paramètres à optimiser. L'optimisation des circuits d'entrée et de sortie s'effectue toujours séparément. Deux nouvelles grandeurs à optimiser sont incorporées dans le circuit. Il s'agit de la longueur de la ligne  $L_1$  et de celle de la ligne radiale d'angle  $30^\circ$ ,  $60^\circ$  ou  $90^\circ$ . A ce stade, un objectif supplémentaire d'optimisation est ajouté aux deux précédents. Un troisième port de paramètres  $S_{ij}$  est alors inséré dans chaque circuit au point de jonction de la ligne  $L_1$  et de la ligne de compensation radiale. Ceci a pour but de réaliser à la jonction de ces deux lignes un court-circuit à la fréquence de 60 GHz destiné à empêcher le futur circuit de stabilisation de perturber le fonctionnement du transistor à cette fréquence.

③ Une fois l'optimisation des tronçons de ligne terminée, les ordres de grandeurs des éléments constituant les circuits d'adaptation et de polarisation sont connus. L'étape suivante de la conception du circuit consiste à réunir les circuits d'entrée et de sortie, qui étaient jusqu'à présent optimisés séparément, et le schéma équivalent du transistor à effet de champ. Une optimisation du circuit global, avec les mêmes contraintes que lors de l'étape précédente, est alors mise en œuvre afin de présenter exactement les impédances optimales souhaitées au transistor à la fréquence de 60 GHz. Une fois les objectifs de cette optimisation atteints, les dimensions des circuits d'adaptation et de polarisation du transistor ne seront plus optimisées. La suite de la conception concernera uniquement les circuits de stabilisation du transistor qui ne devront avoir aucune influence sur le comportement du circuit à la fréquence de travail.



④ Pour la définition des topologies des circuits de stabilisation de grille et de drain, nous avons repris l'étude effectuée aux paragraphes III.2 et III.3 de ce chapitre. La simulation de l'étage complet permet d'obtenir une première réponse du circuit final. Reste alors à affiner manuellement l'ordre de grandeurs des résistances anti oscillation, des capacités de découplages et des longueurs de lignes afin de stabiliser le transistor jusqu'au delà de la fréquence de travail.

Pour l'adaptation du circuit, nous avons à notre dispositions trois largeurs de lignes de compensation droite (50  $\mu\text{m}$ , 100 $\mu\text{m}$  et 150  $\mu\text{m}$ ). Les réponses obtenues pour chacune de ces largeurs de ligne étant sensiblement identiques à la fréquence de travail, nous avons choisi d'utiliser pour la conception du circuit la ligne de largeur 100  $\mu\text{m}$  puisque c'est celle ci dont les corrections ont été déterminées avec le plus de précision (cf. chapitre II § V.4). Pour les mêmes raisons, le circuit ouvert à 60 GHz dans la ligne principale de l'étage a été réalisé avec une ligne de compensation radiale d'angle d'ouverture valant 60°. Les valeurs des résistances des circuits anti oscillation de grille et de drain ont été ajustées à 37  $\Omega$ . Les capacités de découplage utilisées ont une longueur et une largeur de 100  $\mu\text{m}$  ce qui correspond à une valeur en basse fréquence de 2.3 pF. L'utilisation d'une capacité de valeur supérieure ne s'est pas révélée être nécessaire, la différence de comportement du circuit n'étant pas significative.

La figure IV.22 représente les évolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité jusque 65 GHz. Nous obtenons ainsi une adaptation en entrée et en sortie de - 50 dB et - 45 dB respectivement. Le gain petit signal du circuit est de 8.5 dB et le coefficient de stabilité toujours supérieur à l'unité vaut 1.67 à la fréquence de 60 GHz. Le dessin de ce circuit est présenté à la figure IV.23. Ses dimensions sont de 1310  $\mu\text{m} \times 1700 \mu\text{m}$  soit 2.21 mm<sup>2</sup> de surface. (Estimation du coût de fabrication chez un fondeur industriel : # 10 \$ / mm<sup>2</sup> pour un wafer de 3 pouces). Des plots de métal distants de 125  $\mu\text{m}$  ont été placés sur le circuit de manière à pouvoir polariser le transistor par des sondes de mesures hyperfréquences dont l'inductance équivalente est beaucoup plus faible que celle des sondes continues.

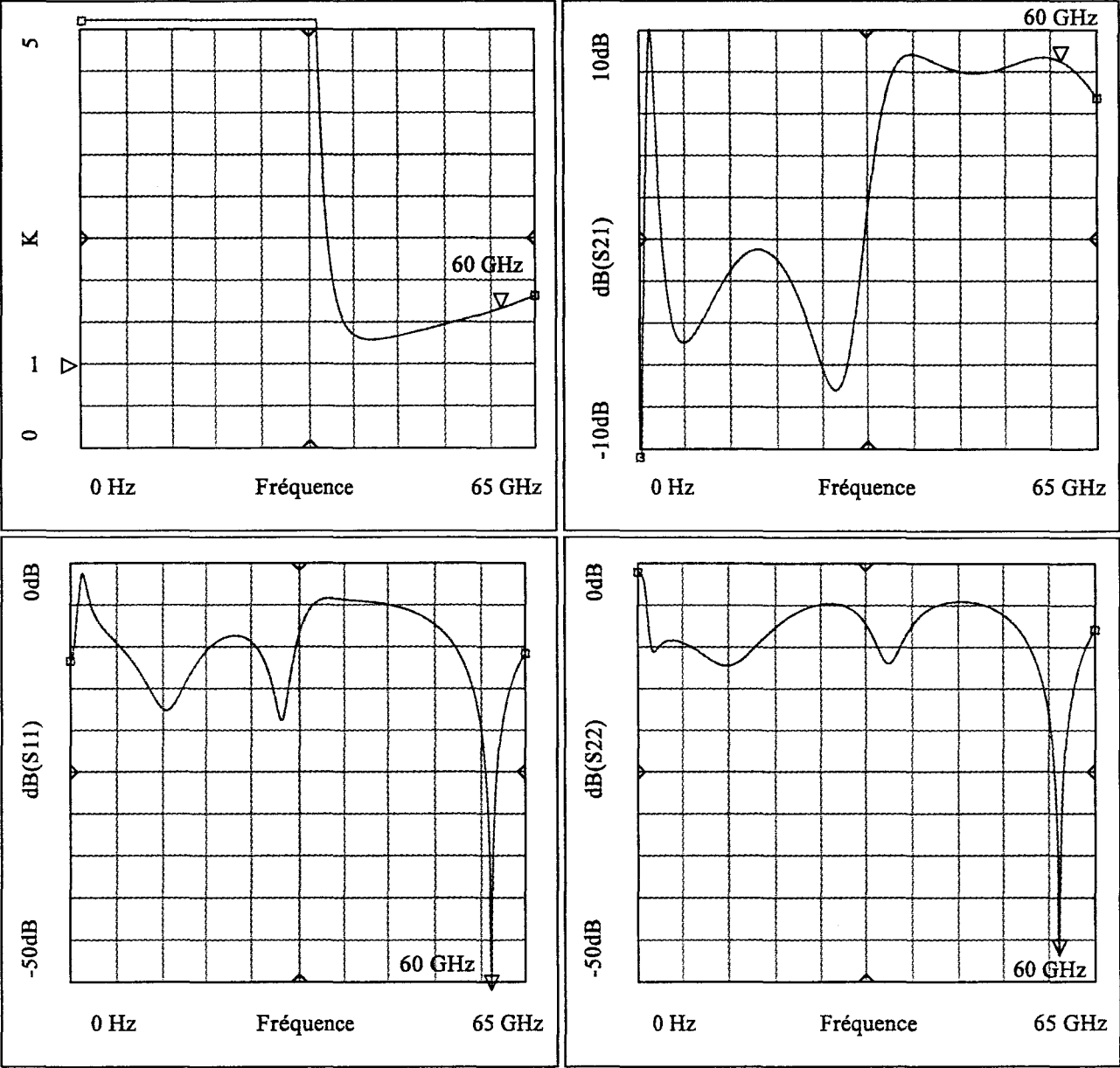


Figure IV.22 : Evolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  de l'étage complet.

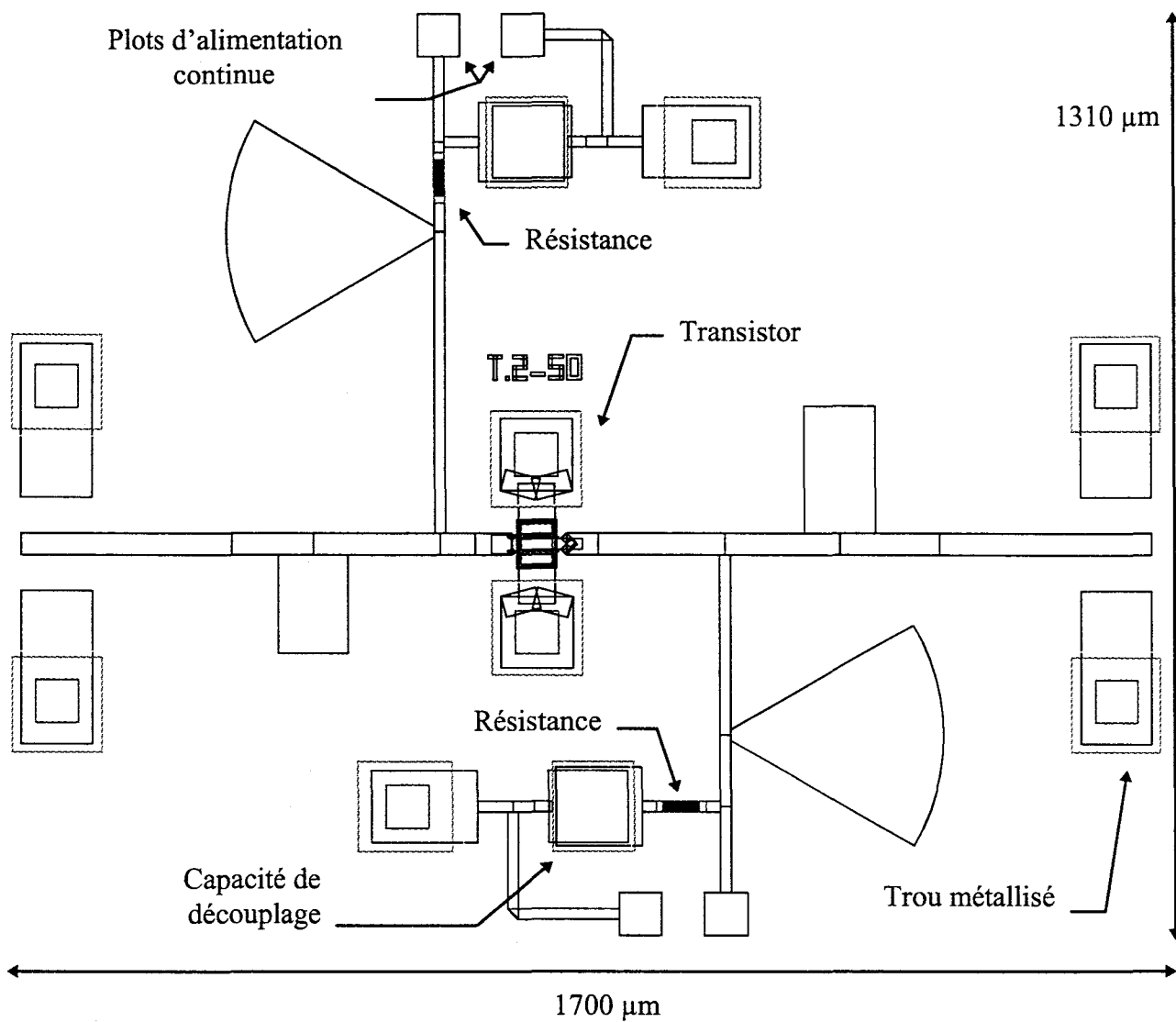
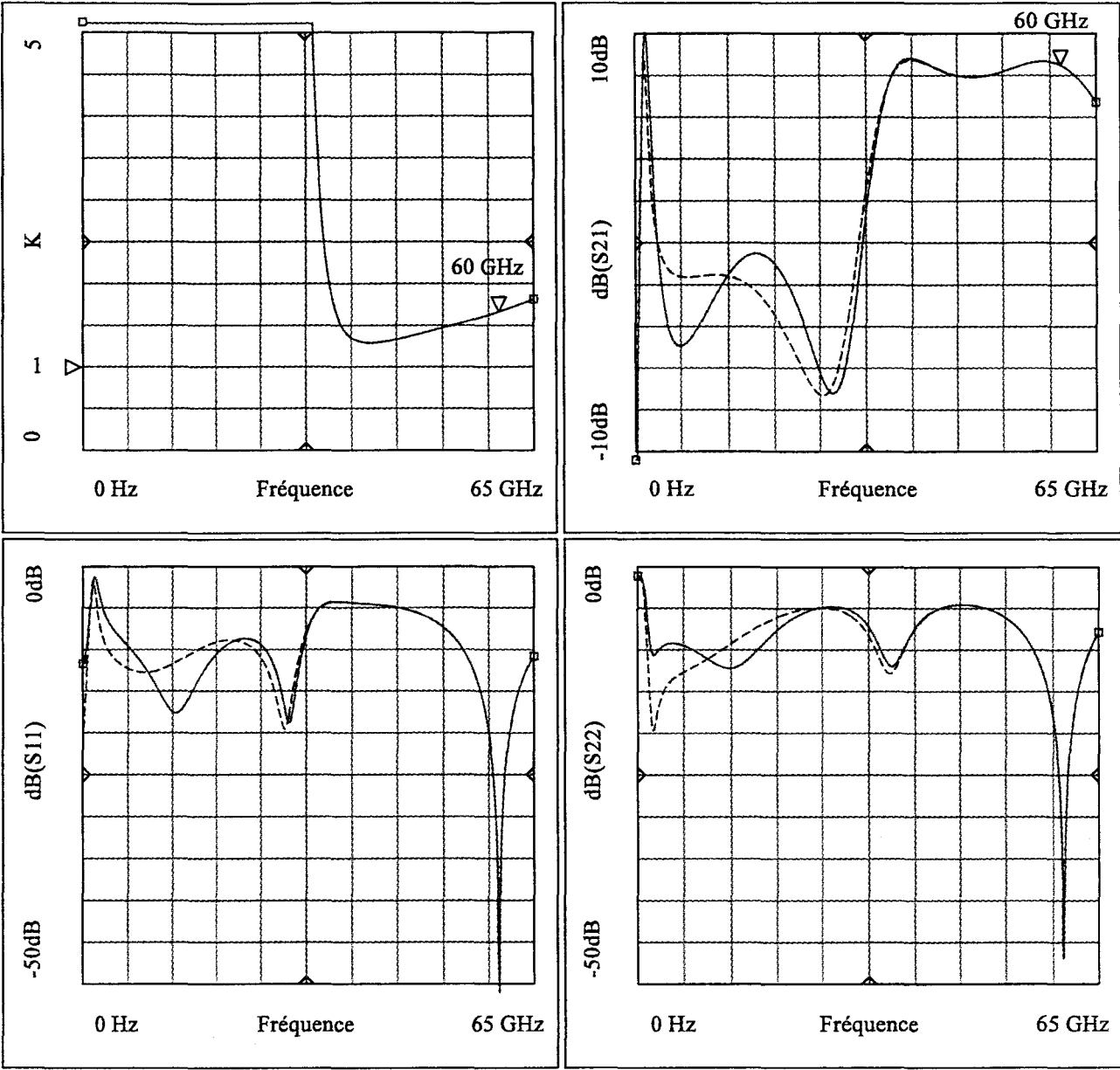


Figure IV.23 : Dessin du circuit complet.



----- Variation de 30 % des valeurs des éléments passifs : capacités MIM, résistances et trous métallisés  
 ——— Réponse de l'amplificateur sans variation

Figure IV.24 : Evolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  de l'étage complet pour une variation de 30 % (vers le cas le plus défavorable pour la stabilité) des valeurs des éléments passifs du circuits.

Enfin, la conception du circuit ne saurait être complète sans effectuer une étude de sensibilité de l'étage afin de connaître son comportement lorsqu'il est confronté à une variation de ses éléments.

## **V.2. Analyse de tolérance du circuit en fonction des éléments passifs**

### **V.2.1. Sensibilité à la variation des éléments passifs localisés du circuit**

Une étude de tolérance a été effectuée afin de connaître le comportement du circuit lorsqu'il est soumis à des modifications des valeurs de ses éléments passifs localisés afin de vérifier qu'elles perturbent peu son fonctionnement. Pour cela nous avons appliqué une variation de 30 % des valeurs des capacités, des résistances et des trous métallisés afin de prendre en compte le cas le plus défavorable. Les valeurs des capacités de découplage ainsi que celles des résistances ont donc été diminuées, celles des inductances des trous métallisés augmentées. Une comparaison entre la réponse obtenue pour ce cas et celle obtenue sans aucune variation est présentée à la figure IV.24. Nous pouvons y constater aucune répercussion sensible sur le coefficient de stabilité de l'amplificateur qui reste toujours beaucoup plus grand que l'unité dans la bande de fréquences couverte par ces éléments. De plus, ni les adaptations en entrée et en sortie ni le gain de l'amplificateur ne sont modifiés à la fréquence de travail, l'influence de ces éléments étant restreinte aux fréquences inférieures à 40 GHz.

Une dispersion importante sur les valeurs des éléments passifs, de l'étage amplificateur ne perturbe donc pas fortement son fonctionnement.

### **V.2.2. Sensibilité à la variation de l'épaisseur du substrat**

La maîtrise de l'épaisseur de substrat lors de l'étape d'amincissement du phosphore d'indium est importante car celle-ci influence directement l'impédance caractéristique des lignes et donc les impédances présentées au transistor. Sachant que

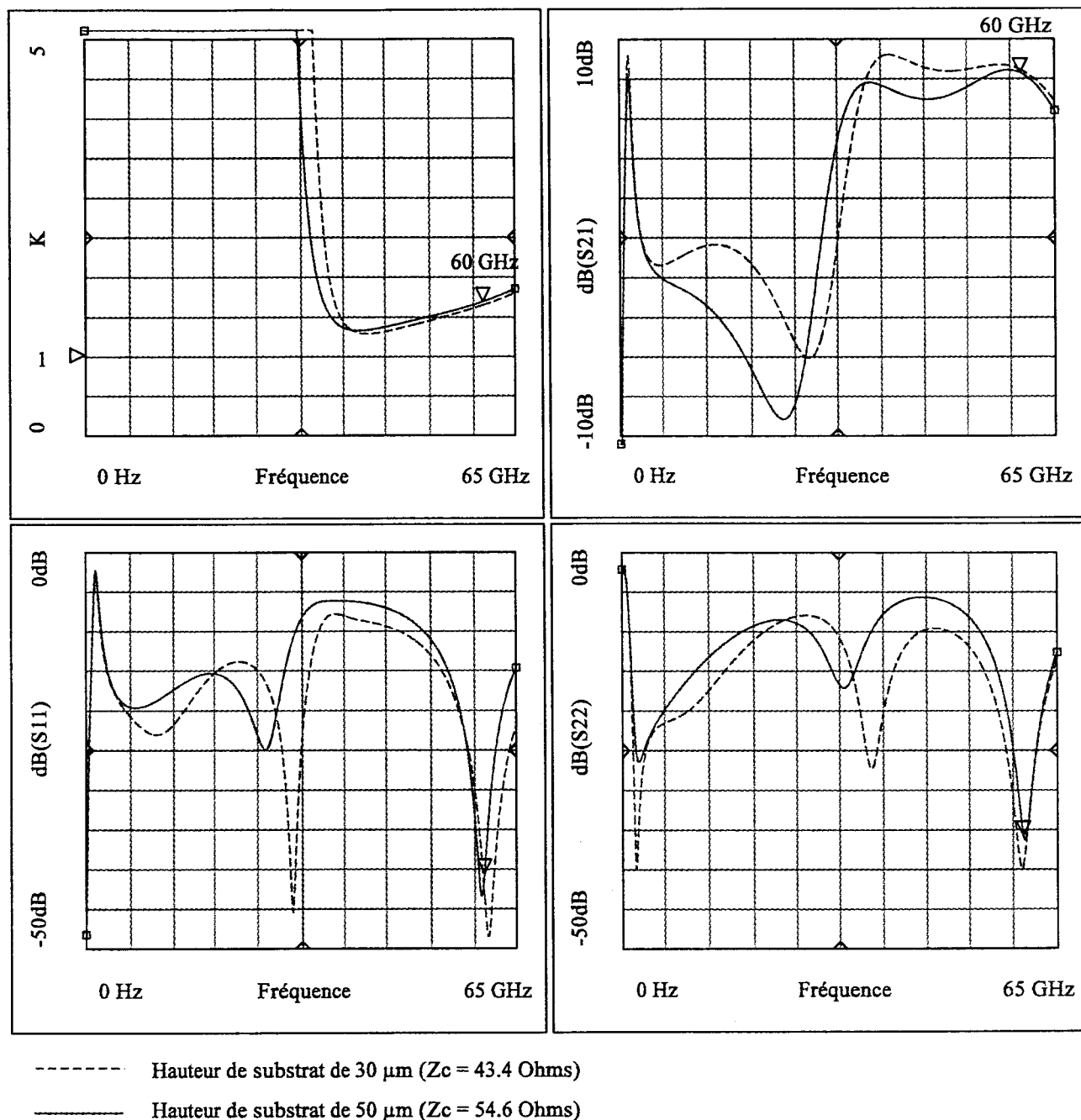


Figure IV.25 : Evolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  de l'étage complet pour deux valeurs extrêmes de l'épaisseur du substrat de phosphure d'indium.

cette maîtrise est complexe compte tenu de la technique utilisée au laboratoire, nous avons étudié l'influence de la variation de l'épaisseur du substrat sur la réponse de l'amplificateur.

Pour cela, nous avons tracé la réponse du circuit pour deux valeurs extrêmes de l'épaisseur du substrat. La figure IV.25 représente l'évolution du coefficient de stabilité et des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  pour une épaisseur du substrat de 30  $\mu\text{m}$  (soit une impédance caractéristique de 43.4  $\Omega$ ) et pour une épaisseur de 50  $\mu\text{m}$  (soit une impédance caractéristique de 54.6  $\Omega$ ).

Nous pouvons constater un effet minime sur le coefficient de stabilité ainsi qu'une légère diminution du gain de l'étage de 0.2 dB à 60 GHz. Par contre, comme on pouvait s'y attendre, les adaptations en entrée et en sortie de l'étage sont plus sensibles à cette variation mais restent toutes deux très acceptables puisque inférieures à - 20 dB.

### **V.3. Analyse de tolérance du circuit en fonction de l'élément actif**

La reproductibilité de réalisation des transistors constitue un point important dans toute réalisation de circuit MMIC. Afin de connaître le comportement global de l'étage amplificateur lorsqu'il est soumis à une importante modification des paramètres intrinsèques du schéma équivalent du transistor, une étude de tolérance a été effectuée. Elle consiste à appliquer au transistor une variation de +/- 20 % sur les quatre principaux éléments que sont  $g_m$ ,  $G_d$ ,  $C_{gs}$  et  $C_{gd}$  toujours pour tenir compte du cas le plus défavorable pour la stabilité du circuit. La transconductance a donc été augmentée de 20 % alors que les trois autres éléments ont été diminués. Ce cas volontairement pessimiste permet de connaître le comportement du circuit. L'évolution du coefficient de stabilité et des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  sont représentés à la figure IV.26. Ces variations entraînent un accroissement prévisible du gain du circuit à 12.2 dB. Dans ces conditions, le coefficient de stabilité diminue et devient inférieur à l'unité entre les fréquences comprises entre 38 GHz et 48 GHz. La vérification de la stabilité du circuit nécessiterait alors l'étude des cercles de stabilité. L'adaptation du transistor est

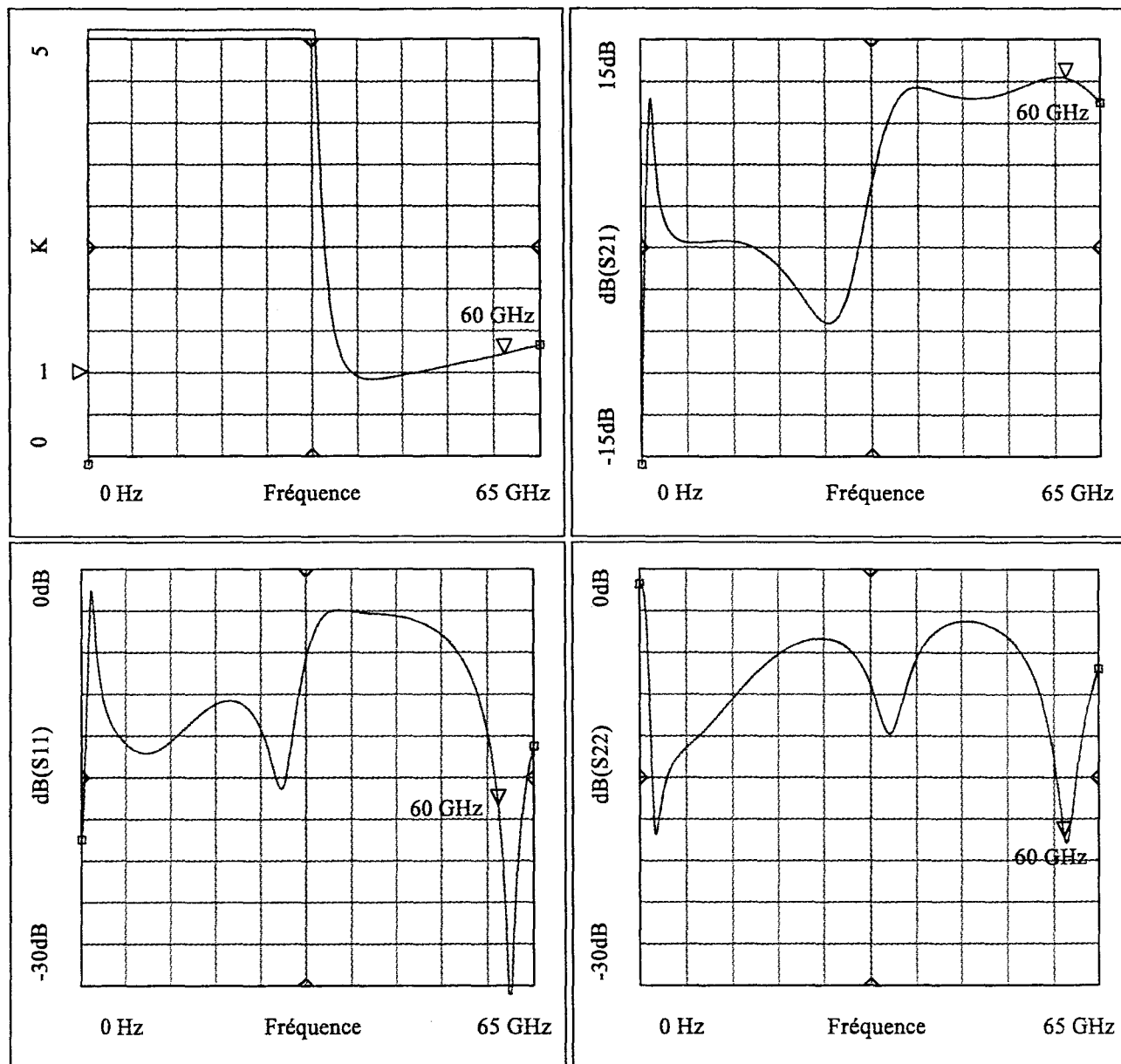


Figure IV.26 : Evolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  de l'étage complet lorsque l'on applique une variation de 20 % sur les quatre principales grandeurs  $g_m$ ,  $G_d$ ,  $C_{gs}$  et  $C_{gd}$  du schéma équivalent petit signal du transistor à effet de champ.



également fortement modifiée par les variations importantes que nous avons imposées aux valeurs des éléments intrinsèques du schéma équivalent du transistor puisqu'elle évolue autour de - 17 dB et - 19 dB pour l'entrée et la sortie à 60 GHz.

Comme on pouvait s'y attendre, le transistor est l'élément du circuit le plus critique pour les performances globales de l'étage. Il est également celui dont la reproductibilité est la plus complexe à maîtriser ce qui constitue une des difficultés majeures de la réalisation de circuits en technologie entièrement intégrée.

#### **V.4. Analyse de sensibilité à la dispersion technologique**

Si l'étude de tolérance a pour but de connaître le comportement du circuit lorsque celui-ci est soumis volontairement à des variations très importantes, l'analyse de sensibilité à la dispersion technologique permet d'obtenir un gabarit de réponses du circuit. Pour cette analyse, une variation de  $\pm 20\%$  est appliquée sur les éléments extrinsèques du schéma équivalent du transistor et une variation de  $\pm 30\%$  sur les valeurs des éléments intrinsèques. La variation appliquée sur les éléments passifs localisés (résistances, capacités MIM) est de  $\pm 20\%$  et celle appliquée sur les éléments distribués (lignes de transmissions, discontinuités...) de  $\pm 10\%$  car ils sont soumis à moins de variation au cours de la réalisation. Ces variations suivent une loi gaussienne sur 100 tirs aléatoires suivant la méthode Monté Carlo disponible sur le simulateur MDS. Les résultats de cette analyse sont présentés à la figure IV.27. Ils comportent les valeurs maximales et minimales obtenues pour le coefficient de stabilité et le module du gain de l'étage amplificateur. Les valeurs initiales des modules des termes d'adaptation  $S_{11}$  et  $S_{22}$  sont également représentées.

Le coefficient de stabilité minimal reste toujours supérieur à l'unité, gage de stabilité inconditionnelle du circuit. Le gain de l'amplificateur évolue entre 6.6 dB et 10.6 dB à 60 GHz, soit 2 dB autour de sa valeur nominale. L'adaptation minimale en entrée est de - 13.5 dB et en sortie de - 12.3 dB pour cette même fréquence.

Ces résultats permettent de valider la conception du circuit dont l'étape suivante sera la réalisation, dans un premier temps, des différents niveaux de masquages, puis,

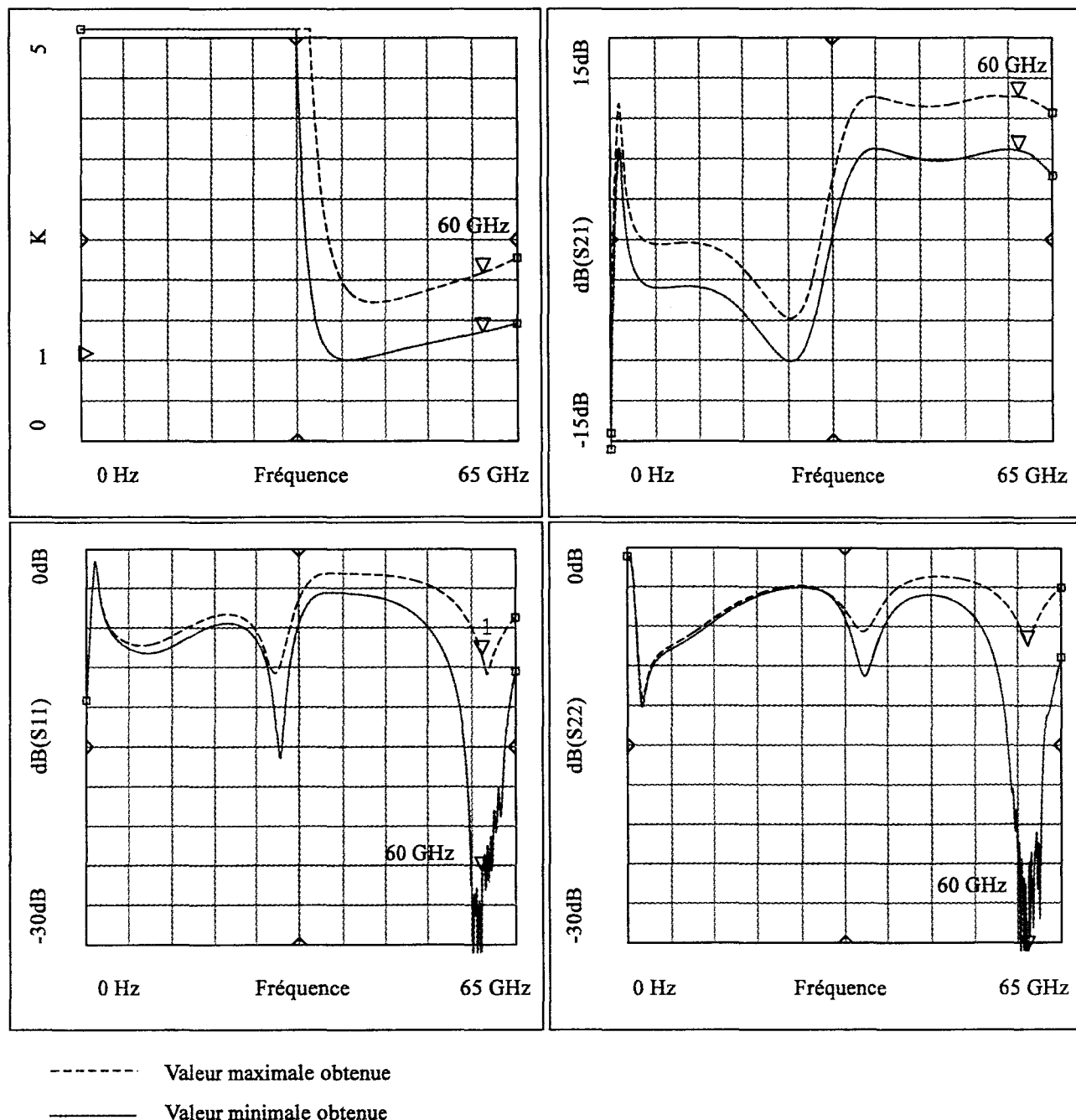


Figure IV.27 : Evolutions des modules des termes  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  ainsi que du coefficient de stabilité  $K$  de l'étage complet lorsqu'il est soumis à une analyse de dispersion technologique de type monté-carlo réalisée sur 100 tirs aléatoires.

La variation appliquée est de  $\pm 20\%$  sur les valeurs des éléments extrinsèques du schéma équivalent du transistor, de  $\pm 30\%$  sur les valeurs des éléments intrinsèques et de  $\pm 10\%$  sur les valeurs des éléments passifs.

dans un second, la réalisation à proprement dite du circuit dans les salles blanches de l'IEMN.

## **VI. Conclusion**

---

Dans ce dernier chapitre nous avons abordé la conception en guide de propagation microruban du démonstrateur à la fréquence de 60 GHz en technologie intégrée sur substrat de phosphore d'indium.

La première partie a porté sur la comparaison des différentes techniques utilisables en technologie intégrée pour réaliser l'adaptation du transistor.

Dans la deuxième partie, la conception des circuits de polarisation et de stabilisation nécessaire à la réalisation du démonstrateur a été abordée. Elle a été effectuée de manière progressive afin d'aboutir à la définition des Tés de polarisation de grille et de drain de l'étage amplificateur. L'influence des principaux éléments sur la stabilité du transistor a été montré afin de distinguer la fonction exercée par chacun d'eux.

Tous les composants mesurés étaient inconditionnellement stable à la fréquence de 60 GHz. Toutefois, s'ils s'étaient avérés être instable à cette fréquence, il aurait fallu dans un premier temps les stabiliser à 60 GHz en utilisant une des techniques évoquées dans la première partie de ce mémoire avant de les stabiliser sur le reste de la bande comme cela a été décrit dans ce chapitre.

La troisième partie a été consacrée à la présentation du transistor et de son schéma équivalent petit signal utilisé pour la conception de l'étage amplificateur. Compte tenu des difficultés rencontrées dans la réalisation de transistors multi doigts de grille en technologie microruban sur substrat de phosphore d'indium, nous n'avons malheureusement pas pu utiliser pour notre étude de composants issus du masque MAGIC. De ce fait, nous avons limité notre étude de l'amplificateur à une approche linéaire.

Celle ci a été entreprise et présentée dans la dernière partie de ce chapitre. Une étude de tolérance et de sensibilité à la dispersion technologique puis la réalisation du dessin de l'amplificateur a finalisé la conception du circuit. Celle ci à montré que la puce, de surface  $2.2 \text{ mm}^2$  devrait présenter un gain petit signal compris entre 6 et 10 dB avec une adaptation meilleure que -12 dB en entrée et en sortie.

La poursuite par S.Trassaert [6] de la réalisation des composants de puissance avec le masque MAGIC permettra aux membres de l'équipe de poursuivre ce projet et je l'espère d'aboutir pour la première fois en Europe à la réalisation d'un véritable amplificateur de puissance sur substrat de phosphure d'indium en guide de propagation microruban à 60 GHz.

## Références Bibliographiques

- [1] : S. Piotrowicz, C. Gaquiere, B. Bonte, E. Bourcier, D. Theron, X. Wallart, Y. Crosnier  
"Best combination between power density, efficiency, and gain at V band with an InP based PHEMT structure"  
IEEE Microwave and Guided Wave Letters, Vol. 8, n°1, pp. 10-12, January 1998.
- [2] : L.Rullier, Y.Mouquet, H.Gérard  
"Mise en oeuvre d'une méthodologie de conception d'amplificateur classe B en bande Ka"  
9<sup>ème</sup> Journées Nationales Micoondes, Paris, avril 1995.
- [3] : Goyal and Ravender  
"Monolithic microwave integrated circuits : technology & design"  
Artech House microwave library, 1989.
- [4] : L.Lys, L.Fialaix  
"Etude et réalisation d'un circuit de polarisation et de stabilisation d'un mélangeur millimétrique à HEMT"  
Projet ISEN, 1993.
- [5] : C.Gaquiere, E.Bourcier, S.Piotrowicz and Y.Crosnier  
"Analyses of the optimal power load impedances measured in MMIC and Hybrid configuration in the Ka Band"  
IEEE Microwave and Guided Wave Letters, Vol. 7, n°10, pp. 356-358, October 1997.
- [6] : S.Trassaert  
"Conception de transistors à effet de champ dans la filière GaN pour amplification en hyperfréquence et à haute température"  
Thèse de l'université de Lille, à paraître.

**CONCLUSION**

Les différentes parties du travail présenté dans ce mémoire ont trait aux domaines de l'amplification de puissance en bande V. L'objectif de ce travail était la conception et la réalisation d'un amplificateur de puissance en guide de propagation microruban en technologie intégrée sur substrat de phosphure d'indium. La conception de ce démonstrateur, développée en dernière partie de ce manuscrit, a nécessité des études préalables présentées dans les chapitres II et III et dont les principales conclusions sont énoncées ci-après.

La conception du démonstrateur nécessitait la connaissance de modèles d'éléments passifs propre à la technologie du laboratoire et fiables jusque 60 GHz. Cette étude a fait l'objet du deuxième chapitre. Après la définition des différents niveaux de masquage, la réalisation technologique au sein de l'équipe a été mise en oeuvre. Elle comportait la réalisation en guide de propagation microruban de lignes de transmission, de résistances, de capacités, de trous métallisés avec des performances compatibles avec l'obtention d'un démonstrateur en technologie MMIC. La caractérisation des lignes de transmission jusque la fréquence de 75 GHz et parfois 110 GHz a permis d'obtenir des pertes comparables à celles obtenues par un fondeur industriel. La reproductibilité dans la réalisation est naturellement difficile à atteindre, ce qui a constitué tout au long de ce travail une de nos préoccupations premières. La confrontation de nos mesures avec les simulations issues du logiciel commercial MDS a permis d'une part de valider la réalisation technologique et d'autre part d'élaborer une bibliothèque d'éléments passifs propres à la technologie développée au laboratoire. Nous disposons donc désormais de modèles fiables jusque 60 GHz pour la conception du démonstrateur.

Le troisième chapitre traitait des éléments actifs. Des réalisations préliminaires de composants ont permis la mise au point d'une épitaxie adaptée au fonctionnement en puissance des composants. En outre, l'introduction dans l'épitaxie d'une couche barrière avec un taux d'aluminium de 65 % s'est avéré nécessaire afin de retarder l'apparition de courant dans la grille, phénomène limitatif des performances en puissance des

composants. La mise au point de cette structure a été possible grâce aux caractérisations en régime statique, petit signal hyperfréquence et grand signal hyperfréquence de tous les composants réalisés. Des performances au niveau de l'état de l'art ont été obtenues avec un composant de longueur de grille  $0.25\ \mu\text{m}$  délivrant  $360\ \text{mW/mm}$  avec 28 % de rendement en puissance ajoutée et 5.2 dB de gain à 60 GHz. Les difficultés liées à l'élaboration d'un schéma équivalent électrique petit signal localisé des transistors à effet de champ jusque 60 GHz ont été montrées et un critère quantitatif a été introduit afin de mieux juger de sa validité.

Afin de disposer de composants multi doigts de grille, un nouveau jeu de masques de transistors a été conçu. Celui-ci comporte des structures particulières destinées à améliorer la détermination des éléments extrinsèques des transistors. En effet, leur détermination est primordiale pour une meilleure validité en hautes fréquences du schéma équivalent car leurs effets y sont renforcés.

Les premiers composants réalisés avec ces masques ont été présentés. Cependant, des retards dans l'obtention de substrats de bonne qualité n'ont pas encore permis d'obtenir les performances nécessaires à la réalisation du circuit. Toutefois, toutes les étapes technologiques nécessaires pour leur réalisation sont maintenant maîtrisées par les technologues de l'équipe, ce qui devrait conduire à la réalisation prochaine de composants présentant des performances honorables.

La conception du démonstrateur a été entreprise dans le dernier chapitre. Les différentes étapes de la conception ont été effectuées en tenant compte des contraintes imposées sur les modèles des éléments passifs et explicitées dans le deuxième chapitre. La définition des circuits de polarisation et de stabilisation a été réalisée progressivement afin de s'attacher à montrer le rôle tenu par chaque élément les constituant. Avec un composant présentant 9.6 dB de MAG à 60 GHz, un circuit avec 8.5 dB de gain petit signal pour une surface de  $2.21\ \text{mm}^2$  a été conçu.

