

Université des Sciences et Technologies de Lille I

No d'ordre:

THESE

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE I

Discipline Electronique

présentée et soutenue publiquement



par

Laurent QUIQUEREZ

Ingénieur ISEN

le 22 Janvier 1999

Etude de convertisseurs de données Sigma-Delta haute résolution

Directeur de thèse :
Andreas KAISER

JURY:

Professeur G. SALMER
Professeur C. GONTRAND
Docteur G.-N. LU
Docteur A. KAISER
Monsieur D. BILLET

Président
Rapporteur
Rapporteur
Directeur de thèse
Examineur

A celle qui m'accompagne

A Marie-Aude

A celle qui est partie un rien trop tôt

A Mamie

A ceux qui nous entourent

A nos familles et nos amis

Remerciements

Je souhaite tout d'abord remercier Monsieur le professeur G. SALMER, directeur de l'Institut d'Electronique et de Micro-électronique du Nord (IEMN, Lille), pour l'honneur qu'il m'a fait en acceptant de présider le jury de cette thèse.

Monsieur C. GONTRAND, Professeur à l'Institut National des Sciences Appliquées (INSA) de Lyon, et Monsieur G.-N. LU, Maître de Conférences HDR à l'Université Pierre et Marie Curie (Paris VII), ont accepté de s'intéresser à ce travail et de l'examiner. Je tiens à les remercier de l'avoir fait avec minutie et passion. Cela a permis de donner toute son ampleur à la soutenance.

Je tiens à exprimer toute ma gratitude à Monsieur D. BILLET, Ingénieur à Thomson Marconi Sonar (TMS, Sophia Antipolis), pour avoir accepté de suivre et financer ce travail. Malgré la distance et le caractère aléatoire de la fréquence de nos contacts (Contact Jitter), sa passion pour ce sujet, son expérience en électronique et ses contraintes industrielles ont été contagieuses. La poursuite de ce travail et les résultats qui en découleront devraient en constituer les symptômes.

Je suis profondément reconnaissant à Monsieur A. KAISER, Chargé de Recherche au CNRS et responsable de département à l'ISEN-Lille, de bien avoir voulu encadrer mon travail. En m'accueillant dans son équipe de Conception de Circuits Intégrés et en acceptant de partager la conduite de ce travail avec un partenaire industriel, il m'a permis d'accéder au monde de la recherche et de l'enseignement supérieur.

Mes remerciements s'adressent également à Monsieur B. STEFANELLI, Enseignant-Chercheur à l'ISEN. Si ses connaissances et sa participation à la conception et au test de l'ASIC ont été importantes, c'est surtout son amitié et sa persévérance sans faille qui m'ont été précieuses.

Chaque technique a ses contraintes. Et Monsieur J.-M. DROULEZ, administrateur système, pour le support informatique et la cuisine; comme Monsieur P. MASQUELIER, Enseignant-Chercheur à l'ISEN, pour la conception de la carte de test; ont toujours été disponibles pour me le rappeler. Je pense toutefois que certains tarifs sont prohibitifs....

La soutenance de cette thèse, le travail et l'ambiance de ces quelques années passées à l'ISEN, n'auraient pas été les mêmes sans l'énergie de Madame V. VANDENHENDE, secrétaire de département. Sa disponibilité et son amitié m'ont été précieuses en bien des occasions.

Je tiens à associer à ces remerciements les amis, et néanmoins docteurs, qui m'ont précédé à l'ISEN: Pierre, Ian, Eric, Gérard et Jocelyne. Nos discussions, le temps que vous m'avez consacré et vos qualités m'ont beaucoup appris. Je souhaite courage et persévérance à Mohammed et Arafat qui me suivent, et les remercie pour le temps qu'ils passent à me faire découvrir leurs sujets.

Merci également à Y. MITA, Université de Tokyo, pour son amitié, sa patience à m'expliquer son travail et son amour de la France. Il m'a donné envie de découvrir le Japon.

Je souhaite également remercier tous les membres de l'ISEN, pour leur accueil, pour le travail que nous avons fait et ferons ensemble.

Ce travail a été réalisé dans le cadre d'une convention CIFRE associant l'IEMN-département ISEN, Thomson Marconi Sonar SAS et l'ANRT.

Résumé

Ce travail porte sur la conversion de données analogique-numérique à très haute résolution (supérieure à 16 bits). L'objectif est de permettre, à terme, la co-intégration du codeur et de fonctions de traitement numérique complexes.

Deux approches utilisant la modulation Sigma-Delta ont été étudiées. La première est basée sur une structure nouvelle présentant une symétrie analogique-numérique et visant une réalisation par la technique des courants commutés. La seconde combine des intégrateurs en temps-continu et en temps-discret au sein du même modulateur. Ainsi les intégrateurs les plus performants peuvent être réalisés en composants discrets, alors que l'essentiel du codeur est intégré à l'aide de la technique des capacités commutées. Une méthode originale a été mise au point, basée sur la transformation exacte de la partie continue en son équivalent temps-discret, permettant la synthèse d'un tel modulateur.

La deuxième, paraissant être la plus prometteuse, a été retenue pour la réalisation d'un prototype. Il s'agit d'un modulateur d'ordre 4, dont les deux premiers étages sont réalisés en temps continu. La partie intégrée du modulateur a été fabriquée en technologie CMOS 0,8 micron.

Mots clés: Convertisseur analogique-numérique; Modulation Sigma-Delta; MASH; synthèse; filtre mixte échantillonné-continu; ASIC.

Abstract

This work focuses on very high-resolution (more than 16 bits) analog-to-digital data conversion. The goal is to co-integrate a converter and large digital functions.

Two approaches have been studied, using Sigma-Delta modulation. The first one is based on a new structure with an analog-digital symmetry, adapted to a switched-current implementation. The second one combines continuous-time and discrete-time integrators inside the loop filter of a modulator. Thus, the most accurate integrators may be implemented with discrete components, while the main part of the coder is integrated using the switched-capacitor technique. A new method, based on the exact transformation of the continuous part into its discrete-time equivalent, has been developed to synthesise such modulators.

As it has seemed more powerful, this second approach has been selected to realise a prototype. It is a fourth order modulator whose two first stages have been implemented as continuous-time circuits. The integrated part has been fabricated with a CMOS 0.8 micron technology.

Key Words: Analog-to-Digital Converter; Sigma-Delta modulation; MASH; synthesis; mixed continuous and discrete-time filter; ASIC.

Sommaire

I	Introduction	1
<hr/>		
I.1	Le contexte technologique.	1
I. 1.1	Systemes électroniques	1
I. 1.2	Systeme sur une puce	2
I. 1.3	Tendances technologiques	3
I. 1.4	Cadre	3
I.2	Thèse	4
I.3	Références bibliographiques	6

II	Etude de la modulation Sigma-Delta.	7
II.1	Historique	7
II.1.1	Le modulateur Delta	7
II.1.2	Les modulateurs Sigma-Delta	8
II.1.3	Les modulateurs MASH	10
II.1.4	Les modulateurs numériques	10
II.1.5	Les modulateurs à convertisseurs internes multibit	11
II.1.6	Les modulateurs Passe-Bande	13
II.1.7	Les modulateurs en Π	14
II.1.8	Les chaînes de conversion	15
II.1.8.1	Conversion analogique numérique	15
II.1.8.2	Conversion numérique analogique	16
II.1.9	Autres applications	16
II.2	Analyse du modulateur du premier ordre	17
II.2.1	Analyse temporelle.	17
II.2.2	Analyses linéaires	19
II.2.2.1	Modélisation	19
II.2.2.1.1	Modèle linéaire de l'ADC.	19
II.2.2.1.2	Le sur-échantillonnage	23
II.2.3	Analyses Linéaires	23
II.2.3.1	Analyse fréquentielle	23
II.2.3.2	Points d'introduction de bruit et effet sur la sortie.	26
II.2.3.3	Etude des pôles et des zéros dans le plan complexe.	27
II.2.3.4	Filtre de boucle dégénéré ou instable	28
II.2.3.4.1	Filtre dégénéré	28
II.2.3.4.2	Filtre instable	29
II.2.3.4.3	Pôles et zéros des filtres dégénérés et instables.	29
II.2.3.5	Limites du modèle linéaire	31
II.2.4	Etude du système non linéaire.	34
II.2.4.1	Définition de l'espace d'état	34
II.2.4.2	Cycles limites	36
II.2.4.3	Stabilité, dynamique du signal d'entrée	37

II.2.4.4	Variation du signal d'entrée	38
II.2.4.5	Introduction d'un dither.	38
II.2.4.6	Filtre dégénéré et instable	39
II.2.4.6.1	Filtre dégénéré	40
II.2.4.6.2	Filtre instable	40
II.2.4.6.3	Stabilité	41
II.2.4.7	Affinage du modèle linéaire	41
II.2.5	Architectures de modulateur du premier ordre	41
II.3	Analyses du modulateur d'ordre 2	42
II.3.1	Analyses linéaires	43
II.3.1.1	Calcul de la NTF	43
II.3.1.2	Modèle linéarisé à séparation de canaux	44
II.3.1.3	Point d'introduction de bruit dans le filtre	45
II.3.1.4	Etude des pôles et des zéros	46
II.3.1.5	Filtres dégénéré et instable	47
II.3.1.6	Limites du modèle linéaire	48
II.3.2	Analyses du système non-linéaire	49
II.3.2.1	Définition de l'espace d'état.	49
II.3.2.2	Stabilité	53
II.3.2.2.1	A entrée constante	53
II.3.2.2.2	Avec variation de l'entrée	53
II.3.2.3	Filtres dégénérés et instables	54
II.3.3	Architectures simple boucle	54
II.3.3.1	Architecture de filtre	55
II.3.3.2	Retards en chaîne directe	56
II.3.3.3	Rebouclage interne au filtre	56
II.3.4	Architectures Cascadées	57
II.4	Modulateur d'ordre supérieur à 2	58
II.4.1	Architectures	58
II.4.2	Etude du système non-linéaire	59
II.4.3	Analyse linéaire, formes stables et performances	59
II.5	Références bibliographiques	61

III	Etude d'une structure nouvelle de modulateur.	63
III.1	Le principe de base.	65
III.2	Analyses d'un modulateur symétrique du deuxième ordre.	67
III.2.1	Analyse de la partie numérique	68
III.2.1.1	Indépendance des deux parties	68
III.2.1.2	Analyse séparée de la fonction numérique	70
III.2.2	Analyse de la partie analogique	71
III.2.3	Analyse du modulateur complet	72
III.2.4	Modulateur à sortie multibit	73
III.3	Analyse de la structure généralisée	75
III.3.1	Elimination du bruit de la première boucle.	77
III.3.2	Lien avec la structure MASH	79
III.4	Conclusion	80
III.5	Références bibliographiques	81

IV Synthèse d'un modulateur mixte Continu/Echantillonné 83

IV.1	Procédure de conception d'un modulateur échantillonné	84
IV.2	Méthode de conception d'un modulateur à filtre continu.	85
IV.2.1	Modélisation temps-discret du modulateur	85
IV.2.2	Transformation temps continu vers temps discret	86
IV.2.2.1	Modulateur d'ordre 1	87
IV.2.2.2	Le modulateur du 2ème ordre	89
IV.2.2.3	Généralisation	91
IV.2.2.4	Limites à cette transformations, effets parasites	93
IV.2.3	Transformation temps discret vers temps continu.	93
IV.2.3.1	Modulateur simple	94
IV.2.3.2	Modulateur complet	96
IV.2.3.3	Limites à cette transformation, et transformation inverse pour la simulation ...	100
IV.2.4	Transformation généralisée au filtres mixtes	101
IV.2.5	Implantation des coefficients continus	102
IV.3	Application au modulateur haute résolution	103
IV.3.1	Cahier des charges	103
IV.3.2	Choix d'un modulateur mixte	103
IV.3.3	Conception d'un modulateur à temps discret	104
IV.3.4	Calcul du modulateur mixte et de son modèle échantillonné	109
IV.3.5	Implantation du modulateur	112
IV.3.5.1	Architecture et implantation des coefficients	112
IV.3.5.2	Calcul de la valeur des composants	112
IV.3.5.3	Caractéristiques des amplificateurs continus.	115
IV.3.6	Maquette	116
IV.3.6.1	Technique d'implantation du filtre à condensateurs commutés	116
IV.3.6.2	Technique d'implantation des intégrateurs continus.	117
IV.3.6.3	Technique d'implantation des DAC.	118
IV.3.6.4	Résultats	118
IV.3.6.4.1	Re-initialisation	118
IV.3.6.4.2	Stabilité	118

IV.3.6.4.3	Modulation	119
IV.3.6.4.4	Qualité de la modulation	119
IV.4	Conclusion	121
IV.5	Références bibliographiques	122

V	Conception d'un Modulateur Expérimental	125
V.1	Technologie de Circuit Intégré	125
V.2	Alimentation et tensions de référence	126
V.2.1	Alimentations	126
V.2.2	Masses	128
V.2.3	Protection du circuit intégré	128
V.2.4	Sensibilité des noeuds	128
V.2.5	Tensions de référence	129
V.3	Filtre échantillonné	130
V.3.1	Amplificateur Folded Cascode	130
V.3.1.1	Architecture	130
V.3.1.2	Caractéristiques	131
V.3.1.2.1	Caractéristiques différentielles	131
V.3.1.2.2	Caractéristiques de régulation de mode commun	132
V.3.1.3	Polarisation	132
V.3.1.4	Simulations	132
V.3.1.5	Layout	134
V.3.2	Interrupteurs et condensateurs	135
V.3.2.1	Interrupteurs	135
V.3.2.2	Condensateurs	136
V.3.2.3	Division capacitive de rebouclage	136
V.3.3	Re-initialisation analogique	137
V.3.3.1	Stratégie	137
V.3.3.2	Réalisation	138
V.4	Convertisseur numérique analogique interne	138
V.4.1	Structure	138
V.4.2	Architecture de l'amplificateur	138
V.4.3	Stabilisation	139
V.4.4	Phases de modulation	140
V.4.5	Polarisation	141
V.4.6	Simulations	141

V.4.7	Layout	142
V.5	Logique	143
V.5.1	Phases et diviseur d'horloge	143
V.5.2	Codage	143
V.5.3	Ré-initialisation analogique	143
V.6	Fonction annexes	144
V.6.1	Références de tension	144
V.6.2	Etages tampons	145
V.6.3	Comparateurs	145
V.7	Layout	146
V.7.1	Organisation du circuit	146
V.7.2	Distribution des horloges	147
V.8	Tests et mesures	147
V.9	Références bibliographiques	147

VI Conclusion	149
VI.1 Conclusion	149
VI.2 Perspectives	151
VI.2.1 Clôture du travail	151
VI.2.2 Perspectives techniques	151
VI.2.3 Perspectives de recherche	152
VI.3 Références bibliographiques	152

VII Data Sheet de l'ASIC du modulateur experimental.....	153
VII.1 Description du circuit	153
VII.2 Limites de sécurité	154
VII.3 Description des broches	155
VII.4 Montage type	158
VII.5 Alimentations et découplage	159

I Introduction

Les techniques d'implantation de fonctions analogiques avec des technologies industrielles de fabrication de composants électroniques numériques sont limitées. Du fait des évolutions technologiques, certaines fonctions analogiques ne pourront plus être implémentées sur des composants numériques. Pour un besoin de conversion de données, ce travail propose de n'intégrer qu'une partie de la fonction (la plus importante), tandis que l'autre (plus sensible mais plus simple) resterait sous forme de composants discrets. Cette solution permet au constructeur du système d'en simplifier la conception, d'avoir une certaine indépendance vis à vis de ses fournisseurs et de souplesse d'utilisation.



I.1 Le contexte technologique.

I.1.1 Systèmes électroniques

Grâce à la miniaturisation continue des dispositifs électroniques de base et à la maîtrise de la technologie, la densité et la taille des circuits intégrés augmentent constamment. Ceci permet un accroissement des performances des composants électroniques à un rythme soutenu.

Pour les fonctions numériques, cela permet de concevoir des fonctions de traitement très performantes, facilement et pour un prix modique. Ainsi, un grand nombre de fonctions traditionnellement analogiques (modulations, commande automatique de gain...) peuvent être réalisées en numérique. De plus, les capacités de calcul permettent d'utiliser des formats de données à très grand nombre de bits. Il est ainsi possible d'atteindre des précisions de calcul importantes.

Le choix de concevoir une fonction en électronique analogique ou numérique se fait maintenant sur des critères de consommation électrique, de temps de mise au point, de fiabilité et de prix des composants, quand la faisabilité est prouvée. La maîtrise de la procédure de conception (souvent très automatisée) et la fiabilité en fonctionnement

favorisent les techniques numériques, à consommation et performances équivalentes. De plus, les composants numériques sont très répandus et leurs prix sont faibles (cellules standards, processeur ou logique programmable).

Seuls les fonctions précises ou rapides, le besoin d'une très faible consommation justifie ou les fonctions d'interface (convertisseurs de données ou de puissance, PLL...) justifient le recours à une conception analogique. La frontière Analogique-Numérique s'est donc déplacée au profit de l'électronique numérique.

I.1.2 Système sur une puce

A cause de l'augmentation relative des traitements numériques devant les fonctions analogiques, ces dernières prennent une part de plus en plus importante du prix d'un produit. En effet, la présence de circuits analogiques, outre leurs prix (technologie spécifique, boîtiers), complique la conception du circuit imprimé (du boîtier...). La solution courante consiste à concevoir des circuits mixtes, où les parties analogiques et numériques se côtoient. Ainsi, la plupart des technologies dédiées aux composants analogiques se sont vu enrichir de blocs fonctionnels numériques.

Mais, la principale avancée a eu lieu en utilisant les dispositifs des technologies dédiées aux fonctions numériques pour concevoir des blocs fonctionnels analogiques. L'étude des transistors MOS, utilisés dans beaucoup de composants numériques commerciaux (technologie CMOS), a permis d'en comprendre le fonctionnement et de les utiliser comme amplificateur analogique. Les dispositifs passifs ne sont pas prévus, mais on peut utiliser les éléments parasites des interconnexions. Comme la dispersion de leur valeur absolue est grande dans ces technologies, les techniques de filtrage sont basées sur des rapports de valeurs (la valeur relative étant mieux maîtrisée). Ainsi les techniques de filtrage à temps discret (courant commutés, mais surtout capacités commutées) ont connu un grand succès dans la mesure où seule la disponibilité de condensateurs est nécessaire. Ainsi, les technologies CMOS pour circuits mixtes incluent les quelques étapes de fabrication qui permettent de proposer des condensateurs plus compacts. Par contre, dans ces techniques, le compromis (vitesse et précision)/ (puissance consommée) est relativement limité. Certaines fonctions analogiques qui demandent de la rapidité, de la précision et/ou une consommation extrêmement basse ne sont pas accessibles par cette technique, et nécessitent malgré tout un composant séparé.

I.1.3 Tendances technologiques

La miniaturisation des dispositifs est dictée par les besoins de performances des composants numériques, cela permet de gagner en densité et en vitesse. Mais elle a poussé à se rapprocher des limites physiques des matériaux (tension de claquage, évacuation des pertes). Ainsi, avec l'apparition des technologies CMOS sub-microniques, la tension d'alimentation a dû être réduite à 3,3 Volts au lieu des 5 Volts utilisés jusqu'alors. Poussés par la technologie et par le développement des composants destinés aux applications portables, les standards d'alimentation vont passer à 2.7 Volts puis 2 Volts, l'objectif étant de descendre à 1 ou 1,5 Volts.

A ces tensions, la puissance consommée par les fonctions numériques diminue. Comme la densité et la vitesse augmentent parallèlement, les parties numériques des circuits voient leur activité électrique (impulsions de courant, créneaux de tension) s'accroître. Cela perturbe les parties analogiques par les différents canaux de couplage (substrat, isolants, cavité du boîtier...).

A ces tensions, les architectures courantes sont peu performantes car l'excursion de tension réservée aux signaux analogiques diminue alors que les niveaux de bruit (des sources locales) restent constants. Le rapport signal à bruit disponible tend à diminuer.

L'environnement des fonctions analogiques des composants mixtes devient donc plus contraignant, et de nouvelles techniques doivent apparaître et se répandre pour palier cette difficulté. Pour apporter un avantage, leur coût doit être aussi bas que possible, et elles doivent rester cohérentes avec les autres contraintes de fabrication (technologie "standard", peu de composants...).

I.1.4 Cadre

Ce travail a été réalisé dans le cadre d'une convention CIFRE, associant Thomson Marconi Sonar comme partenaire industriel et l'IEMN, département ISEN, comme laboratoire. Il a pour but de développer un convertisseur pour des applications sous-marines.

I.2 Thèse

Le but du travail présenté dans ce document est de prouver la faisabilité d'un convertisseur de données analogique-numérique très haute précision avec une technologie mixte commerciale. Le composant doit contenir un convertisseurs qui, à terme, égale les performances des composants spécialisés du commerce, tout en intégrant l'interface numérique spécifique à l'application envisagée.

Le système actuel, pour une application sous-marine, est composé d'un capteur linéique, dont le traitement de chaque point demande trois composants, et d'un calculateur central:

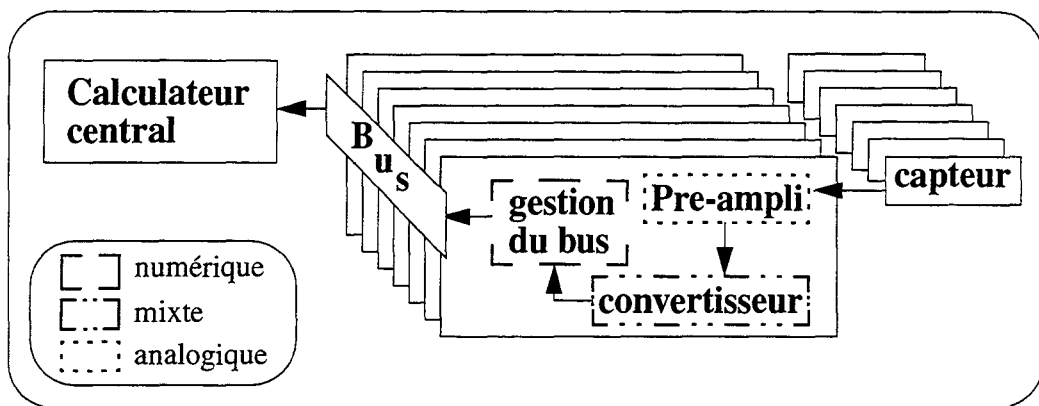


Figure I.1 structure actuelle du système.

L'environnement du système est particulièrement sévère, tant au niveau des conditions de fonctionnement (température, pression) qu'au contraintes de conception (consommation électrique, taille de la carte).

Le capteur permet de mesurer la pression du milieu. Il a une sensibilité de 20V par bar. D'un point de vue électrique, cet hydrophone a pour modèle une capacité d'une centaine de nano-farads (de 68 à 128nF).

L'impédance élevée du capteur ne permet pas l'utilisation directe de la tension qu'il fournit. Un étage tampon faible bruit est donc inséré entre la capteur et le traitement (conversion) de l'information. Outre cet adaptation d'impédance, cet étage a un rôle de préamplification, dont le gain peut être programmé aux valeurs 12, 24, 36 ou 48dB.

Le convertisseur proprement dit, doit présenter un SNR maximal de 114dB dans la bande sismique 3Hz-300Hz. Cette bande étant très basse fréquence, l'un des problèmes majeurs est lié au bruit un $1/F$. L'autre grand défi est la résolution du codeur (plus de 18 bits) et les niveaux extrêmement bas que cela impose.

La spécification du bus est propriétaire de type maître-esclave. Le calculateur (maître) synchronise les cartes esclaves (déclenchement de la conversion) et les interroge séquentiellement pour récupérer les résultats.

Le chapitre II décrit l'architecture Sigma-Delta de convertisseurs de données. Le modulateur Sigma-Delta est une structure sur-échantillonnée qui permet une atténuation, par filtrage, des erreurs de conversion dans la plage des fréquences utiles. La précision est fonction de l'ordre du filtre et du rapport (Bande Utile)/ (Fréquence de fonctionnement). Dans le cas d'un convertisseur Analogique-Numérique, les choix techniques sont abordés. Les précisions de conversions présentées permettent d'atteindre les objectifs fixés.

Le chapitre III étudie les possibilités d'une structure particulière du convertisseur $\Sigma\Delta$ (structure MASH) qui permet de contourner l'instabilité de l'architecture pour un filtre d'ordre élevé (supérieur à deux), tout en augmentant les performances. Cette étude a été motivée par les limitations d'un modulateur de haute précision conçu dans le laboratoire à l'aide de la technique des courants commutés [MOE96]. Il est démontré que, si cette nouvelle structure peut être intéressante pour des applications de conversion rapide et de précision moyenne (10 à 12 bits), son utilisation n'est pas possible pour atteindre des résolutions élevées.

Une structure classique de modulateur est donc choisie au chapitre IV. Par contre, la structure du filtre est particulière, car elle associe des techniques à temps continu et à temps discret. Il est démontré que les performances souhaitées sont accessibles par cette voie, et que cette approche apporte un avantage certain par rapport aux techniques utilisées commercialement. De plus, cette structure permet d'envisager l'intégration de la plus grande partie du circuit (filtre à temps discret, polarisation et signaux de contrôle), tandis que la simplicité de la partie la plus sensible du filtre autorise une

implantation avec des composants discrets. La procédure de conception de ce type de filtre est décrite dans cette partie du document. Dans le cadre de l'application industrielle, le système pourrait s'organiser de cette façon:

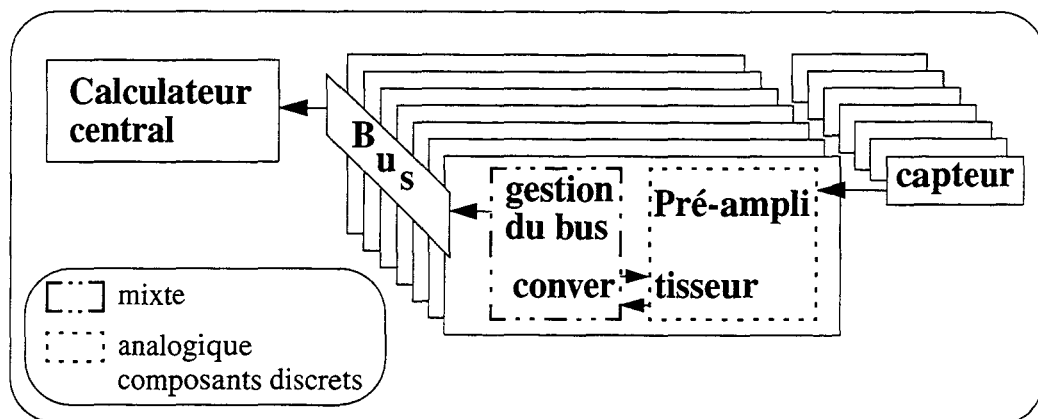


Figure I.2 structure prévue du système.

L'étude d'un ASIC de test, contenant la partie modulateur du convertisseur, est traitée dans le chapitre suivant. Les techniques d'implantation du modulateur y sont détaillées. Les caractéristiques prévisionnelles du composant sont décrites. Les tests du modulateurs expérimental sont décrits et le diagnostic d'erreur est justifié.

Après la conclusion, les perspectives de ce travail sont développées.

I.3 Références bibliographiques

- [MOE96] N. Moeneclaey and A. Kaiser, "Design Techniques for High-Resolution Current-Mode Sigma-Delta Modulators", IEEE Journal of Solid State Circuits, Vol 32, No. 7, pp. 953-958, July 1997.

II Etude de la modulation Sigma-Delta.

Après une description de l'apparition et des dérivés du modulateur Sigma-Delta, une analyse de son fonctionnement et de ses performances est présentée. Elle s'appuie, dans un premier temps, sur le modulateur Passe-Bas d'ordre 1. Toutes les caractéristiques dynamiques et statiques en seront déterminées. L'étude du modulateur du second ordre permet de définir un formalisme et d'aborder les effets présents dans les modulateurs d'ordre plus élevé. Ensuite, la stabilité des ordres supérieurs à 2 de l'architecture est étudiée. A ces ordres, aucun résultat de l'analyse non-linéaire n'a été publié, mais une méthode basée sur le modèle linéaire et les techniques de filtrage permet la conception de modulateurs stables.

Ce chapitre est inspiré des références [CAN92][NOR97], auxquelles toute confiance a été accordée pour les références bibliographiques jusqu'au paragraphe II. 1. 6 inclus.



II.1 Historique

Ce paragraphe n'a pas pour but un historique rigoureux de l'apparition et des perfectionnements des modulateurs Sigma-Delta. Son intention est de présenter les points clés de cette évolution et de les articuler pour donner une vue d'ensemble de la situation: principes, types de modulateurs, bandes utiles, structures internes.

II.1.1 Le modulateur Delta

C'est en travaillant sur le moyen de transmettre des valeurs numériques sur 1 bit par la méthode de modulation de largeur d'impulsion (PCM), que C. Cutler inventa un système pour coder un signal analogique directement en PCM à l'aide d'un convertisseur 1 bit [CUT60]. Les valeurs converties aux cycles précédent sont intégrées, pour être comparées au signal à convertir. Le résultat est une erreur de conversion qui est codée à son tour. Elle tend donc à diminuer jusqu'à s'annuler au fur et à mesure du

fonctionnement. Cette structure est connue sous le nom de modulateur Delta, car elle code la dérivée du signal et de l'erreur de conversion (ou quantification). Elle ne peut donc pas coder de valeur continue du signal.

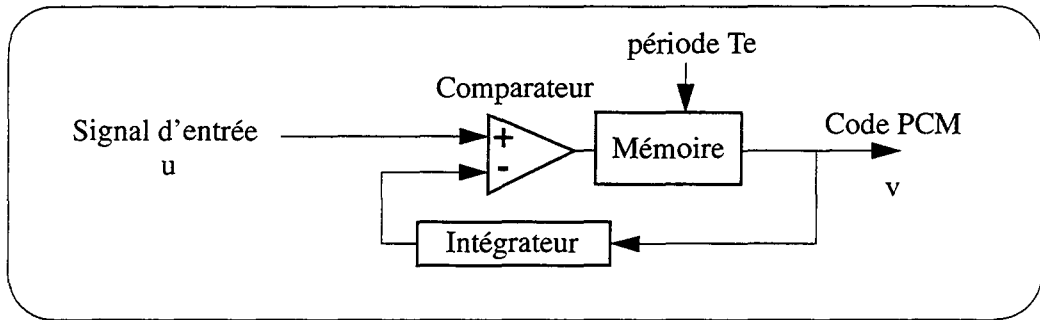


Figure II.1 Modulateur Delta

Les caractéristiques principales de la modulation sont donc à chercher dans le domaine fréquentiel, puisque la dérivation d'un signal en atténue les composantes basse fréquence.

L'intégrateur peut être échantillonné, ou continu. Dans certains cas, la présence d'une mémoire numérique est requise.

II.1.2 Les modulateurs Sigma-Delta

L'évolution décisive a consisté à introduire un intégrateur dans le chemin du signal, mais surtout à la confondre avec celui placé dans le rebouclage:

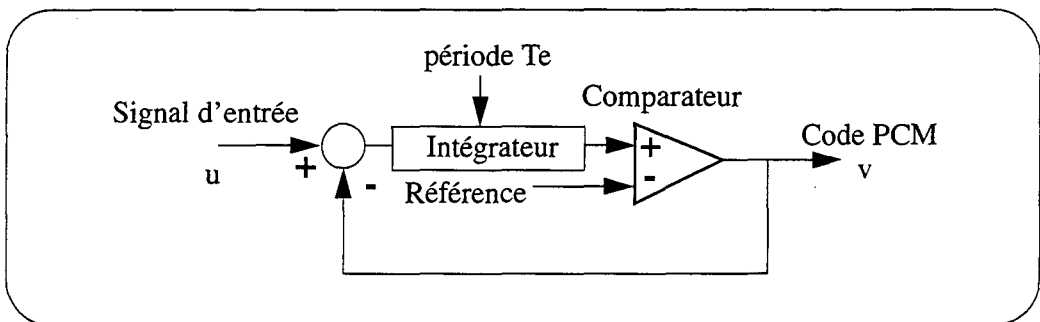


Figure II.2 Modulateur SD d'ordre 1

Cette étape, proposée par Inose and Yasuda [INO62], permet de coder directement le signal (et non sa dérivée), tout en codant la dérivée de l'erreur de comparaison. L'erreur de quantification, b , est donc fortement atténuée dans les basses fréquences, où on place le signal (Bande Utile ou Bande de Base). Les fonctions de transfert du signal (STF) et de bruit (NTF) sont donc différentes.

Cela met également en valeur que seule l'erreur de quantification est présente dans l'intégrateur puisque le signal numérique (valeur approchée de l'entrée) est soustrait du signal d'entrée.

L'avancée suivante, proposée par M. Ritchie [RIT77], fut d'ajouter des intégrateurs dans la chaîne directe pour améliorer les performances en accentuant le filtrage des erreurs de quantification. Pour améliorer la stabilité du circuit, il introduisit des rebouclages de la sortie à l'entrée de chacun des intégrateurs. Toutefois, pour les ordres supérieurs à 2, la stabilité du système bouclé est conditionnelle.

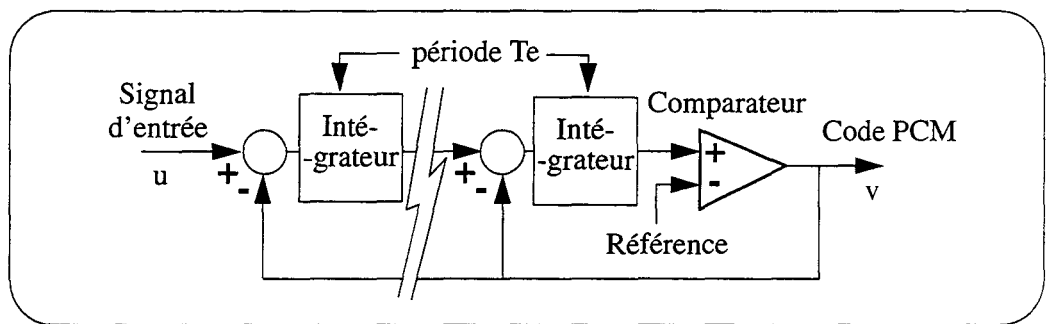


Figure II.3

Modulateur d'ordre N

Bien que plusieurs modulateurs d'ordres élevés aient été publiés ou commercialisés, le critère de stabilité rigoureux ne fut trouvé que récemment [SCH93]. Il interprète la chaîne d'intégrateurs comme un filtre à deux entrées.

II.1.3 Les modulateurs MASH

C'est pourquoi Hayashi et al. proposèrent en 1986 [HAY86] d'utiliser une cascade de modulateurs inconditionnellement stables. Les sorties de ces deux modulateurs sont recombinaées pour que le bruit de quantification du premier étage soit annulé, et celui du deuxième encore plus atténué. L'ordre du filtre (NTF*NTF') du bruit b' est la somme des ordres des modulateurs chaînés.

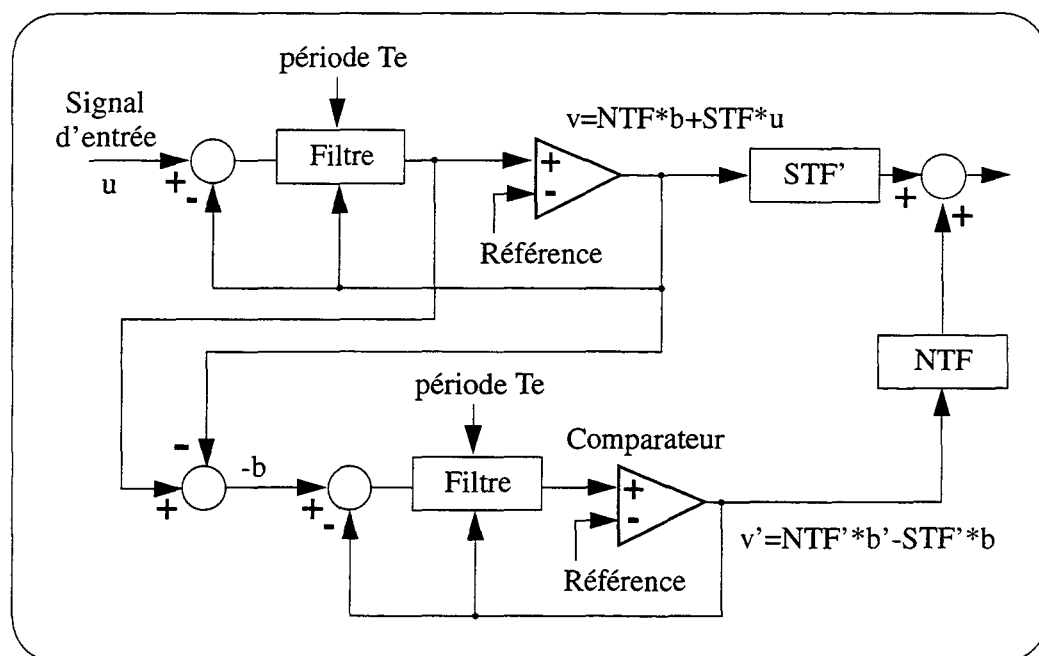


Figure II.4 Modulateur MASH N+M

Ce concept reste valable quelque soient les ordres des modulateurs cascades. Mais comme l'élimination du bruit du premier modulateur dépend d'une identification entre un filtre analogique (filtre de boucle du premier modulateur) et son équivalent numérique (NTF sur le chemin de v'), les performances sont limitées dans le cadre d'une conversion analogique-numérique. De plus, comme la sortie est la combinaison de deux sorties un bit, le format de sortie est composé de plusieurs bits. Le signal de sortie ne peut plus être qualifié de PCM, et est donc appelé "sur-échantillonné" dans la suite de ce document.

II.1.4 Les modulateurs numériques

Les modulateurs numériques peuvent avoir la même architecture que les modulateurs analogiques. Les noeuds de sommation et différentiation sont réalisés avec des additionneurs ou des soustracteurs. Les intégrateurs sont des registres dont la valeur

suivante est calculée comme la somme de l'entrée de l'intégrateur et de la sortie du registre. Enfin la quantification (rôle de l'ADC dans les modulateurs analogiques) est réalisée par une comparaison.

Des contraintes propres de format et d'erreurs d'arrondis limitent la stabilité et la précision de modulateurs simple boucle d'ordre élevé. Mais, étant entièrement numériques, ils ne subissent pas les limitations des modulateurs MASH. D'autres structures peuvent même être envisagées telles que les architectures à rebouclage d'erreur.

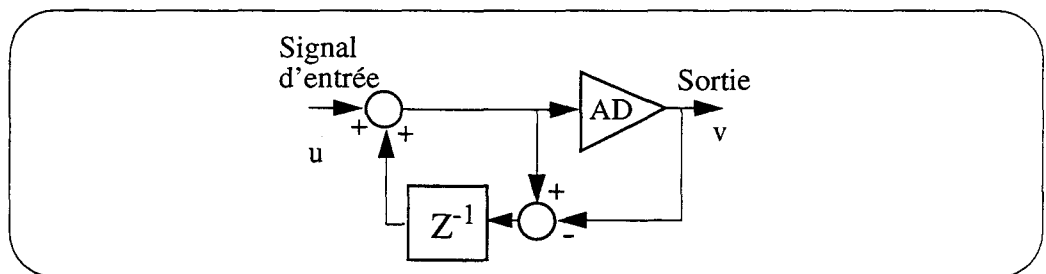


Figure II.5

Architecture à rebouclage d'erreur d'ordre 1

Ainsi, les modulateurs numériques sont souvent réalisés par une cascade de modulateurs à rebouclage d'erreur dont le format de sortie décroît au fur et à mesure que la fréquence de modulation augmente. Les critères principaux de conception sont le nombre de portes logiques utilisées et la fréquence de fonctionnement. Ils déterminent le prix (par la surface de circuit) et la consommation électrique du composant.

II.1.5 Les modulateurs à convertisseurs internes multibit

Les modulateurs Sigma-Delta fonctionnent le plus souvent avec deux niveaux logiques (1 bit), un simple comparateur jouant le rôle du convertisseur analogique-numérique (ADC), et la commutation d'une tension de référence le DAC. Or les concepts de sur-échantillonnage et de filtrage d'erreur sont applicables à tous les formats de conversion. L'utilisation de convertisseurs 1 bit est due à la linéarité intrinsèque du convertisseur numérique-analogique (DAC).

Un autre format, composé de trois niveaux de codage (dit, abusivement, 1,5 bits), peut avoir cette linéarité, dans certaines conditions. Au delà, toute non-linéarité du DAC limite celle du modulateur tout entier.

Plusieurs réponses partielles ont été proposées, et notamment l'association d'un ADC multibit et d'un DAC 1 bit, utilisant le bit le plus significatif (MSB) [LES90]. L'erreur introduite alors par le DAC correspond aux bits de poids faible (LSB) du format de codage. Cette erreur (fonction de la précision de l'ADC) peut être atténuée par un filtrage numérique qui suit le modulateur. Cette structure peut-être considérée comme une architecture MASH, dont le deuxième modulateur serait numérique et d'ordre 0 (extension de la définition pour une simple conversion analogique-numérique sur-échantillonnée). Elle souffre donc des mêmes limitations.

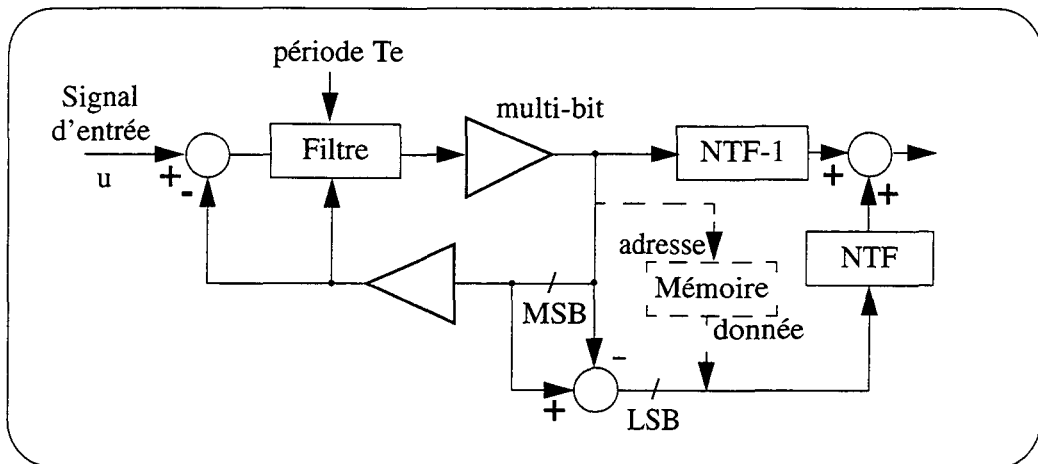


Figure II.6 Modulateur à ADC multibit et DAC 1 bit

Une autre des ces réponses consiste à mesurer les erreurs d'un DAC multibit et de les corriger par la même méthode que précédemment (la mesure de l'erreur de conversion prenant la place des LSBs). Les limitations sont les mêmes, plus une condition sur la précision de la mesure (compliquée par la dérive des caractéristiques du DAC).

La solution la plus élégante est basée sur l'étalement de la non-linéarité sur l'ensemble du spectre. Ceci a été proposée par Carley en 1988 [CAR88], en choisissant au hasard des sources unitaires pour construire la sortie du DAC multibit. L'écart de chaque source à la valeur moyenne, qui constitue la non-linéarité dans l'hypothèse d'un ordre de sélection fixé, intervient en sortie comme un bruit, puisque décorrélié du signal utile. Ce bruit est réparti sur l'ensemble des fréquences, et seule une partie concerne la Bande Utile.

Un algorithme de sélection particulier entièrement déterministe [BAI95], permet une amélioration de cette caractéristique, puisque le bruit introduit par les sources unitaires de DAC subit un filtrage équivalent à celui du bruit de quantification dans un

II.1.7 Les modulateurs en Π

Un modulateur en Π est, en fait, la mise en parallèle de modulateurs dont les Bandes Utiles sont différentes et se côtoient. Ainsi, le signal d'entrée est filtré pour former autant de canaux qu'il y a de modulateurs, leurs sorties étant recombinaées, après filtrage, pour reconstituer le signal.

Les conditions sur les modulateurs internes sont draconiennes pour garantir une reconstruction correcte du signal, tant au point de vue du gain que de celui de la phase. De fait, on préfère utiliser le même type de modulateur pour la conversion des sous-bandes. Elles subissent donc une démodulation, une conversion puis une remodulation avant d'être recombinaées.

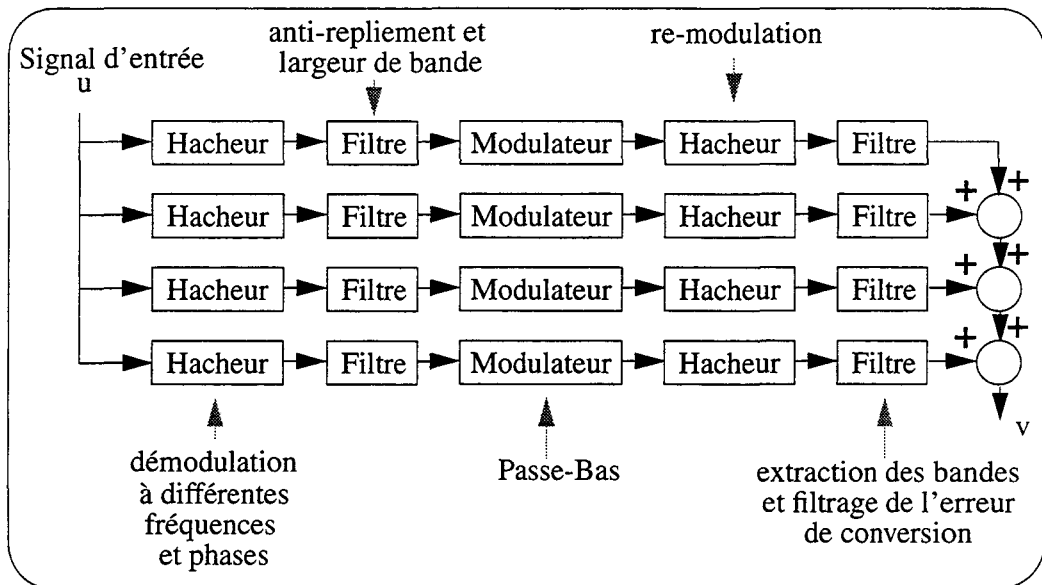


Figure II.9 Modulateur $\Sigma\Delta$ en Π passe-bas, par juxtaposition de quatre modulateurs

En plus des contraintes de gain et de phase entre les différents chemins de signal, il faut veiller aux problèmes de filtrage, de séparation et de raccordement des sous-bandes.

L'application la plus surprenante est la réalisation d'un modulateur Sigma-Delta en Π dont la fréquence de fonctionnement est la fréquence de Nyquist de la bande d'entrée (sans sur-échantillonnage) [KIN98]. Le sur-échantillonnage de chaque sous-bande est compensé par le nombre de modulateurs mis en parallèle.

II.1.8 Les chaînes de conversion

Le modulateur Sigma-Delta ne constitue que la partie active d'un convertisseur de données, plusieurs étapes de filtrage l'entourent pour pouvoir obtenir un fonctionnement satisfaisant et des formats de données compatibles avec les autres familles de convertisseur.

II.1.8.1 Conversion analogique numérique

En conversion analogique numérique, le modulateur est de type analogique jusqu'à l'ADC. Le filtre de boucle de ce modulateur peut être à temps continu ou à temps discret. Dans ce cas, il faut échantillonner le signal utile avant de le présenter au modulateur. De toute façon, une étape de filtrage est nécessaire pour qu'aucune fréquence hors Bande-Utille du signal d'entrée ne vienne perturber le fonctionnement du modulateur ou le codage. Ce filtrage est facilité par la grande différence entre le haut de la bande utile et la fréquence d'échantillonnage.

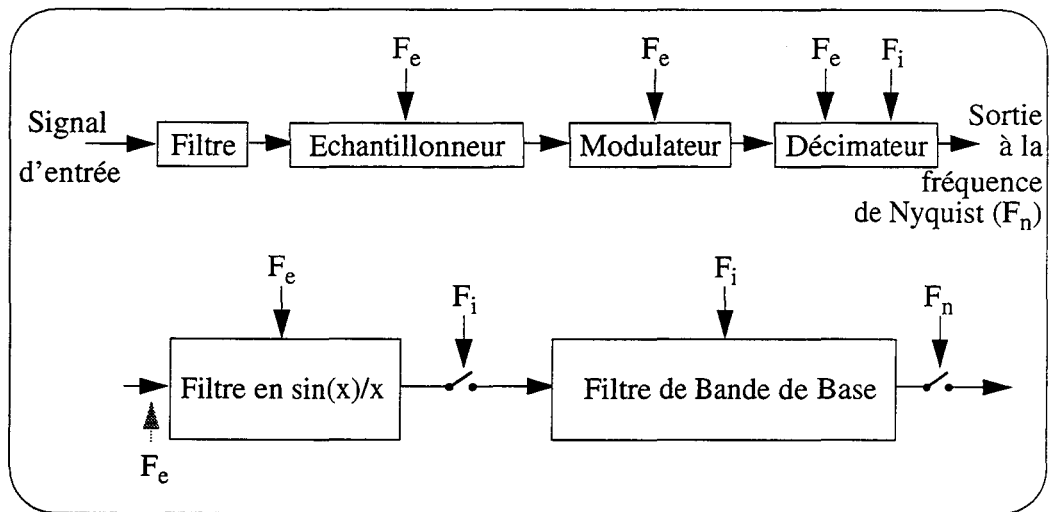


Figure II.10 Chaîne de conversion analogique-numérique et étapes de décimation

En sortie de modulateur, la fréquence des données étant élevée, un sous-échantillonnage précédé d'un filtrage est nécessaire pour revenir à la fréquence de Nyquist. Cette double fonction, appelée décimation, est composée de deux étapes dans la pratique. La première, qui travaille à la fréquence du modulateur, effectue un filtrage grossier permettant un sous-échantillonnage partiel du signal. Elle procède, en outre, à la mise au format final des données. La deuxième phase fonctionne à cette fréquence

réduite et atténuée fortement toutes les fréquences situées hors de la Bande de Base. Le sous-échantillonnage final permet de retrouver la fréquence de Nyquist [NOR97, pp. 28-36].

II.1.8.2 Conversion numérique analogique

Dans le sens de conversion numérique vers analogique, le modulateur est numérique, mais fonctionne à une fréquence beaucoup plus rapide que la fréquence de Nyquist. Aussi, un filtre d'interpolation précède le modulateur. Il a pour fonction de sur-échantillonner le signal utile tout en atténuant les images qui se situent hors de la Bande-Utilité.

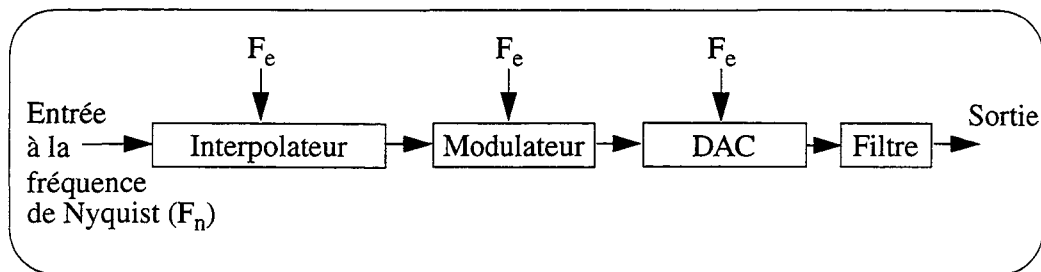


Figure II.11 Chaîne de conversion numérique-analogique

La sortie du modulateur commande directement le DAC. La sortie analogique du DAC doit être filtrée pour atténuer le bruit de quantification, mais aussi les images du signal de sortie.

II.1.9 Autres applications

Les applications de modulation d'erreur due à une non-linéarité commencent à dépasser le strict cadre de la modulation Sigma-Delta.

Comme cela a été abordé ci-dessus, la modulation de la non-linéarité spaciale de DAC unitaires permet de réaliser un DAC multibit de grande qualité. L'algorithme de sélection même a été amélioré récemment pour diminuer les effets de la non-linéarité due aux commutations [SCH98].

Cette modulation peut également servir à la génération de fréquences précises à partir d'un ensemble discret de fréquences, en exploitant certaines caractéristiques de la modulation du premier ordre. Des fonctions logiques utilisant cette Synthèse Directe de Fréquences sont déjà proposées par les fabricants de composants logiques programmables.

II.2 Analyse du modulateur du premier ordre

II.2.1 Analyse temporelle.

La structure d'un modulateur Sigma-Delta du premier ordre est relativement simple. L'enchaînement chronologique des opérations qu'il réalise en une période est aisément compréhensible, une fois qu'une valeur de départ est choisie pour x :

- 1) Le signe de la sortie (x) de la mémoire est extrait, et constitue la valeur de sortie du modulateur: $+\Delta/2$ si le signe est positif, $-\Delta/2$ sinon.
- 2) La valeur de sortie (v) du modulateur est soustraite à celle de l'entrée (u).
- 3) Ce résultat est additionné à la valeur courante (x) de la mémoire pour constituer la prochaine valeur de cette mémoire.

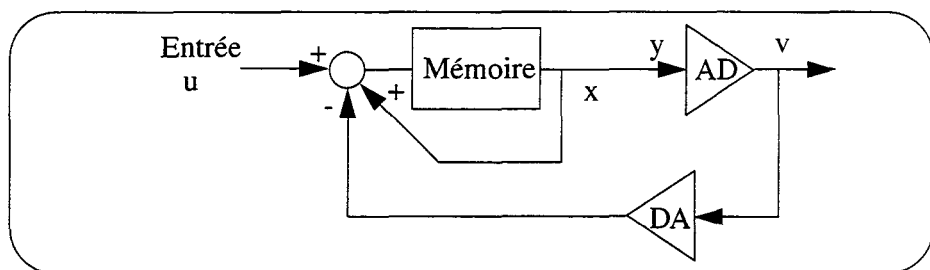


Figure II.12 Architecture du modulateur Sigma-Delta d'ordre 1

Cela peut donner lieu à un calcul manuel si une valeur continue (fractionnaire simple) constitue le signal d'entrée. La sortie code effectivement l'entrée, car une moyenne des valeurs successives prises par ce signal, sur une fenêtre glissante de longueur appropriée (et dépendante de la valeur de l'entrée), en fournit la valeur exacte.

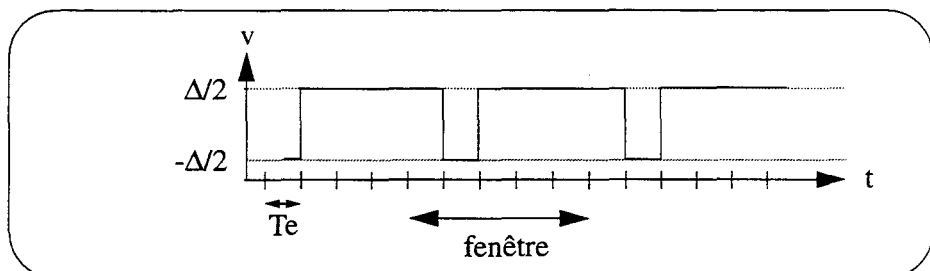


Figure II.13 Codes de sortie pour une entrée continue de $3/5 \cdot \Delta/2$

$$\text{sortie} = (4 \cdot \Delta/2 - \Delta/2)/5 = 3/5 \cdot \Delta/2$$

(II.1)

Pour une entrée plus complexe, une valeur irrationnelle, les valeurs de la sortie peuvent être trouvées avec l'aide d'un calculateur. En effet, le nombre de valeurs de sortie à calculer pour convertir exactement l'entrée est infini.... La précision de la conversion dépend donc de la largeur de cette fenêtre.

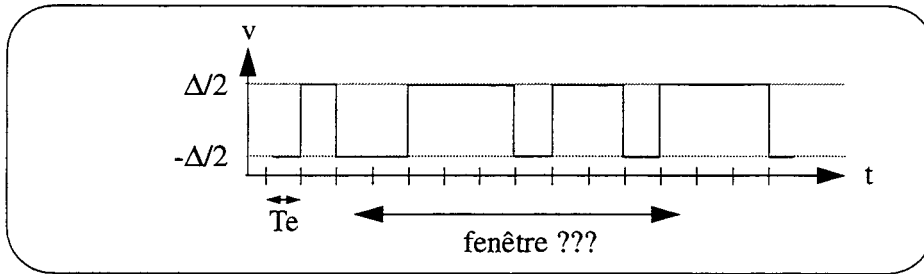


Figure II.14 Codes de sortie pour une entrée continue irrationnelle

Si, de plus, le signal d'entrée varie dans le temps (une sinusoïde dans cet exemple), la notion de précision de la conversion analogique-numérique mérite d'être précisée. En effet, si la valeur instantanée est effectivement estimée par la moyenne dans une fenêtre glissante, il n'y a pas de méthode pour en déterminer la taille. De plus, cette taille doit être fixe, quelque soit l'entrée du modulateur. Il faut quand même remarquer que plus cette taille est importante, plus la précision de la conversion est grande. Par contre, comme la valeur de l'entrée doit être relativement constante pendant la durée d'action de cette fenêtre glissante, plus la fenêtre est grande, et plus le signal d'entrée est tenu de varier lentement.

Ainsi, la précision de la conversion dépend de la rapidité de variation maximale du signal d'entrée, c'est à dire de sa fréquence maximal F_b . Et, une analyse spectrale du signal de sortie confirme cette intuition: les caractéristiques de l'encodage Sigma-Delta dépendent de la fréquence.

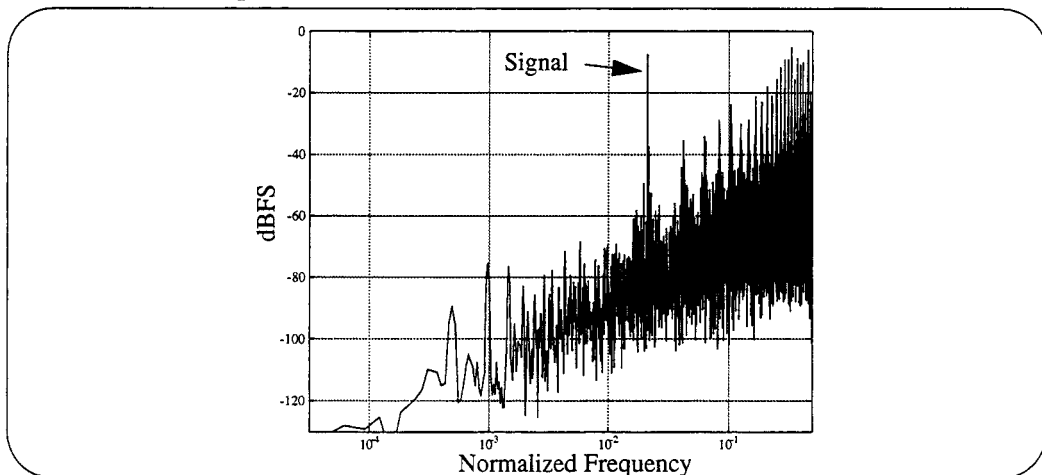


Figure II.15 Densité spectrale de puissance en sortie pour un signal sinusoïdal

En plus de la raie due au signal d'entrée sinusoïdal, la sortie présente beaucoup de puissance pour les fréquences élevées, et de moins en moins à mesure que la fréquence diminue. Ainsi, les caractéristiques de la modulation Sigma-Delta sont à chercher dans le domaine fréquentiel.

Or les outils de transformation du domaine temporel au domaine fréquentiel font l'hypothèse de la linéarité des fonctions constituant de la structure. La présence d'un comparateur d'extraction du signe, élément fortement non-linéaire, empêche l'utilisation de ces outils. La seule possibilité consiste à trouver un modèle linéaire au comparateur.

II.2.2 Analyses linéaires

II.2.2.1 Modélisation

II.2.2.1.1 Modèle linéaire de l'ADC.

La modélisation de l'ADC est délicate à cause du changement de format: une tension électrique est transformée en nombre entier. Or, les points de comparaison entre entrée et sortie (puissance de signal...) reposent sur une identité d'unité. Or un DAC est implicitement ou explicitement présent dans la structure. Aussi, le couple ADC-DAC est considéré ici, dont la partie DAC est, dans un premier temps, supposée parfaite. Les unités sont donc cohérentes, et les comparaisons justifiées.

Un comparateur est un convertisseur analogique numérique au format 1 bit. Toutefois l'utilisation de convertisseurs plus précis est possible. C'est pourquoi tous les formats sont étudiés dans ce paragraphe. Le convertisseur à plusieurs niveaux est le plus simple à modéliser à partir de sa caractéristique entrée vers sortie:

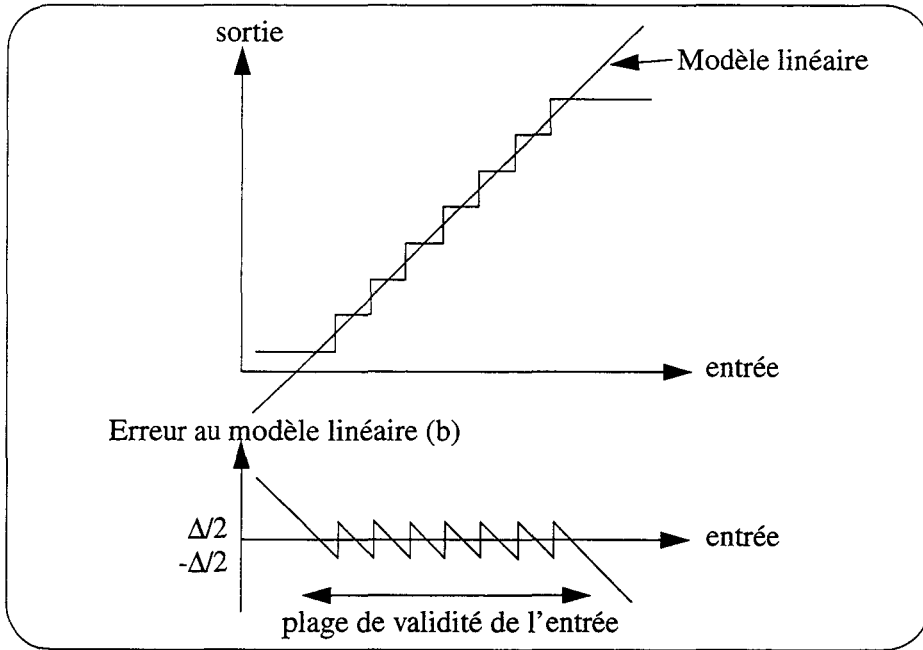


Figure II.16 Caractéristique entrée vers sortie et erreur de conversion de l'ADC

On en déduit l'erreur effectuée par rapport à la caractéristique linéaire. Cette erreur est bornée par $+\Delta/2$ et $-\Delta/2$ dans la plage de validité de l'entrée de l'ADC. C'est la seule caractéristique objective de ce signal d'erreur. Malheureusement, cela ne suffit pas. Pour poursuivre les calculs, il faut disposer d'une caractéristique de puissance, d'une caractéristique fréquentielle et de la corrélation de cette erreur d'avec l'entrée de l'ADC.

Toutes sont basées sur des hypothèses non rigoureuses:

Le signal appliqué en entrée de l'ADC est suffisamment erratique pour que les valeurs de l'erreur soient décorrélées de ce signal. Elles peuvent donc être considérées comme un bruit.

La répartition des valeurs de l'erreur est uniforme entre ses bornes. On en déduit la puissance du signal d'erreur:

$e_{\text{RMS}}^2 = \frac{1}{\Delta} \cdot \int_{-\Delta/2}^{+\Delta/2} e^2 de = \frac{\Delta^2}{12}$	(II.2)
---	--------

La densité de puissance de ce bruit est, dans le cadre d'un fonctionnement échantillonné, uniforme sur toutes les fréquences de 0 à $F_e/2$. Le bruit est donc considéré comme bruit blanc de densité $E(f) = e_{RMS} \cdot \sqrt{2 \cdot T_e}$.

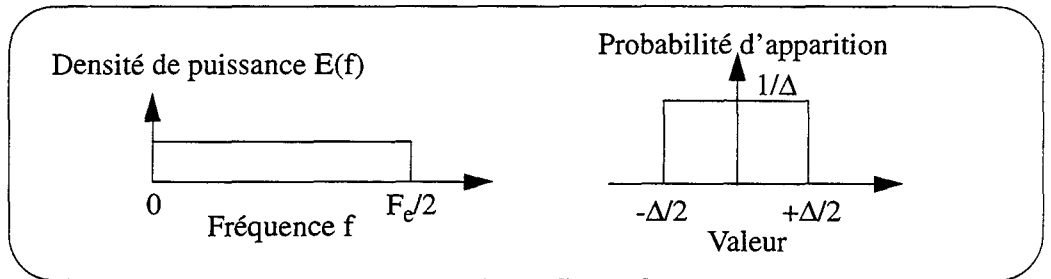


Figure II.17 **Modèle du bruit après hypothèses.**

Le modèle linéaire de l'ADC est donc:

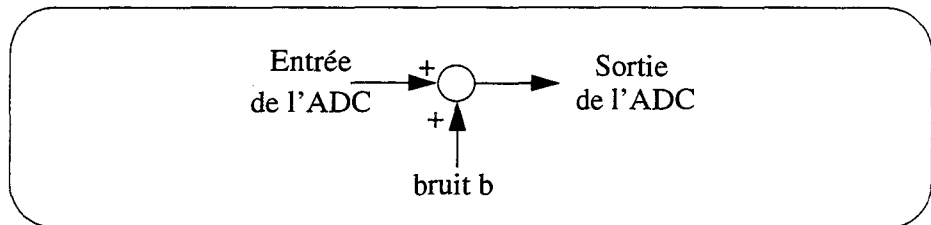


Figure II.18 **Modèle linéaire de l'ADC**

A ce modèle, il faut ajouter une notion de gain. En effet le rapport sortie/entrée peut varier, pour un ADC en dehors de sa plage de validité et dans le cas général pour un ADC au format un bit.

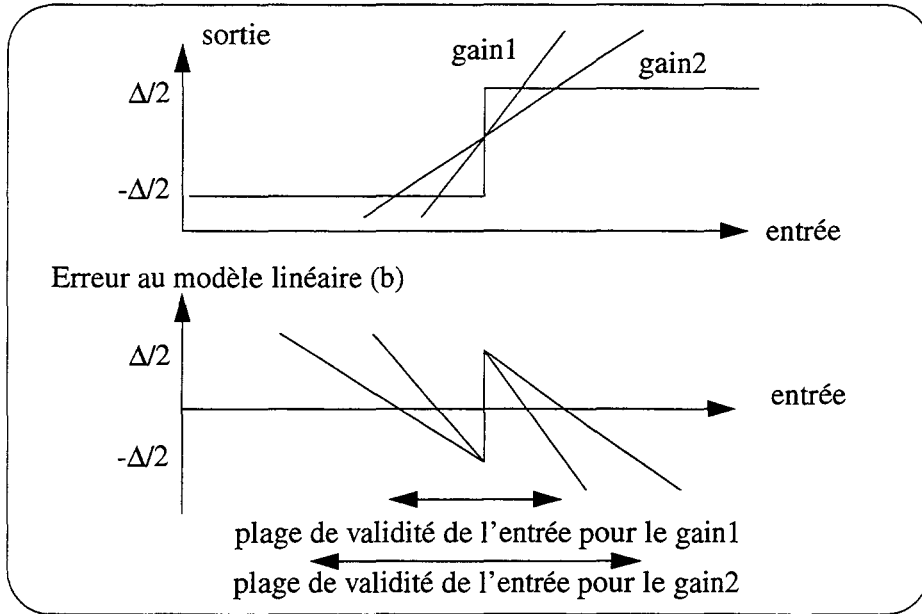


Figure II.19 Modèles de gain et d'erreurs d'un ADC 1 bit

Toutefois, cette notion de gain est un peu particulière sous plusieurs aspects.

Comme l'amplitude de la sortie est fixe, le gain ne dépend que de l'amplitude du signal d'entrée. Plus cette amplitude est faible, plus le gain est grand; et inversement.

De plus, le gain change pour chaque valeur présentée à l'entrée de ce comparateur. Or le gain du modèle linéaire doit être constant. C'est pourquoi on retient la valeur moyenne de ce gain instantané pour construire le modèle linéaire.

Toutefois, le calcul d'un tel modèle n'est possible qu'à partir d'un modulateur existant, puisqu'il faut pouvoir calculer la répartition des amplitudes du signal appliqué sur l'ADC. Dans le cas général, le gain est fixé à 1, même pour le format un bit où cette notion est arbitraire. On considère donc le convertisseur interne non saturé (d'où une erreur comprise entre $-\Delta/2$ et $+\Delta/2$).

Le format de la sortie ne permet de coder que des valeurs entre $-\Delta/2$ et $\Delta/2$. Le modulateur Sigma-Delta ne peut donc coder que les valeurs d'entrée comprises entre ces bornes.

II.2.2.1.2 Le sur-échantillonnage

Dans son principe, un modulateur Sigma-Delta échantillonne très rapidement (fréquence F_e) un signal dont l'encombrement spectral est limité à F_b , relativement faible en comparaison.

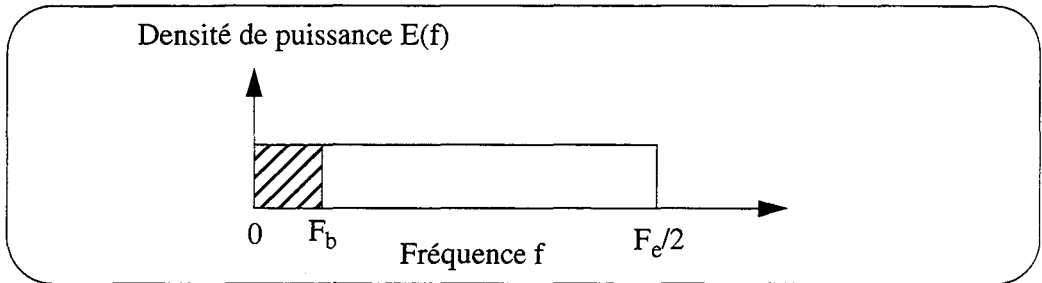


Figure II.20 Puissance de bruit blanc dû à l'erreur de quantification

Le Théorème de Shannon permet l'échantillonnage et la reconstruction du signal pour une fréquence $F_n=2.F_b$, appelée fréquence de Nyquist de la bande utile. Le rapport entre la bande utile de Shannon (de 0 à $F_e/2$) et la Bande de Base du convertisseur sur-échantillonné est appelé rapport de sur-échantillonnage (Over Sampling Ratio ou OSR) qui vaut $(F_e/2)/F_b$.

Or la puissance du bruit introduit par l'ADC est répartie entre 0 et $F_e/2$ dans le domaine fréquentiel. Comme l'échantillonnage est plus rapide que ne l'impose le Théorème de Shannon, seule une partie de cette puissance coïncide avec la bande de fréquence contenant le signal utile (appelée Bande Utile ou Bande de Base). La puissance de bruit blanc dans la bande est:

$n^2 = \int_0^{F_b} E^2(f)df = e_{RMS}^2 \cdot (2 \cdot F_b \cdot T_e) = e_{RMS}^2 \cdot \left(\frac{2 \cdot F_b}{F_e}\right) = \frac{e_{RMS}^2}{OSR}$	(II.3)
--	--------

II.2.3 Analyses Linéaires

II.2.3.1 Analyse fréquentielle

Le modèle fréquentiel d'une mémoire analogique peut être calculé à partir de sa réponse impulsionnelle (un retard pur d'une période d'échantillonnage T_e), par transformée de Fourier. Il vaut $e^{-j \cdot \omega \cdot T_e} = Z^{-1}$ (où $Z = e^{j \cdot \omega \cdot T_e}$) et correspond à une rotation de phase dont la valeur est fonction de la fréquence.

La représentation linéaire en Z du modulateur du premier ordre est la suivante:

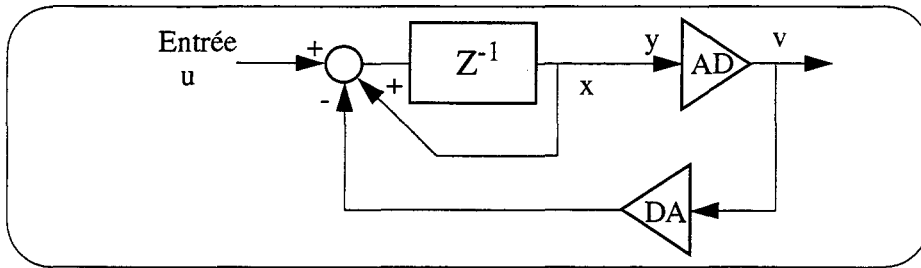


Figure II.21

Modèle linéaire du modulateur d'ordre 1

Ainsi, les équations du modulateur du premier ordre peuvent s'écrire:

$\begin{cases} x = Z^{-1} \cdot (x + u - v) \\ v = x + b \end{cases}$	(II.3)
---	--------

D'où l'expression de la sortie

$v = (1 - Z^{-1}) \cdot b + Z^{-1} \cdot u$	(II.4)
---	--------

fonction du signal d'entrée et du bruit de quantification. Si le Signal Utile n'est affecté que d'un retard pur (STF pour Signal Transfert Function), le filtrage que subit le bruit de quantification (NTF pour Noise Transfert Function) mérite d'être étudié.

$NTF1 = (1 - Z^{-1}) = 1 - e^{-j \cdot \omega \cdot T_c} = 2 \cdot j \cdot e^{-j \cdot \omega \cdot T_c / 2} \cdot \sin\left(\frac{\omega \cdot T_c}{2}\right)$	(II.5)
---	--------

NTF1 dont le gain vaut $2 \cdot \sin(\omega T_c / 2)$, a pour caractéristiques fréquentielles:

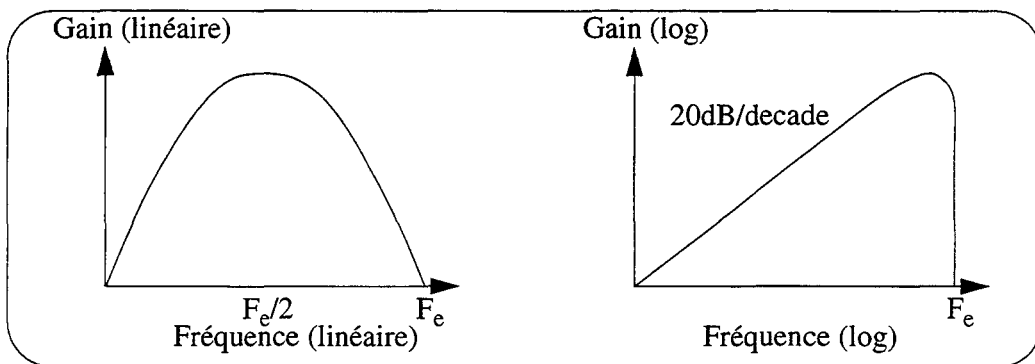


Figure II.22

Gain de la NTF du premier ordre, NTF1

La puissance de bruit de quantification dans la bande de fréquences utiles (0 à F_b) peut être calculé par

$$n^2 = \int_0^{F_b} |NTF|^2 \cdot E^2(f) df = \int_0^{F_b} \left| 4 \cdot \sin^2\left(\frac{\omega \cdot T_e}{2}\right) \cdot E^2(f) \right| df \approx e_{RMS}^2 \cdot \frac{\pi^2}{3} \cdot (2 \cdot F_b \cdot T_e)^3 \quad (II.7)$$

Un signal d'amplitude V_a a une puissance $V_a^2/2$. Le rapport signal à bruit (SNR) vaut, à OSR donné,

$$SNR = \frac{V_a^2}{2 \cdot e_{RMS}^2 \cdot \frac{\pi^2}{3} \cdot (2 \cdot F_b \cdot T_e)^3} = V_a^2 \cdot \frac{3 \cdot (OSR)^3}{e_{RMS}^2 \cdot 2 \cdot \pi^2} \quad (II.8)$$

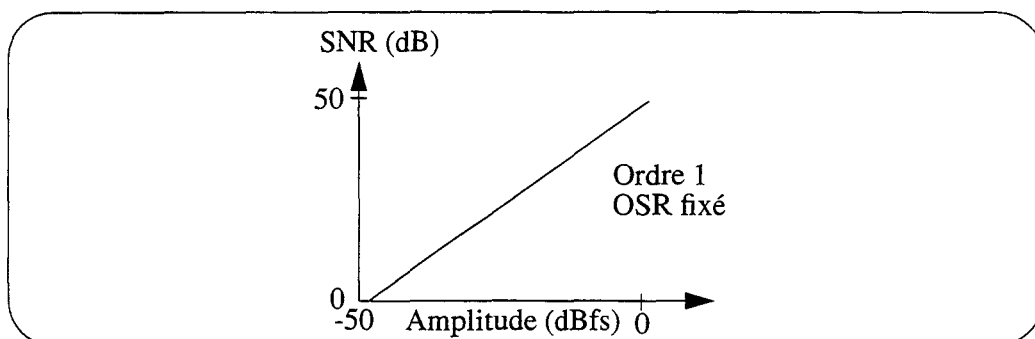


Figure II.23 SNR fonction de l'amplitude du signal d'entrée, normalisée à Δ pic-pic

Le signal sinusoïdal maximal valide à l'entrée est d'amplitude $\Delta/2$ et donc de puissance $\Delta^2/8$. Le rapport signal à bruit (SNR) maximal vaut donc, en fonction de l'OSR:

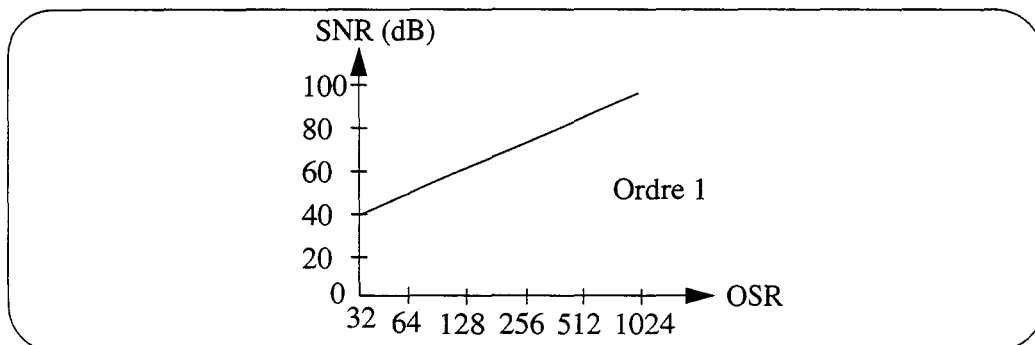


Figure II.24 SNR maximal fonction de l'OSR

II.2.3.2 Points d'introduction de bruit et effet sur la sortie.

La fonction de transfert de bruit (NTF) calculée au chapitre précédent ne s'applique-t-elle qu'au bruit de quantification b ? L'introduction de signaux de bruits en divers points du filtre permet, par analyse fréquentielle de déterminer leur contribution à la sortie.

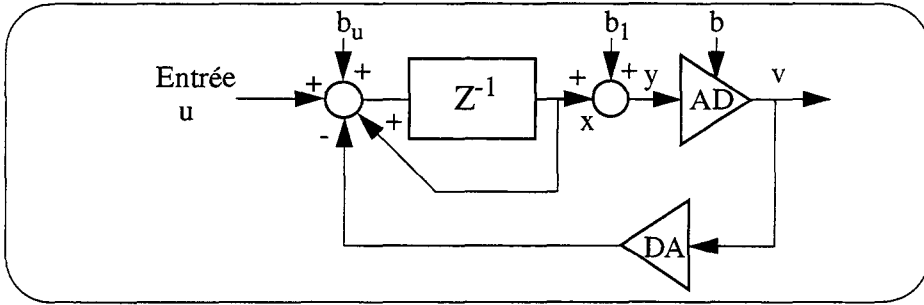


Figure II.25 Introduction de sources de bruit dans le modèle du modulateur d'ordre 1

Les équations sont:

$\begin{cases} x = Z^{-1} \cdot (x + (u + b_u) - v) \\ v = x + (b + b_1) \end{cases}$	(II.9)
---	--------

La sortie vaut donc:

$v = (1 - Z^{-1}) \cdot (b + b_1) + Z^{-1} \cdot (u + b_u)$	(II.10)
---	---------

Ainsi, les fonctions de transfert calculées précédemment s'appliquent aussi bien aux signaux utiles du modulateurs qu'aux éventuelles sources de bruit présentes dans la structure. (b_u) n'est pas filtrée, alors que (b_1) est atténuée en bande de Base par un filtre d'ordre 1, au même titre que le bruit de quantification.

Toute erreur introduite dans le rebouclage de la sortie, est équivalent à une source b_u . Cette erreur n'étant pas filtrée, elle apparaît directement dans les valeurs de la sortie. C'est pourquoi les caractéristiques du DAC limitent celles du modulateur tout entier.

II.2.3.3 Etude des pôles et des zéros dans le plan complexe.

Lors de l'établissement du modèle des convertisseurs internes du modulateur Sigma-Delta, il a été insisté sur la plage d'entrée valide de cette fonction. En dehors de ces valeurs, non seulement l'amplitude de l'erreur de quantification augmente (donc la puissance de bruit), mais le gain (γ) apparent du couple ADC/DAC diminue.

$$\begin{cases} x = Z^{-1} \cdot (x + u - v) \\ v = \gamma \cdot [x + b] \end{cases} \quad (\text{II.10})$$

$$v = \frac{\gamma \cdot (1 - Z^{-1})}{1 - (1 - \gamma) \cdot Z^{-1}} \cdot b + \frac{\gamma \cdot Z^{-1}}{1 - (1 - \gamma) \cdot Z^{-1}} \cdot u \quad (\text{II.11})$$

Il est donc intéressant de suivre l'évolution de la NTF en cas de saturation, i.e. pour différents gains associés à la quantification. Cela se fait en suivant l'évolution des pôles et des zéros de cette NTF.

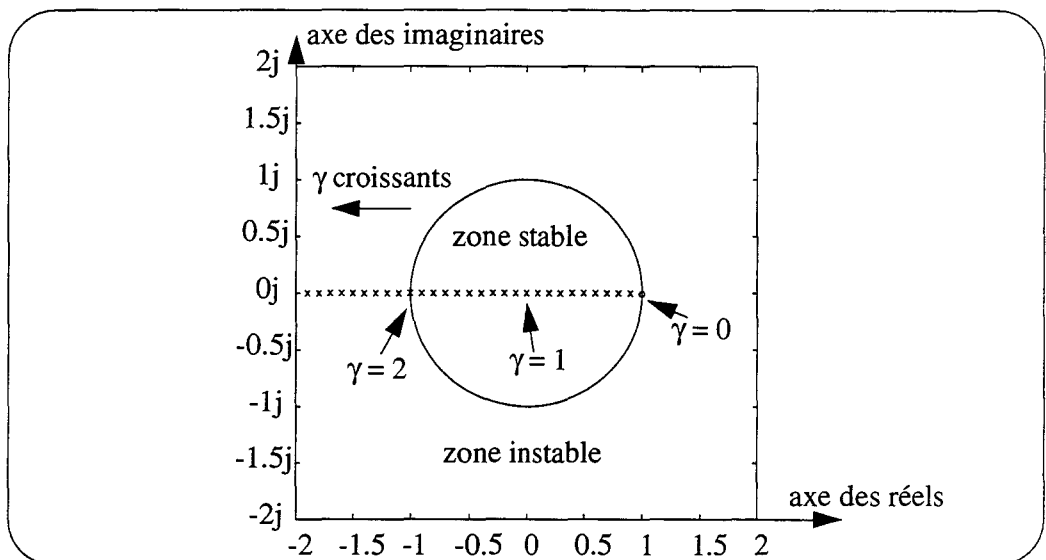


Figure II.26 Evolution des pôle (x) et zéro (o) dans le plan complexe en fonction du gain du modèle de l'ADC

Pour des gains élevés (utilisation de l'ADC à très faible niveau d'entrée), le pôle de la NTF se situe en dehors du cercle unité. Le système est instable et l'amplitude de la sortie de l'intégrateur tend à augmenter, faisant baisser le gain de l'ADC.

Pour des gains faibles, le pôle est à l'intérieur du cercle unité. Le fonctionnement du modulateur est stable et la valeur de l'état tend à s'annuler. L'oscillation entre ces états stable et instable du système est la condition de codage du modulateur Sigma-Delta. Il est globalement stable, car il est possible de borner la valeur de sortie (x) de l'intégrateur.

Pour des gains très faibles d'ADC, le pôle se rapproche de la limite de stabilité. La modulation est fortement détériorée. Le système du premier ordre reste toutefois stable.

II.2.3.4 Filtre de boucle dégénéré ou instable

Le modèle linéaire de la cellule à retard est αZ^{-1} et toute erreur du gain α (idéalement unitaire) dans le circuit d'intégration a des conséquences sur la qualité de la modulation.

L'équation de la sortie devient

$NTF1 = (1 - \alpha \cdot Z^{-1}) = (1 - \alpha) + \alpha \cdot (1 - Z^{-1})$	(II.12)
---	---------

et une partie du bruit non filtrée mais fortement atténuée, s'ajoute au filtrage calculé au paragraphe précédent. Le bruit ne peut pas être atténué par plus de $(1-\alpha)$.

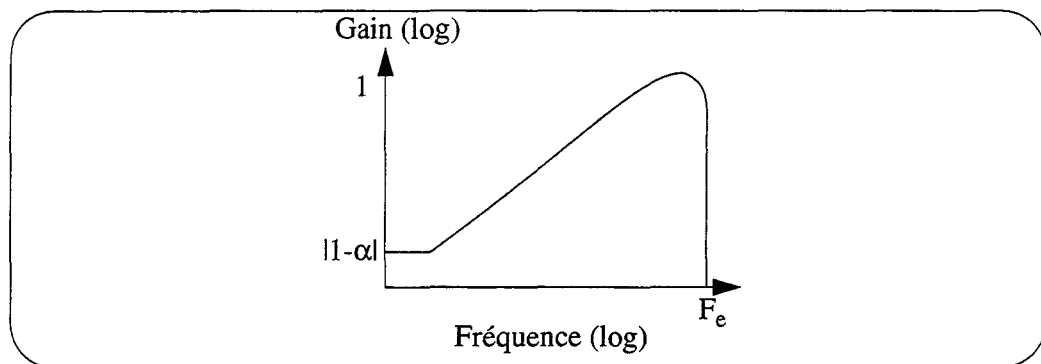


Figure II.27 NTF du modulateur du premier ordre avec filtre dégénéré ou instable

II.2.3.4.1 Filtre dégénéré

Le filtre est dit dégénéré si le gain statique du circuit réalisant l'intégration est fini, soit $\alpha < 1$. Le modèle de l'intégrateur est alors une fonction du premier ordre de gain statique $1/\alpha$. L'intégrateur est dit "à pertes" ("leaky").

Ainsi, l'atténuation du bruit de quantification est limitée, et ceci est surtout sensible en Bande de Base où l'affaiblissement demandé est le plus grand.

II.2.3.4.2 Filtre instable

Si, par contre, une partie de la sortie de l'intégrateur lui est réintroduite en entrée, dans le modèle étudié $\alpha > 1$. La réponse de ce filtre à un dirac étant divergente, ce filtre est instable.

Toutefois, si l'augmentation de la valeur de α apporte certaines qualités au modulateur (voir plus loin l'analyse non-linéaire de ce modulateur), elle diminue également la capacité d'atténuation du bruit de quantification. Un compromis doit donc être trouvé.

II.2.3.4.3 Pôles et zéros des filtres dégénérés et instables.

Les caractéristiques du filtre influent fortement sur la stabilité du modulateur. Cela est particulièrement visible dans une analyse des pôles et des zéros de la NTF.

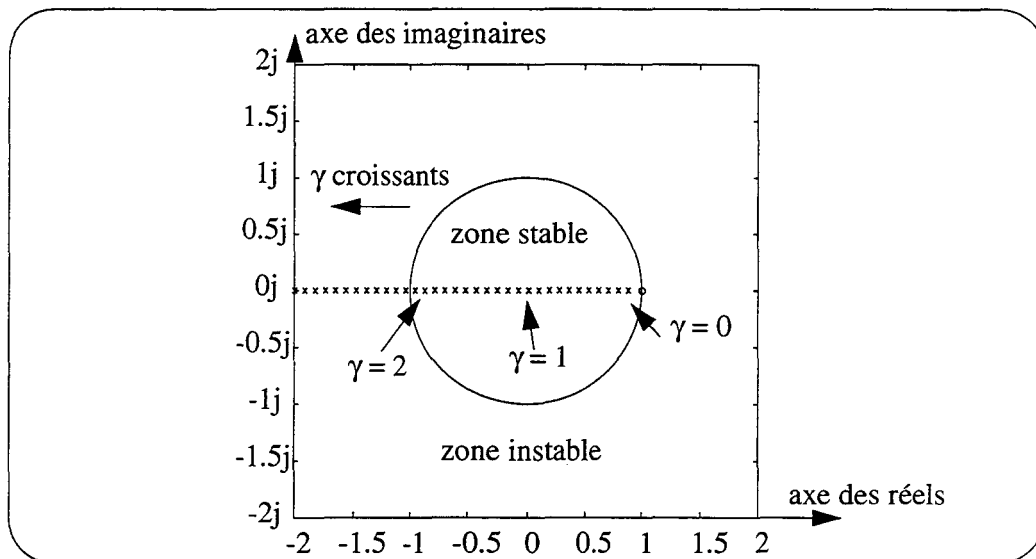


Figure II.28 Pôles (x) et zéro (o) de NTF1 pour un filtre dégénéré $\alpha < 1$.

Le caractère dégénéré du filtre accroît la stabilité du modulateur, qui, même pour une saturation importante de l'ADC reste inconditionnellement stable.

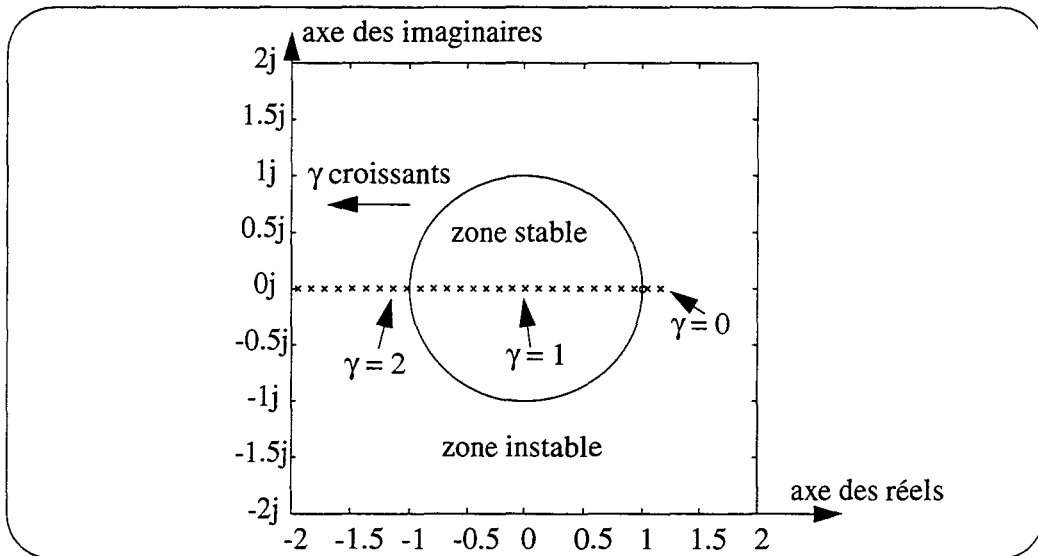


Figure II.29 Pôles (x) et zéros (o) de NTF1 pour un filtre instable $\alpha > 1$.

Par contre, la présence d'un filtre de boucle instable déstabilise le modulateur. En dessous d'un certain gain d'ADC, le modulateur n'est plus stable. A ce gain, fonction de α , correspond une amplitude en sortie de l'intégrateur au delà de laquelle elle diverge.

II.2.3.5 Limites du modèle linéaire

Les hypothèses faites pour la modélisation de l'ADC peuvent être prises en défaut dans certaines conditions. La courbe de SNR issue de la simulation itérative présente des irrégularités non prédites par la modélisation linéaire.

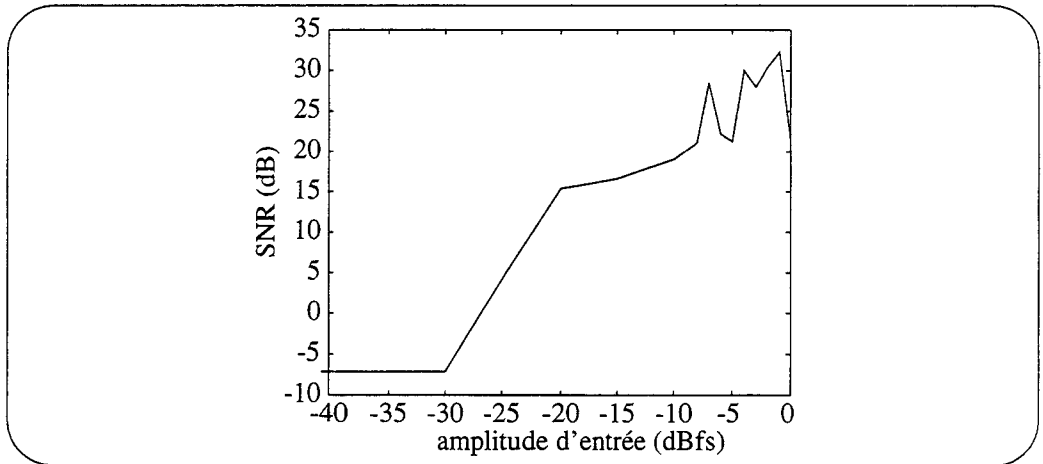


Figure II.30 Courbe SNR issue de simulation d'un modulateur du 1er ordre avec un OSR de 16

En reprenant l'exemple de la figure II.13, la valeur continue ($3/5 \cdot \Delta/2$) est correctement codée, mais la nature périodique de la sortie exclut l'hypothèse de bruit de quantification blanc. Le spectre de sortie montre la puissance du signal continu aux très basses fréquences et un bruit de quantification possédant un spectre de raies aux multiples de la fréquence du cycle.

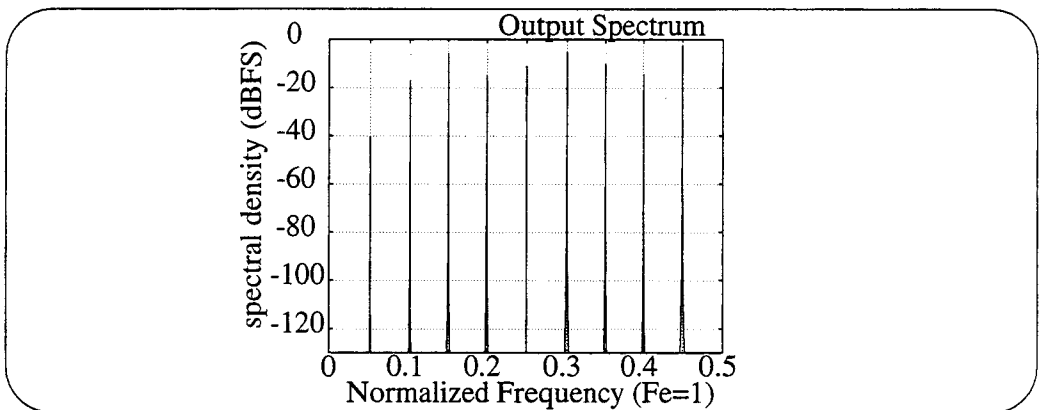


Figure II.31 Densité spectrale de puissance pour l'entrée continue $3/5 \cdot \Delta/2$

Par contre, une attention particulière doit être portée sur l'analyse des résultats pour une valeur continue de l'entrée. En effet, la notion de Rapport Signal à Bruit est inadaptée. La seule quantité objective est la puissance de bruit de quantification dans la bande utile.

Dans le cas de l'entrée continue à $3/5 \cdot \Delta/2$, le cycle de codage est relativement court. Si la Bande Utile est petite, l'intégralité du bruit de quantification se situe hors de la bande utile, l'erreur de conversion est donc nulle.

Si la valeur de l'entrée diffère de $3/5 \cdot \Delta/2$ d'une valeur ϵ , la sortie est pratiquement identique au cas précédent. Sauf que, toutes les Δ/ϵ périodes, un saut de phase se produit. Il est accompagné d'une impulsion supplémentaire. Cette irrégularité est de fréquence basse et les raies qui la composent se situent, filtrées certes, presque toutes dans la bande de utile.

Ainsi, alors que d'après les hypothèses le bruit de quantification est réparti de 0 à $F_c/2$, la plus grande partie de ce bruit se situe entre 0 et F_b . La puissance de bruit dans la bande utile est donc bien supérieure à la prévision de la modélisation linéaire pour certaines valeurs continues en entrée.

Dans le cas général, le bruit de quantification est corrélé au signal d'entrée et il possède un spectre de raies. L'hypothèse de bruit blanc n'est acceptable que si ces raies sont suffisamment rapprochées pour couvrir l'ensemble du spectre.

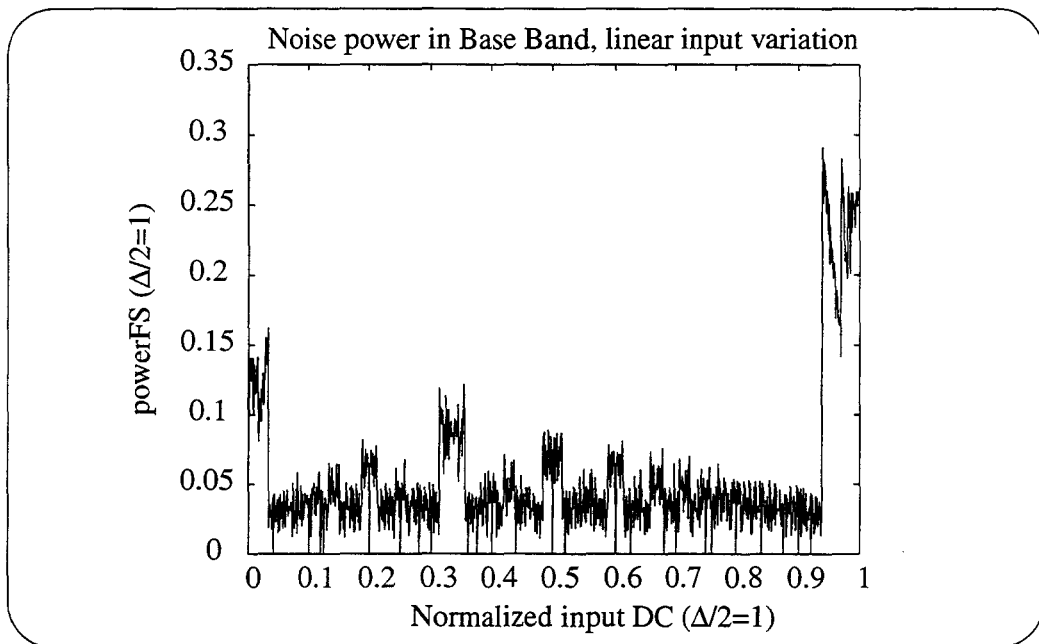


Figure II.32 Puissance de bruit dans la Bande de Base pour les entrées continues et un OSR de 16

Une explication de cette figure repose sur le repliement de la valeur absolue de l'erreur de quantification [CAN81] et son expression peut être déterminée de façon littérale.

L'histogramme des valeurs prises par une entrée sinusoïdale permet, par intégration du bruit de quantification, d'expliquer les irrégularités de la courbe SNR issue de la simulation.

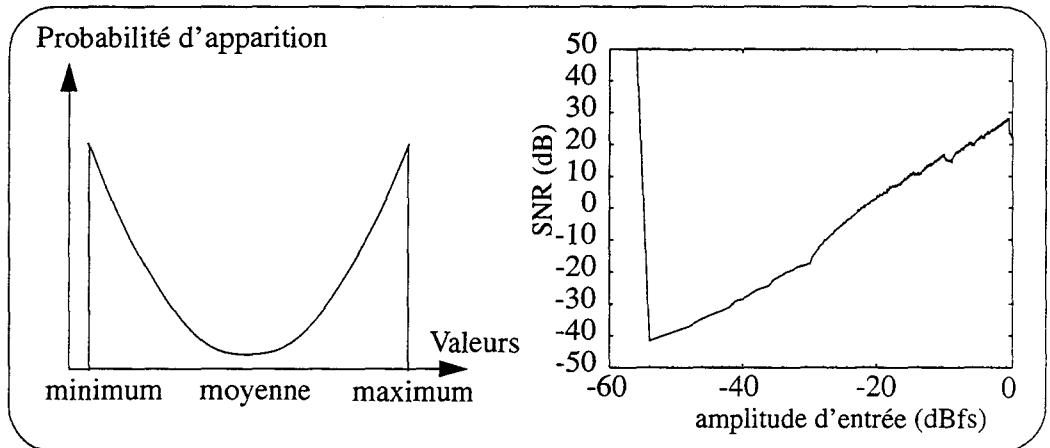


Figure II.33

**Densité de valeur d'une sinusoïde
et estimation du SNR dans la Bande Utile par évaluation du bruit.**

Il faut remarquer que la courbe de SNR fonction de l'amplitude d'entrée du signal utile masque partiellement la nature non-uniforme du bruit de quantification. L'erreur de conversion d'une valeur statique peut excéder de beaucoup les performances annoncées du modulateur. Aussi, la valeur maximale de puissance de bruit (P_{bM}) de quantification dans la bande utile (pour une plage d'entrée donnée) est un paramètre aussi essentiel que le SNR maximal ou que la linéarité du DAC. Cette structure garantit qu'il n'y a pas de code manquant. Mais un pic de bruit de quantification de 6dB par rapport à la valeur du modèle linéaire sur une valeur continue correspond, justement, à la puissance de bruit généré par un code manquant.

Plusieurs techniques permettent de diminuer les effets de ces cycles limites:

l'addition d'un signal de type "bruit" en entrée de l'ADC ("dither") permet de décorrélérer le bruit de quantification du signal d'entrée. Toutefois, cette solution est pénalisante tant au niveau des performances (même filtré, ce bruit apparaît en bande de base) que de la stabilité (car le gain équivalent de l'ADC diminue quand l'amplitude de son entrée augmente).

l'utilisation d'un filtre instable empêche la corrélation entre l'entrée du modulateur et la quantification. Par contre, une partie du bruit de cette quantification apparaît, atténuée certes, en sortie. Cela diminue la qualité de la modulation.

La présence d'un filtre dégénéré présente tous les désavantages. La susceptibilité à ces phénomènes non-linéaire est renforcée et une partie de l'erreur de quantification n'est pas filtrée en sortie.

II.2.4 Etude du système non linéaire.

II.2.4.1 Définition de l'espace d'état

Les effets décrits au paragraphe précédent sont dûs aux approximations linéaires faites pour pouvoir décrire les caractéristiques fréquentielles de la modulation Sigma-Delta. Ces approximations permettent, en outre, de trouver ces caractéristiques sans faire d'hypothèse directement sur le signal d'entrée du modulateur (en fait, ces hypothèses sont indirectes).

Mais l'utilisation de la valeur maximale de bruit (PbM) en Bande Utile comme paramètre essentiel du modulateur met au centre de l'étude le fonctionnement du modulateur avec une entrée continue. Or, la caractérisation du système bouclé qu'est le modulateur Sigma-Delta, voit son étude simplifiée par la fonction non-linéaire utilisée (un simple seuillage). Les caractéristiques sont calculables de façon littérale pour une entrée continue.

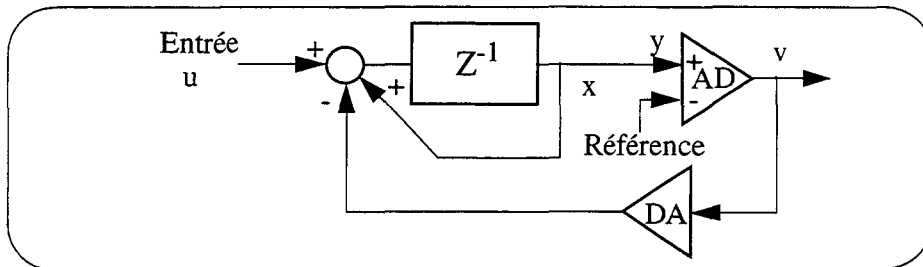


Figure II.34 Modulateur du 1er ordre en Z^{-1}

Le modulateur étudié est un système du premier ordre, puisque le filtre de boucle comporte un seul pole. Ce filtre étant implémenté à l'aide d'un intégrateur, l'unique élément du vecteur d'état en est la sortie. Ainsi, les équations du système échantillonné sont:

$\begin{cases} x_{n+1} = x_n + u - v \\ v = \pm\Delta/2 \end{cases}$	(II.14)
--	---------

Si le signal d'entrée u est continu, les équations peuvent être résolues par zones, où v est constant:

$\begin{cases} x(n+1) = x(n) + u - \Delta/2 & \text{pour } v > 0 \\ x(n+1) = x(n) + u + \Delta/2 & \text{pour } v < 0 \end{cases}$	(II.15)
--	---------

Ces équations dépendent de la valeur de l'entrée. Graphiquement, deux champs de vecteurs d'évolution constants se font face sur l'axe de représentation du vecteur d'état, dont les deux demi-droites constituent les zones de résolution des équations:

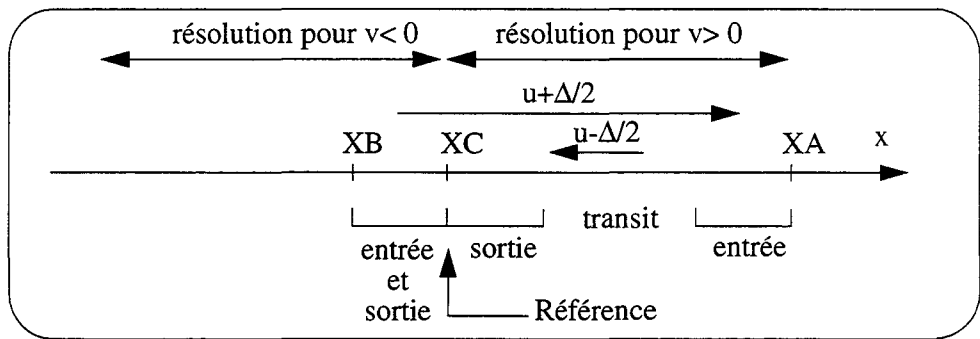


Figure II.35 Espace d'état du modulateur du premier ordre

Plusieurs zones cohérentes peuvent être extraites de ce graphique et, d'abord, le segment de dynamique d'état, entre les images (XA et XB) du niveau de comparaison XC par les deux transformations. Autour de ce niveau de comparaison, se situent les zones de sortie, à l'intérieur desquelles l'état du système est appelé à changer de demi-droite. Dans les zones d'entrée, le vecteur d'état arrive après ce changement de demi-droite. Enfin, des zones de transition qui recueillent les états dont le précédent et le suivant se situent sur la même demi-droite.

D'un côté, la zone de sortie recouvre la zone d'entrée. L'étendue et la répartition des zones de l'autre demi-droite sont fortement dépendantes de la valeur absolue de l'entrée u du système (de façon symétrique en fonction de son signe). Plus cette valeur est grande, plus la dissymétrie est importante: les zones de sortie et d'entrée se rétrécissent au profit de la zone de transition.

La modulation se fait par oscillation du vecteur d'état entre les deux demi-droites. Si u dépasse $\Delta/2$ en valeur absolue, le système n'est plus stable puisque l'image de l'une des demi-droites ne contient pas l'autre. L'oscillation disparaît, et le modulateur sature.

Sauf pour $u = \pm\Delta/2$, cet espace d'état ne contient pas de points singuliers, où le vecteur d'évolution est nul ($x_{n+1} = x_n$) [CHA95].

II.2.4.2 Cycles limites

Si les transformations d'une zone d'entrée donnent exactement la zone de sortie en un nombre fini de périodes, le comportement cyclique du modulateur est caractérisé. Tout point de l'espace d'état revient à lui même en un cycle limite de K étapes. Si cela se fait en une boucle, la condition suivante en découle.

$$u + \Delta/2 = -(K-1) \cdot (u - \Delta/2) \quad (\text{II.16})$$

Sa résolution donne, à entrée constante:

$$u_K = \pm(K-2)/K \cdot \Delta/2 \quad (\text{II.17})$$

La figure suivante illustre l'évolution de l'espace d'état pour l'exemple fourni à la figure II.13. où $K=5$:

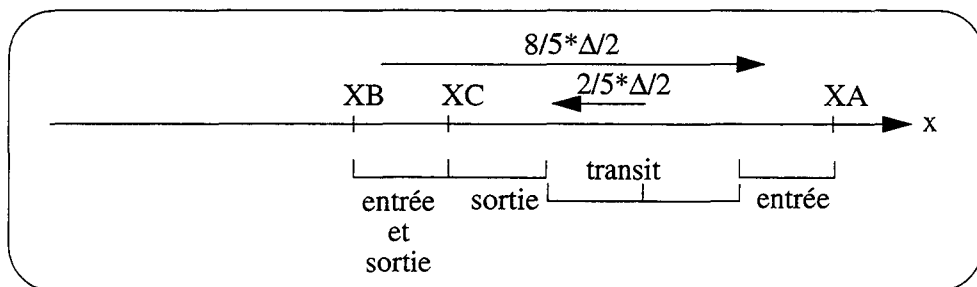


Figure II.36

Espace d'état du modulateur d'ordre 1 pour une entrée continue de $3/5 \cdot \Delta/2$

Mais les cycles limites peuvent apparaître pour des évolutions plus complexes de l'espace d'état. Ainsi, pour la valeur continue $2/5 \cdot \Delta/2$ les transformations de l'espace d'état sont les suivantes:

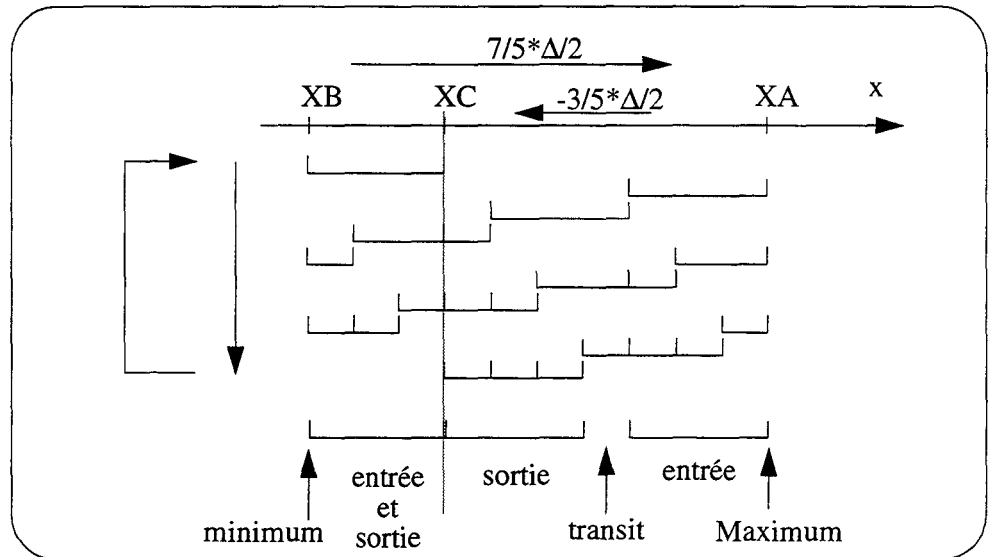


Figure II.37

Espace d'état du modulateur d'ordre 1 pour une entrée continue de $2/5 \cdot \Delta/2$

Si la valeur de l'entrée s'écarte de ε de l'une de ces valeurs, un décalage de $K\varepsilon$ est constaté à la fin du cycle limite. Un décalage s'opère toutes les $H = \Delta/\varepsilon$ étapes, générant une impulsion de codage de ε . Le cas le plus défavorable est pour $H = 2 \cdot \text{OSR}$, car c'est le phénomène le plus rapide (donc charriant le plus de puissance) dont la fréquence se situe en Bande de Base (où, en plus, elle est le moins bien filtrée). D'où $\varepsilon_{\text{def}} = \Delta / (2 \cdot \text{OSR})$. Ainsi, à ordre donné, les pics de puissance de bruit en Bande Utile sont d'autant moins larges et moins élevés (car ce phénomène subit le filtrage calculé à l'aide du modèle linéaire) que l'OSR est élevé.

II.2.4.3 Stabilité, dynamique du signal d'entrée

Le modulateur Sigma-Delta du premier ordre est stable, car pour certaines valeurs de l'entrée, l'ensemble des champs de vecteurs d'évolution de l'espace d'état tendent à faire converger l'état au seuil de comparaison. Pour les niveaux d'entrée de $] \Delta/2, \Delta/2 [$, il est possible de borner la dynamique du vecteur d'état (valeurs maximum -en valeur absolue- des zones d'entrée): Δ .

II.2.4.4 Variation du signal d'entrée

Les zones d'entrée, de sortie et de transition ne sont définies qu'à valeur continue d'entrée fixée. Si cette valeur change brusquement, l'état du système (déterminé par l'ancienne valeur) peut se retrouver en dehors des zones définies pour la nouvelle valeur. Dans le cas d'un modulateur du premier ordre non-saturé, cela ne peut pas avoir de conséquences, dans la mesure où le champ de vecteur tend à stabiliser le système. Dans le cas général, la tolérance de variation de l'entrée est conditionnée par l'assurance de se trouver, quelque soit le point de fonctionnement dans l'espace d'état initial, en zone stable dans le nouveau champ de vecteur.

II.2.4.5 Introduction d'un dither.

L'effet observé au paragraphe II. 2. 3. 5 est dû à un fonctionnement cyclique du système non-linéaire qui contredit les hypothèses faites sur le bruit de quantification. Le signal présenté en entrée de l'ADC est parfaitement prévisible, la valeur du bruit de quantification l'est donc aussi, corrélée au signal d'entrée du modulateur. L'importance de cette corrélation étant liée à la nature de ce signal d'entrée.

Or, tout signal introduit en entrée de l'ADC se retrouve atténué par la NTF dans la sortie du modulateur. L'addition d'une tension aléatoire, appelée dither, en ce point du système permet de décorrélérer le bruit de quantification du signal d'entrée, tout en ayant un effet relativement faible sur les performances. Dans le cas d'une entrée continue, cela atténue le phénomène de cycles limites.

Au niveau système, le point de comparaison paraît flou et la période des cycles limites est rendue aléatoire autour de sa valeur théorique. Plus l'amplitude du dither est grande, plus son effet de décorrélation est important.

Toutefois en entrée de l'ADC, l'ajout de ce dither augmente l'amplitude du signal, dont il faut s'assurer qu'il reste dans la plage autorisée. Une excursion maximale peut être déterminée, en fonction de la stabilité souhaitée. Si l'amplitude du dither est limitée à $\pm\delta/2$, alors le maximum de la valeur de l'état est augmentée de $\delta/2$.

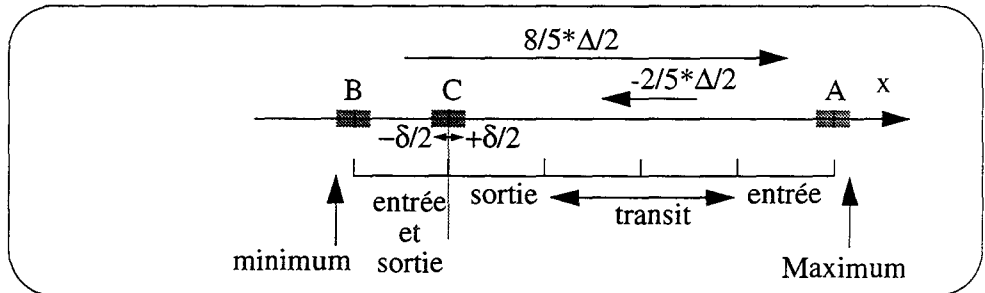


Figure II.38 Espace d'état du modulateur d'ordre 1 avec dither.

En fait, cette excursion maximale dépend de l'amplitude de l'entrée du modulateur. Il est possible de moduler ce paramètre en fonction de la valeur de l'entrée [NOR97, pp127-130], et d'en limiter ainsi l'action déstabilisante.

II.2.4.6 Filtre dégénéré et instable

L'introduction d'une erreur de gain transforme la structure des états d'un cycle limite. Les champs de vecteurs ne sont plus uniformes, puisque l'intensité du vecteur dépend du point auquel il s'applique. L'équation du cycle limite II. 2. 4. 2 devient

$$\alpha \cdot x_K + u_K + \Delta/2 = \alpha^K \cdot x_K + \sum_{h=0}^{K-1} \alpha^h \cdot (u_K - \Delta/2) \quad (\text{II.17})$$

dans laquelle, la valeur de x_K ne peut être éliminée.

Par contre, celle de u_K a été calculée et vaut $(K-2)/K \cdot \Delta/2$. Il est donc aisé de calculer une valeur pour x_K , sachant que les transformées successives de cette valeur vérifient également cette équation. Ainsi, l'une des valeurs stables de x_K vaut, pour α différent de un,

$$x_K = \frac{1}{1 - \alpha^K} \cdot \frac{-\Delta}{K} \cdot \left(\sum_{h=0}^{K-1} \alpha^h + K - 1 \right) \quad (\text{II.18})$$

avec

$$\sum_{h=0}^{K-1} \alpha^h = 1 + \frac{1 - \alpha^{K-1}}{1 - 1/\alpha} \quad (\text{II.20})$$

Pour N=5,

$$x_s = \frac{1}{1 - \alpha^5} \cdot \frac{-\Delta}{5} \cdot \left(\frac{1 - \alpha^4}{1 - 1/\alpha} + 5 \right) \quad (\text{II.21})$$

Conformément à l'équation (II.18), si une perturbation ε intervient à l'entrée ou sur l'une des valeurs de x_K , alors, au bout de H périodes, l'écart à la valeur x_K est de

$$\varepsilon \cdot \alpha^H \quad (\text{II.22})$$

II.2.4.6.1 Filtre dégénéré

L'utilisation d'un filtre dégénéré a surtout des répercussions dans le cas d'une entrée continue avec présence de cycles limites. En effet, si l'état du modulateur ne décrit qu'approximativement le cycle défini au paragraphe II. 2. 4. 2, c'est pour converger vers le cycle stable décrit ci-dessus. En effet, tout écart à ce cycle tend à diminuer au cours du fonctionnement, comme l'indique l'équation (II.22) pour $\alpha < 1$.

II.2.4.6.2 Filtre instable

Par contre, si le filtre est instable (i.e. $\alpha > 1$) cet écart tend à augmenter de façon exponentielle. Cet écart provoque, au bout d'un certain nombre de cycles, un changement de signe de l'état par rapport au cycle limite concerné. La séquence de sortie, ainsi modifiée, n'est plus cyclique.

De plus, cet écart grandissant finit par amener l'état du système proche d'une autre valeur du cycle limite; d'avec lequel l'écart va augmenter au cours des périodes suivantes, et ainsi de suite. Ce mouvement d'attraction-répulsion fait du cycle limite, calculé plus haut, un attracteur étrange pour l'état du système. Ceci est caractéristique d'un système chaotique, dans lequel l'état du système décrit une trajectoire de type fractal. Le fonctionnement du modulateur avec un filtre instable est donc chaotique [MOT96].

II.2.4.6.3 Stabilité

Le système est instable si, avec une valeur d'entrée permettant un fonctionnement stable, les valeurs de l'état ne peuvent être bornées. Si l'état a une valeur positive, alors la condition de stabilité est :

$$u_M - \Delta/2 > (\alpha - 1) \cdot x_M \quad (\text{II.22})$$

Pour un filtre dégénéré, la plage d'entrée stable s'accroît quand α diminue, tandis que pour un modulateur chaotique, cette plage diminue quand α augmente. Deux points singuliers apparaissent au delà desquels le système est définitivement instable pour les valeurs de l'entrée permises [CHA95]. Ces points ($+x_M$ et $-x_M$) dépendent de la plage d'entrée stable définie en entrée (entre $+u_M$ et $-u_M$)

$$x_M = \frac{u_M - \Delta/2}{(\alpha - 1)} \quad (\text{II.23})$$

II.2.4.7 Affinage du modèle linéaire

Pour chaque valeur continue, il est possible de déterminer la trajectoire de l'état du système. Cela permet, par calcul statistique, de déterminer la probabilité des valeurs de cette variable. Muni de ces informations, il devient possible d'affiner le modèle de gain de l'ADC. Le développement d'un prédicteur [ARD87] basé indirectement sur cette méthode donne des résultats plus proche de la réalité que le modèle linéaire à gain fixe unitaire.

II.2.5 Architectures de modulateur du premier ordre

Il existe différentes structures permettant le filtrage du bruit de quantification ("noise shaping") en plus du modulateur Sigma-Delta étudié jusqu'ici.

Le modulateur Sigma-Delta est le plus utilisé en conversion analogique-numérique, mais les autres structures sont parfois mieux adaptées pour la conversion numérique-analogique ou pour développer un formalisme.

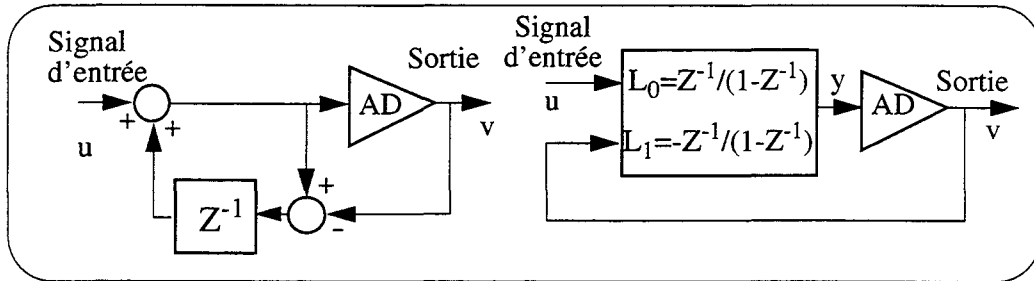


Figure II.39 Architectures de 1^{er} ordre à Rebouclage d'erreur ("Error Feedback") et Séparation de canaux

II.3 Analyses du modulateur d'ordre 2

L'analyse du fonctionnement temporel du modulateur du deuxième ordre est comparable à celle de l'ordre 1. Comme aucune nouvelle notion ni nouveau formalisme ne peut être introduit ici, il est préférable de passer directement à l'étude de ce modulateur à l'aide des modèles linéaire et non-linéaire.

Le modulateur d'ordre 2 ouvre plusieurs possibilité d'interaction des signaux du modulateur. Toutes ces possibilités sont développées plus loin, aussi la structure de référence de type "Candy" (dont le dénominateur de la NTF est unitaire) sert-elle de support à toutes les analyses de ce chapitre.

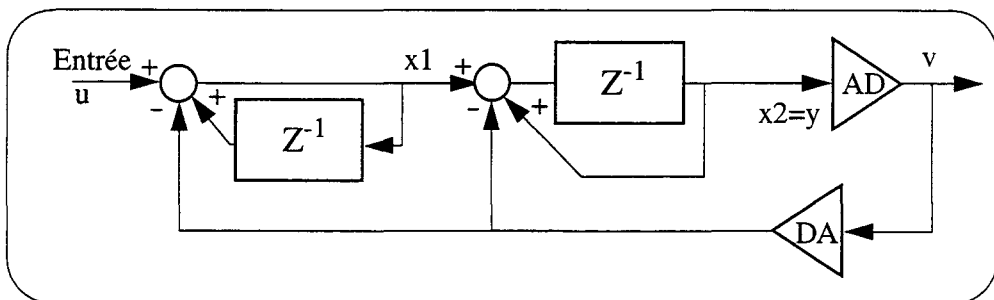


Figure II.40 Modulateur de référence de type "Candy".

II.3.1 Analyses linéaires

II.3.1.1 Calcul de la NTF

Avec le modèle linéaire de l'ADC, les équations d'un tel modulateur sont, dans l'espace Z,

$$\begin{cases} x_1 = Z^{-1} \cdot (x_1 + u - v) \\ x_2 = Z^{-1} \cdot (x_1 + x_2 + u - v) \\ v = x + b \end{cases} \quad (\text{II.24})$$

qui permettent le calcul de la sortie:

$$v = Z^{-1} \cdot u + (1 - Z^{-1})^2 \cdot b \quad (\text{II.25})$$

Le bruit de quantification est filtré par une fonction du deuxième ordre, qui est la NTF du modulateur d'ordre 1 élevée au carré. Les caractéristiques fréquentielles de gain de cette nouvelle fonction sont:

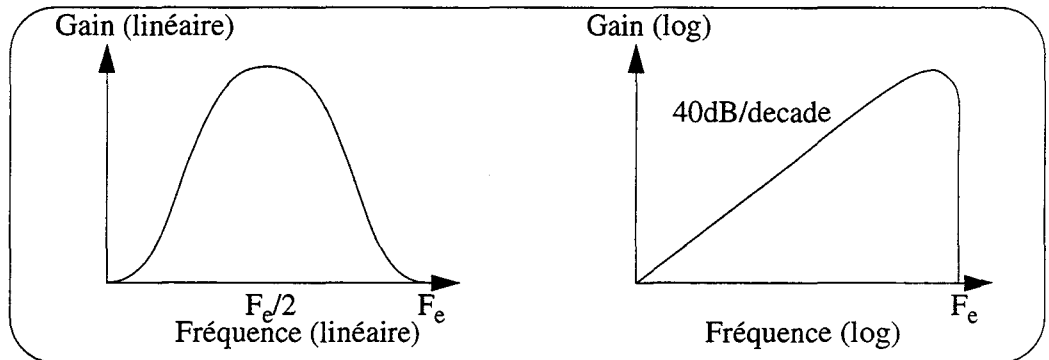


Figure II.41 Gain de la NTF du deuxième ordre, NTF2

d'où la nouvelle valeur du SNR

$$\text{SNR} = \frac{V_a^2}{2 \cdot e_{\text{RMS}}^2 \cdot \frac{\pi^4}{5} \cdot (2 \cdot F_b \cdot T_e)^5} = V_a^2 \cdot \frac{5 \cdot (\text{OSR})^5}{e_{\text{RMS}}^2 \cdot 2 \cdot \pi^4} \quad (\text{II.26})$$

Ainsi, la valeur maximale du SNR est non-seulement fonction de l'OSR, mais aussi de l'ordre du filtre de boucle du modulateur.

II.3.1.2 Modèle linéarisé à séparation de canaux

A partir de la figure II.40, le filtre de boucle linéaire peut être décrit de façon à séparer le filtrage du signal d'entrée et celui du signal de sortie rebouclée.

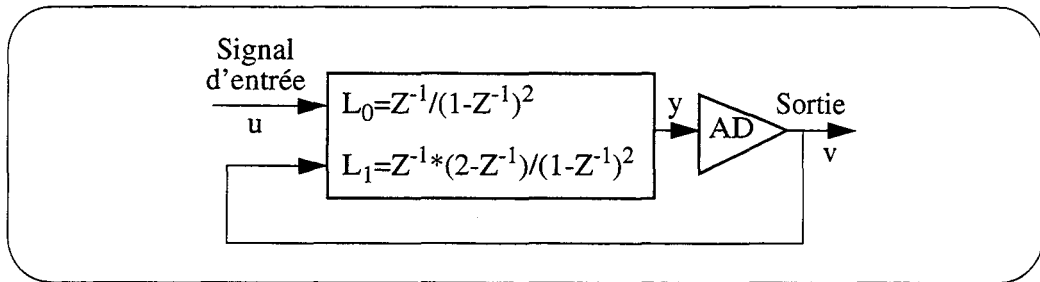


Figure II.42 **Modèle de modulateur à séparation de canaux**

Sur ce schéma, il apparaît clairement que seul L_1 peut influencer sur la stabilité du système, L_0 étant en dehors de la boucle. Le dénominateur de ces deux fonctions de transfert est commun et vaut $(1-Z^{-1})^2$. Par contre, les numérateurs dépendent des coefficients du filtre. La sortie s'écrit:

$v = \frac{L_0}{1-L_1} \cdot u + \frac{1}{1-L_1} \cdot b$	(II.27)
---	---------

Ces fonctions de transfert peuvent s'écrire en fonction de la NTF:

$L_0 = \text{STF}/\text{NTF}$ $L_1 = (\text{NTF} - 1)/(\text{NTF})$	(II.28)
---	---------

II.3.1.3 Point d'introduction de bruit dans le filtre

Comme pour le modulateur d'ordre 1, un bruit peut être introduit à l'entrée et aux sorties des intégrateurs:

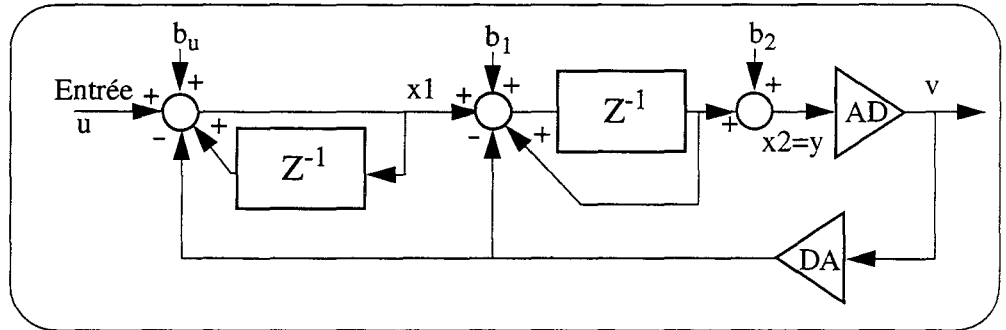


Figure II.43 Introduction de sources de bruit dans le filtre

Les équations dans l'espace Z sont

$\begin{cases} x_1 = Z^{-1} \cdot (x_1 + (u + b_u) - v) \\ x_2 = Z^{-1} \cdot (x_2 + (x_1 + b_1) + (u + b_u) - v) \\ v = x + (b + b_2) \end{cases}$	(II.29)
---	---------

d'où l'expression de la sortie

$v = Z^{-1} \cdot (u + b_u) + Z^{-1} \cdot (1 - Z^{-1}) \cdot b_1 + (1 - Z^{-1})^2 \cdot (b + b_2)$	(II.30)
---	---------

En plus des effets déjà décrits lors de l'analyse du modulateur d'ordre 1, le bruit b_1 introduit en sortie du premier intégrateur subit une mise en forme du type NTF1. La règle est la suivante: toute perturbation (bruit, distorsion) dans le filtre est filtrée par les étages qui précèdent son point d'introduction: b_i subit un filtrage de type NTF $_i$.

Toutefois, la description de ce phénomène pour la distorsion mérite une justification. En effet, la présence de distorsion dans les intégrateurs amènent deux type d'effet. D'une part une distorsion du signal utile dont résulte l'apparition d'harmoniques de ce signal. D'autre part, la structure du bruit de quantification fait que l'essentiel de sa puissance se situe à des fréquences élevées. Toute distorsion tend, par intermodulation de signaux de fréquences proches, à replier une partie de cette puissance sur l'ensemble

du spectre. Cet effet est le plus sensible dans la bande de base, où le niveau initial de bruit est le plus faible. Les harmoniques comme le bruit de repliement sont filtrés par les fonctions de transfert décrites ci-dessus.

Les perturbations introduites au deuxième étages sont filtrées et les contraintes de qualité qui s'y rapportent sont donc réduites par rapport au premier intégrateur. Les caractéristiques de celui-ci (Equation II.30) limitent celle du modulateur tout entier. Ce principe est analogue aux contraintes applicable aux étages de toute fonction de filtrage ou d'amplification. Il convient de soigner particulièrement le (voire les) premier(s) étage(s) des filtres de boucle des modulateurs.

II.3.1.4 Etude des pôles et des zéros

Comme pour le modulateur du premier ordre, NTF2 peut être écrite en fonction du gain équivalent de l'ADC. L'évolution des pôles de cette fonction de transfert permet l'analyse de la stabilité du système.

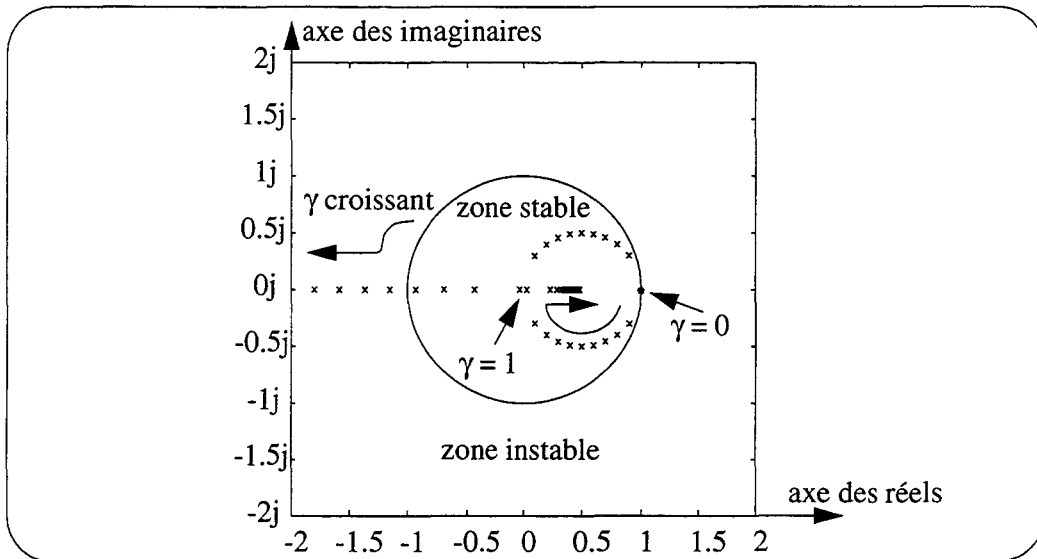


Figure II.44 Pôles (x) et Zéros (o) de NTF2 dans le plan complexe

A fort gain (soit à faible signal), les pôles sont réels et distincts: l'un provoquant le même type d'instabilité qu'au premier ordre, l'autre ayant peut d'effet puisqu'à l'intérieur du cercle unité. Quand le gain diminue, le pôle lié à l'instabilité entre dans la zone stable. Puis les pôles se rencontrent, avant de s'éloigner en décrivant un cercle dans le plan complexe. Enfin, à très faible gain, ils se rejoignent sur le cercle unité sans en sortir. Le modulateur du deuxième ordre est donc inconditionnellement stable dans cette configuration.

II.3.1.5 Filtres dégénéré et instable

La présence d'erreurs de gain dans les intégrateur a , comme dans le cas du modulateur du premier ordre, des répercussions sur la qualité de la modulation. Dans le plan complexe, le signe de α est d'une importance extrême puisqu'il peut augmenter ou diminuer la stabilité du système en modifiant la place des pôles et des zéros. Si un filtre dégénéré stabilise le système en plaçant les pôles à l'intérieur du cercle unité pour γ nul, un filtre instable leur fait franchir la limite de stabilité.

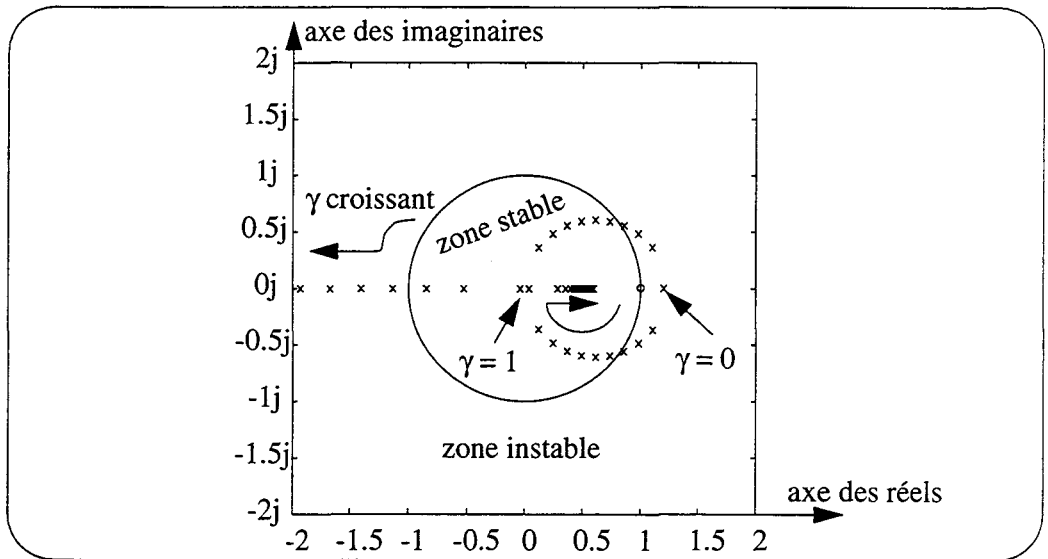


Figure II.45

Pôles (X) et zéros (o) de NTF2 pour un filtre chaotique

II.3.1.6 Limites du modèle linéaire

Les phénomènes non prévus par la modélisation sont les mêmes que pour l'ordre 1. Ils sont, par contre, atténués par l'ordre plus élevé du filtre. La figure de bruit, pour un OSR de 16, est la suivante, où les différences de puissance sont beaucoup plus faibles que précédemment:

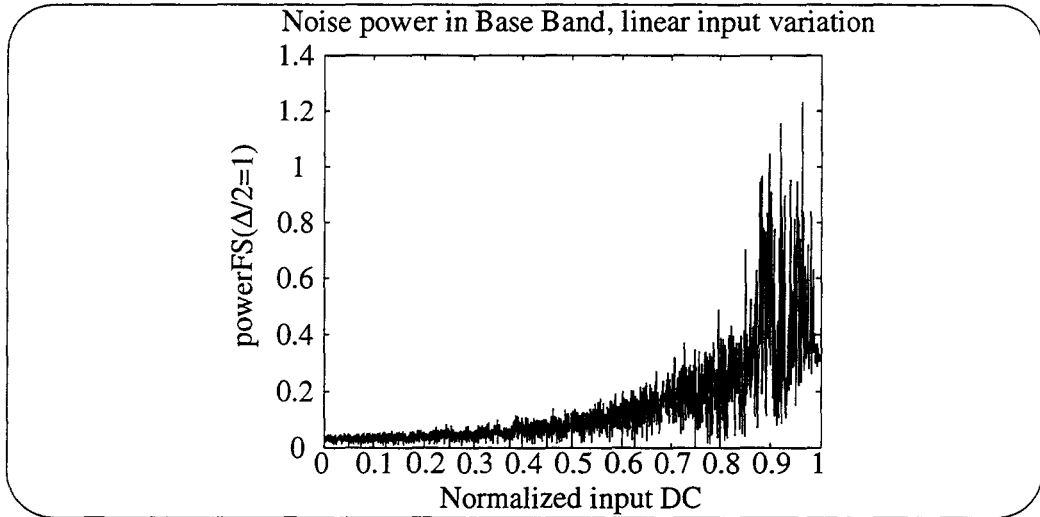


Figure II.46 Puissance de bruit en Bande de base pour les entrées continues d'un modulateur d'ordre 2 pour OSR=16

En conséquence, la courbe de SNR est plus régulière

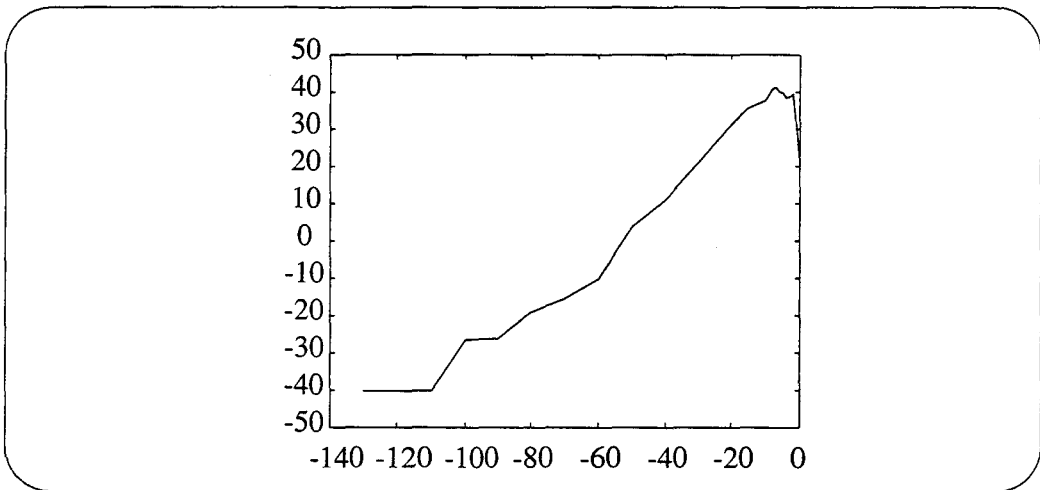


Figure II.47 Courbe SNR d'un modulateur d'ordre 2 (OSR=16)

II.3.2 Analyses du système non-linéaire

II.3.2.1 Définition de l'espace d'état.

Les équations du système non-linéaire que constitue le modulateur Sigma-Delta du deuxième ordre sont les suivantes:

$$\begin{cases} x_1 = Z^{-1} \cdot (x_1 + u - v) \\ x_2 = Z^{-1} \cdot (x_2 + x_1 + u - v) \\ v = x + b \end{cases} \quad (\text{II.31})$$

Une écriture matricielle plus compacte est possible:

$$\begin{cases} x_n = \begin{bmatrix} x_{n1} \\ x_{n2} \end{bmatrix} \\ x_{n+1} = Z^{-1} \cdot \left(A \cdot x_n + B \cdot \begin{bmatrix} u_n \\ v_n \end{bmatrix} \right) \\ y_n = C \cdot x_n + D \cdot \begin{bmatrix} u_n \\ v_n \end{bmatrix} \\ v_n = Q(y_n) \end{cases} \quad (\text{II.32})$$

où x est le vecteur d'état, A la matrice d'état du système. La matrice B régit les entrées. Les matrices C et D permettent la construction de l'entrée du comparateur. Les liens entre ces matrices et les coefficients du filtre sont expliqués plus loin.

Le système étant du deuxième ordre, son espace d'état (ou Plan de Phase), est un plan où les valeurs de sortie des deux intégrateurs peuvent être reportées comme coordonnées d'un point. Les matrices A et B définissent les règles d'évolution, tandis que de C et D découle l'équation de droite de séparation de zones (A peut intervenir si cette séparation n'est pas droite).

Comme dans le cas du modulateur du premier ordre à entrée u constante, les fonctions d'évolution de l'état peuvent être calculées pour les deux valeurs de la sortie v :

$\begin{cases} x_1(n+1) = x_1(n) + u - \Delta/2 \\ x_2(n+1) = x_2(n) + x_1(n) + u - \Delta/2 \end{cases} \quad \text{pour } v > 0$ $\begin{cases} x_1(n+1) = x_1(n) + u + \Delta/2 \\ x_2(n+1) = x_2(n) + x_1(n) + u + \Delta/2 \end{cases} \quad \text{pour } v < 0$	(II.33)
---	---------

Il est possible de trouver des courbes d'évolution paraboliques pour chacune de ces équations, dont chaque faisceau n'est valable que pour un point de départ dans l'un des demi-plans définis par l'axe horizontal [SCH97][NOR97, pp149-152].

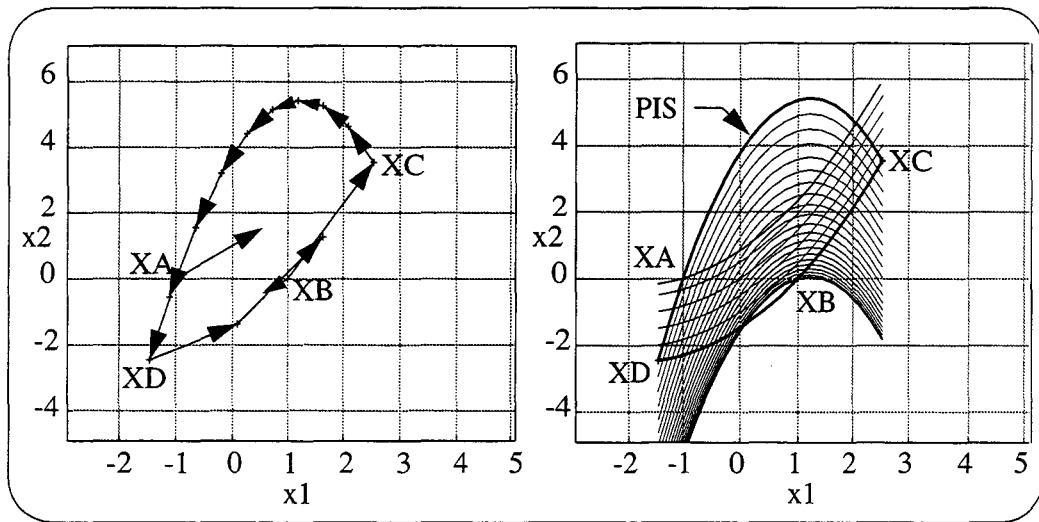


Figure II.48 **Forme du PIS, vecteurs d'évolution et courbes d'évolution.**

D'où l'aspect de l'espace d'état avec les champs de vecteurs d'évolution. Le lieu des états stables est délimité par les courbes contenant les points $XA = (-\Delta/2, 0)$ et $XB = (\Delta/2, 0)$. Ces points sont remarquables au niveau système, car ils constituent les états de départ les plus défavorables du système. En effet, pour l'une des valeurs de la sortie v , ils sont projetés aux intersections des courbes de limite de l'espace d'état (XC et XD). En fonctionnement stable, l'état est appelé à rester entre les courbes définies ici, car la portion de plan concave qu'elles délimitent contient sa propre image. Cet espace est dénommé zone de stabilité ou "Positively Invariant Set" (PIS).

Le caractère spécial de ces points remarquables est le prolongement des propriétés de l'axe horizontal (limité ici au segment compris entre ces deux points) de l'espace d'état. Il est comparable au point C du modulateur du premier ordre, et son image n'est pas définie dans l'absolu. En effet, il ne permet pas une détermination rigoureuse de v , donc de la transformation qu'il doit subir. Une transformation des limites de $(x_1, \pm \varepsilon)$ quand ε tend vers 0 permet de calculer les deux images du segment.

Si on calcule également les images des points XC et XD en accord avec les demi-plans où ils se trouvent, les transformées des deux zones homogènes de la zones de stabilité. Ces transformées permettent de délimiter les zones d'entrée, de sortie et de transit de chacun des demi-plans.

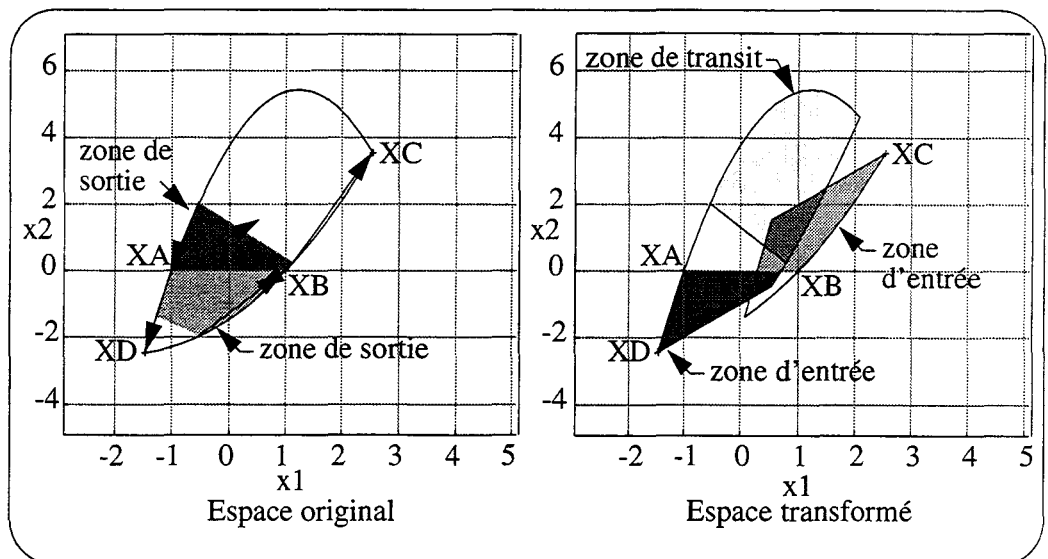


Figure II.49

Zones de sortie et d'entrée

De plus, les transformations successives (voir figure II.50) de la zone de stabilité convergent vers un espace plus petit, appelée zone de convergence, entièrement incluse dans le PIS. C'est une zone (non concave) à l'intérieur de laquelle l'état du système est appelé à converger et à s'y maintenir, quel qu'ait pu être son point de départ (à entrée u constante).

C'est à partir de considérations géométriques de cette zone, qu'un excellent estimateur de dynamique d'état a pu être développé [FAR98].

Il reste toutefois que l'analyse de cet espace d'état est balbutiante. Les outils d'étude des systèmes non-linéaires continus [CHA95] existent et sont efficaces pour en prédire le fonctionnement. L'utilisation de ces outils dans le cadre d'une modélisation en Z n'a pas encore été complètement exploitée. Des résultats importants pourraient en découler rapidement.

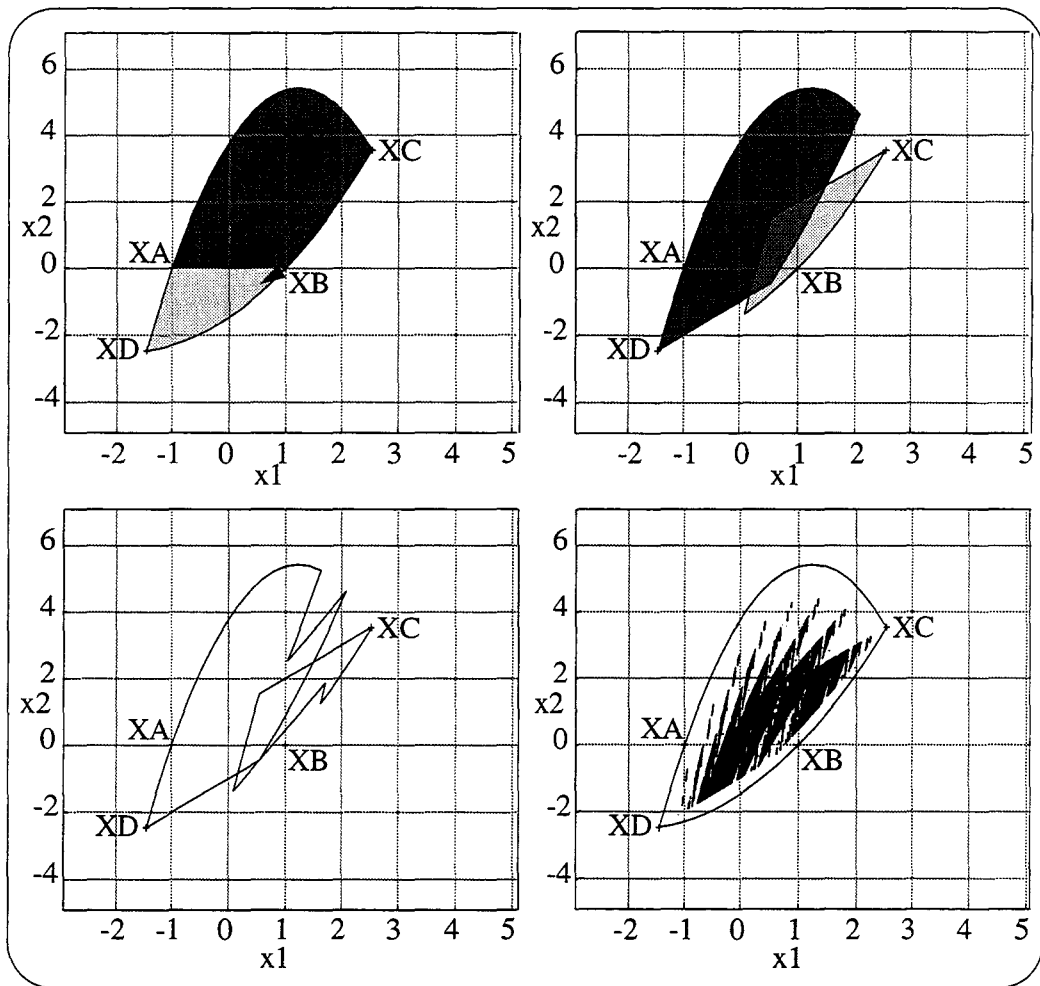


Figure II.50

**Zone de convergence, espace initial,
après une transformation, puis deux, puis 70**

II.3.2.2 Stabilité

II.3.2.2.1 A entrée constante

La stabilité du modulateur du deuxième ordre est inconditionnelle (si l'entrée u est dans la plage de stabilité).

Mais, la taille du PIS dépend de la valeur absolue de l'entrée u [SCH97]. Plus elle est grande, plus un déséquilibre apparaît entre les deux demi-plans.

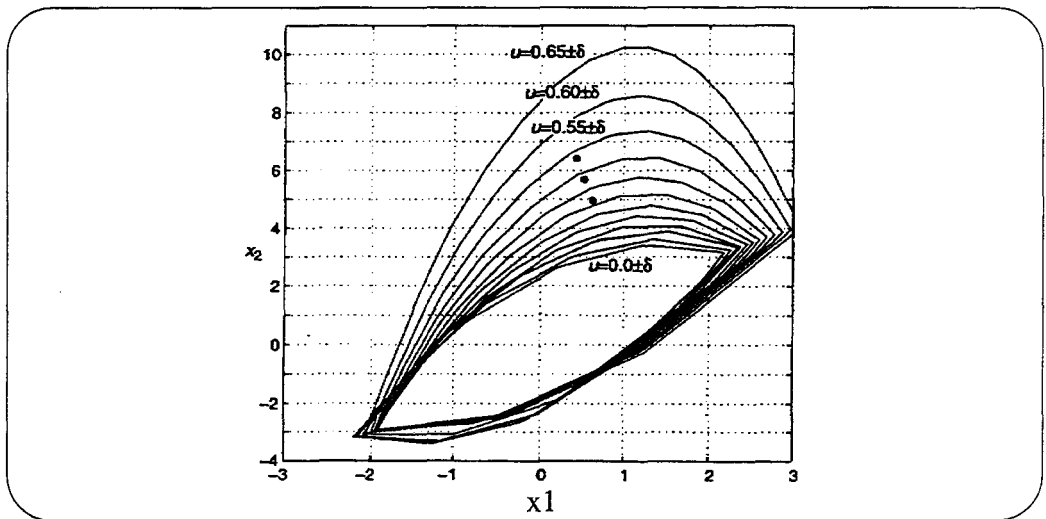


Figure II.51 Variations du PIS pour différentes entrées continues [SCH97].

II.3.2.2.2 Avec variation de l'entrée

Pour simplifier et généraliser, il ne faut considérer que les états situés à l'intérieur du PIS comme stables. Comme le PIS est dépendant de l'entrée u , la condition de stabilité peut être trouvée [SCH97]:

Partant d'une valeur U , une variation Δu de l'entrée du modulateur doit permettre que la zone de convergence pour U soit incluse dans le PIS pour $U+\Delta u$.

Cette définition n'est vraie que pour une évolution par échelon isolé de l'entrée. En effet, elle fait l'hypothèse que l'état se trouve en zone de convergence pour la valeur de départ. Or après variation, l'état du système est bien à l'intérieur du PIS de $U_2=U+\Delta u$, mais peut être hors de la zone de convergence. Il lui faut alors un certain nombre de périodes (sur le modèle de captation développé ci-dessus) pour l'atteindre, qui dépend de la nouvelle valeur de l'entrée et de l'amplitude de la variation.

II.3.2.3 Filtres dégénérés et instables

Le caractère dégénéré ou instable du filtre modifie, en plus des fonctions de transformation, leur limite d'influence. Cette séparation n'est plus droite. Les calculs étant relativement compliqués, ils ne sont pas détaillés ici. Le lecteur peut les trouver dans les références [FAR98][MOT96].

II.3.3 Architectures simple boucle

Outre le modulateur à rebouclage d'erreur, le modulateur d'ordre 2 ouvre plusieurs possibilités d'interaction des signaux du modulateur:

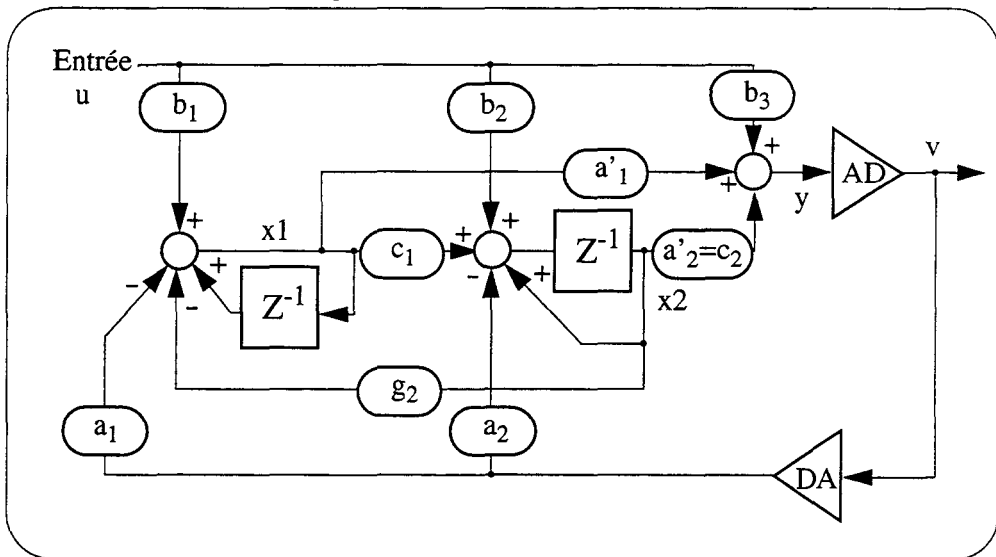


Figure II.52 Structure générale du modulateur simple boucle d'ordre 2

Toutefois, la conception des modulateurs repose sur des techniques de filtrage basées sur des sous-familles de cette structure générale. Ainsi, les coefficients a_i et a'_i exercent la même influence sur les caractéristiques du filtre. Deux types de filtres peuvent donc avoir les mêmes caractéristiques.

II.3.3.1 Architecture de filtre

L'architecture de type rebouclages multiples ("Multiple Feedback" ou FB) implique que les coefficients a_i' sauf c_2 sont nuls. Les équations du système découlent des coefficients de la façon suivante:

$$\begin{cases} \mathbf{x} = \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \\ \mathbf{x} = \mathbf{Z}^{-1} \cdot \left(\begin{bmatrix} 1 & 0 \\ c_1 & 1 \end{bmatrix} \cdot \mathbf{x} + \begin{bmatrix} b_1 & -a_1 \\ b_2 + b_1 & -a_2 - a_1 \end{bmatrix} \cdot \begin{bmatrix} \mathbf{u} \\ \mathbf{v} \end{bmatrix} \right) \\ \mathbf{y} = \begin{bmatrix} 0 & c_2 \end{bmatrix} \cdot \mathbf{x} + \begin{bmatrix} b_3 & 0 \end{bmatrix} \cdot \begin{bmatrix} \mathbf{u} \\ \mathbf{v} \end{bmatrix} \\ \mathbf{v} = \mathbf{Q}(\mathbf{y}) \end{cases} \quad (\text{II.34})$$

Parallèlement, la structure à somme d'état ("Feed-Foward" ou FF avec a_i sauf b_1) donne les équations suivantes:

$$\begin{cases} \mathbf{x} = \begin{bmatrix} x_1 \\ x_2 \end{bmatrix} \\ \mathbf{x} = \mathbf{Z}^{-1} \cdot \left(\begin{bmatrix} 1 & 0 \\ c_1 & 1 \end{bmatrix} \cdot \mathbf{x} + \begin{bmatrix} b_1 & -1 \\ b_2 + b_1 & 0 \end{bmatrix} \cdot \begin{bmatrix} \mathbf{u} \\ \mathbf{v} \end{bmatrix} \right) \\ \mathbf{y} = \begin{bmatrix} a'_1 & a'_2 \end{bmatrix} \cdot \mathbf{x} + \begin{bmatrix} b_3 & 0 \end{bmatrix} \cdot \begin{bmatrix} \mathbf{u} \\ \mathbf{v} \end{bmatrix} \\ \mathbf{v} = \mathbf{Q}(\mathbf{y}) \end{cases} \quad (\text{II.35})$$

II.3.3.2 Retards en chaîne directe

La contrainte de causalité impose au moins un retard entre le dernier rebouclage et la valeur de codage. Les différentes architectures de réalisation de modulateur sont:

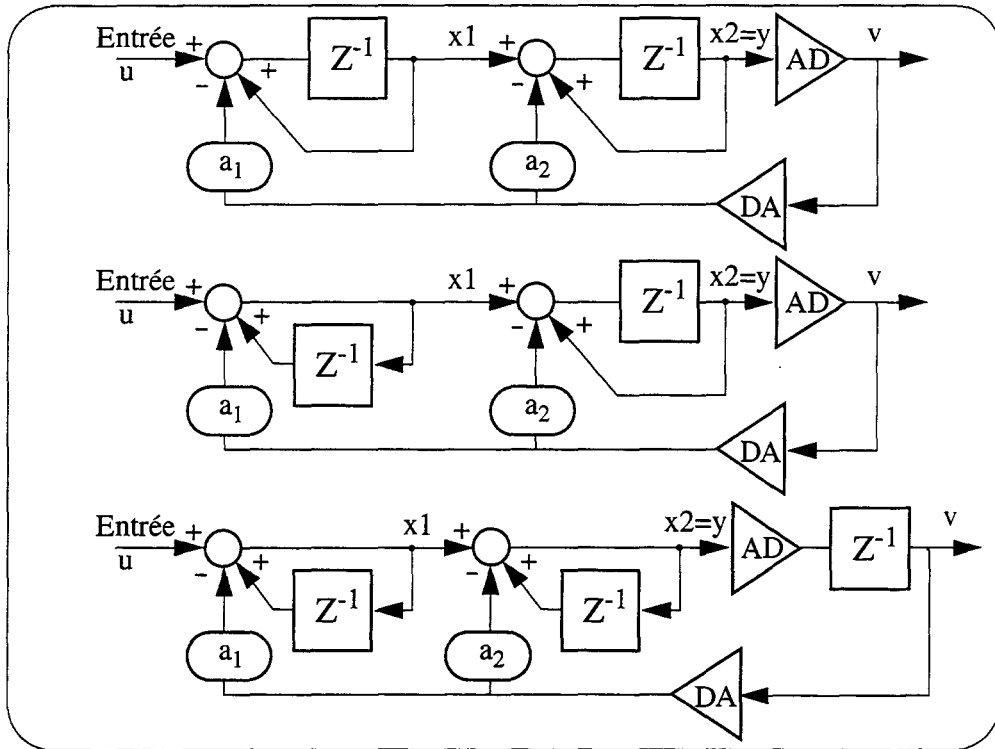


Figure II.53 Répartition des retards dans la chaîne directe.

II.3.3.3 Rebouclage interne au filtre

La définition de la qualité du filtre est plus compliquée qu'au premier ordre. Car il y a plusieurs formes de dégénérescence/instabilité, en fonction des caractéristiques de chacun des étages.

Tableau II.1 : Statut du filtre en fonction des caractéristiques de ses étages.

Etage 1 \ 2	dégénéré	instable
dégénéré	dégénéré	dégénéré ou instable
instable	dégénéré ou instable	instable

De plus, un rebouclage interne au filtre déplace, si g_2 est négatif, les pôles sont à une fréquence non nulle. La fonction de filtrage est de type Passe-Bas résonnant et la NTF du modulateur possède un zéro de transmission à cette fréquence.

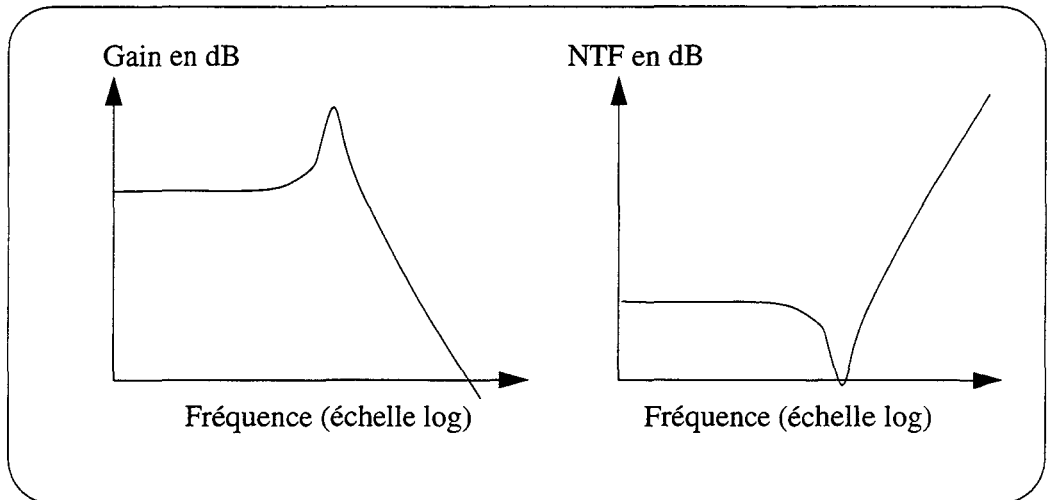


Figure II.54 Fonction de transfert du filtre et NTF du modulateur.

Les modulateurs de type Passe-Bande utilisent le même principe, avec des filtre dont le rebouclage interne est important (le gain en basses fréquences est donc faible) ou avec des circuits résonnant à temps continu (passif ou à transconductance).

II.3.4 Architectures Cascadées

Un filtrage du bruit de quantification du second ordre peut également être effectué à l'aide de deux modulateurs du premier ordre, dont le second convertit le bruit du premier. La recombinaison des sorties vise à annuler le bruit du premier modulateur.

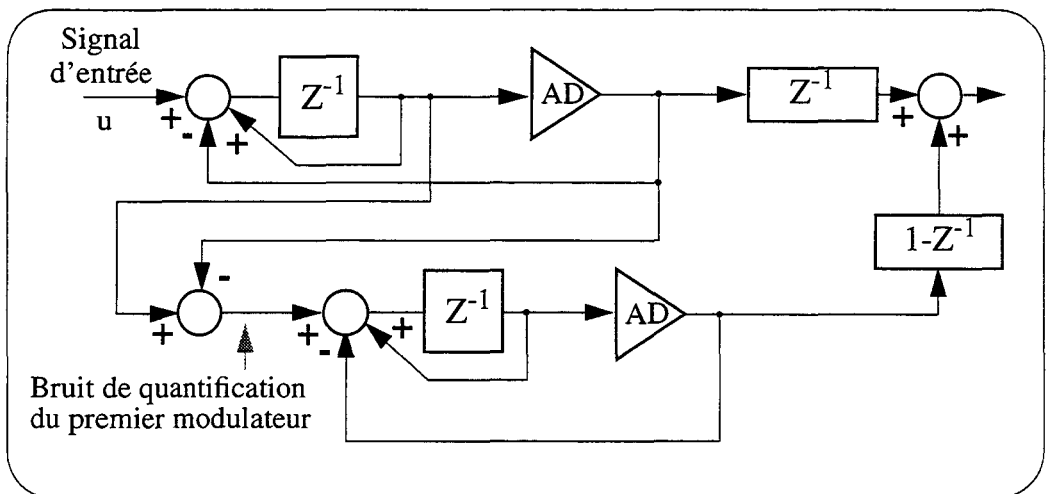


Figure II.55 Structure MASH

Toutefois, cette architecture est très contraignante pour le calcul du bruit de quantification du premier étage: ce soustracteur subit les mêmes contraintes de gain que le premier étage (voir Chapitre suivant). Aussi, la structure suivante est-elle généralement préférée:

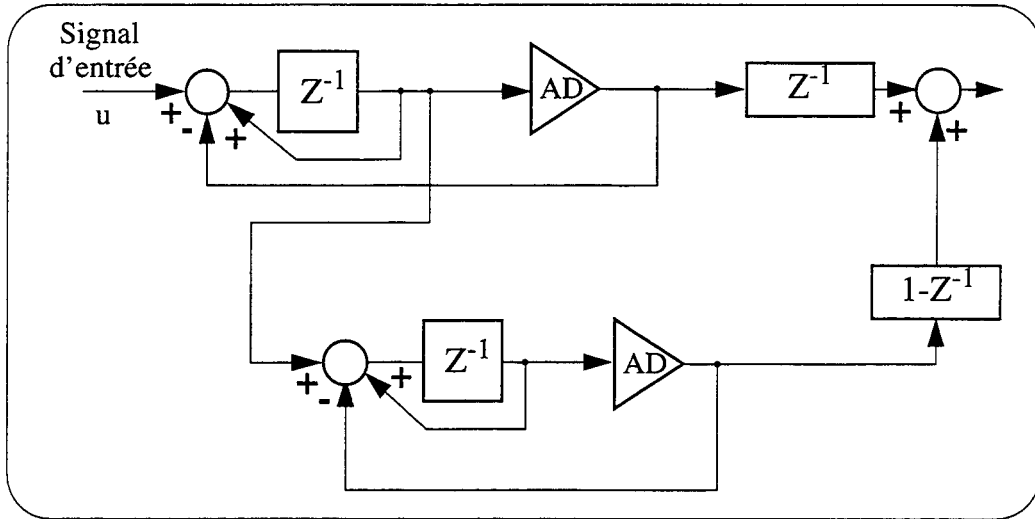


Figure II.56

Structure MASH modifiée

L'entrée subit un léger filtrage de type $1+\cos(x)$, dont l'influence est bien plus faible que celle de l'étage de décimation en $\sin(x)/x$.

II.4 Modulateur d'ordre supérieur à 2

II.4.1 Architectures

Les architectures des modulateurs d'ordre supérieur à 2 reprennent les structures évoquées ci-dessus. Les cascades de modulateurs sont souvent limitées à 2, rarement à 3 et jamais plus. Ces modulateurs, simple boucle ou cascades, sont de type rebouclage multiple ou somme des états.

Les filtres de boucles utilisent les briques de base que constituent les filtres du premier et deuxième ordre détaillés dans ce chapitre.

II.4.2 Etude du système non-linéaire

L'état d'un modulateur d'ordre N se situe dans un espace à N dimensions. Les calculs, déjà complexes dans le cas de l'ordre 2, s'en trouvent encore compliqués. Des notions avancées de topologie sont nécessaires.

La seule tentative concerne la détermination du PIS [SCH97]. Par contre, elle est basée sur une série de simulations numériques et n'en donne donc qu'une valeur approchée.

Les principales caractéristiques des modulateurs d'ordre élevé ne proviennent pas, dans l'état des connaissances, d'une analyse de type système non-linéaire.

II.4.3 Analyse linéaire, formes stables et performances

Ces caractéristiques proviennent donc de l'analyse linéaire de leur fonctionnement. Celle-ci fournit des résultats sur la stabilité et les performances de codage, mais est incapable d'estimer analytiquement des caractéristiques comme la dynamique d'état.

En extrapolant les performances des modulateurs d'ordre 1 et 2, le SNR maximal peut être calculé en fonction de l'ordre de la modulation et de l'OSR.

Mais, les modulateurs d'ordre élevé (supérieur à 2) ne sont pas stables a priori. Le critère de stabilité a été précisé par R. Schreier dans [SCH93] sur la base des techniques utilisées en filtrage. Les caractéristiques de stabilité sont déduites de la place des pôles et des zéros de la NTF dans le plan complexe.

Le compromis stabilité/qualité du codage est optimisé par l'utilisation d'un gabarit de type Butterworth. Avec cette contrainte de stabilité, le SNR maximal devient [SCH93][NOR97, pp153-154]

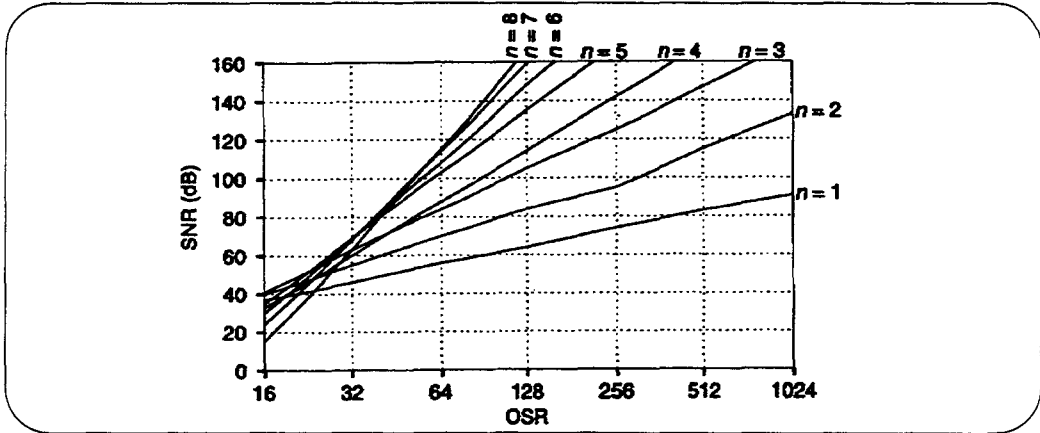


Figure II.57 SNR maximum fonction de l'ordre (n) et de l'OSR, pour les gabarits de type Butterworth de la NTF [SCH93].

Les performances de codages sont nettement diminuées par cette contrainte, et les ordres très élevés de modulateur ne paraissent plus avoir d'intérêt. Or le placement des zéros de la NTF dans la Bande de Base influe sur les performances de SNR. Aussi, un placement optimal de ces zéros permet une amélioration d'autant plus sensible des performances que l'ordre est élevé. La méthode d'optimisation consiste à trouver le minimum de puissance en Bande de Base d'un bruit blanc filtré par la NTF. Le SNR maximal vaut [SCH93][NOR97, pp154-155]:

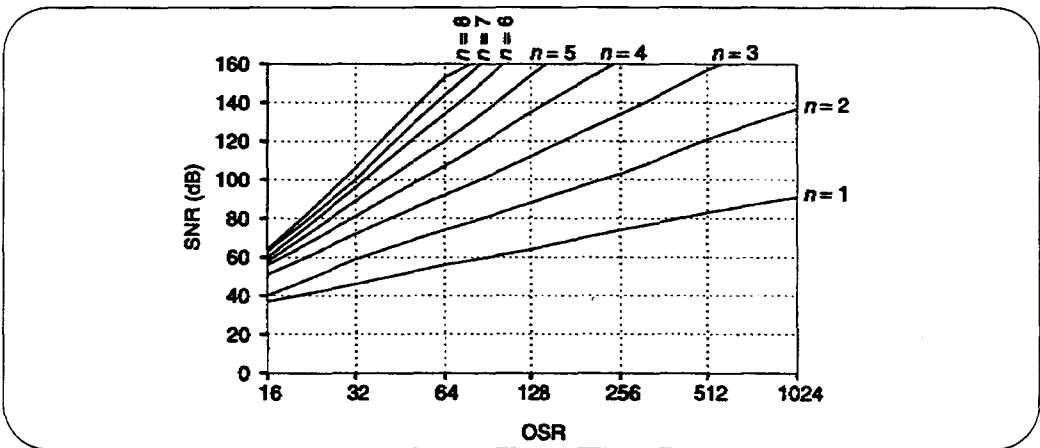


Figure II.58 SNR maximum fonction de l'ordre et de l'OSR, avec répartition des zéros dans la Bande Utile [SCH93].

Toutefois, il faut tempérer ces résultats, car d'autres contraintes font que cette structure optimale ne peut pas toujours être utilisée. Ainsi, il est préférable que le premier étage définisse un zéro en DC de la NTF, pour que les offsets des autres étages soient annulés. Dans le cas d'un modulateur d'ordre pair, cela oblige à sacrifier deux zéros double dans la Bande Utile pour les placer en DC.

Une procédure de synthèse et d'optimisation des coefficients a pu être définie [SCH93], qui est détaillée et utilisée au Chapitre IV.

II.5 Références bibliographiques

- [ARD87] S. H. Ardalan and J. J. Paulos, "Analysis of non-linear behavior in delta-sigma modulators" in IEEE Trans. Circuits and Systems, vol. CAS-37, pp. 593-603, Jun. 1987.
- [BAI95] R. T. Baird and T. Fiez, "Improved $\Delta\Sigma$ DAC linearity using data weighted averaging", Proc. 1995 IEEE Integrated Symposium on Circuits and Systems, vol. 1, pp. 13-16, May 1995.
- [CAN81] J. C. Candy and O. J. Benjamin, "The Structure of Quantization Noise from Sigma-Delta Modulation", IEEE Trans. Commun., vol. COM-29, pp 1316-1323, September 1981. Reprinted in [CAN92] pp 52-59.
- [CAN92] J. C. Candy and G. C. Temes, "Oversampling Delta-Sigma Data Converters", editor: IEEE Press (New York, USA), 1992, ISBN 0-87942-295-8.
- [CAR88] L. R. Carley and J. Kenney, "A 16-bit 4th order noise-shaping D/A converter", Proceeding of the 1998 IEEE Custom Integrated Circuits Conference, pp. 21.7.1-21.7.4, Rochester, NY-USA, May 1998.
- [CHA95] J.-C. Chauveau, "Systèmes Asservis Linéaires et Non-Linéaires", editor: Educavivres (Paris, France), 1995, ISBN 2-7135-1521-1.
- [CUT60] C. G. Cutler, "Transmission system employing quantization", U.S. Patent n° 2,927,962, 8 Mars 1960 (dépot en 1954).
- [FAR98] Ronan Farrell and Orla Feely, "Bounding the Integrator Outputs of Second-Order Sigma-Delta Modulators" in IEEE Trans. Circuits and Systems- II, vol. 45, pp. 691-702, Jun. 1998.

- [HAY86] T. Hayashi and al., "A multistage delta-sigma modulator without double integration loop", ISSCC Dig. Techn. Pap., pp.182-183, Feb. 1986.
- [KIN98] E. T. King and al., "A Nyquist-Rate Delta-Sigma A/D Converter", in IEEE Journal of Solid-State Circuits, vol. 33, n° 1, Jan 1998.
- [INO62] H. Inose, Y. Yasuda and J. Murakami, "A telemetring systme by code modulation - Σ - Δ modulation", IRE Trans. Space Electron. Telemetry, vol. SET-8, pp. 204-209, Sept. 1962.
- [LES90] T. C. Leslie and B. Singh, "An improved sigma-delta modulator architecture", IEEE Proc. ISCAS'89, vol. 1, pp 372-375, May 1990.
- [MAT] MATLAB, The MathWorks Inc., version 5.1.
- [MOT96] M. Motamed, S. Samders and A. Zakhor, "The Double Loop Sigma Delta Modulator with Unstable Filter Dynamics: Stability Analysis and Tone Behavior" in IEEE Trans. Circuit and Systems- II, vol. 43, n°8, pp. 549-559, Aug. 1996.
- [NOR97] S. R. Norsworthy, R. Schreier and G. C. Temes, "Delta-Sigma Data Converters", editor: IEEE Press (New York, USA), 1997, ISBN 0-7803-1045-4.
- [RIT77] G. R. Ritchie, "Higher order interpolation analog to digital converters", Ph.D. Dissertation, University of Pensilvania, 1977.
- [SCH93] Richard Schreier, "An Empirical Study of High-Order Single-Bit Delta-Sigma Modulators" in IEEE Trans. Circuit and Systems- II, vol. 40, pp. 461-466, Aug. 1993.
- [SCH95] Richard Schreier and B. Zhang, "Noise-Shaped multibit D/A converter employing unit elements" in Electron. Letters, vol. 31, n° 20, pp. 1712-1713, Sept. 1995.
- [SCH96] Richard Schreier and Bo Zhang, "Delta-Sigma Modulators Employing Continuous-Time Circuitry" in IEEE Trans. Circuit and Systems- I, vol. 43, pp. 324-332, Apr. 1996.
- [SCH97] Richard Schreier, Montgomery V. Goodson and Bo Zhang, "An Algorithm for Computing Convex Positively Invariant sets for Delta-Sigma Modulators" in IEEE Trans. Circuit and Systems- I, vol. 44, pp. 38-44, Jan. 1997.
- [SCH98] Richard Schreier, T. Shui and F. Hudson, "Modified Mismatch-Shaping for continuous-Time Delta-Sigma Modulators" in Proceedings of CICC98, editor: IEEE Press, ISBN 0-7803-4292-5, pp 11.1.1-11.1.4.

III Etude d'une structure nouvelle de modulateur.

Dans le cadre de la conversion analogique-numérique, une nouvelle structure de modulateur est proposée, qui permet de réduire l'amplitude de variation des états analogiques du modulateur. Cette structure est basée sur une symétrie entre un modulateur analogique et sa réplique numérique. Cette architecture est analysée et développée. Il est démontré qu'elle est comparable à un modulateur de type MASH. Cette structure n'est toutefois pas adaptée à la conversion haute précision. Par contre, une continuité formelle entre modulateurs simple boucle et cascadié est mise en évidence.

Dans ce chapitre, l'étude des modulateurs Sigma-Delta perd de sa généralité. Il s'agit, ici, de décrire la conception d'un convertisseur de données analogique-numérique de type Passe-Bas. Cela exclut donc les modulateurs numériques destinés à la conversion numérique-analogique, dont les contraintes propres sortent du cadre de cette étude. De même, les modulateurs Passe-Bande ne sont pas abordés.

Un modulateur de haute résolution à base de mémoires de courant a été conçu dans le laboratoire [MOE96]. Or la principale limitation de performance concernait le premier intégrateur.

Au chapitre II, la relation entre la qualité du premier étage du filtre et les performances du modulateur a pu être établie. Les deux paramètres les plus importants sont le rapport signal à bruit dans la bande de fréquences utilisées et la linéarité de l'intégrateur.

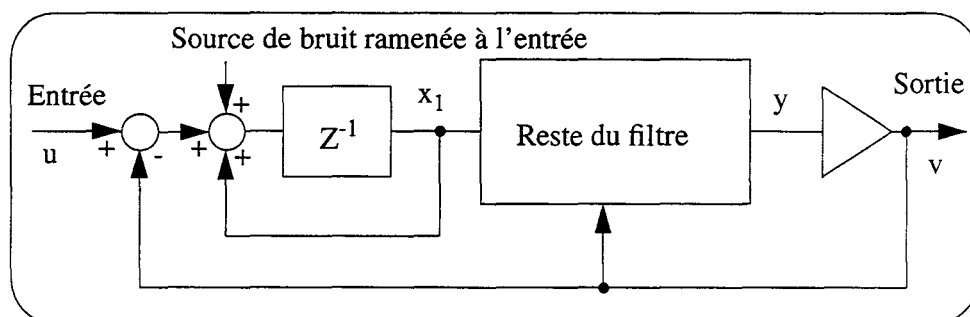


Figure III.1

Modulateur Sigma-Delta, schéma bloc généralisé.

Dans la réalisation de convertisseurs analogique-numérique basés sur la modulation Sigma-Delta, le contrôle de ces paramètres a un prix en terme de consommation d'énergie.

A puissance consommée donnée, il est impossible de descendre sous une valeur plancher de bruit ramené à l'entrée de l'intégrateur, calculable à partir des modèles des dispositifs (actifs: transistors... ou passifs: résistances...) constitutifs de la fonction. Ainsi, le rapport signal à bruit dépend directement de la puissance électrique du signal d'entrée, donc de son amplitude. Plus celle-ci est élevée, plus sa puissance est importante et plus le SNR est grand. De la contrainte de bruit, on déduit qu'il faut maximiser l'amplitude du signal utile à bruit constant.

Par contre, la fonction de transfert statique des composantes de l'intégrateur est, dans la plupart des cas, non-linéaire. La caractéristique linéaire est déduite de la tangente à cette fonction au point de fonctionnement nominal. Ainsi, plus l'amplitude du signal d'entrée est grand (éloigné du point de polarisation), plus la portion de fonction utilisée s'éloigne de la caractéristique linéaire et plus la distorsion augmente.

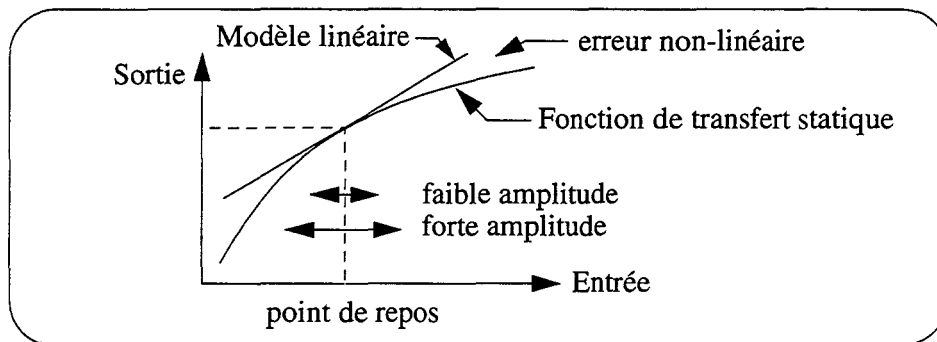


Figure III.2 Fonction de transfert statique et modèle linéaire.

Dans le cas d'une implantation par la technique des courants commutés, le paramètre le plus difficile à obtenir est la linéarité [MOE96]. En effet, le caractère non linéaire du transistor mémoire est compensé durant la phase d'acquisition, mais ne l'est plus vis à vis des perturbations en phase de restitution. Il convient donc, dans ce cadre, de réduire l'amplitude du signal présenté à l'entrée des cellules de retard.

III.1 Le principe de base.

Le principe d'une nouvelle architecture a été proposé par Messieurs Kaiser de l'IEMN-ISEN et Billet de Thomson Marconi Sonar. Elle repose sur un modulateur analogique classique et sur l'extraction d'une information de type numérique du signal analogique.

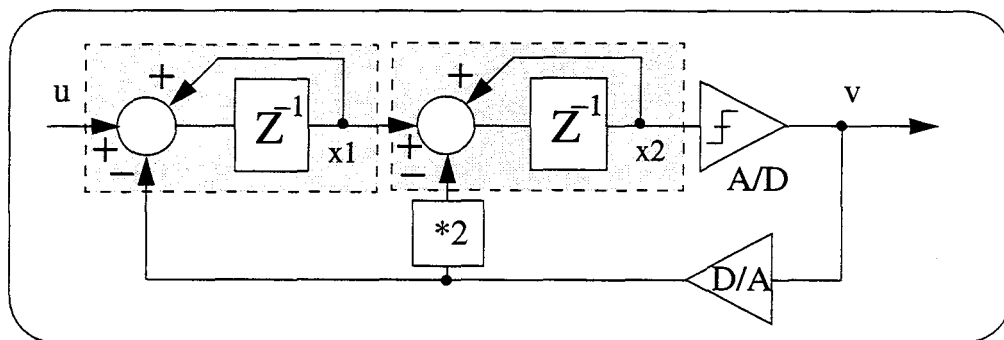


Figure III.3 Architecture d'un modulateur analogique du second ordre

Cette extraction est placée dans la boucle de chaque intégrateur du filtre du modulateur Sigma-Delta analogique. Les informations extraites sont prises en compte par une réplique numérique du modulateur analogique.

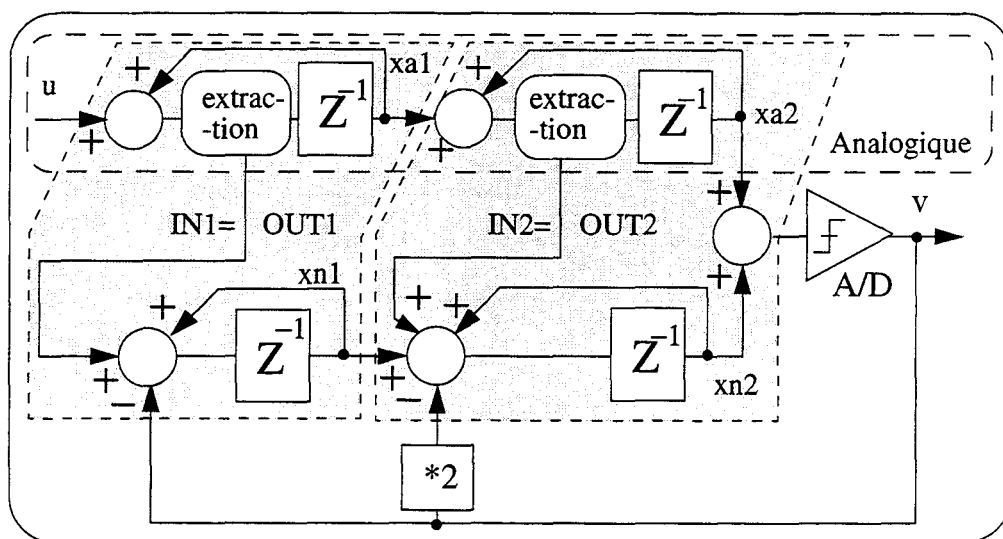


Figure III.4 Nouvelle architecture de modulateur du deuxième ordre

L'information extraite est le signe du signal analogique, et peut donc être codée de façon numérique. Une fois extraite, elle est soustraite du signal analogique:

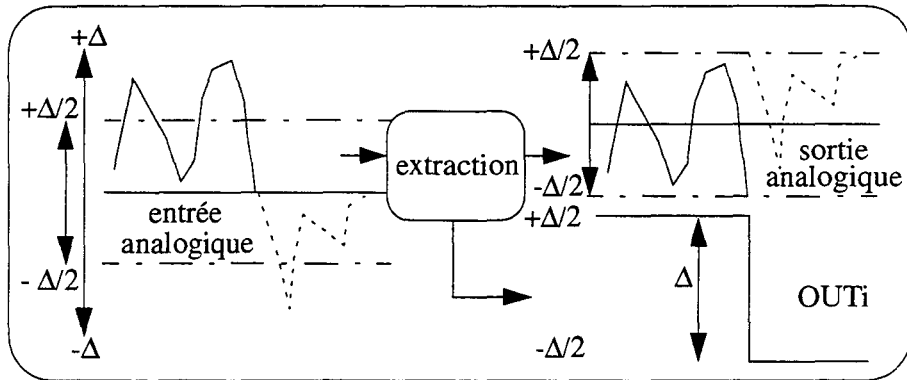


Figure III.5 Extraction d'une information numérique

Les valeurs attachées à l'information numérique sont donc $+\Delta/2$ et $-\Delta/2$.

Le cas d'une valeur nulle en entrée du comparateur n'est pas bien défini. Pour assurer la cohérence du modèle, il est impératif de considérer sa plage de variation comme $(-\Delta, -\epsilon) \cup (+\epsilon, +\Delta)$ avec ϵ tendant vers 0. Ainsi la dynamique de sortie de l'extracteur $(-\Delta/2 + \epsilon, \Delta/2 - \epsilon)$ est la moitié de celle de l'entrée. La linéarité de la fonction qui suit s'en trouve donc augmentée. Le SNR augmente également, car, à bruit constant, l'amplitude du signal utile est accrue.

Cet extracteur est constitué d'un comparateur qui détermine le signe (l'information numérique extraite) de l'entrée. Ce signe détermine la valeur de sortie d'un DAC. Elle est soustraite à l'entrée pour constituer la sortie analogique.

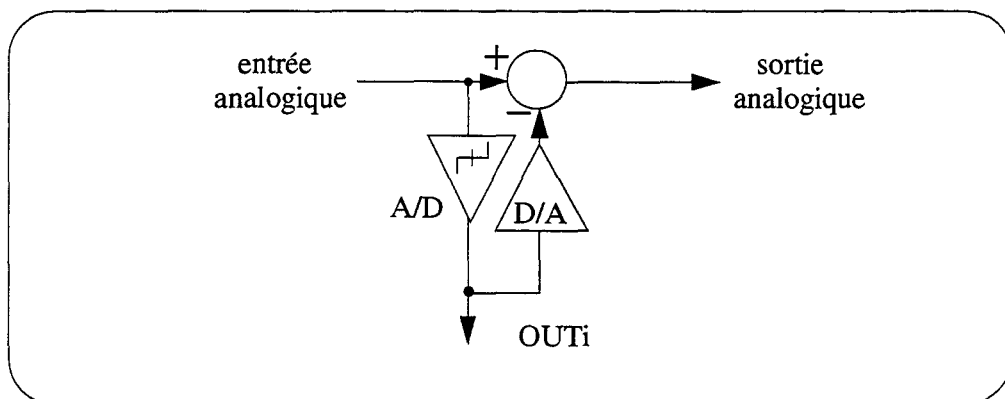


Figure III.6 Implémentation de l'extraction d'une information numérique

III.2 Analyses d'un modulateur symétrique du deuxième ordre.

L'application du principe décrit au paragraphe précédent à un modulateur du second ordre donne l'architecture suivante:

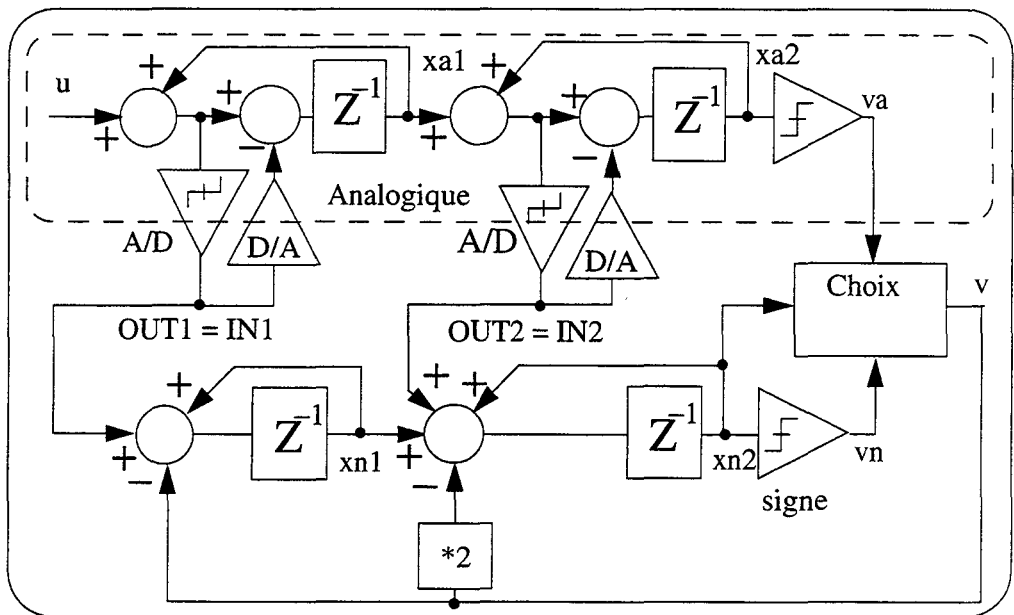


Figure III.7 Architecture du modulateur symétrique du second ordre

dont la symétrie des parties analogique et numérique est la principale caractéristique. Les équations d'état de cette structure, de vecteur $(x_{a1}+x_{n1}, x_{a2}+x_{n2})$, est strictement comparable aux équations de la structure analogique originale avec (x_1, x_2) .

La symétrie entre la circuiterie analogique et numérique permet de placer la contre-réaction de la valeur de sortie v de l'un ou l'autre côté. Ce rebouclage est préféré du côté numérique pour conserver une cohérence du format qui évite l'ajout d'un DAC dans le circuit.

Les valeurs de x_{a2} est toujours strictement inférieure à $\Delta/2$ en valeur absolue. Comme $x_{n2}=k*\Delta/2$, deux cas peuvent se présenter:

- $x_{n2}=0$ et c'est le signe de x_{a2} qui détermine v ,
- ou $x_{n2} \neq 0$, et suffit, seul, à définir v .

D'où le choix à effectuer entre v_a et v_n en fonction de x_{n2} :

$$v = v_a \text{ si } x_{n2} = 0$$

$$v = v_n \text{ si } x_{n2} \neq 0.$$

A ce point, une analyse séparée des parties numérique et analogique du modulateur n'est pas possible puisque la valeur de v peut provenir de l'une ou de l'autre au cours du fonctionnement. Pourtant une indépendance peut être trouvée.

III.2.1 Analyse de la partie numérique

III.2.1.1 Indépendance des deux parties

Les valeurs prises par x_{n1} et x_{n2} peuvent être déduites des équations de la partie numérique. Comme I_{N1} , I_{N2} et v prennent les valeurs $\pm\Delta/2$, les propriétés de parité de x_{n1} et x_{n2} (multiples de $\Delta/2$) peuvent être précisées. Ces équations deviennent, pour k_i et h_i entiers:

$\begin{cases} x_{n1_{n+1}} = x_{n1_n} + h_1 \cdot \Delta \\ x_{n2_{n+1}} = x_{n2_n} + x_{n1_n} + (2 \cdot h_2 + 1) \cdot \Delta/2 \end{cases}$	(III.1)
---	---------

avec

$\begin{cases} x_{n1} = k_1 \cdot \Delta/2 \\ x_{n2} = k_2 \cdot \Delta/2 \end{cases}$	(III.2)
--	---------

Donc

$\begin{cases} k_1' = k_1 + 2 \cdot h_1 \\ k_2' = k_2 + k_1 + 2 \cdot h_2 + 1 \end{cases}$	(III.3)
--	---------

La parité de k_1 étant stable, elle est directement liée à sa valeur d'initialisation. Pour k_2 , quatre cas se présentent:

initialisations k_1	k_2	pair	impair
pair		instable	instable
impair		pair	impair

Tableau III.1 : Parité de k_2 fonction des initialisations.

Pour les cas pair et instable, x_{n2} peut être nul, et la valeur de x_{a2} peut être nécessaire pour le calcul de v . Par contre, si les valeurs d'initialisation de k_1 et k_2 sont impaires, la valeur de x_{n2} n'est jamais nulle et l'utilisation de x_{a2} n'est jamais requise pour le calcul de v . D'où la simplification suivante:

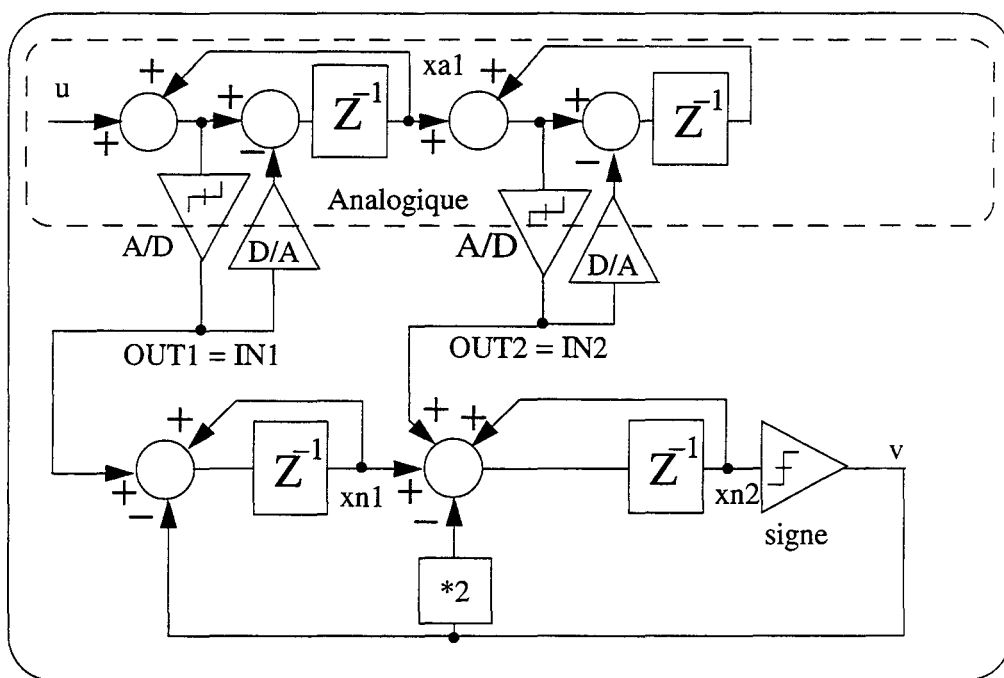
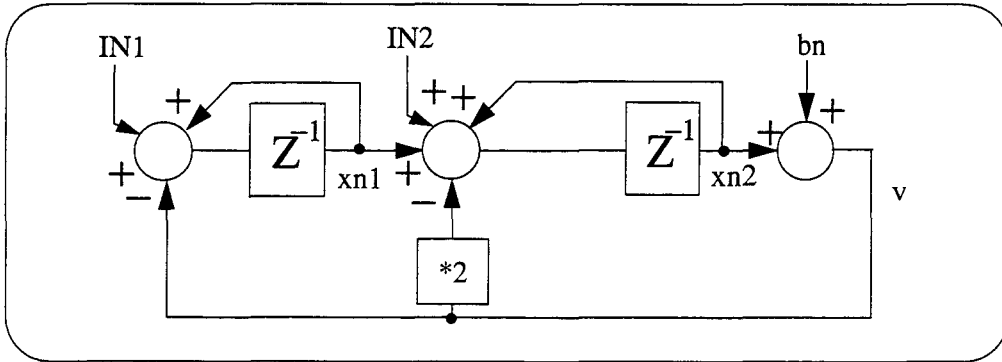


Figure III.8 Architecture simplifiée du modulateur symétrique

Cette hypothèse, qui permet une totale indépendance de fonctionnement des parties analogique et numérique, est retenue pour la suite de cette analyse.

III.2.1.2 Analyse séparée de la fonction numérique

Le modèle linéaire de la partie numérique est donc:



bn étant le bruit de quantification dû l'extraction du signe de $xn2$. Les équations sont:

$\begin{cases} xn1_{n+1} = Z^{-1} \cdot (xn1_n + IN1 - v) \\ xn2_{n+1} = Z^{-1} \cdot (xn2_n + IN2 + xn1_n - 2 \cdot v) \\ v = xn2 + bn \end{cases}$	(III.4)
--	---------

On peut en déduire

$v = Z^{-2} \cdot IN1 + Z^{-1} \cdot (1 - Z^{-1}) \cdot IN2 + (1 - Z^{-1})^2 \cdot bn$	(III.5)
--	---------

III.2.2 Analyse de la partie analogique

Cette partie est composée de deux étages identiques, dont le modèle linéaire est:

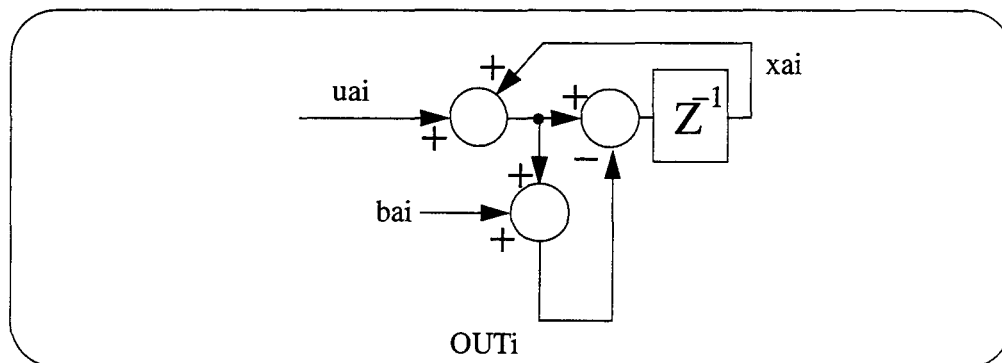


Figure III.9 **Modèle linéaire d'un étage analogique**

On peut en déduire les équations:

$\begin{cases} \text{OUT}_i = (\text{uai} + \text{xai}) + \text{bai} \\ \text{xai} = \text{uai} - \text{OUT}_i \end{cases}$	(III.6)
---	---------

et l'expression des sorties à l'aide de la transformée en Z

$\begin{cases} \text{OUT}_i = \text{uai} + (1 - Z^{-1}) \cdot \text{bai} \\ \text{xai} = -Z^{-1} \cdot \text{bai} \end{cases}$	(III.7)
--	---------

Le signal d'entrée de chaque étage est donc extrait par la sortie numérique, et seul subsiste l'erreur de conversion dans la boucle locale de contre-réaction. La composante analogique du vecteur d'état ne contient que le bruit de la quantification effectuée localement.

La fonction de filtrage de bruit (NTF) du premier ordre apparaît clairement dans l'expression des sorties numériques.

L'architecture de cet étage est du type "à rebouclage d'erreur". Cette structure est surtout utilisée pour les modulateurs de conversion numérique-analogique.

III.2.3 Analyse du modulateur complet

A partir des équations (III.5) et (III.7), on déduit l'expression de la sortie

$v = Z^{-2} \cdot u + Z^{-1} \cdot (1 - Z^{-1})^2 \cdot ba2 + (1 - Z^{-1})^2 \cdot bn$	(III.8)
--	---------

où le bruit de quantification $ba1$ n'apparaît plus et où $ba2$ et bn sont filtrés par une fonction du deuxième ordre. Cela correspond bien à la fonction réalisée par le modulateur du deuxième ordre duquel est dérivé cette structure. Toutefois, le bruit de quantification provient de deux sources différentes, et leur somme peut dépasser le niveau de bruit du modulateur original.

Les simulations itératives réalisées sous Matlab [MAT] confirment cette analyse. Les courbes de SNDR de ces deux modulateurs sont comparables:

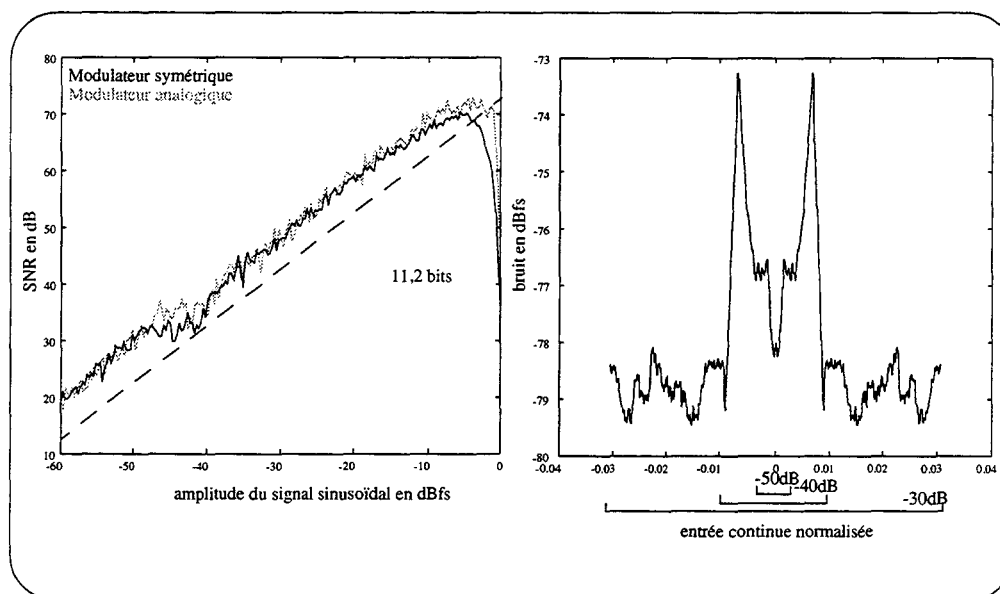


Figure III.10 SNDR et puissance de bruit à entrée continue du modulateur symétrique d'ordre 2

Les irrégularités du SNDR peuvent être expliquées par la puissance de bruit dans la Bande de Base en fonction d'une entrée continue (et pour laquelle l'hypothèse de bruit blanc n'est pas applicable). Certaines valeurs continues de l'entrée génèrent plus de bruit, et l'analyse des valeurs prises par l'entrée sinusoïdale montre que le maximum de

densité apparaît aux valeurs extrêmes (\pm l'amplitude). La dégradation maximale du SNDR intervient quand ce maximum correspond aux valeurs générant le plus de bruit. Cette caractéristique est expliquée plus longuement au chapitre II.

De même la perte de performances pour des valeurs élevées de l'amplitude d'une entrée sinusoïdale peut être expliquée par le comportement de la partie numérique. En effet, les valeurs prises par x_n divergent à mesure que cette amplitude augmente, signe d'une saturation de cette partie du système. En fait, c'est le codage de la sortie du modulateur qui montre ses limites: il est incapable, sur un seul bit, de coder la somme de toutes les combinaisons des deux entrées numériques de la structure décrite par l'équation (III.4). Ainsi, si l'une de ces combinaisons perdure en entrée (et leur probabilité d'apparition augmente en même temps que l'amplitude du signal d'entrée analogique), le vecteur d'état diverge et la qualité de la modulation diminue.

III.2.4 Modulateur à sortie multibit

Pour s'affranchir de cet effet, il suffit d'adopter un format de sortie qui permette le codage de toutes les combinaisons des entrées numériques: de $-3\Delta/2$ à $+3\Delta/2$. Ainsi, le seuillage de sortie de la partie numérique disparaît, et x_n est rebouclé directement. La sortie du modulateur est x_n , codé sur plusieurs bits. Ce modulateur est appelé "modulateur multibit", en référence au format de sa sortie.

L'équation de cette sortie devient:

$\mathbf{v} = \mathbf{Z}^{-2} \cdot \mathbf{u} + \mathbf{Z}^{-1} \cdot (1 - \mathbf{Z}^{-1})^2 \cdot \mathbf{b}a_2$	(III.9)
---	---------

et la disparition du bruit de quantification b_n permet d'améliorer le SNDR du modulateur:

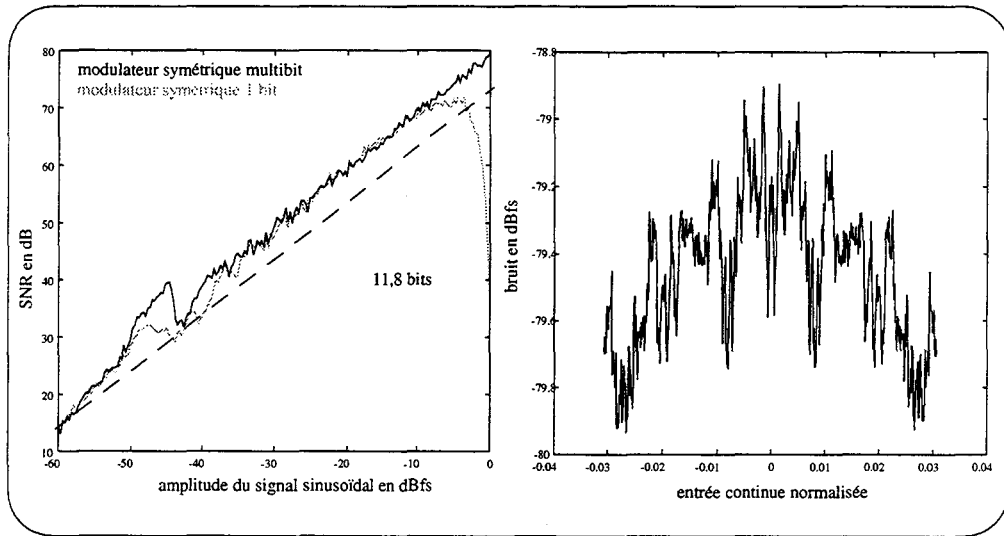


Figure III.11 SNDR et bruit à entrée continue du modulateur symétrique multibit d'ordre 2

Les remarques faites précédemment sur la régularité de la courbe de SNDR restent valables, et conduisent ici à une amélioration puis une dégradation de cette valeur par rapport au modèle linéaire. Par contre, l'amplitude maximale admissible est rigoureusement Δ , soit le double de celle permise par le modulateur original. De plus, la linéarité du SNDR est excellente pour ces fortes amplitudes. Le gain sur le SNDR maximal est d'une dizaine de dB.

Par contre, la structure multibit ne permet plus de comparaison, en termes de variables d'état, avec le modulateur analogique initial.

De plus, l'équation de la partie numérique est devenue:

$v = Z^{-1} \cdot [Z^{-1} \cdot IN1 + (1 - Z^{-1}) \cdot IN2]$	(III.10)
--	----------

et elle décrit un FIR à deux entrées. Cette partie peut donc être implémentée de cette façon (au retard pur près):

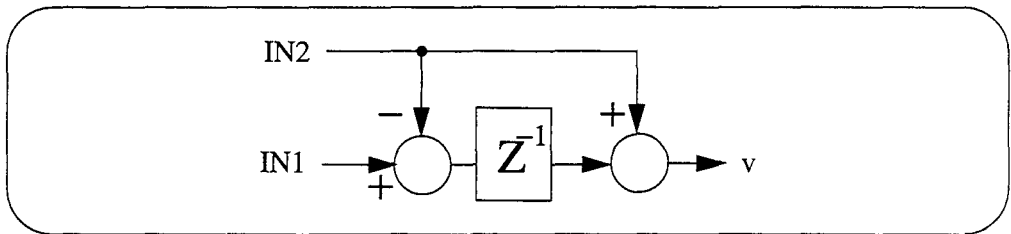


Figure III.12 Schéma de la partie numérique simplifiée du modulateur symétrique multibit d'ordre 2

qui supprime tout rebouclage et assure ainsi une stabilité inconditionnelle de la structure. De plus, on peut vérifier que la sortie ne peut prendre la valeur nulle, et souscrit donc à la condition édictée au paragraphe III. 2. 1. 1.

III.3 Analyse de la structure généralisée

En généralisant la structure pour des filtres quelconques en remplacement des retards unitaires, le modèle linéaire devient:

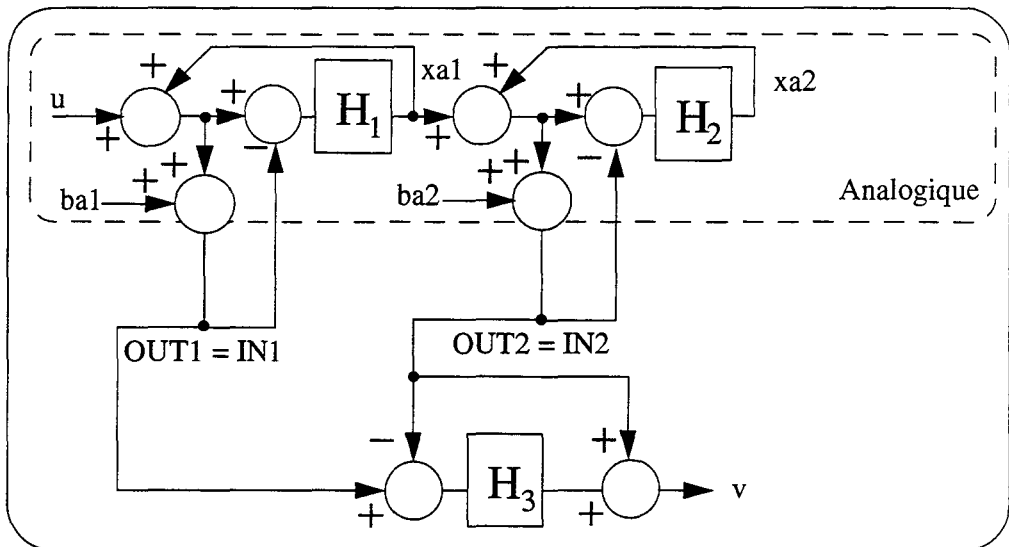


Figure III.13 Modèle linéaire du modulateur symétrique multibit généralisé

Dont les équations sont:

$\begin{cases} \text{IN1} = \text{OUT1} = u + (1 - H_1) \cdot \text{ba1} \\ \text{IN2} = \text{OUT2} = -H_1 \cdot \text{ba1} + (1 - H_2) \cdot \text{ba2} \\ v = H_3 \cdot \text{IN1} + (1 - H_3) \cdot \text{IN2} \end{cases}$	(III.11)
---	----------

Soit l'expression de la sortie:

$v = H_3 \cdot u + (H_3 - H_1) \cdot \text{ba1} + (1 - H_3) \cdot (1 - H_2) \cdot \text{ba2}$	(III.12)
---	----------

D'où les conditions de codage optimal, en filtrage passe bas:

$\begin{cases} H_1, H_2, H_3 = \frac{(1 - Z^{-1})^n}{D(Z)} - 1 \\ H_1 = H_3 \\ H_3(1) = 1 \end{cases}$	(III.13)
--	----------

plus une condition de causalité qui impose un retard d'au moins une période d'échantillonnage entre l'entrée et la sortie de ces fonctions.

Pour s'en tenir aux cas inconditionnellement stables, les fonctions Z^{-1} (ordre $n=1$), comme dans la structure étudiée jusqu'ici, ou $2 \cdot Z^{-1} + Z^{-2}$ (ordre $n=2$) sont de bons candidats pour H_1 , H_2 et H_3 . Les simulations itératives montrent effectivement une amélioration des performances en accord avec les prédictions pour les ordres 3 et 4 des modulateurs Sigma-Delta.

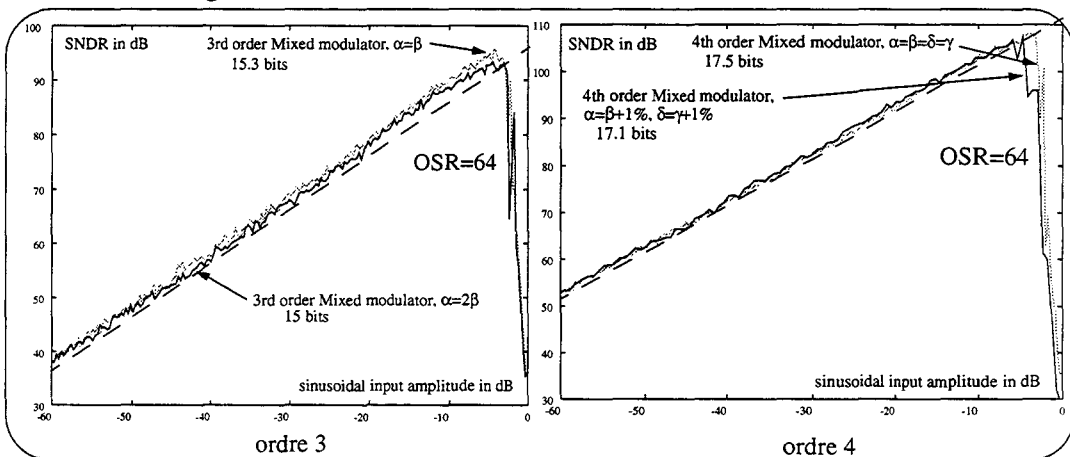


Figure III.14 Performances des ordres 3 et 4 du modulateur symétrique généralisé

III.3.1 Elimination du bruit de la première boucle.

De l'équation (III.12), on déduit que l'élimination du bruit de quantification de la première boucle analogique est directement lié à l'identification de H3 à H1. En conséquence, toute différence entre ces deux filtres détériore cette capacité du circuit à annuler cette source de bruit. Or la nature même de ces filtres est différente: H1 est analogique, alors que H3 est numérique. Ainsi, l'implantation de H3 peut être de très bonne qualité (surtout pour les fonctions du premier et deuxième ordre), tandis que la réalisation de H1 est entachée des erreurs inhérentes aux fonctions analogiques: bruit, distorsion ou gain fini. Les deux premières conduisent à l'apparition d'un signal S1 qui, injecté directement au noeud d'entrée, se retrouve non filtré dans l'expression de la sortie v.

Par contre, l'effet d'un gain fini doit être traité séparément. Il signifie que la mémorisation du signal se fait grâce à un système de contre-réaction. Si le gain de boucle ouverte de ce système est fini (G0), une erreur de mémorisation de 1/G0 est faite. Le modèle de la mémorisation n'est donc pas Z^{-1} mais αZ^{-1} où $\alpha=(1-1/G0)<1$. Ainsi, les modèles des filtres analogiques des premier et second ordres sont:

Ordre	H1	H2
2	$\alpha \cdot Z^{-1}$	$\gamma \cdot Z^{-1}$
3a	$\alpha \cdot Z^{-1}$	$\gamma \cdot Z^{-1} \cdot (2 - \delta \cdot Z^{-1})$
3b	$\alpha \cdot Z^{-1} \cdot (2 - \beta \cdot Z^{-1})$	$\gamma \cdot Z^{-1}$
4	$\alpha \cdot Z^{-1} \cdot (2 - \beta \cdot Z^{-1})$	$\gamma \cdot Z^{-1} \cdot (2 - \delta \cdot Z^{-1})$

Tableau III.2 : Modèles linéaires des filtres analogiques

D'où les expressions du bruit en sortie:

ordre 2	$\text{bruit} \approx (1 - \alpha) \cdot \text{ba1} + (1 - \gamma \cdot Z^{-1}) \cdot (1 - Z^{-1}) \cdot \text{ba2}$	(III.14)
---------	--	----------

ordre 3a	$\text{bruit} \approx (1 - \alpha) \cdot \text{ba1} + (1 - 2 \cdot \gamma \cdot Z^{-1} - \delta \cdot \gamma \cdot Z^{-2}) \cdot (1 - Z^{-1}) \cdot \text{ba2}$	(III.15)
----------	---	----------

<p>ordre 3b</p> $\text{bruit} \approx (1-\alpha) \cdot \left(2 - \left[\left(1 + \frac{1-\alpha}{1-\beta} \right) - (1-\beta) \right] \cdot Z^{-1} \right) \cdot \mathbf{b} + (1-\gamma \cdot Z^{-1}) \cdot (1-Z^{-1})^2$	(III.16)
--	----------

<p>ordre 4</p> $\text{bruit} \approx (1-\alpha) \cdot \left(2 - \left[\left(1 + \frac{1-\alpha}{1-\beta} \right) - (1-\beta) \right] \cdot Z^{-1} \right) \mathbf{b} a_1 + (1-2 \cdot \gamma \cdot Z^{-1} - \delta \cdot \gamma \cdot Z^{-2}) \cdot (1-Z^{-1})^2 \cdot \mathbf{b} a_2$	(III.17)
---	----------

Si H1 est du premier ordre, le bruit de quantification de la première boucle analogique n'est pas filtré, mais est atténué par le gain G0 de la mémoire analogique. Soit la condition sur G0:

$G_0 > \frac{2 \cdot \text{SNR}}{\text{OSR}}$	(III.18)
---	----------

Par contre, pour H1 du second ordre, la condition d'annulation du bruit est plus délicate à calculer. Elle dépend beaucoup du rapport $(1-\alpha)/(1-\beta) = G_0\beta/G_0\alpha$, qui peut être très variable. D'autant que le gain statique G0 est difficile à contrôler précisément. Il dépend de la qualité intrinsèque de la mémoire analogique, mais aussi de son environnement. Ainsi, l'impédance de la source d'entrée ou de charge, qui influent sur G0, peuvent être dynamiques, donc varier au cours de la période. De plus, il faut tenir compte des périodes transitoires. Le calcul rigoureux est donc impossible. Le contrôle de ce paramètre l'est encore plus.

Dans tous les cas, le bruit de quantification de la première boucle peut intervenir non filtré et atténué par $(1-\alpha)$ en sortie de modulateur. Cela donne lieu à une dégradation significative des performances.

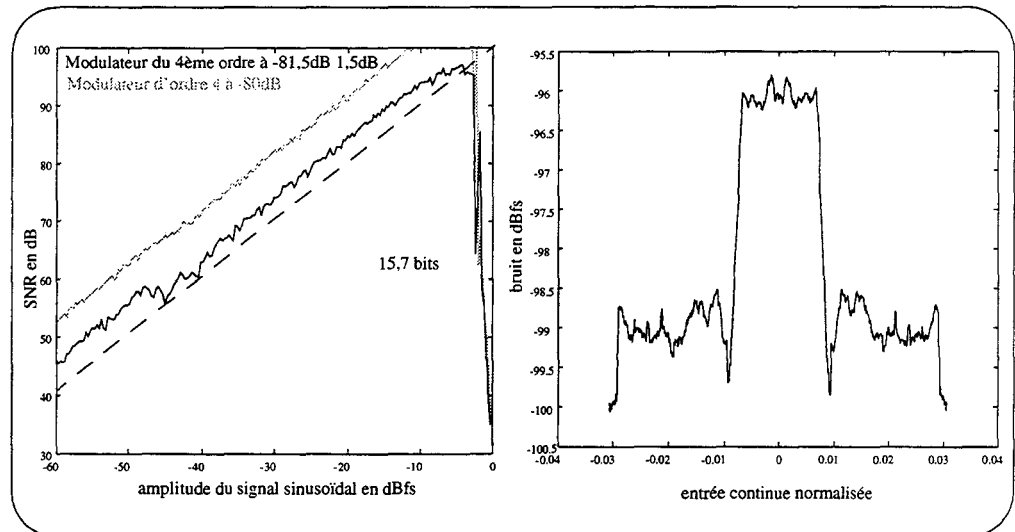


Figure III.15 SNDR et bruit à entrée continue du modulateur symétrique multibit d'ordre 4 avec des erreurs de gain statique $81,5\text{dB} \pm 1,5\text{dB}$

Or le paramètre de gain statique est très difficile à contrôler avec précision dans les circuits électroniques. Dans les faits, un tel modulateur ne pourrait donc atteindre les caractéristiques espérées. Ce type d'architecture n'est donc pas adapté aux convertisseurs haute précision.

III.3.2 Lien avec la structure MASH

De plus, cette forme de la structure met en évidence la cascade de deux architectures à filtrage de bruit de quantification, dont les sorties sont recombinaées. En conséquence, le bruit ramené par le premier ADC est atténué et celui de la seconde boucle est filtré une deuxième fois par la recombinaison numérique.

Par contre, l'architecture de la partie analogique n'est pas la plus facile à implémenter. En effet, toute imperfection du filtre (bruit ou non-linéarité) injecte directement ses effets (bruit, harmoniques) sur l'entrée du codeur. Ainsi l'ensemble de ce filtre doit présenter des caractéristiques de linéarité et de bruit comparables à celles du modulateur. Ceci est particulièrement difficile à obtenir pour des filtre d'ordre 2 et plus.

Si on abandonne la volonté de diminuer l'amplitude des signaux électriques dans le filtre, une architecture Sigma-Delta classique à intégrateurs est préférable. Seul le premier étage du filtre nécessite de très bonnes caractéristiques. Les autres peuvent satisfaire les conditions du chapitre II. Ce qui revient au modulateur de type MASH.

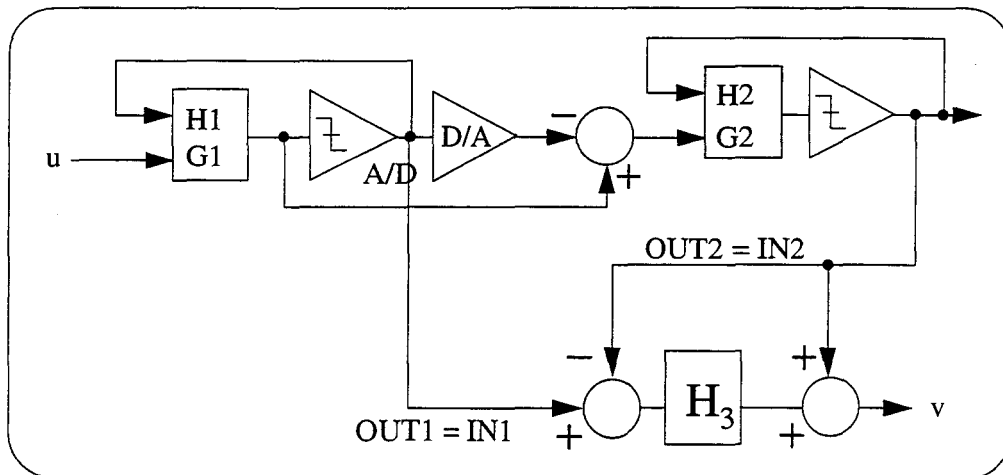


Figure III.16

Architecture générale d'un modulateur MASH à deux modulateurs cascades

III.4 Conclusion

L'étude de cette nouvelle architecture n'a pas pu déboucher sur une application de conversion haute précision. En effet, en plus des restrictions dues à la cascade de modulateurs (MASH), des contraintes propres à l'organisation "rebouclage d'erreur" des étages analogiques sont apparues. Pour la partie analogique, et surtout pour les ordres élevés, les avantages liés à cette structure sont contre-balançés par une grande difficulté d'implantation dans le cadre d'une conversion analogique-numérique haute précision.

Par contre, si l'objectif est la rapidité, cette nouvelle architecture est relativement bien adaptée, à condition d'utiliser un filtre du premier ordre pour le premier modulateur analogique. Elle permet d'augmenter l'ordre du modulateur tout en réduisant l'amplitude des signaux analogiques à mémoriser [MAR98].

La démarche décrite dans ce chapitre permet d'établir une continuité pédagogique entre les modulateurs Sigma-Delta simple boucle et les modulateurs de type MASH.



III.5 Références bibliographiques

- [MAR98] A. Marques and al., "Optimal Parameters for $\Sigma\Delta$ Modulator Topologies", in IEEE Trans. Circuits and Systems- II, vol. 45, pp. 1232-1241, Sept. 1998.
- [MOE96] N. Moeneclaey and A. Kaiser, "Design Techniques for High-Resolution Current-Mode Sigma-Delta Modulators", IEEE Journal of Solid State Circuits, Vol 32, No. 7, pp. 953-958, July 1997.
- [QUI97] L. Quiquerez and A. Kaiser, "Advanced Architectures for Current Memory Sigma-Delta Modulators", in Proceedings of ISCAS'97 Hong Kong (Hong Kong), vol. 1.

IV Synthèse d'un modulateur mixte Continu/Echantillonné

L'utilisation des filtres continus dans les convertisseurs Sigma-Delta est souvent limitée à des applications de type Passe-Bande. Pourtant, les avantages du filtrage continu Passe-Bas sont indéniables: filtrage des effets de l'échantillonnage, filtrage implicite des fréquences hors bande du signal d'entrée, consommation électrique réduite. Par contre, ces circuits sont difficiles à concevoir et à simuler. Or, la synthèse et la simulation d'un modulateur échantillonné sont relativement aisées. Une méthode simple de synthèse continue (basée sur une identification avec un gabarit échantillonné) est ici généralisée et étendue aux structures mixtes. Cette méthode a prouvé sa fiabilité par la construction d'une maquette.

Les architectures de type MASH sont peu adaptées à la conversion de haute précision. Par contre, les avantages de la structure Sigma-Delta sont indéniables et sa présence dans la plupart des activités de conversion en est la preuve la plus flagrante. Pourtant, les convertisseurs analogique-numérique commerciaux sont presque tous basés sur des filtres à condensateurs commutés [CS5321]. Récemment, plusieurs fabricants ont travaillé sur des modulateurs à temps continu [VDZ96][DSI90], dont certains présentent des consommations électriques très faibles [VDZ96] comparées à leurs homologues à temps discret.

Toutefois, la conception de tels modulateurs est freinée par la lourdeur des moyens de simulation à mettre en oeuvre. Alors qu'un simple langage informatique permet de simuler n'importe quel modulateur à temps discret, il faut recourir à des simulateurs électriques de type SPICE pour un filtre continu. Les temps de simulation en sont considérablement augmentés (d'un facteur 100 au minimum).

IV.1 Procédure de conception de modulateurs échantillonnés

La conception des filtres de boucle des modulateurs échantillonnés est grandement facilitée par l'existence d'outils de CAO. Ainsi, R. Schreier a développé toute une gamme de fonctions [SCH93] d'analyse et de synthèse qui permettent le développement aisé et sûr d'un modulateur sous l'environnement MATLAB [MAT]. Par contre, aucune méthode d'optimisation des paramètres de conception, tels que l'ordre du filtre ou l'OSR, n'a été développée. Comme il n'existe pas encore d'outil de conception descendante, l'exploration des combinaisons d'ordre et d'OSR se fait encore par tâtonnement, guidé par les abaques présentée au chapitre II.

A partir des informations d'OSR et d'ordre du filtre de boucle, les étapes sont les suivantes:

On calcule d'abord la place des pôles et des zéros de transmission du filtre de bruit (NTF) dans le cadre d'un fonctionnement linéaire. Ce placement se fait par rapport à un gabarit de type Butterworth [SCH93]. A cette étape, il est possible de réaliser une évaluation des performances et de la stabilité, soit par la méthode linéarisée d'Ardalan & Paulo [ARD87], soit par simulation itérative.

Grâce au modèle linéaire du modulateur, il est possible de calculer un jeu de coefficients par une méthode de synthèse de filtre classique, en fonction de l'architecture choisie. La simulation, à ce moment de la conception, permet d'évaluer la dynamique des variables d'état.

Les coefficients sont modifiés de façon à équilibrer les amplitudes des signaux internes du filtre (qui correspondent aux termes du vecteur d'état du système). Ceci est une étape importante de la migration du jeu de coefficients vers les valeurs d'un circuit électronique, car elle assure un fonctionnement optimal à l'intérieur d'une plage de variation autorisée des signaux électriques.

Ces valeurs permettent le calcul des composants électroniques constitutifs du filtre de boucle. Les coefficients étant des facteurs multiplicateurs des variables du système, ils déterminent directement les rapports de signaux électriques à l'intérieur du circuit.

Cette méthode n'est pas applicable directement à la conception de modulateurs contenant du filtrage continu, car les coefficients apparaissent comme liés entre eux. C'est en analysant ces corrélations qu'il est possible d'adapter cette démarche de conception.

IV.2 Méthode de conception d'un modulateur à filtre continu.

IV.2.1 Modélisation temps-discret du modulateur

Du fait de la présence d'un échantillonnage dans la boucle du modulateur, la modélisation du modulateur peut se faire complètement en temps continu ou en temps discret. Toutefois, le plupart des outils étant conçus pour les modulateur échantillonnés, la deuxième solution est donc utilisée ici.

Dans le cas d'un modulateur continu, l'approche consiste à déplacer la fonction d'échantillonnage pour la ramener à l'entrée du système. Il en résulte un filtre continu G_u sur le chemin du signal d'entrée qui permet de compenser certains effets dus à cette transformation.

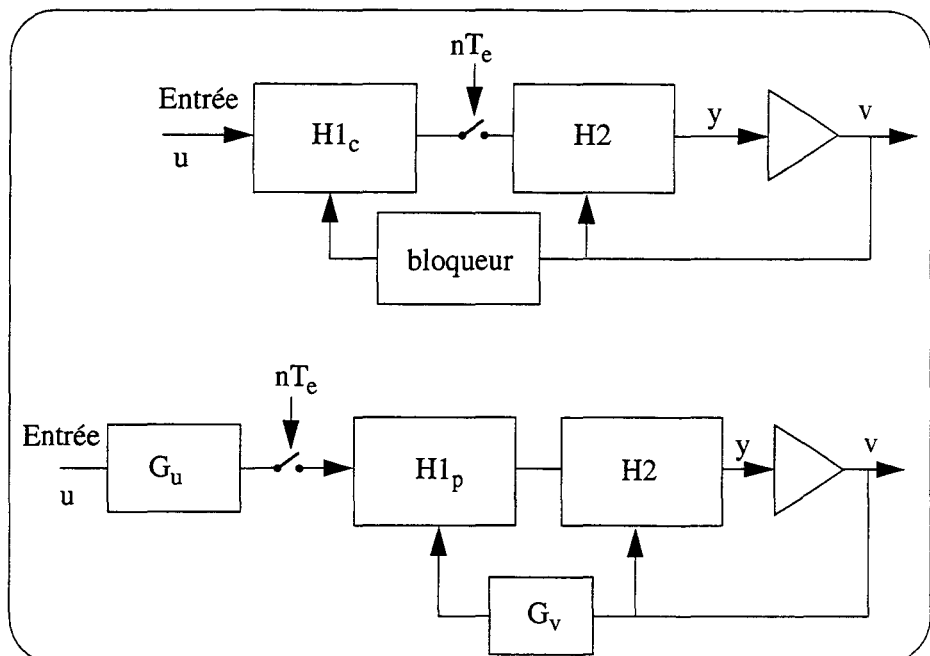


Figure IV.1 Déplacement de l'échantillonneur dans le modèle du modulateur mixte

Dans un premier temps, il faut déterminer la nature de la transformation de la fonction de filtrage (de $H1_c$ à $H1_p$) et les opérations mathématiques qui permettent une modélisation fidèle des effets liés à la réalisation en temps continu du filtre (G_U). Toutefois, ce dernier filtre étant en dehors du système bouclé, il n'a aucune incidence sur la stabilité.

G_v n'intervient que pour modéliser la mise en forme du signal de DAC. Dans le cas d'une forme RTZ, il est défini par les instants (t_1 et t_2) de commutation dans la période de fonctionnement.

IV.2.2 Transformation temps continu vers temps discret

Ce paragraphe reprend la démarche et les calculs présentés dans [SCH96].

Elle s'appuie sur la comparaison entre un intégrateur continu et un intégrateur à temps discret. Pour la cohérence de l'exposé, ceux-ci sont de type "intégrateur à amplificateur opérationnel" et "capacités-commutées" car leurs structures sont très proches. Les valeurs d'entrée et de sortie sont ainsi directement comparables. Toutefois, cette démonstration reste valable pour des intégrateurs de type courants-commutés ou Gm-C.

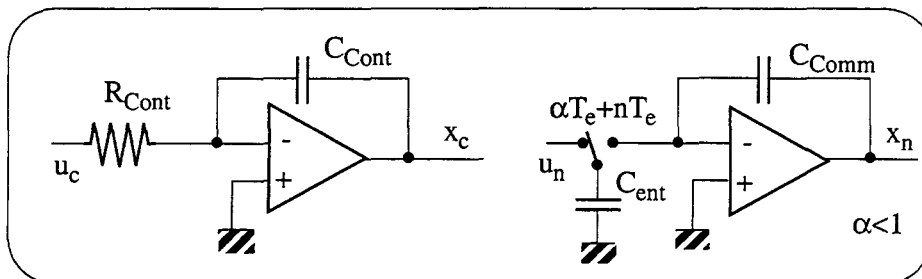


Figure IV.2 Schémas des intégrateurs à temps continu et à capacité commutée.

Pour bien comprendre la transformation temps-continu vers temps-discret, il faut commencer par considérer la sortie du DAC comme nulle. Seul le signal d'entrée est actif, et sa valeur est continue durant toute la période. Les évolutions des signaux de sortie sont les suivantes durant une période d'échantillonnage T_e :

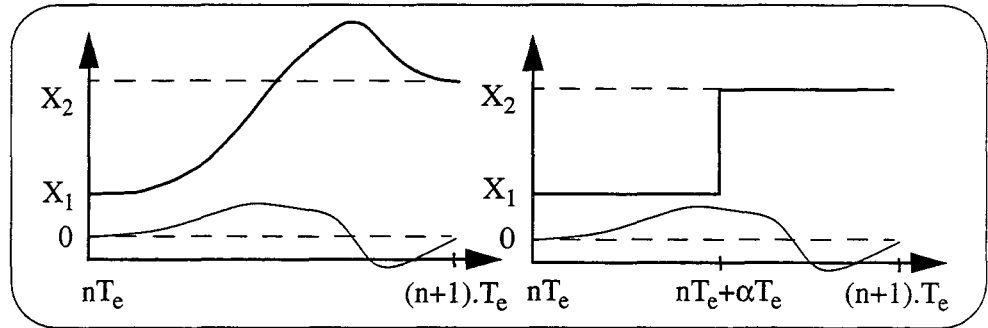


Figure IV.3 Entrées et sorties des intégrateurs continu et à capacité commutée.

Si la valeur de la sortie de l'intégrateur échantillonné ne dépend que de la valeur de l'entrée à l'instant de commutation; pour les filtres à temps continu, cette valeur est liée à l'histoire des signaux d'entrée.

La comparaison entre un intégrateur échantillonné et un intégrateur continu dans un modulateur Sigma-Delta n'a de sens qu'aux instants $t=nT_e$. Pour trouver le modèle à temps discret d'un modulateur continu, il faut donc identifier les équations des deux systèmes à ces instants. Les équations des systèmes reprennent les formes décrites au chapitre II-équations (II.32), l'indice c indiquant la nature continue de l'objet.

IV.2.2.1 Modulateur d'ordre 1

Le modulateur continu d'ordre 1 est constitué comme suit:

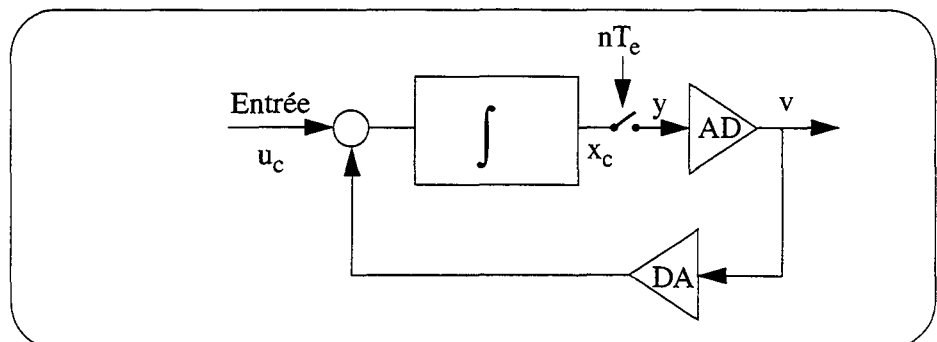


Figure IV.4 Schéma du modulateur d'ordre 1 à filtre continu

T_e étant la période d'échantillonnage, l'équation du système est:

$\dot{x}_c = u_c - v_c$	(IV.1)
-------------------------	--------

dont la résolution donne;

$x_c(n \cdot T_e + t_0) = x_c(n \cdot T_e) + \int_{n \cdot T_e}^{n \cdot T_e + t_0} [u_c(\tau) - v_c(\tau)] d\tau$	(IV.2)
--	--------

Avec la normalisation de T_e ($T_e=1$) et la notation $x_c(n \cdot T_e) = x_c(n)$, cette équation devient, pour $\tau = n \cdot T_e + t_0$ avec $0 \leq t_0 < T_e$.

$x_c(n+1) = x_c(n) + \int_n^{n+1} [u_c(\tau) - v_c(\tau)] d\tau$	(IV.3)
--	--------

Or $v_c(\tau) = Q(x_c(n \cdot T_e)) = Q(x_c(n)) = v_n$ quelque soit $n \cdot T_e \leq \tau < (n+1) \cdot T_e$, et est donc constant sur la durée d'intégration. D'où:

$\begin{aligned} x_c(n+1) &= x_c(n) + \int_n^{n+1} u_c(\tau) d\tau + \int_n^{n+1} v_c(n) d\tau \\ &= x_c(n) + \int_n^{n+1} u_c(\tau) d\tau + v_n \end{aligned}$	(IV.4)
---	--------

Or le terme $\int_n^{n+1} u_c(\tau) d\tau$ correspond à l'utilisation du signal d'entrée durant un fenêtre temporelle, et peut être calculée comme la convolution entre la fonction représentant l'entrée et la fonction carrée unitaire G_1 (IV.5) dont la transformée de Laplace est de type passe-bas (IV.6).

$G_1(t) = \begin{cases} 1, & 0 \leq t < 1 \\ 0 \end{cases}$	(IV.5)
$G_1(j\omega) = \frac{1 - Z^{-1}}{p} = e^{-(j\omega/2)} \cdot \frac{\sin \frac{\omega}{2}}{\frac{\omega}{2}}$	(IV.6)

Ainsi, le calcul du modèle du filtre continu est très simple dans le cas du modulateur du premier ordre. Cela permet de simuler ce système facilement, à la condition de faire subir au signal d'entrée un filtrage dont les caractéristiques fréquentielles ont été

déterminées. Les parties haute fréquence du spectre, qui sont repliées sur la plage de fréquences $[0, F_e/2]$, sont atténuées. C'est la principale caractéristique du modulateur continu: les effets de repliement de spectre dû à l'échantillonnage sont atténués.

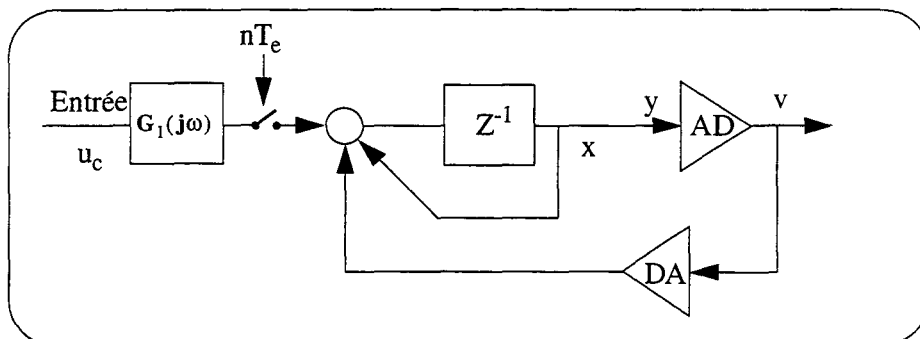


Figure IV.5 Modèle du modulateur d'ordre 1 à filtre continu (échantillonneur ramené en entrée)

IV.2.2.2 Le modulateur du 2ème ordre

Le modulateur du deuxième ordre de référence de type Candy se présente ainsi:

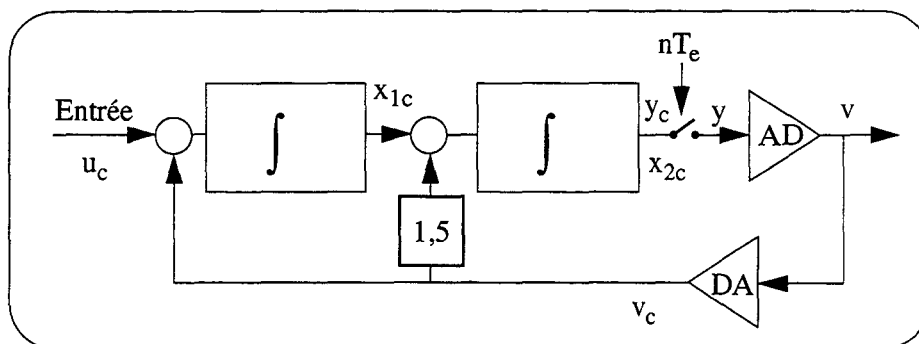


Figure IV.6 Schéma du modulateur du deuxième ordre à filtre continu

Dans ce cas, les calculs concernant x_{1c} sont exactement les mêmes qu'au paragraphe précédent (IV.4).

$x_{1c}(n+1) = x_{1c}(n) + \int_n^{n+1} u_c(\tau) d\tau + v_n$	(IV.7)
--	--------

La même démarche est applicable à x_{2c} :

$ \begin{aligned} x_{2c}(n+1) &= x_{2c}(n) + \int_n^{n+1} [x_{1c}(t) - 1,5 \cdot v_c(t)] dt \\ &= x_{2c}(n) + \int_n^{n+1} [x_{1c}(n) + \int_n^{n+1} u_c(\tau) d\tau + v_n] dt + 1,5 \cdot v_c(n) \\ &= x_{2c}(n) + x_{1c}(n) + \int_n^{n+1} \int_n^t u_c(\tau) d\tau dt + 2 \cdot v_c(n) \end{aligned} $	(IV.8)
---	--------

Seul le terme provenant de l'entrée u n'est pas bien défini. Or, l'intégrale interne correspond à la convolution de u_c avec G_1

$ \begin{aligned} \int_n^{n+1} \int_n^t u_c(\tau) d\tau dt &= \int_n^{n+1} (G_1 \otimes u_c)(t) dt \\ &= \left(\int_n^{n+1} G_1(t) dt \otimes u_c \right)(\tau) \\ &= (G_2 \otimes u_c)(\tau) \end{aligned} $	(IV.9)
--	--------

Ainsi, le signal d'entrée apparaît injecté au niveau du deuxième étage, filtré par la fonction G_2 (IV.10) de caractéristiques fréquentielles (IV.11).

$G_2(t) = \begin{cases} t, & 0 \leq t < 1 \\ 0 & \text{autrement} \end{cases}$	(IV.10)
$G_2(j\omega) = \left(\frac{1-Z^{-1}}{p} \right)^2 = \left(e^{-j\omega/2} \cdot \frac{\sin \frac{\omega}{2}}{\frac{\omega}{2}} \right)^2$	(IV.11)

L'introduction de l'effet de ce filtre dans le modèle à temps discret n'est possible que sous la forme de son équivalent continu, à savoir;

$\int_0^1 G_2(t) dt$	(IV.12)
----------------------	---------

L'effet anti-repliement est augmenté. Or cet effet est produit par un filtrage en $\sin(x)/x$ dont l'atténuation peut devenir importante à des OSR relativement bas pour des ordres élevés. Il est toutefois comparable à l'atténuation apportée par un filtre décimateur en $\sin(x)/x$ du même ordre.

Plus important, les coefficients de rebouclage du DAC sont affectés. En effet, la valeur de $v(n)$ rebouclée sur le premier étage fait varier x_{1c} durant toute la période (pas dans le modulateur échantillonné) et modifie ainsi son histoire. La valeur de x_{2c} en est donc affectée. L'influence de ce phénomène est proportionnelle à $v(n)$ et est donc modélisée par une modification de la valeur du coefficient, qui dans l'exemple passe de 1,5 à 2. Or ces coefficients participent directement à la stabilité du modulateur.

L'utilisation d'un filtre continu sans précaution particulière est d'autant plus dangereuse que l'ordre du modulateur est élevé. En effet, une branche du rebouclage du DAC influence tous les coefficients situés en aval, comme elle est modifiée par toutes celles des étages précédents. Non seulement la stabilité est plus faible du fait de l'ordre élevé, mais les coefficients en sont plus altérés par la nature continue du filtre.

IV.2.2.3 Généralisation

La généralisation à un modulateur quelconque passe par une manipulation directe du vecteur d'état. De la même manière, il s'agit d'identifier les équations des systèmes continu et à temps discret pour les instants où $t=nT_e$.

$\begin{cases} \dot{x}_c = A_c \cdot x_c + B_{c1} \cdot u_c + B_{c2} \cdot v_c \\ y_c = C_c \cdot x_c + D_{c1} \cdot u_c + D_{c2} \cdot v_c \\ v_c = Q(y_c(n \cdot T_e)) \end{cases}$	(IV.13)
$\begin{cases} x_{n+1} = A \cdot x_n + B_1 \cdot u_n + B_2 \cdot v_n \\ y_n = C \cdot x_n + D_1 \cdot u_n + D_2 \cdot v_n \\ v_n = Q(y_n) \end{cases}$	(IV.14)

La résolution de la première équation différentielle (IV.13) donne l'expression de $x_c(t)$:

$\begin{aligned} x_c(t) = & e^{A_c \cdot t} \cdot x_c(0) + e^{A_c \cdot t} \cdot \int_0^t e^{-A_c \cdot \tau} \cdot B_{c1} \cdot u_c(\tau) d\tau \\ & + e^{A_c \cdot t} \cdot \int_0^t e^{-A_c \cdot \tau} \cdot B_{c2} \cdot v_c(\tau) d\tau \end{aligned}$	(IV.15)
--	---------

soit à l'instant $t=nT_e$:

$x_c(n+1) = e^{A_c \cdot T_e} \cdot x_c(n) + \int_0^{T_e} e^{A_c \cdot \tau} \cdot B_{c1} \cdot u_c(n+1-\tau) d\tau$ $+ v_c(n) \cdot \int_0^{T_e} e^{A_c \cdot \tau} \cdot B_{c2} d\tau$	(IV.16)
--	---------

d'où l'équivalence:

$A = e^{A_c \cdot T_e}$	(IV.17)
$B_2 = B_{c2} \cdot \int_0^{T_e} e^{A_c \cdot \tau} d\tau$	(IV.18)

Pour un premier calcul de B2, il faut considérer la valeur de $V_c(t)$ constante pendant la période d'échantillonnage. L'influence des coefficients de rebouclage sur les étages situés en aval peut être calculée en intégrant $e^{A_c \cdot \tau}$ sur cette période.

Si on tient compte de la forme d'onde du signal (elle peut prendre la forme d'une modulation RTZ), sa valeur n'est constante que par plages temporelles. La solution consiste à calculer (IV.18) par plages, en ne tenant compte que des instants où la valeur est non nulle. Ainsi, les caractéristiques de la modulation RTZ influent sur la modification des coefficients de rebouclage. Il est donc indispensable d'en tenir compte lors de la conception d'un modulateur continu.

En l'absence de toute hypothèse sur $u(t)$, il n'est pas possible, dans le cadre d'une simulation itérative, de tenir compte rigoureusement de ces phénomènes. Il faut se contenter d'intégrer les fonctions G_x sur la période d'échantillonnage, donc de ne tenir compte que des effets continus équivalents de ces fonctions. Ils sont calculés de la même façon que précédemment (IV.12), et sont équivalents à la première colonne de $A=M3(0,1)$:

pour tout x	$B1(x) = A(1, x)$	(IV.19)
---------------	-------------------	---------

Heureusement, la modulation Sigma-Delta demande un certain rapport de sur-échantillonnage. L'entrée u_c est donc appelée à rester quasiment constante pendant une période d'échantillonnage T_e . Cette hypothèse sera d'autant mieux respectée, et la transformation plus rigoureuse, que l'OSR sera grand.

IV.2.2.4 Limites à cette transformations, effets parasites

A partir des équations d'un modulateur continu, il est possible de trouver un jeu d'équation décrivant fidèlement l'état du modulateur en tant que système échantillonné. Il est facilement simulable et permet d'en vérifier le bon fonctionnement.

Mais il faut garder à l'esprit les effets dont il ne tient pas compte, qui modifient les caractéristiques du codage du modèle échantillonné par rapport au circuit continu.

Ainsi, le signal d'entrée qui est filtré dans le cas d'un modulateur continu, l'est différemment par son modèle.

De même, le calcul des coefficients équivalents du rebouclage du DAC considère la forme d'onde bien établi dans la période d'échantillonnage. Toute modification statique (délai entre l'échantillonnage et la valeur correspondante du DAC, décalage des instants de RTZ...) ou dynamique (bruit de phase sur les signaux du DAC) apparaissent comme des modification du même type (statique ou dynamique) des coefficients du modèle. Cela augmente la susceptibilité du modulateur à l'instabilité et accroît la difficulté à concevoir de tels modulateurs. Il faut donc vérifier par la simulation que les performances d'un ensemble de coefficients, établi par variation des coefficients calculés, sont conformes aux objectifs.

IV.2.3 Transformation temps discret vers temps continu.

Le travail présenté ici est nouveau car il prolonge celui de R. Schreier [SCH96], dont les résultats publiés ne permettent pas la transformation dans le cas général. Dans le cadre théorique qu'il a développé, le calcul littéral des transformées des matrices du système a été mené. Cela permet une synthèse rigoureuse des modulateurs à filtre complexe, notamment ceux qui contiennent des filtres passe-bas résonnants ou instables.

Dans la démarche de conception, cette étape est décisive. A ce point, l'ingénieur souhaitant concevoir un convertisseur possède une jeu d'équations décrivant, de manière échantillonnée, le modulateur qu'il souhaite réaliser.

La transformation à réaliser est l'inverse de celle qui vient d'être décrite. A savoir, en partant d'un modulateur à temps discret, trouver le modulateur continu qui ait les mêmes caractéristiques de stabilité. C'est à dire, le modulateur à filtre continu ayant comme modèle les équations issue de la synthèse.

La stabilité est liée à B_2 , dont le calcul dépend de l'intégration de $e^{A_c \cdot \tau}$. Or le calcul littéral de cette matrice est impossible dans le cas général sans le recours à un calcul symbolique.

Heureusement, les types de filtres de boucle des modulateurs Sigma-Delta sont relativement limités par la procédure de conception, et beaucoup des termes de matrice sont nuls. Seul le cas de la structure «chaîne d'intégrateurs/rebouclage multiples» (CIFB) est calculé ici, car elle possède l'expression la plus simple de A . Le principe est néanmoins applicable aux autres formes.

IV.2.3.1 Modulateur simple

Dans un premier temps il n'est pas tenu compte des coefficients de retour internes, et la matrice A_c est de la forme:

$A_c = \begin{bmatrix} 0 & 0 & 0 & 0 \\ c_{c1} & 0 & 0 & 0 \\ 0 & c_{c2} & 0 & 0 \\ 0 & 0 & c_{c3} & 0 \end{bmatrix}$	(IV.20)
---	---------

Or la fonction exponentielle a pour développement limité

$e^{A_c \cdot t} = I + \sum_{k=1}^{\infty} A_c^k \cdot \frac{t^k}{k!}$	(IV.21)
--	---------

et les puissances de A s'annulent pour k supérieur à la taille de la matrice. D'où

$M_0(t) = e^{A_c \cdot t} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ (c_{c1} \cdot t) & 1 & 0 & 0 \\ (c_{c1} \cdot c_{c2} \cdot t^2/2) & (c_{c2} \cdot t) & 1 & 0 \\ (c_{c1} \cdot c_{c2} \cdot c_{c3} \cdot t^3/6) & (c_{c2} \cdot c_{c3} \cdot t^2/2) & (c_{c3} \cdot t) & 1 \end{bmatrix}$	(IV.22)
---	---------

Ainsi

$\mathbf{B} = \mathbf{M}_1(t_1, t_2) \cdot \mathbf{B}_c$	(IV.23)
avec	
$\mathbf{M}_1(t_1, t_2) = \begin{bmatrix} t_2 - t_1 & 0 & 0 & 0 \\ c_{e1} \cdot \left(\frac{t_2^2 - t_1^2}{2}\right) & t_2 - t_1 & 0 & 0 \\ c_{e1} \cdot c_{e2} \cdot \left(\frac{t_2^3 - t_1^3}{6} - \frac{t_1^3}{6}\right) & c_{e2} \cdot \left(\frac{t_2^2 - t_1^2}{2}\right) & t_2 - t_1 & 0 \\ c_{e1} \cdot c_{e2} \cdot c_{e3} \cdot \left(\frac{t_2^4 - t_1^4}{24} - \frac{t_1^4}{24}\right) & c_{e2} \cdot c_{e3} \cdot \left(\frac{t_2^3 - t_1^3}{6} - \frac{t_1^3}{6}\right) & c_{e3} \cdot \left(\frac{t_2^2 - t_1^2}{2}\right) & t_2 - t_1 \end{bmatrix}$	(IV.24)

et

$\mathbf{B}_c = \mathbf{M}_1(t_1, t_2)^{-1} \cdot \mathbf{B}$	(IV.25)
---	---------

où t_1 est le début de l'impulsion RTZ dans la période et t_2 la fin. Ces paramètres peuvent être rigoureux (valeur de temps en secondes) ou normalisés à la période. La seconde solution est préférée pour conserver l'universalité de la démarche. Les valeurs de t_1 et t_2 normalisées s'étendent de 0 (début de la période) à 1 (fin de la période). Dans ce cas, la prise en compte de la réalité temporelle n'intervient pas dans le calcul des coefficients, mais dans le calcul des éléments constitutifs du modulateur: les composants passifs qui déterminent les rapports de signaux. Ce calcul est détaillé plus loin.

Comme t_1 et t_2 sont des paramètres de conception qui définissent la modulation RTZ du DAC, seuls manquent les coefficients de la matrice A_c pour déterminer la matrice M_1 . Or

$\mathbf{A} = e^{A_c} = M_0(1)$	(IV.26)
---------------------------------	---------

Deux méthodes permettent de déterminer la valeur de A_c . Soit on identifie les coefficients non-nuls de A et de $M_1(0,1)$, soit ceux de $\ln(A)$ avec A_c . Le premier de ces deux possibilités est sélectionnée pour éviter le calcul du logarithme. De (IV.20) et (IV.26), on déduit:

$\begin{cases} c_{e1} = c_1 \\ c_{e2} = c_2 \\ c_{e3} = c_3 \end{cases}$	(IV.27)
--	---------

IV.2.3.2 Modulateur complet

La présence de résonateurs dans la chaîne directe du modulateur complique les calculs mais permet néanmoins de déterminer rigoureusement les effets de la transformation de façon littérale et par identification:

$A_c = \begin{bmatrix} 0 & g_{c1} & 0 & 0 \\ c_{c1} & 0 & 0 & 0 \\ 0 & c_{c2} & 0 & g_{c2} \\ 0 & 0 & c_{c3} & 0 \end{bmatrix}$	(IV.28)
---	---------

L'utilisation du développement limité (IV.21) de la fonction exponentielle n'est pas simple dans ce cas, car les puissances de A ne s'annulent jamais. Toutefois, pour certains termes de la matrice M2, le calcul donne le développement limité d'une fonction relativement simple. Pour d'autres (c_1'' , c_1''' , c_2' , c_2''), le développement limité ne peut être exprimé simplement. La solution consiste à écrire ces termes comme des équations différentielles en fonction des termes voisins. Ainsi, on obtient:

$M_2 = e^{A_c \cdot t} = \begin{bmatrix} \text{ch}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) & \sqrt{\frac{g_{c1}}{c_{c1}}} \cdot \text{sh}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) & 0 & 0 \\ c_1' = \sqrt{\frac{c_{c1}}{g_{c1}}} \cdot \text{sh}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) & I_2 = \text{ch}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) & 0 & 0 \\ c_1'' = c_{c2} \cdot \int c_1' + g_{c2} \cdot \int c_1''' & c_2' = c_{c2} \cdot \int I_2 + g_{c2} \cdot \int c_2'' & \text{ch}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t) & \sqrt{\frac{g_{c2}}{c_{c3}}} \cdot \text{sh}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t) \\ c_1''' = c_{c3} \cdot \int c_1'' & c_2'' = c_{c3} \cdot \int c_2' & \sqrt{\frac{c_{c3}}{g_{c2}}} \cdot \text{sh}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t) & \text{ch}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t) \end{bmatrix}$	(IV.29)
--	---------

La limite de cette matrice $M_2(t)$, quand g_{c1} et g_{c2} tendent vers zéros, est $M_0(t)$. De plus, certains termes disparaissent quand g_{c1} ou g_{c2} est nul, du fait de la simplification de la solution particulière des équations différentielles.

Le calcul des couples (c_1'' , c_1''') et (c_2' , c_2'') se fait par la résolution des équations différentielles par rapport à la variable t, dont les conditions initiales proviennent de (IV.22).

Les résultats sont, pour g_1 et g_2 différents de zéro,

$$\left\{ \begin{array}{l}
 c_1'' = \frac{c_{c1} \cdot c_{c2} + c_{c3} \cdot g_{c1}}{c_{c1} \cdot g_{c1}} \cdot (\text{ch}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) - 1) + (1 - \text{ch}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t)) \\
 c_1''' = c_{c3} \cdot \left(\frac{c_{c1} \cdot c_{c2} + c_{c3} \cdot g_{c1}}{(c_{c1} \cdot g_{c1})^{3/2}} \right) \cdot (\text{sh}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) - \sqrt{c_{c1} \cdot g_{c1}} \cdot t) \\
 \quad + \frac{\sqrt{c_{c3}}}{\sqrt{g_{c2}}} \cdot (\sqrt{c_{c3} \cdot g_{c2}} \cdot t - \text{sh}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t)) \\
 c_2' = \frac{c_{c2} \cdot \sqrt{c_{c1} \cdot g_{c1}} + c_{c3} \cdot g_{c2}}{c_{c1} \cdot g_{c1}} \cdot \text{sh}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) - \frac{\sqrt{c_{c3} \cdot g_{c2}}}{\sqrt{c_{c1} \cdot g_{c1}}} \cdot \text{sh}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t) \\
 c_2'' = c_{c3} \cdot \left(\frac{c_{c2} \cdot \sqrt{c_{c1} \cdot g_{c1}} + c_{c3} \cdot g_{c2}}{(c_{c1} \cdot g_{c1})^{3/2}} \right) \cdot (\text{ch}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) - 1) \\
 \quad - \frac{c_{c3}}{\sqrt{c_{c1} \cdot g_{c1}}} \cdot (\text{ch}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t) - 1)
 \end{array} \right. \quad (\text{IV.30})$$

De plus, $A=M_2(1)$. L'identification des deux matrices, pour les termes non-nuls de A , permet de calculer les coefficients du modulateur continu:

$$\left\{ \begin{array}{l}
 c_{c1} \cdot g_{c1} = \text{ash}^2(\sqrt{c_1 \cdot g_1}) \\
 c_{c3} \cdot g_{c2} = \text{ash}^2(\sqrt{c_3 \cdot g_2}) \\
 c_{c2} = \sqrt{c_{c3} \cdot g_{c2}} \cdot \left(c_2 + \frac{\sqrt{c_{c3} \cdot g_{c2}}}{\sqrt{c_{c1} \cdot g_{c1}}} \cdot c_1 \cdot g_1 - \frac{c_{c3} \cdot g_{c2}}{c_{c1} \cdot g_{c1}} \cdot c_3 \cdot g_2 \right)
 \end{array} \right. \quad (\text{IV.31})$$

Pour les valeurs de c_{c1} et g_{c1} , il est commode de prendre $c_{c1}=c_1$ et de calculer g_{c1} en conséquence. Cela permet une certaine continuité avec le cas où g_{c1} est nul. Le couple c_{c3} et g_{c2} est traité de la même façon.

Toutefois, l'équation de c_{c2} n'admet pas c_2 pour limite quand g_1 ou g_2 tend vers 0. Ceci est dû au changement de solution particulière, dans la résolution de l'équation différentielle. L'expression de c_2 change dans le cas où g_1 et/ou g_2 sont nuls.

Les coefficients de la matrice M_2 dépendent des quatre fonctions de base suivantes (de f_1 à f_4), aisément intégrables par rapport à t (de h_1 à h_4):

$\begin{cases} f_1(t) = \text{ch}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) \\ f_2(t) = \text{sh}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t) \\ f_3(t) = \text{ch}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t) \\ f_4(t) = \text{sh}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t) \end{cases}$	(IV.32)
$\begin{cases} h_1(t1, t2) = \int_{t1}^{t2} f_1(t) \cdot dt = \frac{1}{\sqrt{c_{c1} \cdot g_{c1}}} \cdot (\text{sh}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t2) - \text{sh}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t1)) \\ h_2(t1, t2) = \int_{t1}^{t2} f_2(t) \cdot dt = \frac{1}{\sqrt{c_{c1} \cdot g_{c1}}} \cdot (\text{ch}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t2) - \text{ch}(\sqrt{c_{c1} \cdot g_{c1}} \cdot t1)) \\ h_3(t1, t2) = \int_{t1}^{t2} f_3(t) \cdot dt = \frac{1}{\sqrt{c_{c3} \cdot g_{c2}}} \cdot (\text{sh}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t2) - \text{sh}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t1)) \\ h_4(t1, t2) = \int_{t1}^{t2} f_4(t) \cdot dt = \frac{1}{\sqrt{c_{c3} \cdot g_{c2}}} \cdot (\text{ch}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t2) - \text{ch}(\sqrt{c_{c3} \cdot g_{c2}} \cdot t1)) \end{cases}$	(IV.33)

Ainsi, la relation entre B et B_c est:

$B = M_3(t1, t2) \cdot B_c$ <p style="text-align: center;">avec</p>	(IV.34)
$M_3(t1, t2) = \begin{bmatrix} h_1(t1, t2) & \sqrt{\frac{g_{c1}}{c_{c1}}} \cdot h_2(t1, t2) & 0 & 0 \\ \sqrt{\frac{c_{c1}}{g_{c1}}} \cdot h_2(t1, t2) & h_1(t1, t2) & 0 & 0 \\ \int_{t1}^{t2} c_1''(t) \cdot dt & \int_{t1}^{t2} c_2''(t) \cdot dt & h_3(t1, t2) & \sqrt{\frac{g_{c2}}{c_{c3}}} \cdot h_4(t1, t2) \\ \int_{t1}^{t2} c_1'''(t) \cdot dt & \int_{t1}^{t2} c_2'''(t) \cdot dt & \sqrt{\frac{c_{c2}}{g_{c2}}} \cdot h_4(t1, t2) & h_3(t1, t2) \end{bmatrix}$	(IV.35)

où

$$\left\{ \begin{array}{l}
 \int_{t_1}^{t_2} c_1''(t) \cdot dt = \frac{c_{c1} \cdot c_{c2} + c_{c3} \cdot g_{c1}}{c_{c1} \cdot g_{c1}} \cdot (h_1(t_1, t_2) - (t_2 - t_1)) + ((t_2 - t_1) - h_3(t_1, t_2)) \\
 \int_{t_1}^{t_2} c_1'''(t) \cdot dt = c_{c3} \cdot \left(\frac{c_{c1} \cdot c_{c2} + c_{c3} \cdot g_{c1}}{(c_{c1} \cdot g_{c1})^{3/2}} \right) \cdot \left(h_2(t_1, t_2) - \sqrt{c_{c1} \cdot g_{c1}} \cdot \left(\frac{t_2^2}{2} - \frac{t_1^2}{2} \right) \right) \\
 \quad + \sqrt{\frac{c_{c3}}{g_{c2}}} \cdot \left(\sqrt{c_{c3} \cdot g_{c2}} \cdot \left(\frac{t_2^2}{2} - \frac{t_1^2}{2} \right) - h_4(t_1, t_2) \right) \\
 \int_{t_1}^{t_2} c_2'(t) \cdot dt = \frac{c_{c2} \cdot \sqrt{c_{c1} \cdot g_{c1}} + c_{c3} \cdot g_{c2}}{c_{c1} \cdot g_{c1}} \cdot h_2(t_1, t_2) - \sqrt{\frac{c_{c3} \cdot g_{c2}}{c_{c1} \cdot g_{c1}}} \cdot h_4(t_1, t_2) \\
 \int_{t_1}^{t_2} c_2''(t) \cdot dt = c_{c3} \cdot \left(\frac{c_{c2} \cdot \sqrt{c_{c1} \cdot g_{c1}} + c_{c3} \cdot g_{c1}}{(c_{c1} \cdot g_{c1})^{3/2}} \right) \cdot (h_1(t_1, t_2) - (t_2 - t_1)) \\
 \quad - \frac{c_{c3}}{\sqrt{c_{c1} \cdot g_{c1}}} \cdot (h_3(t_1, t_2) - (t_2 - t_1))
 \end{array} \right. \quad (IV.36)$$

Les valeurs de B_{2c} peuvent donc être calculées par la formule:

$$B_{2c} = M_3(t_1, t_2)^{-1} \cdot B_2 \quad (IV.37)$$

Les éléments de toutes les matrices sont réels, même si g_{c1} et g_{c2} sont négatif. Dans ce dernier cas, les fonctions hyperboliques sont remplacées par leurs équivalents trigonométriques. Et ceci ne pose aucun problème pour l'intégration.

Les signes de g_{c1} et g_{c2} déterminent le type de filtre de boucle utilisé. S'ils sont négatifs, les couples d'intégrateurs forment des filtres de type Passe-Bas résonnant, et la NTF présente des zéros de transmission aux fréquences de résonance. Par contre, s'ils sont positifs, le modulateur devient chaotique, et le modèle échantillonné du système présente des coefficients supérieurs à 1 sur sa diagonale. Une combinaison des deux caractéristique peut être obtenue en prenant g_{c1} positif et g_{c2} négatif. Le modulateur est alors chaotique et sa NTF présente un zéro de transmission à la fréquence du résonateur.

Les valeurs de B_{1c} sont calculées de la même façon que B_{2c} , sans tenir compte de la forme RTZ:

$$B_{1c} = M_3(0,1)^{-1} \cdot B_1 \quad (IV.38)$$

Du fait de la procédure de synthèse du modulateur à temps discret, seul le premier élément du vecteur B_1 est non nul et est égal au premier élément de B_2 . B_{1c} est donc très aisément calculable.

Le calcul des coefficients d'un modulateur à filtre continu à partir de ceux d'un modulateur à temps discret a donc été démontré pour les architectures canoniques d'une structure passe bas quelconque. Les caractéristiques de ces modulateurs sont comparables en termes de codage et de stabilité.

IV.2.3.3 Limites à cette transformation, et transformation inverse pour la simulation

L'identification des coefficients ne peut se faire que sur les termes non-nuls de la matrice A de départ, pour obtenir la matrice A_c de la partie continue. Or, les calculs ont montré l'existence de nouveaux termes dans la transformation A_c vers A , non pris en compte dans la conception.

Deux solutions permettent de vérifier que l'apparition de ces termes de dépendance entre variables d'état ne perturbent ni la stabilité ni la qualité du codage du modulateur continu. La première, la plus rigoureuse, est la simulation à l'aide d'un simulateur électrique de type SPICE. La seconde consiste à refaire la transformation A_c vers A_p , et reprendre alors les outils à temps discret utilisés pendant la conception. Cette transformation a été décrite dans le paragraphe précédent. Le modulateur subit une double transformation: A_c vers A pour calculer les coefficients de A_c par identification des termes non-nuls de A , puis une transformation A_c vers A_p complète. Cela est également valable pour le calcul des matrices B . Pour le signal d'entrée, il apparaît comme injecté en entrée de tous les étages.

Cette simulation permet une prédiction rapide des performances du modulateur continu. Mais elle revêt une importance toute particulière si la sortie du DAC présente un retard pur par rapport à l'instant d'échantillonnage. Dans ce cas, l'ancienne valeur de comparaison (v) reste présente en début de période, la nouvelle n'apparaissant qu'au bout de t_1 . La simulation des effets de ce retard est possible en modifiant l'équation du système. Elle devient $x_{n+1} = A \cdot x_n + B_1 \cdot u_n + B_{2a} \cdot v_n + B_{2p} \cdot v_{n-1}$, où B_{2p} est calculée entre 0 et t_1 , et B_{2a} entre t_1 et 1.

IV.2.4 Transformation généralisée au filtres mixtes

Dans le cas d'un modulateur à filtre mixte continu/échantillonné, la conception suit les étapes décrites aux paragraphes précédents. Les termes des matrices (X_{pm}) proviennent des matrices issues de la synthèse initiale (X) et des matrices reconstituées (X_p) après le calcul des coefficients du modulateur à temps continu. La seule question en suspens concerne l'interface entre les deux parties homogènes, temps continu et discret, du filtre.

Pour les N étages continus d'un modulateur d'ordre M , l'entrée du $N+1^{\text{ème}}$ intégrateur profite de l'aspect continu des étages en amont. La matrice A_{pm} reprend donc les termes de la matrice provenant de la synthèse continue, cela pour la partie ($N+1, N+1$). Les autres éléments de la matrice reprennent les valeurs issues de la synthèse initiale.

Ainsi, il faut effectuer la transformation temps discret vers temps continu pour les $N+1$ premiers étages du modulateur. Pour les $N+1$ premiers étages continus, la matrice A à transformer correspond à la matrice carrée de côté $N+1$ située en haut à gauche de la matrice A du modulateur complet.

$A_{pm} = \begin{bmatrix} 1 \\ N \\ N+1 \\ N+2 \\ M \end{bmatrix} \begin{bmatrix} [1 & N+1 & N+2 & M] \\ A_p & A_p & A & A \\ A_p & A_p & A & A \\ A_p & A_p & A & A \\ A & A & A & A \\ A & A & A & A \end{bmatrix}$	(IV.39)
---	---------

Pour le rebouclage du DAC, la valeur du coefficient de l'étage $N+1$ doit prendre en compte l'effet des rebouclages des étages précédents. Les valeurs proviennent de la synthèse à temps discret, sauf les $N+1$ éléments issus de la matrice B_p .

Ainsi, comme pour A , B_{2pm} est définie par:

$B_{2pm} = \begin{bmatrix} 1 \\ N \\ N+1 \\ N+2 \\ M \end{bmatrix} \begin{bmatrix} B_p \\ B_p \\ B_p \\ B \\ B \end{bmatrix}$	(IV.40)
---	---------

Le calcul de $B1_{pm}$ est donné par l'équation:

$$B1_{pm} = \begin{bmatrix} 1 \\ N \\ N+1 \\ N+2 \\ M \end{bmatrix} \begin{bmatrix} A_p(1,1) \\ A_p(1,N) \\ A_p(1,N+1) \\ 0 \\ 0 \end{bmatrix} \quad (IV.41)$$

IV.2.5 Implantation des coefficients continus

L'utilisation de termes normalisés a permis d'éviter les liens des coefficients du modulateur continu avec la période de fonctionnement du modulateur lors de leur apparition.

Pour les modulateurs échantillonnés, les coefficients sont indépendants de cette période. Le changement de la fréquence de fonctionnement d'un tel modulateur ne change aucune de ses caractéristiques de stabilité ou de précision de codage, mais modifie la bande utile en proportion.

En revanche, une modification de la période est vue comme un changement de gain des intégrateurs continus. Ainsi l'implantation des coefficients continus revêt une importance toute particulière. L'identification de l'intégrateur continu à son équivalent échantillonné donne, une fois de plus, la solution.

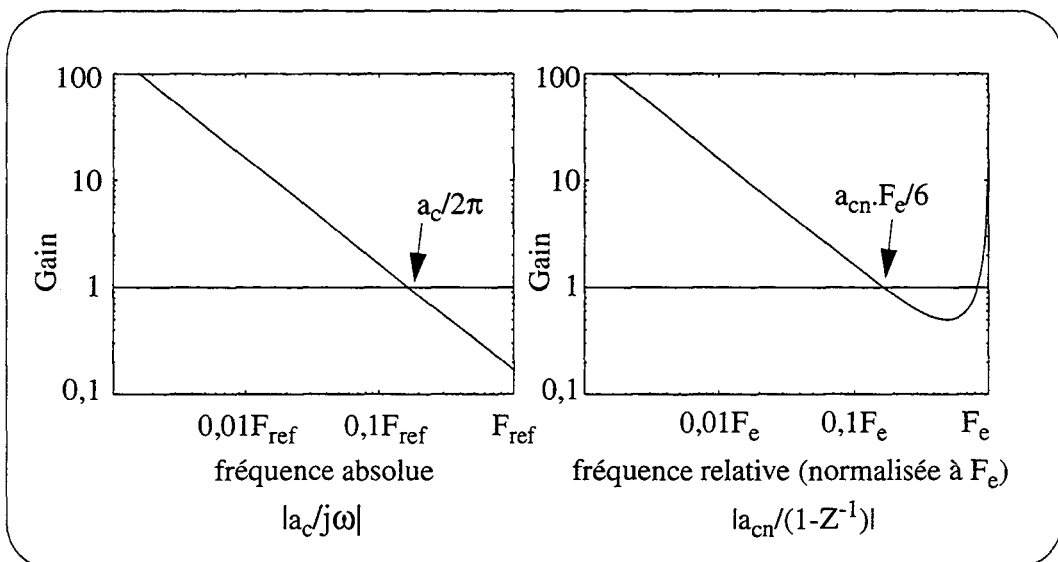


Figure IV.7 Caractéristiques fréquentielles des intégrateurs continu et échantillonné.

L'identification donne

$a_c = \frac{1}{R \cdot C} = F_e \cdot \frac{\pi}{3} \cdot a_{cn}$	(IV.42)
--	---------

où a_{cn} est un coefficient normalisé du modulateur continu (issu de la synthèse continue sus-décrite).

IV.3 Application au modulateur haute résolution

Les besoins de conversion du partenaire industriel de ce travail ont initié cette démarche, et le développement d'un convertisseur spécifique constitue donc l'exemple naturel pour l'application de la procédure de conception développée. Elle suit point par point les étapes décrites dans le paragraphe IV. 2 de ce chapitre.

IV.3.1 Cahier des charges

Les performances visées, en termes de conversion, sont les suivantes:

Dynamique d'entrée (SNR maximum)	114dB
Bruit ramené à l'entrée	$3\mu V_{RMS}$
Bande Utile (F_0-F_b)	3Hz-300Hz
Distorsion	$<0,0005\%$ (-106 dB)

Tableau IV.1 : Cahier des Charges

IV.3.2 Choix d'un modulateur mixte

Les objectifs de dynamique et de rapport signal à bruit sont élevés et ne sont pas à la portée d'une structure MASH étudiée au chapitre III. La solution d'un convertisseur indépendant est directement en concurrence avec les composants du commerce, et n'apporte aucun intérêt par rapport à la structure actuelle du système. Une structure semi-intégrée a donc été choisie. Elle consiste en un modulateur dont une partie du filtre est implantée en composants discrets, le reste des fonctions étant intégrées dans un ASIC. Or, si la technique de prédilection des filtres intégrés est celle des capacités commutées, elle n'est pas adaptée à une réalisation sous forme de composants discrets

(les caractéristiques parasites de composants devenant prépondérantes). Ces intégrateurs sont donc implantés avec des amplificateurs opérationnels montés en intégrateurs continus. L'architecture du filtre de boucle du modulateur est donc de type mixte temps-continu/temps-discret.

Le nombre d'étages à implémenter à l'extérieur de l'ASIC avec des composants discrets doit être minimisé et en tout cas limité 2.

IV.3.3 Conception d'un modulateur à temps discret

La conception du gabarit à temps discret reprend la méthode décrite par Richard Schreier dans [SCH93], dont les étapes, écrites dans l'environnement Matlab [MAT], étaient disponibles sur le site FTP de l'institution qui l'hébergeait (Oregon State University).

Les étapes sont:

1) Choix du couple (ordre, OSR) le plus faible possible. L'ordre doit être le plus faible possible pour limiter la consommation électrique (bien que ce choix soit contesté par une publication récente [KAS98]) et pour minimiser la complexité du circuit intégré. L'OSR est préféré faible également pour minimiser la consommation électrique, mais aussi pour limiter les contraintes de fonctionnement des amplificateurs extérieurs. Un ordre de 4 est suffisant pour atteindre 120dB de SNR avec un OSR de 128, soit une fréquence de fonctionnement de 76800 Hz.

2) Calcul en pôles et zéros du filtre de bruit (NTF) optimal de type Butterworth. La place des pôles assure la stabilité et maximise le SNR, tandis que la répartition des zéros dans la bande est paramétrable. L'option choisie place deux zéros fréquence nulle et une paire en haut de bande de base. Il est préférable que les 2 zéros en DC soient apportés par les premiers étage, ce qui permet, en outre, de simplifier leur

implémentation avec des intégrateurs à temps continu. Ainsi, seul l'offset du premier étage n'est pas filtré par la structure, et le déport des zéros permet un filtrage du bruit plus homogène dans la Bande Utile.

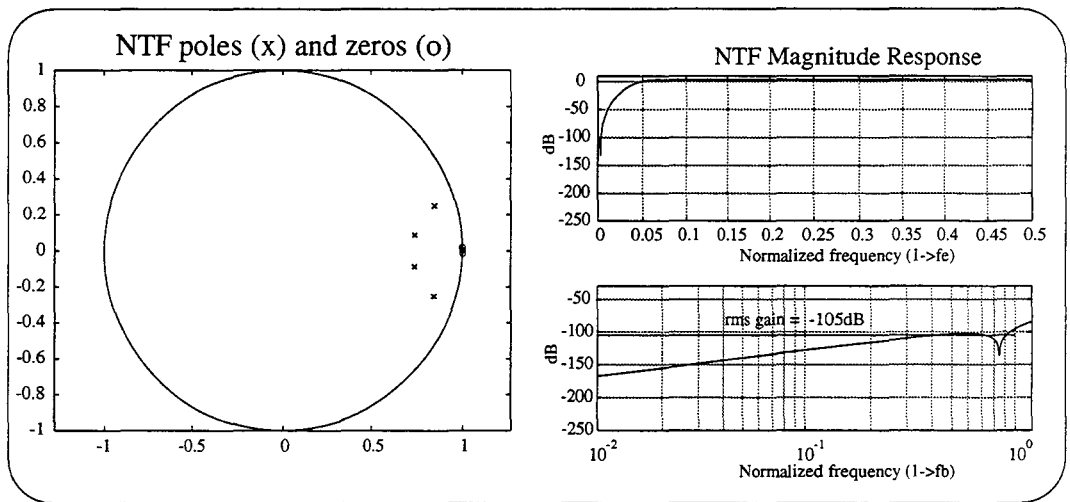


Figure IV.8 Lieu des pôles et zéros dans le plan complexe (gain de 1) et Gabarit de la NTF (entière et Bande Utile)

Une première simulation permet de vérifier les performances de la modulation par ce filtre.

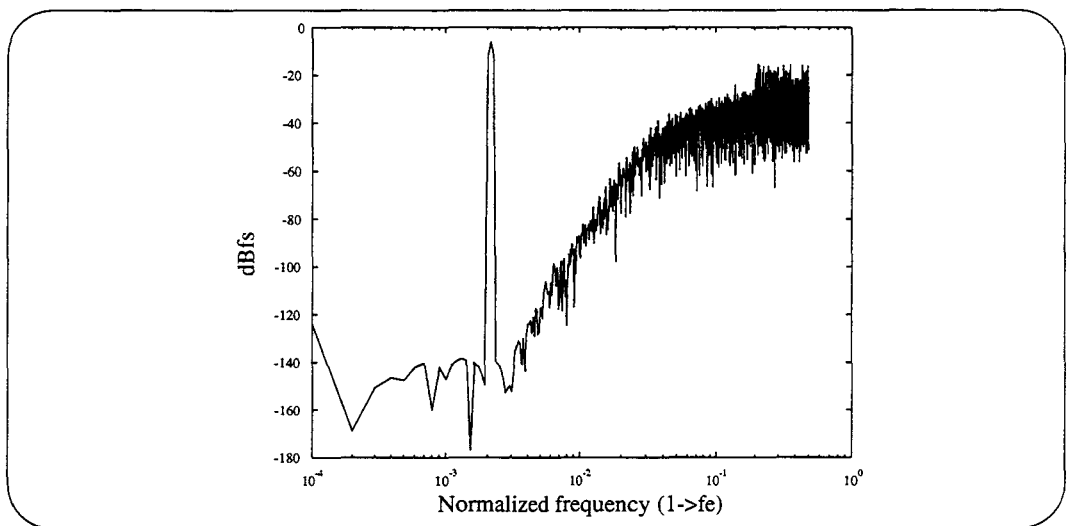


Figure IV.9 FFT de la sortie du modulateur (filtre en pôles/zéros).

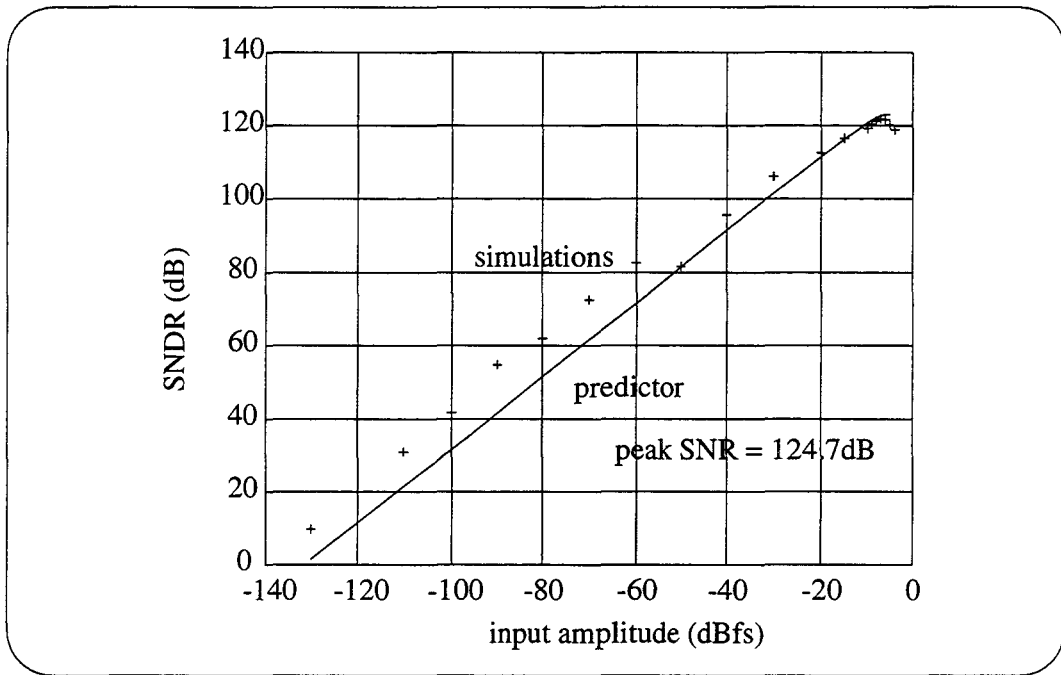


Figure IV.10 Courbe de SNR en sortie du modulateur (filtre en pôles/zéros)

3) Après validation, il faut choisir une structure de filtre et en calculer les coefficients. Plusieurs architectures sont proposées par la fonction. Contrairement au choix réalisé dans la plupart des publications récentes [KAS98][VDZ96], une structure de type "Rebouclages Multiples" (Multiple Feed-back) est sélectionnée. Elle permet de profiter des deux étages continus pour filtrer les effets de l'échantillonnage. A contrario, le type "Somme des Etats" (Feed Foward) n'autorise que le filtrage par le premier intégrateur et oblige à utiliser la sortie de ce premier étage comme une entrée à la partie intégrée du convertisseur.

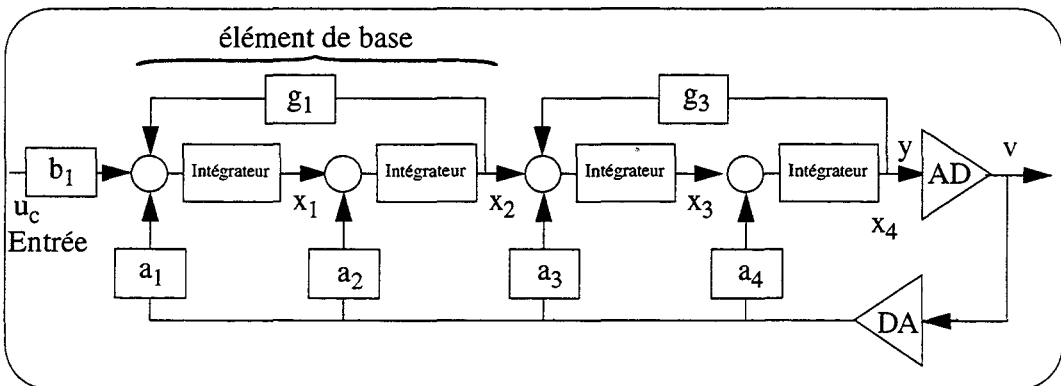


Figure IV.11 Schéma de l'implantation à rebouclage multiple (FB).

De même, une représentation universelle des intégrateurs en $Z^{-1}/(1-Z^{-1})$ a été préférée car elle a servi de base pour les calculs de la transformation temps-continu/ temps-discret en début de ce chapitre.

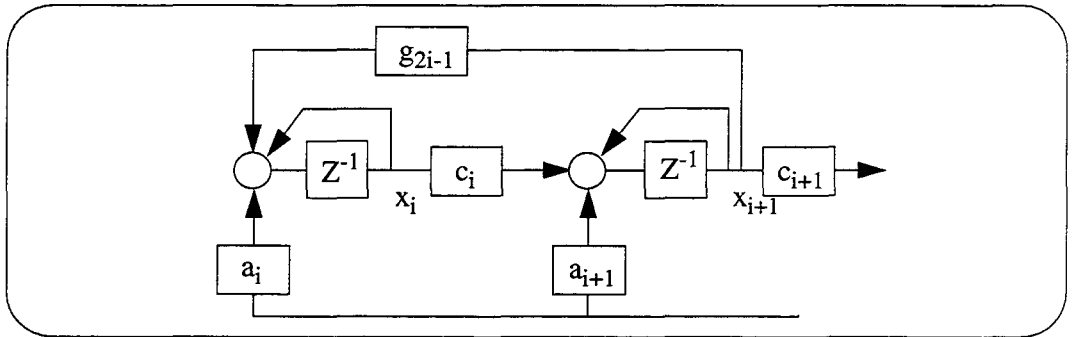


Figure IV.12 Schéma de l'élément de base de l'architecture Chaîne d'Intégrateurs (CI)

Une représentation dans l'espace d'état est maintenant possible et la simulation permet, outre la vérification des performances en terme de SNR et de dynamique, de borner les éléments du vecteur d'état. Il faut signaler qu'un article récent décrit un excellent estimateur de ces bornes [FAR98], mais il n'était pas paru au moment de cette étude.

4) Les coefficients sont ensuite ajustés pour permettre d'égaliser l'excursion des variables d'état. Elle est fixée à la plage de sortie du DAC de rebouclage. Ainsi, si le signal d'entrée reste dans la plage de stabilité, les sorties des intégrateurs sont assurées de rester entre les valeurs de sortie du DAC. Cela optimise l'utilisation des dynamiques des signaux électriques du circuit. La simulation permet une fois encore de vérifier le bon fonctionnement du modulateur et l'effet de cette égalisation de niveaux.

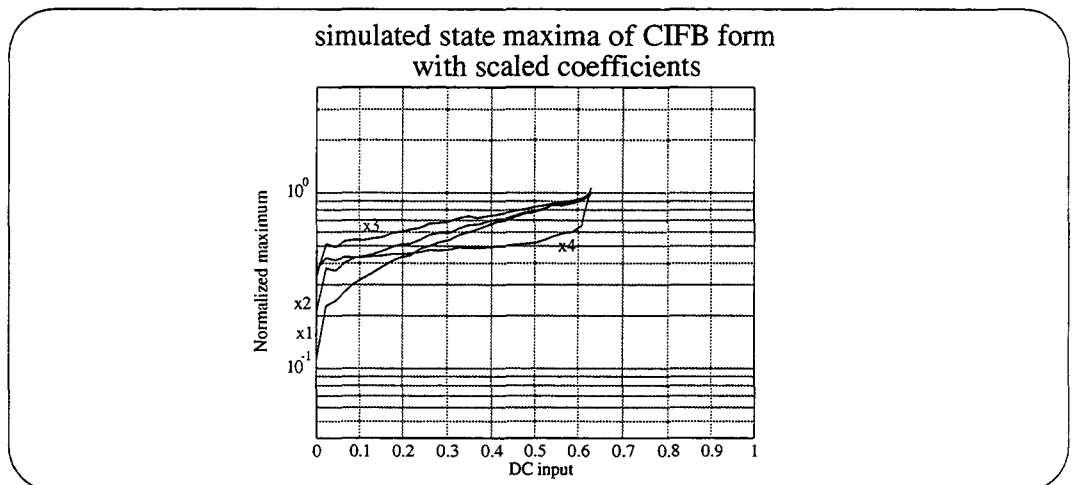


Figure IV.13 Maximums des variables d'état du modulateur égalisé pour une entrée continue.

A ce point, les coefficients sont calculés de façon optimale pour un modulateur à temps discret.

	a	b	c	g
1	0,112161	0,112161	0,166657	(0)
2	0,196902	(0)	0,328876	-
3	0,308258	(0)	0,447200	0,000962
4	0,360316	(0)	(1)	-

Tableau IV.2 : Coefficients du modulateur échantillonné (CIFB)

dont les équations sont:

$$\begin{cases}
 \mathbf{x}_{n+1} = \begin{bmatrix} 1 & g_1 & 0 & 0 \\ c_1 & 1 & 0 & 0 \\ 0 & c_2 & 1 & g_2 \\ 0 & 0 & c_3 & 1 \end{bmatrix} \cdot \mathbf{x}_n + \begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{bmatrix} \cdot \mathbf{u}_n + \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix} \cdot \mathbf{v}_n \\
 y_n = \begin{bmatrix} 0 & 0 & 0 & c_4 \end{bmatrix} \cdot \mathbf{x}_n + \begin{bmatrix} 0 \\ 0 \\ 0 \end{bmatrix} \cdot \mathbf{u}_n + \begin{bmatrix} 0 \\ 0 \\ 0 \end{bmatrix} \cdot \mathbf{v}_n \\
 \mathbf{v}_n = Q(y_n)
 \end{cases} \quad (IV.43)$$

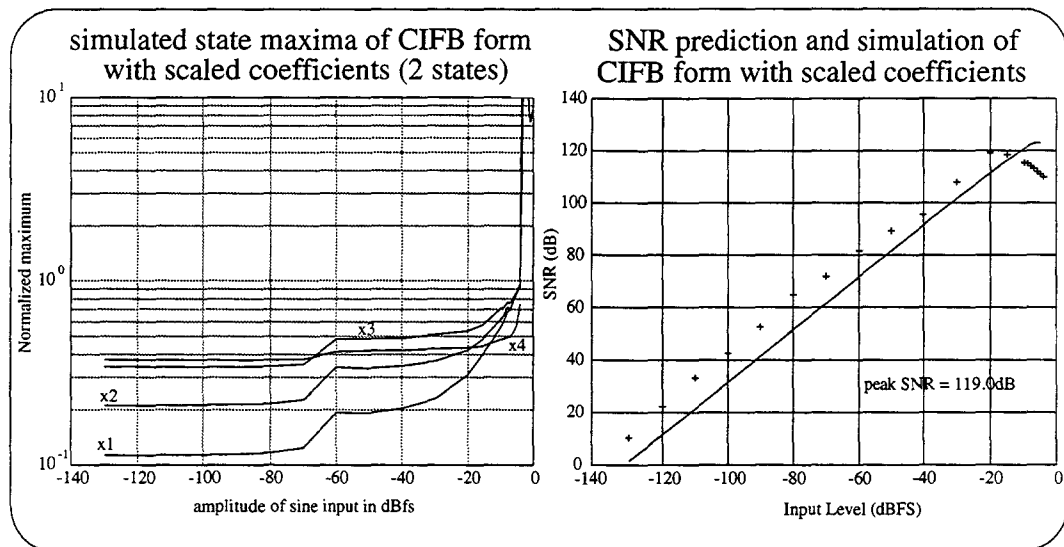


Figure IV.14 Courbe de SNR et Maximums des variables d'état du modulateur égalisé.

Les performances sont vérifiées pour des variations autour des valeurs nominales des coefficients:

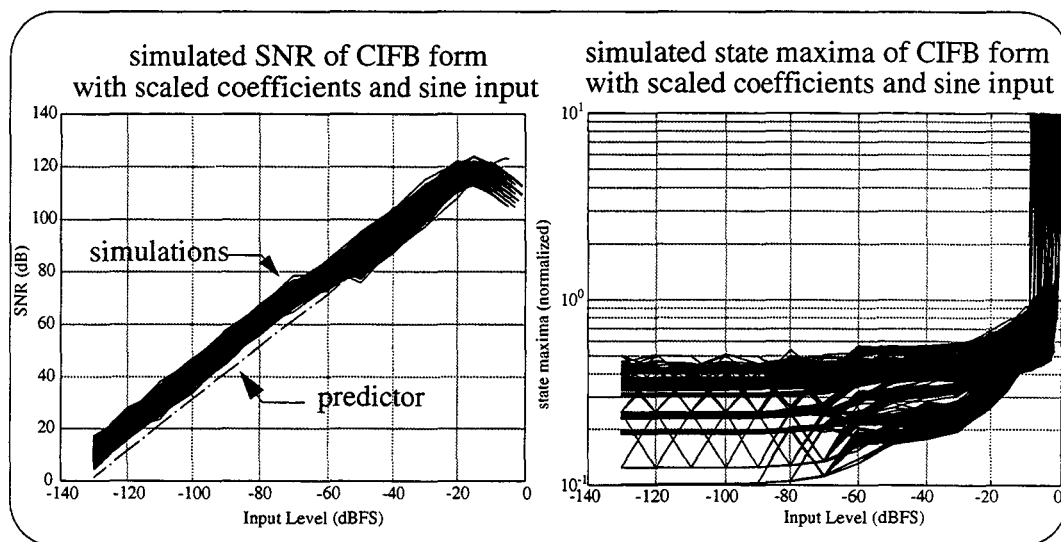


Figure IV.15 courbes SNR et maximums des variables d'état, en variation des coefficients à plus ou moins 10%.

IV.3.4 Calcul du modulateur mixte et de son modèle de simulation échantillonné

Vient ensuite le calcul des coefficients de la partie continue du filtre, qui correspond aux deux premiers étages. Les calculs effectués n'utilisent pas toutes les possibilités offertes par les calculs développés au début de ce chapitre. Ces calculs sont donc relativement simples et portent sur les 3 premiers étages.

La modulation RTZ choisie ici est composée de deux signaux, dont l'un est nul quand l'autre est actif. Ainsi, il y a effectivement modulation RTZ de chacun des signaux du DAC, alors qu'au niveau système la somme des deux est toujours active. La contrainte de linéarité est donc reportée sur le noeud de sommation. Le calcul des coefficients se fait donc avec $t_1=0$ et $t_2=1$.

$$\mathbf{A}_c = \begin{bmatrix} 0 & 0 & 0 \\ c_{c1} & 0 & 0 \\ 0 & c_{c2} & 0 \end{bmatrix} \quad e^{\mathbf{A}_c t} = \begin{bmatrix} 0 & 0 & 0 \\ c_{c1} \cdot t & 0 & 0 \\ c_{c1} \cdot c_{c2} \cdot t^2/2 & c_{c2} \cdot t & 0 \end{bmatrix} \quad (\text{IV.44})$$

Un coefficient de 1/1,22 a été utilisé pour le dimensionnement de la partie continue, cela afin d'éviter que des composantes haute fréquence de l'entrée ne déstabilise le système.

Les coefficients de rebouclage deviennent donc

	a	b	c	g
1	0,092824	0,092824	0,166657	(0)
2	0,142770	(0)	0,328876	-
3	0,284236	(0)	0,447200	0,000962
4	0,360316	(0)	(1)	-

Tableau IV.3 : Coefficients du modulateur mixte (CIFB)

Les coefficients inter-étage restent inchangés.

Le modèle de simulation échantillonné du modulateur mixte est donc:

$$\left\{ \begin{array}{l}
 \mathbf{x}_{n+1} = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0,1677 & 1 & 0 & 0 \\ 0,0272 & 0,3247 & 1 & 0,00096 \\ 0 & 0 & 0,4472 & 1 \end{bmatrix} \cdot \mathbf{x}_n + \begin{bmatrix} 0,0923 \\ 0,0155 \\ 0,0025 \\ 0 \end{bmatrix} \cdot \mathbf{u}_n + \begin{bmatrix} -0,0923 \\ -0,1428 \\ -0,2842 \\ -0,3603 \end{bmatrix} \cdot \mathbf{v}_n \\
 \mathbf{y}_n = \begin{bmatrix} 0 & 0 & 0 & (1) \end{bmatrix} \cdot \mathbf{x}_n + \begin{bmatrix} 0 \end{bmatrix} \cdot \mathbf{u}_n + \begin{bmatrix} 0 \end{bmatrix} \cdot \mathbf{v}_n \\
 \mathbf{v}_n = \mathbf{Q}(\mathbf{y}_n)
 \end{array} \right. \quad (\text{IV.45})$$

Une fonction sous l'environnement Matlab [MAT] a été écrite pour réaliser ces calculs. Elle utilise les formats des fonctions de M. Schreier pour plus de cohérence. La comparaison de ces matrices (en tenant compte du coefficient de 0,82) d'avec celles du modulateur échantillonné original montre bien la validité de la transformation.

Cette transformation inverse permet de simuler les performances du modulateur mixte.

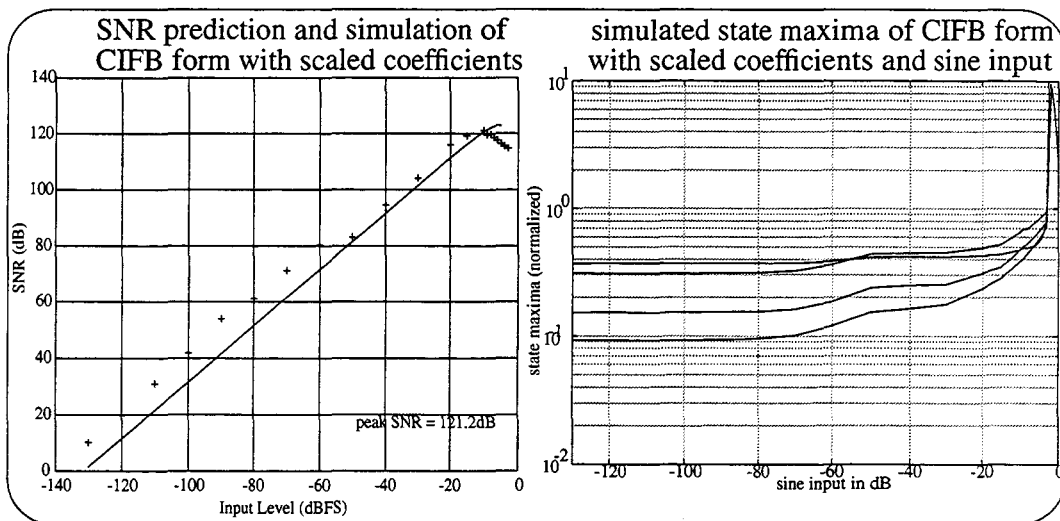


Figure IV.16 courbes SNR et variables d'état du modèle échantillonné du modulateur mixte.

Toutefois, des simulations ont été faites à l'aide d'un simulateur électrique ELDO [ELD]. Utilisant des macro-modèles pour les fonctions actives, elle n'ont pas permis de préciser d'en préciser les caractéristiques. De plus, les temps de calculs sont longs pour obtenir une résolution permettant un calcul précis des performances du modulateur.

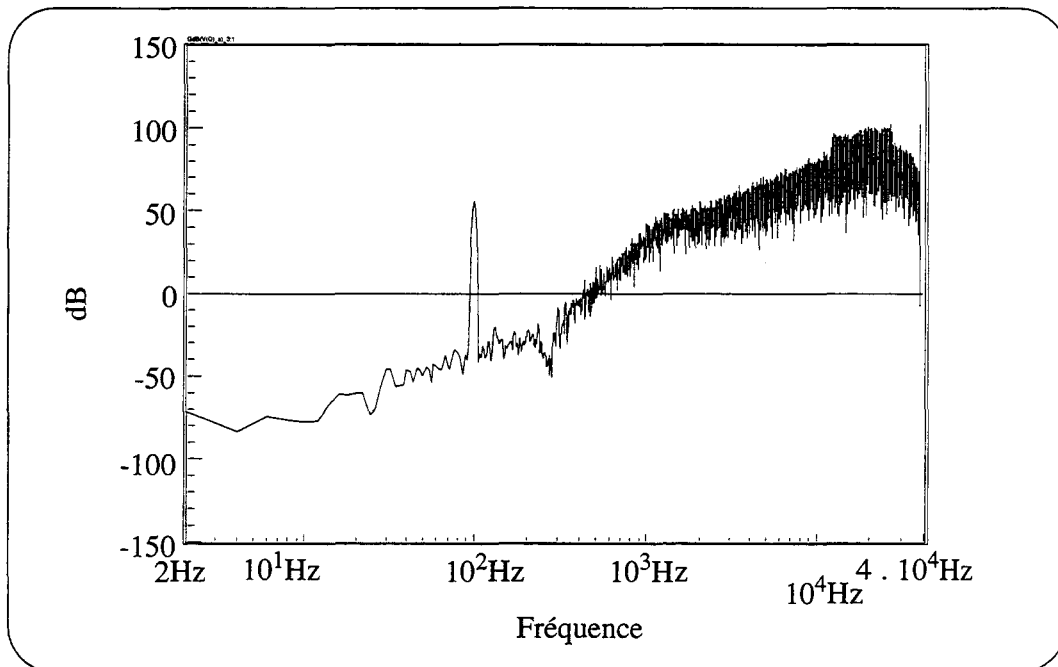


Figure IV.17 Densité spectrale de puissance de la sortie du modulateur mixte simulé avec ELDO.

IV.3.5 Implantation du modulateur

IV.3.5.1 Architecture et implantation des coefficients

L'architecture retenue est présentée à la figure IV.18.

Le tableau suivant peut donc être dressé:

coefficient	composants
b1	1/(C1.R1)
a1	1/(C1.R2)
c1	1/(C2.R3)
a2	1/(C2.R4)
c2	C3/C10
a3	C4/C10
c4.c3	C5/C20
c4.a4	C6/C20
g2	C7/C10

Tableau IV.4 : relation coefficients-valeurs de composants

C'est donc par couples de composants et de coefficients qu'il faut raisonner, ce qui laisse une certaine liberté pour le choix des valeurs. Mais la conséquence négative est qu'il faut prendre en compte beaucoup de composants pour s'assurer qu'une dispersion sur leurs valeurs permet d'obtenir les caractéristiques de modulation désirées.

IV.3.5.2 Calcul de la valeur des composants

Les valeurs des composants ont été calculées par des fonctions écrites dans l'environnement Matlab [MAT].

Elles calculent, à partir d'une liste de composants ou de rapports de composants disponibles, les valeurs des éléments qui déterminent les rapports de signaux dans le circuit. Les combinaisons qui se rapprochent des coefficients sont sélectionnées puis classées par la méthode des moindres carrés de l'erreur. Le choix final est laissé au concepteur, qui peut ainsi prendre en compte d'autres contraintes (minimiser le nombre de composants, éviter des valeurs trop fortes...).

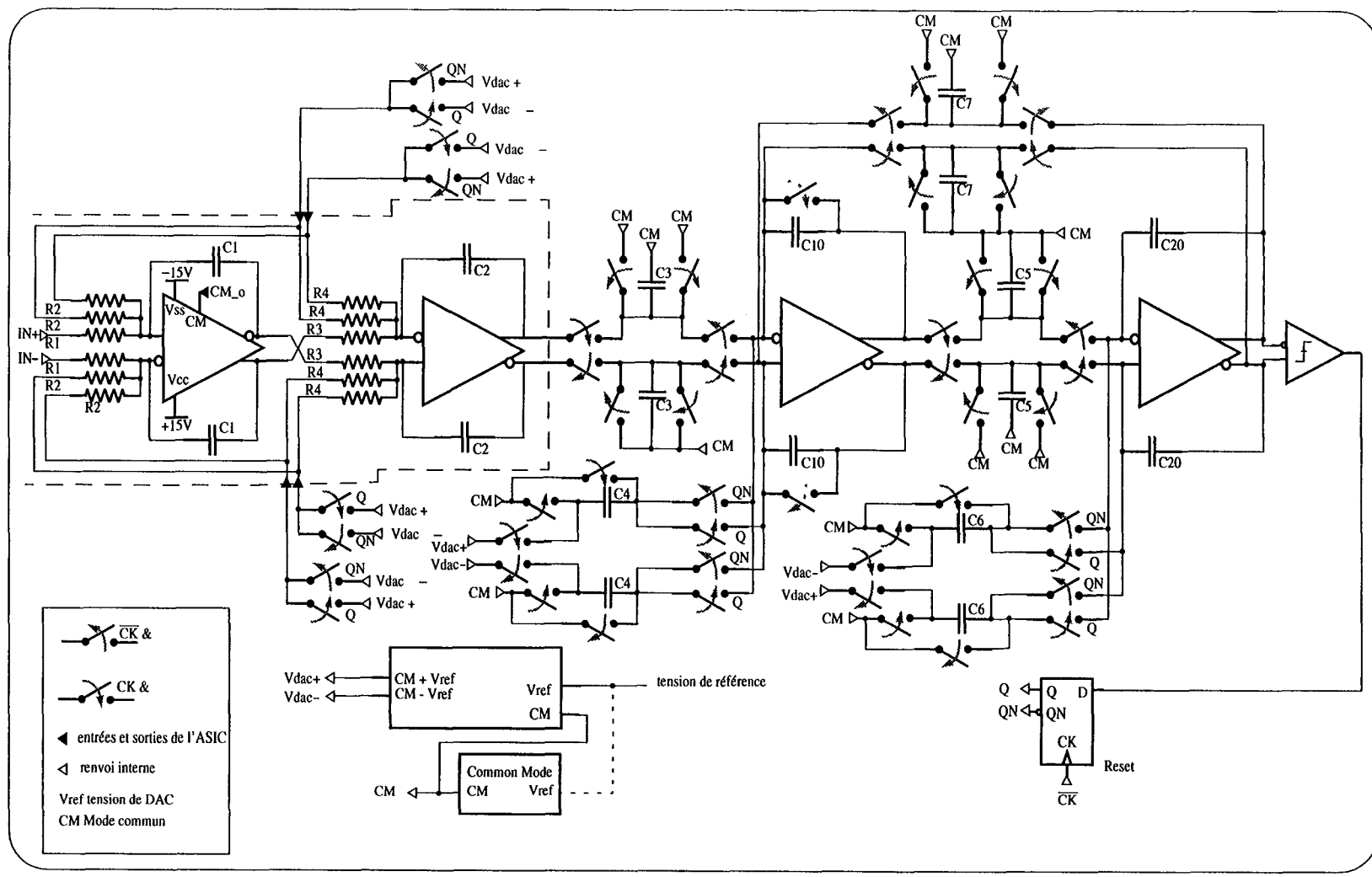


Figure IV.18

Schéma électrique équivalent du modulateur mixte.

Le fait d'utiliser une couple ADC/DAC à deux niveaux (1 bit) annule toute contrainte sur le coefficient c_4 , ce qui donne un peu de liberté dans le choix des rapports de valeurs de condensateurs. Le dimensionnement du filtre à temps discret est effectué en premier. Les critères de jugement fournis au concepteur, pour qu'il effectue le choix final, sont l'erreur globale et le nombre de condensateurs utilisés.

Vient ensuite le calcul des composants constituant les intégrateurs continus, conformément à (IV.42). Là encore, les combinaisons éligibles de composants disponibles sont classées et proposées au concepteur. Il dispose des valeurs de tous les composants pour faire le choix final.

	1	2	3	4	5	6	7	10	20
R	28,7K	28,7K	82.5K	100K					
C	4,7n	820p	5.D1	4.D1	5.D2	4.D2	0,.D1	14.D1	16.D2

Tableau IV.5 : Valeurs des composants

Une simulation avec variation des valeurs des composants a montré que les performances en SNR du cahier des charges peuvent être atteintes en tolérant un certain écart par rapport à ces valeurs.

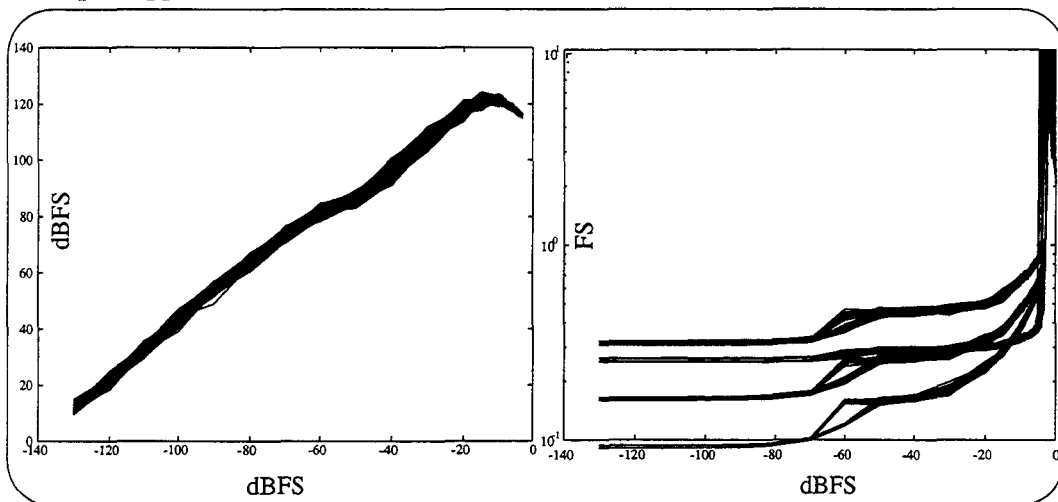


Figure IV.19 courbes SNR et variables d'état, en variation des valeurs à plus ou moins 1% pour les capacités et 0,1% pour les résistances.

IV.3.5.3 Caractéristiques des amplificateurs continus.

Les intégrateurs à temps continu sont les premiers étages du filtre du modulateur. Leurs caractéristiques de bruit et de distorsion ramenés à l'entrée constituent donc une limite de codage, au même titre que les caractéristiques de la modulation proprement dite. Il convient donc de bien préciser les performances qui leur sont nécessaires pour assurer le fonctionnement correct du modulateur.

Le bruit ramené en entrée du montage intégrateur doit être inférieur au rapport (puissance maximale du signal utile)/(spécification de SNR). Au vu de la largeur de Bande Utile (2 décades) et la fréquence la plus basse utilisée (3Hz), le bruit en 1/F risque d'être la contribution majoritaire. Il convient également de noter que la fonction de transfert de bruit du montage intégrateur est différente de la fonction de transfert de signal. Il en résulte une amplification du bruit au dessus de la pulsation $1/R_i.C_i$, pulsation qu'il faut donc maintenir supérieure à la Bande Utile (de borne supérieure F_b). Soit la relation, valable pour c_i et b_i ,

$a_i \cdot F_e / 6 > F_b$	(IV.46)
---------------------------	---------

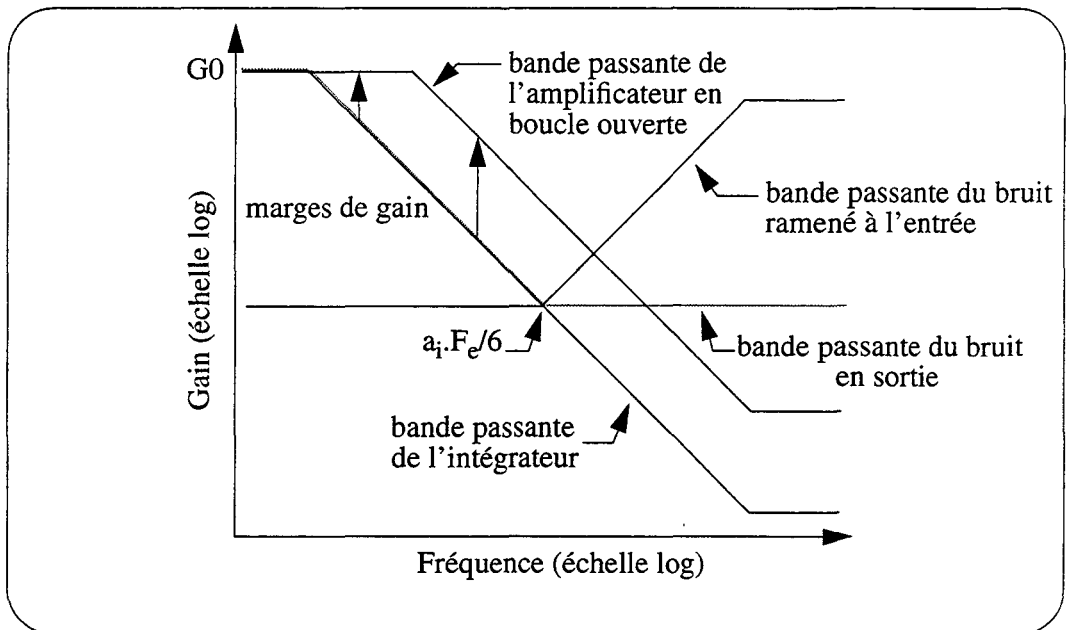


Figure IV.20 Bruit ramené à l'entrée d'un intégrateur continu.

La distorsion provenant de l'amplificateur est atténuée par la marge de gain de l'amplificateur par rapport au montage intégrateur. Cela est surtout important aux fréquences de la bande utile. Pour atteindre l'objectif de distorsion, il faut essentiellement vérifier que pour la fréquence la plus basse de la bande (là où les effets de gain fini en DC de l'amplificateur risquent de limiter cette marge de gain) la distorsion reste acceptable.

A ces contraintes, il faut ajouter le slew-rate. En effet, pour le premier étage, $\left[\frac{x_{1c}}{dt}\right]_{\text{Max}} = \frac{[v + u_c]_{\text{Max}}}{R_i \cdot C_i}$. D'où une contrainte directement liée aux coefficients synthétisés, à la fréquence de fonctionnement du modulateur et aux tensions de DAC retenues, car ils définissent ensemble la valeur du slew-rate maximal en fonctionnement. La contrainte en sortie du deuxième intégrateur est calculable de façon comparable, en séparant v et x_{1c} avec leurs valeurs de composants respectives.

De plus, il faut que le produit des G_0 des intégrateurs continus (générant le zéro de la NTF à fréquence nulle) soit le plus grand possible, pour atténuer les cycles limites de la structure. Ce produit doit être supérieur à l'atténuation nécessaire à l'obtention du SNR espéré. Il faut donc maximiser le gain G_0 des amplificateurs opérationnels des intégrateurs à temps continu. Dans une structure différentielle, il serait aisé de réaliser un modulateur chaotique en ajoutant un rebouclage comme décrit au chapitre II. Par contre, ceci poserait des problèmes de stabilisation du modulateur.

IV.3.6 Maquette

Une maquette du circuit modulateur a été construite. Elle a pour but de vérifier la validité de la transformation échantillonné/mixte en vérifiant sa stabilité. Elle doit également servir à préciser les contraintes liées à l'implantation d'un tel modulateur. Enfin, cette expérimentation doit permettre de préciser les besoins en termes d'appareils de génération et de mesure de signaux électriques en vue de la conception et du test d'un modulateur semi-intégré.

IV.3.6.1 Technique d'implantation du filtre à condensateurs commutés

L'une des difficultés majeures a été l'implantation de la partie à condensateurs commutés du filtre de boucle du modulateur. En effet, la réalisation de cette fonction avec des signaux différentiels est, de loin, la plus efficace en conception de circuits intégrés. Par contre, elle demande beaucoup de connexions.

Les moyens mis à disposition pour la réalisation de cette maquette, notamment l'utilisation de plaquettes "Strip", ne permettaient pas d'atteindre cette complexité. Une implantation simple phase ("single ended") a donc été adoptée.

IV.3.6.2 Technique d'implantation des intégrateurs continus.

C'est la seule partie de cette maquette susceptible d'être utilisée telle quelle dans la réalisation finale. La conception de ces intégrateurs s'est voulue la plus proche possible de celle du modulateur semi-intégré.

Ainsi, une structure différentielle a été choisie, car elle améliore la susceptibilité à certains termes de distorsion. Elle permet également de réduire la sensibilité aux perturbations électromagnétiques aux fréquences de la bande utile. De plus, cette structure donnera, à terme, une cohérence aux signaux électriques internes et externes du modulateur semi-intégré.

Aucun amplificateur commercial sous forme discrète, à entrée et sortie différentielles, ne permet d'atteindre les performances recherchées de modulation. Une structure différentielle a donc été construite à partir d'amplificateurs opérationnels à sortie simple, réglés par une boucle de contrôle du mode commun. Ce montage est décrit à la figure IV.21

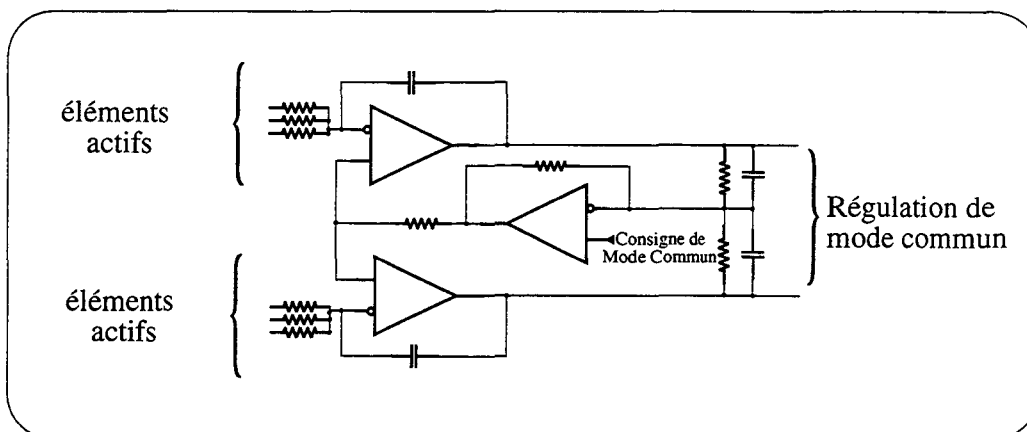


Figure IV.21 Schéma de l'intégrateur continu différentiel-différentiel

L'entrée de consigne de la régulation de mode commun étant très haute impédance, elle peut être directement connectée à une référence de tension.

IV.3.6.3 Technique d'implantation des DAC.

C'est l'un des points les plus importants du modulateur, car toute imperfection à ce niveau (bruit, non-linéarité) ne bénéficie d'aucune atténuation, et apparaît comme introduite à l'entrée du modulateur. Pour la partie à temps continu, ces DAC sont différentiels.

La tension active du DAC est générée par une référence de tension. Elle est rendue symétrique par rapport à la tension de mode commun.

Les commutations de ces tensions pour construire les formes d'onde RTZ sont effectuées par des interrupteurs électroniques, de type MOS complémentaires.

IV.3.6.4 Résultats

IV.3.6.4.1 Re-initialisation

Le système est instable à la mise sous tension et sous certaines conditions du signal d'entrée. Un moyen de stabilisation a donc dû être conçu. Il repose un fonctionnement en ordre 2 des étages à temps continu, la sortie du deuxième intégrateur servant à la conversion un bit interne. A cet ordre, un fonctionnement stable est retrouvé peu après la fin du dépassement des capacités de codage du modulateur, puisque les deux intégrateurs externes forment un filtre stable.

Dans ce mode, les condensateurs d'intégration des 3 et 4ème étages sont court-circuités, et les sorties de ces intégrateurs (les variables d'état) sont donc nulles. Un signal logique enclenche ce mode de fonctionnement. Le retour à une modulation du quatrième ordre est déclenché automatiquement par une condition sur la sortie du 2ème étage. Ce système de Reset analogique permet le retour à un fonctionnement stable sans jamais interrompre la modulation (mais dont la qualité est néanmoins faible dans ce mode de re-initialisation).

IV.3.6.4.2 Stabilité

La stabilité du modulateur en configuration 4ème ordre est comparable aux performances attendues. Elle est liée aux valeurs du signal appliqué en entrée. L'amplitude maximale d'un signal sinusoïdal appliqué à l'entrée et permettant un fonctionnement stable du modulateur a été de $\Delta/10$ pic-pic pour une fréquence de 120Hz. Pour cette entrée, le modulateur peut devenir instable au bout d'un temps relativement long (une dizaine de minutes).

IV.3.6.4.3 Modulation

La modulation d'ordre 4 a bien été observée. La FFT de la sortie montre un accroissement de 80dB/décade de bruit de quantification. Toutefois, il n'a pas été possible de visualiser le zéro de la NTF en haut de Bande Utile. Cela est dû au fort niveau de bruit à l'intérieur de cette bande.

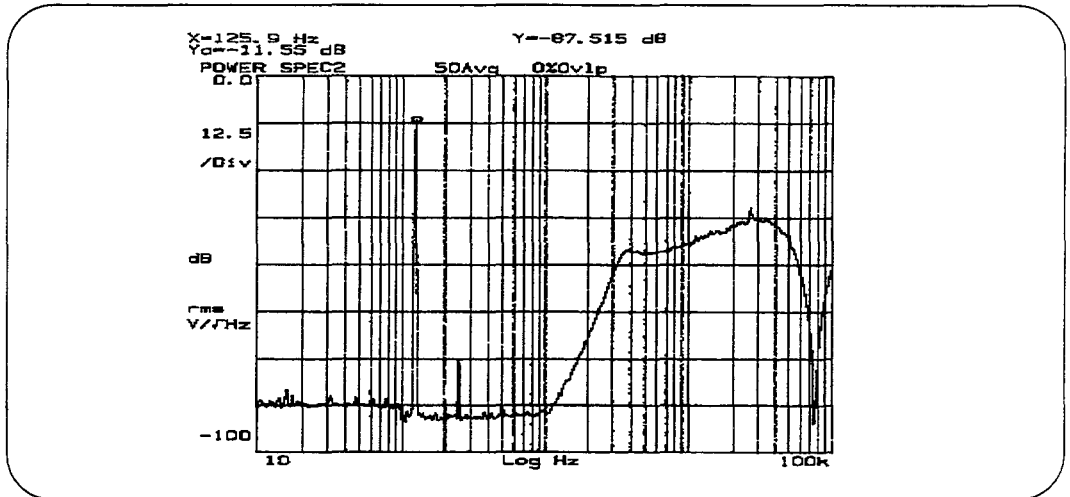


Figure IV.22 Densité spectrale de puissance mesurée en sortie de la maquette du modulateur mixte.

IV.3.6.4.4 Qualité de la modulation

La qualité de la modulation a été bien inférieure à celle attendue.

Pratiquement, l'ensemble des moyens mis en oeuvre pour la réalisation et le test de cette maquette peuvent être mis en cause.

Jitter d'horloge ou bruit de phase de l'horloge: Il est d'une importance extrême, dans la mesure où il affecte directement les performances du DAC de rebouclage. Or le générateur ne permettait pas d'atteindre la précision voulue (1,41nsRMS contre 32psRMS) à des fréquences aussi basses que notre horloge principale (76800 Hz). Le meilleur moyen est de faire fonctionner le générateur à fréquence relativement haute (où le bruit de phase est plus faible) et à en réduire la fréquence. De plus, dans sa conception

même, la partie numérique de la maquette était dépendante du bruit de phase introduit par l'ensemble des circuits logiques. Une réalisation synchrone de ces fonctions est indispensable.

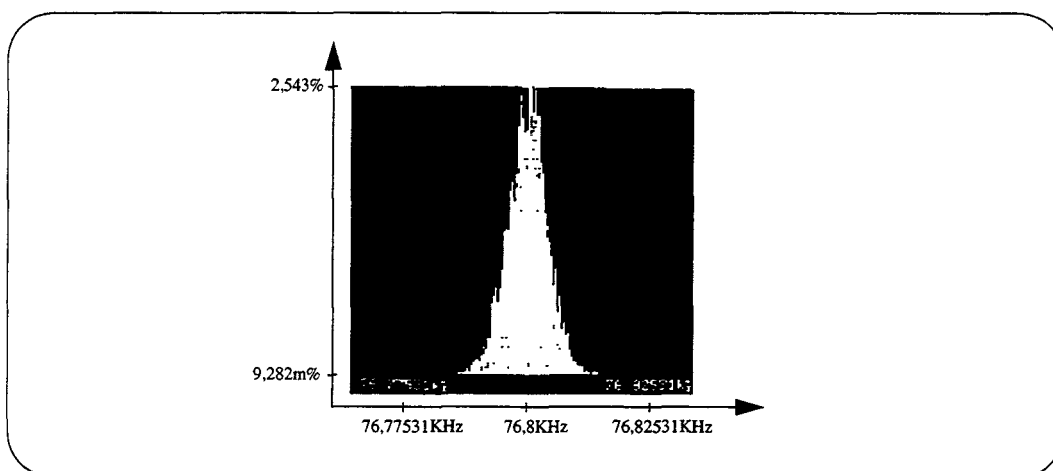


Figure IV.23 **Mesure du bruit de phase du générateur d'horloge utilisé.**

Asymétries dans la partie capacité commutée: la technique de réalisation en format simple phase ("single ended") de cette partie oblige à convertir le format différentiel de la sortie du deuxième intégrateur continu. Au cours de cette conversion, du fait des asymétries, une partie du Mode Commun est prise comme signal. Dans le reste du filtre échantillonné, ces mêmes asymétries perturbent le fonctionnement et introduisent des pertes et des non-linéarités. A terme, une unité de format des signaux doit être conservée dans l'ensemble du montage.

Régulation du Mode Commun des étages continus: elle n'avait pas bénéficié d'une étude approfondie, et elle s'est révélée inefficace pour certaines fréquences relativement hautes. Du fait de la présence d'un intégrateur dans la boucle de régulation, il importait d'y maintenir un gain le plus élevé possible en dehors des basses fréquences en introduisant un zéro de compensateur. Les composantes hautes fréquences du Mode Commun n'étant pas atténuées, elles augmentaient au fur et à mesure des étages. Or l'échantillonnage les replie en Bande Utile.

Propreté de la maquette: cette maquette étant réalisée sur plaquette "Strip" simple face, les noeuds sensibles du montage n'ont pas pu bénéficier d'un traitement particulier pour limiter leur interaction avec le milieu extérieur. De même, un plan de masse aurait pu protéger ces points. De plus, la complexité des interconnexions a conduit à implanter la circuiterie numérique sur une carte mezzanine. La superposition des signaux numériques et de noeuds analogiques sensibles n'est pas optimal.

Linéarité et bruit des interrupteurs analogiques de DAC: ces interrupteurs sont placés entre la référence de tension et la résistance d'entrée des intégrateurs. Or cette résistance effectue une conversion tension vers courant électrique, courant qui est intégré dans la capacité. Les interrupteurs sont donc parcourus par un courant continu lors de la phase active du RTZ et leur résistance instantanée (fonction des tensions de commande et du courant traversant) non-linéaire perturbe cette conversion. Le courant génère du bruit en passant à travers le composant, et la résistance modifie le coefficient du système. Il paraît donc préférable de placer ces interrupteurs de façon à ne pas perturber les paramètres du système qui modifient la stabilité. De plus, leur bruit en serait diminué.

Matériel d'acquisition et de calcul: ce matériel était composé d'une carte d'acquisition et d'un ordinateur permettant le traitement des informations recueillies. Aux précisions recherchées, cette solution est la seule envisageable dans la mesure où les analyseurs de spectres ont une dynamique de signaux limitée. Toutefois, le matériel disponible était conçu pour comparer des convertisseurs, et non pour établir leur caractéristiques absolues. De plus, une isolation électrique des masses du modulateur et de la carte d'acquisition pourrait diminuer les perturbations.

Les références de tension pour le DAC: l'utilisation de références de tension à base de diode Zener doit être proscrite, car leur bruit (notamment aux basses fréquences) est important. Le filtrage de la sortie pour une utilisation directe s'avère difficile car une forte charge capacitive provoque l'oscillation de la sortie. Ainsi, un circuit exploitant la "hauteur de barrière" du semiconducteur (Bandgap) semble préférable en terme de bruit en $1/F$. Seule une solution associant un filtrage important aux basse fréquences et un étage tampon (buffer) paraît pouvoir satisfaire aux exigences de bruit et de consommation de courant en sortie.



IV.4 Conclusion

La méthode développée dans ce chapitre, pour la conception de modulateurs Sigma-Delta à temps continu et mixte, a montré son intérêt à travers la conception d'un modulateur du quatrième ordre mixte. La stabilité de ce circuit a été démontrée non seulement par simulation échantillonnée et continue, mais aussi par les mesures sur une maquette. Ces mesures ont précisé la nature et l'importance des contributions de chacun

des constituants du circuit sur les caractéristiques du système, comme sur les performances de la modulation. Seule la conception attentive d'un modulateur semi-intégré peut permettre d'atteindre les performances envisagées.

IV.5 Références bibliographiques

- [ARD87] S. H. Ardalan and J. J. Paulos, "Analysis of non-linear behavior in delta-sigma modulators" in IEEE Trans. Circuits and Systems, vol. CAS-37, pp. 593-603, Jun. 1987.
- [CS5321] Crystal Semiconductor Corporation, "High Dynamic Range Delta-Sigma Modulator", Data Sheet du composant "CS5321".
- [DSI90] Bruce P. del Signore et al., "A Monolithic 20-b Delta-Sigma A/D Converter" in IEEE J. Solid-State Circuits, vol. 25, pp. 1311-1317, Dec. 1990.
- [ELD] ELDO, ANACAD Electrical Engineering Software, version 4.6.
- [FAR98] Ronan Farrell and Orla Feely, "Bounding the Integrator Outputs of Second-Order Sigma-Delta Modulators" in IEEE Trans. Circuits and Systems- II, vol. 45, pp. 691-702, Jun. 1998.
- [KAS98] Dan B. Kasha, Wai L. Lee and Axel Thomsen, "A 16 mW, 120 dB Linear Switched-Capacitor Delta-Sigma Modulator with Dynamic Biasing", in Proceedings of ESSCIRC'98 The Hague, pp 160-163, ISBN 2-86332-235-4, Edition Frontières (Paris, France) 1998.
- [MAT] MATLAB, The MathWorks Inc., version 5.1
- [SCH93] Richard Schreier, "An Empirical Study of High-Order Single-Bit Delta-Sigma Modulators" in IEEE Trans. Circuit and Systems- II, vol. 40, pp. 461-466, Aug. 1993.
- [SCH96] Richard Schreier and Bo Zhang, "Delta-Sigma Modulators Employing Continuous-Time Circuitry" in IEEE Trans. Circuit and Systems- I, vol. 43, pp. 324-332, Apr. 1996.
- [SCH97] Richard Schreier, Montgomery V. Goodson and Bo Zhang, "An Algorithm for Computing Convex Positively Invariant sets for Delta-Sigma Modulators" in IEEE Trans. Circuit and Systems- I, vol. 44, pp. 38-44, Jan. 1997.

- [VDZ96] Eric J. van der Zwan and E. Carel Dijkmans, "A 0.2-mW CMOS SD Modulator for Speech Coding with 80 dB Dynamic Range" in *IEEE J. Solid-State Circuits*, vol. 31, pp. 1873-1880, Dec. 1996

V Conception d'un Modulateur Expérimental

Un ASIC permettant d'atteindre les performances demandées avec une structure de filtre mixte est décrit dans ce chapitre. Ce circuit contient les étages échantillonnés du filtre de boucle du modulateur mixte Sigma-Delta, les références de tensions de Mode Commun et de DAC, des filtres pour ces tensions, des étages tampons, les DAC réalisés par des amplificateurs Chopper, ainsi que la logique de codage et de commande. Les aspects d'interface entre cet ASIC et la partie externe du filtre sont également détaillés. Toutes les informations concernant ce composant sont regroupés sous forme de Data Sheet. Des résultats de tests du modulateur sont présentés.

La synthèse d'un modulateur Sigma-Delta dont le filtre de boucle est mixte continu et échantillonné a été réalisée au chapitre précédent. La construction d'une maquette n'a pas permis d'atteindre les performances de modulation désirées. La conception d'un modulateur mixte semi-intégré a donc été décidée.

Toutefois, la conception d'un ASIC n'est pas une garantie à priori de réussite. Elle doit satisfaire les contraintes dévoilées lors du test de la maquette, tout en répondant aux contraintes propres à la technologie utilisée.

V.1 Technologie de Circuit Intégré

Les contraintes sur ce circuit sont multiples: système, analogique, numérique.

Au niveau du système, la précision des éléments constitutifs des coefficients influe directement sur la qualité du codage. En outre, les connections entre le filtre continu externe et l'ASIC doivent être les plus directes possible et le circuit intégré doit fournir tous les signaux nécessaires à la circuiterie externe.

Les contraintes analogiques concernent la dynamique des grandeurs électriques des signaux analogiques. Une uniformité de format des signaux actifs, dans l'ensemble du filtre, est souhaitable.

Pour la circuiterie numérique, la capacité de la technologie à intégrer des fonctions de taille importante (étages de décimation, interface de bus) est essentielle d'un point de vue industriel.

Cette technologie de fabrication est un procédé CMOS à substrat P, dont la longueur minimale de canal est de 0,8 microns. Le laboratoire en a déjà une certaine expérience, tant au niveau des possibilités technologiques qu'au niveau des outils de CAO. Le fabricant, AMS, est Autrichien. L'intermédiaire est le CMP à Grenoble.

La technologie choisie n'est pas parmi les plus performantes de l'offre. Mais elle a l'avantage d'être bien caractérisée pour les fonctions analogiques (dont quelques fonctions pré-caractérisées) et de disposer d'une bibliothèque relativement complète de cellules logiques pré-caractérisées. C'est également l'une des dernières technologies à supporter une alimentation de 5 Volts. Cela a permis de se concentrer sur les contraintes de circuit, en évitant la recherche de structures fonctionnant sous basse tension d'alimentation.

V.2 Alimentation et tensions de référence

V.2.1 Alimentations

L'alimentation du circuit intégré doit être envisagée pour faciliter l'inter-connection du filtre de boucle et permettre le filtrage et le découplage des tensions. Elle dépend donc de l'environnement de l'ASIC.

La partie à temps continu du filtre est réalisée comme pour la maquette (voir le chapitre précédent), par assemblage d'amplificateurs opérationnels du commerce. Or ces amplificateurs sont caractérisés pour des tensions d'alimentation relativement grandes (25 à 30 Volts entre VDD et VSS) devant celle du circuit intégré (5 Volts entre

VCC et GND). Il serait possible de faire fonctionner les amplificateurs discrets sous tension réduite, mais il est préférable, au moins dans un premier temps, de travailler aux tensions d'alimentation nominales.

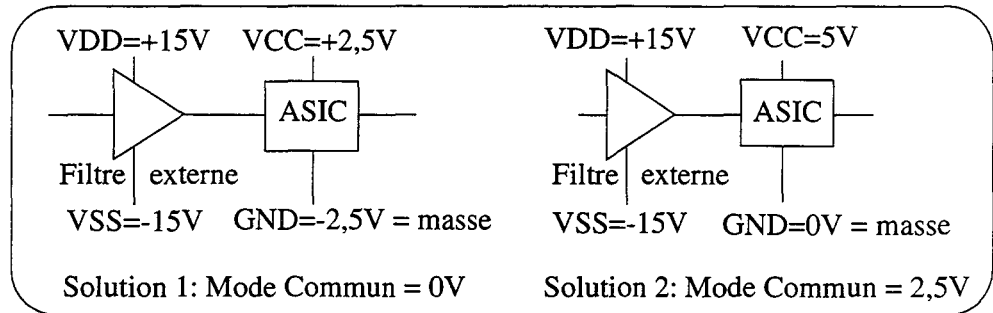


Figure V.1 Stratégies d'alimentation du convertisseur

Deux solutions sont envisageables:

La première consiste à alimenter l'ASIC, comme les amplificateurs externes, de façon symétrique autour de la masse ($VCC=+2,5V$ et $GND=-2,5V$). L'ensemble du filtre de boucle du modulateur fonctionnerait donc autour d'un mode commun nul. Toutefois ce choix soulève deux objections majeures.

La connexion de la tension d'alimentation négative au substrat de l'ASIC dissymétrise le schéma d'alimentation. Comme le substrat constitue la tension de découplage interne la plus pratique, toutes les tensions du modulateur devraient également se référer à cette tension. De plus, les cellules logiques sont caractérisées pour une alimentation unipolaire, et non pour une alimentation symétrique.

La deuxième possibilité consiste à alimenter le circuit intégré de façon dissymétrique, avec la masse comme tension la plus basse (GND). Toute les tensions du système sont découplées par rapport à la masse et le fonctionnement des cellules logiques est garanti. La seule réserve concerne les amplificateurs opérationnels extérieurs, dont le point de fonctionnement est légèrement différent des conditions de spécification.

Cette deuxième solution est adoptée. A cause de la présence de fonctions analogiques sensibles et d'entités numériques à l'intérieur du même système, les couplages électriques par les alimentations doivent être minimisés. Seule la séparation complète des réseaux d'alimentation peut garantir un minimum d'interactions.

Toutefois, la technologie de construction du circuit intégré impose la connection de la tension la plus basse (GND) au substrat du circuit. Ainsi, la séparation des alimentations ne peut être complète: les tensions positives peuvent être rigoureusement indépendantes, alors que la tension la plus basse est commune.

V.2.2 Masses

Toute circulation de courant dans le substrat est néfaste, tant au point de vue fonctionnement (par couplage avec les zones actives et de diffusion du circuit) que sécurité (augmentation du risque de Latch-Up). Pour éviter ces courants entre les masses analogiques et numérique via le substrat, l'interconnection de ces tensions doit se faire au plus près de l'ASIC.

V.2.3 Protection du circuit intégré

Un autre aspect de cette protection du circuit concerne son interface avec la partie temps continu du filtre. Alimentés entre +15 et -15 Volts, les amplificateurs opérationnels externes peuvent présenter ces tensions leurs sorties en diverses occasions (mise sous tension ou instabilité du système). Or ces niveaux sont destructeurs pour l'ASIC, qui ne supporte qu'un écart à la plage d'alimentation inférieur à 1 Volt, pour un courant limité à quelques milliampères. Si les sorties du circuit sont isolées par des résisteurs de valeur importante (de quelques dizaines de kilohms), les entrées sont susceptibles de subir directement ces tensions. Il convient donc de limiter la tension comme le courant des entrées analogiques de l'ASIC.

V.2.4 Sensibilité des noeuds

En termes de modulation, les signaux sont d'autant plus sensibles qu'il sont proches de l'entrée du système. C'est pourquoi les tensions électriques en sortie de DAC, connectées directement à l'entrée du système, doivent être générées, manipulées et transportées avec beaucoup de soin. Elles constituent les points les plus sensibles du circuit intégré.

Les noeuds de sommation des intégrateurs continus sont critiques d'un point de vue strictement analogique. Présentant une haute impédance, ils sont particulièrement sensibles aux perturbations électromagnétiques et à leur capacité (non-linéaire) par

rapport à la masse. Cette capacité parasite introduit également une modification des caractéristiques fréquentielles de l'intégrateur. Une double protection par plan de masse et "Effet de masque" (shielding) doit pouvoir satisfaire à toutes ces conditions.

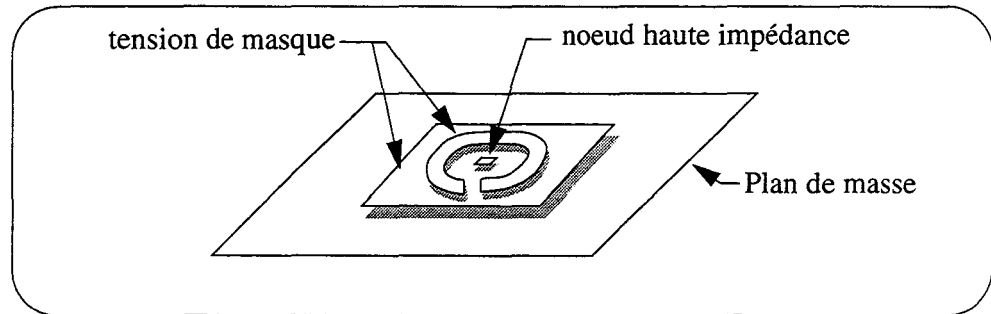


Figure V.2 Stratégie de protection des noeuds haute impédance

V.2.5 Tensions de référence

Les tensions de référence sont au nombre de 3: la consigne de Mode Commun et les deux niveaux de références pour les états actifs du DAC. Elle doivent être générées par l'ASIC pour simplifier la structure du système. Ceci exclut l'utilisation d'une référence à base de diode Zener, solution déjà rejetée lors du test de la maquette sur le critère du bruit.

Les deux tensions destinées au DAC font partie des noeuds sensibles du circuit, et leur contrainte en bruit est la même que celle du modulateur. Ainsi, l'utilisation d'une référence de tension basée sur la hauteur de barrière (Bandgap) du matériau semiconducteur risque de ne pas être suffisante. Un filtrage très basse fréquence doit être envisagé, faisant appel à un condensateur de valeur trop élevée pour être intégré sur le circuit. Comme pour la plupart des convertisseurs haute résolution du commerce [CS5321], des condensateurs de filtrage externes doivent prendre place autour de l'ASIC.

V.3 Filtre échantillonné

La partie échantillonnée du filtre de boucle du modulateur est implantée avec la technique des capacités commutées en signaux différentiels.

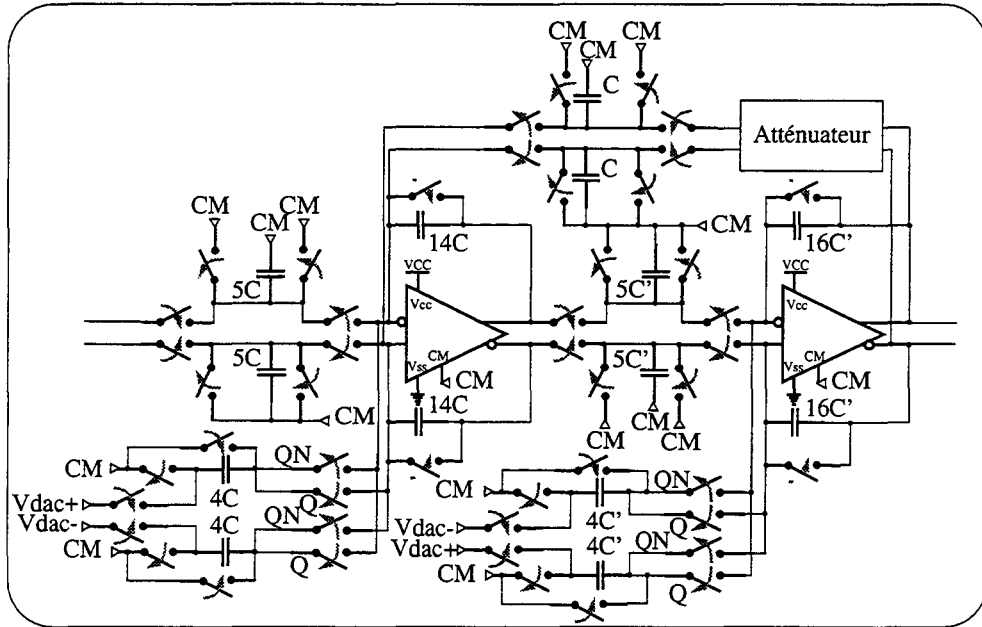


Figure V.3 Structure générale du filtre échantillonné

La première étape est la conception de l'amplificateur.

V.3.1 Amplificateur Folded Cascode

V.3.1.1 Architecture

La conception de l'amplificateur entièrement différentiel repose sur une architecture relativement classique et bien maîtrisée avec cette tension d'alimentation. C'est une structure à deux étages, avec une entrée à cascode replié ("Folded cascode") et une sortie de classe A [JOH97, pp281-282]. La régulation de Mode Commun est effectuée

de façon capacitive pour sa partie dynamique, la tension statique étant fournie par la commutation de condensateurs [JOH97, pp287-291]. Le schéma de l'amplificateur est donc le suivant:

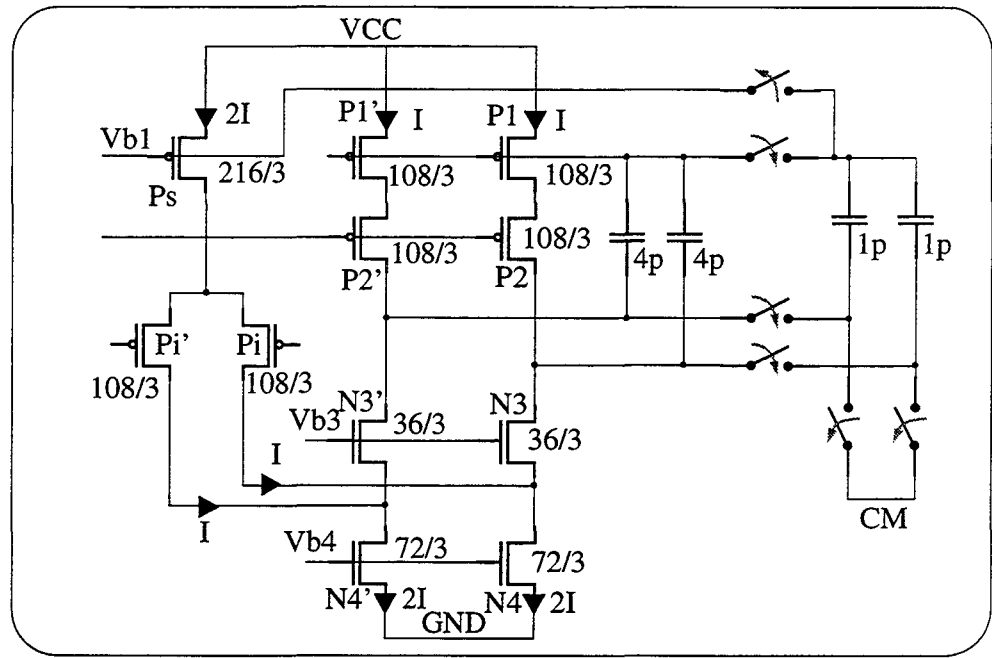


Figure V.4 Schéma de l'amplificateur différentiel avec régulation de Mode Commun

Les tensions de polarisation $Vb1$ à $Vb4$ fixent les courants de polarisation dans les différentes branches. Cette structure a été choisie pour ses performances et sa simplicité de mise en oeuvre. Mais à terme, une architecture de classe AB peut permettre une réduction de la consommation électrique du filtre [JOH97, p285].

V.3.1.2 Caractéristiques

V.3.1.2.1 Caractéristiques différentielles

Le gain est déterminé par les transistors Pi et $N3$. Le gain statique est calculé comme la cascade des deux étages. Le pôle dominant est situé en sortie, qui, connectée sur le condensateur d'intégration, voit une capacité relativement forte. Le pôle secondaire, relativement éloigné, est fixé par le noeud contenant la source de $N3$. La stabilité étant assurée, aucun circuit de compensation n'est donc nécessaire.

V.3.1.2.2 Caractéristiques de régulation de mode commun

Le gain est déterminé par les transistors P_i et N_3 . Mais son étude ne peut se faire qu'avec l'amplificateur en montage intégrateur, dont l'entrée est liée à la sortie par la capacité d'intégration.

V.3.1.3 Polarisation

La valeur des courants de polarisation résulte d'un compromis entre performances de l'amplificateur et puissance électrique consommée. Un courant unitaire I de $100\mu A$ pour une consommation de $2mW$ par amplificateur a été choisi. Ce paramètre a été un peu surdimensionné pour s'assurer de la qualité de ces fonctions. Une fois la faisabilité prouvée, une optimisation de la valeur de ce courant pourra être réalisée.

La technique de génération des tensions de polarisation pour l'amplificateur permet de maximiser la dynamique de tension des les signaux utiles du modulateur. Ainsi, une structure à rattrapage de V_T [LAK94,p382] est utilisée pour la génération des tensions V_{b2} et V_{b3} .

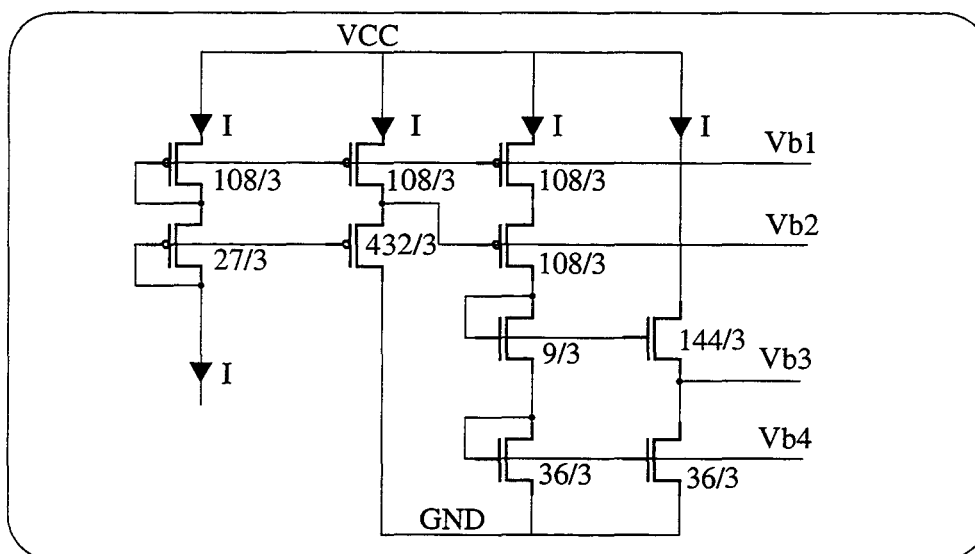


Figure V.5 Cellule de génération des tensions de polarisation

Cette structure consomme $1,5mW$ mais est unique pour les deux amplificateurs. Les valeurs calculées à cette étape conditionnent celles des transistors de l'amplificateur.

V.3.1.4 Simulations

Les simulations ont montré les caractéristiques attendues, tant en Mode Différentiel qu'en Mode Commun avec l'ensemble des modèles fournis par le fondeur.

Les caractéristiques sont résumées dans ces tableaux. Les mesures en mode différentiel sont effectuées avec l'amplificateur seul, alors que les simulations en Mode Commun utilisent le montage intégrateur.

**Tableau V.1 : Tableau des résultats de simulation de l'amplificateur différentiel
Mode Différentiel**

Mode Différentiel Modèle	Marge de phase (deg)	Marge de gain (dB)	Gain DC (dB)	Pôle Dominant (Hz)	GBW (MHz)
Typical Mean	57,6	29,3	96,7	763	43,7
Worst Power	51,3	33,7	98,1	670	52,9
Worst Speed	52,1	28,5	94,1	822	36,7

**Tableau V.2 : Tableau des résultats de simulation de l'amplificateur différentiel
Mode Commun**

Mode Commun Modèle	Marge de phase (deg)	Marge de gain (dB)	Gain DC (dB)	Pôle Dominant (kHz)	GBW (MHz)
Typical Mean	53,9	34,5	45,0	142	25,1
Worst Power	44,4	38,1	45,9	140	31,6
Worst Speed	56,6	20,3	44,1	141	25,1

Le fonctionnement en intégrateur à capacités commutées confirme le bon comportement de l'amplificateur.

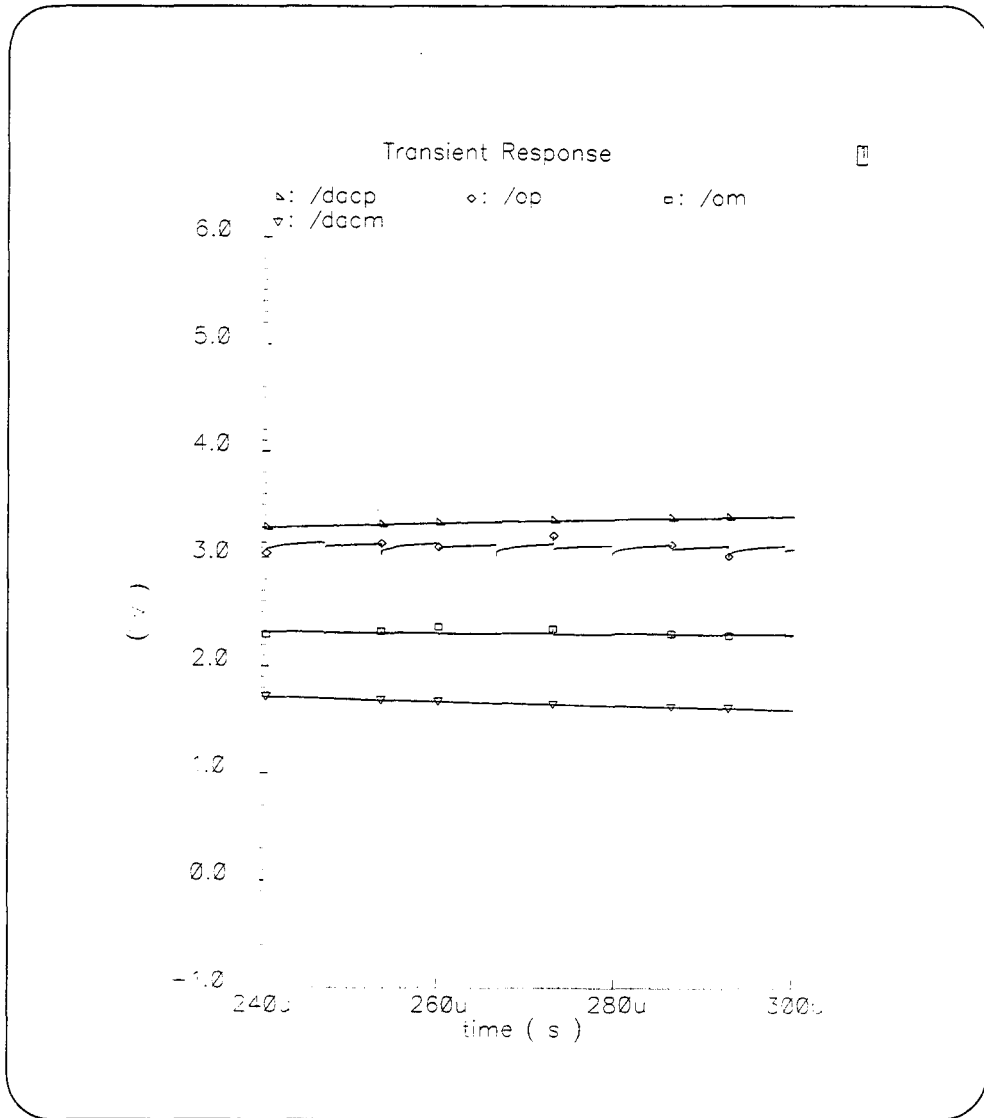


Figure V.6 Comportement dynamique de l'amplificateur différentiel en montage intégrateur à capacités commutées

V.3.1.5 Layout

Les transistors ont été dessinés comme la mise en parallèle des transistors utilisés dans le cellule de polarisation. Les aires des drains ont été minimisées, et les transistors nécessitant des caractéristiques proches ont été entrelacés avec un barycentre commun [LAK94, p554].

Le dessin des masques a été conçu et remanié pour faciliter le routage du filtre. Ainsi, les transistors prennent place entre deux canaux de routage contenant, outre les alimentations, les signaux d'entrée et de sortie. La symétrie de la structure a été conservée dans le dessin des transistors (mêmes transistors que pour la cellule de polarisation, entrelacement, structures factices et barycentres communs):

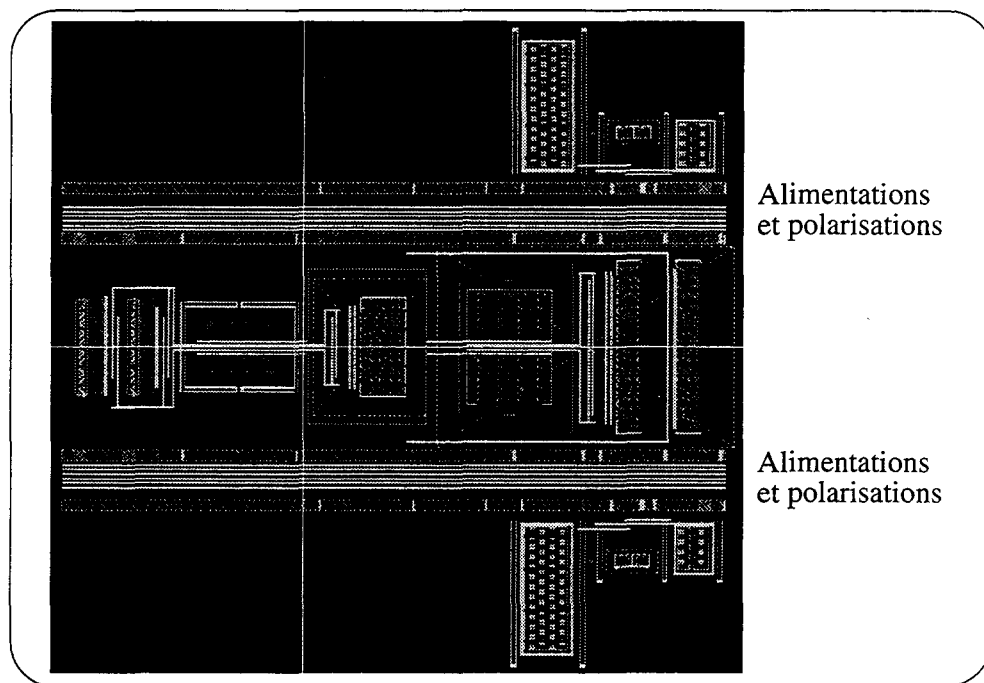


Figure V.7 Layout de l'amplificateur différentiel pour filtre à capacités commutées.

V.3.2 Interrupteurs et condensateurs

V.3.2.1 Interrupteurs

Les interrupteurs de commutation des condensateurs de filtrage sont réalisés avec des paires de transistors complémentaires. Ainsi, le fonctionnement est symétriques de part et d'autre du Mode Commun de 2,5Volts. Chaque commande doit donc être fournie en signaux complémentaires.

Les interrupteurs de régulation de mode commun ne sont réalisé avec un seul transistor P que quand les tensions présentes à leurs bornes permettent le bon fonctionnement du circuit.

V.3.2.2 Condensateurs

La précision des rapports de capacités issus de la synthèse sont critiques d'un point de vue qualité de la modulation (voir les simulations avec variation des coefficients au chapitre précédent) et stabilité. Les condensateurs destinés au filtre doivent donc être dessinés avec beaucoup de soin. La meilleure technique consiste en la mise en parallèle de condensateurs unitaires (D1 et D2 dans les résultats de synthèse) pour que les rapports de capacités soient bien respectés. En conséquence, la contrainte est reportée sur le dessin de condensateurs de capacités égales. La technique recommandée par le fondeur repose sur une matrice de condensateurs de même structure, entourée de condensateurs factices ("Dummy devices") pour assurer également un environnement mécanique commun à tous ces composants. La répartition des condensateurs unitaires en fonction des besoins de capacité est réalisée en maintenant un barycentre commun, de façon à limiter l'influence d'un gradient de valeur lié à la fabrication [LAK94, p555].

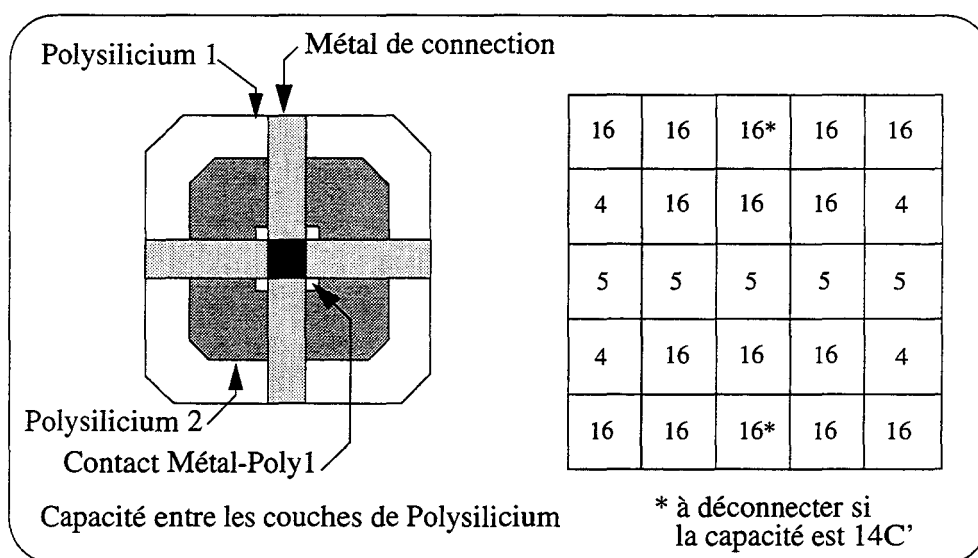


Figure V.8 Dessin du condensateur unitaire et répartition dans la matrice.

Les condensateurs de régulation du mode commun ne nécessitent pas de telles précautions car leur rapport n'est pas critique. Ces condensateurs sont donc dessinés de façon à minimiser leur surface, et à s'insérer de façon naturelle dans le filtre.

V.3.2.3 Division capacitive de rebouclage

Le coefficient de rebouclage (g_2) permettant la présence d'un zéro de transmission de la NTF en haut de bande de base est très faible et sa précision est relativement critique (il n'intervient pas dans la stabilité, mais sur la qualité de la modulation). Sa

valeur ne permet d'utiliser directement la technique des condensateurs unitaires, qui induirait un nombre ingérable de ces condensateurs (car ce sont les mêmes que pour la réalisation des autres coefficients). La solution consiste à diviser le signal à injecter (ST4) avant de le commuter par l'un des condensateurs unitaires défini au paragraphe précédent. Deux techniques de division ont été envisagées: résistive et capacitive. Toutefois, la première a été abandonnée à cause des difficultés d'implantation (la technologie ne dispose pas de couche hautement résistive et cela demande un courant continu en sortie de l'amplificateur) et de comportement dynamique (l'erreur liée au transitoire de charge du condensateur limite la précision de la division). Le condensateur unitaire choisi pour la division capacitive est le même que celui utilisé pour le premier étage du filtre.

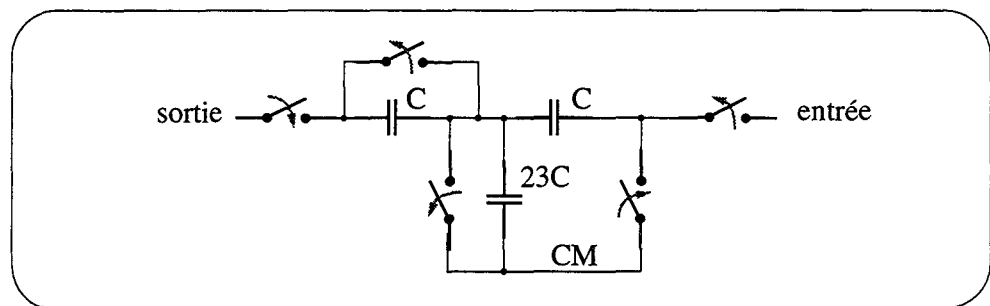


Figure V.9 Division capacitive pour l'implémentation du coefficient $g_2=1/25$.

V.3.3 Re-initialisation analogique

V.3.3.1 Stratégie

La stratégie de ré-initialisation est inspirée de celle utilisée par [VDZ96]. Elle consiste à faire fonctionner le modulateur avec un filtre du deuxième ordre, inconditionnellement stable.

Cela se fait ici en court-circuitant les sorties des amplificateurs du filtre échantillonné avec les entrées. Les sorties de ces intégrateurs sont donc nulles. La sortie du comparateur de codage est désactivée au profit d'un autre, situé en sortie du filtre continu. Le modulateur fonctionne ainsi en ordre 2, dont le filtre de boucle est constitué des intégrateurs continus.

V.3.3.2 Réalisation

La phase de réinitialisation est appelée à durer beaucoup plus longtemps que la période de fonctionnement du filtre. Aussi, l'interrupteur de court-circuit du condensateur d'intégration a-t-il été implémenté avec un transistor MOS unique. Cela permet de minimiser les éléments parasites et les non-linéarités en fonctionnement.

V.4 Convertisseur numérique analogique interne

Le convertisseur numérique analogique (DAC) interne est la fonction clé de la partie intégrée du modulateur. Comme cela a été détaillé aux chapitres précédents, les caractéristiques de bruit et de linéarité du DAC limitent celles du modulateur tout entier.

V.4.1 Structure

Conformément aux remarques faites à l'occasion du test de la maquette (voir chapitre précédent), la structure choisie consiste en un amplificateur monté en suiveur, dont on commute l'entrée non-inverseuse à la tension désirée. Cette solution est, en outre, imposée par le filtre passe-bas sur les tensions de référence. Sa résistance de sortie de forte valeur ne permet pas de fournir les courants demandés par le circuit.

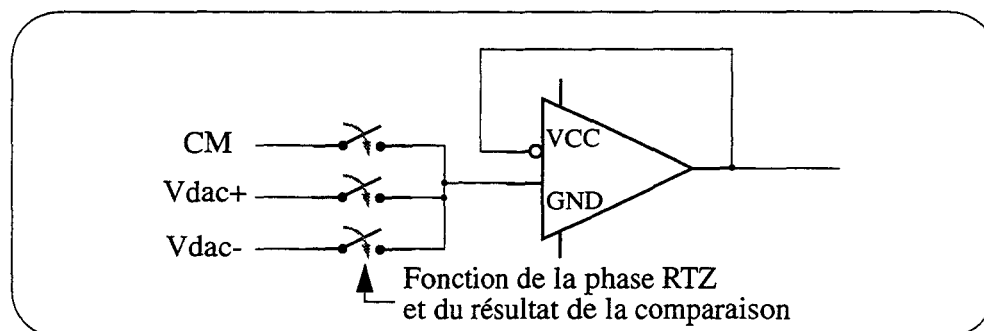


Figure V.10

Structure du DAC

V.4.2 Architecture de l'amplificateur

Les contraintes de bruit sur cette fonction sont draconiennes puisqu'elles sont équivalentes à celles du modulateur (voir Chapitre II). De plus, la bande de fréquence utilisée (3Hz-300Hz) rend le modulateur sensible au bruit en $1/F$. Aussi, une structure

de type "Chopper" a été utilisée. Le principe repose sur une suite modulation-amplification-démodulation qui rejette le bruit en $1/F$ et l'offset en haute fréquence. La structure suivante a été choisie:

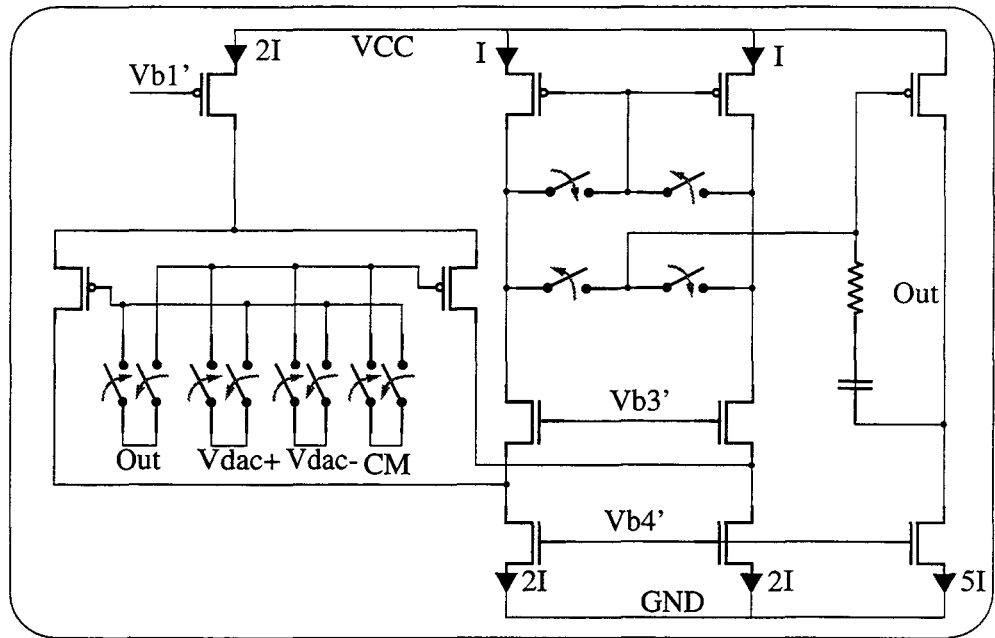


Figure V.11 Architecture de l'amplificateur suiveur de DAC

Pour que l'effet d'annulation soit efficace, il faut que la modulation ait lieu à une fréquence multiple de la fréquence d'échantillonnage.

V.4.3 Stabilisation

Cette architecture a le désavantage d'utiliser trois étages d'amplification, ce qui ne garantit pas la stabilité. Aussi, un réseau de compensation doit-il être inséré pour assurer un fonctionnement satisfaisant. Par l'ajout de la résistance et de la capacité, un zéro de transmission est modifié dans la fonction de transfert de l'amplificateur, de façon à compenser l'effet d'un pôle. Le fonctionnement est rendu proche de celui d'un amplificateur à deux étages.

Toutefois, le montage en suiveur de l'amplificateur fait que le mode commun varie de V_{dac+} à V_{dac-} . La stabilité doit donc être vérifiée pour toutes ces valeurs de mode commun et pour tous les modèles disponibles.

V.4.4 Phases de modulation

La modulation du signal doit permettre l'annulation de la tension de décalage ("offset") et du bruit en $1/F$ de l'amplificateur au cours d'une période de fonctionnement du modulateur. Or, chaque amplificateur de DAC n'est actif (à une tension différente de CM) que pendant une demi-période (à cause de la stratégie de RTZ choisie) à l'intérieur de laquelle ces effets doivent être compensés. Aussi, une modulation à $4F_e$ a été choisie. Cela permet, en outre, une annulation d'offset, même si celui-ci dépend du mode commun de l'amplificateur suiveur.

La phase de cette modulation est également très importante, tant au point de vue de la linéarité du DAC que de l'annulation effective de l'offset au cours d'une période. Tout d'abord, il faut éviter que la modulation de l'offset n'intervienne au même moment que le changement de DAC actif.

Dans ce cas, les deux événements seraient appelés à se produire en même temps, et il est impossible de garantir une absence d'effet sur la modulation sur le RTZ (changement de forme d'onde corrélée à la donnée de sortie). Il y a donc un risque de perdre le bénéfice de la mise en forme RTZ.

D'autre part, l'équation (IV.9) impose une symétrie de la compensation d'offset à l'intérieur du mécanisme d'annulation.

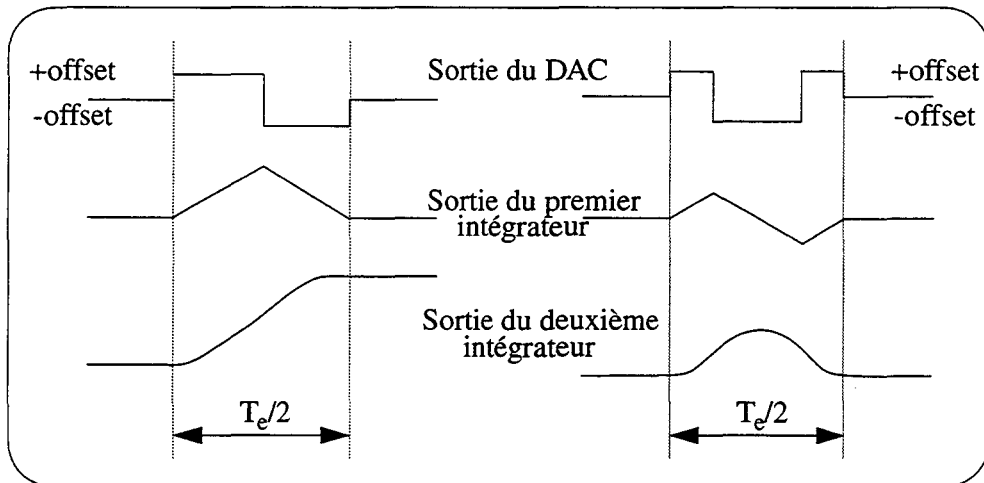


Figure V.12 **Approches de l'annulation d'offset pendant une période pour un filtre continu du deuxième ordre**

Il convient de remarquer que ce phénomène est lié à l'utilisation d'un filtre continu du deuxième ordre. Il faut tout de même noter que cette compensation n'a aucun effet sur les non-linéarités dues aux régimes transitoires de changement de phase.

La chronologie des phases des DAC est donc la suivante:

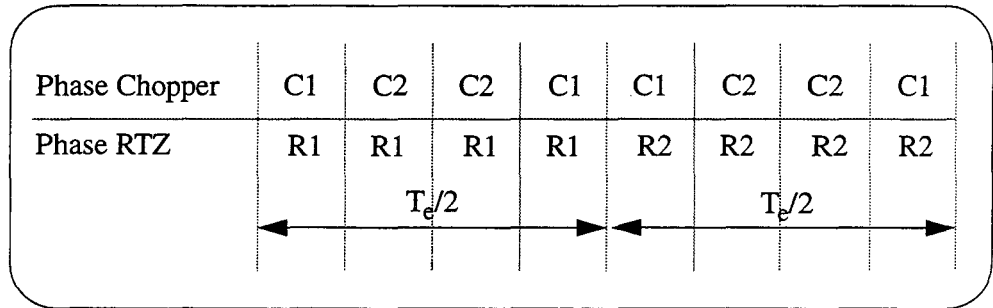


Figure V.13 Chronologie des phases de commande des DAC.

La fréquence la plus rapide est de $8F_c$, correspondant au décalage du chopper par rapport au début des périodes actives des DAC.

V.4.5 Polarisation

Comme pour l'amplificateur du filtre, une source à rattrapage de VT a été utilisée. Le courant de polarisation est de $20\mu A$.

V.4.6 Simulations

Les résultats de simulation sont les suivants:

Tableau V.3 : Tableau des résultats de simulation de l'amplificateur de DAC

Modèle	Mode Commun (V)	Marge de phase (deg)	Marge de gain (dB)	Gain DC (dB)	Pôle Dominant (Hz)	GBW (MHz)
Typical Mean	1,5	100	30	78	400	3,41
Worst Power	1,5	110	27	78	425	4,04
Worst Speed	1,5	93	88	76	415	2,90
Typical Mean	2,5	104	32	79	340	3,41
Worst Power	2,5	115	27	80	340	4,64
Worst Speed	2,5	97	31	78	340	3,19
Typical Mean	3,5	103	30	79	400	3,41

Tableau V.3 : Tableau des résultats de simulation de l'amplificateur de DAC

Modèle	Mode Commun (V)	Marge de phase (deg)	Marge de gain (dB)	Gain DC (dB)	Pôle Dominant (Hz)	GBW (MHz)
Worst Power	3,5	114	25	80	400	3,98
Worst Speed	3,5	95	37	78	400	3,02

V.4.7 Layout

Le layout de cet amplificateur est très proche de celui du filtre. L'étage de sortie ne bénéficiant pas d'une structure symétrique, il a été implémenté sur le coté, avec les composants passifs de compensation.

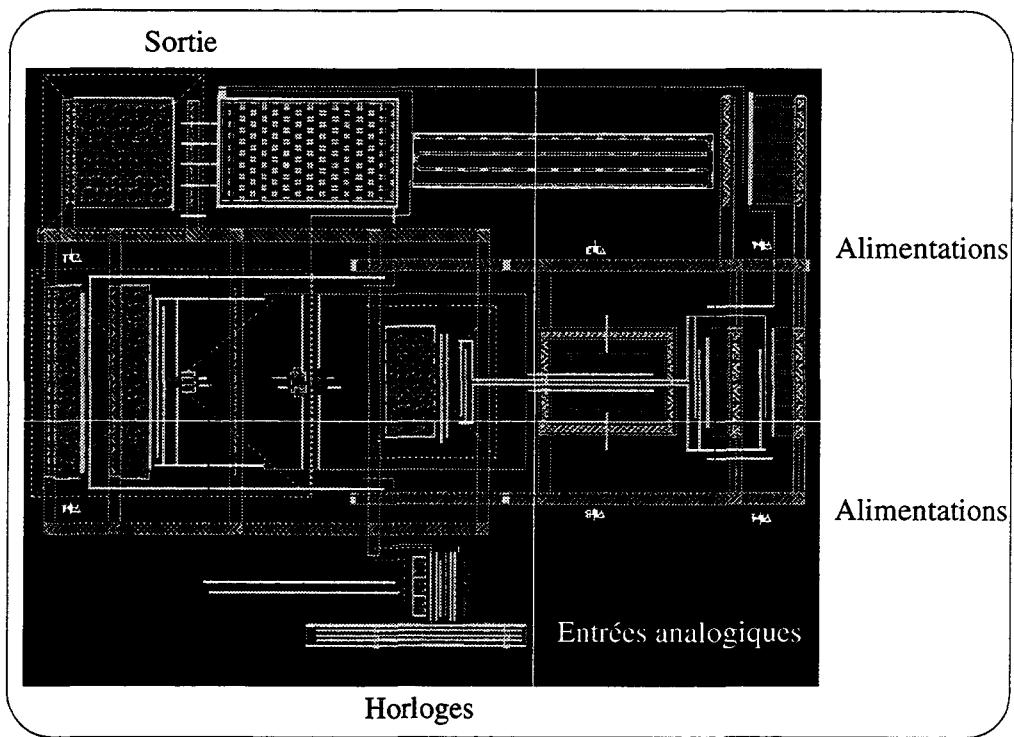


Figure V.14

Layout de l'amplificateur chopper de DAC

V.5 Logique

V.5.1 Phases et diviseur d'horloge

Cette partie du circuit est destinée à générer les signaux logiques commandant le fonctionnement décrit ci-dessus. Elle doit également fournir les phases d'horloge pour la commande du filtre à capacités commutées, constituées de signaux complémentaires et non-recouvrants.

Les tests sur la maquette (voir chapitre précédent) ont montré l'importance du bruit de phase ("Clock Jitter") dans l'échantillonnage. Il avait été vu que le bruit des générateurs était d'autant plus important que la fréquence demandée était basse. Aussi, une entrée de permission ("Enable") qui permet de travailler avec, en entrée, une fréquence plus haute que nécessaire, et de n'autoriser le fonctionnement qu'à la fréquence voulue ($8F_e$) grâce à cette entrée annexe. Le bruit de phase demeure limité par les cellules logiques constituant le diviseur.

V.5.2 Codage

La logique de codage comprend l'ensemble des fonctions qui dépendent du résultat du comparateur de sortie.

V.5.3 Ré-initialisation analogique

La commande de la ré-initialisation ("Reset") analogique du modulateur est commandée par une entrée dédiée. Une fois ce mode enclenché, les sorties des amplificateurs du filtre échantillonné sont court-circuitées avec les entrées. Un multiplexeur désactive la sortie du comparateur de codage au profit d'un autre, situé en sortie du filtre continu. Le modulateur fonctionne ainsi en ordre 2, dont le filtre de boucle est constitué des intégrateurs continus.

Le modulateur revient en mode normal (ordre 4) dès que le fonctionnement du modulateur en ordre 2 laisse supposer que l'entrée est compatible avec un fonctionnement stable. Cette condition est détectée par l'observation de la sortie du deuxième intégrateur continu. Si elle est limitée à une dynamique délimitée par deux

niveaux de comparaison générés en interne, l'entrée est considérée non-déstabilisante pour le modulateur du quatrième ordre. Les simulations ont effectivement montré que la dynamique d'entrée stable du modulateur du deuxième ordre est relativement faible, car les coefficients du système (issus du modulateur d'ordre 4) ne sont pas adaptés à ce fonctionnement.

Il conviendrait peut-être de vérifier que le modulateur d'ordre 2 est effectivement stable en contrôlant ce critère pendant plusieurs périodes ($\frac{1}{F_c}$) et non sur une seule comme cela a été implémenté ici.

De la même façon, la stabilité du modulateur d'ordre 4 est scrutée et toute amplitude anormale de la sortie du quatrième intégrateur provoque le basculement d'un signal logique. Cet événement ne signifie pas que le modulateur est entré en oscillation (signe d'une instabilité détectable sur la sortie), mais qu'il est en limite de stabilité. Cette sortie numérique peut donc servir à déclencher un module de détection d'oscillation, ou à aider le système central à choisir le gain le plus approprié d'un éventuel préamplificateur.



V.6 Fonction annexes

V.6.1 Références de tension

Une cellule de référence de tension basée sur la hauteur de barrière (Bandgap) existe dans la bibliothèque de cellules analogiques de cette technologie. Ce bloc fonctionnel a été utilisé, parce que la réalisation de cette cellule est très dépendante de la technologie de fabrication.

Un montage permet de générer les tensions nécessaires au fonctionnement du circuit. L'amplificateur utilisé est également une cellule provenant de la bibliothèque analogique.

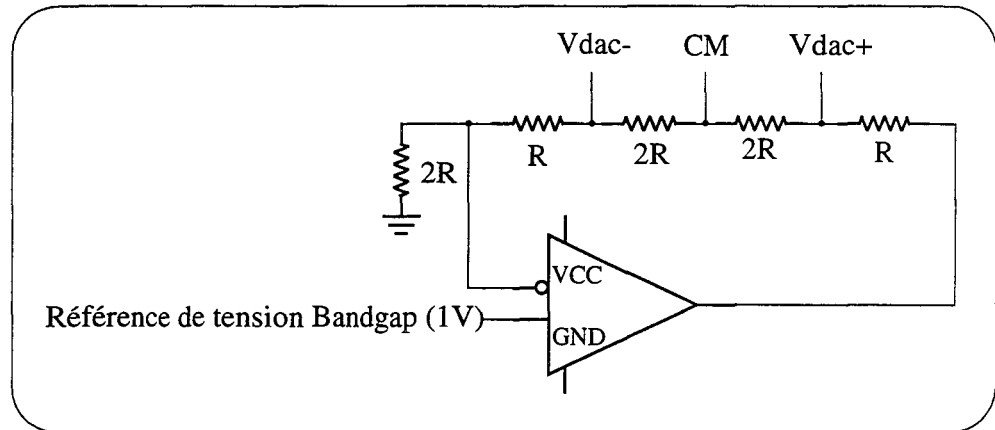


Figure V.15 Montage pour la génération des tensions de référence

Le filtre passe-bas du premier ordre est réalisé avec un résistor de $100\text{K}\Omega$ intégré connecté à une broche extérieure permettant le branchement d'un condensateur de quelques dizaines de μF connecté à la masse.

V.6.2 Etages tampons

Ces tensions de référence servent à la fois à la génération des tensions de DAC et de Mode Commun des parties continue et échantillonnée du filtre. Il faut donc veiller à ce que les appels de courants liés à la charge des condensateurs de la partie à temps discret ne perturbent pas le reste du modulateur, et surtout les DAC et les premiers étages du filtre.

Aussi, trois étages tampons ont été insérés entre les tensions $V_{\text{dac+}}$, $V_{\text{dac-}}$ et CM et leur utilisation par le filtre à capacités commutées. Ces Buffers ont été réalisés avec un amplificateur provenant de la bibliothèque analogique.

V.6.3 Comparateurs

Les comparateurs, qu'ils servent au codage ou à la détection de la stabilité, ne sont pas critiques dans cette architecture. C'est donc un composant de la bibliothèque analogique qui a été choisi.

V.7 Layout

V.7.1 Organisation du circuit

La structure interne du circuit intégré est donc comme suit:

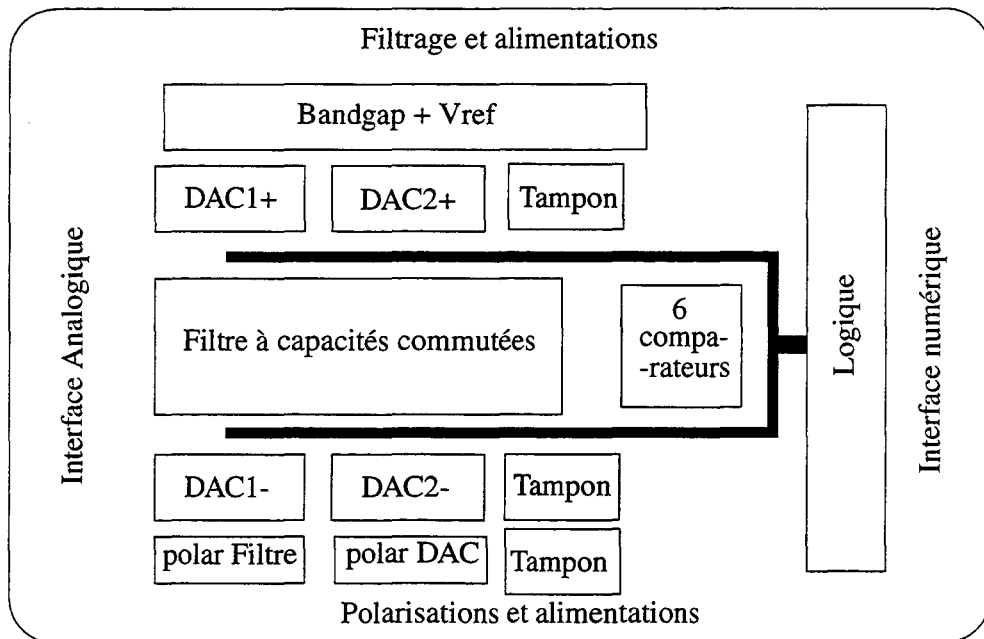


Figure V.16

Floorplan de l'ASIC

Les fonctions logiques ont été éloignées le plus possible des éléments sensibles du circuit: les DAC et l'entrée analogique. Les comparateurs sont placés juste avant, eux-mêmes à une certaine distance du filtre pour diminuer le couplage par le substrat.

Les DAC sont placés de part et d'autre du filtre, de façon à faciliter l'interface avec la partie continue externe du filtre. Les polarisations des amplificateurs sont situées en bas du circuit, elles demandent chacune un courant de polarisation venant de l'extérieur du circuit via une broche.

La génération et le filtrage des tensions de référence prennent place en haut du circuit. Deux des condensateurs extérieurs doivent être mis à proximité, tandis que le troisième est placé au centre de l'interface d'avec le filtre continu, pour que ce point puisse servir de référence de Mode Commun pour les intégrateurs différentiels externes.

Quatre circuits d'alimentation desservent séparément:
les DAC,
le filtre et les étages tampons,
les comparateurs,
les fonctions logiques.

V.7.2 Distribution des horloges

Les horloges et autres signaux logiques de commande passent des deux cotés du filtre à capacités commutées. La proximité de noeuds sensible du système (dans les DAC) a conduit à la plus grande attention. Ainsi, un espace relativement important sépare ces signaux des DAC, et les noeuds les plus sensibles bénéficient d'un blindage.



V.8 Tests et mesures

Les tests du modulateur expérimental ont révélé une erreur dans l'ASIC. Celle-ci a pu être localisée dans le filtre échantillonné intégré. Il peut s'agir d'une inversion dans les connexions aux entrées des étages tampons, ou d'une erreur d'interconnexions entre le bloc numérique et le filtre à capacités commutées.

Cette erreur n'avait pas été détectée, car la vérification LVS hiérarchique ne fonctionnait pas avec notre base de donnée AMS. Le circuit avait toutefois été vérifié au niveau LVS pour tous les éléments full-custom. Seul le LVS du circuit complet (interconnexion des blocs fonctionnels et connexion aux pads) n'avait pu être effectué sur place. Il avait été réalisé au CMP avec une base de données complète. Celui-ci avait révélé des erreurs qui avaient toutes été corrigées. Toutefois, cette version corrigée n'avait pas subi d'autre vérification LVS.

Des investigations sont en cours pour détecter ces erreurs, pour pouvoir renvoyer rapidement le composant en fabrication.



V.9 Références bibliographiques

- [CS5321] Crystal Semiconductor Corporation, "High Dynamic Range Delta-Sigma Modulator", Data Sheet du composant "CS5321".

- [JOH97] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", editor: John Wiley and Sons (USA), 1997, ISBN 0-471-14448-7.
- [LAK94] Kenneth R. Laker and Willy M.C. Sansen, "Design of Analog Integrated Circuits and Systems", editor: McGraw-Hill Inc. (USA), 1994, ISBN 0-07-036060-X
- [MON96] Mark I. Montrose, "Printed Circuit Board Design Techniques for EMC Compliance", editor: IEEE Press (New York, USA), 1996, ISBN 0-7803-1131-0.
- [VDZ96] Eric J. van der Zwan and E. Carel Dijkmans, "A 0.2-mW CMOS SD Modulator for Speech Coding with 80 dB Dynamic Range" in IEEE J. Solid-State Circuits, vol. 31, pp. 1873-1880, Dec. 1996

VI Conclusion

Au cours de ce travail, beaucoup des aspects de la conversion de données par modulation Sigma-Delta ont été abordés. Dans un premier temps, une structure nouvelle de modulateur a été étudiée. Une méthode de synthèse de modulateur à filtre continu a été développée, qui a débouché sur la conception d'un convertisseur adapté aux besoins du partenaire industriel de ce travail. Ce travail présente donc des avancées aussi bien théoriques que pratiques dans le domaine des convertisseurs Sigma-Delta analogique numérique.

Toutefois, certains aspects n'ont pas encore été finalisés. Ainsi, le modulateur semi-intégré n'a pas pu être mesuré, car des erreurs de conception n'ont pas pu être détectées pendant la conception de l'ASIC. Il convient donc de corriger le circuit pour pouvoir tester les performances du convertisseur. De même, la fonction de synthèse continue et mixte doit être généralisée à tous les types de filtre de boucles disponibles.

Enfin, l'étude de l'espace d'état des modulateurs Sigma-Delta semble prometteuse pour l'étude de la stabilité.



VI.1 Conclusion

Dans le cadre d'un besoin précis de conversion de données du partenaire industriel de ce travail, la démarche a consisté à atteindre cet objectif grâce à l'innovation. En effet, aucune des solutions existantes n'était adaptée aux exigences de précision et d'intégration du convertisseur dans le système. Le travail a porté sur des aspects théoriques comme l'étude d'une nouvelle architecture de modulateur Sigma-Delta ou la synthèse de modulateurs continus. Il a également demandé la conception d'une maquette et d'un ASIC pour lesquels les aspects pratiques du fonctionnement et de la mesure ont dû être étudiés.

L'étude de la première solution envisagée, l'architecture symétrique de modulateur Sigma-Delta, a démontré qu'elle ne permet pas d'atteindre les performances demandées dans un contexte industriel. Si ces objectifs peuvent être réalisés en théorie, les

contraintes de dispersion sur les composants sont incompatibles avec celles des technologies de fabrication de circuits intégrés. Ce type d'architecture peut, par contre, avoir des applications de conversion à vitesse rapide et résolution moyenne. Enfin, cette démarche a permis d'établir un lien formel entre les architectures de modulateurs Sigma-Delta à simple boucle et les structures cascadées (MASH).

La voie du modulateur semi-intégré a conduit à un filtre mixte temps-continu/temps-discret, qui s'est avérée plus fructueuse. En s'appuyant sur des résultats publiés, la méthode de calcul qui permet d'utiliser une procédure de conception existante a été résolue pour la principale structure de filtre. Cela a permis la synthèse d'un modulateur d'ordre 4, dont les performances de codage sont adaptées à un besoin industriel. La réalisation et les tests d'une maquette ont précisé la validité de la démarche, et ont montré l'importance du savoir-faire dans la mesure de convertisseurs de précision.

Seule la conception d'un modulateur semi-intégré expérimental, proche de l'implantation finale du convertisseur peut permettre de valider les performances d'une telle structure. La configuration du convertisseur est originale, car, si la plus grande part du modulateur est intégrée sur un circuit micro-électronique, la partie du filtre à temps continu est externe.

Les contraintes liées à cette partie du filtre ont été prises en compte dans la conception d'un ASIC pour modulateur semi-intégré. Il contient l'essentiel du modulateur et a été conçu pour fonctionner en étroite collaboration avec la partie du filtre réalisée en composants discrets. L'ASIC a été fabriqué avec une technologie qui permettra, à terme, d'intégrer le filtre de décimation et la gestion d'un protocole de bus. Ces fonctions numériques ont fait l'objet d'un autre composant, conçu en VHDL et fabriqué avec cette même technologie. Le fonctionnement de ce décimateur programmable a prouvé son bon fonctionnement général.

Les tests du modulateur expérimental ont révélé une erreur dans l'ASIC. Celle-ci a pu être localisée dans l'interface du filtre échantillonné intégré, et rend instable le modulateur dans sa configuration ordre 4. Les mesures de performances n'ont donc pas pu être effectuées.



VI.2 Perspectives

VI.2.1 Clôture du travail

Il faut commencer par les points dont la réalisation fait partie intégrante de ce travail. D'une part, il s'agit de localiser exactement les erreurs présentes dans l'ASIC, de les corriger et de renvoyer le composant en fabrication. Il est, en effet, indispensable de valider les performances du modulateur semi-intégré par des mesures.

D'autre part, il faut écrire la fonction de synthèse des modulateurs continus et mixtes pour l'ensemble des architectures de filtres de boucle disponibles.

VI.2.2 Perspectives techniques

Une fois les mesures effectuées sur le modulateur semi-intégré, et en admettant qu'elles soient pleinement satisfaisantes, il reste beaucoup de travail pour arriver à un produit industriel.

A commencer par la consommation électrique du convertisseur: les techniques d'optimisation permettent une division par deux de ce paramètre [KAS98], mais il faut évaluer leur pertinence dans le cadre d'un convertisseur de haute résolution.

La forme du filtre externe n'est pas définitive, et une structure plus simple qu'une implémentation différentielle est à envisager. Il faut alors s'assurer que cette nouvelle architecture répond bien aux exigences de la conversion haute précision.

Enfin, l'intégration sur l'ASIC du filtre décimateur et du gestionnaire de bus doit être réalisée avec soin, de façon à réduire l'influence de leur activité électrique sur les parties sensibles du modulateur analogique. La qualité des DAC, le sous-ensemble le plus critique du circuit, doit être vérifiée à cette étape.

Enfin, une étude des conséquences de la dispersion des caractéristiques des composants sur les performances du modulateur doit avoir lieu pour pouvoir garantir les spécifications du convertisseur.

Indépendamment, il faudrait envisager l'étude d'un modulateur paramétrable. Basé sur une architecture semi-intégrée, son architecture serait comparable au modulateur développé dans le cadre de ce travail. La différence porterait sur la partie intégrée du filtre qui pourrait être re-configurée pour fonctionner de façon optimale en ordre 2. De même, les DAC seraient autonomes dans cette configuration. Ainsi, dans un micro-contrôleur, il serait possible de proposer trois convertisseurs de résolution moyenne (2 DAC et un ADC) qui peuvent être utilisés en ADC de très bonne qualité par l'ajout de deux intégrateurs externes.

VI.2.3 Perspectives de recherche

Si la conception des modulateurs Sigma-Delta est bien maîtrisée grâce à la modélisation linéaire, l'étude de leur fonctionnement réel est encore balbutiant. Les dernières publications sur ce sujet montrent de grandes avancées, et l'étude rigoureuse du modulateur d'ordre 2 semble à portée de main. Les applications sont nombreuses, comme l'estimateur de dynamique d'état [FAR98] très utile pour la conception des amplificateurs du filtre de boucle.

Les prochaines étapes pourraient concerner les niveaux de dither acceptables en fonction de la valeur de l'entrée, ou la définition rigoureuse de l'espace d'état à l'aide de l'étude des points stationnaires, de leur entourage, et de la dérivée locale de la fonction d'évolution.

De plus, il serait intéressant d'étudier l'espace d'état de modulateurs dont les convertisseurs internes sont multi-bit. Les architectures à 3 valeurs présentent le plus d'intérêt, dans un premier temps, car leur dynamique d'état est très différente de celle des modulateurs à deux états. Ensuite, une caractérisation en fonction de la parité du nombre de valeurs du codage numérique peut être envisagée.

VI.3 Références bibliographiques

- [FAR98] Ronan Farrell and Orla Feely, "Bounding the Integrator Outputs of Second-Order Sigma-Delta Modulators" in IEEE Trans. Circuits and Systems- II, vol. 45, pp. 691-702, Jun. 1998.

- [KAS98] Dan B. Kasha, Wai L. Lee and Axel Thomsen, "A 16 mW, 120 dB Linear Switched-Capacitor Delta-Sigma Modulator with Dynamic Biasing", in Proceedings of ESSCIRC'98 The Hague, pp 160-163, ISBN 2-86332-235-4, Edition Frontières (Paris, France) 1998.