

## Thèse

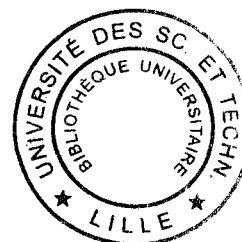
Présentée à

L'UNIVERSITE  
DES SCIENCES ET TECHNOLOGIES DE LILLE

Pour obtenir le titre de  
**DOCTEUR DE L'UNIVERSITE**  
*spécialité : Electronique*

par

**Xavier HUE**



CONCEPTION, REALISATION ET CARACTERISATION DE  
TRANSISTORS A EFFET DE CHAMP ET D'AMPLIFICATEURS  
POUR DES APPLICATIONS DE PUISSANCE A HAUTE  
LINEARITE EN BANDES K ET Ka

---

**Directeur de thèse : Bertrand BOUDART**  
Maître de Conférence - Université de Lille 1

---

Soutenue le 13 Décembre 2000 devant la Commission d'examen

Professeur	G. SALMER	Président	Université de Lille 1
DR CNRS	P. CROZAT	Rapporteur	I.E.F. Université Paris Sud
Professeur	J.L. GAUTIER	Rapporteur	E.N.S.E.A. Cergy Pontoise
Professeur	B. BONTE	Examineur	Université de Lille 1
Professeur	A. CAPPY	Examineur	Université de Lille 1
Ingénieur	A. MALLET	Examineur	C.N.E.S. Toulouse
Ingénieur	E. ROGEAUX	Examineur	Alcatel Espace Toulouse

à mes parents,  
mes frères et sœurs  
et tous ceux qui me sont chers



# **REMERCIEMENTS**



## Remerciements

Ce travail a été financé par Alcatel Space Industries (ASPI) et le Centre National d'Etudes Spatiales (CNES) situés à Toulouse. La réalisation technologique des transistors de puissance et leurs caractérisations ont été effectuées à l'Institut d'Electronique et de Microélectronique du Nord (IEMN) dirigé par Monsieur le professeur G. Salmer. La conception et la réalisation des amplificateurs de puissance ont été réalisées à Alcatel Space Industries. Enfin, la caractérisation des amplificateurs de puissance a été accomplie au Centre National d'Etudes Spatiales.

Je remercie Monsieur le Professeur G. Salmer de me faire l'honneur de présider la Commission d'examen.

Ce travail a été réalisé dans le cadre d'une collaboration contractuelle entre l'équipe « Dispositifs Microondes de Puissance et non linéaire » du département « Hyperfréquences et Semiconducteurs » de l'IEMN, le département « Produits Hyperfréquences » d'ASPI et le département « Hyperfréquences » du CNES.

Je tiens tout d'abord à remercier Monsieur le Professeur Y. Crosnier pour la confiance qu'il m'a accordée en m'accueillant au sein de son équipe.

J'adresse mes plus sincères remerciements à Monsieur Bertrand Boudart, Maître de Conférence, qui m'a encadré durant toute la thèse. Je lui suis reconnaissant pour m'avoir formé rapidement à la technologie des transistors de puissance en salle blanche et de m'avoir transmis sa passion pour la recherche. Ses connaissances scientifiques, son enthousiasme et sa disponibilité m'ont permis de mener à bien ce travail dans des conditions idéales.

Que Monsieur le Professeur Bertrand Bonte trouve ici l'expression de ma reconnaissance pour son aide précieuse et ses nombreux conseils.

Messieurs P. Crozat et J. L. Gautier me font l'honneur de juger ce travail et d'en être les rapporteurs. Je leur exprime toute ma reconnaissance.

Mes remerciements vont également à Monsieur le Professeur A. Cappy pour l'honneur qu'il me fait en participant à ce jury.

## Remerciements

Je tiens également à remercier Monsieur Eric Rogeaux, Ingénieur à Alcatel, pour ses nombreux conseils et sa disponibilité durant la conception d'amplificateurs de puissance lors de mon séjour à ASPI.

Mes remerciements vont également à Monsieur Alain Mallet, Ingénieur au CNES, pour sa disponibilité et son aide qu'il m'a apportée durant ma période effectuée au CNES.

Je remercie Monsieur Michel Pouysegur, chef du département produits hyperfréquences (PHY), Monsieur Jean Louis Cazaux, chef du service études de PHY, ainsi que Monsieur Michel Soulard, chef du LEMMIC, pour m'avoir accueilli au sein de leur groupe à Alcatel Space Industries.

Je remercie Monsieur Jacques Sombrin, Chef de la division Technique de Transmission et Localisation (TTL), Monsieur Luc Lapiere, Chef du département Hyperfréquences, pour m'avoir accueilli au sein de leur groupe au Centre National d'Etudes Spatiales.

Un grand merci aux personnes avec qui j'ai eu le plaisir de travailler et qui m'ont aidé durant les diverses phases de ma thèse.

En commençant par l'IEMN :

Pascal, Michel et Marc de la lithographie, Annie et Dédé de la métallisation, Christiane, Bertrand et Jean Claude de la chimie et du plasma, Babette et Sylvie de la caractérisation, Christophe du MEB, VD pour la découpe, Yvon et Jean Louis de l'épitaxie, Pascal, Michel et Andrée du P3 ainsi que Xavier, Patrick Mounaix, Sylvain, Bob, Achour, Virginie, Cathy, Dorothé, Mamadou, Mathieu, Réda, Mohamed, Ali, Rachid et Pierre Armand.

Alcatel Space Industries :

Michel Maignant, Christine Galy, le personnel des Maquettes et de la Métrologie, Marc Zoyo, Sébastien Georges, Christophe Cazaux, Le LEMMIC plus particulièrement Jean Philippe Fraysse, Jean Claude Sarkissian, Dominique Langrez, Eric Laporte, Yves Butel et Magali. Je remercie également Annaïck Carlier, le secrétariat avec Colette Perrier et Françoise Padovani ainsi que toutes les personnes de PHY.

le Centre National d'Etudes Spatiales :

Christophe Laporte (merci pour Motorola), Francis Gizard, Daniel Chebance, Christine Zanchi, Marie-Dominique Lermisson ainsi que toutes les personnes de TTL.

Enfin, je remercie particulièrement :

## Remerciements

- Bertrand Boudart (BB2), pour tous les bons moments que l'on a eu en conférence, son poulet qui avait le goût de lapin, sa choucroute et surtout son Schnaps (et j'en passe...)
- Bertrand Bonte (BB1), pour m'avoir informé du classement de Tourcoing tout au long de l'année
- Eric Rogeaux, pour son cassoulet Toulousain et son punch Antillais
- Alain Mallet, pour m'avoir démontré que sa voiture avait une très bonne adhérence par temps de pluie supérieure à la sienne au bord de la piscine
- Cyrille Boulanger, pour son interprétation de Magnum en japonais
- Stéphane Trassaert, pour sa bonne humeur quotidienne, ses discussions interminables sur la musique Techno et pour m'avoir démontré que les bus à Turin étaient gratuits
- Stéphane Piotrowicz, pour son aide sur MDS et dans ma recherche d'emploi
- Momo, pour m'avoir rebranché le capteur de température de ma voiture
- Eric, Christophe, Henri et Didier membres de l'équipe Crosnier
- Mustafa (le vidéaste amateur), pour ses connaissances géographiques (il me comprendra), ma carte Quick, les pizzas, les kébabs, les discussions irréalistes dans la salle de calcul, son entrée fracassante lors du mariage de Fred, ses bons plans sur le net ainsi que ses talents en canoë kayak
- Fred, pour mon séjour à Munich, au Château de Bourgogne (Félicitations), le gonflage de ma roue de voiture ainsi que les nombreux moments de délires à la cafet et en salle de carac
- Yannick, dit le Breton, pour sa bonne humeur quotidienne, son expression favorite « je ne sais pas, je viens d'arriver », son œil magique et pour nous avoir montré ses talents de skipper lors de notre virée dans les Ardennes (elle était froide ?)
- Marjorie, pour les épisodes rebondissant de la saga IEMN (elle me comprendra)
- Miloud, pour son remake du Titanic dans les Ardennes, son assistance PC 24/24h et sa bonne humeur quotidienne
- Katir, pour toutes les fausses rumeurs qu'il a su propager à l'IEMN
- Alex, supporter de l'équipe anglaise de Rugby et de Britney, pour m'avoir fait découvrir la place St Pierre à Toulouse (et ses nombreux pubs), pour sa carte postale de Tunisie qu'il n'a jamais envoyée, nos nombreux délires à Alcatel et surtout pour son soutien permanent lors de la rédaction de ma thèse
- Lilian, pour le réglage de mes amplis à Alcatel
- Boubs, pour avoir explosé la clé de voiture de Seb
- Seb, dit Montmirail, pour le merdier qu'il a mis dans le bureau durant mon séjour au CNES, son vocabulaire très poétique, ses coups de téléphone interminable, son jeu du caf et le lancement de la « Barbimania »
- Stef, dit Gringo, pour son café explosif (même le plafond s'en souvient), ses provocations aux bras de fer, ses talents sous Corel Draw et de m'avoir appris le Badminton (il me comprendra)
- Jérôme, dit Barbidur, pour toutes les expressions à 20 centimes qu'il a inventé durant mon passage au CNES, le coup de la fausse carte à la cantine (inouvable), les 3 buts au tournoi de Foot, la traversée de Toulouse en Juillet (2h pour faire l'aéroport Toulouse Blagnac - le CNES) et surtout son coup de gueule un soir au bord de la piscine (Mallet tu es une .....)
- Jérôme Puech, dit l'Aveyronnais, pour ses exploits le long de la Garonne, son déménagement et son resto chinois



## Remerciements

- Mon frère Pascal, pour les 2000 Kms qu'il a faits en deux jours dans le but de transporter mes affaires de Lille à Toulouse
- Enfin, je ne voudrais surtout pas oublier mes parents et toute ma famille pour leur aide et leur soutien permanent.

# **TABLE DES MATIERES**



<b>INTRODUCTION GENERALE.....</b>	<b>15</b>
-----------------------------------	-----------

**Chapitre 1 :**  
**Réalisation des transistors de puissance pHEMT et HFET**  
**à haute linéarité sur substrat GaAs**

<b>I) Introduction.....</b>	<b>25</b>
<b>II) Etude des potentialités de la filière HEMT pseudomorphique et HFET sur substrat GaAs pour l'amplification de puissance à haute linéarité.....</b>	<b>26</b>
1) Introduction.....	26
2) Outil de simulation.....	28
3) Résultats de simulation. ....	28
A) Le HEMT pseudomorphique AlGaAs / GaAs / InGaAs. ....	28
B) Le HFET AlGaAs / InGaAs.....	31
4) Conclusion. ....	32
<b>III) Technologie de transistors multidoigts à grand développement de grille pour amplification de puissance à haute linéarité. ....</b>	<b>33</b>
1) Introduction.....	33
2) Marques et motifs d'alignement.....	34
3) Avant Trous. ....	34
4) Contacts ohmiques. ....	35
5) L'isolation.....	37
6) La réalisation de la grille.....	42
A) Définition des dimensions de la grille.....	42
B) Gravure du fossé de grille.....	43
C) Application de la gravure sélective aux couches composants.....	50
D) Amélioration de la gravure du fossé de grille.....	52
E) Métallisation de la grille.....	52
7) Les plots d'épaississement.....	55
8) Les ponts à air.....	55
A) Introduction.....	55
B) La technologie des ponts à air.....	56
C) Problèmes rencontrés et amélioration de la technologie.....	57
9) La passivation.....	58
10) Amincissement.....	60
A) Introduction.....	60
B) Technologie.....	60
C) Choix de la technique d'amincissement.....	62
(1) Chimique.....	62
(2) Mécanique.....	62
D) Conclusion.....	63
11) Réalisation des trous métallisés.....	63
A) Introduction.....	63
B) Technologie des trous métallisés.....	64
C) Réalisation technologique.....	65

D) Conclusion.....	69
<b>IV) Conclusion du Chapitre 1.....</b>	<b>70</b>
<b>V) Bibliographie du Chapitre 1.....</b>	<b>72</b>
<b>VI) Annexe du Chapitre 1 : description du procédé de fabrication des transistors de puissance à haute linéarité pour bandes K et Ka.....</b>	<b>76</b>

**Chapitre 2 :**  
**Caractérisation des transistors de puissance pHEMT et HFET à haute linéarité sur substrat GaAs**

<b>I) Introduction.....</b>	<b>83</b>
<b>II) Caractérisation des transistors de puissance.....</b>	<b>84</b>
1) 1 <sup>ère</sup> campagne de réalisation de composants.....	84
A) Caractérisation statique.....	84
B) Caractérisation hyperfréquence.....	88
2) 2 <sup>ème</sup> campagne de réalisation de composants.....	89
3) 3 <sup>ème</sup> campagne de réalisation de composants.....	90
A) Caractérisation statique.....	91
B) Caractérisation hyperfréquence.....	94
4) 4 <sup>ème</sup> campagne de réalisation de composants.....	97
A) Caractérisation statique.....	99
B) Caractérisation hyperfréquence petit signal.....	104
(1) Détermination des éléments extrinsèques.....	104
(a) Les capacités plots C <sub>pg</sub> et C <sub>pd</sub> .....	104
(b) Les résistances d'accès.....	107
(c) Les selfs d'accès.....	109
(2) Détermination des éléments intrinsèques et des paramètres associés.....	109
(a) Etude des éléments intrinsèques et des paramètres associés en fonction du développement de grille.....	113
(b) Etude des éléments intrinsèques et des différents paramètres associés en fonction de la tension Drain - Source.....	116
C) Caractérisation hyperfréquence grand signal.....	119
(1) Description du banc de puissance.....	119
(2) Caractérisation en puissance des structures pHEMT et HFET en bandes K et Ka.....	120
(3) Description du banc d'intermodulation 2 tons.....	125
(4) Mesures d'intermodulation.....	126
(5) Amélioration des bancs de mesures en puissance et en intermodulation.....	128
D) Composants avec trous métallisés.....	130
(1) Introduction.....	130
(2) Caractérisation statique.....	131
(3) Caractérisation petit signal.....	133
(4) Conclusion.....	135
<b>III) Conclusion du Chapitre 2.....</b>	<b>136</b>
<b>IV) Bibliographie du Chapitre 2.....</b>	<b>138</b>

## Chapitre 3 :

### Conception et réalisation d'amplificateurs de puissance en bandes K et Ka à base de transistors pHEMT sur substrat GaAs

<b>I) Introduction.....</b>	<b>145</b>
<b>II) Modélisation des transistors de puissance à haute linéarité sur substrat GaAs. ....</b>	<b>147</b>
1) Introduction.....	147
2) Choix du transistor de puissance. ....	147
3) Elaboration et 1 <sup>ère</sup> validation du modèle non linéaire. ....	147
A) Comparaison des caractéristiques statiques mesurées et simulées du transistor pHEMT..	151
B) Comparaison des paramètres $S_{ij}$ mesurés et simulés du transistor pHEMT. ....	151
4) Conclusion. ....	152
<b>III) Conception d'amplificateurs de puissance à base de transistors pHEMTs, en technologie microruban, pour des applications à 19 GHz.....</b>	<b>153</b>
1) Introduction.....	153
2) Conception des modules hybrides de puissance à 1 étage comportant 1 transistor.....	154
A) Amplificateur à capacités interdigitées. ....	156
(1) Simulation linéaire.....	156
(a) Etude des paramètres $S_{ij}$ . ....	156
(b) Etude de la stabilité. ....	157
(2) Simulation non linéaire. ....	158
(a) Puissance de sortie, rendement en puissance ajoutée et gain en puissance. ....	158
(b) Evolution du point d'interception d'ordre 3 en fonction de $V_{gs}$ . ....	159
(c) Evolution du C/I en fonction de $V_{gs}$ . ....	161
(d) Evolution du cycle de charge. ....	162
B) Amplificateur à capacités discrètes. ....	163
(1) Simulation linéaire.....	163
(a) Etude des paramètres $S_{ij}$ . ....	163
(b) Etude de la stabilité. ....	164
(2) Simulation non linéaire. ....	164
C) Conclusion. ....	166
3) Conception d'un module hybride de puissance à 1 étage comportant 4 transistors. ....	166
A) Simulation linéaire.....	167
(1) Etude des paramètres $S_{ij}$ .....	167
(2) Etude de la stabilité. ....	168
B) Simulation non linéaire. ....	169
(1) Puissance de sortie, rendement en puissance ajoutée et gain en puissance. ....	169
(2) Evolution du point d'intersection d'ordre 3 en fonction de $V_{gs}$ . ....	169
(3) Evolution du C/I en fonction de $V_{gs}$ . ....	170
(4) Cycle de charge. ....	171
C) Conclusion. ....	172
<b>IV) Conception d'amplificateur de puissance à base de transistors pHEMTs, en technologie coplanaire avec report Flip Chip, pour des applications à 19 GHz.....</b>	<b>173</b>
1) Introduction.....	173
2) Topologie de la ligne coplanaire. ....	173
3) Conception du module hybride de puissance en technologie coplanaire. ....	175

A) Simulation linéaire.....	176
(1) Etude des paramètres $S_{ij}$ .....	176
(2) Etude de la stabilité. ....	177
B) Simulation non linéaire.....	177
(1) Puissance de sortie, rendement en puissance ajoutée et gain en puissance. ....	177
(2) Evolution du point d'interception d'ordre 3 en fonction de $V_{gs}$ .....	178
(3) Evolution du C/I en fonction de $V_{gs}$ . ....	179
4) Conclusion.....	180
<b>V) Caractérisation d'amplificateurs de puissance à base de transistors pHEMTs, en technologie microruban pour des applications à 19 GHz.....</b>	<b>181</b>
1) Introduction.....	181
2) Caractérisation linéaire.....	183
3) Caractérisation non linéaire.....	184
A) Puissance – Gain – Rendement en puissance ajoutée.....	184
(1) L'amplificateur à capacités discrètes. ....	184
(2) L'amplificateur à capacités interdigitées. ....	187
B) Les produits d'intermodulation.....	191
(1) L'amplificateur à capacités discrètes. ....	191
(2) L'amplificateur à capacités interdigitées. ....	192
C) La conversion AM/PM. ....	193
4) Conclusion.....	195
<b>VI) Etat de l'art des MMICs de puissance.....</b>	<b>196</b>
<b>VII) Conclusion du Chapitre 3. ....</b>	<b>198</b>
<b>VIII) Bibliographie du CHAPITRE 3. ....</b>	<b>200</b>
<b>IX) Annexes du Chapitre3.....</b>	<b>203</b>
1) Concept Puissance – Linéarité. Principales définitions. ....	203
A) Généralités.....	203
B) Fonctionnement en monoporteuse (CW). ....	204
C) Fonctionnement en biporteuses.....	206
D) Fonctionnement en multiporteuses. ....	208
E) Cas d'un signal modulé en phase. ....	209
F) Bibliographie.....	210
2) Concept de stabilité.....	211
A) Généralités.....	211
B) L'étude de la stabilité linéaire d'un amplificateur par le coefficient K de Rollet. ....	211
C) L'étude de la stabilité linéaire d'un amplificateur par la méthode du déterminant normalisé NDF.....	213
D) Bibliographie.....	215
<b>CONCLUSION GENERALE et PERSPECTIVES.....</b>	<b>217</b>

# **INTRODUCTION GENERALE**





Deux grands domaines d'applications nécessitent actuellement l'utilisation de fréquences de plus en plus élevées afin de pouvoir augmenter les débits d'informations. Il s'agit :

- des télémesures dans la bande 25,5 – 27 GHz pour les services d'exploration de la terre
- des télécommunications multimédia dans les bandes Ku et K qui font l'objet de projets tels que Skybridge, Orion, Teledesic, Space Way ...

Afin d'assurer correctement l'acheminement de ces informations d'un point à l'autre de la terre, les charges utiles des satellites requièrent l'emploi d'amplificateurs de puissance pour pallier à l'affaiblissement du signal durant sa propagation.

L'augmentation incessante des débits d'informations impose à cette nouvelle génération de satellites de travailler à des fréquences et avec des puissances de plus en plus élevées. Ceci est accompagné d'une dégradation de la linéarité qui a pour conséquence de diminuer la qualité des signaux transmis.

Si certains circuits tels que les mélangeurs ou les multiplieurs de fréquences mettent à profit la non-linéarité, il n'en est pas de même pour les amplificateurs. En effet, ces derniers génèrent de l'intermodulation qui a pour conséquence l'apparition de signaux indésirables<sup>[1]</sup>, d'autant plus proches du signal utile que le nombre de porteuses dans la bande utile est important. Cette proximité rend leur filtrage impossible et dégrade l'information à transmettre. De ce fait, le développement d'amplificateurs ultra linéaires suscite beaucoup d'intérêts dans les bandes K et Ka.

La technologie qui a répondu et qui répond encore de nos jours aux applications à très forte puissance dans le domaine des hyperfréquences est celle des amplificateurs à tubes à ondes progressives (ATOP). Cependant, l'avènement des technologies d'antennes actives permet d'envisager l'utilisation d'amplificateur à l'état solide (en anglais SSPA) qui présentent de nombreux avantages comparés aux ATOP, surtout dans le cas d'applications spatiales, et décrits ci-dessous<sup>[2]</sup> :

L'architecture utilisée dans les SSPA permet, lors d'une défaillance de l'amplificateur, de remplacer seulement le ou les modules défectueux contrairement au premier où il est nécessaire de remplacer tout le tube. Les transistors utilisés de nos jours dans les SSPA ont atteint une telle fiabilité que leur durée de vie se mesure en million d'heures. De plus dans les ATOP, la puissance de sortie décroît continuellement avec l'âge du tube ce qui nécessite un réajustement ou un remplacement de celui-ci. Il n'y a aucun mécanisme équivalent dans les SSPA.

La propagation des signaux dans un diélectrique, due à l'utilisation de la technologie des circuits intégrés micro ondes, permet de diminuer les longueurs d'ondes des signaux à transmettre, donc la taille des amplificateurs, par rapport à une propagation dans l'espace libre. Cette technologie, qui permet d'intégrer directement des modules tels qu'un atténuateur ou un déphaseur, facilite la conception au niveau système. L'utilisation de basses tensions permet de simplifier l'architecture des alimentations et de leurs systèmes de connexions associées. Tout ceci contribue à la réduction de la masse et de la taille des amplificateurs qui sont des paramètres importants en spatial.

Les principaux avantages des ATOP sont leur puissance de sortie et leur rendement en puissance ajoutée associé. La nouvelle génération d'amplificateurs à tubes permet d'obtenir des puissances de sortie de l'ordre de 140 Watt pour un rendement de 60 % à 20 GHz.<sup>[3]</sup> En ce qui concerne les SSPA, la puissance de sortie est actuellement de l'ordre de 10 Watt par module<sup>[4]</sup> à 20 GHz pour un rendement de 30 à 50 %. Cependant, les SSPA présentent une meilleure linéarité caractérisée par différents coefficients tels que le  $C/I_3$ , le NPR ou encore l'ACPR en fonction du nombre de porteuses et du type de signal utilisé. Le  $C/I_3$ , représentant la différence de puissance entre le fondamental et les produits d'intermodulation d'ordre 3, est compris en général entre 10 et 15 dBc pour les SSPA contre 5 et 10 dBc pour les ATOP dans la zone de compression de l'amplificateur.

Pour augmenter cette linéarité, 2 techniques peuvent être utilisées :

- la première consiste à utiliser l'amplificateur avec un certain recul par rapport à sa zone de compression. Dans ce cas là, l'augmentation de la linéarité se traduit par une diminution de la puissance et du rendement en puissance ajoutée
- la deuxième utilise un système de linéarisation en amont de l'amplificateur qui permet de réduire le recul par rapport à la compression et d'optimiser ainsi le compromis Puissance / Rendement / Linéarité.<sup>[5,6]</sup>

L'objectif de notre étude s'inscrit dans ce thème. Nous nous sommes intéressés directement à la base du problème, en étudiant de nouvelles structures de transistors à effet de champ de puissance pour des applications spatiales à haute linéarité en bandes K et Ka. Ces structures doivent avoir la particularité de présenter un profil de transconductance  $g_m$  le plus plat possible en fonction de la tension  $V_{gs}$  afin de réduire une partie des produits d'intermodulation due à la contribution du  $g_m$ .<sup>[7]</sup>

Les deux premières années de ma thèse se sont déroulées à l'Institut d'Electronique et de Microélectronique du nord. L'objectif de mon travail était de réaliser des transistors de puissance à haute linéarité en central de technologie. J'ai également participé à la caractérisation de ces composants. La troisième année s'est déroulée dans un premier temps à Alcatel Espace puis au Centre National d'Etudes Spatiales situés à Toulouse. Durant celle-ci, j'ai conçu, réalisé et participé à la caractérisation de plusieurs amplificateurs de puissance à haute linéarité

Les résultats de notre étude, en collaboration étroite entre l'IEMN, le Centre National d'Etudes Spatiales et Alcatel Espace de Toulouse, sont réunis en 3 chapitres.

Le premier chapitre a pour objectif d'expliquer les différents choix que nous avons dû prendre pour mener à bien la réalisation de transistors de puissance à haute linéarité sur substrat GaAs. Dans un premier temps, nous avons utilisé un logiciel de simulation de la commande de charges, basé sur la résolution auto-cohérente des équations de Schrödinger et de Poisson, afin de prévoir le comportement des structures étudiées (pHEMT et HFET). Dans un second temps, les couches qui nous paraissaient les plus prometteuses ont été épitaxiées pour permettre la réalisation des transistors de puissance. La technologie utilisée, mise au point au laboratoire, a nécessité une optimisation de chaque étape afin d'obtenir un procédé de fabrication fiable, reproductible et qui n'engendre aucune dégradation sur les performances électriques des transistors. Tous les détails liés à la réalisation des transistors de puissance sont donnés en annexe à la fin de ce chapitre.

Le second chapitre présente les performances statiques et hyperfréquences (petit et grand signal) des transistors de puissance pHEMT et HFET à haute linéarité. Nous y présentons l'influence des choix technologiques abordés dans le premier chapitre sur les caractéristiques des composants. Nous nous sommes tout d'abord intéressés à la caractérisation statique avec une attention particulière pour le profil de la transconductance en fonction de  $V_{gs}$  ainsi que pour la densité maximale de courant de drain. Ensuite, nous avons déterminé les éléments du schéma équivalent petit signal et leur évolution en fonction de  $V_{gs}$ ,  $V_{ds}$  et du développement. Enfin, des mesures de puissance et d'intermodulation ont permis d'établir une première évaluation des différentes structures sur leur aptitude à être utilisés dans des applications de puissance à haute linéarité en bandes K et Ka.

Ces deux premières parties ont été entièrement effectuées à l'IEMN.

Le dernier chapitre traite dans un premier temps de la modélisation des transistors de puissance et de l'élaboration du modèle non linéaire. Nous nous intéresserons ensuite à la

conception de deux amplificateurs utilisant une technologie microruban et constitués d'un seul transistor afin d'évaluer leurs performances en terme de puissance et linéarité. Nous avons également étudié en théorie la faisabilité d'un module 1 Watt constitué de quatre transistors en parallèle. Enfin, un module hybride de puissance en technologie coplanaire a été conçu pour permettre un report Flip-Chip du composant afin d'améliorer ses performances par une meilleure dissipation thermique. Ces étapes ont été réalisées à Alcatel Espace situé à Toulouse.

A la fin de ce chapitre, nous présentons les résultats obtenus, lors de la caractérisation effectuée au Centre National d'Etudes Spatiales de Toulouse, sur les amplificateurs microruban fonctionnant à 19 GHz.

Enfin, nous concluons ce mémoire en résumant les principaux résultats et en évoquant les perspectives de ce travail.

## Bibliographie

- 1 **D. D. Henkes et al.**  
« Intermodulation : concepts and calculations »  
Applied Microwave and Wireless, July/August, 1997, p 38-43
- 2 **Vertex Electronic Products**  
« The SSPA Advantage »  
<http://www.vertexepi.com>
- 3 **E. Bosch et al.**  
« New generation of highly efficient Ka band TWTs 15 to 140 W »  
Workshop on Microwave Tubes for Space, Military and Commercial Applications, Noordwijk, 1997,  
p 419-425
- 4 **J. A. del Alamo et al.**  
« Breakdown in millimeter wave power InP HEMTs : a comparison with GaAs PHEMT's »  
IEEE Journal of Solid State Circuits, vol 34, n° 9, 1999, p 1204-1211
- 5 **T. Kaho et al.**  
« Improvement technique in the C/I of high power amplifier array using intermodulation distortion  
controllers »  
IEEE Radio and Wireless Conference, 1999, p 183-186
- 6 **A. Guy**  
« Etude, conception et réalisation d'un système de linéarisation d'amplificateurs de puissance à état solide  
pour des applications spatiales »  
Thèse d'Université, Toulouse, 2000
- 7 **J. A. Higgins et al.**  
« Analysis and improvement of intermodulation distortion in GaAs power FET's »  
IEEE Transactions on Microwave Theory and Techniques, vol 28, n° 1, 1980, p 9-17



**Chapitre 1 :**

**Réalisation des transistors de puissance  
pHEMT et HFET  
à haute linéarité sur substrat GaAs**





## I) Introduction.

Ce premier chapitre a pour objectif d'expliquer les différents choix technologiques que nous avons dû faire pour mener à bien la réalisation de transistors de puissance à haute linéarité sur substrat de GaAs.

Dans un premier temps, nous avons utilisé un logiciel de simulation de la commande de charges basé sur la résolution auto-cohérente des équations de Schrödinger et de Poisson. Cet outil de simulation nous renseigne sur la densité de courant disponible dans la structure du composant ainsi que sur l'aptitude de celui-ci à se comporter linéairement par rapport au potentiel de grille. Cependant, avec ce type de logiciel, il ne nous est pas possible de prédire la tension de claquage du transistor.

C'est à partir d'études antérieures que deux structures de couches ont été choisies et simulées.<sup>[1]</sup> La première épitaxie est basée sur le principe du HEMT à deux canaux en GaAs et en InGaAs non dopés, alimentés par deux plans de dopage. L'autre fait appel au principe du HFET appelé aussi DMT, avec un canal en InGaAs dopé et un plan de dopage. Le critère de linéarité de ces structures est basé sur l'aptitude à obtenir un profil de transconductance le plus plat possible en fonction de la tension grille source  $V_{gs}$ . De ce fait, nous avons fait varier le dopage dans ces structures en regardant l'influence de celui-ci sur la valeur du courant de drain maximum ainsi que sur le profil de la transconductance.

Dans un second temps, les couches qui nous paraissaient les plus prometteuses ont été épitaxiées pour permettre la réalisation de transistors multidoigts à grand développement de grille. Dans cette partie, nous aborderons les différentes étapes technologiques nécessaires à la réalisation des transistors de puissance à haute linéarité. Nous insisterons plus particulièrement sur les étapes qui ont demandé une optimisation du procédé technologique, à savoir :

- la réalisation des mesas pour l'isolation
- la réalisation du fossé de grille par gravure sélective
- la réalisation des ponts à air pour relier les contacts de source
- l'amincissement du substrat, qui ne concerne que la technologie microruban, pour une technologie de trous métallisés
- la passivation des composants.

## **II) Etude des potentialités de la filière HEMT pseudomorphique et HFET sur substrat GaAs pour l'amplification de puissance à haute linéarité.**

### **1) Introduction.**

Le HEMT pseudomorphique AlGaAs / InGaAs, sur substrat GaAs, a démontré sa capacité à atteindre près de 1 W/mm à 30 GHz.<sup>[1,2]</sup> Sa linéarité, longtemps ignorée tant que la structure ne visait que des applications faible bruit, est progressivement devenue une préoccupation dès lors que son champ d'application s'est étendu à la puissance.

L'IEMN s'est penché depuis plusieurs années sur ce problème et, à partir de cette structure générique, a développé des structures multicanaux visant à augmenter simultanément courant et linéarité, tout en conservant une bonne tension de claquage et une montée en fréquence raisonnable. Ainsi il s'avère que la structure HEMT hybride, à deux puits en GaAs et en InGaAs, avec une grille de longueur de 0,15  $\mu\text{m}$  décentrée dans un double fossé, peut atteindre une fréquence de coupure du gain en courant de 80 GHz, un gain en puissance de 8 à 10 dB en classe AB à 30 GHz et une densité de puissance de 600 mW/mm.<sup>[3-5]</sup>

Ces résultats nous ont incités à aller plus loin dans l'optimisation des couches et de la technologie tout en effectuant, pour la première fois à notre connaissance, une étude approfondie de sa linéarité.

De ce fait, deux types d'épitaxies ont été conçus :

- L'un est basé sur le principe du HEMT à deux canaux en GaAs et en InGaAs non dopés, alimentés par deux plans de dopage (figure 1). L'intervalle entre les puits n'est que de 8,4 nm pour assurer leur couplage de manière modérée.

Le puits en GaAs est alimenté majoritairement par le plan de dopage avant et minoritairement par le plan de dopage arrière. Le super réseau AlAs / GaAs sert à assurer une bonne qualité d'interface de l'hétérojonction arrière de ce puits GaAs.

Le puits en InGaAs est alimenté presque uniquement par le plan de dopage arrière. Les deux couches très minces de GaAs l'encadrant permettent de réaliser une sorte de « glaçage » des interfaces assurant leur qualité.

La couche d'AlAs, située juste au-dessus du substrat GaAs, est destinée à servir de « marqueur » pour arrêter le percement de la face arrière lors de la réalisation des trous métallisés.

GaAs $5.10^{18} \text{cm}^{-3}$	70 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm
GaAs	0,4 nm
$\delta\text{Si}$ (plan de dopage avant)	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs (puits supérieur)	12 nm
$\text{AlAs/GaAs 6x}$ (super réseau)	5 nm
$\delta\text{Si}$ (plan de dopage arrière)	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	2 nm
GaAs	1 nm
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As}$ (puits inférieur)	12 nm
GaAs	1,5 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
GaAs	300 nm
Marqueur AlAs	30 nm
Substrat GaAs	

Figure 1 : Structure d'étude du HEMT pseudomorphique AlGaAs / GaAs / InGaAs sur substrat GaAs

- L'autre fait appel au principe du HFET appelé DMT (Doped Channel Mis-Like FET) à un canal en InGaAs dopé et un plan de dopage avant (figure 2).

Comme dans le cas de la couche HEMT double puits, les couches très minces de GaAs, encadrant le puits d'InGaAs, sont destinées à assurer la qualité d'interface des deux hétérojonctions, et la couche d'AlAs placée juste au-dessus du substrat en GaAs a le même rôle de « marqueur » que dans la structure pHEMT.

GaAs $5.10^{18} \text{cm}^{-3}$	70 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm
GaAs	0,4 nm
$\delta\text{Si}$ (plan de dopage)	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs	1 nm
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As } 2.10^{18} \text{cm}^{-3}$ (puits)	12 nm
GaAs	2 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
GaAs	300 nm
Marqueur AlAs	30 nm
Substrat GaAs	

Figure 2 : Structure d'étude du HFET AlGaAs / InGaAs sur substrat GaAs

## **2) Outil de simulation.**

Le paramétrage des épitaxies a été effectué en utilisant une simulation de la commande de charges, basée sur la résolution auto-cohérente des équations de Schrödinger et de Poisson suivant l'axe perpendiculaire au plan du contact Schottky de grille. C'est à Stern et al<sup>[6]</sup> que l'on doit l'idée de la résolution conjointe des équations de Schrödinger et de Poisson par une méthode itérative. Ce type de simulation renseigne, en première approche, sur l'aptitude de la structure à se comporter linéairement par rapport à la commande de grille mais dans une configuration de diode verticale.<sup>[7]</sup> Par expérience, nous savons que les prédictions ainsi obtenues sont transposables au cas de la configuration transistor tant que la tension drain - source reste limitée à quelques volts, pour ne pas introduire les phénomènes de claquage.

Le logiciel comporte trois parties :

- Il faut tout d'abord définir la séquence de couches semi-conductrices composant la structure simulée ainsi que la nature du substrat. L'utilisateur choisit un matériau disponible dans la base de données, son épaisseur ainsi que son dopage.

- La structure définie, il faut choisir les options de calculs : le pas de discrétisation, le potentiel de grille, le facteur de convergence et le nombre maximal d'itération. Dans notre cas on a supposé tous les donneurs ionisés.

- Enfin, il faut prendre une méthode de résolution parmi quatre. Elles diffèrent par les conditions imposées aux limites. Celle qui a été utilisée s'intitule  $f(V_g)$  et permet d'étudier l'évolution de la commande de charges dans la structure en fonction du potentiel de grille  $V_g$ .

## **3) Résultats de simulation.**

### **A) Le HEMT pseudomorphique AlGaAs / GaAs / InGaAs.**

La figure 3 représente l'évolution de la densité de courant de drain  $I_d$ , en fonction de la tension  $V_{gs}$  appliquée pour différentes valeurs de plan de dopage.

$I_d$  est défini par :

$$I_d = q.N_s.v$$

$q$  charge électronique

$N_s$  densité surfacique de charges

$v$  vitesse électronique moyenne

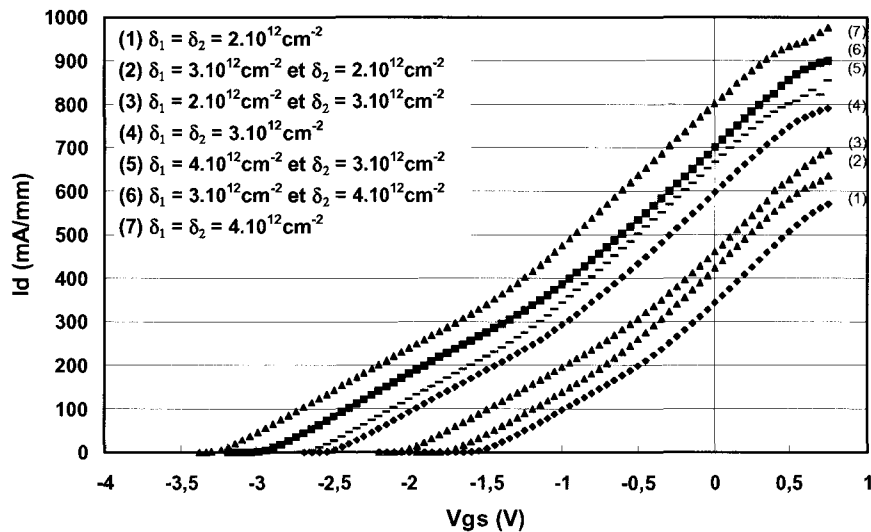


Figure 3 : Evolution de la densité de courant de drain  $I_d$  en fonction de  $V_{gs}$

Pour des raisons de simplicité, nous avons choisi une vitesse électronique moyenne de  $10^7$  cm/s quelque soit le canal, sachant que la vitesse électronique est plus élevée dans l'InGaAs.<sup>[8]</sup> Cette simulation montre une densité de courant allant de 960 mA/mm pour des plans de dopage supérieur  $\delta_1$  et inférieur  $\delta_2$  identiques et de valeur  $4.10^{12}$   $\text{cm}^{-2}$ , avec une tension de pincement de -3,3 V, à 580 mA/mm pour des plans de dopage identiques de  $2.10^{12}$   $\text{cm}^{-2}$  avec une tension de pincement de -1,5 V. L'évolution du courant de drain présente une variation presque linéaire comportant deux pentes légèrement différentes ce qui est dû à une commande du puits inférieur (InGaAs) plus difficile car plus profond. L'objectif de ce travail étant d'obtenir des structures pouvant délivrer une densité de courant de l'ordre de 700 à 800 mA/mm, une configuration contenant deux plans de dopage  $\delta_1$  et  $\delta_2$  d'au moins  $3.10^{12}$   $\text{cm}^{-2}$  est nécessaire. La tension de pincement est alors de -2,5 V.

La transconductance  $G_m$  est définie par :

$$G_m = dI_d/dV_{gs}$$

L'évolution de  $G_m$  en fonction de  $V_{gs}$  est représentée figure 4 pour une structure typique. Le profil de la transconductance présente deux maxima :

- le 1<sup>er</sup>, qui se situe à 0 V, est dû essentiellement à la contribution du puits de GaAs, et atteint une valeur de 340 mS/mm.

- le 2<sup>ème</sup>, qui se situe à -2 V, est dû à la contribution du puits d'InGaAs, avec une valeur de 190 mS/mm. D'après cette simulation, la transconductance ne présente pas de profil quasi

plat. Ce défaut de linéarité ne devrait que légèrement se répercuter en pratique grâce à un effet de compensation lié au fait que la vitesse électronique dans le puits d'InGaAs est plus élevée que dans le puits de GaAs (figure 4 (2)). En effet d'après une comparaison effectuée entre un MODFET conventionnel (AlGaAs/GaAs) et un MODFET pseudomorphique (AlGaAs/InGaAs), il apparaît que le canal d'InGaAs présente des propriétés de transport 1,6 fois supérieures au canal GaAs pour un taux d'Indium de 25 %.<sup>[9]</sup> De ce fait, nous avons également représenté sur la figure 4, l'évolution de la transconductance  $G_m$  en fonction de  $V_{gs}$  pour une vitesse électronique moyenne dans le puits d'InGaAs 1,6 fois supérieure à celle dans le puits de GaAs.

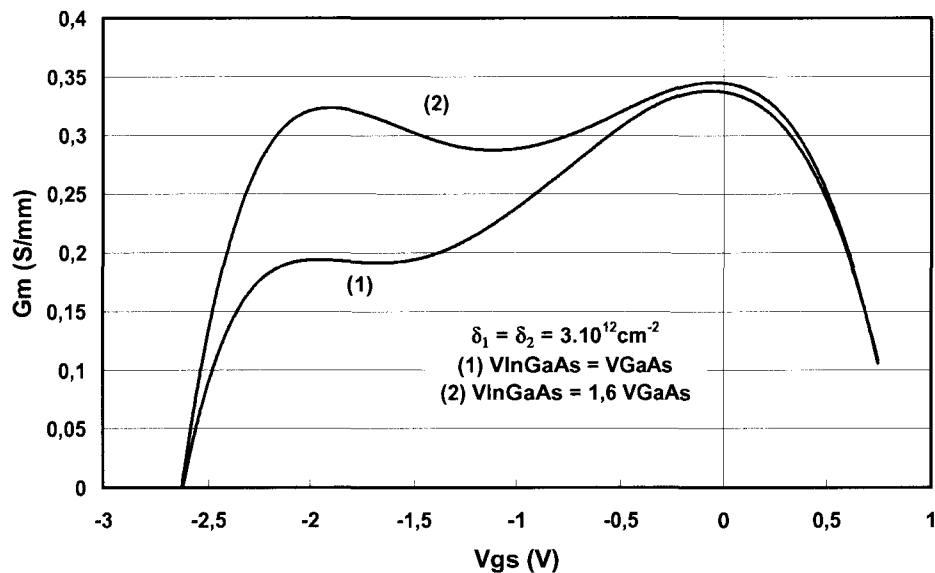


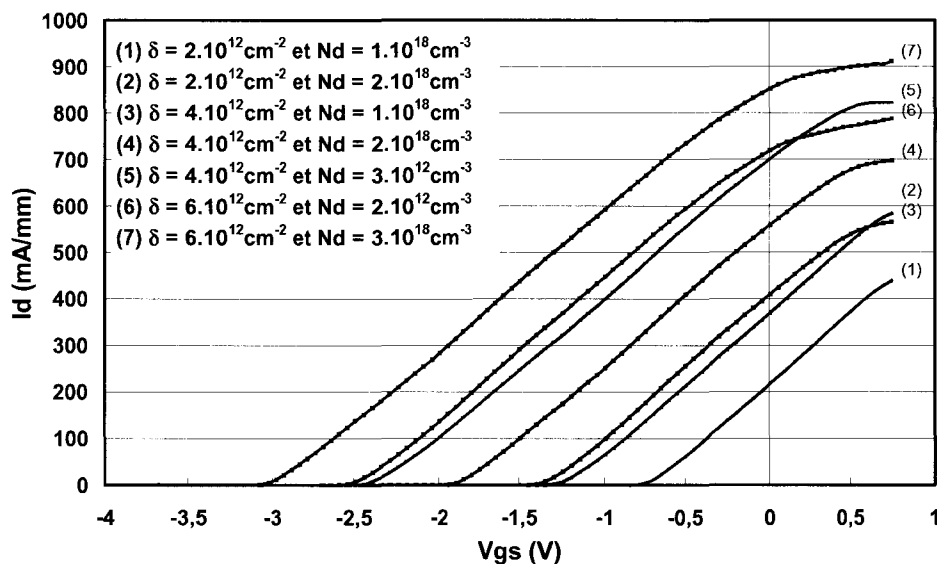
Figure 4 : Evolution de la transconductance  $G_m$  en fonction de  $V_{gs}$  pour le HEMT pseudomorphique retenu

On remarque que les deux maxima se situent aux mêmes tensions  $V_{gs}$  que pour l'évolution précédente mais que la contribution du puits profond est plus marquée et permet d'obtenir un profil de  $G_m$  quasi plat sur plus de 2 V de  $V_{gs}$ . On observe également que le premier maximum n'évolue quasiment pas, ce qui confirme une contribution distincte des deux puits sur le profil de la transconductance.

### **B) Le HFET AlGaAs / InGaAs.**

Comme précédemment, on peut voir sur la figure 5 l'évolution de la densité de courant  $I_d$  en fonction de  $V_{gs}$  pour différents dopages et une vitesse électronique moyenne de  $10^7$  cm/s.

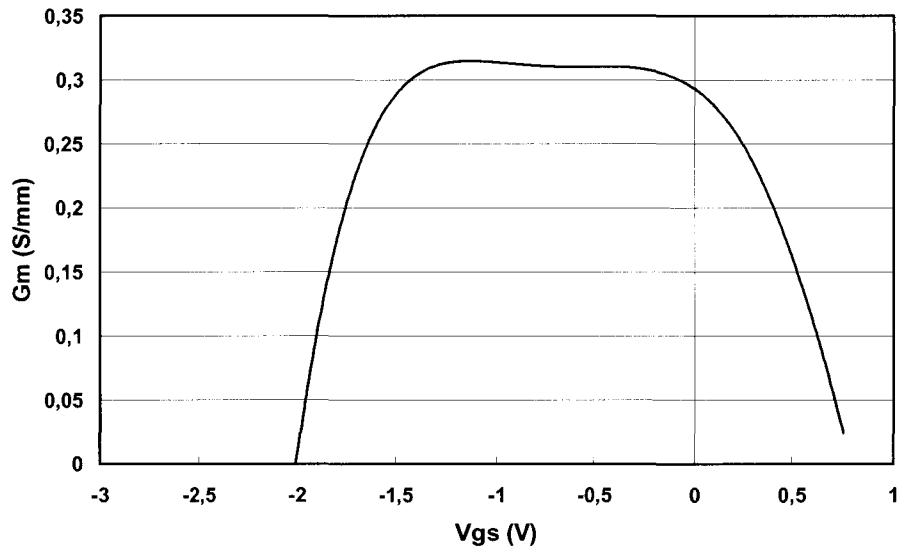
La densité de courant est comprise entre 900 mA/mm, pour un plan de dopage de  $6.10^{12}$  cm<sup>-2</sup> et un dopage volumique  $N_d$  dans le canal InGaAs de  $3.10^{18}$  cm<sup>-3</sup>, et 450 mA/mm pour  $\delta = 2.10^{12}$  cm<sup>-2</sup> et  $N_d = 1.10^{18}$  cm<sup>-3</sup>. Ainsi la structure avec  $\delta = 4.10^{12}$  cm<sup>-2</sup> et  $N_d = 2.10^{18}$  cm<sup>-3</sup> permet d'obtenir une densité de courant de 700 mA/mm avec une tension de pincement de -2 V. Contrairement à la structure précédente, les porteurs sont confinés dans le puits unique d'InGaAs et doivent avoir sensiblement la même vitesse. De ce fait, on peut observer une variation quasiment linéaire du courant de drain en fonction de  $V_{gs}$ .



**Figure 5 : Evolution de la densité de courant de drain  $I_d$  en fonction de  $V_{gs}$**

Ceci se répercute directement sur l'évolution de la transconductance qui présente un profil quasi plat en fonction de  $V_{gs}$ , pour la structure retenue, et une valeur maximale de 320 mS/mm (figure 6). Sachant que les propriétés de transport pris en hypothèse sont celles du GaAs, on peut espérer obtenir une valeur de transconductance plus élevée.





**Figure 6 : Evolution de la transconductance  $G_m$  en fonction de  $V_{gs}$  pour le HFET retenu ( $\delta = 4.10^{12} \text{cm}^{-2}$  et  $N_d = 2.10^{18} \text{cm}^{-3}$ )**

#### **4) Conclusion.**

La conclusion à tirer de ces simulations est que les deux types de couches sélectionnées doivent offrir un courant de drain maximum de l'ordre de 700 à 800 mA/mm (sur la base d'une vitesse électronique moyenne de  $10^7$  cm/s) dans le cas où tous les porteurs seraient ionisés. La commande du courant de drain par la tension de grille doit être linéaire dans les deux cas. Une légère différence entre les deux structures doit se situer au niveau de la transconductance. Celle de la couche pHEMT étant probablement un peu moins élevée que celle de la couche HFET dans un rapport voisin de l'inverse du rapport des tensions de pincement (0,8). L'inconvénient de ces structures est la valeur élevée de la tension de pincement qui nécessitera une bonne tension de claquage  $V_{gd}$  pour permettre une commande efficace du courant de drain près du pincement.

### **III) Technologie de transistors multidoigts à grand développement de grille pour amplification de puissance à haute linéarité.**

#### **1) Introduction.**

Dans cette seconde partie, nous allons aborder les différentes étapes technologiques nécessaires à la réalisation des composants. Bien que l'équipe possède une bonne culture de la technologie des transistors liée aux applications de puissance, le critère de linéarité nous a contraints à ré optimiser certaines parties du procédé technologique que nous avons énumérées en introduction.

La réalisation des transistors commence par le dépôt des motifs d'alignement indispensables aux étapes de lithographies optique et électronique. Ensuite, pour la technologie micro ruban, il est nécessaire de faire des avant trous pour permettre l'alignement des trous métallisés après amincissement du substrat GaAs. L'étape suivante est la réalisation des contacts ohmiques par lithographie électronique. Après isolation et le creusement du fossé de grille par gravure humide sélective, le dépôt de la grille est réalisé, puis les épaissements. Ces opérations alors effectuées, il est possible de réaliser les ponts à air spécifiques aux grands développements. La passivation constitue la dernière étape de la technologie coplanaire. En ce qui concerne la technologie micro ruban, il est nécessaire d'amincir le substrat de GaAs pour permettre la réalisation des trous métallisés.

Tous les détails liés à la réalisation des transistors de puissance sont donnés en annexe à la fin de ce chapitre.

Durant la réalisation de nos transistors de puissance, les deux types de lithographie optique ou électronique sont utilisés. Le choix du type de lithographie est fonction des dimensions que l'on veut atteindre lors du procédé technologique. De ce fait, nous avons choisi de définir les opérations nécessitant une précision inférieure au micron par lithographie électronique (contacts ohmiques et grille). Les autres opérations seront définies par lithographie optique (isolation, épaissement...).

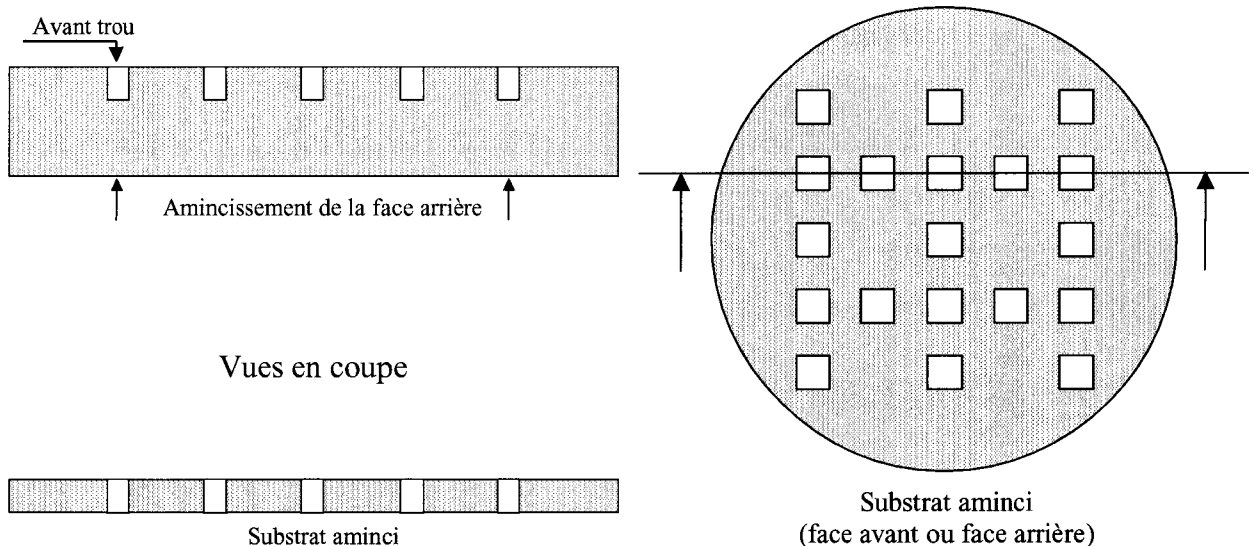
## **2) Marques et motifs d'alignement.**

Cette première étape consiste à définir la zone de travail, dans laquelle les transistors seront réalisés, en plaçant des repères sur la couche épitaxiée et qui serviront ensuite à assurer un positionnement correct lors des différentes étapes technologiques.

La lithographie électronique nécessite de nombreuses marques carrées de faibles dimensions pour une meilleure définition et détection lors des phases automatiques d'alignement. La lithographie optique n'impose aucun critère sur les marques. Celles-ci doivent être judicieusement choisies pour permettre un positionnement correct. Nous avons donc pris des marques en forme de croix, réparties à trois endroits différents par champ. Pour éviter, une erreur d'alignement due à la dégradation de certaines marques, chaque étape technologique possède sa propre marque à l'exception de la passivation.

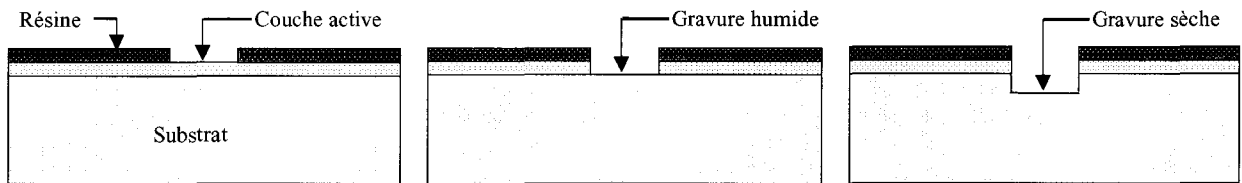
## **3) Avant Trous.**

Cette étape est spécifique à la technologie micro ruban. Notre laboratoire ne disposant pas d'un aligneur double face, la réalisation des trous métallisés en face arrière nécessite des motifs de repérage. Ces motifs sont réalisés en face avant et apparaissent en face arrière après amincissement du substrat. Leur profondeur conditionne alors l'épaisseur du substrat à atteindre après amincissement (figure 7).



**Figure 7 : Avant trous**

La réalisation de ces avant trous s'effectue en deux étapes (figure 8) :



**Figure 8 : Réalisation des avant trous par gravure humide et sèche**

- la gravure de la couche active se fait par voie humide à l'aide d'une solution d'ammoniaque et de peroxyde d'hydrogène ( $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ ) afin de ne pas détériorer les performances des composants

- la gravure du substrat est réalisée par voie sèche à l'aide d'un plasma de fréon ( $\text{CCl}_2\text{F}_2$ ) qui permet d'obtenir une meilleure directivité de l'attaque, primordiale pour ne pas trop élargir les avant trous.

#### **4) Contacts ohmiques.**

La réalisation de contacts ohmiques de source et de drain conditionne les performances fréquentielles des HEMTs. En effet, si l'on définit par la relation (1) le gain en puissance disponible maximal (MAG) qui est un des paramètres importants dans une application de puissance, on s'aperçoit que celui-ci augmente lorsque la résistance de source  $R_s$  diminue. D'après la relation (2), cette résistance de source est fonction de la résistance de contact  $R_c$ . Il est nécessaire d'obtenir de faibles résistances de contact pour augmenter les performances fréquentielles des composants.

$$\text{MAG} = \left(\frac{F_c}{F}\right)^2 \frac{1}{4.Gd(R_g + R_s + R_i + \pi.F_c.L_s) + 4.\pi.F_c.C_{gd}(2R_g + R_i + R_s + 2.\pi.F_c.L_s)} \quad (1)$$

$$\text{Avec } F_c = \frac{g_m}{2.\pi.C_{gs}}$$

$$R_s = R_c + \frac{R_{carré} + L_{sg}}{W} \quad (2)$$

avec  $R_c$  : résistance de contact

$G_d$  : conductance

$R_{carré}$  : résistance carré de la couche

$R_g$  : résistance de grille

$L_{sg}$  : distance source grille

$R_i$  : résistance du canal

W : largeur de grille du transistor

Ls : inductance de source

F : fréquence

Cgd : capacité grille-drain

Cgs : capacité grille-source

Fc : fréquence de coupure

De plus, cette résistance intervient directement sur la valeur de la tension intrinsèque appliquée à la grille comme on peut le voir dans la relation (3).

$$V_{gsi} = V_{gsa} - R_s I_d \quad (3) \quad \text{avec} \quad V_{gsi} : \text{tension intrinsèque grille-source}$$

$V_{gsa}$  : tension grille-source appliquée

$I_d$  : courant de drain

En pratique, des résistances de contact comprises entre 0,1  $\Omega$ .mm et 0,15  $\Omega$ .mm sont nécessaires afin d'obtenir les meilleures performances possibles en petit et grand signal. Des études antérieures ont montré que la métallisation Ni/Ge/Au/Ti/Au (150/195/390/500/2000 Å) permet d'obtenir des résistances de contact inférieures à 0,1  $\Omega$ .mm dans la filière pHEMT AlGaAs/InGaAs et ceci avec une très bonne reproductibilité.<sup>[10]</sup>

Cette étape technologique commence par le dépôt de deux résines électroniques sur lesquelles sont définis les contacts ohmiques, suivi par l'évaporation des métaux Ni/Ge/Au/Ti/Au ainsi que le lift-off. L'ensemble est ensuite recuit dans un four à recuit rapide (RTA) sous atmosphère d'azote à la température de 400 °C pendant 40 s.

Les valeurs typiques de résistance de contact, mesurées par la méthode TLM (Transmission Line Method) sur les différentes couches que l'on a utilisées, sont reportées dans le tableau 1.

Numéro de couche	Résistance carré ( $\Omega/$ )	Résistance de contact ( $\Omega$ .mm)
S970629	103	0,08
S970630	110	0,06
S970631	98	0,07
S970632	103	0,07
S980322	101	0,08
S980323	98	0,07
S980324	70	0,06
S980706	90	0,07
S980707	95	0,10
S981207	103	0,07
S981208	102	0,10
S981209	91	0,07
S981210	110	0,10
S981211	98	0,08

**Tableau 1 : Valeurs typiques des résistances de contact obtenues avec la métallisation**

**Ni/Ge/Au/Ti/Au après un recuit à 400 °C pendant 40 s.**

Ces faibles valeurs de résistances de contact, qui à notre connaissance font partie des meilleurs résultats rencontrés dans la littérature, nous permettent d'aborder la suite des étapes nécessaires à la réalisation des transistors de puissance.

### **5) L'isolation.**

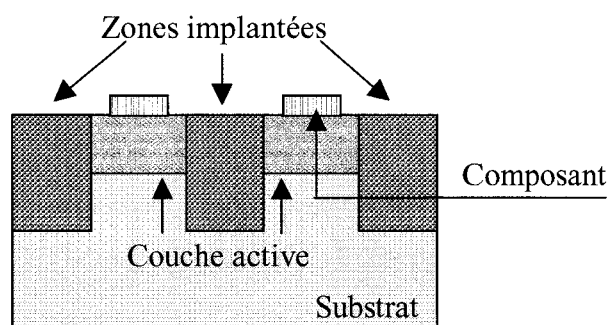
La réalisation de cette étape permet d'isoler électriquement des transistors situés sur le même substrat les uns des autres. Cette étape peut être réalisée de deux façons :

- par implantation ionique
- par gravure sèche ou humide.

La première méthode consiste à implanter des ions entre les composants afin de rendre cette zone isolante par neutralisation des porteurs libres dans la structure (figure 9).<sup>[11-13]</sup> Ce type d'isolation a l'avantage de présenter des structures planaires ce qui enlève le risque de casser les grilles lors de la descente du mesa. Cependant les procédures d'implantation compliquent et allongent le développement d'une technologie. En effet, chaque type d'hétérostructure nécessite un réajustement des paramètres d'implantation (énergie, espèces à implanter...) et de recuit.

La seconde consiste à enlever les couches constituant la zone active par gravure des matériaux.

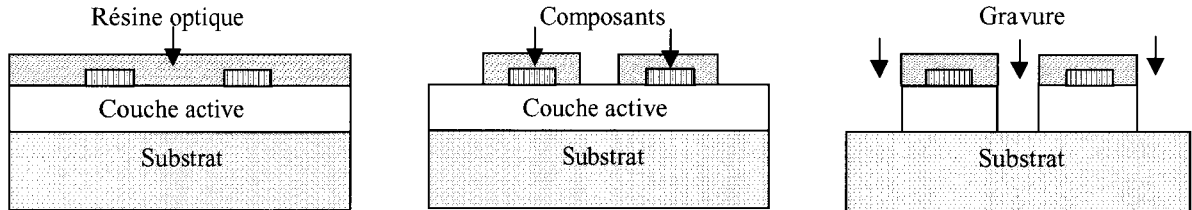
Cette étape peut être réalisée soit par gravure sèche, soit par gravure chimique.<sup>[14]</sup> Pour des raisons de simplicité nous avons décidé d'utiliser la dernière solution.



**Figure 9 : L'isolation par implantation ionique**

Cette étape ne nécessitant pas de précision supérieure au micron, nous permet de définir les limites de la gravure par photolithographie optique. La résine optique déposée, après

insolation et révélation, protège les zones à ne pas graver (zone active du composant) et nous permet ainsi d'effectuer la gravure chimique (figure 10).



**Figure 10 : Réalisation des mesas**

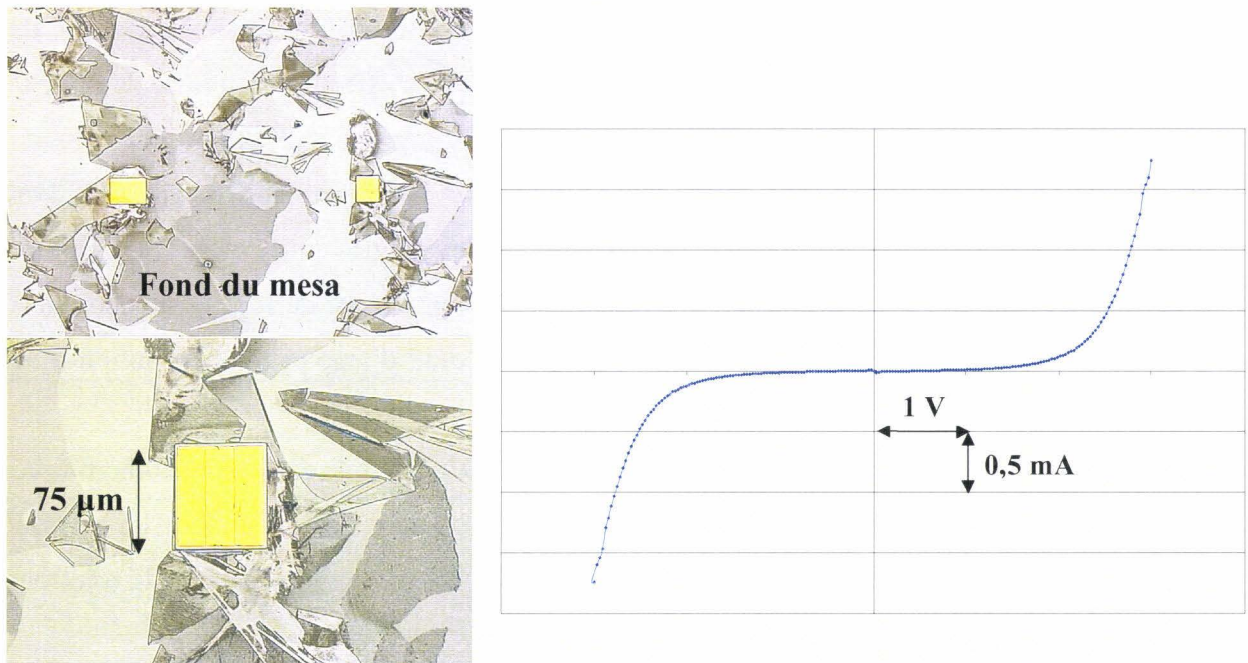
Le but est d'enlever les différentes couches actives épitaxiées entre les transistors afin de les isoler électriquement en se situant dans le buffer. L'idéal pour ce type de gravure est de trouver une solution unique qui grave les différentes couches de cette structure. Ainsi, la plupart des solutions les plus communément utilisées se composent d'un acide tel que l'acide sulfurique  $H_2SO_4$ , orthophosphorique  $H_3PO_4$ , fluorhydrique HF ou d'une base telle que l'ammoniaque  $NH_4OH$ , accompagnée de peroxyde d'hydrogène  $H_2O_2$ . La gravure se fait alors par oxydo-réduction des différents matériaux.

Il est nécessaire d'avoir un bon contrôle de la vitesse de gravure et une bonne homogénéité car la profondeur de gravure est dans notre cas de l'ordre de 1200 à 1500 Å en fonction du type d'épitaxie. Si le mesa est trop profond, il y a risque de rupture de la grille après métallisation sur la descente du mesa, mais s'il n'est pas assez profond, il y a apparition d'un courant de fuite qui limite le claquage du transistor et qui rend le pincement de celui-ci très difficile.

D'après les études antérieures menées au laboratoire, il semblerait que la solution d'attaque chimique à base d'ammoniaque, de peroxyde d'hydrogène et d'eau DI ( $NH_4HO/H_2O_2/H_2O$ ) puisse convenir à ce type de structure car cette solution d'attaque n'est pas sélective entre les différents matériaux que l'on peut rencontrer dans cette filière (GaAs, AlGaAs, InGaAs).<sup>[10]</sup> Nous avons donc utilisé cette solution pour réaliser l'isolation des composants. Elle permet d'obtenir une vitesse de gravure de l'ordre de 1000 Å/min dans le GaAs avec une assez bonne homogénéité.

La présence de différents matériaux dans la structure (GaAs, AlGaAs, InGaAs...) nous oblige à effectuer la réalisation du mesa en plusieurs fois afin de mieux contrôler l'épaisseur

gravée et de limiter ainsi les risques de courant de fuite ou de rupture de grille. Contrairement à ce qui a été annoncé,<sup>[10]</sup> la gravure n'est pas du tout homogène sur l'échantillon comme on peut le voir sur la figure 11 qui montre l'état de surface au fond du mesa ainsi que la mesure électrique effectuée, après la réalisation de l'isolation, entre deux composants différents.



**Figure 11 : Etat de surface et isolation électrique après la réalisation des mesas effectuée avec la solution  $1 \text{ NH}_4\text{HO} / 1 \text{ H}_2\text{O}_2 / 200 \text{ H}_2\text{O}$**

L'isolation électrique est simplement déterminée à l'aide de deux pointes mesurant le courant traversant les composants pour une tension appliquée. L'apparition de ces motifs au fond du mesa est accompagnée d'une tension d'isolation très faible (3 V). Comme cette tension dépend de la distance entre deux plots nous avons pris soin d'effectuer ces différentes mesures pour des distances identiques. Pour améliorer cette isolation, nous avons procédé à une gravure supplémentaire de l'échantillon. On s'est alors aperçu que la profondeur n'évoluait plus et ceci quelque soit le temps de gravure et le type de désoxydation utilisé. Cette profondeur est d'environ 1200 Å. D'après la structure des couches, nous devons donc nous situer au voisinage du super réseau AlAs/GaAs. Deux hypothèses ont alors été envisagées. La première consiste en l'apparition de polymères dus à une modification de la résine utilisée par réaction avec la solution d'ammoniaque. Pour y remédier, nous avons effectué un plasma d'oxygène pour nettoyer la surface de l'échantillon mais sans résultat concluant. La deuxième hypothèse suppose



l'existence d'un oxyde au voisinage du super réseau AlAs/GaAs entre les différentes phases de gravure. Pour valider cette hypothèse, nous avons procédé à la réalisation du mesa en une seule étape avec un temps de gravure suffisant pour nous situer dans la couche tampon. Nous avons alors obtenu une tension d'isolation de l'ordre de 20 V avec une très bonne homogénéité de gravure.

D'après cette dernière observation, il en résulte que l'isolation réalisée à partir de la solution  $\text{NH}_4\text{OH} / \text{H}_2\text{O}_2 / \text{H}_2\text{O}$  est envisageable si la gravure s'effectue en une seule fois. Ceci implique une très grande reproductibilité dans la préparation afin d'obtenir une vitesse de gravure et une stabilité dans le temps toujours identiques et permettre ainsi de se situer dans la couche tampon pour un temps de gravure donné. Sachant les risques qu'il en découle (rupture de la grille due à une gravure trop profonde ou apparition d'un courant de fuite), cette solution ne nous a pas semblé raisonnable. De ce fait nous avons décidé d'employer une solution d'acide sulfurique ( $\text{H}_2\text{SO}_4$ ) pour réaliser l'isolation.

La concentration choisie ( $1\text{H}_2\text{SO}_4 / 1\text{H}_2\text{O}_2 / 50\text{H}_2\text{O}$ ) limite le caractère exothermique du mélange  $\text{H}_2\text{SO}_4/\text{H}_2\text{O}$  et permet une utilisation quasi immédiate de la solution. La vitesse de gravure à température ambiante est de  $1000 \text{ \AA}/\text{min}$  dans le GaAs, sans agitation de la solution.

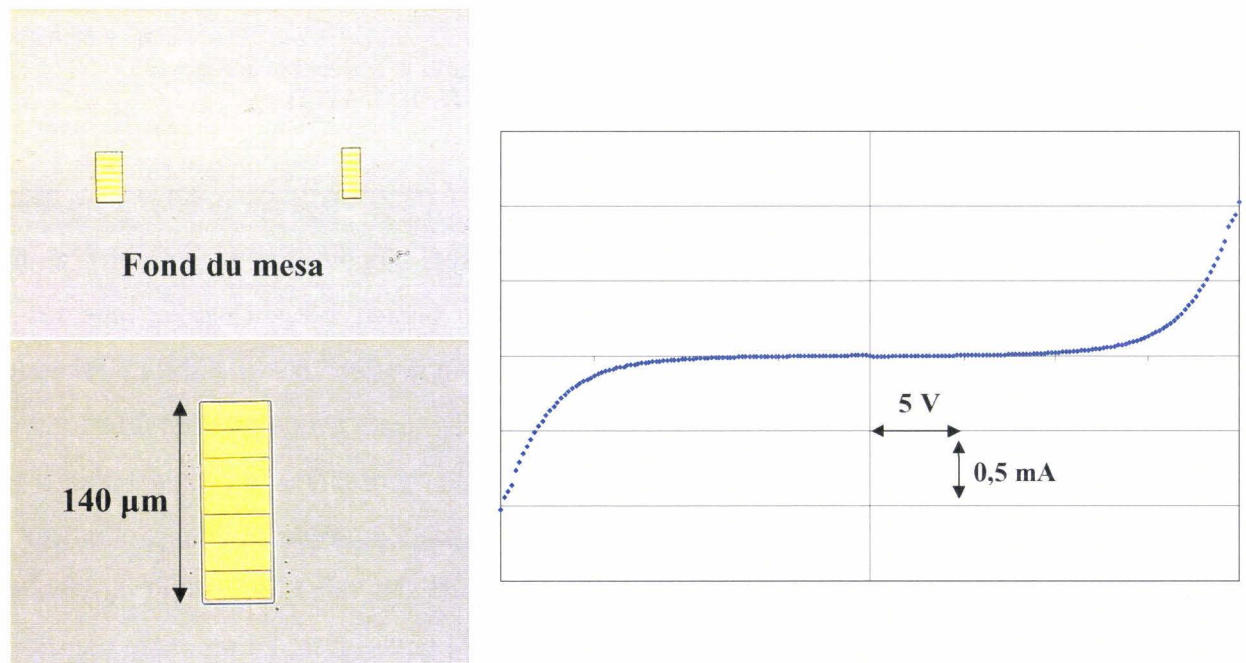


Figure 12 : Etat de surface et isolation électrique après la réalisation des mesas effectuée avec la solution  $1 \text{ H}_2\text{SO}_4 / 1 \text{ H}_2\text{O}_2 / 50 \text{ H}_2\text{O}$

Nous avons donc effectué des gravures successives du cap layer, identiques à celles effectuées précédemment, afin d'observer l'état de surface et la profondeur obtenue après la réalisation du mesa. Même en effectuant cette attaque en plusieurs étapes, il n'est apparu à aucun moment de motifs au fond du mesa (figure 12).

La profondeur gravée est de 1700 Å pour un temps d'attaque total de 1 min 40 s, qui se traduit par une tension d'isolation de 20 V. Au vu de ces résultats, nous avons utilisé cette solution d'acide sulfurique dans la suite de notre étude afin de réaliser l'isolation électrique des composants.

Le dernier point concernant l'isolation est celui de la descente de grille le long du mesa. En effet, si ce procédé est plus simple que par implantation, il a l'inconvénient de ne pouvoir empêcher le contact entre la grille et le canal au niveau de la descente de grille (figure 13a). Ce contact aura un effet de court-circuit et provoquera une limitation de la tenue en tension du contact Schottky. Une solution envisageable pour séparer la grille du canal consiste à sous graver latéralement le canal après la réalisation du mesa (figure 13b). Par conséquent, lors du dépôt de la grille, une cavité d'air sépare le métal de la grille, des canaux d'InGaAs et de GaAs.

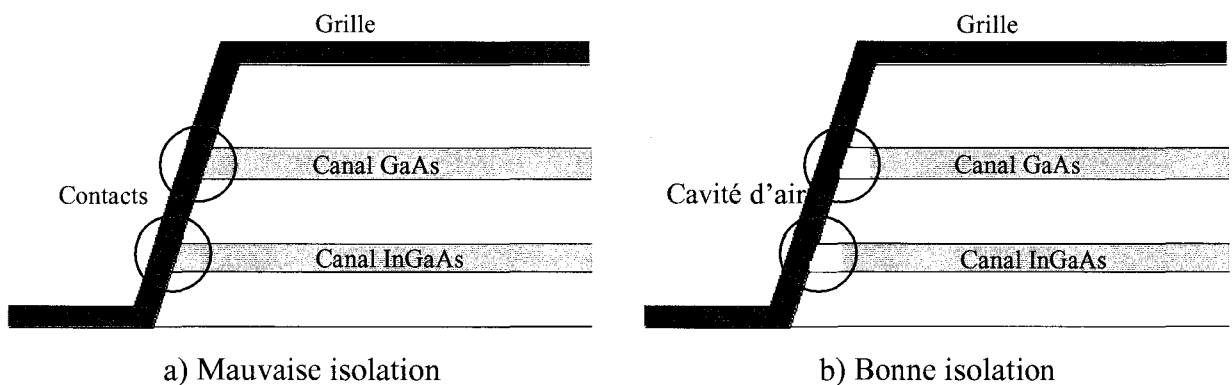


Figure 13 : Isolation Canal – Grille

Cette étape peut être effectuée juste après la réalisation du mesa à l'aide d'une solution d'attaque sélective entre le GaAs et l'InGaAs. Dans notre cas, comme on le verra dans le paragraphe suivant, cette étape peut être réalisée lors de la gravure du fossé de grille.

## **6) La réalisation de la grille.**

### **A) Définition des dimensions de la grille.**

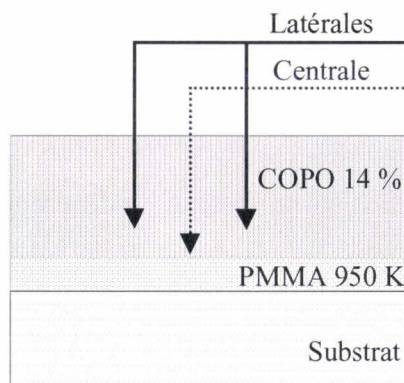
Pour améliorer les performances en hyperfréquence il faut diminuer les dimensions du transistor. La fréquence d'utilisation visée étant de 20 GHz, nous avons opté pour une technologie 0,2  $\mu\text{m}$  nécessitant l'utilisation d'une grille en Té, afin de diminuer sa résistance, pour ne pas dégrader le MAG. Au laboratoire, il existe deux méthodes pour les réaliser :

- la technologie « nitrure »<sup>[15]</sup>
- la technologie « résines bicouches ».<sup>[14]</sup>

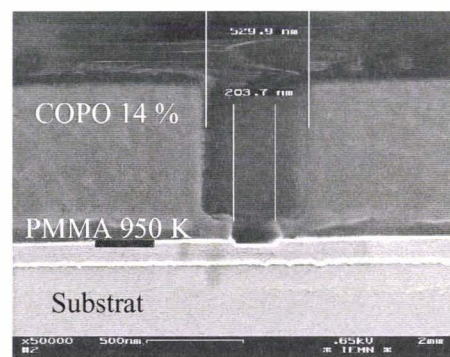
La première a pour avantage d'assurer un très bon contrôle de la dimension du pied nécessaire pour des grilles ultra-courtes ( $\sim 0,1 \mu\text{m}$ ), mais nécessite une gravure du nitrure sous le chapeau afin de diminuer les capacités parasites.

La seconde a pour avantage d'être très rapide à mettre en œuvre ( une seule exposition et une seule révélation ) et de présenter de très faibles valeurs de capacités. Cependant il faut s'assurer d'un très bon contrôle des différentes épaisseurs de résines car le profil de la grille est défini en une seule fois. Au vu de ces éléments, nous avons opté pour la technologie « résines bicouches ».

Celle-ci est le résultat d'une étude menée par M. Zaknour à partir d'une technologie « résines tri couches » initiée par F. Diette et P. Chevalier dans le cadre de leur thèse.<sup>[10,14,15]</sup> Cette technologie consiste en un empilement de deux résines électroniques comme on peut le voir sur la figure 14a.



a) Exposition de la grille



b) Révélation de la grille

**Figure 14 : Définition des dimensions de la grille**

La première est une résine PMMA 950K de 1500 Å d'épaisseur, alors que la deuxième est une résine copolymère 14 % de 6800 Å d'épaisseur. On expose alors par faisceau électronique une ligne centrale à forte dose pour définir le pied de grille et deux lignes latérales à dose plus faible pour définir le chapeau de grille. Le copolymère étant plus sensible aux électrons, la deuxième exposition n'a d'influence que sur la seconde résine.

On peut voir sur la figure 14b une ouverture de grille après révélation. La longueur du pied et du chapeau est de 203 et 530 nm respectivement.

### **B) Gravure du fossé de grille.**

La réalisation du fossé de grille, communément appelée recess de grille, est l'opération qui consiste à graver la couche dopée GaAs, nécessaire à l'obtention de faibles résistances de contact, afin de déposer la grille sur la couche barrière d'AlGaAs pour former le contact Schottky. Cette étape est de loin la plus délicate dans la réalisation du transistor car elle conditionne ses futures performances telles que :

- la tension de pincement ainsi que la densité de courant de drain liées à la profondeur gravée
- la tenue en tension liée à la largeur du fossé de grille
- les fréquences de coupure des différents gains.

Deux types de gravure sont utilisées pour réaliser le fossé de grille :

- la gravure sèche<sup>[16,17-20]</sup>
- la gravure humide.<sup>[10,19]</sup>

Etant donné le type d'application visé, il est important d'avoir le maximum de courant de drain et de tension de claquage pour espérer obtenir le maximum de puissance. De plus, la contrainte de linéarité nous oblige à obtenir une gravure uniforme sur tous les doigts de grille composant le transistor, afin de ne pas engendrer de non linéarités dues au procédé technologique.

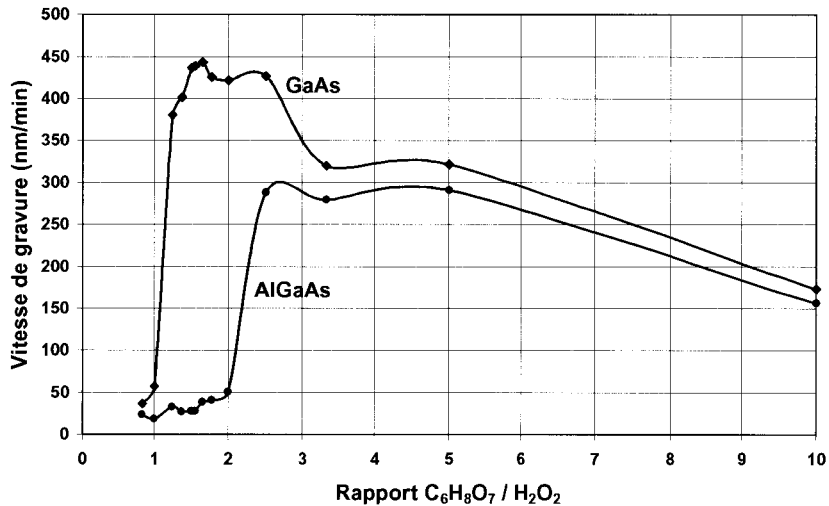
En ce qui concerne la gravure sèche, des études antérieures ont montré qu'il était possible d'obtenir une sélectivité proche de 4000, définies comme le rapport des vitesses de gravure entre les matériaux GaAs et AlGaAs, pour un taux d'aluminium de 20 % en utilisant un plasma fréon (CCl<sub>2</sub>F<sub>2</sub>).<sup>[10]</sup> Une tension de claquage en configuration diode de 16 V a été obtenue pour une distance grille-cap layer de 750 Å, une distance grille-drain de 1 µm et une longueur de pied de grille de 0,15 µm.<sup>[10]</sup> Cependant ce type de procédé engendre des dégradations importantes sur

les performances des transistors<sup>[16]</sup> et n'assure pas une bonne reproductibilité des résultats car le bâti utilisé ne lui est pas entièrement dédié, ce qui implique une pollution de la chambre qui modifie considérablement les conditions de gravure.

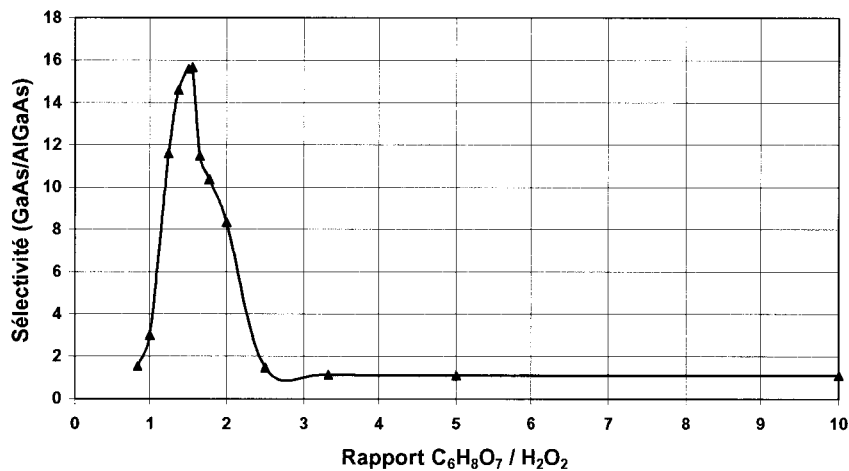
Une autre solution consiste à utiliser une gravure humide possédant une vitesse d'attaque très faible et permettant ainsi de contrôler la profondeur par une mesure de courant sur des éléments tests. Bien que cette technique permette d'obtenir d'assez bons résultats, elle n'assure pas une gravure homogène sur tous les doigts de grille dû au caractère non sélectif de l'attaque chimique.

De ce fait, nous étions dans l'obligation de trouver une gravure sélective entre la couche cap layer (GaAs) et la couche barrière (AlGaAs). Des résultats utilisant l'ammoniaque<sup>[21,22]</sup> ou l'acide citrique<sup>[16,22-25]</sup> étaient disponibles dans la littérature. Ceux-ci annonçaient des sélectivités variant entre 50 et 100 suivant le taux d'aluminium et la température de la solution. Pour ce genre de solution, la sélectivité croît avec le taux d'aluminium présent dans la barrière d'AlGaAs et lorsque la température diminue.<sup>[26]</sup> Pour assurer un bon confinement des porteurs et limiter l'apparition de problèmes dus aux centres DX<sup>[27-29]</sup>, le taux d'aluminium dans la barrière a été limité à 22 % dans nos structures. Il est donc difficile d'augmenter le taux d'aluminium pour accroître la sélectivité. De plus, au début de nos investigations, le laboratoire ne possédait pas de bain thermostaté, ce qui implique que l'idée de travailler à basse température comportait aussi des risques de non reproductibilité due à une mauvaise régulation de celle-ci.

Nous avons étudié la solution d'acide citrique, de peroxyde d'hydrogène et d'eau DI ( $C_6H_8O_7 / H_2O_2 / H_2O$ ) qui semblait donner les meilleurs résultats à température ambiante. Pour cela nous avons préparé de l'acide citrique (120 g d'acide pour 100 ml  $H_2O$ ) que nous avons calibré en fonction du volume de peroxyde d'hydrogène. Les résultats de gravures effectuées sur du GaAs et de l'AlGaAs sont représentés sur la figure 15. Les résultats montrent une sélectivité maximale de 16 pour un rapport  $C_6H_8O_7/H_2O_2$  de 1,75 avec des vitesses de gravure du GaAs et de l'AlGaAs relativement rapides, 450 et 28 nm/min respectivement. Ceci signifie qu'il faut 9 s pour enlever le cap layer de 70 nm. Cette méthode est donc inadaptée à nos besoins car elle ne permet pas un bon contrôle de l'épaisseur gravée.



a)



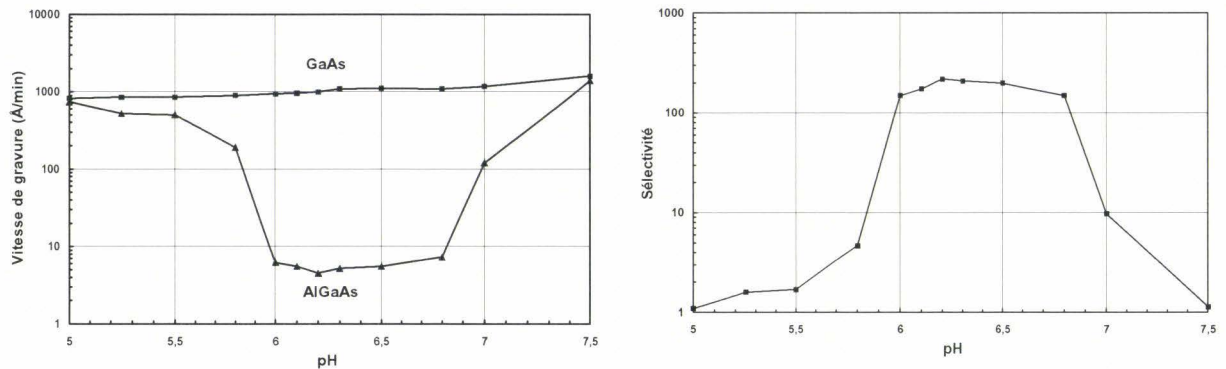
b)

Figure 15 : Evolutions de la vitesse de gravure du GaAs et de l'AlGaAs (a) ainsi que de la sélectivité (b) en fonction du rapport  $C_6H_8O_7 / H_2O_2$

Malgré ce mauvais résultat nous avons persévéré dans cette voie. En effet, Kitano annonçait qu'il était possible d'obtenir des sélectivités de 80 et 120 pour des compositions d'aluminium de 15 et 30 % respectivement, en régulant le pH de la solution à l'aide d'ammoniaque et en utilisant une solution plus diluée.<sup>[30]</sup> D'après ces résultats, il nous a paru plus judicieux d'utiliser une concentration d'acide légèrement inférieure pour accroître la sélectivité entre le GaAs et l' $Al_{0.22}Ga_{0.78}As$ .

Nous avons donc étudié cette solution d'acide citrique et de peroxyde d'hydrogène tamponnée par de l'ammoniaque. Dans notre cas nous avons utilisé de l'acide citrique

mono hydraté. Pour cela, nous avons préparé de l'acide citrique (15,1 g pour 1 litre d'H<sub>2</sub>O) que nous avons tamponné à l'aide de NH<sub>4</sub>OH afin d'ajuster le pH de la solution à 5. Finalement, nous avons ajouté 20 ml d'H<sub>2</sub>O<sub>2</sub>. Tous les essais de gravure ont été réalisés sans agitation. La figure 16 nous montre l'évolution des vitesses de gravure du GaAs et de l'AlGaAs ainsi que celle de la sélectivité associée en fonction du pH de la solution, à température ambiante.



**Figure 16 : Evolutions de la vitesse de gravure du GaAs et de l'AlGaAs (a) ainsi que de la sélectivité (b) en fonction du pH**

Une sélectivité supérieure à 100 a été obtenue à température ambiante pour un pH compris entre 6 et 6,8 avec une valeur maximale de 210 pour un pH de 6,2. De plus, les vitesses mises en jeu dans cette gamme de pH sont de 1000 Å/min pour le GaAs, ce qui permet un bon contrôle du creusement du cap layer d'épaisseur 700 Å et seulement de 3 à 4 Å/min pour l'AlGaAs, offrant la possibilité d'une gravure latérale du cap layer quasiment sans graver la barrière d'AlGaAs, ce qui n'engendre pas de perte sur la valeur maximale du courant de drain.

Cet excellent résultat nous a incité à aller encore plus loin dans l'optimisation de cette solution d'attaque sélective. Nous avons alors étudié l'influence de la concentration d'H<sub>2</sub>O<sub>2</sub> sur la sélectivité. De ce fait nous avons fait varier la concentration d'H<sub>2</sub>O<sub>2</sub> de la solution pour le pH nous paraissant le plus judicieux (pH = 6,2). Comme on peut le voir sur la figure 17, la sélectivité augmente avec la concentration d'H<sub>2</sub>O<sub>2</sub>. Elle atteint la valeur de 230 pour une concentration de 2,5 % et reste constante pour des valeurs supérieures.

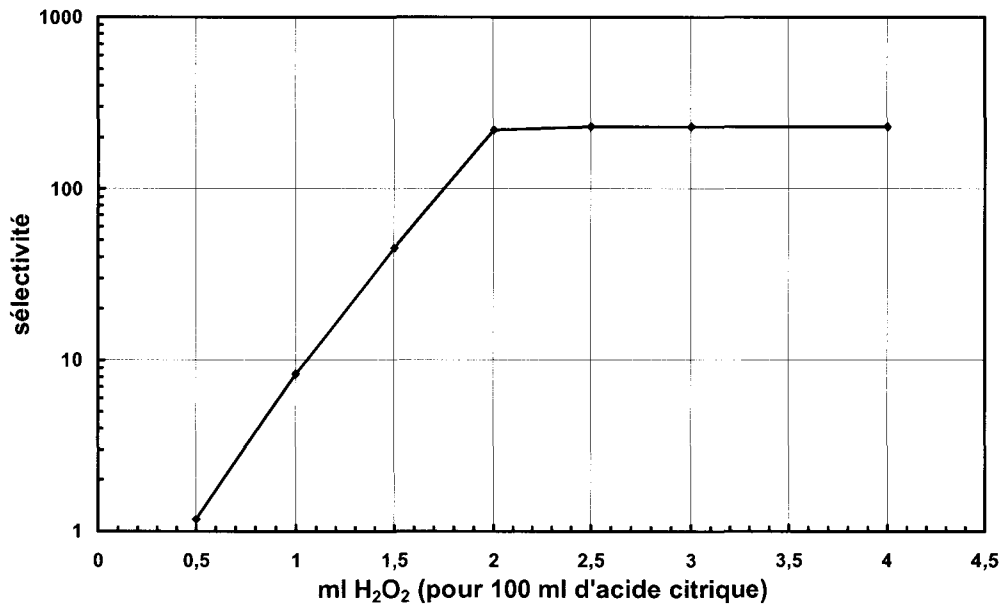


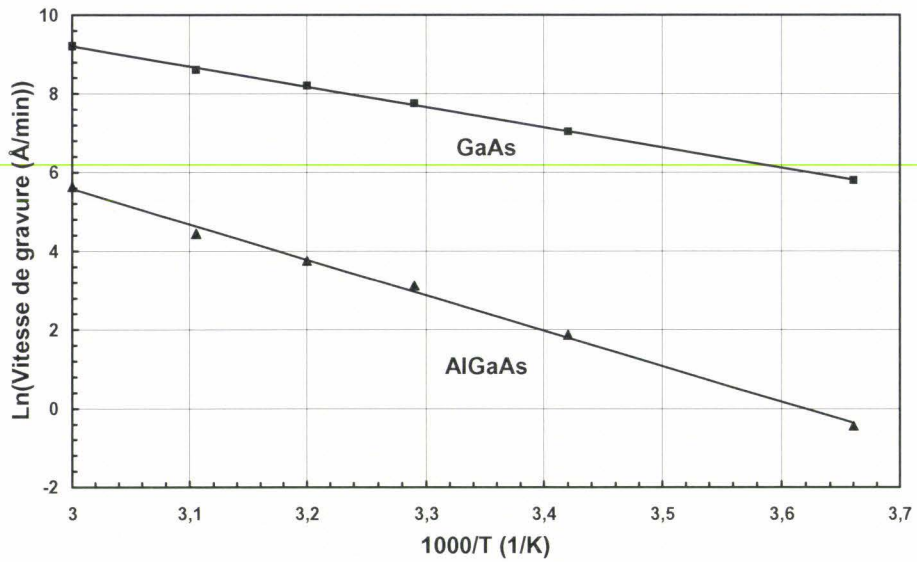
Figure 17 : Evolution de la sélectivité en fonction de la concentration d'H<sub>2</sub>O<sub>2</sub>

Cependant, on s'est aperçu que l'homogénéité de la gravure diminuait lorsque la concentration d'H<sub>2</sub>O<sub>2</sub> était supérieure à 2 %, dû à une très forte oxydation de la couche de GaAs. Donc, la meilleure concentration d'H<sub>2</sub>O<sub>2</sub> semble être 2 % pour un pH de 6,2 à température ambiante.

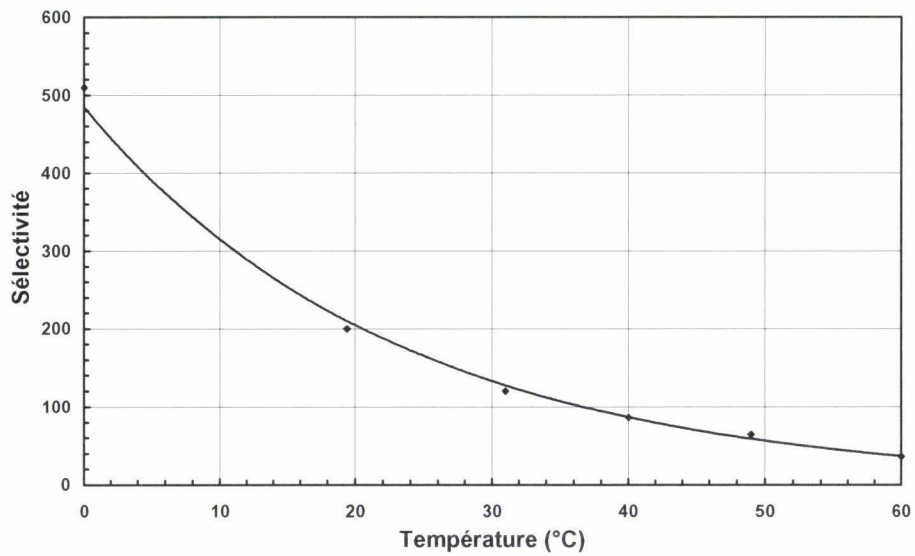
L'acquisition de bains thermostatés par l'IEMN, nous a incités à étudier l'influence de la température de la solution sur les vitesses de gravure et sur la sélectivité. Pour cette étude, le pH a été fixé à 6,2 avec une concentration d'H<sub>2</sub>O<sub>2</sub> de 2 %. La figure 18a représente l'évolution linéaire du logarithme des vitesses de gravure du GaAs et de l'AlGaAs en fonction de l'inverse de la température. Les vitesses sont donc proportionnelles à  $\exp(-E_a/kT)$ , où  $E_a$  est l'énergie d'activation,  $k$  la constante de Boltzmann et  $T$  la température.<sup>[25,31]</sup>

Les énergies d'activation déduites des courbes de la figure 18a sont respectivement de 0,43 eV (9,9 kcal/mol) et de 0,75 eV (17,3 kcal/mol) pour GaAs et AlGaAs. Ceci démontre que la gravure est limitée par la réaction chimique ayant lieu en surface de l'échantillon plus que par la mobilité des espèces (énergie d'activation > 7 kcal/mol).<sup>[32]</sup> Ce type de gravure est très sensible à la température et relativement insensible à l'agitation. Ceci nous conforte dans le choix d'une non agitation de la solution. En conséquence, la sélectivité évolue aussi exponentiellement avec la température (fig 18b) et décroît lorsque celle-ci augmente pour atteindre une valeur de 500 à 0 °C. Ceci représente l'état de l'art en terme de sélectivité pour ce type de solution.





a)



b)

Figure 18 : a) Ln(vitesse de gravure) en fonction de 1/T b) Sélectivité en fonction de la température

Une autre caractéristique très importante de ces solutions est la stabilité dans le temps de la sélectivité. La figure 19 représente la variation de la sélectivité à température ambiante entre le GaAs et l'AlGaAs en fonction de l'âge de la solution, pour une concentration en H<sub>2</sub>O<sub>2</sub> de 2 % et un pH de 6,2.

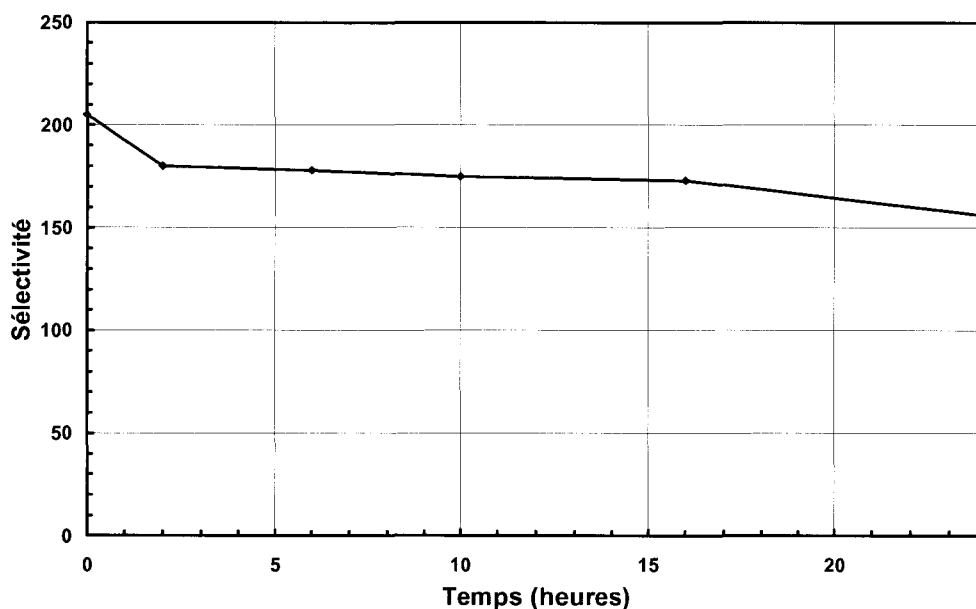
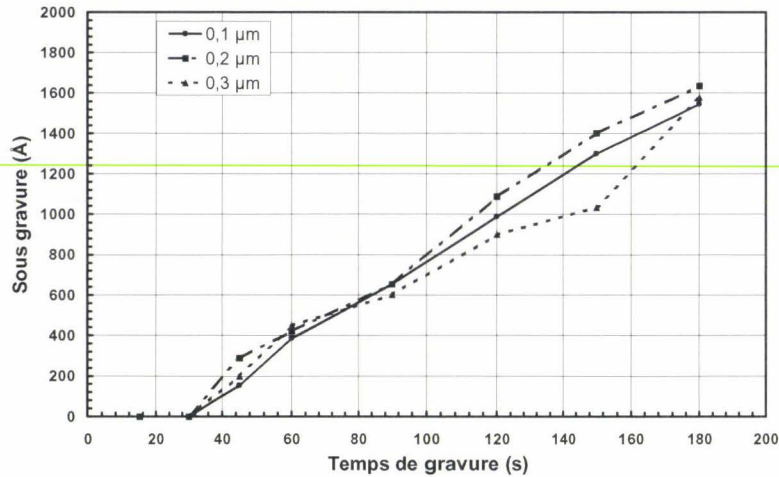


Figure 19 : Variation de la sélectivité en fonction de l'âge de la solution de gravure

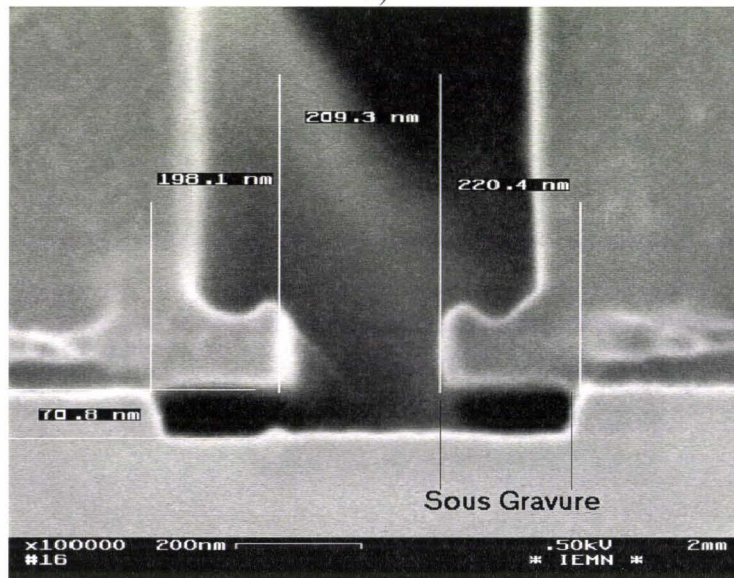
La sélectivité est encore supérieure à 150 après 24 heures de préparation. Ceci est un résultat très important car la reproductibilité des résultats n'en sera que meilleure.

Enfin, pour conclure cette étude, nous avons calibré la sous gravure du cap layer, définie comme étant le creusement latéral du cap layer, en fonction du temps d'attaque et ceci pour trois longueurs de pied de grille différentes (figure 20a). Pour ce faire, nous avons réalisé des ouvertures de pied de grille de 0,1, 0,2 et 0,3  $\mu\text{m}$  sur une couche test comportant un cap layer de 70 nm et une couche barrière en AlGaAs comme les structures composants.

Durant les quarante premières secondes, qui correspondent au temps nécessaire pour enlever le cap layer, la sous gravure est pratiquement nulle. Après ce temps, elle suit quasiment une variation linéaire en fonction du temps d'attaque et ceci indépendamment de la longueur de grille. Sa vitesse est alors d'environ 700  $\text{\AA}/\text{min}$ . Ce résultat devrait permettre par la suite d'ajuster la tension de claquage du transistor. Enfin sur la figure 20b, on peut voir une photo du profil de l'ouverture et du fossé de grille, prise au microscope électronique à balayage, réalisé à l'aide de la solution d'acide citrique. Toute cette étude a fait l'objet d'une publication dans JVST B .<sup>[32]</sup>



a)



b)

Figure 20 : a) Evolution de la sous gravure en fonction du temps d'attaque

b) Profil du recess pour une grille de 0,2 µm

### C) Application de la gravure sélective aux couches composants.

Au vu des résultats intéressants obtenus à l'aide de la solution de gravure sélective sur du matériau GaAs et AlGaAs, nous avons transposé ce procédé sur les couches composants. La première constatation fut alors une non reproductibilité des résultats en fonction des différentes couches. Les couches réalisées lors de la première campagne possédaient un graduel d'aluminium sur les 100 derniers Å de la barrière d'AlGaAs. Ces couches avaient été réalisées dans l'optique d'une attaque non sélective pour permettre une légère sous gravure du cap afin d'obtenir une tension de claquage raisonnable (4 à 5 V). L'inhomogénéité des résultats fut tout

d'abord attribuée à ce graduel d'aluminium car on a vu précédemment que la sélectivité entre les matériaux GaAs et AlGaAs dépendait fortement du taux d'aluminium dans la couche barrière d'AlGaAs. De ce fait, durant la 2<sup>ème</sup> campagne d'épitaxie, nous avons décidé d'enlever ce graduel d'aluminium pour augmenter la sélectivité de la gravure. A notre grande stupéfaction, le résultat fut identique. Après avoir éliminé les principaux facteurs susceptibles de modifier la sélectivité de la solution (reproductibilité de la solution, température de croissance des couches tests et composants), la solution qui paraissait la plus probable d'après Y. Cordier (responsable de la fabrication des couches du contrat CNES/ALCATEL) serait une migration de l'indium du canal en InGaAs dans la couche d'AlGaAs lors de la croissance. Cette hypothèse n'a pas été vérifiée. Cependant, nous avons décidé d'incorporer un stoppeur d'AlAs entre le cap layer et la couche barrière durant la 3<sup>ème</sup> campagne d'épitaxie afin d'accroître la sélectivité de la gravure. Pour limiter l'influence de ce stoppeur sur la qualité des contacts ohmiques, nous avons décidé d'insérer 2 monocouches d'AlAs.

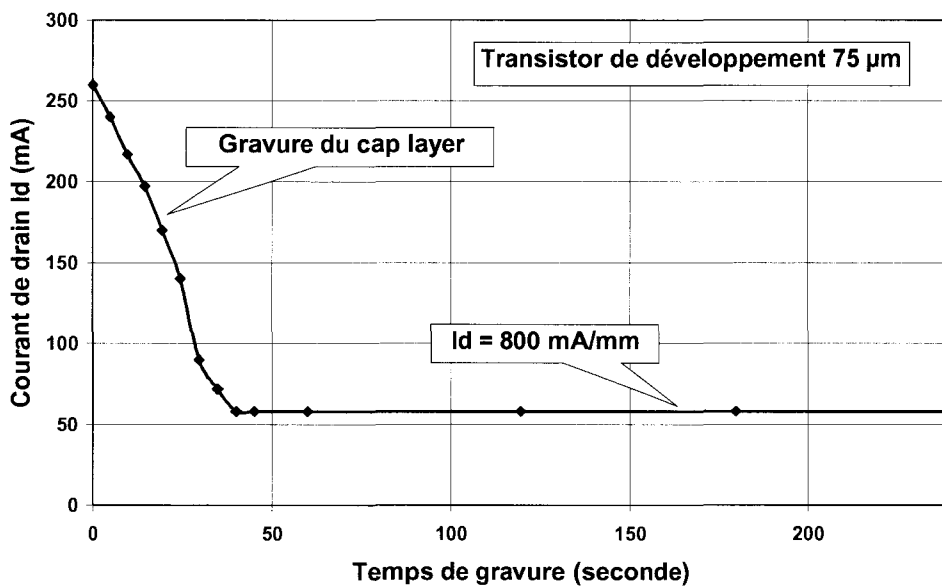


Figure 21 : Evolution du courant de drain en fonction du temps de gravure

Comme on peut le voir sur la figure 21, montrant l'évolution du courant de drain en fonction du temps de gravure d'un composant de développement 75 µm, le stoppeur d'AlAs joue parfaitement son rôle et ceci sans aucune dégradation des contacts ohmiques ( $R_c < 0,1 \Omega \cdot \text{mm}$ ). En effet, durant les quarante premières secondes, qui correspondent au temps nécessaire pour enlever le cap layer, le courant de drain diminue. Ensuite, la très grande sélectivité de la solution

permet de ne pas creuser la barrière d'AlGaAs et de conserver un courant constant de 60 mA, ce qui correspond à une densité de 800 mA/mm. Cette solution a été retenue pour la dernière campagne d'épitaxie et a permis d'obtenir une reproductibilité et une homogénéité des résultats tout à fait remarquable comme on le verra dans le chapitre 2.

#### **D) Amélioration de la gravure du fossé de grille.**

Fort de l'expérience de M. Zaknoue<sup>[14]</sup> sur l'homogénéité de la gravure associée à des longueurs de grille de 0,1  $\mu\text{m}$ , nous avons décidé de faire un traitement de surface avant la gravure du fossé de grille. Nous avons introduit dans un premier temps une désoxydation utilisant l'acide chlorhydrique afin d'éliminer les oxydes natifs du cap layer. Suite à cette désoxydation, nous avons inclus dans notre procédé un agent mouillant MAO2 pour améliorer l'uniformité de la gravure du fossé de grille. Enfin, nous avons introduit une nouvelle désoxydation d'HCl dont le rôle est double :

- dissoudre l'agent mouillant
- désoxyder la surface d'AlGaAs avant l'introduction de l'échantillon dans le bâti de métallisation et l'évaporation de la grille. D'après les études menées par M. Zaknoue, ce procédé permet d'obtenir un rendement proche de 100 %. Comme nous le verrons dans le chapitre 2, les résultats obtenus durant la caractérisation des composants confirment l'efficacité de ce procédé d'un point de vue homogénéité des caractéristiques électriques.

#### **E) Métallisation de la grille.**

Il s'agit de déposer un métal sur la couche barrière d'AlGaAs afin de réaliser un contact de type redresseur (contact Schottky). Les différents paramètres qui définissent un contact redresseur sont :

- le potentiel de built in  $V_b$
- le coefficient d'idéalité  $\eta$
- la tension de claquage inverse donnée à 1 mA/mm de courant de grille.

Deux types de métallisation ont été utilisées au laboratoire sur ce type de composants :

La première est de type Pt/Ti/Pt/Au, mais des études antérieures ont montré que le Pt a tendance à diffuser dans la structure.<sup>[15]</sup>

La seconde est de type Ti/Pt/Au (250/250/3500 Å). La couche de Ti est utilisée pour prévenir la diffusion de l' Au et du Pt dans le semiconducteur. C'est le Pt qui assure le côté redresseur. La couche d' or a pour rôle de diminuer la résistance de grille. Sur la figure 22, on peut voir une grille en Té métallisée Ti/Pt/Au. La longueur de pied est de 0,2  $\mu\text{m}$  pour une dimension de chapeau de 0,5  $\mu\text{m}$ . Les valeurs typiques obtenues sur nos composants pour ce type de métallisation sont :

$$V_b = 0,55 \text{ V}$$

$$\eta = 1,4$$

Ces résultats sont légèrement inférieurs à ceux trouvés dans la littérature mais demeurent tout de même de bonne qualité.<sup>[16,33,34]</sup>

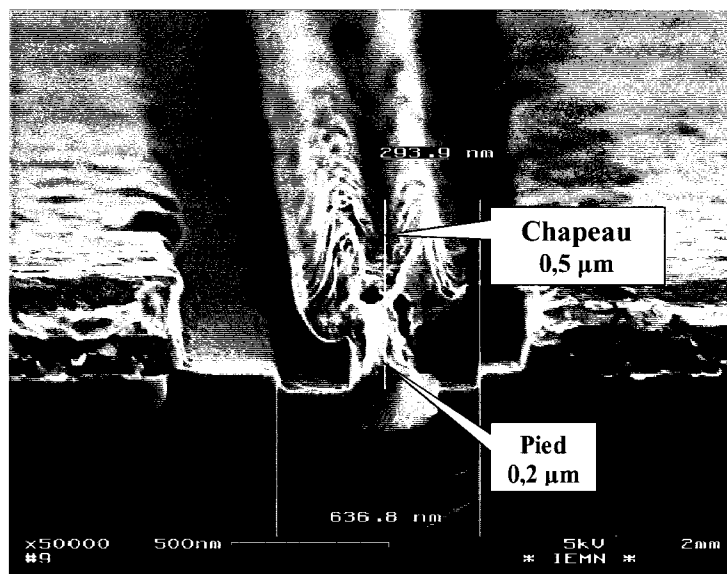


Figure 22: Grille en Té métallisée avec Ti/Pt/Au

L'effet bénéfique de l'élargissement du fossé de grille sur les tensions de claquage en configuration diode n'est plus à démontrer. Cependant, on s'est aperçu que cette tension de claquage était constante quelles que soient les dimensions du fossé de grille, avec une valeur avoisinant les -5 V. Pour augmenter cette valeur, il est nécessaire de déterminer le composant en lui injectant un courant de grille de l'ordre du mA/mm. De ce fait, des tensions de claquage de -20 V ont été obtenues sur les deux types de structures (pHEMT ou HFET) pour des recess larges (fig 23) soutenant la comparaison avec les meilleurs résultats trouvés dans la littérature.<sup>[35-40]</sup>

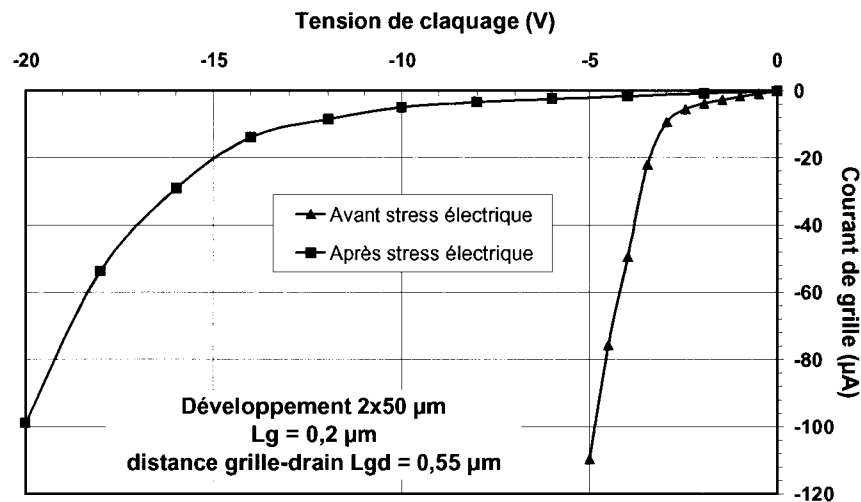
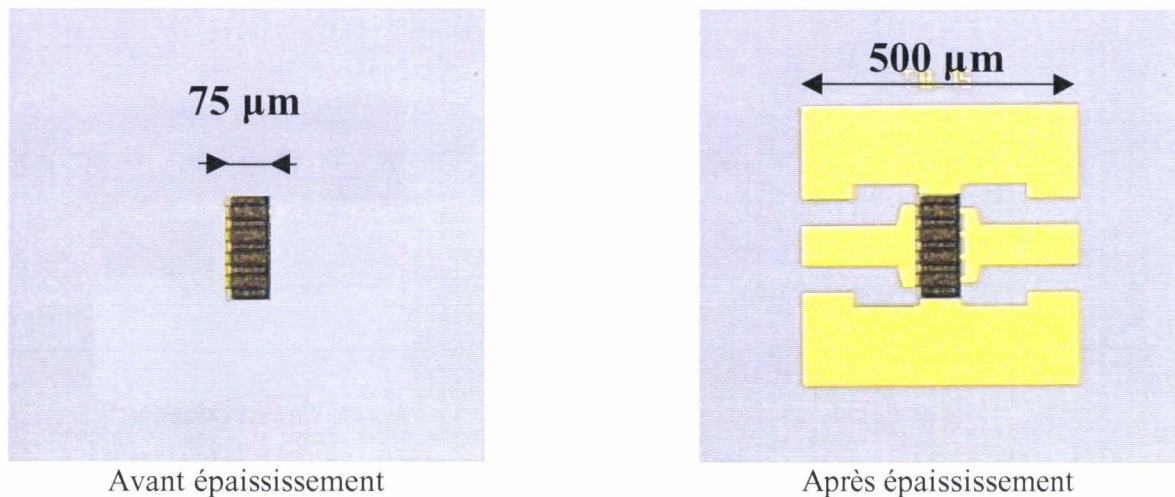


Figure 23 : Tension de claquage en configuration diode.

Ce phénomène, bien que bénéfique pour la tenue en tension du transistor, est accompagné d'une chute importante du courant de drain et de la tension de pincement. Certains auteurs ont observé des modifications identiques dues à la diffusion du Pt.<sup>[15,41]</sup> De ce fait, nous avons augmenté l'épaisseur du Ti de 250 à 500 Å afin d'éviter ce phénomène mais le résultat fut guère concluant, excepté une légère amélioration de la tension de built in et du coefficient d'idéalité ( $V_b = 0,58$  V et  $\eta = 1,35$ ). La deuxième solution, pour mettre en évidence ces effets de diffusion a été de changer de métallisation. Nous avons donc utilisé un contact en aluminium.<sup>[42]</sup> Le résultat fut identique à celui obtenu avec le contact en Ti/Pt/Au. Cette expérience a écarté l'hypothèse d'une éventuelle diffusion du platine. D'autres auteurs ont observé ce même phénomène sur des structures similaires non passivées.<sup>[43]</sup> Nous discuterons plus en détails de ce problème et de la solution employée pour y remédier dans la partie dédiée à la passivation des transistors. Au vu de cette étude, nous avons décidé d'employer la métallisation Ti/Pt/Au (500/250/3500 Å). On a également démontré qu'il était possible de choisir la tension de claquage de la diode en inverse en fonction du temps de gravure (sous gravure du cap layer) après stress électrique.<sup>[32,37]</sup>

## **7) Les plots d'épaissement.**

Afin de permettre le contact des pointes sur les plots de grille, drain et source, il est nécessaire de réaliser un niveau de métallisation supplémentaire appelé épaisseur. Celui-ci consiste en un dépôt de 1000 Å de titane et de 4000 Å d'or.



**Figure 24 : Plots d'épaissement**

Cette étape est réalisée à l'aide d'un procédé de lithographie optique. Une couche de résine est alors déposée sur l'échantillon. Après alignement des motifs d'épaissement, insolation et révélation, l'échantillon est alors placé dans le bâti de métallisation afin de déposer les couches de titane et d'or. On peut voir sur la figure 24 les plots d'épaissement d'un transistor de développement 8x75 µm après lift-off.

## **8) Les ponts à air.**

### **A) Introduction.**

La réalisation des ponts à air est une étape spécifique aux transistors à grand développement de grille. En effet, pour des applications de puissance, il est nécessaire d'augmenter la valeur du courant de drain par la mise en parallèle des doigts de grille.

Le fait d'augmenter le nombre de doigts a pour conséquence d'augmenter aussi le nombre de contacts de drain et de source. Donc un autre problème se pose, celui de relier les différents contacts de source et de drain entre eux. Une solution consiste en l'utilisation de trous métallisés sous chaque plots de source mais au prix de grandes complications technologiques. Le



moyen le plus simple est d'utiliser une technologie planaire consistant à relier les contacts à l'aide d'une ligne. Mais dans ce cas, il reste une famille de plots (la source dans notre cas) qu'on ne peut relier par une ligne. Il faut donc utiliser un pont de métal, appelé pont à air, permettant de relier les contacts de source (fig 25).

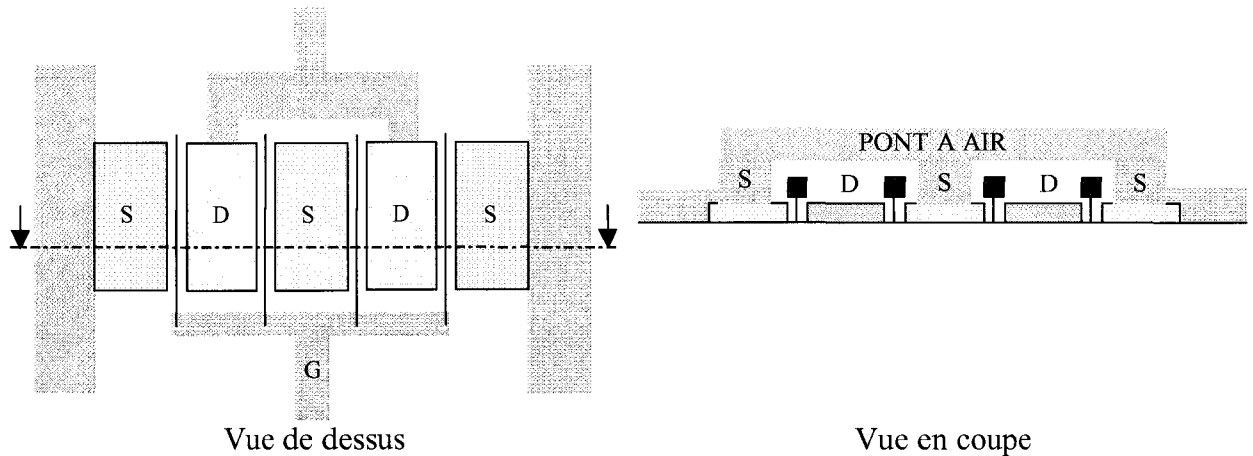
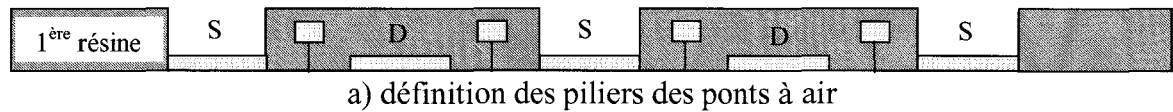


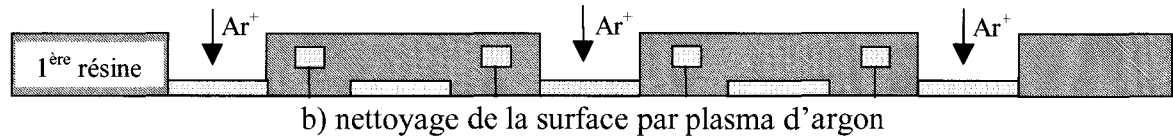
Figure 25 : Principe du pont à air

### **B) La technologie des ponts à air.**

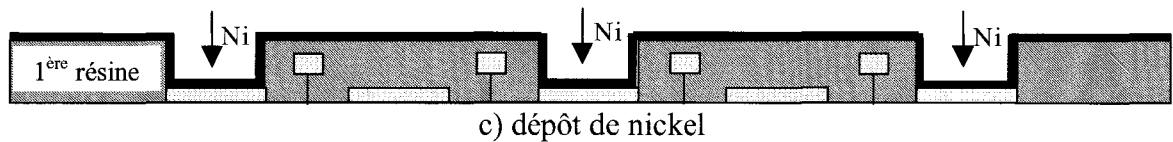
Notre étude s'est basée sur les travaux réalisés au laboratoire par S. Boret.<sup>[44]</sup> Cette étape a été définie entièrement par lithographie optique. La première étape consiste à déposer une résine épaisse sur l'échantillon pour définir les piliers des ponts après alignement, insolation et révélation (fig 26a). Un plasma d'argon est appliqué pour nettoyer la surface de l'échantillon (fig 26b) et permettre une meilleure adhérence du film de 500 Å de Ni déposé par pulvérisation. Celui-ci a pour rôle de protéger optiquement la première résine et assurer la conduction électrique lors de l'électrolyse des ponts à air (fig 26c). Une deuxième résine est alors déposée pour permettre la définition des tabliers de pont (fig 26d). La prochaine étape consiste à faire une électrolyse d'or sur le film de nickel et de réaliser ainsi les ponts à air (fig 26e). Enfin, il faut dans une ultime étape dissoudre la 2<sup>ème</sup> résine pour permettre la gravure du film de nickel à l'aide d'une solution d'acide nitrique et de pouvoir ainsi dissoudre la 1<sup>ère</sup> résine (fig 26f). Enfin, sur la figure 26g, on peut voir en vue de dessus la réalisation d'un transistor de développement 8x75µm avec pont à air.



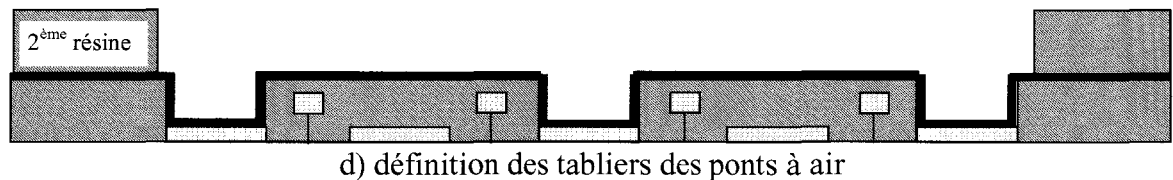
a) définition des piliers des ponts à air



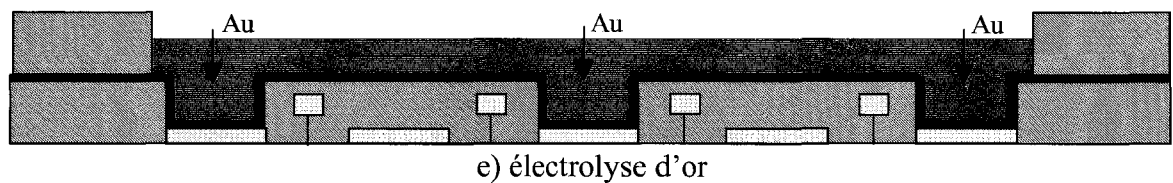
b) nettoyage de la surface par plasma d'argon



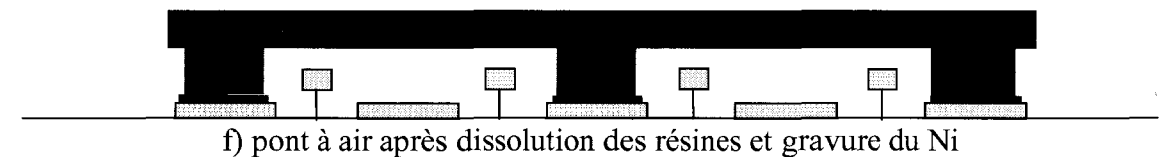
c) dépôt de nickel



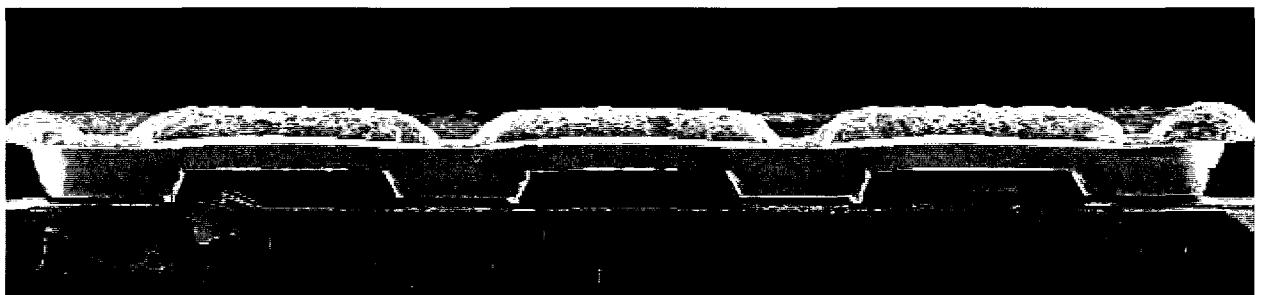
d) définition des tabliers des ponts à air



e) électrolyse d'or



f) pont à air après dissolution des résines et gravure du Ni



g) vue en coupe d'un composant avec pont à air

Figure 26 : Réalisation des ponts à air

### C) Problèmes rencontrés et amélioration de la technologie.

Pour permettre une dissolution totale de la 1<sup>ère</sup> résine, on a utilisé un remover chauffé à 80 °C. On s'est alors aperçu que celui-ci avait tendance à graver la couche barrière d'AlGaAs et

donc d'engendrer une diminution du courant de drain. Il a donc fallu remplacer ce bain de remover par un bain d'acétone accompagné d'ultra sons.

A la fin de cette étape technologique sont apparues des différences sur la valeur du courant de drain ainsi que sur le profil de la transconductance entre les composants tests, sans ponts à air, et les composants multidoigts, avec des ponts à air. La figure 27 représente l'évolution de la transconductance en fonction de  $V_{gs}$  pour des transistors avec ou sans pont à air. Le profil du  $g_m$  est fortement endommagé au niveau de la contribution du puits supérieur ce qui entraîne une diminution de la densité de courant de drain. Le remover étant remplacé par de l'acétone, la seule cause possible de cet effet reste le plasma d'argon effectué pour nettoyer la surface. En effet, seuls les composants multidoigts sont exposés à ce plasma d'argon.

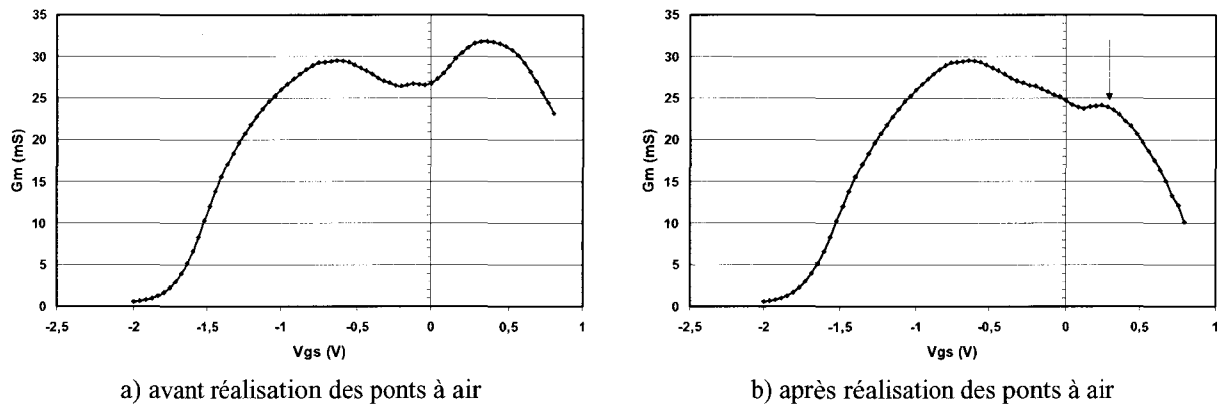


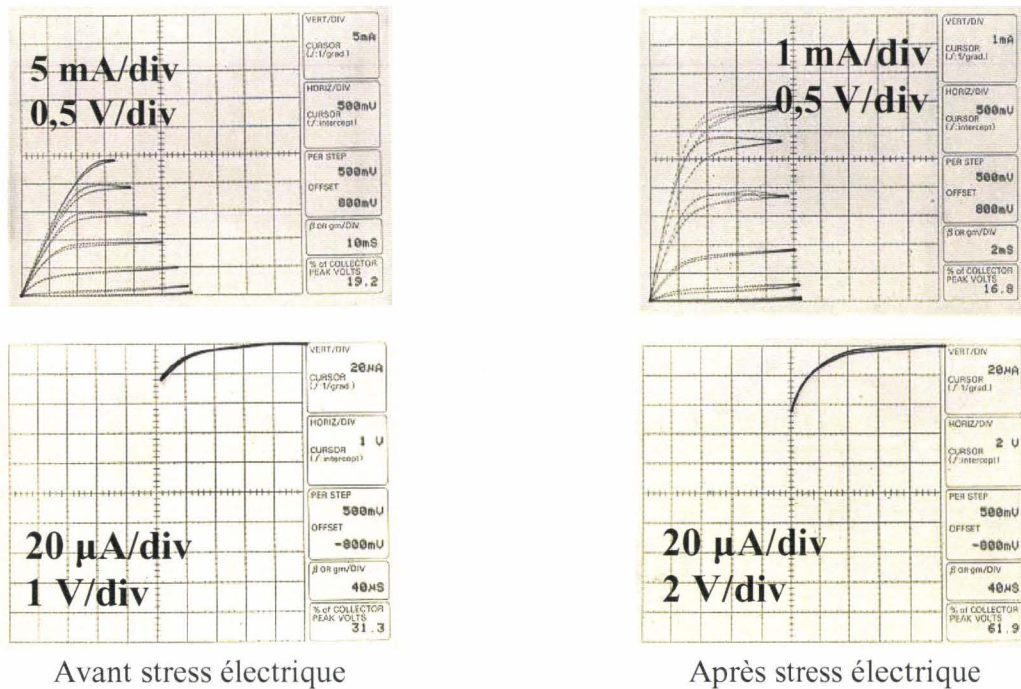
Figure 27 : Profil de la transconductance

Afin de confirmer cette hypothèse, nous avons effectué, sur un autre échantillon, un plasma d'argon possédant une tension d'accélération inférieure à celle utilisée initialement. La chute de courant de drain fut moins importante et le profil de  $G_m$  proche de celui des composants tests. La suppression de ce plasma d'argon a permis de conserver l'intégralité des caractéristiques électriques des composants avec ponts à air, sans aucune incidence sur les caractéristiques mécaniques des ponts, notamment lors des phases d'amincissement du substrat.

## **9) La passivation.**

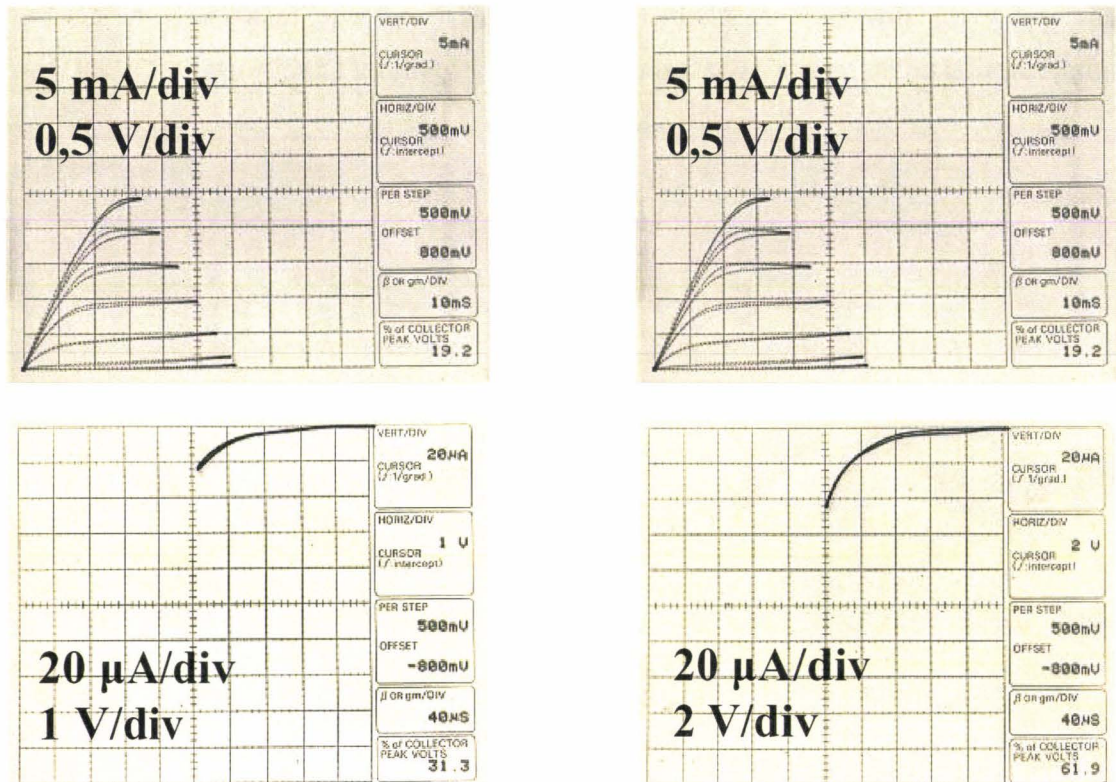
Dans la partie relative à la métallisation de la grille nous avons décrit une évolution de la tension de claquage inverse de la diode, accompagnée d'une forte chute du courant de drain et de la tension de pincement, après stress électrique (fig 28). Nous avons alors émis l'hypothèse

d'une éventuelle diffusion du platine dans la structure. Cette hypothèse fut écartée par des résultats similaires obtenus avec une métallisation de grille en aluminium.



**Figure 28 : Evolution du courant de drain et de la tension de claquage d'un composant de développement 30 µm sans passivation avant et après stress électrique**

D'après P. C. Chao,<sup>[43]</sup> cette chute de courant de drain est due à l'oxydation prématurée de la couche barrière d'AlGaAs en contact avec l'air ambiant, lorsque la grille est stressée électriquement. Pour éviter ce phénomène, il suffit alors de passiver les transistors après la réalisation des ponts à air. La méthode couramment utilisée au laboratoire est celle du dépôt de nitrure de silicium ( $\text{SiN}_x$ ) par PECVD. Ce film de diélectrique recouvre tout l'ensemble de la structure et permet ainsi de protéger le composant. De ce fait, nous avons déposé 500 Å de  $\text{SiN}_x$  à 300 °C et regardé l'influence du stress électrique sur les caractéristiques des composants (figure 29). Le phénomène de dérive de la tension de claquage est toujours présent mais cette fois-ci non accompagné d'une chute de courant. Le dépôt d'un passivant tel que le  $\text{SiN}_x$  a pour tendance d'augmenter les capacités parasites et donc de diminuer les performances fréquentielles si l'épaisseur déposée est trop importante. Une caractérisation des composants ainsi passivés a montré que le dépôt de diélectrique n'engendrait aucune dégradation des performances fréquentielles. En ce qui concerne la technologie coplanaire, la passivation constitue la dernière étape.



Avant stress électrique

Après stress électrique

Figure 29 : Evolution du courant de drain et de la tension de claquage d'un composant de développement 30 μm après passivation avant et après stress électrique

## 10) Amincissement.

### A) Introduction.

L'utilisation de la technologie microruban nécessite un amincissement du substrat pour permettre la connexion des contacts de source entre eux. Les avant trous réalisés en tout début de process permettront lors de cette étape de déterminer la fin de la gravure et d'aligner les trous métallisés par rapport aux contacts de source.

### B) Technologie.

L'amincissement d'un substrat peut être réalisé de trois façons. Par voie :

- chimique
- mécanique
- mécano-chimique.

Durant cette étude, nous avons utilisé les 2 premières solutions.

Le procédé d'amincissement est le suivant :

La face avant est recouverte d'une résine épaisse afin de protéger les transistors (figure 30a). L'échantillon est ensuite collé à l'aide d'une cire sur un substrat de Silicium pour permettre une manipulation facile (figure 30b).

L'amincissement chimique consiste à graver le substrat à l'aide d'une solution acide telle que l'acide sulfurique  $H_2SO_4$  ou l'acide nitrique  $HNO_3$  ou d'une base telle que l'ammoniaque  $NH_4OH$  (figure 30c).

L'amincissement mécanique consiste à roder le substrat sur un plateau en verre d'une polisseuse, à l'aide d'une solution composée d'eau et de poudre d'alumine (figure 30d). Il est important d'obtenir une très grande uniformité du collage du support en Si sur celui de la polisseuse car il conditionne l'homogénéité de l'épaisseur finale du substrat en GaAs.

Au cours de cette étape, des contrôles d'épaisseur sont réalisés à l'aide d'un comparateur et d'un microscope optique afin de connaître l'épaisseur de l'échantillon et de voir apparaître les avant trous qui indiquent la fin de l'amincissement.

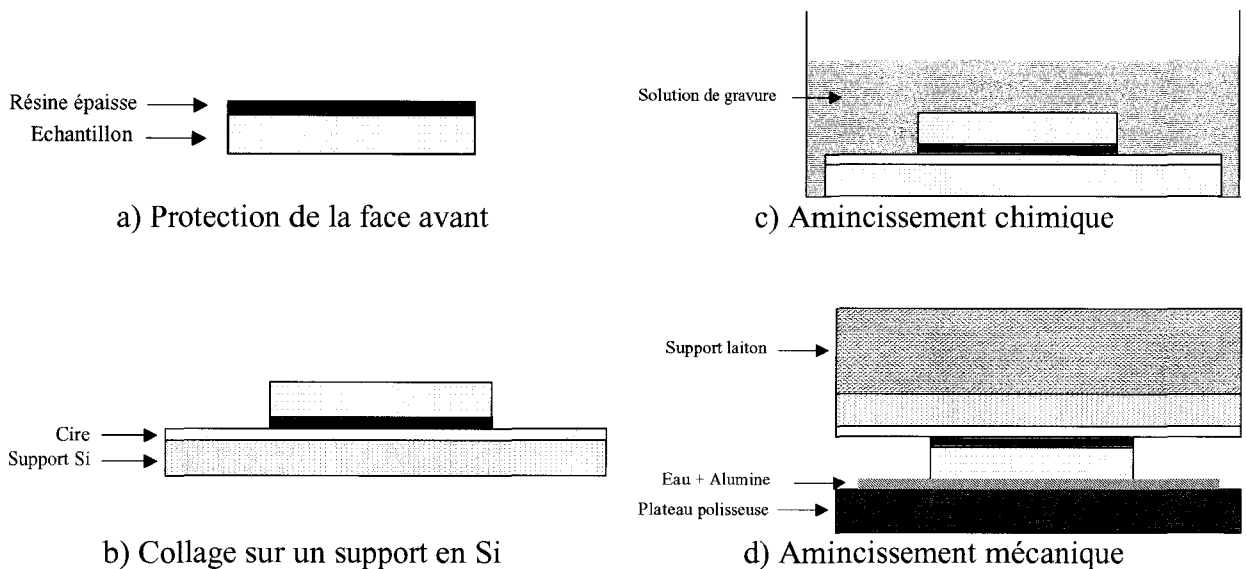


Figure 30 : Procédé d'amincissement

**C) Choix de la technique d'amincissement.**

**(1) Chimique.**

Le tableau 2 résume les résultats obtenus à l'aide de 3 solutions différentes de gravure.

<b>Solution Chimique</b>	<b>Epaisseur après amincissement</b>	<b>Uniformité de la gravure</b>	<b>Erreur maximale</b>	<b>Vitesse de gravure</b>
<b>1HNO<sub>3</sub>/1H<sub>2</sub>O<sub>2</sub></b>	100 μm	± 41 μm	41 %	5 μm/min
	50 μm	± 12 μm	24 %	
	40 μm	± 11 μm	28 %	
<b>1H<sub>2</sub>SO<sub>4</sub>/8H<sub>2</sub>O<sub>2</sub>/1H<sub>2</sub>O</b>	80 μm	± 15 μm	19 %	10 μm/min
<b>1NH<sub>4</sub>OH/1H<sub>2</sub>O<sub>2</sub></b>	70 μm	± 10 μm	15 %	1,5 μm/min

**Tableau 2 : Amincissement chimique - Uniformité**

La solution chimique qui a donné les résultats les plus satisfaisants est celle utilisant l'ammoniaque et le peroxyde d'hydrogène, dans des proportions identiques. L'uniformité sur la plaque après amincissement est alors de 85 %. Cependant, ce type de gravure présente des surfaces ternes qui rendent difficile l'alignement des trous métallisés. Nous avons donc essayé d'amincir le substrat mécaniquement.

**(2) Mécanique.**

Les résultats obtenus par amincissement mécanique, à l'aide d'une solution d'eau et de grains d'alumine de 3 μm de diamètre, sont présentés dans le tableau 3.

<b>Taille de l'alumine</b>	<b>Epaisseur après amincissement</b>	<b>Uniformité de la gravure</b>	<b>Erreur maximale</b>
<b>3 μm</b>	80 μm	± 4 μm	5 %
	50 μm	± 5 μm	10 %

**Tableau 3 : Amincissement mécanique – Uniformité**

Ces amincissements ont été effectués sans aucune pression supplémentaire sur le substrat autre que celle exercée par le support en laiton. Les résultats obtenus dépassent de loin ceux de l'amincissement chimique. L'uniformité de la gravure est de 95 %, pour des vitesses de l'ordre de 10 μm/min, ce qui représente un temps d'amincissement de 40 min. De plus l'aspect miroir

de la surface facilite l'alignement des motifs de trous métallisés. Cependant, l'échantillon a tendance à se fissurer pour des épaisseurs d'amincissement très faibles ( 40  $\mu\text{m}$ ).

#### **D) Conclusion.**

Dans la partie suivante, on verra que l'épaisseur du substrat aminci a dû être fixée à 80  $\mu\text{m}$ . De ce fait, nous avons opté pour l'amincissement de type mécanique à l'aide d'une solution de grains d'alumine de 3  $\mu\text{m}$  de diamètre. Cette méthode permet d'obtenir des vitesses d'amincissement élevées avec une très bonne homogénéité et sans risque de fissure vu l'épaisseur choisie de l'échantillon aminci.

### **11) Réalisation des trous métallisés.**

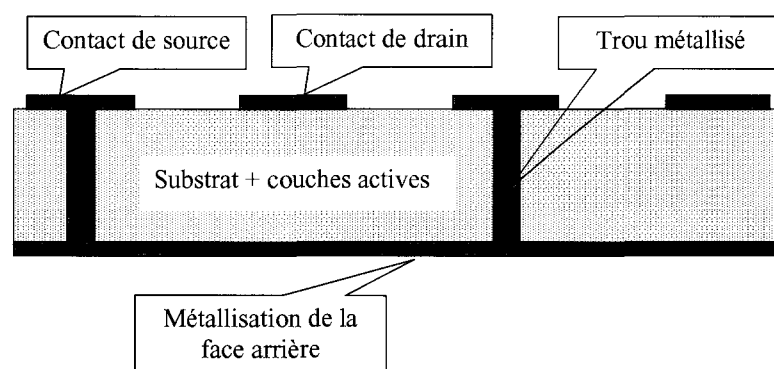
#### **A) Introduction.**

La dernière étape dans la réalisation d'un transistor en technologie microruban est celle des trous métallisés. Deux méthodes de gravure sont utilisées pour les réaliser :

- humide ( $\text{NH}_4\text{OH}$ ,  $\text{H}_2\text{SO}_4$  ...)
- sèche ( $\text{BCl}_3$ ,  $\text{CCl}_2\text{F}_2$ ,  $\text{SiCl}_4$  ...).

Dans notre cas nous avons décidé d'utiliser l'association des deux méthodes.

Ces trous métallisés ont pour fonction de relier les différents contacts de source du transistor entre eux par un plan de masse situé face arrière (figure 31).



**Figure 31 : Vue de profil d'un composant aminci avec trous métallisés**

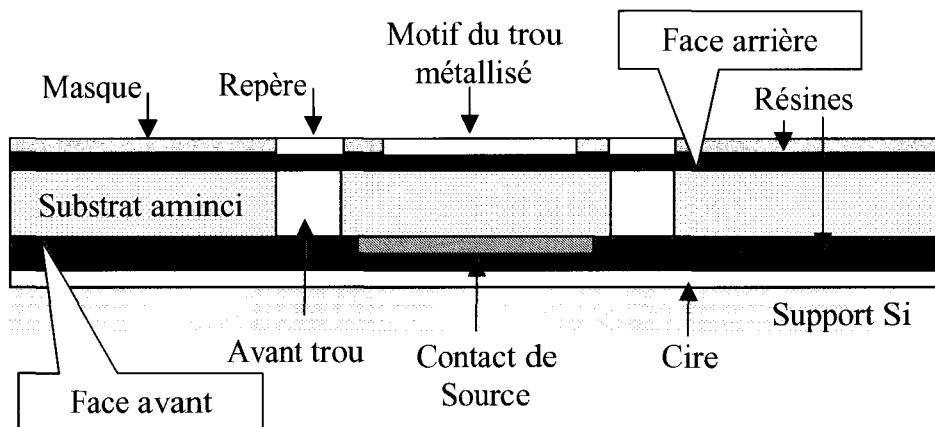
Cette technique a pour intérêt de permettre une meilleure dissipation thermique et donc d'augmenter les performances des transistors de puissance.<sup>[45]</sup> D'un point de vue montage, la



source du composant est directement reliée à la masse du système, évitant ainsi des connexions supplémentaires.

### **B) Technologie des trous métallisés.**

Après amincissement mécanique de l'échantillon, on dépose une résine optique sur la face arrière afin de définir l'emplacement des trous métallisés. Ceux-ci sont positionnés grâce à l'apparition des avant trous après amincissement (figure 32).



**Figure 32 : Vue de profil d'un échantillon aminci – définition des trous métallisés**

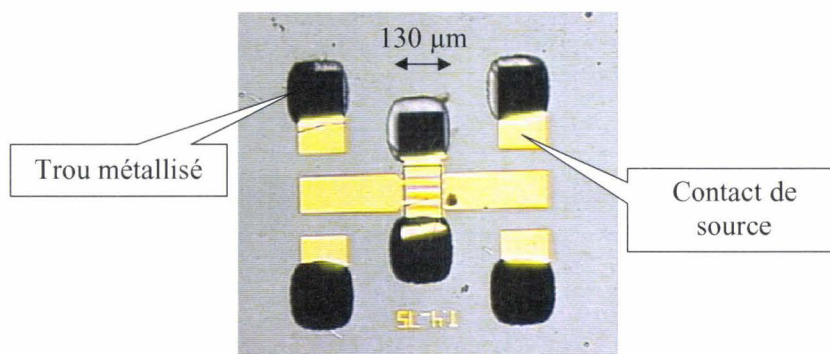
L'ouverture de la résine permet alors de graver le matériau afin de voir apparaître les plots de source. Cette gravure du substrat en face arrière s'effectue en deux étapes, par voies sèche puis humide.

La première est utilisée pour obtenir une gravure la plus isotrope possible, afin de ne pas élargir le trou à métalliser. Ce procédé est le résultat d'une étude menée par J. L. Oszustowicz dans le cadre de sa thèse.<sup>[46]</sup> Nous avons inséré un marqueur d'AlAs entre le substrat et la couche active afin d'arrêter l'attaque par sélectivité de gravure du plasma utilisé ( $\text{CCl}_2\text{F}_2 + \text{Ar}$ ). Ceci nous permet d'effectuer la gravure humide des couches actives jusqu'aux plots de source à l'aide d'une solution de  $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ . On effectue alors un dépôt de 500 Å d'or par pulvérisation pour permettre la croissance de l'or par électrolyse. L'épaisseur totale d'or déposée est d'environ 3  $\mu\text{m}$ , ce qui est suffisant pour consolider le substrat aminci et permettre ainsi sa manipulation sans aucun risque de cassure.

Le support de Si est alors décollé à l'aide d'un bain de trichloroéthylène, qui a pour propriété de dissoudre la cire. Cette opération est très longue (24 heures). Il ne nous reste plus qu'à enlever la résine qui protège la face avant à l'aide d'un bain d'acétone.

### C) Réalisation technologique.

La figure 33 nous montre la réalisation de trous métallisés sur un échantillon aminci à 100  $\mu\text{m}$ .



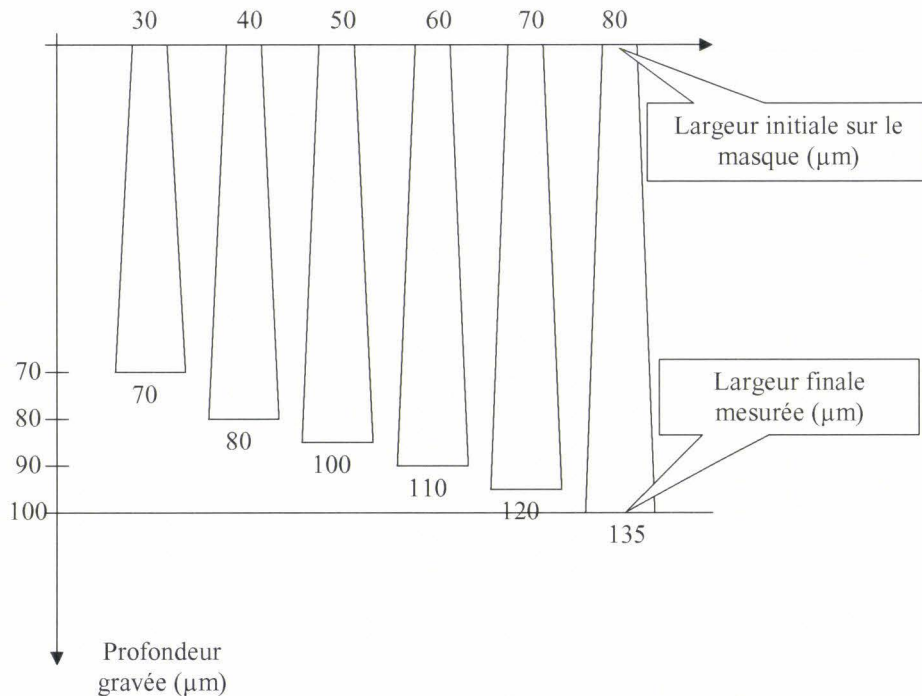
**Figure 33 : vue de dessus d'un transistor avec trous métallisés > dimensions plot de source**

On observe que la dimension finale du trou métallisé face avant est supérieure à celle du plot de source. Ceci a pour conséquence de provoquer la chute du plot de source dans le trou métallisé et de rendre le transistor inutilisable. En effet la dimension initiale du motif sur le masque est de  $80 \times 80 \mu\text{m}^2$  pour atteindre une dimension de l'ordre de  $130 \times 130 \mu\text{m}^2$  sur la face avant alors que la largeur du plot de source n'est que de 100  $\mu\text{m}$ . L'élargissement des dimensions des trous doit être imputé à la gravure sèche car la vitesse et le temps de gravure de la solution chimique utilisée ne permettent pas d'obtenir de telles dimensions.

Pour remédier à ce problème, nous avons réalisé un nouveau masque de trous métallisés comportant des motifs carrés de côté 30, 40, 50, 60, 70 et 80  $\mu\text{m}$ . Le but était de déterminer les dimensions optimales du trou définies sur le masque afin de respecter les dimensions du plot de source sur un substrat aminci à 100  $\mu\text{m}$ .

Sur la figure 34, on peut voir l'évolution des dimensions latérales des trous ainsi que leur profondeur, mesurées au microscope optique par clivage du substrat de GaAs, en fonction des

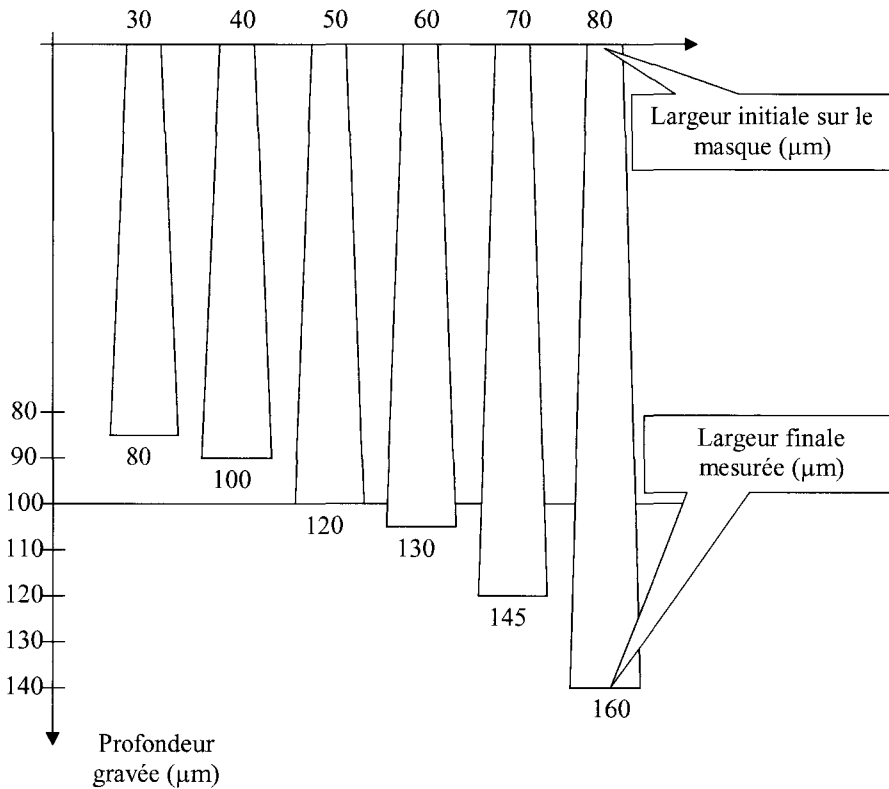
dimensions définies sur le masque et après une gravure sèche de 6x10 min. Celle-ci est réalisée en 6 fois pour éviter une dégradation des caractéristiques de la résine due à un échauffement de celle-ci.



**Figure 34 : Evolution des dimensions des trous en fonction des dimensions définies sur le masque pour une gravure sèche de 6x10 min**

On remarque tout de suite que pour avoir des dimensions de trous métallisés inférieures à celles des plots de source, il faut choisir une largeur de trou, définie sur le masque, inférieure à 50  $\mu\text{m}$ . Mais dans cette configuration, la profondeur des trous est inférieure à l'épaisseur du substrat aminci (100  $\mu\text{m}$ ) et ne permet pas le contact des plots de source entre eux par la face arrière. Pour augmenter la profondeur de ces trous, nous avons augmenté le temps de la gravure sèche à 9x10 min.

Comme précédemment, la figure 35 montre l'évolution de la profondeur et de la largeur des trous en fonction des dimensions définies sur le masque pour une gravure sèche de 9x10 min. On remarque tout de suite que les largeurs des trous augmentent plus vite que leur profondeur. Donc, dans une configuration de substrat aminci à 100  $\mu\text{m}$ , il est impossible d'obtenir avec cette technique des trous métallisés de 100  $\mu\text{m}$  de profondeur dont les largeurs soient inférieures à celles des plots de source. Pour remédier à ce problème, la solution la plus simple qui s'offrait à nous consistait à diminuer l'épaisseur du substrat aminci.



**Figure 35 : Evolution des dimensions des trous en fonction des dimensions définies sur le masque pour une gravure sèche de 9x10 min**

Le tableau 4 nous montre l'évolution des différentes dimensions des trous pour un substrat aminci à 80 ou 50  $\mu\text{m}$  et une gravure sèche de 6x10 min.

Dimensions des motifs sur le masque	Substrat aminci à 80 $\mu\text{m}$		Substrat aminci à 50 $\mu\text{m}$	
	Largeur des trous face avant	Profondeur des trous face avant	Largeur des trous face avant	Profondeur des trous face avant
30x30 $\mu\text{m}^2$	60 $\mu\text{m}$	< 80 $\mu\text{m}$	35 $\mu\text{m}$	< 50 $\mu\text{m}$
40x40 $\mu\text{m}^2$	<b>80 <math>\mu\text{m}</math></b>	<b>&gt; 80 <math>\mu\text{m}</math></b>	<b>60 <math>\mu\text{m}</math></b>	<b>&gt; 50 <math>\mu\text{m}</math></b>
50x50 $\mu\text{m}^2$	95 $\mu\text{m}$	> 80 $\mu\text{m}$	<b>80 <math>\mu\text{m}</math></b>	<b>&gt; 50 <math>\mu\text{m}</math></b>
60x60 $\mu\text{m}^2$	105 $\mu\text{m}$	> 80 $\mu\text{m}$	100 $\mu\text{m}$	> 50 $\mu\text{m}$
70x70 $\mu\text{m}^2$	120 $\mu\text{m}$	> 80 $\mu\text{m}$	115 $\mu\text{m}$	> 50 $\mu\text{m}$
80x80 $\mu\text{m}^2$	130 $\mu\text{m}$	> 80 $\mu\text{m}$	130 $\mu\text{m}$	> 50 $\mu\text{m}$

**Tableau 4 : Evolution des dimensions des trous en fonction des dimensions définies sur le masque**

Pour vérifier nos deux conditions, à savoir une profondeur gravée supérieure à l'épaisseur du substrat aminci et une largeur inférieure aux dimensions des plots de source (100  $\mu\text{m}$ ), on a donc le choix entre :

- amincir à 50  $\mu\text{m}$  avec des dimensions initiales de trous sur le masque de 40 ou 50  $\mu\text{m}$
- amincir à 80  $\mu\text{m}$  avec des dimensions initiales de trous sur le masque de 40  $\mu\text{m}$ .

En prenant en considération les effets de fissures apparues sur un substrat aminci à 40  $\mu\text{m}$ , nous avons opté pour la solution du substrat aminci à 80  $\mu\text{m}$  et donc une dimension définie sur le masque de 40  $\mu\text{m}$ .

Nous avons donc réalisé des trous métallisés sur une couche composants afin de valider cette nouvelle technologie. Comme on peut le voir sur la figure 36, les dimensions des trous métallisés sont inférieures aux dimensions des plots de source. Cependant, nous avons observé une forte chute du courant de drain (jusqu'à 90 % de la valeur maximale) après la réalisation des trous métallisés, malgré le marqueur d'AlAs qui arrête la gravure plasma avant les couches actives. Cette observation peut aussi expliquer les résultats obtenus par J. L. Oszustowicz avec ce type de gravure.<sup>[46]</sup>

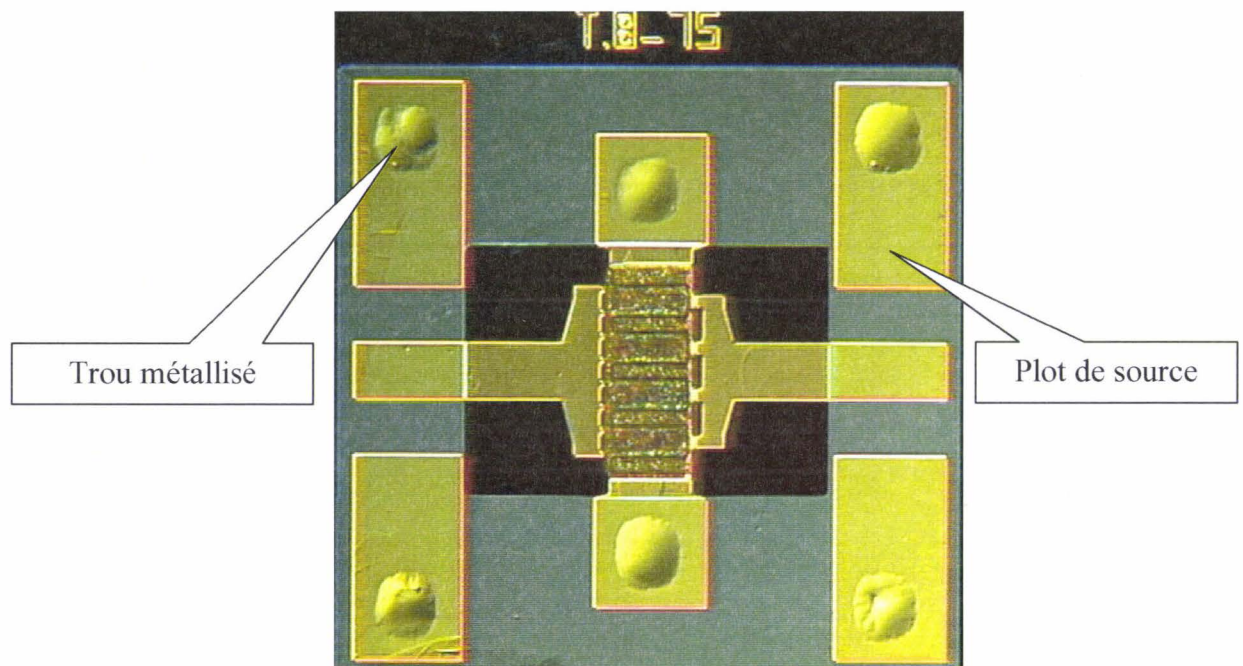
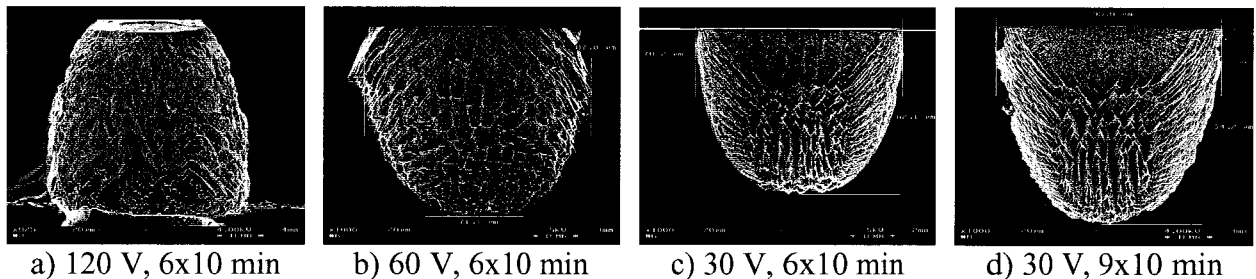


Figure 36 : Vue de dessus d'un transistor avec trous métallisés

De ce fait, nous avons étudié l'influence de la tension d'accélération utilisée lors de la gravure plasma sur la profondeur et le profil du trou métallisé, et la répercussion sur les

performances électriques des transistors. Sur la figure 37 on peut voir l'évolution du profil de trous réalisés avec différentes tensions d'accélération (DC bias de 120, 60 et 30 V) dans un substrat de GaAs.



**Figure 37 : Photos prises au microscope électronique à balayage du profil des trous en fonction de la tension d'accélération du plasma**

On observe une diminution de seulement 25 % de la profondeur pour une tension d'accélération de 30 V au lieu de 120 V. Ceci laisse supposer que le phénomène de gravure est plutôt de type chimique que physique ce qui engendre un manque de directivité de la gravure (gravure latérale). Afin d'obtenir les dimensions des trous métallisés souhaitées, avec une tension d'accélération de 30 V, nous avons simplement augmenté le temps de gravure de 3x10 min (figure 37d). La largeur des trous est alors de 85  $\mu\text{m}$ .

Nous avons donc appliqué cette nouvelle technologie à la réalisation de composants. Comme précédemment les dimensions des trous respectent les dimensions des plots de source mais cette fois ci, nous n'avons observé aucune dégradation de la densité de courant de drain, ce qui valide notre technologie de trous métallisés sur GaAs.

#### **D) Conclusion.**

Dans cette partie, nous avons étudié la réalisation de transistors en technologie microruban sur substrat de GaAs à l'aide d'une gravure sèche puis humide. Nous avons observé une diminution des performances électriques sur les transistors imputée au caractère trop énergétique de la gravure plasma (tension d'accélération trop grande). Nous avons diminué la tension d'accélération par 4 et augmenté le temps de gravure de 30 min afin de conserver les dimensions des trous métallisés. Dans ces conditions, la densité de courant de drain et les résultats électriques en général ne subissent aucune détérioration, ce qui valide notre technologie de composants avec trous métallisés sur substrat GaAs aminci à 80  $\mu\text{m}$ .

#### **IV) Conclusion du Chapitre 1.**

D'après les simulations utilisant la résolution auto cohérente des équations de Schrödinger et de Poisson, les deux types de structure choisis doivent fournir une densité de courant de l'ordre de 700 mA/mm avec une très bonne linéarité de commande du courant de drain. Cependant, une légère différence doit être observée sur la valeur maximale de la transconductance, plus élevée dans le cas de la structure HFET.

Lorsque nous avons commencé l'étude de transistors pHEMT ou HFET à haute linéarité pour des applications de puissance en bandes K et Ka, la technologie qui avait été développée au laboratoire sur ce type de composants, ne permettait pas de répondre à nos exigences. En effet, ce double critère Puissance-Linéarité nous imposait l'utilisation d'une technologie fiable et reproductible permettant d'assurer l'homogénéité des caractéristiques sur une même plaque, y compris pour les structures ayant le plus grand nombre de doigts de grille et la reproductibilité du process d'une plaque à l'autre.

Le développement d'une technologie adaptée au double critère Puissance-Linéarité a été décrit dans la 3<sup>ème</sup> partie de ce premier chapitre. Nous avons tout d'abord vérifié que l'alliage Ni/Ge/Au/Ti/Au permettait d'obtenir des valeurs de résistances de contact inférieures à 0,1  $\Omega$ .mm. Pour s'affranchir de l'apparition d'un oxyde au voisinage du super réseau AlAs, lors de la réalisation de l'isolation électrique des composants à l'aide d'une solution  $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ , nous avons employé une solution d'acide sulfurique ( $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ ) et obtenu ainsi une isolation électrique de 20 V entre composants distants de 200  $\mu\text{m}$ .

Lors de la réalisation de la grille, nous avons utilisé une technologie « résines bicouches », plus simple à mettre en œuvre que la technologie « nitrure ». Nous avons développé au laboratoire une attaque sélective utilisant l'acide citrique pour faire le creusement du fossé de grille. L'amélioration des performances des composants est passée par l'insertion d'un stoppeur d'AlAs entre le cap layer en GaAs et la couche barrière en AlGaAs afin d'accroître la sélectivité de gravure de la solution d'acide citrique entre les matériaux GaAs et AlGaAs. Ceci a permis de conserver l'intégralité du courant de drain de la structure et d'obtenir une excellente homogénéité des caractéristiques électriques des composants due à un meilleur contrôle du recess de grille.

Lors de la réalisation des ponts à air, il a été nécessaire de supprimer l'utilisation de la gravure plasma et du remover pour conserver l'intégralité des performances électriques. Pour les mêmes raisons, la réalisation des trous métallisés a nécessité une optimisation des conditions de gravure plasma et des dimensions des trous.

Enfin, pour éviter un vieillissement prématuré des composants dans des conditions de fonctionnement avec courant de grille, il a été impératif de les passiver.



## V) Bibliographie du Chapitre 1

- 1 **C. Gaquière et al.**  
« 1 W/mm power pseudomorphic HFET with optimised recess technology »  
Electronics Letters, vol 30, n° 11, 1994, p 904-906
- 2 **J. C. Huang et al.**  
« A double recessed AlGaAs/InGaAs pseudomorphic HEMT for Ka and Q band power applications »  
IEEE Electron Device Letter, vol 14, n° 9, 1993, p 456 - 458
- 3 **F. Diette et al.**  
« Airbridge technology for millimeter wave power FET's »  
5<sup>th</sup> European Heterostructure Technology, Cardiff, Sept 1995
- 4 **C. Gaquière et al.**  
« Correlation between gate current and RF power performances of millimeter HFET »  
European Microwave Conference, Prague, République Tchèque, Sept 1996
- 5 **C. Gaquière et al.**  
« Analysis of extrinsic elements influence on the power performances of HEMT's in the Ka band »  
Gallium Arsenide Applications Symposium, Paris, Juin 1996
- 6 **F. Stern et al.**  
« Iteration methods for calculating self-consistent fields in semiconductor inversion layer »  
Journal of Computational Physics, vol 6, 1970, p 56
- 7 **O. Schuller**  
« Epitaxie par jets moléculaires à sources gazeuses des matériaux AlGaInP sur substrat GaAs pour applications hyperfréquences »  
Thèse d'université, Lille 1, 1998
- 8 **B. Bonte**  
« Transistor à effet de champ à hétérojonction iAlGaAs/nGaAs, à grille isolée et canal dopé (DMT). Analyse du fonctionnement et optimisation technologique. Application à l'amplification de puissance microonde. »  
Thèse d'université, Lille 1, 1990
- 9 **N. Moll et al.**  
« Pulse-doped AlGaAs/InGaAs pseudomorphic MODFETs »  
IEEE Transactions on Electron Devices, vol 35, n° 7, 1988, p 879-886
- 10 **F. Diette**  
« Etude des transistors à effet de champ de type HEMT sur substrat GaAs et InP pour l'amplification de puissance en gamme millimétrique »  
Thèse d'Université, Lille 1, 1998
- 11 **T. Picraux et al.**  
« L'implantation d'ions dans les surfaces »  
Pour la science, n° 91, 1985, p 12-20
- 12 **A. P. Knights et al.**  
« Carrier removal in n type GaAs layers by oxygen implantation analysed by positron annihilation spectroscopy »  
Workshop on High Performance Electron Devices for Microwave and Optoelectronic Applications, London, 1997, p 243-248

- 13 **S. J. J. Teng et al.**  
« Implant isolation of InGaAs/GaAs pseudomorphic high electron mobility transistor structure using boron »  
Electronics Letters, vol 30, n° 18, 1994, p 1539-1540
- 14 **M. Zaknour**  
« Etude de la technologie et des potentialités pour l'amplification de puissance hyperfréquence des transistors à effet de champ des filières phosphure AlGaInP/GaInAs et métamorphique AlInAs/GaInAs sur substrat GaAs »  
Thèse d'Université, Lille 1, 1999
- 15 **P. Chevalier**  
« Conception et réalisation de transistors à effet de champ de la filière AlInAs/GaInAs sur substrat InP. Application à l'amplification faible bruit en ondes millimétriques »  
Thèse d'Université, Lille 1, 1998
- 16 **F. Ren et al.**  
« 0,25  $\mu\text{m}$  pseudomorphic HEMTs processed with damage-free dry-etch gate-recess technology »  
IEEE Transactions on Electron Devices, vol 39, n° 12, 1992, p 2701-2706
- 17 **H. Takenaka et al.**  
« Dead time free selective dry etching of GaAs/InGaAs using  $\text{BCl}_3/\text{CHF}_3$  plasma »  
Journal of Vacuum Science and Technology B, 12(6), 1994, p 3107-3111
- 18 **L. S. Lai et al.**  
« Selectively dry etched  $\text{n}^+$  GaAs/AlGaAs/InGaAs doped channel FETs by using a  $\text{CHF}_3 + \text{BCl}_3$  plasma »  
Solid State Electronics, vol 42, n° 10, 1998, p 1973-1977
- 19 **D. C. Hays et al.**  
« Wet and dry etch selectivity for GaAs/AlGaAs and GaAs/InGaP systems »  
Electrochemical Society Proceedings, vol 12, 1998, p 201-212  
Compound Semiconductor Power Transistor and State Of The Art Programm on Compound Semiconductors
- 20 **I. G. Thayne et al.**  
« Low frequency noise of selectively dry-etch gate-recessed GaAs MESFETs »  
Electronics Letters, vol 31, n° 4, 1995, p 324-326
- 21 **K. Kenefick et al.**  
« Selective etching characteristics of Peroxide/Ammonium Hydroxide solutions for GaAs/ $\text{Al}_{0,16}\text{Ga}_{0,84}\text{As}$  »  
Journal of Electrochemical Society: Solid State Science and Technology, vol 129, n°10, 1982, p 2380-2382
- 22 **Y. Uenishi et al.**  
« Characterization of AlGaAs microstructure fabricated by AlGaAs/GaAs micromachining »  
IEEE Transactions on Electron Devices, vol 41, n° 10, 1994, p 1778-1783
- 23 **H. J. Lee et al.**  
« Selective wet etching of GaAs/ $\text{Al}_x\text{Ga}_{1-x}\text{As}$  heterostructure with citric acid - hydrogen peroxide solutions for pseudomorphic GaAs/ $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{In}_y\text{Ga}_{1-y}\text{As}$  heterojunction field effect transistor fabrication »  
Materials Science and Engineering, B35, 1995, p 230-233
- 24 **C. Juang et al.**  
« Selective etching of GaAs and  $\text{Al}_{0,30}\text{Ga}_{0,70}\text{As}$  with citric acid/hydrogen peroxide solutions »  
Journal of Vacuum Science and Technology B, 8(5), 1990, p 1122-1124

- 25 **G. C. Desalvo et al.**  
« Etch rates and selectivities of citric acid/hydrogen peroxide on GaAs,  $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ,  $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ,  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ,  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ , and InP »  
Journal of Electrochemical Society, vol 139, n° 3, 1992, p 831-835
- 26 **E. A. Moon et al.**  
« Selective wet etching of GaAs on  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  for AlGaAs/InGaAs/AlGaAs pseudomorphic high electron mobility transistor »  
Journal of Applied Physics, vol 84, n° 7, 1998, p 3933-3938
- 27 **T. J. Drummond et al.**  
« Bias dependence and light sensitivity of (Al,Ga)As/GaAs Modfet's at 77 K »  
IEEE Transactions on Electron Devices, vol 30, n° 12, 1983, p 1806-1811
- 28 **L. Loreck et al.**  
« Deep level analysis in (AlGa)As - GaAs 2D electron gas devices by means of low frequency noise measurements »  
IEEE Electron Devices Letters, vol 5, n° 1, 1984, p 9-11
- 29 **J. Y. Chi et al.**  
« Effect of traps on low temperature High Electron Mobility Transistor characteristics »  
IEEE Electron Devices Letters, vol 5, n° 9, 1984, p 381-384
- 30 **T. Kitano et al.**  
« Selective wet etching for highly uniform GaAs/ $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$  heterostructure field effect transistor »  
Journal of Vacuum Science and Technology B, 15(1), 1997, p 167-170
- 31 **B. Tuck**  
« The chemical polishing of semiconductors »  
Journal of Materials Science, vol 10, 1975, p 321-339
- 32 **X. Hue et al.**  
« Gate recessing optimization of GaAs/ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$  heterojunction field effect transistor using citric acid/hydrogen peroxyde/ammonium hydroxide for power applications »  
Journal of Vacuum Science and Technology B, 16(5), 1998, p 2675-2679
- 33 **H. T. Wang et al.**  
« High barrier Ag, Al, Au, Pt/InGaAs Schottky diodes »  
21<sup>st</sup> International Conference on Microelectronics, Yugoslavia, vol 1, 1997, p 303-308
- 34 **C. Heedt et al.**  
« On the optimization and reliability of ohmic and Schottky contacts to InAlAs/InGaAs HFET »  
4<sup>th</sup> International Conference on Indium Phosphide and Related Materials, Newport USA, 1992, p 238 – 241
- 35 **K. W. Eisenberg et al.**  
« Theoretical analysis of the breakdown voltage in pseudomorphic HFET's »  
IEEE Transactions on Electron Devices, vol 43, n° 11, 1996, p 1778-1787
- 36 **D. Geiger et al.**  
« Recess dependant breakdown behavior of GaAs HFETs »  
IEEE Electron Device Letters, vol 16, n° 1, 1995, p 30-32
- 37 **X. Hue et al.**  
« Optimization of GaAs/ $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$  HFET gate recess for the realization of linear power amplifier »  
8<sup>th</sup> European Heterostructure Technology Workshop HETECH'98, Cardiff, UK, Sept 98

- 38 **T. Kunii et al.**  
« High gain and high efficiency K band power HEMT with WSi/Au T-shaped gate »  
IEEE MTT-S International Microwave Symposium Digest, Denver USA, vol 3, 1997, p 1187-1190
- 39 **J. C. Huang et al.**  
« An AlGaAs/InGaAs pseudomorphic high electron mobility transistor with improved breakdown voltage for X and Ku band power applications »  
IEEE Transactions on Microwave Theory and Techniques, vol 41, n° 5, 1993, p 752-758
- 40 **C. S. Wu et al.**  
« High efficiency microwave power AlGaAs/InGaAs PHEMT's fabricated by dry etch single gate recess »  
IEEE Transactions on Electron Devices, vol 42, n° 8, 1995, p 1419-1424
- 41 **V. Hoel**  
« Conception, réalisation et caractérisation de transistors à effet de champ à hétérojonction sur substrat InP pour circuits intégrés coplanaires en bandes V et W »  
Thèse d'Université, Lille 1, 1998
- 42 **W. Burger et al.**  
« Aluminum based metallization enhances device reliability »  
Microwaves and RF, Oct 1998, p 61-70
- 43 **P. C. Chao et al.**  
« Breakdown walkout in AlGaAs/GaAs HEMT's »  
IEEE Transactions on Electron Devices, vol 39, n° 3, 1992, p 738-740
- 44 **S. Boret**  
« Circuits intégrés monolithiques en technologie coplanaire de réception jusque 110 GHz »  
Thèse d'Université, Lille 1, 1999
- 45 **P. W. Webb et al.**  
« Thermal resistance of gallium arsenide field effect transistors »  
IEE Proceedings G, Circuits, Devices and Systems, vol 136, n° 5, 1989, p 229-234
- 46 **J. L. Oszustowicz**  
« Mise au point de technologies adaptées à la réalisation de circuits intégrés monolithiques III-V : application à un circulateur actif en bande X »  
Thèse d'Université, Lille 1, 1995

**VI) Annexe du Chapitre 1 : description du procédé de fabrication des transistors de puissance à haute linéarité pour bandes K et Ka.**

**Marques et motifs d'alignement :**

Operation	Produit	Parametres	Temperature	Temps
Enduction résine	COPO 14%	V = 4400 tr/s $\gamma = 5000 \text{ tr/s}^2$		12 s
Recuit résine		Etuve	170 °C	30 min
Enduction résine	PMMA 5% 50K	V = 1900 tr/s $\gamma = 5000 \text{ tr/s}^2$		12 s
Recuit résine		Etuve	170 °C	30 min
Exposition		Electronique		
Révélation	1MIBK/2IPA	Bain	Ambiante	50 s
Rinçage	IPA	Bain	Ambiante	30 s
Métallisation	Ti/Au 500/1500 Å	Evaporation		
Lift-off	Acétone	Bain	Ambiante	
Rinçage	IPA	Bain	Ambiante	

IPA : Isopropilic Alcohol  
MIBK : Methyl IsoButyl Ketone

**Avant-trous :**

Operation	Produit	Parametres	Temperature	Temps
Enduction résine	1400-37	V = 2000 tr/s $\gamma = 4000 \text{ tr/s}^2$		15 s
Recuit résine		Plaque	100 °C	3 min
Exposition		Optique		15 s
Révélation	2MD/1H <sub>2</sub> O	Bain	Ambiante	25 s
Rinçage	H <sub>2</sub> O	Bain	Ambiante	30 s
Gravure chimique	H <sub>2</sub> SO <sub>4</sub> /H <sub>2</sub> O <sub>2</sub> /H <sub>2</sub> O 1 / 1 / 50	Bain	Ambiante	10 min
Gravure Sèche	CCl <sub>2</sub> F <sub>2</sub> +Ar 40/40 cc	150 V 175 mT		4x10 min
Nettoyage	Remover 1165	Bain	80 °C	5 min

MD : Microposit Developer

### **Contacts ohmiques :**

Opération	Produit	Paramètres	Température	Temps
Enduction résine	COPO 14%	$V = 4400 \text{ tr/s}$ $\gamma = 5000 \text{ tr/s}^2$		12 s
Recuit résine		Etuve	170 °C	30 min
Enduction résine	PMMA 5% 50K	$V = 1900 \text{ tr/s}$ $\gamma = 5000 \text{ tr/s}^2$		12 s
Recuit résine		Etuve	170 °C	30 min
Exposition		Electronique		
Révélation	1MIBK/2IPA	Bain	Ambiante	60 s
Rinçage	IPA	Bain	Ambiante	30 s
Métallisation	Ni/Ge/Au/Ti/Au 150/195/390/500/2000 Å	Evaporation		
Lift-off	Acétone	Bain		
Rinçage	IPA	Bain	Ambiante	30 s
Recuit		Four RTA	400 °C	40 s

### **Mesas :**

Opération	Produit	Paramètres	Température	Temps
Enduction résine	1400-27	$V = 2600 \text{ tr/s}$ $\gamma = 3000 \text{ tr/s}^2$		5 s
Recuit résine		Plaque	120 °C	5 min
Exposition		Optique		5 s
Révélation	2MD/1H <sub>2</sub> O	Bain	Ambiante	45 s
Rinçage	H <sub>2</sub> O	Bain	Ambiante	30 s
Gravure chimique	H <sub>2</sub> SO <sub>4</sub> /H <sub>2</sub> O <sub>2</sub> /H <sub>2</sub> O 1 / 1 / 50	Bain	Ambiante	1 min 30 s

### Recess de grille :

Opération	Produit	Paramètres	Température	Temps
Enduction résine	PMMA 4% 950K	$V = 3550 \text{ tr/s}$ $\gamma = 5000 \text{ tr/s}^2$		12 s
Recuit résine		Etuve	170 °C	30 min
Enduction résine	COPO 14%	$V = 3900 \text{ tr/s}$ $\gamma = 5000 \text{ tr/s}^2$		12 s
Recuit résine		Etuve	170 °C	30 min
Exposition		Electronique		
Révélation	1MIBK/2IPA	Bain	Ambiante	3 min
Rinçage	IPA	Bain	Ambiante	30 s
Gravure chimique	$\text{C}_6\text{H}_8\text{O}_7/\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 1,5g/0,7ml/2ml/100ml pH = 6,4	Bain	Ambiante	2 min 15 s
Métallisation	Ti/Pt/Au 500/250/3250 Å	Evaporation		
Lift-off	Acétone	Bain	Ambiante	
Rinçage	IPA	Bain	Ambiante	30 s

### Epaisseur :

Opération	Produit	Paramètres	Température	Temps
Enduction résine	1400-27	$V = 2600 \text{ tr/s}$ $\gamma = 3000 \text{ tr/s}^2$		5 s
Recuit résine		Etuve	60 °C	20 min
Profil casquette	Chlorobenzène	Bain	Ambiante	18 min
Recuit résine		Etuve	80 °C	30 min
Exposition		Optique		5 s
Révélation	2MD/1EDI	Bain	Ambiante	35 s
Rinçage	EDI	Bain	Ambiante	30 s
Métallisation	Ti/Au 1000/4000 Å	Evaporation		
Lift-off	Acétone	Bain	Ambiante	
Rinçage	IPA	Bain	Ambiante	30 s

### Ponts à air :

Opération	Produit	Paramètres	Température	Temps
Enduction résine	AZ 4562	V = 4000 tr/s $\gamma = 3000 \text{ tr/s}^2$		40 s
Recuit résine		Plaque	110 °C	3 min
Exposition		Optique		18 s
Révélation	1AZ351B/4EDI	Bain	Ambiante	45 s
Recuit résine		Plaque	100 °C	2 min
Métallisation	200 Å Ni	Evaporation		
Métallisation	400 Å Ni	Puvérisation 150 W/9.10 <sup>-3</sup> mBar		10 min
Enduction résine	AZ 4562	V = 4000 tr/s $\gamma = 3000 \text{ tr/s}^2$		40 s
Recuit résine		Plaque	70 °C	30 min
Exposition		Optique		18 s
Révélation	1AZ351B/4EDI	Bain	Ambiante	40 s
Recuit résine		Etuve	60 °C	1 H 20 min
Métallisation	Au	Electrolyse 1,5 mA/cm <sup>2</sup> 100 tr/min	45 °C	20 min
Exposition totale		Optique		45 s
Révélation	1AZ351B/2EDI	Bain	Ambiante	2 min
Rinçage	EDI	Bain	Ambiante	30 s
Gravure Ni	1HNO <sub>3</sub> /10H <sub>2</sub> O	Bain	Ambiante	2 min
Dissolution résine	Acétone Ultrasons	Bain	Ambiante	3 x 10 min 3 x 10 min
Rinçage	IPA	Bain	Ambiante	30 s

### Amincissement :

Opération	Produit	Paramètres	Température	Temps
Enduction résine	AZ 4562	V = 4000 tr/s $\gamma = 3000 \text{ tr/s}^2$		40 s
Recuit résine		Plaque	110 °C	3 min
Collage sur Si	Cire	Plaque	70 °C	
Amincissement	Alumine 3 µm	Mécanique		Environ 30 min



**Trous métallisés :**

Opération	Produit	Paramètres	Température	Temps
Enduction résine	1400-37	$V = 2000 \text{ tr/s}$ $\gamma = 4000 \text{ tr/s}^2$		15 s
Recuit résine		Plaque	100 °C	3 min
Exposition		Optique		15 s
Révélation	2MD/1EDI	Bain	Ambiante	30 s
Rinçage	EDI	Bain	Ambiante	30 s
Gravure sèche	$\text{CCl}_2\text{F}_2 + \text{Ar}$ 40/40 cc	30 V 175 mT		9x10 min
Gravure chimique	$\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 1/1/200	Bain	Ambiante	25 min
Dissolution résine	Acétone			
Métallisation	Au	Pulvérisation 150 W		30 min
Métallisation	Au	Electrolyse $2,5 \text{ mA/cm}^2$ 100 tr/min	50 °C	20 min
Décollage support Si	Trichloréthylène	Bain	Ambiante	24 H
Rinçage	Acétone	Bain	Ambiante	30 s
Rinçage	IPA	Bain	Ambiante	30 s

**Chapitre 2 :**

**Caractérisation des transistors de puissance  
pHEMT et HFET à haute linéarité  
sur substrat GaAs.**



## **I) Introduction.**

Ce second chapitre présente les performances statiques et hyperfréquences (petit et grand signal) des transistors de puissance pseudomorphiques HEMT et HFET à haute linéarité dont nous avons décrit la réalisation dans le chapitre 1.

Rappelons les objectifs visés :

- une densité de courant de drain supérieure à 700 mA/mm
- une tension de claquage à canal pincé de l'ordre de 8 V
- un profil de la transconductance quasi plat en fonction de  $V_{gs}$

Durant les deux années passées à l'IEMN et allouées à la technologie des transistors de puissance, 4 campagnes d'épitaxies par jet moléculaire à sources solides ont été réalisées, pour valider les différentes étapes conduisant au cahier des charges fixé. Tout au long de ce chapitre, nous verrons l'influence des choix technologiques abordés dans le premier chapitre sur les performances des composants.

On s'intéressera tout d'abord à la caractérisation statique des composants, avec les caractéristiques  $I_d(V_{gs}, V_{ds})$ , le profil de transconductance extrinsèque en fonction de  $V_{gs}$ , la tension de claquage en configuration diode ainsi que l'uniformité des caractéristiques électriques obtenues.

Dans un second temps, nous aborderons la caractérisation hyperfréquence petit signal, avec la détermination des éléments du schéma équivalent et leur évolution en fonction des différents paramètres tels que les tensions  $V_{gs}$ ,  $V_{ds}$  et le développement de grille du composant.

Enfin, nous présenterons les principaux résultats de puissance obtenus ainsi que des mesures d'intermodulation.

## **II) Caractérisation des transistors de puissance.**

### **1) 1<sup>ère</sup> campagne de réalisation de composants.**

Cette première campagne concerne les épitaxies S970629, S970630, S970631 et S970632 dont la structure est donnée figure 38. Les deux premières (S970629 et 30) sont basées sur le principe du HEMT à deux canaux en GaAs et en InGaAs non dopés, alimentés par deux plans de dopage. Les deux autres (S970631 et 32) font appel au principe du HFET à canal unique en InGaAs dopé et un plan de dopage. Deux couches identiques de chaque structure ont été réalisées afin de pallier à d'éventuels problèmes technologiques.

GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm	GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm
$\text{Al}_x\text{Ga}_{1-x}\text{As}$	10 nm	$\text{Al}_x\text{Ga}_{1-x}\text{As}$	10 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm
GaAs	0,4 nm	GaAs	0,4 nm
$\delta\text{Si } 3 \times 10^{12} \text{cm}^{-2}$		$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm	GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs	12 nm	GaAs	1 nm
AlAs/GaAs 6x	5 nm	$\text{In}_{0,22}\text{Ga}_{0,78}\text{As } 2 \times 10^{18} \text{cm}^{-3}$	12 nm
$\delta\text{Si } 3 \times 10^{12} \text{cm}^{-2}$		GaAs	2 nm
GaAs	0,4 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	2 nm	GaAs	300 nm
GaAs	1 nm		
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As}$	12 nm	Marqueur AlAs	
GaAs	1,5 nm	GaAs substrat	
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm		
GaAs	300 nm		
Marqueur AlAs			
GaAs substrat			
structure d'un transistor pHEMT S970629 et S970630		structure d'un transistor HFET S970631 et S970632	

**Figure 38 : Structure des transistors de puissance à haute linéarité**

### **A) Caractérisation statique.**

Pour déterminer les caractéristiques statiques des composants, nous disposons d'un système de mesure automatique doté du logiciel ICCAP, et de trois alimentations programmables. Ce système permet un contrôle et une limitation très précise des tensions et des

courants appliqués au transistor, indispensable pour une étude de claquage. De ces mesures, on peut en extraire :

- la caractéristique  $I_d=f(V_{ds}, V_{gs})$
- l'évolution de la transconductance extrinsèque  $G_m$  en fonction de  $V_{gs}$  et  $V_{ds}$
- les caractéristiques de diode en direct et en inverse.

L'ensemble des caractéristiques statiques obtenues pour les composants de cette première campagne est résumé dans le tableau 5.

Epitaxie	$I_{d_{max}} (V_{gs}=0,8V)$	$G_{m_{max}}$	$\eta$	$V_b$	$V_p$
S970630	350 mA/mm	290 mS/mm	3,1	0,41 V	-1,25 V
S970632	265 mA/mm	190 mS/mm	1,5	0,42 V	-1,55 V

**Tableau 5 : Résumé des caractéristiques statiques moyennes obtenues durant la 1<sup>ère</sup> campagne d'épitaxie**

A la vue de ces résultats, une première remarque s'impose sur le courant de drain et la tension de pincement. Les réseaux de caractéristiques I-V montrent un courant de drain maximal de 350 mA/mm pour la structure pHEMT et une tension de pincement de -1,25 V contre 260 mA/mm pour la structure HFET et une tension de pincement de -1,55 V. Ces résultats ne correspondent pas à ceux obtenus par la simulation Schrödinger-Poisson, qui prévoyait une densité de courant de drain de l'ordre de 700 à 800 mA/mm pour une tension de pincement variant de -2,5 à -1,5 V en fonction de l'épitaxie (pHEMT ou HFET). Ces différences obtenues sur le courant de drain et sur la tension de pincement peuvent s'expliquer de différentes manières, par :

- une dégradation des caractéristiques électriques due au process technologique :
  - \* la mauvaise sélectivité de la solution d'attaque chimique utilisée pour la gravure du fossé de grille, pourrait occasionner une chute de la tension de pincement et du courant de drain
  - \* la gravure ionique réactive utilisée lors d'étapes telles que, la réalisation des avant trous, des ponts à air ou des trous métallisés, pourrait engendrer des effets néfastes
- une densité de charges trop faible dans le canal :
  - une mauvaise activation des porteurs qui conduirait à une densité effective de charges inférieure à celle simulée
- la qualité des résultats obtenus en simulation
- la qualité des couches épitaxiées

- l'association de plusieurs des effets précédents!

Nous avons tout d'abord opté pour la première solution mettant en cause la sélectivité de la gravure. Les tableaux 6 et 7 résument les écarts types trouvés sur la densité de courant drain, la valeur maximale de la transconductance, le coefficient d'idéalité, la tension de built in ainsi que la tension de pincement mesurés sur des composants de développements variés (2x30 à 8x75  $\mu\text{m}$ ). Les écarts types mesurés sur des développements relativement faibles de l'épitaxie S970630 sont de 28 mA/mm et 31 mS/mm respectivement pour la densité de courant drain et la valeur maximale de la transconductance. Ceci représente une erreur entre la valeur maximale et la valeur moyenne de 8 et 11%. Cet écart augmente rapidement si le développement devient plus important comme on peut le constater entre un composant de développement 2x30  $\mu\text{m}$  et un composant de développement 6x50  $\mu\text{m}$ .

Epitaxie	Transistor	$I_{dmax}$ ( $V_{gs} = 0,8\text{V}$ )	$G_{mmax}$	$\eta$	$V_b$	$V_p$
S970630	2x30 $\mu\text{m}$	400 mA/mm	333 mS/mm	3,15	0,41 V	-1,3 V
	2x40 $\mu\text{m}$	375 mA/mm	300 mS/mm	3,25	0,41 V	-1,3 V
	2x50 $\mu\text{m}$	360 mA/mm	320 mS/mm	2,71	0,41 V	-1,4 V
	2x50 $\mu\text{m}$	340 mA/mm	248 mS/mm	3,25	0,42 V	-1,1 V
	2x75 $\mu\text{m}$	333 mA/mm	266 mS/mm	3,16	0,38 V	-1,2 V
	6x50 $\mu\text{m}$	316 mA/mm	266 mS/mm	3,10	0,43 V	-1,2 V
Valeur moyenne		354 mA/mm	288 mS/mm	3,10	0,41 V	-1,25 V
Ecart type $\delta$		27 mA/mm	31 mS/mm	0,18	0,02 V	0,10 V

**Tableau 6 : Uniformité des caractéristiques statiques des transistors de puissance de type pHEMT**

De plus la valeur élevée du coefficient d'idéalité (environ 3) et la faible valeur de la hauteur de barrière (environ 0,4 V) sont des signes d'un contact Schottky de mauvaise qualité. Enfin, la tension de pincement est deux fois plus petite que celle prévue par les simulations due à la faible densité du courant de drain.

Ce problème d'uniformité est plus visible sur le tableau 7 où nous avons représenté simplement des composants de grands développements de type HFET. Les écarts types trouvés sur la densité de courant drain et la valeur de la transconductance maximale sont alors de 147 mA/mm et 70 mS/mm respectivement.

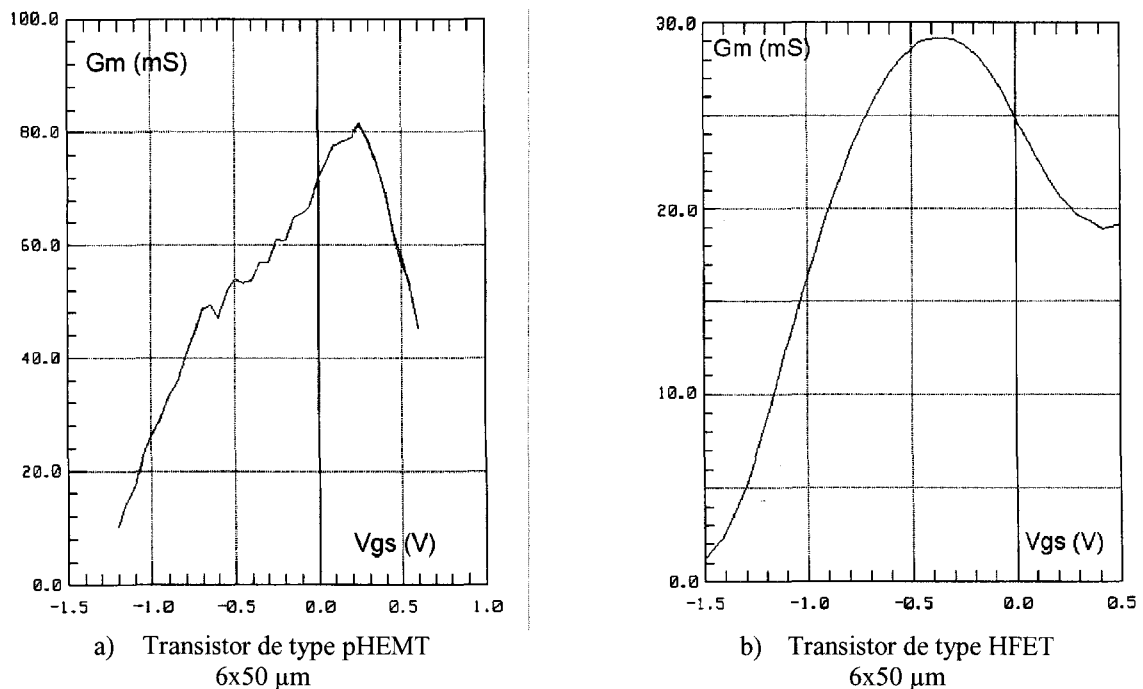
Ce problème d'uniformité pourrait s'expliquer par une gravure non homogène du fossé de grille, donc un manque de sélectivité de la solution d'attaque.

Epitaxie	Transistor	Idmax (Vgs = 0,8 V)	Gmmax	$\eta$	Vb	Vp
S970632	6x50 $\mu\text{m}$	240 mA/mm	100 mS/mm	1,63	0,40 V	-1,6 V
	6x75 $\mu\text{m}$	488 mA/mm	266 mS/mm	1,43	0,44 V	-1,7 V
	6x75 $\mu\text{m}$	126 mA/mm	150 mS/mm	1,52	0,50 V	-1,4 V
	6x75 $\mu\text{m}$	444 mA/mm	266 mS/mm	1,48	0,47 V	-1,7 V
	8x75 $\mu\text{m}$	183 mA/mm	133 mS/mm	1,72	0,45 V	-1,5 V
	8x75 $\mu\text{m}$	116 mA/mm	100 mS/mm	1,70	0,40 V	-1,4 V
Valeur moyenne		266 mA/mm	170 mS/mm	1,58	0,44 V	-1,55 V
Ecart type $\delta$		147 mA/mm	70 mS/mm	0,11	0,04 V	0,13 V

**Tableau 7 : Uniformité des caractéristiques statiques des transistors de puissance de type HFET**

De plus, si l'on regarde la structure des couches, on s'aperçoit que la couche barrière d'AlGaAs contient un graduel décroissant du taux d'aluminium qui a pour conséquence de faire chuter fortement la sélectivité de gravure entre les matériaux GaAs et AlGaAs.<sup>[1]</sup> Ce manque de sélectivité pourrait expliquer les faibles valeurs de tension de claquage obtenues en configuration diode de l'ordre de 2 à 3 V dues à une gravure latérale quasi inexistante du cap layer.

Enfin, les figures 39a et 2b montrent l'évolution de la transconductance  $G_m$  en fonction de  $V_{gs}$ , pour les deux types d'épitaxie. Là aussi, les résultats sont très décevants, car le profil ne présente pas de platitude en fonction de  $V_{gs}$ .



**Figure 39 : Evolution de la transconductance extrinsèque  $G_m$  en fonction de  $V_{gs}$  pour  $V_{ds} = 2\text{V}$**



### **B) Caractérisation hyperfréquence.**

Cette caractérisation est basée sur la mesure des paramètres  $S_{ij}$  faite à l'analyseur de réseau vectoriel, dans la bande de fréquence 0,5-50 GHz. Elle a pour but de déterminer les différents gains du composant ( $H_{21}$ , MSG/MAG) mais aussi d'aboutir à une extraction des éléments du schéma électrique équivalent grâce à une méthode développée par G. Dambrine.<sup>[2]</sup>

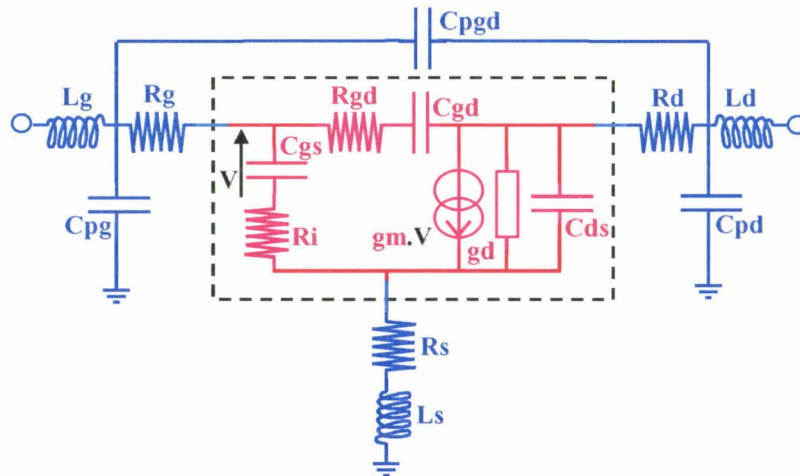


Figure 40 : Schéma électrique équivalent petit signal

Ce schéma électrique est reporté sur la figure 40, où l'on distingue les éléments intrinsèques ( $g_m$ ,  $g_d$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $C_{ds}$ ,  $R_{gd}$  et  $R_i$ ) et extrinsèques ( $R_s$ ,  $R_d$ ,  $R_g$ ,  $L_s$ ,  $C_{pd}$ ,  $C_{pgd}$ ,  $L_d$  et  $L_g$ ). Les éléments extrinsèques sont supposés être indépendants de la polarisation et modélisent les éléments d'accès du composant. Tandis que les éléments intrinsèques, dépendants de la polarisation, modélisent la zone active du composant.

Les meilleures performances petit signal obtenues pour les deux types de structure, à  $V_{ds} = 2$  V et pour la polarisation de grille correspondant au maximum de la transconductance  $g_m$ , sont reportées dans le tableau 8.

Epitaxie	$R_s$ $\Omega$ .mm	$R_d$ $\Omega$ .mm	$R_g$ $\Omega$	$L_s$ pH	$L_d$ pH	$L_g$ pH	$C_{pd}$ fF	$C_{pg}$ fF	$g_m$ mS	$g_d$ mS	$C_{gs}$ fF	$C_{gd}$ fF	$F_c$ GHz	$F_t$ GHz	$F_{mag}$ GHz
PHEMT 2x50 $\mu$ m	0,4	0,4	8	6	80	80	60	70	36	5,6	120	20	47	41	68
HFET 2x50 $\mu$ m	0,6	0,7	8	3	50	50	60	50	28	4	100	20	45	37	60

Tableau 8 : Eléments du schéma équivalent

On remarque tout de suite la valeur élevée des résistances de source  $R_s$  (0,4 et 0,6  $\Omega$ .mm respectivement pour le pHEMT et le HFET). Ceci se répercute sur la montée en fréquence des composants de longueur de grille 0,2  $\mu\text{m}$ , surtout en ce qui concerne la structure HFET. En effet, les fréquences de coupure  $F_c$ ,  $F_t$  et  $F_{\text{mag}}$ , de l'ordre de 40 GHz pour les deux premières et 60 GHz pour la dernière, sont insuffisantes pour des applications à 20 GHz. Les profils de transconductance sont identiques à ceux observés en caractérisation statique et ne correspondent pas au profil quasi plat souhaité. Cependant ces résultats sont à prendre avec beaucoup de précaution vu le problème d'uniformité des caractéristiques mentionné précédemment.

## **2) 2<sup>ème</sup> campagne de réalisation de composants.**

Cette deuxième campagne concerne les épitaxies S980324 de type pHEMT et S980322 et 23 de type HFET (figure 41). Afin de procéder méthodiquement et de traiter un seul problème à la fois, nous avons enlevé le graduel d'aluminium dans la couche barrière d'AlGaAs, le reste étant égal par ailleurs.

GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm	GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm
GaAs	0,4 nm	GaAs	0,4 nm
$\delta\text{Si } 3 \times 10^{12} \text{cm}^{-2}$		$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm	GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs	12 nm	GaAs	1 nm
AlAs/GaAs 6x	5 nm	$\text{In}_{0,22}\text{Ga}_{0,78}\text{As } 2 \times 10^{18} \text{cm}^{-3}$	12 nm
$\delta\text{Si } 3 \times 10^{12} \text{cm}^{-2}$		GaAs	2 nm
GaAs	0,4 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	2 nm	GaAs	300 nm
GaAs	1 nm	Marqueur AlAs	
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As}$	12 nm	GaAs substrat	
GaAs	1,5 nm		
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm		
GaAs	300 nm		
Marqueur AlAs			
GaAs substrat			
structure d'un transistor pHEMT S980324		structure d'un transistor HFET S980322 et 23	

**Figure 41 : Structure des transistors de puissance à haute linéarité de la 2<sup>ème</sup> campagne**

A notre grande stupéfaction, nous n'avons observé qu'une légère amélioration de l'uniformité des caractéristiques mais la tendance fut la même que lors de la première campagne,

à savoir : une densité de courant de drain et une tension de claquage trop faibles. De ce fait, nous ne présenterons aucun résultat des caractéristiques statiques et hyperfréquences que nous avons effectuées.

Comme on l'a vu dans le chapitre 1, nous avons alors décidé d'insérer une couche d'AlAs entre le cap layer et la couche barrière afin de nous affranchir de ce problème de sélectivité de gravure. Cependant, ce manque de sélectivité n'explique pas les grandes différences observées entre la densité maximale de courant de drain et le profil de la transconductance simulés et mesurés. Nous avons également envisagé une mauvaise activation des porteurs dans la structure.

### **3) 3<sup>ème</sup> campagne de réalisation de composants.**

GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm	GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm
AlAs	0,5 nm	AlAs	0,5 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm
GaAs	0,4 nm	GaAs	0,4 nm
$\delta\text{Si } 3,5 \times 10^{12} \text{cm}^{-2}$		$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm	GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs	12 nm	GaAs	12 nm
AlAs/GaAs 6x	5 nm	AlAs/GaAs 6x	5 nm
$\delta\text{Si } 3,5 \times 10^{12} \text{cm}^{-2}$		$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm	GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	2 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	2 nm
GaAs	1 nm	GaAs	1 nm
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As}$	12 nm	$\text{In}_{0,22}\text{Ga}_{0,78}\text{As}$	12 nm
GaAs	1,5 nm	GaAs	1,5 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm	$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
GaAs	300 nm	GaAs	300 nm
Marqueur AlAs		Marqueur AlAs	
GaAs substrat		GaAs substrat	
structure d'un transistor pHEMT S980706		structure d'un transistor pHEMT S980707	

**Figure 42 : Structure des transistors de puissance à haute linéarité de la 3<sup>ème</sup> campagne**

Compte tenu des éléments précédents et en collaboration avec Y. Cordier, nous avons décidé d'augmenter le dopage des plans et d'insérer un stoppeur d'AlAs lors de la 3<sup>ème</sup> campagne de réalisation de composants. Il nous a paru rationnel de concentrer nos efforts sur l'étude des structures pHEMT double puits et d'en tirer parti pour apporter des modifications aux structures

HFET après avoir résolu tous les problèmes. La 3<sup>ème</sup> campagne ne concerne que les épitaxies S980706 et 07 relatives l'une et l'autre à des structures de type pHEMT (figure 42).

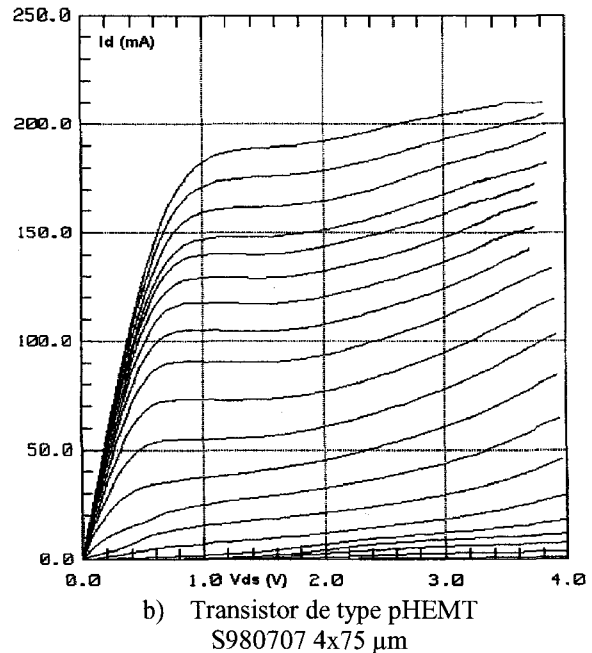
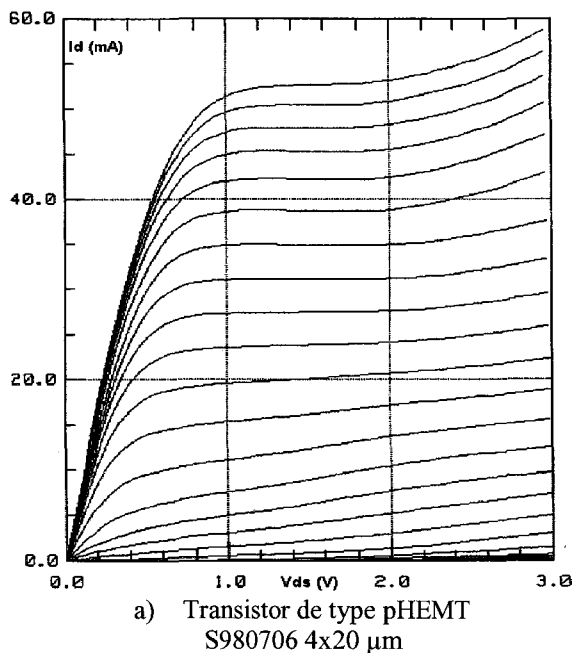
**A) Caractérisation statique.**

Le tableau 9 résume l'ensemble des caractéristiques statiques obtenues sur les deux épitaxies après modification des structures de couche.

Epitaxie	$I_{d_{max}}$ (mA/mm) (multidoigts) $V_{gs} = 0,8$ V	$I_{d_{max}}$ (mA/mm) (monodoigt) $V_{gs} = 0,8$ V	$G_{m_{max}}$ (mS/mm)	$V_p$ (V)	$\eta$	$V_b$ (V)	$V_{br_{diode}}$ (V) $L_{gd}=0,55\mu m$	$V_{br_{transistor}}$ (V)
S980706	650	700	200	-3	1,5	0,6	10 – 12	6 – 7
S980707	650	800	250	-2,5	1,8	0,5	10 – 12	6 – 7

**Tableau 9 : Valeurs typiques des caractéristiques statiques des transistors de la 3<sup>ème</sup> campagne**

Nous avons ainsi obtenu une densité de courant de drain comprise entre 600 et 700 mA/mm pour  $V_{gs} = 0,8$  V accompagnée d'une évolution assez régulière avec celle de  $V_{gs}$ , traduisant une bonne linéarité de commande (figure 43). Cette densité de courant de drain engendre une tension de pincement proche de celle souhaitée.



**Figure 43 : Caractéristique I-V statique des transistors de la 3<sup>ème</sup> campagne ( $V_{gs}$  de 0,8 à -3 V par pas de 0,2V)**

La tension de claquage en configuration diode est de -10 à -12 V après stress électrique ce qui permet d'avoir une tension de claquage drain source, en configuration transistor à canal pincé, comprise entre 6 et 7 V. Ces résultats sont très voisins des objectifs que l'on s'était fixés. On remarque aussi une diminution du coefficient d'idéalité et une augmentation de la hauteur de barrière, signes d'un contact Schottky de meilleure qualité.

La figure 44 présente les histogrammes de la densité de courant de drain et de la tension de pincement pour l'épitaxie S980707, déterminés à partir de mesures effectuées sur plus de 100 composants de développements très variés (2x20 à 8x75  $\mu\text{m}$ ). La faible valeur des écarts types, 41 mA/mm pour la densité de courant de drain soit 6 % de la valeur moyenne et 180 mV pour la tension de pincement soit 7 %, témoigne de l'amélioration de l'uniformité et de la reproductibilité des performances électriques quel que soit le développement de grille.

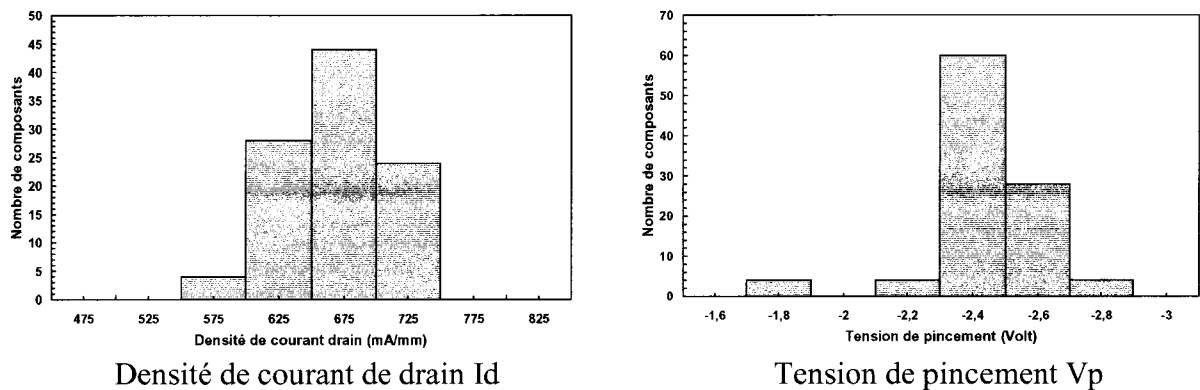


Figure 44 : Histogrammes de la densité de courant de drain et de la tension de pincement (S980707)

Ceci est le résultat de l'utilisation d'une couche d'arrêt en AlAs associée à la réalisation du fossé de grille par gravure sélective. Cette amélioration a aussi été observée sur les composants de l'épitaxie S980706.

Cependant, une différence sur la densité de courant de drain a été observée entre les composants multidoigts et monodoigts. Cette dégradation des performances électriques intervient après la réalisation des ponts à air. Or les transistors monodoigts sont entièrement protégés par une résine durant cette phase. Comme on l'a vu dans le chapitre 1, on utilise un plasma d'argon afin de nettoyer la surface de l'échantillon avant de déposer le nickel pour permettre la réalisation des ponts à air par électrolyse d'or. Nous avons mis en évidence l'effet néfaste de ce nettoyage, en effectuant un plasma moins énergétique sur les transistors de la

couche S980706. Il en a résulté une chute de courant moins importante que sur la couche S980707 utilisant le nettoyage de surface avec les conditions initiales.

La valeur maximale de la transconductance extrinsèque est de 200 à 250 mS/mm en fonction de l'épitaxie. Pour l'échantillon S980706, l'évolution du  $G_m$  se rapproche d'un comportement linéaire. On peut observer la contribution du puits supérieur en GaAs et inférieur de celui en InGaAs, pour  $V_{gs} = -0,4$  V et  $-1,4$  V, respectivement (figure 45a). On remarque aussi que la contribution du puits supérieur, pour  $V_{gs} = -0,2$  V, est moins marquée sur l'échantillon S980707 (figure 45b). Cette différence a été imputée aux altérations causées lors de la réalisation des ponts à air par un plasma plus énergétique que sur l'épitaxie S980706 comme on l'a vu précédemment.

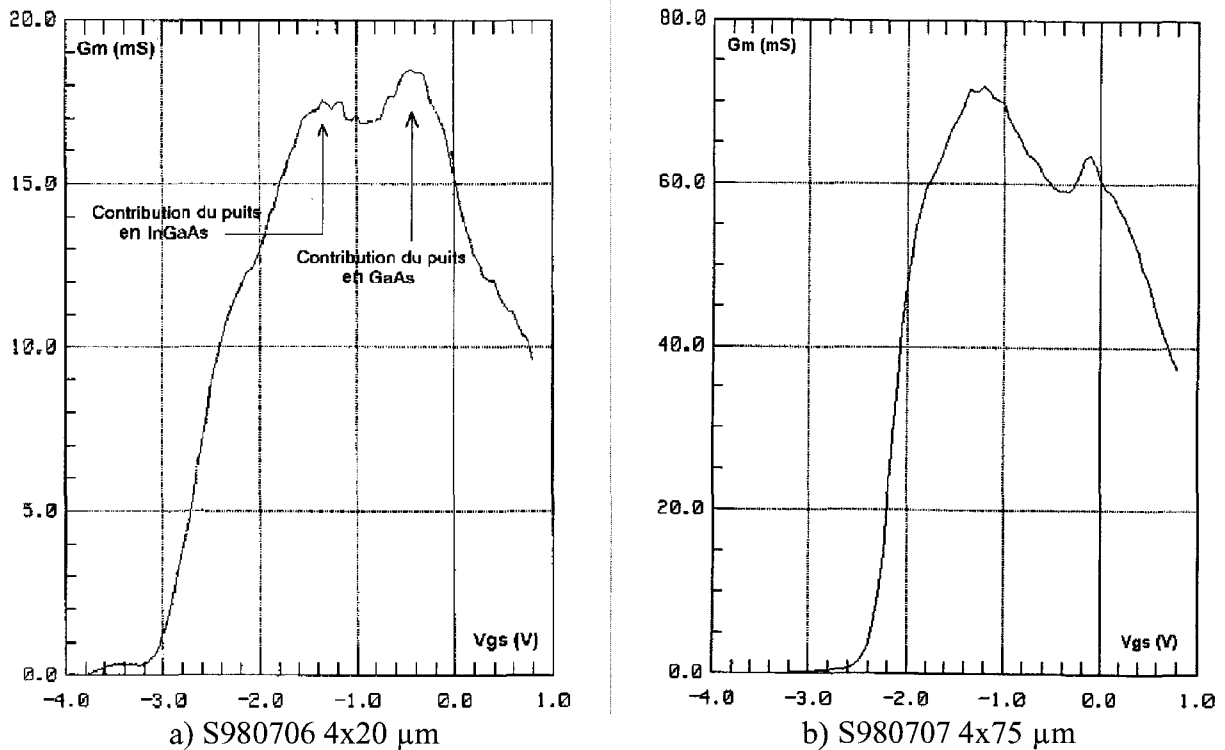


Figure 45 : Evolution de la transconductance extrinsèque en fonction de  $V_{gs}$  pour  $V_{ds} = 3V$

Enfin, comme nous l'avons vu dans le chapitre 1, la tension de claquage en configuration diode évolue entre  $-5$  V et  $-12$  V (voir plus) dû à un phénomène d'oxydation de la couche barrière dans des conditions de fonctionnement avec courant de grille.

### **B) Caractérisation hyperfréquence.**

Après avoir observé les effets bénéfiques des modifications apportées à la structure sur les performances statiques, nous allons maintenant observer leurs influences sur les performances hyperfréquences.

Le tableau 10 résume les éléments du schéma équivalent à  $V_{ds} = 2$  V et pour la polarisation de grille permettant d'obtenir le maximum de  $g_m$ .

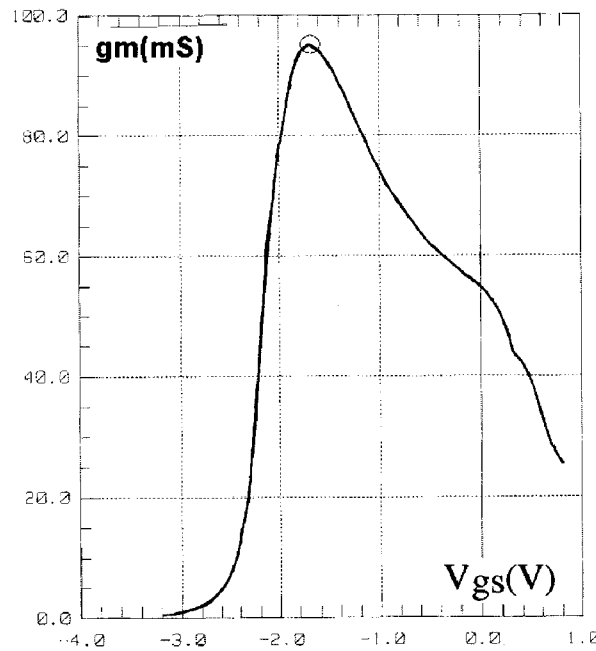
Epitaxie	$R_s$	$R_d$	$R_g$	$L_s$	$L_d$	$L_g$	$C_{pg}$	$C_{pd}$	$g_m$	$g_d$	$C_{gs}$	$C_{gd}$	$F_c$	$F_t$	$F_{mag}$
S980706 8x75 $\mu m$	0,3 $\Omega.mm$	0,4 $\Omega.mm$	1,5 $\Omega$	4 pH	25 pH	15 pH	10 fF	34 fF	170 mS	18 mS	540 fF	60 fF	50 GHz	45 GHz	60 GHz
S980707 8x75 $\mu m$	0,3 $\Omega.mm$	0,4 $\Omega.mm$	1,5 $\Omega$	5 pH	27 pH	20 pH	10 fF	80 fF	190 mS	20 mS	520 fF	40 fF	60 GHz	50 GHz	60 GHz

**Tableau 10 : Valeurs typiques des éléments du schéma équivalent petit signal**

Qu'ils proviennent de l'épitaxie S980706 ou S980707, les évolutions des éléments du schéma équivalent sont quasi identiques en fonction de  $V_{gs}$ . De plus ces composants présentent une remarquable homogénéité des caractéristiques hyperfréquences ( $F_c$ ,  $F_t$  et  $F_{mag}$ ) quel que soit le développement de grille pour une épitaxie donnée. Ces performances correspondent aux meilleurs résultats obtenus sur les composants de la première campagne. Ceci corrobore la constatation déjà faite à propos des caractéristiques statiques et démontre l'amélioration du process technologique par l'insertion d'un stoppeur en AlAs.

Le MAG est voisin de 10 dB à 30 GHz pour  $V_{ds} = 2$  ou 3 V. Ces résultats sont à peu près indépendants du nombre de doigts de grille et sont valables jusqu'à un développement de 8x75  $\mu m$ , c'est à dire 600  $\mu m$ . Cette constatation est très importante pour un transistor de puissance car celui-ci est amené à avoir un grand développement de grille.

La transconductance intrinsèque  $g_m$  est de l'ordre de 300 mS/mm à son maximum en fonction de  $V_{gs}$  (figure 46). Curieusement, son profil ne présente pas la même allure qu'en statique et indique une prédominance du puits profond sur le puits supérieur.<sup>[3]</sup> L'explication peut provenir des effets néfastes du plasma d'argon sur le puits supérieur, malgré sa faible influence en statique.



**Figure 46 : Evolution de la transconductance intrinsèque en fonction de Vgs à Vds = 3 V**  
**S980707 4x75 μm**

La capacité Cgs peut être décomposée en deux termes (figure 47a):<sup>[4]</sup>

$$C_{gs} = C_s + C_t \quad \text{avec} \quad C_s = \frac{dN_s}{dV_{gs}} \quad \text{et} \quad C_t = \frac{dN_t}{dV_{gs}}$$

Ns : densité surfacique de charges dans les puits

Nt : densité surfacique de charges dans la couche barrière d'AlGaAs

Lorsque la tension Vgs croît du pincement vers les Vgs positifs, l'évolution de la capacité Cgs est alors proche de Cs et suit l'évolution de la transconductance gm. On peut le constater sur la figure 47b où le premier maximum de Cgs intervient pour la même tension Vgs que le premier maximum de gm. Mais lorsque Vgs est suffisamment grand devant la tension de pincement, l'évolution de la capacité Cgs est proche de Ct, ce qui provoque une remontée de la capacité Cgs à Vgs = -0,6 V.<sup>[4]</sup>

La capacité grille source intrinsèque Cgs est de l'ordre de 0,85 pF/mm pour la valeur de Vgs correspondant au maximum de gm, ce qui entraîne une valeur de 60 GHz pour la fréquence de coupure Fc. L'évolution de Cgs et celle du gm fait que le profil de la fréquence de coupure Fc présente une décroissance rapide en fonction de Vgs lorsque celle-ci est supérieure à - 2 V (figure 48).



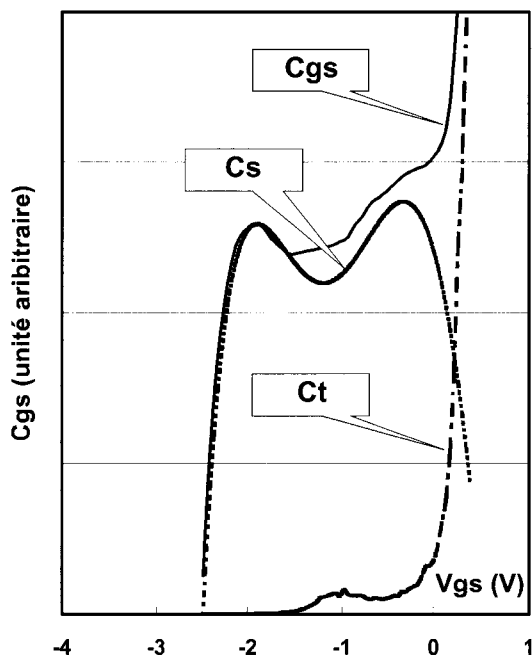


Figure 47a : Evolution de la capacité  $C_{gs}$  en fonction de  $V_{gs}$  (simulation)

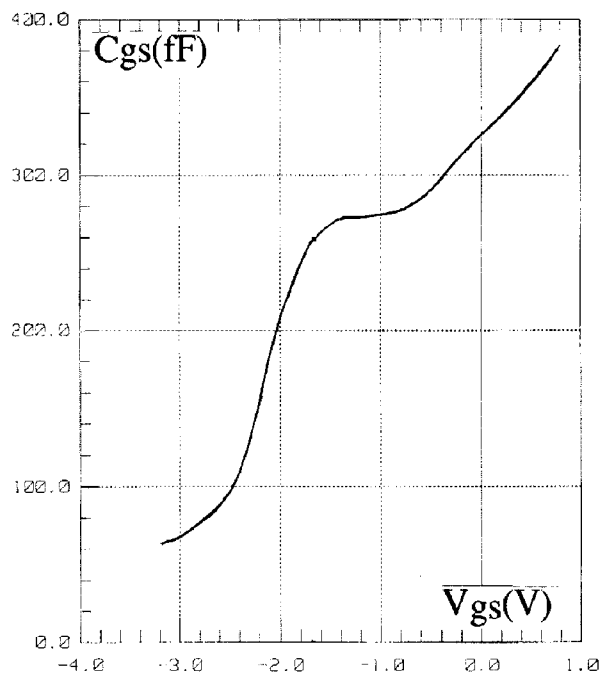


Figure 47b : Evolution de la capacité  $C_{gs}$  en fonction de  $V_{gs}$  à  $V_{ds} = 3$  V

S980707 4x75  $\mu\text{m}$

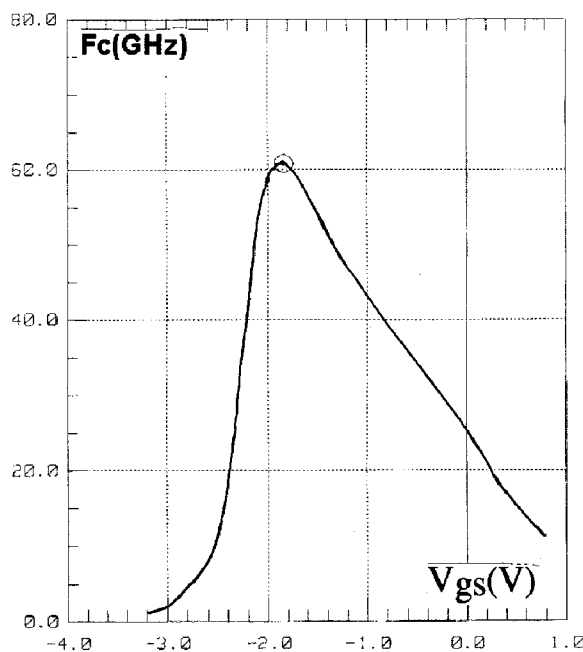


Figure 48 : Evolution de la fréquence de coupure  $F_c$  en fonction de  $V_{gs}$  à  $V_{ds} = 3$  V (S980707)

Les valeurs des résistances d'accès de grille  $R_g$ , de drain  $R_d$  et de source  $R_s$  présentent une bonne homogénéité. Ainsi, typiquement, pour un composant de 8 doigts de largeur unitaire de  $75 \mu\text{m}$ , on a  $R_g=1,5 \Omega$ ,  $R_d=0,65 \Omega$  et  $R_s=0,5 \Omega$ .

En conclusion, les performances hyperfréquences des composants de cette troisième campagne sont tout à fait honorables à polarisation  $V_{gs}$  proche du pincement, avec environ 10 dB de MAG à 30 GHz, mais décroissent trop rapidement lorsque  $V_{gs}$  croît. Ceci empêche une réponse dynamique uniforme sur toute l'étendue de l'excursion de  $V_{gs}$ , et par la même, limite ainsi la qualité de linéarité dynamique recherchée. Ceci vient du fait que le profil de transconductance  $g_m$  présente en dynamique une contribution très marquée pour le puits inférieur et quasi inexistante pour le puits supérieur. Ce résultat a été imputé aux effets néfastes du plasma d'argon sur le puits supérieur, malgré sa faible influence en statique.

#### **4) 4<sup>ème</sup> campagne de réalisation de composants.**

Durant cette dernière campagne, le nettoyage par plasma d'argon utilisé naguère lors de la réalisation des ponts à air, a été supprimé afin de préserver les caractéristiques électriques sur les composants multidoigts. Il a en effet été montré que ce nettoyage était la cause d'une dégradation des performances électriques des composants avec ponts à air. Une meilleure coordination des différentes étapes de réalisation des ponts à air permet de s'affranchir maintenant de ce nettoyage.

Par ailleurs, tous les composants ont été passivés après la réalisation des ponts à air à l'aide d'un dépôt de  $500 \text{ \AA}$  de  $\text{Si}_3\text{N}_4$  effectué à  $300 \text{ }^\circ\text{C}$ , pour éviter ainsi un vieillissement prématuré du composant, notamment dans des conditions de fonctionnement avec courant de grille.

Compte tenu des différentes épitaxies et des différents process réalisés dans les phases précédentes, cette nouvelle campagne s'appuie sur cinq nouvelles épitaxies (figure 49). Nous avons repris les deux épitaxies étudiées lors de la 3<sup>ème</sup> campagne (S981207 et S981208) ainsi qu'une variante de la S981208 contenant 25 % d'aluminium dans la couche barrière d'AlGaAs (S981211) afin d'améliorer le contact Schottky. En ce qui concerne la structure HFET (S981210), seule l'insertion du stoppeur d'AlAs entre le cap layer et la couche barrière a été effectuée, le dopage restant le même que lors des phases antérieures.

GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm
<b>AlAs</b>	<b>0,5 nm</b>
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm
GaAs	0,4 nm
$\delta\text{Si } 3,5 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs	12 nm
AlAs/GaAs 6x	5 nm
$\delta\text{Si } 3,5 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	2 nm
GaAs	1 nm
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As}$	12 nm
GaAs	1,5 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
GaAs	300 nm
Marqueur AlAs	
GaAs substrat	

structure d'un transistor pHEMT S981207 (identique à S980706)

GaAs $5 \times 10^{18} \text{cm}^{-3}$	60 nm
<b>AlAs</b>	<b>0,5 nm</b>
GaAs $5 \times 10^{18} \text{cm}^{-3}$	10 nm
<b>AlAs</b>	<b>0,5 nm</b>
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm
GaAs	0,4 nm
$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs	12 nm
AlAs/GaAs 6x	5 nm
$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	2 nm
GaAs	1 nm
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As}$	12 nm
GaAs	1,5 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
GaAs	300 nm
Marqueur AlAs	
GaAs substrat	

structure d'un transistor pHEMT S981209

GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm
<b>AlAs</b>	<b>0,5 nm</b>
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm
GaAs	0,4 nm
$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs	12 nm
AlAs/GaAs 6x	5 nm
$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	2 nm
GaAs	1 nm
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As}$	12 nm
GaAs	1,5 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
GaAs	300 nm
Marqueur AlAs	
GaAs substrat	

structure d'un transistor pHEMT S981208 (identique à S980707)

GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm
<b>AlAs</b>	<b>0,5 nm</b>
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	20 nm
GaAs	0,4 nm
$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs	1 nm
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As } 2 \times 10^{18} \text{cm}^{-3}$	12 nm
GaAs	2 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
GaAs	300 nm
Marqueur AlAs	
GaAs substrat	

structure d'un transistor HFET S981210

GaAs $5 \times 10^{18} \text{cm}^{-3}$	70 nm
AlAs	0,5 nm
$\text{Al}_{0,25}\text{Ga}_{0,75}\text{As}$	20 nm
GaAs	0,4 nm
$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	3 nm
GaAs	12 nm
AlAs/GaAs 6x	5 nm
$\delta\text{Si } 4 \times 10^{12} \text{cm}^{-2}$	
GaAs	0,4 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	2 nm
GaAs	1 nm
$\text{In}_{0,22}\text{Ga}_{0,78}\text{As}$	12 nm
GaAs	1,5 nm
$\text{Al}_{0,22}\text{Ga}_{0,78}\text{As}$	150 nm
GaAs	300 nm
Marqueur AlAs	
GaAs substrat	

structure d'un transistor pHEMT  
S981211

**Figure 49 : Structure des transistors de puissance à haute linéarité de la 4<sup>ème</sup> campagne**

Enfin, une couche supplémentaire a été réalisée (S981209), avec l'insertion d'une barrière d'AlAs dans le cap layer, pour permettre une étude éventuelle d'un double recess afin d'améliorer la tenue en tension des composants.

Actuellement, en ce qui concerne la couche S981209 réservée à l'étude du double recess, nous ne disposons pas encore de résultats. Quant à la couche S981208 réservée à la réalisation de transistors avec trous métallisés, je présenterai les premiers résultats obtenus en fin de ce chapitre.

### **A) Caractérisation statique.**

La figure 50 présente les trois histogrammes de la densité de courant de drain, de la tension de pincement mesurée à  $I_{dss}/100$  ainsi que la valeur maximale de la transconductance extrinsèque pour l'épitaxie S981207. Plus de 100 composants de développements très variés ( de  $2 \times 20 \mu\text{m}$  à  $8 \times 75 \mu\text{m}$ ) ont été mesurés. Les écarts types mesurés (39 mA/mm pour le courant de drain, 32 mV pour la tension de pincement et 23 mS/mm pour la transconductance), dépassent de loin les résultats obtenus lors des précédentes campagnes. Ils sont très faibles par rapport à la

valeur centrale (respectivement 700 mA/mm, -1,7 V et 325 mS/mm) et soutiennent parfaitement la comparaison avec les meilleurs résultats trouvés dans la littérature.<sup>[5-9]</sup>

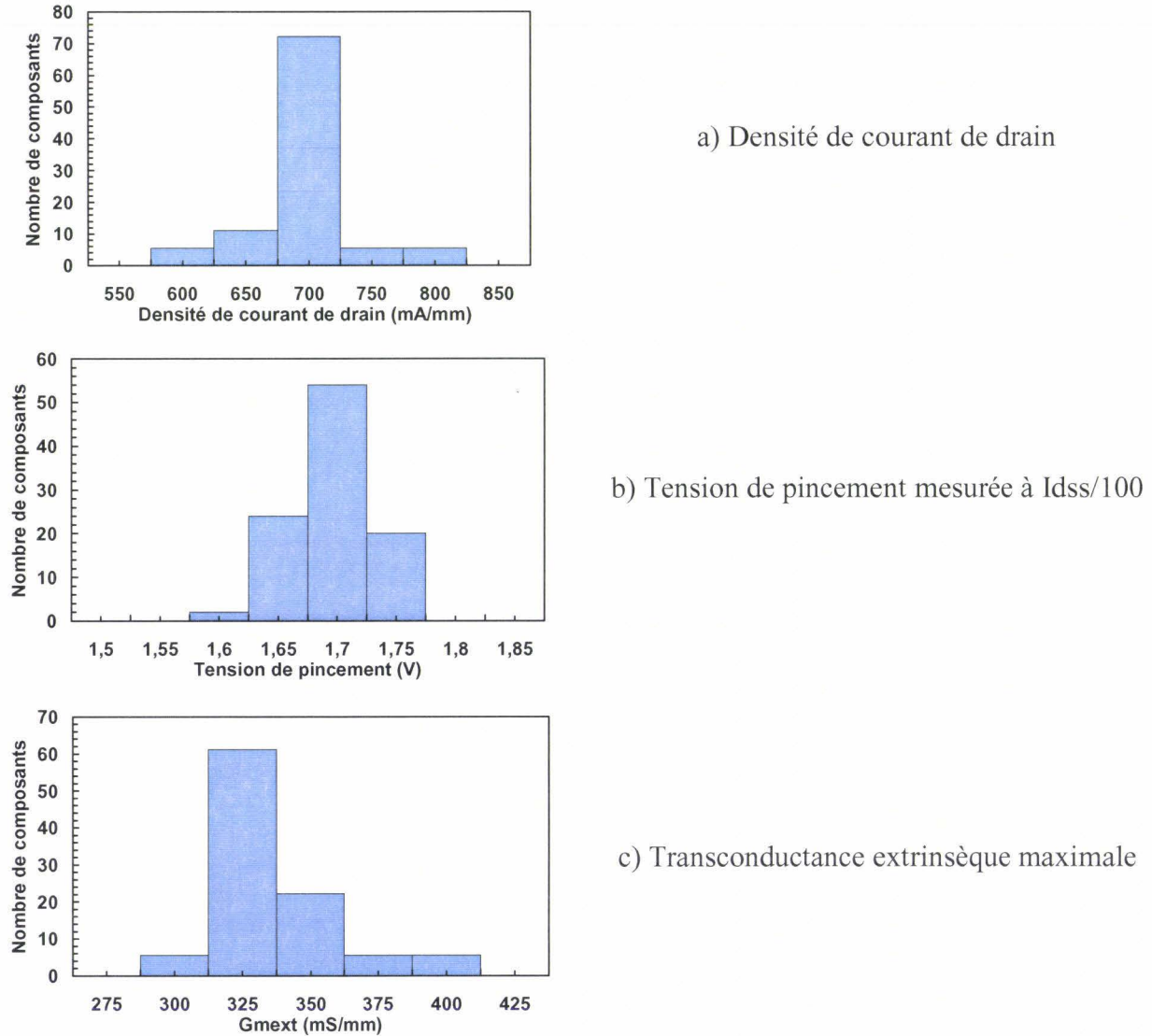


Figure 50 : Histogrammes de la densité de courant de drain, de la tension de pincement et de la valeur maximale de la transconductance extrinsèque

Ces histogrammes traduisent la maîtrise technologique acquise lors des différentes campagnes, l'homogénéité des composants sur la même plaquette et aussi l'effet bénéfique d'avoir supprimé le nettoyage par plasma d'argon utilisé pour la réalisation des ponts à air durant les trois premières campagnes.

Sur les figures 51a, b et c sont représentés les réseaux de caractéristique  $I_d = f(V_{ds}, V_{gs})$  pour les épitaxies S981207, 10 et 11.

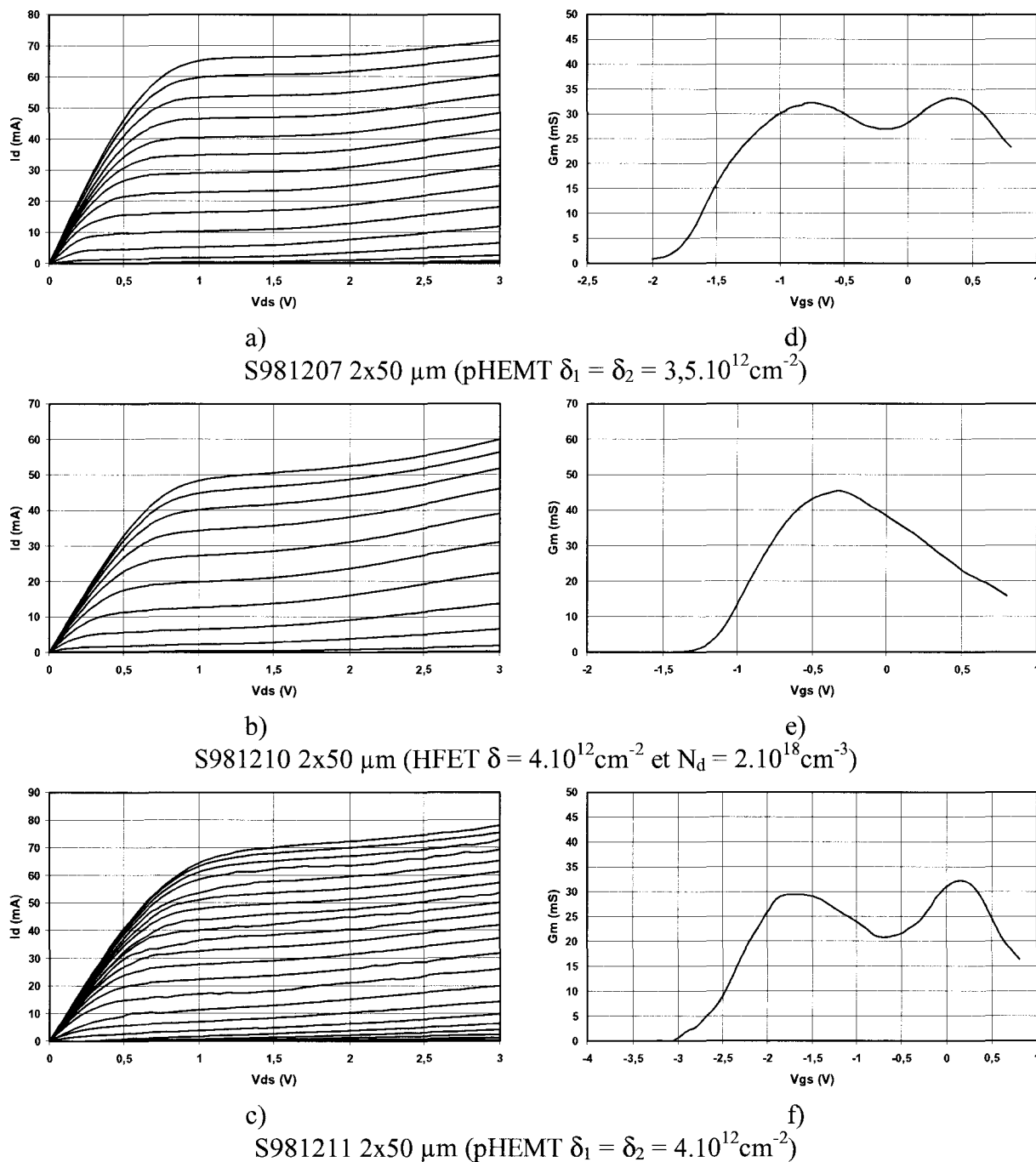


Figure 51 : Caractéristique I-V,  $V_{gs} \text{ max} = 0,8 \text{ V}$  par pas de 200 mV

Transconductance  $G_m$  en fonction de  $V_{gs}$  à  $V_{ds} = 3 \text{ V}$

Le pas de  $V_{gs}$  est de 200 mV pour une valeur maximale de 0,8 V à canal ouvert. La densité de courant est de 700 à 800 mA/mm pour les structures pHEMT contre 550 mA/mm pour la structure HFET.

Concernant la structure S981207, la figure 51d représente l'évolution de la transconductance  $G_m$  en fonction de  $V_{gs}$  pour une tension  $V_{ds} = 3$  V. On remarque nettement la contribution du puits supérieur à  $V_{gs} = 0,3$  V et du puits inférieur à  $V_{gs} = -0,8$  V qui permet d'obtenir le profil quasi plat, tant recherché, de la transconductance  $G_m$  sur une large plage de  $V_{gs}$  (2 V). La valeur maximale de cette transconductance atteint 330 mS/mm et celle-ci est supérieure à  $G_{m_{max}}/2$  sur plus de 80 % de la plage de  $V_{gs}$ .

Les profils de transconductance des deux autres séries sont donnés sur les figures 51e et 14f respectivement pour les séries S981210 et 11. Le pHEMT donne aussi un profil quasi plat de la transconductance en fonction de  $V_{gs}$  (> 80 % de la plage de  $V_{gs}$ ) avec une valeur maximale de 330 mS/mm. La valeur plus élevée de la tension de pincement, due à une densité de porteurs plus importante, entraîne un décalage des deux maxima du  $G_m$  en fonction de  $V_{gs}$ . Par contre, le HFET ne présente pas de profil quasi plat ( $G_m > G_{m_{max}}/2$  sur 60 % de la plage de  $V_{gs}$ ) mais une valeur maximale de transconductance plus élevée (430 mS/mm) comme le prévoyait les simulations.

Le tableau 11 compare les résultats obtenus en mesure à ceux prévus par les simulation Schrödinger-Poisson. Les performances des composants de l'épithaxie S981211 sont conformes à ce que l'on attendait, à savoir une densité de courant de drain de 800 mA/mm et une valeur maximale de  $G_m$  de l'ordre de 350 mS/mm. La tension de pincement est légèrement plus élevée, mais cette différence peut trouver son explication dans la détermination de celle-ci. En effet, le logiciel de simulation 1D ne prend pas en compte l'influence de  $V_{ds}$  sur  $V_p$  et on remarque que pour  $V_{ds} = 1$  V, la tension de pincement est proche de - 2,5 V.

	$I_{d_{max}}$ $V_{gs} = - 0,8$ V (mA/mm)	$G_{m_{max}}$ (mS/mm)	$V_p$ (V)	1 <sup>er</sup> maximum de gm	2 <sup>ème</sup> maximum de gm
HEMT (S) $\delta_1 = \delta_2 = 3.10^{12} \text{cm}^{-2}$	800	350	-2,5	$V_{gs} = 0$ V	$V_{gs} = -1,9$ V
S981207 (M) $\delta_1 = \delta_2 = 3,5.10^{12} \text{cm}^{-2}$	700	330	-2 V	$V_{gs} = 0,3$ V	$V_{gs} = -0,7$ V
S981211 (M) $\delta_1 = \delta_2 = 4.10^{12} \text{cm}^{-2}$	800	330	-3 V	$V_{gs} = 0,25$ V	$V_{gs} = -1,8$ V
HFET (S)	700	425	-2 V	$-1,4 < V_{gs} < -0,3$ V	
S981210 (M)	550	430	-1,5 V	$V_{gs} = -0,3$ V	

**Tableau 11 : Comparaison des résultats mesurés (M) et simulés (S)**

On observe également un décalage minime des deux maxima de la transconductance en fonction de  $V_{gs}$  qui peut être expliqué par la valeur de la hauteur de barrière prise en simulation (0,5 V contre 0,6 V en mesure). De plus, il ne faut pas oublier que la barrière d'AlGaAs contient 25 % d'aluminium contre 22 % en simulation et que le logiciel utilisé ne prend pas tous les phénomènes de transport en considération (effets de pièges, claquage etc...).

En ce qui concerne les épitaxies S981207 et 10, les écarts entre les mesures et les simulations sont plus importants et sont attribués à un manque de porteurs dans les structures, car rappelons que le HFET (S981210) n'a subi aucune modification de son dopage contrairement aux deux autres.

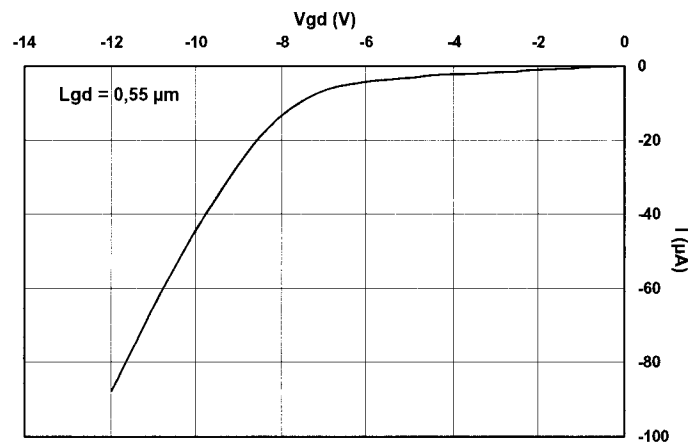


Figure 52 : Tension de claquage en configuration diode (S981207,10 et 11)

La tension de claquage en configuration diode est très difficile à déterminer vus les problèmes de décalage observés dans le chapitre 1, mais elle est supérieure à  $-10$  V pour les trois séries (figure 52).

Si les tensions de claquage sont satisfaisantes dans les trois cas, la densité de courant de drain  $I_d$  fait légèrement défaut dans la structure de type HFET. Cependant, cet écart de courant de drain entre les structures HFET et pHEMT est tout à fait explicable au vu des modifications apportées à ces dernières en terme de dopage.



## **B) Caractérisation hyperfréquence petit signal.**

Vu les bons résultats obtenus lors de la caractérisation statique de ces derniers composants, il nous a paru important d'apporter une attention particulière à la détermination des éléments d'accès, notamment les capacités. Il s'avère, par expérience, que seule une extraction précise de ces éléments aboutira à des valeurs d'éléments intrinsèques physiquement acceptables. Après cette étude, nous présenterons l'évolution des différentes grandeurs électriques en fonction des paramètres tels que  $V_{gs}$ ,  $V_{ds}$  ou le développement total de grille.

### **(1) Détermination des éléments extrinsèques.**

#### **(a) Les capacités plots $C_{pg}$ et $C_{pd}$ .**

Plus on désire travailler à des fréquences élevées, plus les dimensions des composants diminuent, essentiellement les dimensions concernant la zone active, ce qui entraîne une forte diminution de la valeur des éléments intrinsèques. De ce fait, il faut une grande précision pour déterminer les éléments extrinsèques, sinon cela se répercute de façon non négligeable sur les valeurs intrinsèques et affecte la validité du schéma électrique équivalent.<sup>[10,11]</sup> L'expérience a montré que le fait de déterminer précisément ces capacités plots permettait d'améliorer la précision sur les capacités  $C_{gs}$ ,  $C_{gd}$  et  $C_{ds}$ , et rendre plus efficace une éventuelle conception de circuit intégré.

Pour ce faire, nous avons utilisé toutes les possibilités offertes par le masque MAGIC, dessiné par S. Piotrowicz<sup>[12]</sup>, puisque chaque réticule propose 25 structures différentes de transistors, des structures sans grille ni drain ainsi que des structures sans zone active permettant de déduire avec précision les valeurs des éléments extrinsèques. Nous avons déterminé, par trois méthodes différentes, les valeurs des capacités plot  $C_{pg}$  et  $C_{pd}$ , et pour chacune des méthodes, nous avons obtenu un résultat identique.

Dans une première méthode, ces capacités ont été déterminées en utilisant la méthode mise au point par G. Dambrine<sup>[13]</sup>. Le composant est polarisé à  $V_{ds} = 0$  V et  $V_{gs}$  inférieure à la tension de pincement (FET froid). Dans ces conditions il est possible de remplacer le transistor par trois capacités en  $\Pi$  (figure 53). La mesure des paramètres  $S_{ij}$  permet alors de retrouver la valeur de ces trois capacités  $C_{11}$ ,  $C_{12}$  et  $C_{22}$  d'après les équations suivantes :

$$C_{11}(w) = C_{pg} + C_{gs_{ext}}(w) + C_{gs_{int}}(w) + C_{gbr}(w)$$

$$C_{12}(w) = C_{21}(w) = C_{gd_{ext}}(w) + C_{gd_{int}}(w)$$

$$C_{22}(w) = C_{pd} + C_{ds_{ext}}(w) + C_{ds_{int}}(w) + C_{dbr}(w)$$

avec  $w$  représentant le développement du composant.

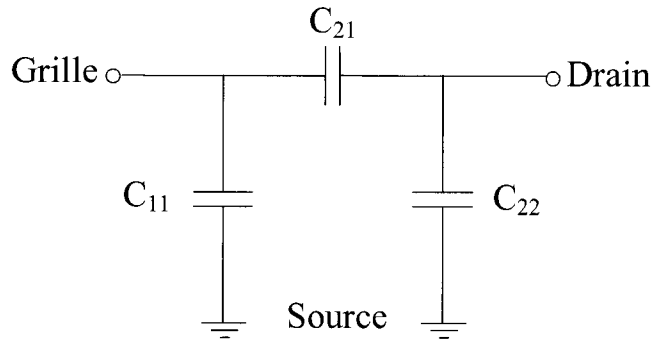


Figure 53 : Configuration en  $\Pi$  du composant

Les mesures faites sur plus de dix composants sont reportées sur la figure 54. Les évolutions de ces trois capacités en fonction du développement sont quasiment linéaires. Lorsque l'on extrapole ces droites à l'origine, il est possible de déterminer les termes constants quel que soit le développement. La capacité  $C_{pg}$  est obtenue à l'origine de la courbe  $C_{11}$  et la capacité  $C_{pd}$  à l'origine de la courbe  $C_{22}$ <sup>[10,11]</sup>. Les valeurs obtenues pour  $C_{pg}$  et  $C_{pd}$ , liées aux zones d'accès de la grille et du drain, sont identiques et d'environ 40 fF. Nous constatons également que la droite  $C_{12}$  (ou  $C_{21}$ ) passe parfaitement à l'origine, ce qui est normal puisque cette quantité ne contient aucun élément indépendant du développement de grille.

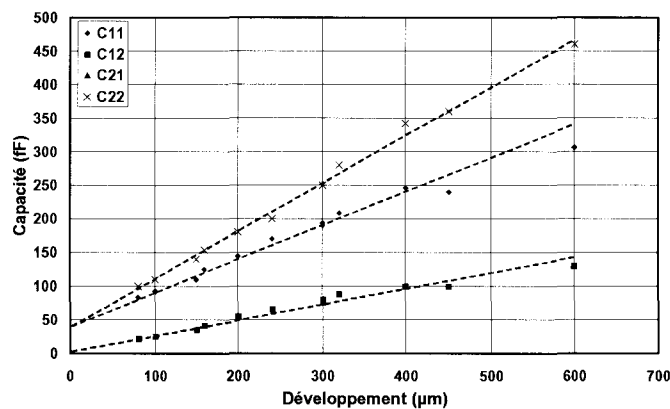


Figure 54 : Extraction des capacités plot  $C_{pg}$  et  $C_{pd}$  (1<sup>ère</sup> méthode)

Dans une seconde méthode, nous avons utilisé des transistors sans zone active, permettant de se ramener dans des conditions de FET froid et d'utiliser le principe de la première

méthode. Comme précédemment, la mesure des paramètres  $S_{ij}$  faites sur différents développements, a permis de déterminer la valeur des capacités plots  $C_{pg}$  et  $C_{pd}$  par une extrapolation à l'origine des courbes  $C_{11}$  et  $C_{22}$  (figure 55). Les valeurs sont identiques à celles trouvées avec la première méthode ( $C_{pg} = C_{pd} = 40$  fF).

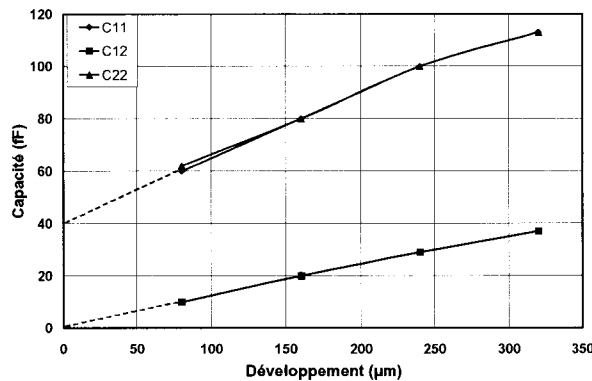


Figure 55 : Extraction des capacités plot  $C_{pg}$  et  $C_{pd}$  (2<sup>ème</sup> méthode)

Enfin, comme on peut le voir sur la figure 56, une troisième méthode, plus rapide et très facile à mettre en œuvre, a permis de corroborer les résultats précédents. Cette fois, les composants n'ont pas de doigt de grille, ni doigt de drain, et seuls les accès ont été métallisés. Une simple mesure de réflectométrie sur ces éléments passifs a permis d'obtenir la valeur de 40 fF pour ces capacités.<sup>[14]</sup>

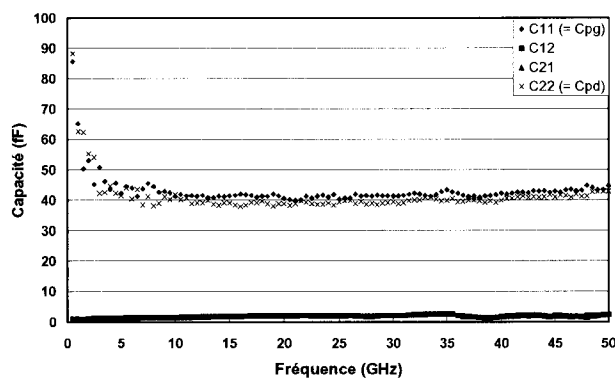
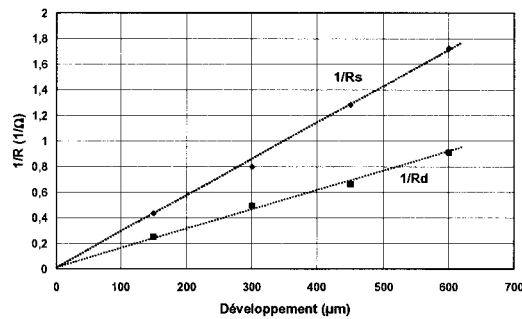


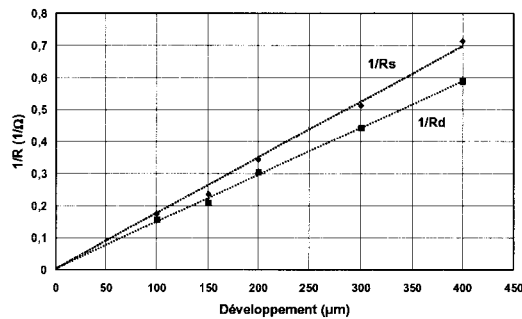
Figure 56 : Extraction des capacités plot  $C_{pg}$  et  $C_{pd}$  (3<sup>ème</sup> méthode)

**(b) Les résistances d'accès.**

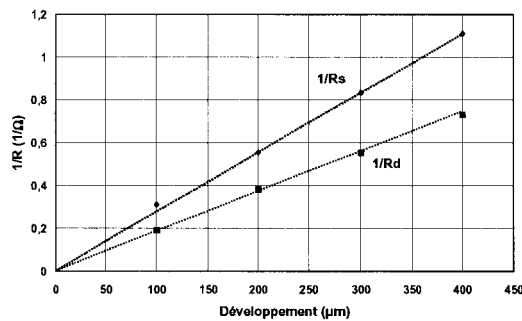
L'extraction des résistances de source  $R_s$  et de drain  $R_d$ , effectuée à partir des paramètres  $S_{ij}$ , est présentée sur la figure 57, où nous avons représenté l'inverse des résistances en fonction du développement de grille pour les épitaxies S981207, 10 et 11. Nous obtenons une parfaite loi d'échelle pour l'une comme pour l'autre résistance avec une valeur de  $R_s$  de l'ordre de  $0,35 \Omega \cdot \text{mm}$  et  $R_d$  d'environ  $0,5 \Omega \cdot \text{mm}$  pour les deux structures de type pHEMT. La structure de type HFET présente une résistance de source et de drain plus élevée ( $0,6$  et  $0,7 \Omega \cdot \text{mm}$ ), qui risque de se répercuter sur les performances en fréquence notamment le MAG. (Chapitre 1)



a) S981207 pHEMT



b) S981210 HFET



c) S981211 pHEMT

**Figure 57 : Evolution des résistances d'accès  $R_s$  et  $R_d$  en fonction du développement de grille**

La résistance de grille  $R_g$  ne dépend pas de la structure des couches mais de la topologie du transistor. Elle est définie par : <sup>[15,16]</sup>

$$R_{g_{\text{hyper}}} = R_{g_{\text{statique}}}/3 = R_m \cdot Z / 3 \cdot n^2$$

avec  $R_m$  : résistance linéique de métallisation

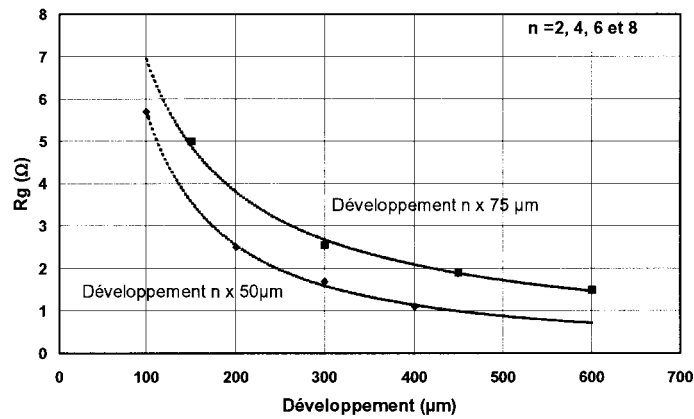
$Z$  : développement total de la grille

$$Z = n \cdot W$$

$W$  : développement unitaire de la grille

$n$  : nombre de doigts de grille

De cette expression, on voit tout de suite que pour un développement unitaire donné,  $R_g$  diminue avec le nombre de doigts de grille. Par contre, pour un nombre de doigts de grille donné,  $R_g$  augmente avec le développement unitaire (figure 58).



**Figure 58 : Evolution de la résistance de grille  $R_g$  en fonction du développement**

De ces mesures, nous en avons déduit une résistance linéique de grille variant de 500 à 600  $\Omega/\text{mm}$ . Une valeur de 300  $\Omega/\text{mm}$  correspond à une métallisation de grille optimisée <sup>[15]</sup>. Par contre une valeur de 1000  $\Omega/\text{mm}$  signifie que la métallisation de grille est insuffisante. Pour diminuer  $R_m$ , il faut donc augmenter la hauteur et la largeur du chapeau de grille. Mais ceci a pour conséquence d'augmenter la capacité  $C_{gd}$ , dont une partie dépend de la géométrie de la grille, ainsi que la capacité extrinsèque grille-drain due à l'utilisation de ponts à air ( $C_{gbr}$ ). Nous avons donc décidé de ne pas changer le procédé de métallisation de la grille.

### (c) Les selfs d'accès.

La figure 59 représente l'évolution des selfs d'accès  $L_d$ ,  $L_g$  et  $L_s$  en fonction du développement. Nous constatons des valeurs de self à peu près constantes, de l'ordre de 100 pH pour  $L_d$  et de 85 pH pour  $L_g$ . Il s'agit là d'un résultat conforme à ce que l'on pouvait attendre, vu que ces selfs ne dépendent pratiquement pas de la zone active mais essentiellement des métallisations d'accès.<sup>[16]</sup> En revanche la self de source est très faible mais augmente avec le nombre de doigts, pour un développement unitaire donné, et diminue avec le développement, pour un nombre de doigts donné. Cet effet est essentiellement dû aux dimensions du pont à air.<sup>[16]</sup>

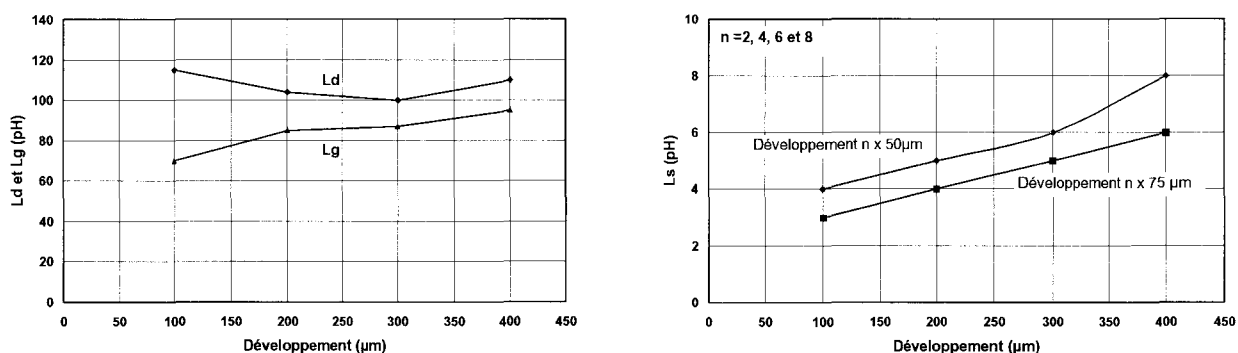


Figure 59 : Evolution des selfs d'accès  $L_d$ ,  $L_s$  et  $L_g$  en fonction du développement

### (2) Détermination des éléments intrinsèques et des paramètres associés.

Fort de la connaissance précise de tous les éléments extrinsèques, il nous est désormais possible de présenter l'évolution des éléments intrinsèques. La figure 60 présente l'évolution du  $g_m$ ,  $g_d$ ,  $C_{gs}$ ,  $C_{gd}$  et  $F_c$  en fonction de  $V_{gs}$  pour un composant de l'épitaxie S981207 (pHEMT) de développement  $2 \times 50 \mu\text{m}$  polarisé à  $V_{ds} = 3 \text{ V}$ . Contrairement aux composants de la troisième campagne, le profil de la transconductance intrinsèque est quasi plat sur plus de 2 V en  $V_{gs}$  malgré une prédominance du puits profond. On voit alors très bien l'effet bénéfique sur le profil de la transconductance de la suppression du nettoyage de la surface par plasma d'argon lors de la réalisation des ponts à air. Sa valeur maximale est de 450 mS/mm et celle-ci est supérieure à  $g_{m_{max}}/2$  sur plus de 90 % de la plage de  $V_{gs}$ .

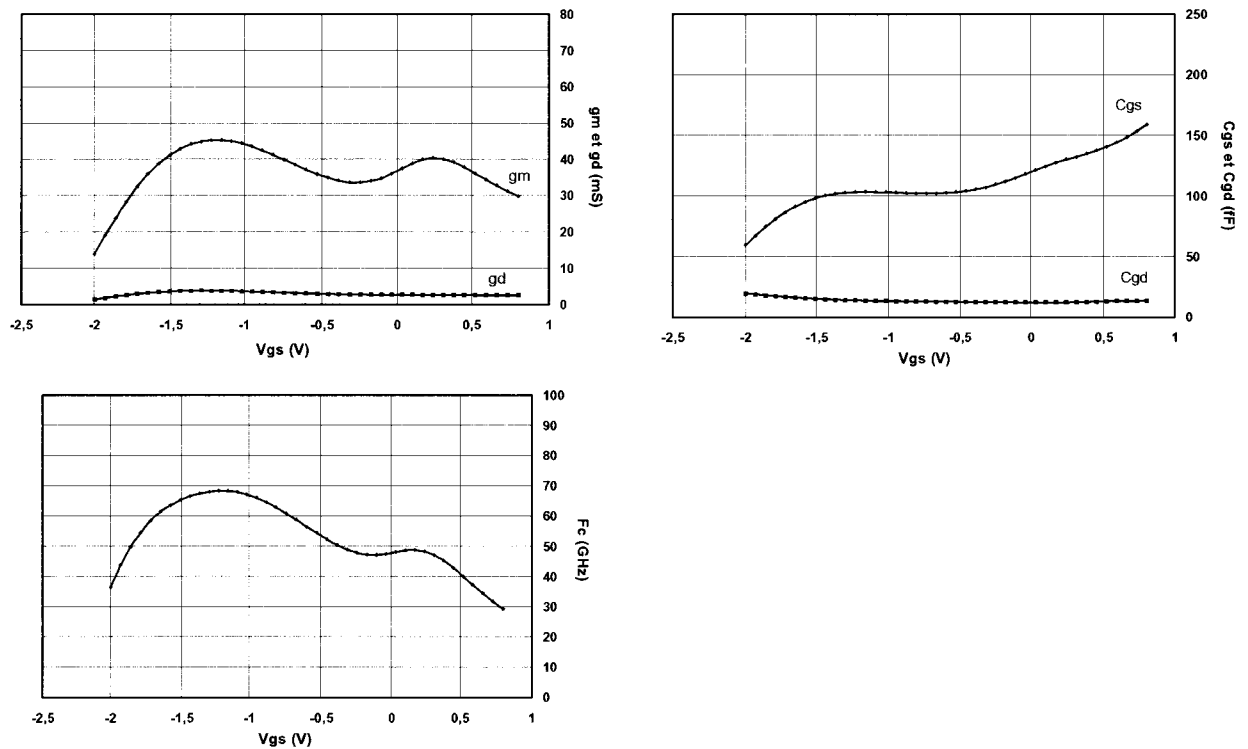


Figure 60 : Evolution du  $g_m$ ,  $g_d$ ,  $C_{gs}$ ,  $C_{gd}$  et  $F_c$  en fonction de  $V_{gs}$  pour S981207 (pHEMT)

L'évolution de la transconductance associée à celle de la capacité  $C_{gs}$  permet à la fréquence de coupure  $F_c$  d'évoluer plus lentement en fonction de  $V_{gs}$  et de suivre relativement l'évolution du  $g_m$ . Cependant le maximum à  $V_{gs} = 0,2$  V est moins marqué que celui à  $V_{gs} = -1,2$  V dû à un rapport  $g_m/C_{gs}$  plus petit lorsque  $V_{gs}$  augmente. Sa valeur maximale est alors de 68 GHz. On notera également la difficulté d'extraire  $C_{gd}$ , puisque proche de la valeur des capacités d'accès.

Nous avons représenté sur la figure 61 les mêmes évolutions mais pour un composant de l'épitaxie S981211 (pHEMT) de développement  $2 \times 50$   $\mu\text{m}$  polarisé à  $V_{ds} = 3$  V. Les tendances sont identiques à l'épitaxie S981207 avec une valeur maximale de transconductance de 440 mS/mm pour  $V_{gs} = -2$  V. Le profil de  $g_m$  est plus étendu sur la tension  $V_{gs}$  dû à une tension de pincement plus élevée. Sa valeur est supérieure à  $g_{m_{max}}/2$  sur plus de 95 % de la plage de  $V_{gs}$ . Il en est de même pour la fréquence de coupure avec une valeur maximale de 72 GHz.

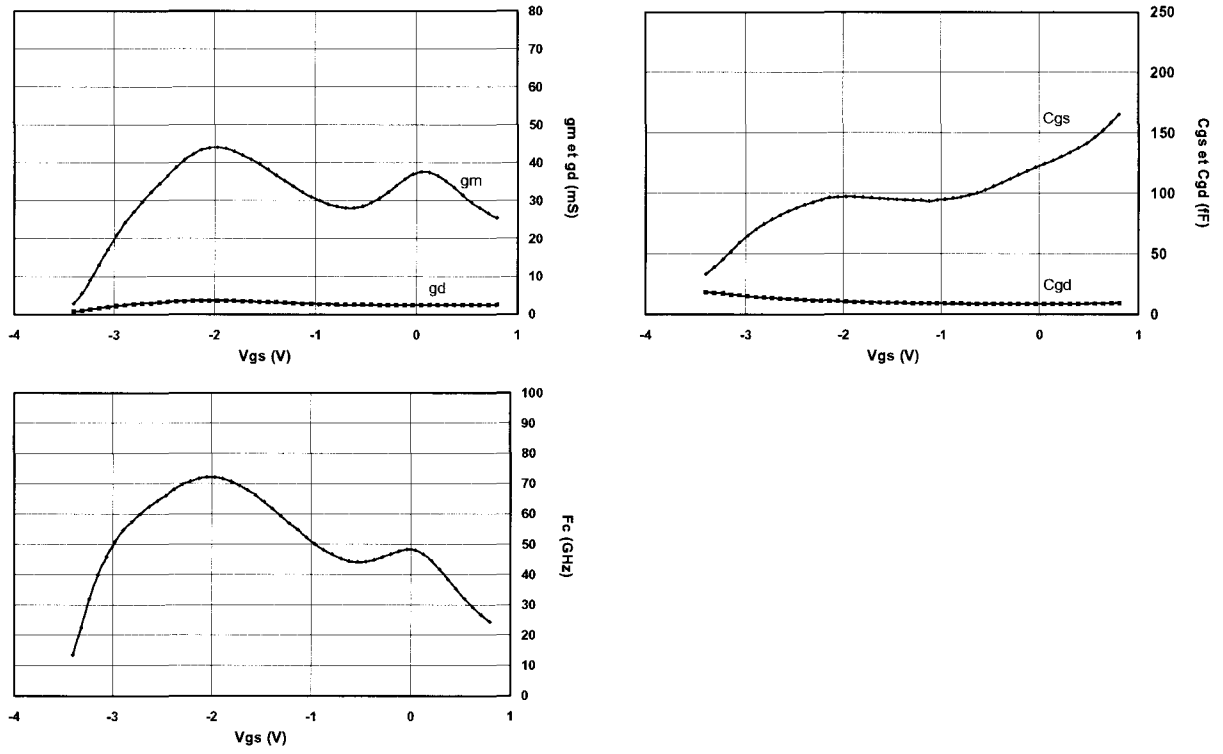


Figure 61 : Evolution du  $g_m$ ,  $g_d$ ,  $C_{gs}$ ,  $C_{gd}$  et  $F_c$  en fonction de  $V_{gs}$  pour S981211 (pHEMT)

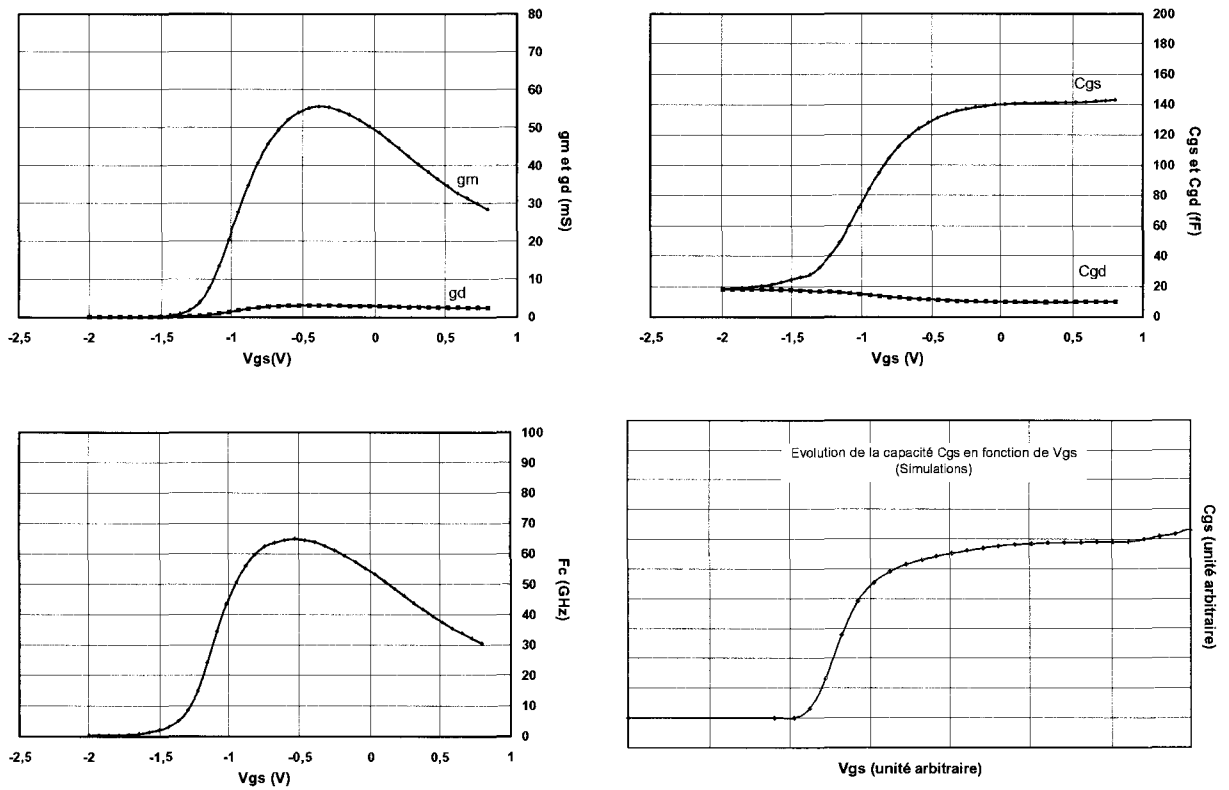


Figure 62 : Evolution du  $g_m$ ,  $g_d$ ,  $C_{gs}$ ,  $C_{gd}$  et  $F_c$  en fonction de  $V_{gs}$  pour S981210 (HFET)



Quant à l'épitaxie S981210 (HFET), dont l'évolution des éléments intrinsèques est représentée figure 62, elle présente un profil de transconductance comparable à celui observé en statique (75 % de la plage de  $V_{gs}$ ) avec une valeur maximale de 550 mS/mm pour  $V_{gs} = -0,4$  V. Cette évolution associée à celle de  $C_{gs}$ , conforme aux simulations, fait que la fréquence de coupure évolue de la même manière que le gm avec une valeur maximale de 65 GHz.

Pour conclure cette partie, on peut voir sur la figure 63 l'évolution des gains  $H_{21}$ , MSG et MAG en fonction de la fréquence pour les trois épitaxies. La polarisation  $V_{gs}$  correspond au maximum de transconductance et la tension  $V_{ds}$  est de 3 V. Dans ces conditions, nous avons obtenu une fréquence de coupure du gain en courant  $F_t$  de 60 GHz pour les couches S981207 et S981211 et 50 GHz pour la couche S981210. En ce qui concerne la fréquence de coupure  $F_{MAG}$ , elle est de 90, 110 et 120 GHz respectivement pour les composants de l'épitaxie S981207, 10 et 11. Ces valeurs, supérieures à celles obtenues durant les précédentes campagnes, sont suffisantes pour des applications à 20 GHz.

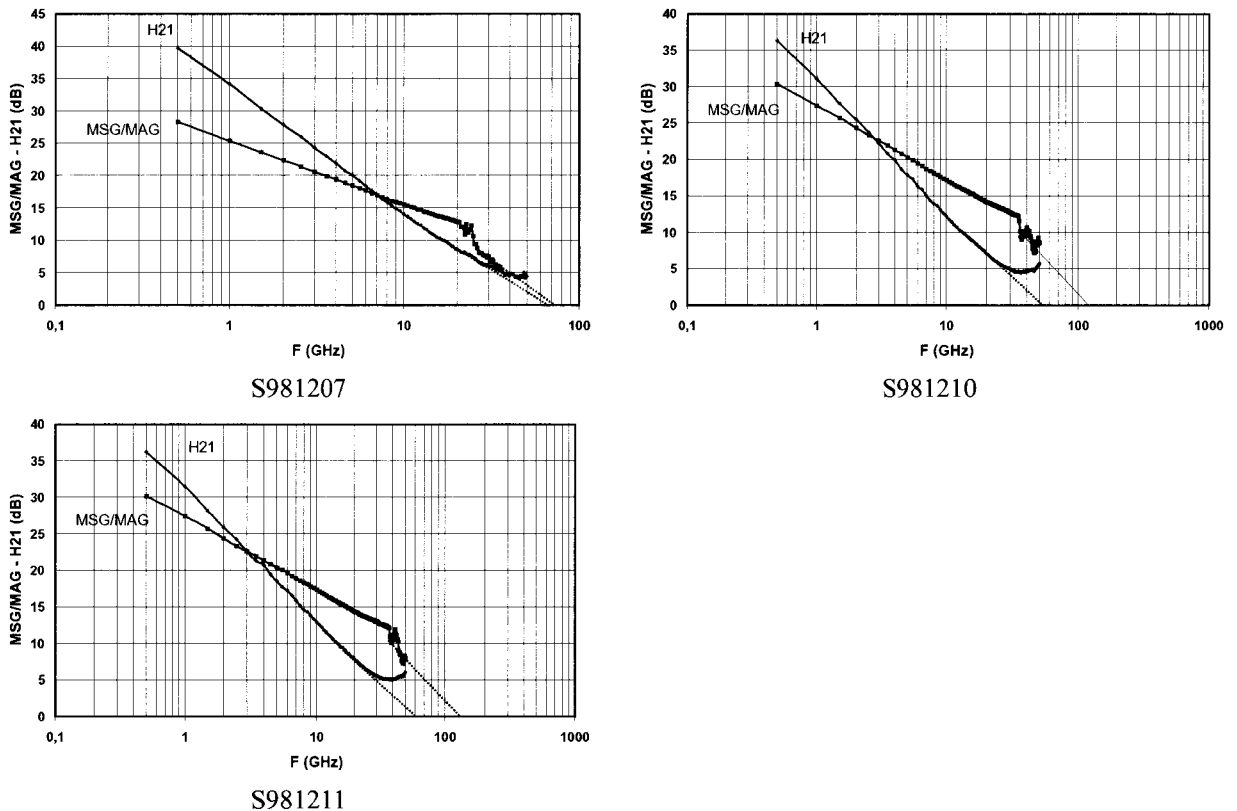


Figure 63 : Evolution des gains MSG/MAG et  $H_{21}$  en fonction de la fréquence

Ces transistors à large fossé de grille, préjudiciable pour la montée en fréquences, présentent des résultats très honorables vis à vis des meilleures performances rencontrées dans la littérature, pour la longueur de grille et la polarisation de drain utilisés.<sup>[17-21]</sup>

Epitaxie	Z ( $\mu\text{m}$ )	Vgs (V)	Vds (V)	gm (mS)	gd (mS)	Cgs (fF)	Cgd (fF)	Ft (GHz)	Fc (GHz)	Fmag (GHz)
S981207 (pHEMT)	2x75	-1,1	3	67	5,8	155	20	54	68	90
S981210 (HFET)	2x75	-0,5	3	81	3,1	198	14,6	50	65	110
S981211 (pHEMT)	2x50	-1,8	3	44	3,6	95	10	60	72	120

**Tableau 12 : Valeurs des éléments du schéma équivalent pour les 3 épitaxies étudiées**

Le tableau 12 résume les valeurs des principaux éléments du schéma équivalent pour les trois épitaxies. Les structures de type pHEMT présentent une valeur de transconductance de l'ordre de 450 mS/mm à son niveau maximum en fonction de Vgs. Le gain en tension (gm/gd) est de 12 pour les deux épitaxies et le rapport d'aspect (Cgs/Cgd) varie de 7,8 pour S981207 à 9,5 pour S981211. Ces deux rapports interviennent dans l'expression du MAG et doivent être les plus élevés possibles pour améliorer les performances du composant.

En ce qui concerne la structure de type HFET, on note une valeur de transconductance à son maximum en fonction de Vgs de 540 mS/mm et un gain en tension de 26 pour un rapport d'aspect de 13,5. Ceci permet de compenser la valeur plus élevée de Rs et d'obtenir un Fmag se situant entre les deux épitaxies de type pHEMT.

**(a) Etude des éléments intrinsèques et des paramètres associés en fonction du développement de grille.**

Nous avons représenté sur la figure 64 l'évolution du gm, gd, Cgs, Cgd et Fc en fonction de Vgs, pour différents développements de grille, à Vds = 3V pour l'épitaxie S981211. Comme nous pouvons le constater, les éléments intrinsèques suivent une loi quasi linéaire en fonction du développement de grille, ce qui confirme une nouvelle fois l'homogénéité des résultats. Ceci est encore plus flagrant sur l'évolution de la fréquence de coupure Fc qui présente quasiment six courbes confondues, preuve d'un rapport gm/Cgs constant en fonction du développement. Ces

remarques faites sur cette épitaxie sont aussi valables pour les composants des deux autres couches (S981207 et 10).

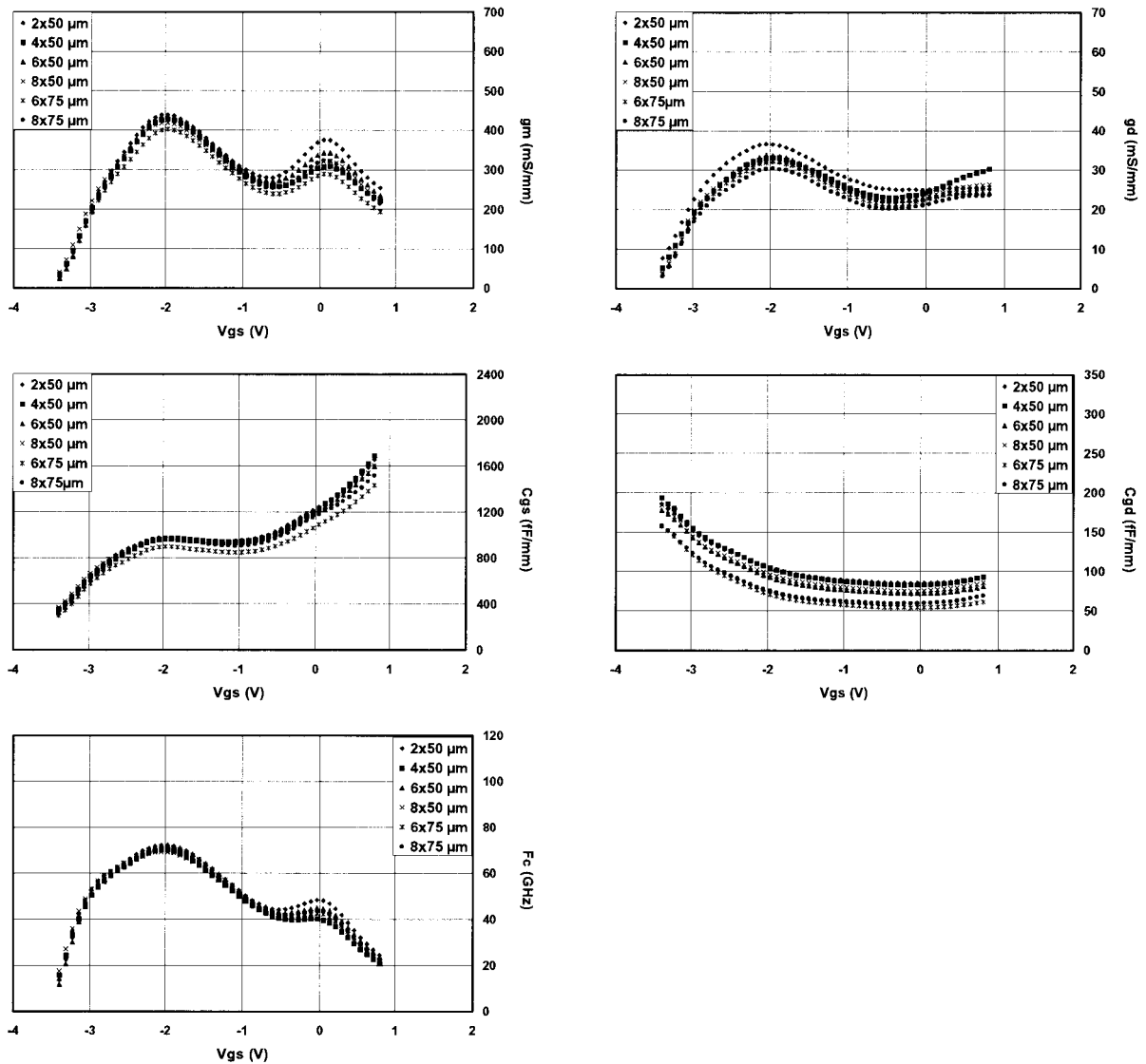


Figure 64 : Evolution des éléments intrinsèques en fonction de  $V_{gs}$  pour différents développements (S981211)

Nous avons également représenté sur la figure 65 l'évolution de la fréquence de coupure  $F_c$  et du MAG, à  $V_{ds} = 3\text{V}$  et  $V_{gs}$  correspondant au maximum de  $g_m$ , en fonction du développement total de grille pour les épitaxies S981207, 10 et 11.

La fréquence de coupure ne varie quasiment pas en fonction du développement ce qui est très révélateur du comportement intrinsèque des transistors qui suit une loi d'échelle presque parfaite.

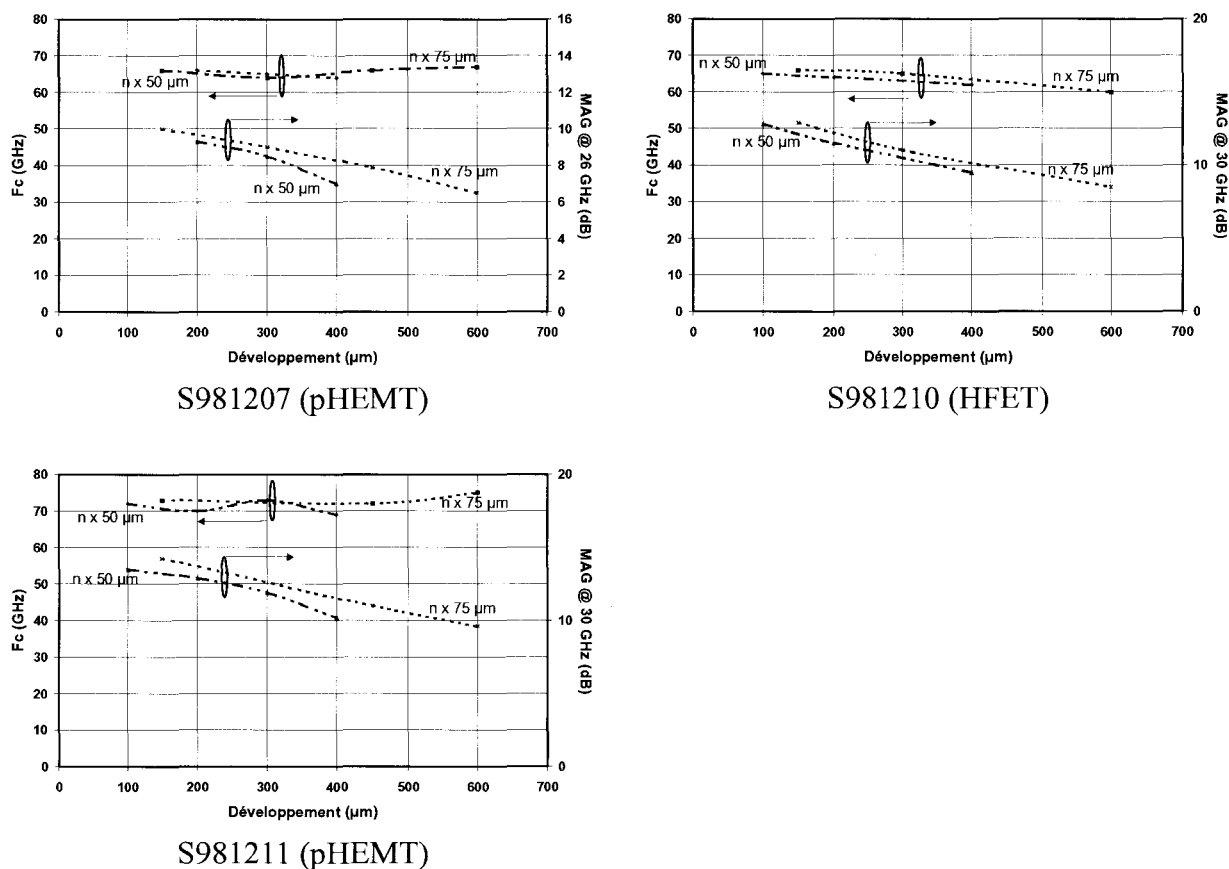


Figure 65 : Evolution de  $F_c$  et du MAG en fonction du développement pour les trois épitaxies

Le MAG est certainement le gain le plus significatif pour des applications de puissance car il reflète le comportement global du transistor en faisant intervenir la plupart des éléments extrinsèques.

Nous observons une décroissance linéaire du MAG en fonction du développement total de grille pour une largeur unitaire de grille fixée. Cette variation peut être attribuée en grande partie à l'effet de la self de source dans l'expression du MAG,<sup>[16]</sup> malgré sa faible valeur. L'expression de  $F_{MAG}$  peut être donnée par :

$$F_{MAG} = \left( \frac{F_c}{2\sqrt{gd}} \right) \frac{1}{\sqrt{\left( (R_s + R_i + R_g) + \pi F_c L_s + \pi F_c \frac{C_{gd}}{gd} (R_s + 2R_g + 2\pi F_c L_s) \right)}}$$

avec  $F_c$  constante en fonction du développement

$\frac{C_{gd}}{gd}$  constant en fonction du développement

$g_d$  évolue en  $W$  qui représente le développement unitaire de grille

$R_s$ ,  $R_i$  et  $R_g$  évoluent en  $1/W$

Ce qui fait que  $F_{MAG}$  peut s'écrire de la manière suivante :

$$F_{MAG} = \frac{a}{\sqrt{(b + cLsW)}} \text{ avec } a, b \text{ et } c \text{ constants}$$

Comme on l'a vu précédemment,  $L_s$  augmente légèrement avec le développement de grille ce qui entraîne une diminution du MAG. On s'aperçoit aussi que le MAG augmente avec le développement unitaire pour un nombre de doigts de grille donné. Ceci s'explique par le fait que la self  $L_s$  diminue lorsque la largeur du pont à air augmente, comme on a pu le constater lors de l'extraction des selfs d'accès. De ce fait, il est préférable, en ce qui concerne les applications de puissance, d'utiliser des développements unitaires de  $75 \mu\text{m}$  (voir plus) pour ne pas trop pénaliser le transistor par les dimensions totales du pont à air. Cependant, le développement de grille doit rester très inférieur à la longueur d'onde du signal à transmettre pour éviter un déphasage trop important. De plus, l'augmentation du développement de grille augmente les effets thermiques qui diminuent les performances des transistors. Il est donc nécessaire de trouver le bon compromis.

### **(b) Etude des éléments intrinsèques et des différents paramètres associés en fonction de la tension Drain - Source.**

Les transistors de puissance étant destinés à fonctionner à des tensions  $V_{ds}$  plus ou moins élevées, il est intéressant de connaître l'évolution des éléments intrinsèques et du MAG en fonction de cette tension, pour anticiper son fonctionnement en grand signal.

La figure 66 montre l'évolution du  $g_m$ ,  $g_d$ ,  $C_{gs}$  et  $C_{gd}$  en fonction de  $V_{gs}$  pour différentes tensions  $V_{ds}$ . Que ce soit pour l'épitaxie S981207 ou S981211, on observe une chute de la valeur maximale de la transconductance  $g_m$  et la conductance  $g_d$  lorsque  $V_{ds}$  augmente. Cette chute, très légère dans le cas du puits inférieur, est plus marquée en ce qui concerne la contribution du puits supérieur au profil du  $g_m$ , surtout pour l'épitaxie S981207. Cette chute est accompagnée d'une translation des courbes vers les tensions négatives de  $V_{gs}$ , signe d'un décalage du pincement du canal (augmentation de la longueur effective de la grille). Ce décalage est lié au fait que les électrons ont une énergie plus importante lorsque  $V_{ds}$  augmente et donc, qu'une largeur de zone désertée plus importante dans le canal est nécessaire pour le pincer. Cette

hypothèse sur la longueur effective de grille est confirmée par l'augmentation de la capacité  $C_{gs}$  et une diminution de la capacité  $C_{gd}$ .

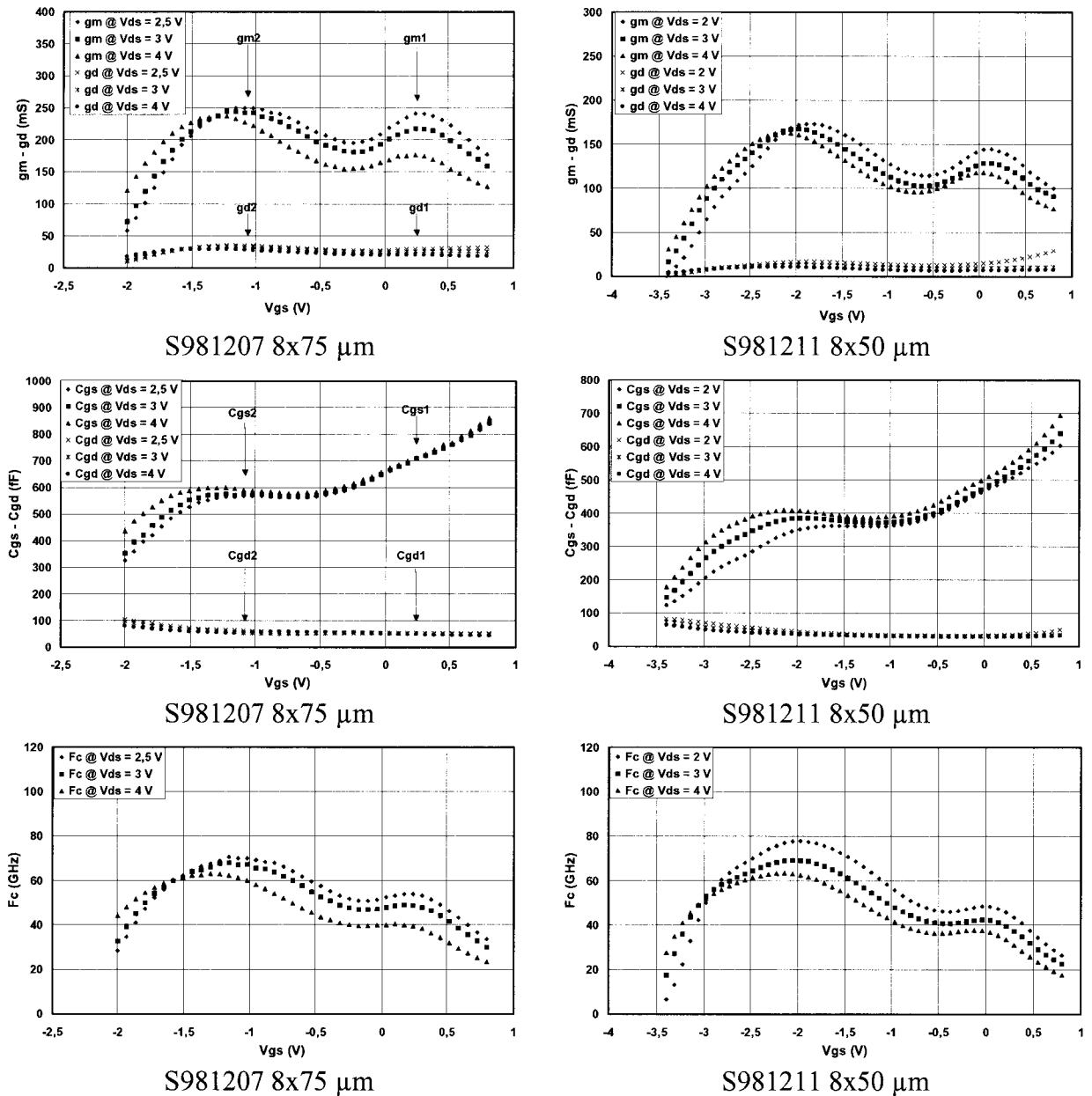


Figure 66 : Evolution des éléments intrinsèques et de  $F_c$  en fonction de  $V_{gs}$  pour différents  $V_{ds}$

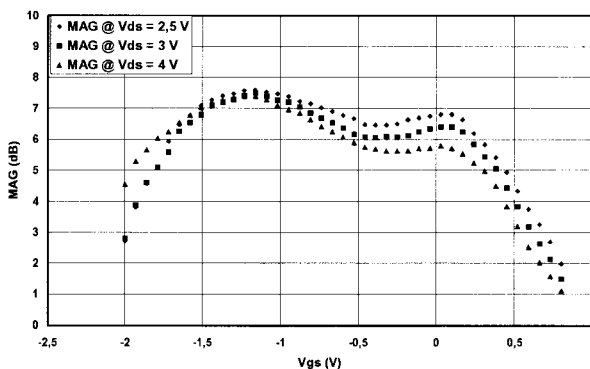
La conjonction de l'évolution de  $C_{gs}$  avec celle de la transconductance  $g_m$  fait que la valeur de la fréquence de coupure  $F_c$  diminue lorsque  $V_{ds}$  augmente et son profil respecte l'évolution du  $g_m$ .

Si l'on considère l'expression de  $F_{MAG}$  donnée page 36, on s'aperçoit alors que  $F_c$  intervient directement dans l'expression du MAG et risque de faire chuter ce gain lorsque  $V_{ds}$  augmente. Pour essayer de compenser la chute de  $F_c$  il faut que les rapports  $g_m/g_d$  et  $C_{gs}/C_{gd}$  augmentent avec la tension drain source. Nous avons donc représenté dans le tableau 13 l'évolution de ces rapports en fonction de  $V_{ds}$  pour deux tensions  $V_{gs}$  correspondant aux deux maxima de transconductance.

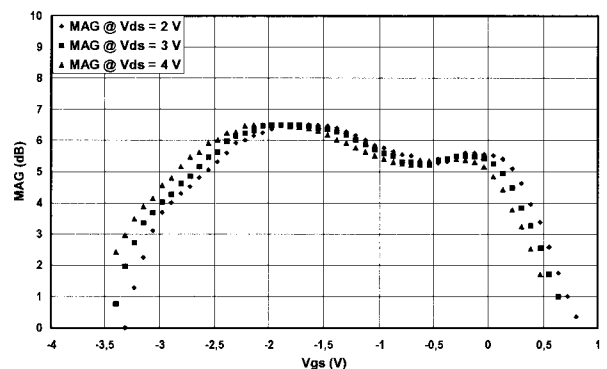
Epitaxie	$V_{ds}$	$g_{m1}/g_{d1}$	$g_{m2}/g_{d2}$	$C_{gs1}/C_{gd1}$	$C_{gs2}/C_{gd2}$
S981207	2,5 V	8	7,1	12,9	8,6
	3 V	8,1	7,2	13,2	9,5
	4 V	8,5	8,2	14,6	10,9
S981211	2 V	10,3	10,3	14,1	8,2
	3 V	13,7	13,1	16	10
	4 V	17,1	15,2	17,2	11,1

Tableau 13 : Evolution des rapports  $g_m/g_d$  et  $C_{gs}/C_{gd}$  en fonction de  $V_{ds}$

On constate que ces rapports augmentent avec la tension  $V_{ds}$ . Ceci a pour conséquence de compenser la chute de  $F_c$  dans l'expression du MAG <sup>[16,22]</sup> comme on peut le voir sur la figure 67 qui représente l'évolution du MAG en fonction de  $V_{gs}$  pour différentes valeurs de  $V_{ds}$ . Celui-ci ne subit pas de décroissance significative et présente un profil quasi plat en fonction de  $V_{gs}$ .



S981207 4x50  $\mu\text{m}$  @ 30 GHz



S981211 8x50  $\mu\text{m}$  @ 46 GHz

Figure 67 : Evolution du MAG en fonction de  $V_{gs}$  pour différents  $V_{ds}$

Cette étude montre que les composants étudiés ne présentent pas de dégradation du comportement en hyperfréquence en fonction de  $V_{ds}$ , mais elle est insuffisante pour être tout à

fait représentative du comportement en grand signal. Cependant, ces mesures constituent une première base d'évaluation.

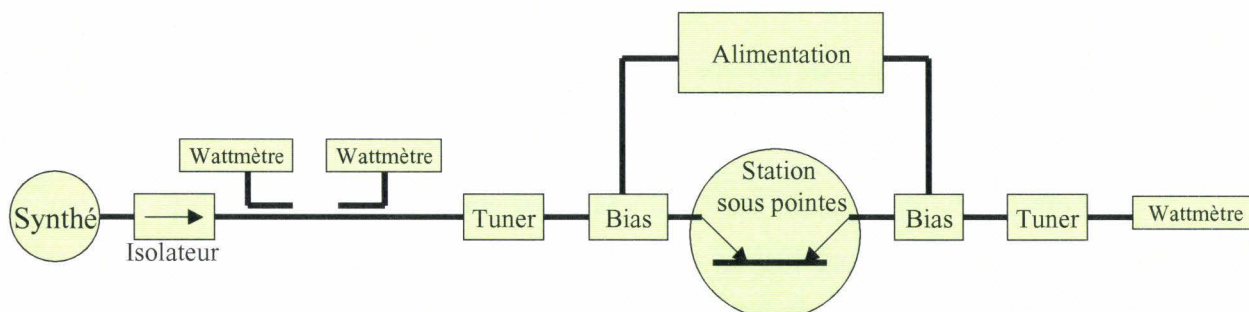
### **C) Caractérisation hyperfréquence grand signal.**

Malgré les bons résultats obtenus lors de la 4<sup>ème</sup> campagne en caractérisation statique et hyperfréquence petit signal, ils ne sont pas suffisants pour juger des potentialités de ces structures pour des applications de puissance à haute linéarité en bandes K et Ka. Il est impératif maintenant d'étudier la réponse en puissance, en gain et en rendement en puissance ajoutée pour pouvoir conclure. Le critère de Puissance - Linéarité implique d'obtenir le maximum de puissance possible en sortie pour une compression du gain de 1 ou 2 dB avec le minimum de puissance sur les produits d'intermodulation d'ordre 3. Nous allons donc présenter dans les paragraphes suivants, la réponse en puissance des composants des épitaxies S981207, 10 et 11 ainsi que des mesures d'intermodulation.

#### **(1) Description du banc de puissance.**

Le banc de puissance représenté sur la figure 68 se compose des éléments suivants:

- un synthétiseur délivrant un signal hyperfréquence "grand signal"
- un isolateur pour protéger la source des ondes réfléchies
- trois wattmètres connectés au banc par le biais de coupleurs et permettant ainsi la mesure des puissances incidente, réfléchiée et transmise
- deux tuners manuels permettant d'adapter le composant en entrée et en sortie
- un circuit d'alimentation continue pour polariser le transistor
- une station de mesure sous pointes.



**Figure 68 : Description du banc de mesure des performances en puissance**



La méthode consiste à ajuster les tuners en entrée et en sortie afin d'obtenir le minimum de puissance réfléchi en entrée et le maximum de puissance délivrée en sortie par le transistor.

Compte tenu des pertes importantes observées entre le synthétiseur et le plan d'entrée du composant, seuls des composants de faible développement ont été mesurés, sans forcément atteindre un fort niveau de compression. Ces pertes sont essentiellement dues aux câbles et aux connecteurs utilisés à 17 GHz, valeur proche de leur fréquence de coupure.

La polarisation  $V_{gs}$  choisie pour caractériser les transistors des différentes épitaxies se situe au maximum de la transconductance et donc du gain en puissance.

## **(2) Caractérisation en puissance des structures pHEMT et HFET en bandes K et Ka.**

La figure 69 représente l'évolution de la puissance de sortie, du gain et du rendement en puissance ajoutée en fonction de la puissance d'entrée  $P_e$ , pour différents  $V_{ds}$  et un  $V_{gs}$  de  $-1,1$  V correspondant à une valeur optimale du gain en puissance d'un transistor de développement  $6 \times 20 \mu\text{m}$  de l'épithaxie S981207.

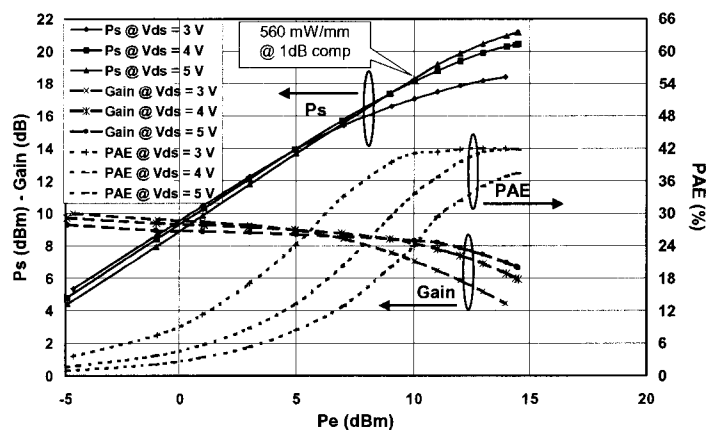


Figure 69 : Evolution de la puissance de sortie, du gain en puissance et du rendement en puissance ajoutée en fonction de la puissance d'entrée pour différents  $V_{ds}$  ( $6 \times 20 \mu\text{m}$  S981207,  $V_{gs} = -1,1$  V)

L'évolution du gain linéaire est conforme à nos attentes puisque celui-ci ne diminue que très légèrement (7 %) en fonction de  $V_{ds}$ . De plus la dynamique de la puissance de sortie augmente lorsque  $V_{ds}$  croît. De ce fait la puissance à 1 dB de compression passe de 210 mW/mm pour  $V_{ds} = 3$  V à 560 mW/mm à  $V_{ds} = 5$  V. Dans ces conditions, nous avons un

rendement en puissance ajoutée de 24 % pour les deux polarisations. La puissance de "saturation" atteint l'excellente valeur de 1,1 W/mm avec un rendement en puissance ajoutée de 39 %.

L'évolution des courants de grille et de drain (figure 70) confirme le comportement linéaire<sup>[16,23]</sup> de ce composant pour une importante dynamique de puissance d'entrée. En effet, la variation du courant de grille est très faible, même pour une tension  $V_{ds}$  de 5 V. De ce fait, il n'y a pas d'excursion des zones à risques (zone d'ionisation, passage de la grille en direct). Nous sommes ici limités par la puissance du synthétiseur ne nous permettant pas d'obtenir la puissance de saturation. L'augmentation du courant de drain résulte de l'écrtage de l'alternance négative du signal, qui traduit un fonctionnement de type classe AB. Ceci est accompagné d'une augmentation du courant de grille inverse.

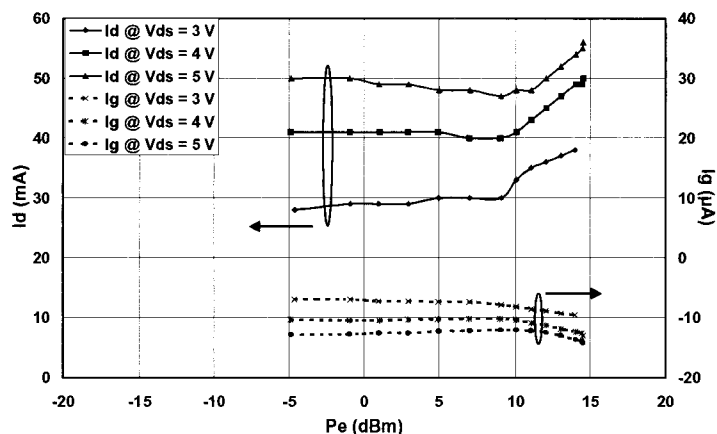


Figure 70 : Evolution des courants de drain et de grille en fonction de la puissance d'entrée (6x20  $\mu m$  S981207,  $V_{gs} = -1,1$  V)

Sur la figure 71, une caractérisation identique effectuée sur un composant de développement 6x20  $\mu m$  de l'épitaxie S981211 est représentée. Rappelons que la seule différence entre ces deux épitaxies réside sur la densité maximale du courant de drain (700 mA/mm pour S981207 contre 800 mA/mm pour S981211). L'évolution des éléments du schéma équivalent petit signal étant la même. Comme dans le premier cas, le gain linéaire ne subit qu'une légère baisse lorsque la tension drain source augmente. Par contre, on remarque tout de suite que la compression intervient plus tard et ceci malgré une puissance de saturation quasi identique. Ces composants présentent une remarquable linéarité en CW avec une puissance de

sortie de 980 mW/mm à 1 dB de compression pour un rendement en puissance ajoutée de 30 % et une polarisation drain source de 5 V.

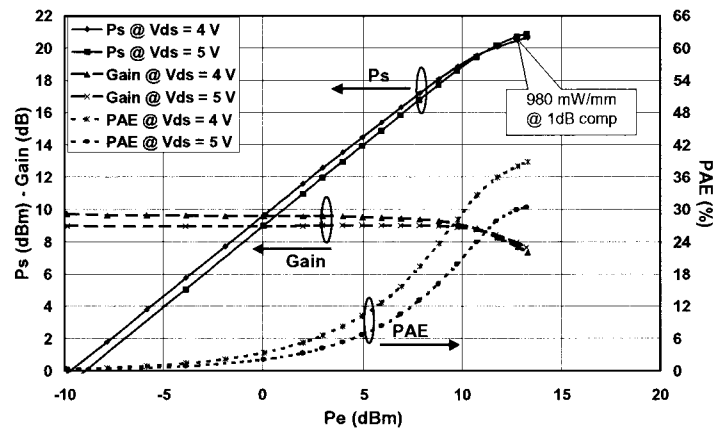


Figure 71 : Evolution de la puissance de sortie, du gain en puissance et du rendement en puissance ajoutée en fonction de la puissance d'entrée ( 6x20  $\mu\text{m}$  S981211,  $V_{gs} = -1,8 \text{ V}$ )

Le relevé du courant de grille en fonction de la puissance d'entrée (figure 72) nous indique une limitation du composant à travailler à des  $V_{ds}$  plus élevés.

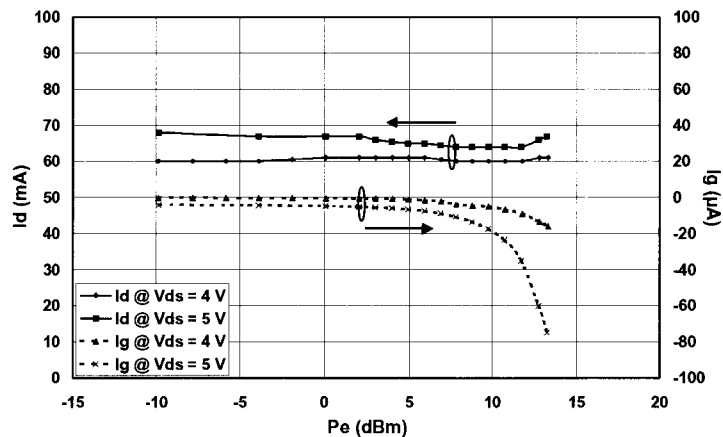


Figure 72 : Evolution des courants de drain et de grille en fonction de la puissance d'entrée (6x20  $\mu\text{m}$  S981211,  $V_{gs} = -1,8 \text{ V}$ )

En effet, le courant inverse de grille devient trop important (proche du mA/mm) et ne peut être contrebalancé par la mise en direct de la grille car la dynamique du signal n'est pas suffisante pour balayer cette zone ou la polarisation ne le permet pas.<sup>[16]</sup> Il y a apparition d'un courant inverse dû à de l'ionisation dans le canal. Par contre le courant de drain est constant, ce qui met en évidence une mesure où l'évolution du courant de grille limite le relevé de la réponse en puissance. La compression n'est pas aussi marquée que dans le cas précédent.

En ce qui concerne la structure de type HFET (S981210), les résultats en terme de puissance de saturation sont légèrement inférieurs à ceux des dernières épitaxies, avec 780 mW/mm pour un rendement en puissance ajoutée de 31 % (figure 73). Cette différence peut être expliquée par une densité de courant de drain plus faible. Cependant cette couche a permis d'obtenir des résultats très satisfaisants avec notamment une puissance de sortie à 1 dB de compression supérieure à 600 mW/mm avec un PAE de 25 % pour  $V_{ds} = 4,5$  V.

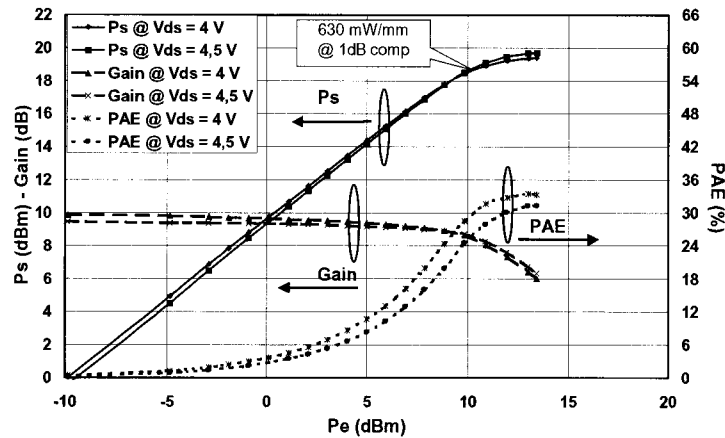


Figure 73 : Evolution de la puissance de sortie, du gain en puissance et du rendement en puissance ajoutée en fonction de la puissance d'entrée (6x20  $\mu$ m S981210,  $V_{gs} = -0,5$  V)

Si l'on regarde l'évolution des courants de drain et de grille (figure 74) on s'aperçoit que le premier chute pour une puissance d'entrée supérieure à 7 dBm, ce qui signifie un écrêtage de l'alternance positive du signal.

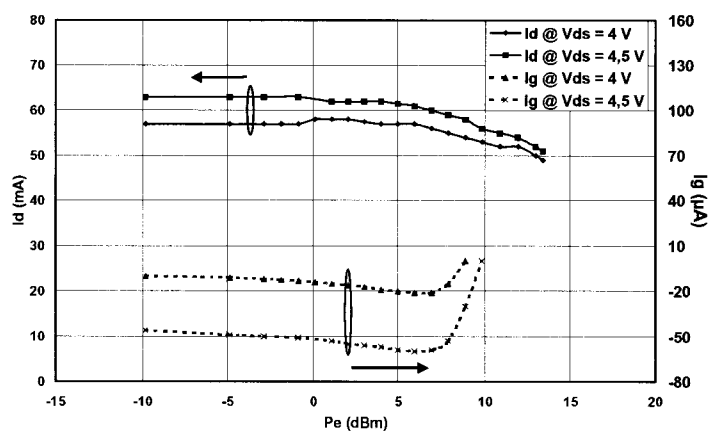


Figure 74 : Evolution des courants de drain et de grille en fonction de la puissance d'entrée (6x20  $\mu$ m S981210,  $V_{gs} = -0,5$  V)

Ceci est confirmé par le passage du courant de grille en direct. On pourrait espérer obtenir de meilleurs résultats pour une polarisation  $V_{gs}$  plus proche du pincement car l'évolution du courant de grille inverse est moins rapide et permettrait d'avoir une plus grande dynamique sur le signal d'entrée.

Le tableau 14 résume les principaux résultats obtenus pour les différentes épitaxies en terme de puissance, de gain et de rendement en puissance ajoutée.

Epitaxie	$V_{ds}$ (V)	$V_{gs}$ (V)	Gain <sub>lin</sub> (dB)	$P_{1dB}$ (mW/mm)	PAE <sub>1dB</sub> (%)	$P_{2dB}$ (mW/mm)	PAE <sub>2dB</sub> (%)	$P_{sat}$ (mW/mm)	PAE <sub>sat</sub> (%)	$\frac{P_{1dB}}{P_{sat}}$	$\frac{P_{2dB}}{P_{sat}}$
S981207 PHEMT	3	-1,1	10	207	24	330	36	600	44	0,34	0,55
	4		9,7	310	20	630	37	970	42	0,32	0,65
	5		9,3	560	24	925	35	1120	38	0,50	0,82
S981210 HFET	4	-0,5	9,9	500	24	660	32	715	33	0,70	0,92
	4,5		9,5	630	25	740	30	780	31	0,80	0,95
S981211 PHEMT	4	-1,8	9,7	760	33	930	38	980	40	0,77	0,95
	5		9	980	30	x	x	>1100	x	0,89	x

**Tableau 14 : Résumé des principaux résultats obtenus lors de la caractérisation de puissance**

A la vue de ce tableau plusieurs remarques peuvent être faites:

Indépendamment de la couche étudiée, le gain linéaire et le rendement en puissance ajoutée à 2 dB de compression de gain se situent entre 9 et 10 dB pour le premier et supérieur à 30 % pour le second.

Les épitaxies S981207 et S981211 conviennent parfaitement pour des applications de puissance puisque la puissance de sortie dépasse 1 W/mm dans les deux cas.

L'épitaxie S981210 semble être pénalisée par sa densité de courant plus faible, mais cependant les résultats en terme de puissance sont assez honorables.

Ces résultats se situent au niveau des meilleures performances mondiales rencontrées dans la littérature sur ce type de structures pour les tensions  $V_{ds}$  utilisées.<sup>[24-36]</sup>

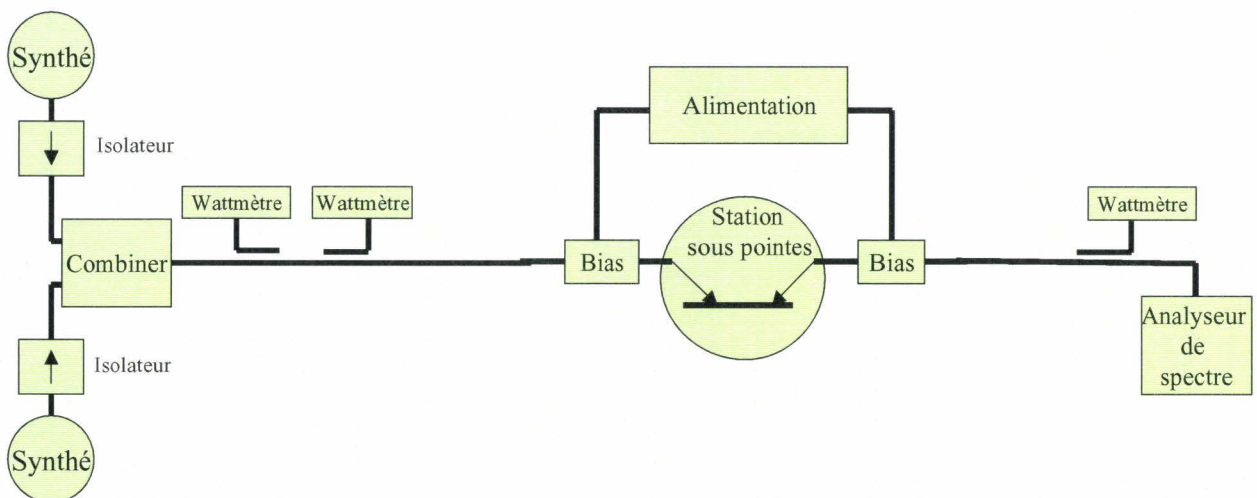
Si l'on considère le quotient  $P_{1dB}/P_{sat}$  ou  $P_{2dB}/P_{sat}$  comme critère de linéarité en CW, celui-ci augmente lorsque  $V_{ds}$  croît et confirme l'amélioration de la dynamique de sortie à  $V_{ds}$  élevé. A partir de ce critère, il en ressort que l'épitaxie S981211 présente les quotients les plus élevés parmi les trois épitaxies, ce qui fait d'elle "le meilleur candidat" pour le type d'application visée (Puissance et Linéarité). Cette linéarité en CW doit être confirmée par une étude de la linéarité en multiporteuses.

Cependant, il ne faut pas oublier que ces résultats ont été obtenus sur des composants de développement  $6 \times 20 \mu\text{m}$ , qui ont présenté de meilleures performances que les transistors  $2 \times 50 \mu\text{m}$ . Mais cette différence vient peut être du fait que l'adaptation est effectuée loin des plans d'entrée et de sortie du composant. Ces résultats devront donc être validés sur des transistors de développement plus important lors de la réalisation du démonstrateur.

### **(3) Description du banc d'intermodulation 2 tons.**

Le banc d'intermodulation 2 tons représenté sur la figure 75 est composé des éléments suivants :

- deux synthétiseurs délivrant un signal hyperfréquence "grand signal" aux fréquences très voisines, respectivement F1 et F2
- un combineur pour injecter les deux signaux à l'entrée du composant
- trois wattmètres connectés au banc par le biais de coupleurs ainsi qu'un analyseur de spectre afin de permettre la mesure en puissance des différentes raies ( fondamentaux et raies d'intermodulation)
- un circuit d'alimentation continue pour polariser le transistor
- une station de mesure sous pointes.



**Figure 75 : Description du banc de mesure**

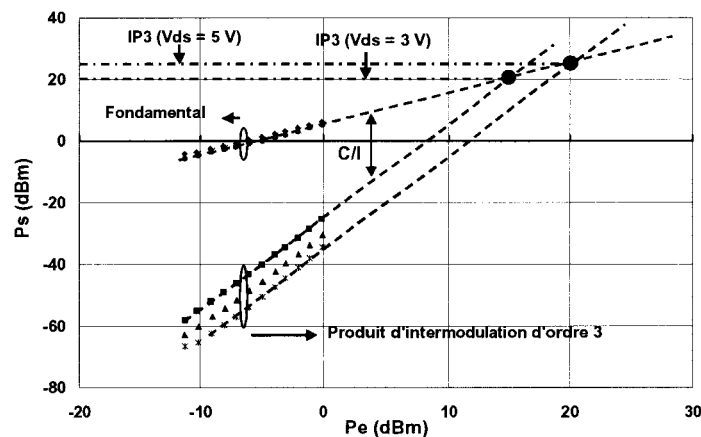
Toutes les notions relatives aux critères de linéarité sont décrites en annexe à la fin de ce chapitre.

#### **(4) Mesures d'intermodulation.**

Compte tenu des pertes importantes entre les synthétiseurs et le plan d'entrée du transistor, les mesures d'intermodulation ont été réalisées sur des composants de faible développement sans atteindre la compression. De plus, celles-ci ont été faites sur  $50 \Omega$  car l'adaptation qui était effectuée "assez loin" du composant, n'a plus beaucoup de sens dans une telle configuration.

Au vu des remarques faites précédemment, ce paragraphe n'a pas la prétention de vouloir comparer les différentes épitaxies en terme de linéarité mais de donner simplement une tendance en fonction des différents paramètres tels que les tensions  $V_{ds}$ ,  $V_{gs}$  ou le développement.

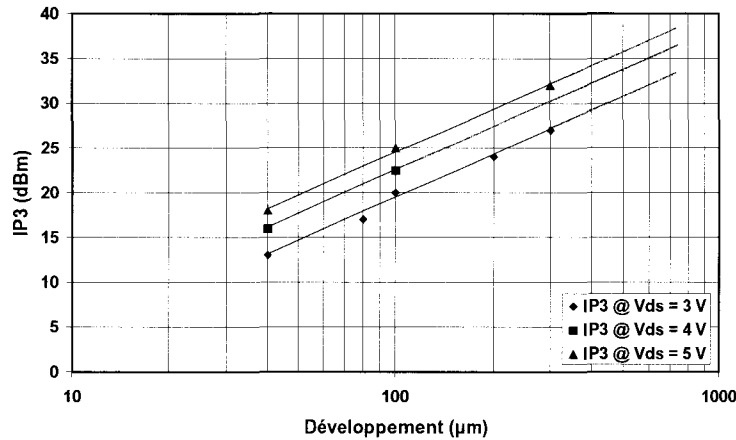
La figure 76 reporte les réponses d'intermodulation d'un composant de l'épitaxie S981207 ( $2 \times 50 \mu\text{m}$ ) à 3, 4 et 5 V de tension drain source pour un  $V_{gs}$  (-1 V) correspondant à un maximum de gain. Il apparaît une amélioration du rapport C/I et du point d'interception d'ordre 3 (IP3) lorsque la tension  $V_{ds}$  augmente en accord avec la littérature.<sup>[37]</sup> Ceci confirme de nouveau les remarques effectuées précédemment sur l'amélioration de la linéarité avec la tension drain source. L'évolution des raies d'intermodulation d'ordre 3 nous permet de déduire un IP3 de 20 dBm pour  $V_{ds}=3$  V et 25 dBm pour  $V_{ds}=5$  V.



**Figure 76 : Mesures d'intermodulation d'ordre 3 d'un composant  $2 \times 50 \mu\text{m}$  de l'épitaxie S981207**

$$V_{gs} = -1\text{V}, F1 = 16 \text{ GHz et } F2 = 16,01 \text{ GHz}$$

L'évolution de l'IP3 en fonction du développement total de grille ainsi que de la tension drain source pour l'épitaxie S981211 est représentée figure 77, pour une polarisation grille source correspondant à un maximum de gain.



**Figure 77 : Evolution du point d'intersection d'ordre 3 (IP3) de l'épitaxie S981211 en fonction du développement pour différentes tensions Vds ( $V_{gs} = -1,8$  V,  $F1 = 17$  GHz et  $F2 = 17,01$  GHz)**

On peut observer une augmentation linéaire de l'IP3 en fonction du développement total de grille mais aussi avec la tension drain source. De ce fait, une interpolation linéaire de ces courbes pour un transistor de développement  $6 \times 75$  μm, nous amènerait à une valeur d'IP3 de 30 dBm pour  $V_{ds} = 3$  V et 35 dBm pour  $V_{ds} = 5$  V. Il est très difficile d'effectuer une comparaison en terme d'IP3 entre ces résultats et ceux de la littérature<sup>[38-41]</sup>, car ces composants ne sont pas forcément adaptés en linéarité puisqu'ils sont chargés sous 50 Ω. Pour que la comparaison ait un sens il faudrait les comparer pour un développement, une puissance et un PAE @ 1 dB de compression donnés. De plus, l'intérêt d'un Gm plat en fonction de  $V_{gs}$  ne se situe pas à faible niveau mais plutôt à la compression afin de diminuer les produits d'intermodulation.

Enfin, pour conclure cette partie, on peut voir sur la figure 78 l'évolution du produit d'intermodulation d'ordre 3 d'un composant de l'épitaxie S981211 en fonction de  $V_{gs}$  à  $V_{ds} = 3$  V. Malgré la faible excursion sur la puissance d'entrée, il en ressort que le produit d'intermodulation d'ordre 3 est minimum lorsque la tension de polarisation grille source se situe au milieu de la zone où le gm est quasi plat. Sa valeur est alors de 40 dBc pour un recul d'environ 5 dB par rapport à la compression observée en CW. Pour cette polarisation, la pente du produit d'intermodulation est inférieure à 3, ce qui ne nous permet pas de déduire l'IP3.

Cependant ces résultats doivent être considérés comme une tendance car les écarts de C/I observés pourraient s'expliquer par le fait que la droite de charge 50 Ω convienne mieux aux



composants dans certaines configurations de polarisation. De plus, pour des applications de puissance, l'IP3 n'est pas vraiment le meilleur critère de linéarité car l'amplificateur est amené à travailler au niveau de la compression. Il est donc important d'envisager des mesures de C/I à la compression et de NPR pour juger des potentialités de ces structures en terme de linéarité.

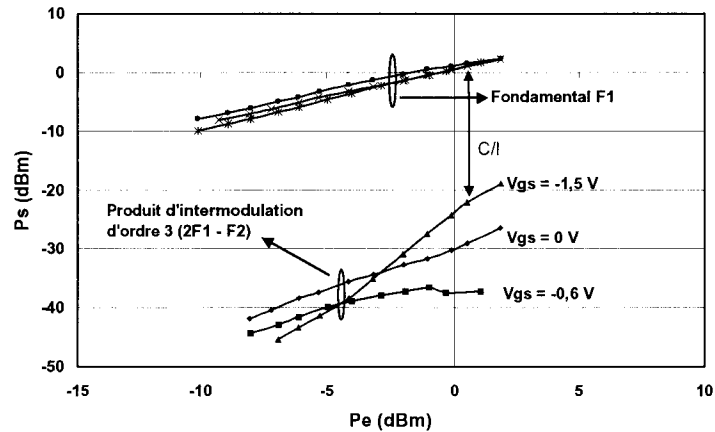


Figure 78 : Evolution du produit d'intermodulation d'ordre 3 de l'épitaxie S981211 en fonction de la puissance d'entrée pour différentes polarisations Vgs (Vds = 3 V, F1 = 17 GHz et F2 = 17,01 GHz)

**(5) Amélioration des bancs de mesures en puissance et en intermodulation.**

Afin de pallier aux pertes importantes observées entre le(s) synthétiseur(s) et le plan d'entrée du composant, les transistors ont été montés en cellule et les tuners ont été placés au plus près des plans d'entrée et de sortie du composant pour permettre une meilleure adaptation. Ce travail a été réalisé par F. Anselme dans le cadre de son DEA.<sup>[42]</sup>

La figure 79 représente l'évolution de la puissance de sortie, du gain et du rendement en puissance ajoutée pour un composant de développement de 2x50 μm de l'épitaxie S981211. La puissance de sortie à 1 dB de compression est de 860 mW/mm pour un PAE de 38 % et un gain linéaire de 8,3 dB. Le rendement maximale est de 39,3 % à 1,7 dB de compression. Dans ces conditions de fonctionnement, la puissance de sortie est de 1 W/mm.

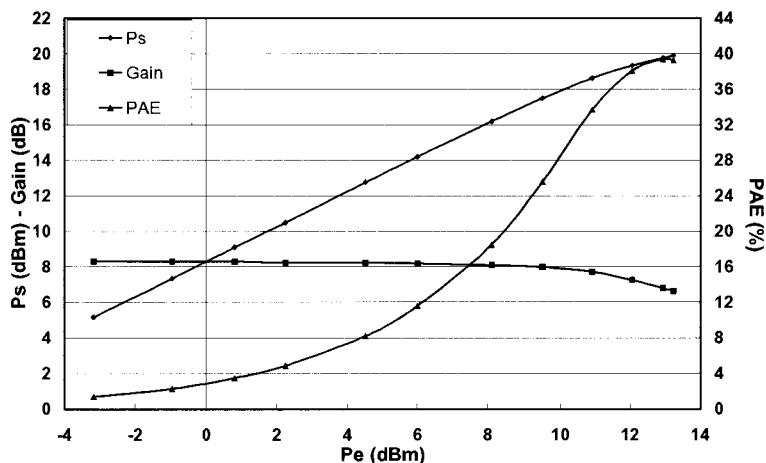


Figure 79 : Evolution de la puissance de sortie, du gain et du PAE en fonction de la puissance d'entrée (2x50 µm S981211, Vds = 5 V et Vgs = - 1,75 V)

Sur la figure 80 est représentée une caractéristique identique obtenue sur un composant de développement 6x75 µm de l'épitaxie S981207. Pour une compression de gain de 1 dB, la puissance de sortie est de 330 mW/mm pour un PAE de 21 % et un gain linéaire de 6,2 dB.

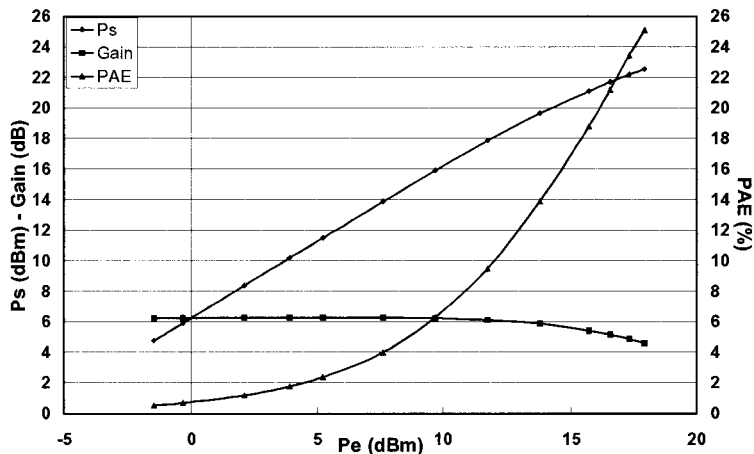


Figure 80 : Evolution de la puissance de sortie, du gain et du PAE en fonction de la puissance d'entrée (6x75 µm S981207, Vds = 4 V et Vgs = - 1,4 V)

Malgré les modifications apportées au banc de mesure en puissance, la puissance d'entrée n'est pas suffisante pour amener le transistor dans sa zone de saturation. De ce fait, la puissance de sortie à 1,6 dB de compression est de 400 mW/mm pour un PAE de 25 %.

Par contre, les modifications apportées au banc de mesure ont permis de mesurer les produits d'intermodulation au niveau de la compression. On peut donc voir sur la figure 81 l'évolution du  $(C/I)_3$  à 2 dB de compression en fonction de  $V_{gs}$  pour les deux composants précédents.

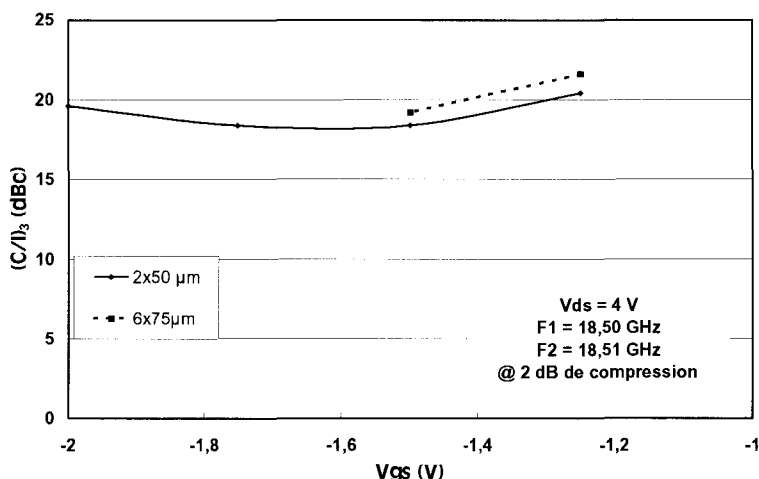


Figure 81 : Evolution du  $(C/I)_3$  en fonction de  $V_{gs}$  pour  $V_{ds} = 4$  V (2x50  $\mu\text{m}$  S981211 et 6x75  $\mu\text{m}$  S981207)

La valeur du  $(C/I)_3$  est supérieure à 18 dBc sur toute la plage de  $V_{gs}$  étudiée pour les deux composants. Ces valeurs sont supérieures de 3 dB aux meilleurs résultats trouvés dans la littérature pour la densité de puissance mise en jeu.<sup>[43,44]</sup>

## **D) Composants avec trous métallisés.**

### **(1) Introduction.**

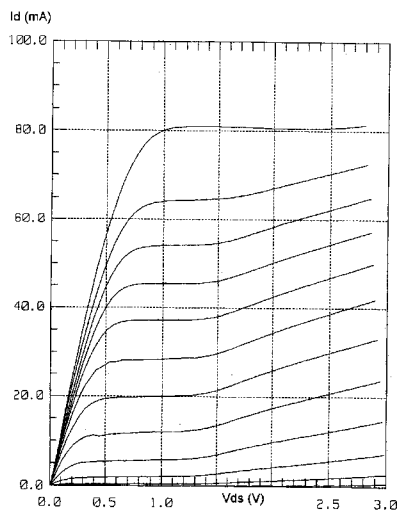
La température de fonctionnement d'un transistor est un paramètre très important pour sa fiabilité.<sup>[45]</sup> En effet, celle-ci peut avoir des effets néfastes sur les caractéristiques électriques aussi bien à court qu'à long terme. Le transistor est d'autant plus adapté à être utilisé dans des applications de puissance que sa conductivité thermique est élevée.<sup>[46]</sup> Une solution consiste à utiliser une technologie de trous métallisés afin de permettre une meilleure dissipation thermique.

Comme nous l'avons vu dans le premier chapitre, de nombreux problèmes sont apparus lors de la réalisation de transistors avec trous métallisés. Nous aborderons donc dans cette partie, les premiers résultats obtenus sur les composants de la 4<sup>ème</sup> campagne de l'épitaixie S981208.

Rappelons que cette couche est de type pHEMT à deux canaux alimentés par deux plans de dopage identique de  $4.10^{12}\text{cm}^{-2}$ .

## (2) Caractérisation statique.

Sur la figure 82 est représenté un réseau de caractéristique  $I_d = f(V_{ds}, V_{gs})$  pour un transistor de développement  $2 \times 75 \mu\text{m}$ . Le pas de  $V_{gs}$  est de 200 mV pour une valeur maximale de 1 V à canal ouvert. La densité de courant de drain est de 550 mA/mm pour une tension de pincement de - 1, 6 V. De ces résultats deux remarques s'imposent :

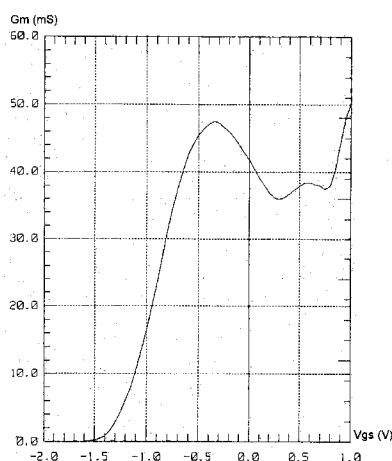


**Figure 82 : Caractéristique I-V statique d'un transistor de développement  $2 \times 75 \mu\text{m}$  de l'épitaxie S981208  
 $V_{gs_{\max}} = 1\text{V}$  par pas de 200 mV**

- les modifications technologiques apportées au process de trous métallisés ont permis d'obtenir des résultats 6 à 7 fois supérieurs à ceux obtenus auparavant et comparables à ceux de la couche HFET (S981210) sans trous métallisés
- la densité maximale de courant disponible dans la structure intervient à des polarisations  $V_{gs}$  plus importantes (1 V contre 0,8 V pour les épitaxies sans trous métallisés) pour des raisons encore inconnues.

Si l'on observe l'évolution de la transconductance sur la figure 83, pour  $V_{ds} = 3\text{V}$ , on remarque nettement la contribution du puits profond à  $V_{gs} = -0,4\text{V}$  avec une valeur de 340 mS/mm mais celle du puits supérieur à  $V_{gs} = 0,5\text{V}$  est moins marquée avec une valeur de 250 mS/mm. Cependant, on remarque aussi une augmentation de celle-ci pour des  $V_{gs}$

supérieurs à 0,7 V. Cette remontée se laisse pressentir sur la caractéristique  $I_d = f(V_{gs}, V_{ds})$  pour  $V_{gs}$  compris entre 0,8 et 1 V. La tension de claquage en configuration diode est comprise entre - 5 et - 6 V.



**Figure 83 : Evolution de la transconductance en fonction de  $V_{gs}$  pour un transistor de développement  $2 \times 75 \mu\text{m}$  de l'épitaxie S981208 à  $V_{ds} = 3 \text{ V}$**

Sur le tableau 15, nous avons résumé les principaux résultats obtenus durant la caractérisation statique des composants avec trous métallisés de l'épitaxie S981208.

Epitaxie	$I_{d_{\max}}$ ( $V_{gs}=1\text{V}$ )	$G_{m_{\max}}$	$\eta$	$V_b$	$V_{b_{gd}}$	$V_p$
S981208	550 mA/mm	320 mS/mm	1,8	0,53 V	5 - 6 V	- 1,6 V

**Tableau 15 : Résumé des principaux résultats obtenus en caractérisation statique des transistors avec trous métallisés de l'épitaxie S981208**

Si les principaux résultats sont encourageants, la tension de claquage peut paraître décevante en comparaison de celles mesurées sur les composants sans trous métallisés (S981207,10 et 11). Mais contrairement aux autres épitaxies, les transistors avec trous métallisés n'ont subi aucun stress électrique de la grille, ce qui explique la valeur de 5 à 6 V de la tension de claquage. Enfin, le coefficient d'idéalité élevé (1,8) laisse pressentir un problème du contact Schottky.

**(3) Caractérisation petit signal.**

L'extraction des éléments extrinsèques, effectuée à partir des paramètres  $S_{ij}$ , est représentée dans le tableau 16.

Epitaxie	$R_s$ ( $\Omega$ .mm)	$R_d$ ( $\Omega$ .mm)	$R_g$ ( $\Omega$ .mm)	$L_s$ (pH)	$L_d$ (pH)	$L_g$ (pH)	$C_{pg}$ (fF)	$C_{pd}$ (fF)
S981208	0,34	0,42	400	8	115	105	40	40

**Tableau 16 : Eléments extrinsèques de l'épitaxie S981208**

Nous obtenons des résistances de source, de drain et de grille légèrement inférieures aux composants sans trous métallisés. Les selfs  $L_s$ ,  $L_d$  et  $L_g$  ainsi que les capacités  $C_{pg}$  et  $C_{pd}$  sont du même ordre de grandeur que celles obtenues sur les couches sans trous métallisés lors de la quatrième campagne.

Nous présentons sur la figure 84 l'évolution du  $g_m$ ,  $g_d$ ,  $C_{gs}$ ,  $C_{gd}$  et  $F_c$  en fonction de  $V_{gs}$ , à  $V_{ds} = 3$  V, pour un composant de développement  $2 \times 75$   $\mu\text{m}$ . La transconductance présente un profil comparable à celui observé en statique à l'exception d'une contribution plus marquée du puits supérieur. Le maximum de  $g_m$  se produit à  $V_{gs} = -0,6$  V avec une valeur de 450 mS/mm. L'évolution de la transconductance associée à celle de la capacité  $C_{gs}$  permet à la fréquence de coupure  $F_c$  d'avoir une évolution comparable à celle du  $g_m$ . Le maximum apparaît pour le puits profond à  $V_{gs} = -0,6$  V avec une valeur de 70 GHz.

Pour conclure cette partie, on peut voir sur la figure 85 l'évolution du gain  $H_{21}$  et du MSG/MAG en fonction de la fréquence pour une polarisation  $V_{ds}$  de 3 V et un  $V_{gs}$  de -0,6 V. Dans ces conditions, nous avons obtenu une fréquence de coupure du gain en courant de 50 GHz et un  $F_{MAG}$  de 100 GHz.

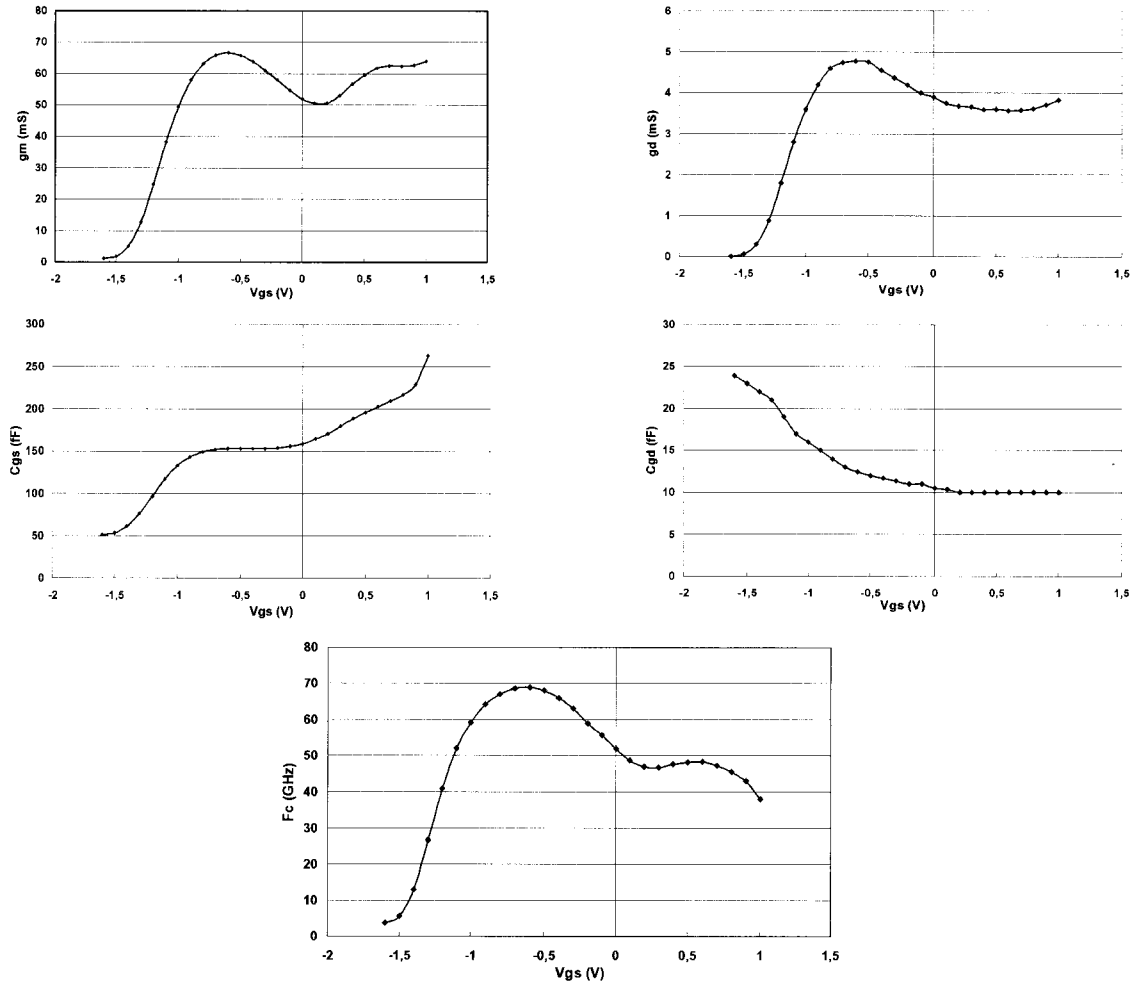


Figure 84 : Evolution des paramètres  $g_m$ ,  $g_d$ ,  $C_{gs}$ ,  $C_{gd}$  et  $F_c$  en fonction de  $V_{gs}$  pour un transistor de développement  $2 \times 75 \mu\text{m}$  de l'épitaxie S981208 à  $V_{ds} = 3 \text{ V}$

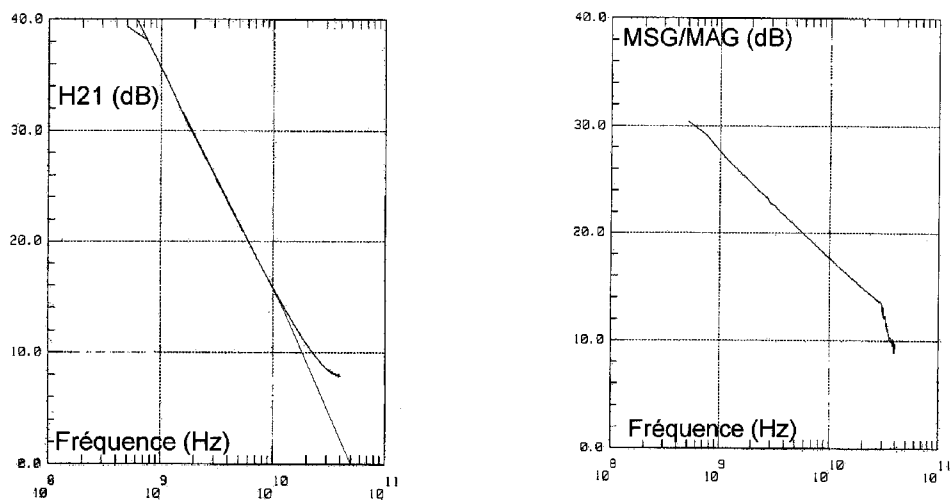


Figure 85 : Evolution de  $H_{21}$  et du  $MSG/MAG$  en fonction de la fréquence pour un transistor de développement  $2 \times 75 \mu\text{m}$  de l'épitaxie S981208 à  $V_{ds} = 3 \text{ V}$  et  $V_{gs} = -0,6 \text{ V}$

#### **(4) Conclusion.**

La comparaison entre les composants de l'épitaxie S981208 avec trous métallisés et ceux des couches S981207 et 11, qui sont théoriquement des couches identiques à la première, est très difficile à faire. En effet, les écarts observés entre leurs densités de courant de drain et leurs tensions de pincement sont trop importants. Plusieurs hypothèses peuvent être émises afin d'expliquer ces différences :

- la qualité de la couche S981208
- l'influence du procédé technologique
- la qualité du contact Schottky.

Néanmoins, si les résultats obtenus durant la caractérisation statique ne rivalisent pas avec ceux des deux autres couches pHEMT, il en est différemment pour ceux obtenus durant la caractérisation petit signal. En effet, la transconductance intrinsèque présente un profil quasi plat en fonction de  $V_{gs}$  avec une valeur maximale de 450 mS/mm avec un MAG supérieur à 10 dB à 30 GHz. Les fréquences de coupure sont de 50 GHz pour  $F_t$  et 100 GHz pour le MAG. Ces résultats sont très encourageants pour la suite de l'étude. Néanmoins, il aurait fallu réaliser des transistors avec et sans trous métallisés sur la même couche épitaxiée afin de pouvoir faire une comparaison judicieuse.



### **III) Conclusion du Chapitre 2.**

Les modifications apportées sur le process technologique ainsi que sur les structures des couches durant les diverses campagnes d'épitaxies, nous ont permis d'obtenir des résultats statiques conformes au cahier des charges en ce qui concerne les structures de type pHEMT, à savoir :

- une densité de courant de 700 mA/mm
- une tension de claquage de 8 V en configuration canal pincé
- un profil de transconductance quasi plat.

De plus, grâce à ces modifications, les caractéristiques obtenues présentent une grande uniformité des résultats sur la plaquette et une grande reproductibilité plaque à plaque, essentiellement due à l'insertion du stoppeur en AlAs entre le cap layer et la couche barrière d'une part, et au développement d'une gravure sélective du fossé de grille à l'aide d'une solution d'acide citrique d'autre part.

Cependant, concernant la structure de type HFET, la densité de courant est légèrement plus faible et le profil de la transconductance est non conforme à celui prévu par la simulation. Ces différences ont été imputées, par rétro simulation, à un manque de porteurs dans la structure. Un nouvel essai s'impose donc, en augmentant le plan de dopage dans la structure, afin de compenser une sous activation des porteurs, et de permettre ainsi d'obtenir la densité de courant et le profil de transconductance souhaités.

Durant la caractérisation hyperfréquence petit signal des épitaxies de la dernière campagne, nous nous sommes attachés à déterminer le plus précisément possible la valeur des capacités plot  $C_{pg}$  et  $C_{pd}$  afin de ne pas introduire une trop grande erreur sur l'extraction des éléments intrinsèques.

Les lois d'échelle obtenues sur tous les éléments ont démontré la maturité du process technologique par l'excellente uniformité des résultats.

Ces épitaxies présentent des résultats très proches en terme de fréquence de coupure et honorables vis à vis des meilleurs résultats rencontrés dans la littérature, avec cependant un léger avantage pour l'épitaxie de type pHEMT (S981211).

L'évolution du MAG est similaire à celle de la transconductance avec une zone quasi plate sur plus de 3 V de  $V_{gs}$  pour l'épitaxie S981211. Si celui-ci est quasiment invariant en fonction de la tension drain source, il subit une légère décroissance proportionnelle au nombre de

doigts de grille et inversement proportionnelle au développement unitaire de grille. Ceci implique de trouver un bon compromis entre le développement unitaire et le nombre de doigts de grille. Comme nous le verrons dans le chapitre 3, notre choix s'est porté sur un composant de développement  $6 \times 75 \mu\text{m}$ .

En ce qui concerne la caractérisation hyperfréquence grand signal, dans la bande K, l'épitaixie S981211 a confirmé sa supériorité avec une puissance de sortie, à 1 dB de compression, de l'ordre de 1 W/mm pour un rendement en puissance ajouté associé de 30 % et un gain linéaire de 9 dB.

Malgré une densité de courant légèrement inférieure et un profil de transconductance « classique », l'épitaixie S981210 présente des performances en puissance tout à fait honorables avec plus de 600 mW/mm à 1 dB de compression pour un PAE de 25 % et un gain linéaire de 9,5 dB.

Les performances obtenues sur ces structures se situent au niveau des meilleures performances mondiales en terme de puissance – rendement – gain.

Enfin, les mesures d'intermodulation ont montré des résultats similaires à faible niveau pour les trois épitaixies et ont permis de démontrer l'amélioration de la linéarité avec la tension  $V_{ds}$ , ce qui est souhaitable pour des applications de puissance.

L'évolution des produits d'intermodulation au niveau de la compression laisse présager de bonnes performances en terme de Puissance-Linéarité.

En ce qui concerne les composants avec trous métallisés, les modifications apportées au procédé de réalisation technologique ont permis d'obtenir des performances comparables à celles obtenues sur des transistors sans trous métallisés de l'épitaixie S981210. Avec notamment un profil de transconductance quasi plat en fonction de  $V_{gs}$  et un MAG supérieur à 10 dB pour 30 GHz.

#### **IV) Bibliographie du Chapitre 2.**

**[1] X. Hue et al.**

"Gate recessing optimization of GaAs/Al<sub>0.22</sub>Ga<sub>0.78</sub>As heterojunction field effect transistor using citric acid / hydrogen peroxide / ammonium hydroxide for power applications"  
Journal of Vacuum Science and Technology B, 16(5), 1998, p 2675 - 2679

**[2] G. Dambrine**

"Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent"  
Thèse d'Université Lille 1, Mars 1989

**[3] D. Théron et al.**

"Characterization of GaAs and InGaAs double quantum well heterostructure FET's"  
IEEE Transactions on Electron Devices, vol 40, n°11, 1993, p 1935 - 1940

**[4] J. Alamkan et al.**

"Modelling of pseudomorphic AlGaAs/GaInAs/AlGaAs layers using selfconsistent approach"  
European Transactions on Telecommunications and Related Technologies, vol 1, n° 4, 1990, p 429 - 432

**[5] X. Hue et al.**

"Uniformity improvement of linear power pHEMTs using a very high selective wet etching"  
Microwave and optical technology letters, vol 23, n° 3, 1999, p 192 - 194

**[6] D. Xu et al.**

"Improving threshold voltage uniformity of 0,1 µm InP MODFETs with different gate layouts"  
Electronics Letters, 34, 1998, p 1614 - 1615

**[7] L. S. Lai et al.**

"Selectively dry etched n+ GaAs / AlGaAs / n InGaAs doped channel FETs by using a CHF<sub>3</sub> + BCL<sub>3</sub> plasma"  
Solid State Electronics, vol 42, 1998, p 1793 - 1797

**[8] T. Aigo et al.**

"Threshold voltage uniformity and characterization of microwave performance for GaAs / AlGaAs high electron mobility transistors grown on Si substrate"  
IEEE Transactions on Electron Devices, vol 43, n° 4, 1996, p 527 - 534

**[9] A. Moritani et al.**

"Improvement of threshold voltage uniformity in Ion implanted GaAs metal semiconductor field effect transistors on Si"  
Japanese Journal of Applied Physics, vol 35, part 1, n° 11, 1996, p 5664 - 5669

**[10] Y. M. Niquet et al.**

"A complementary approach to the access design of millimeter power HFETs"  
28<sup>th</sup> European Microwave Conference, Amsterdam, 1998, p 433 - 438

**[11] C. Gaquière et al.**

"Analysis of extrinsic element influence on the power performances of HEMT's in the Ka band"  
Gallium Arsenide Conference, Paris, June 1996

**[12] S. Piotrowicz**

"Intégration monolithique de HEMT's sur substrat InP en vue de l'amplification de puissance en bande V"  
Thèse d'Université Lille1, Mars 1999

**[13] G. Dambrine et al.**

"A new extrinsic equivalent circuit of HEMT's including noise for millimeter-wave circuit design"  
IEEE Transaction on Microwave Theory and Techniques, vol 46, n° 9, 1998, p 1231 - 1236

**[14] B. Bonte et al.**

"Fabrication en fonderie de transistors de puissance à haute linéarité pour bandes K et Ka"  
3<sup>ème</sup> rapport n° 714/2/98/CNES/0033, Centre National d'Etudes Spatiales, Septembre 1999

**[15] V. Hoel**

"Conception, réalisation et caractérisation de transistors à effet de champ à hétérojonction sur substrat d'InP pour circuits intégrés coplanaires en bande V et W"  
Thèse d'Université Lille 1, Décembre 1998

**[16] C. Gaquière**

"Analyse et optimisation de transistors à effet de champ à hétérojonction pour l'amplification de puissance dans la bande Ka"  
Thèse d'Université Lille 1, Novembre 1995

**[17] N. I. Cameron et al.**

"Gate recess engineering of pseudomorphic In<sub>0,30</sub>GaAs / GaAs HEMTs"  
Electronics Letters, vol 32, n° 8, 1996, p 770 - 772

**[18] S. G. Yang et al.**

"DC and Rf characterization of 0,25 µm non recessed gate GaAs pHEMT fabricated by self aligned gate process"  
Electronics Letters, vol 34, n° 14, 1998, p 1431 - 1433

**[19] B. Kim et al.**

"AlGaAs / InGaAs / GaAs quantum well power MISFET at millimeter wave frequencies"  
IEEE Electron Device Letters, vol 9, n° 11, 1988, p 610 - 611

**[20] T. Huang et al.**

"Pseudomorphic AlGaAs / InGaAs / GaAs HEMTs in low cost plastic packaging for DBS application"  
Electronics Letters, vol 32, n° 2, 1996, p 141 - 143

**[21] L. D. Nguyen et al.**

"Influence of quantum well width on device performance of Al<sub>0,3</sub>Ga<sub>0,7</sub>As / In<sub>0,25</sub>Ga<sub>0,75</sub>As (on GaAs) MODFET's"  
IEEE Transactions on Electron Devices, vol 36, n° 5, 1989, p 833 - 838

[22] **C. Gaquière et al.**

"Breakdown analysis of an asymmetrical double recessed power MESFET's"  
IEEE Transactions on Electron Devices, vol 42, n° 2, 1995, p 209 - 214

[23] **C. Gaquière et al.**

"Correlation between gate current and RF power performances of millimeter HFET's"  
European Microwave Conference, Prague, République Tchèque, Sept 1996

[24] **J. C. Huang et al.**

"A double recessed Al<sub>0,24</sub>GaAs / In<sub>0,16</sub>GaAs pseudomorphic HEMT for Ka and Q band power applications"  
IEEE Electron device letters, vol 14, n° 9, 1993, p 456 - 458

[25] **J. L. Lee et al.**

"A Ku band T Shaped gate GaAs power MESFET with high breakdown voltage for satellite communications"  
IEEE Electron Device Letters, vol 19, n° 7, 1998, p 250 - 252

[26] **C. Gaquière et al.**

"1W/mm power pseudomorphic HFET with optimized recess technology"  
Electronics Letters, vol 30, n° 11, 1994, p 904 - 906

[27] **K. Hikosaka et al.**

"Microwave power double heterojunction HEMT's"  
IEEE Transactions on Electron Devices, vol ED 33, n° 5, 1986, p 583 - 588

[28] **J. C. Huang et al.**

"An AlGaAs / InGaAs pseudomorphic high electron mobility transistor (PHEMT) for X and Ku band power applications"  
IEEE MTT-S International Microwave Symposium Digest, San Francisco (USA), 1992, p 319 - 321

[29] **G. W. Wang et al.**

"A high current pseudomorphic AlGaAs / InGaAs double quantum well MODFET"  
IEEE Electron Device Letters, vol 9, n° 1, 1988, p 4 - 6

[30] **B. Kim et al.**

"Millimeter wave power operation of an AlGaAs / InGaAs / GaAs quantum well MISFET"  
IEEE Transactions on Electron Devices, vol 36, n° 10, 1989, p 2236 - 2242

[31] **M. Matloubian et al.**

"20 GHz high efficiency AlInAs-GaInAs on InP power HEMT"  
IEEE Microwave and Guided Wave Letters, vol 3, n° 5, 1993, p 142 - 144

[32] **O. Aina et al.**

"A 1,45 W/mm, 30 GHz InP channel power HEMT"  
IEEE Electron Device Letters, vol 13, n° 5, 1992, p 300 - 302

**[33] M. Matloubian et al.**

"K band GaInAs/InP channel power HEMTs"  
Electronics Letters, vol 31, n° 9, 1995, p 761 - 762

**[34] C. S. Wu et al.**

"High efficiency microwave power AlGaAs/InGaAs pHEMT's fabricated by dry etch single gate recess"  
IEEE Transactions on Electron Devices, vol 42, n° 8, 1995, p 1419 - 1424

**[35] K. Kiziloglu et al.**

"High performance AlGaAs/InGaAs/GaAs pHEMTs for K and Ka band applications"  
IEEE MTT-S International Microwave Symposium Digest, vol 2, Anaheim USA, 1999, p 681 - 684

**[36] T. Kunii et al.**

"High gain and high efficiency K band power HEMT with Wsi/Au T-shaped gate"  
IEEE MTT-S International, Microwave Symposium Digest, vol 3, Denver USA, 1997, p 1187 - 1190

**[37] D. D. Henkes et al.**

"Intermodulation concepts and calculations"  
Applied Microwave and Wireless, July/August 1997, p 38 - 43

**[38] K. W. Kobayashi et al.**

"InP based HBT millimeter-wave technology and circuit performance to 40 GHz"  
IEEE Microwave and Millimeter Wave Monolithic Circuits Symposium, San Francisco USA, 1999, p 85 - 88

**[39] K. W. Kobayashi et al.**

"High IP3 low DC power 44 GHz InP-HBT amplifier"  
Gallium Arsenide Integrated Circuit Symposium, Amsterdam, 1998, p 29 - 32

**[40] S. L. G. Chu et al.**

"A highly linear MESFET"  
IEEE MTT-S International, Microwave Symposium Digest, vol 2, Denver USA, 1991, p 725 - 728

**[41] K. W. Kobayashi et al.**

"A 44 GHz high IP3 InP-HBT amplifier with practical current reuse biasing"  
IEEE Transactions on Microwave Theory and Techniques, vol 46, n° 12, 1998, p 2541 - 2552

**[42] F. Anselme**

"Etude de la linéarité de transistors P-HEMT's double puits hybrides en bande K"  
D.E.A., Université de Lille 1, 2000

**[43] R. Yarborough et al.**

"Performance comparison of 1 Watt Ka band MMIC amplifiers using pseudomorphic HEMTs and ion implanted MESFETs"  
IEEE Microwave and Millimeter Wave Monolithic Circuits Symposium, San Francisco USA, 1996, p 21-24

**[44] J. J. Komiak**

"Design and performance of MESFET, HBT, and PHEMT power amplifiers"

3<sup>rd</sup> International Workshop on Integrated Nonlinear Microwave and Millimeter Circuits, Duisbourg Germany, 1994, p 43-57

**[45] P. W. Webb et al.**

"Thermal resistance of gallium-arsenide field effect transistors"

IEE Proceedings Circuits, Devices and Systems, vol 136, n° 5, 1989, p 229 – 234

**[46] M. J. Uren et al.**

"Silicon carbide microwave MESFET research at DERA Malvern"

IEE Colloquium on Advances in Semiconductor Devices, London, 1999, p 1 – 6

**Chapitre 3 :**  
**Conception et réalisation d'amplificateurs**  
**de puissance en bandes K et Ka**  
**à base de transistors pHEMT**  
**sur substrat GaAs.**





## **I) Introduction.**

Dans les chapitres précédents, nous avons décrit les différentes phases nécessaires à la réalisation et à la caractérisation des transistors de puissance. Nous traiterons, dans ce 3<sup>ème</sup> chapitre, qui se compose de cinq parties, de la conception et de la réalisation d'amplificateurs de puissance à partir de ces transistors. Le but de cette étude n'était pas d'obtenir l'état de l'art en terme de puissance-rendement et linéarité mais de montrer la faisabilité de réaliser des amplificateurs à partir de ce type de transistors de puissance et d'évaluer leurs potentialités.

Dans un premier temps, nous allons nous intéresser à la modélisation des transistors de puissance afin de les intégrer dans le logiciel de conception. Cette modélisation passe par le choix du transistor utilisé, l'élaboration du modèle non linéaire ainsi que la comparaison entre les résultats simulés et expérimentaux.

Le modèle ainsi mis au point permettra de passer à la conception proprement dite de l'amplificateur.

Deux types de technologie ont été étudiés :

- la première, qui est la plus répandue pour des applications de puissance, est la technologie microruban. Les modèles disponibles dans les bibliothèques du logiciel de conception (HP Eesof Libra série IV) sont très bien maîtrisés et permettent d'obtenir une excellente prédiction des performances de l'amplificateur. Cette technologie est souvent associée à l'utilisation de composants avec trous métallisés pour favoriser le mode microruban et améliorer la dissipation thermique. Cependant, comme nous l'avons vu dans les chapitres 1 et 2, les problèmes rencontrés lors de la réalisation des transistors avec trous métallisés nous ont amené à utiliser des composants amincis sans trous métallisés. Les sources ont alors été reliées à la masse du boîtier par l'intermédiaire de rubans d'or, ce qui a pour conséquence d'augmenter la valeur de la self  $L_s$  et de diminuer ainsi les performances en gain de l'amplificateur.
- la seconde concerne la technologie coplanaire avec report du transistor sur substrat d'alumine (Flip Chip). Les modèles disponibles dans les bibliothèques ne sont pas encore très fiables, mais cette technologie permet de diminuer les pertes dues à la longueur des rubans de connexion de grille, drain et source et d'améliorer la

dissipation thermique. Cette étude a été réalisée à l'aide des logiciels de conception HP Eesof Libra série IV et Coplan.

Nous nous intéresserons tout d'abord à la conception d'un module hybride de puissance en technologie microruban constitué d'un seul transistor pHEMT afin d'évaluer les performances en terme de puissance, rendement en puissance ajoutée, gain et linéarité.

Au vu des résultats obtenus en simulation dans cette première étape, nous avons conçu un deuxième module hybride identique au premier mais constitué de quatre transistors de type pHEMT en parallèle afin de démontrer, en théorie, la faisabilité d'un module de puissance supérieure à 1 Watt @ 19 GHz avec notre technologie.

Nous aborderons ensuite la conception d'un module hybride de puissance en technologie coplanaire, constitué d'un seul transistor pHEMT, pour permettre un report Flip - Chip afin d'améliorer la dissipation thermique.

Enfin, l'étape suivante nous amènera à la caractérisation de l'amplificateur en technologie microruban avec notamment sa réponse en puissance et en intermodulation.

La réalisation des amplificateurs (alumine et mise au point) a été faite durant la période où j'étais à Alcatel, mais « sous traité » aux services compétents. C'est pour cela que des délais de fabrication imposés n'ont pas permis de caractériser l'amplificateur en technologie coplanaire avant la fin de la rédaction de ce mémoire. Néanmoins, la réalisation est en cours.

## **II) Modélisation des transistors de puissance à haute linéarité sur substrat GaAs.**

### **1) Introduction.**

Dans ce paragraphe, nous allons expliquer dans un premier temps, le choix du composant retenu pour la conception de l'amplificateur de puissance. Nous présenterons ensuite l'élaboration du modèle non linéaire et sa validation par la comparaison entre les résultats mesurés et simulés.

### **2) Choix du transistor de puissance.**

Vu les résultats de caractérisation statique et hyperfréquence des transistors exposés dans le second chapitre, les composants de l'épitaxie S981211 (HEMT pseudomorphique double puits) ont présenté les meilleures performances en terme de densité de courant de drain, fréquence de coupure et de puissance de sortie à 1 dB de compression de gain ( $\sim 1 \text{ W/mm @ } V_{ds} = 5 \text{ V}$ ).

L'obtention de puissance importante nécessite d'avoir recours à l'association de plusieurs transistors en parallèle afin de limiter l'influence de l'inductance de source sur les performances de l'amplificateur.<sup>[1]</sup> De ce fait, notre choix s'est porté sur des transistors de l'épitaxie S981211 de développement unitaire de  $75 \mu\text{m}$ , comportant 6 doigts de grille, et portant ainsi le développement total de grille à  $450 \mu\text{m}$ , afin de viser une puissance de sortie de l'ordre de  $0,25 \text{ Watt @ } V_{ds} = 4 \text{ V}$ .

### **3) Elaboration et 1<sup>ère</sup> validation du modèle non linéaire.**

Contrairement au modèle linéaire, le modèle non linéaire représente le composant sous forme de schéma équivalent dont certains éléments constitutifs dépendent de l'amplitude des signaux appliqués ou de la polarisation instantanée. Le schéma électrique équivalent du transistor en grand signal, le plus souvent utilisé, est représenté sur la figure 86.

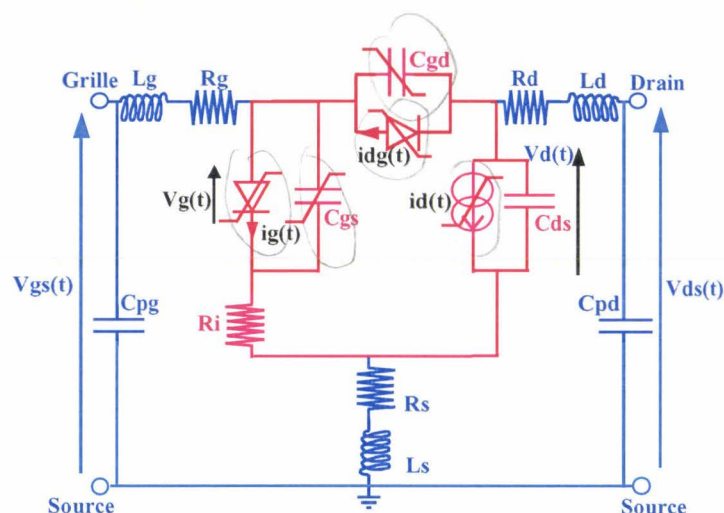


Figure 86 : Schéma électrique équivalent du transistor en régime grand signal

On distingue clairement les éléments linéaires, indépendants des tensions de polarisation, ainsi que les éléments dépendants des tensions de polarisation et responsables des principales non linéarités.

Dans les éléments linéaires on distingue :

- les résistances d'accès résultant des contacts ohmiques et Schottky ( $R_s$ ,  $R_d$  et  $R_g$ )
- les inductances extrinsèques provenant des métallisations d'accès ( $L_s$ ,  $L_d$  et  $L_g$ )
- les capacités plots de drain et de source ( $C_{pg}$  et  $C_{pd}$ )
- en pratique,  $R_i$  (résistance interne du canal) et  $C_{ds}$  (capacité drain source) sont suffisamment faibles par rapport aux impédances présentes dans le modèle pour pouvoir négliger leur non linéarité.

Tous ces éléments sont issus du schéma électrique équivalent petit signal.

Dans les éléments responsables des non linéarités, on distingue :

- les capacités  $C_{gs}$  et  $C_{gd}$
- la source de courant de drain [ $i_d(t)$ ]
- le passage de la grille en direct [ $i_g(t)$ ]
- le phénomène d'avalanche drain - grille [ $i_{dg}(t)$ ].

Afin d'améliorer la validité du modèle non linéaire, il est préférable de déduire les expressions des éléments non linéaires à partir de mesures statiques impulsionnelles pour éviter le phénomène d'échauffement voire l'effet de pièges d'électrons qui interviennent lors des mesures statiques en continu. Le principe de mesure consiste à appliquer simultanément sur la grille et le drain du transistor une tension continue de polarisation ainsi qu'une tension

impulsionnelle. La première détermine la température de fonctionnement du transistor et la seconde permet de décrire complètement les réseaux de caractéristiques sans augmenter la température du composant, ce qui est le cas en fonctionnement hyperfréquence petit signal. L'acquisition des données s'effectue durant la durée des impulsions. De plus, ce type de mesure permet d'analyser le courant d'avalanche en limitant les risques de détérioration rapide du composant.

Bien que l'IEMN dispose d'un banc automatisé de mesures impulsionnelles, il ne nous a pas été possible d'en tirer profit. En effet, lors de la campagne de caractérisation en mode impulsionnelle de l'épitaxie S981211, nous avons été confrontés à des problèmes de convergence des mesures. De ce fait, pour obtenir rapidement des mesures pour aborder la conception, la modélisation du générateur de courant de drain a été réalisée à partir de mesures statiques continues. De plus, dû aux risques de détérioration rapide du composant en fonctionnement statique, nous n'avons pas modélisé le phénomène d'avalanche drain grille. Ceci signifie que le modèle ne possède aucune limitation en claquage, et risque donc de donner des performances par excès.

Enfin, nous avons représenté sur la figure 87 l'évolution des capacités  $C_{gs}$  et  $C_{gd}$  en fonction de  $V_{ds}$  pour des  $V_{gs}$  correspondant à une pseudo droite de charge. Il en ressort que l'évolution du  $C_{gd}$  est constante pour  $V_{ds} > 1,5$  V et celle de  $C_{gs}$  suit l'évolution du  $g_m$  et reste constante avec une valeur de l'ordre de 180 fF. Au vu de ces résultats, nous avons considéré  $C_{gs}$  et  $C_{gd}$  constantes.

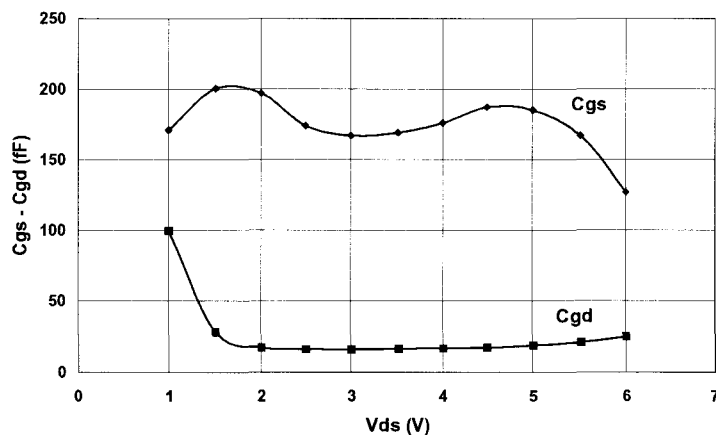


Figure 87 : Evolution des capacités  $C_{gs}$  et  $C_{gd}$  en fonction de  $V_{ds}$

R. Mallavarpu a étudié l'influence de l'équation utilisée pour modéliser  $C_{gs}$  et  $C_{gd}$  sur les performances en puissance et en linéarité du pHEMT conventionnel.<sup>[2]</sup> Le fait de prendre  $C_{gs}$  et  $C_{gd}$  constantes a très peu d'influence sur le gain, la puissance et le rendement lorsque le transistor est adapté. En terme de linéarité cette hypothèse nous conduit à une prévision optimiste du point d'interception d'ordre 3 de 4 à 5 dB mais une prévision assez correcte du produit d'intermodulation d'ordre 3 au niveau de la compression.

Dans notre cas, vue l'évolution de  $C_{gs}$  et de  $C_{gd}$  en fonction de  $V_{ds}$  et  $V_{gs}$ , on peut donc espérer une prédiction assez proche de la réalité.

Sur la figure 88 est représenté le schéma électrique non linéaire retenu pour l'étude. La source de courant de drain a été modélisée par une technique d'interpolation propre au LEMMIC (Alcatel) utilisant les fonctions « splines » car elle permet de représenter plus précisément le réseau  $I(V)$  que les modèles plus classiques tels que Tajima ou Materka.<sup>[3]</sup> La procédure d'interpolation a été complétée par des conditions aux limites afin de respecter le courant de drain maximal à canal ouvert et le courant de drain nul à canal pincé.

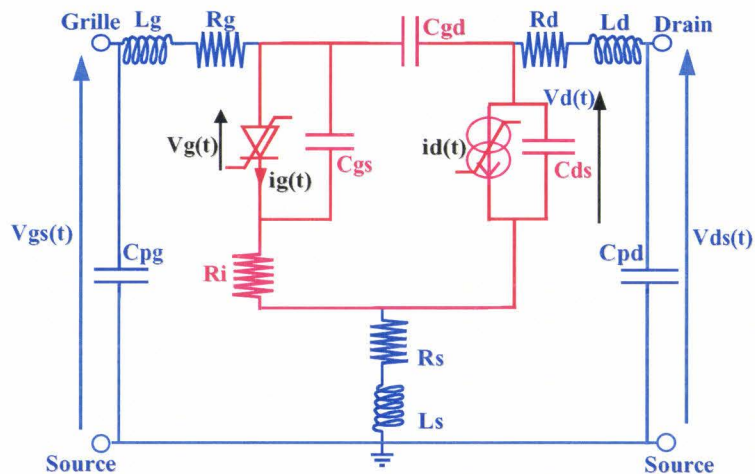


Figure 88 : Schéma électrique non linéaire utilisé

Pour le passage de la grille en direct nous avons pris l'équation d'une diode classique

$$I_g = I_s \left[ \exp \left( \frac{q \cdot V_g}{\eta \cdot k \cdot T} \right) - 1 \right]$$

avec  $I_s$  : courant de saturation

$q$  : charge électronique  $1,6 \cdot 10^{-19} \text{C}$

$V_g$  : potentiel de grille

$\eta$  : coefficient d'idéalité

$k$  : constante de Boltzmann

$T$  : température (K)

### A) Comparaison des caractéristiques statiques mesurées et simulées du transistor pHEMT.

Les caractéristiques I(V) et diode en direct mesurées et simulées d'un composant pHEMT de développement 6x75  $\mu\text{m}$  de l'épitaxie S981211 sont représentées sur la figure 89.

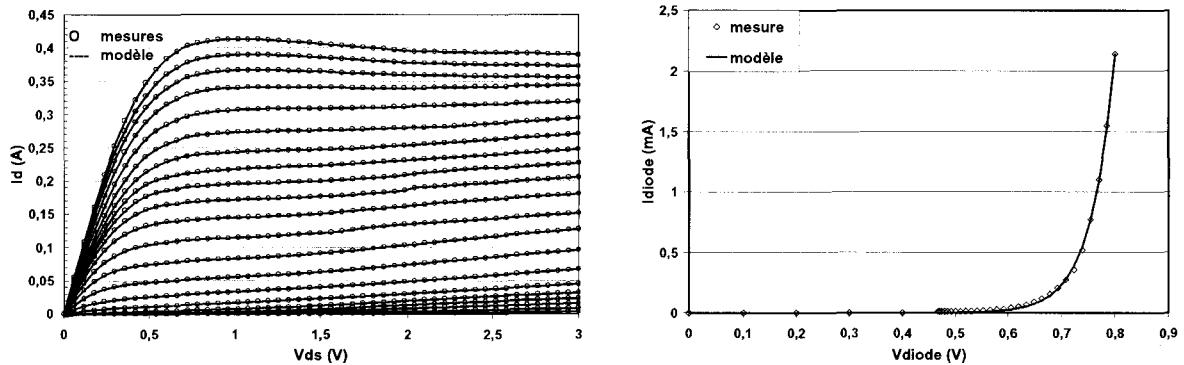


Figure 89 : Comparaison des caractéristiques statiques mesurées et simulées du transistor pHEMT 6x75  $\mu\text{m}$

On constate une très bonne adéquation entre les mesures et les simulations.

### B) Comparaison des paramètres $S_{ij}$ mesurés et simulés du transistor pHEMT.

Nous présentons sur la figure 90 les évolutions des paramètres  $S_{ij}$  (module et phase) mesurés et simulés à partir du modèle non linéaire d'un transistor de développement 6x75  $\mu\text{m}$ . La polarisation de drain a été fixée à 3 V pour se situer loin de la zone ohmique et pour limiter les risques de claquage des composants. La polarisation  $V_{gs}$  de -1,8 V correspond à l'une des trois valeurs particulières où le  $g_m$  est quasi plat, les deux autres étant -0,6 et 0,1 V (figure 51 du chapitre 2).

On constate alors un très bon accord entre les valeurs simulées et mesurées, notamment à la fréquence d'utilisation (19 GHz), avec moins de 0,2 dB de différence sur le paramètre  $S_{21}$ . Nous nous sommes également assurés que le modèle respectait les paramètres  $S_{ij}$  mesurés à  $V_{gs} = -0,6$  et 0,1 V.



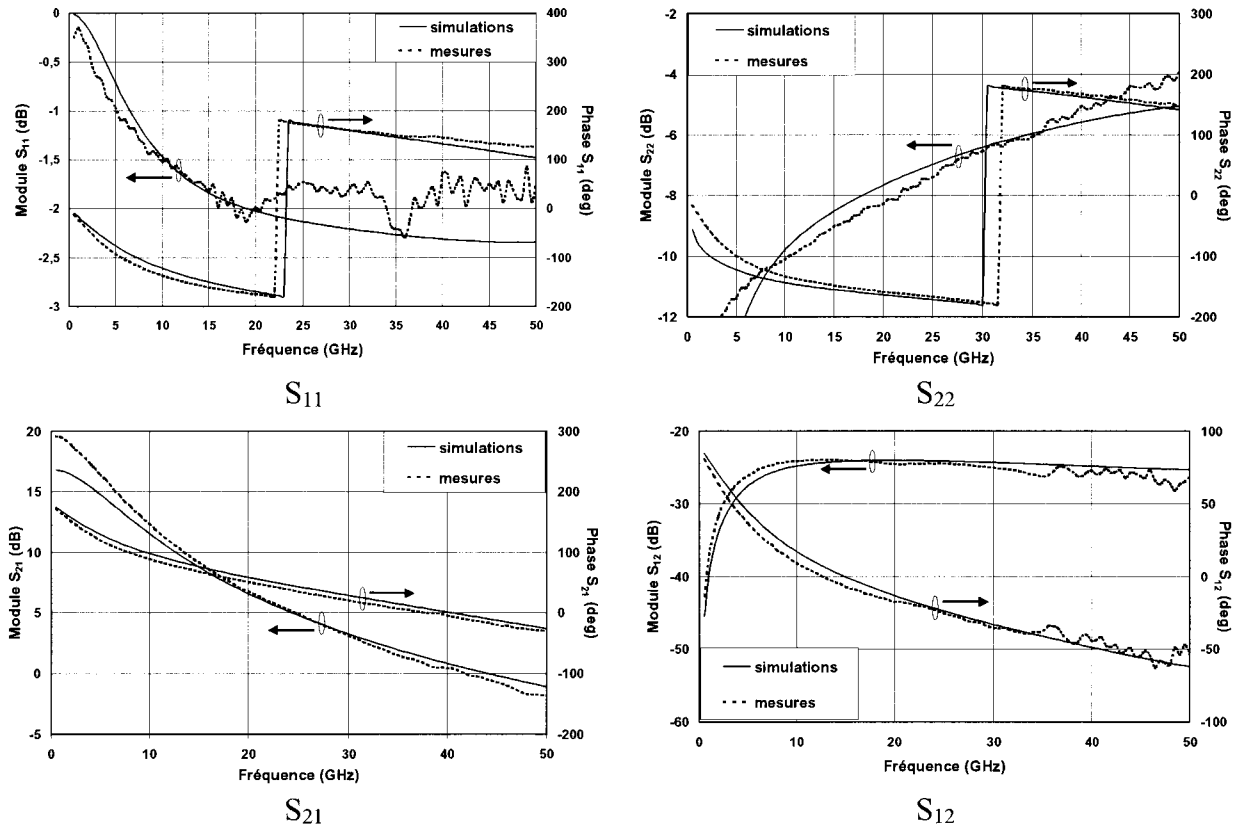


Figure 90 : Comparaison des paramètres  $S_{ij}$  mesurés et simulés du transistor pHEMT 6x75  $\mu\text{m}$

#### 4) Conclusion.

Il est logique de constater un bon accord entre les mesures et les simulations car le modèle est basé sur les paramètres  $S_{ij}$  mesurés ainsi que sur les caractéristiques statiques mesurées. Ceci confirme l'exactitude du modèle en fonctionnement statique et hyperfréquence petit signal. Le véritable test de validité du modèle non linéaire n'aura lieu qu'après la réalisation du module hybride de puissance. Ce test permettra de quantifier l'erreur induite par l'hypothèse qui consiste à prendre  $C_{gs}$  et  $C_{gd}$  constantes, ainsi que le fait d'avoir modélisé le générateur de courant de drain à partir d'un réseau de caractéristiques  $I(V)$  statique sans se soucier du claquage par avalanche. Ceci nous conduira peut être à effectuer une rétrosimulation, en complétant le modèle afin d'obtenir une meilleure prédiction des résultats en simulation.

### **III) Conception d'amplificateurs de puissance à base de transistors pHEMTs, en technologie microruban, pour des applications à 19 GHz.**

#### **1) Introduction.**

Lors de la conception d'un amplificateur de puissance à l'état solide, il est nécessaire de définir le type de technologie utilisée (microruban, coplanaire ou guide d'onde). Pour notre étude, il est nécessaire d'avoir de faibles pertes, pour ne pas pénaliser les performances en puissance du transistor, et des dimensions les plus petites possibles indispensables pour des applications spatiales. Ceci nous amène à utiliser la technologie planaire (microruban ou coplanaire).

Les amplificateurs réalisés en technologie planaire peuvent être divisés en deux catégories :

- les circuits MMIC (Monolithic Microwave Integrated Circuit)

le transistor ainsi que les réseaux passifs sont intégrés sur un même substrat, en général le GaAs ou l'InP pour des applications supérieures au GHz. Cette technologie ne permet quasiment aucun réglage du circuit après sa réalisation.

- les circuits hybrides ou MIC (Microwave Integrated Circuit)

le transistor ainsi que les réseaux passifs sont des éléments discrets. Ce type de technologie est bien approprié pour la réalisation d'une première version d'un module de puissance<sup>[4,5]</sup>, car elle permet d'optimiser à posteriori les performances de l'amplificateur à l'aide de pavés de réglage insérés sur le substrat et d'effectuer des rétro-simulations.

Nous réaliserons donc l'amplificateur de puissance en technologie hybride sur un substrat d'alumine de constante diélectrique relative égale à 9,9 et d'épaisseur 254  $\mu\text{m}$ . Le choix du substrat d'alumine provient des faibles pertes diélectriques qu'il présente. De plus, c'est le substrat le plus couramment utilisé en circuit hybride pour des applications à 20 GHz. Cependant, du fait de la faible valeur des impédances présentées par le transistor de puissance (de l'ordre de quelques ohms), la réalisation de l'adaptation en entrée et en sortie nécessite des lignes très larges. Les dimensions de ces lignes peuvent être réduites par l'utilisation d'un substrat à constante diélectrique plus élevée (exemple : oxyde de titane  $\epsilon_r = 38$ ) au détriment du coût de l'amplificateur.

## **2) Conception des modules hybrides de puissance à 1 étage comportant 1 transistor.**

Le cahier des charges, basé sur les résultats en puissance obtenus à l'IEMN lors de la caractérisation des transistors réalisés sur l'épithaxie S981211, a été défini de la manière suivante :

- la réalisation d'un amplificateur à 19 GHz comportant 1 étage
- 1 étage avec un seul transistor de développement  $6 \times 75 \mu\text{m}$
- fréquence d'utilisation : 19 GHz
- bande de fréquence utile :  $\pm 250 \text{ MHz}$
- puissance de sortie à 2 dB de compression de gain  $> 800 \text{ mW/mm}$
- rendement en puissance ajoutée de l'ordre de 30 %
- gain linéaire : 8 dB.

On remarque que ce cahier des charges est ambitieux, d'un point de vue puissance de sortie à 2 dB de compression, puisqu'il correspond aux meilleures performances en puissance obtenues à l'IEMN sur des composants de développement plus faible où l'effet thermique est moins important.

Le schéma de l'amplificateur de puissance est donné sur la figure 91.

Les réseaux d'entrée et de sortie sont constitués :

- d'un circuit d'adaptation qui permet un transfert maximum de puissance. Ces circuits d'adaptation d'entrée et de sortie se composent de deux (ou trois) tronçons de ligne d'impédances caractéristiques différentes ( $Z_{e1}$ ,  $Z_{e2}$ ,  $Z_{s1}$  et  $Z_{s2}$ ) qui permettent une adaptation en gain et en puissance.

- d'un circuit de polarisation permettant de fournir la puissance continue nécessaire au composant actif sans perturber le circuit traitant le signal à amplifier. Ces circuits de polarisation de grille et de drain se composent d'une ligne et d'un stub ouvert de longueurs égales à un quart de la longueur d'onde du fondamental (19 GHz  $\Rightarrow$  1,5 mm).

- d'un circuit de stabilisation si l'amplificateur est instable.

- les capacités Cd sont des capacités de découplage, tandis que les capacités Cl servent de capacité de liaison du signal RF. Ces capacités sont de 100 et 5 pF respectivement.

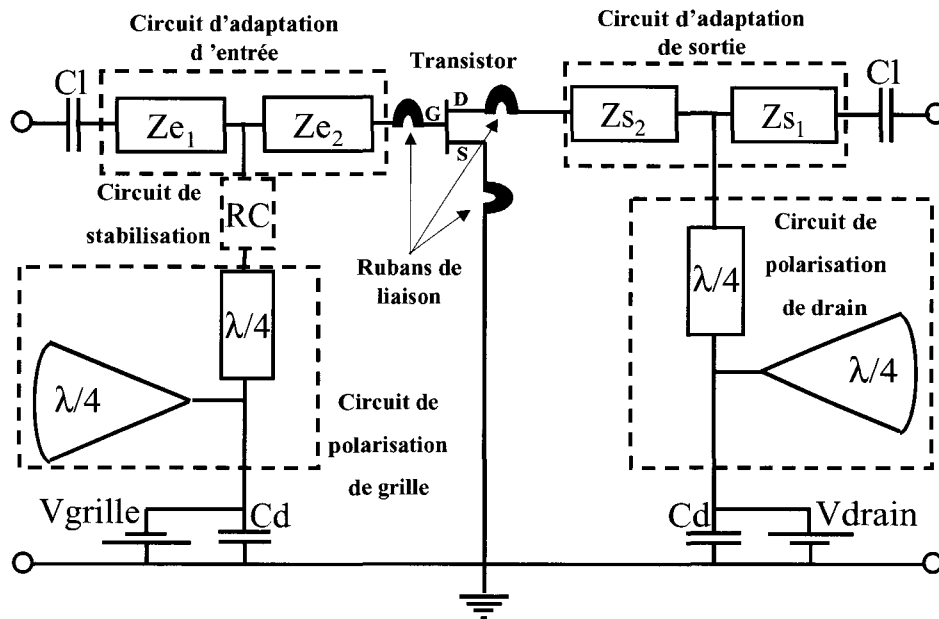


Figure 91 : Schéma de l'amplificateur de puissance

La conception et la simulation de l'amplificateur ont été réalisées à l'aide d'un logiciel de simulation de circuits microondes développé par la société Hewlett Packard (Eesof - Libra - série IV). Ce logiciel permet d'étudier et d'optimiser l'amplificateur en régime linéaire, non linéaire et de définir le « layout » des circuits afin de les réaliser.

La conception commence par le choix des lignes disponibles dans la bibliothèque qui vont composer les réseaux d'entrée et de sortie. Ceux-ci sont ensuite optimisés dans la bande passante de fréquence utile en faisant varier leur longueur et leur largeur afin d'obtenir un maximum de puissance de sortie à 2 dB de compression pour un gain supérieur à 8 dB et un rendement en puissance ajoutée de l'ordre de 30 %.

L'amélioration de la dissipation thermique passe par l'utilisation de transistors amincis à 80  $\mu\text{m}$ . Il est donc nécessaire d'utiliser une « marche » (tab) de 200  $\mu\text{m}$  afin d'amener le transistor à une hauteur équivalente à celle des alumines (254  $\mu\text{m}$ ) pour minimiser les pertes dues aux rubans de liaison (figure 92).

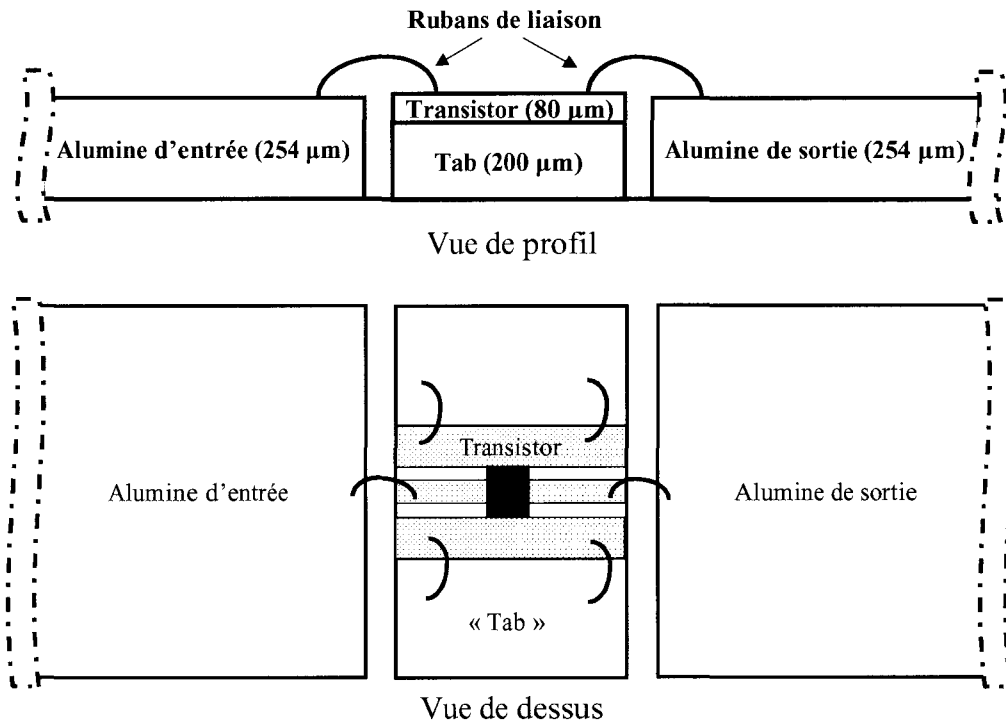


Figure 92 : Connexion du transistor aux alumines d'entrée et de sortie

Dans ce qui suit, nous allons présenter les résultats obtenus en simulation concernant deux amplificateurs de puissance à 19 GHz. Le premier utilisant des capacités de liaison interdigitées, ne nécessitant aucun câblage supplémentaire, donc moins de pertes, car celles-ci sont gravées directement sur les alumines d'entrée et de sortie, et le second utilisant des capacités de liaison discrètes, couramment utilisées dans la conception de module hybride de puissance.

### **A) Amplificateur à capacités interdigitées.**

#### **(1) Simulation linéaire.**

##### **(a) Etude des paramètres $S_{ij}$ .**

Nous présentons sur la figure 93 les résultats de simulations linéaires de l'amplificateur pour une tension drain-source de 4 V (malgré une modélisation effectuée à 3 V afin de préserver les composants d'un éventuel claquage). L'optimisation a été réalisée pour une tension grille-source correspondant au maximum de gain (-1,8 V). Les pertes de réflexion, légèrement élevées, sont de -8 dB en entrée et -10 dB en sortie pour un gain associé de 10 dB à 19 GHz. L'isolation  $S_{12}$  est meilleure que -20 dB sur toute la plage de fréquence.

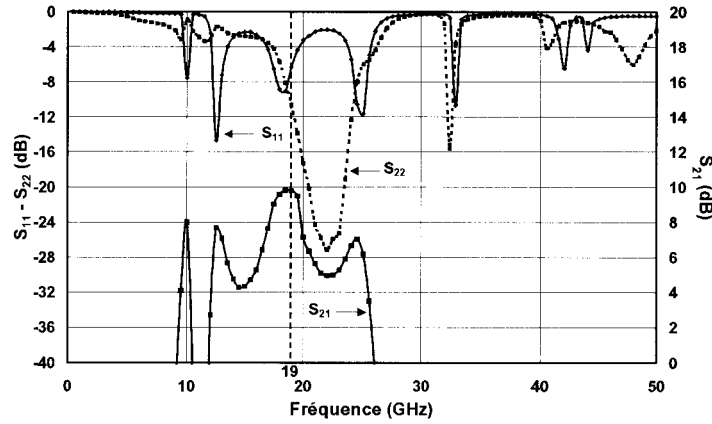


Figure 93 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  simulés en fonction de la fréquence de l'amplificateur à capacités interdigitées

**(b) Etude de la stabilité.**

L'analyse de la stabilité à l'aide du coefficient de Rollet  $K$  (décrit en annexe à la fin du chapitre) et du coefficient  $B1$  montre un fonctionnement inconditionnellement stable de l'amplificateur dans la bande de fréquence utile car les conditions  $K > 1$  et  $B1 > 0$  sont respectées. Cependant, ce module présente des instabilités pour 2 fréquences, 3 et 10 GHz (figure 94).

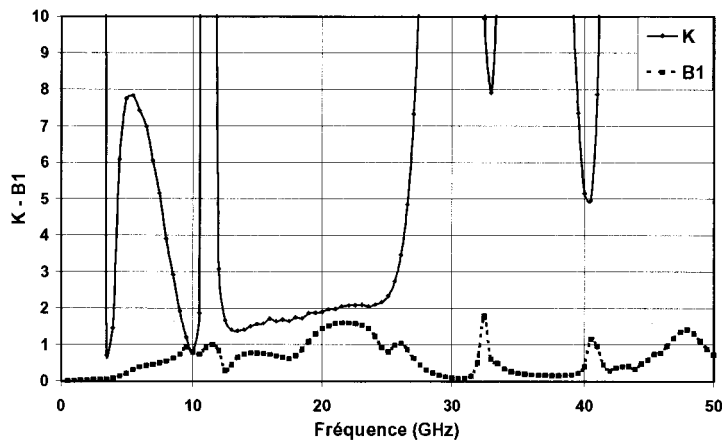


Figure 94 : Evolution des coefficients  $K$  et  $B1$  simulés en fonction de la fréquence

Une analyse plus approfondie à l'aide des cercles de stabilité (voir annexe) en entrée et en sortie a montré que l'amplificateur ne présentait pas d'instabilité sous une impédance de  $50 \Omega$ . Cependant, la stabilité de ce module au voisinage de 3 GHz est très incertaine. Il est donc

préférable d'insérer un circuit de stabilisation (RC parallèle) dans le circuit d'entrée de polarisation de grille afin de s'affranchir de ce risque (figure 91).

L'insertion de ce circuit de stabilisation permet un fonctionnement inconditionnellement stable de l'amplificateur. Par contre, les coefficients de réflexion sont moins bons avec une valeur de - 7 dB en entrée et - 9,5 dB en sortie pour un gain associé de 9,3 dB à 19 GHz. Ces coefficients peuvent paraître élevés mais ces valeurs permettent à l'amplificateur d'avoir une compression moins rapide.

## **(2) Simulation non linéaire.**

### **(a) Puissance de sortie, rendement en puissance ajoutée et gain en puissance.**

Sur les figures 95a et b sont représentées les performances en puissance obtenues en simulation avec et sans circuit de stabilisation. La puissance de sortie, le gain et le rendement en puissance ajoutée sont tracés en fonction de la puissance d'entrée pour trois fréquences appartenant à la bande utile (18,75-19-19,25 GHz), afin de noter l'ondulation des caractéristiques dans cette bande.

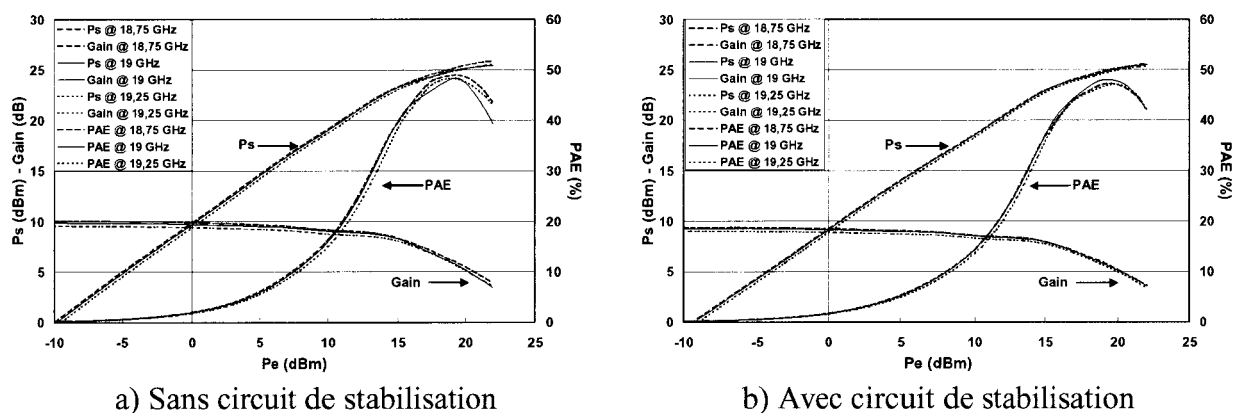


Figure 95 : Evolution de  $P_s$ , du Gain et du PAE en fonction de la puissance d'entrée

La puissance de sortie à 2 dB de compression de gain est de 24 dBm (550 mW/mm) pour un rendement en puissance ajoutée de 43 % et un gain linéaire de 10 dB pour l'amplificateur sans circuit de stabilisation.

Le circuit de stabilisation engendre une perte de 0,7 dB sur le gain linéaire mais la puissance de sortie et le rendement en puissance ajoutée à 1 dB de compression sont augmentés respectivement de 1,4 dB et 10 points.

Les performances obtenues à 2 dB de compression de gain sont identiques à celles sans circuit de stabilisation. Malgré ces bonnes performances en terme de gain et de PAE qui respectent le cahier des charges, la densité de puissance est nettement inférieure à celle visée. D'après les différentes simulations effectuées, on s'est aperçu que l'amplificateur était pénalisé par la longueur des rubans de connexion de source. On remarque également que les performances de l'amplificateur sont quasi constantes dans la bande de fréquence utile (18,75 – 19,25 GHz).

**(b) Evolution du point d'interception d'ordre 3 en fonction de Vgs.**

La figure 96 montre l'évolution de la puissance de sortie à 1 dB de compression, le rendement en puissance ajoutée associé, le gain linéaire, le point d'interception d'ordre 3 (IP<sub>3</sub>) ainsi que la puissance de sortie à 1 dB d'expansion, défini par rapport au gain linéaire, en fonction de Vgs pour Vds = 4 V et F = 19 GHz (ΔF = 10 MHz). On a supposé que le modèle non linéaire de l'amplificateur restait valable pour des tensions Vgs différentes de celles choisies lors de la modélisation.

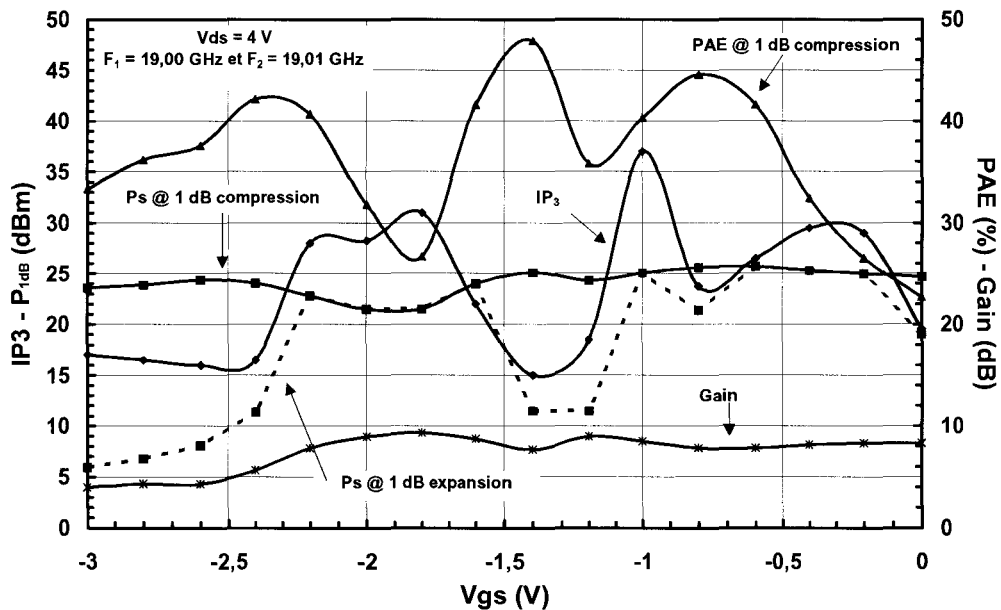


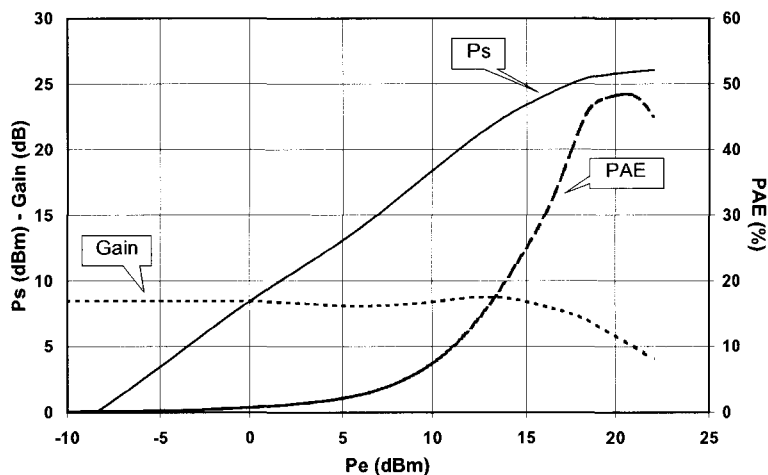
Figure 96 : Evolution de Ps, du PAE, du Gain et de l'IP<sub>3</sub> en fonction de Vgs

On remarque que l'IP<sub>3</sub> évolue de la même manière que le gain linéaire.<sup>[6]</sup> Par contre, le PAE a tendance à suivre l'évolution de la puissance de sortie. Lorsque le gain augmente, la



densité de puissance diminue, c'est à dire que l'amplificateur comprime plus vite. Le gain linéaire maximal (9,3 dB) se situe à  $V_{gs} = -1,8$  V qui correspond au maximum de transconductance. Il en ressort que le point d'interception d'ordre 3 maximal est obtenu pour une polarisation grille source se situant dans la zone où la transconductance est quasi plate ( $V_{gs} = -1$  V) avec une valeur de 37 dBm.

Pour cette polarisation de  $V_{gs} = -1$  V, la différence entre l' $IP_3$  et le  $Ps_{1dB}$  est supérieure à 10 dB signe d'une bonne linéarité à faible niveau.<sup>[7]</sup> La puissance de sortie à 1 dB de compression est alors de 25 dBm (700 mW/mm) pour un rendement en puissance ajoutée de 40 % et un gain linéaire de 8,4 dB. Pour ce même point de polarisation, la puissance de sortie à 2 dB de compression est de 25,5 dBm (790 mW/mm) pour un rendement en puissance ajoutée de 47 % (figure 97). Le PAE est en accord avec la polarisation  $V_{gs}$  de l'amplificateur qui fonctionne en classe AB. Enfin, on peut observer une légère compression de gain suivie d'une expansion pour un niveau d'entrée se situant entre 3 et 14 dBm. Les mesures effectuées lors de la caractérisation des transistors de puissance (chapitre 2) n'indiquaient pas ce genre de compression. On peut donc attribuer ce phénomène à la précision du modèle utilisé.



**Figure 97 : Evolution de Ps, du Gain linéaire et du PAE en fonction de la puissance d'entrée pour  $V_{gs} = -1$  V et  $F = 19$  GHz**

Comme on le verra à la fin de ce chapitre, où l'on a représenté l'état de l'art des MMIC de puissance, ces valeurs rivalisent parfaitement avec celles trouvées dans la littérature. Ces conditions de polarisation ( $V_{ds} = 4$  V et  $V_{gs} = -1$  V) permettent d'atteindre les objectifs fixés par le cahier des charges.

**(c) Evolution du C/I en fonction de Vgs.**

Sur la figure 98 est représentée l'évolution de la puissance de sortie à 1dB de compression, le rendement en puissance ajoutée, le gain linéaire ainsi que les C/I d'ordre 3 et 5, en fonction de Vgs. La somme des deux puissances d'entrée ( $P_{e1}$  et  $P_{e2}$ ) est égale à la puissance d'entrée équivalente à 1 dB de compression en monoporteuse. Ceci correspond à une compression de gain supérieure à 2 dB en biporteuses.

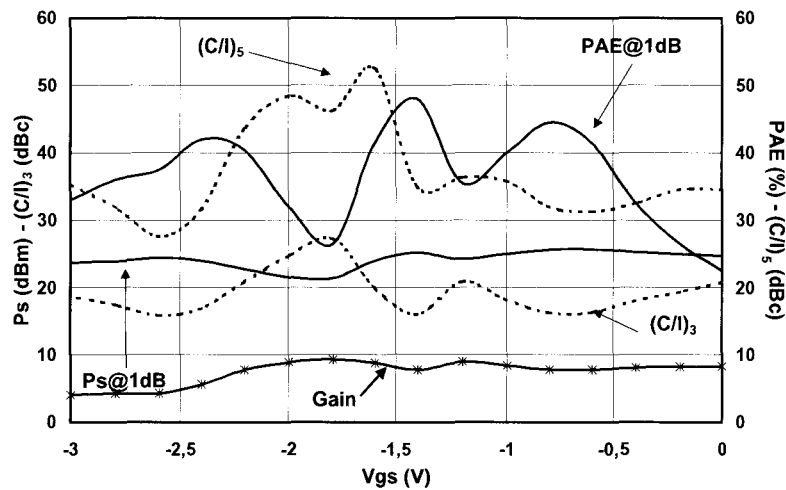
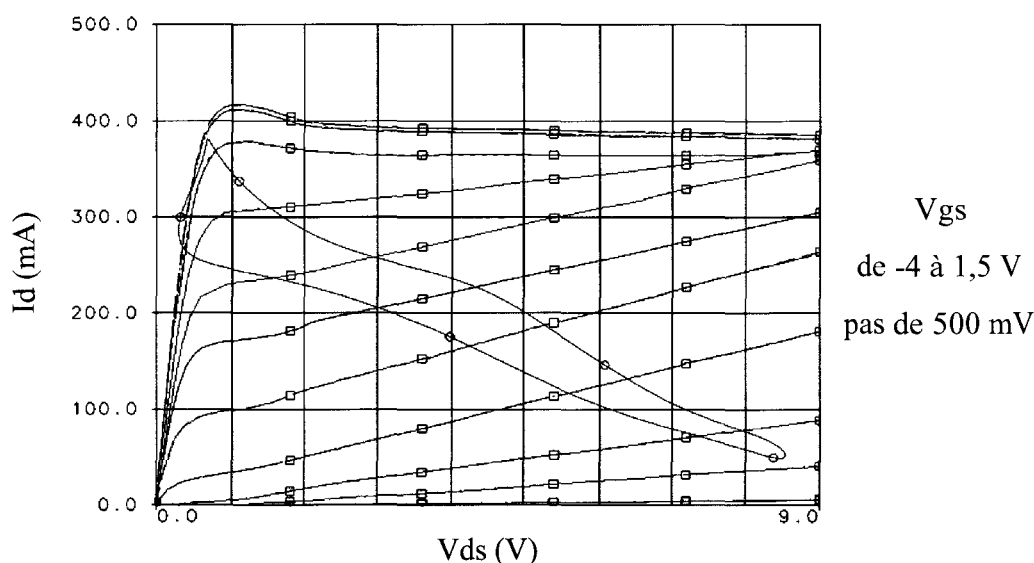


Figure 98 : Evolution de  $P_{s1dB}$ , du Gain linéaire et du PAE et des C/I d'ordre 3 et 5 en fonction de Vgs

Les  $(C/I)$  d'ordre 3 et 5 évoluent de la même manière que le gain linéaire et inversement pour la densité de puissance et le PAE.<sup>[6]</sup> On remarque que, pour une tension grille source comprise entre - 0,4 et - 1,6 V, la puissance de sortie à 1 dB de compression est supérieure à 24 dBm (560 mW/mm) avec un rendement en puissance ajoutée supérieur à 30 % pour un  $(C/I)_3$  supérieur à 16 dBc. Pour la polarisation  $V_{gs} = -1$  V, le  $(C/I)_3$  est supérieur à 18 dBc. D'après le peu d'informations trouvées dans la littérature, il en ressort que le C/I d'ordre 3 est de l'ordre de 14 à 15 dBc pour des structures pHEMT plus classiques.<sup>[8,9]</sup> Ceci semble confirmer le bien fondé des composants double puits optimisés en linéarité par une transconductance quasi plate sur une plage de  $V_{gs}$  donnée.

**(d) Evolution du cycle de charge.**

Enfin, sur la figure 99 est présenté le cycle de charge aux bornes de la source de courant de drain pour une puissance d'entrée nominale correspondant à 1 dB de compression de gain. La forme du cycle de charge nous renseigne sur l'adaptation en rendement. Plus l'ellipse de charge est plate, meilleure est l'adaptation en rendement. [5]



**Figure 99 : Evolution du cycle de charge pour une puissance d'entrée correspondant à 1 dB de compression**

L'étude du cycle de charge en fonction de  $V_{gs}$  a montré que l'adaptation en rendement était quasi optimale pour  $V_{gs} = -1$  V.

	Amplificateur sans circuit de stabilisation	Amplificateur avec circuit de stabilisation		Objectifs
Gain linéaire (dB)	10	9,3	8,4	> 8
$P_{1dB}$ (dBm)	19,1	21,5	25	
PAE @ 1 dB (%)	16	26,7	40	
$IP_3$ (dBm)	31	31	37	
$P_{2dB}$ (dBm)	23,9	24	25,5	> 25,6
PAE @ 2 dB (%)	42,3	43	47,4	> 30
$(C/I)_3$ (dBc) @ 1dB	x	x	> 18	
$S_{11}$ (dB)	- 8	- 7	- 6	
$S_{22}$ (dB)	- 10	- 9,5	- 10	
$V_{ds}$ (V)	4	4	4	
$V_{gs}$ (V)	- 1,8	- 1,8	- 1	
Stabilité	stable sous 50 $\Omega$	incond. stable	incond. stable	

**Tableau 17 : Principaux résultats obtenus en simulation**

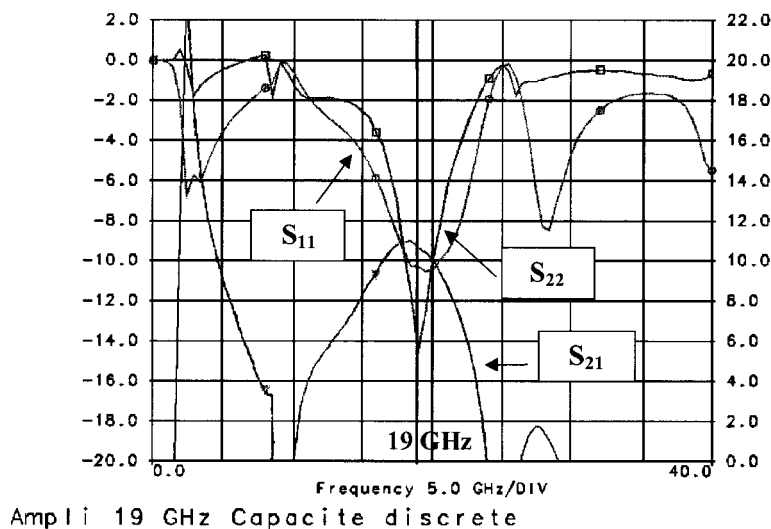
Les principaux résultats obtenus en simulation sont rappelés dans le tableau 17. Le fait de changer de polarisation  $V_{gs}$ , de  $-1,8$  à  $-1$  V, diminue le gain linéaire mais fait apparaître la compression à des puissances de sortie plus importantes. Dans ces conditions, les objectifs du cahier des charges sont atteints.

### **B) Amplificateur à capacités discrètes.**

#### **(1) Simulation linéaire.**

##### **(a) Etude des paramètres $S_{ij}$ .**

Rappelons que la différence entre le module précédent et celui-ci réside dans l'utilisation de capacités de liaison discrètes. L'évolution des paramètres  $S_{11}$ ,  $S_{22}$  et  $S_{21}$ , obtenue à partir des simulations linéaires, est présentée figure 100.



**Figure 100 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  simulés en fonction de la fréquence**

**pour l'amplificateur à capacités discrètes**

Les conditions initiales de polarisation sont identiques au premier amplificateur, c'est à dire  $V_{ds} = 4$  V et  $V_{gs} = -1,8$  V. Les coefficients de réflexion en entrée et en sortie sont de  $-14$  et  $-10$  dB respectivement pour un gain de  $11$  dB à  $19$  GHz. Ceux ci sont de meilleure qualité que pour le premier amplificateur.

### **(b) Etude de la stabilité.**

Comme précédemment, l'analyse de la stabilité a montré un fonctionnement inconditionnellement stable de l'amplificateur dans la bande de fréquence utile, mais le module présente aussi des instabilités pour des fréquences inférieures à 10 GHz (figure 101).

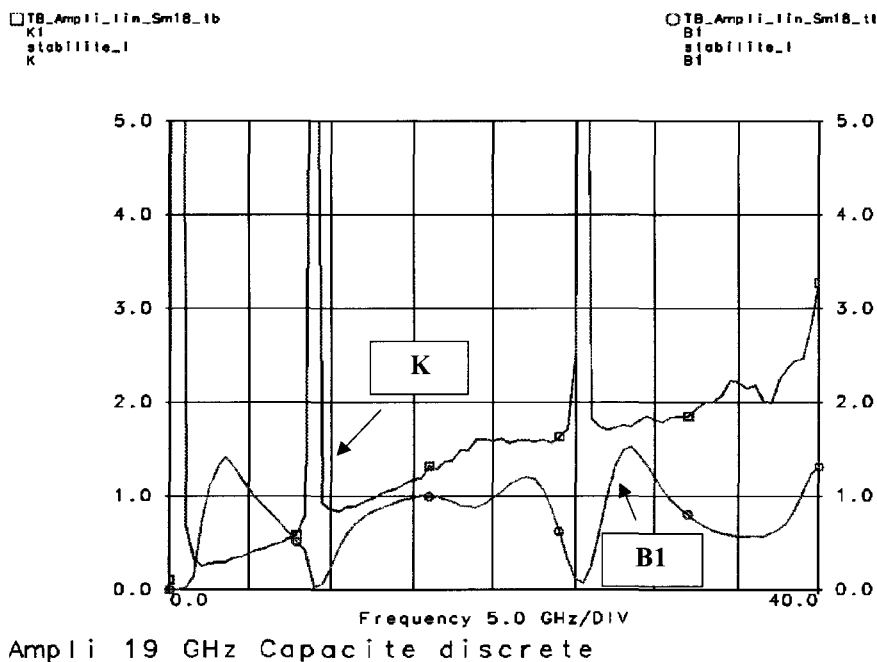


Figure 101 : Evolution des coefficients K et B1 simulés en fonction de la fréquence

Cette fois-ci, l'étude des cercles de stabilité en entrée et en sortie a montré que le module hybride à capacités discrètes était instable en entrée, sous 50  $\Omega$ , pour des fréquences proches de 3 GHz dû à un gain basse fréquence plus important favorisant ainsi la mise en oscillation. Ceci nous oblige à insérer un circuit de stabilisation dans le circuit de polarisation de grille, identique à celui utilisé lors de la conception du premier ampli. Les coefficients de réflexion sont alors de -10 dB en entrée et en sortie pour un gain de 9,3 dB. Ces coefficients sont de meilleure qualité que pour le premier amplificateur mais on verra par la suite que sa compression intervient plus tôt.

### **(2) Simulation non linéaire.**

L'évolution des différents paramètres, tels que la puissance de sortie, le gain linéaire, le rendement en puissance ajoutée, le point d'interception d'ordre 3 et les produits

d'intermodulation, est sensiblement la même que pour le module à capacités interdigitées, avec cependant une légère baisse des performances. En effet, les différentes simulations ont montré une polarisation  $V_{gs}$  optimale de - 1 V, en terme de puissance, rendement et linéarité, identique au premier module.

Le  $P_{S_{1dB}}$  est de 23,5 dBm (500 mW/mm) pour un rendement en puissance ajoutée de 27,3 % et un gain linéaire de 8,4 dB. Le point d'interception d'ordre 3 obtenu pour cette polarisation est de 36 dBm. Ces valeurs restent honorables mais elles sont inférieures à celles obtenues avec le premier amplificateur (respectivement 25 dBm, 40 %, 8,4 dB et 37 dBm).

Pour une polarisation  $V_{gs}$  comprise entre - 0,6 et - 1,6 V, la puissance de sortie à 1 dB de compression est supérieure à 23 dBm (450 mW/mm) pour un rendement en puissance ajoutée supérieur à 25 % et un  $(C/I)_3$  supérieur à 16 dBc.

Les principales performances obtenues en simulation pour cet amplificateur, sont résumées dans le tableau 18. Comme précédemment, le fait de diminuer le gain linéaire par un changement de polarisation  $V_{gs}$  de -1,8 à - 1 V permet de faire apparaître la compression pour des puissances de sortie plus importantes. Mais cette fois ci, les objectifs du cahier des charges ne sont pas atteints.

	Amplificateur avec circuit de stabilisation		Objectifs
Gain linéaire (dB)	9,3	8,4	> 8
$P_{1dB}$ (dBm)	20,9	23,5	
PAE @ 1 dB (%)	23,7	27,3	
IP3 (dBm)	31	36	
$P_{2dB}$ (dBm)	23,1	24,5	> 25,6
PAE @ 2 dB (%)	40,8	37,5	> 30
$(C/I)_3$ (dBc) @ 1dB	x	> 19	
$S_{11}$ (dB)	- 10	- 10	
$S_{22}$ (dB)	- 10	- 8,9	
$V_{ds}$ (V)	4	4	
$V_{gs}$ (V)	<b>- 1,8</b>	<b>-1</b>	
Stabilité	stable sous 50 $\Omega$	stable sous 50 $\Omega$	

Tableau 18 : Principaux résultats obtenus en simulation

### **C) Conclusion.**

Les deux amplificateurs ont montré des comportements similaires. Cependant le module utilisant des capacités de liaison interdigitées présente des performances légèrement supérieures. Pour les deux amplificateurs, les résultats obtenus en simulation respectent le cahier des charges en terme de gain et de rendement en puissance ajoutée. Par contre, les résultats en puissance sont légèrement en dessous des résultats espérés pour l'amplificateur à capacités discrètes. Les amplificateurs sont ici pénalisés par les rubans d'interconnexion entre les alumines et le transistor, les rubans de source ainsi que le circuit de stabilisation.

Les simulations relatives à l'intermodulation ont montré un point de polarisation optimal, en terme de puissance, rendement et linéarité, pour un  $V_{gs}$  de - 1 V se situant dans la zone où la transconductance est quasi plate et un  $V_{ds}$  de 4 V. Pour cet optimum, la puissance à 2 dB de compression est de 25,5 dBm (790 mW/mm) avec un rendement en puissance ajoutée de 47 %, un gain linéaire de 8,4 dB et un IP3 de 37 dBm. La valeur du point d'intersection d'ordre 3 est légèrement supérieure (4 dB) à celle estimée dans le chapitre 2 pour un composant de développement 6x75  $\mu\text{m}$ . Ceci est en accord avec la remarque effectuée par R. Mallavarpu concernant l'hypothèse de  $C_{gs}$  et  $C_{gd}$  constantes.<sup>[2]</sup> De plus, le module à capacités de liaisons interdigitées a montré son aptitude à obtenir une puissance de sortie supérieure à 24 dBm (560 mW/mm) et un rendement en puissance ajoutée supérieur à 30 % avec un  $(C/I)_3$  supérieur à 16 dBc sur toute une plage de polarisation grille source allant de - 0,4 V à - 1,6 V. En comparaison avec les résultats observés dans la littérature (14 à 15 dBc),<sup>[8,9]</sup> la valeur du  $(C/I)_3$  à  $V_{gs} = -1$  V semble confirmer, par la simulation, le bien fondé des composants double puits optimisés en linéarité par un profil de transconductance quasi plat sur une large plage de polarisation  $V_{gs}$ .

### **3) Conception d'un module hybride de puissance à 1 étage comportant 4 transistors.**

Le cahier des charges inspiré des résultats obtenus en simulation durant la première étude a été défini de la manière suivante :

- un module de puissance à 1 étage comportant 4 transistors (6x75  $\mu\text{m}$ )
- fréquence d'utilisation : 19 GHz
- bande de fréquence utile :  $\pm 250$  MHz

- puissance de sortie à 2 dB de compression > 1 Watt (30 dBm)
- rendement en puissance ajoutée > 30 %
- gain linéaire : 8 dB

L'architecture de l'amplificateur donnée en figure 102 est basée sur l'amplificateur comportant un seul transistor. Elle diffère des deux précédentes par l'utilisation de 4 transistors de développement initial  $6 \times 75 \mu\text{m}$  connectés en parallèle et de résistances de stabilisation pour éviter les oscillations de mode impair.

Vu les résultats obtenus lors de la première étude, nous avons préféré utiliser des capacités de liaison interdigitées.

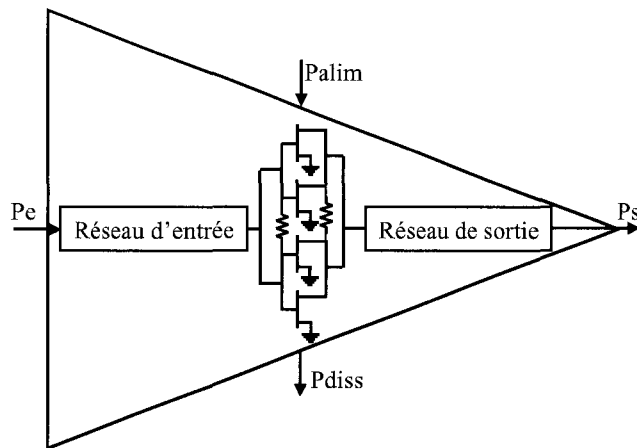


Figure 102 : Architecture de l'amplificateur 4 transistors

### A) Simulation linéaire.

#### (1) Etude des paramètres $S_{ij}$ .

Sur la figure 103 est représentée l'évolution des paramètres  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  obtenue en simulation en fonction de la fréquence pour l'amplificateur à 4 transistors. La polarisation  $V_{ds}$  est de 4 V pour un  $V_{gs}$  de - 1 V qui correspond au point de polarisation optimal trouvé lors des simulations précédentes.

Contrairement aux deux précédents amplificateurs, ce module présente un coefficient de réflexion  $S_{11}$  de meilleure qualité avec une valeur de - 16 dB et un  $S_{22}$  de - 9 dB. Par contre, le gain  $S_{21}$  de 8,5 dB est inférieur aux valeurs obtenues précédemment.



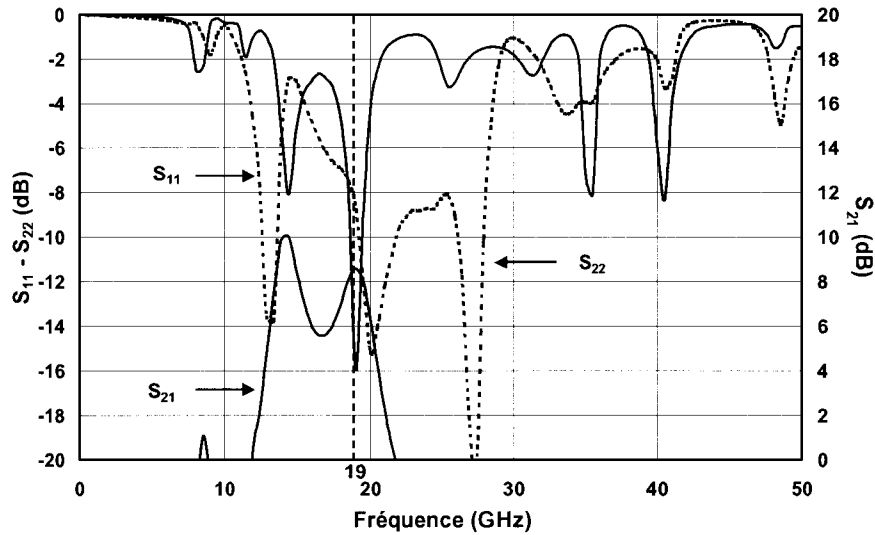


Figure 103 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  simulés en fonction de la fréquence pour l'amplificateur à 4 transistors

## (2) Etude de la stabilité.

L'analyse classique de la stabilité d'un circuit, permettant d'établir des conditions de stabilité conditionnelle en fonction des impédances d'entrée et de sortie, par le calcul du facteur de Rollet  $K$  et du déterminant de la matrice associée  $B1$ , présente une condition nécessaire mais pas suffisante à la condition de stabilité globale.<sup>[10,11]</sup> En effet, un circuit peut être le siège d'oscillations internes quelles que soient ses conditions de fermeture. Il apparaît donc nécessaire d'analyser la stabilité des circuits d'un point de vue « local ». C'est la méthode du déterminant normalisé (NDF : Normal Determinant Function) qui est appliquée lors de l'analyse de la stabilité d'un circuit comprenant plusieurs éléments actifs (cf. annexe).

L'analyse de la variation du NDF sur le diagramme de Nyquist, pour des fréquences variant de 0 à  $+\infty$ , se fait autour du point critique (0,0). La stabilité est assurée si le contour du NDF n'entoure pas ce point critique. L'insertion de résistances de stabilisation dans le circuit de polarisation de grille et d'adaptation d'entrée et de sortie a permis d'obtenir un fonctionnement stable de l'amplificateur. Ces valeurs, optimisées en simulation, sont respectivement de 15, 60 et 75  $\Omega$ .

**B) Simulation non linéaire.**

**(1) Puissance de sortie, rendement en puissance ajoutée et gain en puissance.**

La figure 104 représente les performances en puissance de l'amplificateur 4 transistors obtenues en simulation.

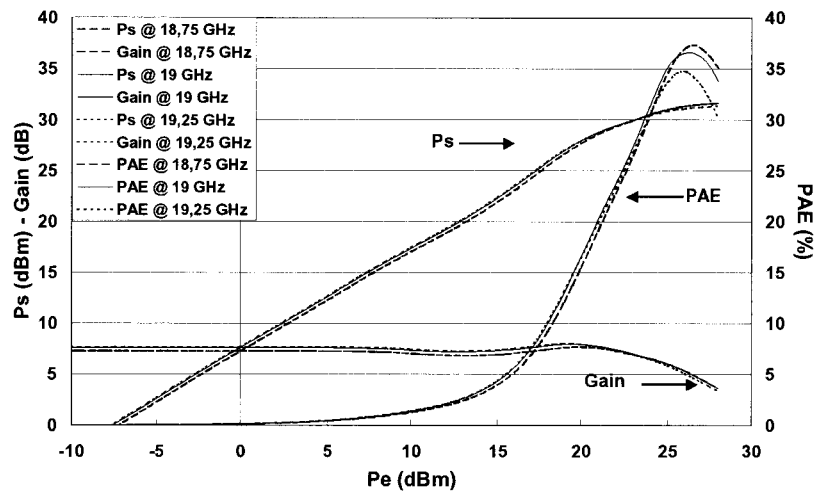


Figure 104 : Evolution de  $P_s$ , du PAE et du Gain en fonction de la puissance d'entrée

La puissance de sortie, le gain ainsi que le rendement en puissance ajoutée sont tracés en fonction de la puissance d'entrée pour trois fréquences appartenant à la bande utile afin de noter l'ondulation des caractéristiques. A l'exception du gain linéaire légèrement trop faible, les performances obtenues en simulation respectent le cahier des charges. La puissance de sortie à 1 dB de compression est de 30,5 dBm (1,1 W) avec un rendement en puissance ajoutée de 30,7 % et un gain linéaire de 7,7 dB. La puissance de sortie à 2 dB de compression est de 31,2 dBm (1,3 W) pour un rendement en puissance ajoutée de 36,3 %. On observe également une légère compression du gain suivie d'une expansion pour des puissances d'entrée se situant entre 10 et 20 dBm. La raison est identique à celle de l'amplificateur à 1 transistor (précision du modèle). Enfin, on constate que les performances obtenues dans la bande de fréquence utile sont quasi constantes.

**(2) Evolution du point d'intersection d'ordre 3 en fonction de  $V_{gs}$ .**

Comme on peut le voir sur la figure 105, représentant l'évolution de la puissance de sortie à 1 dB de compression et d'expansion, le gain linéaire, le rendement en puissance ajoutée

ainsi que le point d'intersection d'ordre 3 (IP3) en fonction de  $V_{gs}$  pour  $F = 19$  GHz et  $\Delta F = 10$  MHz, le meilleur compromis entre puissance, rendement et linéarité est obtenu pour une polarisation  $V_{gs}$  de  $-1$  V, identique au premier amplificateur.

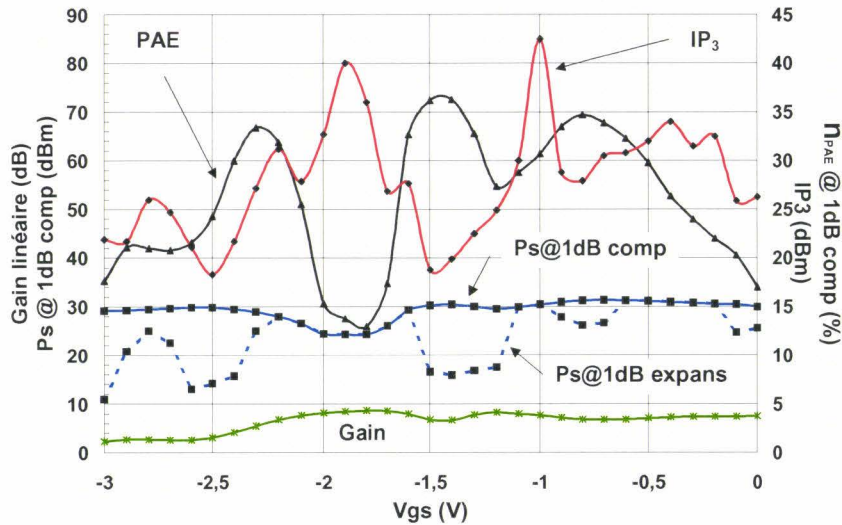


Figure 105 : Evolution de  $Ps_{1dB}$ , du gain, du PAE et de l'IP3 en fonction de  $V_{gs}$

Dans ces conditions de polarisation, la puissance de sortie et le PAE à 1dB de compression sont alors de 30,5 dBm et 30,7 % respectivement, pour un gain linéaire de 7,7 dB. La réponse d'intermodulation d'ordre 3 a montré un  $IP_3$  maximal de 42 dBm pour la polarisation choisie, à savoir  $V_{ds} = 4$  V et  $V_{gs} = -1$  V. La différence entre l' $IP_3$  et le  $Ps_{1dB}$  est de 11,5 dB, ce qui confirme également une bonne linéarité à faible niveau.

### (3) Evolution du C/I en fonction de $V_{gs}$ .

Nous avons représenté sur la figure 106 l'évolution de la puissance de sortie à 1 dB de compression, le rendement en puissance ajoutée ainsi que les C/I d'ordre 3 et 5 en fonction de  $V_{gs}$  pour une puissance d'entrée en biporteuses équivalente à 1 dB de compression en monoporteuse ( $Pe_{1dB}(\text{monoporteuse}) = Pe_1 + Pe_2$  (biporteuses)). Le  $(C/I)_3$  évolue de la même manière que le gain linéaire et inversement à la puissance de sortie. On remarque que, pour une tension  $V_{gs}$  comprise entre  $-0,4$  et  $-1,6$  V, la puissance de sortie à 1 dB de compression en monoporteuse est supérieure à 29,3 dBm avec un rendement en puissance ajoutée supérieur à 25 % et un  $(C/I)_3$  supérieur à 16 dBc. Pour la polarisation choisie, le  $(C/I)_3$  est supérieur à 18 dBc. Cette valeur est légèrement inférieure à celle de l'amplificateur à 1 transistor avec capacités

interdigitées mais reste tout à fait honorable. Cette différence pourrait provenir d'un gain plus faible.

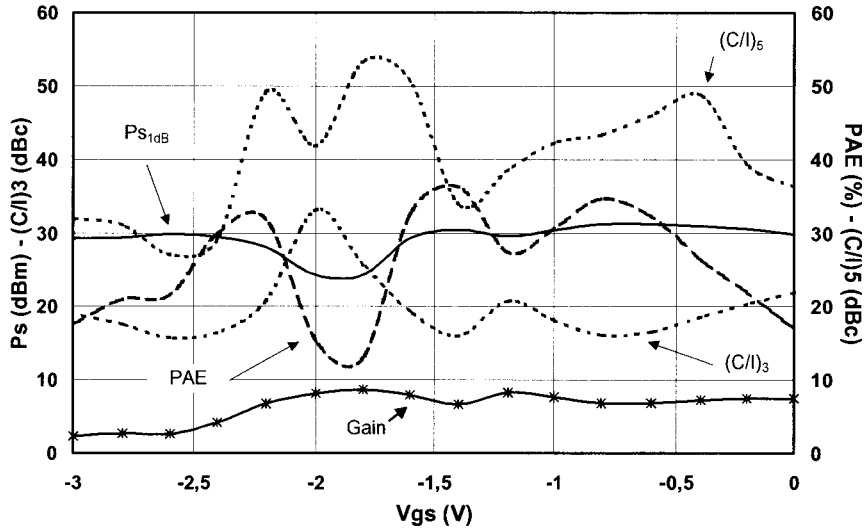


Figure 106 : Evolution de  $Ps_{1dB}$ , du PAE et des C/I d'ordre 3 et 5 en fonction de  $V_{gs}$  ( $V_{ds} = 4\text{ V}$  et  $F = 19\text{ GHz}$ )

**(4) Cycle de charge.**

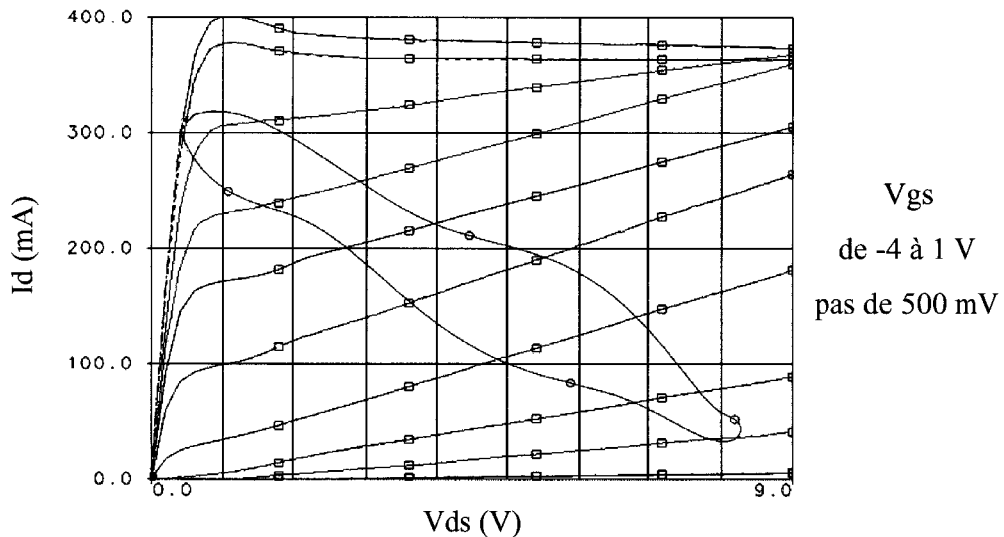


Figure 107 : Cycle de charge aux bornes du générateur de courant de drain

Sur la figure 107 est représenté le cycle de charge obtenu aux bornes du générateur de courant de drain pour une puissance d'entrée correspondant à 1 dB de compression de gain. La surface du cycle de charge est plus importante que celle observée sur les amplificateurs à 1

transistor ce qui traduit une moins bonne adaptation en rendement. Cette remarque est confirmée par une valeur de PAE plus faible (36 % contre 47 % pour l'amplificateur à 1 transistor).

Enfin, dans le tableau 19 sont résumés les principaux résultats obtenus durant les diverses simulations concernant l'amplificateur à 4 transistors.

	Simulations	Objectifs
Gain linéaire (dB)	7,7	> 8
Ps <sub>1dB</sub> (dBm)	30,5	
PAE @ 1dB (%)	30,7	
IP3 (dBm)	42	
Ps <sub>2dB</sub> (dBm)	31,2	> 30
PAE @ 2dB (%)	36,3	> 30
(C/I) <sub>3</sub> @ 1dB (dBc)	> 18	
S <sub>11</sub> (dB)	- 16	
S <sub>22</sub> (dB)	- 9	
V <sub>ds</sub> (V)	4	
V <sub>gs</sub> (V)	- 1	
Stabilité	stable	

**Tableau 19 : Principaux résultats obtenus en simulation**

A part un gain linéaire trop juste, les objectifs du cahier des charges sont atteints.

### **C) Conclusion.**

Cette étude a permis de démontrer qu'il était possible d'obtenir, en simulation, un module de puissance supérieure à 1 Watt à 19 GHz pour un rendement en puissance ajoutée supérieur à 30 % avec seulement 4 transistors de développement 6x75 µm en parallèle. L'évolution des produits d'intermodulation est identique au module à 1 transistor, avec un IP<sub>3</sub> de 42 dBm pour un V<sub>gs</sub> de - 1 V, se situant dans la zone où le gm est quasi plat. Le (C/I)<sub>3</sub> est supérieur à 16 dBc pour une puissance de sortie supérieure à 29 dBm et ceci, pour une plage de V<sub>gs</sub> comprise entre - 0,4 et - 1,6 V. Pour la polarisation optimale (V<sub>gs</sub> = - 1 V) la linéarité (C/I d'ordre 3) est 3 à 4 dB supérieure aux résultats trouvés dans la littérature.<sup>[8,9]</sup> Ces résultats sont comparables à ceux obtenus sur l'amplificateur à 1 transistor utilisant des capacités de liaison interdigitées, excepté la puissance absolue qui est bien sûr supérieure. Cependant, ce module à quatre transistors présente une meilleure adaptation en entrée et en sortie.

#### **IV) Conception d'amplificateur de puissance à base de transistors pHEMTs, en technologie coplanaire avec report Flip Chip, pour des applications à 19 GHz.**

##### **1) Introduction.**

Nous nous sommes intéressés jusqu'à présent à la conception de modules hybrides de puissance en technologie microruban. Cette technologie, qui demeure la plus répandue, présente toutefois des limitations aux longueurs d'ondes millimétriques telles que l'introduction d'effets parasites, dûs aux trous métallisés, qui dégradent les performances des amplificateurs à ces fréquences.<sup>[12]</sup> Une alternative consiste à utiliser la technologie coplanaire qui présente les avantages suivants :

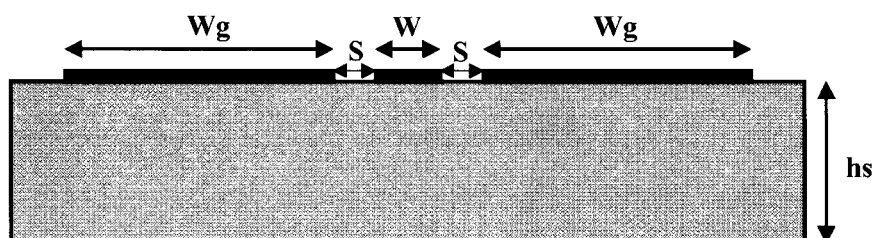
- la réduction des effets parasites
- un couplage électromagnétique moindre entre deux lignes adjacentes
- mais surtout un coût de production plus faible dû à une technologie plus simple.

Néanmoins, cette technologie a le désavantage de présenter des pertes de propagation plus importantes, une excitation des modes parasites ainsi qu'une incompatibilité avec des applications de forte puissance due à une dissipation thermique moins efficace. Cependant, l'arrivée de nouvelles technologies telles que le report Flip-Chip permet d'améliorer cette dissipation thermique<sup>[13-15]</sup>. L'excitation des modes parasites est minimisée par l'introduction de ponts à air.<sup>[12]</sup>

Nous allons donc présenter, dans cette dernière partie, la conception d'un amplificateur de puissance en technologie coplanaire pour des applications à 19 GHz.

##### **2) Topologie de la ligne coplanaire.**

Sur la figure 108 est représentée la topologie d'une ligne coplanaire.



**Figure 108 : Topologie de la ligne coplanaire**

Cette ligne se compose d'un ruban central de largeur  $W$  transportant le signal hyperfréquence et de deux lignes latérales de largeur  $Wg$  constituant le plan de masse.

Les deux plans de masse sont séparés d'une distance  $d$ , appelée distance inter masse, de largeur  $W+2S$  avec  $S$  représentant la distance entre le conducteur central et le plan de masse.

De par sa géométrie, la ligne coplanaire supporte deux modes de propagation fondamentaux sans fréquence de coupure.<sup>[16]</sup>

Le mode impair, appelé mode coplanaire, est le mode de propagation souhaité dans la ligne. Le signal hyperfréquence se propage dans la ligne centrale et les plans de masse sont alors équipotentiels.

Le mode pair, excité en présence d'une discontinuité de la ligne coplanaire, se traduit par la présence de potentiels opposés sur les plans de masse et d'un potentiel nul sur la ligne centrale. Ce mode, fortement dispersif, est filtré en plaçant un pont à air au niveau de la discontinuité.<sup>[17]</sup>

En pratique, la face arrière du substrat est métallisée soit volontairement, soit par la mise en contact avec le boîtier de l'amplificateur. De ce fait, plusieurs modes parasites peuvent se propager, entraînant une dispersion de l'onde et une augmentation des pertes de propagation par effet de rayonnement.<sup>[18]</sup>

Néanmoins, ces effets indésirables peuvent être minimisés si toutes les conditions suivantes sont respectées<sup>[17]</sup> :

$$(1) \quad h_s < 0,12 \lambda_d$$

$$(3) \quad d \ll h_s$$

$$(2) \quad d \leq \lambda_d/10$$

$$(4) \quad d \ll Wg$$

$$\text{Avec } \lambda_d = \frac{\lambda_0}{\sqrt{\epsilon_r}}$$

$\lambda_d$  : longueur d'onde du signal dans le substrat dans le cas d'un matériau diélectrique

$\lambda_0$  : longueur d'onde du signal dans le vide

$\epsilon_r$  : permittivité relative du substrat

$h_s$  : hauteur du substrat

En pratique, la condition (3) est rarement respectée car cela conduit à une dimension beaucoup trop faible de la distance inter masse  $d$ , due à une hauteur de substrat d'alumine de l'ordre de 100 à 400  $\mu\text{m}$ . La propagation d'ondes de surfaces est inévitable, mais son effet reste négligeable si la condition (2) est vérifiée.

Afin de minimiser le temps de calcul et de respecter au maximum les conditions citées ci dessus, nous avons opté, compte tenu de l'expérience de conception à Alcatel, pour les dimensions suivantes :

$W = 75 \mu\text{m}$   
 $S = 35 \mu\text{m}$   
 $W_g = 500 \mu\text{m}$   
 $h_s = 254 \mu\text{m}$   
 $\epsilon_r = 9,9$

**3) Conception du module hybride de puissance en technologie coplanaire.**

Le cahier des charges, dont voici le rappel, est identique à celui des amplificateurs constitués d'un seul transistor :

- module à un étage comportant un transistor de développement 6x75  $\mu\text{m}$
- fréquence d'utilisation : 19 GHz
- bande de fréquence utile :  $\pm 250 \text{ MHz}$
- puissance de sortie à 2 dB de compression  $\geq 800 \text{ mW}$
- rendement en puissance ajoutée de l'ordre de 30 %
- gain linéaire : 8 dB.

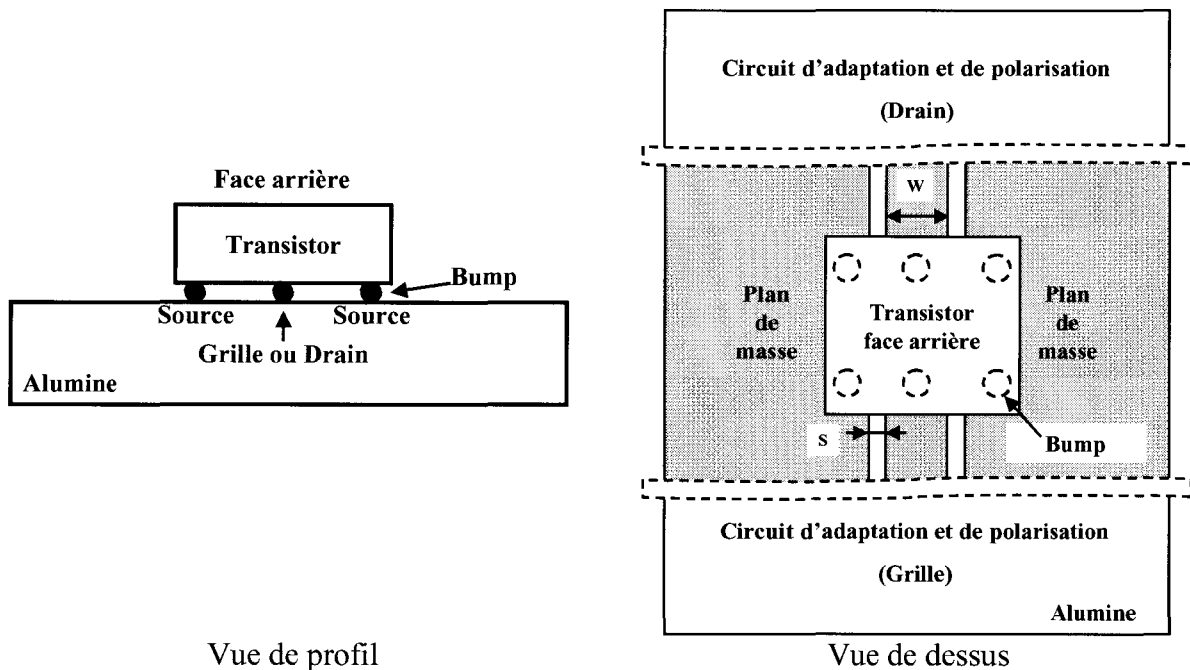


Figure 109 : Connexion du transistor sur l'alumine

L'architecture de l'amplificateur est identique aux précédents modules sauf que la connexion du transistor sur l'alumine s'effectue par un report Flip-Chip (figure 109), et contrairement au module de puissance en technologie microruban, le transistor est non aminci



(450  $\mu\text{m}$ ). Durant les simulations, nous avons négligé l'influence des bumps sur les performances de l'amplificateur car aucun modèle n'était disponible dans les bibliothèques. L'impact de ce choix ne sera visible que lors des mesures effectuées sur ce module. Les capacités de liaison utilisées sont des capacités interdigitées, réalisées directement sur l'alumine par couplage des lignes centrales. Les conditions de polarisation choisies sont  $V_{ds} = 4 \text{ V}$  et  $V_{gs} = -1 \text{ V}$  qui correspondent au meilleur compromis obtenu entre la puissance, le rendement et la linéarité d'après l'étude précédente.

### **A) Simulation linéaire.**

#### **(1) Etude des paramètres $S_{ij}$ .**

Nous présentons sur la figure 110 l'évolution des paramètres  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  en fonction de la fréquence pour une polarisation  $V_{ds} = 4 \text{ V}$  et  $V_{gs} = -1 \text{ V}$ . Les coefficients de réflexion sont de  $-9 \text{ dB}$  en entrée et en sortie pour un gain  $S_{21}$  de  $9,5 \text{ dB}$  à  $19 \text{ GHz}$ . Ces coefficients sont comparables à ceux obtenus sur les modules à un transistor en technologie microruban.

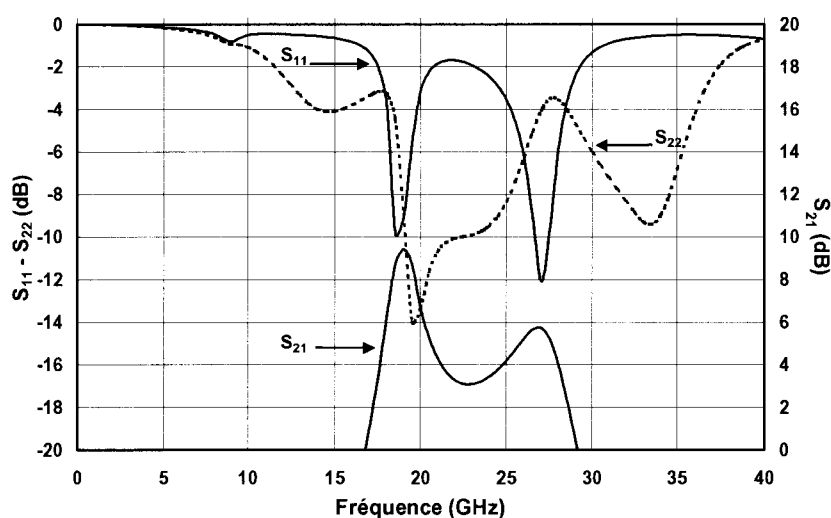


Figure 110 : Evolution des paramètres  $S_{11}$ ,  $S_{22}$  et  $S_{21}$  en fonction de la fréquence

## **(2) Etude de la stabilité.**

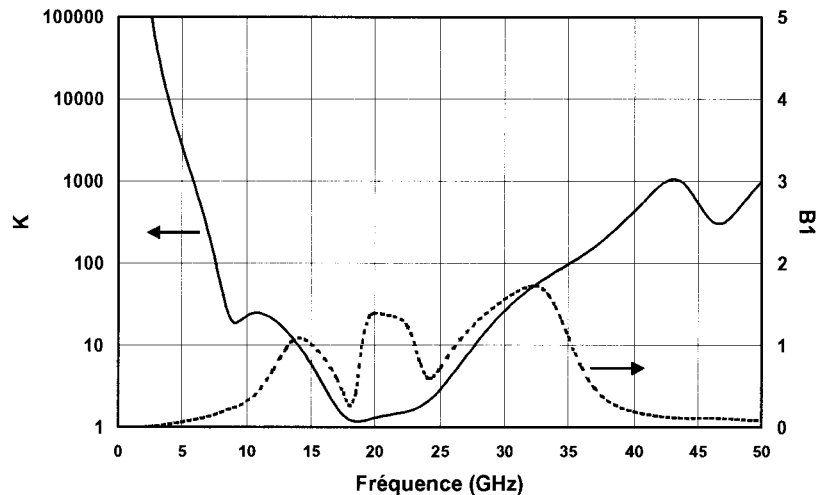


Figure 111 : Evolution des coefficients K et B1 en fonction de la fréquence

L'analyse de la stabilité à l'aide des coefficients K et B1 a montré un fonctionnement inconditionnellement stable de l'amplificateur dans toute la bande de fréquence grâce à l'insertion d'une résistance de  $40 \Omega$  en parallèle avec une capacité de  $0,4 \text{ pF}$  dans le circuit d'adaptation d'entrée (figure 111). Les valeurs de R et de C ont été optimisées pour ne pas trop pénaliser le gain à 19 GHz.

## **B) Simulation non linéaire.**

### **(1) Puissance de sortie, rendement en puissance ajoutée et gain en puissance.**

La figure 112 représente les performances en puissance obtenues en simulation. La puissance de sortie, le rendement en puissance ajoutée et le gain sont tracés en fonction de la puissance d'entrée pour trois fréquences appartenant à la bande utile. La puissance de sortie à 1 dB de compression est de 25 dBm ( $700 \text{ mW/mm}$ ) avec un rendement en puissance ajoutée de l'ordre de 35 % et un gain linéaire de 9,5 dB. En ce qui concerne les caractéristiques à 2 dB de compression, les simulations ont montré un Ps de 25,5 dBm pour un PAE de 36,7 %, respectant ainsi le cahier des charges. Comme précédemment, les performances obtenues dans la bande de

fréquence utile sont quasi constantes mais l'ondulation est plus importante que pour les modules en technologie microruban.

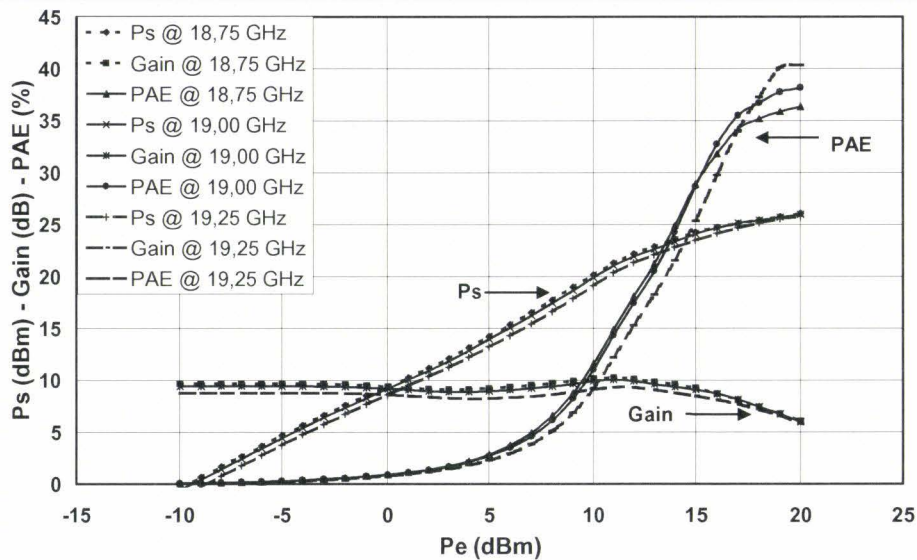


Figure 112 : Evolution de Ps, du gain et du rendement en puissance ajoutée en fonction de Pe ( $V_{ds} = 4 \text{ V}$  et  $V_{gs} = -1 \text{ V}$ )

**(2) Evolution du point d'interception d'ordre 3 en fonction de  $V_{gs}$ .**

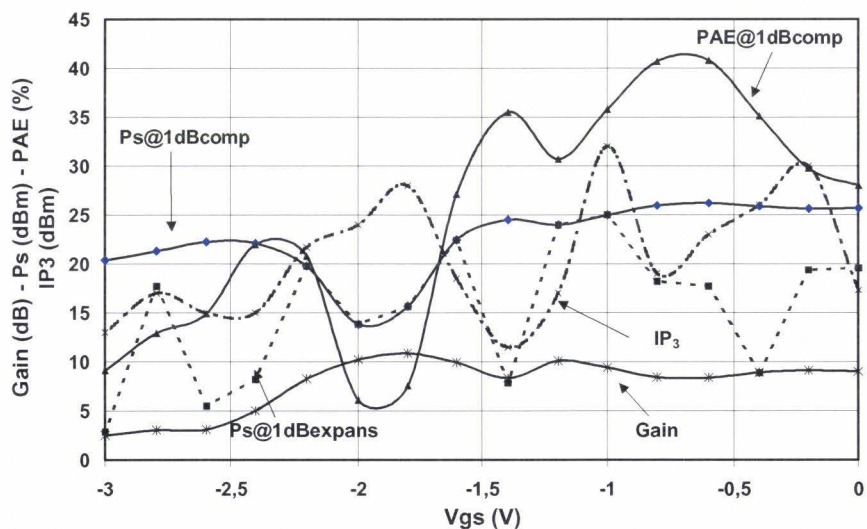


Figure 113 : Evolution de  $Ps_{1dB}$ , du PAE et de l' $IP_3$  en fonction de  $V_{gs}$  ( $V_{ds} = 4 \text{ V}$ )

Les simulations effectuées en fonctionnement bi-porteuses ( $F1 = 19$  GHz et  $F2 = 19,1$  GHz) montrent un  $IP_3$  maximal de 32 dBm obtenu pour  $V_{gs} = -1$  V. Son évolution en fonction de  $V_{gs}$  est identique à celles des précédents amplificateurs mais sa valeur est plus faible (figure 113). L' $IP_3$  suit l'évolution du gain linéaire tandis que le PAE suit celle de la puissance de sortie à 1 dB de compression.

### (3) Evolution du C/I en fonction de $V_{gs}$ .

La figure 114 représente l'évolution de la puissance de sortie et du rendement en puissance ajoutée à 1 dB de compression, du gain ainsi que les C/I d'ordre 3 et 5 en fonction de  $V_{gs}$ . Pour la polarisation choisie, le C/I d'ordre 3 est supérieur à 17 dBc pour un  $Ps_{1dB}$  en monoporteuse de 25 dBm et un PAE de 35 %. Pour une polarisation  $V_{gs}$  comprise entre - 0,8 V et - 1,4 V le  $(C/I)_3$  est supérieur à 15 dBc pour une puissance de sortie à 1 dB de compression supérieure à 24 dBm et un PAE supérieur à 30 %.

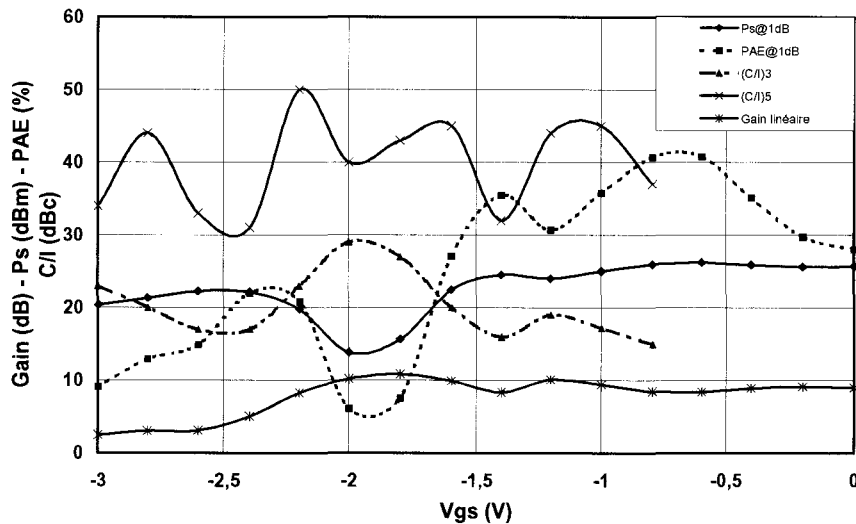


Figure 114 : Evolution de  $Ps$ , du PAE, du gain et des C/I d'ordre 3 et 5 en fonction de  $V_{gs}$  ( $V_{ds} = 4$  V)

Enfin, le tableau 20 résume les principaux résultats obtenus lors des différentes simulations effectuées sur cet amplificateur à 19 GHz. Il en ressort que dans les conditions de polarisation choisies, les performances obtenues en simulations respectent le cahier de charges imposé.

	Simulations	Objectifs
Gain linéaire (dB)	9,5	>8
$P_{S1dB}$ (dBm)	25	
PAE @ 1dB (%)	35	
IP3 (dBm)	32	
$P_{S2dB}$ (dBm)	25,5	>25,6
PAE @ 2dB (%)	36,7	>30
$(C/I)_3$ @ 1dB (dBc)	> 17	
$S_{11}$ (dB)	- 9	
$S_{22}$ (dB)	- 9	
Vds (V)	4	
Vgs (V)	- 1	
Stabilité	stable	

**Tableau 20 : Résumé des principaux résultats obtenus en simulation**

#### **4) Conclusion.**

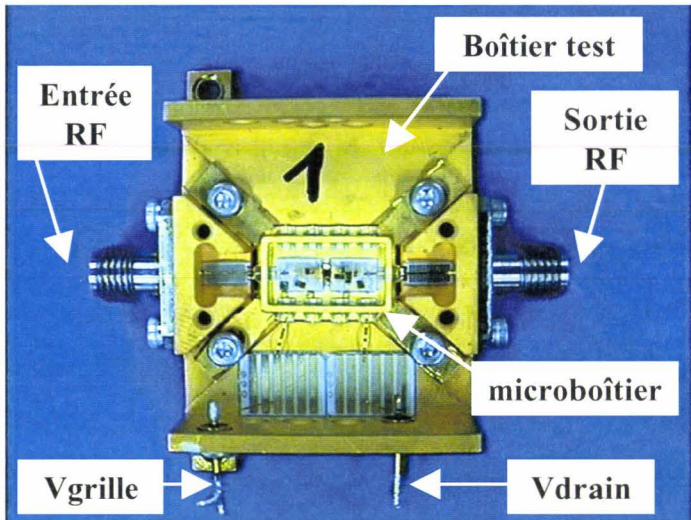
Les performances imposées par le cahier des charges sont respectées aussi bien en terme de puissance, rendement mais aussi de gain. Malgré une évolution des produits d'intermodulation similaires aux premiers amplificateurs, les performances en terme de linéarité sont légèrement inférieures à celles obtenues lors de la conception de l'amplificateur microruban mais sont supérieures de 2 à 3 dB à celles observées dans la littérature.<sup>[8,9]</sup> Cette différence provient du fait que l'on ne s'est pas soucié de l'optimisation en linéarité durant la conception.

Néanmoins, il ne faut pas oublier que nous avons négligé, lors de ces simulations, l'influence des bumps sur les performances de l'amplificateur. L'impact de ce choix ne sera visible que lors de la caractérisation de ce module.

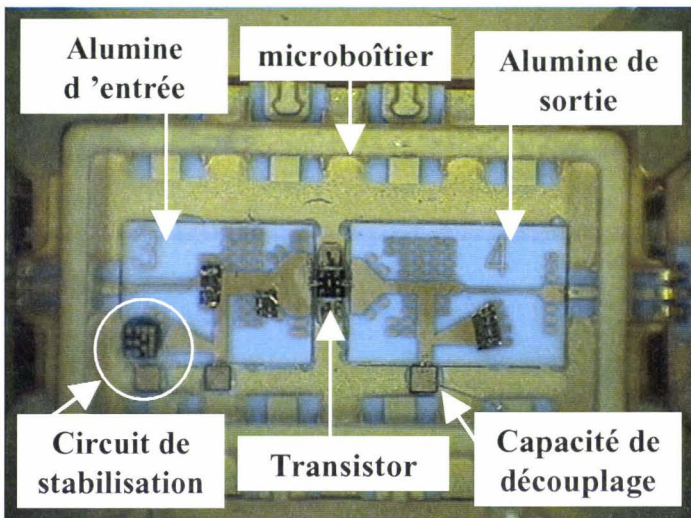
**V) Caractérisation d'amplificateurs de puissance à base de transistors pHEMTs, en technologie microruban pour des applications à 19 GHz.**  
**1) Introduction.**

Dans les parties précédentes nous avons décrit les différentes étapes nécessaires à la conception d'amplificateurs hybrides de puissance. Ceux-ci ont été conçus à partir de transistors pHEMT de développement  $6 \times 75 \mu\text{m}$ . Malheureusement les problèmes rencontrés lors du câblage des transistors aux alumines d'entrée et de sortie, lors des mesures annexes et lors des phases de réglage des amplificateurs nous ont conduits à utiliser des transistors de développement  $6 \times 50 \mu\text{m}$  pour la réalisation finale de l'amplificateur, faute d'un nombre suffisant de transistors  $6 \times 75 \mu\text{m}$ . Pour comparer les résultats obtenus en simulation avec ceux mesurés, nous avons utilisé la loi d'échelle sur la puissance de sortie sachant que les alumines d'entrée et de sortie ont été conçues pour un transistor de développement  $6 \times 75 \mu\text{m}$ .

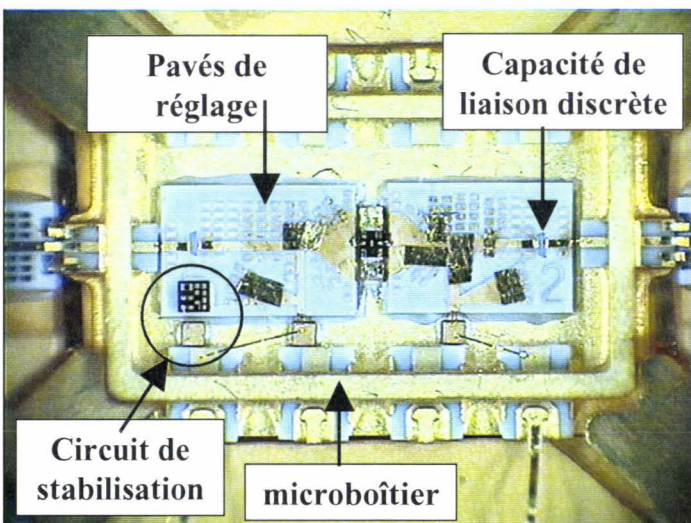
On peut voir sur la figure 115 les photos des amplificateurs à 1 transistor réalisés et réglés au sein d'Alcatel Space Industries. Afin de limiter les risques de claquage durant les réglages de l'amplificateur, ceux-ci ont été effectués à  $V_{ds} = 2 \text{ V}$ . L'estimation des pertes dues aux boîtiers tests sont estimées à 0,3 dB en entrée et en sortie, soit 0,6 dB sur le gain. Cette correction a été apportée aux résultats que nous allons présenter. Ces résultats sont issus des caractérisations linéaires et non linéaires effectuées au Centre National d'Etudes Spatial.



Amplificateur 19 GHz  
Boîtier test + microboîtier



Amplificateur 19 GHz à  
capacités de liaison  
interdigitées



Amplificateur 19 GHz à  
capacités de liaison discrètes

Figure 115 : Photos des amplificateurs microruban à 1 transistor

## 2) Caractérisation linéaire.

Cette caractérisation est basée sur la mesure des paramètres  $S_{ij}$  faite à l'analyseur de réseau vectoriel (HP8510C). Les résultats obtenus en mesure pour les deux amplificateurs sont présentés dans le tableau 21.

	Ampli à capacités discrètes		Ampli à capacités interdigitées	
	Mesure	Simulation	Mesure	Simulation
$S_{11}$	-15 dB	-6 dB	-20 dB	-10 dB
$S_{22}$	-5 dB	-10 dB	-5 dB	-9 dB
$S_{21}$	7 dB	8,4 dB	7 dB	8,4 dB
$S_{12}$	< -20 dB	< -20 dB	< -20 dB	< -20 dB

**Tableau 21 : Comparaison des paramètres  $S_{ij}$  Mesurés et Simulés ( $V_{ds} = 4\text{ V}$  et  $V_{gs} = -1\text{ V}$ )**

On remarque que les deux amplis sont très bien adaptés en entrée ( $S_{11} < -15\text{ dB}$ ) mais présentent un  $S_{22}$  assez élevé (-5 dB). Le gain est de l'ordre de 7 dB pour une isolation  $S_{12} < -20\text{ dB}$ . Les grandes différences observées entre les mesures et les simulations sur les coefficients de réflexion proviennent du fait que les réglages de l'amplificateur ont été effectués sans se soucier de ces coefficients, ce qui est souvent le cas lorsque l'on réalise la première version d'une maquette. En effet, le critère de réglage était la densité de puissance, le PAE et le gain linéaire. Cependant, il faut tout de même s'assurer que l'adaptation en entrée et en sortie reste correcte (de l'ordre de -10 dB).

Les pertes sur le gain sont attribuées principalement à la longueur des fils de connexion qui ont une influence non négligeable à 19 GHz. De plus, il ne faut pas oublier que les alumines ont été conçues pour un transistor de développement  $6 \times 75\ \mu\text{m}$  et dans cette version nous avons utilisé un transistor de développement  $6 \times 50\ \mu\text{m}$  impliquant une désadaptation par rapport aux simulations.

Enfin, les amplificateurs ne présentent aucune instabilité.



### 3) Caractérisation non linéaire.

#### A) Puissance – Gain – Rendement en puissance ajoutée.

La description du banc de puissance utilisé lors de la caractérisation grand signal est représentée sur la figure 116.

Il se compose :

- d'un synthétiseur HP83711B (1-20 GHz)
- d'un pré amplificateur afin de fournir une puissance d'entrée suffisante pour atteindre un niveau de compression intéressant
- d'un Wattmètre connecté par le biais de coupleurs (20 dB) et permettant ainsi la mesure des puissances d'entrée et de sortie (Anritsu ML2438A)
- d'un circuit d'alimentation continue pour polariser l'amplificateur
- de l'amplificateur à caractériser
- d'un analyseur de spectre.

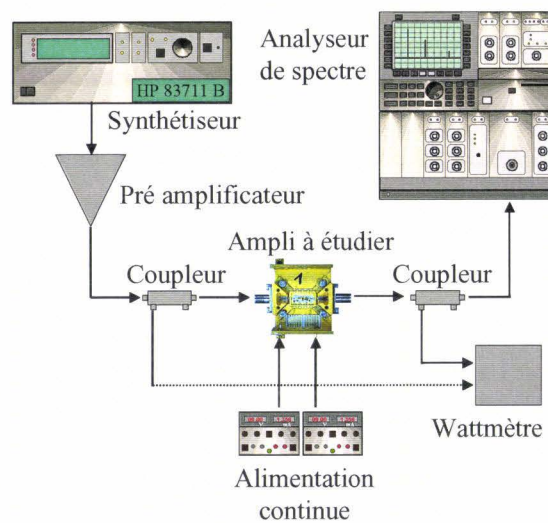


Figure 116 : Description du banc de mesure en puissance

#### (1) L'amplificateur à capacités discrètes.

La figure 117 représente l'évolution de la puissance de sortie, du gain et du rendement en puissance ajoutée en fonction de la puissance d'entrée pour  $V_{ds} = 4$  V,  $V_{gs} = -1,1$  V et une fréquence de 19 GHz.

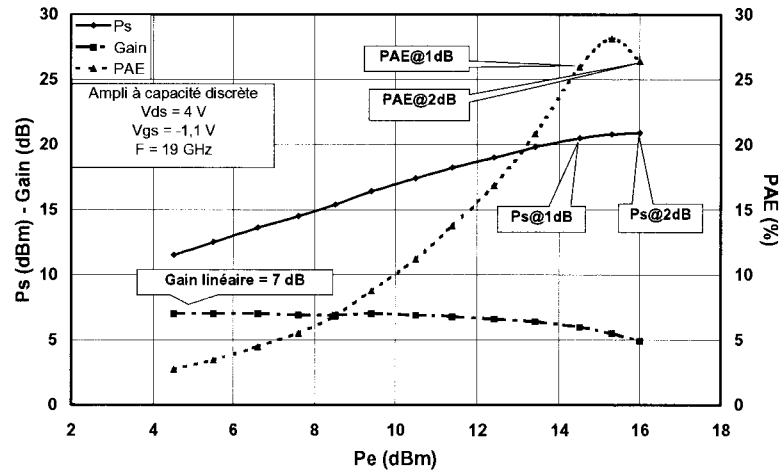


Figure 117 : Evolution de  $P_s$ , du Gain et du PAE en fonction de  $P_e$  à 19 GHz

Dans ces conditions, nous avons obtenu un gain linéaire de 7,1 dB pour une puissance de sortie de 20,5 dBm (370 mW/mm) et un PAE de 26 % à 1 dB de compression de gain. La puissance de sortie à 2 dB de compression est de 20,9 dBm (410 mW/mm) pour un PAE de 26 %.

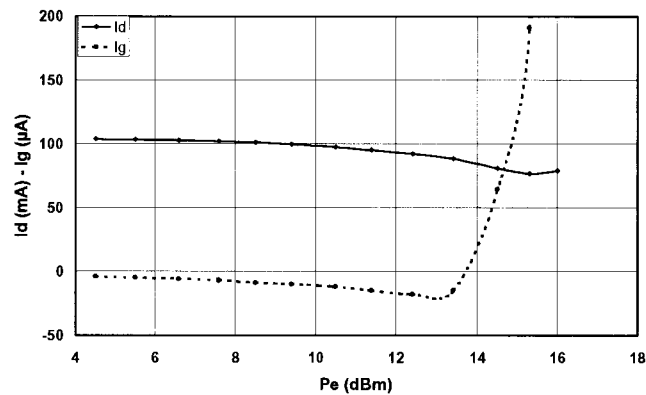


Figure 118 : Evolution des courants de drain et de grille en fonction de  $P_e$  pour  $V_{ds} = 4$  V et  $V_{gs} = -1,1$  V

Les évolutions des courants de grille et de drain montrent une limitation de l'amplificateur à travailler à des tensions  $V_{gs}$  plus élevées car le courant  $I_d$  diminue avec  $P_e$  ce qui signifie un écrêtage de l'alternance positive du signal d'entrée (figure 118), confirmé par le passage du courant de grille en direct, signe d'un risque de claquage. Ceci démontre la nécessité d'affiner le modèle théorique en prenant en compte les problèmes de claquage.

La figure 119 représente ces mêmes caractéristiques ( $P_s$ , G et PAE) en fonction de la fréquence, pour des conditions de polarisation identiques.

Le maximum de puissance à 2 dB de compression est obtenu à la fréquence de 18,5 GHz avec une valeur de 21,4 dBm (460 mW/mm) pour un PAE de 29,4 % et un gain linéaire de 7,1 dB. L'évolution du courant de grille et sa faible valeur laisse supposer que l'amplificateur peut être utilisé à une tension  $V_{ds}$  plus élevée. La fréquence centrale est de 18,5 GHz contre 19 GHz en simulation. Cet écart est facilement explicable vue la nature différente du transistor. Par contre, on constate que les performances sont quasi constantes sur 1 GHz de bande (18 – 19 GHz).

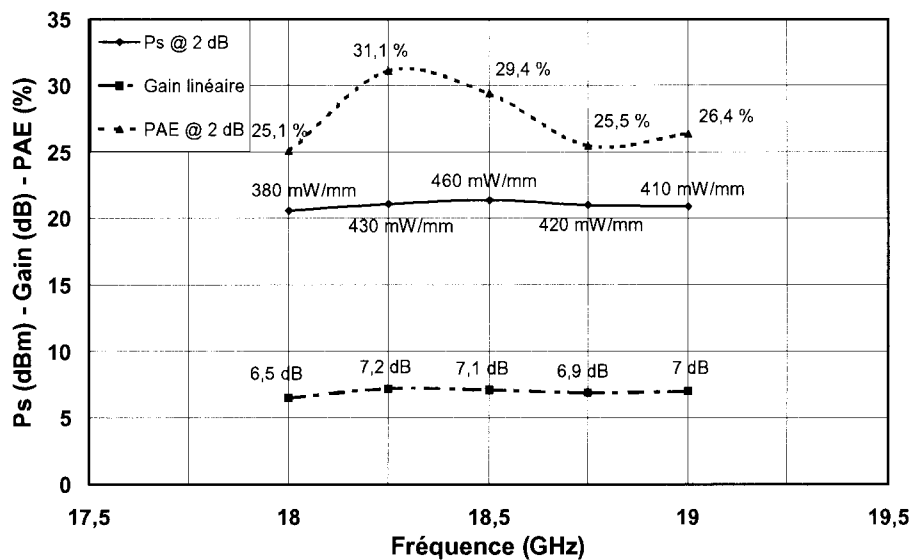


Figure 119 : Evolution du gain linéaire, de Ps et du PAE à 2 dB de compression en fonction de la fréquence ( $V_{ds} = 4V$  et  $V_{gs} = -1,1 V$ )

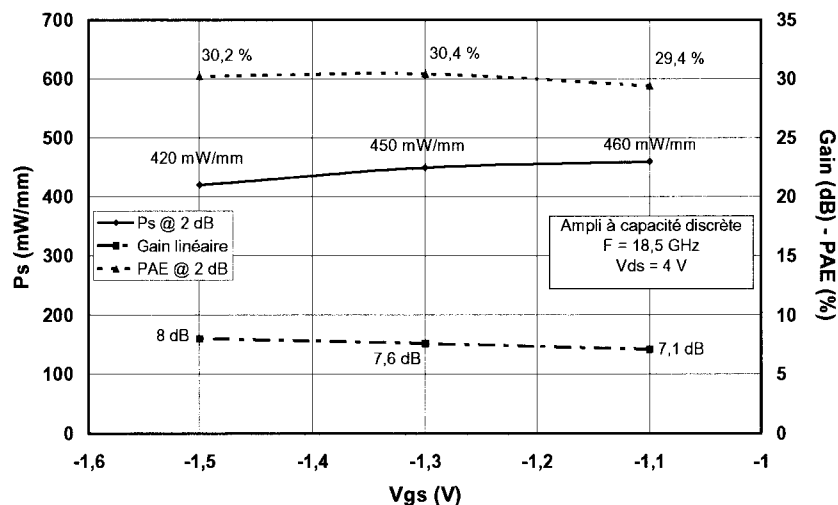


Figure 120 : Evolution du gain linéaire, de Ps et du PAE à 2 dB de compression en fonction de  $V_{gs}$

Si l'on étudie l'évolution de ces caractéristiques en fonction de  $V_{gs}$ , pour  $V_{ds} = 4V$  et une fréquence de 18,5 GHz on s'aperçoit que la puissance de sortie à 2 dB de compression décroît lorsque  $V_{gs}$  diminue et inversement pour le gain linéaire avec un PAE sensiblement identique (figure 120). Il faut donc trouver un compromis gain – densité de puissance.

Si l'on compare ces résultats avec ceux obtenus en simulation (tableau 22) on remarque que le gain linéaire est 1,3 dB trop faible ce qui pourrait expliquer les différences obtenues sur la puissance et le PAE à 2 dB de compression. La polarisation  $V_{gs}$  est légèrement différente.

	Mesures	Simulations (non optimisées)
Gain linéaire	7,1 dB	8,4 dB
Ps @ 1 dB	21 dBm	21,7 dBm
PAE @ 1 dB	27 %	27 %
Ps @ 2 dB	21,4 dBm	22,7 dBm
PAE @ 2 dB	29 %	37 %
$V_{ds}$	4 V	4 V
$V_{gs}$	-1,1 V	-1 V
Fréquence	18,5 GHz	19 GHz

**Tableau 22 : Comparaison Mesures/Simulations**

De plus, ce transistor présente une densité de courant de drain inférieure à 800 mA/mm ( $\approx 700$  mA/mm) ce qui explique une densité de puissance plus faible. Mais surtout, il ne faut pas oublier que nous avons utilisé des transistors de développement  $6 \times 50 \mu\text{m}$  sur des alumines conçues pour des transistors de développement  $6 \times 75 \mu\text{m}$ . Ce qui veut dire que l'amplificateur n'est pas forcément optimisé pour ce type de transistor. La puissance de sortie a été calculée par une simple loi d'échelle.

## **(2) L'amplificateur à capacités interdigitées.**

On peut voir sur la figure 121 l'évolution de la puissance de sortie, du rendement en puissance ajoutée et du gain en fonction de la puissance d'entrée pour  $V_{ds} = 4 V$ ,  $V_{gs} = - 1,3 V$  et une fréquence de 18,5 GHz se situant au centre de la bande utile en mesure. Dans ces conditions, le gain linéaire est de 7 dB. La puissance de sortie et le PAE à 1 dB de compression sont de 23 dBm (660 mW/mm) et de 29 % respectivement.

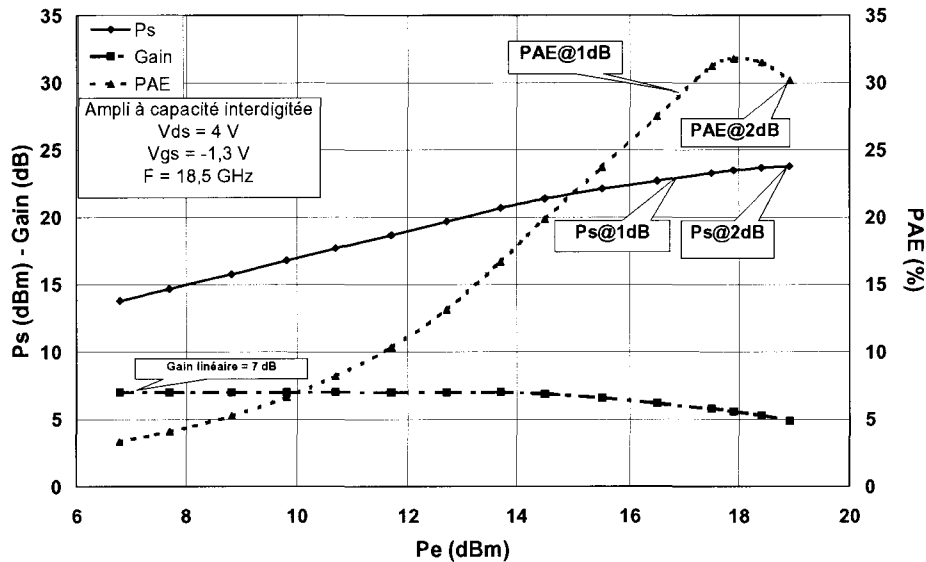


Figure 121 : Evolution de  $P_s$ , du PAE et du gain en fonction de  $P_e$  à 18,5 GHz

En ce qui concerne les caractéristiques à 2 dB de compression, on a obtenu une puissance de sortie de 23,8 dBm (800 mW/mm) pour un PAE de 30 %. Cet amplificateur présente, dans des conditions de polarisation identiques, une densité de puissance quasiment deux fois supérieure à celle obtenue pour le module à capacités discrètes. Cette différence observée en simulation a été amplifiée par une densité de courant de drain plus importante sur le module à capacités interdigitées.

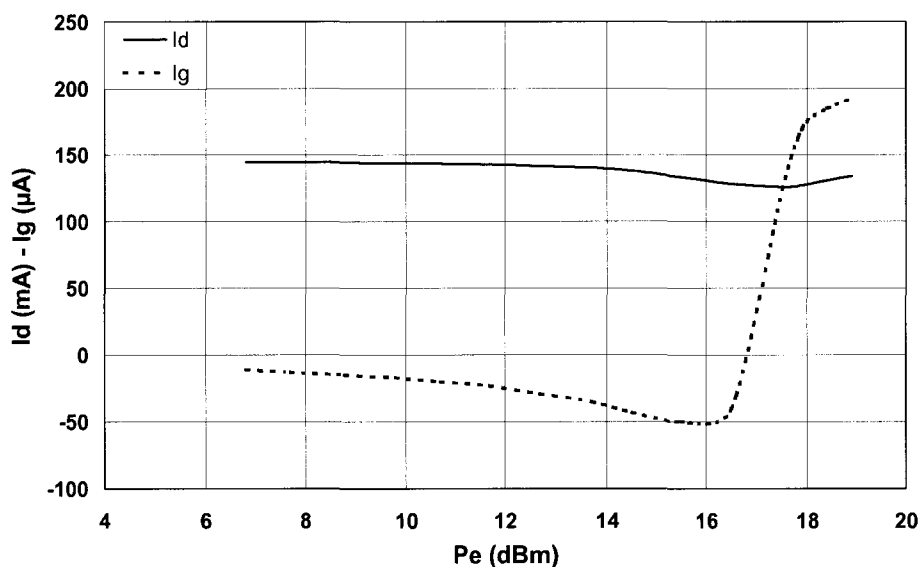


Figure 122 : Evolution des courants de drain et de grille en fonction de  $P_e$  à  $V_{gs} = -1,3 \text{ V}$

Si l'on regarde l'évolution des courants de drain et de grille (figure 122), on s'aperçoit que le premier diminue avec la puissance d'entrée, signe d'un écrêtage de l'alternance positive du signal d'entrée, confirmé par le passage du courant de grille en direct.

Ce mode de fonctionnement étant dangereux pour l'amplificateur, il ne nous sera pas possible de le polariser à  $V_{gs} = -1$  V pour faire la comparaison avec les simulations. Ceci montre une nouvelle fois les limitations du modèle théorique ne prenant pas en compte les phénomènes de claquage.

La figure 123 représente la puissance de sortie, le gain et le PAE en fonction de  $V_{gs}$  pour  $V_{ds} = 4$  V et une fréquence de 18,5 GHz. On remarque que les meilleures performances sont obtenues pour  $V_{gs} = -1,5$  V. Dans ces conditions, la puissance de sortie à 2 dB de compression est de 23,9 dBm, ce qui représente 820 mW/mm pour un PAE de 31 % et un gain linéaire de 7,4 dB.

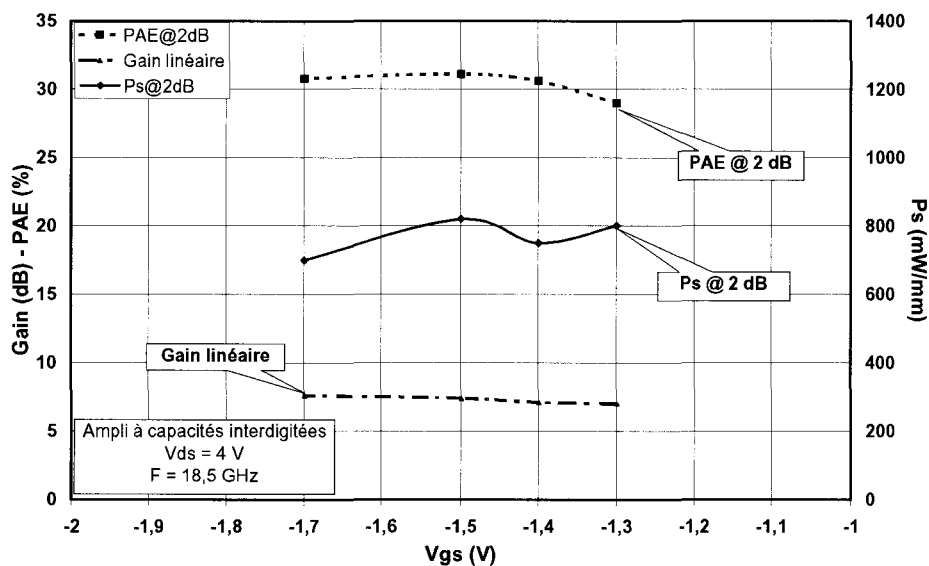


Figure 123 : Evolution de  $P_s$ , du gain linéaire et du PAE à 2 dB de compression en fonction de  $V_{gs}$

En regardant l'évolution du courant de drain et de grille (figure 124), on remarque que ce point de polarisation est quasiment optimal puisque le processus limitatif (passage du courant de grille en direct) arrive beaucoup plus tard que dans le cas précédent (figure 122).

Cependant, le courant de grille maximum est de  $-130 \mu A$  ( $0,5$  mA/mm) et laisse pressentir une limitation de ce composant à travailler à une polarisation  $V_{ds}$  plus élevée.

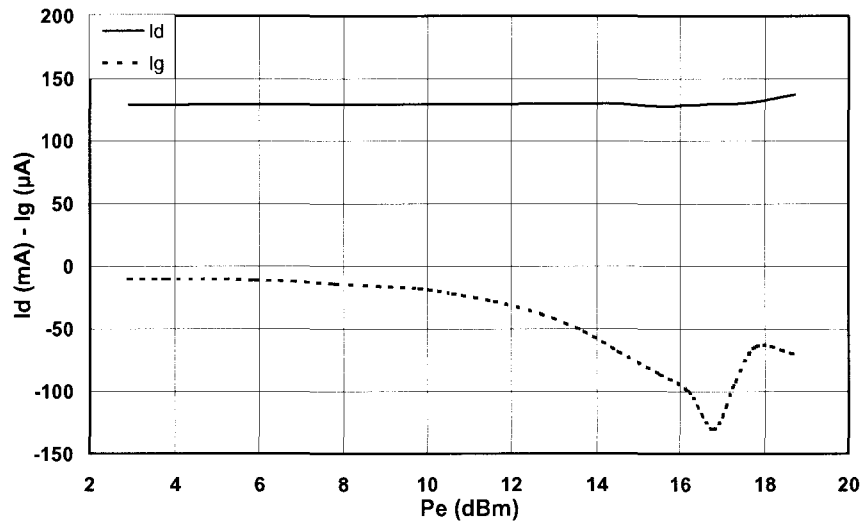


Figure 124 : Evolution des courants de drain et de grille en fonction de  $P_e$  à  $V_{gs} = -1,5\text{ V}$

Dans le tableau 23 sont résumés les principaux résultats obtenus en mesure et en simulation. La puissance de sortie atteint celle prévue par la simulation bien que le gain linéaire soit légèrement plus faible. Le rendement en puissance ajoutée est de l'ordre de 30 %, ce qui représente une performance honorable à 19 GHz mais il est tout de même 10 à 15 points inférieur à celui prévu par la simulation. Cette différence peut être expliquée par un gain trop faible, un courant de drain 10 % supérieur à celui de la simulation donc une densité de puissance plus importante mais aussi par la validité du modèle théorique.

	Mesures	Simulations (non optimisées)
Gain linéaire	7,4 dB	8 dB
Ps @ 1 dB	23,2 dBm	22,7 dBm
PAE @ 1 dB	31 %	46 %
Ps @ 2 dB	23,9 dBm	23,2 dBm
PAE @ 2 dB	31,1 %	44 %
Vds	4 V	4 V
Vgs	-1,5 V	-1,5 V
Fréquence	18,5 GHz	19 GHz

Tableau 23 : Comparaison Mesures/Simulations

De plus, afin de limiter les risques de claquage durant les réglages de l'amplificateur, celui-ci a été réglé à  $V_{ds} = 2\text{ V}$ , ce qui pourrait expliquer ces différences dues à une droite de charge non optimale.

## **B) Les produits d'intermodulation.**

La description du banc d'intermodulation est représentée sur la figure 125.

Il se compose :

- de deux synthétiseurs  
HP83711B (1-20 GHz)  
Wiltron 68137B (2-20 GHz)
- de deux amplificateurs isolés afin de ne pas créer d'intermodulation supplémentaire
- d'un combineur
- d'un atténuateur HP 11713A (0 à 11 dB) permettant de faire varier la puissance d'entrée sans modifier la puissance des synthétiseurs
- d'un wattmètre (Anritsu ML2438A) connecté par le biais de coupleurs (20 dB) et permettant ainsi la mesure des puissances d'entrée et de sortie
- une alimentation continue pour polariser l'amplificateur
- l'amplificateur à caractériser
- un analyseur de spectre HP 70004A permettant la mesure des produits d'intermodulation.

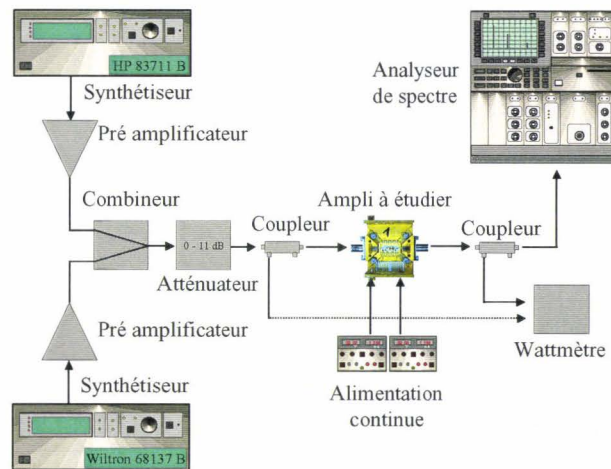


Figure 125 : Description du banc d'intermodulation

### **(1) L'amplificateur à capacités discrètes.**

Nous avons représenté dans le tableau 24 l'évolution du gain linéaire, de la puissance de sortie et du PAE à 1 dB de compression et des C/I d'ordre 3 et 5 ( $P_{e1}+P_{e2}=P_{e1dB}$  en monoton), obtenus en mesure (M) et prévus par la simulation (S), en fonction de la polarisation  $V_{gs}$ . Le



gain, la puissance de sortie et le rendement en puissance ajoutée, étudiés précédemment, sont donnés à titre indicatif.

Vgs V	Gain linéaire dB		Ps@1dB dBm		PAE@1dB %		(C/I) <sub>3</sub> dBc		(C/I) <sub>5</sub> dBc	
	M	S	M	S	M	S	M	S	M	S
-1,1	7,1	7,7	21	>21,3	27	>27	19,5	20,5	36,8	41,5
-1,3	7,6	7,1	20,8		28,5		20	18,7	38	37,6
-1,5	8	7	19,9		26,7		21,5	17,3	37	37,2

**Tableau 24 : Comparaison Mesures/Simulations (Vds = 4 V)**

Bien que la densité de puissance de sortie soit légèrement inférieure à celle prévue par la simulation, les rapports d'intermodulation d'ordre 3 et 5 présentent des valeurs supérieures à 19,5 et 36 dBc respectivement. La comparaison avec la littérature existante est très délicate à faire car peu d'auteurs annoncent les performances des amplificateurs seuls car souvent associés à un linéariseur en amont. De plus, lorsque ceux ci sont donnés, ils sont souvent référencés par rapport au recul vis à vis de la compression, ce qui améliore encore les résultats. Cependant, d'après le peu de résultats obtenus dans la littérature ou fournis par Alcatel, il en ressort que le  $(C/I)_3$  est de l'ordre de 14 à 15 dBc pour une puissance d'entrée biporteuses  $Pe_1+Pe_2$  égale à la puissance d'entrée en monoporteuse nécessaire pour obtenir une compression de 1dB.<sup>[8,9]</sup>

Ce résultat semble confirmer, du point de vue de la linéarité au niveau de la compression, le bien fondé des composants double puits optimisés par un profil de gm quasi plat en fonction de Vgs.

## **(2) L'amplificateur à capacités interdigitées.**

Comme précédemment, le tableau 25 fait une comparaison des résultats obtenus en mesures et prévus par la simulation. Le gain, la puissance de sortie et le rendement en puissance ajoutée, étudiés précédemment, sont donnés à titre indicatif.

On remarque un  $(C/I)_3$  comparable à celui mesuré sur l'ampli à capacités discrètes avec une valeur supérieure à 19,3 dBc sur la plage de Vgs étudiée et une densité de puissance deux fois plus importante ( $> 800$  mW/mm). En ce qui concerne le  $(C/I)_5$ , il est légèrement meilleur que celui mesuré précédemment avec une valeur dépassant 39,3 dBc.

Vgs V	Gain linéaire dB		Ps@1dB dBm		PAE@1dB %		(C/I) <sub>3</sub> dBc		(C/I) <sub>5</sub> dBc	
	M	S	M	S	M	S	M	S	M	S
-1,3	7	8	23	>22,2	29	>30	19,3	18,4	39,3	35,6
-1,5	7,4	8	23,2		31		19,9	18	42,3	43
-1,7	7,6	9	21,8		26		21,8	23,5	56,9	49,4

**Tableau 25 : Comparaison Mesures/Simulations (Vds = 4 V)**

Au vu de ces résultats, il semblerait que les (C/I) d'ordre 3 et 5 ne dépendent pas de la densité de puissance mise en jeu mais du niveau de la compression de gain.

Le tableau 26 effectue une comparaison des performances en linéarité relevées dans la littérature<sup>[8,9]</sup>, entre un pHEMT, un MESFET et celles obtenues durant nos mesures.

	pHEMT (Gm optimisé) C/I <sub>3</sub> (dBc)	pHEMT C/I <sub>3</sub> (dBc)	MESFET C/I <sub>3</sub> (dBc)
Ps@2dB	19,9	14	12
Ps@2dB – 5 dB	33	29	21
Ps@2dB – 10 dB	42	43	40

**Tableau 26 : Comparaison Mesure/Littérature**

Pour une faible puissance d'entrée, la valeur du produit d'intermodulation d'ordre 3 est quasi identique (> 40 dBc). Par contre, au niveau de la compression, le pHEMT optimisé en Gm montre sa supériorité avec un (C/I)<sub>3</sub> de plus de 5 à 7 dB supérieur aux filières classiques. Ceci confirme l'intérêt d'une transconductance quasi plate pour améliorer les produits d'intermodulation d'ordre 3 et 5 au niveau de la compression. Pour conclure cette partie, nous avons également regardé l'influence du ΔF entre les deux porteuses F1 et F2. Pour un ΔF variant de 10 KHz à 100 MHz, aucune différence n'a été observée sur les produits d'intermodulation dans des conditions de polarisation en classe AB (Vgs = -1,3 V).<sup>[19]</sup> Ce comportement est primordial pour des applications à haut débit.

### **C) La conversion AM/PM.**

La description du banc de mesure AM/PM est représentée sur la figure 126. Il se compose :

- d'un analyseur de réseau vectoriel Wiltron 360B
- d'un wattmètre connecté par le biais de coupleurs et permettant de mesurer les puissances d'entrée et de sortie.

- un circuit d'alimentation continue pour polariser l'amplificateur
- l'amplificateur à caractériser.

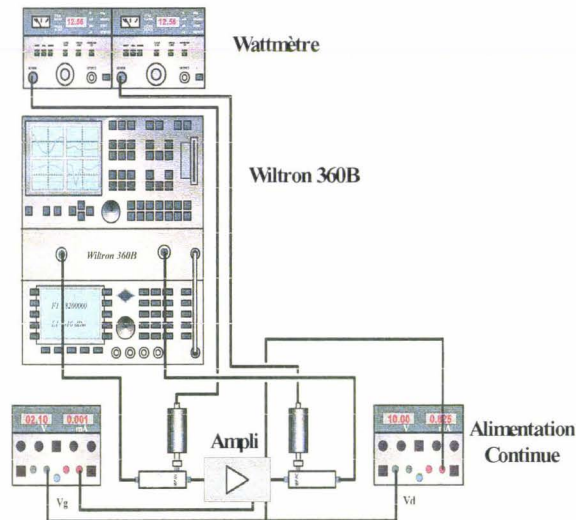


Figure 126 : Description du banc de caractérisation AM/PM

Ces mesures ne concernent que l'amplificateur à capacités discrètes car le second a été détruit lors de la caractérisation en C/I pour des raisons encore inconnues.

Cependant, vu la similitude des résultats obtenus sur les deux amplificateurs en linéarité, il semble cohérent d'extrapoler au deuxième amplificateur les résultats obtenus sur le premier.

Sur la figure 127 est représentée l'évolution de la phase relative de  $S_{21}$  en fonction de la puissance d'entrée pour différentes valeurs de  $V_{gs}$  à  $V_{ds} = 4$  V et  $F = 18,5$  GHz.

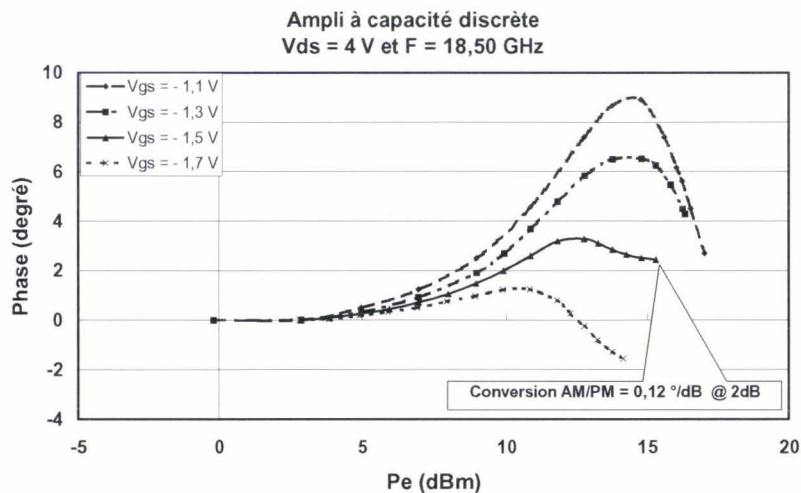


Figure 127 : Evolution de la phase relative de  $S_{21}$  en fonction de la puissance d'entrée

La variation de la phase d'insertion est inférieure à  $9^\circ$  sur la plage de  $V_{gs}$  étudiée. La conversion AM/PM est inférieure à  $0,12^\circ/\text{dB}$  pour  $V_{gs} = -1,5\text{ V}$  à 2 dB de compression. Ce résultat est largement inférieur aux besoins actuels ( $2^\circ/\text{dB}$ )<sup>[5]</sup> mais peut être facilement expliqué par le développement de grille utilisé qui est relativement faible.

#### **4) Conclusion.**

En raison des problèmes survenus lors du câblage, des réglages et des mesures effectuées sur les amplificateurs, nous avons dû utiliser un transistor de développement  $6 \times 50\ \mu\text{m}$  sur des alumines conçues pour un transistor de développement  $6 \times 75\ \mu\text{m}$ .

Il en ressort que l'amplificateur à capacités interdigitées présente des meilleurs résultats en terme de densité de puissance que celui à capacités discrètes, comme le laissaient pressentir les simulations, avec plus de  $800\ \text{mW}/\text{mm}$  à  $V_{ds} = 4\ \text{V}$  contre  $460\ \text{mW}/\text{mm}$ . Cependant les évolutions des caractéristiques sont identiques.

Pour cette densité de puissance, le rendement en puissance ajoutée est supérieur à 31 % pour un gain linéaire de 7,4 dB.

Excepté le gain légèrement faible, ces résultats sont conformes au cahier des charges.

Les performances obtenues durant la caractérisation en intermodulation biporteuses dépassent de loin (4 à 5 dB) les résultats rencontrés dans la littérature. En effet, les C/I d'ordre 3 et 5 sont supérieurs à 19 et 36 dBc respectivement pour une puissance d'entrée  $P_{e1}+P_{e2}$  égale à  $P_{e1\text{dB}}$  en CW. Cette puissance correspond environ à 2 dB de compression de gain en fonctionnement biporteuses. C'est cette aptitude à la linéarité que l'on voulait démontrer, c'est choses faites.

Mais, malgré ces très bons résultats, il apparaît tout de même des différences sur le gain, le PAE et le C/I entre les simulations et les mesures. Ces différences peuvent trouver leurs causes dans :

- la validité du modèle théorique choisi
- l'utilisation d'un transistor de développement  $6 \times 50\ \mu\text{m}$  sur des alumines conçues pour un transistor de développement  $6 \times 75\ \mu\text{m}$  provoquant une adaptation différente
- la trop grande longueur des fils de connexion de grille, de drain et de source qui diminue le gain
- le réglage des amplis effectué à  $V_{ds} = 2\ \text{V}$  pour limiter les risques de claquage des composants peut engendrer une adaptation non optimale.

## VI) Etat de l'art des MMICs de puissance.

Nous avons reporté dans le tableau ci-dessous les principaux résultats, rencontrés dans la littérature, obtenus sur des MMICs de puissance afin de situer notre travail.

Année	GaAs Lg	Fréquence GHz	Gain dB	Ps W	Ps mW/mm	PAE %	Etage	Ref
1995	0,5 $\mu$ m MESFET	26-28	7	0,2	300		1	20
1998	0,2 $\mu$ m pHEMT	30	20	1,4	600	23	2	21
1999	0,15 $\mu$ m pHEMT	29-31	14	4,4	400	31	2	22
1998	0,15 $\mu$ m pHEMT	30	13	3	280	30	2	23
1992	0,25 $\mu$ m pHEMT	32-35	30	0,8	660	26	2	24
1989	0,5 $\mu$ m pHEMT	20		12	420	15	2	25
1999	0,35 $\mu$ m pHEMT	28	5	4,5	800	17	1	26
1992	0,5 $\mu$ m pHEMT	20	47	5,5	380	17	3	27
1993	0,25 $\mu$ m pHEMT	20		4	550	25	2	28
1993	0,2 $\mu$ m pHEMT	20	10	3,2	500	35	1	29
1994	pHEMT	18-21	7,5	4,7	480	38		30
1999	0,15 $\mu$ m pHEMT	37	20	2	300	15	3	31
1993	0,15 $\mu$ m pHEMT	35	8	1,6	250	15	2	32
1992	0,25 $\mu$ m pHEMT	30	10	0,5	600	40	2	33
1999	0,25 $\mu$ m pHEMT	18	18	0,45	375	45	2	34
1999	0,25 $\mu$ m pHEMT	18-21	10	1,4	265	40	2	35
1999	0,15 $\mu$ m pHEMT	20-30	12	1	310	20	2	36
1997	0,15 $\mu$ m pHEMT	34	21	6	550	24		37
<b>2000</b>	<b>0,2 <math>\mu</math>m pHEMT</b>	<b>18,5</b>	<b>7,4</b>	<b>0,25</b>	<b>820</b>	<b>31</b>	<b>1</b>	<b>38</b>
Etat de l'art des MMICs de puissance								

Si l'on compare les résultats obtenus par les amplificateurs de notre étude à ceux trouvés dans la littérature on s'aperçoit que la puissance de sortie absolue est très faible. Ce résultat était prévisible car c'est le nombre de transistor en sortie qui conditionne cette puissance de sortie. Afin de s'affranchir de ce paramètre, il est donc nécessaire de raisonner sur la densité de puissance. On s'aperçoit alors que les performances obtenues avec nos composants font partie des meilleurs résultats rencontrés dans la littérature avec 820 mW/mm. La même remarque peut être appliquée pour le gain linéaire qui est directement proportionnel au nombre d'étages qui composent l'amplificateur. Enfin, malgré une valeur très honorable à 18,5 GHz, le rendement en puissance ajoutée est légèrement inférieur aux meilleurs résultats rencontrés, ceci s'explique par le faible gain linéaire.

Afin d'effectuer une comparaison plus judicieuse et de confirmer par la même occasion les très bonnes performances obtenues avec nos amplificateurs, il est indispensable de concevoir et de réaliser une nouvelle version d'amplificateur. Celle-ci devra comporter 2 ou 3 étages afin d'augmenter le gain linéaire et la puissance absolue en sortie par la mise en parallèle de plusieurs transistors constituant l'étage de sortie.

Par ailleurs, il n'est pas possible de comparer les performances en linéarité, la littérature étant pauvre dans ce domaine.

### **VII) Conclusion du Chapitre 3.**

La première partie de ce chapitre a été dédiée à la modélisation des transistors pHEMTs et à la conception d'amplificateurs de puissance dans la bande de fréquence 18,75 – 19,25 GHz à l'aide du logiciel de conception HPEesof – Libra série IV développé par Hewlett-Packard.

Les problèmes rencontrés durant la caractérisation des transistors pHEMTs en mode impulsionnel nous ont obligés à développer un modèle non linéaire à partir des caractéristiques statiques continues et des paramètres  $S_{ij}$  du composant choisi. De ce fait, la source de courant de drain a été modélisée à partir d'un réseau I-V statique par une technique d'interpolation faisant appel aux fonctions splines et le courant direct de grille a été ajusté à l'aide d'une équation empirique.

Il est par conséquent logique de constater un bon accord entre les caractéristiques mesurées du transistor et celles simulées.

Les résultats obtenus en simulation sur les divers amplificateurs respectent les contraintes du cahier des charges en terme de puissance, rendement en puissance ajoutée et gain linéaire.

Les simulations relatives à l'intermodulation ont montré un point de polarisation optimal ( $V_{gs} = -1 \text{ V}$ ) se situant dans la zone où la transconductance est quasi plate. De plus, il semble que ces modules soient capables de fournir une puissance de sortie supérieure à 23 ou 24 dBm, en fonction du module, pour un PAE de l'ordre de 30 % et un  $(C/I)_3$  supérieur à 15 ou 16 dBc sur une large plage de  $V_{gs}$  (1,2 V pour le module à capacités interdigitées). Ceci semble confirmer par la simulation, le bien fondé des composants double puits optimisés en linéarité par un profil de transconductance quasi plat sur une large plage de  $V_{gs}$ .

Enfin, nous avons montré en simulation la faisabilité d'un module de 1 Watt avec plus de 30 % de rendement avec seulement 4 transistors de développement  $6 \times 75 \text{ }\mu\text{m}$  (1800  $\mu\text{m}$  de développement total).

La principale difficulté rencontrée lors de la conception des modules de puissance est leur instabilité pour des fréquences inférieures à 10 GHz due à leur gain important qui favorise la mise en oscillation.

En ce qui concerne la caractérisation des amplificateurs en technologie microruban, nous avons été confrontés à divers problèmes qui nous ont conduits à utiliser un transistor de développement  $6 \times 50 \text{ }\mu\text{m}$  sur des alumines conçues pour un transistor de développement  $6 \times 75 \text{ }\mu\text{m}$ .

Bien que les évolutions soient identiques, l'amplificateur à capacités interdigitées présente des meilleurs résultats en terme de densité de puissance que l'autre, comme le laissent pressentir les simulations.

Ce module a montré sa capacité à obtenir une puissance de sortie à 2 dB de compression supérieure à 800 mW/mm pour un PAE supérieur à 30 % et un gain linéaire de 7,4 dB. A l'exception de ce dernier légèrement trop faible (0,6 dB), le cahier des charges est respecté.

Les performances obtenues en intermodulation biporteuses dépassent de loin celles relevées dans la littérature avec un  $C/I$  d'ordre 3 supérieur à 19 dBc à 1 dB de compression en CW pour un  $(C/I)_5$  de l'ordre de 40 dBc.

Ces résultats sont très prometteurs sachant que le modèle théorique est des plus simples et que les amplificateurs n'ont pas été optimisés en linéarité mais en puissance.



### **VIII) Bibliographie du CHAPITRE 3.**

- [1] **C. Gaquière**  
« Analyse et optimisation de transistors à effet de champ à hétérojonction pour l'amplification de puissance dans la bande Ka »  
Thèse d'Université, Lille 1, 1995
- [2] **R. Mallavarpu**  
« The importance of gate charge formulation in large signal PHEMT modeling »  
Gallium Arsenide Integrated Circuit, Amsterdam, 1998, p 87-90
- [3] **Y. Mouquet**  
« Contribution à la modélisation non linéaire des TECs pour l'amplification de puissance en classe B en bandes Ku et Ka »  
Thèse d'Université, Lille 1, 1995
- [4] **J. R. Basset et al.**  
« High efficiency, high power GaAs FET amplifiers »  
European Microwave Week Conference, London, 1989, p 137-142
- [5] **M. Zoyo**  
« Conception et réalisation d'amplificateur de puissance micro-ondes à l'état solide et à fort rendement pour des applications spatiales bande S et bande X »  
Thèse d'Université, Paul Sabatier Toulouse, 1996
- [6] **S. Forestier**  
« Etude en linéarité d'amplificateurs de puissance en bande Ka »  
DEA d'Electronique, Université de Nantes, 2000
- [7] **S. Hunziker et al.**  
« Simple model for fundamental intermodulation analysis of RF amplifiers and links »  
Electronics Letters, vol 32, n° 19, 1996, p 1826-1827
- [8] **R. Yarborough et al.**  
« Performance comparison of 1 watt Ka band MMIC amplifiers using pseudomorphic HEMTs and ion implanted MESFETs »  
IEEE Microwave and Millimeter Wave Monolithic Circuits Symposium, San Francisco USA, 1996, p 21-24
- [9] **J. J. Komiak**  
« Design and performance of MESFET, HBT, and PHEMT power amplifiers »  
3<sup>rd</sup> International Workshop on Integrated Nonlinear Microwave and Millimeter Circuits, Duisbourg Germany, 1994, p 43-57
- [10] **A. Mallet**  
« Optimisation des conditions de fonctionnement du transistor bipolaire à hétérojonction pour l'amplification de puissance à haut rendement : applications aux communications microondes entre mobiles »  
Thèse d'Université, Limoges, 1996
- [11] **S. Mons**  
« Nouvelles méthodes d'analyse de stabilité intégrées à la CAO des circuits monolithiques micro-ondes non linéaires »  
Thèse d'Université, Limoges, 1999

- [12] **S. Boret**  
« Circuits intégrés monolithiques en technologie coplanaire pour applications de réception jusque 110 GHz »  
Thèse d'Université, Lille 1, 1999
- [13] **T. Hirose et al.**  
« A flip-chip MMIC design with CPW technology in the W band »  
IEEE MTT-S International Microwave Symposium Digest, vol 2, Baltimore USA, 1998, p 525-528
- [14] **C. K. Pao et al.**  
« Flip-chip interconnect of 2,5 Watt CPW power amplifier MMIC »  
Electrical Performance of Electronic Packaging, 1993, p 29-31
- [15] **T. Krems et al.**  
« Advantage of flip-chip technology in millimeter wave packaging »  
IEEE MTT-S International Microwave Symposium Digest, vol 2, Denver USA, 1997, p 987-990
- [16] **C. L. Wen**  
« Coplanar waveguide : a surface strip transmission line suitable for non reciprocal gyromagnetic device applications »  
IEEE MTT, Dallas USA, 1969, p 58-61
- [17] **M. Riazat et al.**  
« Propagation modes and dispersion characteristics of coplanar waveguides »  
IEEE Transactions on Microwave Theory and Techniques, vol 38, 1990, p 245-251
- [18] **M. Riazat et al.**  
« Single mode operation of coplanar wave guides »  
Electronics Letters, vol 23, n° 24, 1987, p 52-54
- [19] **P. M. McIntosh et al.**  
« The effect of a variation in tone spacing on the intermodulation performance of class A and class AB HBT power amplifiers »  
IEEE MTT-S International Microwave Symposium Digest, vol 2, Denver USA, 1997, p 371-374
- [20] **Y. Kalayci et al.**  
« A miniaturized Ka band MMIC high gain medium power amplifier in coplanar line technique by using a conventional 0,5  $\mu\text{m}$  MESFET Technology »  
IEEE MTT-S International Microwave Symposium Digest, vol 3, Orlando USA, 1995, p 1623-1626
- [21] **M. Komaru et al.**  
« 1 Watt compact Ka band MMIC power amplifiers using lumped element matching circuits »  
IEEE MTT-S International Microwave Symposium Digest, vol 3, Baltimore USA, 1998, p 1659-1662
- [22] **J. J. Komiak et al.**  
« Fully monolithic 4 Watt high efficiency Ka band power amplifier »  
IEEE MTT-S International Microwave Symposium Digest, vol 3, Anaheim USA, 1999, p 947-950
- [23] **J. J. Komiak et al.**  
« 3 Watt Ka band MMIC HPA and driver amplifier implemented in a fully selective 0,15  $\mu\text{m}$  power pHEMT process »  
20<sup>th</sup> Annual Gallium Arsenide Integrated Circuit Symposium, Amsterdam, 1998, p 45-48
- [24] **J. M. Schellenberg et al.**  
« A 0,8 Watt Ka band power amplifier »  
IEEE MTT-S International Microwave Symposium Digest, vol 2, Albuquerque USA, 1992, p 529-532

- [25] **F. S. Auricchio et al.**  
« A 12 Watt 20 GHz FET power amplifier »  
IEEE MTT-S International Microwave Symposium Digest, vol 3, Long Beach USA, 1989, p 933-936
- [26] **K. Matsunaga et al.**  
« A CW 4 Watt Ka band power amplifier utilizing MMIC Multi Chip Technology »  
21<sup>st</sup> Annual Gallium Arsenide Integrated circuit Symposium, 1999, p 153-156
- [27] **F. Bonecchi et al.**  
« A 5,5 Watt 20 GHz solid state power amplifier for on board satellite communication »  
IEEE MTT-S International Microwave Symposium Digest, vol 2, Albuquerque USA, 1992, p 1101-1104
- [28] **R. Yarborough et al.**  
« Four Watt 20 GHz partial monolithic amplifier »  
IEEE MTT-S International Microwave Symposium Digest, vol 3, Atlanta USA, 1993, p 1381-1383
- [29] **C. H. Chen et al.**  
« 20 GHz high power high efficiency HEMT module »  
IEEE MTT-S International Microwave Symposium Digest, vol 3, Atlanta USA, 1993, p 1377-1380
- [30] **B. Kraemer et al.**  
« Power pHEMT module delivers 4 Watts, 38 % PAE over the 18 to 21,2 GHz Band »  
IEEE MTT-S International Microwave Symposium Digest, vol 2, San Diego USA, 1994, p 801-804
- [31] **M. N. Ruberto et al.**  
« A 2 Watt high gain Ka band MMIC amplifier design utilizing a ternary power combining of P-HEMTs »  
28<sup>th</sup> European Microwave Week Conference, Munich, 1999, p 181-184
- [32] **A. K. Sharma et al.**  
« Ka band power PHEMT on wafer characterization using prematched structures »  
IEEE MTT-S International Microwave Symposium Digest, vol 3, Atlanta USA, 1993, p 1343-1346
- [33] **H. Q. Tserng et al.**  
« High efficiency broadband monolithic pseudomorphic HEMT amplifiers at Ka band »  
IEEE Microwave and Millimeter Wave Monolithic Circuits Symposium, Albuquerque USA, 1992, p 51-54
- [34] **T. Satoh et al.**  
« A 68 % PAE power pHEMT for K band satellite communication system »  
IEEE MTT-S International Microwave Symposium Digest, vol 3, Anaheim USA, 1999, p 963-966
- [35] **C. Poledrelli et al.**  
« High efficiency 1,4 W power amplifier for K band satellite communication system »  
GAAS 99, Munich, 1999, p 252-256
- [36] **J. S. Lim et al.**  
« MMIC 1 Watt wideband power amplifier chip set using pHEMT technology for 20/30 GHz communication systems »  
Asia Pacific Microwave Conference, Singapore, 1999, p 425-428
- [37] **D. L. Ingram et al.**  
« A 6 W Ka band power module using MMIC power amplifiers »  
IEEE Transactions on Microwave Theory and Techniques, vol 45, n° 12, 1997, p 2424-2430
- [38] **X. Hue et al.**  
« 1 W/mm GaAs pHEMT for realization of linear power amplifier in the K band »  
GAAS 2000, Paris, 2000

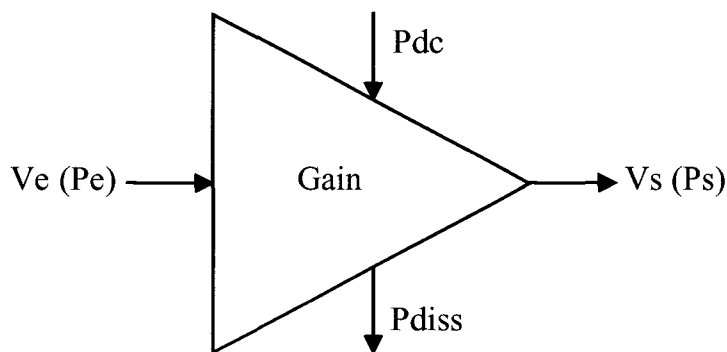
### IX) Annexes du Chapitre3.

#### 1) Concept Puissance – Linéarité. Principales définitions.

Le but de cette annexe est de définir les principaux critères nécessaires à la caractérisation en puissance et en linéarité des amplificateurs ou des transistors.

#### A) Généralités

L'amplificateur de puissance a pour rôle d'amplifier le signal placé à son entrée en prélevant l'énergie nécessaire à la source d'alimentation continue. On peut voir ainsi sur la figure 128 sa représentation synoptique.



**Figure 128 : Représentation synoptique de l'amplificateur de puissance**

avec  $V_e, V_s$  : signal d'entrée et de sortie

$P_e, P_s$  : puissance d'entrée et de sortie

$P_{dc}$  : puissance fournie par l'alimentation à l'amplificateur

$P_{diss}$  : puissance dissipée par l'amplificateur

Il est caractérisé par les grandeurs suivantes :

- son gain en puissance : 
$$G = \frac{P_s}{P_e}$$

Dans le cas d'un amplificateur idéal, le gain est constant quelle que soit la puissance d'entrée et permet à la puissance de sortie d'être proportionnelle à l'entrée.

- son rendement en puissance ajoutée : 
$$\eta_{aj} = \frac{P_s - P_e}{P_{dc}} \text{ (ou PAE)}$$

Cette notion de rendement est d'autant plus importante que l'amplificateur est amené à être utilisé dans la charge utile d'un satellite afin de minimiser la taille de l'alimentation et de diminuer le coût du lancement.

Le but d'un amplificateur de puissance est d'avoir le maximum de puissance de sortie et de rendement en puissance ajoutée.

En pratique, l'amplificateur n'est pas parfaitement linéaire et sa caractéristique Sortie/Entrée peut être représentée par une série de Taylor<sup>[39,40]</sup> :

$$V_s = G_0 \cdot V_e + G_1 \cdot V_e^2 + G_2 \cdot V_e^3 + \dots$$

$$\text{soit } V_s = \sum_{n=0}^{\infty} G_n \cdot V_e^n \quad \text{avec } G_n = \frac{1}{n!} \left( \frac{d^n V_s}{d V_e^n} \right)$$

### **B) Fonctionnement en monoporteuse (CW).**

La figure 129 représente l'évolution de la puissance de sortie et du gain en fonction de la puissance d'entrée d'un amplificateur réel excité par une porteuse.

$$\text{Si } V_e = A \cos[w_1 t] \quad \text{alors } V_s = G_0 A \cos[w_1 t] + G_1 A^2 \left[ \frac{1 + \cos 2w_1 t}{2} \right] + \dots$$

On distingue trois zones de fonctionnement :

- ① la zone linéaire où l'amplificateur peut être considéré comme idéal (Gain constant)
- ② la zone de compression où le gain en puissance diminue en fonction de la puissance d'entrée
- ③ la zone de saturation où la puissance de sortie est constante

Dans ce fonctionnement en monoporteuse, on peut définir plusieurs critères de linéarité :

- la conversion AM/AM qui correspond à la variation du module du gain en puissance en fonction de la puissance d'entrée.<sup>[41,42]</sup> Deux points sont remarquables, correspondant au décrochement de 1 ou 2 dB du gain en puissance par rapport au gain linéaire obtenu en petit signal (figure 129).
- la conversion AM/PM qui correspond à la variation de la phase du signal de sortie par rapport à celle du signal d'entrée en fonction de  $P_e$ .<sup>[41]</sup> La phase est constante dans la zone linéaire et varie lorsque l'on atteint la compression (figure 130).

le taux de distorsion harmonique (figure 130) qui est le rapport entre la puissance du fondamental et la puissance de l'harmonique 2 (ou supérieur).<sup>[42]</sup>

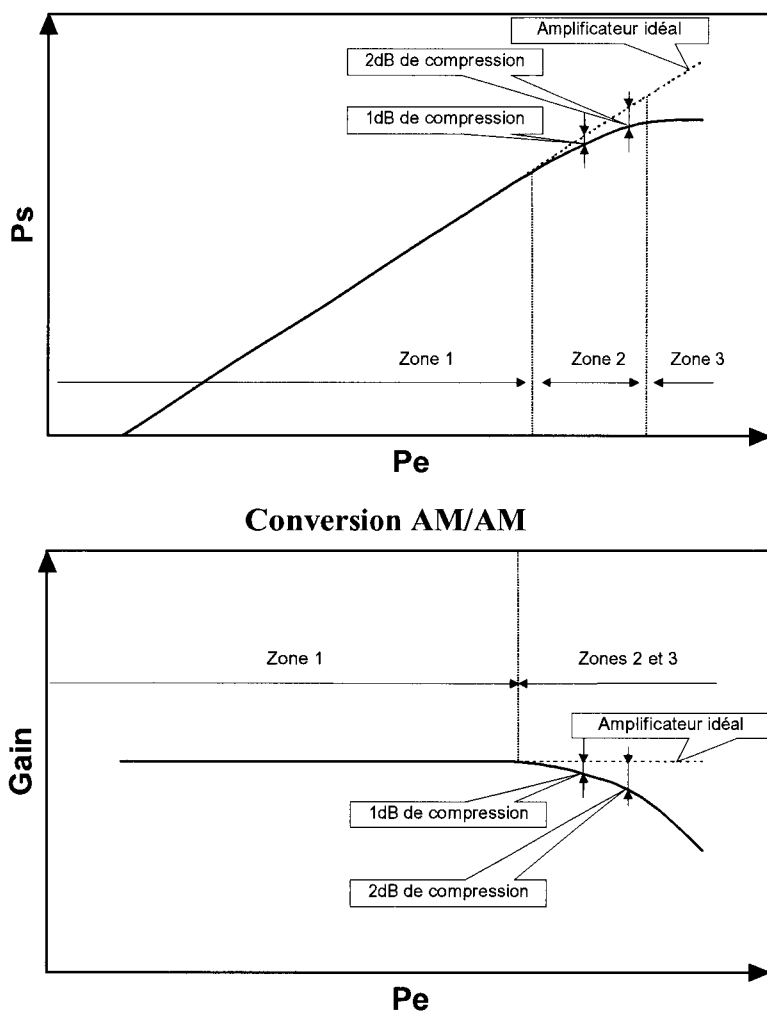


Figure 129 : Evolution de  $P_s$  et du gain en fonction de la puissance d'entrée ( conversion AM/AM)

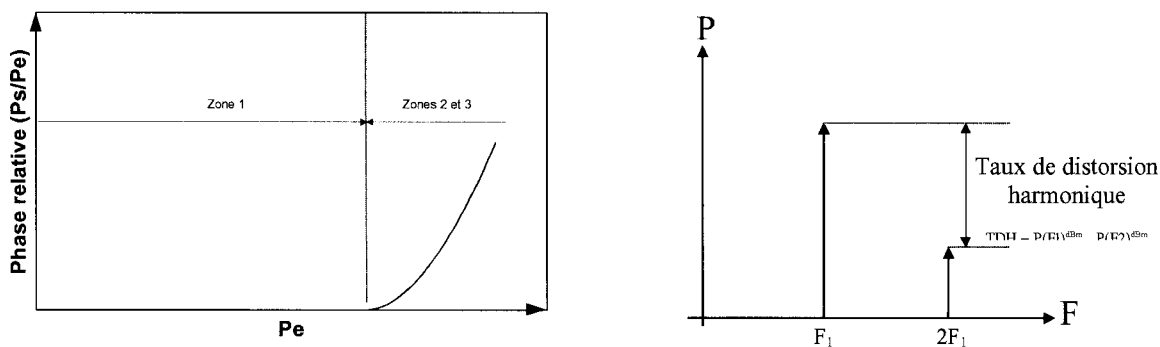


Figure 130 : Conversion AM/PM et taux de distorsion harmonique

### C) Fonctionnement en biporteuses.

Maintenant considérons le cas où l'on applique en entrée deux signaux d'amplitudes égales et de fréquences  $f_1$  et  $f_2$  très proches l'une de l'autre:

$$V_e = V_1 + V_2 = V(\cos w_1 t + \cos w_2 t)$$

si l'on remplace  $V_e$  dans l'expression  $V_s = G_0 \cdot V_e + G_1 \cdot V_e^2 + G_2 \cdot V_e^3 + \dots$  on obtient :

$$V_s = G_0 V[\cos w_1 t + \cos w_2 t] + G_1 V^2[\cos w_1 t + \cos w_2 t]^2 + G_2 V^3[\cos w_1 t + \cos w_2 t]^3 + \dots$$

si l'on développe chaque terme, la tension  $V_s$  peut se décomposer de la manière suivante<sup>[39,40]</sup> :

1<sup>er</sup> terme

$$G_0 V \cos w_1 t + G_0 V \cos w_2 t$$

2<sup>ème</sup> terme

$$\frac{1}{2} G_1 V^2 [\cos 2w_1 t + 2 \cos(w_1 + w_2)t + 2 \cos(w_1 - w_2)t + \cos 2w_2 t]$$

3<sup>ème</sup> terme

$$\frac{1}{4} G_2 V^3 \left[ \begin{array}{l} 9 \cos w_1 t + 9 \cos w_2 t \\ + \cos 3w_1 t + \cos 3w_2 t \\ + 3 \cos(2w_1 + w_2)t + 3 \cos(w_1 + 2w_2)t \\ + 3 \cos(2w_1 - w_2)t + 3 \cos(2w_2 - w_1)t \end{array} \right]$$

Le premier terme représente la caractéristique de l'amplificateur idéal (figure 131). Aucune nouvelle fréquence n'est générée et les signaux appliqués à l'entrée seront amplifiés par le gain  $G_0$ . Le deuxième terme génère des nouveaux signaux aux fréquences  $2F_1$ ,  $F_1+F_2$ ,  $F_1-F_2$  et  $2F_2$  (ainsi qu'un terme continu filtré par la capacité de liaison) et le troisième aux fréquences  $3F_1$ ,  $3F_2$ ,  $2F_1+F_2$ ,  $F_1+2F_2$ ,  $2F_1-F_2$  et  $2F_2-F_1$ . On remarque que plus le signal d'entrée va augmenter, plus les signaux générés vont prendre de l'importance vis à vis des deux signaux d'entrée. On s'aperçoit également que les signaux aux fréquences  $2F_1$ ,  $F_1+F_2$ ,  $F_1-F_2$ ,  $2F_2$ ,  $3F_1$ ,  $3F_2$ ,  $2F_1+F_2$  et  $F_1+2F_2$  peuvent être facilement filtrés. Cependant les signaux aux fréquences  $2F_1-F_2$  et  $2F_2-F_1$  sont très proches des porteuses et sont impossibles à filtrer. Ces termes sont appelés produits d'intermodulation d'ordre 3. Ce sont ces coefficients qui suscitent l'intérêt des concepteurs de circuits microondes destinés à des applications nécessitant de nombreuses porteuses (télécommunication, multimédia...).

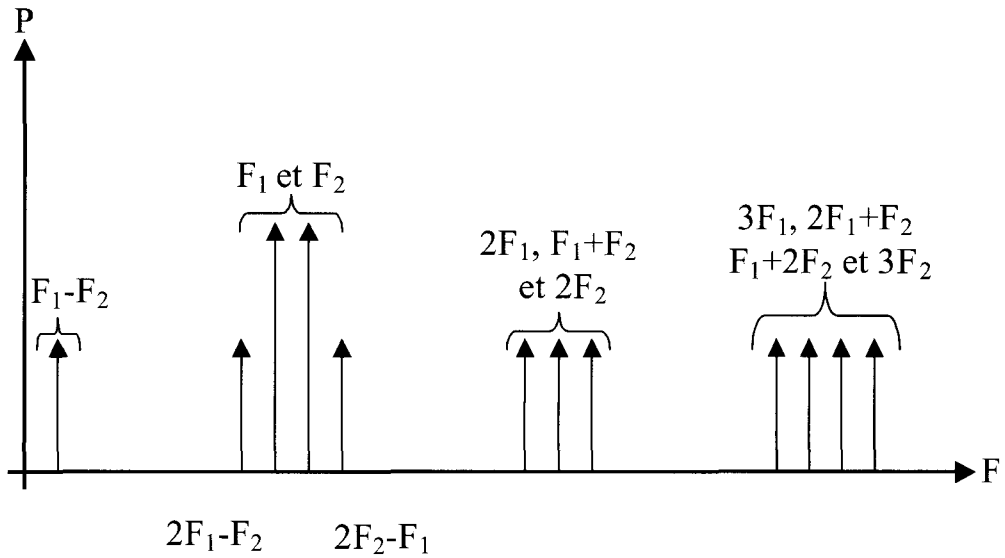


Figure 131 : Produits d'intermodulation et harmoniques

Sur la figure 132 est représentée l'évolution typique de la puissance de sortie d'une porteuse ( $F_1$  ou  $F_2$ ) et celle des produits d'intermodulation d'ordre 3 ( $2f_1 - f_2$  ou  $2f_2 - f_1$ ) en fonction de la puissance d'entrée d'une porteuse.

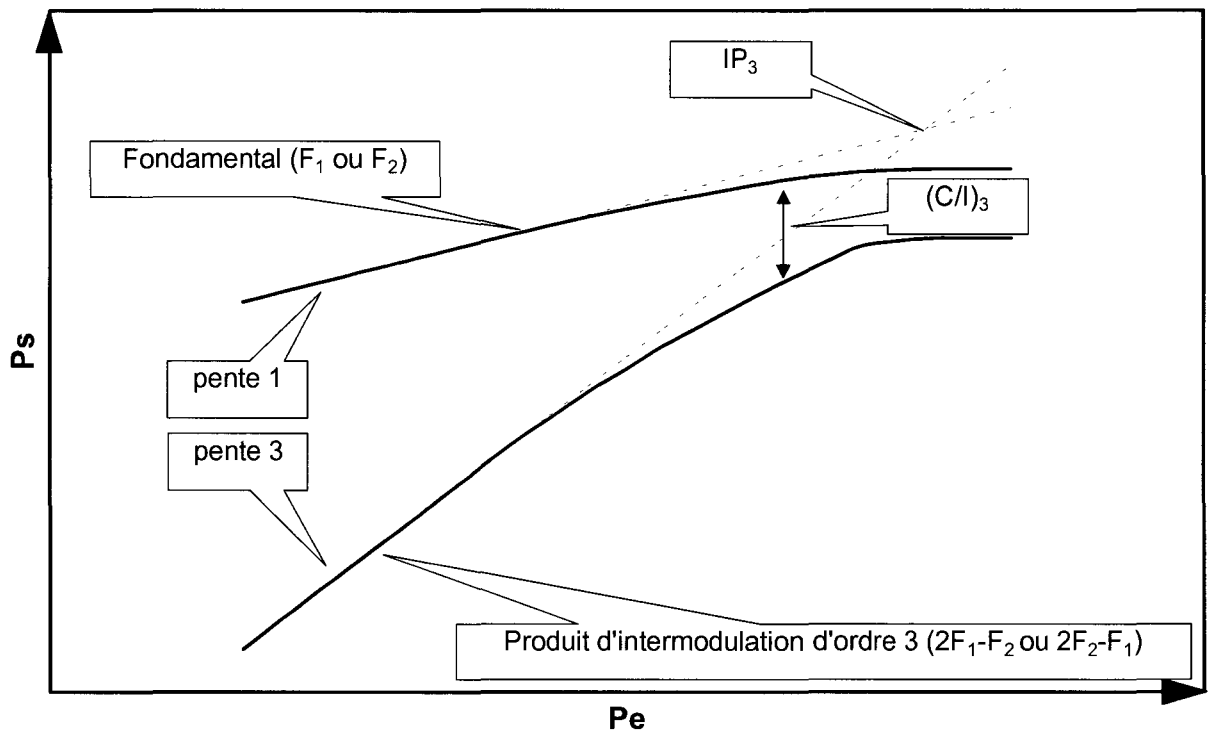


Figure 132 : Evolution de  $P_s$  et des produits d'intermodulation d'ordre 3 en fonction de  $P_e$



On peut alors définir deux critères de linéarité :

- l' $IP_3$  qui représente le point d'intersection entre l'extrapolation du fondamental et celle des produits d'intermodulation d'ordre 3. Il est à noter que l' $IP_3$  est un point virtuel car le gain de l'amplificateur commence à chuter avant cette intersection. En général, la différence entre l' $IP_3$  et le  $Ps_{1dB}$  est approximativement de 10 dB.<sup>[43]</sup> Ce facteur est très important pour les amplificateurs devant fonctionner en zone linéaire (amplificateur faible bruit) mais devient obsolète lorsque celui-ci est amené à travailler à la compression. On utilise alors un autre critère appelé le  $(C/I)_3$ .

- le  $(C/I)_3$ , qui dépend de la puissance d'entrée, correspond à la différence de puissance entre le fondamental et les produits d'intermodulation d'ordre 3 (figure 132). Ce terme représente parfaitement la linéarité d'un amplificateur, excité par deux porteuses, quel que soit le niveau de puissance d'entrée. En général on définit le  $(C/I)_3$  à 1 ou 2 dB de compression du gain en puissance. Il est en général de l'ordre de 15 dBc pour les amplificateurs de puissance.<sup>[44]</sup>

En fonctionnement petit signal, lorsque le fondamental et les produits d'intermodulation d'ordre 3 ont respectivement une pente de 1 et 3, il est très facile de passer de l' $IP_3$  au  $(C/I)_3$  et inversement par la relation suivante :

$$IP_3 = Ps + \frac{1}{2}(C/I)_3$$

Par contre, si l'on s'écarte de la zone linéaire, on est dans l'obligation d'effectuer une mesure pour connaître le  $(C/I)_3$ .

#### **D) Fonctionnement en multiporteuses.**

Lorsqu'il y a un nombre important de porteuses, les propriétés du signal se rapprochent de celles d'un bruit blanc gaussien. Le NPR devient alors un critère de linéarité objectif.<sup>[45]</sup> Cette technique de mesure consiste à générer un bruit blanc gaussien, et à filtrer une partie du spectre pour générer un trou, appelé NOTCH, au centre de la bande. Ce signal est ensuite injecté dans l'amplificateur. Le NPR est défini comme le rapport entre la puissance de sortie du signal utile et la puissance du bruit d'intermodulation mesurée dans le NOTCH (figure 133).

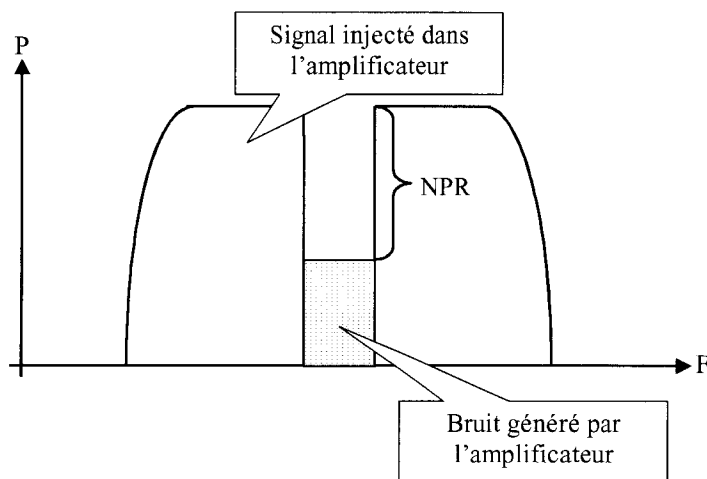


Figure 133 : Définition du NPR

### E) Cas d'un signal modulé en phase.

Lorsqu'une porteuse modulée QPSK (Quadrature Phase Shift Keying) avec filtrage en bande de base est amplifiée par un amplificateur de fonctionnement non linéaire, on retrouve en sortie une remontée des lobes secondaires (figure 134).

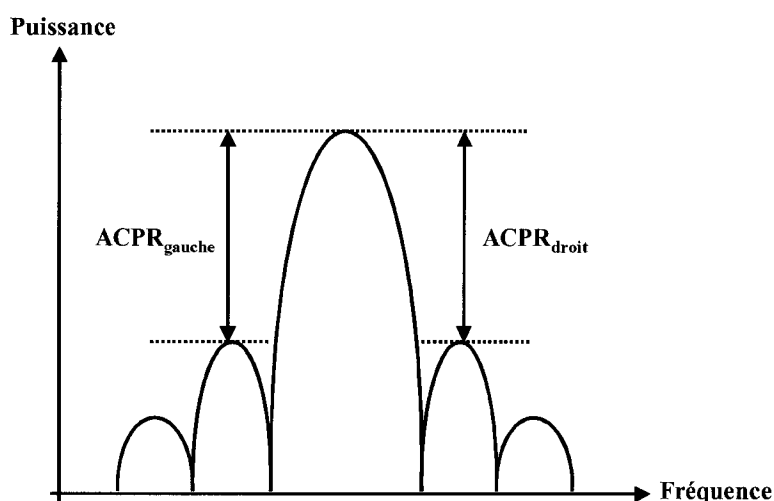


Figure 134 : Définition de l'ACPR

Usuellement, l'Adjacent Channel Power Ratio (ACPR) caractérise ces non linéarités. Il est défini par l'écart en puissance entre le lobe principal et les lobes secondaires.<sup>[41]</sup> Ces lobes, d'amplitude égale en théorie, sont généralement non symétrique en pratique.

## **F) Bibliographie.**

- [39] **D. D. Henkes et al.**  
« Intermodulation : concepts and calculations. »  
Applied Microwave and Wireless, Aout 1997, p 38-43
- [40] **S. Hunziker et al.**  
« Simple model for fundamental intermodulation analysis of RF amplifiers and links. »  
Electronics Letters, vol 32, n° 19, 1996, p 1826-1827
- [41] **A. Guy**  
« Etude, conception et réalisation d'un système de linéarisation d'amplificateurs de puissance à état solide pour des applications spatiales. »  
Thèse d'Université, Toulouse, 2000
- [42] **J. Lajoinie**  
« Contribution à la conception optimale en terme de linéarité et consommation des amplificateurs de puissance en fonctionnement multiporteuses. »  
Thèse d'Université, Limoges, 2000
- [43] **B. Gallagher**  
« Estimating and mesuring C/I in a GSM wireless local loop receiver. »  
Microwave Journal, Octobre 1997, p 70-83
- [44] **R. Yarborough et al.**  
« Performance comparison of 1 Watt Ka band MMIC amplifiers using pseudomorphic HEMTs and ion implanted MESFETs »  
IEEE Microwave and Millimeter Wave Monolithic Circuits Symposium, San Francisco, 1996, p 21-24
- [45] **J. Sombrin**  
« Critère de comparaison, d'optimisation et d'utilisation optimale des amplificateurs de puissance non-linéaires. »  
Rapport du Centre Nationale d'Etudes Spatiales, 1996

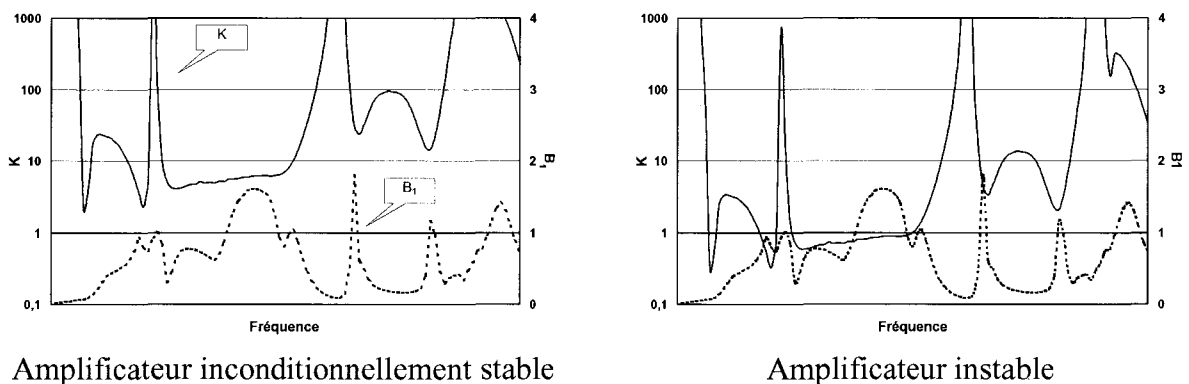
## **2) Concept de stabilité.**

### **A) Généralités.**

Lors de la conception d'un amplificateur, il est nécessaire d'étudier sa stabilité afin de s'affranchir des risques de mauvais fonctionnement. En effet, l'amplificateur peut être le siège d'oscillations, fonction de la fréquence et des impédances présentées à l'entrée et à la sortie, qui conduisent dans la plupart des cas à la destruction de celui-ci. Cette étude peut être menée par le biais de divers critères plus ou moins rigoureux en fonction de la complexité de l'amplificateur. Nous allons nous intéresser plus particulièrement à deux méthodes qui sont<sup>[46-49]</sup>:

- l'étude par le coefficient de Rollet
- l'étude par la fonction du déterminant normalisé NDF

### **B) L'étude de la stabilité linéaire d'un amplificateur par le coefficient K de Rollet.**



**Figure 135 : Stabilité linéaire d'un amplificateur par les coefficients K et B<sub>1</sub>**

L'analyse classique d'un transistor ou d'un amplificateur à l'aide des coefficients K de Rollet et B<sub>1</sub>, définis ci-dessous à partir des paramètres S<sub>ij</sub> de l'amplificateur, est souvent le seul moyen disponible dans les logiciels commercialisés de Conception Assistée par Ordinateur.

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}||S_{21}|}$$

et  $B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2$

où  $\Delta = S_{11}S_{22} - S_{12}S_{21}$

La condition de stabilité peut être formulée de la manière suivante :

**L'amplificateur est inconditionnellement stable si  $K > 1$  et  $B_1 > 0$  quelle que soit la fréquence d'utilisation (figure 135).**

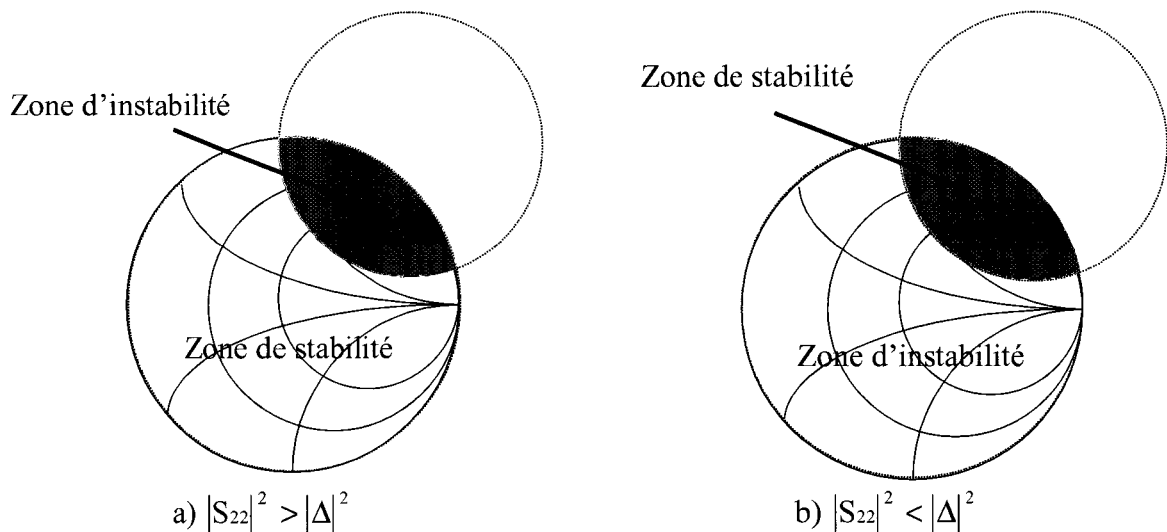
Lorsque le coefficient  $K$  est inférieur à 1 il faut alors étudier les cercles de stabilité en entrée et en sortie pour définir si le circuit est stable sous ses impédances nominales de charge. Ces cercles se caractérisent par la distance  $D$  de leur centre à l'origine de l'abaque ainsi que par leur rayon  $R$  :

$$D = \frac{S_{22}^* - \Delta^* S_{11}}{|S_{22}|^2 - |\Delta|^2} \quad \text{avec} \quad S_{22}^* \text{ conjugué de } S_{22}$$

$$R = \frac{|S_{12}S_{21}|}{|S_{22}|^2 - |\Delta|^2} \quad \text{et} \quad \Delta^* \text{ conjugué de } \Delta$$

Finalement, deux cas de figures peuvent se présenter :

- si  $|S_{22}|^2 > |\Delta|^2$  le lieu des impédances entraînant l'instabilité de l'amplificateur est intérieur au cercle (figure 136a).
- si  $|S_{22}|^2 < |\Delta|^2$  le lieu des impédances entraînant l'instabilité de l'amplificateur est extérieur au cercle (figure 136b).



**Figure 136 : Lieu de stabilité**

L'étude de la stabilité à l'aide du facteur de Rollet a fait l'objet de nombreuses publications mettant en cause sa validité en tant que critère inconditionnel de stabilité. En effet, il possède des limitations du fait qu'il ne prend pas en compte l'état intrinsèque de

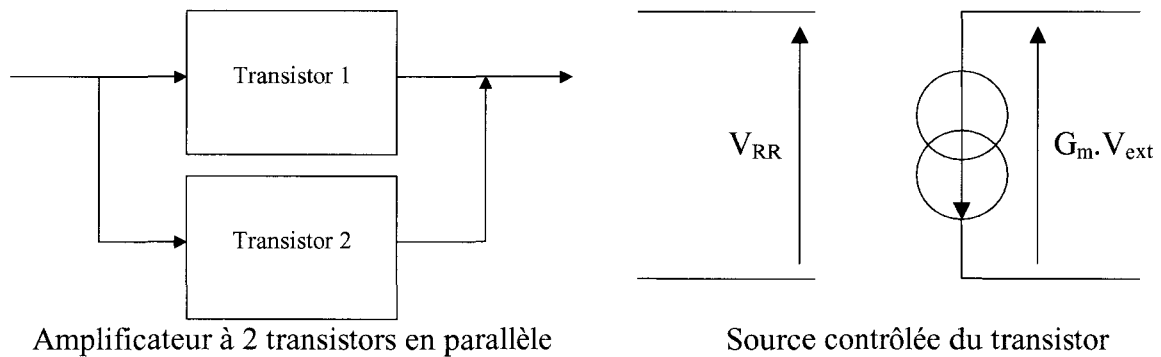
l'amplificateur. Ce critère ne se préoccupe que de la stabilité vis à vis des conditions de charge qui sont susceptibles de ramener une impédance à partie réelle négative sur l'un de ces accès.

Cependant pour des amplificateurs comportant un seul transistor, cette étude est généralement suffisante. Pour les circuits comportant la mise en parallèle de transistors, la stabilité linéaire devra être déterminée par d'autres moyens tel que le NDF pour permettre une analyse interne de l'amplificateur.

### **C) L'étude de la stabilité linéaire d'un amplificateur par la méthode du déterminant normalisé NDF.**

La méthode du déterminant normalisé est appliquée pour l'analyse de la stabilité linéaire d'un circuit comprenant plusieurs éléments actifs. Le calcul du NDF (Normalized Determinant Function) est déterminé en utilisant le concept du retour de niveau RR (Return Ratio).<sup>[46]</sup>

Prenons l'exemple d'un amplificateur comprenant deux transistors en parallèle (figure 137).



**Figure 137 : Principe du NDF**

L'évaluation du RR revient à appliquer une tension externe ( $V_{ext}$ ) sur la source contrôlée du transistor 1 et de mesurer la tension de retour  $V_{RR}$  sur l'entrée, le transistor 2 étant actif. On en déduit le retour de niveau :

$$RR_1 = -\frac{V_{RR1}}{V_{ext}}$$

Ensuite on applique la tension  $V_{ext}$  sur la source contrôlée du transistor 2 en rendant le premier passif puis on mesure le « Return Ratio » :

$$RR_2 = -\frac{V_{RR2}}{V_{ext}}$$

On calcule alors le produit des « Return Difference » afin d'obtenir le NDF que l'on trace dans le plan de Nyquist :

$$\text{NDF} = \prod_{i=1}^2 (\text{RR}_i + 1)$$

L'analyse de la variation du NDF sur le diagramme de Nyquist se fait autour du point critique (0 ; 0) lorsque la fréquence varie de 0 à  $+\infty$ . La stabilité de l'amplificateur est assurée si le contour du NDF n'entoure pas ce point critique (figure 138).

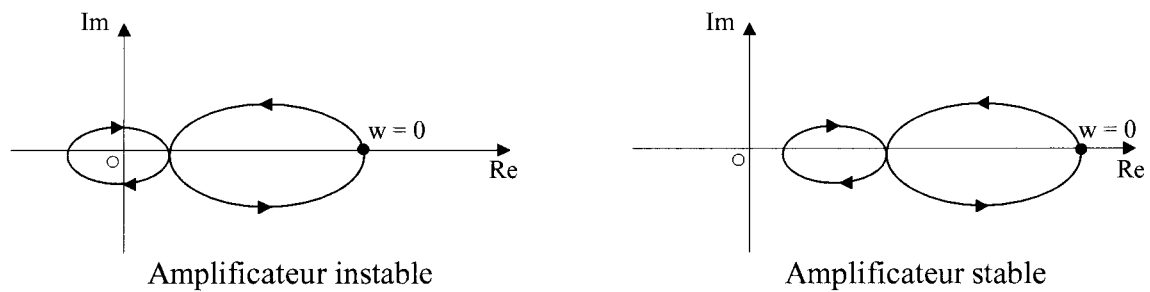


Figure 138 : Variation du NDF sur le diagramme de Nyquist

**D) Bibliographie.**

- [46] **S. Mons**  
« Nouvelles méthodes d'analyse de stabilité intégrées à la C.A.O. des circuits monolithiques micro-ondes non linéaires. »  
Thèse d'Université, Limoges, 1999
- [47] **A. Mallet**  
« Optimisation des conditions de fonctionnement du transistor bipolaire pour l'amplification de puissance à haut rendement : applications aux communications microondes entre mobiles. »  
Thèse d'Université, Limoges, 1996
- [48] **A. Guy**  
« Etude, conception et réalisation d'un système de linéarisation d'amplificateurs de puissance à état solide pour des applications spatiales. »  
Thèse d'Université, Toulouse, 2000
- [49] **J. Lajoinie**  
« Contribution à la conception optimale en terme de linéarité et consommation des amplificateurs de puissance en fonctionnement multiporteuses. »  
Thèse d'Université, Limoges, 2000





**CONCLUSION GENERALE  
et PERSPECTIVES**



L'apparition de produits d'intermodulation en sortie d'une chaîne d'amplification de puissance est un problème important de nos jours vu le nombre croissant des débits d'informations.

L'objectif de nos travaux a été de réaliser des amplificateurs de puissance en bandes K et Ka susceptibles de fournir une forte densité de puissance tout en gardant une très bonne linéarité. Ce travail de thèse a permis d'aborder les différentes étapes nécessaires à la réalisation des modules de puissance :

- la conception, la fabrication, la caractérisation et la modélisation des transistors de puissance réalisées à L'IEMN.
- la conception, la fabrication et la caractérisation des modules hybrides de puissance réalisées à Alcatel Espace et au Centre National d'Etudes Spatiales de Toulouse.

Dans la première partie de ce manuscrit nous avons conçu deux structures de transistors (pHEMT et HFET) fournissant une densité de courant de drain de 700 à 800 mA/mm et un profil de transconductance le plus plat possible en fonction de la tension grille-source. Cette étude a été réalisée à l'aide d'un logiciel de simulation 1D utilisant la résolution auto-cohérente des équations de Schrödinger et de Poisson. Nous nous sommes ensuite consacrés à la fabrication des composants. Afin de rendre la technologie fiable, reproductible et performante, il a fallu étudier l'impact de nombreux paramètres sur les caractéristiques électriques des transistors :

- l'isolation électrique a été réalisée à l'aide d'une solution d'acide sulfurique afin de s'affranchir de l'apparition d'un oxyde au fond du méso et de permettre ainsi une parfaite isolation entre les différents composants
- le développement d'une gravure humide sélective à base d'acide citrique, associée à l'insertion d'un stoppeur d'AlAs entre le cap layer en GaAs et la couche barrière en AlGaAs, a permis d'obtenir une excellente homogénéité des caractéristiques électriques, au niveau de l'état de l'art, sur des transistors multidoigts à grand développement de grille
- la nécessité de modifier le procédé technologique de réalisation des ponts à air existant au laboratoire afin de conserver l'intégralité des caractéristiques des composants

- une optimisation des conditions de gravure, de l'épaisseur du substrat aminci et des dimensions des trous du procédé de réalisation des trous métallisés dans l'optique de ne pas détériorer les performances des composants
- enfin, la passivation des composants dans le but d'éviter un vieillissement prématuré dans des conditions de fonctionnement avec courant de grille.

La seconde partie de ce mémoire consistait à caractériser les composants. Les résultats obtenus lors de la caractérisation statique sont conformes aux exigences imposées par le cahier des charges pour les structures de type pHEMT :

- une densité de courant de drain supérieure à 700 mA/mm
- une tension de claquage de 8 V en configuration canal pincé
- et un profil de transconductance quasi plat en fonction de  $V_{gs}$ .

La structure de type HFET a présenté une densité de courant de drain légèrement plus faible et un profil de  $g_m$  non conforme aux simulations. Ceci est facilement explicable par les modifications apportées aux structures de type pHEMT.

Durant la caractérisation hyperfréquence petit signal, un soin particulier a été apporté à la détermination des capacités plots  $C_{pg}$  et  $C_{pd}$  afin de permettre une meilleure extraction des éléments intrinsèques. Les lois d'échelle obtenues sur tous les éléments ont démontré la maturité du procédé technologique par l'excellente uniformité des résultats. Les deux types d'épitaxies présentent des résultats très proches en terme de fréquence de coupure et sont honorables vis à vis des meilleurs résultats rencontrés dans la littérature pour ce type d'application, avec cependant un léger avantage pour la couche pHEMT. L'évolution du MAG, similaire à celle de la transconductance, ne dépend quasiment pas de la tension  $V_{ds}$ .

La caractérisation hyperfréquence grand signal a confirmé la supériorité de la couche pHEMT avec une puissance de sortie de 1 W/mm à 1 dB de compression à 17 GHz pour un rendement en puissance ajoutée de 30 % et un gain linéaire de 9 dB. Ces performances se situent au niveau de l'état de l'art. La couche HFET, malgré une densité de courant de drain inférieure, a présenté des performances tout à fait honorables avec plus de 600 mW/mm à 1 dB de compression pour un PAE de 25 % et un gain linéaire de 9,5 dB à la même fréquence.

Comparé aux filières plus classiques, les mesures d'intermodulation biporteuses ont montré une augmentation de la linéarité près de la compression avec un C/I d'ordre 3 et 5 proche de 20 et 40 dBc respectivement à 1 dB de compression.

En ce qui concerne les composants avec trous métallisés, les performances obtenues après diverses modifications technologiques sont très encourageantes et proches de celles obtenues sur les couches sans trous métallisés.

Le troisième chapitre a été dédié dans un premier temps à la modélisation d'un transistor pHEMT de développement  $6 \times 75 \mu\text{m}$ . Nous nous sommes ensuite intéressés à la conception de plusieurs modules de puissance à 19 GHz :

- 2 modules microruban comportant un seul transistor et utilisant des capacités de liaison différentes afin de démontrer les potentialités de cette filière
- l'étude théorique d'un module microruban 1 Watt comportant 4 transistors en parallèle
- et 1 module coplanaire Flip Chip comportant 1 transistor.

Pour des raisons de délai de fabrication, seuls les 2 modules microruban à un transistor ont été réalisés, le module coplanaire étant à l'heure actuelle en cours de réalisation.

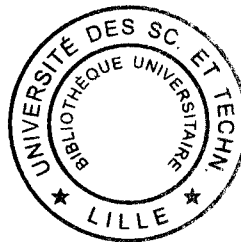
Les performances obtenues en terme de densité de puissance et de linéarité sur le module à capacité de liaison interdigitée sont excellentes et dépassent de loin celles relevées dans la littérature. En effet, cet amplificateur fournit une densité de puissance supérieure à  $800 \text{ mW/mm}$  à 2 dB de compression avec un PAE supérieur à 30 % et un gain linéaire de 7,4 dB, en mode CW.

Durant la caractérisation en intermodulation biporteuses, ce module a montré sa capacité à obtenir des C/I d'ordre 3 et 5 respectivement de l'ordre de 19 à 35 dBc à 1 dB de compression en CW, ce qui correspond à plus de 2 dB de compression en biporteuse et ce, sur une large plage de Vgs.

Vu la simplicité du modèle théorique des transistors de puissance et les problèmes rencontrés lors du câblage de l'amplificateur, les résultats sont très encourageants et semblent confirmer la supériorité des composants double puits pour des applications de puissance à haute linéarité par rapport aux structures plus classiques.

Cette étude ouvre de nouvelles perspectives dans le domaine des télécommunications spatiales, nécessitant des amplificateurs de puissance très linéaires, souvent suppléés par des systèmes de linéarisation. La suite de ce sujet peut être envisagée de la manière suivante :

- définir un modèle non linéaire plus complet des transistors à partir de mesures pulsées afin d'améliorer la validité des simulations et de pouvoir ainsi optimiser parfaitement les modules en puissance et en linéarité. Les résultats expérimentaux n'en seront que meilleurs.
- améliorer le rendement en puissance ajoutée en agissant sur les impédances de charge aux fréquences harmoniques, notamment en utilisant un fonctionnement en classe F. Pour ce faire, il est nécessaire d'augmenter la tenue en tension des transistors par le biais d'un double recess ou d'une augmentation de la distance grille drain.
- étudier des transistors à très grands développements de grille afin d'obtenir des puissances absolues plus importantes.
- concevoir des amplificateurs à plusieurs étages pour améliorer le gain en puissance.



## Résumé

L'essor des applications multimédia, fonctionnant en bandes K et Ka nécessite le développement d'amplificateurs de puissance de plus en plus linéaires. La technologie qui a répondu et qui répond encore de nos jours aux applications à très forte puissance dans le domaine des hyperfréquences est celle des amplificateurs à tubes à ondes progressives (ATOP). Cependant, les contraintes de linéarité imposées par les applications à fort débits nous conduisent vers l'utilisation d'amplificateurs à l'état solide (SSPA)

Nous développons dans ce mémoire l'étude de transistors à effet de champ (pHEMT et HFET sur substrat GaAs) dédiés à la réalisation d'amplificateurs de puissance à haute linéarité à 19 GHz. L'originalité de ce travail repose sur l'obtention d'un profil de transconductance aussi plat que possible en fonction de la tension grille source et d'une forte densité de courant de drain afin de pouvoir satisfaire aux deux critères : Puissance et Linéarité.

Nous présentons dans un premier temps, l'optimisation des couches épitaxiales ainsi que la mise au point du procédé technologique de fabrication des transistors. Les recherches menées en technologie concernent principalement le fossé de grille, les ponts à air ainsi que l'amincissement du substrat et la réalisation des trous métallisés.

Les caractérisations statiques et petit signal ont montré que le profil de transconductance souhaité était obtenu avec une densité de courant de drain supérieure à 700 – 800 mA/mm et une excellente reproductibilité et homogénéité des résultats.

Les performances en puissance des transistors pHEMT AlGaAs/InGaAs/GaAs (1 W/mm @ 17 GHz) ont montré toutes leurs potentialités pour la génération de puissance à ces fréquences.

Enfin, dans le cadre d'une collaboration étroite avec le Centre National d'Etudes Spatiales et Alcatel Espace de Toulouse, nous avons conçu et réalisé sur site des amplificateurs de puissance à haute linéarité fonctionnant à 18,5 GHz. Les résultats obtenus sur ces démonstrateurs ( $P_s > 800$  mW/mm, PAE  $> 30$  % et  $C/I_3 \approx 20$  dBc @ 2 dB de compression) ont montré l'intérêt de notre filière pour ce type d'applications.

## Abstract

Multimedia applications development, in the K and Ka bands, require power amplifiers more and more linear. The technology which answered and which answers still nowadays to high power applications in the microwave field is travelling wave tube amplifiers (TWTA). However, linear constraints imposed by high speed applications lead us to use solid state power amplifiers (SSPA).

This report is concerned with the study of field effect transistors (pHEMT et HFET on GaAs substrate) dedicated to the realization of linear power amplifiers. The work originality is based on the transconductance profile which must be as flat as possible versus the gate source voltage and a high drain current density in order to be able to satisfy the double criterion: Power and Linearity.

In a first time, the epilayers structure optimization and the technological transistor process development are presented. Research on technology was focused on the gate recessing, the source airbridges, the substrate thinning, and the via holes.

Static and small signal characterization have shown a drain current density higher than 700 – 800 mA/mm and the transconductance profile desired.

Power results of AlGaAs/InGaAs/GaAs pHEMT (1 W/mm @ 17 GHz) revealed capabilities of this kind of structure for power applications.

Finally, in collaboration with the CNES and Alcatel Space in Toulouse, 18,5 GHz linear power amplifiers have been designed and realized. Power results ( $P_s > 800$  mW/mm, PAE  $> 30$  % and  $C/I_3 \approx 20$  dBc @ 2 dB de compression point) proved the suitability of our pHEMT process for linear power applications.