

N° d'ordre : 3359

THÈSE

Présentée à L'Université des Sciences et Technologies de Lille

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ

Spécialité : MICROONDES ET MICROTECHNOLOGIES

par

Thierry PARENTY

Etude et perspective des transistors à hétérostructure AlInAs/GaInAs de
longueur de grille inférieure à 100 nm et conception de circuits intégrés en
bande G

Soutenue le 20 Novembre 2003 devant la commission d'examen

Membres du jury :	Mr. P. A. ROLLAND	Président du jury
	Mr. A. CAPPY	Directeur de thèse
	Mr S. BOLLAERT	Co-directeur de thèse
	Mr. J. GRAFFEUIL	Rapporteur
	Mr. D. PAVLIDIS	Rapporteur
	Mr. P. BAUDET	Examineur
	Mr. R. LEFEVRE	Examineur

Remerciements

Ce travail a été réalisé à l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) dirigé par Monsieur le professeur A. CAPPY.

Je remercie Monsieur G. SALMER, Professeur à l'Université des Sciences et Technologies de Lille et ancien directeur de l'IEMN, de m'avoir accueilli dans son laboratoire et m'avoir permis de mener à bien ce travail dans d'excellentes conditions.

Je remercie également Monsieur P. A. ROLLAND, Professeur à l'Université des Sciences et Technologies de Lille et directeur du Département Hyperfréquences et Semi-conducteurs pour l'intérêt qu'il a bien voulu porter à ce travail en acceptant de présider le jury.

J'exprime toute ma reconnaissance et ma sympathie à Monsieur A. CAPPY, Professeur à l'Université des Sciences et Technologies de Lille et ancien responsable du groupe ANODE, ainsi qu'à Sylvain BOLLAERT, maître de conférences à l'USTL qui ont dirigé ce travail. L'aide constante et les conseils qu'il m'ont prodigué pendant ces années, ont été d'une grande richesse et m'ont permis de mener à bien cette étude. J'adresse également mes plus vifs remerciements à Monsieur G. DAMBRINE, Professeur à l'USTL et responsable du groupe ANODE pour le soutien permanent qu'il a pu m'apporter.

Je remercie sincèrement Monsieur J. GRAFFEUIL, Professeur à l'Université de Toulouse III, ainsi que Monsieur D. PAVLIDIS, Professeur à l'Université de Darmstadt, pour l'honneur qu'ils me font d'avoir accepté d'être rapporteurs de ce travail.

Je remercie également Monsieur P. BAUDET, Ingénieur, Responsable Développement de Procédés Avancés chez OMMIC et Monsieur R. LEFEVRE, Ingénieur chef de groupe chez Alcatel/OPTO+, qui me font l'honneur de participer à la commission d'examen et de juger ce travail.

Je souhaite, par ailleurs, remercier vivement tous les membres du groupe "ANODE" pour leur contribution au bon déroulement de mon travail pendant ces trois (+ε) années de thèse : François DANNEVILLE, Henri HAPPY, Laurence PICHETA, Yannick ROELEN, Mohammed ZAKNOUNE, Christophe, Emmanuelle, Gonzague, Guillaume P., Guillaume W., Isa, Jean-Seb., Nicolas, Sébastien D. et Sébastien P., Vincent, et aussi les anciens de l'équipe : Virginie, Sam, Beaudouin, Matthieu... La bonne humeur, le soutien et l'amitié de l'équipe ont contribué énormément à la réussite de ce travail. A leur contact j'ai appris le badminton, le lancé de kilo de sucre et les courses en chariot....Je promet par ailleurs de continuer à m'entraîner.

Je remercie X. WALLART ainsi que l'ensemble des membres de la centrale d'épitaxie pour le travail fourni en MBE.

Je tiens également à associer à ce travail tous les membres de la Centrale de Technologie : Christophe BOYAVAL, Annie FATTORINI, Marc FRANÇOIS, Bertrand GRIMBERT, Christiane LEGRAND, André LEROY, Michel MULLER, Pascal TILMANT et Didier VANDERMOËRE et ceux de la Centrale de Caractérisation, Elisabeth DELOS, Damien DUCATTEAU et Sylvie LEPILLIET. Par leur travail, leur dévouement et leurs compétences, ils ont contribué directement à la réussite de cette étude.

Je remercie aussi vivement Pierre ARMANT et Jean-François DEMEYER pour leur disponibilité.

Je remercie Jocelyne Louchard pour avoir assuré avec soin la reproduction de ce manuscrit.

J'adresse un merci tout particulier à Manu, Christophe, Michel, Pascal, Sophie, Eric, Tahsin, Richard, Yannick, Auxence, Sylvie, Pierre, Thibaut, Olivier, Xavier et beaucoup d'autres... pour leur aide et leur amitié.

Enfin, j'adresse un merci à Sarah, mes sœurs, ma famille et tous mes amis, pour leur soutien.

TABLE DES MATIERES

INTRODUCTION GENERALE	1
------------------------------	----------

CHAPITRE I : ETUDE DE HEMT SUB-100 NM, DE LA FILIERE ALInAs/GaInAs SUR SUBSTRAT D'InP, POUR APPLICATIONS AU-DELA DE 100 GHz

<i>Introduction</i>	<i>11</i>
---------------------	-----------

<i>I - Introduction au HEMT</i>	<i>12</i>
---------------------------------	-----------

I.A) Du MESFET GaAs au PHEMT InP	12
---	-----------

I.A.1)	Introduction – Le transistor MESFET GaAs	12
I.A.2)	Le principe du HEMT	13
I.A.3)	Les différentes filières de HEMTs	15

I.B) Le schéma équivalent petit signal du HEMT	19
---	-----------

I.B.1)	Présentation	19
I.B.2)	Extraction du schéma équivalent	21
I.B.3)	Limites de validité	23

I.C) Les gains hyperfréquences et fréquences de transition d'un transistor	26
---	-----------

I.C.1)	Le gain en courant de court-circuit $ H_{21} $	26
I.C.2)	Le Gain maximum disponible ou MAG (Maximum Available Gain)	26
I.C.3)	Le gain Unilatéral ou gain de Mason, noté U	27
I.C.4)	Remarque sur la détermination de f_{max} , à partir du gain MSG	27

I.D) La technologie d'un transistor HEMT AlInAs/GaInAs	28
---	-----------

I.D.1)	Les étapes pour la réalisation d'un composant	28
I.D.2)	Les technologies de grille nanométriques	31

I.E) Etat de l'art des HEMTs à canaux GaInAs (LM, PM sur InP et métamorphique sur GaAs)	39
--	-----------

I.E.1)	Etat de l'art en fréquence	39
I.E.2)	Etat de l'art en bruit	42

<i>II - Comment accroître les performances ?</i>	<i>45</i>
--	-----------

II.A) Expressions analytiques de f_T et f_{max} publiées dans la littérature	45
---	-----------

II.A.1)	Expressions connues de f_T	45
II.A.2)	Expressions connues de f_{max}	46

II.B) Expressions améliorées de f_T et f_{max}	48
---	-----------

II.B.1)	Expression améliorée de f_T	48
II.B.2)	Expression améliorée de f_{max}	49

II.C) Etude en sensibilité sur f_T et f_{max}, comment faire mieux ?	51
---	-----------

II.C.1)	Etude en sensibilité sur f_T	51
II.C.2)	Etude sur f_{max}	55
III - Etude et réalisation de HEMTs sur InP de longueur de grille 70 nm		69
III.A) Introduction		69
III.B) Optimisation de la structure de couche		69
III.B.1)	Introduction – structure de couche "standard"	69
III.B.2)	Etude d'une structure de couche, pour HEMT de longueur de grille 50 nm.....	70
III.C) Technologie du HEMT sub-100nm		73
III.C.1)	Les contacts ohmiques	74
III.C.2)	La lithographie de grille	75
III.C.3)	Le "recess" (gravure du fossé de grille).....	77
III.D) Caractérisations et comparaison entre la couche "standard" et "optimisée"		79
III.D.1)	Les paramètres de la couche, effet Hall.....	79
III.D.2)	Caractérisation continue.....	79
III.D.3)	Caractérisation hyperfréquence	82
III.D.4)	Conclusions entre HEMTs sur couche "standard" et "optimisée"	85
IV - Autres points influençant les performances des HEMTs		87
IV.A) Importance de la largeur de recess pour la structure optimisée		87
IV.B) Evolution des gains et du schéma équivalent en fonction du développement de grille,		
W		89
IV.B.1)	Evolution des fréquences f_T et f_{max} en fonction de W	89
IV.B.2)	Evolution des éléments du schéma équivalent en fonction de W	90
IV.B.3)	Conclusions sur l'évolution en W des HEMTs.....	95
V - Conclusion		95
VI - Bibliographie		97
VII - Annexes		105
VII.A) Calcul de f_{max}		105
VII.B) Calcul de f_T		107
VII.C) Procédé technologique pour la réalisation des HEMTs sur InP		109
VII.D) Schémas équivalents petits signaux des HEMTs sur couche "standard" et		
"optimisée" ($L_g \sim 70$ nm, $W = 2 \times 50$ μm, $V_{ds} = 1$ V).....		113
VII.D.1)	Schéma équivalent d'un HEMT sur couche "standard" ($L_g \sim 70$ nm, $W = 2 \times 50$ μ m)	113
VII.D.2)	Schéma équivalent d'un HEMT sur couche "optimisée" ($L_g \sim 70$ nm, $W = 2 \times 50$ μ m)	114

CHAPITRE II : CONCEPTION DE CIRCUITS MMICs EN BANDE D ET G

<i>Introduction</i>	117
<i>I - Les passifs pour MMICs en bande D et G</i>	119
I.A) Lignes de propagation pour les MMICs, Coplanaire ou Microruban ?	119
I.B) La ligne coplanaire	120
B.1) Les modes propagés et les conditions de validité	120
B.2) Modèles des lignes	121
B.3) Evolution des caractéristiques de propagation en fonction de d, t et W/d	122
B.4) Les principales caractéristiques des lignes employées pour les circuits	125
I.C) Les discontinuités coplanares	125
C.1) Les terminaisons CO et CC	125
C.2) La jonction en Té	126
C.3) La jonction en croix	126
C.4) Les ponts à air	127
I.D) Les autres éléments passifs	127
D.1) Résistance série	127
D.2) Les capacités	128
<i>II - Amplificateurs en bande D et G</i>	131
II.A) Etat de l'art des amplificateurs en bande D et G	132
II.B) Conception d'un amplificateur, un étage, à la fréquence de 140GHz	135
B.1) Introduction	135
B.2) Eléments de stabilité pour les amplificateurs	135
B.3) Choix des paramètres transistor	144
B.4) Procédure de conception d'un étage	147
B.5) Conception des étages d'entrée et de sortie	149
B.6) Synthèse	158
II.C) Conception d'un amplificateur à deux étages, à la fréquence de 140 GHz	162
C.1) Introduction - conception	162
C.2) Résultats	163
II.D) Amplificateur, un étage à 180 GHz	165
D.1) Introduction	165
D.2) Choix des paramètres transistors	165
D.3) Design final et résultats de simulation	166
<i>III - Conceptions d'un oscillateur et de VCOs à 140 GHz</i>	169
III.A) Introduction	169
III.B) Eléments de base sur les oscillateurs	169
B.1) Les différentes approches de conception et topologies générales	170
B.2) L'oscillateur à résistance négative	172
B.3) Facteurs de qualité d'un oscillateur et métrologie de Qext	173

B.4)	Les figures de mérite d'un oscillateur	175
B.5)	Les principales catégories d'oscillateurs et de sources millimétriques	176
III.C)	Etat de l'art des oscillateurs et VCOs en gamme d'ondes millimétriques	179
III.D)	Conception d'un oscillateur à la fréquence de 140 GHz.....	183
D.1)	Introduction	183
D.2)	Choix du transistor et facteur de qualité du résonateur	183
D.3)	Etude de l'oscillateur en petit signal	185
D.4)	Modélisation non linéaire du transistor	191
D.5)	Simulation de l'oscillateur en régime non-linéaire et résultats	193
III.E)	Conception d'oscillateurs contrôlés en tension (VCO) à 140 GHz	197
E.1)	Introduction	197
E.2)	Choix et modélisation de la diode Varactor	197
E.3)	VCO avec la diode varactor sur la grille et la charge sur le drain (VCO1)	201
E.4)	VCO avec la diode varactor sur le drain et la charge sur la grille (VCO2)	203
E.5)	VCO avec la diode varactor et la charge sur le drain (VCO3)	205
E.6)	VCO avec la diode varactor et la charge sur le drain, et lignes de sources "blindées"	206
(VCO4)		206
E.7)	Comparaison des performances entre les différents VCOs	208
III.F)	Oscillateur et VCOs avec amplificateur tampon	209
III.G)	Conclusion	211
IV - Bibliographie		213
V - ANNEXES		219
V.A)	Modèles électriques des passifs, développés sous MDS	219
A.1)	Résistance (série).....	219
A.2)	Capacités série.....	219
A.3)	Capacités parallèles	220
V.B)	Schéma équivalent petit signal du transistor employé pour les amplificateurs et les oscillateurs	220
V.C)	Annexe à la conception de l'amplificateur 140 GHz, 1 étage :	222
V.D)	Simulations détaillées de l'amplificateur 140 GHz, 2 étages :	225
V.E)	Simulations détaillées de l'ampli 180, (1 étage) :	227

CHAPITRE III : REALISATION DE MMICs EN BANDES D ET G - LE MASQUE

ULYSSE

<i>Introduction</i>	231
---------------------------	-----

<i>I - Le procédé de fabrication pour la réalisation de MMICs en bande D et G</i>	231
---	-----

I.A)	Procédé de fabrication des éléments passifs	231
I.A.1)	La ligne Coplanaire	231
I.A.2)	Les ponts à air	233
I.A.3)	Les capacités	234
I.A.4)	Les résistances.....	235
I.A.5)	Synthèse des différents niveaux passifs	235
I.B)	Technologie des circuits.....	235
<i>II - Le masque Ulysse</i>		<i>237</i>
II.A)	Les différents champs	237
II.B)	Dessin du masque – Ponts particuliers.....	238
II.C)	Les champs de test et d'étalonnage.....	238
II.C.1)	Le champ "test"	238
II.C.2)	Le champ "étalonnage"	239
<i>III - Réalisation et Caractérisation des dispositifs passifs du masque "Ulysse"</i>		<i>243</i>
III.A)	Introduction.....	243
III.B)	Les systèmes de mesure hyperfréquences.....	243
III.C)	Caractérisation des dispositifs test	245
III.C.1)	Les lignes	245
III.C.2)	Les capacités	245
III.C.3)	Les résistances.....	249
III.C.4)	Les terminaisons CC et CO	250
III.D)	Caractérisation des réseaux d'adaptation	252
<i>IV - Conclusions et Perspectives</i>		<i>256</i>
<i>V - Bibliographie</i>		<i>257</i>
<i>VI - Annexes</i>		<i>259</i>
VI.A)	Procédé technologique pour la réalisation des circuits.....	259
VI.B)	Côtes des aiguilles de polarisation	267
VI.C)	Les différents circuits du masque Ulysse :.....	267
CONCLUSION GENERALE		273

Introduction générale

Introduction générale

En 1948, l'invention du transistor par William Shockley, John Bardeen et Walter Brattain a ouvert l'ère de l'électronique moderne. Depuis cette date, nous observons une amélioration continue des performances, avec des densités d'intégration et des fréquences de fonctionnement toujours plus élevées. Cette évolution qui se traduit par la "loi de Moore", a été rendue possible principalement, par les progrès sur les matériaux et la lithographie, cette dernière permet d'obtenir aujourd'hui, des motifs de quelques dizaines de nanomètres.

Actuellement, le Silicium est le matériau semi-conducteur par excellence, avec plus de 95 % du marché de l'électronique. Cependant, ses propriétés de transport électronique moyennes, le limitent à des applications inférieures à quelques dizaines de gigahertz, pour les transistors à effet de champ (MOSFET). Au-delà, seuls les matériaux "III-V" (InP, GaAs,...) offrent une réelle alternative, avec des propriétés de transport électronique largement supérieures. Historiquement, le premier transistor sur matériau III-V, est le MESFET (MEtal Semiconductor Field Effect Transistor) sur Arséniure de Gallium (GaAs), réalisé pour la première fois en 1966. Ce transistor peut répondre à des applications jusque 30 GHz.

Pour contourner les limites fondamentales du MESFET, le HEMT (High Electron Mobility Transistor) a été développé, grâce aux progrès de l'épitaxie des hétérostructures. C'est un transistor à effet de champ utilisant une hétérojonction pour séparer spatialement la couche donneuse et le canal. De nombreuses filières de HEMTs existent, mais actuellement c'est la filière AlInAs/GaInAs pseudomorphique sur substrat d'InP qui offre les meilleures potentialités pour la montée en fréquence, avec des fréquences de coupure du gain en courant (f_T) de 560 GHz, et des fréquences maximales d'oscillation (f_{max}) proche de 600 GHz.

Cette progression des transistors ouvre de nouvelles perspectives, pour de nombreuses applications au delà de 100 GHz. Elle permet de remplacer les éléments actifs, qui étaient nécessairement des dipôles à ces fréquences, par des transistors dont la commande, la mise en œuvre et l'intégration sont beaucoup plus aisées. Elle peut offrir aussi la possibilité de traiter les signaux directement, au lieu de recourir à une transposition de fréquence avec des systèmes hétérodynes (figures 1 et 2). Dans ce cas, l'avantage est une simplification des systèmes de par la suppression d'un mélangeur et d'un oscillateur local, mais surtout un fort gain en sensibilité de ces systèmes.

Introduction générale

Parmi les applications possibles dans les bandes W, D et G (cf tableau 1), nous pouvons citer :

- Les télécommunications avec les liaisons optiques ultra-haut débit (futur système à 160 GHz), et les liaisons hertziennes terrestres et satellites.
- Les radars, notamment le radar anti-collision pour automobiles à 77 GHz.
- L'imagerie, la radiométrie et la radioastronomie à 94 GHz.
- La métrologie de polluants (grâce aux raies d'absorption en bande G) [1].

Les bandes D et G offrent de nombreuses potentialités en termes de développements. La figure 3 présente l'atténuation atmosphérique en gamme d'ondes millimétriques. Deux fenêtres de propagation autour de 94 et 140 GHz, peuvent être utilisées pour des applications radars ou de communications. A l'opposé, les raies d'absorption autour de 118 GHz (O₂) et 183 GHz (H₂O), sont intéressantes pour des réseaux locaux de très courte portée.

Un des autres avantages de la bande D est aussi que les signaux pénètrent de nombreux matériaux, à la différence du spectre visible et infrarouge. Ce point est d'un grand intérêt pour l'imagerie avec des applications potentielles multiples [2] : Imagerie au travers de murs pour des fouilles ou des secours, imagerie au travers des vêtements pour la sécurité, assistance pour l'atterrissage des avions en visibilité nulle... La bande D est aussi intéressante pour la radiométrie, car elle permet un gain en résolution spatiale (résolution $\propto \lambda$). Mais un compromis devra être trouvé avec la sensibilité voulue, celle-ci étant liée au facteur de bruit des amplificateurs.

Sur les figures 1, 2 et 4 à 6, nous présentons différents synoptiques correspondant aux applications avancées ci-dessus. Nous pouvons voir que chaque système se décompose en différentes fonctions élémentaires : Amplificateurs, Oscillateurs, Mélangeurs, Filtres... Un préalable au développement des applications en gammes d'ondes millimétriques est donc la réalisation de ces "briques" de base.

Cependant, la réalisation de transistors performants ne sera pas la seule clé pour le développement de circuits en gamme d'ondes millimétriques. Il faut aussi passer par la réalisation de circuits entièrement monolithiques, que l'on nomme MMICs (Microwave Monolithic Integrated Circuits). Les MMICs même s'ils sont moins souple qu'un circuit hybride, ont néanmoins de nombreux avantages, ils permettent :

- d'obtenir des performances plus élevées de par une réduction de la connectique et donc d'éléments parasites.

Introduction générale

- de réduire les coûts par une production en grand volume aisée.
- d'augmenter la fiabilité des circuits.
- **Et surtout** ils sont incontournables pour les applications au delà de 100 GHz, où l'influence des éléments parasites devient prépondérante.

Actuellement, de nombreuses réalisations ont déjà démontré la faisabilité de MMICs jusqu'en bande W. Cependant, en bande D et au delà, de nombreux travaux de recherche sont encore menés pour prouver la faisabilité de MMICs dans ces bandes.

C'est dans ce contexte que s'inscrit ce travail de thèse, qui a été initié lors du stage de DEA. Notre objectif sera de réaliser des démonstrateurs MMICs en bande D et G, avec la réalisation d'amplificateurs à 140 et 180 GHz, et de VCOs à 140 GHz.

Le premier chapitre de ce manuscrit est consacré à l'étude et à la réalisation de HEMTs filière AlInAs/GaInAs sur substrat d'InP, pouvant répondre aux applications en bande D et G. Ce chapitre sera décomposé en trois grandes parties. Une première partie introductive, traite des généralités du HEMT. Une seconde partie sera consacrée à une étude théorique pour déterminer les points à optimiser, pour améliorer les figures de mérite f_T et f_{max} . Enfin, la dernière partie abordera l'optimisation d'une structure de couche, la réalisation et la caractérisation de HEMTs optimisés pouvant atteindre nos objectifs.

Le second chapitre aborde spécifiquement la conception de MMICs en bande D et G, avec la simulation d'amplificateurs, d'oscillateurs et de VCOs. Ce chapitre est divisé en trois parties. Une première partie portera sur la description des éléments passifs coplanaires développés au laboratoire. Une seconde partie décrira la conception d'amplificateurs, avec l'étude d'amplificateurs un et deux étages à 140 GHz, et d'un amplificateur un étage à 180 GHz. Enfin la troisième partie traitera de la conception d'un oscillateur et de VCOs à 140 GHz.

Le dernier chapitre portera sur la réalisation et la caractérisation des MMICs simulés dans le chapitre 2. Nous décrirons succinctement, les étapes technologiques des circuits et le masque dessiné pour leur réalisation. Enfin, nous donnerons les résultats des premières réalisations.

Introduction générale

Tableau 1 : Définition des bandes de fréquence les plus usuelles

Dénomination	Bornes (GHz)	Dénomination	Bornes (GHz)
VHF	0,03 – 0,3	Millimétrique	> 40
UHF	0,3 – 1	U	40 – 60
L	1 – 2	E	60 – 90
S	2 – 4	F	90 – 140
C	4 – 8	G	140 – 220
X	8 – 12	Q	33 – 50
Ku	12 – 18	V	50 – 75
K	18 – 26,5	W	75 – 110
Ka	26,5 – 40	D	110 – 170

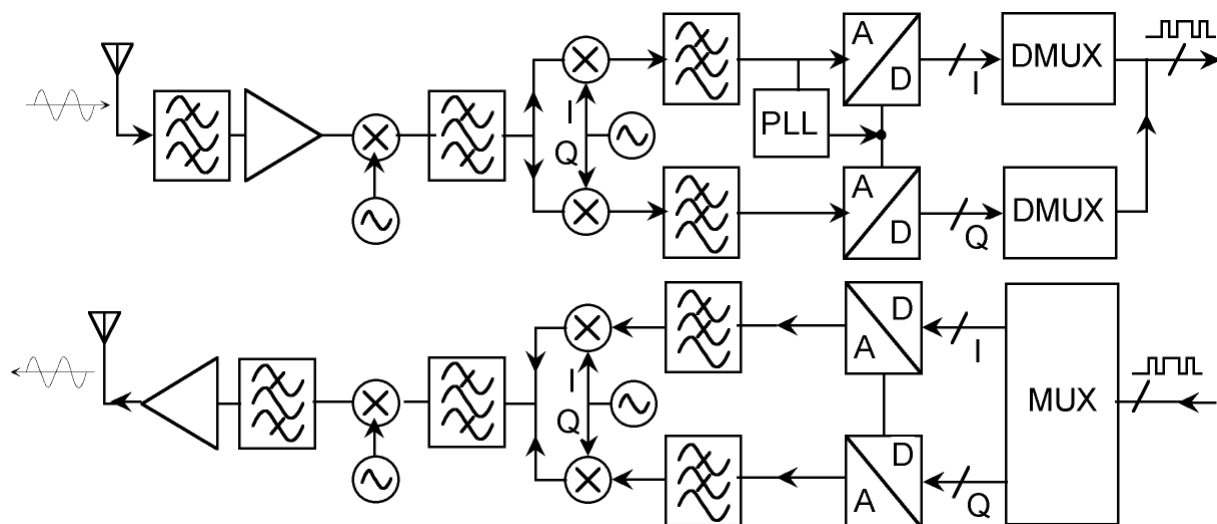


Figure 1 : Synoptique d'une liaison hertzienne "classique".

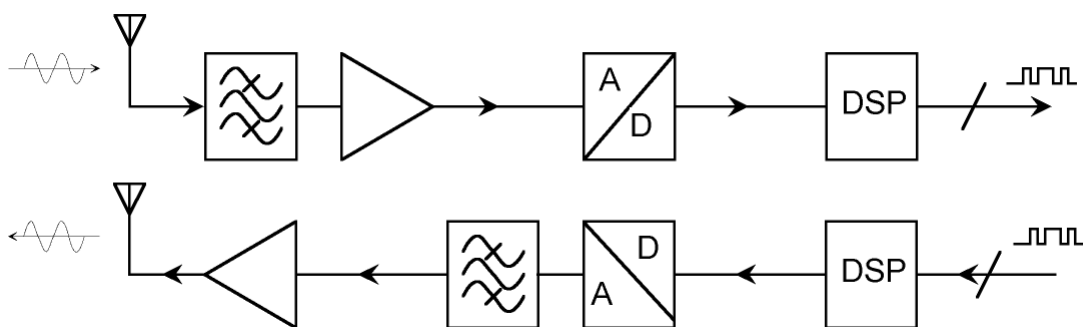


Figure 2 : Synoptique d'une liaison hertzienne en "détection directe", d'après [4].

Introduction générale

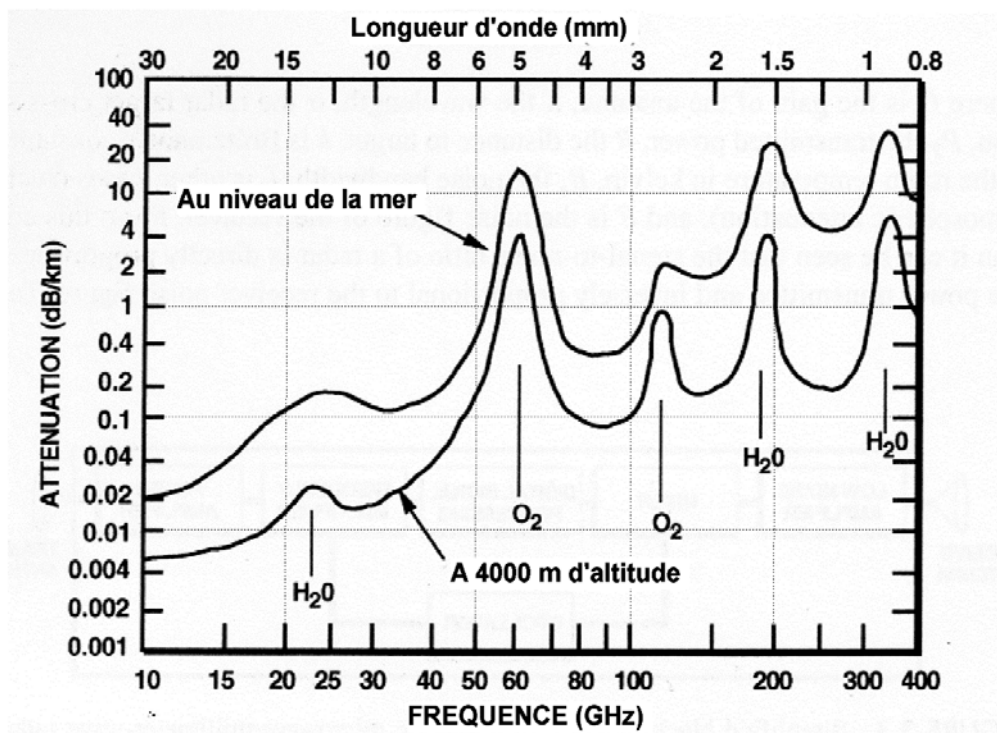
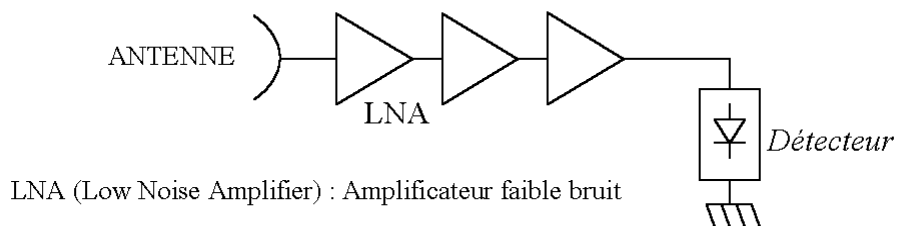
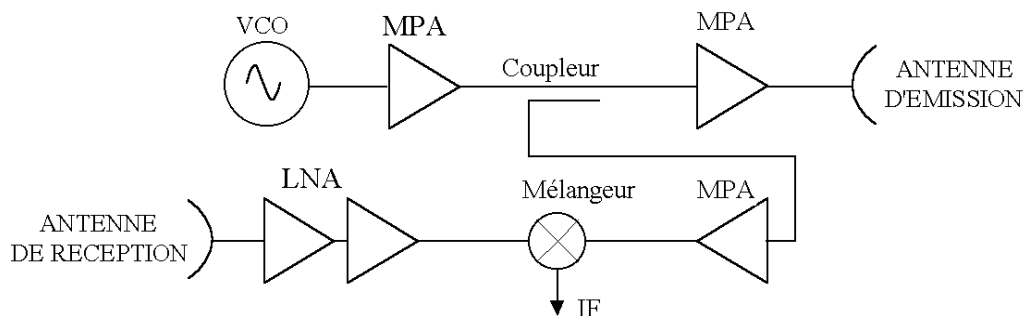


Figure 3 : Atténuation atmosphérique en gamme d'ondes millimétriques (extrait de [2]).



=> La tension détectée en sortie sera proportionnelle à la "température vue par l'antenne"

Figure 4 : Principe d'un radiomètre en détection directe.



LNA (Low Noise Amplifier) : Amplificateur faible bruit
 MPA (Medium Power Amplifier) : Amplificateur moyenne puissance
 VCO (Voltage Control Oscillator) : Oscillateur contrôlé en tension

Figure 5 : Diagramme d'un radar FM, d'après la référence [3].

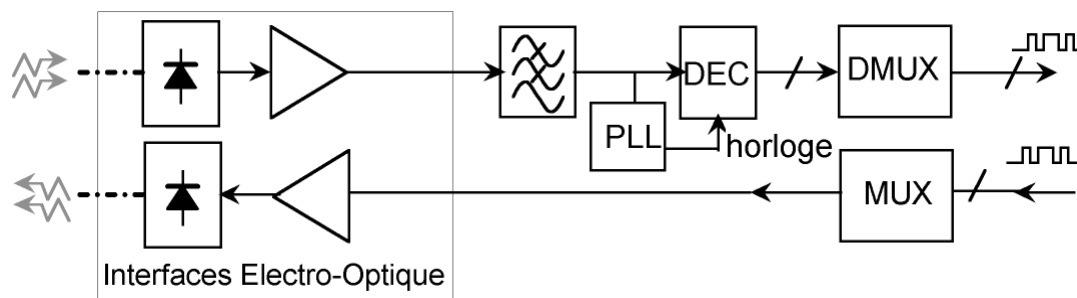


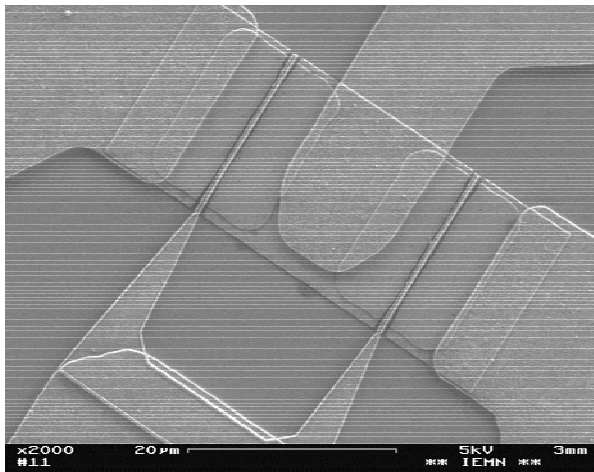
Figure 6 : Synoptique d'une liaison optique.

Références :

- [1] D. Dawson, T. Gaier, R. Raja, M. Nishimoto, R. Lai, M. Wells, " Cryogenic Measurements of 183 GHz Low Noise Amplifiers", IEEE MTT-S Digest 2003, pp. 1585-1587.
- [2] C. W. POBANZ, M. Matloubian, M. Lui, H.-C. Sun, M. Case, C.M. Ngo, T. Gaier, L. Samoska, "A High-Gain Monolithic D-band InP HEMT Amplifier", IEEE Journal of Solid-State Circuits, VOL. 34, NO. 9, pp.1219-1224, SEPTEMBER 1999
- [3] W. H. HAYDL, M. Neumann, L. Veweyen, A. Bangert, S. Kudszus, M. Schlechtweg, A. Hülsmann, A. Tessmann, W. Treinert, T. Krems, "Single-Chip Coplanar 94-GHz FMCW Radar Sensors", IEEE Microwave And Guided Wave Letters, vol. 9, no. 2, pp.73-75, FEBRUARY 1999.
- [4] M. RODWELL, "Device and Interconnect Technologies for ~100 GHz mixed-signal ICs", 1999 IEEE Workshop Interconnections within High-Speed Digital Systems.

CHAPITRE I

*Etude de HEMT sub-100 nm, de la filière
AlInAs/GaInAs sur substrat d'InP, pour applications
au-delà de 100 GHz*



Chapitre I : Etude de HEMT sub-100 nm

Introduction

C'est en 1952 que William Schokley proposa le principe du transistor à effet de champ à jonction (JFET, **J**unction **F**ield **E**ffect **T**ransistor) [1]. A la différence du transistor bipolaire, ce composant est unipolaire et repose sur la modulation de conductance d'un barreau semi-conducteur, au moyen de la zone déplétée d'une jonction PN, commandée par une 3^{ème} électrode (grille). Depuis cette invention, ce composant a eu une très large descendance, on peut citer sans être exhaustif : le MOSFET Silicium (**M**etal **O**xyde **S**emiconductor **F**ield **E**ffect **T**ransistor), le MESFET GaAs (**M**etal **S**emiconductor **F**ield **E**ffect **T**ransistor), ou plus récemment le HEMT (**H**igh **E**lectron **M**obility **T**ransistor)... L'ensemble des composants à effet de champ, sont à la base de l'électronique moderne et de l'électronique hyperfréquence, et sont encore aujourd'hui l'objet de nombreuses recherches.

Pour les fréquences supérieures à 100 GHz, le PHEMT InP (**P**seudomorphic HEMT sur substrat de Phosphore d'Indium) est actuellement le composant à effet de champ le plus rapide. Ce type de composant peut atteindre des fréquences f_T de 562 GHz [2] et f_{max} de 600 GHz [3], et a permis la réalisation d'amplificateurs jusque 215 GHz [4]. Cette filière de composant est développée depuis une dizaine d'années, et a déjà fait l'objet de nombreuses publications. Cependant, malgré cette relative ancienneté, les travaux les plus récents montrent que des progrès sont encore possibles.

Cette filière de composants (HEMTs de la filière AlInAs/GaInAs, en général) a fait l'objet de nombreuses études au sein du laboratoire, à travers différentes thèses [5]-[8]. Ces travaux ont abouti à la réalisation de composants de longueurs de grille 100 nm, permettant la réalisation d'amplificateurs faible bruit à 60 et 94 GHz [9].

Dans ce contexte, notre objectif a été de faire progresser cette filière jusqu'à des longueurs de grille sub-100nm, pour répondre à des applications au-delà de 100 GHz.

Ce chapitre sera divisé en trois grandes parties. D'abord dans une première partie, nous introduirons le contexte général de notre travail, en rappelant les spécificités du HEMT sur substrat d'InP, son schéma équivalent petit signal, ses différents gains, puis en dressant un état de l'art des différentes technologies de grille et des performances fréquentielles.

Dans une seconde partie, nous mènerons une étude paramétrique sur la sensibilité de f_T et f_{max} aux différents éléments du schéma équivalent du transistor. Le but sera de connaître les éléments les plus sensibles et d'évaluer les améliorations encore possible pour cette filière de composants.

Enfin dans la troisième partie, nous présenterons la réalisation de HEMTs optimisés, avec des longueurs de grille de 70 nm. Dans cette partie, nous aborderons successivement l'optimisation de la structure de couche, l'optimisation de la technologie, la caractérisation des composants, avant de conclure sur l'importance du développement de grille sur les performances.

I - Introduction au HEMT

I.A) Du MESFET GaAs au PHEMT InP

De nombreux ouvrages et publications traitent des principes de base des MESFETs et des HEMTs [10]-[12]. Dans ce paragraphe, nous rappellerons rapidement les éléments de base du HEMT et décrirons les principales filières sur substrat de GaAs et d'InP.

I.A.1) Introduction – Le transistor MESFET GaAs

Le MESFET est le plus ancien des transistors utilisés pour les circuits micro-ondes, son domaine d'application s'étend jusque la dizaine de gigahertz. Sa coupe schématique est présentée sur la Figure 1, à la différence du FET, il utilise une barrière schottky pour moduler le courant. De plus, l'emploi de l'Arséniure de Gallium (GaAs) permet d'avoir des mobilités beaucoup plus élevées que dans le silicium et donc des fréquences de coupure plus élevées.

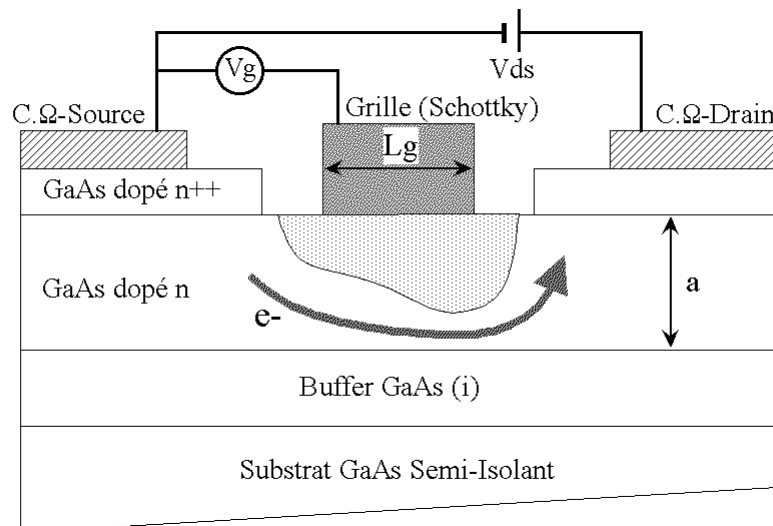


Figure 1 : Coupe schématique d'un transistor MESFET GaAs

La fréquence de coupure intrinsèque f_c , est donnée par l'expression approchée ci-dessous :

$$f_c \approx \frac{\langle v \rangle}{2.\pi.Lg^*} \quad (1)$$

où $\langle v \rangle$ est la vitesse moyenne des électrons sous la grille et L_g^* la longueur de grille effective tenant compte des effets de bord.

Il apparaît que pour augmenter la fréquence de coupure du MESFET, il faut réduire la longueur de grille ou accroître la mobilité du matériau. Cependant la réduction de la longueur de grille doit s'accompagner par une réduction de l'épaisseur de la couche active a , pour conserver un rapport d'aspect L_g/a supérieur à 5, afin d'assurer une bonne efficacité de la commande.

Mais il faut aussi accroître le dopage de la couche active pour maintenir la même valeur de courant. Ce dernier point va être une limite fondamentale pour la montée en fréquence, car la mobilité des électrons chute fortement dans le GaAs dopé, et le contact Schottky se dégrade sur substrat fortement dopé.

Pour contourner ces problèmes, la solution sera le transistor à haute mobilité électronique (HEMT) qui est présenté dans la partie suivante.

I.A.2) Le principe du HEMT

Les premiers HEMTs ont été réalisés en 1980 par les équipes de Thomson-CSF [13] et de Fujitsu [14] sous les dénominations respectives de TEGFET (**T**wo **D**imensionnal **E**lectron **G**as **F**ield **E**ffect **T**ransistor) et de HEMT.

Par le passé, les dénominations de MODFET (**M**odulation **D**oped **F**ield **E**ffect **T**ransistor) et HFET (**H**eterojunction **F**ield **E**ffect **T**ransistor) ont aussi été employées pour désigner ce type de transistor, mais désormais la dénomination de HEMT est communément employée.

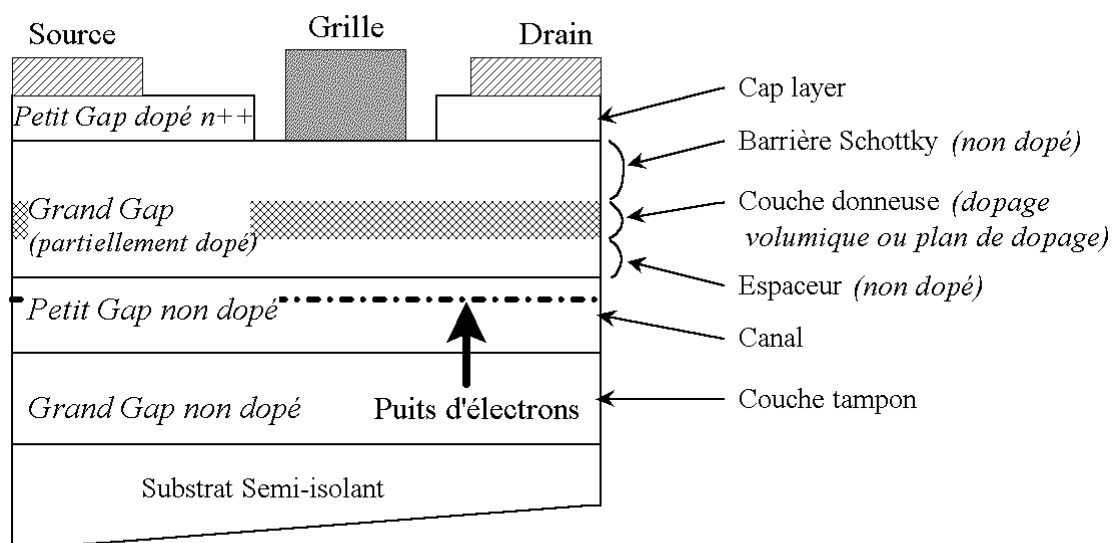


Figure 2 : Structure typique d'un HEMT

Chapitre I : Etude de HEMT sub-100 nm

Le principe de ce transistor est d'utiliser une hétérojonction pour séparer spatialement la couche donneuse, de la couche contenant les électrons libres (canal), afin d'améliorer les propriétés de transport.

La structure typique d'un HEMT est présentée sur la Figure 2, celle-ci est constituée :

- D'un cap layer (couche de "contact ohmique") qui est un matériau à petit gap, très fortement dopé (10^{18} à 10^{19} Si.cm⁻³) pour la réalisation de contacts ohmiques de faible valeur.
- Un matériau à grand gap que l'on peut décomposer en trois couches :
 - ♦ Couche Schottky, non dopée, sur laquelle va être déposée le contact schottky de grille, après gravure du cap layer (fossé de grille ou "recess").
 - ♦ Couche donneuse (dopée), qui fournira les électrons libres au canal. Cette couche peut être un dopage volumique ou un plan de dopage ("δ-doped"), mais le plus souvent ce sera la 2^{ième} solution, de par ses meilleures propriétés.
 - ♦ Espaceur ("spacer"), qui est une couche non dopée, qui va séparer spatialement les atomes donneurs, des électrons libres du canal. Le but est de limiter les interactions entre les électrons libres et les atomes donneurs.
- Un matériau à petit gap non dopé, que l'on appelle canal, dans lequel les électrons libres seront confinés. Les propriétés de transport de cette couche influenceront fortement sur les performances du composant.
- Un matériau à grand gap non dopé, la couche tampon ("buffer"). Cette couche permet d'améliorer le confinement des électrons dans le canal. Elle permet aussi d'avoir un matériau de bonne qualité cristallographique pour la croissance des autres couches.

Le diagramme de bandes dans le plan de la grille, d'un HEMT est décrit sur la Figure 3. A l'interface entre la barrière et le canal, il y a formation d'un puits de potentiel dans lequel vont être transférés les électrons. Si la largeur du puits est inférieure à la longueur d'onde de De Broglie, il y a apparition d'effets quantiques.

Ces effets se traduisent par la quantification des niveaux d'énergie des électrons, et par la restriction du mouvement des porteurs dans un plan parallèle à l'hétérojonction. L'accumulation des électrons dans le puits est aussi appelée gaz d'électron bidimensionnel [15].

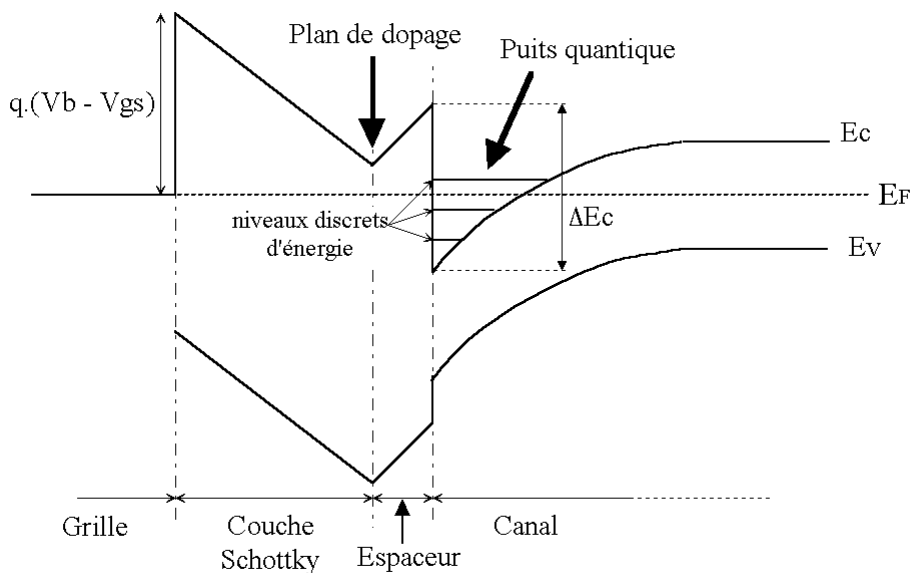


Figure 3 : Diagramme de bandes d'une structure HEMT, dans le plan de la grille

En pratique, les matériaux possibles pour obtenir les hétérostructures d'un HEMT sont assez limités. En effet, le paramètre de maille des matériaux épitaxiés ne doit pas être trop éloigné du paramètre de maille du substrat. Les différentes solutions possibles seront donc fonction du substrat et vont ainsi définir les différentes filières de HEMTs.

I.A.3) Les différentes filières de HEMTs

En règle générale, on cherchera une hétérostructure ayant une discontinuité de la bande de conduction (ΔE_c), la plus élevée possible. Le but est d'améliorer le confinement des électrons et la densité maximale de porteurs (N_s), dans le canal. Le deuxième paramètre fondamental que l'on cherchera à réduire est la masse effective des électrons dans le canal. Celle-ci va influencer fortement sur leur mobilité et leur vitesse de saturation, et donc sur la fréquence maximale du composant.

A.3.a) *Le HEMT conventionnel*

Cette filière de HEMT est historiquement la première, elle utilise l'hétérojonction AlGaAs/GaAs, l'AlGaAs définissant la barrière, le GaAs le canal. Le matériau AlGaAs est quasiment adapté en maille sur le GaAs pour toutes les compositions d'Aluminium, ce qui ne pose pas de problèmes de croissance. Cependant le taux d'Aluminium sera limité à 25 % maximum, à cause de l'apparition d'effets de pièges DX dans l'AlGaAs. Ces pièges dus à l'Aluminium, vont piéger les électrons, et fortement dégrader les performances du composant.

Pour une hétérostructure $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}/\text{GaAs}$, la discontinuité de bande de conduction ne dépasse pas 0,2 eV, ce qui va limiter la densité surfacique d'électrons dans le canal (N_s) à environ $1.10^{12} \text{ e}^-.\text{cm}^{-2}$.

A.3.b) Le HEMT pseudomorphique sur GaAs (PHEMT GaAs : Pseudomorphic HEMT)

Cette filière de HEMT est défini par l'hétérojonction $\text{AlGaAs}/\text{GaInAs}/\text{GaAs}$, (barrière : AlGaAs , canal : GaInAs , couche tampon : GaAs). Par rapport à la structure conventionnelle, le canal est remplacé par le GaInAs , l'intérêt est d'accroître la discontinuité de bande de conduction ΔE_c , et donc d'accroître N_s .

Cependant, le GaInAs ne sera pas adapté en maille sur le GaAs , la croissance de ce matériau sera donc contrainte, en compression, et limitée à une épaisseur critique (fonction du taux d'Indium); au delà de cette épaisseur critique, cette couche contrainte va se relaxer en dislocations. A titre d'exemple, pour un taux d'indium de 15-20 %, l'épaisseur maximale du canal ne devra pas dépasser 150 Å. A noter aussi que la contrainte sur le matériau va modifier de manière anisotrope, la masse effective des électrons par rapport au matériau non contraint.

Cette filière possède deux limitations majeures : la limitation du taux d'Indium aux alentours de 20% (et donc des propriétés de transport électronique) pour des raisons de croissance énoncées précédemment, ainsi que l'utilisation d'une barrière AlGaAs qui engendre les mêmes inconvénients que pour le HEMT conventionnel.

Dans le cas de la structure la plus courante : $\text{Al}_{0.20}\text{Ga}_{0.80}\text{As}/\text{Ga}_{0.75}\text{In}_{0.25}\text{As}$, la valeur de ΔE_c est de 0.3 eV, et la valeur de N_s atteint facilement $1,5.10^{12} \text{ e}^-.\text{cm}^{-2}$, ce qui est meilleur que la filière conventionnelle.

Cette filière de HEMTs permet de répondre à des applications jusque près de 100 GHz, et elle est aujourd'hui très largement commercialisée.

A.3.c) Le HEMT adapté en maille sur InP (LM-HEMT InP : Lattice Matched HEMT)

Toujours dans l'optique, d'accroître les performances, les hétérostructures sur substrat d' InP ont été envisagées, lorsque l'épitaxie de celles-ci a été possible. L'hétérostructure $\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$, adaptée en maille sur InP , est pour cela très favorable.

Chapitre I : Etude de HEMT sub-100 nm

Cette hétérostructure a des propriétés largement supérieures à celle du PHEMT sur GaAs. La discontinuité de la bande de conduction est de 0,52 eV, et la densité de porteurs, N_s , peut atteindre $3.10^{12} \text{ e}^-.\text{cm}^{-2}$. De plus, la masse effective des électrons y est plus faible, à cause du taux plus élevé d'Indium dans le GaInAs, ce qui permet d'obtenir des mobilités de l'ordre $10000 \text{ cm}^2/(\text{V.s})$, à la température ambiante.

Ces composants ont des fréquences de coupure très élevées, ce qui les rend particulièrement intéressants pour les applications faible bruit. Cependant la faible bande interdite du $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ ($\sim 0,8 \text{ eV}$) entraîne l'apparition de phénomènes de claquage pour des faibles tensions drain-source. Ces HEMTs seront donc assez mal adaptés pour les applications de puissance.

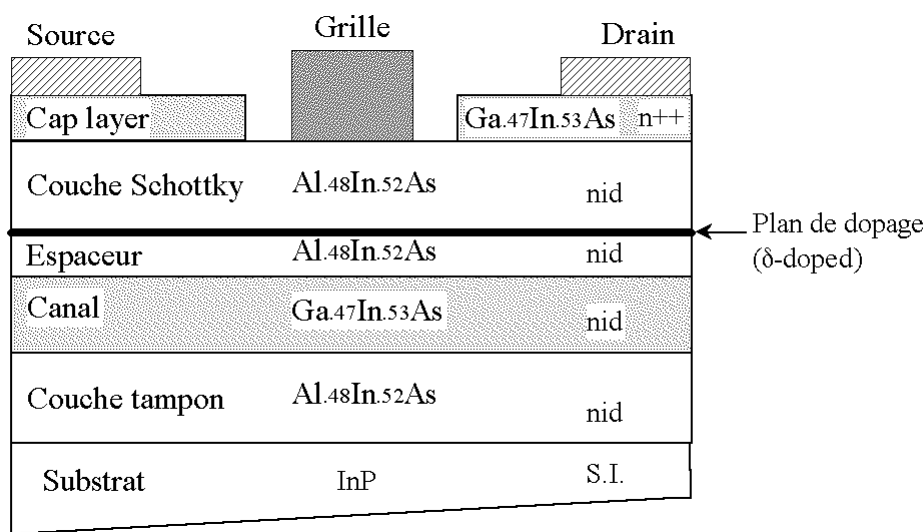


Figure 4 : Structure typique d'un HEMT adapté en maille sur InP

A.3.d) Le HEMT pseudomorphique sur InP (PHEMT InP)

Ce HEMT utilisera une hétérostructure $\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{1-x}\text{In}_x\text{As}$ avec $x > 0,53$, avec une valeur maximale de 0,8. Comme pour le PHEMT GaAs, le canal sera contraint et sera soumis à une épaisseur critique. Le but est toujours d'améliorer les propriétés de transport électronique et d'augmenter la discontinuité la bande de conduction.

Ce type de HEMT a donné des fréquences de coupure record et il est particulièrement intéressant pour les applications supérieures à 100 GHz.

A.3.e) Le HEMT métamorphique (MHEMT : *Metamorphic HEMT*)

Les HEMTs sur substrat d'InP peuvent atteindre des fréquences de fonctionnement très élevées, cependant l'essor de ce type de transistor est fortement limité par leur coût élevé. En effet, les substrats d'InP ne sont disponibles qu'en petite taille (4" pour l'InP contre 6" pour le GaAs) et leur prix est nettement plus élevé que le GaAs. De plus, l'une des difficultés avec l'InP est la grande fragilité mécanique des substrats, qui rend leur manipulation très délicate.

La solution à ces inconvénients est le HEMT métamorphique. L'idée est d'épitaxier l'hétérojonction AlInAs/GaInAs sur un substrat de GaAs. Pour cela on ajoute une couche tampon, qui peut être par exemple une couche graduelle en $\text{Al}_{(1-y)}\text{In}_y\text{As}$, et qui va réaliser l'accord de maille entre le substrat GaAs et l'hétérojonction AlInAs/GaInAs. La principale difficulté pour cette couche tampon, sera de confiner dans celle-ci, les dislocations dues aux relaxations de contrainte.

Un des autres avantages de cette filière, est qu'il est possible de fixer le taux d'Indium dans le canal de 30 à des valeurs supérieures à 50 %. La filière 30% (voir 40%) est plus intéressante pour les applications de puissance, de par de meilleures tenues en tension de claquage. Les composants à plus fort taux d'Indium sont intéressants pour les applications faible bruit. La Figure 5 donne la structure typique de HEMT métamorphique.

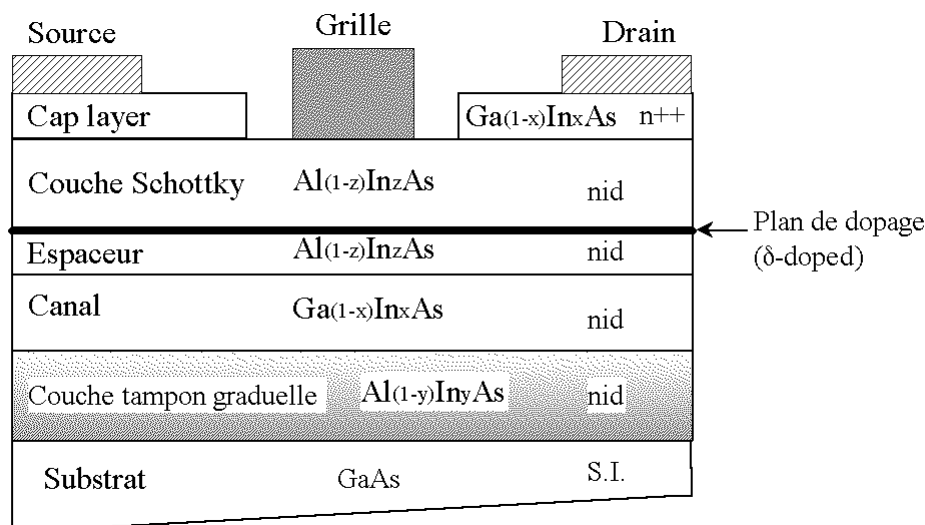


Figure 5 : Structure typique d'un HEMT métamorphique

A.3.f) Récapitulatif des différentes structure de HEMTs

Dans le Tableau 1, nous avons reporté les principales caractéristiques des hétérojonctions, définissant les différentes filières de HEMTs.

Chapitre I : Etude de HEMT sub-100 nm

Tableau 1 : Récapitulatif des propriétés des hétérojonctions, pour différentes filières de HEMT

Filière	Masse effective (m^*/m_0) dans le canal	ΔE_c (eV)	N_s (10^{12} cm^{-2})
"Conventionnelle" Ga _{0.75} Al _{0.25} As/GaAs	0,067	0,2	<1
Pseudomorphique sur GaAs Ga _{0.80} Al _{0.20} As/Ga _{0.75} In _{0.25} As/GaAs	$m^*_{//} = 0,061$	0,3	$\approx 1,5$
Adapté en maille sur InP Al _{0.48} In _{0.52} As/Ga _{0.47} In _{0.53} As/InP	0,041	0,52	≈ 3
Pseudomorphique sur InP Al _{0.48} In _{0.52} As/Ga _{0.35} In _{0.65} As/InP	0,036	0,66	≈ 3
Métamorphique Al _{0.48} In _{0.52} As/Ga _{0.47} In _{0.53} As/GaAs	0,041	0,52	≈ 3
Métamorphique Al _{0.71} In _{0.29} As/Ga _{0.70} In _{0.30} As/GaAs	0,053	0,74	$\approx 3,5$

De ce tableau, il ressort la supériorité de l'hétérostructure AlInAs/GaInAs, en termes de masse effective des électrons et de discontinuité de la bande de conduction. Cependant les taux élevés d'indium dans le canal sont intéressants, pour la montée en fréquence, mais sont limités pour les applications de puissance.

Remarque : Nous n'avons fait mention que des principales filières de HEMT sur substrat de GaAs et d'InP, cependant il existe de nombreuses autres hétérostructures possibles sur ces substrats. De plus, de nouvelles filières HEMTs, avec des nouveaux matériaux (Nitrures, Phosphorés, Antimoniures...) sur d'autres substrats, font aussi l'objet de nombreuses recherches actuellement.

I.B) Le schéma équivalent petit signal du HEMT

I.B.1) Présentation

Dans des conditions petit signal, pour modéliser un transistor HEMT ou plus généralement un transistor à effet de champ, nous recourons au schéma équivalent présenté sur la Figure 6. Il est important de rappeler que la principale hypothèse du schéma équivalent est que ses éléments sont invariants avec la fréquence.

Chapitre I : Etude de HEMT sub-100 nm

Les éléments du schéma équivalent se décomposent en deux catégories, les éléments extrinsèques et intrinsèques. Les éléments extrinsèques correspondent aux éléments d'accès vers la partie active du composant et sont supposés indépendants de la polarisation, à l'opposé des éléments intrinsèques.

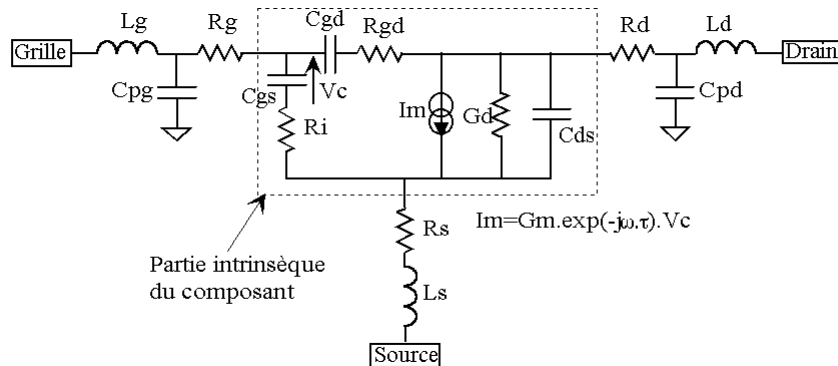


Figure 6 : Schéma équivalent petit signal d'un HEMT

Cette approche par un schéma équivalent a plusieurs avantages. D'abord le schéma équivalent est dit "physique", c'est à dire que chaque élément du schéma équivalent est lié à un paramètre physique du composant, comme cela est expliqué sur la Figure 7. Cet aspect est très intéressant car il nous permet d'avoir un retour sur la technologie du composant et sur les points à optimiser.

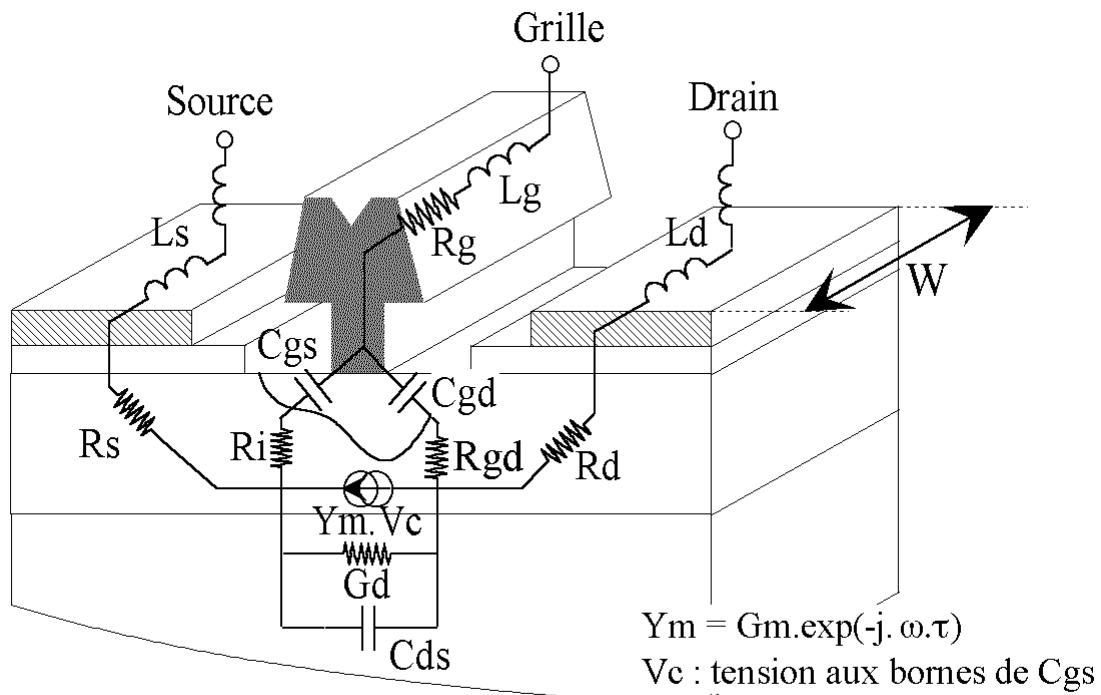


Figure 7 : Localisation physique des différents éléments composant le schéma équivalent

Chapitre I : Etude de HEMT sub-100 nm

Le deuxième intérêt est pour la conception de circuits. Premièrement parce que le schéma équivalent est extrapolable en fréquence au-delà de sa bande d'extraction. Ensuite du fait que les éléments du schéma équivalent suivent des lois d'échelle en fonction du développement de grille (W), permet d'avoir un schéma équivalent de transistor fonction de W . Les lois d'échelle de chaque élément sont reprises dans le Tableau 2.

Tableau 2 : Lois d'échelle des éléments du schéma équivalent petit signal

Gm	Gd	Cgs	Cgd	Cds	Ri	Rgd	Tau	Lg	Cpg	Rg	Ls	Rs	Ld	Cpd	Rd
$\propto W$	$\propto W$	$\propto W$	$\propto W$	$\propto W$	$\propto 1/W$	$\propto 1/W$	Ind.	Ind.	Ind.	$\propto W$	Ind.	$\propto 1/W$	Ind.	$\propto W$	$\propto 1/W$

Ind. : indépendance vis à vis du développement de grille, W

I.B.2) Extraction du schéma équivalent

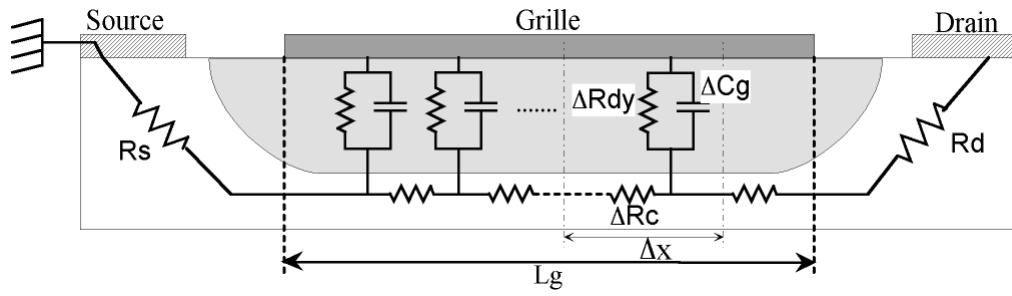
Les éléments du schéma équivalent sont extraits, selon la méthode proposée par G. DAMBRINE [16]-[17], de mesures de paramètres S réalisées avec l'analyseur de réseau vectoriel HP8510, dans la bande 0-50 GHz. Cette méthode se décompose en deux phases, d'abord on effectue des mesures transistor froid (tension drain-source V_{ds} nulle), à canal pincé et ouvert pour obtenir les éléments extrinsèques du transistor. Puis, sous des conditions de polarisation normale, on détermine les éléments intrinsèques en utilisant la technique de "l'épluchage". Cette technique consiste à retrancher aux paramètres S brut les éléments extrinsèques, pour parvenir à la partie intrinsèque du transistor. Ensuite chaque élément peut être aisément calculé à partir de la matrice Y intrinsèque, étant donné la configuration PI du schéma équivalent.

Un des enjeux pour obtenir un schéma équivalent fiable sur la bande de fréquence d'extraction et au delà, sera de déterminer précisément les éléments extrinsèques.

B.2.a) Détermination des éléments extrinsèques**B.2.a.i) Approche générale**

Dans les conditions de polarisation froide ($V_{ds}=0V$), le transistor peut être modélisé par un réseau distribué uniforme (Figure 8). Ce réseau est constitué d'une capacité linéique ΔC_g avec en parallèle une résistance ΔR_{dy} , correspondant à la jonction grille canal, et d'une résistance ΔR_c correspondant à la résistivité du canal.

$$\Delta R_{dy} = \frac{\eta \cdot k \cdot T}{q \cdot I_g} \cdot \frac{L_g}{\Delta x} \quad (2)$$

Figure 8 : Modélisation d'un FET en polarisation froide ($V_{ds}=0V$)

Les matrices impédance et admittance du réseau sous la grille (sans R_s et R_d) sont données ci-dessous, avec référence à la source et entrée sur la grille :

$$\begin{cases} z_{11} = \frac{R_c \cdot \text{ch}(\gamma.l)}{\gamma.l \cdot \text{sh}(\gamma.l)} \\ z_{12} = z_{21} = -\frac{R_c}{\gamma.l} \cdot \frac{(1 - \text{ch}(\gamma.l))}{\text{sh}(\gamma.l)} \\ z_{22} = -\frac{2.R_c}{\gamma.l} \cdot \frac{(1 - \text{ch}(\gamma.l))}{\text{sh}(\gamma.l)} \end{cases} \quad (3) \quad \text{et} \quad \begin{cases} y_{11} = -\frac{2.\gamma.l}{R_c} \cdot \frac{1 - \text{ch}(\gamma.l)}{\text{sh}(\gamma.l)} \\ y_{12} = y_{21} = \frac{\gamma.l}{R_c} \cdot \frac{(1 - \text{ch}(\gamma.l))}{\text{sh}(\gamma.l)} \\ y_{22} = \frac{\gamma.l}{R_c} \cdot \frac{\text{ch}(\gamma.l)}{\text{sh}(\gamma.l)} \end{cases} \quad (4)$$

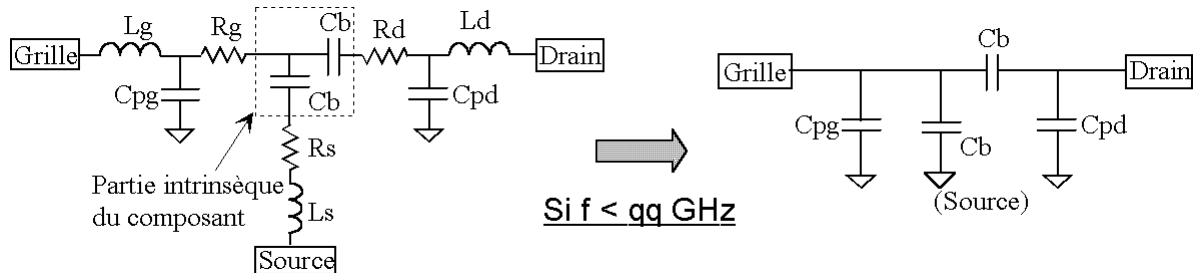
$$\text{avec : } (\gamma.l)^2 = \frac{R_c}{R_{dy}} \cdot (1 + j.R_{dy}.C_g.\omega)$$

Généralement on aura $(\gamma.l)^2 \ll 1$, d'où :

$$\begin{cases} z_{11} \approx \frac{R_c}{3} + \frac{R_{dy}}{1 + j.R_{dy}.C_g.\omega} \\ z_{12} = z_{21} \approx \frac{R_c}{2} \\ z_{22} \approx R_c \end{cases} \quad (5) \quad \text{et :} \quad \begin{cases} y_{11} \approx \frac{1}{R_{dy}} + j.C_g.\omega \\ y_{12} = y_{21} \approx \frac{-1}{2.R_{dy}} - j.\frac{C_g}{2}.\omega \\ y_{22} \approx \frac{1}{R_c} + \frac{1}{3.R_{dy}} + j.\frac{C_g}{3}.\omega \end{cases} \quad (6)$$

B.2.a.ii) Extraction des éléments C_{pg} et C_{pd}

Si l'on polarise la grille en inverse ($V_{gs} < V_p$), alors R_{dy} et R_c deviennent élevées et C_g tendra vers 0. Dans ce cas, la partie intrinsèque sera modélisée par deux capacités de bord C_b , comme sur la Figure 9.

Figure 9 : Modélisation du transistor en polarisation froide ($V_{ds}=0 V$) et pour $V_{gs} < V_p$

Chapitre I : Etude de HEMT sub-100 nm

Dans ces conditions les éléments série ont une influence négligeable, et la matrice Y du transistor est donnée par l'ensemble d'équations (7), d'où l'on saura aisément extraire Cpg et Cpd.

$$\begin{cases} Y_{11} \approx j.(2.Cb + Cpg).\omega \\ Y_{12} \approx -j.Cb.\omega \\ Y_{22} \approx j.(Cb + Cpd).\omega \end{cases} \quad (7)$$

B.2.a.iii) Extraction des éléments série

Dans des conditions de polarisation normale ($V_g > V_p$), la matrice Z du transistor sans Cpg et Cpd, est donnée par les équations (8), en utilisant les équations (5).

$$\begin{cases} Z_{11} = Rg + Rs + j.(Lg + Ls)\omega + z_{11} \approx Rg + Rs + \frac{Rc}{3} + \frac{Rdy}{1 + j.Rdy.Cg.\omega} \\ Z_{12} = Rs + j.Ls.\omega + z_{12} \approx Rs + \frac{Rc}{2} + j.Ls.\omega \\ Z_{22} = Rd + Rs + j.(Ls + Ld)\omega + z_{22} \approx Rs + Rd + Rc + j.(Ls + Ld).\omega \end{cases} \quad (8)$$

Et si $Rdy \gg \frac{1}{Cg.\omega}$, alors Z_{11} vaut :

$$Z_{11} \approx Rg + Rs + \frac{Rc}{3} + \frac{1}{Rdy.Cg^2.\omega^2} + \frac{1}{j.Cg.\omega} + j.(Ls + Lg).\omega \quad (9)$$

En connaissant la valeur de Rc, on déterminera Rs et Ls à partir de Z_{12} , puis Rd et Ld en utilisant Z_{22} . Et enfin, Rg à partir de Z_{11} en se plaçant à une fréquence tel que le terme $1/(Rdy.Cg^2.\omega^2)$ soit négligeable.

I.B.3) Limites de validité*B.3.a) Introduction*

Le schéma équivalent petit signal à éléments localisés est un moyen commode pour modéliser un transistor. Cependant la validité de ce schéma sera limitée en fréquence pour un développement de grille donné. Au delà de ces conditions, les effets de propagation et de distribution des signaux devront être pris en compte par un schéma distribué.

L'objectif de ce paragraphe sera donc de dégager des lois simples sur les limites de validité du schéma équivalent à éléments localisés.

Ce problème de validité de la modélisation des FETs, par des éléments localisés a déjà été étudié par le passé, et notamment par Heinrich [18], [19]. Dans ces travaux, il a en outre, conclu que les effets de distribution, concernaient en premier lieu l'impédance de grille. Pour cette raison, nous nous intéresserons aux effets de distribution du courant dans la grille.

B.3.b) Validité de la résistance de grille

La résistance de grille est usuellement exprimée par l'expression (10) par rapport à la résistivité métallique de la grille, R_m .

$$R_G = \frac{R_m \cdot W}{3 \cdot n^2} \quad (10)$$

avec **W : développement total** du transistor, et n : nombre de doigts de grille

Cette expression a été démontré par Kuvås [20], et prend en compte l'effet de distribution du courant dans la grille, avec le terme 3 du dénominateur. Cependant ce qui est souvent omis est que cette expression n'est qu'une formulation approchée et donc soumise à des limites de validité.

Pour comprendre quelles vont être les limites de validité, nous avons repris le calcul de R_g . Pour ce calcul, on se place dans l'approximation d'un transistor unilatéral, c'est à dire C_{gd} et R_s nuls. Dans ce cas l'impédance vue dans le plan d'entrée, d'un doigt de grille se résume au schéma distribué de la Figure 10.

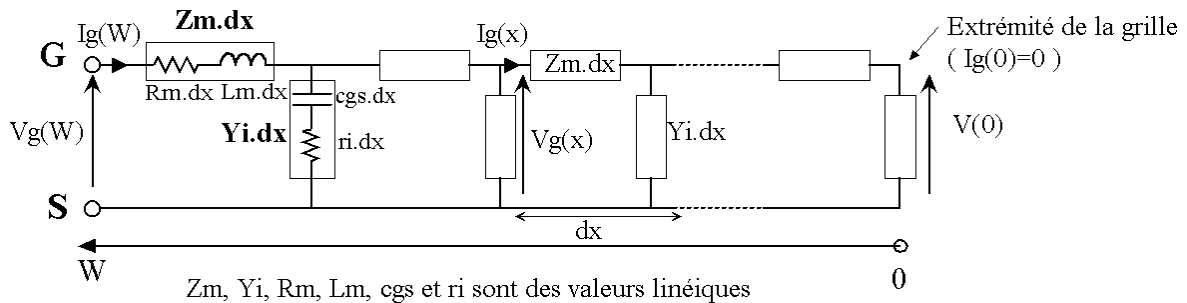


Figure 10 : Schéma distribué de l'impédance de grille

En sachant que $I_g(0)=0$, on montre que l'impédance en entrée de la grille vaut :

$$Z_G(W) = \frac{V_G(W)}{I_G(W)} = \sqrt{\frac{Z_m}{Y_i}} \cdot \coth(\sqrt{(Z_m Y_i) \cdot W}) \quad (11)$$

Et la tension en bout de grille vaut :

$$\frac{V_G(0)}{V_G(W)} = \frac{1}{\ch(\sqrt{(Z_m Y_i) \cdot W})} \quad (12)$$

Si l'on réalise un développement limité de ces expressions, on obtient finalement :

$$Z_G(W) \approx \frac{1}{Y_i.W} + \frac{Z_m.W}{3} \left(1 - \frac{Z_m.Y_i.W^2}{15} \right) \quad (13)$$

$$\text{et} \quad \frac{V_G(0)}{V_G(W)} \approx 1 - \frac{Z_m.Y_i.W^2}{2} \quad (14)$$

Si dans (13) on peut négliger le terme ($|Z_m.Y_i.W^2|/15$) par rapport à 1, on retrouve alors l'impédance due à C_{gs} et R_i avec $1/Y_i.W$, et l'expression de la résistance de grille, R_g , formulée par (10), dans le cas d'un seul doigt de grille.

Par les expressions (12) et (14), nous avons aussi calculé la tension en bout de grille. En effet, celle-ci doit être proche de la tension en entrée, si l'on veut une commande uniforme du canal et ainsi vérifier l'hypothèse d'éléments localisés. De l'expression (14), il apparaît que cette condition sera vérifiée si :

$$|Z_m.Y_i.W^2| < 1 \quad (15)$$

Cette dernière condition recoupe d'ailleurs la condition de validité pour R_g , et pourra définir **une condition de validité au schéma équivalent à éléments localisés**.

Si l'on néglige l'inductance linéique de grille, L_m , vis à vis de R_m , et la résistance R_i par rapport à l'impédance due à C_{gs} , l'expression (15) devient alors :

$$\omega << \frac{1}{R_m.c_{gs}.W^2} \quad (16)$$

$$\text{ou encore} \quad W << \frac{1}{\sqrt{R_m.c_{gs}.\omega}} \quad (17)$$

Ainsi par exemple, si $R_m = 200 \, \Omega/\text{mm}$ et $C_{gs} = 1 \text{ pF}/\text{mm}$, alors pour une application à 100 GHz, W devra être inférieur à 90 μm . Et à l'inverse, pour $W = 50 \, \mu\text{m}$, la fréquence devra être nettement inférieure à 320 GHz.

B.3.c) Conclusion

Dans le paragraphe précédent, nous avons établi une expression simplifiée ((16) ou (17)) qui permet de définir une limite de validité pour la modélisation de la résistance de grille, par un élément localisé. Cette condition s'appliquera indirectement au schéma équivalent complet.

Cependant, une autre limite du schéma équivalent à éléments localisés sera atteinte, lorsque le développement d'un doigt de grille, sera proche du dixième de la longueur d'onde dans le semi-conducteur, soit :

$$W_u \leq \frac{\lambda_d}{10} = \frac{c}{10.F.\sqrt{\epsilon_r}} \quad (18)$$

Avec W_u : Développement d'un doigt de grille, λ_d : longueur d'onde dans le semiconducteur, et ϵ_r : permittivité du semi-conducteur (12,6 pour l'InP)

Ce critère est volontairement pessimiste en considérant la longueur d'onde dans le semi-conducteur, en réalité il faudrait considérer une permittivité "effective" tenant compte du fait, que l'onde se propage dans le semi-conducteur et dans l'air.

Ceci donne par exemple, à 100 GHz dans l'InP, un développement devant être inférieur à 85 μm .

I.C) Les gains hyperfréquences et fréquences de transition d'un transistor

Pour caractériser les potentialités en fréquence d'un transistor, nous utilisons différents gains et fréquences de transition que nous rappelons dans ce paragraphe.

I.C.1) Le gain en courant de court-circuit $|H_{21}|$

Le gain en courant de court-circuit peut être calculé à partir des paramètres S suivant l'expression suivante :

$$|H_{21}|^2 = \left| \frac{-2.S_{21}}{(1-S_{11}).(1+S_{22}) + S_{12}.S_{21}} \right|^2 \quad (19)$$

Ce gain suit en principe, une évolution en -20 dB par décade, ce qui permet son extrapolation jusqu'à la fréquence de transition du gain en courant, f_T , qui correspond à $|H_{21}|=1$ (0 dB).

La fréquence f_T constitue une figure de mérite très importante, notamment pour les applications numériques.

I.C.2) Le Gain maximum disponible ou MAG (Maximum Available Gain)

C'est le gain en puissance que nous obtenons en adaptant l'entrée et la sortie d'un quadripôle actif. Mais celui-ci ne peut être défini que lorsque que le quadripôle est inconditionnellement stable, c'est à dire que son facteur de stabilité k est supérieur à 1. Dans le cas contraire, on calcule le gain maximum stable noté MSG (Maximum Stable Gain).

Nous pouvons résumer de la manière suivante:

$$\text{Si } k > 1, \text{ nous avons le : } \quad \text{MAG} = \left| \frac{S_{21}}{S_{12}} \right| \left(k - \sqrt{k^2 - 1} \right) \quad (20)$$

$$\text{Sinon si } k \leq 1, \text{ nous définissons le : } \quad \text{MSG} = \left| \frac{S_{21}}{S_{12}} \right| = \left(\left| \frac{Y_{21}}{Y_{12}} \right| = \left| \frac{Z_{21}}{Z_{12}} \right| \right) \quad (21)$$

$$\text{avec : } k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}|^2}{2 \cdot |S_{12}| \cdot |S_{21}|} \quad (22)$$

$$\text{ou } k = \frac{2 \cdot \Re(Z_{11}) \cdot \Re(Z_{22}) - \Re(Z_{12} \cdot Z_{21})}{|Z_{12} \cdot Z_{21}|} \quad (23)$$

A partir de ce gain, on détermine f_{MAG} , qui est la fréquence de transition où le MAG est égal à 1.

I.C.3) Le gain Unilatéral ou gain de Mason, noté U

C'est le gain en puissance que l'on obtient en adaptant entrée et sortie, et en ajoutant une contre-réaction sans pertes qui permet d'avoir $S'_{12} = 0$ [21], [22]. Son expression est la suivante :

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \cdot \left(k \cdot \left| \frac{S_{21}}{S_{12}} \right| - \Re \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad (24)$$

$$\text{ou encore : } U = \frac{|Z_{21} - Z_{12}|^2}{4 \cdot (\Re(Z_{11}) \cdot \Re(Z_{22}) - \Re(Z_{12}) \cdot \Re(Z_{21}))} \quad (25)$$

A partir de celui-ci, on détermine la fréquence maximale d'oscillation f_{max} , fréquence de transition où $U=1$, et au-delà de laquelle le quadripôle est passif. Lorsqu'elle n'est pas directement mesurable, sa détermination s'appuie sur une évolution théorique de U en -20 dB/décade.

Remarque : Les fréquences f_{MAG} et f_{max} sont, en théorie, identiques car elles correspondent à la fréquence de transition entre un quadripôle actif et passif.

I.C.4) Remarque sur la détermination de f_{max} , à partir du gain MSG

Très souvent le gain U peut être entaché d'un bruit de mesure très important, ce qui rend une extrapolation assez délicate, pour déterminer f_{max} . De ce fait, certains auteurs utilisent le fait que le gain MSG est généralement inférieur au gain unilatéral U . Ils réalisent ainsi une extrapolation en -20 dB/décade sur le gain MSG, afin d'obtenir une valeur approximative de f_{max} .

Chapitre I : Etude de HEMT sub-100 nm

Cependant, cette hypothèse sera erronée, lorsque le MSG sera proche de la fréquence où k vaut 1. En effet, autour de cette fréquence, le MSG/MAG peut dans certains cas, devenir supérieur au gain unilatéral U , et une extrapolation sur ce gain donnera une valeur surestimée de $f_{\max}$.

La Figure 11 illustre ce point, à partir d'un schéma équivalent donné, nous avons calculé les gains U et MSG/MAG, en fonction de la fréquence. Nous observons que si l'on extrapole le MSG autour de la fréquence où $k=1$, nous risquons de surestimer $f_{\max}$ de près de 24 %, dans l'exemple présent.

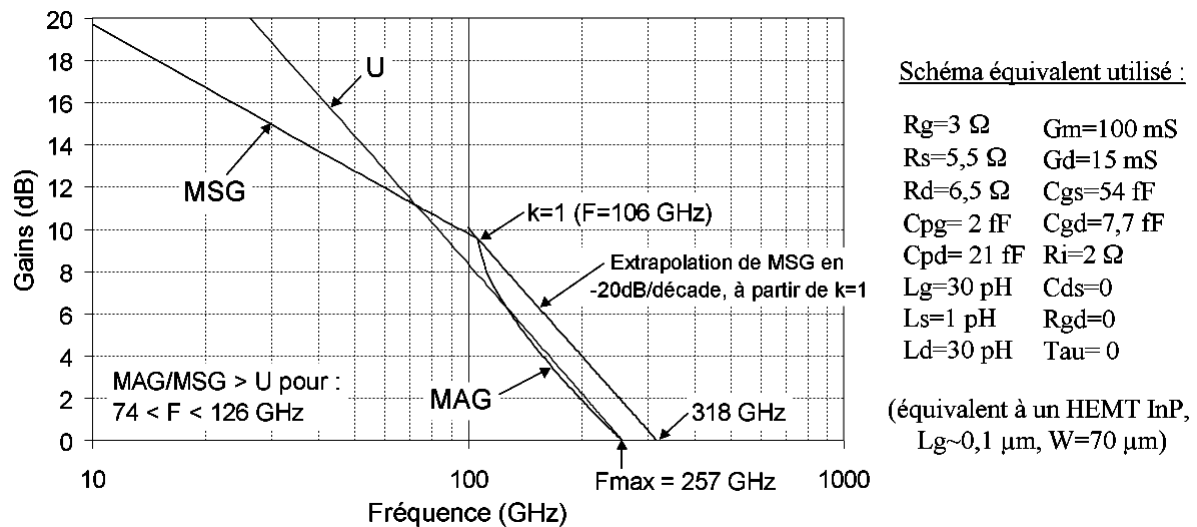


Figure 11 : Exemple de surestimation de $f_{\max}$, en utilisant une extrapolation sur le gain MSG (Gains calculés par un schéma équivalent)

I.D) La technologie d'un transistor HEMT AlInAs/GaInAs

Pour comprendre le contexte de notre travail, il est important de rappeler les étapes pour la réalisation d'un composant et les principales technologies actuelles.

I.D.1) Les étapes pour la réalisation d'un composant

L'élaboration d'un HEMT peut se décomposer en quatre principales étapes :

- L'isolation
- Les contacts ohmiques
- La grille
- Les plots d'épaissement

Chapitre I : Etude de HEMT sub-100 nm

Tout d'abord, il faut préciser que l'ordre de ces étapes peut être permuté. Sur la Figure 12, nous avons décrit ces différentes étapes, cette figure n'apporte que des informations générales sur les étapes de réalisation d'un HEMT. Une description plus précise de certaines étapes sera faite dans le paragraphe III.C) (page 73), et le procédé complet de réalisation des transistors est présenté dans l'annexe VII.C), page 110.

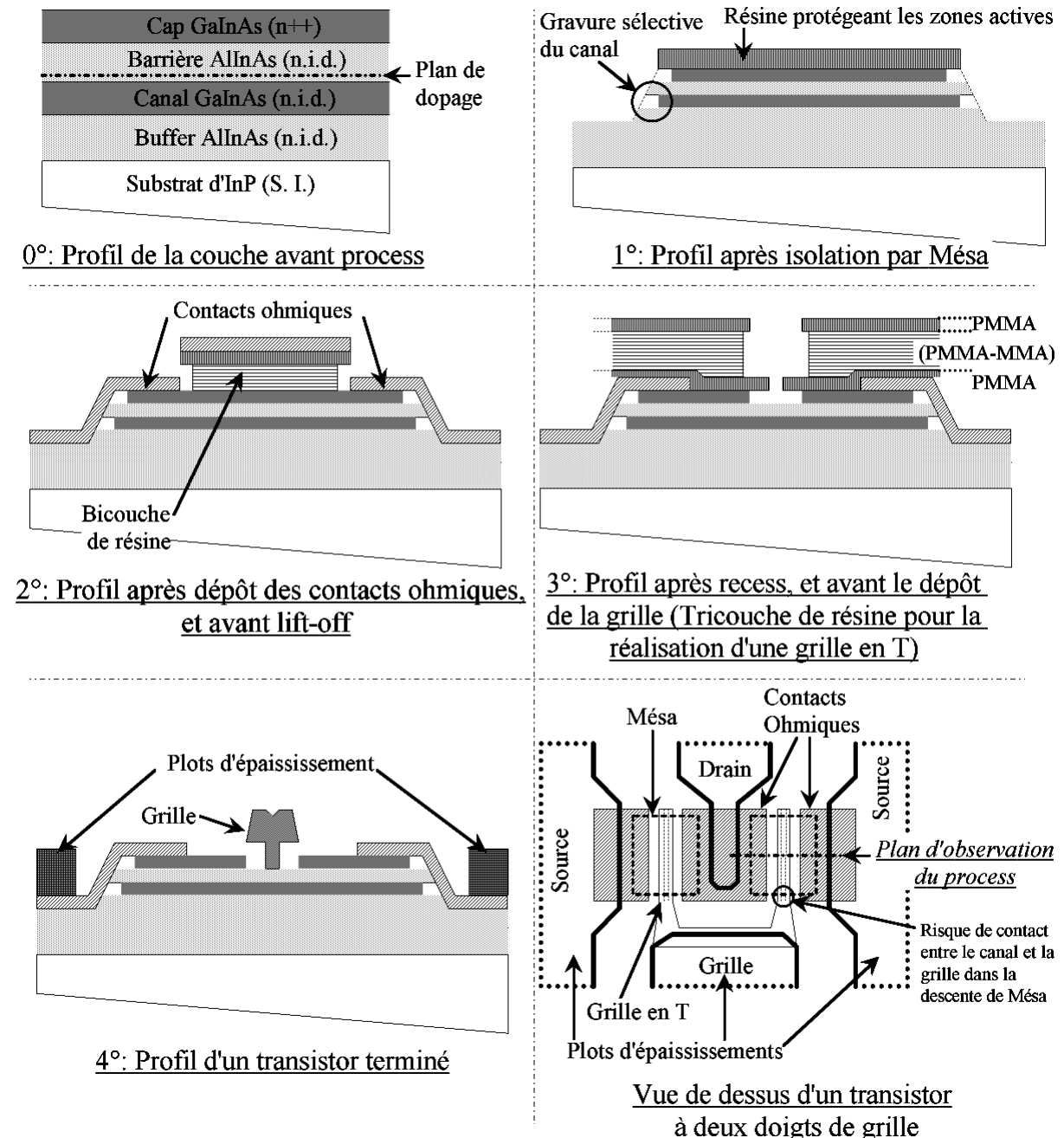


Figure 12 : Principales étapes pour la réalisation d'un HEMT

D.1.a) L'isolation

L'isolation vise à isoler électriquement les composants entre eux et les électrodes en dehors de la zone active du composant. L'isolation peut être réalisée soit par implantation ionique ou soit par gravure chimique des zones actives inutiles jusqu'au substrat isolant ("mésa").

L'implantation consiste à détruire le réseau cristallin pour le rendre isolant, l'avantage est que la structure reste plane, mais cette technique est délicate à mettre au point. L'isolation par gravure chimique (Mésa) va rendre la structure non plane, mais elle est simple à mettre en œuvre. A noter aussi qu'après la réalisation d'un mésa, il est important de faire une deuxième gravure sélective du canal, de sorte à isoler électriquement le canal et la grille, dans la descente du mésa [23], comme cela est illustré sur la Figure 12.

D.1.b) Les contacts ohmiques

Pour réaliser des contacts ohmiques sur des structures HEMT InP, deux approches sont possibles :

- Les contacts ohmiques alliés
- Les contacts ohmiques non-alliés

Les contacts ohmiques alliés consiste en un dépôt par évaporation sous-vide de Ni/AuGe/Ni/Au (ou plus généralement tous dépôts à base d'AuGe), puis d'un recuit rapide (~ 1 min) à 300°C environ. Le but du recuit sera de faire diffuser l'eutectique AuGe, dans le semiconducteur, de manière à doper fortement celui-ci, et ainsi obtenir un contact dit ohmique. La difficulté pour ce type de contact ohmique sera d'assurer une diffusion optimale de la métallisation, car si la diffusion est excessive, on observe une dégradation de la résistance de contact.

Les contacts ohmiques non-alliés sont basés sur un dépôt d'une métallisation Ti/Pt/Au sur un cap layer très fortement dopé, sans diffusion de la métallisation. Le principe utilisé ici, est la conduction par effet tunnel. Un des enjeux sera sur l'épaisseur et le dopage du cap layer [24].

Les performances obtenues par ces deux types de contact étaient équivalentes jusqu'il y a très récemment, avec des résistances de contact (R_c) de 0,1 à 0,15 $\Omega\cdot\text{mm}$. Cependant, les derniers travaux publiés avec des contacts ohmiques non-alliés, ont donnés des valeurs très faibles avec R_c de 0,03 à 0,07 $\Omega\cdot\text{mm}$ [2], [26]. De plus, le fait d'utiliser dans les contacts non-alliés des barrières de diffusion améliore la tenue thermique et peut s'avérer intéressant pour la fiabilité des composants.

D.1.c) La réalisation de la grille

La réalisation de la grille est l'étape la plus délicate dans l'élaboration d'un HEMT, et va conditionner pour beaucoup les performances du transistor. En effet, c'est principalement la longueur de grille qui va fixer la rapidité d'un composant, de ce fait la réduction de cette longueur est l'un des enjeux majeurs.

Aujourd'hui les longueurs de grille peuvent atteindre des dimensions nanométriques grâce à la lithographie électronique. Mais avec ces longueurs de grille, il est indispensable de développer des grilles avec des profils en T, le but étant de conserver une résistance de grille acceptable.

Préalablement au dépôt de la grille, il faudra aussi graver le cap layer pour déposer la grille sur la barrière. Cette étape est appelée réalisation du fossé de grille ou encore "recess" en anglais.

Pour atteindre ces objectifs, plusieurs approches seront possibles, celles-ci seront exposées dans le paragraphe suivant.

D.1.d) Les plots d'épaississement

Cette étape est généralement la dernière, elle consiste à déposer des plots métalliques (par évaporation sous-vide, par exemple) pour permettre la connexion du transistor.

I.D.2) Les technologies de grille nanométriques

La réalisation d'une grille en T submicronique doit concilier de nombreux aspects, parmi lesquels nous pouvons citer :

- Contrôle de la profondeur de recess (distance grille–canal) et de la largeur du recess (extension latérale du recess de part et d'autre de la grille).
- Contrôle précis de la longueur de grille.
- Réalisation d'un chapeau de section suffisante pour réduire la résistance de la grille.
- Tenue mécanique du chapeau sur le pied de grille.

Dans ce paragraphe, nous allons d'abord présenter l'étape de recess, indissociable de la lithographie de grille, puis nous détaillerons diverses solutions, expérimentées au laboratoire ou publiées dans la littérature, pour la réalisation d'une grille en T.

A noter que sauf indications contraires, la grille est toujours réalisée en utilisant la lithographie électronique.

*D.2.a) Le recess**D.2.a.i) Les enjeux :*

Pour un recess "simple", les deux paramètres sont sa profondeur et sa largeur. La profondeur du recess influera **principalement** sur la tension de pincement (V_p) et la transconductance (G_m), la maîtrise de cette profondeur sera donc essentielle.

Le choix de la largeur du recess sera aussi important. En effet dans la zone recessée, le potentiel de surface aura pour effet de partiellement dépléter le canal. La conséquence d'un point de vue "physique " est une augmentation de la longueur de grille effective [26]. Et d'un point de vue électrique, un recess large aura pour effets négatifs d'augmenter les résistances d'accès R_s et R_d , de limiter le courant drain-source, mais pour effets positifs de diminuer la capacité C_{gd} , la conductance G_d , et d'améliorer les tensions de claquage. Ainsi par exemple, Suemitsu et al. ont montré qu'il existait des dimensions optimales pour la largeur du recess suivant que l'on souhaite favoriser f_T ou f_{max} [27].

Toutefois l'effet de la zone recessée sera aussi fonction de la structure de couche, et notamment de l'épaisseur de barrière et du plan de dopage. Ces divers aspects font que ce sujet reste ouvert et donne lieu à de nombreux travaux sur l'élaboration de double ou triple recess, ou encore de recess asymétriques. Cependant nous reviendrons sur ces différentes solutions avec la présentation des différentes technologies de grille.

D.2.a.ii) Les principales solutions de gravure pour le recess

Comme il a déjà été mentionné, il sera important de bien contrôler la profondeur du recess, et de manière uniforme sur l'ensemble du substrat. Pour y parvenir, on utilise généralement des solutions de gravure sélectives qui vont graver le cap layer ($Ga_{0.47}In_{0.53}As$), sans attaquer la barrière ($Al_{0.48}In_{0.52}As$). Les solutions les plus fréquemment utilisées sont l'acide succinique et l'acide citrique.

L'acide succinique a été étudié au sein du laboratoire par H. Fourré [5], qui a montré une excellente sélectivité, d'environ 70, entre le $GaInAs$ et l' $AlInAs$, adaptés en maille sur l' InP .

L'acide citrique présente lui une sélectivité plus faible entre le $GaInAs$ et l' $AlInAs$ (< 20), mais une excellente sélectivité entre le $GaInAs$ et l' InP . Pour cette dernière raison, on relève souvent dans la littérature, des structures de HEMTs incluant dans la barrière une couche d'arrêt en InP .

Chapitre I : Etude de HEMT sub-100 nm

Enfin dans certains cas, on a dans la littérature des procédés utilisant des solutions d'attaques non sélectives à base de H_3PO_4 . Le contrôle de la profondeur de gravure s'effectuera alors par le temps et par la mesure du courant drain-source (sans grille).

Remarque : Le plus souvent, le recess est réalisé par gravure humide et parfois complété par un plasma d'Argon. Les autres gravures sèches sont peu utilisées car elles peuvent donner un mauvais état de surface et contaminer la barrière.

D.2.b) Le procédé de grille "nitrure"

Ce procédé est présenté sur la Figure 13. Sa principale caractéristique est l'emploi d'une couche de Nitrure de silicium (Si_3N_4) pour la réalisation du pied de grille. Par cette approche nous avons une totale indépendance entre la longueur du pied de grille et celle du haut de grille (ou chapeau).

De plus, la présence de Si_3N_4 donne une bonne robustesse mécanique pour la grille, entraînant ainsi un bon rendement de fabrication. En effet, le haut de grille en T est supporté par la couche de Nitrure de silicium. Toutefois cette fine couche de Si_3N_4 génère une capacité parasite importante préjudiciable pour les performances du transistor.

L'utilisation de ce procédé a permis la fabrication de HEMTs InAlAs/InGaAs de longueur de grille d'environ 100 nm.

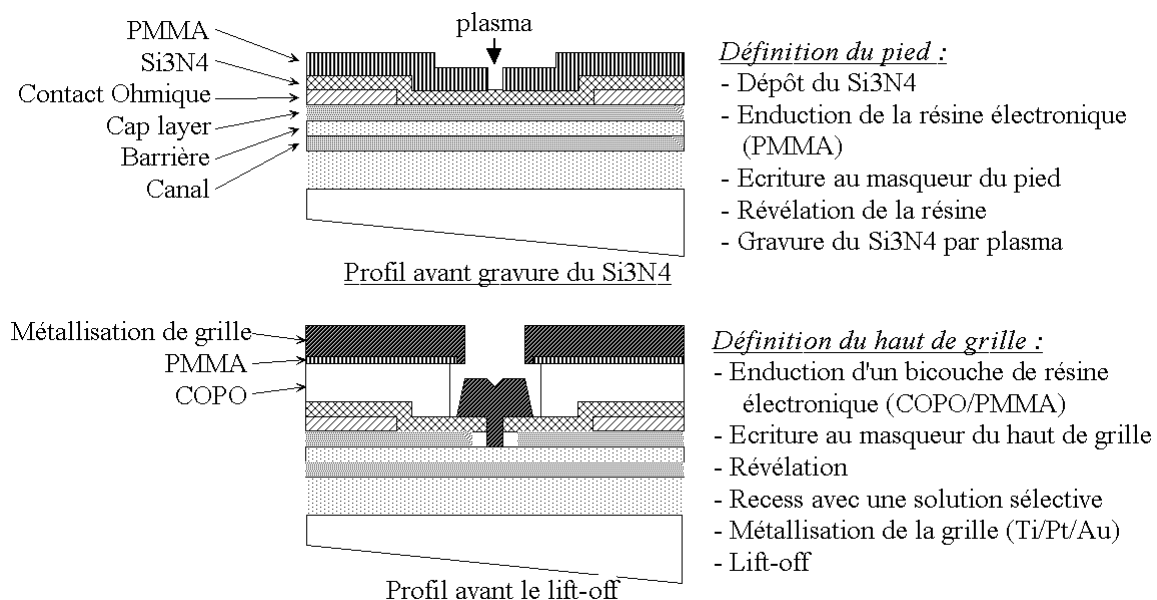


Figure 13 : Procédé de grille "nitrure"

D.2.c) Le procédé de grille "tricouche" et "bicouche"

Ce procédé, très largement utilisé, est décrit sur la Figure 14, il consiste à utiliser un tricouche de résines de sensibilités différentes et une exposition variable entre le pied et le chapeau de la grille.

La première couche de résine sera la moins sensible et servira à la définition du pied, la deuxième couche de résine sera de forte sensibilité et définira le chapeau, et éventuellement une troisième de couche de résine, de sensibilité plus faible que la seconde, permettra la réalisation d'un profil casquette qui facilitera le lift-off de la grille.

Les résines électroniques les plus souvent utilisées sont pour le pied et la casquette : la PMMA (poly(methylmethacrylate)), et pour le chapeau : la PMMA(MMA) (ou Copolymère).

Ce procédé a l'avantage d'être rapide (une seule écriture et une seule révélation,) et la grille obtenue aura de faibles capacités parasites, comparée à une grille utilisant un diélectrique comme support pour le chapeau. Cependant ce procédé est difficile à mettre au point à cause de la corrélation entre la définition du pied et du chapeau de la grille.

Les dimensions du pied de grille obtenues, avoisinent 50 nm.

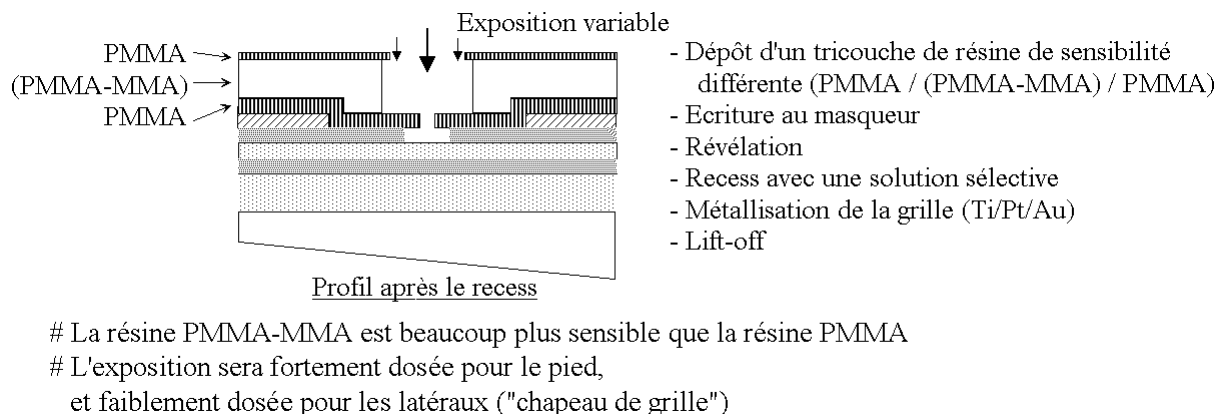


Figure 14 : Procédé de grille "tricouche"

D.2.c.i) Le procédé de grille proposé par Wakita

Un autre procédé avec un tricouche de résine a été proposé par Wakita et al. [29]. Il est basé sur un tricouche ZEP520(α -methylstyrene α -chloromethylacrylate copolymer) /PMGI (poly(dimethylglutarimide))/ZEP520. Le principal avantage de ce procédé est que ses deux résines ont des révélateurs différents hautement sélectifs. Ceci permet de révéler la ZEP520, sans altérer la PMGI et inversement.

Chapitre I : Etude de HEMT sub-100 nm

L'étape de révélation de la grille s'effectuera donc en trois étapes. Une première révélation avec MEK:MIBK (methyl ethyl ketone : methyl isobuthyl ketone) va révéler la 1^{ère} couche de ZEP520 qui définira la casquette. Puis une seconde révélation avec une solution de TMAH (tetramethyl ammonium hydroxide) va révéler la PMGI sans altérer la casquette, et enfin une troisième révélation avec MIBK:IPA va définir le pied de grille.

Remarque : A noter, que certains procédés se limitent à un bicouche de résine, la troisième couche de résine, pour la casquette, étant omise.

D.2.d) Le procédé de grille "NTT"

Le procédé de grille développé par NTT [30] se rapproche de la technologie de grille nitrure. Ce procédé est décrit sur la Figure 15, il utilise aussi une couche de diélectrique (SiO_2/SiN) pour définir le pied de la grille. Ce bicouche de diélectrique permet d'obtenir un profil de pied de grille plus évasé (en forme de V). L'originalité tient aussi dans l'emploi du WSiN, qui se grave par plasma, comme métal pour le pied de grille; et de la réalisation du haut de grille par lithographie optique. Les dimensions atteintes sont de l'ordre de 30 nm.

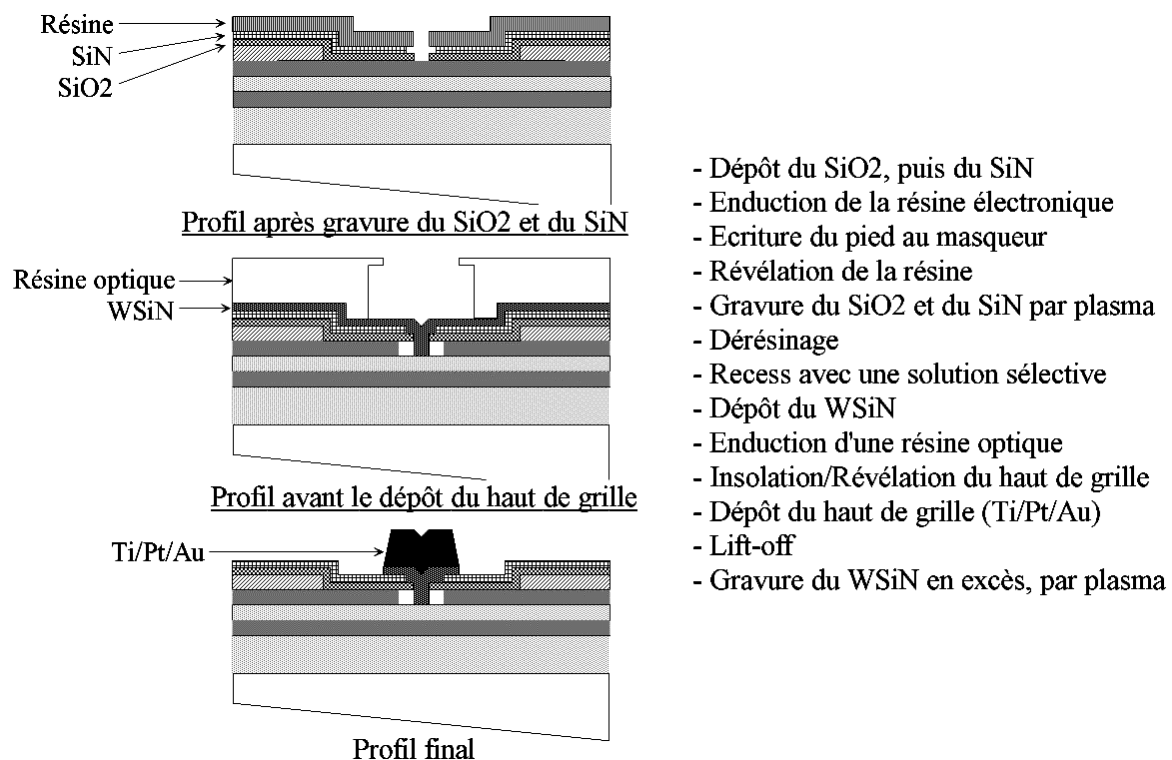


Figure 15 : Procédé de grille "NTT"

Chapitre I : Etude de HEMT sub-100 nm

Par la suite, ce procédé a évolué avec l'ajout d'une couche d'arrêt en InP, introduite entre la barrière en InAlAs (nid) et le cap layer [31], puis avec la réalisation d'un double recess [32]. Un premier recess humide à l'acide citrique va graver le cap layer, puis un deuxième recess avec un plasma d'Argon va graver sélectivement la couche d'InP, sans attaquer la barrière en AlInAs. La largeur du recess dans l'InP sera identique à la dimension du pied de grille, de par le caractère anisotrope de la gravure plasma.

Le premier intérêt est d'avoir un excellent contrôle de la profondeur du recess, de par la sélectivité élevée des gravures. Le second intérêt sera de réduire l'influence des états de surface dans la zone recessée sur la densité d'électrons dans le canal, à cause de l'effet de passivation de la couche d'InP.

D.2.e) Les procédés de grille "Fujitsu"

Les procédés de grille proposés par Fujitsu étant assez nombreux, nous nous limiterons à présenter leurs principales caractéristiques.

D.2.e.i) Le procédé de base

Le procédé de base de "Fujitsu" [33] est très proche du procédé de grille "tricouche", proposé par Wakita [29]. Il utilise une couche de SiO₂ avant l'enduction du tricouche de résine, celle-ci sera ensuite gravée par plasma, avant le recess.

Cette couche de SiO₂ a pour but d'assurer une meilleure adhérence de la résine, et probablement une meilleure tenue mécanique de la grille.

Les longueurs de grille obtenues par ce procédé sont de l'ordre de 50 nm.

D.2.e.ii) Le procédé de base avec double écriture [34]

Ce procédé est identique au précédent excepté que l'écriture de la grille s'effectue en deux temps, et qu'une couche d'arrêt en InP a été insérée dans la structure de couche. Après dépôt d'un tricouche de résines, une première écriture/révélation va définir le haut de la grille, puis une seconde écriture/révélation déterminera le pied de la grille. L'avantage de ce procédé est que l'on peut obtenir une meilleure résolution, avec une longueur du pied de grille de 30 nm. De plus, la couche d'arrêt en InP permet d'avoir un contrôle précis de la profondeur du recess.

D.2.e.iii) Le procédé de grille avec double recess

Ce procédé est présenté sur la Figure 16. Les principaux points de ce procédé sont :

- L'ajout d'une couche d'arrêt en InP entre la barrière en AlInAs et le cap layer pour obtenir une meilleure sélectivité lors du recess du cap layer

- Un double recess
- Une première lithographie qui va fixer les dimensions du premier recess
- Une deuxième couche de SiO_2 qui aura pour intérêt de passiver la zone recessée.
- Un deuxième recess à l'acide citrique dans la couche d'InP. Le choix de l'acide citrique pour ce deuxième recess peut s'expliquer par la faible vitesse de gravure de l'InP avec cet acide, ce qui permettra un bon contrôle de la profondeur de recess. Et enfin, le dépôt de la métallisation de grille.

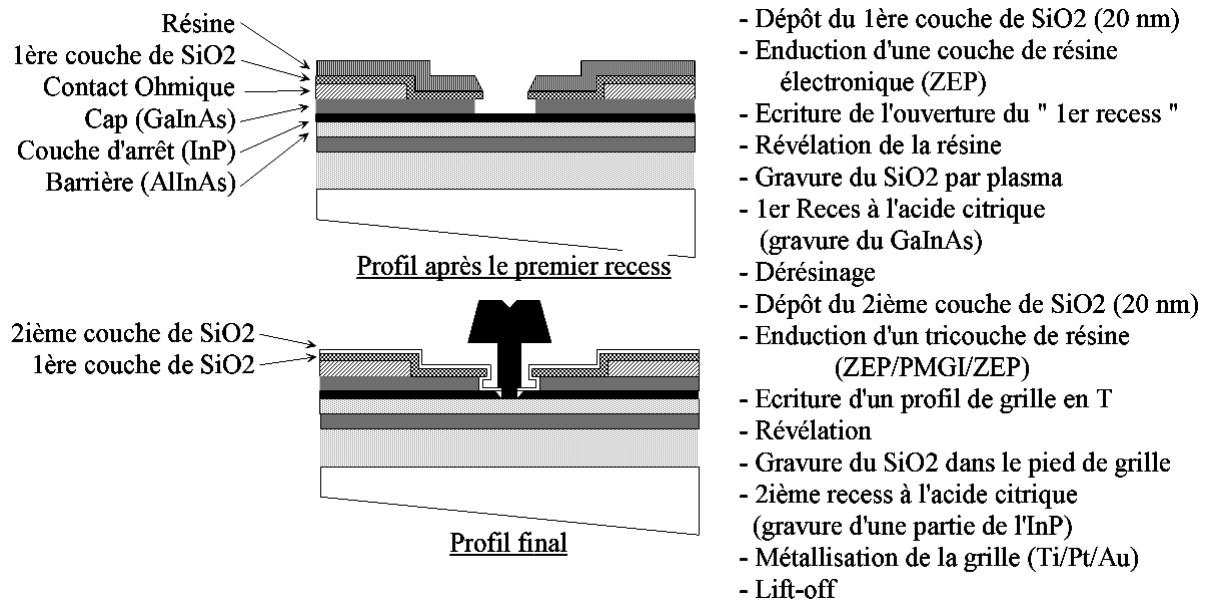


Figure 16 : Procédé de grille double-recess "Fujitsu"

L'intérêt de ce double recess sera comme précédemment, un meilleur contrôle de la zone recessée, et la possibilité de réduire la distance grille-canal pour un meilleur rapport d'aspect, mais sans amincir la barrière dans la zone recessée, ce qui limitera l'influence des états de surface sur la densité électronique dans le canal. De plus, les longueurs de grille peuvent descendre jusque 25 nm.

D.2.e.iv) Le procédé de grille avec recess asymétrique [36]

Le procédé est proche de celui présenté au ii), la principale évolution est l'ajout "d'ouvertures" dans la première couche de résine côté drain, comme cela est décrit sur la Figure 17. Ces ouvertures permettent la réalisation d'un recess asymétrique avec une extension plus importante vers le drain. Le but est de réduire R_s avec une extension réduite de recess vers la source et aussi de diminuer G_d et C_{gd} grâce à un recess plus large vers le drain.

Dans ce cas, il a été noté une amélioration significative de $f_{\max}$, par rapport à un recess symétrique, et les longueurs de grille réalisées sont d'environ 50 nm.

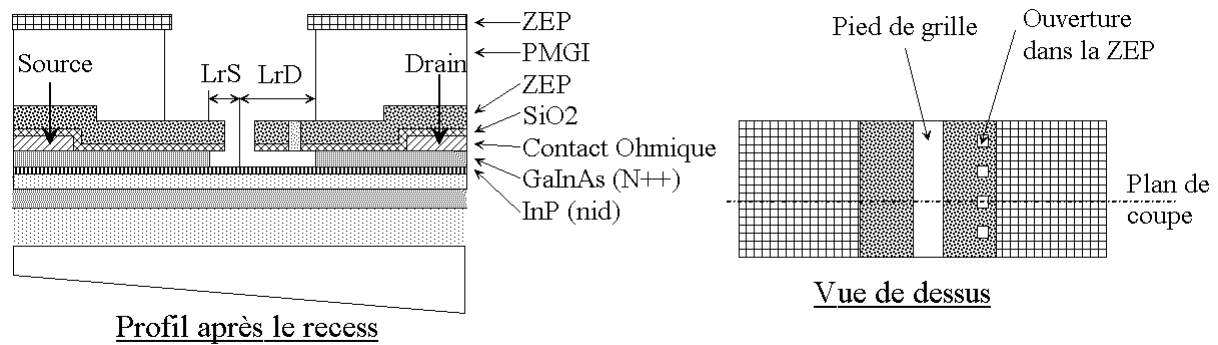


Figure 17 : Procédé de grille avec recess asymétrique

D.2.e.v) Le procédé avec triple recess [37]

Ce procédé utilise une structure de couche avec une couche d'arrêt en InP, et il reprend pour partie, la démarche du procédé exposé au paragraphe ii). C'est à dire un dépôt d'une couche de SiO₂ et d'un tricouche de résine, une écriture/révélation en deux temps.

L'évolution porte sur l'étape de recess, un premier recess à l'acide citrique va graver le cap layer en GaInAs, il s'en suit un second recess avec un plasma d'Argon qui va graver l'InP, de manière anisotrope. Enfin, un troisième recess à l'acide citrique va graver une partie de la barrière en AlInAs. Les longueurs de grille obtenues par ce procédé peuvent atteindre 45 nm.

D.2.f) Conclusion entre les différents procédés de grille

Dans cette partie, nous avons dressé un état des lieux des différents procédés de grille en T existants actuellement. Nous pouvons d'abord relever que le procédé "classique" avec un tricouche de résine (PMMA/Copolymère/PMMA) permet de réaliser des grilles en T jusqu'à des longueurs de pied de 50 nm, mais qu'en deçà aucun résultat n'a été publié à notre connaissance. Pour les longueurs de grille sub-50 nm, les procédés actuels utilisent :

- soit un tricouche ZEP/PMGI/ZEP, qui a des révélateurs sélectifs entre les résines
- soit un diélectrique pour la définition du pied (procédé NTT)

L'autre fait marquant concerne les méthodes de recess pour les longueurs de grille sub-50 nm. Les derniers résultats publiés par NTT et Fujitsu utilisent systématiquement une couche d'arrêt en InP et au moins un double recess (gravure du cap, puis de la couche d'InP).

I.E) Etat de l'art des HEMTs à canaux GaInAs (LM, PM sur InP et métamorphique sur GaAs)

I.E.1) Etat de l'art en fréquence

Dans le Tableau 3, nous avons établi un état de l'art des performances fréquentielles des transistors HEMTs de la filière AlInAs/GaInAs, c'est à dire les HEMTs adaptés en maille sur InP, pseudomorphiques sur InP, et métamorphiques sur GaAs. Dans ce tableau, nous avons aussi reporté des informations complémentaires pour aider à l'analyse de ces résultats.

Le meilleur résultat en f_T est de 562 GHz [2], obtenu par Yamashita en 2002, avec une longueur de grille de 25 nm. La valeur la plus élevée pour f_{max} est de 600 GHz, obtenu par Smith en 1995 [3], puis par C.W. Pobanz en 2002 [49], [50], avec dans chaque cas une longueur de grille de 100 nm. Cependant leur méthode de détermination de f_{max} est basée sur une extrapolation du gain MSG (voir partie I.C.4).

Tableau 3 : Etat de l'art en fréquence de la filière de HEMTs AlInAs/GaInAs

Lg (nm)	Filière	f_T (GHz)	f_{max} (GHz)	Référence	Année	Gm_{dc} (mS/mm)	V_p (V)	C. Ω .		Etch - stop InP	d_B (nm)	d_C (nm)	AR	Remarques
								Type	Rc : $\Omega.mm$					
25	PM 70%	562	330	[2] Fujitsu	2002	1230	$\sim -0,45$	N	0,03- 0,04	Oui	~ 4	12	2,5	Recess double (cf D.2.e.iii)
25	LM	500									~ 4	15	2,2	
30	LM	240	140	[27] NTT	2002	1000	$\sim -0,5$	N		Oui	13	15	1,5	Recess double Lr=50nm Lr=260nm Lr=400nm
		368	368											
		320	540											
30	LM	472		[38] Fujitsu	2002	1420	$\sim -0,8$	N	0,04	Oui	13	15	1,5	Recess simple (D.2.e.ii)
50		450				1550	$\sim -0,75$						2,4	
70		400				1600	$\sim -0,7$						3,4	
45	PM 70%	400	469	[37] Fujitsu	2001	1000	$\sim -0,2$	A	0,09	Oui	5-10	12	3,3	Recess triple (D.2.e.v)
25	LM	396	170- 400	[35], [39], [40] Fujitsu	2001	770	$\sim -0,6$	A	0,15	Oui	15	15	1,1	Recess double (D.2.e.iii)
40		389											1,8	
50	PM 70%	322	281	[36] Fujitsu	2001			(A)	0,1	Oui	19	12	2	Recess symétrique Recess asymétrique (D.2.e.iv)
		307	503											
60	MM 53%	260	490	[41] IEMN	2001	850	-0,8	A	0,15		20	25	1,8	
70	PM 65%	240	470	[42] IEMN	2001	1000	-0,4	A	0,15- 0,2		11,5	10	4,2	
100	PM 60%	210		[43] TRW	2001	1180	~ 0							N-off
35	LM	317		[34] Fujitsu	2000	1000	~ -1	A	0,07	Oui	19	15	1,3	Recess simple (D.2.e.ii)
50	LM	362	170- 300	[33], [44] Fujitsu	2000	910	$\sim -0,8$	A	0,07	Non	< 23	20	>1,5	Recess simple (D.2.e.i)
120	LM	180	300	[45] Univ. Glasgow	1999	440	$\sim -0,8$	A	0,1 - 0,2			20		
70	PM 65%	240	500	[46] TRW	1999	1000	$\sim -0,25$	A		Non		20		

Chapitre I : Etude de HEMT sub-100 nm

30	LM	350	350	[47], [48] NTT	1998	1100	-0,57	N		Oui	13	15	1,5	Recess double
100	PM 80%	250	600 (MSG)	[49], [50] HRL	1998	950		A	0,1					Double plan de dopage
70	LM	300	400	[51], [52] NTT	1998	1100	~ -0,5	N	0,07	Oui	13	15	3,4	Recess double
100	LM	208	460	[53], [54] NTT	1998	912	+0,049	N	0,11	Oui	7,5	15	6,7	N-off; Recess double
100	LM	180	500	[55] NTT	1998	950	- 0,42	N	0,07	Oui	14	15	4,6	Recess simple (Lr=150 nm)
100	MM 30%	160	400	[56], [57], IEMN	1998			A						
100	MM 40%	195		[58] IEMN	1998			A						
300	LM	116	229	[59] Univ. Illinois	1997	697	+ 0,17	A	0,15					N-off
100	LM	189	266	[60] NTT	1996	1000	-0,28	N	0,07	Oui	11,5	12	5,7	Recess simple
100	MM 53%	150	350	[61] Lockheed Martins	1996	1000	~ -0,2	A						
130	MM 32- 52%	160	350	[62] [63] Munchen	1996	600		A	0,22					Canal composite
600	LM	41	61	[64] NTT	1996	1030	~ 0.05	N	0,07					N-off
650	PM 60%	60	160	[65] Ulm	1996	550		A						
500	LM	60	110			530								
80	PM 65%	275		[66] Univ. Glasgow.	1995			A	0,05- 0,2					
200		110												
100	PM 68%	160	600 (MSG)	Lockheed Martins [3]	1995	980								Double-plan de dopage
70	PM 70%	180	350	[68] TRW, U. Michigan	1995	1200	- 0,7	A	0,15					Double- plan de dopage
150		150	310			1000								
50	LM	300	235	[69] NTT	1994	1280	- 0,4	N	0,08	Non	< 27	15	>1,5	
100	PM 60- 80%	305	340	[70] TRW	1994	1550	~ 0	A						Canal graduel
100	PM 60%	240	400	[71] TRW	1993	1300		A						
200	LM	141		[72] Leuven	1993	900	-0,7	A	< 0,1					
50	PM 80%	340	250	[73] HRL	1992	1740	~ -0,4	A						Autoaligné
50	LM	295				1400								
65	PM 80%	305	280	[74] HRL	1992	1700	~ -0,4	A						Autoaligné
150	LM		455	[75] GE	1991	900	~ -0,2	A	0,15					Cap non dopé
150	LM		405	[76] GE	1990	900	~ -0,3	A	0,13					
100	LM	178		[77] HRL	1989	1080		A						
	PM 62%	210				1160								
100	LM	170		[78] HRL	1988	1080		A						
		120				800								
120	MM 50%	117	125	[79] Cornell univ.	1988	585		A	0,02 !					! Fuites buffer
80	LM	250	220- 300	[80] HRL	1990									

LM : HEMT adapté en maille sur InP; **PM** : HEMT pseudomorphique sur InP; **MM** : HEMT métamorphique sur GaAs

A : Contact ohmique allié

N : Contact ohmique non-allié

Etch-stop InP : Présence d'une d'arrêt en InP dans la barrière

d_B : distance grille-canal (épaisseur de barrière)

d_C : Epaisseur du canal

AR (Aspect Ratio) : Rapport d'aspect $AR = L_g / (d_B + d_C / 2)$

Lr : Extension du recess de part et d'autres de la grille

Chapitre I : Etude de HEMT sub-100 nm

Sur la Figure 18, nous avons tracé les fréquences f_T en fonction de la longueur de grille. Il en ressort une légère supériorité des HEMTs pseudomorphiques. Une réduction de la longueur de grille permet toujours d'améliorer cette fréquence de transition, cependant f_T ne suit plus la loi théorique en $1/L_g$. De plus, ces évolutions ne doivent pas masquer les limites technologiques et physiques que tendent à atteindre ces composants, avec une influence de plus en plus forte, des éléments extrinsèques.

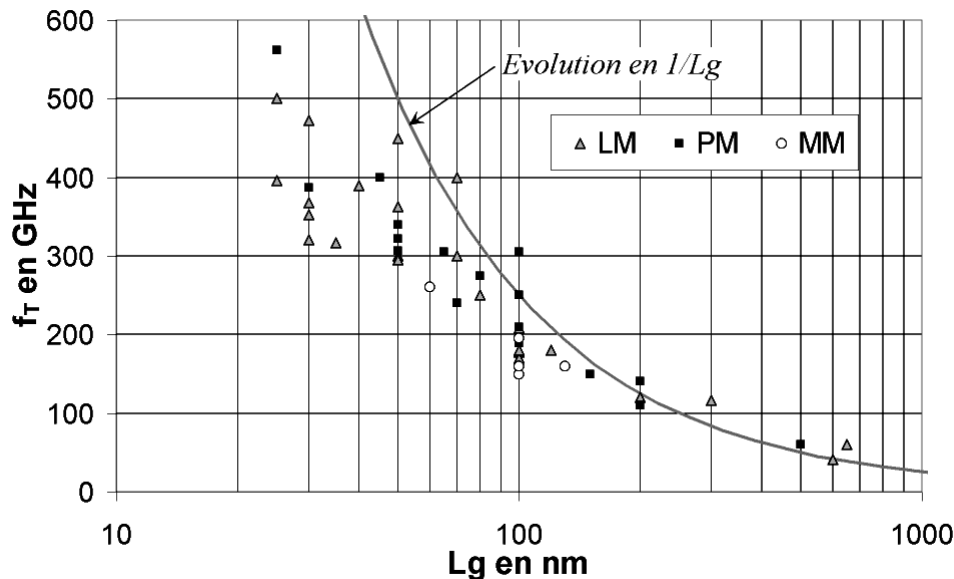


Figure 18 : Etat de l'art pour la fréquence f_T en fonction de la longueur de grille, pour la filière de HEMT AlInAs/GaInAs

Sur la Figure 19, nous avons reporté l'évolution de f_{max} en fonction de L_g . De cette figure il ressort une forte dispersion des valeurs de f_{max} et une "saturation" de f_{max} pour $L_g < 100$ nm.

En effet, si l'on ne tient pas compte du point à 600 GHz pour un L_g de 100nm, qui provient d'une extrapolation du MSG, la valeur maximale du f_{max} est de l'ordre de 500 GHz, et ceci pour une longueur de grille de 100 nm, et évolue peu en deçà de cette dimension.

Ces résultats peuvent s'expliquer, d'un point de vue électrique, par la sensibilité de f_{max} à de nombreux éléments, autres que f_c , tels que G_d , C_{gd} , R_g , R_s ... Et cela se traduit d'un point de vue physique, par une sensibilité de f_{max} au :

- type de recess (simple/double, symétrique/asymétrique) et sa largeur (influence sur G_d , C_{gd} , R_s , R_d).
- rapport d'aspect L_g/a , avec a , distance grille-canal (influence sur G_d , C_{gs}/C_{gd} , G_m/G_d).
- taux d'indium dans le canal (un taux d'Indium élevé favorise f_c , mais dégrade G_d).

Chapitre I : Etude de HEMT sub-100 nm

Ainsi, par exemple Suemitsu [27] et Shinohara [36] ont montré l'importance de la largeur de recess (ou extension) sur $f_{\max}$, avec une amélioration d'un facteur 2 ou plus avec une largeur de recess optimisée.

De ce fait, pour les longueurs de grille inférieures à 100 nm, il devient difficile de trouver des compromis pour améliorer un paramètre, sans en dégrader un autre. Ainsi, même si l'on accroît la fréquence de coupure intrinsèque f_c , la dégradation des autres éléments semble souvent limiter la progression sur $f_{\max}$.

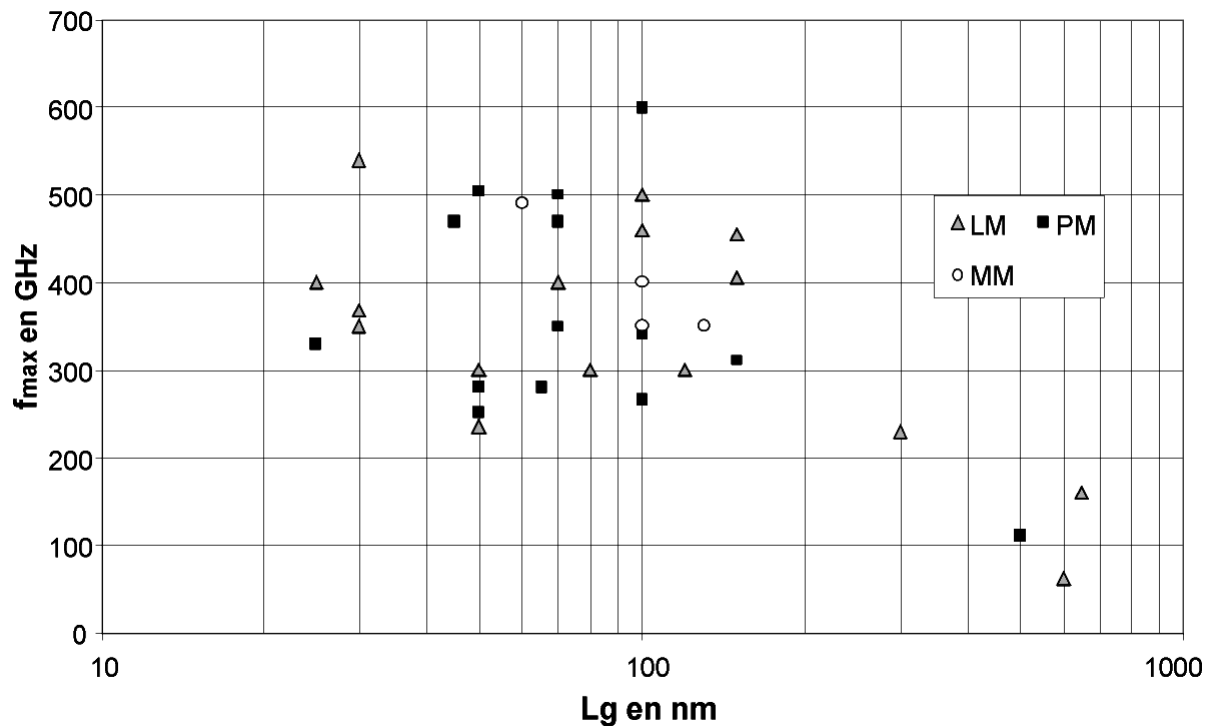


Figure 19 : Etat de l'art pour la fréquence $f_{\max}$ en fonction de la longueur de grille, pour la filière de HEMT AlInAs/GaInAs

I.E.2) Etat de l'art en bruit

Dans le Tableau 4, nous avons dressé un état de l'art en bruit non exhaustif, des HEMTs de la filière AlInAs/GaInAs. A titre de comparaison, nous avons aussi indiqué le meilleur résultat obtenu pour un PHEMT GaAs [81], à 94 GHz.

On peut relever la supériorité des HEMTs de la filière AlInAs/GaInAs, sur ceux de la filière AlGaAs/GaInAs/GaAs (PHEMT GaAs), en terme de facteur de bruit et de gain associé.

Chapitre I : Etude de HEMT sub-100 nm

Tableau 4 : Etat de l'art en bruit de la filière de HEMTs AlInAs/GaInAs

Lg (nm)	Filière	Fréquence (GHz)	NF (dB)	Gass (dB)	Année	Référence
100	PM GaAs	94	2,1	6,3	1990	[81] Tan, TRW
100	PM InP	94	1,4	7	1995	[67] Smith, Lockheed Martins
100	PM InP	94	1,3	8,2	1991	[82] Tan, TRW
150	LM	93	1,7	7,7	1991	[83] Streit, TRW
100	LM	94	1,2	7,2	1991	[84] Duh, GE
150	LM	93	1,4	6,6	1990	[76] Chao, GE
250	LM	94	2,1	6,4	1989	[85] Duh GE
150	LM	60	0,9 passivé	7	1996	[86] T58 Yoshida, Mitsubishi
100	(LM)	63	0,8 passivé	7,6	1994	[87] Kao, Martin Marietta
100	(LM)	62	0,7 non passivé	8,6	1994	[87] Kao, Martin Marietta
100	LM	60	0,8	8,9	1991	[84] Duh, GE
200	LM	60	<0,8	>8,7	1988	[78] Mishra, HRL
100	PM InP	60	1,5	8	1988	[88] Mishra, HRL
100	LM	60	1,3	9,5	1988	[88] Mishra, HRL
150	MM 43%	25	1,18	10,7	2000	[89] Whelan, Raytheon
100	MM 50%	18	0,48	14,2	1997	[90] Kawano, Toshiba
150	LM	18	0,3	17,2	1990	[76] Chao, GE

II -

Chapitre I : Etude de HEMT sub-100 nm

Comment accroître les performances ?

L'amélioration des performances fréquentielles passe d'abord par une réduction de la longueur de grille, mais de nombreux autres éléments vont aussi intervenir. Pour mieux comprendre quels vont être les éléments les plus sensibles sur les valeurs de f_T et f_{max} , nous avons choisi de mener une étude paramétrique sur les expressions analytiques de f_T et f_{max} .

Les intérêts de cette approche analytique sont sa simplicité, sa rapidité et aussi le fait que chaque élément électrique peut être ensuite relié à des données physiques.

Dans une première partie, nous verrons quelles sont les expressions analytiques de f_T et f_{max} connues, et leurs limites. Puis, dans une seconde partie, nous donnerons des expressions de f_T et f_{max} plus précises, permettant de mieux prédire la valeur réelle. Enfin, nous ferons une étude paramétrique pour voir quels sont les points essentiels pour améliorer f_T et f_{max} .

Remarque : Une autre approche pour analyser f_T , consiste à travailler en temporel, avec le "temps de transit total" τ_T , celui-ci étant l'inverse de $(2\pi.f_T)$. Cette approche est choisie par Nguyen [73] et Enoki [91] qui décomposent τ_T en une somme de "délais", correspondant à divers temps de charge et transit. Cette méthode est davantage basée sur des considérations physiques et ne permet pas une approche purement électrique.

II.A) Expressions analytiques de f_T et f_{max} publiées dans la littérature

Nous avons repris les expressions de f_T et f_{max} , les plus connues et employées dans la littérature.

II.A.1) Expressions connues de f_T

L'expression la plus connue pour estimer f_T est donnée par l'équation (26), cependant cette expression est très approximative et ne donne qu'une indication de la valeur réelle.

$$f_T = \frac{Gm}{2.\pi.(Cgs + Cgd + Cpg)} \quad (26)$$

Une expression plus précise de f_T a été établie par Tasker et al. [92], celle-ci est donnée par l'équation (27). Cette formule est plus précise et rend compte de l'influence d'éléments secondaires, tels que R_s , R_d et G_d .

$$f_T = \frac{Gm}{2.\pi.[(Cgs + Cgd).(1 + (Rs + Rd).Gd) + Cgd.Gm.(Rs + Rd)]} \quad (27)$$

Chapitre I : Etude de HEMT sub-100 nm

A titre d'exemple, nous avons comparé en fonction du courant drain-source, les résultats donnés par ces expressions, à des valeurs expérimentales de f_T , sur la Figure 20. Les valeurs expérimentales ont été établies en extrapolant le gain H_{21} mesuré à 20 GHz, par une pente en -20 dB/décade.

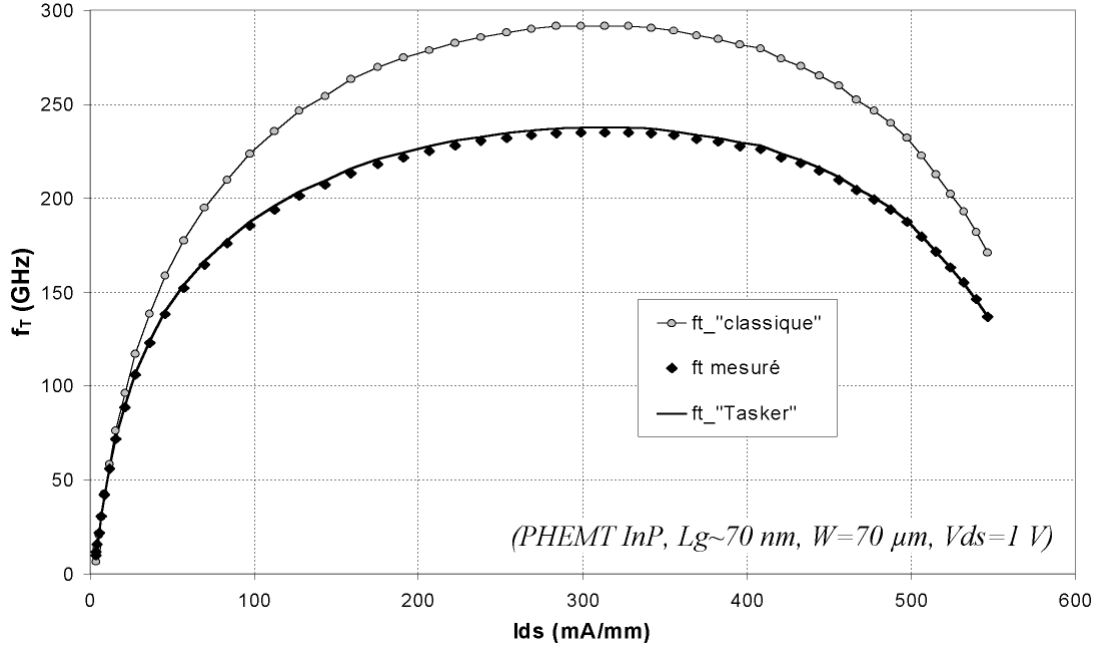


Figure 20 : Comparaison entre le f_T mesuré, le f_T donné par l'expression "classique" (26), et le f_T calculé par l'expression de Tasker (27)

L'expression de Tasker rend parfaitement compte de l'évolution de f_T , toutefois **cette expression ne sera précise qu'à la condition que C_{pg} soit faible**. En effet cet élément n'est pas pris en compte dans son expression, alors qu'il peut avoir une influence importante sur f_T .

Remarque : La fréquence f_T n'est pas une figure invariante par transformation sans pertes, ceci implique que le choix des plans de référence va influencer sur la valeur de f_T . En pratique, des plans de référence (pour les mesures) éloignés des plans d'entrée réels du transistor, vont se traduire par une augmentation de C_{pg} et donc une dégradation de f_T .

II.A.2) Expressions connues de f_{max}

Pour estimer la valeur de f_{max} , l'expression la plus connue est donnée par l'équation (28).

$$f_{\max_1} = \frac{f_C}{2\sqrt{(R_g + R_s + R_i).G_d + 2\pi.f_C.R_g.C_{gd}}} \quad (28)$$

$$\text{avec : } f_C = \frac{G_m}{2\pi.C_{gs}}$$

Chapitre I : Etude de HEMT sub-100 nm

Cependant, dans la littérature, nous avons aussi relevé une autre expression de $f_{\max}$, employée par Strähle [65] et par Shinohara [36], et qui est donnée par l'équation (29) :

$$f_{\max_2} = \frac{f_T}{\sqrt{4.Gd.(Rg + Rs + Ri) + 2.\left(\frac{Cgd}{Cgs}\right).\left(\frac{Cgd}{Cgs} + Gm.(Rs + Ri)\right)}} \quad (29)$$

$$\text{avec } f_T = \frac{Gm}{2.\pi.(Cgs + Cgd)}$$

Comme pour les expressions de f_T , nous avons comparées les expressions (28) et (29) avec des valeurs expérimentales de $f_{\max}$. Les valeurs expérimentales de $f_{\max}$ ont été aussi obtenues par une extrapolation en 20dB/décade du gain U à 20 GHz.

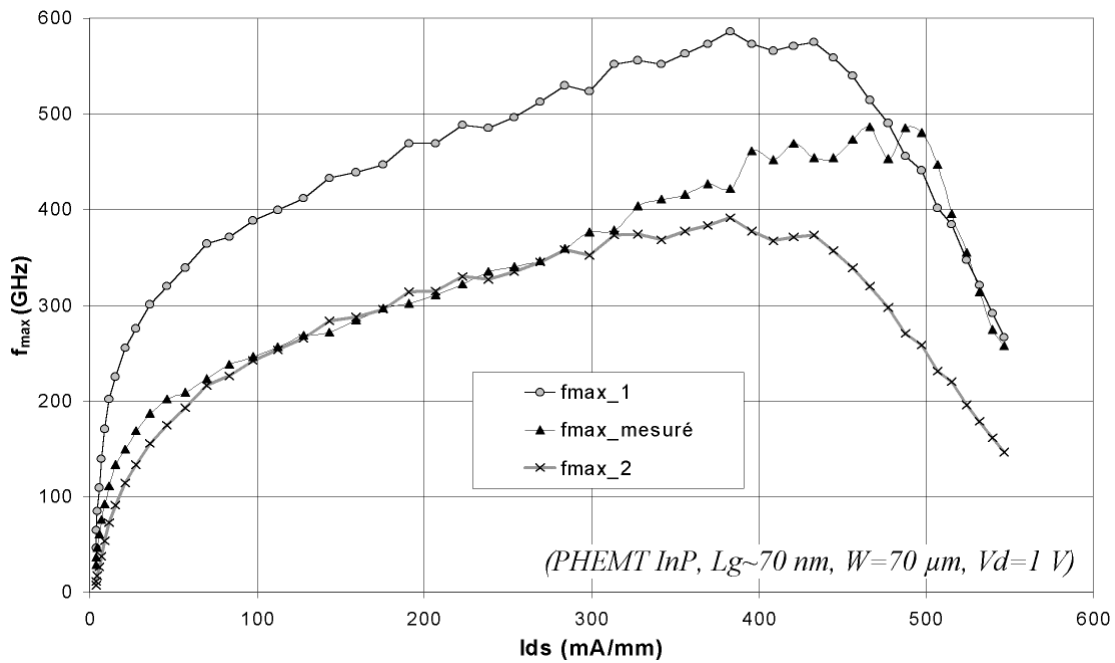


Figure 21 : Comparaison entre $f_{\max}$ "mesuré", et $f_{\max}$ "calculé"

par les expressions (28): " $f_{\max_1}$ " et (29): " $f_{\max_2}$ "

La première expression de $f_{\max}$ (" $f_{\max_1}$ ") surestime largement la valeur réelle de $f_{\max}$, la deuxième expression (" $f_{\max_2}$ ") décrit correctement la valeur expérimentale $f_{\max}$ jusque 300 mA/mm, puis diverge ensuite. Dans les deux cas, les expressions n'arrivent pas à rendre compte précisément de l'évolution de $f_{\max}$, notamment autour de la valeur maximale.

II.B) Expressions améliorées de f_T et $f_{\max}$

II.B.1) Expression améliorée de f_T

Pour tenir compte de l'influence de C_{pg} , dans le cas où elle serait élevée, nous avons recherché une nouvelle expression de f_T . Ce calcul a abouti à l'expression (30), qui est tout à fait semblable à l'expression de Tasker, excepté qu'il y a deux termes supplémentaires pour prendre en compte C_{pg} :

$$f_T = \frac{Gm}{2.\pi.[(C_{gs} + C_{gd} + C_{pg}).(1 + (R_s + R_d).G_d) + C_{gd}.G_m.(R_s + R_d) + C_{pg}.G_m.R_s]} \quad (30)$$

Si l'on dans l'expression ci-dessus, nous ne tenons compte que des principaux termes au dénominateur, nous aboutissons à l'expression suivante :

$$f_T \approx \frac{f_c}{1 + (R_s + R_d).G_d + \frac{C_{gd}}{C_{gs}}.(1 + G_m.(R_s + R_d)) + \frac{C_{pg}}{C_{gs}}(1 + G_m.R_s)} \quad (31)$$

Avec $f_c = \frac{Gm}{2.\pi.C_{gs}}$

Pour évaluer cette expression, nous avons comparé pour un transistor, un f_T "mesuré" au f_T calculé (30). Nous obtenons une erreur d'environ 1% , au maximum de f_T , ce qui est remarquable.

Remarque : Le détail du calcul de f_T est décrit dans l'annexe VII.B), page 108.

II.B.2) Expression améliorée de $f_{\max}$

Les expressions connues de $f_{\max}$ rendent assez mal compte des valeurs réelles de $f_{\max}$, pour cela nous avons établi une expression plus précise, tenant compte des éléments C_d , R_{gd} et τ . Le détail de ce calcul est présenté dans l'annexe VII.A). L'expression obtenue, en partie simplifiée, est donnée par (32) et (33).

$$f_{\max} \approx \frac{Gm}{4.\pi.C_{gs}.\sqrt{G_d.R_t}} \quad (32)$$

$$\text{Avec : } R_t = \left\{ \begin{aligned} &R_i \left(1 + (R_s + R_d)G_d + R_d.G_m \frac{C_{gd}}{C_{gs}} \right) \\ &+ R_{gd} \left(\frac{C_{gd}}{C_{gs}} \right)^2 \left(\frac{G_m}{G_d} (1 + R_s.G_m) + 1 + (R_d + 2.R_s).G_m \right) \\ &+ (R_g.R_s + R_g.R_d + R_s.R_d) \left(1 + \frac{C_{gd}}{C_{gs}} \cdot \frac{G_m}{G_d} \right)^2 .G_d \\ &+ R_g \left(1 + \frac{C_{gd}}{C_{gs}} \right) \left(1 + \frac{C_{gd}}{C_{gs}} \cdot \frac{G_m}{G_d} \right) \\ &+ R_s \left[1 - \frac{G_m}{G_d} \cdot \frac{C_{ds}}{C_{gs}} - 2.\pi.f_c.\tau \right] \\ &+ R_d \cdot \frac{C_{gd}}{C_{gs}} \left(2\pi.f_c.\tau + \frac{G_m}{G_d} \cdot \frac{C_{ds} + C_{gd}}{C_{gs}} \right) \end{aligned} \right\} \quad (33)$$

Cette expression même simplifiée reste lourde, ceci en raison de la dépendance de $f_{\max}$ envers de nombreux paramètres. Pour cerner l'importance de chaque terme de "Rt" (33), dans le Tableau 5 nous avons donné leur poids relatif, dans le cas d'un PHEMT InP au maximum de $f_{\max}$ ($L_g \sim 70$ nm, $W = 70$ μ m, $V_d = 1$ V, $I_d \sim 400$ mA/mm). Il en ressort que chaque terme a une importance équivalente et ne peut être négligé.

Tableau 5 : Exemple du poids relatif de chaque terme de "Rt" dans (33), pour un PHEMT InP ($L_g \sim 70$ nm, $W = 70$ μ m, $V_d = 1$ V, $I_d \sim 400$ mA/mm)

	Rt	Terme "Ri"	Terme "Rgd"	Terme "Rg.Rs+..."	Terme "Rg"	Terme "Rs"	Terme "Rd"
Valeur (Ω)	21,55	3,35	5,4	5,15	6,96	-4,5	5,19
Importance relative (en %)		15,5	25	23,9	32,3	- 20,9	24

Sur la Figure 22, nous avons comparé la valeur de $f_{\max}$ calculé par la nouvelle expression (32) et (33), à $f_{\max}$ "mesuré" (Extrapolation du gain U à 20 GHz par une pente de – 20 dB/décade), dans le cas de l'exemple présenté dans la partie précédente.

Notre expression donne une erreur maximale sur $f_{\max}$ entre 1 et 7%, pour toutes les valeurs du courant I_d s.

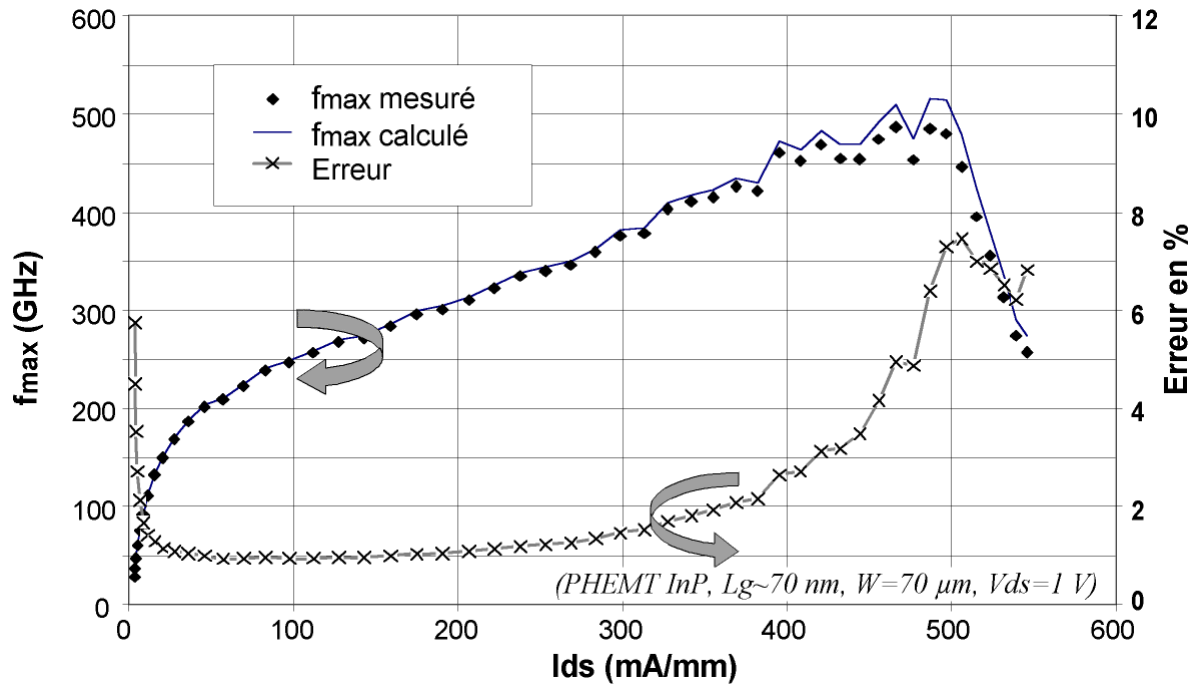


Figure 22 : Comparaison entre le $f_{\max}$ "mesuré" et le $f_{\max}$ "calculé" par notre expression (32)

Remarques : - À noter que si nous avons considéré l'expression de $f_{\max}$ avec tous ses termes, et qui est donnée en annexe, l'erreur maximale sur $f_{\max}$ n'aurait pas dépassé 1,5 %.

- A l'opposé, si l'on se contente d'une précision plus modeste (~ 10 % sur $f_{\max}$), on peut recourir à l'expression (34) qui est une version simplifiée de (33) pour "Rt" et qui donne une erreur sur $f_{\max}$ entre 6 et 14 %, dans notre exemple.

$$Rt2 = \left\{ \begin{aligned} & Ri + Rgd \cdot \left(\frac{Cgd}{Cgs} \right)^2 \cdot \left(\frac{Gm}{Gd} (1 + Rs \cdot Gm) \right) + (Rg \cdot Rs + Rg \cdot Rd + Rs \cdot Rd) \cdot \left(1 + \frac{Cgd}{Cgs} \cdot \frac{Gm}{Gd} \right)^2 \cdot Gd \\ & + Rg \cdot \left(1 + \frac{Cgd}{Cgs} \cdot \frac{Gm}{Gd} \right) + Rs \cdot \left[1 - \frac{Gm}{Gd} \cdot \frac{Cds}{Cgs} - 2 \cdot \pi \cdot f_c \cdot \tau \right] \\ & + Rd \cdot \frac{Cgd}{Cgs} \cdot \left(2 \cdot \pi \cdot f_c \cdot \tau + \frac{Gm}{Gd} \cdot \frac{Cds + Cgd}{Cgs} \right) \end{aligned} \right\} \quad (34)$$

II.C) Etude en sensibilité sur f_T et f_{max} , comment faire mieux ?

Dans cette partie, nous avons réalisé une étude en sensibilité sur f_T et f_{max} , en fonction des différents éléments du schéma équivalent. L'objectif sera de dégager les principaux éléments à optimiser pour améliorer les figures f_T et f_{max} . L'intérêt sera ensuite de répercuter ses conclusions sur des données physiques (couche, recess,...), en utilisant les liens qui existent entre éléments électriques et données physiques. Cependant notre étude s'est généralement limitée à des variations décorrélées, ce qui en pratique n'est pas toujours possible.

II.C.1) Etude en sensibilité sur f_T

Si l'on considère l'expression littérale de f_T , établie par Tasker (27), ou celle que nous avons établie (30), f_T dépend en premier lieu de f_C , C_{gd} (ou C_{gs}/C_{gd}), et C_{pg} , mais aussi de R_s , R_d , G_m et G_d . La question qui se pose alors est de savoir dans quelle mesure, ces éléments vont-ils influencer f_T ?

Dans une première partie, nous verrons donc quelle est la sensibilité de f_T aux différents éléments, dans le cas où f_C reste constante (Lg constante et matériau fixe). Puis dans une deuxième partie, nous ferons une étude prospective sur les limites que pourraient atteindre f_T , pour des longueurs de grille nanométriques.

Pour l'ensemble des simulations présentées, nous avons utilisé l'expression de f_T donnée par (30).

C.1.a) Etude en sensibilité de f_T , à f_C constant

L'intérêt de s'intéresser à la sensibilité de f_T à f_C fixe, sera d'évaluer les progrès possibles pour f_T , sans recourir à une réduction de Lg, ni modifier le matériau du canal (<v>), qui sont les deux principaux facteurs fixant f_C (cf relation (1)).

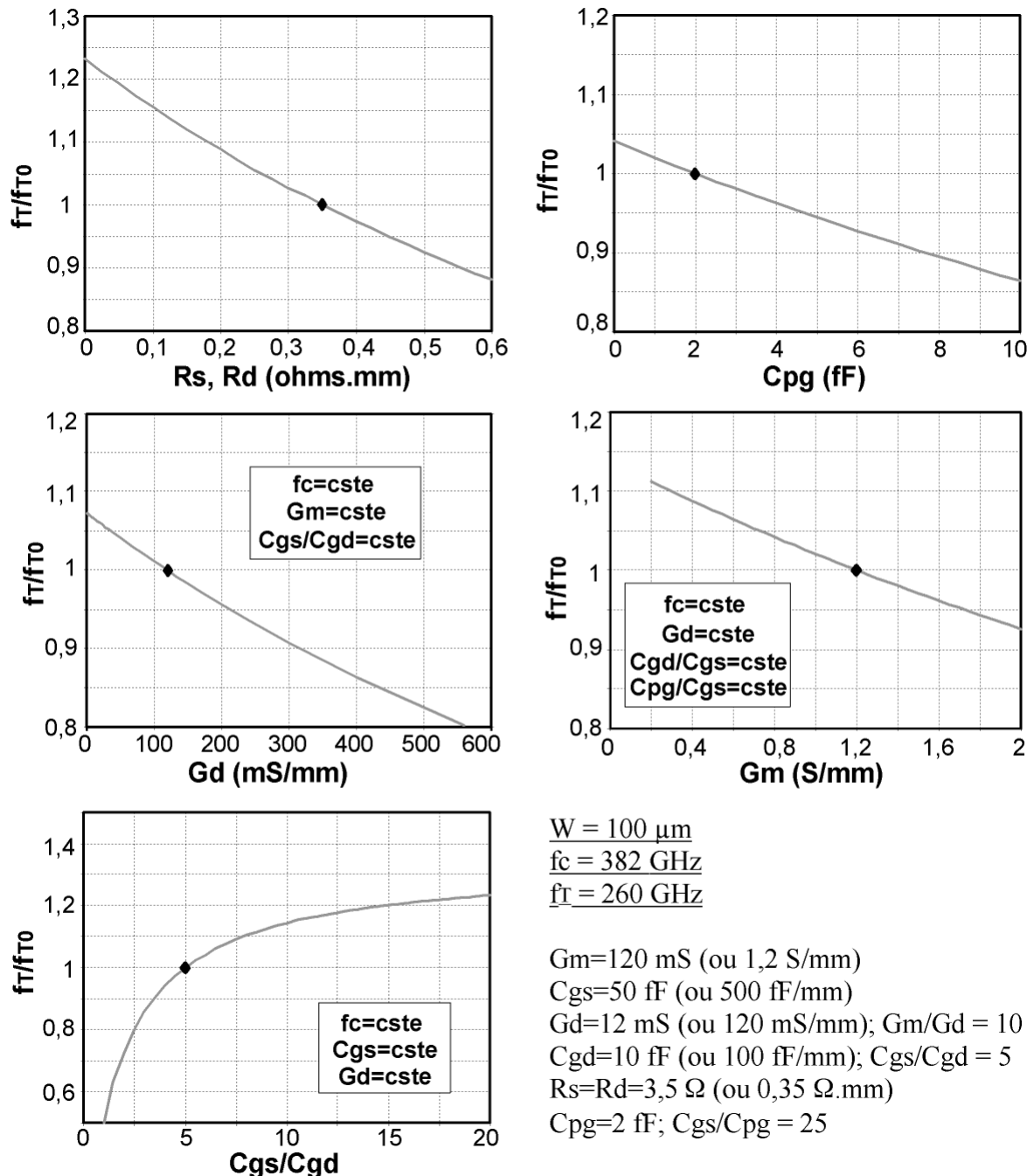
Sur la Figure 23, nous avons simulé successivement l'influence sur f_T de R_s - R_d , C_{pg} , G_m , G_d et C_{gd} . Pour étudier l'influence de ces différents éléments, nous avons défini un schéma équivalent, proche d'un composant existant, de **développement 100 μm** , et de longueur de grille 90 nm. Par commodité, nous avons pris des valeurs identiques pour R_s et R_d .

De ces simulations il ressort, par exemple que :

- Si l'on réduit R_s et R_d de 0,4 à 0,2 $\Omega\cdot\text{mm}$, l'amélioration sur f_T peut atteindre 11 %
- Si C_{pg} passe de 3 à 1 fF, on gagne près de 4 % sur f_T
- Si le rapport C_{gs}/C_{gd} passe de 5 à 10, on améliore f_T de 14 %.

Chapitre I : Etude de HEMT sub-100 nm

- Si G_m croît de 1 à 1,5 S/mm, à f_c constant, G_d et C_{gs}/C_{gd} fixes, nous observons une diminution de f_T de 5 % (cas d'une réduction de l'épaisseur de barrière, **sans** amélioration des autres paramètres).
- Si G_d décroît de 120 à 60 mS/mm (augmentation de G_m/G_d de 10 à 20), on peut espérer une amélioration de seulement 3,5 % sur f_T .

Figure 23 : Sensibilité de f_T à R_s - R_d , C_{pg} , G_m , G_d , et C_{gd}

Il apparaît donc que f_T sera surtout sensible (en dehors de f_c) au rapport C_{gs}/C_{gd} et aux résistances R_s et R_d .

Chapitre I : Etude de HEMT sub-100 nm

Remarque : Un fait surprenant est la diminution de f_T , lorsque G_m augmente, **mais à f_C et C_{gs}/C_{gd} fixes**. Cette évolution s'explique par le terme " $G_m.(R_s + R_d).C_{gd}/C_{gs}$ " au dénominateur de l'expression de f_T (31). Toutefois, les conditions de la simulation sont particulières, elles correspondraient au cas d'une réduction de l'épaisseur de barrière (à L_g fixe). Cependant dans ces conditions, nous pourrions aussi attendre une amélioration du rapport C_{gs}/C_{gd} et de G_d , qui apporterait un effet positif pour f_T , supérieur à l'effet négatif dû à l'augmentation du G_m .

C.1.b) Evolution de f_T , en fonction de L_g , à structure de couche "fixe"

Le facteur essentiel pour améliorer f_T , reste bien sûr d'accroître f_C ($f_C = G_m/(2.\pi.C_{gs})$). Cette fréquence f_C est directement liée à la longueur de grille, L_g , par la relation :

$$f_C \approx \frac{\langle v \rangle}{2.\pi.(L_g + \Delta L)} \quad (35)$$

Où $\langle v \rangle$ est la vitesse moyenne des électrons sous la grille et ΔL est l'extension de la longueur de grille correspondant aux effets de bord.

Dans cette partie, nous avons réalisé une extrapolation sommaire de f_T vers les longueurs de grille nanométriques, pour des **HEMTs adaptés en maille sur InP, et à structure de couche "fixe"**. Le but sera d'évaluer l'évolution de f_T , dans le cas où l'on n'effectue une réduction de la longueur de grille, sans ajuster la structure de couche.

Pour cette simulation, nous avons utilisé les valeurs du schéma équivalent d'un composant de longueur de grille 100 nm réalisé sur une couche "standard" (cf partie III) et des hypothèses d'extrapolations en L_g :

1°) Nous supposons que la réduction de la longueur de grille va en premier lieu réduire la capacité C_{gs} , proportionnellement à la longueur de grille effective.

2°) La conductance de drain G_d , sera le 2^{ième} élément sensible à L_g , et nous supposons que son évolution est inversement proportionnelle à la longueur de grille effective, comme l'a montré Braunstein [96] ($G_d \propto 1/(L_g + \Delta L)$).

3°) Les éléments G_m et C_{gd} seront supposés invariants avec L_g , car la structure de couche reste identique et que C_{gd} est essentiellement une capacité de bord, donc peu sensible à L_g .

Les valeurs choisies pour $\langle v \rangle$ et ΔL sont respectivement de $2,6.10^7$ cm.s⁻¹ et 25 nm, celles-ci ont été déduites de transistors de longueurs de grille différentes et sont conformes aux valeurs relevées dans la littérature. Les valeurs de G_m et C_{pg} sont respectivement de 120 mS et 1 fF ($W = 100$ μ m), la valeur de G_d est de 80 mS/mm pour $L_g = 100$ nm et la valeur de C_{gs} sera déduite par la relation (35), connaissant G_m .

Chapitre I : Etude de HEMT sub-100 nm

Sur la Figure 24, nous avons tracé l'évolution de f_T (L_g), pour différentes valeurs de C_{gd} et de R_s - R_d .

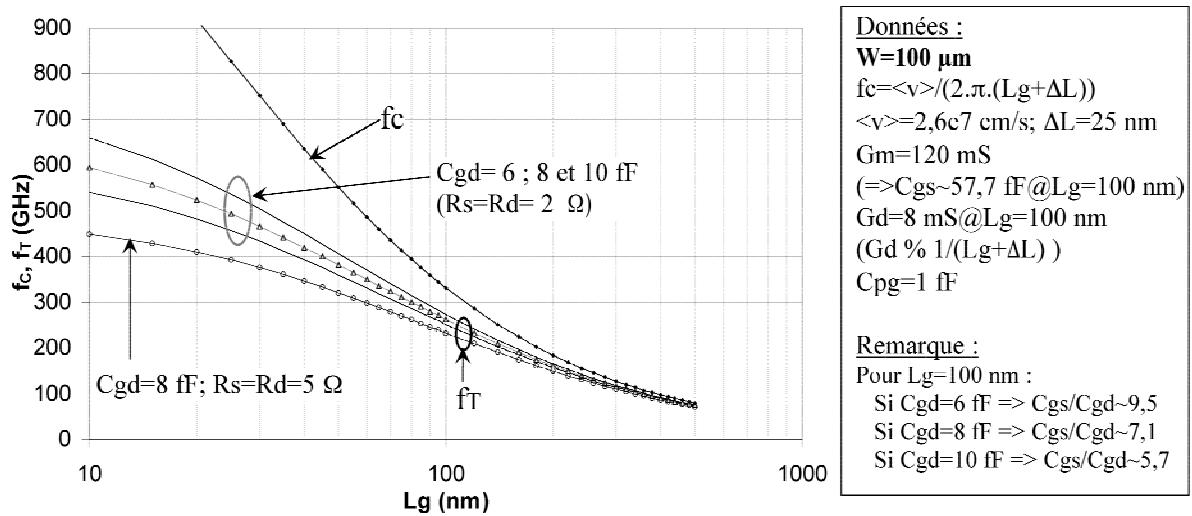


Figure 24 : Evolution de f_T (L_g) simulée, à structure de couche fixe ($W = 100 \mu m$)

Sur cette courbe, nous relevons une forte sensibilité de f_T aux résistances R_s et R_d , pour les longueurs de grille courtes. Le deuxième point est que la progression sur f_T devient de plus en plus limitée pour les longueurs de grille décanométriques, mais qu'elle semble possible jusqu'à $L_g = 10$ nm.

Nous observons aussi un écart très important entre la valeur de f_c et celle de f_T , pour les longueurs de grille inférieures à 50 nm. Cette différence s'explique principalement par la dégradation du rapport C_{gs}/C_{gd} et de G_d , ces derniers paramètres étant directement liés au rapport d'aspect du composant. Ce dernier point souligne la nécessité d'adapter la structure de couche avec la réduction de L_g , pour conserver un rapport d'aspect élevé.

Toutefois, la validité de notre simulation sera limitée de par la précision de notre modèle.

II.C.2)

Etude sur $f_{\max}$

Ce paragraphe est décomposé en cinq parties qui abordent différents aspects de $f_{\max}$:

- "Considérations générales", où nous ferons quelques remarques sur l'expression de $f_{\max}$ concernant trois points : l'importance des termes du "second ordre", l'influence particulière de Cds et Tau, et enfin des remarques qualitatives pour accroître $f_{\max}$.
- "Etude en sensibilité", où nous verrons quelle est la sensibilité de $f_{\max}$ aux éléments du schéma équivalent
- "Etude en fonction du développement de grille, W"
- "Etude en fonction de Lg, à structure de couche fixe "
- "Conclusion"

A noter que l'ensemble de cette partie s'appuie sur l'expression littérale de $f_{\max}$ (32), donnée au paragraphe II.B.2). **Cette expression a été établie en considérant uniquement les termes d'ordre 2, au dénominateur de U.**

C.2.a) Considérations générales

Si l'on reprend la formulation simplifiée de $f_{\max}$, donnée ci-dessous, il se dégage plusieurs informations que nous allons développer dans les paragraphes ci-dessous.

$$f_{\max} \approx \frac{f_c}{2} * \left\{ \begin{aligned} & Ri.Gd + Rgd \cdot \left(\frac{Cgd}{Cgs} \right)^2 \cdot Gm.(1 + Rs.Gm) \\ & + (Rg.Rs + Rg.Rd + Rs.Rd) \left(Gd + Gm \cdot \frac{Cgd}{Cgs} \right)^2 + Rg \cdot \left(Gd + Gm \cdot \frac{Cgd}{Cgs} \right) \\ & + Rs \cdot \left[Gd - Gm \cdot \frac{Cds}{Cgs} - Gd \cdot 2\pi \cdot f_c \cdot \tau \right] + Rd \cdot \frac{Cgd}{Cgs} \cdot \left(Gd \cdot 2\pi \cdot f_c \cdot \tau + Gm \cdot \frac{Cds + Cgd}{Cgs} \right) \end{aligned} \right\}^{-1/2} \quad (36)$$

C.2.a.i) Importance des éléments Rgd, Tau (τ) et Cds

Dans l'expression de $f_{\max}$ que nous avons établie, les éléments nouveaux sont la prise en compte de Rgd, Cds et Tau. Ces éléments qui sont considérés comme secondaires pour le schéma équivalent ont en fait un rôle déterminant sur la valeur de $f_{\max}$.

Sur la Figure 25, nous avons calculé la valeur de $f_{\max}$, dans le cas de l'exemple précédent (Figure 22), pour différentes configurations :

- Schéma équivalent complet
- Schéma équivalent sans Rgd
- Schéma équivalent sans Cds
- Schéma équivalent sans Tau
- Schéma équivalent sans Rgd, Cds et Tau

De ces courbes, il se dégage que chaque élément joue un rôle significatif pour $f_{\max}$, et ne pourra être négligé.

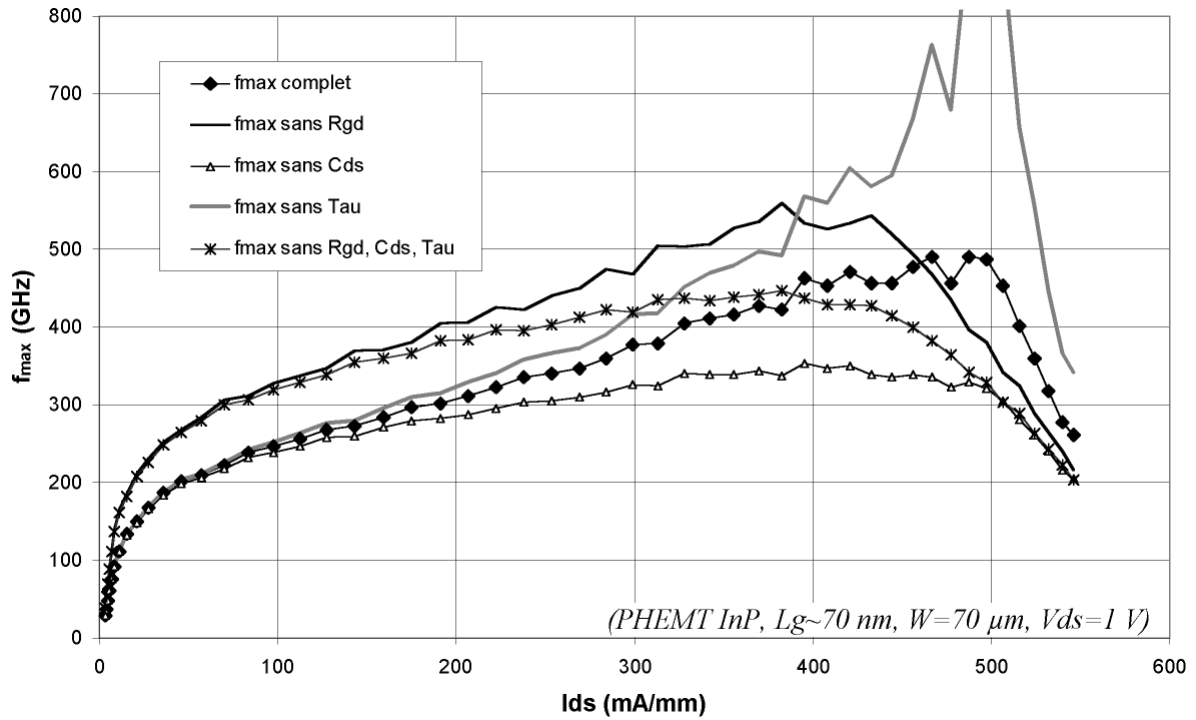


Figure 25 : Importance des termes R_{gd} , C_{ds} et τ sur $f_{\max}$

A noter aussi que la détermination de R_{gd} et τ , est souvent entachée d'une forte incertitude, ce qui peut entraîner une erreur importante sur $f_{\max}$.

C.2.a.ii) Remarque sur l'influence de C_{ds} et de τ

Si l'on reprend l'expression analytique de $f_{\max}$ donnée par (36), un élément surprenant est le signe négatif associé à " C_{ds} " et " τ ", dans le terme " R_s " ($-R_s G_m \frac{C_{ds}}{C_{gs}}$ et $-R_s G_d 2\pi f_C \tau = -R_s \frac{G_m G_d \tau}{C_{gs}}$). Ce signe négatif traduit un effet de réaction positive de ces éléments avec R_s .

Donc, en théorie, si l'on accroît les valeurs de C_{ds} et τ , selon l'expression (36) nous pourrions espérer une augmentation de $f_{\max}$. Cependant notre expression de $f_{\max}$ a été établie en négligeant tous les termes d'ordre supérieur à 2 au dénominateur de l'expression de U (cf annexe VII.A), page 106). Or les termes d'ordre supérieur à 2, liés à C_{ds} et τ tendront à avoir rapidement une influence significative, si C_{ds} et τ sont élevés.

Chapitre I : Etude de HEMT sub-100 nm

Ainsi même si C_{ds} et τ permettent une augmentation de U en "basses fréquences" (terme d'ordre 2 dominant), la décroissance plus rapide de U en fin de bande, ne laisse pas espérer d'amélioration réelle de f_{max} .

Un exemple illustre cette remarque sur la Figure 26. Sur cette figure, nous avons calculé, le gain unilatéral d'un schéma équivalent petit signal, en fonction de la fréquence, et pour différentes valeurs de C_{ds} et τ que nous pouvons rencontrer. Pour ce calcul, nous avons utilisé le schéma équivalent donné Figure 6, à partir duquel nous avons calculé les gains sous le logiciel de simulation ADS (Advanced Design System) d'Agilent.

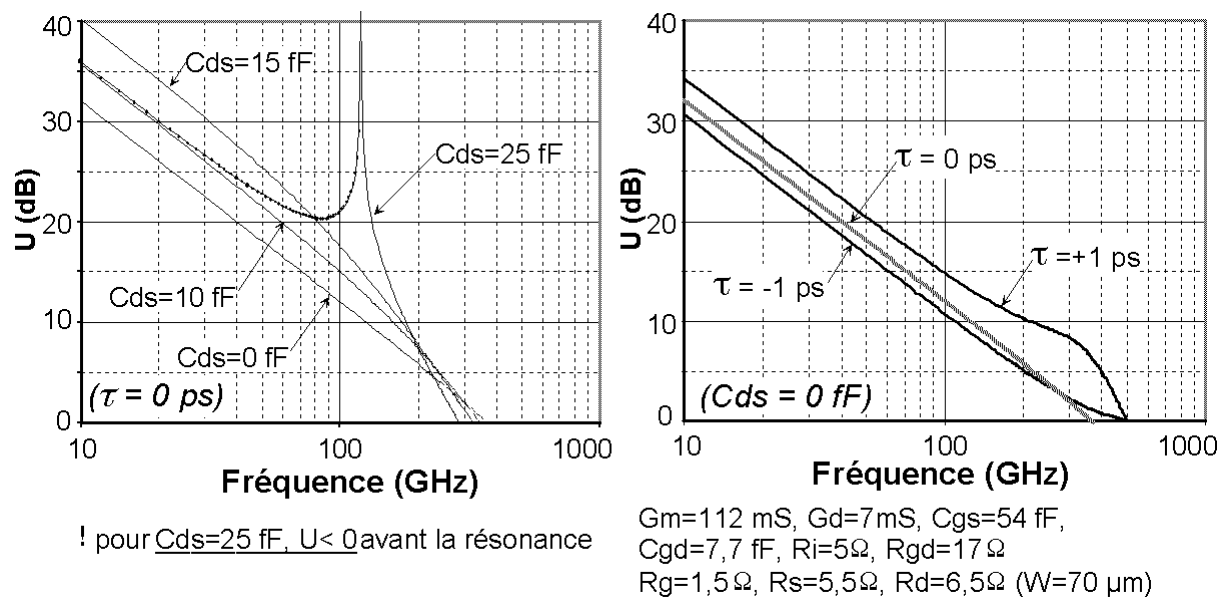


Figure 26 : Influence de C_{ds} et τ sur le gain unilatéral

Nous observons bien une augmentation de U en basses fréquences lorsque C_{ds} ou τ augmentent (excepté $C_{ds}=25$ fF). Cependant, nous observons ensuite une chute plus prononcée de U en fin de bande, qui fait que la valeur "réelle" de f_{max} se dégrade lorsque C_{ds} augmente. Dans le cas, où C_{ds} vaut 25 fF, valeur qui peut parfois se rencontrer ($C_{gs}/C_{ds} \sim 2$), nous avons même un gain unilatéral **négatif** en "basse fréquence".

Ceci traduit en fait une prédominance du terme " $-R_s.G_m.C_{ds}/C_{gs}$ " sur tous les autres termes au dénominateur de (36). Cette valeur négative de U traduit en fait, un cas particulier où le gain unilatéral n'est pas réellement définissable. En effet, le gain unilatéral est défini comme le gain maximum que l'on peut obtenir après "unilatérisation" ($S_{12}'=0$, $Z_{12}'=0\dots$) du quadripôle, avec une contre-réaction sans pertes [21], [22]. Cependant, le gain U **ne sera définissable qu'à la condition qu'après "unilatérisation", nous ayons des termes R_{11}' et R_{22}' positifs**, et dans ce cas, U vaudra :

$$U = \frac{|Z_{21}|^2}{4.R_{11}'.R_{22}'} \quad (37)$$

Ici pour la valeur de $C_{ds}=25$ fF et avant la "résonance" (Figure 26), nous sommes donc dans un cas particulier où R_{11}' sera négatif, donc U ne peut être défini.

Ce comportement avec une résonance de U à cause de C_{ds} , a déjà été relevé par Rohdin [93], et va dépendre des valeurs de R_s , de G_m et de C_{ds}/C_{gs} .

Il apparaît enfin que l'influence de τ est moindre que C_{ds} , mais que les termes d'ordre élevés (en f), provoquent malgré tout, une évolution atypique de U .

C.2.a.iii) Analyse qualitative de l'expression de f_{max}

Si nous analysons l'expression de f_{max} (36), pour améliorer cette figure il faut :

- Réduire les résistances
- Accroître f_c
- Réduire G_d
- Augmenter le rapport C_{gs}/C_{gd}
- Et de manière générale, réduire les produits de la forme : $R_x.G_m.(C_{gd}/C_{gs})^{(1 \text{ ou } 2)}$ et $R_x.G_d$. Ceci implique de ne pas trop accroître la valeur de G_m , à f_c fixe (cas d'une diminution de l'épaisseur de barrière).

Cette analyse reste générale, seule une analyse quantitative permet d'avoir une vision plus précise sur les éléments à optimiser en priorité.

C.2.b) Etude en sensibilité, à **développement (W) constant**C.2.b.i) Définition d'un schéma équivalent

Pour étudier l'influence de chaque élément sur $f_{\max}$, nous avons défini dans le Tableau 6, un schéma équivalent "type", inspiré d'un composant réel. Nous avons pris par défaut des valeurs nulles pour Cds et Tau, étant donné leurs influences particulières.

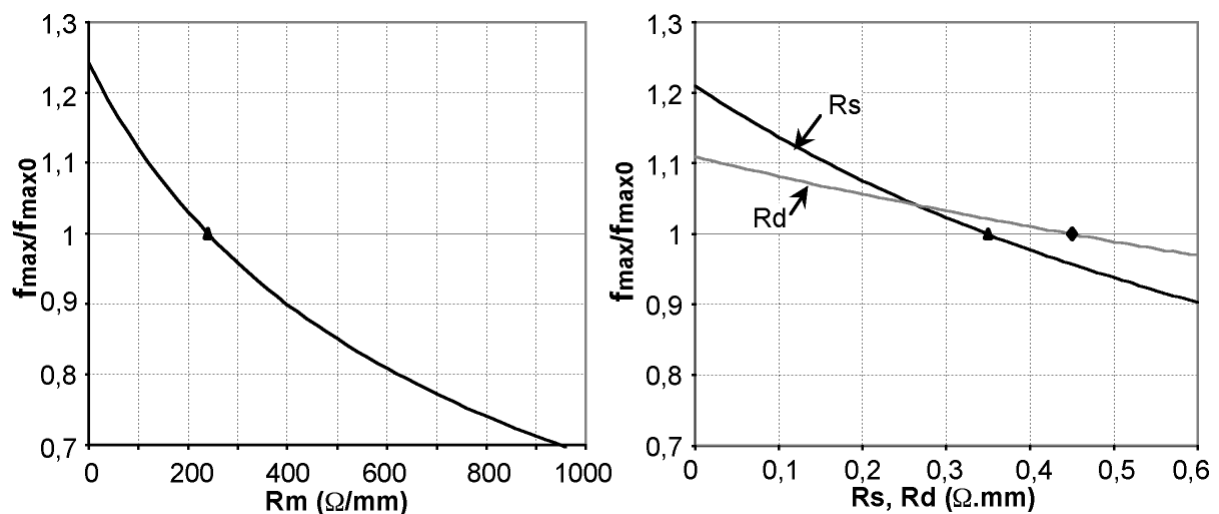
Tableau 6 : Schéma équivalent utilisé pour l'étude en sensibilité

W (μm)	Gm	Gd	Cgs	Cgd	Cds	Ri	Rgd
100	1600 mS/mm	100 mS/mm	770 fF/mm	110 fF/mm	0	0,35 Ω.mm	1,2 Ω.mm
Tau	Rg	Rs	Rd	f _c	Gm/Gd	Cgs/Cgd	f _{max0}
0	2 Ω (Rm=240Ω/mm)	0,35 Ω.mm	0,45 Ω.mm	331 GHz	16	7	315 GHz

($R_g = \frac{R_m.W}{3.n^2}$, Rm : résistance métallique de grille, n : nombre de doigts de grille, ici n =2)

C.2.b.ii) Etude sur les éléments extrinsèques (Rs, Rd, Rg)

Sur la Figure 27, nous avons calculé successivement, $f_{\max}$ en fonction de Rg, Rs, et Rd, avec l'expression littérale de $f_{\max}$. Même si l'influence de chaque élément pris séparément reste modeste, la combinaison de ces éléments aura un poids significatif. Par exemple, si l'on compare un cas où les extrinsèques seraient médiocres (Rm= 500 Ω/mm (Rg = 4,2 Ω), Rs=0,5 Ω.mm et Rd=0,5 Ω.mm), à un cas où les extrinsèques seraient "bons" (Rm= 200 Ω/mm (Rg=1,7 Ω), Rs=0,2 Ω.mm, Rd=0,2 Ω.mm), on aurait respectivement un $f_{\max}$ de 255 et 375 GHz, soit une amélioration de près de 50 % sur $f_{\max}$.

Figure 27 : Sensibilité de $f_{\max}$ aux éléments extrinsèques

Chapitre I : Etude de HEMT sub-100 nm

C.2.b.iii) Etude sur les éléments intrinsèques à f_c fixe

Sur la Figure 28, nous avons simulé l'influence sur $f_{\max}$, des éléments intrinsèques R_i , R_{gd} , G_m , G_d , et C_{gd} , et ceci à f_c **constant** ($L_g = \text{constante}$).

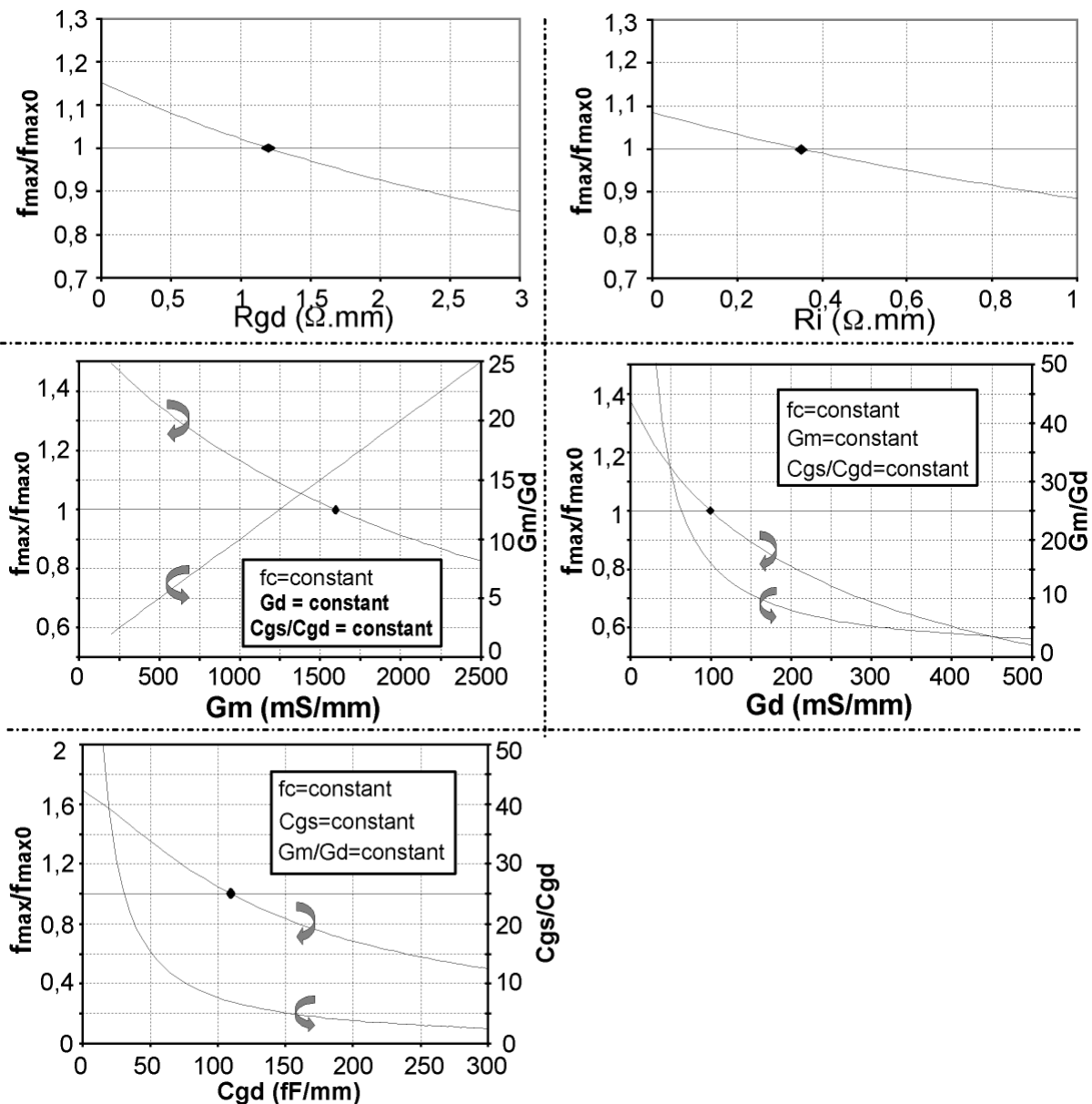


Figure 28 : Influence des éléments intrinsèques sur $f_{\max}$, (à $f_c = \text{constante}$)

De ces simulations se dégagent plusieurs informations :

- R_i et R_{gd} ont une influence moins forte que les autres éléments, mais les valeurs de ces éléments peuvent varier dans de fortes proportions, par exemple R_{gd} peut évoluer de 0 à + 3 $\Omega \cdot \text{mm}$.

- En faisant varier G_m , **sans modifier f_C** , G_d et C_{gs}/C_{gd} , nous avons simulé le cas d'une réduction de la distance grille-source, sans amélioration de G_d et C_{gs}/C_{gd} . Il ressort qu'une augmentation de G_m seul, à f_C constant, dégrade f_{max} . Cependant, ce cas reste purement hypothétique, car en pratique la réduction de la distance grille-source entraîne aussi une réduction de G_d et une augmentation de C_{gs}/C_{gd} , qui sont deux phénomènes positifs pour f_{max} et vont dominer sur l'accroissement de G_m .
- **G_d et C_{gd} sont les éléments qui ont l'influence la plus forte sur f_{max} . Leur réduction sera le principal enjeu pour accroître f_{max} .**

C.2.b.iv) Etude sur les éléments G_m et C_{gs} (f_C variable)

Sur la Figure 29, nous avons simulé une variation de G_m et C_{gs} , en conservant les autres éléments constants. L'augmentation de G_m pourrait se rapporter à un cas où l'on améliore les propriétés de transport du canal (v_{sat}), à L_g fixe. Et la variation sur C_{gs} pourrait correspondre à une variation sur la longueur de grille, sans modification des autres paramètres.

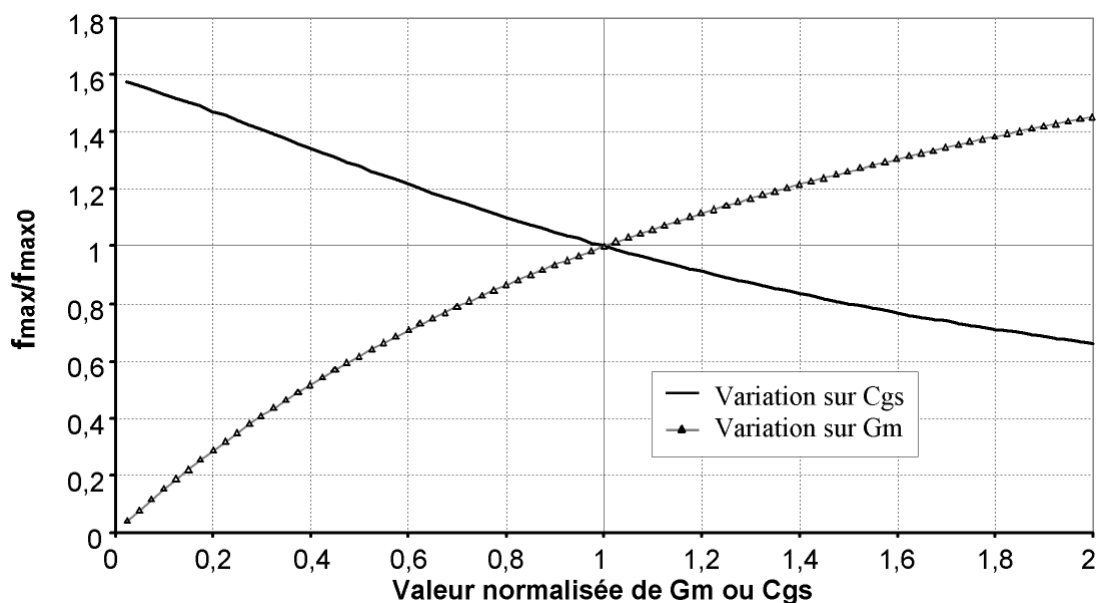


Figure 29 : Influence de C_{gs} et G_m sur f_{max} (les autres éléments étant fixes)

De cette simulation, il ressort plusieurs informations :

- Si l'on divise C_{gs} par 2, ce qui correspondrait à doubler f_C , l'amélioration de f_{max} ne sera que d'environ 28 % !
- De même si l'on double G_m , ce qui donnerait aussi un doublement de f_C , l'amélioration de f_{max} ne sera que de 45%.

- Enfin, si l'on annule C_{gs} , l'amélioration sur f_{max} plafonnera à 60 %.

En conclusion, une amélioration de f_c seul (par G_m ou C_{gs}) ne profite que partiellement à f_{max} , à tel point qu'une diminution de C_{gd} de 50 % peut être plus profitable pour f_{max} , que la même diminution sur C_{gs} .

C.2.c) Influence du développement de grille (W) sur f_{max}

Pour étudier l'influence du développement de grille W sur f_{max} , il nous faut connaître l'évolution des différents éléments en fonction de W . Pour cela, nous avons repris les lois générales d'échelles données dans le Tableau 2, (page 21).

Cependant, les éléments R_g et C_{gd} ne suivent pas toujours une évolution classique en W , comme nous le verrons au § IV.B.2) (page 90). Expérimentalement, nous avons parfois relevé pour R_g une quasi-invariance de R_g en fonction de W , voire une évolution du style : " $R_g(W) = R_{g0} + r_{g1}.W + r_{g2}/W$ ". En ce qui concerne C_{gd} son évolution est de la forme " $C_{gd}(W) = c_{gd0} + c_{gd1}.W$ ", avec $c_{gd0} \sim 1$ fF. Ces évolutions ont déjà été rapportées dans la littérature, notamment par Rohdin [94] - [95], en ce qui concerne R_g .

Sur la Figure 30, nous avons donc étudié l'évolution de $f_{max}(W)$, dans différents cas :

- Cas 0 : Evolution "classique" des éléments ($R_g \% W$ et $C_{gd} \% W$) : cas idéal
- Cas n° 1 : Evolution avec $C_{gd} = c_{gd1}.W + c_{gd0}$, et $c_{gd0} = 1$ fF, ($R_g \% W$)
- Cas n° 2 : Evolution de $R_g \% 1/W$ (cas limite)
- Cas n° 3 : Evolution avec $C_{gd} = c_{gd1}.W + c_{gd0}$, et $R_g = R_0.(W/W_0 + W_0/W)$, ($R_0=1 \Omega$, $W_0=100\mu m$)
- Cas n° 4 : Evolution avec $C_{gd} = c_{gd1}.W + c_{gd0}$, et $R_g \% 1/W$

Les deux cas s'approchant le plus de la réalité sont les cas 1 et 3, les autres cas constituent des cas idéaux ou limites.

Si tous les éléments suivent une évolution "classique", le choix le plus favorable pour f_{max} sera de prendre un développement le plus court possible. Des autres cas étudiés, nous pouvons conclure que :

- **Si R_g suit une loi "pessimiste" en $1/W$ (cas n° 2), alors f_{max} devient indépendant de W .**

Chapitre I : Etude de HEMT sub-100 nm

- Si C_{gd} comprend une partie constante (cas n° 1), même faible (1 fF), il y a apparition d'un optimum en W pour f_{max} . Et cette partie constante entraîne par exemple, pour $W = 25 \mu m$, une dégradation de 17 % sur f_{max} , par rapport au cas idéal (cas 0).
- Dans le cas n° 3 qui combine une partie constante pour C_{gd} , et une évolution de R_g incluant une fraction "en W " et une fraction "en $1/W$ ". Il existe toujours un développement optimum, pour f_{max} .
- Dans le dernier cas (n° 4), combinant une partie constante pour C_{gd} , et une évolution de R_g strictement en $1/W$, les développements longs semblent plus favorables. Toutefois ce cas n'est pas physiquement réaliste et constitue un cas limite.

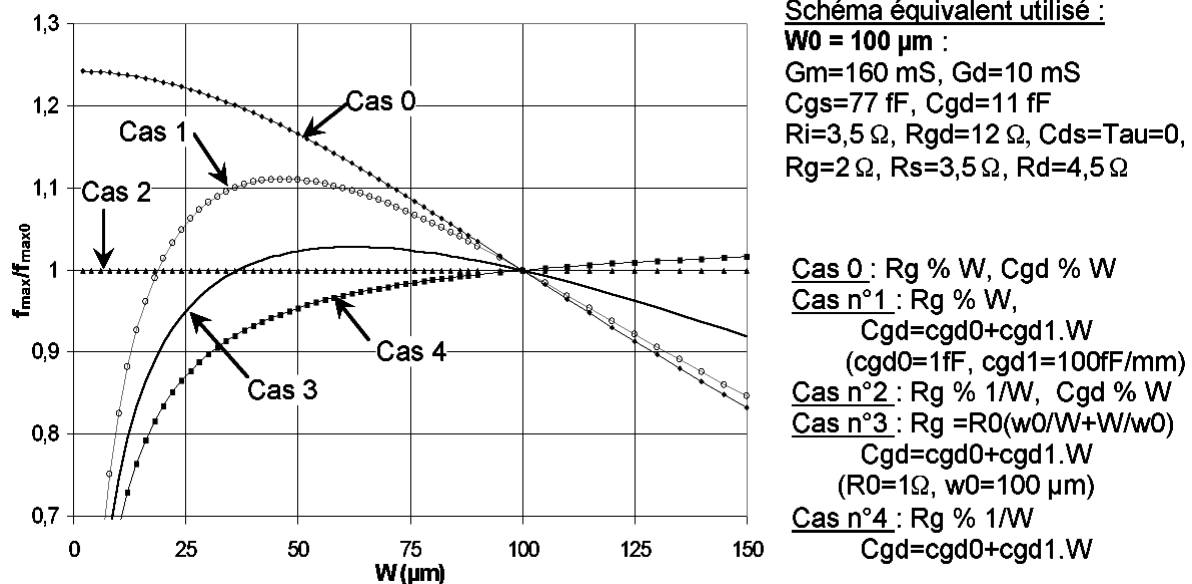


Figure 30 : Evolution de f_{max} en fonction du développement de grille (W)

La principale information, qui se dégage de ces simulations est qu'un développement de grille court ne sera pas forcément un choix judicieux pour f_{max} , et qu'il pourra exister un développement optimum pour f_{max} .

Cependant toutes ces questions sur l'évolution de R_g et C_{gd} avec W , restent encore aujourd'hui très ouvertes, et aucune conclusion définitive ne peut être donnée.

C.2.d) Evolution de f_{max} en fonction de L_g , à structure de couche fixe

La réduction de la longueur de grille est l'un des enjeux majeurs pour améliorer f_T . Dans ce paragraphe, nous verrons dans quelle mesure une réduction de L_g peut améliorer f_{max} . Nous nous limiterons à une étude en fonction de L_g , à structure de couche fixe.

Pour notre étude, il faut connaître les lois d'évolution des différents éléments en fonction de L_g . Pour cela, nous avons établi quelques lois semi-empiriques sur l'évolution des principaux éléments, basées sur :

- Les conclusions d'un article de Braunstein [96], concernant l'influence du rapport d'aspect sur G_d .
- Sur des modèles de transistors de longueurs de grille différentes, réalisés sur le même substrat

Braunstein et al. ont étudié l'influence du rapport d'aspect ($= L_g/a$, a : épaisseur de barrière) sur G_d et F_T , pour des composants PHEMTs GaAs ayant des longueurs de grille entre 0,1 et 1 μm . Ils en ont conclu que G_d évoluait quasi linéairement avec a/L_g , jusque $L_g=0,1 \mu m$.

Dans le Tableau 7, nous avons reporté le schéma équivalent de deux HEMTs de longueurs de grille 70 et 90 nm, réalisés sur le même substrat, polarisés à $V_{ds} = 0,8 V$ et au même courant I_d (maximum du G_m). Nous avons aussi indiqué *pour information*, le schéma équivalent du HEMT de $L_g=90$ nm, à la même polarisation en V_{gs} , que le HEMT 70nm ($I_d \neq$).

Tableau 7 : Schémas équivalents de deux HEMTs de longueurs de grille 70 et 90 nm, à

 $V_{ds}=0,8V$ et $I_d=300$ mA/mm ($W=100\mu m$) (Op 10605/1; tr. 0/2_2x50n1 et 1/1_2x50n4)

L_g (nm)	I_d (mA/mm)	V_{gs} (V)	G_m (mS/mm)	G_d (mS/mm)	C_{gs} (fF/mm)	C_{gd} (fF/mm)	C_{ds} (fF/mm)	R_i (Ω)	R_{gd} (Ω)	τ (ps)
70	300	-0,2	1180	175	437	86,6	63	3,5	~ -20	$\sim -0,2$
90	300	-0,12	1260	150	572	94	53	4,7	~ -17	$\sim -0,2$
	235	-0,2	1249	132	581	86	35	4,4	~ -15	$\sim -0,2$
L_g (nm)	I_d (mA/mm)	R_g (Ω)	R_s (Ω)	R_d (Ω)	f_c (GHz)	f_{max} (GHz)	G_m/G_d	C_{gs}/C_{gd}	$^1 AR$	$^2 L_{geff}$
70	300	5,8	3,7	4,9	430	331	6,7	5	2,6	96
90	300	5	3,5	5	351	295	8,4	6,1	3,3	118
	235				342	304	9,5	6,8		121

¹ AR (Aspect Ratio): Rapport d'aspect = L_g/a , avec a : distance grille - milieu de canal

² L_{geff} : Longueur de grille effective que l'on définira par $L_{geff} = \langle v \rangle / (2 \cdot \pi \cdot f_c)$ avec $v \sim 2,6 \cdot 10^5$ m.s⁻¹

Chapitre I : Etude de HEMT sub-100 nm

De ce tableau, nous pouvons remarquer que la réduction de la longueur de grille influence en premier lieu C_{gs} et G_d , puis G_m et C_{gd} . Nous ne tiendrons pas compte des évolutions de R_i , R_{gd} et τ étant donné les fortes incertitudes sur ces éléments. A noter que la diminution de G_m et la dégradation de G_d avec L_g , peuvent s'expliquer par la dégradation du rapport d'aspect.

Pour réaliser une simulation de f_{max} en fonction de L_g , nous avons établi deux niveaux de modélisation :

- un premier modèle où l'on suppose que
 - G_m et $C_{gd} \sim \text{constant}$
 - $G_d = G_{d0} \cdot (L_{g0}/L_g)$
 - $C_{gs} = C_{gs0} \cdot (L_{g_{eff}}/L_{g0_{eff}})$
- un deuxième modèle plus précis, où :
 - $G_m \sim G_{m0} - K_1 \cdot (L_{g0} - L_g)$
 - $C_{gd} = C_{gd0} - K_2 \cdot (L_{g0} - L_g)$
 - $G_d \sim G_{d0} \cdot (L_{g0}/L_g)^{K_3}$
 - $C_{gs} = C_{gs0} \cdot (L_{g_{eff}}/L_{g0_{eff}})$

$L_{g0_{eff}}$ et $L_{g_{eff}}$ correspondent à des longueurs de grille "effectives", pour tenir compte des effets de bord ($L_{g_{eff}} = L_g + \Delta L$, avec $\Delta L \sim 25$ nm).

Nous prenons comme modèle de référence le transistor avec $L_g \sim 90$ nm, à $I_d = 300$ mA/mm, dans le Tableau 7. Les constantes K_1 , K_2 et K_3 sont déduites de l'évolution entre les deux transistors et valent : $K_1 \sim 4$ mS/(mm.nm), $K_2 \sim 0,37$ fF/(mm.nm) et $K_3 \sim 0,6$.

Sur la Figure 31, nous avons tracé l'évolution de f_{max} en fonction de L_g pour les deux modèles. L'évolution de f_{max} est sensiblement la même pour les deux modèles. Comme l'on pouvait s'y attendre, la réduction de L_g ne permet pas une forte amélioration de f_{max} . Cette évolution est principalement liée à la dégradation de G_d et du rapport C_{gs}/C_{gd} , avec la réduction de L_g .

Ces deux paramètres étant directement liés au rapport d'aspect du composant, ils démontrent la nécessité d'optimiser la structure de couche avec la réduction de L_g . Afin de garder un rapport d'aspect élevé, et permettre une amélioration significative de f_{max} .

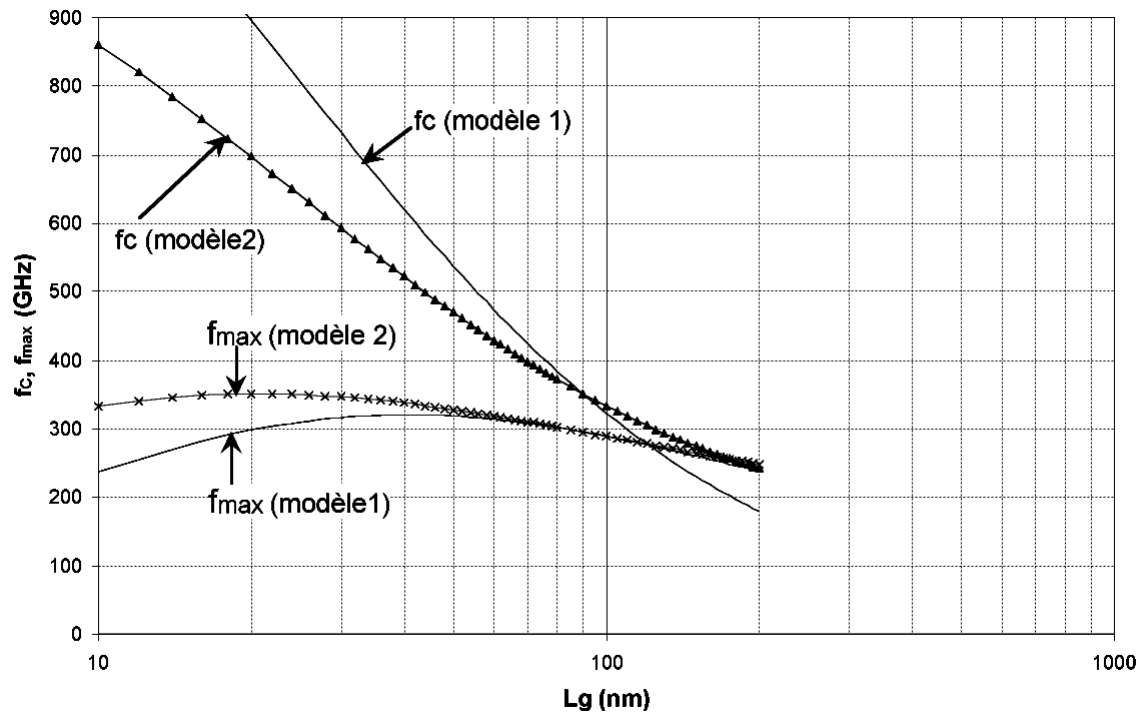


Figure 31 : Evolution de f_{max} en fonction de L_g , pour un HEMT dont la structure de couche resterait fixe.

Remarque : les modèles choisis sont semi-empiriques et basés sur des considérations qualitatives. De plus, leur précision sera limitée, car les longueurs de grille sont connues à ± 5 nm.

C.2.e) Conclusions sur l'étude en sensibilité de $f_{\max}$

Pour conclure cette partie, nous avons vu que :

- $f_{\max}$ était sensible à de nombreux éléments du schéma équivalent, et que des éléments parfois jugés secondaires (Rgd, Tau, Cds) auront une influence significative.
- Une valeur élevée de Cds ou Tau provoque une augmentation de U en "BF", par réaction positive, mais $f_{\max}$ n'est pas réellement améliorée.
- Une forte sensibilité de $f_{\max}$ aux éléments extrinsèques Rg, Rs et Rd. Nous avons observé jusque 50% de différence sur $f_{\max}$, entre des extrinsèques de "faibles" valeurs et "élevées".
- Une réduction de la longueur de grille, à structure de couche fixe, ne permet pas une amélioration significative de $f_{\max}$.
- **Une progression sur $f_{\max}$ passera en partie, par une réduction de la longueur de grille, mais surtout par un rapport Cgs/Cgd élevé, une conductance de drain Gd faible. Ces paramètres sont directement liés au rapport d'aspect du composant et à un recess optimisé.**

Un point qui n'a été pas abordé, mais qui serait intéressant d'explorer, est l'influence de la géométrie du composant sur $f_{\max}$. Ce point concerne par exemple, l'espace Source-Drain, le positionnement de la grille entre les contacts ohmiques (éloignement du drain), la géométrie des accès (réduire couplage grille – drain)...

Enfin, pour des études plus prospectives, il serait intéressant de disposer de modèle plus précis d'évolution des éléments en fonction de Lg, voire en fonction de la structure de couche. Ceci par exemple, afin de réaliser une extrapolation fiable de $f_{\max}$ en fonction de la longueur de grille, ou pour rechercher la longueur de grille optimale, ou encore trouver les meilleurs compromis sur la structure de couche.

III -

Chapitre I : Etude de HEMT sub-100 nm

Etude et réalisation de HEMTs sur InP de longueur de grille 70 nm

III.A) Introduction

La troisième partie de ce chapitre aborde le travail réalisé pour l'obtention de HEMTs de longueur de grille 70nm optimisés en f_T et f_{max} . Ce travail a par ailleurs été présenté dans plusieurs communications [42], [97].

Dans une première partie, nous discuterons de l'optimisation de la structure de couche pour la réalisation de composants de longueur de grille décananométriques. Dans une seconde partie nous aborderons les points de technologie qu'il a fallu optimiser pour ces composants. Enfin dans une troisième nous présenterons les résultats obtenus pour des HEMTs de longueur de grille 70nm.

III.B) Optimisation de la structure de couche

III.B.1) Introduction – structure de couche "standard"

Sur la Figure 32, nous avons représenté la structure de couche utilisée pour la réalisation de HEMT de longueur de grille 100 nm. Cette couche sera dite "standard" dans la suite du paragraphe.

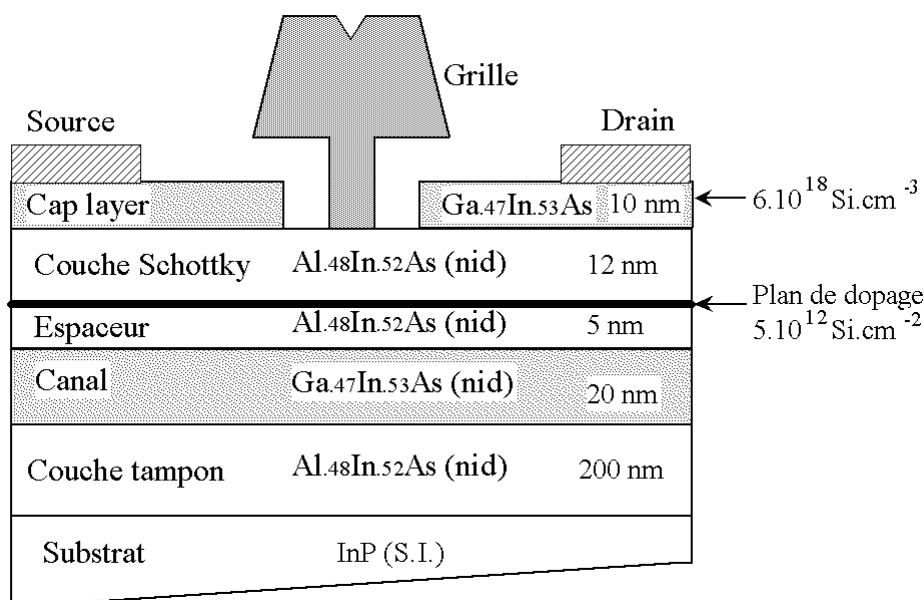


Figure 32 : Structure de couche "standard", pour des HEMTs de $L_g=100 \text{ nm}$

Cette structure de couche a un rapport d'aspect, L_g/a de 3,7 (avec a : distance grille - **milieu de canal**), ce qui sera satisfaisant pour cette longueur de grille. Cependant si l'on souhaite réduire la longueur de grille à 50 nm, le rapport d'aspect ne vaudra plus que 1,8. Dans ces conditions, nous pouvons craindre l'apparition d'effets de canal court, et ne pas avoir d'améliorations réelles des performances. Une première étape avant la réalisation de HEMTs de $L_g = 50$ nm a donc été de définir une nouvelle structure de couche.

III.B.2) Etude d'une structure de couche, pour HEMT de longueur de grille 50 nm

La réduction de la longueur de grille des structures à effet de champ, doit toujours s'accompagner d'une réduction de la distance grille-électrons dans le canal, afin de conserver un rapport d'aspect supérieur à 5. Un rapport d'aspect élevé permettra d'éviter les phénomènes de canal court qui se traduisent par une diminution de la tension de pincement, une augmentation de G_d et une diminution des rapports C_{gs}/C_{gd} et G_m/G_d . Ces considérations sur le rapport d'aspect d'un HEMT sont abordées dans de nombreux articles, et notamment dans des articles de Nguyen [73], Enoki [30], Awano [98], pour ne citer que quelques références.

Pour définir une structure optimisée la difficulté sera de trouver les bons compromis entre un rapport d'aspect correct et diverses limitations physiques. Pour les limitations à prendre en compte, nous pouvons relever :

- Le risque de courant tunnel au travers de la barrière.
- L'accroissement des niveaux d'énergies quantiques dans le canal (et par conséquence aussi une diminution de n_s).
- La diminution de la mobilité dans le canal avec la réduction de l'espaceur.
- L'augmentation de l'influence des états de surface dans la zone recessée sur la densité électronique dans le canal.

Pour répondre à ces diverses contraintes, la structure de couche que nous avons retenu est présentée sur la Figure 33, par la suite, nous emploierons le terme de couche "optimisée" pour la nommer. Cette structure a été optimisée en collaboration avec J. Mateos de l'Université de Salamanque, lequel a réalisé des simulations monte-carlo [97], pour valider le choix de cette structure.

Chapitre I : Etude de HEMT sub-100 nm

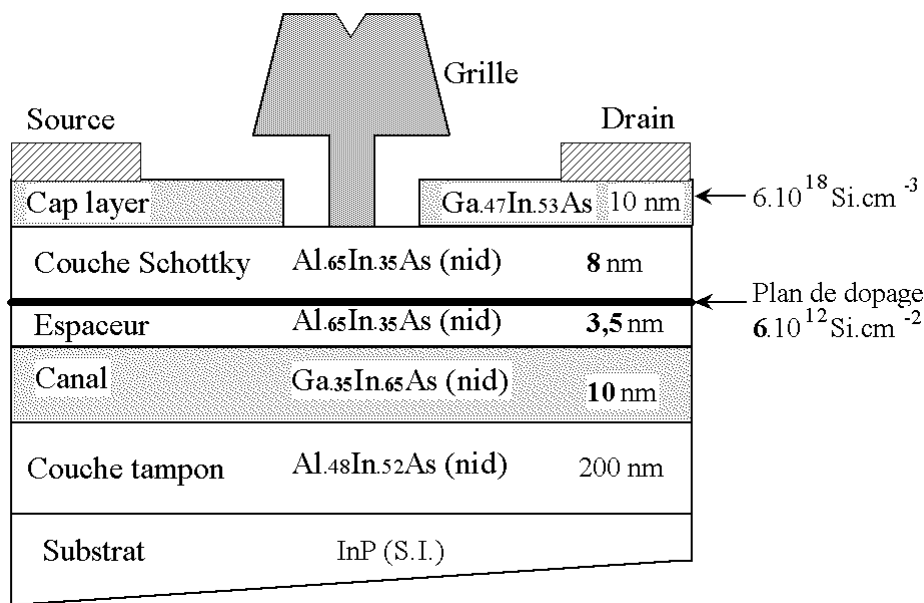


Figure 33 : Structure de couche "optimisée"

Tableau 8 : Paramètres physiques des structures de couche "standard" et optimisée"

	Eg Barrière (eV)	Eg Canal (eV)	m*/m ₀ Canal	ΔEc (eV)	1 ^{er} niveau d'énergie dans le canal*, E ₀ (meV)	2 ^{ème} niveau d'énergie dans le canal*, E ₁ (meV)
Couche "standard"	1,49	0,75	0,041	0,52	15	53
Couche "optimisée"	1,84	0,65	0,037	0,82	33	167

ΔEc est la discontinuité de la bande de conduction entre la barrière et le canal

* Les niveaux d'énergie dans le canal ont été calculés au pincement ($n_s \sim 1.10^{15} \text{ e}^- \cdot \text{cm}^2$)

Les évolutions de cette nouvelle structure par rapport à la structure "standard" porte sur différents points :

- Le taux d'indium dans le canal a été augmenté jusque 65 %, afin d'améliorer la mobilité, sans toutefois trop dégrader Gd. En effet, Gd tend à se détériorer lorsque le taux d'indium croît, à cause de l'ionisation par impact, apparaissant dans les matériaux à faible gap.
- Le taux d'Aluminium dans la barrière a été porté à 65 %, pour deux raisons :
 - Accroître la discontinuité de bande de conduction entre canal et barrière (ΔEc). Ce qui permettra d'améliorer le confinement des électrons dans le canal (donc Gd), accroître n_s , et limiter le courant tunnel
 - Augmenter le potentiel ϕ_B de la schottky, et ainsi permettre une excursion en tension de grille positive, plus importante.

Chapitre I : Etude de HEMT sub-100 nm

- Nous avons réduit l'épaisseur du canal de 20 à 10 nm, pour améliorer le rapport d'aspect et réduire Gd. Dans le Tableau 8, nous avons reporté pour chaque structure, la valeur des deux premiers niveaux d'énergies dans le canal, qui seront principalement occupés par les électrons. Ces résultats ont été obtenus avec le logiciel HELENA, développé par H. Happy [99]. L'évolution du premier niveau reste faible, cependant celle du 2^{ième} niveau est plus significative. Cependant ce point n'est pas gênant car ces composants sont destinés à fonctionner à faible courant ($\Rightarrow$ faible bruit) et l'augmentation de la discontinuité de la bande de conduction (ΔE_c) compense largement l'élévation des premiers niveaux. Enfin, Enoki a par ailleurs montré qu'il serait à priori possible de réduire l'épaisseur du canal jusque 75 Å, tout en conservant un confinement correct des électrons dans le canal [30].
- L'épaisseur de l'espaceur a été réduite à 3,5nm, une épaisseur plus fine aurait pour effet négatif de réduire la mobilité dans le canal. Par exemple, Nguyen a montré que si l'on réduisait l'espaceur de 6 à 2 nm, la mobilité pouvait chuter de 10050 à 7800 cm²/V.s [73].
- Le plan de dopage a été augmenté à 6.10^{12} Si.cm⁻² pour limiter l'influence des états de surface dans la zone recessée, sur la densité électronique dans le canal. En effet, une simulation monte-carlo sur la Figure 34, montre l'évolution du courant Id en fonction Vgs pour différentes valeurs de dopage de la nouvelle structure, ainsi que le courant de la structure standard. Cette simulation montre l'importance d'augmenter la valeur du dopage pour conserver un courant satisfaisant. Toutefois, il faut veiller à ne pas trop l'augmenter, sinon la structure risque d'avoir une conduction parasite dans le plan de dopage.
- L'épaisseur de la barrière a été réduite jusque 8 nm. Cette épaisseur avec celle de l'espaceur devrait être suffisante pour éviter l'apparition d'un courant tunnel. Il est généralement admis que l'épaisseur minimale de barrière (barrière + espaceur), pour limiter ce courant, est d'environ 10 nm [30], [73], mais celle-ci va aussi dépendre du plan de dopage [30].

Le rapport d'aspect de la couche optimisée sera supérieur à 3 ($L_g=50\text{nm}$), contre 1,8 avec la couche standard, dans ces conditions nous pouvons espérer une amélioration sensible des performances, surtout concernant f_{max} .

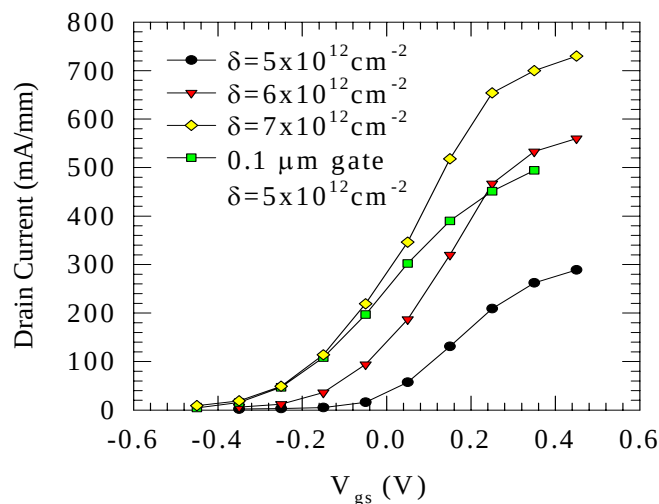


Figure 34 : Courant I_d (V_{gs}), pour la structure "standard" avec $L_g=100\text{nm}$ (carré) et pour différentes valeurs de dopage de la structure optimisée ($L_g=50\text{ nm}$) : $5 \times 10^{12} \text{ cm}^{-2}$ (cercles), $6 \times 10^{12} \text{ cm}^{-2}$ (triangles) and $7 \times 10^{12} \text{ cm}^{-2}$ (losanges).

III.C) Technologie du HEMT sub-100nm

Le procédé de fabrication des HEMTs reprend pour une grande partie l'expérience acquise au laboratoire, à travers différentes thèses. Notre travail a été d'adapter ce procédé pour la réalisation de HEMTs de longueur de grille sub-100 nm.

Les transistors réalisés ont utilisé le masque 4AS, dessiné par V. HOËL. Ce masque a pour caractéristiques de proposer des transistors de différents développements, avec deux doigts de grille disposés "PI", et des accès coplanaires.

La réalisation des transistors, se déroule ici en cinq grandes étapes :

- Dépôt des marques d'alignements
- Isolation par gravure "Mésa"
- Dépôt et recuit des contacts ohmiques
- Lithographie de grille, recess et dépôt de la grille en T
- Dépôt des plots d'épaississements

Dans cette partie, nous exposerons les points de technologie qu'il nous a fallu revoir, le procédé détaillé est par ailleurs donné dans l'annexe VII.C), page 110. A titre d'exemple, la Figure 35 montre des photographies MEB d'un transistor terminé.

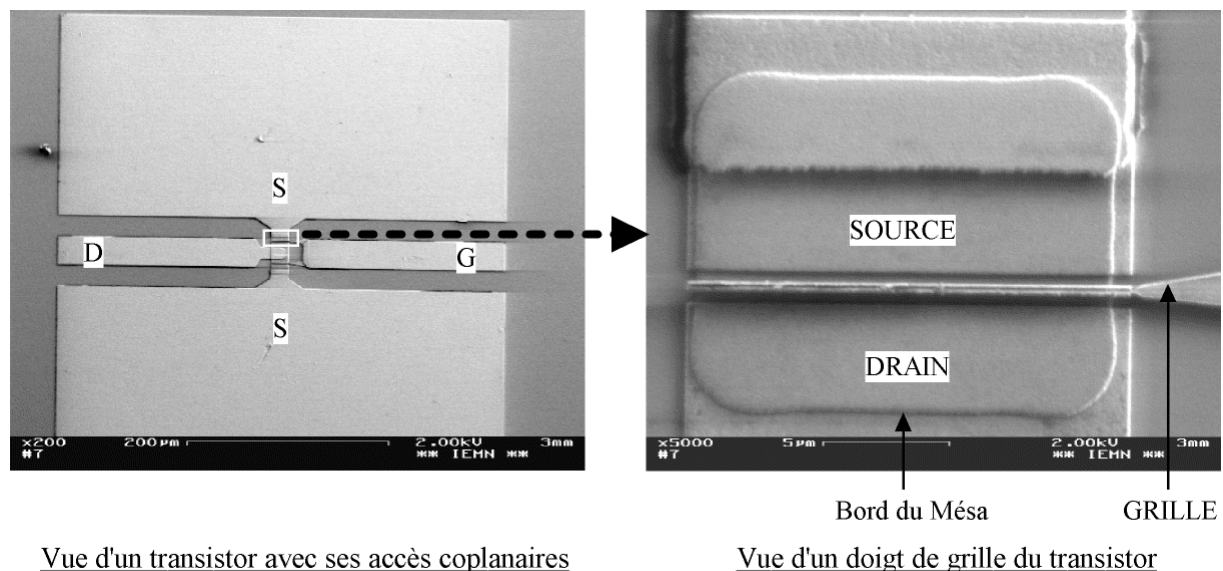


Figure 35 : Photos MEB d'un transistor terminé

III.C.1) Les contacts ohmiques

Pour la réalisation des contacts ohmiques sur la structure de couche "standard", l'étape consiste, après lithographie, en :

- un dépôt par évaporation sous vide d'une métallisation Ni/Au/Ge/Ni/Au, avec des épaisseurs respectives de 25/400/800/50/600 Å.
- un recuit rapide à 295°K, pendant 60s, sous atmosphère inerte (Azote hydrogéné) (après lift-off).

Ce procédé permet d'atteindre des résistances de contact R_c , de 0,15 Ω .mm sur couche "standard", mais de seulement 0,4 Ω .mm, sur la couche "optimisée".

Pour revenir à des valeurs acceptables de R_c , nous avons mené une étude sur le recuit, sans modifier la métallisation. Cette étude s'est déroulée en trois étapes :

- une première optimisation large en température avec $t = 20s$ (Figure 36, étape1), et qui a donné une température optimale de 270 °C.
- une deuxième optimisation en fonction du temps à $T=270^\circ\text{C}$ (Figure 36, étape 2) et qui nous a donné un temps optimal de 60s.
- une troisième optimisation fine en température (Figure 36, étape 3), pour affiner et confirmer notre choix.

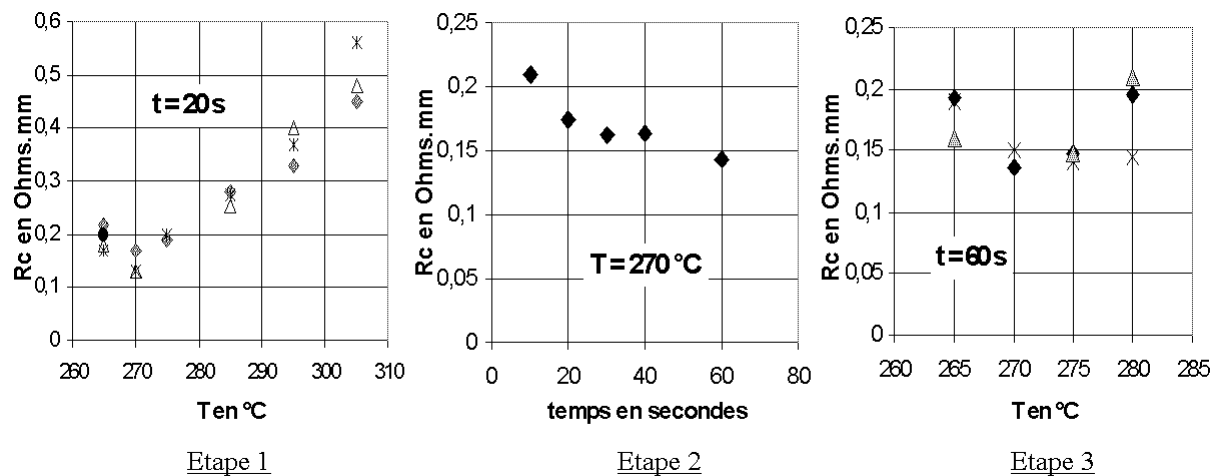


Figure 36 : Optimisation du recuit de contact ohmique sur la structure de couche "optimisée"

Le nouveau recuit qui a été retenu pour la nouvelle structure sera donc de 270 °C, pendant 60 s. Celui-ci devrait permettre d'avoir des résistances de contact inférieures à 0,15 Ω .mm.

III.C.2) La lithographie de grille

Afin d'obtenir une grille en T, avec une longueur de pied inférieure à 100 nm, nous avons utilisé une lithographie de type bicouche de résines (cf § I - D.2.c). La mise au point d'une telle lithographie a été délicate, et elle a nécessité la collaboration de nombreuses personnes au sein de la centrale de technologie.

Le bicouche de résine utilisé est du type :

- PMMA 4% 950 K, d'épaisseur 158 nm
- COPO (P(MMA-MAA)) 11 % mma 8.5 , d'épaisseur 705 nm

Ce bicouche est déposé par enduction automatique (ACS) par P. Tilmant, afin d'assurer une meilleure reproductibilité.

L'écriture d'un profil de grille en T, de longueur de pied inférieure à 100 nm, nécessite un "masque" complexe proposé par M. François. Ce masque est présenté sur la Figure 37, et se décompose en 5 zones :

- un pied de 10 nm très fortement dosé, pour une ouverture de pied la plus étroite possible
- un gap non dosé, de 10nm
- un espaceur de 50 nm peu dosé, pour obtenir un flanc de résine abrupt au niveau du pied
- un latéral définissant la chapeau
- une zone de "framing" plus fortement dosé que le latéral, pour obtenir des flancs abrupts au niveau du Copolymère et ainsi limiter les "lichettes".

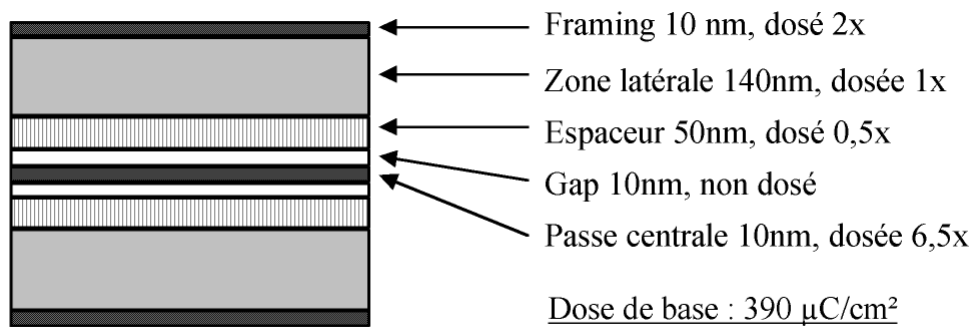


Figure 37 : Masque pour la lithographie de grille (longueur de pied de 50 nm)

La troisième étape qui est la révélation, est aussi réalisée de manière automatique (ACS) pour assurer une meilleure reproductibilité.

La difficulté de ce procédé a été d'ajuster précisément les doses et le temps de révélation, pour atteindre une longueur du pied de grille, proche de la limite de résolution du masqueur. Ainsi, pour une différence de quelques secondes ($< 5\text{s}$) sur le temps de révélation, nous pouvons obtenir une variation de 10 à 20 nm sur la longueur du pied. Ce type de problème peut aussi se rencontrer pour des écritures identiques, mais fortement éloignées dans le temps (quelques mois). Pour illustrer ce dernier point, sur la Figure 38, nous présentons des photos MEB de deux lithographies réalisées à des dates différentes. La première lithographie ayant été réalisée en octobre 2000, la seconde en avril 2001. Nous observons que l'ouverture du pied a sensiblement évolué, alors qu'à priori aucun paramètre n'avait évolué.

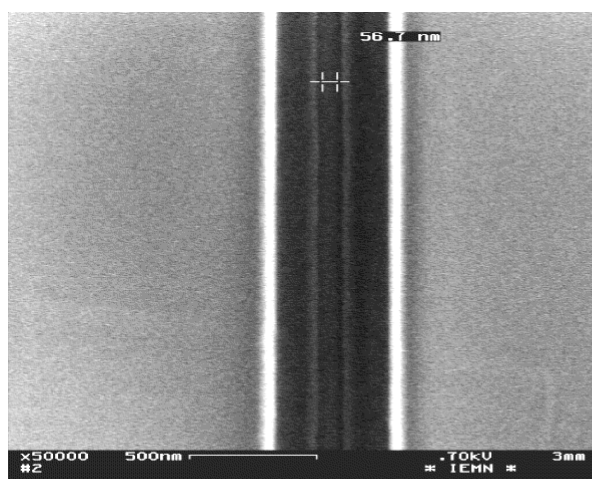


Photo prise le 10/10/00

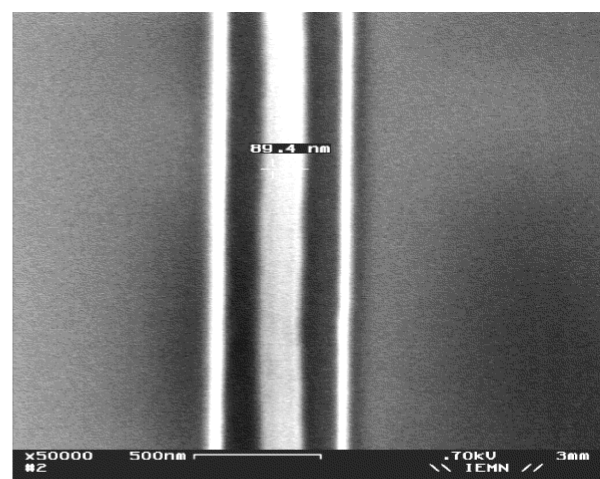


Photo prise le 12/04/01

Figure 38 : Lithographies de grille, après révélation - Conséquence de la dérive des conditions expérimentales sur la longueur du pied de grille (paramètres d'écriture et de révélation identiques)

Cette forte sensibilité nous oblige à un contrôle systématique au microscope électronique des profils de résine, avant toute poursuite du process. Cependant, il est possible d'obtenir des dimensions de pied avant recess, proche de 50 nm. Une ouverture du pied de 50 nm sera nécessaire pour obtenir au final, une grille de longueur 60-70 nm (Figure 39), en effet l'étape de recess dégrade l'ouverture du pied d'une dizaine de nanomètres.

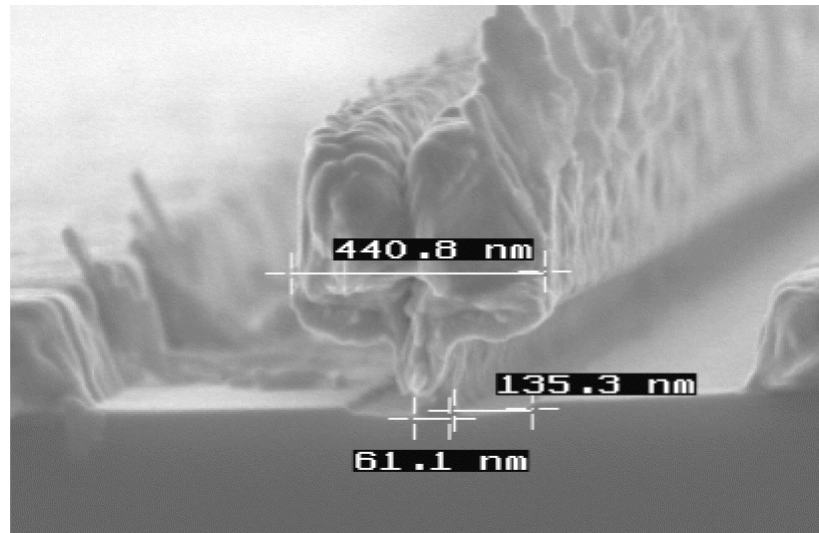


Figure 39 : Photo MEB d'une grille en T de 60 nm

III.C.3) Le "recess" (gravure du fossé de grille)

Pour la réalisation de HEMTs sur la structure de couche "optimisée", le contrôle de la profondeur et de la largeur du recess sera fondamental. Le contrôle de la profondeur du recess sera obtenu par la sélectivité de gravure de l'acide succinique entre L'AlInAs et le GaInAs.

Pour le contrôle de la largeur, après une première réalisation de composants avec une gravure de 60 s, nous avons d'abord mené des essais de gravure en fonction du temps. Sur la Figure 40, nous présentons trois photos prises au MEB (microscope électronique à balayage), montrant l'évolution du recess en fonction du temps de gravure. La première photo ($t = 60$ s) a été prise sur un composant fini, clivé dans le plan de la grille. Les deux autres sont des vues de dessus, montrant le recess total après dérésinage. A noter aussi que nous avons réalisé un essai avec un temps de gravure de 15s, et dans ce cas nous n'avons observé aucune trace de gravure.

La gravure du cap ne semble pas démarrer immédiatement, il y aurait un délai d'environ 30 s, avant que la gravure du cap commence. Ce délai pourrait correspondre à un temps de désoxydation du cap.

Chapitre I : Etude de HEMT sub-100 nm

De cette étude, nous avons retenu un temps de gravure de l'acide succinique de 45s. Ce temps nous semble satisfaisant pour obtenir un recess étroit, tout en assurant une gravure complète du cap sous la grille.

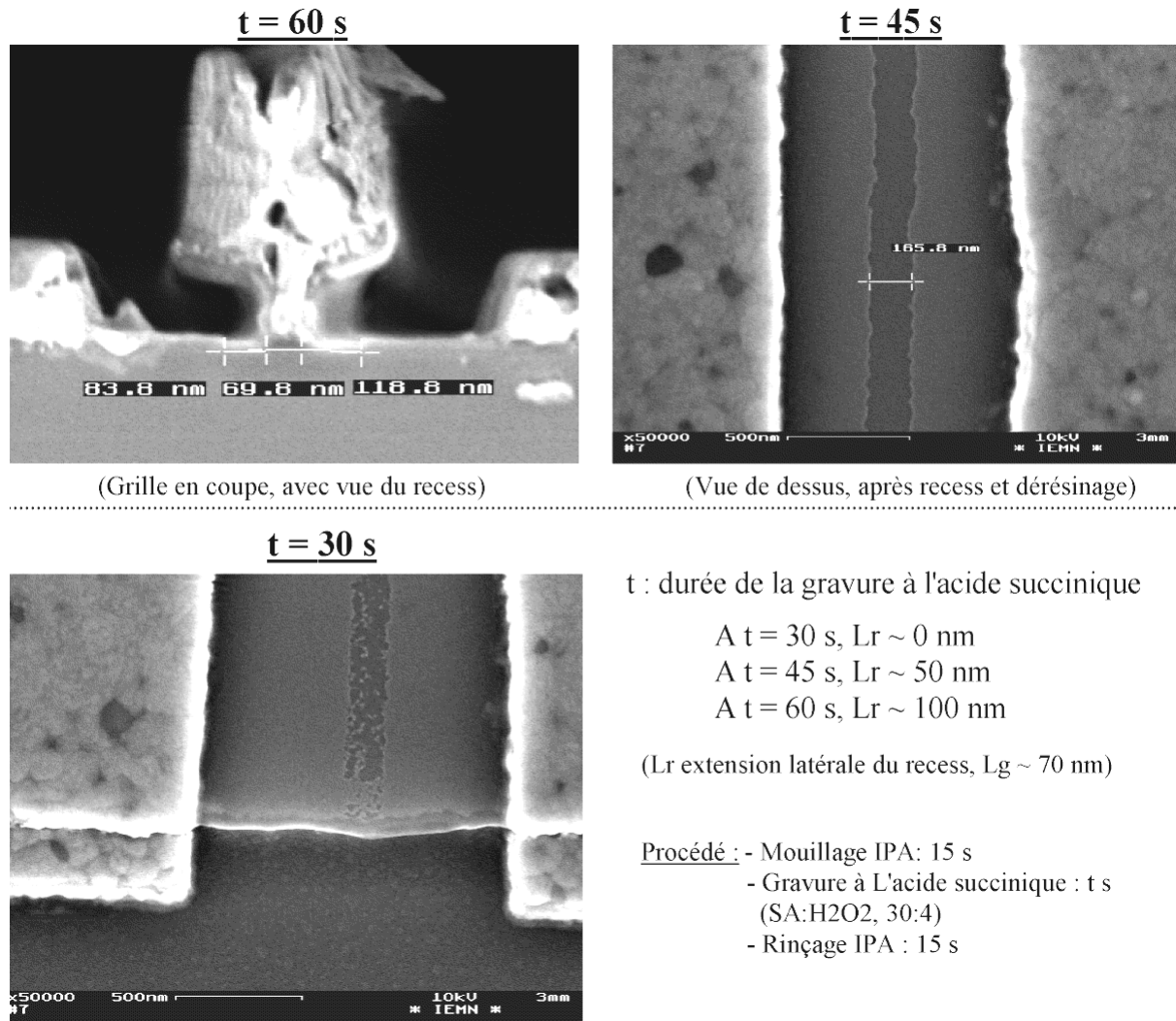


Figure 40 : Observation de l'extension de recess en fonction du temps de gravure de l'acide succinique

III.D) Caractérisations et comparaison entre la couche "standard" et "optimisée"

Nous avons réalisé des HEMTs de **longueur de grille proche de 70 nm**, sur les deux types de couche "standard" (Op. 10605/1) et "optimisée" (Op. 10669/2) décrites au paragraphe précédent (§ III.B)). Ces composants ont été réalisés suivant le même procédé technologique sauf pour le recuit de contact ohmique et le recess.

Dans cette partie, nous décrirons en parallèle les résultats obtenus pour chaque type de composant, en continu et en hyperfréquences. Au préalable, nous comparerons les paramètres de mobilité de chaque structure de couche.

III.D.1) Les paramètres de la couche, effet Hall

Dans le Tableau 9, nous présentons les mesures de Hall réalisées sur un trèfle de Van der Paw, pour les couches standard et optimisée.

Tableau 9 : Paramètres de Hall de chaque couche, à $T=300\text{ K}$

	$R_{\square} (\Omega/\square)$	$\mu_H (\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1})$	$n_H (\text{cm}^{-2})$
Couche "standard" (avec cap)	158	9300	$3,5 \cdot 10^{12}$
Couche "optimisée" (avec cap)	180	8800	$3,95 \cdot 10^{12}$

En présence du "cap", les deux types de couche ont une mobilité des électrons équivalente. L'augmentation du taux d'indium dans le canal de la couche "optimisée" n'entraîne pas d'amélioration de la mobilité, elle ne fait que compenser l'effet négatif de la diminution de l'espaceur sur la mobilité. Nous pouvons simplement relever une densité d'électrons plus élevée pour la couche "optimisée", probablement due au plan de dopage plus élevé et à la discontinuité ΔE_c (barrière-canal) plus importante.

III.D.2) Caractérisation continue

D.2.a) Caractéristiques $I(V)$ des transistors

Pour caractériser un transistor à effet de champ en continu, on se réfère aux caractéristiques $I_{ds}(V_{ds})$ paramétrées en V_{gs} et aux caractéristiques $I_d(V_{gs})$ et $G_{m_{dc}}(V_{gs})$ avec $G_{m_{dc}}$ la transconductance en continu, défini par :

$$G_{m_{dc}} = \left. \frac{\partial I_d}{\partial V_{gs}} \right|_{V_{ds}=\text{cste}} \quad (38)$$

Chapitre I : Etude de HEMT sub-100 nm

Sur la Figure 41, nous présentons simultanément des caractéristiques $I_{ds}(V_{ds})$, pour des HEMTs réalisés sur chaque type de couche. Dans chaque cas, on observe un bon pincement et une absence d'effet "kink". La couche "optimisée" a un courant de saturation $I_{d_{max}}$, légèrement plus important avec environ 560mA/mm.

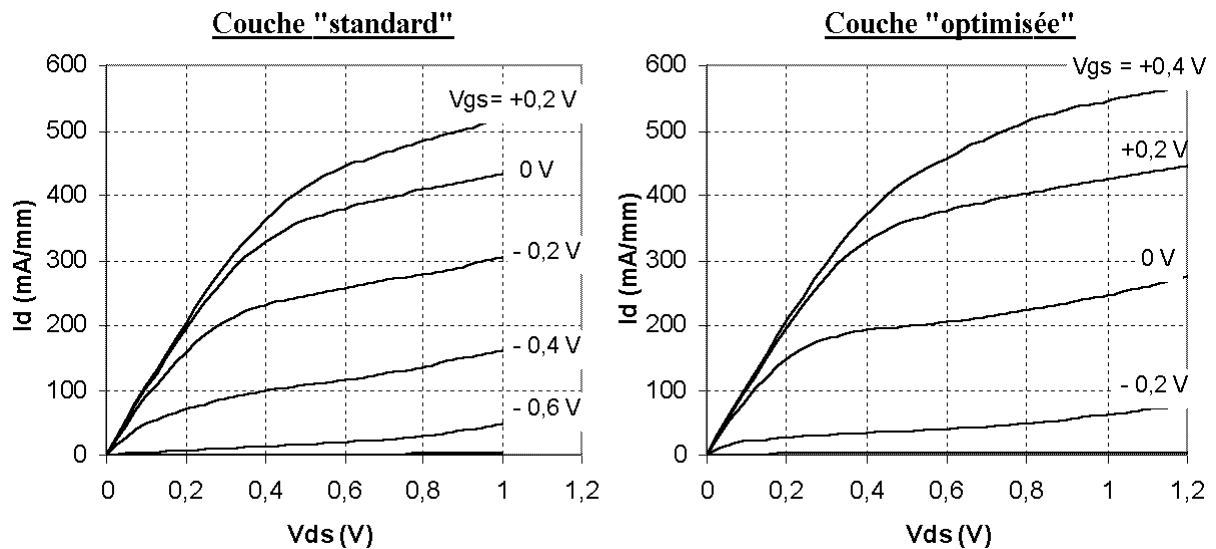


Figure 41 : Caractéristiques $I_{ds}(V_{ds})$, pour chaque type de couche

Sur la Figure 42, nous avons reporté les caractéristiques $I_d(V_{gs})$ et $G_{m_{dc}}(V_{gs})$, à $V_{ds} = 1V$. Le transistor sur la couche "optimisée" a une tension de pincement d'environ $-0,3 V$, contre $-0,8 V$ sur la couche "standard" et, une transconductance extrinsèque de 1S/mm contre 700 mS/mm. Cette évolution est due à la réduction de la distance grille-canal.

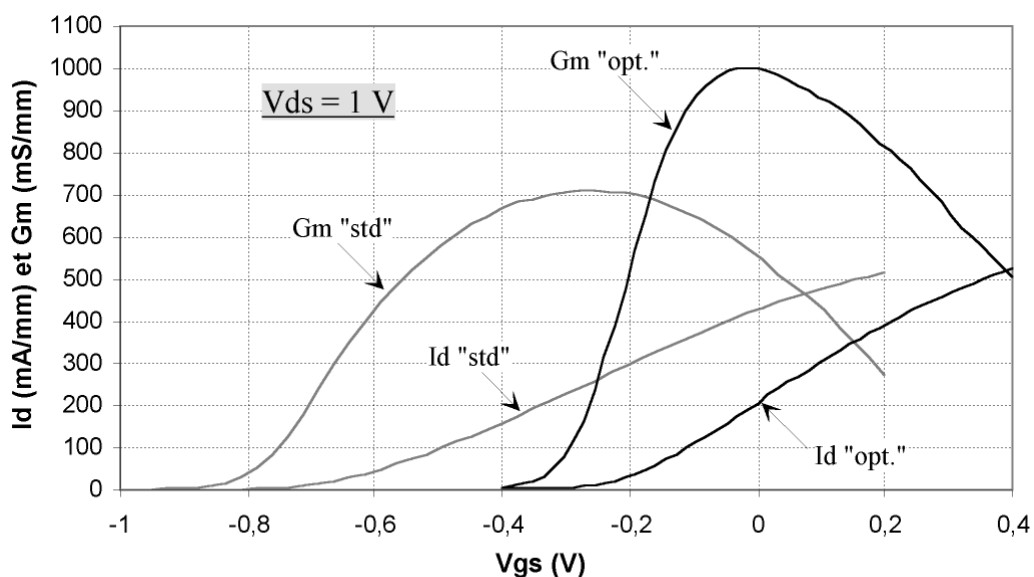


Figure 42 : Caractéristiques $I_{ds}(V_{gs})$ et $G_{m_{dc}}(V_{gs})$ à $V_{ds} = 1V$, pour chaque type de couche

D.2.b) *Caractéristiques Schottky*D.2.b.i) *Définition*

En direct, le courant dans un contact Schottky peut être décrit par l'équation (39) :

$$I_g = I_s \left(\exp\left(\frac{q.V_g}{\eta k T}\right) - 1 \right) \cong I_s \cdot \exp\left(\frac{q.V_g}{\eta k T}\right) \quad (39)$$

avec :
$$I_s = S.A^*.T^2 \exp\left(-\frac{q.V_b}{k T}\right) = S.A^*.T^2 \cdot \exp\left(-\frac{q.\Phi_b}{\eta k T}\right) \quad (40)$$

et
$$A^* = \frac{4.\pi.q.m^*.k^2}{h^3} \approx 131980. \frac{m}{m_0} \quad (41)$$

où : A^* est la constante de Richardson dont la valeur dépend du matériau semi-conducteur, T la température en Kelvin, S la surface de contact, η le coefficient d'idéalité et Φ_b la hauteur de barrière ($\Phi_b = \eta.V_b$)

Expérimentalement, on obtient η et Φ_b en traçant le logarithme de I_g en fonction de V_g , de la pente on déduit η et de l'ordonnée à l'origine (I_s), on extrait V_b , puis Φ_b .

Un contact schottky de bonne qualité devra avoir un coefficient d'idéalité proche de 1. Une valeur élevée de Φ_b permettra une excursion en V_{gs} positif plus important.

D.2.b.ii) *Résultats*

Sur la Figure 43, nous avons reporté les caractéristiques Schottky $I_g(V_g)$, obtenues sur chaque couche.

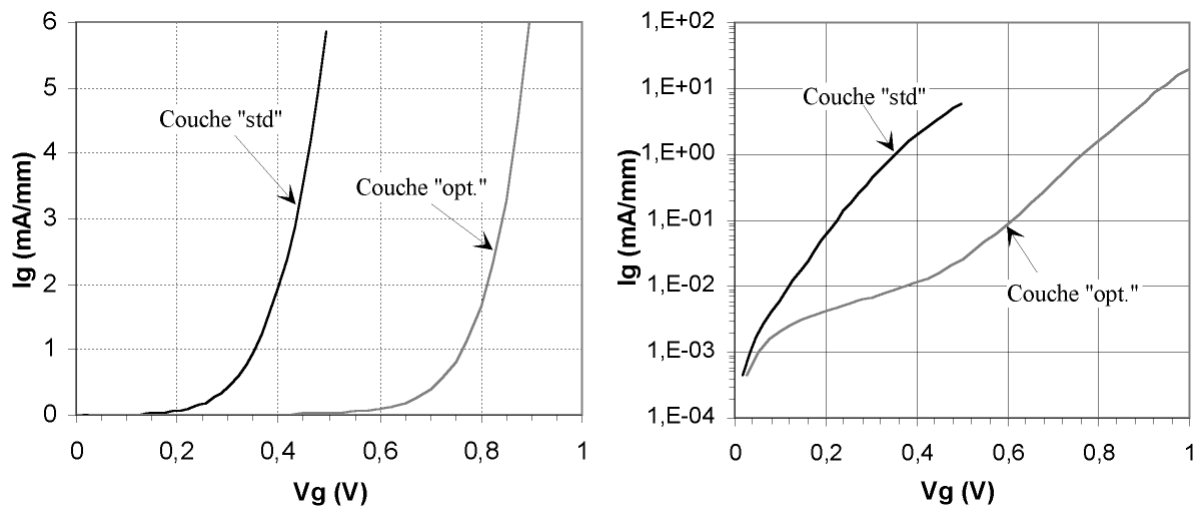


Figure 43 : Caractéristiques Schottky $I_g(V_g)$ en direct, pour chaque couche.

Le coefficient d'idéalité est d'environ 1,9 sur la couche "standard" mais de 2,8 sur la couche "optimisée". La principale différence est sur la hauteur de barrière Φ_b , elle est de seulement 0,32 eV sur la couche standard, mais de 0,76 eV sur la couche optimisée. La hauteur de barrière plus importante peut s'expliquer par le taux d'aluminium plus élevé dans la barrière de la couche optimisée.

III.D.3) Caractérisation hyperfréquence

Pour les deux types de HEMTs (HEMTs 70 nm sur couche "standard" et "optimisée"), des mesures de paramètres S ont été réalisées jusque 50 GHz, au sein de la centrale de caractérisation du laboratoire. Pour ces mesures, nous avons utilisé l'analyseur de réseaux vectoriel **HP 8510C**, et une méthode de calibration LRM (Line Reflect Match), qui permet de se calibrer dans le plan des pointes. Aux mesures de paramètres S "bruts", nous avons retranché un "délai", correspondant à la longueur électrique des lignes d'accès du composant, afin de se ramener au niveau des plans d'entrée du transistor.

Dans ce paragraphe, nous présenterons comparativement les gains et puis les schémas équivalents obtenus pour chaque type de transistor.

Remarque : Les résultats présentés dans ce paragraphe concernent toujours des **HEMTs de longueur de grille 70 nm**.

D.3.a) *Les gains*

Sur la Figure 44, nous avons tracé les différents gains pour chaque type de HEMTs. Chaque composant a un développement de 100 μm et il est polarisé au **maximum de f_{max}** .

Le HEMT avec une couche "optimisée", a un f_{max} proche de 460 GHz contre seulement 370 GHz pour le HEMT sur couche "standard". Cependant le HEMT sur couche "standard" a un f_T supérieur, de par une longueur de grille légèrement plus faible.

Les conditions de polarisation choisies ne sont pas optimales pour f_T , sur la Figure 45, nous avons représenté l'évolution de f_T et f_{max} en fonction du courant drain. A noter que ces valeurs ont été obtenues par une extrapolation en -20 dB/décade, d'une mesure à 20 GHz. Cette approche ne permet pas une mesure précise de f_{max} , mais donne une indication sur l'évolution en fonction de la polarisation.

La valeur optimale en courant I_d , pour f_T est atteinte pour environ 300 mA/mm. Dans ce cas, nous avons près de 245 GHz sur la couche "optimisée" et plus de 260 GHz sur la couche "standard".

Chapitre I : Etude de HEMT sub-100 nm

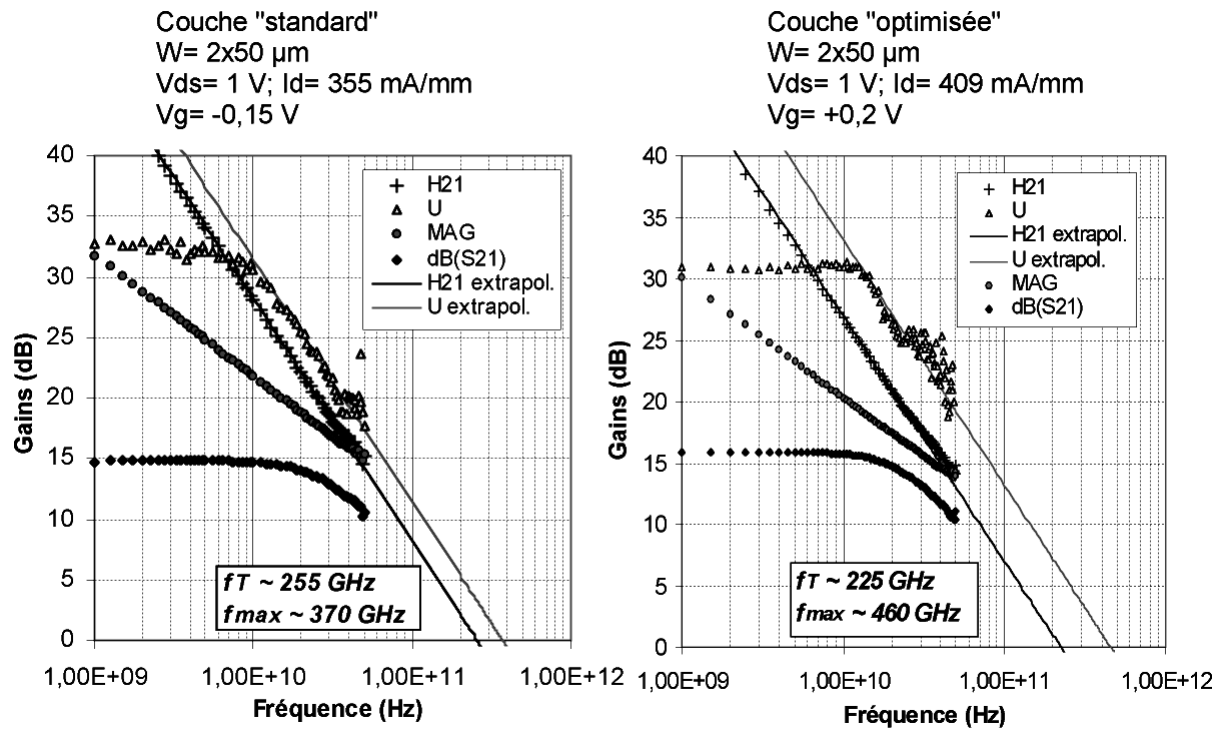


Figure 44 : Evolution des gains entre des HEMTs réalisés sur les deux types de couche pour une polarisation au maximum de f_{max} .

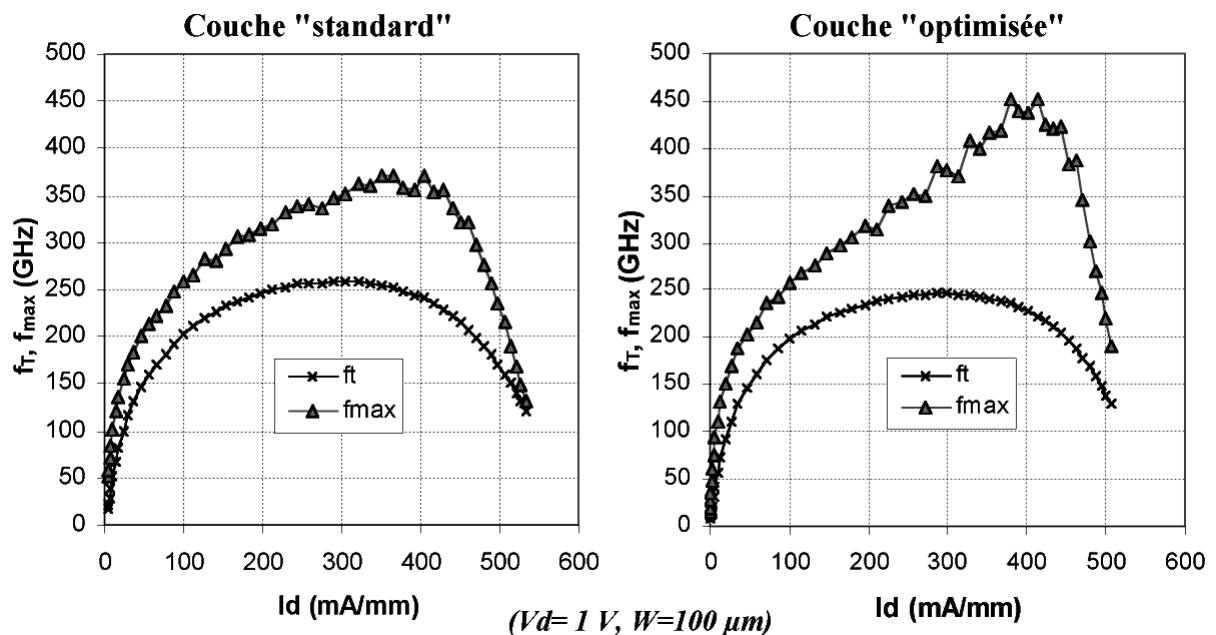


Figure 45 : Evolution des fréquences f_T et f_{max} en fonction du courant drain, pour les deux types de couche

Remarque : Sur la couche "standard", le meilleur résultat en f_T est obtenu à $V_{ds} = 0,8 \text{ V}$ et $I_d \sim 250 \text{ mA/mm}$, avec une fréquence de 270 GHz .

Chapitre I : Etude de HEMT sub-100 nm

D.3.b) Le Schéma équivalent petit signal

Un bon moyen d'analyse pour la compréhension des éléments améliorant $f_{\max}$, est le schéma équivalent petit signal des transistors. Dans le Tableau 10, nous avons reporté le schéma équivalent des deux transistors au maximum de $f_{\max}$ et de f_T (pour $V_{ds}=1$ V).

Tableau 10 : Schémas équivalents petits signaux des HEMTs sur couche "standard" et "optimisée", au maximum de f_T et $f_{\max}$. ($W=2 \times 50 \mu\text{m}$, $V_{ds}=1$ V)

	structure "standard"		structure "optimisée"	
	Max. de f_T	Max. de $f_{\max}$	Max. de f_T	Max. de $f_{\max}$
Id (mA/mm)	290	365	286	402
Vgs (V)	-0,24	-0,15	0,06	0,2
Gm (mS/mm)	1185	1145	1565	1300
Gd (mS/mm)	115	117	86	82
Cgs (fF/mm)	534	524	726	631
Cgd (fF/mm)	68	70	92	105
Cds (fF/mm)	15	37	62	122
Ri (Ω)	2,2	2,5	2,5	1,3
Tau (ps)	0,13	0,08	-0,4	-0,7
Rgd (Ω)	0	~ -10	0	~ -5
f_c (GHz)	353	347	343	329
Gm/Gd	10,3	9,8	18,2	15,8
Cgs/Cgd	7,8	7,5	7,9	6
f_T (GHz)	260	249	245	225
$f_{\max}$ (GHz)	350	370	370	450
Rg (Ω)	5		3	
Rs (Ω)	3,4		3,9	
Rd (Ω)	4,6		4,8	
Lg (pH)	40		40	
Ls (pH)	1,5		2	
Ld (pH)	30		30	
Cpg (fF)	1		1,2	
Cpd (fF)	22		21	

Les principales différences entre les HEMTs sur structure "standard" et "optimisée", au maximum de $f_{\max}$ sont :

$\Rightarrow$ Une conductance de drain Gd, 30 % plus faible pour la structure "optimisée".

Chapitre I : Etude de HEMT sub-100 nm

⇒ Une résistance de grille R_g , plus faible pour la structure "optimisée".

⇒ Une transconductance G_m plus importante pour la structure "optimisée".

Par contre les deux HEMTs ont des valeurs similaires pour les extrinsèques (excepté R_g), et pour la fréquence de coupure intrinsèque f_c .

A noter aussi que les HEMTs réalisés sur couche "optimisée" sont beaucoup plus difficile à modéliser avec un schéma équivalent petit signal "classique". Nous avons observé une évolution en fréquence de G_d et C_d , qui nous oblige à émettre une certaine réserve sur les valeurs de C_d et G_d données dans ce tableau.

Remarque : L'évolution des schémas équivalents en fonction de I_d , est donnée dans l'annexe VII.D), pour les deux types de HEMTs.

III.D.4) Conclusions entre HEMTs sur couche "standard" et "optimisée"

Dans ce paragraphe, nous avons mené une étude comparative entre des HEMTs 70nm couche "standard" et des HEMTs 70 nm couche "optimisée". Les améliorations que nous avons obtenues avec la couche "optimisée" (recess étroit, <50 nm) sont :

- En continu : une augmentation de la transconductance ($G_{m_{dc}}$) et de la tension de pincement, une amélioration de la hauteur de barrière des contacts Schottky.
- En hyperfréquences : une augmentation de G_m , une diminution de G_d , et en conséquence une amélioration significative de f_{max} , avec plus de 460 GHz avec la couche "optimisée", contre moins de 370 GHz avec la couche "standard".

IV -

Chapitre I : Etude de HEMT sub-100 nm

Autres points influençant les performances des HEMTs

Dans ce paragraphe, nous abordons deux aspects particuliers concernant les HEMTs réalisés : l'influence de la largeur du recess (HEMT sur "couche optimisée") et l'évolution des gains en fonction du développement de grille. Ce sont deux aspects qui peuvent paraître secondaires, mais ils ont en fait une importance significative sur les performances des transistors.

IV.A) Importance de la largeur de recess pour la structure optimisée

Un paramètre très important pour les HEMTs sur la structure de couche "optimisée" sera la largeur du recess. Préalablement à la réalisation des HEMTs "optimisés" (Op. 10669/2), présentés dans la partie précédente, nous avons réalisé une "première série" de transistors avec **une extension de recess plus large** (Op. 10669/1). Ces transistors ont été réalisés sur le même substrat et avec la même lithographie de grille, la seule différence est sur le temps de gravure du recess. Cette différence de temps de gravure se traduit par un recess de largeur environ 100 nm pour la "première série"(Op. 10669/1), contre un recess inférieur à 50 nm, pour la série "optimisée" (Op. 10669/2).

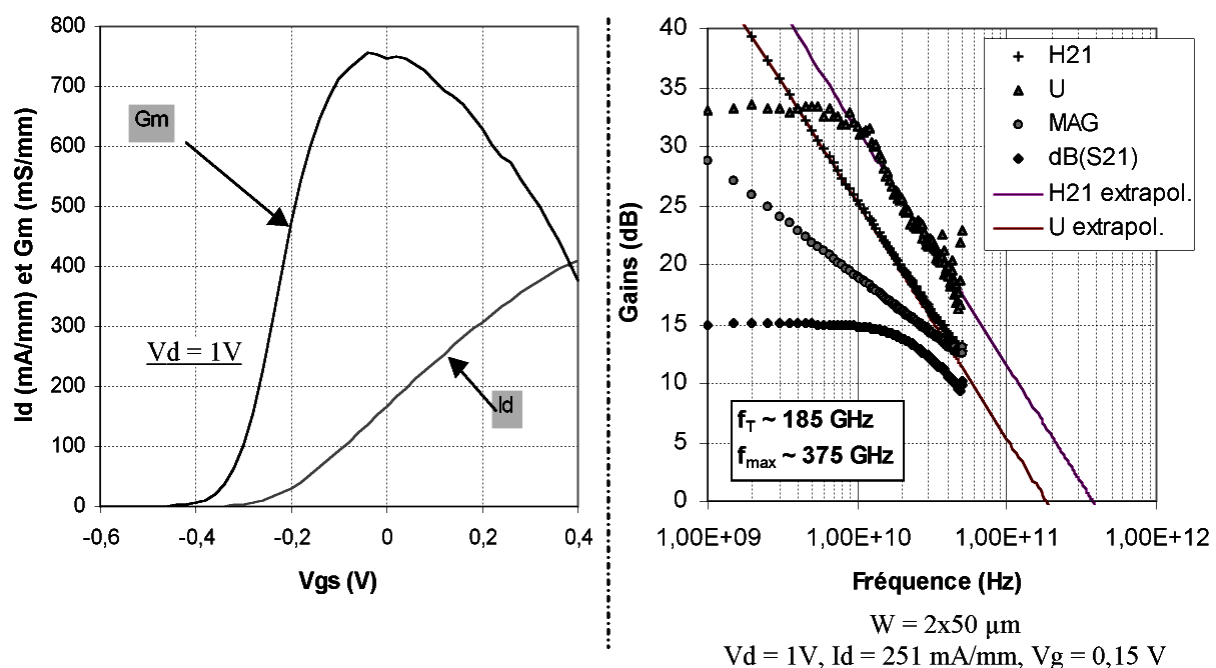


Figure 46 : Caractéristiques $I_d(V_{gs})$, $G_m(V_{gs})$ pour les HEMTs optimisés avec une largeur de recess de 100nm ($V_d=1$ V). Gains hyperfréquences pour ce transistor, au maximum de f_{max} .

Chapitre I : Etude de HEMT sub-100 nm

Sur la Figure 46, nous avons tracé l'évolution du courant I_d et la transconductance extrinsèque en fonction de V_{gs} , à V_{ds} fixe. Nous avons une forte diminution du courant drain maximum qui n'est que de 400 mA/mm, contre 560 mA/mm pour la structure "optimisée". De même la transconductance extrinsèque chute de 1 S/mm à 760 mS/mm.

Sur cette figure, nous avons aussi tracé les différents gains et déduit les fréquences f_T et f_{max} . Les conditions de polarisation sont telles que nous soyons proche du maximum de f_{max} . De cette figure, nous observons une dégradation de f_T et de f_{max} , avec $f_T=185$ GHz et $f_{max}=375$ GHz, alors qu'avec les HEMTs "optimisés" (recess étroit), nous avons $f_T=225$ GHz et $f_{max}=460$ GHz (polarisation au maximum de f_{max}).

Pour mieux comprendre l'origine de ces moindres performances, nous avons extrait le schéma équivalent de ce transistor. Celui-ci est présenté dans le Tableau 11.

Tableau 11 : Schéma équivalent d'un HEMT "optimisé avec un extension de recess de 100nm" (Op. 10669/1), à $V_{ds} = 1$ V, $I_d=250$ mA/mm ($V_g=0,14$ V) (tr. 3/1_2x50n2)

Gm (mS/mm)	Gd (mS/mm)	Cgs (fF/mm)	Cgd (fF/mm)	Cds (fF/mm)	Ri (Ω)	Rgd (Ω)	Tau (ps)
1200	65	618	126	50	1	~ -10	- 0,7
Rg (Ω)	Rs (Ω .mm)	Rd (Ω .mm)	Gm/Gd	Cgs/Cgd	f_C (GHz)	f_T (GHz)	f_{max} (GHz)
3,6	0,54	0,61	18,5	4,9	310	185	375

De ce tableau, nous observons par rapport au HEMT "optimisé" (largeur de recess inférieure à 50 nm, Op. 10669/2, cf. Tableau 10):

⇒ Des résistances d'accès R_s et R_d plus élevées.

⇒ Une diminution de la transconductance G_m , et de f_C .

⇒ Une augmentation de la capacité C_{gd} .

⇒ Mais nous avons aussi une diminution de la conductance de drain G_d et un rapport G_m/G_d similaire au HEMT "optimisé" (avec largeur de recess inférieure à 50 nm).

L'évolution de ces différents paramètres s'explique assez logiquement par la largeur de recess plus large, excepté pour la capacité C_{gd} .

IV.B) Evolution des gains et du schéma équivalent en fonction du développement de grille, W

Les résultats présentés dans la partie précédente (III) ont toujours concerné des transistors de développement total de 100 μm (2x50). Dans ce paragraphe, nous aborderons le problème de l'évolution des fréquences f_T et f_{max} en fonction de W, puis nous verrons quels éléments du schéma équivalent ne suivent pas toujours les lois d'échelle en W.

IV.B.1) Evolution des fréquences f_T et f_{max} en fonction de W

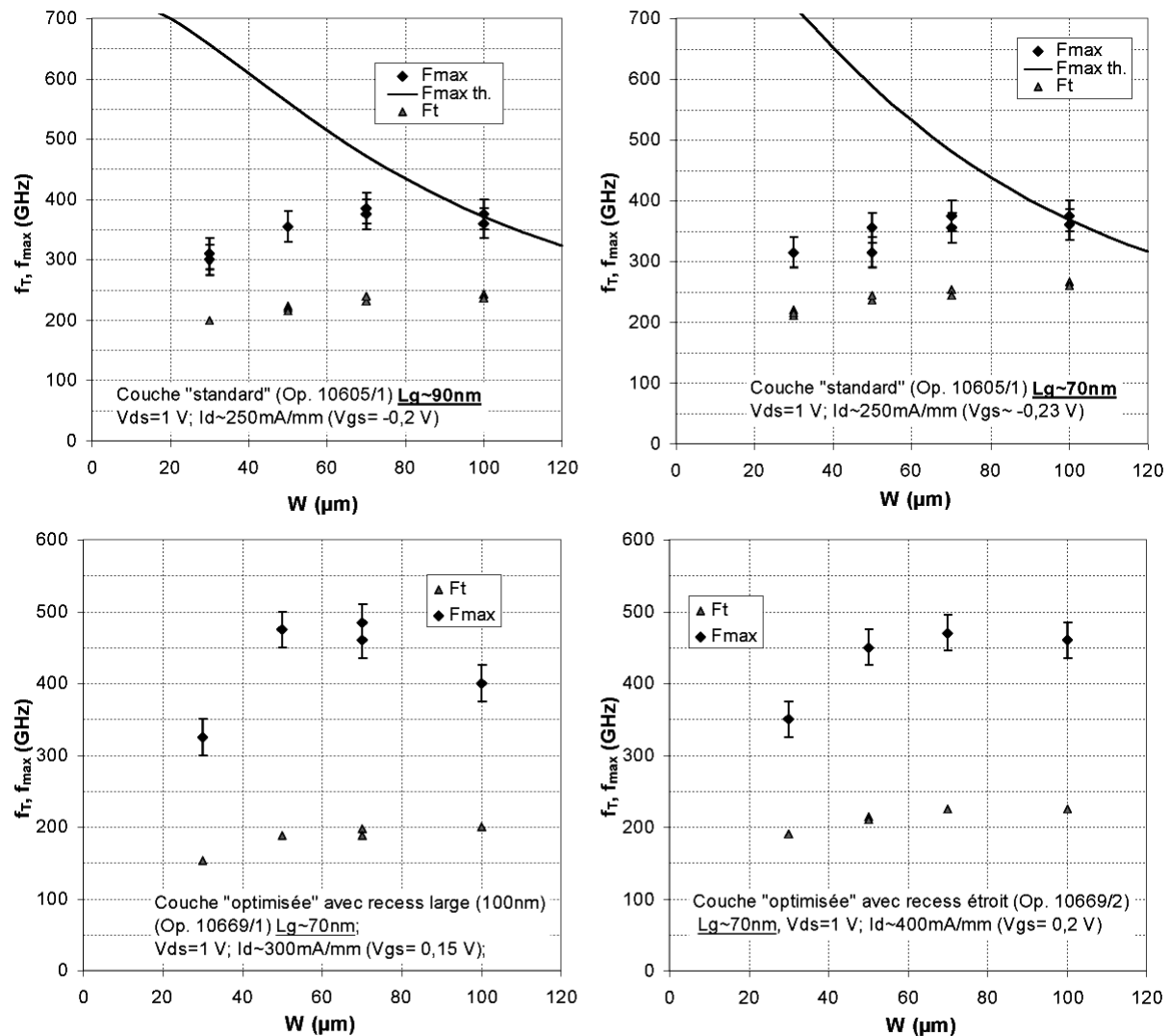


Figure 47 : Evolution des fréquences f_T et f_{max} en fonction de W, pour des HEMTs réalisés sur la couche "standard" et sur la couche "optimisée"

Sur la Figure 47, nous avons tracé en fonction de W, les fréquences f_T et f_{max} obtenus pour différents types de HEMTs :

- HEMTs sur couche "standard" (Op. 10605/1), avec $L_g \sim 90\text{ nm}$
- HEMTs sur couche "standard" (Op. 10605/1), avec $L_g \sim 70\text{ nm}$

Chapitre I : Etude de HEMT sub-100 nm

- HEMTs sur couche "optimisée" avec recess large (Op. 10669/1, $L_r \sim 100$ nm) avec $L_g \sim 70$ nm
- HEMTs sur couche "optimisée" avec recess étroit (Op. 10669/2) avec $L_g \sim 70$ nm

Pour les différents graphes, nous avons indiqué les marges d'incertitude sur $f_{\max}$. Nous avons aussi tracé pour les HEMTs sur couche "standard" l'évolution théorique de $f_{\max}$ en fonction de W ($f_{\max_th}$), dans un cas idéal ($R_g \propto W$ et $C_{gd} \propto W$). Celle-ci a été obtenue à partir d'un schéma équivalent d'un HEMT de développement $100 \mu\text{m}$, extrapolé suivant les lois d'échelle en W , présenté dans le Tableau 2 (page 21).

Remarques : - Chaque point (f_T ou $f_{\max}$) a été obtenu en traçant les gains H_{21} et U mesurés sur la bande 0-50 GHz et en réalisant une extrapolation "moyenne" en -20dB/décade .

- Les conditions de polarisation choisies, sont telles que nous soyons proches du maximum de $f_{\max}$.

De ces différents graphes, nous pouvons conclure que :

- 1- Les valeurs expérimentales de $f_{\max}$ ne suivent absolument pas l'évolution théorique de $f_{\max}$, en fonction de W . En effet, elles devraient être maximales pour les développements les plus courts, alors qu'expérimentalement le contraire se produit. (comparaison faite pour les HEMTs sur couche "standard").
- 2- Nous observons pour les quatre types de composants présentés, que le développement optimum pour $f_{\max}$ se situe autour de $W=70 \mu\text{m}$.
- 3- Les meilleurs résultats pour des HEMTs sur couche optimisée, ont des valeurs de $f_{\max}$ qui approchent 500 GHz.
- 4- Il y a peu de différence sur $f_{\max}$ lorsque l'on réduit la longueur de grille de 90 à 70 nm pour la couche "standard".

IV.B.2) Evolution des éléments du schéma équivalent en fonction de W

Pour comprendre pourquoi les transistors les plus courts ont une valeur de $f_{\max}$ plus faible, nous avons extrait le schéma équivalent de transistors de différents développements.

Dans le Tableau 12, nous avons reporté le schéma équivalent de quatre transistors de développements 30, 50, 70 et $100 \mu\text{m}$, réalisés sur la couche "standard" (Op. 10605/1), avec une longueur de grille de 90 nm.

Chapitre I : Etude de HEMT sub-100 nm

De ce tableau, nous relevons que principalement deux éléments, ne suivent pas les lois d'échelle : R_g et C_{gd} , en effet, ces deux éléments sont supposés proportionnels à W . Cependant nous verrons en détail dans les paragraphes suivants, que l'évolution relevée pour C_{gd} et R_g ne semble pas atypique et qu'elle a été constatée pour différentes opérations.

A noter enfin que les éléments C_{ds} , R_{gd} et τ sont mesurés avec une forte marge d'incertitude, il sera donc difficile de conclure pour l'évolution en W de ces éléments.

Tableau 12 : Evolution du Schéma équivalent en fonction de W . HEMTs sur couche "standard" avec $L_g \sim 90\text{nm}$, $V_{ds}=1\text{ V}$ et $V_{gs}= -0,2\text{ V}$

W (μm)	I_d (mA/mm)	G_m (mS/mm)	G_d (mS/mm)	C_{gs} (fF/mm)	C_{gd} (fF/mm)	C_{ds} (fF/mm)	R_i (Ω)	R_{gd} (Ω)	τ (ps)	f_c (GHz)
30	230	1160	95	640	116	~ 20	15	~ 10	~ 0	287
50	234	1160	96	595	87,5	~ 10	10	~ 0	$\sim -0,1$	310
70	236	1155	94	595	76,5	~ 10	6	~ -20	$\sim -0,1$	308
100	230	1180	95	590	68	~ 10	4	~ -20	~ 0	318
W (μm)	R_g (Ω)	R_s (Ω)	R_d (Ω)	C_{pg} (fF)	C_{pd} (fF)	L_g (pH)	L_s (pH)	L_d (pH)	f_T (GHz)	f_{max} (GHz)
30	4	10	11,5	0,5	10	45	2	28	200	310
50	4,6	6,4	7,6	0,8	13	45	2	28	224	355
70	4	4,7	6	1,5	17	45	1,5	30	232	385
100	4,2	3,3	4,7	1,2	22	40	1	30	243	375

B.2.a) Evolution de C_{gd} en fonction de W

Sur la Figure 48, nous avons reporté en fonction de W , les valeurs de C_{gd} obtenues sur les deux types de couche ("standard" et "optimisée") et pour deux conditions de polarisation :

- canal pincé, $V_d=0\text{ V}$
- canal ouvert : $V_d=1\text{V}$, $I_d \sim 250\text{ mA/mm}$ (polarisation où la capacité C_{gd} est minimale)

Nous observons pour les deux types de transistor et pour chaque polarisation, une évolution linéaire de C_{gd} , mais avec une ordonnée à l'origine d'environ 2,3 fF pour la couche "standard" et de 3,1 fF pour la couche optimisée.

Chapitre I : Etude de HEMT sub-100 nm

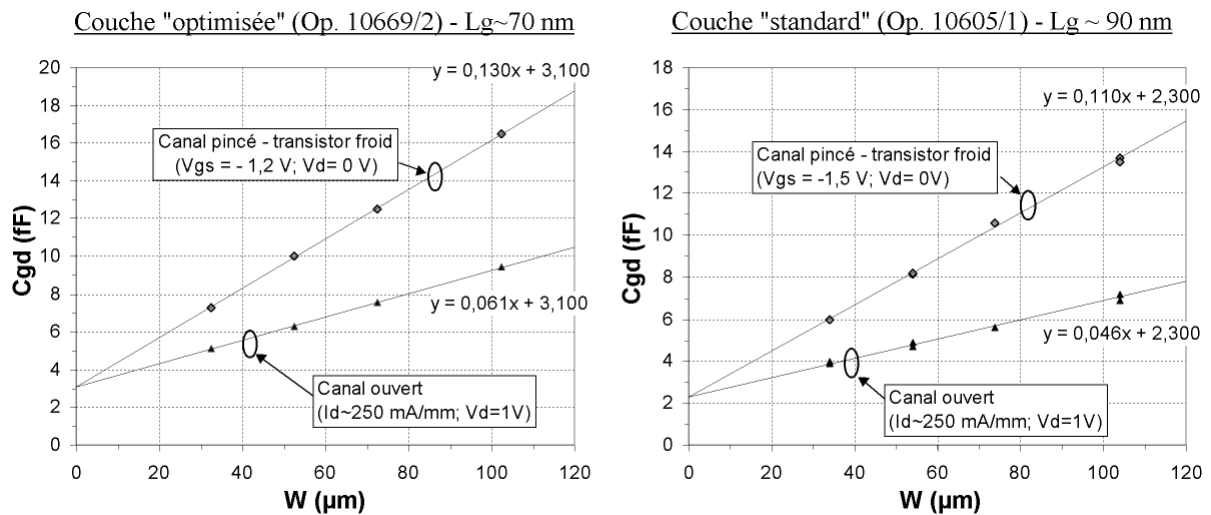


Figure 48 : Evolution de C_{gd} en fonction de W , pour des HEMTs sur couche "standard" et "optimisée", canal pincé et ouvert.

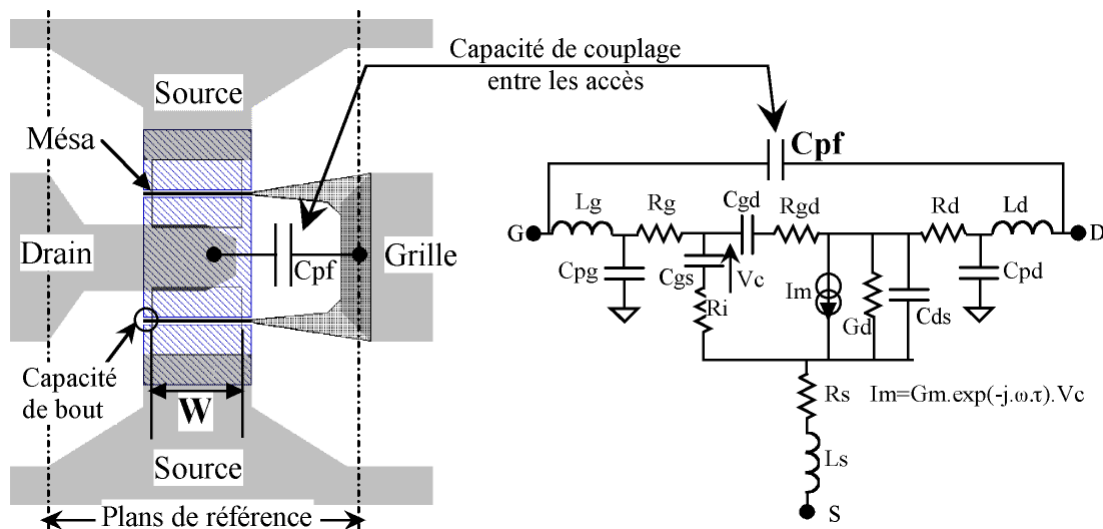


Figure 49 : Origines possibles de la partie constante de C_{gd}

Pour expliquer l'origine de cette partie de C_{gd} indépendante de W , deux hypothèses sont avancées. La première est une capacité liée à un couplage électrostatique entre les métallisations d'accès du transistor, comme cela est montré sur la Figure 49, avec " C_{pf} ". Pour vérifier cette hypothèse, nous avons effectué la mesure d'un motif comprenant uniquement les plots d'épaissement (zone grise sur la Figure 49). De cette mesure, nous avons extrait une capacité d'environ 1,3 fF. Cependant, cette capacité de couplage C_{pf} sera à priori purement extrinsèque (Figure 49), donc **sans conséquence sur le gain unilatéral** (ou gain de Mason) U et **sur f_{max}** , d'après la définition de ce gain (cf § I.C.3))!

Une deuxième hypothèse avancée pour expliquer une fraction de la partie constante de C_{gd} , est celle d'une capacité de "bout" de grille (Figure 49). Mais cette hypothèse n'a pu être vérifiée, car il est à priori difficile de mesurer ou d'évaluer l'importance de cette capacité.

Enfin, une troisième hypothèse qui peut être avancée pour expliquer la partie constante de C_{gd} est le caractère distribué du transistor. De plus, les plans de référence (Figure 49), sont relativement éloignés, de ce fait l'hypothèse d'éléments localisés tend à devenir caduque.

B.2.b) Evolution de R_g en fonction de W

La résistance de grille R_g , est le deuxième élément qui ne semble pas suivre une loi d'échelle en W , comme nous l'avons remarquée dans le Tableau 12. Dans une première partie, nous montrerons qu'il est difficile de déterminer précisément R_g . Puis nous donnerons les valeurs de $R_g(W)$ que nous avons obtenues, lors de différentes opérations.

B.2.b.i) Méthode de détermination de R_g et incertitude

Comme nous l'avons présenté dans la partie I.B.2), page 23, pour l'extraction de R_g , nous nous plaçons dans des conditions de polarisation froide ($V_{ds}=0$ V), à canal ouvert. Dans ces conditions, la partie réelle de Z_{11} ($=R_{11}$) équivaut à :

$$R_{11} \approx R_g + R_s + \frac{R_c}{3} + \frac{1}{R_{dy}.C_g^2.\omega^2} \quad (42)$$

$$\text{Si : } \omega \gg \frac{1}{R_{dy}.C_g} \quad (43)$$

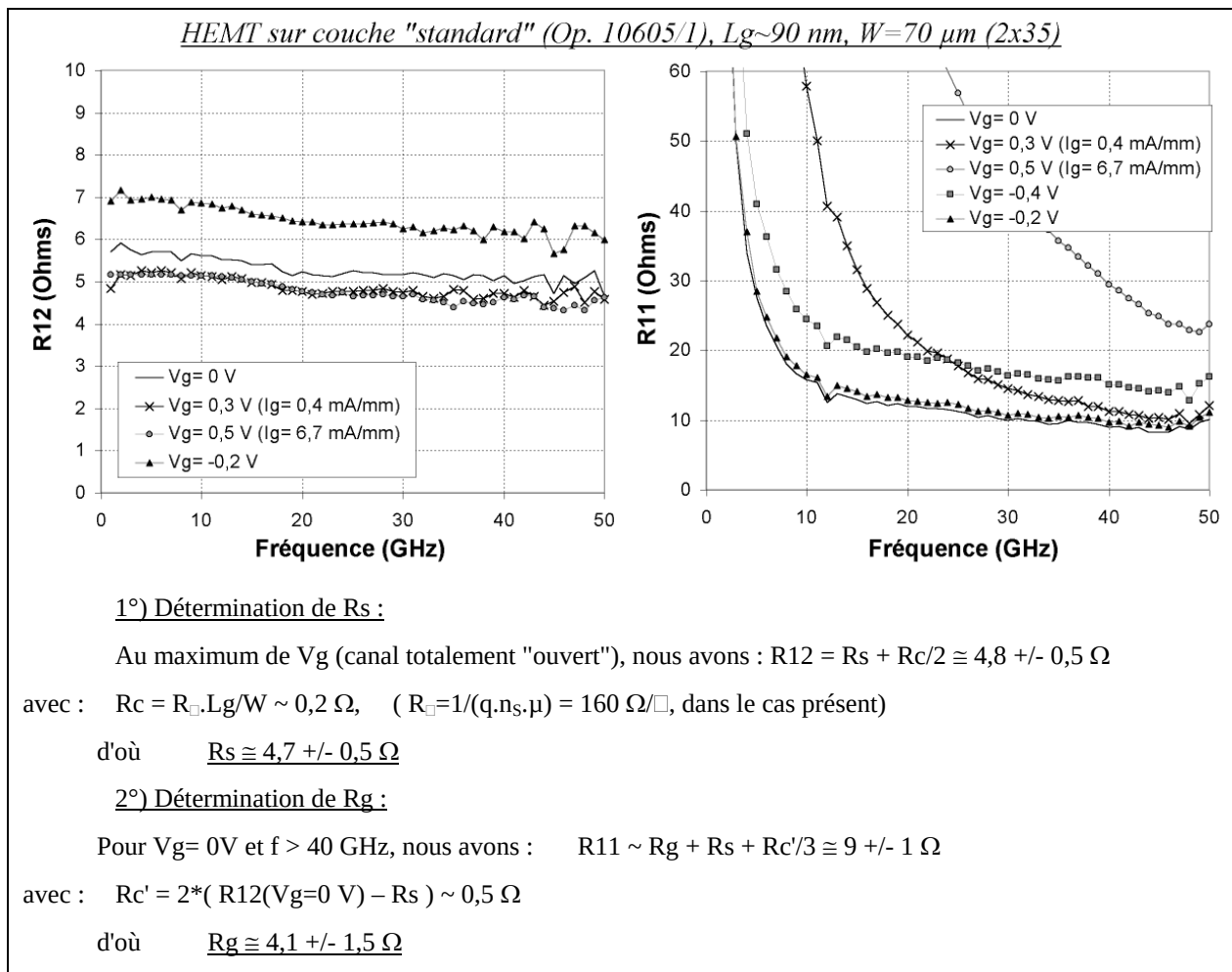
Avec : R_c , la résistance du canal; C_g la capacité de la barrière schottky grille-canal et R_{dy} la résistance de la barrière et qui est en parallèle de C_g .

Il faut ensuite se placer à une polarisation en V_g et à une fréquence telles que le terme $1/(R_{dy}.C_g^2.\omega^2)$ soit négligeable. Puis connaissant R_s et R_c , nous déduisons la valeur de R_g .

La Figure 50 illustre cette démarche au travers un exemple de la détermination de R_s , puis de R_g . Dans cet exemple, nous obtenons d'abord une valeur de R_s de $4,7 \Omega$, avec une précision de $\pm 0,5 \Omega$. Puis, nous déterminons la valeur minimale de " R_{11} ", qui est estimée à 9Ω avec une précision de $\pm 1 \Omega$. Au final, nous obtenons, après correction de R_c , une valeur de R_g de $4,1 \Omega$ avec une précision de $\pm 1,5 \Omega$.

Nous constatons qu'il sera très difficile d'atteindre une précision élevée sur R_g , étant donné l'incertitude de mesure importante sur R_s et sur la "valeur de minimale de R_{11} ". En pratique, nous pouvons obtenir **une incertitude sur R_g proche de 50 %!**

Chapitre I : Etude de HEMT sub-100 nm

Figure 50 : Exemple de détermination de R_s et R_g B.2.b.ii) Valeurs de R_g relevées lors de différentes opérations

Sur la Figure 51, nous avons reporté en fonction de W , des valeurs de R_g obtenues lors de différentes opérations. Nous avons aussi indiqué les marges d'incertitude pour chaque transistor mesuré.

Aux valeurs de R_g données sur la Figure 51, il faut retrancher une partie constante d'environ 1 Ohm, dû aux pertes dans les accès du transistor, pour obtenir la valeur réelle de R_g . Cependant même si l'on retire une partie constante à R_g et que l'on tient compte d'une erreur de mesure, il paraît difficile de dégager une évolution linéaire de R_g avec W . Pour les transistors réalisés sur la couche "standard", il semble qu'il y ait un terme proportionnel à $1/W$, entrant dans la valeur de R_g .

Ce comportement de R_g en " $1/W$ ", a aussi été relevé par Rohdin [94], [95] et Fujihara [100], pour des composants ayant une longueur de grille inférieure à 0,1 μ m. Les résultats qu'ils ont publiés montre d'ailleurs une évolution en " $1/W$ " encore plus marquée que nos résultats.

Chapitre I : Etude de HEMT sub-100 nm

Pour expliquer l'origine de ce terme, H. Rohdin avance l'hypothèse d'une résistance d'interface entre la grille et le semi-conducteur, dont l'origine pourrait être un dépôt organique. Cependant, il est encore difficile de conclure sur ce point, mais une compréhension de ce phénomène serait très utile pour une optimisation des composants.

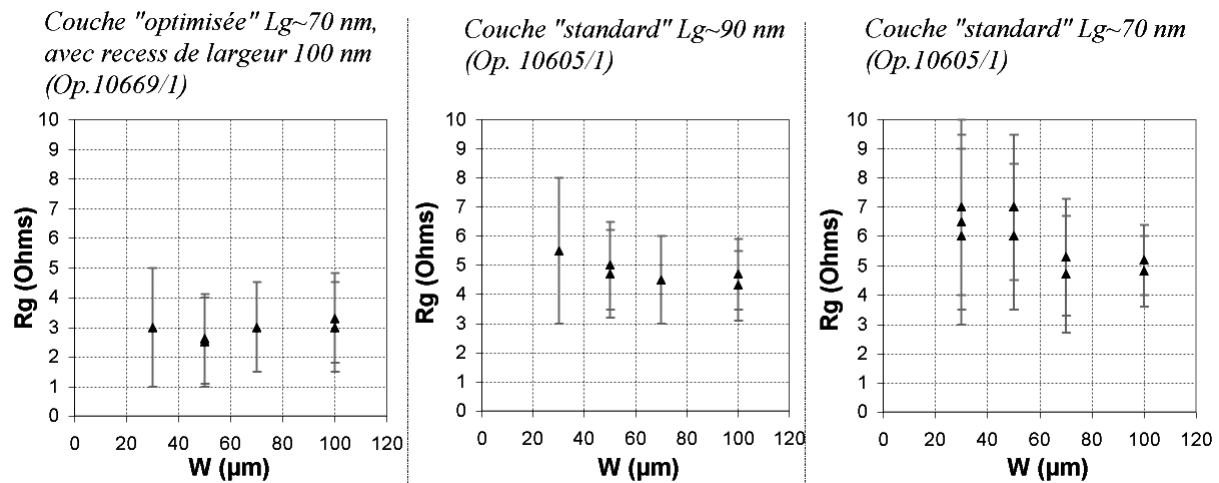


Figure 51 : Valeurs de R_g relevées lors de différentes opérations

IV.B.3) Conclusion sur l'évolution en W des HEMTs

Nous avons vu que contrairement à ce que l'on pouvait attendre, les transistors ayant des développements courts ont des performances moindres en terme de $f_{\max}$, que les développements les plus longs. En étudiant le schéma équivalent, il est apparu que les causes de ce désaccord entre évolution théorique et expérimentale de $f_{\max}$, sont principalement liées à R_g et C_{gd} , qui expérimentalement ne suivent pas les lois d'échelle en W .

Les origines de ces évolutions atypiques de R_g et C_{gd} ne sont pas encore totalement comprises. Cependant une bonne compréhension de ces causes serait très utile pour améliorer les performances. Elle pourrait se concrétiser par une modification de la géométrie des transistors et/ou une modification de certaines opérations technologiques (recess, par exemple).

V - Conclusion

Ce chapitre a traité de l'étude et de la réalisation de transistors HEMTs filière AlInAs/GaInAs sur substrat d'InP, pour applications en bande D et G.

Dans une première partie, nous avons présenté les éléments de base des HEMTs (Schéma équivalent, Gains, Technologie...) et dressé un état des lieux de la filière AlInAs/GaInAs en terme de technologies de grille et de performances.

Chapitre I : Etude de HEMT sub-100 nm

Dans une seconde partie, nous avons mené une étude prospective à partir d'expressions analytiques de f_T et f_{max} "améliorées". Nous avons montré pour f_T , qu'en dehors de f_C , ce seront les résistances R_s et R_d et la capacité C_{gd} qui auront une influence déterminante sur ce paramètre. Pour la fréquence f_{max} , nous avons d'abord vu qu'elle dépendait aussi de paramètres secondaires comme R_{gd} , C_{ds} ou τ ; mais nous nous sommes aussi intéressé à l'influence particulière de C_{ds} (phénomène de réaction positive). Par ailleurs, nous avons vu que f_{max} était très sensible à G_d et au rapport C_{gs}/C_{gd} , une amélioration de ce paramètre passera donc par une réduction de L_g (pour f_C), mais surtout avec un respect du rapport d'aspect, afin de limiter la dégradation de G_d et du rapport C_{gs}/C_{gd} .

Dans la troisième partie, nous avons présenté la réalisation de HEMTs "optimisés" de longueur de grille 70 nm. D'abord nous avons décrit l'optimisation de la structure de couche du composant afin d'obtenir un rapport d'aspect correct, jusqu'à des longueurs de grille de 50 nm. Ce point sera essentiel pour éviter les phénomènes de canaux courts et améliorer f_{max} . Puis, nous avons abordé les principaux points du procédé de fabrication qu'il nous a fallu revoir. Enfin, nous avons rapporté les résultats obtenus pour des HEMTs 70 nm réalisés sur couche "standard" et "optimisée". Nous avons obtenu sensiblement les mêmes performances en terme de f_T , entre la couche "standard" et "optimisée", avec respectivement 270 et 240 GHz. Cependant la couche optimisée, nous a permis d'améliorer significativement f_{max} avec plus de 470 GHz, contre 370 GHz sur la couche "standard". Ce résultat se situe au niveau des meilleurs résultats mondiaux en terme de f_{max} .

Enfin, dans une dernière partie, nous avons abordé deux points particuliers qui sont l'influence du recess sur les HEMTs "optimisés" et l'évolution des gains en fonction du développement de grille (W). Nous avons vu que les performances des HEMTs sur "couche optimisée" sont extrêmement sensibles à la largeur du recess à cause de la faible épaisseur de barrière. En ce qui concerne l'évolution des gains en fonction de W , nous avons relevé des divergences importantes entre les évolutions théoriques et expérimentales de f_{max} . Pour expliquer ce désaccord, plusieurs causes ont été avancées, notamment sur des évolutions particulières de R_g et C_{gd} en fonction de W . Cependant, la compréhension de l'origine de ces divergences n'est pas encore totalement comprise, mais elle sera fondamentale pour permettre une amélioration des performances.

L'ensemble de ces travaux, nous ont permis d'aboutir à des HEMTs ayant des performances satisfaisantes en terme de f_{max} , pour permettre la réalisation de circuits MMICs en bande D et G. L'étape suivante a donc été la conception de différents circuits, ce qui est l'objet du second chapitre.

VI -

Bibliographie

- [1] W. SHOCKLEY, "A unipolar 'Field Effect' transistor", Proceedings of I.R.E., vol. 40, no. 11, pp. 1365-1376, 1952
- [2] Y. YAMASHITA, A. Endoh, K. Shinohara, K. Hikosaka, T. Matsui, S. Hiyamizu, T. Mimura, "Pseudomorphic $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ HEMTs With an Ultrahigh f_T of 562 GHz", IEEE Electron Device Letters, vol. 23, no. 10, pp. 573-575, OCTOBER 2002.
- [3] P.M. SMITH, S.-M. J. Liu, M.-Y. Kao, P. Ho, S. C. Wang, K. H. G. Duh, S. T. Fu, P. C. Chao, "W-Band High Efficiency InP-Based Power HEMT with 600 GHz f_{max} ", IEEE Microwave and Guided Wave Letters, vol. 5, no. 7, pp. 230-232, July 1995.
- [4] S. WEINREB, T. Gaier, R. Lai, M. Barsky, Y.C. Leong, L. Samoska, High-Gain 150-215-GHz MMIC Amplifier with Integral Waveguide Transitions, IEEE Microwave And Guided Wave Letters, vol. 9, no. 7, pp.282-284, JULY 1999.
- [5] H. FOURRE, "Réalisation et caractérisation de transistors à effet de champ à hétérojonction de la filière AlInAs/GaInAs pour applications en ondes millimétriques"
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Février 1997
- [6] P. CHEVALIER, "Conception et réalisation de transistors à effet de champ de la filière AlInAs/GaInAs sur substrat InP. Application à l'amplification faible bruit en ondes millimétriques"
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Novembre 1998
- [7] V. HOËL, " Conception, réalisation et caractérisation de transistors à effet de champ à hétérojonction sur substrat d'InP pour circuits intégrés coplanaires en bande V et W"
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Décembre 1998
- [8] M. ZAKNOUNE, "Etude de la technologie et des potentialités pour l'amplification hyperfréquence des transistors à effet de champ des filières phosphore AlGaInP/GaInAs et métamorphique AlInAs/GaInAs sur substrat GaAs"
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Février 1999
- [9] V. HOEL, S. Boret, B. Grimbert, G. Apercé, S. Bollaert, H. Happy, X. Wallart, A. Cappy, " 94-GHz Low Noise Amplifier on InP in Coplanar Technology ", GAAS 99, pp. 257-262
- [10] J.M. GOLIO "Microwave MESFETs and HEMTs" Artech House, London, 1991
- [11] G. WADA, H. HASEGAWA, "InP-Based Materials and Devices", Wiley-Interscience Publication, 1999
- [12] L. D. NGUYEN, L. E. Larson, U. K. Mishra, "Ultra-High-Speed Modulation-Doped Field-Effect Transistors: A Tutorial Review", Proceedings of the IEEE, vol. 80, no. 4, pp. 494-518, April 1992
- [13] D. DELAGEBEAUDEUF et al. "Two dimensional electron gas M.E.S.F.E.T. structure", Electronics Letters, vol. 16, no. 17, pp. 667-668, 1980
- [14] T. MIMURA et al., "A new field effect transistor with selectively doped GaAs/n-AlGaAs heterojunction", Japanese journal of Applied Physics, vol. 19, no. 5, pp. 2225-2227, 1980
- [15] R. DINGLE et al. "electron mobilities in modulation-doped semiconductor heterojunction superlattices", Applied Physics Letters, vol. 33(7), pp. 665-667, october 1978.
- [16] G. DAMBRINE " Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination du schéma équivalent "
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Mars 1989

-
- [17] G. DAMBRINE, A. Cappy, F. Heliodore, and E. Playez, "A new method of determining the FET small-signal equivalent circuit", IEEE Transactions on Electron Devices, vol. 35 no. 7, pp. 1151-1159, July 1988.
 - [18] W. HEINRICH, "LIMITS OF FET MODELLING BY LUMPED ELEMENTS", Electronics Letters, 5th June 1986, vol. 22, no. 12, pp. 630-632.
 - [19] W. HEINRICH, H. L. Hartnagel, "Wave Propagation on MESFET Electrodes and Its Influence on Transistor Gain", IEEE Transactions on Electron Devices, vol. 35, no. 1, pp. 1-8, January 1987.
 - [20] R. L. KUVÁS, "Equivalent Circuit Model of FET Including Distributed Gate Effects", IEEE Transactions on Electron Devices, vol. 27, no. 6, pp. 1193-1195, June 1980.
 - [21] S. J. MASON, " Power Gain in Feedback Amplifiers ", IRE Transactions on Circuit Theory - Vol .CT - 1, June 1954 , pp 20-25
 - [22] M. S. GUPTA, "Power Gain in Feedback Amplifiers, a Classic Revisited", IEEE Transactions on Microwave Theory and Techniques, vol. 40, no. 5, May 1992, pp.864-879.
 - [23] S. R. BAHL, J. A. del Alamo, "Elimination of Mesa-Sidewall Gate Leakage in InAlAs/InGaAs Heterostructures by Selective Sidewall recessing", IEEE Electron Device Letters, vol. 13, no. 4, pp. 195-197, April 1992.
 - [24] K. J. CHEN, T. Enoki, K. Maezawa, K. Arai, M. Yamamoto, "High-Performance InP-Based Enhancement-Mode HEMT's Using Non-Alloyed Ohmic Contacts and Pt--Based Buried-Gate Technologies", IEEE Transactions on Electron Devices, vol. 43, no. 2, pp. 252-257, February 1996.
 - [25] Y. YAMASHITA, A. Endoh, K. Shinohara, K. Hikosaka, T. Matsui, S. Hiyamizu, T. Mimura, "Pseudomorphic In_{0.52}Al_{0.48}As/In_{0.7}Ga_{0.3}As HEMTs With an Ultrahigh f_T of 562 GHz", IEEE Electron Device Letters, vol. 23, no. 10, pp. 573-575, OCTOBER 2002.
 - [26] T. SUEMITSU, T. Enoki, H. Yokoyama and Y. Ishii, "Improved Recessd-Gate Structure for Sub-0.1 μ m-Gate InP-Based High Electron Mobility Transistors", Jpn. J. Appl. Phys. Vol. 37 (1998) pp. 1365-1372, Part 1, No 3B, March 1998.
 - [27] T. SUEMITSU, H. Yokoyama, T. Ishii, T. Enoki G. Meneghesso, E. Zanoni, "30-nm Two-Step Recess Gate InP-Based InAlAs/InGaAs HEMTs", IEEE Transactions on Electron Devices, vol. 49, no. 10, pp. 1694-1700, October 2002.
 - [28] H. FOURRÉ, "Selective wet etching of Lattice Matched GaInAs/AlInAs on using succinic acid/ hydrogen peroxide solution", Journal of Vacuum Sciences and Technologies B, vol. 14, no. 5, sept. 1996, pp. 3400-3402
 - [29] A. S. WAKITA, C.-Y. Su, H. Rohdin, H.-Y. Liu, A. Lee, J. Seeger, V. M. Robbins, "Novel high -yield trilayer resist process for 0.1 μ m T-gate fabrication", J. Vac. Sci. Technol. B, vol. 13, pp. 2725-2728, 1995.
 - [30] T. ENOKI, M. Tomizawa, Y. Umeda and Y. Ishii, "0.05- μ m-Gate InAlAs/InGaAs High Electron Mobility Transistor and Reduction of Its Short-Channel Effects", Jpn. J. Appl. Phys. Vol. 33, pp. 798-803, Part 1, No 1B, January 1994.
 - [31] T. ENOKI, H. Ito, K. Ikuta, Y. Umeda, Y. Ishii, "0.1- μ m InAlAs/InGaAs HEMTs WITH AN InP-RECESS-ETCH STOPPER GROWN BY MOCVD", Microwave and Optical Technology Letters, vol. 11, no.3, February 1996, pp. 135-139.
 - [32] T. SUEMITSU, T. Enoki, H. Yokoyama, Y. Umeda and Y. Ishii, "Impact of two-step-recessed gate structure on RF performance of InP-based HEMTs", Electronics Letters, 22nd January 1998, vol. 34, No. 2, pp. 220-222.
 - [33] A. ENDOH, M. Higashiwaki, K. Hikosaka, T. Mimura, S. Hiyamizu, T. Matsui, "High f_T 50-nm-Gate Lattice-Matched InAlAs/InGaAs HEMTs", IPRM 2000, pp. 87-90.
-

-
- [34] K. SHINOHARA, Y. Yamashita, K. Hikosaka, N. Hirose, M. Kiyokawa, T. Matsui, T. Mimura, S. Hiyamizu, "Ultra-short T-shaped gate fabrication technique for InP based HEMTs with high f_T (> 300 GHz) and their MMIC applications", GaAs 2000, pp. 252-255.
 - [35] A. ENDOH, Y. Yamashita, K. Shinohara, M. Higashiwaki, K. Hikosaka, T. Mimura, S. Hiyamizu, T. Matsui, "Fabrication Technology and Device Performance of Sub-50-nm-Gate InP-Based HEMTs", IPRM 2001, pp. 448-451.
 - [36] K. SHINOHARA, T. Matsui, T. Mimura, S. Hiyamizu, "Novel Asymmetric Gate-Recess Engineering for Sub-Millimeter-Wave InP-based HEMTs", IMS 2001.
 - [37] K. SHINOHARA, Y. Yamashita, A. Endoh, K. Hikosaka, T. Matsui, S. Hiyamizu, "Ultrahigh-Speed Pseudomorphic InGaAs/InAlAs HEMTs With 400-GHz Cutoff Frequency", IEEE Electron Device Letters, vol. 22, no. 11, pp. 507-509, NOVEMBER 2001.
 - [38] K. SHINOHARA, Y. Yamashita, A. Endoh, K. Hikosaka, T. Matsui, T. Mimura, S. Hiyamizu, "Extremely High-Speed Lattice-Matched InGaAs/InAlAs High Electron Mobility Transistors with 472 GHz Cutoff Frequency", Jpn. J. Appl. Phys. Vol. 41, pp. L437-439, Part 2, No 4B, 15 April 2002.
 - [39] Y. YAMASHITA, A. Endoh, K. Shinohara, M. Higashiwaki, K. Hikosaka, T. Mimura, S. Hiyamizu, T. Matsui, "Ultra-Short 25-nm-Gate Lattice-Matched InAlAs/InGaAs HEMTs within the Range of 400 GHz Cutoff Frequency", IEEE Electron Device Letters, vol. 22, no. 8, pp. 367-369, AUGUST 2001.
 - [40] A. ENDOH, Y. Yamashita, K. Shinohara, M. Higashiwaki, K. Hikosaka, T. Mimura, S. Hiyamizu, T. Matsui, "Fabrication Technology and Device Performance of Sub-50-nm-Gate InP-Based High Electron Mobility Transistors", Jpn. J. Appl. Phys. Vol. 41, pp. 1094-1098, Part 1, No 2B, February 2002.
 - [41] S. BOLLAERT, Y. Cordier, M. Zaknounge, H. Happy, S. Leppilliet, A. Cappy, "0.06 μ m GATE LENGTH METAMORPHIC In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As HEMTs ON GaAs WITH HIGH f_T AND f_{MAX} ", IPRM 2001, pp. 192-195
 - [42] T. PARENTY, S. Bollaert, J. Mateos, X. Wallart, A. Cappy, "Design and realization of sub 100nm gate length HEMTs" IPRM 2001, pp. 624-627
 - [43] R. GRUNDACHER, R. Lai, M. Barsky, Y. C. Chen, R. Tsai, R. M. Dia, L. Tran, T. P. Chin, T. Block, A. Oki, "0.1 μ m ENHANCEMENT-MODE PSEUDOMORPHIC InGaAs/InAlAs/InP HEMT", IPRM 2001, pp. 180-183
 - [44] Y. YAMASHITA, A. Endoh, M. Higashiwaki, K. Hikosaka, T. Mimura, S. Hiyamizu, T. Matsui, "high f_T 50-nm-Gate InAlAs/InGaAs High Electron Mobility Transistors Lattice-Matched to InP Substrates", Jpn. J. Appl. Phys. Vol. 39, pp. L838-L840, Part 2, No 8B, 15 August 2000.
 - [45] D.L. EDGAR, H. McLelland, S. Ferguson, N.I. Cameron, M. Holland, I.G. Thayne, M.R.S. Taylor, C.R. Stanley, S.P. Beaumont, "94 AND 150GHz COPLANAR WAVEGUIDE MMIC AMPLIFIERS REALIZED USING InP TECHNOLOGY", IEEE MTT-S Digest 1999
 - [46] Y. K. KOK, H. Wang, T. W. Huang, R. Lai, M. Barsky, Y. C. Chen, M. Sholley, T. Block, D. C. Streit, P. H. Liu, B. R. Allen, L. Samoska, T. Gaier, "160-190-GHz Monolithic Low-Noise Amplifiers", IEEE Microwave And Guided Wave Letters, vol. 9, no. 8, AUGUST 1999, pp. 311-313
-

-
- [47] T. SUEMITSU, T. Ishii, H. Yokoyama, T. Enoki, Y. Ishii, and T. Tamamura, "30-nm-Gate InP-Based Lattice-Matched High Electron Mobility Transistors with 350 GHz Cutoff Frequency", Jpn. J. Appl. Phys. Vol. 38 (1999) pp. L154-L156, Part 2, No 2B, 15Feb. 1999
 - [48] T. SUEMITSU, T. Ishii, H. Yokoyama, Y. Umeda, T. Enoki, Y. Ishii, T. Tamamura, "30-nm-Gate InAlAs/InGaAs HEMTs Lattice-Matched to InP Substrates", IEDM 1998
 - [49] C. PROBANZ, M. Matloubian, M. Lui, H.-C. Sun, M. Case, C. Ngo, P. Janke, T. Gaier, L. Samoska, "A High-Gain Monolithic D-band InP HEMT Amplifier", GaAs IC 98, pp. 41-44
 - [50] C. W. POBANZ, M. Matloubian, M. Lui, H.-C. Sun, M. Case, C.M. Ngo, T. Gaier, L. Samoska, "A High-Gain Monolithic D-band InP HEMT Amplifier", IEEE Journal of Solid-State Circuits, VOL. 34, NO. 9, pp. 1219-1224, SEPTEMBER 1999
 - [51] T. SUEMITSU, T. Enoki, H. Yokoyama and Y. Ishii, "Improved Recessed-Gate Structure for Sub-0.1 μ m-Gate InP-Based High Electron Mobility Transistors", Jpn. J. Appl. Phys. Vol. 37 (1998) pp. 1365-1372, Part 1, No 3B, March 1998.
 - [52] T. SUEMITSU, T. Enoki, H. Yokoyama, Y. Umeda and Y. Ishii, "Impact of two-step-recessed gate structure on RF performance of InP-based HEMTs", Electronics Letters, 22nd January 1998, vol. 34, No. 2, pp. 220-222.
 - [53] T. SUEMITSU, H. Yokoyama, Y. Umeda, T. Enoki and Y. Ishii, "High-Performance 0.1- μ m-Gate Enhancement-Mode InAlAs/InGaAs HEMTs Using Two-Step-Recessed Gate Technology", IPRM 1998, pp. 497-500.
 - [54] T. SUEMITSU, H. Yokoyama, Y. Umeda, T. Enoki and Y. Ishii, "High-Performance 0.1- μ m-Gate Enhancement-Mode InAlAs/InGaAs HEMTs Using Two-Step-Recessed Gate Technology", IEEE Transactions on Electron Devices, vol. 46, no. 6, pp. 1074-1079, June 1999.
 - [55] T. ENOKI, H. Yokoyama, Y. Umeda, T. Otsuji, "Ultrahigh-Speed Integrated Circuits Using InP-Based HEMTs," Jpn. J. Appl. Phys. Vol. 37, pp. 1359-1364
 - [56] M. ZAKNOUNE, Y. CROSNIER, et al., "power performance capability of metamorphic HEMT on GaAs substrate" GAAS 1998
 - [57] M. ZAKNOUNE, Y. CROSNIER, et al., "high performance metamorphic In_{0.32}Al_{0.68}As/In_{0.33}Ga_{0.67}As HEMT's on GaAs substrate with an inverse step InAlAs metamorphic buffer", DRC 1998 (Device Research Conference)
 - [58] S. BOLLAERT, A. CAPPY, et al., "0.1 μ m metamorphic InAlAs/In_{0.4}Ga_{0.6}As on GaAs substrate HEMTs with f_t =190 GHz", GAAS 1998
 - [59] A. MAHAJAN, M. Arafa, P. Fay, C. Caneau, and I. Adesida, "0.3- μ m Gate-Length Enhancement Mode InAlAs/InGaAs/InP High-Electron Mobility Transistor", IEEE Electron Device Letters, vol. 18, no. 6, pp. 284-286, June 1997.
 - [60] T. ENOKI, H. Ito, K. Ikuta, Y. Umeda, Y. Ishii, "0.1- μ m InAlAs/InGaAs HEMTs WITH AN InP-RECESS-ETCH STOPPER GROWN BY MOCVD", Microwave and Optical Technology Letters, vol. 11, no.3, February 1996, pp. 135-139
 - [61] D. M. GILL, B. C. Kane, S. P. Svensson, D.-W. Tu, P.N. Uppal, N. E. Byer, "High-Performance, 0.1 μ m InAlAs/InGaAs High Electron Mobility Transistors on GaAs", IEEE Electron Device Letters, vol. 17, no. 7, pp. 328-330, July 1996.
 - [62] M. CHERTOUK, H. Heiss, D. Xu, S. Krauss, W. Klein, G. Böhn, G. Tränkle and G. Weimann, "METAMORPHIC InAlAs/InGaAs HEMTs ON SUBSTRATES WITH COMPOSITE CHANNELS AND 350-GHz f_{max} WITH 160-GHz f_t ", MICROWAVE and Optical Technology Letters, vol. 11, no.3, February 1996, pp. 145-147
-

-
- [63] M. CHERTOUK, H. Heiss, D. Xu, S. Krauss, W. Klein, G. Böhn, G. Tränkle and G. Weimann, "Metamorphic InAlAs/InGaAs HEMT's on GaAs Substrates with a Novel Composite Channels Design", IEEE Electron Device Letters, vol. 17, no. 6, pp. 273-275, JUNE 1996.
 - [64] K. J. CHEN, T. Enoki, K. Maezawa, K. Arai, M. Yamamoto, "High-Performance InP-Based Enhancement-Mode HEMT's Using Non-Alloyed Ohmic Contacts and Pt--Based Buried-Gate Technologies", IEEE Transactions on Electron Devices, vol. 43, no. 2, pp. 252-257, February 1996.
 - [65] S. STRÄHLE, B. Henle, L. Lee, H. Künzel, T. Hackbarth, J. Dickmann, E. Kohn, MICROWAVE PERFORMANCE OF InP-BASED HEMTs FOR LOW-VOLTAGE APPLICATION, Microwave and Optical Technology Letters, vol. 11, no.3, February 1996, pp. 131-135
 - [66] I. G. THAYNE, G. U. Jensen, M. C. Holland, Y. Chen, W. Li, A. Paulsen, J. H. Davies, S. P. Beaumont, P. K. Bhattacharya, "Comparison of 80-200 nm Gate Length $\text{Al}_{0.25}\text{GaAs}/\text{GaAs}/(\text{GaAs}/\text{AlAs})$, $\text{Al}_{0.3}\text{GaAs}/\text{In}_{0.15}\text{GaAs}/\text{GaAs}$, and $\text{In}_{0.52}\text{AlAs}/\text{In}_{0.15}\text{GaAs}$, and $\text{In}_{0.52}\text{AlAs}/\text{In}_{0.65}\text{AlAs}/\text{InP}$ HEMT's", IEEE Transactions on Electron Devices, vol. 42, no. 12, pp. 2047-2055, December 1995.
 - [67] P.M. SMITH, S.-M. J. Liu, M.-Y. Kao, P. Ho, S. C. Wang, K. H. G. Duh, S. T. Fu, P. C. Chao, "W-Band High Efficiency InP-Based Power HEMT with 600 GHz f_{max} ", IEEE Microwave and Guided Wave Letters, vol. 5, no. 7, pp. 230-232, July 1995.
 - [68] Y. KWON, D. Pavlidis, T. L. Brock, D.C. Streit, "Experimental and Theoretical Characteristics of High Performance Pseudomorphic Double Heterojunction InAlAs/In_{0.7}Ga_{0.3}As/InAlAs HEMT's", IEEE Transactions on Electron Devices, vol. 42, no. 6, pp. 1017-1025, JUNE 1995.
 - [69] T. ENOKI, M. Tomizawa, Y. Umeda and Y. Ishii, "0.05- μm -Gate InAlAs/InGaAs High Electron Mobility Transistor and Reduction of Its Short-Channel Effects", Jpn. J. Appl. Phys. Vol. 33, pp. 798-803, Part 1, No 1B, January 1994.
 - [70] M. WOJTOWICZ, R. Lai, D. C. Streit, G. I. Ng, T. R. Block, K. L. Tan, P. H. Liu, A. K. Freudenthal, R. M. Dia, "0.10 μm graded InGaAs Channel InP HEMT with 305GHz f_t and 340 GHz F_{max} ", IEEE Electron Device Letters, vol. 15, no. 11, pp. 477-479, November 1994.
 - [71] H. WANG, R. Lai, T. H. Chen, P. D. Chow et al., "A Monolithic W-band Three-stage LNA Using 0.1 μm InAlAs/InGaAs/InP HEMT Technology", IEEE MTT-S Digest 1993, pp. 519-522
 - [72] Y. BAEYENS, T. Skrabka, M. Van Hove, W. De Raedt, B. Nauwelaers, M. Van Rossum, Performance of 0.2 μm planar doped pseudomorphic and lattice matched HEMTs on GaAs and InP, ESSDRC 1993, pp. 753-756
 - [73] L. D. NGUYEN, A. S. Brown, M. A. Thompson, L. M. Jelloian, "50-nm Self-aligned-Gate Pseudomorphic AlInAs/GaInAs High Electron Mobility Transistors", IEEE Transactions on Electron Devices, vol. 39, no. 9, pp. 2007-2014, September 1992.
 - [74] L. D. NGUYEN, A. S. Brown, M. A. Thompson, L. M. Thompson, L. M. Jelloian, L. E. Larson, M. Matloubian, "650-A Self-aligned-Gate Pseudomorphic $\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{0.2}\text{In}_{0.8}\text{As}$ High Electron Mobility Transistors ", IEEE Electron Device Letters, vol. 13, no. 3, pp. 143-145, March 1992.
 - [75] P. HO, M. Y. Kao, P. C. Chao, K. H. G. Duh, J. M. Ballingall, S. T. Allen, A. J. Tessmer, P. M. Smith, "EXTREMELY HIGH GAIN 0.15 μm GATE-LENGTH InAlAs/InGaAs/InP HEMTs", Electronics Letters, 14th February 1991, vol. 27, No.42.
-

-
- [76] P. C. CHAO, A. J. Tessmer, K-H G. Duh, P. Ho, M.-Y. Kao, P. M. Smith, J. M. Ballingall, S.-M. J. Liu, A. A. Jabra, "W-Band Low-Noise InAlAs/InGaAs Lattice-Matched HEMT's", IEEE Electron Device Letters, vol. 11, no. 1, pp. 59-62, JANUARY 1990.
 - [77] U. K. MISHRA, A. S. Brown, M. J. Delaney, P. T. Greiling, C. F. Krumm, "The AlInAs-GaInAs HEMT for Microwave and Millimeter-Wave Applications", IEEE Trans. On Microwave Theory and Techniques, vol. 37, NO. 9, pp.1279-1285, SEPTEMBER 1989.
 - [78] U. K. MISHRA, A. S. Brown, S. E. Rosenbaum, C. E. Hooper, M. W. Pierce, M. J. Delaney, S. Vaughn, K. White, Microwave Performance of AlInAs-GaInAs HEMT's with 0.2- and 0.1- μm Gate Length, IEEE Electron Device Letters, vol. 9, no. 12, pp. 647-649, DECEMBER 1988.
 - [79] G.-W. WANG, Y.-K. Chen, W. J. Schaff, L. F. Eastman, "A 0.1- μm Gate Al_{0.5}In_{0.5}As/Ga_{0.5}In_{0.5}As MODFET Fabricated on GaAs Substrates", IEEE Transactions on Electron Devices, vol. 35, no. 7, pp. 818-822, JULY 1988.
 - [80] L. D. NGUYEN, L. M. JELLOIAN, et al., "fabrication of a 80nm self-aligned T-gate AlInAs/GaInAs HEMT", IEDM 1990, pp. 499-502.
 - [81] K. L. TAN, R. M. Dia, D. C. Streit, T. Lin, T. Q. Trinh, A. C. Han, P.H. Liu, P. D. Chow, H. C. Yen, "94-GHz 0.1- μm T-Gate Low-Noise Pseudomorphic InGaAs HEMT's", IEEE Electron Device Letters, vol. 11, no. 12, pp. 585-587, DECEMBER 1990.
 - [82] K. L. TAN, D. C. Streit, P. D. Chow, R. M. Dia, A. C. Han, P.H. Liu, D. Garske, R. Lai, 140 GHz 0.1 μm GATE-LENGTH PSEUDOMORPHIC In_{0.52}Al_{0.48}As/In_{0.60}Ga_{0.40}As/InP HEMT, IEDM 1991, pp. 239-242
 - [83] D. C. STREIT, K. L. Tan, R. M. Dia, A. C. Han, P. H. Liu, H. C. Yen, P. C. Chow, "High Performance W-Band InAlAs-InGaAs-InP HEMTs", IEE Electronics Letters, vol. 27, no. 13, june 1991, pp. 1149-1150
 - [84] K. H. G. DUH, P. C. Chao, S. M. Liu, P. Ho, M. K. Kao, J. M. Ballingall, "A Super Low-Noise 0.1 μm T-Gate InAlAs-InGaAs-InP HEMT", IEEE Microwave and Guided Wave Letters, vol. 1, no. 5, pp. 114-116, MAY 1991.
 - [85] K. H. G. DUH, P. C. Chao, P. Ho, M. Y. Kao, P. M. Smith, J. M. Ballingall, A. A. Jabra, "High-Performance InP-Based HEMT Millimeter-wave Low-Noise Amplifiers", IEEE MTT-S International Microwave Symposium Digest, 1989, pp. 805-808
 - [86] N. YOSHIDA, T. Kitano, Y. Yamamoto, T. Katoh, H. Minami, T. Kashiwa, T. Sonoda, S. Takamiya, S. Mitsui, "A Super Low Noise AlInAs/InGaAs HEMT Processed by Selective Wet Gate Recess Etching", IEEE Transactions on Electron Devices, vol. 43, no. 1, January 1996, pp. 178-180
 - [87] M.-Y. KAO, K. H. G. Duh, P. Ho, P.-C. Chao, "An extremely low-noise InP-based HEMT with silicon nitride passivation", IEDM 94, pp. 907-910
 - [88] U. K. MISHRA, A. S. Brown, S. E. Rosenbaum, "DC and RF performance of 0.1 μm gate length AlInAs/GaInAs pseudomorphic HEMTs", IEDM 1988, pp. 180-183.
 - [89] C. S. WHELAN, W. E. Hoke, R. A. Mc Taggart, S. M. Lardizabal, P. S. Lyman, P. H. Marsh, T. E. Kazior, "Low Noise In_{0.32}(AlGa)_{0.68}As/In_{0.73}Ga_{0.57}As Metamorphic HEMT on GaAs Substrate with 850 mW/mm Output Power Density", IEEE Electron Device Letters, vol. 21, no. 1, pp. 5-8, January 2000.
 - [90] M. KAWANO, T. Kuzuhara, H. Kawasaki, F. Sasaki, H. Tokuda, "InAlAs/InGaAs metamorphic low-noise HEMT", IEEE Microwave and Guided Wave Letters, vol. 7, no. 1, pp. 6-8, January 1997.
-

-
- [91] T. ENOKI, K. Arai, Y. Ishii, "Delay Time Analysis for 0.4-to 5- μ m-Gate InAlAs-InGaAs HEMT's", IEEE Electron Device Letters, vol. 11, no. 11, pp. 502-504, November 1990.
 - [92] P. J. TASKER, Brian Hughes, "Importance of Source and Drain Resistance to the Maximum Ft of Millimeter-Wave MODFET's", IEEE Electron Device Letters, vol. 10, no. 7, pp. 291-293, July 1989.
 - [93] H. ROHDIN, A. Nagy, V. Robbins, C.-Y. Su, A. S. Wakita, J. Seeger, T. Hwang, P. Chye, P. E. Gregory, S. R. Bahl, F. G. Kellert, L. G. Studebaker, D. C. D'Avanzo, S. Johnsen "0.1- μ m Gate-Length AlInAs/GaInAs/GaAs MODFET MMIC Process for Applications in High-Speed Wireless Communications", The Hewlett-Packard Journal, vol. 49, february 1998, pp. 37.
 - [94] H. ROHDIN, A. Nagy, V. Robbins, C.-Y Su, C. Madden, A. Wakita, j. Raggio, j. Seeger, "Low-Noise, High Speed Ga_{0.47}In_{0.53}As/Al_{0.48}In_{0.52}As 0.1- μ m MODFETs and high-Gain/Bandwith Three-Stage Amplifier Fabricated on GaAs Substrate", IPRM 1995, pp.73-76
 - [95] H. ROHDIN, N. Moll, C.-yi, G. S. Lee, "Interfacial Gate Resistance in Schottky-Barrier-Gate Field-Effect Transistors", IEEE Transactions on Electron Devices, vol. 45, no. 12, pp. 2407-2416, December 1998.
 - [96] J. BRAUNSTEIN, P. J. Tasker, A. Hülsmann, K. Köhler, W. Bronner, M. schlechweg, "Gds an Ft analysis of pseudomorphic MODFETs with gate lengths down to 0.1 μ m", Int. Symp. GaAs and Related Compounds, Freiburg, 1993
 - [97] J. Mateos, T. Gonzalez, D. Pardo, V. Hoel, S. Bollaert, A. Cappy, "Design Optimisation of Ultra-Short Gate HEMTs using Monte-Carlo Simulation", GaAs 2000 Paris, pp. 624-627.
 - [98] Y. AWANO, M. Kosugi, K. Kosemura, T. Mimura, M. Abe, "Short-Channel Effects in Subquarter-Micrometer-Gate HEMT's: Simulation and Experiment", IEEE Transactions on Electron Devices, vol. 36, no. 10, pp. 2260-2266, OCTOBER 1989.
 - [99] H. HAPPY, "HELENA : UN LOGICIEL DE SIMULATION DES COMPOSANTS A EFFET DE CHAMP"
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Juin 1992
 - [100] A. FUJIHARA, E. Mizuki, H. Miyamoto, Y. Makino, K. Yamanoguchi, N. Samoto, "HIGH PERFORMANCE 60-GHz, COPLANAR MMIC LNA USING InP HETEROJUNCTION FETS WITH AlAs/InAs SUPERLATTICE LAYER", IEEE MTT-S Digest 2000, pp.21-24

VII -

Chapitre I : Etude de HEMT sub-100 nm

Annexes

VII.A) Calcul de $f_{\max}$

Pour le calcul de $f_{\max}$, nous avons considéré le schéma équivalent petit signal sans les éléments L_g , C_{pg} , L_s , C_{pd} et L_d , car ceux-ci étant des éléments purement réactifs placés directement en entrée, en sortie, ou en contre-réaction, ils n'interviendront donc pas sur le gain unilatéral U .

Pour ce calcul, nous avons utilisé la définition de U en paramètres "z" :

$$U = \frac{|Z_{21} - Z_{12}|^2}{4.(R_{11}.R_{22} - R_{12}.R_{21})} \quad (R_{xy} = \text{Re}(Z_{xy}))$$

où $[Z]$ représente la matrice globale du transistor est vaut :

$$[Z] = \begin{pmatrix} Rg + Rs + z_{11} & Rs + z_{12} \\ Rs + z_{21} & Rs + Rd + z_{22} \end{pmatrix}$$

ici $[z]$ correspond à la matrice "z" de la partie intrinsèque du transistor avec $[z] = [y]^{-1}$,

$z_{11} = \frac{y_{22}}{\Delta y}$, $z_{12} = \frac{-y_{12}}{\Delta y}$, $z_{21} = \frac{-y_{21}}{\Delta y}$, $z_{22} = \frac{y_{11}}{\Delta y}$, et pour la matrice $[y]$ nous avons :

$$[y] = \begin{cases} y_{11} = \frac{j.Cgs.\omega}{1 + j.Ri.Cgs.\omega} + \frac{j.Cgd.\omega}{1 + j.Rgd.Cgd.\omega} \approx (Ri.Cgs^2 + Rgd.Cgd^2)\omega^2 + j.(Cgs + Cgd).\omega \\ y_{12} = \frac{j.Cgd.\omega}{1 + j.Rgd.Cgd.\omega} \approx -Rgd.Cgd^2.\omega^2 - j.Cgd.\omega \\ y_{21} = \frac{Gm.\exp(-j.\omega.\tau)}{1 + j.Ri.Cgs.\omega} - \frac{j.Cgd.\omega}{1 + j.Rgd.Cgd.\omega} \\ \approx Gm + (Gm.(Ri^2.Cgs^2 - \tau^2/2) - Rgd.Cgd^2)\omega^2 - j.\omega.(Gm(\tau + Ri.Cgs) + Cgd) \\ y_{22} = Gd + j.Cds.\omega + \frac{j.Cgd.\omega}{1 + j.Rgd.Cgd.\omega} \approx Gd + Rgd.Cgd^2.\omega^2 + j.\omega.(Cgd + Cds) \end{cases}$$

$$\text{Or } |Z_{21} - Z_{12}|^2 = \frac{|y_{21} - y_{12}|^2}{|\Delta y|^2} = \frac{Gm^2}{|\Delta y|^2} \quad (\text{D. L. à l'ordre 0 de } y_{21})$$

Ce qui donne pour U :

$$U = \frac{Gm^2}{4.|\Delta y|^2.(Rg.Rs + Rg.Rd + Rs.Rd + Rg.r_{22} + Rd.r_{11} + Rs.(r_{11} + r_{22} - r_{12} - r_{21}) + \Delta rz)}$$

$$\text{avec } \Delta rz = r_{11}.r_{22} - r_{12}.r_{21} = \left(\frac{\Delta gy}{|\Delta y|^2} = \frac{g_{11}.g_{22} - g_{12}.g_{21}}{|\Delta y|^2} \right)$$

Si l'on décompose Δy en partie réelle et imaginaire ($\Delta y = \Delta y_r + j.\Delta y_i$), on obtient :

Chapitre I : Etude de HEMT sub-100 nm

$$r_{11} = \frac{g_{22} \cdot \Delta y_r + b_{22} \cdot \Delta y_i}{|\Delta y|^2} \quad r_{12} = \frac{-g_{12} \cdot \Delta y_r - b_{12} \cdot \Delta y_i}{|\Delta y|^2}$$

$$r_{21} = \frac{-g_{21} \cdot \Delta y_r - b_{21} \cdot \Delta y_i}{|\Delta y|^2} \quad r_{22} = \frac{g_{11} \cdot \Delta y_r + b_{11} \cdot \Delta y_i}{|\Delta y|^2}$$

Puis pour U, nous avons alors :

$$U = Gm^2 / 4 \cdot \left[(Rg.Rs + Rg.Rd + Rs.Rd) |\Delta y|^2 + Rg.(g_{11} \Delta y_r + b_{11} \Delta y_i) + Rd.(g_{22} \Delta y_r + b_{22} \Delta y_i) \right. \\ \left. + Rs.((g_{11} + g_{22} + g_{12} + g_{21}) \Delta y_r + (b_{11} + b_{22} + b_{12} + b_{21}) \Delta y_i + \Delta g_y) \right]$$

Connaissant la matrice [y] de la partie intrinsèque du transistor, l'étape suivante est de calculer les termes $|\Delta y|^2$, Δy_r , Δy_i et Δg_y , en fonction des éléments du schéma équivalent, et en se limitant à l'ordre 2. Ensuite, on reporte ces termes dans l'expression de U, en se limitant toujours à l'ordre 2, pour les différents termes du dénominateur. On obtient alors :

$$U = \frac{Gm^2}{4.Gd.Cgs^2 \omega^2} \cdot \left\{ \begin{aligned} & (Rg.Rs + Rg.Rd + Rs.Rd) \left(1 + \frac{Cgd}{Cgs} \cdot \left(1 + \frac{Gm}{Gd} \right) \right)^2 \cdot Gd \\ & + Rg \cdot \left(1 + \frac{Cgd}{Cgs} \right) \cdot \left(1 + \frac{Cgd}{Cgs} \cdot \left(1 + \frac{Gm}{Gd} \right) \right) \\ & + Rs \cdot \left[1 + Ri.Gd - \frac{Gm}{Gd} \cdot \frac{Cds}{Cgs} - 2\pi \cdot f_c \cdot \tau + Rgd.Gm \cdot \left(\frac{Cgd}{Cgs} \right)^2 \cdot \left(\frac{Gm}{Gd} + 2 + \frac{Gd}{Gm} \right) \right] \\ & + Rd \cdot \left[Ri.Gd + \frac{Cgd}{Cgs} \cdot \left(\frac{Cgd}{Cgs} \cdot \left(\frac{Gm}{Gd} + 1 + Rgd.(Gm + Gd) \right) + 2\pi \cdot f_c \cdot \tau + RiGm + \frac{Gm}{Gd} \cdot \frac{Cds}{Cgs} \right) \right] \\ & + Ri + Rgd \cdot \left(\frac{Cgd}{Cgs} \right)^2 \cdot \left(\frac{Gm}{Gd} + 1 \right) \end{aligned} \right\}^{-1}$$

De cette expression de U, on déduit f_{max} en sachant que $U(f_{max})=1$, et en réorganisant les termes du dénominateur on arrive à :

$$f_{max} = \frac{Gm}{4\pi.Cgs.\sqrt{Gd}} * \left\{ \begin{aligned} & Ri \cdot \left(1 + (Rs + Rd).Gd + Rd.Gm \cdot \frac{Cgd}{Cgs} \right) \\ & + Rgd \cdot \left(\frac{Cgd}{Cgs} \right)^2 \cdot \left(\frac{Gm}{Gd} (1 + Rs.Gm) + 1 + (Rd + 2.Rs).Gm + (Rs + Rd).Gd \right) \\ & + (Rg.Rs + Rg.Rd + Rs.Rd) \left(1 + \frac{Cgd}{Cgs} \cdot \left(1 + \frac{Gm}{Gd} \right) \right)^2 \cdot Gd \\ & + Rg \cdot \left(1 + \frac{Cgd}{Cgs} \right) \cdot \left(1 + \frac{Cgd}{Cgs} \cdot \left(1 + \frac{Gm}{Gd} \right) \right) + Rs \cdot \left[1 - \frac{Gm}{Gd} \cdot \frac{Cds}{Cgs} - 2\pi \cdot f_c \cdot \tau \right] \\ & + Rd \cdot \left[\frac{Cgd}{Cgs} \cdot \left(\frac{Cgd}{Cgs} \cdot \left(\frac{Gm}{Gd} + 1 \right) + 2\pi \cdot f_c \cdot \tau + \frac{Gm}{Gd} \cdot \frac{Cds}{Cgs} \right) \right] \end{aligned} \right\}^{-1/2}$$

Si l'on néglige les termes les plus faibles au dénominateur, on parvient finalement à l'expression suivante :

$$f_{\max} \approx \frac{Gm}{4.\pi.Cgs.\sqrt{Gd}} \cdot \left\{ \begin{aligned} & Ri \cdot \left(1 + (Rs + Rd).Gd + Rd.Gm.\frac{Cgd}{Cgs} \right) \\ & + Rgd.\left(\frac{Cgd}{Cgs}\right)^2 \cdot \left(\frac{Gm}{Gd}(1 + Rs.Gm) + 1 + (Rd + 2.Rs).Gm \right) \\ & + (Rg.Rs + Rg.Rd + Rs.Rd) \cdot \left(1 + \frac{Cgd}{Cgs} \cdot \frac{Gm}{Gd} \right)^2 \cdot Gd \\ & + Rg.\left(1 + \frac{Cgd}{Cgs} \right) \cdot \left(1 + \frac{Cgd}{Cgs} \cdot \frac{Gm}{Gd} \right) + Rs.\left[1 - \frac{Gm}{Gd} \cdot \frac{Cds}{Cgs} - 2.\pi.f_C.\tau \right] \\ & + Rd.\frac{Cgd}{Cgs} \cdot \left(2.\pi.f_C.\tau + \frac{Gm}{Gd} \cdot \frac{Cds + Cgd}{Cgs} \right) \end{aligned} \right\}^{-1/2}$$

Cependant si l'on recherche une formulation plus simple, avec une précision modeste ($\sim 10\%$), on peut recourir à cette expression :

$$f_{\max 10\%} \approx \frac{Gm}{4.\pi.Cgs.\sqrt{Gd}} \cdot \left\{ \begin{aligned} & Ri + Rgd.\left(\frac{Cgd}{Cgs}\right)^2 \cdot \left(\frac{Gm}{Gd}(1 + Rs.Gm) \right) \\ & + (Rg.Rs + Rg.Rd + Rs.Rd) \cdot \left(1 + \frac{Cgd}{Cgs} \cdot \frac{Gm}{Gd} \right)^2 \cdot Gd + Rg.\left(1 + \frac{Cgd}{Cgs} \cdot \frac{Gm}{Gd} \right) \\ & + Rs.\left[1 - \frac{Gm}{Gd} \cdot \frac{Cds}{Cgs} - 2.\pi.f_C.\tau \right] + Rd.\frac{Cgd}{Cgs} \cdot \left(2.\pi.f_C.\tau + \frac{Gm}{Gd} \cdot \frac{Cds + Cgd}{Cgs} \right) \end{aligned} \right\}^{-1/2}$$

VII.B) Calcul de f_T

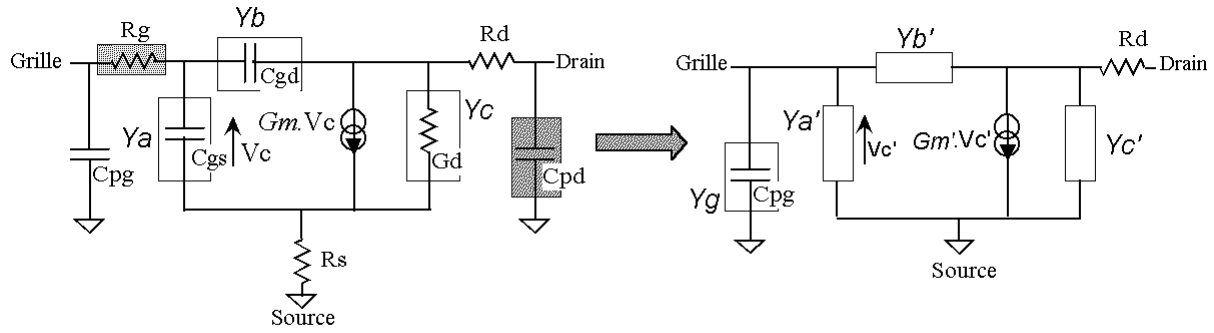
La fréquence f_T est défini comme la fréquence de transition du gain en courant h_{21} , celui-ci étant défini par la relation suivante :

$$f_T \text{ tel que } |h_{21}(f_T)|^2 = 1 \quad \text{avec} \quad h_{21} = \frac{i_2}{i_1} \bigg|_{v_2=0}$$

Pour le calcul de f_T , nous avons considéré le schéma équivalent petit signal avec ses principaux éléments (Cgs , Cgd , Gm , Gd , Cpg , Rs et Rd).

A noter aussi que les éléments Rg , Lg et Cpd ont une influence insignifiante ou nulle, de par la définition du gain en courant.

Chapitre I : Etude de HEMT sub-100 nm



Rg et Cpd ont une influence négligeable ou nulle, de par la définition du gain h_{21} .

Figure 52 : transformation de la partie intrinsèque + R_s , en un schéma en PI.

La première étape est de transformer la "partie intrinsèque + R_s " en un schéma en PI, comme cela est montré sur la Figure 52. Chaque élément du nouveau schéma est défini par les relations suivantes :

$$Y_A' = \frac{Y_A}{1 + \alpha} ; \quad Y_B' = Y_B + \frac{R_s Y_A Y_C}{1 + \alpha} ; \quad Y_C' = \frac{Y_C}{1 + \alpha} ; \quad Gm' = \frac{Gm}{1 + \alpha} ;$$

Avec : $\alpha = R_s (Gm + Y_A + Y_C)$

Dans cette configuration en PI, on peut alors aisément calculer le gain en courant, qui vaut :

$$h_{21} = \frac{Gm' - Y_B'}{Y_A'' + Y_B' + Rd \cdot (Y_A'' \cdot Y_C' + Y_A'' \cdot Y_B' + Y_B' \cdot Y_C' + Y_B' \cdot Gm')}$$

Avec : $Y_A'' = Y_A' + Y_G$ ($Y_G = j \cdot Cpg \cdot \omega$)

On exprime ensuite h_{21} en fonction de Y_A , Y_B , Y_C , Gm et Y_G . Puis, en fonction des différents éléments du schéma équivalent, et en conservant seulement les termes d'ordre 0 au numérateur, et d'ordre 1 au dénominateur. Nous obtenons alors :

$$h_{21} \approx \frac{Gm}{j \cdot \omega \cdot [(Cgs + Cgd + Cpg) \cdot (1 + (Rs + Rd) \cdot Gd) + Cgd \cdot Gm \cdot (Rs + Rd) + Cpg \cdot Gm \cdot Rs]} = \frac{f_T}{j \cdot f}$$

Ou encore :

$$f_T \approx \frac{Gm}{2\pi \cdot [(Cgs + Cgd + Cpg) \cdot (1 + (Rs + Rd) \cdot Gd) + Cgd \cdot Gm \cdot (Rs + Rd) + Cpg \cdot Gm \cdot Rs]}$$

VII.C) Procédé technologique pour la réalisation des HEMTs sur InP, avec le masque 4AS

1°) Marques d'alignement

⇒ Lithographie électronique, bicouche COPO/PMMA

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode /Remarques
		Temp.	Durée	
Nettoyage	Acétone	Temp. ambiant e (TA)	5 min	Bain + ultra son
	Alcool Isopropylique (IPA)		5 min	
Séchage	Plaque chauffante	120 °C	5 min	
Dépôt Résine	COPO (PMMA-MAA) 13% mma 8.5		12 s	v = 2900 tr/min a = 1000 tr/min/s Ep. = 6680 Å
Séchage	Plaque chauffante	80 °C	1 min	
Recuit	Etuve	170 °C	30 min	
Refroidissement		TA	10 min	
Dépôt Résine	PMMA 495K 3%		12 s	v = 3400 tr/min a = 1000 tr/min/s Ep. = 630 Å
Séchage	Plaque chauffante	80 °C	60 s	
Recuit	Etuve	170 °C	30 min	
Exposition	Masqueur électronique			Résolution : 50 nm; Dose : 182 $\mu\text{C}/\text{cm}^2$; E : 50 kV
Préparation développeur	Méthyle Isobutyle Kétone (MIBK)/IPA 1:2	TA	2 min	30/60 mL (petit bécher dédié) Agitation 150 tr/min
Développement		TA	1 min	Agitation 110 tr/min
Rinçage	IPA	TA	30 s	Agitation 110 tr/min, puis Séchage N ₂
Désoxydation	Plasma Argon		20 s	150 V
Métallisation	Ti/Au : 200/2000 Å			Evaporation sous vide
Lift off	Acétone	TA	~30 min	Bain (+ ultra son)
Rinçage/Séchage	Acétone IPA	TA	5 min 5 min	Séchage N ₂
CONTRÔLES :	- Epaisseur des résines : après <u>chaque</u> résinage et après révélation - Propreté après révélation - Dimensions des motifs - Epaisseur métallisation			

2°) Mésa

⇒ Lithographie optique (AZ 1518)

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone	TA	5 min	Bain + ultra son
	IPA		5 min	
Séchage	Plaque chauffante	120 °C	5 min	

Chapitre I : Etude de HEMT sub-100 nm

Dépôt Résine	AZ 1518		8 s	v = 4000 tr/min a = 2000 tr/min/s Ep. ~ 12660 Å
Recuit	Plaque chauffante	110 °C	1 min	
Insolation (niveau 2)	Aligneur MA 6		1,6 s	P= 9 mW/cm², UV400
	Aligneur MA 750		18 s	P= 7 mW/cm², (avec filtre)
Développement	MIF 726	TA	~ 15 s	
Rinçage	Eau DI	TA	30 s	Agitation, séchage N ₂
Préparation gravure	H ₃ PO ₄ /H ₂ O ₂ /H ₂ O DI : 5/1/40	TA	5 min	Avec agitateur magnétique => 20/4/160 mL
Attaque chimique		TA	35 s ¹	V ~ 2000 Å/min => Ep. ~ 1200 Å
Rinçage	Eau DI	TA	30 s	Séchage N ₂
Dérésinage	Acétone IPA	TA	10 min 5 min	Bain
CONTRÔLES :	- Epaisseur des résines : après résinage et révélation - Propreté après révélation et dimension des motifs - ¹ Gravure en deux temps : 30s, contrôle de l'épaisseur gravée, puis gravure complémentaire en fonction de la cinétique trouvée. - Hauteur du méso			

3°) Contacts ohmiques

$\Rightarrow$ Lithographie électronique, bicouche COPO/PMMA

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage	Plaque chauffante	120 °C	5 min	
Dépôt Résine	COPO 13% (mma 8.5)		12 s	$v = 2900 \text{ tr/min}$ $a = 1000 \text{ tr/min/s}$ $Ep. = 6680 \text{ \AA}$
Séchage	Plaque chauffante	80 °C	1 min	
Recuit	Etuve	170 °C	30 min	
Refroidissement		TA	10 min	
Dépôt Résine	PMMA 495K 3%		12 s	$v = 3400 \text{ tr/min}$ $a = 1000 \text{ tr/min/s}$ $Ep. = 630 \text{ \AA}$
Séchage	Plaque chauffante	80 °C	60 s	
Recuit	Etuve	170 °C	30 min	
Exposition	Masqueur électronique			Résolution : 50 nm; Dose : 182 $\mu\text{C/cm}^2$; E : 50 kV
Préparation développeur	MIBK/IPA 1:2	TA	2 min	30/60 mL Agitation 150 tr/min
Développement		TA	1 min	Agitation 110 tr/min
Rinçage	IPA	TA	30 s	Agitation 110 tr/min, puis Séchage N_2
Désoxydation	Plasma Argon		20 s	150 V
Métallisation	Ni/Au/Ge/Ni/Au : 25/400/800/50/600 $\text{\AA}$			Evaporation sous vide

Chapitre I : Etude de HEMT sub-100 nm

Lift off	Acétone	TA	~ 30 min	Bain (+ ultra son)
Rinçage/Séchage	Acétone IPA	TA	5 min 5 min	Séchage final : N ₂
Recuit (Couche "optimisée" 65% In)	Four "JetFirst"	270 °C	60s	Montée avec palier à 150 °C et 250 °C Programme : GaInAs270b
Recuit (Couche "standard" LM)	Four "JetFirst"	295 °C	60s	Montée avec palier à 150 °C et 250 °C
CONTRÔLES :	- Epaisseur des résines : après <u>chaque</u> résinage et la révélation - Après révélation : Propreté et dimensions des motifs (! distance source-drain) - Epaisseur métallisation - Contrôles électriques : Résistivité de la métallisation, Isolation, Courant maximum, Mesures TLM (R_c et R_□)			

4°) La grille

⇒ Lithographie électronique, bicouche PMMA/COPO

Opération		Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
			Temp.	Durée	
Nettoyage		Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage		Plaque chauffante	120 °C	5 min	
Dépôt bicouche par ACS		PMMA 4% 950 K/ COPO 11% mma 8.5 : 1580/7050 Å			
Exposition		Masqueur électronique			
Développement ACS		MIBK:IPA (1:2)	TA	21+21 s ¹	¹ : 2 enductions de révélateur
Rinçage ACS		IPA	TA		8 "scans", puis séchage par centrifugation
Préparation "solution recess"		SA:H ₂ O ₂ (30:4) (Acide Succinique)	TA	10 min	Homogénéisation avec agitateur magnétique <i>! La solution d'acide succinique est préparée à l'avance et tamponnée avec de l'ammoniaque (pH=5)</i>
Couche "optimisée"	Mouillage	IPA	TA	10 s	
	Recess	SA:H ₂ O ₂ (30:4)	TA	45 s	Agitation les 10 premières secondes
	Rinçage	IPA	TA	10 s	Séchage N ₂
Désoxydation		Plasma Argon		20 s	150 V
Métallisation		Ti/Pt/Au : 250/250/3500 Å			Evaporation sous vide
Lift off		Acétone	TA	~ 30 min	Bain (PAS d'ultra-son)
Rinçage/Séchage		Acétone IPA	TA	5 min 5 min	Séchage final : N ₂
CONTRÔLES :		- Après révélation : Contrôle au MEB de la lithographie - Epaisseur métallisation			

Chapitre I : Etude de HEMT sub-100 nm

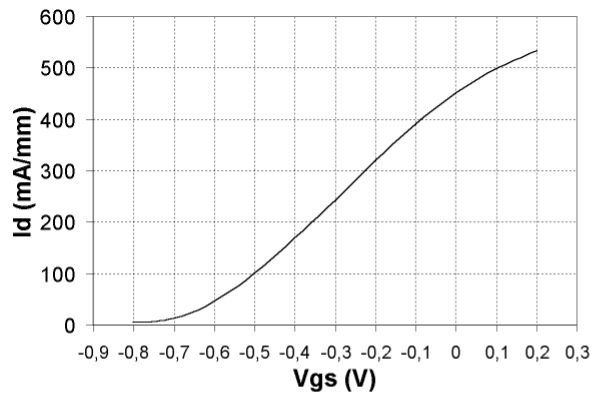
5°) Les plots d'épaissement

⇒ Lithographie optique, procédé "Novolak"

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage		120 °C	5 min	Plaque chauffante
Dépôt Résine	AZ 1518		8 s	v = 4400 tr/min a = 2000 tr/min/s Ep. ~ 1,2 µm
Recuit		110 °C	1 min	Plaque chauffante
Traitement de surface	AZ 326	TA	30 s	SANS agitation
Rinçage	Eau DI	TA	15 s	
Insolation	Aligneur MA 6		1,2 s	P= 9 mW/cm², UV400
	Aligneur MA 750		12 s	P= 7 mW/cm² (avec filtre)
Recuit	Plaque chauffante	110 °C	1 min	SI : Aligneur MA 6
		120 °C	1 min	SI : Aligneur MA 750
Développement	AZ400/Eau DI (1:3)	TA	2 min	SI : Aligneur MA 6
			~ 30 s	SI : Aligneur MA 750
Rinçage	Eau DI	TA	15 s	Agitation
Désoxydation	Plasma Argon		20 s	150 V
Métallisation	Ti/Au : 1000/4000 Å			Evaporation sous vide
Lift off	Acétone	TA	~ 30 min	Bain
Rinçage/Séchage	Acétone IPA	TA	5 min 5 min	Séchage final : N ₂
CONTRÔLES :	- Epaisseur résine : après résinage et révélation - Après révélation : Propreté, dimensions des motifs, profil "casquette" - Epaisseur métallisation - Contrôles électriques : Résistance métallique de grille (motif dédié), caractérisation continue des transistors (Schottky, Caractéristiques "Ids(Vds)")			

VII.D) Schémas équivalents petits signaux des HEMTs sur couche "standard" et "optimisée" ($L_g \sim 70$ nm, $W = 2 \times 50$ μ m, $V_{ds} = 1$ V)

VII.D.1) Schéma équivalent d'un HEMT sur couche "standard" ($L_g \sim 70$ nm, $W = 2 \times 50$ μ m)



$V_{ds} = 1$ V ; $W = 100$ μ m (2×50)

Eléments extrinsèques :

$R_g = 5$ Ω

$R_s = 3,4$ Ω

$R_d = 4,6$ Ω

$L_g = 40$ pH

$L_s = 1,5$ pH

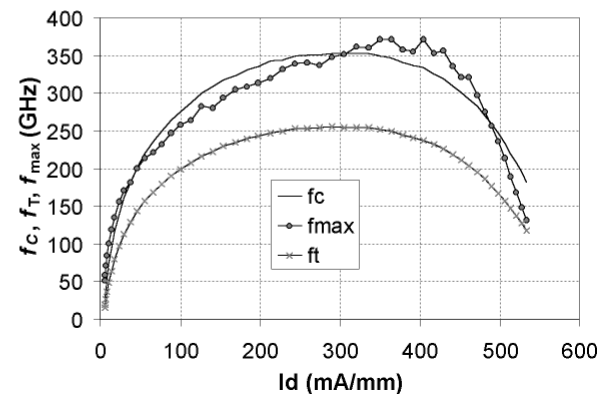
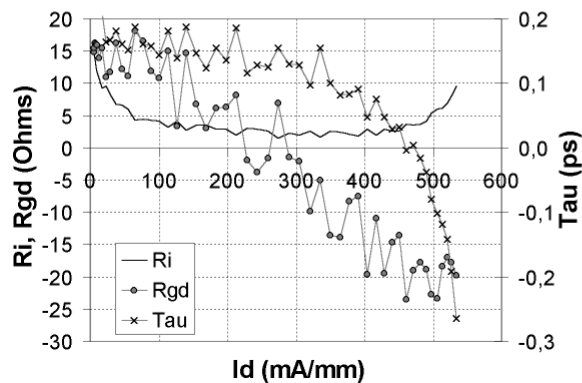
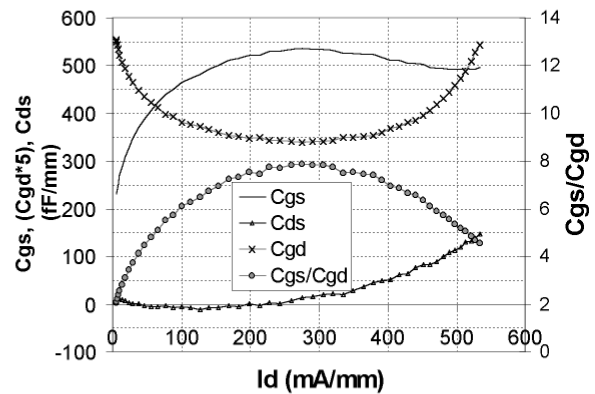
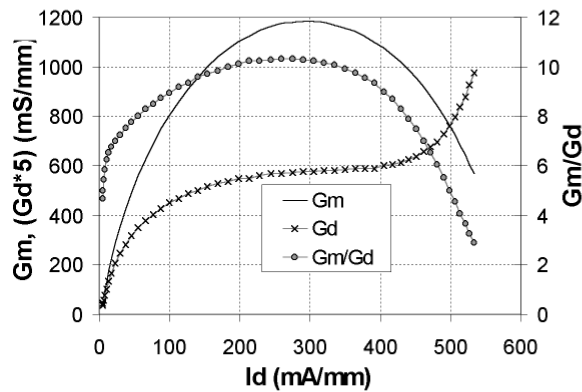
$L_d = 30$ pH

$C_{pg} = 1$ fF

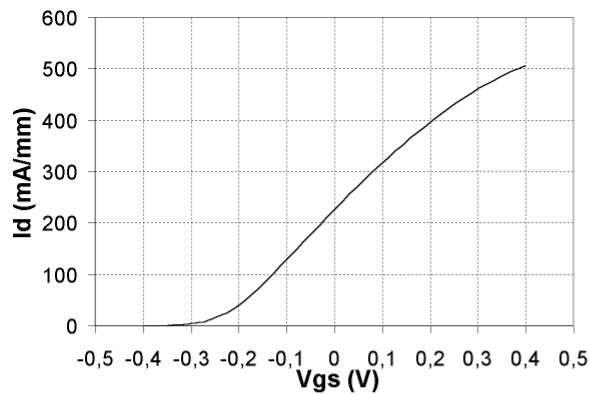
$C_{pd} = 22$ fF

(transistor 10605/1 0/1 2x50n4)

!! f_t et f_{max} ont été calculés par les expressions analytiques présentées dans l'annexe du chapitre 1



VII.D.2) Schéma équivalent d'un HEMT sur couche "optimisée" ($L_g \sim 70$ nm, $W = 2 \times 50 \mu\text{m}$)

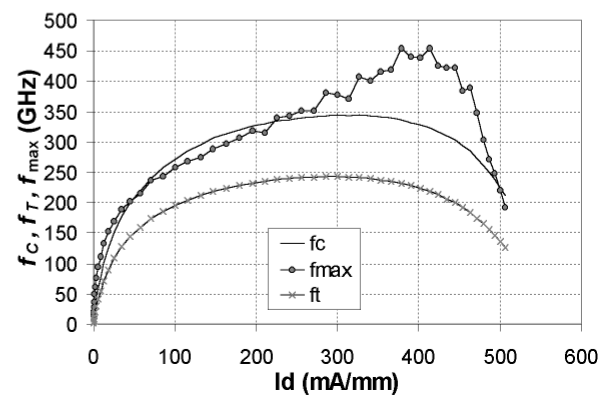
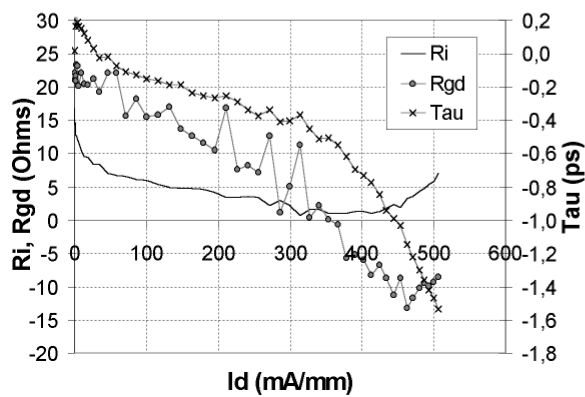
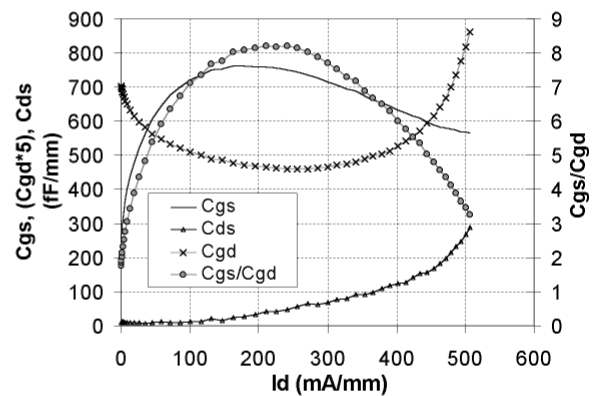
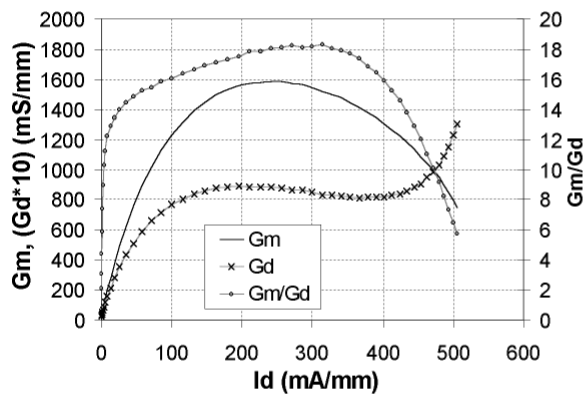


$V_{ds} = 1$ V ; $W = 100 \mu\text{m}$ (2×50)

Eléments extrinsèques :

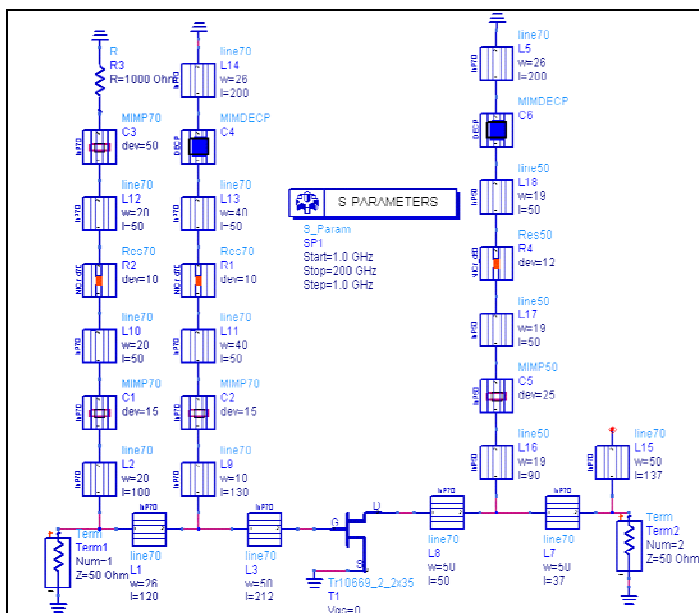
$R_g = 3 \Omega$
 $R_s = 3,9 \Omega$
 $R_d = 4,8 \Omega$
 $L_g = 40$ pH
 $L_s = 2$ pH
 $L_d = 30$ pH
 $C_{pg} = 1,2$ fF
 $C_{pd} = 21$ fF
 (transistor 10669/2 3/1 2x50n3)

!! f_t et f_{max} ont été calculés par les expressions analytiques présentées dans l'annexe du chapitre I



CHAPITRE II

Conception de Circuits MMICs en bande D et G



Chapitre II : Conception de Circuits MMICs en bande D et G

Introduction

Ce chapitre traite de la conception de fonctions de base pour des applications en bande D et G, en technologie MMIC (Monolithic Microwave Integrated Circuit). Les fonctions développées sont des amplificateurs adaptés en gain, à 140 et 180 GHz, un oscillateur à 140 GHz, et quatre oscillateurs contrôlés en tension (VCOs) à la fréquence de 140 GHz. Nous avons choisi les fréquences de 140 GHz et 180 GHz, car elles correspondent à une fenêtre de propagation (140 GHz) et des raies d'absorption (180 GHz) où de nombreuses applications sont envisagées, comme nous l'avons discuté dans la partie introductive de ce manuscrit.

Les actifs employés pour la conception des différents circuits décrits dans ce chapitre, sont les transistors HEMTs optimisés de longueur de grille 70 nm, présentés dans le chapitre 1.

Dans une première partie, nous rappellerons succinctement les éléments passifs coplanaires employés pour la réalisation des circuits. Ces éléments passifs ont été développés dans le cadre de la thèse de S. Boret [1]. Dans une deuxième partie, nous décrirons la conception de deux amplificateurs (un et deux étages) à la fréquence de 140 GHz, et d'un amplificateur à 180 GHz. Enfin dans une dernière partie nous expliquerons la conception d'un oscillateur et de quatre VCOs à 140 GHz.

I -

Chapitre II : Conception de Circuits MMICs en bande D et G

Les passifs pour MMICs en bande D et G

La finalité d'un MMIC (Monolithic Microwave Integrated Circuit) est d'intégrer sur un même substrat, les éléments actifs (transistors), et les éléments passifs (lignes de propagation, capacités, résistances, inductances...). Dans cette partie nous décrirons succinctement les modèles et les principales caractéristiques des différents éléments passifs employés, qui sont de technologie coplanaire. L'ensemble de ces travaux ont été réalisé par **Samuel BORET** [1], au cours de sa thèse, effectuée au sein du laboratoire.

Dans une première partie, nous expliquerons l'intérêt de la technologie coplanaire. Puis nous apporterons des informations sur la modélisation et les caractéristiques des lignes coplanares. Ensuite dans une troisième partie, nous aborderons le problème de la modélisation des discontinuités coplanares, et finalement nous décrirons les autres éléments passifs nécessaires à la réalisation de circuits.

Remarque : Une description du procédé technologique des éléments passifs est faite dans le chapitre 3.

I.A) Lignes de propagation pour les MMICs, Coplanaire ou Microruban ?

Pour la réalisation de circuits hyperfréquences, deux topologies de ligne sont principalement employées, microruban et coplanaire (voir Figure 1).

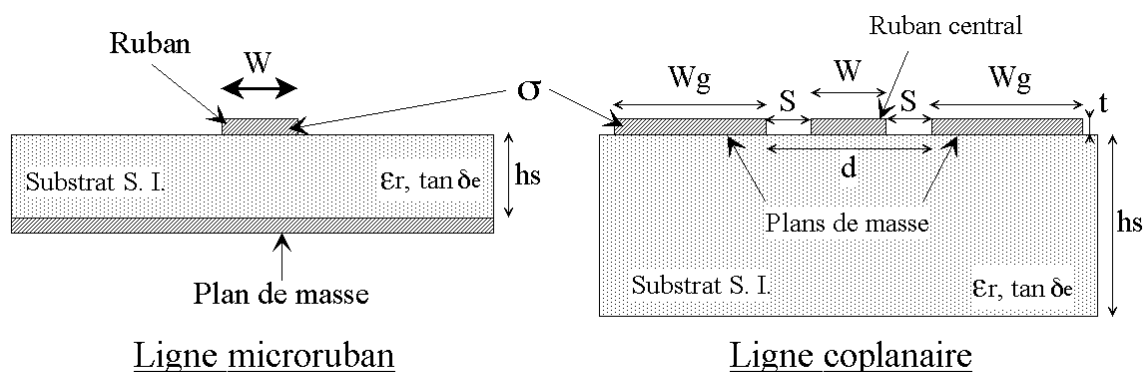


Figure 1 : Section droite des lignes microruban et coplanaire

Au titre des avantages de la ligne coplanaire, nous pouvons citer :

- une faible dispersion
- un moindre couplage entre lignes adjacentes
- absence de trous métallisés et d'amincissement du substrat
- une meilleure robustesse mécanique

Chapitre II : Conception de Circuits MMICs en bande D et G

- un coût de fabrication plus faible par l'absence de trous métallisés et d'amincissement du substrat

Cependant, la ligne coplanaire a quelques inconvénients par rapport à la ligne microruban :

- l'excitation de modes parasites
- des pertes plus élevées
- beaucoup moins de modèles électriques disponibles

En gamme d'ondes millimétriques, en structure microruban, il est nécessaire d'amincir le substrat jusqu'à 50µm, ce qui pose de gros problèmes de fragilité des substrats. De plus, la nécessité de trous métallisés (via hole) introduit des effets parasites importants. Pour ces raisons et celles invoquées plus haut, il nous a semblé plus intéressant de recourir à des lignes coplanaires.

I.B) La ligne coplanaire

B.1) Les modes propagés et les conditions de validité

La ligne coplanaire supporte de par sa géométrie et sa symétrie, deux modes fondamentaux de propagation, sans fréquence de coupure :

- un mode pair quasi-TE ou mode fente
- un mode impair quasi-TEM ou mode coplanaire

Le mode que l'on recherche est le mode coplanaire, il est peu dispersif et présente moins de pertes que le mode fente. Le mode pair, indésirable, peut apparaître au niveau d'une discontinuité. Pour éviter ce phénomène, il est nécessaire de placer des ponts à air, pour ramener les rubans latéraux au même potentiel et empêcher la propagation du mode fente.

D'autres modes parasites peuvent aussi se propager : TE, TM, modes à plaques parallèles, ondes de surface, mode microruban... L'existence et l'importance de ces modes parasites vont dépendre de la présence d'un plan métallisé arrière, de la géométrie de la ligne (Wg, d, hs : Figure 1) et de la fréquence. Pour minimiser l'importance des modes parasites, il faut respecter les critères géométriques suivants [1] :

$$\bullet \quad d \ll Wg \quad (d = 2.S+W : \text{distance intermasse}) \quad (1)$$

$$\bullet \quad d \ll hs \quad (2)$$

$$\bullet \quad d \leq \frac{\lambda_d}{10} \quad (3)$$

$$\text{où } \lambda_d \text{ est la longueur d'onde dans le diélectrique est vaut : } \lambda_d = \frac{\lambda_0}{\sqrt{\epsilon_R}} \quad (4)$$

Chapitre II : Conception de Circuits MMICs en bande D et G

Si l'on suit les recommandations ci-dessus, il faut choisir pour la distance intermasse d , la dimension la plus faible possible, mais cela sera au détriment des pertes qui évoluent inversement avec d .

Pour de plus amples informations sur les modes propagés dans la ligne coplanaire et leurs conditions, le lecteur pourra se reporter aux références suivantes : [1]-[4].

B.2) Modèles des lignes

Pour la simulation des lignes coplanaire, nous avons employé deux modèles de ligne :

- le modèle RLCG proposé par Heinrich [4], qui a été implanté et validé sous le logiciel de simulation MDS par S. Boret.
- le modèle de ligne coplanaire à plans de masse infinis, proposé dans les bibliothèques du logiciel MDS.

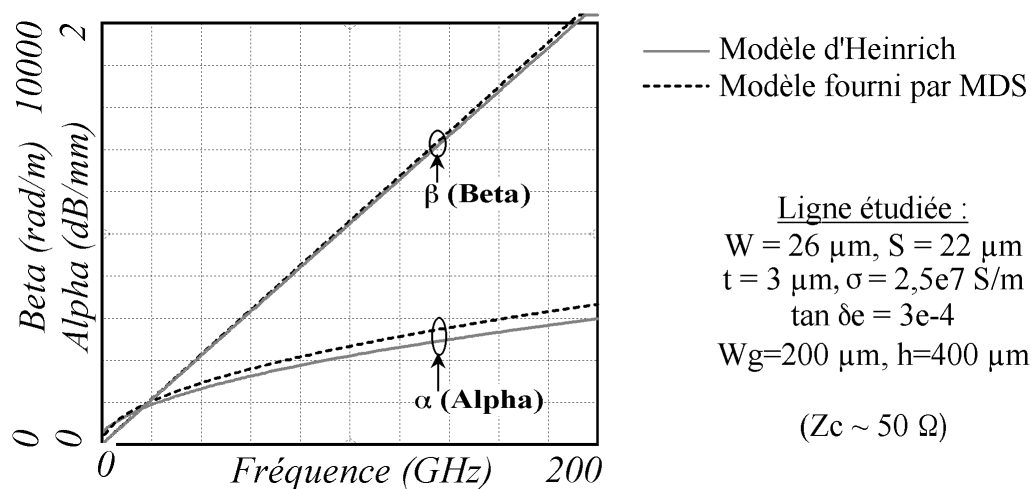


Figure 2 : Comparaison en fonction de la fréquence, sur α et β , entre le modèle proposé par Heinrich et celui proposé par le logiciel MDS

Pour valider l'emploi du modèle proposé par le logiciel MDS, nous avons effectué une comparaison, en fonction de la fréquence (Figure 2) et de la largeur du ruban central W (Figure 3). Nous obtenons des caractéristiques très proche entre les deux modèles, si l'on excepte une atténuation (α) légèrement plus importante dans le cas du modèle proposé par MDS. Ce dernier point n'est pas gênant, la différence sur α à 200GHz (Figure 2) étant inférieure à 0.1 dB/mm.

L'avantage du modèle d'Heinrich est que l'on peut avoir accès à tous les paramètres, tels que l'impédance caractéristique Z_c et la constante de propagation γ . Cependant son emploi sous le logiciel MDS, est moins souple lorsque l'on souhaite modifier une donnée géométrique (épaisseur de métallisation, distance d'intermasse) ou une propriété physique de la ligne.

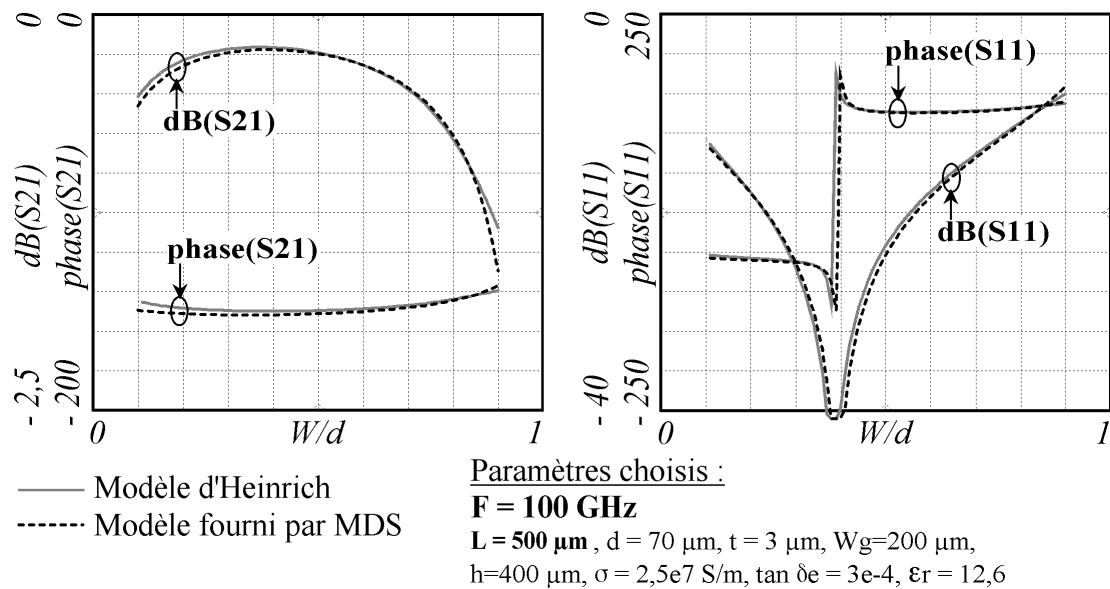


Figure 3 : Comparaison sur les paramètres S de la ligne, entre le modèle proposé par Heinrich et celui proposé par MDS, en fonction de W/d, à 100GHz

B.3) Evolution des caractéristiques de propagation en fonction de d, t et W/d

Remarque préliminaire : Les lignes décrites dans ce paragraphe sont toujours données pour un substrat d'InP, de permittivité ϵ_r de 12,6, et avec un angle de pertes, $\tan \delta_e$ de 3.10^{-4} .

B.3.a) Influence de la distance d'intermasse, d ($d = 2.S + W$)

Sur la Figure 4, nous avons tracé le facteur d'atténuation α , en fonction de la fréquence pour des lignes 50 Ohms avec différentes valeurs de d. Nous avons aussi tracé la distance maximale d'intermasse, fixée par la condition (3), donnée dans la partie précédente. On observe une augmentation rapide des pertes, lorsque l'on réduit d, ce qui nous incite à choisir pour une fréquence donnée, une distance proche de la valeur limite.

Remarque : Pour une impédance caractéristique donnée, la constante de propagation β , est très peu sensible à d. Par exemple, à 100GHz, pour $d=70 \mu\text{m}$ ($W=26\mu\text{m}$, $Z_c \sim 50 \Omega$) $\beta = 5235$ rad/m, et pour $d=40 \mu\text{m}$ ($W=15\mu\text{m}$, $Z_c \sim 50 \Omega$) $\beta = 5115$ rad/m, soit 2,3 % d'écart.

Chapitre II : Conception de Circuits MMICs en bande D et G

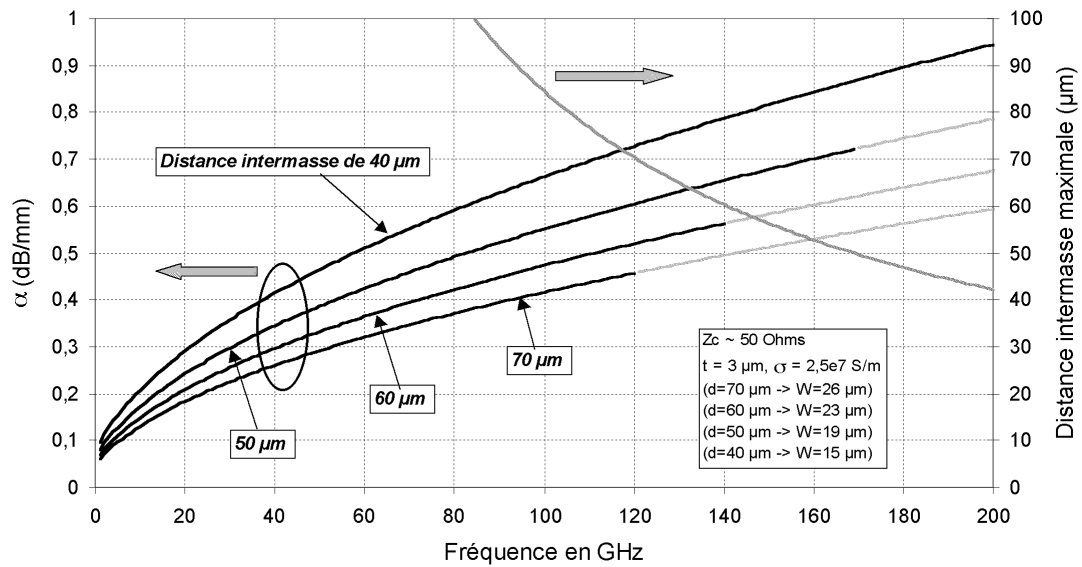


Figure 4 : Facteur d'atténuation α , en fonction de f , pour des lignes 50 Ω , paramétrées en d . Distance maximale d'intermasse, en fonction de la fréquence

B.3.b) Influence de l'épaisseur de métallisation, t

Les lignes coplanaires sont réalisés en Or pour sa faible résistivité ($\sigma \sim 2,5e7 \text{ S/m}$, Or électrolysé), mais le choix d'une épaisseur de métallisation (t) suffisante, est aussi un paramètre important pour limiter l'atténuation des lignes.

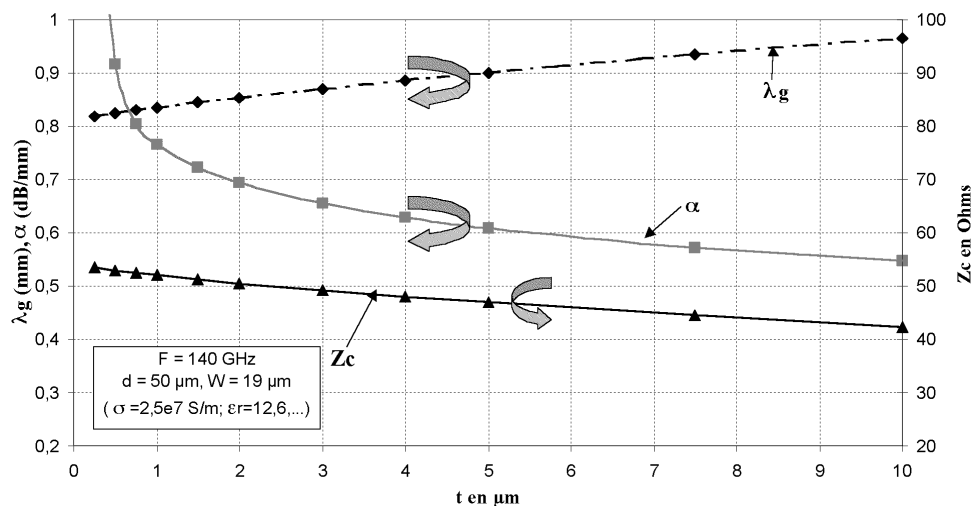


Figure 5 : Influence de l'épaisseur de métallisation, t

Sur la Figure 5, nous avons indiqué α , λ_g et la partie réelle de Z_c , en fonction de l'épaisseur de métallisation, à 140 GHz, pour une ligne proche de 50 Ω et avec une distance d'intermasse de 50 micrometers.

Chapitre II : Conception de Circuits MMICs en bande D et G

Nous observons qu'il est préférable d'avoir une épaisseur de métallisation supérieure à $1\text{ }\mu\text{m}$, pour limiter les pertes. Pour cela, nous avons choisi une épaisseur de $3\text{ }\mu\text{m}$, car une épaisseur supérieure n'apporterait qu'un gain limité sur l'atténuation, tout en augmentant les difficultés technologiques. De plus, nous pouvons remarquer l'augmentation de la longueur d'onde (λ_g) lorsque t augmente, dû à la diminution de la permittivité effective.

B.3.c) Influence du rapport W/d

C'est le rapport W/d , avec ϵ_r , qui vont essentiellement déterminer l'impédance caractéristique de la ligne. Sur la Figure 6, nous avons indiqué l'évolution de la partie réelle de l'impédance caractéristique, du facteur d'atténuation (α) et de la longueur d'onde (λ_g) en fonction du rapport W/d , à 140 GHz , pour $d=50\text{ }\mu\text{m}$.

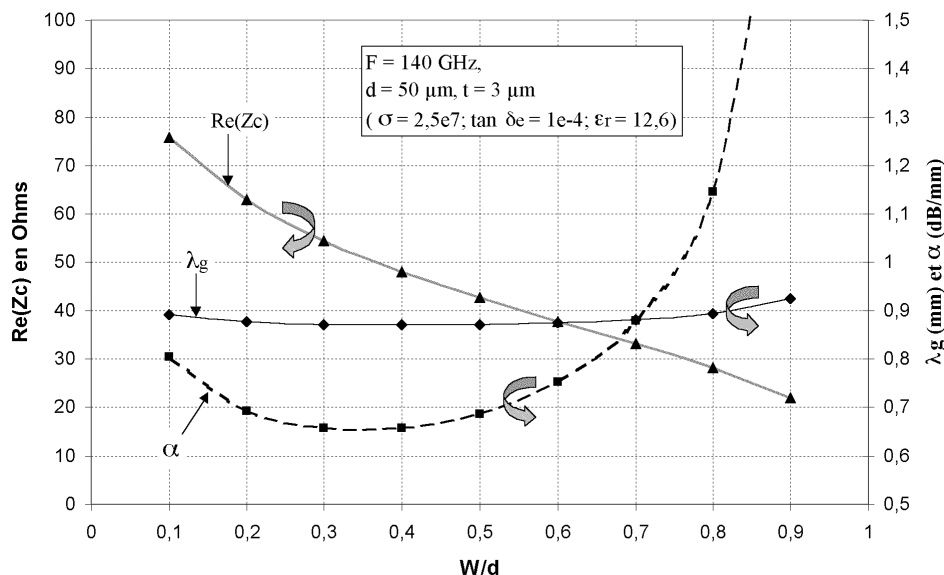


Figure 6 : Evolution de la partie réelle de Z_c , de α et de λ_g en fonction de W/d

Remarque : $\text{Im}(Z_c) \ll \text{Re}(Z_c)$, $\text{Im}(Z_c) \sim -0,5\text{ }\Omega$

De cette figure, nous obtenons les informations suivantes :

- La plage d'impédances caractéristiques accessibles s'étend de 25 à $75\text{ }\Omega$
- Le minimum de pertes est obtenu pour des impédances proche de $50\text{ }\Omega$
- La longueur d'onde est peu sensible au rapport W/d

B.4) Les principales caractéristiques des lignes employées pour les circuits

Pour la réalisation de circuits, nous avons choisi de recourir à des lignes de distance intermasse 70 et $50\text{ }\mu\text{m}$ pour les circuits à 140 GHz , et de distance intermasse $50\text{ }\mu\text{m}$ pour les circuits à 180 GHz . Dans le Tableau 1, nous avons regroupé les caractéristiques de ces lignes dans le cas d'une impédance caractéristique de $50\text{ }\Omega$.

Tableau 1 : Caractéristiques des lignes 50 Ω utilisées pour les circuits

d (μm)	f (GHz)	W (μm)	Re(Z_c) (Ω)	Im(Z_c) (Ω)	α (dB/mm)	λ_g (μm)	λ_d/d
70	140	26	50,7	- 0,4	0,50	858	8,6
50	140	19	49,2	- 0,5	0,66	870	12,1
	180		49,1	- 0,4	0,75	678	9,4

I.C) Les discontinuités coplanaires

C.1) Les terminaisons CO et CC

Pour réaliser l'adaptation des circuits hyperfréquences, on a recourt très souvent à des lignes terminées en circuit ouvert (CO) ou court circuit (CC), que l'on nomme ligne de compensation ou "stubs". Une modélisation simple de ces discontinuités a été proposée par Beilenhoff [5] et reprise par S. Boret [1]. Elle consiste à modéliser les effets parasites de la terminaison par une extension de longueur de ligne équivalente de la ligne coplanaire homogène. La Figure 7 et la Figure 8 reprennent la géométrie, le modèle associé et les conditions, pour les deux types de discontinuités.

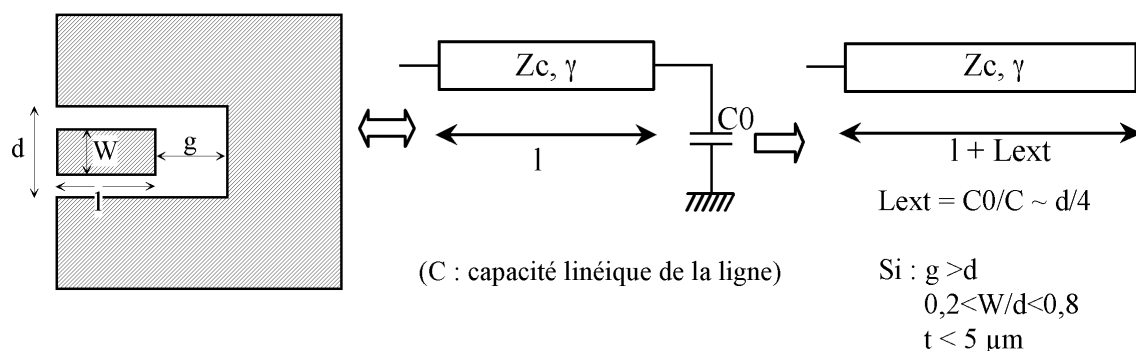


Figure 7 : La terminaison CO, son modèle et les conditions de validité

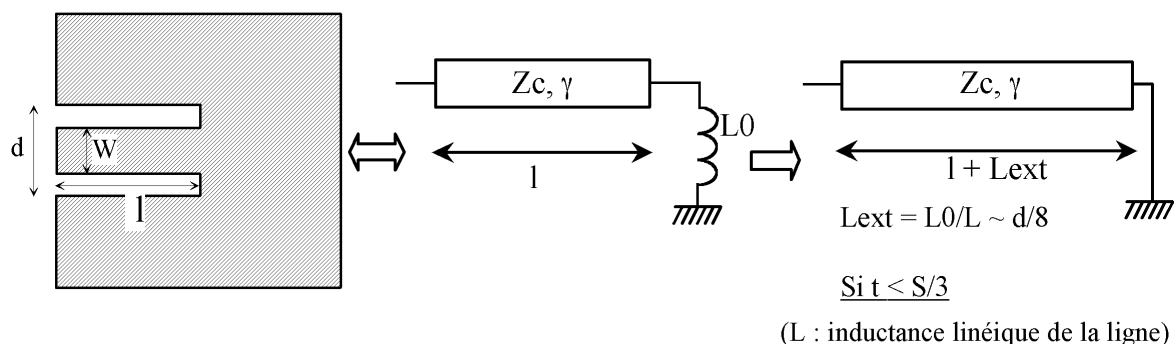


Figure 8 : La terminaison CC, son modèle, et la condition de validité

C.2) La jonction en Té

La jonction en Té représentée sur la Figure 9, constitue une discontinuité incontournable, pour tout circuit coplanaire. Sa structure asymétrique entraîne inévitablement l'excitation du mode fente, cependant l'ajout de ponts à air permet de fortement limiter la propagation de ce mode. Pour modéliser la jonction, nous avons retenu le modèle décrit sur la Figure 9, il considère la jonction Té comme la jonction de trois lignes homogènes dont les plans de référence sont pris comme indiqué sur la figure.

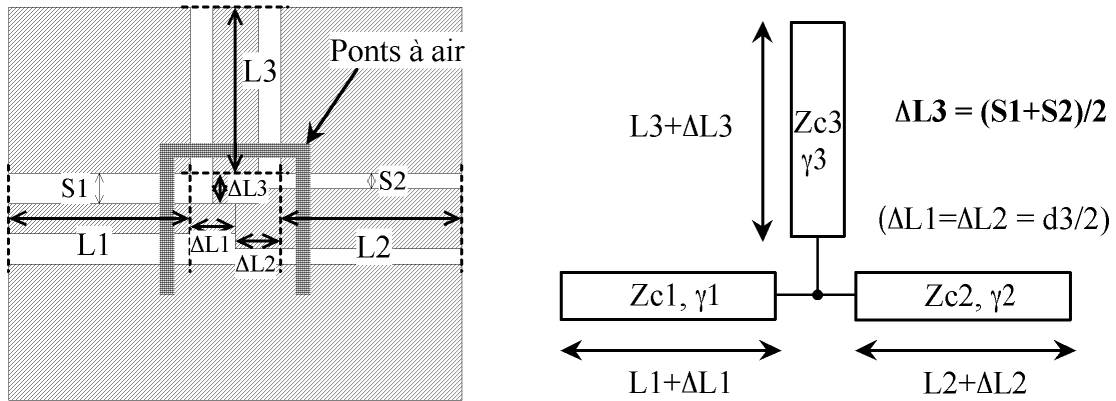


Figure 9 : La jonction en Té et sa modélisation

C.3) La jonction en croix

La jonction en croix qui est présentée sur la Figure 10, est modélisée sur le même principe que la jonction en Té. Elle est considérée comme la jonction de quatre lignes homogènes, dont les plans de référence sont pris au centre de la jonction, comme indiqué sur la figure.

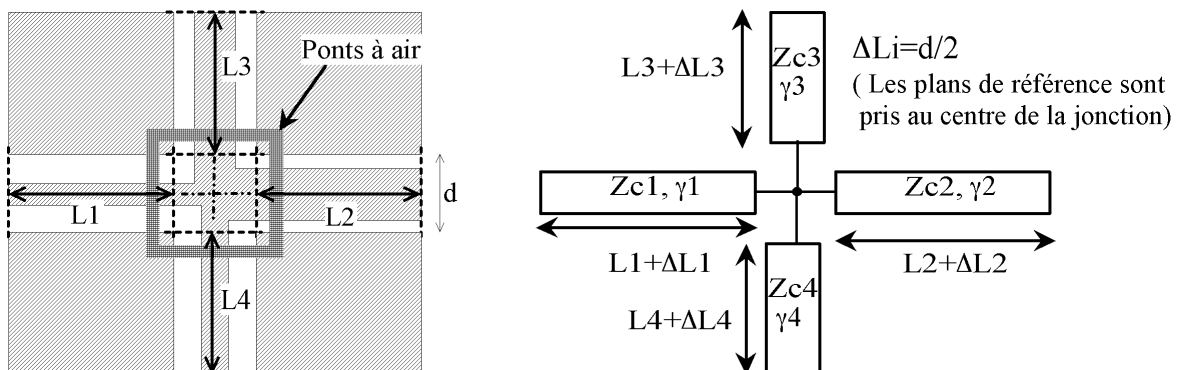


Figure 10 : La jonction en croix et sa modélisation

C.4) Les ponts à air

Les ponts à air sont un élément indispensable de la technologie coplanaire, ils permettent de ramener à l'équipotentielle les plans de masse, et éviter ainsi la propagation du mode fente. Ils sont donc placés au niveau de chaque discontinuité (Figure 9 et Figure 10).

Les ponts que nous réalisons sont de type « pont intermasse », ils ont une hauteur h_B de $4\mu\text{m}$ (hauteur entre le ruban central et le pont), et une longueur, L_{pont} de $10\mu\text{m}$. Pour cette géométrie de pont, S. Boret a montré que le pont a une influence négligeable sur les caractéristiques de propagation de la ligne, donc les ponts seront transparents lors de la phase de simulation.

I.D) Les autres éléments passifs

Des informations détaillées sur les modèles électriques des différents éléments sont données dans l'annexe V.A).

D.1) Résistance série

Les résistances sont employées pour la polarisation et la stabilisation des transistors. Elles peuvent être réalisées avec différents matériaux (NiCr, Ti,...), dans notre cas, nous utilisons un dépôt de $500\text{ \AA}$ de NiCr dans sa composition eutectique (80% Ni, 20% Cr), qui nous donne une résistivité de $28\ \Omega/\square$ ($\sigma = 7,1.10^5\text{ S/m}$). La Figure 11, présente la géométrie de la résistance et le modèle associé. Nous recourons à un modèle RLCG distribué, pour tenir compte des effets de propagation. Les différents éléments (R_s , L_s , R_p et C_p) sont calculés en utilisant le modèle d'Heinrich, à la fréquence de l'application visée. La résistance de contact R_c , est obtenue à partir de mesures statiques de résistances de différents développements.

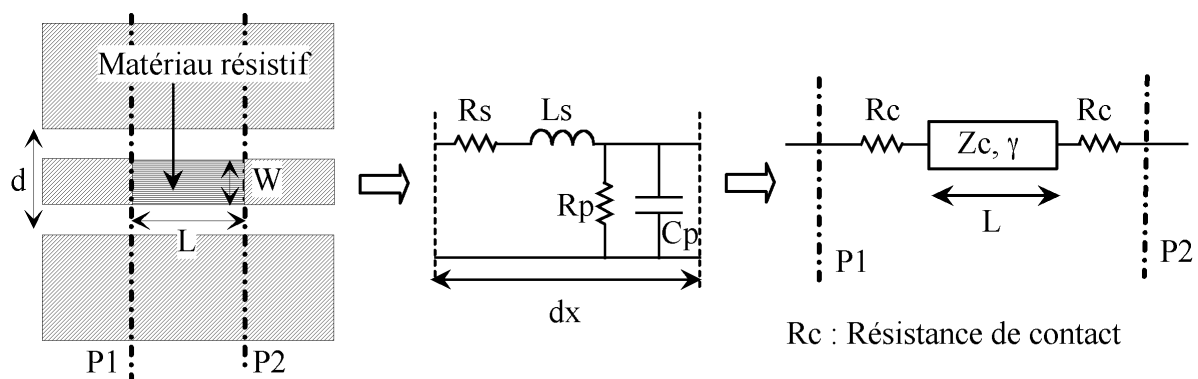


Figure 11 : La résistance série et son modèle

D.2) Les capacités

Les deux configurations de capacité, série et parallèle ont été développées. Les capacités série ont des valeurs de quelques centaines de femtoFarad et sont en fait des capacités de liaison. Quant aux capacités parallèles, elles assurent le découplage des alimentations pour les plus importantes (quelques pF), les valeurs les plus faibles (quelques 100 fF) interviennent dans les réseaux de stabilisation.

Ces capacités sont du type MIM (Métal - Isolant - Métal). L'isolant utilisé est une couche de 1000 Å de nitrure de Silicium (Si_3N_4) de permittivité $\epsilon_r \sim 6,3$ (donnée expérimentale, la permittivité évoluant avec les conditions dépôt du Si_3N_4). Les capacités ainsi réalisées ont alors une **capacité surfacique de 0,56 fF/ μm^2** . ($C = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e}$)

D.2.a) La capacité parallèle

La géométrie et le schéma équivalent de la capacité MIM parallèle sont présentés sur la Figure 12. De la même façon que pour la résistance, pour la prise en compte des phénomènes de propagation, nous avons modélisé la capacité MIM par un schéma électrique équivalent distribué.

La capacité C_p correspond à la valeur du condensateur plan réalisé par les deux électrodes. Quant aux éléments linéiques R_s et L_s , ils ont été obtenus à partir d'une simulation électromagnétique effectuée avec le logiciel HFSS d'Agilent.

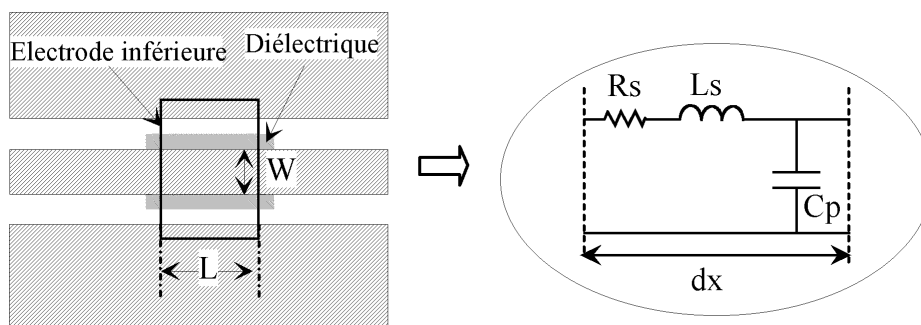


Figure 12 : Géométrie de la capacité parallèle et son schéma électrique équivalent distribué

D.2.b) La capacité série

Sur la Figure 13, nous présentons la géométrie de la capacité MIM série et son schéma équivalent, comme pour l'autre capacité nous employons un schéma distribué. La capacité série C_s vient s'insérer dans le schéma équivalent d'une ligne. Les éléments linéiques R_s , L_s et C_p sont déterminés à partir du modèle d'Heinrich appliqué à la ligne équivalente de la capacité, dans laquelle on néglige l'influence de l'électrode inférieure et du Si_3N_4 ($t_{\text{El.inf.}} \sim 0,27 \mu\text{m}$, $t_{\text{Si}_3\text{N}_4} \sim 0,1 \mu\text{m}$, $t_{\text{El. sup.}} \sim 3 \mu\text{m}$). Quant à la capacité C_s , elle est donnée par l'expression du condensateur plan, en négligeant la capacité dû aux effets de bord.

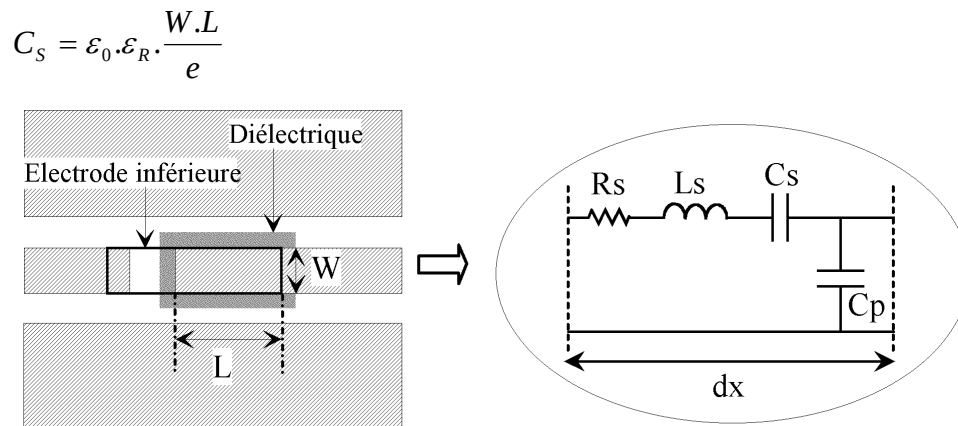


Figure 13 : la capacité série et son schéma électrique équivalent distribué

II -

Chapitre II : Conception de Circuits MMICs en bande D et G

Amplificateurs en bande D et G

L'amplificateur est un des éléments indispensables dans les systèmes micro-ondes, il peut être par exemple, faible bruit, large bande ou de puissance... Cependant pour les fréquences supérieures à 100 GHz, jusqu'à ce qu'il y a moins d'une décennie, les seuls amplificateurs disponibles étaient à base de dipôles (diodes GUNN, IMPATT,...). Désormais avec l'amélioration constante des performances des transistors, il devient possible d'envisager la réalisation d'amplificateurs avec des tripôles. L'avantage des transistors est qu'ils sont plus facile à mettre en œuvre, et qu'avec l'intégration monolithique, ils permettent une réduction des coûts.

Les premiers amplificateurs à transistors, au delà de 110 GHz, sont encore très récents. Le premier amplificateur MMIC, à 140 GHz développée par une équipe de TRW date de 1995 [6]. Pour le premier amplificateur à 190 GHz, il faut attendre 1998 [7].

L'objectif des amplificateurs décrits dans cette partie, est de montrer ainsi la faisabilité d'amplificateurs MMIC avec notre technologie, jusque la bande G. Pour cela, nous avons développé trois amplificateurs :

- un étage, adapté en gain, à la fréquence de 140 GHz
- deux étages, adapté en gain, à la fréquence de 140 GHz
- un étage, adapté en gain, à la fréquence de 180 GHz

Nous nous sommes limités à des amplificateurs adaptés en gain, avec un ou deux étages, pour réduire les risques de désadaptation et acquérir l'expérience nécessaire, avant des réalisations plus ambitieuses.

Pour ce travail, nous nous sommes aussi appuyés sur l'expérience acquise avec la réalisation d'amplificateurs faible bruit, à 60 et 94 GHz [8]. Ce travail avait été réalisé, en collaboration avec la société Dassault Electronique et avait utilisé les travaux complémentaires de plusieurs thèses [1], [9], [10]. De plus lors du stage de DEA, nous avons simulé, des amplificateurs à 140 GHz, à base HEMT InP, $L_g=100$ nm, "technologie de grille nitrure" [11]. Ces simulations avaient par ailleurs, montré les limites de ce type de composant pour des applications à ces fréquences.

Dans une première partie, nous dresserons un état de l'art des amplificateurs MMIC en bande D et G. Puis nous décrirons successivement, la conception des trois amplificateurs qui ont été réalisés avec le logiciel commercial **MDS** (Microwave Design System) d'Agilent. Cependant, nous ne ferons une description précise que de l'amplificateur à un étage, à 140GHz, les autres amplificateurs étant conçus, selon la même méthodologie.

II.A) Etat de l'art des amplificateurs en bande D et G

Pour situer le contexte de nos travaux, nous avons établi un état de l'art, des amplificateurs MMIC à base de transistors, ayant été publié en bande D(110-170 GHz) et G (140-220 GHz). Toutes les données sont reportées dans le Tableau 2 et le Tableau 3.

Tableau 2 :Etat de l'art des amplificateurs en Bande D (110-170 GHz)

<i>F</i> (GHz)	<i>Gain</i> (dB)	<i>NF</i> (dB)	<i>Type</i>	<i>Gain par étage</i> (dB)	<i>Actifs</i>	<i>Année</i>	<i>Référence</i>
112-115	12 10	6,3 5,5	2 étages SE, MS	6	0,1x(4x10) μm^2 , PHEMT GaAs	1993	[12] (TRW)
110	19,6 15,6	3,9 3,4	2 étages SE, MS	9,8	0,1x(4x10) μm^2 , PHEMT GaAs	1993	[12] (TRW)
120	10-12		2 étages SE, MS	5-6	0,1x(4x10) μm^2 , 60%In	1994	[13] (TRW)
142 (138-145)	9 (>5)	(5,8)	2 étages SE, MS	4,5	0,1x(4x10) μm^2 , 60%In	1995	[6] (TRW)
155	12	5,1	3 étages SE, MS	4	0,1x(4x7,5) μm^2 , 65%In	1997	[14]
	12 10					1998	[17] (TRW, JPL)
90-140	15 +/-3	7 à 110GHz	6 étages SE, CPW	2,5	0,1x(36) μm^2 , 53%In	1997	[15] (U. Massachusetts, Lockheed Sanders)
140 (129-157)	30 (>10)		3 étages SE, CPW	10	0,1x(150) μm^2 , 80%In	1998	[16] (HRL, JPL)
						1999	[21]
150	3-4		1 étage SE CPW	3-4	0,12x(2x50) μm^2 , 53%In	1999	[20] (U. Glasgow)
	5			5		1999	[18]
153	7,5		3 étages SE CPW	2,5	0,12x(2x50) μm^2 , 53%In	1999	[20] (U. Glasgow)
112,5-119,5	14,5	3,8-4,5	3 étages SE, MS	4,8	0,1x(4x10) μm^2 , 60%In	1999	[19] (TRW, JPL)
148	12		2 ét. cascode SE, CPW		0,15x(2x30) μm^2 , PHEMT GaAs	2000	[22] (IAF)

Chapitre II : Conception de Circuits MMICs en bande D et G

Tableau 3 :Etat de l'art des amplificateurs en bande G (140-220 GHz)

<i>F</i> (GHz)	<i>Gain</i> (dB)	<i>NF</i> (dB)	<i>Type</i>	<i>Gain par étage</i> (dB)	<i>Actifs</i>	<i>Année</i>	<i>Référence</i>
190	7,2		2 étages Bal., MS	3,6	0,08x(2x15) μm^2 , 65%In	1998	[7] (TRW, JPL)
188 (164-192)	9 (6)		2 étages Bal., MS	4,5 (3)	0,07x(2x15) μm^2 , 65%In	1999	[23] (TRW, JPL)
142-180	6		2 étages Bal., MS	3	0,08x(2x15) μm^2 , 65%In	1999	[23] (TRW, JPL)
190	9,6		2 étages Bal., MS	4,8	0,08x(2x15) μm^2 , 80%In	1999	[24] (TRW, JPL)
150-215 176	20 +/-6 13	8,1	6 étages SE, CPW	3,3 +/-1	0,08x(2x10) μm^2 , 65%In	1999	[25] (TRW, JPL, U. Massachussets)
165-190	10	7 à 170GHz	2 étages Bal., MS	5	0,07x ? μm^2 , 80%In	2000	[26] (TRW)
160-190	14	< 7	3 étages SE., MS	4,7	0,07x ? μm^2 , 80%In	2000	[26] (TRW)
160-215	25-15	8 à 170GHz	6 étages, CPW	3 (215GHz)	0,07x ? μm^2 , 80%In	2000	[26] (TRW)
150-205	17 +/-2		8 étages SE, CPW	2,1	0,1x18 μm^2 , 80%In	2000	[27] (HRL, JPL)
183	> 20	8,3	6 ét. : 2 Bal. +4 Bal., MS	3,3	0,08x(2x15) μm^2 , 65%In	2000	[28] (TRW, AIL)
180-205	15		6 étages SE, CPW	3	0,1x(2x20) μm^2 , 60%In	2001	[29] (CSIRO, TRW)
183	24	< 5,5 à 183GHz	7 ét. : 3 SE + 4 Bal, MS	3,4	0,08x(2x15) μm^2 , 80%In	2001	[30] (TRW, AIL, Ball)
185	3		1 étage, MS	3	HBT	2001	[31] (U. California)

Abbreviations :

- NF (Noise Figure) : Facteur de bruit
- SE (Single Ended) : Amplificateur " simple "
- Bal. (Balanced) : Amplificateur équilibré
- MS (Microstrip) : Technologie Microruban
- CPW (Coplanar Waveguide) : Technologie Coplanaire

Pour les tableaux, nous pouvons ajouter les remarques suivantes :

- **Tous les actifs, sauf indication contraire**, sont des HEMTs sur substrat d'InP (filrière AlInAs/GaInAs)
- Dans la colonne "Actifs", nous avons indiqué successivement :
 - La longueur de grille (Lg)
 - Le nombre de doigts de grille avec le développement d'un doigt, ou le développement de grille total

Chapitre II : Conception de Circuits MMICs en bande D et G

- Le pourcentage d'Indium dans le canal
- Dans la colonne "Type", nous avons indiqué le nombre d'étages, le type d'amplificateurs (SE ou Bal) et la technologie des éléments passifs (MS ou CPW)

De cet état de l'art, nous relevons des **gains par étage** suivant :

- Autour de 140 GHz, gain de 4,5 à 10 dB ([6] et [16])
- Autour de 180 GHz, gain de 3 à 5 dB ([29] et [26])

Les facteurs de bruit relevés sont :

- Autour de 140 GHz de 5 à 6 dB pour des gains associés de 10 et 9 dB, avec respectivement 3 et 2 étages ([17] et [6])
- Autour de 180 GHz de 5,5 à 8 dB pour des gains associés de 24 et 13 dB, avec respectivement 7 et 6 étages ([30] et [25])

Nous pouvons aussi noter que les résultats rapportés en bande D, sont essentiellement des amplificateurs de type SE, avec des transistors de longueur de grille 0,1 μ m, et des taux d'Indium dans le canal inférieur à 65 %. Par contre, en bande G, les amplificateurs sont fréquemment du type équilibré, avec des transistors de longueur de grille 70-80 nm et des taux d'indium dans le canal, de 65 à 80 %.

II.B) Conception d'un amplificateur, un étage, à la fréquence de 140GHz

B.1) Introduction

Dans cette partie, nous décrivons la conception d'un amplificateur à un étage, adapté en gain, à la fréquence de 140 GHz. Cet amplificateur sera utilisé, par la suite comme étage tampon, pour les oscillateurs et VCOs qui sont présentés dans ce chapitre.

Pour la conception de cet amplificateur, nous nous sommes appuyés sur l'expérience acquise au sein du laboratoire, [8]. Mais nous avons eu aussi recours à de nombreux ouvrages et publications traitant de la conception d'amplificateurs microondes [34]-[39] et [21]. Cette liste n'est bien sûr pas exhaustive, cependant, notre démarche est semblable à celle suivie par C. W. Pobanz [21], de par la technologie coplanaire.

Le plan de cette partie sera le suivant :

- Eléments de stabilité des amplificateurs
- Choix des paramètres transistors
- Procédure de conception d'un étage
- Les étapes de la conception
- Synthèse

Nous insisterons particulièrement sur les problèmes de stabilité, étant donné le caractère très instable des transistors, et la nécessité de prendre des marges importantes, à cause des fortes incertitudes de modèle sur le transistor. De plus, nous détaillerons les principales étapes, qui nous ont amenées à la solution finale, notamment la conception de l'étage d'entrée qui s'est faite en deux temps.

B.2) Eléments de stabilité pour les amplificateurs

B.2.a) *Introduction – Définitions*

Remarque préliminaire : Les différentes notations (Γ_G , Γ_L , S'_{11} , $S_{11}...$) employées dans ce paragraphe, sont explicitées sur la Figure 14.

Lors de la conception d'un amplificateur, l'étude de la stabilité est un point essentiel et il est certainement le plus délicat. L'enjeu est que l'amplificateur ne puisse jamais entrer en oscillation.

En effet, un quadripôle peut potentiellement devenir instable, si sous certaines conditions de charge, les coefficients de réflexion ramenés à l'entrée du quadripôle S'_{11} ou en sortie S'_{22} sont supérieurs à 1.

Chapitre II : Conception de Circuits MMICs en bande D et G

La stabilité inconditionnelle sera donc définie par les conditions suivantes :

$$|S'_{11}| < 1 \quad \forall |\Gamma_L| < 1 \text{ et } \forall f \quad (5)$$

$$|S'_{22}| < 1 \quad \forall |\Gamma_G| < 1 \text{ et } \forall f \quad (6)$$

De nombreuses références[33], [34] abordent le problème de la stabilité, cependant dans le cas d'un étage unique, on recourt souvent aux conditions de Rollet [33]. Celles-ci spécifient, que pour être inconditionnellement stable, il faut qu'un quadripôle vérifie les conditions suivantes :

$$k > 1 \quad (7)$$

$$\text{et} \quad |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}| < 1 \quad (8)$$

où k appelé coefficient de stabilité, est défini par :

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 \cdot |S_{12}| \cdot |S_{21}|} \quad (\Delta = S_{11} \cdot S_{22} - S_{12} \cdot S_{21}) \quad (9)$$

$$\text{ou encore } k = \frac{2 \cdot \text{Re}(z_{11}) \cdot \text{Re}(z_{22}) - \text{Re}(z_{12} \cdot z_{21})}{|z_{12} \cdot z_{21}|} = \frac{2 \cdot \text{Re}(y_{11}) \cdot \text{Re}(y_{22}) - \text{Re}(y_{12} \cdot y_{21})}{|y_{12} \cdot y_{21}|} \quad (10)$$

Remarque : Généralement, la condition qu'il est difficile d'atteindre, est celle sur k (7), l'autre condition (8) se trouvant souvent vérifiée quand la première l'est.

Lorsque $k < 1$, le quadripôle est conditionnellement stable, dans ce cas, on peut définir dans les plans d'entrée et de sortie du quadripôle des zones de charge où le quadripôle sera stable. Pour déterminer ces zones, on se place dans le cas limite suivant :

$$\Gamma_G ? \text{ tel que } |S'_{22}| = 1 \quad (11)$$

$$\Gamma_L ? \text{ tel que } |S'_{11}| = 1 \quad (12)$$

Les lieux à une fréquence donnée qui vérifient ces conditions sont des cercles, dits de stabilité dans l'abaque de Smith et se calculent de la manière suivante [34] :

$$\text{En entrée, centre : } C_G = \frac{S_{22} \cdot \Delta^* - S_{11}^*}{|\Delta|^2 - |S_{11}|^2} \quad \text{et rayon : } |R_G| = \left| \frac{S_{12} \cdot S_{21}}{|\Delta|^2 - |S_{11}|^2} \right| \quad (13) \text{ et } (14)$$

$$\text{En sortie, centre : } C_L = \frac{S_{11} \cdot \Delta^* - S_{22}^*}{|\Delta|^2 - |S_{22}|^2} \quad \text{et rayon : } |R_L| = \left| \frac{S_{12} \cdot S_{21}}{|\Delta|^2 - |S_{22}|^2} \right| \quad (15) \text{ et } (16)$$

Pour savoir si la zone stable se situe à l'intérieur ou à l'extérieur d'un cercle donné, il suffit de calculer pour une charge Γ quelconque, le coefficient de réflexion ramené sur l'autre port ($\Gamma_G \rightarrow S'_{22}$ et $\Gamma_L \rightarrow S'_{11}$). Dans le cas où ce coefficient de réflexion S'_{xx} est inférieur à 1, la charge considérée est dans la zone stable, et inversement si $S'_{xx} > 1$. Généralement, on considère le centre de l'abaque ($\Gamma_G = 0$ ou $\Gamma_L = 0$), ce qui donne $S'_{22} = S_{22}$ (ou $S'_{11} = S_{11}$).

Chapitre II : Conception de Circuits MMICs en bande D et G

Par exemple, sur la Figure 14, nous avons tracé un cercle de stabilité dans **le plan de sortie (P2)**. Ce cercle **inclut** le centre de l'abaque, donc :

si $S_{11} < 1$, l'intérieur du cercle est la zone stable

si $S_{11} > 1$, l'intérieur du cercle est la zone instable

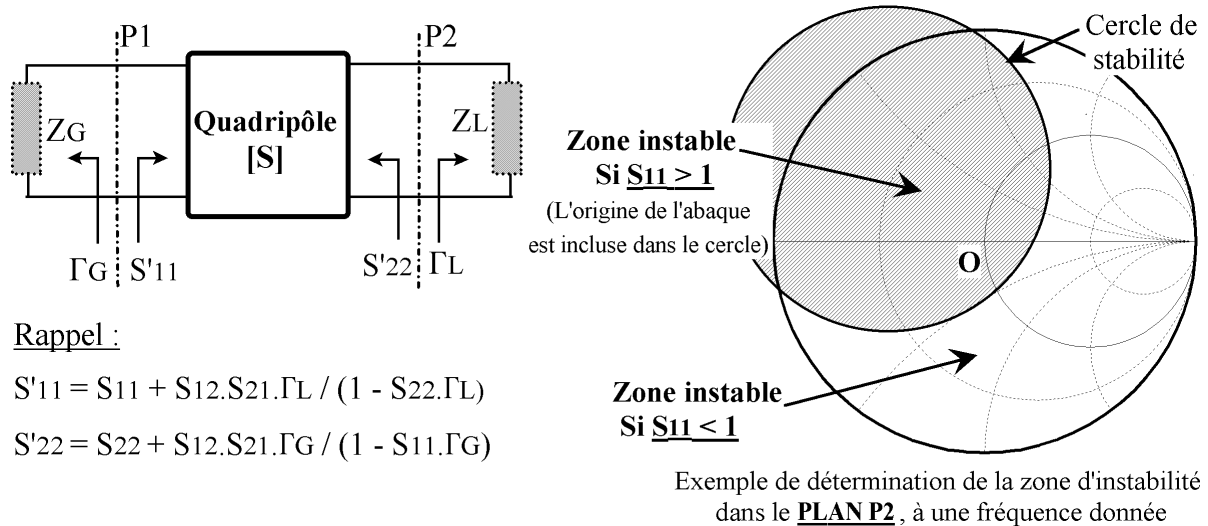


Figure 14 : Exemple de cercle de stabilité

Au final, le travail du concepteur est de présenter des charges qui évitent les zones d'instabilité et/ou de modifier la position ou la dimension de ces cercles de stabilité, afin que l'amplificateur complet devienne inconditionnellement stable ($k > 1$).

B.2.b) Techniques pour la stabilité

La résolution des problèmes de stabilité est souvent très ardue et, demande de recourir à des approches multiples. En premier lieu, il est donc important de connaître les principaux leviers pour obtenir la stabilité. En second lieu, nous verrons comment on peut agir le plus efficacement possible, avec les charges résistives. Et enfin nous ferons quelques remarques générales sur la démarche globale de stabilité.

B.2.b.i) Les "leviers" pour la stabilité

Afin que l'amplificateur soit inconditionnellement stable, il faut présenter au transistor, des charges qui ne pénètrent pas dans ses zones d'instabilité. Les solutions pour atteindre cet objectif peuvent se regrouper selon deux catégories : les contre-réactions (négatives) et les charges résistives.

Chapitre II : Conception de Circuits MMICs en bande D et G

Les contre-réactions négatives vont réduire le gain et ainsi favoriser la stabilité, cela traduira aussi par une réduction des zones d'instabilité, dans les plans d'entrée du transistor. Quant aux charges résistives, elles ont pour but de limiter les adaptations que l'on pourra présenter au transistor. Chaque solution pouvant se décliner selon les configurations série et parallèles, cela nous donne quatre possibilités:

- contre-réaction série
- contre-réaction parallèle
- résistance placée en série sur un port
- résistance placée en parallèle sur un port

Ces solutions sont regroupées sur la Figure 15.

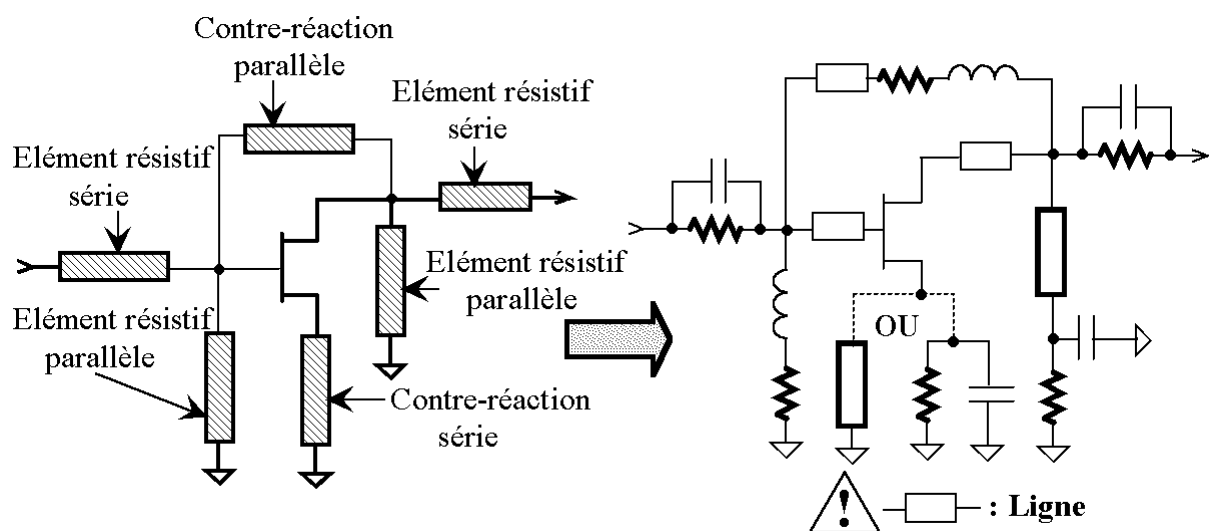


Figure 15 : Différentes techniques de stabilisation

Sur la partie droite de la Figure 15, nous détaillons quelques solutions pratiques, simplifiées [34]. Les solutions données sont loin d'être exhaustives, et ne présentent pas les éléments liés à la polarisation.

Aux différentes solutions proposées se posent plusieurs contraintes :

- Les résistances doivent si possible, avoir une influence la plus faible possible dans la bande passante de l'amplificateur, pour ne pas dégrader le gain et les performances en bruit. D'où par exemple, l'emploi de capacité en parallèle avec les résistances.
- Ces solutions doivent être réalisables, d'un point de vue technologique. Par exemple, en technologie coplanaire, il est très difficile de réaliser une contre-réaction parallèle ou une inductance de valeur importante.
- Il faut aussi être très prudent avec l'emploi des contre-réactions, celles-ci peuvent à certaines fréquences, devenir positives et accroître l'instabilité.

Remarque sur la contre-réaction série, avec ligne de source :

Cette contre-réaction est équivalente à insérer une inductance dans la source, **si** la longueur de la ligne est courte devant la longueur d'onde ($< \lambda/4$). Cette technique n'est évidemment efficace sur la stabilité que vers les fréquences élevées, mais elle permet aussi d'améliorer légèrement le facteur de bruit [34] et de rapprocher les charges optimales en gain et bruit, ce qui en fait une solution très privilégiée pour les amplificateurs faible bruit.

B.2.b.ii) Stabilisation avec charges résistives

Les charges résistives (résistance placée en série ou parallèle sur les ports d'entrée, cf Figure 15), visent d'un certain point de vue à réduire les potentialités en gain du quadripôle global. Mais le corollaire de l'emploi de ces résistances est de restreindre les charges pouvant être présentées aux ports d'entrée du transistor.

Par exemple, dans le cas d'une résistance série, les charges possibles après le plan d'insertion de la résistance auront une partie résistive supérieure ou égale à la valeur de la résistance. Il en va de même, avec une résistance placée en parallèle où la charge possible après la résistance aura une conductance supérieure ou égale à la conductance insérée. Ces deux cas sont illustrés sur la Figure 16.

Si nous appliquons ces remarques à la stabilisation des transistors, nous comprenons que des résistances judicieusement placées pourront interdire toute adaptation dans des zones instables du transistor.

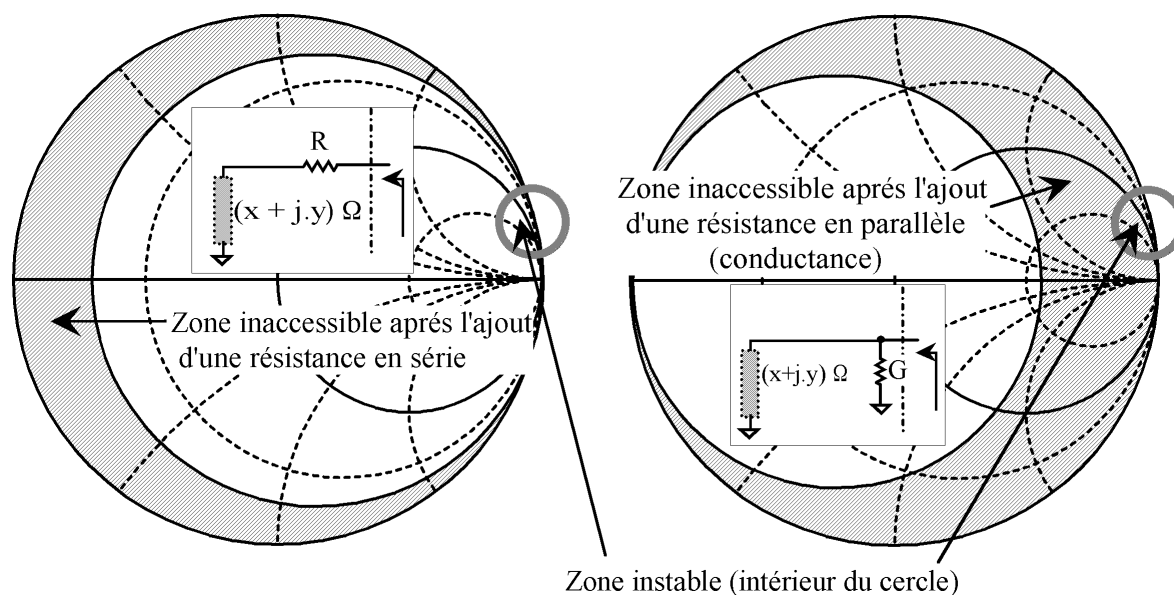


Figure 16 : Influence d'une résistance placée en série ou parallèle, dans un plan

Cependant, l'efficacité d'une solution va dépendre de la configuration série ou parallèle de la résistance, et du positionnement des zones d'instabilité dans le plan d'insertion de la résistance. Par exemple, une zone d'instabilité située près du point de CO de l'abaque, comme sur la Figure 16, ne pourra être évitée avec une résistance en série, alors qu'une résistance en parallèle sera très efficace.

B.2.b.iii) Cercles de stabilité et "pièges"

Nous avons indiqué que pour parvenir à la stabilité inconditionnelle, il fallait que les charges présentées au transistor ne pénètrent pas dans les zones d'instabilité, ce point est exact, mais mérite quelques remarques complémentaires :

- 1) Dans un plan donné, par exemple celui de la grille, il faut considérer les cercles de stabilité de l'ensemble transistor + étage de sortie et non les cercles du transistor seul. En effet, il faut tenir compte des modifications que vont subir les cercles après l'ajout de l'étage de sortie. La Figure 17 donne un exemple de l'évolution des cercles de stabilité, après l'ajout de l'étage de sortie.

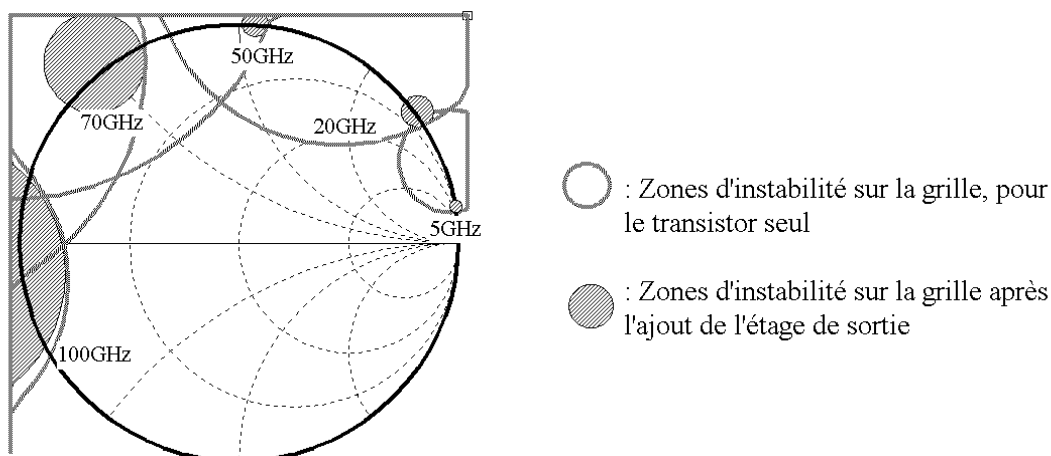


Figure 17 : Zones d'instabilité sur la grille, avant et après, l'ajout de l'étage de sortie

- 2) Pour étudier la stabilité dans un plan du transistor, à une fréquence donnée, il faut considérer le cercle de stabilité, la charge Γ_e (avec $Z_s = 50 \Omega$), mais aussi "l'ensemble des charges Γ_e possibles"(Figure 18). "L'ensemble des charges Γ_e possibles" correspond à "l'ensemble des charges Z_s passives" vu au travers de l'étage d'entrée ($Z_s = X + j.Y \Omega$, tel que $X \in [0; +\infty[$ et $Y \in]-\infty; +\infty[$).

Chapitre II : Conception de Circuits MMICs en bande D et G

En effet, pour assurer la stabilité il ne faut pas seulement considérer le cas où $Z_s = 50 \Omega$, mais aussi le cas de toutes les autres charges Z_s passives. "L'ensemble des charges Γ_e possibles" peut être déduit en traçant $\Gamma_e(Z_s)$, avec Z_s purement réactive et variant de $-j.\infty$ à $+j.\infty \Omega$, le lieu obtenu, est un cercle qui délimite toutes les charges Γ_e possibles (Figure 18).

La Figure 18 illustre ce point, la charge $\Gamma_e(f)$ ($Z_s = 50 \Omega$) ne pénètre jamais dans les cercles d'instabilité. Mais à 60 GHz le cercle « limite » $\Gamma_e(Z_s)$ pénètre dans le cercle d'instabilité du transistor, nous serons donc conditionnellement stable.

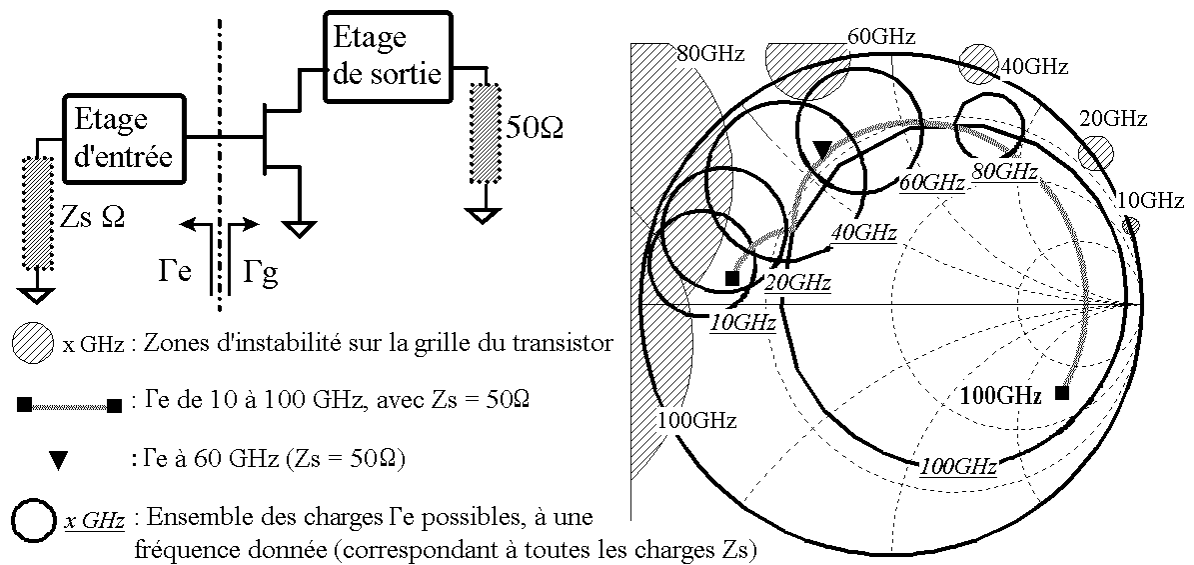


Figure 18 : Zones d'instabilité et charges pouvant se présenter dans le plan de la grille

B.2.c) Les réseaux de stabilisation RC

Pour la stabilité des amplificateurs, nous avons choisi de recourir à des réseaux RC ou réseaux de compensation, placés dans les lignes de polarisation, comme sur la Figure 19. Le rôle du réseau est d'amener aux fréquences les plus basses, une charge résistive en parallèle du port concerné (grille ou drain), pour obtenir la stabilité.

Dans le réseau de base décrit sur la Figure 19, la capacité C_d est une capacité de découplage d'environ 6 pF, et peut donc être assimilé à un court-circuit. En basse fréquence, la capacité C_p laisse passer le signal et la résistance absorbe une partie de l'énergie incidente. Par contre, dans la bande passante, la capacité C_p va totalement réfléchir le signal, et la ligne de polarisation sera alors équivalente à un stub.

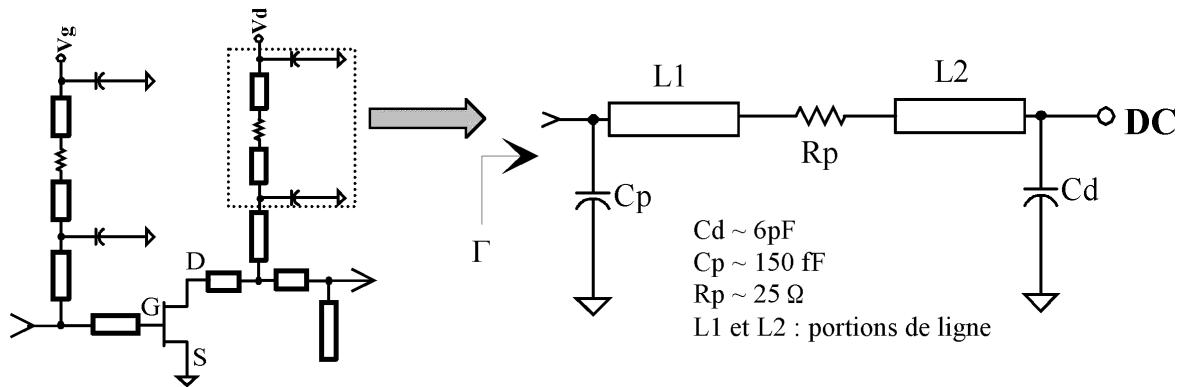


Figure 19 : Topologie du réseau RC ou réseau de compensation, utilisé pour la stabilisation de l'amplificateur

L'enjeu est de choisir les différents éléments pour obtenir un filtrage le plus efficace possible, sans dégrader le gain dans la bande passante. Les principaux éléments sont bien sûr R_p et C_p , mais les lignes $L1$ et $L2$ ont aussi une influence est significative sur le profil de coupure du filtre. Par exemple, sur la Figure 20, nous avons tracé l'évolution du coefficient de réflexion du réseau RC, en fonction de la fréquence et pour différentes longueurs des lignes $L1$ et $L2$ ($L1=L2$).

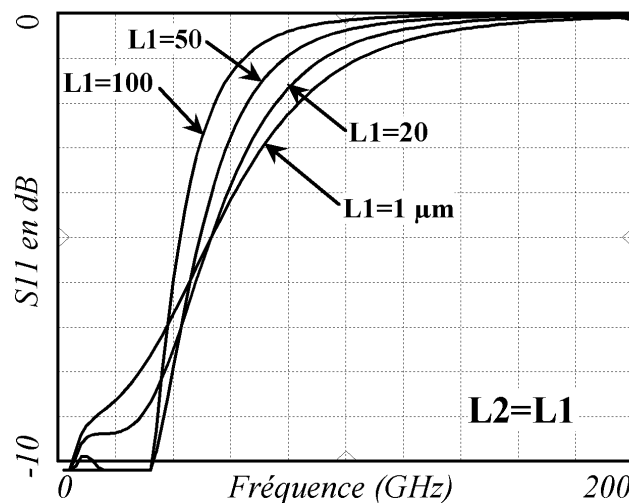


Figure 20 : Coefficient de réflexion du réseau RC (Figure 19) en fonction de la fréquence, pour différentes longueurs des lignes $L1$ et $L2$ ($L1=L2$, lignes 50Ω)

B.3)

Choix des paramètres transistor

Les transistors qui seront utilisés pour cet amplificateur, sont ceux présentés dans le chapitre 1 de ce manuscrit (HEMT 70 nm couche "optimisée", Op. 10669_2). Ces transistors sont des PHEMTs sur substrat d'InP (65% d'Indium), de longueur de grille 70nm, avec structure de couche optimisée (canal de 100 Å en $\text{Ga}_{0.35}\text{In}_{0.65}\text{As}$, espaceur de 35 Å en $\text{Al}_{0.65}\text{In}_{0.35}\text{As}$, plan de dopage de $6.10^{12} \text{ at.cm}^{-2}$, barrière de 80 Å en $\text{Al}_{0.65}\text{In}_{0.35}\text{As}$). Les meilleurs résultats obtenus sur ces composants sont un f_T de plus de 240 GHz et un $f_{\max}$ d'environ 470 GHz.

Pour la simulation de l'amplificateur, le transistor est modélisé par son schéma équivalent petit signal, extrapolé à 140 GHz. Celui-ci est extrait, des mesures de paramètres S dans la bande 0-50 GHz, selon la méthode proposée par G. DAMBRINE [40]. Le schéma équivalent petit signal du transistor employé est donné dans l'annexe V.B) de ce chapitre.

Dans les deux premières parties, nous donnerons les motivations sur le choix du développement de grille W, puis de la polarisation. Ces paramètres visent à trouver les conditions optimales en gain, tout en évitant d'avoir un composant trop difficile à stabiliser et à adapter. Enfin dans une troisième partie, nous expliquerons pourquoi nous avons décidé de ne pas recourir des lignes de source pour stabiliser le transistor.

B.3.a) Choix du développement de grille, W.

Pour nous aider à définir le développement de transistor W, le plus adapté pour l'amplificateur, des mesures de paramètres S ont été effectuées dans la bande 0-50 GHz sur des transistors de développement (W) différents.

Les fréquences f_T et $f_{\max}$ ont été déterminées par extrapolation à 20 dB/décade du gain en courant extrinsèque $|H_{21}|^2$ et du gain unilatéral U calculés à partir des mesures des paramètres S. Le calcul des autres paramètres des transistors à 140 GHz, tels que k, S_{21} , S_{11} , S_{22} , MAG/MSG et U a été effectué à partir des éléments du schéma équivalent.

Nous avons regroupé dans le Tableau 4, ces principaux facteurs de mérite, et ceci pour une polarisation $V_{gs} = 0,1\text{V}$, soit environ pour $I_d = 330 \text{ mA/mm}$, qui correspond environ au maximum de gain. Nous avons indiqué les coefficients de réflexion S_{11} et S_{22} , à défaut de pouvoir calculer les charges optimales en gain (car $k < 1$), afin d'évaluer la facilité d'adaptation des transistors.

Chapitre II : Conception de Circuits MMICs en bande D et G

Tableau 4: Evolution des principales figures de mérite, en fonction du développement de grille W , à 140GHz, pour $V_{gs}=0,1V$ et $V_{ds}=1V$.

W (en μm)	30 (2x15)	50 (2x25)	70 (2x35)	100 (2x50)
I_{ds} (mA/mm)	330	330	345	320
MAG/MSG (dB)	8,35	8,7	9,25	9,1
K	0,695	0,807	0,82	1,03
$ S_{21} $ (dB)	3,6	2,6	1,7	0,7
S_{11} (module et phase)	0,35 -131 °	0,62 128 °	0,67 133 °	0,73 126,5 °
S_{22} (module et phase)	0,71 -92 °	0,49 -162 °	0,56 178 °	0,59 163 °
U (dB)	7,45	7,65	8,15	8
f_T (GHz)	197	223	235	242
f_{max} (GHz)	330	380	420	390

Notre choix s'est porté vers un développement total de **70 μm** (2x35). Celui-ci offre bien sûr les meilleures performances en gain, mais il a aussi l'avantage d'avoir un coefficient de stabilité plus élevé que les petits développements. Par contre les charges optimales en gain seront assez éloignées de la charge 50 Ohms, surtout en entrée dû à la forte valeur de C_{gs} et la faible valeur de R_i . Ce point peut être observé à travers l'évolution de S_{11} et de $|S_{21}|$ en fonction de W .

B.3.b) Choix des conditions de polarisation

Sur la Figure 21, nous avons tracé les évolutions du MAG/MSG, du coefficient de stabilité k , de $|S_{21}|$, et du courant I_{ds} en fonction de la tension V_{gs} , et ceci à la fréquence de 140GHz, pour le transistor de développement 70 μm .

D'après ces courbes, il semble que le choix d'une tension V_{gs} proche de 0,1V permettra d'obtenir les meilleures potentialités en gain. Nous pouvons noter que le choix d'une valeur supérieure de V_{gs} n'entraîne qu'une légère dégradation du gain, mais l'évolution du coefficient de stabilité n'incite pas à agir dans ce sens.

Le choix de la polarisation a porté uniquement sur la tension V_{gs} , la tension V_{ds} étant fixée par défaut à 1V, car c'est la valeur qui offre les meilleures potentialités en gain.

Chapitre II : Conception de Circuits MMICs en bande D et G

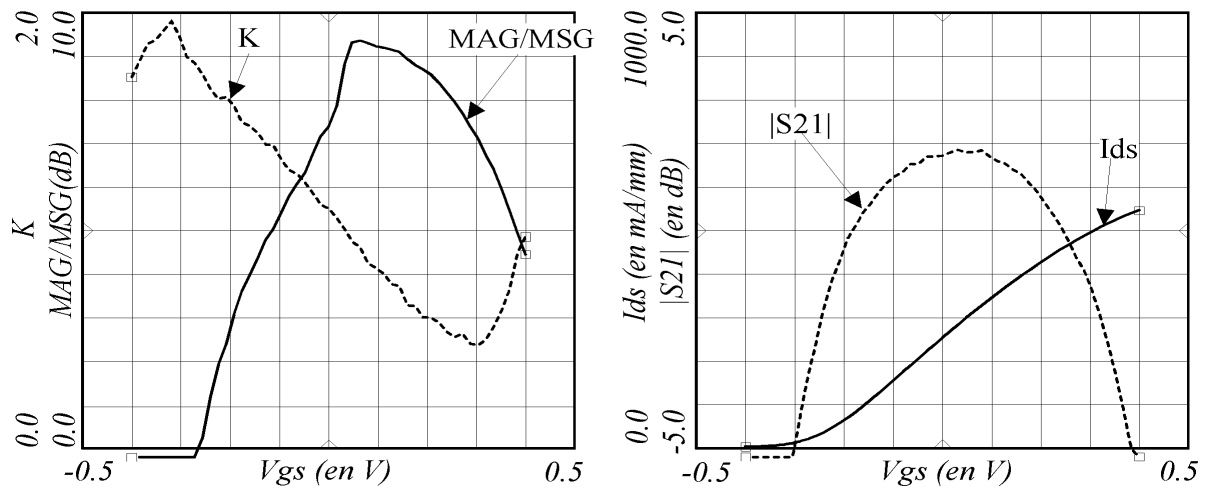


Figure 21 : Evolution du MAG/MSG , de K , de $|S_{21}|$, et de I_{ds} , en fonction de V_{gs} à la fréquence de 140GHz ($V_{ds} = 1$ V).

B.3.c) Lignes de source ?

Préalablement à la conception des étages d'adaptation, il est nécessaire de décider de l'emploi d'une contre-réaction. Le transistor étant potentiellement instable jusqu'à plus de 160 GHz, nous avons envisagé la possibilité d'utiliser une contre-réaction par lignes de source, pour stabiliser l'amplificateur dans sa bande passante (130-150 GHz). Pour l'étude, nous avons considéré le transistor avec deux lignes de source de 50Ω (Figure 22). L'emploi de deux lignes en parallèle, vient de contraintes technologiques.

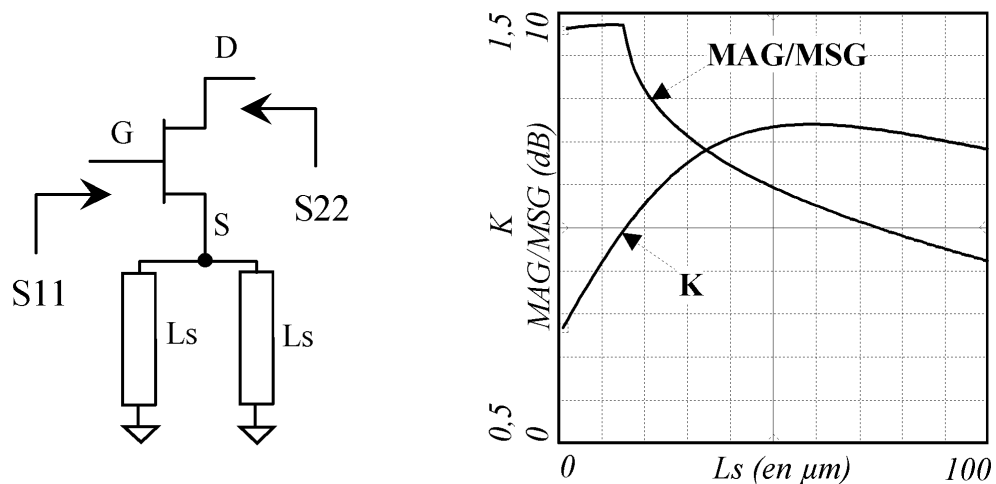


Figure 22 : Transistor avec lignes de source et évolutions du MAG/MSG et de K , en fonction de L_s , à 130GHz

Sur la Figure 22, nous avons tracé l'évolution du MAG/MSG , et du coefficient de stabilité k , en fonction de la longueur des lignes de source à la fréquence de 130GHz, qui est la limite inférieure de la bande passante.

Chapitre II : Conception de Circuits MMICs en bande D et G

Nous observons une amélioration significative du coefficient de stabilité, cependant la dégradation très rapide du gain et les incertitudes sur les modèles de lignes, dans le cas de lignes courtes devant les dimensions transversales, nous ont incités à abandonner cette solution.

B.3.d) Performances globales du transistor

Dans le Tableau 5, nous avons regroupé les principales caractéristiques du transistor choisi pour concevoir l'amplificateur à 140GHz. Le transistor utilisé présente un développement $W=2 \times 35 \mu\text{m}$, et son **schéma équivalent petit signal est reporté dans l'annexe V.B).**

Tableau 5 : Caractéristiques du transistor employé dans la conception de l'amplificateur à 140GHz

W (en μm)	V_{gs} (en V)	I_{ds} (mA/mm)	MAG/MSG (dB)	 S₂₁ (dB)	K	F où k=1 (GHz)	S₁₁ (module, phase)	S₂₂ (module, phase)
2x35	0,1	345	9,2	1,7	0,82	163	0,67 133 °	0,56 178 °

B.4) Procédure de conception d'un étage

La conception des étages d'entrée et de sortie suit en grande partie la même démarche. Pour l'expliquer, nous avons regroupé les principales étapes, sous la forme d'un algorithme, sur la Figure 23. Cet algorithme de conception est simplifié, il faut aussi être conscient que les critères sont très souples au départ et qu'ils s'affinent au cours des boucles.

Pour éclaircir les différentes étapes de la Figure 23, il semble utile d'ajouter quelques informations complémentaires.

- La stabilité :

Les problèmes de stabilité interviennent surtout de façon critique, lorsque que l'on est dans la "phase d'affinage" des étages d'entrée et de sortie. Dans ce cas, on travaille avec l'ensemble : Etage d'entrée + Transistor + Etage de sortie, pour avoir une vision globale de celle-ci.

- **Etape 1** : A ce niveau, le travail peut s'effectuer sur "papier", et consiste à vérifier **rapidement**, qu'une topologie de réseau puisse réaliser l'adaptation en gain, tout en évitant les zones d'instabilité

Chapitre II : Conception de Circuits MMICs en bande D et G

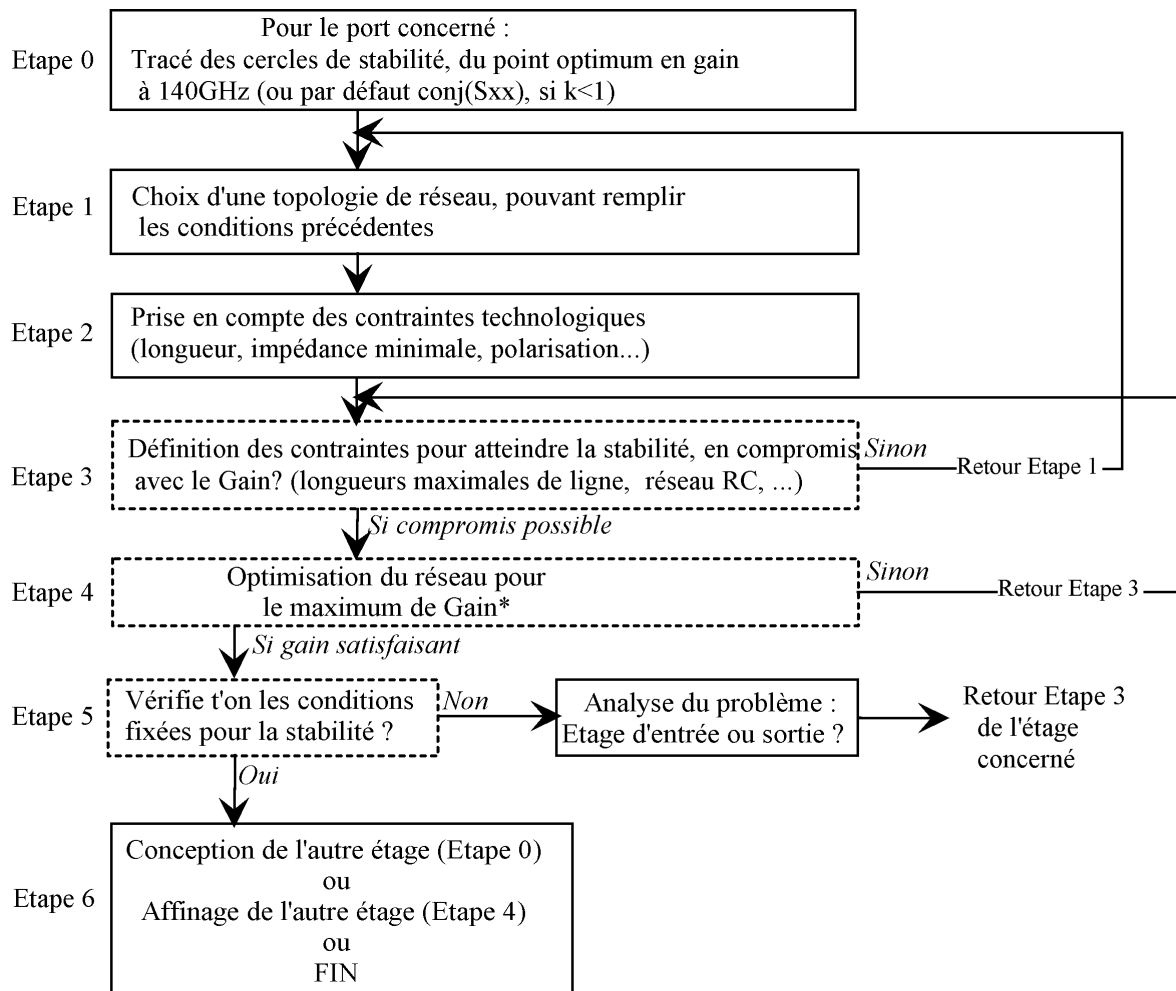


Figure 23 : Diagramme simplifié de conception d'un étage

- Etape 2 : A ce point, il s'agit de poser toutes les contraintes technologiques du réseau choisi : longueur minimale de ligne, impédances de ligne, valeur limite de capacité ou de résistance, problème de polarisation...
- Etape 3 : A cette étape, il faut prendre compte les contraintes liées à la stabilité, en définissant les réseaux de stabilisation, en imposant si nécessaire des plages de dimensions aux lignes...Et tout ceci, sans préjudice trop important pour le gain (MAG), sinon il faut revenir à l'étape 1.
- Etape 4 : C'est à ce moment, que l'on optimise le réseau en gain, si les performances sont insuffisantes, il y a la possibilité de retourner à l'étape 3, pour assouplir les contraintes liées à la stabilité. Cette étape étant particulière, il est utile d'y apporter quelques remarques :

Chapitre II : Conception de Circuits MMICs en bande D et G

- Le but de cette étape est d'optimiser le réseau afin qu'il offre le meilleur compromis entre obtention de la charge optimale en gain et réseau d'adaptation présentant un minimum de pertes. Pour cela, suivant les cas, on optimise sur différents gains suivant la règle suivante :
 - + Etage d'entrée + Transistor : Gain disponible
 - + Transistor + Etage de sortie : Gain en puissance
 - + Etage d'entrée + Transistor + Etage de sortie : Gain d'insertion (S_{21})
- L'optimisation en gain peut se faire sur un point de fréquence ou sur une bande de fréquence, toutefois dans ce dernier cas, l'efficacité de cette démarche peut être très limitée lorsque l'on est avec un seul étage sans contre-réaction.
- L'emploi de **programme d'optimisation** est assez délicat, étant donné qu'il y a de nombreux paramètres à prendre en compte. Il vise principalement à **affiner un résultat**. Pour ne pas rencontrer trop de difficultés de convergence vers la meilleure solution, il faut limiter le nombre de variables à optimiser simultanément, comme par exemple, ne pas optimiser l'impédance d'un stub, lors d'une première boucle...
- Etape 5 : Après l'optimisation en gain, il est important de vérifier que le réseau réalise les objectifs sur la stabilité, sinon il est nécessaire de revenir à l'étape 3.
- Etape 6 : A la fin d'une boucle, nous enchaînons sur l'élaboration de l'autre réseau, ou sur son « affinage » (en resserrant les critères sur la stabilité ou le gain), ou si l'on ne peut pas attendre de progrès supplémentaires, la conception s'achève à ce point.

B.5) Conception des étages d'entrée et de sortie

B.5.a) *Introduction - Démarche globale*

Nous avons essayé si possible, de recourir à des topologies simples, pour les étages d'entrée et de sortie, dans le but de limiter les erreurs d'adaptation, au risque de restreindre la bande passante. Pour cela, nous avons utilisé les lignes de polarisation, comme élément de stabilisation avec les réseaux RC, et comme élément d'adaptation, car celles-ci sont alors équivalentes à des stubs, dans la bande passante de l'amplificateur.

Même si nous présentons la conception des étages de manière séquentielle, dans la pratique, **notre démarche a été largement itérative**, à cause des problèmes de stabilité et de la dépendance de la charge optimale en gain sur un port en fonction de la charge présentée à l'autre port du transistor.

Le plan de cette partie est le suivant :

Chapitre II : Conception de Circuits MMICs en bande D et G

- Zones d'instabilité du transistor
- Etage d'entrée "initial"
- Etage de sortie
- Résultat intermédiaire
- Etage d'entrée avec "double réseau RC"

Nous présentons deux étages d'entrée pour l'amplificateur (étage d'entrée "initial" et étage d'entrée avec "double réseau RC"). Ceci est dû au fait qu'initialement la solution retenue était celle avec le réseau "initial", mais que celle-ci posait un problème de stabilité, qui a été résolu plus tard avec un étage d'entrée avec "double réseau RC".

B.5.b) Zones d'instabilité du transistor

La 1^{ère} phase est d'abord de tracer les cercles d'instabilité, comme sur la Figure 24. De plus, nous avons aussi indiqué les conjugués de S_{11} et S_{22} à 140GHz, à défaut de pouvoir calculer les charges optimales en gain ($k < 1$); et ceci afin d'avoir une indication sur la zone où se situera l'adaptation optimale pour le gain.

De l'observation de la Figure 24, il apparaît que l'étage d'entrée jouera le rôle essentiel pour la stabilité. En effet, il sera plus facile d'éviter les zones d'instabilité sur la grille, celles-ci restant localisées à l'extérieur de l'abaque, alors que côté drain, les zones d'instabilité concernent toute la moitié inductive de l'abaque, à certaines fréquences.

Pour cette raison, nous avons choisi de définir l'étage d'entrée en premier, et réaliser ainsi l'essentiel du travail pour la stabilité. Puis ensuite, de définir l'étage de sortie, qui aura une action complémentaire, dans les fréquences intermédiaires entre 20 et 80 GHz, pour parvenir à la stabilité inconditionnelle.

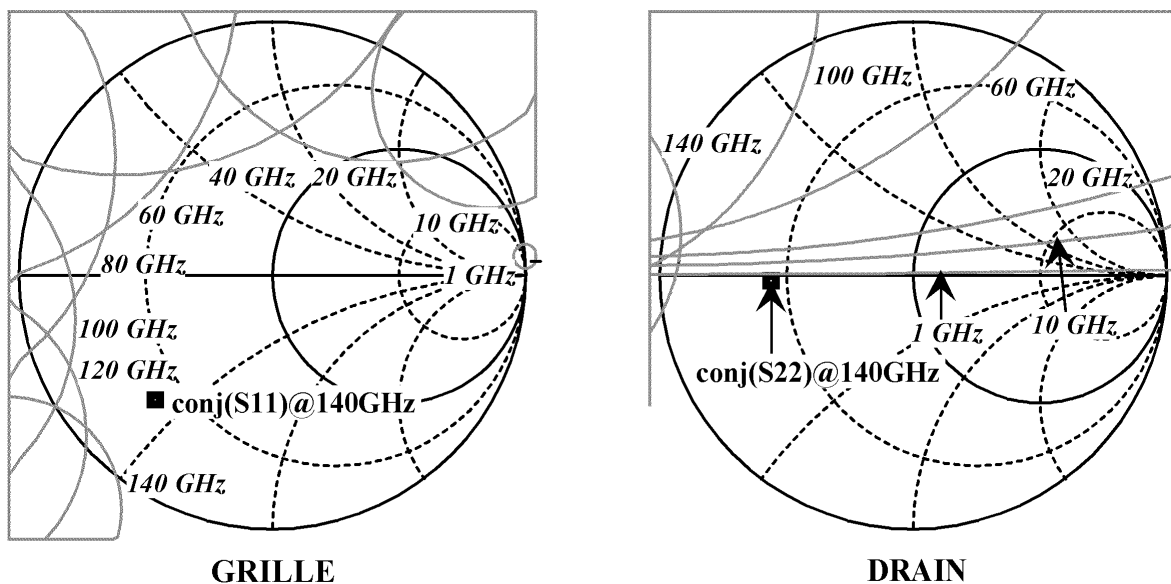


Figure 24 : Evolution des cercles de stabilité sur la grille et le drain du transistor à différentes fréquences, et conjugués de S11 et S22 à 140GHz.

Remarque : Les zones d'instables sont ici toujours à l'intérieur des cercles

B.5.c) Etage d'entrée "initial"

L'enjeu pour l'étage d'entrée est de réaliser l'adaptation en gain à 140 GHz, tout en évitant que Γ_e pénètre dans les cercles d'instabilité, dans ce but le réseau décrit sur la Figure 25, tente d'y répondre.

En effet, sur la partie droite de la Figure 25, nous observons que $\Gamma_e(f)$ approche ou interfère avec les cercles de stabilité autour de 60 GHz, ce qui entraîne une stabilité conditionnelle ($k < 1$) de 28 à 63 GHz, comme nous pouvons le relever sur la Figure 26. Cependant ce dernier point n'est à priori pas dramatique, car l'action complémentaire de l'étage de sortie devrait permettre d'atteindre la stabilité inconditionnelle.

Sur la Figure 26, nous avons aussi tracé différents gains, pour l'ensemble étage d'entrée + transistor, on peut noter qu'après ajout de l'étage d'entrée, nous avons un gain disponible de 8 dB, et un gain d'insertion S_{21} de 3,5dB, alors que le transistor seul présentait un MAG/MSG de 9,2 dB et un gain S_{21} d'insertion de 1,7 dB.

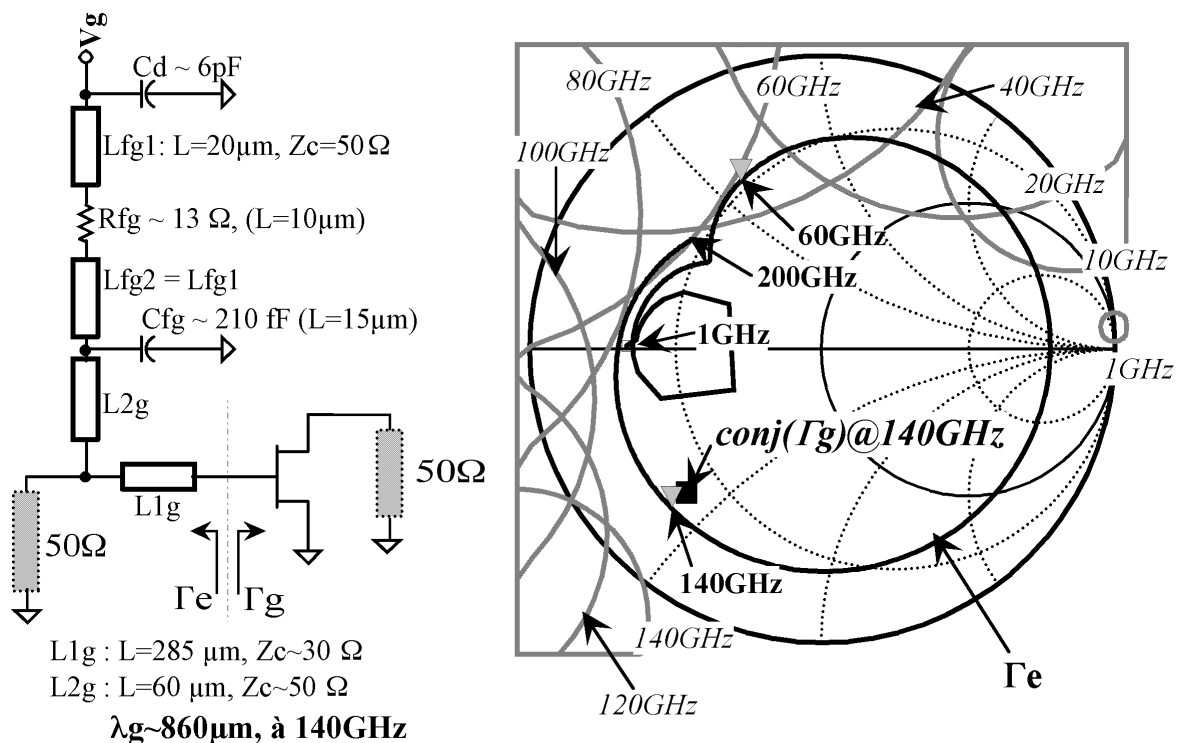


Figure 25 : A gauche : Etage d'entrée "initial". A droite: Cercles de stabilité, $\text{conj}(\Gamma_g)$ à 140 GHz, et $\Gamma_e(f)$ dans le plan d'entrée du transistor

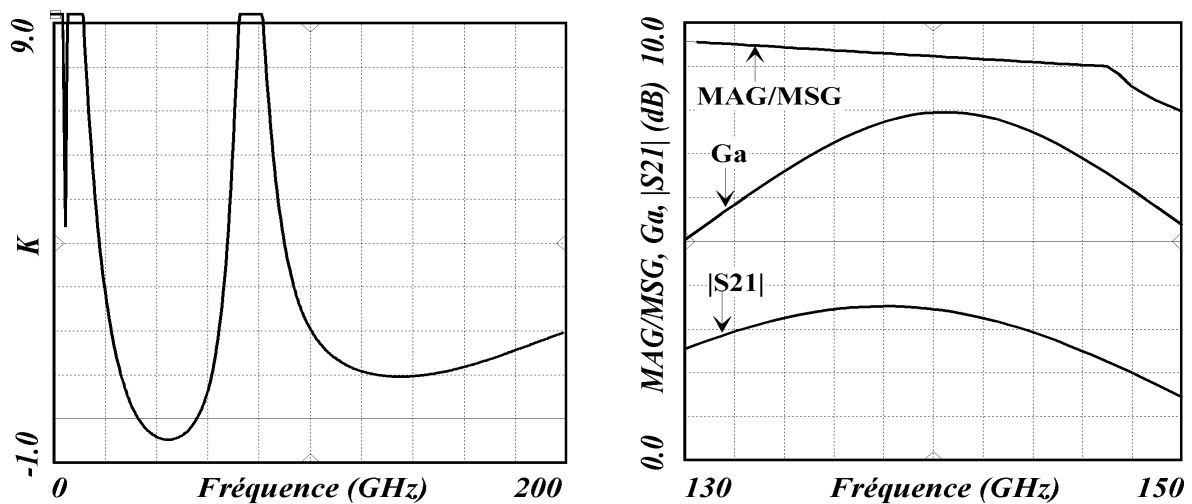


Figure 26 : Tracé du facteur k , du MAG/MSG, du Gain disponible (G_a), et du Gain d'insertion S_{21} , en fonction de la fréquence, pour l'ensemble Etage d'entrée "initial" + Transistor

B.5.d) L'étage de sortie

L'étage de sortie doit nous aider à obtenir la stabilité inconditionnelle, et bien sûr, aussi réaliser l'adaptation en gain. Pour cela il est nécessaire de tracer dans le plan du drain, les zones d'instabilité "résiduelles" et le conjugué de Γ_d à 140GHz, **de l'ensemble étage d'entrée + Transistor**, comme cela est présenté sur la Figure 27.

Pour répondre à ces contraintes, la solution retenue est décrite sur la Figure 28. Les choix sur les lignes L1d et L2d ont été guidés par les problèmes de stabilité, alors que les lignes L3d et L4d influent uniquement sur l'adaptation en gain.

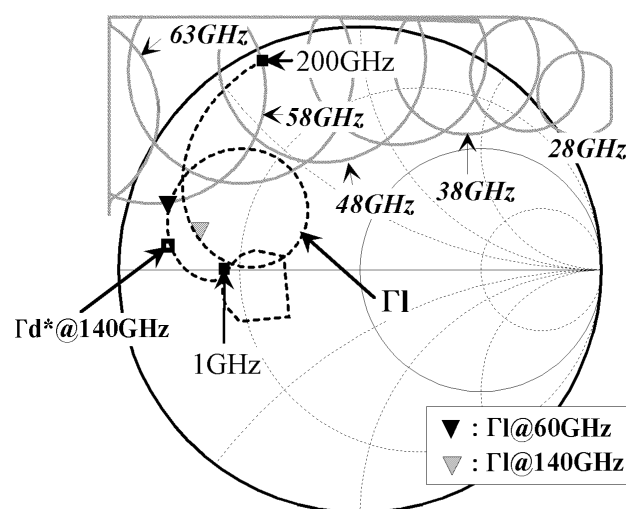


Figure 27: Cercles de stabilité et Γ_d^* à 140GHz, dans le plan du drain, après l'ajout de l'étage d'entrée. Tracé de la charge présentée par l'étage de sortie, Γ_I , de 1 à 200 GHz.



B.5.d.i) Les points clés de la stabilité

Cependant nous sommes limités par des contraintes technologiques, dans ce sens, nous avons réduit la distance intermasse de la ligne L2d de 70 à 50 μ m, ce qui permet d'atteindre une longueur minimale de 50 μ m pour L1d.

Chapitre II : Conception de Circuits MMICs en bande D et G

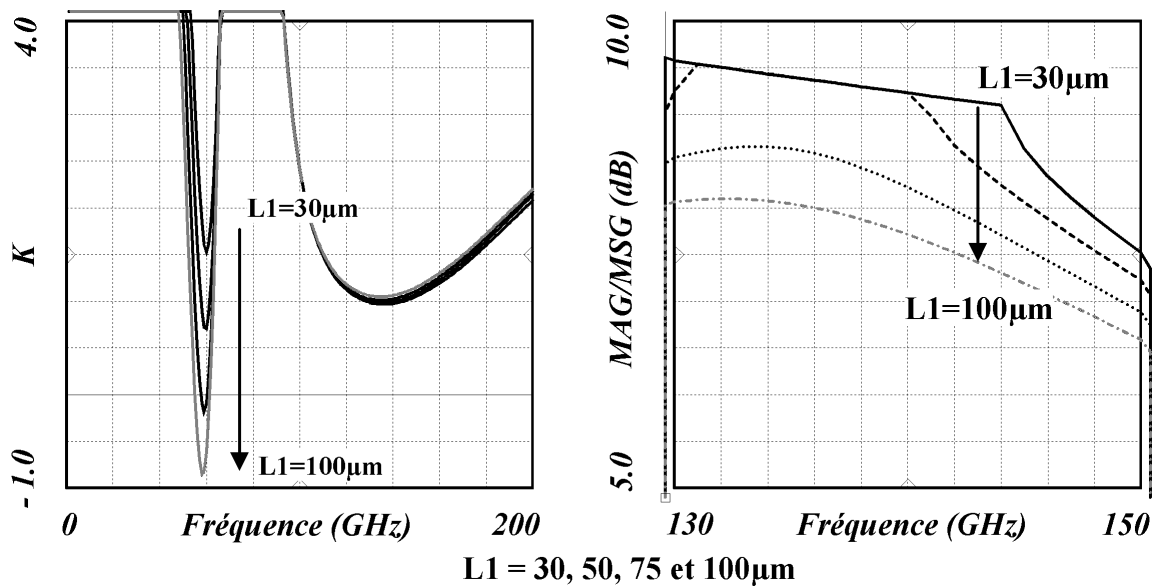


Figure 29: Influence de la longueur de la ligne $L1d$ sur la stabilité et le Gain.
(Simulation sur : Etage d'entrée+ Transistor + Etage de sortie **SANS** $L3d$ et $L4d$)

Concernant la ligne $L2d$, son choix est plus délicat, nous devons rechercher un compromis entre stabilité et gain. Sur la Figure 30, nous avons tracé en fonction de $L2$:

- K à 60GHz, fréquence qui pose problème pour la stabilité
- MAG/MSG et $|S_{22}|$ en dB, à 140GHz
- Le conjugué de S_{22} à 140 GHz, sur une abaque de Smith

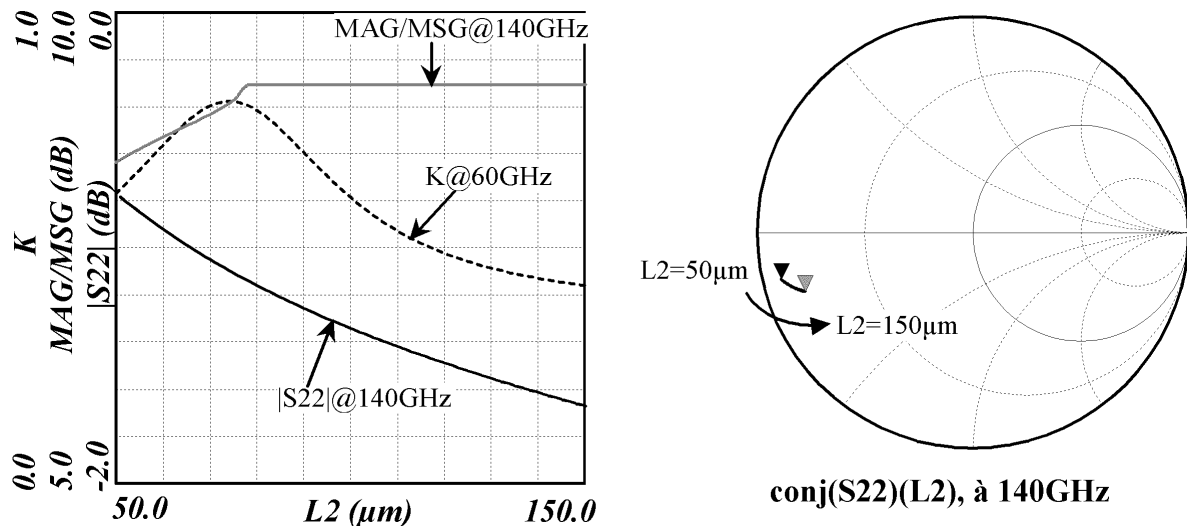


Figure 30 : A droite : tracé en fonction de $L2$, de K à 60GHz, et de $|S_{22}|$ à 140 GHz. A gauche : $\text{conj}(S_{22})$ à 140 GHz en fonction de $L2$. (Simulation sur : Etage d'entrée+ Transistor + Etage de sortie **SANS** $L3d$ et $L4d$)

Chapitre II : Conception de Circuits MMICs en bande D et G

Nous constatons qu'une longueur élevée facilitera l'adaptation et favorisera le gain, mais que pour la stabilité, la valeur optimale se situe aux alentours de 75 μm . Dans le but de réaliser un compromis acceptable, nous nous sommes fixés une longueur de 90 μm pour L2d.

B.5.e) Résultat intermédiaire, avec l'étage d'entrée "initial"

Après avoir défini les étages d'entrée et de sortie (Figure 25 et Figure 28), il semble intéressant de faire une synthèse des performances obtenues. **Il est aussi important de noter, que dans un premier temps, nos travaux s'étaient arrêtés à ce stade, avant qu'une solution au problème de stabilité à 60 GHz soit trouvée.**

Sur la Figure 31, nous avons tracé l'évolution du gain S_{21} , en bande étroite, autour de 140 GHz, et le coefficient de stabilité k , en large bande, à $V_{gs}=0,1\text{ V}$.

Nous obtenons potentiellement un gain assez élevé, avec plus de 7dB à 140 GHz, et de bonnes adaptations entrée et sortie ($S_{11} = -17\text{ dB}$ et $S_{22} = -14,5\text{ dB}$). Malheureusement, nous observons que l'amplificateur sera potentiellement instable autour de 60GHz. Nous avons essayé d'améliorer la stabilité, en réajustant différents éléments de l'amplificateur (réseaux RC, L2d...), mais avec la topologie de l'amplificateur, il semble impossible d'éviter cette instabilité potentielle.

Cette instabilité à 60 GHz n'est pas gênante, **si et seulement si**, l'on emploie l'amplificateur seul, sur **charges 50 Ω à toutes les fréquences**. Par contre, si l'on souhaite le cascader et le polariser à des courants plus élevés, il y a un risque d'instabilité qui s'accroît alors très fortement.

Pour cette dernière raison, nous travaillons à la résolution de ce problème de stabilité dans la partie suivante.

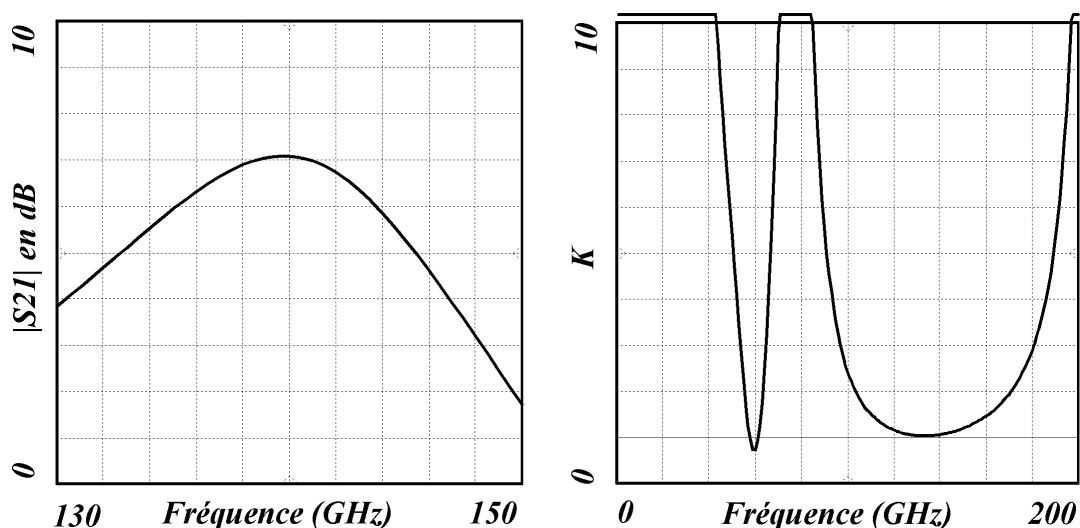


Figure 31 : Gain et facteur de stabilité pour le résultat « intermédiaire »

B.5.f) L'étage d'entrée avec "double réseau RC"

Pour mieux comprendre, les raisons de cette instabilité à 60GHz, nous avons tracé sur la Figure 32, les cercles de stabilité à 60GHz et les coefficients de réflexion (S_{11} et S_{22}) de 55 à 65 GHz, dans les plans d'entrée et de sortie de l'amplificateur, défini précédemment (avec l'étage d'entrée de "initial").

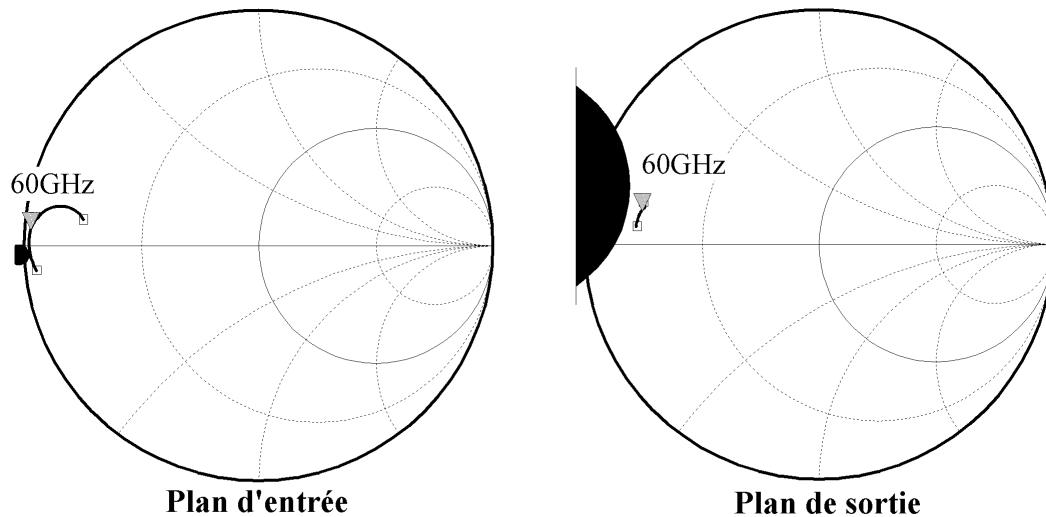


Figure 32 : Cercles de stabilité à 60 GHz, et tracés de S_{11} et S_{22} entre 55 et 65 GHz, pour l'amplificateur avec l'étage d'entrée de "base"(Résultat intermédiaire)

De cette figure, il apparaît que dans le plan d'entrée, la zone d'instabilité est très réduite, mais qu'elle se situe très près du point de court-circuit. Cette localisation du cercle explique très bien l'inefficacité du réseau RC parallèle qui est placé dans ce plan.

De même dans le plan de sortie, nous parvenons aux mêmes constatations, mais l'importance de la zone instable complique encore davantage la recherche d'une solution par l'étage de sortie.

Pour résoudre le problème, nous avons travaillé sur l'étage d'entrée, la solution que nous avons retenue est présentée sur la Figure 33. Le principe est d'insérer un deuxième réseau RC parallèle, **dans un plan décalé**. Le but est de "déplacer" le cercle de stabilité à 60 GHz, en dehors de la zone du CC, de sorte que le deuxième réseau RC parallèle puisse "interdire" une adaptation dans la zone d'instabilité.

Nous avons aussi choisi les dimensions de ce deuxième réseau, de sorte qu'il ne modifie pas l'adaptation à 140 GHz. Dans ce but, nous avons employé des lignes 50 Ω et choisi une longueur d'environ $\lambda/4$ à 140 GHz pour L4g.

Chapitre II : Conception de Circuits MMICs en bande D et G

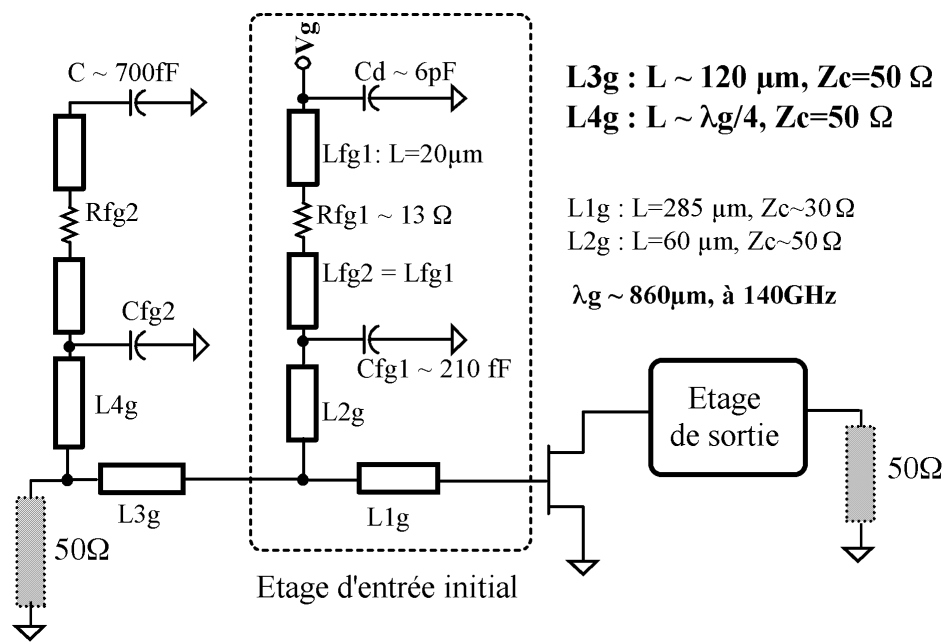


Figure 33 : Principe de l'étage d'entrée avec double réseau RC

Sur la Figure 34, nous effectuons une comparaison sur le coefficient de stabilité et le coefficient de réflexion en entrée (S_{11}), avant et après ajout de ce deuxième réseau RC. L'ajout d'un deuxième réseau RC permet d'être inconditionnellement stable, mais se caractérise en corollaire, par la disparition du "pic" de S_{11} à 60 GHz.

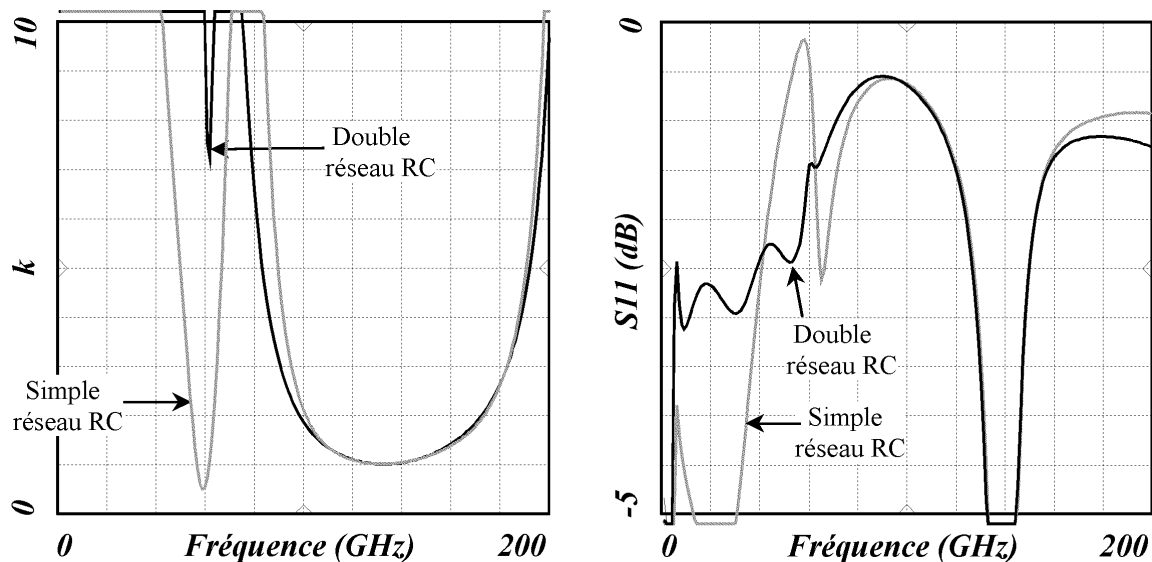


Figure 34 : Evolution de la stabilité, après l'ajout d'un réseau deuxième RC en entrée (cf Figure 33).

L'avantage de cette solution est une bien meilleure robustesse de la stabilité. En effet, à cause du décalage de phase entre les deux réseaux RC, aucune charge ne pourra être présentée à l'extérieur de l'abaque dans le plan d'entrée du transistor, pour les bandes de fréquences qui posent problème.

B.6)

Synthèse*B.6.a) Design final*

La solution finale pour l'amplificateur 140GHz est présentée sur la Figure 35. Nous avons apporté des modifications mineures aux étages décrits précédemment (§ B.5.d), B.5.f)), pour améliorer le gain et la stabilité.

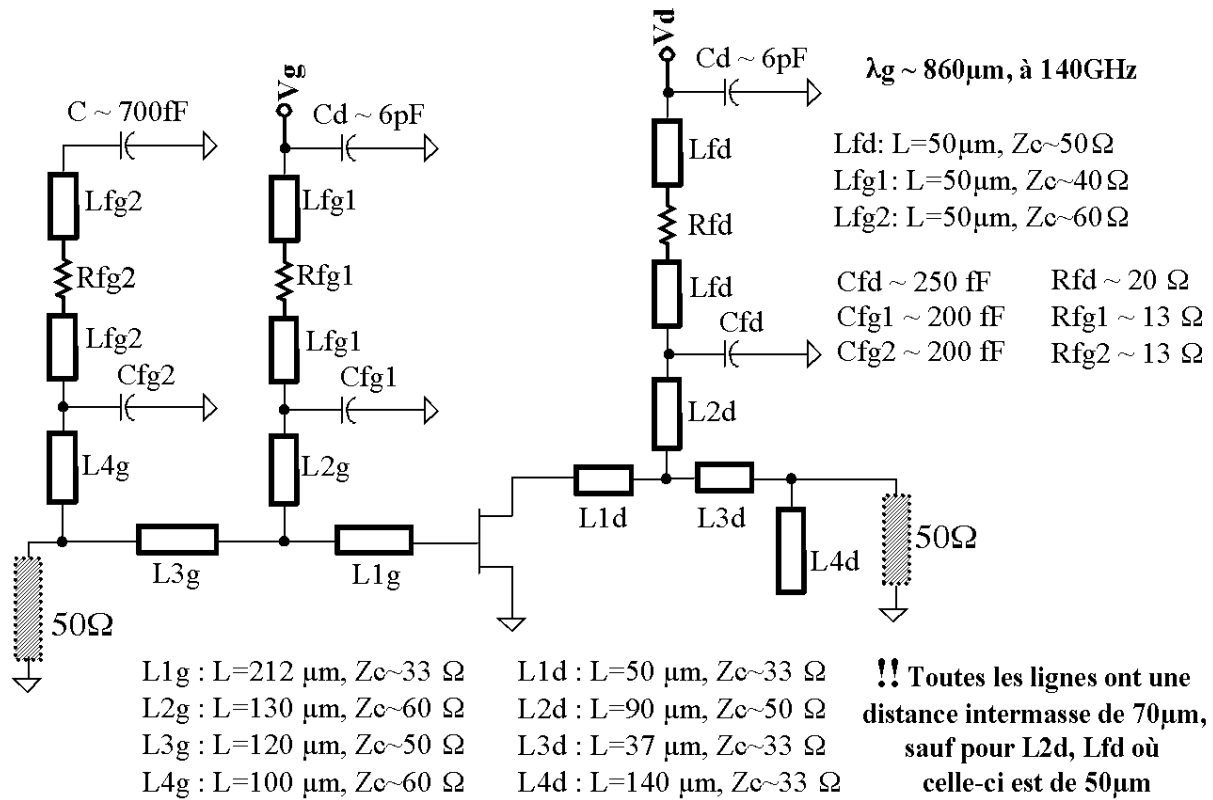


Figure 35 : Schéma final simplifié, de l'amplificateur 140 GHz

Dans l'annexe V.C), nous avons reporté un schéma électrique détaillé de l'amplificateur 140 GHz.

B.6.b) Principaux résultats

Pour la polarisation choisie $V_{gs} = 0,1\text{ V}$, nous tracé sur la Figure 36, le gain d'insertion (S_{21}), les adaptations S_{11} et S_{22} , en bande étroite, et le facteur de stabilité k , en large bande pour l'amplificateur "final". Le gain simulé est supérieur à 7 dB à 140 GHz, et reste supérieur à 5,3 dB sur la bande 135-145 GHz. Le facteur de stabilité k , est toujours supérieur à 1, et son minimum est de 1,01 à 133 GHz, nous sommes donc inconditionnellement stable.

Chapitre II : Conception de Circuits MMICs en bande D et G

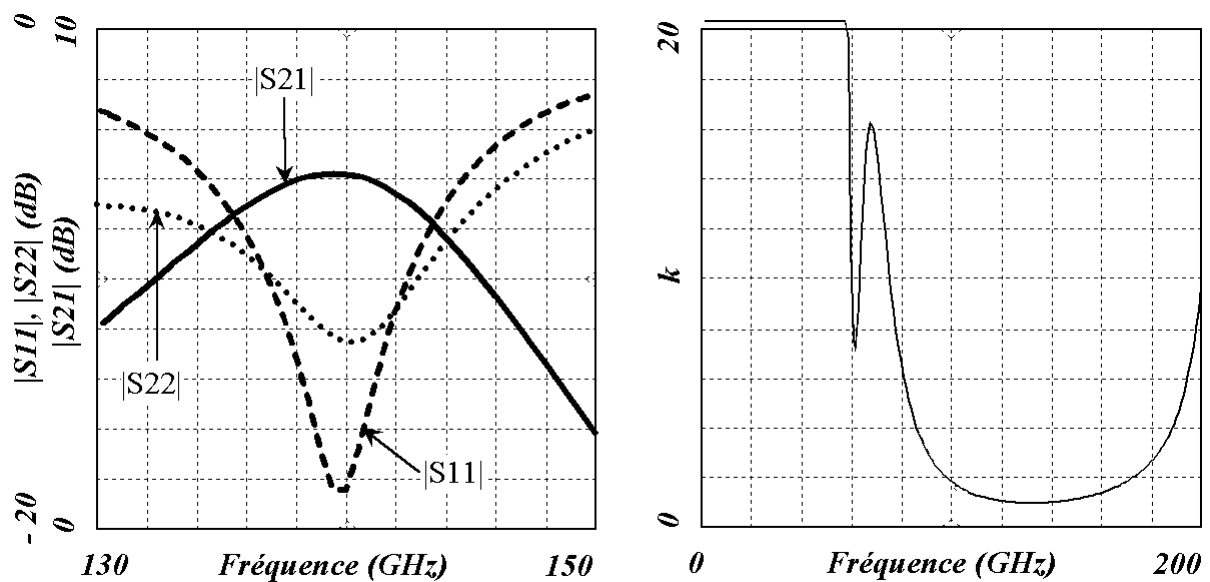


Figure 36 : Simulation de l'amplificateur 140 GHz final, à $V_{gs}=0,1$ V

Dans le Tableau 6, nous avons regroupé des informations plus détaillées : paramètres S à 140 GHz et sur la bande 135-145 GHz, valeur minimale de k, le tout pour différentes polarisations en V_{gs} .

Tableau 6 : Performances de l'amplificateur, en fonction de V_{gs}

		$V_{gs} = 0$ V ($I_d=255$ mA/mm)	$V_{gs} = 0,1$ V ($I_d=345$ mA/mm)	$V_{gs} = 0,2$ V ($I_d=425$ mA/mm)	$V_{gs} = 0,3$ V ($I_d=495$ mA/mm)
140 GHz	$ S_{21} $ (dB)	5,8	7,1	7,3	5,6
	$ S_{11} $ (dB)	- 29,5	- 18,5	- 12,6	- 12,5
	$ S_{22} $ (dB)	- 21,2	- 12,5	- 8,2	- 5,8
	$ S_{12} $ (dB)	- 12,8	- 11,4	- 10	- 8,8
135 – 145 GHz	$ S_{21} $ (dB)	> 4,3	> 5,3	> 5	> 3,3
	$ S_{11} $ (dB)	< - 7	< - 6	< - 5	< - 5
	$ S_{22} $ (dB)	< - 9,5	< - 7,5	< - 5	< - 3
Minimum de k		1,3 à 131 GHz	1,01 à 133 GHz	0,81 à 134 GHz	0,72 à 134 GHz

Chapitre II : Conception de Circuits MMICs en bande D et G

Nous observons que le gain atteint une valeur de 7,3 dB, à 140 GHz, pour $V_{gs} = 0,2V$, mais la bande passante sera plus restreinte qu'à $V_{gs} = 0,1 V$. De plus, nous pouvons noter que les adaptations se détériorent, lorsque V_{gs} croît de 0 à 0,3 V.

Ce dernier point peut s'expliquer par le fait que nous avons conçu les étages, pour $V_{gs}=0,1 V$, mais la principale explication tient à l'impossibilité de "s'adapter", car les charges optimales en gain ne sont pas définissables quand $k < 1$.

Enfin sur le plan de la stabilité, elle est conditionnelle pour V_{gs} supérieure ou égale à 0,2 V, autour de 140 GHz. Ce dernier point n'est pas gênant, si l'amplificateur est chargé sur 50 Ohms à 140 GHz, car les zones instables restent localisées à l'extérieur de l'abaque.

Dans l'annexe V.C), nous avons apporté quelques données complémentaires sur l'amplificateur avec:

- Une simulation en bande étroite (130-150 GHz, $V_{gs} = 0 ; 0,1 ; 0,2 V$) de : $|S_{11}|$, $|S_{12}|$, $|S_{21}|$ et $|S_{22}|$
- Une simulation en large bande (1-200 GHz, $V_{g}=0 ; 0,1 ; 0,2 V$) de : $|S_{11}|$, $|S_{12}|$, $|S_{21}|$, $|S_{22}|$, et k

B.6.c) Conclusions et perspectives

Pour conclure sur la conception de l'amplificateur nous avons souhaité revenir sur trois points :

- 1) A la polarisation choisie ($V_{gs} = 0,1 V$), le transistor offre un MSG de 9,25 dB, alors que l'amplificateur final a un gain d'insertion de 7,1 dB. Cet écart de plus de 2 dB est assez important et il est surtout dû à la difficulté à adapter le transistor. Cette remarque souligne qu'il est aussi important de disposer d'un composant facilement adaptable que d'un composant ayant de fortes potentialités en gain.
- 2) La stabilité a été le point le plus délicat à résoudre, nous avons eu recours à une solution originale avec ce que l'on a appelé "le double réseau RC" pour l'étage d'entrée. Cependant une autre solution à envisager, serait de placer en une résistance série sur le drain ou la grille, couplée avec une capacité en parallèle (voir Figure 15). Toutefois cette solution doit être réalisable d'un point de vue technologique.

Chapitre II : Conception de Circuits MMICs en bande D et G

3) La bande passante de l'amplificateur est assez limitée pour plusieurs raisons. D'abord l'objectif est de réaliser un amplificateur à bande étroite, sans contraintes de bande passante. Ensuite, nous avons voulu réaliser des réseaux d'adaptation simple, en contrepartie la bande passante est plus réduite. Enfin, il est difficile de réaliser des bandes passantes importantes dans le cas d'un étage unique sans contre-réaction, et avec des réseaux sans pertes.

II.C) Conception d'un amplificateur à deux étages, à la fréquence de 140 GHz

C.1) Introduction - conception

Les systèmes microondes comportent généralement des amplificateurs avec plusieurs étages, car un étage unique n'offre pas un gain suffisant, et ne peut répondre à toutes les conditions fixées en bruit, bande passante ou puissance. Dans cette optique, nous avons réalisé un amplificateur avec deux étages, qui nous permettrait d'obtenir un gain plus élevé.

Un amplificateur avec plusieurs étages peut être appréhendé comme la mise en cascade de différents amplificateurs à un étage, conçus séparément, ou alors de manière globale en concevant des réseaux d'adaptation ou "inter-étages", spécifiques entre chaque transistor [34].

Un "inter-étage" ou réseaux d'adaptation entre deux transistors, permet de réduire au maximum les pertes, mais son étude est plus complexe que celle d'un simple réseau d'adaptation d'entrée ou de sortie adapté sur $50\ \Omega$. En effet, l'"inter-étage" joue le rôle d'étage de sortie pour un transistor et d'entrée pour l'autre. De ce fait, l'inter-étage doit assurer la stabilité au niveau de chaque transistor, ce qui implique une étude plus complexe de celle-ci. De plus la précision du modèle du transistor est encore plus importante; car la charge présentée par l'inter-étage à l'entrée du 2^{ème} transistor, sera généralement plus sensible à la charge de sortie du 1^{er} transistor, par rapport à une combinaison étage de sortie - étage d'entrée conçus sur $50\ \Omega$.

Malgré les avantages de la conception d'un inter-étage, au niveau des pertes, nous avons décidé de simplement cascader deux amplificateurs définis, dans la partie précédente. Ce choix a été motivé principalement par deux points :

- La nécessité d'une conception robuste pour la stabilité
- Une adaptation de chaque étage sur $50\ \Omega$, permet de limiter les risques de désadaptation.

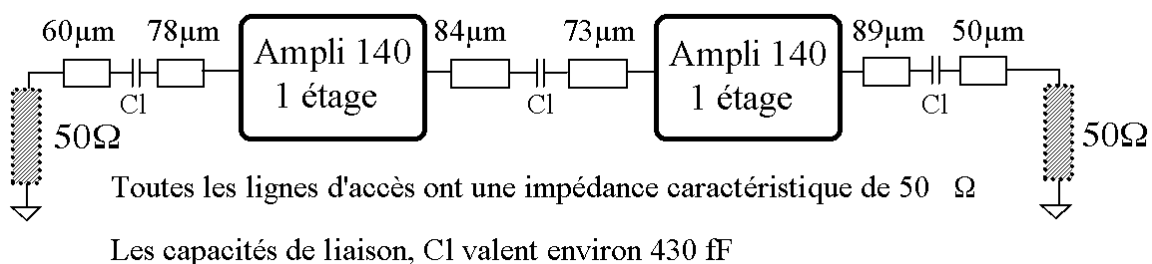


Figure 37 : Amplificateur à deux étages, à la fréquence de 140 GHz

Chapitre II : Conception de Circuits MMICs en bande D et G

L'amplificateur obtenu est décrit sur la Figure 37, aux amplificateurs de base définis sur la Figure 35 de la partie B.6), nous avons ajouté des lignes d'accès 50 Ω et des capacités de liaison pour la polarisation.

C.2) Résultats

Sur la Figure 38, nous avons simulé les paramètres S en bande étroite (130-150 GHz) et le facteur k, de l'amplificateur cascadié à $V_{gs}=0,1$ V. A cette polarisation, nous obtenons un gain supérieur à 12 dB de 134 à 145 GHz, et nous sommes inconditionnellement stable.

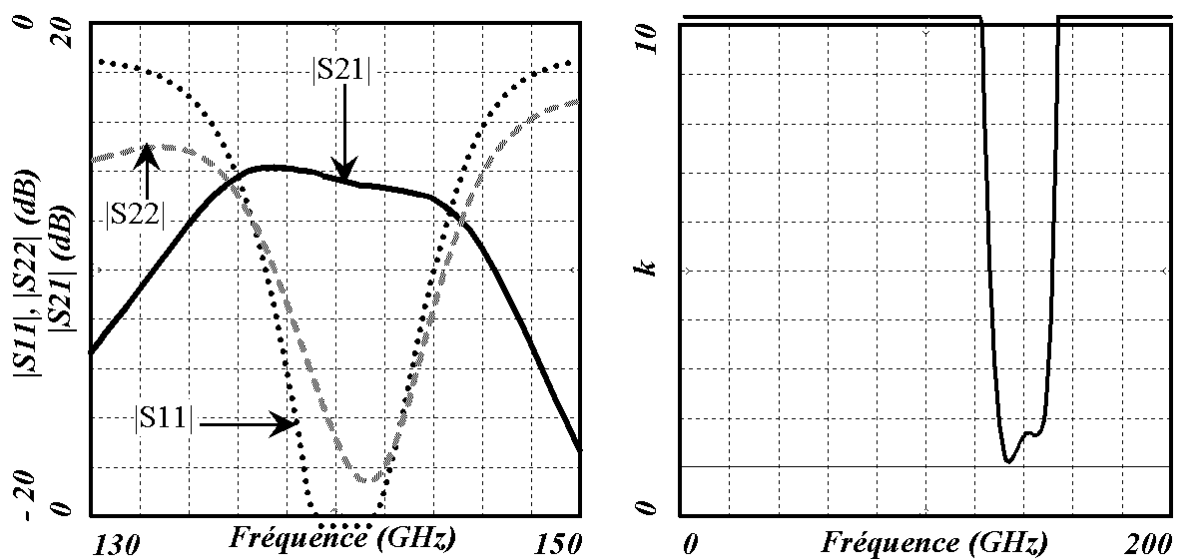


Figure 38 : Performances de l'amplificateur 140 GHz à deux étages, à la polarisation $V_{gs}=0,1$ V ($I_{ds}=345$ mA/mm)

Dans le Tableau 7, nous avons reporté en fonction de la polarisation, les principaux résultats de simulation. Nous pouvons d'abord remarquer que la mise en cascade de deux étages a eu un effet positif sur la bande passante, par rapport à un amplificateur seul. Par exemple, à $V_{gs}=0,1$ V, pour l'amplificateur à un étage nous avons un gain supérieur à 5,3 dB, sur la bande 135- 145 GHz (cf Tableau 6), alors que le double étage offre un gain supérieur à 12,2 dB.

Sur le plan de la stabilité, pour la polarisation fixée lors de la conception, $V_{gs}=0,1$ V, nous sommes inconditionnellement stable, mais pour des polarisations supérieures en V_{gs} , la stabilité devient précaire avec $k_{min} \sim 0,27$ à $V_{gs}=0,2$ V et $k_{min} \sim -0,07$ à $V_{gs}=0,3$ V. L'emploi de l'amplificateur devrait être possible jusque $V_{gs}=0,2$ V, sur charges 50 Ω uniquement, car les zones d'instabilité sont localisées vers l'extérieur de l'abaque, mais au delà le risque d'instabilité est important.

Chapitre II : Conception de Circuits MMICs en bande D et G

Tableau 7 : Performances de l'amplificateur 2 étages 140 GHz, en fonction de V_{gs}

		$V_{gs} = 0 \text{ V}$ ($I_d=255$ mA/mm)	$V_{gs} = 0,1 \text{ V}$ ($I_d=345$ mA/mm)	$V_{gs} = 0,2 \text{ V}$ ($I_d=425$ mA/mm)	$V_{gs} = 0,3 \text{ V}$ ($I_d=495$ mA/mm)
140 GHz	$ S_{21} $ (dB)	11,35	13,7	13,6	9,95
	$ S_{11} $ (dB)	-35,6	-24,1	-19,6	18,9
	$ S_{22} $ (dB)	-22,9	-16,7	-14,5	-12
	$ S_{12} $ (dB)	-25,9	-23,2	-21	-18,8
135 – 145 GHz	$ S_{21} $ (dB)	> 9,2	> 12,2	> 12,95	> 9,9
	$ S_{11} $ (dB)	< -6,1	< -4	< -2,3	< -2,2
	$ S_{22} $ (dB)	< -7,6	< -5,7	< -4,3	< -2,4
minimum de k		2,5 à 136 GHz	1,1 à 134 GHz	0,27 à 132,5 GHz	- 0,07 à 131 GHz

Dans l'annexe V.D), nous avons reporté des simulations détaillées, en bande étroite (130 - 150 GHz) et large bande (1 - 200 GHz), de $|S_{11}|$, $|S_{12}|$, $|S_{21}|$, $|S_{22}|$, et k, pour $V_{gs} = 0$; 0,1 et 0,2 V.

II.D) Amplificateur, un étage à 180 GHz

D.1) Introduction

La fréquence de 180 GHz, est une fréquence, où plusieurs applications sont envisageables, notamment la mesure de polluants, l'imagerie, ou la radiométrie [30]. Pour ces raisons, il semblait particulièrement intéressant de développer un amplificateur, à cette fréquence. Cependant, nous nous sommes limités à un étage, adapté en gain, dans un souci de validation des modèles et de la technologie. Pour la conception, nous avons suivi la même philosophie que pour l'amplificateur à 140 GHz, nous ferons donc qu'une description succincte de la conception.

La technologie des passifs et des actifs reste identique à celle décrite précédemment. La principale évolution a porté sur le choix de la distance d'intermasse pour les lignes coplanaires, que nous avons réduite de 70 à 50 μm , afin de limiter la dispersion.

D.2) Choix des paramètres transistors

Avant la conception des réseaux d'adaptation, il faut déterminer les paramètres liés au transistor, qui sont le développement de grille, la polarisation, et l'emploi éventuel de lignes de source.

L'emploi de lignes de source a été exclu, en raison du gain assez faible du transistor à cette fréquence et du faible intérêt pour la stabilité.

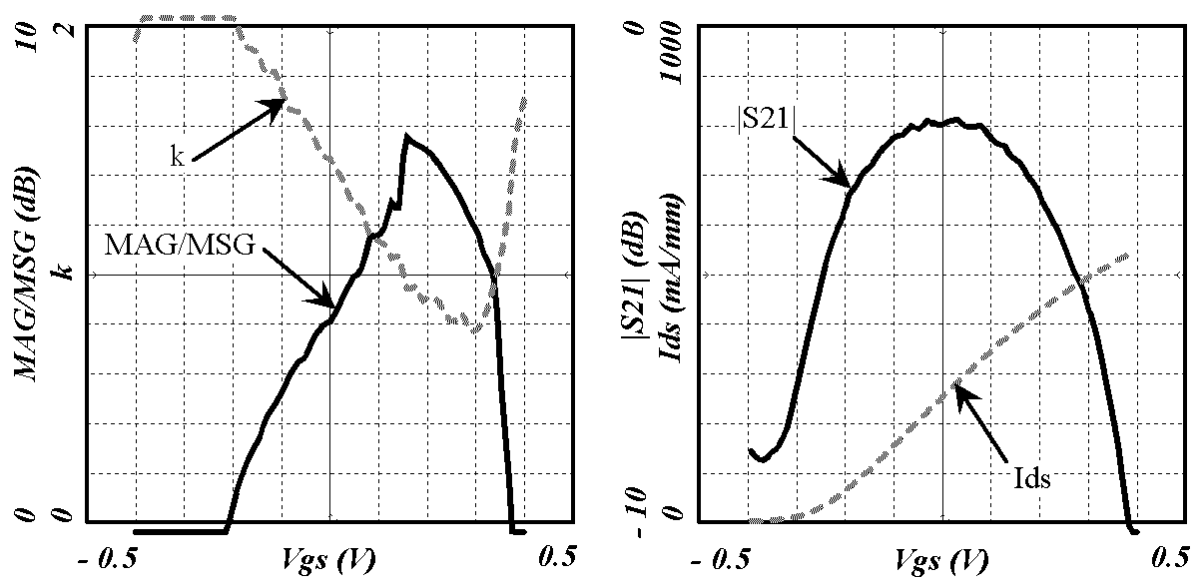


Figure 39 : MAG/MSG , k , $|S_{21}|$ et I_{ds} du transistor, en fonction de V_{gs} , à la fréquence de 180GHz

Chapitre II : Conception de Circuits MMICs en bande D et G

Concernant le choix du développement, nous avons choisi un développement de grille de $70\mu\text{m}$ (2×35), car celui-ci correspond au maximum de la fréquence maximale d'oscillation.

Pour la polarisation de grille, V_{gs} , son choix est plus délicat. En effet si l'on considère la Figure 39 et le Tableau 8, le transistor offre le maximum de gain autour de $V_{gs}=0,2\text{ V}$, cependant à cette polarisation, le transistor sera difficile à adapter, étant donné qu'il est potentiellement instable. De ce fait la polarisation $V_{gs}=0,1\text{ V}$ offre un certain intérêt, car même si le MAG est plus faible, l'adaptation sera plus aisée. Pour cette dernière raison, nous avons choisi $V_{gs}=0,1\text{ V}$, comme polarisation de base, lors de la conception des réseaux d'adaptation.

Tableau 8 : Performances du transistor $2\times 35\mu\text{m}$, à 180 GHz et $V_{ds} = 1\text{V}$, en fonction de la tension grille-source, V_{gs}

	$V_{gs} = 0\text{ V}$ ($I_d=255\text{ mA/mm}$)	$V_{gs} = 0,1\text{ V}$ ($I_d=345\text{ mA/mm}$)	$V_{gs} = 0,2\text{ V}$ ($I_d=425\text{ mA/mm}$)	$V_{gs} = 0,3\text{ V}$ ($I_d=495\text{ mA/mm}$)
MAG/MSG (dB)	4	5,8	7,5	5,9
$ S_{21} $ (dB)	-2	-2,2	-3,4	-5,6
K	1,46	1,14	0,9	0,77
S_{11}^* (module et phase)	0,7 -107 °	0,73 -109 °	0,77 -110 °	0,78 -112 °
Γ_{1g} (module et phase)	0,81 -111 °	0,9 -113 °		
S_{22}^* (module et phase)	0,58 -154 °	0,65 -151 °	0,71 -147 °	0,78 -143 °
Γ_{2g} (module et phase)	0,74 -162 °	0,87 -159 °		

Γ_{1g} : charge optimale en gain en entrée

Γ_{2g} : charge optimale en gain en sortie

Le schéma équivalent petit signal du transistor utilisé est décrit dans l'annexe V.B).

D.3) Design final et résultats de simulation

Comme il a déjà été rappelé, la démarche de conception est très proche de celle de l'amplificateur à 140 GHz . La seule remarque que nous pouvons apporter, est que la recherche du compromis entre stabilité et gain a été plus aisée, car la bande passante est plus élevée en fréquence. Le schéma simplifié de l'amplificateur est présenté sur la Figure 40.

Chapitre II : Conception de Circuits MMICs en bande D et G

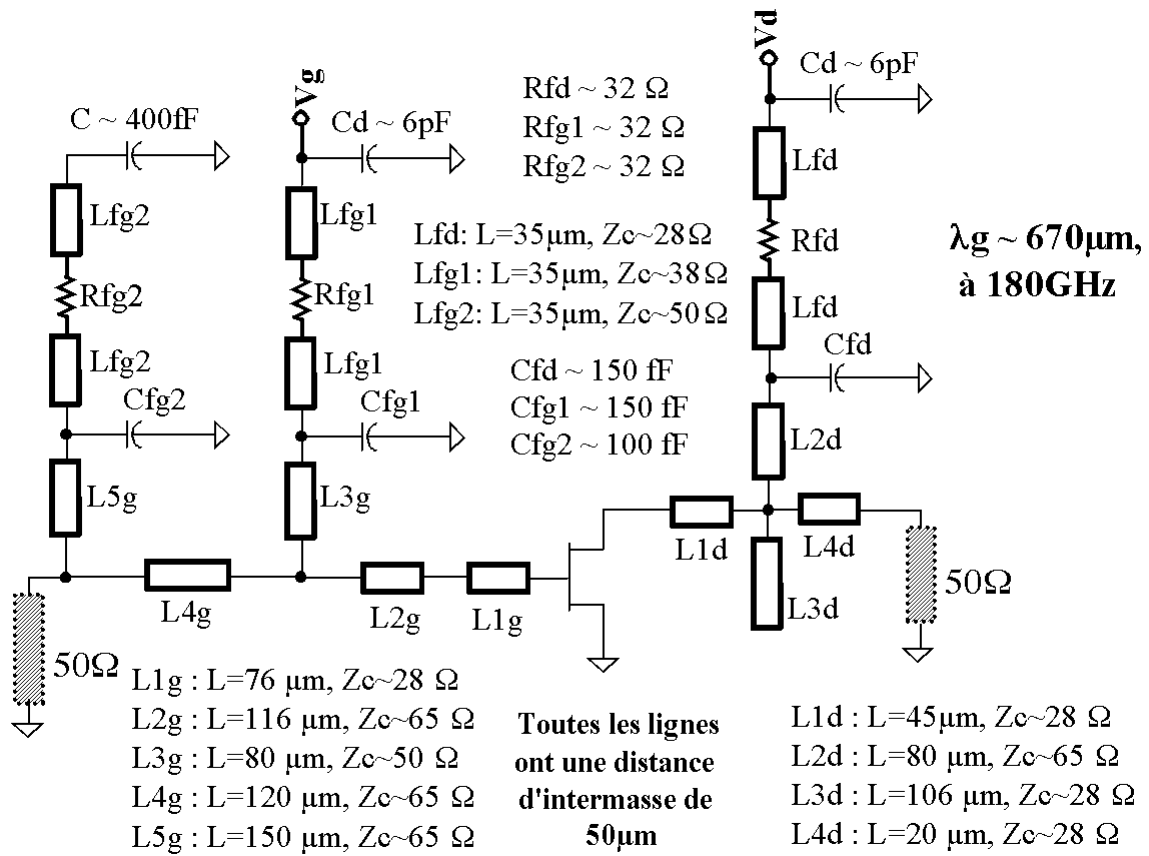
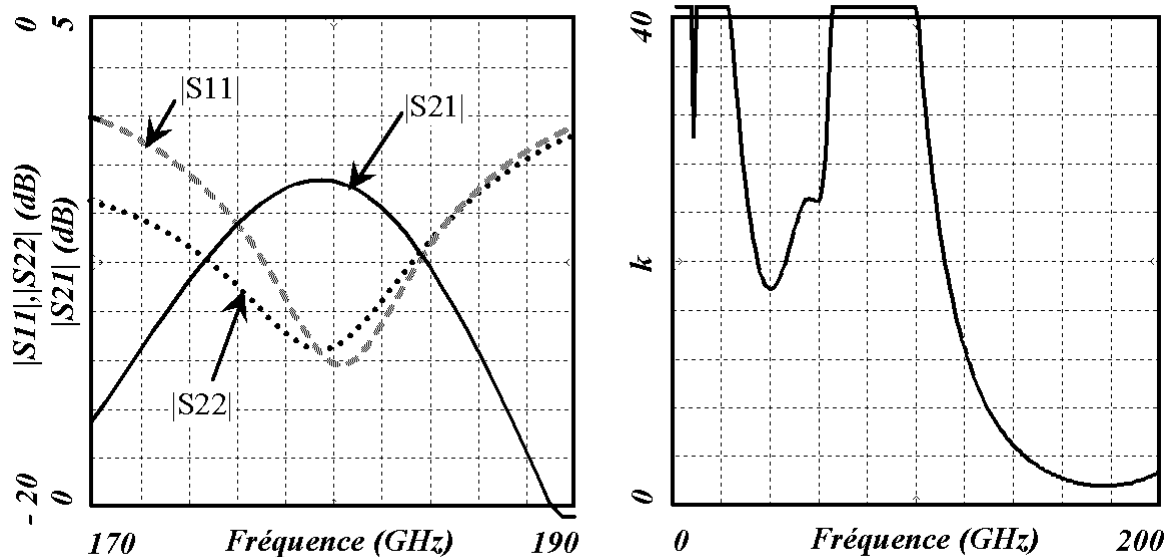


Figure 40 : Schéma électrique simplifié, de l'amplificateur 180 GHz

Sur la Figure 41, nous avons tracé le gain d'insertion S_{21} , les adaptations S_{11} et S_{22} en bande étroite et k en large bande, à $V_{gs} = 0,1 \text{ V}$. Et dans le Tableau 9, nous avons reporté les principaux résultats simulés pour différentes polarisations.

Figure 41 : Simulation de l'amplificateur 180 GHz, à $V_{gs}=0,1 \text{ V}$

Chapitre II : Conception de Circuits MMICs en bande D et G

Tableau 9 : Performances de l'amplificateur 1 étage, 180 GHz, en fonction de V_{gs}

		$V_{gs} = 0 \text{ V}$ ($I_d=255 \text{ mA/mm}$)	$V_{gs} = 0,1 \text{ V}$ ($I_d=345 \text{ mA/mm}$)	$V_{gs} = 0,2 \text{ V}$ ($I_d=425 \text{ mA/mm}$)	$V_{gs} = 0,3 \text{ V}$ ($I_d=495 \text{ mA/mm}$)
180 GHz	$ S_{21} \text{ (dB)}$	2,1	3,35	3,45	1,35
	$ S_{11} \text{ (dB)}$	- 10,9	- 14,2	- 18,8	- 15,1
	$ S_{22} \text{ (dB)}$	- 22,7	- 13,6	- 9,4	- 7,35
	$ S_{12} \text{ (dB)}$	- 14,1	- 12,7	- 11,5	- 10,5
175 – 185 GHz	$ S_{21} \text{ (dB)}$	> 1,05	> 2,05	> 1,85	> - 0,1
	$ S_{11} \text{ (dB)}$	< - 7,3	< - 7,3	< - 6,9	< - 6
	$ S_{22} \text{ (dB)}$	< - 10,5	< - 8,2	< - 5,4	< - 3,9
Minimum de k		1,96 176 GHz	1,55 178 GHz	1,32 178 GHz	1,28 179 GHz

D'abord, nous pouvons noter que nous sommes inconditionnellement stable, pour toutes les polarisations. Ensuite nous remarquons qu'aux polarisations $V_{gs}=0,1 \text{ V}$ et $0,2 \text{ V}$, nous obtenons un gain d'insertion, S_{21} , très proche, alors que l'écart sur le MAG/MSG du transistor était de plus de 1,7 dB. Ceci souligne l'importance de la facilité d'adaptation d'un composant, même si bien sûr la conception a été réalisée pour $V_{gs}=0,1 \text{ V}$.

Le gain que nous pouvons espérer est d'environ 3,4 dB, ce gain bien que modeste, se situerait dans la fourchette des résultats publiés qui sont entre 3 et 4,5 dB par étage, pour des amplificateurs avec des HEMTs ayant un taux d'indium dans le canal de 65 %.

Pour améliorer le gain plusieurs voies sont possibles:

- Recourir à un transistor avec un développement de grille différent. Même si les potentialités intrinsèques du composant sont plus faibles, elles pourraient être compensées par une adaptation plus facile.
- Etudier la possibilité d'accroître le taux d'indium dans le canal, qui est avec la longueur de grille, l'un des principaux leviers pour améliorer les performances du HEMT.
- Améliorer la stabilité du transistor, en jouant sur le recess, la couche...Car ce paramètre complique fortement l'adaptation du composant.

Dans l'annexe V.E), nous avons reporté des simulations en bande étroite (170 - 190 GHz) de $|S_{11}|$, $|S_{12}|$, $|S_{21}|$, $|S_{22}|$, pour $V_{gs} = 0 ; 0,1 ; 0,2 \text{ V}$.

III - Conceptions d'un oscillateur et de VCOs à 140 GHz

III.A) Introduction

Les oscillateurs à base de dipôles (Diode Gunn, IMPATT) ont été les seules sources solides disponibles aux fréquences supérieures à 110GHz, jusqu'en 1985 où Tserng a réalisé le premier oscillateur à base de FET à 115 GHz [41]. Depuis, quelques équipes ont démontré la faisabilité d'oscillateurs à base de transistors jusque la bande G (220 GHz), avec un oscillateur à 213 GHz réalisé par Rosenbaum [42] en 1995. Cependant, les oscillateurs à base de dipôles restent pour l'instant, les sources solides les plus puissantes à ces fréquences, avec par exemple 300 mW à 140 GHz, obtenu avec une diode IMPATT par Wollitzer et al. [43].

L'objectif de notre travail est de démontrer la faisabilité d'un Oscillateur Contrôlé en Tension ("VCO" : **V**oltage **C**ontrol **O**scillator) fonctionnant en mode fondamental, à la fréquence de 140 GHz, avec notre technologie. Les applications possibles pour ce VCO peuvent être les radars, les communications ultra-haut débit en récupération de porteuse avec une PLL, etc... Pour cela nous avons d'abord conçu un oscillateur à 140 GHz, puis nous avons étudié différents topologies de VCOs utilisant une diode Varactor.

Le plan de cette partie sera décomposé suivant cinq points :

- Eléments de base sur les oscillateurs
- Etat de l'art des sources solides en gamme d'ondes millimétriques
- Conception d'un oscillateur à la fréquence de 140 GHz
- Conception d'oscillateurs contrôlés en tension (VCO) à 140 GHz
- Mise en place d'un amplificateur tampon (buffer) pour les VCOs et l'oscillateur

III.B) Eléments de base sur les oscillateurs

Les règles de base de conception d'un oscillateur microonde sont connues depuis plusieurs décennies et sont rapportées dans de nombreuses publications et ouvrages [34], [37], [44], [45] et [46]. Cependant, ce sujet reste encore ouvert sur certains aspects : bruit, puissance, stabilité, méthodes alternatives de conception... et a fait l'objet de quelques publications durant la dernière décennie [47]-[49]. Dans ce paragraphe, nous limiterons à rappeler les principaux éléments de base nécessaires à la conception d'un oscillateur.

B.1) Les différentes approches de conception et topologies générales*B.1.a) Les approches générales d'analyse*

Pour réaliser un oscillateur à partir d'un transistor ou d'un quadripôle, différentes approches sont possibles:

- Quadripôle bouclé
- Quadripôle instable chargé de manière adéquate
- Dipôle à résistance négative

Pour illustrer ce point, nous avons décomposé un oscillateur suivant ces trois approches sur la Figure 42, nous pouvons noter que les choix de décomposition sont complètement arbitraires.

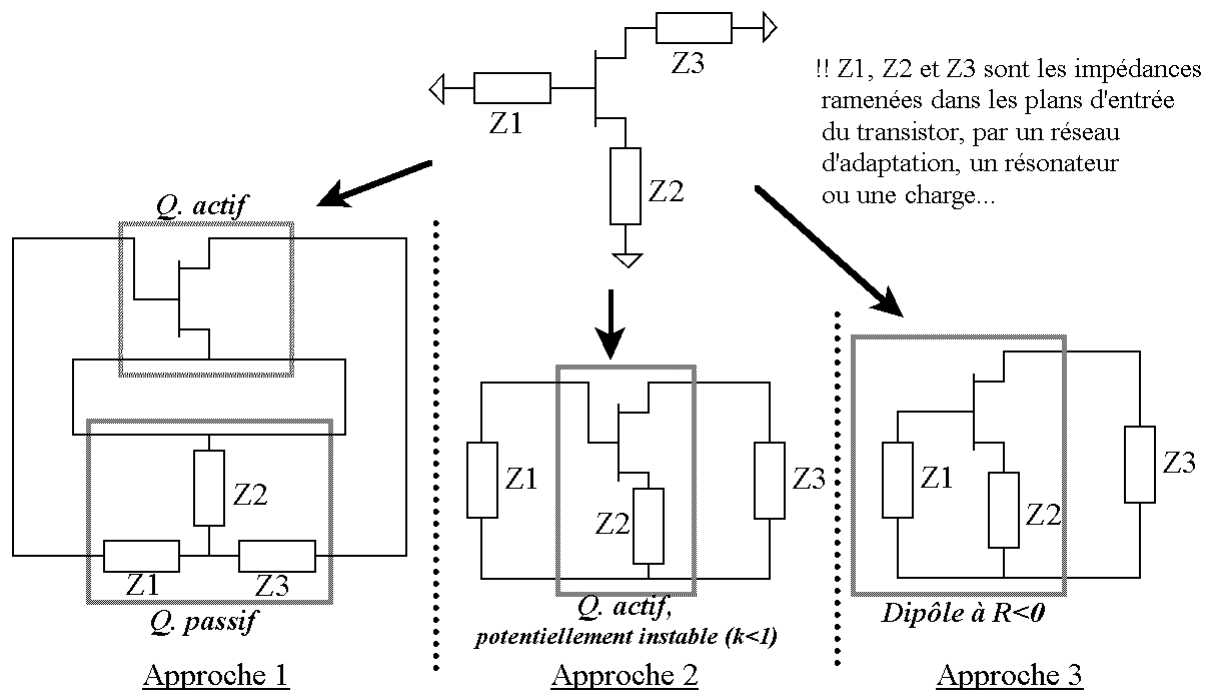


Figure 42 : Exemples d'approches pour l'étude d'un oscillateur

Sur la Figure 43, nous avons repris ces trois grandes approches, et indiqué les conditions d'oscillation et de démarrage de celles-ci.

L'approche 1 (quadripôle bouclé) est principalement utilisée pour les oscillateurs en basses fréquences. Pour les oscillateurs micro-ondes, les approches adoptées sont généralement 2 et 3. Ces approches sont en fait semblables, car lorsque la condition d'oscillation est vérifiée sur l'un des ports du quadripôle, elle est implicitement vérifiée sur l'autre port ($\Gamma_G.S_{11}'=1 \Leftrightarrow \Gamma_L.S_{22}'=1$). Ceci montre que l'on peut toujours se ramener à l'étude d'un oscillateur à résistance négative (approche 3), dans le plan que l'on souhaite.

Chapitre II : Conception de Circuits MMICs en bande D et G

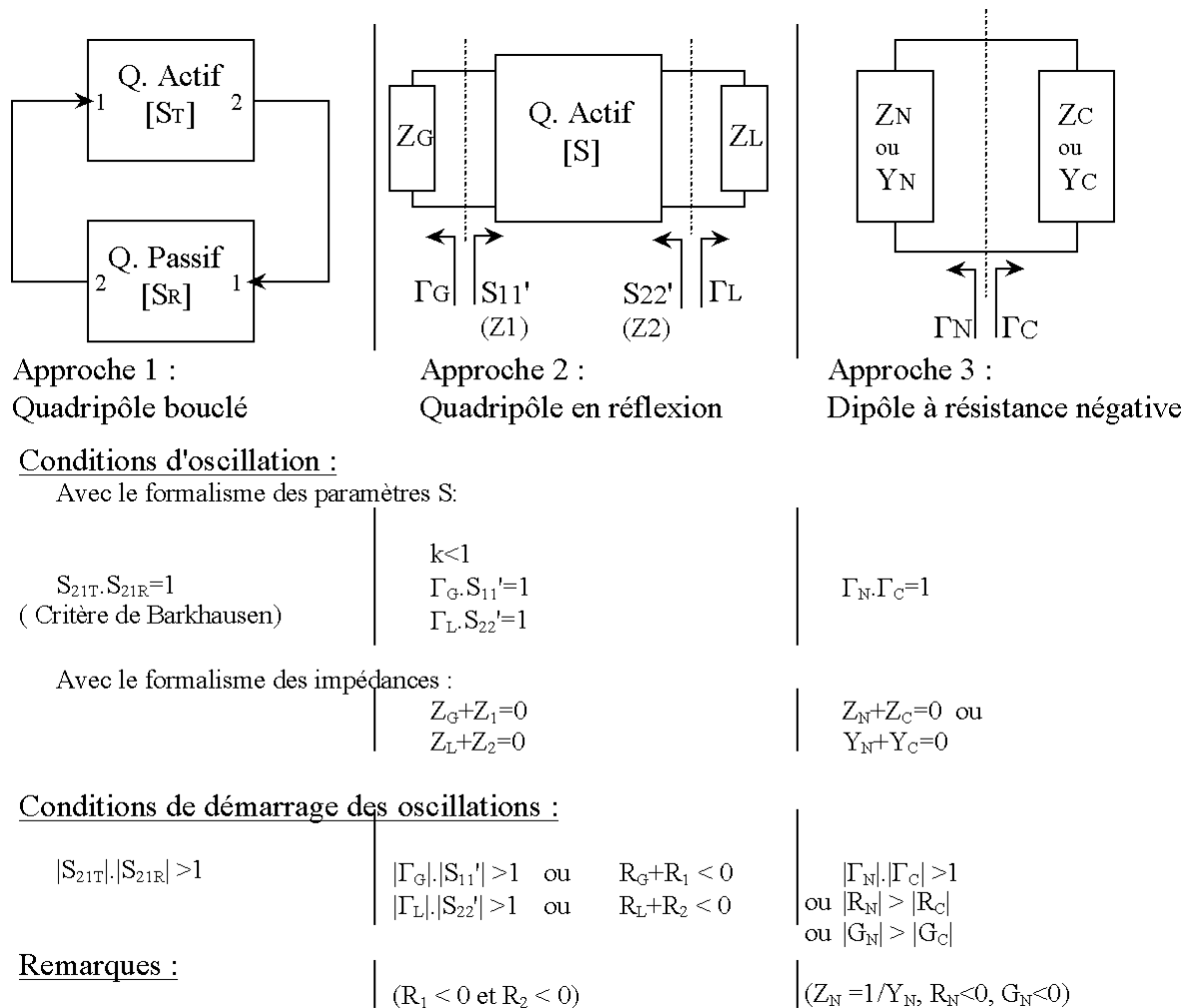
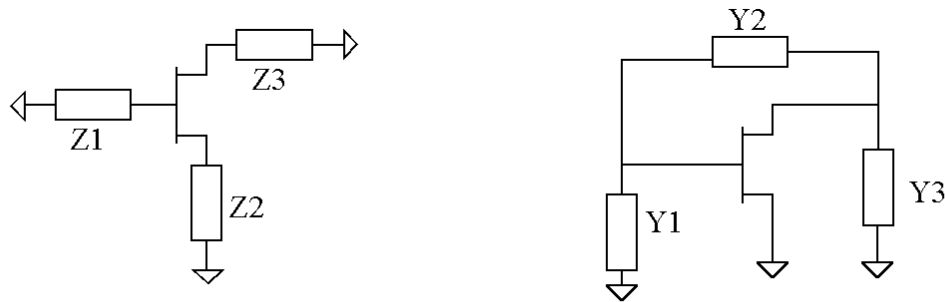


Figure 43 : Les différentes approches de conception d'un oscillateur

B.1.b) Les principales topologies d'oscillateurs

Les deux principales topologies d'oscillateur à transistors décrites sur la Figure 44, sont l'oscillateur en configuration série ou en T, et l'oscillateur en configuration parallèle ou en Π . Généralement l'une des impédances (Z_1 , Z_2 ou Z_3) ou admittances, correspondra à la charge de sortie ramenée à travers un réseau d'adaptation, les autres impédances seront purement réactives et fixeront la fréquence d'oscillation.

Dans le cas d'un oscillateur à fréquence fixe, les trois impédances seront fixes, alors que pour un oscillateur accordable (VCO), l'une ou plus des impédances seront modifiables, par une diode varactor par exemple.



Oscillateur en configuration série (ou en T) Oscillateur en configuration parallèle (ou en Π)

Figure 44 : Topologies générales d'un oscillateur

Remarque : Le plus souvent, on considère le HEMT dans sa configuration source commune. Dans cette configuration, il est nécessaire de recourir à une contre-réaction positive, série (Z2) ou/et parallèle (Y2), pour accroître son instabilité et obtenir les conditions d'oscillation.

B.2) L'oscillateur à résistance négative

La conception d'un oscillateur microonde se ramène souvent à l'analyse d'un oscillateur à résistance négative, ce type d'oscillateur a été largement étudié, et notamment par Kurokawa [44], dans les années 1960.

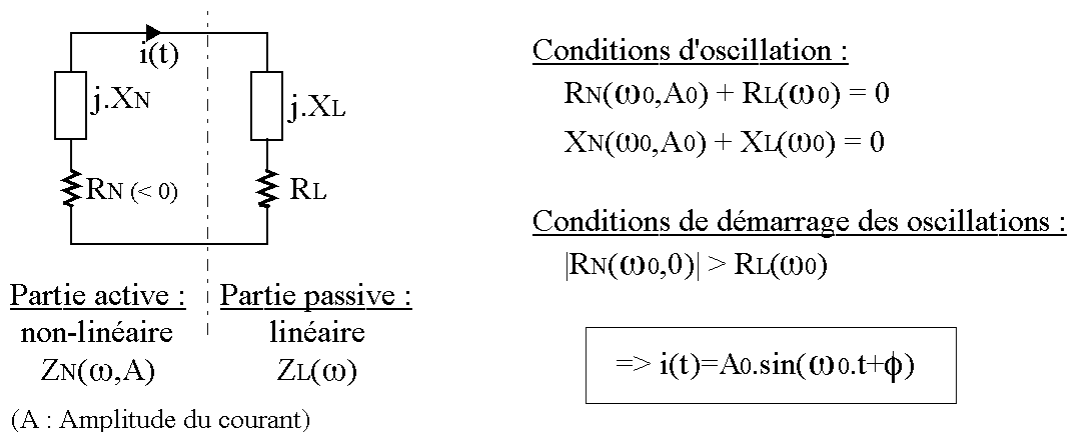


Figure 45 : Oscillateur à résistance négative

Le schéma général de cet oscillateur et les conditions d'oscillation sont repris sur la Figure 45, toutefois il est nécessaire d'apporter quelques précisions sur la stabilité et les conditions de démarrage.

- Conditions d'oscillation stable :

1) La première remarque évidente, est que les conditions d'oscillation ne doivent être vérifiées qu'à une seule fréquence f_0 . Notamment si pour une fréquence f'' , $X_N(f'') + X_L(f'') = 0$, il faut impérativement que $R_N(f'') + R_L(f'') > 0$

Chapitre II : Conception de Circuits MMICs en bande D et G

2) Ensuite, Kurokawa a montré que pour l'oscillateur soit stable, la condition ci-dessous devait être remplie [44] :

$$\frac{\partial R_N}{\partial A} \cdot \frac{\partial X_T}{\partial \omega} - \frac{\partial X_N}{\partial A} \cdot \frac{\partial R_T}{\partial \omega} > 0 \quad (17)$$

Soit en pratique :

$$\frac{\partial X_T}{\partial \omega} > 0 \quad (18)$$

$$\text{et} \quad \frac{\partial R_N}{\partial A} > 0 \quad (19)$$

où $X_T = X_N + X_L$ et A est l'amplitude du courant dans l'oscillateur

- Conditions de démarrage, choix de R_N par rapport à R_L

Pour permettre le démarrage de l'oscillateur il faut nécessairement que $|R_N|$ soit plus élevée que R_L (ou $R_N + R_L < 0$). Dès que l'amplitude du courant A va croître, le module de R_N va décroître jusqu'à atteindre l'équilibre $|R_N(f_0, A_0)| = R_L(f_0)$. Un choix souvent recommandé pour assurer le démarrage de l'oscillateur, est de prendre [34]:

$$|R_N(f_0, 0)| > 1,2 \cdot R_L(f_0) \quad (20)$$

Dans certains cas, des concepteurs choisissent $|R_N|$ jusqu'à trois fois plus élevé que R_L [50]. Cependant si l'on choisit $|R_N|$ très élevé par rapport à R_L , on risque de tendre vers un fonctionnement fortement non-linéaire, qui va générer des d'harmoniques élevées et accroître le bruit de phase de l'oscillateur.

B.3) Facteurs de qualité d'un oscillateur et métrologie de Q_{ext}

B.3.a) Définitions

Le coefficient de surtension ou facteur de qualité Q , d'une impédance linéaire Z_0 ($=R_0 + j \cdot X_0$) à la fréquence f_0 , est défini comme le rapport :

$$Q = 2 \cdot \pi \frac{\mathcal{E}_{accumulée}}{\mathcal{E}_{perdue_par_cycle}} = \frac{f_0}{2 \cdot R_0} \cdot \frac{\partial X_0}{\partial f} \quad (21)$$

Dans le cas d'un oscillateur, nous pouvons distinguer une résistance de pertes R_p et une résistance d'utilisation R_U (ou résistance de charge de l'oscillateur), comme sur la Figure 46. De ce fait, on définit trois facteurs de qualité [34], [36] :

- Le coefficient de surtension à vide, Q_V (ou Q_u) :

$$Q_V = \frac{f_0}{2 \cdot R_p} \cdot \frac{\partial X_0}{\partial f} \quad (22)$$

- Le coefficient de surtension externe, Q_{ext} :

Chapitre II : Conception de Circuits MMICs en bande D et G

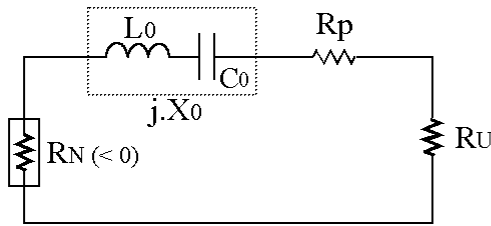
$$Q_{ext} = \frac{f_0}{2.R_U} \cdot \frac{\partial X_0}{\partial f} \quad (23)$$

- Le coefficient de surtension en charge, Q_C (ou Q_L) :

$$Q_C = \frac{f_0}{2.(R_p + R_U)} \cdot \frac{\partial X_0}{\partial f} \quad (24)$$

et l'on a :

$$\frac{1}{Q_C} = \frac{1}{Q_V} + \frac{1}{Q_{ext}} \quad (25)$$



Rappels pour l'oscillateur :

$$|R_N| = R_p + R_U$$

$$X_0 = 0$$

R_U : Résistance de charge

Figure 46 : Facteurs de qualité d'un oscillateur

Le facteur de surtension est un paramètre fondamental de l'oscillateur, car le bruit de phase dépend du bruit basse fréquence de l'élément actif, mais il est aussi proportionnel à $1/(Q_{ext})^2$. Un des enjeux pour réaliser un oscillateur à haute pureté spectrale sera donc de recourir à un résonateur présentant un facteur de surtension élevé.

B.3.b) Le facteur de Pulling

Le facteur de Pulling rend compte des fluctuations de la fréquence d'oscillation induites par une variation de l'impédance de charge. Si l'impédance de charge a un coefficient de réflexion constant en module, mais avec une phase variant de 0 à 2π (cf Figure 47), la variation de fréquence ΔF_0 peut être calculée par la formule simplifiée de Hobson :

$$\Delta F_0 = \frac{F_0}{2.Q_{ext}} \cdot \left(S - \frac{1}{S} \right) \quad (26)$$

S : TOS de l'impédance de charge

La Figure 47 montre comment nous pouvons de manière expérimentale, mesurer le facteur de Pulling, et ainsi remonter au coefficient de surtension externe Q_{ext} par l'expression (26).

Remarque 1 : Le TOS ne doit pas être trop élevé pour éviter l'arrêt de l'oscillateur.

Chapitre II : Conception de Circuits MMICs en bande D et G

Remarque 2 : La formule de Hobson est une expression simplifiée du facteur de pulling, en supposant que $\frac{\partial X_T}{\partial A} = 0$ et $\frac{\partial R_T}{\partial \omega} = 0$, l'expression complète du facteur de pulling est donné dans la référence [37].

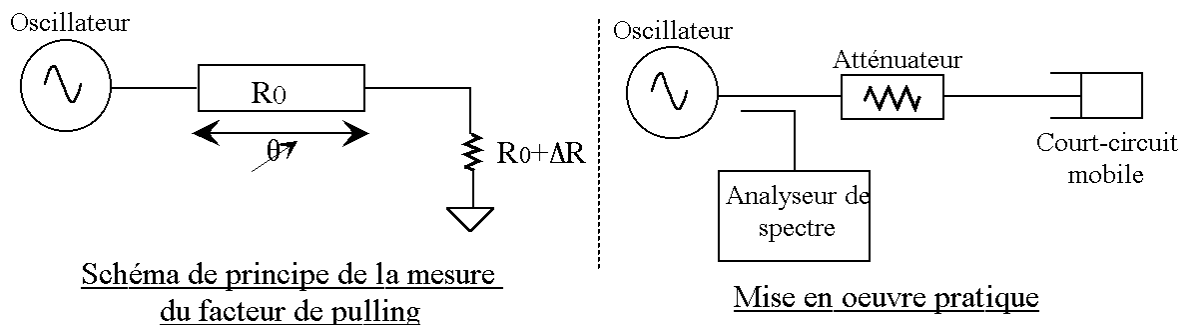


Figure 47 : Mesure du facteur de Pulling

B.3.c) Synchronisation des oscillateurs

Une autre méthode pour déterminer le facteur de qualité externe d'un oscillateur est la synchronisation sur une source de référence [34]. Si l'on connecte l'oscillateur à une source de référence de puissance P_{syn} , l'oscillateur peut sous certaines conditions, se synchroniser sur la source de référence. La plage de synchronisation ΔF_T de l'oscillateur peut alors se calculer par l'expression (27), en supposant que $\frac{\partial X_T}{\partial A} = 0$.

$$\Delta F_T = \frac{2.F_0}{Q_{ext}} \cdot \sqrt{\frac{P_{syn}}{P_{oscill.}}} \quad (27)$$

B.4) Les figures de mérite d'un oscillateur

La fréquence d'oscillation et la puissance sont les premiers paramètres pour caractériser un oscillateur. Cependant, de nombreux autres éléments entrent en compte dans le cahier des charges d'un oscillateur, nous pouvons citer sans être exhaustif [34] :

- Le bruit de phase FM et AM, en dBc/Hz à X kHz de la porteuse
- Le niveau des harmoniques (en dBc)
- Le facteur de pushing qui est la sensibilité de la fréquence d'oscillation à une variation de la polarisation du transistor (MHz/V ou MHz/A)
- Le facteur de pulling qui est la sensibilité à la charge (cf partie précédente)
- Et aussi: la consommation, le rendement, la stabilité en température, la taille, le poids, l'intégration monolithique...

Pour les oscillateurs accordables en fréquence, nous pouvons ajouter :

Chapitre II : Conception de Circuits MMICs en bande D et G

- La plage d'accord, Δf
- Le temps de réponse à une consigne (step response time)
- Le "Post-tuning drift constant" : temps de stabilisation complet
- La linéarité de la commande ($F(V$ ou $i)$)
- La sensibilité de modulation (MHz/V ou MHz/A)
- La variation de puissance en fonction de f

B.5) Les principales catégories d'oscillateurs et de sources millimétriques

L'oscillateur libre qui est obtenu en utilisant les lignes de propagation comme éléments résonants, est l'oscillateur le plus simple que l'on puisse réaliser. Il permet d'extraire le maximum de puissance d'un composant microonde, autorise un léger accord en fréquence, mais il présente un faible facteur de qualité et par conséquent un piètre bruit de phase.

Pour réaliser une source avec une haute pureté spectrale et/ou une large plage d'accord, différentes solutions sont possibles [34], [36], [37]. Pour obtenir une source stable à une fréquence fixe, nous pouvons citer les solutions suivantes :

- **L'oscillateur à cavité métallique**, le principe est d'utiliser une cavité métallique à fort coefficient de qualité comme charge résonante pour l'oscillateur. Il est possible d'atteindre des coefficients de qualité très élevé (>1000), mais cette solution est onéreuse et encombrante.
- **L'oscillateur à résonateur diélectrique** (DRO: **D**ielectric **R**esonator **O**scillator): cette solution consiste à remplacer la cavité métallique par une résonateur diélectrique (cylindre céramique) à très faibles pertes, haute permittivité et résonant à la fréquence souhaitée. Cette solution est très employée car elle offre un coefficient de qualité élevé, pour un encombrement réduit et un coût faible.
- Le **verrouillage par injection** (ILO, **I**njection **L**ock **O**scillator, Figure 48). Cette approche consiste à synchroniser un oscillateur libre sur le fondamental ou un harmonique d'une source de référence, par injection directe du signal vers l'oscillateur. Cette solution nécessite une source de référence et la plage de synchronisation peut être très limitée.
- La **boucle à verrouillage de phase** (PLL, **P**hase **L**ock **L**oop, Figure 48). Cette technique est bien connue, comme pour le verrouillage par injection il faut disposer d'une source de référence, mais il faut aussi un comparateur de phase (mélangeur). Elle est aussi plus complexe que la précédente mais offre une plage de verrouillage beaucoup plus importante.

Chapitre II : Conception de Circuits MMICs en bande D et G

- La **multiplication de fréquence**, c'est une solution assez simple, mais le rendement des multiplieurs peut être faible. De plus, le rapport signal sur bruit se dégrade d'un facteur $1/n^2$ à chaque multiplication d'un facteur n .

Quand une plage d'accord significative est souhaitée pour l'oscillateur, essentiellement deux approches sont possibles :

- L'**oscillateur à diode varactor (VCO: Voltage Control Oscillator)**. On utilise la caractéristique $C(V)$ d'une diode varactor pour changer la fréquence de résonance du circuit. Ce type d'oscillateur permet des changements rapides de fréquence ($<1 \mu s$), mais le faible facteur de qualité des varactors entraîne un bruit de phase important, de plus la bande d'accord est inférieure à une octave.
- L'**oscillateur à YIG (Yttrium Iron Garnet ou Grenats Yttrium Fer)**. Un monocristal d'YIG est une ferrite à très faibles pertes diélectriques dont la résonance gyromagnétique tombe dans les microondes et dépend du champ magnétique appliqué. Ce type d'oscillateur utilise ce monocristal comme résonateur, il se commande en courant, permet des plages d'accord importante, jusqu'à une décade. De plus, il offre un facteur de qualité élevé, mais il a des temps de réponse assez long ($\sim 1ms$).

L'oscillateur en configuration push-push (Figure 48) :

Lorsque le transistor a un gain faible pour la fréquence d'oscillation visée f_0 , une solution souvent envisagée est l'oscillateur en configuration push-push [51], [52]. L'idée est de connecter ensemble deux oscillateurs identiques, oscillant à $f_0/2$ mais déphasés de 180° , de sorte que le signal total à $f_0/2$ s'annule, et que l'harmoniques 2, f_0 , s'additionne de manière constructive.

Chapitre II : Conception de Circuits MMICs en bande D et G

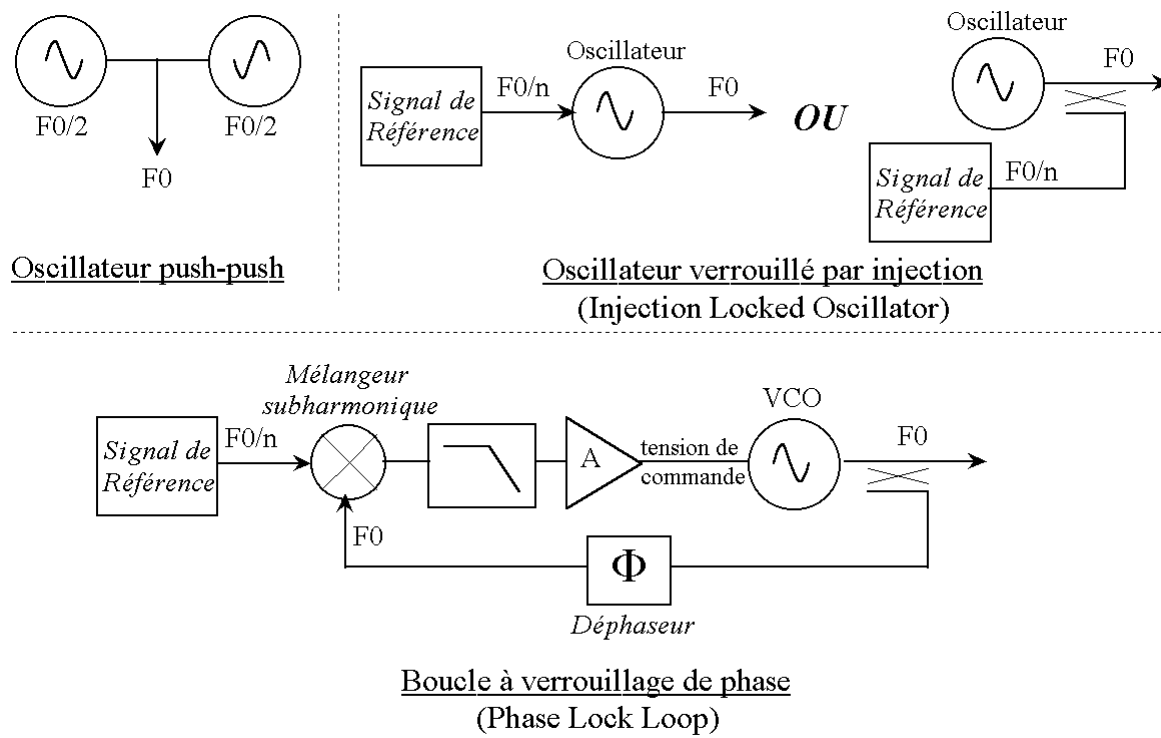


Figure 48 : Différents types d'oscillateurs : l'oscillateur en configuration push-push, l'oscillateur verrouillé par injection et la boucle à verrouillage de phase

III.C) Etat de l'art des oscillateurs et VCOs en gamme d'ondes millimétriques

Pour situer le contexte de nos travaux, nous avons dressé un état de l'art de diverses solutions envisageables pour générer un signal aux fréquences millimétriques, sur la base de **transistors**, qui sont :

- La multiplication de fréquence
- Les oscillateurs libre, synchronisé, ou à résonateur diélectrique, fonctionnant en mode fondamental ou "push-push"

Nous avons regroupé dans le Tableau 10, les résultats les plus récents de multiplieurs en bandes W, D et G (75 à 220 GHz), avec **quelques résultats indicatifs**, sur les multiplieurs à base de diodes. Dans le Tableau 12, nous avons repris les oscillateurs (libres), VCOs et Oscillateurs synchronisés (ILO et PLL) dans les bandes V, W, D et G (50 à 220 GHz). Et enfin dans le Tableau 11, nous rassemblé les résultats d'oscillateurs à résonateurs diélectriques (DRO) dans les bandes V et W.

Tableau 10: Principaux résultats de multiplieurs pour les fréquences comprises entre 75 et 300 GHz

Fréquence de sortie (GHz)	Ordre de multipl.	Actifs	Puissance de sortie (dBm)	Pertes de conversion (dB)	Année	Référence	Remarques
180	x 2	HEMT InP Lg=0,1 μ m	- 6	- 6	1991	[53] Kwon	
164	x 2	HEMT InP Lg=0,1 μ m	5	- 2	2001	[54] Radisic	
130	x 2	HEMT InP Lg=0,1 μ m	- 12	~ -10	1992	[55] Kwon	(Oscillateur-Doubleur)
94	x 4	PHEMT GaAs Lg=0,1 μ m	~ - 3	~ - 5 à -7	1994	[56] Wang	Doubleur, Buffer 2 étages, Doubleur
94	x 2	MESFET	6		1987	[57] Geddes	
288	x 3	Diode HBV InP	7,8	~ - 12	2002	[58] David	
250	x 3	Diode HBV InP	9,5	~ -9	1999	[59] Mélisque	
174	x 2	Diode Varactor GaAs	17,4	- 6	1993	[60] Rizzi	
94	x 2	Diode Varactor	18	- 6	1993	[61] Chen	
70-80	x 2	Diode Varactor	19,7	- 6	1997	[62] Brauchler	

Tableau 11 : Etat de l'art des oscillateurs à résonateur diélectriques, en bande V et W

Chapitre II : Conception de Circuits MMICs en bande D et G

F (GHz)	Technologie	Pout (dBm)	Bruit de phase (dBc/Hz)	Année	Référence	Remarques
58	HBT Si/SiGe	-8 -14	-105 à 1 MHz -86 à 100 kHz -112 à 1 MHz	2000	[63] Sinnesbichler, Univ. Muenchen	Topologie Push-push
60	PHEMT GaAs Lg=0,15 µm	6,9 *	-80 à 100 kHz -104 à 1 MHz	1995	[64] Inoue NEC	Mode TE01δ * Buffer
62	PHEMT GaAs Lg=0,25 µm	2,3	-78 à 100 kHz -101 à 1 MHz	1994	[65] Güttich Daimler-Benz	
98	PHEMT GaAs Lg=0,1 µm	-2,7	-65 à 100 kHz -96 à 1 MHz	1994	[66] Yoshinaga Toshiba	Mode de galerie (WGM)
55	PHEMT GaAs Lg=0,15 µm	3,7	-88 à 100 kHz -108 à 1 MHz	1994	[67] Funasbashi NEC	Mode TE01δ
81	PHEMT GaAs Lg=0,25 µm	0	-90 à 1 MHz	1993	[68] Wenger Daimler-Benz	
51,2 65,6	MESFET Lg=0,25 µm	9 7,6		1991	[69] Yau Hughes	
94	FET GaAs	-7		1988	[70] Bermudez IRCOM, Thomson	Topologie Push-push, mode de galerie (WGM)

Tableau 12: Etat de l'art des Oscillateurs "libres", VCOs et Oscillateurs synchronisés, dans les bandes V, W, D et G (50 – 220 GHz)

F (GHz)	ΔF GHz	Actifs	Passifs	Pout dBm	Bruit de phase (dBc/Hz)	Année	Référence	Remarques
Bandes D et G (110 – 220 GHz)								
135	4	PHEMT GaAs Lg=0,13 µm	CPW	~ 0		2001	[52] Kudsus IAF	Topologie Push-push
144	14	HBT AlInAs/ InGaAs (InP)	CPW	-10	-75 à 1 MHz	2000	[71] Bayens Bell, Lucent	Topologie Push-push ; Paire différentielle
134		HBT InGaP/ InGaAs (GaAs)	CPW	-10,4	-72 à 1 MHz	1999	[72] Uchida Teratec	
155		PHEMT InP Lg=0,05 µm	CPW	-20		1995	[42] Rosenbaum HRL	
213		PHEMT InP Lg=0,05 µm	CPW	-30		1995	[42] Rosenbaum HRL	
130,7	1	PHEMT InP Lg=0,1 µm	MS	-7,9		1993	[73] Kwon Univ. Michigan	
131	2,3	HEMT InP Lg=0,1 µm	MS	-12		1992	[55] Kwon Univ. Michigan	Oscillateur-doubleur
115	0,25	MESFET GaAs Lg=0,2 µm	MS	-10		1988	[41] Tserng Texas Instrument	
Bande W (75 – 110 GHz)								
94	3	PHEMT GaAs Lg=0,13 µm	CPW	1	-84 à 1 MHz	2001	[52] Kudsus IAF	Topologie Push-push
80	6	HEMT InP Lg=0,1 µm	CPW	12,5		2001	[74] Radisic HRL	
94	6	PHEMT GaAs Lg=0,15 µm	CPW		-80 à 100 kHz	2000	[75] Kudsus IAF	ILO sur harmonique 15 à 21 + PLL intégrée
100	22	HBT InGaAs/InP	CPW	-3	-80 ~ -85 à 1 MHz	2000	[71] Bayens Bell, Lucent	Paire différentielle
108	3	HBT AlInAs/ InGaAs (InP)	MS	0,9	-88 à 1 MHz -109 à 10 MHz	1999	[76] Kobayashi TRW	Topologie Push-push

Chapitre II : Conception de Circuits MMICs en bande D et G

94	10	PHEMT GaAs Lg=0,15 µm	CPW	8 buffer	-85 à 100 kHz	1999	[77] Kudszus IAF	ILO sur harmonique 3 à 5 + PLL externe
76	2	PHEMT GaAs Lg=0,12 µm	CPW	7,5 +/- 1	-75 à 1 MHz	1999	[78] Siweris Siemens	Contre-réaction // sur ampli. 2 étages
104		HBT InGaP/ InGaAs (GaAs)	CPW	-3,4	-95 à 1 MHz	1999	[72] Uchida Teratec	
94	4,5	PHEMT GaAs Lg=0,15 µm	CPW	2 buffer	-71 à 1 MHz -91 à 100 kHz -106 à 1 MHz	1998	[79] Kudszus IAF	Oscillateur libre ILO sur harmonique 3, 4 ou 5
77	1,4	HBT InAlAs/ InGaAs (InP)	MS	-3		1997	[80] Wang TRW	
94	0,4	HBT InAlAs/ InGaAs (InP)	MS	-3,5		1997	[80] Wang TRW	
80	0,5	HBT AlGaAs (GaAs)	CPW	-9	-80 à 1 MHz	1996	[81] Aoki Teratec	
94	8	PHEMT GaAs Lg=0,15 µm	CPW	7,8 *	-67 à 1 MHz	1996	[82] Bangert IAF	* Buffer
100		PHEMT InP Lg=0,1 µm	MS	2		1994	[83] C64 Kwon Univ. Michigan	Montage cascode
96,5		PHEMT GaAs Lg=0,1 µm		2	-68 à 1 MHz	1994	[66] Yoshinaga Toshiba	DRO sans résonateur
92	0,6	PHEMT GaAs Lg=0,1 µm	MS	7,6		1992	[84] Wang TRW	low noise hemt
90,5	1,2	PHEMT GaAs Lg=0,1 µm	MS	8,8	-68 à 1MHz			Power hemt
92,3	2	MESFET InGaAs Lg=0,25 µm		11,5	-70 à 15 kHz ~ -90 à 100kHz	1991	[85] Schellenberg	Oscillateur à cavité métallique
76,8		HEMT InP Lg=0,1 µm	MS	0,8		1991	[86] Kwon Univ. Michigan	
81		PHEMT InP Lg=0,2 µm	MS	-7		1990	[87] Kwon Univ. Michigan	
Bande V (50 à 75 GHz)								
50		HBT SiGe (Si)	MS	-5,6	-75 à 100 kHz - 98 à 1 MHz	1999	[88] Sinnesbichler Univ. Muenchen	Topologie Push- push
55,9		PHEMT GaAs Lg=0,2 µm	MS	11,1	-85 à 100 kHz -103 à 1 MHz	1998	[89] Kashiwa Mitsubishi	
64		HBT AlGaAs (GaAs)	CPW	4	~ -95 à 1 MHz	1996	[90] Aoki Teratec	
59,7		HEMT GaAs Lg=0,11 µm	MS	6,7 *	-63 à 100 kHz -87 à 1 MHz	1995	[91] Kawasaki Fujitsu	* Buffer ; HEMT GaInP/InGaAs/GaAs
62,4	0,3	HBT InAlAs/ InGaAs (InP)	MS	4	-78 à 100 kHz -104 à 1 MHz	1995	[92] Wang TRW	

ILO : Oscillateur verrouillé par injection (Injection Locked Oscillator)

PLL : Boucle à verrouillage de phase (Phase Lock Loop)

CPW : Technologie Coplanaire

MS : Technologie Microruban

Dans la colonne "Actifs", nous avons indiqué :

- dans le cas d'un HEMT, le type de substrat (GaAs ou InP) et la longueur de grille
- dans le cas d'un HBT, le type : AlGaAs, AlInAs/InGaAs,... et entre parenthèses le substrat (GaAs, InP, ou Si)

Concernant la multiplication de fréquence, nous pouvons conclure que :

- Les diodes sont incontournables pour les fréquences supérieures à 200 GHz, et/ou obtenir des niveaux de puissance élevées
- Les multiplieurs à base de transistors offrent des niveaux de puissance de quelques dBm, jusque près de 200 GHz, avec des pertes de conversion relativement faible (-2dB à 164 GHz [54])

Pour les oscillateurs à résonateur diélectriques (DRO), nous avons relevé peu de publications en bande W et aucune au delà de 98 GHz. Cet état de fait tient probablement à la dégradation des performances des résonateurs en bande millimétrique, et à la nécessité de recourir à des solutions entièrement monolithiques à ces fréquences. Concernant le bruit de phase, il est difficile de conclure étant donné le faible nombre de données, cependant les DROs à base de HEMTs ont des performances équivalentes aux oscillateurs libres à base de HBT.

Pour les oscillateurs libres (ou synchronisés sur une source externe), nous avons relevé les points suivants :

- La topologie "push-push" est souvent utilisée pour contourner les limitations en fréquence des transistors.
- Les puissances sont inférieures à 12,5 dBm en bande W et à 0 dBm au delà de 110 GHz
- Les HEMTs permettent d'obtenir des fréquences de fonctionnement et des puissances plus élevées que les HBTs
- Les HBTs ont généralement un bruit de phase plus faible que les HEMTs, exceptés bien sûr, les oscillateurs synchronisés (ILO et PLL).

Il est aussi à noter que pour l'obtention de sources à haute pureté spectrale en bande W, une équipe de l'IAF a développé diverses solutions originales [75], [77], [79], et [93]. Ces solutions sont le verrouillage par injection (ILO), parfois combinées avec une PLL (ILPLL), sur les harmoniques d'une source de référence, de l'ordre 3 à l'ordre 21. Ces solutions sont très intéressantes, car elles peuvent être entièrement monolithiques et, permettent d'atteindre des niveaux de bruit de phase très faibles. Cependant elles nécessitent une source de référence et sont assez complexes à mettre en œuvre.

III.D) Conception d'un oscillateur à la fréquence de 140 GHz

D.1) Introduction

La conception d'un oscillateur à la fréquence de 140 GHz est une première étape avant l'étude de VCOs. L'objectif est de montrer la faisabilité d'un oscillateur à cette fréquence avec notre technologie, tout en testant une topologie originale pour tenter d'améliorer les propriétés de l'oscillateur. Nous décrirons les principales étapes de l'étude qui ont été :

- Le choix du transistor et le facteur de qualité des lignes
- L'étude petit signal
- La modélisation non-linéaire du transistor
- La simulation grand signal de l'oscillateur

D.2) Choix du transistor et facteur de qualité du résonateur

D.2.a) Paramètres transistor

Le transistor envisagé pour l'oscillateur a été décrit dans le chapitre précédent, c'est à dire un HEMT pseudomorphique sur substrat d'InP, avec une longueur de grille de 70 nm et un taux d'Indium dans le canal de 65 %. Les paramètres à fixer pour le transistor sont le développement de grille (W) et la polarisation.

Le développement de grille influe sur la fréquence maximale d'oscillation du composant et sur sa puissance de sortie. Dans notre cas, le niveau de puissance de l'oscillateur étant un paramètre secondaire, nous avons donc choisi le développement le plus favorable pour $f_{\max}$, soit $W=70\ \mu\text{m}$ (2x35).

Le choix de la polarisation est assez sensible, sur la Figure 49, nous avons reporté l'évolution du courant I_{ds} , de $|S_{21}|$, et du MAG/MSG en fonction de V_{gs} . Nous avons choisi la polarisation $V_{gs}=0\ \text{V}$ ($I_{ds}\sim 255\ \text{mA/mm}$), car elle est légèrement en deçà du maximum de gain, ce qui laissera une marge de gain au cas où les conditions de démarrage soient critiques. De plus, elle correspond environ à $I_{d\max}/2$ ce qui permettra un fonctionnement plus linéaire de l'oscillateur. Concernant le choix de la tension V_{ds} , elle est fixée à 1V, car elle donne le maximum de gain.

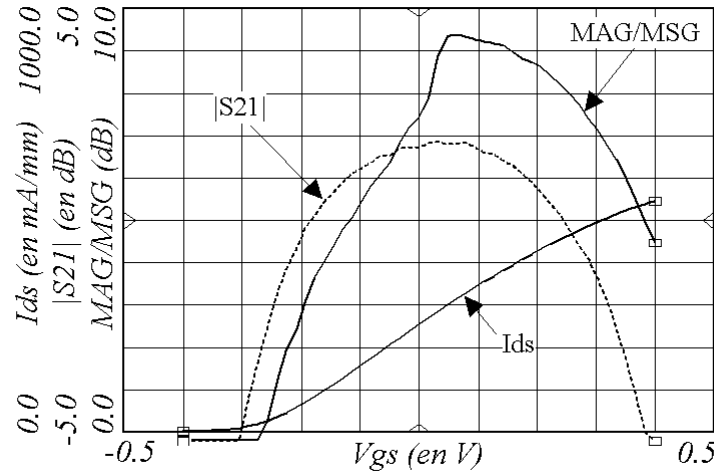


Figure 49 : Evolution du gain et du courant du transistor, en fonction de V_{gs}

Le schéma équivalent petit signal du transistor est décrit dans l'annexe V.B).

D.2.b) Eléments sur le résonateur

L'élément résonant de l'oscillateur sera simplement une ligne coplanaire, pour cela il semble utile de rappeler le coefficient de qualité d'un résonateur réalisé à partir d'une ligne.

Par exemple, si l'on considère une ligne $\lambda/2$ terminée par un court-circuit, celle-ci sera équivalente à un résonateur RLC série. Nous savons que l'impédance $Z(\omega)$, d'un résonateur série autour de sa résonance vaut :

$$Z(\omega) = R \left(1 + j.2.Q.\frac{\Delta\omega}{\omega_0} \right) \quad (28)$$

$$\text{Avec : } Q = \frac{L.\omega_0}{R}, \quad \omega_0 = \frac{1}{\sqrt{L.C}} \quad \text{et} \quad \omega = \omega_0 + \Delta\omega$$

Si l'on procède par identification entre l'impédance $Z(\omega)$ du résonateur RLC et l'impédance ramenée par la ligne $\lambda/2$ terminée en CC, il est possible de montrer, dans le cas d'une ligne à faibles pertes, que :

$$R = \frac{R_C.\alpha.\lambda_{g0}}{2} \quad \text{et} \quad Q = \frac{\pi}{\alpha.\lambda_{g0}} \quad (29) \text{ et } (30)$$

où R_C est l'impédance caractéristique de la ligne, α le facteur d'affaiblissement et λ_{g0} la longueur d'onde guidée à la résonance.

Le facteur de qualité Q de ce résonateur dépend de α et de λ_{g0} , et il est le **même** pour les autres types de résonateur à lignes (ligne $\lambda/2$ en CO, lignes $\lambda/4$ en CC ou CO...).

Chapitre II : Conception de Circuits MMICs en bande D et G

Pour la réalisation de l'oscillateur, nous chercherons à utiliser des lignes ayant un minimum de pertes, pour cela nous choisirons des lignes d'impédance $50\ \Omega$ et de distance intermasse $70\ \mu\text{m}$. Ces lignes ont une atténuation de $0,5\ \text{dB/mm}$, avec une longueur d'onde λ_g de $868\ \mu\text{m}$ à $140\ \text{GHz}$, ce qui donne un facteur de qualité d'environ 65.

D.3) Etude de l'oscillateur en petit signal

Dans un premier temps, on étudiera l'oscillateur sous la forme d'un quadripôle pour définir la topologie générale de l'oscillateur, puis nous aborderons son optimisation en travaillant dans le plan du drain, et en ayant une approche de dipôle à résistance négative.

D.3.a) Approche préliminaire : déstabiliser le transistor

Le transistor en configuration source commune est stable à la polarisation choisie, avec $k \sim 1,1$ à $V_{gs}=0\text{V}$. Afin de le rendre instable, la solution choisie a été de recourir à une contre-réaction série, en insérant des lignes de source. Sur la Figure 50, nous avons tracé l'évolution de k en fonction de la longueur des lignes de source, à $140\ \text{GHz}$. Le minimum de k est obtenu pour $L_s = 295\ \mu\text{m}$ environ et il est inférieur à 1 pour L_s compris entre 242 et $419\ \mu\text{m}$.

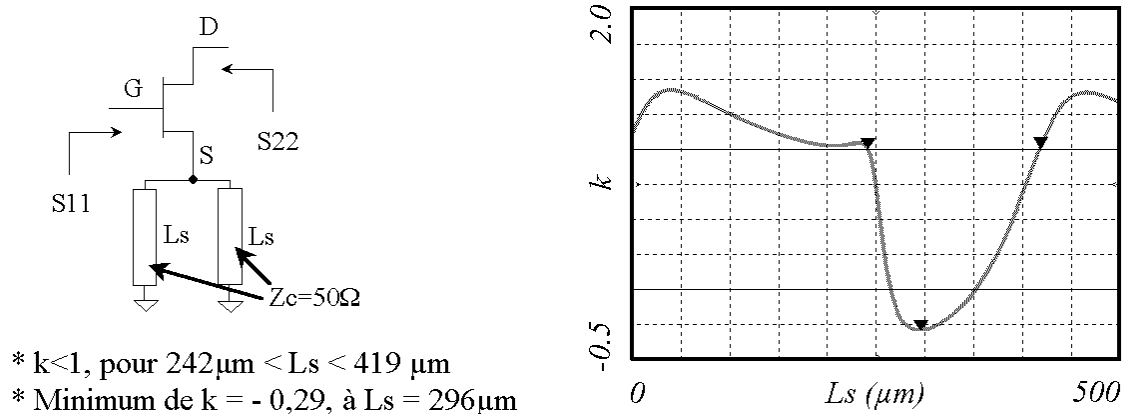
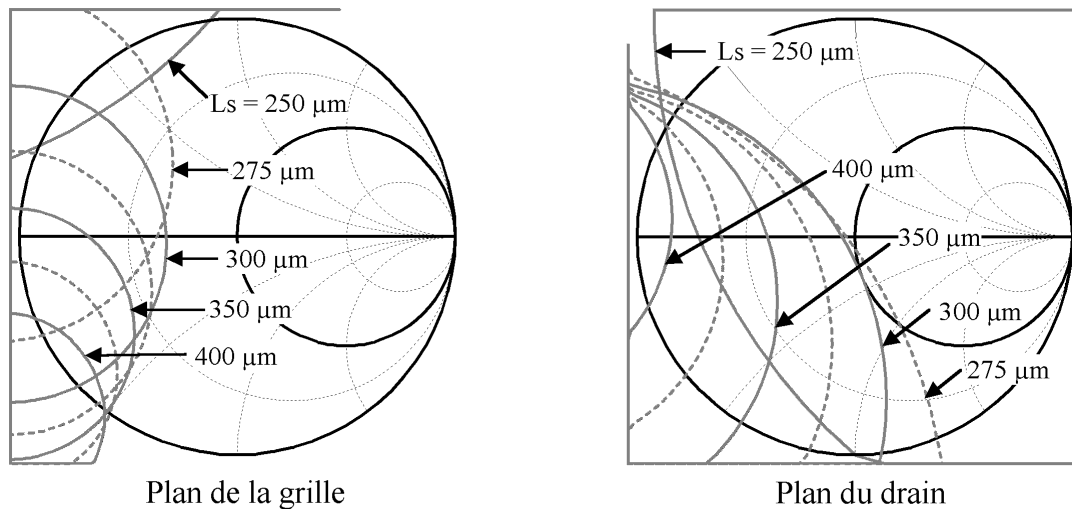


Figure 50 : Evolution de k en fonction de L_s , à $140\ \text{GHz}$

Sur la Figure 51, nous avons tracé les cercles d'instabilités sur les ports du transistor pour différentes longueurs de lignes de source. Pour osciller, il faut impérativement que les charges présentées sur la grille et le drain soient dans les zones instables, même si ce point n'est pas suffisant. Il apparaît que les zones instables sur les deux ports, sont globalement situées dans une zone proche du point de court-circuit. Ce constat nous aidera à définir la topologie générale des réseaux sur la grille et le drain, pour atteindre les conditions d'oscillation.



Rq : Les zones instables sont à l'intérieur des cercles, sauf pour le cercle à $L_s=250 \mu\text{m}$ dans le plan du drain

Figure 51 : Cercles de stabilité à 140 GHz sur les ports du transistor en fonction de L_s
(L_s de 250 à 400 μm , par pas de 25 μm)

D.3.b) Choix d'une topologie de base

D.3.b.i) Positionnement de la charge de sortie

A priori, nous avons la liberté de placer la charge soit sur la grille, soit sur le drain, et le résonateur sur l'autre port. Afin de décider du port où l'on placera la charge, sur la Figure 52, nous avons testé le cas où l'on place le résonateur sur la grille, puis sur le drain. Pour cela, nous avons fait varier une charge purement réactive sur un port (grille ou drain) de $-j.50 \Omega$ à $+j.50 \Omega$, et nous avons calculé le coefficient de réflexion et l'impédance associée, sur l'autre port; le tout pour trois longueurs ligne de source $L_s=260$; 300 et 340 μm . Nous obtenons au minimum, quand $L_s=300 \mu\text{m}$:

- Sur la grille, une résistance négative de -25Ω pour une charge de $j.4 \Omega$ sur le drain
- Sur le drain, une résistance négative de -49Ω pour une charge de $j.11 \Omega$ sur la grille

Nous placerons donc le résonateur sur la grille et la charge sur le drain pour disposer du maximum de résistance négative. Cependant, ce résultat était prévisible, car le fonctionnement normal du transistor est de délivrer la puissance sur le drain, ce qui traduit par des valeurs de résistances négatives plus élevées.

Chapitre II : Conception de Circuits MMICs en bande D et G

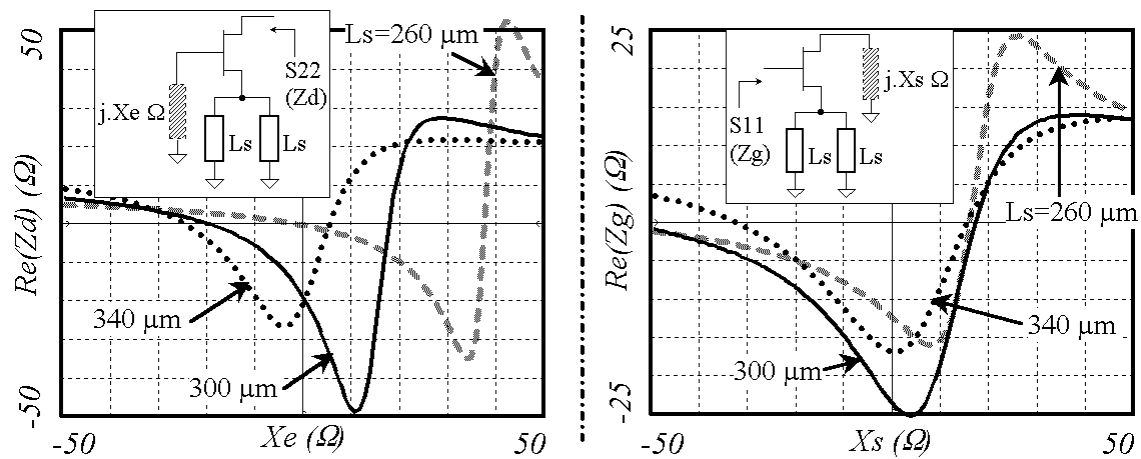


Figure 52 : Résistances négatives pouvant être obtenues sur la grille et le drain

D.3.b.ii) Choix du réseau sur la grille

Le résonateur sur la grille doit permettre la polarisation de la grille, et présenter à 140 GHz, une charge dans la zone instable du transistor qui est proche du CC (voir Figure 51 et Figure 52). Pour concilier ces contraintes, nous avons choisi une ligne de longueur environ $\lambda/2$, terminée par une capacité parallèle, comme indiqué sur la Figure 54.

D.3.b.iii) Choix du réseau sur le drain

L'étage de sortie est un réseau d'adaptation entre la charge de sortie (50Ω), et l'impédance à résistance négative vue sur le drain du transistor. Cet étage va ramener dans le plan du drain, une charge qui va assurer les conditions de démarrage des oscillations, à la fréquence souhaitée.

L'approche la plus fréquente est de rechercher une impédance de drain avec une résistance négative la plus élevée possible. Puis de concevoir un étage de sortie qui va s'adapter à celle-ci. Cependant, même si ce choix assure de bonnes conditions pour le démarrage de l'oscillateur, il n'est pas forcément adapté pour obtenir le maximum de puissance de l'oscillateur.

Notre démarche sur ce point a été assez originale, nous avons d'abord fixé la charge ramenée par l'étage de sortie au niveau du drain. Puis nous avons adapté l'impédance à résistance négative (présentée par le transistor), aux conditions de démarrage ($|R_n| \sim 2.R_l$), et non le contraire.

Un choix qui nous semble intéressant est de présenter au transistor, une charge ayant un coefficient de qualité le plus élevé possible. Le but est de s'approcher du cas idéal où les ports du transistor seraient chargés par trois charges purement réactives.

Chapitre II : Conception de Circuits MMICs en bande D et G

La solution choisie est décrite sur la Figure 54, et s'apparente au résonateur sur la grille, sauf que la charge $50\ \Omega$ est insérée en parallèle de la ligne, près de la capacité parallèle. Sur la Figure 53, nous avons calculé en fonction de la longueur de la ligne L_{2c} , l'impédance présentée au transistor, Z_l , et son coefficient de qualité Q . Evidemment plus L_{2c} est court, plus le coefficient de qualité est élevé, cependant pour la longueur minimale réalisable $50\ \mu\text{m}$, nous obtenons un coefficient de qualité d'environ 12.

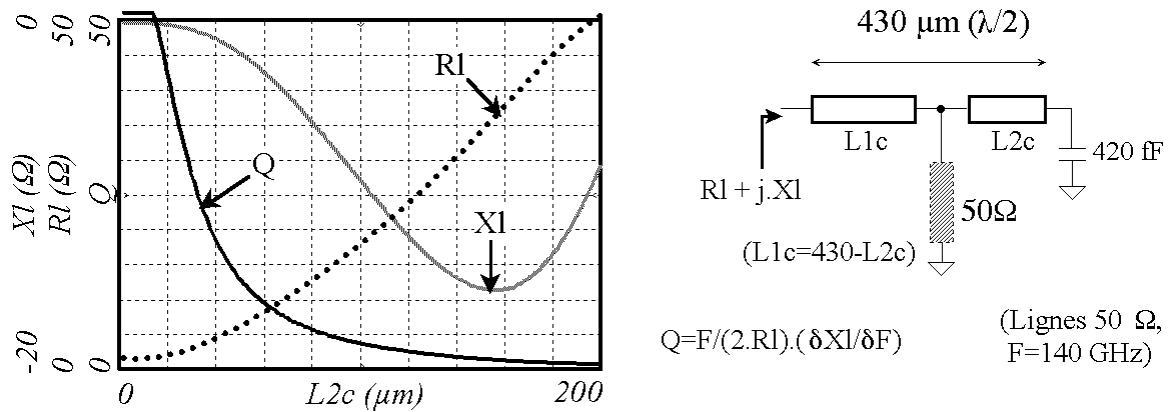


Figure 53 : Evolution de la charge présentée par le réseau de sortie Z_l , en fonction de L_{2c}

La topologie générale de l'oscillateur est décrite sur la Figure 54, les longueurs sont indicatives, le choix précis de chaque dimension sera expliqué dans la partie qui suit, avec l'étude petit signal.

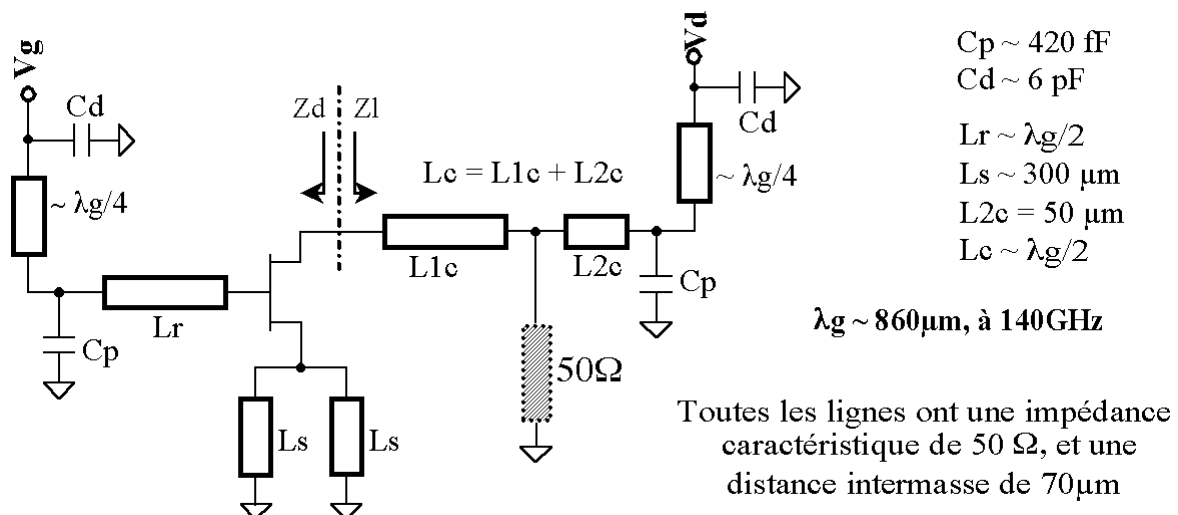


Figure 54 : Topologie générale de l'oscillateur

D.3.c) Etude des conditions d'oscillation petit signal

Après avoir décidé de la topologie générale de l'oscillateur, il faut ajuster les différentes longueurs de ligne (L_r , L_s et L_c , voir Figure 54), de manière à osciller à la fréquence de 140 GHz et avec des conditions de démarrage satisfaisantes. A ce niveau de la conception, nous avons travaillé dans le plan du drain, suivant l'approche d'un dipôle à résistance négative, avec une résistance négative ($Z_d = R_d + j.X_d$) et une résistance de charge ($Z_l = R_l + j.X_l$)

La condition que nous nous sommes fixés pour assurer le démarrage des oscillations, sans tendre vers un régime trop fortement non-linéaire, est $R_d \sim -2.R_l$. La condition donnée dans la littérature [34] avec $R_d > -1,2.R_l$ nous semblait trop risquée, étant donné les incertitudes sur les modèles.

La volonté de présenter au drain du transistor, une charge (Z_l) avec un Q élevé, entraîne que la résistance présentée au drain sera faible ($R_l \sim 6,5 \Omega$), comparée à la résistance négative du transistor (R_d jusqu'à -50Ω). Pour limiter cet écart, **nous ajusterons la résistance négative R_d et non la résistance de charge R_l** . Au final, les conditions fixées pour le démarrage des oscillations sont :

$$R_d \geq -2.R_l \quad \Rightarrow \quad \underline{R_d \sim -15 \Omega} \quad (31)$$

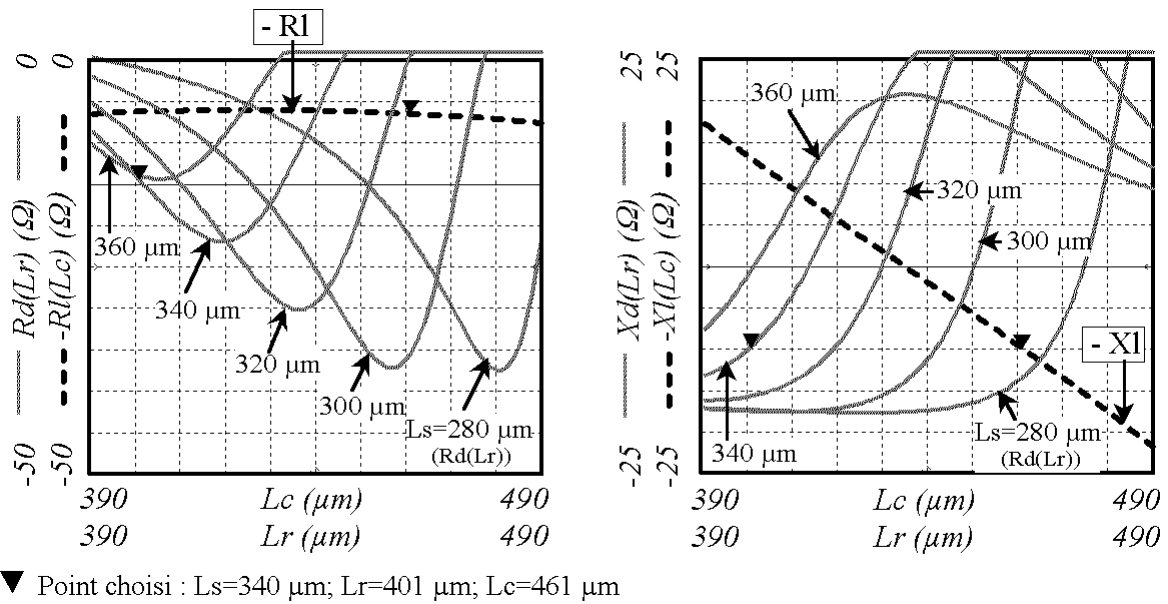
$$\text{et} \quad X_l = -X_d \quad (32)$$

Pour atteindre la 1^{ère} condition (31), nous pouvons agir sur les longueurs de L_r et L_s , car R_l varie peu avec L_c (voir Figure 55) . Puis nous réaliserons la 2^{ème} condition (32), en ajustant X_l à travers la longueur L_c .

L'ensemble des solutions peut être analysé de manière graphique, sur la Figure 55, évidemment, de nombreux couples (L_r , L_s) sont possibles pour réaliser la condition (31). Plusieurs couples ont été testés en analyse grand signal, et la solution qui a donné les meilleurs résultats est :

$$\underline{L_s=340 \mu\text{m}, L_r=401 \mu\text{m} \text{ et } L_c=461 \mu\text{m}}$$

Chapitre II : Conception de Circuits MMICs en bande D et G

Figure 55 : Evolution de $Z_d(L_r)$ paramétré en L_s , et de $Z_l(L_c)$, à 140 GHz

Pour la solution retenue, nous avons tracé sur la Figure 56 dans le plan du drain, l'impédance "totale" Z_t , ($Z_t = Z_d + Z_l = R_t + j.X_t$), en fonction de la fréquence. Nous vérifions bien, les conditions pour un fonctionnement stable énoncées dans la partie B.2), c'est à dire :

- $X_t = 0$ et $R_t < 0$ vérifiés à 140 GHz uniquement
- $dX_t/df > 0$, à 140 GHz

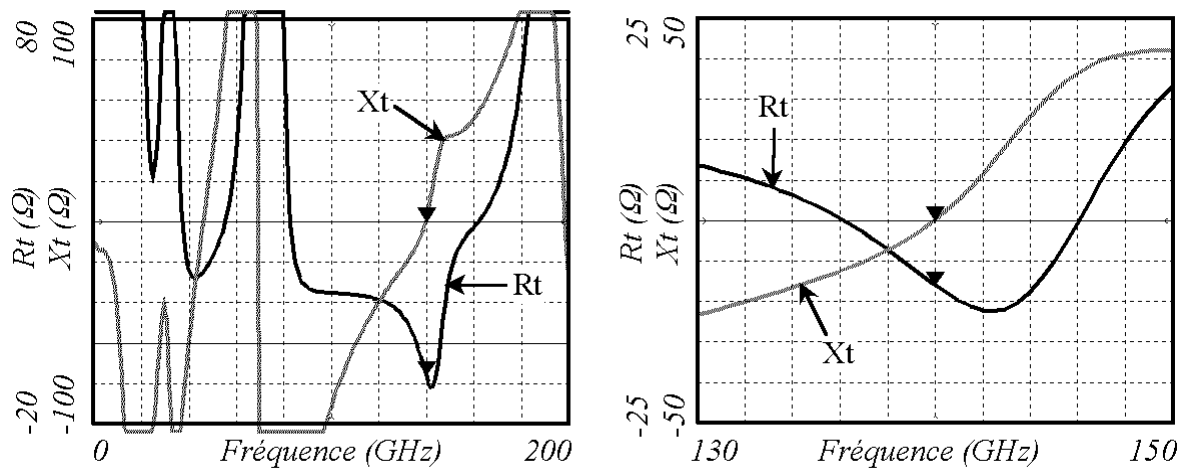


Figure 56 : Evolution de $Z_t(f)$, en large bande (1-200 GHz) et,
en bande étroite (130 – 150 GHz), ($Z_t = Z_d + Z_l$)

Après avoir fait une étude petit signal de l'oscillateur, nous avons réalisé une analyse grand signal de l'oscillateur pour évaluer grossièrement la puissance et la distorsion de l'oscillateur, mais aussi pour choisir entre les différentes solutions possibles.

D.4) Modélisation non linéaire du transistor

D.4.a) Introduction

Pour évaluer le fonctionnement grand signal de l'oscillateur, nous avons développé un modèle non-linéaire sommaire du transistor. Plusieurs types de modèles non linéaires existent, Curtice, Materka-Kacprzak,...[94]. Cependant ils demandent de nombreuses mesures, une phase d'optimisation, et peuvent s'écarter fortement du modèle linéaire petit signal. Dans notre cas, nous avons recherché un modèle simple, rendant parfaitement compte du modèle petit signal, pour obtenir quelques informations sur le comportement grand signal. Ensuite, il semblait inutile de travailler à réaliser un modèle très élaboré, basé simplement sur des mesures jusque 50 GHz. Etant donné que l'extrapolation en fréquence, proche d'un facteur de 3 (140 GHz), donnera une validité limitée au modèle.

Pour ces raisons, nous avons choisi un modèle simple de type "table-based", en considérant seulement la source de courant i_d (G_m et G_d) avec comme élément non-linéaire du transistor. Pour créer l'élément non-linéaire, nous avons utilisé les "SDDs" (Symbolically Defined Device), proposé dans le logiciel MDS.

Dans une première partie, nous montrerons comment nous avons modélisé la source de courant I_d , puis nous expliquerons pourquoi nous nous sommes limités à une seule non-linéarité.

D.4.b) Solution choisie

NB: Les différentes notations employées dans ce paragraphe sont définies sur la Figure 57.

La principale non-linéarité du transistor est sur la source de courant i_d , définie par $i_d = G_m \exp(-j\omega\tau) v_{gi}$, où τ est le temps de transit, G_m la transconductance intrinsèque et

vaut $G_m = \left. \frac{\partial I_d}{\partial V_{gi}} \right|_{\substack{\text{à } V_{di} = \text{cste}}} \text{. En effet, la transconductance } G_m \text{ est un des éléments essentiels du}$

schéma équivalent, mais elle évolue fortement avec la tension V_{gs} , ce qui entraîne un comportement non-linéaire du transistor.

Pour modéliser la non-linéarité sur G_m , nous avons défini dans un premier temps, une source de courant $i_d = G_m(V_{gi}) \exp(-j\omega\tau) v_{gi}$. La transconductance G_m n'est plus constante et fixée par le point de polarisation, mais elle évolue en fonction de la tension V_{gi} , qui est la somme de la tension continu et du signal alternatif ($V_{gi} = V_0 + v_{gi}$). Cependant cette approche devient divergente pour les grands signaux, à cause de la définition de i_d , qui est une dérivé partielle.

Chapitre II : Conception de Circuits MMICs en bande D et G

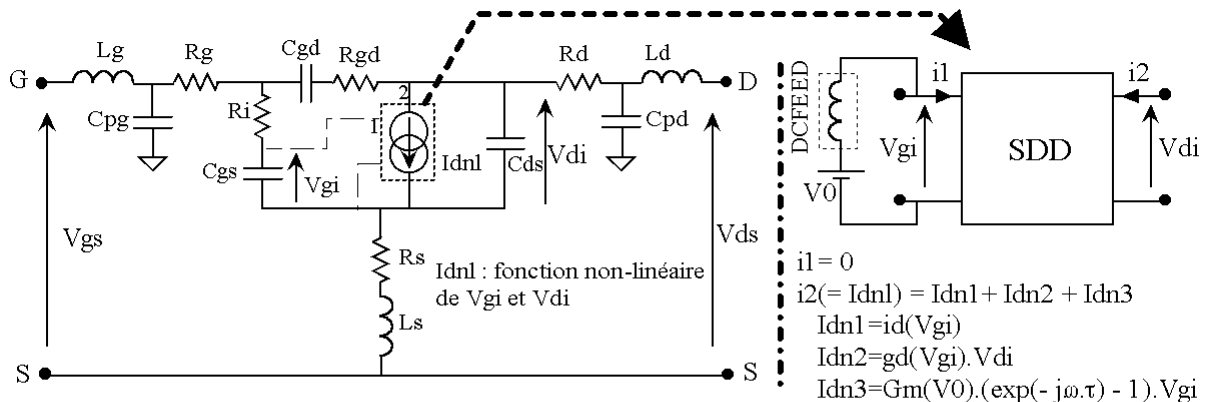
La solution a été d'intégrer la transconductance G_m pour obtenir une source de courant " $I_{dn1}(V_{gi})$ " avec:

$$I_{dn1}(V_{gi}) = \int_{V_p}^{V_{gi}} G_m(v_{gi}).dv_{gi} \quad (33)$$

Cette approche nous a permis de retrouver parfaitement le schéma équivalent petit signal, tout en ayant un comportement grand signal correct.

Le principal piège est que G_m est mesuré en fonction de V_{gs} alors qu'il est nécessaire de connaître G_m en fonction de V_{gi} , afin de pouvoir réaliser l'intégration. Pour contourner ce problème, nous avons calculé pour chaque valeur de V_{gs} , la tension V_{gi} correspondante en sachant que : $V_{gi} = V_{gs} - R_s.I_{d0}$ (I_{d0} : Courant de drain en continu). Ainsi nous avons converti les données $G_m(V_{gs})$ en $G_m(V_{gi})$, puis nous avons réalisé une intégration "numérique" de G_m , pour obtenir " I_{dn1} ".

La solution complète est décrite sur la Figure 57, la source de courant non-linéaire, " I_{dn1} " comporte en fait trois composantes " I_{dn1} ", " I_{dn2} " et " I_{dn3} ". " I_{dn1} " correspond au courant commandé par " V_{gi} ", " I_{dn2} " est le courant dû à la conductance " G_d " que l'on a rendu dépendante de " V_{gi} ", et enfin " I_{dn3} " est le courant dû à " τ ".



- V_{gs0}, I_{d0} : Point de polarisation continu
 V_0 : Tension continue aux bornes de C_{gs} ($V_0 = V_{gs0} - R_s.I_{d0}$)
 I_{dn1} : Intégrale de $G_m(V_{gi})$ par rapport à V_{gi}
 I_{dn2} : Courant dû à la conductance g_d , en considérant g_d fonction de V_{gi}
 I_{dn3} : Terme linéaire, pour tenir compte de τ
 ! $id(V_{gi}), g_d(V_{gi})$ sont des tableaux de valeurs, et pas des expressions

Figure 57 : Modèle non-linéaire du transistor

Avec l'intégration de " G_m ", il est impossible de dissocier la composante continu de " I_{dn1} ", de la composante alternative. Pour définir le point de polarisation, nous avons placé, en parallèle de la capacité C_{gs} , une source continu " V_0 " ($V_0 = V_{gs} - R_s.I_{ds0}$) suivie d'une inductance de choc idéale (DCFEED) (Figure 57).

Chapitre II : Conception de Circuits MMICs en bande D et G

En conclusion, la solution choisie est simple, rend parfaitement compte du modèle petit signal, cependant elle ne donnera que des indications sur le comportement grand signal du transistor, car nous avons pris en compte que la principale non-linéarité.

D.4.c) Remarques, Discussions

Nous avons envisagé d'inclure d'autres non-linéarités au modèle : C_{gs} , C_{gd} , sous la forme d'un modèle simple $C_{gs}(V_{gs})$,...Mais cet axe a été abandonné car l'apport était peu significatif, à cause des évolutions contraires entre C_{gs} et C_{gd} , qui s'annulent en grande partie.

En effet, au point de polarisation choisi ($V_{gs}=0V$), lorsque nous sommes en condition de grand signal, nous pouvons observer sur la Figure 58 que la valeur moyenne de " C_{gs} " ($\langle C_{gs} \rangle$) tendra à décroître alors que la valeur moyenne de " C_{gd} " croît. La décroissance de $\langle C_{gs} \rangle$ accroît la résistance négative du transistor, mais cela est inhibé par l'évolution de $\langle C_{gd} \rangle$. De plus, avec la prise de plusieurs non-linéarités, il est apparu des problèmes de convergence.

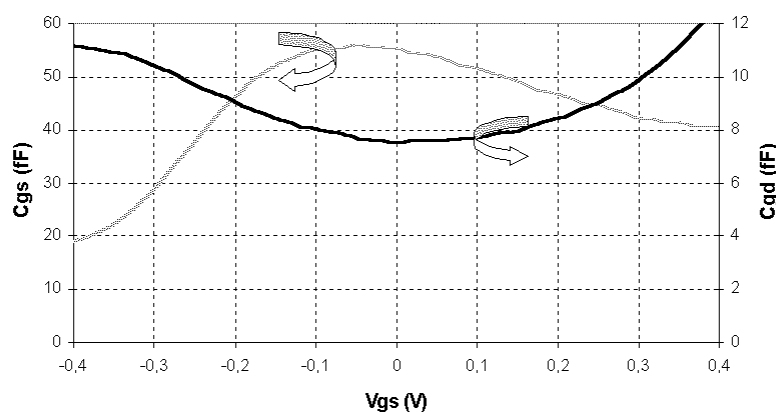


Figure 58 : Evolution de C_{gs} et C_{gd} en fonction de V_{gs}

La solution choisie est bien sûr approximative, mais elle permettra d'apporter quelques indications sur le comportement grand signal de l'oscillateur.

D.5) Simulation de l'oscillateur en régime non-linéaire et résultats

Avec le modèle non-linéaire établi, nous avons opéré une analyse grand signal par la méthode d'équilibrage harmonique ("Harmonic Balance") sous le simulateur HP-MDS. La simulation nous permet :

- de connaître la variation de la fréquence d'oscillation avec celle prévue en analyse petit signal
- d'évaluer le niveau des harmoniques

Chapitre II : Conception de Circuits MMICs en bande D et G

- d'obtenir une indication sur le niveau de puissance de sortie

Cependant le but est d'effectuer des comparaisons entre diverses solutions, plutôt que de prédire précisément le résultat expérimental au niveau de la puissance de sortie.

D.5.a) Comparaison entre différentes solutions

Dans le Tableau 13, nous avons présenté les résultats de simulation, pour la solution retenue, mais aussi pour d'autres possibilités que nous avons envisagé. La solution choisie (3), délivre la puissance la plus élevée, pour une distorsion faible avec -30 dBc pour l'harmonique 2. Cependant, les puissances de sortie simulées sont probablement largement surestimées à cause de la prise en compte d'une seule non-linéarité dans le modèle du transistor

Tableau 13 : Différentes solutions testées en analyse grand signal, par la méthode "Harmonic Balance" (voir Figure 54)

Solution	Ls (μm)	Lr (μm)	Xd (Ω)	Lc (μm)	F _{OSC} (GHz)	P _{out} (dBm)	Harm. 2 (dBc)	Harm. 3 (dBc)
1	300	425	-16,9	478	139,1	4,4	-22	-27
2	320	410	-14,2	472	139,5	5,8	-23	-25
3 (choisie)	340	401	-9,9	464	140,4	6,8	-30	-23
4	340	433	22,9	378	140,7	-4	-67	-32
5	350	400	-6	451	140,8	6,8	-29	-30

D.5.b) Etude en sensibilité et principaux résultats de simulation

Afin d'évaluer la sensibilité de l'oscillateur au schéma équivalent du transistor, nous avons simulé une variation de +/- 20 % sur chaque élément du schéma équivalent. Sur la Figure 59, nous avons tracé l'influence des principaux éléments que sont Cgd, Cgs, Tau, Cds et Gd, les autres éléments du schéma équivalent ayant une influence moindre (excepté Gm). Nous n'avons pas étudié la sensibilité en fonction de Gm, car cette étude était difficile à cause du modèle non-linéaire choisi pour le transistor.

Chapitre II : Conception de Circuits MMICs en bande D et G

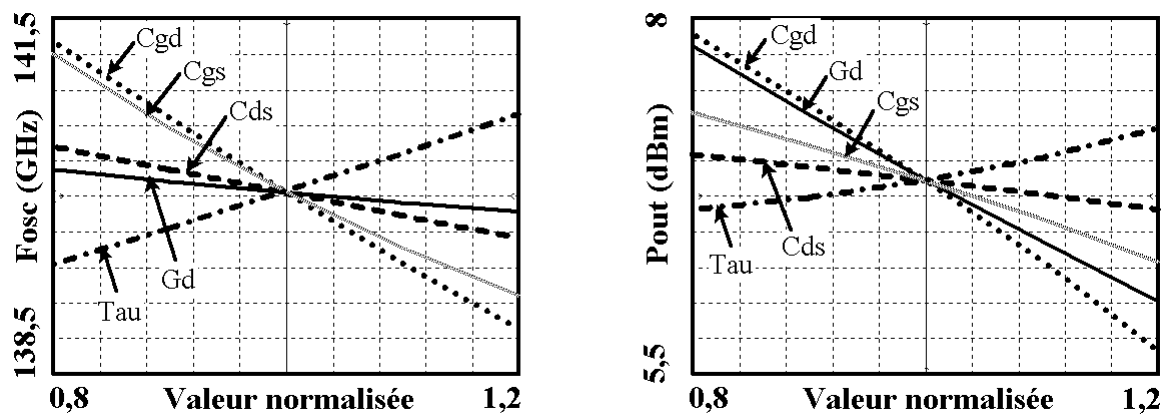


Figure 59 : Sensibilité de l'oscillateur aux éléments intrinsèques du transistor

Nous obtenons une forte sensibilité de f_{osc} à C_{gs} et C_{gd} , quant à la puissance de sortie, elle est surtout sensible à G_d et C_{gd} , il est à noter que ces deux éléments influent aussi fortement sur f_{max} , ce qui montre la corrélation entre ces deux paramètres.

De même la façon sur la Figure 60, nous avons étudié la sensibilité de l'oscillateur aux longueurs des différentes lignes de l'oscillateur (voir Figure 54).

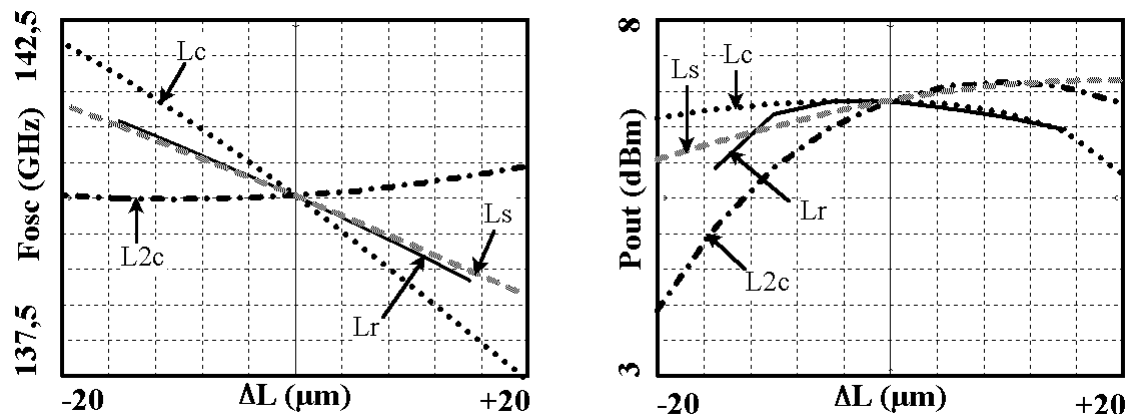


Figure 60 : Sensibilité de l'oscillateur aux différentes lignes de l'oscillateur

Naturellement, la fréquence d'oscillation est très sensible aux longueurs des lignes (exceptée L_{2c}), mais nous pouvons principalement remarquer que les longueurs choisies permettent pratiquement d'obtenir le maximum de puissance de sortie.

Il aussi à noter qu'une longueur de ligne de source (L_s) plus courte, favorise l'instabilité du transistor (voir Figure 50), mais dessert la puissance de sortie.

Enfin, nous avons aussi simulé sur la Figure 61, l'influence de la tension V_{gs} sur l'oscillateur. Comme il était prévisible, cette tension influe fortement sur la fréquence d'oscillation avec une variation relative de 3%, pour une variation de 0,5 V sur V_{gs} .

Chapitre II : Conception de Circuits MMICs en bande D et G

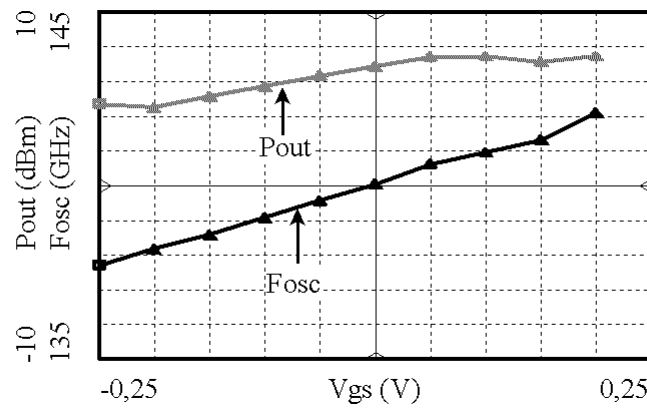


Figure 61 : Sensibilité de l'oscillateur à la tension grille-source

Pour conclure, nous avons résumé les principaux résultats de simulation dans le Tableau 14. Le facteur de Pulling a été **simulé** avec une charge de -12 dB (TOS=1,67; Atténuateur 6 dB, terminé par un CC mobile), selon la méthode décrite dans le paragraphe B.3.b). De ce facteur, nous en avons estimé le coefficient de qualité externe Q_{ext} , par la formule de Hobson (26).

Tableau 14 : Principales caractéristiques de l'oscillateur à 140 GHz

f_{osc} (GHz)	Δf (GHz)	Lr (μm)	Ls (μm)	Lc (μm)	Polarisation
140,03	~ 4	401	340	464	$V_{gs} = 0V$; $V_{ds} = 1V$; $I_d = 18$ mA
Pout (dBm)	H2 (dBc)	H3 (dBc)	Facteur de Pushing (Vgs)	Facteur de Pulling (TOS = 1,67)	Q_{ext}
6,8	-30	-23	10 GHz/V	1,61 GHz	~ 45

H2 et H3 : Harmoniques 2 et 3

ΔF : Plage de variation de F_{osc} obtenue en agissant sur V_{gs}

L'oscillateur a une plage d'accord assez importante avec environ 4 GHz, et un niveau de distorsion faible. La puissance de sortie simulée, est assez élevée mais si celle-ci risque d'être fortement surestimée, malgré tout nous pouvons raisonnablement espérer une puissance supérieure à 0 dBm, ce qui serait un très bon résultat. Cependant le faible coefficient de qualité des lignes entraîne des facteur de Pushing et de Pulling assez élevés.

III.E) Conception d'oscillateurs contrôlés en tension (VCO) à 140 GHz

E.1) Introduction

Nous avons décidé la simulation d'oscillateurs contrôlés en tension, avec une diode Varactor, dans le but d'obtenir des plages d'accord plus importante, par rapport à un oscillateur libre, mais aussi pour éviter la variation de la puissance de sortie en fonction de la fréquence d'accord de l'oscillateur.

La topologie générale des VCOs sera semblable à celle de l'oscillateur 140 GHz, la diode Varactor sera placé à l'extrémité de la ligne de grille (L_r) ou de drain (L_c), de sorte qu'elle module la longueur électrique de la ligne et entraîne la modulation de la fréquence d'oscillation. Nous avons testé différentes configurations de VCOs, afin d'évaluer les avantages et inconvénients de chaque solution.

Dans une première partie, nous décrirons la diode Varactor utilisée pour les VCOs, puis nous présenterons successivement et succinctement, les quatre topologies de VCOs simulées, enfin nous effectuerons une comparaison entre les différentes solutions.

E.2) Choix et modélisation de la diode Varactor

Pour réaliser une diode varactor, nous avons utilisé la diode Schottky d'un HEMT auquel nous avons connecté source et drain à la masse. Cette solution a l'avantage de s'intégrer à la technologie des actifs, mais les performances de la diode varactor seront limitées, par la structure de couche du HEMT.

La longueur de grille de la diode sera identique à celle des transistors, soit environ **$L_g \sim 70$ nm**. Cette longueur très faible est intéressante, car pour une surface donnée ($L_g.W$), elle permet de réduire la résistance de contact, qui est inversement proportionnelle au périmètre du composant ($\propto 2.W$).

E.2.a) Choix du développement de la diode Varactor

Une diode Varactor est principalement caractérisée par son rapport $C_{\max}/C_{\min}$, mais c'est surtout son coefficient de qualité et la variation de phase du coefficient de réflexion entre $C_{\min}$ et $C_{\max}$ qui sont importants pour moduler la fréquence d'oscillation. En effet, si la capacité est élevée, la variation de phase restera proche du point de court-circuit et à l'opposé si la capacité est très faible la variation de phase sera localisée près de la charge circuit ouvert.

Chapitre II : Conception de Circuits MMICs en bande D et G

Pour ces raisons, nous avons choisi de réaliser une diode Varactor de **développement $W=50\ \mu\text{m}$ (2×25)**. Dans ce cas, nous obtenons une capacité C_{max} d'environ 71 fF pour une capacité C_{min} de 23fF, leur réactance respective à 140 GHz, sera de $-16\ \Omega$ et de $-49\ \Omega$ (sans tenir compte de l'inductance série), ce qui donnera une variation de phase du coefficient de réflexion significative.

Remarque : Nous avons envisagé le recours à un transistor de développement plus court ($2\times 15\ \mu\text{m}$), pour obtenir une variation de phase plus importante, mais les performances de la diode varactor aurait été très dégradées par la résistance série.

E.2.b) Extraction du schéma équivalent de la diode Varactor

Nous avons modélisé la diode Varactor, avec le schéma équivalent petit signal décrit sur la Figure 62, la notation V_a est employé pour la tension grille-source de la diode. Les différents éléments du schéma équivalent sont liés aux critères physiques suivant :

- $C_v(V_a)$ et $R_p(V_a)$: Eléments de la diode Schottky grille -"canal"
- R_s : Résistance série, extrinsèque, dû aux résistances de contact, de grille et d'accès
- L_s : Inductance série due principalement à l'inductance de grille
- $R_i(V_a)$: Résistance série due à la modulation de la densité de charge dans le canal (équivalent à R_i pour un transistor)

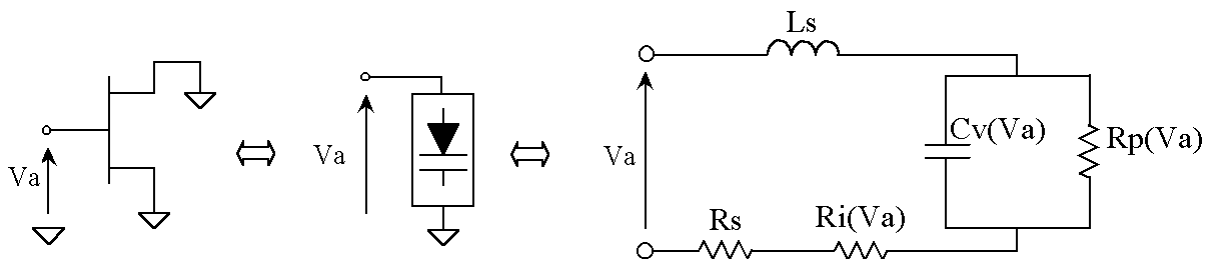


Figure 62 : Schéma équivalent petit signal de la diode Varactor

Pour extraire le schéma équivalent de la diode varactor, nous avons utilisé des mesures de paramètres S jusque 50 GHz, réalisées sur un transistor de développement $2\times 25\ \mu\text{m}$, en polarisation froide ($V_{ds}=0\ \text{V}$). Dans ces conditions, le paramètre Y11 du transistor donne directement l'admittance de la diode varactor ainsi réalisée ($Y_{11}=i g_s/v_{gs}$ avec $v_{ds}=0$).

Nous faisons l'hypothèse qu'en basses fréquences ($< 10\text{GHz}$), les éléments dominants du schéma équivalent de la diode Varactor seront C_v , R_p , et dans une moindre mesure R_s . L'extraction du schéma équivalent de la diode s'effectue alors en plusieurs étapes, en utilisant la technique de "l'épluchage" :

Etape 1 : *Extraction préliminaire de $C_v(V_a)$ et $R_p(V_a)$*

$$\text{A } F \sim 5 \text{ GHz}, \forall V_a, \text{ nous avons : } C_v \approx \frac{\Im m(Y_{11})}{2.\pi.F} \text{ et } R_p \approx \frac{1}{\Re e(Y_{11})} \quad (34) \text{ et } (35)$$

Etape 2 : *Extraction de R_s*

$$\text{On calcule } R_t = \Re e \left(\frac{1}{Y_{11}} - \frac{R_p}{1 + j.R_p.C_v.2.\pi.F} \right) \quad (36)$$

Puis on définit R_s comme la valeur minimale de R_t , pour tout V_a , ce qui donne d'après la Figure 63, **$R_s \approx 6,3 \Omega$** .

Etape 1bis (facultative) : *Corrections sur $C_v(V_a)$ et $R_p(V_a)$*

Pour affiner la valeur de R_p et C_v , il est possible de les recalculer en tenant compte de

$$R_s, \text{ en remplaçant } Y_{11} \text{ par } \frac{Y_{11}}{1 - R_s.Y_{11}}, \text{ dans les équations (34) et (35)}$$

Etape 3a : *Extraction de L_s*

Nous avons procédé comme pour R_s , en retranchant C_v et R_p à Y_{11} , ce qui donne :

$$L_s = \Im m \left(\frac{1}{Y_{11}} - \frac{R_p}{1 + j.R_p.C_v.2.\pi.F} \right) / 2.\pi.F \quad (37)$$

Il faut extraire "graphiquement" L_s , en considérant plusieurs polarisations et les fréquences supérieures à 30 GHz, comme sur la Figure 63, ce qui donne **$L_s \approx 30 \text{ pH}$**

Etape 3b : *Extraction de $R_i(V_a)$*

R_i est la différence entre $R_t(V_a)$, défini par l'équation (20), et la résistance R_s . Il faut de préférence, choisir une fréquence supérieure à 30 GHz, où le bruit de mesure est acceptable.

Sur la partie gauche de la Figure 64, nous avons reporté les évolutions des éléments C_v , R_p et R_i , en fonction de V_a .

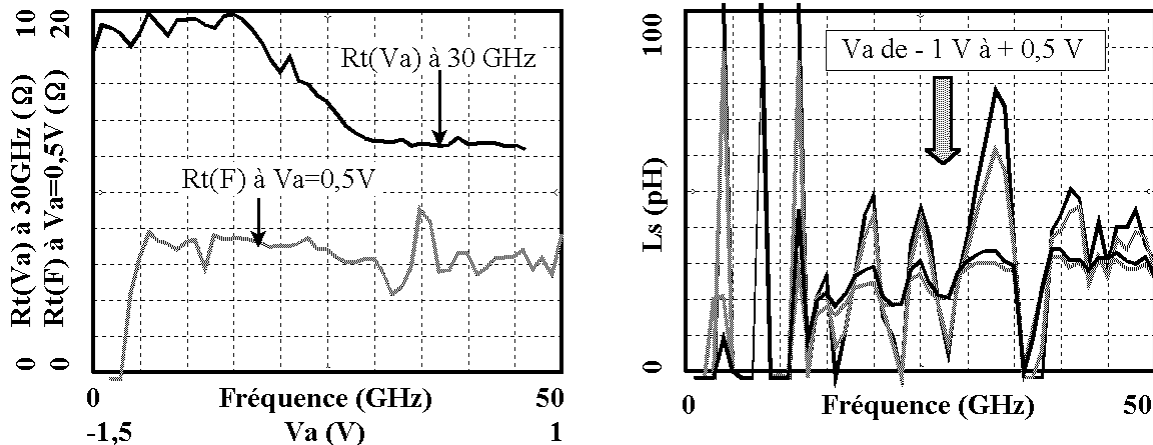


Figure 63 : Extraction de R_s et L_s

Sur la Figure 64 et la Figure 65, nous avons comparé en fonction de V_a et de la fréquence, le modèle obtenu aux mesures, nous observons une parfaite concordance jusque 50 GHz, pour toutes les valeurs de V_a .

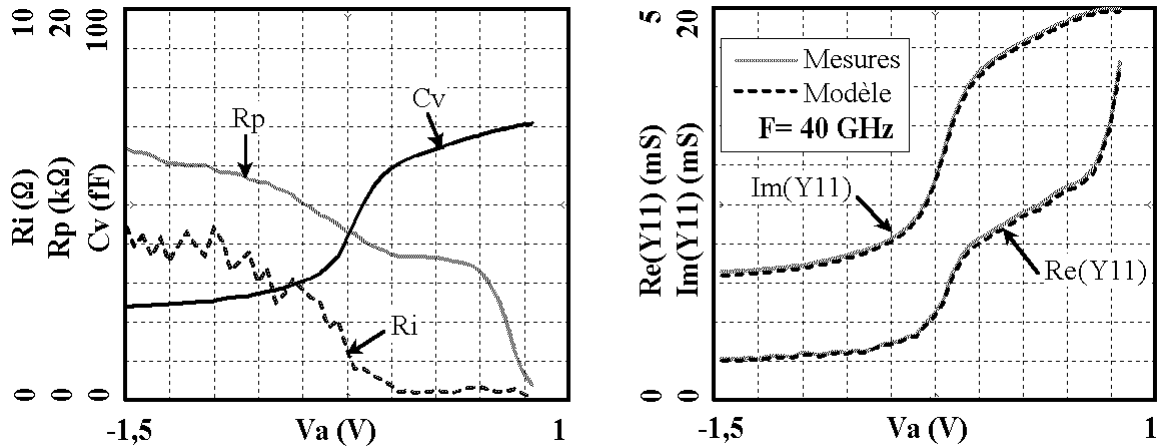


Figure 64 : Evolution de C_v , R_p et R_i en fonction de V_a . Comparaison en fonction de V_a entre l'admittance Y_{11} mesurée et modélisée, à 40 GHz

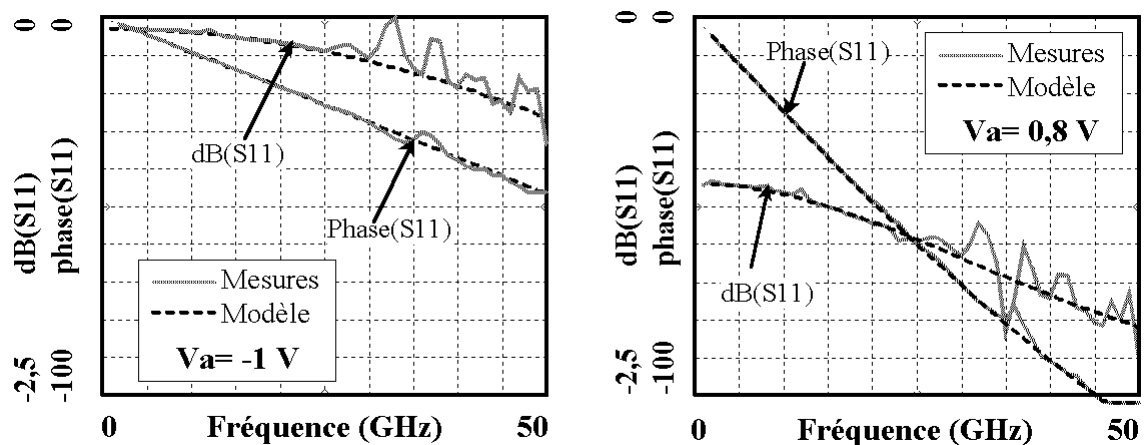


Figure 65 : Comparaison en fréquence, entre le coefficient de réflexion mesuré et modélisé, à $V_a = -1$ et 0.8 V

E.2.c) Performances de la diode varactor à 140 GHz

Avec le modèle de la diode varactor, nous avons simulé en fonction de V_a , le coefficient de réflexion à 140 GHz (Figure 66). Nous obtenons une variation de phase 70° , mais le module assez faible (-3 dB) dû à la résistance série, va limiter la bande d'accord et dégrader le coefficient de qualité des VCOs.

Cependant la résistance série de la diode Varactor pourra être en réalité plus faible que prévu. En effet, les résistances de contact du transistor ayant servi à la modélisation étaient médiocres, et les pertes de ses lignes d'accès (grille et drain) n'ont pas été déduites.

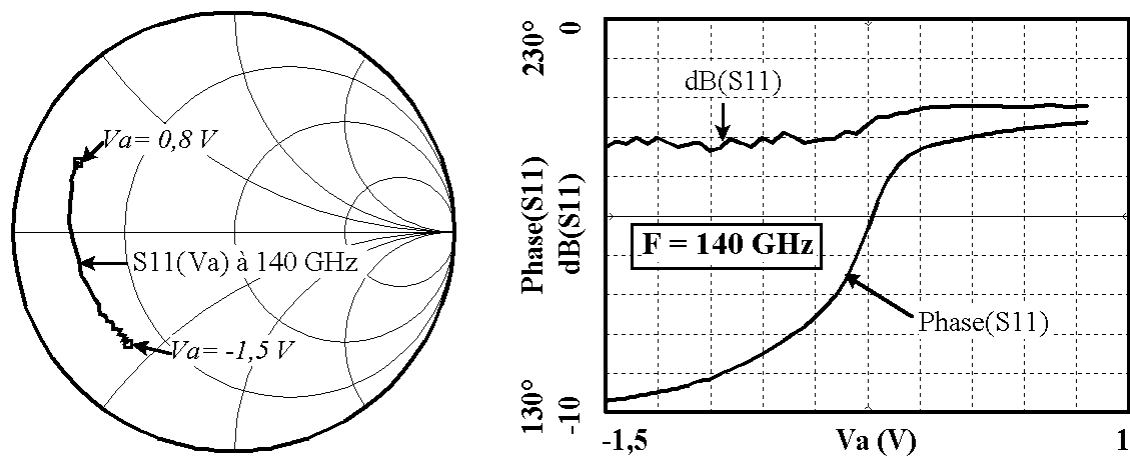


Figure 66 : Coefficient de réflexion de la varactor simulé, en fonction de V_a , à 140 GHz

E.3) VCO avec la diode varactor sur la grille et la charge sur le drain (VCO1)

La solution la plus fréquente pour la réalisation d'un VCO, est de placer la diode varactor sur la grille du transistor, et de prélever le signal sur le drain. Dans notre cas, nous avons repris la topologie générale de l'oscillateur 140 GHz étudié précédemment, et nous avons remplacé la capacité parallèle terminant la ligne de grille, par la diode varactor, comme cela est présenté sur la Figure 67. La diode Varactor va moduler la partie réactive de l'impédance ramenée à la grille, et ainsi modifier la fréquence d'oscillation.

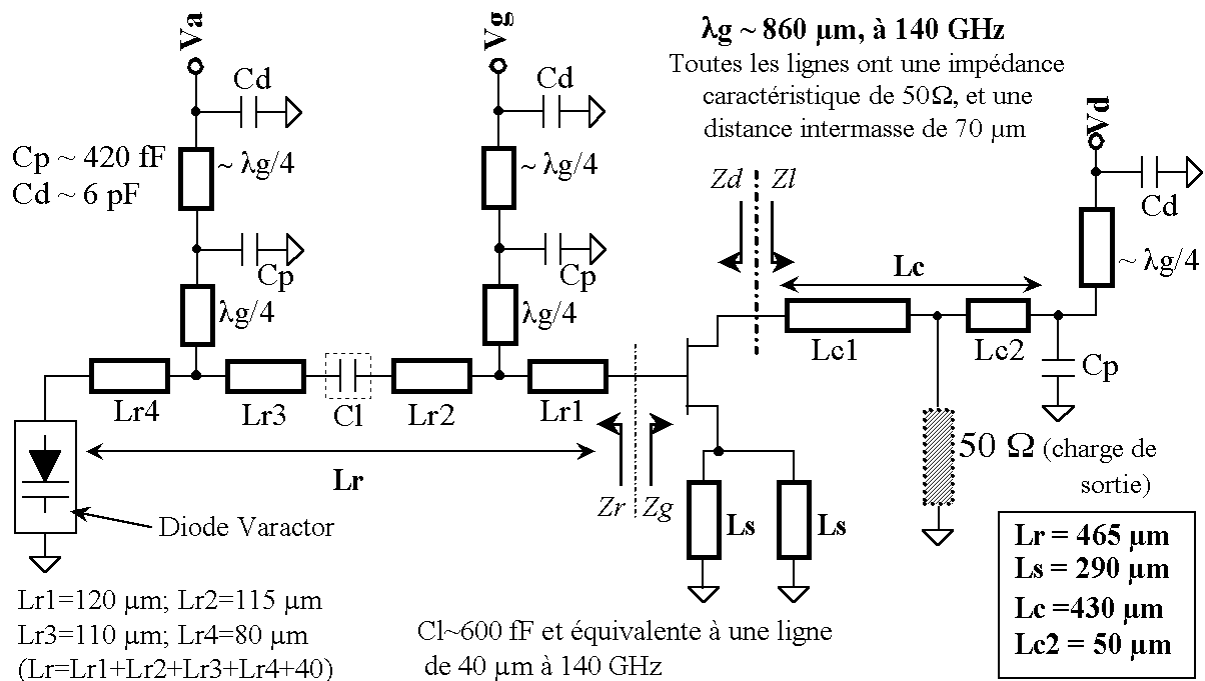


Figure 67 : Topologie du VCO avec diode Varactor sur la grille et charge sur le drain (VCO1)

Chapitre II : Conception de Circuits MMICs en bande D et G

Pour polariser la grille du transistor et la diode Varactor, nous avons utilisé des lignes quart d'onde terminées par une capacité parallèle de manière à ramener une charge CO dans le plan de la jonction en Té, afin de ne pas influencer le fonctionnement de l'oscillateur.

L'étude du VCO a été similaire à celle de l'oscillateur à 140 GHz, nous avons étudié le VCO comme un oscillateur à résistance négative dans le plan du drain, avec Z_d et Z_l (voir Figure 67), mais l'étude des conditions d'oscillation doit être menée pour toutes les polarisations V_a de la varactor.

Ci-dessous, nous avons résumé les principaux points de notre démarche :

- Conditions de démarrage des oscillations, semblables à l'oscillateur 140 GHz, mais à vérifier pour toutes les valeurs de V_a :

$$R_d(V_a) \sim -2.R_l \quad (38)$$

et $X_l = -X_d(V_a) \quad (39)$

- Recherche de différentes combinaisons (L_r , L_s , L_c) vérifiant les conditions d'oscillation à 140 GHz, avec $V_a \sim -0,25$ V ($V_a \sim -0,25$ V, correspondra au milieu de bande). Pour cela, nous utilisons l'hypothèse que $R_l(L_c) \sim \text{cste}$, ce qui permet de réaliser la condition (38) en agissant L_r et L_s , puis d'obtenir la condition (39) en ajustant L_c .
- Recherche de la "meilleure combinaison" (L_r , L_s , L_c) parmi celles définies précédemment, vérifiant les conditions d'oscillation en limites de bande ($V_{a_{\min}}$ et $V_{a_{\max}}$), offrant un ΔF élevé, et une variation de puissance modérée. La combinaison retenue est indiquée sur la Figure 67.

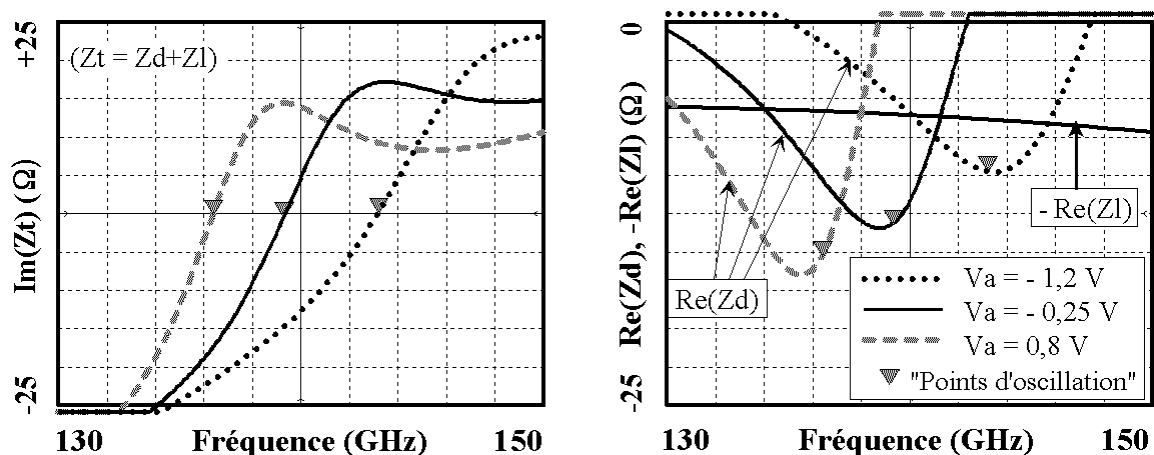


Figure 68 : Etude des conditions d'oscillation dans le plan du drain (VCO1, $V_{gs}=0$ V)

Pour la solution retenue, nous avons tracé sur la Figure 68 la partie imaginaire de $Z_t(F)$ ($=Z_d+Z_l$), et les parties réelles de Z_d et Z_l , à différentes tensions V_a .

Chapitre II : Conception de Circuits MMICs en bande D et G

La partie imaginaire de $Z_t(F)$ ($=Z_d+Z_l$) nous donne l'information sur la fréquence d'oscillation, et les parties réelles nous permettent d'évaluer les conditions de démarrage. D'après cette analyse petit signal, le VCO devrait osciller entre 136,4 et 143,2 GHz, il est aussi à noter que le rapport $|R_d|/R_l$ évolue fortement pour les différentes fréquences d'oscillation, cela aura une forte incidence sur l'évolution de la puissance de sortie. De plus, ce rapport $|R_d|/R_l$ n'est que de $\sim 1,5$ pour $V_a = -1,2V$ ($F_{osc} \sim 143GHz$), ce qui laisse une marge réduite pour le démarrage de l'oscillateur, mais il n'était pas possible de l'élever davantage.

Nous avons aussi fait une analyse grand signal de type équilibrage harmonique ("Harmonic Balance"), nous présentons les résultats de celle-ci sur la Figure 69. Nous obtenons une variation de la fréquence d'oscillation, à $V_{gs} = 0V$, entre 136,7 et 143,3 GHz (ce qui est proche de l'analyse petit signal), et si l'on agit simultanément sur V_a et V_g , nous atteignons une bande de fréquence de 7,5 GHz. Par contre, la puissance de sortie (P_{out}) varie de 4 dBm, sur l'étendue de la bande du VCO (à V_{gs} constant).

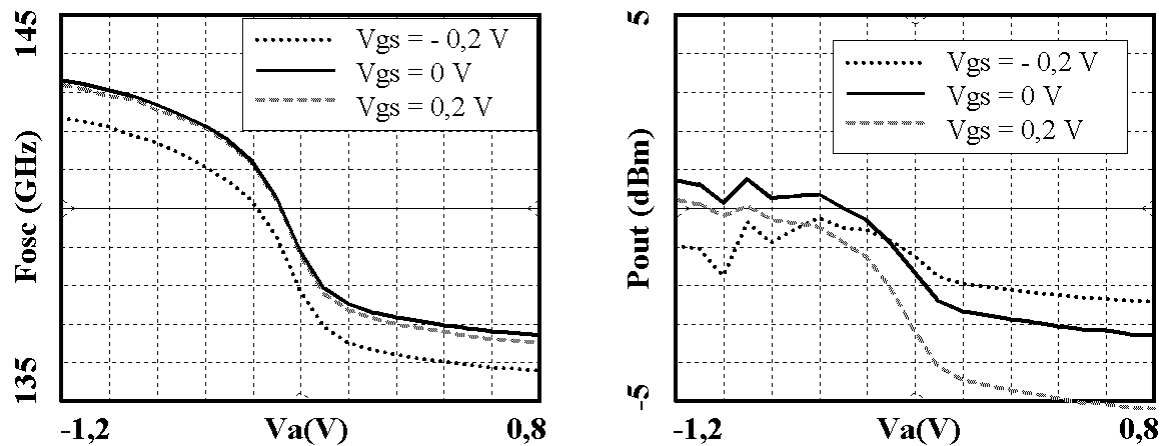


Figure 69 : Résultats de l'analyse "Harmonic Balance" du VCO1

E.4) VCO avec la diode varactor sur le drain et la charge sur la grille (VCO2)

Pour le VCO précédent (VCO avec Varactor sur la grille et charge sur le drain), l'impédance présentée à la grille Z_r (cf Figure 67), est de $10,5 + j.14 \Omega$ pour $V_a = -0,25 V$, alors que l'impédance présentée au drain Z_l , n'est que de $6 - j.2 \Omega$, à 140 GHz. En fait, nous avons $Re(Z_r) > Re(Z_l)$, la résistance de charge la plus importante pour le transistor se situe dans le plan de la grille, alors que la résistance négative que nous pouvons obtenir y est plus faible (cf § D.3.b.i)). Cela traduit d'ailleurs, par une condition $R_d = -2.R_l$ difficile à vérifier pour toutes les polarisations de la varactor (cf Figure 68).

Pour ces raisons, il semblait intéressant d'inverser les réseaux de drain et de grille, en positionnant la varactor "sur le drain" et la charge de sortie "sur la grille" (Figure 70). Le but est de placer la charge la plus importante sur le drain, et d'obtenir ainsi de meilleures conditions pour le démarrage de l'oscillateur.

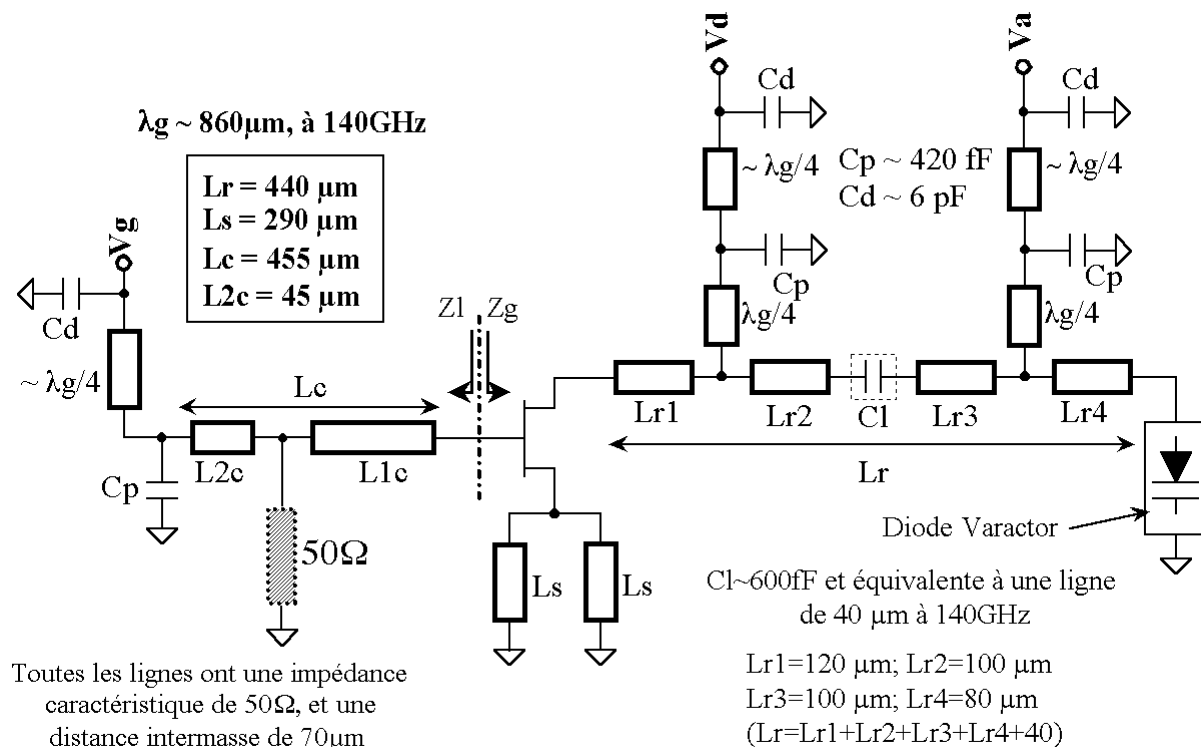


Figure 70 : Topologie du VCO avec la diode varactor sur le drain et la charge sur la grille (VCO2)

La démarche de conception a été en tout point semblable à celle du VCO précédent, excepté que nous avons étudié les conditions d'oscillation dans le plan de la grille. Le VCO simulé est décrit sur la Figure 70, une simulation "Harmonic Balance" (ordre 8), en fonction de V_a est présentée sur la Figure 71.

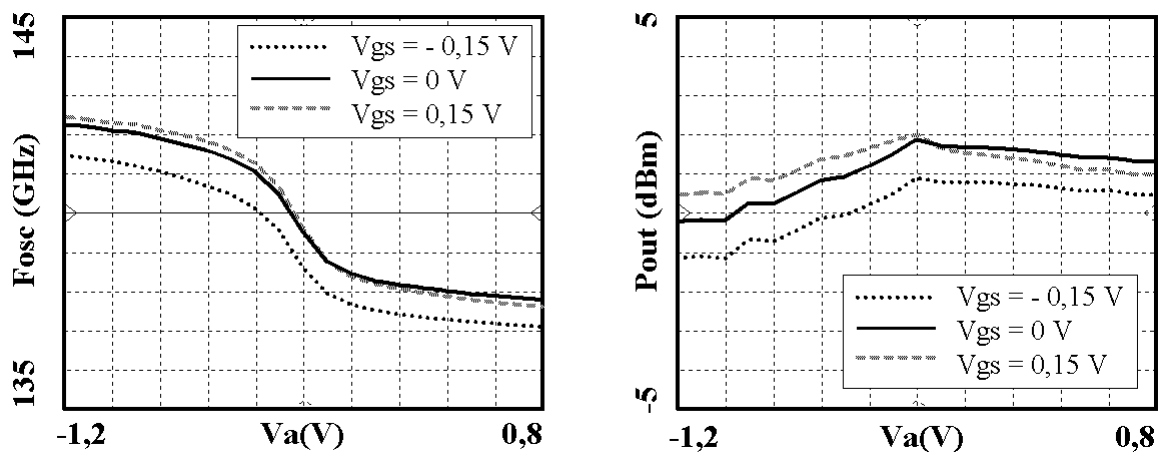


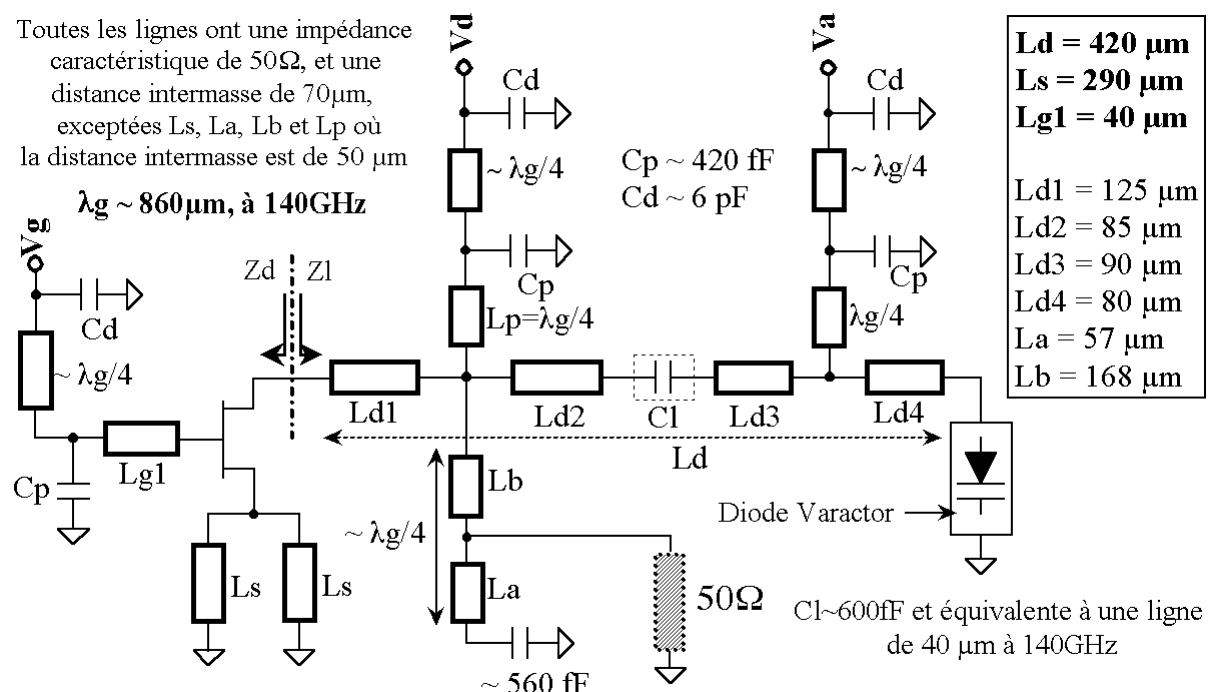
Figure 71 : Résultats de l'analyse "Harmonic Balance" du VCO2

Pour cette solution, l'idée est toujours de placer les charges les plus importantes sur le drain, pour profiter de la résistance négative plus élevée, comme pour le VCO2. Ici, nous avons choisi de placer la varactor **et** la charge de sortie sur le "drain" (Figure 72). La contrainte qui s'impose est de garder une bonne efficacité de "modulation" de la diode varactor.

La solution choisie est décrite sur la Figure 72, il faut que les longueurs des lignes "La" et "Ld1" soient les plus courtes possibles (car la charge à présenter au drain pour osciller, doit être proche d'un CC). Cependant la longueur de la ligne Ld1 ne peut être trop courte ($L_{d1_{min}} \sim 120 \mu m$), sinon il risque d'y avoir un couplage important entre une ligne de source et les lignes La et Lb, comme cela est montré sur la Figure 73.

Toutes les lignes ont une impédance caractéristique de 50Ω , et une distance intermasse de $70\mu\text{m}$, exceptées Ls, La, Lb et Lp où la distance intermasse est de $50\mu\text{m}$

$\lambda_g \sim 860\mu\text{m}$, à 140GHz



- 205 -

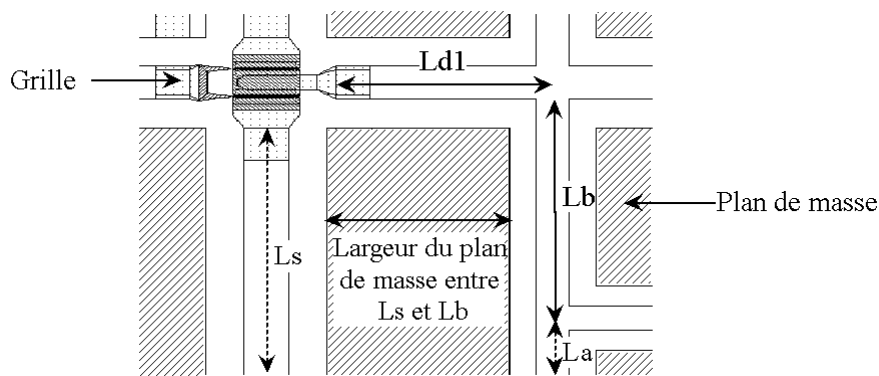


Figure 73 : Problème de couplage entre les lignes L_s et L_a - L_b pour le VCO3

Le résultat d'une simulation "Harmonic Balance" en fonction de V_a et V_{gs} est présentée sur la Figure 74, nous obtenons une bande 3,3 GHz à $V_{gs}=0V$, et de 5,5 GHz avec V_a et V_{gs} variables. De plus, la puissance de sortie varie de seulement 1 dB sur la bande complète. Ce VCO même s'il présente une plus faible bande d'accord, a l'avantage d'avoir une puissance de sortie quasi constante et d'être très compact par rapport aux deux premiers VCOs.

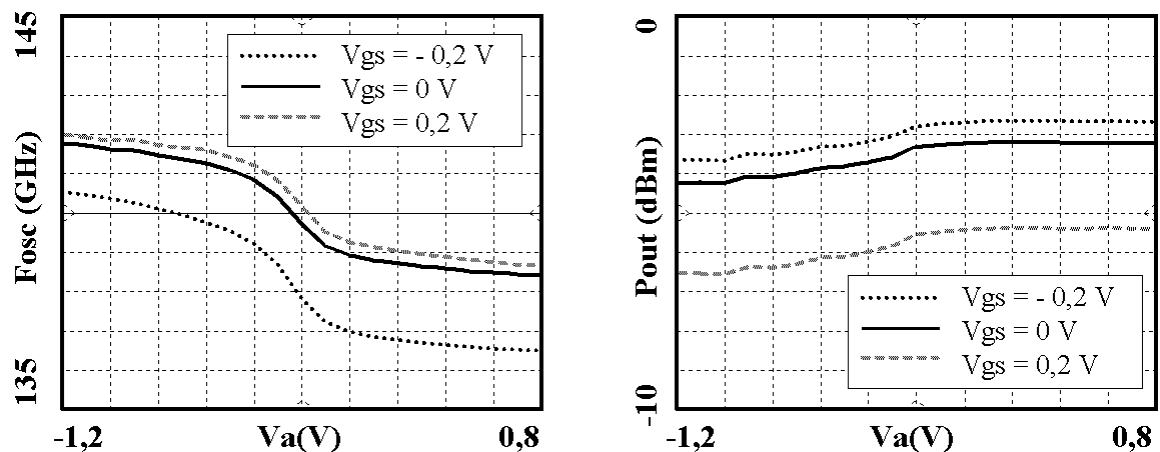


Figure 74 : Résultats de l'analyse "Harmonic Balance" du VCO3

E.6) VCO avec la diode varactor et la charge sur le drain, et lignes de sources "blindées" (VCO4)

La topologie de ce dernier VCO est semblable au précédent (VCO3), la principale évolution porte sur l'emploi de lignes de source "blindées". Le but de ces lignes est d'éviter le problème de couplage entre la ligne de source et la ligne L_a - L_b , comme cela a été présenté sur la Figure 73. Par le recours à ces lignes blindées, il sera possible de réduire la longueur de la ligne L_{d1} (Figure 75) de 125 à 70 μm , l'amélioration attendue est d'accroître la bande du VCO en réduisant l'influence de la charge de sortie (en ramenant la "charge de sortie" plus près du drain, qui sera proche d'un CC).

Chapitre II : Conception de Circuits MMICs en bande D et G

Le schéma électrique de ce dernier VCO est décrit sur la Figure 75, et nous avons reporté le résultat d'une simulation "Harmonic Balance" de celui-ci, sur la Figure 77. La bande du VCO de 3,5 GHz ($V_{gs}=0V$), n'est que légèrement plus élevée que celle du VCO précédent (VCO3). La puissance de sortie (P_{out}) est aussi plus élevée que le VCO3, contrairement à ce que l'on pouvait attendre.

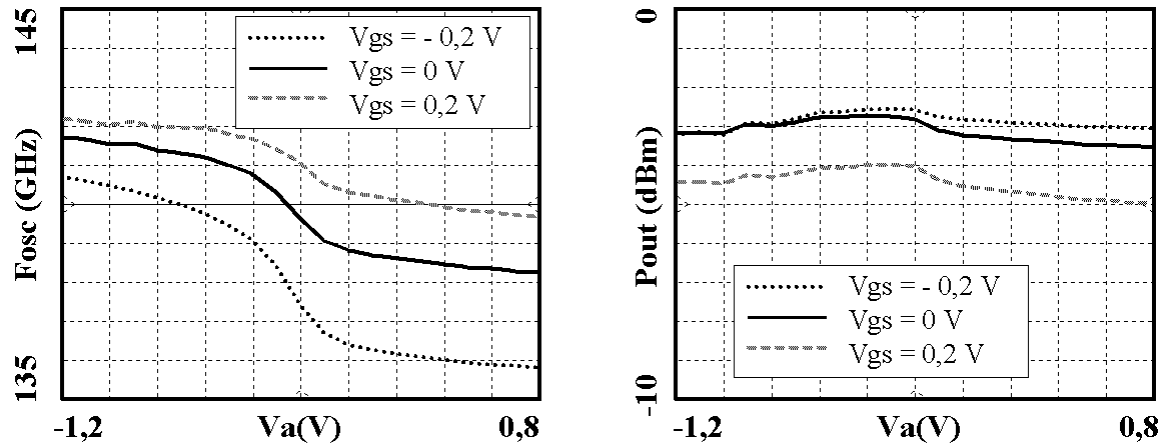


Figure 77 : Résultats de l'analyse "Harmonic Balance" du VCO4

E.7) Comparaison des performances entre les différents VCOs

Dans le Tableau 15, nous avons reporté les principaux résultats de chaque VCO, il apparaît que les bandes d'accord les plus importantes sont obtenues avec les VCOs 1 et 4 en faisant varier V_a et V_{gs} (V_a : polarisation de la diode varactor, V_{gs} : tension grille-source du transistor).

Tableau 15 : Performances des différents VCOs

	ΔF (GHz) ($V_{gs}=0V$)	ΔF (GHz) (V_{gs} variable)	P_{out} moyen ¹ (dBm)	ΔP_{out} ² (dB)
VCO1 (varactor sur la grille, charge sur le drain)	6,6	7,5	-1,3	4
VCO2 (varactor sur le drain, charge sur la grille)	4,5	5,4	0,8	2,1
VCO3 (varactor et charge sur le drain)	3,3	5,5	-3,7	1
VCO4 (varactor et charge sur le drain, et lignes de source blindées)	3,5	6,4	-3,1	0,8

¹ : P_{out} moyen, Puissance de sortie moyenne à $V_{gs}=0V$ ($P_{out} \text{ moyen} = (P_{max} + P_{min})/2$)

² : ΔP_{out} , variation de la puissance de sortie à $V_{gs}=0V$ ($\Delta P_{out} = P_{max} - P_{min}$)

Chapitre II : Conception de Circuits MMICs en bande D et G

Les VCOs 3 et 4 délivrent une puissance de sortie plus faible que les deux premiers, mais ce résultat était prévisible, car nous avons voulu limiter au maximum l'influence de la charge de sortie sur les VCOs. Cependant ces VCOs ont l'avantage d'avoir une variation de puissance inférieure ou égale à 1 dB, sur toute la plage de V_a ($V_{gs}=0V$).

Enfin pour conclure, la puissance de sortie des différents VCOs est plus faible que celle de l'oscillateur à 140 GHz ($P_{out} \sim 6$ dBm). Ce résultat peut s'expliquer par deux points, d'abord la puissance prélevée par la diode varactor, ensuite par le choix d'une contre-réaction nécessairement plus élevée ($L_s=290 \mu m$, contre $L_s=340 \mu m$ pour l'oscillateur 140 GHz) qui est défavorable à P_{out} , comme cela a été vu dans la partie D.5.b), page 194, avec l'étude en sensibilité de l'oscillateur 140 GHz.

III.F) Oscillateur et VCOs avec amplificateur tampon

En pratique, les oscillateurs sont généralement suivis d'un amplificateur tampon ou d'un isolateur. Le but est d'isoler l'oscillateur de la charge, afin de limiter le facteur de Pulling, et dans le cas d'un amplificateur, il est aussi d'augmenter la puissance de sortie.

Nous avons donc envisagé pour l'oscillateur et les VCOs étudiés, la possibilité d'ajouter l'amplificateur 140 GHz un étage, vu dans la partie II.B). Le principal objectif est d'améliorer le facteur de Pulling, et d'accroître la puissance de sortie. Cependant il est à noter que l'amplificateur a été conçu pour un maximum de gain (petit signal), plutôt que pour la puissance.

Pour simuler le bloc "oscillateur+amplificateur" nous avons utilisé le modèle non-linéaire de transistor décrit dans la partie oscillateur (§ D.4)). Dans un premier temps, nous avons simulé le comportement grand signal de l'amplificateur par la méthode de l'équilibrage harmonique ("Harmonic Balance"), afin d'évaluer la puissance maximale de celui-ci.

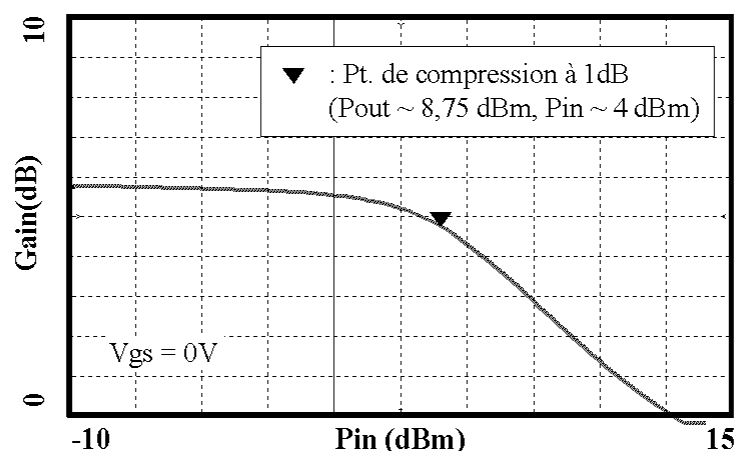


Figure 78 : Gain de l'amplificateur 140 GHz, un étage, en fonction de la puissance d'entrée (P_{in})

Chapitre II : Conception de Circuits MMICs en bande D et G

Sur la Figure 78, nous avons tracé le gain de l'amplificateur, en fonction de la puissance d'entrée, pour $V_{gs} = 0V$. Le gain petit signal est de 5,7 dB et le point de compression à 1dB, est atteint pour une puissance d'entrée 4 dBm, soit en sortie une puissance de 8,7 dBm. En réalité le point de compression à 1dB risque d'être atteint pour une puissance plus faible, mais cela donne une indication sur la puissance d'entrée à ne pas dépasser pour avoir un fonctionnement linéaire. A noter aussi que l'isolation (S_{12}) de l'amplificateur est d'environ -12 dB à 140GHz, ce paramètre est particulièrement important pour réduire le facteur de Pulling.

Nous avons simulé pour l'oscillateur et les VCOs, l'évolution de la fréquence d'oscillation, de la puissance de sortie et du facteur de pulling; l'ensemble de ces données sont rassemblées dans le Tableau 16. Pour les VCOs, il apparaît une amélioration significative de la puissance et du facteur de Pulling et une invariance de la fréquence d'oscillation. En ce qui concerne l'oscillateur à 140 GHz, l'amélioration est moins significative et la fréquence d'oscillation évolue légèrement. Ce résultat peut s'expliquer par la saturation de l'amplificateur qui est soumis à une puissance d'entrée nettement supérieure à la puissance du point de compression (à 1dB).

Tableau 16 : Evolution des caractéristiques des oscillateurs et VCOs, avant et après l'ajout de l'amplificateur tampon (Buffer)

	F_{osc} (GHz)		Pout (dBm)		$\Delta F_{pulling}$ (GHz) (charge -12dB, TOS~1,67)	
	Sans Buffer	Avec Buffer	Sans Buffer	Avec Buffer	Sans Buffer	Avec Buffer
Oscillateur 140GHz	140	139,8	6,8	10,4	1,61	0,79
VCO1 ($V_a = -0,25 V$)	139,6	139,6	-1,2	3,9	0,8	0,3
VCO2 ($V_a = -0,25 V$)	139,5	139,5	1,9	7,1	0,92	0,37
VCO3 ($V_a = -0,25 V$)	140	140	-3,4	2,5	0,59	0,26
VCO4 ($V_a = -0,25 V$)	140	140	-2,75	3,09	0,64	0,26

Remarque : pour tous les oscillateurs $V_{gs}=0V$

III.G) Conclusion

Dans ce paragraphe, nous avons présenté la conception d'un oscillateur et de quatre VCOs avec diode varactor, à la fréquence de 140 GHz. L'ensemble des oscillateurs utilise les HEMTs à structure de couche optimisée présentés dans le chapitre précédent. L'oscillateur "libre" a montré **en simulation** par équilibrage harmonique, que nous pourrions obtenir une puissance de sortie de l'ordre de 6 dBm, ce résultat même s'il est très optimiste, laisse espérer en réalité une valeur proche de l'état de l'art qui est de 0 dBm à 135 GHz, pour un oscillateur à base de transistor. En ce qui concerne les VCOs les puissances de sortie seront volontairement moindres, comprises entre -5 et 2 dBm pour l'ensemble des VCOs. La bande d'accord du meilleur VCO (VCO1) pourrait atteindre 7,5 GHz, ce qui est près de deux fois plus élevée que la meilleure valeur reportée à 140 GHz, pour un VCO à base HEMT. Il est aussi à noter que nous avons conçus différentes topologies de VCOs, sur le positionnement de la charge et de la diode varactor. Le but sera afin d'étudier expérimentalement les avantages et inconvénients de chaque topologie, en termes de puissance, bande et bruit. Les résultats de simulation semblent très prometteurs, cependant seule la réalisation permettra de les valider.

Les principales améliorations possibles pour des simulations plus fiables seraient de réaliser un modèle précis linéaire et non-linéaire du transistor, basé sur des mesures en bande D. De même, une modélisation non-linéaire de la diode varactor serait aussi intéressante pour la simulation des VCOs. Enfin, l'étape ultime serait de d'inclure un modèle de bruit BF, pour permettre la simulation du bruit de phase.

IV -

Chapitre II : Conception de Circuits MMICs en bande D et G

Bibliographie

- [1] S. Boret, "Circuits intégrés monolithiques en technologie coplanaire pour applications de réception jusqu'à 110 GHz",
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Septembre 1999
- [2] M. Riazat, R. Majidi-Ahy, I. Jaung-Feng, "Propagation modes and dispersion characteristics of coplanar waveguides", IEEE Trans. Microwave Theory Tech., vol. 38, pp. 245-251, March 1990.
- [3] M. Riazat, I. J. Feng, R. Majidi-Ahy, B. A. Auld, "Single-mode operation of coplanar waveguides", Electronics Letters, vol. 23, no. 24, November 1987
- [4] W. Heinrich, "Quasi-TEM Description of MMIC Coplanar Lines Including Conductor Loss Effects" IEEE Trans. Microwave Theory Tech., vol. 41, no. 1, pp. 45-52, January 1993.
- [5] K. Beilenhoff, H. Klingbeil, W. Heinrich and H.L. Hartnagel, "Open and short circuits in coplanar MMICs", IEEE Trans. Microwave Theory Tech., vol. 41, pp. 1534-1537, September 1993.
- [6] H. WANG, R. Lai, D.C.W. Lo, D.C. Streit, P.H. Liu, R.M. Dia, M. Popieszalski, J. Berenz, "A 140-GHz Monolithic Low Noise Amplifier", IEEE Microwave And Guided Wave Letters, vol. 5, no. 5, May 1995, pp. 150-152
- [7] R. LAI, M. Barsky, T. Huang, M. Sholley, H. Wang, Y. L. Kok, D. C. Streit, T. Block, P. H. Liu, T. Gaier, L. Samoska, "An InP HEMT MMIC LNA with 7.2-dB Gain at 190 GHz", IEEE Microwave And Guided Wave Letters, vol. 8, no. 11, NOVEMBER 1998, pp. 393-395
- [8] V. HOËL, S. BORET, B. GRIMBERT, G. APERCÉ, S. BOLLAERT, H. HAPPY, X. WALLART, A. CAPPY, "94-GHz Low Noise Amplifier on InP in Coplanar Technology", GAAS 99, pp. 257-262
- [9] V. HOËL, "Conception, réalisation et caractérisation de transistors à effet de champ à hétérojonction sur substrat d'InP pour circuits intégrés coplanaires en bande V et W"
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Décembre 1998
- [10] P. CHEVALIER, "Conception et réalisation de transistors à effet de champ de la filière AlInAs/GaInAs sur substrat InP. Application à l'amplification faible bruit en ondes millimétriques"
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Novembre 1998
- [11] T. PARENTY, "Potentialités des transistors InAlAs/GaInAs sur Substrat d'InP pour circuits intégrés au delà de 100GHz", DEA Electronique, Juillet 1999
- [12] H. WANG, T.-N. Ton, K. L. Tan, D.C. Garske, G. Dow, J. Berenz, M. Popieszalski, S.-K. Pan, "110-120-GHz Monolithic Low-Noise Amplifiers", IEEE JOURNAL OF SOLID-STATE, VOL. 28, NO. 10, October 1993, pp. 988-993
- [13] R. LAI, H. Wang, K. L. Tan, D. C. Streit, P. H. Liu, J. Velebir, J. Chen, J. Berenz, W. Popieszalski, "A Monolithically Integrated 120-GHz InGaAs/InAlAs/InP HEMT Amplifier", IEEE Microwave And Guided Wave Letters, vol. 4, no. 6, JUNE 1994, pp. 194-195
- [14] R. LAI, H. Wang, Y. C. Chen, T. Block, P.H. Liu, D. Streit, D. Tran, P. Siegel, M. Barsky, W. Jones, T. Gaier, "D-band MMIC LNAs with 12dB Gain at 155GHz Fabricated on a High Yield InP HEMT MMIC Production Process", IPRM 97, pp. 241-244
- [15] S. WEINREB, P.C. Chao, and W. Copp, "FULL-WAVEGUIDE BAND 90 TO 140 GHz, MMIC AMPLIFIER MODULE", IEEE MTT-S Digest 1997, pp.1279-1280

Chapitre II : Conception de Circuits MMICs en bande D et G

-
- [16] C. PROBANZ, M. Matloubian, M. Lui, H.-C. Sun, M. Case, C. Ngo, P. Janke, T. Gaier, L. Samoska, "A High-Gain Monolithic D-band InP HEMT Amplifier", GaAs IC 98, pp. 41-44
 - [17] H. WANG, R. Lai, Y.-L. Kok, T.-W. Huang, M. V. Aust, Y. C. Chen, P. H. Siegel, T. Gaier, R. J. Dengler, B. Allen, "A 155-GHz Monolithic Low-Noise Amplifier", IEEE Trans. On Microwave Theory and Techniques, vol. 46, NO. 11, pp.1660-1666, NOVEMBER 1998
 - [18] D.L. EDGAR, H. McLelland, S. Ferguson, N.I. Cameron, M. Holland, I.G. Thayne, M.R.S. Taylor, C.R. Stanley, S.P. Beaumont, "94 AND 150GHz COPLANAR WAVEGUIDE MMIC AMPLIFIERS REALIZED USING InP TECHNOLOGY", IEEE MTT-S Digest 1999
 - [19] M. NISHIMOTO, M. Sholley, H. Wang, R. Lai, M. Barsky, D. Streit, Y. Chung, M. Aust, B. Osgood, R. Raja, C. Gage, T. Gaier, K. Lee, "HIGH PERFORMANCE D-BAND (118 GHz) MONOLITHIC LOW NOISE AMPLIFIER", IEEE MTT-S Digest 1999
 - [20] D.L. EDGAR, H. McLelland, S. Ferguson, N.I. Cameron, M. Holland, I.G. Thayne, M.R.S. Taylor, C.R. Stanley, S.P. Beaumont, "150GHz Coplanar Waveguide MMIC Amplifier", EMC 1999, pp. 242-245
 - [21] C. W. POBANZ, M. Matloubian, M. Lui, H.-C. Sun, M. Case, C.M. Ngo, T. Gaier, L. Samoska, "A High-Gain Monolithic D-band InP HEMT Amplifier", IEEE Journal of Solid-State Circuits, VOL. 34, NO. 9, pp.1219-1224, SEPTEMBER 1999
 - [22] A. TESSMANN, O. Wohlgemuth, R. Reuter, W. H. Haydl, H. Massler, A. Hülsmann, "A COPLANAR 148 GHz CASCODE AMPLIFIER MMIC USING 0.15 μ m PHEMTs", IEEE MTT-S Digest 2000, pp. 991-994.
 - [23] Y. K. KOK, H. Wang, T. W. Huang, R. Lai, M. Barsky, Y. C. Chen, M. Sholley, T. Block, D. C. Streit, P. H. Liu, B. R. Allen, L. Samoska, T. Gaier, "160-190-GHz Monolithic Low-Noise Amplifiers", IEEE Microwave And Guided Wave Letters, vol. 9, no. 8, AUGUST 1999, pp. 311-313
 - [24] M. BARSKY, R. Lai, Y.L. Kok, M. Sholley, D. Streit, T. Block, P. H. Liu, E. Sabin, H. Rogers, V. Medvedev, T. Gaier, L. Samoska, "190 GHz InP HEMT MMIC LNA with Dry Etched Backside Vias", IPRM 99, pp. 423-425
 - [25] S. WEINREB, T. Gaier, R. Lai, M. Barsky, Y.C. Leong, L. Samoska, "High-Gain 150-215-GHz MMIC Amplifier with Integral Waveguide Transitions", IEEE Microwave And Guided Wave Letters, vol. 9, no. 7, pp.282-284, JULY 1999
 - [26] R. LAI, M. Barsky, R. Grunbacher, P. H. Liu, T. P. Chin, M. Nishimoto, R. Elmajarian, R. Rodriguez, L. Tran, A. Gutierrez, A. Oki, D. Streit, "InP HEMT Amplifier Development for g-band (140-220 GHz) Applications", IEDM 2000
 - [27] C. POBANZ, M. Matloubian, V. Radisic, G. Raghavan, M. Case, M. Micovic, M. Hu, C. Nguyen, S. Weinreb, L. Samoska, "High Performance MMICs with Submillimeter Wave InP-based HEMTs", IPRM 2000, pp. 67-70
 - [28] R. RAJA, M. Nishimoto, M. Barsky, M. Sholley, B. Osgood, R. Quon, G. Barber, P. Liu, P. Chin, R. Lai, "A 183 GHz LOW NOISE AMPLIFIER MODULE FOR THE CONICAL-SCANNING MICROWAVE IMAGER SOUNDER (CMIS) PROGRAM", IEEE MTT-S Digest 2000, pp. 987-990
 - [29] J.W. ARCHER, R. Lai, R. Grundbacher, M. Barsky, R. Tsai, P. Reid, "An Indium Phosphide MMIC Amplifier for 180-205 GHz", IEEE Microwave and Wireless Components Letters, vol. 11, no. 1, JANUARY 2001, pp.4-6
-

-
- [30] R. RAJA, M. Nishimoto, B. Osgood, M. Barsky, M. Sholley, R. Quon, G. Barber, P. Liu, R. Lai, F. Hinte, G. Haviland, B. Vacek, "A 183 GHz LOW NOISE AMPLIFIER MODULE WITH 5.5 dB NOISE FIGURE FOR THE CONICAL-SCANNING MICROWAVE IMAGER SOUNDER (CMIS) PROGRAM", IEEE MTT-S Digest 2001
 - [31] M. URTEGA, D. Scott, T. Mathew, S. Krishnan, Y. Wei, M.J.W. Rodwell, "185 GHz Monolithic Amplifier in InGaAs/InAlAs Transferred-Substrate HBT Technology", IEEE MTT-S Digest 2001
 - [32] V. HOEL, S. BORET, B. GRIMBERT, G. APERCÉ, S. BOLLAERT, H. HAPPY, X. WALLART, A. CAPPY, "94-GHz Low Noise Amplifier on InP in Coplanar Technology", GAAS 99, pp. 257-262
 - [33] J. ROLLETT, "Stability and power gain invariant of linear two ports", IRE Transactions on Circuit Theory, vol. ct 9, pp. 29-32, March 1962
 - [34] G. D. VENDELIN, A. M. PAVIO, U. L. ROHDE, "Microwave Circuit Design using Linear and Nonlinear Techniques", Wiley-Interscience Publication, John Wiley & Sons
 - [35] R. GOYAL, "MONOLITHIC MICROWAVE INTEGRATED CIRCUITS : Technology & Design", Artech House, 1989
 - [36] P. A. ROLLAND, "Cours de Systèmes Microndes", DEA Electronique 1998-99, Université de Lille 1
 - [37] R. SOARES, "GaAs MESFET Circuit Design", Artech House, 1988
 - [38] C. A. LIECHTI "Microwave Field-Effect Transistors - 1976 ", IEEE Trans. On Microwave Theory and Techniques, vol. 24, NO. 6, pp. 279-300, JUNE 1976
 - [39] H. WANG et al., "High performance W-band monolithic InGaAs pseudomorphic HEMT LNAs and design/analysis methodology", IEEE Trans. On Microwave Theory and Techniques, vol. 40, pp. 417, 1992
 - [40] G. Dambrine, A. Cappy, F. Héliodore, E. Playez, "A new method for determining the FET small signal equivalent circuit", IEEE Trans. On Microwave Theory and Techniques, vol. 36, pp. 1151-1159, July 1988
 - [41] H. Q. Tserng, B. Kim, "A 115 GHz MONOLITHIC GaAs FET OSCILLATOR", GaAs IC Symposium 1985, pp. 11-13
 - [42] S. E. Rosenbaum, et al. "155- and 213- GHz AlInAs/GaInAs/InP HEMT MMIC Oscillators", IEEE Transactions on Microwave Theory and Techniques, vol. 43, no. 4, April 1995, pp. 927-932
 - [43] M. Wollitzer, J. Buechler, F. Schäffler, J.-F. Luy "D-band Si-IMPATT diodes with 300 mW CW output power at 140 GHz", Electronics Letters, 1996, 32, pp. 122-123
 - [44] K. Kurokawa, "Some Basic Characteristics of Broadband Negative Resistance Oscillator Circuits", Bell System Technical Journal, vol. 48, July-August 1969, pp. 1937-1955
 - [45] Smith and Carpentier, "The microwave engineering handbook", volume 2, Chapman&Hall, London, 1993.
 - [46] K. M. Johnson, "Large signal GaAs MESFET", IEEE Transactions on Microwave Theory and Techniques, vol. 27, no. 3, March 1979, pp. 217-227
 - [47] R. D. Martinez and R. C. Compton, "A General Approach for S-Parameter Design of Oscillators with 1 and 2-Port Active Devices", IEEE Transactions on Microwave Theory and Techniques, vol. 40, no. 3, March 1992, pp. 569-574
 - [48] N. M. Nguyen, R. G. Meyer, "Start-up and Frequency Stability in High-Frequency Oscillators" IEEE Journal of Solid-State Circuits, vol. 27, no. 5, May 1992, pp. 810-820
 - [49] R. W. Jackson, "Criteria for the Onset of Oscillation In Microwave Circuits" IEEE Transactions on Microwave Theory and Techniques, vol. 40, no. 3, March 1992, pp. 566-569
-

Chapitre II : Conception de Circuits MMICs en bande D et G

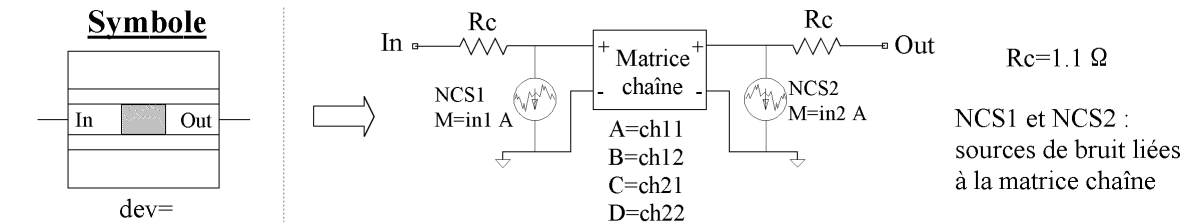
- R. W. Jackson "Comments on "Criteria for the Onset of Oscillation In Microwave Circuits", IEEE Transactions on Microwave Theory and Techniques, vol. 40, no. 9, September 1992, pp. 1850-1851.
- [50] H. Wang et al., "Low Phase Noise Millimeter-Wave Frequency Sources Using InP-Based HBT MMIC Technology", IEEE Journal of Solid-state Circuits, vol. 31, no. 10, October 1996, pp. 1419-1424
- [51] A. M. Pavio, M. A. Smith, "Push-Push Dielectric Resonator Oscillator", IEEE MTT-S Digest, 1985, pp. 266-269.
- [52] S. Kudzusz, W.H. Haydl, A. Tessmann, W. Bronner, M. Schlechtweg, "Push-Push oscillators for 94 and 140 GHz Applications Using Standard Pseudomorphic GaAs HEMTs", IEEE MTT-S Digest 2001
- [53] Y. Kwon, D. Pavlidis, P. Marsh, M. Tutt, G. I. Ng and T. Brock, "180 GHz InAlAs/InGaAs HEMT Monolithic Integrated Frequency Doubler", GaAs IC Symposium 1991, pp. 165-168
- [54] V. Radisic, M. Micovic, M. Hu, P. Janke, C. Ngo, L. Nguyen, L. Samoska, M. Morgan, "164-GHz MMIC HEMT Doubler", IEEE Microwave and Wireless Components Letters, vol. 11, no. 6, JUNE 2001, pp.241-243
- [55] Y. Kwon, D. Pavlidis, P. Marsh, G. I. Ng, T. Brock, G. Munns, G. I. Haddad, "A Fully Integrated Monolithic D-band Oscillator-Doubler Chain InP-Based HEMT's", GaAs IC Symposium 1992, pp. 51-54
- [56] H. Wang, K.W. Chang, D.C.W. Lo, K.L. Tan, D. Streit, G.S. Dow, B.R. Allen, "Monolithic 23.5 to 94 GHz Frequency Quadrupler Using 0.1 μ m Pseudomorphic AlGaAs/InGaAs/GaAs HEMT Technology," IEEE Microwave And Guided Wave Letters, vol. 4, no. 3, pp. 77-79, MARCH 1994.
- [57] J. Geddes, V. Sokolow, and A. Contolatis, "W-band GaAs MESFET frequency doubler", 1987 IEEE Monolithic Circuits Symp. Dig., June 1987, pp. 7-10.
- [58] T. David, S. Arscott, J.-M. Munier, T. Akalin, P. Mounaix, G. Beaudin, D. Lippens, "Monolithic Integrated Circuits Incorporating InP-Based Heterostructure Barrier Varactors", IEEE Microwave And Wireless Components Letters, vol. 12, no. 8, pp. 281-283, AUGUST 2002
- [59] X. Mélique, A. Maestrini, P. Mounaix, M. Favreau, O. Vanbésien, J.M. Goutoule, G. Beaudin, T. Nähri, D. Lippens, "Record performance of a 250 GHz InP-based heterostructure barrier varactor tripler", IEE Electronics Letters, 27th May 1999, Vol. 35, No. 11, pp. 938-939
- [60] B. J. Rizzi, T. W. Crowe, N. R. Erickson, "A High-Power Millimeter-Wave Frequency Doubler Using a Planar Diode Array", IEEE Microwave And Guided Wave Letters, vol. 3, no. 6, pp. 188-190, JUNE 1993.
- [61] S.-W. Chen T. Ho, F. R. Phelleps, J.L. Singer, K. Pande, P. Rice, J. Adair, M. Ghahremani, "A High Performance 94-GHz MMIC Doubler", IEEE Microwave And Guided Wave Letters, vol. 3, no. 6, pp. 167-169, JUNE 1993.
- [62] F. Brauchler, J. Papapolymerou, J. East, L. Katehi, "W Band Monolithic Multipliers", IEEE MTT-S Digest 1997, pp. 1225-1228
- [63] F. X. Sinnesbichler, B. Hautz, G. R. Olbrich, "A Si/SiGe HBT Dielectric Resonator Push-Push Oscillator at 58 GHz", IEEE Microwave And Guided Wave Letters, vol. 10, no. 4, pp. 145-147, APRIL 2000.
- [64] T. Inoue, M. Funabashi, K. Hosoya, K. Maruhashi, Y. Makino, M. Kuzuhara, "60GHz dielectrically stabilized monolithic voltage controlled oscillator", 25th EMC 1995, pp. 281-284

-
- [65] U. Güttich and J. Wenger, "DESIGN, FABRICATION, AND PERFORMANCE OF MONOLITHIC DIELECTRICALLY STABILIZED PM-HFET OSCILLATORS UP TO 60 GHz", EMC 1994, vol. 1, pp. 361-365.
 - [66] H. Yoshinaga, B. Abe, K. Shibata, "W-band HEMT DRO's", APMC 1994, pp. 939-942
 - [67] M. Funabashi, K. Ohata, K. Onda, K. Hosoya, T. Inoue, M. Kuzuhara, K. Kanekawa, Y. Kobayashi, "A V-BAND AlGaAs/InGaAs HETEROJUNCTION FET MMIC DIELECTRIC RESONATOR OSCILLATOR", GaAs IC Symposium 1994, pp. 30-33
 - [68] J. Wenger, U. Güttich, "Ka- and W-Band PM-HFET DRO's", IEEE Microwave And Guided Wave Letters, vol. 3, no. 6, pp. 191-193, JUNE 1993.
 - [69] W. Yau, E. T. Watkins, Y. C. Shih, "FET DROs AT V-BAND", IEEE MTT-S Digest 1991, pp. 281-284
 - [70] L.A. Bermudez, P. Guillon, J. Obregon, A. Bert, "A 94 GHz LOW NOISE GaAs FET OSCILLATOR USING WHISPERING-GALLERY DIELECTRIC RESONATOR MODES AND A NEW PUSH-PUSH CONFIGURATION REDUCING 1/f CONVERTED NOISE", IEEE MTT-S Digest 1988, pp. 481-484
 - [71] Y. Bayens, C. Dorschky, N. Weimann, Q. Lee, R. Kopf, G. Georgiou, J-P. Mattia, R. Hamm, Y.-K. Chen, "Compact InP-Based HBT VCOs with a Wide Tuning Range at W- and D-Band", IEEE Trans. On Microwave Theory and Techniques, vol. 48, NO. 12, pp. 2403-2408, DECEMBER 2000
 - [72] K. Uchida, I. Aoki, H. Matsuura, T. Yakihara, S. Kobayashi, S. Oka, T. Fujita, A. Miura, "104 AND 134 GHz InGaP/InGaAs HBT OSCILLATORS", IEEE MTT-S Digest 1999, pp. 237-240
 - [73] Y. Kwon, D. Pavlidis, T.L. Brock, D.C. Streit, "A D-Band Monolithic Fundamental Oscillator Using InP-Based HEMT's", IEEE Trans. On Microwave Theory and Techniques, vol. 41, NO. 12, pp. 2336-2344, DECEMBER 1993
 - [74] V. Radisic, L. Lamoska, M. Mirovic, M. Hu, P. Janke, C. Ngo, L. Nguyen, "80 GHz MMIC HEMT VCO", IEEE Microwave and Wireless Components Letters, vol. 11, no. 8, pp. 325-327, AUGUST 2001
 - [75] S. Kudszus, T. Berceli, A. Tessmann, M. Neumann, W. H. Haydl, "A 94 GHz HEMT-OSCILLATOR USING HIGH ORDER SUBHARMONIC SYNCHRONIZATION", IEEE MTT-S Digest 2000, pp. 39-42
 - [76] K. W. Kobayashi, A. K. Oki, L.T. Tran, J.C. Cowles, A. Gutierrez-Aitken, F. Yamada, T.R. Block, D.C. Streit, "A 108-GHz InP-HBT Monolithic Push-Push VCO with Low Phase Noise and Wide Tuning Bandwidth", IEEE Journal of Solid-State Circuits, VOL. 34, NO. 9, pp. 1225-1232, SEPTEMBER 1999
 - [77] S. Kudszus, W. H. Haydl, M. Neumann, A. Hülsmann, "W-Band HEMT-Oscillator with Stabilization by Phase controlled Subharmonic Injection Locking", EMC 1999, pp. 198-201
 - [78] H. J. Siweris, H. Tischer, T. Grave, W. Kellner, "A Monolithic W-band HEMT VCO with Feedback Topology", IEEE MTT-S Digest 1999, pp. 17-20
 - [79] S. Kudszus, W. H. Haydl, M. Neumann, A. Bangert, A. Hülsmann, "SUBHARMONICALLY INJECTION LOCKED 94 GHz MMIC HEMT OSCILLATOR USING COPLANAR TECHNOLOGY", IEEE MTT-S Digest 1998, pp. 1585-1588.
 - [80] H. Wang, L. Tran, J. Cowles, E. Lin, P. Huang, T. Block, D. Streit, A. Oki, "Monolithic 77- and 94-GHz InP-Based HBT MMIC VCOs", IEEE RFIC 97, pp. 91-94
 - [81] I. Aoki, K. Tezuka, H. Matsuura, S. Kobayashi, T. Fujita, A. Miura, "80GHz AlGaAs HBT Oscillator", GaAs IC Symposium 1996, pp. 281-284
-

Chapitre II : Conception de Circuits MMICs en bande D et G

-
- [82] A. Bangert, M. Schlechtweg, M. Lang, W. Haydl, W. Bronner, T. Fink, K. Köhler, B. Raynor, "W-BAND VCO WITH A LARGE TUNING RANGE USING A PSEUDOMORPHIC HFET", IEEE MTT-S Digest 1996, pp. 525-528
 - [83] Y. Kwon, D. Pavlidis, P. Marsh, T. Brock, D.C. Streit, "A 100-GHz Monolithic Cascode InAlAs/InGaAs HEMT Oscillator", IEEE Microwave And Guided Wave Letters, vol. 4, no. 5, pp.135-137, MAY 1994.
 - [84] H. Wang, K. W. Chang, T. H. Tan, G. S. Dow, B. Allen, J. Berenz, "Monolithic W-band VCOs Using Pseudomorphis AlGaAs/InGaAs/GaAs HEMTs," GaAs IC Symposium 1992, pp. 47-50
 - [85] J. M. Schellenberg, C. L. Lau, M. Feng, P. Brusenback, "W-Band Oscillator Using Ion-Implanted InGaAs MESFET's", IEEE Microwave And Guided Wave Letters, vol. 1, no. 5, pp. 100-102, MAY 1991.
 - [86] Y. Kwon, D. Pavlidis, "LARGE SIGNAL ANALYSIS AND EXPERIMENTAL CHARACTERISTICS OF MONOLITHIC InP-BASED W-BAND HEMT OSCILLATORS", EMC 1991, pp. 161-166
 - [87] Y. Kwon, D. Pavlidis, M. Tutt, G. I. Ng, R. Lai, T. Brock, "W-BAND MONOLITHIC OSCILLATOR USING InAlAs/InGaAs HEMT", IEE Electronics Letters, 30th August 1990, Vol. 26, No. 18, pp. 1425-1426
 - [88] F. X. Sinnesbichler, H. Geltinger, G. R. Olbrich, "A 50 GHz SiGe HBT PUSH-PUSH OSCILLATOR", IEEE MTT-S Digest 1999, pp.9-12
 - [89] T. Kashiwa, T. Ishida, T. Katoh, H. Kurusu, H. Hoshi, Y. Mitsui, "V-Band High-Power Low Phase-Noise Monolithic Oscillators and Investigation of Low Phase-Noise Performance at High Drain Bias", IEEE Trans. On Microwave Theory and Techniques, vol. 46, NO. 10, pp.1559-1565, OCTOBER 1998
 - [90] I. Aoki, K. Tezuka, H. Matsuura, S. Kobayashi, T. Fujita, T. Yakiyara, S. Oka, A. Miura, "64 GHz AlGaAs-HBT oscillator", IEE Electronics Letters, 29th February 1996, Vol. 32, No. 5, pp. 463-464
 - [91] Y. Kawasaki, K. Shirakawa, Y. Ohashi, T. Saito, "60-GHz MONOLITHIC OSCILLATOR USING InGaP/InGaAs/GaAs HEMT TECHNOLOGY", IEEE MTT-S Digest 1995, pp. 541-544
 - [92] H. Wang, K.-W. Chang, D. C.-W. Lo, L. T. Tran, J. C. Cowles, T.R. Block, G.S. Dow, A. Oki, D.C. Streit, B.R. Allen, "A 62-GHz Monolithic InP-based HBT VCO", IEEE Microwave And Guided Wave Letters, vol. 5, no. 11, pp. 388-390, NOVEMBER 1995.
 - [93] S. Kudszus, M. Neumann, T. Berceli, W. H. Haydl, "Fully Integrated 94-GHz Subharmonic Injection-Locked PLL Circuit", IEEE Microwave And Guided Wave Letters, vol. 10, no. 2, FEBRUARY 2000, pp.70-72
 - [94] J.M. Golio "Microwave MESFETs and HEMTs" Artech House, London, 1991
 - [95] H. Happy, G. Six, M. Vanmackelberg, A. Cappy, G. Dambrine, "ULTRA LOW LOSS TRANSMISSION LINES ON LOW RESISTIVITY SILICON SUBSTRATE", IEEE MTT-S Digest 2000, vol. 3, pp. 1809-1812.

V -

ANNEXES**V.A) Modèles électriques des passifs, développés sous MDS****A.1) Résistance (série)**

dev : développement de la résistance en μm

$$w = 2 \cdot \pi \cdot \text{freq}$$

$$Z_c = \sqrt{(R + j \cdot L \cdot w) / (G + j \cdot C \cdot w)}$$

$$\Gamma = \sqrt{(R + j \cdot L \cdot w) \cdot (G + j \cdot C \cdot w)}$$

$$\text{ch11} = (\exp(\Gamma \cdot \text{dev} \cdot 10^{-6}) + \exp(-\Gamma \cdot \text{dev} \cdot 10^{-6})) / 2$$

$$\text{ch12} = -Z_c \cdot (\exp(\Gamma \cdot \text{dev} \cdot 10^{-6}) - \exp(-\Gamma \cdot \text{dev} \cdot 10^{-6})) / 2$$

$$\text{ch21} = -(1/Z_c) \cdot (\exp(\Gamma \cdot \text{dev} \cdot 10^{-6}) - \exp(-\Gamma \cdot \text{dev} \cdot 10^{-6})) / 2$$

$$\text{ch22} = (\exp(\Gamma \cdot \text{dev} \cdot 10^{-6}) + \exp(-\Gamma \cdot \text{dev} \cdot 10^{-6})) / 2$$

Calcul des sources de bruit

$$\text{in1} = \sqrt{4 \cdot 1.38 \cdot 10^{-23} \cdot 290 \cdot \text{real}(\text{ch22} / \text{ch12})}$$

$$\text{in2} = \text{in1}$$

$$\text{incor} = (4 \cdot 1.38 \cdot 10^{-23} \cdot 290 \cdot \text{real}(-1 / \text{ch12}))$$

Corrélation entre les sources de bruit

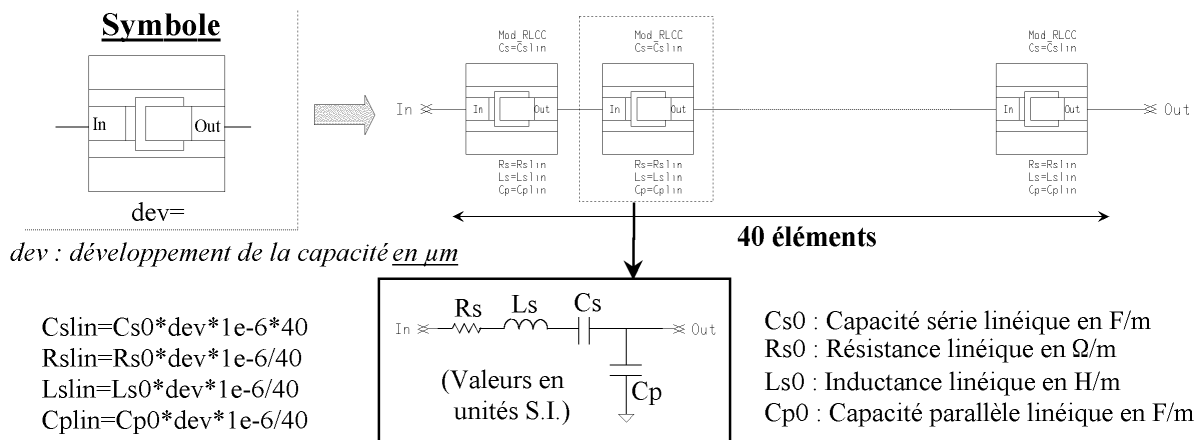
$$\text{SOURCE1} = \text{NCS1}$$

$$\text{SOURCE2} = \text{NCS2}$$

$$\text{COR} = \text{incor} / (\text{in1}^2)$$

Matériau des résistances : 500Å de NiCr (80-20), $\sigma = 7,1 \cdot 10^5 \text{ S/m}$

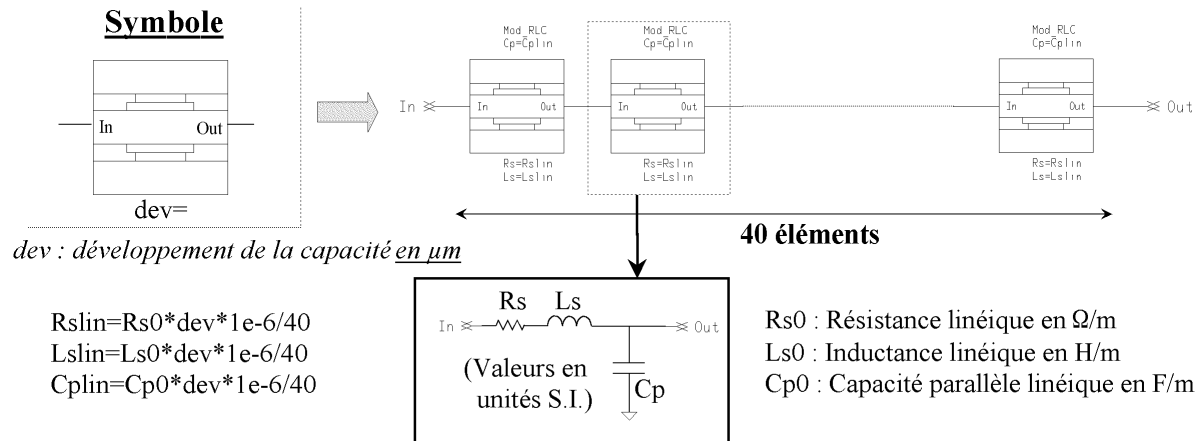
Nom	d (μm)	W (μm)	R (Ω/m)	L (H/m)	C (F/m)	G (S/m)	R (Ω/μm)
Res500NiCr	70	26	1,16 e6	6,2 e-7	1,61 e-10	1,4 e-2	1,16
Res500NiCr50	50	19	1,56 e6	6,5 e-7	1,63 e-10	1,4 e-2	1,56

A.2) Capacités série

Chapitre II : Conception de Circuits MMICs en bande D et G

Nom	d (μm)	W (μm)	Rs0 (Ω/m)	Ls0 (H/m)	Cp0 (F/m)	Cs0 (F/m)	Cs0 (fF/μm)
MIMS70	70	26	3,41 e3	4,1 e-7	1,64 e-10	1,40 e-8	14
MIMS50	50	19	4,4 e3	4,29 e-7	1,67 e-10	1,02 e-2	10

A.3) Capacités parallèles

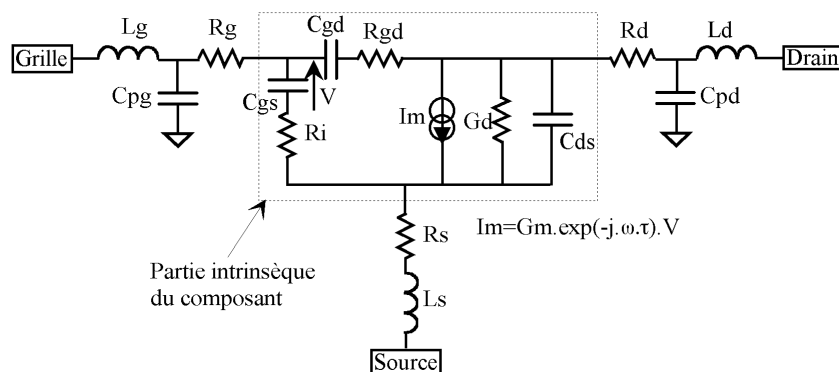


Nom	d (μm)	W (μm)	Rs0 (Ω/m)	Ls0 (H/m)	Cp0 (F/m)	Cp0 (fF/μm)
MIMP70	70	26	8 e3	1,6 e-8	1,41 e-8	14
MIMP50	50	19	1,1 e4	2,2 e-8	1,02 e-8	10

V.B) Schéma équivalent petit signal du transistor employé pour les amplificateurs et les oscillateurs

Le schéma équivalent a été extrait d'un transistor de développement 70 μm (2x35), réalisé lors de l'opération 10669_2. (Transistor : 3_1 2x35n2)

Pour rappel, ce transistor est un PHEMT sur substrat d'InP (65% d'Indium), de longueur de grille 70nm, avec structure de couche optimisée (canal de 100 Å en $\text{Ga}_{0,35}\text{In}_{0,65}\text{As}$, spacer de 35 Å en $\text{Al}_{0,65}\text{In}_{0,35}\text{As}$, δ -dopé de $6 \cdot 10^{12} \text{ at.cm}^{-2}$, barrière de 80 Å en $\text{Al}_{0,65}\text{In}_{0,35}\text{As}$).



Eléments extrinsèques :

Rg	Rs	Rd	Lg	Ls	Ld	Cpg	Cpd
(Ω)	($\Omega \cdot \text{mm}$)	($\Omega \cdot \text{mm}$)	(pH)	(pH)	(pH)	(fF)	(fF)
1,5	0,385	0,455	40	2	30	1	15

Eléments intrinsèques à $V_{ds}=1\text{V}$:

Vg	Id	Gm	Gd	Cgs	Cgd	Cds	Ri	Rgd	τ
(V)	(mA/mm)	(mS/mm)	(mS/mm)	(fF)	(fF)	(fF)	(Ω)	(Ω)	(ps)
-0,4	3,7	18	4,4	19	11,2	0,8	31	28	0,06
-0,3	12,7	228	19,1	29	10,4	1,1	20	30	0
-0,2	63,5	940	63,9	46,3	9,05	1,8	12	33,5	-0,19
-0,1	155	1495	92,0	54,8	8,05	3,5	8,2	31	-0,34
0	254	1650	95,3	55,4	7,55	6,2	6,3	24	-0,5
0,1	345	1565	89,3	51,5	7,7	8,5	4,0	13	-0,65
0,2	427	1370	86,2	46,7	8,4	11,4	2,2	6	-0,89
0,3	495	1120	95,9	42,3	9,9	15,9	5,3	-7,9	-1,35
0,4	547	833	127	40,6	12,8	24	10,7	-9	-1,8

V.C) Annexe à la conception de l'amplificateur 140 GHz, 1 étage :

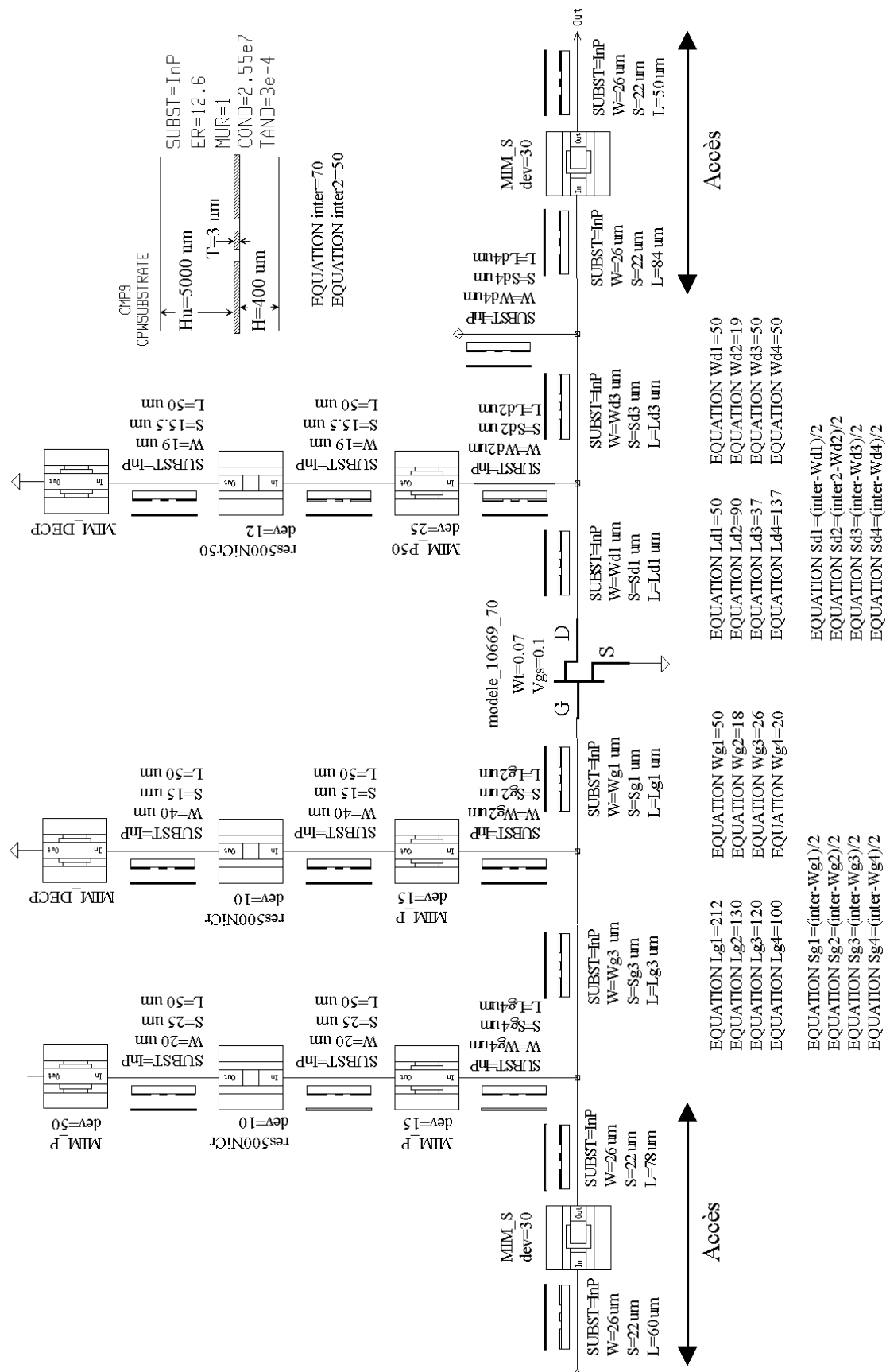


Figure 79 : Schéma détaillé de l'amplificateur 140 GHz

Chapitre II : Conception de Circuits MMICs en bande D et G

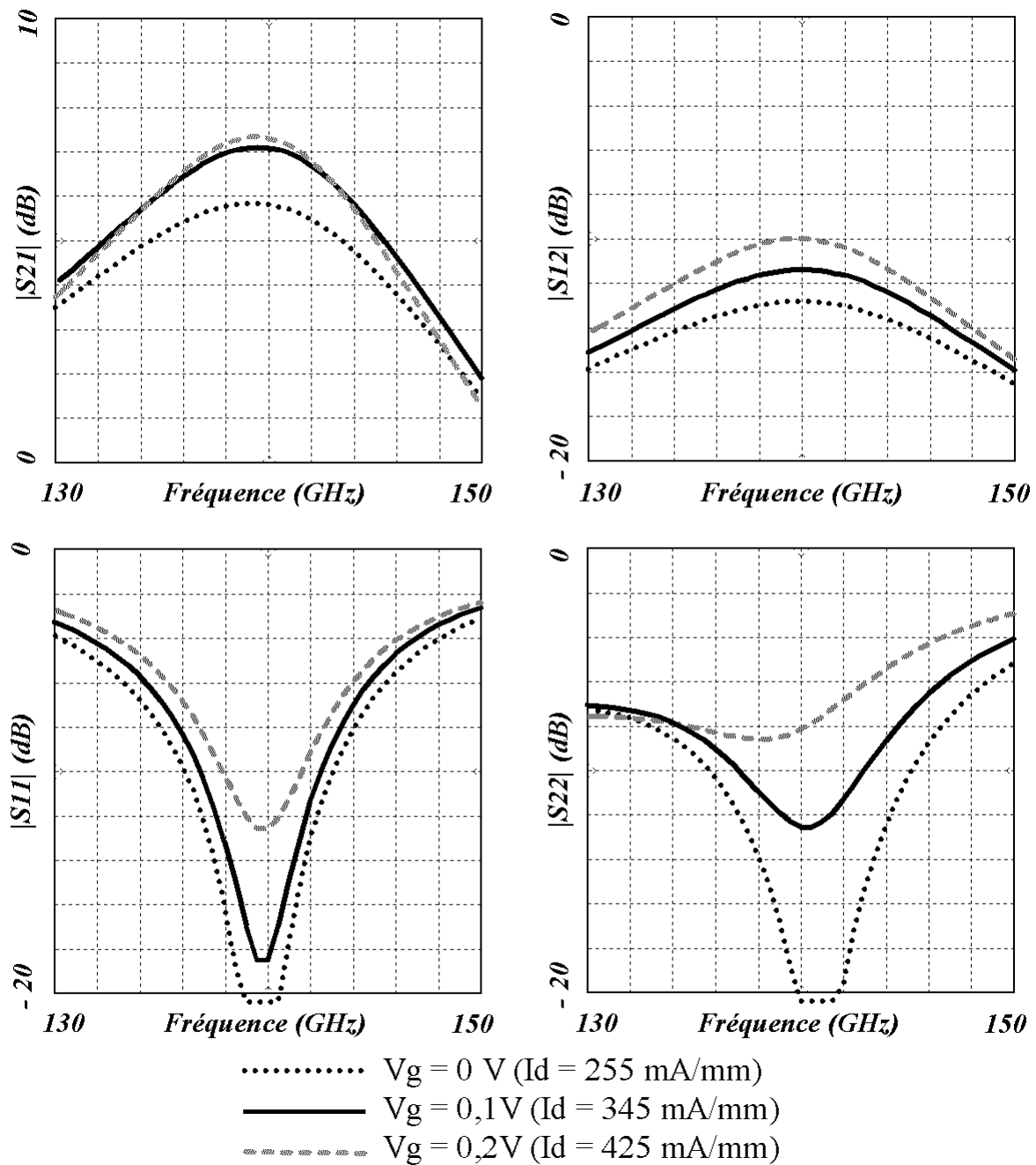


Figure 80 : Simulation en bande étroite (130-150 GHz), de l'amplificateur 140GHz

Chapitre II : Conception de Circuits MMICs en bande D et G

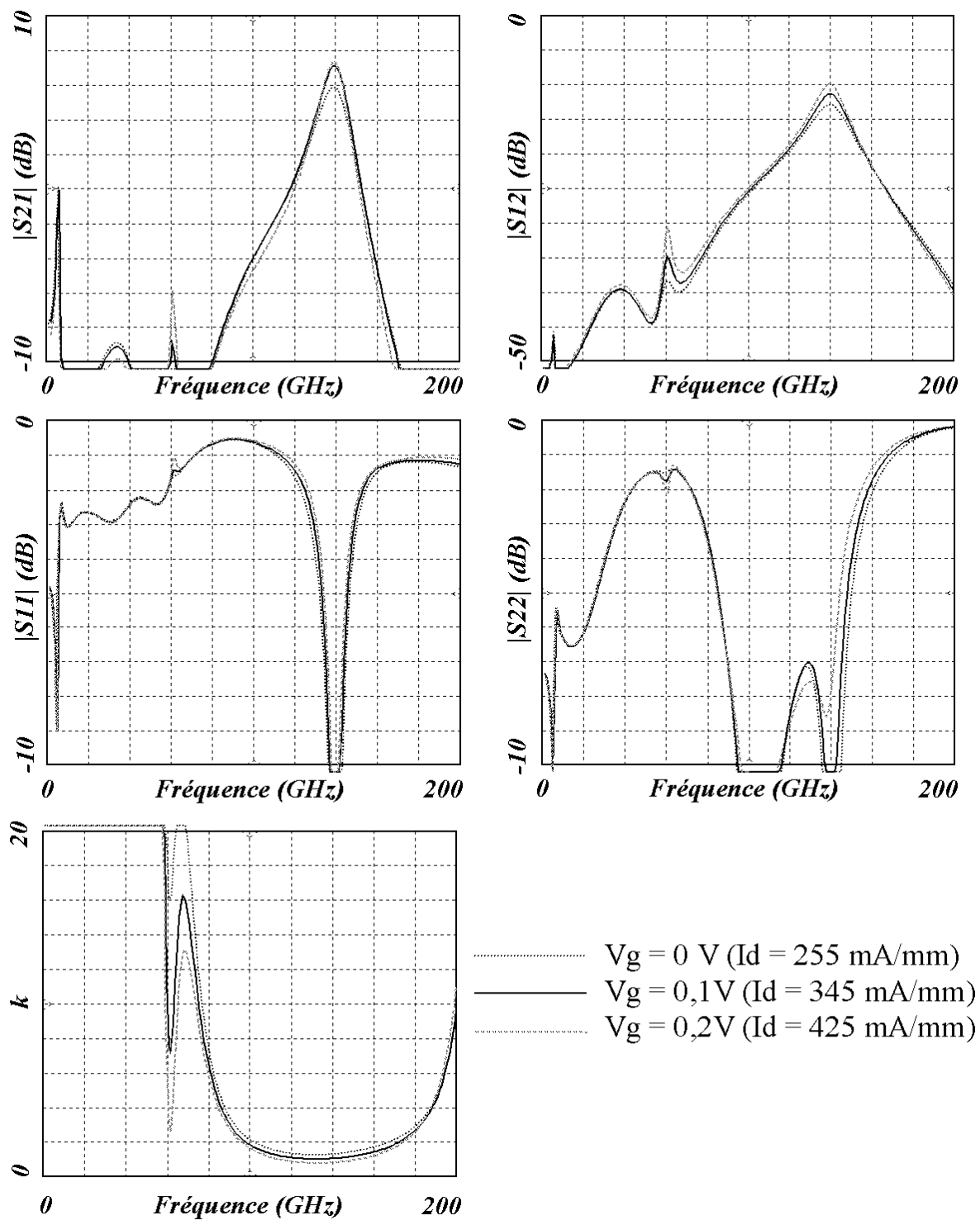


Figure 81 : Simulation large bande (1 - 200 GHz) de l'amplificateur 140GHz

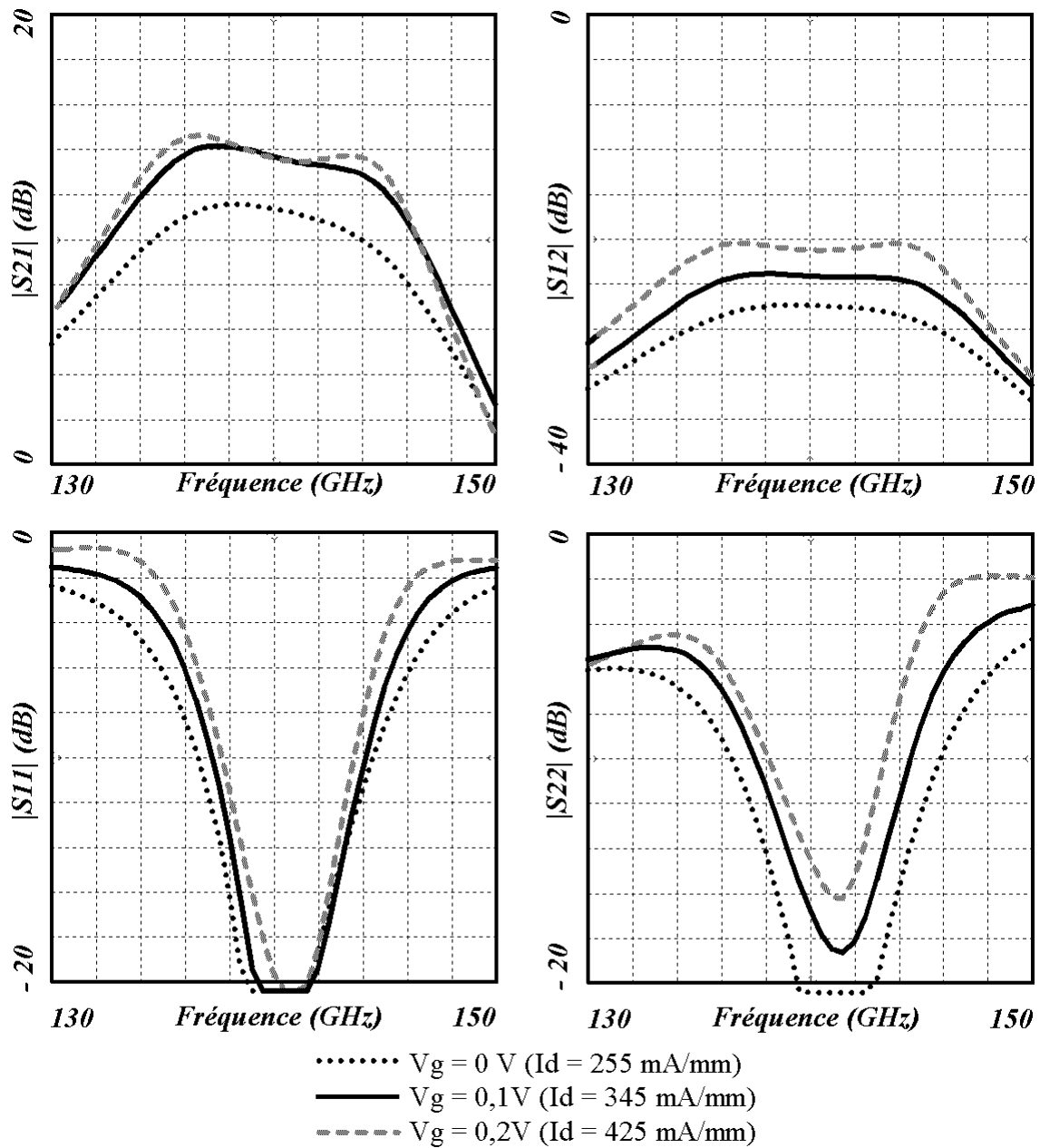
V.D) Simulations détaillées de l'amplificateur 140 GHz, 2 étages :

Figure 82 : Simulation en bande étroite (130-150 GHz),
de l'amplificateur 140GHz, 2 étages

Chapitre II : Conception de Circuits MMICs en bande D et G

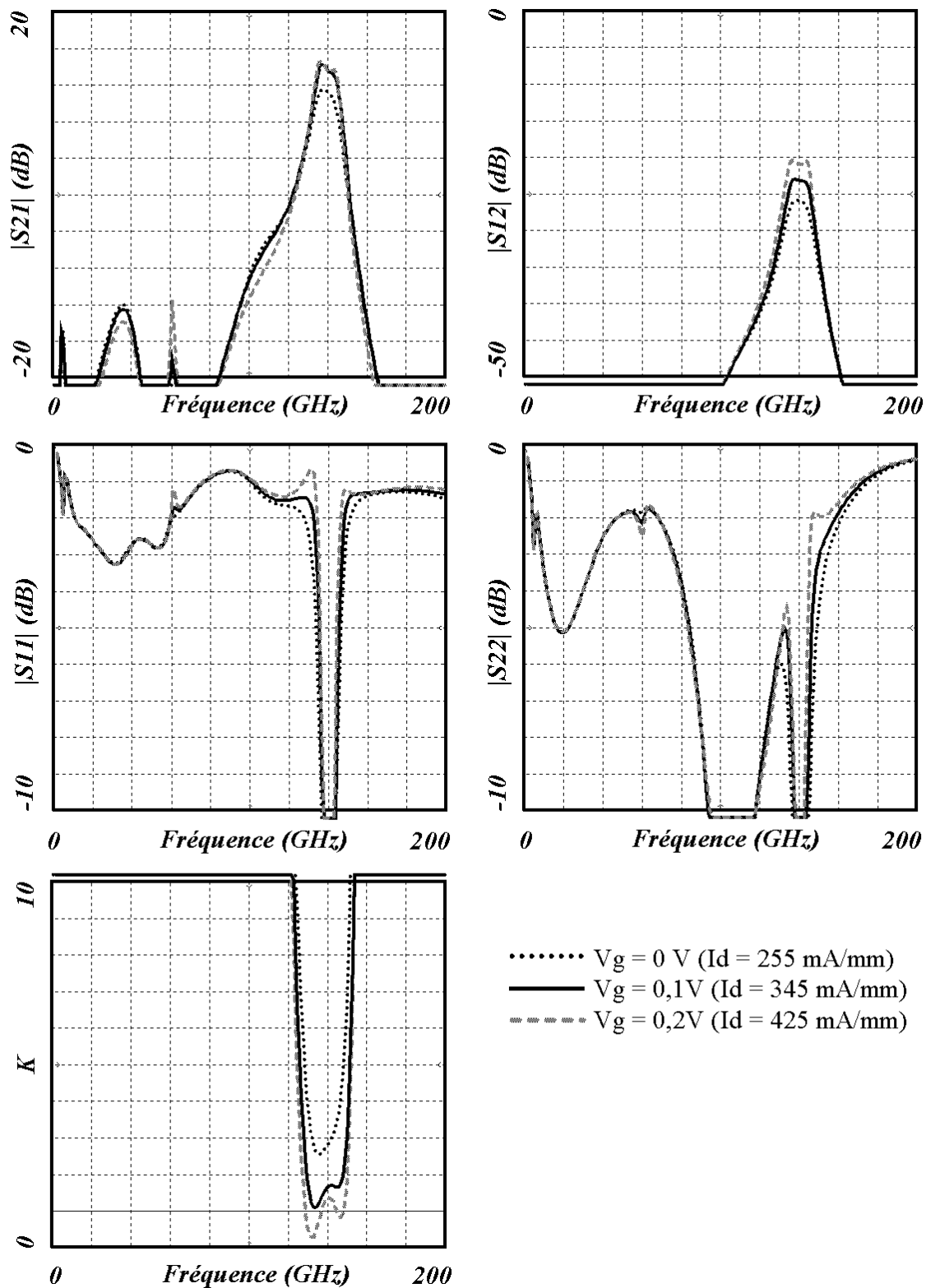


Figure 83 : Simulation large bande (1 - 200 GHz) de l'amplificateur 140GHz, 2 étages

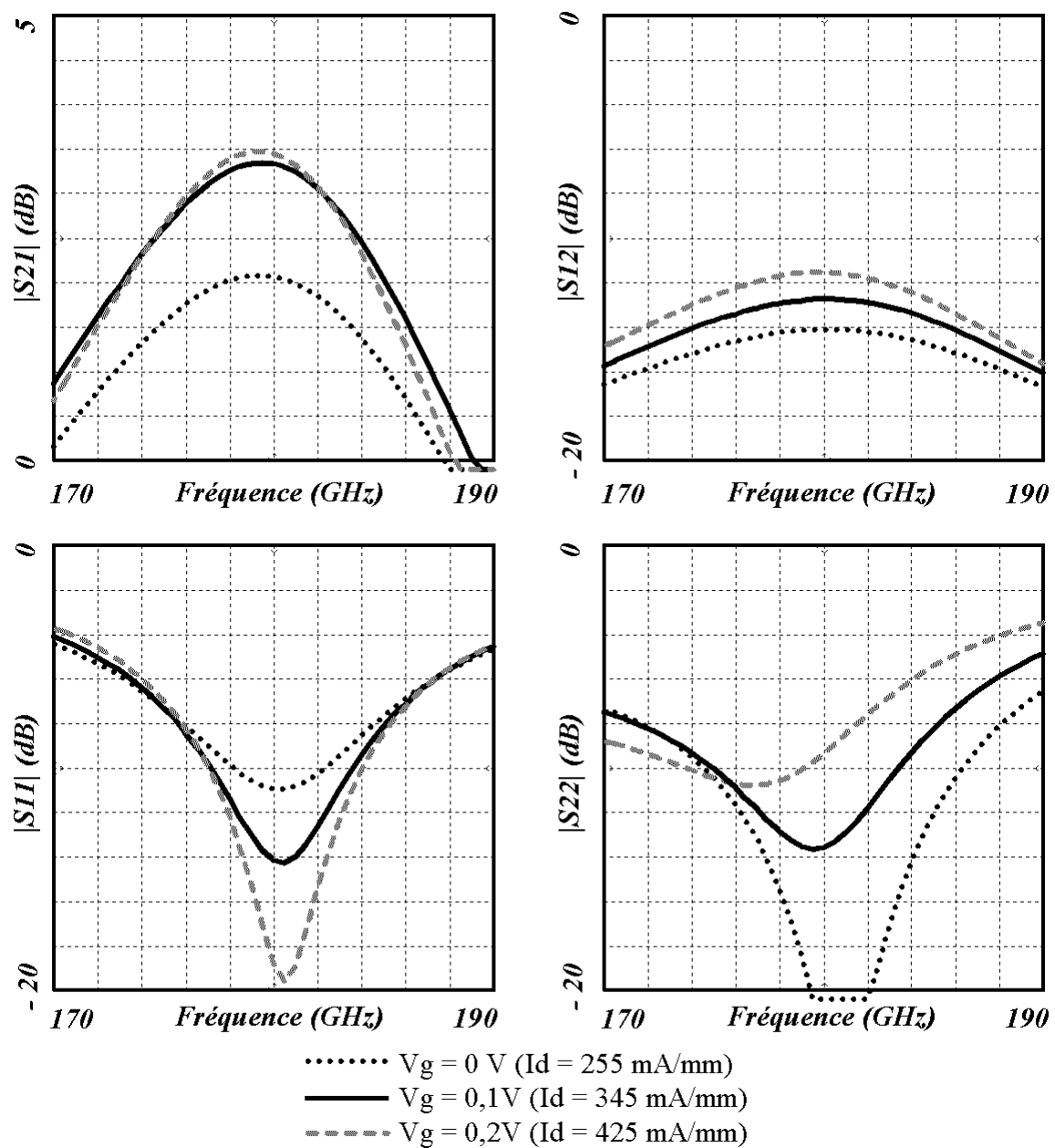
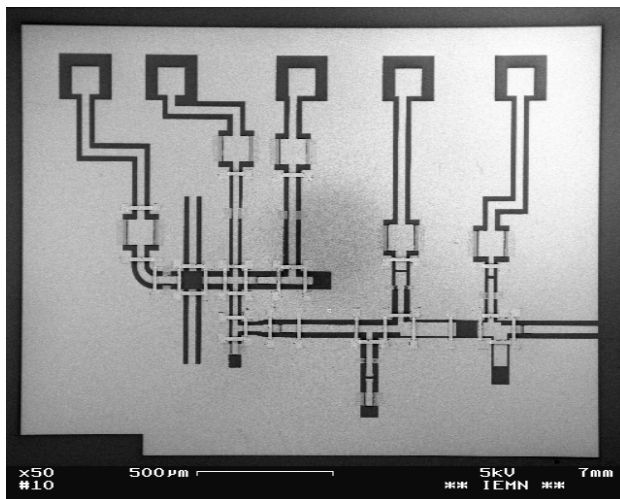
V.E) Simulations détaillées de l'ampli 180, (1 étage) :

Figure 84 : Simulation en bande étroite (170-190 GHz),
de l'amplificateur 180GHz, (1 étage)

CHAPITRE III

Réalisation de MMICs en bandes D et G :

Le masque Ulysse



Chapitre III : Réalisation de MMICs en bandes D et G

Introduction

Après le travail de conception de différents circuits (Amplificateurs, Oscillateurs, VCOs) exposé dans le chapitre 2, nous sommes passés à la phase de réalisation.

Dans la première partie de ce chapitre, nous exposerons le procédé de fabrication des circuits, et en particulier celui des éléments passifs. Puis dans une seconde partie, nous décrirons les principaux points du masque "Ulysse", qui a été dessiné pour ces circuits. Enfin, dans une dernière partie, nous donnerons les premiers résultats concernant une opération incluant uniquement les dispositifs passifs du masque Ulysse.

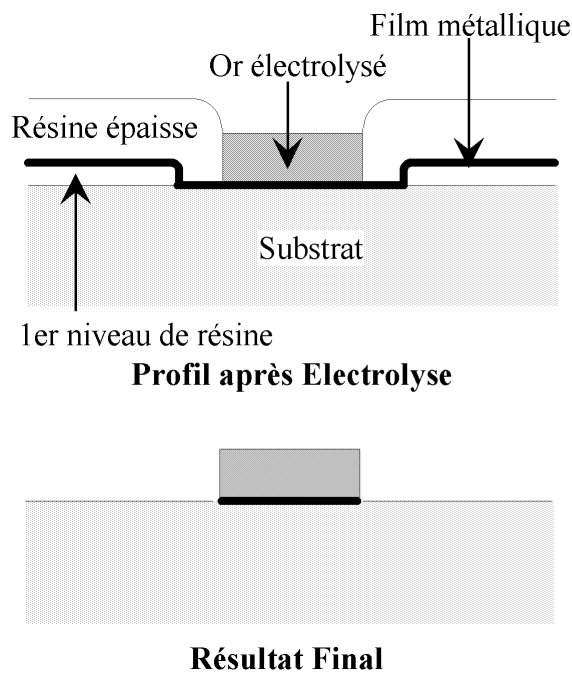
I - Le procédé de fabrication des MMICs en bande D et G

I.A) Procédé de fabrication des éléments passifs

Les éléments passifs employés pour les circuits sont de type coplanaire. Le procédé de fabrication des éléments passifs a été mis au point par S. Boret [1], lors de sa thèse. La réalisation des passifs comprend sept niveaux de masquage pour la réalisation des différents éléments (lignes coplanaires électrolysées, ponts à air, capacités MIM et résistances). Ce procédé a été conçu pour être entièrement compatible avec la technologie des actifs. Dans cette partie, nous décrirons successivement la technologie de chaque élément, et concluons sur la combinaison des différents niveaux passifs.

I.A.1) La ligne Coplanaire

Pour la réalisation des lignes coplanaires en or, nous avons employé la technique du dépôt électrolytique. Ce choix est justifié par le fait que l'on souhaite obtenir des épaisseurs de l'ordre de 3 μm , et que l'évaporation sous vide ou la pulvérisation cathodique ne sont adaptées que pour des épaisseurs inférieures à 1 μm . Ce procédé est décrit sur la Figure 1, il comprend deux niveaux de masquage, le premier pour protéger les dispositifs déjà réalisés, et le second définit les zones à électrolyser. Le recours à deux masques différents, ayant un écart de dimension de quelques micromètres, a été choisi pour éviter l'apparition de bourrelets sur les bords.



Les étapes pour la réalisation des lignes:

- Dépôt du 1er niveau de résine, protégeant les dispositifs
- Dépôt du film métallique, pour l'électrolyse
- Dépôt du 2ième niveau de résine, définissant les motifs (Résine épaisse)
- Electrolyse
- Insolation et révélation de la résine épaisse
- Gravure du film métallique
- Dérésinage du 1er niveau de résine

Figure 1 : Procédé de réalisation des lignes

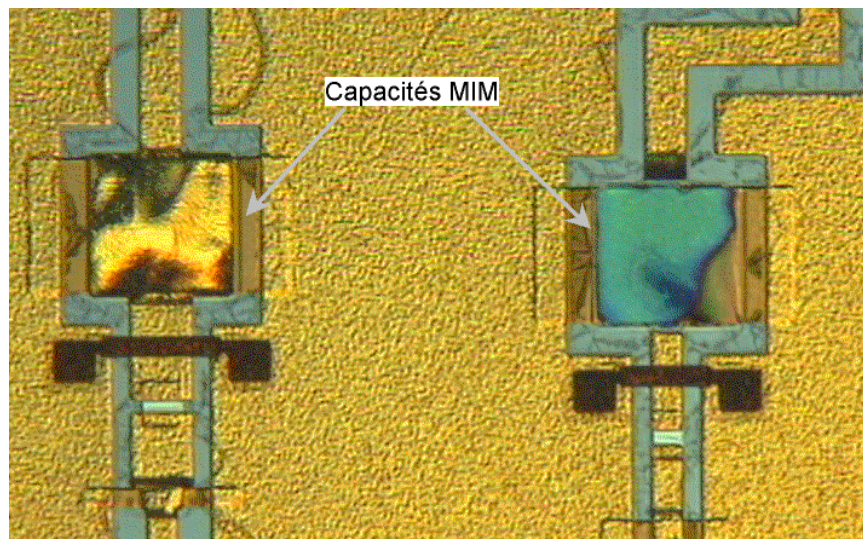
A.1.a) Choix d'un nouveau film d'accrochage

La principale évolution que nous avons apportée au procédé de fabrication développé par S. Boret, a été le choix d'un nouveau film d'accrochage.

Auparavant, le film utilisé était un film de Ni, mais ses inconvénients sont une oxydation très rapide et une gravure par voie humide très délicate, de par une sous gravure très importante (plusieurs μm). De par ce dernier inconvénient, nous nous sommes d'abord orientés vers un film W/Au, pouvant se graver par voie sèche (Plasma $\text{SF}_6:\text{O}_2$). Même si ce film peut convenir dans de nombreux cas, il présente deux inconvénients pour notre procédé :

- La gravure du film W/Au par plasma doit être extrêmement bien contrôlée, sinon nous dégradons la résine du niveau de protection (polymérisation), avec la formation de "peaux" que l'on ne parviendra plus à enlever par la suite, comme sur la Figure 2.
- Le deuxième inconvénient majeur, est un défaut d'adhérence de ce film sur le nitrure des capacités, avec parfois un arrachement de l'électrode supérieure, comme cela est montré sur la Figure 2.

Pour ces raisons, nous avons finalement retenu un film Ti/Au, gravé par voie humide, employé par ailleurs par d'autres groupes au laboratoire. Même si la gravure humide peut sembler être un inconvénient, l'excellent contrôle de la fin d'attaque du film permet de fortement limiter la sous-gravure.

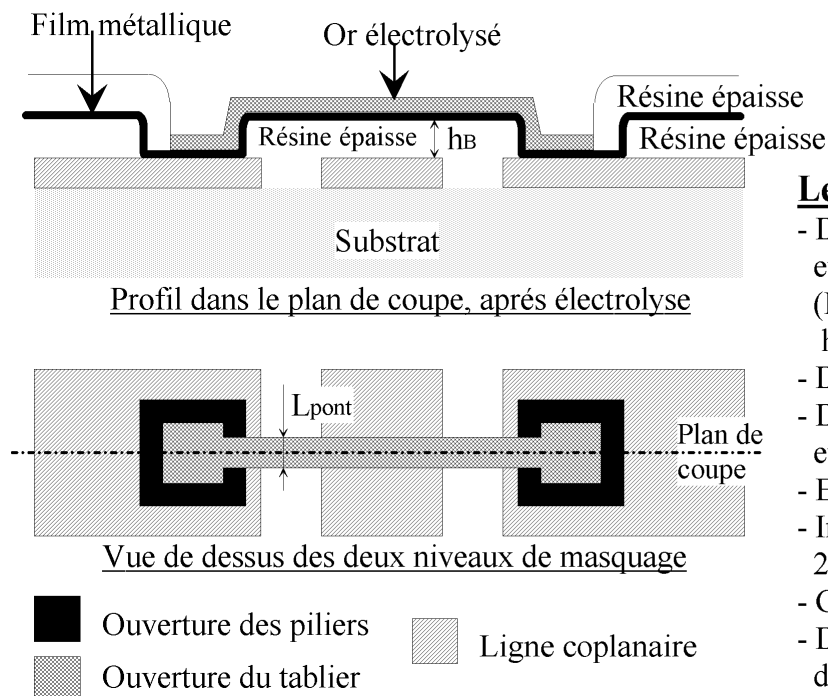


=> Présence de "peaux" de résine dans les fentes des lignes coplanaires
 => Mauvaise adhérence de l'électrode supérieure sur la capacité de gauche,
 et arrachement de l'électrode supérieure sur la capacité de droite

Figure 2 : Problèmes liés à l'emploi d'un film d'accrochage W/Au

I.A.2) Les ponts à air

Les ponts que nous réalisons sont de type « pont intermasse », le procédé de fabrication des ponts à air est décrit sur la Figure 3, et il est similaire à celui des lignes.



Les étapes :

- Dépôt du 1er niveau de résine, et ouverture des piliers (L'épaisseur de résine fixe la hauteur du pont)
- Dépôt du film métallique
- Dépôt du 2e niveau de résine, et ouverture du tablier
- Electrolyse
- Insolation et révélation du 2e niveau de résine
- Gravure du film métallique
- Dérésinage du 1er niveau de résine

Figure 3 : Procédé de réalisation des ponts à air

Les ponts ont une hauteur h_B de 6 μm (hauteur entre le ruban central et le pont, cf Figure 3), et une largeur, L_{pont} de 10 μm .

A titre d'exemple la Figure 4 présente des ponts à air au niveau d'une jonction en T.

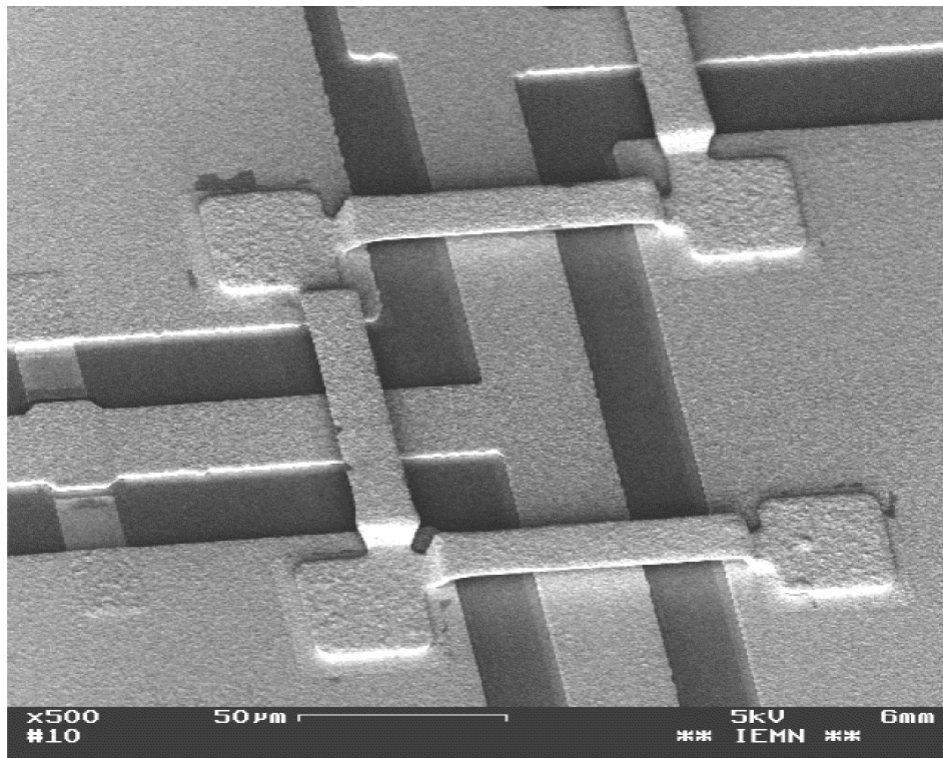


Figure 4 : Photos MEB de ponts à air sur une jonction en T

I.A.3) Les capacités

Les capacités réalisées sont de type MIM, avec comme isolant, 1000 Å de nitrure de Silicium (Si_3N_4). Le procédé de réalisation est le suivant :

- Réalisation de l'électrode inférieure : Réalisation d'une lithographie avec profil "casquette", définissant les électrodes. Dépôt par évaporation sous vide, d'une métallisation Ti/Au (200/2500 Å), Lift-off.
- Dépôt de l'isolant : Dépôt de 1000 Å de Si_3N_4 , par PECVD (Plasma Enhance Chemical Vapor Deposition) à 250° C. Réalisation d'une lithographie pour protéger le nitrure des capacités. Gravure de l'excès de nitrure par gravure ionique réactive (RIE : Reactive Ionic Etching).
- Réalisation de l'électrode supérieure : Etape commune avec la réalisation des lignes coplanaires

La permittivité relative du nitrure de Silicium est d'environ 6,3, ce qui donne une capacité surfacique de 0,56 fF/ μm^2

I.A.4) Les résistances

Le métal utilisé pour réaliser les résistances est du NiCr, dans sa composition eutectique (80% Ni, 20 % Cr). Le procédé consiste en une simple lithographie avec profil casquette, suivi d'un dépôt de NiCr de 500 Å par évaporation sous vide, et lift-off. La résistivité obtenue est alors de 28 $\Omega/\square$.

I.A.5) Synthèse des différents niveaux passifs

La réalisation des différents éléments passifs suit nécessairement un ordre précis, que nous pouvons résumer comme suit :

- Etape 1 : Réalisation des électrodes inférieures des capacités MIM
- Etape 2 : Dépôt (et gravure) du diélectrique (Si_3N_4) des capacités MIM
- Etape 3 : Réalisation des résistances (NiCr)
- Etape 4 : Réalisation des lignes (2 niveaux de lithographie : protection des dispositifs et définition des lignes)
- Etape 5 : Réalisation des ponts à air (2 niveaux de lithographie : ouverture des piliers et ouverture du tablier)

La réalisation des éléments passifs comprendra donc sept niveaux de lithographie, tous optiques.

I.B) Technologie des circuits

Tout l'enjeu d'un circuit MMIC est de combiner la technologie des actifs et des passifs en termes de température, de compatibilité de gravures, etc... Pour cela, nous avons profité de l'expérience acquise avec la réalisation d'amplificateurs à 60 et 94 GHz [2].

La technologie des actifs reste en tout point semblable à celle exposée au chapitre 1, et la technologie des éléments passifs correspond à celle exposée dans la partie précédente. La synthèse de la technologie des actifs et passifs donne douze niveaux de lithographie qui sont présentés dans le Tableau 1. Parmi ces douze niveaux quatre niveaux sont destinés à la réalisation des actifs, sept niveaux pour la réalisation des passifs, et un niveau commun sert à la définition des marques d'alignement.

La réalisation d'un circuit comportera dix "grandes" étapes dont l'ordre de réalisation est indiqué dans le Tableau 1. Cependant cet ordre n'est pas strict et certaines étapes peuvent être permutées. Le procédé détaillé de fabrication est rapporté dans l'annexe VI.A), page 259.

Chapitre III : Réalisation de MMICs en bandes D et G

Tableau 1 : Les niveaux de lithographie du masque "ULYSSE" et l'ordre de réalisation des différentes étapes

Niveau	Passifs/ Actifs	Etape	Ordre de réalisation	Type de masque	Résine	Description de l'étape
0	<i>"Découpage du masque"</i>					
1	P et A	Marques d'alignement	1	Electronique	COPO/ PMMA	Métallisation Ti/Au.
2	A	Mésa	2	Optique, Négatif	AZ1518	Gravure chimique
3	A	Contacts Ohmiques	3	Electronique	COPO/ PMMA	Métallisation Ni/Ge/Au/Ni/Au
4	<i>Vide</i>					
5	<i>Vide</i>					
6	A	Epaississement transistor	7	Optique, Positif	AZ1518	Métallisation Ti/Au
7	<i>Vide</i>					
8	P	Electrode inf. capacité	4	Optique, Positif	AZ1518	Métallisation Ti/Au
9	P	Nitru de capacité	5	Optique, Négatif	AZ1518	Dépôt Si ₃ N ₄ , puis gravure RIE
10	P	Résistance	8	Optique, Positif	AZ1518	Métallisation NiCr
11	P	Ligne : protection des dispositifs	9a	Optique, Positif	AZ5214	Métallisation Ti/Au
12	P	Ligne : définition des lignes	9b	Optique, Positif	AZ4562	Electrolyse Au
13	P	Pont à air : ouverture piliers	10a	Optique, Positif	AZ4562	Métallisation Ti/Au
14	P	Pont à air : ouverture tabliers	10b	Optique, Positif	AZ4562	Electrolyse Au
20	A	Grille : accès	6	Electronique	PMMA/ COPO	GRILLE : Recess, métallisation Ti/Pt/Au (équivalent à un SEUL niveau de lithographie)
21	A	Grille : pied				
22	A	Grille : latéraux 1 (espaceur)				
23	A	Grille : latéraux 2				
24	A	Grille : latéraux 3 (framing)				

II -

Le masque Ulysse

II.A) Les différents champs

Le masque Ulysse comprend les différents circuits simulés dans le chapitre 2, ainsi que des champs de test et d'étalonnage. La Figure 5 montre le dessin de ce masque, la cartographie des différents circuits dessinés est rapportée sur la Figure 6.

Ce masque comprend 12 circuits et la taille totale du réticule est de $7000 \times 7200 \mu\text{m}^2$.

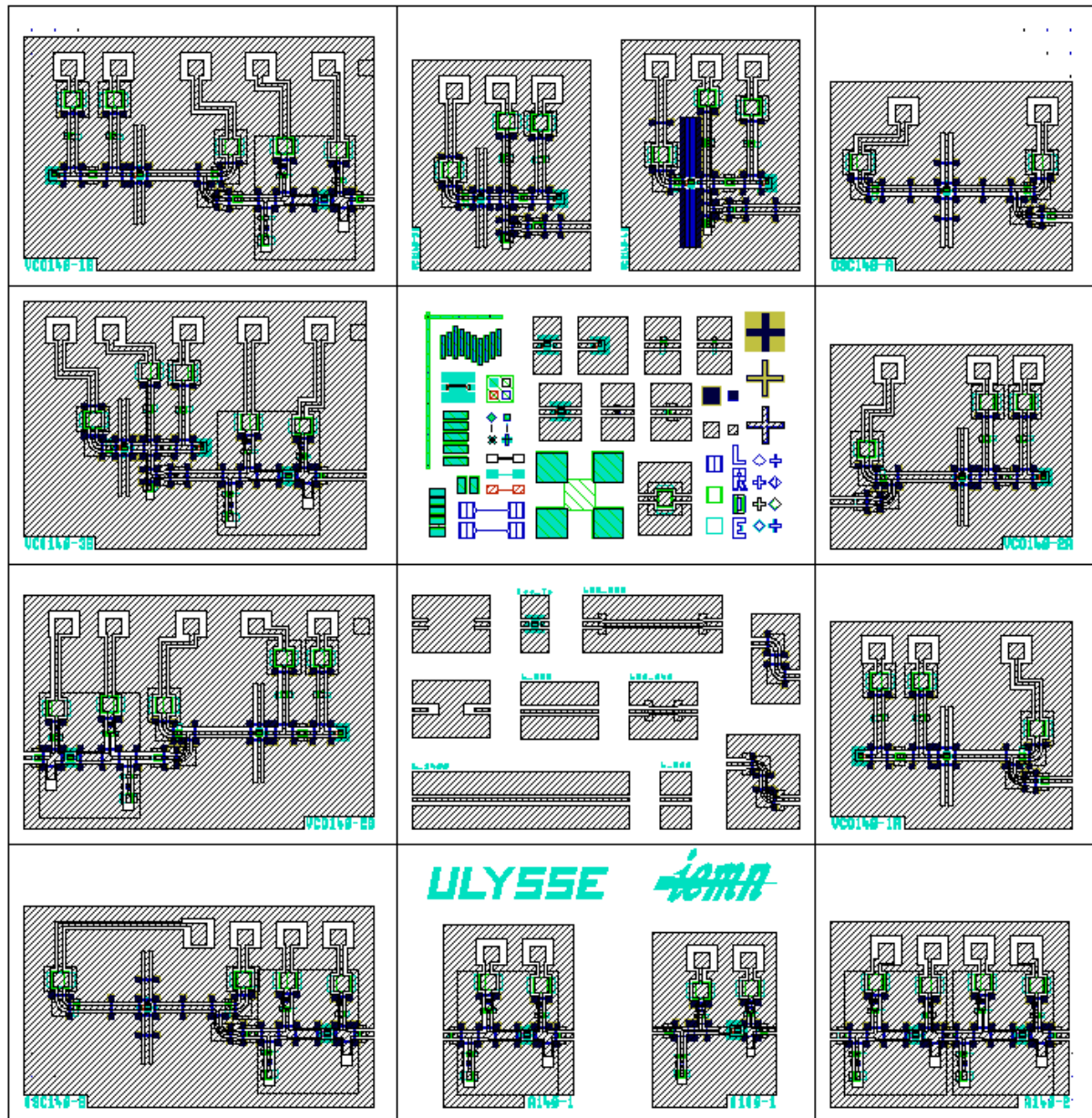


Figure 5 : Le masque "Ulysse"

Chapitre III : Réalisation de MMICs en bandes D et G

VCO140-1B : VCO avec varactor sur la grille et charge sur le drain + Ampli buffer (2,25x1,5 mm ²)	VCO140-3A : VCO avec varactor et charge sur le drain (1,15x1,35 mm ²)	VCO140-4A : VCO avec varactor et charge sur le drain + lignes de sources blindées (1,15x1,48 mm ²)	OSC140-A : Oscillateur à 140 GHz (1,55x1,21 mm ²)
VCO140-3B : VCO avec varactor et charge sur le drain + Ampli buffer (2,2x1,6 mm ²)	Champ "test"		VCO140-2A : VCO avec varactor sur le drain et charge sur la grille (1,55x1,32 mm ²)
VCO140-2B : VCO avec varactor sur le drain et charge sur la grille + Ampli buffer (2,25x1,5 mm ²)	Champ "étalonnage"		VCO140-1A : VCO avec varactor sur la grille et charge sur le drain (1,55x1,33 mm ²)
OSC140-B : Oscillateur à 140 GHz + Ampli buffer (2,25x1,3 mm ²)	A140-1 : Amplificateur un étage, à 140 GHz (0,835x1,18 mm ²)	A180-1 : Amplificateur un étage, à 180 GHz (0,8x1,13 mm ²)	A140-2 : Amplificateur deux étages, à 140 GHz (1,53x1,2 mm ²)

Figure 6 : Cartographie des différents circuits dessinés dans le masque "Ulysse"

II.B) Dessin du masque – Ponts particuliers

Le dessin de ce masque a été réalisé sous le logiciel WaveMaker. Pour le dessin des niveaux passifs, nous avons suivi les règles définies par S. Boret [1]. En ce qui concerne les actifs (transistor et varactor), nous avons repris les motifs du masque 4AS, dessiné par V. HOËL [3].

Entre les schémas électriques de simulation et la réalisation des masques il faut intégrer différents aspects au dessin des masques, nous pouvons citer par exemple :

- La connaissance des plans de référence des différents éléments passifs et actifs
- Plans de référence au niveau des jonctions en T et en croix (chapitre II, § I.C.2)
- Corrections de longueurs sur les stubs CC ou CO (chapitre II, § I.C.1)
- Le positionnement des plots pour les aiguilles de polarisation DC (cf annexe VI.B))

II.C) Les champs de test et d'étalonnage**II.C.1) Le champ "test"**

Sur la Figure 7, nous avons rapporté le champ "test", celui-ci inclut :

- Des motifs d'alignement pour les niveaux de lithographie optique

Chapitre III : Réalisation de MMICs en bandes D et G

- Des motifs pour la mesure de la résistivité des différents métaux déposés
- Une échelle TLM ($W=100\text{ }\mu\text{m}$, espaces : 5, 10, 15 et 20 μm)
- Un motif pour la mesure de la résistance de grille, en continu et en hyperfréquence.
- Deux transistors de développement 70 μm (2×35), identiques à ceux utilisés dans les différents circuits, l'un avec des accès de 100 μm , l'autre avec des accès de 200 μm .
- Une diode Varactor (développement $2\times 25\text{ }\mu\text{m}$, identique aux Varactors des VCOs)
- Des capacités parallèles de longueur 15 et 30 μm (~ 210 et 420 fF)
- Une capacité série de longueur 43 μm (600 fF)
- Une résistance de 10 μm ($\sim 13\text{ }\Omega$)
- Une capacité de découplage ($\sim 6\text{ pF}$)

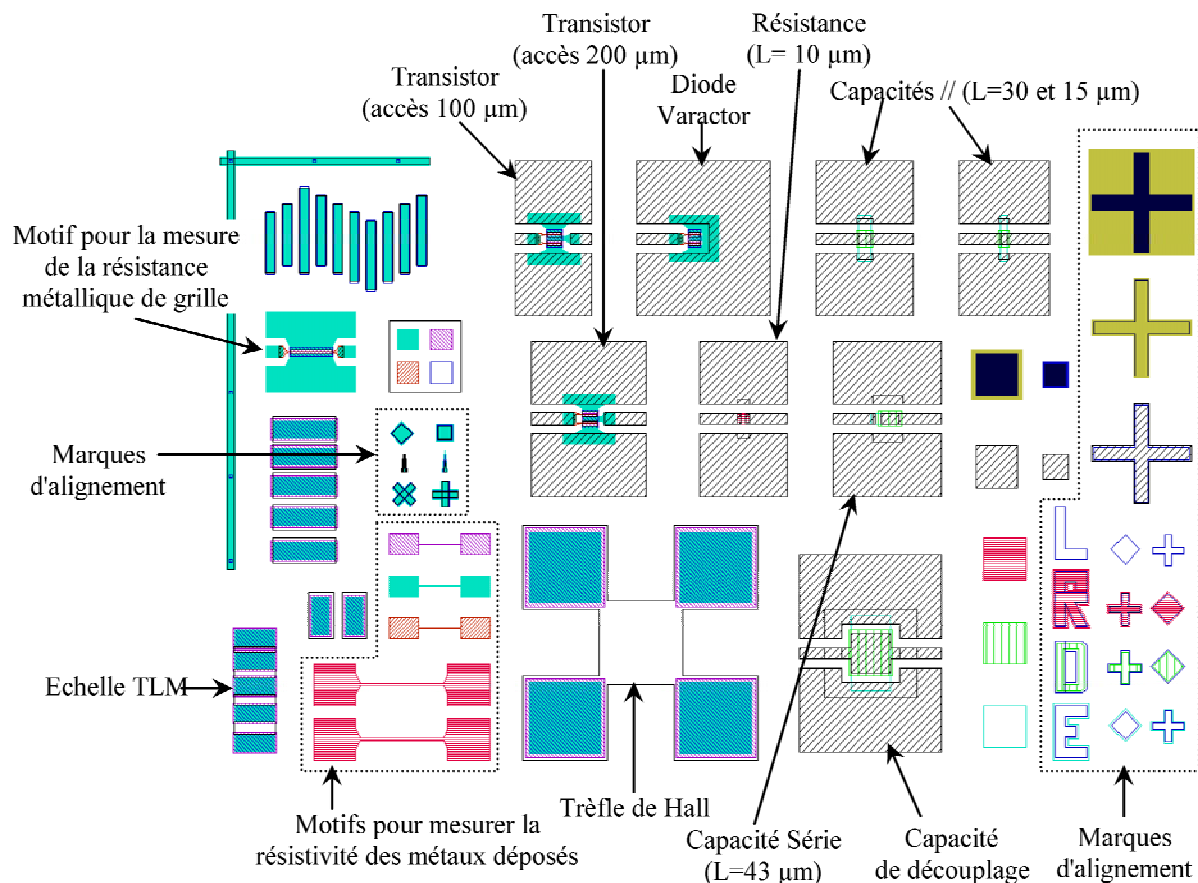


Figure 7 : Cartographie du champ "test" dans le masque "Ulysse"

II.C.2) Le champ "étalonnage"

Nous avons dessiné sur la Figure 8, le champ "étalonnage", ce champ inclut des motifs pour un étalonnage TRL, mais aussi quelques autres éléments de test.

Chapitre III : Réalisation de MMICs en bandes D et G

Un des avantages de l'étalonnage TRL est de permettre une mesure dans les plans d'entrée d'un composant, à la différence d'autres méthodes où la mesure est obtenue dans le plan des pointes.

Pour réaliser ce type d'étalonnage, les motifs nécessaires sont :

- Une connexion directe ("thru"), qui est une ligne $50\ \Omega$ correspondant à deux fois la longueur des lignes d'accès
- Une ligne de transmission dont la longueur (hors lignes d'accès) doit si possible correspondre à un déphasage de 90° au milieu de la bande de mesure. Pour un étalonnage précis, il faudra aussi que le déphasage de la ligne de transmission soit compris entre 18° et 162° sur toute la bande de mesure.
- Deux charges réfléchives identiques pour chaque port, avec lignes d'accès. Généralement les charges utilisées seront un court-circuit ou un circuit-ouvert

Dans notre cas, les lignes d'accès ont une longueur de $100\ \mu\text{m}$ (distance intermasse de $70\ \mu\text{m}$). Nous avons inclus une ligne de longueur $1,2\ \text{mm}$ ($1,4\ \text{mm}$ au total), pour un étalonnage dans la bande 5-45 GHz et une ligne de longueur $300\ \mu\text{m}$ ($500\ \mu\text{m}$ au total), pour la bande 50-140 GHz.

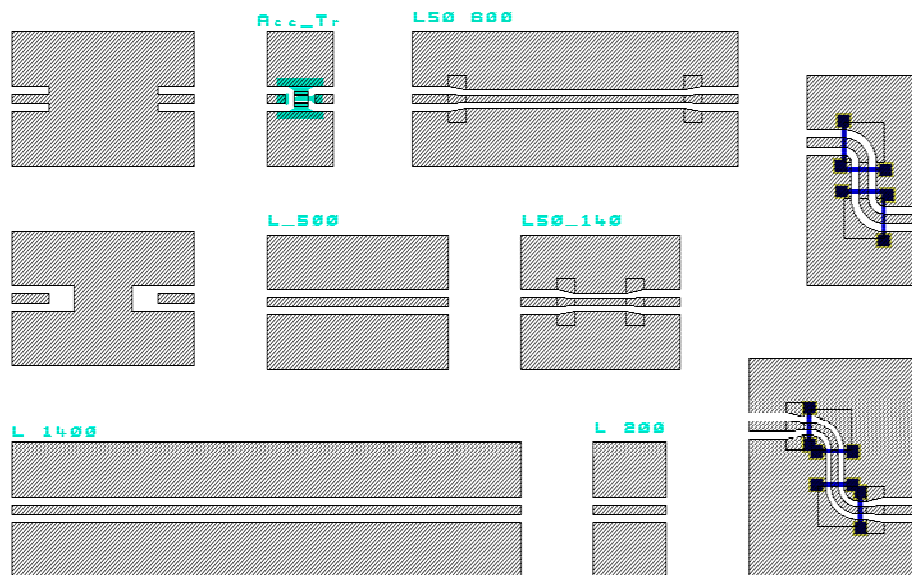


Figure 8 : Le champ "étalonnage" du masque "Ulysse"

Les motifs de test que nous avons aussi inclus au champ "étalonnage" sont :

Chapitre III : Réalisation de MMICs en bandes D et G

1°) Un motif noté "Acc_Tr" (Accès Transistor), qui est un transistor "fantôme", c'est à dire un transistor avec seulement des métallisations de contacts ohmiques et des plots d'épaississement (pas de zone active, ni de grille). Le but est de mesurer la capacité de couplage "extrinsèque" entre grille et drain, les capacités Cpg et Cpd (partie due aux plots de métallisation), et connaître la longueur électrique des accès.

2°) Deux lignes 50 Ω , avec une distance intermasse de 50 μm et des longueurs de 600 et 140 μm ("L50_600" et "L50_140"). A ces lignes, nous avons ajouté :

- des accès identiques à ceux de l'étalonnage TRL (ligne 50 Ω , de longueur 100 μm , avec une distance intermasse de 70 μm)
- des transitions progressives entre la ligne de distance intermasse 70 μm et celle de distance intermasse 50 μm (longueur 50 μm)

=> Par combinaison entre ces deux lignes, nous devrions remonter aux caractéristiques de la ligne d'intermasse 50 μm , et aux caractéristiques des transitions.

3°) Des motifs pour mesurer les caractéristiques des "coudes 90°" en lignes coplanaires. Nous avons réalisés deux motifs, pour chaque type de "coudes" (intermasse de 50 et 70 μm), chaque motif comprend les éléments suivants :

- Motif 1 ("coude intermasse 70 μm ") : "Accès" (ligne 50 Ω , longueur 100 μm , intermasse 70 μm) + "Coude 90°" (rayon intérieur 20 μm , intermasse 70 μm , rayon extérieur 90 μm) + Ligne de 100 μm + "Coude 90°" + "Accès"
- Motif 2 ("coude intermasse 50 μm ") : "Accès" + "transition" (transition progressive de l'intermasse de 70 à 50 μm , longueur 50 μm) + ligne de 20 μm (ligne 50 Ω , intermasse 50 μm) + "Coude 90°" (rayon intérieur 40 μm , intermasse 50 μm) + ligne de 100 μm + "Coude 90°" + ligne de 20 μm + "transition" + "Accès".

Chapitre III : Réalisation de MMICs en bandes D et G

III - Réalisation et Caractérisation des dispositifs passifs du masque

"Ulysse"

III.A) Introduction

Avant de la réalisation d'un circuit complet, nous avons souhaité réaliser une opération comprenant uniquement les dispositifs passifs du masque "Ulysse". Le but étant de valider les différents réseaux d'adaptation.

Dans ce paragraphe, après une présentation rapide des différents bancs de mesure utilisés, nous présenterons les résultats des mesures hyperfréquences, sur des dispositifs test et des réseaux d'adaptation, dans les bandes 0,5-50 GHz, W (75-110 GHz) et G (140-220 GHz). Par manque de temps, nous n'avons pu réaliser de mesures dans la bande V (50-75 GHz).

A titre d'exemple de réalisations obtenues, sur la Figure 9, nous avons présenté les photographies des parties passives d'un amplificateur 140 GHz deux étages, et d'un VCO 140 GHz (VCO3A).

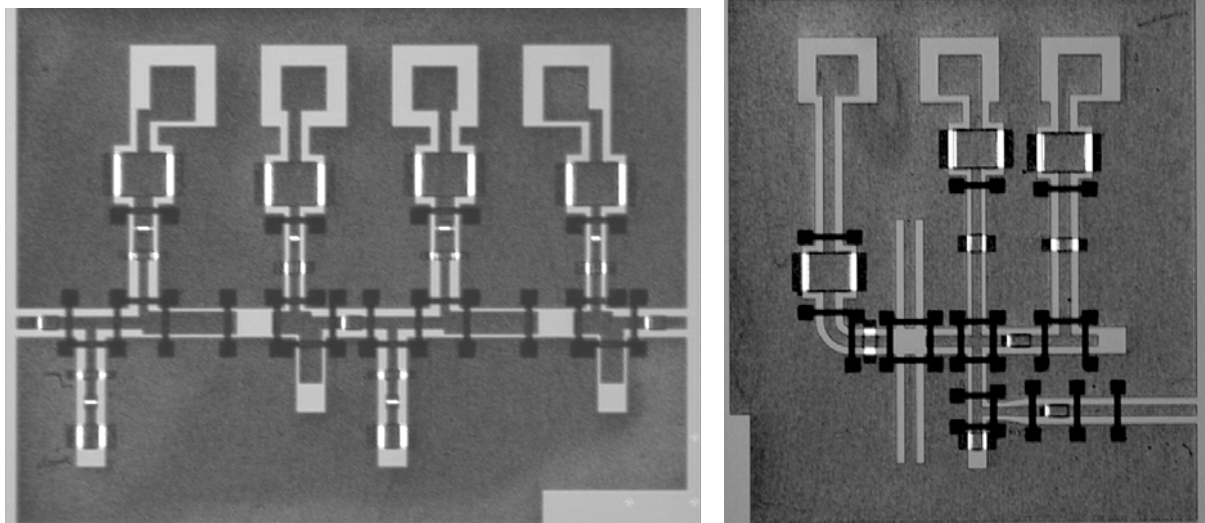


Figure 9 : Parties passives : de l'amplificateur 140 GHz, deux étages à gauche, et d'un VCO 140 GHz à droite. (! échelles différentes entre les circuits)

III.B) Les systèmes de mesure hyperfréquences

Le laboratoire dispose au sein de la centrale de caractérisation de différents analyseurs de réseaux vectoriels permettant la mesure de paramètres S jusque 220 GHz, avec :

- Un analyseur Hewlett Packard 8510B, couvrant la bande 50MHz-50GHz
- Un second HP 8510B couvrant les bandes V (50-75 GHz) et W (75-110 GHz).

Chapitre III : Réalisation de MMICs en bandes D et G

- Et un banc de mesure 140-220 GHz combinant un Analyseur de Réseaux Vectoriels Anritsu et des extensions de port 140-220 GHz fabriquées par Oleson

Le banc de mesure 140-220 GHz, qui est photographié sur la Figure 10, a été acquis récemment et constitue un équipement de pointe, unique en France.

Toutes les mesures sont réalisées sous pointes avec des sondes hyperfréquences de type coaxiale et guide distribuées par Picoprobe. Elles possèdent trois contacts de type coplanaire (Masse-Signal-Masse) dont l'écartement inter-électrodes est de 125 μm jusque 110 GHz, et de 50 μm pour le système 140-220 GHz.

Les mesures présentées dans cette partie ont été réalisées, sauf indication contraire, avec une méthode d'étalonnage LRM (Ligne, charge réflective (CC ou CO), charge adaptée (50 Ω)). Ce choix est justifié par le fait que l'on souhaite comparer les mesures aux modèles, jusque 220 GHz. Malheureusement, les standards d'étalonnage TRL, réalisés avec les circuits ne sont valides que jusque 140 GHz. En effet, les standards d'étalonnage TRL utilisent des lignes de distance intermasse 70 μm , dont la validité du mode TEM est limitée à environ 140 GHz.

Les mesures de paramètres S dans la bande 140-220 GHz, ne sont évidemment pas une manipulation aisée, surtout que l'expérience de ce type de mesures est encore assez limitée. Mais nous pouvons souligner la difficulté à obtenir des contacts de bonnes qualités et reproductibles, ce point entraîne de nombreuses difficultés à obtenir un étalonnage correct, ainsi que des mesures de bonne qualité. A ce titre, je tiens à remercier S. Lepilliet, pour son dévouement, lors des nombreuses campagnes de mesures.

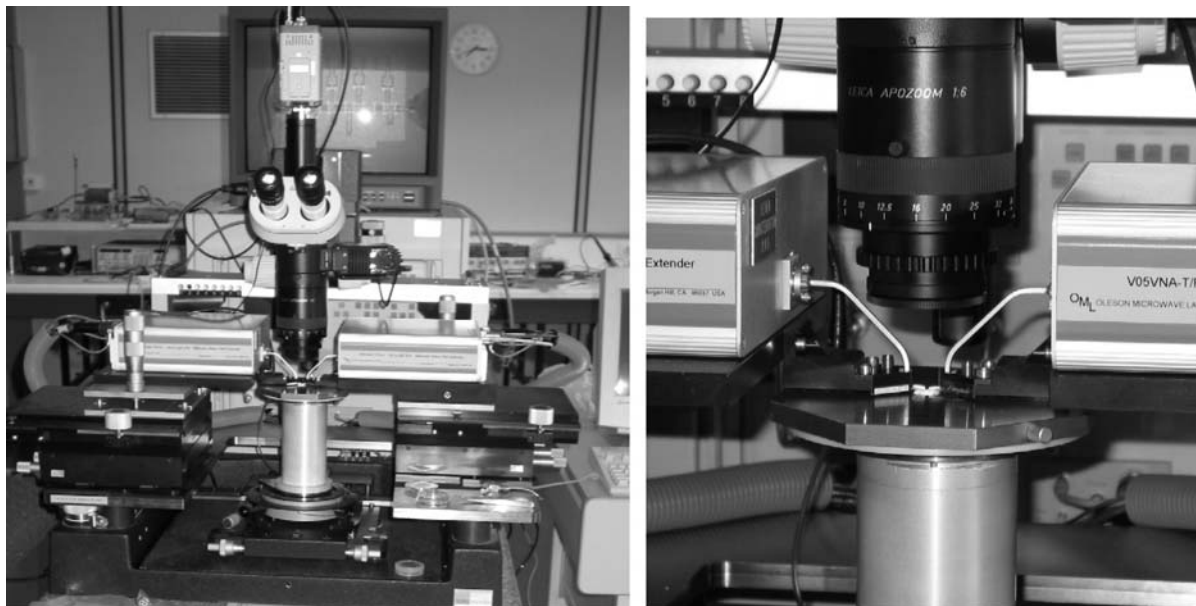


Figure 10 : Le banc de mesure 140–220 GHz

III.C) Caractérisation des dispositifs test

Dans cette partie, nous avons comparé les mesures et les simulations, des principaux dispositifs du champ test (cf § II.C)). L'objectif sera de vérifier la validité des modèles des dispositifs passifs, et de les corriger, si nécessaire.

III.C.1) Les lignes

Sur la Figure 11, nous avons tracé les mesures et la simulation du paramètre de transmission S_{21} , d'une ligne $50\ \Omega$, de longueur 1,4 mm, et ayant une distance intermasse de $70\ \mu\text{m}$. Nous pouvons relever l'excellente concordance sur la phase de S_{21} , et le faible niveau des pertes jusque 160 GHz.

Cependant l'accroissement rapide des pertes au delà de 160 GHz, peut simplement s'expliquer par l'apparition de modes parasites. En effet, la limite de validité du modèle quasi-TEM de la ligne, est théoriquement de 120 GHz, pour une ligne de distance intermasse $70\ \mu\text{m}$ (cf chap. II, §I.B.1).

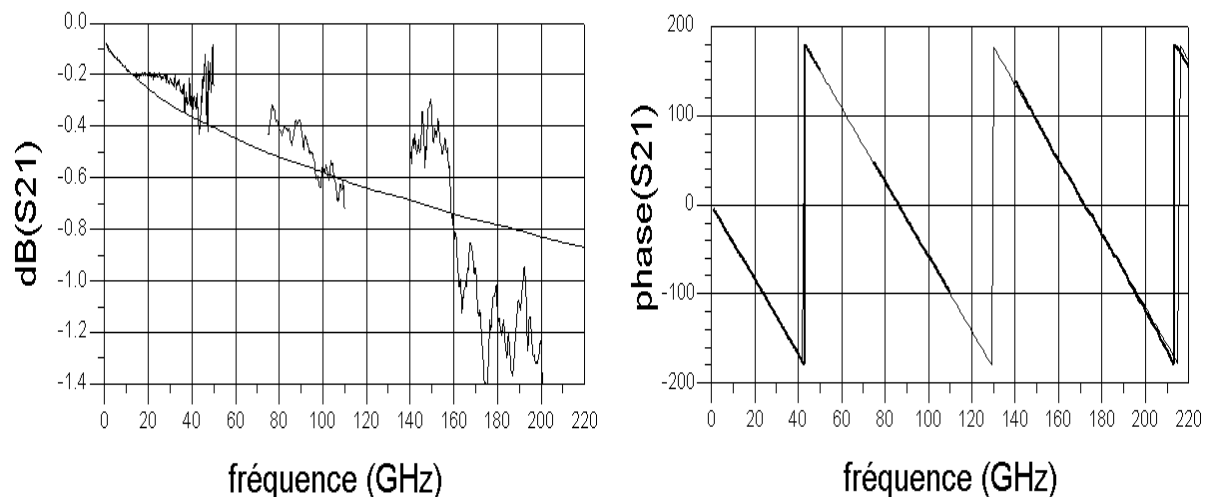


Figure 11 : Mesures et Simulations du paramètre de transmission S_{21} , d'une ligne $50\ \Omega$, de longueur 1,4 mm (distance intermasse de $70\ \mu\text{m}$)

Remarque : Le coefficient réflexion des lignes n'est pas présenté, mais il est toujours inférieur à $-20\ \text{dB}$, jusque 200 GHz.

III.C.2) Les capacités

Remarque préliminaire: La valeur de la capacité surfacique mesurée est très proche de celle attendue, avec un écart inférieur à 3%.

C.2.a) La capacité série

Sur la Figure 12, nous avons comparé jusqu'à 220 GHz, les paramètres S mesurés et simulés de la capacité série du champ test (développement 43 μm , distance intermasse 70 μm). Nous pouvons relever la bonne concordance entre les mesures et la simulation jusqu'à 160 GHz.

Au delà de 160 GHz, nous observons, comme pour la ligne, une augmentation rapide des pertes de transmission, probablement aussi liée à l'apparition de modes parasites (limite de validité identique à la ligne).

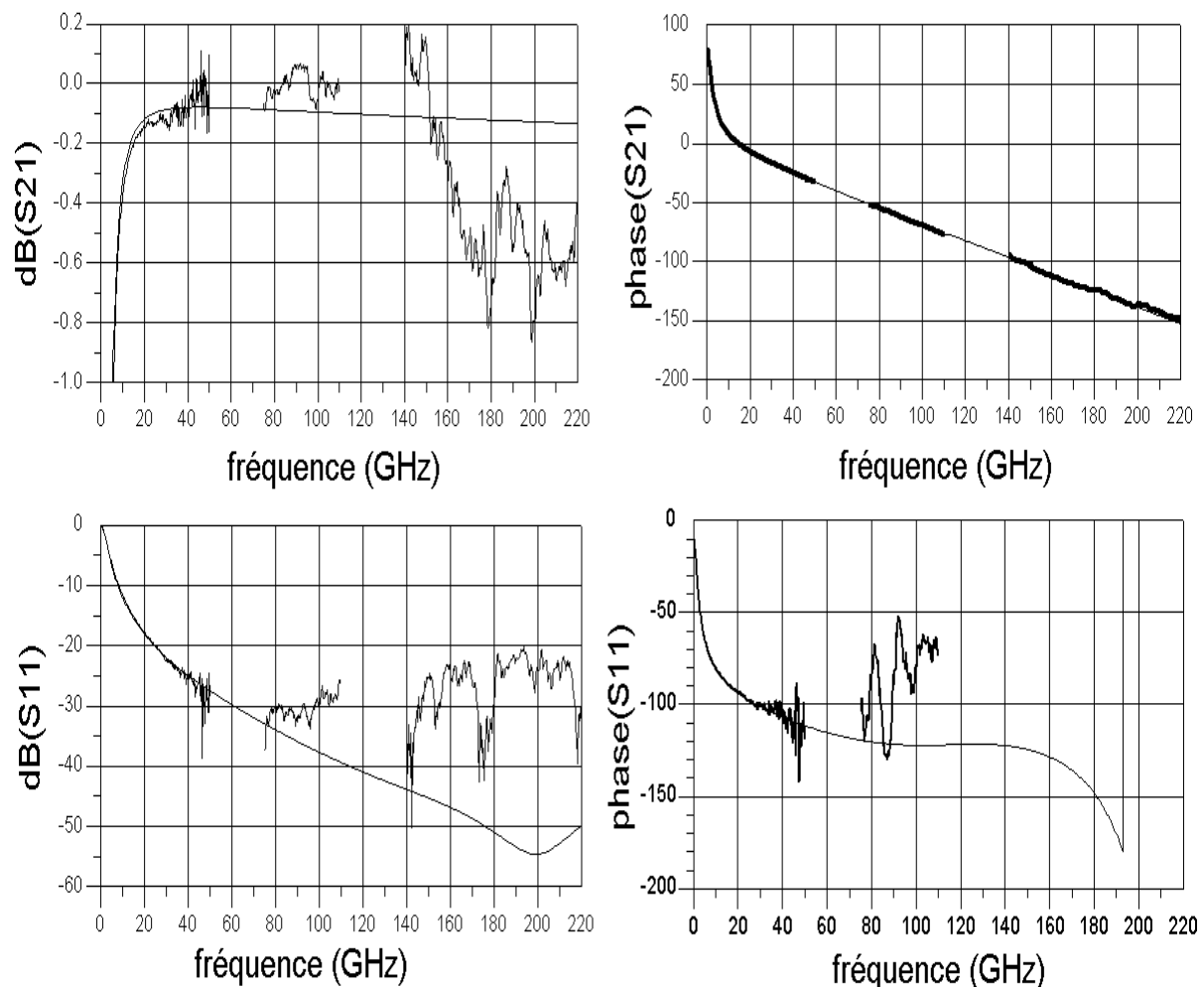


Figure 12 : Mesures et Simulations de la capacité série du "champ test" (développement de 43 μm , $C \sim 600$ fF)

C.2.b) Les capacités parallèles

Sur la Figure 13 et la Figure 14, nous avons respectivement reporté les mesures et les simulations, des capacités parallèles de développement 15 et 30 μm , présentes dans le champ "test". Nous pouvons observer une divergence non négligeable sur le paramètre S_{21} , entre les mesures et le modèle exposé au chapitre II, § I.D.2 (modèle "initial").

Chapitre III : Réalisation de MMICs en bandes D et G

Pour résoudre ce problème, nous avons ajouté au modèle distribué, développé par S. Boret, une inductance " L_p ", et une résistance " R_p ", comme cela est indiqué sur la Figure 15. L'origine physique de ces deux éléments peut simplement s'expliquer, comme pour une ligne terminée en court-circuit, par le parcours que le courant réalise pour retourner du conducteur central aux plans de masse (cf Figure 15).

Les valeurs de ces éléments " R_p " et " L_p " ont été ajustées pour extrapoler au mieux les mesures. Le Tableau 2 reprend les valeurs des deux modèles de capacités ("initial" et "corrigé"). Des simulations avec ce nouveau modèle de capacité, sont aussi indiquées sur les figures 13 et 14, sous la dénomination de "modèle corrigé".

Ce **modèle "corrigé"** permet de mieux décrire les capacités parallèles, cependant il demande à être encore affiné, et il **n'est validé que pour les capacités du champ test**.

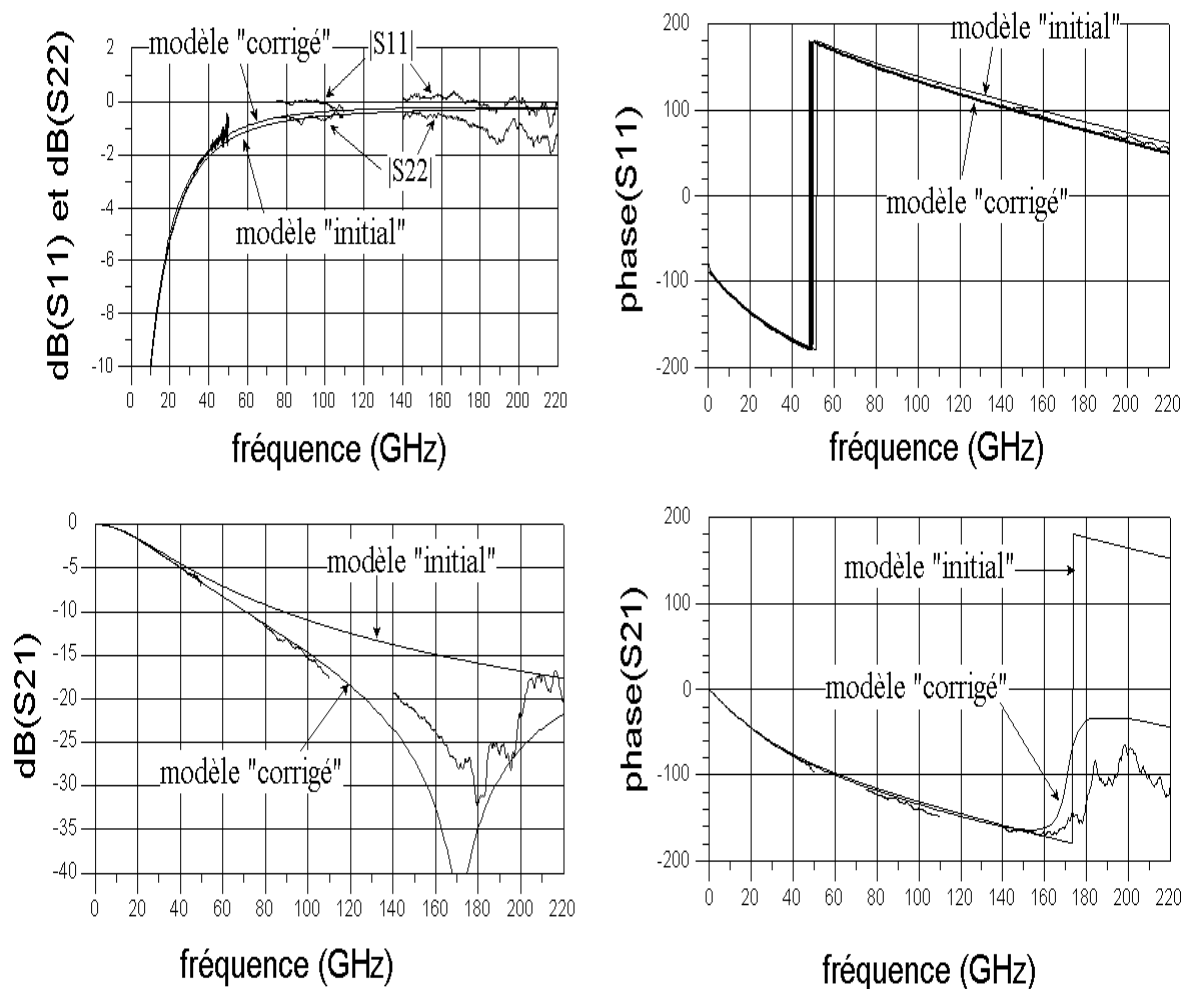


Figure 13 : Mesures et Simulations de la capacité parallèle de développement 15 μm

Chapitre III : Réalisation de MMICs en bandes D et G

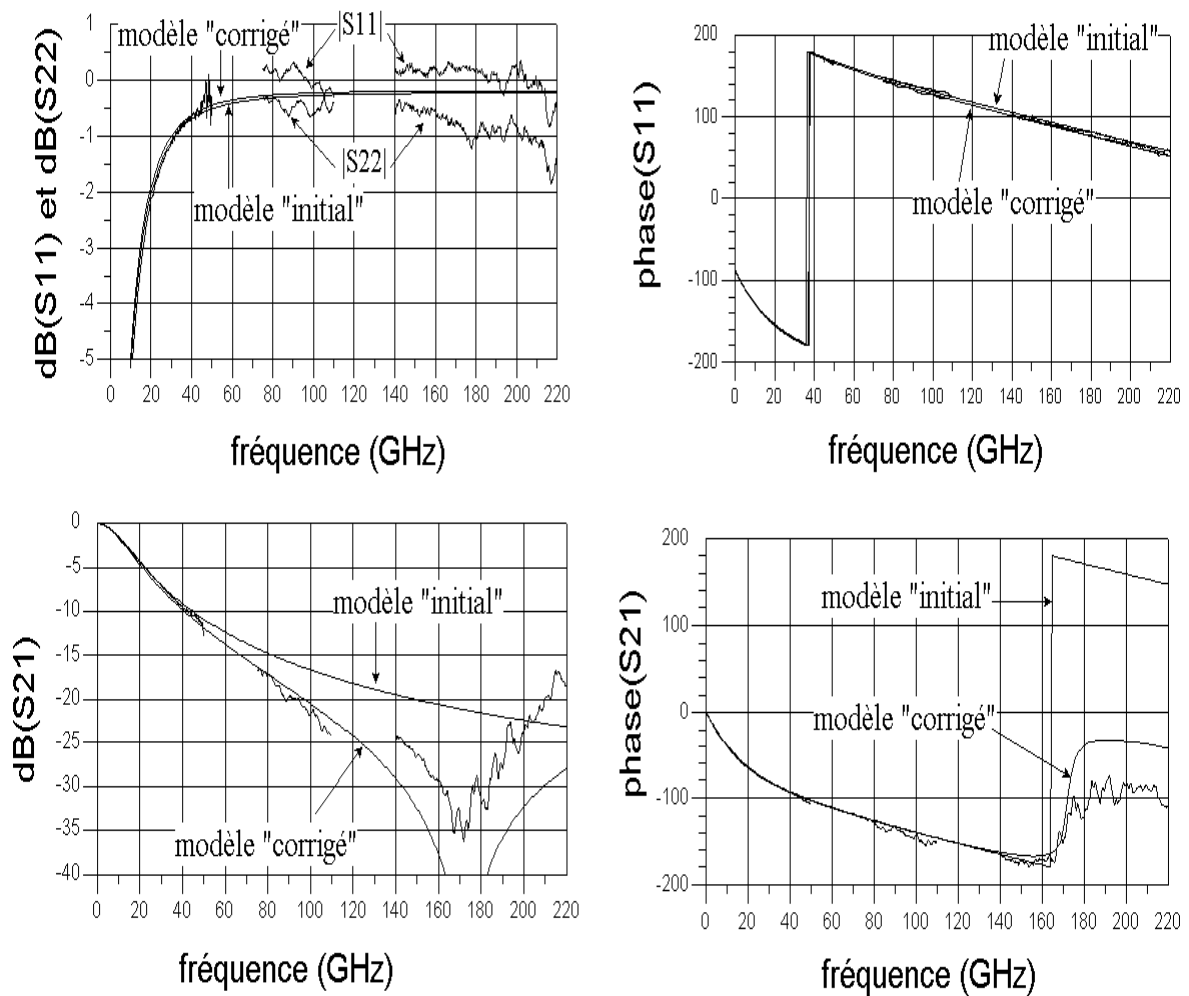
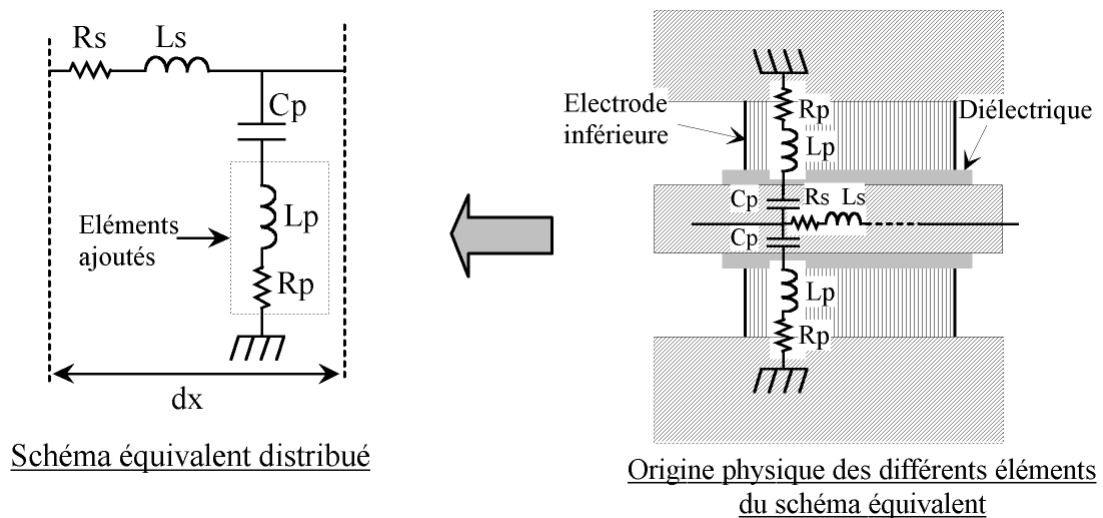
Figure 14 : Mesures et Simulations de la capacité parallèle de développement 30 μm 

Figure 15 : Modifications apportées au schéma équivalent distribué de la capacité parallèles et leurs origines physiques

Chapitre III : Réalisation de MMICs en bandes D et G

Tableau 2 : Modèle "initial" et "corrigé" des capacités parallèles (distance intermasse 70 μm , largeur du ruban central 26 μm)

	Cp (fF/ μm)	Rs ($\Omega/\mu\text{m}$)	Ls (pH/ μm)	Rp ($\Omega.\mu\text{m}$)	Lp (pH. μm)
Modèle "initial"	14,1	8 e-3	1,6 e-2		
Modèle "corrigé"	14,5	8 e-3	1 e-2	3	60

III.C.3) Les résistances

Sur la Figure 16, nous avons comparé les mesures de la résistance du champ test (dev.=10 μm , R=13 Ω) avec son modèle (modèle "initial").

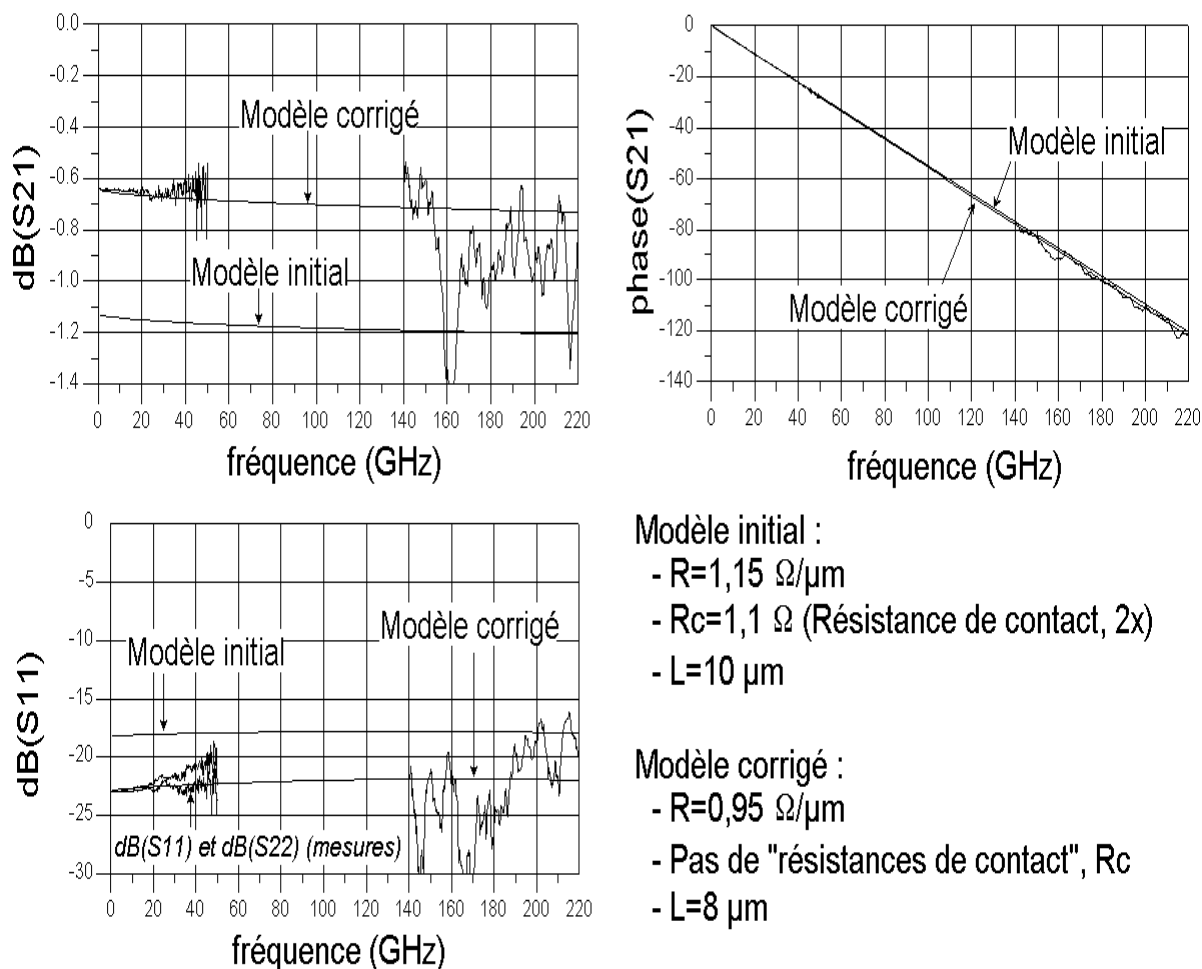


Figure 16 : Mesures et Simulations de la résistance série du "champ test"

(développement de 10 μm , R~13 Ω)

Celles-ci montrent une sérieuse divergence sur le module de S_{21} , pour expliquer cet écart, plusieurs erreurs sont en cause :

1°) La résistivité du film métallique déposé est légèrement plus faible que celle attendue (28 $\Omega/\square$ en théorie, contre ~23 $\Omega/\square$ en pratique)

Chapitre III : Réalisation de MMICs en bandes D et G

2°) Les longueurs des résistances sont plus courtes que prévues, à cause d'un "débordement" des lignes électrolysées de 0,5 à 1 μm . Ce point entraîne une réduction du développement de la résistance de 1 à 2 μm .

3°) Il ne semble pas qu'il y ait lieu de tenir compte d'une résistance de contact entre le métal de la ligne et celui de la résistance. Cette résistance de contact qui avait été introduite dans le cas de résistance utilisant un film titane, semble négligeable pour des résistances en NiCr.

Si l'on tient compte des erreurs commises sur ces trois points, le modèle "corrigé" suit alors parfaitement les données expérimentales (Figure 16).

Remarque : Les résistances ne sont utilisées que dans les réseaux de stabilisation des amplificateurs. De ce fait, une erreur sur leurs modèles pourrait avoir des conséquences sur la stabilité, **mais pas sur les conditions d'adaptation** dans la bande de l'amplificateur (car elles sont alors "masquées" par les capacités parallèles). Les solutions pour retrouver des spécificités proches de celles définies, lors des simulations seront de :

- soit réduire l'épaisseur de la métallisation NiCr
- soit de modifier le niveau de masque "résistances" en réduisant la largeur des résistances, sans modifier leur développement

III.C.4) Les terminaisons CC et CO

Sur la Figure 17 et la Figure 18, nous avons respectivement reporté les mesures et les simulations des motifs, lignes en CC et en CO, présents dans le champ "étalonnage" (motifs servant à la définition des charges réfléchies pour l'étalonnage TRL). Au niveau des simulations, nous avons tenu compte des corrections à apporter sur les longueurs des lignes, terminées en CO ou en CC, (cf chapitre II, § I.C.1).

Pour les deux terminaisons, nous observons une assez bonne concordance sur la phase du coefficient de réflexion. En ce qui concerne le module de ce coefficient de réflexion, nous pouvons constater différents problèmes :

- Le premier problème concerne la qualité des mesures, pour les deux motifs, nous devrions avoir des modules de S_{11} et de S_{22} identiques, (motifs symétriques), et des modules de S_{11} et de S_{22} inférieurs à 1! Parmi les causes possibles de ces problèmes, nous pouvons citer la qualité des posés lors de l'étalonnage et lors des mesures. Cependant, malgré le soin apporté aux mesures, il est généralement difficile d'obtenir des mesures de qualité sur des charges fortement réfléchies, avec cette méthode d'étalonnage.

Chapitre III : Réalisation de MMICs en bandes D et G

- Le deuxième problème est le niveau des pertes, qui est "en moyenne" beaucoup plus élevé que prévu, surtout pour la terminaison CO. Une des causes avancées, pour expliquer cet écart pour la terminaison CO, est l'absence de prise en compte des pertes par rayonnement dans la terminaison.

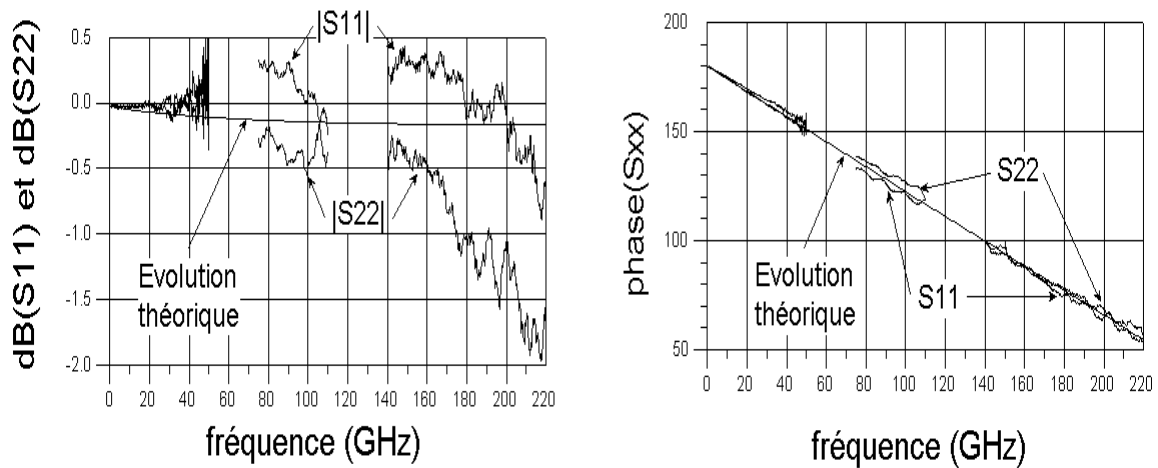


Figure 17 : Mesures et simulations du motif lignes en court-circuit (champ "étalonnage")

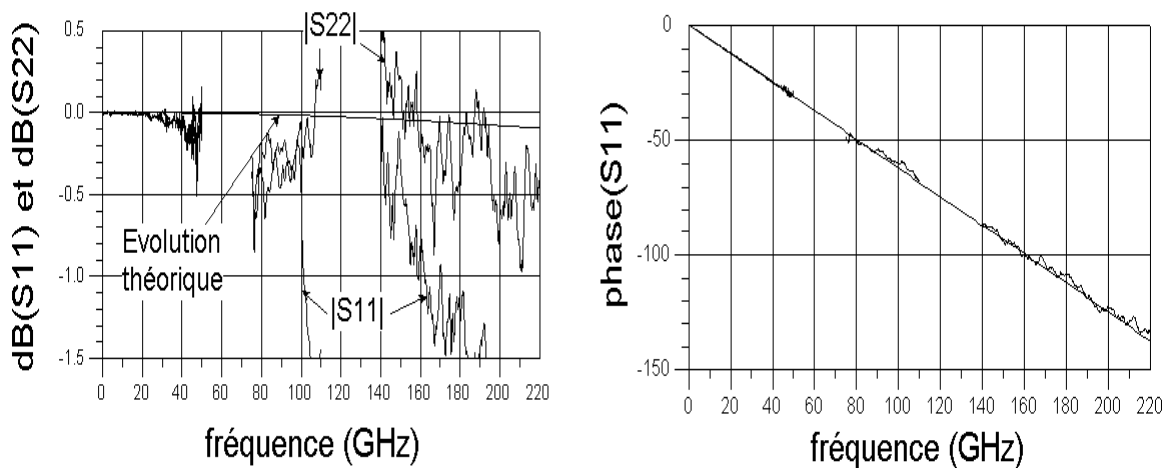


Figure 18 : Mesures et simulations du motif lignes en circuit ouvert (champ "étalonnage")

III.D) Caractérisation des réseaux d'adaptation

En complément des mesures réalisées sur les dispositifs test, nous avons aussi caractérisé différents réseaux d'adaptation des amplificateurs et des oscillateurs. Pour réaliser ces mesures, nous avons retiré mécaniquement les ponts à air, au niveau des transistors. Cette étape relativement délicate, nous a permis ensuite de caractériser différents réseaux d'adaptation.

Sur les figures 19 à 21, nous avons présenté les mesures, les simulations et les post-simulations pour les réseaux d'adaptation suivants:

- Réseau d'adaptation en sortie de l'oscillateur 140 GHz
- Réseau d'adaptation en entrée de l'amplificateur 140 GHz un étage
- Réseau d'adaptation inter-étage de l'amplificateur 140 GHz deux étages.

Nous avons comparé ces mesures aux simulations réalisés à partir des modèles définis au chapitre II, et à des post-simulations basées sur des modèles corrigés (capacités parallèles et résistances).

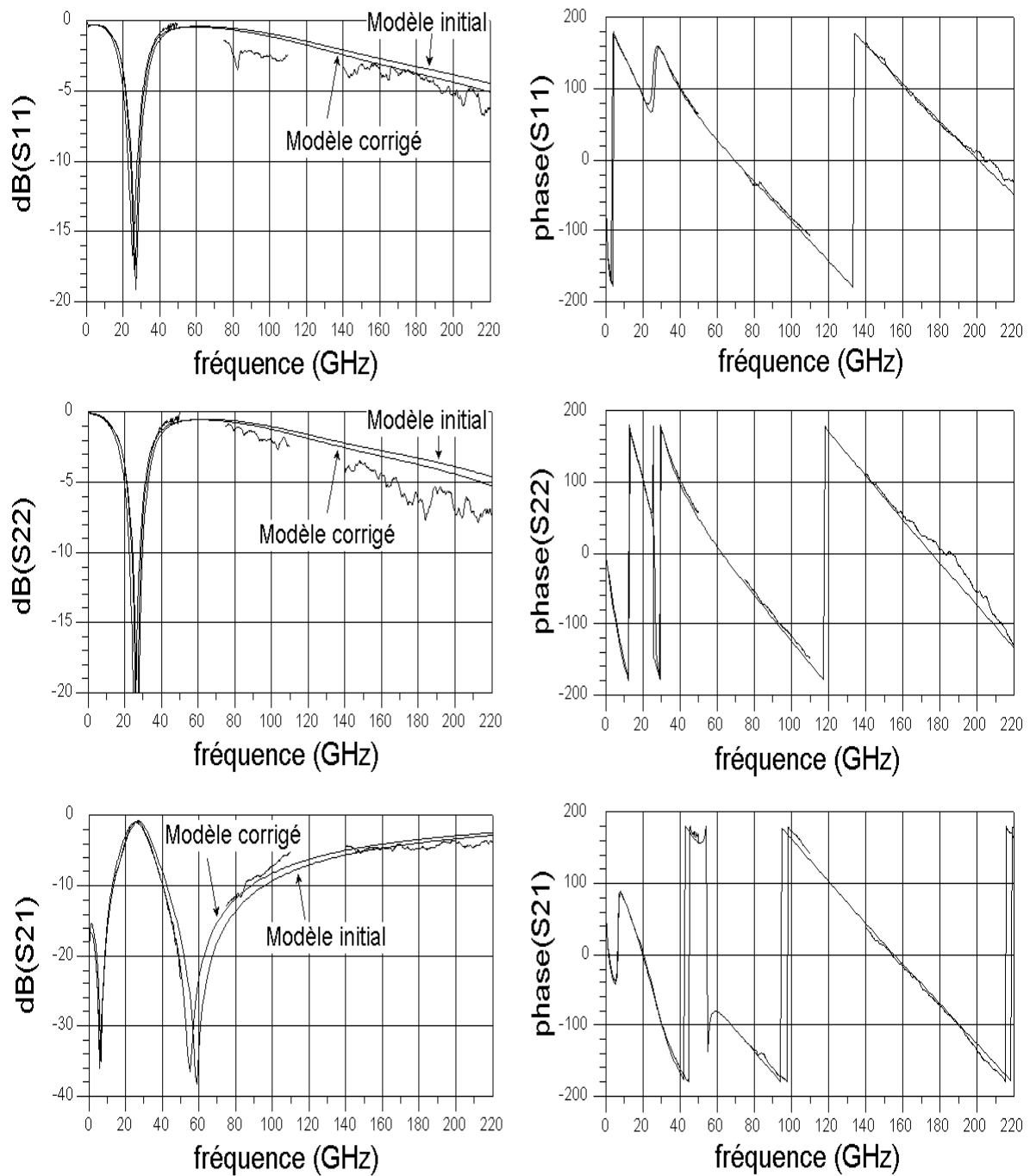
Pour les deux premiers réseaux d'adaptation (Figure 19 et Figure 20), nous pouvons relever que les simulations basées sur les "modèles initiaux" suivent malgré tout, assez bien les mesures. Les corrections sur les modèles de résistances et de capacités apportent des améliorations non-essentiellles.

En ce qui concerne le réseau inter-étage de l'amplificateur 140 GHz double étage, le premier point qu'il faut souligner est la difficulté à mesurer ce réseau. En effet, l'accès sur le drain du premier transistor est très limité, inférieur à 25 μm , à cause d'une jonction en T (cf Figure 22, page 267).

Cet accès très réduit gêne le posé des pointes, mais il risque de dégrader la qualité des mesures, de par la perturbation que peut introduire les pointes de masse sur la ligne se ramenant à la jonction en T, et de par l'absence d'une ligne d'accès suffisamment longue pour l'établissement d'un régime TEM.

Sur la Figure 21, nous constatons des divergences assez significatives entre les simulations et les mesures, surtout en bande W. L'origine de ces divergences n'a pas pu être clairement établie pour l'instant.

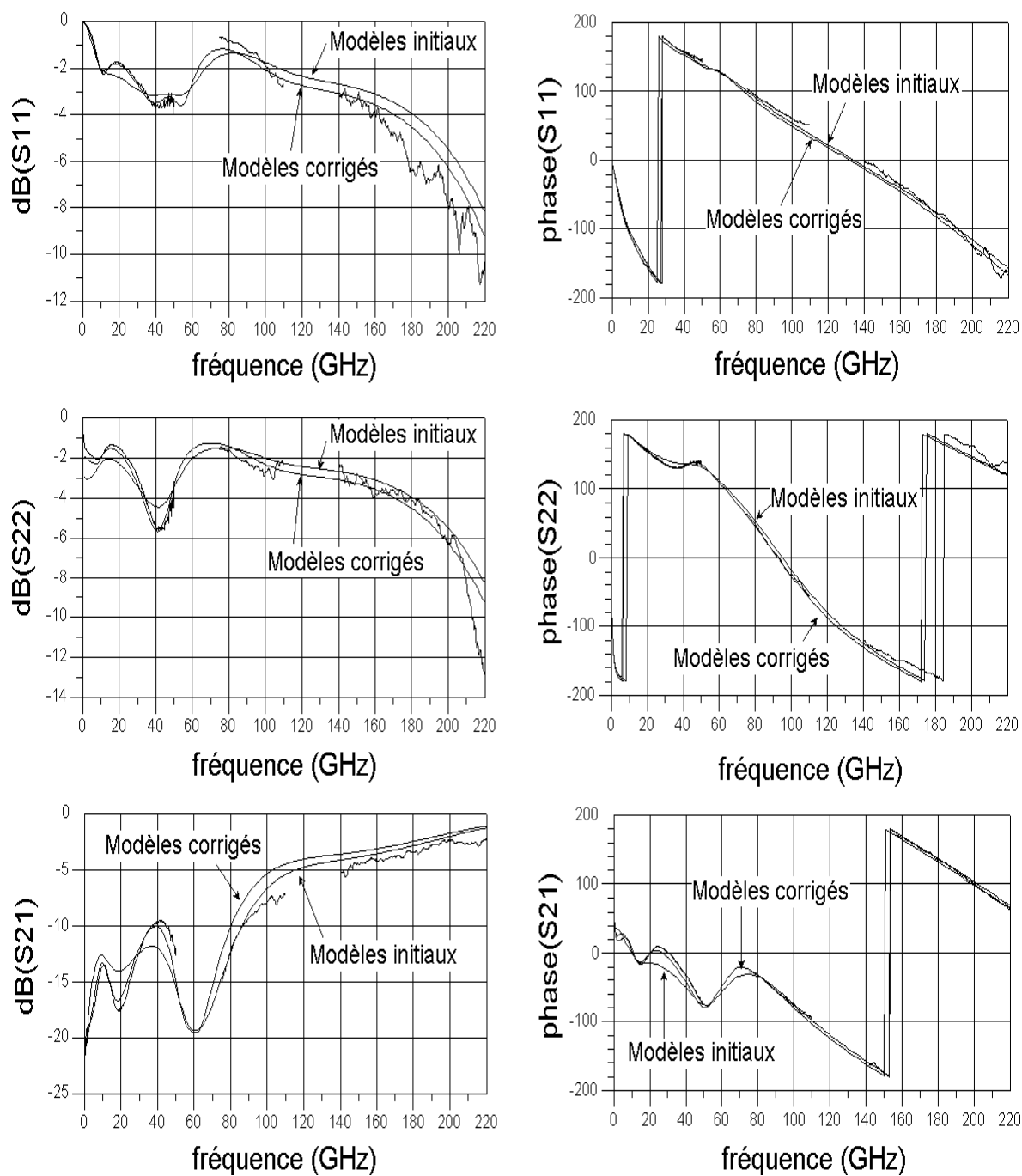
Chapitre III : Réalisation de MMICs en bandes D et G



- Modèle "initial" : Simulation avec le modèle de capacité parallèle "initial"
 - Modèle "corrigé" : Simulation avec le modèle de capacité parallèle "corrigé"
- => La simulation des phases a été effectuée avec le modèle capacité parallèle "corrigé"
 (Nous avons observé très peu de différences sur les phases entre les deux modèles de capacités)

Figure 19 : Mesures, Simulations et Post-simulations du réseau d'adaptation de sortie, de l'oscillateur 140 GHz

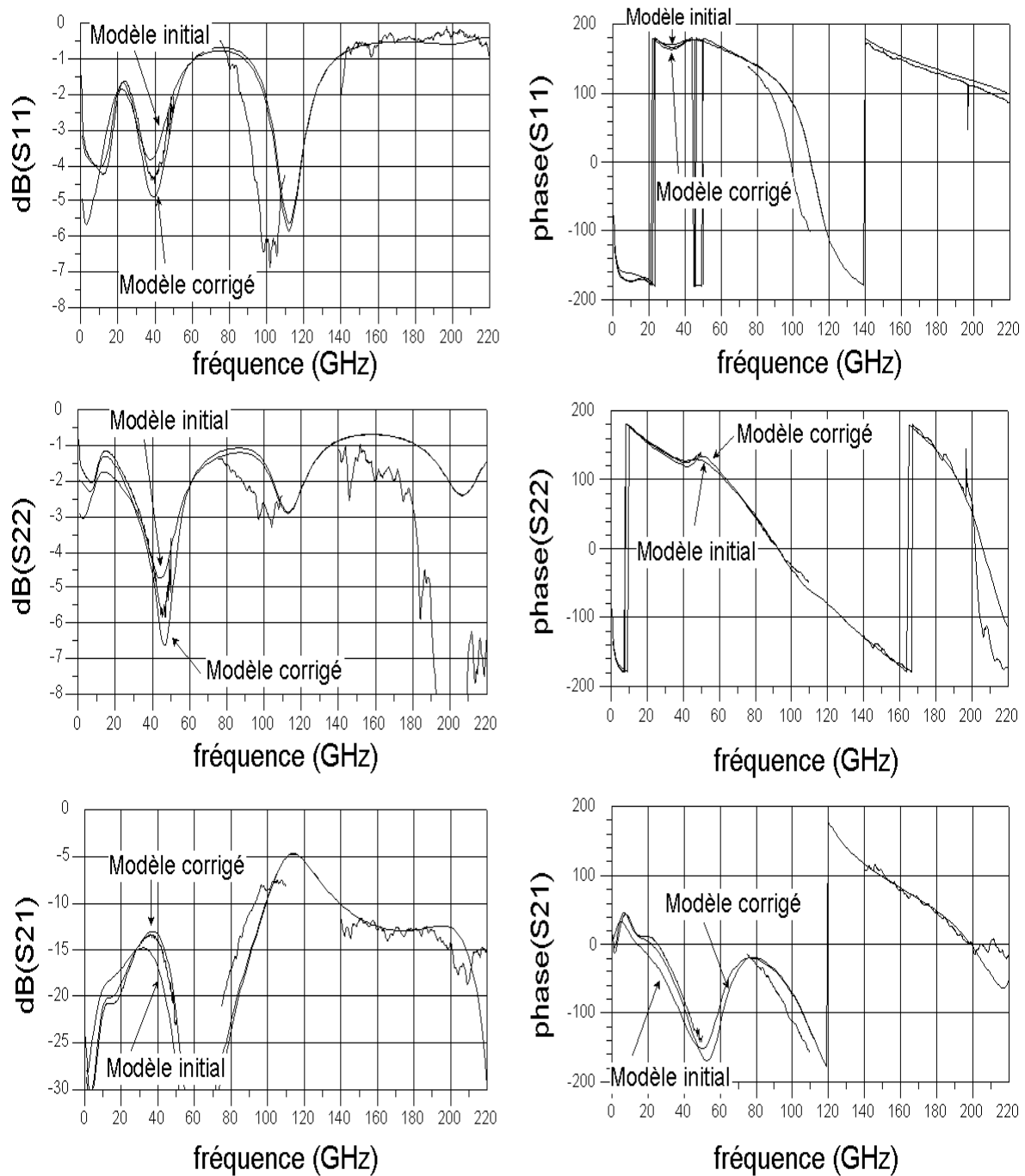
Chapitre III : Réalisation de MMICs en bandes D et G



(modèles corrigés : correction sur les modèles de capacités parallèles et de résistances)

Figure 20 : Mesures, Simulations et Post-simulations du réseau d'adaptation d'entrée de l'amplificateur 140 GHz un étage

Chapitre III : Réalisation de MMICs en bandes D et G



- Modèle "corrigé" : Simulation avec les modèles de résistance "corrigé", uniquement

Figure 21 : Mesures, Simulations et Post-simulations du réseau d'adaptation inter-étage de l'amplificateur 140 GHz, deux étages

IV -

Conclusions et Perspectives

Ce troisième chapitre a traité de la réalisation des circuits dont la conception a été décrite au second chapitre. Une première partie a porté sur la description du procédé de fabrication des circuits et plus particulièrement sur celui des éléments passifs. A ce procédé, nous avons apporté quelques améliorations, notamment sur le choix d'un nouveau film métallique pour l'électrolyse. Cette modification a permis de rendre l'étape de gravure du film métallique beaucoup moins délicate que par le passé.

La deuxième partie de ce chapitre a concerné le dessin du masque "Ulysse", destiné à la réalisation des différents circuits. Dans cette partie, nous nous sommes limités à décrire les principaux points du masque et notamment son champ "test".

Enfin dans la troisième partie, nous avons rapporté les résultats d'une opération comprenant uniquement les dispositifs passifs du masque "Ulysse". Cette opération a montré une assez bonne concordance entre les mesures et les simulations. Cependant, elle a aussi montré que la modélisation de certains éléments pourrait être améliorée.

La dernière étape sera la réalisation et la caractérisation des circuits complets. Des opérations sont en cours actuellement, mais elles n'ont pu aboutir pour l'instant, en raison de nombreuses difficultés technologiques, concernant la réalisation de grille en T de longueur 70 nm.

Les perspectives à ce travail sont encore nombreuses, étant donné le caractère très prospectif, de nombreux points peuvent être encore améliorés, parmi lesquels, les performances des éléments actifs, la meilleure modélisation des éléments passifs et actifs dans les bandes D et G.

V -

Bibliographie

- [1] S. BORET “ Circuits intégrés monolithiques en technologie coplanaire pour applications de réception jusque 110 GHz ”
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Septembre 1999
- [2] V. HOËL, S. Boret, B. Grimbert, G. Apercé, S. Bollaert, H. Happy, X. Wallart, A. Cappy, " 94-GHz Low Noise Amplifier on InP in Coplanar Technology ", GAAS 99, pp. 257-262
- [3] V. HOËL, "Conception, réalisation et caractérisation de transistors à effet de champ à hétérojonction sur substrat d'InP pour circuits intégrés coplanaires en bande V et W"
Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Décembre 1998

VI -

Chapitre III : Réalisation de MMICs en bandes D et G

Annexes**VI.A) Procédé de fabrication pour la réalisation des circuits****1°) Marques d'alignement (niveau 1)**

⇒ Lithographie électronique, bicouche COPO/PMMA

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode /Remarques
		Temp.	Durée	
Nettoyage	Acétone	Temp. ambiante (TA)	5 min	Bain + ultra son
	Alcool Isopropylique (IPA)		5 min	
Séchage	Plaque chauffante	120 °C	5 min	
Dépôt Résine	COPO (PMMA-MAA) 13% maa 8.5		12 s	v = 2900 tr/min a = 1000 tr/min/s Ep. = 6680 Å
Séchage	Plaque chauffante	80 °C	1 min	
Recuit	Etuve	170 °C	30 min	
Refroidissement		TA	10 min	
Dépôt Résine	PMMA 495K 3%		12 s	v = 3400 tr/min a = 1000 tr/min/s Ep. = 630 Å
Séchage	Plaque chauffante	80 °C	60 s	
Recuit	Etuve	170 °C	30 min	
Exposition	Masqueur électronique			Fichier/cellule : Ulysse0f/0_circuit; niveau 1; PasX : 7000 µm; PasY : 7200 µm; Résolution : 50 nm; Dose : 182 µC/cm²; E : 50 kV
Préparation développeur	Méthyle Isobutyle Kétone (MIBK)/IPA 1:2	TA	2 min	30/60 mL (petit bécher dédié) Agitation 150 tr/min
Développement		TA	1 min	Agitation 110 tr/min
Rinçage	IPA	TA	30 s	Agitation 110 tr/min, puis Séchage N ₂
Désoxydation	Plasma Argon		20 s	150 V
Métallisation	Ti/Au : 200/2000 Å			Evaporation sous vide
Lift off	Acétone	TA	~30 min	Bain (+ ultra son)
Rinçage/Séchage	Acétone IPA	TA	5 min 5 min	Séchage N ₂
CONTRÔLES :	- Epaisseur des résines : après <u>chaque</u> résinage et après révélation - Propreté après révélation - Dimensions des motifs - Epaisseur métallisation			

2°) Mésa (niveau 2)

Chapitre III : Réalisation de MMICs en bandes D et G

⇒ Lithographie optique (AZ 1518)

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage	Plaque chauffante	120 °C	5 min	
Dépôt Résine	AZ 1518		8 s	v = 4000 tr/min a = 2000 tr/min/s Ep. ~ 12660 Å
Recuit	Plaque chauffante	110 °C	1 min	
Insolation (niveau 2)	Aligneur MA 6		1,6 s	P= 9 mW/cm ² , UV400
	Aligneur MA 750		18 s	P= 7 mW/cm ² , (avec filtre)
Développement	MIF 726	TA	~ 15 s	
Rinçage	Eau DI	TA	30 s	Agitation, séchage N ₂
Préparation gravure	H ₃ PO ₄ /H ₂ O ₂ /H ₂ O DI : 5/1/40	TA	5 min	Avec agitateur magnétique => 20/4/160 mL
Attaque chimique		TA	35 s ¹	V ~ 2000 Å/min => Ep. ~ 1200 Å
Rinçage	Eau DI	TA	30 s	Séchage N ₂
Dérésinage	Acétone IPA	TA	10 min 5 min	Bain
CONTRÔLES :	- Epaisseur des résines : après résinage et révélation - Propreté après révélation et dimension des motifs - ¹ Gravure en deux temps : 30s, contrôle de l'épaisseur gravée, puis gravure complémentaire en fonction de la cinétique trouvée. - Hauteur du méso			

3°) _____ Contacts ohmiques (**niveau 3**)

⇒ Lithographie électronique, bicouche COPO/PMMA

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage	Plaque chauffante	120 °C	5 min	
Dépôt Résine	COPO 13% (maa 8.5)		12 s	v = 2900 tr/min a = 1000 tr/min/s Ep. = 6680 Å
Séchage	Plaque chauffante	80 °C	1 min	
Recuit	Etuve	170 °C	30 min	
Refroidissement		TA	10 min	
Dépôt Résine	PMMA 495K 3%		12 s	v = 3400 tr/min a = 1000 tr/min/s Ep. = 630 Å
Séchage	Plaque chauffante	80 °C	60 s	
Recuit	Etuve	170 °C	30 min	
Exposition	Masqueur électronique			Fichier/cellule : Ulysse0f/0_circuit; niveau 3; PasX : 7000 µm; PasY : 7200 µm; Résolution : 50 nm; Dose : 182 µC/cm ² ; E : 50 kV

Chapitre III : Réalisation de MMICs en bandes D et G

Préparation développeur	MIBK/IPA 1:2	TA	2 min	30/60 mL Agitation 150 tr/min
Développement		TA	1 min	Agitation 110 tr/min
Rinçage	IPA	TA	30 s	Agitation 110 tr/min, puis Séchage N ₂
Désoxydation	Plasma Argon		20 s	150 V
Métallisation	Ni/Ge/Au/Ni/Au : 25/400/800/50/600 Å			Evaporation sous vide
Lift off	Acétone	TA	~ 30 min	Bain (+ ultra son)
Rinçage/Séchage	Acétone IPA	TA	5 min 5 min	Séchage final : N ₂
Recuit (Couche "optimisée" 65% In)	Four "JetFirst"	270 °C	60s	Montée avec palier à 150 °C et 250 °C Programme : GaInAs270b
CONTRÔLES :	- Epaisseur des résines : après <u>chaque</u> résinage et la révélation - Après révélation : Propreté et dimensions des motifs (! distance drain-source) - Epaisseur métallisation - Contrôles électriques : Résistivité de la métallisation, Isolation, Courant maximum, Mesures TLM (R_c et R_□)			

4°) Les électrodes inférieures des capacités (**niveau 8**)

⇒ Lithographie optique, procédé "Novolak"

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage		120 °C	5 min	Plaque chauffante
Dépôt Résine	AZ 1518		8 s	v = 4400 tr/min a = 2000 tr/min/s Ep. ~ 1,2 µm
Recuit		110 °C	1 min	Plaque chauffante
Traitement de surface	AZ 326	TA	30 s	SANS agitation
Rinçage	Eau DI	TA	15 s	
Insolation (niveau 8)	Aligneur MA 6		1,2 s	P= 9 mW/cm², UV400
	Aligneur MA 750		12 s	P= 7 mW/cm² (avec filtre)
Recuit	Plaque chauffante	110 °C	1 min	SI : Aligneur MA 6
		120 °C	1 min	SI : Aligneur MA 750
Développement	AZ400/Eau DI (1:3)	TA	2 min ~ 30 s	SI : Aligneur MA 6 SI : Aligneur MA 750
Rinçage	Eau DI	TA	15 s	Agitation
Désoxydation	Plasma Argon		20 s	150 V
Métallisation	Ti/Au : 200/2500 Å			Evaporation sous vide
Lift off	Acétone	TA	~ 30 min	Bain
Rinçage/Séchage	Acétone	TA	5 min	Séchage final : N ₂

Chapitre III : Réalisation de MMICs en bandes D et G

	IPA	5 min
CONTRÔLES :	- Epaisseur résine : après résinage et révélation - Après révélation : Propreté, dimensions des motifs, profil "casquette" - Epaisseur métallisation - Résistivité de la métallisation	

Remarque : Très bon profil "Casquette" **indispensable**, pour éviter la formation de "lichettes" risquant de percer le nitrure.

5°) Dépôt du nitrure pour les capacités (niveau 9)

⇒ Lithographie optique (AZ 1518)

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage		120 °C	5 min	Plaque chauffante
Dépôt Si₃N₄	1000 Å par PECVD	250 °C		
Dépôt Résine	AZ 1518		8 s	v = 4000 tr/min a = 2000 tr/min/s Ep. ~ 12660 Å
Recuit	Plaque chauffante	110 °C	1 min	
Insolation (niveau 9)	Aligneur MA 6		1,6 s	P= 9 mW/cm ² , UV400
	Aligneur MA 750		18 s	P= 7 mW/cm² (avec filtre)
Développement	MIF 726	TA	~ 15 s	! A la propreté
Rinçage	Eau DI	TA	30 s	Agitation, séchage N ₂
Gravure Si₃N₄	RIE avec SF ₆		10+ 20s	20 sccm; 45 W; Vdc ~ -18 V; 200 mT Contrôle de fin de gravure à l'interféromètre
Dérésinage	Acétone IPA	TA	10 min 5 min	Bain
CONTRÔLES :	- Epaisseur des résines : après résinage et révélation - Propreté après révélation et dimension des motifs - Epaisseur du Si₃N₄			

6°) La grille (niveaux 21 à 24)

⇒ Lithographie électronique, bicouche PMMA/COPO

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage	Plaque chauffante	120 °C	5 min	
Dépôt bicouche par ACS	PMMA 4% 950 K/ COPO 11% maa 8.5 : 1580/7050 Å			

Chapitre III : Réalisation de MMICs en bandes D et G

Exposition	Masqueur électronique			Fichier/cellule : Ulysse030715/0_circuit; niveaux 20-24; PasX : 7000 μm ; PasY : 7200 μm ; Résol. : 10 nm;
Développement ACS	MIBK:IPA (1:2)	TA	21+21 s ¹	¹ : 2 enductions de révélateur
Rinçage ACS	IPA	TA		8 "scans", puis séchage par centrifugation
Préparation "solution recess"	SA:H ₂ O ₂ (30:4) (Acide Succinique)	TA	10 min	Homogénéisation avec agitateur magnétique <i>! La solution d'acide succinique est préparée à l'avance et tamponnée avec de l'ammoniaque (pH=5)</i>
Mouillage	IPA	TA	10 s	
Recess	SA:H ₂ O ₂ (30:4)	TA	45 s	Agitation les 10 premières secondes
Rinçage	IPA	TA	10 s	Séchage N ₂
Désoxydation	Plasma Argon		20 s	150 V
Métallisation	Ti/Pt/Au : 250/250/3500 Å			Evaporation sous vide
Lift off	Acétone	TA	~ 30 min	Bain (PAS d'ultra-son)
Rinçage/Séchage	Acétone IPA	TA	5 min 5 min	Séchage final : N ₂
CONTRÔLES :	- Après révélation : Contrôle au MEB de la lithographie - Epaisseur métallisation			

7°) Les plots d'épaissement (niveau 6)

⇒ Lithographie optique, procédé "Novolak"

Le procédé est **IDENTIQUE** à celui du dépôt des électrodes inférieures de capacité (4°). Les différences sont :

- La métallisation avec un dépôt de **Ti/Au : 1000/4000 Å** (évaporation sous vide).
- Contrôles électriques : Résistance métallique de grille (motif dédié), caractérisation continue des transistors (Schottky, Caractéristiques "Ids(Vds)")

8°) Les résistances (niveau 10)

⇒ Lithographie optique, procédé "Novolak"

Le procédé est **IDENTIQUE** à celui du dépôt des électrodes inférieures de capacité (4°). Les seules différences sont :

- La métallisation avec un dépôt de **500 Å de NiCr** par évaporation sous vide
- Un contrôle de la résistivité de la métallisation indispensable

9°) Les lignes (niveaux 11 et 12)

⇒ Lithographie optique AZ5214/AZ4562

Chapitre III : Réalisation de MMICs en bandes D et G

Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage		120 °C	5 min	Plaque chauffante
Dépôt Résine	AZ 5214		7 s	v = 3000 tr/min a = 4000 tr/min/s Ep. ~ 1,3 µm
Recuit		120 °C	5 min	Plaque chauffante
Insolation (niveau protection des dispositifs : 11)	Aligneur MA 750		30 s	P= 7 mW/cm ² (avec filtre)
Insolation (Avec mylar)	Aligneur MA 750		30 s	P= 7 mW/cm ² (avec filtre) => Ouverture des bords
Révélation	MIF 726	TA	30 s	
Rinçage	Eau DI	TA	30 s	Agitation
Recuit		120 °C	1 min	Plaque chauffante
Désoxydation	Plasma Argon		20 s	150 V
Métallisation	Ti/Au : 200/300 Å			Evaporation sous vide
Dépôt Résine	AZ 4562 (tournette TP 6000)		40 s	v = 4000 tr/min a = 3000 tr/min/s Ep. ~ 4,5 µm
Recuit		70 °C	30 min	Plaque chauffante
Insolation (niveau électrolyse : 12)	Aligneur MA 750		50 s	P= 7 mW/cm ² (avec filtre)
Insolation (Avec mylar)	Aligneur MA 750		60 s	P= 7 mW/cm ² (avec filtre) => Ouverture des bords pour contact électrolyse
Révélation	AZ351B/H ₂ O (1:4)		50 s	
Rinçage	Eau DI	TA	1 min	
Recuit		60 °C	80 min	Etuve
Avertissements Electrolyse	- Vérifier le niveau du bain (4,5 L), sinon compléter à l'eau DI - ! Faire chauffer le bain une heure avant, au minimum - Vérifier le bon contact de l'électrode avec l'échantillon (de 2 à 6 Ω) - Masse du générateur sur l'échantillon - Surface pince ~10 cm² (pince circulaire) - Ne pas relancer la croissance après sortie du bain (décollement de la résine) - Remplir le classeur de suivi			
Electrolyse		45 °C	30 min	Courant : 1,5 mA/cm ² Agitation 100 tr.min ⁻¹ Tension lue ~ 2V (+/- 0,2) => Ep ~ 3 µm
Insolation (Pleine plaque)	Aligneur MA 750		1 min	P= 7 mW/cm ² (avec filtre)
Révélation	AZ351B:H ₂ O (1:4)		~ 1min	
Rinçage	Eau DI	TA	1 min	
Gravure Or (film d'accrochage)	KI:I ₂ :H ₂ O (100g /30g /400mL, solution prête à l'emploi)	TA	~ 10 s	Gravure avec une "goutte" sur l'échantillon et contrôle visuel de la fin d'attaque
Rinçage	Eau DI	TA	30 s	(A la pissette dans le bécher KI au préalable)

Chapitre III : Réalisation de MMICs en bandes D et G

Gravure Ti (film accrochage)	NH ₄ F ou BOE_7	TA	~ 20 s	Contrôle visuel de la gravure, ébullition en fin d'attaque ! Rincer immédiatement après "l'ébullition"
Rinçage	Eau DI	TA	30 s	
Dérésinage	Remover 1165	80 °C	~ 2 h	Position verticale
Rinçage	Eau DI	TA	1 min	
Rinçage/Séchage	Acétone IPA	TA	5 min 5 min	Séchage final : N ₂
CONTRÔLES :	- Epaisseur résine : après résinage et révélation - Après révélation : Propreté et dimensions des motifs - Epaisseur métallisation après électrolyse - Résistivité de la métallisation			

10°) Les ponts à air (niveaux 13 et 14)

⇒ Lithographie optique AZ4562/AZ4562

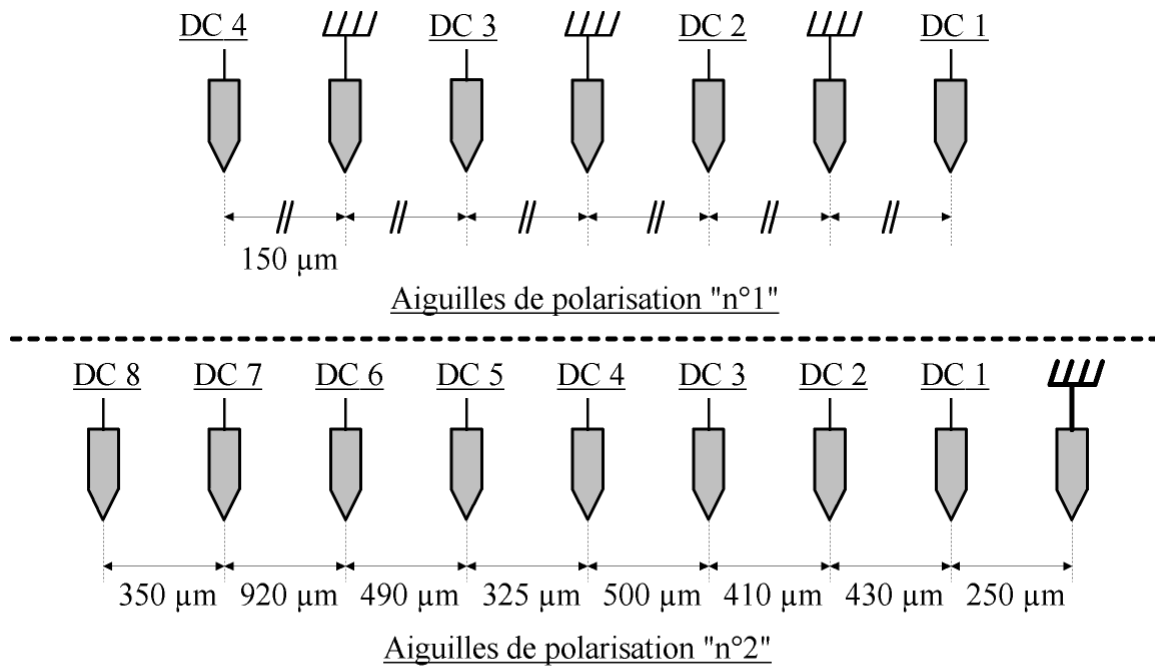
Opération	Produits/ Matériel/ Métallisation/...	Paramètres		Méthode/ Remarques
		Temp.	Durée	
Nettoyage	Acétone IPA	TA	5 min 5 min	Bain + ultra son
Séchage		120 °C	5 min	Plaque chauffante
Dépôt Résine	AZ 4562 (tournette TP6000)		40 s	v = 2400 tr/min a = 3000 tr/min/s Ep. ~ 6 µm
Recuit		110 °C	3 min	Plaque chauffante
Insolation (niveau ouverture pilier : 13)	Aligneur MA750		65 s	P= 7 mW/cm ² (avec filtre)
Insolation (Avec mylar)	Aligneur MA 750		75 s	P= 7 mW/cm ² (avec filtre) => Ouverture des bords
Révélation	AZ351B:H ₂ O (1:4)	TA	60 s	Agitation manuelle
Rinçage	Eau DI	TA	30 s	Agitation
Recuit		100 °C	2 min	Plaque chauffante
Métallisation	Ti/Au : 200/300 Å			Evaporation sous vide
Dépôt Résine	AZ 4562 (tournette TP 6000)		40 s	v = 4000 tr/min a = 3000 tr/min/s Ep. ~ 4,5 µm
Recuit		70 °C	30 min	Plaque chauffante
Insolation (niveau ouverture tablier : 14)	Aligneur MA 750		50 s	P= 7 mW/cm ² (avec filtre)
Insolation (Avec mylar)	Aligneur MA 750		50 s	P= 7 mW/cm ² (avec filtre) => Ouverture des bords pour contact électrolyse
Révélation	AZ351B: H ₂ O (1:4)		1 min	
Rinçage	Eau DI	TA	1 min	
Recuit		60 °C	80 min	Etuve

Chapitre III : Réalisation de MMICs en bandes D et G

Avertissements avant électrolyse	- Vérifier le niveau du bain (4,5 L), sinon compléter à l'eau DI - ! Faire chauffer le bain une heure avant, au minimum - Vérifier le bon contact de l'électrode avec l'échantillon (de 2 à 6 Ω) - Masse du générateur sur l'échantillon - Surface pince $\sim 10 \text{ cm}^2$ (pince circulaire) - Ne pas relancer la croissance après sortie du bain (décollement de la résine) - Remplir le classeur de suivi			
Electrolyse		45 °C	30 min	$1,5 \text{ mA/cm}^2$ Agitation 100 tr.min^{-1} Tension lue $\sim 2 \text{ V (+/- } 0,2)$ $\Rightarrow E_p \sim 3 \mu\text{m}$
Insolation (Pleine plaque)	Aligneur MA 750		1 min	$P = 7 \text{ mW/cm}^2$ (avec filtre)
Révélation	AZ351B/Eau DI (1:4)		1min 30s	
Rinçage	Eau DI	TA	1 min	
Gravure Or (film accrochage)	KI:I ₂ :H ₂ O (100g /30g /400mL; solution prête à l'emploi)	TA	$\sim 10 \text{ s}$	Gravure avec une "goutte" sur l'échantillon et contrôle visuel de la fin d'attaque
Rinçage	Eau DI	TA	30 s	(A la pissette dans le b�cher KI au pr�alable)
Gravure Ti (film accrochage)	NH ₄ F ou BOE_7	TA	$\sim 20 \text{ s}$	Contr�le visuel de la gravure, "�bullition" en fin d'attaque ! Rincer imm�diatement apr�s "l'�bullition"
Rinçage	Eau DI	TA	30 s	
D�résinage	Remover 1165	80 °C	$\sim 2 \text{ h}$	Position verticale
Rinçage	Eau DI	TA	1 min	S�chage N ₂
Rinçage/S�chage	Ac�tone IPA	TA	5 min 5 min	S�chage final : N ₂
CONTR�LES :	- Epaisseurs r�sines : apr�s r�v�lations - Apr�s r�v�lations : Propret� et dimensions des motifs - Epaisseur m�tallisation apr�s �lectrolyse			

VI.B) Côtes des aiguilles de polarisation

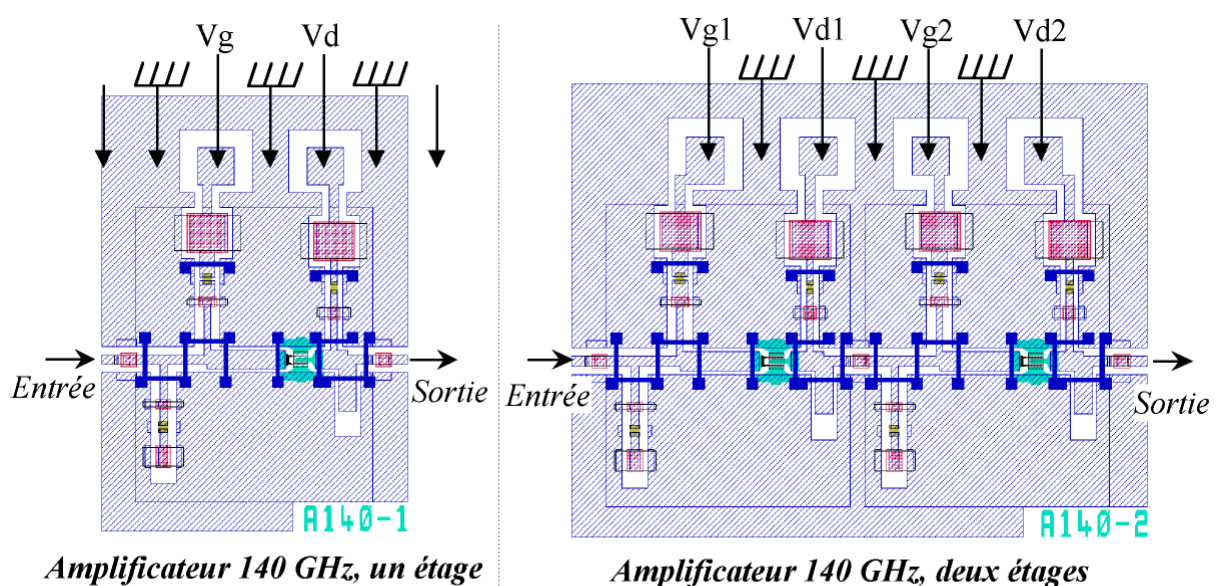
Deux types d'aiguilles de polarisation sont disponibles au laboratoire, leurs côtes et leurs dispositions sont données ci-dessous :



Remarque : Chaque aiguille est suivie de trois niveaux de découplage avec des capacités de 120 pF, 10 nF et 100 nF (peigne n°2)

Pour assurer un bon contact des aiguilles, il faut que les plots soient au minimum de dimension 50x50 μm^2 .

VI.C) Les différents circuits du masque Ulysse :



=> Aiguilles de polarisation "n°1" et la distance intermasse des accès est de 70 μm

Figure 22 : Amplificateurs à 140 GHz

Chapitre III : Réalisation de MMICs en bandes D et G

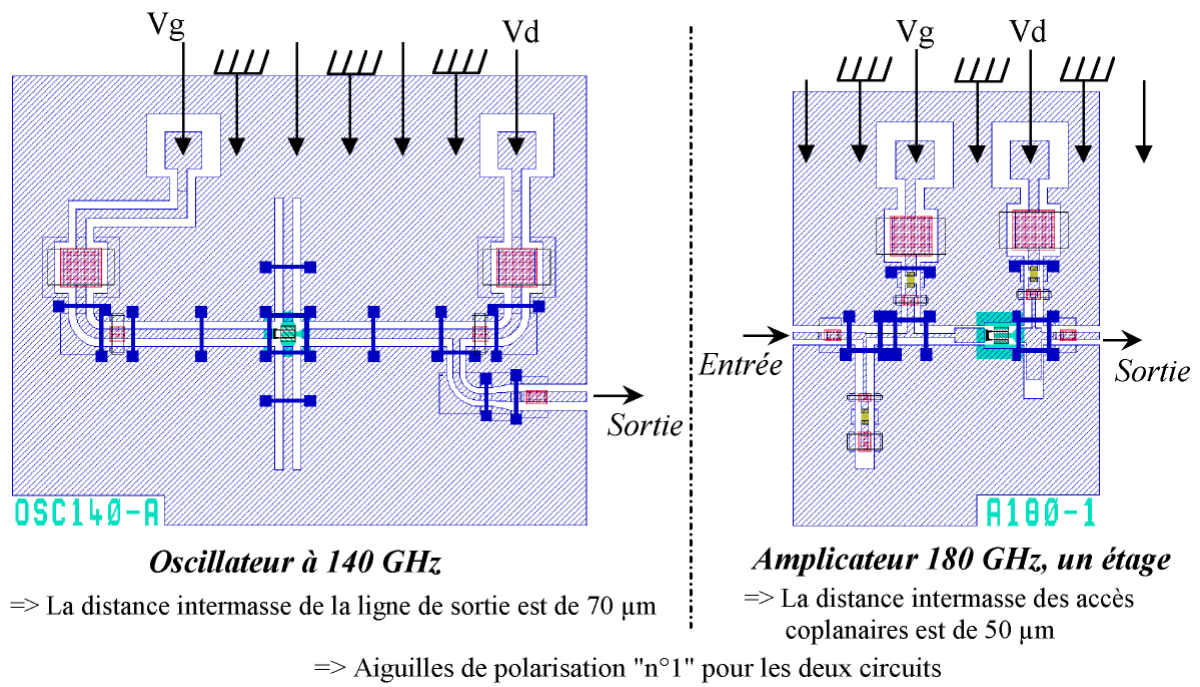


Figure 23: Oscillateur 140 GHz et Amplificateur à 180 GHz

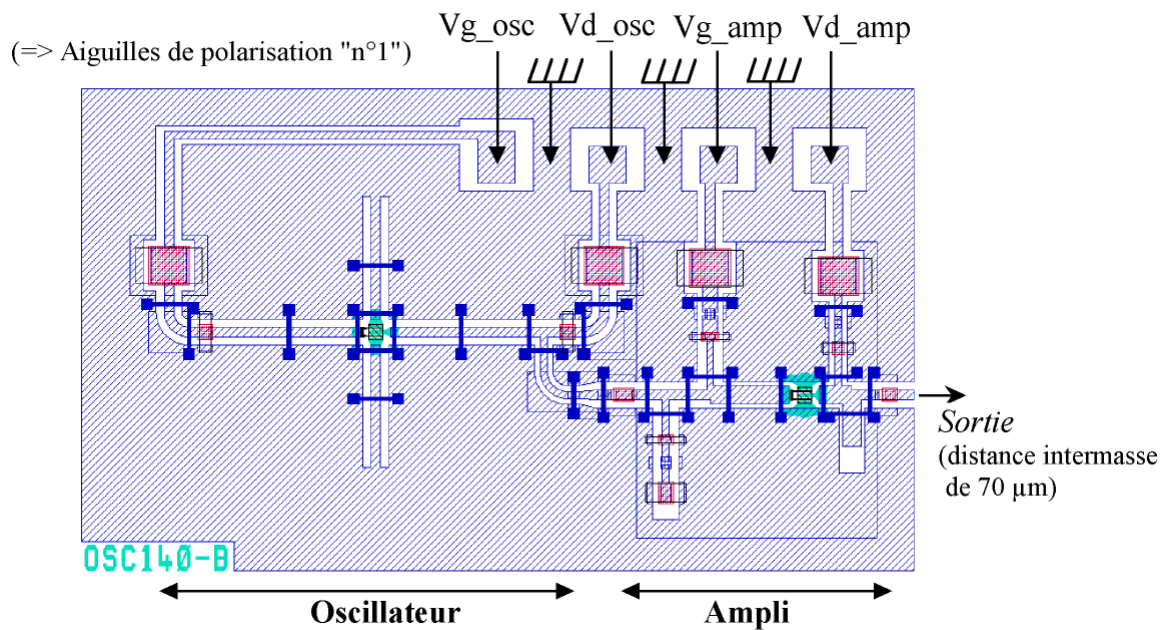
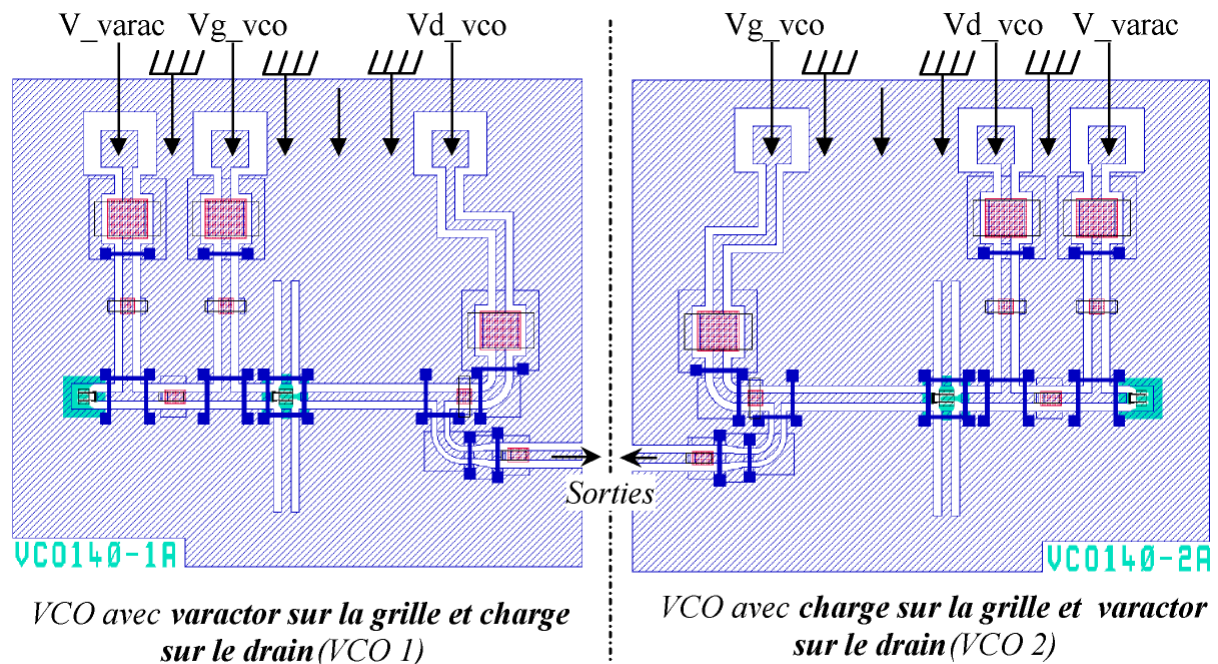


Figure 24 : Oscillateur 140 GHz, avec amplificateur tampon

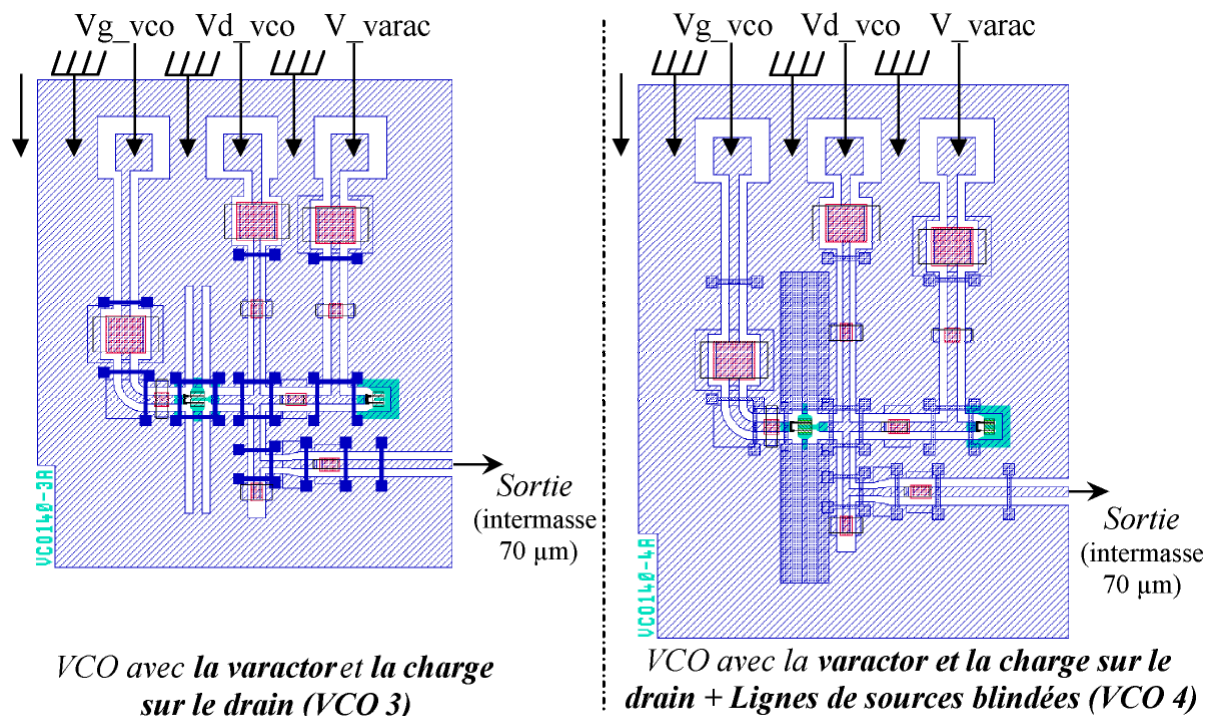
Chapitre III : Réalisation de MMICs en bandes D et G



=> Aiguilles de polarisation "n°1"

=> Les lignes de sortie ont une distance intermasse de 70 μm

Figure 25 : VCOs 140 GHz, type "1" et "2"



=> Aiguilles de polarisation "n°1"

Figure 26 : VCOs 140 GHz, type "3" et "4"

Chapitre III : Réalisation de MMICs en bandes D et G

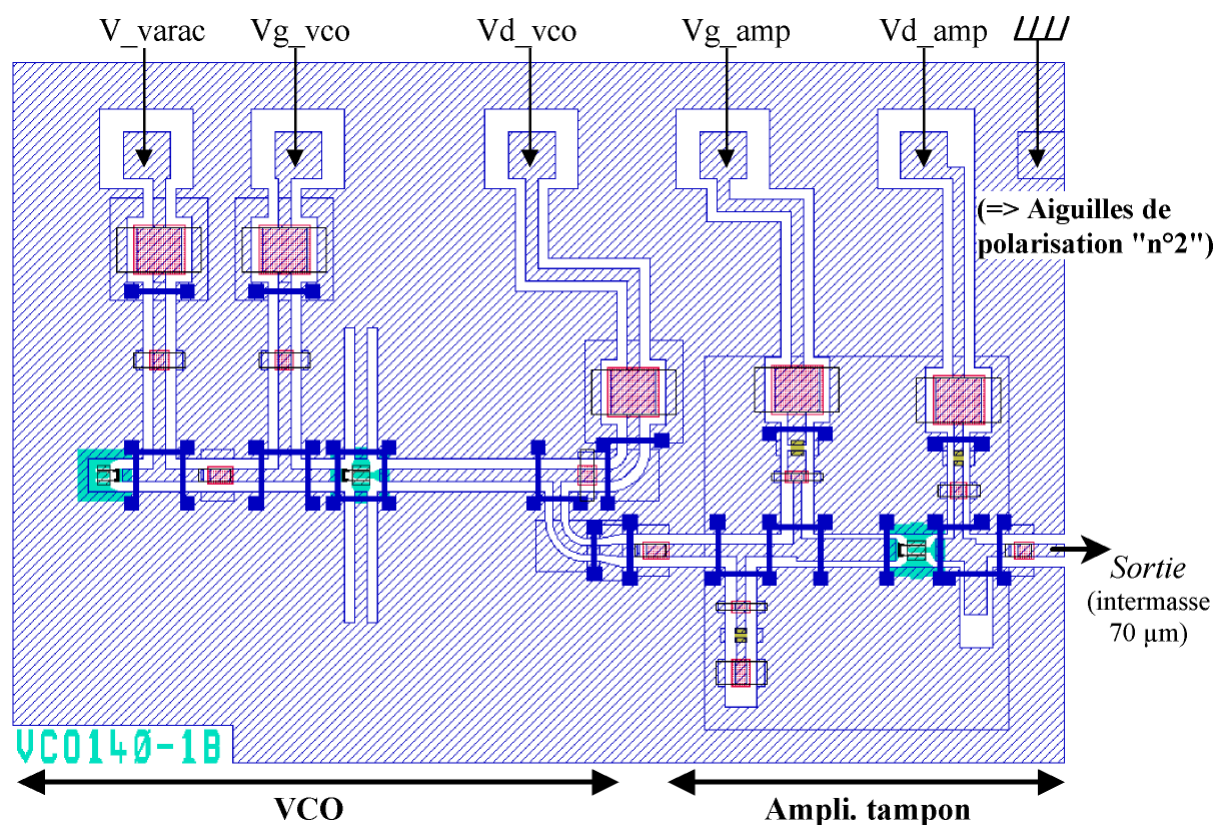


Figure 27 : VCO à 140 GHz, avec varactor sur la grille et charge sur le drain + amplificateur tampon (VCO 1B)

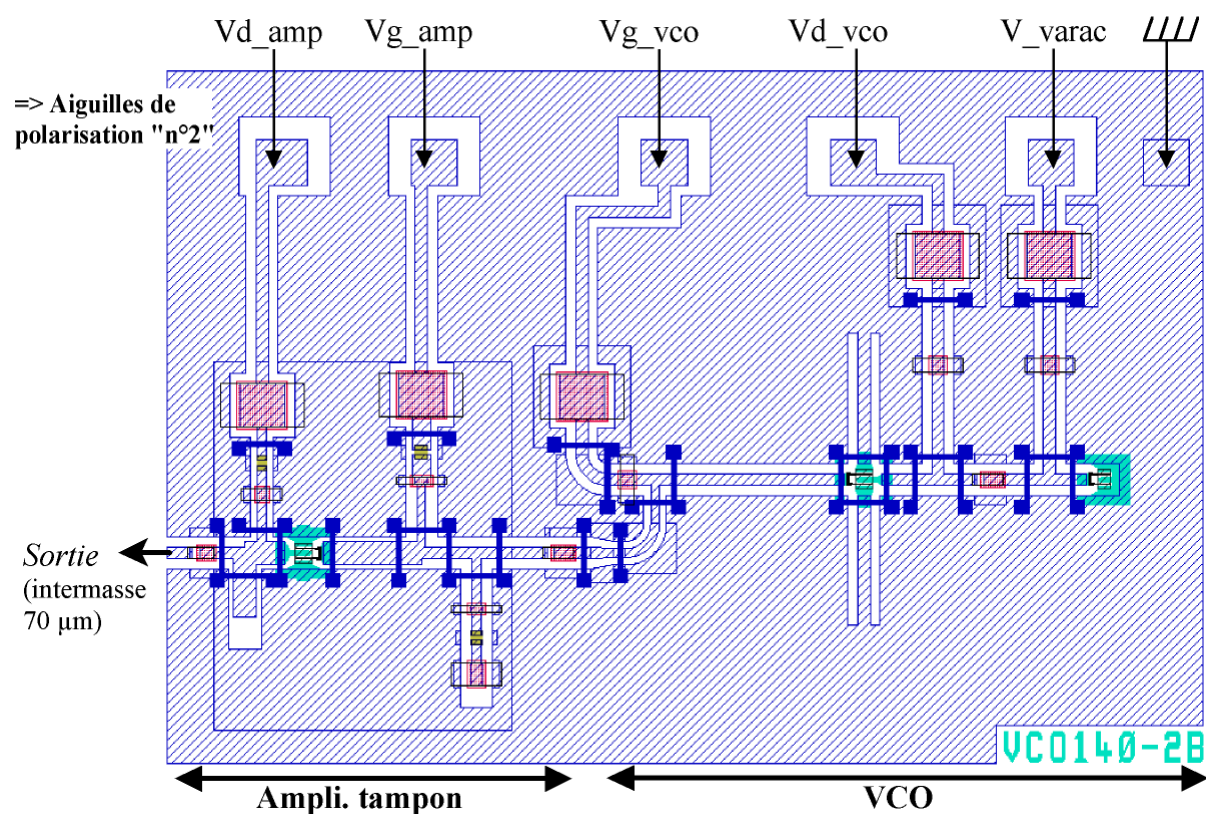


Figure 28 : VCO 140 GHz avec varactor sur le drain et charge sur la grille + amplificateur tampon (VCO 2B)

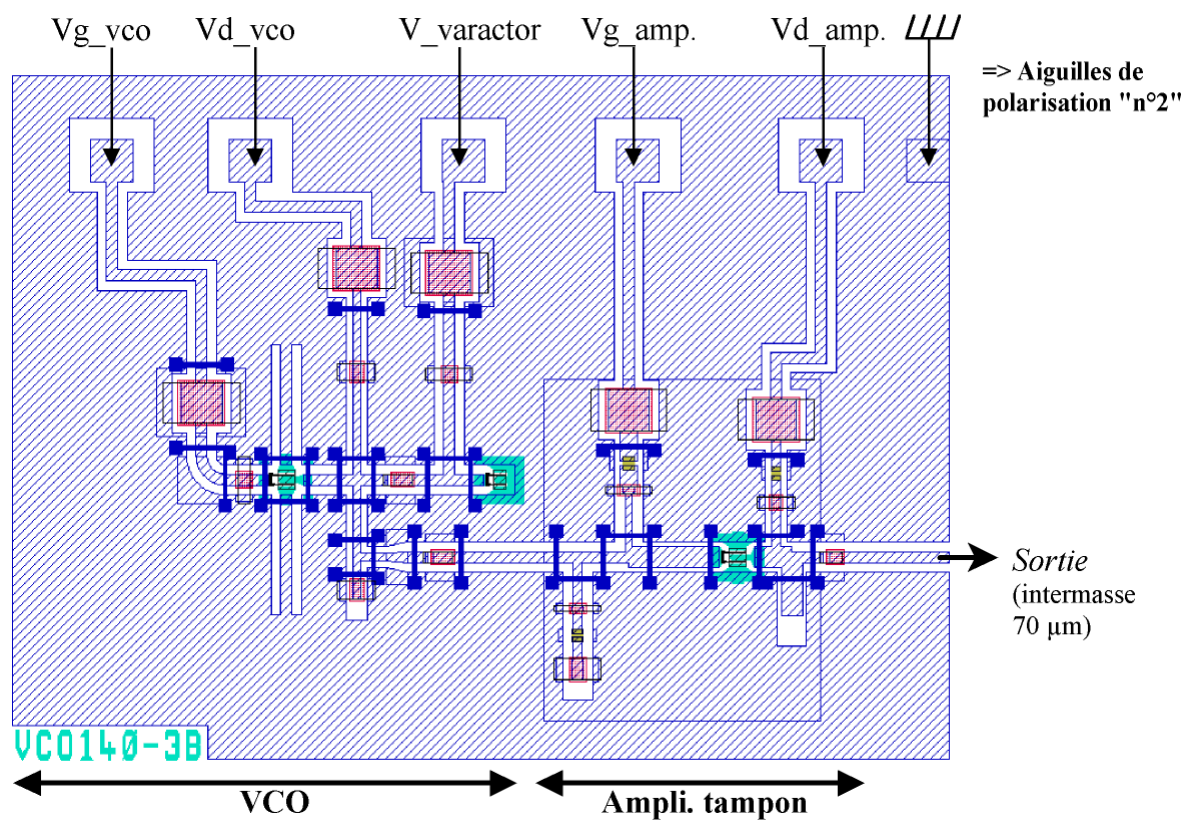


Figure 29 : VCO 140 GHz avec varactor et charge sur le drain + ampli tampon (VCO 3B)

Conclusion générale
et
Perspectives

Conclusion générale et Perspectives

Conclusion générale et Perspectives

Le sujet de ce travail de thèse a été l'étude et la réalisation de circuits MMICs au delà de 100 GHz. Pour atteindre cet objectif, notre travail s'est décomposé en trois chapitres :

- Réalisation de HEMTs sub-100nm, filière AlInAs/GaInAs sur substrat d'InP, ayant des performances satisfaisantes pour les applications envisagées
- Conception de différents circuits MMICs en bande D et G
- Réalisation et caractérisation des circuits MMICs

Le premier chapitre de ce manuscrit est constitué de quatre parties. D'abord, nous avons rappelé les principales caractéristiques des HEMTs, et dressé un état de l'art des technologies de grille et des performances en fréquence.

Puis, nous avons réalisé une étude prospective sur l'évolution de f_T et f_{max} en fonction des éléments du schéma équivalent du transistor. Cette étude nous a permis de montrer que concernant f_T , les principaux éléments entrant en jeu sont f_C et C_{gs}/C_{gd} , mais aussi que les résistances d'accès R_s et R_d jouent un rôle essentiel. Pour la figure f_{max} , nous avons montré que cette fréquence dépendait de très nombreux paramètres, mais qu'elle était particulièrement sensible au rapport C_{gs}/C_{gd} et à G_d . Ce point entraîne par ailleurs, que f_{max} ne sera amélioré avec la réduction de L_g , que si l'on conserve un rapport d'aspect élevé.

Dans la troisième partie, nous avons décrit l'optimisation, la réalisation et la caractérisation de HEMTs de longueur de grille 70 nm. Nous avons d'abord présenté l'optimisation d'une structure de couche permettant de conserver un rapport d'aspect correct, jusqu'à des longueurs de grille proche de 50 nm. Puis, nous avons exposé les différents points du procédé de fabrication qu'il nous a fallu optimiser (lithographie de grille, recuit de contacts ohmiques, recess), pour la réalisation de HEMTs 70 nm. Enfin, après la réalisation de HEMTs 70 nm, sur une couche "standard" et sur une couche "optimisée", nous avons réalisé une étude comparative entre ces deux opérations. Les résultats obtenus pour f_T sont équivalents, avec jusqu'à 270 GHz sur la couche "standard" et 240 GHz sur la couche "optimisée". Cependant, nous avons obtenu une amélioration significative pour f_{max} , avec plus de 470 GHz sur la couche "optimisée", contre seulement 370 GHz sur la couche "standard". Cette amélioration est d'autant plus intéressante que f_{max} est une figure de mérite plus significative que f_T , pour les applications analogiques abordées dans ce manuscrit. Ce dernier résultat sur f_{max} se situe au niveau des meilleurs résultats mondiaux concernant les HEMTs.

Conclusion générale et Perspectives

L'influence sur $f_{\max}$ de la longueur du recess et du développement de grille (W) a aussi été abordée dans ce chapitre. Nous avons constaté que les performances des HEMTs sur couche "optimisée" sont extrêmement sensibles à la longueur du recess, à cause de la fine épaisseur de barrière, et qu'une largeur de recess inférieure à 50 nm est nécessaire pour obtenir de bonnes performances. Pour le développement de grille W, les valeurs les plus élevées de $f_{\max}$ sont obtenues de 50 à 70 μm (2x25 ou 2x35), alors qu'en théorie cela devrait être pour des développements plus courts. A l'origine de cette divergence, deux éléments semblent principalement en cause : R_g et C_{gd} , qui expérimentalement ne suivent l'évolution théorique en W attendue. L'origine de ces divergences n'est pas totalement comprise, mais serait certainement très utile, pour améliorer $f_{\max}$.

Le deuxième chapitre de ce manuscrit a porté sur la conception d'amplificateurs à 140 et 180 GHz, puis d'oscillateurs et de VCOs à 140 GHz.

Nous avons décrit brièvement les éléments passifs employés (lignes de propagations, capacités MIM, résistances), de type coplanaire.

Dans la seconde partie de ce chapitre, nous avons exposé la conception d'amplificateurs à 140 et 180 GHz. Il est apparu que les transistors développés au premier chapitre, pouvaient offrir des performances intéressantes à 140 GHz, mais que leur caractère très instable rendait leur usage très délicat. Pour résoudre ce problème de stabilité, nous avons eu recours à une solution originale, avec un "double réseau RC" sur la grille des transistors. Les simulations ont montré qu'à 140 et 180 GHz, nous pourrions espérer respectivement un gain de 7dB/étage et 3,5 dB/étage. Ces valeurs, si elles sont atteintes, constitueraient un excellent résultat.

Des conceptions d'oscillateurs et de VCOs à 140 GHz ont aussi été réalisées. Pour ce travail, nous avons essentiellement basé nos conceptions, sur l'étude des conditions d'oscillation petit signal. La principale difficulté a été l'absence de modèle non-linéaire fiable pour le transistor à 140 GHz, afin de réaliser des simulations grand signal précises. Par ailleurs, nous avons envisagé différentes topologies de VCOs, pour tester différentes solutions et évaluer leurs avantages et inconvénients. Cependant, la bande d'accord la plus étendue pourrait atteindre 7,5 GHz, pour le meilleur VCO.

Conclusion générale et Perspectives

Le dernier chapitre de ce manuscrit a été consacré à la réalisation des circuits décrits dans le chapitre précédent. Nous avons d'abord exposé le procédé de fabrication des circuits et, en particulier celui des éléments passifs. Puis, nous avons décrit les principales caractéristiques du masque « Ulysse », dessiné pour la réalisation des douze circuits simulés. Enfin, nous avons rapporté les premiers résultats d'une opération comprenant uniquement les dispositifs passifs de ces circuits.

Dans cette dernière partie, nous avons réalisé la mesure de paramètres S jusque 220 GHz, sur des dispositifs test (lignes, capacités, résistances,...) et différents réseaux d'adaptation. La mesure de paramètres S dans la bande 140-220 GHz, constitue un fait encore exceptionnel et unique en France, et malgré la faible expérience dont nous disposons, nous sommes parvenus à obtenir des mesures de bonnes qualités. Les résultats obtenus ont montré en général, une bonne concordance entre les mesures et les simulations jusque près de 220 GHz. Cette bonne concordance, et en particulier pour les réseaux d'adaptation, nous permet d'envisager positivement la réalisation des circuits. Par ailleurs, nous avons apporté des améliorations à certains modèles de passifs (capacités parallèles, résistances), qui permettent de mieux les décrire jusque 220 GHz. Cependant ces modifications ne jouent pas un rôle essentiel sur le fonctionnement des circuits.

Malheureusement, la dernière étape qui aurait été la réalisation d'un circuit complet, n'a pu aboutir pour l'instant, en raison de problèmes dans la réalisation des éléments actifs, et en particulier sur la lithographie de grille.

Les perspectives à ce travail sont évidemment nombreuses. Dans l'immédiat, la première sera d'achever la réalisation des circuits. Il sera peut être nécessaire par la suite, d'apporter des corrections aux circuits pour atteindre pleinement les objectifs fixés. Ce dernier point passera probablement par une meilleure modélisation des éléments passifs et actifs dans la bande 140-220 GHz, grâce au nouvel équipement de mesure.

En ce qui concerne les HEMTs de cette filière, les perspectives pour accroître leurs performances sont multiples et touchent trois aspects :

- La caractérisation : à travers les méthodes d'étalonnage, d'extraction du schéma équivalent, mais aussi les modèles eux-mêmes. En effet, les méthodes et les modèles actuels semblent assez mal adaptés aux spécificités des HEMTs sub-100nm de cette filière. Les intérêts en dehors de la simulation de circuits, portent aussi sur une meilleure compréhension des phénomènes physiques entrant en jeu dans ce type de composant (ionisation par impact, effet tunnel,...), et ils permettraient en retour une meilleure optimisation des composants.

Conclusion générale et Perspectives

- La simulation : ce point s'appuie directement sur le point précédent. Les points à étudier sont nombreux, nous pouvons citer par exemple :
 - La géométrie du composant (accès, distance source-drain, positionnement de la grille dans l'espace source-drain,...)
 - Affiner la structure de couche des composants, en améliorant les modèles de simulation
 - L'influence de la géométrie du recess et de la grille (simple/double recess, couche d'arrêt, recess asymétrique, taille du chapeau...)
 - La prise en compte de nouveaux critères en plus de f_T et f_{max} , tels que la stabilité, la facilité d'adaptation des composants... En effet, il est intéressant de développer des composants qui ont un f_{max} élevé, mais il est aussi important que l'on puisse les adapter aisément dans un amplificateur.
- La technologie, les idées qui peuvent émerger des points précédents doivent être réalisables en pratique, ceci va concerner différents aspects comme par exemple :
 - La réduction de la longueur de grille et la lithographie de grille en général
 - Les méthodes de recess
 - La technologie des contacts ohmiques (choix de contacts ohmiques non-alliés)
 - L'épitaxie

Et plus généralement, les perspectives concernant les HEMTs sont le recours à de nouvelles filières de matériaux, à des structures alternatives telles que des HEMTs sans buffer, ou à double grille, ces solutions alternatives sont par ailleurs en cours d'étude, au laboratoire.

Concernant la réalisation de circuits, les perspectives peuvent être dans trois domaines :

- La montée en fréquence des circuits jusque 220 GHz, avec cette filière de composant, mais en réduisant la longueur de grille
- La réalisation de circuits plus spécifiques ou plus complexes, tels que des amplificateurs faible bruit, amplificateurs distribués, boucle à verrouillage de phase, radiomètre, ...
- Le recours à une approche "3D" des circuits, avec des structures de propagation blindées, et plus généralement le recours à des structures passives plus compactes et présentant moins de pertes.

Résumé

La montée en fréquence de l'électronique n'a cessé d'ouvrir de nouvelles perspectives pour de nombreuses applications. Notre objectif a été la réalisation de circuits intégrés au delà de 100 GHz. Ce sujet a abordé deux aspects, la réalisation de transistors répondant à nos besoins, puis la conception et la réalisation de circuits intégrés. La première partie de nos travaux composée de simulations, d'optimisations technologiques et de caractérisations électriques, nous a permis de réaliser des HEMTs de longueur de grille 70 nm, dans la filière AlInAs/GaInAs pseudomorphiques sur substrat d'InP, ayant un f_T de 270 GHz et un f_{max} de 470 GHz. Puis nous avons conçu des amplificateurs à 140 et 180 GHz, un oscillateur à 140 GHz et des VCOs à 140 GHz. Enfin, nous avons abordé la réalisation de ces circuits. Pour l'instant nous n'avons pu achever un circuit complet, cependant nous avons réalisé, caractérisé et validé les dispositifs passifs des circuits jusqu'à 220 GHz.

Title

"STUDY AND PROSPECT OF AlInAs/GaInAs HEMTs WITH SUB-100 nm GATE LENGTH AND DESIGN OF INTEGRATED CIRCUITS IN G-BAND"

Abstract

The increase of the speed in electronic circuits always opens new prospects for many applications. Our aim was the realization of integrated circuits in G-band. This subject mainly concerned two topics : in first the realization of transistors with sufficient electrical performances, next the design and realization of different circuits. The first part of our work has been composed of simulation, process optimisation and microwave characterization of AlInAs/GaInAs pseudomorphic HEMTs with gate length of 70 nm. We obtained f_T of 270 GHz, and f_{max} of 470 GHz. In the second part we have designed amplifiers at 140 and 180 GHz, an oscillator at 140 GHz, and VCOs at 140 GHz. Finally, the realization of these circuits are in progress, however the passive part of the circuits have been realized, measured and validated up to 220 GHz.

Mots clés

HEMT	MMIC	Transistor à effet de champ
Hétérostructure	Ondes millimétriques	Amplificateurs
Oscillateurs		

***IEMN – Institut d'Électronique, de Microélectronique et de Nanotechnologie –
Département Hyperfréquences et Semiconducteurs
Avenue Poincaré – B.P. 69 – 59652 VILLENEUVE D'ASCQ - FRANCE***