

THÈSE

N° d'ordre: 3451

Présentée à l'Université des Sciences et Technologies de Lille

UFR Electronique

en vue de l'obtention du titre de

DOCTEUR DE L'UNIVERSITE

Spécialité: ELECTRONIQUE

Elaboration et caractérisation de transistors MOS Schottky
en régime nanométrique

par

Guilhem LARRIEU

Ingénieur EUDIL

Soutenu le 9 avril 2004 devant la commission d'examen:

Président	A. Cappy
Rapporteurs	D. Flandre J. Gautier
Examineurs	P. Coronel G. Dambrine A. Halimaoui
Directeurs de thèse	E. Dubois D. Stiévenard

à mes parents,
à Karen,
à ma soeur,
à ma famille.

Remerciements

Ce travail a été effectué à l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) depuis septembre 2000. Je remercie Messieurs les Professeurs Georges Salmer et Alain Cappy successivement directeurs de l'IEMN pendant cette période pour m'avoir accueilli au sein de leur laboratoire. Je tiens à remercier plus particulièrement ce dernier de me faire l'honneur de présider le jury de ma soutenance.

Mes plus chaleureux remerciements et toute ma reconnaissance vont à Emmanuel Dubois, Chargé de Recherche au CNRS et responsable de l'équipe ISEN Microélectronique Silicium, pour m'avoir accueilli, orienté et encadré pendant ces années. Sa rigueur, sa persévérance, ses connaissances scientifiques et son enthousiasme ont largement contribué à la réussite de ce travail.

Je remercie sincèrement Monsieur Denis Flandre, Professeur de l'Université Catholique de Louvain La Neuve et Monsieur Jacques Gautier, Chercheur au CEA LETI de Grenoble, pour l'honneur qu'ils me font d'avoir accepté d'être rapporteurs de ce travail.

Je remercie également Monsieur Philippe Coronel, Ingénieur project manager chez STMicroelectronics, Monsieur Gilles Dambrine, Professeur de l'Université des Sciences et Technologies de Lille, et Monsieur Aomar Halimaoui, Ingénieur project manager chez STMicroelectronics pour avoir accepté de participer au jury de cette thèse.

Je remercie vivement Monsieur Didier Stiévenard, Directeur de Recherche au CNRS pour avoir soutenu ces travaux en tant que Directeur de thèse.

Je voudrais également remercier toutes les personnes qui ont contribué au bon déroulement de cette thèse à travers le projet européen SODAMOS, notamment, Monsieur Xavier Wallart, Chargé de Recherche au CNRS, pour la réalisation des analyses XPS ainsi que pour les fructueuses discussions qui en ont résultées, Monsieur Jerzy Katcki, Chercheur à l'Institute of Electron Microscopy pour les nombreuses images par microscopie électronique à transmission et Monsieur Xavier Baie, Enseignant Chercheur ISEN pour les nombreuses images par microscopie électronique à balayage. Je n'oublie pas les membres de STMicroelectronics et de l'Université de Louvain la Neuve qui ont participé au projet. Je remercie chaleureusement Monsieur Christophe Krzeminski, Chargé de Recherche au CNRS, pour sa contribution dans la description de la cinétique d'oxydation ainsi que pour la relecture de ce manuscrit.

Un immense merci à toutes les personnes de la centrale de technologie sans lesquelles ce travail n'aurait été possible: Christiane Legrand, Annie Fattorini, Patricia Lefebvre, Patrice Bigotte, Christophe Boyaval, Marc François, Bertrand Gimbert, André Leroy, Michel Muller, Jean-Claude Pesant, Roger Ringot, Pascal Tilmant, Didier Vandermoere, Bernard Verbeke. Je n'oublie pas mon "grand" administrateur système, Jean Michel Droulez.

Un grand merci à toutes les personnes avec lesquelles j'ai partagé des moments très agréables notamment tous les membres de l'équipe Microélectronique Silicium qui m'ont accompagné chaque jour, pour leur sympathie et l'ambiance chaleureuse qu'ils dégagent, Evelyne, Amanda Hui, Frédérique, Valérie, Julien, Tahsin, les membres basés à l'ISEN, Valérie, Sophie, Andréas, Jean-Marc, Bruno, Dimitri et Philippe, les MCMO boys, Marco le Romain et tous les autres.

Je remercie tous mes amis qui m'ont soutenu pendant ces années, notamment mes amis chalossais, du groupe B, de Mont de Marsan, du MIC...et Mathieu pour son approche journalistique de la microélectronique.

Enfin, quelques mots ne suffiraient pour exprimer l'immense reconnaissance à mes parents et à Karen pour leur soutien sans faille. Qu'ils reçoivent le témoignage de ma gratitude et de tout mon amour. J'associe naturellement toute ma famille à ses quelques lignes.

Finalement, je remercie le CNRS et la région Nord-Pas de Calais pour leur soutien financier par l'intermédiaire de la bourse de thèse BDI.

Table des matières

Introduction.	11
Chapitre I: Introduction et présentation du transistor MOS à contacts Schottky de très faible hauteur de barrière.	15
1- Fonctionnement du transistor MOSFET.	15
1-1 Présentation d'un MOSFET.	16
1-2 Généralités sur la structure métal-semiconducteur.	17
1-2.1 Effets de surface.	17
1-2.2 Contact métal semiconducteur.	18
1-3 Généralités sur la structure Métal-Oxyde-Semiconducteur (M.O.S).	23
1-3.1 Diagramme d'énergie d'une structure Métal-Vide-Semiconducteur	24
1-3.2 Diagramme d'énergie d'une structure MOS.	25
1-3.3 Effet d'une polarisation du matériau de grille.	27
1-4 Principe de fonctionnement d'un MOSFET.	28
1-5 Critères de mérites d'un MOSFET.	31
2- Effets liés à la miniaturisation.	32
2-1 Règles de réduction.	32
2-2 Modulation de la longueur du canal.	34
2-3 DIBL (Drain Induced Barrier Lowering).	34
2-4 Perçage (Punch-through).	35
2-5 Effets canaux courts sur la tension de seuil.	36
2-6 L'injection de porteurs chauds.	37
2-7 Résistances parasites à la source et au drain.	38
3- Accumulation low Schottky Barrier MOSFET (ALSB).	41
3-1 L'architecture à contact source/drain de faible hauteur de barrière Schottky.	41
3-1.1 Présentation générale.	41
3-1.2 Principe de fonctionnement électrique.	44
3-2 Avantages liés à la technologie SOI.	45
3-2.1 Amélioration du contrôle de la grille sur la charge de déplétion.	46
3-2.2 Amélioration de la pente sous le seuil.	46
3-2.3 Diminution des effets porteurs chauds.	47
3-2.4 Diminution du phénomène de perçage.	48
3-3 Simulation des propriétés de miniaturisation de l'ALSB-SOI-MOSFET.	48
3-3.1 Choix du modèle de comparaison.	48
3-3.2 Immunité aux effets canaux courts.	50
3-4 Optimisation de la résistance de contact source/drain.	56
3-4.1 Position du problème.	56
3-4.2 Optimisation de l'espace entre les contacts S/D et la grille.	56
3-4.3 Impact de la profondeur de pénétration du silicium.	58
4- Conclusion.	62

Chapitre II: Elaboration et caractérisation de contacts Schottky à très faible hauteur de barrière.67

1- Théorie sur le contact Schottky à faible hauteur de barrière.	67
1-1 La diode Schottky	68
1-1.1 La diode Schottky non polarisée	68
1-1.2 La diode Schottky polarisée en direct	69
1-1.3 La diode Schottky polarisée en inverse.	74
1-2 Mesure de la hauteur de barrière Schottky	75
1-2.1 Mesure courant tension I(V)	75
1-2.2 Mesure d'énergie d'activation	77
1-2.3 Mesure en capacité.	78
1-2.4 Mesure par photoémission	79
2- Techniques de fabrication et de caractérisation de siliciures.	81
2-1. Réalisation d'un contact siliciuré.	81
2-1.1 Mode opératoire.	81
2-1.2 Equipements utilisés.	82
2-2 Etude des outils de caractérisations.	83
2-2.1 Caractérisation physique: l'analyse chimique de surface.	84
2-2.2 Caractérisation électrique.	85
3- Le siliciure de platine.	91
3-1 Siliciuration sur un substrat silicium.	92
3-1.1 Analyse XPS.	92
3-1.2 Mesures électriques.	106
3-1.3 Coupes réalisées par microscopie électronique à transmission.	107
3-2 Siliciuration sur un substrat SiGe.	108
3-3 Etude de la siliciure de Pt/Ge sur un substrat silicium.	117
4- Le siliciure d'iridium	119
4-1 Analyse XPS.	119
4-1.1 Cinétique de la réaction de siliciuration d'iridium.	119
4-1.2 Siliciure d'iridium à température ambiante.	125
4-1.3 Siliciure d'iridium à 300°C.	127
4-1.4 Siliciure d'iridium à 600°C.	127
4-1.5 Siliciure d'iridium à 900°C.	128
4-2 Coupes réalisées en microscopie électronique à transmission.	129
4-3 Mesures électriques.	130
5- Conclusion	131

Chapitre III: Procédé de grille auto-alignée métallique nanométrique.137

1- Description d'un procédé autoaligné.	138
2- L'oxyde de grille.	141
2-1 Introduction.	141

2-2 Croissance de l'oxyde.	143
2-2.1 Modèle de croissance.	143
2-2.2 Fabrication d'oxyde ultra fins par oxydation thermique.	146
2-3 Caractérisation des courants de fuite des oxydes réalisés.	154
2-3.1 Courants de fuites d'oxydes minces.	154
2-3.2 Résultats et analyses.	155
2-3.3 Conclusion.	157
3- Choix d'une grille métallique en tungstène et intégrabilité dans un procédé classique.	157
3-1 Introduction.	157
3-2 Impact des traitements thermiques sur les caractéristiques électriques et physiques du tungstène.	160
3-2.1 Réalisation des expériences.	160
3-2.2 Caractérisation électrique.	160
3-2.3 Caractérisation physique.	162
3-2.4 Conclusion.	167
3-3 Impact des traitements chimiques sur l'intégrité du film de tungstène.	167
4- Réalisation d'une grille tungstène encapsulée.	168
4-1 Position du problème.	168
4-2 Obtention d'une grille tungstène par "lift-off".	169
4-2.1 Description du procédé obtenu par écriture électronique.	169
4-2.2 Condition de dépôt de tungstène par évaporation.	171
4-2.3 Résultats et analyses.	172
4-3 Obtention d'une grille tungstène par gravure sèche.	174
4-3.1 Masque réalisé avec une résine électronique négative: HSQ.	174
4-3.2 Gravure plasma du Tungstène.	176
4-3.3 Introduction d'une couche protectrice de grille.	186
4-3.4 Conclusion.	187
5- Réalisation d'un espaceur de nitrure.	187
5-1 Introduction.	187
5-2 Choix de la méthode de dépôt de nitrure.	188
5-2.1 Introduction.	188
5-2.2 Dépôt de nitrure par LPCVD.	188
5-2.3 Dépôt de nitrure par PECVD.	193
5-2.4 Conclusion.	196
5-3 Formation de l'espaceur par gravure sèche.	196
6- Intégration de la grille encapsulée dans le procédé MOS Schottky.	198
7- Conclusion	203

Chapitre IV: Réalisation et caractérisation électrique du transistor

Schottky p-MOSFET.209

1- Procédé de réalisation du transistor Schottky p-MOSFET.	209
2- Caractérisation électrique de l'ALSB-SOI p-MOSFET.	212
2-1 Caractérisation statique courant-tension.	212

2-2 Discussion et analyse.	216
2-2.1 Perte de courant en régime de faible accumulation.	216
2-2.2 Réduction des défauts d'interfaces.	220
2-3 Comparaison avec l'état de l'art.	222
3- Conclusion.	224
Conclusions et perspectives.	227
Annexes	233

Introduction

Lors des 40 dernières années, l'industrie du semiconducteur a permis une véritable révolution dans le traitement de l'information grâce à une évolution technologique fulgurante. Dans le domaine de la micro-électronique, les avancées technologiques se sont déployées sur différents axes comme le degré d'intégration, le coût, la fréquence d'opération, la puissance ou la fonctionnalité. Ces progrès sont principalement liés à la réduction continue de la taille des dispositifs élémentaires. Dès 1965, Gordon Moore formalise plusieurs observations qui se sont progressivement instaurées en loi [1], définissant par anticipation les performances des noeuds technologiques à venir. Par exemple, il prévoyait le doublement du nombre de composants par circuit tous les 24 mois. Afin d'établir une meilleure visibilité à moyen/long terme, les différents acteurs des semiconducteurs ont établi un véritable tableau de marche pour les prochaines générations de composants, appelé International Technology Roadmap For Semiconductors (ITRS) [2].

L'année 2004 a vu l'entrée en production de la première génération de composant CMOS dont la longueur de grille est inférieure à 100 nm. Afin d'assurer la transition d'une génération à la suivante, la stratégie utilisée est basée sur une diminution des caractéristiques physiques du composant (profondeur de jonction, épaisseur d'oxyde de grille...) tout en préservant l'architecture classique du transistor (configuration planaire, substrat Si massif, contact source/drain sur zones fortement dopées). Cette évolution requiert un raffinement de plus en plus important des procédés de fabrication. Mais cette approche atteint ses limites physiques (e.g. oxyde de grille de quelques angströms, activation de dopant au dessus de la limite de solubilité) et ne permettra pas l'avènement des générations sub-50 nm à l'orée 2010 [2]. Pour continuer la miniaturisation des composants tout en améliorant leurs performances, des innovations importantes dans l'approche des dispositifs sont nécessaires.

Pour atteindre les objectifs de performances des générations sub-50 nm, les dispositifs doivent intégrer plusieurs innovations importantes également reportées sous la dénomination de technology booster [2]. Par exemple, le substrat en silicium massif possède déjà de nombreux concurrents comme les canaux en silicium contraint ou SiGe ou encore les substrats SOI (Silicon On Insulator). L'architecture de grille est un thème de recherche actuellement très étudié avec, par exemple, le remplacement du dispositif de grille planaire classique par des multigrilles (double grille, canal en ailette) ou des empilements de grille innovants avec l'introduction d'isolant à

haute constante diélectrique (high K) et des grilles métalliques. Un autre grand challenge, moins exploré mais certainement au moins aussi important, est l'architecture des zones source/drain. Les difficultés sont multiples, on peut citer par exemple la réalisation de jonctions ultra courtes avec un contrôle serré de la profondeur d'extension et du gradient des concentrations de dopant ou encore de contacter ces régions avec des matériaux de faibles résistances et de faibles résistances spécifiques de contact. Dès lors, le dopage et l'accès des zones source/drain deviennent des freins à la miniaturisation si aucune solution pour réduire les résistances d'accès n'est trouvée.

Cette thèse se propose de concevoir une architecture alternative de transistor MOSFET. Elle est basée sur le remplacement des contacts ohmiques conventionnels sur des zones source/drain fortement dopées par des contacts Schottky de très faible hauteur de barrière. Le substrat SOI utilisé se compose d'une fine couche de silicium actif (typiquement 10 nm) sur une couche d'oxyde enterré. Le transistor est prévu pour fonctionner en mode d'accumulation. Enfin, la grille polysilicium fortement dopée est remplacée par une grille métallique. Cet objectif de réalisation est développé dans le manuscrit suivant quatre grandes parties:

La première partie rappelle le fonctionnement d'un MOSFET classique et s'intéresse aux dégradations de son fonctionnement liées à la réduction des dimensions. Puis le principe de fonctionnement du MOSFET alternatif basé sur l'intégration de contact source drain Schottky couplé à un substrat SOI est exposé et les principaux avantages de cette technologie sont argumentés par l'intermédiaire d'exemples figuratifs et de simulations électriques.

Le deuxième chapitre est consacré à l'étude et l'élaboration de contacts Schottky de très faible hauteur de barrière sur film SOI mince. Un modèle de transport de courant dans une jonction Schottky de faible hauteur de barrière est présenté et permet de faire un inventaire critique des différentes méthodes de mesure de hauteur de barrière lorsqu'elles sont utilisées pour calculer de très faibles valeurs. Une méthode inédite est proposée afin de sélectionner le meilleur siliciure (i.e celui possédant la plus faible résistance spécifique de contact). Dans un second temps, une étude détaillée la formation de siliciure de platine et d'iridium par analyse chimique de surface, microscopie électronique à transmission et caractérisations électriques. Une attention particulière est mise sur l'influence du type de substrat (Si massif, SOI, SiGe).

La troisième partie rapporte l'intégration de dispositif avec le développement d'un procédé de grille métallique auto-alignée en technologie couche mince. Premièrement, le procédé de réalisation d'une architecture auto-alignée est décrit en considérant des dépôts et gravures idéaux. Le second point décrit un procédé d'oxydation sèche basse température permettant la formation d'oxydes ultra fins uniformes et possédant de faibles courants de fuites. La troisième sec-

tion s'intéresse aux bénéfices liés à l'intégration d'une grille métallique midgap au point de vue structural et électrique. Une étude évalue l'évolution de la résistivité d'une couche de tungstène en fonction des conditions de recuit. Ceci est directement relié avec la granulosité du matériau observée par microscopie électronique à balayage, à transmission et par force atomique. La quatrième section expose le procédé de définition du motif de grille. Un masque de résine haute résolution est obtenu par lithographie électronique puis une gravure sèche hautement critique permet de transférer le motif de résine sur l'empilement de grille. La sixième section décrit la réalisation d'espaceur ultra-mince (10-15 nm). L'influence de la technique de dépôt du nitrure sur l'intégrité de la grille est discutée puis la définition des espaceurs par gravure sèche anisotrope est illustrée. Enfin, une dernière section étudie la possibilité de court circuit (bridging) entre source-drain dans les petites géométries, investiguant si la siliciuration des contacts source/drain et la gravure humide de l'excès de métal ne dégrade pas le dispositif.

La dernière partie résume le procédé complet de formation de transistor SOI Schottky p-MOSFET à grille métallique et présente les résultats des caractérisations électriques obtenus sur des dispositifs de différentes longueurs de grille. Ces résultats sont discutés puis comparés avec l'état de l'art de cette technologie.

Bibliographie

[1] G. Moore, "Electronics", vol. 38, no 8, 1965.

[2] SIA Semiconductor Industry Association, "The International Technology Roadmap for Semiconductors - ITRS", 2001.

Chapitre I

Introduction et présentation du transistor MOS à contacts Schottky de très faible hauteur de barrière.

Ce premier chapitre rappelle de manière générale l'architecture de base et le fonctionnement du transistor MOS (contact métal semiconducteur et contact métal oxyde semiconducteur). Puis, après avoir expliqué les règles de miniaturisation associées à la technologie CMOS, nous exposons les conséquences et les challenges liés à cette course aux réductions des dimensions. L'introduction de nouvelles architectures permet d'espérer atteindre les dimensions nanométriques en repoussant les limites auxquelles sont confrontées les architectures classiques.

Le transistor MOSFET à contacts Schottky de très faible hauteur de barrière constitue une alternative à l'architecture source/drain classique utilisant des jonctions ultra courtes fortement dopées. La deuxième partie du chapitre présente cette architecture de transistor et ses performances électriques sont comparées à un transistor MOS classique par le biais de simulation électrique de dispositif.

1- Fonctionnement du transistor MOSFET.

Le paragraphe suivant rappelle les principes de fonctionnement d'un transistor MOS à effet de champ [2][5] en attachant une attention particulière aux mécanismes physiques mis en jeu dans les différentes régions qui le composent [2][3][4].

1-1 Présentation d'un MOSFET.

Le transistor MOS est un transistor à effet de champ (FET) constitué d'un substrat semi-conducteur (B) recouvert d'une couche d'oxyde sur laquelle est déposée l'électrode de grille (G). Par le biais d'une différence de potentiel appliquée entre grille et substrat, un champ électrique se crée dans le semiconducteur. Il a pour effet de repousser les porteurs majoritaires loin de l'interface oxyde-semiconducteur (transistor à inversion) ou de les attirer (transistor à accumulation). Dans les deux cas, les porteurs viennent de deux réservoirs de porteurs encadrant la grille: la source (S) et le drain (D). Ceux-ci forment sous la grille une couche de charges mobiles appelée canal. Ces charges sont susceptibles de transiter entre le drain et la source situés aux extrémités du canal (Fig. I.1). Si ce canal est constitué de porteurs de charge positive (trous), on parlera d'une technologie p-MOS, s'il s'agit de charge négative (électrons), on parlera d'une technologie n-MOS. L'exemple exposé en Fig. I.3 est un transistor à inversion de type n.

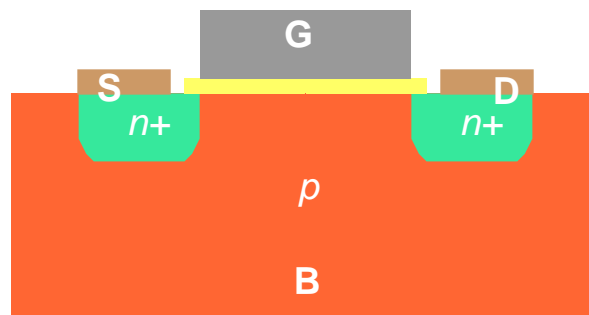


Fig. I.1: Transistor n-MOSFET à inversion composé de deux réservoirs de porteurs (zones S et D fortement dopées) entre lesquelles circule le courant et une troisième qui contrôle le passage de ce dernier.

On peut schématiquement diviser le transistor en deux parties qui interagissent entre elles:

- la zone qui commande le passage du courant, composée du matériau de grille, de l'oxyde de grille et du canal semiconducteur appelée structure Métal Oxyde Semiconducteur (MOS), cas particulier de structure Métal Isolant Semiconducteur (MIS), sera détaillée dans le paragraphe 2.3.

- les régions où s'effectuent l'injection des porteurs (source et drain), qui sont des structures métal-semiconducteur, seront décrites dans le paragraphe 2.2.

Le paragraphe 2.4 détaillera le fonctionnement du transistor. Enfin, les facteurs de mérites du MOSFET seront énumérés dans le paragraphe 2.5.

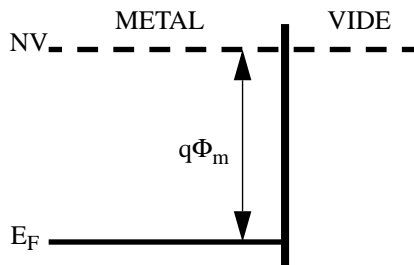
1-2 Généralités sur la structure métal-semiconducteur.

La structure Métal-Semiconducteur (M-SC) est le dispositif unipolaire le plus simple à la base d'un grand nombre de structures plus complexes. C'est à dire qu'un seul type de porteurs (électrons ou trous) participe de façon importante à la conduction du courant et détermine les conditions de fonctionnement du dispositif.

1-2.1 Effets de surface.

1-2.1.1 Travail de sortie.

Dans le métal, l'électron de conduction est soumis à un ensemble de forces d'interaction dont la résultante est nulle, il peut se déplacer librement. Quand l'électron arrive à la surface du métal, la compensation des forces d'interaction entre elles n'est plus totale, l'électron est retenu à l'intérieur du métal. Pour extraire un électron du métal, il faut lui fournir de l'énergie.

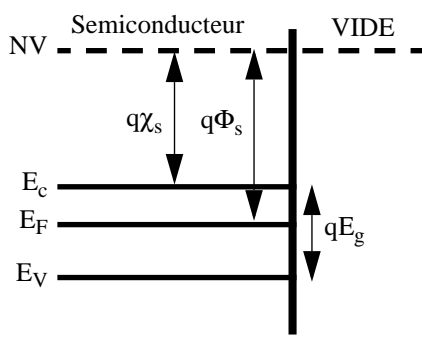


On appelle travail de sortie, l'énergie qu'il faut fournir à un électron situé au niveau de Fermi pour l'arracher du métal et l'amener au niveau du vide NV (électron au repos situé à l'infini). Le travail de sortie d'un métal s'écrit:

$$q\Phi_m = NV - E_F$$

Dans les semiconducteurs et les isolants, le travail de sortie $q\Phi_s$ est défini de la même manière. Cependant pour les semiconducteurs, la position du niveau de Fermi dépend du dopage et $q\Phi_s$ n'est pas constant.

1-2.1.2 Affinité électronique



On définit l'affinité électronique comme l'énergie qu'il faut fournir à un électron situé dans le bas de la bande de conduction pour l'amener au niveau du vide:

$$q\chi_s = NV - E_c$$

On définit la largeur de bande (E_g) par la distance entre la bande de conduction et la bande de valence d'un semiconducteur.

1-2.2 Contact métal semiconducteur.

Lorsque un métal est mis en contact avec un semiconducteur, une barrière se forme à l'interface métal-semiconducteur. La structure des bandes d'énergie au voisinage de l'interface est conditionnée par la différence entre des travaux de sortie du métal et du semiconducteur, d'une part et la présence de charges localisées au niveau de l'interface métal / SC, d'autre part. En réalité, la hauteur de barrière est dépendante de la structure atomique de cette interface. Ces états d'interface, lorsqu'ils sont très nombreux introduisent un verrouillage (pinning) du niveau de Fermi. Nous aborderons dans cette section le cas d'un contact entre un métal et un semiconducteur dopé p et présenterons une vue simplifiée en ne tenant pas compte des états d'interface.

1-2.2.1 Cas $q\Phi_m = q\Phi_s$

Lorsque le travail de sortie du métal est égal au travail de sortie du semiconducteur, les niveaux de Fermi sont alignés en l'absence de contact (Fig. I.2 gauche). Ils restent alignés lorsque le contact est réalisé (Fig. I.2 droite). Il apparaît une barrière de potentiel du côté du métal:

$$q \cdot \Phi_{bn} = q \cdot \Phi_m - q \cdot \chi_s \quad (I.1)$$

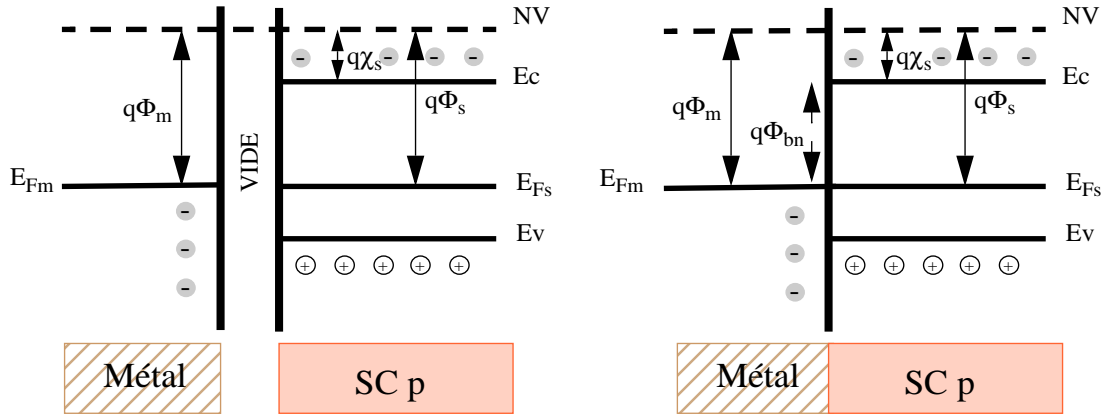


Fig 1.2: Contact métal semiconducteur: $q\Phi_m = q\Phi_s$.

La bande de valence et de conduction reste droite, c'est le régime de bandes plates. Les niveaux de Fermi étant alignés avant le contact, l'équilibre thermodynamique peut se réaliser sans échange de porteurs.

1-2.2.2 Cas $q\Phi_m > q\Phi_s$

Lorsque les deux matériaux sont mis en contact, un transfert de charges apparaît. Des électrons diffusent majoritairement du semiconducteur vers le métal. Le système atteint son équilibre grâce à l'apparition d'une charge d'espace qui va permettre l'alignement des niveaux de Fermi.

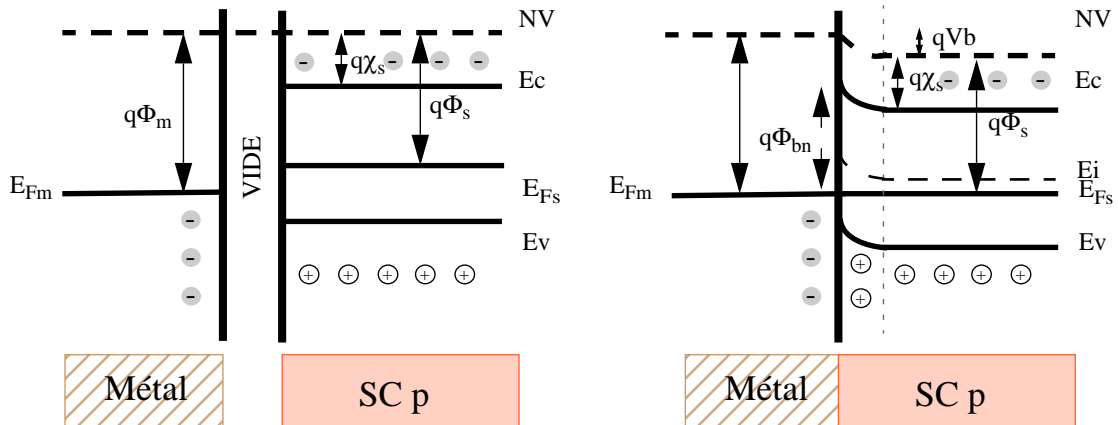


Fig 1.3: Contact métal semiconducteur: $q\Phi_m > q\Phi_s$.

La charge surfacique négative dans le métal et la charge d'espace positive dans le semiconducteur induit une courbure vers le haut des bandes d'énergie. La zone de charge d'espace

s'étend du côté du semiconducteur car la densité d'états dans le métal est bien plus grande que dans le semiconducteur. C'est une zone d'accumulation de porteurs majoritaires. Il n'y a donc pas de zone de déplétion. Sous polarisation, la chute de tension dans la structure n'est provoquée que par la résistance du semiconducteur. Au niveau du contact, l'arrivée ou le départ d'un trou dans le semiconducteur est immédiatement compensé par l'arrivée ou le départ d'un électron dans le métal. Le courant circule librement dans les deux sens: c'est un contact quasi ohmique.

1-2.2.3 Cas $q\Phi_m < q\Phi_s$

Lorsque les deux matériaux sont mis en contact, les électrons diffusent majoritairement du métal vers le semiconducteur. Le système se stabilise grâce à l'apparition d'une charge d'espace qui va rétablir l'équilibre et permettre l'alignement des niveaux de Fermi. A cette charge d'espace est associé un champ électrique qui s'oppose au passage des trous du semiconducteur vers le métal; il apparaît une barrière qV_b telle que:

$$q \cdot V_b = q \cdot \Phi_s - q \cdot \Phi_m \quad (I.2)$$

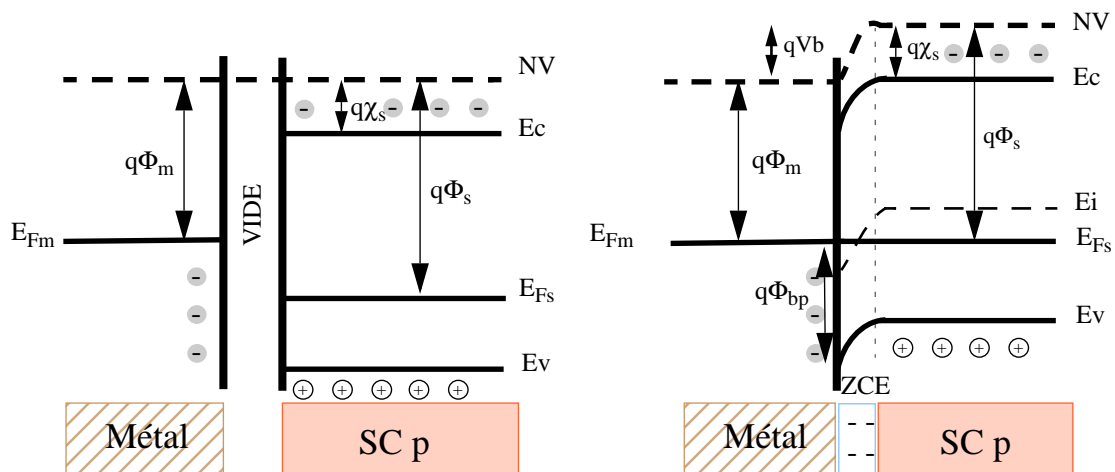


Fig I.4: Contact métal semiconducteur: $q\Phi_m < q\Phi_s$.

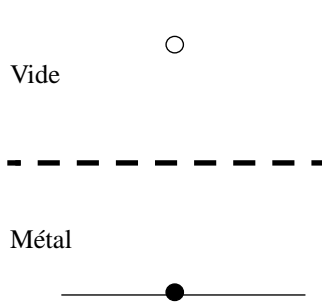
Les électrons du métal passent dans le semiconducteur et se recombinent avec les trous majoritaires (apparition d'une zone désertée). Le système évolue jusqu'à ce que le champ électrique arrête la diffusion des électrons. Il apparaît une zone de charge d'espace négative dans le

semiconducteur. Si une tension extérieure est appliquée sur la structure, elle se localise au niveau de la zone désertée.

La hauteur de barrière pour les trous peut alors s'écrire sous la forme de la relation de Mott-Schottky [3]:

$$\Phi_{bp} = E_g - (\Phi_m - \chi_s) \quad (I.3)$$

1-2.2.4 Effet Schottky.



Quand un électron se situe à une distance x dans le métal, une charge positive est induite à la surface du métal. La force d'attraction entre l'électron et la charge induite est semblable à une force qui existerait entre l'électron et une même charge positive située à une distance $-x$. Cette force, appelée force image, est donnée par:

$$F = -\frac{1}{4\pi\xi} \cdot \frac{q^2}{(2x)^2} = \frac{-q^2}{16\pi\epsilon_0 x^2} \quad (I.4)$$

avec ϵ_0 permittivité du vide.

L'énergie minimale nécessaire pour extraire un électron du métal dans le vide est $q\Phi_m$. L'énergie de barrière de potentiel à la sortie du métal s'écrit:

$$q \cdot V_b(x) = q \cdot \Phi_m - \frac{q^2}{16\pi\epsilon_0 x} \quad (I.5)$$

Lorsqu'on applique un champ électrique E_0 constant (Fig. I.5), l'énergie de la barrière en fonction de la distance x à la surface devient:

$$q \cdot V_b(x) = q \cdot \Phi_m - \frac{q^2}{16\pi\epsilon_0 x} - q \cdot E_0 \cdot x \quad (I.6)$$

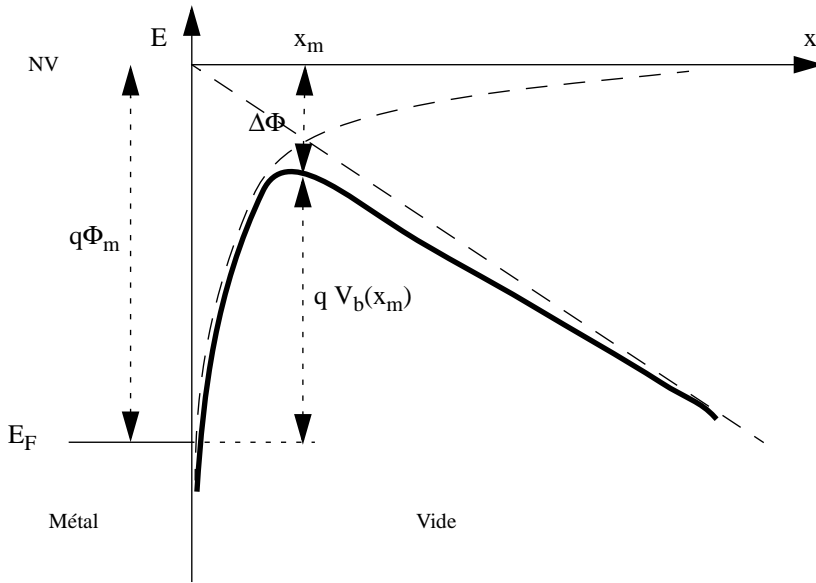


Fig. I.5: Diagramme de bande d'énergie entre la surface d'un métal et le vide. L'abaissement de barrière est du à la combinaison de l'effet de champ et de la force image.

La barrière de potentiel $qV_b(x)$ présente un maximum pour un point x_m précis:

$$x_m = \sqrt{\frac{q}{16\pi\epsilon_0 E_0}} \quad \text{et} \quad \Delta\Phi = 2 \cdot E_0 \cdot x_m \quad (\text{I.7})$$

Ce résultat peut être appliqué dans le cas d'une jonction métal/semiconducteur en prenant soin de remplacer la permittivité du vide (ϵ_0) par celle du silicium (ϵ_S). Pour une jonction métal semiconducteur de type p, la hauteur de barrière Schottky pour les trous, tenant compte de l'abaissement de barrière par effet Schottky, s'exprime par:

$$\Phi_{bp} = \Phi_{bp0} - \Delta\Phi_{bp} = \Phi_{bp0} - \sqrt{\frac{qE_0}{4\pi\epsilon_S}} \quad (\text{I.8})$$

Pour un champ électrique de quelques dizaines de kV/cm, la diminution de la barrière est de l'ordre de quelques meV. C'est pour cela que l'on néglige très souvent la contribution induite par l'effet Schottky. Néanmoins, lorsque l'on s'intéresse aux cas particuliers de très faibles hauteurs de barrière, l'effet Schottky revêt une tout autre importance.

1-2.2.5 Etats de surface.

La densité des états d'énergie à la surface d'un semiconducteur est généralement modifiée par la présence d'états de surface situés dans la bande interdite entre E_c et E_v . Ces états peu-

vent provenir de: ● phénomènes intrinsèques: la rupture de la périodicité du réseau génère des liaisons pendantes qui introduisent de nouveaux états électroniques localisés.

● phénomènes extrinsèques: des atomes étrangers se greffent à la surface et créent des niveaux d'énergie inexistantes dans le volume cristallin (atomes oxygène). Les traitements chimiques ou ioniques peuvent également créer des états d'interface.

Expérimentalement, la hauteur de barrière de la plupart des jonctions métal/SC est proche de la moitié du gap du semiconducteur. Ceci peut être expliqué par la présence d'états d'interface qui introduisent un ancrage du niveau de Fermi. Pour tenir compte de la dépendance de la densité de charge de surface (D_S) sur la hauteur de barrière, l'équation de Mott peut être complétée comme suit:

$$q\Phi_{bp} = E_g - C_S q(\Phi_m - \chi_S) + (1 - C_S)(E_g - q\Phi_0) \quad (\text{I.9})$$

avec $q\Phi_0$ le niveau d'énergie des états de surface (niveau de neutralité de charge) et C_S constante définie par:

$$C_S = \varepsilon_i / (\varepsilon_i + q^2 \delta_i D_S) \quad (\text{I.10})$$

où ε_i est la permittivité de la couche d'interface d'épaisseur δ_i . Pour de fortes densités d'états de surface ($C_S \ll 1$), le second membre de l'équation I.9 est prépondérant, impliquant le verrouillage de la hauteur de barrière Schottky sur Φ_0 . Par contre lorsque la densité d'état de surface est faible ($C_S \sim 1$), la hauteur de barrière est celle d'une jonction idéale décrite par l'équation de Mott-Schottky (éq.I.3).

1-3 Généralités sur la structure Métal-Oxyde-Semiconducteur (M.O.S).

La structure MOS est une structure du type M.I.S. (Métal Isolant Semiconducteur). Elle est l'élément actif d'un transistor M.O.S.F.E.T.

1-3.1 Diagramme d'énergie d'une structure Métal-Vide-Semiconducteur

On considère un métal, caractérisé par un travail de sortie $q\Phi_m$ et un semiconducteur de travail de sortie $q\Phi_s$, séparés par un isolant constitué par une épaisseur de vide relativement faible (Fig I.6 gauche). Si le métal et le semiconducteur sont reliés électriquement (Fig. I.6 droite), ils constituent un seul système thermodynamique, leurs niveaux de Fermi s'alignent et une différence de potentiel, analogue à la tension de diffusion du contact métal-semiconducteur (paragraphe 2-2.2), créée par les différence des travaux de sortie apparaît:

$$q \cdot V_b = q \cdot \Phi_s - q \cdot \Phi_m \quad (I.11)$$

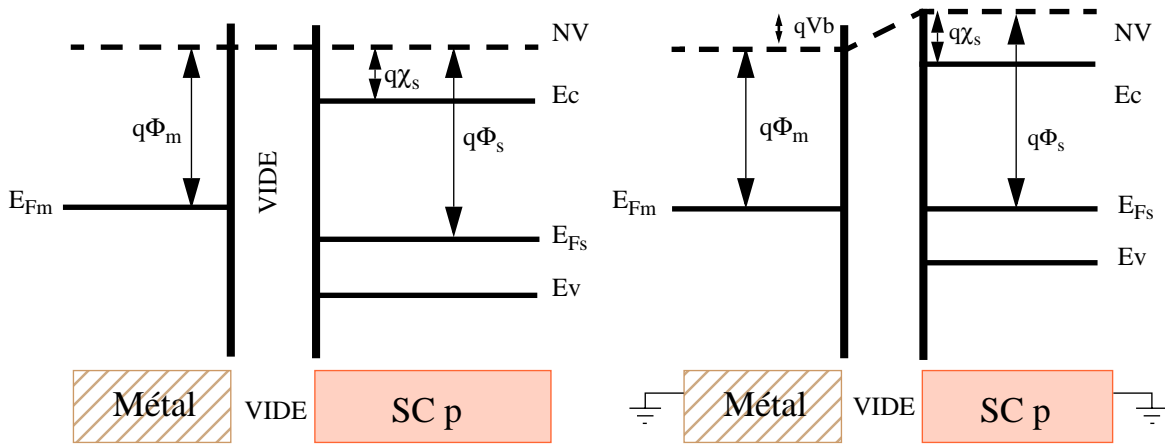


Fig I.6: Structure métal-vide-semiconducteur (gauche) métal et semiconducteur isolés (droite) métal et semiconducteur relié.

La structure se comporte comme un condensateur plan dont la tension entre les armatures est constante (V_b). La charge dépend de la capacité ou en d'autre terme de la distance entre les armatures. Si cette distance diminue, la capacité, et par conséquent la charge, augmente. Compte tenu de la forte densité d'états disponibles dans le métal, cette charge sera confinée sur une fraction de couche atomique (épaisseur supposée nulle). La charge dans le semiconducteur résulte de la variation de la densité de porteurs libres, électrons ou trous, au voisinage de la surface. La variation de la densité de porteurs libres est associée à la différence d'énergie entre le niveau de Fermi et les bandes de conduction ou de valence. Dans la mesure où le niveau de Fermi est fixé par l'équilibre thermodynamique, il en résulte une courbure des bandes de valence et de conduction vers le bas ou le haut, en fonction de l'augmentation ou de la diminution de la densité d'électrons. La nature de la charge d'espace et de la courbure des bandes est fonction du type du semiconducteur et de la différence des travaux de sortie.

1-3.2 Diagramme d'énergie d'une structure MOS.

En technologie silicium, l'isolant le plus couramment utilisé est l'oxyde de silicium. L'isolant, supposé parfait, est caractérisé par un gap E_{gi} et par une affinité électronique χ_i . Le diagramme de bande sera similaire à celui de la Fig. I.6.

On considère un semiconducteur de type p (Fig. I.7) et différentes valeurs relatives des travaux de sortie du métal et du semiconducteur:

- $\Phi_m > \Phi_s$

Si V_b est positif, des charges positives se développent dans le semi-conducteur et des charges négatives dans le métal. Les charges négatives dans le métal résultent d'une accumulation d'électrons à la surface. Les charges positives dans le semi-conducteur résultent d'une accumulation de trous à l'interface oxyde/SC, la bande de valence et la bande de conduction se courbent vers le haut. Le semi-conducteur est dit en *régime d'accumulation* (Fig. I.7 (a)).

- $\Phi_m = \Phi_s$

La tension de diffusion est nulle, aucune charge n'apparaît, les bandes restent horizontales, le semi-conducteur est dit en *régime de bandes plates* (Fig. I.7 (b)).

- $\Phi_m < \Phi_s$

Si V_b est négatif, des charges négatives se développent dans le semi-conducteur et des charges positives dans le métal. Les charges positives dans le métal résultent d'un départ d'électrons de la zone située au voisinage de l'interface. Les charges négatives dans le semi-conducteur résultent du départ de trous et proviennent d'une part de la présence d'ions accepteurs non compensés par la charge électronique correspondante, et d'autre part de l'augmentation de la concentration en porteurs minoritaires. A l'augmentation de la densité électronique est associée une courbure des bandes vers le haut.

Si la courbure de bande est relativement faible, la densité d'électrons reste inférieure à n_i , les ions accepteurs constituent alors l'essentiel de la charge d'espace, le semi-conducteur est dit en *régime de déplétion* (Fig. I.7 (c)).

Si la courbure de bande est plus importante, la densité d'électrons augmente et lorsqu'elle devient supérieure à n_i , le semi-conducteur devient de type n au voisinage de la surface, on dit que le semi-conducteur est en *régime d'inversion* (Fig. I.7 (d)).

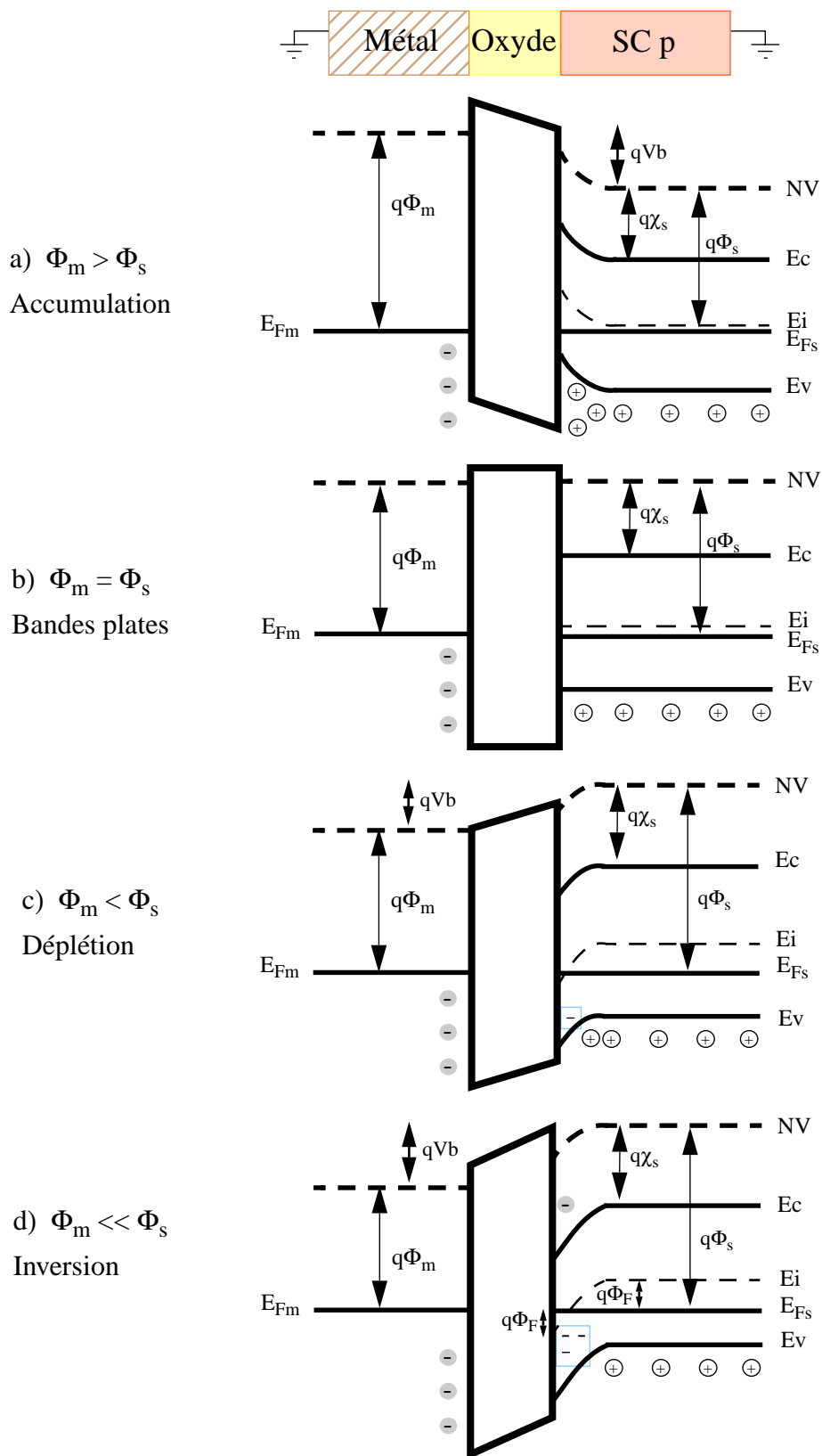


Fig I.7: Structure métal-oxyde-semiconducteur de type p à l'équilibre.

1-3.3 Effet d'une polarisation du matériau de grille.

En pratique, le matériau de grille a, dans la plupart des cas, un niveau de Fermi différent de celui du silicium. Il faut donc appliquer une tension extérieure à la grille afin de rétablir une situation d'équilibre dans laquelle les bandes sont plates. Au premier ordre, cette tension de bandes plates (Flat Band) est égale à $V_{FB} = \Phi_m - \Phi_s$, sans prendre en compte les charges d'interface. Cependant, la différence de potentiel qui existe entre le métal et le semiconducteur peut avoir deux origines: d'une part la différence de travaux de sortie entre les deux matériaux (Φ_{ms}) et d'autre part la polarisation éventuelle d'un matériau par rapport à l'autre (V_G). Ces deux effets s'additionnent pour donner le gradient de potentiel total: $\Phi_{ms} + V_G$. Sous l'action de cette polarisation, la structure évolue de manière analogue à la représentation faite en Fig. I.7, d'un régime d'accumulation ($\Phi_{ms} + V_G < 0$) à un régime d'inversion ($\Phi_{ms} + V_G > 0$) en passant par les régimes de bandes plates ($\Phi_{ms} + V_G = 0$) et de déplétion.

Outre la différence des travaux de sortie et la polarisation extérieure, un autre phénomène modifie la barrière de potentiel: la présence de charges localisées à l'interface isolant-semiconducteur. Ces charges d'interface Q_{SS} induisent dans le semi-conducteur une charge équivalente de signe opposé ($Q_{SC} = -Q_{SS}$). Il existe donc entre le métal et le semi-conducteur une différence de potentiel additionnelle résultant de la présence de ces charges. Ainsi, en prenant en considération la différence des travaux de sortie et la présence des charges d'interface, la tension de polarisation nécessaire à l'établissement du régime de bandes plates s'écrit:

$$V_{FB} = \Phi_{ms} - Q_{SS}/C_{OX} \quad (I.12)$$

où C_{OX} représente la capacité de la couche isolante par unité de surface.

On définit la tension de seuil à la structure, V_T , comme la tension de polarisation nécessaire à l'établissement du régime de forte inversion. C'est la valeur de la tension de commande V_G pour laquelle le potentiel de surface $V_s = 2\Phi_F$. Le seuil de forte inversion correspond au régime où la charge d'inversion devient prépondérante. En dessous de ce seuil, les charges dans le semiconducteur sont essentiellement des charges de déplétion. La tension de seuil s'écrit, en prenant $Q_{SC} = Q_{dep}$:

$$V_T = \Phi_{ms} - Q_{dep}/C_{OX} + 2\Phi_F \quad (I.13)$$

La profondeur de la zone de déplétion peut se calculer facilement. Dans le semiconducteur, en supposant un dopage homogène, la densité de charge de déplétion s'écrit: $\rho(x)=-q \cdot N_a$ de sorte que l'équation de Poisson s'écrit:

$$\frac{d^2 V(x)}{dx^2} = \frac{-\rho(x)}{\epsilon_S} = \frac{q \cdot N_a}{\epsilon_S} \quad (\text{I.14})$$

L'équation I.14 est intégrée une première fois avec la condition $E=0$ en $x=W$ car W est la limite de la zone de charge d'espace puis une seconde fois avec la condition $V=0$ en $x=W$. Il vient:

$$V(x) = \frac{q \cdot N_a}{\epsilon_S} (x - W)^2 \quad (\text{I.15})$$

En utilisant le potentiel à l'interface Si/SiO₂ (V_S), la profondeur de la zone déplétée s'écrit:

$$W = \left(\frac{2\epsilon_S}{q \cdot N_a} V_S \right)^{1/2} \quad (\text{I.16})$$

La valeur maximale de la profondeur de déplétion est atteinte lorsque le seuil de forte inversion est franchi.

$$W_m = \left(\frac{2\epsilon_S}{q \cdot N_a} 2\Phi_F \right)^{1/2} \quad (\text{I.17})$$

1-4 Principe de fonctionnement d'un MOSFET.

La structure de base du transistor et son diagramme énergétique sont représentés sur la Fig. I.8. Ce transistor est réalisé sur un substrat de type p et de deux zones dopées n⁺ constituant les zones de source et de drain. En l'absence de toute polarisation la capacité MOS est en régime de déplétion, le transistor est normalement bloqué (Fig. I.8 (a)). Une zone déplétée est aussi présente près des zones source et drain induites par la jonction p-n. Le transistor est polarisé dans l'état passant par une tension grille-source positive, supérieure à la tension de seuil V_T de la capacité MOS (Fig. I.8 (b)). Une couche de conduction de type n crée un canal conducteur qui relie la source et le drain. Le drain est polarisé positivement par rapport à la source par une tension V_{DS} et un courant I_d circule dans le canal. La polarisation du drain produit une chute de potentiel entre la capacité MOS et le drain. La couche d'inversion devient moins importante alors qu'elle reste

inchangée du côté de la source. De plus, cette couche d'inversion, qui varie tout le long du canal, évolue avec la tension drain-source ce qui entraîne une variation non linéaire du courant de drain:

- $V_{DS} \ll V_{dsat}$

Lorsque la tension de drain est faible, la variation de conductance du canal est négligeable, le courant de drain varie proportionnellement avec la tension drain-source, le transistor fonctionne en régime linéaire.

- $V_{DS} \leq V_{dsat}$

Quand la tension de drain augmente, il se produit une augmentation locale de la tension de seuil dans le canal jusqu'à une valeur particulière de V_{ds} , appelée tension de saturation (V_{dsat}), où la capacité MOS n'est plus en inversion. Un point de pincement se crée du côté du drain. Le courant de drain amorce une saturation (I_{dsat}).

- $V_{DS} > V_{dsat}$

Quand la tension de drain augmente au-delà de la tension de saturation, la région voisine du drain n'est plus en inversion. Le point de pincement se déplace vers la source (Fig. I.8 (d)) et se trouve à une distance ΔL du drain. Le courant est transporté par les porteurs libres jusqu'au point de pincement puis sont propulsés vers l'électrode de drain par le champ électrique ($V_D - V_{dsat}$) qui existe aux bornes de la région de charge d'espace. Le courant de drain reste proche de I_{dsat} pour des longueurs de grille micrométrique ($\Delta L \ll L$). Le courant de drain peut s'écrire:

$$I_d = I_{dsat} \left(\frac{L}{L - \Delta L} \right) \quad (I.18)$$

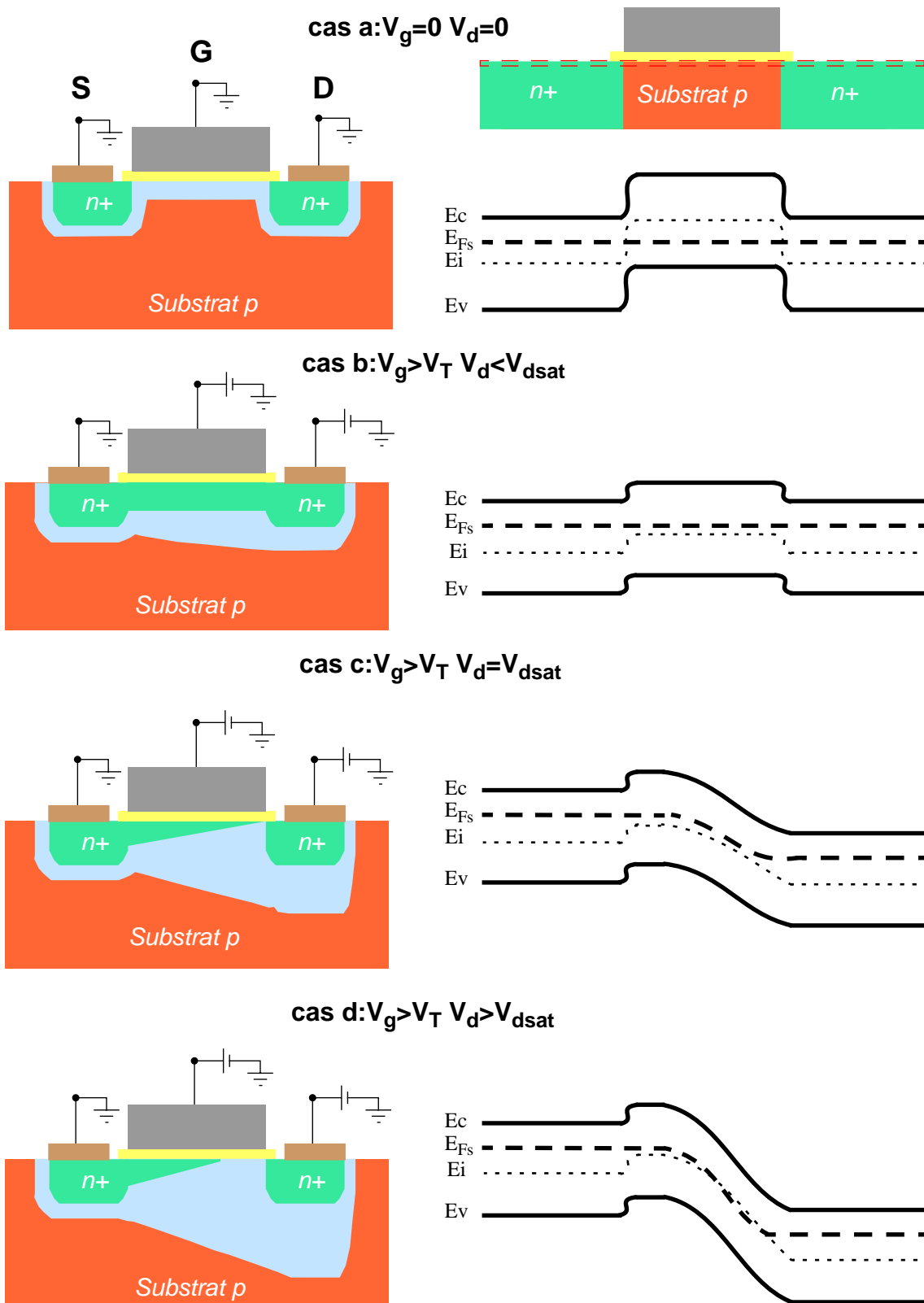


Fig I.8: Structure de base du transistor MOSFET à canal n et diagrammes énergétiques à l'interface Si/SiO₂ en fonction des polarisations de grille et de drain.

1-5 Critères de mérites d'un MOSFET.

La Fig. I.9 (a) représente un réseau de caractéristiques d'un transistor MOSFET de type n en fonction de la tension de grille. Chaque caractéristique présente un régime linéaire et un régime de saturation. Le premier régime est localisé pour de faibles tensions de drain, le canal jouant le rôle d'une résistance, le courant de drain est proportionnel à la tension de drain. Le deuxième régime, décrit par la Fig. I.8 (d), intervient lorsque $V_{DS} > V_{dsat}$. Le courant de drain reste proche de I_{dsat} . Par convention, le courant de commande, I_{on} , est défini à $V_{DS}=V_{GS}=V_{dd}$.

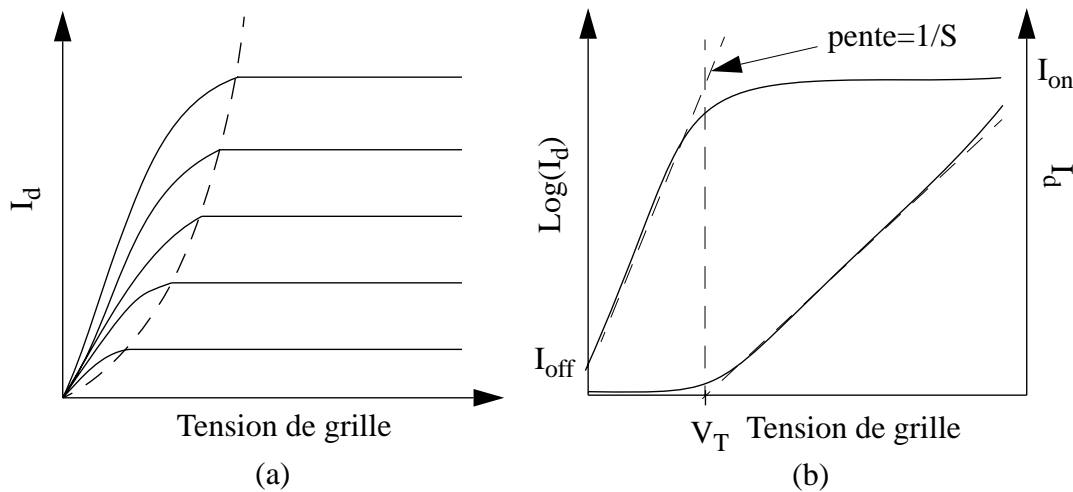


Fig I.9: Réseau de caractéristique d'un transistor MOSFET de type n à enrichissement.

Par analogie, on définit le courant lorsque le transistor est bloqué ($V_g=0$) comme étant le courant I_{off} . Ce courant est très important notamment pour toutes les applications portables car il est associé à une perte de courant lorsque les dispositifs du système sont à l'état bloqué.

Le passage de l'état bloqué à l'état passant est caractérisé par l'inverse de la pente sous le seuil. Plus sa valeur est faible, meilleure est la commutation du transistor. L'inverse de la pente sous le seuil est donné par la relation suivante (Fig I.9 (b)):

$$S = \frac{dV_g}{d\log(I_D)} \approx \frac{kT}{q} \ln(10) \left(1 + \frac{C_d}{C_{OX}} \right) \quad (I.19)$$

avec C_d et C_{OX} capacité de déplétion et de l'oxyde.

Ce paramètre est confronté à une limite physique en dessous de laquelle il ne peut descendre. Numériquement, cette valeur limite est de 60 mV/décade à température ambiante (300°K).

La capacité de la grille à contrôler le passage du courant de drain est caractérisée par la conductance définie par:

$$g_m = \left(\frac{dI_d}{dV_g} \right)_{V_d} \quad (\text{I.20})$$

Idéalement, g_m est nul en régime sous le seuil et constant lorsque la tension de grille est supérieure à la tension de seuil.

2-Effets liés à la miniaturisation.

2-1 Règles de miniaturisation.

En 1965, Gordon E. Moore [1] a présenté sa vision au sujet de la future croissance exponentielle de l'industrie de semi-conducteur, connue aujourd'hui sous le nom de "la loi de Moore". Plus de 30 années après, cette idée est devenue une définition spécifique, un carnet de route, qui donne des directives sur le développement des semi-conducteurs pour les prochaines années. Ainsi, l'International Technology Roadmap for Semiconductors (ITRS) a été éditée par l'association des industries du semi-conducteur (SIA) [7] en 1992 avec une version réactualisée tous les deux ou trois ans. Elle est devenue une référence dans l'industrie imposant un rythme dans le développement de nouvelles technologies.

Le tableau I.1 liste les caractéristiques importantes pour différents noeuds technologiques, issues de l'ITRS 2003 [6]. Ainsi, si l'on divise d'un facteur α les dimensions d'un transistor (longueur de grille, épaisseur d'oxyde de grille, profondeur de jonction source drain...) pour passer d'une génération à la suivante, il faut réduire la tension d'alimentation d'un même facteur α afin de conserver la distribution des champs électriques internes au transistor constante. Le nombre de composants par unité de surface va donc augmenter d'un facteur α^2 .

Tableau I.1: Caractéristiques essentielles issue de l'International Technology Roadmap for Semiconductors 2003 [6].
Deux types d'applications sont citées: gauche haute performance (HP), droite faible puissance (LOP)

Année		2004	2005	2006	2007	2010	2013	2016
Noeud technologique	nm	90			65	45	32	22
DRAM half pitch	nm	90	80	70	65	45	32	22
Longueur de grille MPU	nm	53	45	40	35	25	18	13
Tension d'alimentation	V	1.2-0.9	1.1-0.9	1.1-0.9	1.1-0.8	1.0-0.7	0.9-0.6	0.8-0.5
Epaisseur équivalent d'oxyde	nm	1.2-1.5	1.1-1.4	1.0-1.3	0.9-1.2	0.7-0.9	0.6-0.8	0.5-0.7
Résistance série S/D maximum	$\Omega\mu\text{m}$	180-180	180-180	171-180	162-180	135-160	107-126	79-98
Dopage du canal	10^{18}cm^{-3}	1.5-2.5	1.5-2.5	2.5-5	2.5-5	5-9	9-18	15-30

Malheureusement, de telles réductions de dimensions ne peuvent être opérées sans prendre en compte certains effets particuliers propres aux dispositifs de petites tailles. En effet, l'observation de caractéristiques de transistors à canaux courts met en lumière plusieurs particularités. Tout d'abord, le courant de drain augmente considérablement avec la tension de drain au-delà de la zone de pincement en comparaison avec des dispositifs à canaux longs où l'on peut considérer que le courant reste constant en saturation (cf. 2.4). Le courant de drain d'un transistor à canal court possède une conductance non nulle en saturation. De plus le courant de drain n'est pas nul lorsque le transistor est bloqué. La grille a perdu son pouvoir de contrôle sur le canal. Plusieurs phénomènes peuvent expliquer ces dégradations de performances: la modulation de la longueur du canal, le DIBL (Drain Induced Barrier Lowering), le perçage (punch-trough), l'incidence de la géométrie du transistor sur la tension de seuil (effets canaux courts SCE). Enfin, d'autres mécanismes viennent s'ajouter et engendrer des problèmes de fiabilité ou de nouvelles dégradations de performances (injection de porteurs chauds, effet tunnel dans l'oxyde de grille, résistances parasites de source et drain...). Ces différents phénomènes seront explicités dans les paragraphes suivants.

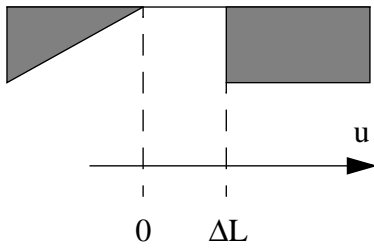
2-2 Modulation de la longueur du canal.

Le courant de drain, pour des tensions supérieures à la création du point de pincement, s'écrit (eq. I.18):

$$I_d = I_{dsat} \left(\frac{L}{L - \Delta L} \right) \quad (\text{I.21})$$

Pour estimer la longueur ΔL , longueur de la zone de déplétion d'un élément de semiconducteur soumis à une différence de potentiel $\Delta V = V_d - V_{dsat}$, on intègre directement l'équation de Poisson:

$$\frac{d^2 V}{du^2} = -\frac{\rho}{\epsilon_S} = \frac{e \cdot N_a}{\epsilon_S} \quad (\text{I.22})$$



On intègre une première fois avec la condition $E=0$ et $u=0$ puis une deuxième fois sur la longueur ΔL . On obtient:

$$\Delta L = \left(\frac{2\epsilon_S}{eN_a} (V_d - V_{dsat}) \right)^{1/2} \quad (\text{I.23})$$

Pour des dispositifs à canaux courts, la longueur de grille L est du même ordre que la longueur de la zone de déplétion ΔL , par conséquent l'effet de la modulation de la longueur du canal devient très important et le transistor peut posséder une conductance non négligeable en saturation.

2-3 DIBL (Drain Induced Barrier Lowering).

Le phénomène de DIBL [8] concerne le potentiel de surface. En faible inversion, le potentiel de surface dans le canal pour des dispositifs à canaux longs est constant en première approximation, le courant est dû à la diffusion des porteurs minoritaires. Il existe en régime de faible inversion, une barrière de potentiel à la jonction entre la source et le canal qui résulte de l'équilibre entre le courant de diffusion et de dérive (cas d'une jonction à l'équilibre). Si la tension de drain augmente, la couche de déplétion s'étend de plus en plus dans le canal vers la source, il se produit alors un abaissement de la barrière source-canal (Fig. I.10 (a)). L'abaissement de la barrière à la source permet l'injection d'électrons dans le canal (en surface) et ceci indépendamment

de la tension de grille. La grille perd donc le contrôle du courant de drain sous le seuil. Cet effet est d'autant plus marqué lorsque la tension de drain augmente et lorsque la longueur de canal diminue (Fig. I.10 (b)) [9].

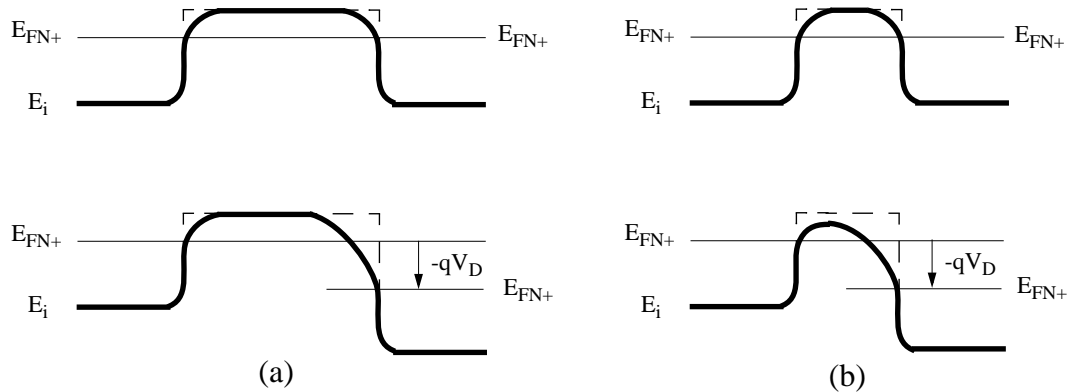


Fig I.10: Profil du potentiel de surface pour un transistor n-MOS à canal (a) long et (b) court.

2-4 Perçage (Punch-through).

Le courant de drain en régime sous le seuil peut aussi bénéficier d'une passage entre la source et le drain plus en profondeur dans le substrat. Le contrôle de la grille est moins efficace lorsque le courant est localisé en profondeur dans le substrat. L'intensité du courant de punch-through dépend principalement de la distribution du potentiel sous le canal et par conséquent des zones de déplétion. Si la surface de déplétion à proximité du drain s'étend trop profondément en direction de la source (Fig I.11), la barrière de potentiel à la source décroît et des porteurs sont injectés de la source vers le drain en volume.

Le phénomène de perçage dépend donc fortement de la tension de drain appliquée et de la profondeur des jonctions.

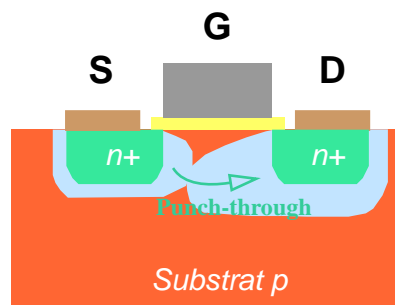


Fig I.11: Extension des zones de déplétion dans le substrat conduisant au phénomène de perçage.

2-5 Effets canaux courts sur la tension de seuil.

Quand la longueur du canal devient proche du micron, les effets canaux courts côté source et drain jouent un rôle non négligeable. La Fig. I.12 montre la répartition de la charge de déplétion dans un MOS à canal court. La zone de charge d'espace est créée par un champ qui possède une composante longitudinale associée à la capacité MOS grille-canal et une composante longitudinale associée à la capacité de transition de la jonction n⁺p du contact ohmique.

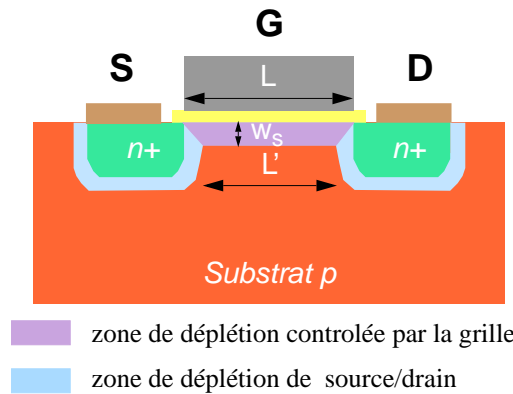


Fig I.12: Géométrie des zones de déplétion liées à la grille et aux zones source/drain.

Un modèle simple, développé par Yau [10], permet de déterminer graphiquement les relations qui établissent le partage de la charge de déplétion entre grille, source et drain. La zone de distribution de la charge de déplétion du canal Q'_D est représentée par le trapèze violet de la Fig. I.12 de surface $S' = W_s (L+L')/2$. Cette surface est inférieure à celle utilisée en première approximation pour les canaux longs ($S = W_s L$). Un facteur correctif, purement géométrique, s'écrit:

$$K = \frac{Q_{SC}}{Q'_{SC}} = \frac{L+L'}{2L} = 1 - \Delta L/L \quad (I.24)$$

La tension de seuil résultant de cette correction s'écrit ainsi:

$$V_T = \Phi_{ms} - KQ_{dep}/C_{OX} + 2\Phi_F \quad (I.25)$$

Si la longueur de canal diminue, la charge de déplétion contrôlée par la source et le drain prend de plus en plus d'importance par rapport à celle contrôlée par la grille. Cette diminution de charge de déplétion va entraîner une diminution de la tension de seuil.

2-6 L'injection de porteurs chauds.

En régime de saturation, il existe au niveau de la jonction canal-drain polarisée en inverse, un champ électrique d'autant plus important que la longueur du canal diminue [11]. Ce champ électrique de canal (E_m) dépend de la polarisation, et est également lié au gradient de dopant de la jonction qui varie avec sa profondeur (X_j). E_m est ainsi relié à X_j .

Les électrons pénétrant dans la zone de déplétion sont accélérés par ce champ et certains d'entre eux acquièrent suffisamment d'énergie cinétique pour créer un mécanisme d'ionisation par impact. L'énergie cinétique emmagasinée par un électron lors de son déplacement est transmise au cristal par l'intermédiaire de chocs avec les atomes du réseau. Ce processus assure la dissipation thermique de l'énergie potentielle perdue par les électrons. Cependant, si ce champ électrique est suffisamment intense, certains électrons de la bande de conduction peuvent acquérir une énergie telle que leur impact sur un atome du réseau entraîne la rupture d'une liaison de valence. On compte donc deux électrons dans la bande de conduction et un trou dans la bande de valence.

Ainsi créés, ces porteurs peuvent suivre différents chemins [12] résumés à la Fig. I.13.

Les trous peuvent être rejetés dans le substrat et induire un important courant de substrat. Mais ils peuvent aussi migrer vers la source et créer un abaissement de barrière à la jonction source-canal. Il se produit alors une injection d'électrons supplémentaires de la source vers le canal. Cet ensemble source-drain-canal travaille comme un transistor n-p-n dont la base (canal) est flottante et le collecteur (drain) se trouve dans des conditions d'avalanche.

Quant aux électrons, lorsqu'ils sont accélérés au niveau de la jonction canal-drain, une tension moyenne appliquée à la grille peut leur permettre de passer la barrière de potentiel présente à l'interface silicium-oxyde. Les porteurs chauds injectés induisent des défauts dans l'oxyde de grille qui changent localement la valeur de la tension de seuil. En général, ces effets de dégradation limitent la durée de vie du transistor.

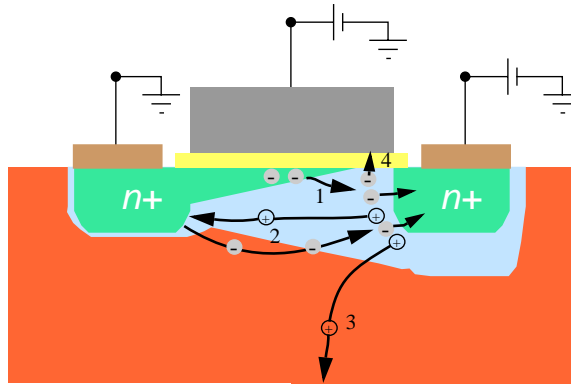


Fig I.13: Porteurs générés par ionisation par impact à la jonction canal-drain (1). Les trous peuvent créer un courant de substrat (3) ou créer un abaissement de barrière en migrant vers la source (2) ce qui produit une nouvelle injection d'électrons dans le canal. Enfin, les électrons peuvent être injectés dans l'oxyde de grille (4).

2-7 Résistances parasites à la source et au drain.

Dans les structures de transistors submicroniques, les résistances intrinsèques de la source et du drain deviennent de plus en plus importantes. Comme le courant augmente de concert avec la miniaturisation, la chute de potentiel aux bornes des résistances intrinsèques devient non négligeable. De plus, ces résistances ne sont pas réduites avec la diminution des dimensions [13]. Les résistances séries, comme l'indique la Fig. I.14, se composent des différentes contributions suivantes:

$$R_{serie} = R_C + R_{sh} + R_{sp} + R_{ac} \quad (I.26)$$

avec R_C la résistance de contact, R_{sh} la résistance de diffusion, R_{sp} la résistance de défo-calisation et R_{ac} la résistance de la couche d'accumulation.

La résistance de contact dépend fortement de la répartition des lignes de courant le long de la fenêtre de contact [14][15]. En effet, les porteurs, cherchant à emprunter le chemin le moins résistif, tendent à poursuivre leurs parcours le plus longtemps possible dans le métal. La densité des lignes de courant sera plus importante à l'extrémité droite qu'à l'extrémité gauche du contact. Le modèle utilisé est par conséquent non linéaire et est établi par la formule suivante [14]:

$$R_c = \frac{R_{\square} L_T}{W} \coth\left(\frac{L_c}{L_T}\right) \quad avec \quad \left(L_T = \sqrt{\frac{\rho_c}{R_{\square}}} \right) \quad (I.27)$$

avec L_T longueur de transfert, W la largeur du contact, L_c la longueur du contact, ρ_c la résistance spécifique de contact de l'interface silicium/siliciure et R_{\square} la résistance par carreau du silicium sous le contact. Afin de conserver une résistance faible lors de la réduction de dimensions, la longueur des contacts ne doit pas être réduite dans les mêmes conditions: ceci est un obstacle à la miniaturisation [16]. L'utilisation de matériau offrant une résistance spécifique de contact métal/silicium toujours plus faible permet de conserver une valeur acceptable des résistances séries.

La résistance par carreau lié à la zone de silicium fortement dopée est donnée par:

$$R_{sh} = \frac{S \cdot R_{\square}}{W} \quad \text{avec } R_{\square} = \frac{\rho_{Si}}{X_j} \quad (I.28)$$

Elle représente la résistance du silicium entre le canal et la jonction, distance souvent conditionnée par la taille de l'espaceur.

Enfin, la résistance de défocalisation est obtenue en considérant l'étalement des lignes de courant tel qu'indiqué en Fig. I.14 [17][18]. L'expression tient compte d'une part de la variation de la résistivité avec le gradient de concentration et d'autre part du profil de dispersion des lignes de courant. Ainsi, pour réduire cette résistance, une jonction abrupte (gradient élevé du profil de dopage à la jonction) permet de contrôler l'influence du premier terme, et une diminution de la profondeur de jonction (X_j) assure une contribution négligeable du second terme. La soudaineté de la jonction est un paramètre critique car difficilement contrôlable (par exemple pour le noeud technologique de 32 nm, le gradient devrait être 1,4 nm/dec selon le critère de l'ITRS [6]).

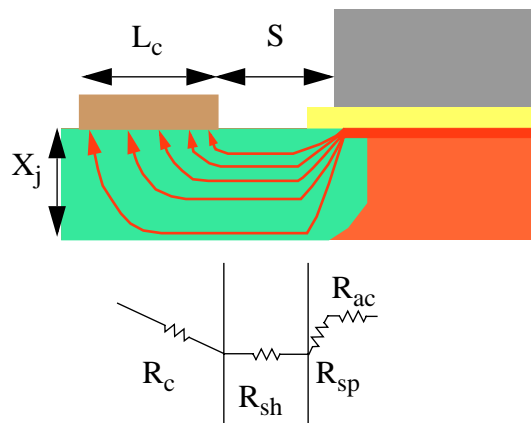


Fig I.14: Diagramme schématique présentant (a) la courbure des lignes de courant dans la région source/drain et (b) les composantes de la résistance série [17].

Ainsi, la tendance générale associée aux zones S/D pour le transistor MOS conventionnel est clairement définie: le contrôle de la résistivité spécifique de contact est essentiel pour réduire

au minimum R_{CO} tandis que des procédés pointus sont exigés pour optimiser l'abrupté de dopage de la prolongation S/D qui régit R_{SP} .

Pour bien comprendre les principaux challenges liés à l'architecture source/drain, le tableau I.2 compile une sélection de données issue de l'International Technology Roadmap for Semiconductors 2003 [6] qui met en avant les fortes contraintes imposées sur la technologie des contacts.

Tableau I.2: Données issues de l'ITRS 2003 [6] avec une attention particulière sur les contraintes inhérentes à la technologie des contacts.

Année	-	2004	2005	2006	2007	2010	2013	2016
Noeud technologique	nm	90			65	45	32	22
DRAM moitié pitch	nm	90	80	70	65	45	32	22
MPU moitié pitch	nm	90	80	70	65	45	32	22
MPU longueur grille physique	nm	37	32	28	25	18	13	9
Structure de dispositif possible		CMOS planaire massif				FDSOI, contact élevé	FDSOI, multi grille	
Minimum V_{dd}	Volt	1.2-0.9	1.1-0.9	1.1-0.9	1.1-0.8	1.0-0.7	0.9-0.6	0.8-0.5
Epaisseur équivalent de l'oxyde de grille	nm	1.2-1.5	1.1-1.4	1.0-1.3	0.9-1.2	0.7-0.9	0.6-0.8	0.5-0.7
Profondeur de jonction	nm	40.7	35.2	30.8	27.5	13-26	10-19	7-13
Extension de la profondeur de jonction	nm	15-25	13-22	12-19	10-17	7-12	5-9	4-6
Abrupté de la jonction source ou drain	nm/dec	4.1	3.5	3.1	2.8	DED*	DED*	DED*
Largeur des espaceurs	nm	40.7	35.2	30.8	27.7	ND*	ND*	ND*
Epaisseur siliciure	nm	20	21	19	17	13	19	13
Consommation max du silicium lors de la siliciuration	nm	20.4	17.6	15.4	13.8	10.8	15.6	10.8
Résistivité spécifique max silicium/siliciure	Ωcm^2	1.6 10^{-7}	1.4 10^{-7}	1.2 10^{-7}	1.05 10^{-7}	$6.08 \cdot 10^{-8}$	1.7 10^{-8}	9.7 10^{-9}
Résistance par carreau du siliciure	Ω/\square	7.9	7.5	8.6	9.6	12.3	8.5	12.3
*DED:Doit Etre Défini	solutions existantes		solutions en cours d'investigations			pas de solutions connues		
*ND:Non Disponible								

Par conséquent, pour une perspective à court terme, c'est à dire pour des noeuds technologiques en deçà de 90 nm, la difficulté consistera à former des jonctions ultra courtes avec un

contrôle très minutieux de la profondeur et de l'abrupté de la zone d'extension pour limiter les effets canaux courts [19]. Contacter les régions de source/drain avec un matériau possédant à la fois une résistance par carreau et une résistivité spécifique de contact faibles est également un défi pour les procédés conventionnels de siliciuration. Ainsi, parmi les difficultés à surmonter, les principales à retenir sont:

- l'activation des dopants au-dessus de leurs points de solubilité pour des jonctions à faibles résistances par carreau.
- la pénétration de bore dans l'oxyde de grille (p-MOS)
- la faible résistance par carreau du contact (siliciure) et faible résistivité spécifique de contact (interface de siliciure/silicium) tout en minimisant la consommation de silicium et la surface de contact.
- le maximum de concentration de dopant à l'interface siliciure/silicium.
- une plus grande interdépendance entre les procédés de dopage et de siliciuration.

3-Accumulation low Schottky Barrier MOSFET (ALSB).

3-1 L'architecture à contact source/drain de faible hauteur de barrière Schottky.

3-1.1 Présentation générale.

Comme indiqué dans l'ITRS 2003 pour une perspective à long terme, le principal défi au-dessous du noeud technologique à 50 nm peut être simplement formulé comme étant la structure du transistor en tant que telle. Ceci signifie qu'une architecture complètement nouvelle est nécessaire pour obtenir des résistances séries suffisamment faibles (< 10 % de la résistance du dispositif à tension maximale de saturation) et pour assurer l'immunité contre les effets canaux courts. Plusieurs études et méthodes théoriques de scaling [19][20] tendent à démontrer que les architectures conventionnelles de transistor MOSFET fabriquées sur un substrat massif de sili-

cium ne survivront pas au-dessous de 50 nm de longueur de grille sans de graves dégradations des performances des dispositifs (contrôle des effets canaux courts, rapport I_{on}/I_{off} , puissance, fréquence d'opération...). Des architectures alternatives [21][22] sont principalement basées sur l'utilisation d'un substrat SOI (Silicon-On-Insulator) dont la couche active de silicium est très mince: des épaisseurs typiques de couche actives de SOI sont entre 2 à 20 nm pour des transistors MOSFET de longueur de grille de 10 à 40 nm [23]. Le remplacement du substrat massif par un substrat SOI permet un meilleur contrôle des effets canaux courts [24]. Au delà de l'introduction d'un film mince de SOI, la nouveauté de l'architecture du transistor MOSFET proposée dans cette thèse se situe dans l'utilisation de contacts de très faible hauteur de barrière Schottky (idéalement 0 eV) qui remplacent les contacts ohmiques conventionnels sur des régions source/drain fortement dopées. Une représentation schématique de ce type de transistor est présentée en Fig. I.15. A la différence d'autres travaux portant sur des transistors MOSFET à contacts Schottky [25][26][27], le principe de fonctionnement est basé sur le mode d'accumulation. Cette structure s'appelle Accumulation Low Schottky Barrier MOSFET (ALSB-SOI-MOS). Dans la suite, la simulation et les aspects expérimentaux sont discutés pour le cas d'un transistor MOSFET à canal p. Cependant, le concept ALSB-MOS s'applique également aux canaux 'n' dans la mesure où de faibles barrières Schottky aux électrons peuvent être obtenues [28][29].

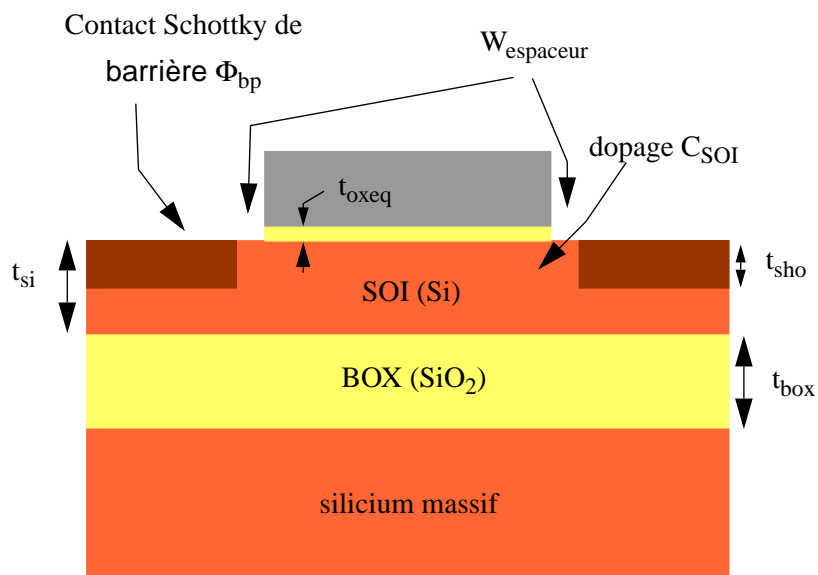


Fig I.15: Représentation schématique de l'ALSB MOSFET sur substrat SOI fin.

Le tableau I.3 récapitule les principaux verrous liés à la réalisation de contacts source/drain compatibles à des générations de transistors MOS ultimes, et expose les solutions fournies par le transistor ALSB-SOI-MOS:

- les problèmes liés à la jonction source ou drain disparaissent naturellement en soi car les contacts Schottky n'exigent pas de zones fortement dopées.
- la pénétration du siliciure ainsi que la consommation de silicium ne limite pas le courant de commande et peut même, dans certains cas, en augmenter les performances.
- l'utilisation judicieuse de certains matériaux peut fournir une barrière Schottky extrêmement faible.
- les effets relatifs au dopage du canal (fluctuation du dopage, porteurs chauds) sont réduits au minimum de part son faible niveau.

Tableau I.3: Principaux impératifs imposés par la technologie source/drain pour le noeud technologique à 22 nm [6] et les solutions apportées par l'architecture de l'ALSB-SOI-MOS.

Challenges technologiques associés aux architectures conventionnelles S/D	Solutions apportées par l'architecture ALSB-SOI
Profondeur de jonction extrêmement réduite (7-13 nm)	Les contacts source/drain (S/D) sont des contacts Schottky réalisés directement sur la couche SOI active faiblement dopée (pas de dopage spécifique des zones S/D, par implantation ionique).
Abrupté de la jonction (1 nm/dec)	
Très faible épaisseur de siliciure (5 nm)	L'épaisseur du siliciure et l'épaisseur correspondante du silicium consommée par la réaction de siliciuration n'augmentent pas la résistance de contact.
Faible consommation du silicium lors de la siliciuration (3-6 nm)	
Faible résistance par carreau pour un siliciure ultra fin (30.3 Ω/\square pour une épaisseur de siliciure de 5 nm)	
Résistance spécifique de contact silicium/siliciure extrêmement faible (< 2.4 $10^{-8} \Omega.cm^2$)	Utilisation de contact ayant une très faible hauteur de barrière Schottky: p-MOS: $\Phi_{bp} < 100$ meV, i.e. $\rho_s < 10^{-8} \Omega.cm^2$ en utilisant IrSi ou PtSiGe
Pour un substrat massif, un dopage du canal très élevé et une forte interaction avec le dopage de zone source/drain entraînent de nombreux problèmes (par ex. fluctuations de dopage dans le canal).	Film SOI faiblement dopé (typ. $\sim 5.10^{15} cm^{-3}$)

3-1.2 Principe de fonctionnement électrique.

Le transistor MOSFET à barrière Schottky (SB) est prévu pour fonctionner avec deux jonctions Schottky dont l'une est en mode direct (drain) et l'autre en mode inverse (source). La simulation de la courbure de bandes le long de l'interface dans un transistor SB-MOSFET de type p est illustré sur la Fig. I.16. La hauteur de barrière Schottky Φ_{bp} est intentionnellement choisie grande (0.3 eV) afin de montrer clairement la déformation des bandes à proximité de la barrière Schottky (côté source). Le graphique supérieur correspond à l'état bloqué, état pour lequel une barrière additionnelle créée par l'effet de champ développé par la grille, empêche le courant de circuler entre la source et le drain. En effet, les porteurs ne peuvent traverser que par transport thermo-électronique. Le graphique inférieur correspond à un état passant. Dans ce cas, il apparaît clairement que la barrière électrostatique disparaît et que la barrière Schottky restante est amincie de par la forte accumulation du canal, et donc de la courbure prononcée résultante. De ce fait, les transports thermo-électronique et par émission de champ (passage d'un porteur à travers la barrière) contribuent à l'injection du courant dans le canal du transistor. Ce dernier mécanisme peut même devenir prépondérant et ainsi contribuer à l'obtention d'un excellent niveau de courant de commande [30][31].

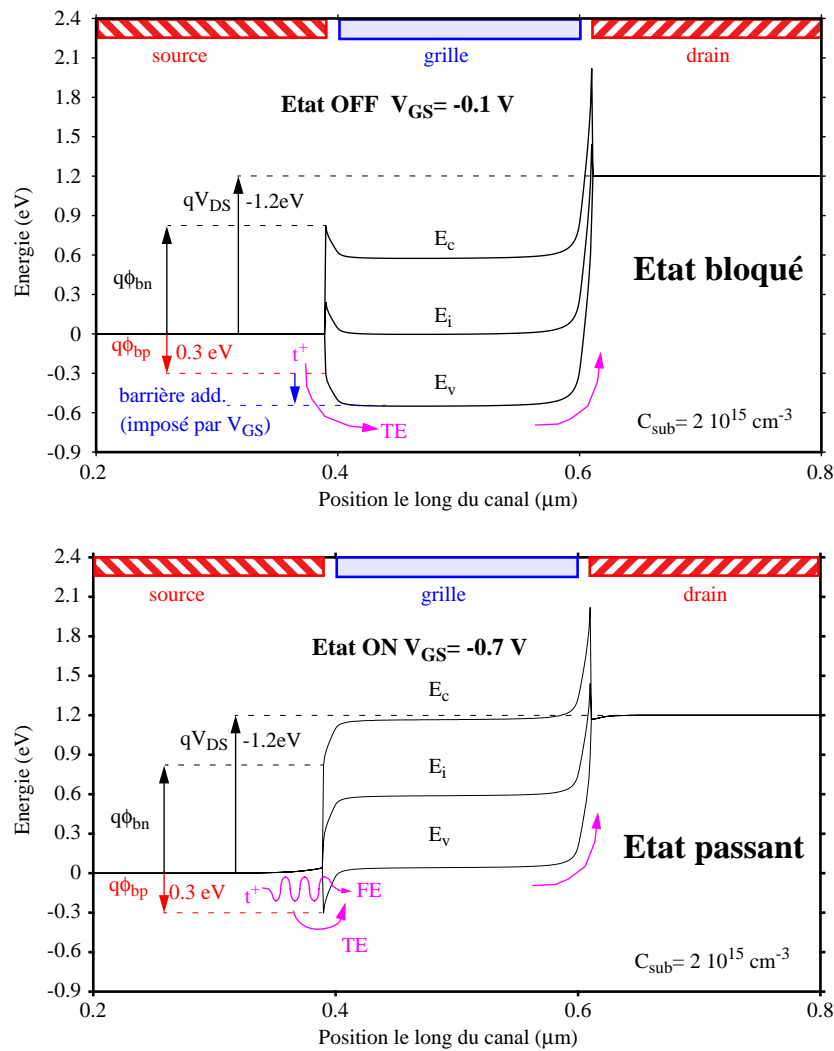


Fig I.16: Courbure de bande le long de l'interface dans un SB-transistor MOSFET de type p. Le graphique supérieur correspond à un état bloqué (OFF) alors que le graphique inférieur correspond à l'état passant (ON).

3-2 Avantages liés à la technologie SOI.

L'utilisation d'un substrat SOI, grâce à son film fin de silicium actif isolé du reste du substrat par un oxyde enterré, devient très intéressante pour la technologie CMOS ultime. Il permet un très bon contrôle des effets canaux courts en comparaison à un même dispositif réalisé sur substrat massif.

3-2.1 Amélioration du contrôle de la grille sur la charge de déplétion.

Dans le paragraphe 2-5 a été défini le modèle de partage de charge [10] qui estime la proportion de la charge de déplétion contrôlée par la grille par rapport à celle contrôlée par la source et le drain. La comparaison du transistor MOS en technologie bulk et SOI avec les mêmes dimensions (longueur de canal, profondeur de jonction...) amène au constat que le rapport entre la charge de déplétion contrôlée par la grille et le drain est nettement supérieur en technologie SOI (Fig. I.17). Ce phénomène est d'autant plus marqué lorsque la longueur du canal diminue. La tension de seuil sera donc moins affectée par une augmentation de la tension de drain [32].

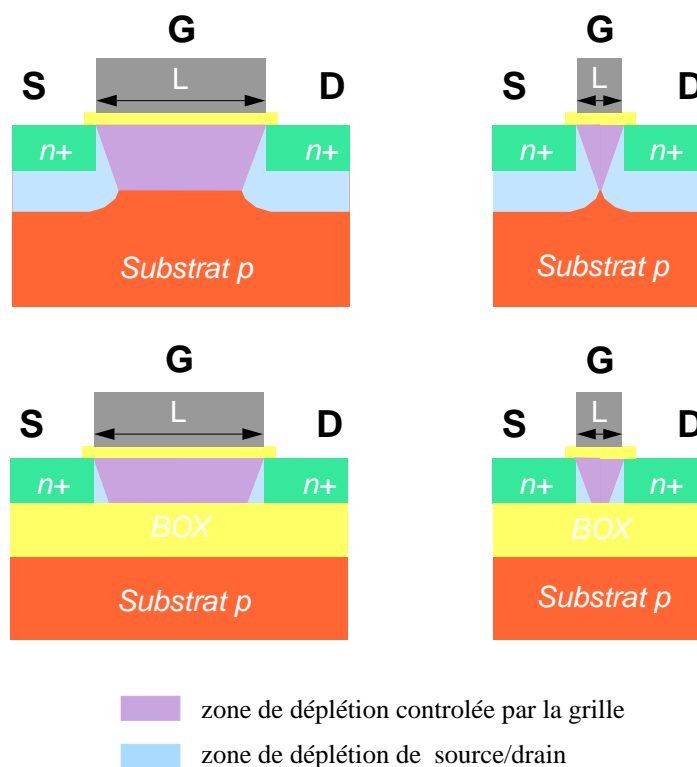


Fig I.17: Evolution de la distribution de la charge de déplétion pour des transistor MOS en technologie bulk et SOI suivant la longueur de la grille.

3-2.2 Amélioration de la pente sous le seuil.

L'inverse de la pente sous le seuil (la variation de la tension de grille par rapport au courant de canal sous le seuil vue paragraphe 1-5.1), peut s'écrire en négligeant les états d'interface:

$$S = \frac{kT}{q} \ln(10)(1 + \alpha) \quad (\text{I.29})$$

où α , le coefficient d'effet du substrat, représente le ratio de deux capacités C_b/C_{ox1} . C_{ox1} est la capacité d'oxyde de grille et C_b est la capacité entre la couche d'inversion et la face arrière. En technologie substrat massif, C_b est équivalent à la capacité de déplétion (Fig. I.18 (a)) et proportionnelle à la valeur maximale de la profondeur de déplétion (W_m). Dans ce cas, α ne peut être négligé. La diminution de ce paramètre passe par la réduction du dopage du canal, condition en contradiction avec les règles de scaling usuelles et avec les prérogatives de l'ITRS. En technologie SOI (Fig. I.18 (b)) sur film mince (totalement déplété), C_b est donné par:

$$C_b = \frac{C_{Si} \cdot C_{ox2}}{C_{Si} + C_{ox2}} \quad (I.30)$$

avec C_{Si} capacité du film de silicium complètement déplété et C_{ox2} capacité de l'oxyde BOX. Ainsi pour des films minces, $C_{ox2} \ll C_{ox1}$ et $C_{ox2} \ll C_{Si}$ permet d'obtenir une pente sous le seuil optimale.

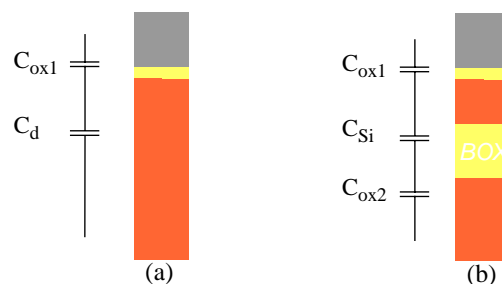


Fig. I.18: Circuit capacitif équivalent d'un transistor MOS sur substrat massif (a) et sur SOI (b).

3-2.3 Diminution des effets porteurs chauds.

La présence d'un pic du champ électrique du canal près du drain est à l'origine de la création de porteurs chauds. Or, pour un SOI MOSFET totalement déplété, ce champ électrique ne dépend que très faiblement de la profondeur de jonction car le gradient de dopage latéral des zones source/drain est découplé de X_j [33]. Ainsi, E_m est largement plus faible que dans une configuration bulk possédant une profondeur de jonction comparable au t_{Si} du SOI. Les dégradations liées aux porteurs chauds, pour une architecture sur SOI complètement déplété, sont moins sévères que sur un dispositif similaire réalisé sur substrat massif [34].

3-2.4 Diminution du phénomène de perçage.

Comme mentionné dans le paragraphe 3-4, le phénomène de perçage crée un courant parasite qui emprunte un chemin plus en profondeur dans le substrat. Une méthode permettant de pallier ce courant parasite est d'augmenter le dopage du substrat afin de réduire l'extension des zones de déplétion. Toutefois, il ne faut pas perdre de vue que cela se fait au détriment d'une détérioration de la pente sous le seuil. L'utilisation d'un substrat SOI, de part sa constitution, confine le courant dans la zone active, isolée du reste du substrat par l'oxyde enterré.

3-3 Simulation des propriétés de miniaturisation de l'ALSB-SOI-MOSFET [35].

3-3.1 Choix du modèle de comparaison.

Des représentations schématiques de l'ALSB-SOI et d'une structure SOI conventionnelle sont présentées dans le tableau I.4. Une comparaison équitable des performances électriques entre, d'une part l'ALSB-SOI et, d'autre part une architecture conventionnelle avec des contacts ohmiques sur des zones implantées s'avère être une tâche difficile pour plusieurs raisons:

- Grâce à l'utilisation d'un substrat SOI dont la couche active est très fine, l'ALSB-SOI peut contrôler les effets canaux courts par le seul couplage existant entre l'oxyde de grille et l'oxyde enterré. Il peut ainsi bénéficier d'un canal faiblement dopé augmentant ainsi la mobilité. Pour une comparaison équitable, la structure conventionnelle bénéficie également du même mode de fonctionnement en accumulation ainsi que d'un film mince SOI faiblement dopé.

- L'architecture S/D du transistor SOI MOSFET conventionnelle est basée sur une jonction S/D fortement dopée avec une résistivité spécifique du contact de $10^{-7} \Omega\text{cm}^2$, qui est représentative des meilleurs siliciures midgap utilisés en technologie CMOS [36]. L'abrupté des jonctions S/D a été choisie avec un profil idéal. En se reportant à la discussion de la section I.2-7, la contribution de la résistance de défocalisation devient négligeable alors qu'elle dégrade le courant de commande de manière aussi significative que le fait la résistance de contact lorsque l'abrupté de la jonction n'est pas infinie [18]. Par conséquent, le profil de jonction adopté pour la

structure conventionnelle ne devrait pas affecter défavorablement les résistances séries du transistor.

- La consommation de silicium lors de la réaction de siliciuration réduit la zone effective de transfert que le courant traverse à l'interface de silicium/siliciure [37]. Ainsi, on s'attend à ce que la résistance de contact soit fortement dépendante de la profondeur de pénétration du siliciure dans le film SOI. Cela sera démontré dans la prochaine section. Lors de l'utilisation de jonctions très peu profondes ou de films SOI très minces, l'usage de S/D surélevés obtenus par croissance épitaxie sélective [36] peut être une solution pour réduire les composantes de la résistance série. Mais cette structure exige une optimisation très fine du profil de dopage dans la couche épitaxiée [38]. Afin d'essayer d'obtenir une compréhension claire et complète concernant le rôle du profil de dopage, la référence [39] a démontré qu'il était difficile d'améliorer la résistance de contact quand la couche élevée était réalisée sur une jonction peu profonde (< 35 nm). Ceci a été attribué à l'extrême sensibilité de la résistivité spécifique de contact avec la concentration de dopant à l'interface. De plus, l'élévation des zones S/D peut rendre nécessaire l'utilisation de larges espaceurs pour réduire la capacité grille-S/D et/ou l'utilisation d'un deuxième espaceur qui couvre les facettes où la couche épitaxiée est plus mince près de l'oxyde [40]. La conséquence est une augmentation de la résistance R_{sh} associée à la longueur de jonction. D'autres techniques telles que l'épitaxie pseudomorphique [41] ou la croissance épitaxiale sélective latérale confinée [42] peuvent être employées pour sur-élever les régions S/D mais aux dépens de la complexité du procédé. Enfin, une solution alternative est d'enterrer le canal mais l'auto-alignement de la grille par rapport aux zones S/D devient un défi très difficile à relever [43].

En résumé, les deux architectures de SOI-MOSFET comparées plus loin sont décrites dans le tableau I.4. Bien que la structure conventionnelle ne profite pas des avantages potentiels liés à la surélévation des zones S/D, cette pénalité est compensée par un abrupté du profil du dopage des jonctions idéale qui rend la résistance de défocalisation négligeable [18]. La longueur de grille est choisie à 40 nm pour les deux structures. La structure ALSB n'a pas de recouvrement de la grille sur les zones S/D, caractérisé par un espace de 10 nm (W_{spa}). La structure conventionnelle de SOI a également un espacement grille - S/D de 10 nm et une jonction fortement dopée p^+ qui s'étend jusqu'au bord de la grille pour obtenir un recouvrement exact.

Tableau I.4: Paramètres des structures de ALSB-SOI-MOS et du transistor SOI conventionnel utilisés dans les simulations.

Structure	p-MOS ALSB-SOI-MOS	p-MOS SOI S/D Conventionnel
longueur de grille (nm)	40	40
source/drain architecture	contacts à faibles hauteurs de barrière Schottky	contacts ohmiques sur des zones de diffusion fortement dopées
C_{SOI} (cm ⁻³)	p-type - $2 \cdot 10^{15}$	p-type - $2 \cdot 10^{15}$
C_{SD} (cm ⁻³)	-	p-type - $2 \cdot 10^{20}$
Φ_{bp} (eV)	0.025	-
ρ_c (Ωcm ²)	-	10^{-7}
$W_{espaceur}$ (nm)	10	10
t_{oxeq} (nm)	1	1
t_{Si} (nm)	10	10
t_{box} (nm)	200	200
t_{sho} (nm)	variable 0 -> t_{si}	

3-3.2 Immunité aux effets canaux courts.

L'objectif de cette section est l'immunité aux effets canaux courts du transistor MOSFET à faible barrière de Schottky [35] en comparaison avec une structure conventionnelle qui utilise des contacts ohmiques sur des zones fortement dopées. La Fig. I.19 montre les caractéristiques $I_{DS}-V_{GS}$ à $V_{DS}=-1.2$ V pour les deux structures sans pénétration du silicium dans le film SOI ($t_{sho}=0$ nm) et pour une longueur de grille variant de 20 à 200 nm. De plus, sur cette même figure sont superposées les courbes $I_{DS}-V_{GS}$ à $V_{DS}=-0.1$ V pour les deux extrêmes de longueurs de grille (20 et 200 nm) pour souligner la sensibilité au DIBL.

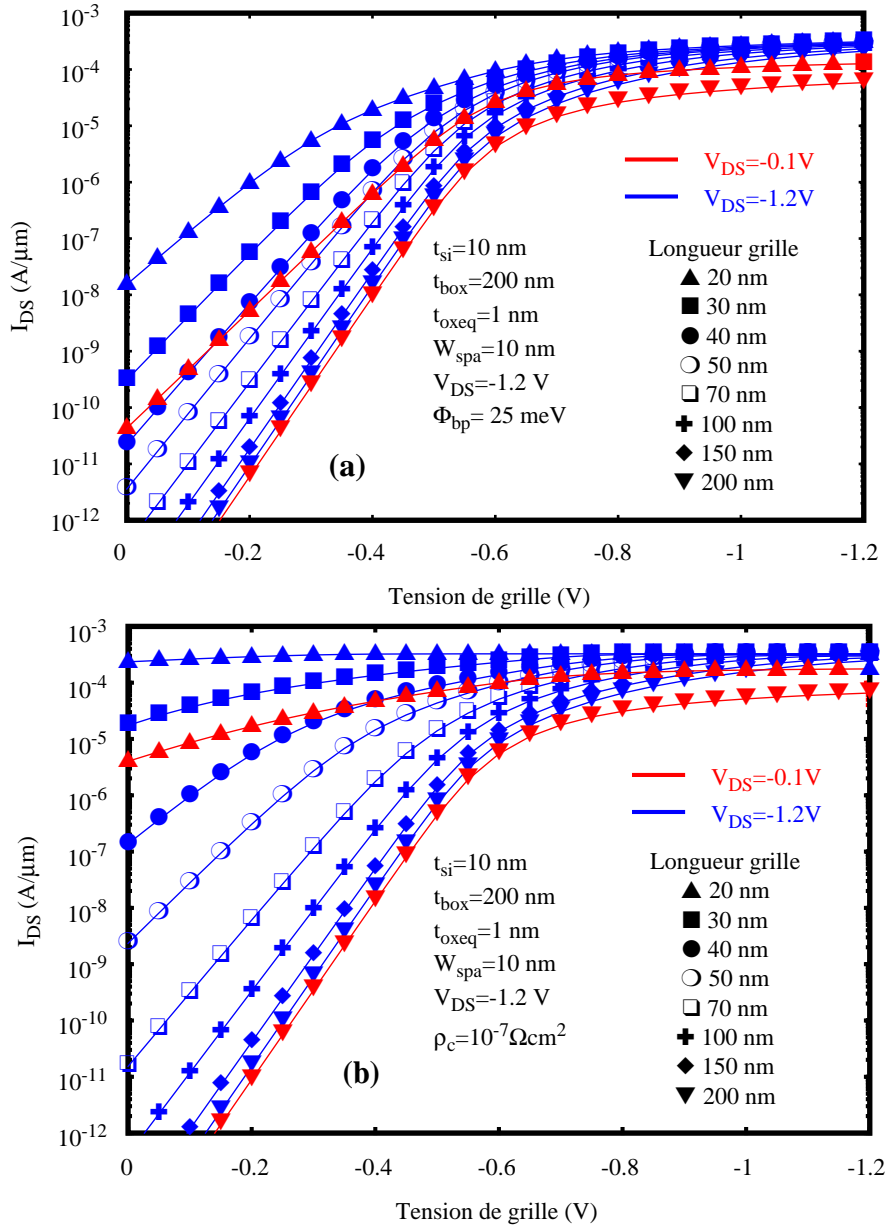


Fig I.19: Simulation de caractéristiques $I_{DS}-V_{GS}$ (a) du transistor ALSB-SOI-MOSFET et (b) du transistor MOSFET conventionnel pour différentes longueurs de grille. Les lignes bleues correspondent aux courbes courant-tension obtenues à $V_{DS}=-1.2$ V et les lignes rouges correspondent aux courbes obtenues à $V_{DS}=-0.1$ V pour les deux longueurs de grille extrêmes.

Le transistor ALSB démontre clairement de meilleures propriétés de miniaturisation en terme de pente sous le seuil, de DIBL et courant à l'état bloqué si l'on considère que les deux architectures ont la même tension de seuil pour un canal long (V_{TH} à $V_{DS}=-0.1$ V). La Fig. I.20 met en évidence la déviation de la tension de seuil avec la longueur de grille pour les deux structures à V_{DS} faible et élevé (respectivement -0.1 V et -1.2 V). Pour la structure ALSB, il n'y a pas

de déviation de la tension de seuil supérieur à 100 meV à bas V_{DS} , contrairement à la structure conventionnelle. La comparaison est toujours largement favorable à l'ALSB à haut V_{DS} .

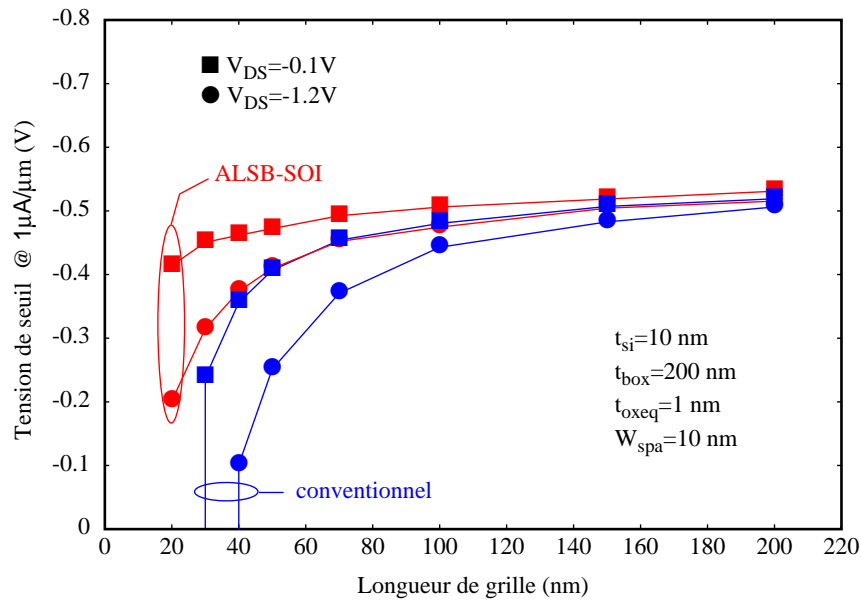


Fig I.20: Simulation de la déviation de la tension de seuil en fonction de la longueur de grille pour l'ALSB et pour une structure conventionnelle à V_{DS} faible et élevé.

Comme prévu, les bonnes propriétés de SCE/DIBL du transistor ALSB permettent de contrôler l'augmentation de la valeur de la pente sous le seuil (Fig. I.21) pour les longueurs de grille inférieures à 50 nm. A contrario, le comportement de la structure conventionnelle est significatif d'une perte de commande de la grille sur la conduction du canal. Ce point est confirmé par la Fig. I.22 qui présente la transconductance maximale pour les deux structures en fonction de la longueur de grille. Particulièrement à $V_{DS} = -1.2$ V, les performances de la structure conventionnelle pour des longueurs de grille en-dessous de 40 nm sont sévèrement affectées par les SCE.

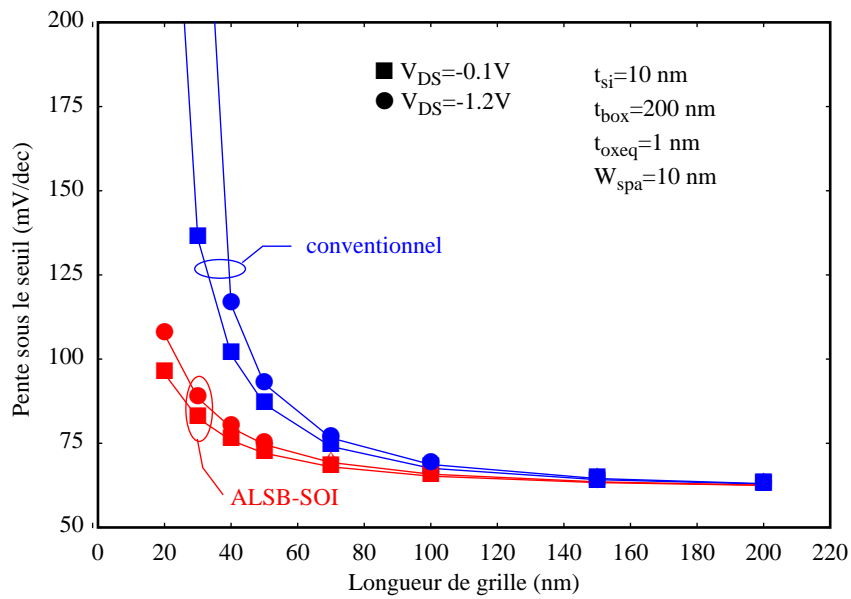


Fig 1.21: Simulation de la variation de la pente sous le seuil de l'ALSB et d'une structure conventionnelle à V_{DS} faible et élevé.

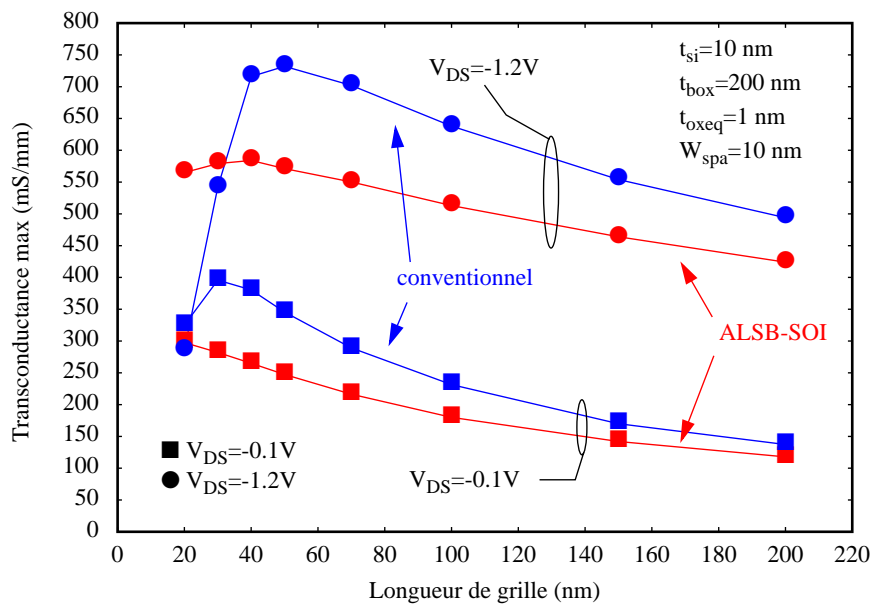


Fig 1.22: Transconductance maximale simulée de l'ALSB et d'une structure conventionnelle à V_{DS} faible et élevé.

La Fig. I.23 montre l'évolution du courant en régime linéaire pour une faible tension de drain et une tension de grille maximale ($V_{GS}=-1.2$ V, $V_{DS}=-0.1$ V) ainsi que pour le courant maximum de saturation ($V_{GS}=-1.2$ V, $V_{DS}=-1.2$ V) en fonction de longueur de grille: les deux structures continuent à tirer bénéfice de la réduction des dimensions car aucune baisse de performance en courant n'intervient quand la longueur de grille est réduite. A ce stade, les résultats de simulation indiquent que les performances en courant pour la structure conventionnelle sont légèrement supérieures que celles de l'ALSB. Cette observation est exacte dans la mesure où le courant n'est pas limité par la résistance spécifique de contact des zones S/D. Nous démontrerons dans la prochaine section que la pénétration du siliciure dans le film de SOI réduit sévèrement le courant de saturation, la transconductance de la structure conventionnelle tandis qu'elle améliore ces mêmes paramètres dans le cas de l'ALSB-SOI.

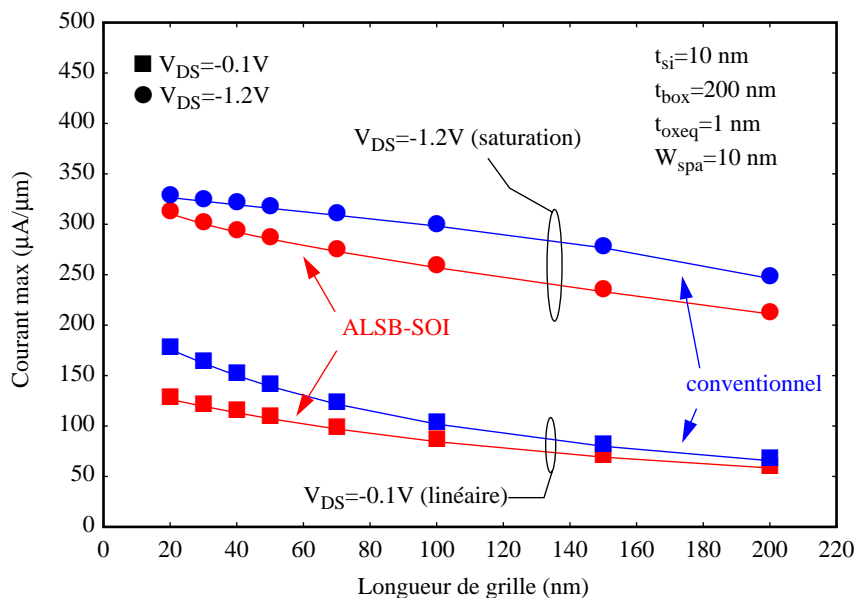


Fig I.23: Courant linéaire saturé simulé de l'ALSB et d'une structure conventionnelle.

Pour conclure, la dernière figure de mérite discutée dans cette section concerne le niveau de courant à l'état bloqué ($V_{GS}=0$ V), et $V_{DS}=-0.1$ ou -1.2 V en fonction de la longueur de grille. La Fig. I.24 montre clairement l'avantage de la structure ALSB comparée à l'approche conventionnelle: pour une longueur de grille de 20 nm, le courant I_{off} est environ 5 et 4 décades inférieur à $V_{DS}=-0.1$ et à -1.2 V. Cette comparaison est également illustrée par la Fig. I.25 qui représente le courant à l'état bloqué en fonction du courant maximum de saturation, la longueur de grille variant de 20 à 200 nm. Pour des courants I_{on} quasi identiques fournis pour une longueur de grille donnée, la structure ALSB tire bénéfice de sa pente sous le seuil presque idéale (Fig. I.21) pour fournir un courant à l'état bloqué faible, comparé au transistor MOSFET conventionnel.

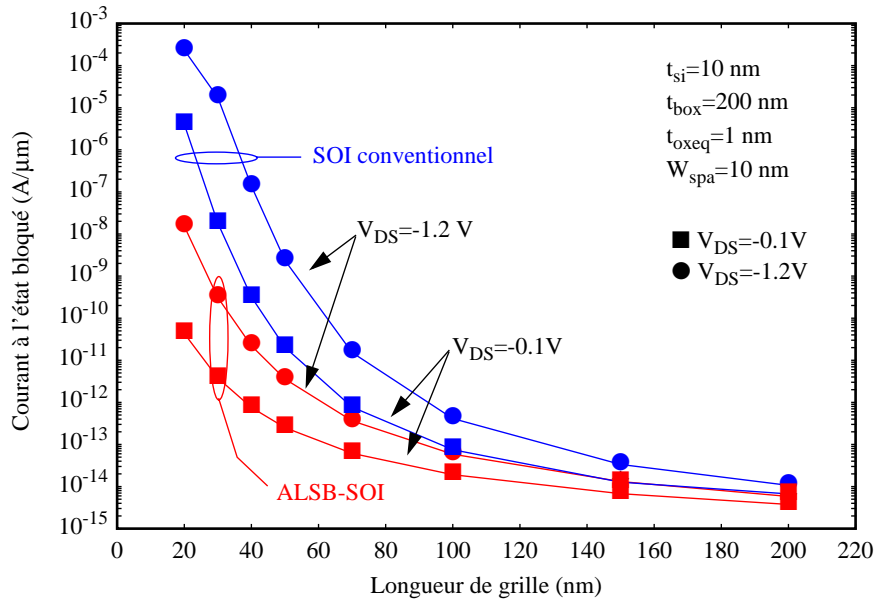


Fig I.24: Courants simulés à l'état bloqué de l'ALSB et d'une structure conventionnelle à V_{DS} faible et fort.

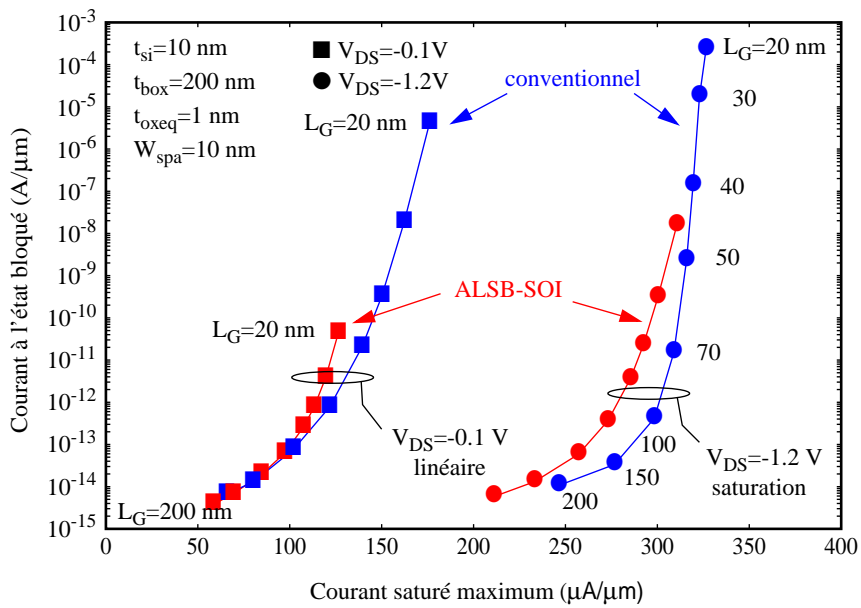


Fig I.25: I_{off} en fonction de I_{on} pour l'ALSB et une structure conventionnelle à V_{DS} faible (linéaire) et V_{DS} fort (saturation).

3-4 Optimisation de la résistance de contact source/drain.

3-4.1 Position du problème.

Parmi les différents objectifs liés à la miniaturisation des dispositifs MOS fixés dans la feuille de route éditée par l'ITRS 2003 [6] (tableau I.2), la formation des jonctions extrêmement peu profondes impose de sérieuses contraintes sur la profondeur de siliciuration du film SOI. Ce tableau illustre également le fait que les technologies de dopage et de contact sont de plus en plus interdépendantes et que l'optimisation de la résistivité spécifique de contact s'impose comme l'un des défis les plus difficiles à relever.

Les simulations sont réalisées pour identifier la sensibilité des performances des transistors par rapport à deux paramètres qui caractérisent principalement la géométrie des contacts de S/D. En référence au tableau I.3, au-delà de la hauteur de barrière Schottky, ces paramètres sont: i) la taille de l'espaceur grille - S/D ii) la profondeur de pénétration de siliciure. La section 3-4 propose une analyse sur l'influence critique des dimensions qui définissent l'architecture du transistor ALSB-SOI-MOSFET.

3-4.2 Optimisation de l'espace entre les contacts S/D et la grille.

L'espace entre les contacts S/D et la grille (W_{spa}) est un paramètre très important qui influence fortement les résistances séries. Ceci est particulièrement vrai dans le cas de la structure SOI-ALSB car cet espacement correspond à une région de faible dopage alors que cette même région est fortement dopée dans la structure conventionnelle. En régime de conduction, l'effet de champ induit une courbure de bande qui réduit la hauteur de la barrière que les porteurs (des trous dans le cas de p-MOS) doivent franchir pour être injectés dans le canal. La Fig. I.26 représente la courbure de bande (bande de valence) quand la tension de grille est augmentée (en valeur absolue) pour deux espacements S/D-grille différents ($W_{spa} = 10$ et 150 nm). Evidemment, la modulation de la hauteur de barrière source-canal est fonction de cet espacement, ce qui demande une optimisation soignée.

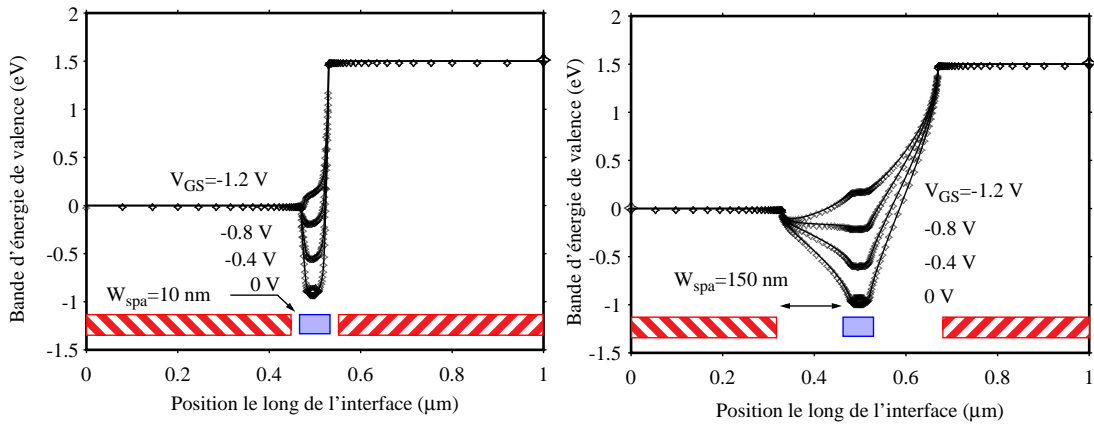


Fig I.26: Courbure de bande de valence pour la structure ALSB-SOI-MOSFET avec différentes valeurs de l'espacement grille - S/D (à gauche: $W_{spa}=10$ nm, droite: $W_{spa}=150$ nm). ($t_{Si}=10$ nm, $t_{box}=200$ nm, $t_{oxeq}=1$ nm, espaceur = 40 nm, $V_{DS}=-1.5$ V, $C_{SOI}=10^{15}$ cm⁻³, $\Phi_{bp}=25$ meV).

La Fig. I.27 montre les variations de la transconductance en fonction de l'espacement S/D - grille. Comme prévu, la structure ALSB-SOI-MOS présente une transconductance réduite pour les plus grandes valeurs de W_{spa} en raison de l'importance prise par la résistance de diffusion. Quand l'intervalle est réduit, la transconductance de la structure ALSB augmente rapidement jusqu'à dépasser les performances obtenues avec la structure conventionnelle. Une valeur négative de W_{spa} signifie que les contacts S/D pénètrent sous la grille causant une diminution drastique de la transconductance qui reflète une perte de commande de la grille.

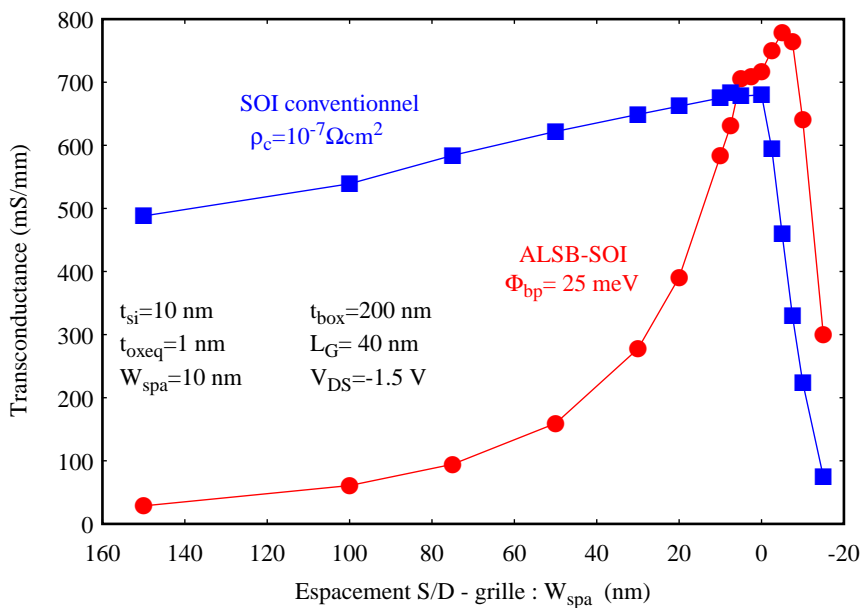


Fig I.27: Variations de la transconductance en fonction de l'espacement S/D - grille (W_{spa}). Comparaison entre l'ALSB et une structure conventionnelle.

3-4.3 Impact de la profondeur de pénétration du siliciure.

Dans la section 3-3, les résultats de simulation ont indiqué un courant et une transconductance légèrement supérieurs (Fig. I.22 et I.23) dans le cas de la structure conventionnelle en comparaison avec l'ALSB pour des longueurs de grille supérieures à 40 nm (mais une déviation de la tension de seuil aggravée en Fig. I.20, une moins bonne pente sous le seuil en Fig. I.21 et un moins bon niveau de courant à l'état bloqué en Fig. I.24 et I.25). Ces résultats sont obtenus pour des contacts de source/drain Schottky qui ne pénètrent pas dans le film de silicium. En réalité, la réaction de siliciuration consomme une certaine épaisseur de silicium entraînant une pénétration du siliciure dans le film de SOI. Afin d'évaluer l'impact de la consommation de silicium lors de la siliciuration, une étude détaillée des performances électriques a été réalisée en faisant varier la profondeur de pénétration du siliciure des contacts (t_{sho}). La Fig. I.28 montre les variations de la transconductance maximale à $V_{DS}=-1.2$ V en fonction de la profondeur de pénétration de siliciure. Nous observons que la structure d'ALSB fournit une transconductance légèrement inférieure à $t_{sho}=0$. Cependant, il apparaît également que la transconductance de la structure MOS conventionnelle est fortement réduite par une augmentation significative des résistances séries induites par la réduction de la surface efficace du contact quand t_{sho} augmente.

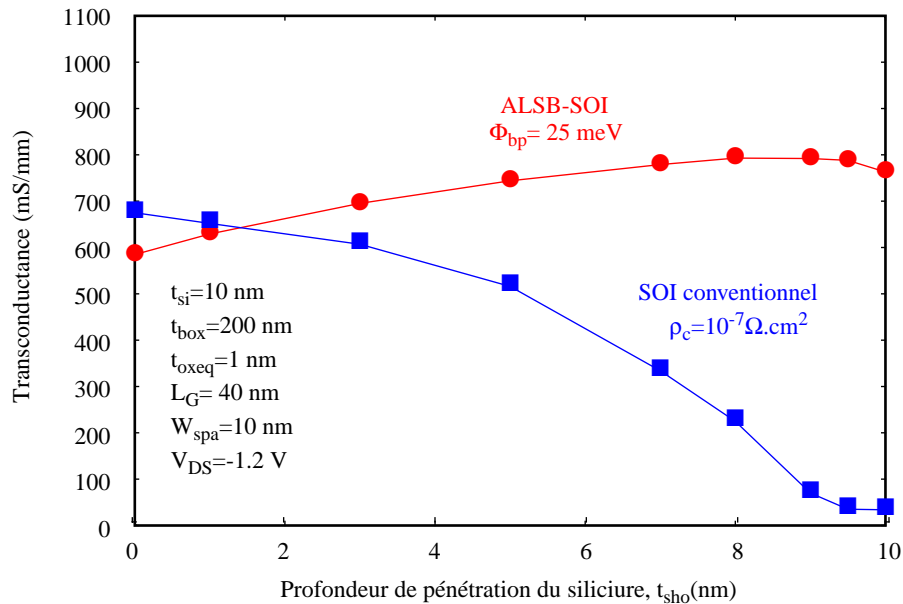


Fig I.28: Variations simulées de la transconductance maximale en fonction de la profondeur de pénétration du siliciure. Dans le cas de l'ALSB, la taille de barrière de Schottky est 25 meV et dans le cas conventionnel la résistance spécifique de contact est $10^{-7} \Omega \text{cm}^2$.

On observe la même tendance générale pour le courant maximum saturé à $V_{GS}=V_{DS}=-1.2$ V (Fig. I.29). La réduction des performances du transistor MOSFET conventionnel est monotone avec la consommation de silicium, en accord avec la référence [37]. En revanche, la structure ALSB-SOI bénéficie d'une augmentation de courant maximum et de transconductance qui est seulement, légèrement réduite pour une consommation totale du film de silicium.

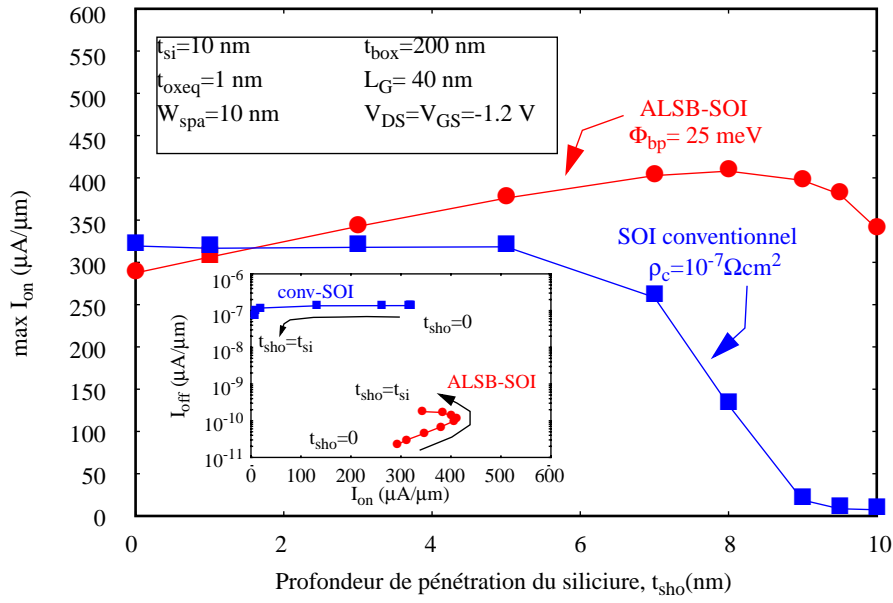


Fig I.29: Variations simulées du courant maximum à $V_{GS}=V_{DS}=-1.2$ V en fonction de la profondeur de pénétration de silicium. Dans le cas de l'ALSB, la hauteur de la barrière de Schottky est de 25meV et dans le cas d'une structure conventionnelle, la résistance spécifique de contact est de $10^{-7} \Omega cm^2$.

L'insert montre I_{off} en fonction de I_{on} .

L'insert dans la Fig. I.29 prouve qu'un excellent rapport d' I_{on}/I_{off} est maintenu pour la structure ALSB-SOI, même pour le courant I_{on} le plus élevé obtenu à $t_{sho} \sim 8$ nm. L'impact de la profondeur de pénétration du silicium sur la transconductance et sur le courant de commande peut être expliqué simplement en considérant le schéma en Fig. I.30. La résistance de contact peut être divisée en deux composantes associées en parallèle:

- la première contribution est la composante horizontale, R_{cfb} qui représente la résistance calculée selon la méthode de ligne de transmission [44]:

$$R_{cfb} = \frac{R_{\square} L_T}{W} \coth\left(\frac{L_c}{L_T}\right) \quad \text{avec} \quad L_T = \sqrt{\frac{\rho_c}{R_{\square}}} \quad (I.31)$$

où L_T désigne la longueur de transfert, W la largeur de dispositif, L_C la longueur de contact, ρ_c la résistivité spécifique de contact de l'interface de silicium/siliciure et R_{\square} la résistance de la couche

du silicium sous le contact: $R_{\square} = \rho_{Si}/(t_{Si}-t_{sho})$. Comme prévu, R_{\square} dépend de l'épaisseur du film SOI (t_{Si}) et de la profondeur de pénétration du siliciure (t_{sho}) pour une résistivité du silicium sous le contact donné (ρ_{Si}).

- la deuxième contribution R_{csw} est la composante verticale liée à l'interface verticale du contact qui apparaît quand l'épaisseur de silicium consommé n'est pas nulle:

$$R_{csw} = \frac{\rho_c}{W \cdot t_{sho}} \quad (I.32)$$

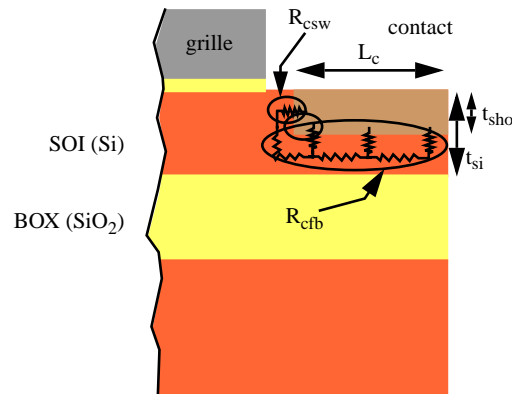


Fig I.30: La représentation schématique des deux composantes de résistance associées à la résistance spécifique de contact. R_{cfb} et R_{csw} sont des contributions liées aux interfaces horizontale et verticale, respectivement.

L'inverse de ces deux composantes de résistance ainsi que l'inverse la résistance totale résultant de leur association en parallèle ($1/R_c = 1/R_{cfb} + 1/R_{csw}$) sont rapportés au niveau de la Fig. I.31. Le modèle proposé de la résistance de contact donne un accord remarquable avec la variation simulée du courant maximum (Fig. I.29) et de la transconductance (Fig. I.28) en fonction de la profondeur de pénétration de siliciure. La Fig. I.32 expose les variations de la pente sous le seuil et de la tension de seuil à $V_{DS}=-1.2$ V en fonction de la profondeur de pénétration du siliciure. On n'observe aucune variation importante pour les deux structures. Cependant, en raison de la sensibilité plus importante des effets canaux courts déjà observés avec les Fig. I.19, I.20 et I.21, le transistor MOS conventionnel montre une pente sous le seuil plus élevée (~ 116 mV/dec) en comparaison avec l'ALSB-SOI (~ 83 mV/dec).

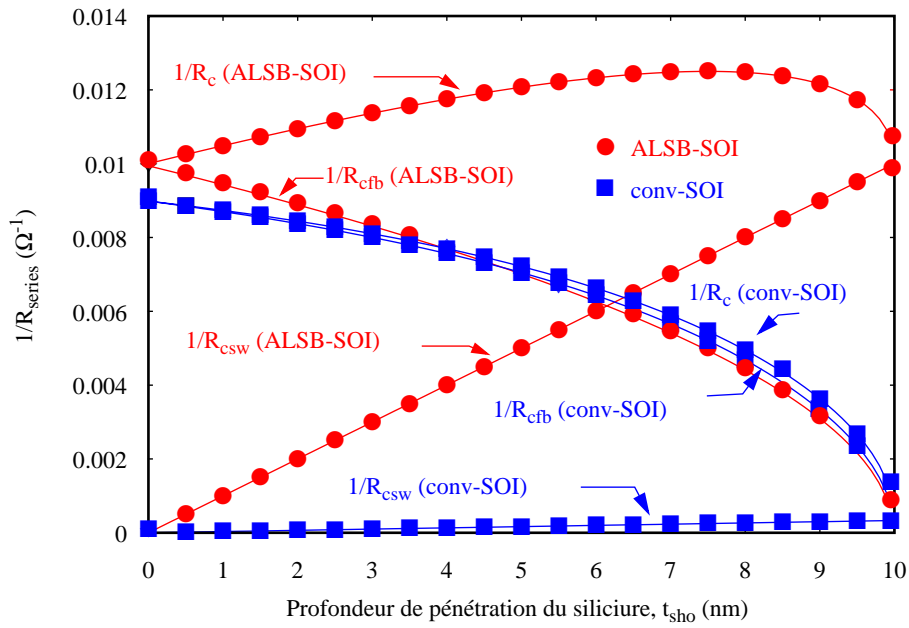


Fig I.31: Variations de la résistance de contact en fonction de la profondeur de pénétration du silicium. Les résultats sont issus d'un modèle analytique. La résistance totale est donnée par l'association en parallèle des composantes associées à la paroi horizontale et verticale ($1/R_c = 1/R_{cfb} + 1/R_{csw}$).

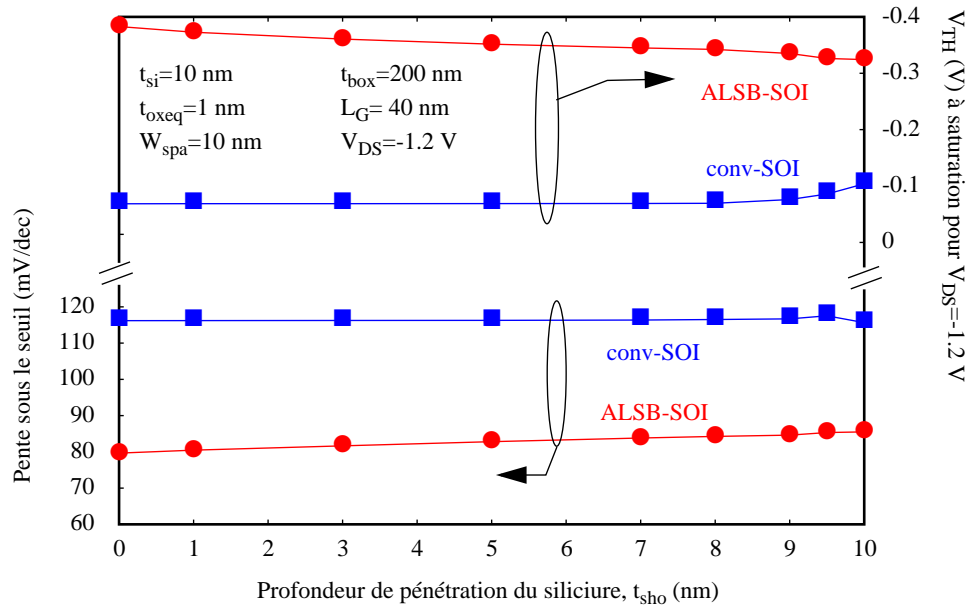


Fig I.32: Variations de la pente sous le seuil et de la tension de seuil à saturation en fonction de la profondeur de pénétration du silicium.

4- Conclusion.

La miniaturisation des transistors MOS et plus particulièrement la diminution de la longueur de canal a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Cette réduction des dimensions a engendré des phénomènes parasites qui détériorent les performances électriques. A court terme, le développement de nouveaux procédés de fabrication permet de minimiser ces effets néfastes mais à moyen terme, c'est l'architecture du transistor MOS en tant que telle qui demande à être repensée. Afin de surmonter les challenges associés aux zones S/D, un transistor MOS sur substrat SOI intégrant des contacts Schottky de très faible hauteur de barrière a été présenté. Cette architecture alternative permet de s'affranchir de régions S/D fortement dopées tout en préservant une résistivité spécifique de contact très basse. Les caractéristiques électriques de ce transistor ont été analysées par des simulations de dispositif 2D. Il est démontré en particulier, que la pénétration de siliciure dans le silicium réduit légèrement la résistance de contact pour la structure de MOS ALSB-SOI tandis qu'elle limite nettement le courant de commande pour une architecture conventionnelle de MOS.

Bibliographie

- [1] G. Moore, "Electronics", vol. 38, no 8, 1965.
- [2] S. M. Sze, " Physics of Semiconductor Devices ", 2nd edition, Wiley, New York.
- [3] Henry Matthieu, "physique des semiconducteurs et des composants électroniques", Dunod, Paris, 5ème édition, 2001.
- [4] J. P. Colinge, F. Van de Wiele, "Physique des dispositifs semiconducteurs", De Boeck-Wesmael, 1996.
- [5] Yannis P. Tsividis, "Operation and modeling of the MOS transistor", McGraw-Hill series in electrical engineering, VLSI, 1987.
- [6] SIA Semiconductor Industry Association, "The International Technology Roadmap for Semiconductors - ITRS", 2003.
- [7] <http://www.semichips.org>.
- [8] R. Troutman, "VLSI limitation from drain induced-barrier lowering", IEEE Transactions on Electron Devices, vol. 26, no 4, pp. 461-468, 1979.
- [9] S. C. Jain and P. Balk, "A unified analytical model for drain-induced barrier lowering and drain-induced high electric field in a short-channel MOSFET", Solid-State Electronics, vol. 30, no. 5, pp. 503-511, 1987.
- [10] L. D. Yau, "a simple theory to predict the threshold voltage of short-channel IGFET's", Solid State Electronic, vol. 9, no. 3, pp. 256-263, 1974.
- [11] L. A. Akers and M. Walker, "Hot carrier effects in submicron CMOS", Physica B+C, vol. 134, no 1-3, pp. 116-120, 1985.
- [12] R. Petrova, R. Kamburova and P. Vitanov, "Hot carriers effects in short channel devices", Microelectronics and Reliability, vol. 26, no. 1, pp. 155-162, (1986).
- [13] C.M. Osburn, K.R. Bellur, "Low parasitic resistance contacts for scaled ULSI devices", Thin Solid Films 332, pp 428-436, 1998.
- [14] W. Schockley, Air Force Lab., Wright-Patterson Air Force Base, OH, Rep. AL-TOR-64-207, 1964.
- [15] H. Murrmann, D. Widmann, "Current crowding on metal contacts to planar devices", IEEE Transactions on Electron Devices, vol. ED-16, no. 12, pp. 1022-1024, 1969.
- [16] Y. Chieh, A. Perera, J. Krusius, "Series resistance of silicided ohmic contacts for nanoelectronics", IEEE Transactions on Electron Devices, vol. 39, no. 8, pp. 1882-1888, 1992.
- [17] K. Kwok and T. William, "Analysis of Gate-Voltage-Dependent Series Resistance of MOSFET's", IEEE Transactions on Electron Devices, vol. 7, no. 7, pp. 965-972, 1986.
- [18] P. Keys, H.J. Grossmann, K.K. Ng, C.S. Rafferty, "Series resistance limits for 0.05 μm MOSFETs", Superlattices and Microstructures, vol. 27, pp 125-136, 2000.
- [19] F.G. Pikus, K.K. Likharev, "Nanoscale field-effect transistors: an ultimate size analysis", Appl. Phys. Lett., vol. 71, pp 3661-3663, 1997.
- [20] H.S. Wong, D.J. Frank, P.M. Solomon, "Device design considerations for double-gate, ground-plane and single-gated ultra-thin SOI MOSFET's at the 25 nm channel length generation", IEDM Tech. Dig. pp 407-410, 1998.
- [21] L. Su, J. Jacobs, J. Chung, D. Antoniadis, "Deep-submicrometer channel design in Silicon-On-Insulator (SOI) MOSFET's", IEEE Electron Devices Letters, vol. 15, no. 9 , pp 366-368, 2000.

- [22] R. Yan, A. Ourmazd, F. Lee, "Scaling the Si MOSFET: From Bulk to SOI to Bulk", *IEEE Transactions on Electron Devices*, vol. 39, no. 7, pp 1704-1710, 1992.
- [23] M. Jurczak, T. Skotnicki, M. Paoli, B. Tormen, J.L Regolini, C. Morin, A. Schiltz, J. Martins, R. Pantel, J. Galvier, "SON (Silicon On Nothing) - A new device architecture for the ULSI era", *Symp. on VLSI Technology Dig.*, pp 29-30, 1999.
- [24] E. Suzuki, K. Ishii, S. Kanemaru, T. Maeda, T. Tsutsumi, T. Sekigawa, K. Nagai, H. Hiroshima, "Highly suppressed short-channel effects in ultrathin SOI n-MOSFETs", *IEEE Transactions on Electron Devices*, vol. 47, no. 2, pp 354-359, 2000.
- [25] J.R. Tucker, C. Wang, P.S. Carney, 'Silicon field-effect transistor based on quantum tunneling', *Appl. Phys. Lett.* 65, no 5, p 618, August 1994.
- [26] M.P. Lepselter, S.M. Sze, "SB-IGFET: an insulated-gate field-effect transistor using Schottky barriers contacts for source and drain", *Proc. of the IEEE*, p 1400-1402, August 1968.
- [27] C. Wang, J.R. Tucker, "Sub-40 nm PtSi Schottky source/drain metal-oxide-semiconductor field-effect transistors", *Appl. Phys. Lett.*, vol. 74, pp 1174-1176, 1999.
- [28] J. Kedzierski, P. Xuan, E.H. Anderson, J. Bokor, T.J. King, C. Hu, "Complementary silicide source/drain thin-body MOSFETs for the 20 nm gate length regime", *IEDM Tech. Dig.*, p 57-60, December 2000.
- [29] X. Tang, J. Katcki, E. Dubois, N. Reckinger, J. Ratajczak, G. Larrieu, P. Loumaye, O. Nisole, V. Bayot, "Very low Schottky barrier to n-type silicon with PtEr-stack silicide", *soumis Solid-State Electronics*.
- [30] M. Jang, K. Kang, S. Lee, K. Park, "Simulation of Schottky barrier tunnel transistor using simple boundary condition", *Applied Physics Letters*, vol. 82, no. 16, p. 2718-2720, 2003.
- [31] C. Huang, W. Zhang, C.H Yang, "Two-dimensional numerical simulation of Schottky barrier MOSFET with channel length to 10 nm", *IEEE Transactions on Electron Devices*, vol.45, no. 4, p. 842 -848, 1998.
- [32] J. P. Colinge, "Silicon-on-Insulator: materials to VLSI", the Kluwer international series in engineering and computer science, SECS 132, 1991.
- [33] Z. J. Ma, H. J. Wann, J. C. King, Y. C. Cheng, P. K. Ko, C. Hu, "Hot-carrier effects in thin-film fully depleted SOI MOSFET's", *IEEE Electron Device Letters*, vol. 15, no. 6, pp. 218-220, 1994.
- [34] J. P Colinge, "Hot-carrier effects in silicon-on-insulator n-channel MOSFET's", *IEEE Transactions on Electron Devices*, vol. 10, pp. 2173, 1987.
- [35] E. Dubois, G. Larrieu, "Low Schottky barrier source/drain for advanced MOS architecture: device design and material: device design and material considerations", *Solid-State Electronics*, vol.46, p. 997-1004, 2002.
- [36] C.M. Osburn, K.R. Bellur, "Low parasitic resistance contacts for scaled ULSI devices", *Thin Solid Films* 332, pp 428-436, 1998.
- [37] L.T. Su, M.J. Sherony, H.Hu, J.E. Chung, D.A. Antoniadis, "Optimization of series resistance in sub-0.2 μm SOI MOSFET's", *Electron Dev. Lett.*, vol. 15, pp 363-365, 1994.
- [38] H. Tian, K.W. Kim, J.R. Hauser, N.A. Masnari, M.A. Littlejohn, "Effects of profile-doped elevated source/drain structures on deep-submicron MOSFET's", *Solid-State Electronics*, vol.38, p. 573-579, 1995.
- [39] J.J. Sun, R. F. Bartholomew, K. Bellur, A. Srivastava, C.M. Osburn, N.A. Masnari, "The effect of the elevated source/drain doping profile on performance and reliability of deep submicron MOSFET's", *IEEE Trans. on Electron Dev.*, vol. 44, pp 1491-1498, 1997.

- [40] J.J. Sun, C.M. Osburn, "Impact of epi facets on deep submicron elevated source/drain MOSFET characteristics", *IEEE Trans. on Electron Dev.*, vol. 45, pp 1377-1380, 1998.
- [41] H.S. Wong, K.K. Chan, Y. Lee, P. Roper, Y. Taur, "Fabrication of ultrathin, highly uniform thin-film SOI MOSFET's with low series resistance using patter-constrained epitaxy", *IEEE Trans. on Electron Dev.*, vol. 44, pp 1131-1135, 1997.
- [42] P. Schubert, G.W. Neudeck, "Confined lateral selective epitaxial growth of silicon for device fabrication", *IEEE Electron Dev. Lett.*, vol. 11, pp 181, 1990.
- [43] M. Chan, F. Assaderaghi, S.A. Parke, C. Hu, P.K. Ko, "Recessed-channel structure for fabricating ultra-thin SOI MOSFET with low series resistance", *IEEE Electron Dev. Lett.*, vol. 15, pp 22-24, 1994.
- [44] H. Murmann, D. Widmann, "Current crowding on metal contacts to planar devices", *IEEE Trans. on Electron Dev.*, vol. 16, pp 1022-1024, 1969.

Chapitre II

Elaboration et caractérisation de contacts Schottky à très faible hauteur de barrière.

Idéalement, le mode de fonctionnement de l'ALSB-MOSFET est uniquement basé sur la modulation du passage des porteurs de la source dans le canal par l'effet de champs développé par la tension de grille. Ce régime peut être atteint si les contacts source/drain possèdent une hauteur de barrière Schottky nulle. Si cette hauteur n'est pas nulle, le courant sera contrôlé par la résistance de contact source/drain lorsque le canal est en forte accumulation. C'est pourquoi de très faibles hauteurs de barrière Schottky sont nécessaires pour obtenir des courants de commande élevés. Dans ce chapitre, un modèle prenant en compte l'effet thermo-électronique et l'effet de champ à travers une barrière Schottky est présenté. En prenant en compte ces considérations, un inventaire critique est réalisé sur les différentes techniques de mesures de hauteur de barrière et leur validité dans le cas de très faibles hauteurs. La section 2 présente la technique de formation de siliciures ainsi que les outils de caractérisations physiques et électriques avec notamment une méthode inédite permettant de classer les siliciures en fonction de leur faible résistance de contact. Enfin, la dernière section propose une étude détaillée sur la formation du siliciure de platine et d'iridium avec les cinétiques de réactions, les stoechiométries, les morphologies des couches formées et leurs performances électriques. L'influence du substrat (Si massif, SiGe épitaxié) sera étudiée dans le cadre du siliciure de platine.

1- Théorie sur le contact Schottky à faible hauteur de barrière.

Un modèle simplifié de contact Schottky a été présenté dans le chapitre I, où l'injection du courant dans un contact est seulement basée sur la capacité d'un porteur à franchir une barrière égale à la différence entre le travail de sortie du métal et du semiconducteur. Ce dernier doit être étendu pour tenir compte des différents modes d'injections possibles ainsi que des spécificités liées aux faibles hauteurs de barrières.

1-1. La diode Schottky

Nous considérons la structure métal/semiconducteur de type p avec $\Phi_m < q\Phi_s$ (cf paragraphe I.2.3).

1-1.1 La diode Schottky non polarisée.

Dans une barrière métal semiconducteur de hauteur $q V_b$ (Fig. II.1), la distribution du potentiel dans le semiconducteur p s'obtient par intégration de l'équation de Poisson. Nous supposons que:

- le dopage N_a est constant, la surface S est plane.
- aucun porteur majoritaire ne se trouve dans la zone désertée.
- la densité des états de surface est négligeable.

$$\frac{d\xi}{dx} = \frac{q \cdot N_a}{\epsilon_S} \quad \xi(x) = -\frac{q \cdot N_a \cdot W}{\epsilon_S} \left(1 - \frac{x}{W}\right) \quad (\text{II.1})$$

Or

$$V_b(x) = -\int \xi(x) dx = \frac{q \cdot N_a \cdot x^2}{2\epsilon_S} \quad (\text{II.2})$$

avec ϵ_S constante diélectrique du silicium et x distance de la jonction Schottky dans la zone de déplétion.

En intégrant le champ électrique sur toute la longueur W de la zone de charge d'espace (ZCE) on obtient:

$$W = \left(\frac{2\epsilon_S \cdot V_b}{q \cdot N_a}\right)^{\frac{1}{2}} \quad (\text{II.3})$$

L'expression du courant thermo-électronique circulant dans une structure métal/semiconducteur est fonction de la barrière de potentiel existant à l'interface de celle-ci. En l'absence de toute polarisation, le courant résultant est nul de sorte que chacun des courants thermo-électroniques ($J_{m \rightarrow SC}$ et $J_{SC \rightarrow m}$) s'écrit:

$$J_0 = A^* \cdot T^2 \cdot \exp\left(\frac{-q \cdot \Phi_b}{kT}\right) \quad (\text{II.4})$$

où la constante de Richardson modifiée $A^* = (m_e/m_0)(4 \pi q m_0 k^2) / h^3 = 120(m_e/m_0) \text{ A.K}^{-2}.\text{cm}^{-2}$:

1-1.2 La diode Schottky polarisée en direct.

Lorsqu'une jonction Schottky est polarisée en direct, la courbure des bandes diminue, la barrière de potentiel est affaiblie. Lors d'une polarisation en direct (mais aussi en inverse), le courant émis ne dépend pas uniquement de l'émission thermo-électronique mais il peut exister une contribution due au courant tunnel. La contribution de chaque type d'émission est variable, dépendant notamment du dopage du substrat ou de la température. Crowell et Rideout, en 1969, ont établi un modèle numérique prenant en compte l'effet thermo-électronique et l'effet de champ à travers une barrière Schottky [2]. Bien que Padovani et Stratton [3] soient souvent cités comme référence dans les publications traitant d'émission thermo-électronique couplée à l'émission par effet de champ (Thermionic-Field Emission: **TFE**), l'approche de Crowell et Rideout est la seule à offrir une transition continue entre un mécanisme de transport purement thermo-électronique et un transport purement lié à l'effet de champ. Cette formulation générale est obtenue pour une polarisation directe en terme de courant de bande plate I_m , de courbure de bande E_b dans la région de déplétion du semiconducteur (Fig. II.1) et de la constante de matériau E_{00} , qui dépend du niveau de dopage et de l'énergie thermique kT .

Pour un porteur de masse effective m^* et d'une énergie E , la probabilité de passage à travers la barrière est définie par l'équation II.5 pour des valeurs de E inférieures à la barrière d'énergie potentielle E_b (émission tunnel). Dans le cas d'une émission purement thermo-électronique ($E > E_b$), la probabilité est égale à l'unité.

$$\tau(E) = \exp \left\{ \frac{-4\pi}{h} \int_{x_1}^W [2m^* (qV(x) - E)]^{1/2} dx \right\} \quad (\text{II.5})$$

L'effet tunnel (Fig. II.1) se produit dans un intervalle compris entre x et W où $qV(x) = E$ et $qV(W) = E_b$.

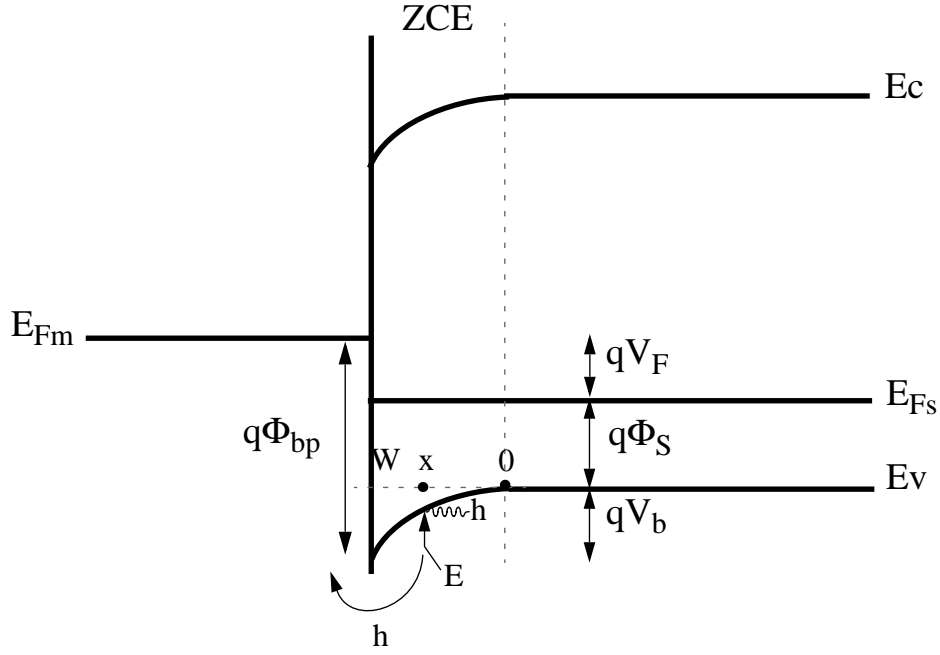


Fig. II.1: Diagramme de bande à l'interface métal/semiconducteur pour une polarisation directe d'une jonction Schottky sur un substrat de type p.

La densité de courant J due à la distribution de porteurs thermiquement excités dans le semiconducteur et dans le métal est donnée par la différence entre le flux de courant direct J_F (du silicium vers le métal) et le flux de courant inverse J_R (du métal vers le silicium).

$$J = J_F - J_R = \frac{A^* T}{k} \int_0^{\infty} f_s(E) \tau(E) dE - \frac{A^* T}{k} \int_0^{\infty} f_m(E) \tau(E) dE \quad (\text{II.6})$$

avec $f_s(E)$ et $f_m(E)$ les fonctions de probabilité d'occupation dans le silicium et dans le métal. Lorsque l'on se trouve hors équilibre (par application d'une tension externe), ces fonctions peuvent être reliées de la façon suivante:

$$f_s(E) = \exp\left\{\frac{-(q\Phi_s + E)}{kT}\right\} = f_m(E) \exp\left\{\frac{qV_F}{kT}\right\} \quad (\text{II.7})$$

où Φ_s est la différence de potentiel entre le niveau de Fermi et la bande de valence du silicium (Fig. II.1) et V_F la tension directe appliquée. En conséquence directe de l'équation II.7, le courant direct et inverse sont liés par la relation suivante:

$$J_F = J_R \exp\left\{\frac{qV_F}{kT}\right\} = \frac{A^* T}{k} \int_0^\infty \tau(E) \exp\left\{-\left[\frac{E + q\phi_s}{kT}\right]\right\} dE \quad (\text{II.8})$$

A partir de ce point, Crowell et Rideout ont défini trois paramètres afin d'établir une forme normalisée de la densité de courant direct à travers une jonction Schottky:

- E_b/kT : E_b est la courbure de bande dans la zone de désertion du semiconducteur (Fig. II.1). Elle correspond à la barrière réelle que les porteurs doivent franchir par effet thermo-électronique ou traverser par effet tunnel afin de rejoindre le contact. La relation suivante donne E_b en fonction de la tension appliquée, de Φ_b et de Φ_s :

$$E_b = q(\phi_b - \phi_s - V_F) \quad (\text{II.9})$$

- E_{00}/kT : E_{00} est une constante propre au matériau qui dépend de sa constante diélectrique et de la masse effective des porteurs. Elle est fonction de la probabilité de transfert à travers la barrière pour des porteurs d'énergie nulle ($E=0$):

$$\tau(E=0) = \exp\left\{\frac{-E_b}{E_{00}}\right\} \quad \text{avec} \quad E_{00} = \frac{qh}{4\pi} \left[\frac{N}{m^* \epsilon_s} \right] \quad (\text{II.10})$$

Comme il est démontré par la suite, le ratio E_{00}/kT à température donnée permet de déterminer le mécanisme majoritaire d'injection du courant. En effet, pour $E_{00}/kT \ll 1$, l'émission thermo-électronique est prépondérante alors que pour $E_{00}/kT \gg 1$ c'est l'émission par effet de champs qui domine. Les variations de E_{00} , à une température fixée, sont directement fonction du dopage du matériau comme le met en évidence la Fig. II.2. Pour donner un ordre de grandeur, prenons l'exemple d'un substrat faiblement dopé ($N = 2.10^{15} \text{ cm}^{-3}$) à température ambiante qui donne une valeur de ratio kT/E_{00} d'environ 85. Par contre ce rapport va chuter largement (2.86) dans le cas d'un substrat moyennement dopé ($N = 2.10^{17} \text{ cm}^{-3}$) à une température de 100 K.

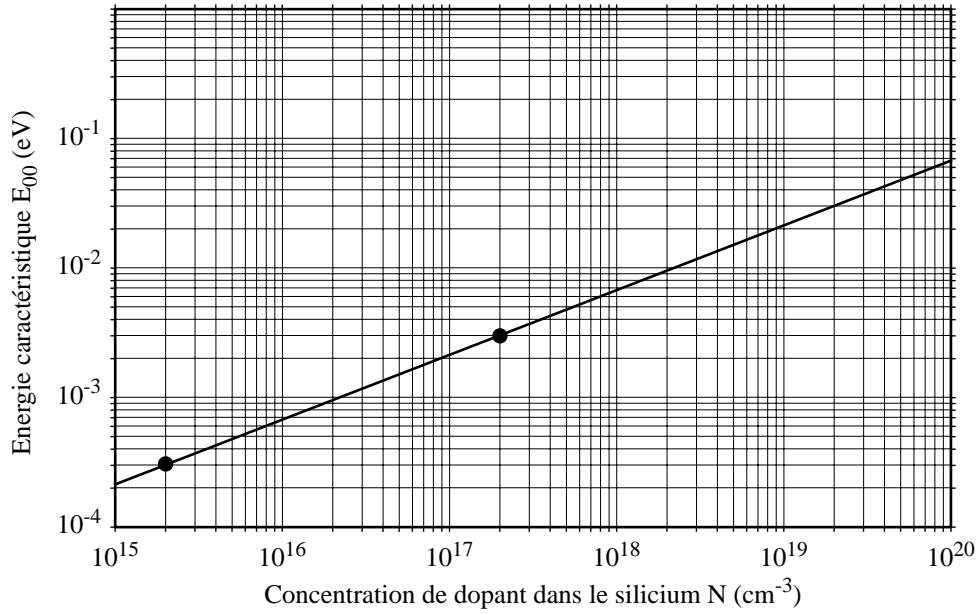


Fig. II.2: Energie E_{00} en fonction de la concentration de dopant dans le silicium. Deux valeurs particulières sont données pour un dopage de $2.10^{15} \text{ cm}^{-3}$ et $2.10^{17} \text{ cm}^{-3}$.

- J_m : Ce paramètre est représentatif de la densité de courant de bande plate obtenue lorsque la tension appliquée compense exactement la hauteur de barrière Schottky Φ_b .

$$J_m = A^* T^2 \exp\left\{\frac{-q\Phi_s}{kT}\right\} \quad (\text{II.11})$$

En utilisant les équations II.6 et II.10, on peut normaliser et transformer une intégration sur la distance (eq. II.5) en une intégration selon l'énergie (eq. II.12).

$$\tau(E) = \exp\left[\frac{-E_b y(\alpha)}{E_{00}}\right] \quad (\text{II.12})$$

où α et $y(\alpha)$ sont définis par:

$$\alpha \equiv E/E_b \quad \text{et} \quad y(\alpha) = (1 - \alpha)^{1/2} - \alpha \ln\left[\frac{1 + (1 - \alpha)^{1/2}}{\alpha^{1/2}}\right] \quad (\text{II.13})$$

Ainsi, à partir des équations II.7 à II.11 on obtient:

$$\frac{J_F}{J_m} = \frac{E_b}{kT} \int_0^1 \exp\left\{\frac{-E_b}{kT} \left[\alpha + \frac{kT}{E_{00}} y(\alpha)\right]\right\} d\alpha + \exp\left\{\frac{-E_b}{kT}\right\} \quad (\text{II.14})$$

On peut remarquer que J_F/J_m est une fonction des paramètres sans dimension E_b/kT et kT/E_{00} , une forme bien adaptée pour comprendre le modèle d'émission à champ thermo-électronique

(TFE). Le premier membre de l'expression représente l'effet tunnel à travers la barrière Schottky. Le second membre de l'expression est le mécanisme thermo-électronique. Dans un régime de hautes températures et de faible dopage du substrat, le terme kT/E_{00} devient très grand et donc l'effet tunnel devient négligeable. L'expression du courant direct peut être simplifiée sous la forme suivante, qui est la forme classique d'un courant purement thermo-électronique.

$$J_F = J_m \exp\left\{\frac{-E_b}{kT}\right\} = A^* T^2 \exp\left\{\frac{-q\phi_b}{kT}\right\} \exp\left\{\frac{qV_F}{kT}\right\} \quad (\text{II.15})$$

Pour exploiter plus aisément l'équation II.14, il est intéressant de raisonner en normalisant l'énergie de distribution des porteurs émis. Cette normalisation est représentée en Fig. II.3 pour deux valeurs de E_b/kT (10 et 40) et pour des valeurs élevées (10 et 100), intermédiaires (1 et 2) et faibles (0.1) de kT/E_{00} . En considérant une valeur de kT/E_{00} constante, c'est à dire à température et niveau de dopage fixés, on observe un rétrécissement de la distribution d'énergie quand le rapport E_b/kT augmente, mais il n'y a pas de changement de mécanisme de transport. Par contre, le ratio kT/E_{00} a un impact direct sur le type de mécanisme de transport dominant. En effet, lorsque ce dernier augmente, la distribution d'énergie se décale vers une région caractéristique d'un mécanisme de transport thermo-électronique, la frontière entre les deux mécanismes étant pour $E=E_b$. Ainsi, pour de faibles valeurs kT/E_{00} , conséquence de forts dopages ou des faibles températures, le transport des porteurs à travers la barrière Schottky par effet tunnel est privilégié.

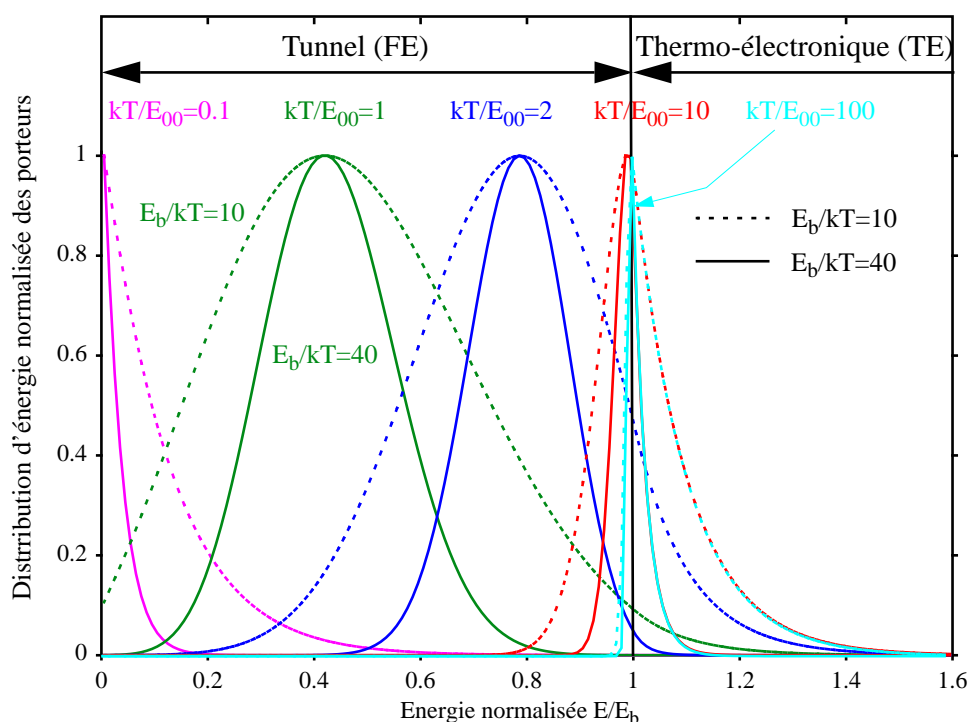


Fig. II.3: Distribution d'énergie normalisée des porteurs émis pour diverses valeurs choisies de kT/E_{00} et de E_b/kT .

1-1.3 La diode Schottky polarisée en inverse.

Il ne faut pas perdre de vue qu'un transistor à contacts Schottky fonctionne avec une jonction en mode direct et une autre en mode inverse. Les considérations développées précédemment, dans le cas d'une jonction polarisée en direct, peuvent être transposées pour une jonction polarisée en inverse. Le facteur de normalisation en courant correspond alors à un courant de saturation en inverse d'une émission purement thermo-électronique ($J_{r0} = A^* T^2 \cdot \exp\{-\phi_b/kT\}$) [51]. Dans ce cas, le diagramme de bande d'énergie, présenté Fig. II.4, fait apparaître les deux modes d'injection de porteurs possibles à travers une jonction Schottky en inverse. De même, le niveau de dopage du substrat et la température tendra à favoriser un mode d'émission particulier de porteurs. Néanmoins dans les conditions d'applications retenues, aucun mécanisme n'est prépondérant et l'injection des porteurs à travers la barrière est une combinaison d'émission thermo-électronique et d'émission de champ.

$$I = A^* \cdot S \cdot T^2 \exp\left(-\frac{q(\Phi_b - \Delta\Phi_b)}{kT}\right) \exp\left[\frac{q(V - RI)}{kT}\right] \quad (\text{II.16})$$

avec S l'aire de la jonction, Φ_b hauteur de la barrière Schottky, $\Delta\Phi_b$ abaissement de barrière due à la force image et R la résistance série associée au silicium entre les contacts. Comme A^* et $\Delta\Phi_b$ sont des fonctions dépendantes de la tension appliquée, on introduit le coefficient n appelé facteur d'idéalité qui tient compte de la dépendance de la barrière avec la température ou la tension appliquée. Ainsi, l'équation de la caractéristique I-V est souvent représentée par:

$$I = SA^* T^2 \exp\left(\frac{-q\Phi_{b0}}{kT}\right) \left\{ \exp\left(\frac{q(V - RI)}{nkT}\right) - 1 \right\} \quad (\text{II.17})$$

En première approximation, pour une caractéristique I(V) dans le sens direct (avec $V > 3kT/q$) le courant s'écrit: $I \sim \exp(qV/nkT)$. On peut extraire le coefficient d'idéalité:

$$n = \frac{q}{kT} \frac{\partial V}{\partial(\ln I)} \quad (\text{II.18})$$

L'extrapolation du courant pour un potentiel nul donne le courant de saturation I_s , ainsi la hauteur de barrière peut être déterminée par l'équation suivante:

$$\Phi_{b0} = \frac{kT}{q} \ln\left(\frac{A^* \cdot S \cdot T^2}{I_s}\right) \quad (\text{II.19})$$

Cette technique offre de bons résultats pour des hauteurs de barrières conséquentes où le courant thermo-électronique est suffisamment faible pour que la chute de tension due à la résistance série du silicium soit modérée. Par contre cette technique possède quelques points faibles:

- La surface de la diode S et A^* étant connus, l'extraction de la hauteur de barrière en polarisation directe dépend de la valeur du coefficient d'idéalité. S'il est proche de l'unité, le courant est un courant d'émission thermo-électronique exprimé par la relation II.17. Lorsque n est supérieur à l'unité, l'émission thermo-électronique n'est plus forcément le mécanisme prépondérant, un courant par émission de champ (paragraphe I.4.1) ou par génération/recombinaison n'est plus négligeable [4]. Les équations précédentes ne sont alors plus correctes.
- Pour des hauteurs de barrière très faibles sur des substrats faiblement dopés, l'importance prise par la résistance série du silicium devant celles liées aux contacts Schottky rend l'extraction très imprécise.
- Enfin, la technique classique de mesure impose la formation d'un contact ohmique de plus faible résistance de contact possible pour jouer le rôle de second contact électrique. Or, pour des hau-

teurs de barrières très faibles, la résistance spécifique du contact ohmique peut être du même ordre de grandeur que celle du contact Schottky et ainsi perturber l'extraction de la valeur de la hauteur de barrière.

1-2.2 Mesure d'énergie d'activation

Le principal avantage de cette méthode d'extraction est son indépendance à la surface électriquement active de la diode. Ceci est très intéressant pour des contacts métal semiconducteur peu courant, où la métallurgie d'interface n'est pas connue. En effet, la surface électriquement active ne correspond pas toujours à la surface apparente de la diode.

1-2.2.1 Mesures en courant direct

Cette méthode est basée sur l'équation II.16 exprimant un courant purement thermo-électronique. En considérant que la jonction Schottky est en mode direct et que la résistance R est négligeable, on peut extraire la relation suivante:

$$\ln\left(\frac{I_F}{T^2}\right) = \left(-\frac{q(\Phi_b - V_F)}{kT}\right) + cste \quad (\text{II.20})$$

En balayant une plage de température, pour une tension appliquée donnée, le tracé de $\ln(I_F/T^2)$ en fonction de $1/T$ permet d'extraire la hauteur de barrière Φ_b . Mais en pratique l'extraction n'est pas aussi simple car la résistance série du silicium influence largement la tension directe effective aux bornes de la jonction Schottky. Alors, V_F peut être remplacé par $(V_F - R \cdot I_F)$. Il n'existe plus de relation linéaire permettant d'extraire la hauteur de barrière.

1-2.2.2 Mesures en courant inverse

Dans le cas de mesures en mode inverse, la théorie de l'émission thermo-électronique prédit une saturation caractérisé par un courant inverse indépendant de la tension inverse appliquée. Dans ce cas le courant peut être exprimé dans une forme facilement utilisable pour extraire la hauteur de barrière Schottky à partir d'un diagramme d'Arrhénius:

$$\ln\left(\frac{I_R}{T^2}\right) = -\frac{q(\Phi_b - \Delta\Phi_b(V_R))}{kT} + cste \quad (\text{II.21})$$

Dans la pratique, les caractéristiques électriques ne sont pas saturées car des mécanismes dépendants de la tension appliquée (effet tunnel, force image) viennent s'ajouter à l'émission thermo-électronique. Dans le cas spécifique de faibles hauteurs de barrière sur des substrats faiblement dopés, le courant inverse peut être très élevé et donc entraîner une grande chute de tension dans le silicium. Encore une fois, la part importante prise par la résistance série du silicium peut rendre l'extraction de la hauteur de barrière difficile.

1-2.3 Mesure en capacité.

La hauteur de barrière Schottky peut être obtenue par une mesure capacitive. Une analyse au premier ordre permet de calculer la capacité de déplétion en fonction de la polarisation appliquée. La relation entre C et V est la suivante:

$$\frac{1}{C^2} = \frac{2(\Phi_{bp} - \Phi_p + V_R - kT/q)}{q\epsilon_s N} \quad (\text{II.22})$$

avec Φ_{bp} hauteur de barrière Schottky pour les trous, Φ_p position du niveau de Fermi par rapport à la bande de valence, V_R tension inverse appliquée et N dopage du substrat de silicium.

Le tracé de $1/C^2$ en fonction de V permet d'obtenir une droite ayant pour ordonnée à l'origine la tension V_{Ri} . La barrière Schottky se déduit de la relation suivante:

$$\Phi_b = \Phi_p - V_{Ri} + kT/q \quad (\text{II.23})$$

Cependant, cette méthode n'est pas adaptée pour des mesures de hauteurs de barrière Schottky très faibles pour différentes raisons:

- le point critique de cette détermination est le point d'interception de la courbe avec l'axe de la tension, dépendant étroitement de la linéarité du tracé de $1/C^2$ en fonction de la tension qui peut être affectée par les abaissements de barrière (force image...) ou l'interface du contact.
- un courant thermo-électronique significatif peut être émis dans une jonction Schottky de faible hauteur de barrière sous polarisation inverse. Comme exposé Fig. II.5, le courant inverse et direct dans une telle jonction ne sont séparés que par deux décades alors que plusieurs ordres de grandeur sont observés pour des jonctions à gap moyen. Ainsi, au courant de déplacement, qui est directement impliqué dans l'effet capacitif, s'ajoute ce courant de conduction. Cette combinaison de courant rend l'extraction de la hauteur de barrière très difficile.

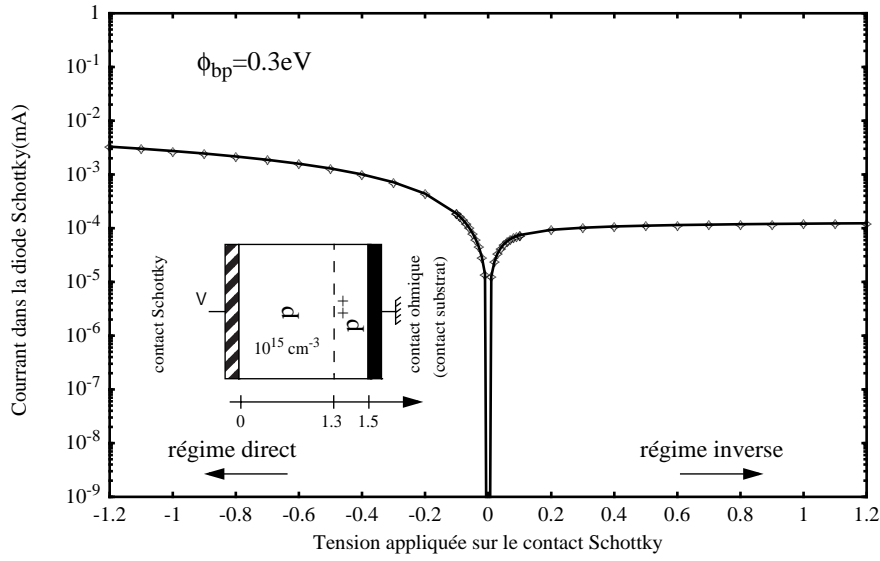


Fig. II.5: Caractéristique courant/tension pour une simple jonction Schottky sur un substrat de type p ($\Phi_b=0.3eV$).

1-2.4 Mesure par photoémission

La mesure photoélectrique est la méthode la plus directe pour déterminer la hauteur de barrière. Quand une lumière monochromatique éclaire un contact métal-semiconducteur, un photocourant peut être généré. Cette lumière peut créer des porteurs excités dans le métal si $h\nu > q\Phi_b$ et ainsi générer des paires électrons-trous dans le semiconducteur. Le rendement en courant photo-émis Y en fonction de l'énergie de photon est donnée par la théorie de Fowler [1]:

$$Y = C \frac{k^2 T^2}{(E_F - \mu kT)^{1/2}} \left\{ \frac{\pi^2}{6} + \frac{\mu^2}{2} + \sum_1^{\infty} \left[(-1)^n \frac{\exp(-n\mu)}{n^2} \right] \right\} \quad (\text{II.24})$$

avec $\mu=(h\nu-\Phi_b)/kT$, C une constante dépendant du métal, E_F énergie du niveau de Fermi, k la constante de Boltzman et T la température. Le tracé de $Y^{1/2}$ en fonction de μ permet d'obtenir une droite ayant pour ordonnée à l'origine directement la hauteur de barrière Schottky. Cette technique est utilisée efficacement pour mesurer des hauteurs de barrières supérieures à 0.4 eV [5][6] mais s'avère être inadéquate pour mesurer des hauteurs plus faibles.

Pour une faible barrière Schottky Φ_b , le tracé de $Y^{1/2}$ en fonction de μ n'est plus linéaire. En effet, pour de faibles valeurs de $h\nu$, le terme de l'équation II.24 en exponentiel n'est plus négligeable.

La relation n'est plus linéaire. Ceci est démontré en Fig. II.6 où la fonction de Fowler est calculée pour une valeur de Φ_b de 0.05eV. La meilleure extrapolation possible donne une valeur de hauteur de barrière de 0.1eV, soit une erreur de 100% par rapport à la valeur réelle de la barrière. C'est l'erreur caractéristique des faibles hauteurs de barrières. Le même calcul réalisé pour une barrière de gap moyen ($\Phi_b=0.5\text{eV}$) permet d'extrapoler correctement la valeur de Φ_b .

De plus, la détection du photocourant pour une faible hauteur de barrière est difficile à cause de son faible niveau (de l'ordre du μA) et de l'amplitude relative du courant Schottky activé thermiquement passant dans la structure, même en polarisation inverse.

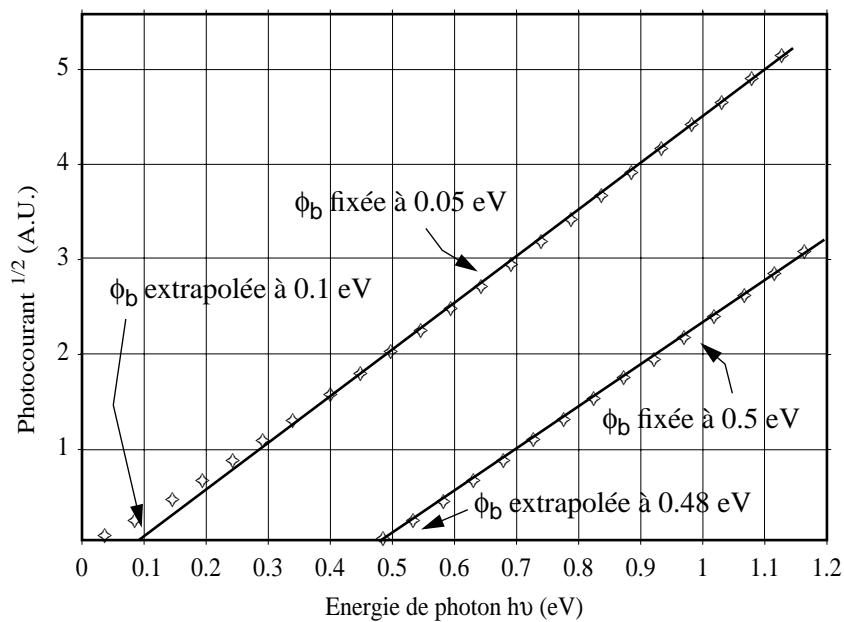


Fig. II.6: Tracé de la relation de Fowler décrivant le photocourant (eq. II.24) pour deux hauteurs de barrières particulières ($\Phi_b=0.05\text{eV}$ et 0.5eV).

Ce paragraphe a permis de faire un inventaire critique des différentes techniques expérimentales d'extraction de hauteur de barrière Schottky. Une première source d'erreur est liée aux forts courants mesurés en direct mais aussi en inverse. Un deuxième obstacle à une correcte détermination de la hauteur de barrière est dû la combinaison de la résistance carreau du silicium (faiblement dopée) et de la résistance spécifique de contact.

2- Techniques de fabrication et de caractérisation de siliciures.

Un siliciure est un composé métallique issu de la réaction d'un métal avec du silicium généralement activé par traitement thermique. C'est en principe un composé stoechiométrique. Une grande partie des métaux peut former des siliciures par réaction à température relativement basse, typiquement au tiers ou à la moitié de leurs points de fusion. La formation de siliciure à basse température est gouvernée par la diffusion du métal dans le silicium ou du silicium dans le métal.

La grande majorité des siliciures ont une conductivité proche de celle des métaux. De plus, les siliciures sont très stables mécaniquement et face à l'oxydation. Les contacts formés possèdent des caractéristiques électriques très reproductibles. Enfin, dans une grande majorité des cas, la formation du siliciure se fait sous la surface du silicium, ce qui permet d'éviter un grand nombre de contamination de surface. Pour toutes ces raisons, les siliciures sont très intéressants pour les technologies semiconducteurs. Une dernière propriété nous intéresse particulièrement: la très faible hauteur de barrière Schottky qu'offrent certains siliciures. Le siliciure de platine sur substrat silicium de type p possède une hauteur de barrière pour les trous proche de 0.2 eV [7][8] et le siliciure d'iridium en possède une encore plus faible (≈ 0.1 eV) [7][9]. De plus, l'utilisation de substrat épitaxiée SiGe permet d'accéder à des hauteurs de barrière Schottky apparentes encore plus faibles qu'un même siliciure réalisé sur substrat silicium [10]. Ces différentes solutions seront étudiées précisément dans le paragraphe 3.

2-1. Réalisation d'un contact siliciuré.

Le procédé de formation du siliciure peut être divisé en trois étapes: tout d'abord le nettoyage et la préparation de la surface de silicium, puis le dépôt métallique et enfin l'activation thermique de la réaction de siliciuration.

2-1.1 Mode opératoire.

La première étape est un nettoyage du substrat utilisé (Si massif, SOI ou SiGe épitaxié). Tout d'abord, des solvants (acétone puis isopropanol) éliminent les résidus organiques tel que les résidus de résine photosensibles ou les acides gras. La deuxième phase du nettoyage utilise des

acides. Premièrement, un mélange d'acide sulfurique/eau oxygénée (piranha) permet de dissoudre et d'enlever tous les contaminants organiques ou les chaînes carbonées venant du premier nettoyage au solvant. Enfin, l'utilisation d'acide fluorhydrique dilué à 1% dans de l'eau déionisée attaque lentement l'oxyde natif pour laisser une surface hydrophobe. Il est essentiel que cette couche soit éliminée car elle peut être à l'origine de nombreux problèmes lors de la formation du siliciure (mauvaise accroche du métal lors de son dépôt, barrière à la diffusion des espèces lors du recuit).

La deuxième étape est le dépôt du métal par évaporation sous vide par faisceau d'électrons. Le substrat est introduit dans le bâti immédiatement après la désoxydation pour limiter la formation d'oxyde natif. Une gravure sèche très légère par plasma argon est réalisée in situ pour parfaire la surface avant le dépôt. Un recuit est réalisé pour permettre la diffusion des espèces et ainsi former le siliciure souhaité.

2-1.2 Equipements utilisés.

2-1.2.1 Les dépôts métalliques.

Les deux principales techniques utilisées pour le dépôts de couche minces métalliques sont l'évaporation sous vide [11] et la pulvérisation cathodique [12]. Néanmoins, quelques applications particulières s'opèrent par dépôt chimique en phase vapeur (CVD) [13]. La pulvérisation cathodique consiste à bombarder une cible contenant le métal à déposer (anode) par des ions issus de l'ionisation d'un gaz inerte (en règle générale de l'argon). Les particules arrachés de la cible, chargées positivement, se déposent sur l'échantillon placé à la cathode. Le dépôt réalisé est dit conforme (non unidirectionnel) car les atomes arrivent sur le substrat sous un angle aléatoire. L'évaporation sous vide sera privilégiée dans nos travaux car elle permet un dépôt anisotrope (les atomes arrivent majoritairement perpendiculairement au substrat) et peu sujet aux contaminations car l'enceinte du bâti est maintenue sous un vide poussé (10^{-8} Torr contre 10^{-5} Torr dans le cas de la pulvérisation cathodique). Les particules métalliques sont évaporées soit à l'aide d'une résistance thermique si le métal possède une faible température de fusion soit à l'aide d'un canon à électrons pour tous les métaux. Dans ce dernier cas, un faisceau d'électrons focalisé apporte suffisamment d'énergie sur le matériau à déposer pour pouvoir le sublimer. Les électrons sont créés par effet thermoélectrique et leur trajectoire est focalisée grâce à l'action conjuguée d'un champ

électrique et d'un champ magnétique. Une balance à quartz est utilisée afin de contrôler en temps réel l'épaisseur des couches déposées avec une précision de l'ordre de l'angströms.

2-1.2.2 Les fours de recuits.

Afin d'activer thermiquement la réaction de siliciuration, trois configurations de fours de recuit sont utilisées:

- Un four à recuit rapide (rapid thermal annealing RTA) de type Jipelec permet un excellent contrôle des conditions de recuit. Un système de chauffage par lampe peut produire des rampes de montée en température très agressive et parfaitement contrôlées. De plus, son enceinte hermétique autorise un pompage primaire de la chambre et ainsi une bonne neutralité de l'atmosphère de recuit lors de la circulation d'un flux azoté (N_2/H_2). La réalisation du recuit dans une atmosphère azotée hydrogénée permet de réduire certains défauts à l'interface siliciure/SC.

- Un four tubulaire classique utilise des résistances de chauffage qui ne permettent que de lentes montées en température. La configuration de l'enceinte ne peut contrôler efficacement l'atmosphère du recuit (notamment les contaminations d'oxygène) malgré une circulation d'azote.

- Un recuit sous ultra vide (10^{-10} T) permet de s'affranchir totalement des problèmes liés à l'environnement du recuit. Le système est chauffé à l'aide de résistances thermiques.

2-2. Etude des outils de caractérisations.

Les siliciures sélectionnés sont étudiés chimiquement, morphologiquement et électriquement par différents outils de caractérisations. La stoechiométrie et la cinétique de réaction sont décrites à l'aide d'analyses par spectroscopie photo-électronique. La morphologie de la couche formée (granulosité, épaisseur...) et la rugosité de l'interface siliciure/semiconducteur sont observées par microscopie électronique. Enfin, le développement d'une technique de mesure électrique inédite utilisant des critères de mérites judicieux permet de déterminer les meilleurs siliciures pour former les contacts d'un transistor MOSFET Schottky.

2-2.1 Caractérisation physique: l'analyse chimique de surface [14].

La spectroscopie photoélectronique (X ray Photoelectron Spectroscopy XPS) est une méthode d'analyse chimique de surface. L'échantillon est illuminé par un faisceau de rayon X mou ($h\nu=1487$ eV) dans une enceinte sous ultra-vide. On utilise un spectromètre à rayons-bêta afin de déterminer les énergies des photoélectrons produits par l'effet photoélectrique.

Si on considère un atome isolé qui est sur le point d'être ionisé par un photon X, l'énergie totale est $h\nu + E_i$, où h est l'énergie du photon et E_i l'énergie de l'atome dans son état initial. Suite à l'absorption du photon et à l'émission du photoélectron, l'énergie totale est maintenant $E_c + E_f$, où E_c est l'énergie cinétique de l'électron et E_f l'énergie de l'atome (maintenant un ion) dans son état final. Parce que l'énergie totale est conservée: $h\nu + E_i = E_c + E_f$ ou $h\nu - E_c = E_f - E_i = E_L$ où l'énergie de liaison (E_L) de l'orbitale, donc de l'électron éjecté, est la différence entre l'énergie photonique (que l'on connaît) et l'énergie électronique (que l'on mesure). On peut observer que cette énergie de liaison est déterminée par la différence entre l'énergie totale de l'atome à son état initial et de l'ion à son état final. Ainsi, les pics dans le spectre photoélectrique peuvent être identifiés comme des atomes spécifiques. Ainsi, une analyse quantitative de la composition de la surface peut être effectuée. La mesure des surfaces des pics photoélectroniques permet la détermination chimique de l'espèce.

Seuls les électrons proches de la surface sortent sans perte d'énergie. La profondeur sondée est alors de quelques nanomètres seulement (2 à 10 nm). Pour une analyse sur une plus grande profondeur, l'XPS est couplé avec un canon ionique d'argon qui grave le matériau pendant analyse.

La liaison chimique aura une influence sur l'énergie atomique à l'état initial et l'énergie finale de l'ion créé par l'émission du photoélectron. La mécanique quantique prédit l'effet de la formation des liaisons sur l'énergie initiale. Cet effet est dû, essentiellement, à la redistribution d'électrons quand les atomes d'une molécule ou d'un cristal s'agglomèrent à l'état solide. Il dépendra principalement de l'électronégativité des atomes impliqués. La création de l'ion par photoémission causera une redistribution additionnelle des électrons entourant l'atome cible et ceci aura un impact sur l'énergie à l'état final. Ainsi, la présence des liaisons chimiques (et donc d'atomes avoisinants) causera des déplacements d'énergie de liaison, que l'on peut utiliser afin de dériver de l'information chimique de la surface de l'échantillon, sur les états d'oxydation ou de siliciuration par exemple. Pour cette raison, l'XPS est aussi connu sous le nom "Spectroscopie électronique pour l'analyse chimique" (ESCA).

2-2.2 Caractérisation électrique.

2-2.2.1 Configuration des mesures.

Afin de s'affranchir des différents inconvénients, développés paragraphe II.2.3, liés à l'utilisation de méthodes classiques pour mesurer de très faibles hauteurs de barrière Schottky, une configuration de mesure originale a été développée. Il était important de ne pas perdre de vue l'application finale de ces mesures, à savoir le MOSFET à contact Schottky. Afin de reproduire la configuration latérale des contacts source/drain d'un transistor MOSFET, les mesures sont réalisées sur deux contacts Schottky séparés par un gap micrométrique (Fig II.7 (a)). Cette méthode permet d'éliminer toute contribution parasite liée à une interface métal-semiconducteur différente. En effet, pour des mesures classiques de hauteurs de barrière Schottky (paragraphe I.2.1 et I.2.2), on utilise un contact Schottky associé à un contact ohmique (Fig II.7 (b)) dont l'influence est négligeable devant celle du contact Schottky. Cependant, dans le cas de très faibles hauteurs de barrières, l'influence du contact ohmique n'est plus négligeable.

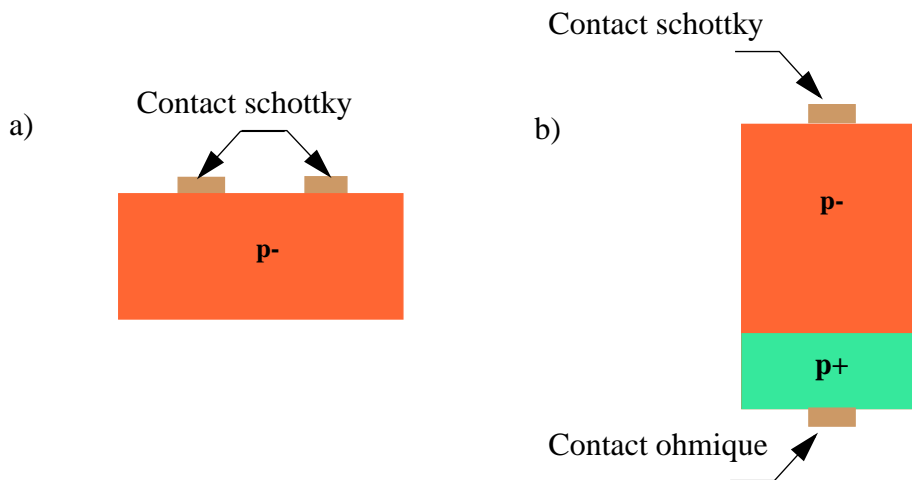


Fig. II.7: Représentation schématique de la configuration de mesures électriques (a) composée de deux contacts Schottky (b) d'un contact Schottky et d'un contact ohmique face arrière.

Dans cette configuration, le courant est limité par la résistance liée aux contacts Schottky ainsi que celle relative à la résistance carré du gap de silicium séparant les deux contacts. Celle-ci prendra d'autant plus d'importance que la première sera faible (Φ_b petit). Lorsque la résistance série du silicium est prépondérante par rapport à la résistance Schottky, l'extraction de la hauteur de barrière est extrêmement difficile. La Fig. II.8, représentant l'évolution de caractéristiques cou-

rant-tension en fonction de la température, met parfaitement en évidence ce phénomène. Pour un contact de hauteur de barrière relativement faible (ex. PtSi), la caractéristique courant tension est linéaire entre la température ambiante et 180°K car c'est la résistance série qui limite le courant de commande. Celle-ci diminue avec la température. En dessous de 180°K, l'effet rectificateur apparaît clairement associé à une chute exponentielle du courant lors de la baisse de température ce qui est en accord avec la loi de variation du courant Schottky. Par contre, pour une très faible barrière (ex. IrSi), l'effet rectificateur n'est pas observé jusqu'à 120°K mais la caractéristique courant tension est toujours gouvernée par la résistance série.

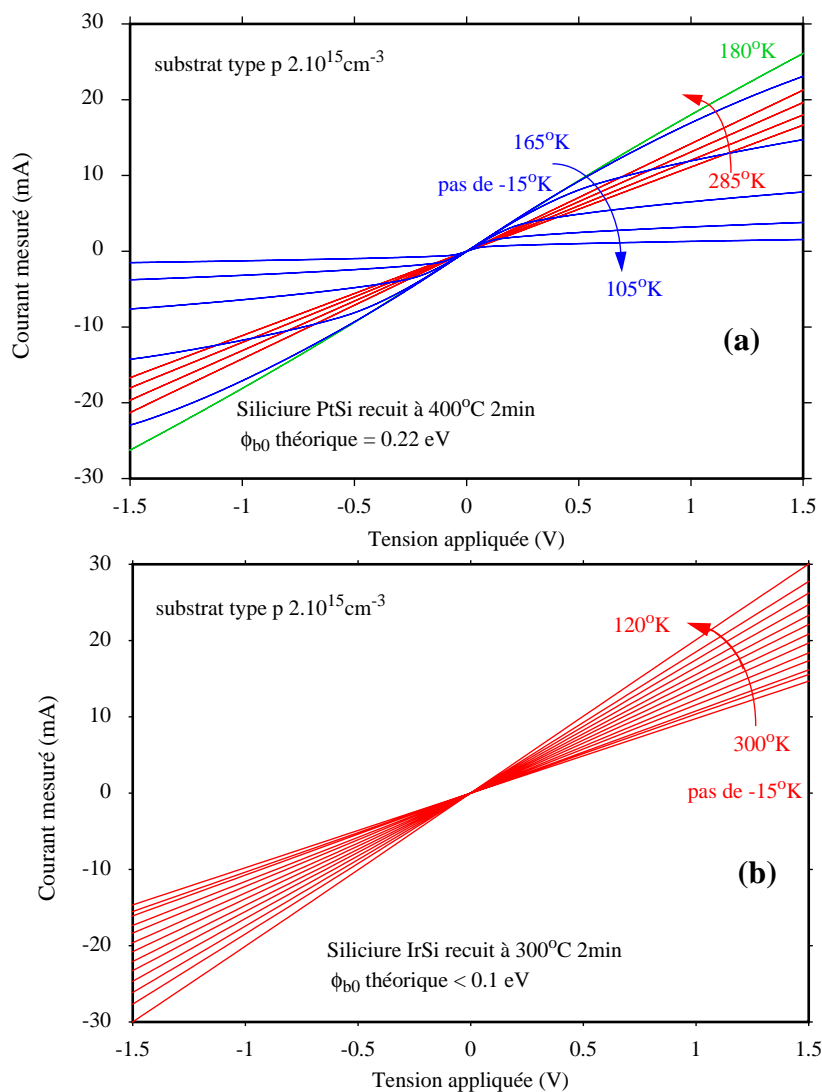


Fig. II.8: Caractéristiques courant tension obtenues pour différentes températures pour un siliciure de platine (a) et un siliciure d'iridium (b).

On peut noter le haut niveau de courant que l'on peut atteindre en polarisation inverse. Ce haut niveau de courant rend l'extraction à partir de courants de déplacement ou de photocourant très difficile lors de l'utilisation de méthode capacitive ou de photoémission interne. Dans tous les cas, la détermination de la hauteur de la barrière Schottky est très difficile lorsque celle-ci est très faible car le courant peut être soit limité par la résistance série du silicium, soit dopé par d'autres mécanismes (paragraphe II/1-1) que le transport thermo-électronique. C'est pourquoi une extraction classique, à partir du coefficient d'énergie d'activation par exemple, ne permet pas de donner la valeur réelle de la hauteur de barrière. Comme l'expose la Fig. II.9 où la hauteur de barrière est extraite à partir de la relation II.15 décrivant une injection purement thermo-électronique, la hauteur de barrière Schottky est sous estimée. En effet, on observe une hauteur de barrière comprise entre 0.07 et 0.14 eV suivant le recuit réalisé alors que la valeur communément décrite est autour de 0.2 eV.

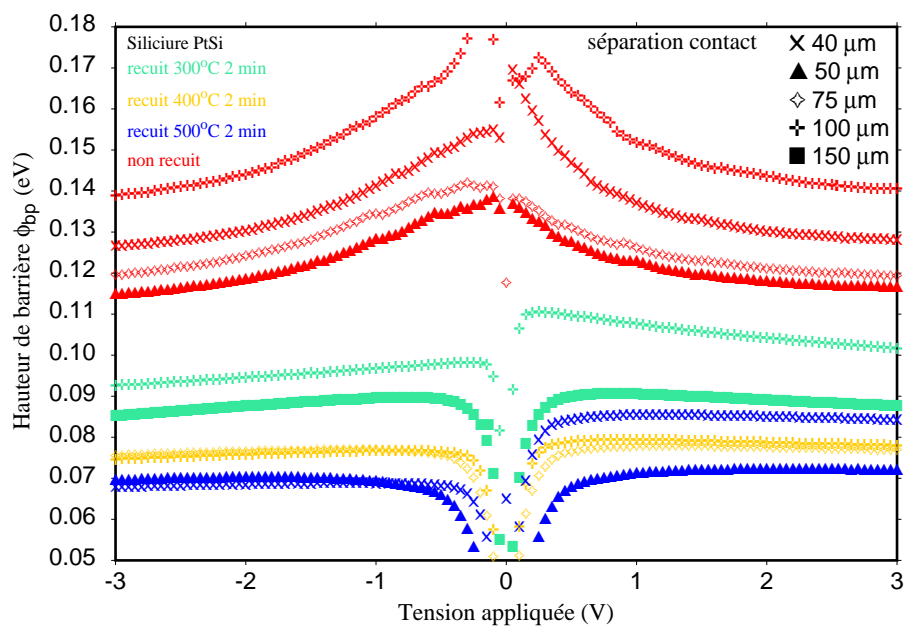
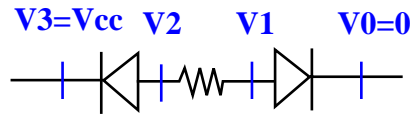


Fig. II.9: Hauteur de barrière Schottky pour les trous extraite par la méthode de l'énergie d'activation en fonction de la tension appliquée. Différentes conditions de recuit sont considérées.

2-2.2.2 Simulation du modèle utilisé.

Afin d'illustrer la pertinence de cette configuration, des simulations électriques ont été réalisées. Le dispositif de mesure peut être symbolisé par deux diodes tête bêche (représentant les deux contacts Schottky) associées à une résistance (modélisant la résistance carreau induite par le

gap de silicium entre les deux contacts). Le modèle courant-tension utilisé est de Crowell et Rideout [2].



La tension à chaque noeud du circuit est déterminée en utilisant une résolution matricielle avec une méthode numérique non linéaire de Newton-Raphson. Plusieurs paramètres d'entrée peuvent être ajustés afin d'analyser leur impact:

- la valeur de la hauteur de barrière Schottky qui est la même pour les deux contacts (même dépôt, même procédé de recuit...).
- la résistance carreau du silicium et sa dépendance avec la température suivant la relation:

$$R = R_0 \cdot \left(\frac{T}{T_0}\right)^\alpha \tag{II.25}$$

avec R_0 valeur de la résistance à température T_0 et α coefficient de variation caractéristique du matériau. La résistance carreau du silicium décroît lors de l'abaissement de la température. A partir des graphes courant-tension, en s'intéressant aux températures proches de l'ambiante où apparaît seulement le comportement résistif du silicium, il est possible d'extrapoler les coefficients R_0 et α . La Fig. II.10 présente deux exemples de mesures réalisées sur des gaps de 40 μm et 50 μm sur un substrat silicium faiblement dopé ($2 \cdot 10^{15} \text{ cm}^{-3}$).

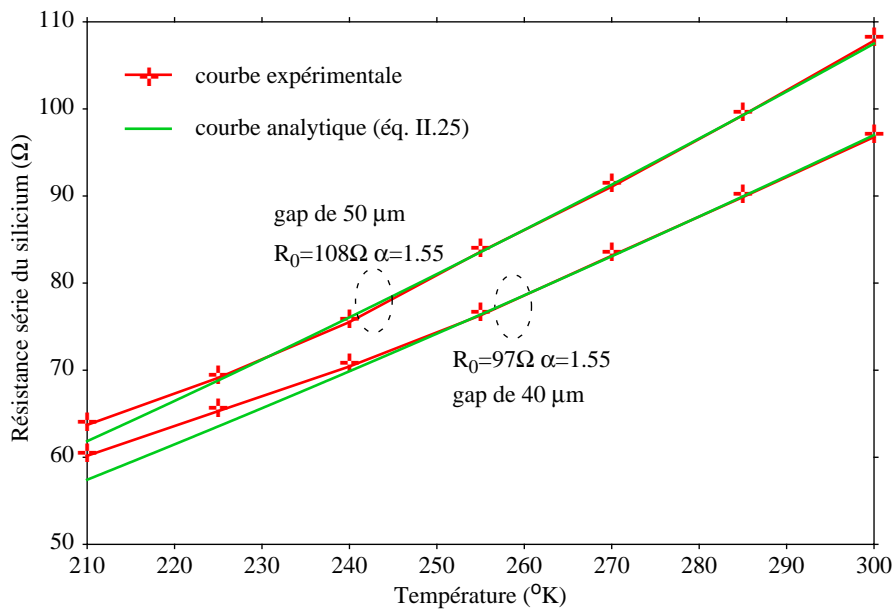


Fig. II.10: Résistance du silicium en fonction de la température pour un gap de $a=40 \mu\text{m}$ et $b=50 \mu\text{m}$.

Les données expérimentales se superposent parfaitement au modèle. Le coefficient α est très proche de 1.55 indépendamment du gap. La valeur de la résistance du silicium à T_0 varie linéairement avec le gap utilisé.

La Fig. II.11 met en évidence l'influence des diodes en direct, en inverse et de la résistance série du silicium pour des contacts Schottky dont la hauteur de barrière est égale à 0.25 eV.

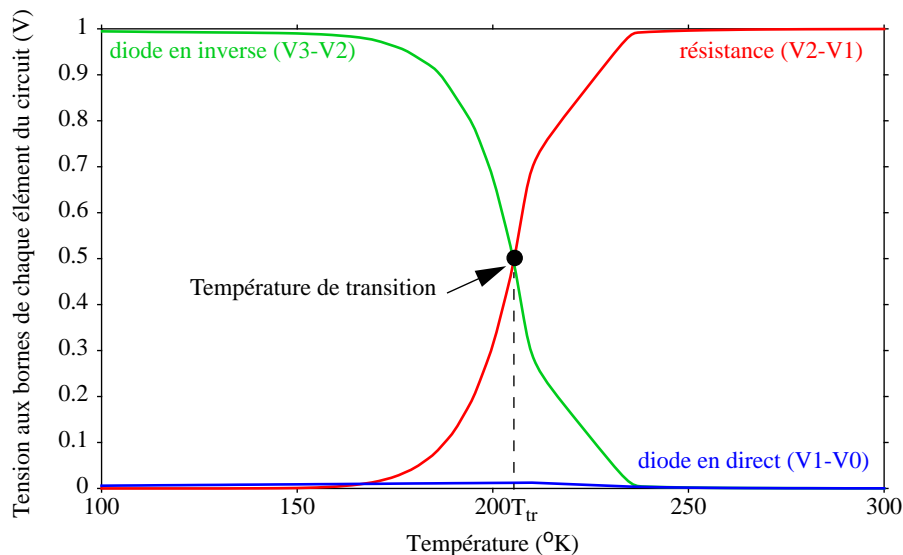


Fig. II.11: Simulation électrique de la variation de tension aux bornes de la diode en direct, en inverse et de la résistance série du silicium pour $\Phi=0.25$ eV, $R_0=100$ Ω

La diode en direct a une influence quasi négligeable, le système peut se résumer à une diode en inverse, associée en série à une résistance variable en température. La valeur de cette résistance va décroître de concert avec la température alors que l'influence de la hauteur de barrière Schottky va augmenter exponentiellement. Pour des températures proches de l'ambiante, c'est le rôle de la résistance qui est largement prépondérant devant celui de la diode en inverse, puis la tendance s'inverse à une température dite "température de transition (T_{tr})". En dessous de T_{tr} , la contribution de la diode en inverse prédomine. L'extraction de la hauteur de barrière Schottky doit être réalisée exclusivement dans cette zone car le comportement parasite de la résistance n'intervient plus. La température de transition est étroitement liée à la valeur de la hauteur de barrière Schottky. En effet, la Fig. II.12 fait apparaître que la température de transition baisse lorsque la hauteur de barrière Schottky est réduite.

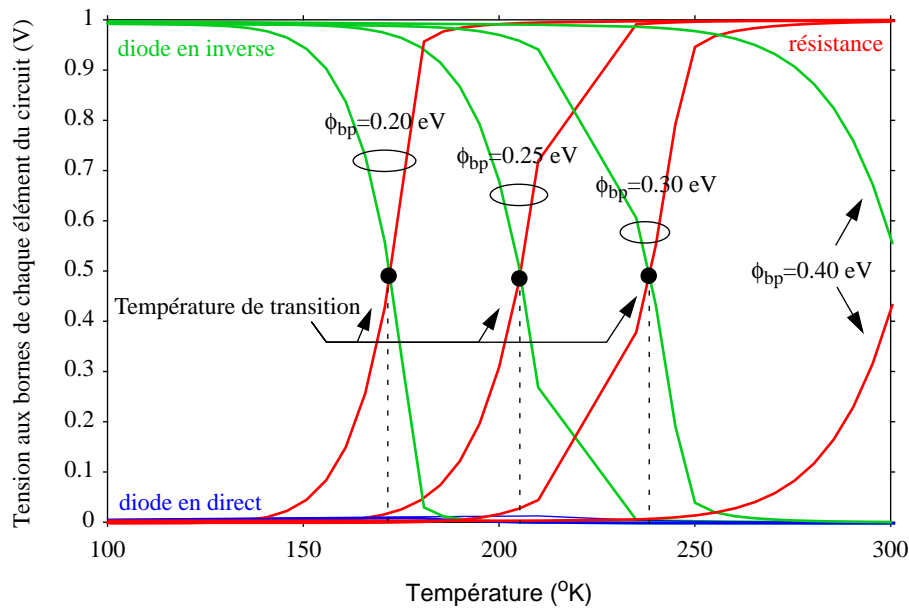


Fig. II.12: Simulation électrique de la variation de tension aux bornes de la diode en direct, en inverse et de la résistance série du silicium. L'influence de la hauteur de barrière est mise en évidence.

2-2.2.3 Choix des figures de mérite d'un silicium.

Les courbes courant-tension simulées pour une rampe de température permettent le tracé du diagramme d'Arrhenius (Fig. II.13) utilisé pour l'extraction de la hauteur de barrière par le coefficient d'activation (paragraphe II.1.2.2). On retrouve les deux comportements vus précédemment:

- une région pour des températures proches de l'ambiante (région A) gouvernée par la résistance carreau du silicium.
- une région pour des températures inférieures à la température de transition (région B) gouvernée par la diode en inverse. C'est dans cette région où une extraction de la hauteur de barrière Schottky visible est possible mais cette barrière reste relative car le mécanisme de transport n'est pas forcément l'émission thermo-électronique mais une combinaison de plusieurs mécanismes (TFE).

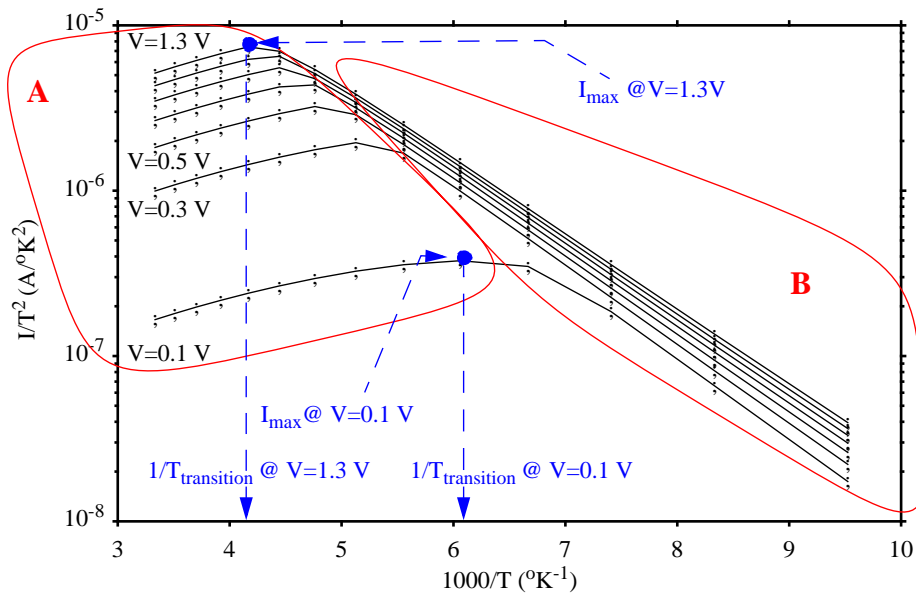


Fig. II.13: Tracé du diagramme d'Arrhenius obtenu pour une configuration de deux contacts sur un substrat faiblement dopé.

Deux nouvelles figures de mérite mieux adaptées ont été choisies afin de caractériser les performances de chaque siliciure:

- La température de transition: température frontière entre la zone gouvernée par la résistance carreau du silicium et celle influencée par la diode Schottky en inverse. Pour un même substrat (même type, même dopage...), elle permet de comparer la hauteur de barrière de deux siliciures. Plus celle ci sera faible, plus la hauteur de barrière sera basse. Toutes les comparaisons doivent être faites pour une tension fixe donnée.
- Le courant de commande maximum: courant associé à la température de transition, c'est exactement pour cette température que le courant est optimum puisque lors d'une rampe décroissante en température, il augmente dans la première zone gouvernée par la résistance carreau puis diminue dans la deuxième dirigée par le contact Schottky.

3- Le siliciure de platine.

Le siliciure de platine a largement été utilisé pour réaliser les premiers transistors Schottky [30][31]. Bien qu'il existe des travaux sur des points spécifiques comme les cinétiques

de réactions [15] ou caractérisations courant/tension de contact siliciurés [8], aucune étude complète (caractérisation physique et électrique) n'a été réalisée.

3-1 Siliciuration sur un substrat silicium.

3-1.1 Analyse XPS.

3-1.1.1 Cinétique de la réaction de siliciuration du platine.

La réaction du platine avec le silicium présente trois composés distincts: PtSi, Pt₂Si et Pt₃Si, mais seuls les deux premiers sont des formes stables [17]. Plusieurs études ont démontré que la réaction de siliciuration du platine se déroule en suivant deux étapes régies par différentes énergies d'activation [15][16]. Lors de la première réaction, le platine diffuse dans le silicium pour former le composé intermédiaire Pt₂Si, et dans la deuxième réaction, le silicium diffuse dans Pt₂Si pour former le monosiliciure de platine, PtSi. Ces deux réactions sont connues pour se produire séquentiellement: la réaction 2 ne peut débuter avant que tout le platine soit consommé lors de la réaction 1 [17]. Les deux réactions sont thermiquement activées. Le tableau II.1 récapitule les valeurs mesurées des coefficients d'énergie d'activation et de diffusion pré-exponentiel édités dans de précédentes expériences [16][15][17]. Les données les plus récentes d'énergies d'activation proposées par Stark [15] sont 1.50 +/- 0.15 eV pour la réaction 1 et 1.70 +/- 0.22 eV la réaction 2.

Tableau II.1: Coefficients d'énergies d'activation des réactions Pt / Pt₂Si et Pt₂Si / PtSi.

ref.	réaction 1: formation de Pt ₂ Si Pt diffuse dans Si				réaction 2: formation de PtSi Si diffuse dans Pt ₂ Si			
	D_{Pt/Pt_2Si} $D=D_0 \cdot \exp(-E_A/kT)$		consommation Si / expansion Pt ₂ Si		D_{Pt/Pt_2Si} $D=D_0 \cdot \exp(-E_A/kT)$		Si consommation / PtSi expansion	
	D ₀ (cm ² /s)	E _A (eV)	nm de Si pour nm de Pt	nm de Pt ₂ Si pour nm de Pt	D ₀ (cm ² /s)	E _A (eV)	nm de Si pour nm de Pt	nm de PtSi pour nm de Pt
[17]	-	1.3 +/- 0.2	0.66	1.43	-	1.5 +/- 0.2	1.32	1.97
[16]	-	1.55 +/- 0.05			-	1.72 +/- 0.05		
[15]	3.7 10 ^{1 +/- 1.55}	1.50 +/- 0.15			2.7 10 ^{1 +/- 1.95}	1.70 +/- 0.22		

Afin d'analyser la cinétique de siliciuration de chaque transformation, Stark [15] utilise l'analyse de spectre RBS couplée à des mesures ellipsométriques in situ. A partir d'une couche de platine de 23 nm et avec une montée en température constante de 5 °K/min, la conversion totale de Pt dans Pt₂Si s'accomplit à 261°C tandis que la transformation de Pt₂Si en PtSi est obtenue à 335°C. Au cours de ce travail, une approche semblable de recuit a été adaptée dans la chambre XPS sous ultra vide (UHV). La couche initiale de Pt est de 20 nm et la température varie de 20°C à 550°C en 120 minutes, correspondant à une montée moyenne de 4.4°K/min. Seule la surface supérieure de l'échantillon a été analysée par XPS lors du recuit afin de détecter les changements de composition de surface. La profondeur typique d'analyse est de 2.5 nm [18]. La Fig. II.14 (a) montre la variation des concentrations de platine et de silicium en fonction de la température de recuit, correspondant aux lignes d'émission de Pt4f et de Si2p. Afin de déterminer exactement la température caractéristique à laquelle chaque transformation s'accomplit, nous avons détecté les décalages chimiques relatifs au niveau de coeur Pt4f. La Fig. II.14 (b) montre une sélection de spectres de Pt4f enregistrés pendant le recuit. Pour une température de recuit inférieure à 245°C, la position du pic Pt4f_{7/2} est centrée sur 71 eV, une énergie de liaison qui correspond au platine élémentaire (métallique). Le spectre suivant, enregistré à 258°C, montre un décalage en énergie marqué de 1.5 eV indiquant que le front de réaction Pt / Pt₂Si a atteint la surface supérieure. La réaction 1 est donc achevée. Des spectres mesurés à des températures allant jusqu'à 311°C sont également caractérisés par le même pic Pt4f_{7/2} centré à 72.5 eV. A 324°C, un décalage supplémentaire de l'énergie de liaison de 0.1 eV est clairement détecté à 72.6 eV. Finalement, de 338°C aux températures de recuit plus élevées, les pics de Pt4f_{7/2} sont centrés à 72.7 eV indiquant que la phase intermédiaire de Pt₂Si a été entièrement convertie en PtSi. En conclusion, la fin de la réaction 1 (formation de Pt₂Si par diffusion de Pt dans le silicium) et la réaction 2 (formation de PtSi par diffusion de Si dans Pt₂Si) s'opèrent dans les intervalles [245°C-258°C] et [324°C-338°C], respectivement. En dépit d'une rampe de montée en température et d'une épaisseur de film de platine qui diffère légèrement, les deux températures de fin de réactions de siliciuration s'avèrent être en excellent accord avec les résultats publiés par Stark [15].

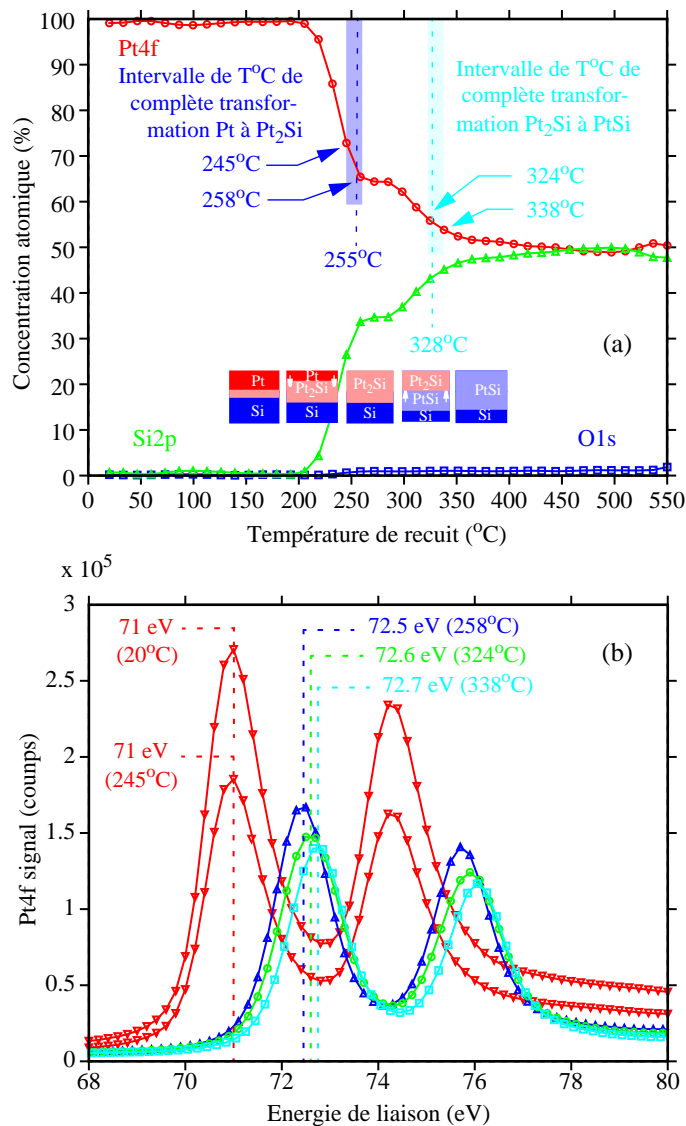


Fig. II.14: Cinétique des réactions de silicidation (a) Profils XPS des concentrations atomiques de Pt et Si enregistrés pendant un recuit in situ sous ultra vide une rampe en température constante ($4.4^{\circ}\text{K}/\text{min}$). Les gammes de températures, où les fronts de réactions de Pt_2Si et de PtSi atteignent la surface supérieure, sont indiquées. Les températures les plus probables de fin de réaction (255°C et 328°C) est extraite à partir de Fig. II.17 (b) Spectres de $\text{Pt}4f$ enregistrés pour certaines températures pertinentes notamment proches des températures de transition de Pt_2Si et de PtSi .

Afin d'obtenir une détermination plus précise de ces températures caractéristiques, la Fig. II.15 représente les variations de l'épaisseur des films formées de Pt_2Si et de PtSi en fonction de la température, en tenant compte des différences de taux de chauffage, c'est-à-dire, $5^{\circ}\text{K}/\text{min}$. dans ce travail et $4.4^{\circ}\text{K}/\text{min}$. dans la réf. [15]. Ces courbes ont été obtenues en utilisant une équation classique de la cinétique de croissance donnée par:

$$d_x^2 = \int_0^t D_x dt = \int_{T_0}^{T_x} D_x (dT/dt)^{-1} dT = D_{0x} (dT/dt)^{-1} \frac{k_B}{E_{Ax}} \left\{ T_x^2 \exp\left(-\frac{E_{Ax}}{k_B T_x}\right) - T_0^2 \exp\left(-\frac{E_{Ax}}{k_B T_0}\right) \right\}$$

(II.26)

où x prend les valeurs 1 ou 2 lorsqu'il s'applique à la première ou la deuxième réaction, respectivement. T_x est la température où chacune des réactions ci-dessus est entièrement accomplie. E_{Ax} est l'énergie d'activation, D_x la diffusivité dépendant de la température et D_{0x} le coefficient de diffusion pré-exponentiel. T_0 est la température de départ réglée à 20°C. Etant donné les grandes marges d'erreur associées aux résultats du travail précédemment cité [15] (par exemple les valeurs minimum-maximum de D_{0x} varient de plus de 3 décades), la procédure suivante a été employée pour obtenir une évaluation plus précise des températures de siliciuration complète:

i) supposant que les énergies d'activation $\langle E_{A1} \rangle = 1.485$ et $\langle E_{A2} \rangle = 1.685$ sont les plus représentatives des expériences de siliciuration conduites par Stark [15], les coefficients de diffusion pré-exponentiels $\langle D_{01} \rangle$ et $\langle D_{02} \rangle$ doivent être ajustés à 5.5 et 8.5 cm²/s afin d'obtenir une épaisseur finale des phases de Pt₂Si et de PtSi de 33.5 et 45.3 nm atteints aux températures de 261°C et de 335°C, respectivement.

ii) considérant que les valeurs ci-dessus de $\langle E_{A1} \rangle$, $\langle E_{A2} \rangle$, $\langle D_{01} \rangle$ et $\langle D_{02} \rangle$ s'appliquent également dans le cas de notre expérience, les températures caractéristiques s'avèrent être 255°C et 338°C (Fig. II.17) pour une épaisseur finale des phases de Pt₂Si et de PtSi de 28.6 et 39.4 nm, respectivement.

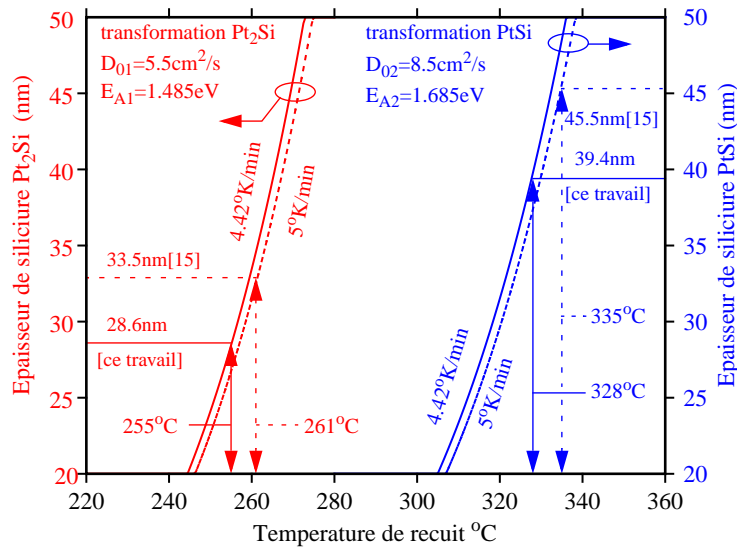


Fig. II.15: Epaisseur de Pt_2Si et de $PtSi$ formées en fonction de la température de recuit pour différentes rampes de chauffage. Les coefficients de diffusion sont adaptés pour être conformes aux résultats obtenus avec une rampe de $5^\circ K/min$ [15]. Dans la présente expérience réalisée avec une rampe en température de $4.4^\circ K/min$, les mêmes coefficients de diffusion ($D_{01}=5.5cm^2/s$, $D_{02}=8.5cm^2/s$, $E_{A1}=1.485 eV$ et $E_{A2}=1.685 eV$) sont utilisés pour extraire les températures de siliciuration complète.

3-2.1.2 Siliciure de platine à température ambiante.

Plusieurs auteurs [19][20] ont observé que le platine peut réagir avec le silicium à température ambiante pour obtenir la formation d'un mélange Pt-Si. Par analyse en microscopie électronique à transmission haute résolution, Donaton [19] a observé la formation d'une couche continue, uniforme et peu rugueuse de 3 nm de PtSi. Elle est obtenue après dépôt de platine puis gravure chimique sélective à l'eau régale, au dessus de laquelle une couche mince d'oxyde de silicium était formée. Les expériences de XPS ont confirmé les mêmes caractéristiques de liaisons de siliciure avant et après un recuit thermique rapide à $450^\circ C$. Une de leurs conclusions était que la technique de pulvérisation employée pour déposer le platine fournissait l'énergie suffisante aux atomes pulvérisés pour initialiser la réaction de siliciuration. En revanche, d'autres travaux évoquent également la présence de liaisons Pt-Si quand le platine est évaporé sur un substrat propre de silicium maintenu à la basse température, c'est-à-dire, sans apporter une quelconque source notable d'énergie pour activer le mécanisme de siliciuration [20]. Afin d'étudier la réaction d'interface initiale, un film de Pt de 15 nm d'épaisseur a été évaporé suivant la procédure décrite dans le paragraphe II.2.1.2. Il faut noter que l'échantillon n'a pas été chauffé pendant cette étape de dépôt. Un profil XPS de profondeur (analyse combinée à une gravure ionique) est enregistré

pour détecter une réaction possible entre le platine et le silicium. Les mesures originales de photoémission des niveaux de coeur Pt4f et Si2p ont été remaniées en utilisant une procédure linéaire standard de moindres carrés [21] pour identifier les états chimiques de chaque élément (silicium et platine) en fonction de la profondeur. La Fig. II.16 (a) expose la décomposition du profil de Pt4f en deux contributions Pt4f(Pt_xSi) et Pt4f(Pt). Les spectres de référence utilisés pour extraire les deux déconvolutions sont donnés dans la Fig. II.16 (c). Les deux doublets orbitaux de Pt4f (4f_{5/2}, 4f_{7/2}) démontrent un décalage énergétique de 1.5 eV, le pic Pt4f_{5/2} passant de 71 à 72.5 eV. Ceci correspond à l'activation d'une réaction de siliciuration entraînant la formation d'un film de Pt_xSi [22][23][24]. Ce résultat est consolidé par la Fig. II.16 (b) qui donne la décomposition du profil de Si2p en deux contributions Si2p(Pt_xSi) et Si2p(Si). Les spectres de référence sont également montrés en Fig. II.16 (d) indiquant un décalage énergétique du pic de Si2p de 99.2 eV à 99.8 eV ce qui est de nouveau attribué à la présence de liaisons Si-Pt [22][24]. La Fig. II.16 (e) résume les profils de concentration de silicium et de platine selon l'environnement chimique de chaque élément. On peut donc conclure qu'un siliciure est formé à température ambiante bien qu'il soit impossible de déterminer sa composition exacte ni de conclure sur l'uniformité de la couche de siliciure. Néanmoins, les variations des profils de Si2p(Pt_xSi) et de Pt4f(Pt_xSi) sur une période de 30 à 80 minutes de pulvérisation ne sont pas indicatives d'une composition stoechiométrique stable (Pt₂Si ou PtSi) mais plutôt représentative d'une réaction non uniforme et inachevée de siliciuration.

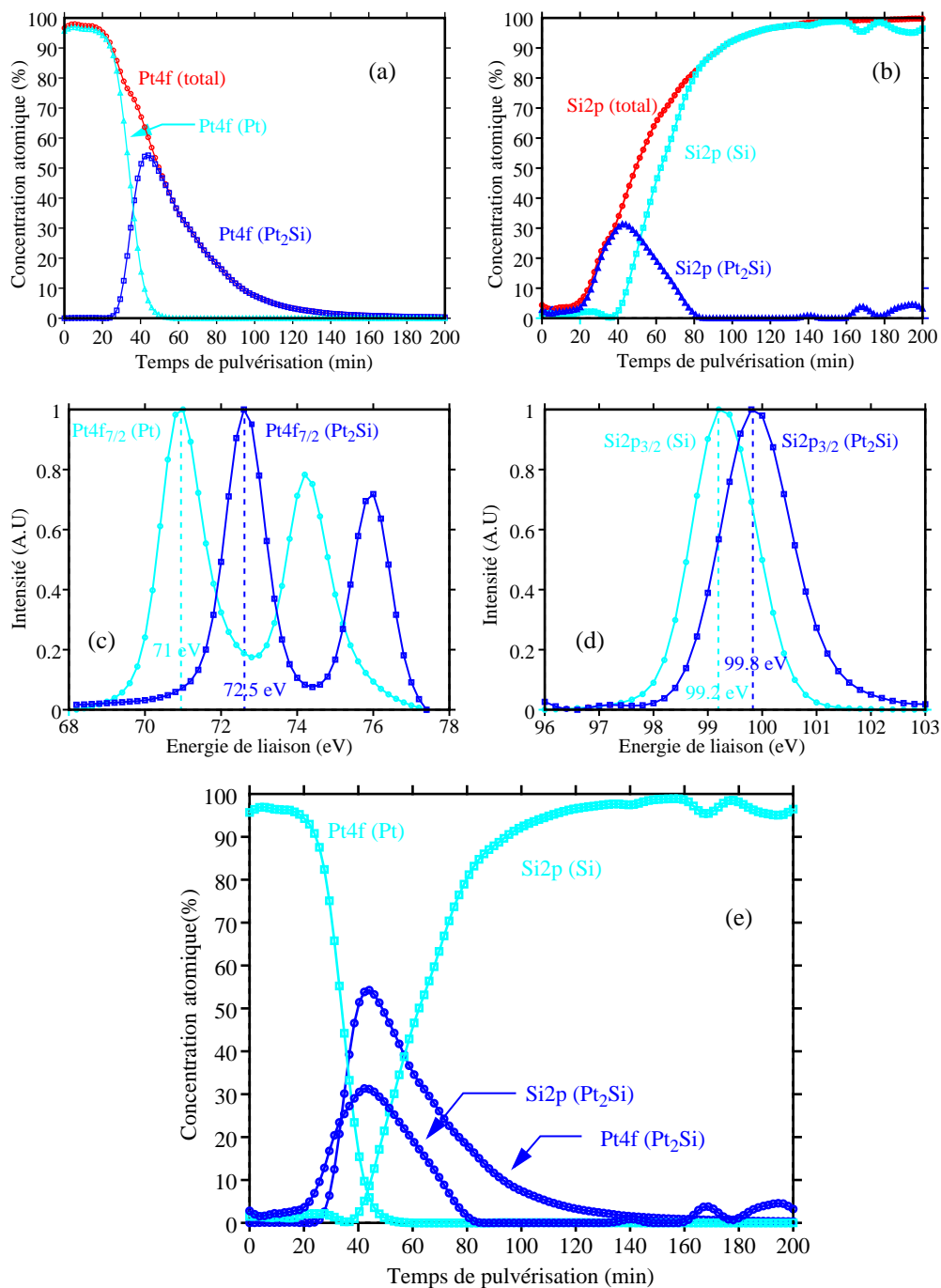


Fig II.16: Analyse XPS de la réaction platine/silicium à température ambiante (a) le profil de profondeur relatif à Pt4f est déconvolué dans ses contributions Pt4f (Pt_xSi) et Pt4f(Pt) (b) le profil de profondeur relatif à Si2p est déconvolué dans ses contributions Si2p (Pt_xSi) et Si2p(Si) (c) les spectres de base utilisés dans la déconvolution du profil de Pt4f montré dans (a): 71eV et 72.5eV sont des énergies de liaisons associées à l'état métallique et siliciuré (d) les spectres de base utilisés dans la déconvolution du profil de Si2p montré dans (b): 99.2eV et 99.8eV sont des énergies de liaisons associées au silicium élémentaire et dans Pt_xSi (e) synthèse des profils atomiques de profondeur de concentration obtenus à partir de Pt4f et de Si2p selon leur environnements chimiques.

3-2.1.3 Formation de siliciure de platine à 200°C.

Puisque les réactions de siliciuration du platine sont régies par un mécanisme de diffusion, une part significative de la couche de platine peut réagir à une température relativement basse. Zhou [16] a constaté que les deux réactions principales (formation de Pt_2Si et de $PtSi$) sont initiées par une première transformation ayant lieu entre 100°C et 200°C, et caractérisées par une énergie très basse d'activation de 0.19 eV +/- 0.043. Dans notre approche, nous avons étudié la réaction de siliciuration obtenue par RTA à 200°C pendant 2 minutes, à partir d'une couche de platine de 15 nm. La Fig. II.17 donne le profil de la concentration en fonction de la profondeur obtenu par analyse de XPS. Sur la gamme de temps de pulvérisation de 30 à 50 minutes, les concentrations de platine et de silicium décrivent clairement une zone de réaction dans laquelle a lieu une transformation partielle du Pt en Pt_xSi ($x \sim 2$). Plus surprenant encore, nous trouvons une présence significative de silicium près de la surface initiale entre 10 et 20 minutes de temps de pulvérisation, indiquant que le front de réaction n'est probablement pas aussi abrupt et uniforme comme cela est supposé à partir de mesures ellipsométriques [26]. Dans cette région, la courbe de photoémission relative à $Si2p_{3/2}$ est centrée sur une énergie de liaison de 100 eV attribué à une liaison siliciure.

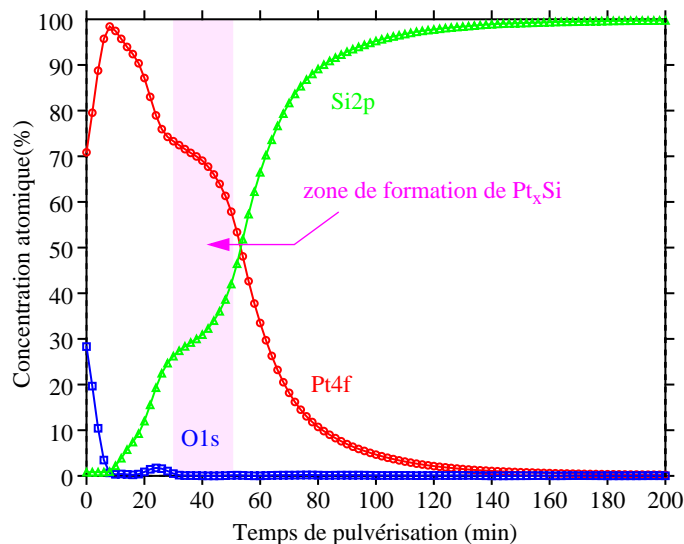


Fig. II.17: Profil XPS de concentration atomique de profondeur obtenu à partir d'un échantillon recuit par RTA à 200°C pendant 2 minutes. La zone ombragée correspond à une phase réagie de Pt_2Si recouverte par du platine métallique.

3-2.1.4 Formation de siliciure de platine au dessus de 300°C.

Comme décrit précédemment, la platine réagit d'abord avec le silicium pour former Pt₂Si et seulement après que le platine ait été entièrement consommé, la deuxième réaction (de Pt₂Si à PtSi) commence. Pour des températures de recuit au-dessus de 300°C, les diffusivités D₁ et D₂ des mécanismes de deux réactions sont assez élevées pour que la siliciuration d'une couche mince de platine soit entièrement achevée. A partir d'une épaisseur de platine de 15 nm, la réaction de formation de Pt₂Si prend moins de 3 secondes à 300°C, tandis que la complète siliciuration en PtSi nécessite au moins 120 secondes. Ces temps de réaction ont été obtenus en utilisant la dépendance en racine carrée de l'épaisseur de siliciure avec le temps décrite par éq. II.2. Ces calculs utilisent les paramètres de diffusion moyens déterminés avec l'aide de Fig. II.15. De l'analyse ci-dessus, on s'attend à ce que la siliciuration de PtSi soit entièrement accomplie après 2 minutes de recuit effectuées à 300°C, à 400°C et à 500°C à partir d'une même épaisseur initiale de platine (15 nm). Des profils XPS de concentration en fonction de la profondeur ont été enregistrés pour ces trois conditions de recuit et sont présentés dans Fig. II.18, II.19 et II.20 (a), respectivement. Du monosiliciure de platine stoechiométrique est obtenu. Pour les trois conditions de recuit, la ligne d'émission de Pt4f_{7/2} est centrée à 72.7 eV, attribué au siliciure PtSi, résultant d'un décalage énergétique de 1.7 eV [23][24] par rapport à la position du platine métallique (71 eV). Parallèlement, le pic de Si2p est déplacé de 99.2 eV, position d'émission de p-Si(100), à 100.1 eV énergie associée à la formation de PtSi. On peut observer, lorsque la température de recuit est de 500°C (Fig. II.20), une augmentation significative de la concentration d'oxygène à la surface de l'échantillon. Cet effet est attribué à surdiffusion de silicium au cours de la formation de PtSi. D'un point de vue quantitatif, le rapport entre les concentrations atomiques d'oxygène et de silicium est de proche de 2:1 indiquant que la couche supérieure pourrait se composer de dioxyde de silicium. Au tout début de la phase de pulvérisation, une observation minutieuse de la Fig. II.20 (c) révèle que le pic principal de la ligne d'émission de Si2p est centré sur 103.8 eV tandis qu'un pic secondaire est centrée à 100.1 eV. La première énergie de liaison est révélatrice de la présence de SiO₂ [26] tandis que la deuxième énergie est conforme à des liaisons de PtSi vues précédemment. Au fur et à mesure que la pulvérisation se déroule, le pic de Si2p à 103.8 eV disparaît tandis que celui centré sur 101.1 eV augmente en même temps que la couche de PtSi apparaît pendant le profilage en profondeur. En considérant maintenant les spectres de photoémission O1s de la Fig. II.20 (b), on peut observer que la position maximale initiale se situe à 533.1 eV [26][27] puis se déplace légèrement à une énergie de liaison inférieure de 532.4 eV avant de disparaître quand la pulvérisation

atteint la couche de PtSi. La gamme ci-dessus des positions du pic principal de O1s est également caractéristique de la présence du SiO₂ et consolide l'interprétation basée sur l'analyse des spectres de Si2p.

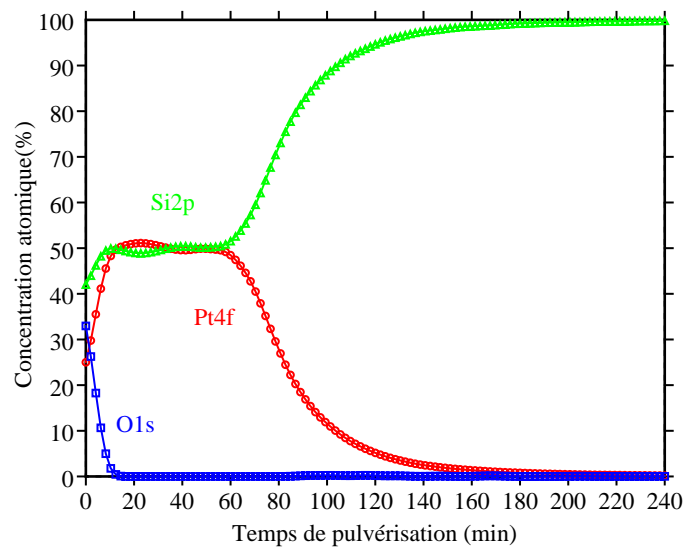


Fig. II.18: Profil XPS de concentration atomique de profondeur obtenu à partir d'un échantillon de 15 nm de Pt recuit par RTA à 300°C pendant 2 minutes. La réaction de siliciuration est entièrement accomplie avec des concentrations stoechiométriques de platine et de silicium (PtSi).

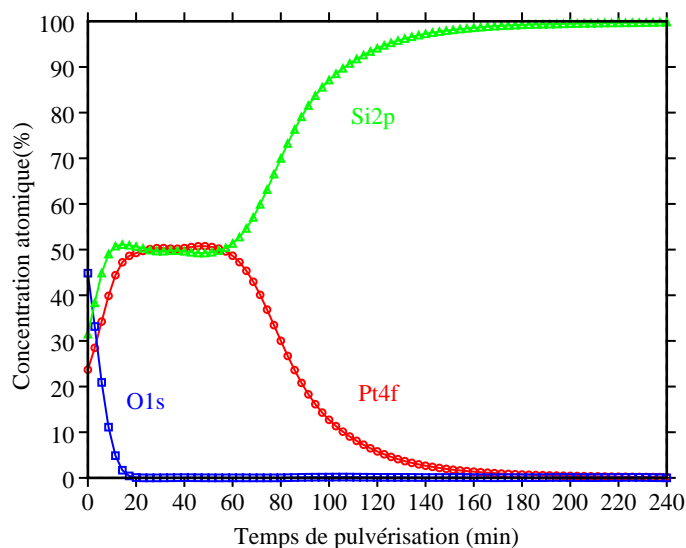


Fig. II.19: Profil XPS de concentration atomique de profondeur obtenu à partir d'un échantillon de 15 nm de Pt recuit par RTA à 400°C pendant 2 minutes.

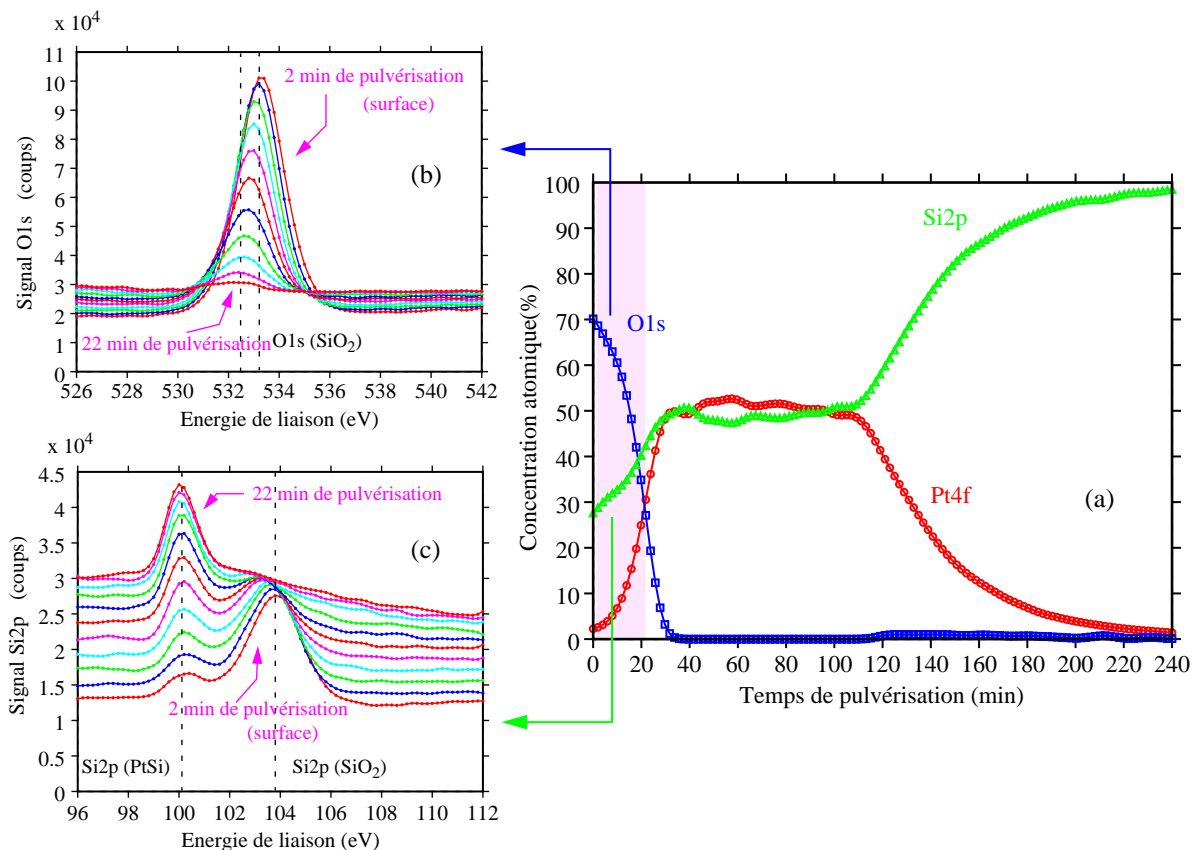


Fig. II.20: Analyse XPS d'un échantillon de 15 nm de Pt recuit par RTA à 500°C pendant 2 minutes: (a) le profil de concentration atomique de profondeur montre que le siliciure PtSi est couvert par SiO₂, formé par surdiffusion de Si vers la surface puis oxydation (b) série de spectres d'O1s enregistrés près de la surface: le pic est centré dans une gamme d'énergie 532.4 eV - 533.1eV indiquant la présence de la série de SiO₂ (c) série de spectres de Si2p enregistrés dans la zone ombragée de (a): le pic Si2p centré à 103.8 eV (surface supérieure SiO₂) disparaît rapidement alors qu'un deuxième pic apparaît à 100.1 eV quand la phase PtSi est atteinte.

3-2.1.5 Siliciuration incomplète due à une contamination d'oxygène.

Crider [17] a été le premier à établir que les cinétiques de croissance des phases Pt₂Si et PtSi ne sont pas affectées par gravure chimique avec de l'acide fluorhydrique, par la pulvérisation d'argon ou par une pression partielle d'azote de 10⁻⁷ Torr pendant le dépôt de platine. En revanche, une diminution significative des diffusivités de Pt₂Si et de PtSi est observée quand le film de platine est évaporé au-dessous de 10⁻⁸ Torr de pression partielle d'oxygène. Dans ce dernier cas, on peut observer l'existence simultanée de Pt, Pt₂Si et PtSi parce que l'oxygène est connu pour perturber le bon déroulement de la réaction [17]. Dans cette étude, des couches de 15 nm d'épaisseur ont été déposées dans les mêmes conditions de nettoyage et d'évaporation que les échan-

tillons précédents avec lesquels aucune réaction anormale de siliciuration n'a été observée. Le recuit a été effectué dans un four tubulaire conventionnel à une température de 300°C sous un flux continu d'azote. Comme l'introduction de l'échantillon est faite sous l'atmosphère ambiante, une quantité significative de l'oxygène est présente dans l'enceinte de chauffage au début de la réaction de siliciuration. La Fig. II.21 montre le profil XPS des concentrations en fonction de la profondeur après un recuit de 30 minutes. On observe une concentration significative d'oxygène dans la partie supérieure du film de platine avec un maximum clairement défini à une profondeur correspondant à un temps de pulvérisation de 50 minutes. Une zone probable de Pt₂Si quasi-stoechiométrique est obtenue suffisamment loin de la surface supérieure. Dans l'expérience actuelle, l'oxygène n'est pas présente pendant l'étape de dépôt comme c'était le cas dans Ref. [17][28]. Cette réaction anormale et partielle de silicidation de Pt₂Si est attribuée à la diffusion de l'oxygène dans le film de platine. Ainsi, deux mécanismes de diffusion sont en concurrence dans des directions opposées: l'oxygène dans l'enceinte du four tend à diffuser dans le film de platine tandis que le front de réaction de Pt / Pt₂Si se déplace vers la surface supérieure. Dans un film suffisamment mince de platine (par exemple 15 nm), l'oxygène migre rapidement jusqu'à l'interface de Pt/Pt₂Si [29] et forme une excellente barrière de diffusion au platine. Par conséquent, la siliciuration est figée et un recuit à 300°C, même pour un temps 30 minutes, ne permet pas de siliciurer un film fin de platine. Les expériences réalisées dans le four RTA (paragraphe II.3.2.1) ne sont pas perturbées par des pénétrations d'oxygène car les échantillons sont introduits à température ambiante et aussi parce qu'un vide primaire est réalisé avant l'introduction du flux de gaz N₂/H₂ (97:3) et l'activation de la rampe de chauffage.

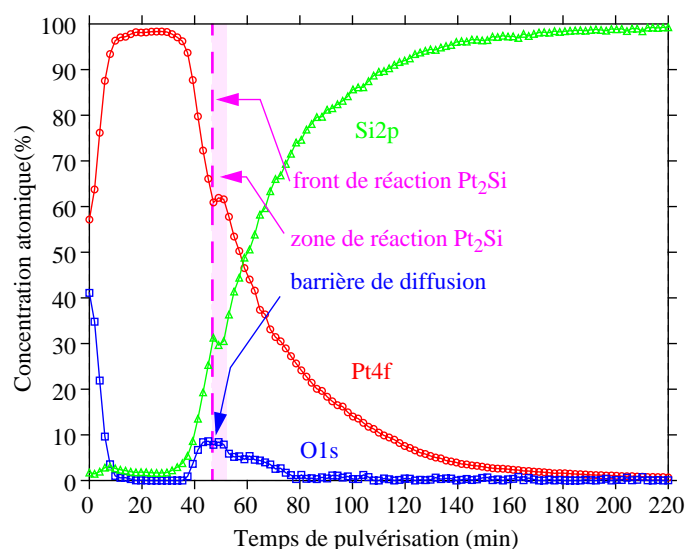


Fig II.21: Profil XPS de concentration atomique de profondeur d'un échantillon recuit à 300°C pendant 30 minutes dans un four tubulaire conventionnel sous un flux de N₂ mais exposé à l'oxygène ambiant pendant la phase d'introduction. La diffusion d'O₂ dans le platine arrête la réaction de Pt₂Si.

Ce phénomène, mis en évidence ici, est à l'origine de la mauvaise interprétation faite par Bindell [28] qui pensait que les trois espèces Pt, Pt₂Si, PtSi pouvaient coexister. En effet, son expérience a été réalisée sur une couche épaisse de platine de 500 nm recuit dans un four classique. L'oxygène ne peut diffuser jusqu'à l'interface Pt/Si car elle se trouve trop loin de la surface de l'échantillon. La réaction peut débuter normalement avec la formation de Pt₂Si jusqu'à ce que l'épaisseur de platine soit suffisamment fine (<170 nm dans ce cas) pour permettre aux atomes d'oxygène de diffuser jusqu'à l'interface Pt / Pt₂Si et se combiner pour former un oxyde SiO₂. L'oxyde, formant une barrière de diffusion au platine, la réaction 1 (Formation de Pt₂Si) s'arrête, et la formation du siliciure PtSi débute. C'est par ce mécanisme mis en lumière ici que Bindell a pu observer les trois phases ensemble (Fig. II.22).

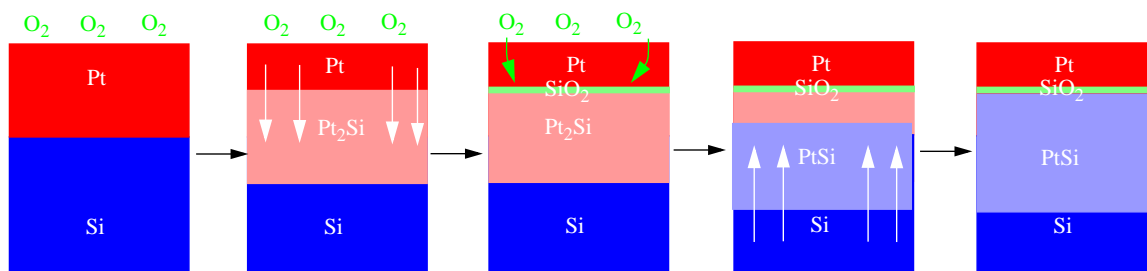


Fig. II.22: Schématisation de la siliciuration de 500nm de platine sur substrat silicium réalisée par Bindell [28].

3-2.1.6 Siliciuration incomplète due à une réserve de silicium insuffisante.

L'absence d'une réserve suffisante d'atomes de silicium pour accomplir la première réaction de Pt_2Si est une autre cause possible de fin anormale de siliciuration. Afin de mettre en lumière ce scénario, un film de platine d'une épaisseur de 20 nm a été évaporé sur une couche très mince de SOI et recuit par RTA à 300°C pendant 2 minutes. La structure initiale est composée de la couche de 20 nm de platine, du film de 8 nm de silicium, d'un oxyde enterré de 400 nm et finalement de substrat silicium massif. Dans le Tableau II.2, l'épaisseur de silicium consommée par la réaction de Pt_2Si est théoriquement de 13.2 nm. Par conséquent, on s'attend à ce que cette réaction se termine prématurément en raison du défaut d'une espèce (silicium). La Fig. II.23 illustre parfaitement ce phénomène par le profil XPS des concentrations en fonction de la profondeur dans la structure $\text{Pt}/\text{Pt}_2\text{Si}/\text{SiO}_2$ après recuit. Les mesures originales de la ligne de photoémission $\text{Si}2p$ ont été décomposées en utilisant un algorithme linéaire de moindres carrés afin d'identifier les états chimiques du silicium. A l'exception des 7 premières minutes de pulvérisation qui caractérisent une couche de type PtO , on observe clairement une couche de platine métallique (non réagi) qui se caractérise par un pic de $\text{Pt}4f_{7/2}$ centré à 71 eV. Une deuxième zone est clairement identifiée dans l'intervalle de la pulvérisation compris entre 30 et 50 minutes. Au-delà de cette région, comme prévu, on observe des décalages chimiques de 1.5 eV et 0.6 eV sur la position des pics $\text{Pt}4f_{7/2}$ et $\text{Si}2p_{3/2}$. Enfin, la partie la plus profonde du profil correspond à l'oxyde enterré du SOI où les positions maximales de $\text{Si}2p_{3/2}$ (103.8 eV) et $\text{O}1s$ (533.1 eV) sont bien révélatrices de la présence d'oxyde. En résumé, un soin particulier doit être pris pour des situations similaires où des films minces de SOI, largement répandus dans des architectures ultimes de transistor MOSFET, sont combinés avec une étape de siliciuration de platine [30][31][32]. Cette discussion consolide également la nature séquentielle des réactions de siliciuration du platine où la formation du PtSi est possible seulement après la transformation totale du platine initial en Pt_2Si .

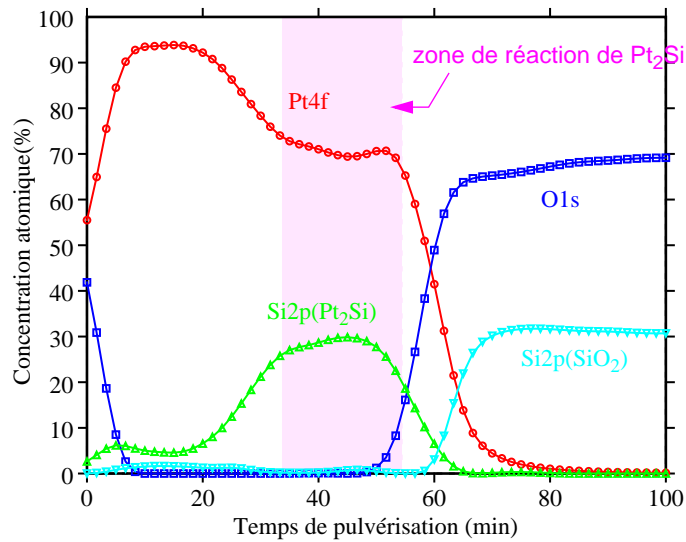


Fig II.23: Siliciuration d'un film mince (8 nm) de SOI: profil XPS des concentrations atomiques de profondeur après recuit par RTA à 300°C pendant 2 minutes. La réaction de Pt_2Si est arrêtée après la consommation complète d'une couche du silicium (SOI).

3-1.2 Mesures électriques.

Des mesures électriques de contacts à base de siliciure de platine ont été réalisées pour déterminer les conditions de recuit qui fournissent la plus basse barrière Schottky pour les trous et par conséquent, la plus basse résistance spécifique de contact qui caractérise le transport de porteur à l'interface de siliciure/silicium. La température de transition et le niveau de courant correspondant, défini dans le paragraphe II.3.2.3, ont été extraits à partir des caractéristiques courant-tension mesurées, avec une rampe de température de 300 à 170°K. Ces informations sont reportées en Fig. II.24 pour différentes conditions de recuit. Premièrement, un contact formé à température ambiante possède un très faible niveau de courant de commande associé à une température de transition très élevée. Ce comportement est attribué à la non homogénéité de la réaction de siliciuration déduite des profils XPS de profondeur dans la Fig. II.16. La meilleure performance électrique est obtenue à une température de recuit de 300°C. Pour des traitements thermiques réalisés à température élevée (400°C et 500°C), la température de transition reste constante ce qui prouve que le siliciure formé est stable et que la réaction de siliciuration est allée jusqu'à son terme, confirmant les profils XPS des Fig. II.19 et II.20. On observe néanmoins une légère diminution du courant de commande. Cette dernière dégradation est attribuée à une exo-diffusion du silicium qui

forme une couche mince d'oxyde de surface. Cette interprétation est consistante avec les profils XPS de profondeur de Fig. II.20.

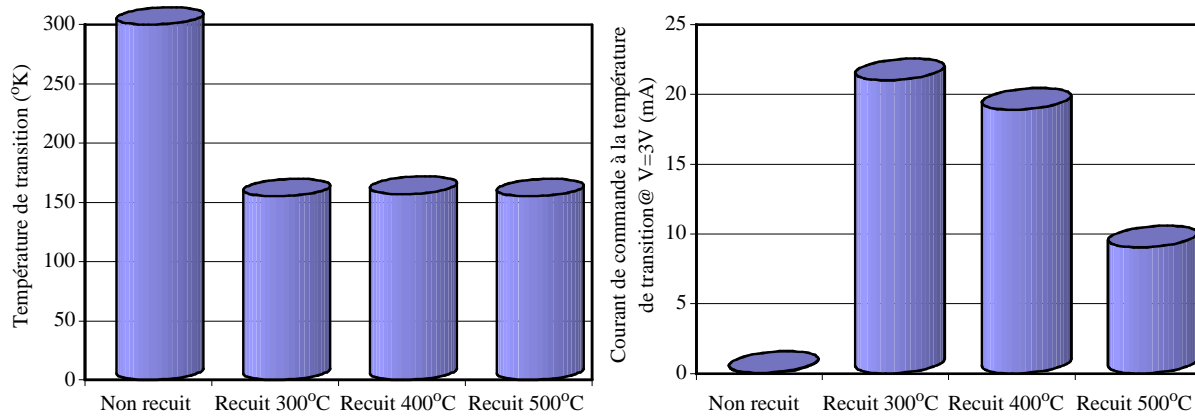


Fig II.24: Température de transition et courant maximum pour des contacts de platine sur silicium massif dopé $2 \cdot 10^{15} \text{ cm}^{-3}$ obtenus pour différentes températures (recuit RTA à 300°C, à 400°C et à 500°C). Une faible température de transition et un courant de commande élevé, relatif à un excellent siliciure, sont obtenus à 300°C.

3-1.3 Coupes réalisées par microscopie électronique à transmission.

Enfin, la morphologie du siliciure a pu être observée grâce à des sections d'échantillons observées en microscopie électronique à transmission. La Fig. II.25 montre un exemple de dépôt de 15nm de platine sur un substrat silicium de type p faiblement dopé recuit à 300°C par RTA. Il apparaît clairement une couche de siliciure homogène avec des grains de taille comparable à l'épaisseur du film (entre 30 et 35nm). Il n'existe pas, au premier abord, de site préférentiel de diffusion. L'interface siliciure/silicium ainsi que la surface du siliciure ne sont pas rugueuses. Le ratio des épaisseurs silicium/siliciure ($d(\text{Pt})/d(\text{PtSi})$) est égal à 0.47 ce qui est très proche des valeurs obtenues par T. Stark [15].

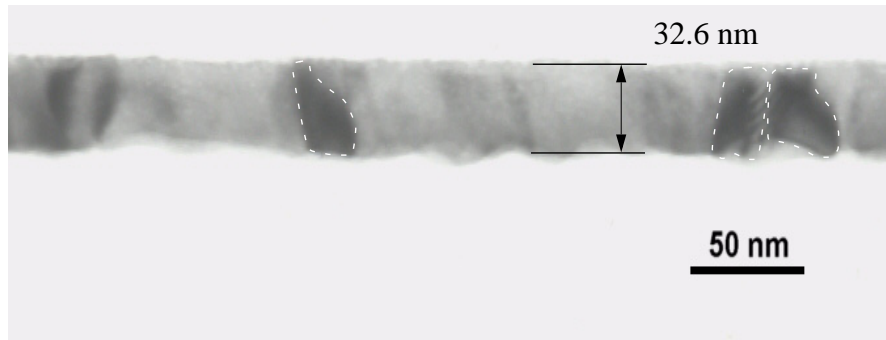


Fig II.25: Section de coupe MET d'un siliciure de platine (PtSi) sur substrat Si obtenu à partir d'un dépôt de Pt de 15nm recuit (RTA) à 300°C pendant 2 minutes.

3-2 Siliciuration sur un substrat SiGe.

Plusieurs travaux ont montré qu'un contact réalisé sur une couche épitaxiée de $\text{Si}_{1-x}\text{Ge}_x$ offre une hauteur de barrière Schottky apparente plus faible qu'un contact siliciuré avec le même métal sur un substrat silicium massif [33][34]. Cette observation peut être reliée aux contraintes introduites par la couche épitaxiée.

Le silicium et le germanium sont complètement miscibles sur toute la gamme de composition et l'alliage formé possède une structure diamant. L'écart de maille entre le germanium et le silicium n'est que de 4.17% à température ambiante. Cette différence de maille rend possible deux types d'épitaxie sur un substrat silicium massif illustrées par la Fig. II.26: pseudomorphique ou contraint et relaxé. L'intérêt d'une croissance pseudomorphique n'est pas seulement dû à l'absence de dislocations d'interface qui peuvent induire des états d'interface ou des discontinuités de bandes. Le fait que l'alliage soit contraint produit une réduction dans les écarts de bande [33].

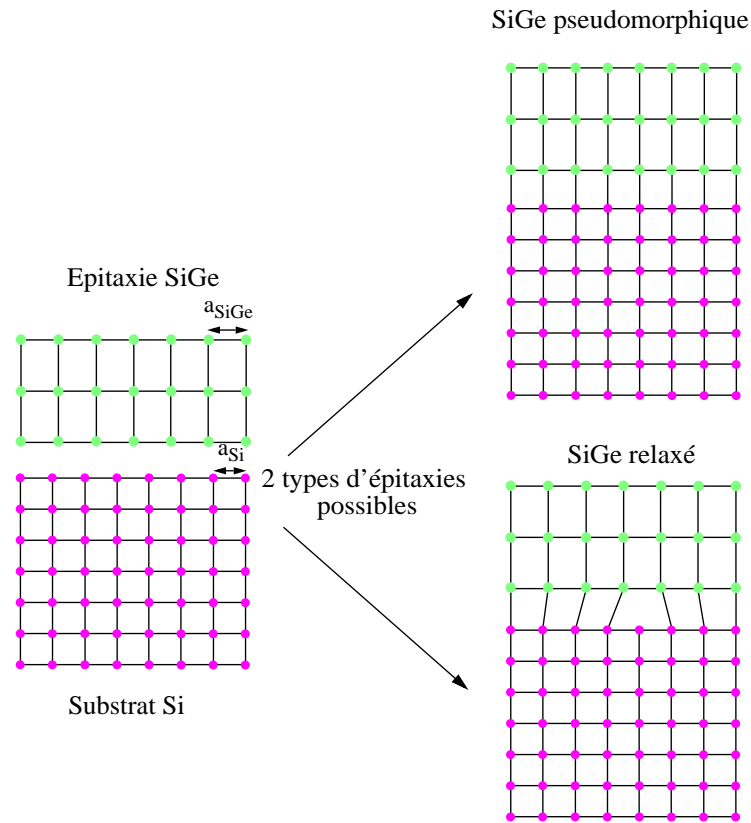


Fig II.26 Représentation 2D d'une croissance épitaxiale contrainte (pseudomorphique) et d'une croissance épitaxiale non contrainte (relaxée).

L'épaisseur maximum pour une croissance pseudomorphique de $Si_{1-x}Ge_x$ est définie comme l'épaisseur limite à partir de laquelle il y a relaxation des contraintes due au début de génération de dislocation. Cette épaisseur est clairement fonction de la fraction de germanium. Mais sa détermination est assez difficile: théoriquement par l'ajustement des grands nombres de paramètres et expérimentalement par la détection des effets électriques liés à la génération de dislocations. Différents travaux théoriques et expérimentaux sont résumés par la Fig. II.27 représentant l'épaisseur critique pseudomorphique en fonction de la concentration de germanium.

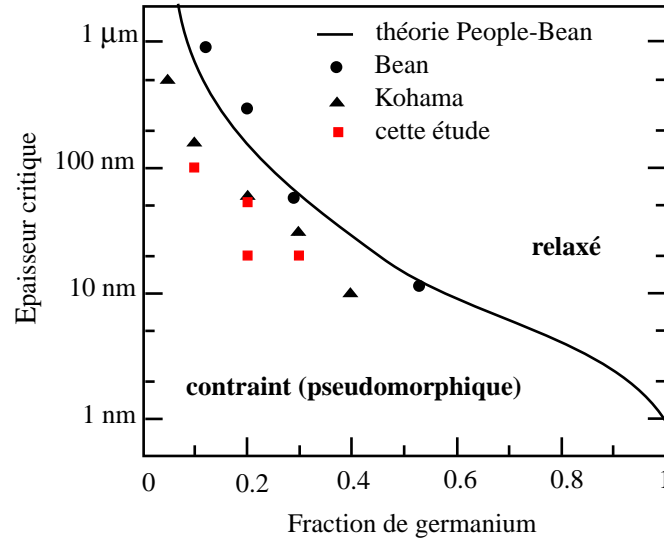


Fig II.27: Epaisseur critique en fonction de la concentration en germanium avec la courbe théorique de People et Bean[35] et des points expérimentaux de Kohama[36], de Bean[35]. Les paramètres de croissance des épitaxies de cette étude ont été choisis pour fournir des couches pseudomorphiques.

L'augmentation de la fraction de germanium implique une augmentation des contraintes dans la couche de $\text{Si}_{1-x}\text{Ge}_x$ et par conséquent la diminution de l'écart de bande. En effet, les bords des bandes de conduction du Si et du SiGe restent toujours alignés mais les bandes de valence se désalignent, et une discontinuité entre les deux bandes se forme à l'interface $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ [37]. En négligeant l'effet des états de surface, la différence des hauteurs de barrières Schottky du même métal avec p-Si et p- $\text{Si}_{1-x}\text{Ge}_x$ peut être écrit par la relation suivante:

$$\Delta\Phi_b(x) = \Phi_b(\text{Si}) - \Phi_b(\text{Si}_{1-x}\text{Ge}_x) \quad (\text{II.27})$$

qui est donnée par:

$$\Delta\Phi_b(x) = [E_g(\text{Si}) - q\chi(\text{Si})] - [E_g(\text{Si}_{1-x}\text{Ge}_x) - q\chi(\text{Si}_{1-x}\text{Ge}_x)] \quad (\text{II.28})$$

$$\Delta\Phi_b(x) = \Delta E_V \quad (\text{II.29})$$

De ce fait, la différence mesurée entre les valeurs de hauteurs de barrière Schottky est égale à la discontinuité des bandes de valence à l'interface $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$, représenté sur le diagramme de bandes d'une jonction métal/ $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ (Fig. II.28).

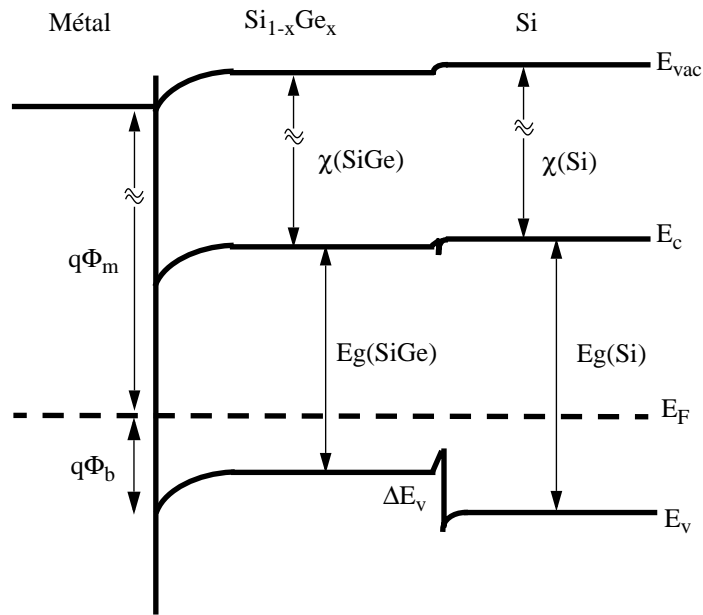


Fig II.28 Diagramme de bande du système métal/Si_{1-x}Ge_x/Si où ΔE_v est la différence d'énergie entre les bandes de valence de SiGe et de Si.

Des épitaxies de Si_{1-x}Ge_x, ont été réalisées par ST Microelectronics sur des substrats de silicium massif d'orientation <100>, dopé p (bore) avec une résistivité de 8 - 12 Ω .cm. Les paramètres de croissance choisis (épaisseur et fraction de germanium) permettent l'obtention d'une couche Si_{1-x}Ge_x contrainte (Fig. II.27) et sont résumés dans le tableau II.4. La couche est faiblement dopée au bore (2 à 5.10¹⁵ cm⁻³).

Tableau II.4: Caractéristiques des substrats épitaxiés étudiés.

Référence wafer	Fraction de germanium	Epaisseur couche épitaxiée
4400CAM/24	x = 0.1	100 nm
4400CAM/22	x = 0.2	50 nm
4400CAM/21	x = 0.2	20 nm
4400CAM/19	x = 0.3	20 nm

Le protocole utilisé pour réaliser un siliciure de platine sur substrat silicium a été reproduit sur les substrats SiGe et les résultats obtenus précédemment seront utilisés comme référence. L'observation au microscope électronique à transmission d'une section d'un dépôt de Pt (10 nm) sur une épitaxie de Si_{0.8}Ge_{0.2} (50 nm), recuit à 300°C (Fig. II.29), montre certaines similitudes

avec les observations de PtSi sur silicium (Fig. II.25). La croissance granulaire du siliciure est clairement visible. Le coefficient d'expansion est proche de 2. Néanmoins, l'interface siliciure/semiconducteur semble très perturbée, suggérant des différences de mécanismes de réaction. La chimie de réaction entre le platine et le SiGe est assez méconnue et les études sur ce sujet sont rares [38][39].

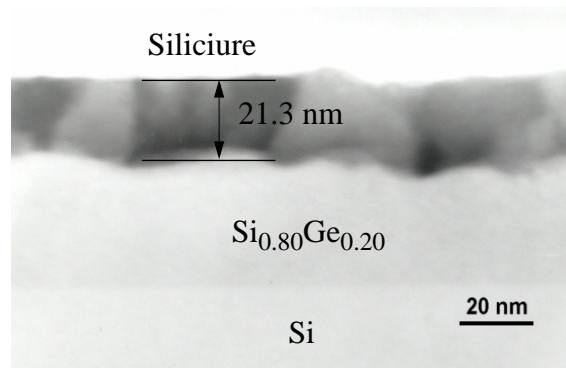


Fig. II.29: Image de section MET d'un siliciure de platine (PtSi) sur substrat SiGe obtenue à partir d'un dépôt de 10 nm de Pt et recuit à 300°C pendant 2 minutes.

Comme nous l'évoquions précédemment, les structures cristallographiques du silicium et du germanium sont très proches. Ainsi, la réaction entre le platine et le germanium est relativement similaire à celle entre le platine et le silicium. En effet, à partir de 250°C, le platine diffuse dans le germanium pour former Pt₂Ge. Pour des températures supérieures à 300°C, c'est le germanium qui diffuse dans le Pt₂Ge pour créer la forme stable PtGe. Le système reste figé, aucun changement n'intervient, même à plus haute température.

Wang [39] a étudié les mécanismes de réaction du platine sur une épitaxie Si_{0,8}Ge_{0,2} en fonction de la température de recuit. La réaction peut se résumer par une compétition entre les deux sous systèmes Pt/Ge et Pt/Si. Le platine réagit préférentiellement avec le silicium. A partir de 250°C, alors que la réaction entre Pt et Ge était déjà visible dans un système Pt/Ge, seule la réaction entre Pt-Si est identifiable. Le siliciure de platine Pt₂Si est alors observé, mais aucune trace d'alliage de platine de germanium. Ce n'est qu'à 300°C que Pt₂Ge commence à se former. A partir de 350°C, les deux phases PtSi et PtGe apparaissent puis sont les seules à coexister au-dessus de 400°C. Zhong [38] a mis en évidence un phénomène de ségrégation du germanium lors de la réaction de siliciuration de Pt sur des épitaxies de Si_{0,85}Ge_{0,15}. Le premier type de ségrégation se produit lors de recuits à haute température (T>500°C) à la surface du siliciure formé PtSiGe. Le deuxième type de ségrégation, qui s'observe dès le début de la réaction, se produit à l'interface

siliciure/ $\text{Si}_{1-x}\text{Ge}_x$. Le phénomène de ségrégation n’obéit pas aux lois de diffusion classique où les distributions tendent à être uniforme. Au contraire, elles aboutissent à des discontinuités caractérisées. Dans le cas présent, comme Pt_2Si et PtSi sont des formes plus stables que Pt_2Ge et PtGe , le platine réagit préférentiellement avec le silicium plutôt que le germanium. Ainsi l’interface s’appauvrit plus en silicium qu’en germanium qui s’accumule. Cette ségrégation d’interface peut avoir une influence notable sur la hauteur de barrière Schottky du contact.

Le but de l’étude est d’observer l’influence du substrat sur les performances électriques des diodes Schottky réalisées à partir de platine. Les critères de mérites, définis paragraphe II.2.1, sont utilisés (Fig II.30 et II.31) pour comparer les différentes configurations. Une première observation montre une tendance similaire des performances obtenues sur les quatre différents substrats. Un recuit à 300°C améliore largement les caractéristiques électriques du contact (courant de commande et température de transition) par rapport à un échantillon non thermiquement activé car le recuit de siliciuration transforme un contact métal/semiconducteur en un contact siliciure/semiconducteur possédant une hauteur de barrière Schottky plus faible. Par contre, un recuit à plus haute température (400°C) dégrade les performances électriques du contact. On peut supposer que le phénomène de ségrégation du germanium à l’interface siliciure/ SiGe est accentué.

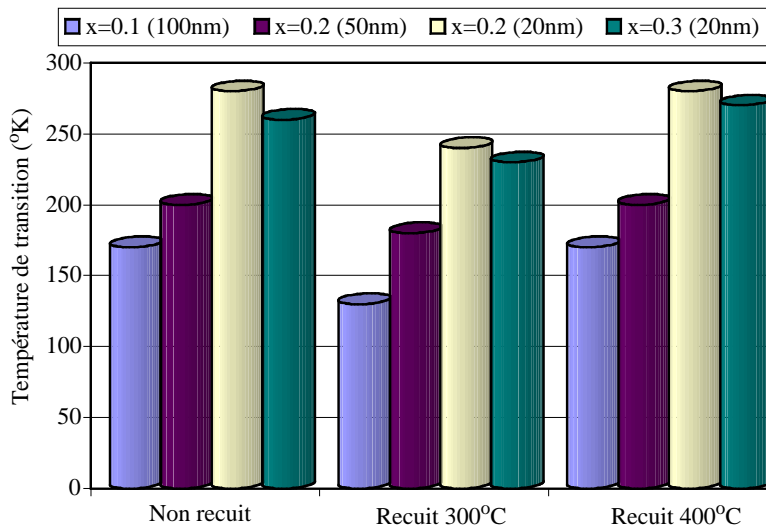


Fig II.30: Température de transition pour des contacts de platine sur substrat épitaxié $\text{Si}_{1-x}\text{Ge}_x$ dopé p activé par RTA à 300°C et 400°C ou non recuit.

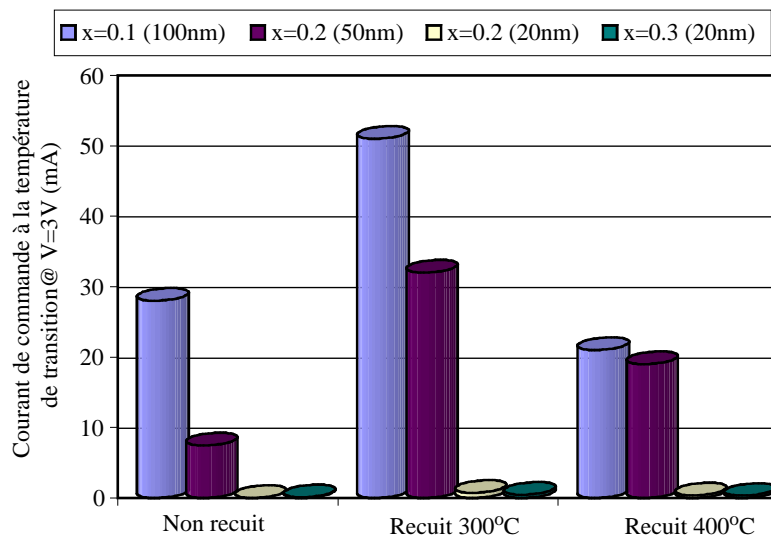


Fig II.31: Courant de commande maximum pour des contacts de platine sur substrat épitaxié $\text{Si}_{1-x}\text{Ge}_x$ dopé p activé par RTA à 300°C et 400°C ou non recuit.

Contrairement à ce que plusieurs articles indiquent [40][41], la hauteur de barrière Schottky ne semble pas décroître lorsque la fraction de germanium augmente, bien au contraire. En effet, la température de transition la plus basse et le meilleur niveau de courant sont obtenus pour la plus faible fraction de germanium ($x = 0.1$). On peut aussi noter que plus l'épaisseur de la couche épitaxiée est grande, meilleures sont les caractéristiques électriques, ceci indépendamment de la fraction de germanium. En effet, la comparaison de deux substrats de même fraction de germanium ($x = 0.2$) montre que celui possédant l'épaisseur de couche épitaxiée la plus grande (50 nm) permet d'obtenir une température de transition bien plus faible (190°K pour un recuit à 300°C) ainsi qu'un courant de commande conséquent (25 mA pour un recuit à 300°C) en comparaison avec un substrat de 20 nm d'épaisseur de $\text{Si}_{0.8}\text{Ge}_{0.2}$. La résistance du substrat a une influence certaine sur le courant de commande mais aussi sur la température de transition (paragraphe II.2.1). Or la différence d'épaisseur de couche épitaxiée n'a pas de répercussion sur la résistance du substrat. En effet, à température ambiante, ce sont les résistances séries qui limitent le niveau de courant du dispositif. D'après la Fig. II.32, les deux substrats possèdent des résistances séries du même ordre de grandeur.

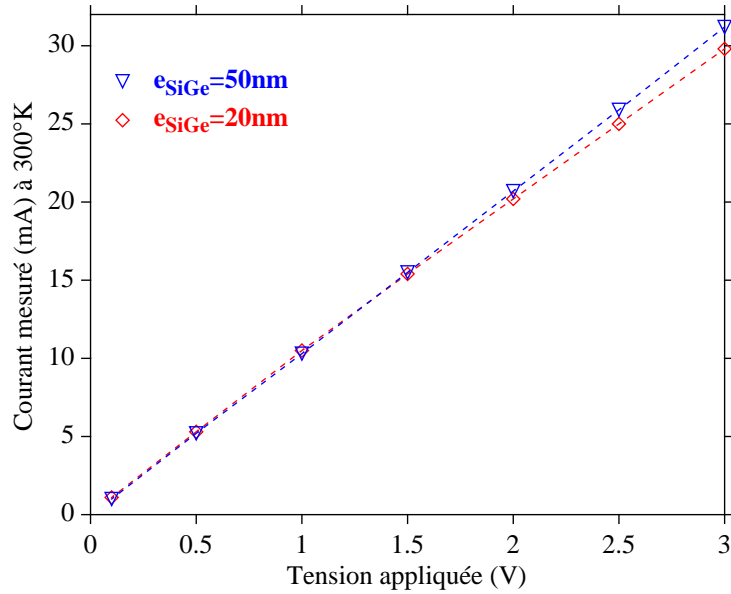


Fig. II.32: Courant mesuré en fonction de la tension appliquée à température ambiante pour des contacts de platine recuit à 300°C sur substrat épitaxié $\text{Si}_{0.8}\text{Ge}_{0.2}$ d'épaisseur 20 et 50 nm.

Lors de mesures réalisées à 180°K (Fig. II.33), le courant de l'échantillon possédant la couche de 50 nm est toujours limité par les résistances séries du substrat, la température de transition n'a toujours pas été atteinte. Ce n'est pas le cas de l'échantillon avec une épaisseur de couche épitaxiée de 20 nm où le courant n'est plus limité par les résistances séries mais par la diode Schottky entraînant une forte chute de courant. La hauteur de barrière Schottky est donc plus grande que dans le cas précédant. A partir de la Fig. II.33, on s'aperçoit que plus la fraction de germanium augmente, plus la couche épitaxiée est contrainte. Un contact siliciuré sur ce substrat aura alors une hauteur de barrière Schottky d'autant plus faible. De plus, pour une même fraction de germanium, plus l'épaisseur de $\text{Si}_{1-x}\text{Ge}_x$ est importante, plus la couche épitaxiée est contrainte, ceci jusqu'à une valeur limite où elle va se relaxer.

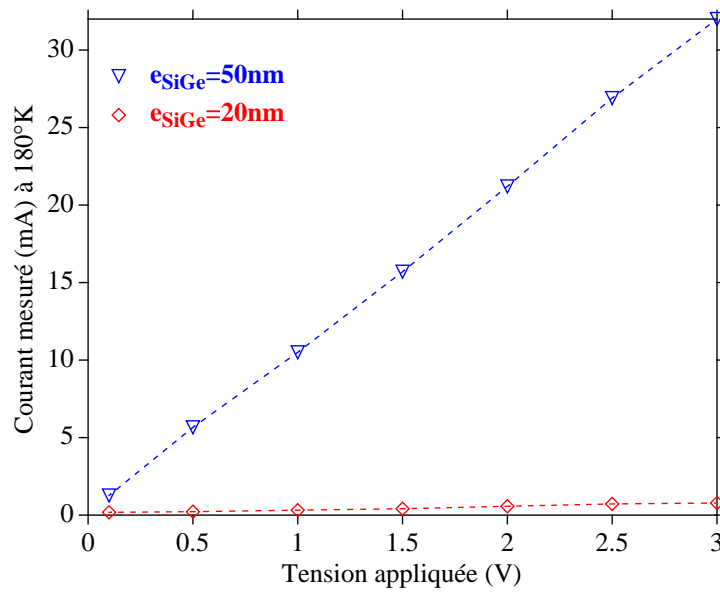


Fig. II.33: Courant mesuré en fonction de la tension appliquée à température de 180°K pour des contacts de platine recuit à 300°C sur substrat épitaxié $\text{Si}_{0.8}\text{Ge}_{0.2}$ d'épaisseur 20 et 50nm.

L'échantillon $\text{Si}_{0.9}\text{Ge}_{0.1}$ offre la température de transition la plus faible et le meilleur courant de commande, c'est le contact siliciure/SiGe qui possède la hauteur de barrière la plus faible car la couche de $\text{Si}_{0.9}\text{Ge}_{0.1}$ de 100 nm d'épaisseur doit être la plus contrainte. De plus, elle est la moins sujette au problème de ségrégation d'interface car elle possède la fraction de germanium la plus faible. La comparaison de deux substrats de même épaisseur (20 nm) de SiGe mais de fraction de germanium différente ($x = 0.2$ et 0.3) permet d'appuyer cette interprétation. En effet, à épaisseur égale, la couche la plus contrainte sera celle ayant la concentration de germanium la plus élevée. Ceci se révèle exact au regard des températures de transition où celle de l'échantillon $x = 0.3$ est légèrement inférieure à la température de l'échantillon $x = 0.2$. Mais lorsque que l'on examine le courant à une température de 180°K (Fig. II.34) où la contribution de la diode Schottky prédomine, c'est l'échantillon $\text{Si}_{0.8}\text{Ge}_{0.2}$ qui offre le courant le plus élevé. Le contact est perturbé par la présence du germanium à l'interface qui semble être d'autant plus importante que la concentration en germanium est grande puisque malgré une hauteur de barrière Schottky plus faible, le contact de $\text{Si}_{0.7}\text{Ge}_{0.3}$ n'a pas des caractéristiques électriques nettement supérieures à celle du contact de $\text{Si}_{0.8}\text{Ge}_{0.2}$.

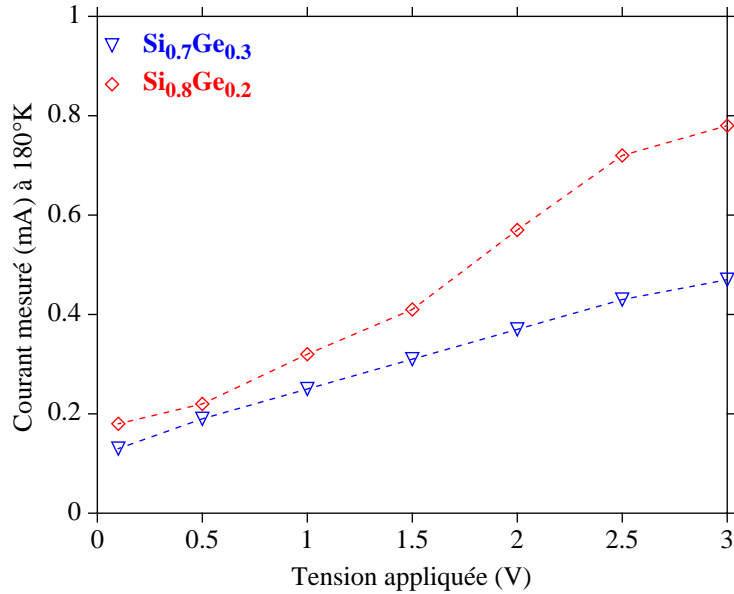


Fig II.34: Courant mesuré en fonction de la tension appliquée à température de 180°K pour des contacts de platine recuit à 300°C sur substrat épitaxié Si_{0.8}Ge_{0.2} et Si_{0.7}Ge_{0.3} d'épaisseur 20nm.

La ségrégation du germanium à l'interface siliciure/SiGe n'est pas propre au siliciure de platine, on retrouve ce même phénomène avec le siliciure d'iridium par exemple [42]. Une alternative pour résoudre ce problème consiste à utiliser une couche de silicium sacrificiel [41] déposée entre le SiGe et le métal servant de réserve pour former le siliciure et ne pas utiliser le silicium du substrat originel. Mais, cette technique donne des résultats peu reproductibles car elle demande un contrôle rigoureux de la consommation de la couche sacrificielle car si elle est surconsommée, la ségrégation du germanium réapparaît alors que si toute la couche n'est pas siliciurée, il y aura une couche de silicium entre le siliciure et le SiGe qui s'avère être très défavorable.

3-3 Etude de la siliciure de Pt/Ge sur un substrat silicium.

Des dépôts successifs de Ge puis Pt ont été réalisés par évaporation sur un substrat de silicium massif dans l'espoir d'obtenir une morphologie similaire à une épitaxie SiGe. L'épaisseur de germanium déposé (10nm) est deux fois plus grande que celle de platine (5 nm) afin d'obtenir sur le substrat de silicium une couche de SiGe puis un siliciure PtGeSi. Ceci est confirmé par une analyse XPS de l'empilement décrit précédemment et recuit à 300°C (Fig II.35) qui montre que le silicium diffuse à travers la couche de germanium pour former un composé ternaire PtGeSi. La couche de SiGe a une fraction de germanium très élevée, proche de 0.66.

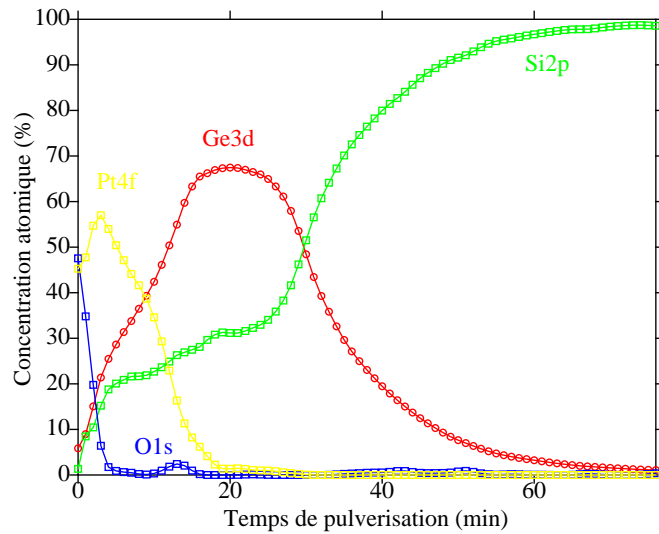


Fig. II.35: Concentration atomique en fonction de la profondeur obtenu par analyse XPS pour un dépôt de Pt (5nm)/Ge(10nm) sur substrat Si massif recuit à 300°C.

Les mesures électriques s'avèrent être très décevantes (Fig. II.36). La température de transition est, dans le meilleur des cas, égale à 200°K ce qui implique une hauteur de barrière apparente nettement supérieure à un contact PtSi sur silicium. De même, les courants de commandes sont très faibles, de l'ordre de quelques mA (réduction d'un facteur par rapport à PtSi sur Si). Ces performances modestes peuvent être expliquées par le fait que la couche de Si_{1-x}Ge_x formée n'est pas contrainte ou cristalline mais amorphe. Or, c'est cette propriété qui est à l'origine de l'abaissement de la hauteur de barrière Schottky.

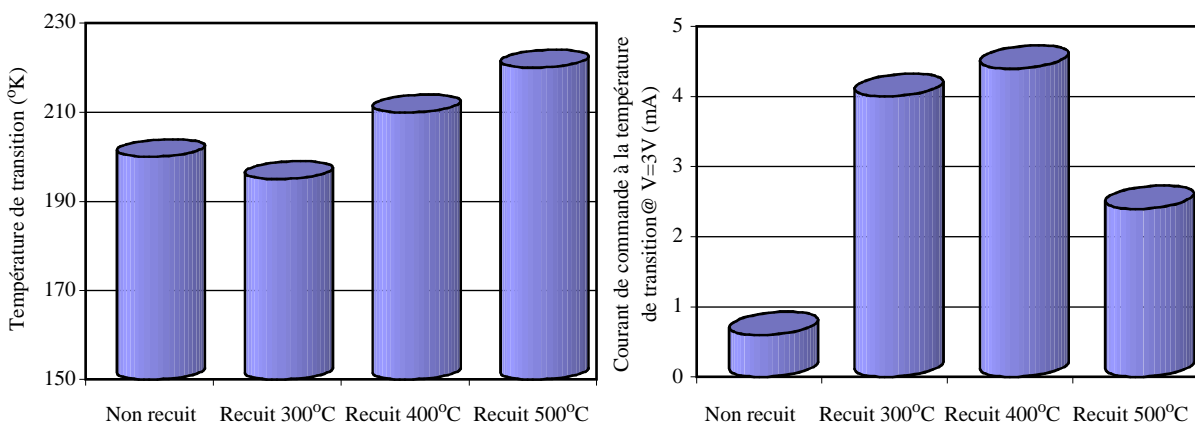


Fig. II.36: Température de transition et courant de commande maximum pour des contacts de platine germanium sur silicium massif dopé $2 \cdot 10^{15} \text{ cm}^{-3}$.

4. Le siliciure d'iridium

L'iridium est un autre excellent candidat pour obtenir une très faible hauteur de barrière Schottky pour les trous. Des valeurs de hauteurs de barrière proche de 100 meV ont été relevées dans la littérature [9]. Il existe de nombreuses similitudes entre l'iridium et le platine comme leurs mécanismes de réaction avec le silicium ou leurs directes proximités dans le tableau de Mendeleiev.

4-1. Analyse XPS.

4-1.1. Cinétique de la réaction de siliciuration d'iridium.

L'existence de nombreux siliciures d'iridium sont suggérés dans la littérature. Plusieurs études ont décrit la siliciuration de l'iridium suivant trois phases successives: premièrement la formation de la phase IrSi a été observée à température ambiante [18], à 400°C [44], à 450°C [45], puis à des températures proches de 600°C un autre siliciure IrSi_x est visible. La stoechiométrie de ce siliciure est sujet à discussion: $x= 1.5$ [24], $x=1.6$ [18][46] ou $x=1.75$ [44][47]. Enfin pour des températures d'activation proches de 1000°C, la formation IrSi₃ est relevée [44][47].

La cinétique de réaction d'IrSi est un mécanisme contrôlé par diffusion, c'est-à-dire que la création de cette phase est limitée par la diffusion des espèces les plus mobiles dans cette couche de siliciure naissante. Le silicium est l'espèce migrante majoritaire [44] et le coefficient d'expansion ($d(\text{IrSi})/d(\text{Ir})$) est proche de 2 [48]. Au cours de ce travail, la première expérience de recuit a été menée dans la chambre de l'XPS sous ultra vide (UHV). La couche initiale d'iridium est de 10 nm et la température varie de 20°C à 600°C en 120 minutes, correspondant à une montée moyenne de 4.8°K/min. Seule la surface supérieure de l'échantillon a été analysée lors du recuit (typiquement 3nm) afin de détecter les changements de composition de surface. La Fig. II.37 (a) montre la variation des concentrations d'iridium et de silicium en fonction de la température de recuit, correspondant aux lignes d'émission de Ir4f et de Si2p. Afin de déterminer exactement la température à laquelle tout l'iridium métallique est transformé en IrSi, nous avons détecté les décalages chimiques relatifs à l'énergie de liaison de Ir4f. La Fig. II.37 (b) montre une sélection

des spectres Ir4f enregistrés pendant le recuit. A 20°C, la position du pic Ir4f_{7/2} est centrée sur 60.8 eV, qui correspond à l'énergie de liaison de l'iridium métallique [49]. Le pic reste sur cette position jusqu'à 500°C puis commence à dériver vers une énergie de liaison plus faible indiquant l'apparition du front de siliciuration dans la zone de détection. Enfin, à partir de 570°C, le pic s'immobilise sur une énergie de liaison de 60.6 eV, révélant la complète conversion de l'iridium métallique en siliciure. Le siliciure formé est clairement identifié comme étant IrSi (Fig. II.37 (a)). L'énergie de liaison relative à Si2p dans IrSi est de 99.8eV alors que Si2p dans Si est de 99.2eV.

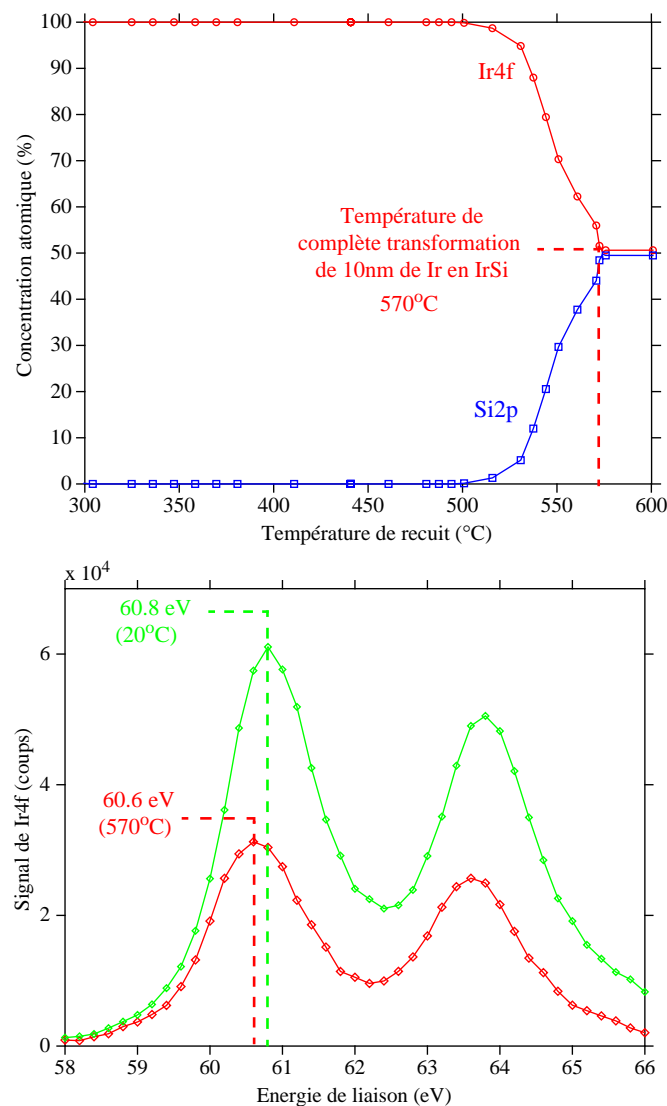


Fig. II.37: Cinétique des réactions de siliciuration d'une couche de 10nm Ir pendant un recuit in situ sous ultra vide avec une rampe de température constante (4.8°K/min) (a) Profils XPS des concentrations atomiques de Ir4f et Si2p. La température où le front de réaction de IrSi/Ir atteint la surface supérieure est de 570°C (b) Spectres Ir4f enregistrés pour deux températures pertinentes.

Pour identifier les coefficients cinétiques de la réaction de formation de IrSi, une expérience similaire a été réalisée sur une couche d'iridium de 3 nm. La profondeur d'analyse est proche de cette épaisseur permet de suivre l'évolution des compositions de la couche dès l'initiation de la réaction. La température varie de 0°C à 550°C en 100 minutes, correspondant à une montée moyenne de 5.5°K/min. La Fig. II.38 (a) montre la variation des concentrations d'iridium et de silicium en fonction de la température de recuit. La Fig. II.38 (b) montre une sélection de spectres de Ir4f enregistrés pendant le recuit. A 20°C, le pic Ir4f_{7/2} pourrait être déconvolué en deux contributions: une principale centrée sur 60.8 eV indiquant que la grande majorité de la couche est en Ir métallique et une secondaire centrée sur 60.6 eV révélant que la réaction de siliciuration s'initie déjà à température ambiante. Lors de la montée en température, le pic dérive lentement vers une énergie de liaison de 60.6 eV (par exemple Fig. II.38 (b) à 500°C) puis se décale dans le sens opposé au dessus de 520°C vers 60.8 eV. Nous attribuons ce décalage à la présence d'une seconde phase de siliciure riche en silicium qui se forme après la phase IrSi, à l'interface IrSi/Si. Almendra [50] a montré que les trois phases peuvent coexister même pour des épaisseurs d'iridium déposées de l'ordre de la dizaine de nanomètres. Ceci constitue une différence notable avec le platine où l'écart entre la cinétique de formation de Pt₂Si et PtSi est trop importante pour pouvoir observer cette figuration même en considérant des épaisseurs de platine de plusieurs centaines de nanomètres. Dans cette expérience, la température de consommation complète de la couche d'iridium n'est pas clairement identifiable du fait la présence simultanée de plusieurs phases. On peut estimer un intervalle probable de complète conversion compris entre 450°C et 530°C.

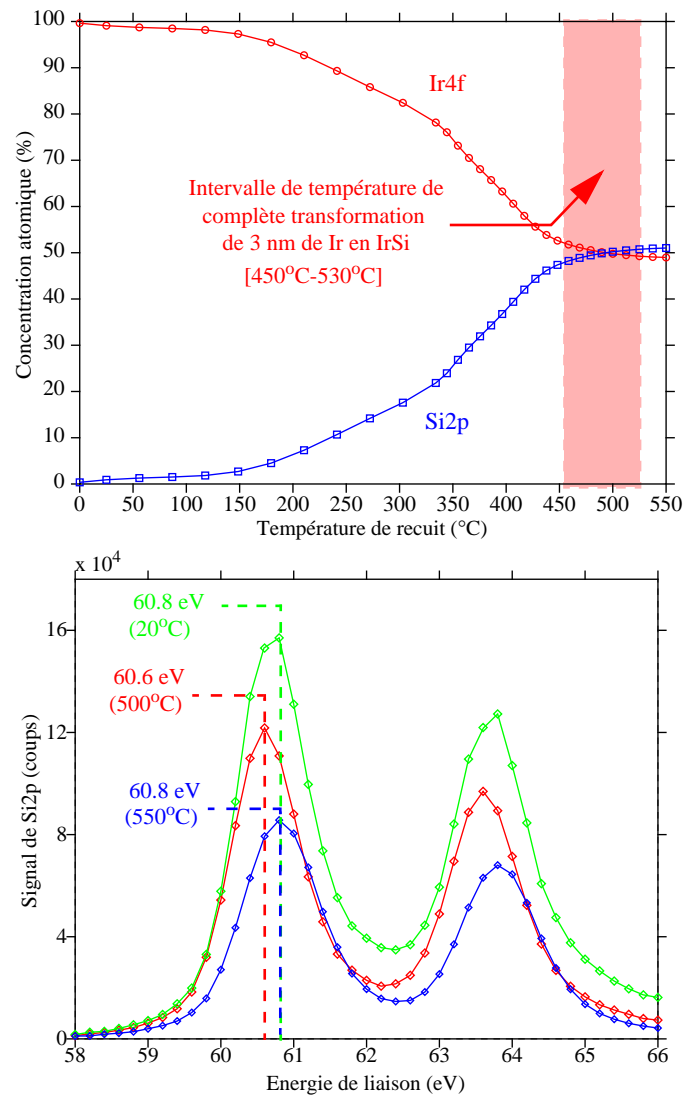


Fig. II.38: Cinétique des réactions de siliciuration d'une couche de 3nm Ir pendant un recuit in situ sous ultra vide avec une rampe en température constante (5.6°K/min) (a) Profils XPS des concentrations atomiques de Ir et Si. L'intervalle de température où le front de réaction de IrSi/Ir atteint la surface supérieure est compris entre 450°C et 530°C (b) Spectres de Ir4f enregistrés pour trois températures pertinentes.

Afin d'obtenir de manière plus précise la détermination de la température siliciuration totale de la couche d'iridium, un modèle basé sur la variation de l'intensité mesurée des spectres de Ir4f est utilisé. Le système peut être schématisé, encart Fig. II.39, par une couche y représentant l'épaisseur d'iridium restant et une autre couche x représentant l'épaisseur de siliciure IrSi formé. On peut considérer que pour 3 nm d'iridium déposé, l'épaisseur de la troisième phase IrSi_x est encore négligeable lorsque tout le métal est converti en siliciure IrSi. A tout moment, les épaisseurs des deux couches peuvent être reliées par la relation suivante:

$$y + x/\alpha = y_0 \quad (\text{II.30})$$

où α , le coefficient d'expansion de la phase IrSi, est égal à 2 et y_0 , l'épaisseur de métal déposée, est égal à 30 Å.

L'intensité liée au spectre d'Ir se décompose en l'intensité provenant de la couche supérieure d'iridium (1-k) et l'intensité provenant de la partie observée (y/α) du siliciure (1-k')/ α atténuée par la couche x (eq.II.31).

$$I_{Ir} = I_{Irm} \left[(1 - k) + \frac{1}{\alpha} k (1 - k') \right] \quad (\text{II.31})$$

$$\text{avec } k = \exp\left(-\frac{y}{\lambda \sin\theta}\right) \text{ et } k' = \exp\left(-\frac{x}{\lambda \sin\theta}\right)$$

où I_{Ir} est l'intensité mesurée, I_{Irm} l'intensité Ir métallique de référence, θ l'angle de mesure par rapport au substrat (45°) et λ la demi profondeur d'échappement (15Å). Alors, l'épaisseur d'iridium restante s'écrit:

$$y = -\lambda \cdot \sin\theta \cdot \ln \left[(1 - I_{Ir}/I_{Irm}) + \sqrt{(I_{Ir}/I_{Irm} - 1)^2 - \exp\left(-\frac{y_0}{\alpha \cdot \lambda \cdot \sin\theta}\right)} \right] \quad (\text{II.32})$$

La Fig. II.39 présente la variation des épaisseurs calculées en fonction de la température de recuit. Ainsi, la température de complète conversion de l'iridium métallique en siliciure est fixée à 520°C .

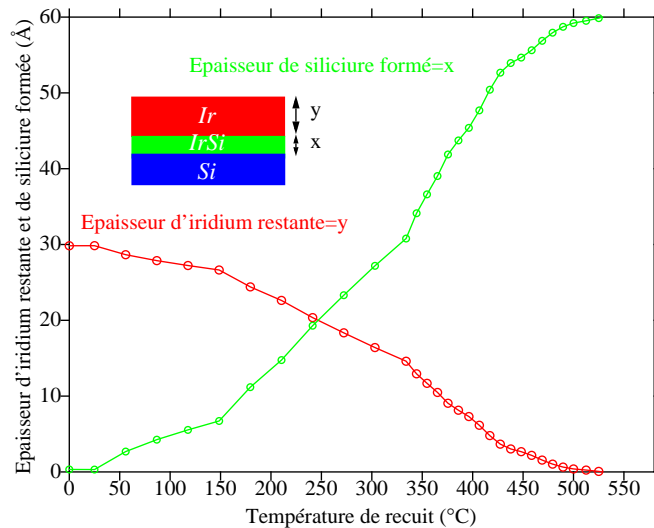


Fig. II.39: Variation de l'épaisseur d'iridium restante et de siliciure IrSi formée en fonction de la température de recuit (rampe constante de 5.6°K/min) calculée à partir de l'intensité des spectres de Ir4f. La température où le front de réaction de IrSi/Ir atteint la surface supérieure est de 520°C .

A partir de ces résultats, il est possible de déterminer les paramètres de la cinétique de réaction de formation d'IrSi. La Fig. II.40 représente les variations de l'épaisseur du film formé de IrSi en fonction de la température, en tenant compte des différences de taux de chauffage, c'est-à-dire, 5.6°K/min. dans la première expérience et 4.8°K/min. dans la seconde. Ces courbes ont été obtenues en utilisant une équation classique de taux de croissance associé à un mécanisme de diffusion donnée par:

$$d_{IrSi}^2 = \int_0^t D dt = \int_{T_0}^T D(dT/dt)^{-1} dT = D_0(dT/dt)^{-1} \frac{k_B}{E_A} \left\{ T^2 \exp\left(-\frac{E_A}{k_B T}\right) - T_0^2 \exp\left(-\frac{E_A}{k_B T_0}\right) \right\}$$

(eq.II.33)

où T est la température où la complète siliciuration de chaque film ci-dessus est accomplie, E_A est l'énergie d'activation, D la diffusivité dépendant de la température et D_0 le coefficient de diffusion pré-exponentiel. T_0 est la température de départ établie à 20°C.

Une procédure d'ajustement par une méthode de moindres carrés permet d'extraire l'énergie d'activation $E_A = 2.48$ eV et le coefficient de diffusion pré-exponentiel $D_0 = 9$ cm²/s. L'énergie d'activation est 30% supérieure à celle déterminée par Petersson [44] mais la gamme d'épaisseurs considérée dans son expérience (plusieurs centaines de nanomètres) introduit une modification de la cinétique de réaction probablement liée à la formation IrSi_x [47].

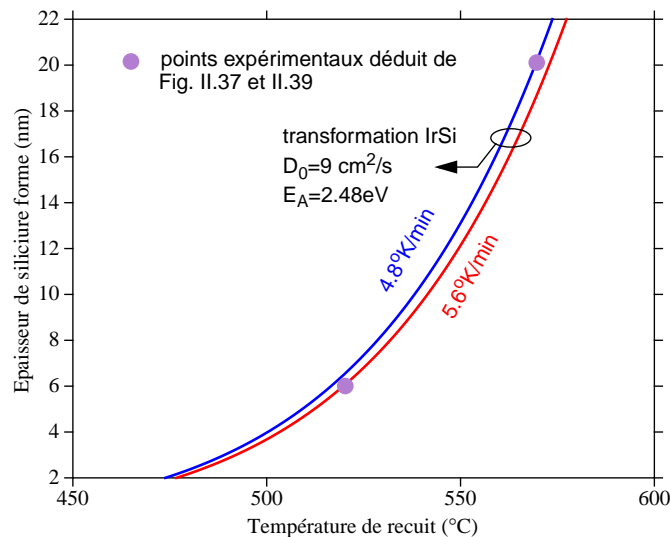


Fig. II.40: Epaisseur de IrSi formée en fonction de la température de recuit pour différentes rampes de chauffage. Le coefficient de diffusion et l'énergie d'activation sont ajustés pour être conformes aux expériences réalisées avec une rampe de 4.8°K/min et 5.6°K/min ($D_0 = 9$ cm²/s, $E_A = 2.48$ eV).

4-1.2 Siliciure d'iridium à température ambiante.

Morgan [18] a analysé par XPS un dépôt de 7 Å d'iridium sur une surface propre de Si (100) sans aucun recuit de siliciuration. Les énergies de liaisons Ir4f et Si2p observées révèlent la présence de liaisons de type IrSi. Afin d'étudier cette réaction d'interface initiale, un film d'iridium de 15 nm d'épaisseur a été évaporé puis analysé sans qu'aucune étape d'activation thermique n'ait été réalisée. Un profil XPS des concentrations Ir4f et Si2p a été enregistré. La Fig. II.41 (a) expose la décomposition du profil Ir4f déconvolué en deux contributions Ir4f(IrSi) et Ir4f(Ir). Les spectres de référence utilisés pour extraire ces deux déconvolutions sont donnés en Fig. II.41 (c). Les deux doublets orbitaux de Ir4f ($4f_{5/2}$, $4f_{7/2}$) affiche un décalage chimique de 0.2 eV, Ir4f_{7/2} passant de 60.8 eV à 60.6 eV. Ceci correspond à l'activation d'une réaction de siliciuration entraînant la formation d'un film d'IrSi. Ce résultat est consolidé par la Fig. II.41 (b) qui donne la décomposition du profil de Si2p en deux déconvolutions Si2p(IrSi) et Si2p(Si). Les spectres de référence sont également montrés dans la Fig. II.16 (d) indiquant un décalage chimique du pic de Si2p de 99.2 eV à 99.8 eV ce qui est de nouveau attribué à la présence de liaisons Ir-Si. La Fig. II.41 (e) résume les profils de concentration de silicium et de l'iridium selon l'environnement chimique de chaque élément. On peut donc conclure qu'une réaction de siliciuration s'effectue à température ambiante bien qu'il ne soit pas possible de déterminer sa composition exacte ni de conclure sur l'uniformité de la couche de siliciure. Néanmoins, les variations des profils de Si2p(IrSi) et de Ir4f(IrSi) sur une période de 30 à 60 minutes de pulvérisation ne sont pas indicatives d'une composition stoechiométrique stable (IrSi) mais est plutôt représentative d'une réaction non uniforme et inachevée de siliciuration.

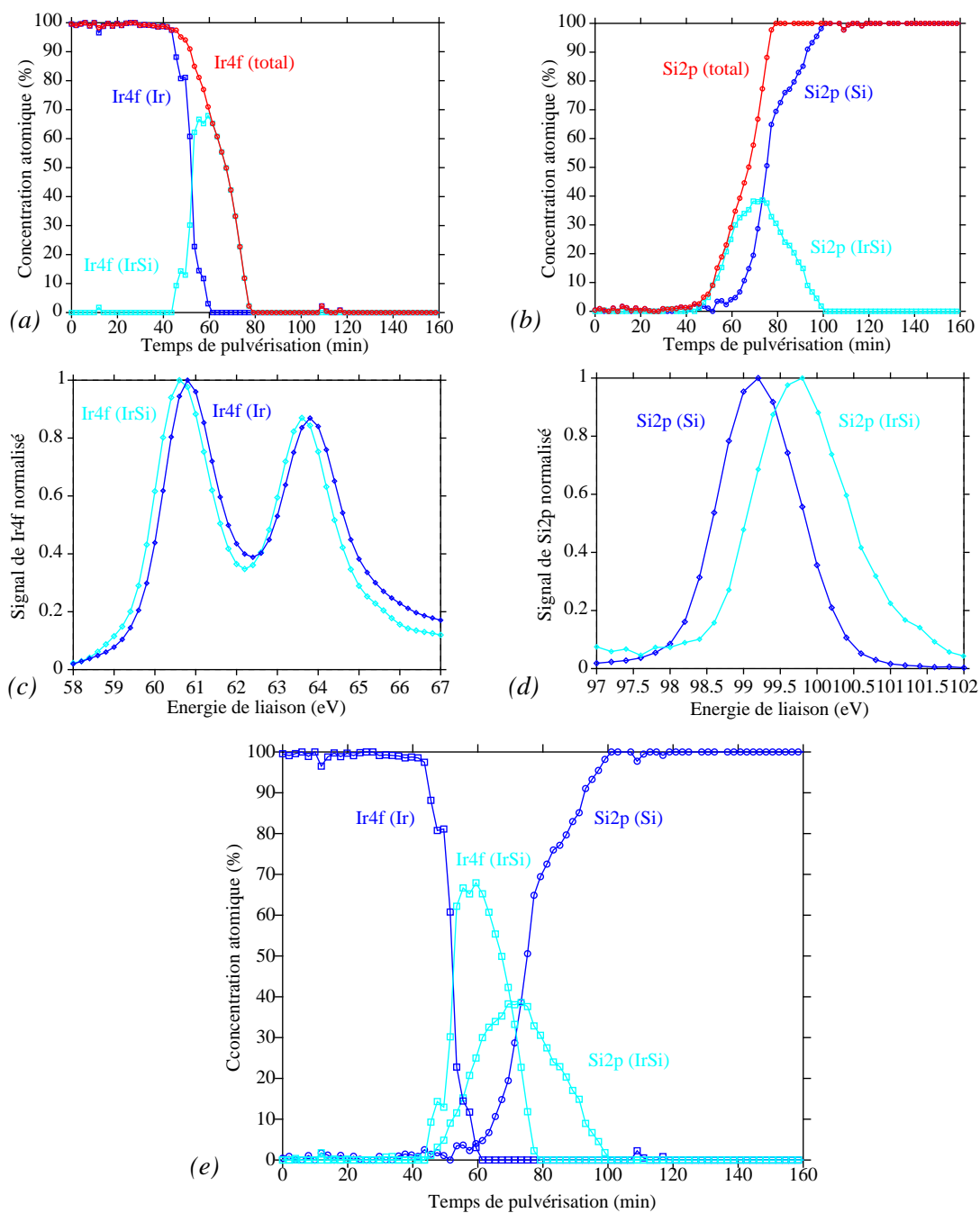


Fig. II.41: Analyse XPS de la réaction iridium/silicium à température ambiante (a) profil de profondeur relatif à Ir4f est déconvolué en ses contributions Ir4f (IrSi) et Ir4f (Ir) (b) le profil de profondeur relatif à Si2p est déconvolué dans ses contributions Si2p (IrSi) et Si2p(Si) (c) spectres de base utilisés dans la déconvolution du profil de Ir4f montrés en (a): 61.8eV et 61.6 eV sont des énergies de liaisons appropriées à l'état métallique et siliciuré (d) spectres de base utilisés dans la déconvolution du profil de Si2p montrés en (b): 99.2eV et 99.8eV sont des énergies de liaisons appropriées au silicium élémentaire et dans IrSi (e) synthèse des profils de concentrations atomiques en profondeur obtenue à partir de Ir4f et de Si2p selon leur environnement chimique.

4-1.3 Siliciure d'iridium à 300°C.

Nous avons étudié la réaction de siliciuration activé par RTA à différentes températures (300°C, 600°C, 900°C) pendant 2 minutes, à partir d'une couche d'iridium de 15 nm. La Fig. II.42 donne le profil de la concentration d'un échantillon recuit à 300°C en fonction de la profondeur obtenu par analyse XPS. Sur la gamme de temps de pulvérisation de 48 à 55 minutes, les concentrations d'iridium et le silicium décrivent clairement une zone de réaction dans laquelle a lieu une transformation de Ir en IrSi. Ceci est confirmé par les décalages chimiques des spectres de Ir4f et de Si2p dans cette zone. En effet, les pics relatifs aux doublets Si2p_{3/2} et Ir4f_{7/2} sont centrés respectivement sur 99.8eV et 60.6eV.

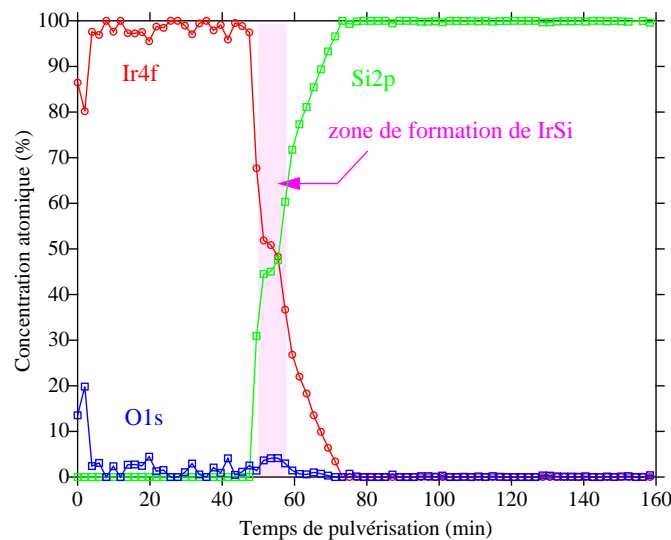


Fig. II.42: Profil XPS de concentration atomique de profondeur obtenu à partir d'un échantillon recuit par RTA à 300°C pendant 2 minutes. La zone ombragée correspond à une phase réagie IrSi recouverte par de l'iridium métallique.

4-1.4 Siliciure d'iridium à 600°C.

La Fig. II.43 présente le profil de concentrations atomiques d'un dépôt de 15nm d'iridium recuit à 600°C. Toute la couche d'iridium métallique a été convertie en siliciure. La variation des profils Si2p et de Ir4f sur une période de 0 à 35 minutes de pulvérisation est indicative d'une composition stoechiométrique stable (IrSi). Le pic Ir4f_{7/2}, centré sur 60.6 eV jusqu'à 35 minutes de pulvérisation, se décale vers les énergies supérieures pour se fixer sur 60.8 eV dès 40 minutes de pulvérisation indiquant la présence d'une deuxième phase dont la croissance s'est ini-

tiée à l'interface IrSi/Si. Cette phase, IrSi_x déjà observée lors de l'expérience réalisée sur un échantillon de 3 nm d'Ir recuit sous ultra vide (Fig. II.38), est clairement visible entre 40 et 47 minutes de pulvérisation. Dans cette zone, le rapport des concentrations entre Si2p et Ir4f est approximativement de 1.6.

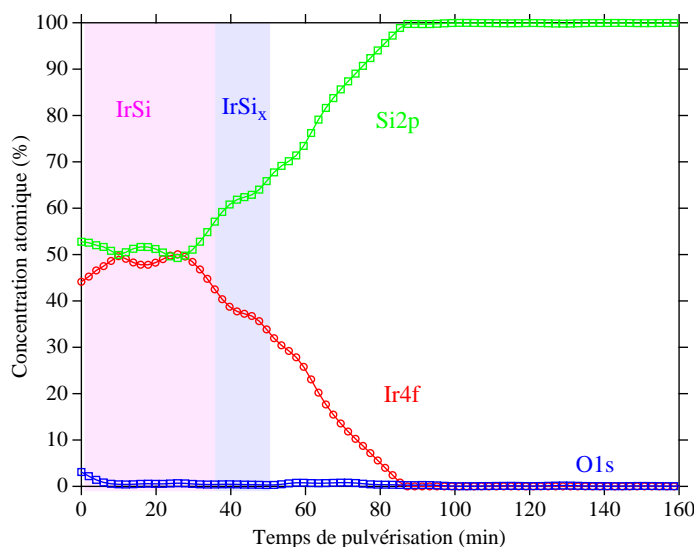


Fig. II.43: Profil XPS de concentration atomique de profondeur obtenu à partir d'un échantillon recuit par RTA à 600°C pendant 2 minutes. La complète siliciuration de l'iridium est atteinte et la phase IrSi_x a commencé à croître à l'interface IrSi/Si.

4-1.5 Siliciure d'iridium à 900°C.

La Fig. II.44 présente le profil des concentrations atomiques d'un dépôt de 15 nm d'iridium recuit à 900°C. Sur l'intervalle de pulvérisation compris entre 0 et 45 minutes, le pic Ir4f_{7/2} est centré sur 60.8 eV indiquant que toute l'épaisseur de IrSi est convertie en IrSi_x. Le rapport des concentrations entre Si2p et Ir4f est approximativement égal à 1.6.

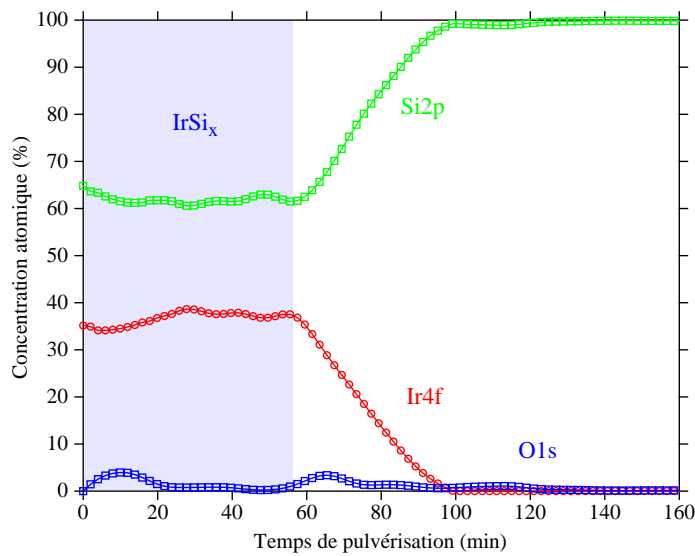


Fig. II.44: Profil XPS de concentration atomique de profondeur obtenu à partir d'un échantillon recuit par RTA à 900°C pendant 2 minutes. Le siliciure IrSi a été totalement converti en IrSi_x avec x proche de 1.6.

4-2 Coupes réalisées en microscopie électronique à transmission.

Des sections d'échantillons de 15 nm d'iridium non recuit ou activé par RTA à 300°C, 600°C, 900°C pendant 2 minutes ont été observées en microscopie électronique à transmission. La Fig. II.45 (a) présente une photographie MET de l'échantillon non recuit. La couche de 15nm d'iridium est clairement visible sur le substrat SOI de 100nm de silicium actif. La réaction de siliciuration à l'interface Si/Ir est visible. La couche de siliciure formée, approximativement de 1nm, ne semble pas parfaitement uniforme. La Fig. II.45 (b) présente une photographie MET d'un échantillon réalisé dans les mêmes conditions que précédemment mais activé à 300°C. L'épaisseur de la couche d'IrSi est de 3nm environ. On peut distinguer des grains de tailles homogènes, égales à l'épaisseur du film formé et sans orientation particulière. L'interface siliciure/semiconducteur est parfaitement uniforme. La Fig. II.45 (c) présente une photographie MET d'une couche de 15nm d'iridium recuit à 600°C. La couche d'IrSi a consommé la totalité de la couche métallique. On distingue la phase IrSi_x (3 nm) qui commence à croître à l'interface IrSi/Si, consolidant parfaitement le résultat des analyses XPS. Enfin, l'observation MET d'un recuit à 900°C (Fig. II.45) confirme la présence d'une phase unique de siliciure formée par des grains de grandes tailles (70 nm). La rugosité est très importante avec des îlots de silicium remontant jusqu'à la surface. Morgan [18] a observé une diffusion rapide du silicium vers la surface au dessus de 600°C,

pouvant ainsi créer des agglomérats de Si aux joints de grains du siliciure. La formation de la phase IrSi_3 n'a pas été observée.

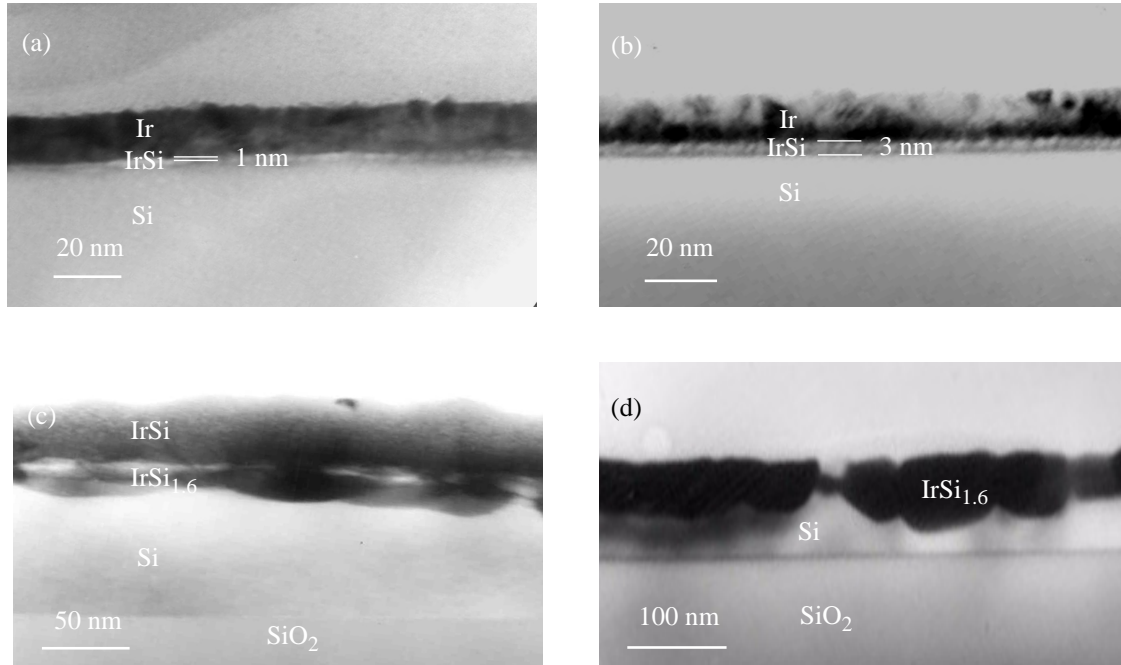


Fig. II.45: Photographie MET d'un dépôt d'iridium de 15nm sur un substrat SOI de 100nm de silicium actif (a) non recuit, (b) recuit RTA 300°C pendant 2 min (c) recuit RTA 600°C pendant 2 min (d) recuit RTA 900°C pendant 2 min.

4-3 Mesures électriques.

Des mesures électriques de contact à base de siliciure d'iridium ont été réalisées pour déterminer les conditions de recuit qui fournissent la plus basse barrière Schottky pour les trous et, donc la plus basse résistance spécifique de contact qui caractérise le transport de porteur à l'interface de siliciure/silicium. La température de transition et le niveau de courant correspondant, défini dans la section 2-3.2.3, ont été extraits à partir des caractéristiques courant-tension mesurées, avec une rampe de température de 300 à 120°K. A 120°K, la température de transition n'est pas atteinte alors que les meilleures performances électriques pour le siliciure de platine donnaient une température de transition de 155°K. Ceci confirme que la plus faible hauteur de barrière Schottky pour les trous est obtenue avec un siliciure d'iridium. Les niveaux de courants atteints sont reportés en Fig. II.46 pour différentes conditions de recuit. La meilleure performance électrique est obtenue à une température de recuit de 300°C. La diminution du courant avec l'aug-

mentation de la température peut être directement reliée avec l'augmentation de la rugosité de l'interface siliciure/semiconducteur, qui devient dramatique à 900°C (Fig. II.9 (d)). Enfin, la performance électrique obtenue à température ambiante comparé à l'échantillon activé à 300°C peut indiquer, comme pour le cas du platine, une non homogénéité de la réaction de siliciuration.

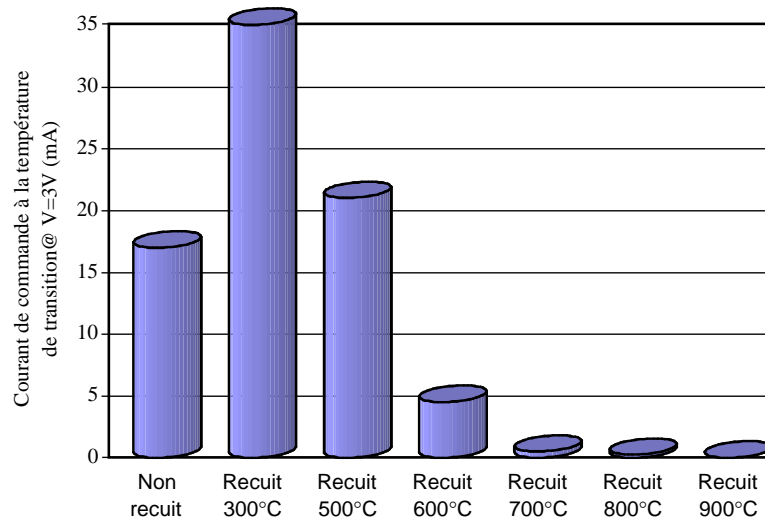


Fig. II.46: Courant de commande maximum pour des contacts d'iridium sur silicium massif dopé $2.10^{15} \text{ cm}^{-3}$ obtenus pour différentes températures (recuit RTA à 300°C, 500°C, 600°C, 700°C, 800°C, 900°C). Un courant de commande élevé, relatif à un excellent siliciure, est obtenu à 300°C.

5- Conclusion

Dans ce chapitre, une étude, consacrée aux contacts siliciurés de très faibles hauteurs de barrière Schottky, a proposé les différents points importants:

La modélisation du courant dans un contact Schottky doit prendre en compte à la fois l'émission thermo-électronique et celle par effet de champ, notamment pour les très faibles hauteurs de barrière. De plus, l'extraction de cette hauteur par des méthodes conventionnelles est très difficile à cause de la résistance série associée au silicium qui est souvent supérieure à la résistance spécifique du contact Schottky et à cause des hauts niveaux de courants inverses qui rendent les mesures capacitives ou par photoémission approximatives.

La technique pour former un siliciure ainsi que les outils de caractérisations physiques et électriques ont été détaillés. Une méthode inédite permettant de classer les différents siliciures est basée sur deux nouveaux critères de mérite:

- le courant maximum limité par la résistance de contact.
- la température de transition entre le régime gouverné par la résistance série du silicium et celui limité par la résistance de contact.

Une étude détaillée de siliciures de platine et d'iridium formés à température ambiante, sous ultra vide ou par recuit rapide (RTA). Différentes stoechiométries et cinétiques de réactions ont été caractérisées (Pt_2Si , PtSi , IrSi , $\text{IrSi}_{1,6}$). Des photographies MET ont permis de mettre en évidence la taille des grains et la rugosité des interfaces siliciures/semiconducteurs. Les mesures électriques ont consolidé les caractérisations physiques et ont permis de sélectionner les meilleurs siliciures pour la réalisation des contacts source/drain de l'ALSB MOSFET. Enfin, des siliciurations sur substrat SiGe pseudomorphiques ont révélé que plus la couche était contrainte (par la fraction de germanium ou l'épaisseur de la couche épitaxiée) meilleure était la résistance spécifique de contact. Mais, des phénomènes de ségrégations rendent la formation de contacts très difficiles à maîtriser.

Bibliographie

- [1] S.M. Sze, "Physics of Semiconductor Devices", 2nd edition, Wiley, New York.
- [2] C.R. Crowell, V.L. Rideout, "Normalized Thermionic-Field emission in metal-semiconductor (Schottky) barriers", *Solid-State Electronics*, vol. 12, p. 89-105, 1969.
- [3] F.A. Padovani, R. Stratton, "Field and Thermionic-Field emission in Schottky barriers", *Solid-State Electronics*, vol. 9, p. 695-707, 1966.
- [4] A.N. Saxena, "Forward current-voltage characteristics of Schottky barriers on n-type silicon", *Surface Science*, vol. 13, p. 151-171, 1969.
- [5] I. Shalish, L. Kronik, G. Segal, Y. Shapira, "Yellow luminescence and Fermi level pinning in GaN layers", *Applied Physics Letters*, vol. 77, p. 987-989, 2000.
- [6] J.R. Jimenez, X. Xiao, J.C. Sturm, P.W. Pellegrini, "Tunable, long-wavelength PtSi/SiGe/Si Schottky diode infrared detector", *Applied Physics Letters*, vol. 67, p. 506-508, 1995.
- [7] S. P. Murarka, "Silicides for VLSI applications", Academic Press, 1983.
- [8] W. Wang, C. Ho, T. Chuang, "Investigation of PtSi/p-Si Schottky barrier height using I-V-T technique", *Materials Chemistry and Physics*, vol. 51, no. 1, p. 88-91, 1997.
- [9] C.K. Chung, J. Hwang, T.H. Jaw, D. S. Wu, "Electrical properties of Ir-silicide formation on p-Si (100) in ultra-high vacuum", *Thin Solid Film*, vol. 373, p. 68-72, 2000.
- [10] O. Nur, M. Willander, R. Turan, M. Sardela, G. Hansson, "Metal-semiconductor junctions on p-type strained $\text{Si}_{1-x}\text{Ge}_x$ layers", *Applied Physics Letters*, vol. 68, p. 1084-1086, 1996.
- [11] J.J. Bessot, "Les nouvelles techniques de dépôts sous vide- Evolution et tendance", *Surface*, vol. 124-128, p. 3-24, 1976.
- [12] J.J. Bessot, "Developments and trends in sputtering deposition techniques", *Thin Solid films*, vol. 32, p. 19, 1976.
- [13] R. F. Gould (ed.), "Chemical reactions in electric discharges", *Advances in Chemistry Series no. 80*, American Chemical Society Publications, 1969.
- [14] G. Roblin, "Microscopie", *Technique de l'ingénieur*, vol. RD, ref. R6710, 1998.
- [15] T. Stark, H. Grunleitner, M. Hundhausen, L. Ley, "Deriving the kinetic parameters for Pt-silicide formation from temperature ramped in situ ellipsometric measurements", *Thin Solid Film*, vol. 358, p. 73-79, 2000.
- [16] S. M. Zhou, M. Hundhausen, T. Shark, L. Y. Chen, L. Ley, "Kinetics of platinum silicide formation followed in situ by spectroscopic ellipsometry", *Journal of Vacuum Science Technology A*, vol. 17, p. 144, 1999.
- [17] C. A. Crider, J. M. Poate, J. E. Rowe, T. T. Sheng, "Platinum silicide formation under ultrahigh vacuum and controlled impurity ambients", *Journal of Applied Physics*, vol. 52(4), p 2860-2868, 1981.
- [18] S.J Morgan, R.H. Williams, J.M. Mooney, "An XPS study of thin Pt and Ir silicide overlayer formation on Si(100)2*1 surfaces", *Applied Surface Science* vol. 56-58, p 493-500, 1992.
- [19] R.A. Donaton, S. Jin, H. Bender, T. Conard, I. Dewolf, K. Maex, A. Vantomme, G. Langouche, "New technique for forming continuous, smooth, and uniform ultrathin (3nm) PtSi layers", *Electrochemical and Solid-State Letters*, vol. 2, p. 195-197, 1999.

- [20] J.C. Tsang, Y. Yokota, R. Matz, G. Rubloff, "Raman spectroscopy of PtSi formation at the Pt/Si(100) interface", *Applied Physics Letters*, vol. 44, p. 430-432, 1984.
- [21] "Multipak software manual", Physical electronics, vol. 5.0.
- [22] L.Ley, Y.Wang, V.Nguyen Van, S. Fisson, D. Souche, G.Vuye, J. Rivory, "Initial stages in the formation of PtSi on Si(111) as followed by photoemission and spectroscopic ellipsometry", *Thin Solid Films*, vol. 270, p. 561-566, 1995.
- [23] P.J. Grunthaner, F.J. Grunthaner, A. Madhukar, "Chemical bonding and charge redistribution: Valence band and core level correlations for the Ni/Si, Pd/Si, and Pt/Si systems", *Journal of Vacuum Science and Technology*, vol. 20, 680-683, 1982.
- [24] K. Hirose, I. Ohdomari, M. Uda, "Schottky-barrier heights of transition-metal-silicide-silicon contacts studied by x-ray photoelectron spectroscopy measurements" *Physical Review B*, vol. 37, p. 6929-6932, 1988.
- [25] N. Franco, J.E. Klepeis, C. Bostedt, T. Van Buuren, C. Heske, O. Pankratov, L. J. Terminello, "Valence band study of the PtSi by synchrotron radiation photoelectron spectroscopy", *Journal of Electron Spectroscopy and Related Phenomena*", vol. 114-116, p. 1191-1196, 2001.
- [26] J.W. Keister, J.E. Rowe, J.J. Kolodziej, T.E. Madey, "Photoemission spectroscopy of platinum overlayers on silicon dioxide films", *Journal of Vacuum Science and Technology B*, vol. 18, p. 2174-2178, 2000.
- [27] M.L. Miller, R.W. Linton, "X-ray photoelectron spectroscopy of thermally treated silica (SiO₂) surfaces", *Analytical Chemistry*, vol. 57, p. 2314-2319, 1985.
- [28] J. B. Bindell, J. W. Colby, D. R. Wonsidler, J. M. Poate, D. K. Conley, T. C. Tisone, "An analytical study of platinum silicide formation", *Thin Solid Films*, vol. 37, p. 441-452, 1976.
- [29] R. Schmiedl, V. Demuth, P. Lahnor, H. Godehardt, Y. Bodschwinn, C. Harder, H.P. Strunk, M. Schulz, K. Heinz, "Oxygen diffusion through thin Pt films on Si(100)", *Applied Physics A*, vol. 62, p. 223-230, 1996.
- [30] C.M. Osburn, K.R. Bellur, "Low parasitic resistance contacts for scaled ULSI devices", *Thin Solid Films* 332, pp 428-436, 1998.
- [31] J. Kedzierski, P. Xuan, E.H. Anderson, J. Bokor, T.J. King, C. Hu, "Complementary silicide source/drain thin-body MOSFETs for the 20 nm gate length regime", *IEDM Tech. Dig.*, p 57-60, December 2000.
- [32] E. Dubois, G. Larrieu, "Low Schottky barrier source/drain for advanced MOS architecture: device design and material: device design and material considerations", *Solid-State Electronics*, vol.46, p. 997-1004, 2002.
- [33] O. Nur, M. Willander, R. Turan, M.R. Sardela, J.R.,and G.V. Hanson, "Metal semiconductor junctions on p-type strained Si_{1-x}Ge_x layers", *Applied Physics Letters*, vol. 68, p.107-109, 1996.
- [34] H.Shinoda, M. Kosaka, J. Kojima, H. Ikeda, S. Zaima and Y. Yasuda, "Electrical properties of metal/Si_{1-x}Ge_x/Si(100) heterojunctions", *Applied Surface Science*, vol. 100-101, p.526-529, 1996.
- [35] R.People, J.C Bean, "Calculation of critical layer thickness versus lattice mismatch for Si_{1-x}Ge_x/Si strained-layer heterostructures", *Applied Physics Letters*, vol. 47, p. 322-324, 1985.
- [36] Y. Kohama, Y. Fukuda and M. Seki, "Determination of the critical layer thickness of Si_{1-x}Ge_x/Si heterostructures by direct observation of misfit dislocations" *Applied Physics Letters*, vol. 52, p. 380-382, 1988.

- [37] C. G. Van de Walle and R. Martin, "Theoretical calculations of heterojunction discontinuities in the Si/Ge system", *Physical review B*, vol. 34, p. 5621-5634, 1986.
- [38] P. Zhong and Y. Zheng, "Study of Ge movement during thermal reactions between Pt and GeSi/Si heterostructures", *Applied Physics Letters*, vol. 62, p.3259-3261, 1993.
- [39] P.J. Wang, C. Chang, B.S. Meyerson, J.O Chu and M.J Tejwani, "Pt reactions with Ge, SiGe and Si/SiGe superlattices", *Mat. Res. Soc. Symp. Proc.*, vol. 260, p. 8623-868, 1992.
- [40] H.Kanaya, F.Hasegawa, E.Yamaka, T.Moryama, M.Nakajima, "Reduction of the barrier height of silicide/p-Si_{1-x}Ge_x", *Japanese Journal of Applied Physics*, vol.28, p. 544-546, 1989.
- [41] X. Xiao, J.C. Sturm, S.R. Parihar, S.A. Lyon, D. Meyerhofer, S. Palfrey and F.V. Shallcross, "Silicide/strained Si_{1-x}Ge_x Schottky-barrier infrared detectors", *IEEE Electron Device Letters*, vol.14, p.199-201, 1993.
- [42] G. Curello, R.Gwilliam, M.Harry, K.J. Reeson, B.J Sealy, T. Rodriguez and A. Almedra, "Interface reaction between Ir films and relaxed SiGe MBE layers by rapid thermal annealing", *Journal of Crystal Growth*, vol. 157, p. 236-241, 1995.
- [44] S. Petersson, J. Baglin, W. Hammer, F. d'Heurle, T. Kuan, I. Ohdomari, J. Pires, P. Tove, "Formation of iridium silicides from Ir thin films on Si substrates", *Journal of Applied Physics*, vol. 50, p. 3357-3365, 1979.
- [45] I. Ohdomari, T. Kuan, K. Tu, "Microstructure and Schottky barrier height of iridium silicides formed on silicon", *Journal of Applied Physics*, vol. 50, p. 7020-7029, 1979.
- [46] M. Wittmer, P. Oelhafen, K. Tu, "Chemical reaction and Schottky-barrier formation at the Ir/Si interface", *Physical Review B*, vol. 35, p. 9073-9084, 1987.
- [47] T. Rodríguez, A. Almendra, M. da Silva, J. C. Soares, H. Wolters, A. Rodríguez, J. Sanz-Maudes "RBS characterization of iridium silicides formed by RTA in vacuum", *Nuclear Instruments and Methods in Physics Research Section B*, vol. 113, p. 279-283, 1996.
- [48] K. Maex, M. Van Rossum, "Properties of metal silicides", *EMIS datareviews series no. 14*, INSPEC, 1995.
- [49] J. C. Fuggle, N. Mårtensson, "Core-Level Binding Energies in Metals", *Journal of Electron Spectroscopy and Related Phenomena*, vol. 21, p. 275-281, 1980.
- [50] A. Almendra, J. Serrano, A. Kling, T. Rodríguez, J. Blanco, M. da Silva, J. Sanz-Maudes, M. Aguilar, J. C. Soares, "RBS and SIMS study of the simultaneous phase growth of iridium silicides formed by RTA in vacuum", *Nuclear Instruments and Methods in Physics Research Section B*, vol. 136-138, p. 1040-1044, 1998.
- [51] E. Dubois, G. Larrieu, X. Wallart, V. Bayot, X. Tang T. Skotnicki, D. Bensahel, E. Robilliart, "IST-2000-26475 SODAMOS periodic Project Report Year 1", 2001.

Chapitre III

Procédé de grille autoalignée métallique nanométrique

La principale nouveauté de l'architecture de grille développée dans ce travail est l'utilisation d'une grille métallique ayant un travail d'extraction proche de la moitié du gap du silicium (midgap), qui est particulièrement bien adaptée pour l'obtention d'une tension de seuil compatible aussi bien avec des dispositifs n-MOS que p-MOS avancés. Ce choix sera discuté plus précisément dans le paragraphe 3. Le métal le plus intéressant est le tungstène (W). Outre l'intérêt que présente la valeur de son travail de sortie, le tungstène est un matériau réfractaire qui lui confère une excellente stabilité lors des traitements thermiques. Ainsi, l'évolution des propriétés électriques et morphologiques en fonction de différentes conditions de recuit sera exposée dans le paragraphe 3. Néanmoins, le remplacement de la grille polysilicium siliciurée par ce métal impose une série de précautions. Afin de préserver l'intégrité du tungstène lors des différentes attaques chimiques intervenant durant le procédé de fabrication, une grille encapsulée a été développée et sera détaillée dans les paragraphes 4 et 5. Le paragraphe 4 étudie l'association du tungstène avec une couche supérieure de protection et l'obtention de flancs de grille parfaitement verticaux. Le paragraphe 5 traite de la formation d'un espaceur de nitrure d'une dizaine de nanomètres de large. Enfin, le processus de siliciuration des zones source drain et ses possibles implications sur l'intégrité de la grille sont détaillés dans le paragraphe 6, avec une attention particulière sur les risques de court circuit entre la grille et les contacts source/drain. En premier lieu, une étude d'oxyde de grille ultra fin est présentée dans le paragraphe 2. Celle-ci montre, grâce à d'excellents niveaux des courants de fuites et à la bonne homogénéité des oxydes formés, la possible utilisation du SiO₂ pour des générations à court et à moyen terme.

1- Description d'un procédé autoaligné.

Le procédé d'autoalignement des zones source drain siliciurées par rapport à la grille (self aligned silicide ou salicide) a été décrit pour la première fois il y a plus de 20 ans [1]. Ce procédé technologique est maintenant couramment utilisé dans les dispositifs industriels avancés. Il consiste à former dans un premier temps la grille puis à l'utiliser comme masque pour aligner exactement les zones de contact source drain sans aucun niveau critique supplémentaire. En effet, lorsque les contacts S/D sont réalisés en premier lieu, l'alignement de la grille demande une précision très importante afin d'assurer un bon contrôle de l'ensemble du canal. En pratique, un léger chevauchement de la grille est impératif pour tenir compte de l'imprécision d'alignement (Fig. III.1). Dans un dispositif autoaligné, les contacts source drain se trouvent rigoureusement à une même distance de la grille. Cet intervalle est conditionné par l'espacement qui permet d'atteindre une valeur d'espacement optimum entre la grille et les contacts source drain.

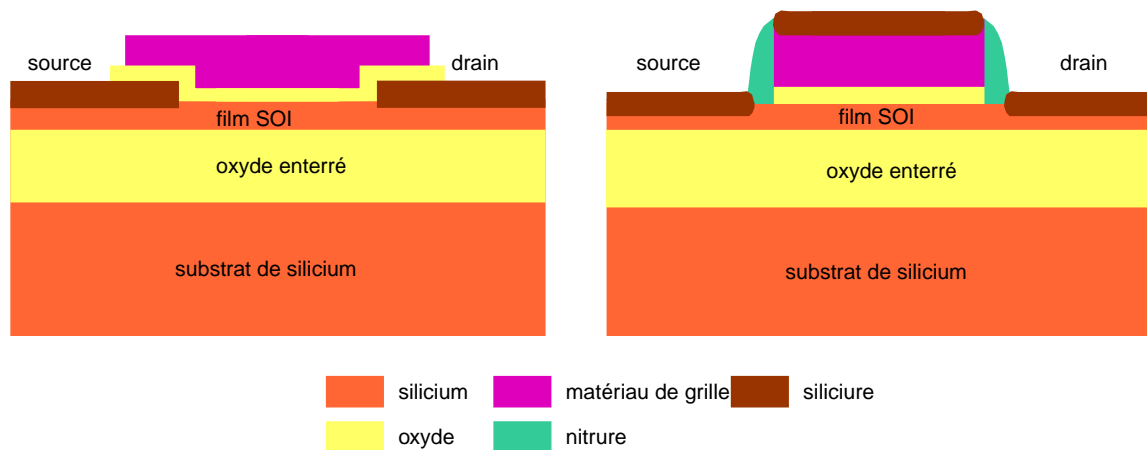


Fig. III.1: Représentation schématique d'une architecture non alignée (gauche) et une architecture auto-alignée.

Un procédé conventionnel de grille auto-alignée est décrit en Fig III.2. Sur un substrat SOI fin, une oxydation thermique permet la croissance de l'oxyde de grille (Fig. III.2A). Puis, un dépôt de polysilicium est réalisé pleine plaque. Ce dernier est fortement dopé afin de réduire la résistance de grille et de diminuer les effets de déplétion. Une gravure purement anisotrope (gravure sèche) est utilisée pour obtenir une grille avec des flancs verticaux (Fig. III.2B), condition indispensable pour la formation d'espaces. Pour former ces derniers, un matériau isolant est choisi pour empêcher tout contact direct entre la grille et les zones source / drain. Il s'agit en

général d'oxyde (SiO_2) ou de nitrure (Si_3N_4). Le dépôt doit être purement conforme c'est-à-dire la même épaisseur doit être déposée dans toutes les directions de l'espace (Fig. III.2C). Une gravure anisotrope forme un espaceur de chaque côté de la grille (Fig. III.2D). Cette étape doit être sélective par rapport au silicium et par rapport à l'oxyde de grille pour graver tout le matériau présent au dessus des zones source / drain, sans attaquer le film fin de SOI. Puis, l'oxyde de grille encore présent sur les contacts S/D est enlevé par gravure humide (isotrope) et le métal est déposé (Fig III.2E). L'épaisseur de métal doit être ajustée en fonction du type de mécanisme de siliciuration et de la réserve de silicium disponible. La réaction de formation du siliciure est activée thermiquement et n'intervient qu'aux endroits où le métal est en contact direct avec le silicium, sur les zones source/drain ainsi que sur le polysilicium de grille (Fig. III.2F). Enfin, une gravure sélective métal/siliciure permet de retirer l'excédent de métal qui n'a pas réagi et qui relie électriquement l'électrode de grille avec celles de source et de drain (Fig. III.2G).

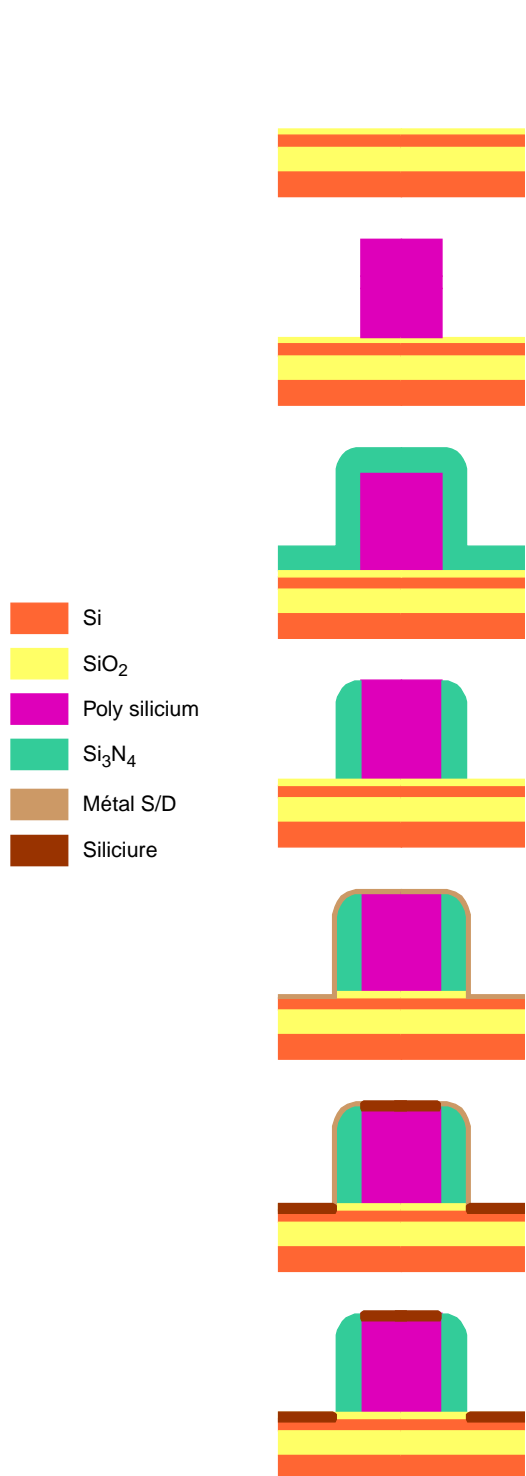


Fig. III.2 A

Formation de l'oxyde de grille

- un substrat SOI fin (une partie du substrat massif, l'oxyde enterré et la fine couche de silicium actif ($t_{Si}=10$ nm) sont visibles) est le substrat de départ.
- un oxyde de grille fin, SiO_2 , est formé par oxydation thermique.

Fig. III.2 B

Dépôt et formation de la grille.

- Le matériau de grille est généralement du polysilicium dopé. Il est déposé pleine plaque puis gravé de manière anisotrope à travers un masque de résine afin d'obtenir des flancs parfaitement verticaux.

Fig. III.2 C

Déposition du matériau pour espaceurs.

- Le matériau utilisé doit être isolant (nitrure Si_3N_4 ou oxyde SiO_2) pour éviter toute fuite entre la grille et la source ou le drain. Le dépôt doit être conforme ainsi l'épaisseur déposée conditionne la largeur de l'espaceur.

Fig. III.2 D

Formation de l'espaceur.

- Le matériau est gravé anisotropiquement afin de former un espaceur de chaque côté de la grille.

Fig. III.2 E

Dépôt du métal pour former les contacts S/D.

- L'oxyde de grille qui recouvre les zones S/D est gravé sélectivement.
- Un dépôt de métal est réalisé pleine plaque. L'épaisseur doit être ajustée suivant le type de siliciuration et l'épaisseur de silicium disponible.

Fig. III.2 F

Activation de la réaction de siliciuration par recuit thermique.

- La réaction de siliciuration seulement sur les régions où le métal est en contact avec le silicium.

Fig. III.2 G

Retrait de l'excès de métal par gravure sélective.

- Une gravure sélective métal/siliciure permet de retirer l'excédent de métal qui n'a pas réagi et qui fait un court-circuit entre les contacts source/drain et la grille.

Fig III.2: Représentation schématique d'un procédé de grille auto-alignée conventionnel en considérant des étapes de gravures et de dépôts idéales.

2- L'oxyde de grille.

2-1. Introduction.

Le diélectrique de grille est aussi un challenge important dans la course à la réduction des dimensions. Traditionnellement, le dioxyde de silicium, natif naturel du Si, est privilégié comme oxyde de grille. Il forme une interface avec le silicium de faible densité de défauts et possède une grande résistivité ($10^{15} \Omega \cdot \text{cm}$), une large bande d'énergie (9 eV) et un très haut point de fusion (1713°C). Il est à la base de la technologie MOSFET et lui a permis de prendre de telles proportions grâce à sa simplicité technologique et donc à son fort attrait économique. Mais, l'oxyde de silicium souffre de sa relativement faible constante diélectrique ($\kappa=3.9$). Comme de grandes capacités diélectriques de grille sont nécessaires pour obtenir les courants de commande recherchés par les générations CMOS nanométriques [2] et que ces capacités sont inversement proportionnelles à l'épaisseur équivalente de l'oxyde, les couches de SiO_2 sont forcément réduites (Fig. III.3) pour être compatibles avec les générations suivantes. Cette réduction de dimensions entraîne de nombreux problèmes comme la possible baisse de fiabilité, la forte augmentation du courant de fuite de grille ou la difficulté de faire croître un oxyde à la fois très fin et uniforme.

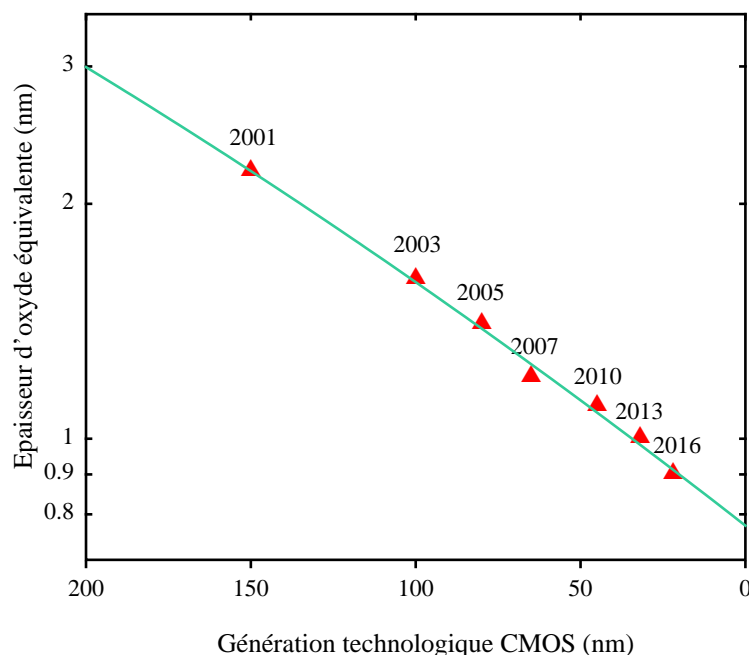


Fig. III.3: Diminution de l'épaisseur d'oxyde équivalent avec la miniaturisation des dispositifs. L'année d'entrée de chaque génération en production est indiquée [3].

L'ITRS'01 (Fig. III.3) préconise un diélectrique à épaisseur équivalente d'oxyde inférieur à 1nm dans moins de 10 ans. Certains matériaux de grille alternatifs, possédant une épaisseur d'oxyde équivalent inférieur à 1 nm, sont alors proposés. On entend par épaisseur d'oxyde équivalent, t_{OXeq} , l'épaisseur du film de SiO_2 ($\kappa=3.9$) avec une valeur de capacité identique à celle donnée par une épaisseur d'un diélectrique alternatif, t_{diel} ($\kappa=\kappa_{diel}$). L'épaisseur équivalente d'oxyde est donnée par la relation suivante: $t_{OXeq}=e_{diel}(3.9/\kappa_{diel})$. Ces matériaux, outre leur constante diélectrique, doivent répondre à différentes propriétés physiques, chimiques ou électriques. Le diélectrique doit être stable sur silicium et ne doit pas se transformer en siliciure (recombinaison du métal avec le silicium) ou en oxyde de silicium (recombinaison de l'oxygène avec le silicium). La qualité de l'interface formée et la morphologie du film sont des paramètres importants, comme la compatibilité du matériau dans le reste du procédé et sa fiabilité. Les propriétés de quelques candidats [4] sont énumérés dans le tableau III.1. Il s'avère difficile de trouver un isolant qui possède toutes les qualités précitées, impliquant que l'intégration de matériau à haute constante diélectrique semble promise à de nombreux obstacles.

Tableau III.1: Quelques candidats au remplacement de SiO_2 possédant une grande constante diélectrique [4].

	SiO_2	Al_2O_3	ZrO_2	HfO_2	TiO_2	Ta_2O_5
constante diélectrique	3.9	9.5	22	20	80	25
bande d'énergie (eV)	9	8.8	4	4.5	3	5
énergie libre de réaction: $Si+MO_x \rightarrow M+SiO_2$ (kcal/mole de MO_x)		63.4	42.3	47.6	7.5	-52.5
stabilité de la phase amorphe	grande	grande	faible	faible	grande	faible
possibilité de formation de siliciure	non	oui	oui	oui	oui	oui
diffusivité de l'oxygène à 950 C (cm^2/s)	2.10^{-14}	5.10^{-25}	10^{-12}	-	10^{-13}	-

Enfin une voie intermédiaire consiste à incorporer une faible quantité d'azote (quelques %) dans l'oxyde afin d'améliorer certaines de ces qualités électriques. La tension de claquage peut être sensiblement augmentée [5] et la diffusion du bore du polysilicium de grille dans le canal peut être mieux contrôlée [6] grâce à l'utilisation d'un gaz oxydant nitruré. Mais ceci peut entraîner des effets négatifs comme la diminution de la mobilité dans le canal [7] et ne résout pas le problème de la constante diélectrique (quasi identique pour de faibles concentrations d'azote).

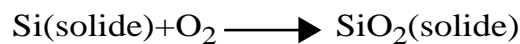
Enfin, l'utilisation d'une grille métallique permet de s'affranchir des problèmes liés à la diffusion des dopants de grille polysilicium.

Bien que des transistors ultra-courts, utilisant une épaisseur de SiO₂ de 0.8 nm, aient déjà été rapportés [8][9], l'épaisseur limite de SiO₂ acceptable se situe entre 1 et 1.3 nm [10] offrant ainsi une possible utilisation de l'oxyde de silicium pour des générations de CMOS de 2010. Nous verrons, au cours de cette étude, la croissance d'oxydes thermiques à faible température (725°C) en utilisant une faible vitesse de croissance et nous caractériserons les courants de fuite obtenus sur ces diélectriques.

2-2 Croissance de l'oxyde.

2-2.1 Modèle de croissance.

Une surface de silicium possède une très grande affinité avec l'oxygène, qui dépend de la température, du temps et de la pression en O₂ [11][12][13]. La réaction chimique décrivant l'oxydation thermique du silicium dans l'oxygène est schématisée par l'équation suivante:



La réaction implique une égale répartition des électrons de valence entre le silicium et l'oxygène. La liaison silicium-oxygène est donc covalente. Durant le procédé d'oxydation, le front de réaction Si/SiO₂ progresse dans le silicium, permettant d'obtenir une interface différente de celle d'origine, moins sensible aux défauts de surface (Fig. III.4). A partir des densités et des masses molaires respectifs de Si et de SiO₂, on peut calculer que lors de la formation d'une épaisseur d'oxyde d, 0.44d de silicium est consommé.

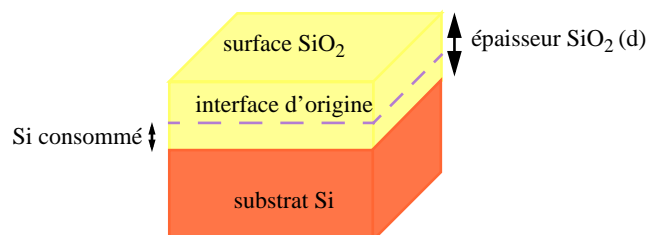


Fig. III.4: Modèle schématique de l'oxydation thermique. L'interface Si/SiO₂ s'enfonce dans le substrat. Le silicium consommé représente 44% de l'épaisseur totale de SiO₂.

Deal et Grove ont établi un modèle basé sur un système de diffusion / réaction qui permet de décrire plus fidèlement le mécanisme d'oxydation thermique du silicium. Ce modèle [14], schématisé par la Fig.III.5, considère l'oxydation du Si comme une réaction entre Si et O à une interface Si/SiO₂ plane (F₃), rendu possible par la diffusion de O₂ à travers le film naissant (F₂). Le flux de phase gazeuse peut être linéairement extrapolé (F₁) afin d'obtenir la distribution de concentration d'oxygène jusqu'à l'interface supérieure de l'oxyde. L'approximation d'état stationnaire permet d'écrire que les trois flux (F₁, F₂, F₃) sont égaux et de déduire la variation d'épaisseur d'oxyde formé en fonction du temps:

$$d^2 + Ad = B(A + \tau) \quad (\text{III.1})$$

avec d épaisseur d'oxyde (μm), B/A constante de croissance linéaire (μm/min), B constante de croissance parabolique (μm²/min), τ le décalage de temps initial correspondant à l'épaisseur d'oxyde initiale d_i:

$$\tau = \frac{d_i^2 + Ad_i}{B} \quad (\text{III.2})$$

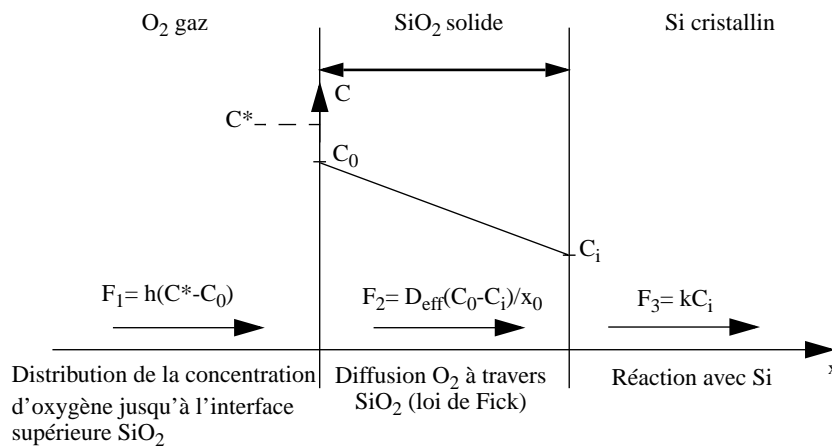


Fig. III.5: Représentation schématique du modèle de Deal et Grove [14]. Les trois flux, F₁, F₂, F₃ représentent la distribution de la concentration d'oxygène respectivement à l'état gazeux dans l'atmosphère proche de la surface avec SiO₂, dans l'oxyde, à l'interface SiO₂/Si (avec h coefficient de transport de la phase gazeuse, C₀ concentration d'oxydant à la surface de l'oxyde, C* concentration à l'équilibre de l'oxydant dans l'oxyde, C_i concentration d'oxydant à l'interface SiO₂/Si et k constante de réaction entre Si et O).

Pour des films épais, ce modèle prédit parfaitement la dépendance parabolique de l'épaisseur en fonction du temps d'oxydation car cette croissance est limitée par la diffusion de

l'oxygène dans l'oxyde. Par contre pour les oxydes plus fins, le modèle n'arrive pas à traduire la phase initiale de croissance très rapide. La présence d'un oxyde initial, estimé à 30 nm [15], est obligatoire pour obtenir une description correcte de la cinétique d'oxydation. Par la suite, l'accent a été mis sur une description plus précise des mécanismes de croissance régissant les oxydes ultra fins. Premièrement, l'interface de réaction n'est pas idéalement plate et abrupte car des réactions peuvent intervenir loin de l'interface [16][17] ou des couches de sous oxydes (SiO) peuvent être formées près de l'interface Si/SiO₂ [18][19]. Deuxièmement, la condition de régime permanent n'est pas applicable car lors des premiers moments de l'oxydation, les concentrations des espèces sont dépendantes du temps [20]. A partir de ces nouvelles considérations, Gorantla [21] décrit l'oxydation thermique en se basant sur la théorie de la cinétique chimique, c'est-à-dire en écrivant les réactions et diffusions des espèces présentes dans le système sous forme d'équation différentielles. Krzeminski [22] complète ce modèle en ajustant physiquement les paramètres de diffusion chimique et en améliorant la résolution numérique. Ceci permet d'obtenir une bonne description des cinétiques d'oxydations de films ultra-fins (Fig. III.6).

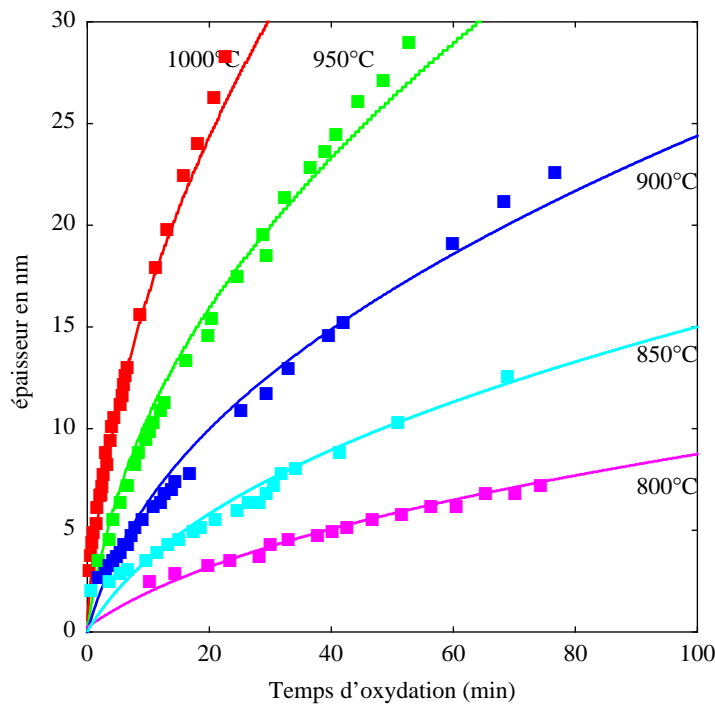


Fig. III.6: Modèle de Krzeminski [22], basé sur la théorie de la cinétique chimique, validé sur les points expérimentaux de Massoud [15].

2-2.2 Fabrication d'oxyde ultra fins par oxydation thermique.

La qualité de l'oxyde formé n'est pas seulement dépendant de la méthode de fabrication utilisée mais aussi de la préparation de la surface avant la réalisation et des différentes étapes précédent ou suivant l'oxydation en elle même.

2-2.2.1 Préparation de la surface.

Le nettoyage des tranches de silicium avant l'oxydation est une étape importante car la qualité de la surface peut conditionner les propriétés structurales (homogénéité, rugosité) et électriques (états d'interface, contaminations). Le nettoyage standard utilisé débute par un bain d'acide sulfurique: eau oxygénée (5:2) pendant 10 minutes servant à éliminer les résidus organiques et les acides gras. Un fin oxyde chimique se forme à la surface de l'échantillon. Le substrat est rincé pendant 10 minutes dans un bain d'eau déionisé (EDI) à débordement. Puis l'oxyde de surface est gravé dans un bain d'acide fluorhydrique (1%) pendant 25 secondes pour laisser une surface parfaitement hydrophobe. Les particules et métaux contaminants prisonniers dans l'oxyde chimique sont ainsi éliminés. Finalement, l'échantillon est à nouveau rincé dans l'EDI.

2-2.2.2 Description du procédé.

Le four d'oxydation utilisé durant ces expériences est un four classique horizontal. Le processus d'oxydation de base est schématisé en Fig. III.7. Il peut être décomposé en quatre étapes. Une rampe de montée de $1.67^{\circ}\text{C}/\text{min}$ permet de passer de la température d'entrée (675°C) à la température d'oxydation (725°C) sous une atmosphère à teneur d'oxygène contrôlée (0.2 l/min O_2 , 2 l/min N_2). Cette rampe, dite de préoxydation, tient un rôle important dans les propriétés de l'oxyde formé, point qui sera détaillé dans les paragraphes suivants. La deuxième étape est le palier d'oxydation proprement dit (2 l/min O_2), dont la durée variable (de 0 à 90 min) permet de décrire une gamme d'épaisseurs d'oxyde. Enfin, une rampe de descente sous atmosphère inerte (2 l/min N_2) précède un recuit de stabilisation à 675°C pendant 30 min qui a pour but d'améliorer le comportement électrique de l'oxyde [23]. Il est important de préciser que toutes les oxydations sont réalisées sous pression atmosphérique ($P=1 \text{ atm}$).

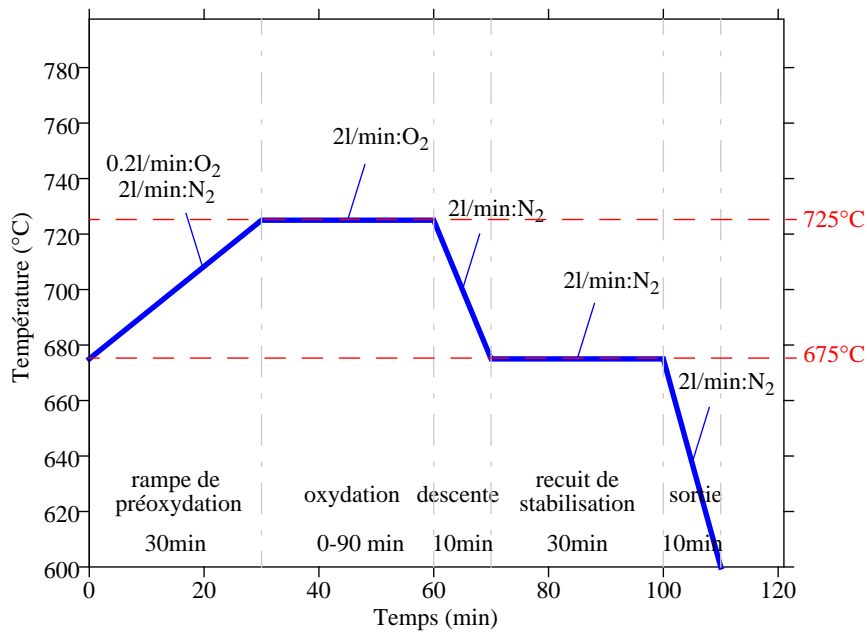


Fig. III.7: Description du procédé d'oxydation comprenant une rampe de montée de préoxydation, le palier d'oxydation, la rampe de descente et le recuit de stabilisation.

2-2.2.3 Cinétiques expérimentales de croissances.

Puisque le mécanisme prépondérant, la diffusion des espèces, est un phénomène activé thermiquement, la température d'oxydation est le premier paramètre affectant la vitesse de croissance d'un oxyde thermique. La Fig. III.8 montre l'évolution de l'épaisseur d'oxyde formé en fonction de la température en fixant le temps d'oxydation à 90 minutes. Pour atteindre l'objectif fixé dans cette étude, i.e la croissance d'oxyde <3nm, il est primordial de travailler à une température relativement basse. Ainsi, la température de référence est fixée à 725°C.

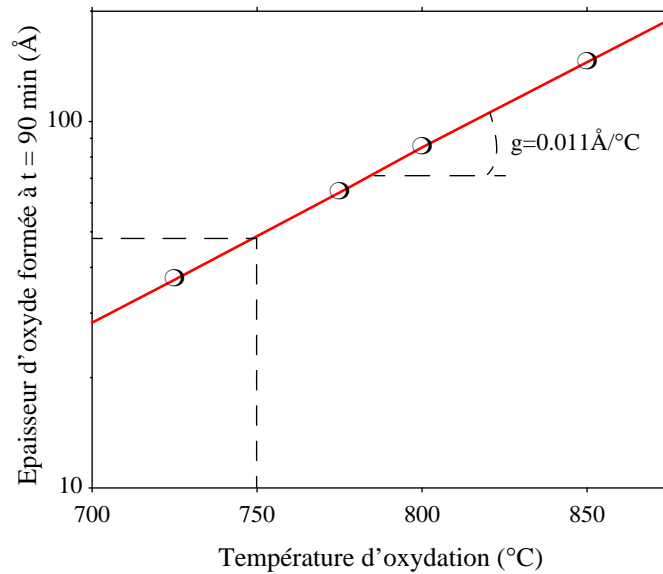


Fig. III.8: Variation de l'épaisseur d'oxyde formé pour un temps d'oxydation fixé à 90 min en fonction de la température.

Une série d'expériences à 725°C a été réalisée avec différents temps de palier d'oxydation [10, 25, 30, 45, 60, 90]. L'oxyde formé au cours de la rampe de préoxydation a une épaisseur de 15.6 Å. L'oxydation proprement dite débute avec cet oxyde initial. La Fig. III.9 superpose les points expérimentaux avec les différents modèles évoqués paragraphe 2-2.1. L'accord entre la cinétique expérimentale et le modèle de Krzeminski [22] est excellent. L'erreur constatée est inférieure à 2Å pour l'ensemble des points expérimentaux. De plus, on observe que la cinétique n'est pas exactement linéaire mais plutôt parabolique. Afin de comparer ce modèle, nous calculons la cinétique prévue avec le modèle de Deal et Grove [14] et son extension pour les oxydes fins proposée par Massoud [15]. Tous les calculs ont été exécutés avec le simulateur de procédé DIOS (Version 6.0). Il faut noter que le simulateur impose une épaisseur constante d'oxyde au début de l'oxydation qui est 2.2 nm dans le cas du modèle Deal et Grove et 1.5 nm dans le cas du modèle de Massoud. Même si la gamme d'épaisseur d'oxyde (quelques nanomètres) prévue par les deux modèles est correcte, le taux de croissance est clairement sous-estimé dans les deux cas et la cinétique expérimentale n'est pas aussi lente et linéaire. Ceci confirme les limites de ces modèles, exposées au paragraphe 2-2.1, pour décrire la croissance d'oxyde de très faible épaisseur.

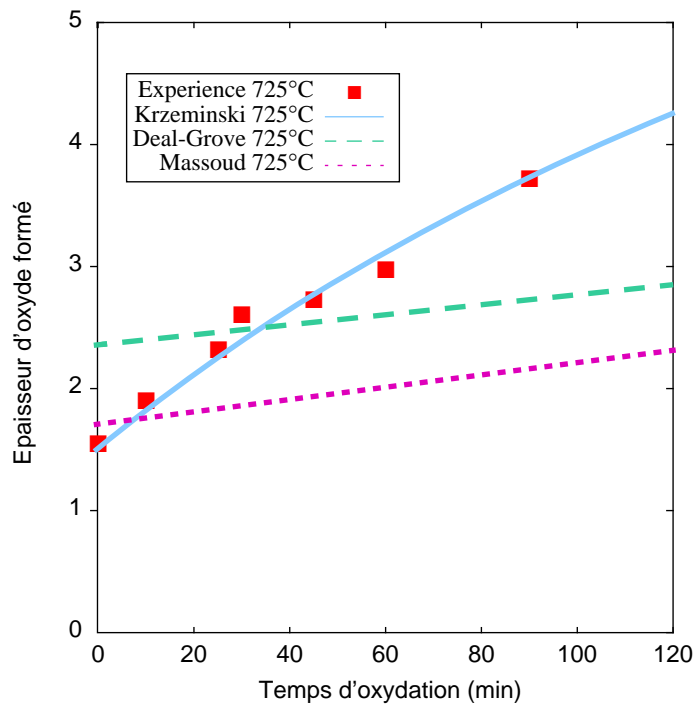


Fig. III.9: Cinétique de croissance expérimentale de SiO_2 à 725°C est parfaitement décrite par le modèle de Krzeminski [22] alors que les limites des modèles de Deal et Grove [14] et de Massoud [15] sont clairement visibles.

2-2.2.4 Epaisseurs et homogénéités.

Les mesures d'épaisseurs obtenues au cours de cette étude ont été réalisées par ellipsométrie. Cette méthode non destructive est basée sur la mesure des changements d'états de polarisation d'un faisceau lumineux réfléchi par la surface d'un échantillon, illustré par la Fig. III.10. Les paramètres mesurés sont les angles ellipsométriques Ψ et Δ , définis par le ratio:

$$R_{\perp}/R_{\parallel} = \tan(\Psi)\exp(i\Delta)$$

où R_{\perp} et R_{\parallel} sont les coefficients de réflexion de Fresnel pour la lumière polarisée perpendiculairement et parallèlement au plan d'incidence. Ces coefficients de réflexion sont déterminés grâce aux propriétés optiques et structurales de l'échantillon à analyser. Dans notre configuration, ces paramètres, Ψ et Δ , sont mesurés en fonction de la longueur d'onde. Cette technique est appelée ellipsométrie spectroscopique. Elle permet d'extraire l'épaisseur et l'indice de réfraction de la couche mesurée contrairement à une configuration à simple longueur d'onde (longueur d'onde fixée généralement à 633nm) où la connaissance de l'indice de réfraction est impérative pour l'extraction de l'épaisseur.

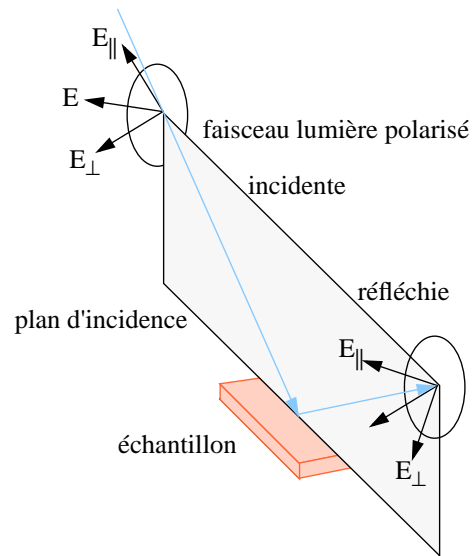


Fig. III.10: Principe schématique d'une mesure ellipsométrique où le faisceau de lumière polarisée est modifié lors de sa réflexion sur l'échantillon.

Pour valider les résultats obtenus par ellipsométrie, des sections de coupe d'oxyde ont été observées par microscopie électronique à transmission (Fig.III.11). Les deux oxydes caractérisés ont été réalisés à 725°C pendant 10 minutes (Fig.III.11 gauche) et 45 minutes (Fig.III.11 droite) avec une rampe de préoxydation. Une faible épaisseur de polysilicium est déposé sur l'oxyde afin d'obtenir une meilleure visibilité de ce dernier. Le tableau III.2 compare la mesure d'épaisseur obtenue avec les deux techniques précédemment citées sur deux oxydes thermiques. Un excellent accord apparaît entre les deux méthodes de mesure d'épaisseur.

Tableau III.2: Validation des mesures réalisées par ellipsométrie par des sections MET.

Condition de croissance			Ellipsométrie		MET	
Rampe	Température	Temps	Epaisseur	Précision	Epaisseur	Précision
N ₂ /O ₂	725°C	10 min	18.88 Å	0.30 Å	19 Å	2 Å
N ₂ /O ₂	725°C	45 min	27.10 Å	0.31 Å	27 Å	2 Å

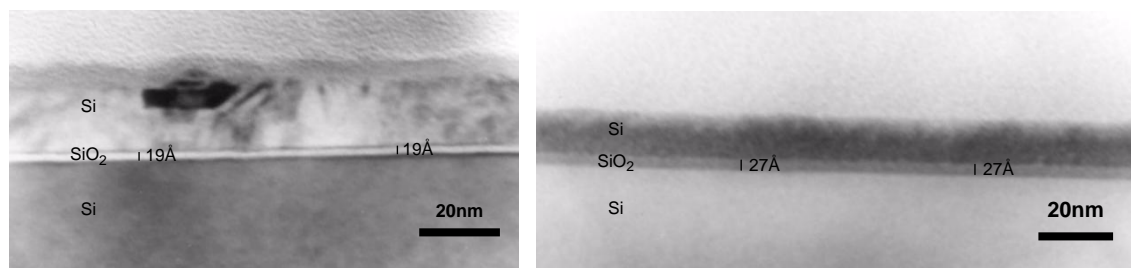


Fig. III.11: Section MET d'oxyde thermique obtenu à 725°C pendant 10 minutes (gauche) et 45 minutes (droite) avec une rampe de préoxydation.

Afin d'assurer une plus grande homogénéité et reproductibilité, les substrats sont disposés sur le porte substrat avec une orientation bien définie (le méplat en haut) et avec un nombre de plaquette identique pour permettre une répartition similaire des flux gazeux d'un essai à l'autre (Fig.III.12). La plaquette test se trouve au centre du porte substrat avec un nombre équivalent de plaquette devant et derrière elle.

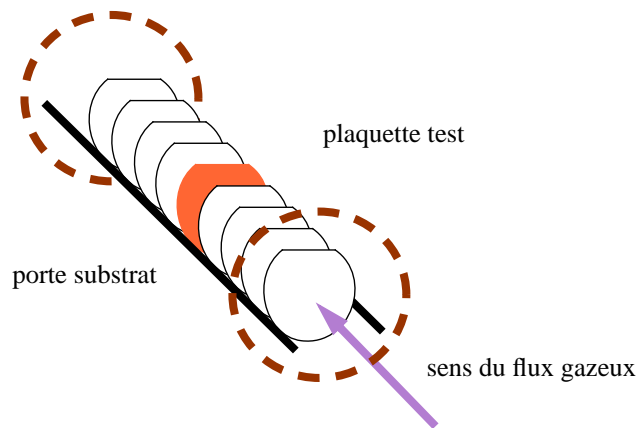


Fig. III.12: Descriptif de l'organisation des plaquettes dans le tube horizontal en vue d'améliorer l'homogénéité et la reproductibilité.

Le tableau III.3 synthétise la variation d'épaisseur d'oxyde par rapport au centre de la plaquette, en fonction de sa position sur le substrat, pour différents oxydes formés. Pour le procédé classique commençant par une rampe de préoxydation, on note une dispersion faible, globalement inférieure à 2%. Un écart proche de 5% pour les mesures à proximité du méplat peuvent s'expliquer par une répartition différente des flux gazeux dans cette zone. En effet, le flux n'est pas affecté par la présence du porte échantillon et la géométrie particulière liée au méplat peut accentuer la circulation des gaz.

Le procédé classique décrit paragraphe 2-2.2.2 a été modifié en remplaçant la rampe de préoxydation par une simple rampe sous atmosphère neutre (N_2). Des disparités d'épaisseurs apparaissent, même dans des zones où les flux gazeux doivent être homogènes (16.5% d'écart d'épaisseur pour le bas du substrat par rapport au centre). Ceci souligne l'importance de cette première oxydation qui, commençant à une température plus basse et sous une pression partielle d' O_2 plus faible, possèdent une vitesse de croissance initiale raisonnable permettant une meilleure homogénéité de l'épaisseur d'oxyde.

Tableau III.3: Variation de l'épaisseur d'oxyde suivant la position sur le substrat.

Condition de croissance			Epaisseur	Variation par rapport au centre				
Rampe	Température	Temps		Centre	Bas (méplat) (2)	Haut (3)	Droite (4)	Gauche (5)
N ₂ /O ₂	725°C	0 min.	15.304Å		5.9%	-0.59%	1.17%	1.83%
N ₂ /O ₂	725°C	30 min.	25.93Å		4.9%	-0.73%	0.46%	1%
N ₂ /O ₂	725°C	60 min.	29.55 Å		5.2%	-1.01%	2.03%	1.69%
N ₂	725°C	45 min.	26.25Å		4.68%	16.5%	-1.1%	1.8%

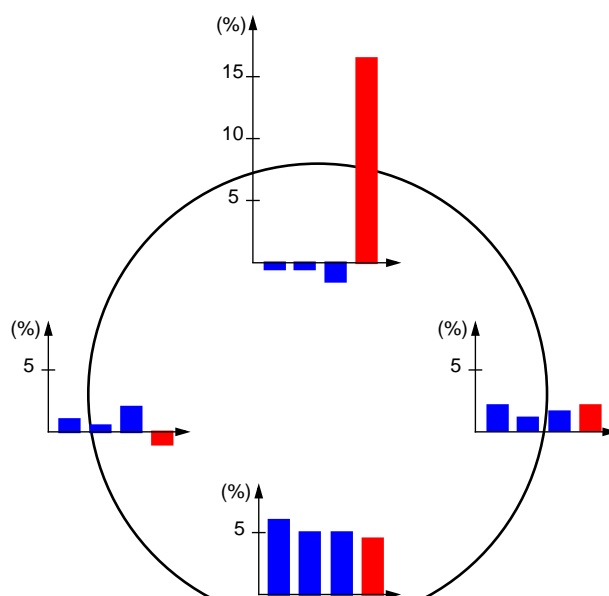


Fig. III.13: Variation de l'épaisseur d'oxyde suivant la position sur le substrat. *En bleu, les oxydes obtenus avec la rampe de préoxydation (t= 0min, 30 min, 60 min) et en rouge un oxyde obtenu sans rampe de préoxydation.*

Outre l'homogénéité de l'épaisseur d'oxyde obtenue par le contrôle de la vitesse de croissance, la rampe de préoxydation peut améliorer les états d'interface en oxydant sous atmosphère azotée [4]. Une analyse XPS de l'oxyde créé par la rampe initiale (15 Å) montre l'absence d'azote dans la couche de diélectrique formée ainsi qu'à l'interface Si/SiO₂. Ceci n'a rien de surprenant puisque que des températures élevées (> 1200°C) sont requises pour dissocier la molécule d'azote et activer la réaction avec le silicium. De plus, lorsque les espèces N et O se trouvent en compétition (cas d'oxydation sous NO ou N₂O), l'affinité de l'oxygène avec le silicium est très grande rendant l'incorporation d'azote très minime, de l'ordre de quelques pour cent [24].

Enfin, le dépôt de contaminant parasite lié à la présence de matériaux organiques volatiles dans l'enceinte d'une salle propre a déjà été observé à la surface de l'oxyde [25][26]. Dans le

cas d'oxyde ultra-fin, cette contamination entraîne une surestimation de l'épaisseur par mesure optique [27]. La présence de composé organique entre l'oxyde et le matériau de grille peut dégrader les caractéristiques électriques, notamment en endurance au claquage [26][27].

Pour évaluer l'effet des contaminations organiques sur l'épaisseur d'oxyde, des mesures optiques par ellipsométrie ont été réalisées toutes les 15 minutes sur deux oxydes de 1.5 et 2.5 nm pour une durée totale de 100 minutes. L'échantillon est soumis au cas le plus défavorable: il reste pendant toute l'expérience sous atmosphère de salle blanche sans retour dans la boîte de protection entre chaque mesure. L'épaisseur additionnelle en fonction du temps est présentée Fig. III.14. On peut noter que cette surestimation atteint entre 2.5 et 3.5 Å après 100 minutes. Bidaud [28] a analysé cette pollution de surface et découvert de nombreux composés organiques comme de l'hexaméthyl-disiloxane (composant certaines résines lithographie), de particules volatiles provenant du dégazage des boîtes de stockages (hydrocarbures haliphatiques). Ces particules sont, soit présentes en quantité non négligeables dans l'atmosphère ambiante de la salle propre, soit possèdent une affinité particulière avec la surface du substrat. Pour minimiser les risques de pollution de nos échantillons, le temps d'exposition entre la croissance de l'oxyde et le dépôt du métal de grille est réduit au minimum.

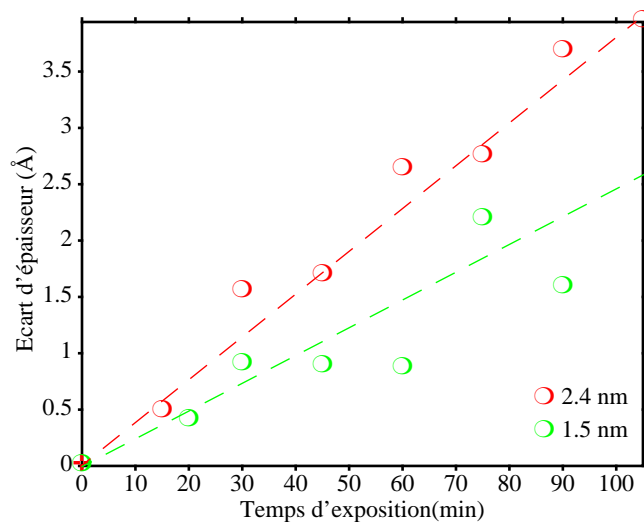


Fig. III.14: Evolution de l'épaisseur d'oxyde soumis à une exposition directe à l'atmosphère de salle propre. Cette expérience est réalisée sur deux oxydes de 1.5 et 2.4 nm.

2-3. Caractérisation des courants de fuites des oxydes réalisés.

2-3.1 Courants de fuites d'oxydes minces.

Le champ électrique dans l'oxyde E_{OX} , résultant de l'application d'une tension V_{OX} sur ce même oxyde ($E_{OX}=V_{OX}/t_{OX}$), provoque le passage d'un courant à travers l'oxyde. Ce courant provient d'électrons, qui par un mécanisme quantique tunnel, traversent la barrière de potentiel se trouvant à l'interface Si/SiO₂, de la bande de conduction du silicium à la bande de conduction de SiO₂, comme l'illustre la Fig. III.15. Quand l'effet tunnel intervient à travers une barrière triangulaire (Fig. III.15 gauche), le mode de conduction est appelé tunnel de Fowler-Nordheim (FN) [29] et la densité de courant mesurée s'exprime par la relation bien connue:

$$J_{FN} = A \cdot E_{OX}^2 \cdot \exp\left(\frac{-B}{E_{OX}}\right) \quad (\text{III.3})$$

où A et B sont deux constantes usuellement fixées.

Pour de plus fines épaisseurs d'oxydes, les électrons n'entrent plus dans la bande de conduction de l'oxyde mais sont injectés directement de l'anode à la cathode, comme représenté Fig. III.15 droite. Pour des générations CMOS utilisant des épaisseurs d'oxyde inférieur à 3 nm, l'effet tunnel direct est le mécanisme de transport de courant qui prédomine.

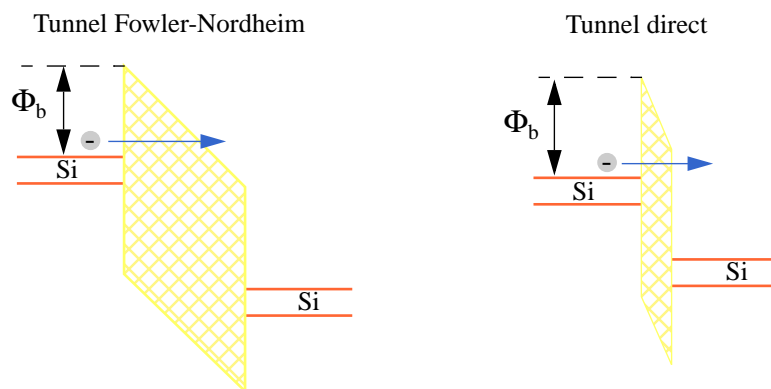


Fig. III.15: Illustration schématique des mécanismes tunnels direct (droite) et de Fowler-Nordheim (gauche) d'un électron à travers une barrière de potentiel d'un oxyde de hauteur Φ_b .

2-3.2 Résultats et analyses.

Sur les oxydes thermiques réalisés sur des substrats de type p faiblement dopés (5-10 Ωcm), des plots d'aluminium (200 nm) ont été évaporés à travers un masque métallique. Les surfaces des contacts sont de 0.01 cm^2 et de 0.02 cm^2 . Les capacités Al/SiO₂/p-Si ont été caractérisées par des mesures courant-tension afin d'évaluer les courants de fuites, les tensions de claquage et les états d'interfaces par des mesures de stress en courant ou en tension constante. Une attention particulière est placée sur le comportement de l'oxyde en mode d'accumulation pour rester dans l'optique du fonctionnement du transistor MOS Schottky ALSB.

Des caractérisations ont été réalisées sur des oxydes d'épaisseurs de 15.6 \AA (Fig.III.16 gauche) et 25.6 \AA (Fig.III.16 droite). Les tensions négatives sont représentatives du fonctionnement de la diode en mode d'accumulation et les tensions positives en inversion. Chaque courbe correspond à une mesure faite sur une diode non caractérisée préalablement. On peut noter la bonne reproductibilité des mesures associées à une bonne homogénéité de l'épaisseur de l'oxyde formé. Le courant de fuite en inversion est faible (entre 10^{-6} et 10^{-7} A/cm^2), quelque soit l'épaisseur de l'oxyde, car associé à un courant de porteurs minoritaires dans le substrat. Le mécanisme d'injection par courant tunnel direct est observé en mode d'accumulation qui est le mode de fonctionnement du transistor MOS Schottky ALSB.

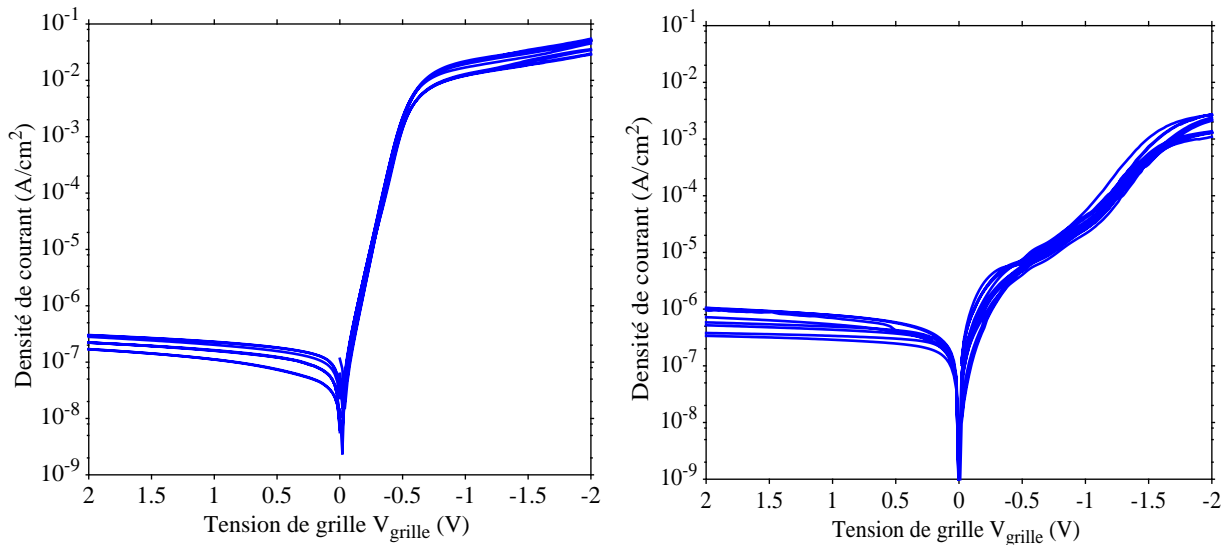


Fig. III.16: Evolution de la densité de courant de fuite en fonction de la tension de grille en mode d'accumulation ($V_{grille} < 0$) et de déplétion ($V_{grille} > 0$) pour des oxydes réalisés avec le procédé conventionnel d'épaisseur 15.3 \AA (graphique de gauche) et 25.6 \AA (graphique de droite).

La Fig. III.17 présente l'évolution du courant de fuite en accumulation pour des oxydes d'épaisseurs comprises entre 27 Å et 15.6 Å. Ainsi, la densité de courant augmente lorsque l'épaisseur de diélectrique diminue avec une variation de plus de 4 décades à 1 volt entre une épaisseur de 27 Å et 15.6 Å. La limite acceptable d'épaisseur de SiO₂ est atteinte approximativement lorsque le courant tunnel entre la grille et le canal est égal au courant de fuite source/drain à l'état bloqué (~ 1nA/μm). Dans ces conditions, la densité de courant acceptable pour dispositif opérant à 1V est 1A/cm². Cette limite est atteinte dans le cas d'un n-MOS pour des épaisseurs d'oxyde de 16 Å [30]. La densité de courant de l'oxyde de 15.6 Å mesurée à 1 V est presque 3 décades inférieures à la limite de densité de courant acceptable. Parce que la hauteur de barrière pour un trou et pour un électron est différente et parce que les trous ont des probabilités d'injections tunnel plus faibles que les électrons, la limite acceptable de courant de fuite est atteinte plus tôt pour un dispositif n-MOS que p-MOS [31].

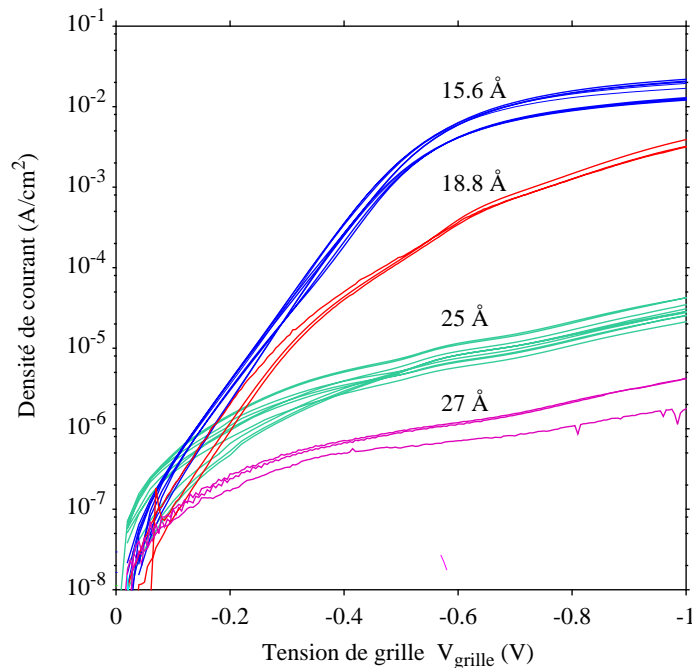


Fig. III.17: Evolution de la densité de courant de fuite en fonction de la tension de grille en mode d'accumulation ($V_{grille} < 0$) pour des oxydes réalisés avec le procédé standard d'épaisseur 15.3 Å, 18.8 Å, 25.6 Å, 27 Å.

Enfin, la mesure des courants de fuite d'un oxyde réalisé sans une rampe initiale de préoxydation est présentée Fig.III.18. Il apparaît clairement une forte dispersion de mesures, avec des écarts de densité de courant de plus d'une décade en mode d'accumulation et de plus de 5 décades en mode d'inversion. Cette disparité peut être directement reliée à la très faible homogénéité d'épaisseur d'oxyde résultant du procédé utilisé, consolidant les mesures ellipsométriques.

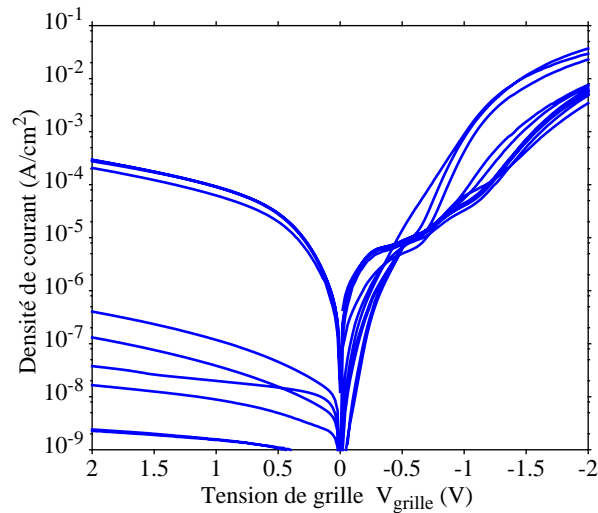


Fig. III.18: Evolution de la densité de courant de fuite en fonction de la tension de grille en mode d'accumulation ($V_{grille} < 0$) et de déplétion ($V_{grille} > 0$) pour un oxyde de 26 Å réalisé sans rampe de préoxydation. La forte dispersion d'épaisseur d'oxyde est confirmée.

2-3.3. Conclusion.

Ce chapitre a proposé un procédé de croissance d'oxyde thermique à 725°C d'épaisseur comprise entre 1.6 et 2.9 nm. L'utilisation d'une rampe de préoxydation permet de contrôler la phase initiale de croissance et d'obtenir des épaisseurs homogènes sur un substrat 3 pouces. Les courants de fuite mesurés en accumulation sont faibles, inférieurs à 10^{-2} A/cm² à 1V pour un oxyde de 15.6 Å.

3- Choix d'une grille métallique en tungstène et intégrabilité dans un procédé classique.

3-1. Introduction.

La déplétion de la grille est une limitation majeure des technologies MOS conventionnelles qui utilisent une approche duale de grille en polysilicium. Cet effet augmente l'épaisseur

électrique du film de diélectrique de grille. La conséquence directe est une diminution de la capacité de grille qui à son tour entraîne une dégradation du courant de commande. L'utilisation d'une grille métallique représente une approche attractive pour le CMOS ultime parce qu'elle n'est pas affectée par le phénomène de déplétion. Dans le régime haute fréquence, la résistance de grille est également connue pour être une limitation majeure de la fréquence maximum d'oscillation (F_{max}) qui constitue une figure de mérite importante des transistors MOSFET [1][2]. Au premier ordre, F_{max} peut être exprimé par:

$$F_{max} \sim \frac{F_t}{2\sqrt{g_{ds}(R_g + R_s) + 2\pi F_t R_g C_{gd}}} \quad (III.4)$$

où R_g est la résistance de grille, R_s est la résistance de source, les g_{ds} est la conductance, C_{gd} est la la capacité de grille-drain et le F_t est fréquence de coupure exprimée par:

$$F_t \sim \frac{g_m}{2\pi\sqrt{C_{gs}^2 + C_{gb}^2}} \quad (III.5)$$

où g_m définit le transconductance tandis que C_{gs} et C_{gd} sont les capacités de grille-source et de grille-drain, respectivement. Par conséquent, un autre avantage de la grille métallique est la diminution de la résistance de la grille qui participe également à l'amélioration du fonctionnement en fréquence. Un empilement de grille du type tungstène/oxyde thermique mince/silicium massif (W/SiO₂/Si) possède beaucoup d'avantages notamment une stabilité thermique élevée, une faible résistivité et une compatibilité avec les procédés CMOS [32][33]. Cependant, il est difficile d'obtenir une tension de seuil suffisamment basse pour des transistors MOSFET de type n et p avec un canal de surface (CS) sur un substrat massif parce que le tungstène possède une fonction de travail dont la valeur est proche de la moitié du gap de silicium (midgap). Une alternative consiste à associer un canal enterré (CE) [5] avec une grille midgap pour ajuster la tension de seuil sur une valeur plus basse mais, en contrepartie, cette approche dégrade la pente sous le seuil et le courant de commande [34]. Dans le cadre de cette étude, l'architecture de l'ALSB apporte une amélioration significative grâce à son fonctionnement sur un film mince faiblement dopé (SOI). En utilisant ce type de substrat actif, la tension de seuil devient indépendante de la charge de déplétion. Ce point est clairement illustré en Fig. III.19 qui montre la sensibilité de la tension de seuil au niveau de dopage du film SOI pour une grille métallique midgap et pour des grilles polysilicium plus conventionnelles de type n et de type p. Les modes d'opération en inversion (partie de gauche) et en accumulation (partie de droite) sont considérés. Ces résultats ont été obtenus par

des simulations numériques de dispositif dans le cas d'un transistor MOSFET de canal long. Pour un niveau de dopage compris entre 10^{14} - 10^{17} cm^{-3} , la charge de déplétion du film SOI demeure négligeable quelque soit la valeur considérée de la fonction de travail de la grille. Afin d'obtenir une tension de seuil intéressante (par exemple $V_{Tn}=-V_{Tp}=370$ mV), le dopage du canal doit être de 5.10^{18} cm^{-3} lorsque des grilles conventionnelles en polysilicium n^+ ou p^+ sont utilisées pour les modes n et p, respectivement. Dans cette gamme de dopage, une large partie de la tension de grille supporte la charge de déplétion (Q_{dep}). Ceci signifie également que toutes variations d'épaisseur du film SOI (dans ce cas $t_{Si}=10$ nm) ou toutes les fluctuations locales dans le dopage peuvent, de manière significative, affecter la quantité Q_{dep}/C_{ox} et donc entraîner une dispersion importante de la tension de seuil. En revanche, une valeur pratique de V_{Tn} et V_{Tp} peut être obtenue avec un canal faiblement dopé (potentiellement intrinsèque) lorsqu'une grille midgap est utilisée. Ainsi, on s'attend à ce qu'une grille en tungstène s'affranchisse des effets de fluctuation de déplétion de grille et de charge de déplétion parce que la tension de seuil est essentiellement déterminée par la différence entre la valeur de la fonction de travail du matériau de grille et celle du canal de silicium.

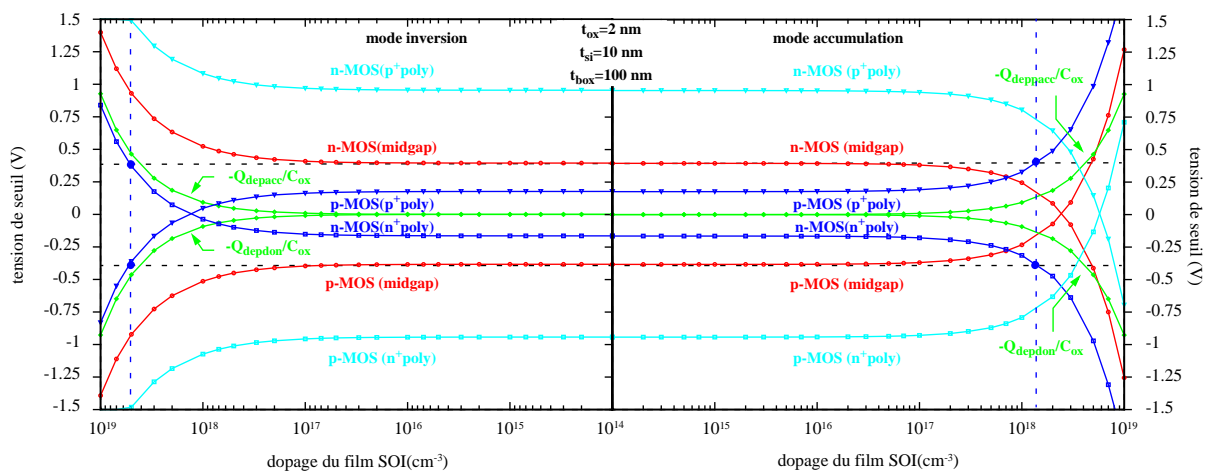


Fig. III.19: Sensibilité de la tension de seuil avec le niveau de dopage du film SOI pour une grille de midgap et pour des grilles polysilicium plus conventionnelles de type n et p. Les modes d'opération en inversion (partie gauche) et en accumulation (partie droite) sont considérés.

3-2 Impact des traitements thermiques sur les caractéristiques électriques et physiques du tungstène.

3-2.1 Réalisation des expériences.

Afin d'évaluer l'impact des différents traitements thermiques se succédant lors de la réalisation du transistor, une structure reproduisant la grille métallique a été soumise à différents recuits [35]. La structure est un empilement, constitué d'un substrat massif de silicium (100) (type p dopé 4-10 Ωcm) thermiquement oxydé en atmosphère sèche et une grille de tungstène de 35 nm. L'oxydation thermique est réalisée à 725°C pendant 60 minutes selon le procédé décrit dans le paragraphe 2-2.2.2 pour obtenir un oxyde de ~3 nm. Le film de tungstène de 35 nm est déposé par évaporation. L'empilement est recuit à 800°C pendant 1, 2, 3, 5 ou 10 minutes. Un simple recuit est conduit à 900°C pendant 5 minutes. Le traitement thermique est effectué dans un four de recuit flash Jipelec sous une atmosphère azotée contrôlée.

3-2.2 Caractérisation électrique.

La résistivité des échantillons recuits dans différentes conditions est mesurée en utilisant une technique conventionnelle de mesures 4 pointes [36]. La Fig. III.27 montre la résistivité de la grille de W en fonction du temps de recuit dans des conditions isothermes. On peut noter que la résistivité du tungstène déposé sans traitement thermique est de 200 $\mu\Omega\text{cm}$ qui est différente de la résistivité extrapolée à 0 s, égale à 122 $\mu\Omega\text{cm}$. Cette dernière valeur devrait correspondre à la résistivité de la couche à la fin de la rampe de chauffage, juste avant de commencer le recuit isotherme. Une diminution de la résistivité du film peut être attribuée à un changement de la microstructure de la couche de tungstène. Après dépôt, le film métallique mince se trouve en première approximation dans une phase amorphe, caractérisée par une distribution de grains de petites tailles entraînant une grande superficie totale de joints de grain. Ceci implique une énergie de surface très élevée accumulée dans les joints de grain. Le système, tendant à minimiser ces énergies, va favoriser une croissance de grain qui diminue la surface totale de joints de grain. La croissance de grain est généralement décrite comme un processus thermiquement activé comportant la diffu-

sion de joints de grain. Récemment, Ederth [37] a démontré que le modèle développé par Mazurin [38] donne un accord remarquable entre la taille de grain et la résistivité d'un film d'or recuit sur une gamme de températures. L'expression de la relation de Mazurin est donnée par:

$$D(t) = D_m + (D_0 - D_m) \exp\left(-\left(\frac{t}{\tau}\right)^{1/2}\right) \quad (\text{III.6})$$

où le D_m est le grain maximum et D_0 est la taille de grain à $t = 0$ de l'isotherme et $\tau = \tau_0 \exp(E_a/kT)$ est le temps de relaxation du système classiquement lié à l'énergie d'activation E_a . La résistivité de tungstène peut être dérivée en considérant le modèle bien établi de Mayadas-Shatzkes [32]. D'après cette théorie, la résistivité est régie par la diffusion des électrons au niveau des joints de grain exprimée par:

$$\rho = \rho_g \left(1 + \frac{3}{2} \frac{R}{1 - R} \frac{\lambda_0}{D}\right) \quad (\text{III.7})$$

où ρ est la résistivité totale, ρ_g est la résistivité dans le grain, R est le taux de dispersion sur la surface, λ_0 est un libre chemin moyen et D est la taille de grain. Quand la taille de grain devient comparable au libre parcours moyen des électrons, chaque grain peut être considéré comme un puits de potentiel où la conductivité est due au passage des porteurs par effet tunnel à travers les joints de grain. Pour des tailles plus grandes que celle du grain, la résistivité est finalement régie par la résistivité propre du grain. Considérant que la conductivité dans un matériau nanocristallin est intimement liée aux modifications structurales aux joints de grain, la résistivité, dépendant du temps, suivra le même type de comportement que la taille de grain:

$$\rho(t) = \rho_m + (\rho_0 - \rho_m) \exp\left(-\left(\frac{t}{\tau}\right)^{1/2}\right) \quad (\text{III.8})$$

La Fig. III.20 prouve qu'un excellent accord est obtenu entre le modèle précédent et les résistivités mesurées à 800°C. Le temps de relaxation a été estimé à 51.2 s avec $R_0 = 122 \mu\Omega\text{cm}$ et $\rho_m = 35 \mu\Omega\text{cm}$.

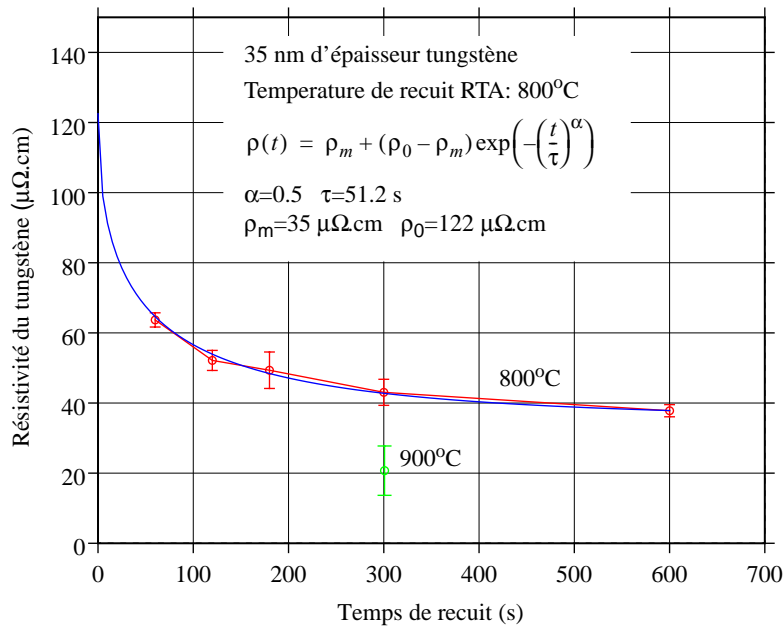


Fig III.20: Résistivité de la grille de W en fonction du temps de recuit dans des conditions isothermes. Le film de tungstène de 35nm d'épaisseur est déposé sur un oxyde thermique mince (3 nm). La résistivité de W est 200 μΩ.cm. La résistivité extrapolée à 0 s, égale à 122 μΩ.cm, correspond à la valeur obtenue à la fin de la rampe de chauffage et est donc différente de la résistivité sans aucun recuit.

3-2.3 Caractérisation physique.

3-2.3.1 Echantillons associés et méthode de caractérisation.

Les échantillons de tungstène les plus appropriés choisis pour une caractérisation physique approfondie sont les suivants: (a) tungstène déposé sans recuit, (b) recuit à 800°C pendant 5 minutes, (c) recuit à 800°C pendant 10 minutes et (d) recuit à 900°C pendant 5 minutes. Les caractérisations sont effectuées en utilisant: i) l'imagerie AFM (Atomic Force Microscopy) en mode de contact intermittent (Nanoscope III) utilisant un cantilever de silicium dont la pointe présente un rayon de courbure de 20 nm, ii) l'imagerie MEB en vue aérienne et iii) l'imagerie MET en coupe.

3-2.3.2 Analyses et interprétations.

3-2.3.2.a Echantillon (a): échantillon de W de 35 nm non recuit.

Les mécanismes de formation d'une couche mince par évaporation sont assez bien connus et peuvent être décrits par un développement de type îlots (Volmer-Weber)[39]. Lorsque les espèces arrivent au contact du substrat, elles forment des amas thermodynamiquement instables, qui peuvent diffuser sur la surface et rentrer en contact avec d'autres amas. Ainsi ces îlots vont continuer à croître et en atteignant une taille critique vont devenir thermodynamiquement stables: le seuil de nucléation est franchi. Tout en poursuivant leur croissance, les îlots vont commencer à s'agglomérer les uns aux autres: c'est le début de la phase de coalescence. Les régions non recouvertes par de la matière deviennent de moins en moins nombreuses en taille et en nombre. Enfin une couche continue se forme par remplissage des espaces entre les îlots.

L'échantillon de tungstène non recuit présente une topographie relativement plate avec une hauteur maximum de 6.9 nm et une rugosité de RMS de 0.98 nm comme le montre les Fig. III.21 (a) et III.22 (a). La couche de 35 nm de tungstène déposée possède une surface avec très peu de relief sans présence claire des grains. En effet, lorsque les îlots vont se rencontrer au cours du processus de croissance, des joints de grains et des défauts vont être inclus dans la couche. Toutefois, si la dimension des grains est très faible, la couche possède une structure amorphe. De plus, on peut dissocier de la couche principale une deuxième couche de surface composée de zones clairement définies. Cette configuration en deux couches est également confirmée par l'image MEB, Fig. III.23 (a), qui décrit clairement le développement d'une deuxième couche sur la couche principale. Il est difficile, à partir des observations, de définir le mode de croissance exact de la couche de tungstène. On peut penser à un type mixte de croissance (Stranski-Krastanov) [39] selon lequel une croissance de type îlots se développe au dessus d'une couche uniforme déjà définie. En conclusion, l'image MET présentée Fig. III.24 (a) confirme la composition amorphe de la couche de tungstène sans aucune croissance de grain évidente.

3-2.3.2.b Echantillon (b): échantillon de W de 35 nm recuit à 800°C pendant 5 min.

La croissance des grains est un mécanisme thermiquement activé notamment dans la migration des joints. Après un recuit 800°C pendant 5 minutes, l'image topographique (Fig. III.21 (b)) montre clairement la formation d'une distribution mono disperse de grains de petite taille. La vue en 3 dimensions (Fig. III.22 (b)) confirme l'uniformité et la faible rugosité de la couche de tungstène après ce recuit. La hauteur maximum de grain est 6,6 nm avec une rugosité associée de

RMS de 0,734 nm. L'image MEB, Fig. III.23 (b), fait apparaître une granulosité en surface sensiblement plus importante que pour l'exemple précédent tandis que la section de coupe MET (Fig. III.24) suggère que la couche de tungstène est composée de grains de 2 à 3 nanomètres en forte densité.

3-2.3.2.c Echantillon (c): échantillon de W de 35 nm recuit à 800°C pendant 10 min.

Après un recuit 800°C pendant 10 minutes, les images, Fig. III.21 (c) et Fig. III.22 (c), montre la topographie la plus perturbée avec la formation de larges grains entourés par de plus petits. On peut clairement observer des zones inoccupées autour de grains de grandes tailles créées par la coalescence de petits grains. L'image MEB, Fig. III.23 (c), confirme une grande rugosité RMS autour de 6,92 nm avec une hauteur maximum de 44,5 nm. Le mécanisme de réarrangement granulaire se poursuit avec l'augmentation de la taille moyenne des grains. L'image MET (Fig. III.24 (c)) fait apparaître des grains de 30 nm entre des zones de granulosité plus faible.

3-2.3.2.d Echantillon (d): échantillon de W de 35 nm recuit à 900°C pendant 5 min.

Cette expérience utilise une température de recuit de 900°C (soit 100°C de plus que pour échantillon (b)) pendant 5 minutes. Ainsi, ce dernier échantillon permet d'évaluer l'impact de l'augmentation de la température sur un même intervalle de temps. Les images topographiques présentées dans Fig. III.21 (d) et Fig. III.22 (d) montrent des grains beaucoup plus grands que dans le cas 800°C. La rugosité de RMS est de 2,32 nm avec une hauteur maximum de 26,4 nm. Néanmoins, l'avancement du mécanisme peut être comparé à celui observé dans le cas b. La couche est composée de grains de taille homogène présents en forte densité, comme le confirme l'image MEB de la surface Fig. III.23 (d). Ces observations sont en parfait accord avec la relation de Mazurin (eq. III.6). En effet, la croissance des grains suit une même variation au cours du temps, la température ne modifiant que la taille des grains de départ (D_0) et de fin (D_m). La Fig. III.24 (d) démontre clairement la présence de grains pouvant atteindre 50 nm dans le sens horizontal.

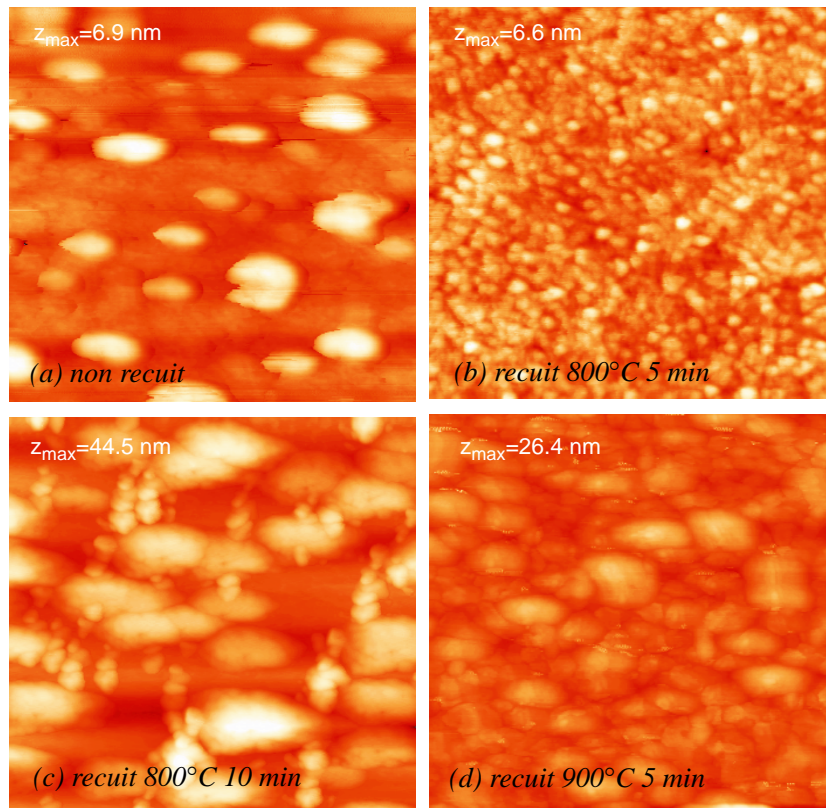


Fig. III.21: Images AFM 2D de topographie de la couche de tungstène soumise à différents traitements thermiques. L'échelle de couleurs est ajustée sur la hauteur max. à chaque échantillon.

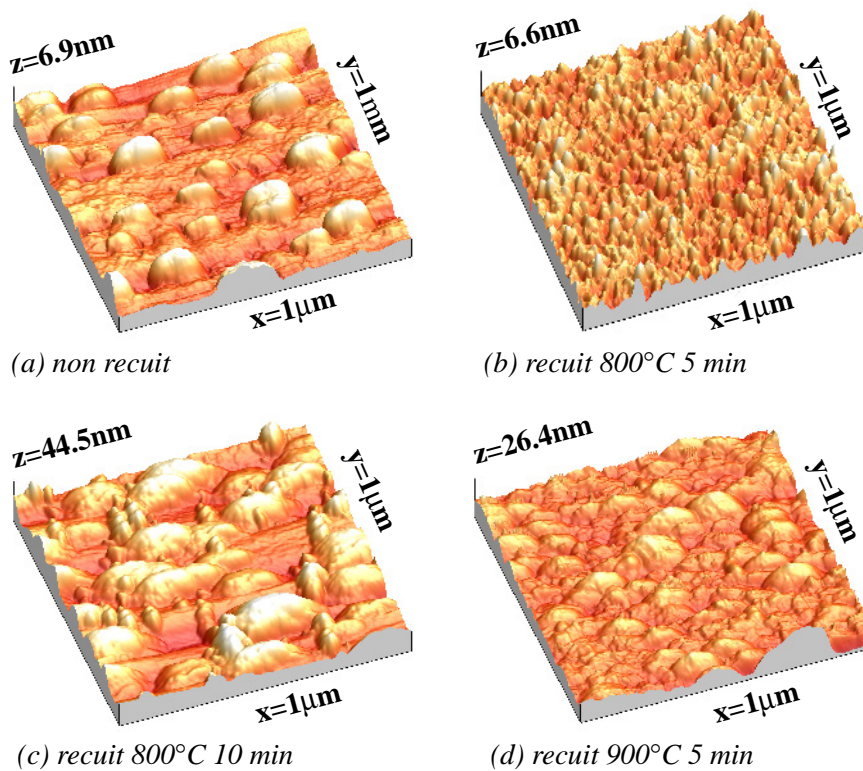


Fig. III.22: Images AFM 3D de la topographie de la couche de tungstène soumise à différents traitements thermiques.

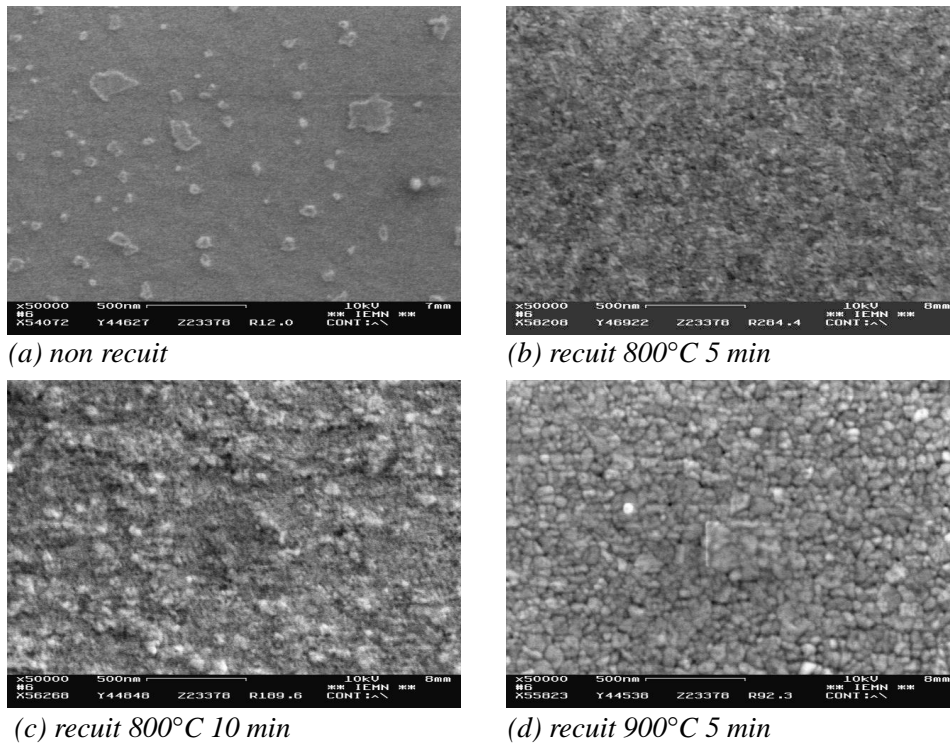


Fig. III.23: Images MEB 2D en vue supérieure de la couche de tungstène soumise à différents traitements thermiques.

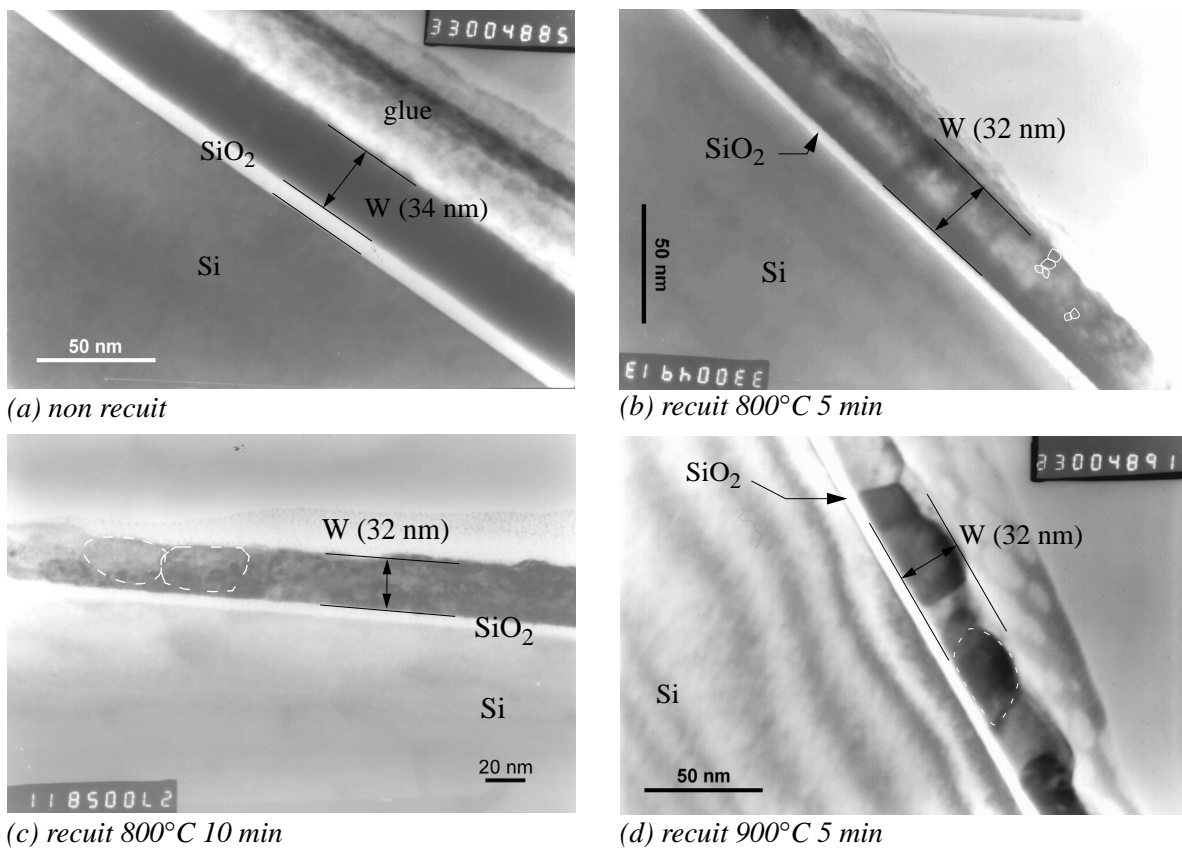


Fig. III.24: Sections de coupe MET de la couche de tungstène soumise à différents traitements thermiques. L'empilement de grille est constitué de W/SiO₂/Si.

3-2.4 Conclusion.

L'utilisation de traitements thermiques sur une structure de grille en tungstène n'est pas défavorable. Au contraire, des mécanismes de croissance granulaire, thermiquement activés, modifient la structure macroscopique de la couche métallique. Ceci permet une baisse de la résistance de la couche de tungstène, directement reliée à la température de recuit.

3-3 Impact des traitements chimiques sur l'intégrité du film de tungstène.

De manière analogue aux traitements thermiques présents au cours du processus de fabrication du transistor, des traitements chimiques peuvent affecter, voire dégrader la grille en tungstène. Ces traitements chimiques sont, en fait, des gravures humides. Les molécules de la solution d'attaque réagissent avec les atomes de la surface et les produits formés sont évacués dans la solution. La vitesse de gravure est limitée par la concentration des espèces réactantes, induisant une gravure purement isotrope.

En se référant au procédé de fabrication Fig. III.2, deux étapes de gravure humide sont potentiellement source de danger. La première, Fig. III.2 e, permet d'ôter l'oxyde de silicium des zones source drain à l'aide d'une solution d'acide fluorhydrique (HF) diluée à 1%. La deuxième, Fig. III.2 g, sert à retirer l'excédent de métal qui n'a pas réagi lors de la siliciuration des zones source/drain. Dans le cas d'un siliciure de platine, une solution d'eau régale (acide chlorhydrique / acide nitrique) chauffée à 50°C est utilisée. Le tableau III.4 compare les vitesses d'attaque du matériau à graver dans chaque étape (par la solution utilisée) avec celles du tungstène. Il apparaît que le tungstène se grave deux fois moins rapidement que l'oxyde de silicium dans une solution d'acide fluorhydrique par contre lors d'une attaque à l'eau régale, le tungstène est gravé 5.5 fois plus vite que le platine.

Tableau III.4: Vitesse d'attaque par gravure humide de W, SiO₂ et Pt.

	Gravure HF 1%		Gravure eau régale	
	Vitesse	Sélectivité	Vitesse	Sélectivité
Tungstène	< 0.1 Å/s		9.18 Å/s	W/Pt 5.5
SiO ₂	0.2 Å/s		-	-
Platine	-	-	1.67 Å/s	Pt/W 0.18

Les épaisseurs de SiO_2 à éliminer étant très faibles (de l'ordre de 2 nm), la gravure utilisant le HF 1% n'est pas critique pour l'intégrité de la grille puisque moins d'un nanomètre de tungstène est gravé. Par contre, la phase de gravure utilisant l'eau régale semble plus problématique. Des essais d'attaque, reproduisant l'étape post-siliciuration du platine (Fig. III.2 g) sont réalisés sur un empilement composé d'un oxyde thermique de 2.5 nm, d'une couche de 40 nm de tungstène et de 15 nm de platine. Il apparaît clairement que la gravure n'est pas idéalement homogène c'est-à-dire avec un front d'attaque non parfaitement plat. Par conséquent, des petites variations d'épaisseurs sur le film de platine se trouvent amplifiées lorsque la solution entre en contact avec le tungstène, du fait de la grande différence entre les vitesses de gravure. L'observation de la surface du métal après gravure montre un relief très perturbé, avec des piqûres pouvant atteindre plus de 30 nm de profondeur.

4- Réalisation d'une grille tungstène encapsulée.

4-1 Position du problème.

L'introduction d'une grille tungstène dans un procédé auto-aligné classique suppose la prise de précautions supplémentaires. Afin de protéger le tungstène des gravures chimiques, il est proposé de rajouter une couche de protection au dessus de la grille dès les premières étapes du procédé. Cette couche, métallique ou isolante, doit naturellement résister aux gravures chimiques utilisées et être compatible avec le reste du procédé, notamment thermiquement. La Fig. III.25 présente schématiquement la grille en tungstène surmontée par la couche protectrice (Fig. III.25 gauche). Après formation des deux espaceurs, le tungstène se retrouve encapsulé dans l'isolant et ainsi protégé (Fig. III.25 droite).



Fig. III.25: Représentation schématique de la grille en tungstène surmontée d'une couche de protection (gauche) et de la grille dite encapsulée après formation des espaceurs (droite).

La définition de motifs, comme la grille, est réalisée par lithographie électronique [40], qui permet d'atteindre des résolutions importantes (taille de faisceau ~ 6 nm avec le masqueur de IEMN, LEICA EPBG 5000) et son utilisation est souple car aucun masque physique n'est utilisé. Cette technique consiste à déposer de la résine uniformément sur le substrat et à exposer par un faisceau d'électron les motifs souhaités pour modifier les propriétés de la résine. Ainsi la résine peut être retirée sélectivement à l'aide d'un solvant de développement. Quand l'électron pénètre dans la résine, il subit des interactions et perd de l'énergie. Celle-ci est transférée à la résine qui permet soit de rompre des liaisons chimiques dans le cas d'une résine positive (la zone balayée par le faisceau est éliminée lors du développement) soit d'en former de nouvelles dans le cas d'une résine négative (la zone balayée par le faisceau n'est pas affectée par le développement). Deux approches, utilisant un masquage positif (liftoff) ou négatif (gravure anisotrope) et permettant de définir des motifs nanométriques, sont développées dans les deux parties suivantes.

4-2 Obtention d'une grille tungstène par "lift-off".

4-2.1 Description du procédé obtenu par écriture électronique.

La Fig. III.26 propose une vue schématique d'une technique permettant de définir des lignes métalliques (Fig. III.26 (c)) à l'aide d'ouvertures réalisées dans une résine positive (Fig. III.26 (a)). Si l'épaisseur de métal est inférieure à celle de la résine, il n'y a pas de continuité entre le métal sur la résine et celui dans l'ouverture de ligne (Fig. III.26 (b)). Lorsque la résine est dissoute dans un solvant, le métal se trouvant au dessus est éliminé, seul reste celui en contact avec le substrat (lift-off). La technique de dépôt utilisée conditionne la réussite de l'opération. En effet, un dépôt isotrope (conforme), obtenu par dépôt chimique en phase vapeur (Chemical Vapor Deposition CVD) [41] ou par pulvérisation cathodique [42], dépose du métal sur les parois latérales de l'ouverture, formant un film métallique continu incompatible avec ce type de procédé. Un dépôt anisotrope, comme l'évaporation par canon d'électrons, voit les atomes se déposer perpendiculairement au substrat, formant ainsi la discontinuité souhaitée.

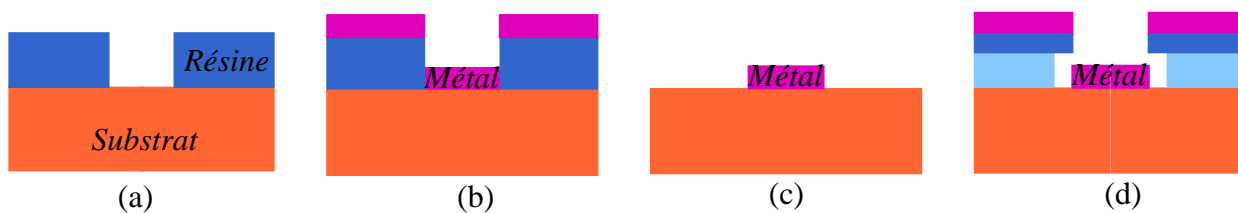


Fig. III.26: Représentation schématique du procédé “lift-off”. Après ouverture d’un motif dans la résine (a), le métal est déposé pleine plaque (b). Lors du retrait de la résine, seul le métal dans l’ouverture est conservé (c). Pour améliorer le procédé, un profil de résine en casquette est utilisée (d).

La largeur du motif obtenu est généralement plus grande que celle du faisceau électronique car à la contribution directe des électrons du faisceau s’ajoute la contribution d’électrons secondaires dans la résine ou rétrodiffusés par le substrat. Ce phénomène, connu sous le nom d’effet de proximité peut être atténué par des algorithmes de correction. Ces derniers découpent virtuellement le motif en éléments de tailles appropriées (plus elle sera petite plus la précision d’écriture sera bonne mais ceci augmentera d’autant plus le temps de calcul). La dose d’électrons sur un élément est ajustée en fonction du recouvrement des dispersions électroniques à la frontière entre cet élément et son voisin. Enfin, le temps de développement affecte le profil d’ouverture d’un motif, un sous développement ne permet pas de dissoudre toute la résine alors qu’un sur développement s’affranchit de ce problème mais élargit la taille du motif.

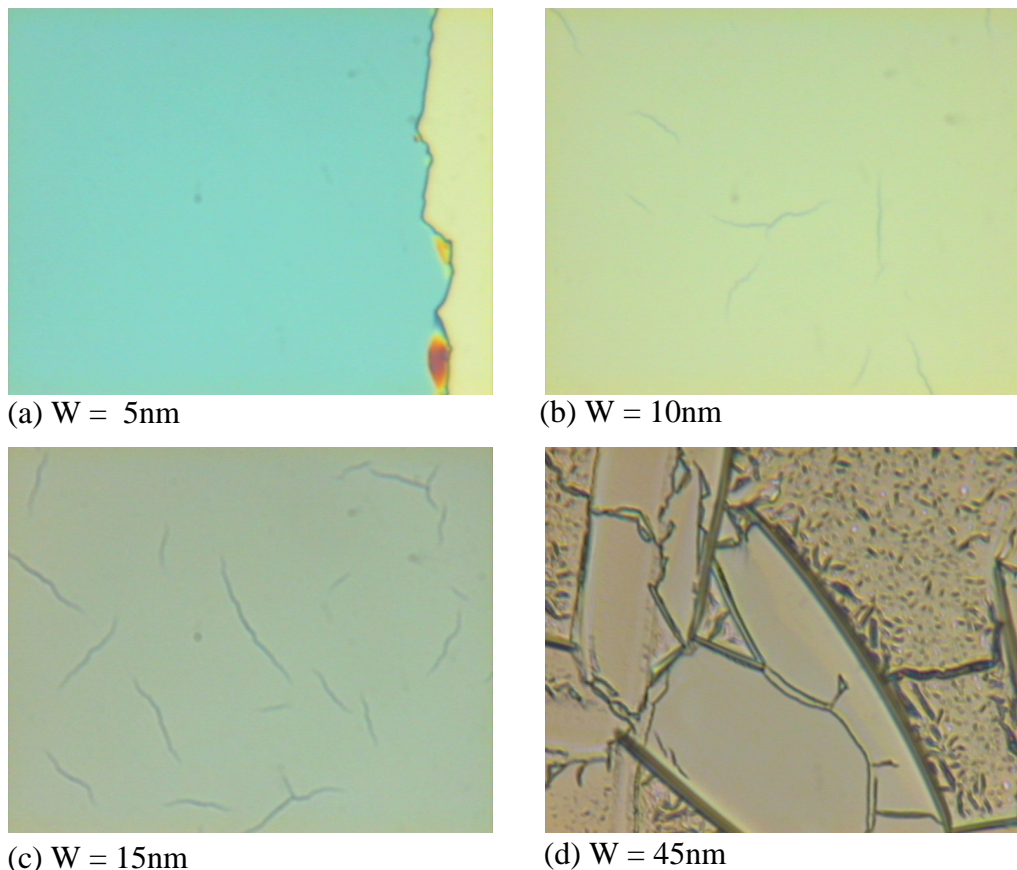
En vue d’améliorer le procédé, des profils d’ouverture de type casquette sont développés. Il s’agit d’une résine bicouche composée de deux films de résine de sensibilité différente, le film inférieur étant plus sensible que le film supérieur. Après développement, le profil casquette, illustré Fig III.26 (d), permet un meilleur lift-off puisque le métal, qui forme le motif, n’est jamais en contact avec la résine.

Ainsi, l’épaisseur de la couche de résine, les paramètres d’écriture (énergie, dose et taille du faisceau), et le temps de révélation forment une combinaison très sensible qui doit faire l’objet d’un ajustement très pointu pour atteindre des dimensions de quelques dizaines de nanomètres. Dans un premier temps, le choix s’est porté sur une monocouche de 270 nm d’épaisseur de PMMA 4% 475K. C’est un polymère composé de 4% de PMMA (polyméthylméthacrylate) de poids moléculaire égal à 475000 g/mol dans un solvant d’anisole. Après plusieurs essais de calibration, les paramètres d’exposition retenus sont: une dose de base (avant correction de proximité) de $260 \mu\text{C}/\text{cm}^2$ pour une énergie de faisceau de 50 keV et un courant de 800 pA. Le temps de révélation des motifs dans une solution de méthylisobuthylketone (MIBK) est de 60 secondes.

Dans un deuxième temps, une résine bicouche est utilisée pour obtenir un profil en forme de casquette. Elle est formée d'un film de 80nm de COPO 4% MMA 8.5, un copolymère composé de 4% en poids de PMMA (polyméthylméthacrylate) et de 8.5% de MMA (méthylméthacrylate) dans un solvant d'éthyl lactate, et d'un film de 75nm PMMA 3% 495 K. Les paramètres d'exposition sont: une dose de base (avant correction de proximité) de $220 \mu\text{m}/\text{cm}^2$ pour une énergie de faisceau de 50 keV et un courant de 800 pA. Le temps de révélation des motifs dans une solution de méthylisobuthylketone (MIBK) est de 60 secondes.

4-2.2 Condition de dépôt de tungstène par évaporation.

Des essais préliminaires ont été réalisés avec l'évaporation pleine plaque d'un film de tungstène sur une couche de PMMA de 270 nm. La Fig. III.27 présente des images en microscopie optique de la résine pour plusieurs épaisseurs de tungstène déposées. Il apparaît clairement que plus l'épaisseur de tungstène est importante, plus la résine est dégradée. Le phénomène débute dès 10 nm de métal déposé (Fig. III.27 (b)) par l'apparition de fissures qui deviennent plus importantes en taille et en nombre avec 15 nm de tungstène évaporé (Fig. III.27 (c)). La couche de résine est totalement dégradée après un dépôt de 45 nm de tungstène (Fig. III.27 (d)). L'origine du problème peut être liée à la forte puissance mis en jeu pour évaporer le tungstène. Le métal réfractaire demande une quantité d'énergie très importante qui est transformée principalement sous forme de chaleur. En arrivant sur le substrat, le métal conserve une température élevée. La résine est un composé organique qui ne peut résister à des températures supérieures à une centaine de degrés. Ce mécanisme est accentué par la quantité de métal déposée. Un dépôt de 5 nm de tungstène semble être l'épaisseur limite pour conserver intacts l'intégrité de la résine.



*Fig. III.27: Images en microscope optique (grossissement *150) de 270 nm de PMMA après dépôt de tungstène par évaporation à l'aide d'un canon à électrons.*

4-2.3 Résultats et analyses.

Le procédé de grille encapsulée, présenté Fig. III.25, nécessite la présence d'une couche de protection sur le tungstène. Le matériau choisi doit répondre à plusieurs critères: il doit bien évidemment résister aux attaques chimiques (HF, eau régale), avoir une tenue thermique correcte et être compatible avec un dépôt par évaporation. L'iridium remplit toutes ces conditions. Contrairement au platine, il n'est pas attaqué ni par une solution d'eau régale ni par une solution acide fluorhydrique.

Afin d'intégrer toutes les contraintes évoquées précédemment, la grille se compose d'un triple dépôt métallique. Premièrement, 5 nm de tungstène permettent de conserver les conditions de fonctionnement d'une grille midgap (chap. 3-1). Puis, la grille est épaissie par 35 nm de platine et 5 nm d'iridium la protège. On peut imaginer remplacer les deux derniers dépôts par un film de 40 nm d'iridium, mais ce dernier s'évapore très lentement (0.01 Å/s). Par souci d'effica-

cité, l'épaississement est réalisé en platine, qui possède des propriétés physiques similaires à l'iridium mais qui peut s'évaporer plus rapidement.

La Fig III.28 expose les résultats obtenus à partir de deux profils de résine différents. Les Fig. III.28 (a) et (b) sont deux grilles de longueur 100 nm et 50 nm respectivement réalisées, avec une résine mono-couche de PMMA. La forme obtenue est correcte avec des flancs de grille verticaux et une bonne adhérence entre les différents niveaux métalliques. Mais le principal problème s'observe sur chaque bord de grille où des résidus métalliques forment des reliefs en dents de scie. Sous certaines conditions (des profils non idéalement verticaux et/ou un mode de dépôt métallique non idéalement anisotrope), du métal peut recouvrir les flancs de l'ouverture de résine. Lors de son retrait, le métal recouvrant les flancs de l'ouverture, ne s'élimine que partiellement. Pour résoudre ce problème, l'utilisation d'une ouverture avec un profil en casquette est préconisé. Il permet, dans la mesure où l'épaisseur de métal est moins importante que la couche inférieure de résine, d'éviter toute continuité entre le motif et le métal déposé sur la résine. Les Fig. III.28 (c) et (d) sont deux grilles de longueur 200 nm et 100 nm respectivement, réalisées avec une ouverture de type casquette (bicouche copolymère/PMMA). Il semble que le tungstène se soit étendu sous la casquette alors que les dépôts de platine et d'iridium se soient déroulés normalement.

Pour conclure, utiliser une technique classique de dépôt de métal à travers une ouverture de résine semble devenir très compliqué dans le cas du tungstène. Une autre démarche doit être envisagée en vue de la réalisation d'une grille tungstène nanométrique.

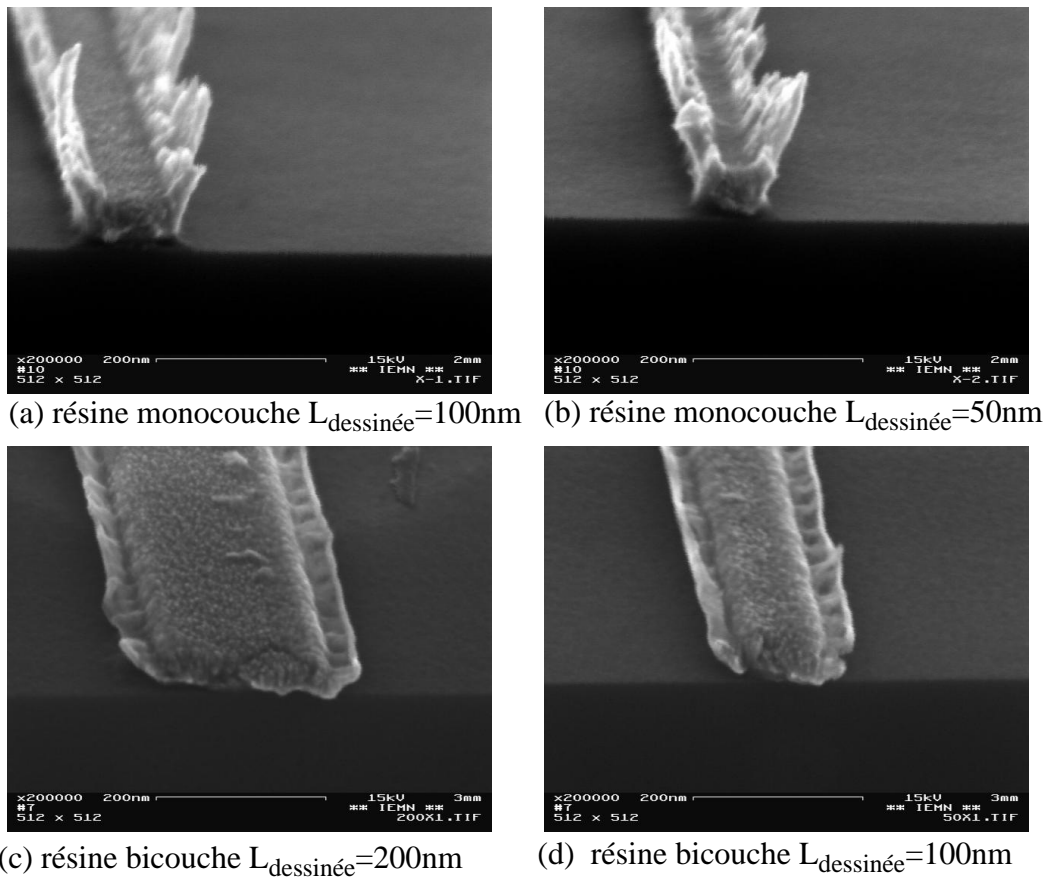


Fig. III.28: Images MEB de lignes métalliques Ir/Pt/W réalisées par lift-off. Les lignes (a) et (b) sont obtenues à partir d'une résine monocouche: des résidus métalliques sont visibles sur les parois. Les lignes (c) et (d) sont obtenues à partir d'une bicouche de résine (profil casquette): le tungstène a diffusé sous la résine.

4-3 Obtention d'une grille tungstène par gravure sèche.

Une deuxième possibilité pour réaliser une grille nanométrique consiste à graver anisotropiquement (gravure sèche) une couche de tungstène déposée pleine plaque. Cette technique demande une extrême précision et un excellent contrôle de procédé étant donné les dimensions envisagées.

4-3.1 Masque réalisé avec une résine électronique négative: HSQ.

Le challenge lié à l'écriture de petites dimensions par gravure sèche consiste à utiliser une résine négative suffisamment sensible pour prétendre réaliser des motifs nanométriques et

suffisamment résistantes aux gravures sèches pour tenir le rôle de masque. Namatsu[43] a remarqué que l'Hydrogène SilsesQuioxane (HSQ) possède un comportement de résine négative aux faisceaux d'électrons de très grandes résolutions du fait de la très petite taille de ses polymères. Une solution de HSQ diluée dans du MIBK est commercialisé par Dow Corning sous l'appellation FOx-12. Tout d'abord utilisée comme oxyde fluable, son application comme résine négative est développée à cause de son excellente résolution mais aussi de sa bonne résistance aux gravures sèches (24 fois meilleure que la PMMA) du fait de sa nature inorganique [44].

Il a été reporté dans la littérature des lignes de 20 nm de large réalisées avec des tensions d'accélération de 100 kV [46] et de 50 kV [45] et des doses utilisées très différentes (Tableau III.5). Il est essentiel d'ajuster la dose aux conditions de chaque expérience (paramètres et outil d'écriture, substrat et couches déjà présentes, nature du procédé...). Des premiers essais ont été réalisés dans le laboratoire et sont reportés dans le tableau III.5.

Tableau III.5: Sélection d'expériences d'écriture de lignes HSQ de largeurs inférieures à 100 nm.

	Taille de ligne (nm)	Dose ($\mu\text{C}/\text{cm}^2$)	Tension de faisceau (kV)	Epaisseur de la résine (nm)
[45]	20	1000	50	90
[46]	20	6970	100	44
[35]	20	1500	50	50
[35]	50	2300	50	50
[35]	100	3000	50	50

Après de nouveaux essais de calibration, le choix des paramètres d'écriture est arrêté à $2000 \mu\text{C}/\text{cm}^2$ pour la dose de base, à 800pA pour le courant de faisceau et 50 kV pour la tension de faisceau. Il ne faut pas perdre de vue que l'objectif est l'écriture de lignes dont la largeur est de 20 à 50 nm. Cependant, des lignes de dimensions plus grandes (demandant moins de résolution) pourront être facilement écrites en utilisant ces paramètres et une correction des effets de proximité adéquate. L'enduction de la résine est réalisée à l'aide d'une tournette classique avec une vitesse de 3000 rpm pendant 60 s donnant une couche de HSQ de 50 nm. Un double recuit, de 2 min à 150°C et 2 min à 220°C, permet l'évaporation des solvants et apporte une meilleure densification de la résine.

Les résultats de ces expériences sont illustrés par la Fig. III.29. Des lignes de HSQ de largeur 20 nm (a), 50 nm (b), 100 nm (c) sont réalisées sur un empilement de nitrure (10 nm)/tungstène (48 nm)/oxyde (3.4 nm)/silicium massif. Il y a peu d'écart entre les dimensions dessi-

nées et les dimensions effectives. De plus, les flancs des lignes sont verticaux, permettant d'obtenir une grille métallique rectangulaire après gravure anisotrope.

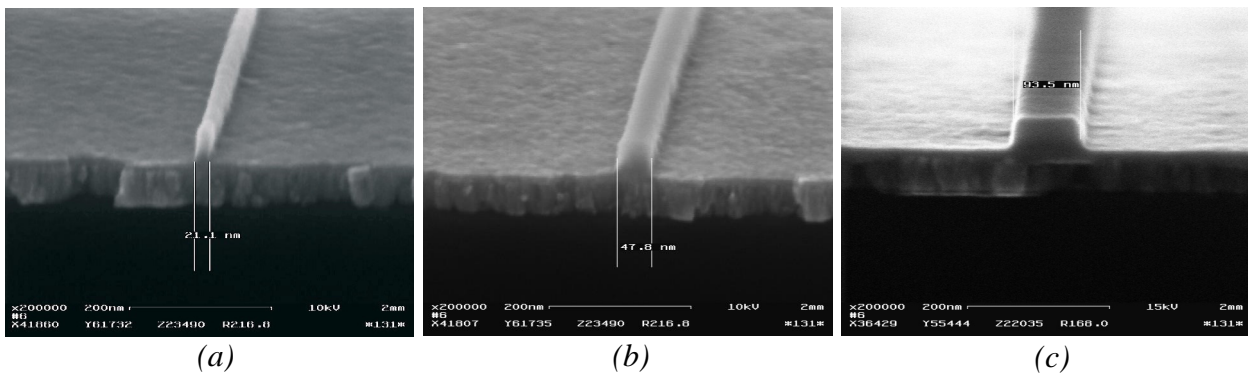


Fig. III.29: Images MEB de lignes en HSQ sur un empilement de nitrure (10 nm)/tungstène (48 nm)/oxyde (3 nm)/silicium massif. Une ligne (a) dessinée à 20 nm est mesurée à 21.1 nm, (b) dessinée à 50 nm est mesurée à 47.8 nm et (c) dessinée à 100 nm est mesurée à 93.5 nm. L'épaisseur de HSQ est de 50 nm.

4-3.2 Gravure plasma du Tungstène.

4-3.2.1 Principe de la gravure plasma.

La gravure par plasma est une méthode de gravure sèche réalisée dans une enceinte basse pression (10^{-3} à 5 Torr) où circule un flux de gaz moléculaire, dissocié et ionisé par excitation électromagnétique [40][47]. Les électrons décomposent le gaz moléculaire en plusieurs espèces chimiquement actives. Le milieu gazeux, devenu corrosif, attaque les matériaux soumis à son contact de manière isotrope, cette gravure est dite chimique (proche des gravures humides). De plus, il est possible d'accélérer très fortement certaines particules (espèces neutres ou ions) au point que l'énergie cinétique qui leur est conférée dépassent l'énergie des liaisons chimiques du matériau à graver. Ce type de gravure, appelé gravure physique, résulte d'un bombardement de particules sur le substrat et est fortement anisotrope dans le sens vertical. Lorsque les conditions de gravure sont ajustées pour que l'attaque latérale soit minimale en comparaison avec l'attaque verticale, la gravure, hautement directionnelle, est appelée gravure ionique réactive (Reactive Ion Etching, RIE).

Les bâtis RIE possèdent des caractéristiques techniques particulières, destinées à améliorer l'anisotropie de la gravure. L'échantillon est placé devant une électrode plate de taille

moyenne reliée à un générateur radiofréquence alors que l'ensemble de la chambre, métallisé et utilisé comme seconde électrode, est relié à la terre. Ainsi les potentiels appliqués en RIE sont plus importants qu'en gravure plasma et permettent de produire un bombardement ionique anisotrope. De plus, la pression dans la chambre est un paramètre important dans l'initiation du type de gravure (physique ou chimique). Dans un bâti RIE, la pression est comprise entre 0.005 et 1 Torr alors que pour une gravure plasma classique, elle est comprise entre 0.1 et 5 Torr. La pression est directement liée au libre parcours moyen des particules. Pour une gravure RIE, les collisions sont plus fréquentes si elle est élevée et les particules tendent à perdre leurs énergies cinétiques et à être déviées de la direction verticale, ce qui correspond à une gravure chimique.

4-3.2.2 Sélectivité et arrêt de la gravure.

Outre l'anisotropie, la détection de fin d'attaque est un enjeu essentiel dans la réussite de la gravure de la grille. L'attaque doit s'arrêter sur un oxyde de silicium de 2 nm, présent sous la couche de tungstène, pour ne pas endommager le film fin de silicium actif où les contacts Schottky seront réalisés. Le contrôle de l'avancement de la gravure est réalisé in situ par réflectométrie spectroscopique. L'échantillon est pointé par un faisceau laser de longueur d'onde fixée (630nm). Si l'on considère un système simple composé d'une couche mince sur un substrat, une partie du signal lumineux est réfléchi par la surface du substrat et une autre partie par la surface de la couche mince. Si l'on détecte et mesure la somme de lumière réfléchi, on obtient un signal oscillatoire, dont l'amplitude varie alternativement en fonction de l'épaisseur décroissante de la couche gravée. La nature périodique du signal est due au phénomène d'interférence. Le spectre obtenu peut être comparé à un spectre de réflectivité théorique calculé à partir d'une modélisation optique de couches minces [48]. Par exemple, Fig. III.30 donne le signal interférométrique et sa dérivée obtenus par simulation Matlab [49] sur l'empilement de grille (40 nm W, 2 nm SiO₂, 10 nm Si, 200 nm SiO₂). Les vitesses de gravure choisies ont été sélectionnées à partir des expériences exposées dans le paragraphe 4-3.2.3. Chaque matériau possède une période propre. Ainsi plus le matériau se grave lentement, plus sa période est grande (SiO₂) et inversement (Si). L'interface entre deux matériaux va donc se traduire par un changement de pente du signal interférométrique, d'autant plus visible sur le tracé de la dérivée du signal.

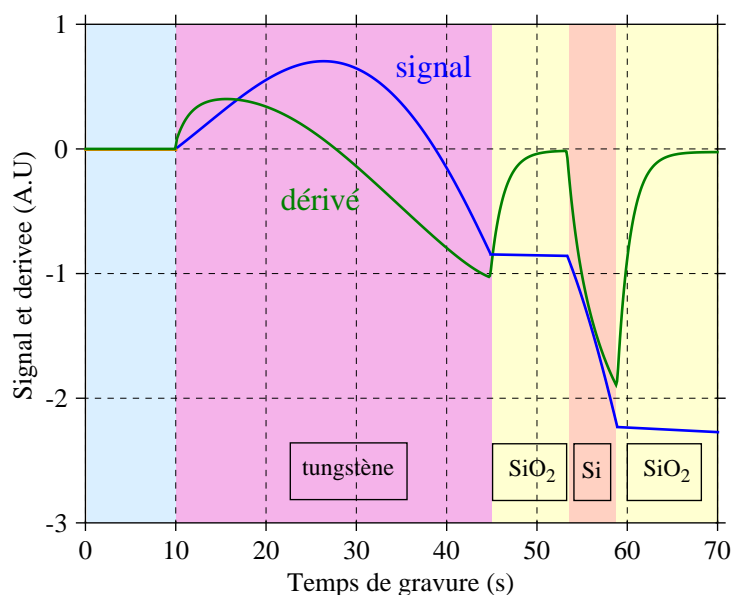


Fig. III.30: Spectre simulé de réflectométrie obtenu sur un empilement de grille W/SiO₂/SOI.

Pour faciliter l'arrêt de la gravure sur la couche d'oxyde de grille ultra fin, la sélectivité de la gravure choisie est prépondérante. En effet, la vitesse de gravure du tungstène doit être nettement plus grande que celle de l'oxyde. Ceci permet d'avoir une plage de temps confortable pour s'assurer que le tungstène est totalement éliminé tout en préservant l'intégrité du film de silicium.

4-3.2.3. Choix du gaz

La gravure du tungstène a déjà trouvé application en vue de la réalisation de motifs d'alignement pour la lithographie électronique ou plus généralement comme marques de repères visibles au rayon-X [50].

Les procédés conventionnels de gravure RIE du tungstène utilisent des gaz fluorés comme CF₄, SF₆, CHF₃ et CBrF₃. Le principal problème rencontré par les attaques fluorées est leur très faible anisotropie. Pour diminuer la gravure latérale, l'utilisation de CBrF₃, CHF₃ ou NF₃ permet la formation d'un dépôt de polymère isolant sur les parois du motif gravé [51]. Ces méthodes génèrent, dans la majorité des cas, des motifs trapézoïdaux, avec la base inférieure plus large que la supérieure, liée à l'augmentation d'épaisseur du film isolant qui se dépose sur les parois fraîchement gravées [52]. Une autre méthode consiste à associer un gaz fluoré très actif (SF₆) avec un gaz halogéné contenant Si ou C (CCl₄, CF₄, SiF₄, SiCl₄) pour former sur le substrat

un film de passivation [53]. Cette méthode génère des profils effilés à cause de la grande difficulté de maîtriser le ratio entre le gaz d'attaque et la concentration de polymères volatils passivantes qui, suivant sa proportion, change la directionnalité de la gravure. Enfin, une méthode dérivée de la précédente consiste à associer un gaz très actif (SF_6) avec un gaz neutre (N_2). Lors de la dissociation un produit de réaction (composé de soufre et d'azote) réagit avec le tungstène pour former une couche passivante, notamment sur les parois des motifs. Cette technique permet d'atténuer la gravure latérale sans provoquer une augmentation d'épaisseur comme cela est le cas avec les dépôts de polymères [52]. Les particules fluorées participent à la gravure en réagissant avec le tungstène pour former l'espèce volatile WF_6 , captées dans l'atmosphère de l'enceinte. Ce procédé est initié par la formation de sous-réactifs $\text{WF}_{x \leq 5}$ non volatiles [54].

4-3.2.4. Effets des paramètres de gravure SF_6/N_2 sur la vitesse d'attaque et l'anisotropie.

Les paramètres d'attaques jouent un rôle très important dans la nature de la gravure obtenue. La Fig. III.31 expose les effets de plusieurs variables du réacteur sur la vitesse d'attaque du tungstène et de l'oxyde de silicium. Une couche de tungstène de 50 nm est déposée par évaporation sur un oxyde thermique de 3 nm formé sur un substrat de silicium massif (100). Les interfaces entre deux couches sont déterminées par interférométrie laser. Les vitesses d'attaque sont calculées à partir du temps écoulé pour graver la couche de tungstène et de SiO_2 . Les paramètres par défaut des essais sont: SF_6 10 sscm, N_2 10 sscm, puissance 50 W, pression 20 mT.

L'augmentation de la puissance RF (Fig.III.31 (a)) permet aux espèces ionisées d'acquérir une énergie plus importante ce qui favorise la gravure physique par bombardement ionique. De plus, la dissociation des gaz dans le plasma est accentuée entraînant une densité en espèces ionisées mais aussi neutres (actives chimiquement) plus grande. La gravure de l'oxyde est majoritairement de type physique alors que celle du tungstène est une combinaison de gravure de chimique et physique conditionnée par les conditions d'attaque. Lors que la puissance croît, les deux vitesses de gravure augmentent proportionnellement. La sélectivité de la gravure devient donc meilleure lorsque la puissance est élevée. Mais ceci ne facilite pas forcément l'arrêt de la gravure lors de la fin d'attaque de la couche de tungstène car plus la vitesse de gravure de SiO_2 est grande plus le temps de gravure de la couche d'oxyde diminue, rendant l'opération plus délicate. Enfin, des énergies d'ionisation trop élevées induisent, lors d'un bombardement intense, des

défauts qui peuvent être très préjudiciables d'un point de vue électrique, lors de la formation des contacts Schottky par exemple.

La Fig.III.31 (b) montre l'influence de la proportion de SF₆ par rapport à N₂ sur les vitesses d'attaque. La présence d'azote dans un plasma SF₆ accélère la dissociation des espèces [55]. Ce phénomène tend à compenser, pour les faibles proportions d'azote, la baisse du nombre d'espèces actives liées à la dilution du SF₆. Ceci n'est plus vrai pour de très fortes dilutions où la vitesse de gravure du tungstène chute rapidement causée par la baisse de concentration d'espèce chimiquement actives. Par contre, la vitesse de gravure de l'oxyde est moins affectée par la dilution du SF₆ car l'attaque est conditionnée par le bombardement ionique qui est surtout modulé par la puissance d'opération.

L'influence de la pression de l'enceinte sur les vitesses de gravure (Fig.III.31 (c)) permet de confirmer les différents mécanismes de gravure mis en jeu. Lorsque la pression baisse, la densité des espèces augmente. Les collisions sont alors plus fréquentes et les particules tendent à perdre leur énergie cinétique ou à être déviées de la direction verticale, ce qui favorise la gravure chimique. De plus, les réactions chimiques ne sont plus limitées par la quantité de réactif présent en plus grande quantité. La gravure du tungstène tire donc avantage de l'augmentation de la pression contrairement à celle de l'oxyde qui est conditionnée par une gravure physique.

Enfin, des débits de gaz plus importants n'ont aucune influence sur la gravure de l'oxyde mais semble diminuer légèrement la vitesse d'attaque du tungstène (Fig.III.31 (d)). Paradoxalement, on aurait pu s'attendre à un effet inverse car un débit de gaz plus important permet un renouvellement des espèces plus performant.

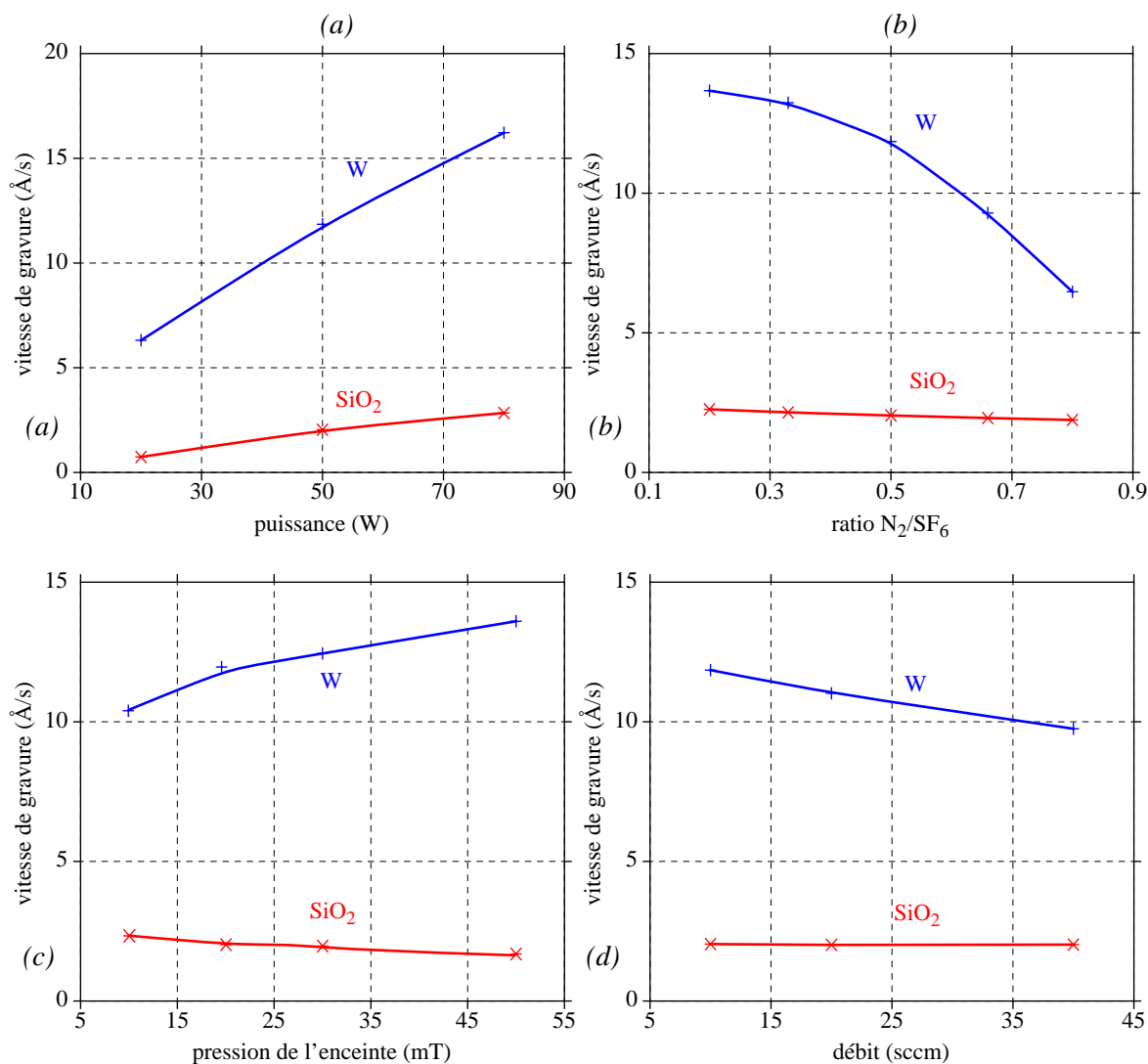


Fig. III.31: Effets des paramètres du réacteur sur la vitesse de gravure du tungstène et de l'oxyde de silicium. Les paramètres de base sont: SF₆ 10 sscm, N₂ 10 sccm, puissance 50 W, pression 20 mT. Les paramètres suivants sont particulièrement étudiés: (a) la puissance appliquée, (b) le ratio N₂/SF₆, (c) la pression de l'enceinte et (d) le débit des gaz.

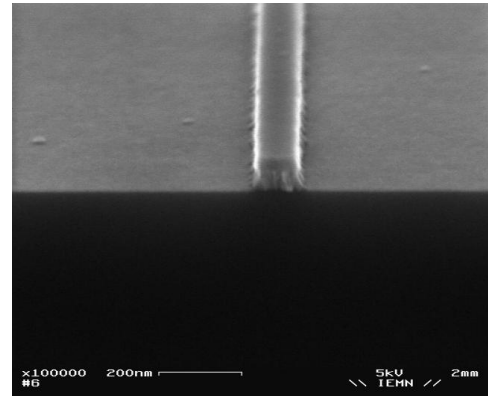
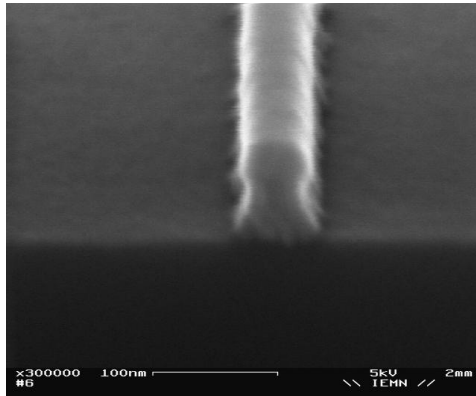
Afin de caractériser l'anisotropie de chaque gravure, des essais ont été effectués à partir des lignes de HSQ, présentées paragraphe 4-3.1, sur une couche de 40 nm de tungstène déposée sur 3.4 nm d'oxyde thermique. Les résultats sont présentés en Fig.III.32. Après gravure, le masque de résine n'a plus que 10 à 15 nm d'épaisseur. Une attaque SF₆ pur (Fig.III.32 (a)) fait apparaître une gravure latérale du tungstène. La ligne est moins large sous le masque HSQ qu'au pied du motif, caractéristique de la part importante prise par la composante chimique de la gravure. L'introduction d'azote dans le plasma améliore l'anisotropie de la gravure (Fig.III.32 (b),(c),(d)) en permettant d'abaisser la sensibilité des motifs à la gravure latérale (chimique) par passivation du tungstène en WN. Des flancs verticaux sont alors obtenus. Une pression dans la

chambre de 20 mT fait apparaître des irrégularités à la base des motifs (Fig. III.32 (b)) indiquant que la vitesse de gravure proche de la paroi est plus lente que sur le matériau attaqué pleine plaque. L'utilisation d'une pression d'opération plus faible (10 mT) corrige ce problème (Fig.III.32 (d)). Enfin une puissance de 80 W (Fig.III.32 (c)) ne donne pas de résultats plus intéressants en terme d'aspect de ligne après gravure que ceux obtenus avec une pression de 50W (Fig.III.32 (d)).

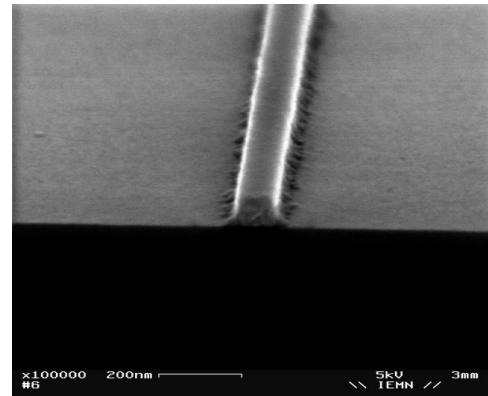
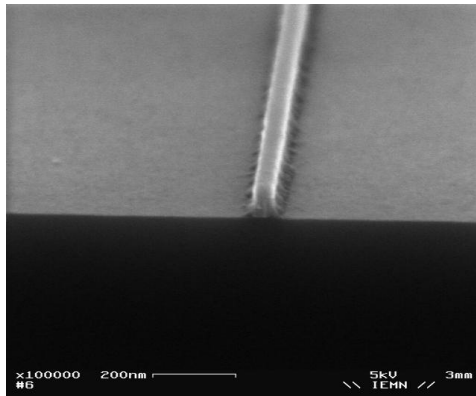
Lignes de 50 nm dessinées

Lignes de 100 nm dessinées

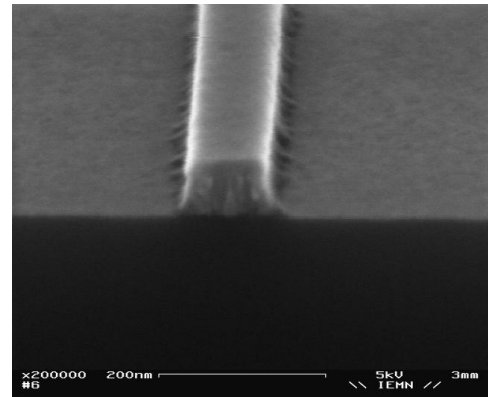
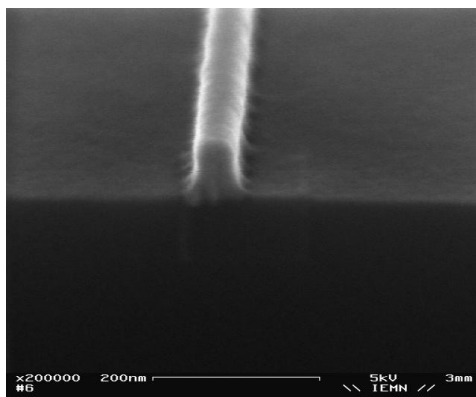
gravure SF_6
Puis = 50 W
Pres = 10 mT



gravure SF_6/N_2
Puis = 50 W
Pres = 20 mT



gravure SF_6/N_2
Puis = 80 W
Pres = 10 mT



gravure SF_6/N_2
Puis = 50 W
Pres = 10 mT

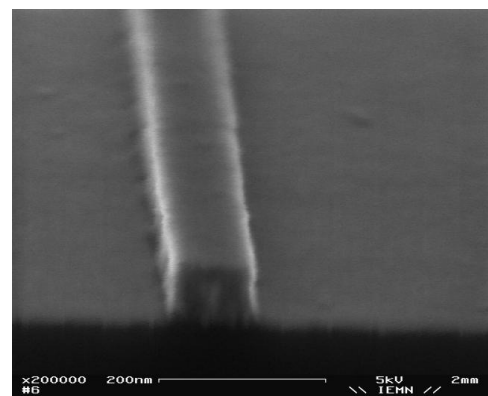
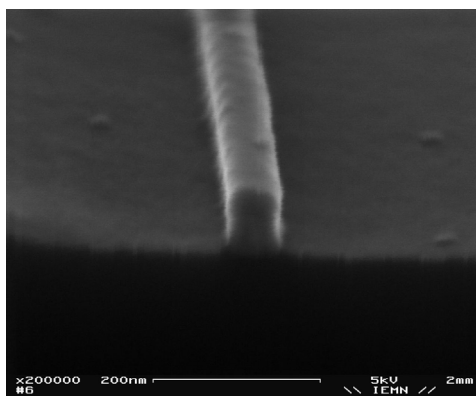


Fig. III.32: Images de coupe MEB de gravure de tungstène à travers des lignes HSQ dessinées à 50 nm (colonne de gauche) et 100 nm (colonne de droite). La gravure latérale est mise en évidence sur les essais SF_6 (a). L'ajout d'azote permet l'obtention de flancs verticaux (b,c,d).

Ainsi, la gravure de la grille est réalisée avec les paramètres suivants: SF₆ (10 sccm), N₂ (10 sccm), puissance RF = 50 W, pression 10 mT. La Fig.III.33 confirme ce choix en donnant l'exemple d'une ligne de 20 nm de large gravée avec les paramètres sélectionnés.

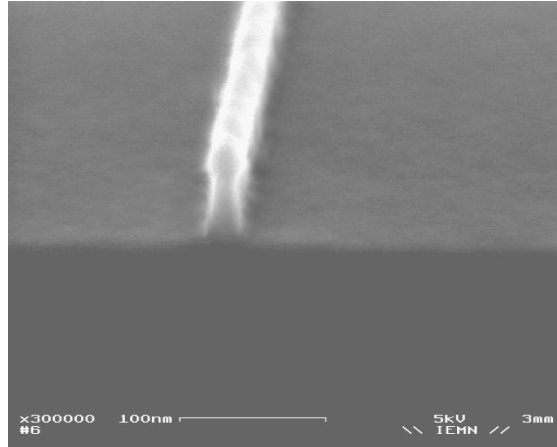


Fig. III.33: Images de coupe MEB d'une ligne dessinée à 20 nm de largeur et gravée avec un plasma SF₆ (10 sccm)/N₂ (10 sccm) une puissance RF de 50 W et une pression dans l'enceinte de 10 mT.

4-3.2.5. Détection de fin d'attaque.

Expérimentalement, la détection de fin d'attaque (Fig III.34) n'est pas aussi évidente que sur les profils interférométriques simulés (paragraphe 4-3.2.2). La détection des couches de tungstène, de silicium actif et de l'oxyde enterré sont facilement identifiables mais la couche d'oxyde thermique (2.2 nm) n'apparaît pas aussi clairement. Plusieurs essais de gravures, notés a, b, c, ont été conduits afin d'évaluer l'avancement de l'attaque à l'aide d'images MEB en section de coupe (Fig. III.35). Il apparaît clairement, Fig III.35 (a), que le front d'attaque de la couche de tungstène n'est pas uniformément horizontal mais est lié à la morphologie de la couche. Des zones délimitées sont gravées préférentiellement, correspondant à des orientations granulaires verticales. En effet, on peut présumer que lors du bombardement ionique, les particules arrivant à proximité d'un joint de grain vertical peuvent être guidées dans celui-ci et attaquer plus rapidement les couches inférieures. Ceci pouvant expliquer localement une augmentation de la vitesse d'attaque. Ainsi, l'inflexion du signal interférométrique (caractérisée par un minima du signal dérivé), notée (a) sur Fig. III.34, correspond à une zone frontière entre deux couches car le faisceau laser éclaire à la fois du tungstène et de l'oxyde de silicium (Fig.III.35 (a)). La fin de cette zone mixte est caractérisée par une nouvelle inflexion du signal interférométrique, notée (b). L'observation MEB de l'avancement de la gravure montre effectivement que toute la couche de

tungstène a été gravée. La morphologie de la couche de tungstène restante (Fig.III.35 (a)) est reportée, provoquant localement la gravure du film de silicium actif. Enfin, l'arrêt de la gravure après l'inflexion (b) conduit à une gravure complète du film mince de silicium. La Fig.III.35 (c) permet d'observer très nettement les trois couches suivantes: 15 nm de HSQ, 40 nm de W, 10 nm de Si.

A la vue de ces résultats, le point d'arrêt de la gravure est choisi en (b), à l'interface entre W/SiO₂ et Si.

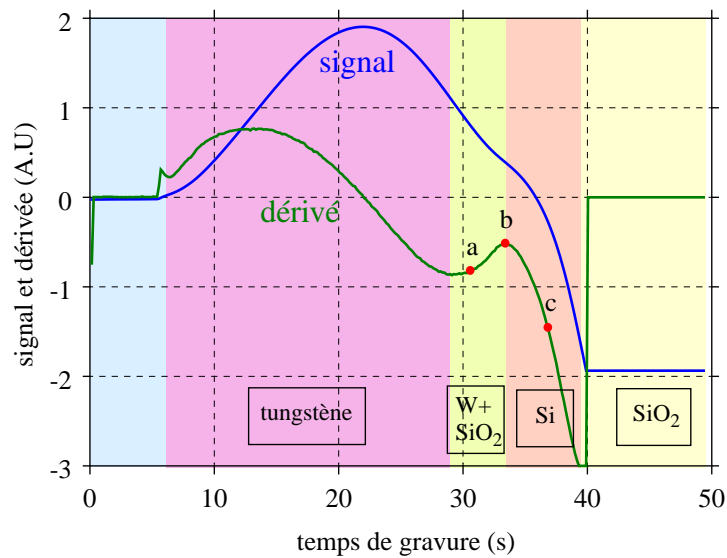


Fig. III.34: Spectre réflectométrique enregistré au cours de la gravure de l'empilement W (40 nm) / SiO₂ (2.2 nm) / Si (10 nm) / SiO₂ (200 nm). Les repères (a), (b), (c) servent à identifier l'avancement de la gravure pour ces différents temps.

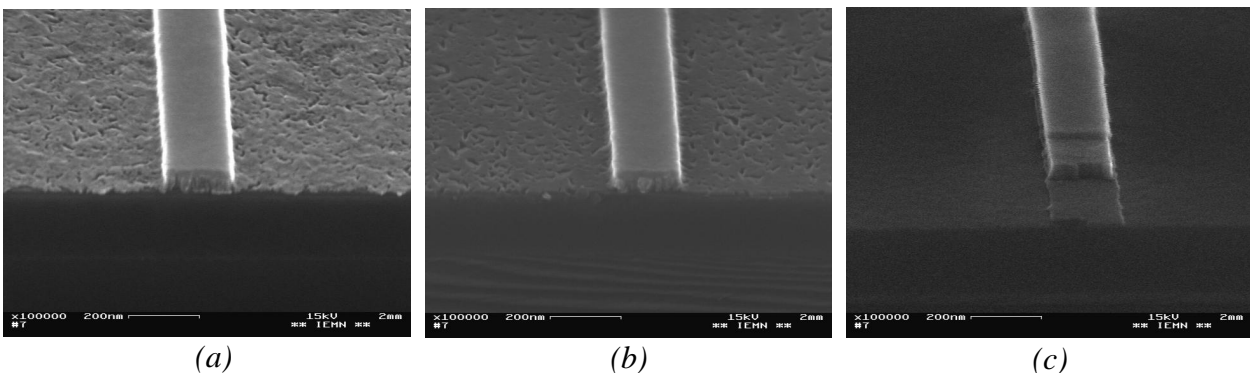


Fig. III.35: Images MEB de section de coupe de ligne 200 nm gravées par plasma SF₆/N₂. La gravure a été arrêtée a) à l'interface entre la couche de tungstène et une zone mixte de tungstène et d'oxyde de silicium, b) sur l'oxyde de grille, c) sur l'oxyde enterré du substrat SOI.

4-3.3 Introduction d'une couche protectrice de grille.

La couche de protection de grille doit être déposée pleine plaque avant la définition des lignes de résine HSQ afin d'obtenir après gravure un motif avec des flancs verticaux.

La première voie explorée est l'utilisation d'une couche de nitrure d'une épaisseur d'une dizaine de nanomètres qui, après formation des deux espaceurs, forme un anneau de protection autour de la grille en tungstène. La couche de Si_3N_4 est obtenue par dépôt en phase vapeur assisté par plasma (PECVD). Cette technique sera détaillée dans le paragraphe 5.2. Des essais de gravures à travers des lignes HSQ sont mis en oeuvre sur un empilement composé de 10 nm Si_3N_4 , 40 nm W, 3.4 nm SiO_2 sur un substrat silicium massif. Les paramètres de gravure définis dans le paragraphe 4-3.2 sont conservés. Les résultats obtenus, présentés Fig.III.36, montre un changement drastique du profil des motifs. Le masque de résine est bien reporté sur la couche de nitrure. Par contre, la gravure du tungstène n'est plus anisotrope, l'angle du flanc du motif avec le substrat est de 49° . Ceci révèle un changement évident de mécanisme d'attaque lié à une modification de la chimie du plasma introduit par la gravure de la couche de nitrure. On peut supposer que les produits de réaction issus de l'attaque de Si_3N_4 sont des réactifs chimiques très virulents pour le tungstène. Ainsi, un changement, même mineur, des conditions de départ peut avoir un impact très important sur le résultat d'une gravure plasma.

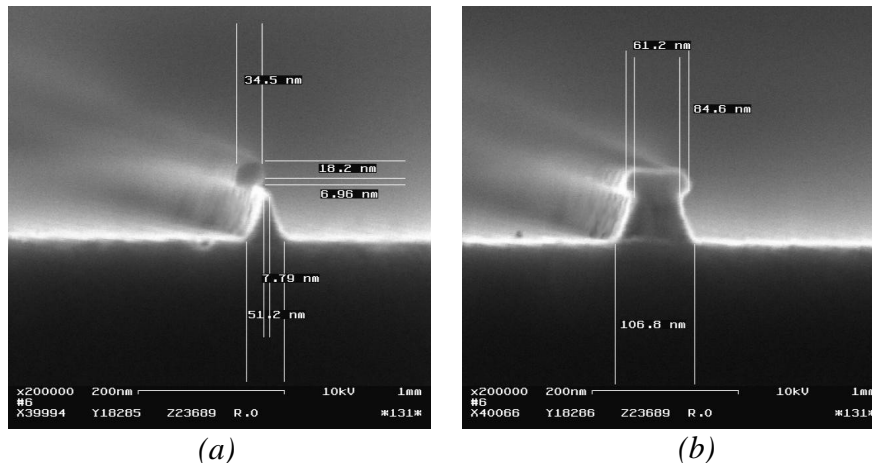


Fig. III.36: Gravure SF_6/N_2 (conditions standards) à travers des lignes HSQ de 50 nm (a) et 100 nm (b) d'un empilement de 10 nm de Si_3N_4 , 40 nm de W, 3 nm de SiO_2 .

La deuxième possibilité est d'utiliser la couche HSQ restante après gravure de la grille comme couche protectrice. Cette couche de silice résiste à une attaque à l'eau régale pouvant ainsi remplir parfaitement le rôle de protection de la grille. Un recuit de densification (700°C) réalisé

avant l'étape de formation des contacts Schottky permet à l'oxyde de résister à la gravure HF de désoxydation des zones source drain.

4-3.4 Conclusion.

L'usage de la résine électronique négative HSQ pour réaliser la grille métallique de tungstène en gravure sèche démontre une triple utilité: pour définir des motifs de haute résolution (20 nm), pour être un excellent masque de gravure plasma et enfin pour jouer le rôle de couche protectrice de grille. Les choix judicieux des gaz de gravure (SF_6/N_2) et des paramètres du bâti RIE ont permis l'obtention de profils de motifs verticaux de grille et d'une fin d'attaque parfaitement maîtrisée.

5- Réalisation d'un espaceur de nitrure.

5-1 Introduction.

La réalisation d'espaceurs de quelques dizaines de nanomètres est un challenge supplémentaire dans la réalisation d'une grille auto-alignée. De nature non conductrice, il permet d'isoler électriquement les zones source et drain de la grille. Il est réalisé en nitrure de silicium (Si_3N_4) plutôt qu'en oxyde de silicium afin d'améliorer la sélectivité avec la couche d'arrêt d'attaque (oxyde de grille). La nature du dépôt est très importante: il doit naturellement préserver l'intégrité de la grille mais aussi être purement isotrope pour obtenir un dépôt conforme. Enfin, la gravure par plasma RIE doit être anisotrope et sélective pour l'oxyde afin de réaliser des espaceurs verticaux.

5-2 Choix de la méthode de dépôt de nitrure.

5-2.1 Introduction.

Le but de cette section est d'analyser l'influence de l'étape de dépôt de nitrure sur l'intégrité de la grille. Les deux techniques évaluées sont des dépôts dit en phase vapeur (CVD). Le principe est de décomposer chimiquement une molécule en phase gazeuse. Cette décomposition peut être obtenue soit par voie thermique (dépôt en phase gazeuse à basse pression, LPCVD) soit par formation d'un plasma (dépôt en phase gazeuse assisté par plasma, PECVD). Ces techniques ont été évaluées en terme de rugosité et d'uniformité. Après le dépôt de nitrure, les changements de composition chimique du film de tungstène sont caractérisés par analyse XPS. La morphologie de la couche de nitrure est étudiée par microscopie électronique de transmission (MET).

5-2.2 Dépôt de nitrure par LPCVD.

Les molécules des gaz réactifs sont décomposés par voie thermique. Les conditions du dépôt (pression, températures et débit) conditionnent les réactions de dissociation et de formation des molécules. Le mélange de gaz utilisé se compose de dichlorosilane (SiH_2Cl_2) et d'ammoniac (NH_3). Le ratio de débit des deux gaz est prépondérant dans la stoechiométrie du nitrure de silicium obtenu. Un rapport de $\text{SiH}_2\text{Cl}_2:\text{NH}_3$ égal à 1:3 permet la création de la forme stable Si_3N_4 [56][57]. La pression et la température de l'enceinte influence respectivement le nombre de molécules présentes dans l'enceinte et la proportion de molécules décomposées. Ce deux phénomènes sont directement reliés à la vitesse de dépôt du diélectrique. L'optimisation de ces paramètres, en vue d'obtenir des couches de quelques dizaines de nanomètres, a conduit aux conditions suivantes: $\text{SiH}_2\text{Cl}_2:\text{NH}_3$ (10sccm:30sccm), 100 mTorr, 750°C. La Fig III.37 propose l'évolution de l'épaisseur déposée de nitrure en fonction du temps d'opération, ce qui permet d'extrapoler une vitesse de dépôt de 1.44 nm/min.

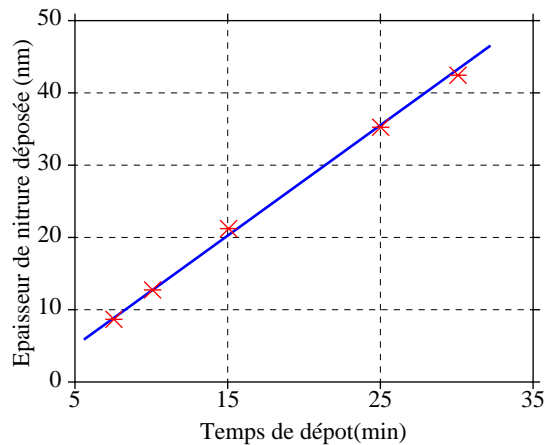


Fig. III.37: Evolution de l'épaisseur de nitrure en fonction du temps de dépôt pour les paramètres suivants: $\text{SiH}_2\text{Cl}_2:\text{NH}_3$ (10 sccm:30 sccm), 100 mTorr, 750°C. La vitesse de dépôt est de 1.44 nm/min.

Des échantillons constituant l'empilement de grille (35 nm W, 3.4 nm SiO_2 thermique sur un substrat Si massif) sont recouverts par 20 nm de nitrure LPCVD (temps de dépôt: 15 min). Ces échantillons ont été analysés par XPS et des spectres de hautes résolutions du niveau de coeur ont été enregistrés pour le tungstène (W4f), le silicium (Si2p), l'azote (N1s) et l'oxygène (O1s) avec un pas de résolution de 0.2 eV.

La Fig. III.38 expose les profils de XPS de profondeur de l'empilement $\text{Si}_x\text{N}_{1-x}/\text{W}/\text{SiO}_2/\text{Si}$. Il apparaît clairement que la couche supérieure de nitrure est quasi-stoichiométrique (Si_3N_4). Sur l'intervalle compris entre 40 à 60 minutes de temps de pulvérisation par plasma argon, une concentration significative d'oxygène est couplée à une égale proportion de tungstène, indiquant un état métallique oxydé. La partie restante du profil de 80 à 170 minutes permet d'identifier une partie de la couche de tungstène non oxydé puis la présence de l'oxyde de grille et enfin le substrat de silicium. On peut remarquer une concentration résiduelle de W sous l'oxyde de grille. Ceci n'est pas indicatif d'une pénétration de tungstène dans le silicium mais plutôt lié au processus de profilage par pulvérisation. C'est un inconvénient bien identifié des mesures XPS en pulvérisation où l'analyse de couches profondes très minces est enrichie par la présence de la couche du matériau précédent. Néanmoins, la présence d'oxygène sur une partie supérieure de la couche de tungstène n'est pas affectée par cet effet.

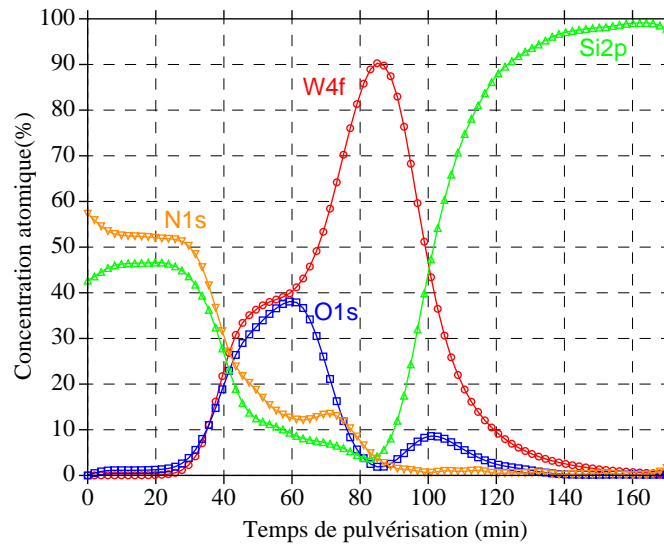


Fig.III.38: Profil de concentration atomique de profondeur de l'empilement de grille composée de Si_3N_4 LPCVD/W/ SiO_2 /Si.

Afin de mesurer plus précisément l'état d'oxydation de la couche de tungstène, une attention particulière est apportée à l'étude du spectre W4f enregistré après 55 minutes de pulvérisation (Fig. III.39). La présence d'oxygène peut être reliée à la formation de WO_2 et/ou de WO_3 . La composition résultante a été obtenue grâce à la déconvolution du spectre W4f mesuré. Les contributions principales dues au doublet de W^04f élémentaire ($4f_{5/2}, 4f_{7/2}$) sont clairement identifiables sur le spectre mesuré. L'élargissement significatif de spectre, observé à des énergies de liaison plus élevées (> 34.5 eV), peut être attribué à l'état de l'oxydation +6 (WO_3). Enfin, une déconvolution plus poussée du spectre indique la présence d'une troisième paire de pics résultant du tungstène dans un état de l'oxydation +4 (WO_2).

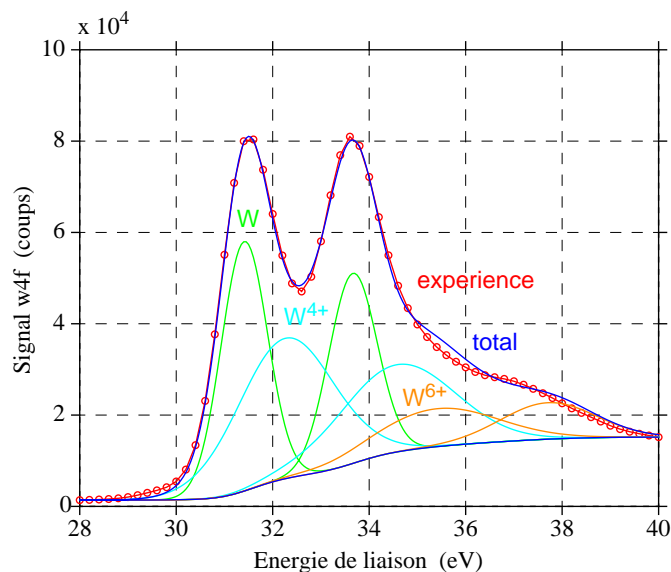


Fig.III.39: Spectre XPS du tungstène après 55 minutes de pulvérisation. La déconvolution du spectre indique une réduction du pourcentage de W élémentaire qui est oxydé. L'élargissement significatif dans l'intensité de signal est lié à des états d'oxydation de W⁴⁺ et de W⁶⁺.

Le procédé de déconvolution utilise une forme de pic gaussien et conserve dans tous les cas la même demi-largeur prise au maximum, le même écart d'énergies entre les pics 4f_{5/2} et 4f_{7/2} et un ratio entre les deux pics fixes égal à 4:3. L'addition des différents spectres de W⁰4f, de W⁴⁺4f et de W⁶⁺4f donne un excellent accord avec le spectre mesuré. Les valeurs d'énergie de liaison ainsi que les autres caractéristiques relevées sont récapitulées dans le tableau III.5 et s'avèrent être conformes aux valeurs extraites dans la littérature [56-61].

Tableau III.5: Energies de liaison de XPS, largeurs maximales de pics et séparations entre pics du tungstène dans différents états d'oxydation

composé	W (W ⁰ élémentaire)	WO ₂ (W ⁴⁺ élémentaire)	WO ₃ (W ⁶⁺ élémentaire)
énergie de liaison (eV) 4f _{7/2} pic	31.41	32.27	35.41
demi-largeur pris au max (eV)	1.13	2.59	2.63
séparation entre pics (eV)	2.3	2.3	2.3
4f _{7/2} ,4f _{5/2} ratio	4:3	4:3	4:3

La principale conclusion que l'on peut tirer de cette analyse est la modification de la partie supérieure de la couche de tungstène lors du dépôt du nitrure par LPCVD. Le mécanisme d'oxydation du tungstène révélé par l'analyse XPS peut intervenir lors de l'entrée de l'échantillon

dans le four dont la température de base est de 600°C et/ou lors de la montée en température (750°C) avec la présence résiduelle d'oxygène dans l'enceinte.

L'étude du spectre réflectométrique (Fig.III.40) obtenue par gravure RIE standard de la couche de nitrure de LPCVD au-dessus de l'empilement de grille W/SiO₂/Si consolide l'interprétation avancée. Il apparaît clairement une couche avec un indice de réflexion propre entre le nitrure LPCVD et la grille métallique de tungstène identifiable à partir de la dérivée du signal interférométrique. Le signal interférométrique caractérisant la couche de tungstène est identique à celui relevé Fig.III.27

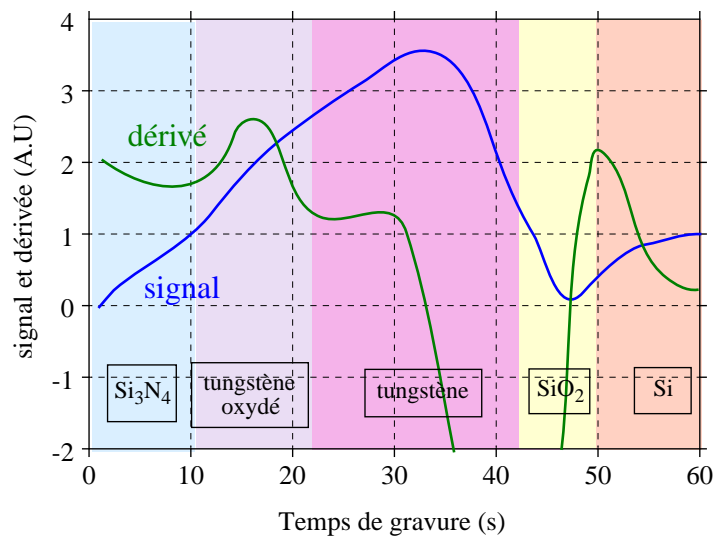


Fig. III.40: Spectre réflectométrique enregistré au cours de la gravure de l'empilement Si₃N₄ LPCVD (20 nm) / W(35 nm) / SiO₂ (3.4 nm) / Si. Une couche intercalée entre Si₃N₄ et W est clairement identifiable.

Enfin, des vues en coupe MET de l'empilement de grille décrit précédemment sont présentées en Fig.III.41. La Fig. III.41 (a) permet d'identifier deux zones distinctes dans la couche de 35 nm de tungstène: la partie supérieure est supposée être le tungstène oxydé. La fig.III.41 (b) montre un changement important de la rugosité du tungstène après dépôt de nitrure LPCVD, pouvant induire une dégradation des propriétés structurelles des motifs de grilles.

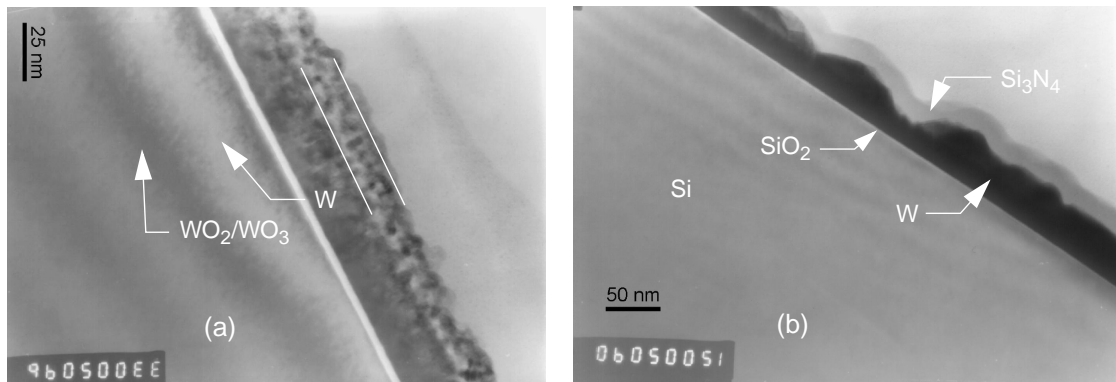


Fig. III.41: Images de section MET d'un dépôt de nitrure LPCVD sur l'empilement de grille W/SiO₂/Si. On peut observer (a) la couche de tungstène oxydée formée lors du dépôt du nitrure et (b) un changement important de la rugosité de la couche de tungstène.

5-2.3 Dépôt de nitrure par PECVD.

La deuxième technique de dépôt évaluée est un dépôt chimique en phase gazeuse assisté par plasma (PECVD). L'énergie thermique nécessaire aux réactions de dissociation dans le cas du LPCVD est remplacée par l'action des électrons énergétiques du plasma qui permet d'activer les réactions. Ainsi, le principal avantage du PECVD par rapport au LPCVD est la possibilité de déposer des couches à des températures relativement basses (en général inférieur à 300°C).

L'optimisation des paramètres de dépôt a conduit aux conditions suivantes: SiH₄(3% dans N₂):NH₃ (600 sccm:20 sccm), 1 Torr, 300°C pendant 70 s pour une couche de Si_xN_{1-x} de 10 nm. La vitesse de dépôt du nitrure dans ces conditions peut être approximée par une régression linéaire de coefficient de 1.43 Å/s. Le fonctionnement à basse température (300°C) permet de réduire potentiellement l'oxydation du tungstène. L'analyse XPS, présentée Fig.III.42, de l'empilement Si_xN_{1-x}/W/SiO₂/Si montre une couche de tungstène exempte de contamination d'oxygène et une frontière nitrure/métal très nette. La couche de Si_xN_{1-x} déposée n'est pas stoechiométrique (x=0.48). L'analyse en coupe de MET de l'empilement de grille confirme cette position (Fig. III.43). La couche de tungstène n'est pas affectée par le dépôt et la couche de nitrure est très homogène malgré sa faible épaisseur.

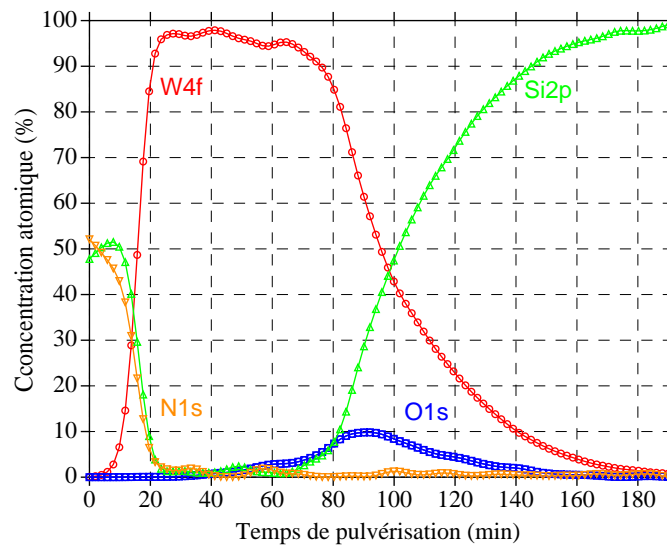


Fig.III.42: Profil XPS de concentration atomique de l'empilement de grille de PECVD $\text{Si}_3\text{N}_4/\text{W}/\text{SiO}_2/\text{Si}$.

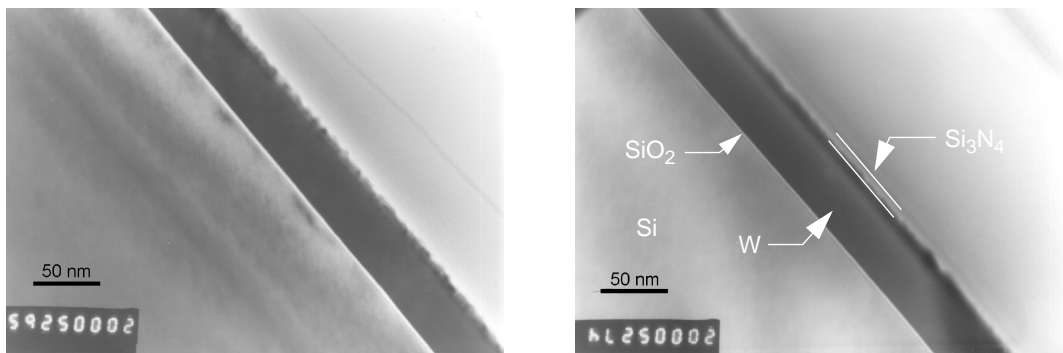


Fig.III.43: Vues en coupe de MET de la couche de nitrure de PECVD déposée sur l'empilement de grille $\text{W}/\text{SiO}_2/\text{Si}$ qui indiquent une couche parfaitement uniforme.

La limitation principale du PECVD est la difficulté de déposer des matériaux purs. Comme la température du substrat est relativement basse, les gaz produits par la réaction n'arrivent pas à être désorbés et se trouvent incorporés dans la couche. Ainsi, lors d'un dépôt de nitrure basse température, la teneur en hydrogène de la couche peut atteindre 30 at.%. La teneur en hydrogène est directement liée à la densité de la couche. En effet, plus le nitrure possède de liaisons hydrogène moins il est dense, et donc moins grande est sa résistance aux gravures chimiques (HF) ou physiques (attaque RIE). La concentration de la couche en hydrogène va varier considérablement en fonction de la température et du mélange de gaz utilisé. Par exemple, diluer 12 fois le mélange réactif SiH_4/NH_3 dans N_2 abaisse de 10% la concentration d'hydrogène dans la couche déposée [41]. Enfin, on peut résumer le mécanisme de formation d'un dépôt PECVD par

adsorption des espèces (dissociées par le plasma) sur la surface du substrat puis sur la couche. Il y a donc création de liaisons chimiques avec des atomes de surface et désorption des sous-produits de la réaction de surface. Alors que la dissociation est une réaction en phase gazeuse induite par le plasma, les liaisons chimiques et la désorption des sous-produits sont des phénomènes de surface où la température du substrat joue un rôle prépondérant. Les conditions de dépôt choisies permettent de réduire la concentration d'hydrogène sans pour autant atteindre une densité maximale obtenue par LPCVD.

Une technique largement répandue consiste à soumettre le nitrure déposé en PECVD à un recuit de densification ($>600^{\circ}\text{C}$) sous ambiance inerte (N_2). Le tableau III.6 offre une comparaison de la sensibilité à la gravure de nitrures obtenus par trois procédés différents. Comme attendu, un nitrure PECVD est nettement moins résistant à la gravure chimique et physique qu'un nitrure LPCVD. Néanmoins, un recuit de densification à 700°C pendant 60 s permet à un nitrure PECVD d'améliorer largement sa résistance à la gravure et de s'approcher de caractéristiques de nitrure LPCVD. La Fig. III.44 présente les images MET de couches de nitrure PECVD de 10 nm densifiées à 800°C pendant 60 s sur un empilement de grille. On observe clairement la cristallisation du tungstène avec la formation de grains colonaires sans aucun signe de changement à l'interface tungstène/nitrure.

Tableau III.6: Propriétés physiques et chimiques de couches minces de nitrure de silicium déposées par PECVD.

Propriétés	PECVD 300°C non densifié	PECVD 300°C densifié 700°C / 60s	LPCVD 750°C
Composition	$\text{Si}_{0.48}\text{N}_{0.52}$	$\text{Si}_{0.48}\text{N}_{0.52}$	Si_3N_4
gravure HF 1%	$> 190 \text{ \AA}/\text{min}$	$< 15 \text{ \AA}/\text{min}$	$< 15 \text{ \AA}/\text{min}$
gravure RIE SF_6/N_2 standard	$17.65 \text{ \AA}/\text{s}$	$6.3 \text{ \AA}/\text{s}$	$4.3 \text{ \AA}/\text{s}$

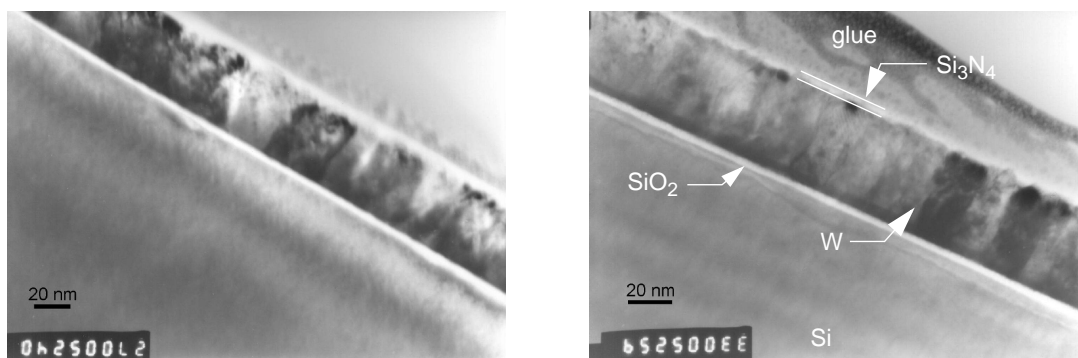


Fig.III.44: Vues en coupe de MET de la couche de nitrure de PECVD déposée sur l'empilement de grille W/SiO₂/Si après une étape de densification 800°C de 60 s.

5-2.4 Conclusion.

Dans cette section, nous avons étudié l'influence de l'étape de dépôt de nitrure sur l'intégrité de la grille. Les deux techniques de dépôt de nitrure de silicium, LPCVD et PECVD ont été évaluées par analyse XPS, MET et par caractérisation de leur résistance aux gravures chimiques et humides. Alors qu'un dépôt LPCVD provoque une oxydation significative de la couche de tungstène et une augmentation de sa rugosité, un nitrure PECVD fournit une couche d'épaisseur homogène, même pour des dimensions nanométriques sans altérer la couche de tungstène. Enfin, un simple recuit permet à un dépôt PECVD d'atteindre une densité sensiblement équivalente à un dépôt LPCVD.

5-3 Formation de l'espaceur par gravure sèche.

La formation de l'espaceur est finalement obtenue par gravure RIE purement anisotrope. Il doit exister une excellente sélectivité entre SiO_2 et Si_3N_4 . Il est bon de noter que la couche d'arrêt est l'oxyde de grille ultra-mince qui joue ce rôle pour la deuxième fois durant le procédé. De nombreux articles proposent une gravure anisotrope du nitrure en utilisant du CF_4 mélangé avec de l'argon [62], O_2/N_2 [63] ou encore CHF_3 [64]. Les premiers essais ont mis en avant un manque de sélectivité ainsi qu'un signal interférométrique ne permettant pas d'identifier clairement le point de fin d'attaque. Un procédé a été développé utilisant l'hexafluorure de soufre. Associé avec de l'oxygène, il permet d'améliorer la sélectivité entre SiO_2 et Si_3N_4 mais au détriment de la directionalité de l'attaque. Par contre, l'incorporation d'argon améliore l'anisotropie par l'intermédiaire de ions énergétiques Ar^+ mais au détriment de la sélectivité car la gravure physique mis en jeu n'a pas d'affinité spécifique avec les matériaux. De plus, Ar participe à la dissociation des gaz réactifs et augmente l'uniformité de la gravure en homogénéisant la distribution des gaz dans le plasma [55]. La Fig.III.45 expose le spectre interférométrique d'une attaque SF_6 / Ar sur une couche de 30 nm de nitrure PECVD densifiée déposée sur un oxyde de grille de 2.2 nm. Le point de fin d'attaque est clairement visible à partir de la dérivée du signal (courbe verte). Les dimensions critiques de la couche de fin d'attaque induisent des temps d'arrêt très courts de l'ordre de 1 à 3 secondes ce qui demande une très grande attention lors de la réalisation.

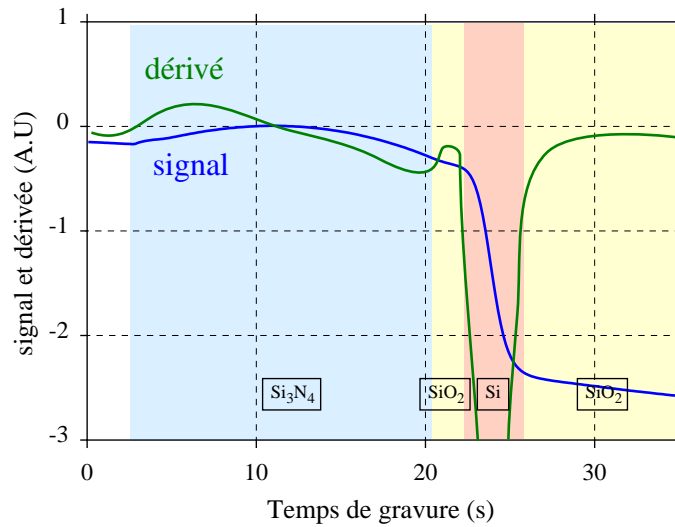


Fig. III.45: Spectre réflectométrique enregistré au cours de la gravure de l'empilement Si_3N_4 PECVD (30 nm) / SiO_2 (2.2nm) / SOI (10 nm).

Après optimisation, les paramètres de gravure RIE retenus sont les suivants: SF_6 :Ar (20 sccm:10 sccm), 50 W, 10 mT. La Fig.III.46 présente le résultat après gravure de lignes dessinées de 100nm (colonne de gauche) et 50 nm (colonne de droite) avec une épaisseur de nitrure déposée de 30 nm (a) et de 10 nm (b). Comme attendu, la largeur de l'espaceur est conditionnée par l'épaisseur de nitrure et la bonne anisotropie de la gravure assure la conservation de cette épaisseur.

La grille est parfaitement encapsulée, même pour un espaceur de 10 nm de large. La protection en HSQ, visible sur Fig.III.46 (a gauche), est recouverte d'une couche de nitrure assurant ainsi une double isolation. L'objectif de départ est clairement atteint.

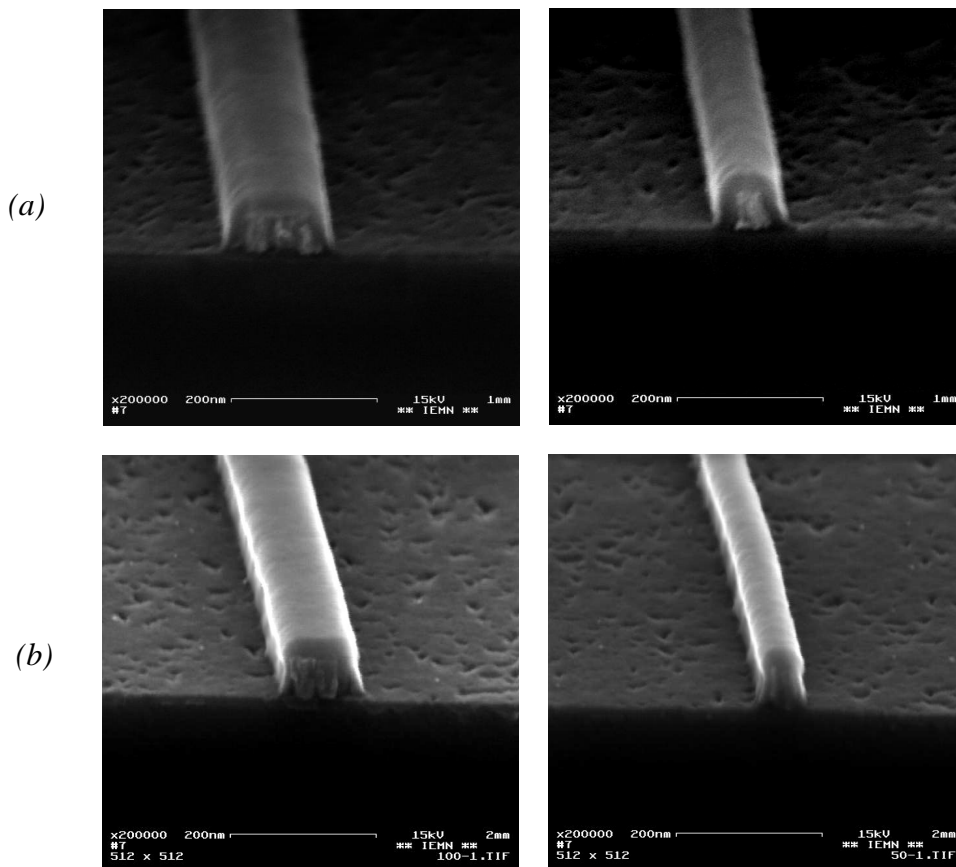


Fig. III.46: Images de coupe MEB de grille encapsulée réalisée à partir de lignes HSQ dessinées à 100 nm (colonne de gauche) et 50 nm (colonne de droite). Des espaceurs de 30 nm (a) et de 10 nm (b) de large ont été réalisés.

6- Intégration de la grille encapsulée dans le procédé du transistor MOS Schottky.

La grille encapsulée doit maintenant s'intégrer dans la suite du procédé décrit Fig.III.2 E, F et G. Cette partie investigate l'influence de la formation des zones source/drain en siliciure de platine sur l'intégrité de la grille et la possible création de couches conductrices entre la source et le drain provoquant le dysfonctionnement du transistor. L'intégration du siliciure d'iridium est plus problématique car il n'existe pas de solution chimique capable de graver l'iridium. Une voie d'étude en vue de son intégration dans un dispositif est présentée en annexe.

Après la réaction de siliciuration, qui intervient seulement sur les régions où le métal est en contact avec le silicium, une gravure sélective métal/siliciure permet de retirer l'excédent de métal qui n'a pas réagi sur l'encapsulation de la grille et qui induit un court-circuit entre les contacts source/drain. Cette gravure est réalisée dans une solution d'eau régale chauffée à 50°C. Elle est constituée d'un mélange acide chlorhydrique (HCl 37%), acide nitrique (HNO₃ 97%), eau (H₂O) dans des proportions 3:1:4. La vitesse d'attaque du platine métallique dans une solution fraîche est de 10.34 nm/min [65] et une sélectivité PtSi/Pt supérieure à 1/10.

Des analyses XPS et MET ont été réalisées afin de caractériser l'interface métal/nitride et d'y déceler d'éventuelles réactions. Sur un empilement pleine plaque de diélectrique (20 nm de nitride PECVD densifié à 700°C pendant 60 secondes, 2.2 nm oxyde thermique sur substrat Si massif) sont déposés par évaporation 10 nm de platine. L'échantillon a été préalablement laissé 30 secondes dans une solution HF 1% afin de simuler l'étape de désoxydation des zones source/drain.

L'analyse XPS des profils de concentration de profondeur avant l'étape de gravure eau régale est présentée Fig.III.47. Le profil Si2p a été déconvolué en Si2p(Si) et Si2p(SiON). Durant toute l'analyse, le pic chimique Pt4f_{5/2}, lorsqu'il est visible (entre 0 et 40 min de pulvérisation), reste centré sur 71 eV, une énergie de liaison qui correspond à un état métallique. Ainsi, le platine reste stable sur un nitride PECVD, même après une activation thermique. Aucune réaction de siliciuration n'est mise en évidence dans la couche métallique ou à l'interface nitride / platine. Par contre, une oxydation de la surface du nitride est clairement visible sur le profil des concentrations. Cette observation est confirmée par une analyse minutieuse des spectres mesurés de N1s (Fig.III.47 (a)) et de Si2p (Fig.III.47 (b)) pour des temps de pulvérisation compris entre 25 et 85 minutes. Dans la zone non affectée par l'oxygène, décrite par des temps de pulvérisation compris entre 60 et 85 minutes, les pics associés à Si2p_{3/2} et N1s sont centrés respectivement sur 102.7eV et 398.7eV. Ces énergies de liaison sont attribuées à la présence de liaisons Si-N d'un nitride non stoechiométrique [66]. Un décalage chimique de -1eV du spectre de Si2p_{3/2} intervient dans la zone où l'oxygène est détectée (25-60 min), passant de 102.7 eV à 101.7 eV. Ceci montre bien que l'environnement chimique du silicium a changé. De plus, les positions maximales des spectres de Si2p_{3/2} et O1s associées à un oxyde de silicium stoechiométrique (obtenue chapitre II sur l'oxyde enterré d'un substrat SOI) sont respectivement 103.8 eV et 533.1 eV. On peut donc affirmer que la sous couche caractérisée n'est ni un oxyde de silicium, ni un nitride de silicium mais un composé mixte oxynitride de silicium (SiON). Cette analyse est confirmée par la position du

pic associé à O1s qui reste centré à 532.1 eV. Enfin, un décalage chimique du pic associé à N1s (de 398.7 eV à 397.8 eV) consolide l'hypothèse proposée. L'oxydation de la surface du nitrure est intervenue au cours de l'étape de densification réalisée à 700°C sous atmosphère azotée. De faibles teneurs en oxygène, activées par la température, suffisent pour oxyder la surface. Ce phénomène a déjà été observé lors de l'étude du siliciure de platine (chap.II.3-2.1).

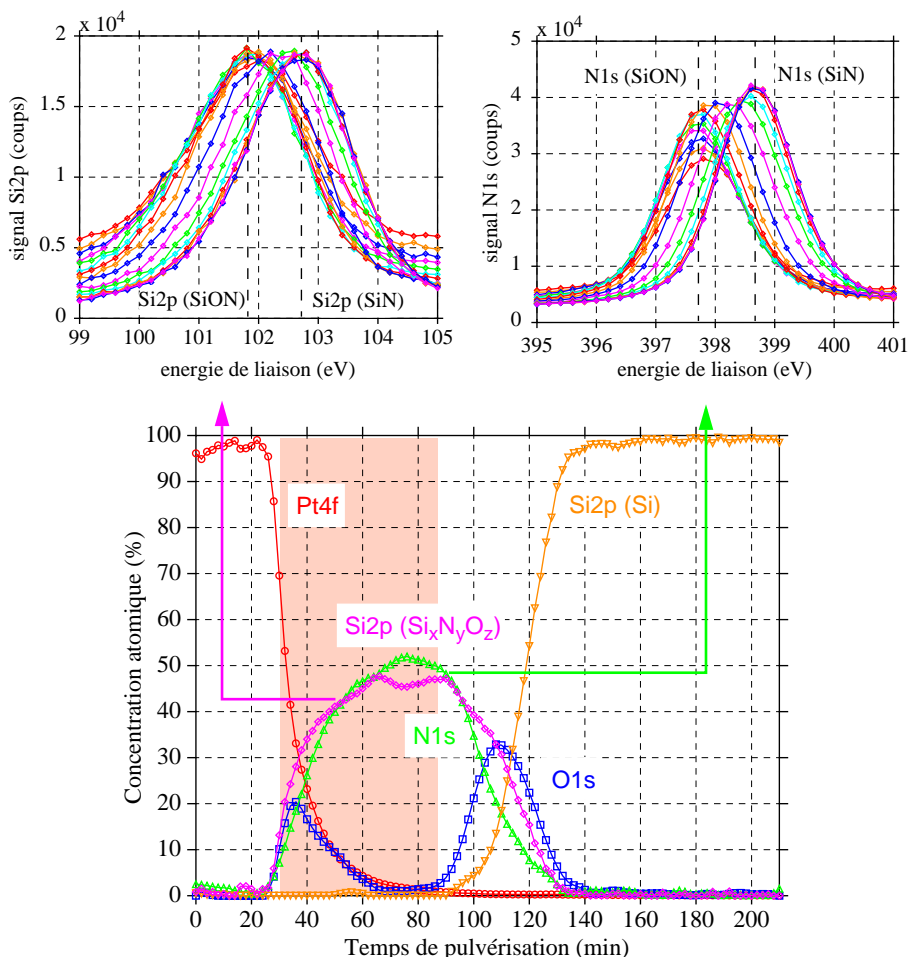


Fig.III.47: Analyse XPS de l'empilement de grille composée de Si_3N_4 PECVD/ SiO_2 / Si après réalisation de l'étape de siliciuration (dépôt de 20 nm de Pt) montrant: (a) aucune réaction du platine avec SiN et la formation d'un oxynitrure à l'interface nitrure / Pt. (b) des spectres de $\text{Si}2p$ enregistrés dans la zone ombragée: le pic $\text{Si}2p$ se décale de 102.7eV (dans le nitrure) à 101.8 eV correspondant à un changement d'environnement chimique lié à l'oxydation de surface. (c) les spectres de $\text{N}1s$ enregistrés dans la même zone montrent la même évolution.

L'analyse XPS du profil des concentrations sur l'empilement de grille après gravure du platine à l'eau régale est présentée en Fig.III.48. Le platine a été correctement éliminé, l'analyse n'a détecté aucune trace métallique sur l'échantillon, notamment à la surface du nitrure. Aucun changement notable ne semble être intervenu dans l'empilement au cours de la gravure

humide. La couche d'oxynitride de silicium est toujours présente à la surface du nitrure $\text{Si}_{0.47}\text{N}_{0.53}$.

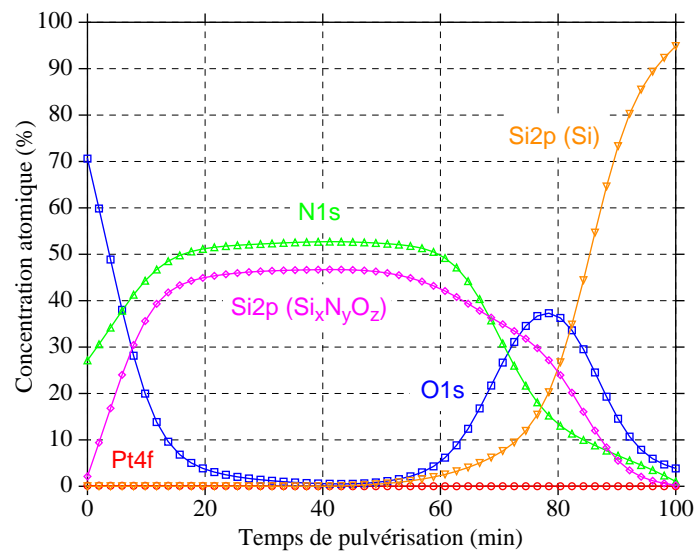


Fig.III.48: Profil de concentration atomique de profondeur de l'empilement de diélectrique composée de Si_3N_4 PECVD/ SiO_2 /Si après gravure de la couche de platine à l'eau régale.

Les analyses XPS sont consolidées par des photos MET en vue de coupe (Fig.III.49) de l'empilement de diélectrique. Après gravure du platine à l'eau régale, il n'y a plus de trace métallique sur la couche de nitrure. De plus, la couche d'oxynitride est visiblement à la surface du nitrure avant et après gravure. Son épaisseur est d'environ 3 nm.

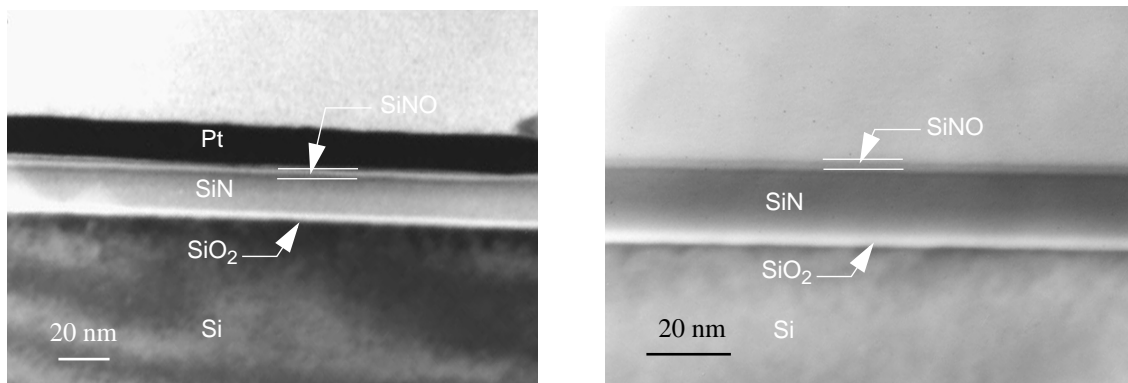


Fig.III.49: Vues MET en coupe de l'empilement $\text{SiN}/\text{SiO}_2/\text{Si}$ avant (gauche) et après (droite) gravure de la couche de platine dans une solution d'eau régale. L'attaque est parfaitement propre avec la disparition de toute la couche de platine sans dégrader la couche de nitrure. Dans les deux cas, la couche d'oxynitride de silicium est clairement visible à la surface du nitrure.

Enfin, l'illustration de la parfaite réussite du procédé est mis en avant en Fig.III.50 et Fig.III.51. Des images MEB en perspectives de grilles dessinées à 50 nm (Fig.III.50 gauche) et à 100 nm (Fig.III.50 droite) montrent la parfaite intégrité du dispositif à la fin du procédé. La grille en tungstène est encore encapsulée avec des espaceurs de 25 nm de large. La sélectivité platine / siliciure est optimale puisque l'attaque eau régale a fait disparaître le métal tout en préservant le siliciure. Une certaine rugosité apparaît sur couche de siliciure liée à la fin de gravure de la grille de tungstène. Néanmoins, le phénomène est peu localisé aux abords immédiats de la grille et la pénétration du siliciure sous l'espaceur permet d'obtenir une interface siliciure/silicium non perturbée propice au fonctionnement optimal de la jonction schottky. La Fig.III.51 est une image MET en vue de coupe d'une grille de 200 nm de large. L'encapsulation du tungstène est visible.

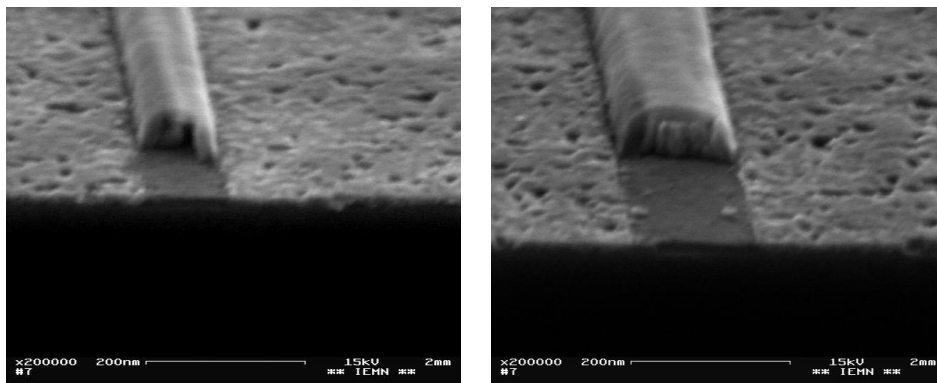


Fig. III.50: Images de coupe MEB de grille encapsulée réalisée à partir de lignes HSQ dessinées à 50 nm (colonne de gauche) et 100 nm (colonne de droite). La grille n'est pas dégradée par l'étape de siliciuration de platine.

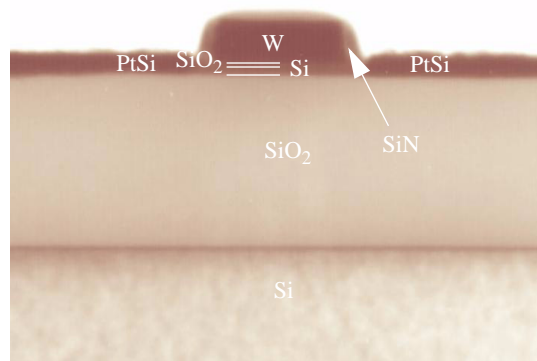


Fig. III.51: Images de coupe MET du transistor MOS Schottky ALSB (grille dessinée de 200nm).

7- Conclusion

Ce chapitre présente la réalisation d'une grille métallique à dimensions nanométriques (20-100 nm) sur substrat SOI. Le choix du métal de grille (tungstène) permet de travailler avec une tension de seuil particulièrement bien adaptée pour des dispositifs n-MOS et p-MOS avancés et de ne pas être limités par les températures des traitements thermiques. Un oxyde de grille (SiO_2) inférieur à 2 nm est présenté et offre des courants de fuites qui ne détériorent pas le fonctionnement du transistor à l'état bloqué. L'utilisation d'une résine électronique négative (HSQ) permet de réaliser des lignes de hautes définitions. Les choix judicieux des gaz de gravure et des paramètres du bâti RIE assure l'obtention de profils de grille verticaux et d'une fin d'attaque parfaitement maîtrisée. L'utilisation d'un nitrure PECVD forme, après gravure anisotrope, des espaces ultra-minces (10 nm) sans dégrader le métal de grille. Le procédé d'encapsulation du tungstène assure une parfaite protection contre les gravures chimiques. Enfin, l'intégration du platine n'affecte pas l'intégrité du dispositif et un parfait alignement des zones source / drain par rapport à la grille est obtenu.

Bibliographie

- [1] C. K. Lau, Y. C. See, D. B. Scott, J. M. Bridges, S. M. Perna, R. D. Davies, IEDM Technical Digest, p. 714 (1982).
- [2] L. Feldman, E.P. Gusev, E. Garfunkel, "Fundamental aspects of Ultrathin Dielectrics on Si-based Devices", Kluwer, 1998.
- [3] SIA Semiconductor Industry Association, "The International Technology Roadmap for Semiconductors - ITRS", 2001.
- [4] M.L. Green, E.P. Gusev, R. Degraeve, E. Garfunkel, "Ultrathin SiO₂ and Si-O-N gate dielectric layers for silicon microelectronics", Journal of Applied Physics, vol. 90, no. 5, p. 2057-2121, 2001.
- [5] A. Bauer, E. Burte, "high quality 4nm gate dielectrics prepared at low pressure in oxygen and nitrous oxide atmospheres", Microelectronics Journal, vol. 27, p. 667-673, 1996.
- [6] C. Gerardi, R. Zonca, B. Crivelli, M. Alessandri, "Nitridation of Thin Gate or Tunnel Oxides by Nitric Oxide", Journal of The Electrochemical Society, vol. 146, No. 8, p. 3058-3064, 1999.
- [7] C. Sodini, K. Krisch, "Silicon oxynitride gate dielectrics for scaled CMOS", International Electronic Devices Meeting, p.617-621, 1992.
- [8] R. Isaac, IBM Journal Research Device, vol. 44, p. 369, 2000.
- [9] G. Timp and al., "The ballistic nano-transistor", International Electronic Devices Meeting, p.55, 1999.
- [10] M. Green, T. Sorsch, G. Timp, D. Muller, B. Weir, P. Silverman, S. Moccio, O. Kim, "Understanding the Limits of Ultrathin SiO₂ and Si-O-N Gate Dielectrics for Sub-50 nm CMOS", Microelectronics Journal, vol. 48, p. 25, 1999.
- [11] T. Engel, "The interaction of molecular and atomic oxygen with Si(100) and Si(111)", Surface Science Reports, vol. 18, p. 93-144, 1993.
- [12] V. D. Borman, E. P. Gusev, Yu. Yu. Lebedinski, and V. I. Troyan, "Mechanism of submonolayer oxide formation on silicon surfaces upon thermal oxidation", Physical Review B vol. 49, p. 5415-5423, 1994.
- [13] F. Ross, J. Gibson, R. Twesten, "Dynamic observations of interface motion during the oxidation of silicon", Surface Science, vol. 310, p. 243-266, 1994.
- [14] B. Deal, S. Grove, "General relationship for thermal oxidation of silicon", Journal of Applied Physics, vol. 36, p. 3770-3778, 1965.
- [15] H. Z. Massoud, J. D. Plummer and E. A. Irene, "Thermal Oxidation in Dry Oxygen Growth-Rate Enhancement in the Thin Regime", J. Electrochem. Soc.: solid state science and technology, vol. 132, No. 11, p. 2693, 1985.
- [16] H. C. Lu, T. Gustafsson, E. P. Gusev, E. Garfunkel, "An isotopic labeling study of the growth of thin oxide films on Si(100)", Applied Physics Letters, vol. 67, No. 12, p. 1742-1744, 1995.
- [17] D. R. Hamann, "Diffusion of Atomic Oxygen in SiO₂", Physical Review Letters, vol. 81, p. 3447-3450, 1998.
- [18] T. E. Jackman, J. R. MacDonald, L. C. Feldman, P. J. Silverman, I. Stensgaard, "(100) and (110) Si-SiO₂ interface studies by MeV ion backscattering", Surface Science, vol. 35, p. 35-42, 1980.
- [19] F. J. Himpsel, F. R. McFeely, A. Taleb-Ibrahimi, J. A. Yarmoff, "Microscopic structure of the SiO₂/Si interface", Physical Review B vol. 38, p. 6084-6096, 1988.

- [20] R. M. C. de Almeida, S. Gonçalves, I. J. R. Baumvol, F. C. Stedile, "Dynamics of thermal growth of silicon oxide films on Si", *Physical Review B*, vol. 61, No. 19, p. 12992-12999, 2000.
- [21] S. Gorantla, S. Muthuvenkatraman, R. Venkat, "A model for thermal growth of ultrathin silicon dioxide in O₂ ambient: a rate equation approach", *IEEE Transactions on Electron Devices*, vol. 45, No. 1, p. 336-338, 1998.
- [22] C. Krzeminski "Report on the test and validation of a new model for silicon dry oxidation and comparison with the Deal&Grove approach", *Frendtech Deliverable D502*, 2002.
- [23] C. Chen, J. Hwu, "A model for thermal growth of ultrathin silicon dioxide in O₂ ambient: a rate equation approach", *IEEE Electron Device Letters*, vol. 18, No. 1, p. 1-3, 1997.
- [24] Y. Okada, P. Tobin, V. Lakhota, W. Feil, S. Ajuria, R. Hegde, "Relationship between growth conditions, nitrogen profile, and charge to breakdown of gate oxynitrides grown from pure N₂O", *Applied Physics Letters*, 1993, vol. 63, No. 2, p. 194-196, 1993.
- [25] A. Danel, F. Tardif, E. Kamieniecki, "Impact and behavior of trace contaminants in high-purity plasma process gases", *Solid State Technology*, September 1999.
- [26] S. Knotter, K. Kenis, M. Depas, M. Meuris, P. Mertens, M. Heyns, "Impact of Organic Contamination on Thin Gate Oxide Quality", *Japan Journal Applied Physics*, vol.37, No. 9A, p. 4649-4655, 1998.
- [27] M. M. Heyns, T. Bearda, I. Cornelissen, S. De Gendt, R. Degraeve, G. Groeseneken, C. Kenens, D. M. Knotter, L. M. Loewenstein, P. W. Mertens, S. Mertens, M. Meuris, T. Nigam, M. Schaekers, I. Teerlinck, W. Vandervorst, R. Vos, K. Wolke, "Cost-effective cleaning and high-quality thin gate oxides", *IBM Journal of Research and Development*, vol. 46, No. 3, p. 339-350, 2002.
- [28] M. Bidaud, F. Guyader, F. Arnaud, J.L. Autran, K. Barla, "1.5-2.5nm RTP gate oxides: process feasibility, properties and limitations", *Journal of Non-Crystalline Solids*, vol. 280, p. 32-38, 2001.
- [29] R. H. Fowler, L. Nordheim, "Electron emission in intense electric fields", *Proc. Royal Soc. London, Ser. A* 119, p. 173, 1928.
- [30] E. Wu, E. Nowak, A. Vayshenker, W. Lai, D. Harmon, "CMOS scaling beyond the 100nm node with silicon dioxide based gate dielectrics", *IBM Journal of Research and Development*, vol. 46, No. 3, p. 287-315, 2002.
- [31] S. Tompson, P. Packan, M. Bohr, "MOS scaling: transistor challenges for the 21st century", *Intel Technology Journal*, Q398, 2003.
- [32] H. Wakabayashi, T. Yamamoto, K. Yoshida, E. Soda, K.I. Tokunaga, T. Mogami, T. Kunio, "Ultralow resistance W/Poly-Si gate CMOS technology using amorphous-Si/TiN buffer layer", *IEEE Trans. Electron Dev.* 49, pp 295-300, 2002.
- [33] D.A. Buchanan, F.R. McFeely, J.J. Yurkas, "Fabrication of midgap metal gates compatible with ultrathin dielectrics", *Appl. Phys. Lett.* 73, pp 1676-1678, 1998.
- [34] Y. Abe, T. Oishi, K. Shiozawa, Y. Tokuda, S. Satoh, "Simulation study on comparison between metal gate and polysilicon gate for sub-quarter-micron MOSFET's", *IEEE Electron Dev. Lett.* 20, pp 632-634, 1999.
- [35] E. Dubois, G. Larrieu, X. Baie, C. Kreminski, X. Wallart, V. Bayot, X. Tang T. Skotnicki, D. Bensahel, E. Robilliart, "IST-2000-26475 SODAMOS periodic Project Report Year 2", 2002.
- [36] D. Schroder, "semiconductor material and device characterization", *Wiley Interscience publication*, 2nd edition, 1998.
- [37] J. Ederth, L.B. Kish, E. Olsson, C.G. Granqvist, "In situ electrical transport during isothermal annealing of nanocrystalline gold films", *J. Appl. Phys.* 91, pp 1529-1535, 2002.

- [38] O.V. Mazurin, "Relaxation phenomena in glass", *J. Non-Cryst. Solids*, vol. 25, p. 129-169, 1977.
- [39] B. Lewis and J. C. Anderson, *Nucleation and Growth of Thin Films*, Academic Press, New York (1978).
- [40] S. M. Sze, "VLSI Technology", Mc Graw-Hill, 2nd edition, 1998.
- [41] A. Richardt, A.M. Durand, "les interactions ions énergétiques-solides", Editions In Fine, Paris.
- [42] J.-J. Bessot, "Les nouvelles techniques de dépôts sous vide- Evolution et tendance", *Surfaces*, vol. 124-128, p. 3-24, 1976.
- [43] H. Namatsu, Y. Takahashi, K. Yamazake, T. Yamaguchi, M. Nagase, K. Kurihara, "Three-dimensional siloxane resist for the formation of nanopatterns with minimum linewidth fluctuations, *Journal of Vacuum Science & Technology B*, vol. 16, No. 1, pp. 69-76, 1998.
- [44] St. Trelenkamp, J. Moers, A. van der Hart, P. Kordo, H. Lüth, "Patterning of 30 nm wide silicon webs with an aspect ratio of 10", *micro and nano engineering international conference*, 2002.
- [45] L. Mollard, G. Cunge, S. Tedesco, B. Dal'zotto, J. Foucher, "HSQ hybrid lithography for 20 nm CMOS development", *Microelectronic Engineering*, vol. 61-62 p. 755-761, 2002.
- [46] A. Götzhäuser, W. Geyer, V. Stadler, W. Eck, M. Grunze, K. Edinger, Th. Weimann, P. Hinze, "Hydrogen silsesquioxane/novolak bilayer resist for high aspect ratio nanoscale electron-beam lithography", *Journal of Vacuum Science & Technology B*, vol. 18, No. 6, p. 3419-3423, 2000.
- [47] M. Kohler, "Etching in microsystem technology", Wiley-VCH, 1999.
- [48] J. P. Colinge, "Silicon-on-Insulator: materials to VLSI", the Kluwer international series in engineering and computer science, SECS 132, 1991.
- [49] Matlab, "High-performance numeric computation and visualization software", user's guide, 1992.
- [50] M. Chaker, S. Boily, Y. Diawara, M. A. El Khakani, E. Gat, A. Jean, H. Lafontaine, H. Pépin, J. Voyer, J. C. Kieffer, A. M. Haghiri-Gosnet, F. R. Ladan, M. F. Ravet, Y. Chen, and F. Rousseaux, "X-ray mask development based on SiC membrane and W absorber", *Journal of Vacuum Science & Technology B*, vol. 10, No. 6, pp. 3191-3195, 1992.
- [51] M. Schattenburg, I. Plotnik, H. Smith, "Reactive-ion etching of 0.2 μ m period gratings in tungsten and molybdenum using CBrF_3 ", *Journal of Vacuum Science & Technology B*, vol. 3, No.1, p. 272-275, 1985.
- [52] C.W. Jurgensen, R.R. Kola A.E. Novembre, W.W. Tai, J. Frackoviak, L.E. Trimbe, G.K. Celler, "Tungsten patterning for 1:1 x-ray masks", *Journal of Vacuum Science & Technology B*, vol. 9, p. 3280-3286, 1991.
- [53] S. Tachi, K. Tsujimoto, S. Okudaira, "Dry etching method", United States Patent No. 4,992,136, February 1991.
- [54] A. Durandet, Y. Arnal, J. Pelletier, C. Pomot, "Anisotropy and kinetics of the etching of tungsten in SF_6 multipolar microwavw plasma", *Journal of Applied Physics*, vol. 67, No. 5, p. 2298-2302, 1990.
- [55] H. Lee, S. Lee, H. Moon, S. Kim, J. Sohn, J. Ahn, "Highly anisotropic etching of tungsten-nitride for an X-ray mask absorber with an inductively coupled plasma system", *Japan Journal of Applied Physics*, vol. 37, No. 12B, p. 6819-6823, 1998.
- [56] T. Makino, "Composition and structure control by source gas ratio in LPCVD SiN_x ", *Journal Electrochemical Society*, vol. 130, No.2, p. 450-455, 1983.
- [57] P. Pan, W. Berry, "The composition and physical properties of LPCVD silicon nitride deposited with different $\text{NH}_3/\text{SiH}_2\text{Cl}_2$ gas ratios", *Journal Electrochemical Society*, vol. 132, No. 12, p. 3001-3005, 1985.

- [58] S.S. Perry, H.C. Galloway, P. Cao, E.J.R. Mitchell, D.C Koeck, C.L. Smith, M.S. Lim, "The influence of chemical treatments on tungsten films found in integrated circuits", *Applied Surface Science*, vol. 180, p. 6-13, 2001.
- [59] D. Tamboli, S. Seal, V. Desai, " Studies on passivation behavior of tungsten in application to chemical mechanical polishing", *Journal of Vacuum Science & Technology A*, vol. 17, No. 4, p. 1168-1176, 1999.
- [60] T.E. Madey, C.H. Nien, K. Pelhos, J.J. Kolodziej, I.M. Abdelrehim, H.S. Tao, "Faceting induced by ultrathin metal films: structure, electronic properties and reactivity", *Surface Science*, vol. 438, p. 191-206, (1999).
- [61] C. Cantalini, M.Z. Atashbar, M.K Ghantasala, S. Santucci, W. Wlodarski, M. Passacantando, "Characterization of sol-gel prepared WO_3 thin films as a gas sensor", *Journal of Vacuum Science & Technology A*, vol. 17, No. 4, p. 1873-1879, 1999.
- [62] P. Nallan, A. Kumar, J. Chinn, "Anisotropic silicon nitride etching for shallow trench isolation in an high density plasma system", US patent 6,132,631, 1997.
- [63] G. Oehrlein, B. Kastenmeier, P. Matsuo, "Highly selective chemical dry etching of silicon nitride over silicon and silicon dioxide", US patent 6,060,400, 1998.
- [64] B. Grimbert, C. Boyaval, V. Hoel, "Attaque plasma anisotrope du Si_3N_4 pour grille ultra-courte", Rapport interne IEMN, non publié.
- [65] J. Penaud, "Elaboration et caractérisation des contacts Schottky à très faibles hauteurs de barrières applicables aux architectures nouvelles de transistor MOS", DEA université de Lille 1, 2002.
- [66] G. Ingo, N. Zacchetti, *High Temperature Science*, vol. 28, p. 137, 1990.

Chapitre IV

Réalisation et caractérisation électrique du transistor Schottky p-MOSFET.

Ce chapitre synthétise le procédé de réalisation de l'ALSB-SOI-MOSFET avec intégration d'une grille métallique autoalignée. Les résultats de caractérisations électriques sont exposés comprenant à la fois une étude sur canaux longs et courts. Ces résultats sont discutés et comparés avec l'état de l'art des technologies S/D Schottky. Une attention particulière est portée sur le traitement de défauts d'interface à la fin du procédé.

1- Procédé de réalisation du transistor Schottky p-MOSFET.

Le but de cette section est de synthétiser le procédé de fabrication du transistor Schottky ALSB SOI MOSFET (Tableau IV.1), qui intègre l'étape de formation de la grille métallique encapsulée en tungstène (chapitre III) et la formation des contacts Schottky en siliciure de platine (chapitre II). Il comporte 34 étapes élémentaires et 5 niveaux de masques. Le procédé de fabrication de l'ALSB MOSFET est plus simple qu'un procédé CMOS standard. Il fait l'économie de toutes les étapes d'implantation de dopants, comme celles du canal, des source / drain ou des poches. Aucune étape d'activation de dopant haute température n'est requise, permettant de limiter le budget thermique du procédé. De plus, il est totalement compatible avec les lignes de fabrication CMOS classique ainsi qu'avec différents type de technologies alternatives. Par exemple, la démonstration sur substrat SOI ultra fin a été faite dans ce travail mais l'utilisation de substrat silicium contraint ou SiGe ne pose aucun problème particulier. Ainsi, la compatibilité avec les tech-

nologies CMOS existantes et futures, la réduction du nombre de niveau de masque et de budget thermique rendent le procédé d'un transistor Schottky MOSFET économiquement très attrayant.

En se référant au tableau IV.1, les cinq niveaux de masques sont résumés ci-dessous:

La première étape de procédé est la réalisation de marques pour assurer l'alignement de tous les niveaux de masques suivants. Ces marques sont des trous gravés dans le substrat. Une profondeur de l'ordre du micron donne un excellent contraste permettant un bon alignement.










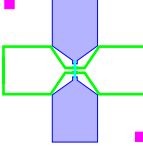



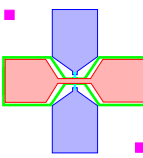



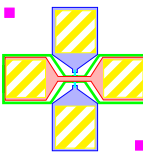
La deuxième étape est la définition de la zone active pour isoler la partie active du transistor dans une zone clairement délimitée. Une bande de 10 μm autour du périmètre choisi est gravée anisotropiquement jusqu'à l'oxyde de silicium enterré (MESA).

La troisième étape est la réalisation de la grille encapsulée autoalignée développée au chapitre III. L'écriture électronique prévoit deux passes successives: la première de faible résolution permet de définir les plots de contacts alors que la seconde de forte résolution permet la définition du masque de grille (Fig.IV.1). Un développement particulier a permis de prendre en compte les effets de proximités générés par l'écriture des plots de contacts sur la grille intrinsèque.

La quatrième étape est la réalisation des contacts Schottky en siliciure de platine conformément à l'étude réalisée chapitres II et III.

Enfin, la dernière étape est un épaissement métallique des zones des contacts source / drain et de grille afin de minimiser les résistances d'accès extrinsèques.

Tableau IV.1: procédé de fabrication détaillé de l'ALSB-SOI p-MOSFET.

Etapes	Etapes élémentaires	Description des étapes	Dessin du masque
1- Marques d'alignements Définition des marques gravées pour l'alignements des différents niveau de masque par lithographie électronique 	1.1 Enduction de la résine	- COPO 13% MMA 8.5 1500 rpm 1000 rpm/s 12 s 1800 nm recuit 170°C 30min.	
	1.2 Exposition des motifs par lithographie électronique.	dose 380 $\mu\text{C}/\text{cm}^2$	
	1.3 Développement	révélateur MIBK/IPA (1:2) 60s rinçage IPA	
	1.4 Gravure RIE anisotrope du substrat SOI pour réaliser les marques d'alignements gravées de 1000nm de profondeur.	gravure SiO_2 enterré (200nm): CF_4 80sccm, Ar 120sccm, 125 W, 50mT, 9 min gravure Si (800nm) SF_6 10sccm, N_2 10sccm, 50 W, 10mT, 3 min50	
	1.5 Enlèvement de la résine	acétone puis rinçage IPA et séchage sous N_2 .	
2- Isolations MESA Définition de la zone active par gravure "MESA". 	2.1 Enduction de la résine	- COPO 13% MMA 8.5 1500 rpm 1000 rpm/ 12 s 1274 nm 170C 30min	 
	2.2 Exposition des motifs par lithographie électronique	dose 380 $\mu\text{C}/\text{cm}^2$	
	2.3 Développement	révélateur MIBK/IPA (1:2) 60s rinçage IPA	
	2.4 Gravure RIE anisotrope de la couche de silicium actif pour isoler la couche active du transistor.	SF_6 10sccm, N_2 10sccm, 50 W, 10mT, 30 s	
	2.5 Enlèvement de la résine	acétone puis rinçage IPA et séchage sous N_2 .	
3-Grille métallique  	3.1 Nettoyage et désoxydation de la surface	$\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ (5/2) 10 min puis rinçage H_2O HF 1%, 30 sec puis rinçage H_2O	  
	3.2 Croissance oxyde de grille oxydation sèche SiO_2 22Å	O_2 (0.2 sccm): N_2 (2 sccm) 675°C->725°C 30 min O_2 (2 sccm) 725°C 25 min	
	3.3 Evaporation du métal de grille.	40 nm de tungstène par évaporation par canon électron.	
	3.4 Enduction de la résine	- Résine inorganique négative: FOX 12 (HSQ) 3000 rpm 5000 rpm 60 s 50 nm recuit 150°C 2min et 220°C 2min	
	3.5 Exposition des motifs par lithographie électronique	Réalisation de deux passes: - plot de contact - définition de la ligne.	
	3.6 Développement	Révélateur MF 322 60s puis rinçage H_2O	
	3.7 Gravure RIE anisotrope grille métal	SF_6 10sccm, N_2 10sccm, 50 W, 10mT, 27s	
	3.8 Dépôt nitrure Si_xN_y	Si_xN_y PECVD 300°C 90s	
	3.9 Recuit de densification pour améliorer la résistance du nitrure aux gravures.	Recuit RTA 700°C 1 min	
	3.10 Gravure RIE anisotrope pour définir l'espaceur.	SF_6 20sccm Ar 10sccm 20 W 10mT 30s	
4- Réalisation des contacts Schottky source/drain 	4.1 Enduction de la résine	- résine positive PMMA 950K 4% 3500 rpm 1000rpm/s 12s 135nm recuit 170°C 30min	  
	4.2 Exposition des motifs par lithographie électronique	dose 500 $\mu\text{C}/\text{cm}^2$	
	4.3 Développement	révélateur MIBK/IPA (1:2) 60s rinçage IPA	
	4.4 Désoxydation	HF 1%, 25 sec puis rinçage H_2O	
	4.5 Evaporation métal contact	5nm de platine par évaporation par canon électron	
	4.6 Enlèvement de la résine	acétone puis rinçage IPA et séchage sous N_2	
	4.7 Recuit d'activation	siliciuration 300°C / 2 min sous N_2/H_2	
	4.8 Gravure humide Pt non réagi	eau régale: $\text{HCl}:\text{HNO}_3:\text{H}_2\text{O}$ 3:1:2 50°C 30s	
5- Epaisseur plot de contacts 	5.1 Enduction de la résine	- COPO 13% MMA 8.5 1500 rpm 1000 rpm/ 12 s 1274 nm 170C 30min	  
	5.2 Exposition des motifs par lithographie électronique	dose 380 $\mu\text{C}/\text{cm}^2$	
	5.3 Développement	révélateur MIBK/IPA (1:2) 60s rinçage IPA	
	5.4 Gravure humide HSQ	HF 1%, 25 sec puis rinçage H_2O .	
	5.5 Evaporation métal plot	100 nm Al par évaporation par canon électron.	
	5.6 Enlèvement de la résine	acétone puis rinçage IPA et séchage sous N_2	

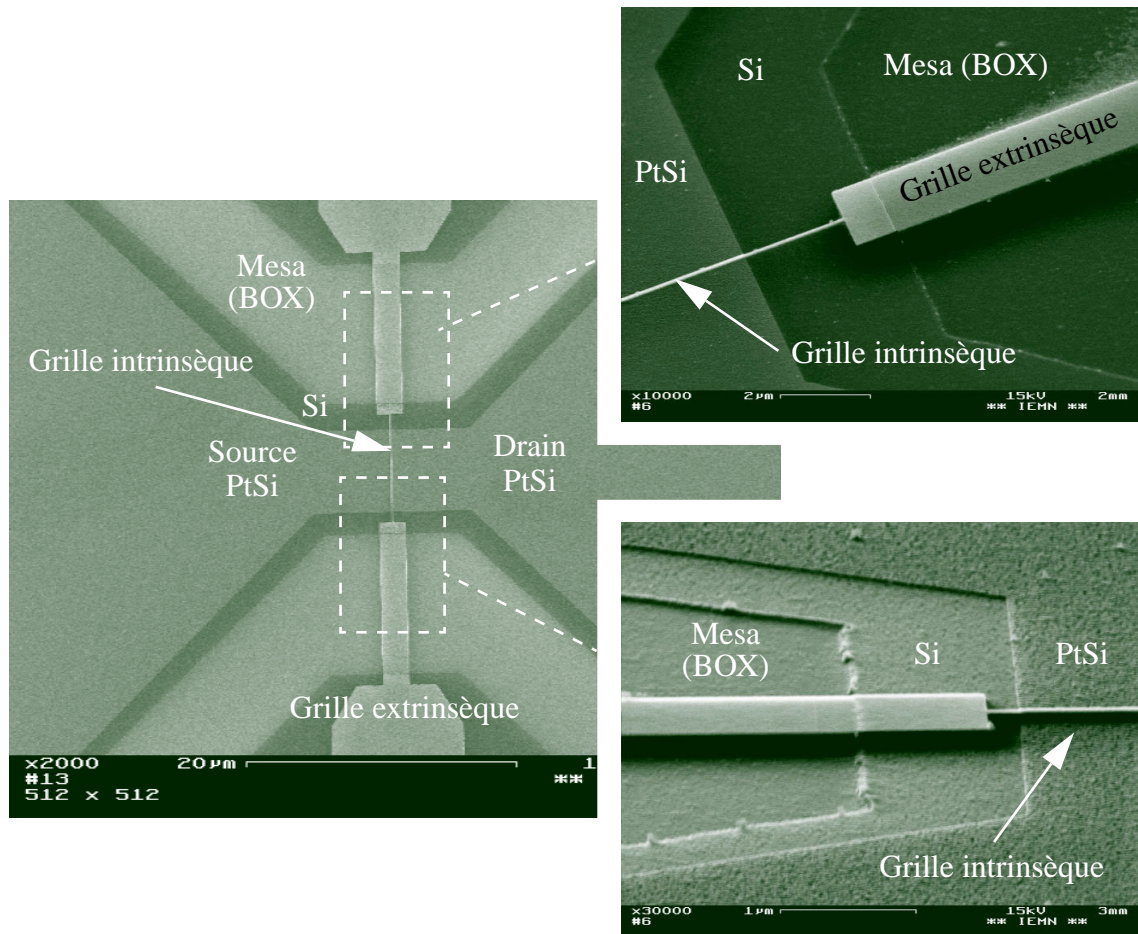


Fig.IV.1: Imagerie MEB d'un transistor MOSFET à barrière Schottky de type p de longueur de grille intrinsèque de 50 nm sur substrat SOI fin (10 nm).

2- Caractérisation électrique de l'ALSB-SOI p-MOSFET.

Le transistor MOSFET à barrière Schottky (PtSi) présenté a été caractérisé pour différentes longueurs de grille variant de 2000 nm à 30 nm. Les résultats les plus intéressants sont présentés dans cette section puis sont discutés et comparés avec l'état de l'art.

2-1 Caractérisation statique courant-tension.

Les Fig.IV.2 à IV.6 présentent les caractéristiques $I_{DS}-V_{GS}$ (en échelle logarithmique et linear), G_m-V_{GS} et $I_{DS}-V_{DS}$ mesurées sur des dispositifs de longueur de grille de 2000, 1000,

500, 100 and 40 nm. Les quatre premiers dispositifs ont subi un recuit de réduction de défauts d'interface (cf. paragraphe 2-2.2).

Pour les cas de canaux longs (2000 et 1000 nm), les courbes $I_{DS}-V_{GS}$ obtenues (Fig.IV.2 et IV.3) sont idéales avec une pente sous le seuil égale à 61 mV/dec à 300°K (correspondant à la limite physique de ce paramètre). Le courant à l'état bloqué est très faible, de l'ordre du pA/ μm . Le rapport I_{on}/I_{off} est proche ou supérieur à 10^7 . C'est la première fois que de telles performances sont démontrées pour un transistor MOSFET à barrière Schottky [1]-[25]. Les caractéristiques $I_{DS}-V_{DS}$ ne présentent pas d'effet de seuil pour de faibles tensions de drain lorsque le transistor fonctionne en régime linéaire [5]. Enfin, la tension de seuil, mesurée à 0.37 V, est conforme avec celle espérée dans le cas d'une grille métallique midgap (section III-3.1).

Pour le dispositif de 500 nm (Fig.IV.4), des caractéristiques quasi-idéales sont obtenues. Cependant, le niveau courant est légèrement affecté dans une région située à la transition entre le régime sous le seuil (déplétion) et de faible accumulation. Néanmoins, un bon niveau de performance est obtenu avec un rapport I_{on}/I_{off} de $2.6 \cdot 10^6$ à $V_{GS}=V_{DS}=-2$ V et une pente sous le seuil de 65 mV/dec. Pour un dispositif de 100 nm de longueur de grille (Fig.IV.5), la perte de courant de commande observée autour de la tension de seuil est plus accentuée. Cependant, après cette région, d'excellents courants de commande ($325 \mu\text{A}/\mu\text{m}$ à $V_{GS}=V_{DS}=-2$ V et $237 \mu\text{A}/\mu\text{m}$ à $V_{GS}=-2$ V / $V_{DS}=-1.6$ V) et une bonne transconductance ($250 \text{ mS}/\text{mm}$ à $V_{DS}=-1.6$ V) sont obtenus. La pente sous le seuil est de 79 mV/dec, le DIBL de 50 mV/V à $V_{DS}=-1.1$ V. Enfin, un dispositif de longueur de grille de 40 nm (Fig.IV.6) présente des caractéristiques courant-tension qui sont de nouveau limitées à la transition entre le régime sous le seuil et de faible accumulation. Cet effet disparaît à une tension de grille plus élevée ($V_{GS} < -1$ V). De plus, la caractéristique sous le seuil est dégradé avec une pente égale à 180 mV/dec et un DIBL de 230 mV/V. Cependant, un excellent courant de commande de $425 \mu\text{A}/\mu\text{m}$ couplé à un courant à l'état bloqué de $368 \text{ nA}/\mu\text{m}$ est obtenu. Cette performance est la meilleure jamais enregistrée pour un transistor MOSFET de Schottky [1]-[25].

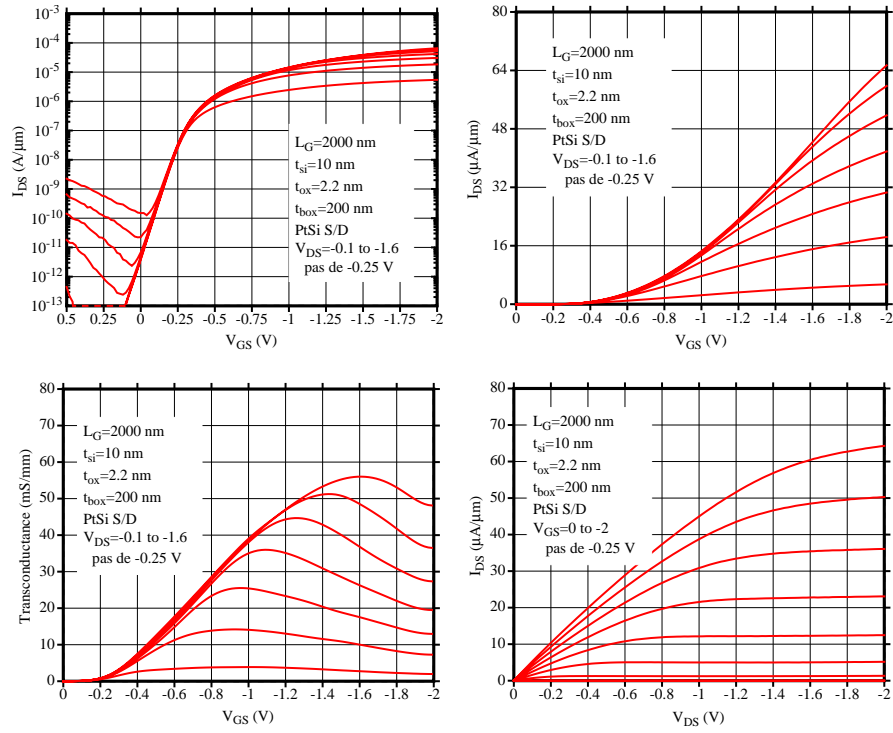


Fig.IV.2: Caractéristiques I-V d'un transistor à barrière Schottky de longueur de grille de 2000 nm.

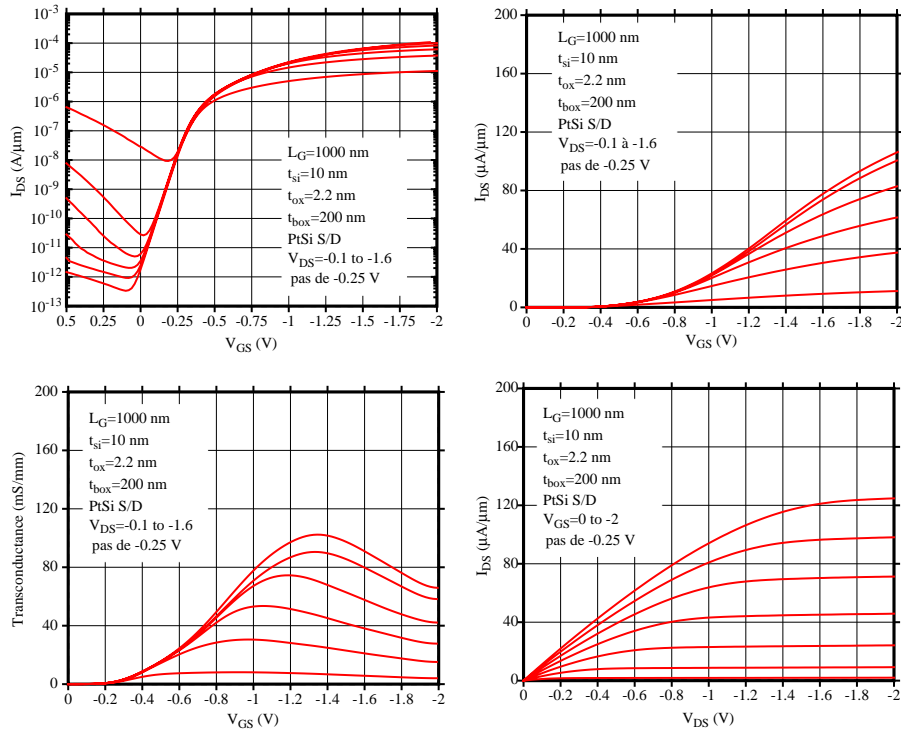


Fig.IV.3: Caractéristiques I-V d'un transistor à barrière Schottky de longueur de grille de 1000 nm.

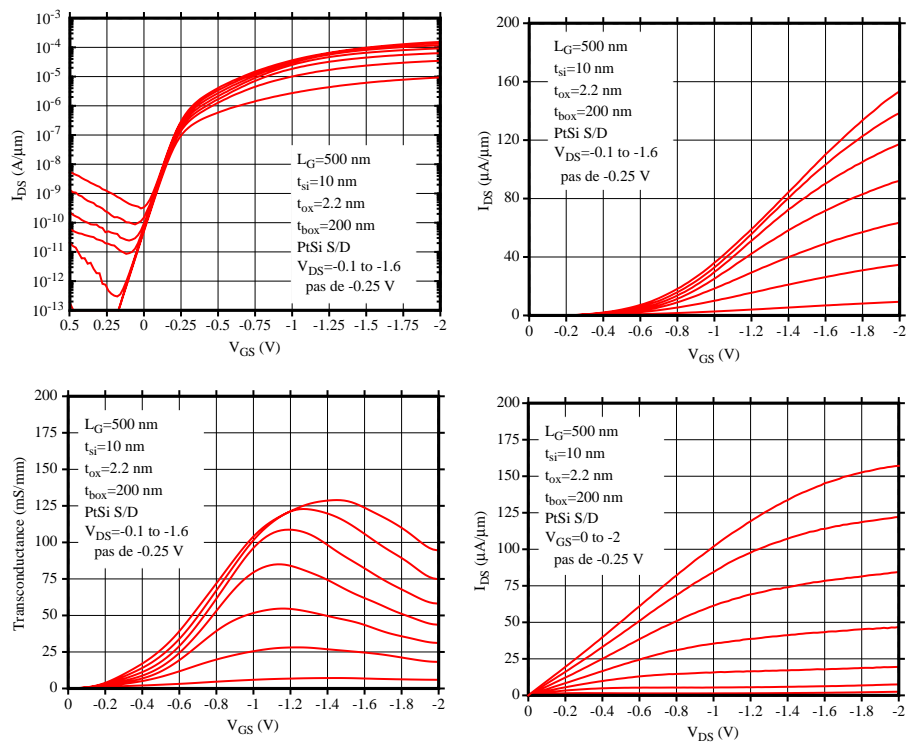


Fig.IV.4: Caractéristiques I-V d'un transistor à barrière Schottky de longueur de grille de 500 nm.

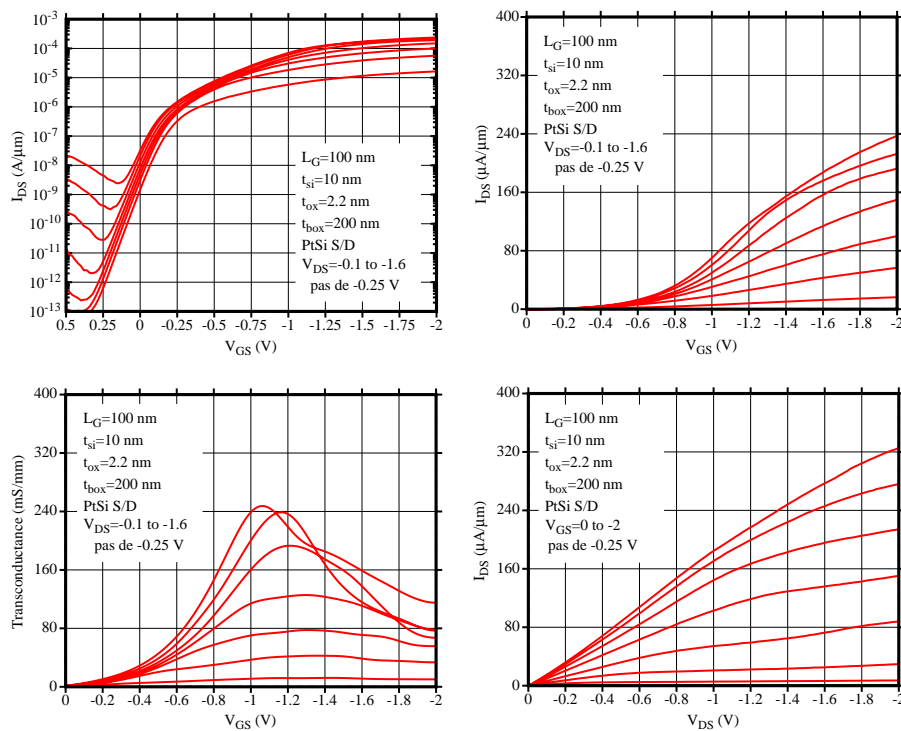


Fig.IV.5: Caractéristiques I-V d'un transistor à barrière Schottky de longueur de grille de 100 nm.

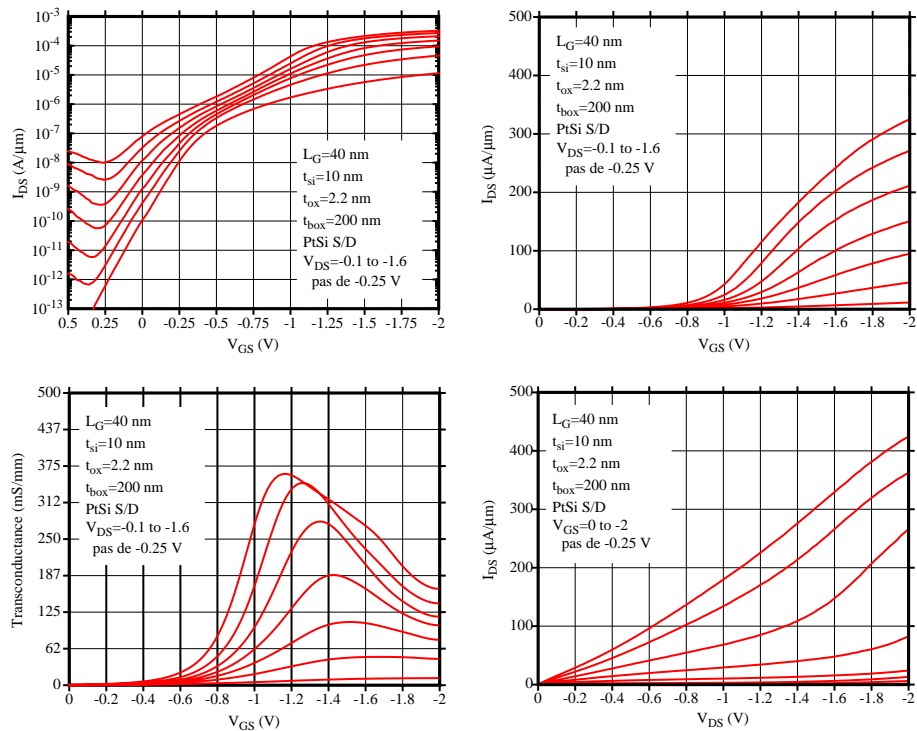


Fig.IV.6: Caractéristiques I-V d'un transistor à barrière Schottky de longueur de grille de 40 nm.

2.2 Discussion et analyse.

Cette section propose une discussion sur les phénomènes apparus sur les caractéristiques courant-tension comme la perte de courant dans le régime de faible accumulation ou la dégradation de la caractéristique sous le seuil pour les plus petites dimensions.

2.2.1 Perte de courant en régime de faible accumulation.

Snyder et al. [12] explique la diminution de courant dans la zone comprise entre la tension de seuil et le régime de faible accumulation par un changement de mécanisme d'injection de courant, passant d'une injection majoritairement thermo-électronique à une injection majoritairement par effet de champ (tunnel). La Fig.IV.7 présente schématiquement l'évolution des bandes d'énergie à la jonction source/canal en fonction de la tension de grille appliquée. Quand le transistor est à l'état bloqué (Fig.IV.7 (a)), un trou ne peut être injecté dans le canal que par effet thermo-électronique en surmontant la barrière de potentiel composée de la barrière Schottky et de la barrière électrostatique développée par la grille. Lorsque le potentiel de grille est assez élevé pour

accumuler des trous dans le canal (Fig.IV.7 (b)), l'injection se fait majoritairement à travers la barrière par effet tunnel. Le courant est donc gouverné et limité par le mécanisme d'injection par effet de champ. Enfin, lorsque le courant devient suffisamment grand la résistance de canal commence à dominer le système. Dans ce régime de tension de grille, le niveau de courant n'est pas limité par l'injection S/D.

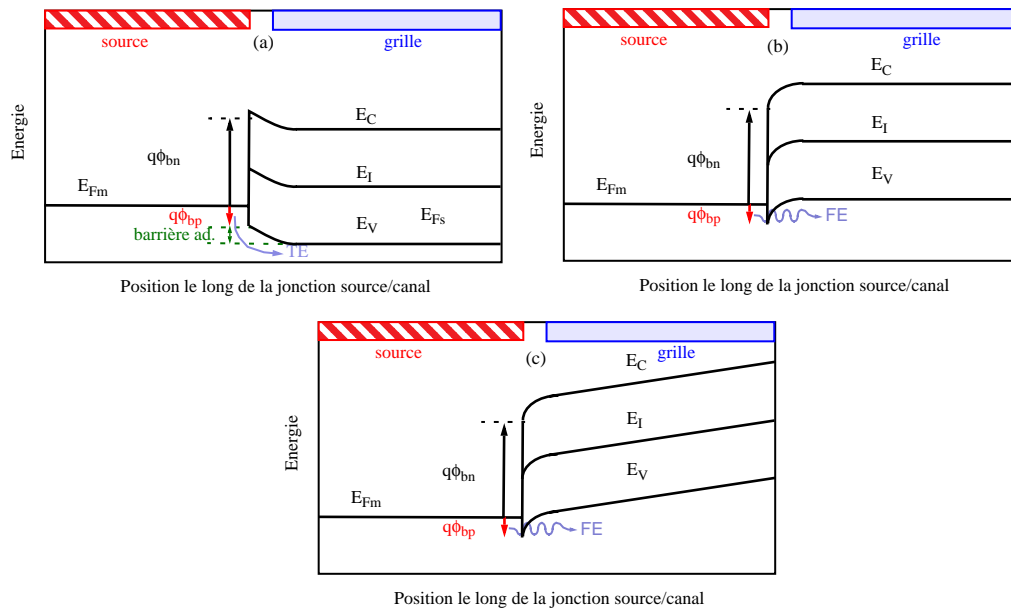


Fig.IV.7: Diagramme de bande d'énergie à la jonction source/canal en régime (a) thermo-électronique, (b) par effet de champ, (c) limité par la résistance de canal..

Afin de vérifier si l'interprétation physique ci-dessus est responsable de la perte de courant à la transition entre le régime sous le seuil et de faible accumulation, des simulations ont été réalisées dans le cadre de SODAMOS [26] afin d'étudier l'impact de la hauteur de barrière Schottky sur les performances en courant. Pour ne pas être perturbé par les éventuels effets canaux courts, la discussion suivante est limitée à un transistor à canal long et large ($L=1000$ nm, $W=10$ μ m). Une attention particulière est placée sur la sensibilité du courant de commande avec la barrière Schottky à champ nul (ϕ_{bp0}). La Fig.IV.8 compare les caractéristiques $I_{DS}-V_{GS}$ mesurées à $V_{DS}=-0.1$ V et à $V_{DS}=-1.1$ V à celles simulées pour lesquelles ϕ_{bp0} est successivement fixés à 0.14, 0.2, 0.3 et 0.4 eV.

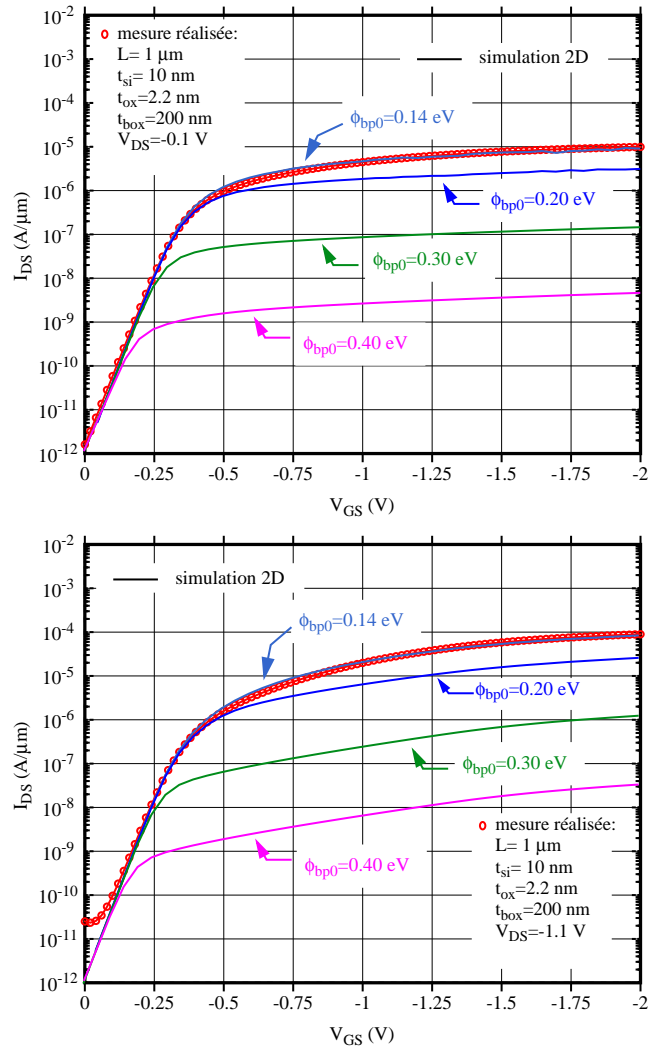


Fig.IV.8: Comparaison entre les caractéristiques $I_{DS}-V_{GS}$ mesurées et simulées sur un SB-MOSFET de type p de longueur de grille de 1000 nm avec des contacts S/D en PtSi: (a) $V_{DS}=-0.1$ V (b) $V_{DS}=-1.1$ V.

Une performance en courant correcte est obtenue pour la plus faible barrière (0.14 eV). On peut observer que les barrières supérieures à 0.14 eV entraînent une forte diminution du courant de commande et provoquent un aplatissement des courbes $I_{DS}-V_{GS}$ en faible accumulation. Cependant, une augmentation du courant n'intervient pas lorsque la tension de grille augmente, comme observée dans les Fig.IV.4 à IV.6. En d'autres termes, dans la mesure où la barrière de Schottky pour les trous est suffisamment faible, par exemple de 0.14 eV comme mesuré ici, la simulation n'indique aucun changement sur la pente des courbes $I_{DS}-V_{GS}$. En conséquence, on peut présumer que l'injection par effet de champ n'est pas un mécanisme qui limite le niveau courant au début de l'accumulation lorsque la barrière est suffisamment faible.

Une autre hypothèse permettant d'expliquer la perte de courant de commande dans la zone de faible accumulation est liée à la présence possible de défauts d'interface à la jonction siliciure / silicium. Kedzierski [3] a observé ce phénomène dans le cas d'un SB-transistor de type n avec des contacts S/D en siliciure d'erbium. Il a déduit que la hauteur de barrière pour les électrons (ϕ_{bn0}) changeait de 0.32 eV à 0.28 eV lorsque la tension de grille, et donc le champ électrique à l'interface de la jonction, augmentait. Il suggère la présence de défauts ou de pièges d'interface de type donneur entre le siliciure et le semiconducteur et affirme que lorsque ces états d'interface sont remplis (i.e. occupés par des électrons), la hauteur de barrière est à 0.32 eV. Il invoque ensuite le vidage de ce niveau de piège lorsque la tension de grille augmente et suggère en conséquence un abaissement de barrière de 0.32 à 0.28 eV. Or, pour qu'un piège de type donneur soit rempli (neutre), son niveau d'énergie doit être inférieur à celui du niveau de Fermi (Fig.IV.9 (a)). Cependant, contrairement au scénario proposé par Kedzierski, l'accroissement de la tension de grille positive ne permet pas le vidage d'un niveau donneur (Fig.IV.9 (b)). Il est clairement impossible de changer la charge du défaut et par la même d'influencer la hauteur de barrière Schottky.

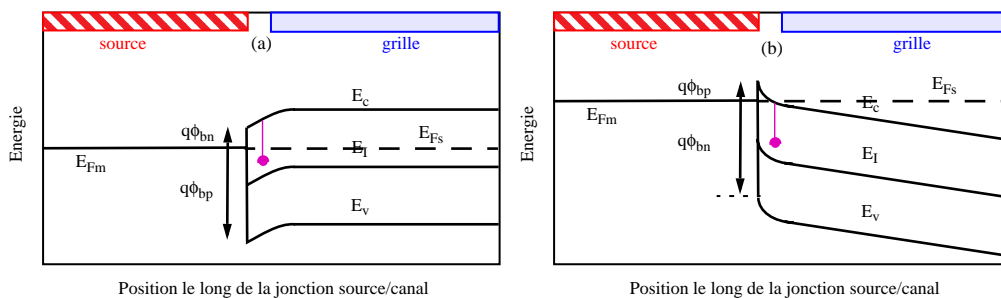


Fig.IV.9: Diagramme de bande d'énergie à la jonction source/canal pour un transistor nMOS (a) une charge d'interface type donneur est remplie en régime faible V_{GS} (b) le donneur est toujours remplie lorsque V_{GS} augmente.

En conclusion, la chute de courant dans l'expérience de Kedzierski ne peut s'expliquer par la présence de donneurs qui modulent la hauteur de barrière suivant la polarisation de la grille. Par contre dans le cas d'un pMOS, des charges remplies peuvent être vidées sous l'action d'une tension de grille négative. Qu'il s'agisse de défauts de type donneurs ou d'accepteurs, le fait de vider un piège fait émerger une différence de charge positive, qui tend à accroître la hauteur de barrière pour les trous. En effet, dans le cas d'un défaut de type donneur, le piège, initialement neutre, devient chargé positivement. Dans le cas d'un défaut de type accepteur, le piège, initialement chargé négativement, passe à l'état neutre. Il faut préciser que ces pièges se situent

dans un niveau d'énergie proche de la bande de valence pour qu'il n'y ait pas de transfert de charge tant que la caractéristique en courant du transistor est gouvernée par la barrière créée par le métal de grille. Enfin, la qualité de l'encrochement du siliciure sous les espaceurs peut certainement avoir une influence sur les caractéristiques en courant et devra être étudié plus en détail.

2.2.2 Réduction des défauts d'interfaces.

Afin d'étudier la possible implication des états d'interface sur le courant de commande en régime d'accumulation mais aussi sur les caractéristiques sous le seuil, des recuits post siliciuration ont été effectués sur un dispositif de longueur de grille de 100 nm dont les caractéristiques $I_{DS}-V_{GS}$ sont présentées en Fig.IV.10. Dans le premier cas (a), les caractéristiques d'un dispositif sans recuit présentent un très mauvais comportement sous le seuil (pente sous le seuil élevée et fort DIBL), significatif de la présence de charge à l'interface oxyde de grille/ silicium de canal. Dans le deuxième cas (b), un recuit de post siliciuration à 450°C pendant 4 minutes est effectué sous azote hydrogéné (N_2/H_2 97:3). Ce recuit intervient à la fin du procédé après l'étape de gravure humide visant à retirer l'excès de métal non réagi lors de la siliciuration (eau régale). Il est établi que les étapes de gravure peuvent introduire des pièges ou défauts et qu'un recuit sous atmosphère hydrogénée permet de les passiver [27]. L'amélioration de la caractéristique $I_{DS}-V_{GS}$ est spectaculaire pour le régime sous le seuil ($S = 79$ mV/dec et $DIBL = 50$ mV/V) ainsi que pour le régime en faible accumulation. L'accroissement en courant dans la première partie de la caractéristique participe à l'augmentation sensible du courant de commande final (à $V_{GS}=-2$ V, $V_{DS}=-1.1$ V $I_{rec450}=195$ $\mu A/\mu m$ et $I_{nonrec}=56$ $\mu A/\mu m$). Enfin, le troisième cas (c) est un dispositif de 100 nm de long recuit à 500°C pendant 5 minutes. La caractéristique sous le seuil est légèrement améliorée avec une pente égale à 76 mV/dec et un DIBL de 32 mV/V. Par contre, la caractéristique s'est dégradée dans la partie faible accumulation ainsi qu'en courant de commande maximum. Ceci est directement relié avec une dégradation du siliciure par une surdiffusion de silicium (paragraphe II.3.2) qui augmente la hauteur de barrière Schottky. Ce comportement est parfaitement en accord avec les simulations sur la sensibilité du courant avec la hauteur de barrière, Fig.IV.8.

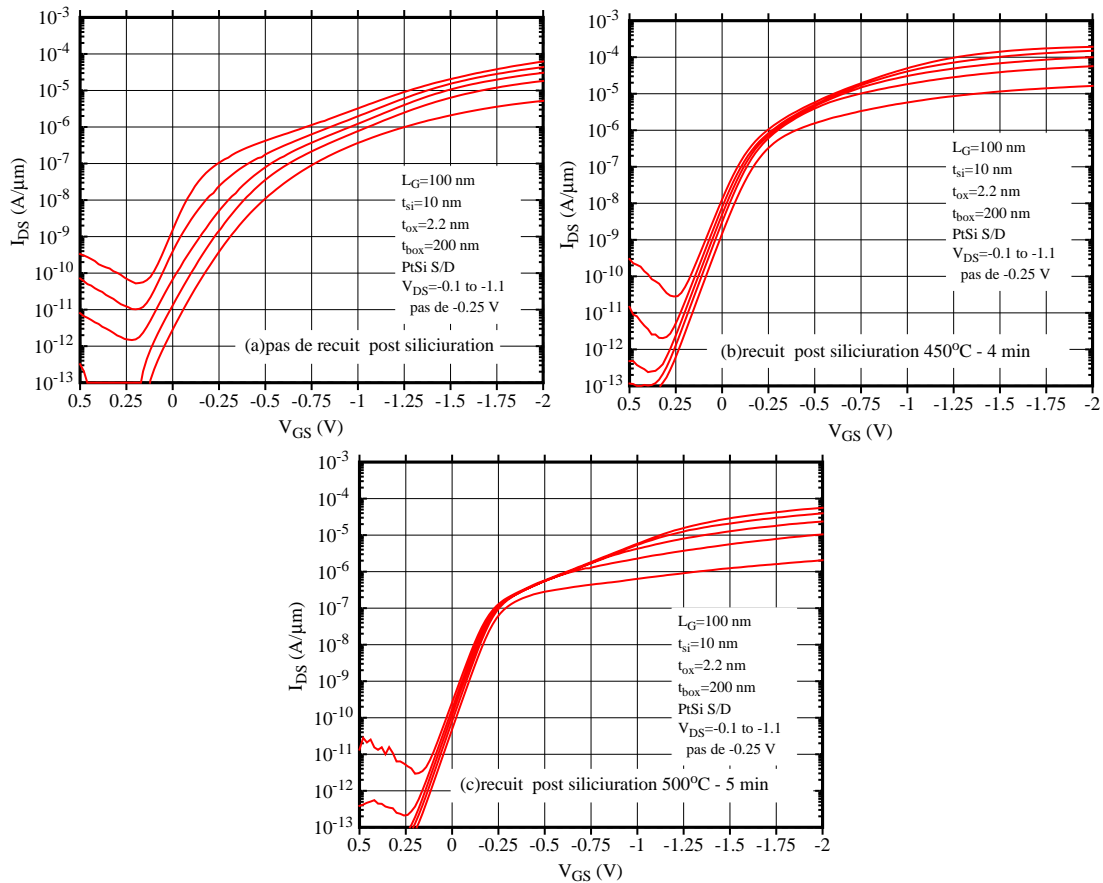


Fig.IV.10: Comparaison entre les caractéristiques $I_{DS}-V_{GS}$ mesurées sur un SB-MOSFET de type p de longueur de grille de 100 nm (a) sans recuit de post-siliciuration ou avec un recuit de post-siliciuration sous N_2/H_2 (b) 450°C pdt 4min, (c) 500°C pdt 5 min.

Enfin, un recuit de réduction des défauts à 500°C pendant 4 min sous N_2/H_2 a été conduit sur le dispositif de 40 nm de longueur de grille (Fig.IV.11). La caractéristique sous le seuil se trouve largement améliorée ($S=73$ mV/dec et $DIBL=100$ mV/V) le rapport I_{on}/I_{off} est supérieur à 10^5 . Par contre, le courant maximum et la caractéristique en faible accumulation sont de nouveau affectés par l'augmentation de la barrière.

Nous pouvons conclure que cette étape de réduction des défauts est la clé du fonctionnement optimum du transistor. Le recuit doit permettre de passiver efficacement les défauts sous l'oxyde de grille sans dégrader le niveau d'injection fourni par le contact Schottky. Plusieurs voies doivent être explorées comme l'introduction d'une première étape de recuit après la formation de l'oxyde ou le contrôle minutieux de l'interface métal/silicium pour atteindre des hauteurs de barrière Schottky encore plus faibles en s'intéressant notamment à la croissance de siliciure nanostructuré [28] ou en utilisant des techniques spécifiques de passivation [29]. En effet, ces deux

techniques permettent d'accroître la dépendance de la barrière Schottky avec le travail d'extraction du métal.

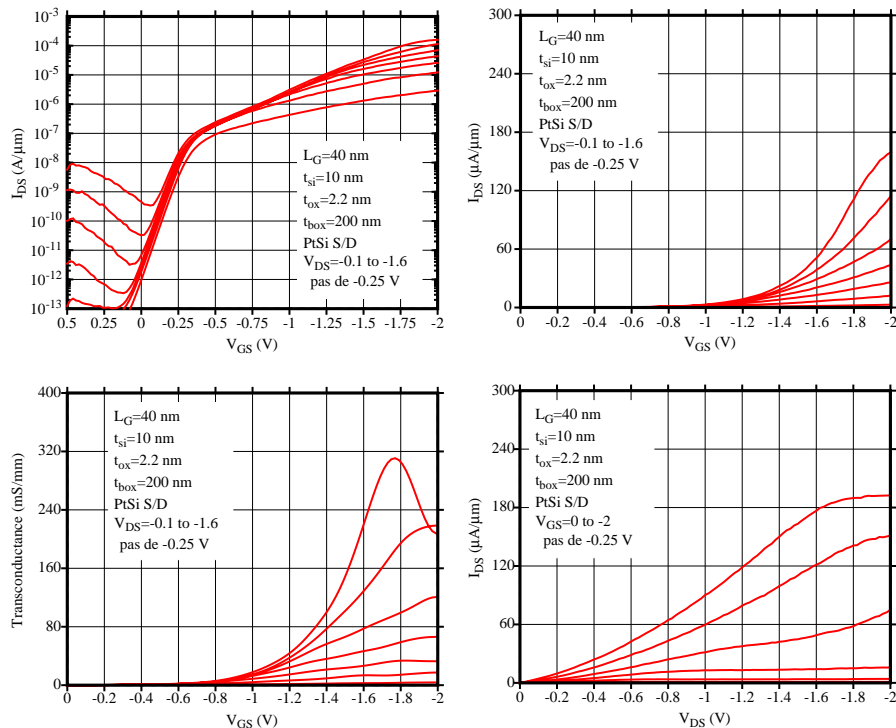


Fig.IV.11: Caractéristiques I-V d'un transistor à barrière Schottky de longueur de grille de 40 nm recuit de réduction de défauts sous H_2N_2 à $500^\circ C$ pdt 4 min.

2.3 Comparaison avec l'état de l'art.

Une liste très complète de publications portant sur les transistors MOSFET à S/D Schottky est fournie en référence [1]-[25]. Parmi ces articles, environ un tiers présentent des réalisations technologiques. La Fig. IV.12 propose une compilation du facteur de mérite I_{on}/I_{off} pour les transistors SB-MOSFET les plus récents et les plus performants [1]-[6]. On peut observer que les récents travaux [1][3][ce travail] ont sensiblement amélioré l'état de l'art avec un courant de commande maximum jusqu'à $425 \mu A/\mu m$ et tout en contenant un courant à l'état bloqué sous la barre du $\mu A/\mu m$. Les résultats de Kedzierski et al. [3] (université de Berkeley) ont été obtenus sur une géométrie très étroite ($W=25 \text{ nm}$) car leurs tentatives sur des dispositifs fonctionnant avec des dimensions plus larges ont échoué. On peut considérer que les performances obtenues sont un cas particulier car elles tirent avantages d'une architecture de canal étroit de type FinFET [30] permettant un excellent contrôle des effets canaux courts. Par conséquent, seules les performances obtenues par Spinnaker [1] concurrencent les résultats présentés ici. Les développements de Spin-

naker sont basés sur les technologies développées au MIT à partir des travaux de Snyder [12][17][20]. Au delà de l'analyse du rapport I_{on}/I_{off} , le Tableau IV.2 présente des données additionnelles telles que la pente sous le seuil, le DIBL et le transconductance. Une attention particulière doit être portée sur les résultats présentés qui parviennent à garder un niveau de performance en courant élevé tout en associant une pente sous le seuil, un g_{mmax} , un rapport I_{on}/I_{off} et un DIBL de très bon niveau. En revanche, quelques autres contributions rapportent de bons résultats sur la transconductance alors que les autres paramètres se situent dans une gamme inacceptable [2][4][5][6]. Enfin, la première démonstration de l'intégration d'un matériau de grille midgap permettant l'accès à une tension de seuil appropriée a été réalisée.

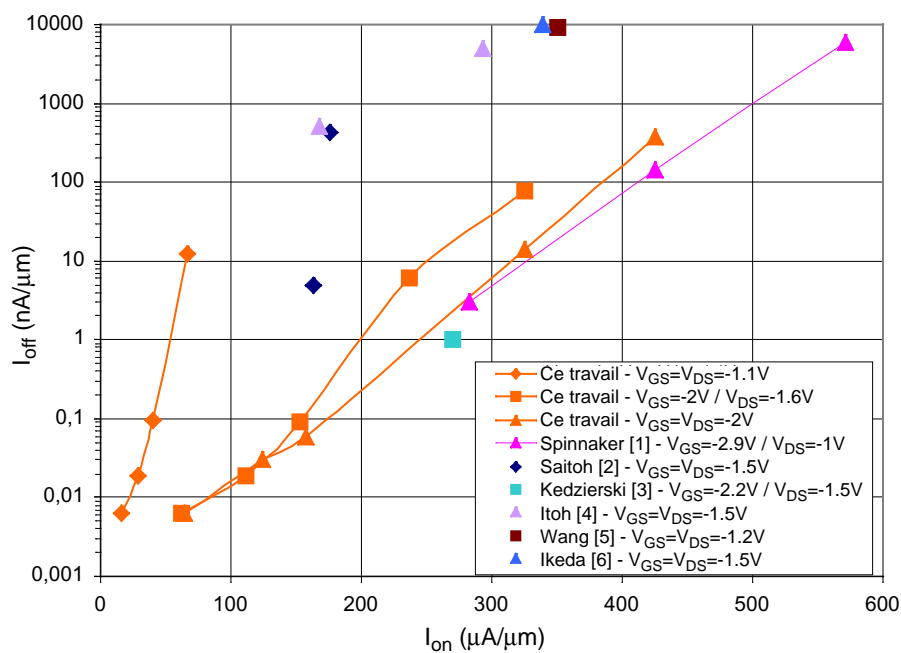


Fig.IV.12: Compilation des meilleures performances I_{on}/I_{off} de transistors MOS à source/drain Schottky.

Tableau IV.2: Compilation de l'état de l'art des performances du SB-MOSFET.

source	année	substrat	siliciure	L_{gate} (nm)	t_{ox} (nm)	$V_{GS} / V_{DS} (I_{on})$ (V)	I_{on} ($\mu A/\mu m$)	I_{off} (nA/ μm)	I_{on}/I_{off}	penste sous le seuil (mV/dec)	DIBL (mV/V)	g_{mmax} (mS/mm)
Saitoh [2]	1999	SOI	PtSi	35	3.5	-1.5 / -1.5	176	419	420	> 400	-	390
Saitoh [2]	1999	SOI	PtSi	56	3.5	-1.5 / -1.5	163	5	$3 \cdot 10^4$	> 200	-	369
Wang [5]	1999	massif	PtSi	27	1.9	-1.2 / -1.2	350	> 9000	< 38	> 700		-
Kedzierski [3]	2000	SOI (Fin)	PtSi	20	4	-2.2 / -1.5	270	1	10^5	100		-
Kedzierski [3]	2000	SOI (Fin)	ErSi _{1.7}	15	4	1.5 / 1.5	190	20	< 10^4	150		-
Itoh [4]	2000	SOI	PtSi	25	3.5	-1.5 / -1.5	293	> 8800	33	> 800		431
Itoh [4]	2000	SOI	PtSi	38	3.5	-1.5 / -1.5	168	> 450	368	> 400		175
Ikeda [6]	2002	massif	PtSiGe	50	2	-1.5 / -1.5	339	> 10000	< 33	> 800	>>	285
Spinnaker [1]	2003	massif	PtSi	30	1.8	-2.9 / -1.0	425	144	$2.9 \cdot 10^3$	161	118	433
Spinnaker [1]	2003	massif	PtSi	30	1.8	-2.9 / -1.0	571	5900	100	>>	-	-
Spinnaker [1]	2003	massif	PtSi	70	1.8	-2.9 / -1.0	283	3	$9 \cdot 10^4$	100	28	285
Ce travail	2003	SOI	PtSi	40	2.2	-2 / -2	182	1	$1.8 \cdot 10^5$	73	100	310 @ $V_{DS}=-1.6$
Ce travail	2003	SOI	PtSi	40	2.2	-2 / -2	425	368	$1.2 \cdot 10^3$	180	230	362 @ $V_{DS}=-1.6$
Ce travail	2003	SOI	PtSi	100	2.2	-2 / -2	325	14	$2.3 \cdot 10^4$	79	50	250 @ $V_{DS}=-1.6$
Ce travail	2003	SOI	PtSi	500	2.2	-2 / -2	157	0.09	$2.6 \cdot 10^6$	65	20	131 @ $V_{DS}=-1.6$
Ce travail	2003	SOI	PtSi	1000	2.2	-2 / -2	124	0.03	$4.1 \cdot 10^6$	61	0	103 @ $V_{DS}=-1.6$
Ce travail	2003	SOI	PtSi	2000	2.2	-2 / -2	64	0.006	$1 \cdot 10^7$	61	0	55 @ $V_{DS}=-1.6$

3- Conclusion.

Dans cette section, le procédé de l'ALSB-SOI-MOSFET est détaillé avec l'intégration d'une grille métallique autoalignée. Les résultats des caractérisations électriques de dispositifs avec différentes longueurs de canal sont présentés. Ces résultats sont discutés et comparés avec l'état de l'art des technologies S/D Schottky. Ils se situent clairement parmi les plus en pointe de cette technologie. Des développements ultérieurs sont également prévus afin d'améliorer encore la technologie des matériaux. En particulier, l'interface du contact Schottky par le traitement des états de surface permettra l'obtention d'une hauteur de barrière Schottky encore plus faible. Ceci est la clef qui pourra permettre aux transistors SB-MOSFET de surpasser les architectures conventionnelles [24][25]. Si cette barrière est abaissée suffisamment, le transport peut devenir ballistique par le canal [31]. Puisque la densité des porteurs dans le siliciure est environ un à deux ordres de grandeur supérieur à celle du silicium dopé, l'abaissement de la barrière sous la barre des 0.1 eV pourrait être suffisant pour rendre le contact Schottky équivalent à un contact sur une jonction fortement dopée [24][25].

Bibliographie

- [1] J. Larson, J. Snyder, 'Schottky barrier CMOS', www.spinnakersemi.com, Spinnaker Semiconductor Inc., 22 Sept. 2003.
- [2] W. Saitoh, A. Itoh, S. Yamagami, M. Asada, "Analysis of short-channel Schottky source/drain Metal-Oxide-Semiconductor field-effect transistor on Silicon-on-Insulator substrate and demonstration of sub-50 nm n-type devices with metal gate", *Jpn. J. Appl. Phys.*, vol. 38, pp 6226-6231, 1999.
- [3] J. Kedzierski, P. Xuan, V. Subramanian, J. Bokor, T.J. King, C. Hu, "A 20 nm gate-length ultra-thin body p-MOSFET with silicide source/drain", *Superlattices and Microstructures*, vol. 28, pp 445-452, 2000. -- J. Kedzierski, P. Xuan, E.H. Anderson, J. Bokor, T.J. King, C. Hu, "Complementary silicide source/drain thin-body MOSFETs for the 20 nm gate length regime", *IEDM Tech. Dig.*, p 57-60, December 2000.
- [4] A. Itoh, M. Saitoh, M. Asada, "A 25 nm channel metal-gate p-type Schottky source/drain Metal-Oxide-Semiconductor Field Effect Transistor on Separation-by-Implanted oxygen substrate", *Jpn. J. Appl. Phys.*, vol. 39, pp 4757-4758, 2000.
- [5] C. Wang, J.R. Tucker, "Sub-40 nm PtSi Schottky source/drain metal-oxide-semiconductor field-effect transistors", *Appl. Phys. Lett.*, vol. 74, pp 1174-1176, 1999.
- [6] K. Ikeda, Y. Yamashita, A. Endoh, T. Fukano, K. Hikosaka, T. Mimura, "50-nm gate Schottky source/drain p-MOSFETs with SiGe channel", *IEEE Electron, Dev. Lett.* 23, pp 670-672, 2002.
- [7] M.P. Lepselter, S.M. Sze, "SB-IGFET: An insulated-gate field-effect transistor using Schottky barrier contacts for source and drain", *Proc. of the IEEE*, pp 1400-1402, 1968.
- [8] C.J. Koeneke, S.M. Sze, R.M. Levin, E. Kinsbron, "Schottky MOSFET for VLSI", *IEDM Tech. Dig.* pp 367-370, 1981.
- [9] M. Sugino, L.A. Akers, M.E. Rebeschini, "Latch-up-free Schottky-barrier CMOS", *IEEE Trans. on Electron Dev.*, vol. 30, pp 110-118, 1983.
- [10] D. Misra, V.S. Simhadri, "A survey of the potential of an IrSi Schottky barrier MOSFET based on simulation studies", *Solid-State Electronics*, vol. 35, pp 829-833, 1992.
- [11] J.R. Tucker, C. Wang, P.S. Carney, "Silicon field-effect transistor based on quantum tunneling", *Appl. Phys. Lett.* 65, no 5, p. 618, 1994.
- [12] J.P. Snyder, C.R. Helms, Y. Nishi, "Experimental investigation of a PtSi source and drain field emission transistor", *Appl. Phys. Lett.* 67, pp 1420-1422, 1995.
- [13] S.A. Rishton, K. Ismail, J.O. Chu, K. Chan, "An MOS transistor using Schottky source/drain contacts and a self-aligned low-resistance T-gate", *Microelectronic Engineering* 35, pp 361-363, 1997.
- [14] M. Mishisaka, T. Asano, "Reduction of the floating body effects in SOI MOSFETs by using Schottky source/drain contacts", *Jpn. J. Appl. Phys. part I*, vol 37, pp 1295-1299, 1998.
- [15] C. Huang, W. Zhang, C.H Yang, "Two-dimensional numerical simulation of Schottky barrier MOS-FET with channel length to 10 nm", *IEEE Transactions on Electron Devices*, vol.45, no. 4 , p. 842 -848, 1998.
- [16] Q.T. Zhao, F. Klinhammer, M. Dolle, L. Kappius, S. Mantl, "Nanometer patterning of epitaxial CoSi₂/Si(100) for ultrashort channel Schottky barrier metal-oxide-semiconductor field effect transistors", *Appl. Phys. Lett.*, vol. 74, pp 454-456, 1999.

- [17] J. Snyder, C. R. Helms, Y. Nishi, "Analysis of the potential distribution in the channel region of a platinum silicided source/drain metal oxide semiconductor field effect transistor", *Applied Physics Letters*, vol. 74, no. 22, p. 3407-3409, 1999.
- [18] K. Uchida, K. Matsuzawa, J. Koga, S. Takagi, A. Toriumi, "Enhancement of hot-electron generation rate in Schottky source metal-oxide-semiconductor field-effect transistors", *Applied Physics Letters*, vol. 76, no. 26, p. 3992-3994, 2000.
- [19] B. Winstead, U. Ravaioli, "Simulation of Schottky barrier MOSFETs with a coupled quantum injection/Monte Carlo technique", *IEEE Transactions on Electron Devices*, vol. 47, no. 6, p. 1241-1246, 2000.
- [20] L. E. Calvet, H. Luebben, M. A. Reed, C. Wang, J. P. Snyder, J. R. Tucker, "Suppression of leakage current in Schottky barrier metal-oxide-semiconductor field-effect transistors", *Journal of Applied Physics*, vol. 91, Issue 2, p. 757-759, 2002.
- [21] J. Knoch, J. Appenzeller, "Impact of the channel thickness on the performance of Schottky barrier metal-oxide-semiconductor field-effect transistors", *Appl. Phys. Lett.*, vol. 81, no. 16, p. 3082-3084, 2002.
- [22] M. Jang, K. Kang, S. Lee, K. Park, "Simulation of Schottky barrier tunnel transistor using simple boundary condition", *Applied Physics Letters*, vol. 82, no. 16, p. 2718-2720, 2003.
- [23] J. Guo, M.S. Lundstrom, "A computational study of thin-body, double-gate, Schottky-barrier MOSFETs", *IEEE Trans. Electron Dev.*, 49, pp 1897-1902, 2002.
- [24] D. Connelly, C. Faulkner, D.E. Grupp, "Performance advantage of Schottky source/drain in ultrathin-body silicon-on-insulator and dual-gate CMOS", *IEEE Trans. Electron Dev.*, 50, pp 1340-1345, 2003.
- [25] D. Connelly, C. Faulkner, D.E. Grupp, "Optimizing Schottky S/D offset for 25 nm dual-gate CMOS performance", *IEEE Electron Dev. Lett.*, 24, pp 411-413, 2003.
- [26] E. Dubois, G. Larrieu, "Measurement of low Schottky barrier heights applied to metallic source/drain MOSFETs", *soumis à Journal of Applied Physics*.
- [27] H. Shang, M.H. White, K.W. Guarini, P. Solomon, E. Cartier, F.R. McFeely, J.J. Yurkas, W.C. Lee, "Interface studies of tungsten gate metal-oxide-silicon capacitors", *Appl. Phys. Lett.* 81, pp 3139-3141, 2001.
- [28] H. Hasegawa, T. Sato, S. Kasai, "Unpinning of Fermi level in nanometer-sized Schottky contacts on GaAs and InP", *Appl. Surface Science* 166, pp 92-96, 2000.
- [29] M. Tao, D. Udeshi, N. Basit, E. Maldonado, W.P. Kirk, "Removal of dangling bonds and surface states on silicon (001) with a monolayer of selenium", *Appl. Phys. Lett.*, 82, pp 1559-1561, 2003.
- [30] X. Huang, W.C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.K. Choi, K. Asano, V. Subramanian, T.J. King, J. Bokor, C. Hu, "Sub-50nm p-channel FinFET", *IEEE Trans. Electron Dev.* 48, pp 880-886, May 2001.
- [31] J. Guo, M.S. Lundstrom, "A computational study of thin-body, double-gate, Schottky barrier MOSFETs", *IEEE Trans. Electron Dev.* 49, pp 1897-1902, November 2002.

Conclusions et perspectives

Ce mémoire a présenté une architecture de transistor MOS alternative, basée sur l'utilisation de contacts source/drain Schottky de très faible hauteur de barrière sur des zones faiblement dopées. Il est composé d'une étude matériau des contacts Schottky, d'une intégration de dispositif avec le développement d'un procédé de grille métallique auto-alignée et d'une caractérisation électrique de cette technologie.

Cette étude s'est intéressée dans un premier temps à la théorie du contact Schottky à très faibles hauteurs de barrière. La modélisation du courant dans un tel contact doit prendre en compte à la fois l'émission thermo-électronique et l'émission de champ mais aussi l'effet d'abaissement de barrière (effet Schottky). De plus, l'extraction de cette hauteur par des méthodes conventionnelles est très difficile à cause de la résistance série associée au silicium qui est souvent supérieure à la résistance spécifique du contact Schottky et en raison des hauts niveaux de courants inverses qui rendent incompatible l'utilisation de mesures capacitives ou par photoémission. Afin de surmonter ce problème, une méthode inédite permettant de classer les différents siliciures a été proposée.

Une étude détaillée a été menée sur les siliciures de platine et d'iridium formés à température ambiante, sous ultra vide ou par recuit rapide (RTA). Différentes stoechiométries et cinétiques de réactions ont été caractérisées par XPS (Pt_2Si , PtSi , IrSi , $\text{IrSi}_{1.6}$). Des analyses MET ont mis en évidence la taille des grains des siliciures ainsi que la rugosité des interfaces siliciures/semiconducteurs. Les mesures électriques ont consolidé les caractérisations physiques et ont permis de sélectionner les meilleurs siliciures pour la réalisation des contacts source/drain du transistor MOS Schottky. Enfin, des siliciurations sur substrat SiGe pseudomorphiques ont révélé que plus la couche était contrainte (par la fraction de germanium ou l'épaisseur de la couche épitaxiée) meilleure était la résistance spécifique de contact. Mais, des phénomènes de ségrégations rendent la formation de contacts très difficiles à maîtriser.

Le deuxième axe d'étude a consisté à réaliser une grille métallique à dimension nanométriques (20-100 nm) sur substrat SOI. Le choix du métal de grille (tungstène) permet de travailler avec une tension de seuil particulièrement bien adaptée pour des dispositifs n-MOS et p-MOS avancés et de ne pas être limité par les températures des traitements thermiques. Un oxyde de grille (SiO_2) inférieur à 2 nm offre des courants de fuites qui ne détériorent pas le fonctionnement du transistor. L'utilisation d'une résine électronique négative (HSQ) a permis de réaliser des

lignes de hautes définitions. Les choix judicieux des gaz de gravure et des paramètres de l'attaque plasma RIE assure l'obtention de profils de grille verticaux et d'une fin d'attaque parfaitement maîtrisée. L'utilisation d'un nitrure PECVD forme, après gravure anisotrope, des espaceurs ultra minces (10 nm) sans dégrader le métal de grille. Le procédé d'encapsulation du tungstène assure une parfaite protection contre les gravures chimiques. Enfin, l'intégration du platine n'affecte pas l'intégrité du dispositif et un parfait alignement des zones source / drain sur la grille a été obtenu.

Le premier transistor MOSFET sur SOI ultra fin intégrant des source / drain Schottky et une grille métallique a été démontré avec des performances statiques idéales. Par exemple, un transistor de longueur de grille de 1 μm présente un rapport $I_{\text{on}}/I_{\text{off}}$ de 4.10^6 , une pente sous le seuil idéale (62 mV / dec). La grille tungstène offre une tension de seuil (0.37 V) optimale pour les dispositifs inférieurs à 60 nm. De plus, un excellent niveau de performance en courant couplé avec de très bonnes caractéristiques sous le seuil sont obtenus pour un transistor à canal court (100 nm). Enfin, un courant de commande de 425 $\mu\text{A}/\mu\text{m}$ a été obtenu avec un transistor de 40 nm de longueur de grille tout en conservant un courant à l'état bloqué sous la barre des 400 nA/ μm . L'état de l'art a sensiblement été amélioré au cours de l'année passée grâce aux contributions de nos travaux et de celles de Spinnaker Semiconductor [1] (compagnie américaine développant le transistor Schottky soutenue par le MIT Lincoln Lab et Texas Instrument).

Les travaux menés dans le cadre de cette thèse se sont insérés dans le projet Européen SODAMOS (IST-2000-26475) et ont pu profiter de nombreuses facilités et d'échanges de point de vue lors des réunions partenaires qui ont permis d'amener une valeur ajoutée certaine au travail présenté. On peut citer comme exemple l'affinement des substrats SOI réalisés par l'Université Catholique de Louvain, les caractérisations par microscopie électronique à transmission réalisées par Institute of Electron Technology, les substrats SiGe épitaxiés par ST Microelectronics. Grâce au projet, les développements technologiques ont bénéficié de l'ensemble des moyens de recherche présent à l'IEMN (XPS, MEB...). Enfin, ce travail a pu profiter du savoir faire en simulation de dispositif accumulé dans l'équipe Micro-électronique silicium, notamment à l'aide du logiciel IMPACT, qui a permis de conforter certains résultats expérimentaux par une approche simulatoire.

La principale conclusion de ces travaux est l'amélioration sensible des performances électriques (I_{on} , I_{off} , G_m , pente sous le seuil) comparé aux différentes réalisations publiées [1]-[25]. Ainsi, le MOSFET à barrière Schottky peut se placer comme une véritable solution techno-

logique à moyen-long terme. Néanmoins, un effort technologique important doit être mis en oeuvre afin de prouver expérimentalement les nombreux avantages, démontrés théoriquement [24][25], du SB-MOSFET comparé aux architectures conventionnelles. Trois axes de travail peuvent être dégagés :

Etude matériau: développement de traitements des états d'interface métal/SC soit par passivation [26] soit par développement de contact à interface nano-structurée [27]. Ces défauts sont à l'origine du verrouillage du niveau de fermi et donc de la faible sensibilité de la hauteur de barrière Schottky avec le travail de sortie du métal. La réduction de ces derniers permettrait d'entrevoir des très faibles hauteurs de barrières pour les trous mais aussi pour les électrons avec des matériaux facile d'intégration. L'abaissement de la hauteur de barrière Schottky est l'élément fondamental pour l'émergence de cette technologie.

Intégration de dispositif: une consolidation du dispositif (affinement de la lithographie, de la gravure de grille, de l'oxyde de grille) permettra une amélioration des performances et une réduction des dimensions ($L_g=15\text{nm}$). L'intégration de nouveau matériau de grille pour accéder à une tension de seuil plus faible ainsi que la validation de procédés intégrant des contacts S/D Schottky passivés ou nano-structurés. Enfin, la réalisation de transistor Schottky intégrant une grille type FinFET (canal en ailettes) proposera l'application d'un dispositif développé au sein de l'équipe pour ce type de technologie.

Caractérisation dynamique du transistor Schottky plan optimisé: les caractéristiques du transistor Schottky permettent d'envisager une amélioration notable du fonctionnement en fréquence par rapport à un dispositif classique. Premièrement, le non recouvrement des zones source/drain par la grille permet de contrôler les capacités grille/source et grille/drain. En effet, pour un dispositif classique, le recouvrement entre grille et extensions S/D fortement dopées se traduit par une capacité de recouvrement grille/drain importante (capacité Miller). Deuxièmement, l'utilisation d'une grille métallique permet une diminution de la résistance de grille qui est bénéfique pour la fréquence maximale d'oscillation, figure de mérite importante d'un transistor MOSFET en intégration analogique. Enfin, le développement de circuits élémentaires logiques MOS (oscillateurs en anneaux) à architecture source/drain Schottky permettra une caractérisation complète de cette technologie.

Bibliographie

- [1] J. Larson, J. Snyder, 'Schottky barrier CMOS', www.spinnakersemi.com, Spinnaker Semiconductor Inc., 22 Sept. 2003.
- [2] W. Saitoh, A. Itoh, S. Yamagami, M. Asada, "Analysis of short-channel Schottky source/drain Metal-Oxide-Semiconductor field-effect transistor on Silicon-on-Insulator substrate and demonstration of sub-50 nm n-type devices with metal gate", *Jpn. J. Appl. Phys.*, vol. 38, pp 6226-6231, 1999.
- [3] J. Kedzierski, P. Xuan, V. Subramanian, J. Bokor, T.J. King, C. Hu, "A 20 nm gate-length ultra-thin body p-MOSFET with silicide source/drain", *Superlattices and Microstructures*, vol. 28, pp 445-452, 2000. -- J. Kedzierski, P. Xuan, E.H. Anderson, J. Bokor, T.J. King, C. Hu, "Complementary silicide source/drain thin-body MOSFETs for the 20 nm gate length regime", *IEDM Tech. Dig.*, p 57-60, December 2000.
- [4] A. Itoh, M. Saitoh, M. Asada, "A 25 nm channel metal-gate p-type Schottky source/drain Metal-Oxide-Semiconductor Field Effect Transistor on Separation-by-Implanted oxygen substrate", *Jpn. J. Appl. Phys.*, vol. 39, pp 4757-4758, 2000.
- [5] C. Wang, J.R. Tucker, "Sub-40 nm PtSi Schottky source/drain metal-oxide-semiconductor field-effect transistors", *Appl. Phys. Lett.*, vol. 74, pp 1174-1176, 1999.
- [6] K. Ikeda, Y. Yamashita, A. Endoh, T. Fukano, K. Hikosaka, T. Mimura, "50-nm gate Schottky source/drain p-MOSFETs with SiGe channel", *IEEE Electron, Dev. Lett.* 23, pp 670-672, 2002.
- [7] M.P. Lepselter, S.M. Sze, "SB-IGFET: An insulated-gate field-effect transistor using Schottky barrier contacts for source and drain", *Proc. of the IEEE*, pp 1400-1402, 1968.
- [8] C.J. Koeneke, S.M. Sze, R.M. Levin, E. Kinsbron, "Schottky MOSFET for VLSI", *IEDM Tech. Dig.* pp 367-370, 1981.
- [9] M. Sugino, L.A. Akers, M.E. Rebeschini, "Latch-up-free Schottky-barrier CMOS", *IEEE Trans. on Electron Dev.*, vol. 30, pp 110-118, 1983.
- [10] D. Misra, V.S. Simhadri, "A survey of the potential of an IrSi Schottky barrier MOSFET based on simulation studies", *Solid-State Electronics*, vol. 35, pp 829-833, 1992.
- [11] J.R. Tucker, C. Wang, P.S. Carney, "Silicon field-effect transistor based on quantum tunneling", *Appl. Phys. Lett.* 65, no 5, p. 618, 1994.
- [12] J.P. Snyder, C.R. Helms, Y. Nishi, "Experimental investigation of a PtSi source and drain field emission transistor", *Appl. Phys. Lett.* 67, pp 1420-1422, 1995.
- [13] S.A. Rishton, K. Ismail, J.O. Chu, K. Chan, "An MOS transistor using Schottky source/drain contacts and a self-aligned low-resistance T-gate", *Microelectronic Engineering* 35, pp 361-363, 1997.
- [14] M. Mishisaka, T. Asano, "Reduction of the floating body effects in SOI MOSFETs by using Schottky source/drain contacts", *Jpn. J. Appl. Phys. part I*, vol 37, pp 1295-1299, 1998.
- [15] C. Huang, W. Zhang, C.H Yang, "Two-dimensional numerical simulation of Schottky barrier MOS-FET with channel length to 10 nm", *IEEE Transactions on Electron Devices*, vol.45, no. 4 , p. 842 -848, 1998.
- [16] Q.T. Zhao, F. Klinhammer, M. Dolle, L. Kappius, S. Mantl, "Nanometer patterning of epitaxial CoSi₂/Si(100) for ultrashort channel Schottky barrier metal-oxide-semiconductor field effect transistors", *Appl. Phys. Lett.*, vol. 74, pp 454-456, 1999.

- [17] J. Snyder, C. R. Helms, Y. Nishi, "Analysis of the potential distribution in the channel region of a platinum silicided source/drain metal oxide semiconductor field effect transistor", *Applied Physics Letters*, vol. 74, no. 22, p. 3407-3409, 1999.
- [18] K. Uchida, K. Matsuzawa, J. Koga, S. Takagi, A. Toriumi, "Enhancement of hot-electron generation rate in Schottky source metal-oxide-semiconductor field-effect transistors", *Applied Physics Letters*, vol. 76, no. 26, p. 3992-3994, 2000.
- [19] B. Winstead, U. Ravaioli, "Simulation of Schottky barrier MOSFETs with a coupled quantum injection/Monte Carlo technique", *IEEE Transactions on Electron Devices*, vol. 47, no. 6, p. 1241 -1246, 2000.
- [20] L. E. Calvet, H. Luebben, M. A. Reed, C. Wang, J. P. Snyder, J. R. Tucker, "Suppression of leakage current in Schottky barrier metal-oxide-semiconductor field-effect transistors", *Journal of Applied Physics*, vol. 91, Issue 2, p. 757-759, 2002
- [21] J. Knoch, J. Appenzeller, "Impact of the channel thickness on the performance of Schottky barrier metal-oxide-semiconductor field-effect transistors", *Appl. Phys. Lett.*, vol. 81, no. 16, p. 3082-3084, 2002.
- [22] M. Jang, K. Kang, S. Lee, K. Park, "Simulation of Schottky barrier tunnel transistor using simple boundary condition", *Applied Physics Letters*, vol. 82, no. 16, p. 2718-2720, 2003.
- [23] J. Guo, M.S. Lundstrom, "A computational study of thin-body, double-gate, Schottky-barrier MOSFETs", *IEEE Trans. Electron Dev.*, 49, pp 1897-1902, 2002.
- [24] D. Connelly, C. Faulkner, D.E. Grupp, "Performance advantage of Schottky source/drain in ultrathin-body silicon-on-insulator and dual-gate CMOS", *IEEE Trans. Electron Dev.*, 50, pp 1340-1345, 2003.
- [25] D. Connelly, C. Faulkner, D.E. Grupp, "Optimizing Schottky S/D offset for 25 nm dual-gate CMOS performance", *IEEE Electron Dev. Lett.*, 24, pp 411-413, 2003.
- [26] H. Hasegawa, T. Sato, S. Kasai, "Unpinning of Fermi level in nanometer-sized Schottky contacts on GaAs and InP", *Appl. Surface Science* 166, pp 92-96, 2000.
- [27] M. Tao, D. Udeshi, N. Basit, E. Maldonado, W.P. Kirk, "Removal of dangling bonds and surface states on silicon (001) with a monolayer of selenium", *Appl. Phys. Lett.*, 82, pp 1559-1561, 2003.

ANNEXE A

Intégration du siliciure d'iridium dans un procédé auto-aligné.

Contrairement au platine, il n'existe pas de solutions de gravure chimique capable d'attaquer l'iridium.

Pour surmonter ce problème, plusieurs pistes peuvent être envisagées. L'utilisation d'une gravure ionique (sèche) en est une mais la non sélectivité de l'attaque est très problématique. Ainsi, l'élimination de l'iridium par bombardement ionique endommagera grandement le siliciure. Une autre voie consiste à modifier le procédé de grille pour que la nouvelle forme obtenue n'offre plus de possibilité de contact direct entre la source et le drain après dépôt du métal de contact.

L'empilement de départ est composé d'une couche de 10nm de nitrure PECVD, 40 nm de tungstène et 2.2nm d'oxyde sur un substrat SOI (10 nm Si). Une gravure RIE SF_6 / N_2 standard est réalisée à travers un masque de résine HSQ. L'introduction de la couche de nitrure ajoute une composante chimique dans l'attaque du tungstène (paragraphe 4-3.3). La fin d'attaque est choisie au début de la zone mixte SiO_2/W (Fig.III.27 (a)). Il reste donc une fine couche de tungstène sur les zones source/drain (Fig.III.28 (a)). Les résidus de tungstène sont gravés par voie humide dans une solution d'eau oxygénée diluée (H_2O_2 40%). Cette attaque est très sélective pour le tungstène. La vitesse de gravure d'une couche pleine plaque est proche de 0.28 nm/s. Un temps de réaction de 30 secondes permet d'ôter la couche de tungstène ainsi que de sous-graver le motif de grille (Fig.A.1B). Puis, un dépôt conforme de nitrure est réalisé par PECVD. Néanmoins, un dépôt plus lent s'opère sur les zones les moins accessibles (effet de cache obtenu par la couche HSQ/nitrure surplombant la grille de tungstène). Le diélectrique est gravé par plasma fortement chimique (SF_6 / O_2), induisant une attaque isotrope du nitrure. Les flancs de grille, où l'épaisseur de nitrure est moins large que sur le reste de l'échantillon, sont alors légèrement gravés, ajoutant une réduction supplémentaire à la largeur de grille. Enfin l'iridium est déposé pleine plaque et un recuit d'activation permet de siliciurer les endroits où le métal est en contact direct avec le sili-

cium. Le métal non réagi au dessus de grille n'a pas besoin d'être enlevé car il ne peut en aucun cas connecter les zones source/drain.

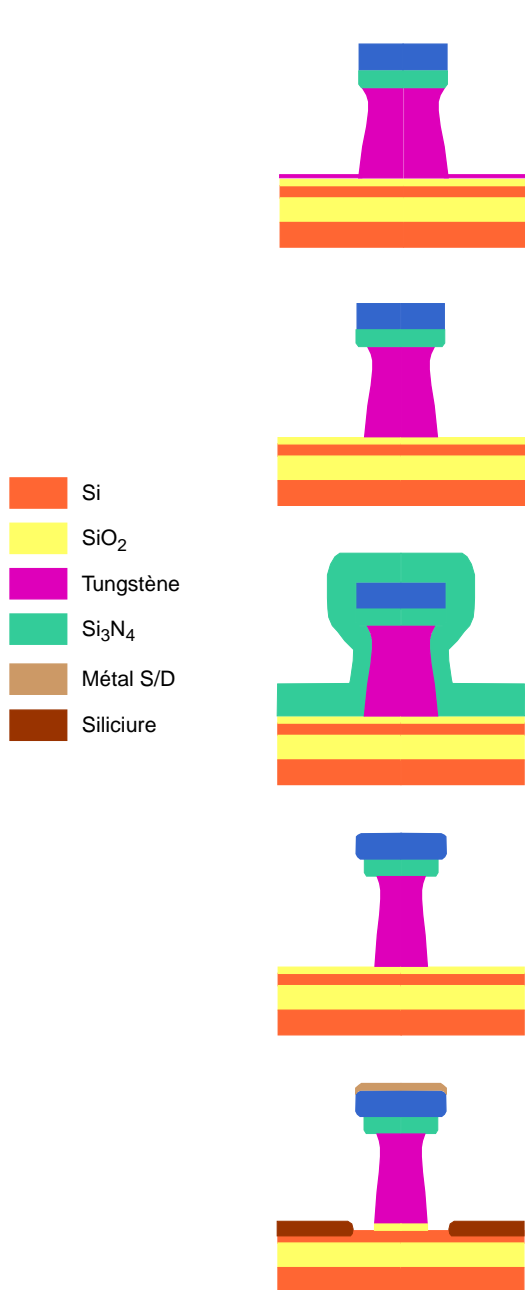


Fig. A.1 A

L'empilement de départ est 10 nm Si_3N_4 PECVD, 40 nm W 2.2 SiO_2 , substrat SOI (10nm Si).

Gravure RIE classique à travers masque HSQ (SF_6 (10 sccm) - N_2 (10 sccm) à 10 mTorr et une puissance de 50 W):

- la présence de la couche de nitrure permet d'introduire une sous gravure du motif en tungstène.
- l'arrêt de gravure est choisi au début de la zone mixte W/ SiO_2 (Fig.III.27a). Une fine couche de tungstène reste sur les zones de contacts(Fig.III.28a).

Fig. A.1 B

Le résidu de tungstène est enlevé par gravure chimique:

- une solution H_2O_2 est utilisée.
- une nouvelle sous gravure de la grille intervient.

Fig. A.1 C

Dépôt du diélectrique pour la réalisation de l'espaceur:

- une fine couche de nitrure de silicium (Si_3N_4) est déposée par PECVD.
- bien que le dépôt soit conforme, les zones les moins accessibles (le long des parois du tungstène) peuvent avoir une épaisseur de nitrure plus fine.

Fig.A.1 D

Gravure sèche du nitrure:

- l'utilisation d'un plasma fortement chimique (SF_6/O_2) permet une gravure isotrope du nitrure.
- le nitrure recouvrant les parois du motif est moins large que sur les autres endroits. Tout le nitrure est donc retiré et une légère sous gravure permet de réduire encore la taille de la grille.

Fig.A.1 E

Création des zones source/drain:

- après désoxydation des zones de contacts, l'iridium est déposé pleine plaque.
- après recuit d'activation le siliciure ne se forme que lorsque le métal est en contact avec le silicium.
- le métal non réagi sur la grille n'a besoin d'être enlevé.

Fig A.1: Représentation schématique d'un procédé de grille alternatif basé sur l'utilisation de gravures isotropes afin d'intégrer des contacts en siliciure d'iridium dans un procédé auto-aligné.

Le résultat de ce procédé, illustré Fig.A.1, est conforme avec la stratégie choisie. Le motif obtenu rappelle une forme en T, avec la grille en tungstène composant la barre verticale et le

chapeau formé d'une bi-couche HSQ / nitrure. Les motifs présentés ont été dessinés à 100 nm et 200 nm pour respectivement la Fig.A.2 (a) et la Fig.A.2 (b). Finalement, les largeurs de grilles sont respectivement de 30 nm et 130 nm. La sous gravure totale du procédé est de 70 nm. Naturellement, les lignes dont la largeur dessinée est inférieure à 70 nm ont totalement disparu. Le dessin de masque doit être réalisé en tenant compte de ces contraintes.

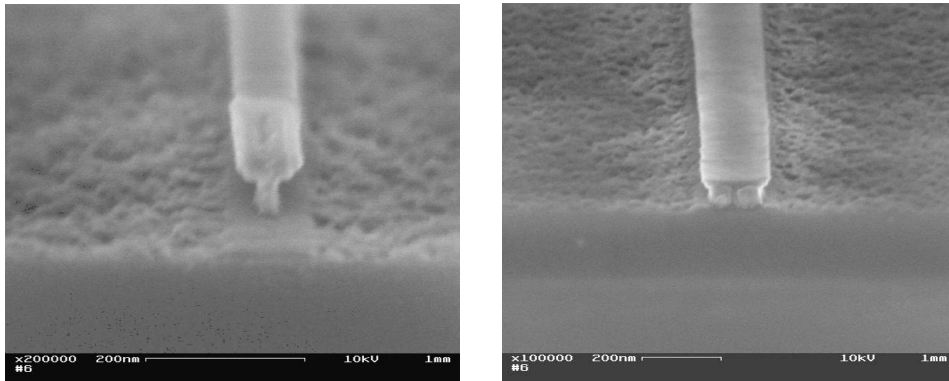


Fig A.2: Images de coupe MEB de grilles en T réalisées à partir de motifs dessinés à 100 nm (gauche) et à 200 nm (droite). La sous gravure totale du procédé est de 70 nm.

Néanmoins, ce type de procédé est très difficile à mettre en oeuvre à cause des différentes étapes de gravures isotropes qui le rende peu reproductible.

ANNEXE B

Liste des publications

Revues avec comité de lecture

- [1] E. DUBOIS, G. LARRIEU, '*Low Schottky barrier source/drain for advanced MOS architecture: device design and material consideration*', J. of Solid-State Electronics 46, p. 997-1004, 2002.
- [2] G. LARRIEU, E. DUBOIS, X. WALLART, X. BAIE, J. KATCKI, '*Formation of Pt-based silicide contacts: kinetics, stoichiometry and current drive capabilities*', J. Appl. Physics, vol. 94, no 12, pp 7801-7810, December 2003.
- [3] X. TANG, J. KATCKI, E. DUBOIS, J. RATAJCZAK, G. LARRIEU, P. LOUMAYE, O. NISOLE, V. BAYOT, '*Very low Schottky barrier to n-type silicon with PtEr-stack silicide*', J. of Solid-State Electronics 47, p. 2105-2111, November 2003.
- [4] A. LASZCZ, J. KATCKI, J. RATAJCZAK, G. LARRIEU, E. DUBOIS, X. WALLART, '*Transmission Electron Microscopy of Iridium Silicide Contacts for Advanced MOSFET Structures with Schottky Source and Drain*', accepté pour publication dans Journal of Alloys and Compounds.
- [5] E. DUBOIS, G. LARRIEU, '*Measurement of low Schottky barrier heights applied to metallic source/drain MOSFETs*', en révision J. Appl. Physics.
- [6] G. LARRIEU, E. DUBOIS, '*Ideal subthreshold characteristics of thin-film SOI p-MOSFETs with Schottky source/drain and a midgap tungsten gate*', en révision IEEE Electron Device Letters'.

Conférences avec comité de lecture et avec actes

- [7] E. DUBOIS, G. LARRIEU, '*Low Schottky Barrier Source/Drain for Advanced MOS Architecture*' Proc. Of the Franco-Swedish workshop on SOI, Grenoble, 8/9 march 2001.
- [8] E. DUBOIS, G. LARRIEU, '*Low Schottky barrier source/drain for advanced MOS architecture: device design and material consideration*', Proc. of ULIS'2001 workshop, (ULTimate Integration of Silicon), pp 53-56, Grenoble, 18/19 Jan. 2001.
- [9] E. DUBOIS, G. LARRIEU, '*Advanced Source/Drain Architecture using Very Low Schottky Barriers: Device Design and Material Engineering*', Proceedings of the 31th European Solid State Device Research Conference ESSDERC'01, pp 203-206, September 2001
- [10] G. LARRIEU, E. DUBOIS, '*Performance of platinum silicide for low barrier Schottky contacts p-MOS-FETs*', Material Research Society, MRS'2003, Spring Meeting, pp D.7.9.1-D7.9.6, April 2003, San Francisco.
- [11] X. TANG, J. KATCKI, E. DUBOIS, J. RATAJCZAK, G. LARRIEU, P. LOUMAYE, O. NISOLE, V. BAYOT, '*Very low Schottky barrier to n-type silicon with PtEr-stack silicide*', 203rd Meeting of the Electrochemical Society - ECS, Symposium on SOI Technology and Devices, pp 99-104, May 2003, Paris.
- [12] J. KATCKI, J. RATAJCZAK, A. LASZCZ, E. DUBOIS, G. LARRIEU, J. PENAUD, X. BAIE, '*Transmission electron microscopy of silicides used in ALSB-SOI MOSFET structure*', Microscopy of Semiconducting Material Conf. MSM'2003, April 2003, Cambridge. Publié dans "Microscopy of Semiconducting Materials 2003", Editors A.G.Cullis.

- [13] J. KATCKI, J. RATAJCZAK, A. LASZCZ, F. PHILLIPP, E. DUBOIS, G. LARRIEU, X. BAIE, X. TANG, '*Electron microscopy analysis of MOSFET structures*', Symposium on Diagnostics and Yield, D&Y'2003, June 2003, Warsaw.
- [14] A. LASZCZ, J. KATCKI, J. RATAJCZAK, G. LARRIEU, E. DUBOIS, '*Transmission Electron Microscopy of Iridium Silicide Contacts for Advanced MOSFET structures with Schottky Source and Drain*', E-MRS 2003 Fall Meeting, 15-19 September 2003.

Brevet

- [15] X. BAIE, P. CORONEL, E. DUBOIS, G. LARRIEU, J. PENAUD, '*procédé d'intégration d'un transistor à canal en ailette (FinFET)*', demande de brevet en cours - demande conjointe IEMN-ST Microelectronics.

Rapport scientifique

- [16] European contract SODAMOS (IST-2000-26475), February 2002, 'First Annual Report', E. DUBOIS, G. LARRIEU, X. BAIE, X. TANG, V. BAYOT, E. ROBILLIART, D.BENSAHEL, T. SKOTNICKI, G. BOMCHIL.
- [17] European contract SODAMOS (IST-2000-26475), February 2003, 'Second Annual Report', E. DUBOIS, G. LARRIEU, X. BAIE, X. TANG, V. BAYOT, E. ROBILLIART, B. FROMENT, D.BENSAHEL, T. SKOTNICKI, G. BOMCHIL, J. KATCKI.
- [18] European contract SODAMOS (IST-2000-26475), February 2004, 'Third Annual Report', E. DUBOIS, G. LARRIEU, X. TANG, V. BAYOT, B. FROMENT, D.BENSAHEL, T. SKOTNICKI, G. BOMCHIL, J. KATCKI.

Résumé

New MOS architecture in nanometric regime: design and fabrication of low Schottky barrier MOSFET transistors on SOI substrate.

Over the 40 last years, CMOS technology allowed a significant revolution in information processing, unceasingly improved thanks to the continuous reduction of device dimensions. The design and optimization of the source/drain (S/D) architecture, as well as that related to the channel and the gate stack, represent a challenging exercise for generations with gate length shorter than 45 nm. In order to further pursue the scaling of CMOS devices, it exists a renewed interest for non conventional architecture, motivated by hard constraints imposed by down scaling (e.g. series resistances). Within the framework of this thesis, conventional S/D structures based on the use of ohmic contacts on highly doped zones are replaced by Schottky contacts with a very low barrier height on a lightly doped substrate. By way of introduction, a comparison of the electrical performances simulated between the two technologies is presented.

A first part is devoted to the study of Schottky contacts with a low Schottky barrier height. From the theoretical standpoint, it is shown that the modeling of the current transport in Schottky junctions must simultaneously take into account thermoionic emission, field emission and also the barrier lowering mechanism (Schottky effect). Moreover, the extraction of barrier height by conventional techniques is very difficult. A new method, allowing to classify silicides in terms of current drive performance, is proposed. Experimentally, a detailed study is realized on platinum and iridium silicides formed at ambient temperature, under ultra high vacuum or by rapid thermal annealing (RTA). Various stoichiometries and kinetics of reactions are characterized by XPS. TEM analyses are used to characterize the grain size and the interfaces roughness. The electrical measurements support the physical characterizations and consolidate the choice of best silicides for the realization of the source/drain contacts of S/D Schottky MOSFET transistors. Finally, silicides obtained on pseudomorphic SiGe substrate reveal that more the layer is strained (by the fraction of germanium or the thickness of the epitaxial layer) better is the specific contact resistance.

The second part of this study focuses on the fabrication of metal gate in the 20-100 nm range on a thin SOI substrate. The choice of the metal gate (tungsten) is motivated by a low threshold voltage (0.35 V) compatible with the supply voltage trend for both n-MOS and p-MOS devices. A gate oxide (SiO_2) thinner than 2 nm offers leakage currents that compared well to the best published results. Using a negative-tone electrosensitive resist (HSQ), high definition lithography patterns (< 20 nm) are demonstrated. Judicious choices of etching chemistry and the fine tuning of RIE plasma ensure vertical profiles of the gate stack and an etching stop perfectly controlled. The use of nitride PECVD forms, after anisotropic etching, ultra thin spacers (10 nm) without altering the metal gate. The process of tungsten encapsulation allows a perfect protection against wet etching. Finally, it is shown that platinum integration does not affect integrity of the gate stack and a perfect alignment of source/drain zones on the gate is obtained.

A MOSFET transistor on a thin SOI that integrates Schottky source/drain and a metal gate is demonstrated for the first time with ideal static performance. A transistor with a gate length of 1 μm has a $I_{\text{on}}/I_{\text{off}}$ ratio of $4 \cdot 10^6$ and an ideal behavior under the threshold ($S=62$ mV/dec). The tungsten gate offers a threshold voltage (0.37 V) suitable for devices shorter than 60 nm. Moreover, an excellent static level of performance is reached for a transistor with short channel (100 nm). Finally, a current of order of 425 $\mu\text{A}/\mu\text{m}$ is obtained with a transistor of 40 nm length of gate while preserving an off state current under the limit of the 400 nA/ μm . Considering previously published performance of Schottky barrier MOSFETs, the state of art is appreciably improved during year 2003, in particular thanks to the contribution of this work.

Résumé

Lors des 40 dernières années, la technologie CMOS a permis une véritable révolution dans le traitement de l'information, sans cesse améliorée grâce à la diminution continue des dimensions des composants. L'architecture source/drain (S/D), au même titre que celle liée à la grille, est un challenge énorme pour la réalisation des générations de longueur de grille inférieure à 40 nm. Afin de poursuivre la miniaturisation des composants CMOS, il existe un regain d'intérêt pour de nouveaux dispositifs, motivé par les graves limitations auxquelles sont confrontées les architectures actuelles (résistances d'accès par ex.). Dans le cadre de cette thèse, l'architecture S/D classique basée sur l'utilisation de contacts ohmiques sur des zones fortement dopées est remplacée par des contacts de très faible hauteur de barrière Schottky sur un substrat faiblement dopé. Dans un premier temps, une comparaison des performances électriques simulées entre les deux technologies est présentée.

Un premier volet est consacré à l'étude du contact Schottky à très faibles hauteurs de barrière. Théoriquement, la modélisation du courant dans un tel contact doit prendre en compte à la fois l'émission thermo-électronique et l'émission de champ mais aussi l'effet d'abaissement de barrière (effet Schottky). De plus, l'extraction de cette hauteur de barrière par des techniques conventionnelles est très difficile. Une méthode inédite permettant de classer les différents siliciures a été proposée. Expérimentalement, une étude détaillée a été menée sur les siliciures de platine et d'iridium formés à température ambiante, sous ultra vide ou par recuit rapide (RTA). Différentes stoechiométries et cinétiques de réactions ont été caractérisées par XPS. Des analyses MET mettent en évidence la présence de grains et la rugosité des interfaces. Les mesures électriques ont consolidé les caractérisations physiques et ont permis de sélectionner les meilleurs siliciures pour la réalisation des contacts source/drain du transistor MOS Schottky. Enfin, des siliciurations sur substrat SiGe pseudomorphiques ont révélé que plus la couche était contrainte (par la fraction de germanium ou l'épaisseur de la couche épitaxiée) meilleure était la résistance spécifique de contact.

Le deuxième axe d'étude a consisté à réaliser une grille métallique à dimension nanométrique (20-100 nm) sur substrat SOI. Le choix du métal de grille (tungstène) permet de travailler avec une tension de seuil particulièrement bien adaptée pour des dispositifs n-MOS et p-MOS avancés et de ne pas être limité par les températures des traitements thermiques. Un oxyde de grille (SiO_2) inférieur à 2 nm offre des courants de fuites qui ne détériorent pas le fonctionnement du transistor. L'utilisation d'une résine électronique négative (HSQ) permet de réaliser des lignes de hautes définitions. Les choix judicieux des gaz de gravure et des paramètres de l'attaque plasma RIE assure l'obtention de profils de grille verticaux et d'une fin d'attaque parfaitement maîtrisée. L'utilisation d'un nitrure PECVD forme, après gravure anisotrope, des espaceurs ultra minces (10 nm) sans dégrader le métal de grille. Le procédé d'encapsulation du tungstène assure une parfaite protection contre les gravures chimiques. Enfin, l'intégration du platine n'affecte pas l'intégrité du dispositif et un parfait alignement des zones source / drain sur la grille est obtenu.

Le premier transistor MOSFET sur SOI ultra fin intégrant des sources / drains Schottky et une grille métallique a été démontré avec des performances statiques idéales. Un transistor de longueur de grille de 1 μm possède un rapport $I_{\text{on}}/I_{\text{off}}$ de $4 \cdot 10^6$ et une pente sous le seuil idéale (62 mV / dec). La grille tungstène offre une tension de seuil (0.37 V) optimale pour les dispositifs inférieurs à 60 nm. De plus, un excellent niveau de performance statique est atteint pour un transistor à canal court (100 nm). Enfin, un courant de commande de 425 $\mu\text{A}/\mu\text{m}$ a été obtenu avec un transistor de 40 nm de longueur de grille tout en conservant un courant à l'état bloqué sous la barre des 400 nA/ μm . L'état de l'art a sensiblement été amélioré au cours de l'année 2003, notamment grâce aux contributions de ce travail.

Mots clés

Transistors à effet de champ

MOS

Contacts source drain

Siliciures

Contacts métal semiconducteur

Diodes à barrière Schottky

Technologie silicium sur isolant

Grille métallique