

N° d'ordre : 3536

# THESE

Présentée à

L'UNIVERSITE DES SCIENCE ET TECHNOLOGIES DE LILLE

Pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE

Spécialité : MICROONDES ET MICROTECHNOLOGIES

par

Alexandre SILIGARIS

**MODELISATION GRAND SIGNAL DE MOSFET EN  
HYPERFREQUENCES :  
APPLICATION A L'ETUDE DES NON LINEARITES  
DES FILIERES SOI**

Soutenue devant la commission d'examen le 13 Décembre 2004.

*Membres du jury :*

Jean-Luc GAUTIER

*Président*

Gilles DAMBRINE

*Directeur de thèse*

François DANNEVILLE

*Co-directeur de thèse*

Raymond QUERE

*Rapporteur*

Jacques GRAFFEUIL

*Rapporteur*

Dominique SCHREURS

*Examineur*

Franz SISCHKA

*Examineur*

Patrick SCHEER

*Examineur*



## Remerciements

*Ce travail a été effectué à l'Université des Sciences et Technologies de Lille (USTL), au sein du Département Hyperfréquences et Semi-conducteurs (DHS) de l'Institut d'Electronique, de Microélectronique et de Nanotechnologies (IEMN), dirigé par le professeur Monsieur **Alain Cappy**.*

*Je remercie Monsieur **Jean-Luc Gautier**, Professeur de l'université de Cergy-Pontoise, de me faire l'honneur de présider la commission d'examen.*

*Je tiens à remercier et à exprimer ma sympathie à Monsieur le Professeur **Gilles Dambrine** et à Monsieur le Professeur **François Danneville** qui ont dirigé ces travaux et qui m'ont guidé à travers leurs conseils scientifiques et pédagogiques. La disponibilité et le contact humain qu'ils ont montrés sont inséparables de la mise en œuvre de ce travail.*

*J'exprime toute ma reconnaissance à Monsieur **Raymond Quéré**, Professeur de l'université de Limoges (I.R.C.O.M.), et à Monsieur **Jacques Graffeuil**, Professeur de l'Université de Toulouse (L.A.A.S.), qui me font l'honneur de juger ce travail et d'en être rapporteurs.*

*Je remercie également Monsieur **Franz Sischka** (PhD), responsable ICCAP Europe (Agilent Technologies), Mademoiselle **Dominique Schreurs** (PhD), chercheur à l'Université Catholique de Louvain (KUL) et Monsieur **Patrick Scheer** (PhD), ingénieur à ST microelectronics, qui me font le plaisir d'être examinateurs de ce travail.*

*Je tiens à remercier tous les membres de l'équipe **ANODE** pour leur sympathie et les discussions enrichissantes que j'ai pu avoir avec chacun d'entre eux.*

*Je voudrais exprimer ma reconnaissance au personnel de la centrale de caractérisation pour toute leur patience et leur collaboration lors des mesures effectuées durant toutes ces années. Particulièrement, à **Sylvie Lepilliet**, sans qui le travail n'aurait pas pris sa finalité actuelle.*

*Ce travail a été valorisé grâce à son application directe par Monsieur **Christophe Pavageau**, Monsieur **Mehdi Si Moussa** et Monsieur **Bertrand Parvais** à qui j'exprime toute ma reconnaissance et mon amitié.*

*Sans oublier, je remercie **Céline** pour sa patience, son aide, son soutien et finalement son amour qu'elle a exprimés et qui m'ont poussé à mener à bien ce travail. Je remercie aussi toute ma famille (mes parents et mes frères), tous mes amis, en France comme en Grèce, pour leur soutien et tous les moments agréables.*



*...à Céline, à tous les miens*  
*...à la mémoire de Γιάννης Μανωλής*



<i>Introduction générale</i>	<u>1</u>
------------------------------	----------

## CHAPITRE I

<i>Les Transistors MOS pour les Hyperfréquences</i>	<u>7</u>
-----------------------------------------------------	----------

<b>Introduction</b>	<b>9</b>
<b>I.1 Dispositifs MOSFET</b>	<b>10</b>
I.1.1 Les substrats massifs et SOI	10
I.1.1.a Substrat massif	10
I.1.1.b Les substrats SOI	11
I.1.2 MOSFET numérique et MOSFET analogique	13
I.1.3 Transistors MOS sur substrat SOI. Transistors Partiellement Désertés et Totalement Désertés	15
I.1.4 Dispositifs Hyperfréquences	17
<b>I.2 Fonctionnement des MOS. Effets physiques</b>	<b>19</b>
I.2.1 Tension de seuil $V_{th}$	19
I.2.2 Courant de drain. Transconductance. Mobilité	20
I.2.3 Effets de canal court	21
I.2.4 Effet <i>kink</i>	23
I.2.5 Effets thermiques	26
<b>I.3 Les non linéarités dans les composants. Modélisation non linéaire</b>	<b>28</b>
I.3.1 Exemple d'une non linéarité dans un composant : effets non linéaires	28
I.3.2 Distorsion harmonique	29
I.3.3 Intermodulation	32
I.3.4 Point de compression à 1dB. Point d'interception du 3 <sup>e</sup> ordre OIP3	33
<b>I.4 Performances hyperfréquences petit signal</b>	<b>40</b>
I.4.1 Notions de puissance et de gain	40
I.4.2 Le gain de courant en court circuit $H_{21} - f_T$	41
I.4.3 Gain unilatéral $-f_{max}$	42
<b>I.5 Types de Modèles non linéaires pour les MOS</b>	<b>44</b>
I.5.1 Considérations pour la modélisation NL	45
I.5.2 Types de modélisation	47
I.5.2.a La modélisation physique	47
I.5.2.b La modélisation phénoménologique	48
I.5.2.c La modélisation à base de données expérimentales	48
I.5.3 Choix de modélisation	49
<b>Conclusion</b>	<b>50</b>
<b>Références bibliographiques</b>	<b>51</b>

## CHAPITRE II

<i>Modèle Grand Signal pour les MOSFETs : SILICA</i>	<u>57</u>
------------------------------------------------------	-----------

<b>Introduction</b>	<b>59</b>
<b>II.1 Modélisation grand signal en hyperfréquences</b>	<b>60</b>
II.1.1 Schéma équivalent électrique petit signal :	60
II.1.1.a Eléments Intrinsèques	61
II.1.1.b Eléments Extrinsèques	62
II.1.2 Modélisation électrique grand signal : Approche fondamentale	64
II.1.2.a Source de courant grand signal. Conservation de la matière	64

II.1.2.b Capacités grand signal. Conservation de la charge .....	67
II.1.3 Hypothèses et approximations pour le modèle des MOSFET .....	70
<b>II.2 Modélisation grand signal de la source de courant <math>I_{ds}</math>.....</b>	<b>71</b>
II.2.1 Modèle d'Angelov .....	71
II.2.1.a Le terme $\tanh(\alpha V_{ds})$ .....	73
II.2.1.b Le terme $(1+\lambda V_{ds})$ .....	74
II.2.1.c Le terme $(1+\tanh(\Psi))$ .....	74
II.2.2 Modifications sur le modèle de courant.....	76
II.2.2.a. Saturation. ....	76
II.2.2.b Zone linéaire .....	77
II.2.2.c Commande de $I_{ds}$ par $V_{gs}$ .....	79
II.2.2.d Courant total.....	81
<b>II.3 Modélisation de l'effet <i>kink</i>.....</b>	<b>83</b>
II.3.1 Observations sur le courant des MOSFET à <i>body</i> flottant .....	83
II.3.2 Elaboration d'une équation de <i>kink</i> .....	85
II.3.2.a Influence de la polarisation du drain .....	85
II.3.2.b Influence de la polarisation de la grille .....	88
II.3.3 Dispersion fréquentielle .....	92
<b>II.4 Modélisation grand signal des capacités. ....</b>	<b>99</b>
II.4.1 Simulation avec ATLAS – SILVACO.....	99
II.4.2 Structure simulée.....	101
II.4.3 Extraction de la charge $Q_g$ .....	103
II.4.4 Extraction des capacités simulées .....	106
II.4.5 Modèle de charge.....	106
<b>II.5 Extraction des paramètres du modèle.....</b>	<b>112</b>
II.5.1 Rappel du modèle SILICA complet.....	113
II.5.2 Mesures des transistors en hyperfréquences .....	114
II.5.2.a Paramètres de répartition.....	114
II.5.2.b Mesure des paramètres S. Etalonnage LRM et TRL.....	115
II.5.3 Détermination des éléments électriques du modèle .....	118
II.5.3.a Extraction des éléments extrinsèques .....	118
II.5.3.b Extraction des éléments intrinsèques .....	123
II.5.4 Extraction des paramètres de charge.....	126
II.5.5 Extraction des paramètres du courant .....	130
II.5.5.a Cas des transistors ne présentant pas d'effet <i>kink</i> .....	133
II.5.5.b Cas des transistors présentant l'effet <i>kink</i> .....	134
<b>II.6 Implémentation du modèle dans un simulateur commercial.....</b>	<b>138</b>
II.6.1 Description des éléments non linéaires dans ADS .....	139
II.6.1.a Courant $I_{ds}$ dans ADS.....	139
II.6.1.b Courant $I_{kink}$ dans ADS.....	140
II.6.1.c Capacités $C_{gs}$ et $C_{gd}$ dans ADS.....	140
II.6.2 Schéma équivalent électrique dans ADS.....	141
II.6.3 Lois d'échelle en fonction $W_d$ et $n_d$ .....	142
<b>II.7 Validation du modèle au travers de mesures.....</b>	<b>144</b>
II.7.1 Validation du modèle en régime statique.....	145
II.7.2 Validation du modèle en régime petit signal.....	146
II.7.3 Validation dynamique du modèle de courant $I_{kink}$ .....	147
II.7.4 Validation du modèle en régime grand signal.....	149
II.7.4.a Mesures vectorielles avec le VNNA.....	149
II.7.4.b Banc de mesure scalaire de puissance en monoton et biton .....	153
II.7.4.c Comparaisons entre mesures et simulations.....	158
II.7.5 Validité du modèle - Discussion .....	164
<b>Conclusion .....</b>	<b>166</b>
<b>Références bibliographiques.....</b>	<b>169</b>



<b>Annexes du chapitre II .....</b>	<b>173</b>
II.A.1 Influence des paramètres du modèle de courant de <i>kink</i> .....	173
II.A.2 Equation analytiques de $C_{gs}(V_{gs}, V_{ds})$ et $C_{gd}(V_{gs}, V_{ds})$ .....	175
II.A.3 Principe de fonctionnement schématique d'un analyseur de réseau vectoriel ( <i>VNA</i> : Vectorial Network Analyser).....	176
II.A.4 Matrices de passage.....	177
II.A.5 Comparaison des paramètres S en module et phase .....	178
 <b>CHAPITRE III</b> <i>Applications du modèle SILICA :</i>	
<b>Propriétés non linéaires des MOSFET SOI - Conception de circuits .....</b>	<b>179</b>
<b>Introduction.....</b>	<b>181</b>
<b>III.1 Application du modèle SILICA à l'étude des propriétés des MOSFET sur substrat SOI .....</b>	<b>182</b>
III.1.1 Linéarité et technologie des composants.....	182
III.1.1.a Linéarité des <i>FB</i> , <i>BC</i> et <i>BT</i> .....	182
III.1.1.b Interprétation des résultats .....	189
III.1.2 Linéarité et géométrie des composants .....	193
III.1.2.a Influence de la longueur de la grille .....	193
III.1.2.b Influence de la largeur de la grille.....	194
III.1.3 Performances hyperfréquences .....	198
III.1.4 Conclusion .....	201
<b>III.2 Application du modèle SILICA à la réalisation de circuits.....</b>	<b>202</b>
III.2.1 Bascule JK en technologie nMOS.....	202
III.2.2 Amplificateur large bande en technologie MOS SOI 0.13 $\mu\text{m}$ à prises externes .....	204
III.2.2.a Architecture de l'amplificateur distribué.....	204
III.2.2.b Performances de l'amplificateur distribué.....	206
<b>Conclusion .....</b>	<b>208</b>
<b>Références bibliographiques .....</b>	<b>209</b>
<b>Conclusion générale - Perspectives .....</b>	<b>211</b>
<b>Glossaire et symboles.....</b>	<b>217</b>
<b>Publications .....</b>	<b>221</b>



# Introduction générale



## Introduction générale

Les communications sans fil, dans un sens large, sont aujourd'hui inséparables de la vie quotidienne moderne et continuent à s'y intégrer, à commencer par le téléphone portable, les réseaux internet sans fil (*WLAN*), les systèmes *blue-tooth*, les radars anticollision de véhicules, jusqu'à la souris et le clavier de l'ordinateur sans fil. Toutes ces applications font partie intégrale du domaine des radiofréquences (RF), et elles se sont développées grâce au progrès des transistors et de leurs performances.

Depuis la naissance du transistor jusqu'au début des années 1980, deux technologies sont utilisées dans le domaine des RF : Le transistor bipolaire sur Silicium (Si) et le transistor MESFET sur Arsenic de Galium (GaAs). A partir des années 80, et petit à petit, de nouvelles technologies font leur apparition dans les RF, et notamment les HEMT (*High Electron Mobility Transistor*), les transistors bipolaires à hétérojonction et récemment les transistors MOSFET sur Si. La figure 1 montre l'évolution des composants actifs pour les applications RF jusqu'à nos jours.

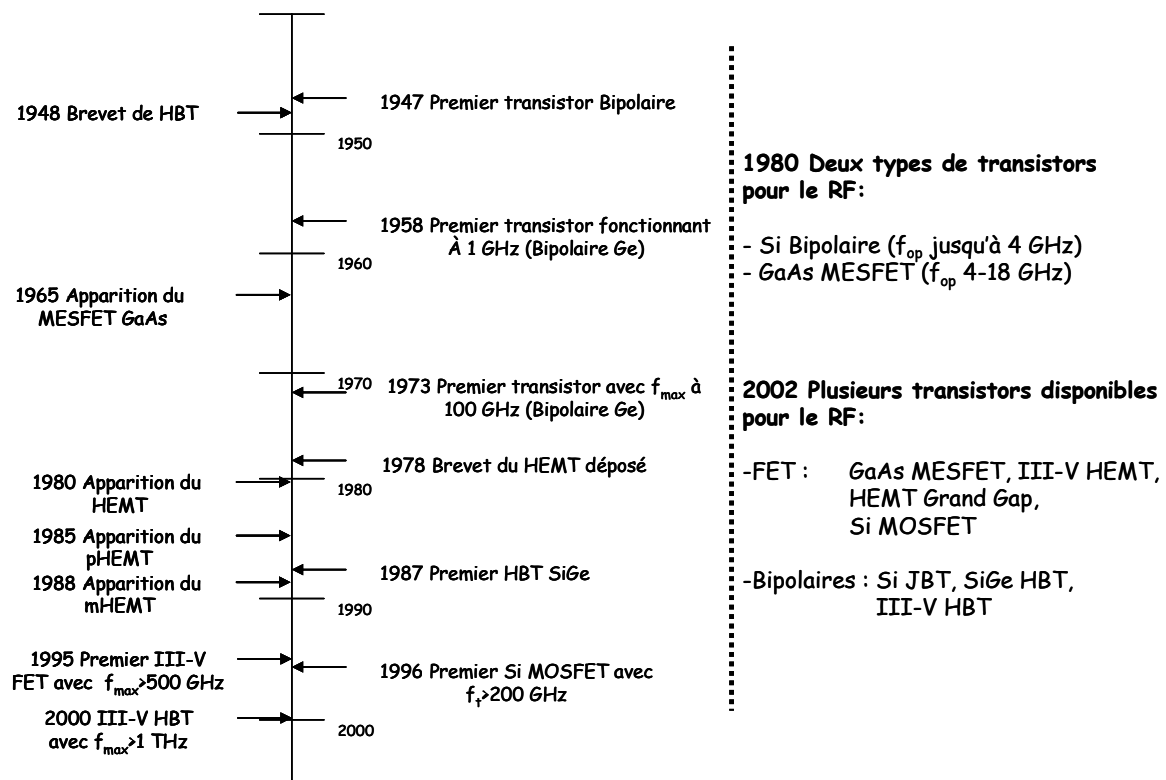


Figure 1 Historique des transistors utilisés dans le domaine des RF

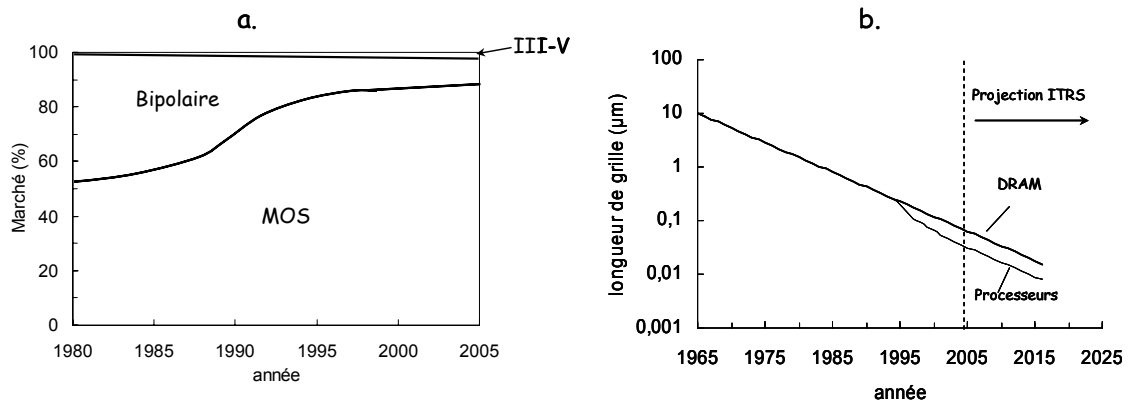


Figure 2.a Part de marché des différents transistors ces 25 dernières années. b. Evolution des dimensions des MOSFET (longueur de grille) et projections futures ITRS

Malgré la position dominante des transistors MOSFET sur Si dans le marché (figure 2.a), il est utilisé essentiellement pour les applications numériques. L'intérêt d'utiliser cette technologie dans le domaine des RF est né récemment. Ceci vient avec l'évolution des performances RF des transistors MOS, directement liée au progrès de la lithographie et à la réduction de la longueur de grille. La figure 2.b donne l'évolution de la longueur de grille des composants MOS dans le temps et sa projection future.

L'intérêt porté pour les technologies Si, et plus précisément pour les transistors MOS dans le domaine des RF, repose sur trois points :

- C'est une technologie peu coûteuse par rapport aux technologies III-V. Elle est très mature d'un point de vue industriel.
- La quasi-totalité des circuits numériques sont réalisés avec cette technologie. On peut donc envisager des applications mixtes analogique/numérique sur la même puce (SoC : *System on Chip*).
- Elle requiert de faibles tensions de polarisation et présente une consommation en puissance très faible.

Et c'est là les points-clés qui ont poussé la recherche internationale à faire évoluer cette technologie dans les RF. C'est le candidat idéal pour toutes les applications où la faible

consommation et la forte intégration sont exigées, par exemple pour toutes les applications embarquées.

Aujourd'hui, les performances RF des transistors MOS, en terme de fréquences caractéristiques ( $f_t$ ,  $f_{max}$ ), atteignent de telles valeurs que l'on peut réaliser des circuits analogiques fonctionnant dans le domaine millimétrique ( $f_{op} > 30 \text{ GHz}$ ). Sur la figure 3, nous avons reporté les performances de transistors MOS en termes de  $f_t$  et  $f_{max}$  en fonction de la longueur de grille.

Cependant, la faisabilité de systèmes d'émission-réception doit passer avant tout par la phase du démonstrateur. Les briques de base (démonstrateurs) constituant les systèmes d'émission-réception, tels que les amplificateurs faibles bruit, les oscillateurs, les mélangeurs, doivent être réalisées avec les technologies MOS émergentes. Pour cela, les concepteurs ont besoin de modèles électriques des composants actifs et des éléments passifs utilisés, afin de concevoir et simuler les circuits. Les modèles des transistors doivent prédire le comportement du composant tant en régime de fonctionnement petit signal qu'en grand signal. De nombreux modèles existent pour les transistors MOS, comme le BSIM développé à l'université de Berkeley en Californie, le MOS MODEL (MM) développé par Philips, ou le modèle EKV de l'Ecole Polytechnique Fédérale de Lausanne (EPFL). Ce sont, pour la majorité, des modèles de type physique se basant sur les lois des semiconducteurs.

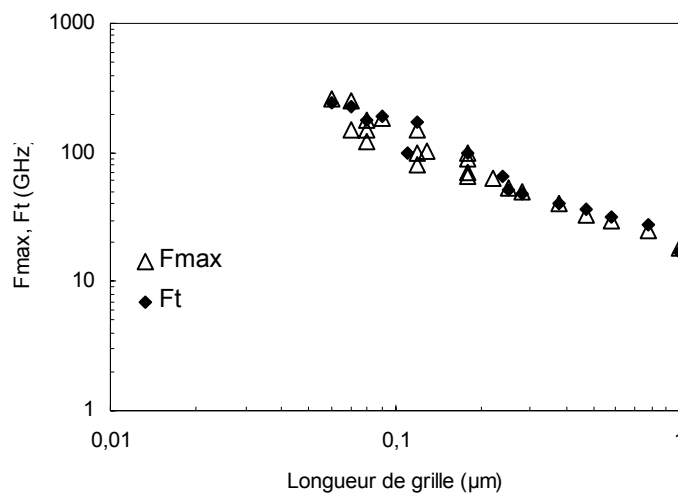


Figure 3 Evolution des  $f_t$  et  $f_{max}$  en fonction de la longueur de grille pour des transistors nMOS

La problématique initiale de cette thèse s'est exprimée à travers le besoin de modèles RF pour les technologies MOS. Dans un premier temps, nous nous sommes penchés sur le modèle BSIM et les possibilités d'extraire ses paramètres sur les technologies MOS provenant de diverses structures, à savoir *ST microelectronics*, le *LETI*, *Alcatel* etc. Très rapidement, la conclusion était faite : de tels modèles ne sont pas adaptés pour les technologies émergentes de recherche, à cause de leur complexité et du temps élevé pour l'extraction des paramètres. Par conséquent, la solution qui pouvait contourner ce problème était l'utilisation d'un modèle empirique, rapide à extraire. La modélisation empirique, très utilisée pour les technologies III-V, n'avait jamais fait apparition jusqu'à ce jour pour les MOSFET. Le choix a été le développement d'un modèle grand signal rapide à extraire et facile à utiliser dans les divers environnements de CAO.

Le plan de cette thèse est composé de trois parties :

- Le premier chapitre sert à introduire les diverses technologies MOS et particulièrement les technologies SOI. Nous y présentons les structures des composants et leur fonctionnement avec certains effets physiques nécessaires par la suite pour la compréhension et la modélisation. Une parenthèse est faite, où nous montrons les effets non linéaires et leur importance, tout en définissant les facteurs de mérite qui les caractérisent. Finalement, un débat sur les types de modèles existants et sur le choix de modélisation est exposé avec les avantages et désavantages de chacune des approches.
- Le deuxième chapitre est entièrement consacré au développement du modèle SILICA. Nous y décrivons certains principes essentiels à la modélisation grand signal, et l'approche que nous avons adoptée. La procédure d'élaboration de chaque élément grand signal et ses équations associées y sont données en détail. Nous décrivons les techniques de mesures hyperfréquences afin d'extraire les valeurs des éléments ainsi que les paramètres du modèle. La phase suivante consiste à l'implémentation du modèle dans un simulateur commercial. Finalement, nous montrons la validation du modèle au travers de comparaisons



entre mesures et simulations en régime petit et grand signal. Les diverses techniques de mesures et d'étalonnage grand signal sont exposées.<sup>1</sup>

- Dans la dernière partie, nous donnons quelques applications d'utilisation du modèle : dans un premier temps, nous exposons une étude menée sur la linéarité des filières SOI. Par la suite, nous décrivons un amplificateur large bande conçu à l'aide du modèle, et donnons les résultats de mesures comparés aux simulations.

Notons que le fruit des travaux de thèse a été rapidement valorisé par l'utilisation immédiate du modèle pour la conception de circuits RF en technologie MOSFET.

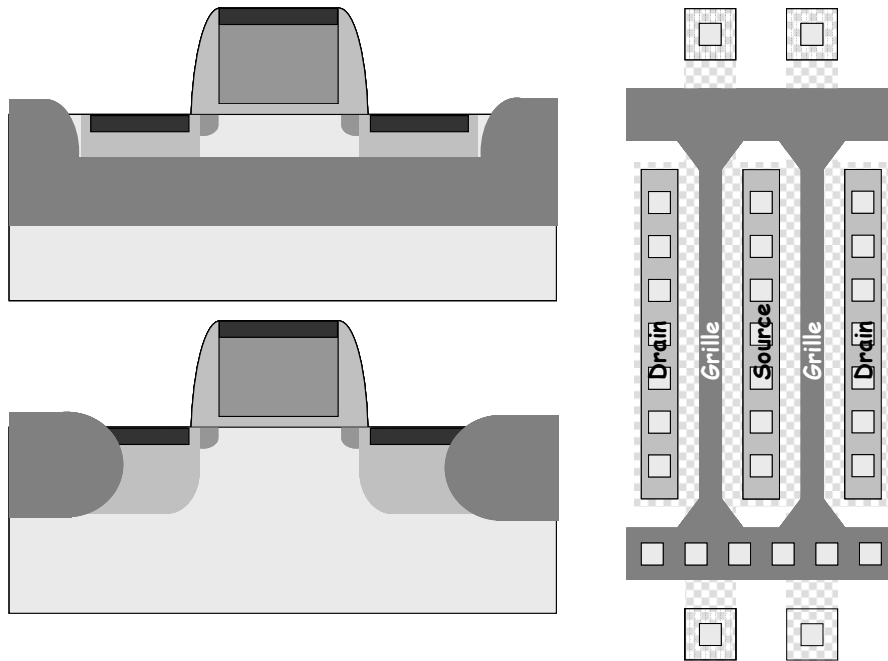
---

<sup>1</sup> Les composants utilisés pendant les travaux de thèse sont réalisés par *ST microelectronics* dans le cadre de contrats et du laboratoire commun.



# CHAPITRE I

## Les Transistors MOS pour les Hyperfréquences





## Introduction

Les technologies MOS voient leurs performances hyperfréquences augmenter sans cesse, grâce au progrès continu des techniques de lithographie. Une tendance continue persiste : la réduction des dimensions des composants et notamment la longueur de la grille. Les deux raisons principales qui mènent à ceci sont :

- Augmenter la densité de composants sur le même substrat, donc augmenter l'intégration.
- Accroître les performances des transistors eux-mêmes (tout facteur de mérite confondu).

Dans le domaine des RF, le but reste toujours l'augmentation des performances des composants. Aujourd'hui, la lithographie industrielle permet de réaliser des transistors MOSFET avec des longueurs de grille de 90 nm et des fréquences  $f_i$  et  $f_{max}$  dépassant les 100 GHz. Cependant, les faibles dimensions du canal des transistors font apparaître des effets secondaires qui, de façon générale, sont considérés comme parasites. Pour remédier à cela, des alternatives sur les structures et le substrat sont proposées à chaque génération de composants. Par exemple, les composants destinés aux applications RF présentent des structures à plusieurs doigts de grille afin de minimiser la résistance de celle-ci. Des substrats alternatifs au Si massif (*bulk*) sont proposés, et notamment le substrat SOI (*Silicon On Insulator* : Silicium Sur Isolant), afin d'accroître les performances des composants.

Dans ce chapitre, nous présentons les substrats Si *bulk* et SOI et les structures des composants MOS destinés aux applications hyperfréquences. Nous décrivons le principe de fonctionnement et certains effets physiques présents dans les composants, qui seront utiles lors de la modélisation dans le chapitre II. Ensuite, nous donnons un exemple de composant non linéaire afin de comprendre les mécanismes et les effets dus aux non linéarités. Finalement, le choix de la technique de modélisation est exposé avec ses avantages et ses désavantages.

## I.1 Dispositifs MOSFET

### I.1.1 Les substrats massifs et SOI

#### I.1.1.a Substrat massif

Les transistors MOS sont réalisés sur substrat Silicium (Si) qui est de loin le matériau le plus utilisé dans le domaine de la microélectronique [1]. Aujourd'hui, les substrats de Si massif ont une épaisseur d'environ 800  $\mu\text{m}$  et un diamètre de 300 mm. Mais la partie active du Si, où les transistors MOS sont réalisés, est largement inférieure à 1  $\mu\text{m}$ , le reste du substrat servant ainsi de support mécanique et pour la dissipation thermique. Etant donné que le Si n'est pas un semi-conducteur parfait (constante diélectrique élevée), le substrat physique crée des effets parasites indésirables : les capacités de jonction entre les zones diffusées de la source et du drain, et le substrat voient leurs valeurs augmenter, car la réduction des dimensions des composants requiert des dopages plus élevés. Un autre problème concerne les courants de fuite de substrat qui sont accentués par la diffusion des contacts métalliques du drain et de la source : le métal diffuse, lors du processus technologique, en dessous des zones dopées, et il crée des courants de fuites vers le substrat (*body*) (figure I.1.1) [2].

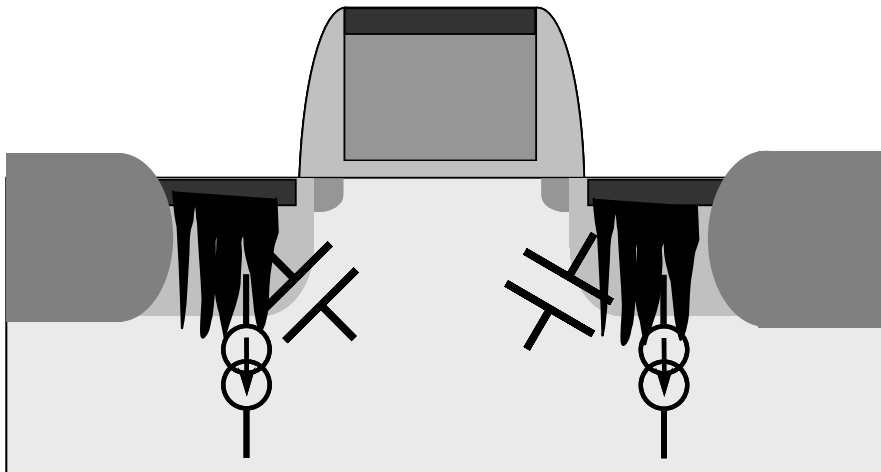


Figure I.1.1 Capacités parasites dues aux dopages élevés du substrat et des zones diffusées. Courants de fuites vers le substrat.

### I.1.1.b Les substrats SOI

Pour s'affranchir de ces effets parasites du substrat, l'idée a été de créer une isolation électrique entre la partie active et le substrat physique. Ceci est réalisé en fabriquant une couche monocristalline de Si sur un isolant (SOI : *Silicon On Insulator*). Sur la figure I.1.2 est représenté un substrat SOI [2].

L'isolant peut être constitué de divers matériaux comme le saphir ( $Al_2O_3$ , *Silicon On Sapphire* : SOS), le diamant, le fluorure de calcium ( $CaF_2$ ) et l'oxyde de Silicium ( $SiO_2$ ). Le diélectrique le plus adapté et le plus couramment utilisé est le  $SiO_2$ , les autres matériaux diélectriques étant moins matures du point de vue de la réalisation technologique : ils présentent plus de défauts cristallins d'interface qui provoquent une chute de mobilité des porteurs dans la couche de Si.

La première technique de fabrication d'un oxyde enterré remonte aux années 70 et le principe est très simple : il s'agit d'implanter des ions d'oxygène sur le substrat (figure I.1.3.a) et, par la suite, de former un oxyde par recuit à haute température. Les substrats réalisés par cette technique sont nommés SIMOX (*Separation by IMplanted OXygen*). Une autre technique dite BESOI (*Bonding Etching SOI*) consiste à faire croître de l'oxyde sur la surface de deux substrats distincts et de les « coller » entre eux (figure I.1.3.b). Ensuite, la surface d'un des deux substrats est polie.

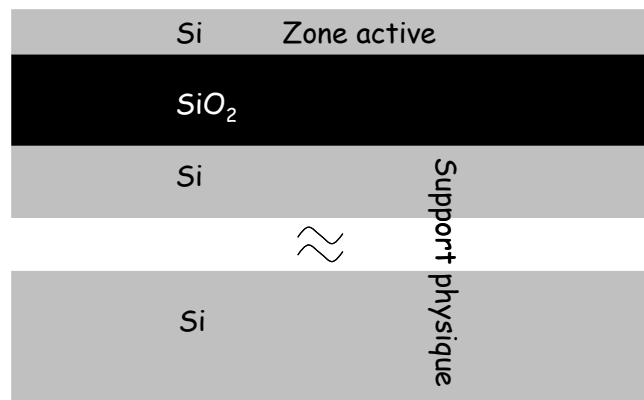


Figure I.1.2 Schéma d'un substrat Si sur isolant  $SiO_2$ .

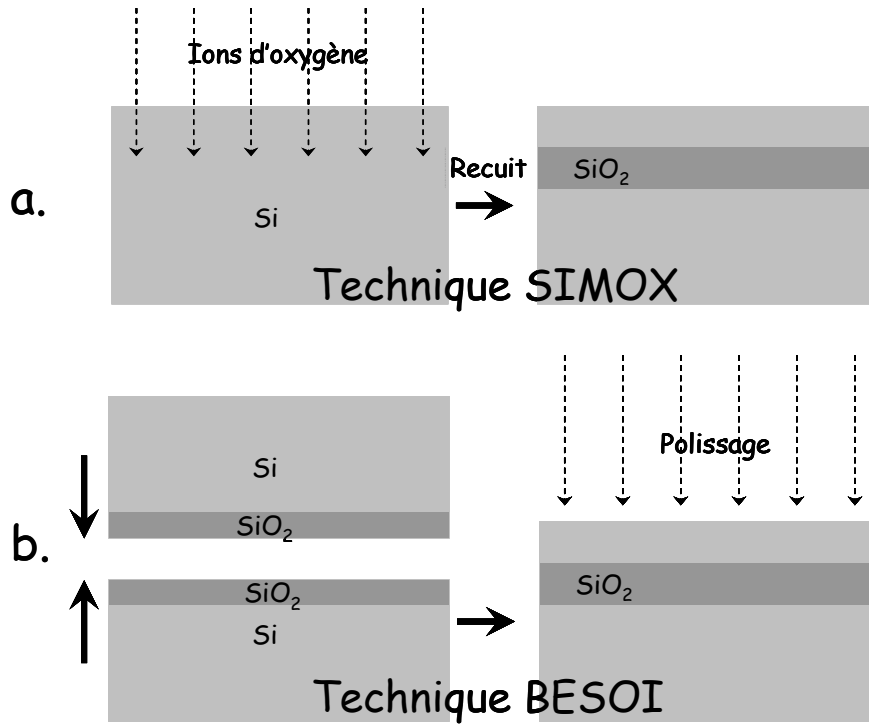


Figure I.1.3 Fabrication de SOI a. par la technique SIMOX. b. par la technique BESOI.

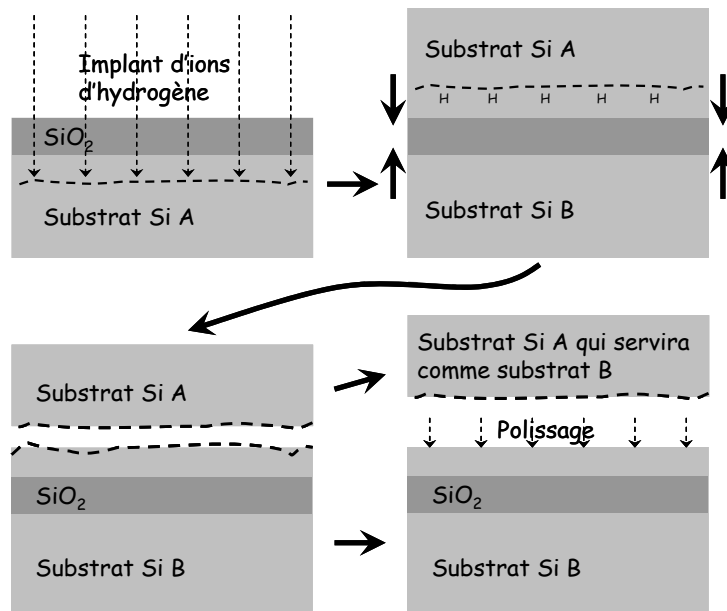


Figure I.1.4 Technique de fabrication SOI Smart Cut.



La dernière technique appliquée est celle de UNIBOND<sup>®</sup> appelée Smart Cut<sup>®</sup>. Il s'agit d'implanter des ions d'hydrogène dans un substrat de Si ayant la face oxydée. Ensuite, un deuxième substrat de face oxydée est collé sur le premier substrat. Les atomes d'hydrogène créent des micro-cavités et des micro-bulles qui, à 500 °C, cassent le substrat *A* en deux. La dernière étape consiste à polir la surface du Si afin d'amincir la couche active et d'obtenir une surface de type miroir (figure I.1.4). Le procédé Smart Cut est similaire à celui BESOI, mais a un avantage énorme d'un point de vue économique : pour fabriquer  $n$  substrats SOI on utilise  $n+1$  substrats de départ, alors qu'avec la technique BESOI il faut  $2n$  [2].

### I.1.2 MOSFET numérique et MOSFET analogique

Les applications analogiques exigent des composants fournissant suffisamment de puissance à haute fréquence pour réaliser des circuits à gain en puissance supérieure à l'unité. Les facteurs de mérites et les buts sont le gain en puissance, la fréquence de transition  $f_t$ , la fréquence maximale d'oscillation  $f_{max}$ , le facteur de bruit minimum  $NF_{min}$  du composant et la linéarité [3], [4]. Cependant, dans les applications numériques, on est intéressé par la densité d'intégration, la vitesse de commutation de portes logiques, les courants de fuite, le courant en-dessous du seuil et la faible consommation des composants [5]. Ainsi, par définition, les structures des transistors MOS vont dépendre de l'application envisagée. La figure I.1.5 montre une vue du dessus de MOSFET destinés aux hyperfréquences et de MOSFET destinés au numérique.

Par la suite, nous allons voir le fonctionnement des composants MOSFET en hyperfréquence et certains facteurs de mérite qui expliquent la structure particulière des MOS hyperfréquences.

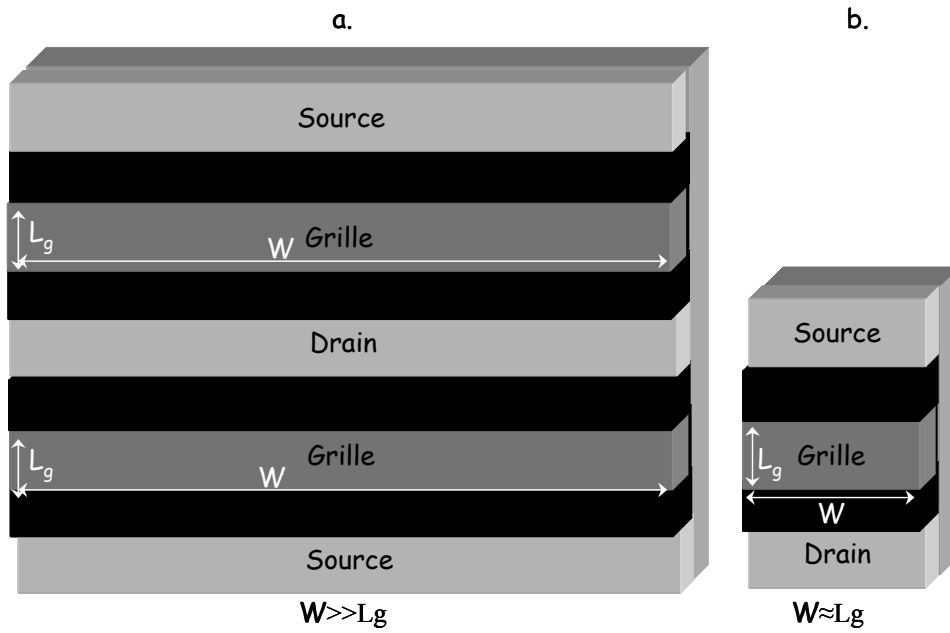


Figure I.1.5 Vue verticale de transistors MOS a. Transistor conçu pour les hyperfréquences : la grille est composée de plusieurs doigts mis en parallèle; le rapport entre la largeur  $W_d$  et la longueur  $L_g$  d'un doigt de grille peut varier entre 10 et 30. b. Transistor conçu pour les applications numériques : Le rapport entre la largeur et la longueur de la grille est proche de l'unité.

### I.1.3 Transistors MOS sur substrat SOI. Transistors Partiellement Désertés et Totalement Désertés

La réalisation technologique d'un transistor MOS sur substrat SOI est très similaire à celle des MOS classiques réalisés sur substrat *bulk*. Aucune étape supplémentaire n'est nécessaire pour un substrat SOI, et certaines étapes peuvent être évitées [6]. La figure I.1.6 montre une section schématique d'un transistor MOS sur substrat SOI.

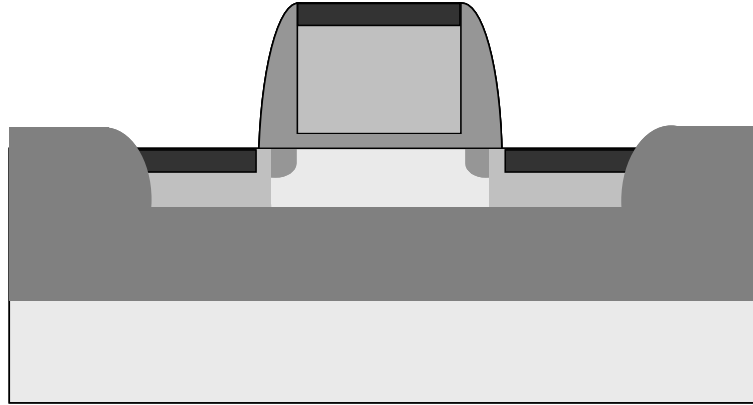


Figure I.1.6 Vue schématique d'un transistor MOS sur substrat SOI.

L'épaisseur de la couche active de Si est un des paramètres clés dans la classification et le fonctionnement des transistors MOS sur SOI. On verra par la suite que, selon l'épaisseur entre l'oxyde de la grille et l'oxyde enterré, le fonctionnement et les divers phénomènes physiques dans les composants varient [7].

Sur la figure I.1.7 est donné le diagramme des niveaux énergétiques des bandes de conduction et de valence du Si (*p*) et de ses interfaces avec les oxydes, pour un nMOSFET *bulk*, et deux nMOSFET SOI avec des épaisseurs de couche de Si différentes. Les zones d'interface, entre l'oxyde et le Si, sont désertées des porteurs majoritaires ( $p^+$ ) et une zone de déplétion existe. Son épaisseur  $X_{dmax}$  peut être calculée par [2] :

$$X_{dmax} = \sqrt{\frac{4\epsilon_{si}\Phi_F}{qN_a}}, \text{ avec } \Phi_F \text{ le potentiel de Fermi égal à } \Phi_F = \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (\text{I.1.1})$$

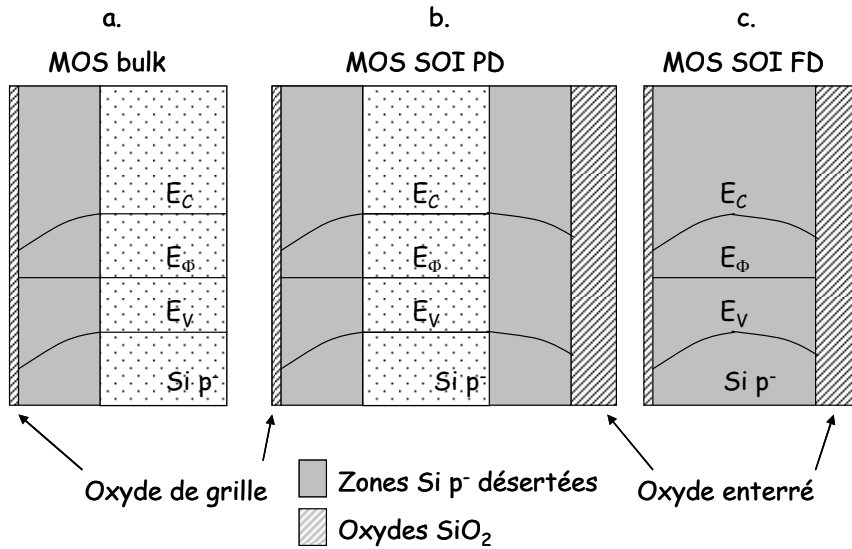


Figure I.1.7 Diagramme de bande d'énergie de structures MOS. a. Substrat *Bulk*, b. Substrat SOI épais et c. Substrat SOI fin

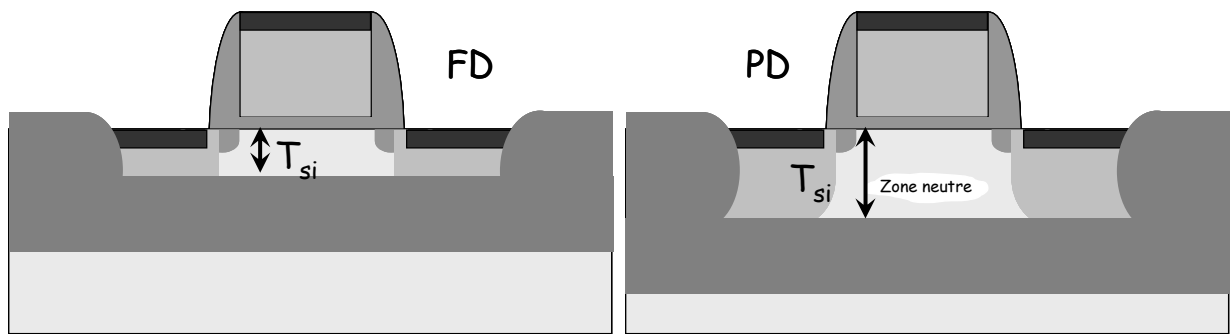


Figure I.1.8 Transistors MOS SOI totalement déserté (FD) et partiellement déserté (PD)

Dans le cas où l'épaisseur du Si est inférieure à deux fois  $X_{dmax}$ , les deux zones de déplétion n'interagissent pas et une zone neutre (où les majoritaires sont p) se forme entre elles (figure I.1.8.b). La zone neutre est appelée communément *body*. On dit alors que le composant est partiellement déserté (*Partially Depleted* : PD). Il est important de noter que le potentiel du *body* est nul au repos (polarisations nulles) et peut varier selon le régime de polarisation et de fonctionnement du transistor PD, mais il reste flottant [2].

Dans le cas où l'épaisseur de la couche de Si est inférieure à  $X_{dmax}$ , les deux zones de déplétion se chevauchent, et le composant est totalement déserté de porteurs de charge majoritaires (*Fully Depleted* : FD). A cause de l'interaction entre les deux zones désertées, le fonctionnement des composants FD va dépendre du potentiel de la face arrière du substrat [8].

### I.1.4 Dispositifs Hyperfréquences

L'application des MOSFET dans les microondes a entraîné l'étude et la fabrication de dispositifs particuliers. Afin de contrôler le potentiel de *body* dans les transistors MOS *bulk* et SOI PD, on effectue, *via* des étapes technologiques supplémentaires, une connexion électrique du *body* [9]. Deux types de connectiques sont réalisés :

- Les transistors à prises externes.

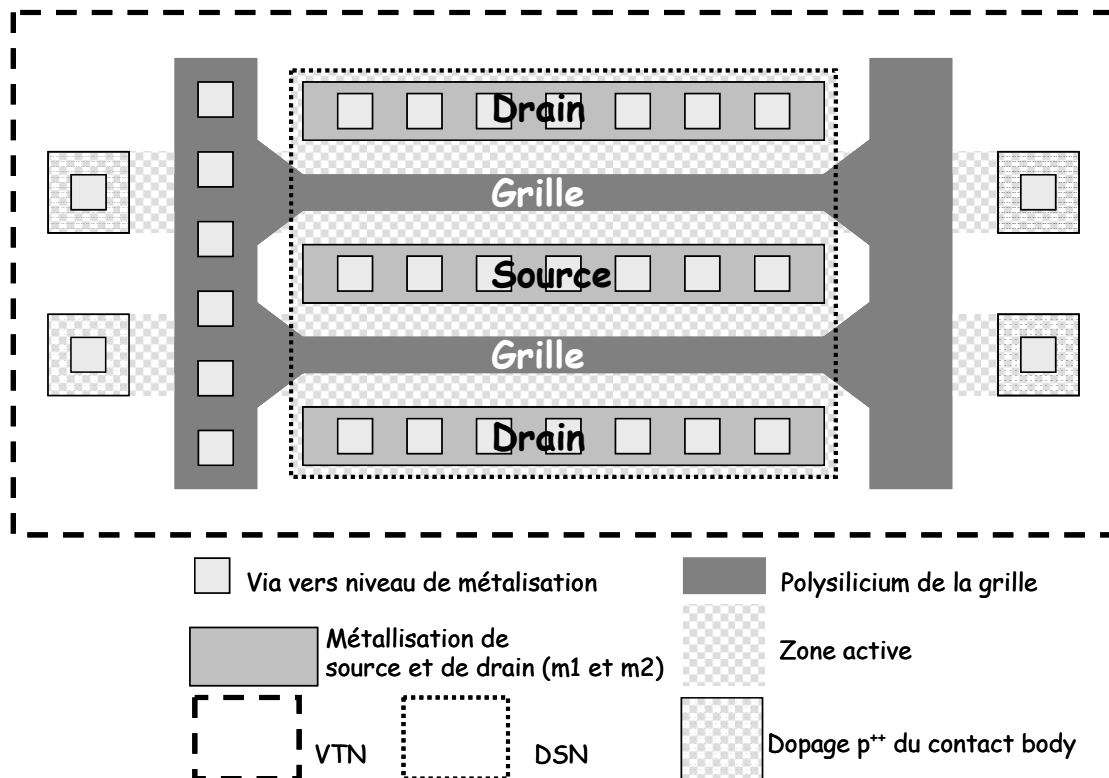


Figure I.1.9 Vue des niveaux technologiques d'un transistor à prises externes.

Sur la figure I.1.9 est représentée une vue schématique des divers niveaux technologiques d'un transistor à prises externes (*Body Contacted* : BC). VTN correspond à l'implant  $p$  afin de former un canal  $n$ . DSN est l'implant  $n$  des caissons  $n^+$  de la source et du drain qui se fait après la gravure et le dépôt du polysilicium de la grille. Les prises *body* sont externes, de type  $p^+$ , et forment une liaison ohmique avec le substrat de type  $p$ . Ainsi, le potentiel du *body* peut être contrôlé selon la volonté du concepteur. Habituellement, dans les topologies source-commune, les prises *body* sont connectées à la source.

- Les transistors à prises internes.

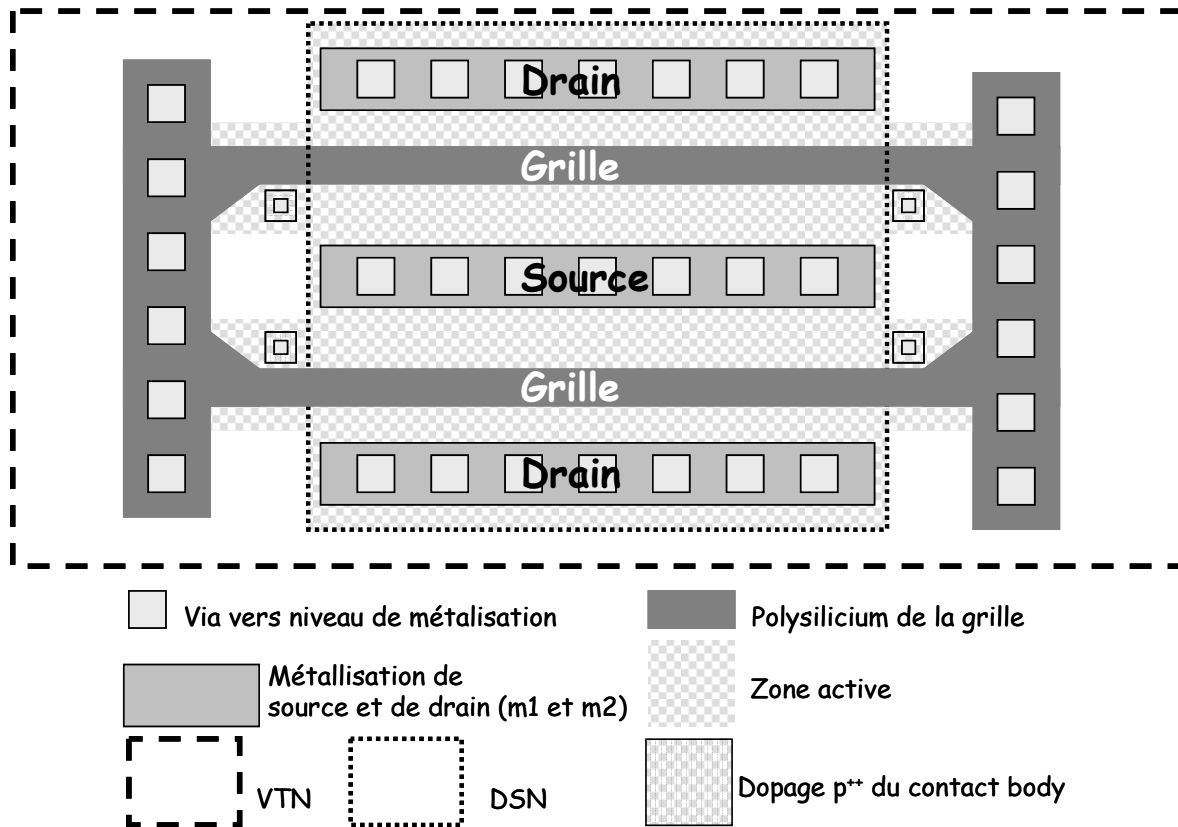


Figure I.1.10 Vue des niveaux technologiques de transistors à prises internes.

Dans ce type de composants, les contacts du *body* se font par des prises internes. On les appelle communément MOSFET à *Body Tied* (*BT*). A cause de la complexité de la réalisation technologique, les prises sont connectées à la source par défaut. Il est important de noter que les prises internes ont pour effet d'augmenter la largeur effective de chaque doigt de grille. Par conséquent, le courant d'un MOSFET *BT* est plus élevé que le courant d'un MOSFET *BC* de même technologie et sous les mêmes conditions de polarisation.

## I.2 Fonctionnement des MOS. Effets physiques

### I.2.1 Tension de seuil $V_{th}$

On définit comme tension de seuil le potentiel nécessaire appliqué entre la grille et la source du transistor afin de former un canal de porteurs. Dans le cas des transistors nMOS, il s'agit d'un canal d'inversion constitué d'électrons ; la tension de seuil est positive. Cette tension est directement reliée au potentiel de surface entre l'oxyde et le Si, et dépend du dopage du Si et de la capacité de l'oxyde de grille. Pour un nMOS *bulk*, elle est classiquement donnée par [10] :

$$V_{th} = V_{FB} + 2\Phi_F + \gamma\sqrt{2\Phi_F} + \gamma(\sqrt{2\Phi_F - V_B} - \sqrt{2\Phi_F}) \quad (I.2.1)$$

Avec :

$$\Phi_F \text{ le potentiel de Fermi donné par } \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (I.2.2)$$

$$V_{FB} \text{ le potentiel de bandes plates égal à } \Phi_{MS} - \frac{Q_{ox}}{C_{ox}}, \quad \Phi_{MS} \text{ le potentiel de contact (I.2.3)}$$

$$\text{et } \gamma \text{ étant le coefficient de l'effet } body \text{ et donné par : } \frac{\sqrt{2\varepsilon_{Si}qN_A}}{C_{oxg}} \quad (I.2.4)$$

$V_B$  est la tension de la face arrière du substrat par rapport à la source. Cette relation montre que la tension de seuil d'un transistor évolue en racine carrée par rapport au potentiel de la face arrière du substrat. La relation (I.2.1) est valable pour les MOS SOI PD si l'on impose un coefficient de l'effet *body* égal à zéro ( $\gamma=0$ ), car la grille arrière est découplée de la grille avant [2].

Dans le cas des composants FD, il y a couplage entre grille avant et grille arrière, et la tension de seuil va dépendre de la tension arrière. La tension de seuil est calculée à partir de l'équation de Poisson. Dans le cas où le potentiel de la face arrière du substrat est nul ou très faible (canal arrière en régime de déplétion), la tension de seuil de la face avant est donnée par:

$$V_{th1,depl2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi_F \left( 1 + \frac{C_{Si}}{C_{ox1}} \right) - \frac{Q_{depl}}{2C_{ox1}} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} (V_{g2} - V_{g2,acc}) \quad (I.2.5)$$

$$V_{g2,acc} = \Phi_{MS2} - \frac{2\Phi_F(Q_{ox2} + C_{Si}) + \frac{1}{2}Q_{depl}}{C_{ox2}} \quad (I.2.6)$$

$$\text{Avec : } C_{Si} = \frac{\epsilon_{Si}}{t_{Si}}, \quad C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad \text{et} \quad Q_{depl} = -qN_A t_{Si} \quad (I.2.7)$$

Dans I.2.5, les indices 1 et 2 se réfèrent respectivement aux faces avant et arrière du substrat. On remarque que la tension de la face arrière  $V_{g2}$  influence la tension de seuil du composant. Le coefficient de l'effet *body* va être donné par :

$$\gamma = \frac{\partial V_{th}}{\partial V_{g2}} = -\frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} = -\frac{t_{ox1}\epsilon_{Si}}{t_{ox2}t_{Si}\left(\frac{\epsilon_{Si}}{t_{Si}} + \frac{\epsilon_{ox}}{t_{ox2}}\right)} \approx -\frac{t_{ox1}}{t_{ox2}} \quad (I.2.8)$$

On remarque que la dépendance de la tension de seuil par rapport à  $V_{g2}$  est linéaire (canal arrière en déplétion). Le coefficient  $\gamma$  est d'autant plus faible que l'épaisseur de l'oxyde enterré  $t_{ox2}$  est grande.

L'effet du potentiel de la face arrière du substrat sur la tension de seuil est plus élevé pour les MOS *bulk* que pour les MOS SOI. Ceci est un grand avantage des SOI car cet effet réduit la commande du courant dans le cas de topologies où la source n'est pas connectée à la masse [2].

## I.2.2 Courant de drain. Transconductance. Mobilité

Le courant de drain en saturation dans les transistors MOS peut être approximé par [11]:

$$I_{dssat} \cong \frac{W}{L} \frac{\mu_n C_{ox1}}{2(1+\alpha)} [V_{g1} - V_{th}]^2 \quad (I.2.9)$$

$W$  et  $L$  sont respectivement la largeur et la longueur de grille du transistor, et  $V_{th}$ , la tension de seuil, est donnée par I.2.1 et I.2.5.  $\mu_n$  est la mobilité des électrons dans le canal ;  $\alpha$  est le coefficient de couplage entre la tension de la grille et le potentiel  $\Phi_s$  de l'interface



oxyde silicium. Il est donné par le rapport de la capacité de déplétion en-dessous du canal sur la capacité de l'oxyde de grille :

$$\text{Transistors } bulk \text{ et SOI PD : } \alpha_{Bulk,PD} = \frac{C_{depl}}{C_{ox1}} = \frac{\epsilon_{Si}}{x_{d\ max} C_{ox1}} \quad (I.2.10)$$

$$\text{Transistors SOI FD : } \alpha_{FD} = \frac{C_{Si} C_{ox2}}{C_{ox1} (C_{Si} + C_{ox2})} \text{ avec } C_{Si} = \frac{\epsilon_{Si}}{t_{Si}} \quad (I.2.11)$$

Si la face arrière du composant FD est en déplétion ( $V_{g2}=0$  V), on a alors  $\alpha_{Bulk,PD} > \alpha_{FD}$ . Par conséquent, le courant de saturation des transistors FD est supérieur à celui des SOI PD et *bulk*.

La relation I.2.9 montre l'influence de la tension de seuil sur le courant et les problèmes que peut engendrer l'effet *body* sur la commande du courant.

La transconductance *gm* peut être calculée par :

$$g_m = \left. \frac{\partial I_{ds\ sat}}{\partial V_{g1}} \right|_{V_{ds}=cte} = \frac{W}{L} \frac{\mu_n C_{ox1}}{(1 + \alpha)} [V_{g1} - V_{th}] \quad (I.2.12)$$

Notons que les transistors FD présentent une transconductance plus élevée que celle des composants *bulk* pour la même raison que leurs courants respectifs.

### I.2.3 Effets de canal court

La réduction de la longueur du canal des MOS crée des effets secondaires qui viennent dégrader le fonctionnement [10].

Dans les composants à faible longueur de grille, les zones de déplétion du drain et de la source recouvrent de manière significative la zone désertée par la grille (figure I.2.1). Ceci revient à une perte de contrôle de la charge du canal de la part de la grille ( $Q_{dl}$  sur la figure I.2.1) et se traduit par une réduction de la tension de seuil. Si l'on compare la perte de la charge contrôlée par la grille  $Q_{dl}$  entre un dispositif MOS *bulk* et un dispositif MOS SOI, on constate que cet effet est inférieur pour les composants sur substrat SOI et particulièrement pour les composants totalement désertés [2].

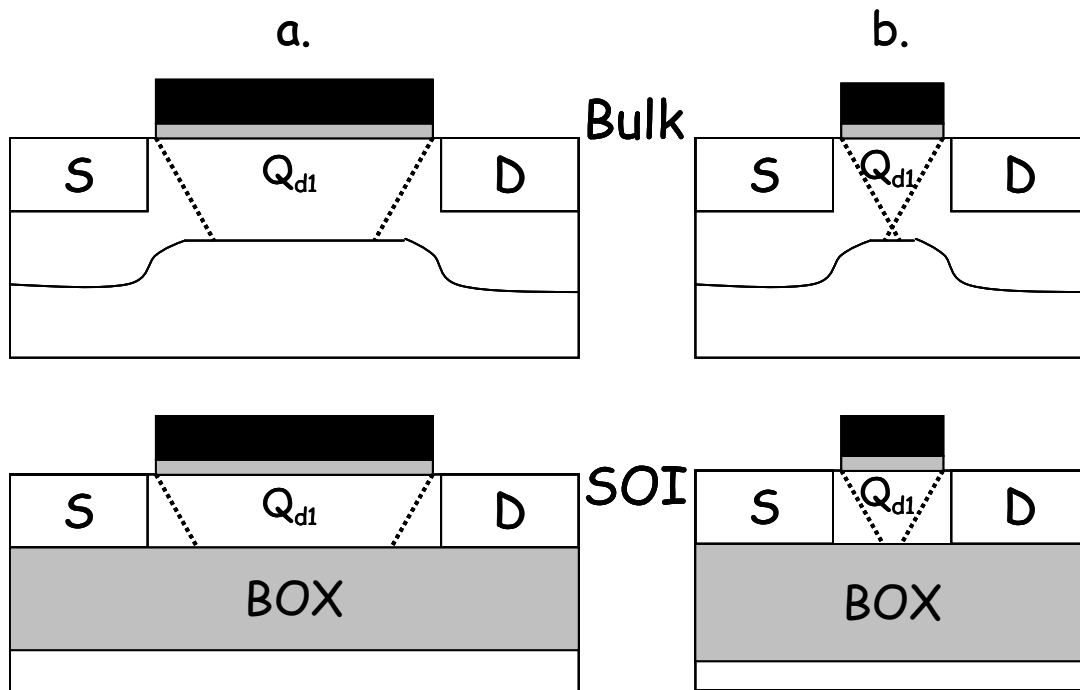


Figure I.2.1 Perte de contrôle du canal de la grille dans les composants à faible  $L_g$  (b) à cause de l'influence des zones désertés du drain et de la source.  $Q_{d1}$  représente la charge de déplétion contrôlée par la grille.

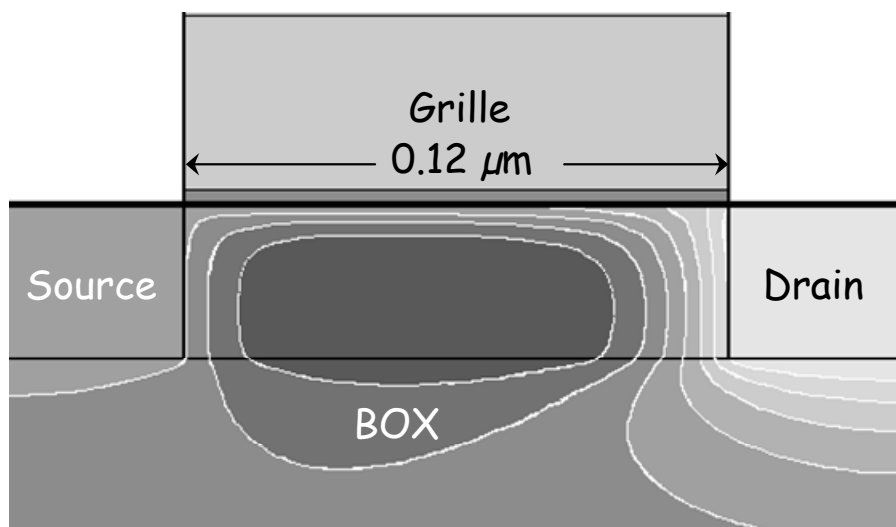


Figure I.2.2 Lignes équipotentiellles dans un MOSFET à faible longueur de grille.

Un autre effet de canal court est le champ électrique longitudinal à la jonction drain-canal [12]. La figure I.2.2 montre les lignes équipotentiellles dans le canal d'un MOS à faible longueur de grille. Le champ électrique longitudinal élevé a pour effet la désertion de cette région de la part des électrons et donc le pincement du canal. Ceci se traduit par un excès de vitesse des porteurs (électrons chauds) dans cette région, afin que le courant soit

assuré. Les résultats sont divers, à commencer par la modulation de la longueur de grille effective. Si  $\Delta L$  est la longueur de désertion, la longueur de canal effective sera [13]:

$$L_{eff} = L_g - \Delta L \quad (I.2.13)$$

Une conséquence directe de la modulation du canal est l'augmentation de la pente du courant  $I_{ds}$  par rapport à la tension  $V_{ds}$ , et donc une augmentation de la conductance de drain  $g_d$ .

Les électrons chauds dans la région du drain créent des paires électrons-trous par ionisation par impact. A leur tour, les électrons et les trous créés peuvent être accélérés par le champ électrique élevé, et régénérer des porteurs. Les électrons générés se dirigent vers le drain alors que les trous se déplacent vers des potentiels plus faibles et aboutissent dans le substrat. Ainsi, un courant de fuite vient se rajouter, appelé courant de substrat. Pour des champs électriques très élevés, l'ionisation par impact entraîne un courant d'avalanche et peut provoquer la destruction de l'interface oxyde-Si. Le champ électrique est plus faible dans les composants SOI et surtout dans les composants totalement désertés [14].

Par ailleurs, la réduction de la longueur du canal impose un re-dimensionnement des différentes parties du composant (*scaling*). De cette façon, afin de minimiser l'influence de la source et du drain sur le canal, il faut réduire la profondeur des jonctions. Ceci entraîne directement une augmentation des résistances séries  $R_s$  et  $R_d$  qui sont inversement proportionnelles à la section des dopages [13].

#### I.2.4 Effet *kink*

L'effet *kink* est observable sur les caractéristiques statiques, comme le montre la figure I.2.3. Il apparaît au-delà d'une certaine valeur de la tension du drain et résulte du champ électrique élevé dans la région du drain et du mécanisme d'ionisation par impact. Il est surtout présent dans les composants nMOS SOI PD [15].

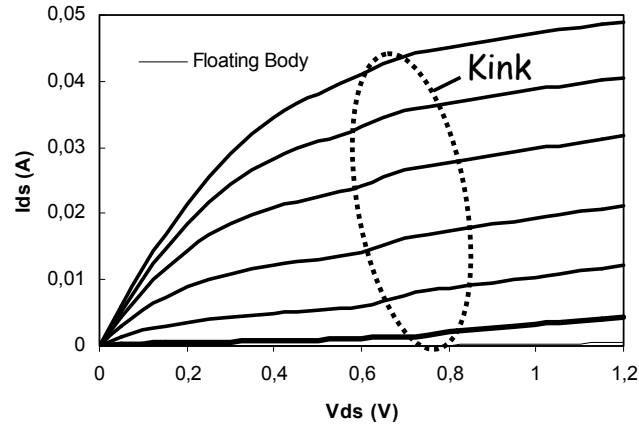


Figure I.2.3 Caractéristique de courant statique d'un composant comportant l'effet *kink*.

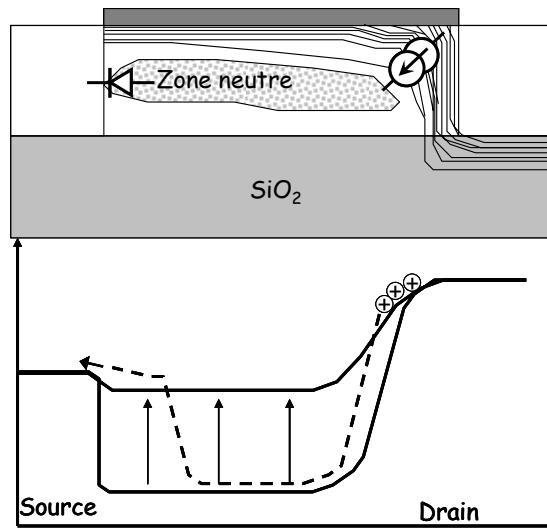


Figure I.2.4 Mécanisme de l'effet *kink* dans un composant PD.

Supposons un composant PD ; les électrons générés par ionisation vont vite émigrer vers le drain où le potentiel est plus élevé. Les trous, étant les porteurs majoritaires, vont émigrer vers des potentiels plus faibles et plus précisément vers le *body* flottant ayant un potentiel faible. Là, leur accumulation va augmenter le potentiel du *body*  $V_{bs}$  qui, à partir d'une valeur, va polariser en direct la jonction entre le *body* et la source, et un courant supplémentaire va apparaître sur le courant  $I_{ds}$ . Ce mécanisme est illustré sur la figure I.2.4. On peut modéliser ce phénomène en considérant l'influence de l'augmentation de la tension de *body*  $V_{bs}$ , sur la tension de seuil  $V_{th}$  :  $V_{bs}$  va provoquer une réduction de  $V_{th}$  qui va se traduire, par la suite, par une augmentation du courant de drain en fonction de la tension drain  $V_{ds}$ .

Notons que l'effet *kink* peut être totalement supprimé dans tous les composants à prises *body* [16].

La présence de la capacité de la jonction *body*-source et la constante de temps de valeur non nulle du mécanisme de génération et recombinaison font que l'effet *kink* dépend fortement de la fréquence du régime de fonctionnement du composant. En effet, le potentiel AC  $V_{bs}$  est filtré à travers la capacité  $C_{bs}$  si la fréquence du régime de fonctionnement augmente.

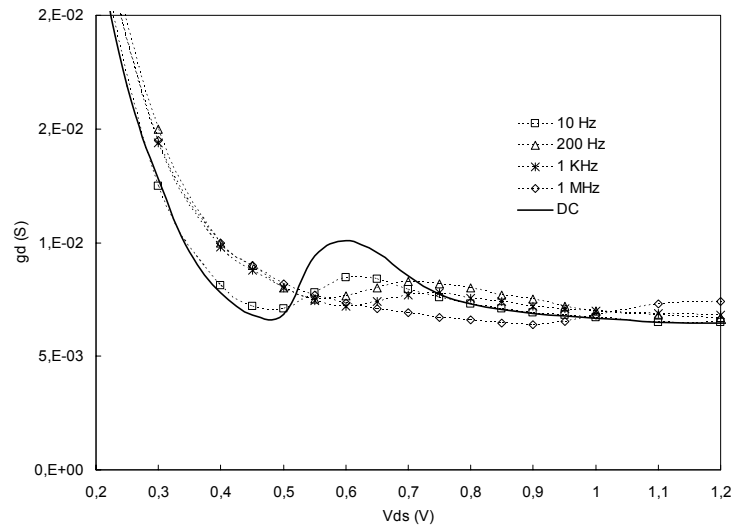
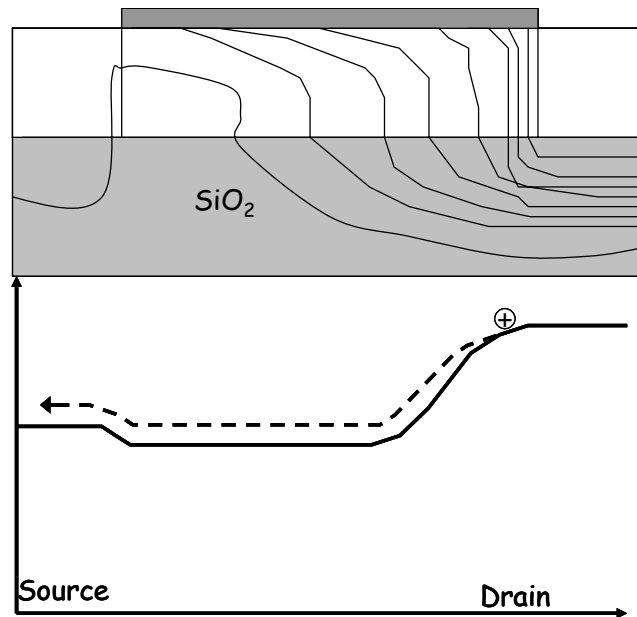


Figure I.2.5 Conductance de drain  $g_d$  en fonction de la polarisation du drain  $V_{ds}$  paramétrée en fréquence : DC – 1 MHz.

A partir des caractéristiques  $I_{ds}$  en fonction de  $V_{ds}$ , nous pouvons directement déduire l'influence du *Kink* sur la conductance de drain  $g_d$  du composant. Sur la figure I.2.5 est illustrée la conductance statique et dynamique  $g_d$  d'un composant PD, en fonction de la polarisation de drain  $V_{ds}$ . On remarque que le *kink* dégrade la conductance du composant et a tendance à disparaître quand la fréquence augmente.

Dans le cas des nMOS SOI FD l'effet *kink* n'apparaît pas, pour diverses raisons. En premier lieu, l'ionisation par impact est plus faible dans ces composants car le champ électrique du côté drain est plus faible (figure I.2.6). De plus, les trous générés par ionisation émigrent directement vers la source sans influencer le potentiel du *body* en dessous du canal [14].

Figure I.2.6 Composant FD où l'effet *kink* est absent.

En ce qui concerne les transistors sur substrat *bulk*, ce phénomène n'apparaît pas car les trous générés par impact se dirigent directement vers le *body* sans en influencer le potentiel. Par contre, si le composant nMOS est réalisé sur caisson de type p se situant sur un substrat dopé n sans aucune prise *body*, on peut observer le même comportement que dans les nMOS SOI PD.

Finalement, dans les composants à canal *p*, l'effet est quasi inexistant, car le coefficient de génération de paires électrons-trous dû aux trous chauds est très faible.

Il est important de noter qu'il n'existe pas d'expression analytique pour décrire ce phénomène. La difficulté d'élaborer une expression tient au fait que c'est un phénomène itératif dépendant d'un potentiel interne à la structure du composant, auquel l'accès par mesure est quasi impossible [2].

### I.2.5 Effets thermiques

L'oxyde enterré dans les technologies MOS SOI a pour effet de réduire la conductivité thermique et d'augmenter la température du composant par rapport aux MOS sur substrat *bulk*. Ceci a pour effet la réduction de la mobilité des porteurs et par conséquent une réduction du courant de drain du composant [17], [18], [19]. Afin de mettre en évidence ces effets, nous avons procédé à des mesures pulsées de courant de drain, technique permettant de s'affranchir des effets thermiques [18]. La figure I.2.7 illustre le courant de drain d'un composant MOS SOI partiellement déserté avec une longueur de grille  $L_g=0.12$

$\mu m$  et un développement total de  $60 \mu m$ . La ligne continue correspond à une mesure DC et les traits pointillés à une mesure pulsée. Le point de repos choisi pour cette mesure est  $V_{gs0}=V_{ds0}=0 V$ . La durée totale de l'impulsion que nous avons utilisé est de  $500 ns$  et la période entre deux impulsions de  $100 \mu s$  (rapport cyclique de  $0.5 \%$ ). On observe l'effet de réduction de courant statique en forte inversion (effet thermique). Cependant, cet effet a lieu pour des courants de drain statique supérieurs à  $38 mA$  et la différence entre courant statique et courant pulsé ne dépasse pas les  $7 \%$ .

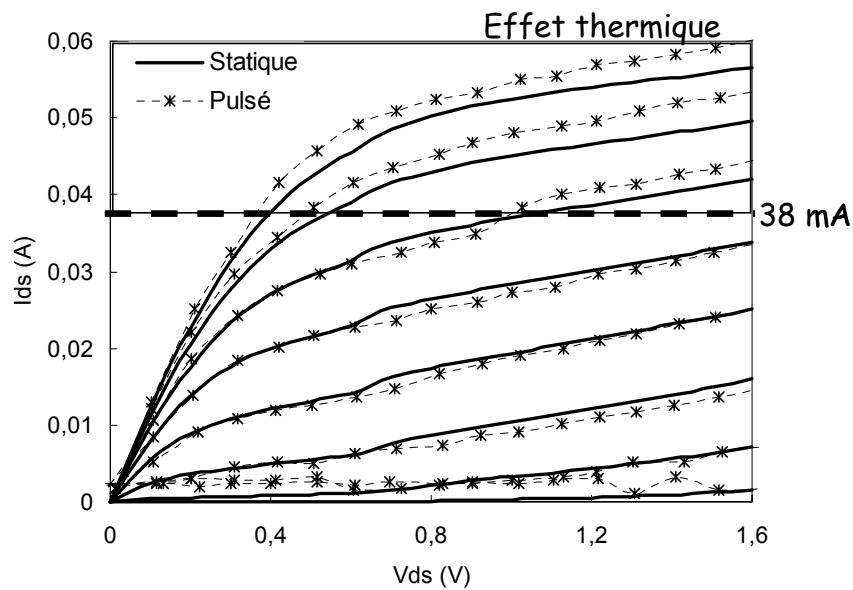


Figure I.2.7 Caractéristique de courant mesurée d'un composant MOS SOI partiellement déserté. Les lignes continues correspondent à des mesures statiques et les symboles à des mesures pulsées

### I.3 Les non linéarités dans les composants. Modélisation non linéaire

Nous avons vu dans les paragraphes précédents les principales caractéristiques et relations physiques concernant les composants MOS. Il est évident que leurs caractéristiques électriques présentent une dépendance non linéaire par rapport aux potentiels de contrôle. On peut se référer, par exemple, à la relation du courant (I.2.9) où  $I_{ds}$  est proportionnel à  $V_{gs}^2$ . Ceci a pour conséquence l'apparition d'effets non linéaires dans le comportement d'un composant ou d'un circuit dans le cas de régime de fonctionnement grand signal [20]-[23]. Pour illustrer ceci et comprendre l'importance des effets non linéaires, nous allons prendre un exemple d'un composant non linéaire très simple et en extraire certains résultats. A la suite, seront données certaines définitions sur les facteurs de mérite caractérisant les non linéarités des composants.

#### I.3.1 Exemple d'une non linéarité dans un composant : effets non linéaires.

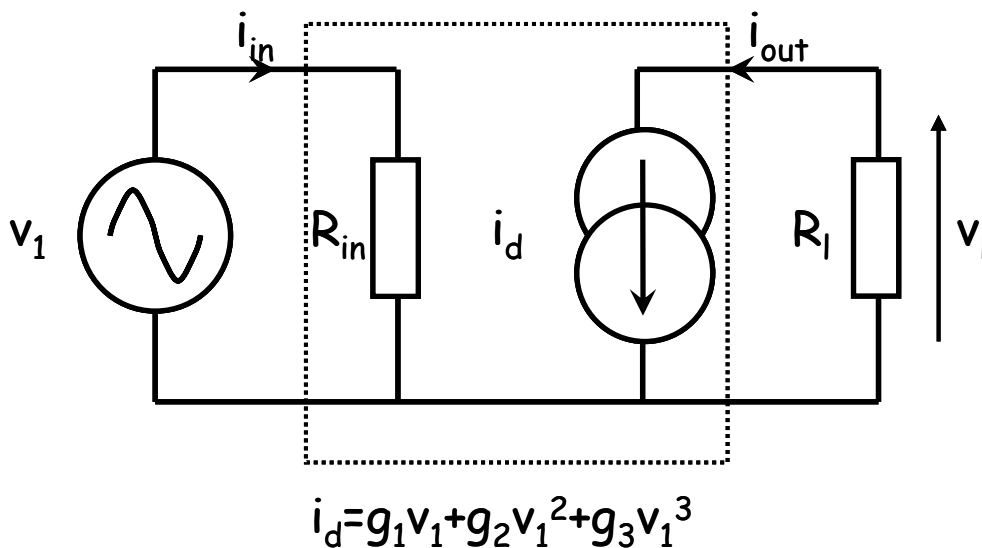


Figure I.3.1 Schéma équivalent électrique d'un composant hypothétique contenant une source de courant non linéaire.

Supposons un schéma électrique équivalent d'un composant quelconque donné sur la figure I.3.1.  $v_1$  est le signal d'excitation du composant, et  $R_l$  l'impédance (supposée réelle)



de charge. Le composant présente une impédance d'entrée réelle  $R_{in}$  et une source de courant  $I_d$  non linéaire contrôlée par  $v_I$ .  $i_d$  est une fonction du 3<sup>e</sup> ordre de  $v_I$  donnée par :

$$i_d = g_1 v_I + g_2 v_I^2 + g_3 v_I^3 \quad (I.3.1)$$

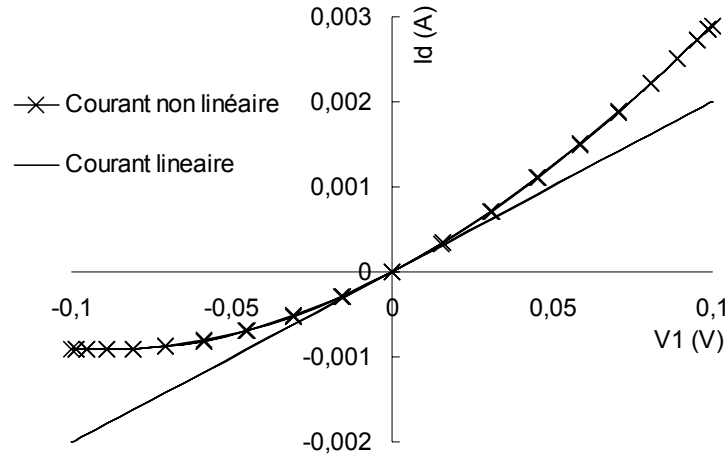


Figure I.3.2 Courants statiques, linéaire et non linéaire, en fonction de la tension d'entrée.

Les éléments  $g_i$  sont des transconductances d'ordre  $i$ . Le courant  $i_d$  non linéaire est illustré sur la figure I.3.2 en fonction de  $V_I$  statique. Sur la même figure, nous représentons le même courant ; si les ordres 2 et 3 sont négligés, le courant  $i_d$  se réduit à une fonction linéaire de  $v_I$  ( $i_d = g_1 v_I$ ).

### I.3.2 Distorsion harmonique

Si l'on applique à  $v_I$  une tension sinusoïdale d'amplitude  $A_0$  et de pulsation angulaire  $\omega_0$ ,  $v_I = A_0 \cos(\omega_0 t)$ , on peut aisément calculer le courant et la tension résultante sur la charge  $R_I$  :

$$i_d = g_1 A_0 \cos(\omega_0 t) + g_2 A_0^2 \cos^2(\omega_0 t) + g_3 A_0^3 \cos^3(\omega_0 t) \Rightarrow \quad (I.3.2)$$

$$i_d = \left( \frac{g_2 A_0^2}{2} \right) + \left( g_1 A_0 + \frac{3g_3 A_0^3}{4} \right) \cos(\omega_0 t) + \frac{g_2 A_0^2}{2} \cos(2\omega_0 t) + \frac{g_3 A_0^3}{4} \cos(3\omega_0 t) \quad (I.3.3)$$

et

$$v_{load} = \left( \frac{g_2 A_0^2}{2} \right) R_l + \left( g_1 A_0 + \frac{3g_3 A_0^3}{4} \right) R_l \cos(\omega_0 t) + \frac{g_2 A_0^2}{2} R_l \cos(2\omega_0 t) + \frac{g_3 A_0^3}{4} R_l \cos(3\omega_0 t) \quad (I.3.4)$$

Dans le cas où la source de courant est linéaire, la tension  $v_{load}$  est égale à :

$$v_{load\_lin} = g_1 R_l A_0 \cos(\omega_0 t) \quad (I.3.5)$$

L'équation (I.3.4) fait apparaître des termes fréquentiels multiples de la fréquence fondamentale  $\omega_0$ , appelés harmoniques [24]. Les formes d'ondes temporelles de  $v_{load}$ ,  $v_{load\_lin}$  et  $v_l$  sont données sur la figure I.3.3. On observe que la forme d'onde  $v_{load}$  présente une distorsion qui est due aux harmoniques.

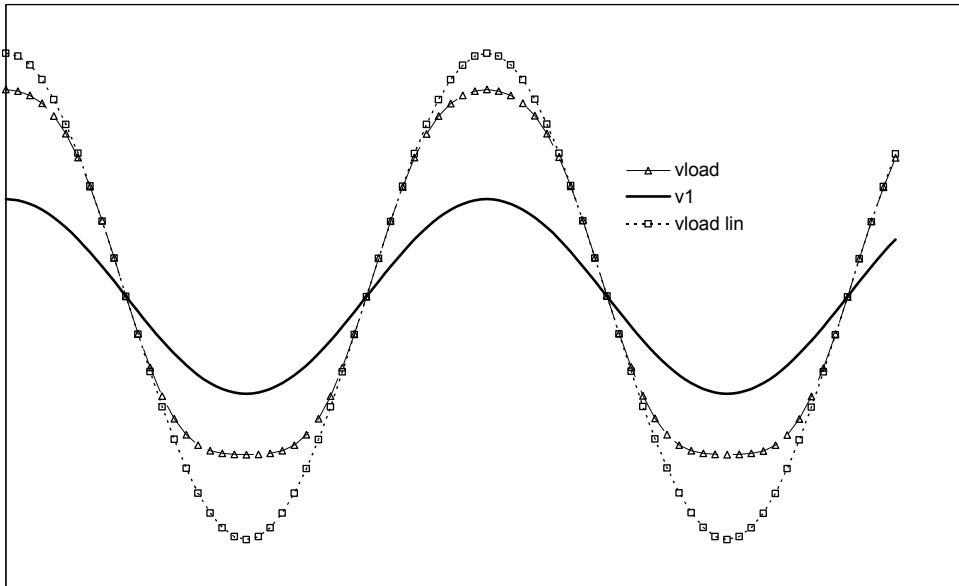


Figure I.3.3 Formes d'ondes temporelles du potentiel à l'entrée du composant  $V_{in}$  et du potentiel sur la charge  $V_{load}$ .

La représentation de ce résultat dans le domaine spectral est d'autant plus intéressante qu'elle fournit des informations sur l'amplitude de chaque harmonique. Le spectre des harmoniques du circuit considéré est donné sur la figure I.3.4. Sur le tableau I.3.1 sont résumés les amplitudes de chaque harmonique.

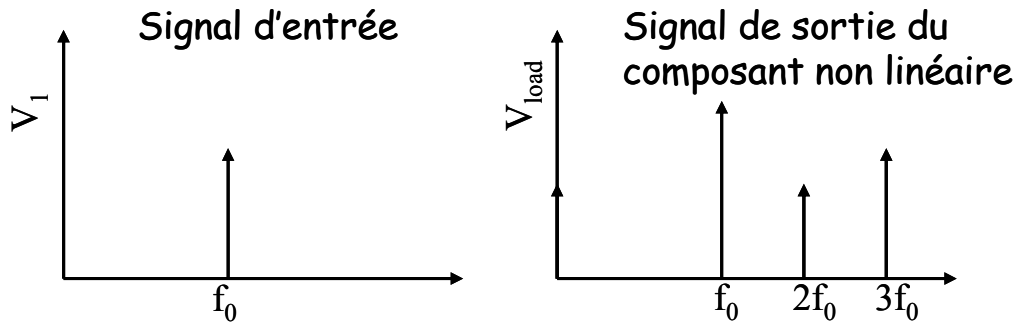


Figure I.3.4 Spectre obtenu à la sortie du composant non linéaire excité par une fréquence  $f_0$ .

Fréquence	DC	$\omega_0$	$2\omega_0$	$3\omega_0$
Amplitude $I_{load}$	$\frac{1}{2}g_2A_0^2$	$g_1A_0 + \frac{3}{4}g_3A_0^3$	$\frac{1}{2}g_2A_0^2$	$\frac{1}{4}g_3A_0^3$
Amplitude $I_{load\ linéaire}$	–	$g_1A_0^3$	–	–

Tableau I.3.1 Amplitudes des harmoniques 1 à 3 résultant du composant non linéaire et du composant linéaire

Un développement de l'équation (I.3.2) en séries de Fourier donne le même résultat que (I.3.4). Par conséquent, l'amplitude de chaque harmonique correspond aux coefficients de Fourier  $C_n$ . De manière générale, si

$$i_d = g_1v_1 + g_2v_1^2 + g_3v_1^3 + \dots + g_nv_1^n, \text{ avec } n=2k \text{ et } k \text{ entier positif (I.3.6)}$$

les coefficients de Fourier résultants de (I.3.6) dépendent de tous les éléments  $g_i$ . Le tableau I.3.2 résume cette observation.

Coefficient	DC	$\omega_0$	$2\omega_0$	$3\omega_0$	$4\omega_0$	$n\omega_0$
	$C_0$	$C_1$	$C_2$	$C_3$	$C_4$	$C_n$
Dépend de	$A_0, g_2, g_4, \dots, g_n$	$A_0, g_1, g_3, \dots, g_{n-1}$	$A_0, g_2, g_4, \dots, g_n$	$A_0, g_3, \dots, g_{n-1}$	$A_0, g_4, \dots, g_n$	$A_0, g_n$

Tableau I.3.2 Eléments dont dépendent les coefficients de Fourier

On remarque que les coefficients pairs et impairs sont respectivement générés par les éléments de non linéarité pairs et impairs. Dans (I.3.6),  $n$  est l'ordre de la non linéarité. Le phénomène décrit ci-dessus est appelé distorsion harmonique.

### I.3.3 Intermodulation

Dans le cas où l'entrée du composant est excitée par deux ou plusieurs fréquences, mis à part le phénomène de distorsion, un phénomène de mélange entre les fréquences va survenir [24].

Supposons que l'entrée du composant  $NL$  soit excitée par deux signaux de fréquence  $\omega_1$  et  $\omega_2$  proches entre elles ( $\Delta\omega = \omega_2 - \omega_1 \ll \omega_1$ ) et de la même amplitude  $A_0$  :  $v_1 = A_0(\cos(\omega_1 t) + \cos(\omega_2 t))$ . Après calcul, nous obtenons les raies harmoniques suivantes :

Fréquence	$\omega_1, \omega_2$	$2\omega_1, 2\omega_2$	$3\omega_1, 3\omega_2$	$\omega_1 \pm \omega_2$	$2\omega_1 \pm \omega_2$
Amplitude $I_{load}$	$g_1 A_0 + \frac{9}{4} g_3 A_0^3$	$\frac{1}{2} g_2 A_0^2$	$\frac{1}{4} g_3 A_0^3$	$\frac{1}{2} g_2 A_0^2$	$\frac{3}{4} g_3 A_0^3$
Amplitude $I_{load}$ linéaire	$g_1 A_0$	-	-	-	-

Tableau I.3.3 Amplitudes des raies harmoniques après excitation par deux fréquences

Les raies  $2\omega_i$  et  $3\omega_i$  désignent respectivement la distorsion du 2<sup>e</sup> et du 3<sup>e</sup> ordre ; les raies  $\omega_1 + \omega_2$  et  $2\omega_1 - \omega_2$  désignent respectivement l'intermodulation du 2<sup>e</sup> et du 3<sup>e</sup> ordre. La représentation spectrale est illustrée sur la figure I.3.5.

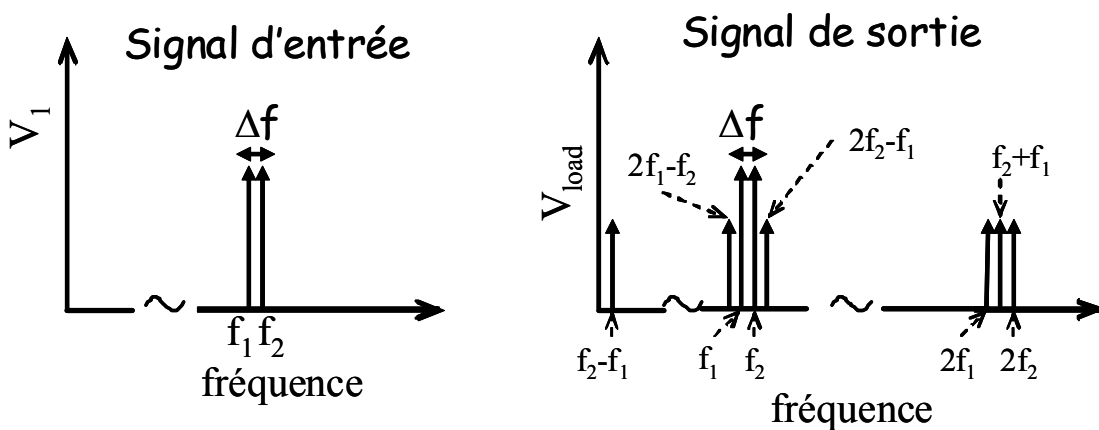


Figure I.3.5 Spectre obtenu à la sortie du composant non linéaire excité par deux fréquences  $f_1$  et  $f_2$  de la même amplitude  $A_0$  et d'écartement  $\Delta f$ .

L'intermodulation est un phénomène très gênant dans les systèmes de communication. Plus précisément, deux fréquences porteuses de signaux peuvent intermoduler au niveau du premier étage d'une chaîne de réception (LNA) et brouiller les signaux utiles qui doivent

être démodulés par la suite. Sur la figure I.3.6, on montre un exemple schématique d'une chaîne de réception, où deux porteuses ( $f_1, f_2$ ) de canaux adjacents se mélangent après l'amplification, et le signal utile  $s_1$  est noyé.

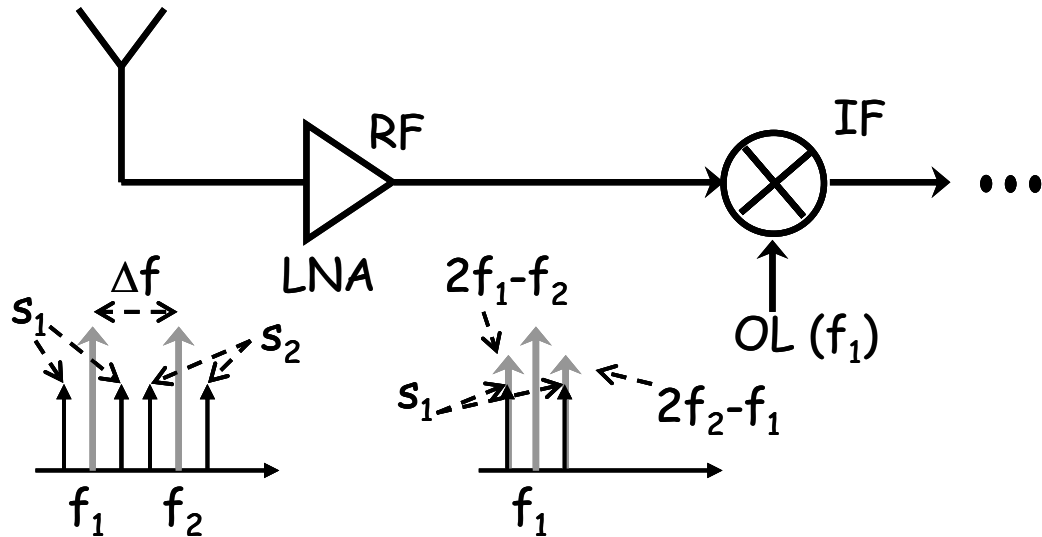


Figure I.3.6 Intermodulation entre deux canaux  $f_1$  et  $f_2$  et brouillage du signal utile  $s_1$

#### I.3.4 Point de compression à 1dB. Point d'interception du 3<sup>e</sup> ordre OIP3

Comme il a été montré dans le paragraphe I.2, les transistors ont des caractéristiques de courant statique fortement non linéaires. Lors de la conception de circuit, il est nécessaire de pouvoir évaluer les non linéarités créées par les transistors. Les tableaux I.3.1 et I.3.2 montrent que le niveau de chaque raie de distorsion et d'intermodulation dépend de deux éléments :

- De l'amplitude du signal d'entrée  $A_0$  et de son spectre.
- Du composant lui-même, car les transconductances  $g_i$  caractérisent directement le composant.

Afin d'évaluer les non linéarités d'un transistor, nous définissons certains facteurs de mérite qui les caractérisent. Désormais, nous n'allons plus parler en terme d'amplitude mais en terme de puissance à l'entrée et à la sortie d'un composant.

Considérons le cas où notre système non linéaire (figure I.3.1) est excité par un signal de pulsation  $\omega_0$ . Si l'on augmente progressivement la puissance d'entrée sur le composant, nous allons observer une augmentation linéaire de la puissance de sortie de chaque raie harmonique. Ce phénomène ne dure pas indéfiniment et, à partir d'une certaine valeur de la puissance d'entrée, les puissances de sortie vont commencer à comprimer. Ceci peut être

facilement expliqué en calculant la puissance de sortie de chaque fréquence harmonique en fonction de la puissance d'entrée sur le composant.

A partir de l'équation (I.3.3), nous pouvons obtenir la puissance délivrée à la charge  $R_{load}$  :

$$P_{out} = P_{out1} + P_{out2} + P_{out3} = \frac{1}{2}|I_{load1}|^2 R_{load} + \frac{1}{2}|I_{load2}|^2 R_{load} + \frac{1}{2}|I_{load3}|^2 R_{load} \quad (I.3.7)$$

Les indices 1, 2 et 3 correspondent aux harmoniques. On peut exprimer la puissance de chaque harmonique en fonction de la puissance d'entrée  $P_{in}$  :

$$\begin{cases} P_{out1} = P_{in} R_{in} R_{load} g_1^2 + P_{in}^2 3 R_{in}^2 R_{load} g_1 g_3 + P_{in}^3 \frac{9}{4} R_{in}^3 R_{load} g_3^2 \\ P_{out2} = P_{in}^2 \frac{1}{2} R_{in}^2 R_{load} g_2^2 \\ P_{out3} = P_{in}^3 \frac{1}{4} g_3^2 R_{in}^3 R_{load} \end{cases} \quad (I.3.8)$$

Avec  $P_{in}$  donnée par :

$$P_{in} = \frac{1}{2}|i_{in}|^2 R_{in} \quad (I.3.9)$$

Pour des puissances à l'entrée du composant de faible valeur, les termes du 2<sup>e</sup> ordre et du 3<sup>e</sup> ordre de (I.3.8) sont négligeables et la relation entre  $P_{out1}$  et  $P_{in}$  est linéaire. En augmentant  $P_{in}$ , leur influence ne peut plus être négligeable et donc la relation n'est plus linéaire. Si  $g_3$  est négative (c'est un cas très courant dans les composants actifs), la valeur de la pente de  $P_{out1}$  va progressivement réduire, d'où la notion de compression. La figure I.3.7 montre les puissances de sortie des trois raies harmoniques calculées (en  $dB_m$ ) en fonction de la puissance d'entrée  $P_{in}$ . On remarque bien ce phénomène sur  $P_{out1}$ . Les raies 2 et 3 restent linéaires, car, dans l'exemple, nous avons considéré une non linéarité de 3<sup>e</sup> ordre. Comme le montre le tableau I.3.2, les raies 2 et 3 sont, elles aussi, influencées respectivement par des ordres pairs et impairs supérieurs et, si l'on en tient compte, nous obtenons le même effet de compression.

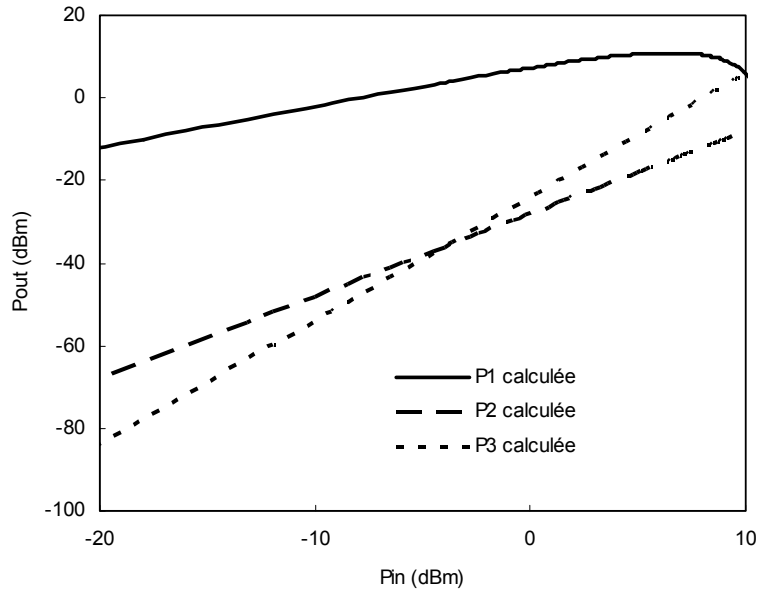


Figure I.3.7 Puissance de sortie de l'harmonique fondamentale ( $P_1$ ), de l'harmonique d'ordre 2 ( $P_2$ ) et de l'harmonique d'ordre 3 ( $P_3$ ) en fonction de la puissance d'entrée du composant.

La compression de la puissance de sortie est immédiatement répercutée sur le gain en puissance du transistor. En effet :

$$G_p = \frac{P_{out1}}{P_{in}} \quad \text{et} \quad G_{p,dB} = 10 \log(P_{out1}) - 10 \log(P_{in}) \quad (\text{I.3.10})$$

Pour les faibles valeurs de  $P_{in}$ , le gain en puissance est constant et, à partir d'une certaine valeur de  $P_{in}$ , il commence à comprimer. Le gain défini ci-dessus est illustré sur la figure I.3.8.a en fonction de la puissance d'entrée  $P_{in}$ . Nous définissons comme point de compression de gain à  $1dB$  ( $CP_{1dB}$ ) la puissance délivrée à la charge quand le gain du composant a chuté de  $1 dB$  par rapport à sa valeur dans la zone linéaire (figure I.3.8.b).

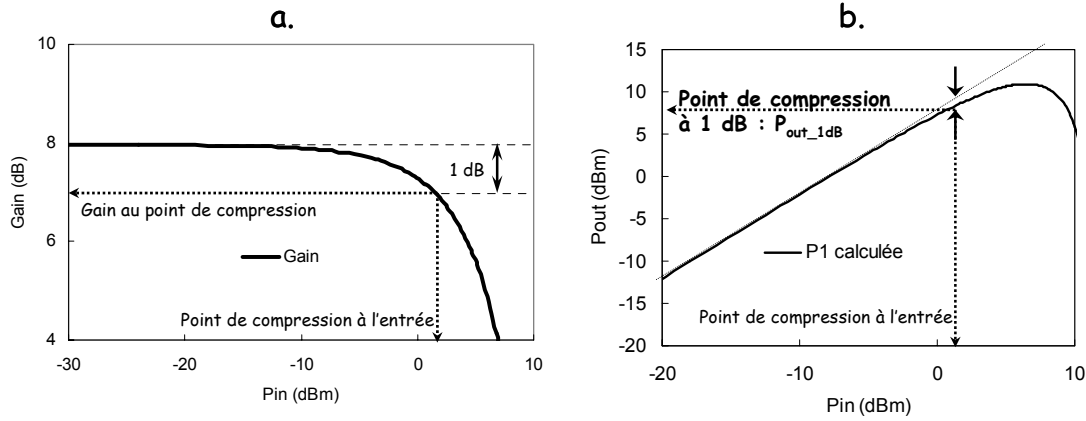


Figure I.3.8.a Gain en puissance calculé en fonction de la puissance d'entrée. b. Définition du point de compression.

Un autre facteur de mérite est la distorsion harmonique (*HD* : *harmonic distortion*) d'ordre  $n$  et la distorsion harmonique totale (*THD* : *Total harmonic distortion*). La première est définie par le rapport de l'amplitude du coefficient de Fourier d'ordre  $n$  sur l'amplitude du coefficient de Fourier du premier ordre :

$$HD_n = \frac{|C_n|}{|C_1|}, \quad n \geq 2 \quad (\text{I.3.11})$$

*THD* est définie par la racine carrée du rapport de la somme des carrés des amplitudes des coefficients de Fourier sur le carré de l'amplitude de l'harmonique 1 :

$$THD = \sqrt{\frac{\sum_{i=2}^{\infty} |C_i|^2}{|C_1|^2}} \quad (\text{I.3.12})$$

Généralement,  $HD_n$  et *THD* sont représentés en *dB*. Par conséquent, nous pouvons utiliser la notion des puissances :

$$HD_n|_{dB} = 10 \log \left( \frac{P_n}{P_1} \right) \quad (\text{I.3.13})$$

$$THD|_{dB} = 10 \log \left( \frac{\sum_{i=2}^{\infty} P_i}{P_1} \right) = 10 \log \left( \sum_{i=2}^{\infty} HD_i^2 \right) \quad (\text{I.3.14})$$



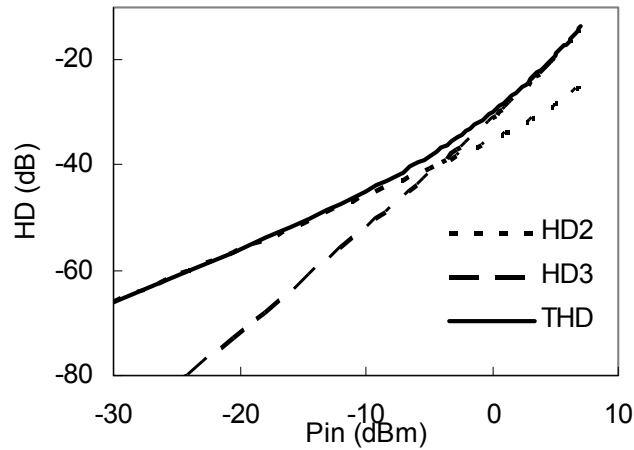


Figure I.3.9 Distorsion harmonique d'ordre 2 et 3, et distorsion harmonique totale

La figure I.3.9 montre un exemple de distorsion harmonique. Les notions de  $HD_i$  et de  $THD$  sont utiles lorsqu'on s'intéresse à l'évaluation de la pureté spectrale d'un signal à la sortie d'un composant. De plus, la distorsion harmonique est intimement liée à la notion de la compression de gain, car les deux phénomènes ont la même origine.

Afin de caractériser le niveau d'intermodulation entre deux raies adjacentes, nous définissons le rapport de la puissance d'une des deux raies d'intermodulation ( $2f_1-f_2$ ) sur la puissance d'une des deux raies fondamentales (figure I.3.10) :

$$IMD_3|_{dBc} = 10 \log \left( \frac{P_{out3}}{P_{out}} \right) \quad (I.3.15)$$

$IMD_{3dBc}$  traduit l'écart entre les raies en  $dB$ .

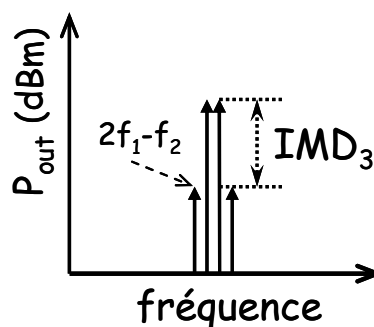


Figure I.3.10 Définition de l'IMD3. Rapport de puissance entre la raie d'intermodulation d'ordre 3 et la fréquence fondamentale

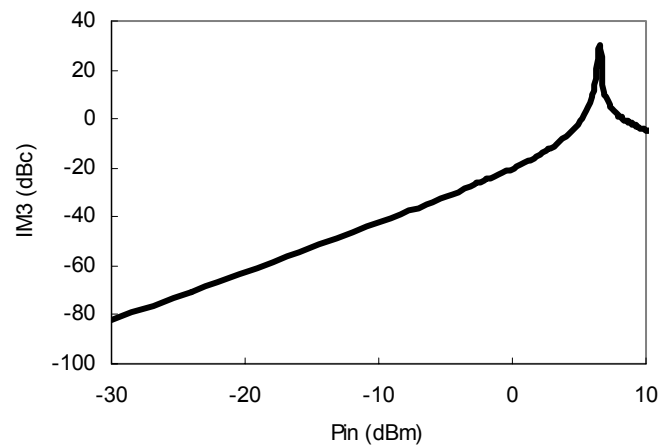


Figure I.3.11 Evolution de l'IMD3 calculée en fonction de la puissance d'entrée sur le composant

Comme dans le cas de la distorsion harmonique ( $HD_n$ ,  $THD$ ), l' $IMD_{3dB}$  dépend de la puissance à l'entrée du composant (figure I.3.11). Pour s'affranchir de cette dépendance, nous définissons le point d'interception du 3<sup>e</sup> ordre ( $IP3$  :  $3^{rd}$  order intercept point), grandeur indépendante de la puissance, caractérisant l'intermodulation dans un composant en régime linéaire. Elle est calculée à partir de la courbe des puissances des raies de sortie en fonction de la puissance d'entrée (courbe en dB), en extrapolant la puissance fondamentale et de la puissance d'ordre trois ( $2f_1-f_2$ ). Etant donnée que la raie fondamentale présente une pente de 1 et celle du 3<sup>e</sup> ordre une pente de 3, les deux raies se croisent au point que l'on définit comme point d'interception du 3<sup>e</sup> ordre. L' $IIP3$  et  $OIP3$  correspondent respectivement à la puissance d'entrée et à la puissance de sortie au point d'interception. La figure I.3.12 montre les puissances des raies d'intermodulation calculées en fonction de la puissance de sortie et le point d'interception d'ordre 3.

Aujourd'hui, les systèmes de communications multiporteuses nécessitent d'étudier l'intermodulation à des ordres supérieurs à 3. De la même façon, on définit les points d'interception d'ordre 5 et d'ordre 7 ( $IIP5$ ,  $OIP5$ ,  $IIP7$  et  $OIP7$ ).

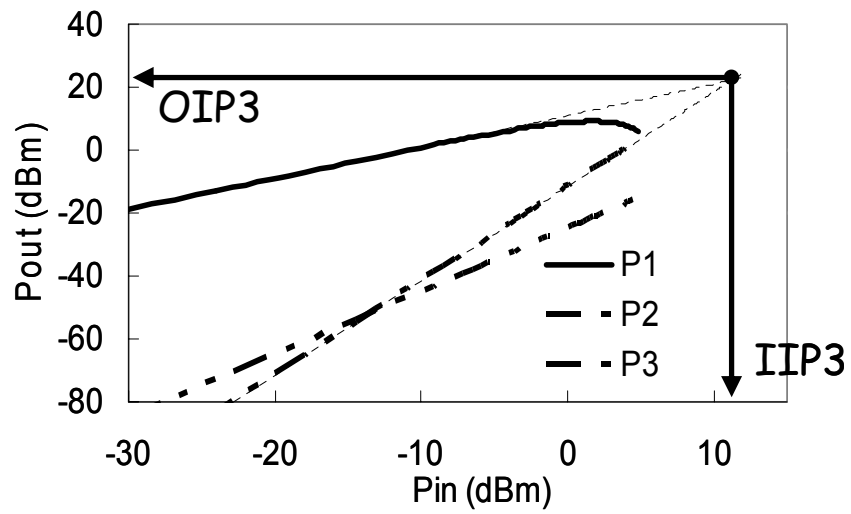


Figure I.3.12 Puissance de sortie de la raie fondamentale et des raies d'intermodulation du 2<sup>e</sup> et 3<sup>e</sup> ordre en fonction de la puissance d'entrée  $P_{in}$ . Définition des notions du point d'interception du 3<sup>e</sup> ordre

## I.4 Performances hyperfréquences petit signal

Après s'être penchés sur les effets non linéaires d'un composant actif et sur les facteurs de mérite qui les caractérisent, il est nécessaire de définir les notions de puissances et de gain utilisés ainsi que certains facteurs de mérite qui caractérisent les composants en hyperfréquence, en régime petit signal [3]. Les fréquences caractéristiques sont généralement basées sur la notion des paramètres de répartition (paramètres S) et sur la notion du schéma équivalent électrique. Les paramètres S et le schéma équivalent électrique ne sont pas explicités dans ce paragraphe, mais dans le chapitre II.

Ces notions, combinées aux facteurs de mérite non linéaires, seront utilisées par la suite (chapitre III), afin de procéder à des comparaisons entre les divers composants et d'en extraire leurs qualités.

### I.4.1 Notions de puissance et de gain

La figure I.4.1 illustre un composant dont l'entrée est reliée à un générateur d'amplitude  $E_{gen}$  et d'impédance  $Z_{gen}$ , et chargé sur une impédance  $Z_{ch}$ . La puissance absorbée  $P_{abs}$  par le composant est définie par :

$$P_{abs} = \frac{1}{2} \Re(v_1 i_1^*) \quad (I.4.1)$$

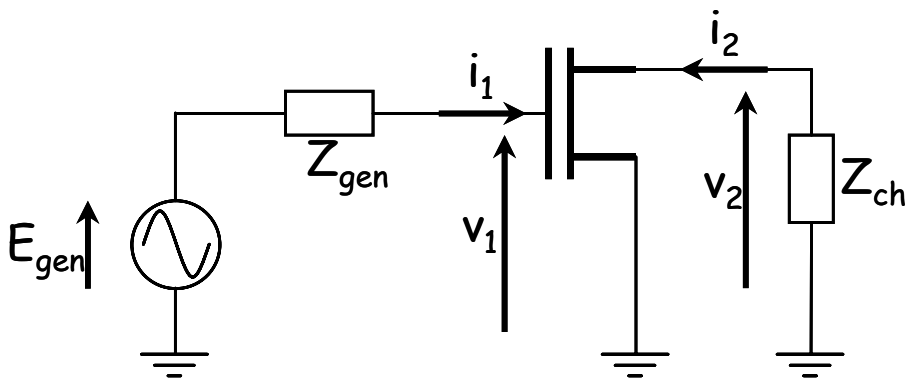


Figure I.4.1 Composant excité par un générateur d'impédance  $Z_{gen}$  et chargé sur une impédance  $Z_{ch}$

La puissance disponible  $P_{disp}$  par le générateur est définie par :

$$P_{disp} = \frac{|E_{gen}|^2}{4\Re(Z_{gen})} \quad (I.4.2)$$

La puissance absorbée  $P_{ch}$  par la charge est définie par :

$$P_{ch} = -\frac{1}{2}|i_2|^2 \Re(Z_{ch}) = -\frac{1}{2}\Re(v_2 i_2^*) \quad (I.4.3)$$

Par la suite, nous désignons par  $P_{en}$  ( $=P_{entrée}$ ) la puissance absorbée par le composant et par  $P_{inc}$  ( $=P_{incidente}$ ) la puissance disponible à l'entrée du composant.

Le gain en puissance est défini par le rapport de la puissance absorbée par la charge sur la puissance absorbée par le composant :

$$G_p = \frac{P_{ch}}{P_{en}} \quad (I.4.4)$$

Le gain transducteur est défini par le rapport de la puissance absorbée par la charge sur la puissance disponible à l'entrée du composant :

$$G_t = \frac{P_{ch}}{P_{inc}} \quad (I.4.5)$$

#### I.4.2 Le gain de courant en court circuit $H_{21} - f_T$

Le gain en courant  $H_{21}$  est calculé des paramètres  $S$  par l'équation :

$$|H_{21}|^2 = \left| \frac{-2S_{21}}{(1-S_{11})(1+S_{22})+S_{12}S_{21}} \right|^2 \quad (I.4.6)$$

Le gain en courant exprimé en  $dB$  suit une évolution en  $-20 dB$  par décade en fonction de la fréquence. La valeur de la fréquence pour laquelle son module est égal à l'unité ( $0 dB$ ) correspond à la fréquence de transition du composant. La figure I.4.2 illustre le gain en courant  $H_{21}$  mesuré, pour des fréquences allant de  $500 MHz$  à  $50 GHz$ , d'un transistor MOS SOI à *body* flottant de  $L_g=0.12 \mu m$ . Afin d'extraire la fréquence de transition expérimentale, on procède à une extrapolation linéaire d'une droite de pente de  $-20 dB/décade$  [25]. La fréquence de transition est :  $f_t=91 GHz$ .

La fréquence de transition peut être calculée analytiquement à partir de l'expression (I.4.1) et du schéma équivalent électrique hyper fréquence d'un transistor MOS, si l'on pose  $\text{mag}(H_{21}(f_i))=1$ . Une expression proposée par Tasker [26] est :

$$f_t = \frac{g_m}{2\pi[(C_{gs} + C_{gd})(1 + g_d(R_s + R_d)) + C_{gd}g_m(R_s + R_d)]} \quad (\text{I.4.7})$$

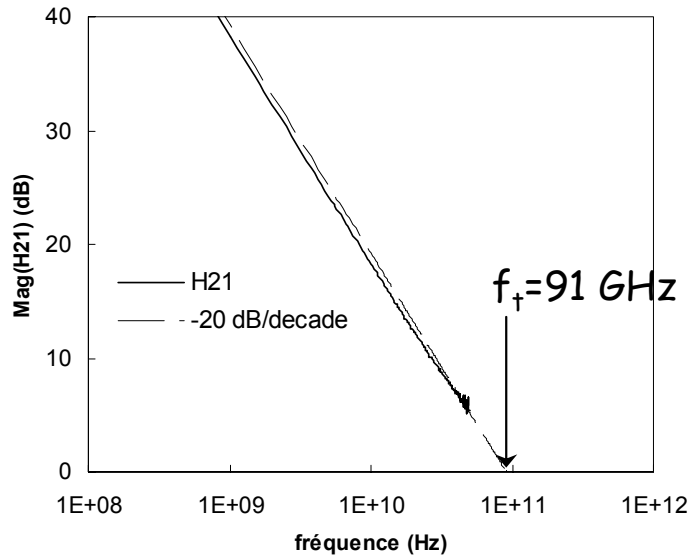


Figure I.4.2  $H_{21}$  mesuré d'un transistor MOS SOI à *body* flottant ( $L_g=0.12 \mu\text{m}$ ) et extraction de la fréquence de transition associée

### I.4.3 Gain unilatéral – $f_{max}$

Le gain unilatéral (ou gain de Masson) est obtenu en adaptant l'entrée et la sortie du composant à l'impédance caractéristique, et en ajoutant une contre-réaction sans pertes afin d'obtenir  $S'_{12}=0$ . Son expression par rapport aux paramètres S du composant est [25]:

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left( k \left| \frac{S_{21}}{S_{12}} \right| - \Re \left( \frac{S_{21}}{S_{12}} \right) \right)} \quad (\text{I.4.8})$$

où  $k$  est le facteur de stabilité du transistor donné par :

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{21}S_{12}|^2}{2|S_{21}||S_{12}|} \quad (\text{I.4.9})$$

Le gain unilatéral permet de définir la fréquence maximale d'oscillation,  $f_{max}$ , fréquence pour laquelle  $U=1$ . Au-delà de  $f_{max}$ , le transistor devient passif. Une expression analytique proposée dans la littérature pour  $f_{max}$ , est :

$$f_{max} = \frac{f_c}{\sqrt{4g_d(R_g + R_i + R_s) + 2\frac{C_{gd}}{C_{gs}}\left(\frac{C_{gd}}{C_{gs}} + g_m(R_s + R_i)\right)}} \quad (\text{I.4.10})$$

avec  $f_c$  donnée par :

$$f_c = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (\text{I.4.11})$$

$f_{max}$  est mesurée de la même manière que  $f_t$ . La figure I.4.3 montre le gain unilatéral du même transistor et la fréquence maximale d'oscillation extraite.

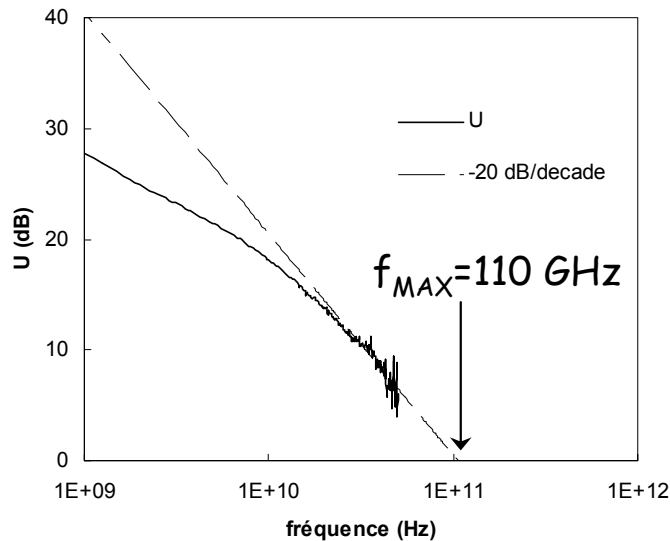


Figure I.4.3  $U$  mesuré d'un transistor MOS SOI à *body* flottant ( $L_g=0.12 \mu\text{m}$ ) et extraction de la fréquence maximale d'oscillation associée

## **I.5 Types de Modèles non linéaires pour les MOS**

La conception assistée par ordinateur de circuits intégrés suscite un besoin de modèles pour tous les éléments utilisés par le concepteur. Dans le domaine des microondes, nous trouvons un grand nombre de modèles petit signal (linéaire) pour les transistors MOS [27]-[33]. Dans le paragraphe I.3, nous avons vu divers effets non linéaires qui ne sont pas pris en compte par une modélisation petit signal. Afin de pouvoir obtenir tous ces effets par simulation, un concepteur a besoin d'un modèle grand signal.

Le modèle d'un élément quelconque est construit par des équations décrivant ses propriétés physiques. Le simulateur doit résoudre toutes ces équations à tous les points d'excitation requis par le concepteur. Par conséquent, le temps de calcul et de résolution d'un circuit dépend directement des équations et donc des modèles utilisés pour les composants [10].

La façon la plus rigoureuse de modéliser physiquement un transistor est de décrire les équations de base des semiconducteurs dans les trois dimensions et de les appliquer dans des volumes infiniment petits. Ceci est très efficace lors de l'étude et de la conception d'un transistor, mais le temps de calcul s'avère tellement long qu'il est difficile d'appliquer une telle méthode pour la conception de circuits.

Dans ce but, il existe des modèles, dit compacts, adaptés pour le calcul numérique même de systèmes comprenant un large nombre de composants.



### I.5.1 Considérations pour la modélisation NL

La modélisation d'un composant doit répondre à un ensemble d'exigences qui, elles, sont définies par le domaine d'application et les demandes du concepteur en termes de résultats de simulation.

Pour illustrer ceci, nous allons prendre un exemple très simple qui est le cas d'une impédance. Si le concepteur s'intéresse uniquement au rapport du courant avec la tension appliquée sur cet élément, la loi de Ohm  $i = v/z$  suffit pour le décrire. Cependant, si l'on est intéressé aussi par l'influence de l'effet Joule et de la température sur le courant, il est nécessaire d'inclure ce phénomène et de rendre le modèle plus complexe. Il en va de même pour le bruit thermique, etc.

De manière générale, un modèle idéal de transistors MOS adapté pour la conception de circuits intégrés numériques, analogiques ou mixtes, doit satisfaire les points suivants [10]:

1. Le modèle doit donner une bonne précision sur les caractéristiques de courant  $I-V$  dans une large gamme de polarisation.
2. Il doit prédire, de façon rigoureuse, les caractéristiques dynamiques en régime petit et grand signal, même pour des fréquences de fonctionnement proches de la fréquence de transition du composant.
3. Il doit donner une bonne prédiction du bruit blanc et du bruit basse fréquence.
4. Les recommandations 1 à 3 doivent être vérifiées sur tous les régimes de polarisation et pour diverses valeurs de potentiel de substrat  $V_b$ .
5. Toutes les exigences précédentes doivent être satisfaites pour une large gamme de températures.
6. Le modèle doit être valable pour une large gamme de largeur  $W$  et de longueur  $L_g$  de la grille (paramétrable en  $W, L_g$ ).
7. Il doit avoir le strict minimum possible de paramètres. Ceux-ci doivent être reliés directement à la structure du composant et au procédé de fabrication technologique.

8. Le modèle doit être facile à intégrer (implémenter) dans un simulateur. Pour le calcul numérique, il doit être robuste et continu entre les régimes de fonctionnement.

9. La méthode d'extraction des paramètres du modèle doit être la plus simple possible. Le nombre de composants-test ainsi que le nombre de mesures requis pour l'extraction des paramètres doit être le plus petit possible.

Tous les points énoncés précédemment représentent évidemment le cas d'un modèle idéal. Il n'existe pas de modèle pouvant satisfaire la totalité de ces exigences. Cependant, l'approche et le type de modélisation font apparaître divers avantages et désavantages. Ainsi, le choix d'un modèle ou d'une approche de modélisation doit s'effectuer en fonction des besoins comme des moyens offerts.

Par la suite, nous allons présenter trois types de modélisation concernant les MOSFET, avec leurs avantages et leurs inconvénients. Ainsi, en combinant les moyens offerts et les exigences requises dans le cadre de ces travaux, nous allons exposer le choix de modélisation effectué.

## I.5.2 Types de modélisation

On peut généralement distinguer trois types de modélisation [10] :

### I.5.2.a La modélisation physique

Elle est basée sur la physique des composants semiconducteurs. Tous les paramètres ont une signification physique directement liée à la géométrie du composant ( $W$ ,  $L_g$ ), au procédé technologique et à la physique du composant (dopages, potentiels de bandes plates...) [34]-[38].

Par définition, un modèle physique répond à une majorité d'exigences présentées ci-dessus. Ainsi, il est adapté à la simulation statistique en rapport avec les paramètres technologiques, il peut prévoir le comportement du transistor à diverses températures et peut tenir compte de nombreux effets, de manière analytique.

Cependant, le temps de développement d'un modèle physique peut durer plusieurs années et ne jamais prendre fin, car, à chaque nouvelle génération technologique, de nouveaux effets physiques apparaissent et doivent être pris en compte. D'autre part, afin d'assurer une bonne robustesse numérique, les équations doivent être les plus simples possibles et doivent assurer une continuité entre les différents régimes de fonctionnement. Ceci entraîne automatiquement une limitation dans les expressions du modèle physique. Finalement, d'un point de vue pratique, les désavantages les plus importants sont le nombre de paramètres et les méthodes d'extraction des modèles physiques.

Aujourd'hui les modèles physiques les plus répandus pour les transistors MOS sont le *BSIM* développé à l'université de Berkeley et le *MOSMODEL* de Philips [39], [40]. Prenons en exemple la version du *BSIM3v3*. Il comprend à peu près 400 paramètres afin d'assurer tous les régimes de fonctionnement et un grand nombre d'effets physiques. Une grande partie des effets sont décrits par des équations semi-empiriques qui, finalement, ne sont plus vraiment reliées à la physique du composant. D'autre part, le nombre de transistors-test exigés pour l'extraction des paramètres est très élevé. Ceci oblige les ingénieurs de modélisation à incorporer un nombre non négligeable de structures de mesures sur les masques technologiques. De ce fait, le nombre de mesures requises afin d'extraire les paramètres est très élevé. Enfin, l'extraction exige de la part de l'ingénieur de modélisation une formation technique très spécifique sur le modèle précis.

Aujourd'hui, le temps d'extraction d'un modèle de type *BSIM* est tellement élevé qu'il ne se prête pas à la modélisation de technologies en court de développement.

#### I.5.2.b La modélisation phénoménologique

La modélisation phénoménologique est une approche purement empirique, c'est-à-dire qu'elle se base uniquement sur la représentation des effets observables et mesurables, indépendamment de leur nature [41]-[44]. Ainsi, un élément quelconque du composant (par exemple un courant) va être représenté par une équation purement mathématique. Les paramètres d'un modèle empirique n'ont pas de signification physique et servent uniquement à ajuster l'équation sur la grandeur mesurée.

Parmi la liste des points énoncés dans le paragraphe I.4.1, un modèle empirique peut n'en satisfaire qu'un nombre restreint. Il ne peut être utilisé pour faire une étude statistique sur les composants en fonction des paramètres de fabrication technologiques. Les lois d'échelle sur la géométrie des composants (surtout sur  $L_g$ ) ne sont pas valables, car le modèle ne tient pas en compte l'évolution de chaque élément physique en fonction des dimensions du composant. D'autre part, les effets de température sur les éléments modélisés empiriquement sont très difficiles à incorporer. Finalement, l'extraction requiert obligatoirement une procédure d'optimisation, chose qui peut mener à différents ensembles de valeurs de paramètres pour un même composant.

Toutefois, les avantages de la modélisation phénoménologique ne doivent pas être négligés. L'élaboration d'un tel modèle peut s'avérer très rapide ; des équations simples peuvent très bien décrire le comportement électrique du transistor, sur tous les régimes de polarisation et sur la gamme de fréquence de fonctionnement envisagés. Même certaines lois d'échelle peuvent être incluses dans les équations. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises simples et peu nombreuses. Par ailleurs, à cause de la nature de la modélisation empirique, le modèle est facilement incorporable dans un simulateur de circuits quelconque. Grâce à la simplicité de tels modèles, le temps de calcul numérique, de la part du simulateur, peut être considérablement réduit.

#### I.5.2.c La modélisation à base de données expérimentales

La modélisation à base de données expérimentales est très similaire à la modélisation phénoménologique. La différence majeure est que les éléments non linéaires ne sont pas

décrits par des fonctions mathématiques, mais par des matrices de données de mesures [45]. Les points de mesures sont reliés entre eux par des fonctions d'interpolation. Ceci entraîne certains avantages et inconvénients.

Le modèle est valable uniquement dans la plage des mesures effectuées, car, au-delà, les fonctions d'interpolation ne peuvent nullement assurer le comportement du composant. Il en découle que, pour des polarisations proches à la limite des mesures, ces modèles présentent d'énormes problèmes de discontinuité. Ceci est un inconvénient majeur, car il peut entraîner la divergence lors d'un calcul. D'autre part, peu de lois d'échelle peuvent être prises en compte et chaque composant doit être individuellement mesuré.

Les avantages sont similaires à ceux des modèles phénoménologiques, avec, de plus, une rapidité d'extraction plus élevée.

### I.5.3 Choix de modélisation

Afin de modéliser les transistors MOS en hyperfréquence, nous avons d'abord considéré les besoins et le but de l'étude. L'idée était de posséder et de maîtriser un modèle grand signal pour les MOS afin de pouvoir concevoir des circuits hyperfréquence (LNA, amplificateurs distribués, oscillateurs, mélangeurs ...), et d'étudier les performances (petit et grand signal) des composants utilisant toute nouvelle génération technologique. Très rapidement, nous avons constaté que le modèle *BSIM3v3* ne pouvait pas répondre à ces besoins, pour les raisons évoquées précédemment (Plus précisément, à cause de la complexité et du temps d'extraction du modèle). Nous avons donc fait le choix de la modélisation phénoménologique qui rendait le travail beaucoup plus flexible et rapide.

## Conclusion

Dans ce chapitre nous avons vu les différentes caractéristiques des composants MOSFET pour les hyperfréquences, ainsi que leurs potentialités, en vue de réalisation de *MMIC* à faible consommation. Nous nous sommes penchés principalement sur les MOSFET fabriqués sur substrat SOI, qui est une technologie plus prometteuse en terme de performances, par rapport à la technologie classique dite *bulk* pour ces applications.

Les diverses structures destinées à ces applications ont été présentées, ainsi que certains effets physiques rencontrés dans leur fonctionnement, nécessaires par la suite pour l'élaboration d'un modèle grand signal. Nous avons décrit et expliqué certains effets dus aux non linéarités des transistors. Finalement, nous avons argumenté sur la problématique de la modélisation grand signal. Les trois types de modélisation les plus répandus ont été exposés : modélisation physique, modélisation phénoménologique (ou empirique) et modélisation à base de tables de données.

Il s'avère que la modélisation physique n'est pas adaptée aux exigences de la recherche utilisant des technologies émergentes : les concepteurs ont besoin de modèles rapides à extraire et faciles à implémenter dans les simulateurs de circuits, afin de concevoir rapidement des démonstrateurs. Or, les modèles physiques souffrent du temps d'élaboration et d'extraction de leurs paramètres. Pour cela, nous avons opté au choix d'adopter une approche de modélisation empirique des composants MOSFET SOI et *bulk*.

Dans le chapitre qui suit, nous décrivons les diverses techniques de modélisation grand signal utilisées. Le modèle élaboré est décrit de manière détaillée, ainsi que les techniques d'extraction des paramètres du modèle, son implémentation dans un simulateur de circuits et sa validation.

## Références bibliographiques

- [1] L.Geppert, “Solid State”, *IEEE Spectrum*, Jan. 1999
- [2] J.P.Collinge, “Silicon On Insulator Technology: Materials to VLSI”, Kluwer Academics Publisher, 1997
- [3] A.A.Abidi, “Low-Power Radio-Frequency IC’s for Portable Communications” *Proceedings of the IEEE*, vol. 83, no 4, April 1995
- [4] P.H.Woerlee *et al*, ”RF-CMOS Performance Trends » *IEEE Transactions on Electron Devices*, vol. 48, no. 8, August 2001
- [5] R.Barth, “ITRS Commodity Memory Roadmap” *International Workshop on Memory Technology, Design and Testing*, Proceedings, pp. 61-63, July 2003
- [6] H.Onishi *et al*, “A 5-Mask CMOS Technology” *Symposium on VLSI Technology*, Digest of technical papers, pp. 33-34, June 1997
- [7] F.Balestra, “Special Mechanisms in Thin Film SOI MOSFETs”, *20<sup>th</sup> International Conference on Microelectronics*, Proceedings, pp. 623 – 632, vol. 2, Sept. 1995
- [8] D.Flandre, F. Van de Wiele, “Second-Order Analytical Modeling of Thin-Film SOI MOSFET’s”, *IEEE SOS/SOI Technology Conference*, pp 27-28, Oct. 1989
- [9] F.J.Kub, “Radiation Hardened SOS MOSFET Technology for Infrared Focal Readouts”, *IEEE Transactions on Nuclear Science*, vol. 37, Issue 6, pp. 2020-2025, Dec. 1990
- [10] Y.P.Tsividis, “Operation and modeling of the MOS Transistor”, Mc Graw-Hill, Second Edition, 1999
- [11] J.P. Colinge, “Fully-Depleted SOI CMOS for Analog Applications”, *Transactions on Electron Devices*, IEEE, vol. 45, no. 5, pp. 1010-1016, May 1998

- [12] S.Veeraraghavan , J.G.Fossum, “Short Channel Effects in SOI MOSFET’s”, *IEEE Transaction on Electron Devices*, vol 36, no. 3, pp. 522-528, March 1989
- [13] S.M.Sze, “Physics of Semiconductor Devices”, Wiley-Interscience, 1981
- [14] J.P.Collinge, “Reduction of Kink Effect in Thin-Film SOI MOSFET’s” *IEEE Electron Device Letters*, vol. 9, no. 2, pp. 97-99, Feb. 1988
- [15] K.Kato, T.Wada, K.Taniguchi, “Analysis of Kink Characteristics in Silicon-on-Insulator MOSFET’s Using Two-Carrier Modeling”, *IEEE Journal of Solid-State Circuits*, vol. 20, Issue: 1, pp. 378 – 382, Feb. 1985
- [16] C.F.Edwards, W.Redman-White, B.M.Tenbroek, M.S.L.Lee, M.J.Uren, ”The Effect of Body Contact Series Resistance on SOI CMOS Amplifier Stages”, *IEEE Transactions on Electron Devices*, vol. 44, no. 12, pp. 2290-2294, Dec. 1997
- [17] J.Jomaah, F.Balestra, and G.Ghibaudo, “Self-Heating Effects in SOI MOSFET’s Operated at Low Temperature,” *IEEE International SOI Conference, Proceedings*, pp. 82-83, Oct.1993
- [18] J.S.Brodsky, R.M.Fox, D.T.Zweidinger, and S.Veeraraghavan, “A Physics-Based, Dynamic Thermal Impedance for SOI MOSFET’s,” *IEEE Transactions On Electron Devices*, vol. 44, no. 6, pp. 1503-1508, June 1997
- [19] O.Le Néel, and M.Haond, “Electrical Transient Study of Negative Resistance in SOI MOS Transistors,” *IEEE Electronic Letters*, vol. 6, no. 1, pp. 73-74, Jan. 1990
- [20] S.A.Maas, D.Neilson, “Modeling MESFETs for intermodulation analysis of mixers and amplifiers” *IEEE Transactions on Microwave Theory and Techniques*, vol. 38, no. 12, pp. 1964-1971, Dec. 1990
- [21] S.Peng, P.J.McCleer, G.I.Haddad, “Nonlinear Models for the Intermodulation Analysis of FET Mixers”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 43, no. 5, pp. 1037-11045, May. 1995



- [22] J.Kim, Y.Kwon, "Intermodulation Analysis of Dual-Gate FET Mixers", *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 6, pp. 1544-1555, June 2002
- [23] S.Kang, B.Choi, B.Kim, "Linearity Analysis of CMOS for RF Application", *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 3, pp. 972-977, March 2003
- [24] P.Delemotte, "Réalisation expérimentale d'un banc d'intermodulation "Noise Power Ratio" : Application à l'analyse de HEMTs et de MMICs de puissance en bande Ka » Thèse de doctorat de l'Université des Sciences et Technologies de Lille, novembre 2003
- [25] T.Parenty, « Etude et perspective des transistors à hétérostructure AlInAs/GaInAs de longueur de grille inférieure à 100 nm et conception de circuits intégrés en bande G », Thèse de doctorat de l'Université des Sciences et Technologies de Lille, novembre 2003
- [26] P.J.Tasker, B.Hughes, "Importance of Source and Drain Resistance to the Maximum  $f_T$  of Millimeter-Wave MODFETs", *IEEE Electron Device Letters*, vol. 10, no. 7, pp. 291-293, July 1989
- [27] R.Howes, W.Redman-White, "A Small-Signal Model for the Frequency-Dependent Drain Admittance in Floating-Substrate MOSFET's", *IEEE Journal of Solid-State Circuits*, vol. 27, no. 8, pp. 1186-1193, August 1992
- [28] I.Kwon, M.Je, K.Lee, H.Shin, "A Simple and Analytical Parameter Extraction Method of a Microwave MOSFET", *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 6, pp. 1503-1508, June 2002
- [29] S.Lee, H.K.Yu, "A Semianalytical Parameter Extraction of a SPICE BSIM3v3 for RF MOSFET's Using  $S$ -Parameters", *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, no. 3, pp. 412-416, March 2000

- [30] A.Pascht, M.Grözing, D.Wiegner, M.Bertho, “Small-Signal and Temperature Noise Model for MOSFETs”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 8, pp. 1927-1933, August 2002
- [31] J.P.Raskin, G.Dambrine, R.Gillon, “Direct Extraction of the Series Equivalent Circuit Parameters for the Small-Signal Model of SOI MOSFET’s” *IEEE Microwave and Guided Wave Letters*, vol. 7, no. 12, pp. 408-411, December 1997
- [32] J.P.Raskin, R.Gillon, J.Chen, D.Vanhoenacker, J.P.Collinge, “Accurate SOI MOSFET Characterization at Microwave Frequencies for Device Performance Optimization and Analog Modeling”, *IEEE Transactions on Electron Devices*, vol. 45, no. 5, pp. 1017-1025, May 1998
- [33] C.L.Chen, *et al*, “High-Frequency Characterization of Sub-0.25- $\mu\text{m}$  Fully Depleted Silicon-on-Insulator MOSFETs”, *IEEE Electron Device Letters*, vol. 21, no. 10, pp. 497-499, October 2000
- [34] C.Enz, “An MOS Transistor Model for RF IC Design Valid in All Regions of Operation”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 1, pp. 342-359, January 2002
- [35] D.Suh, J.G.Fossum, “A Physical Charge-Based Model for Non-Fully Depleted SOI MOSFET’s and Its Use in Assessing Floating-Body Effects in SOI CMOS Circuits”, *IEEE Transactions on Electron Devices*, vol. 42, no. 4, pp. 728-737, April 1995
- [36] H.-J.Park, P.K.Ko, C.Hu, “A Charge Non-Quasi-Static (NQS) MOSFET Model for SPICE Transient Analysis”, *IEEE Transactions on Computer-Aided Design*, vol. 10, no. 5, pp. 629-642, May 1991
- [37] B.Iñiguez, G.Moreno, “A Physically-Based  $C_{\infty}$ -Continuous Model for Small-Geometry MOSFET’s”, *IEEE Transactions on Electron Devices*, vol. 42, no. 2, pp. 283-287, February 1995

- [38] S.Veeraraghavan, J.G.Fossum, "A Physical Short-Channel Model for the Thin-Film SOI MOSFET Applicable to Device and Circuit CAD", *IEEE Transactions on Electron Devices*, vol. 35, no. 11, pp. 1866-1875, November 1988
- [39] <http://www-device.eecs.berkeley.edu/~bsim3/>
- [40] [http://www.semiconductors.philips.com/acrobat/other/philipsmodels/newsflash/nlu\\_r2001\\_813.pdf](http://www.semiconductors.philips.com/acrobat/other/philipsmodels/newsflash/nlu_r2001_813.pdf)
- [41] W.R.Curtice, M.Ettenberg, "A Nonlinear FET GaAs Model for Use in the Design of Output Circuits for Power Amplifiers", *IEEE Transactions on Microwave Theory and Techniques*, vol. 33, no. 12, pp. 1383-1394, December 1985
- [42] I.Angelov, H.Zirath, N.Rorsman, "A New Empirical Nonlinear Model for HEMT and MESFET Devices", *IEEE Transactions on Microwave Theory and Techniques*, vol. 40, no. 12, pp. 2258-2266, December 1992
- [43] A.Marteka, T.Kacprzak, "Computer Calculation of Large-Signal GaAs FET Amplifier Characteristics", *IEEE Transactions on Microwave Theory and Techniques*, vol. 33, no. 2, pp. 129-135, February 1985
- [44] V.I. Cojocaru, T.J.Brazil, "A Scalable General-Purpose Model for Microwave FET's Including DC/AC Dispersion Effects", *IEEE Transactions on Microwave Theory and Techniques*, vol. 45, no. 12, pp. 2248-2255, December 1997
- [45] E.P.Vandamme, D.Schreurs, C. van Dinther, G.Badenes, L.Deferm, "Development of a RF large signal MOSFET model, based on an equivalent circuit, and comparison with the BSIM3v3 compact model", *Solid-State Electronics*, vol. 46, pp. 353-360, 2000







## **Introduction**

Dans ce chapitre, nous présentons le modèle grand signal qui a été développé lors des travaux de thèse. En premier lieu, nous discutons l'approche de la modélisation grand signal nécessaire à l'élaboration du modèle (paragraphe II.1). Par la suite, nous donnons les équations grand signal élaborées pour chaque élément (paragraphe II.2-II.4). Les techniques de mesures et d'extraction de tous les paramètres du modèle sont détaillées (paragraphe II.5), ainsi que son implémentation dans un simulateur électrique de circuits (paragraphe II.6). Finalement, dans le dernier paragraphe, nous présentons la validation du modèle, à travers des comparaisons entre simulations et mesures (paragraphe II.7).

## II.1 Modélisation grand signal en hyperfréquences

Un modèle électrique grand signal de transistor se base sur une approche de type schéma équivalent électrique. Les éléments grand signal sont déterminés à partir de mesures statiques et de mesures AC multi-polarisations, donnant leurs variations en fonction des potentiels appliqués. Avant de passer dans les détails de l'élaboration d'un modèle grand signal pour MOSFET, il est important de rappeler le schéma équivalent petit signal qui est intimement lié au modèle grand signal. Un schéma équivalent électrique petit signal (linéarisation autour d'un point de polarisation) représente le fonctionnement dynamique d'un composant autour d'un point de polarisation.

Dans le paragraphe suivant, nous allons présenter le schéma équivalent électrique petit signal, largement utilisé pour les MOSFET en hyperfréquences. Par la suite, nous proposons une analyse sur les éléments grand signal, afin d'écarter certains problèmes rencontrés couramment lors de l'élaboration de modèles grand signal de type phénoménologique.

### II.1.1 Schéma équivalent électrique petit signal :

Nous nous sommes basés sur un schéma équivalent (SE) petit signal, largement utilisé dans le laboratoire de l'IEMN [1]. Il est défini selon une approche non-quasi statique pour une topologie à source commune et un potentiel de *body* nul (connecté à la source). Le cas des transistors à *body* flottant où le potentiel du *body* dépend du point de polarisation statique sera traité séparément. Les différents éléments électriques constituant le SE représentent les diverses parties du transistor et leurs mécanismes physiques. On utilise la notion d'éléments localisés, car une représentation du transistor à éléments distribués nécessite la connaissance du potentiel le long du canal [2].

D'après sa structure et son fonctionnement physique, le transistor est divisé en deux parties : sa partie intrinsèque et sa partie extrinsèque [3]. La partie intrinsèque correspond à la partie active du transistor, c'est-à-dire au canal. La partie extrinsèque correspond aux zones reliant la partie active du composant avec les métallisations de contact. De même, le SE est constitué par ses éléments extrinsèques et ses éléments intrinsèques.



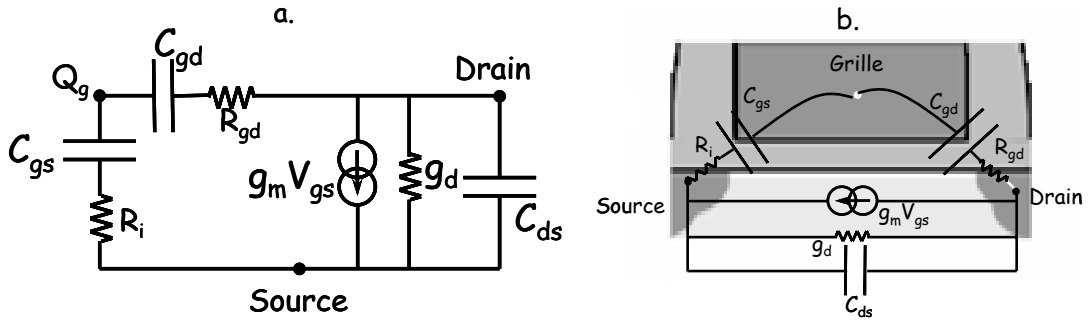


Figure II.1.1 a. Schéma équivalent électrique petit signal de la partie intrinsèque d'un transistor MOS. b. Correspondance schématique du SE intrinsèque à la partie active du transistor.

### II.1.1.a Eléments Intrinsèques

La figure II.1.1 montre le SE de la partie intrinsèque. L'effet transistor est modélisé par une source de courant donnée par  $g_m v_{gs}$ ,  $g_m$  étant la transconductance et traduisant la commande du canal par la tension  $v_{gs}$ .  $v_{gs}$  est le signal appliqué aux bornes de la capacité  $C_{gs}$ . La transconductance est définie par :

$$g_m \equiv \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (\text{II.1.1})$$

L'élément  $g_d$  représente la conductance de drain du transistor qui est définie par :

$$g_d \equiv \left. \frac{\partial I_{ds}(V_{ds}, V_{gs})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (\text{II.1.2})$$

Dans (II.1.1) et (II.1.2),  $I_{ds}$  est le courant circulant entre le drain et la source du transistor et dépend des potentiels  $V_{gs}$  et  $V_{ds}$ .

$C_{ds}$  correspond aux capacités en série des jonctions de source et de drain. Les éléments  $C_{gs}$  et  $C_{gd}$  représentent respectivement la capacité entre la grille et la source et la capacité entre la grille et le drain. Elles sont définies par :

$$C_{gs} \equiv \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \right|_{V_{gd}=cte} \quad (\text{II.1.3})$$

$$C_{gd} \equiv \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right|_{V_{gs}=cte} \quad (\text{II.1.4})$$

$Q_g$  est la charge totale stockée dans la grille et dépend aussi des potentiels  $V_{gs}$  et  $V_{ds}$ . Dans (II.1.3) et (II.1.4),  $C_{gs}$  et  $C_{gd}$  sont définies par rapport aux potentiels  $V_{gs}$  et  $V_{gd}$ . Néanmoins, dans la topologie source commune, les potentiels de contrôle usuels sont  $V_{gs}$  et  $V_{ds}$ . A partir de la relation entre les trois potentiels ( $V_{gd}=V_{gs}-V_{ds}$ ),  $C_{gs}$  et  $C_{gd}$  peuvent être exprimées sous la forme :

$$C_{gs} \equiv \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} + \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (\text{II.1.5})$$

$$C_{gd} \equiv - \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (\text{II.1.6})$$

Les éléments  $R_i$  et  $R_{gd}$  sont liés aux effets non-quasi statiques.

### II.1.1.b Eléments Extrinsèques

Les éléments extrinsèques du SE sont illustrés sur la figure II.1.2. Ils sont supposés indépendants des polarisations et du régime de fonctionnement du composant [2].

Les résistances  $R_s$  et  $R_d$  modélisent la résistivité des caissons fortement dopés, respectivement, de source et de drain.  $R_g$  est la résistance de siliciuration de grille distribuée sur toute la largeur de la grille. Il est important de noter que  $R_d$  et  $R_s$  sont inversement proportionnelles à la largeur du transistor, alors que  $R_g$  est proportionnelle à la largeur totale.

Les inductances  $L_g$ ,  $L_d$  et  $L_s$  modélisent la réactivité des contacts métalliques ou siliciurés et des *vias* d'accès au transistor.

Les capacités  $C_{gse}$  et  $C_{gde}$  correspondent aux capacités dues à l'espaceur d'oxyde et aux effets de bord entre les électrodes.  $C_{dse}$  modélise le couplage entre les caissons de drain et de source à travers l'oxyde enterré pour les transistors sur substrat SOI. Les capacités  $C_{pg}$  et  $C_{pd}$  sont dues aux connexions métalliques ou siliciurées.

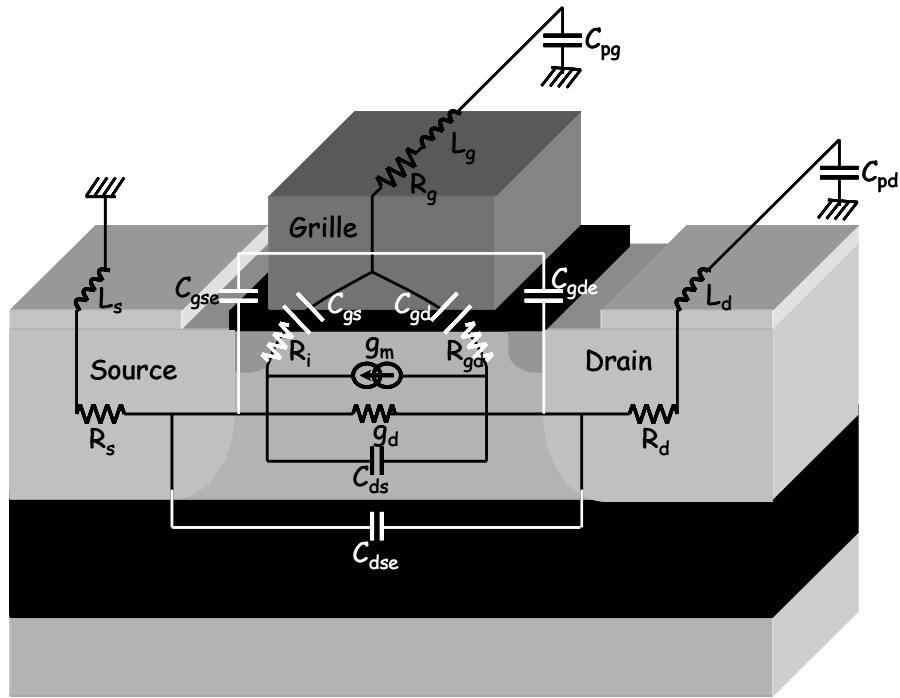


Figure II.1.2 Représentation du schéma équivalent petit signal d'un transistor MOS sur substrat SOI, sur une vue schématique du composant.

Le schéma équivalent petit signal tel qu'il est usuellement utilisé est illustré sur la figure II.1.3 On remarque que les capacités  $C_{gse}$ ,  $C_{gde}$  et  $C_{dse}$  n'y figurent pas : elles sont respectivement intégrées dans les capacités intrinsèques  $C_{gs}$ ,  $C_{gd}$  et  $C_{ds}$ . Ceci a pour conséquence de faciliter considérablement leur détermination expérimentale.

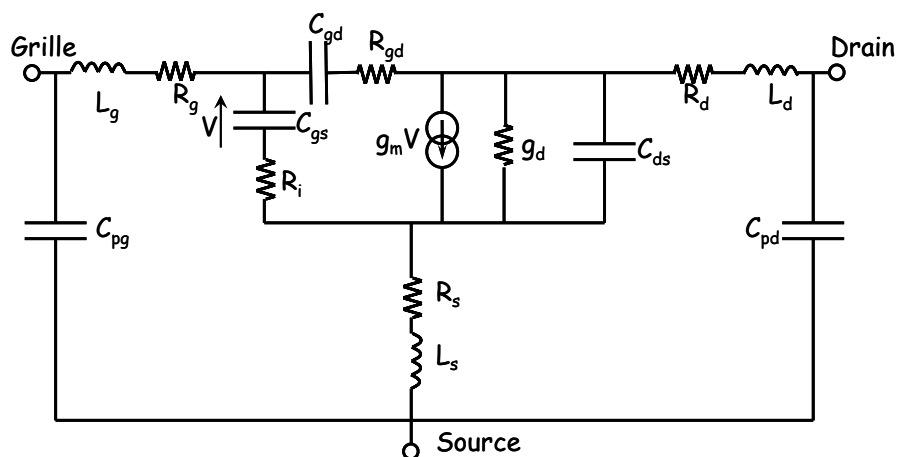


Figure II.1.3 Modèle petit signal pour les transistors MOS en source commune, incluant les éléments extrinsèques.

## II.1.2 Modélisation électrique grand signal : Approche fondamentale

Tous les éléments intrinsèques des transistors MOS dépendent fortement de la polarisation du composant et du régime de fonctionnement. Une description petit signal ne suffit pas et chaque élément doit être représenté par une équation grand signal qui décrit ses variations en fonction des différents signaux d'excitation appliqués. Avant de passer à la description de chacun des éléments et des modèles élaborés, il est nécessaire de définir l'approche grand signal.

Le principe se base sur une définition très simple de modèle électrique :

Tout composant est décrit électriquement par des charges stockées sur un point physique du composant et des charges en mouvement entre deux points physiques du composant. Un point physique d'un composant est représenté électriquement par un nœud d'un circuit. Les charges en mouvement sont représentées par des courants électriques entre deux nœuds. Les courants vont donner, par dérivation, des conductances (ou résistances) et des transconductances (ou transimpédances). A partir des charges stockées, on peut en dériver des capacités entre deux ou plusieurs nœuds [3].

Cette approche est fondamentale pour le respect du principe de la conservation de la matière et de la conservation de la charge. Afin de relier cette approche à la modélisation non linéaire des transistors, nous allons traiter de deux exemples, l'un traitant du courant et l'autre des capacités non linéaires.

### II.1.2.a Source de courant grand signal. Conservation de la matière

Prenons par exemple le cas de la transconductance  $g_m$  et de la conductance de drain  $g_d$ . D'après leur définition (II.1.1) et (II.1.2),  $g_m(V_{gs}, V_{ds})$  et  $g_d(V_{gs}, V_{ds})$  correspondent à des dérivées partielles de  $I_{ds}(V_{gs}, V_{ds})$ ; on peut donc écrire que :

$$I_{ds}(V_{gs}, V_{ds}) = \int_0^{V_{gs}} g_m(V_{gs}, V_{ds}) dV_{gs} \Big|_{V_{ds}=cte} = \int_0^{V_{ds}} g_d(V_{gs}, V_{ds}) dV_{ds} \Big|_{V_{gs}=cte} \quad (II.1.7)$$

De (II.1.7), il découle que  $g_m(V_{gs}, V_{ds})$  et  $g_d(V_{gs}, V_{ds})$  ne peuvent pas être modélisées de manière indépendante. Dans le cas contraire, chacune des intégrales de l'équation (II.1.7) donnerait un résultat différent. Ceci peut être facilement vérifié par un exemple de modélisation de la transconductance et de la conductance.

Supposons un modèle de transconductance  $g_m(V_{gs}, V_{ds})$  élaboré à partir d'une mesure de courant statique en régime de saturation. Imaginons que l'on aboutit à une loi décrivant  $g_m(V_{gs}, V_{ds})$  :

$$g_m(V_{gs}, V_{ds}) = I_{d0} \left[ 1 - \tanh^2(\alpha_1 (V_{gs} - V_{th})) \right] \left[ 2\alpha_1 (V_{gs} - V_{th}) \right] (1 + \lambda V_{ds}) \quad (\text{II.1.8})$$

Avec  $I_{d0}$ ,  $\alpha_1$  et  $\lambda$  des paramètres du modèle. En calculant le courant  $I_{ds}$  par (II.1.7) et (II.1.8) on obtient :

$$I_{ds}(V_{gs}, V_{ds}) = I_{d0} \tanh(\alpha_1 (V_{gs} - V_{th})) (1 + \lambda V_{ds}) + f_1(V_{ds}) \quad (\text{II.1.9})$$

$f_1(V_{ds})$  est la constante d'intégration indéterminée ne dépendant pas de  $V_{gs}$ . Par ailleurs, si l'on modélise la conductance de drain à partir des mêmes mesures, nous pouvons aboutir à la relation :

$$g_d(V_{gs}, V_{ds}) = I_{d0} \left[ 1 - \tanh^2(\alpha V_{ds} + \beta V_{ds}^2 + \gamma V_{ds}^3) \right] (\alpha + 2\beta V_{ds} + 3\gamma V_{ds}^2) (V_{gs} - V_{th})^2 \quad (\text{II.1.10})$$

Avec  $I_{d0}$ ,  $\alpha$ ,  $\beta$  et  $\gamma$  les paramètres du modèle. De même, de (I.1.7) et (I.1.10) on peut calculer  $I_{ds}(V_{gs}, V_{ds})$  :

$$I_{ds}(V_{gs}, V_{ds}) = I_{d0} \left[ \tanh(\alpha V_{ds} + \beta V_{ds}^2 + \gamma V_{ds}^3) \right] (V_{gs} - V_{th})^2 + f_2(V_{gs}) \quad (\text{II.1.11})$$

$f_2(V_{ds})$  est la constante d'intégration indéterminée ne dépendant pas de  $V_{ds}$ . (II.1.9) et (II.1.11) montrent que, tandis que les éléments  $g_m(V_{gs}, V_{ds})$  et  $g_d(V_{gs}, V_{ds})$  ont été modélisés pour le même transistor, le courant grand signal qui en découle n'est pas le même. D'un point de vue électrique, ceci se traduit par deux courants différents dans la même branche (Drain-Source). D'un point de vue physique, ceci revient à ne pas respecter la conservation de la matière.

Cette erreur est fondamentale dans l'approche de la modélisation grand signal. Afin d'éviter ce genre de problèmes, les équations de  $g_m$  et  $g_d$  doivent être consistantes entre elles et reliées par la relation (II.1.7). On définit donc une hiérarchie où le courant se trouve au sommet de la pyramide, à partir de laquelle les éléments électriques dérivent. Ceci est illustré sur la figure II.1.4.

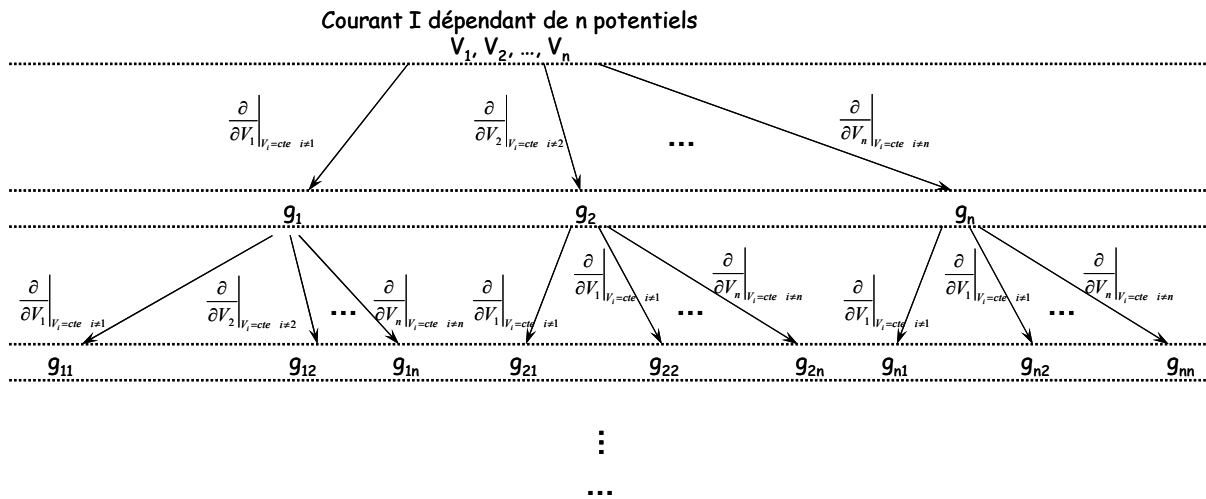


Figure II.1.4 Relation hiérarchique entre courant et conductances ou transconductances afin de respecter le principe de conservation de la matière.

Il est évident que l'approche la plus simple, afin de respecter le principe de conservation de la matière, est de modéliser directement le courant global  $I_{ds}(V_{gs}, V_{ds})$  du transistor. La figure II.1.5 montre le schéma électrique intrinsèque grand signal après avoir considéré la question du courant grand signal. Les autres éléments de la figure sont considérés linéaires.

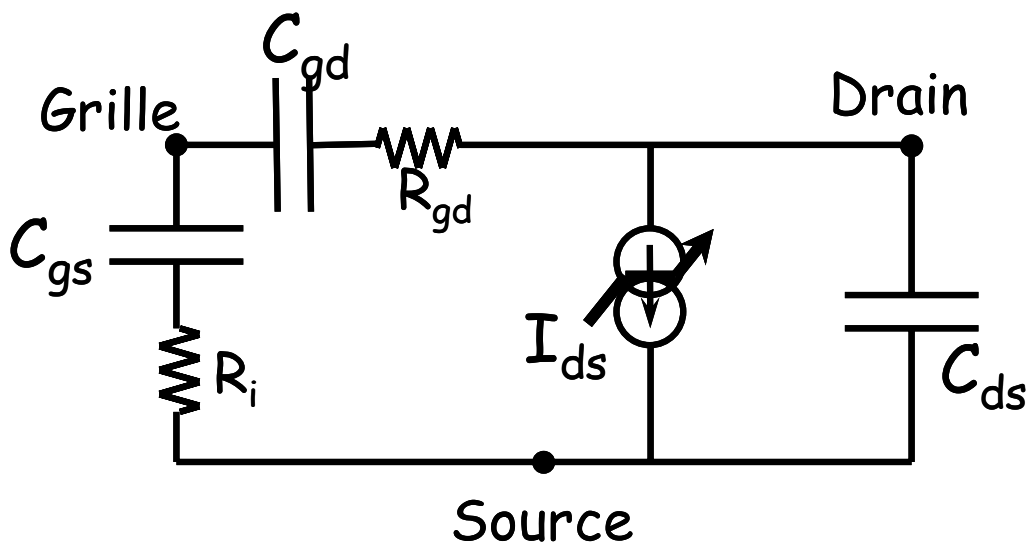


Figure II.1.5 Schéma équivalent électrique du transistor intrinsèque avec source de courant non linéaire.

II.1.2.b Capacités grand signal. Conservation de la charge.

La modélisation des capacités non linéaires suscite aussi une attention particulière, à cause du problème de la conservation de la charge. Il est équivalent au problème de la conservation de la matière, mais peut être moins évident lors de l'élaboration d'un modèle de capacités grand signal. La difficulté est que la charge n'est pas une grandeur directement mesurable, comme l'est le courant. Si ce principe n'est pas respecté, il y a un risque de créer des divergences lors de simulations de circuits grand signal avec un simulateur. C'est la façon dont est défini le modèle des capacités qui va assurer ou non le principe de conservation de la charge [4].

Prenons un exemple de deux capacités. Soit le circuit de la figure II.1.6 [5]:

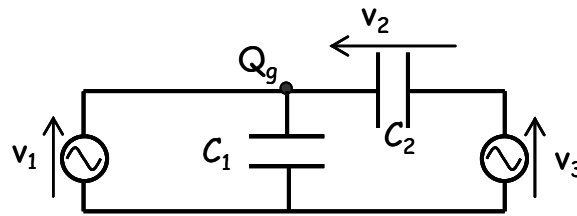


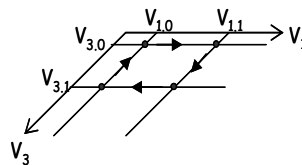
Figure II.1.6 Exemple de deux capacités  $C_1$  et  $C_2$ , contrôlées par deux potentiels  $v_1$  et  $v_3$

$v_1$  et  $v_3$  sont des potentiels de contrôle. Pour des variations infinitésimales de  $v_1$  et  $v_3$ , respectivement de  $dv_1$  et  $dv_3$ , la variation de la charge totale stockée sur le point g va être :

$$dQ_{gT} = (C_1 + C_2)dv_1 - C_2dv_3 \tag{II.1.12}$$

**Premier cas :** les capacités  $C_1$  et  $C_2$  sont linéaires (constantes).

On va calculer la variation de la charge totale pour un contour fermé de  $v_1$  et  $v_3$ . Soit le chemin :



$$\Delta Q_{gt} = \int_{V_{1,0}}^{V_{1,1}} dQ_{gt} \Big|_{(V_3=V_{3,0})} + \int_{V_{3,0}}^{V_{3,1}} dQ_{gt} \Big|_{(V_1=V_{1,1})} + \int_{V_{1,1}}^{V_{1,0}} dQ_{gt} \Big|_{(V_3=V_{3,1})} + \int_{V_{3,1}}^{V_{3,0}} dQ_{gt} \Big|_{(V_1=V_{1,0})} = 0 \tag{II.1.13}$$

Donc, pour ce chemin suivi (contour fermé), nous avons conservation de la charge indépendamment des valeurs de  $C_1$  et  $C_2$ . D'ailleurs, la variation de la charge totale  $\Delta Q_{gt}$  pour des variations  $\Delta v_1$  et  $\Delta v_3$ , quel que soit le chemin suivi, peut être écrite :

$$\Delta Q_{gt} = \int ((C_1 + C_2)dV_1 - C_2dV_3) = (C_1 + C_2)\Delta V_1 - C_2\Delta V_2 \quad (\text{II.1.14})$$

**Deuxième cas** : les capacités  $C_1$  et  $C_2$  sont contrôlées par  $V_1$  et  $V_3$ . Supposons un modèle quelconque de capacités extrait à partir de mesures  $C$ - $V$  :

$$\begin{aligned} C_1(V_1, V_3) &= \alpha_1 V_1 + \beta_1 V_3^2 \\ C_2(V_1, V_3) &= (\alpha_2 V_1 + \beta_2 V_1^2) V_3 \end{aligned} \quad (\text{II.1.15})$$

$\alpha_1$ ,  $\beta_1$ ,  $\alpha_2$  et  $\beta_2$  sont les paramètres du modèle. Calculons la variation de la charge totale pour le même chemin que le cas précédent:

$$\Delta Q_{gt} = \int_{V_{1,0}}^{V_{1,1}} dQ_{gt} \Big|_{(V_3=V_{3,0})} + \int_{V_{3,0}}^{V_{3,1}} dQ_{gt} \Big|_{(V_1=V_{1,1})} + \int_{V_{1,1}}^{V_{1,0}} dQ_{gt} \Big|_{(V_3=V_{3,1})} + \int_{V_{3,1}}^{V_{3,0}} dQ_{gt} \Big|_{(V_1=V_{1,0})} \neq 0 \quad (\text{II.1.16})$$

On voit bien qu'il existe un chemin pour lequel la charge n'est pas conservée. L'erreur est fondamentale d'un point de vue physique : pour chaque cycle de calcul, des charges supplémentaires vont être créées.

Dans le cas précédent, on calcule une grandeur ( $Q_{gt}$ ) à partir de deux de ses dérivées partielles :  $C_1$  et  $C_2$ .  $C_1$  et  $C_2$  dépendent des potentiels  $V_1$  et  $V_3$ , de même que la charge totale  $Q_{gt}$ . D'un point de vue physique, il faut considérer la charge totale comme une grandeur fondamentale sur laquelle s'applique le principe de conservation. C'est la charge et sa dépendance par rapport aux potentiels qui engendre une dépendance de la (ou des) capacité(s) en fonction des potentiels et non l'inverse, car, par définition, la (ou les) capacité(s) en dérive(nt). Il est nécessaire d'établir une hiérarchie sur les grandeurs (charges et capacités) comme dans le cas du courant, afin de respecter le principe de conservation de la charge. La figure II.1.7 illustre une charge dépendante de  $n$  potentiels, à partir de laquelle  $n$  capacités en dérivent.



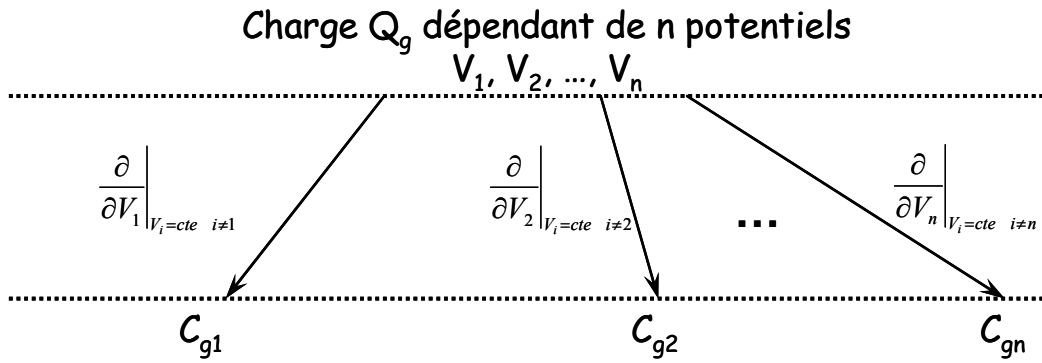


Figure II.1.7 Capacités  $C_{gi}$  dérivant d'une charge  $Q_g$  dépendant de  $n$  potentiels

Pour les MOSFET, et plus généralement les FET en source commune, nous avons deux terminaux de charges contrôlées par les potentiels externes  $V_{gs}$  et  $V_{ds}$  : celui de la grille et celui du drain où sont stockées respectivement la charge  $Q_g(V_{gs}, V_{ds})$  et la charge  $Q_d(V_{gs}, V_{ds})$ . Si l'on considère que la charge  $Q_g(V_{gs}, V_{ds})$  et la charge  $Q_d(V_{gs}, V_{ds})$  sont indépendantes entre elles, nous constatons qu'il en dérive quatre capacités [6]:

$$\begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} \equiv \begin{bmatrix} C_{gs} + C_{gd} & -C_{gd} \\ C_m - C_{gd} & C_{ds} + C_{gd} \end{bmatrix} \equiv \begin{bmatrix} \left. \frac{\partial Q_g}{\partial V_{gs}} \right|_{V_{ds}=cte} & \left. \frac{\partial Q_g}{\partial V_{ds}} \right|_{V_{gs}=cte} \\ \left. \frac{\partial Q_d}{\partial V_{gs}} \right|_{V_{ds}=cte} & \left. \frac{\partial Q_d}{\partial V_{ds}} \right|_{V_{gs}=cte} \end{bmatrix} \quad (\text{II.1.17})$$

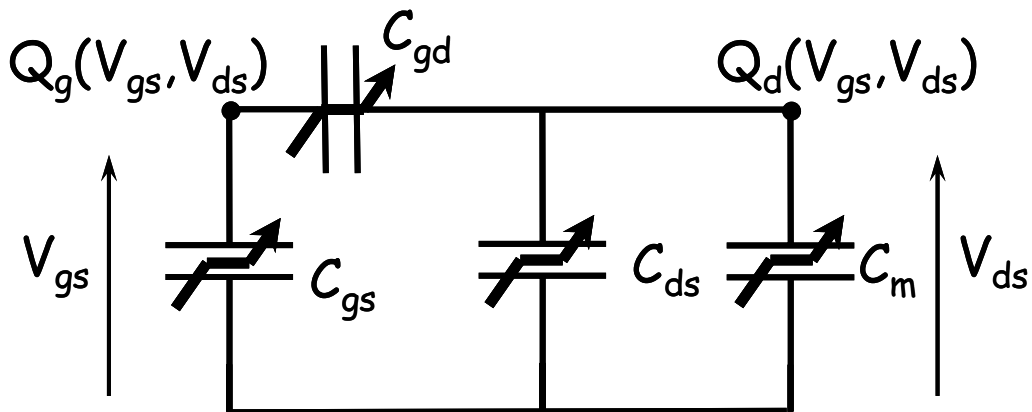


Figure II.1.8 Schéma équivalent électrique dérivant de deux charges  $Q_g$  et  $Q_d$

$C_m$  est une transcapacité et sa définition est analogue à celle de la transconductance. *A priori*, elle peut être placée entre n'importe quel nœud du schéma équivalent intrinsèque. Dans le cas de la relation (II.1.17),  $C_m$  est placée entre le drain et la source, en parallèle

avec la capacité  $C_{ds}$ . La relation (II.1.17) montre que la transcapacitance  $C_m$  assure l'indépendance entre les charges  $Q_g$  et  $Q_d$ . Ainsi, si la transcapacitance n'est pas considérée,  $Q_g$  et  $Q_d$  seront forcément liées par [7]:

$$\frac{\partial Q_g}{\partial V_{ds}} = \frac{\partial Q_d}{\partial V_{gs}} \quad (\text{II.1.18})$$

Le diagramme hiérarchique, pour les transistors FET à source commune, reliant les capacités aux charges, est illustré sur la figure II.1.9

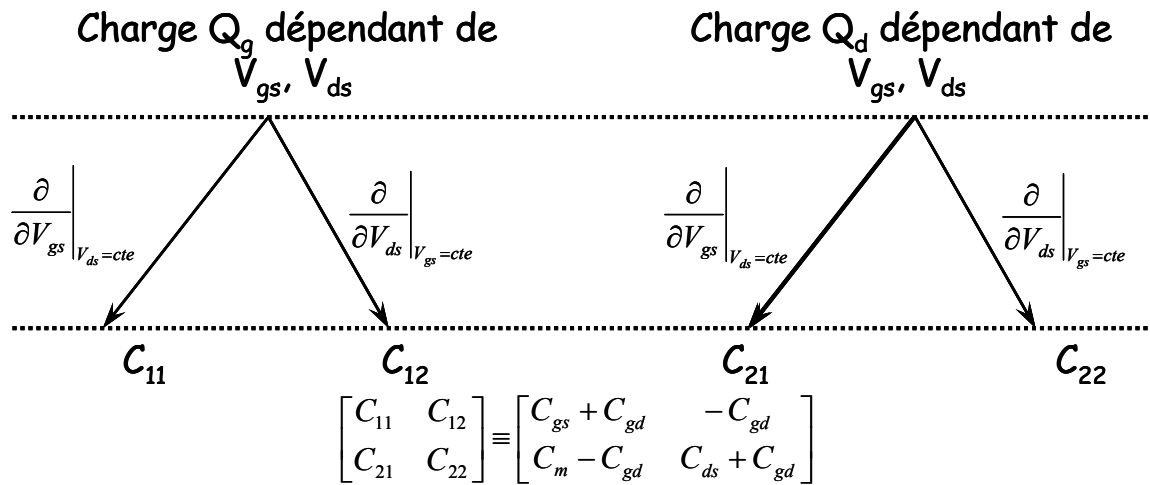


Figure II.1.9 Diagramme hiérarchique donnant la relation entre les capacités non linéaires et les charges  $Q_g$  et  $Q_d$

### II.1.3 Hypothèses et approximations pour le modèle des MOSFET

Dans le cadre de la modélisation non linéaire des MOSFET, nous considérons la non linéarité présentée par la charge de grille. La transcapacitance  $C_m$  n'est pas prise en compte. Par conséquent, la charge de drain va être directement liée à la charge de la grille par la relation (II.1.18).

Une autre approximation concerne la capacité  $C_{ds}$  entre le drain et la source. Par la suite, elle est considérée linéaire : son influence sur les propriétés non linéaires du composant est négligeable. De plus, la technique de détermination de cet élément ne donnant pas une bonne précision sur sa valeur, on ne peut pas en extraire une loi de variation en fonction de  $V_{gs}$  et  $V_{ds}$ .

## II.2 Modélisation grand signal de la source de courant $I_{ds}$

Dans ce paragraphe, nous allons discuter des équations grand signal qui ont été élaborées afin de décrire le courant de drain grand signal des composants MOS. Pour assurer une continuité entre les régimes de fonctionnement, une seule équation de courant doit être utilisée et doit être valable sur tous les régimes de fonctionnement. Ceci peut être facilement atteint avec une modélisation empirique. La modélisation empirique de courant non linéaire remonte au début des années 80, à l'époque où les composants à base de matériaux III-V (MESFET et HEMT) étaient en pleine expansion dans les applications microondes [8]-[11].

Il est évident que la validité d'un tel modèle va être très approximative dans certains régimes de fonctionnement, et très bonne dans d'autres. Mais, les applications hyperfréquences n'exigent pas, par exemple, une précision rigoureuse pour des polarisations sous le seuil car les composants fonctionnent en régime d'inversion.

### II.2.1 Modèle d'Angelov

Pour élaborer l'expression du courant de drain des transistors MOS, nous nous sommes basés sur un modèle empirique existant. Il s'agit du modèle de courant d'Angelov développé pour les FET III-V et publié en 1992, ce modèle étant déjà largement utilisé au sein de notre laboratoire [12]. Les équations décrivant le courant de drain sont données par :

$$I_{ds}(V_{gs}, V_{ds}) = I_{dA}(V_{gs}) I_{dB}(V_{ds}) \quad (\text{II.2.1})$$

Les facteurs  $I_{dA}$  et le facteur  $I_{dB}$  sont respectivement dépendants de la tension  $V_{gs}$  et de la tension  $V_{ds}$ . Analytiquement, l'équation proposée par Angelov est :

$$I_{ds} = I_{pk} (1 + \tanh(\Psi))(1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad (\text{II.2.2})$$

Dans (II.2.2),  $I_{pk}$  est le courant pour lequel la transconductance est maximale.  $\lambda$  et  $\alpha$  sont respectivement le paramètre de modulation du canal et le paramètre de saturation du composant.  $\Psi$  est un polynôme de  $V_{gs}$  centré sur  $V_{pk}$  donné par :

$$\Psi = P_1(V_{gs} - V_{pk}) + P_2(V_{gs} - V_{pk})^2 + P_3(V_{gs} - V_{pk})^3 + \dots \quad (\text{II.2.3})$$

$$V_{pk} = V_{pk0} + \gamma V_{ds} \quad (\text{II.2.4})$$

$V_{pk0}$  est la tension de grille pour laquelle la transconductance  $g_m$  est maximale.

Afin d'évaluer la capacité de ce modèle à décrire correctement le courant des MOS, nous allons étudier dans un premier temps, chacune des fonctions constituant l'équation du courant et l'influence de chacun des paramètres. Par la suite, nous présenterons une comparaison entre des mesures statiques et le modèle de courant. Pour finir, nous proposons une équation de courant modifiée, élaborée et adaptée pour les composants MOS.

Avant d'explicitier chacun des éléments du courant, il est nécessaire d'étudier la fonction  $\tanh(x)$  ainsi que sa dérivée. La dérivée de cette fonction est donnée par :

$$\frac{\partial}{\partial x}(\tanh(x)) = 1 - \tanh^2(x) \quad (\text{II.2.5})$$

Les deux fonctions sont illustrées sur le graphe II.9 pour  $x \in [-10, 10]$ .

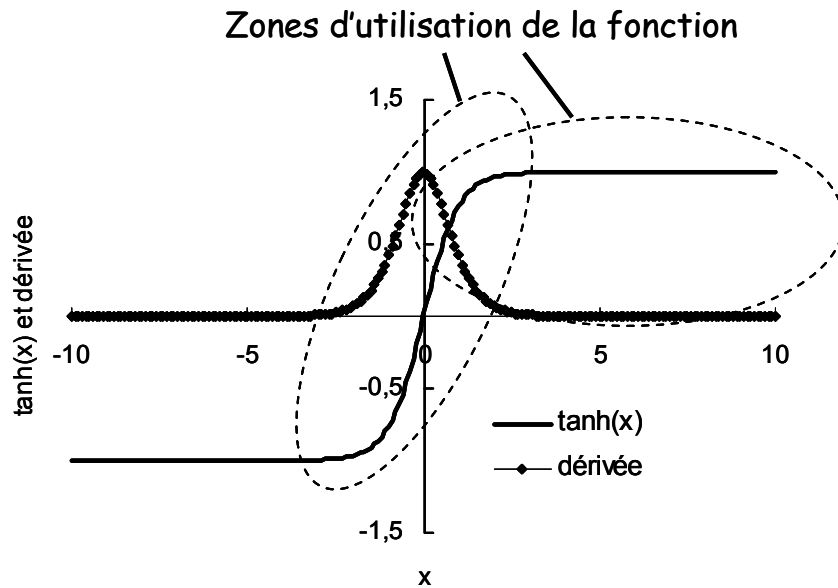


Figure II.2.1 Fonction  $\tanh(x)$  et sa dérivée dans l'intervalle  $[-10, 10]$

La fonction  $\tanh$  est utilisée à deux reprises dans le modèle d'Angelov. L'un des deux termes modélise les variations du courant  $I_{ds}(V_{gs}, V_{ds})$  en fonction de  $V_{ds}$  dans le régime linéaire et le régime de saturation. Le deuxième terme reprend la  $\tanh$  afin de décrire les variations du courant par rapport à  $V_{gs}$ . La figure II.2.1 montre les deux intervalles où la

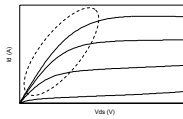
fonction  $\tanh$  est utilisée. Le tableau II.1 résume les tendances de variation de cette fonction.

$x$	$-\infty$	$-e$	$0$	$e$	$\infty$
$\tanh$	-1	$\nearrow$	0	$\nearrow$	1
dérivée	0	$\nearrow$	Max	$\searrow$	0

Tableau II.1 Tendances de variations de la fonction  $\tanh(x)$  et de sa dérivée

II.2.1.a Le terme  $\tanh(\alpha V_{ds})$

$$I_{ds} = I_{pk} (1 + \tanh(\Psi))(1 + \lambda V_{ds}) \tanh(\alpha V_{ds})$$



Dans les équation (II.2.1-II.2.4), le terme  $\tanh(\alpha V_{ds})$  décrit le courant de drain d'un transistor en fonction du potentiel  $V_{ds}$ . Nous avons tracé la fonction  $\tanh(\alpha V_{ds})$  pour différentes valeurs de  $\alpha$ . Ceci est illustré sur la figure II.2.2.

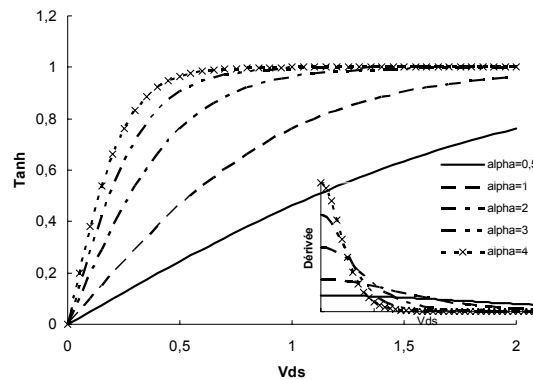


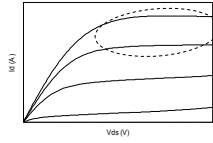
Figure II.2.2 Evolution du terme  $\tanh(\alpha V_{ds})$  en fonction de  $V_{ds}$  pour diverses valeurs de  $\alpha$ . La sous-figure montre la dérivée dans le même intervalle de  $V_{ds}$

Ce paramètre définit la pente du courant  $I_{ds}$  dans la zone linéaire, ainsi que la valeur pour laquelle le composant passe en régime de saturation. On en déduit que le paramètre  $\alpha$  doit toujours être positif et que sa valeur doit être telle que :

$$\alpha = \frac{e}{V_{dssat}} \tag{II.2.6}$$

avec  $V_{dssat}$  la valeur de  $V_{ds}$  pour laquelle on a la saturation.

II.2.1.b Le terme  $(1 + \lambda V_{ds})$



$$I_{ds} = I_{pk} (1 + \tanh(\Psi)) (1 + \lambda V_{ds}) \tanh(\alpha V_{ds})$$

Le terme  $\tanh(\alpha V_{ds})$  est modulé par une fonction linéaire de  $V_{ds}$ ,  $(1 + \lambda V_{ds})$ . Ceci a pour incidence d'augmenter la pente du courant et d'assurer une dérivée ( $g_d$ ) non nulle en saturation. La figure II.2.3 montre le produit des éléments  $\tanh(\alpha V_{ds})$  et  $(1 + \lambda V_{ds})$  en fonction de  $V_{ds}$ , paramétrée en  $\lambda$ . La valeur de  $\alpha$  a été fixée à 2,2 ( $V_{dssat} = 1,23 V$ ). La sous-figure II.2.3 illustre la dérivée ( $g_d$ ) de la fonction précédente par rapport à  $V_{ds}$ . On note que le signe de  $g_d$  est donné directement par celui de  $\lambda$ . Ainsi, la conductance de drain en saturation est définie par le paramètre  $\lambda$ .

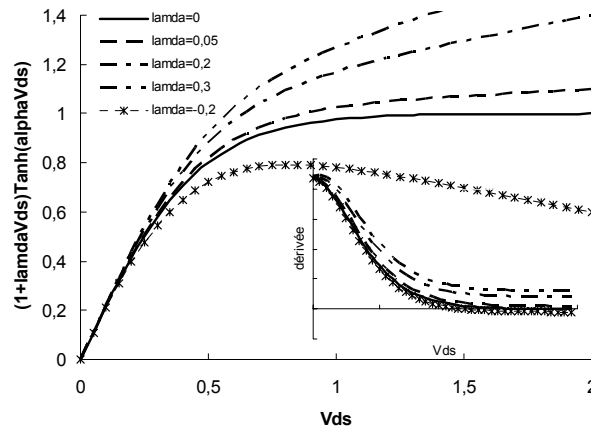
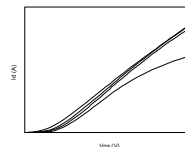


Figure II.2.3 Evolution du produit  $(1 + \lambda V_{ds}) \tanh(\alpha V_{ds})$  en fonction de  $V_{ds}$  pour diverses valeurs de  $\lambda$ . La sous-figure montre la dérivée dans le même intervalle de  $V_{ds}$

II.2.1.c Le terme  $(1 + \tanh(\Psi))$



$$I_{ds} = I_{pk} (1 + \tanh(\Psi)) (1 + \lambda V_{ds}) \tanh(\alpha V_{ds})$$

Ce terme décrit la commande du courant par le potentiel de grille  $V_{gs}$  et donc l'effet transistor. A partir de ce terme est directement définie la transconductance  $g_m$ . Ici, le modèle reprend les propriétés de  $\tanh$  dans l'intervalle :  $-3 < \Psi(V_{gs}) < 2$ .

La figure II.2.4 montre la fonction  $(1+\tanh(\Psi))$  ainsi que sa dérivée ( $g_m$ ). A côté, sont illustrés  $\Psi$  et sa dérivée en fonction de  $V_{gs}$ . La figure II.2.5 montre la pente sous le seuil ainsi que la valeur du courant à  $V_{gs}=0$ .

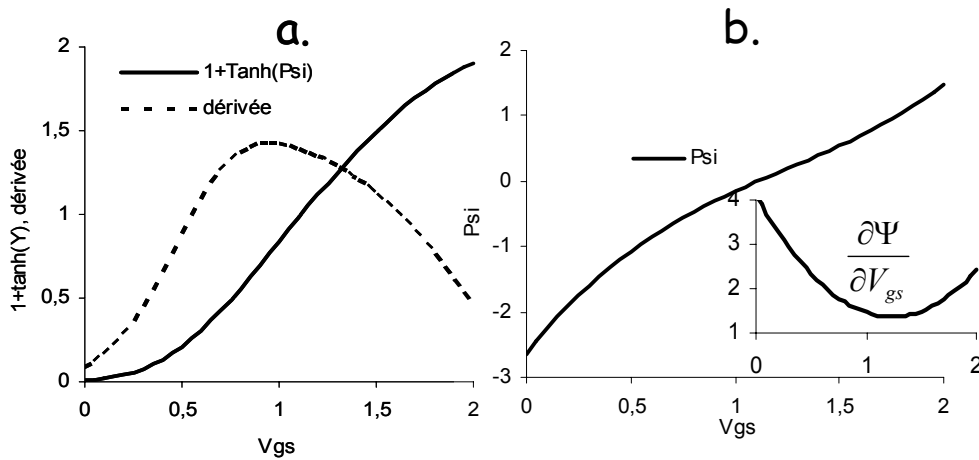


Figure II.2.4.a Evolution de  $(1+\tanh(\Psi))$  et de sa dérivée en fonction de  $V_{gs}$ . b. Evolution de la fonction  $\Psi$  et de sa dérivée

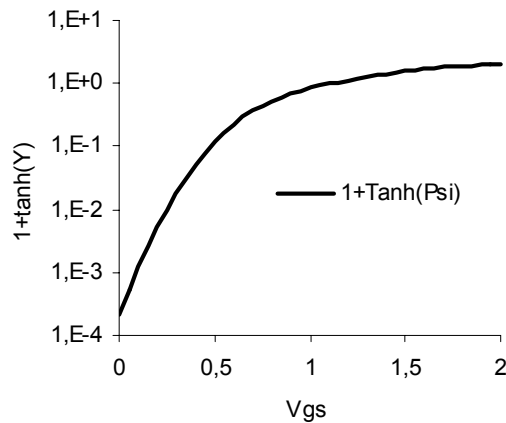


Figure II.2.5  $(1+\tanh(\Psi))$  en fonction de  $V_{gs}$  en échelle logarithmique. Dépendance de la pente sous le seuil de  $\Psi$

## II.2.2 Modifications sur le modèle de courant.

### II.2.2.a. Saturation.

La figure II.2.6 montre le courant, mesuré et calculé par le modèle d'Angelov, d'un transistor sur substrat SOI FD de longueur de grille de  $0.25 \mu\text{m}$  et de largeur de  $8*12.5 \mu\text{m}$ . Les paramètres de courant ( $I_{pk}$ ,  $V_{pk0}$ ,  $\lambda$ ,  $\alpha$ ,  $\gamma$  et  $P_1$ ,  $P_2$ ,  $P_3$ ) ont été extraits suivant la méthode proposée par Angelov et une procédure d'optimisation [9].

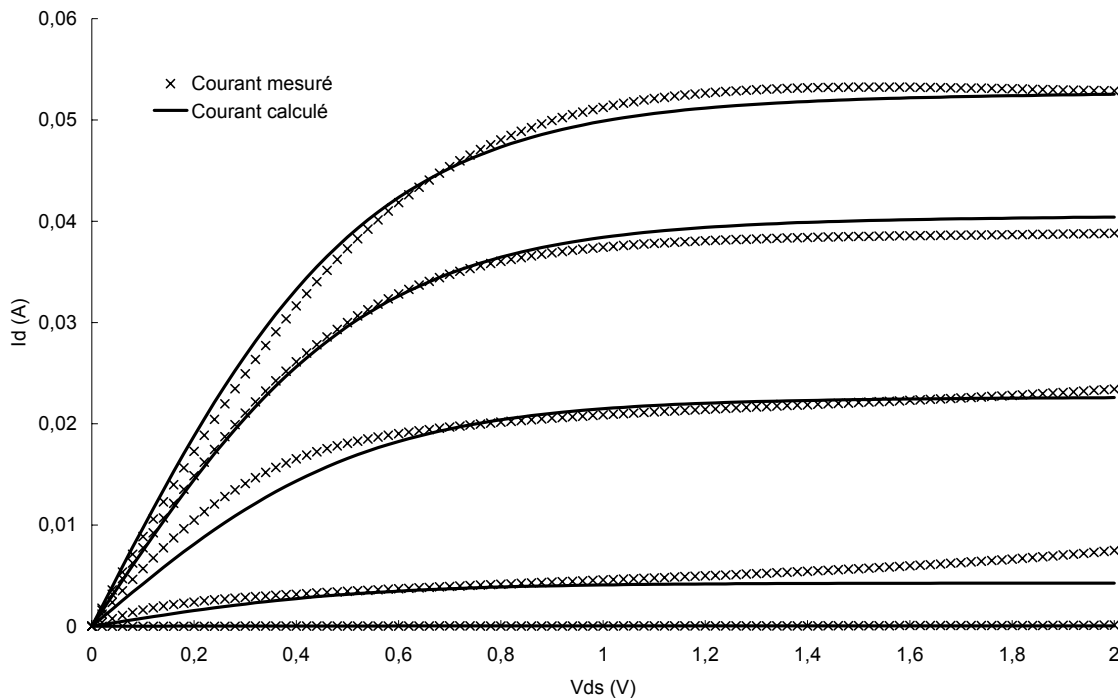


Figure II.2.6 Courant de drain  $I_{ds}$  mesuré et courant calculé à partir du modèle d'Angelov, d'un transistor MOS SOI FD de longueur de grille  $L_g=0.25 \mu\text{m}$

On remarque que, dans le régime de saturation du composant, le courant décrit par le modèle atteint une pente constante et indépendante de la polarisation de grille (faible ou forte inversion). Or, dans les composants MOS de faible longueur de grille, la conductance de drain en saturation n'est pas constante, et dépend aussi de la polarisation  $V_{gs}$ . Pour des faibles valeurs de  $V_{gd}$  (forte inversion et saturation), la conductance  $g_d$  est faible car, dans ce régime, le pincement du canal, dépendant du champ électrique entre la grille et le drain, est faible. Le terme  $I + \lambda V_{ds}$  n'est pas adapté à la description de ce phénomène. Pour cela, il a été développé en une fonction polynomiale de  $V_{gs} - V_{ds}$  :



$$1 + \lambda V_{ds} \rightarrow P(V_{gd}) = 1 + \lambda_1 (V_{gs} - V_{ds}) + \lambda_2 (V_{gs} - V_{ds})^2 + \lambda_3 (V_{gs} - V_{ds})^3 = 1 + \lambda_1 V_{gd} + \lambda_2 V_{gd}^2 + \lambda_3 V_{gd}^3 \quad (\text{II.2.7})$$

Sur la figure II.2.7, sont tracés les termes  $1 + \lambda V_{ds}$  et  $P(V_{gd})$ .

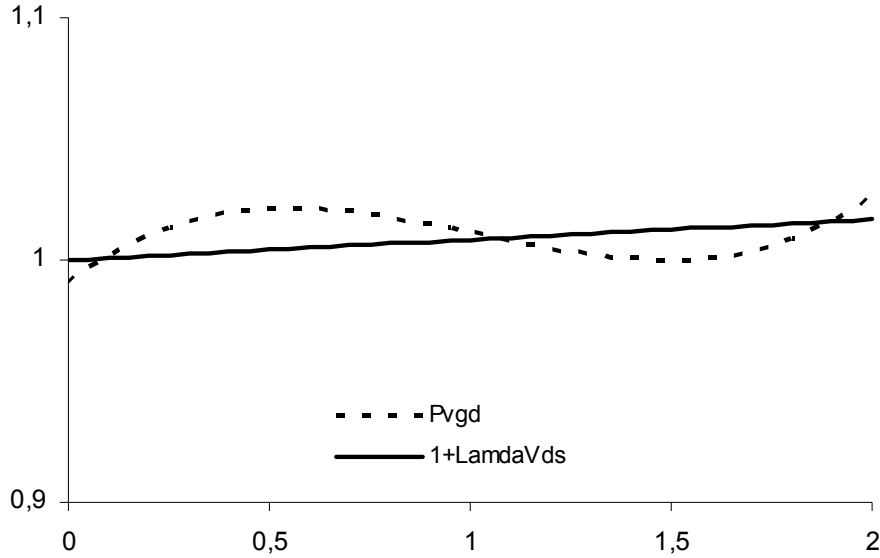


Figure II.2.7 Terme  $(1 + \lambda V_{ds})$  et terme  $P(V_{gd})$  en fonction de  $V_{ds}$

### II.2.2.b Zone linéaire

Nous observons aussi (figure II.2.6) que la pente dans la zone linéaire ainsi que le passage en saturation ne peuvent être correctement modélisés par le terme  $\tanh(\alpha V_{ds})$ . Comme dans le cas précédent, le passage en saturation est donné indépendant de la polarisation de la grille. Dans les MOS, la valeur de  $V_{dssat}$ , pour laquelle nous avons saturation du courant, est d'autant plus élevée que l'inversion est forte. Afin de faire évoluer la valeur du passage à la saturation, nous proposons un terme supplémentaire dépendant de  $V_{gs}$  :

$$\tanh(\alpha V_{ds}) \rightarrow \tanh[(\alpha_1 + \alpha_2 V_{gs}) V_{ds}] \quad (\text{II.2.8})$$

La valeur du paramètre  $\alpha_2$  est négative. Ainsi, en régime de forte inversion ( $V_{gs}$  élevée), la valeur de la somme  $(\alpha_1 + \alpha_2 V_{gs})$  est plus faible que  $\alpha$ , et le passage en saturation se fait pour une tension de drain  $V_{ds}$  plus élevée.

La figure II.2.8 montre les termes  $\tanh(\alpha V_{ds})$  et  $\tanh((\alpha_1 + \alpha_2 V_{gs}) V_{ds})$  pour  $V_{gs} = 1,5 \text{ V}$ .

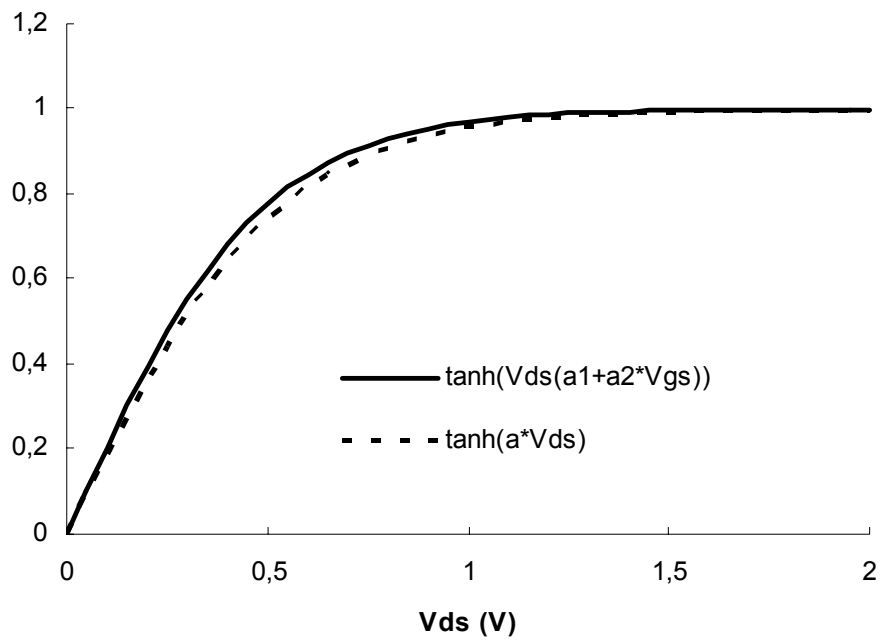


Figure II.2.8 Termes  $\tanh(\alpha_1 V_{ds})$  et  $\tanh(V_{ds}(\alpha_1 + \alpha_2 V_{gs}))$  en fonction de  $V_{ds}$

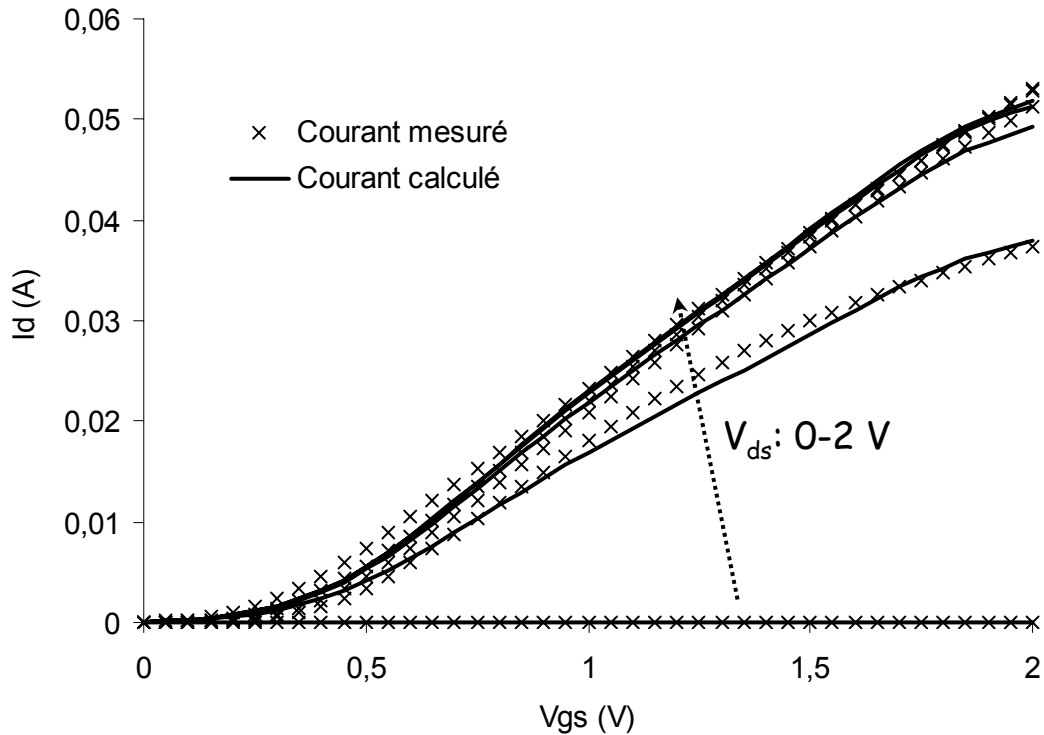
II.2.2.c Commande de  $I_{ds}$  par  $V_{gs}$ 


Figure II.2.9 Courant de drain  $I_{ds}$  mesuré et courant calculé à partir du modèle d'Angelov, d'un transistor MOS SOI FD de longueur de grille  $L_g=0.25 \mu m$

Tout l'effet transistor est décrit par le terme  $(1+\tanh(\Psi))$ . La figure II.2.9 montre le courant  $I_{ds}$  mesuré et calculé par le modèle de Angelov, en fonction de  $V_{gs}$  pour différentes valeurs de  $V_{ds}$ . Les valeurs des paramètres sont les mêmes que précédemment (figure II.2.6). On note que la courbure du courant n'est pas bien décrite, surtout pour de faibles valeurs de  $V_{ds}$ . Afin d'améliorer la sensibilité du modèle d'Angelov et de mieux décrire l'évolution du courant en fonction de  $V_{gs}$ , nous avons rajouté un polynôme de  $V_{gs}$  au 3<sup>e</sup> ordre :

$$P(V_{gs}) = K_0 + K_1 V_{gs} + K_2 V_{gs}^2 + K_3 V_{gs}^3 \quad (\text{II.2.9})$$

Le polynôme est illustré sur la figure II.2.10. On remarque qu'il évolue autour de 1. Ainsi, il vient moduler la fonction  $\tanh(\Psi)$  et permet de corriger les éventuels écarts entre le courant calculé par la fonction  $(1+\tanh(\Psi))$ , et celui mesuré.

La figure II.2.11 montre les termes  $(1+\tanh(\Psi))$  et  $(1+P(V_{gs})\tanh(\Psi))$  pour  $V_{ds}=1.5 V$ .

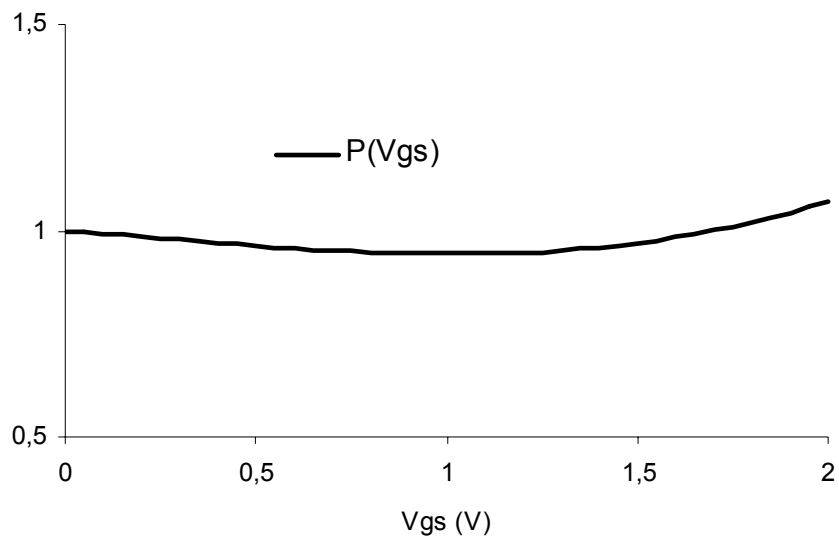


Figure II.2.10 Evolution du polynôme  $P(V_{gs})$  en fonction de  $V_{gs}$ , autour de la valeur 1

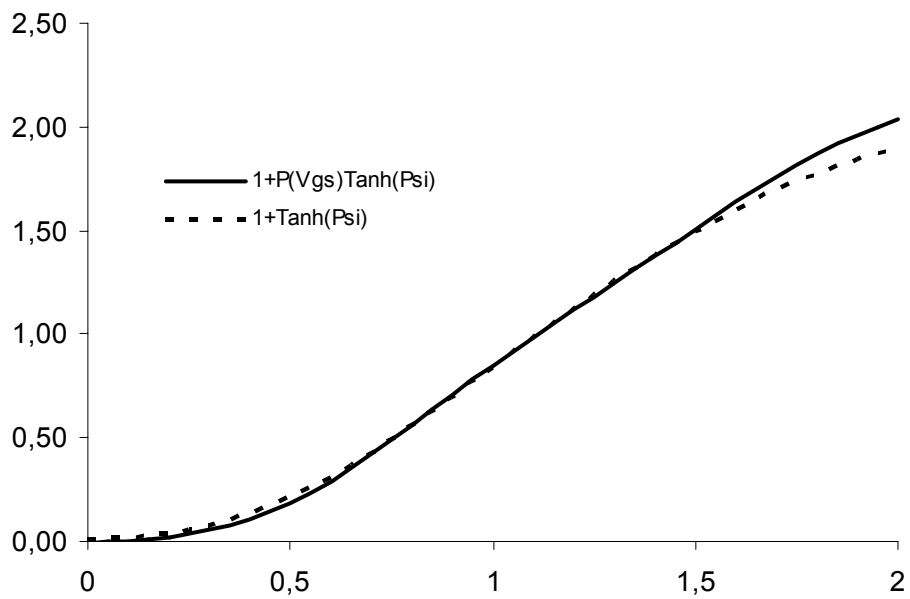


Figure II.2.11 Fonctions  $(1 + \tanh(\Psi))$  et  $(1 + P(V_{gs})\tanh(\Psi))$  en fonction de  $V_{gs}$  à  $V_{ds} = 1.5$  V

### II.2.2.d Courant total

L'équation finale de courant obtenue après toutes les modifications données ci-dessus est donnée par :

$$I_{ds} = I_{pk} (1 + P(V_{gs})) \tanh(\Psi) P(V_{gd}) \tanh((\alpha_1 + \alpha_2 V_{gs}) V_{ds}) \quad (\text{II.2.10})$$

avec :

$$\Psi = P_1(V_{gs} - V_{pk}) + P_2(V_{gs} - V_{pk})^2 + P_3(V_{gs} - V_{pk})^3 \quad (\text{II.2.11})$$

$$P(V_{gs}) = K_0 + K_1 V_{gs} + K_2 V_{gs}^2 + K_3 V_{gs}^3 \quad (\text{II.2.12})$$

$$P(V_{gd}) = 1 + \lambda_1 V_{gd} + \lambda_2 V_{gd}^2 + \lambda_3 V_{gd}^3 \quad (\text{II.2.13})$$

Le nombre total des paramètres du modèle de courant s'élève à 14. Il est double à celui du modèle initial d'Angelov, mais reste toujours raisonnable. On verra, dans le paragraphe (II.5) traitant de l'extraction des paramètres, que le temps d'extraction est toujours maintenu à un faible niveau.

La figure II.2.12 montre le courant mesuré du même transistor que précédemment et celui calculé avec le nouveau modèle en fonction de  $V_{ds}$ . Nous remarquons une nette amélioration de la description du courant par rapport au modèle d'Angelov (figure II.2.6). Il en est de même pour la commande du courant à partir de la polarisation de la grille. Une nette amélioration est apportée par le modèle, comme le montre la figure II.2.13 comparée à II.2.9.

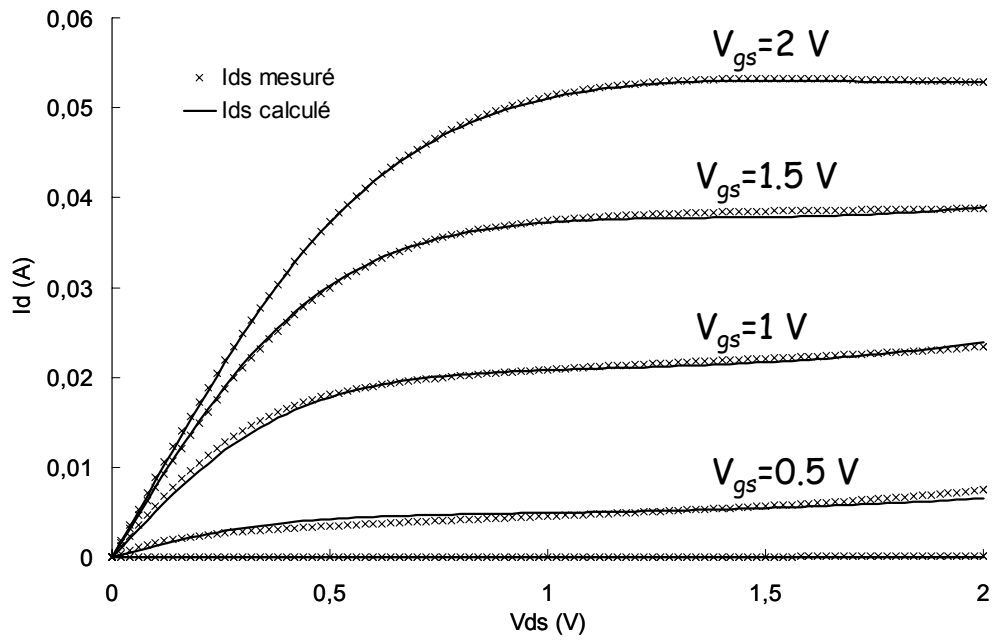


Figure II.2.12 Courant de drain  $I_{ds}$  en fonction de  $V_{ds}$ , mesuré et calculé par le nouveau modèle de courant

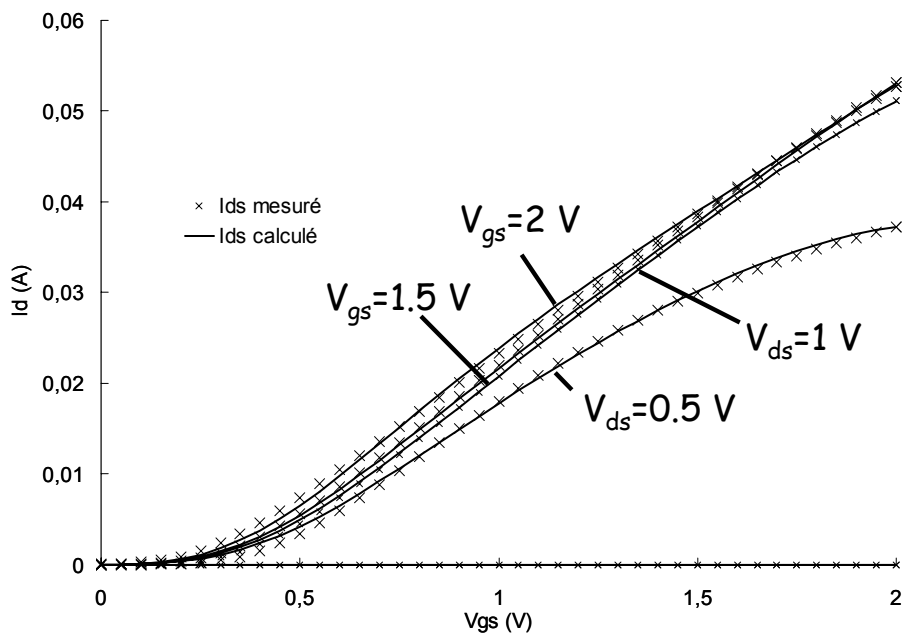


Figure II.2.13 Courant de drain  $I_{ds}$  en fonction de  $V_{gs}$ , mesuré et calculé par le nouveau modèle de courant

## II.3 Modélisation de l'effet *kink*

Le mécanisme de l'effet *kink* a été présenté dans le premier chapitre. Il n'apparaît pas dans tous les composants MOS, néanmoins son influence sur la linéarité et les caractéristiques électriques ne peut pas être négligée. Le *kink* a pour conséquence de dégrader la conductance de drain, en ajoutant une « bosse » dans le régime de saturation. La prise en compte d'un tel effet dans un modèle est d'autant plus importante que, dans de nombreuses applications les transistors sont polarisés en régime saturation. D'un autre côté, nous avons vu que le *kink* est un effet basse fréquence et disparaît quand la fréquence correspondant au régime de fonctionnement est élevée. Le caractère dispersif du phénomène a pour conséquence de rendre la modélisation beaucoup plus complexe.

Afin d'étudier et de modéliser cet effet, nous avons utilisé deux composants d'une technologie de *ST microelectronics*, de longueur de grille de  $0.12 \mu\text{m}$ , et de largeur totale de  $60 \mu\text{m}$ , avec 30 doigts. L'un des deux comprend des prises *body*, l'autre un *body* flottant. Les deux composants ont exactement la même technologie et, par conséquent, nous allons considérer que les différences entre leurs caractéristiques sont dues à la présence ou non d'une prise *body*.

Comme dans le cas du courant de drain, nous avons choisi une approche phénoménologique pour décrire l'équation grand signal décrivant le *kink*. La modélisation repose sur deux axes :

- Créer une équation de courant décrivant le *kink*.
- Prendre en compte la dispersion fréquentielle du phénomène.

### II.3.1 Observations sur le courant des MOSFET à *body* flottant

Pour modéliser cet effet, nous avons pris en compte des problèmes de hiérarchie entre un courant et des conductances, vus précédemment. Par conséquent, l'équation décrivant le *kink* est un courant parallèle au courant de drain.

Sur la figure II.3.1 sont représentées les caractéristiques statiques du composant à *body* flottant et du composant avec des prises *body*, pour une polarisation de grille fixe ( $V_{gs}=0.8 \text{ V}$ ). On remarque que les courants des deux composants sont identiques jusqu'à une certaine valeur de  $V_{ds}$ , au-delà de laquelle le *floating body* présente le *kink*. Ceci se traduit par une « bosse » sur la conductance de drain dans la zone de démarrage du *kink*. Ensuite, le courant sature à nouveau ( $V_{ds} > 0.75 \text{ V}$ ), et la conductance de drain reprend une allure

« normale » (figure II.3.2). Notons que la valeur de la conductance  $g_d$  en saturation post-*kink* est légèrement supérieure à celle du composant avec prise *body*.

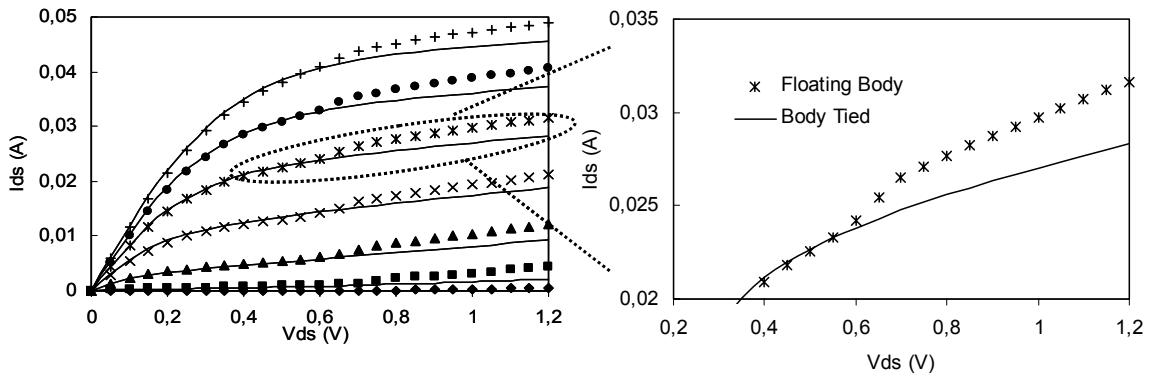


Figure II.3.1 Caractéristiques de courant de drain  $I_{ds}$  statique d'un MOSFET à prises *body* et d'un MOSFET à *body* flottant, de même technologie

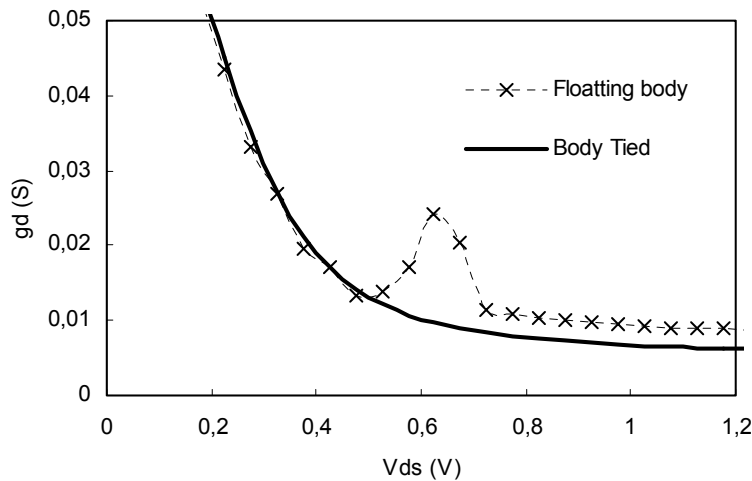


Figure II.3.2 Conductance de drain statique  $g_d$  du transistor à prises *body* et du transistor à *body* flottant

Afin de faciliter l'observation du phénomène, nous appliquons un principe de superposition : la différence entre les caractéristiques statiques des deux composants est essentiellement due au phénomène *kink* et le courant résultant est noté  $I_{kink}$ . Ainsi, on définit comme courant de *kink* :

$$I_{kink} = I_{dsFloatingBody} - I_{dsBodyTied} \quad (\text{II.3.1})$$



Dérivant du même principe, nous pouvons définir une conductance due au courant *kink* que nous appelons  $g_{d\_kink}$  :

$$g_{d\_kink} = g_{d\_FloatingBody} - g_{d\_BodyTied} \quad (II.3.2)$$

### II.3.2 Elaboration d'une équation de *kink*.

#### II.3.2.a Influence de la polarisation du drain

Les figures II.3.3.a et II.3.3.b montrent respectivement le courant  $I_{kink}$  et la conductance  $g_{d\_kink}$ , sur toutes les polarisations du composant. Nous nous intéressons uniquement à la zone post-*kink* et on va supposer aussi que les valeurs non nulles du courant avant *kink* sont dues à des effets de dispersion technologique. On peut remarquer que l'allure de  $I_{kink}$  au delà de son seuil présente une forte ressemblance avec les caractéristiques statiques d'un transistor quelconque, avec une zone linéaire et une zone de saturation.

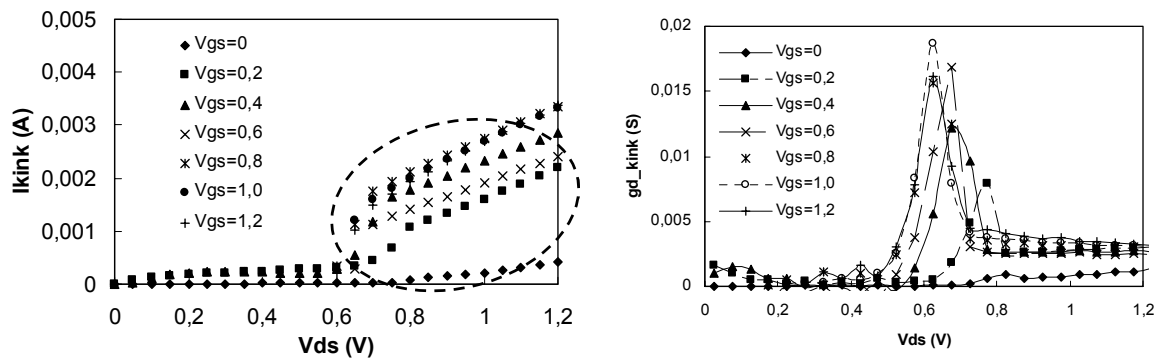


Figure II.3.3 Courant  $I_{kink}$  et conductance  $g_{d\_kink}$  en fonction de  $V_{ds}$  pour diverses valeurs de  $V_{gs}$

Ainsi, la première fonction mathématique retenue est la  $\tanh(\alpha V_{ds})$ , étudiée dans le paragraphe II.2. Elle est illustrée sur la figure II.3.4. Afin de décaler le point de démarrage de la zone linéaire, nous avons fait une translation sur l'axe des ordonnées de  $V_{Kink\_seuil}$  et avons ajouté l'unité :

$$\tanh(\alpha V_{ds}) \Rightarrow 1 + \tanh(\alpha(V_{ds} - V_{kink\_seuil})) \quad (II.3.3)$$

La prochaine étape a consisté à contrôler la pente en saturation. Pour cela, nous avons effectué le produit entre la polarisation  $V_{ds}$  et l'équation (II.3.3). Un deuxième terme a été

rajouté à ce niveau, ayant pour but une meilleure commande de la saturation. L'équation devient donc :

$$1 + \tanh(\alpha(V_{ds} - V_{kink\_seuil})) \Rightarrow V_{ds} (1 + cV_{ds}) [1 + \tanh(\alpha(V_{ds} - V_{kink\_seuil}))] \quad (\text{II.3.4})$$

Toutes les étapes sont illustrées sur la figure II.3.4.

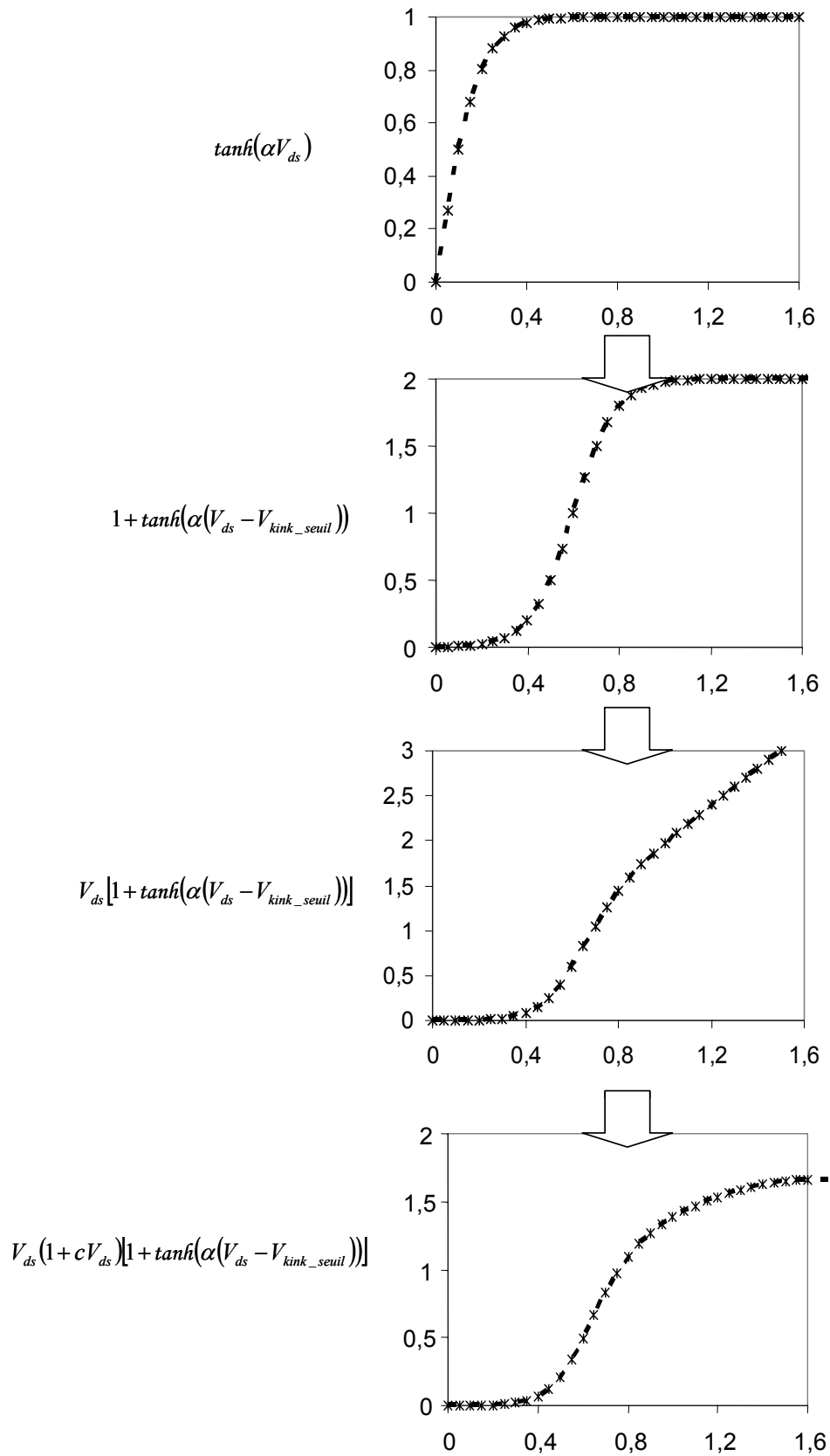


Figure II.3.4 Quatre premières étapes d'élaboration d'une équation pour le courant  $I_{kink}$

### II.3.2.b Influence de la polarisation de la grille

La caractéristique globale du composant FB (figure II.3.5) montre que la tension de seuil du *kink* (représentée par  $V_{kink\_seuil}$  dans (II.3.3) et (II.3.4)) varie en fonction de la polarisation de la grille. On note que la tendance générale est une légère réduction de  $V_{kink\_seuil}$  quand  $V_{gs}$  croît. Pour modéliser ceci, nous avons remplacé le terme  $V_{kink\_seuil}$  par :

$$V_{kink\_seuil} \Rightarrow \frac{b}{\sqrt{V_{gs} + cte_1}} \quad (\text{II.3.5})$$

$b$  est un paramètre du modèle et  $cte_1$  est un nombre positif qui permet d'éviter les divisions par zéro lors du calcul numérique. La figure II.3.6.b montre l'évolution de l'équation du *kink* paramétrée en  $V_{gs}$ .

Par ailleurs, la valeur du courant de saturation du *kink* dépend aussi de la polarisation  $V_{gs}$ . Afin de contrôler le courant de saturation en fonction de  $V_{gs}$ , nous avons modulé la dernière équation obtenue par  $V_{gs}$ . Après cette transformation, on obtient :

$$V_{ds} (1 + cV_{ds}) \left[ 1 + \tanh \left( \alpha \left( V_{ds} - \frac{b}{\sqrt{V_{gs} + cte_1}} \right) \right) \right] \Rightarrow$$

$$V_{gs} V_{ds} (1 + cV_{ds}) \left[ 1 + \tanh \left( \alpha \left( V_{ds} - \frac{b}{\sqrt{V_{gs} + cte_1}} \right) \right) \right] \quad (\text{II.3.6})$$

Les étapes de construction de l'équation du courant de *kink* sont données sur la figure II.3.6.

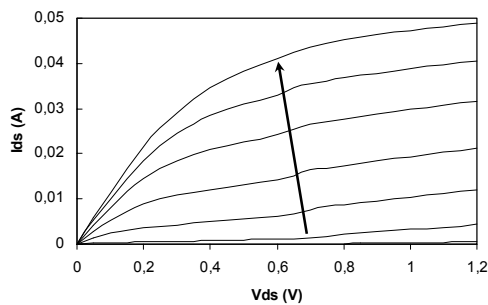


Figure II.3.5 Caractéristique statique d'un composant à *body* flottant. Evolution de la tension de seuil du *kink* par rapport à la polarisation de la grille  $V_{gs}$

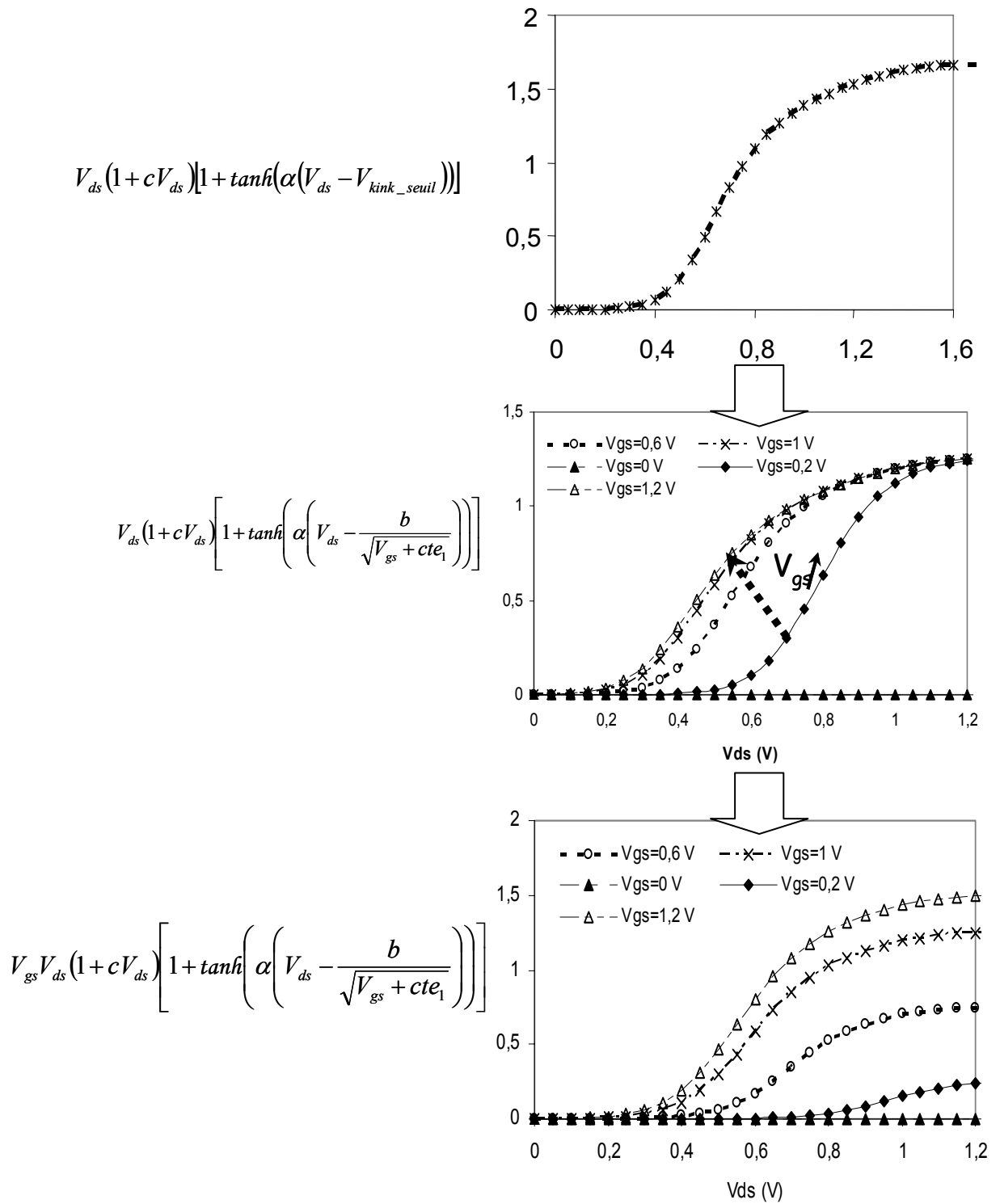


Figure II.3.6 Etapes introduisant l'influence de la polarisation de la grille dans l'équation du courant  $I_{kink}$ .

Finalement, la valeur absolue du courant *kink* va dépendre d'un quatrième et dernier paramètre  $I_{ks}$  :

$$I_{kink} = I_{ks} V_{gs} V_{ds} (1 + c V_{ds}) \left[ 1 + \tanh \left( \alpha \left( V_{ds} - \frac{b}{\sqrt{V_{gs} + cte_1}} \right) \right) \right] \quad (\text{II.3.7})$$

La courbe de l'équation finale est illustrée sur la figure II.3.7. Notons que l'équation établie présente un point de discontinuité : Si  $V_{gs} = -cte_1$  ou de valeur proche de  $cte_1$ , le rapport  $\frac{b}{\sqrt{V_{gs} - cte_1}}$  atteint des valeurs proches de l'infini. Ceci pose des problèmes de discontinuité et de calcul numérique, malgré le fait que la fonction  $\tanh(x)$  soit bien définie à  $\pm\infty$ . Afin d'éviter ces problèmes, nous définissons la fonction de  $I_{kink}$  de la manière suivante :

$$I_{kink} = \begin{cases} I_{ks} V_{gs} V_{ds} (1 + c V_{ds}) \left[ 1 + \tanh \left( \alpha \left( V_{ds} - \frac{b}{\sqrt{V_{gs} + cte_1}} \right) \right) \right] & V_{gs} \geq 0 \\ 0 & V_{gs} < 0 \end{cases} \quad (\text{II.3.8})$$

A la valeur 0, la fonction proposée a une valeur nulle qui est maintenue pour des potentiels de grille négatifs.

Dans un souci de donner plus de détails sur l'équation du courant de *kink*, nous avons étudié l'influence et la sensibilité des paramètres de ce modèle ( $I_{ks}$ ,  $a$ ,  $b$  et  $c$ ). Les résultats de cette étude sont donnés en annexe II.A.1.

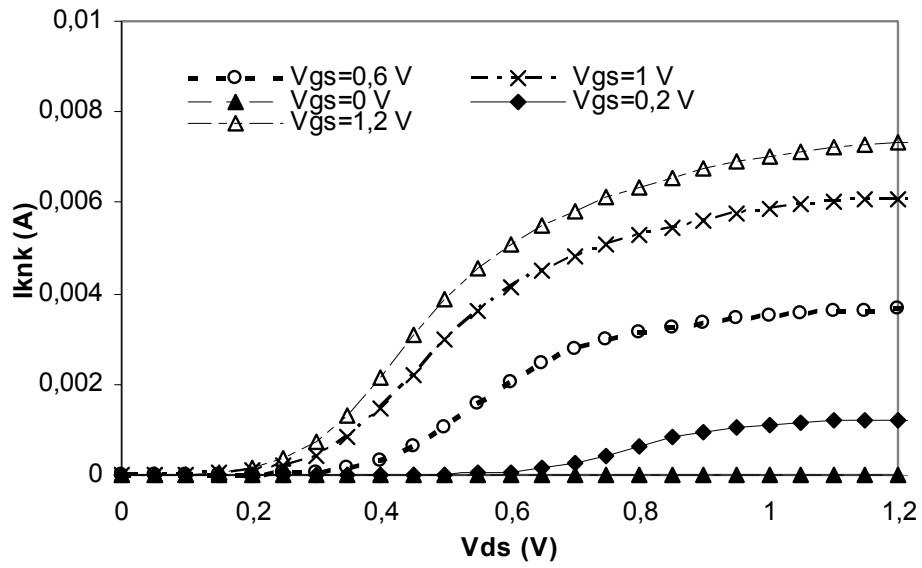


Figure II.3.7 Courbe de l'équation du courant de kink en fonction de  $V_{ds}$  pour diverses valeurs de  $V_{gs}$

### II.3.3 Dispersion fréquentielle

Sur la figure II.3.8 est tracée la conductance de drain  $g_d$  mesurée en fonction de la polarisation statique du drain  $V_{ds0}$ , pour diverses fréquences, d'un transistor SOI PD FB de longueur de grille  $L_g=0.12 \mu\text{m}$  et de largeur  $W=30*2 \mu\text{m}$ . Les mesures ont été effectuées avec l'analyseur d'impédance *HP-4192A*. Le schéma du banc de mesure est illustré sur la figure II.3.9.

Nous observons que la conductance de drain présente un maximum d'effet *kink* en régime statique, pour la plage de polarisations de drain entre  $0.5$  et  $0.9 \text{ V}$ . En régime dynamique, le maximum de la conductance  $g_d$  a tendance à s'atténuer si la fréquence augmente. Par ailleurs, la tension de drain pour laquelle nous avons le maximum de l'effet *kink* augmente en fonction de la fréquence.

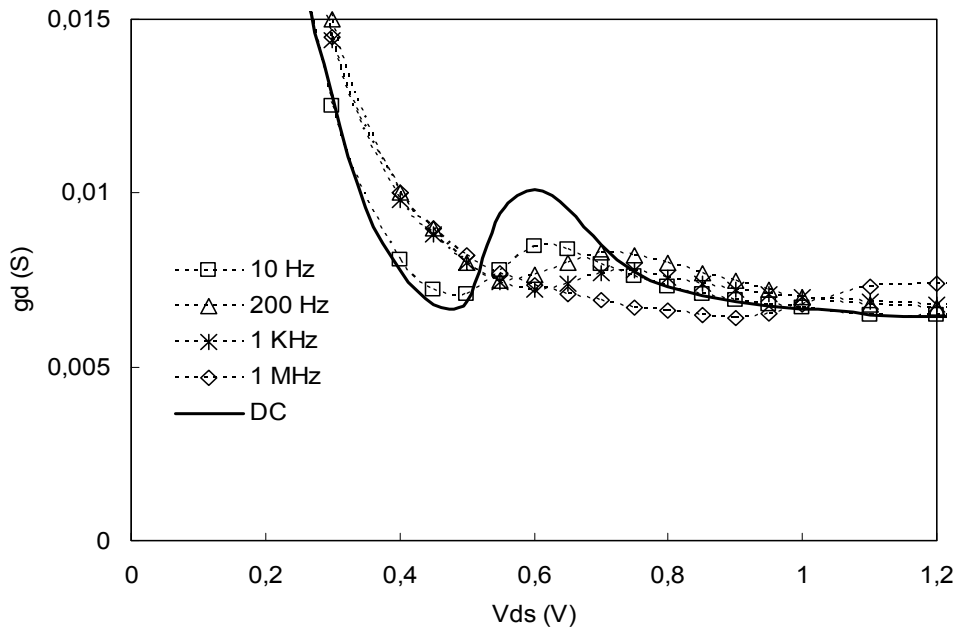


Figure II.3.8 Conductance de drain mesurée en fonction de la polarisation statique du drain, pour des fréquences allant de 0 à 1 MHz.  $V_{gs0}=0.6\text{V}$ . Les mesures ont été effectuées à l'aide d'un analyseur d'impédance *HP-4192A*. Caractéristiques du transistor :  $L_g=0.12 \mu\text{m}$ ,  $W=60 \times 1 \mu\text{m}$ .



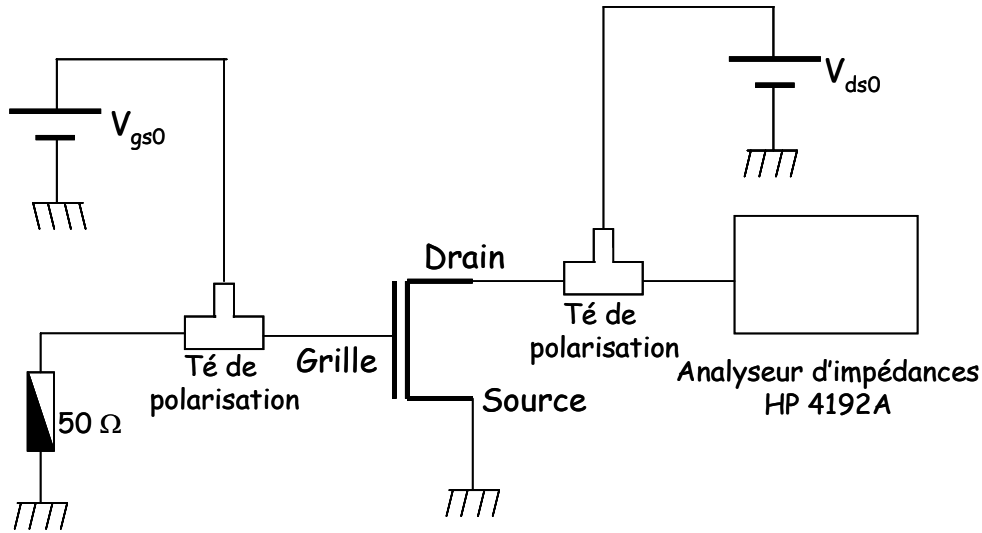


Figure II.3.9 Représentation schématique du banc de mesures basses fréquences monté pour la mesure de la conductance de drain à diverses fréquences.

Afin de faciliter la modélisation du phénomène, nous considérons que l'évolution fréquentielle observée sur la conductance  $g_d$  résulte de la dispersion fréquentielle du courant. Nous devons donc introduire dans l'équation (II.3.8), élaborée pour le courant de l'effet *kink*, un terme fréquentiel. L'équation (II.3.8) est définie dans le domaine temporel; il est nécessaire d'exprimer le courant dans le domaine fréquentiel. Pour cela, nous appliquons la transformée de Fourier sur la fonction du courant.

Soit deux signaux stationnaires quelconques  $V_{ds}(t)$  et  $V_{gs}(t)$  définis pour tout  $t$  réel et bornés. Si l'on applique  $V_{ds}(t)$  et  $V_{gs}(t)$  à  $I_{kink}$ , le courant  $I_{kink}$  sera défini dans le domaine temporel par :

$$I_{kink}(t) = I_{ks} V_{gs}(t) V_{ds}(t) (1 + c V_{ds}(t)) \left[ 1 + \tanh \left( \alpha \left( V_{ds}(t) - \frac{b}{\sqrt{V_{gs}(t) + c t e_1}} \right) \right) \right] \quad (\text{II.3.9})$$

La transformée de Fourier va s'écrire :

$$I_{kink}(\omega) = \mathcal{F}\{I_{kink}(t)\} = \int_{-\infty}^{+\infty} e^{-j\omega t} I_{kink}(t) dt \quad (\text{II.3.10})$$

Le spectre donné par (II.3.10) ne dépend pas intrinsèquement de la fréquence des signaux d'excitation : le nombre d'harmoniques et l'amplitude de chacune d'elle dépendent uniquement de l'amplitude des signaux  $V_{ds}(t)$  ou  $V_{gs}(t)$ . Pour montrer cela, nous avons appliqué un signal  $V_{ds}(t) = V_{ds0} (e^{j\omega_1 t} + e^{j\omega_2 t})$  et  $V_{gs}(t) = V_{gs0}$ , et nous avons simulé le

courant résultant. Dans un premier temps,  $f_1$  et  $f_2$  étaient respectivement égales à  $1\text{ MHz}$  et  $1,1\text{ MHz}$ . Dans un deuxième temps, les fréquences angulaires appliquées ont été fixées respectivement à  $1\text{ GHz}$  et  $1,1\text{ GHz}$ . Les figures II.3.10.a et II.3.10.b illustrent les spectres du module du courant résultant de chaque simulation. On définit le rapport harmonique par :

$$\text{Rapport}(n) = \frac{I_{kink\ n,1}}{I_{kink\ n,2}} \quad (\text{II.3.11})$$

$I_{kink\ n,1}$  et  $I_{kink\ n,2}$  correspondent respectivement à l'amplitude du courant d'indice harmonique  $n$  quand  $\omega l = 1\text{ MHz}$  et à l'amplitude du courant d'indice harmonique  $n$  quand  $\omega l = 1\text{ GHz}$ . On remarque que ce rapport est égal à l'unité, quelle que soit l'indice harmonique et la fréquence correspondante.

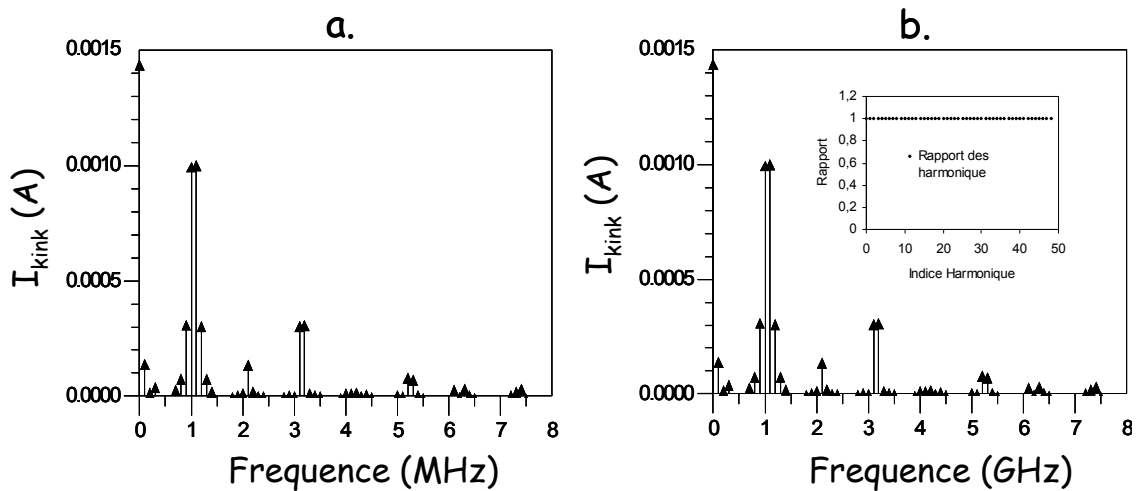


Figure II.3.10.a Spectre du courant  $I_{kink}$  avec excitation  $V_{ds}(t)$  de deux raies de  $1\text{ MHz}$  et  $1.1\text{ MHz}$ . b. Spectre du courant  $I_{kink}$  avec excitation  $V_{ds}(t)$  de deux raies de  $1\text{ GHz}$  et  $1.1\text{ GHz}$

Il est donc nécessaire d'introduire un modèle fréquentiel dans (II.3.10). Pour cela, nous appliquons une fonction fréquentielle  $f(\omega)$  sur le courant  $I_{kink}(\omega)$ . De (II.3.10), le courant  $I_{kink}(\omega)$  s'écrit alors :

$$I'_{kink}(\omega) = f(\omega)I_{kink}(\omega) = f(\omega) \int_{-\infty}^{+\infty} e^{-j\omega t} I_{kink}(t) dt \quad (\text{II.3.12})$$

Dans (II.3.12), la fonction  $f(\omega)$  représente le modèle fréquentiel de la dispersion de l'effet *kink*. Nous avons choisi pour  $f(\omega)$  un modèle du premier ordre donné par :

$$f(\omega) = e^{-|\omega|\tau_k} \quad (\text{II.3.13})$$

Ainsi, de (II.3.12) et (II.3.13),  $I'_{kink}(\omega)$  s'écrit :

$$I'_{kink}(\omega) = e^{-|\omega|\tau_k} \int_{-\infty}^{+\infty} e^{-j\omega t} I_{kink}(t) dt \quad (\text{II.3.14})$$

$I_{kink}(t)$  est donné par la relation II.3.9. Dans (II.3.13) et (II.3.14),  $\tau_k$  est la constante de temps directement reliée à l'effet *kink*. La figure II.3.11 illustre le modèle fréquentiel (II.3.13) en fonction de la fréquence (échelle *log*) pour différentes valeurs de la constante de temps  $\tau_k$ .

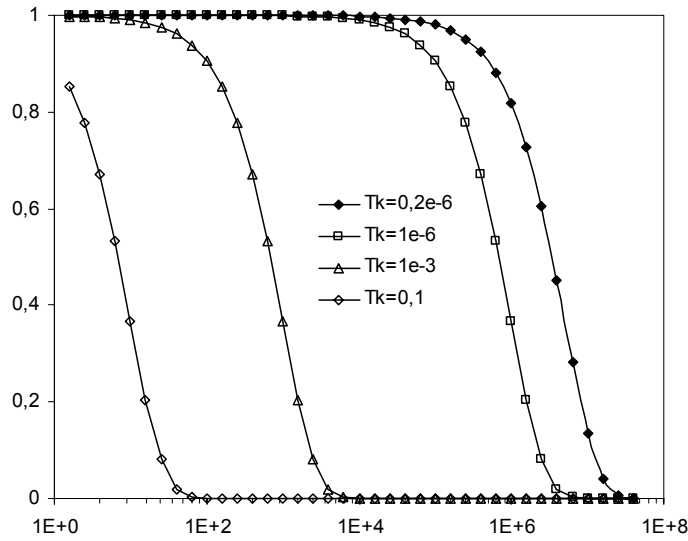


Figure II.3.11 Modèle de dispersion  $e^{-\omega\tau_k}$  en fonction de la fréquence, pour diverses valeurs de la constante de temps  $\tau_k$ .

La relation (II.3.14) donne le modèle complet du courant  $I_{kink}$  dans le domaine spectral. Pour exprimer cela dans le domaine temporel, nous faisons la transformée inverse de Fourier de (II.3.14). Ceci donne :

$$I'_{kink}(t) = \mathcal{F}^{-1}\{I'_{kink}(\omega)\} = \mathcal{F}^{-1}\{f(\omega)I_{kink}(\omega)\} = \mathcal{F}^{-1}\{f(\omega)\mathcal{F}(I_{kink}(t))\} \quad (\text{II.3.15})$$

Dans (II.3.15),  $f(\omega)$  peut s'écrire :

$$f(\omega) = \mathcal{F}\{\mathcal{F}^{-1}(f(\omega))\} \quad (\text{II.3.16})$$

La transformée de Fourier inverse de  $f(\omega)$  est facilement calculée :

$$f(t) = \mathcal{F}^{-1}(f(\omega)) = \int_{-\infty}^{\infty} e^{-j2\pi f t} e^{j2\pi f t} df = \frac{\tau_k}{\pi(\tau_k^2 + t^2)} \quad (\text{II.3.17})$$

Donc, de (II.3.15-II.3.17) nous pouvons écrire :

$$I'_{kink}(t) = \mathcal{F}^{-1}\{\mathcal{F}(f(t))\mathcal{F}(I_{kink}(t))\} = f(t) \otimes I_{kink}(t) \quad (\text{II.3.18})$$

avec  $f(t)$  donnée par (II.3.17) et  $I_{kink}(t)$  donné par (II.3.9). Par conséquent, dans le domaine temporel, le modèle de dispersion s'exprime par la convolution entre la fonction de dispersion exprimée dans le domaine temporel ( $f(t)$ ) et du courant grand signal ( $I_{kink}(t)$ ).

Dans le cas particulier où le signal appliqué est harmonique, de fréquence angulaire  $\omega_0$  ( $A_0 e^{j\omega_0 t}$ ), le courant  $I_{kink}(t)$  sera périodique. On peut donc exprimer  $I_{kink}(t)$  en série de Fourier :

$$I_{kink}(t) = \sum_{n=-\infty}^{\infty} I_{kink n} e^{jn\omega_0 t} \quad (\text{II.3.19})$$

$I_{kink n}$  sont les coefficients de Fourier et sont donnés par :

$$I_{kink n} = \frac{1}{T_0} \int_0^{T_0} I_{kink}(t) e^{-jn\omega_0 t} dt \quad \text{et} \quad T_0 = \frac{2\pi}{\omega_0} \quad (\text{II.3.20})$$

De (II.3.18) et (II.3.19)  $I'_{kink}(t)$  peut s'écrire :

$$\begin{aligned} I'_{kink}(t) &= f(t) \otimes I_{kink}(t) = \int_{-\infty}^{\infty} f(\tau) \sum_{n=-\infty}^{\infty} I_{kink n} e^{jn\omega_0(t-\tau)} d\tau = \\ &= \sum_{n=-\infty}^{\infty} \left\{ I_{kink n} e^{jn\omega_0 t} \int_{-\infty}^{\infty} f(\tau) e^{-jn\omega_0 \tau} d\tau \right\} = \\ &= \sum_{n=-\infty}^{\infty} \left\{ I_{kink n} e^{jn\omega_0 t} \mathcal{F}\{f(\tau)\}_{(n\omega_0)} \right\} = \\ &= \sum_{n=-\infty}^{\infty} \left\{ I_{kink n} e^{jn\omega_0 t} e^{-|n|\omega_0 \tau_k} \right\} \end{aligned} \quad (\text{II.3.21})$$

La relation (II.3.21) montre que la fonction fréquentielle agit sur le module de chaque harmonique  $I_{kink\ n}$  du spectre du courant  $I_{kink}(t)$  à chaque fréquence correspondante  $n\omega_0$ . Pour vérifier cela, nous avons effectué une simulation du courant  $I_{kink}$  sans inclure le modèle fréquentiel, en utilisant uniquement (II.3.9), et une simulation en tenant en compte le modèle complet  $I'_{kink}$  (II.3.14). Dans les deux cas, les conditions de simulation étaient identiques (tableau II.3.1).

La figure II.3.12.a montre le signal  $V_{ds}(t)$  appliqué et la figure II.3.12.b les formes d'onde du courant  $I_{kink}(t)$  résultant. On remarque que le courant simulé à partir du modèle (II.3.14) présente une amplitude plus faible ainsi qu'une distorsion différente.

Paramètres	$V_{ds}(t) = V_{ds0} + A_0 e^{j\omega_0 t}$	$V_{gs}(t) = V_{gs0}$	$I_{kink}(t)$
$I_{ks} = 4.88 \cdot 10^{-3} \text{ A/V}^2$ $a = 5.5 \text{ V}^{-1}$ $b = 0.6 \text{ V}^{-1}$ $c = -0.5 \text{ V}^{-1}$ $\tau_k = 0.2 \mu\text{sec}$	$V_{ds0} = 0,6 \text{ V}$ $A_0 = 0,5 \text{ V}$ $f_0 = 1 \text{ MHz}$	$V_{gs0} = 0.6 \text{ V}$	Donné par (II.3.9) ou Par (II.3.14)

Tableau II.3.1 Valeurs des paramètres utilisées et conditions de simulation du courant  $I_{kink}$ , afin de calculer son spectre

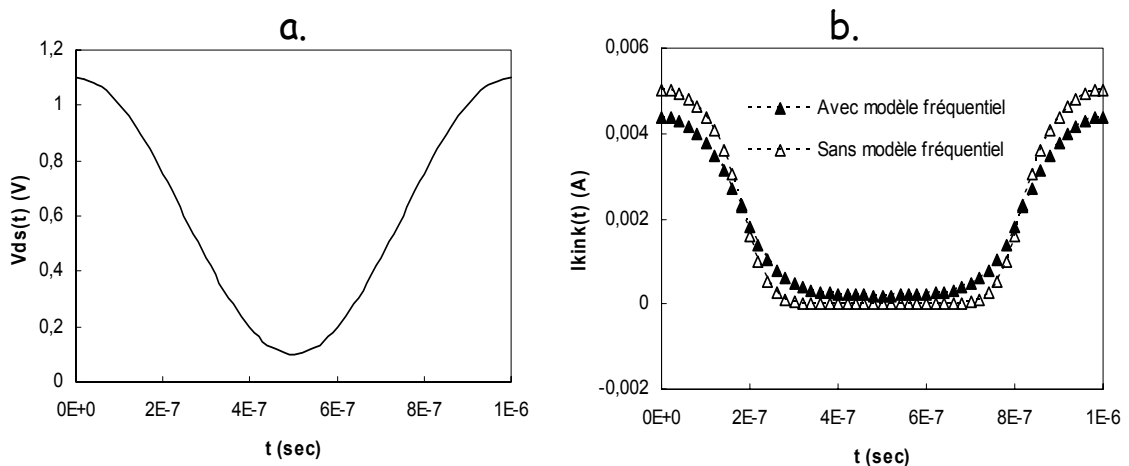


Figure II.3.12.a Signal  $V_{ds}(t)$  appliqué. b. Formes d'ondes du signal  $I_{kink}(t)$  simulé avec le modèle fréquentiel et sans le modèle fréquentiel.

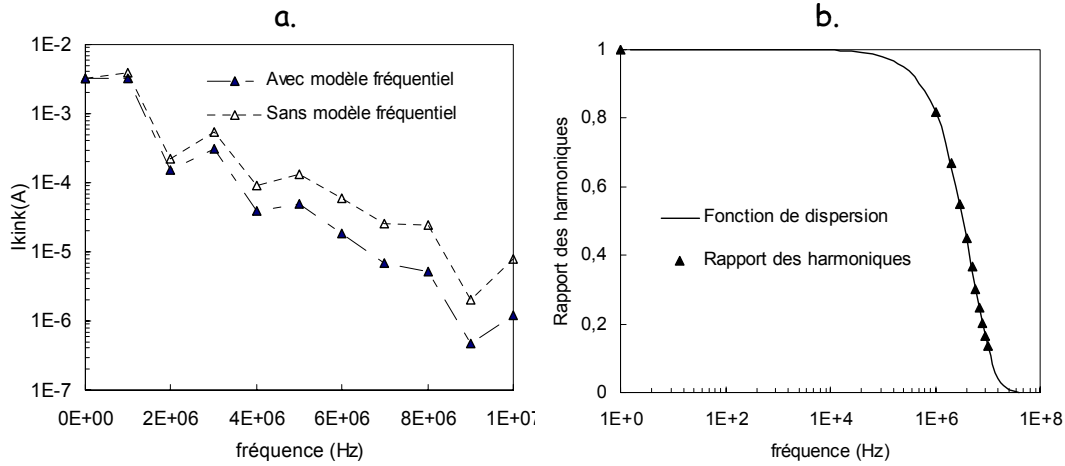


Figure II.3.13.a Spectres du courant kink avec et sans modèle de dispersion fréquentielle.

b. Rapport des harmoniques des deux spectres et fonction de dispersion

Les spectres des deux signaux sont illustrés sur la figure II.3.13.a. On distingue clairement l'écart entre les amplitudes des harmoniques, qui est d'autant plus grand que la fréquence augmente. La figure II.3.13.b montre le rapport défini par (II.3.11) en fonction de la fréquence de chaque harmonique. Sur le même graphe nous avons aussi représenté le modèle de dispersion fréquentielle (II.3.13). On constate que le rapport extrait de la simulation et le modèle fréquentiel sont identiques, fait qui confirme le rôle du modèle (II.3.13) dans la formulation fréquentielle du modèle de courant dans (II.3.21).

## II.4 Modélisation grand signal des capacités

Dans ce paragraphe, nous allons discuter du modèle élaboré pour les capacités intrinsèques non linéaires. L'élaboration de ce modèle s'est avérée plus complexe que celle du courant, pour diverses raisons.

En premier lieu, au moment où il a été établi, tous les modèles empiriques de FET, proposés dans la littérature pour les capacités non linéaires, étaient non conservatifs de charge. Il en est de même pour celui d'Angelov : les équations de capacités proposées sont indépendantes les unes des autres et il n'y a pas de consistance entre les équations et les paramètres. Ceci entraîne automatiquement le non respect du principe énoncé dans le paragraphe II.1. Par conséquent, le développement d'équations décrivant les capacités ne pouvait pas se baser sur un modèle préexistant, comme dans le cas du courant.

D'autre part, la charge, à partir de laquelle nous devons calculer les capacités, n'est pas une grandeur physique mesurable. Le seul moyen d'obtenir une information réaliste sur la charge de grille en fonction des polarisations appliquées au composant est de procéder à des simulations physiques. Dans ce but, nous avons utilisé le simulateur physique ATLAS de SILVACO qui permet de décrire et de simuler une structure en 2D et d'en extraire diverses grandeurs.

D'après les relations établies dans le paragraphe II.1.2.b, le but que nous nous sommes fixés est l'extraction de la charge  $Q_g$ , stockée sur le terminal de la grille, dans toute la gamme de polarisation du composant. Les capacités  $C_{gs}$  et  $C_{gd}$  étant les dérivées partielles de la charge  $Q_g$ , nous ne nous intéressons pas à la valeur absolue de la charge, mais aux variations relatives de  $Q_g$  en fonction des polarisations.

### II.4.1 Simulation avec ATLAS – SILVACO

La simulation dans ATLAS se base sur la résolution locale d'équations reliant les concentrations des charges, les potentiels locaux et les phénomènes de transport. Les relations utilisées sont l'équation de Poisson, l'équation de continuité et l'équation de transport.

L'équation de Poisson donne la relation entre le potentiel local (ou le champ électrique) et la densité de charge volumique :

$$\operatorname{div}(\varepsilon \nabla \Psi) = -\rho = q(n - p + N_A^- - N_D^+) + Q_T \quad (\text{II.4.1})$$

$\Psi$  est le potentiel électrostatique local,  $\varepsilon$  est la constante diélectrique locale du matériau et  $\rho$  la densité locale de charge volumique.  $q$  est la valeur de la charge d'un électron ( $1,6 \cdot 10^{-19} \text{ Cb}$ ),  $n$  et  $p$  sont respectivement les concentrations volumiques d'électrons et de trous et  $N_A^-$  et  $N_D^+$  sont respectivement les concentrations des atomes accepteurs et des atomes donneurs ionisés.  $Q_T$  représente la concentration d'ions fixes dus à des défauts des matériaux (pièges).

L'équation de continuité et l'équation de transport relient les concentrations locales de charges aux phénomènes de transport et aux mécanismes de génération – recombinaison. L'équation de continuité est donnée séparément pour chacun des deux types de porteurs de charge par :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div}(\vec{J}_n) + G_n - R_n \quad (\text{II.4.2})$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \text{div}(\vec{J}_p) + G_p - R_p \quad (\text{II.4.3})$$

$\vec{J}_n$  est la densité de courant des électrons,  $G_n$  et  $R_n$  sont respectivement les taux de génération et de recombinaison des électrons. Dans l'équation II.4.3 les symboles ont la même signification.

L'équation de transport utilisée par ATLAS dérive de la théorie de transport de Boltzmann. Nous avons utilisé le modèle de dérive – diffusion donnant la relation entre la densité de courant des porteurs et le potentiel électrostatique local :

$$\vec{J}_n = -q\mu_n n \nabla \Phi_n \quad (\text{II.4.4})$$

$$\vec{J}_p = -q\mu_p p \nabla \Phi_p \quad (\text{II.4.5})$$

$\mu_n$  et  $\mu_p$  sont respectivement les mobilités des porteurs  $n$  et  $p$ , et  $\Phi_n$  et  $\Phi_p$  les niveaux de potentiel de quasi Fermi.  $\mu_n$ ,  $\mu_p$ ,  $\Phi_n$  et  $\Phi_p$  sont calculés à partir de modèles et de lois fondamentales des semi – conducteurs.



### II.4.2 Structure simulée.

La structure décrite dans ATLAS afin de simuler le composant est donnée sur la figure II.4.1. Les paramètres technologiques et la géométrie de la structure sont basés sur une technologie de longueur de grille  $L_g=0.12 \mu m$  de *ST microelectronics*. Plusieurs hypothèses sont émises afin de minimiser le temps de calcul :

- Les dopages dans les différentes zones sont uniformes.
- Les jonctions  $PN^+$  sont abruptes.
- La structure cristalline du Si est parfaite.
- Les interfaces Si – SiO<sub>2</sub> ne présentent pas de défauts et de pièges ( $Q_T$  dans (II.4.1) est nulle).
- Tous les atomes dopants sont ionisés à la température ambiante.

Le tableau II.4.1 résume les différentes valeurs des dopages.

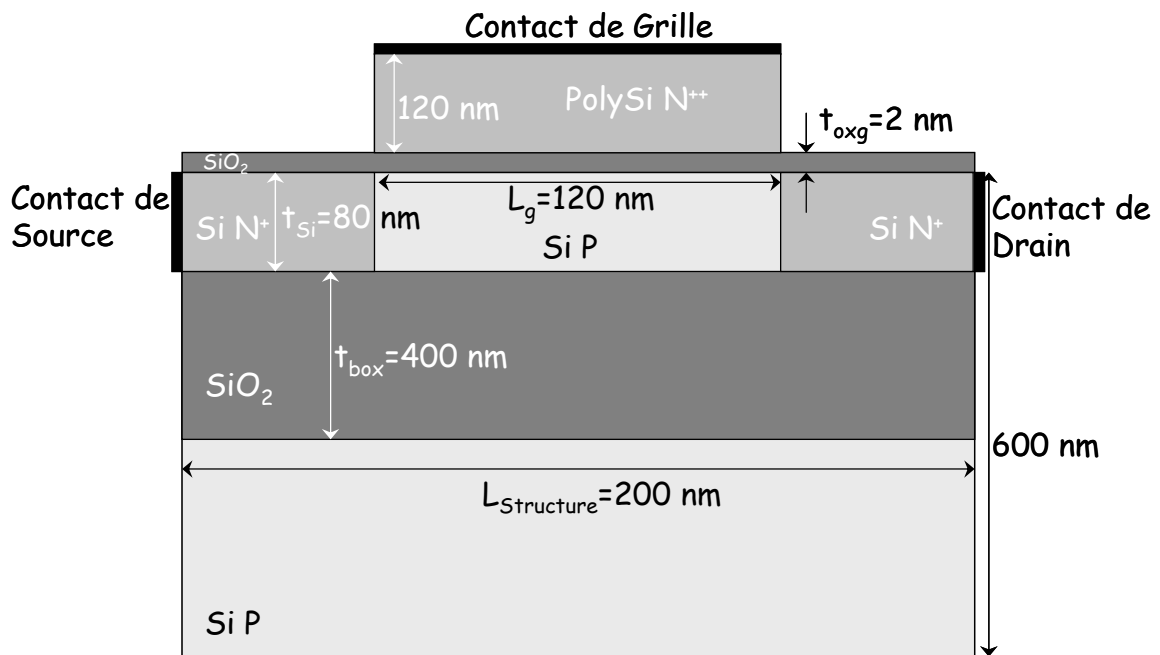


Figure II.4.1 Structure utilisée pour la simulation de la charge de grille

Dopage N <sup>+</sup> zones de diffusion	Dopage P substrat	Dopage Poly N <sup>++</sup> Grille
$1.10^{20} / \text{cm}^3$	$1.10^{18} / \text{cm}^3$	$5.10^{20} / \text{cm}^3$

Tableau II.4.1 Valeurs de dopages dans les zones de diffusion de drain et de source, du substrat et du polysilicium de la grille

Le maillage appliqué sur la structure n'est pas uniforme et varie selon la région. Afin d'avoir une bonne prédiction de l'effet transistor et des charges stockées dans toutes les interfaces de la zone active et du polysilicium de grille, nous y avons appliqué un maillage fin (longueur de 2 nm et largeur de 1 nm). Pour les autres zones (oxyde enterré, substrat de Si et caissons N<sup>++</sup>), les mailles définies ont des dimensions supérieures afin de minimiser le temps de calcul. La figure II.4.2 montre la structure avec les diverses tailles de mailles dans les régions du composant. Les pointillés indiquent les zones où le maillage reste identique.

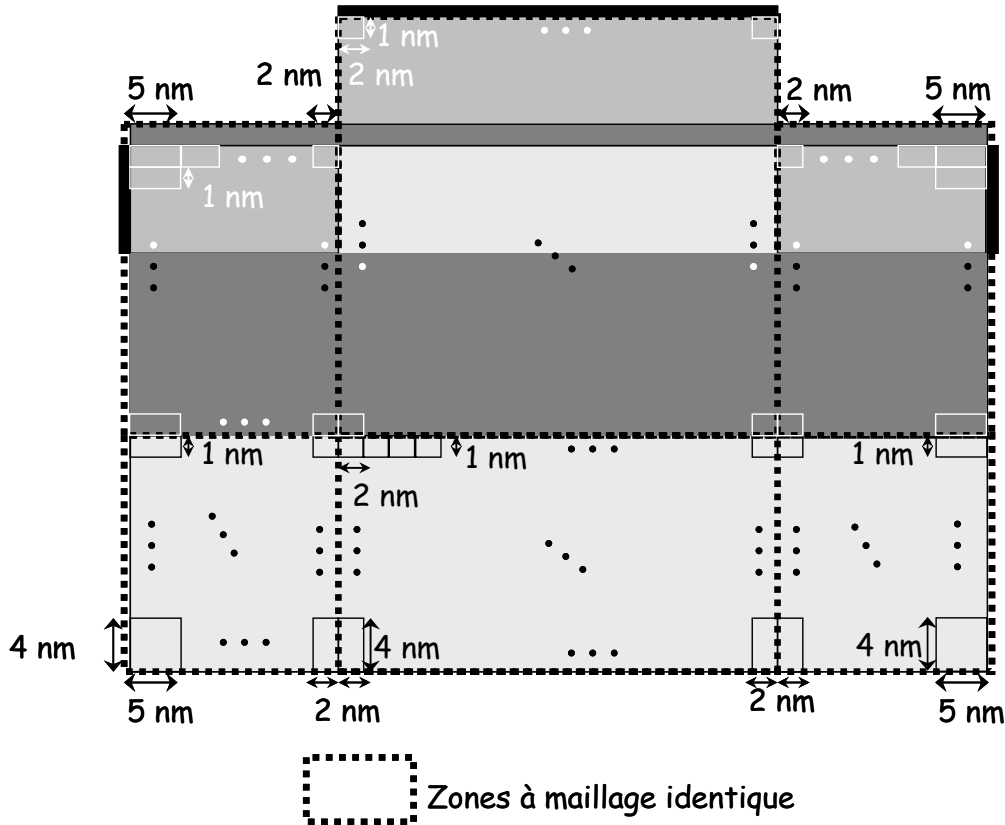


Figure II.4.2 Maillage appliquée sur la structure de simulation

### II.4.3 Extraction de la charge $Q_g$ .

Nous avons effectué des simulations de la structure décrite ci-dessus, à plusieurs points de polarisation statique :  $V_{gs}$  et  $V_{ds}$  allant de 0 à 1,2 V par pas de 0,1 V.

Les résultats de simulations sont donnés pour chaque point de maille. Afin d'obtenir la charge totale  $Q_g$  stockée sur la grille de Poly Silicium, il est nécessaire de procéder à une intégration sur toute la zone de la grille :

$$Q_g = S_{grille} \sum_{\substack{m \\ \text{Mailles de} \\ \text{la grille PolySi}}} q(p_m - n_m + N_{Dm} - N_{Am}) \quad (\text{II.4.6})$$

où  $q = 1,6 \cdot 10^{-19} \text{Cb}$  est la valeur absolue de la charge d'un électron,  $p_m$  et  $n_m$  sont respectivement les concentrations volumiques calculées des trous et des électrons à chaque maille, et  $N_{Dm}$  et  $N_{Am}$  sont respectivement les concentrations des atomes donneurs et des atomes accepteurs, supposés tous ionisés.  $S_{grille}$  est la surface de la section de la grille en  $\text{cm}^2$  ( $S_{grille} = 120 \cdot 120 \cdot 10^{-14} \text{cm}^2$ ).

La charge  $Q_g$  obtenue après intégration est illustrée sur la figure II.4.3.a en fonction de la polarisation  $V_{gs}$ . La figure II.43.b montre  $Q_g$  en fonction de la polarisation  $V_{ds}$ . Afin d'interpréter les résultats obtenus, nous supposons que la charge stockée sur la grille ainsi que ses variations en fonctions des polarisations sont l'effet miroir de la charge sous l'oxyde de grille (canal).

On remarque que  $Q_g$  est non nulle aux conditions de repos ( $V_{gs0} = V_{ds0} = 0 \text{ V}$ ) de valeur positive : malgré le dopage très élevé de la grille en Polysilicium ( $N_D = 5 \cdot 10^{20}$ ), deux zones de charge d'espace sont présentes aux interfaces *Poly-SiO<sub>2</sub>* et *Poly-Métal*. Pour des tensions de  $V_{gs}$  entre 0 et 0.3 V, la variation de la charge correspond à la croissance de la zone de charge d'espace dans la zone active. A  $V_{gs} = 0.3 \text{ V}$ , il y a création d'une zone d'inversion en-dessous de l'oxyde de grille. Ceci se traduit par une augmentation de pente ( $V_{gs} : 0.3 - 0.4 \text{ V}$ ). Finalement, en forte inversion ( $V_{gs} > 0.4 \text{ V}$ ), les variations de la charge sont dominées par le canal d'inversion et la pente de la charge reste constante.

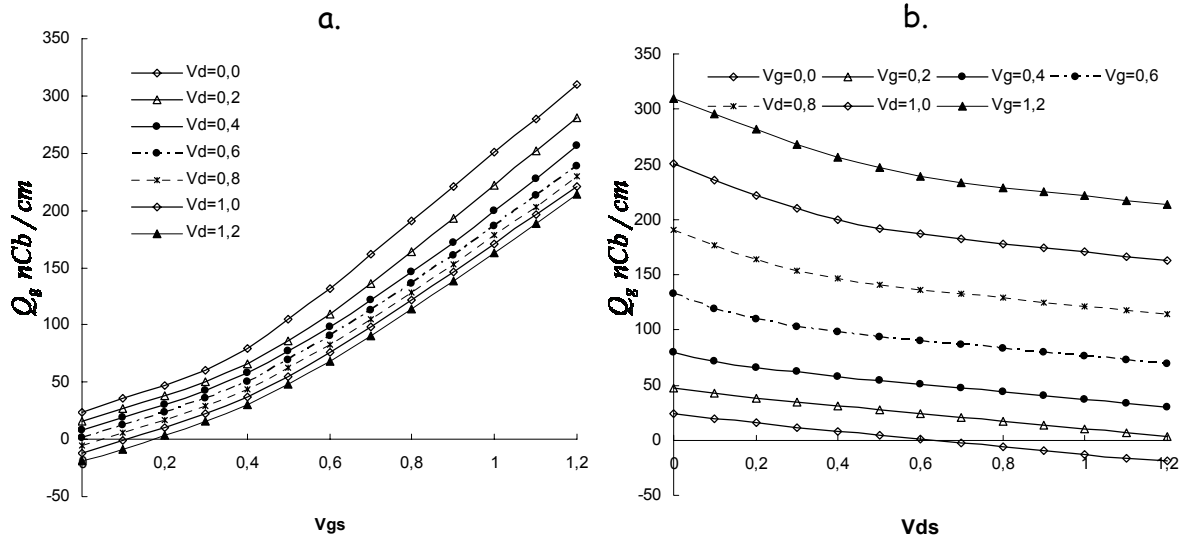


Figure II.4.3.a. Simulation de la charge totale  $Q_g$  stockée sur la grille en fonction de  $V_{gs}$ .

b. Charge totale  $Q_g$  stockée sur la grille en fonction de  $V_{ds}$

La figure II.4.4 illustre les mécanismes décrits ci-dessus : les lignes en-dessous de l'oxyde de grille délimitent la zone où la concentration d'électrons est supérieure à  $n=10^{18}$  pour diverses valeurs de  $V_{gs}$  (au-dessus de la ligne nous considérons qu'il y a formation de canal d'inversion car  $n \geq p$ ). Les lignes dans *body* du composant correspondent à la limite de la zone de charge d'espace en fonction de la polarisation  $V_{gs}$ .

L'intégralité du mécanisme décrit ci-dessus se traduit par une croissance de la zone désertée dans le Polysilicium de la grille suivant les mêmes pentes que la charge dans la zone active.

La figure II.4.3.b. montre que la charge  $Q_g$  sur la grille décroît en fonction de la polarisation de drain. Si  $V_{gs}=0$  V,  $Q_g$  atteint des valeurs négatives. Sur la figure II.4.5, on montre la région de la grille à proximité du drain pour diverses valeurs de  $V_{ds}$  quand  $V_{gs}=0$  V. Les régions grises désignent les espaces dans lesquelles la charge totale est négative et les lignes montrent la limite entre une région à charge négative et une région à charge neutre. A  $V_{ds}=0$  V la grille ne présente pas de zone chargée négativement. Si  $V_{ds}$  croît, des électrons s'accumulent dans la région proche du drain à cause du champ électrique entre le drain et la grille. Leur accumulation entraîne une réduction de la charge totale sur la grille (donnée par (II.4.6)).

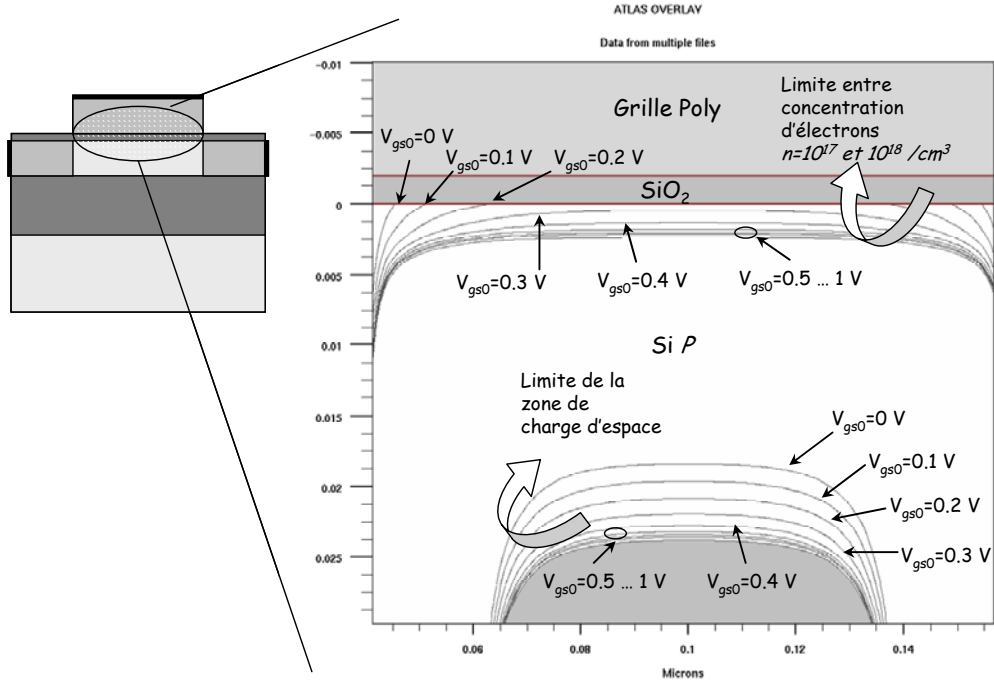


Figure II.4.4 Variations de la zone de charge d'espace et du canal d'inversion pour  $V_{gs}$  allant de 0 à 1 V

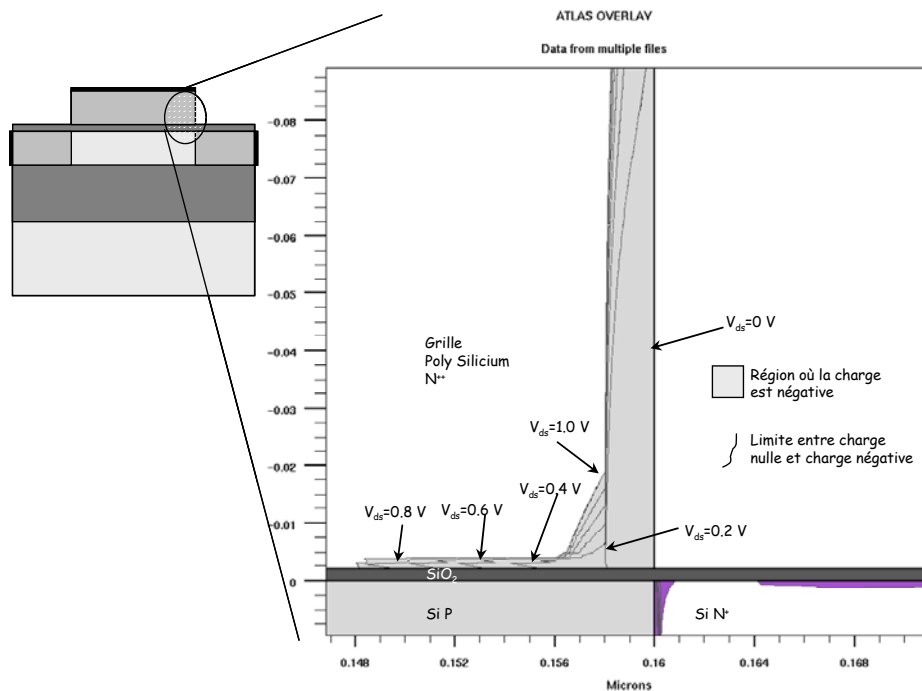


Figure II.4.5 Limites entre zone de charge neutre et zone de charge négative due au champ électrique élevé, pour  $V_{ds}$  allant de 0 à 1 V

### II.4.4 Extraction des capacités simulées

A partir des données de simulation de la charge  $Q_g$ , nous avons calculé les capacités  $C_{gs}$  et  $C_{gd}$  données par les équations II.1.5 et II.1.6. La figure II.4.6.a illustre la capacité  $C_{gs}$  en fonction de  $V_{gs}$  pour certaines valeurs de  $V_{ds}$ . Sur la figure II.4.6.b est illustrée la capacité  $C_{gd}$  en fonction de  $V_{ds}$ .

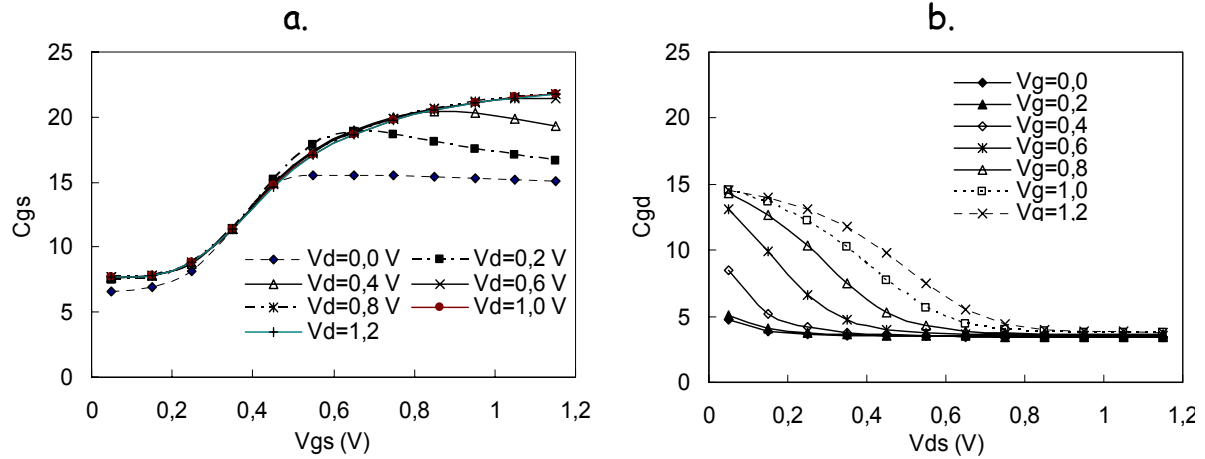


Figure II.4.6.a Capacité  $C_{gs}$  extraite à partir des simulations de la charge de grille, en fonction de la polarisation  $V_{gs}$ . b. Capacité  $C_{gd}$  extraite à partir des simulations de la charge de grille, en fonction de la polarisation  $V_{ds}$

### II.4.5 Modèle de charge

Les résultats obtenus par les simulations physiques ont aidé à la construction d'une équation de charge. L'élaboration de l'équation s'est faite en plusieurs temps. A chaque étape, une fonction de charge était posée afin de décrire les résultats de simulation. Par la suite, les capacités résultantes  $C_{gs}(V_{gs}, V_{ds})$  et  $C_{gd}(V_{gs}, V_{ds})$  étaient calculées et comparées aux capacités extraites des simulations.

Ainsi, de manière itérative, nous avons abouti à une équation du type :

$$Q_g(V_{gs}, V_{ds}) = k(f_1(V_{gs}) + f_2(V_{ds})) \quad (II.4.7)$$

où  $k$  est une constante. Le rôle de la fonction  $f_1(V_{gs})$  est de décrire les variations de la charge en fonction du potentiel  $V_{gs}$ .  $f_1(V_{gs})$  est un polynôme du 3<sup>e</sup> ordre et son expression est donnée par :

$$f_1(V_{gs}) = C_{gg1}V_{gs} + C_{gg2}V_{gs}^2 + C_{gg3}V_{gs}^3 \quad (II.4.8)$$

$f_2(V_{ds})$  est un polynôme donnant les variations de  $Q_g(V_{gs}, V_{ds})$  par rapport au potentiel  $V_{gd}$ ; il a été développé au 2<sup>e</sup> ordre. Son expression est :

$$f_2(V_{ds}) = C_{gd1}V_{gd} + C_{gd2}V_{gd}^2 \quad (\text{II.4.9})$$

Le polynôme  $f_1(V_{gs})$  est croissant en fonction de  $V_{gs}$ . Sa pente est faible pour des faibles valeurs de  $V_{gs}$ , et atteint des valeurs plus élevées à fort  $V_{gs}$  (forte inversion). Le polynôme  $f_2(V_{gd})$  est décroissant en fonction de  $V_{ds}$ . La pente de ce polynôme est élevée (en valeur absolue), pour des valeurs de  $V_{ds}$  faibles, et réduit pour des valeurs de  $V_{ds}$  élevées (saturation).

Afin de donner une dépendance en  $V_{ds}$  à la fonction  $f_1$  et une dépendance en  $V_{gs}$  à la fonction  $f_2$ , les deux fonctions ont été développées par :

$$f_1(V_{gs}, V_{ds}) = (C_{gg1}V_{gs} + C_{gg2}V_{gs}^2 + C_{gg3}V_{gs}^3) \left( C_{gg0} + \tanh\left(\frac{V_{ds}^2}{\gamma \mathcal{W}_{gs}^2}\right) \right) \quad (\text{II.4.10})$$

et

$$f_2 = \left( C_{gd0} + \tanh\left(-\frac{V_{gs}}{V_{\alpha}}\right) \right) (C_{gd1}V_{gd} + C_{gd2}V_{gd}^2) \quad (\text{II.4.11})$$

Finalement, la constante  $k$  de l'équation (II.4.7) a été exprimée en fonction de la longueur de grille  $L_g$  et de la largeur  $W_{\bar{r}} = W_d n_d$  ( $W_d$  et  $n_d$  sont respectivement la largeur unitaire d'un doigt de grille et le nombre de doigts).

L'équation finale pour la charge est :

$$Q_g(V_{gs}, V_{ds}) = C_0(L_g - 2L_d)W_d n_d (f_1(V_{gs}, V_{ds}) + f_2(V_{gs}, V_{ds})) + Q_0 \quad (\text{II.4.12})$$

Dans (II.4.12),  $C_0$  et  $L_d$  sont des paramètres du modèle, et  $Q_0$  représente la charge de déplétion stockée sur la grille quand  $V_{gs} = V_{ds} = 0$  V.

Les étapes de construction de l'équation de charge sont illustrées sur la figure II.4.7.

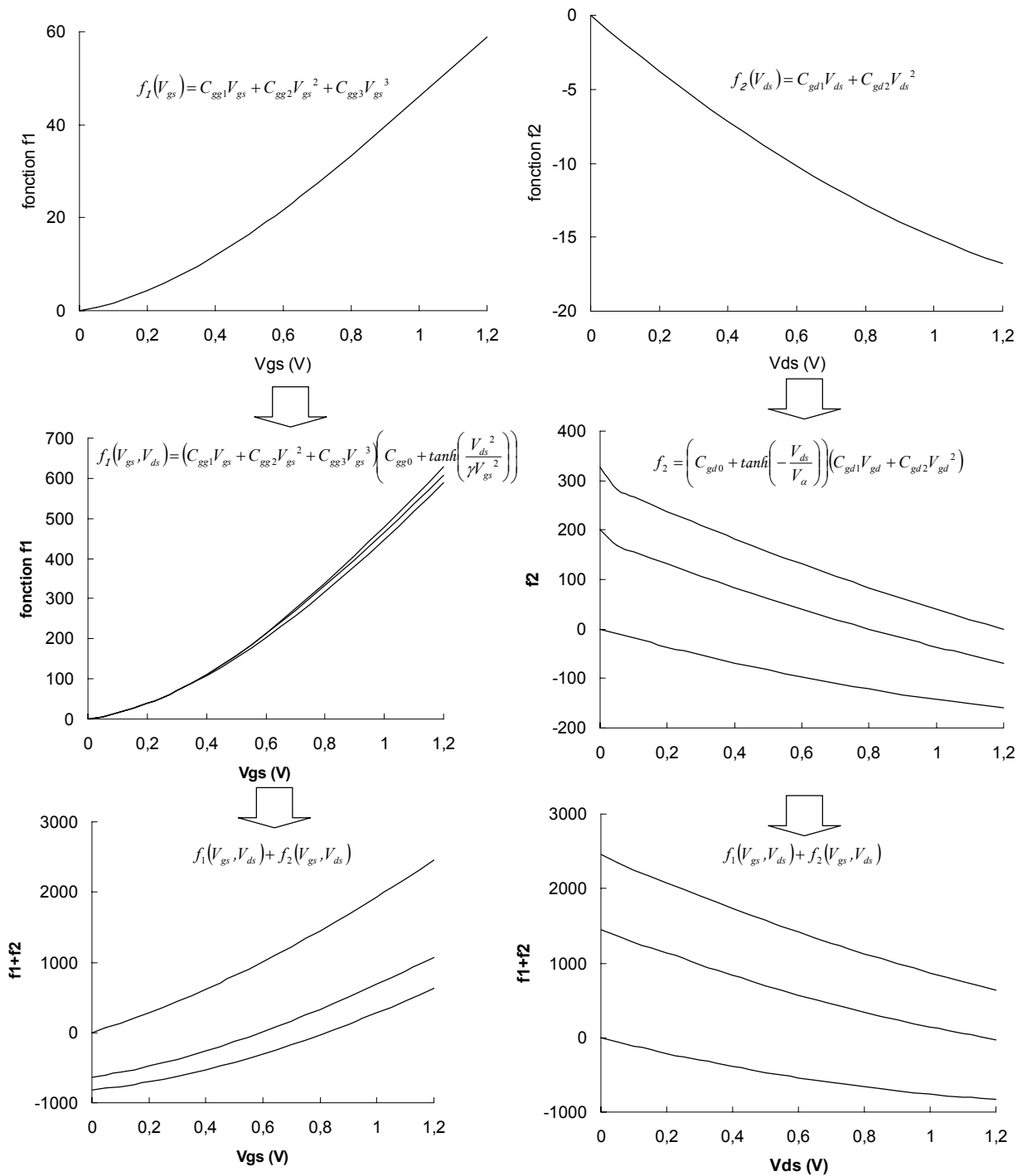


Figure II.4.7 Etapes de construction de l'équation de la charge

Sur la figure II.4.8 sont illustrées la charge résultante de la simulation physique (SILVACO) et la charge calculée par (II.4.10 – II.4.12) après extraction des paramètres. La charge a été normalisée par rapport à  $Q_0$  afin d'illustrer la plage de variations.



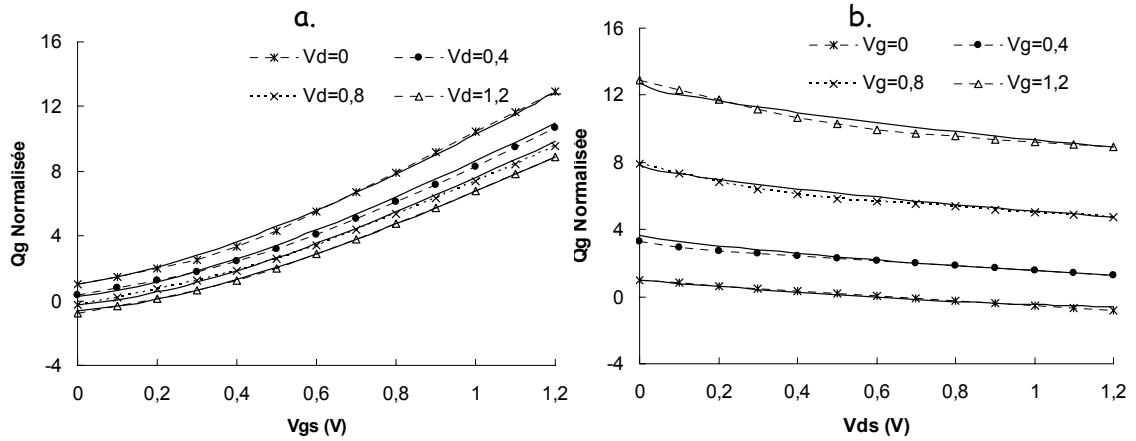


Figure II.4.8 Charge de grille  $Q_g$  calculée par simulation physique (symboles) et calculée par les équations II.6.2-II.6.4. a. en fonction de la polarisation  $V_{gs}$  b. en fonction de la polarisation  $V_{ds}$ .

Nous observons que le modèle élaboré décrit bien la charge et ses variations.

Les équations analytiques des capacités  $C_{gs}(V_{gs}, V_{ds})$  et  $C_{gd}(V_{gs}, V_{ds})$  sont calculées par (II.1.5), (II.1.6) et (II.4.10-II.4.12). En raison de leur complexité, elles sont données en annexe II.A.2. Sur la figure II.4.9.a est illustrée la capacité  $C_{gg}(V_{gs}, V_{ds})$  (définie par  $\left. \frac{\partial Q_g}{\partial V_{gs}} \right|_{V_{ds}=cte}$ ) extraite des simulation SILVACO et  $C_{gg}(V_{gs}, V_{ds})$  calculée à partir du modèle.

La figure II.4.9.b montre la capacité  $C_{gd}(V_{gs}, V_{ds})$  respectivement simulée et calculée.

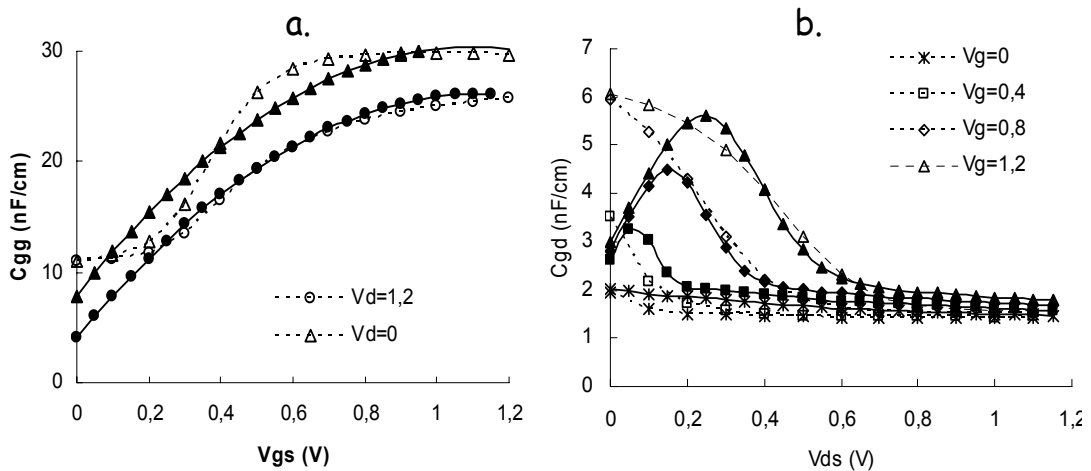


Figure II.4.9.a Capacités  $C_{gs}$  extraite de SILVACO et calculée par le modèle. b. Capacités  $C_{gd}$  extraite de SILVACO et calculée par le modèle

Le modèle des capacités décrit relativement bien les capacités simulées. Néanmoins, nous observons une divergence sur  $C_{gg}$  dans la région en-dessous de la tension de seuil. Il en est de même pour  $C_{gd}$  dans le régime linéaire ( $V_{ds} < 0,3 V$ ) et en forte inversion ( $V_{gs} > 0.4 V$ ). Ceci est dû au fait qu'il est très difficile de créer un modèle à deux variables compact et continu, ayant un nombre limité de paramètres et décrivant bien les dérivées partielles dans tous les régimes de fonctionnement. Cependant, nous verrons dans le paragraphe II.7 que, malgré les désaccords observés sur les capacités, le modèle reproduit précisément les caractéristiques électriques hyperfréquences.

Une observation importante à noter sur le modèle de charge est la structure des équations des capacités calculées. De (II.1.5), (II.1.6) et (II.4.12),  $C_{gs}$  et  $C_{gd}$  peuvent être écrites :

$$C_{gs} = k \left( \frac{\partial f_1}{\partial V_{gs}} \Big|_{V_{ds}=cte} + \frac{\partial f_2}{\partial V_{gs}} \Big|_{V_{ds}=cte} + \frac{\partial f_1}{\partial V_{ds}} \Big|_{V_{gs}=cte} + \frac{\partial f_2}{\partial V_{ds}} \Big|_{V_{gs}=cte} \right) \quad (\text{II.4.13})$$

et

$$C_{gd} = -k \left( \frac{\partial f_1}{\partial V_{ds}} \Big|_{V_{gs}=cte} + \frac{\partial f_2}{\partial V_{ds}} \Big|_{V_{gs}=cte} \right) \quad (\text{II.1.14})$$

De (II.4.13) et (II.4.14), on peut facilement montrer que :

$$C_{gs} \approx k \frac{\partial f_1}{\partial V_{gs}} \Big|_{V_{ds}=cte} \quad (\text{II.4.15})$$

et

$$C_{gd} \approx -k \frac{\partial f_2}{\partial V_{ds}} \Big|_{V_{gs}=cte} \quad (\text{II.4.16})$$

Ce résultat est très important car il montre que ce sont les paramètres ( $C_{gg0}$ ,  $C_{gg1}$ ,  $C_{gg2}$ ,  $C_{gg3}$  et  $\gamma$ ) de la fonction  $f_1(V_{gs}, V_{ds})$  qui vont être déterminant pour l'extraction de  $C_{gs}$ . D'autre part, les paramètres ( $C_{gd0}$ ,  $C_{gd1}$ ,  $C_{gd2}$  et  $V_\alpha$ ) de  $f_2(V_{gs}, V_{ds})$  seront déterminants pour l'extraction de la capacité  $C_{gd}$ . Notons que cette approximation n'est pas incluse dans le modèle, mais sert à illustrer ce résultat.

Ainsi, ce modèle de capacités consistant dérivant d'un seul modèle de charge permet d'identifier clairement, lors de l'extraction des paramètres, l'influence de chacune des deux capacités.

## II.5 Extraction des paramètres du modèle

Dans ce paragraphe, nous allons discuter de la méthode d'extraction de tous les éléments et paramètres du modèle présenté précédemment. Elle se base sur des mesures statiques ainsi que sur des mesures petit signal en hyperfréquences. Dans un premier temps, nous rappellerons le modèle complet élaboré précédemment. Par la suite, nous discuterons des mesures hyperfréquences sous pointes et des techniques d'étalonnage nécessaires lors des mesures. Finalement, la méthode de détermination de chaque élément et de chaque paramètre du modèle sera donnée.

En exemple d'extraction, nous utilisons un transistor MOS sur substrat SOI PD avec prises *body* internes (*Body Tied*), de longueur de grille  $L_g=0.12 \mu m$  et de largeur de grille  $W_{totale}=15x4 \mu m$ . Pour le cas particulier d'un transistor présentant l'effet *kink* sur ses caractéristiques, nous utilisons un composant MOS sur substrat SOI PD avec *body* flottant, de longueur de grille  $L_g=0.12 \mu m$  et de largeur de grille  $W_{totale}=60x1 \mu m$ .

La procédure générale d'extraction globale est schématisée sur la figure II.5.1.

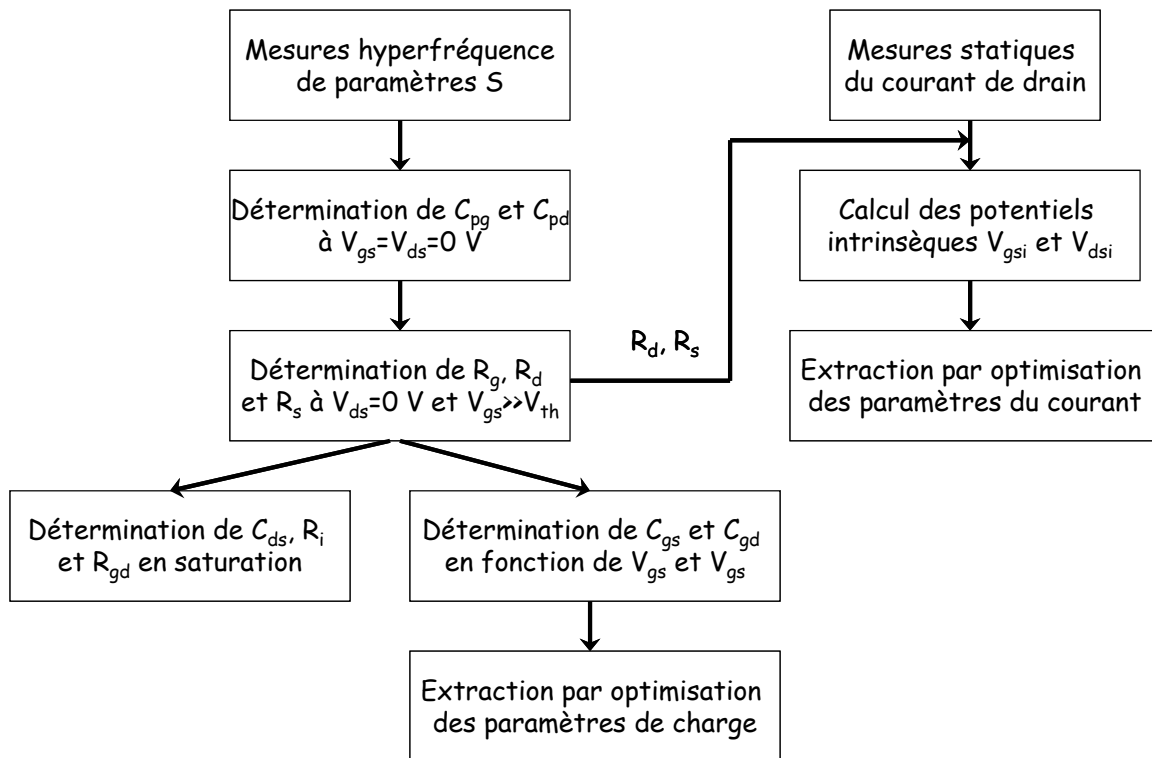
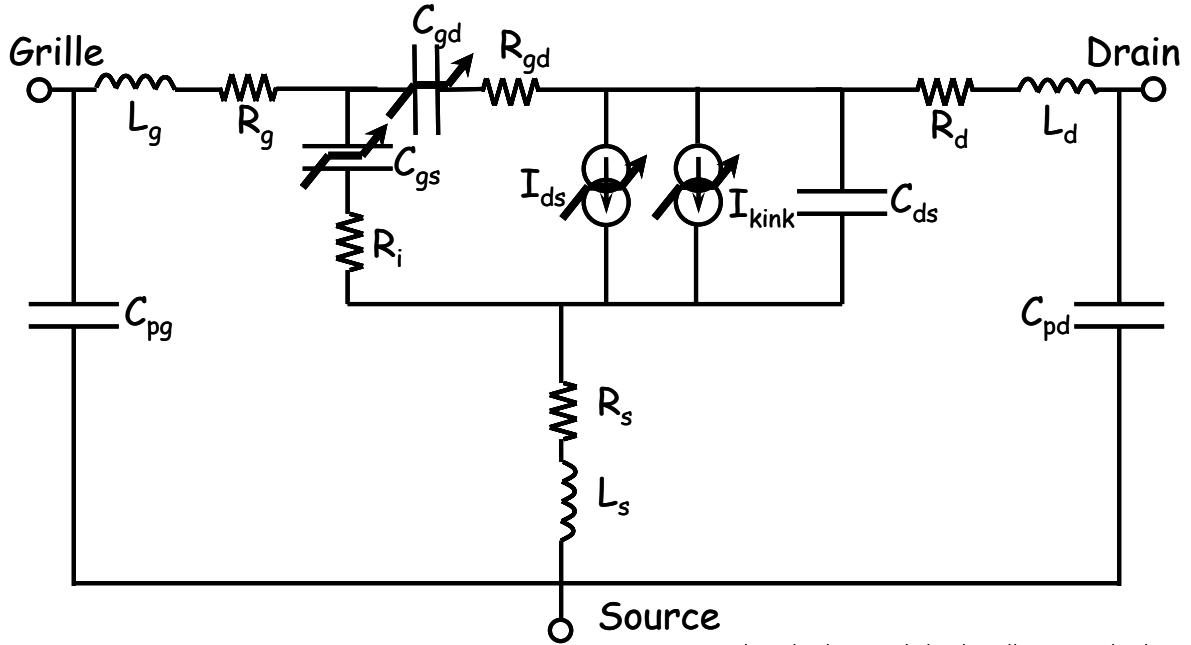


Figure II.5.1 Procédure générale d'extraction de tous les éléments électriques et des paramètres du modèle

## II.5.1 Rappel du modèle SILICA complet

Le modèle complet élaboré dans les paragraphes précédents pour les MOSFET sur substrat massif ou SOI est résumé sur la figure II.5.2.



$$\begin{cases}
 Q_g = C_0(L_g - 2L_d)W_d n_d (f_1 + f_2) + Q_0 \\
 f_1 = \left( C_{gg0} + \tanh\left(\frac{V_{ds}^2}{\gamma V_{gs}^2}\right) \right) (C_{gg1}V_{gs} + C_{gg2}V_{gs}^2 + C_{gg3}V_{gs}^3) \\
 f_2 = \left( C_{gd0} + \tanh\left(-\frac{V_{ds}}{V_a}\right) \right) (C_{gd1}V_{gd} + C_{gd2}V_{gd}^2)
 \end{cases}
 \begin{cases}
 I_{ds} = I_{pk} (1 + P(V_{gs})) \tanh(\Psi) P(V_{gd}) \tanh((\alpha_1 + \alpha_2 V_{gs}) V_{ds}) \\
 \Psi = P_1(V_{gs} - V_{pk}) + P_2(V_{gs} - V_{pk})^2 + P_3(V_{gs} - V_{pk})^3 \\
 P(V_{gs}) = K_0 + K_1 V_{gs} + K_2 V_{gs}^2 + K_3 V_{gs}^3 \\
 P(V_{gd}) = 1 + \lambda_1 V_{gs} + \lambda_2 V_{gs}^2 + \lambda_3 V_{gs}^3
 \end{cases}$$

$$I_{kink} = \begin{cases}
 I_{ks} V_{gs} V_{ds} (1 + c V_{ds}) \left[ 1 + \tanh\left(\alpha \left( V_{ds} - \frac{b}{\sqrt{V_{gs} + cte_1}} \right) \right) \right] & V_{gs} \geq 0 \\
 0 & V_{gs} < 0
 \end{cases}$$

$$I_{kink}(\omega) = e^{-\omega\tau_k} \int_{-\infty}^{+\infty} e^{-j\omega t} I_{kink}(t) dt$$

Figure II.5.2 Modèle SILICA complet pour les transistors MOS

Il comprend au total 15 éléments électriques dont 7 intrinsèques et 8 extrinsèques. Les éléments intrinsèques non linéaires étant décrits par leurs équations sont donnés par l'ensemble des valeurs des paramètres. Les capacités  $C_{gs}$  et  $C_{gd}$  sont déterminées par 11 paramètres, le courant  $I_{ds}$  par 14 paramètres et le courant  $I_{kink}$  par 5 paramètres. Dans le cas des transistors à *body* relié à la source, le courant  $I_{kink}$  est nul.

## II.5.2 Mesures des transistors en hyperfréquences

### II.5.2.a Paramètres de répartition.

Les transistors sont généralement représentés sous la forme de quadripôles avec un port d'entrée et un port de sortie, où sont définis les courants et les tensions. La figure II.5.3 illustre schématiquement un transistor MOSFET sous sa représentation quadripôle en source commune.

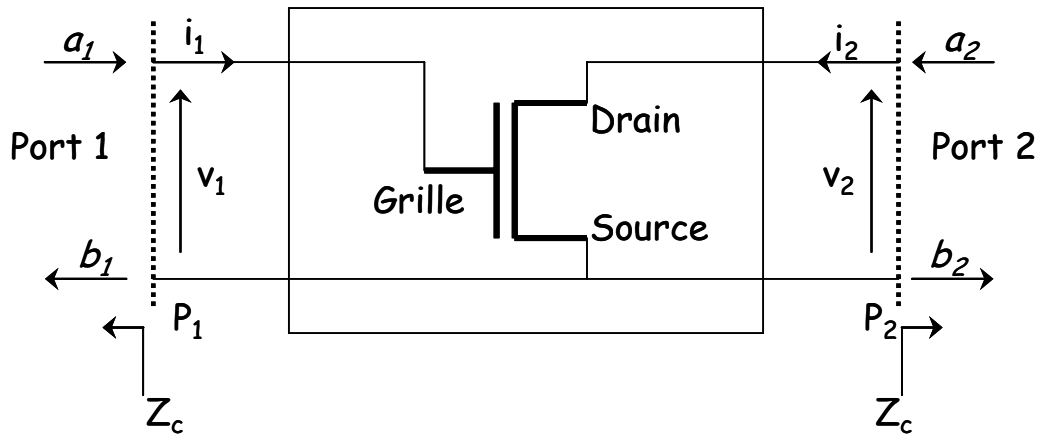


Figure II.5.3 Représentation d'un transistor en source commune, sous la forme d'un quadripôle

En régime de fonctionnement petit signal (faibles amplitudes d'excitation), le quadripôle peut être caractérisé par des relations linéaires entre les courants  $i_i$  et les tensions  $v_i$ . En hyperfréquences, les notions de courant et de tension sont difficiles à utiliser. Pour cela, nous utilisons le concept de la puissance d'onde stationnaire transverse électromagnétique (*TEM*). En un plan du circuit (plan  $P_1$  ou plan  $P_2$  de la figure II.5.3) sont définies la puissance de l'onde incidente  $a_i$  et la puissance d'onde réfléchi  $b_i$ . Entre deux plans ( $P_1$  et  $P_2$ ), nous définissons la notion de la puissance transmise. Les puissances  $a_i$  et  $b_i$  sont reliées avec les courants  $i_i$  et les tensions  $v_i$  par les relations [13] :

$$a_i = \frac{v_i + Z_c i_i}{2\sqrt{\Re(Z_c)}} \quad (\text{II.5.1})$$

$$b_i = \frac{v_i - Z_c^* i_i}{2\sqrt{\Re(Z_c)}} \quad (\text{II.5.2})$$

$Z_c$  est l'impédance caractéristique sur laquelle le quadripôle est chargé. Le quadripôle est caractérisé par les paramètres S qui sont définis par des relations linéaires entre les ondes incidentes, réfléchies et transmises. Ils sont définis par :

$$\begin{aligned} b_1 &= S_{11}a_1 + S_{12}a_2 \\ b_2 &= S_{21}a_1 + S_{22}a_2 \end{aligned} \quad \text{ou} \quad \begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = (S) \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{II.5.3})$$

Les 4 paramètres  $S_{ij}$  sont des grandeurs complexes.  $S_{11}$  (et  $S_{22}$ ) sont les paramètres de réflexion car ils donnent le rapport de l'onde réfléchie  $b_1$  ( $b_2$ ) sur l'onde incidente  $a_1$  ( $a_2$ ) quand  $a_2$  ( $a_1$ ) est nulle.  $S_{12}$  (et  $S_{21}$ ) sont les paramètres de transmission car ils donnent le rapport de l'onde sortante  $b_1$  ( $b_2$ ) sur l'onde incidente  $a_2$  ( $a_1$ ) quand  $a_1$  ( $a_2$ ) est nulle.

II.5.2.b Mesure des paramètres S. Etalonnage LRM et TRL.

La mesure des paramètres S d'un quadripôle se fait à l'aide d'un analyseur de réseau vectoriel. Le principe de fonctionnement de l'analyseur de réseau vectoriel est donné en annexe II.A.3. La mesure s'effectue en deux temps : D'abord, en sens direct, l'excitation est l'onde  $a_1$  et permet d'obtenir les paramètres  $S_{11}$  et  $S_{21}$  à partir des ondes mesurées  $b_1$  et  $a_2$ . Ensuite, l'onde d'excitation est  $a_2$ , et les paramètres obtenus sont  $S_{22}$  et  $S_{12}$ . Le principe de la mesure est illustré sur la figure II.5.4.

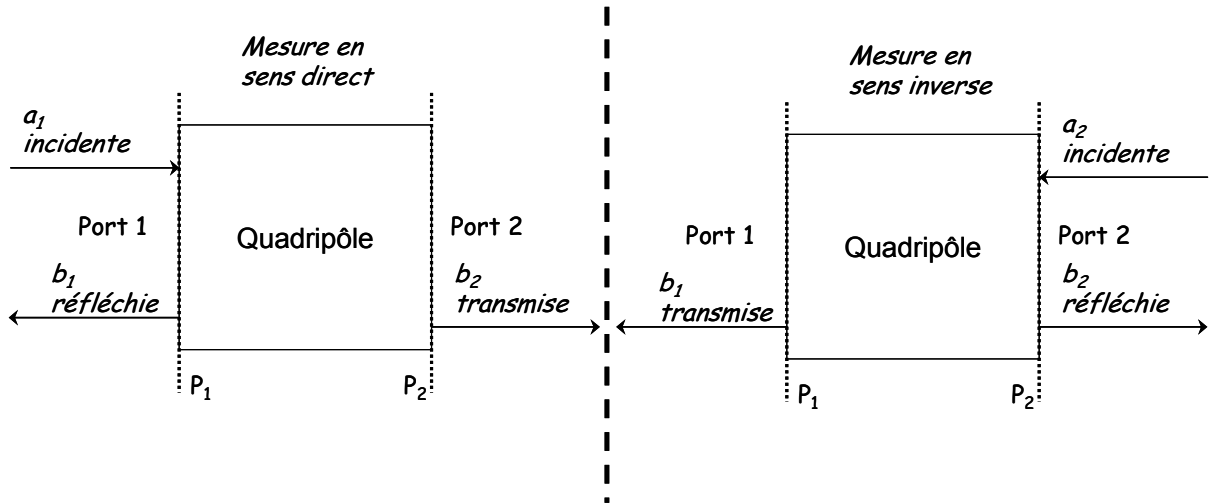


Figure II.5.4 Principe de mesure des paramètres S.

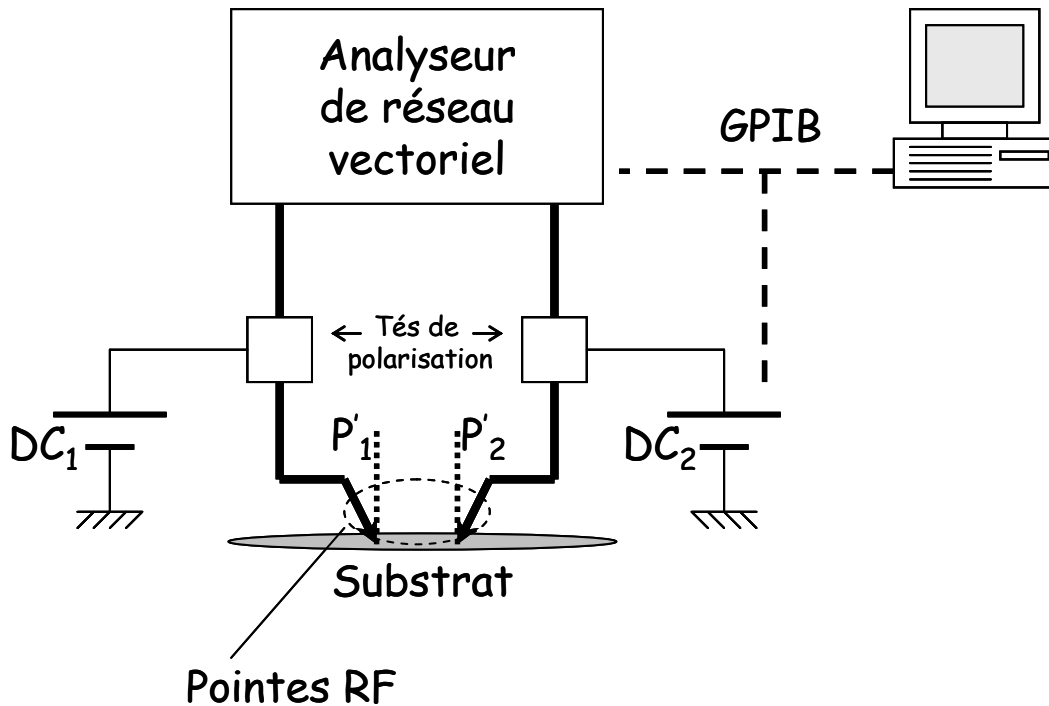


Figure II.5.5 Schéma du banc de mesures de paramètres S

Les mesures sont effectuées directement sur le substrat à l'aide de pointes hyperfréquences. La figure II.5.5 montre schématiquement le banc de mesures sous pointes (ou sondes) des paramètres S.

Hormis le VNA, le banc inclut une alimentation de tension continue afin de polariser les transistors, deux té de polarisation permettant de découpler le régime statique et le régime dynamique, et la connectique coaxiale nécessaire à la propagation des signaux. Le tout (VNA et alimentation) est connecté à un ordinateur *via* une interface GPIB et piloté par le logiciel *ICCAP* (*Agilent Technologies*).

Le composant est mesuré directement sur le substrat par des pointes hyperfréquences qui comprennent trois contacts électriques coplanaires : le conducteur central porte le signal au dispositif et les deux conducteurs externes sont reliés à la masse. La figure II.5.6 montre une vue schématique des pointes hyperfréquences en contact avec les plots d'un composant [1].

La mesure hyperfréquences sous pointes est entachée d'erreurs dues aux éléments de mesure, à l'analyseur de réseau vectoriel (erreurs systématiques) mais aussi aux conditions environnementales (erreurs de dérive). Pour s'affranchir des erreurs systématiques, des techniques d'étalonnage sont utilisées afin de corriger la mesure brute.



L'étalonnage (calibrage) du banc de mesure consiste à ramener les plans de mesure brute des paramètres S aux plans des pointes  $P'_1$  et  $P'_2$ , et à normaliser les paramètres S résultants par rapport à  $50 \Omega$  (figure II.5.4). Dans le cadre de ces travaux, nous avons utilisé l'étalonnage *LRM* (*Line, Reflect, Match*). L'étalonnage *LRM* utilise des éléments standards (ligne, élément réflectif et une charge adaptée de  $50 \Omega$ ) réalisés sur substrat d'alumine [14]-[17]. Cette technique a été largement discutée dans le cadre de nombreuses thèses, par conséquent nous n'allons pas entrer dans les détails [18], [1], [2].

Il faut noter qu'un calibrage *LRM* n'est pas suffisant pour l'obtention des paramètres S du transistor : comme le montre la figure II.5.6, les plans de mesure  $P'_1$  et  $P'_2$  doivent être ramener aux plans  $P''_1$  et  $P''_2$ . On s'affranchit ainsi de l'influence des plots coplanaires qui sont assimilés à des lignes à pertes. Pour cette procédure d'étalonnage, il existe deux techniques. La première est similaire à la technique *LRM* et s'appelle *TRL* (*Thru, Reflect, Line*) [1]. Dans ce cas, les standards utilisés doivent être inclus sur le substrat Si à pertes et avoir les mêmes caractéristiques que les plots coplanaires d'accès au transistor. La deuxième technique est directe, car elle est basée sur une représentation électrique des plots et ne nécessite pas la détermination de leur impédance caractéristique [19]. Les éléments électriques des plots sont extraits à partir des mesures du circuit ouvert associé au transistor.

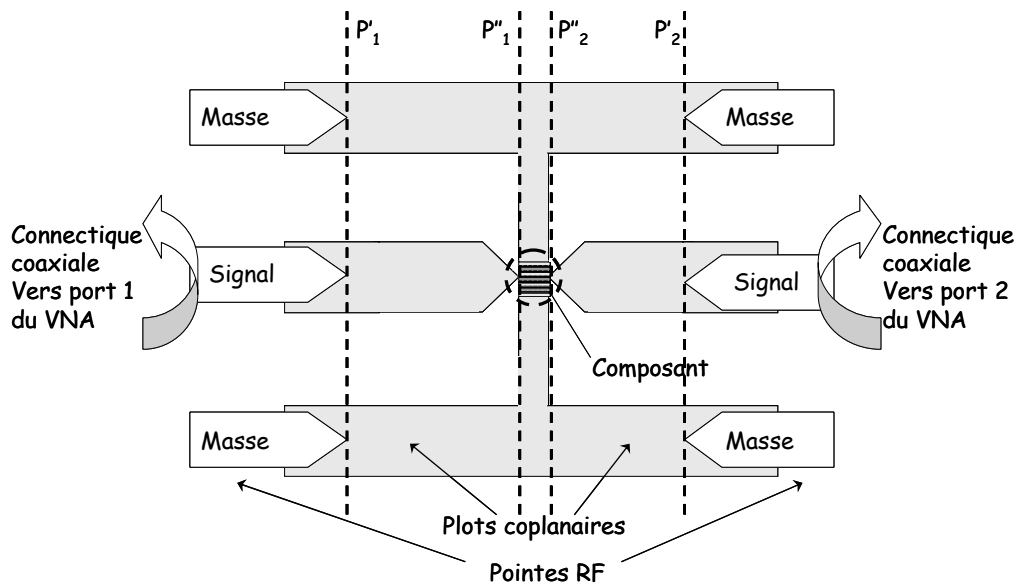


Figure II.5.6 Plots coplanaires et pointes RF utilisés pour les mesures hyperfréquences des transistors

### II.5.3 Détermination des éléments électriques du modèle

La détermination des éléments du schéma équivalent électrique petit signal se base sur des propriétés des transistors MOS dépendant du régime de polarisation et de la fréquence de fonctionnement. Parmi les nombreuses techniques établies dans la littérature, nous allons présenter les méthodes utilisées dans le cadre de ces travaux [20]-[22].

En premier lieu, nous déterminons les éléments extrinsèques parallèles (capacités plots). Par la suite, un épluchage des capacités de plots est effectué et les éléments extrinsèques séries (résistances, inductances) sont extraits. La même technique d'épluchage est utilisée afin de s'affranchir des éléments séries et d'accéder à la partie intrinsèque du transistor. Les étapes d'extractions sont illustrées schématiquement sur la figure II.5.7 [2]. Les transformations matricielles sont données en annexe A.II.4.

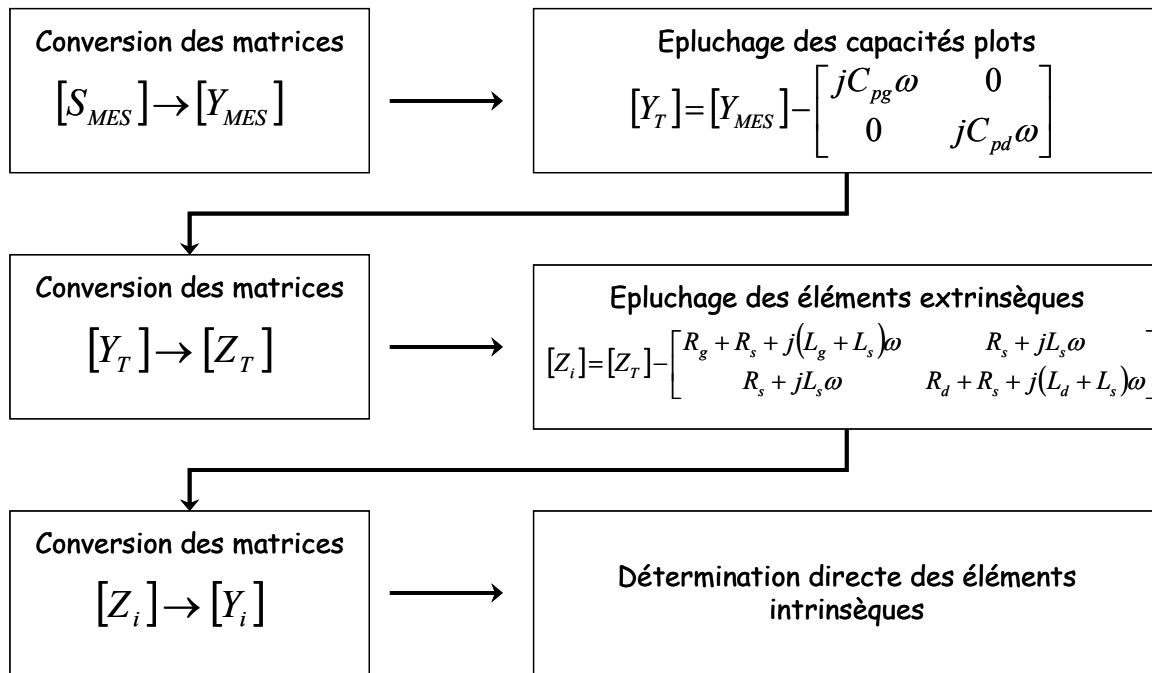


Figure II.5.7 Procédure d'épluchage afin d'extraire les éléments intrinsèques du composant

#### II.5.3.a Extraction des éléments extrinsèques

##### Capacités plots $C_{pg}$ et $C_{pd}$

Parmi les différentes méthodes existantes, nous utilisons une méthode d'extraction directe [23], [1]. Cette méthode nécessite un transistor unique pour la détermination des capacités plots, à l'inverse d'autres méthodes proposées exigeant plusieurs composants de largeurs variantes. Les capacités plots sont déterminées à partir de mesures de paramètres S

à polarisation froide ( $V_{ds}=0$  V) et à canal pincé ( $V_{gs} \ll V_{th}$ ). Dans ces conditions de polarisations, la transconductance  $g_m$  et la conductance de drain  $g_d$  sont nulles. Le schéma équivalent électrique simplifié est illustré sur la figure II.5.8. Les capacités  $C_{gs}$  et  $C_{gd}$  sont considérées égales ( $C_{gs}=C_{gd}=C_0=C_{ox}/2$ ) [3]. L'hypothèse fondamentale consiste à considérer la capacité intrinsèque  $C_{ds}$  nulle. D'autre part, l'extraction de  $C_{pg}$  et  $C_{pd}$  se fait en basse fréquence, afin de négliger l'influence des résistances ( $R_g$ ,  $R_d$  et  $R_s$ ) et des inductances ( $L_g$ ,  $L_d$  et  $L_s$ ) devant l'influence des capacités. Tenant compte des hypothèses ci-dessus, on peut écrire :

$$C_{pg} = \frac{\Im(Y_{11} + 2Y_{12})}{\omega} \quad (\text{II.5.4})$$

$$C_{pd} = \frac{\Im(Y_{22} + Y_{12})}{\omega} \quad (\text{II.5.5})$$

$$C_0 = -\Im(Y_{12})/\omega = -\Im(Y_{21})/\omega \quad (\text{II.5.6})$$

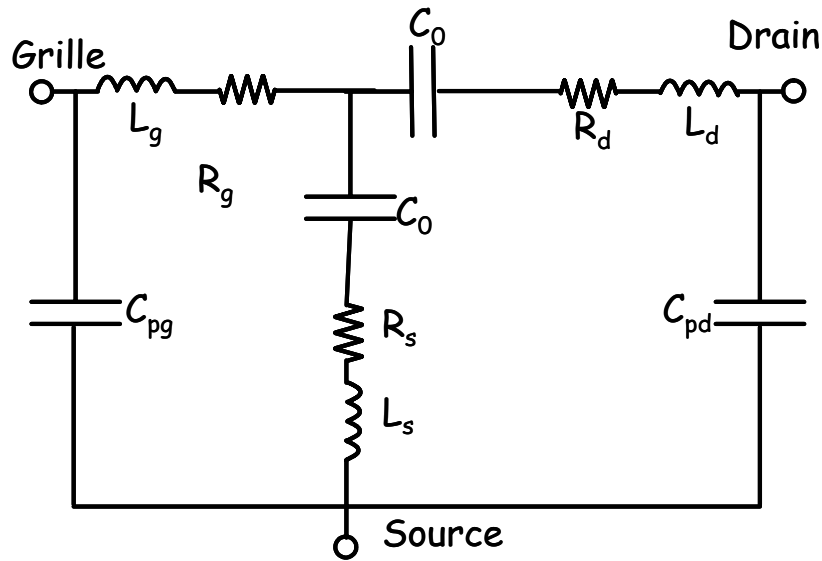
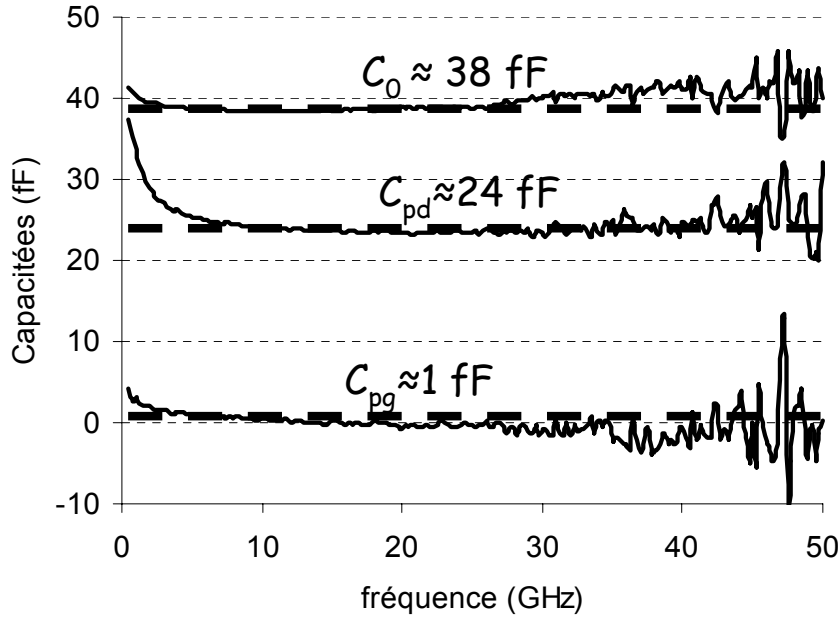


Figure II.5.8 Schéma équivalent d'un MOSFET à polarisation froide ( $V_{gs} < V_{th}$ ,  $V_{ds} = 0$  V)

Sur la figure II.5.9 sont illustrées les capacités extraites d'un transistor PD BT de longueur de grille de  $0.12 \mu\text{m}$  et de largeur totale de  $15 \times 4 \mu\text{m}$ .


 Figure II.5.9 Capacités  $C_0$ ,  $C_{pg}$  et  $C_{pd}$  mesurées

On remarque que la valeur des capacités n'est pas constante sur toute la bande, à cause de l'influence des éléments séries négligés lors de cette extraction. Par ailleurs, la valeur de  $C_{pd}$  est surestimée à cause de l'abstraction de  $C_{ds}$ . Ceci engendre une sous estimation de  $C_{ds}$  lors de sa détermination, voire même des valeurs négatives.

Il est clair que la méthode décrite ci-dessus est très imprécise ; cependant, elle est directe et ne nécessite pas plusieurs structures – test de transistors [2]. Comme nous allons le voir, la détermination de  $C_{pg}$  et  $C_{pd}$  n'est pas prépondérante dans la validité du modèle.

#### Résistances séries $R_{gs}$ , $R_d$ et $R_s$

Les résistances séries du modèle sont déterminées à courant nul (polarisation froide :  $V_{ds}=0 \text{ V}$ ) pour plusieurs valeurs de polarisation de la grille [22], [24]. Dans ces conditions, la transconductance est nulle et le schéma équivalent électrique est celui de la figure II.5.10. Les résistances  $R_i$  et  $R_{gd}$  traduisant les effets non quasi statiques sont négligées. Pour des fortes tensions de grille (forte inversion), les paramètres  $Z$  en fonction des éléments du schéma équivalent peuvent être approchés par les relations suivantes :

$$\Re(Z_{T22} - Z_{T12}) \approx R_d + \frac{1}{2g_d} \quad (\text{II.5.7})$$

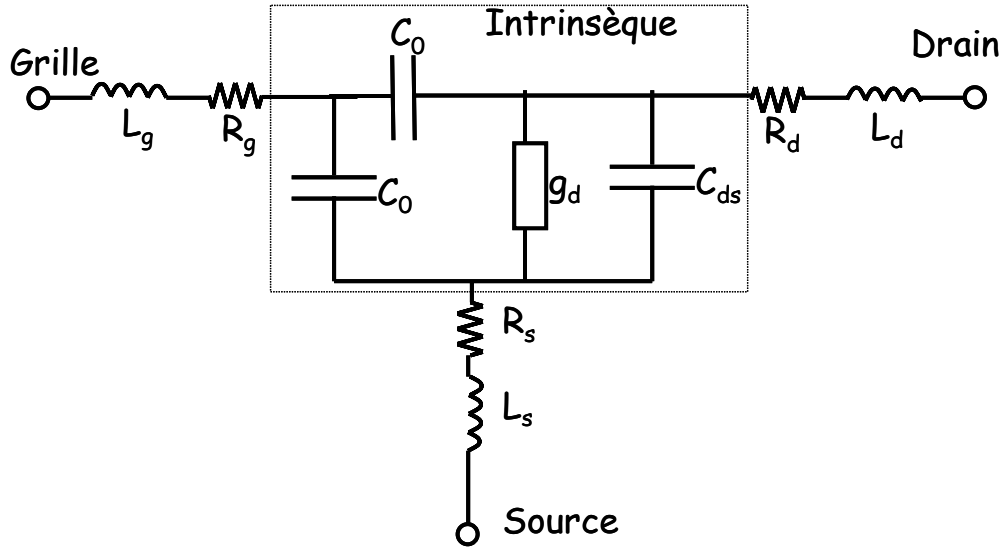


Figure II.5.10 Schéma équivalent électrique à  $V_{ds} = 0$  V utilisé pour la détermination des résistances d'accès

$$\Re(Z_{T12}) \approx R_s + \frac{1}{2g_d} \quad (\text{II.5.8})$$

$$\Re(Z_{T11} - Z_{T12}) \approx R_g + \frac{1}{4g_d} \quad (\text{II.5.9})$$

Afin d'obtenir les valeurs des résistances, nous utilisons une relation physique donnant la dépendance de la conductance de drain en fonction de la tension de grille :

$$g_d = \frac{\mu W C_{ox}}{L_g (1 + \alpha)} (V_{gs} - V_{th}) \quad (\text{II.5.10})$$

Si l'on remplace  $g_d$  dans les relations II.5.7-II.5.9 par la relation II.5.10, on obtient :

$$\Re(Z_{T22} - Z_{T12}) \approx R_d + \frac{1}{2K(V_{gs} - V_{th})} \quad (\text{II.5.11})$$

$$\Re(Z_{T12}) \approx R_s + \frac{1}{2K(V_{gs} - V_{th})} \quad (\text{II.5.12})$$

$$\Re(Z_{T11} - Z_{T12}) \approx R_g + \frac{1}{4K(V_{gs} - V_{th})} \quad (\text{II.5.13})$$

Avec  $K = \frac{\mu W C_{ox}}{L_g(1+\alpha)}$ . La figure II.5.11 illustre  $Re(Z_{T22}-Z_{T12})$  en fonction de la fréquence

de mesure pour diverses valeurs de la polarisation de la grille ( $V_{gs} : 0.9 V-1.4 V$ ). On remarque que  $Re(Z_{T22}-Z_{T12})$  n'est pas constant en fonction de la fréquence. On peut l'expliquer pour chaque zone fréquentielle : en dessous de 5 GHz, le calibrage *TRL* réalisé avec une ligne de  $800 \mu m$  de longueur ne donne pas de résultats fiables. D'autre part, la sensibilité de l'analyseur de réseau vectoriel utilisé est très limitée au delà de 35 GHz à cause de l'âge avancé de l'appareil. Pour cela, on restreint la zone d'exploitation entre 5 et 35 GHz. La valeur *RMS* de  $Re(Z_{T22}-Z_{T12})$  dans cette zone pour une polarisation de grille donnée est de 2% autour de la valeur moyenne. Le même ordre de grandeur est obtenu pour les valeurs *RMS* de  $Re(Z_{T11}-Z_{T12})$  et de  $Re(Z_{T12})$  dans cette bande fréquentielle

( $RMS = \sqrt{\sum_i \frac{1}{N} \left( \frac{V_i - V_M}{V_M} \right)^2}$ , où  $N$  est le nombre de point,  $V_i$  la valeur de chaque point mesuré et

$V_M$  la valeur moyenne dans la zone 5-35 GHz). Ce résultat étant très satisfaisant, nous procédons à une régression linéaire en fonction de  $1/(V_{gs} - V_{th})$  des valeurs moyennes des paramètres  $Z_T$ .

Sur la figure II.5.12 sont illustrées les régressions linéaires des paramètres. D'après les équations (II.5.11- II.5.13), les valeurs des résistances sont celles obtenues à l'origine des axes des ordonnées. Il est important de noter que la détermination précise des résistances est primordiale dans la validité du modèle. La moindre erreur dans la valeur extraite est immédiatement répercutée dans les valeurs des éléments intrinsèques.

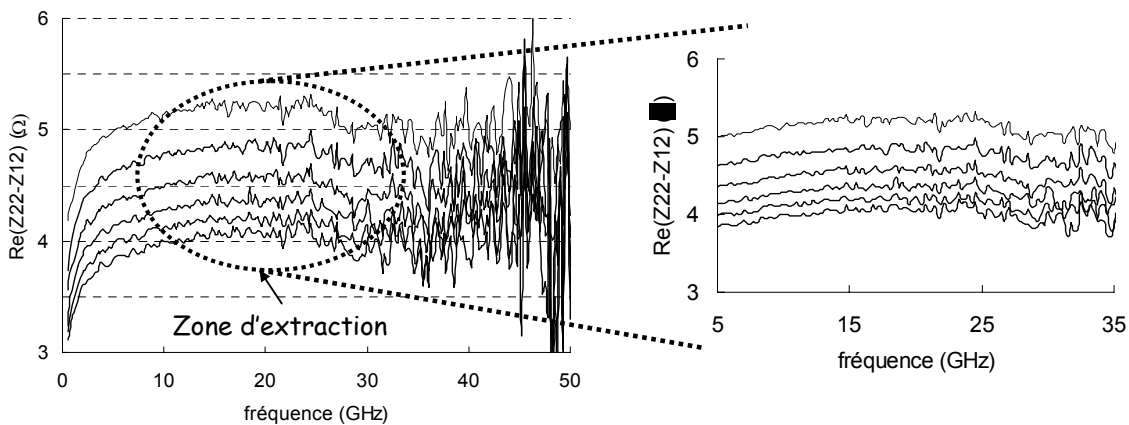


Figure II.5.11  $Rea(Z_{22}-Z_{12})$  en fonction de la fréquence pour diverses valeurs de la polarisation de la grille.  $V_{ds}=0 V$

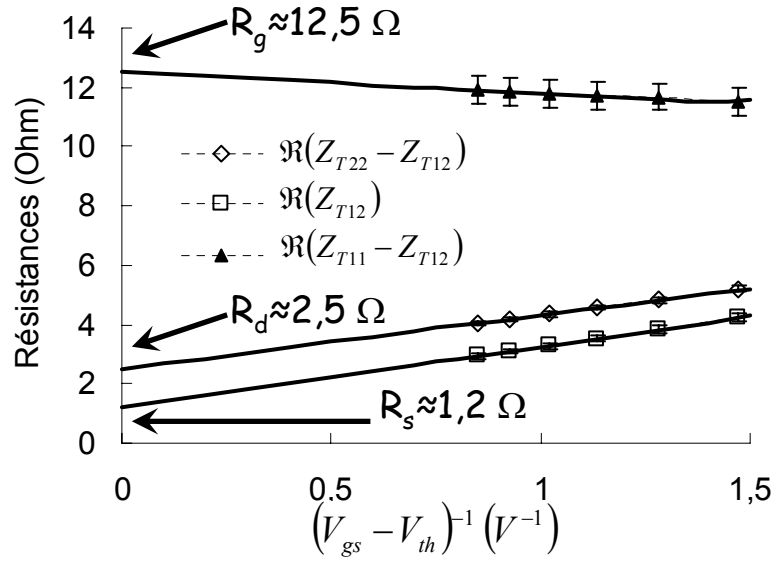


Figure II.5.12 Régressions linéaires des termes  $\Re(Z_{22}-Z_{12})$ ,  $\Re(Z_{11}-Z_{12})$  et  $\Re(Z_{12})$  en fonction de  $1/(V_{gs}-V_{th})$  et détermination des valeurs de  $R_g$ ,  $R_d$  et  $R_s$

D'autre part, les résistances  $R_d$  et  $R_s$  sont traversées par le courant de drain continu : leur valeur exacte est essentielle pour le calcul des tensions intrinsèques de drain et de grille, nécessaires à l'extraction des paramètres du modèle de courant.

En ce qui concerne les inductances d'accès, les techniques d'extraction existantes ne donnant pas de résultats physiques, nous déterminons leurs valeurs de manière empirique. Compte tenu de la topologie géométrique des composants en source commune, les inductances de grille et de drain sont imposées identiques. Leur valeur est déterminée par optimisation : elle est telle que les éléments intrinsèques ( $g_m$ ,  $g_d$ ,  $C_{gs}$  et  $C_{gd}$ ) soient plats en fonction de la fréquence. Quand à l'inductance de source, elle est considérée nulle.

### II.5.3.b Extraction des éléments intrinsèques

Une fois tous les éléments extrinsèques déterminés, nous pouvons directement extraire les éléments intrinsèques à partir de la matrice  $Y_{int}$  calculée selon la procédure de la figure II.5.7. La matrice  $Y_{int}$  est donnée par [25] :

$$\begin{bmatrix} Y_{i11} & Y_{i12} \\ Y_{i21} & Y_{i22} \end{bmatrix} = \begin{bmatrix} \frac{jC_{gs}\omega}{1+jR_iC_{gs}\omega} + \frac{jC_{gd}\omega}{1+jR_{gd}C_{gd}\omega} & -\frac{jC_{gd}\omega}{1+jR_{gd}C_{gd}\omega} \\ \frac{g_m}{1+jR_iC_{gs}\omega} - \frac{jC_{gd}\omega}{1+jR_{gd}C_{gd}\omega} & g_d + jC_{ds}\omega + \frac{jC_{gd}\omega}{1+jR_{gd}C_{gd}\omega} \end{bmatrix} \quad (\text{II.5.14})$$

On en déduit les éléments électriques intrinsèques en fonction des éléments  $Y_i$  :

$$C_{gd} = -\frac{\Im(Y_{i12})}{\omega} \left( 1 + \left( \frac{\Re(Y_{i12})}{\Im(Y_{i12})} \right)^2 \right) \quad (\text{II.5.15})$$

$$R_{gd} = \frac{1}{C_{gd}\omega} \frac{\Re(Y_{i12})}{\Im(Y_{i12})} \quad (\text{II.5.16})$$

$$C_{gs} = \frac{\Im(Y_{i11}) + \Im(Y_{i12})}{\omega} \left( 1 + \left( \frac{\Re(Y_{i11}) + \Re(Y_{i12})}{\Im(Y_{i11}) + \Im(Y_{i12})} \right)^2 \right) \quad (\text{II.5.17})$$

$$R_i = \frac{1}{C_{gs}\omega} \frac{\Re(Y_{i11}) + \Re(Y_{i12})}{\Im(Y_{i11}) + \Im(Y_{i12})} \quad (\text{II.5.18})$$

$$C_{ds} = \frac{\Im(Y_{i22}) + \Im(Y_{i12})}{\omega} \quad (\text{II.5.19})$$

$$g_d = \Re(Y_{i22}) + \Re(Y_{i12}) \quad (\text{II.5.20})$$

$$g_m = \left| (Y_{i21} - Y_{i12}) \left( 1 + j \frac{\Re(Y_{i11}) + \Re(Y_{i12})}{\Im(Y_{i11}) + \Im(Y_{i12})} \right) \right| \quad (\text{II.5.21})$$

Les éléments extraits du transistor à  $V_{gs}=0.6 V$  et  $V_{ds}=1.2 V$  sont illustrés sur les figures II.5.13 et II.5.14. Nous observons que les éléments  $g_m$ ,  $C_{gs}$  et  $C_{gd}$  sont constants dans la bande fréquentielle 5–35 GHz. Leurs variations respectives RMS autour de la valeur moyenne dans cette bande est de 1.3, 1.4 et 1.5 %. Cependant, la conductance de drain présente une nette variation en fonction de la fréquence. Par ailleurs, la figure II.5.14 montre que l'extraction des éléments  $C_{ds}$ ,  $R_i$  et  $R_{gd}$  est très imprécise.



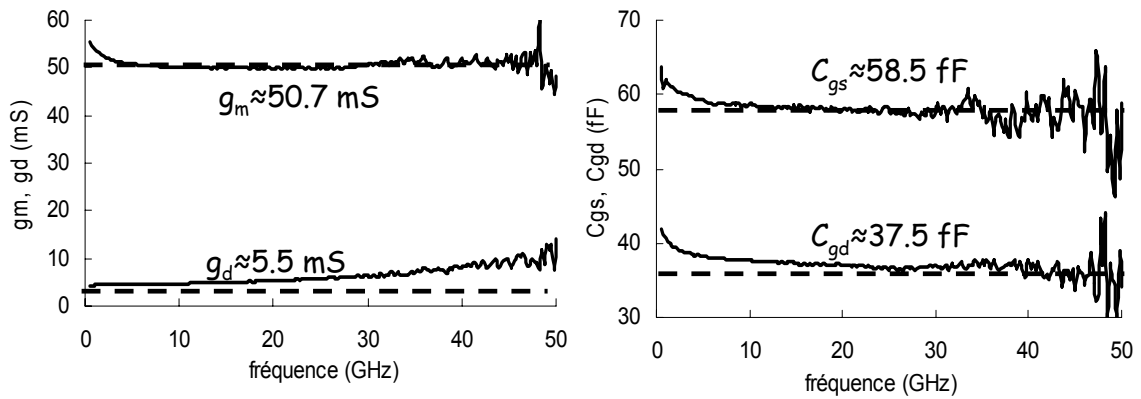


Figure II.5.13 Valeurs des éléments intrinsèques  $g_m$ ,  $g_d$ ,  $C_{gs}$  et  $C_{gd}$  sur toute la gamme de fréquence d'extraction

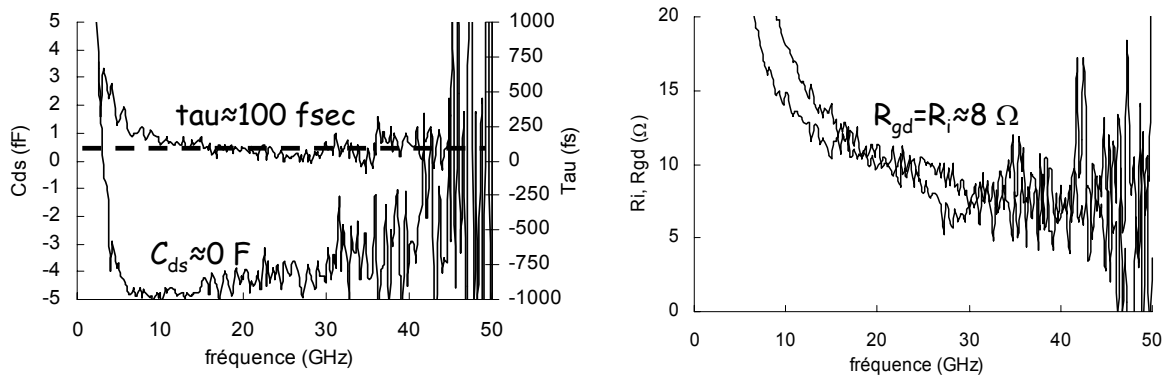


Figure II.5.14 Valeurs de éléments intrinsèques  $\tau$ ,  $C_{ds}$ ,  $R_i$  et  $R_{gd}$  sur toute la gamme de fréquence d'extraction

La capacité  $C_{ds}$  est négative et présente une évolution très forte en fonction de la fréquence. Ceci est dû à la sur-correction faite par le calibrage *TRL* sur les plots hyperfréquences du composant-test et de la surestimation de la capacité extrinsèque  $C_{pd}$ . De ce fait,  $C_{ds}$  est considérée nulle ou de valeur très faible ( $\sim 1$  fF). D'autre part, l'incertitude sur les valeurs de  $R_i$  est attribuée au fait qu'un composant MOSFET présente un facteur de réflexion ( $S_{11}$ ) très élevé. Par conséquent, le terme  $Y_{i11}$  dont  $R_i$  dépend est faible, et l'influence de  $R_i$  dans  $Y_{i11}$  est « masquée » par l'influence de la capacité  $C_{gs}$ . Il en va de même pour  $R_{gd}$  : la transmission inverse ( $S_{12}$ ) est très faible et le terme  $Y_{i12}$  dont

dépend  $R_{gd}$  est masqué par l'influence de  $C_{gd}$ . Néanmoins, l'influence des éléments  $C_{ds}$ ,  $R_i$  et  $R_{gd}$  n'est pas prédominante dans la validité du modèle. Par conséquent, dans un premier temps, nous utilisons les valeurs indiquées sur la figure II.5.14 et, par la suite, les valeurs sont optimisées, afin d'avoir une bonne concordance entre mesures et simulation.

Une fois les éléments intrinsèques déterminés en fonction de la fréquence, il est nécessaire de déterminer  $C_{gs}$  et  $C_{gd}$  en fonction des polarisations de drain et de grille afin d'en extraire les paramètres du modèle de charge. Pour cela, il suffit d'appliquer la même procédure que précédemment sur des mesures de paramètres S du composant en fonction des polarisations à diverses fréquences (dans la bande 5-35 GHz). Une moyenne doit être effectuée sur les valeurs extraites aux fréquences mesurées. La figure II.5.15 montre les capacités  $C_{gs}$  et  $C_{gd}$  mesurées en fonction des polarisations.

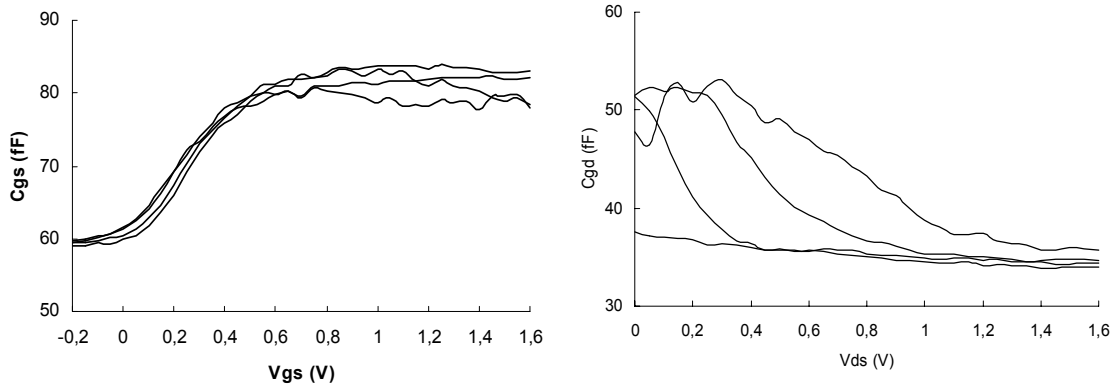


Figure II.5.15 Capacités  $C_{gs}$  et  $C_{gd}$  mesurées en fonction des polarisations du composant

#### II.5.4 Extraction des paramètres de charge.

La procédure d'extraction des paramètres de charge se base sur la technique de l'optimisation. L'optimisation est une procédure itérative qui consiste à calculer une fonction et à comparer le résultat à un but. Dans le cas du modèle de charge, les fonctions sont les équations de  $C_{gs}(V_{gs}, V_{ds})$  et de  $C_{gd}(V_{gs}, V_{ds})$  données par (II.4.10)-(II.4.13), et les buts ciblés sont les capacités  $C_{gs}$  et  $C_{gd}$  mesurées selon les procédures vues précédemment. La figure II.5.16 montre schématiquement l'algorithme itératif suivi pour l'extraction par optimisation des paramètres d'un modèle. La fonction d'optimisation utilisée est celle intégrée dans le logiciel commercial *ICCAP* de *Agilent Technologies* [26].

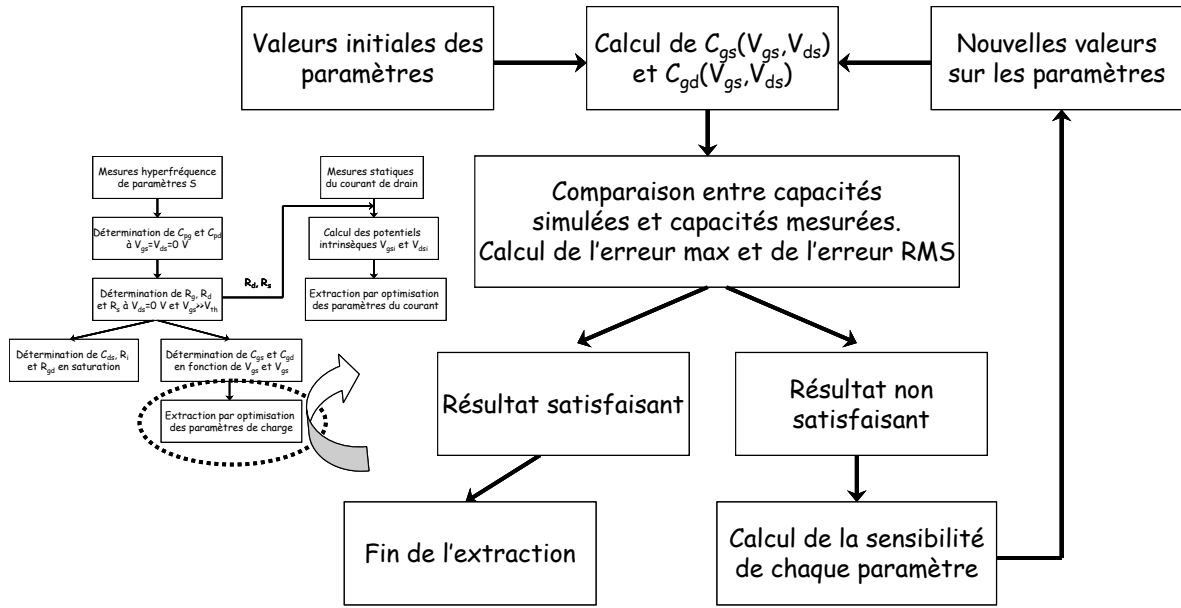


Figure II.5.16 Algorithme d'optimisation utilisé pour l'extraction des paramètres du modèle de charge

Tout d'abord, les valeurs des paramètres du modèle de charge doivent être initialisées. Le jeu de paramètres initiaux est capital dans le calcul ultérieur de la fonction d'optimisation : pour les mêmes capacités  $C_{gs}(V_{gs}, V_{ds})$  et  $C_{gd}(V_{gs}, V_{ds})$  mesurées et deux jeux de paramètres différents, le résultat de chacune des optimisations va être différent. Le tableau II.5.1 donne un jeu de paramètres initiaux que nous proposons pour les transistors MOS. Les valeurs de  $W_d n_d$  et  $L_g$  (respectivement largeur d'un doigt de grille, nombre de doigts et longueur de grille) n'y sont pas mentionnées. Il est important de noter que les paramètres du modèle de charge sont extraits de manière consistante, donc les capacités  $C_{gs}$  et  $C_{gd}$  sont calculées simultanément. D'autre part, la méthode d'extraction présentée ici est faite sur tous les régimes de fonctionnement du transistor. Une remarque générale sur les procédures d'optimisation (pour les paramètres de charge ou de courant) concerne le champ d'extraction : les polarisations de mesure du transistor doivent atteindre des valeurs au-delà du maximum et du minimum des valeurs d'utilisation du composant. Ainsi, le composant, dans l'exemple suivant, est habituellement utilisé pour des polarisations de grille et de drain entre 0 et 1.2 V. Par contre, le champ de mesure et d'extraction doit se faire entre 0 et 1.6 V. Ceci est très important car le modèle extrait doit être capable de prévoir les performances du composant en régime grand signal.

**Tableau valeurs initiales**

Les premiers paramètres à extraire sont  $C_0$  et  $L_d$ . Pour cela, la fonction d'optimisation est appliquée sur  $C_{gs}$  mesurée et  $C_{gs}$  calculée avec les valeurs initiales. Une fois  $C_0$  et  $L_d$  déterminées, leurs valeurs sont verrouillées.

Ensuite, nous devons extraire les paramètres spécifiques à chacune des capacités,  $C_{ggi}$  et  $C_{gdi}$ . Il est important de noter que les quatre paramètres  $C_{ggi}$  doivent être calculés simultanément : l'ensemble de leurs valeurs va définir la capacité  $C_{gs}$  et non chacune individuellement. Il en est de même pour les trois paramètres  $C_{gdi}$  et la capacité  $C_{gd}$ .

La procédure suivie pour l'extraction de ces paramètres se base sur une technique de *ping-pong*. En effet, la procédure d'optimisation est appliquée sur  $C_{gs}$  et un premier ensemble de valeurs des paramètres  $C_{ggi}$  est obtenu. La capacité  $C_{gd}$  est calculée avec les nouvelles valeurs des paramètres  $C_{ggi}$  et, ensuite, la procédure d'optimisation est appliquée sur la capacité  $C_{gd}$  afin d'en extraire les trois paramètres  $C_{gdi}$ . Une fois les valeurs de  $C_{gdi}$  obtenues, la capacité  $C_{gs}$  est calculée à partir des nouvelles valeurs des  $C_{gdi}$ . Si le résultat de comparaison entre les capacités calculées et celles mesurées est satisfaisant, l'utilisateur peut arrêter la procédure d'extraction. Dans le cas contraire, la méthode *ping-pong* peut être reprise jusqu'à obtention d'un meilleur résultat. La figure II.5.17 illustre de manière schématique la méthode décrite ci-dessus.

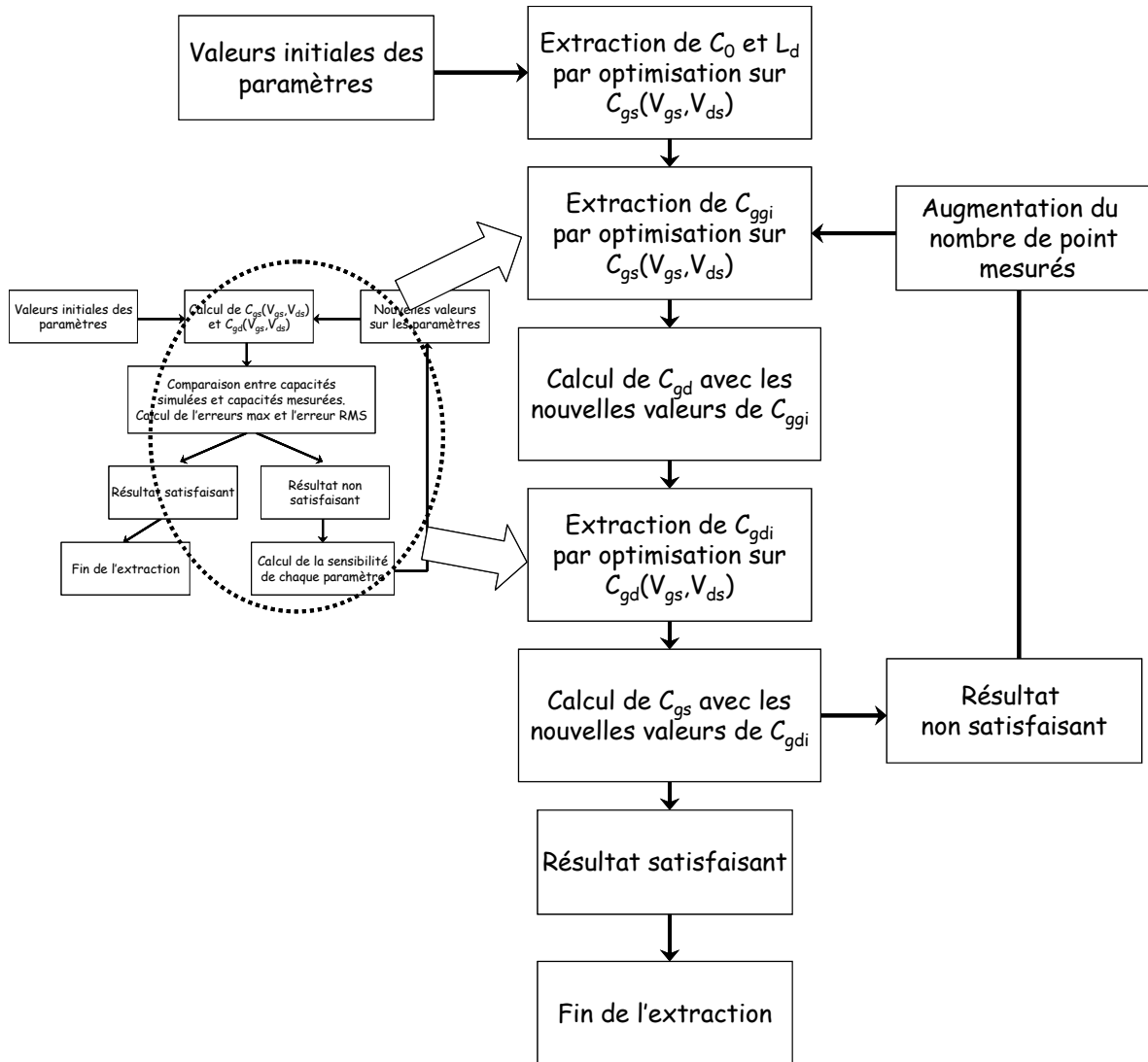


Figure II.5.17 Procédure d'extraction des paramètres de charge à l'aide de la fonction d'optimisation

Sur les figures II.5.18.a et II.5.18.b sont illustrées les capacités  $C_{gs}$  et  $C_{gd}$ , calculées (après extraction des paramètres du modèle) et mesurées d'un transistor MOS SOI BT de longueur de grille  $L_g=0.12 \mu m$  et de largeur de grille  $W=15 \times 4 \mu m$ . On peut remarquer que les capacités calculées à partir des paramètres extraits suivent la même tendance que les capacités mesurées. Par contre, les divergences sont significatives pour certaines polarisations et surtout pour  $C_{gd}$ . L'erreur maximale entre la mesure et le modèle est de 15 %, avec une valeur *RMS* de 5.8 %. La capacité  $C_{gs}$  est un peu mieux décrite avec une erreur maximale de 13 % et une valeur *RMS* de 4.8 %. Ces différences sont dues à deux raisons : aux équations du modèle qui ne sont pas physiques et à la technique de modélisation qui

contraint à modéliser la charge de grille en ayant des informations expérimentales uniquement sur ses dérivées.

Malgré cela, les résultats sont satisfaisants : jamais un modèle de charge ne pourrait modéliser à une forte précision les capacités. De plus, comme nous allons le voir dans le paragraphe suivant, les effets des capacités  $C_{gs}$  et  $C_{gd}$  sur les performances hyperfréquences des composants tant en régime petit signal qu'en régime grand signal sont très bien reproduites par le modèle.

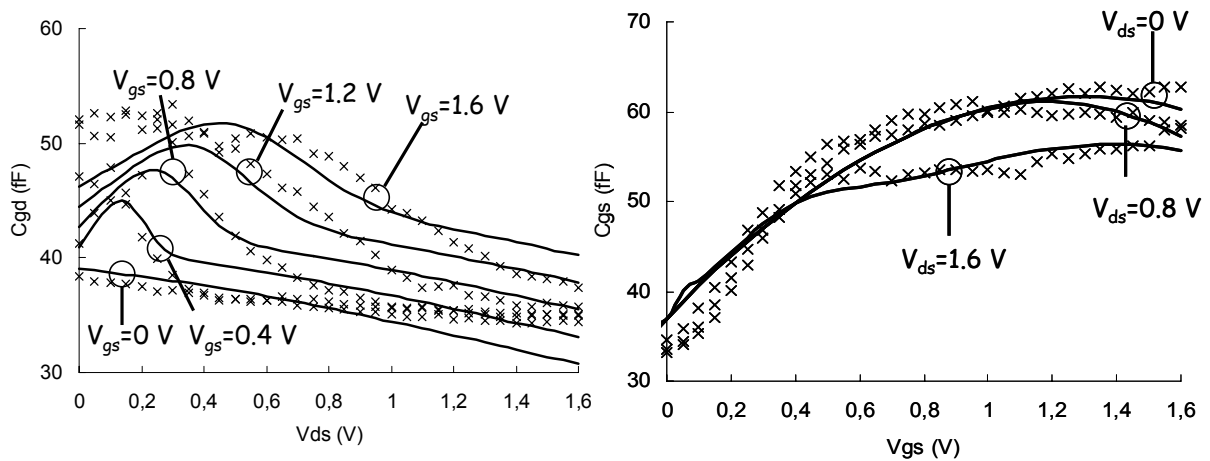


Figure II.5.18.a Capacité  $C_{gd}$  mesurée et calculée en fonction de la polarisation de drain  $V_{ds}$ .  
 b. Capacité  $C_{gs}$  mesurée et calculée en fonction de la polarisation de drain  $V_{ds}$

### II.5.5 Extraction des paramètres du courant

L'extraction des paramètres du courant suit le même principe que l'extraction des paramètres du modèle de charge. Nous utilisons la même procédure d'optimisation dans laquelle la fonction est le modèle du courant et le but le courant de drain mesuré. Il est donc nécessaire de mesurer le courant de drain statique  $I_{ds}$  en fonction des polarisations  $V_{gs}$  et  $V_{ds}$ . Le schéma équivalent électrique en  $DC$  est illustré sur la figure II.5.19.

D'après la figure II.5.19, l'extraction des paramètres nécessite la connaissance des potentiels intrinsèques : les éléments extrinsèques résistifs créent une chute de potentiel sur la commande du courant. Les potentiels intrinsèques sont calculés à partir des mesures du courant de drain statique  $I_{ds\ total}$  et des résistances  $R_d$  et  $R_s$  selon :

$$V_{gsi} = V_{gs} - I_{ds\ total} R_s \quad (\text{II.5.22})$$

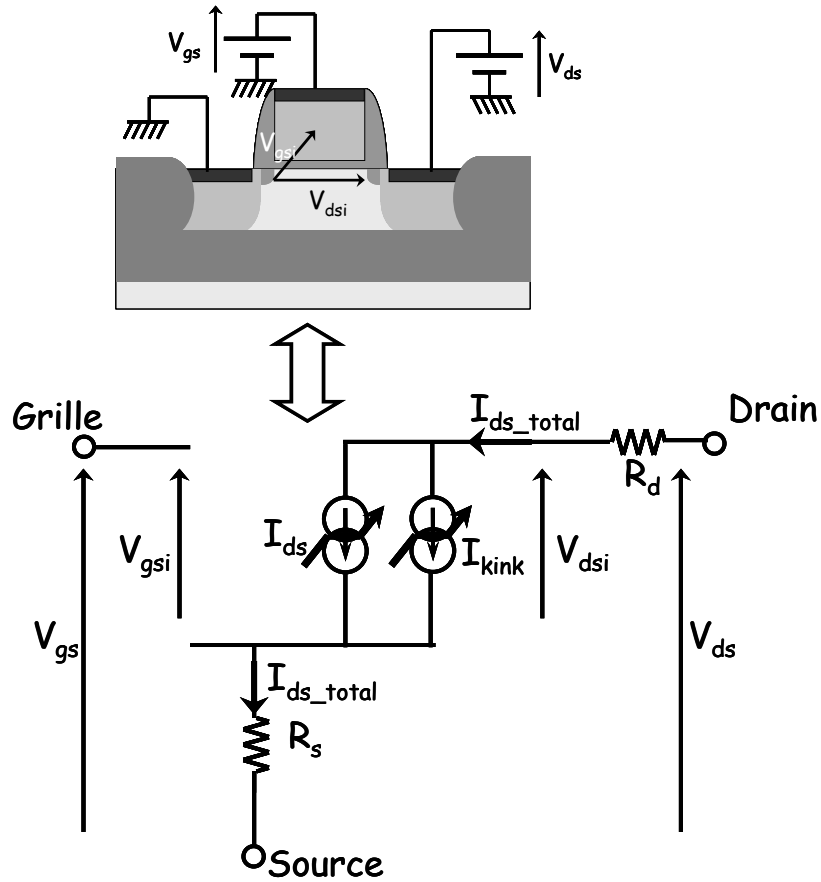


Figure II.5.19 Schéma équivalent statique des transistors MOS

$$V_{dsi} = V_{ds} - I_{ds\_total} (R_s + R_d) \quad (\text{II.5.23})$$

La figure II.5.20 montre la chute de potentiel à travers  $R_d$  et  $R_s$ . Sur II.5.20.a est montré  $\Delta V_{ds} = V_{ds} - V_{dsi}$  en fonction de la polarisation  $V_{ds}$  pour diverses valeurs de  $V_{gs}$ . On remarque que, pour des courants élevés, la chute de tension peut atteindre des valeurs au-delà de 200 mV. II.5.20.b montre la chute de tension sur  $V_{gs}$  :  $\Delta V_{gs} = V_{gs} - V_{gsi}$ . Dans ce cas, la chute de tension est plus faible car la résistance de drain n'intervient pas. Désormais, le modèle de courant  $I_{ds}$  donné par (II.2.10)-(II.2.13) sera calculé en fonction de  $V_{gsi}$  et  $V_{dsi}$  dans la procédure d'extraction. Le tableau II.5.2 résume les valeurs initiales des paramètres de courant afin de commencer une procédure d'extraction. La figure II.5.21 montre le modèle de courant avec les valeurs initiales proposées. Selon le type de transistor, deux procédures d'extraction existent : Les transistors à prises *body* (internes ou externes) sur substrat SOI ou substrat massif, et les transistors totalement désertés, sont traités de la même manière. Par contre, l'extraction des paramètres du courant, pour les transistors présentant l'effet *kink* sur leurs caractéristiques, doit inclure le modèle de *kink*.

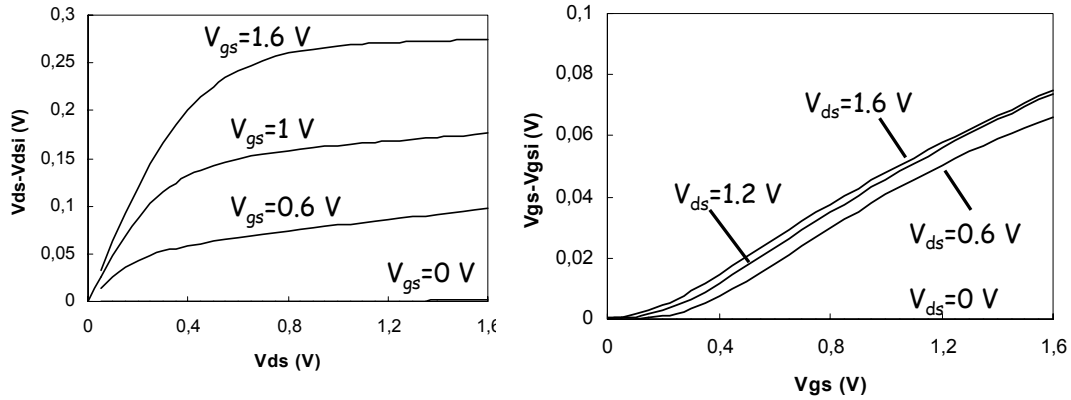


Figure II.5.20.a Chute du potentiel statique de drain à travers les résistances  $R_d$  et  $R_s$ . b. Chute du potentiel de grille à travers la résistance  $R_s$

$I_{pk}$	$V_{pk}$	$P_1$	$P_2$	$P_3$	$\alpha_1$	$\alpha_2$	$\lambda_1$	$\lambda_2$	$\lambda_3$	$k_0$	$k_1$	$k_2$	$k_3$
0.6	0.15	1.5	1.5	0.4	1	4	0.2	0.2	0.15	5	18	25	-5

Tableau II.5.2 Jeu de valeurs initiales pour les paramètres de courant

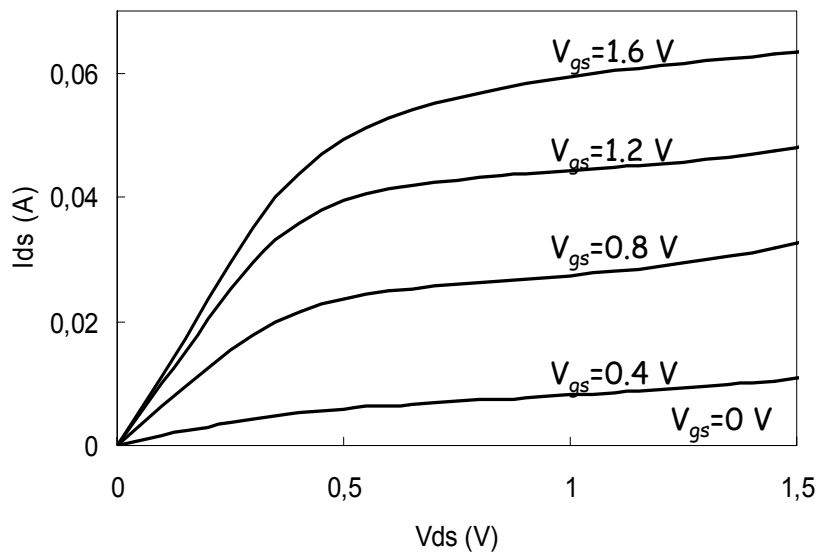


Figure II.5.21 Courant de drain calculé avec les valeurs initiales des paramètres



### II.5.5.a Cas des transistors ne présentant pas d'effet *kink*

Les premiers paramètres à extraire sont  $I_{pk}$ ,  $V_{pk}$  et  $P_1$ ,  $P_2$ ,  $P_3$ . La procédure d'optimisation est utilisée en régime de saturation. Les paramètres  $\alpha_1$  et  $\alpha_2$  sont extraits pour de faibles valeurs de  $V_{ds}$  avant saturation. En régime de saturation, nous déterminons les valeurs des paramètres  $\lambda_1$ ,  $\lambda_2$  et  $\lambda_3$ . Finalement, les paramètres  $K_0$ ,  $K_1$ ,  $K_2$  et  $K_3$  sont déterminés dans tous les régimes de fonctionnement. Si le résultat de l'extraction n'est pas satisfaisant, il est nécessaire d'augmenter le nombre de points de mesures et de reprendre l'extraction à la deuxième étape, c'est-à-dire à la détermination de  $\alpha_1$  et  $\alpha_2$ . La figure II.5.22 illustre schématiquement la procédure d'extraction des paramètres du modèle courant comme décrite ci-dessus.

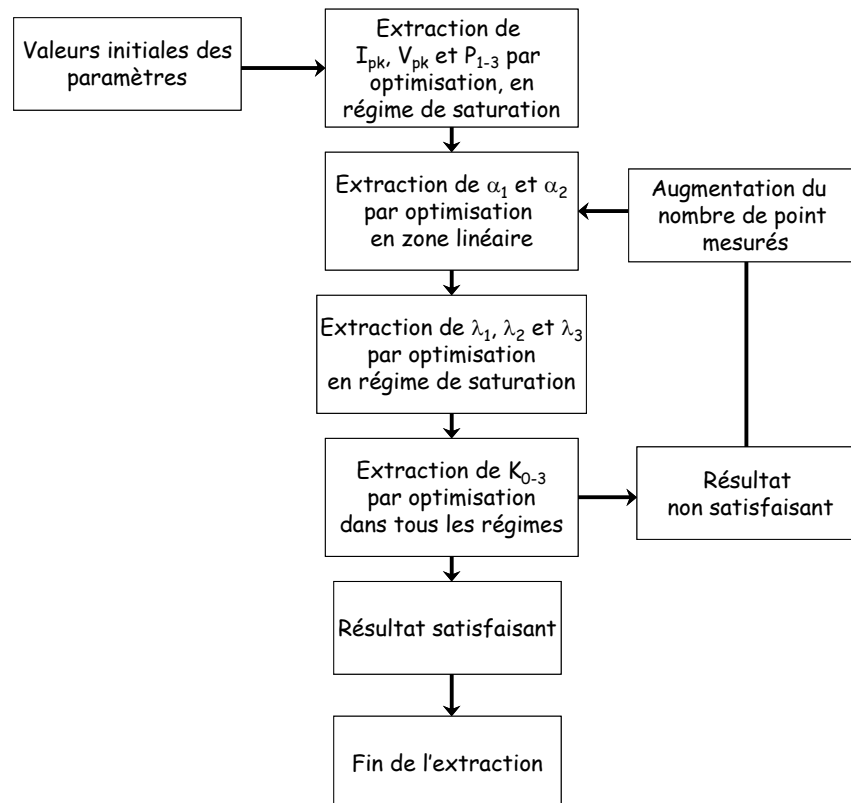


Figure II.5.22 Procédure d'extraction des paramètres de courant à l'aide de la fonction d'optimisation

La figure II.5.23.a montre le courant mesuré et calculé pour le transistor à prises *body* internes, en fonction de la polarisation de drain  $V_{ds}$ . La figure II.5.23.b montre le même résultat, mais en fonction de la polarisation de grille  $V_{gs}$  pour certaines valeurs de la polarisation de drain. On remarque une très bonne description du courant par le modèle.

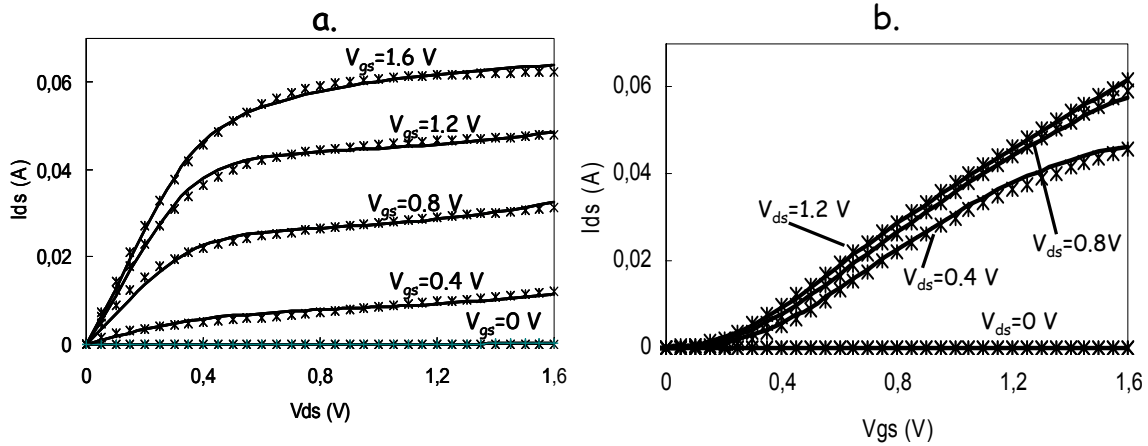


Figure II.5.23 Courant de drain mesuré et calculé après extraction des paramètres a. En fonction de  $V_{ds}$ . b. En fonction de  $V_{gs}$

II.5.5.b Cas des transistors présentant l'effet *kink*

La détermination des paramètres de courant pour les transistors à *body* flottant est similaire à celle décrite précédemment. La différence majeure se trouve dans le régime de fonctionnement auquel nous appliquons la procédure d'extraction : les paramètres des équations de courant (II.2.10)-(II.2.13) sont extraits dans la zone linéaire et en saturation pour des valeurs de polarisation de drain inférieures au seuil de l'effet *kink* (figure II.5.24). Les valeurs initiales des paramètres sont les mêmes, excepté pour les paramètres de saturation  $\lambda_2$  et  $\lambda_3$  dont les valeurs sont nulles (Tableau II.5.3).

La figure II.5.25 illustre la procédure d'extraction.

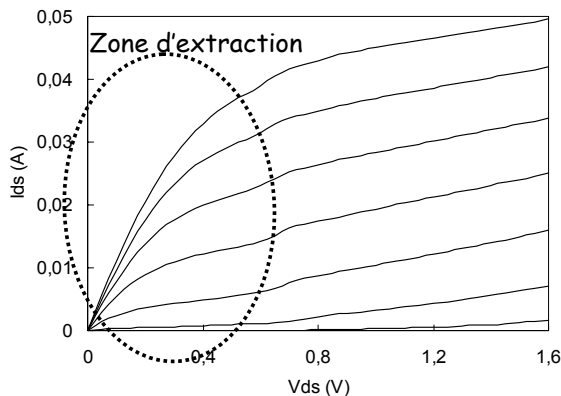


Figure II.5.24 Zone d'extraction des paramètres du courant pour les transistors à *body* flottant

$I_{pk}$	$V_{pk}$	$P_1$	$P_2$	$P_3$	$\alpha_1$	$\alpha_2$	$\lambda_1$	$\lambda_2$	$\lambda_3$	$k_0$	$k_1$	$k_2$	$k_3$
0.6	0.15	1.5	1.5	0.4	1	4	0.2	0	0	5	18	25	-5

Tableau II.5.3 Valeurs initiales des paramètres de courant

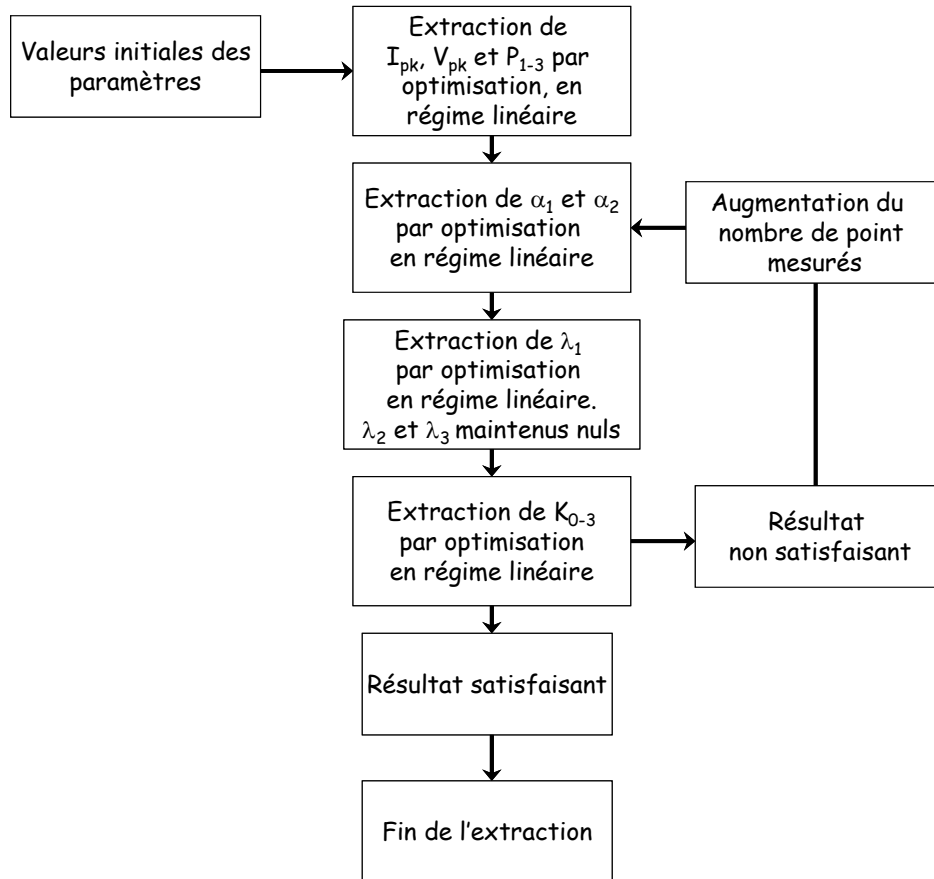


Figure II.5.25 Procédure d'extraction des paramètres de courant à l'aide de la fonction d'optimisation

La figure II.5.26.a montre le courant mesuré et calculé après extraction par (II.2.10)-(II.2.13), en fonction de la polarisation de grille pour diverses valeurs de tension de drain avant le seuil du *kink*. La figure II.5.26.b montre le même courant en fonction de la polarisation de drain.

Afin d'extraire les quatre paramètres du modèle de *kink*, nous appliquons la procédure d'optimisation sur le modèle de courant total ( $I_{ds\ total} = I_{ds} + I_{Kink}$ ) pour des valeurs de  $V_{ds}$  supérieures à celle du seuil du *kink*. Dans cette étape, les paramètres du modèle donné par (II.2.10)-(II.2.13) ne doivent pas être modifiés. Les quatre paramètres du *kink* sont extraits directement et de manière homogène (figure II.5.27). Les valeurs initiales utilisées ici sont données dans le tableau II.5.4.

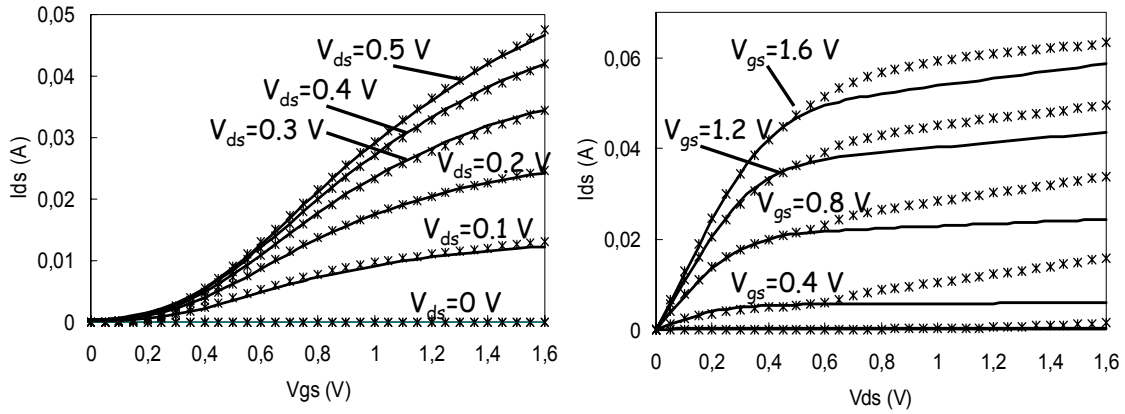


Figure II.5.26 Courant de drain mesuré et calculé après extraction des paramètres dans la zone linéaire

$I_k$	a	b	c
8 m	5.5	0.3	-0.4

Tableau II.5.4 Valeurs initiales pour les paramètres du courant  $I_{kink}$

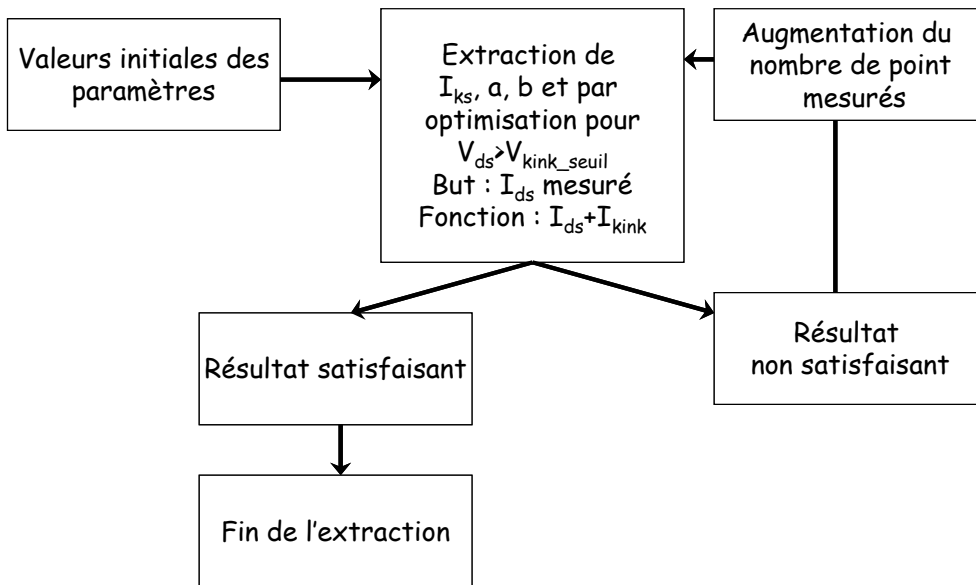


Figure II.5.27 Procédure d'extraction des paramètres du courant  $I_{kink}$  à l'aide de la fonction d'optimisation

La figure II.5.28 montre le résultat de l'extraction. On remarque une bonne concordance entre le courant mesuré et celui calculé par le modèle complet, dans tous les régimes de fonctionnement.

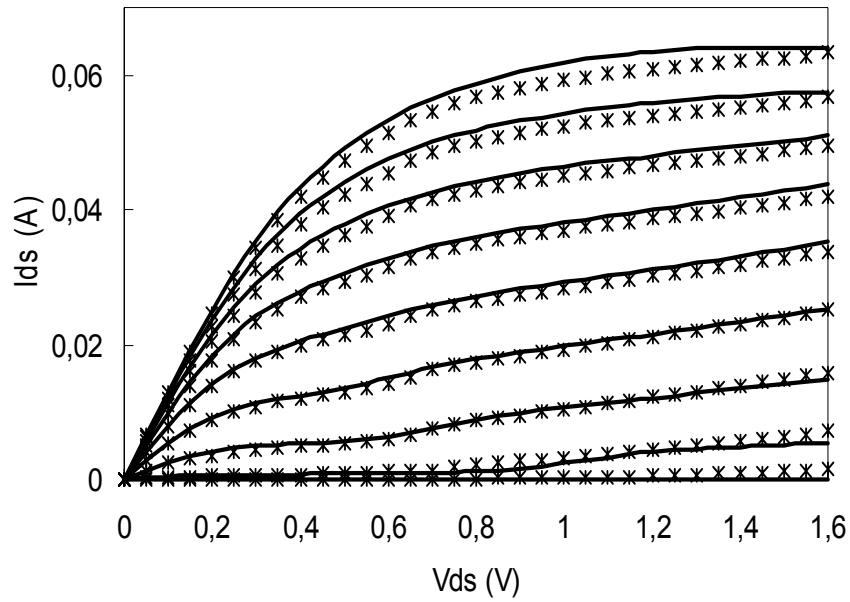


Figure II.5.28 Courant de drain mesuré et calculé après extraction des paramètres de  $I_{ds}$  et de  $I_{kink}$

En ce qui concerne la constante de temps  $\tau_k$ , relative au modèle fréquentiel de l'effet *kink*, aucune technique de détermination précise n'a été développée. Ceci pour diverses raisons : en premier lieu, l'équation fréquentielle (II.3.14) est une approche du 1<sup>er</sup> ordre et ne décrit pas de façon précise l'effet. En effet, on peut remarquer (figure II.3.8) que la valeur de  $V_{ds}$  pour laquelle  $g_d$  est maximale évolue en fonction de la fréquence. Ce résultat n'est pas décrit par le modèle. Il est donc difficile d'appliquer une procédure d'optimisation entre les mesures basse fréquence et le modèle de *kink*. Cependant, de nombreuses mesures de  $g_d$  en basse fréquence ont été effectuées sur plusieurs composants à *body* flottant et de longueurs de grilles allant de  $0.25$  à  $0.12 \mu m$ . Nous avons constaté que tous les composants ont un dénominateur commun : le *kink* présent sur le  $g_d$  a la même évolution fréquentielle et sa fréquence de coupure se situe près de  $1 MHz$ . Par conséquent, la valeur de la constante de temps du *kink*,  $\tau_k$  a été fixée à  $1 \mu sec$ .

## II.6 Implémentation du modèle dans un simulateur commercial

L'utilisation d'un modèle de type phénoménologique nécessite d'être implémenté dans un logiciel de simulation électrique pour circuits. Parmi les nombreux logiciels commerciaux existants, nous avons choisi le logiciel commercial *ADS (Advanced Design System)* de *Agilent Technologies* largement utilisé par les concepteurs de circuits intégrés en microondes. Le modèle a aussi été implémenté dans le logiciel *ELDO*, dans le cadre de la thèse de Christophe Pavageau<sup>1</sup>, dans le but de développer une passerelle pour la simulation *mixte mod*.

Dans ce paragraphe, nous allons présenter les techniques utilisées pour implémenter le modèle développé dans *ADS*. Dans un premier temps, l'implémentation des éléments non linéaires est décrite. Par la suite, nous présentons la description du modèle complet, incluant les éléments non linéaires et les éléments linéaires. Finalement, nous présentons les lois d'échelle établies en fonction de la largeur unitaire par doigt et du nombre de doigts.

---

<sup>1</sup> Thèse :

### II.6.1 Description des éléments non linéaires dans ADS

Tous les éléments non linéaires sont implémentés dans ADS à l'aide d'un outil appelé *SDD* (*Symbolically Defined Device: Composant Défini Symboliquement*) [27]. Cet outil permet de décrire un composant électrique quelconque linéaire ou non linéaire. Le composant est défini par  $n$  ports ( $n : 1-10$ ) et des relations reliant leurs courants et leurs tensions. Les relations courants – tensions sont les équations grand signal de chaque élément non linéaire et sont définies par l'utilisateur.

Dans notre modèle, les éléments non linéaires peuvent être classés en trois catégories :

1. Source de courant de drain  $I_{ds}(V_{gsi}, V_{dsi})$  donnée par (II.2.10)-(II.2.13).
2. Source de courant *kink*  $I_{kink}(\omega)$  donnée par (II.3.15) et (II.3.8).
3. Capacités  $C_{gs}(V_{gsi}, V_{dsi})$  et  $C_{gd}(V_{gsi}, V_{dsi})$ .

Par la suite, la technique de chacun des éléments est explicitée séparément.

#### II.6.1.a Courant $I_{ds}$ dans ADS

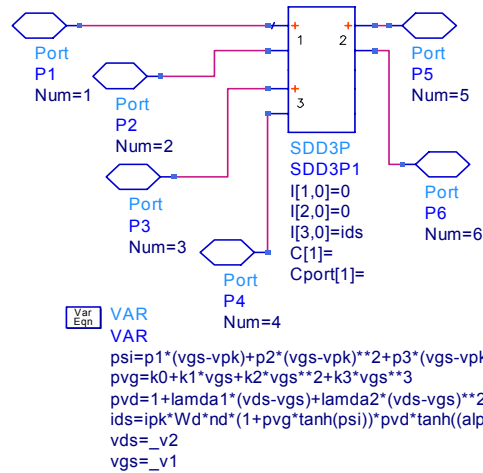


Figure II.6.1 *SDD* utilisé pour décrire le courant grand signal de drain  $I_{ds}$

Sur la figure II.6.1 est montré le *SDD* utilisé pour décrire  $I_{ds}(V_{gsi}, V_{dsi})$ . Nous utilisons un *SDD* à 3 ports : les ports 1 et 2 sont utilisés pour récupérer les potentiels de contrôle respectivement  $V_{gsi}$  et  $V_{dsi}$  ; les courants  $i_1$  et  $i_2$  des ports 1 et 2 sont imposés à 0 (impédance d'entrée des ports infinie). Le port 3 est utilisé pour définir la source de courant non linéaire : le courant  $i_3$  est défini par les relations (II.2.10)-(II.2.13) et les tensions de commande données par les ports 1 et 2.

### II.6.1.b Courant $I_{kink}$ dans ADS

La description de  $I_{kink}(V_{gsi}, V_{dsi})$  (donnée par II.3.8) dans le *SDD* est similaire à celle du courant  $I_{ds}(V_{gsi}, V_{dsi})$ . Pour décrire la dépendance fréquentielle du modèle, l'équation (II.3.14) est définie par une fonction poids (*weighting function*). Cet outil permet d'évaluer une fonction dans le domaine fréquentiel ; associé à l'équation grand signal  $I_{kink}(V_{gsi}, V_{dsi})$ , nous obtenons le modèle décrit par (II.3.15) et (II.3.8). Le *SDD* du courant *kink* est montré sur la figure II.6.2.

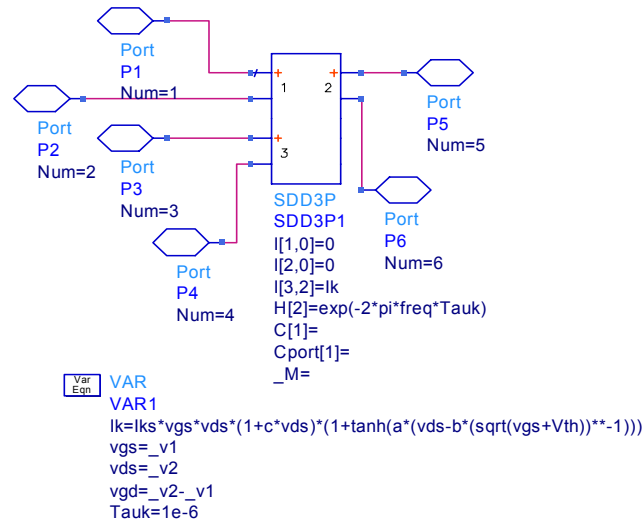


Figure II.6.2 *SDD* utilisé pour décrire le courant non linéaire  $I_{kink}$

### II.6.1.c Capacités $C_{gs}$ et $C_{gd}$ dans ADS

Les capacités  $C_{gs}(V_{gsi}, V_{dsi})$  et  $C_{gd}(V_{gsi}, V_{dsi})$  sont définies par leurs équations respectives. Les potentiels de contrôle sont définis de la même manière que précédemment, à partir des ports 1 et 2. Le courant traversant le port 3 est évalué dans le domaine fréquentiel donné par :

$$i_3 = j\omega C_{gs}(\omega) v_{gsi} \quad \text{pour la capacité } C_{gs} \text{ (II.6.1)}$$

et

$$i_3 = j\omega C_{gd}(\omega) v_{gdi} \quad \text{pour la capacité } C_{gd} \text{ (II.6.2)}$$



Le terme  $j\omega$  est décrit par une fonction poids, comme dans le cas du courant  $I_{kink}$ . La fonction poids d'indice 1 est explicitement définie par  $j\omega$ . La figure II.6.3 montre le *SDD* utilisé pour la capacité  $C_{gd}$ . La même technique est utilisée pour la capacité  $C_{gs}$ .

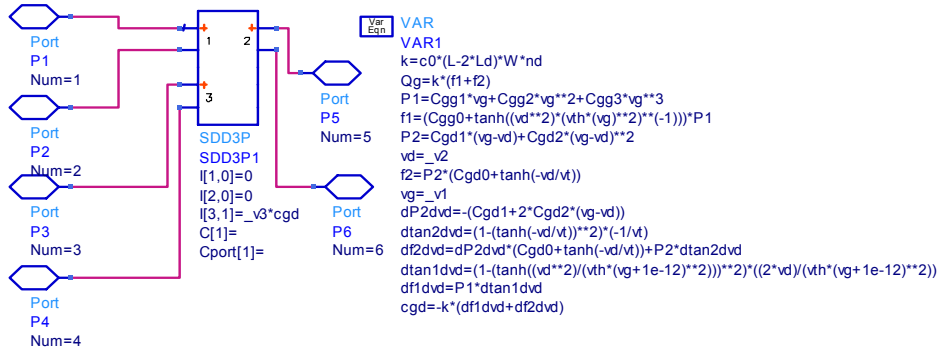


Figure II.6.3 *SDD* utilisé pour définir la capacité non linéaire  $C_{gd}$ .

### II.6.2 Schéma équivalent électrique dans *ADS*

Le modèle complet est décrit de façon schématique, à l'aide d'éléments localisés et des composants non linéaires définis précédemment. La figure II.6.4 montre le schéma du modèle électrique dans *ADS*.

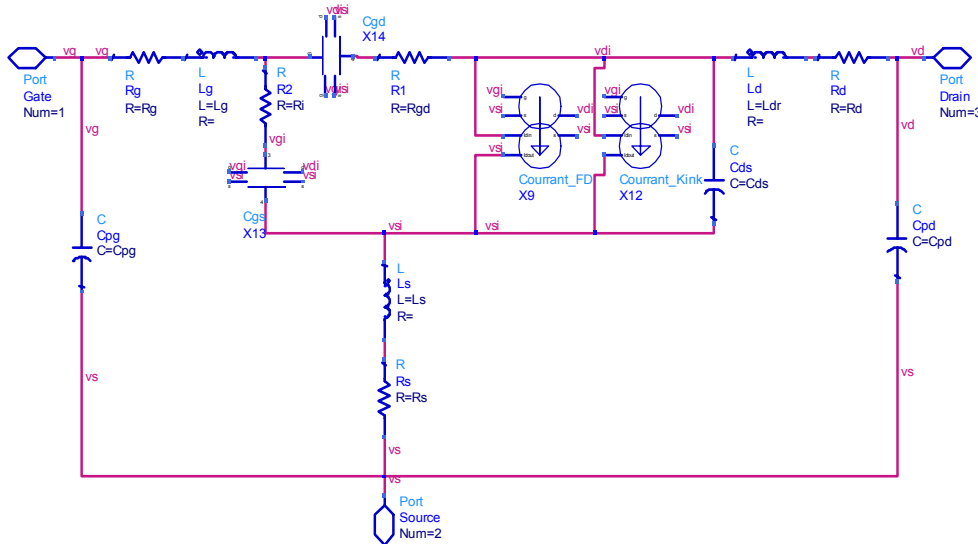


Figure II.6.4 Schéma électrique du modèle complet dans *ADS*

### II.6.3 Lois d'échelle en fonction $W_d$ et $n_d$

Plusieurs éléments des transistors suivent des lois d'échelles en fonction de la largeur et de la longueur de grille. Dans le cadre de la modélisation, nous avons établi des lois d'échelle en fonction de la largeur unitaire par doigt de grille et du nombre de doigts. Notons que l'élaboration de lois d'échelle en fonction de la longueur de grille nécessite une modélisation physique.

Parmi les éléments extrinsèques, seules les résistances d'accès présentent une dépendance en fonction de la largeur de la grille. Les résistances de source et de drain,  $R_d$  et  $R_s$ , suivent une loi linéaire en fonction de la largeur totale de la grille donnée par :

$$R_d = \frac{R_{d0}}{W_d n_d} \quad (\text{II.6.3})$$

$$R_s = \frac{R_{s0}}{W_d n_d} \quad (\text{II.6.4})$$

La résistance de la grille  $R_g$  est donnée par :

$$R_g = \frac{1}{3} R_{g-c} \frac{W_t}{L_g n_d^2} \quad (\text{II.6.5})$$

où  $R_{g-c}$  est la résistance carrée du polysilicium.

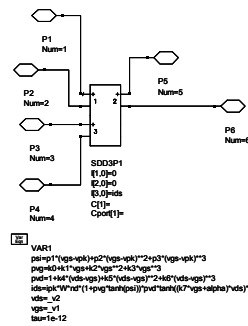
Les éléments intrinsèques sont tous dépendants de la largeur de la grille. Le courant est proportionnel à la largeur totale du composant  $W_t$ . Nous avons défini une loi sur le paramètre  $I_{pk}$  donnée par :

$$I_{pk} = I_{pk0} W_d n_d \quad (\text{II.6.7})$$

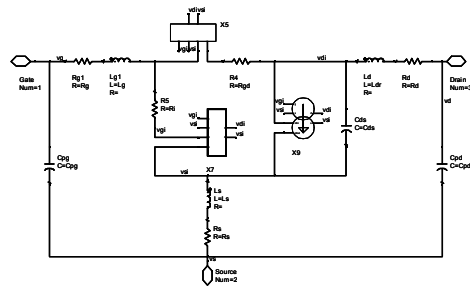
La charge de la grille est proportionnelle à la largeur totale de la grille (équation II.4.12). Notons qu'aucune loi d'échelle n'a été établie pour les éléments intrinsèques  $R_i$ ,  $R_{gd}$  et  $C_{ds}$  du fait de l'incertitude très élevée sur leurs valeurs respectives extraites.

Pour des raisons pratiques, les valeurs des paramètres de courant et de charge des éléments électriques et les lois d'échelle sont paramétrées et renvoyées à un niveau hiérarchique supérieur. Ainsi, un seul modèle paramétrable pour une famille technologique

de transistors MOS est disponible dans la librairie. La figure II.6.7 décrit les différents niveaux hiérarchiques des éléments du modèle.



Expressions analytiques du courant et des capacités avec des SDD



Description du schéma équivalent électrique

**COMPONENT PORT**

**SET OF PARAMETERS for Wf = 2um**  
NL Model based on BC 302x012-um

```

BT_302x012_NL_Parameters
Cgs1_2=49.4
Cgs2_2=28.28
Cgs3_2=28.28
Cgs4_2=45.282
Cgs5_2=112
Cgs6_2=334.7
Cgs7_2=112
Cgs8_2=112
Cgs9_2=112
Cgs10_2=112
Cgs11_2=112
Cgs12_2=112
Cgs13_2=112
Cgs14_2=112
Cgs15_2=112
Cgs16_2=112
Cgs17_2=112
Cgs18_2=112
Cgs19_2=112
Cgs20_2=112
Cgs21_2=112
Cgs22_2=112
Cgs23_2=112
Cgs24_2=112
Cgs25_2=112
Cgs26_2=112
Cgs27_2=112
Cgs28_2=112
Cgs29_2=112
Cgs30_2=112
Cgs31_2=112
Cgs32_2=112
Cgs33_2=112
Cgs34_2=112
Cgs35_2=112
Cgs36_2=112
Cgs37_2=112
Cgs38_2=112
Cgs39_2=112
Cgs40_2=112
Cgs41_2=112
Cgs42_2=112
Cgs43_2=112
Cgs44_2=112
Cgs45_2=112
Cgs46_2=112
Cgs47_2=112
Cgs48_2=112
Cgs49_2=112
Cgs50_2=112
Cgs51_2=112
Cgs52_2=112
Cgs53_2=112
Cgs54_2=112
Cgs55_2=112
Cgs56_2=112
Cgs57_2=112
Cgs58_2=112
Cgs59_2=112
Cgs60_2=112
Cgs61_2=112
Cgs62_2=112
Cgs63_2=112
Cgs64_2=112
Cgs65_2=112
Cgs66_2=112
Cgs67_2=112
Cgs68_2=112
Cgs69_2=112
Cgs70_2=112
Cgs71_2=112
Cgs72_2=112
Cgs73_2=112
Cgs74_2=112
Cgs75_2=112
Cgs76_2=112
Cgs77_2=112
Cgs78_2=112
Cgs79_2=112
Cgs80_2=112
Cgs81_2=112
Cgs82_2=112
Cgs83_2=112
Cgs84_2=112
Cgs85_2=112
Cgs86_2=112
Cgs87_2=112
Cgs88_2=112
Cgs89_2=112
Cgs90_2=112
Cgs91_2=112
Cgs92_2=112
Cgs93_2=112
Cgs94_2=112
Cgs95_2=112
Cgs96_2=112
Cgs97_2=112
Cgs98_2=112
Cgs99_2=112
Cgs100_2=112
                
```

**Non Linear model**  
Body-Contacted MOSFET  
W = 30x2 um  
Lg = 0.12um

**Current\_source\_parameters**

```

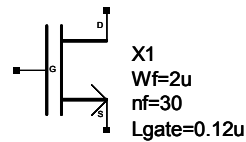
Igs1_2=14.85
Igs2_2=156.6
Igs3_2=156.6
alpha_2=1.813
                
```

**Capacitance\_parameters**

```

Cgs1_2=49.4
Cgs2_2=28.28
Cgs3_2=28.28
Cgs4_2=45.282
Cgs5_2=112
Cgs6_2=334.7
Cgs7_2=112
Cgs8_2=112
Cgs9_2=112
Cgs10_2=112
Cgs11_2=112
Cgs12_2=112
Cgs13_2=112
Cgs14_2=112
Cgs15_2=112
Cgs16_2=112
Cgs17_2=112
Cgs18_2=112
Cgs19_2=112
Cgs20_2=112
Cgs21_2=112
Cgs22_2=112
Cgs23_2=112
Cgs24_2=112
Cgs25_2=112
Cgs26_2=112
Cgs27_2=112
Cgs28_2=112
Cgs29_2=112
Cgs30_2=112
Cgs31_2=112
Cgs32_2=112
Cgs33_2=112
Cgs34_2=112
Cgs35_2=112
Cgs36_2=112
Cgs37_2=112
Cgs38_2=112
Cgs39_2=112
Cgs40_2=112
Cgs41_2=112
Cgs42_2=112
Cgs43_2=112
Cgs44_2=112
Cgs45_2=112
Cgs46_2=112
Cgs47_2=112
Cgs48_2=112
Cgs49_2=112
Cgs50_2=112
Cgs51_2=112
Cgs52_2=112
Cgs53_2=112
Cgs54_2=112
Cgs55_2=112
Cgs56_2=112
Cgs57_2=112
Cgs58_2=112
Cgs59_2=112
Cgs60_2=112
Cgs61_2=112
Cgs62_2=112
Cgs63_2=112
Cgs64_2=112
Cgs65_2=112
Cgs66_2=112
Cgs67_2=112
Cgs68_2=112
Cgs69_2=112
Cgs70_2=112
Cgs71_2=112
Cgs72_2=112
Cgs73_2=112
Cgs74_2=112
Cgs75_2=112
Cgs76_2=112
Cgs77_2=112
Cgs78_2=112
Cgs79_2=112
Cgs80_2=112
Cgs81_2=112
Cgs82_2=112
Cgs83_2=112
Cgs84_2=112
Cgs85_2=112
Cgs86_2=112
Cgs87_2=112
Cgs88_2=112
Cgs89_2=112
Cgs90_2=112
Cgs91_2=112
Cgs92_2=112
Cgs93_2=112
Cgs94_2=112
Cgs95_2=112
Cgs96_2=112
Cgs97_2=112
Cgs98_2=112
Cgs99_2=112
Cgs100_2=112
                
```

Valeurs des paramètres et lois d'échelle



Symbole schématique dans la librairie

Figure II.6.5 Hiérarchie utilisée pour la définition du modèle dans ADS

## II.7 Validation du modèle au travers de mesures

Avant son utilisation, un modèle électrique doit être validé. La validation est caractérisée par la fonctionnalité du modèle et par sa validité [3].

Par fonctionnalité, on entend le bon fonctionnement du modèle dans le simulateur, sa robustesse, et plus particulièrement la convergence lors d'un calcul. Par conséquent, la fonctionnalité dépend de la définition du modèle et de ses équations générales, et est indépendante des valeurs des éléments du modèle. La fonctionnalité du modèle est vérifiée implicitement, par observation des résultats des simulations (simulations statiques, dynamiques et grand signal). Cependant, nous consacrons un paragraphe sur la fonctionnalité du modèle de courant  $I_{kink}$  qui suscite une attention particulière, à cause de son caractère dispersif.

La validité d'un modèle concerne la précision avec laquelle il reproduit les caractéristiques d'un composant. La validité doit être bien cadrée et définie dans tous les aspects électriques (polarisations, fréquences d'utilisation, puissances des signaux, ...), car l'utilisateur d'un modèle peut facilement procéder à des conclusions erronées. Prenons, par exemple, un modèle défini pour la simulation de mélangeurs à FET froids ( $V_{ds}=0$  V) et validé en petit et grand signal autour de ce point de repos. Si l'utilisateur tente de simuler un circuit en utilisant le transistor en régime de saturation, il est difficile d'affirmer l'exactitude des résultats.

Dans ce paragraphe, nous montrons une validation du modèle développé, en comparant des résultats de mesures à des résultats de simulations effectuées sous les mêmes conditions. Dans un premier temps, le modèle de courant est validé en régime statique pour diverses technologies de MOSFET. Par la suite, nous montrons des comparaisons entre les paramètres  $S$  mesurés et simulés.

Il est important de noter qu'un modèle non linéaire doit être aussi validé en régime grand signal [28]. Pour cela, nous présentons les diverses méthodes et bancs de mesures qui ont été utilisés pour caractériser les composants en régime grand signal. Les résultats de mesures grand signal sont ensuite confrontés aux résultats de simulations avec le modèle. Finalement, une discussion sur la validité du modèle est proposée.

## II.7.1 Validation du modèle en régime statique

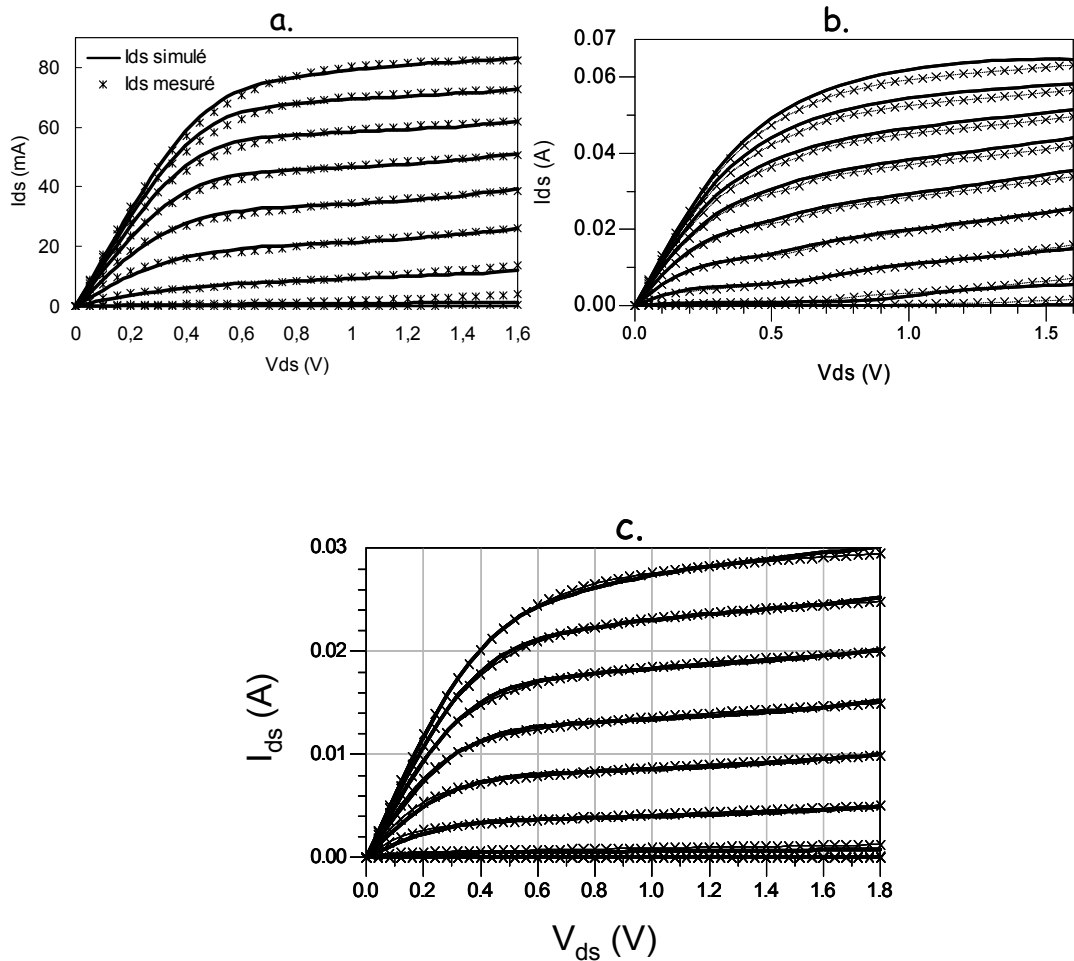


Figure II.7.1 Comparaison entre mesures et simulations de courants de drain statiques.  
 a. Transistor MOS SOI PD avec prises *body* internes (BT),  $L_g=0.12 \mu\text{m}$ ,  $n_dW_d=60 \times 1 \mu\text{m}$ .  
 b. Transistor MOS SOI PD avec *body* flottant (FB),  $L_g=0.12 \mu\text{m}$ ,  $n_dW_d=60 \times 1 \mu\text{m}$ .  
 c. Transistor MOS Bulk avec prises de *body* externes (BC),  $L_g=0.18 \mu\text{m}$ ,  $n_dW_d=6 \times 8 \mu\text{m}$ .

Les figures II.7.1.a-c montrent les courants de drain statiques mesurés et simulés de trois transistors. On remarque que les modèles extraits pour ces composants reproduisent correctement les mesures pour toutes les technologies et ce, dans tous les régimes de polarisation. Le modèle du transistor à *body* flottant (figure II.7.1.b) présente certains écarts en saturation, en forte inversion ( $V_{gs} > 1.2 \text{ V}$ ). Ceci est dû au modèle de *kink*. Cependant, ce régime de fonctionnement est supérieur à l'utilisation normale de cette technologie. Une extraction plus raffinée des paramètres du courant donnerait un meilleur résultat.

### II.7.2 Validation du modèle en régime petit signal

La validation du modèle en régime petit signal consiste en une comparaison entre les paramètres S mesurés et ceux simulés. La figure II.7.2 montre les paramètres S des trois transistors-test pour des fréquences de  $0.5 - 50 \text{ GHz}$ . Les composants sont polarisés en saturation et pour  $V_{gs}$  telle que la transconductance  $g_m$  soit maximale. Les résultats de simulation montrent une bonne prédiction des performances petit signal des composants.

Il faut noter que cette comparaison ne peut être qu'indicative, car la représentation sur l'abaque de Smith donne une information mixte du module et de la phase de chacun des paramètres S. De plus, la comparaison est montrée pour un seul point de fonctionnement du composant. En annexe II.A.4, nous montrons un exemple de validation petit signal, où le module et la phase de chacun des quatre paramètres S mesurés sont comparés aux simulations.

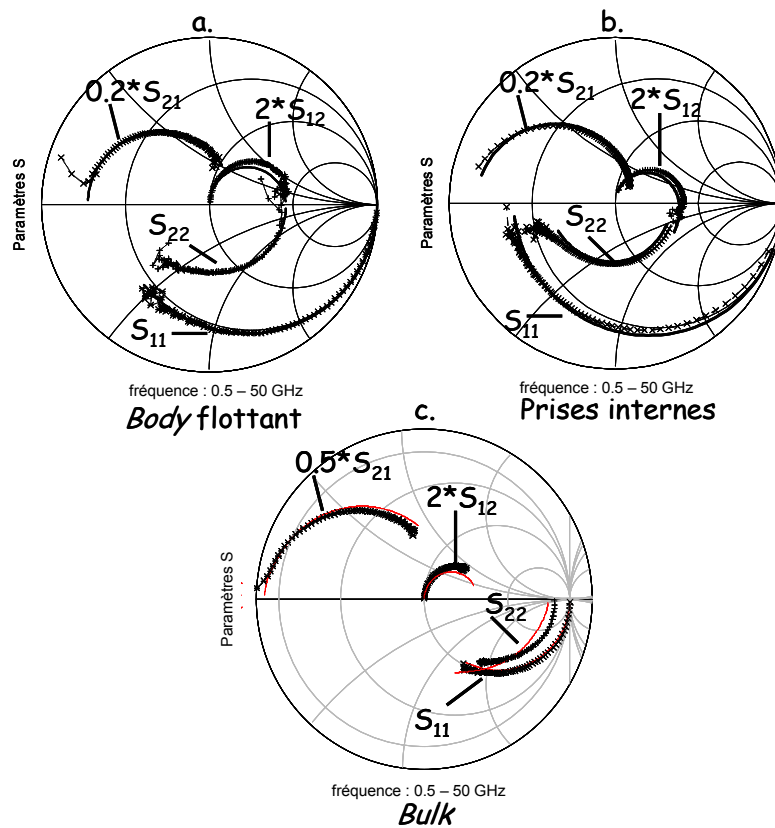


Figure II.7.2 Comparaison entre mesures et simulations des paramètres S. a. Transistor à *body flottant*.  $V_{gs}=0.55 \text{ V}$ ,  $V_{ds}=1.2 \text{ V}$  b. Transistor à prises internes.  $V_{gs}=0.55 \text{ V}$ ,  $V_{ds}=1.2 \text{ V}$  c. Transistor *bulk*.  $V_{gs}=0.9 \text{ V}$ ,  $V_{ds}=1.8 \text{ V}$

### II.7.3 Validation dynamique du modèle de courant $I_{kink}$

Pour valider d'un point de vue fonctionnel le modèle de courant  $I_{kink}$ , nous avons, en premier lieu, simulé les paramètres S du composant à *body* flottant en imposant une valeur nulle pour tous les éléments extrinsèques. Ainsi, nous obtenons les paramètres S ( $S_{int}$ ) du composant intrinsèque à partir desquelles nous pouvons directement en déduire la conductance de drain  $g_d$  dynamique.  $g_d$  est donnée par :

$$g_d = \Re(Y_{int22} + Y_{int12}) \quad (II.7.1)$$

Les simulations ont été effectuées en fonction de la polarisation de drain statique pour des fréquences allant de  $10\text{ Hz}$  à  $10\text{ MHz}$ . Les résultats sont illustrés sur la figure II.7.3.a. La conductance de drain présente la « bosse » due au courant *kink* en basse fréquence, qui s'atténue quand la fréquence augmente ( $f > 100\text{ KHz}$ ). L'effet *kink* est à peine visible à  $1\text{ MHz}$  et a totalement disparu à  $10\text{ MHz}$ . Au-delà de  $10\text{ MHz}$  la conductance de drain est uniquement due au courant grand signal  $I_{ds}$ , et est indépendante de la fréquence.

La conductance  $g_d$  obtenue par simulation ne décrit pas rigoureusement celle mesurée (figure II.7.3.b). Cependant, d'un point de vue qualitatif, ce résultat est en très bonne concordance avec les résultats des mesures basse fréquence.

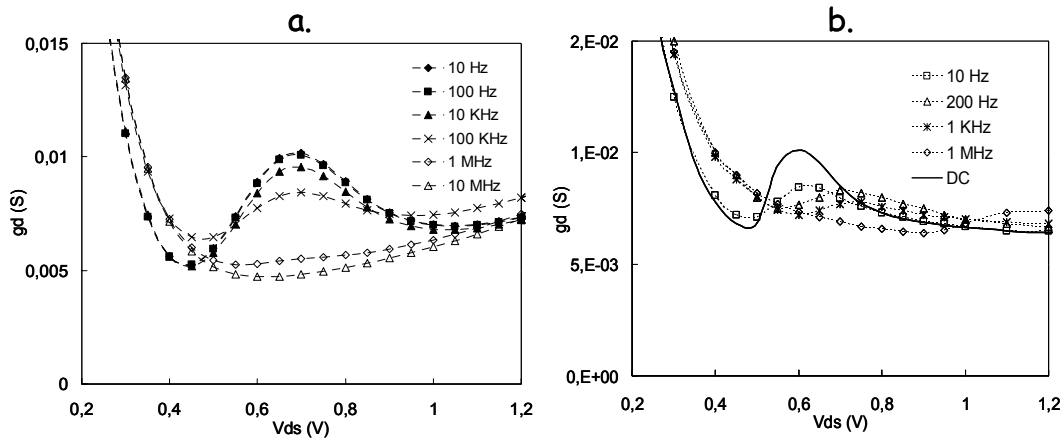


Figure II.7.3.a Conductance de drain dynamique  $g_d$  simulée en fonction de la polarisation statique de drain  $V_{ds}$  pour plusieurs valeurs de la fréquence. b. Conductance de drain mesurée en fonction de  $V_{ds}$  à diverses fréquences avec l'analyseur d'impédances

La figure II.7.4 montre le courant grand signal instantané en fonction de la tension de drain instantanée pour diverses fréquences, du composant à *body* flottant (a.) et du composant à prises *body* internes (b.). Pour cette simulation, nous avons appliqué un grand signal sur le drain du composant (tension crête-à-crête :  $1\text{ V}$ ) et maintenu la tension dynamique de grille à  $0$  ( $V_{ds0}=V_{gs0}=0.6\text{ V}$ ). La figure II.7.5 illustre schématiquement le banc de simulation utilisé. Le résultat obtenu pour le composant à *body* flottant montre le fonctionnement correct du modèle de courant  $I_{kink}$  : en basse fréquence, le courant grand signal présente l'effet *kink* sur sa caractéristique. Cet effet a tendance à disparaître quand la fréquence de l'excitation  $V_{ds}(t)$  augmente. Par contre, le courant grand signal du composant à prises *body* est totalement indépendant de la fréquence du signal appliqué. Notons que les courants ne présentent pas d'hystérésis, car les fréquences appliquées sont très faibles.

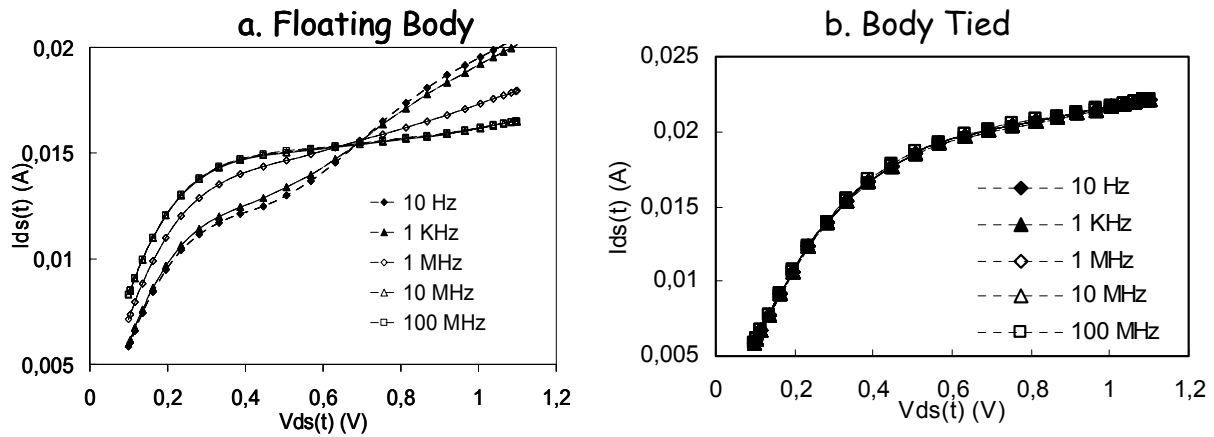


Figure II.7.4 Courant de drain instantané grand signal  $I_{ds}(t)$  en fonction de la tension de drain instantanée  $V_{ds}(t)$  pour des fréquences allant de 10 Hz à 100 MHz

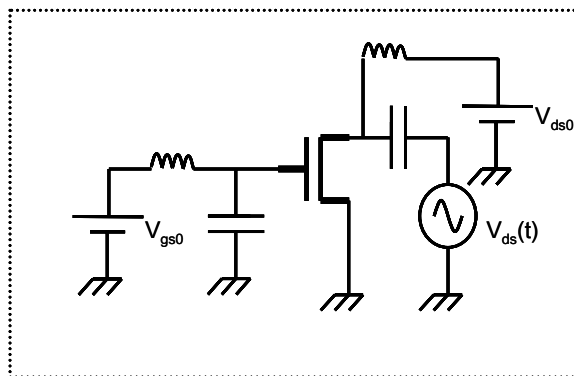


Figure II.7.5 Vue schématique du banc de simulation



#### II.7.4 Validation du modèle en régime grand signal

Dans le paragraphe I.3, nous avons présenté certains facteurs de mérite caractérisant les propriétés non linéaires des composants. Dans ce paragraphe, nous montrons la validité du modèle en régime grand signal à travers ces facteurs de mérite. Les comparaisons entre mesures et simulations sont effectuées dans deux cas :

- Le composant est excité par une seule fréquence (monoton) ; les facteurs de mérite sont le gain en puissance, le point de compression à  $1\text{ dB}$ , le rendement en puissance ajouté (*PAE : Power Added Efficiency*), la distorsion harmonique d'ordre  $n$  et la distorsion harmonique totale.
- Le composant est excité par deux fréquences proches entre elles (biton), et nous avons le phénomène d'intermodulation ; les facteurs de mérite sont le point d'interception du 3<sup>e</sup> ordre et la distorsion d'intermodulation.

Plusieurs techniques de mesure ont été utilisées afin de caractériser les composants en régime grand signal. Il est important de voir de près les techniques de mesures et d'étalonnages utilisées. On peut classer ces techniques de mesures en deux catégories :

- Mesures vectorielles : elles donnent une information sur l'amplitude et la phase de la grandeur mesurée. Pour cela, nous avons utilisé un analyseur de réseau vectoriel non linéaire (*VNNA : Vectorial Nonlinear Network Analyzer*).<sup>1</sup>
- Mesures scalaires : elles fournissent une information uniquement sur le module de la puissance mesurée.

##### II.7.4.a Mesures vectorielles avec le VNNA

Le *VNNA* est un appareil constitué de trois parties [29]. La première consiste en un générateur de signal (ou signaux). La deuxième inclut le *test set*. Il sert à diriger les ondes d'excitation vers le composant ainsi qu'à séparer l'onde incidente de l'onde réfléchie. Il comporte deux commutateurs servant à séparer une mesure en direct ou une mesure en inverse (même principe que l'analyseur de réseau vectoriel : mesure effectuée en deux

---

<sup>1</sup> Mesures effectuées en collaboration avec Dominique Schreurs de l'Université Catholique de Louvain (KUL)

temps). La troisième partie de l'appareil sert à l'acquisition des données. Pour cela, un oscilloscope numérique (échantillonneur) à quatre canaux est utilisé. Chaque onde (incidente ou réfléchie) est récupérée séparément sur l'un des quatre canaux. Le signal d'excitation est aussi utilisé dans l'entrée *trigger* de l'oscilloscope numérique pour la synchronisation.

La figure II.7.6 montre le principe de mesure. On voit qu'il est très similaire à celui d'un analyseur de réseau vectoriel (*VNA*), hormis la partie d'acquisition des données. Pour étalonner le banc de mesure, nous utilisons le modèle d'erreur suivant [30] :

$$\begin{bmatrix} a^i_{d1} \\ b^i_{d1} \\ a^i_{d2} \\ b^i_{d2} \end{bmatrix} = K^i \begin{bmatrix} 1 & e^i_{12} & 0 & 0 \\ e^i_{21} & e^i_{22} & 0 & 0 \\ 0 & 0 & d^i_{11} & d^i_{12} \\ 0 & 0 & d^i_{21} & d^i_{22} \end{bmatrix} \begin{bmatrix} a^i_{m1} \\ b^i_{m1} \\ b^i_{m2} \\ a^i_{m2} \end{bmatrix} \quad (\text{II.7.2})$$

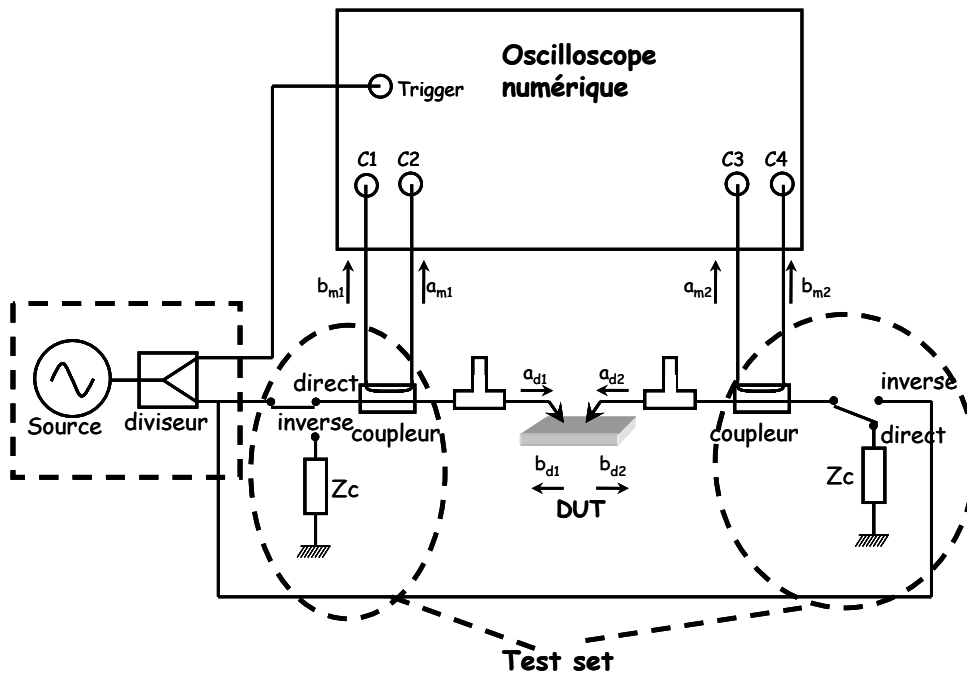


Figure II.7.6 Principe de fonctionnement d'un analyseur de réseau vectoriel non linéaire

Dans (II.7.2), l'indice  $i$  correspond à l'indice de fréquence considéré (indice harmonique).  $a_{d1}$ ,  $b_{d1}$ ,  $a_{d2}$ ,  $b_{d2}$  sont les ondes incidentes et réfléchies de la *DUT*.  $a_{m1}$ ,  $b_{m1}$ ,  $a_{m2}$ ,  $b_{m2}$  sont les ondes mesurées.  $e_{ij}$ ,  $d_{ij}$  et  $K$  sont les termes d'erreurs. Les termes  $e_{ij}$  et  $d_{ij}$  sont les mêmes que dans le modèle d'erreur d'une mesure avec un *VNA*. Ils sont donc déterminés à l'aide d'un étalonnage *LRM*. Le terme  $K$  est déterminé par une procédure

d'étalonnage supplémentaire, à l'aide d'une source dont l'amplitude et la phase sont parfaitement connues.

Les mesures effectuées avec le *VNA* donnent la phase et l'amplitude des courants et des tensions à l'entrée et à la sortie du composant, à chaque fréquence harmonique. Ainsi, à l'aide d'une transformée de Fourier inverse, on visualise les formes d'ondes temporelles des courants et des tensions.

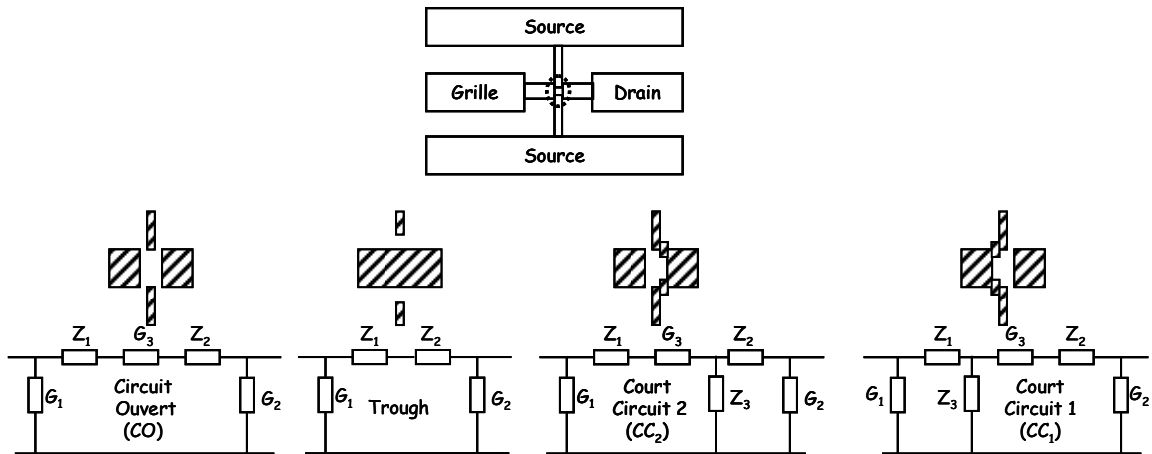


Figure II.7.7 Plots coplanaires. Circuits équivalents des standards (*CO*, *Through*, *CC<sub>1</sub>* et *CC<sub>2</sub>*) utilisés pour extraire les éléments du modèle de plots

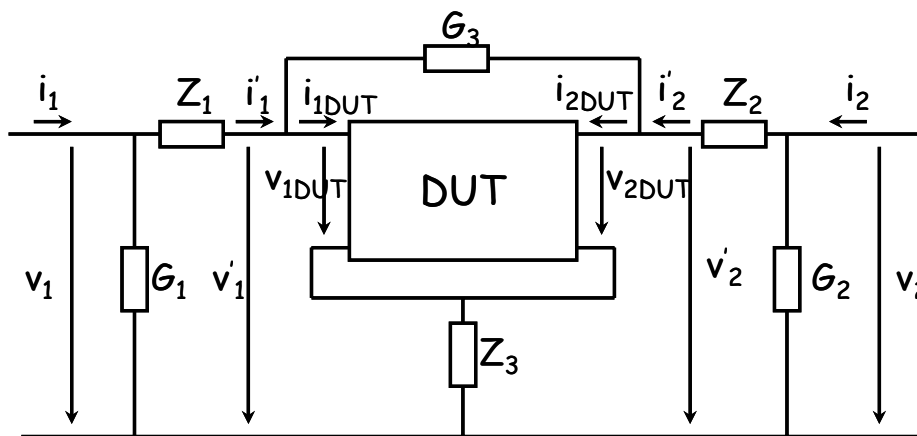


Figure II.7.8 Circuit équivalent des plots coplanaires. Courants et tensions utiles pour la procédure d'épluchage

Comme dans le cas des mesures de paramètres *S*, il est nécessaire de retirer l'influence des plots coplanaires (figure II.7.8) [19]. Les plots sont modélisés par un circuit équivalent, illustré sur la figure II.7.7. Les admittances et les impédances du modèle de plots peuvent être facilement extraites à partir de mesures de paramètres *S* des standards sur substrat *Si* (*CO*, *CC* et *Through*). On obtient facilement :

$$G_1 = Y_{11CO} + Y_{12CO} \quad (\text{II.7.3})$$

$$G_2 = Y_{22CO} + Y_{12CO} \quad (\text{II.7.4})$$

$$G_3 = \left( \frac{1}{Y_{12CO}} + \frac{1}{Y_{12Trough}} \right)^{-1} \quad (\text{II.7.5})$$

$$Z_1 = \frac{1}{2} \left( \frac{-1}{Y_{12Trough}} + \frac{1}{Y_{11CC_1} - G_1} - \frac{1}{Y_{22CC_2} - G_2} \right) \quad (\text{II.7.6})$$

$$Z_2 = \frac{1}{2} \left( \frac{-1}{Y_{12Trough}} - \frac{1}{Y_{11CC_1} - G_1} + \frac{1}{Y_{22CC_2} - G_2} \right) \quad (\text{II.7.7})$$

$$Z_3 = \frac{1}{2} \left( \frac{1}{Y_{12Trough}} + \frac{1}{Y_{11CC_1} - G_1} + \frac{1}{Y_{22CC_2} - G_2} \right) \quad (\text{II.7.8})$$

Une fois les éléments déterminés, nous procédons à un épluchage, à partir des courants et tensions mesurés. De la figure II.7.8, on obtient facilement :

$$i_{DUT1} = i'_1 - (v_{DUT1} - v_{DUT2})G_3 \quad (\text{II.7.9})$$

$$i_{DUT2} = i'_2 - (v_{DUT2} - v_{DUT1})G_3 \quad (\text{II.7.10})$$

$$v_{DUT1} = v'_1 - (i'_1 + i'_2)Z_3 \quad (\text{II.7.11})$$

$$v_{DUT2} = v'_2 - (i'_1 + i'_2)Z_3 \quad (\text{II.7.12})$$

$$i'_1 = i_1 - v_1 G_1 \quad (\text{II.7.13})$$

$$i'_2 = i_2 - v_2 G_2 \quad (\text{II.7.14})$$

$$v'_1 = v_1 - i'_1 Z_1 \quad (\text{II.7.15})$$

$$v'_2 = v_2 - i'_2 Z_2 \quad (\text{II.7.16})$$

Notons que les courants et les tensions des équations (II.7.9)-(II.7.16) doivent être calculés dans le domaine spectral.

#### II.7.4.b Banc de mesure scalaire de puissance en monoton et biton

Le banc de mesures de puissance utilisé pour caractériser les composants en monoton et en biton est illustré sur la figure II.7.9. Il comporte deux sources (synthétiseurs de fréquences), deux isolateurs, un sommateur, un coupleur à  $-20\text{ dB}$ , une tête bolométrique et le wattmètre associé, et un analyseur de spectre. Les éléments passifs utilisés (isolateurs, coupleur, sommateur) ont limité la fréquence fondamentale des mesures à  $2\text{ GHz}$ . Cependant, l'analyseur de spectres a permis de monter jusqu'à la  $10^{\text{e}}$  harmonique ( $20\text{ GHz}$ ) dans le cas des mesures monotons. Pour étalonner le banc de mesures, nous avons procédé en deux étapes :

- Le bon fonctionnement de tous les éléments du banc a été validé : nous avons vérifié que le coupleur donne  $-20\text{ dB}$  à  $2\text{ GHz}$  à l'aide d'un *VNA*. Avec le wattmètre, nous avons observé que les valeurs de puissance indiquées par l'analyseur de spectre sont correctes.
- La deuxième étape consiste à un étalonnage classique, afin de s'affranchir de l'influence de tous les éléments et d'accéder à la puissance incidente au composant et à la puissance délivrée à la charge vue par le composant.

La figure II.7.10 montre le modèle d'erreur pour l'étalonnage du banc :

$Q_{in}$  représente le quadripôle entre la sortie du coupleur et la pointe RF sur la grille du composant.  $Q_{pg}$  et  $Q_{pd}$  sont respectivement les quadripôles associés aux plots RF de la grille et du drain.  $Q_{out}$  est le quadripôle entre la pointe RF du drain et l'entrée de l'analyseur de spectre, et  $Sp$  est le dipôle représentant l'analyseur de spectre. Nous faisons l'hypothèse que les éléments passifs du banc sont réciproques et que leur réponse fréquentielle est indépendante de la puissance.

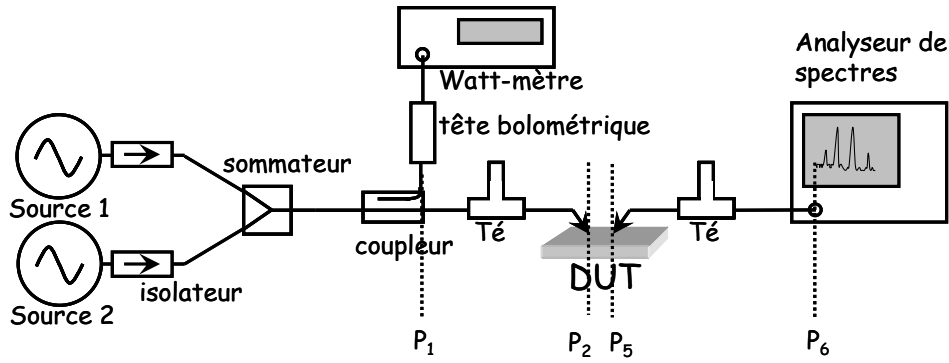


Figure II.7.9 Banc de mesure de puissance (monoton et biton)

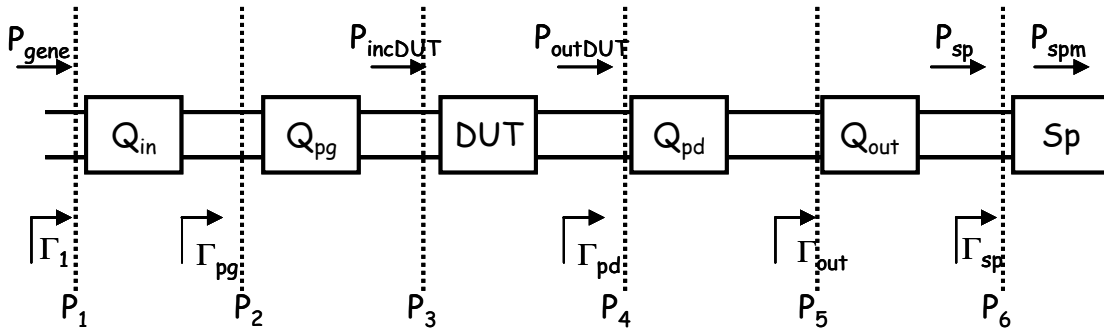


Figure II.7.10 Modèle utilisé pour l'étalonnage du banc de mesure de puissance

Le problème a été traité de façon vectorielle en utilisant les paramètres  $S$  de chaque quadripôle. On recherche à évaluer  $P_{incDUT}$ , c'est-à-dire la puissance incidente à l'entrée du transistor en fonction de la puissance incidente du générateur  $P_{incgene}$  mesurée. Elle est indépendante des éléments se situant au-delà du plan  $P_3$ . Par conséquent, elle dépend uniquement de la puissance incidente au plan  $P_1$  et des éléments  $Q_{in}$  et  $Q_{pd}$ . Une hypothèse est faite afin de faciliter le calcul : l'impédance du générateur au plan  $P_1$  est égal à  $50 \Omega$ . Cette hypothèse a été vérifiée à l'aide de l'analyseur de réseau vectoriel lors des mesures. La relation est donnée par :

$$P_{incDUT(i,j)} = P_{incgene(i,j)} (1 - |\Gamma_{1(i)}|^2) |S_{in21(i)}|^2 |S_{pg21(i)}|^2 (1 - |\Gamma_{pg(i)}|^2) \quad (II.7.17)$$

avec :

$$\Gamma_{pg(i)} = S_{pg11(i)} \quad et \quad (II.7.18)$$

$$\Gamma_{1(i)} = S_{in11(i)} + \frac{S_{in12(i)}S_{in21(i)}S_{pg11(i)}}{1 - S_{in22(i)}S_{pg11(i)}} \quad (\text{II.7.19})$$

Les indices  $i$  et  $j$  correspondent respectivement à la fréquence et à la puissance. La puissance  $P_{incgene}$  est mesurée (+ 20 dB) par la tête bolométrique.

De même, nous obtenons la puissance à la sortie du composant  $P_{outDUT}$  en fonction de la puissance absorbée par l'analyseur de spectres  $P_{spm}$  :

$$P_{outDUT(i,j)} = P_{spm(i,j)} \times \frac{1}{\left(1 - |\Gamma_{pd(i)}|^2\right) |S_{pd21(i)}|^2 \left(1 - |\Gamma_{out(i)}|^2\right) |S_{out21(i)}|^2 \left(1 - |\Gamma_{sp(i)}|^2\right)} \quad (\text{II.7.20})$$

avec :

$$\Gamma_{sp(i)} = S_{sp11(i)} \quad (\text{II.7.21})$$

$$\Gamma_{out(i)} = S_{out11(i)} + \frac{S_{out12(i)}S_{out21(i)}S_{sp11(i)}}{1 - S_{out22(i)}S_{sp11(i)}} \quad \text{et} \quad (\text{II.7.22})$$

$$\Gamma_{pd(i)} = S_{pd11(i)} + \frac{S_{pd12(i)}S_{pd21(i)}\Gamma_{out(i)}}{1 - S_{pd22(i)}\Gamma_{out(i)}} \quad (\text{II.7.23})$$

Les différents quadripôles ont été mesurés avec le VNA à toutes fréquences d'intérêt.

Pour les quadripôles  $Q_{pg}$  et  $Q_{pd}$  nous avons utilisé un modèle électrique simplifié, extrait à partir des standards  $CO$  associés à chaque transistor. Il est illustré sur la figure II.7.11. Dans ce modèle, nous supposons que le couplage entre l'entrée et la sortie du  $CO$  est nul ( $S_{CO12}=S_{CO21}=0$ ). Cette hypothèse est vérifiée dans la gamme fréquentielle de mesures.

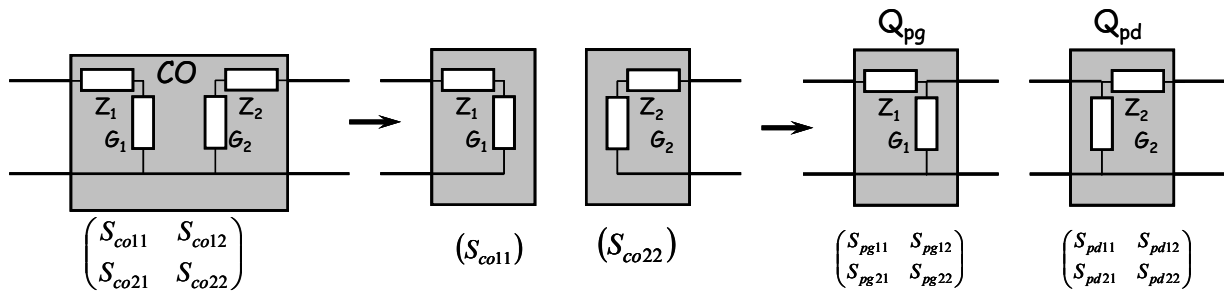


Figure II.7.11 Modèle pour l'extraction des quadripôles  $Q_{pg}$  et  $Q_{pd}$  à partir du standard CO

Afin de vérifier la précision des mesures et l'étalonnage décrits précédemment, les résultats obtenus pour certains transistors sont confrontés à des résultats ayant été obtenus sur les mêmes composants et sous les mêmes conditions, en utilisant le VNNA.

Nous présentons le cas de deux transistors MOS SOI de  $L_g=0.12 \mu m$  et  $Wt=30 \times 2 \mu m$ . La figure II.7.12 montre les mesures d'un composant à prises body internes (BT) avec une polarisation statique de  $V_{gs}=V_{ds}=0.6 V$ . Les mesures d'un composant avec le substrat flottant sont confrontées sur la figure II.7.13.

Notons que les deux types de mesures donnent des résultats très proches.



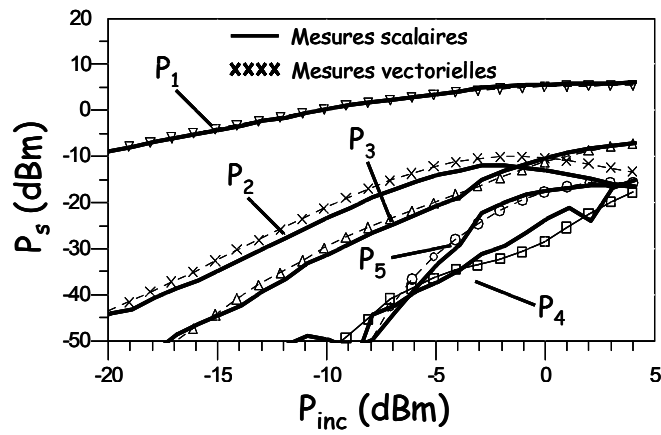


Figure II.7.12 Puissance de sortie de la fondamentale ( $P_1$ ) et des 4 premières harmoniques ( $P_2$ - $P_5$ ) en fonction de la puissance incidente au transistor *BT*.  $V_{gs}=0.6$  V,  $V_{ds}=1.2$  V ;  $f_0=2$  GHz

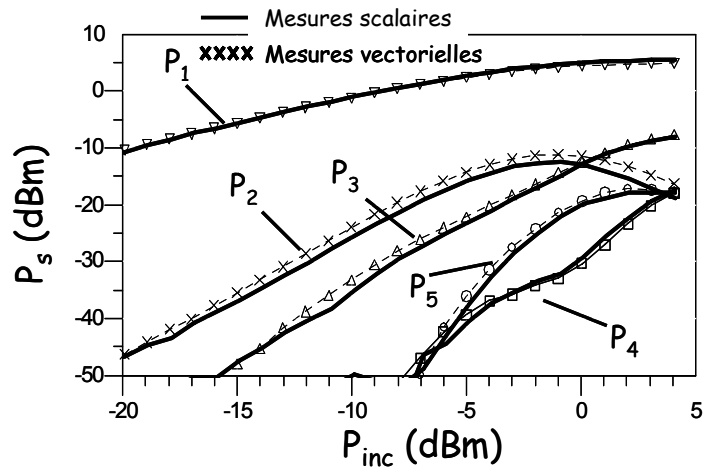


Figure II.7.13 Puissance de sortie de la fondamentale ( $P_1$ ) et des 4 premières harmoniques ( $P_2$ - $P_5$ ) en fonction de la puissance incidente au transistor *FB*.  $V_{gs}=0.6$  V,  $V_{ds}=1.2$  V ;  $f_0=2$  GHz

### II.7.4.c Comparaisons entre mesures et simulations

En premier lieu, nous montrons des comparaisons entre des simulations et des mesures monoton effectuées avec le VNNA.

Nous avons appliqué un signal de  $2.4\text{ GHz}$  du composant bulk pour des puissances d'entrée de  $-15$  à  $10\text{ dBm}$ . La figure II.7.14 montre la forme d'onde temporelle de la tension de drain  $v_{ds}(t)$ , simulée et mesurée, pour des puissances de  $-15$ ,  $0$  et  $10\text{ dBm}$ . Sur la figure II.7.15 sont données les formes d'onde temporelles du courant de drain  $i_{ds}(t)$  et du courant de grille  $i_{gs}(t)$  (multiplié par 5 pour des raisons d'échelle), pour une puissance d'entrée de  $10\text{ dBm}$ . On observe sur les deux graphes que les formes d'onde sont très bien reproduites par le modèle en termes d'amplitude et de phase. Pour  $P_{en}=10\text{ dBm}$ , les formes d'onde présentent une forte distorsion harmonique qui est bien reproduite par le modèle. Notons que  $i_{gs}(t)$  est un courant dynamique ( $i_{gs0}=0$ , l'indice  $0$  correspondant à l'harmonique DC), dû uniquement à la charge de grille. On remarque que le modèle de charge reproduit correctement ce courant en termes d'amplitude, de phase et de distorsion, malgré les fortes divergences remarqués lors de l'extraction des capacités non linéaires (Figures II.5.18.a-b).

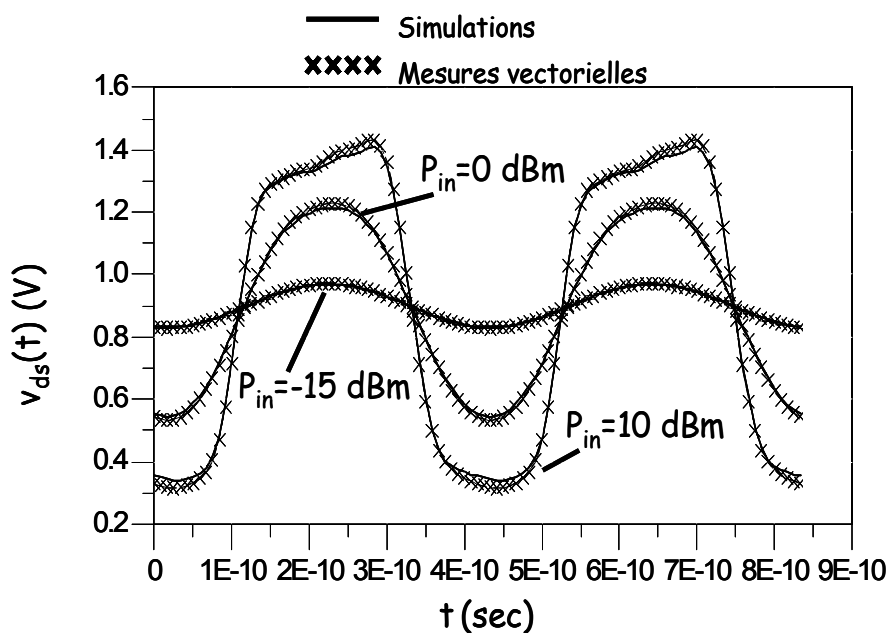


Figure II.7.14 Formes d'ondes mesurées et simulées de la tension de drain  $V_{ds}(t)$  du transistor MOS Bulk.  $f_0=2.4\text{GHz}$  ;  $P_{in}=-15, 0, 10\text{ dBm}$  ;  $V_{gs}=V_{ds}=0.9\text{ V}$ ;

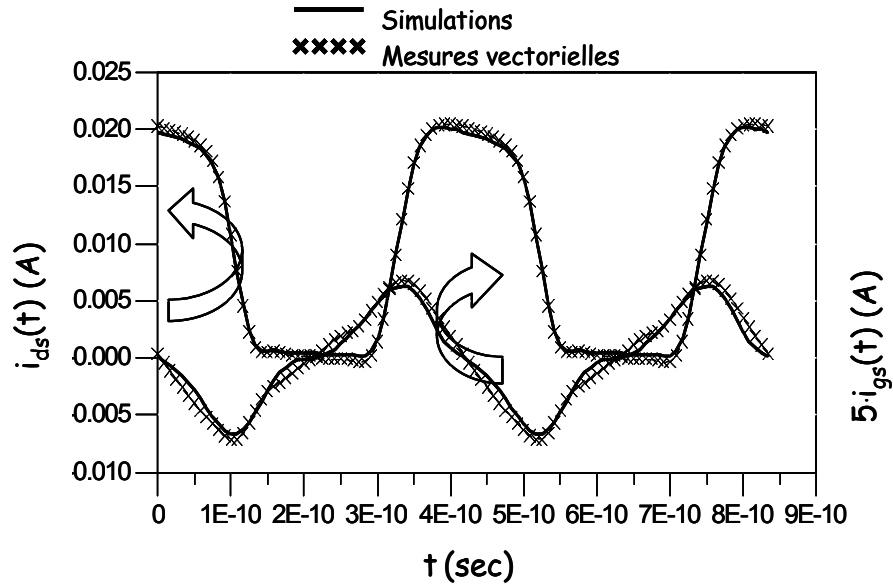


Figure II.7.15 Formes d'onde mesurées et simulées du courant de drain  $i_{ds}(t)$  et du courant de grille  $i_{gs}(t)$  du transistor MOS Bulk.  $f_0=2.4\text{GHz}$  ;  $P_{in}=-15, 0, 10\text{ dBm}$  ;  $V_{gs}=V_{ds}=0.9\text{ V}$ ;

Des résultats similaires sont obtenus pour le transistor à prises internes. La figure II.7.16 montre la forme d'onde de la tension du drain pour diverses puissances à l'entrée du transistor. Ici, la fréquence de la raie appliquée à la grille du composant est de 2 GHz.

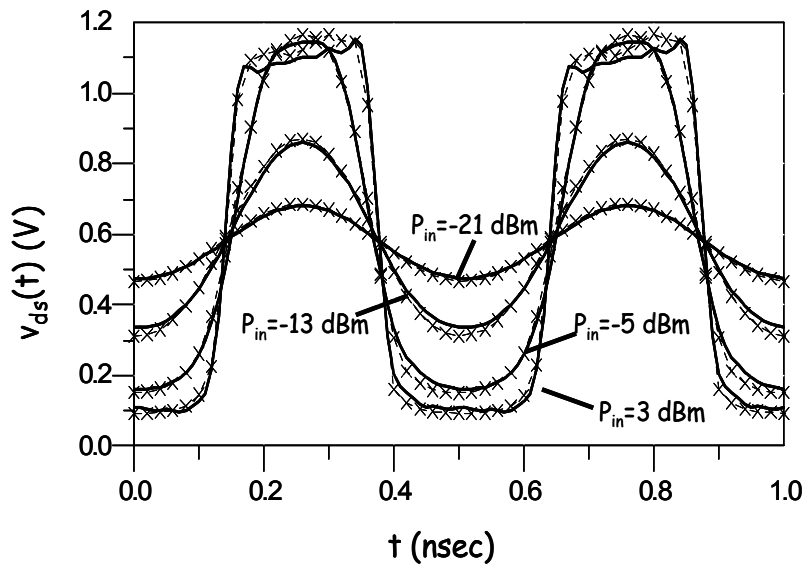


Figure II.7.16 Formes d'onde mesurées et simulées de la tension de drain  $V_{ds}(t)$  du transistor MOS SOI BT.  $f_0=2\text{ GHz}$  ;  $P_{in}=-21, -13, -5\text{ et }3\text{ dBm}$  ;  $V_{gs}=V_{ds}=0.6\text{ V}$

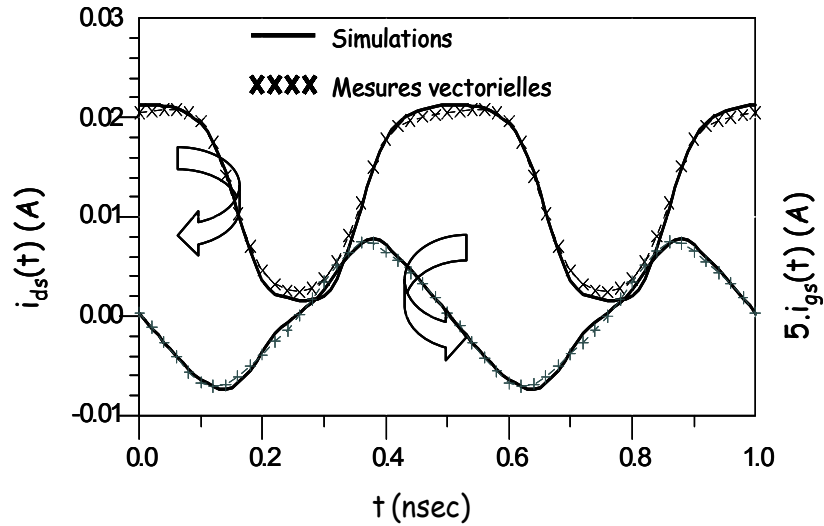


Figure II.7.17 Formes d'onde mesurées et simulées du courant de drain  $i_{ds}(t)$  et du courant de grille  $i_{gs}(t)$  du transistor MOS SOI *BT*.  $f_0=2$  GHz;  $P_{in}=-21, -13, -5$  et  $3$  dBm;  $V_{gs}=V_{ds}=0.6$  V

Les formes d'ondes des courants de drain et de grille du composant MOS SOI *BT* sont données sur la figure II.7.17.

A partir des mesures vectorielles, nous pouvons extraire des informations supplémentaires sur les capacités non linéaires. La figure II.7.18 montre les valeurs des courant instantanés de drain  $i_{ds}(t)$  et de grille  $i_{gs}(t)$  en fonction de la tension de grille instantanée  $v_{gs}(t)$ , du transistor MOS *Bulk*. L'effet d'hystérésis que nous observons est dû aux capacités du composant. On remarque que le modèle reproduit avec précision cet effet.

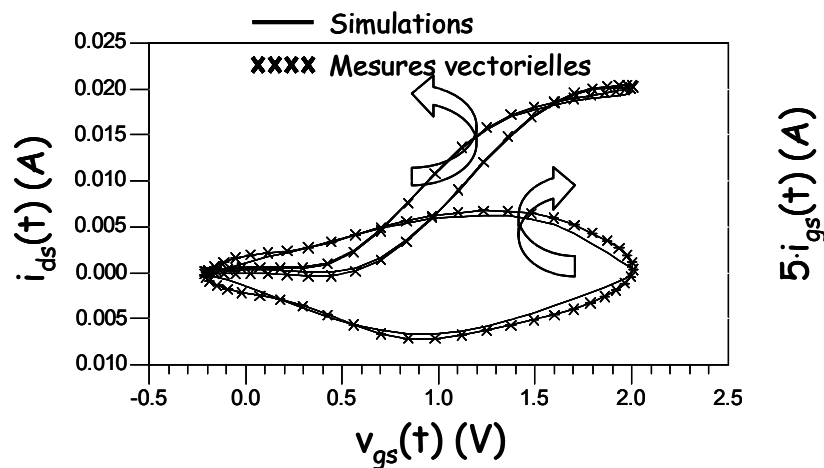


Figure II.7.18 Courants de drain  $i_{ds}(t)$  et de grille  $i_{gs}(t)$  en fonction de la tension de grille instantanée  $v_{gs}(t)$

En termes de puissance, nous présentons certains résultats concernant les raies des harmoniques pour des caractérisations tant en monoton qu'en biton.

La figure II.7.19 montre la puissance de la raie fondamentale ainsi que les raies harmoniques d'ordre 2, 3 et 5, mesurées et simulées, en fonction de la puissance d'entrée au composant. Le transistor MOS *bulk* est polarisé à  $V_{gs}=V_{ds}=0.9 V$ . La fréquence de la raie d'excitation est de  $2.4 GHz$ . Sur la figure II.7.20 est donné le spectre de la puissance de sortie jusqu'à la 8<sup>e</sup> harmonique ( $19.2 GHz$ ) pour  $P_{en}=10dBm$ .

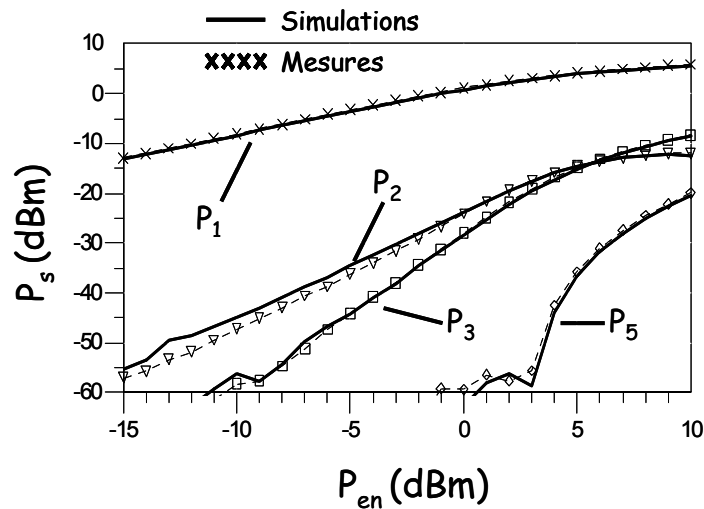


Figure II.7.19 Puissance de la raie fondamentale et des harmoniques 2, 3 et 5 en fonction de la puissance absorbée par le composant

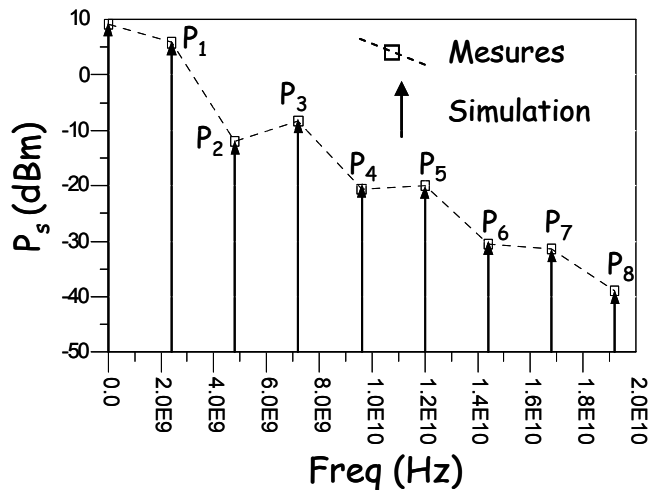


Figure II.7.20 Spectre de puissance de sortie jusqu'à l'harmonique 8, pour une puissance d'entrée de 10 dBm

En ce qui concerne le composant MOS SOI à prises *body*, nous présentons, sur la figure II.7.21, la puissance de sortie de la raie fondamentale et des raies d'intermodulation d'ordre 3 ( $2f_1-f_0$ ) et 5 ( $3f_1-2f_0$ ). Le composant est polarisé à  $V_{gs}=0.6\text{ V}$  et  $V_{ds}=1.2\text{ V}$ . Les deux raies d'excitation  $f_0$  et  $f_1$  ont respectivement une fréquence de  $2\text{ GHz}$  et  $2.001\text{ GHz}$ . La figure II.7.22 illustre la distorsion harmonique totale (*THD* calculée par I.3.13) du même composant quand une excitation de  $2\text{ GHz}$  est appliquée sur la grille. Elle est donnée en fonction de la polarisation de la grille  $V_{gs}$ .

Finalement, deux résultats concernant le composant à *body* flottant sont donnés. La figure II.7.23 montre la raie fondamentale et les raies d'intermodulation d'ordre 3 et 5 en fonction de la puissance incidente. Comme dans le cas précédent, les fréquences d'excitation sont  $2\text{ GHz}$  et  $2.001\text{ GHz}$ . La figure suivante (II.7.24) illustre la puissance de sortie de la raie fondamentale et des deux premières harmoniques, en fonction de la polarisation de la grille. La puissance incidente sur le composant est de  $-5\text{ dBm}$ .

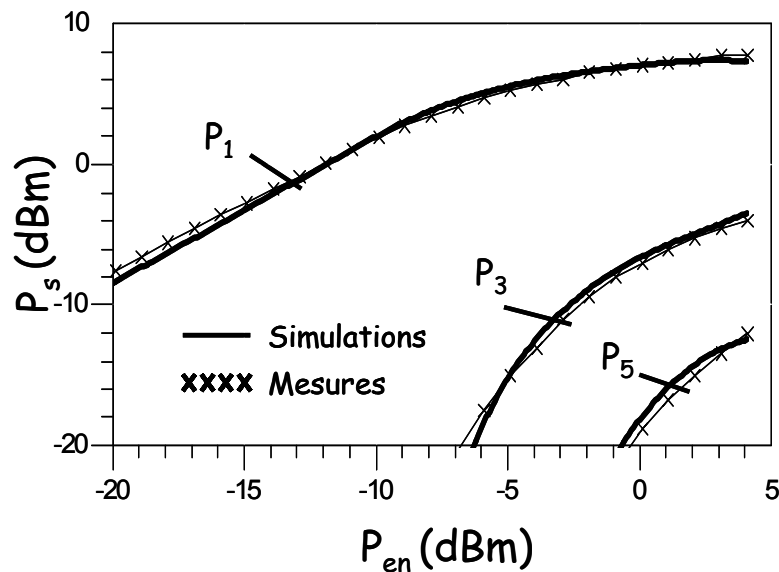


Figure II.7.21 Puissance de sortie de la raie fondamentale, ainsi que des raies d'intermodulation d'ordre 3 ( $P_3$ ) et 5 ( $P_5$ ), en fonction de la puissance incidente au composant.  
 $f_0=2\text{ GHz}$ ,  $f_1=2.001\text{ GHz}$ ,  $V_{gs}=0.6\text{ V}$ ,  $V_{ds}=1.2\text{ V}$

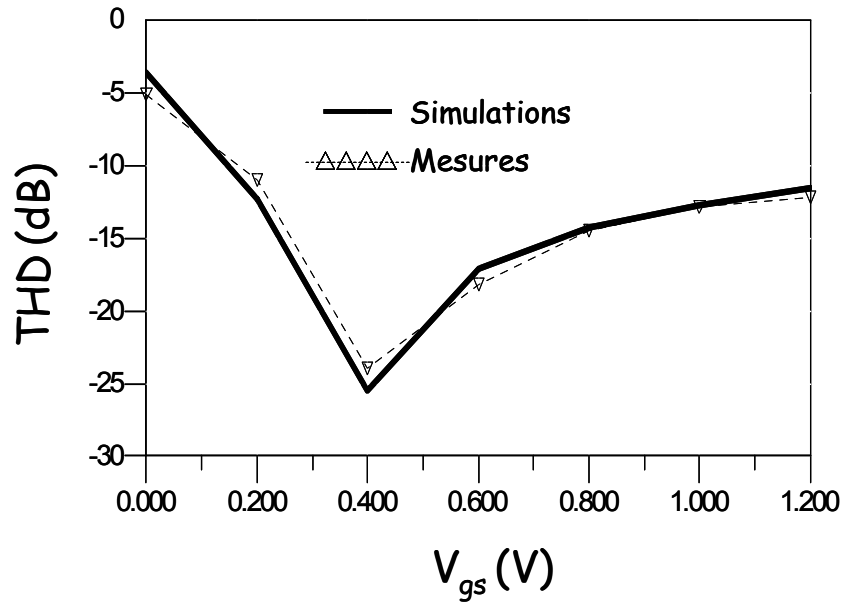


Figure II.7.22 Distorsion totale harmonique créée par une excitation à  $f_0=2$  GHz, en fonction de la polarisation de la grille.  $V_{ds}=0.6$  V,  $P_{inc}=10$  dBm

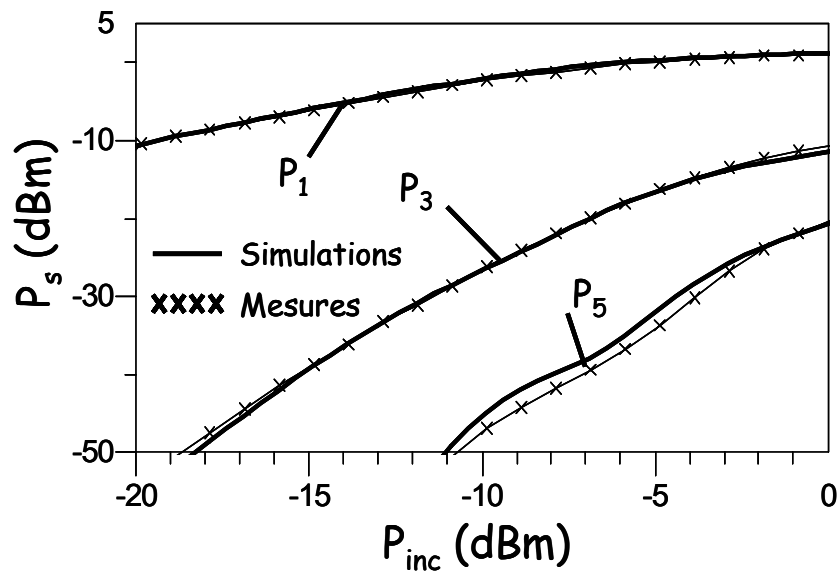


Figure II.7.23 Puissance de sortie de la raie fondamentale, ainsi que des raies d'intermodulation d'ordre 3 ( $P_3$ ) et 5 ( $P_5$ ), en fonction de la puissance incidente au composant.  $f_0=2$  GHz,  $f_1=2.001$  GHz  $V_{gs}=0.6$  V,  $V_{ds}=0.6$  V

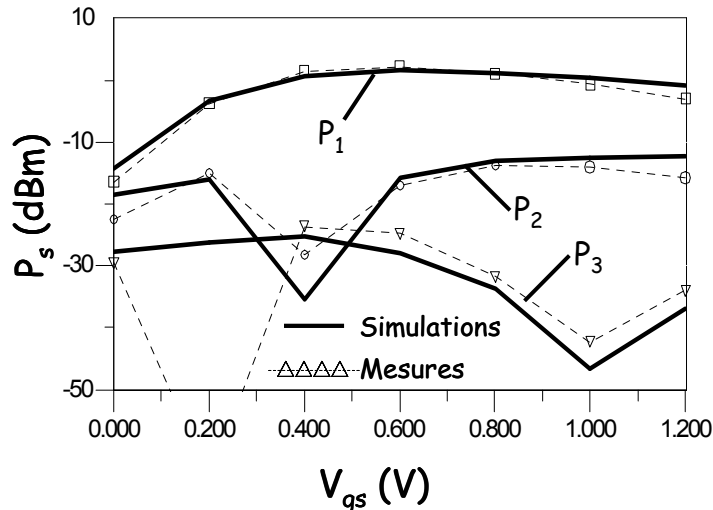


Figure II.7.24 Puissance de sortie de la raie fondamentale et des deux premières harmoniques en fonction de la polarisation de grille du composant.  $V_{ds}=0.6$  V,  $f_0=2$  GHz,  $P_{inc}=-5$  dBm

### II.7.5 Validité du modèle - Discussion

Les divers résultats de comparaison entre mesures et simulations montrent, de manière générale, que le modèle décrit très bien les propriétés des transistors MOS, et ce, pour les trois familles technologiques exposées (MOS *bulk*, MOS SOI *BT* et MOS SOI *FB*), en régime statique, régime petit signal et régime grand signal. Cependant, ce modèle ne tient pas compte des effets thermiques, présents dans les composants sur substrat SOI, comme d'un autre effet important dans les composants : le phénomène de claquage.

Il est important d'être vigilant sur les résultats de ce type, car les propriétés d'un transistor en hyperfréquence ne se limitent pas aux quelques comparaisons données ici. Par exemple, nous avons présenté des résultats en ce qui concerne les propriétés non linéaires, pour des polarisations de drain de  $V_{ds}=0.6$  ou  $V_{ds}=1.2$  V. Il est très important de vérifier tous les régimes de polarisation afin de pouvoir affirmer qu'un modèle est validé. Par ailleurs, la fréquence pour laquelle nous avons présenté les résultats est très limitée, pour des raisons techniques et matérielles.

Cependant, la validation d'un modèle sur toutes les polarisations et dans diverses gammes de fréquence est pratiquement impossible, car elle demanderait des stations de mesures entièrement dédiées à la validation de modèles. De plus, certaines mesures non systématiques ne sont pas automatisées, et par conséquent, le temps de mesure peut s'avérer élevé. Afin de valider un modèle tout en gardant une certaine limitation dans le nombre de mesures, il est nécessaire de bien cibler les applications envisagées, comme



pendant la procédure d'extraction du modèle. Par ailleurs, la validation d'un modèle dans tous les régimes de fonctionnement est indispensable uniquement après son élaboration. L'expérience montre que de nombreuses propriétés en hyperfréquences sont très relatives entre elles. On verra, dans le chapitre III, que les propriétés non linéaires sont principalement liées à la source de courant de drain  $I_{ds}(V_{gs}, V_{ds})$ . Par conséquent, une validation en DC et petit signal est suffisante.

## Conclusion

Ce chapitre a traité de l'élaboration d'un modèle grand signal empirique pour les transistors MOSFET en hyperfréquences.

Dans un premier temps, nous avons décrit le schéma équivalent petit signal des transistors MOSFET et, par la suite, nous avons abordé certains principes fondamentaux de la modélisation grand signal, afin d'entamer la modélisation grand signal des MOSFET. Nous avons exposé en détail l'élaboration de l'équation grand signal de chaque élément non linéaire tenu en compte dans le modèle.

Plus précisément, nous avons décrit le modèle de la source de courant  $I_{ds}$ , qui a été inspiré par le modèle de courant d'Angelov et réaménagé afin de modéliser le courant des MOSFET. En ce qui concerne le cas particulier des transistors à *body* flottant, une équation de courant grand signal a été élaborée pour l'effet *kink* ainsi qu'un modèle de dispersion fréquentielle associée à cet effet. Notons que, la technique de modélisation de l'effet *kink* peut être généralisée pour la modélisation d'éléments non linéaires dispersifs (par exemple, la modélisation empirique des effets de pièges dans les composants III-V). Les capacités non linéaires du modèle ( $C_{gs}$ ,  $C_{gd}$ ) ont été modélisées de manière consistante, à partir d'un modèle de charge de grille unique, afin de respecter le principe de la conservation de la charge.

Par la suite, nous avons développé les techniques d'extraction des éléments électriques et des paramètres du modèle, basées sur des mesures hyperfréquences de paramètres S et des mesures de courant statiques. Le modèle a été implémenté dans deux simulateurs commerciaux (*ADS* et *ELDO*) dont nous avons détaillé le premier.

Finalement, nous avons traité de la validation d'un modèle en hyperfréquence en montrant la validité de celui-ci en régime statique et dynamique hyperfréquences. En ce qui concerne le régime grand signal, nous avons d'abord détaillé les deux techniques de mesures (scalaire et vectorielle) principalement utilisées pour caractériser les composants. Ensuite, des résultats de simulations ont été confrontés à des résultats expérimentaux afin de vérifier la validité du modèle. Une discussion était proposée sur la validité de ce modèle. Nous en avons déduit la validité du modèle pour plusieurs familles de composants.

Notons que, malgré le fait que tous les effets rencontrés dans les composants ne sont pas tenus en compte, le modèle développé montre une haute précision sur les caractéristiques hyperfréquences des transistors MOS. De plus, il s'avère très rapide à extraire par rapport aux modèles usuels de type physique (BSIM ...).

Dans le chapitre suivant, nous verrons la linéarité des composants MOSFET à travers des mesures et des simulations effectuées avec le modèle et certaines applications de conception de circuits.



## Références bibliographiques

- [1] M.Vanmackelberg, “Contribution à la caractérisation hyperfréquence de composants MOSFET en vue de la conception de fonctions intégrées pour des applications en gamme millimétrique”, Thèse de doctorat de l’Université des Sciences et Technologies de Lille, octobre 2001
- [2] A.Bracale, “Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes”, Thèse de doctorat de l’Université Pierre et Marie Curie (Paris VI), mars 2001
- [3] Y.P.Tsividis, “Operation and modeling of the MOS Transistor”, Mc Graw-Hill, Second Edition, 1999
- [4] D.E.Root, “Nonlinear charge modeling for FET large-signal simulation and its importance for IP3 and ACPR in communication circuits” *Proceedings of the 44th IEEE Midwest Symposium Circuits and Systems*, vol. 2, Aug. 2001
- [5] A.D.Snider, “Charge Conservation and the Transcapacitance Element: An Exposition”, *IEEE Transactions on Education*, vol. 38, no. 4, November 1995
- [6] D.E.Root, “Measurement-Based Large-Signal Device Modeling: a Conceptual Overview”, *IEEE International Microwave Symposium Workshop on Nonlinear Modeling*, 1999
- [7] Ph.Jansen, D.Schreurs, W.DeRaedt, B.Nauwelaers, M.VanRossum, ”Consistent Small-Signal and Large-Signal Extraction Techniques for Heterojunction FET’s” *IEEE Transactions on Microwave Theory and Techniques*, vol. 43, no.1, pp. 87-93, Jan. 1995
- [8] W.R.Curtice, M.Ettenberg, “A Nonlinear FET GaAs Model for Use in the Design of Output Circuits for Power Amplifiers”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 33, no. 12, pp. 1383-1394, December 1985

- [9] I. Angelov, H. Zirath, N. Rorsman, "A New Empirical Nonlinear Model for HEMT and MESFET Devices", *IEEE Transactions on Microwave Theory and Techniques*, vol. 40, no. 12, pp. 2258-2266, December 1992
- [10] A. Marteka, T. Kacprzak, "Computer Calculation of Large-Signal GaAs FET Amplifier Characteristics", *IEEE Transactions on Microwave Theory and Techniques*, vol. 33, no. 2, pp. 129-135, February 1985
- [11] V.I. Cojocaru, T.J. Brazil, "A Scalable General-Purpose Model for Microwave FET's Including DC/AC Dispersion Effects", *IEEE Transactions on Microwave Theory and Techniques*, vol. 45, no. 12, pp. 2248-2255, December 1997
- [12] B. Tamen, "Modélisation du bruit dans les composants en régime de fonctionnement grand signal: Application à la conception de circuits intégrés non linéaires faible bruit pour les telecommunications", Thèse de doctorat de l'Université des Sciences et Technologies de Lille, Septembre 2000
- [13] K. Kurokawa, "Power Waves and the Scattering Matrix", *IEEE Transactions on Microwave Theory and Techniques*, vol. 13, issue 2, pp. 194-202, March 1965
- [14] G. Dambrine, "Caractérisation des Transistors à Effet de Champ: Mesure précise de la Matrice de Répartition et Détermination Directe du Schéma Equivalent", Thèse de doctorat de l'Université des Sciences et Technologies de Lille, 1989
- [15] K.J. Silvonon, "Calibration and Test Fixtures Using at Least Two Standards", *IEEE Transactions on Microwave Theory and Techniques*, vol. 39, no. 4, pp. 624-630, April 1991
- [16] G.F. Engen, C.A. Hoer, "Thru-Reflect-Line: An improved technique for calibrating the dual six-port automatic network analyzer", *IEEE Transactions on Microwave Theory and Techniques*, vol. 27, no. 12, pp. 987-993, December 1979
- [17] B. Shiek, "Developments in Automatic-Network Analyzer Calibration Methods", *Review of Radio Science 1993-1996*, Edited by W. Ross Stone, Oxford Science Publications, pp. 115-155

- [18] H.-J.Eul, B.Shiek, “A Generalized Theory and New Calibration Standards for Network Analyser Self-Calibration”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 39, no. 4, pp. 724-731, April 1991
- [19] E.P.Vandamme, D.M.M.-P.Schreurs, C.vanDither, “Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, no. 4, pp. 737-742, April 2001
- [20] J.P.Raskin, R.Gillon, J.Chen, D.Vanhoenacker, J.P.Collinge, “Accurate SOI MOSFET Characterization at Microwave Frequencies for Device Performance Optimization and Analog Modeling”, *IEEE Transactions on Electron Devices*, vol. 45, no. 5, pp. 1017-1025, May 1998
- [21] J.P.Raskin, G.Dambrine, R.Gillon, “Direct Extraction of the Series Equivalent Circuit Parameters for the Small-Signal Model of SOI MOSFET’s” *IEEE Microwave and Guided Wave Letters*, vol. 7, no. 12, pp. 408-411, December 1997
- [22] G.Dambrine, A.Cappy, F.Heliodore, E.Playez, “A New Method for Determining the FET Small-Signal Equivalent Circuit”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, no. 7, pp. 1151-1159, July 1988
- [23] P.M.White, R.M.Healy, “Improved Equivalent Circuit for Determination of MESFET and HEMT Parasitic Capacitances from “Coldfet” Measurements”, *IEEE Microwave and Guided Wave Letters*, vol. 3, no. 12, pp. 453-454, December 1997
- [24] G.J.Hu, C.Chang, Y.T.Chia, “Gate-Voltage Dependent Effective Channel Length and Series Resistances of LDD MOSFET’s”, *IEEE Transactions on Electron Devices*, vol. 34, no. 12, pp. 2469-2475, December 1987
- [25] G.Pailloncy, B.Íñiguez, G.Dambrine, J.-P.Raskin, F.Danneville, “Noise Modeling in fully depleted SOI MOSFETs”, *Solid-State Electronics*, vol. 48, no. 5, pp. 813-825, May 2004
- [26] ICCAP manual

- [27] ADS manual
  
- [28] I.Angelov, H.Zirath, N.Rorsman, “Validation of a Nonlinear Transistor Model by Power Spectrum Characteristics of HEMT’s and MESFET’s”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 43, no. 5, pp. 1046-1052, may 1995
  
- [29] T.Van den Broeck, J.Verspecht, “Calibrated Vectorial Nonlinear-Network Analyzers”, *IEEE MTT-S International Microwave Symposium Digest*, vol. 2, pp. 1069-1072, May 1994
  
- [30] J.Verspecht, P.Debie, A.Barel, L.Martens, “Accurate On Wafer Measurement Of Phase And Amplitude Of The Spectral Components Of Incident And Scattered Voltage Waves At the Signal Ports Of A Nonlinear Microwave Device”, *IEEE MTT-S International Microwave Symposium Digest*, vol. 3, pp. 1029-1032, May 1995



## Annexes du chapitre II

### II.A.1 Influence des paramètres du modèle de courant de *kink*

$$I_{kink} = \begin{cases} I_{ks} V_{gs} V_{ds} (1 + cV_{ds}) \left[ 1 + \tanh \left( \alpha \left( V_{ds} - \frac{b}{\sqrt{V_{gs} + cte_1}} \right) \right) \right] & V_{gs} \geq 0 \\ 0 & V_{gs} < 0 \end{cases}$$

Afin de mieux comprendre le rôle de chaque paramètre dans l'équation du courant *kink*, nous allons étudier l'influence, la sensibilité et établir des limites de valeurs acceptables pour chacun.

Sur la figure II.A.1.a sont illustrés le courant *kink* modélisé et sa conductance, pour diverses valeurs de  $a$ . On remarque que la pente du courant *kink* avant la saturation, ainsi que le maximum de la conductance  $g_{d\_kink}$  sont directement liés à la valeur de  $a$ .

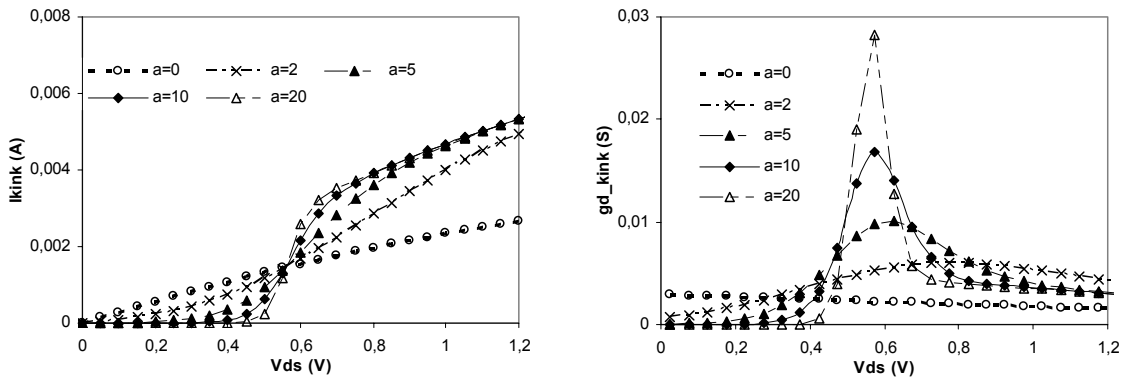


Figure II.A.1.a Courant *kink* modélisé en fonction du potentiel  $V_{ds}$  pour diverses valeurs du paramètre  $a$ .

#### b. Influence du paramètre $a$ sur la conductance $g_{d\_kink}$ du *kink*

L'influence du paramètre  $b$  est illustrée sur les figures II.A.2.a et II.A.2.b. De  $b$  dépend directement la tension de seuil du *kink*, ainsi que la valeur de  $V_{ds}$  pour laquelle  $g_{d\_kink}$  est maximum. Si  $b=0$ , la tension de seuil du courant *kink* est négative. On peut noter que le paramètre  $b$  a une légère influence sur le maximum du  $g_{d\_kink}$ .

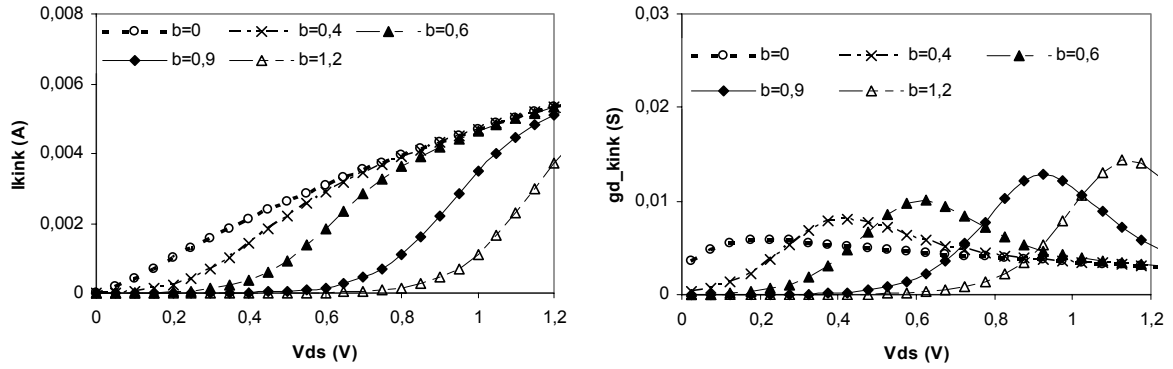


Figure II.A.2.a Courant kink modélisé en fonction du potentiel  $V_{ds}$  pour diverses valeurs du paramètre  $b$ .

b. Influence du paramètre  $b$  sur la conductance  $g_{d\_kink}$  du kink

Le paramètre  $c$  agit sur la pente du courant  $kink$  en saturation. Ceci est illustré sur les figures II.A.3.a et II.A.3.b, où l'on observe une augmentation de  $g_{d\_kink}$  en fonction de la valeur de  $c$ .

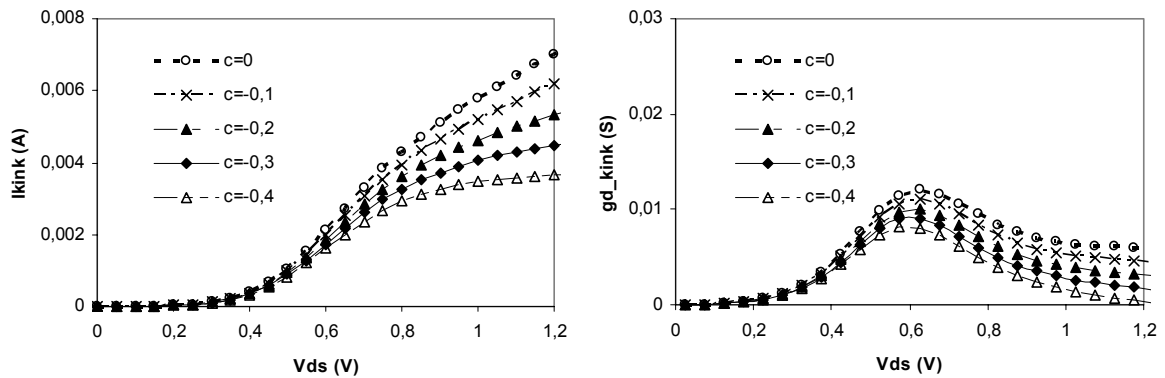


Figure II.A.3.a. Courant kink modélisé en fonction du potentiel  $V_{ds}$  pour diverses valeurs du paramètre  $c$ . b. Influence du paramètre  $c$  sur la conductance  $g_{d\_kink}$  du kink

## II.A.2 Equation analytiques de $C_{gs}(V_{gs}, V_{ds})$ et $C_{gd}(V_{gs}, V_{ds})$

De (II.1.5), (II.1.6) et (II.4.10-II.4.12) on obtient :

$$C_{gs} \equiv \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} + \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad \text{et} \quad C_{gd} \equiv - \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte}$$

La dérivée partielle de la charge par rapport à  $V_{gs}$  quand  $V_{ds}$  est constant est donnée par :

$$\left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} = C_0 (L_g - 2L_d) \mathcal{W}_d n_d \left( \frac{\partial f_1}{\partial V_{gs}} + \frac{\partial f_2}{\partial V_{gs}} \right) \quad (\text{II.A.2})$$

$$\begin{aligned} \frac{\partial f_1}{\partial V_{gs}} = & \left( C_{gg1} + 2C_{gg2}V_{gs} + 3C_{gg3}V_{gs}^2 \right) \left( C_{gg0} + \tanh\left( \frac{V_{ds}^2}{\gamma \mathcal{W}_{gs}^2} \right) \right) + \\ & \left( C_{gg1}V_{gs} + C_{gg2}V_{gs}^2 + C_{gg3}V_{gs}^3 \right) \left( 1 - \tanh^2\left( \frac{V_{ds}^2}{\gamma \mathcal{W}_{gs}^2} \right) \right) \left( \frac{-V_{ds}^2}{\gamma \mathcal{W}_{gs}^3} \right) \end{aligned} \quad (\text{II.A.3})$$

$$\begin{aligned} \frac{\partial f_2}{\partial V_{gs}} = & \left( C_{gd1} + 2C_{gd2}V_{gd} \right) \left( C_{gd0} + \tanh\left( -\frac{V_{gs}}{V_\alpha} \right) \right) + \\ & \left( C_{gd1}V_{gd} + C_{gd2}V_{gd}^2 \right) \left( 1 - \tanh^2\left( -\frac{V_{gs}}{V_\alpha} \right) \right) \left( -\frac{1}{V_\alpha} \right) \end{aligned} \quad (\text{II.A.4})$$

La dérivée partielle de la charge par rapport à  $V_{ds}$  quand  $V_{gs}$  est constant est donnée par :

$$\left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} = C_0 (L_g - 2L_d) \mathcal{W}_d n_d \left( \frac{\partial f_1}{\partial V_{ds}} + \frac{\partial f_2}{\partial V_{ds}} \right) \quad (\text{II.A.5})$$

$$\frac{\partial f_2}{\partial V_{ds}} = - \left( C_{gd0} + \tanh\left( -\frac{V_{gs}}{V_\alpha} \right) \right) \left( C_{gd1}V_{gd} + C_{gd2}V_{gd}^2 \right) \quad (\text{II.A.6})$$

$$\frac{\partial f_1}{\partial V_{ds}} = \left( C_{gg1}V_{gs} + C_{gg2}V_{gs}^2 + C_{gg3}V_{gs}^3 \right) \left( 1 - \tanh^2\left( \frac{V_{ds}^2}{\gamma \mathcal{W}_{gs}^2} \right) \right) \left( 2 \frac{V_{ds}}{\gamma \mathcal{W}_{gs}^2} \right) \quad (\text{II.A.7})$$

### II.A.3 Principe de fonctionnement schématique d'un analyseur de réseau vectoriel (VNA : Vectorial Network Analyser)

Le principe de fonctionnement d'un VNA est illustré schématiquement sur la figure II.A.4. Il comprend un synthétiseur de fréquences, un amplificateur, un atténuateur, un commutateur et deux coupleurs bidirectionnels. La source génère le signal incident au composant dont la puissance est réglée par l'amplificateur et l'atténuateur. Le signal est dirigé par le commutateur selon qu'on fait une mesure directe ou inverse. Les ondes incidentes et réfléchies par le composant sont séparées par les coupleurs. Le traitement se fait en basse fréquence après avoir effectué une division de fréquence par mélange.

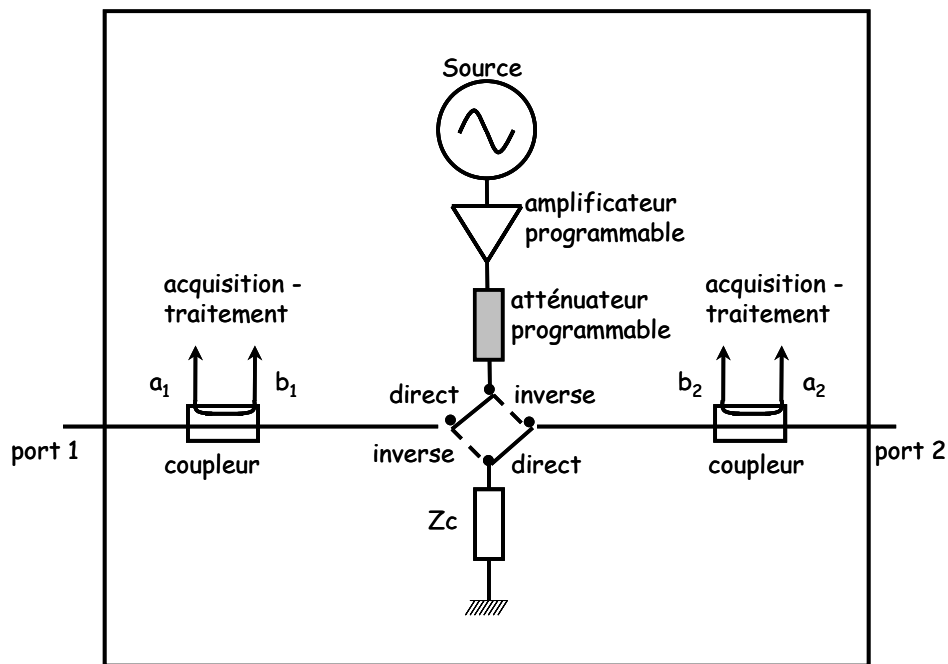


Figure II.A.4 Principe de fonctionnement schématique d'un analyseur de réseau vectoriel

II.A.4 Matrices de passage

Les paramètres sont normalisés par rapport à  $Z_c=1$ .

	S	Z	Y	H	A
S	$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}$	$S_{11} = \frac{(Z_{11}-1)(Z_{22}+1)-Z_{12}Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$ $S_{12} = \frac{2Z_{12}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$ $S_{21} = \frac{2Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$ $S_{22} = \frac{(Z_{11}-1)(Z_{22}-1)-Z_{12}Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$	$S_{11} = \frac{(1-Y_{11})(1+Y_{22})+Y_{12}Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$ $S_{12} = \frac{-2Y_{12}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$ $S_{21} = \frac{-2Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$ $S_{22} = \frac{(1+Y_{11})(1-Y_{22})+Y_{12}Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$	$S_{11} = \frac{(h_{11}-1)(h_{22}+1)-h_{12}h_{21}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$ $S_{12} = \frac{2h_{12}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$ $S_{21} = \frac{-2h_{21}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$ $S_{22} = \frac{(h_{11}+1)(h_{22}-1)+h_{12}h_{21}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$	$S_{11} = \frac{A+B-C-D}{A+B+C+D}$ $S_{12} = \frac{2(AD-BC)}{A+B+C+D}$ $S_{21} = \frac{2}{A+B+C+D}$ $S_{22} = \frac{-A+B-C+D}{A+B+C+D}$
Z	$Z_{11} = \frac{(1+S_{11})(1-S_{22})+S_{21}S_{12}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$ $Z_{12} = \frac{2S_{12}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$ $Z_{21} = \frac{2S_{21}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$ $Z_{22} = \frac{(1-S_{11})(1+S_{22})+S_{21}S_{12}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$	$\begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \end{bmatrix}$	$\begin{bmatrix} Y_{22} & -Y_{12} \\ -Y_{21} & Y_{11} \end{bmatrix} \begin{bmatrix} \Delta^z \\ \Delta^y \end{bmatrix}$	$\begin{bmatrix} \Delta^h & h_{12} \\ h_{22} & h_{22} \\ -h_{12} & 1 \\ h_{22} & h_{22} \end{bmatrix}$	$\begin{bmatrix} A & \Delta^A \\ C & C \\ 1 & D \\ C & C \end{bmatrix}$
Y	$Y_{11} = \frac{(1-S_{11})(1+S_{22})+S_{21}S_{12}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$ $Y_{12} = \frac{2S_{12}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$ $Y_{21} = \frac{-2S_{21}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$ $Y_{22} = \frac{(1+S_{11})(1-S_{22})+S_{21}S_{12}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$	$\begin{bmatrix} Z_{22} & -Z_{12} \\ -Z_{21} & Z_{11} \end{bmatrix} \begin{bmatrix} \Delta^z \\ \Delta^y \end{bmatrix}$	$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix}$	$\begin{bmatrix} 1 & h_{12} \\ h_{11} & h_{11} \\ h_{21} & \Delta h \\ h_{11} & h_{11} \end{bmatrix}$	$\begin{bmatrix} D & -\Delta^A \\ B & B \\ -1 & A \\ B & B \end{bmatrix}$
H	$h_{11} = \frac{(1+S_{11})(1+S_{22})-S_{21}S_{12}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$ $h_{12} = \frac{2S_{12}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$ $h_{21} = \frac{-2S_{21}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$ $h_{22} = \frac{(1-S_{11})(1-S_{22})-S_{21}S_{12}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$	$\begin{bmatrix} \Delta^z & Z_{12} \\ Z_{22} & Z_{22} \\ -Z_{21} & 1 \\ Z_{22} & Z_{22} \end{bmatrix}$	$\begin{bmatrix} 1 & -Y_{12} \\ Y_{11} & Y_{11} \\ Y_{21} & \Delta Y \\ Y_{11} & Y_{11} \end{bmatrix}$	$\begin{bmatrix} v_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{bmatrix} \begin{bmatrix} i_1 \\ v_2 \end{bmatrix}$	$\begin{bmatrix} B & \Delta^A \\ D & D \\ -1 & -C \\ D & D \end{bmatrix}$
A	$A = \frac{(1+S_{11})(1-S_{22})+S_{21}S_{12}}{2S_{21}}$ $B = \frac{(1+S_{11})(1+S_{22})-S_{21}S_{12}}{2S_{21}}$ $C = \frac{(1-S_{11})(1-S_{22})-S_{21}S_{12}}{2S_{21}}$ $D = \frac{(1-S_{11})(1+S_{22})+S_{21}S_{12}}{2S_{21}}$	$\begin{bmatrix} Z_{11} & \Delta^z \\ Z_{21} & Z_{21} \\ 1 & Z_{22} \\ Z_{21} & Z_{21} \end{bmatrix}$	$\begin{bmatrix} -Y_{22} & -1 \\ Y_{21} & Y_{21} \\ -\Delta^y & -Y_{11} \\ Y_{21} & Y_{21} \end{bmatrix}$	$\begin{bmatrix} -\Delta^h & -h_{11} \\ h_{21} & h_{21} \\ -h_{22} & -1 \\ h_{21} & h_{21} \end{bmatrix}$	$\begin{bmatrix} v_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} v_1 \\ -i_2 \end{bmatrix}$

II.A.5 Comparaison des paramètres S en module et phase

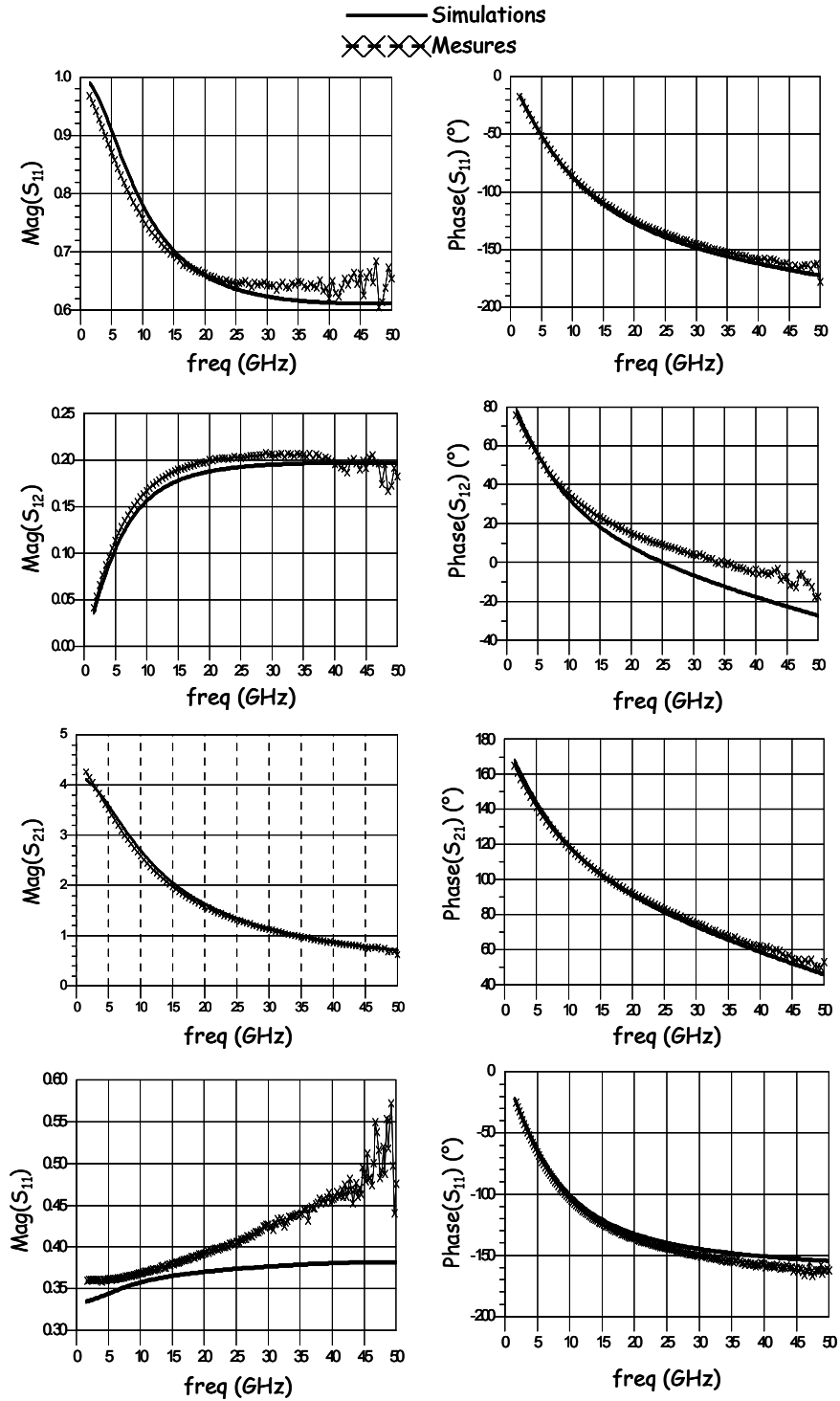


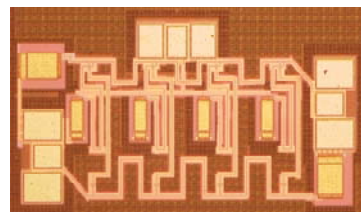
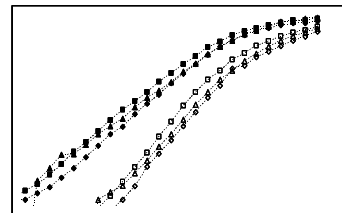
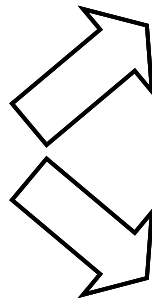
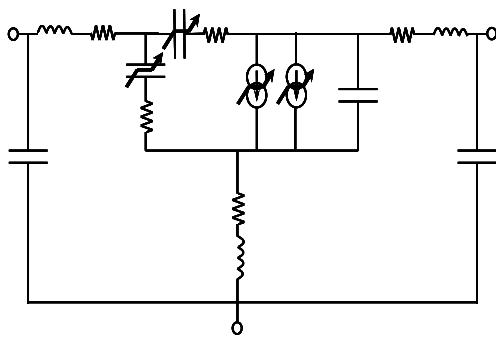
Figure II.A.5 Comparaison des paramètres S mesurés et simulés par le modèle d'un composant MOS SOI à prises internes

# CHAPITRE III

Applications du modèle SILICA:

Propriétés non linéaires des MOSFET SOI

Conception de circuits







## Introduction

Le modèle grand signal développé a été rapidement utilisé au niveau de plusieurs applications. Dans un premier temps, il s'est avéré très utile pour l'étude de la linéarité des composants, car la caractérisation grand signal ne peut être que restreinte, en termes de fréquences, de polarisations, d'impédance de charge, etc. Toutefois, l'application la plus importante réside dans son utilisation pour la conception et la simulation de circuits.

Ce chapitre est divisé en deux paragraphes : dans le premier, nous étudions les propriétés non linéaires des composants MOSFET SOI, à travers des mesures et des simulations. Cette discussion est étendue et reliée à des facteurs de mérite tels que  $f_t$  et  $f_{max}$ . Dans le deuxième paragraphe, nous exposons la conception et la simulation d'un circuit numérique ainsi que d'un amplificateur large bande.<sup>1</sup>

---

<sup>1</sup> Les circuits présentés font partie des travaux de thèse de Christophe Pavageau

### III.1 Application du modèle SILICA à l'étude des propriétés des MOSFET sur substrat SOI

Parmi les diverses filières de transistors MOS que nous avons étudiées et modélisées pendant les travaux de thèse, nous nous sommes particulièrement penchés sur les filières SOI PD. La raison pour laquelle nous faisons une étude poussée sur ces composants, et non pas sur des composants SOI FD, est directement liée à l'évolution de ces technologies : la technologie SOI FD ne peut pas suivre le cours des lois d'échelle, car, pour les longueurs de grille ultimes, l'épaisseur de la couche active du Si doit avoir des valeurs qui actuellement ne sont pas réalisables ( $t_{Si} < 30 \text{ nm}$  pour  $L_g = 0.12 \text{ }\mu\text{m}$ ). Par conséquent, l'évolution des filières SOI, pour le moment, converge vers les technologies partiellement désertées [1]. Notons que l'avenir des composants à prises *body* internes (BT) est aussi compromis pour des raisons technologiques : il est impossible de réaliser ce type de composants pour des longueurs de grille inférieures à  $0.12 \text{ }\mu\text{m}$ .

#### III.1.1 Linéarité et technologie des composants

##### III.1.1.a Linéarité des *FB*, *BC* et *BT*

Nous avons mesuré la *THD* de trois transistors différents de mêmes caractéristiques géométriques et de même technologie. La longueur de grille est de  $0.12 \text{ }\mu\text{m}$  et la largeur totale de  $60 \text{ }\mu\text{m}$  (30 doigts de  $2 \text{ }\mu\text{m}$ ). Le premier composant est un transistor à *body* flottant (*FB*), le deuxième est un transistor à prises internes (*BT*) et le troisième à prises externes (*BC*).

La figure III.1.1 montre la *THD* mesurée des trois composants en fonction de la densité de courant pour deux polarisations de drain ( $V_{ds} = 0.6$  et  $1.2 \text{ V}$ ). La puissance incidente est de  $-5 \text{ dBm}$  à  $2 \text{ GHz}$ . Les trois composants présentent une distorsion similaire. Plus précisément, la *THD* est identique pour les composants *FB* et *BC*. Cependant, le transistor à prises internes présente une *THD* supérieure de  $1 \text{ dB}$  que les deux autres, sur toute la gamme de polarisation.

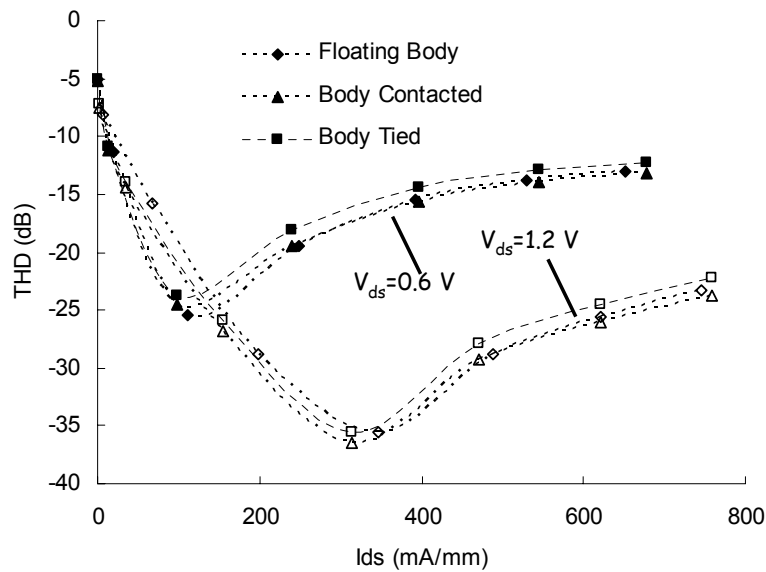


Figure III.1.1 Distorsion harmonique totale mesurée en fonction de la densité de courant de trois composants : FB, BT et BC.  $P_{in} = -5$  dBm.

La figure III.1.2 montre le gain transducteur linéaire en puissance des trois composants en fonction de la polarisation de la grille. Les composants sont polarisés en saturation ( $V_{ds} = 1.2 V$ ) et la puissance injectée ( $f_0 = 2 GHz$ ) est proche du point de compression ( $-2.5 dBm$ ). Sur cette figure, nous remarquons que le composant à prises internes présente un gain supérieur à celui des deux autres composants. Le composant à *body* flottant présente le gain le plus faible. On remarque aussi que le minimum de distorsion harmonique correspond au point où se trouve le maximum de gain.

La figure III.1.3 montre le point de compression à  $1 dB$  des composants *FB* et *BT* en fonction de la polarisation de la grille pour deux valeurs de  $V_{ds}$ . La fréquence du signal d'excitation est de  $2 GHz$ . Nous remarquons que les deux composants présentent un point de compression très similaire, indépendamment des polarisations.

Par la suite, nous nous intéressons à la linéarité des composants en termes d'intermodulation. Les raies de puissances injectées aux composants ont respectivement une fréquence de  $f_0 = 2 GHz$  et  $f_1 = 2.001 GHz$ . Ces mesures ont été effectuées pour  $V_{gs} = 0.6 V$  et deux valeurs de  $V_{ds} = 0.6$  et  $1.2 V$ .

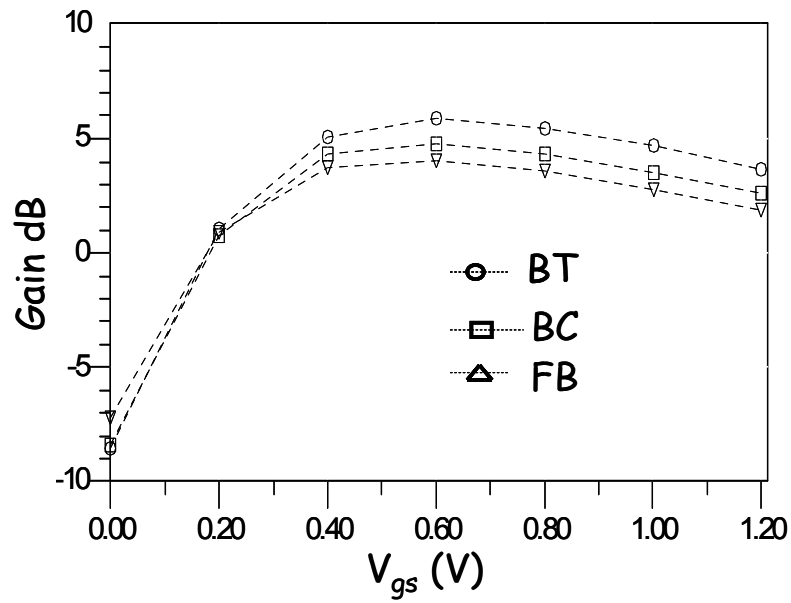


Figure III.1.2 Gain transducteur mesuré en fonction de la polarisation de la grille des trois composants.  $V_{ds}=1.2$  V,  $P_{in}=2.5$  dBm,  $f=2$  GHz

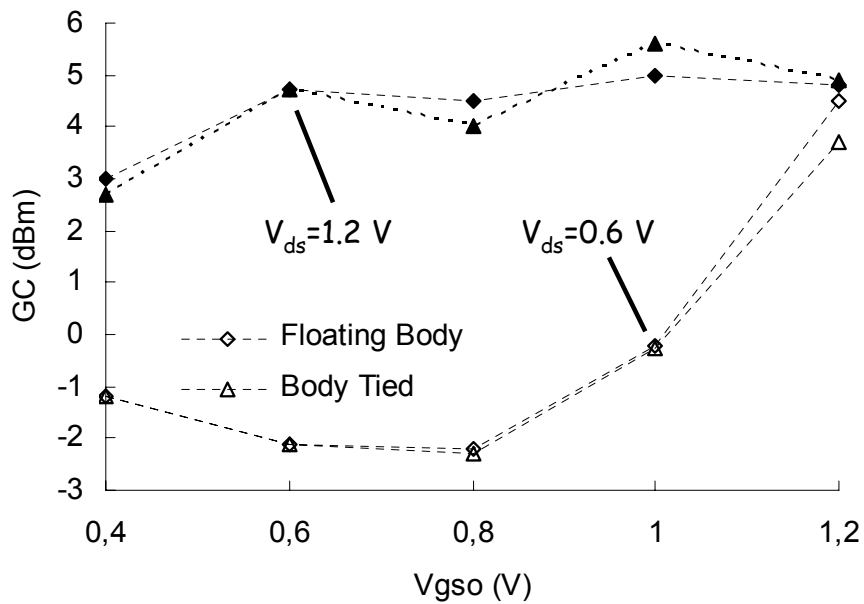


Figure III.1.3 Point de compression à 1 dB mesuré en fonction de la polarisation de la grille du composant à body flottant et du composant à prises body.  $f=2$  GHz

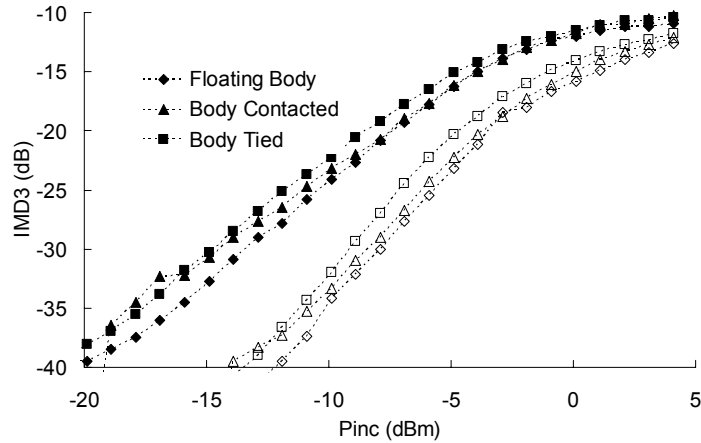


Figure III.1.4 Distorsion d'intermodulation d'ordre 3 mesurée en fonction de la puissance incidente des composants.  $V_{gs}=0.6$  V,  $V_{ds}=0.6$  et 1.2 V.  $f_0=2$  GHz,  $f_1=2.001$  GHz

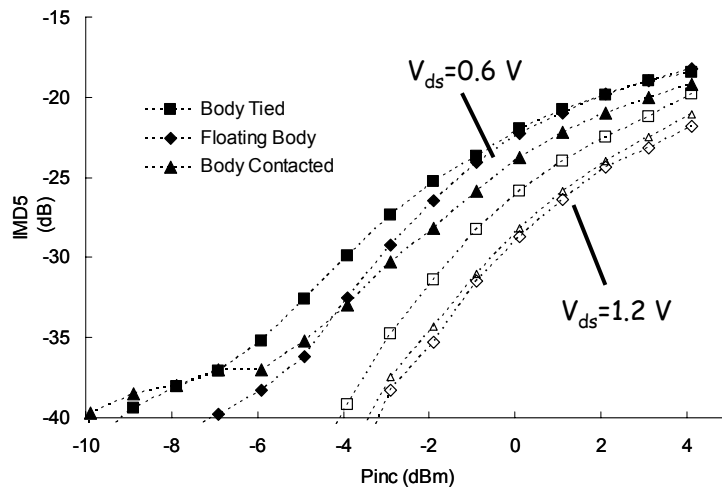


Figure III.1.5 Distorsion d'intermodulation d'ordre 5 mesurée en fonction de la puissance incidente des composants.  $V_{gs}=0.6$  V,  $V_{ds}=0.6$  et 1.2 V.  $f_0=2$  GHz,  $f_1=2.001$  GHz

Les figures III.1.4 et III.1.5 montrent respectivement la distorsion d'intermodulation d'ordre 3 ( $IMD3$ ) et d'ordre 5 ( $IMD5$ ), en fonction de la puissance incidente au composant. Egalement dans ce cas, nous remarquons des propriétés très similaires aux résultats précédents : les composants  $BC$  et  $FB$  présentent la même linéarité ; cependant, le composant à prises internes ( $BT$ ) a une distorsion légèrement supérieure. Le tableau III.1.1 résume les valeurs du point d'interception du 3<sup>e</sup> ordre ( $OIP3$ ) des trois composants.

Malgré ces résultats, une conclusion générale sur la linéarité de ces composants est prématurée, car la fréquence à laquelle les mesures ont été faites est relativement basse.

$f_0=2$ GHz, $f_1=2.001$ GHz @ $V_{gs}=0.6$ V	Body Flottant	Prises Externes	Prises Internes
OIP3 (dBm) @ $V_{ds}=0,6$ V	12	10,5	11
OIP3 (dBm) @ $V_{ds}=1,2$ V	18,4	18,1	18

Tableau III.1.1 Point d'interception du 3<sup>e</sup> ordre des trois composants pour  $V_{ds}=0.6$  et  $1.2$  V

Pour cela, nous avons simulé, avec le modèle, la distorsion harmonique totale (*THD*) et l'*OIP3* sur une large gamme de fréquences. Les diverses simulations ont été effectuées aux mêmes polarisations :  $V_{gs}=V_{ds}=0.6$  V. Le choix de cette polarisation repose sur plusieurs arguments. A  $V_{gs}=0.6$  V, les trois composants présentent leur maximum de gain. Le choix de  $V_{ds}$  s'est fait en rapport avec le transistor à *body* flottant et l'effet *kink* : c'est la valeur de  $V_{ds}$  pour laquelle ce composant présente le *kink* sur ses caractéristiques (figure II.7.1).

La figure III.1.6 montre l'*OIP3* des trois composants en fonction de la fréquence de la raie fondamentale. La différence de fréquence entre les deux raies appliquées est maintenue à  $\Delta f=1$  MHz. Le composant à *body* flottant présente un *OIP3* quasi constant sur toute la gamme de fréquence. Cependant, on remarque que les deux composants à prises *body* ont tendance à améliorer leur linéarité en termes d'intermodulation quand la fréquence augmente. De plus, au-delà de  $10$  GHz, la linéarité du composant à prises internes dépasse celle du transistor à *body* flottant.

Sur la figure III.1.7, nous montrons la *THD* des trois transistors en fonction de la fréquence fondamentale de la raie appliquée ( $P_{in}=0$  dBm). Ici, les trois composants affirment une même tendance : leur linéarité est améliorée (chute de la distorsion) en fonction de la fréquence. Le transistor à *body* flottant présente une distorsion inférieure entre  $2$  et  $4$  dB par rapport à celle du composant à prises externes.

De manière générale, on pourrait s'attendre à ce que le composant à *body* flottant présente une linéarité et un gain inférieurs aux deux autres composants : sa conductance de drain est fortement non linéaire à cette polarisation, à cause du *kink* (figure II.7.3). Afin de se pencher plus en détail sur ces résultats, nous avons simulé l'*OIP3* du composant à *body* flottant et du composant à prises externes pour diverses valeurs d'impédance de charge et diverses valeurs de  $\Delta f$  entre les deux raies de puissance appliquées.

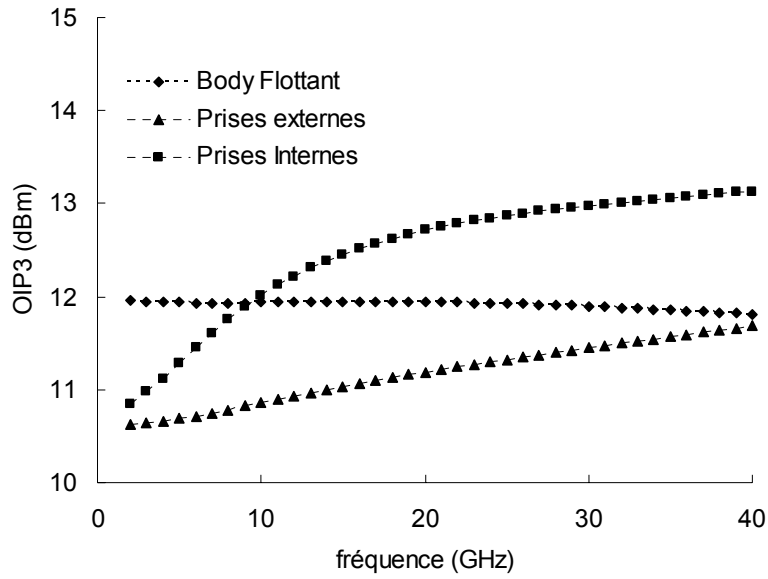


Figure III.1.6 Point d'interception du 3<sup>e</sup> ordre simulé en fonction de la fréquence de la raie fondamentale.  $\Delta f=1$  MHz,  $V_{gs}=0.6$  V,  $V_{ds}=0.6$  V.

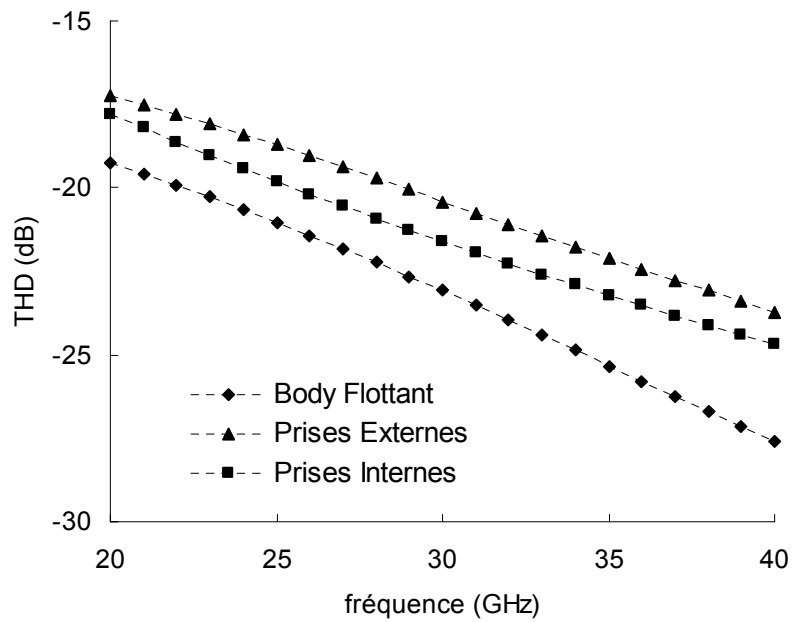


Figure III.1.7 THD en fonction de la fréquence de la puissance appliquée.  $P_{in}=0$  dBm.  $V_{gs}=V_{ds}=0.6$  V.

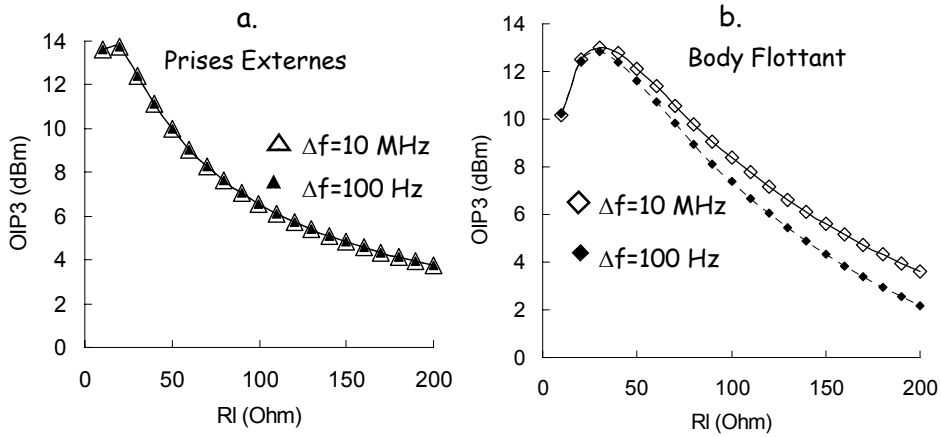


Figure III.1.8 Point d'interception du 3<sup>e</sup> ordre simulé en fonction de la résistance de charge pour deux valeurs de  $\Delta f$ .  $V_{ds}=V_{gs}=0.6$  V,  $f_0=2$  GHz,  $f_1=2$  GHz+ $\Delta f$  a. Transistor à prises externes. b. Transistor à body flottant

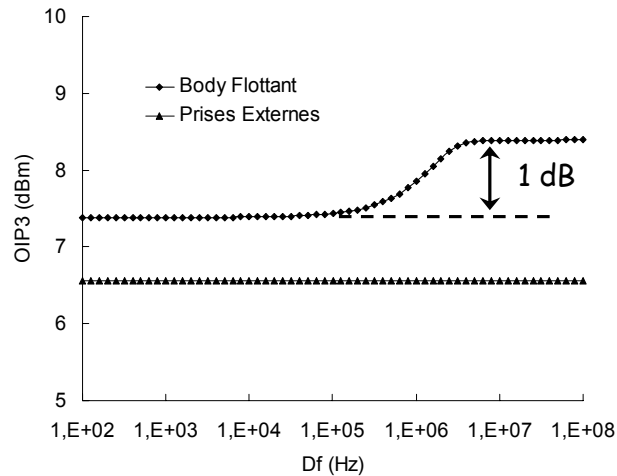


Figure III.1.9 Point d'interception du 3<sup>e</sup> ordre simulé d'un composant à prises externes et d'un composant à body flottant, en fonction de la différence fréquentielle entre les deux raies appliquées.  $V_{ds}=V_{gs}=0.6$  V,  $f_0=2$  GHz,  $f_1=2$  GHz+ $\Delta f$ ,  $R_l=100 \Omega$

La figure III.1.8 illustre l'OIP3 en fonction de la résistance de charge  $R_l$  pour deux valeurs de  $\Delta f$  différentes, respectivement de  $100$  Hz et  $10$  MHz. La fréquence de la première raie appliquée est de  $2$  GHz et celle de la seconde raie de  $2 \cdot 10^9 + \Delta f$  Hz. La figure III.1.8.a montre le point d'interception du composant à prises *body*. Notons que, quelle que soit la valeur de la résistance de charge, l'OIP3 de ce composant est le même pour les deux valeurs de  $\Delta f$ . Toutefois, la figure III.1.8.b montre que l'OIP3 du composant à *body* flottant présente une variation selon la valeur de  $\Delta f$ , qui est d'autant plus prononcée que la résistance de charge est élevée.



La figure III.1.9 montre l'*OIP3* des deux composants en fonction de  $\Delta f$  avec une résistance de charge constante de  $100 \Omega$ . L'*OIP3* du composant à prises *body* est constant, quel que soit  $\Delta f$ . Par contre, l'*OIP3* du composant à *body* flottant varie de manière significative en fonction de  $\Delta f$ : si  $\Delta f$  est inférieur à  $1 \text{ MHz}$ , nous avons une dégradation du point d'interception de  $1 \text{ dB}$ .

Pour résumer, deux résultats significatifs découlent de toutes les observations expérimentales et théoriques :

- Le composant à *body* flottant présente une linéarité équivalente, voire supérieure à celles des composants à prises *body*, en terme de distorsion et également d'intermodulation. Ceci est vrai, malgré la présence de l'effet *kink* qui dégrade la linéarité de ses caractéristiques statiques.
- L'effet *kink* dégrade, sous certaines conditions, l'intermodulation du composant : pour des fréquences de modulation  $\Delta f$  faibles et des impédances de charge élevées, l'*OIP3* du composant est dégradé.

Par la suite, nous allons traiter et interpréter les deux constats mentionnés ci-dessus. Pour cela, il est utile d'exprimer de manière analytique la distorsion harmonique et l'intermodulation à partir d'un modèle simplifié pour transistor à effet de champ.

#### III.1.1.b Interprétation des résultats

La figure III.1.10 montre un schéma équivalent électrique simplifié d'un transistor à effet de champ [2], [3]. La source de courant est linéarisée par un polynôme du 3<sup>e</sup> ordre autour d'un point de fonctionnement :

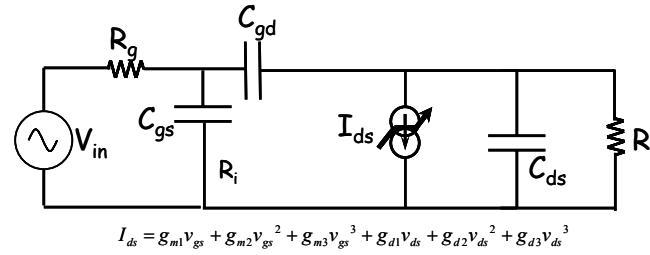


Figure III.1.10 Schéma équivalent simplifié avec source de courant linéarisée au 3<sup>e</sup> ordre.

$$I_{ds} = g_{m1}v_{gs} + g_{m2}v_{gs}^2 + g_{m3}v_{gs}^3 + g_{d1}v_{ds} + g_{d2}v_{ds}^2 + g_{d3}v_{ds}^3 \quad (\text{III.1.1})$$

A l'aide des séries de Volterra, l'*OIP3* peut être exprimé en fonction des éléments du circuit [2] :

$$OIP3 = \left( \frac{f_T}{f} \frac{g_{m1}R_L}{(1 + g_{d1}R_L)^2} \right) \left( \frac{2}{3} \frac{|A_1|}{|A_3|} \frac{1}{R_g} \right) \quad (\text{III.1.2})$$

$$\left| \frac{A_3}{A_1} \right| \cong \left| \frac{g_{m3}}{g_{m1}} + \frac{4}{3} \frac{g_{d2}g_{m2}}{G_0(\omega)G_0(\Delta\omega)} \right| \frac{A^2}{(1 + \omega^2 C_{gs}^2 R_g^2)} \quad (\text{III.1.3})$$

$$\text{avec } G_0(\omega) = g_L + g_{d1}(\omega) + j\omega C_{ds}$$

Les équations (III.1.2)-(III.1.3) montrent que l'*OIP3* d'un *FET* est influencé non seulement par les valeurs des éléments  $g_{di}$  et  $g_{mi}$ , mais aussi par la valeur de la conductance de drain  $g_{d1}$  en basse fréquence. Ceci est introduit par le terme  $g_{d1}(\Delta\omega)$  dans (III.1.3). Il est évident que  $g_{d1}(\Delta\omega)$  apporte une dégradation pour un composant à *body* flottant à cause de l'effet *kink* présent en basse fréquence. Pour les composants à prises *body* ce terme ne varie pas entre basse et haute fréquence, et par conséquent leur intermodulation n'est pas influencée par  $\Delta f$ .

Des résultats similaires sont démontrés dans [3] : le même modèle simplifié est utilisé afin de calculer la distorsion harmonique d'ordre 2 (*HD2*), d'ordre 3 (*HD3*), ainsi que la distorsion d'intermodulation d'ordre 3 (*IMD3*). Le terme  $g_{d1}(\Delta\omega)$  apparaît dans le calcul de l'*IMD3*. Il est montré que l'*IMD3* du composant est dégradée si la différence  $\Delta f$  entre les deux raies est faible ( $\sim KHz$ ). Cette dégradation est d'autant plus prononcée que la résistance de charge est élevée.

En ce qui concerne l'influence de la résistance de charge, il n'est pas difficile d'expliquer le phénomène : à faible résistance de charge ( $g_L > g_d$ ), la conductance de drain  $g_d$  est « court-circuitée » par la conductance de charge, et l'élément non linéaire prépondérant dans la linéarité du composant est la transconductance  $g_m$ . Néanmoins, à forte résistance de charge ( $g_L < g_d$ ), l'élément prédominant dans le mécanisme de l'intermodulation devient la conductance de drain. Notons que ce résultat est valable en basses fréquences ( $f < \sim GHz$ ). Au-delà de quelques  $GHz$ , l'intermodulation du composant est totalement définie par la linéarité de la transconductance [4].

Un système présente une mémoire si sa réponse en amplitude et en phase dépend de la fréquence de modulation  $\Delta f$  [5], [6]. Or, on constate que l'effet *kink* agit sur l'intermodulation des composants à *body* flottant exactement de cette manière.

Les capacités  $C_{gs}$  et  $C_{gd}$  n'influencent pas de manière directe la linéarité du composant : la non linéarité introduite par ces éléments est très faible. Cependant, en régime de fonctionnement haute fréquence, les harmoniques générées ( $nf_0$ ) par les non linéarités de la transconductance et de la conductance ( $g_{mi}$  et  $g_{di}$ ) sont renvoyées à la grille du composant à travers la capacité  $C_{gd}$  par rétroaction. Donc, la valeur de  $C_{gd}$  peut dégrader la linéarité d'un composant à haute fréquence [3], [4]. L'évolution fréquentielle de la *THD* et l'*OIP3* est uniquement liée à ces effets capacitifs.

A partir du modèle de la figure II.1.10, nous pouvons aussi extraire des équations analytiques pour la distorsion harmonique d'ordre 2 et 3. Les kernels de Volterra donnent :

$$HD_2 \approx \frac{A}{2} \left| \frac{g_{m2}}{g_{m1}} \left( 1 + \frac{(C_{gd} + C_{ds})\omega}{G_0} + R_g (C_{gs} + C_{gd})\omega - \frac{C_{gd}\omega}{g_{m1}} \right) + \frac{g_{d2}g_{m1}}{G_0^2} + g_{m2} \frac{3R_g C_{gd}\omega}{G_0} \right| \quad (\text{III.1.4})$$

$$HD_3 \approx \frac{A^2}{4} \left| \frac{g_{m3}}{g_{m1}} + \frac{2g_{d2}g_{m2}}{G_0^2} + \frac{g_{m1}^2 (2g_{d2}^2 - g_{d3}G_0)}{G_0^4} \right| \quad (\text{III.1.5})$$

Les expressions (III.1.4) et (III.1.5) découlent des expressions de [3] sous une forme plus simplifiée. On peut constater que les termes influençant principalement la distorsion, ainsi que l'intermodulation d'ordre 3 sont :

- $g_{m2}/g_{m1}$ ,  $g_{d2}g_{m1}/g_{d1}$  concernant l'ordre 2
- $g_{m3}/g_{m1}$ ,  $g_{d2}g_{m2}/g_{d1}^2$  concernant l'ordre 3

Nous avons tracé les rapports  $g_{m2}/g_{m1}$ ,  $g_{m3}/g_{m1}$  (figure III.1.11.a) ainsi que le rapport  $g_{d2}/g_{d1}$  (figure III.1.11.b) en fonction des polarisations, pour le transistor à *body* flottant et

le transistor à prises externes. Les éléments  $g_{m1}$  et  $g_{d1}$  ont été extraits par des mesures de paramètres S en fonction des polarisations, en haute fréquence (20 GHz). Les ordres supérieures sont calculés par :

$$g_{m2} = \frac{1}{2} \frac{\partial g_{m1}}{\partial V_{gs}} \Big|_{V_{ds}=cte} \quad \text{et} \quad g_{m3} = \frac{1}{3} \frac{\partial g_{m2}}{\partial V_{gs}} \Big|_{V_{ds}=cte} \quad (\text{III.1.6})$$

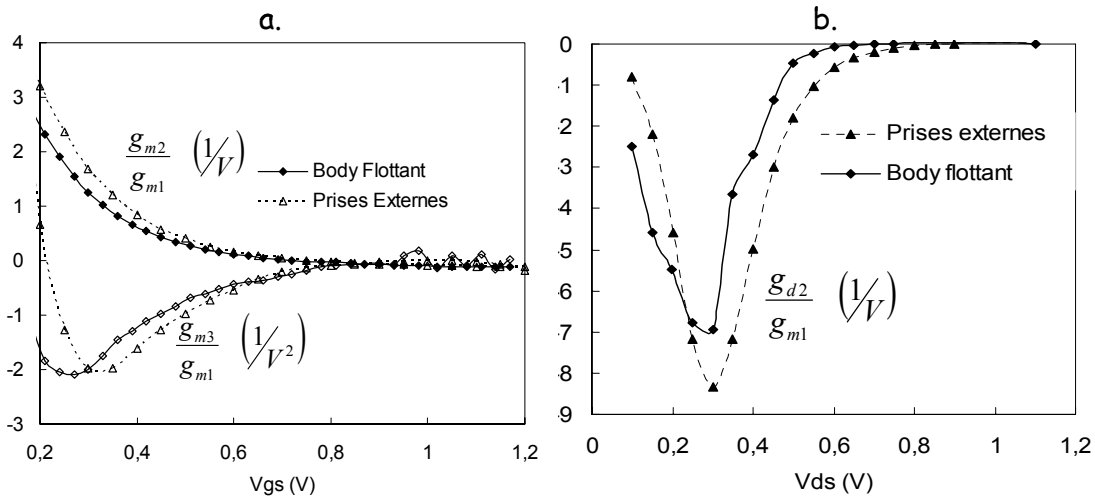


Figure III.1.11.a Rappports  $g_{m2}/g_{m1}$  et  $g_{m3}/g_{m1}$  en fonction de la polarisation  $V_{gs}$ . b. Rapport  $g_{d2}/g_{d1}$  en fonction de la polarisation  $V_{ds}$ .  $f=20$  GHz

On remarque que le composant à *body* flottant présente dans toutes les polarisations des valeurs inférieures pour ces rapports. Ceci pourrait expliquer en partie pourquoi la distorsion et l'intermodulation de ce composant est plus faible que celui des composants à prises *body*.

### III.1.2 Linéarité et géométrie des composants

Dans ce paragraphe, nous traitons des linéarités des transistors MOS SOI en fonction de leurs paramètres géométriques. Nous montrons des résultats obtenus sur des transistors de la même longueur de grille et à diverses largeurs, et *vice versa*.

#### III.1.2.a Influence de la longueur de la grille

La figure III.1.12 montre l'*OIP3* simulé de trois transistors de la même largeur ( $W_{gd}=1x60 \mu m$ ) pour trois longueurs de grille différentes ( $L_g=0.18, 0.12$  et  $0.08 \mu m$ ), en fonction de la densité de courant. Les fréquences appliquées sont respectivement de  $f_0=2 GHz$  et  $f_1=2.001 GHz$ . Les composants sont polarisés en saturation ( $V_{ds}=1.2 V$ ).

On remarque que, pour de faibles densités de courant, l'*OIP3* est d'autant plus élevé que la longueur de grille est élevée,. Cependant, la linéarité du composant long ( $L_g=0.18 \mu m$ ) présente une dégradation constante en fonction du courant de drain, alors que la linéarité des composants à faible longueur de grille ne varie pas de manière significative.

Généralement, la réduction de la longueur de grille des transistors MOS entraîne une amélioration de la linéarité de la transconductance et une dégradation de la linéarité de la conductance de drain [4]. On pourrait donc s'attendre que tous les transistors aient une linéarité équivalente. Cependant, en faible inversion, les composants à faible  $L_g$  présentent une transconductance de linéarité équivalente à celle des composants longs et une conductance de drain de linéarité plus faible. Par conséquent, l'*OIP3* est dégradé. En forte inversion, la linéarité de la transconductance des composants longs est inférieure ainsi que leur linéarité.

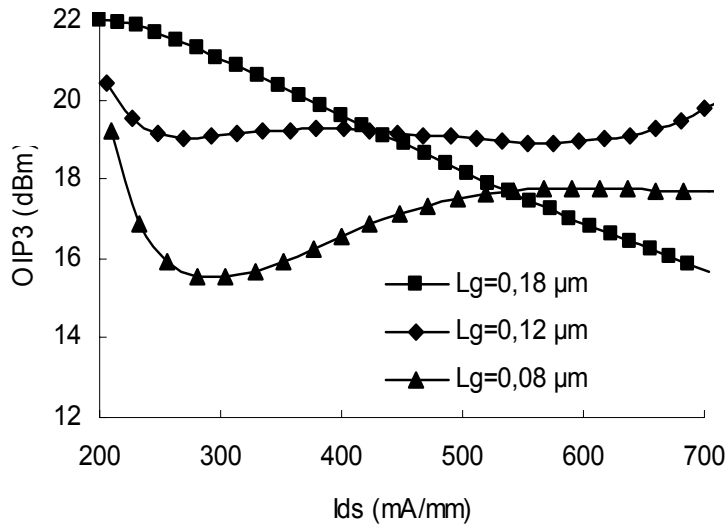


Figure III.1.12 OIP3 simulé en fonction de la densité de courant pour trois longueurs de grille différentes.  $f_0=2\text{ GHz}$ ,  $f_1=2.001\text{ GHz}$ ,  $V_{ds}=1.2\text{ V}$

### III.1.2.b Influence de la largeur de la grille

Nous avons mesuré la distorsion d'intermodulation d'ordre 3 pour trois composants de la même longueur de grille ( $L_g=0.12\mu m$ ) et de largeur totale  $W_t$  variant de 30 à 120  $\mu m$ . Les trois composants ont le même nombre de doigts (30) et chacun parmi eux a une largeur de doigt unitaire différente. Le résultat est présenté sur la figure III.1.13. On constate que l'intermodulation est directement liée à la largeur du composant. Elle est d'autant plus élevée que la largeur totale est élevée : les éléments non linéaires ( $g_{mi}$  et  $g_{di}$ ) d'un composant vont présenter une certaine proportionnalité par rapport à la largeur totale qui n'est pas la même entre le premier ordre ( $g_{m1}$  et  $g_{d1}$ ) et les ordres supérieurs ( $g_{mi}$  et  $g_{di}$   $i>1$ ). Le tableau III.1.2 donne une comparaison des éléments  $g_{mi}$  des composants de largeurs respectives de 30 et 60  $\mu m$ . On remarque bien que le rapport des éléments  $g_{m1}$  est inférieur à celui des  $g_{m2}$  et  $g_{m3}$ .

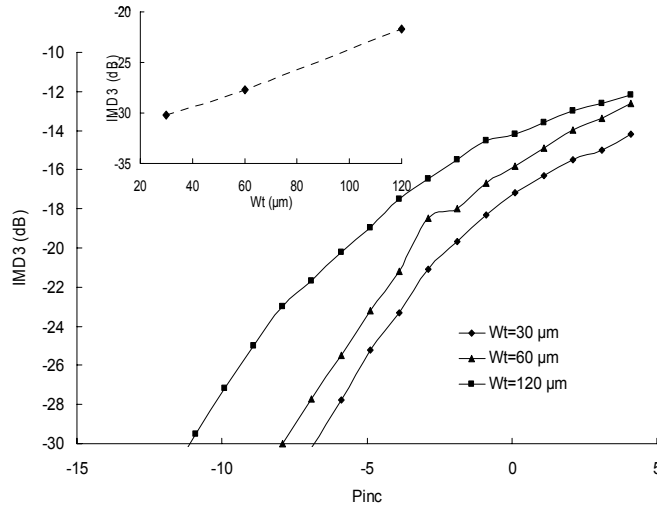


Figure III.1.13 Distorsion d'intermodulation d'ordre 3 mesurée en fonction de la puissance incidente pour trois largeurs de grille différentes. La sous-figure montre l'IMD3 en fonction de la largeur des composants.  $f_0=2\text{ GHz}$ ,  $f_1=2.001\text{ GHz}$ .

	$W_t=60\ \mu\text{m}$	$W_t=30\ \mu\text{m}$	Rapport
$g_{m1}\ \text{mS}$	40	23	1.74
$g_{m2}\ \text{mS/V}$	24	10	2.4
$g_{m3}\ \text{mS/V}^2$	-106	-57	1.86

Tableau III.1.2 Eléments  $g_{mi}$  de deux composants avec un rapport de largeur de 2

La linéarité des composants ne dépend pas seulement de leur largeur totale  $W_t$ , mais aussi du nombre de doigts  $n_d$  ou de la largeur unitaire  $W_d$  des doigts. Deux composants de même technologie, ayant le même développement total mais un nombre de doigts différents, ne vont pas présenter la même linéarité. La figure III.1.14 illustre l'IMD3 en fonction de la puissance incidente de trois composants de  $W_t=60\ \mu\text{m}$  avec respectivement 15, 30 et 60 doigts de grille. On remarque que le composant à 60 doigts présente une intermodulation dégradée de 4 dB, par rapport aux deux autres composants. De plus, les composants à 30 et 15 doigts montrent une linéarité équivalente ( $\Delta\text{IMD3} < 1\ \text{dB}$ ).

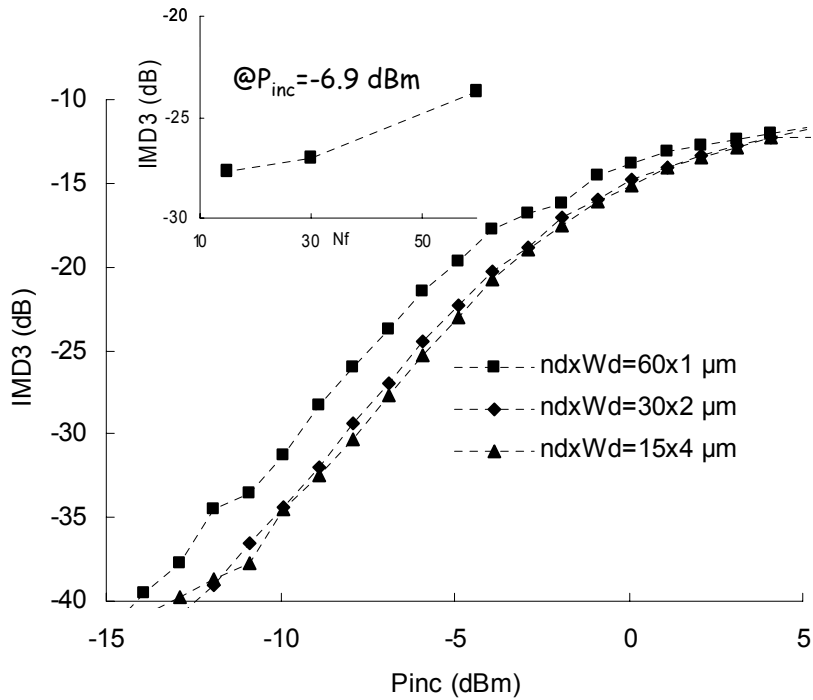


Figure III.1.14 Distorsion d'intermodulation d'ordre 3 mesurée en fonction de la puissance incidente, pour la même largeur de grille et un nombre de doigts différent. La sous-figure montre l'IMD3 en fonction du nombre de doigts des composants.  $f_0=2 \text{ GHz}$ ,  $f_1=2.001 \text{ GHz}$ .

Les observations effectuées ci-dessus sur l'influence de la largeur de la grille sont résumées sur la figure III.1.15. Nous y avons tracé la distorsion harmonique totale (*THD*) de composants MOS SOI à prises *body* externes, pour divers développements de nombres de doigts ainsi que de largeur unitaire par doigt. Ces résultats sont issus de mesures et de simulations en utilisant les lois d'échelle. La fréquence fondamentale est de  $2 \text{ GHz}$  et les composants sont polarisés à  $V_{gs}=0.6 \text{ V}$  et  $V_{ds}=1.2 \text{ V}$ . La puissance incidente aux composants est de  $-5 \text{ dBm}$ .

La *THD* suit la même tendance que l'intermodulation : la linéarité des composants est dégradée pour des largeurs plus élevées, d'autant plus que la largeur unitaire par doigt est faible.



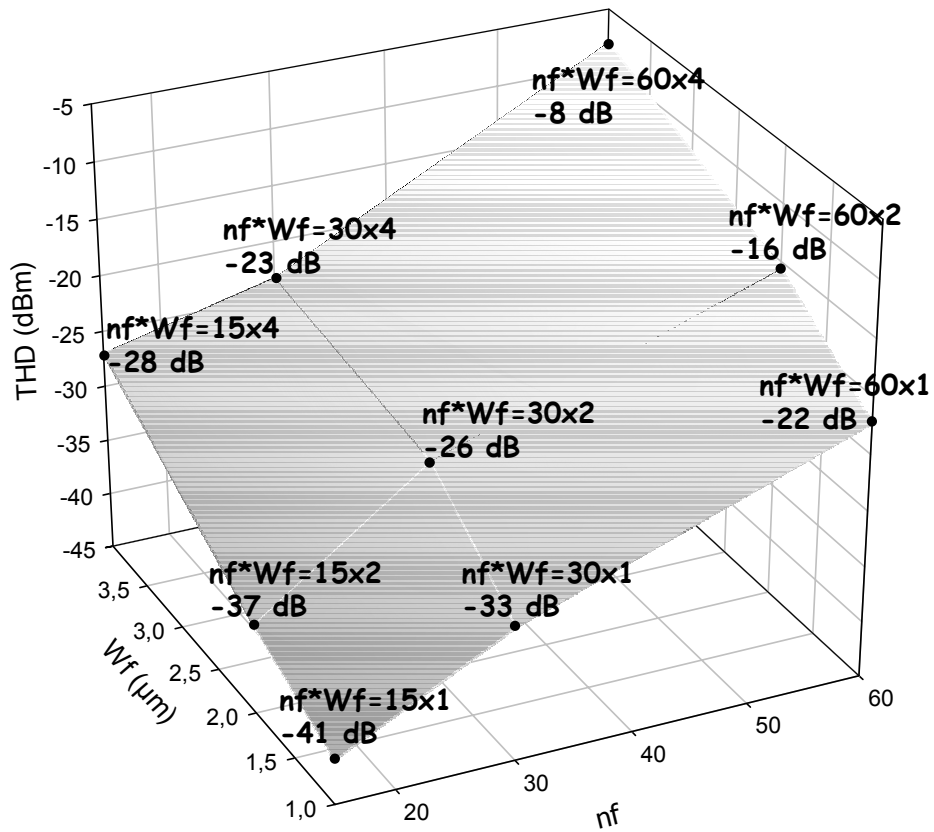


Figure III.1.15 Distorsion harmonique totale en fonction de la largeur unitaire par doigt de grille et du nombre de doigts.  $f_0=2$  GHz,  $P_{inc}=-5$  dBm

### III.1.3 Performances hyperfréquences

Dans le paragraphe précédent, nous avons exposé une étude sur la linéarité des transistors MOS sur substrat SOI, en fonction des filières technologiques et des paramètres géométriques. L'étude a été menée à travers des mesures et des simulations à l'aide du modèle développé durant la thèse.

Nous avons constaté que les transistors à *body* flottant présentent une linéarité équivalente ou supérieure à celle des transistors à prises *body*, malgré la présence de l'effet *kink*. De plus, les composants ayant une même largeur de grille présentent une linéarité d'autant plus élevée que la largeur unitaire par doigt est élevée. Ces résultats doivent être associés aux fréquences caractéristiques des composants ( $f_t$  et  $f_{max}$ ), afin d'obtenir une vue plus globale des performances hyperfréquences des technologies MOS SOI.

La figure III.1.16 montre la fréquence maximale d'oscillation  $f_{max}$  des trois filières de composants, d'une longueur de grille  $L_g=0.12 \mu m$  et d'une largeur totale  $W_t=60 \mu m$ . La figure III.1.17 illustre la fréquence de transition  $f_t$  des mêmes composants. Pour les deux facteurs de mérite, les transistors à *body* flottant présentent de loin les meilleures performances, quelle que soit la largeur unitaire par doigt de grille.

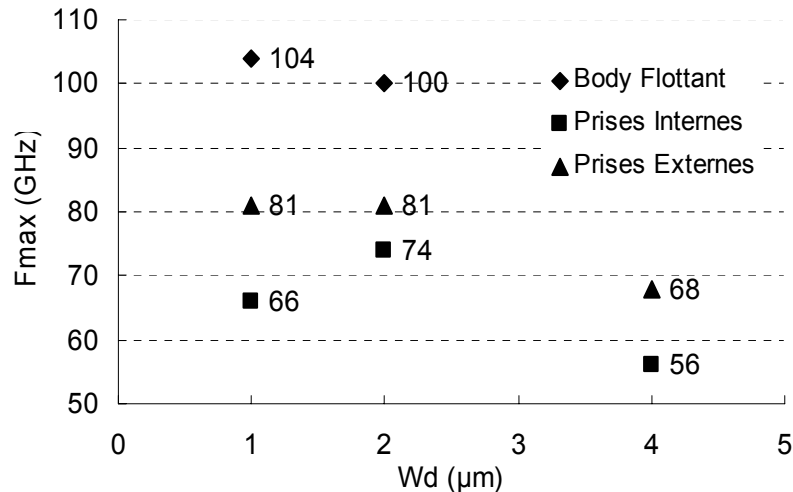


Figure III.1.16 Fréquence maximale d'oscillation  $f_{max}$  mesurée des trois filières de composants, en fonction de la largeur unitaire par doigt de grille

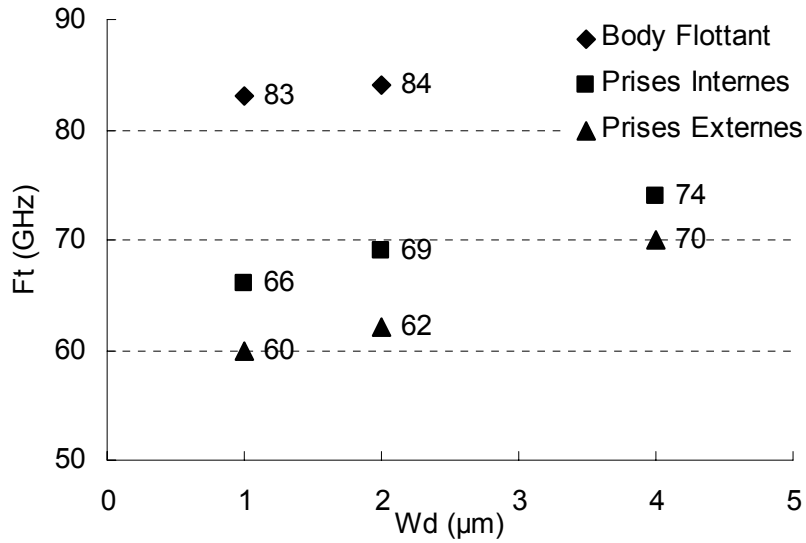


Figure III.1.17 Fréquence de transition  $f_t$  mesurée des trois filières de composants, en fonction de la largeur unitaire par doigt de grille

Les composants à prises internes ont de meilleurs  $f_t$  que les composants à prises externes, mais leurs  $f_{max}$  sont plus faibles. Finalement,  $f_{max}$  a tendance à augmenter si l'on réduit la largeur unitaire (augmentation du nombre de doigts), cependant cette tendance est inversée pour  $f_t$ .

Afin de comprendre ces résultats, nous avons résumé sur le tableau III.1.3 certains des éléments ( $g_m$ ,  $g_d$ ,  $C_{gs}$ ,  $C_{gd}$  et  $R_g$ ) intervenant dans les équations analytiques pour  $f_t$  et  $f_{max}$  données respectivement par (I.4.2) et (I.4.5)-(I.4.6).

Composant	$g_m$ (mS/mm)	$g_d$ (mS/mm)	$C_{gs}$ (nF/mm)	$C_{gd}$ (nF/mm)	$R_g$ (Ohm)	$f_t$ (GHz)	$f_{MAX}$ (GHz)
Body Flottant 60x1	792	186	0,81	0,56	4,9	83	104
30x2	746	181	0,78	0,52	6	84	100
Prises Internes 60x1	936	179	1,61	0,97	4,9	60	66
30x2	903	200	1,11	0,7	7,1	69	74
15x4	782	184	0,95	0,59	12,5	74	68
Prises Externes 60x1	967	207	1,67	0,73	4,9	60	81
30x2	895	183	1,6	0,55	7,1	62	81
15x4	818	196	1	0,57	12,5	70	68

Tableau III.1.3 Eléments électriques des divers composants

On remarque que les composants à *body* flottant présentent une transconductance plus faible que celle des composants à prises *body*. Les éléments  $g_d$  et  $R_g$  ont des valeurs équivalentes. Cependant, les capacités  $C_{gs}$  et  $C_{gd}$  des composants à prises *body* ont des valeurs nettement supérieures ; c'est ce facteur qui détermine la différence marquée entre les composants à *body* flottant et ceux à prises *body*.

Notons que les valeurs très élevées des capacités sont dues aux prises *body*. La figure III.1.18 illustre ceci pour les deux cas de composants. Les prises internes dégradent de préférence la capacité  $C_{gd}$ , alors que les prises externes ont tendance à augmenter la capacité  $C_{gs}$ .

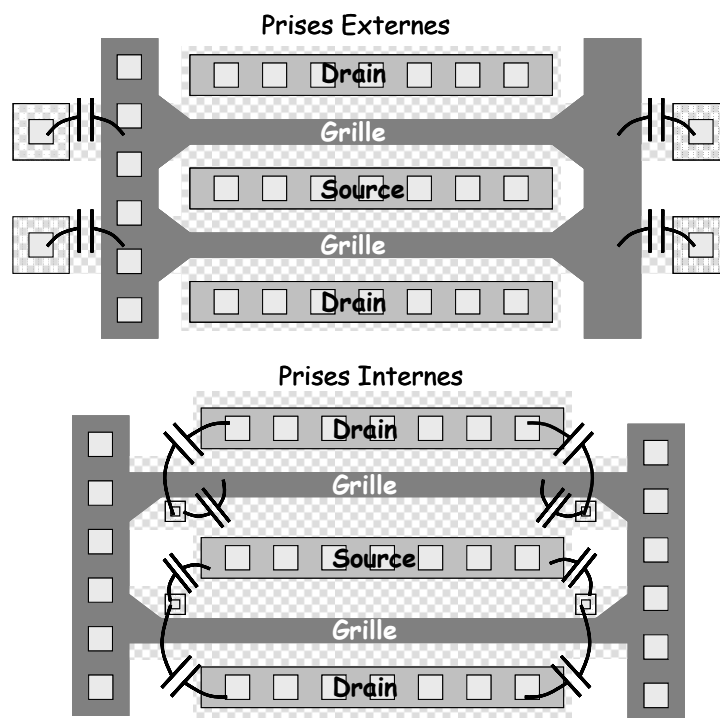


Figure III.1.18 Capacités parasites ajoutées à  $C_{gs}$  et  $C_{gd}$  pour les composants à prises *body*.

Le nombre de doigts de grille est un facteur important sur les valeurs de  $f_i$  et  $f_{max}$ . L'augmentation de  $n_d$  (pour un même développement de grille total) entraîne la réduction de la résistance de grille  $R_g$  mais dégrade les capacités  $C_{gs}$  et  $C_{gd}$ . Par conséquent,  $f_i$  est réduite (elle n'est pas influencée par  $R_g$ , mais dépend fortement de  $C_{gs}$  et  $C_{gd}$ ) et  $f_{max}$  est améliorée (elle dépend fortement de  $R_g$  et du rapport  $C_{gs}/C_{gd}$ ).

### III.1.4 Conclusion

Nous avons étudié à travers des mesures, des simulations et des équations analytiques les performances hyperfréquences des composants MOS SOI en termes de linéarité et de fréquences caractéristiques.

Nous en avons déduit que les composants à *body* flottant présentent les meilleures performances pour tous ces facteurs de mérite. D'autre part, les meilleures performances sont acquises pour un nombre de doigts de grille intermédiaire ( $n=30$ ).

Néanmoins, il est important de noter que les technologies MOSFET SOI à *body* flottant ne peuvent pas contribuer à toutes les applications *RF* futures en Si. En premier lieu, les technologies à prises *body* sont très attractives pour les applications en milieux irradiés, par exemple dans des centrales nucléaires, car le potentiel de *body* ne présente pas de fluctuations aléatoires dues aux irradiations [7]. Un autre paramètre, pouvant limiter l'utilisation de composants à *body* flottant, est le bruit basse fréquence. En effet, ces composants présentent un excès de bruit en basse fréquence, à cause à l'effet *kink* [8]. Ceci a pour effet à dégrader le bruit de phase dans les oscillateurs réalisés avec cette technologie [9].

## III.2 Application du modèle SILICA à la réalisation de circuits

Dans ce paragraphe, nous présentons des simulations obtenues sur un circuit numérique, conçu en technologie nMOS à l'aide du logiciel de simulation de circuits *ELDO*. Par la suite, nous exposons les caractéristiques simulées et mesurées d'un amplificateur large bande en technologie MOS SOI à prises *body* externes.

### III.2.1 Bascule JK en technologie nMOS

La figure III.2.1.a illustre schématiquement le circuit numérique décrit dans le simulateur *ELDO*. Il s'agit d'une bascule synchrone *JK*, dont la table de vérité est donnée sur la figure III.2.1.b. Afin de concevoir les portes NAND, une technologie nMOS a été utilisée, en raison de l'absence de transistor pMOS. La structure de la porte est illustrée sur la figure III.2.2. Le modèle du transistor a été extrait selon la méthode décrite dans le paragraphe II.5, pour un transistor sur substrat SOI à prises *body* internes, de longueur de grille  $L_g=0.12 \mu\text{m}$  et deux développements de grille respectivement de  $10$  et  $60 \mu\text{m}$ .

La simulation a été effectuée dans le domaine temporel, en régime transitoire. La période de l'horloge a été fixée à  $T_{clk}=1 \text{ nsec}$  avec un temps de montée et de descente de  $0.1 \text{ nsec}$ . Les formes d'ondes de la simulation sont illustrées sur la figure III.2.3.

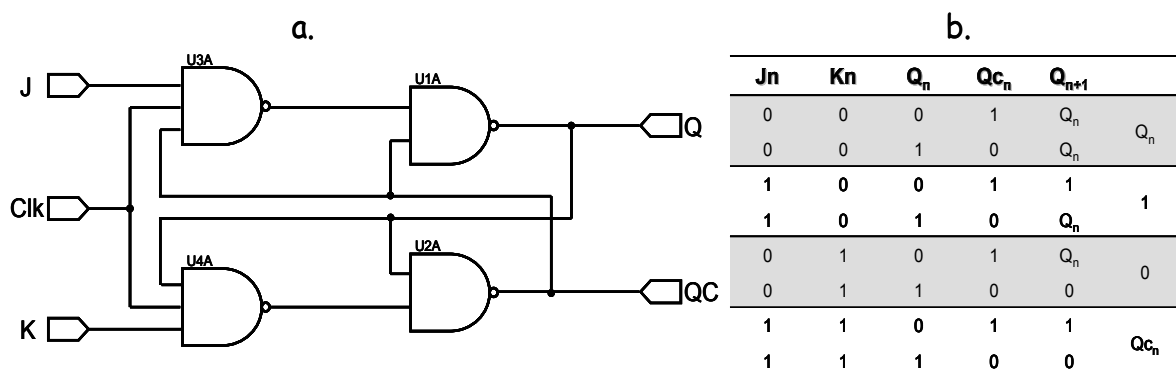


Figure III.2.1.a Bascule synchrone JK et sa table de vérité

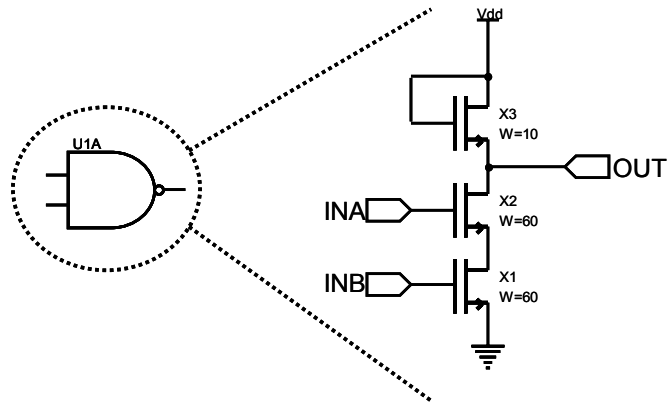


Figure III.2.2 Porte NAND en technologie nMOS

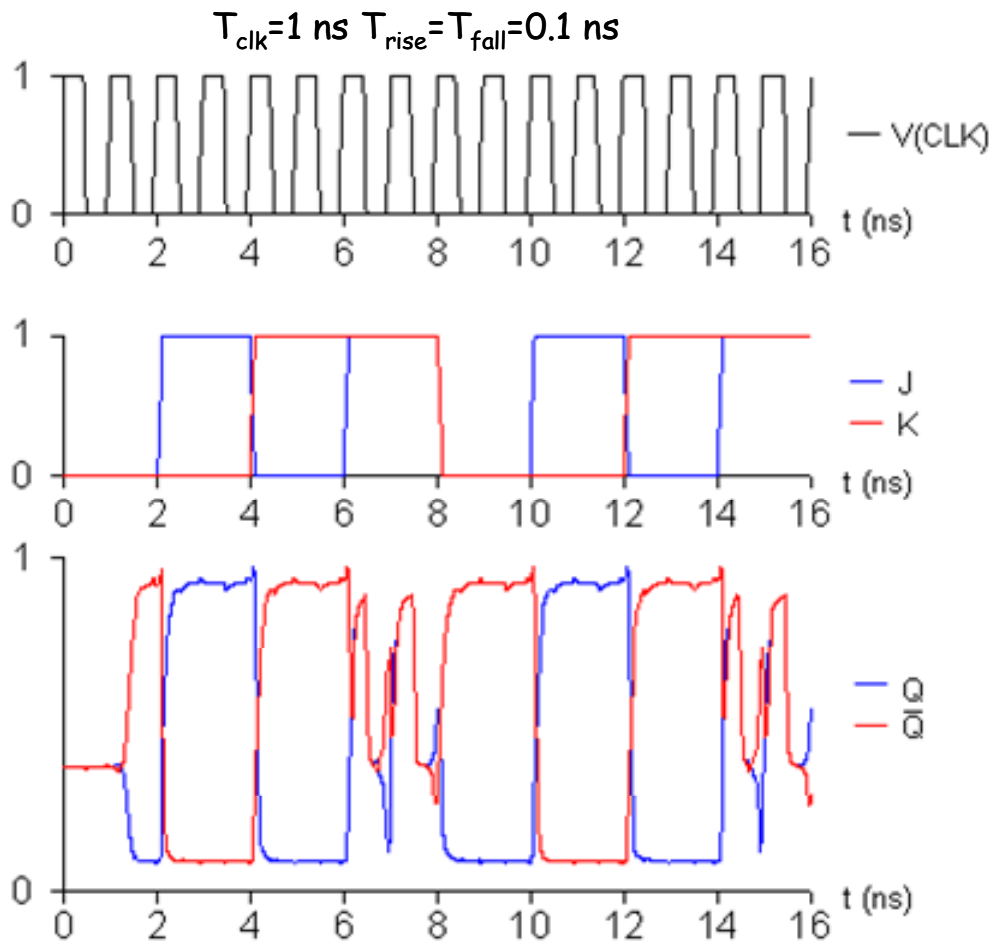


Figure III.2.3 Formes d'ondes simulées de l'horloge, des entrées et des sorties de la bascule JK

### III.2.2 Amplificateur large bande en technologie MOS SOI 0.13 $\mu\text{m}$ à prises externes

Les amplificateurs large bande trouvent leurs applications, entre autres, dans les systèmes de communications optiques. L'architecture généralement utilisée est celle d'un amplificateur distribué (AD) contenant certaines cellules d'amplification. Ici, nous présentons un AD conçu et simulé avec le modèle grand signal et par la suite réalisé sur une technologie industrielle standard (*ST microelectronics*) [10].

#### III.2.2.a Architecture de l'amplificateur distribué

L'amplificateur utilise des cellules élémentaires en topologie cascode. La figure III.2.4 montre la cellule cascode. Dans cette topologie, les transistors  $T_1$  et  $T_2$  ont les mêmes caractéristiques. Elle a été choisie car elle permet de minimiser l'effet *Miller* (dû à  $C_{gd}$ ). Ainsi, un meilleur gain et une bande de fréquence plus large peuvent être atteints.

L'amplificateur contient au total quatre cellules (figure III.2.5) reliées entre elles par des lignes de transmission en technologie microruban (*TFMS : Thin Film Micro Strip*). La technologie microruban permet d'isoler les lignes du champ électrique de transmission au substrat Si (à fortes pertes) par un plan de masse, et ainsi, minimiser les pertes de type diélectrique.

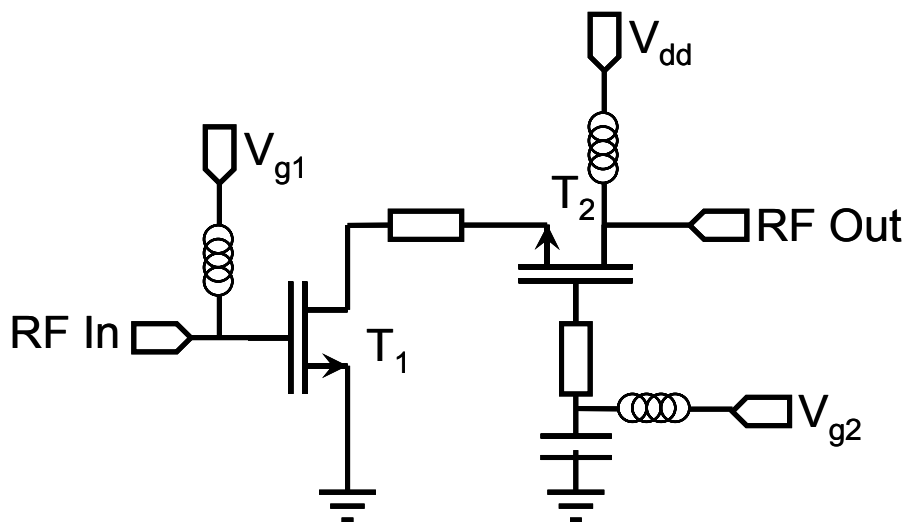


Figure III.2.4 Cellule cascode élémentaire utilisée dans l'amplificateur distribué



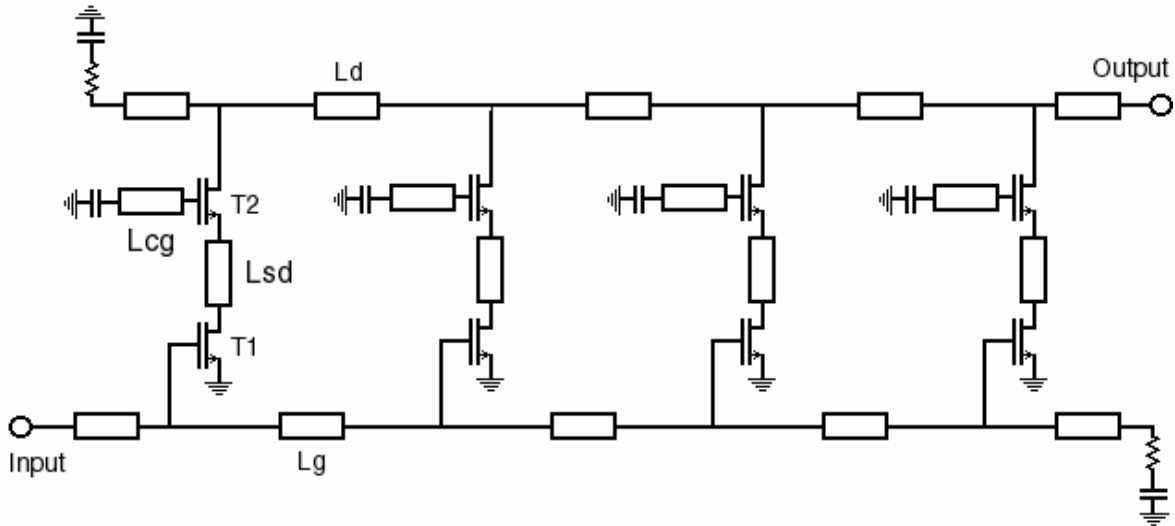


Figure III.2.5 Vue schématique de l'amplificateur distribué à quatre cellules cascode

Sur la figure III.2.6 nous avons reporté le schéma électrique de l'AD tel qu'il a été décrit dans l'environnement de simulation ADS. Pour la simulation, nous avons utilisé le modèle développé lors des travaux de thèse. Les lignes TFMS ont été modélisées à l'aide du modèle *multi-layer* de ADS. La figure III.2.7 montre la photo de l'AD après réalisation. La dimension totale du circuit est de  $1600 \times 600 \mu\text{m}$ .

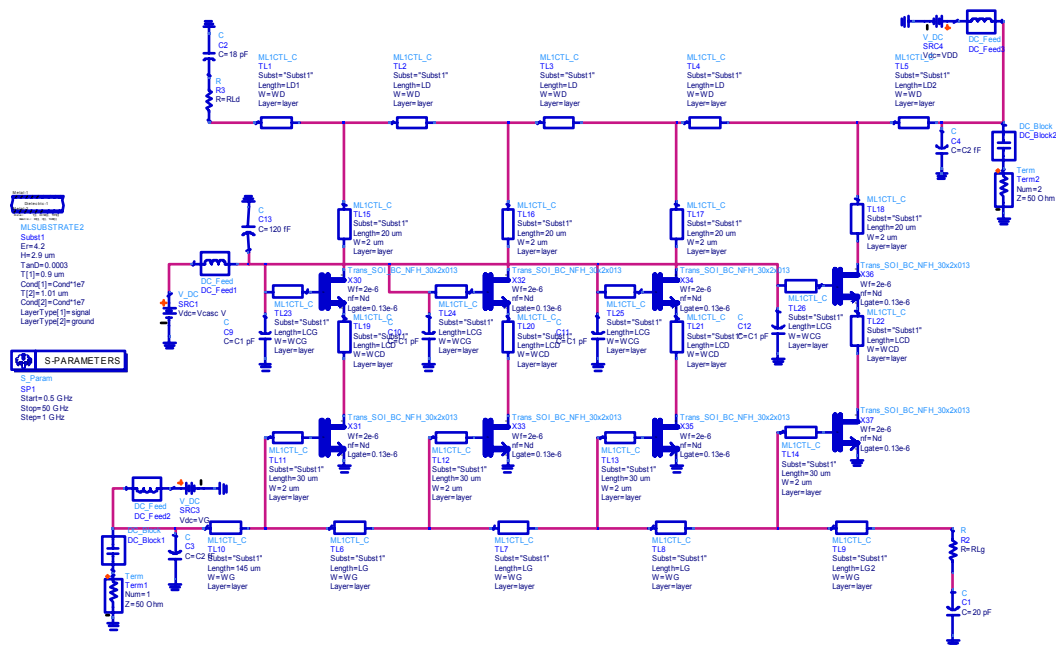


Figure III.2.6 Schéma électrique du circuit dans le logiciel de CAO ADS

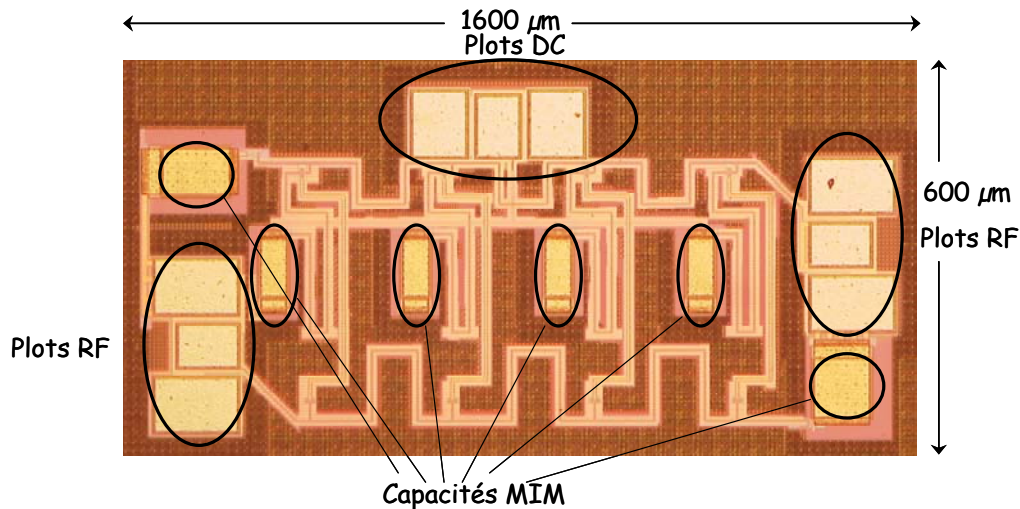


Figure III.2.7 Photo de l'amplificateur

### III.2.2.b Performances de l'amplificateur distribué

Nous avons mesuré les paramètres S de l'AD dans la bande de fréquence de 0.5-30 GHz. Les conditions de polarisation sont :  $V_{g1}=0.7 V$ ,  $V_{g2}=1.9 V$  et  $V_{dd}=2.4 V$ . Où  $V_{g1}$  est la tension appliquée sur la grille des transistors à source commune,  $V_{g2}$  la tension appliquée sur la grille des transistors à grille commune et  $V_{dd}$  la tension appliquée entre le drain du transistor grille commune et la masse. Les paramètres S mesurés et simulés sont illustrés sur la figure III.2.8.

On remarque que la prédiction par simulation des performances petit signal de l'AD est très satisfaisante. Sous ces conditions de polarisation, l'AD présente un gain de  $7 dB \pm 1 dB$  ( $S_{21}$ ) et une bande passante de 23 GHz. Néanmoins, l'amplificateur ne présente pas d'adaptation adéquate sur toute la bande de fréquence, par rapport à l'impédance caractéristique de  $50 \Omega$ : dans la bande 0-10 GHz les paramètres de réflexion ( $S_{11}$  et  $S_{22}$ ) sont inférieurs à  $-10 dB$ , cependant, au-delà de 10 GHz leurs valeurs se situent entre  $-10$  et  $-5 dB$ . L'isolation entre la sortie et l'entrée est très satisfaisante, car nous obtenons une rejection qui est supérieure à 20 dB sur toute la bande de fréquence ( $S_{12} < -20 dB$ ).

Sur la figure III.2.9, nous avons reporté la puissance de la raie fondamentale et le gain transducteur (mesurés et simulés), en fonction de la puissance incidente à 5 GHz et à 10 GHz. Nous remarquons que la simulation prédit très bien les caractéristiques en puissance de l'amplificateur à 5 GHz. A 10 GHz le gain est prédit à 0.4 dB près. Le point de compression est de 4.2 dBm pour les deux fréquences. Cette valeur équivaut au point de compression des composants intrinsèques (figure III.1.3).

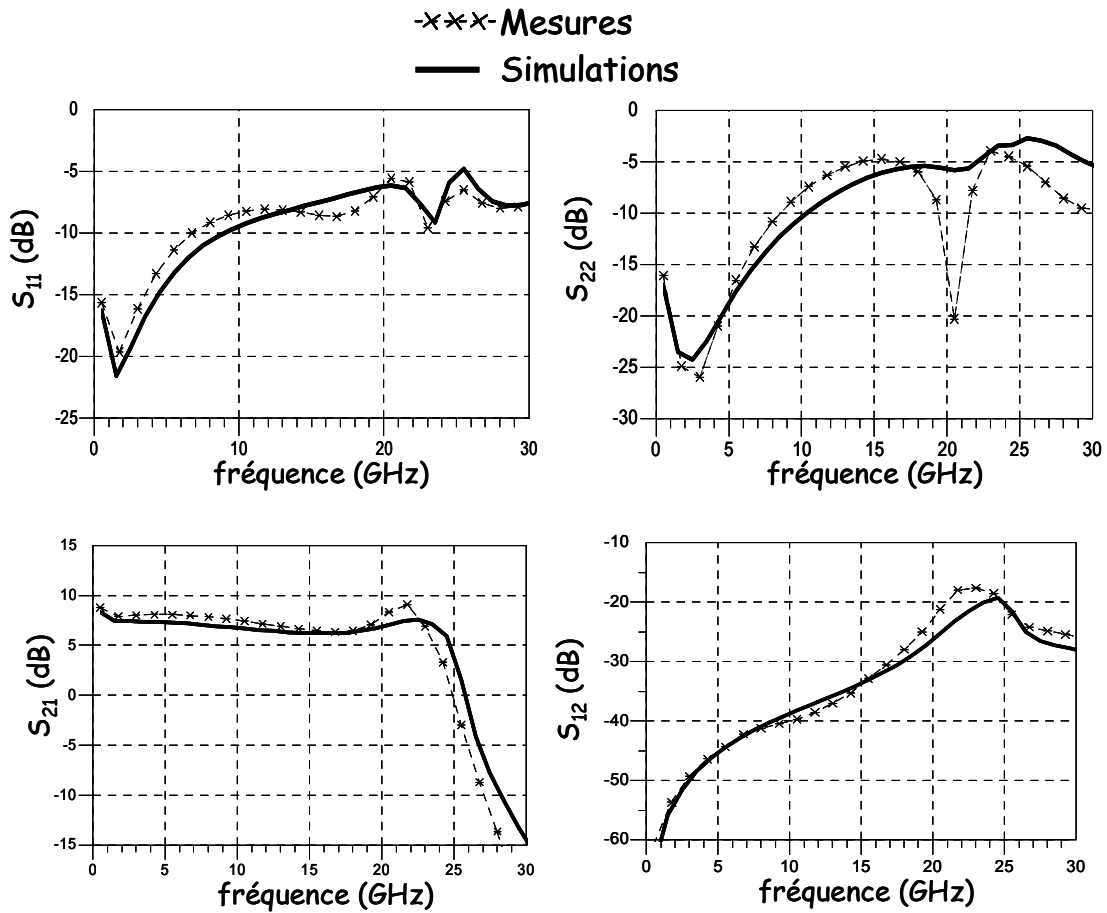


Figure III.2.8 Paramètres S de l'amplificateur mesuré et simulé en fonction de la fréquence

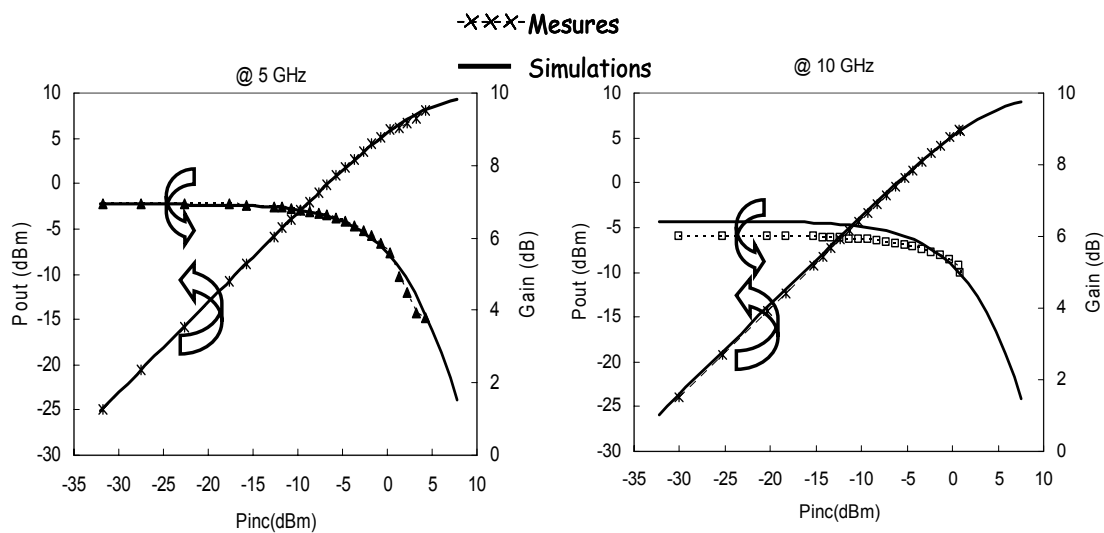


Figure III.2.9 Puissance délivrée à la charge et gain en fonction de la puissance incidente à l'amplificateur, à 5 GHz et à 10 GHz

## Conclusion

Dans ce chapitre, nous avons exposé certaines applications du modèle SILICA. La première partie était consacrée à l'étude de la linéarité des composants SOI. Dans la deuxième partie, nous avons exposé des applications du modèle pour la conception de circuits.

En ce qui concerne la linéarité, nous avons conclu que les transistors PD à *body* flottant présentent une linéarité similaire, voire légèrement supérieure à celle des composants à prises *body*. Cependant, il a été montré que, pour des résistances de charge élevées, le *kink* agit comme un effet mémoire basse fréquence et dégrade jusqu'à 1 dB l'intermodulation d'ordre 3 (*OIP3*). Un autre résultat intéressant est l'influence des paramètres géométriques sur la linéarité des composants : la réduction de la longueur de grille  $L_g$  favorise la linéarité. D'autre part, l'augmentation de la largeur totale de la grille  $W_t$  (pour une même  $L_g$ ) dégrade la linéarité des composants. Cependant, la réduction de la largeur unitaire par doigt de grille  $W_d$  dégrade la linéarité. Tous les résultats sur la linéarité des composants ont été combinés avec les fréquences caractéristiques  $f_t$  et  $f_{max}$ . Nous en avons déduit que les composants à *body* flottant présentent les meilleures performances, toute figure de mérite confondue. Néanmoins, pour les circuits dans les milieux irradiés (centrales nucléaires), les prises *body* offrent une robustesse plus élevée grâce au contrôle du potentiel de *body*. D'autre part, l'effet *kink* des transistors à *body* flottant crée un bruit de phase (dans les oscillateurs) supérieur à celui des transistors à prises *body*. Donc, il est nécessaire d'être vigilant quand à l'utilisation de composants à *body* flottant, pour les applications où le bruit de phase est une contrainte de base.

Parmi les divers circuits simulés avec le modèle, nous avons présenté la simulation d'une bascule *JK* synchrone, effectuée dans le simulateur *ELDO*. Il s'est avéré que ce type de modèle peut être appliqué pour la simulation de circuits numériques, en utilisant des outils de CAO dans le domaine temporel. Finalement, un amplificateur large bande a été conçu et réalisé à l'aide du modèle. Les résultats de simulation, tant en petit que en grand signal ont montré la robustesse du modèle. Les performances du circuit sont très satisfaisantes, étant données les pertes élevées des lignes sur substrat Si. L'amplificateur présente un gain de 7 dB dans la bande 0-23 GHz et une isolation entre la sortie et l'entrée qui dépasse les 20 dB sur toute la bande de fréquences d'intérêt. Le point de compression à 1dB est de 4.2 dB et équivaut à celui des composants intrinsèques.

## Références bibliographiques

- [1] M.Pelella,J.G.Fossum “On the Performance Advantage of PD/SOI CMOS With Floating Bodies”, *IEEE Transactions on Electron Devices*, vol. 49, no. 1, pp. 96-104, January 2002
- [2] A.O.Adan, T.Yoshimasu, S.Shitara, N.Tanba, M.Fukumi “Linearity and Low-Noise Performance of SOI MOSFETs for RF Applications”, *IEEE Transactions on Electron Devices*, vol. 49, no. 5, pp. 881-888, May 2002
- [3] B.Parvais, J.-P.Raskin “Analytical Expressions for Distortion of SOI MOSFETs using the Volterra Series”, *Proceedings of GaAs04*, European Microwave Week, pp. 223-226, Amsterdam, October 2004
- [4] S.Kang, B.Choi, B.Kim “Linearity Analysis of CMOS for RF Application”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 3, pp.972-977, March 2003
- [5] H.Ku, M.D.McKinley, J.S.Kenney “Quantifying Memory Effects in RF Power Amplifiers”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 12, pp. 2843-2849, December 2003
- [6] W.Bösch, G.Gatti “Measurement and Simulation of Memory Effects in Predistortion Linearizers”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 37, no. 12, pp. 1885-1890, December 1989
- [7] F.J.Kub “Radiation Hardened SOS MOSFET Technology for Infrared Focal Readouts”, *IEEE Transactions on Nuclear Science*, vol. 37, Issue 6, pp. 2020-2025, Dec. 1990
- [8] Y.-C.Tseng, W.M.Huang, V.Ilderem, J.C.S.Woo “Floating Body Induced Pre-Kink Excess Low-Frequency Noise in Submicron SOI CMOSFET Technology”, *IEEE Electron Device Letters*, vol. 20, no. 9, pp. 484-486, September 1999

- [9] Y.-C.Tseng, W.M.Huang, E.Spears, D.Spooner, D.Ngo, J.M.Ford, J.C.S.Woo  
“Phase Noise Characteristics Associated with Low-Frequency Noise in Submicron  
SOI MOSFET Feedback Oscillator for RF IC’s”, *IEEE Electron Device Letters*,  
vol. 20, no. 1, pp. 54-56, January 1999
- [10] C.Pavageau, M.SiMoussa, A.Siligaris, L.Picheta, F.Danneville, J.P.Raskin,  
D.Vanhoenaker-Janvier, J.Russat, and N.Fel, “Low Power 23-GHz and 27-GHz  
Distributed Cascode Amplifiers in a Standard 130nm SOI CMOS Process,” *IEEE  
MTT Int. Microwave Symposium*, 2005, accepté pour publication

Conclusion générale

Perspectives





## Conclusion générale - Perspectives

L'objectif principal de ce travail était de se doter d'un modèle non linéaire pour les transistors MOS sur substrat massif et sur substrat SOI. Les transistors MOS ont vu une telle croissance de leurs performances RF qui, aujourd'hui, leur permet d'être utilisés dans la réalisation de circuits en hyperfréquences. Cependant, la conception de circuits doit être appuyée par des modèles de composants robustes et rapides à extraire. Au début de ces travaux, les modèles existant pour transistors MOS étaient principalement basés sur la physique des composants et destinés aux applications numériques. L'utilisation de tels modèles était quasi impossible à cause de leur complexité et surtout du temps requis pour l'extraction des paramètres. Pour remédier à cela, il s'est avéré nécessaire de passer par l'élaboration complète d'un modèle non linéaire. Nous avons choisi d'adopter la technique de modélisation phénoménologique, largement utilisée pour les technologies III-V, pour sa simplicité et sa rapidité d'extraction des paramètres.

Il allait de soi que, avant de commencer la modélisation, il fallait se pencher sur le fonctionnement des transistors MOS, ainsi que sur les notions des non linéarités dans les composants. Pour cela, dans le premier chapitre, nous avons présenté les structures MOSFET utilisées dans les hyperfréquences. Ensuite, certains effets physiques rencontrés dans ces structures ont été abordés, par exemple les effets de canal court, l'effet *kink* dans les transistors sur substrat SOI à *body* flottant et les effets thermiques. Afin de montrer l'importance des effets non linéaires dans un composant, nous avons utilisé un exemple d'un composant hypothétique présentant une non linéarité d'ordre 3. A l'aide du même exemple, nous avons défini les facteurs de mérite caractérisant les non linéarités des transistors. A la fin du premier chapitre, le choix de la modélisation phénoménologique a été argumenté.

Le deuxième chapitre a été entièrement consacré à la description du modèle SILICA. Dans un premier temps, nous y avons reporté le principe de la modélisation électrique des transistors en hyperfréquences, en décrivant le schéma équivalent électrique petit signal utilisé pour les MOSFET. En ce qui concerne la modélisation non linéaire, nous avons décrit l'approche fondamentale adoptée dans notre démarche, pour la modélisation d'un courant et de capacités non linéaires. A l'aide d'exemples, nous avons montré que le courant doit être modélisé par une équation grand signal continue et infiniment dérivable.

De la même manière, nous avons montré que les capacités non linéaires doivent dériver d'une équation de charge unique, afin de respecter le principe de conservation de la charge.

Par la suite, les modèles élaborés pour chaque élément non linéaire, tenu en compte par notre modèle, a été décrit.

L'équation du courant de drain a été inspirée par le modèle d'Angelov, initialement développé pour les technologies III-V. Pour cela, nous avons décrit de manière détaillée chaque élément de l'équation et les modifications introduites afin de décrire correctement le courant des transistors MOS.

En ce qui concerne les transistors sur substrat SOI PD avec *body* flottant, nous avons créé un modèle de courant pour l'effet *kink*, tenant en compte la dispersion fréquentielle de cet effet en appliquant une technique originale. Elle se base sur une représentation du courant grand signal dans le domaine fréquentiel et sur une modulation de l'amplitude de chacune des harmoniques à sa fréquence correspondante.

Les équations des capacités non linéaires tenues en compte ont été élaborées à partir d'une seule équation de charge de grille. Pour cela, nous avons utilisé le simulateur physique SILVACO et nous en avons extrait la charge stockée sur la grille d'un transistor MOS, en fonction des polarisations statiques.

Dans le paragraphe suivant, l'extraction de tous les éléments électriques et des paramètres du modèle a été décrite de manière détaillée. Leur détermination s'est effectuée à partir de mesures statiques de courant et de mesures de paramètres S en hyperfréquences. En premier lieu, nous avons procédé à l'extraction des éléments extrinsèques à l'aide de mesures en polarisation froide et du modèle de TEC froid. Par la suite, les éléments intrinsèques ont été extraits à partir de mesures de paramètres S multi-polarisations, après avoir « épluché » les éléments extrinsèques. A partir des données expérimentales des capacités  $C_{gs}$  et  $C_{gd}$ , nous avons procédé à l'extraction des paramètres de charge par optimisation entre les équations et les mesures. La même technique est utilisée pour l'extraction des paramètres du courant. Toute la procédure d'extraction a été implémentée dans le logiciel *ICCAP*. Après s'être penchés sur les techniques d'extraction, nous avons montré comment un tel modèle peut être implémenté dans un simulateur électrique. En exemple, nous avons détaillé cette opération dans le simulateur de *Agilent Technologies*, *ADS*.

Finalement, nous avons montré la validité du modèle à travers des comparaisons entre mesures et simulations. Dans un premier temps, nous avons montré que le modèle reproduit très bien les caractéristiques statiques ainsi que les caractéristiques

hyperfréquences en régime petit signal des transistors. Ensuite, nous avons décrit les techniques de mesures grand signal ainsi que les principes d'étalonnage. Dans le cadre de ces travaux, nous avons procédé à deux types de mesures grand signal. Le premier est basé sur des mesures vectorielles à l'aide d'un analyseur de réseau vectoriel non linéaire (*VNNA*)<sup>1</sup>. Le deuxième est basé sur des mesures de type scalaire. Dans les deux cas, des résultats similaires ont été obtenus. Ainsi, nous avons montré que le modèle reproduit très bien la distorsion harmonique, la puissance de chaque harmonique et le niveau d'intermodulation des composants.

Dans le dernier chapitre de cette thèse, nous avons exposé certaines applications du modèle.

Une étude approfondie a été menée sur les non linéarités des composants MOS sur substrat SOI en fonction de la filière technologique et des dimensions géométriques des composants. Nous avons constaté que les composants à *body* flottant présentent une linéarité équivalente à celle des composants à prises *body*, malgré la présence de l'effet *kink* sur leurs caractéristiques. Il a aussi été montré que le *kink* agit comme un effet mémoire sur les propriétés d'intermodulation de ces composants. Finalement, les performances hyperfréquences en terme de  $f_t$  et  $f_{max}$  des composants à *body* flottant sont nettement supérieures à celles des transistors à prises *body*. Ceci est dû aux capacités parasites ajoutées par les prises *body*. Dans la même partie, nous avons vu que la réduction de la longueur de grille  $L_g$  favorise la linéarité. D'autre part, l'augmentation de la largeur totale de la grille  $W_t$  (pour une même  $L_g$ ) dégrade la linéarité des composants. Cependant, la réduction de la largeur unitaire par doigt de grille  $W_d$  dégrade la linéarité.

Finalement, l'application la plus intéressante du modèle a vu le jour à travers la conception de circuits.<sup>2</sup> En premier lieu, nous avons montré qu'un modèle de ce type peut être utilisé pour la conception de circuits numériques. Pour cela, nous avons donné la simulation d'une bascule synchrone *JK*. Par la suite, nous avons exposé les caractéristiques d'un amplificateur large bande qui a été conçu à l'aide du modèle. Les résultats de simulations de l'amplificateur ont montré une très bonne concordance avec les résultats de mesures, tant en petit signal qu'en grand signal. L'amplificateur présente de bonnes performances : son gain est de 7 dB dans une bande de 23 GHz, et l'isolation entre la sortie et l'entrée est supérieure à 20 GHz.

---

<sup>1</sup> Mesures effectuées en collaboration avec Dominique Schreurs à l'Université Catholique de Louvain (KUL).

<sup>2</sup> Circuits conçus par Christophe Pavageau dans le cadre de sa thèse.

Aujourd'hui, la longueur de grille des transistors MOS industriels atteint les  $90\text{ nm}$ . Des projets sont mis en place afin de réduire  $L_g$  jusqu'à  $60\text{ nm}$  et d'améliorer les performances des MOSFET. Cependant, la réduction continue de la longueur de grille ne peut pas être indéfinie, et d'autres facteurs limitatifs sur les performances RF des composants rentrent en jeu. Par exemple, le rapport entre la capacité d'entrée et la capacité de Miller ( $C_{gin}/C_{Miller}$ ) décroît avec la réduction de  $L_g$ , et la conductance de drain ne fait qu'augmenter. Par conséquent,  $f_{max}$  ne peut plus croître de manière significative en dessous d'une certaine longueur de grille. Pour remédier à ces problèmes, plusieurs solutions sont proposées.

La première consiste à l'amélioration des procédés de fabrication afin de minimiser les effets parasites de canal court. Cependant, ceci reste une solution à court terme. Les solutions futuristes proposées reposent surtout sur l'utilisation de nouveaux composants, avec des structures alternatives : en exemple, nous avons les transistors à base de nanotubes de carbone, les MOS à faible barrière Schottky (LSBMOS), les MOS à double grille (DGMOS), les FINFET, etc.

Quel que soit le choix, toutes les solutions proposées ont un dénominateur commun : les composants seront des objets à dimensions nanométriques, et donc présenteront de fortes impédances. Le problème est fondamental dans les hyperfréquences : comment mesurer et extraire des modèles à partir de structures dont les impédances à l'entrée comme à la sortie sont très élevées ? Les appareils de mesure traditionnels baignent dans un environnement dont l'impédance caractéristique est de environ  $50\ \Omega$ . Par conséquent, du fait de la désadaptation, l'incertitude de mesure sera extrêmement élevée. Un autre problème lié à la nouveauté des structures est la modélisation. Quels modèles utiliser pour les nouveaux composants ?

Dans les perspectives de ce travail, nous proposons d'étudier les problèmes de métrologie qui seront rencontrés dans l'avenir et d'en extraire des solutions, comme par exemple l'intégration de *tuner* sur le substrat. Le travail de thèse nous a permis d'acquérir une forte expérience sur la caractérisation et la modélisation non linéaire de composants dédiés aux hyperfréquences. Ce savoir-faire peut être directement appliqué pour les composants émergents et étudier leurs propriétés et leurs potentialités.

## Glossaire et symboles

**MMIC** : *Microwave Monolithic Integrated Circuit, Circuit intégré monolithique microondes*

**WLAN** : *Wireless Local Access Network, Réseau local sans fil*

**SoC** : *System on Chip, Système intégré sur une puce*

**MESFET** : *MEtal Semiconductor Field Effect Transistor*

**MOSFET** : *Metal Oxide Semiconductor Field Effect Transistor*

**HEMT** : *High Electron Mobility Transistor*

**SOI** : *Silicon On Insulator, Silicium sur isolant*

**BOX** : *Burried Oxide, Oxyde enterré*

**bulk** : *Substrat de Silicium massif*

**PD** : *Partially Depleted, Transistor Partiellement Déserté*

**FD** : *Fully Depleted, Transistor Totalemt Déserté*

**BC** : *Body Contacted, Transistor à prises body externes*

**BT** : *Body Tied, Transistor à prises body internes*

**FB** : *Floating Body, Transistor à potentiel de body flottant*

**kink** : *effet de «overshoot» sur le courant de drain*

**CAO** : *Conception Assistée par Ordinateur*

**EKV** : *Modèle physique de transistor MOS de l'EPFL*

**MM** : *Modèle physique de transistor MOS de Philips*

**BSIM** : *Modèle physique de transistor MOS de l'Université de Berkeley*

**VNA** : *Vectorial Network Analyser, Analyseur de réseau vectoriel*

**GPIB** :

**ICCAP** : *Logiciel de pilotage d'appareils de mesure et de modélisation de composants/circuits (Agilent Technologies)*

**DUT** : *Device Under Test, Composant sous test*

**VNNA** : *Vectorial Nonlinear Network Analyser, Analyseur de réseau vectoriel non linéaire*

**ADS** : *Advanced Design System, Simulateur électrique RF de circuits (Agilent Technologies)*

**ELDO** : *Simulateur électrique RF de circuits (Mentor Graohics)*

**LNA** : *Low Noise Amplifier, amplificateur faible bruit*

**AD** : *Amplificateur Distribué*

**TFMS** : *Thin Film Micro Strip, Ligne microruban à film mince*

**CPW** : *Co Planar Wave guide, Ligne coplanaire*

**RMS** : *Root Mean Square, Moyenne racine carré*

- $\mathbf{a}_1$  : Puissance d'onde électromagnétique transverse incidente au port 1  
 $\mathbf{a}_2$  : Puissance d'onde électromagnétique transverse incidente au port 2  
 $\mathbf{b}_1$  : Puissance d'onde électromagnétique transverse réfléchie au port 1  
 $\mathbf{b}_2$  : Puissance d'onde électromagnétique transverse réfléchie au port 2  
 $\mathbf{Z}_c$  : Impédance caractéristique  
 $\Gamma$  : Facteur de réflexion  
 $\mathbf{S}_{ij}$  : Paramètres S (Scattering) de répartition d'indice  $i$  et  $j$  d'un multipôle  
 $\mathbf{Y}_{ij}$  : Paramètres admittance d'indice  $i$  et  $j$  d'un multipôle  
 $\mathbf{Z}_{ij}$  : Paramètres impédance d'indice  $i$  et  $j$  d'un multipôle  
 $\mathbf{H}_{21}$  : Paramètre d'indice 21 de la matrice hybride (H) d'un quadripôle, Représente le gain en courant  
 $U$  : Gain unilatéral ou gain de Mason  
 $f_t$  : Fréquence de transition pour laquelle le gain  $H_{21}$  est égal à l'unité  
 $f_{\max}$  : Fréquence maximale d'oscillation pour laquelle le gain en courant  $U$  est égal à l'unité  
 $f_{\text{op}}$  : Operation frequency, Fréquence de fonctionnement  
 $\mathbf{G}_p$  : Gain en puissance  
 $\mathbf{G}_t$  : Gain transducteur  
 $\mathbf{P}_{\text{out}}, \mathbf{P}_l, \mathbf{P}_{\text{ch}}$  : Puissance délivrée à la charge  
 $\mathbf{P}_{\text{in}}, \mathbf{P}_{\text{en}}, \mathbf{P}_{\text{abs}}$  : Puissance absorbée par le composant  
 $\mathbf{P}_{\text{inc}}$  : Puissance disponible à l'entrée du composant,  
 $\mathbf{PAE}$  : Power Added Efficiency, Rendement en puissance ajoutée  
 $\mathbf{HD}_n$  :  $n^{\text{th}}$  order Harmonic Distorsion, Distorsion harmonique d'ordre  $n$   
 $\mathbf{THD}$  : Total Harmonic Distortion, Distorsion harmonique totale  
 $\mathbf{IMD}_3$  : 3<sup>rd</sup> Order Intermodulation Distortion, Distorsion d'intremodulation d'ordre 3  
 $\mathbf{dBc}$  : Rapport de puissance en decibels entre la fréquence porteuse ( $c$  : carrier) et l'harmonique  
 $\mathbf{IIP3}$  : Input referred 3<sup>rd</sup> order Intercept Point, Point d'interception du 3<sup>e</sup> ordre à l'entrée du composant  
 $\mathbf{OIP3}$  : Output referred 3<sup>rd</sup> order Intercept Point, Point d'interception du 3<sup>e</sup> ordre à la sortie du composant  
 $\mathbf{R}_g, \mathbf{R}_d, \mathbf{R}_s$  : Résistances d'accès de grille, de drain et de source  
 $\mathbf{L}_g, \mathbf{L}_d, \mathbf{L}_s$  : Inductances d'accès de grille, de drain et de source  
 $\mathbf{C}_{pg}, \mathbf{C}_{pd}$  : Capacités de plots de grille et de drain  
 $\mathbf{C}_{gs}, \mathbf{C}_{gd}, \mathbf{C}_{ds}$  : Capacités intrinsèques grille/source, grille/drain et drain/source  
 $\mathbf{C}_m$  : Transcapacitance  
 $\mathbf{C}_{gse}, \mathbf{C}_{gde}, \mathbf{C}_{dse}$  : Capacités extrinsèques grille/source, grille/drain et drain/source  
 $\mathbf{C}_{bs}$  : Capacité entre le body et la source  
 $\mathbf{R}_i, \mathbf{R}_{gd}$  : Résistances intrinsèques lies aux effets non quasi statiques  
 $\mathbf{g}_m, \mathbf{g}_d$  : Transconductance et conductance de drain  
 $\mathbf{g}_{mi}, \mathbf{g}_{di}$  : Transconductance et conductance de drain d'ordre  $i$   
 $\mathbf{LRM}$  : Line Reflect Match, Standards d'étalonnage ligne, élément réflectif, charge adaptée  
 $\mathbf{TRL}$  : Thru, Reflect, Line, Standards d'étalonnage élément direct, élément réflectif, ligne  
 $\mathbf{CO}$  : Circuit Ouvert

**CC** : Court Circuit

**I<sub>ds</sub>** : Courant entre le drain et la source (A)

**I<sub>kink</sub>** : Courant dû à l'effet kink (A)

**I<sub>dsT</sub>** : Courant total entre le drain et la source (A)

**I<sub>dssat</sub>** : Courant de saturation (A)

**W<sub>t</sub>, W<sub>d</sub>, n<sub>d</sub>** : Largeur totale du transistor, Largeur unitaire par doigt de grille, nombre de doigts de grille (m)

**L<sub>g</sub>, L<sub>eff</sub>** : Longueur de grille, Longueur efficace du canal (m)

**Q<sub>g</sub>** : Charge totale stockée sur la grille (Cb)

**V<sub>gs</sub>, V<sub>gsi</sub>** : Potentiel extrinsèque et potentiel intrinsèque entre la grille et la source (V)

**V<sub>ds</sub>, V<sub>dsi</sub>** : Potentiel extrinsèque potentiel intrinsèque entre le drain et la source (V)

**V<sub>gd</sub>, V<sub>gdi</sub>** : Potentiel extrinsèque et potentiel intrinsèque entre la grille et le drain (V)

**X<sub>dmax</sub>** : Longueur de la zone de déplétion en dessous de l'oxyde de grille (m)

**ε<sub>si</sub>** : Constante diélectrique du Silicium (F/m)

**Φ<sub>F</sub>** : Potentiel de Fermi (V)

**q** : Charge électronique ( $1,6 \cdot 10^{-19}$  Cb)

**N<sub>A</sub>** : Concentration des atomes dopant accepteurs ( $cm^{-3}$ )

**k** : Constante de Boltzmann (J/K)

**T** : Température (K)

**n<sub>i</sub>** : Concentration de dopants intrinsèques du Silicium ( $cm^{-3}$ )

**E<sub>c</sub>** : Niveau énergétique de la bande de conduction (eV)

**E<sub>Φ</sub>** : Niveau énergétique de Fermi (eV)

**E<sub>v</sub>** : Niveau énergétique de la bande de valence (eV)

**T<sub>Si</sub>** : Epaisseur de la couche active du Silicium d'un substrat SOI (m)

**V<sub>th</sub>** : Tension de seuil (V)

**V<sub>FB</sub>** : Tension de bandes plates (V)

**V<sub>b</sub>** : Potentiel du body (V)

**γ** : Coefficient de body ( $V^{1/2}$  pour les transistors bulk et PD, sans unités pour les transistors FD)

**Φ<sub>MS</sub>** : Potentiel de contact entre métal et semiconducteur (V)

**Q<sub>ox</sub>, Q<sub>ox1</sub>** : Charge fixe dans l'oxyde de grille (Cb)

**C<sub>ox</sub>, C<sub>ox1</sub>** : Capacité de l'oxyde de grille (F)

**Q<sub>ox2</sub>** : Charge fixe dans l'oxyde enterré (Cb)

**C<sub>ox2</sub>** : Capacité de l'oxyde enterré (F)

**C<sub>Si</sub>** : Capacité correspondante au film du Si entre l'oxyde de grille et l'oxyde enterré (F)

**t<sub>ox1</sub>** : Epaisseur de l'oxyde de grille (m)

**t<sub>ox2</sub>** : Epaisseur de l'oxyde enterré (m)

**Q<sub>depl</sub>** : Charge de déplétion en dessous de la grille (Cb)

**V<sub>g2acc</sub>** : Potentiel de face arrière pour lequel il y a accumulation au dessus de l'oxyde enterré (V)

**μ<sub>n</sub>** : Mobilité des électrons ( $cm^2/Vsec$ )

**μ<sub>p</sub>** : Mobilité des trous ( $cm^2/Vsec$ )

**N<sub>A</sub>** : Concentration des atomes accepteurs ( $cm^{-3}$ )

$N_D$  : Concentration des atomes donneurs ( $cm^{-3}$ )

$\epsilon$  : Constante diélectrique (F/m)

$\rho$  : Concentration de la charge (Cb/ $cm^3$ )

$n$  : Concentration d'électrons ( $cm^{-3}$ )

$p$  : Concentration de trous ( $cm^{-3}$ )

$\Psi$  : Potentiel (V)

**Paramètres du modèle de courant d'Angelov :**

$I_{pk}$  : Paramètre d'intensité de courant (A)

$V_{pk}$  : Paramètre de l'effet transistor (V)

$\lambda$  : Paramètre de saturation ( $V^{-1}$ )

$\alpha$  : Paramètre du régime linéaire ( $V^{-1}$ )

$P_1, P_2, P_3$  : Paramètres de l'effet transistor ( $V^{-1}, V^{-2}, V^{-3}$ )

**Paramètres du modèle de courant SILICA :**

$I_{pk}$  : Paramètre d'intensité de courant (A)

$V_{pk}$  : Paramètre de l'effet transistor (V)

$\lambda_1, \lambda_2, \lambda_3$  : Paramètres de saturation ( $V^{-1}, V^{-2}, V^{-3}$ )

$\alpha_1, \alpha_2$  : Paramètres du régime linéaire ( $V^{-1}, V^{-2}$ )

$P_1, P_2, P_3$  : Paramètres de l'effet transistor ( $V^{-1}, V^{-2}, V^{-3}$ )

$K_0, K_1, K_2, K_3$  : Paramètres de l'effet transistor (-,  $V^{-1}, V^{-2}, V^{-3}$ )

**Paramètres du modèle de kink SILICA :**

$I_{ks}$  : Paramètre d'intensité du kink (A/ $V^2$ )

$a$  : Paramètre de pente du kink ( $V^{-1}$ )

$b$  : Paramètre de seuil du kink ( $V^{3/2}$ )

$c$  : Paramètre de saturation du kink ( $V^{-1}$ )

$\tau_k$  : Constante de temps du kink (sec)

**Paramètres du modèle de charge SILICA :**

$C_0$  : Paramètre de la charge (Cb/ $m^2$ )

$L_d$  : Paramètre de longueur de grille (m)

$C_{gg0}, C_{gg1}, C_{gg2}, C_{gg3}, \gamma$  : Paramètres de la capacité  $C_{gs}$  (-,  $V^{-1}, V^{-2}, V^{-3}, -$ )

$C_{gd0}, C_{gd1}, C_{gd2}, \mathbf{V}a$  : Paramètres de la capacité  $C_{gd}$  (-,  $V^{-1}, V^{-2}, V$ )



## Publications

### Publications dans des revues internationales

---

---

« **A New Empirical Non-Linear Model for sub-250 nm Channel MOSFET** »  
A.Siligaris, G.Dambrine, D.Schreurs, F.Danneville  
*IEEE Microwave and Wireless Components Letters*, Vol. 13 , N°10, p.449 –  
451, Oct. 2003

### Communications Internationales avec comité de lecture

---

---

#### Présentation Orale

« **A New Empirical Non-Linear Model for SOI MOSFET** »  
A.Siligaris, M.Vanmackelberg, G.Dambrine, N.Vellas, F.Danneville  
*Proc. European Microwave Week, GaAs Conf*, proc. p.101-104, Milan, Sept 2002

---

#### Présentation Orale

« **Non-Linear Modeling of the Kink Effect in Deep Sub-micron SOI MOSFET** »  
A.Siligaris, G.Dambrine, F.Danneville  
*Proc. European Microwave Week, GaAs Conf*, proc. p. 47-50, Amsterdam, Sept  
2004

---

#### Communication par affiche

« **Low Power 23-GHz and 27-GHz Distributed Cascode Amplifiers in a  
Standard 130nm SOI CMOS Process,** »  
C.Pavageau, M.SiMoussa, A.Siligaris, L.Picheta, F.Danneville, J.P.Raskin,  
D.Vanhoenaker-Janvier, J.Russat, and N.Fel,  
*IEEE MTT Int. Microwave Symposium*, 2005, accepté pour publication

---

#### Communication par affiche

« **A New Empirical Non-linear Model for SOI MOSFET** »  
A.Siligaris, G.Dambrine, F.Danneville  
*3<sup>rd</sup> European Workshop on Ultimate Integration of Silicon*, proc. ULIS 2002,  
Munich

---

**Communication par affiche**

« **Large Signal Modeling of Frequency Dispersion Effects: A New Approach** »

A.Siligaris, G.Dambrine, F.Danneville

*Integrated Non-linear Microwave and Millimetre-wave Circuits Workshop (IEEE, MTT INMMIC)*, proc. INMMIC 2004, Rome

---

**Colloques**

---

---

**Présentation Orale** (invité)

« **An Empirical Non-linear Model for MOSFET** »

A.Siligaris, G.Dambrine, F.Danneville

High Frequency Device Modelling Workshop, IMEC Belgium, Jan 2002

---

**Présentation Orale**

« **Implémentation dans ELDO d'un modèle Non Linéaire de Transistors MOSFET SOI Partiellement Désertés pour la simulation de Circuits Mixtes Analogique/Numérique** »

C.Pavageau, A.Siligaris, N.Fel, J.Russat, L.Picheta, F.Danneville

4<sup>e</sup> Colloque Traitement Analogique de l'Information, du Signal et ses Applications, TAISA 2003, UCL, Louvain-la-Neuve

---

**Présentation Orale** (invité)

« **Non-linear Phenomenological Model of RF Advanced MOSFET** »

A.Siligaris, G.Dambrine, S.Lepilliet, D.Schreurs, F.Danneville

IC-CAP User Meeting, Prague 29-30 Oct 2003

---

**Communications nationales**

---

---

**Présentation Orale**

« **Oscillateurs Microondes en Technologie CMOS/SOI : Etude Grand Signal des Dispositifs et Performances des Circuits** »

B.Parvais, A.Siligaris, A.Cerdeira, D.Schreurs, F.Danneville, G.Dambrine, J.-P.Raskin

*13<sup>e</sup> Journées Nationales Microondes*, p. 514-515, Lille, 21-23 Mai, 2003

---

**Présentation Orale**

« **Validation d'un Modèle Non Linéaire pour MOSFET, au moyen de Mesures Grand Signal** »

A.Siligaris, G.Dambrine, D.Schreurs, F.Danneville

*13<sup>e</sup> Journées Nationales Microondes*, p. 590-591, Lille, 21-23 Mai, 2003

---

**Présentation Orale**

**« Modélisation Non Linéaire de Transistors MOS sur substrat SOI pour les Applications Analogiques Haute Fréquence »**

A.Siligaris, G.Dambrine, F.Danneville

*7<sup>e</sup> Journées Nationales du Réseau Doctoral de Microélectronique*, p. 90-92,  
Marseille, 4-6 Mai, 2004

## RESUME

---

Les communications sans fil ne cessent d'intégrer la vie quotidienne moderne. Ces applications font partie intégrale du domaine des radiofréquences (RF), et elles se sont développées grâce au progrès des transistors et de leurs performances. Le transistor MOS sur substrat Si est une technologie très prometteuse pour ces applications, car elle présente une faible consommation en puissance, demande de faibles tensions de polarisation et ses performances sont suffisamment élevées.

Dans cette thèse, nous avons développé un modèle non linéaire pour les transistors MOS utile pour les applications en hyperfréquences. Le modèle développé reproduit de manière très précise les caractéristiques hyperfréquences des transistors MOS, tant en régime petit signal qu'en régime grand signal. Il tient en compte l'effet *kink*, présent dans les composants partiellement désertés sur substrat SOI. Le modèle a été validé à travers des mesures grand signal à l'aide d'un analyseur de réseaux vectoriel non linéaire. L'extraction des paramètres du modèle est très rapide son implémentation dans un simulateur de circuits commercial est très simple. A l'aide de ce modèle, de nombreux circuits ont été conçus et réalisés en technologie MOS SOI.

## TITLE

---

Large signal modeling of MOSFETs in high frequency : application in the linearity analysis of the SOI technologies.

---

## ABSTRACT

---

Modern life is invaded by wireless communication systems. These applications are integral part of the radio frequency field, and they were developed thanks to the progress of the transistors and their performances. MOS transistors on Silicon substrate is a very promising technology for these applications, because it requires low voltage, presents very low power consumption and today, its performances are high enough.

In this work, a non linear model for MOS transistors for RF applications has been developed. The developed model reproduces accurately the RF characteristics of MOS transistors in small signal as well as in large signal regime. It takes into account the kink effect, which is present in partially depleted SOI MOS transistors. The model has been validated through large signal measurements, using a non linear vectorial network analyzer. The model's parameter extraction is very fast and its implementation in a circuit commercial simulator is very easy. As an application, many circuits were simulated and developed in SOI technology.

## MOTS-CLES

---

MOSFET    SOI    CHARACTERISATION    HYPEFREQUENCES  
NON LINEAIRE    MODELISATION