

50376  
2005  
190

— UNIVERSITÉ DES SCIENCES ET TECHNOLOGIES DE LILLE —

THÈSE

pour obtenir le grade de

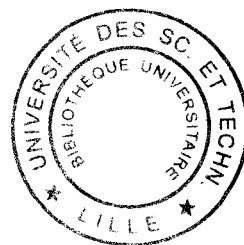
**DOCTEUR DE L'UNIVERSITÉ  
DES SCIENCES ET TECHNOLOGIES DE LILLE**

Spécialité : « microondes et microtechnologies »

Par

**Nicolas WICHMANN**

Le 02 décembre 2005



Titre :

**Conception, Fabrication et Caractérisation de Transistors  
Double-Grille de la filière AlInAs/GaInAs adapté en maille sur  
substrat InP.**

---

Directeur de thèse : A. CAPPY  
Co-directeur de thèse : S. BOLLAERT

---

***JURY***

Mr P. A. ROLLAND  
Mr A. SCAVENNEC  
Mr P. FOUILLAT  
Mr O. JOUBERT  
Mr P. WALLER

Président  
Rapporteur  
Rapporteur  
Examineur  
Examineur

## **Remerciements**

---

*Ce travail a été effectué au sein de l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) dirigé par Monsieur le Professeur **A. CAPPY**, dans l'équipe ANODE (Advanced NanOmetric DEvices) dirigé par Monsieur le professeur **G. DAMBRINE**. Je les remercie de m'avoir accueilli.*

*Que Monsieur **P. A. ROLLAND**, Professeur à l'Université des Sciences et Technologies de Lille, trouve ici l'expression de ma gratitude pour l'honneur qu'il me fait en acceptant de présider la commission d'examen.*

*J'exprime ma plus grande reconnaissance envers Monsieur **A. CAPPY**, Professeur à l'Université des Sciences et Technologies de Lille, ainsi qu'à Monsieur **S. BOLLAERT**, Maître de Conférences à l'Université des Sciences et Technologies de Lille pour avoir assuré la direction de ce travail. A tout moment, leur disponibilité, leurs compétences scientifiques et leur ténacité m'ont été d'une aide précieuse. Je tiens également à adresser mes plus sincères remerciements à Monsieur **G. DAMBRINE**, Professeur à l'Université des Sciences et Technologies de Lille, pour ces nombreux conseils qu'il m'a transmis tout au long du développement de ce travail.*

*J'exprime toute ma reconnaissance à Monsieur le Professeur **P. FOUILLAT**, Professeur à l'université de Bordeaux, et à Monsieur **A. SCAVENNEC**, docteur-ingénieur chez Alcatel-Thales III-V lab, pour l'honneur qu'ils me font de juger ce travail de recherche en qualité de rapporteur.*

*Je remercie très sincèrement Monsieur **P. WALLER**, Ingénieur de Recherche à l'E.S.A. (European Space Agency), et Monsieur **O. JOUBERT**, Directeur de Recherche au LTM (Laboratoire des Technologies de la Microélectronique), pour avoir accepté de participer au jury.*

*Je ne saurais oublier l'ensemble des membres du groupe ANODE pour leur contribution à l'acheminement et à l'accomplissement de ce travail de thèse durant ces trois années : **François DANNEVILLE, Henri HAPPY, Laurence PICHETA, Yannick ROELENS, Mohammed ZAKNOUNE, Andrey, Beaudouin, Christophe, Cyrille, Guillaume P., Guillaume W., Jean-Marc, Jean-Sébastien, Raphaël, Sébastien D., Sébastien P.**, ainsi que les anciens membres de l'équipe : **Alexandre, Gonzague, Isabelle, Matthieu, Thierry,***

## **Remerciements**

---

*Vincent. Leur compétence, leur sympathie et leur gentillesse ont largement contribué au bon déroulement de ce travail.*

*Je voudrais remercier Messieurs **X. WALLART, J. L. CODRON** et **C. COINON** de l'équipe épitaxie pour leurs conseils et leur sympathie qu'ils m'ont témoignés durant ce travail.*

*J'adresse également mes plus sincères remerciements à l'ensemble des membres de la centrale technologie : **C. BOYAVAL, A. FATTORINI, M. FRANCOIS, B. GRIMBERT, C. LEGRAND, A. LEROY, M. MULLER** et **P. TILMANT** ainsi qu'à ceux de la centrale de caractérisation : **E. DELOS, D. DUCATTEAU** et **S. LEPILLIET**. Leur compétence respective s'est révélée essentielle pour le succès de ce travail.*

*Un grand merci à toutes les personnes que j'ai côtoyé au Laboratoire, à l'U.F.R. EEA de l'USTL et à Polytech'Lille pour leur soutien et leur bonne humeur.*

*Enfin, mes pensées se tournent vers **Nathalie**, ma femme, l'aide, la confiance et la compréhension dont elle a fait preuve tout au long de ces trois années a été pour moi un soutien indispensable. Une dernière pensée pour ma petite fille **Eva** qui m'a accompagnée tout au long de ce travail de thèse. J'aimerai finalement remercier toute ma famille et tous mes amis pour leur écoute et leur soutien.*

# SOMMAIRE

\*\*\*\*\*



# **SOMMAIRE**

**\*\*\*\*\***

---

## *Sommaire*

---

---

<b>INTRODUCTION GÉNÉRALE</b>	<b>1</b>
 <b><u>CHAPITRE 1 :</u></b> <b><i>Présentation Générale</i></b>	
<b>I-INTRODUCTION</b>	<b>7</b>
<b>II-LE TRANSISTOR A EFFET DE CHAMP DE TYPE HEMT</b>	<b>8</b>
<b>II-1-HISTORIQUE</b>	<b>8</b>
<b>II-2-PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR HEMT</b>	<b>9</b>
<b>II-3-ÉVOLUTION DE LA FILIÈRE HEMT</b>	<b>10</b>
<i>II-3-a-Le HEMT dit « conventionnel »</i>	<i>13</i>
<i>II-3-b-Le HEMT pseudomorphique sur substrat GaAs</i>	<i>15</i>
<i>II-3-c-Le HEMT en accord de maille sur substrat InP</i>	<i>17</i>
<i>II-3-d-Le HEMT pseudomorphique sur substrat InP</i>	<i>19</i>
<i>II-3-e-Le HEMT métamorphique sur substrat GaAs</i>	<i>21</i>
<b>II-4-ÉTAT DE L'ART DES TRANSISTORS DE TYPE HEMT</b>	<b>22</b>
<b>III-LIMITATION DE LA STRUCTURE HEMT ACTUELLE</b>	<b>25</b>
<b>III-1-LIMITATION LIÉE À L'HÉTÉROJONCTION</b>	<b>25</b>
<b>III-2-LIMITATION LIÉE À LA STRUCTURE DE COUCHE</b>	<b>30</b>
<i>III-2-a-Le « scaling » vertical</i>	<i>31</i>
<i>III-2-b-Le « scaling » horizontal</i>	<i>34</i>
<i>III-2-b-1)Largeur du recess de grille</i>	<i>34</i>
<i>III-2-b-2)Distance Source – Drain</i>	<i>35</i>
<b>IV-PRÉSENTATION DES STRUCTURES ALTERNATIVES</b>	<b>40</b>
<b>IV-1-TRANSISTOR HEMT SANS BUFFER (HEMT-SB)</b>	<b>40</b>
<i>IV-1-a-présentation de la structure</i>	<i>40</i>
<i>IV-1-b-Améliorations Attendues</i>	<i>41</i>
<b>IV-2-TRANSISTOR HEMT DOUBLE-GRILLE (DG-HEMT)</b>	<b>41</b>
<i>IV-2-a-Concept</i>	<i>41</i>
<i>IV-2-b-Présentation de la structure</i>	<i>42</i>

---

<i>IV-2-c-Modes de fonctionnement</i> .....	43
<i>IV-2-d-Améliorations Attendues</i> .....	44
<b>IV-3-TRANSISTOR HEMT A MODULATION DE VITESSE (VMT)</b> .....	<b>47</b>
<i>IV-3-a-Concept &amp; structure originale</i> .....	47
<i>IV-3-b-les autres structures à modulation de vitesse</i> .....	54
<i>IV-3-b-1)Modulation par déformation de la fonction d'onde</i> .....	54
<i>IV-3-b-2)Modulation par transfert d'électrons intervallée</i> .....	58
<b>IV-4-CHOIX DES STRUCTURES ÉTUDIÉES DURANT CES TRAVAUX</b> .....	<b>63</b>
<b>V- OUTILS D'ANALYSE NUMÉRIQUE DES STRUCTURES</b>	
<b>DG-HEMT ET VMT</b> .....	<b>65</b>
<b>V-1-L'OUTILS D'ANALYSE : MONTE CARLO</b> .....	<b>65</b>
<i>V-1-a-principe de la méthode Monte Carlo</i> .....	65
<i>V-1-b-Les interactions</i> .....	67
<i>V-1-c-spécificités et limites du modèle employé</i> .....	68
<b>V-2-L'OUTILS D'ANALYSE : ATLAS de SILVACO</b> .....	<b>69</b>
<i>V-2-a-Simulation des Composants</i> .....	69
<i>V-2-b-Simulation de la commande de charge :</i>	
<i>Résolution de l'équation de Schrödinger et de Poisson</i> .....	70
<i>V-2-b-1)Principe</i> .....	70
<i>V-2-b-2)Résultats obtenus sur une hétérostructure standard</i>	
<i>In<sub>0.52</sub>Al<sub>0.48</sub>As/In<sub>0.53</sub>Ga<sub>0.47</sub>As</i> .....	71
<i>V-2-c-Simulation thermique :</i>	
<i>Résolution de l'équation de la chaleur</i> .....	75
<i>V-2-c-1)Principe</i> .....	76
<i>V-2-c-2)Résultats obtenus sur un transistor HEMT</i> .....	76
<b>VI- CONCLUSION</b> .....	<b>79</b>
<b>VII- BIBLIOGRAPHIE</b> .....	<b>80</b>

---

## **CHAPITRE 2 :**

### ***Technologie de fabrication des transistors DG-HEMT et VMT de la filière AlInAs/GaInAs sur substrat InP***

<b>I-INTRODUCTION</b>	<b>89</b>
<b>II-SCHÉMATISATION DU PROCÉDÉ DE FABRICATION DES DG-HEMT ET VMT</b>	<b>90</b>
<b>III-TECHNOLOGIE DES COMPOSANTS DG-HEMT ET VMT</b>	<b>92</b>
<b>III-1-PRÉSENTATION DE LA STRUCTURE HEMT DE RÉFÉRENCE         POUR L’OPTIMISATION</b>	<b>92</b>
<i>III-1-a-Le masque de référence : TURBO</i>	<i>92</i>
<i>III-1-b-La structure de couche du HEMT de référence</i>	<i>94</i>
<b>III-2-BRIQUES DE BASE DE LA TECHNOLOGIE DG-HEMT &amp; VMT</b>	<b>95</b>
<i>III-2-a-Les contacts ohmiques</i>	<i>95</i>
<i>III-2-a-1)métallisation des contacts ohmiques</i>	<i>97</i>
<i>III-2-a-2)lithographie des contacts ohmiques</i>	<i>99</i>
<i>III-2-a-3)caractérisation des contacts ohmiques</i>	<i>101</i>
<i>III-2-b-L’isolation</i>	<i>102</i>
<b>III-3- OPTIMISATION DU RECESS DE GRILLE &amp; ÉLABORATION DES         TECHNOLOGIES DE REPORT ET DE SECONDE GRILLE</b>	<b>104</b>
<i>III-3-a- Amélioration de la technologie de la première grille</i>	<i>104</i>
<i>III-3-a-1)La lithographie de la première grille</i>	<i>104</i>
<i>III-3-a-2)Le fossé de grille (Recess)</i>	<i>107</i>
<i>III-3-a-3)Caractérisations électriques du HEMT de référence</i>	<i>111</i>
→ <i>Caractérisation en régime statique</i>	<i>113</i>
→ <i>Caractérisation en régime dynamique</i>	<i>115</i>

---

<i>III-3-b-Technologie de report de substrat</i> .....	120
<i>III-3-b-1)Les différentes méthodes de collage     &amp; choix de la méthode</i> .....	120
<i>III-3-b-2)Technologie de report BCB</i> .....	128
→ <i>Mise au point du procédé d'assemblage</i> .....	128
→ <i>Mesure de la contrainte engendrée         par le dépôt de BCB sur un substrat GaAs</i> .....	136
→ <i>Report de la structure HEMT de référence sur substrat hôte</i> .....	139
→ <i>Ajout de couche d'arrêt pour la technologie de report</i> .....	143
→ <i>Conclusion</i> .....	145
<i>III-3-b-3)Influence de la technologie de report BCB sur les     caractéristiques électriques d'un transistor HEMT</i> .....	147
→ <i>Technologie de passivation au BCB</i> .....	147
→ <i>Caractéristique DC</i> .....	149
→ <i>Caractéristique RF</i> .....	150
<i>III-3-c-Élaboration du procédé de fabrication de la seconde grille</i> .....	153
<i>III-3-c-1)Les marques d'alignement</i> .....	153
<i>III-3-c-2)Lithographie de la seconde grille</i> .....	157
<i>III-3-c-3)Le masque TURBO_DG</i> .....	161
<b>IV- CONCLUSION</b> .....	164
<b>V- BIBLIOGRAPHIE</b> .....	166
<b>VI- ANNEXE</b> .....	171

---

## **CHAPITRE 3 :**

### ***Etude expérimentale des transistors DG-HEMT et VMT***

<b>I-INTRODUCTION</b>	<b>177</b>
<b>II-ETUDE DES DG-HEMT</b>	<b>178</b>
<b>II-1-DESCRIPTION DE LA STRUCTURE EPITAXIALE &amp; SIMULATION</b>	<b>178</b>
<i>II-1-a-Structure épitaxiale des DG-HEMT</i>	<i>178</i>
<i>II-1-b-Loi de commande de charge : optimisation de l'épaisseur du canal</i>	<i>179</i>
<b>II-2-CARACTÉRISATION ÉLECTRIQUE</b>	<b>181</b>
<i>II-2-a-Transistor DG-HEMT simple commande <math>V_{g1s}=V_{g2s}</math> (DG-HEMT-SC)</i>	<i>181</i>
<i>III-2-a-1) Caractérisation des DG-HEMT-SC à grilles désalignées :</i>	
<i>grille1 et grille2 : 100nm (Opération 10844/1)</i>	<i>184</i>
→ <i>Caractérisation statique</i>	<i>184</i>
→ <i>Caractérisation dynamique petit signal</i>	<i>186</i>
<i>III-2-a-2) Caractérisation des DG-HEMT-SC à grilles alignées:</i>	
<i>grille1 :100nm, grille2 : 280nm (Opération 10844/2)</i>	<i>190</i>
→ <i>Caractérisation statique</i>	<i>191</i>
→ <i>Caractérisation dynamique petit signal</i>	<i>192</i>
<i>III-2-a-3) Caractérisation des DG-HEMT-SC à grilles alignées :</i>	
<i>grille1 et grille2 : 100nm (Opération 10958)</i>	<i>194</i>
→ <i>Caractérisation statique</i>	<i>194</i>
• <u>Caractéristiques sous le seuil</u>	
• <u>Effet thermique dans les composants DG-HEMT</u>	
• <u>mesure en impulsion</u>	
• <u>simulation thermique</u>	
→ <i>Caractérisation dynamique petit signal</i>	<i>204</i>

---



<i>III-2-a-4) Simulation Monte Carlo</i> .....	213
→ <i>Modélisation des composants</i> .....	214
→ <i>Potentialité des DG-HEMT-SC en terme de « scaling »</i> .....	216
→ <i>Influence du désalignement des grilles</i> .....	220
<i>II-2-b-Transistor DG-HEMT double commande <math>V_{g1s} \neq V_{g2s}</math> (DG-HEMT-DC)</i> .....	221
<i>III-2-b-1) Caractérisation statique</i> .....	221
<i>III-2-b-2) Caractérisation dynamique petit signal</i> .....	223
<b>III-ETUDE DES VMT</b> .....	<b>225</b>
<b>III-1-DESCRIPTION DE LA STRUCTURE EPITAXIALE</b> .....	<b>226</b>
<b>III-2-SIMULATION &amp; CARACTÉRISATION ÉLECTRIQUE</b> .....	<b>230</b>
<i>II-2-a-Modes de caractérisation du VMT en régime statique</i> .....	232
<i>II-2-b-Simulation et caractérisation électrique en mode séparé</i> .....	232
<i>III-2-b-1) Commande de charge</i> .....	232
<i>III-2-b-2) Caractéristique statique <math>I(V)</math> en mode séparé</i> .....	234
<i>II-2-c-Simulation et caractérisation électrique en mode différentiel</i> .....	237
<i>III-2-c-1) Notation et définition des potentiels en mode différentiel</i> .....	237
<i>III-2-c-2) Caractéristique statique <math>I(V)</math> en mode différentiel</i> .....	239
→ <i>Simulation en mode différentiel</i> .....	239
→ <i>caractérisation électrique en mode différentiel</i> .....	242
<b>IV- CONCLUSION</b> .....	<b>245</b>
<b>V- BIBLIOGRAPHIE</b> .....	<b>247</b>
<b>CONCLUSION GÉNÉRALE &amp; PERSPECTIVES</b> .....	<b>251</b>

---

# INTRODUCTION GÉNÉRALE

\*\*\*\*\*

# **INTRODUCTION GÉNÉRALE**

**\*\*\*\*\***



Le développement des applications hyperfréquences futures (Internet haut débit, WI-FI, radioastronomie, métrologie de polluants,...) requiert la mise au point de systèmes de communication fonctionnant en bandes W, D, ou G. Cette demande ne peut s'effectuer sans la fabrication de circuits intégrés monolithiques (MMIC) ultra-rapides pour traiter l'information. Ce développement ne sera possible que si l'industrie dispose de composants microélectroniques capables de travailler dans le domaine THz/ps.

Actuellement, le composant de choix pour ces applications est le transistor HEMT sur substrat InP. En effet, grâce à la très grande vitesse des électrons dans le canal de GaInAs et grâce à l'amélioration des systèmes de lithographie électronique permettant d'obtenir des longueurs de grille sub-50nm, les HEMT sur InP ont rapidement atteint des fréquences de fonctionnement record ( $f_T = 560$  GHz et  $f_{MAX} = 400$  GHz pour une longueur de grille  $L_g$  de 25nm). Cependant, pour répondre à ces futurs besoins, il est indispensable de doubler les performances fréquentielles de ces composants. De manière générale, l'amélioration des fréquences de coupure des HEMT passe essentiellement par la réduction de la longueur de grille  $L_g$ . Or, après avoir dressé un état de l'art des performances fréquentielles, on constate une tendance à la saturation du  $f_T$  et du  $f_{MAX}$  lorsque  $L_g$  diminue. La filière HEMT semble atteindre ces limites en terme de fréquence de coupure, dont l'origine est fortement liée à la difficulté de poursuivre les règles de changement d'échelle « *scaling down rules* ».

En effet, pour des longueurs de grille sub-50nm, les effets de canal court (*short channel effect*) deviennent prédominants. Ces effets se traduisent électriquement par un décalage de la tension de seuil  $V_{TH}$ , une réduction de la transconductance  $gm$  et une augmentation de la conductance de sortie  $gd$ . Les dégradations engendrées par ces effets sont directement associées à la complexité de maintenir un rapport d'aspect  $L_g/a > 3$ . En effet, pour  $L_g=25$ nm, la distance optimale grille-gaz d'électrons est seulement de 8nm ce qui entraîne inéluctablement un courant de grille par effet tunnel important. Ainsi, **une rupture de la technologie de fabrication, de la structure épitaxiale et/ou du principe même de fonctionnement des composants à effet de champ semblent être inévitable.**

C'est donc dans ce contexte que se sont inscrits ces travaux de recherche menés au sein du laboratoire central de l'EMN. L'objectif consiste en la conception, la réalisation technologique et la caractérisation électrique de transistors Double-Grille de la filière AlInAs/GaInAs adapté en maille sur substrat InP.

Ce mémoire se décompose donc en trois chapitres :

Dans le premier chapitre de ce manuscrit, les différentes filières de transistors à effet de champ de type HEMT sont présentées. Celles-ci sont comparées à travers une étude des matériaux constituant l'hétérostructure. Un état de l'art des performances fréquentielles des HEMT sera alors dressé. Par la suite, nous discuterons des limitations fondamentales du HEMT associées au choix des matériaux constituant l'hétérostructure et au « *scaling* » vertical et horizontal de ce composant. Puis, nous présenterons les solutions dites « alternatives » envisagées afin de contourner ces limitations. Nous présenterons particulièrement deux nouveaux composants à effet de champ : le transistor HEMT Double-Grille (DG-HEMT) et le transistor à modulation de vitesse (VMT). Finalement, nous décrirons les outils de simulation utilisés durant ces travaux pour mener à bien l'étude de ces composants.

Le second chapitre aborde spécifiquement la réalisation technologique des composants DG-HEMT et VMT de la filière adapté en maille sur substrat InP. Pour cela, chaque étape entrant dans le procédé de fabrication des DG-HEMT/VMT sera décrite. Une attention particulière sera portée sur les étapes nouvelles associées à la technologie Double-Grille, à savoir : le report de substrat, la récupération de la zone active face arrière et l'alignement des deux grilles.

Le dernier chapitre présente les résultats électriques de transistors réalisés avec le procédé de fabrication décrit dans le chapitre II. Ce chapitre sera donc décomposé en deux grandes parties. Une première partie sera consacrée à la caractérisation de transistors DG-HEMT en mode Simple Commande (DG-HEMT-SC) et en mode Double Commande (DG-HEMT-DC). Nous verrons notamment une étude comparative entre un HEMT et un DG-HEMT-SC de longueur de grille identiques de 100nm. Une seconde partie abordera l'étude des transistors VMT. Dans cette partie, nous étudierons la croissance épitaxiale de la zone active du VMT puis nous caractériserons ces transistors dont les longueurs de grilles sont de 1.5 $\mu$ m. Ces résultats seront ensuite comparés avec des résultats de simulations afin de clarifier le fonctionnement de ce dispositif.

# CHAPITRE 1

\*\*\*\*\*

## Présentation Générale



# **CHAPITRE 1**

**\*\*\*\*\***

## **Présentation Générale**



## I-INTRODUCTION

L'objectif de ce chapitre est de présenter le principe de fonctionnement du transistor à effet de champ de type HEMT ainsi que l'évolution de ces différentes filières depuis sa création en 1980. Pour cela, un état de l'art des performances fréquentielles des transistors HEMT sera abordé.

Dans un premier temps, nous décrirons les limitations fondamentales du HEMT liées aux couples d'hétérojonction utilisées et sa structure de couche. Pour cela, nous présenterons les verrous liés aux règles de changement d'échelle (*Scaling down rules*).

Par la suite, une revue des structures « à effet de champ » dites alternatives sera proposée. Nous présenterons ainsi le transistor sans couche tampon (SB-HEMT), le transistor Double-Grille (DG-HEMT) et le transistor à modulation de vitesse (VMT) en indiquant les améliorations attendues par rapport au dispositif HEMT standard.

Enfin, les outils de simulation employés pour l'étude de ces nouveaux composants seront également décrits.

## II-LE TRANSISTOR A EFFET DE CHAMP DE TYPE HEMT

### II-1-HISTORIQUE

L'évolution de la filière HEMT commença en 1978 avec R. Dingle [Dingle1] par l'observation d'un transfert d'électrons libres d'un matériau à grand gap dopé (AlGaAs) vers un matériau de plus petit gap non-dopé (GaAs) dans des super-réseaux AlGaAs/GaAs. Lors de la mise en contact de ces deux matériaux, l'apparition d'une discontinuité de bande de conduction  $\Delta E_c$ , dépendant de la différence d'affinité électronique  $E\chi$  entre ces deux matériaux, permet aux électrons libres de la couche AlGaAs dopée de pouvoir transférer vers la couche de GaAs non-dopée afin d'aligner leur niveau de Fermi respectif (Figure I-1). De plus, R. Dingle a démontré que les électrons accumulés dans la couche GaAs ont un comportement bidimensionnel c'est-à-dire que le déplacement de ce gaz d'électrons ne pouvait se faire uniquement dans le plan de l'hétérointerface car leurs énergies étaient quantifiées dans la direction perpendiculaire à l'hétérointerface.

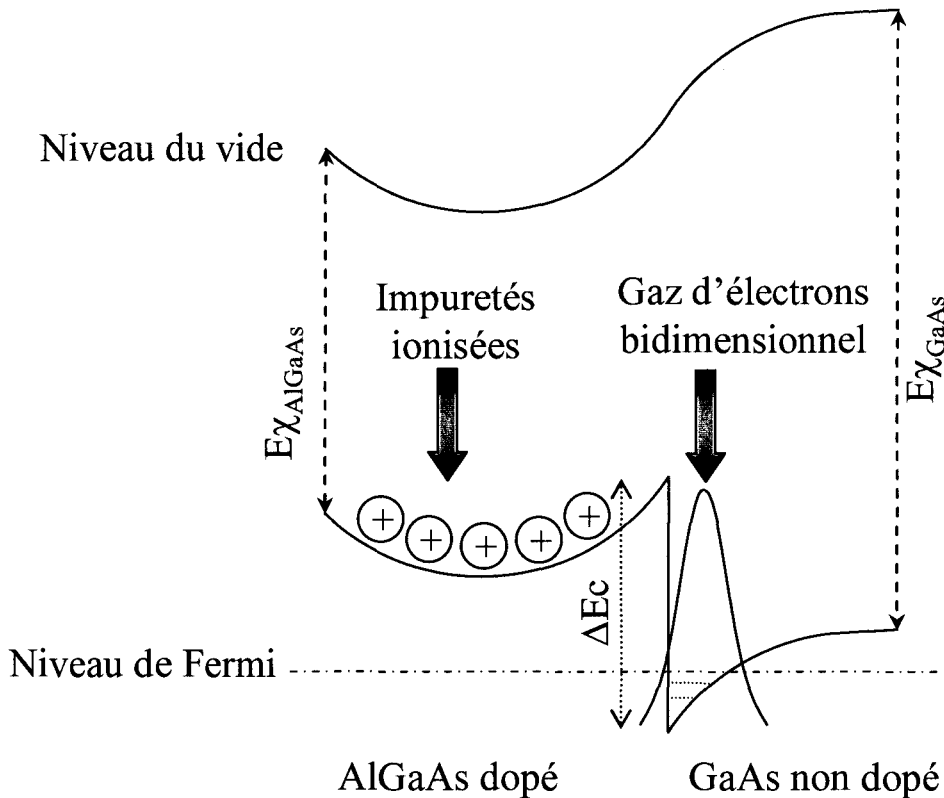


Figure I-1 : Principe du transfert d'électrons d'une hétérojonction AlGaAs/GaAs.

Ces électrons sont ainsi séparés de leurs atomes donneurs. Par conséquent, ce gaz d'électrons peut se mouvoir dans le matériau à petit gap non-dopé pouvant ainsi bénéficier des propriétés de transport de celui-ci qui est exempt de dopants.

Cependant, R. Dingle ne fera pas la relation entre l'accumulation du gaz d'électrons dans le matériau à petit gap et le contrôle de celui-ci par effet de champ. Ce n'est qu'en 1980 que la démonstration d'une hétérojonction à modulation de dopage de type AlGaAs/GaAs, dont le contrôle du gaz d'électrons par l'ajout d'une électrode nommée « grille », fit son apparition dans les laboratoires Thomson [Delagebeaudeuf1] et Fujitsu [Mimura1]. Ainsi, la découverte de la filière HEMT a permis de devancer les limitations fondamentales de la filière MESFET (Metal Semiconductor Field Effect Transistor).

## II-2-PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR HEMT.

Comme vu précédemment, le principe de fonctionnement du transistor HEMT consiste à venir contrôler la densité du gaz d'électrons bidimensionnel formé à l'hétérointerface d'un matériau à grand gap et d'un matériau à plus petit gap par l'intermédiaire d'un champ électrique transversal commandé par l'électrode de Grille. L'ajout d'électrodes de Source et de Drain permet d'appliquer un champ électrique longitudinal dont le rôle est de transporter les électrons libres du canal et de venir récolter le courant correspondant. Ce dispositif consiste donc en la modulation du courant, circulant entre la Source et le Drain, par l'action électrostatique de l'électrode de Grille. La structure épitaxiale d'un transistor HEMT est schématisée sur la figure I-2. Le profil de la bande de conduction y est également représenté.

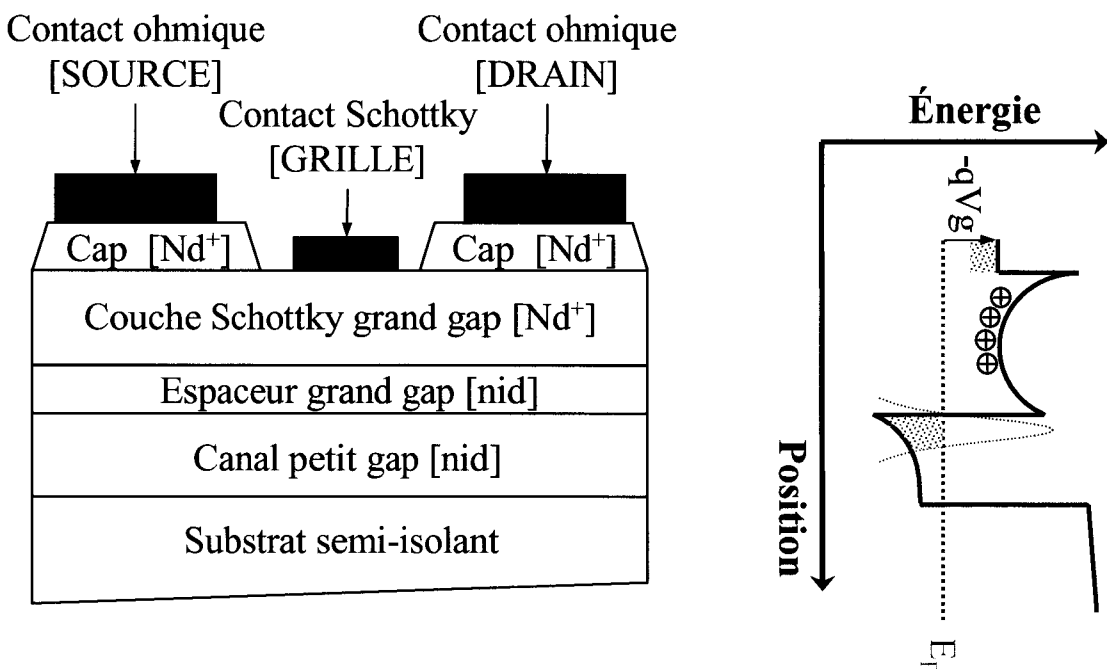


Figure I-2 : Coupe schématisée d'une structure HEMT et profil de la bande de conduction.

La structure est constituée d'une couche de matériau à petit gap fortement dopé (*cap layer*) permettant, à la fois, de réaliser des contacts ohmiques de Source et de Drain et de réduire les résistances d'accès au composant intrinsèque [Braslau], d'une couche de matériau à grand gap dopé appelée couche Schottky ou barrière, puis finalement d'un matériau à petit gap non intentionnellement dopé appelé canal constituant la zone d'accumulation du gaz bidimensionnel d'électrons libres. L'électrode de commande de grille est déposée sur la couche Schottky après la réalisation du fossé de grille (*recess*) par gravure humide. De plus, pour réduire les interactions coulombiennes entre les électrons libres du canal et les donneurs ionisés de la couche Schottky, une couche de matériau à grand gap non intentionnellement dopé, communément appelée espaceur (*spacer*), est intercalée entre le canal et la couche Schottky (*spacer*).

La quantification des niveaux d'énergie des électrons, liée à la largeur du puits (largeur inférieure à la longueur d'onde de De Broglie), entraîne une restriction du mouvement des porteurs dans l'hétérointerface.

### II-3-ÉVOLUTION DE LA FILIÈRE HEMT.

Selon la description précédente, l'évolution de la filière HEMT passe par l'optimisation du couple de matériaux constituant l'hétérojonction du dispositif. Ceci étant réalisable grâce au développement des techniques de croissance cristalline telle que l'épitaxie par jet moléculaire M.B.E (*Molecular Beam Epitaxy*). Cette technique a l'avantage de réaliser des transitions abruptes de grande qualité entre deux couches du dispositif et d'obtenir des hétérojonctions de grande pureté cristalline.

L'optimisation du couple de matériaux constituant l'hétérojonction est régie par le diagramme de la figure I-3, représentant le paramètre de maille de la structure cristalline des composés III-V en fonction de la valeur de l'énergie de bande interdite  $E_g$  (*gap*), à température ambiante.

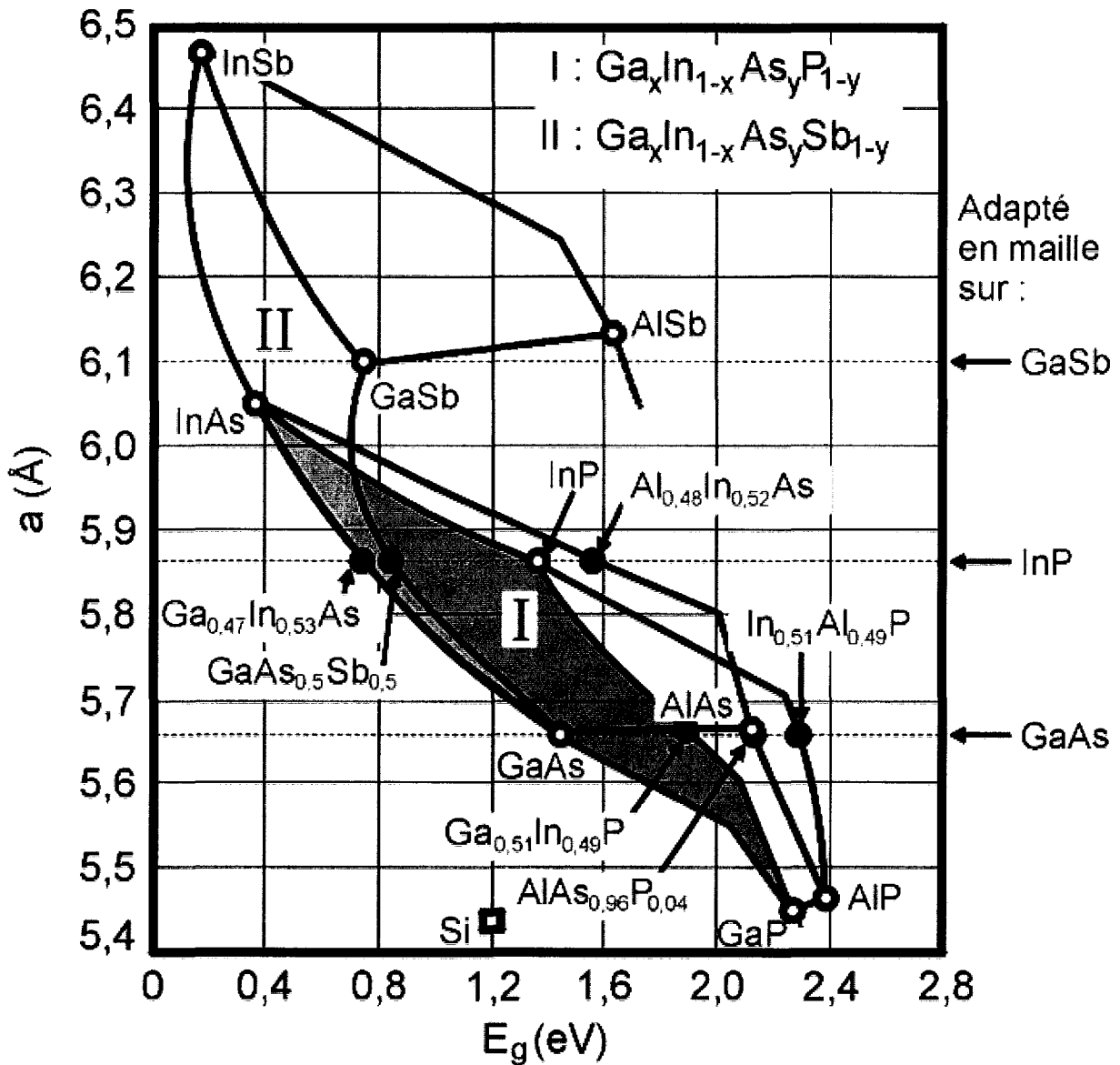


Figure I-3 : Paramètre de maille cristalline en fonction de la valeur de  $E_g$  pour les composés III-V à température ambiante.

A partir de cette figure, trois possibilités sont envisageables pour la fabrication d'hétérostructure HEMT :

- La première consiste à faire croître l'hétérostructure en accord de maille avec le substrat. Dans ces conditions, tous les composés III-V épitaxiés auront le même paramètre de maille que le substrat.



- La seconde possibilité est de réaliser la croissance de matériau contraint. Dans ce cas, les matériaux épitaxiés ont un léger désaccord de maille avec le substrat. Durant la croissance d'un composé III-V, le matériau épitaxié tend à prendre le paramètre de maille du substrat. On parle alors de structure « pseudomorphique ». Toutefois, la croissance est limitée par une épaisseur critique afin d'éviter la relaxation du matériau pouvant entraîner des dislocations dans la structure cristalline épitaxiée.

- La troisième possibilité est de faire croître des composés III-V dont le paramètre de maille est considérablement différent de celui du substrat. Dans ce cas, la croissance est dite « métamorphique ». Pour réaliser une telle croissance, on réalise une couche sacrificielle permettant de relaxer le matériau épitaxié. L'objectif étant de venir confiner l'ensemble de ces dislocations dans cette couche afin d'éviter de dégrader le transport électronique dans la zone active du composant.

En règle générale, l'amélioration de l'hétérostructure employée pour la fabrication de transistors de type HEMT passe par l'obtention d'une combinaison de matériaux ayant la plus grande différence d'énergie de bande interdite  $\Delta E_g$  ( $\Delta E_c \equiv \frac{\Delta E_g}{3}$ ) et dont le canal est constitué du matériau ayant une valeur de  $E_g$  la plus petite possible. En effet, plus cette dernière sera faible, plus la masse effective des électrons dans le canal sera réduite et, par conséquent, plus le matériau constituant le canal aura une mobilité et une vitesse de saturation importantes. La contrepartie sera l'amplification du phénomène d'ionisation par impact. De plus, l'augmentation de la discontinuité de bande de conduction  $\Delta E_c$  permettra d'augmenter la densité de charges accumulées  $n_s$  dans le puits de potentiel. Ainsi, le courant drain  $I_d$ , la transconductance  $g_m$  et la fréquence de coupure intrinsèque  $f_c$  du composant seront améliorés [Cappy1]. Par ailleurs, les porteurs chauds, à l'intérieur du canal, seront davantage confinés avec un  $\Delta E_c$  important.

Ainsi, l'évolution des performances statiques et dynamiques de la filière HEMT depuis 1980 a été conditionnée suivant deux axes :

- La diminution de la longueur de l'électrode de grille  $L_g$ . En effet, ce paramètre détermine essentiellement la fréquence de coupure intrinsèque du composant par l'expression suivante :

$$f_c = \frac{\langle v \rangle}{2\pi \times (L_g + \Delta L)} \quad (1)$$

$\langle v \rangle$  étant la vitesse moyenne des porteurs sous la grille ;  $L_g$  la longueur de l'électrode de grille du transistor et  $\Delta L$  l'accroissement effectif de la longueur de grille résultant de l'élargissement de la zone dépletée entre l'électrode de grille et de drain [Enoki1] [Suemitsu1].

- La modification de l'hétérojonction utilisée, pour obtenir simultanément une discontinuité de bande de conduction  $\Delta E_c$  la plus élevée possible et une amélioration des propriétés de transport (mobilité, vitesse de saturation) dans le canal. Pour cela, le matériau constituant le canal doit posséder un gap de faible valeur.

Nous allons donc aborder maintenant l'évolution de la filière HEMT durant ces vingt dernières années en évoquant les différentes modifications apportées à l'hétérostructure de ce composant.

### II-3-a-Le HEMT dit « conventionnel ».

La couche active de ce HEMT est formée par l'hétérojonction  $\text{Al}_x\text{Ga}_{1-x}\text{As} - \text{GaAs}$  sur substrat GaAs. La couche de AlGaAs constitue la barrière et la couche de GaAs correspond au canal (figure I-4).

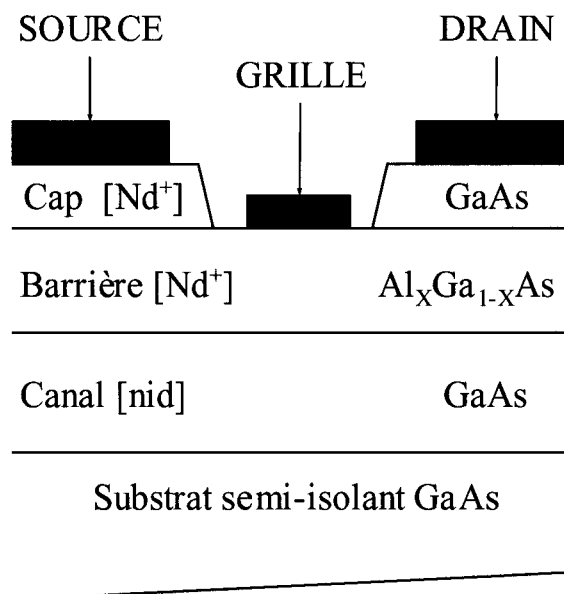


Figure I-4 : Structure schématique du HEMT  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ .

Cette hétérojonction a une particularité très intéressante. En effet, en regardant la figure I-3, on peut remarquer que la croissance de cette hétérojonction peut se faire en quasi accord de maille quelle que soit la composition d'aluminium dans la barrière AlGaAs sur un substrat GaAs. Cette particularité permet donc d'obtenir une discontinuité de bande de conduction  $\Delta E_c$  variant de 0.15eV à 0.2eV en augmentant le pourcentage d'aluminium dans la barrière, ce qui induit une densité d'électrons accumulés de l'ordre de  $0.7$  à  $0.8 \times 10^{12} \text{ cm}^{-2}$  dans le canal GaAs. Cependant, expérimentalement, le taux d'aluminium dans la barrière est limité à 25% afin d'éviter l'apparition de niveaux donneurs profonds, appelés centres DX [Schubert1]. Ces niveaux donneurs profonds induisent un piégeage des électrons dans la barrière, nuisant ainsi à l'intérêt d'augmenter la discontinuité de bande de conduction  $\Delta E_c$ . De plus, ces centres DX entraînent une dégradation de l'efficacité de commande de charge se traduisant par une réduction de la transconductance  $gm$  du transistor.

Outre le taux d'aluminium limité à 25%, l'hétérojonction  $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}/\text{GaAs}$  n'offre ni des propriétés de transport intéressantes à température ambiante (mobilité du GaAs =  $8000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  et vitesse pic =  $2 \times 10^7 \text{ cm} \cdot \text{s}^{-1}$ ) ni un bon confinement des électrons.

En examinant la structure de bande de ce couple de matériau (figure I-5), on peut tout d'abord observer que les valeurs des énergies des vallées  $\Gamma$ , L ou X référencées par rapport au bas de la bande de conduction, que ce soit pour le matériau AlGaAs ou GaAs, sont faibles. Ceci implique que la totalité des vallées pourront être peuplées.

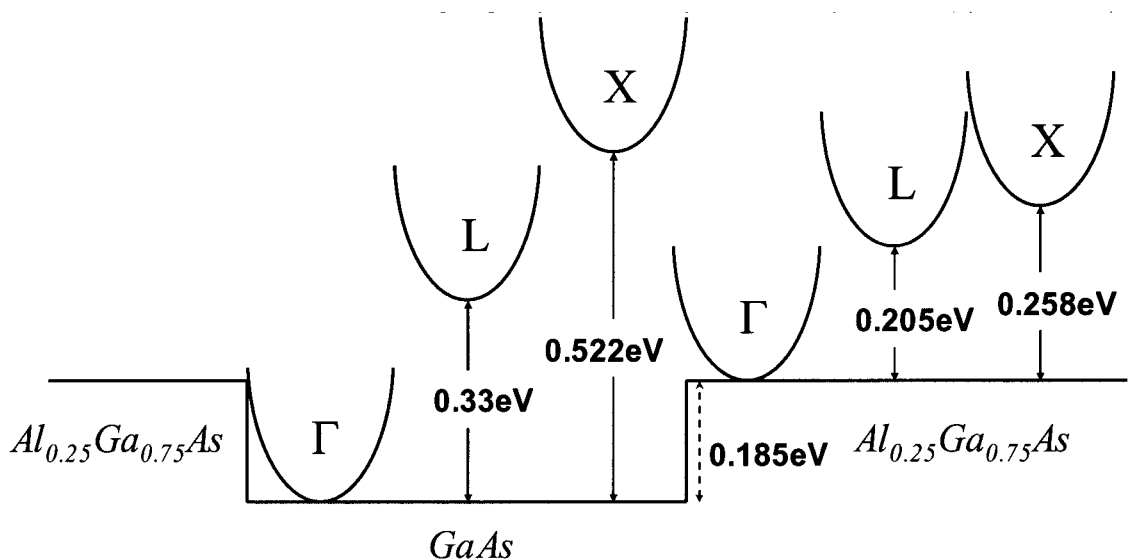


Figure I-5 : Représentation schématique de la structure de bande de conduction de l'hétérojonction  $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}/\text{GaAs}$ .

De plus, la hauteur de barrière des matériaux d'une même vallée est quasi-inexistante ( $\Delta E_{c \Gamma\Gamma} = 185$  meV,  $\Delta E_{c LL} = 60$  meV) et même négative pour la vallée X ( $\Delta E_{c XX} = -8$  meV). Le transfert d'électrons du GaAs vers l' $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$  se fait donc sans aucune difficulté entraînant une conduction parasite dans le matériau à grand gap dont l'effet est de dégrader les performances hyperfréquences du composant.

Finalement, l'optimisation de la structure HEMT AlGaAs/GaAs par l'emploi du concept de « *pulsed doped* » [Hueschen1] a permis d'améliorer les performances de ces composants. Ce concept consiste à doper la barrière non plus sur la totalité de la couche mais de la doper très fortement sur quelques dizaines d'ångströms. L'efficacité de transfert des porteurs vers le canal est donc améliorée, puisque tous les dopants se situent à une distance identique du puits de potentiel. De plus, le fait de déposer l'électrode de commande de grille sur une couche non dopée améliore significativement la tenue en tension du contact Schottky en inverse.

### ***II-3-b-Le HEMT pseudomorphique sur substrat GaAs.***

Les premiers transistors HEMT à canal GaAs ont donc été rapidement remplacés par des transistors HEMT pseudomorphiques à canal  $\text{In}_x\text{Ga}_{1-x}\text{As}$  sur substrat GaAs (Figure 1-6). En effet, le composé  $\text{In}_x\text{Ga}_{1-x}\text{As}$  bénéficie de meilleures propriétés de transport dans le canal. L'augmentation du taux d'indium dans le canal permet alors de diminuer son gap ce qui se traduit par une augmentation de  $\Delta E_c$ , d'où un accroissement du transfert d'électrons du plan de dopage vers le canal. Cependant, le matériau  $\text{In}_x\text{Ga}_{1-x}\text{As}$  étant contraint sur le substrat GaAs, le taux d'indium est typiquement limité à 20% pour pouvoir faire croître une épaisseur de canal d'environ 150Å sans relaxer les contraintes emmagasinées dans celui-ci.

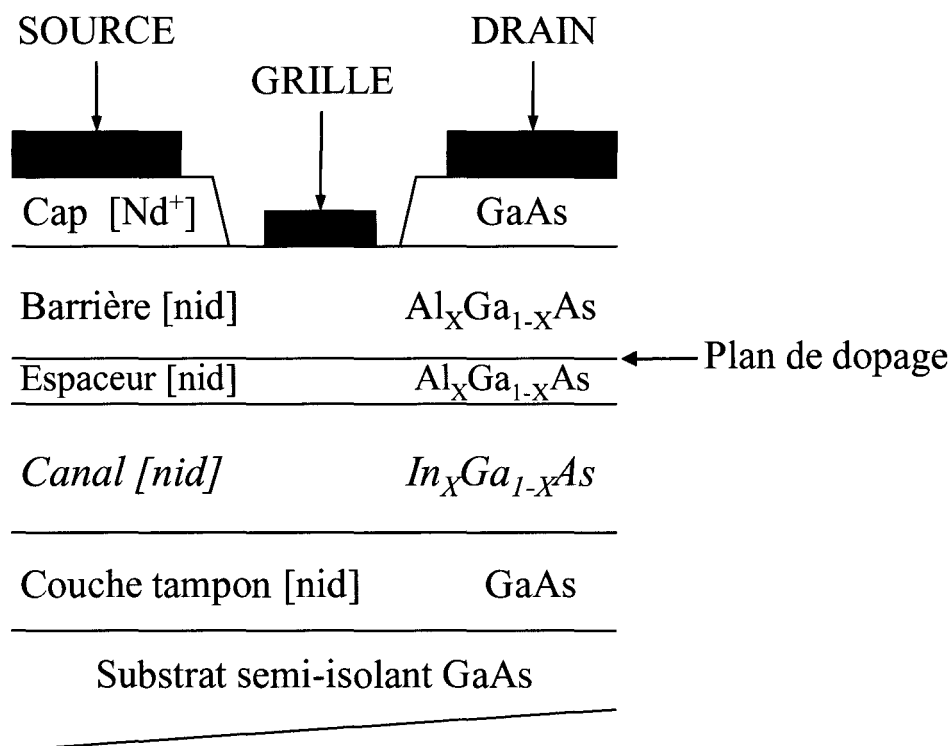


Figure I-6 : Structure schématique du HEMT  $Al_xGa_{1-x}As/In_xGa_{1-x}As$ .

Outre l'amélioration du transfert d'électrons dans le canal, l'intérêt de l'utilisation de l'hétérojonction AlGaAs/InGaAs réside dans l'amélioration du confinement des porteurs dans le canal par rapport à l'hétérojonction AlGaAs/GaAs. D'après la figure I-7, on peut remarquer que la séparation énergétique des vallées satellites d'un même matériau est plus importante dans cette hétérojonction. Les électrons doivent donc acquérir une énergie plus importante pour transférer dans les vallées supérieures.

De plus, l'augmentation des hauteurs de barrière des vallées satellites entre le canal et la barrière entraîne une amélioration du confinement des porteurs dans le canal et évite ainsi le transfert dans l'espace réel des électrons vers la barrière ou la couche tampon. Seule la vallée  $X^+$  n'assure pas un bon confinement entre le canal et la barrière mais celle-ci est difficilement atteignable ( $\Delta E_{c \Gamma X} = 774$  meV).

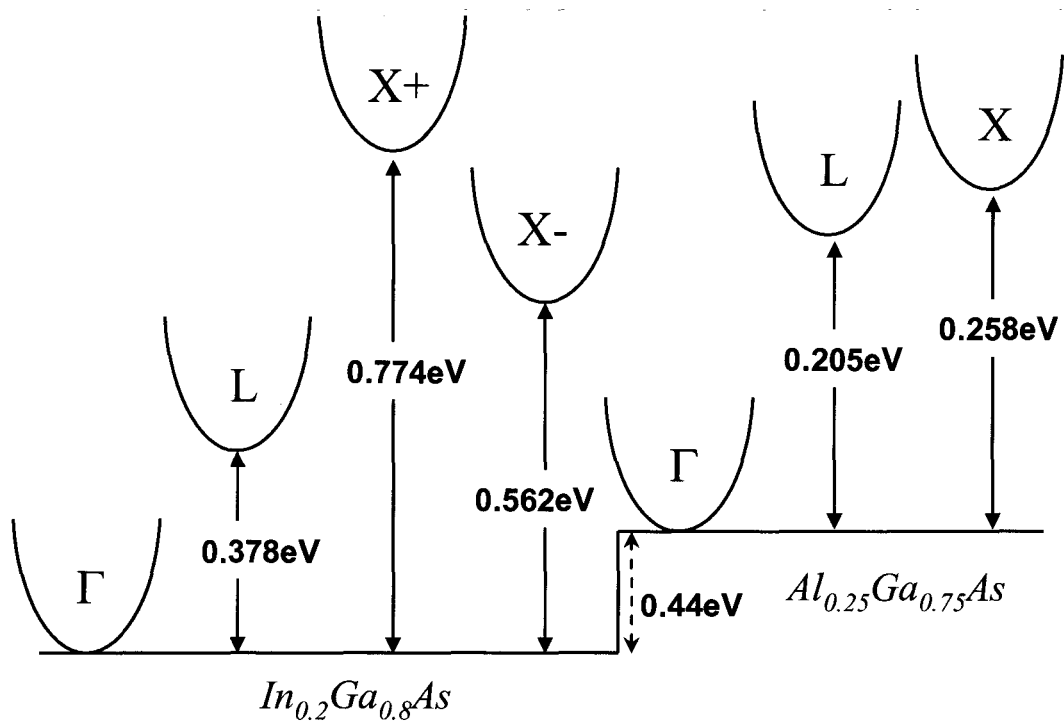


Figure I-7 : Représentation schématique de la structure de bande de conduction de l'hétérojonction  $Al_{0.25}Ga_{0.75}As/In_{0.2}Ga_{0.8}As$ .

### II-3-c-Le HEMT en accord de maille sur substrat InP.

Par souci d'accroître toujours plus les performances fréquentielles des transistors HEMT et vu les avantages d'augmenter le taux d'indium dans le canal, la filière HEMT sur substrat InP est apparue. D'après la figure I-3, l'hétérojonction, pouvant être épitaxiée en accord de maille sur le substrat InP, est l'hétérostructure  $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$ . Celle-ci fût la première à être utilisée pour la réalisation de HEMT sur substrat InP (Figure I-8).

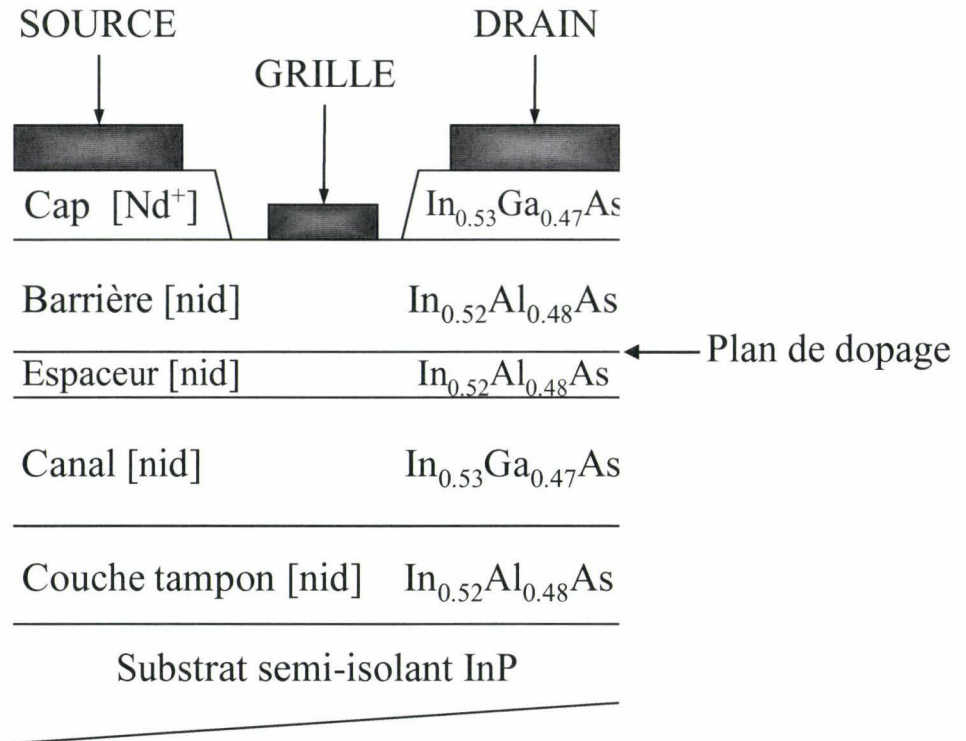


Figure I-8 : Structure schématique du HEMT  $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$ .

La différence d'énergie de bande interdite  $\Delta E_g$  entre le matériau  $In_{0.52}Al_{0.48}As$  et le matériau  $In_{0.53}Ga_{0.47}As$  étant beaucoup plus importante que celle du HEMT pseudomorphique sur GaAs, la discontinuité de bande de conduction  $\Delta E_c$  est nettement améliorée (0.52eV). Le transfert d'électrons du plan de dopage vers le canal est alors plus accru. De plus, l'augmentation du taux d'indium à 52% dans le canal du HEMT produit à la fois une amélioration de la mobilité des porteurs  $\mu_{300K} = 10000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  et une amélioration de leur vitesse pic  $v = 2.5 \times 10^7 \text{ cm} \cdot \text{s}^{-1}$ . La contrepartie est l'apparition de tension de claquage drain-source plus faible due à la faible valeur de bande interdite de  $In_{0.53}Ga_{0.47}As$  ( $E_g = 0.75 \text{ eV}$ ). Ceci implique donc la restriction de cette filière à des applications faible bruit.

Outre les avantages cités précédemment, nous pouvons comprendre aussi l'intérêt de cette filière en examinant la structure de bande de conduction de l'hétérojonction  $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$  représentée sur la figure I-9.



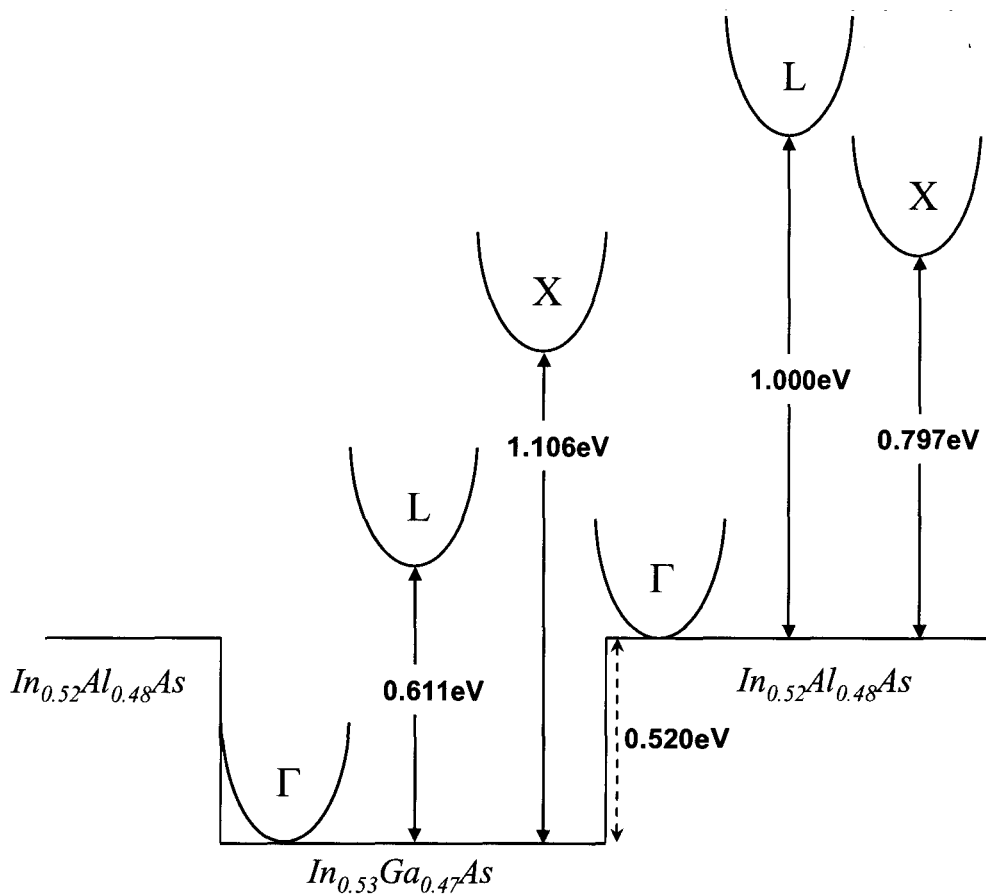


Figure I-9 : Représentation schématique de la structure de bande de conduction de l'hétérojonction  $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$ .

Dans l' $In_{0.53}Ga_{0.47}As$ , les gaps intervallées  $\Gamma$ -L et  $\Gamma$ -X de 0.6 eV et de 1.1 eV permettent d'offrir une amélioration du confinement des porteurs en vallée  $\Gamma$  par rapport à la filière pseudomorphique sur GaAs. De la même manière, le mécanisme de transfert des électrons dans l'espace réel est beaucoup moins probable, du fait des hauteurs de barrière entre l' $In_{0.53}Ga_{0.47}As$  et l' $In_{0.52}Al_{0.48}As$  ( $\Delta E_{C\Gamma} = 520$  meV,  $\Delta E_{CL} = 900$  meV,  $\Delta E_{CX} = 800$  meV).

### II-3-d-Le HEMT pseudomorphique sur substrat InP.

Dans la filière HEMT pseudomorphique sur substrat InP, le plus souvent, seule la croissance du canal de GaInAs est contrainte. Toutefois, il existe des transistors HEMT dont le paramètre de maille des deux ternaires (InAlAs et InGaAs) est différent de celui du substrat InP. L'objectif étant d'augmenter la bande interdite de l'AlInAs de manière à améliorer la

tension de « *built-in* »  $V_b$  du contact Schottky. Dans ce cas, le matériau  $\text{In}_Y\text{Al}_{1-Y}\text{As}$  est contraint en extension ( $Y < 0.52$ ) et le matériau  $\text{In}_X\text{Ga}_{1-X}\text{As}$  est contraint en compression ( $X > 0.53$ ). Cependant, l'augmentation du taux d'aluminium dans la barrière entraîne une dégradation des états de surface au niveau du recess de grille. C'est pourquoi, les études les plus significatives sur cette filière ont été menées avec la structure représentée sur la figure I-10, où la barrière est adaptée en maille sur le substrat InP.

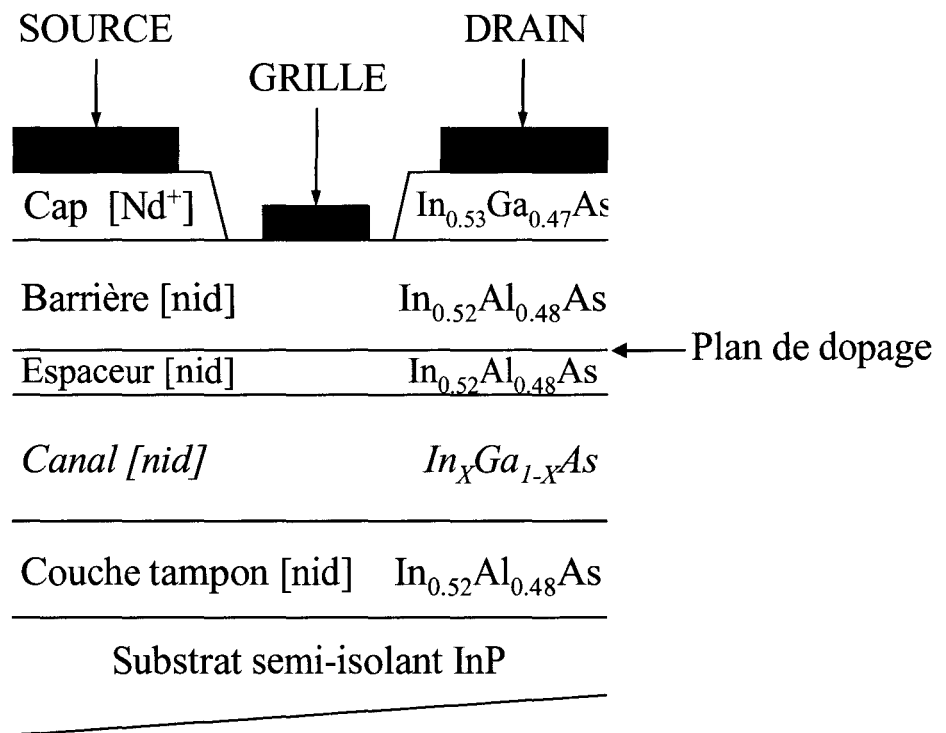


Figure I-10 : Structure schématique du HEMT  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_X\text{Ga}_{1-X}\text{As}$ .

Comme la filière pseudomorphique sur GaAs, l'intérêt de cette filière est de pouvoir augmenter le taux d'indium dans le canal (53%  $< \text{In} < 80\%$ ) ce qui a pour effet, par exemple pour un pourcentage de 73%, d'augmenter la discontinuité de bande de conduction  $\Delta E_c$  de 190meV et de bénéficier de meilleures propriétés de transport, par rapport à la filière adaptée en maille sur substrat InP. Cependant, les tensions de claquage drain-source seront encore plus faibles compte tenu de la diminution de l'énergie de bande interdite. Toutefois, dans le canal GaInAs pseudomorphique, les vallées satellites sont légèrement plus difficiles à atteindre par rapport au canal GaInAs adapté en maille sur InP. Le confinement des électrons chauds sera alors amélioré. Sur la figure I-11, nous comparons la structure de bande d'une hétérojonction pseudomorphique  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.73}\text{Ga}_{0.27}\text{As}$  et une hétérojonction InAlAs/InGaAs adaptée en maille sur InP.

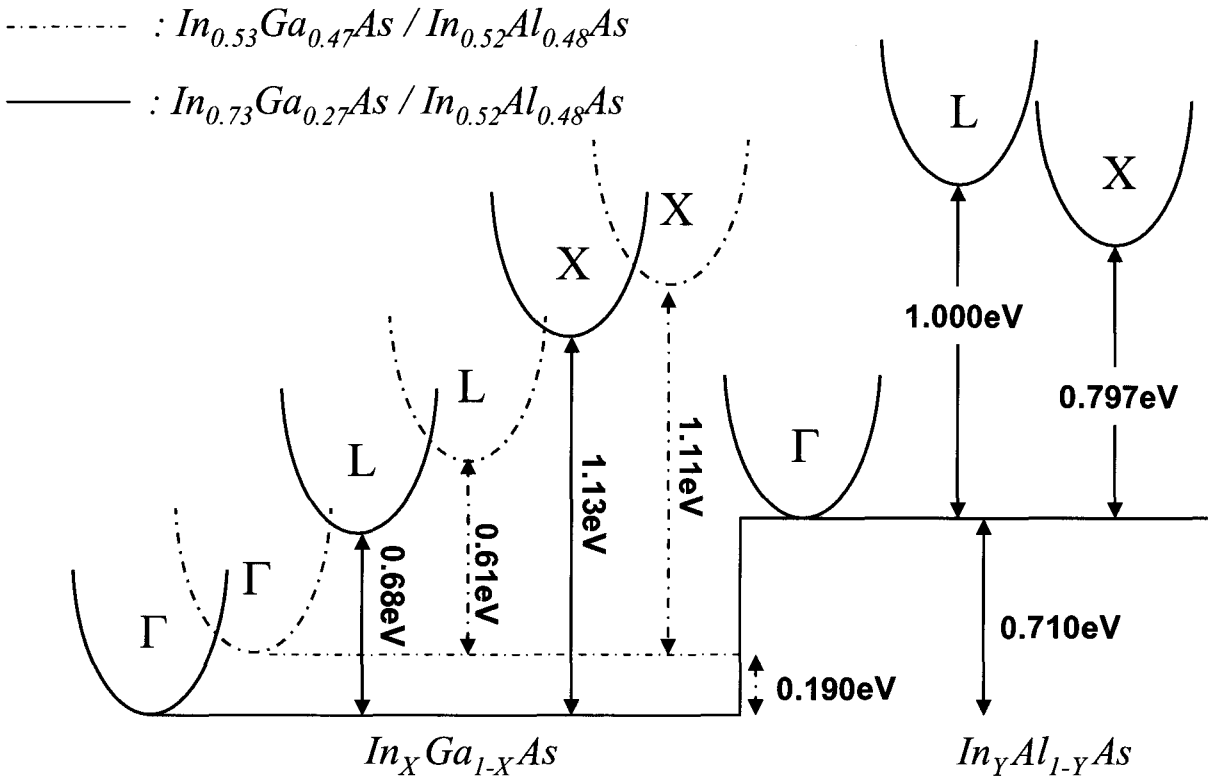


Figure I-11 : Représentation schématique de la structure de bande de conduction de l'hétérojonction  $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$  et de l'hétérojonction  $In_{0.52}Al_{0.48}As/In_{0.73}Ga_{0.27}As$ .

### II-3-e-Le HEMT métamorphique sur substrat GaAs.

L'intérêt de la filière métamorphique, représentée sur la figure I-12, est de pouvoir faire croître l'hétérojonction  $In_YAl_{1-Y}As/In_XGa_{1-X}As$  avec le même paramètre de maille pour ces deux matériaux quel que soit le pourcentage d'indium dans le canal. Toutefois, malgré l'accord de maille de ces deux matériaux, le désaccord de maille avec le substrat GaAs est très important. Une couche sacrificielle (couche tampon) est donc épitaxiée avant la croissance de l'hétérojonction  $In_YAl_{1-Y}As/In_XGa_{1-X}As$  afin de modifier progressivement le paramètre de maille initial du substrat GaAs vers le paramètre de maille de l'hétérojonction  $In_YAl_{1-Y}As/In_XGa_{1-X}As$  que l'on souhaite réaliser. Cette couche tampon permet donc de confiner les dislocations créées durant l'évolution de la maille cristalline. La zone active du composant sera alors exempte de dislocations et les propriétés de transport dans la zone active du composant seront faiblement perturbées par ce désaccord de maille. De toutes les filières décrites précédemment, celle-ci permet d'obtenir la plus grande discontinuité de bande de conduction  $\Delta Ec$  de l'ordre de 0.74eV pour l'hétérojonction  $In_{0.29}Al_{0.71}As/In_{0.3}Ga_{0.7}As$ . De plus, à cette composition, l'énergie de bande interdite du canal est plus importante que dans la filière HEMT adaptée en maille sur InP ce qui lui confère une meilleure tenue en tension. La

contrepartie est l'augmentation de la masse effective des électrons du canal et donc une diminution des propriétés de transport.

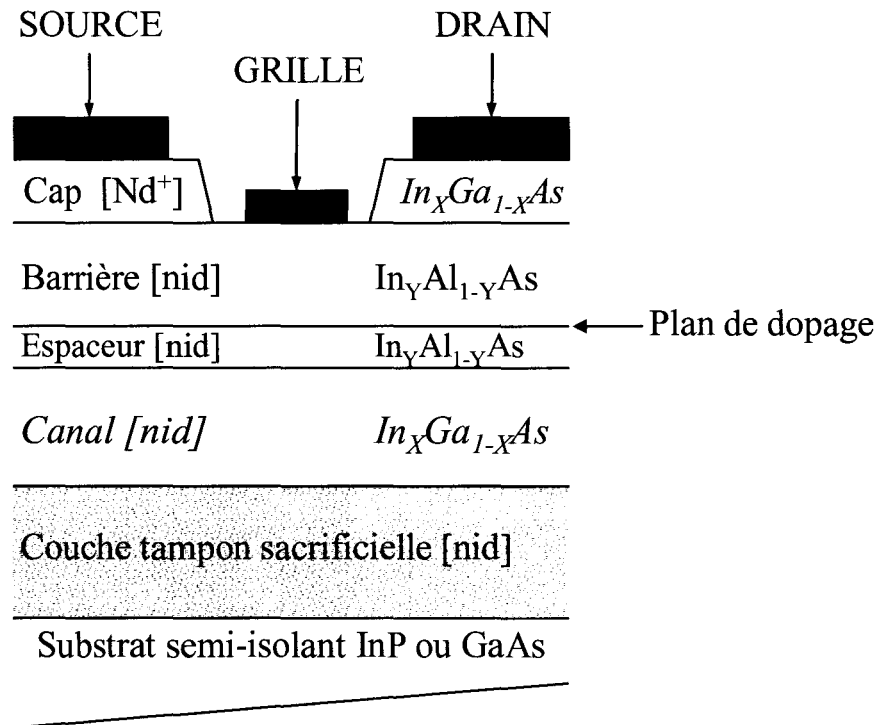


Figure I-12 : Structure schématique du HEMT  $In_YAl_{1-Y}As/In_XGa_{1-X}As$ .

Finalement, il est à noter que la filière métamorphique permet de s'affranchir des problèmes liés au substrat InP. En effet les substrats GaAs sont de meilleure qualité, de plus grande taille et surtout moins chers et moins fragiles.

## II-4-ÉTAT DE L'ART DES TRANSISTORS DE TYPE HEMT

L'état de l'art des performances fréquentielles des transistors HEMT des filières AlInAs/GaInAs adaptée en maille sur InP, pseudomorphique sur InP et métamorphique sur InP a été dressé. Sur les figures I-13 et I-14, nous avons représenté les évolutions de la fréquence de transition du gain en courant  $f_T$  déterminée par l'extrapolation en -20dB/décade du gain en courant  $|H_{21}|^2$  et de la fréquence maximale d'oscillation  $f_{MAX}$  déterminée de la même manière par l'extrapolation en -20dB/décade du gain unilatéral de Mason  $U_g$  en fonction de la longueur de grille  $L_g$ .

En ce qui concerne l'évolution du  $f_T$  en fonction de la longueur de grille, nous constatons la supériorité de la filière adaptée en maille et pseudomorphique sur substrat InP par rapport à la filière métamorphique compte tenu des propriétés de transport plus faible de cette dernière. En revanche, la supériorité de la filière pseudomorphique sur substrat InP par rapport à la filière adaptée en maille sur InP est plus délicate à percevoir malgré le record de  $f_T$  pour la filière pseudomorphique à 562 GHz pour une longueur de grille de 25nm obtenu par le laboratoire Fujitsu [**Yamashita1**]. En effet, pour une longueur de grille de 25nm, le  $f_{MAX}$  n'est que de 330 GHz. En revanche, le record du  $f_{MAX}$  est atteint avec la filière adaptée en maille sur substrat InP ( $f_{MAX} = 540$  GHz pour une longueur de grille de 30nm : NTT [**Suemitsu2**]).

Il est intéressant de noter que la valeur maximale du  $f_{MAX}$ , contrairement à celle du  $f_T$ , ne correspond pas à la valeur minimale de la longueur de grille. Ce phénomène peut s'expliquer par l'influence prédominante des éléments extrinsèques sur la valeur du  $f_{MAX}$ . En effet, la réduction de la longueur de grille permet toujours d'améliorer la fréquence de coupure du gain en courant  $f_T$  du transistor grâce à la réduction du temps de transit des porteurs sous la grille. Par contre, la réduction de  $L_g$ , à des longueurs sub-100nm, entraîne une augmentation des effets de canal court se traduisant par la réduction du  $g_m$  et l'augmentation du  $g_d$  d'où une diminution du  $f_{MAX}$  compte tenu de la sensibilité de ces paramètres sur cette fréquence [**Parenty1**].

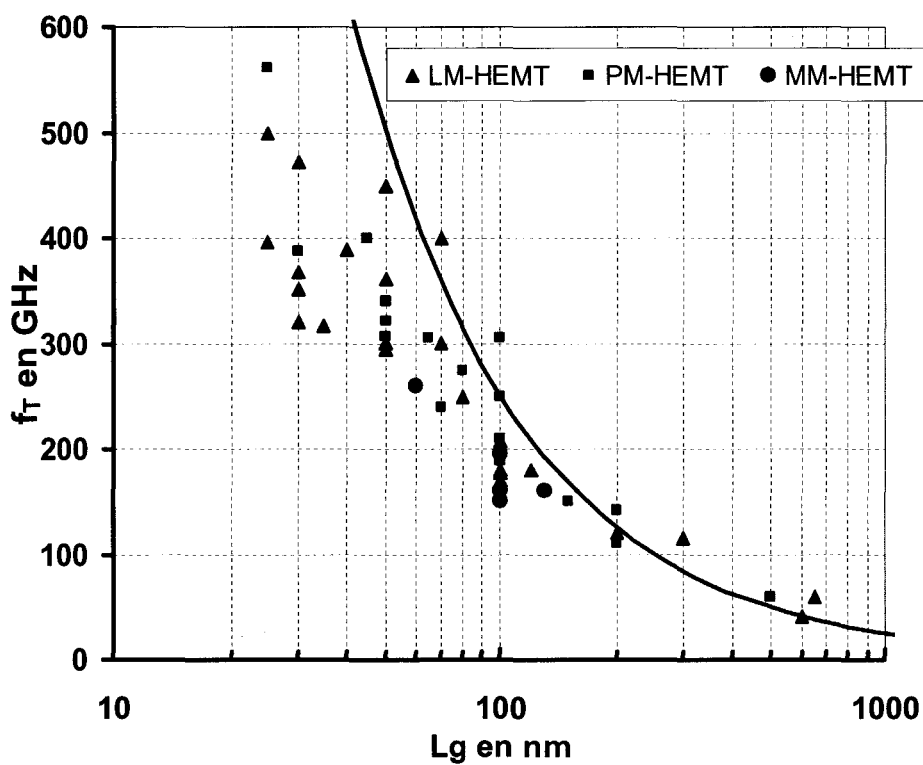


Figure I-13 : État de l'art du  $f_T$  en fonction de la longueur de grille pour la filière HEMT InAlAs/InGaAs.

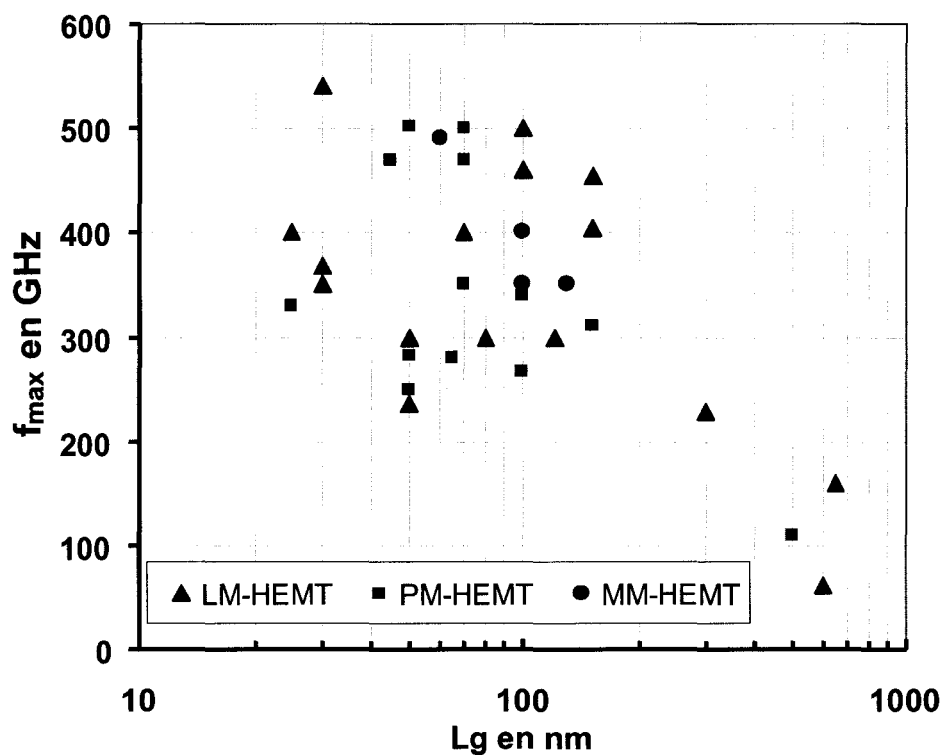


Figure I-14 : État de l'art du  $f_{MAX}$  en fonction de la longueur de grille pour la filière HEMT InAlAs/InGaAs.

### III-LIMITATION DE LA STRUCTURE HEMT ACTUELLE

Globalement, sur les figures I-13 et I-14, nous pouvons constater une tendance à la saturation du  $f_T$  et du  $f_{MAX}$  lorsque la longueur de grille est réduite à des valeurs inférieures à 100nm. Ainsi, il semblerait que la filière HEMT atteigne ses limites en terme de fréquence de coupure. Dans le paragraphe suivant, nous allons donc aborder les différentes raisons limitant la montée en fréquence de la filière HEMT.

#### III-1-LIMITATION LIÉE À L'HÉTÉROJONCTION

Les facteurs principaux qui affectent la rapidité des dispositifs HEMT, mise à part la longueur de l'électrode de grille, sont les propriétés de transport de l'hétérojonction utilisée. Nous avons vu précédemment que le choix de l'hétérojonction pour des transistors HEMT de longueur de grille courte, passa par l'hétérojonction AlGaAs/GaAs puis par l'hétérojonction pseudomorphique AlGaAs/InGaAs et enfin par l'hétérojonction InAlAs/InGaAs (adapté en maille ou pseudomorphique). Cette dernière étant plus intéressante pour des longueurs de grille sub-100nm grâce aux hauteurs de barrière Schottky obtenues [Sadwick1], sa discontinuité de bande de conduction importante [People1], sa haute mobilité [Chin1] et sa vitesse pic élevée [Thobel1]. Cependant, le matériau InGaAs est pénalisé par sa faible valeur de bande interdite. Ceci entraîne donc l'apparition de phénomènes d'ionisation par impact, une conductance de sortie importante et une augmentation du courant de grille ; tous ces phénomènes s'amplifiant avec la réduction de la longueur de grille.

Dans le but d'augmenter les propriétés de transport dans le canal, certains auteurs [Eugster1],[Akazaki1] se sont intéressés à l'insertion d'une couche d'InAs à l'intérieur du canal d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ . En effet, nous avons vu, dans le paragraphe précédent, que l'évolution de la filière HEMT passe par l'augmentation du taux d'indium dans le canal. L'accroissement du taux d'indium dans le canal InGaAs augmentant à la fois la mobilité des porteurs et la discontinuité de bande de conduction, il était évident d'aboutir à un taux d'indium de 100% dans le canal. Sur la figure I-15, nous comparons la structure de bande de conduction obtenue pour un HEMT adapté en maille sur InP avec celle d'un HEMT dont une couche d'InAs a été insérée dans le canal. Ces deux structures de bande ont été obtenues pour une densité de charge identique  $n_s$  de  $1.10^{12} \text{ cm}^{-2}$ .

Outre l'augmentation des propriétés de transport du canal, l'insertion d'une couche d'InAs au centre du canal favorise la réduction des interactions coulombiennes avec le plan de dopage grâce à l'éloignement de la fonction d'onde de l'hétérointerface (figure I-15).

De plus, l'InAs est le matériau ayant la plus grande séparation entre la vallée  $\Gamma$  et la vallée L, accentuant ainsi le confinement des électrons dans le canal. Le tableau I-1 représente les propriétés des matériaux les plus fréquemment utilisés pour la réalisation du canal des transistors HEMT.

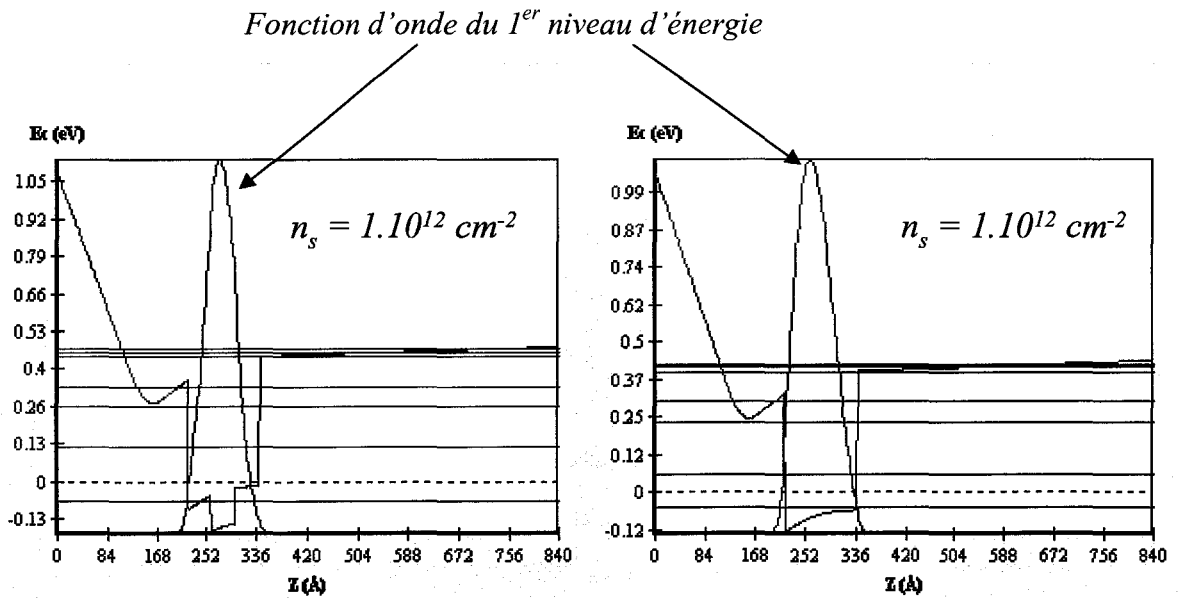


Figure I-15 : Bande de conduction et fonction d'onde du 1<sup>er</sup> niveau d'énergie pour un HEMT InAlAs/InGaAs adapté en maille sur InP à canal  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  (120Å) et un HEMT InAlAs/InGaAs adapté en maille sur InP à canal composite  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InAs}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  (40Å/40Å/40Å).



	InAs	In <sub>0.53</sub> Ga <sub>0.47</sub> As	GaAs	InP
Masse effective des électrons ( $m_{\Gamma}/m_0$ )	0.023	0.041	0.067	0.077
Mobilité des électrons ( <i>Bulk</i> ) ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ à 300K, $N_d=10^{17} \text{ cm}^{-3}$ )	20000	8000	4600	2800
Séparation intervallée $\Gamma$ -L (eV)	0.9	0.61	0.33	0.53
Vitesse pic des électrons ( $10^7 \text{ cm} \cdot \text{s}^{-1}$ )	4	2.5	2	2.5
Energie de bande interdite (eV à 300K)	0.35	0.75	1.42	1.35

Tableau I-1 : Propriétés des matériaux constituant les canaux des transistors HEMT.

Les meilleurs résultats sur ce type de dispositif ont été obtenus par D. Xu avec une fréquence de coupure du gain en courant  $f_T$  de 265 GHz pour une longueur de grille de  $0.13 \mu\text{m}$  et une fréquence maximale d'oscillation  $f_{MAX}$  de 365 GHz pour une longueur de grille de  $0.15 \mu\text{m}$  [Xu1]. On peut donc remarquer que ces transistors HEMT se situent au dessus de l'état de l'art de la filière HEMT InAlAs/InGaAs en ce qui concerne le  $f_T$ . En revanche, la valeur du  $f_{MAX}$  est bien loin d'atteindre l'état de l'art à 455 GHz obtenu avec un HEMT adapté en maille sur InP de longueur de grille de  $0.15 \mu\text{m}$  [Ho1]. En effet, l'augmentation du taux d'indium dans le canal accroît la mobilité des électrons et, de ce fait, amplifie les effets de survitesse. Ainsi, le temps de transit des porteurs sous la grille est réduit d'où une augmentation du  $f_T$ . En contrepartie, l'augmentation du taux d'indium induit la réduction de l'énergie de bande interdite  $E_g$  passant ainsi de 0.75eV pour l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  à 0.35eV pour l' $\text{InAs}$ . Ainsi, dans les structures à base d' $\text{InAs}$ , les phénomènes d'ionisation par impact se manifestent pour des faibles tensions drain-source. De ce fait, les conductances de sortie sont nettement supérieures à celles obtenues pour des transistors HEMT adapté en maille sur InP ce qui limite l'augmentation du  $f_{MAX}$  de ces transistors. De plus, le désaccord de maille entre l' $\text{InAs}$  et l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  étant très important ( $\frac{\Delta a}{a} \approx 3\%$ ), l'épaisseur de l' $\text{InAs}$  est limitée à environ  $40 \text{ \AA}$  sous peine de diminuer la mobilité du canal [Akazaki1]. Cette réduction de la

mobilité est liée à la dégradation de la qualité de l'interface InAs/ $\text{In}_{0.53}\text{Ga}_{0.48}\text{As}$  [Berger1] et de la rugosité de l'interface [Ng1].

En dépit des propriétés de l'InAs (faible gap, épaisseur critique,...), les chercheurs se sont intéressés au matériau à base d'antimoine. En effet, comme le prévoit la figure I-3, les matériaux GaSb, AlSb et InAs sont quasi-adaptés avec un paramètre de maille voisin de  $6.1\text{\AA}$ . La croissance d'hétérostructures à base de canaux InAs d'épaisseur plus importantes que sur substrat InP est donc envisageable. Kroemer *et al* [Tuttle1] furent les premiers à étudier la croissance et les propriétés de transport dans des puits quantiques AlSb/InAs/AlSb. L'hétérostructure InAs/AlSb semble être le couple de matériau « ultime » pour l'électronique ultra-rapide du point de vue des propriétés de transport. Par ailleurs, de tous les composés III-V, le couple InAs/AlSb possède la plus grande discontinuité de bande de conduction, de l'ordre de  $1.35\text{eV}$  ce qui lui confère d'excellente propriété en terme d'efficacité de commande, de confinement des électrons et de densité de charge dans le canal. Cependant, les inconvénients majeurs de cette hétérojonction sont, d'une part qu'il n'existe aucun substrat semi-isolant pour les matériaux  $\text{Al}_x\text{Ga}_{1-x}\text{Sb}/\text{InAs}$  ; la croissance se fait donc de manière métamorphique sur substrat GaAs ou InP généralement par l'intermédiaire d'une couche tampon de 1 à  $3\mu\text{m}$  d' $\text{Al}_x\text{Ga}_{1-x}\text{Sb}$ , d'autre part l'hétérojonction InAs/AlSb est de type II décalé (figure I-16) ce qui implique qu'il n'existe aucune barrière pour les trous générés par ionisation par impact dans le canal.

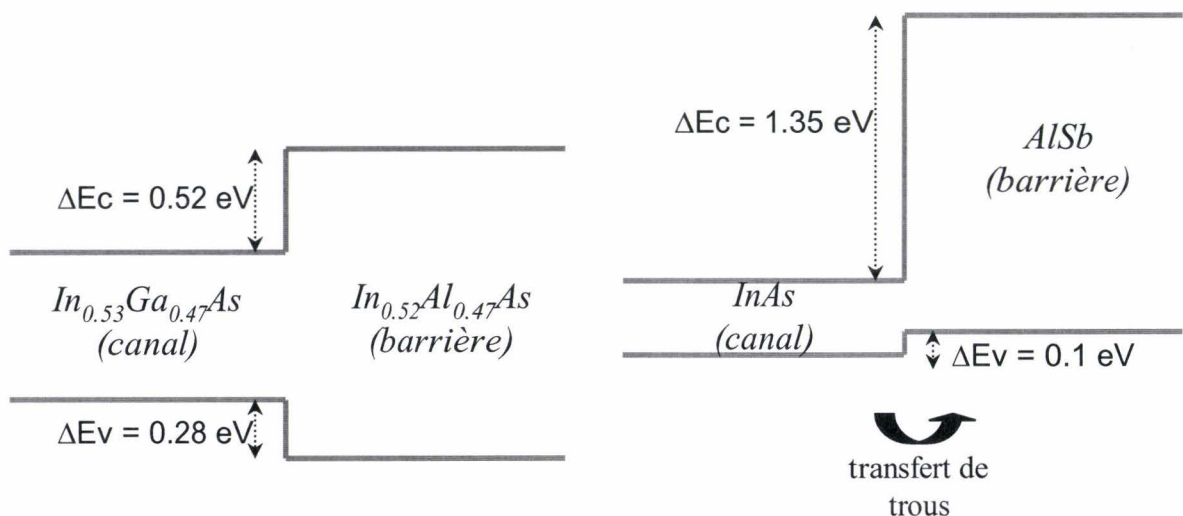


Figure I-16 : Diagrammes schématiques des hétérojonctions InAs/AlSb et  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ .

Le manque de confinement des trous dans l'hétérojonction InAs/AlSb entraîne un courant de fuite de grille très important qui s'accompagne d'une tension de claquage faible et d'une difficulté à saturer le courant drain due à une accumulation des trous dans la couche tampon. Afin d'augmenter la tension de claquage, une approche fût d'utiliser une électrode de grille arrière pour pouvoir récolter les trous injectés dans la couche tampon [Brar1] ou de réaliser un canal composite InAs/AlSb/GaSb [Boos1]. L'électrode de grille arrière a permis d'améliorer les tensions de claquage, mais celles-ci restent encore assez faibles. De même, une légère augmentation de la tension de claquage a pu être observée avec le canal composite grâce au transfert des électrons dans l'espace réel vers le matériau GaSb de largeur de bande interdite plus importante ; cependant, le transport des électrons se faisant dans un matériau de plus grand gap, la mobilité s'en trouve diminuée comparé à une simple hétérojonction InAs/AlSb.

Toutefois, des résultats intéressants, en terme de fréquence de coupure, ont été obtenus sur la filière InAs/AlSb. On peut citer, *ROCKWELL* associé à l'*UCSB* avec l'obtention simultanée d'un  $f_T$  et d'un  $f_{MAX}$  de 160 GHz pour un HEMT InAs/AlSb de longueur de grille 0.25  $\mu\text{m}$  [Bergman1] et *Northrop Grumman Space Technology* associé à *NRL* avec un  $f_T$  et un  $f_{MAX}$  respectif de 220 GHz et 270 GHz pour un HEMT InAs/AlSb de longueur de grille 0.1  $\mu\text{m}$  [Tsail].

Globalement, malgré les propriétés de transport excellentes de l'InAs, les performances fréquentielles obtenues, soit avec des transistors HEMT adaptés en maille sur InP à canal composite GaInAs-InAs, soit avec des transistors HEMT de la filière « 6.1Å », restent, à ce jour, en deçà des performances des filières HEMT adaptés en maille et pseudomorphique sur InP. De plus, l'élément dégradant les performances fréquentielles de ces transistors HEMT étant principalement la forte conductance de sortie, celle-ci sera d'autant plus importante pour des longueurs de grille sub-50nm.

Néanmoins, ces filières « exotiques » font l'objet de nombreux travaux afin d'améliorer la maturité de ces matériaux puisque ces filières restent très intéressantes pour des applications haute fréquence, faible bruit, basse tension et basse consommation.

### III-2-LIMITATION LIÉE À LA STRUCTURE DE COUCHE

Puisque la rapidité des transistors à effet de champ est principalement limitée par le temps de transit des électrons sous la grille, l'approche principale employée depuis ces vingt dernières années a été de réduire la longueur de grille des dispositifs. Cependant, à l'heure actuelle, les longueurs de grille atteignent des longueurs sub-50nm, cette approche devient donc obsolète puisqu'à ces longueurs de grille, le temps de transit total ( $\tau_t$ ) des électrons sous la grille devient comparable aux autres temps de charge parasites, tels que le retard de drain  $\tau_d$  correspondant à l'extension de la zone désertée côté drain ou le temps de charge parasite du canal  $\tau_{cc}$  correspondant à la charge de la capacité  $C_{gd}$  au travers des résistances de source  $R_s$  et de drain  $R_d$ .

En prenant, l'expression du  $f_T$ , établie par Tasker *et al.* [Tasker1], celle-ci peut être réécrite de la manière suivante :

$$\frac{1}{2\pi f_T} = \frac{(C_{gs} + C_{gd})}{gm} + \frac{(C_{gs} + C_{gd})(R_s + R_d)}{gm/gd} + C_{gd}(R_s + R_d) \quad (2)$$

Le premier terme de l'expression (2) correspond au temps de transit intrinsèque du dispositif  $\tau_{int}$  et les deux autres termes correspondent à des temps de charge parasites notés  $\tau_p$ . Le rapport entre les temps de charge parasites et le temps de transit intrinsèque peut donc s'écrire sous la forme :

$$\frac{\tau_p}{\tau_{int}} = gm(R_s + R_d) \left[ \frac{gd}{gm} + \frac{1}{\left[ 1 + \frac{C_{gs}}{C_{gd}} \right]} \right] \quad (3)$$

D'après les expressions (2) et (3), il est indispensable de réduire la longueur de grille  $L_g$  afin de bénéficier d'une réduction des capacités  $C_{gs}$  et  $C_{gd}$  et, éventuellement, une augmentation du  $gm$ . Ainsi, le temps de transit intrinsèque ( $\tau_{int} = \frac{C_{gs} + C_{gd}}{gm}$ ) sera réduit.

De plus, au même titre que la réduction de  $L_g$ , il est indispensable de minimiser la contribution des temps de charge parasites sur le temps de transit intrinsèque. D'après l'expression (3), ceci s'opère par la diminution des résistances parasites de source et de drain.

De plus, l'augmentation des rapports  $\frac{gm}{gd}$  et  $\frac{Cgs}{Cgd}$  sont naturellement indispensables pour une amélioration du  $f_T$  et du  $f_{MAX}$ .

De ce fait, pour améliorer les performances hyperfréquences des HEMT, il est nécessaire de respecter les règles de changement d'échelle « *scaling down rules* » :

### III-2-a-Le « *scaling* » vertical

•Lorsque la longueur de grille diminue, il est indispensable de diminuer proportionnellement les dimensions verticales de la structure de couche afin de maintenir un rapport d'aspect raisonnable. Ce rapport d'aspect  $\alpha$  étant défini comme le rapport entre la longueur métallique de l'électrode de grille ( $Lg$ ) et la distance entre l'électrode de grille et le gaz d'électrons du canal ( $a$ ) :

$$\alpha = \frac{Lg}{a} \quad (4)$$

Ce rapport d'aspect doit être maintenu au-dessus de 5 [Nguyen1] afin de commander efficacement le gaz d'électrons par l'action du champ électrique longitudinal. Ceci est illustré sur la figure I-17 représentant l'évolution de la transconductance extrinsèque maximale  $gm$  en fonction de la tension de seuil  $V_{TH}$  pour des transistors HEMT de la filière InAlAs/InGaAs adapté en maille sur InP et AlGaAs/InGaAs pseudomorphique sur GaAs dont la distance  $a$  évolue de 70Å à 270Å.

On observe que la transconductance  $gm$  des transistors est considérablement influencée par la distance grille-gaz d'électrons  $a$ . Celle-ci passe de 650 mS/mm pour une valeur de  $a$  de 270Å à 1400 mS/mm pour une valeur de  $a$  de 70Å pour la filière HEMT adapté en maille sur InP.

De la même manière, il apparaît que la tension de seuil  $V_{TH}$  augmente fortement avec la réduction de  $a$ . Celle-ci passe de -1.8V pour  $a = 270Å$  à -0.45V pour  $a = 70Å$ .

Malheureusement, la réduction de la distance grille-gaz d'électrons  $a$  et l'augmentation de la tension de seuil  $V_{TH}$  ne sont pas sans conséquence.

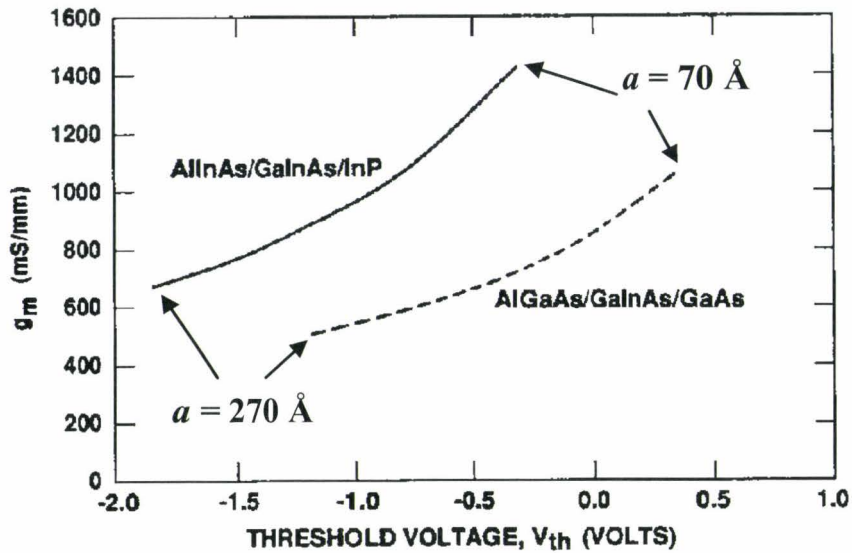


Figure I-17 : variation de  $g_m$  en fonction de  $V_{TH}$  pour des transistors HEMT de la filière AlInAs/GaInAs adapté en maille sur InP et AlGaAs/GaInAs pseudomorphique sur GaAs. La distance entre l'électrode de grille et le canal évolue de  $70 \text{ \AA}$  à  $270 \text{ \AA}$  [d'après Nguyen2].

La figure I-18 représente l'évolution du courant tunnel de grille, en régime statique, en fonction de la distance grille-canal à tension de seuil  $V_{TH}$  constante calculée par Enoki et al [Enoki1].

À  $V_{TH} = \text{constante}$ , On constate que le courant de grille par effet tunnel  $I_{gT}$  augmente avec la réduction de la distance grille-gaz d'électrons. De plus, on peut observer que les variations  $\frac{\partial I_{gT}}{\partial a}$  augmentent plus rapidement lorsque la tension de seuil  $V_{TH}$  augmente c'est-à-dire lorsque celle-ci se rapproche de 0V.



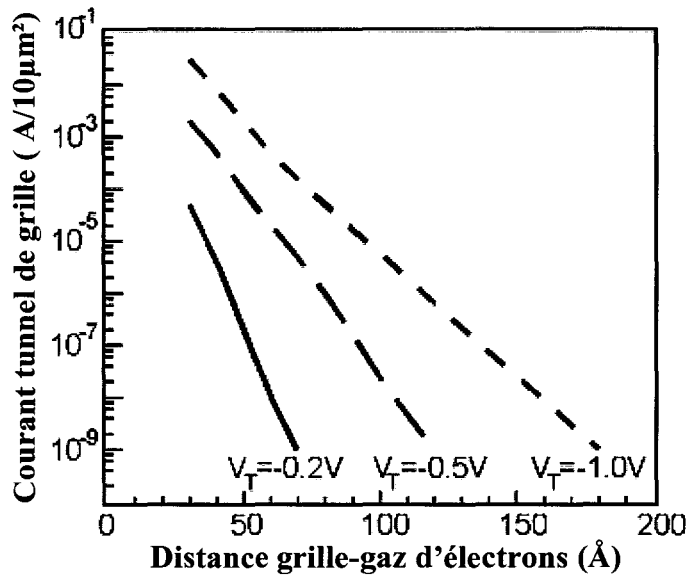


Figure I-18 : Evolution du courant tunnel de grille en fonction de la distance grille-gaz d'électrons à tension de seuil  $V_{TH}$  constante [d'après Enoki].

Néanmoins, aucune étude n'a pu démontrer l'influence d'un fort courant de grille statique sur les caractéristiques hyperfréquences des transistors HEMT. En revanche, il est évident qu'un courant de grille trop excessif entraînerait un claquage précoce du contact Schottky de grille.

•Un deuxième effet immédiat de la réduction de la distance grille-gaz d'électrons est le rapprochement entre le gaz d'électrons du canal et les états de surface des zones recessées de source et de drain (figure I-19).

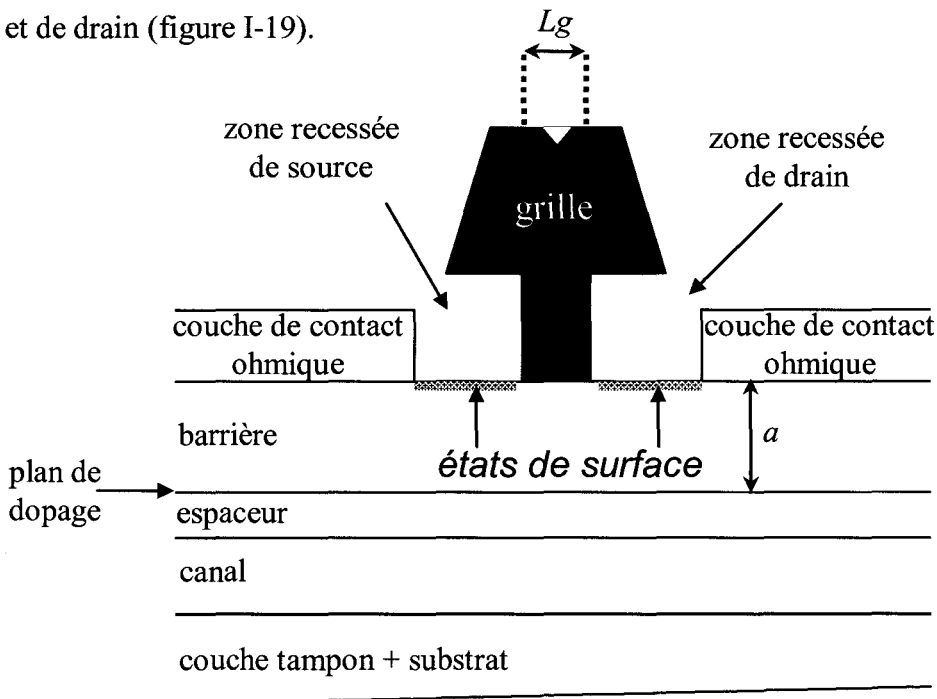


Figure I-19 : représentation des états de surface dans les zones recessées.

Plus ces états de surface seront proches du canal, plus la densité du gaz d'électrons dans le canal, au niveau des zones recessées, sera diminuée, provoquant une augmentation des résistances parasites de source et de drain. De plus, Suemitsu *et al.* ont montré que la diminution de la densité de charge dans les zones recessées induit une extension des lignes de champ électrique de part et d'autre de l'électrode de grille vers les zones recessées. Ce phénomène a pour effet d'augmenter la longueur effective (ou électrique) de grille  $Lg_{eff}$  et donc de diminuer la vitesse des porteurs sous la grille [Suemitsu1].

Afin de garder une densité d'électrons importante dans les zones recessées, tout en diminuant la distance grille-gaz d'électrons, des procédés spécifiques de lithographie de grille ont été mis au point. On peut citer le procédé double-recess « *two-step recess gate technology* » proposé par NTT [Suemitsu1] ou le procédé triple-recess « *three-step recess etching* » proposé par Shinohara *et al.* [Shinohara1]

### **III-2-b-Le « scaling » horizontal**

#### **III-2-b-1) Largeur du recess de grille**

•Le premier paramètre influençant le « *scaling horizontal* » des dispositifs HEMT, mise à part la longueur métallique de grille  $Lg$ , est la largeur du recess de grille. La largeur du recess conditionne essentiellement les valeurs de  $f_T$  et  $f_{MAX}$ . Il existe un compromis entre la taille du recess et les performances fréquentielles. En effet, d'un point de vue microscopique, un recess large aura tendance à amplifier les effets des états de surface des zones recessées mais permettra de relaxer le champ électrique en sortie de grille. Les conséquences, d'un point de vue électrique, seront une augmentation des résistances parasites de source et de drain entraînant une diminution de la transconductance  $gm$  et du courant drain  $Id$ . En revanche, la capacité  $Cgd$  et la conductance de sortie  $gd$  des transistors seront améliorées. Suemitsu *et al* ont montré qu'il existait une largeur optimale du recess afin de bénéficier d'un rapport  $f_T/f_{MAX}$  proche de l'unité [Suemitsu2]. Enfin, d'autres travaux ont pu mettre en évidence une influence prédominante de la largeur du recess côté drain par rapport à celle du côté source, sur la fréquence de coupure  $f_T$  [Shinohara2].



## III-2-b-2) Distance Source - Drain

•Le « *scaling horizontal* » nécessite aussi la réduction de la distance entre l'électrode de source et de drain  $L_{SD}$ . En effet, la réduction de cette dimension permet de réduire les résistances parasites de source et de drain. Pour cela, L. D. Nguyen *et al.* ont proposé une technique d'auto-alignement de la grille [Nguyen3]. Cette technique consiste à utiliser la métallisation de grille comme masque de protection lors du dépôt par évaporation de la métallisation des contacts ohmiques (Figure I-20).

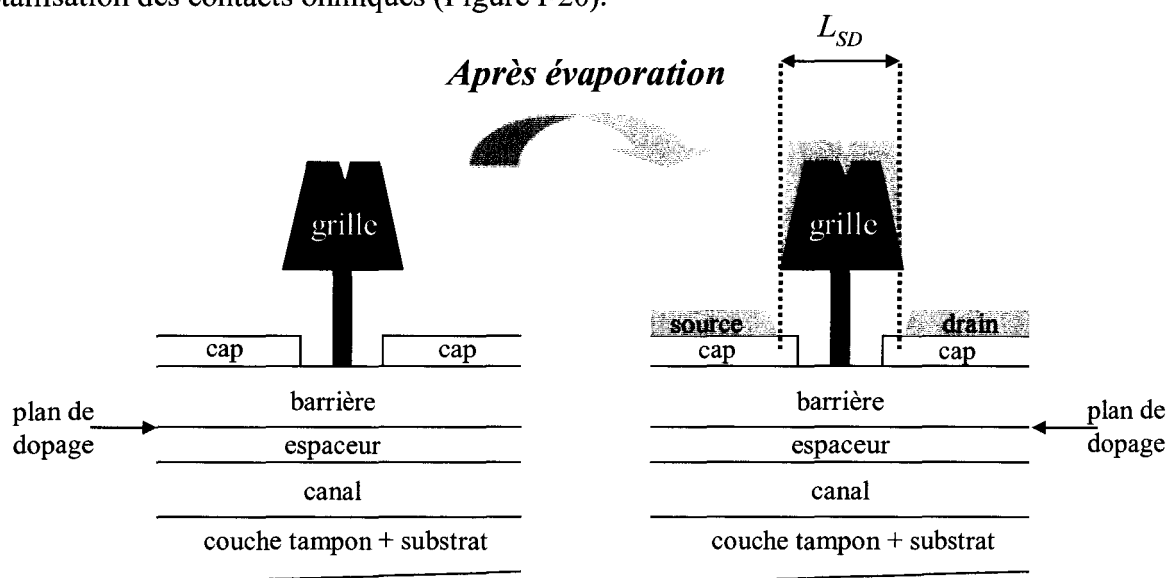


Figure I-20 : Technique d'auto-alignement des contacts ohmiques.

Cette technique a l'avantage de réduire considérablement la distance entre les électrodes de source et de drain ce qui permet d'aboutir à des résistances parasites de très faible valeur. Malheureusement, l'inconvénient majeur est d'augmenter significativement les capacités électrostatiques entre l'électrode de grille et les électrodes de contact. De plus, la distance  $L_{SD}$  étant définie par la largeur du chapeau de grille, la réduction de la largeur du chapeau de grille sera au détriment de la réduction de la résistance de grille  $R_g$ .

•Finalement, le dernier inconvénient du « *scaling horizontal* » est l'augmentation des phénomènes d'ionisation par impact. Ainsi, les composants ayant des dimensions de plus en plus réduites, les porteurs sont soumis à des champs électriques très intenses ; ils peuvent donc atteindre des énergies cinétiques suffisantes pour provoquer l'ionisation par impact. Ce processus correspond à la transmission de l'énergie cinétique de l'électron au réseau cristallin pouvant entraîner le transfert d'un électron de la bande de valence vers la bande de conduction ce qui se traduit par la création de paires électron-trou.

Il est à noter que ce processus ne peut avoir lieu que pour des électrons ayant une énergie cinétique supérieure à l'énergie de bande interdite du matériau dans lequel ils se trouvent.

Mise à part l'augmentation du courant de grille et la diminution de la tension de claquage des transistors provoquées par l'ionisation par impact, un second phénomène apparaît lors de la réduction des dimensions des dispositifs. Ce phénomène correspond à « l'effet Kink », se traduisant par une augmentation anormale du courant drain à une certaine valeur de  $V_{ds}$ . Ce phénomène est représenté sur la caractéristique  $I_d-V_{ds}$  de la figure I-21.

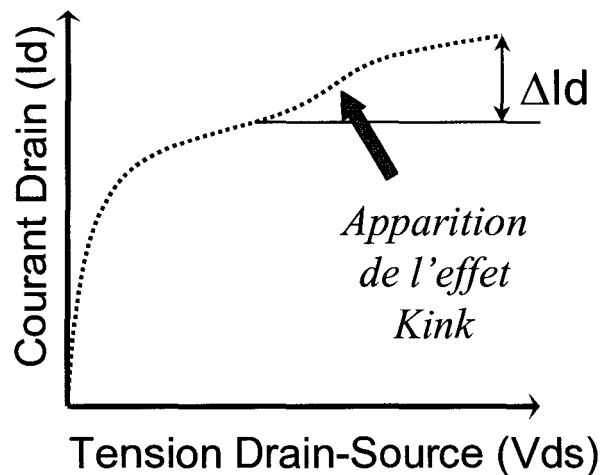


Figure I-21 : Représentation de l'effet Kink sur une caractéristique  $I_d-V_{ds}$ .

L'effet Kink n'est pas un phénomène typique à la filière HEMT ; ce même phénomène est aussi rencontré dans la filière MOSFET-SOI (*silicon-on-insulator metal-oxide-semiconductor FET*). Dans la filière MOSFET, l'effet Kink s'explique par l'accumulation de porteurs minoritaires générés par ionisation par impact vers le substrat (*Floating-Body effect*).

Dans la filière HEMT, de nombreux auteurs ont montré que l'effet Kink était lié à la réduction de la résistance de source  $R_s$  provenant d'une augmentation de la densité d'électrons dans la zone recessée de source. [Somerville1] [Suemitsu3]. Cette modulation de la densité d'électrons est illustrée sur la figure I-22 représentant le diagramme de bande d'une structure HEMT dans la zone recessée de source, d'après Suemitsu *et al.*.

A l'équilibre thermodynamique (figure I-22-a), le niveau de Fermi est plat dans l'ensemble de l'hétérostructure du dispositif (aucun courant ne circule dans la direction perpendiculaire aux hétérointerfaces). Lorsque la tension  $V_{ds}$  est de l'ordre de grandeur de

l'énergie de bande interdite ( $V_{ds} \approx \frac{E_g}{q}$ ), le phénomène d'ionisation par impact apparaît, des trous sont alors générés dans la zone recessée de drain, en sortie de grille. Ces trous sont ensuite accélérés vers la zone recessée de source. Il est à noter que le déplacement des trous dans le canal ne provoque pas une augmentation du courant drain compte tenu de la mobilité et de la concentration de ces porteurs. Néanmoins, ces trous s'accumulent dans le canal (Figure I-22-b).

A ce moment là, cette zone n'est plus à l'équilibre thermodynamique, il apparaît donc un quasi-niveau de Fermi distinct pour les électrons  $E_{Fn}$  et pour les trous  $E_{Fp}$  dans le canal. Puisque le quasi-niveau de Fermi des trous  $E_{Fp}$  est proche de la bande de valence, il existe une courbure de  $E_{Fp}$  entre le canal et la surface de la zone recessée. Cette courbure de bande induit un courant de trous perpendiculaire à l'hétérointerface (transfert de trous du canal vers la surface de la zone recessée) afin d'aligner les quasi-niveaux de Fermi des trous  $E_{Fp}$  du canal et de la barrière. Finalement, le déplacement de ces trous vers la surface de la zone recessée induit une réduction des états d'interface permettant ainsi l'accroissement des électrons dans le canal à l'endroit de la zone recessée de source (Figure I-22-c).

Ce phénomène produit donc une diminution spontanée de la résistance de source contribuant à l'augmentation du courant drain et, de ce fait, une augmentation de la conductance de sortie  $gd$  et un décalage de la tension de pincement sont observés.

De plus, Suemitsu *et al.* ont montré que l'ionisation par impact était une condition nécessaire mais pas suffisante pour provoquer l'effet Kink. En outre, il faut que la densité d'électrons dans la zone recessée de source soit faible à l'équilibre pour provoquer l'effet Kink. Ceci couple donc les effets des états de surface du recess de grille observés pour les dispositifs sub-100nm (réduction de la densité d'électrons, augmentation de  $L_{geff}$ , ...) à l'effet Kink. L'effet Kink devrait donc être de plus en plus prépondérant pour les dispositifs à venir.

Néanmoins, certains auteurs ont montré que la réalisation de transistors HEMT avec des contacts ohmiques diffusants permettait de réduire la dispersion fréquentielle de la conductance de sortie  $gd$  et d'éliminer l'effet Kink grâce à la diminution de l'accumulation de trous dans l'espace source-grille [Sawada1],[Arai1].

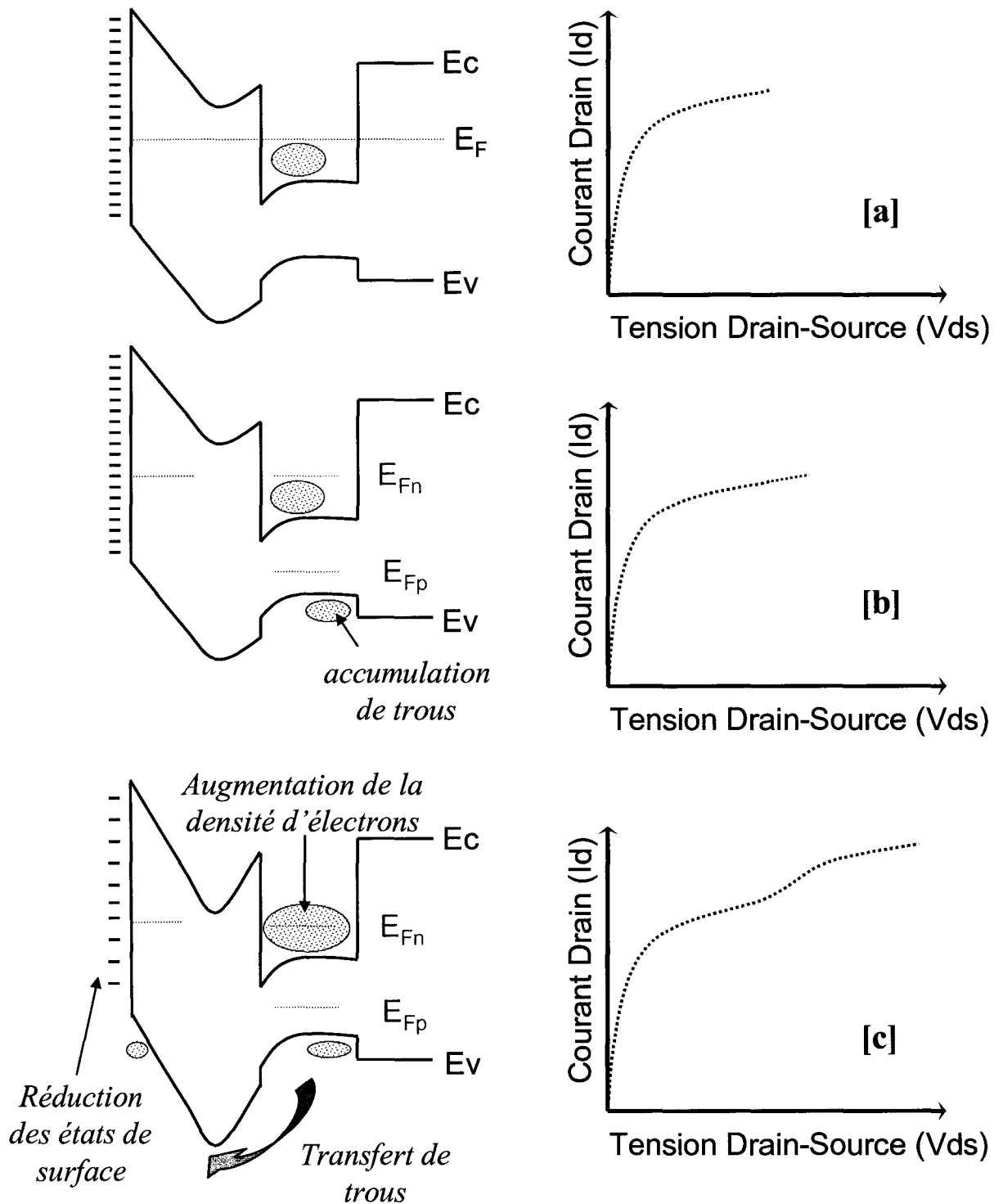


Figure I-22 : Mécanisme d'apparition de l'effet Kink au niveau de la zone recessée de source. Structure à l'équilibre thermodynamique (a), Accumulation de trous dans le canal (b), Transfert des trous vers la surface de la zone recessée de source (c)

Il ressort de la présente étude que les règles de changement d'échelle seront difficilement applicables pour des dispositifs HEMT de longueur de grille sub-50 nm. De plus, la fabrication de transistors HEMT avec des longueurs de grille sub-50 nm devient extrêmement complexe ; il faut d'une part, réaliser des pieds de grille de très faible dimension ce qui nécessite de contrôler précisément les ouvertures des résines électroniques définissant le pied de grille et d'autre part, fabriquer une section du chapeau de grille suffisamment importante afin d'obtenir des valeurs de résistance de grille  $R_g$  faibles. Dans ce cas, la tenue mécanique du chapeau sur le pied de grille devient alors problématique. Ainsi, les procédés technologiques, actuellement employés pour la fabrication de longueur de grille sub-50 nm, requièrent systématiquement une couche de diélectrique ( $\text{Si}_3\text{N}_4$  ou  $\text{SiO}_2$ ) permettant la définition du pied de grille et/ou la tenue mécanique du chapeau de grille [Suemitsu4] [Yamashita2]. Des techniques de gravure R.I.E. (*Reactive Ion Etching*) sont alors utilisées afin d'éliminer les diélectriques déposés au niveau du pied de grille. Les conséquences de ces procédés sont d'une part, d'augmenter les capacités parasites électrostatiques compte tenu de la présence du diélectrique et d'autre part, de contaminer la couche active du dispositif par l'utilisation de gravure R.I.E.

Considérant ces différents aspects, il apparaît que la filière HEMT « standard » semble atteindre ses limites physiques et ne pourra donc subvenir au développement des futurs systèmes de communication optique qui nécessitent des composants actifs capables de travailler dans le domaine THz/ps.

L'amélioration des performances fréquentielles des transistors à effet de champ ne pourra s'obtenir que par une rupture de la technologie actuelle ou par une rupture de la physique du fonctionnement des transistors HEMT « standards » en proposant des solutions dites « alternatives ».

Une telle rupture technologique constitue donc l'objet de ce travail de thèse dont le but est la réalisation et la caractérisation de dispositifs à effet de champ à hétérojonction III-V de très hautes performances.

## IV-PRÉSENTATION DES STRUCTURES ALTERNATIVES

Dans ce paragraphe, nous nous proposons de présenter les solutions dites « alternatives » retenues pour accroître les performances fréquentielles des composants à effet de champ.

### IV-1-LE HEMT SANS BUFFER (HEMT-SB)

#### IV-1-a-présentation de la structure

Le principe de ce dispositif consiste en la fabrication de transistor HEMT « standard » dont la couche tampon (*buffer*) est remplacée par une couche de diélectrique (Figure I-23).

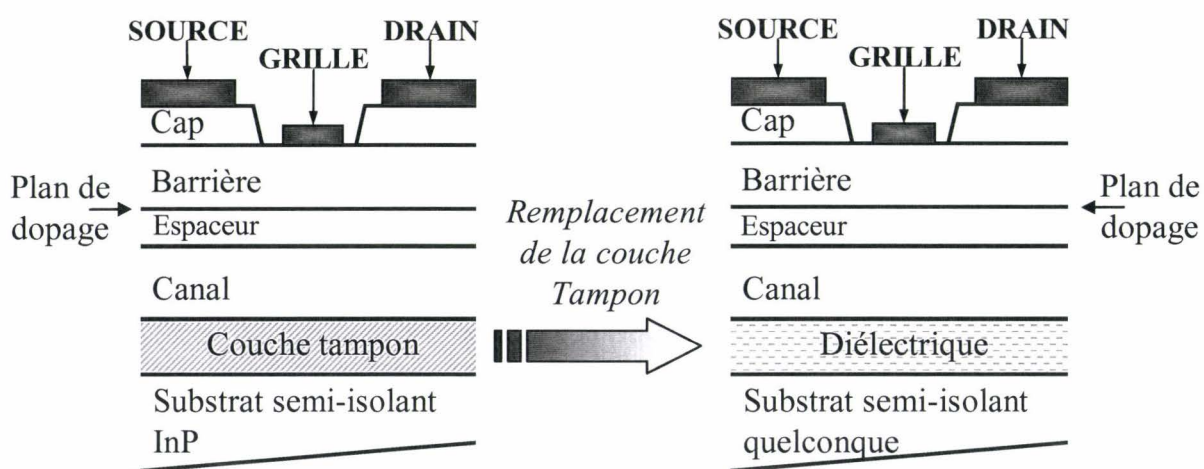


Figure I-23 : Structure d'un HEMT sans-buffer  
(remplacement de la couche tampon par une couche diélectrique)

L'avantage du transistor HEMT sans-buffer par rapport à un HEMT « standard » réside dans l'amélioration du confinement du gaz d'électrons du canal. En effet, l'un des phénomènes néfastes de cette couche tampon est la possibilité d'injection de porteurs chauds dans celle-ci. Par ailleurs, ce phénomène d'injection est d'autant plus prépondérant pour des longueurs de grille faibles du fait de l'amplification du caractère bidimensionnel du champ électrique en sortie de grille.

#### *IV-1-b-Améliorations Attendues*

Cette injection de porteurs dans la couche tampon se traduit, d'un point de vue électrique, par une augmentation significative de la conductance de sortie  $gd$  des transistors et par un décalage de la tension de seuil  $V_{TH}$  lié à la difficulté de pincer le canal du HEMT.

L'utilité de la couche diélectrique est donc de supprimer cette injection de porteurs en améliorant le confinement des électrons dans le canal. Néanmoins, ce dispositif nécessite, au préalable, de reporter la structure HEMT sur un substrat hôte afin d'y déposer le diélectrique. La première étude sur le report de structure HEMT, menée au sein de l'équipe, a permis de montrer la faisabilité de transistors HEMT « standard » (avec couche tampon) reporté sur substrat Silicium par collage moléculaire  $\text{SiO}_2\text{-SiO}_2$  [Bollaert1]. Après report sur substrat Silicium, les composants de longueur de grille de 120 nm ont présenté une transconductance intrinsèque de 1200 mS/mm, une fréquence  $f_T$  de 185 GHz et une fréquence  $f_{MAX}$  de 280 GHz ce qui est comparable à l'état de l'art obtenu, dans la filière HEMT adaptée en maille, pour cette longueur de grille.

Avec cette structure HEMT « sans buffer », nous pouvons nous attendre à une réduction significative de la conductance de sortie  $gd$ . Cette réduction du  $gd$  se traduira inévitablement par une amélioration de la fréquence maximale d'oscillation  $f_{MAX}$  compte tenu de l'influence de  $gd$  sur cette fréquence. Par ailleurs, une amélioration de la fréquence  $f_T$  sera espérée puisque, d'après l'expression (3), le poids relatif des temps de charge parasite sur le temps de transit total sera réduit.

Des premiers résultats de simulation Monte-Carlo ont permis de comparer les transistors avec ou sans couche tampon et de mettre en évidence une amélioration d'environ 15% sur l'ensemble des fréquences de coupure ( $f_C, f_{MAX}, f_T$ ) sur les HEMT « sans buffer » de longueur de grille 50-nm [Mateos1].

### **IV-2-LE HEMT DOUBLE-GRILLE (DG-HEMT)**

#### *IV-2-a-Concept*

Le concept du transistor à effet de champ Double-Grille fût proposé en 1984 dans la filière MOSFET (*Metal Oxide Silicon Field Effect Transistor*) [Sekigawa1]. A partir de ce concept, de nombreux travaux ont permis de mettre en évidence les potentialités des transistors MOS

Double-Grille (DG-MOSFET) sur substrat SOI (*Silicon On Insulator*) en terme de miniaturisation des transistors (*scaling down*) afin de poursuivre l'évolution de la loi de Moore [Frank1] [Suzuki1]. De plus, il a été démontré que les DG-MOSFET offrent un meilleur contrôle des effets de canal court par rapport au MOSFET-FD (*Fully Depleted*)[Lolivier1][Celler1]. En effet, dans les DG-MOSFET, si l'épaisseur de la couche de Silicium située entre les deux grilles devient inférieure à la somme des deux zones de déplétion causées par les grilles, il apparaît, non plus seulement deux couches d'inversion situées de part et d'autre des deux interfaces Si-SiO<sub>2</sub> séparées par une zone désertée, mais une couche d'inversion sur la totalité de l'épaisseur du silicium. Dans ce cas, on dit que le transistor fonctionne en inversion de volume (*Volume Inversion*) [Balestra1].

Le fonctionnement en inversion de volume du DG-MOSFET offre de nombreux avantages par rapport au MOSFET conventionnel :

- (i) une augmentation du nombre de porteurs minoritaires.
- (ii) une augmentation de la mobilité de ces porteurs grâce à la réduction des interactions sur l'interface Si-SiO<sub>2</sub> (charges de surfaces et/ou rugosité d'interface).
- (iii) une amélioration de l'efficacité de commande des porteurs minoritaires (seconde grille).

Il s'en suit une augmentation du courant drain, une augmentation de la transconductance et une amélioration des caractéristiques sous-seuil (*Subthreshold Slope*).

#### ***IV-2-b-Présentation de la structure***

De par les améliorations observées sur les caractéristiques statiques du transistor MOS (amélioration du  $gm$ , augmentation de  $I_d$ ,...) grâce à la seconde grille, nous avons voulu retranscrire ce concept dans la filière III-V sur les composants de type HEMT. La structure que nous avons proposée, est schématisée sur la figure I-24. La structure du DG-HEMT correspond à la symétrie par rapport au canal, d'une structure HEMT standard dans laquelle nous avons supprimé la couche tampon et le substrat semi-isolant. La structure DG-HEMT possède donc deux couches de contact ohmique, deux couches Schottky, deux espaceurs, deux plans de dopage et un canal.



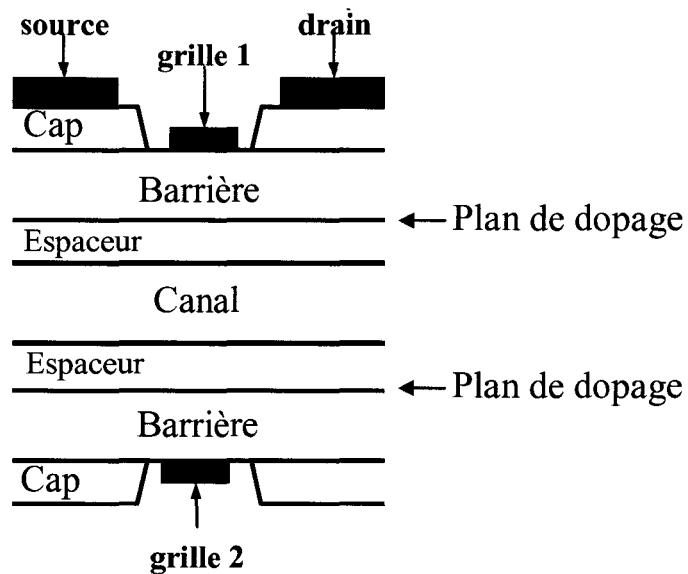


Figure I-24 : Structure schématique du transistor HEMT Double-Grille (DG-HEMT).

#### IV-2-c-Modes de fonctionnement

Le transistor HEMT Double-Grille peut travailler suivant deux modes de fonctionnement selon les polarisations des deux grilles :

(i) Le fonctionnement Simple-Commande (DG-HEMT-SC) : Dans ce cas, les électrodes de grille sont connectées électriquement entre-elles. La polarisation des grilles est, par conséquent, identique tant en régime statique ( $V_{g1s} = V_{g2s}$ ) qu'en régime dynamique ( $\Delta v_{g1s} = \Delta v_{g2s}$ ). Le composant se comporte alors comme un système « classique » à deux ports (quadripôle) caractérisé par ses 4 paramètres  $S_{ij}$  de sa matrice de répartition.

(ii) Le fonctionnement Double-Commande (DG-HEMT-DC) : Dans ce cas, les électrodes de grille sont dissociées. Il existe alors une polarisation distincte pour chaque grille ( $V_{g1s} \neq V_{g2s}$  et  $\Delta v_{g1s} \neq \Delta v_{g2s}$ ). A ce moment là, le transistor se comporte comme un hexapôle caractérisé par ses 9 paramètres  $S_{ij}$  de sa matrice de répartition.

Un pseudo-mode de fonctionnement du transistor DG-HEMT-DC peut être envisagé, où le signal dynamique est appliqué uniquement sur une seule électrode de grille tandis que l'autre est polarisée en régime statique. Dans ce cas, le transistor redevient un système à 2 ports.

#### IV-2-d-Améliorations Attendues

Pour mettre en évidence les améliorations attendues avec le transistor DG-HEMT-SC, nous nous sommes servis des expressions approchées de la fréquence de transition  $f_T$  et de la fréquence maximale d'oscillation  $f_{MAX}$ . Ces relations ne tiennent pas compte de l'ensemble des éléments du schéma équivalent. Cependant, elles ont l'avantage de rester simples et de fournir une première approximation sur l'évolution des fréquences de coupure avec les éléments principaux du schéma équivalent.

L'expression de la fréquence de transition  $f_T$  est donnée par :

$$F_T \approx \frac{G_m}{2.\pi.(C_{gs} + C_{gd} + C_{pg})} \quad (5)$$

En faisant intervenir la fréquence de coupure intrinsèque ( $F_c = G_m/2\pi.C_{gs}$ ) du transistor, l'expression (5) peut se réécrire sous la forme :

$$F_T \approx \frac{F_c}{\left(1 + \frac{C_{gd}}{C_{gs}} + \frac{C_{pg}}{C_{gs}}\right)} \quad (6)$$

En première approximation, il apparaît que l'amélioration de la fréquence  $f_T$  passe principalement par une augmentation de la fréquence de coupure intrinsèque  $F_c$  et par l'augmentation du rapport des capacités  $\frac{C_{gs}}{C_{gd}}$ . Par ailleurs, pour ne pas dégrader  $f_T$ , il est indispensable de minimiser la capacité de plot de grille  $C_{pg}$  qui dépend essentiellement de la topologie du masque du transistor.

L'expression de la fréquence maximale d'oscillation  $f_{MAX}$  est donnée par :

$$F_{MAX} \approx \frac{F_c}{2.\sqrt{(R_g + R_s + R_i).G_d + 2.\pi.F_c.R_g.C_{gd}}} \quad (7)$$

L'augmentation du  $f_{MAX}$  passe alors par une augmentation du  $F_c$ . De plus, il est nécessaire de réduire les résistances parasites  $R_s$  et  $R_g$  et la conductance de sortie  $G_d$ .

Ainsi, le transistor DG-HEMT-SC offre de nombreux avantages par rapport à un transistor HEMT « standard » pour accroître les performances fréquentielles :

- \* Comme dans le cas du transistor HEMT sans buffer, la suppression de la couche tampon aura pour effet de minimiser la conductance de sortie  $G_d$ .

- \* L'ajout de la seconde grille va entraîner une amélioration significative de l'efficacité de commande du gaz d'électrons du canal dont l'effet immédiat sera d'augmenter la transconductance  $G_m$ .

- \* Etant donné que la structure épitaxiale du transistor DG-HEMT possède deux plans de dopage, le transfert d'électrons dans le canal sera doublé. Cette augmentation de la densité d'électrons dans le canal aura pour effet de diminuer les résistances parasites de source et de drain ( $R_s$  et  $R_d$ ) et d'augmenter le courant drain d'un facteur 2.

- \* La structure DG-HEMT ayant deux grilles en vis-à-vis, la résistance parasite de grille  $R_g$  sera diminuée puisque les deux grilles sont placées en parallèle sur le composant.

Malheureusement, l'inconvénient du dispositif DG-HEMT est l'augmentation de la capacité intrinsèque  $C_{gs}$ . En effet, la capacité  $C_{gs}$  traduit, en première approximation, l'efficacité de commande du gaz d'électrons par la grille. Or, dans le DG-HEMT, l'ajout d'une seconde grille améliore l'efficacité globale de la commande. A priori, cette capacité sera donc doublée par rapport à un HEMT standard.

Quant à la capacité  $C_{gd}$  ; celle-ci traduisant le contrôle du gaz d'électrons par la tension drain-source, il est difficilement prévisible de connaître son évolution. Toutefois, cette capacité sera supérieure à la capacité d'un HEMT compte tenu de l'ajout d'une électrode de grille.

Dans le tableau I-2, nous représentons qualitativement l'évolution des paramètres du transistor HEMT et DG-HEMT-SC.

<i>HEMT</i>	Gm	Gd	Rs	Rd	Rg	Cgs	Cgd
<i>DG-HEMT-SC</i>	Gm x2	Gd ↘	Rs /2	Rd /2	Rg /2	Cgs x2	Cgd ↗

Tableau I-2 : Évolution qualitative des éléments du schéma équivalent du HEMT et du DG-HEMT-SC.

Ainsi, nous pouvons constater que la fréquence de coupure intrinsèque  $f_c$  du transistor DG-HEMT-SC ainsi que le rapport des capacités  $\frac{C_{gs}}{C_{gd}}$  devraient être inchangés par rapport à ceux du HEMT. Par conséquent, cet effet devrait se traduire par une légère augmentation du  $f_T$  puisque nous réduisons l'influence de la capacité de plot de grille  $C_{pg}$  sur le  $f_T$  (voir équation n°6).

En revanche, une nette amélioration de la fréquence maximale d'oscillation  $f_{MAX}$  est espérée puisque les résistances parasites et la conductance de sortie sont diminuées.

### IV-3-LE HEMT A MODULATION DE VITESSE (VMT)

#### IV-3-a-Concept & structure originale

Le concept du transistor à modulation de vitesse (VMT : Velocity Modulation Transistor) fût proposé, pour la première fois, par H.Sakaki en 1982 [Sakaki1] afin de surmonter la limite fondamentale des transistors à effet de champ « conventionnels ». En effet, quel que soit le dispositif à effet de champ employé (MOSFET ou HEMT), la rapidité de commutation de l'état passant à l'état bloqué (ou inversement) est limitée par le temps de transit des électrons dans le canal. Le passage d'un état à un autre nécessite obligatoirement l'écoulement des électrons du canal vers les contacts de source et de drain. Ainsi, le temps de transit est limité par la distance entre les deux contacts. Afin d'éviter cette limitation sur le temps de transit des porteurs entre source et drain, Sakaki a proposé de modifier la conductance du canal par la modulation de la mobilité ou de la vitesse des porteurs grâce à l'électrode de grille.

De manière générale, la conductance intrinsèque  $G$  d'un transistor à effet de champ, en zone ohmique (champ électrique longitudinal faible), peut s'exprimer sous la forme :

$$G = \frac{q \cdot N_s \cdot \mu \cdot W}{L_g} \quad (8)$$

Où  $N_s$  correspond à la densité de charge surfacique dans le canal,  $q$  la charge de l'électron,  $\mu$  la mobilité des électrons,  $W$  le développement du transistor et  $L_g$  la longueur de l'électrode de grille.

Lorsque la conductance intrinsèque  $G$  du canal est modulée par un signal de faible amplitude appliqué sur l'électrode de grille  $\Delta V_g$ , la modulation  $\Delta G$  correspondante du canal est de la forme :

$$\Delta G = \frac{q \cdot W}{L_g} \cdot (\mu \cdot \Delta N_s + N_s \cdot \Delta \mu) \quad (9)$$

Dans tous les dispositifs à effet de champ existants actuellement, la modulation de  $\Delta G$  s'effectue essentiellement par le premier terme de l'expression (9) ; c'est-à-dire  $\mu \cdot \Delta N_s$ .

Contrairement aux dispositifs conventionnels, le transistor à modulation de vitesse utilise le second terme de cette expression ( $N_s \Delta\mu$ ) pour moduler  $\Delta G$  et donc le courant drain. Ainsi, si la densité d'électrons ( $N_s$ ) reste constante, ce concept offre la possibilité d'obtenir des dispositifs ultra-rapides puisque, dans le cas idéal, la rapidité du système n'est plus limitée par la capacité grille-source ( $C_{gs} = 0$  car  $N_s = \text{constante}$ ).

Néanmoins, l'originalité de ce concept requiert la réalisation d'un dispositif dans lequel l'électrode de commande de grille affecte uniquement la vitesse des porteurs. Pour cela, Sakaki a proposé un dispositif fonctionnant sur le concept de *transfert dans l'espace réel* proposé par Hess *et al.* [Hess1]. Ainsi, ce dispositif VMT utilise deux canaux de mobilités différentes. De cette manière, la modulation du courant drain s'opère par le déplacement des électrons d'un canal de haute mobilité vers un canal de basse mobilité.

La figure I-25 représente la structure schématique du VMT proposée par Sakaki ainsi que la structure de bande de conduction et le profil de distribution des impuretés ( $N_{d+Na}$ ), dans la direction perpendiculaire aux hétérointerfaces.

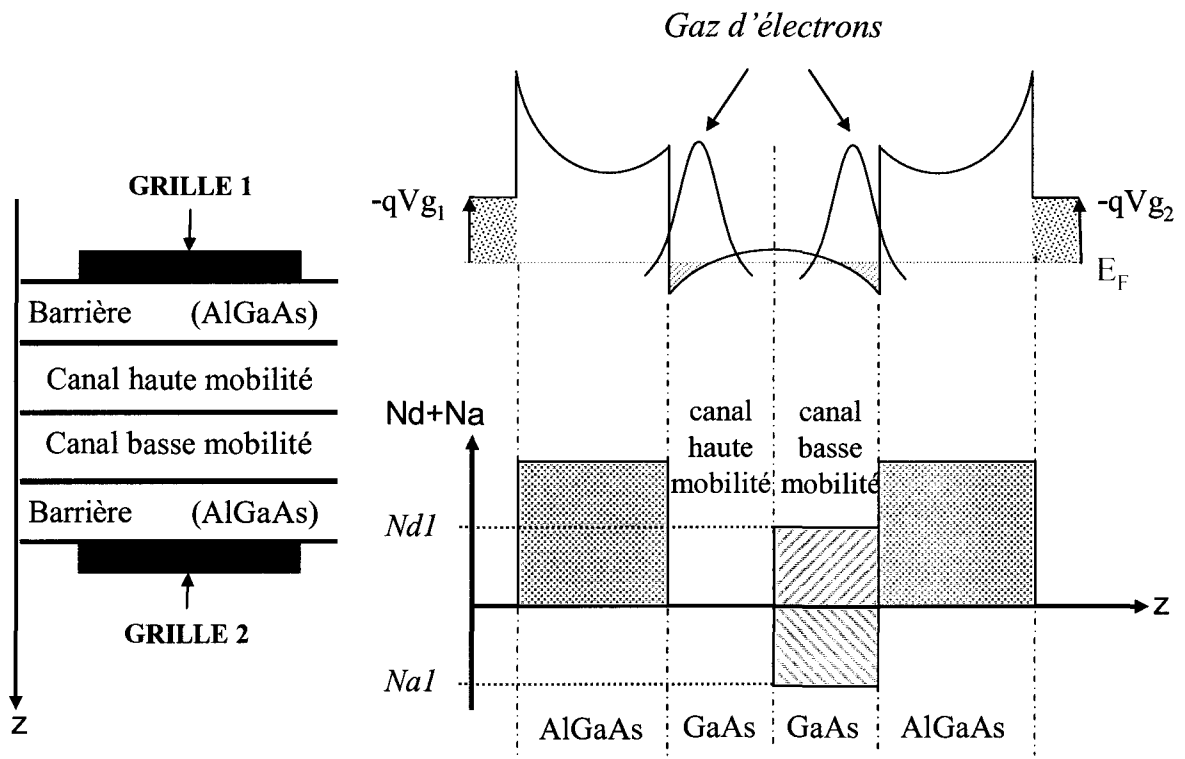


Figure I-25 : structure schématique, profil de bande de conduction à l'équilibre thermodynamique et profil de concentration d'impureté du VMT proposé par Sakaki.

Cette structure correspond à un transistor à modulation de dopage à hétérojonction III-V de la filière AlGaAs/GaAs. La commande du gaz d'électrons s'effectue par l'intermédiaire de deux électrodes de grille placées en vis-à-vis.

Dans ce dispositif VMT, la réalisation de deux canaux de mobilité différente est accomplie en incorporant, sur la moitié du canal GaAs, des impuretés de type donneuse et accepteuse. Le canal du transistor VMT est donc composé d'un canal de GaAs non-dopé de haute mobilité et un canal de GaAs dopé de basse mobilité. La compensation du canal dopé ( $|N_d| = |N_a|$ ) permet de garder une structure de bande de conduction symétrique.

Le principe de fonctionnement consiste donc à déplacer les électrons du canal haute mobilité vers le canal basse mobilité et réciproquement (figure I-26). La concentration totale d'électrons est maintenue à une valeur constante en appliquant des potentiels en opposition de phase sur chaque électrode de grille ( $V_{g1} = -V_{g2}$ ) par rapport à la source.

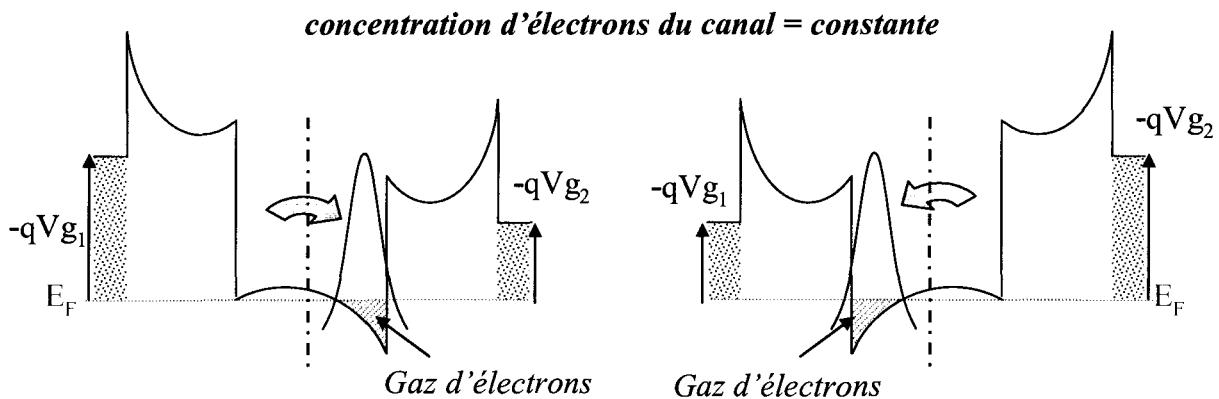


Figure I-26 : Principe de fonctionnement du transistor VMT. Le transfert d'électrons d'un canal vers l'autre s'effectue par l'intermédiaire des deux électrodes de grille.

Pour  $V_{ds}$  faible (zone ohmique), la conductance totale du canal  $G_T$  du dispositif correspond à la somme de la conductance du canal de haute mobilité  $G_H$  et de la conductance du canal de faible mobilité  $G_L$  :

$$G_T = G_H + G_L = \frac{qW}{Lg} \cdot (N_H \cdot \mu_H + N_L \cdot \mu_L) \quad (10)$$

Où  $N_H$  et  $N_L$  sont respectivement la densité d'électrons dans le canal de haute mobilité et dans le canal de basse mobilité, et  $\mu_H$  et  $\mu_L$  sont respectivement la mobilité du canal de haute mobilité et du canal de basse mobilité.

En posant  $N_T = N_H + N_L$  la densité totale d'électrons dans les deux canaux et  $\Delta N = N_H - N_L$  la différence de densité d'électrons entre les deux canaux, l'expression (10) peut se réécrire sous la forme :

$$G_T = \frac{q \cdot W}{2 \cdot L \cdot g} \cdot [N_T \cdot (\mu_H + \mu_L) + \Delta N \cdot (\mu_H - \mu_L)] \quad (11)$$

Dans les transistors de type HEMT ou DG-HEMT, le second terme de l'expression (11) est nul puisque la mobilité des électrons dans le canal est identique quel que soit l'emplacement des électrons dans celui-ci ( $\mu_H = \mu_L$ ). Ainsi, l'électrode de grille module uniquement  $N_T$ .  $\frac{\partial G_T}{\partial V_g}$  est donc proportionnelle à  $\frac{\partial N_T}{\partial V_g}$  (fonctionnement d'un HEMT).

En revanche, la conductance du transistor VMT présenté précédemment est modulée uniquement par le second terme de l'expression (11) via la variation de  $\Delta N$  par les électrodes de grille. Dans ce cas,  $\frac{\partial G_T}{\partial V_g}$  est proportionnelle à  $\frac{\partial \Delta N}{\partial V_g}$  puisque  $N_T = \text{constante}$ .

Par conséquent, la variation souhaitée de la conductance du transistor VMT en fonction de la polarisation des électrodes de grille est représentée sur la figure I-27.



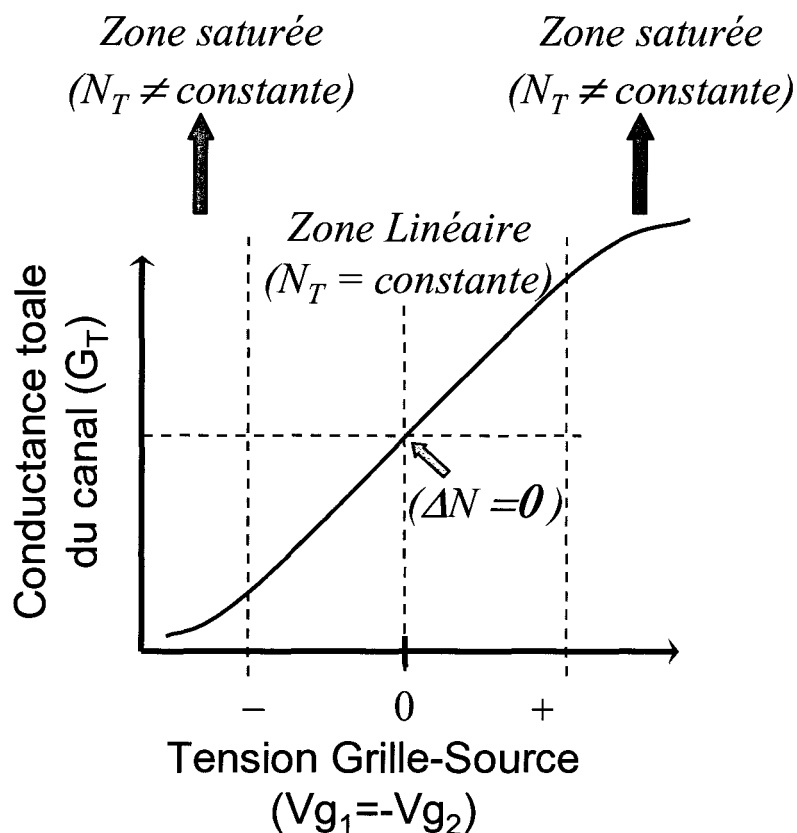


Figure I-27 : Évolution schématique de la conductance du canal du transistor VMT en fonction de la polarisation des grilles  $V_g$  ( $V_g = V_{g1} = -V_{g2}$ ).

L'évolution de la conductance du transistor VMT peut se décomposer en une zone linéaire et deux zones saturées. La zone linéaire correspond à la zone optimale de fonctionnement du VMT puisque la concentration totale d'électrons du canal reste constante.

Cette relation linéaire entre la conductance du canal et la polarisation des grilles est attendue tant que la variation de  $\Delta N$  en fonction de  $V_g$  ( $V_g = V_{g1} = -V_{g2}$ ) reste linéaire ce qui revient à dire que les deux canaux sont découplés ;  $V_{g1}$  commande uniquement la densité d'électrons  $N_H$  et  $V_{g2}$  commande uniquement la densité d'électrons  $N_L$ .

Dès lors que le transfert des électrons entre les deux canaux est terminé ( $\Delta N = |N_T|$ ), la conductance du transistor VMT atteint la saturation et la condition  $N_T = \text{constante}$  n'est plus vérifiée. A ce moment là, le transistor VMT a un fonctionnement semblable à celui d'un transistor HEMT standard.

De manière générale, l'équation du courant drain s'exprime par :

$$I_d = q \cdot W \cdot [n_H \cdot v_H + n_L \cdot v_L] \quad (12)$$

La densité d'électrons  $n_H$  et  $n_L$  dépendent à la fois de  $V_{g1}$  et  $V_{g2}$ . Cependant, si les puits sont découplés (épaisseur de canal importante) et si la densité totale d'électrons  $n_T$  est élevée,  $n_H$  ne dépend que de  $V_{g1}$  et  $n_L$  ne dépend que de  $V_{g2}$ .

Autour d'un point de fonctionnement  $V_{g1o}$  et  $V_{g2o}$ , les densités d'électrons s'expriment par :

$$n_H(V_{g1o}, \Delta v_{g1}) = n_H(V_{g1o}) + \frac{\partial n_H}{\partial v_{g1}} \Delta v_{g1} \quad (13)$$

$$n_L(V_{g2o}, \Delta v_{g2}) = n_L(V_{g2o}) + \frac{\partial n_L}{\partial v_{g2}} \Delta v_{g2} \quad (14)$$

$\Delta V_{g1}$  et  $\Delta V_{g2}$  étant respectivement des variations des potentiels de la grille1 et de la grille2 autour du point de fonctionnement.

Le courant  $I_d$  s'écrit alors:

$$I_d = q \cdot W \cdot [n_H(V_{g1o}) \cdot v_H + n_L(V_{g2o}) \cdot v_L + \frac{\partial n_H}{\partial v_{g1}} \cdot \Delta v_{g1} \cdot v_H + \frac{\partial n_L}{\partial v_{g2}} \cdot \Delta v_{g2} \cdot v_L] \quad (15)$$

Ainsi la variation  $\Delta I_d$  correspondante est :

$$\Delta I_d = q \cdot W \cdot \left[ \frac{\partial n_H}{\partial v_{g1}} \cdot \Delta v_{g1} \cdot v_H + \frac{\partial n_L}{\partial v_{g2}} \cdot \Delta v_{g2} \cdot v_L \right] \quad (16)$$

Lorsque les grille son polarisées en opposition de phase (mode différentiel), on obtient :

$$\Delta v_{g1} = -\Delta v_{g2} = \Delta v_{gd} \quad (17)$$

$$D'où \Delta I_d = q \cdot W \cdot \left[ \frac{\partial n_H}{\partial v_{g1}} \cdot v_H - \frac{\partial n_L}{\partial v_{g2}} \cdot v_L \right] \cdot \Delta v_{gd} \quad (18)$$

Si le système est entièrement symétrique, nous avons aussi :

$$\frac{\partial n_H}{\partial V_{g1}} = \frac{\partial n_L}{\partial V_{g2}} = \frac{\partial n}{\partial V_g} \quad (19)$$

La transconductance différentielles  $Gm_d$  et la capacité différentielle  $Cgs_d$  valent donc respectivement :

$$Gm_d = \frac{\Delta Id}{\Delta Vg_d} = q.W.\frac{\partial n}{\partial Vg}(v_H - v_L) \quad (20)$$

$$Cgs_d = \frac{\Delta Qg}{\Delta Vg_d} = W.Lg.\frac{\Delta n_T}{\Delta Vg_d} \quad (21)$$

Il apparaît alors que si  $n_T = \text{constante}$  (zone linéaire de la figure I-27), la fréquence de coupure intrinsèque en mode différentielle  $f_c = \frac{Gm_d}{2.\pi.Cgs_d}$  tend vers l'infini puisque  $Cgs_d$  est nulle et  $Gm_d$  est finie.

Il devient alors envisageable d'obtenir de très hautes fréquences de fonctionnement avec ce dispositif. **La limitation fréquentielle sera alors liée au temps de transit des électrons entre les deux canaux.**

#### *IV-3-b-les autres structures à modulation de vitesse*

A partir du concept du transistor VMT proposé par Sakaki, de nombreux dispositifs basés sur la modulation de mobilité (ou de vitesse) ont été envisagés. Dans ce paragraphe, nous allons donc recenser l'ensemble des systèmes pouvant fonctionner sur ce principe.

##### *IV-3-b-1) Modulation par déformation de la fonction d'onde*

La séparation spatiale des électrons et des donneurs ionisés obtenue dans les hétérojonctions III-V à modulation de dopage permet d'offrir de meilleures propriétés de transport dans le canal grâce à l'amélioration de la mobilité des électrons dans celui-ci. La distance entre le gaz bidimensionnel d'électrons et les donneurs ionisés est l'un des paramètres influençant la mobilité des électrons dans une hétérojonction à modulation de dopage. En effet, la réduction de cette distance augmente très fortement les interactions coulombiennes avec les donneurs ionisés. Dans une hétérojonction, cette distance est réglable via l'épaisseur de l'espaceur. A titre d'exemple, la figure I-28 représente l'évolution expérimentale de la mobilité des électrons en fonction de la température, dans une hétérojonction à modulation de dopage AlGaAs/GaAs, pour différentes valeurs de l'épaisseur de l'espaceur. On peut observer une influence importante de l'espaceur sur la mobilité des électrons surtout à basse température.

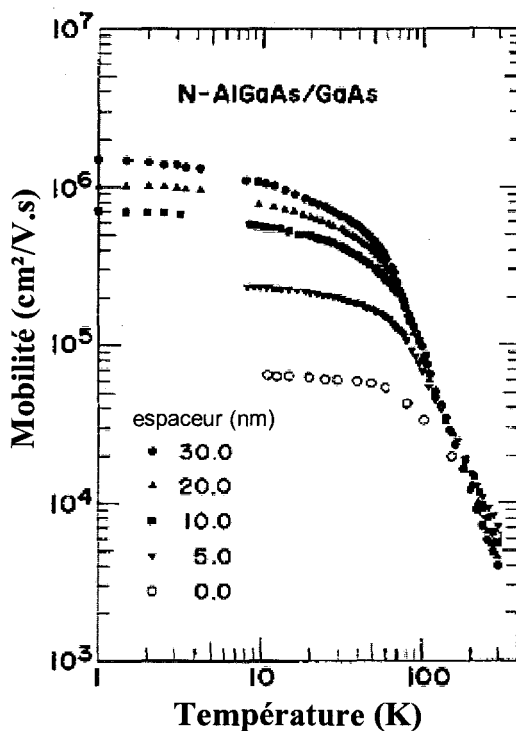


Figure I-28 : Mobilité des électrons mesurée en fonction de la température dans une hétérojonction à modulation de dopage AlGaAs/GaAs pour différentes valeurs de l'épaisseur de l'espaceur .

C'est sur cette observation qu' Hirakawa *et al.* ont proposé une nouvelle méthode de modulation de la mobilité des électrons [Hirakawa1]. Etant donné l'influence de la distance entre les électrons du canal et les donneurs ionisés sur la mobilité des électrons, K. Hirakawa envisagea de moduler « virtuellement » l'épaisseur de l'espaceur d'une hétérojonction à modulation de dopage AlGaAs/GaAs grâce à l'électrode de commande. Pour cela, Hirakawa *et al.* se sont basés sur des études menées par Hamaguchi *et al.* sur le contrôle de la fonction d'onde  $\psi_0$  dans un puits quantique via l'électrode de grille. [Hamaguchi1], [Miyatsuji1]

Le principe consiste alors à éloigner ou à rapprocher la fonction d'onde  $\psi_0(z)$  des électrons du canal de l'hétérointerface AlGaAs/GaAs pour réduire ou, au contraire, accentuer les interactions coulombiennes avec les donneurs ionisés. Par ailleurs, l'éloignement du gaz d'électrons de l'hétérointerface réduit l'influence des interactions liées à la rugosité d'interface. Le déplacement de la fonction d'onde module ainsi la mobilité du gaz bidimensionnel d'électrons. Néanmoins, afin que ce dispositif puisse fonctionner sur le principe de la modulation de vitesse, il est indispensable de rajouter une seconde grille. En effet, la commande avec une seule grille permet de déplacer la fonction d'onde des électrons mais entraîne inévitablement une modulation de la densité d'électrons dans le canal puisque le

niveau de Fermi se rapproche plus ou moins du bas de la bande de conduction du canal. L'ajout d'une seconde grille, placée en vis-à-vis par rapport à la première grille, est donc nécessaire afin de préserver un fonctionnement à densité d'électrons constante. La figure I-29 représente la bande de conduction de l'hétérostructure AlGaAs/GaAs pour deux polarisations de grilles différentes. Le principe du déplacement de la fonction d'onde à  $N_s = \text{constante}$  est aussi représenté.

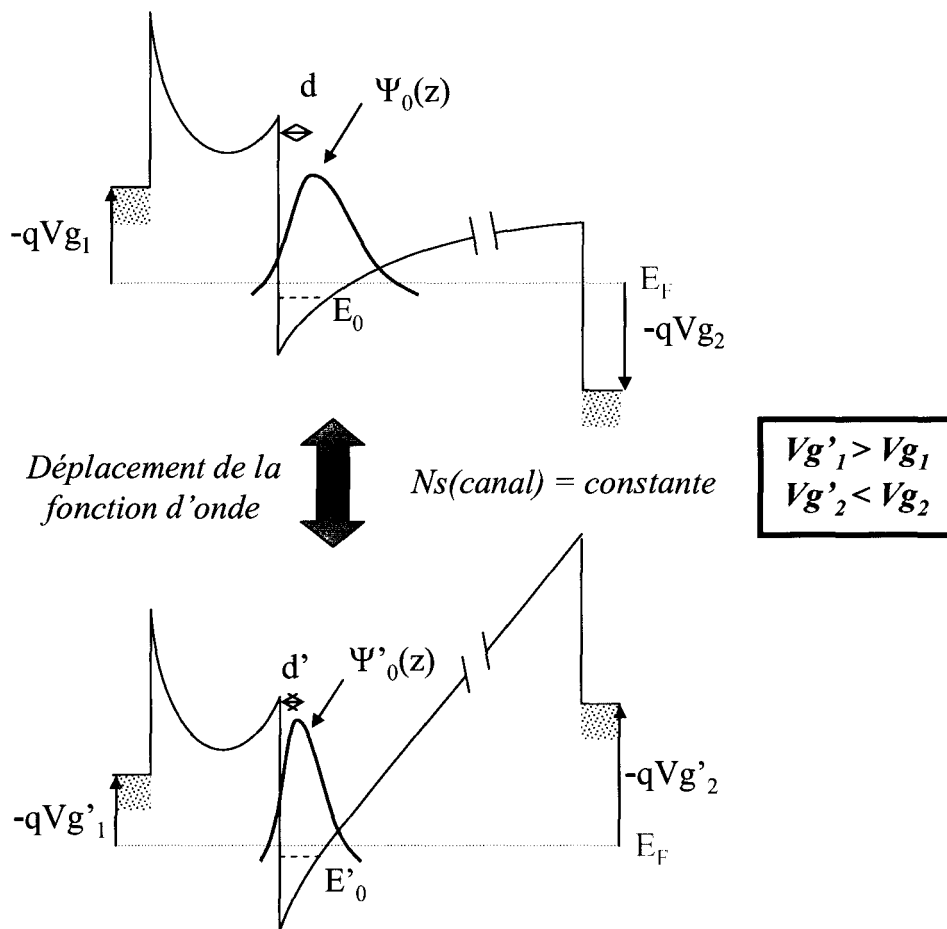


Figure I-29: Principe de la modulation par le déplacement de la fonction d'onde. La densité d'électrons dans le canal  $N_s$  est maintenue à une valeur constante grâce à l'ajout de la seconde grille  $Vg_2$ .

A notre connaissance, les seuls résultats expérimentaux ont été obtenus avec une hétérostructure à modulation de dopage  $Al_{0.3}Ga_{0.7}As/GaAs$  [Hirakawa1]. La première grille ( $Vg_1$ ) consiste en une évaporation d'Aluminium sur la barrière AlGaAs dopée et la seconde grille est réalisée par un amincissement du substrat GaAs à  $120\mu m$  suivie d'une évaporation d'Or ( $Vg_2$ ) sur le substrat restant. Ce dispositif est représenté sur la figure I-30.

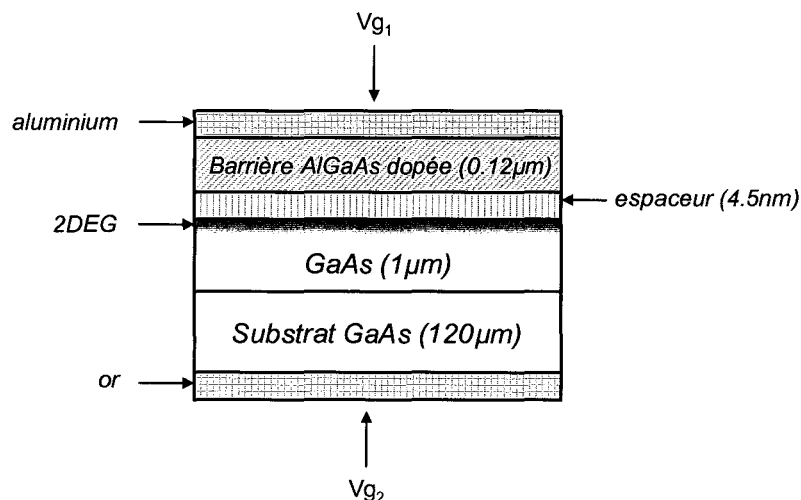


Figure I-30: Structure du dispositif à modulation de mobilité par déplacement de la fonction d'onde [Hirakawa1].

Les mesures de mobilité et de densité de charge ont été effectuées par effet Hall. Malgré des valeurs excessives de polarisation de la grille 2 ( $+200\text{V} < V_{g2} < -120\text{V}$ ) dues à la distance entre la seconde grille et le gaz d'électrons du canal, des résultats très intéressants ont pu être obtenus. Sur la figure I-31, nous représentons l'évolution de la mobilité en fonction de la densité d'électrons dans le canal pour différentes valeurs de  $V_{g2}$  à une température de 8.9K. La variation de concentration  $N_s$  dans le canal s'effectue par le biais de la grille 1.

La première constatation que l'on peut observer est la dépendance de la valeur de la mobilité avec la densité de charge  $N_s$ . En effet, la mobilité a tendance à décroître avec la réduction de la densité d'électrons dans le canal pour une tension de grille 2 fixée. Ceci s'explique par le phénomène d'écrantage des interactions sur impuretés ionisées pour des valeurs de  $N_s$  importantes.

Par ailleurs, cette figure montre, incontestablement, le phénomène de modulation de mobilité observé dans ce dispositif puisque à densité d'électrons constante, une variation de la mobilité des porteurs peut être obtenue en polarisant différemment les deux électrodes de grille. On peut remarquer que plus la densité d'électrons dans le canal est faible, plus la variation relative de la mobilité des porteurs est importante. De cette manière, la variation maximale de la mobilité est de l'ordre de 56% pour une densité d'électrons de  $2 \cdot 10^{11} \text{ cm}^{-2}$ .

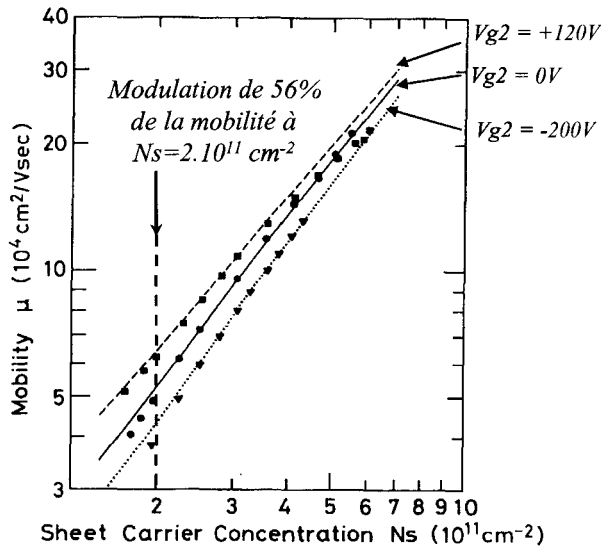


Figure I-31: Évolution de la mobilité des électrons du canal ( $\mu$ ) en fonction de la densité de porteurs ( $N_s$ ) paramétrée en  $V_{g2}$ . L'électrode de grille 1 ( $V_{g1}$ ) permet la variation de  $N_s$ .

Malheureusement, les deux inconvénients majeurs de ce dispositif sont d'une part, la température de fonctionnement du composant et d'autre part, la faible valeur de la densité d'électrons dans le canal. En effet, un tel dispositif ne peut fonctionner à température ambiante puisque la contribution des interactions coulombiennes sur la valeur de la mobilité est négligeable à cette température. De plus, les électrons étant sur plusieurs niveaux d'énergie quantique à température ambiante, l'efficacité de déplacement des fonctions d'onde par les grilles sera beaucoup plus faible. Par ailleurs, il se peut que le courant de drain récupéré dans ce dispositif soit indétectable compte tenu de la faible valeur de la densité d'électrons dans le canal.

#### IV-3-b-2) Modulation par transfert d'électrons intervallée

Le principe de ce dispositif, proposé par les laboratoires *NTT* [**Maezawa1**], consiste à utiliser les propriétés de transport intrinsèques de l'alliage ternaire  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ , en fonction du pourcentage d'aluminium, pour moduler la masse effective des électrons.

En effet, suivant la composition d'aluminium dans l'  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ , cet alliage peut être soit un matériau à gap direct, c'est-à-dire que le minimum d'énergie de bande de conduction et le maximum d'énergie de bande de valence se situe au centre de la zone de Brillouin, soit un matériau à gap indirect ; dans ce cas le minimum d'énergie de bande de conduction et le maximum d'énergie de bande de valence ne se situe pas dans la même vallée et donc n'ont



pas le même vecteur d'onde  $\vec{k}$ . La figure I-32 représente l'évolution des minimums d'énergie des vallées  $\Gamma$ , L et X par rapport à l'énergie maximale de la bande de valence, suivant la composition d'aluminium de l'alliage ternaire  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ .

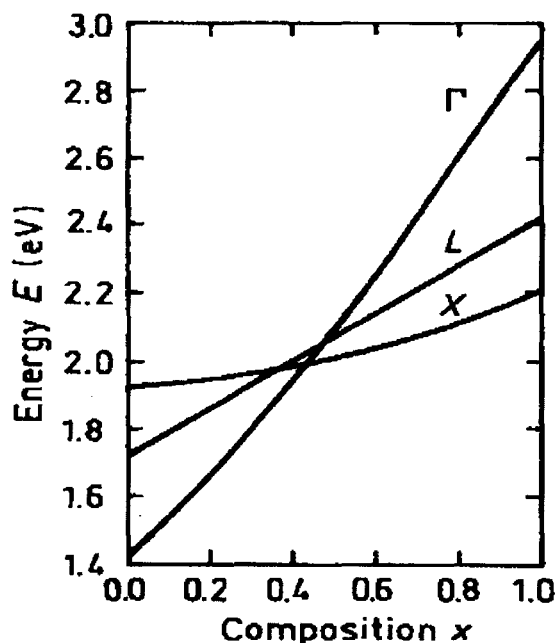


Figure I-32 : Évolution des minimums d'énergie des vallées  $\Gamma$ , L et X par rapport à l'énergie maximale de la bande de valence de l'alliage  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  en fonction du pourcentage d'aluminium.

Sur cette figure, on peut observer que la transition du matériau à gap direct vers un gap indirect s'effectue pour un pourcentage d'aluminium de 45% et, dans ce cas, le minimum de bande de conduction se situe en vallée X.

De ce fait, le concept original consiste à réaliser un transistor dont le canal est composé des deux extremums de l'alliage ternaire  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  : l'alliage binaire GaAs (gap direct) et de l'alliage binaire AlAs (gap indirect). La figure I-33 représente la structure de bande du GaAs et de l'AlAs.

En examinant les structures de bande de ces deux alliages binaires, on peut remarquer que la courbure du minimum de bande de conduction du GaAs en vallée  $\Gamma$  est nettement plus prononcée que celle du minimum de bande de conduction de l'AlAs en vallée X. Par ailleurs, la masse effective des électrons étant inversement proportionnelle à la courbure de bande par la relation :

$$m_e^* = \frac{\hbar^2}{\partial^2 E / \partial k^2} \quad (22)$$

Où  $\hbar$  représente la constante de Planck réduite,  $m_e^*$  la masse effective des électrons,  $E$  l'énergie totale des électrons et  $k$  le vecteur d'onde.

Il en résulte que le canal du transistor est constitué de deux matériaux de masse effective très différente. La variation de la masse effective de ces deux alliages binaires implique donc une variation de mobilité des électrons dans ce canal.

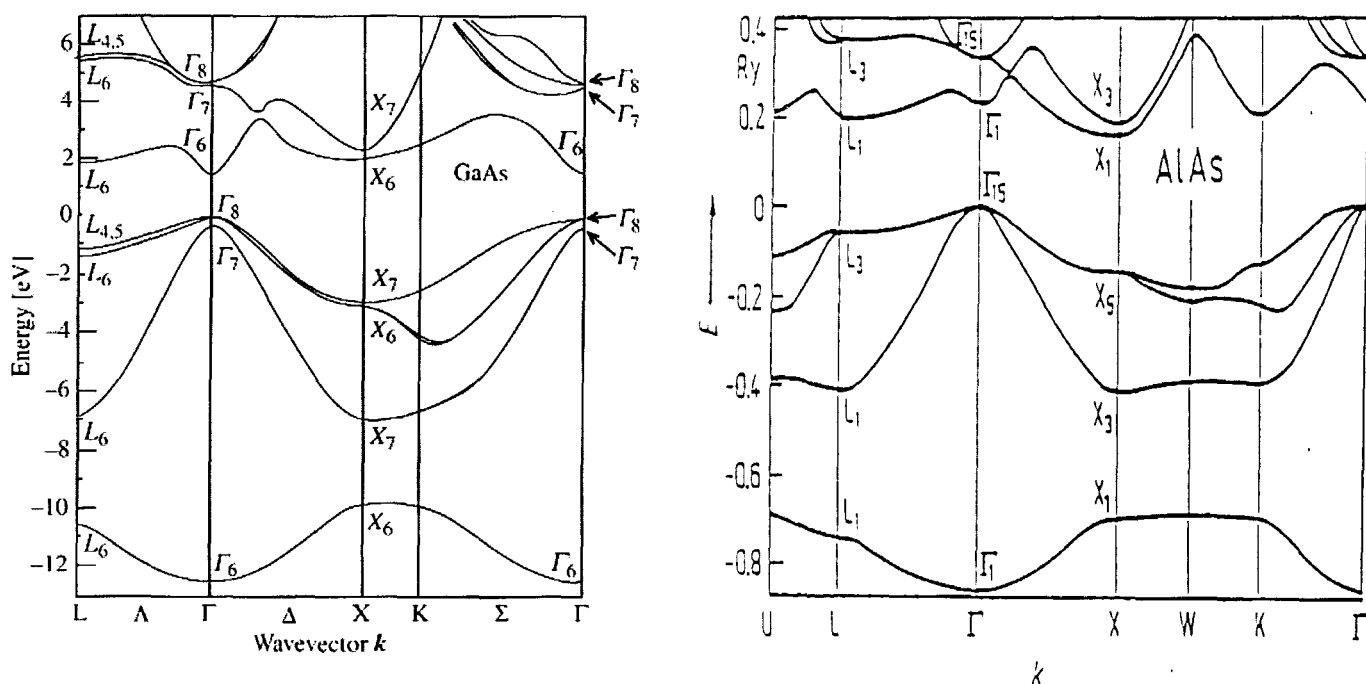


Figure I-33 : Structure de bande  $E(\vec{k})$  du GaAs et de l'AlAs.

Le transistor à effet de champ, proposé par les laboratoires NTT, correspond donc à une double hétérojonction AlGaAs/GaAs-AlAs/AlGaAs. Sur la figure I-34, nous représentons la structure de bande de conduction de cette double hétérojonction en vallée  $\Gamma$  (figure I-34-a), en vallée X (figure I-34-b) et en vallée  $\Gamma$  pour le GaAs et en vallée X pour l'AlAs (figure I-34-c).

Le principe consiste alors à moduler le courant drain grâce au transfert d'électrons entre la vallée  $\Gamma$  du GaAs et la vallée X de l'AlAs via les électrodes de commande ( $Vg1$  et  $Vg2$ ).

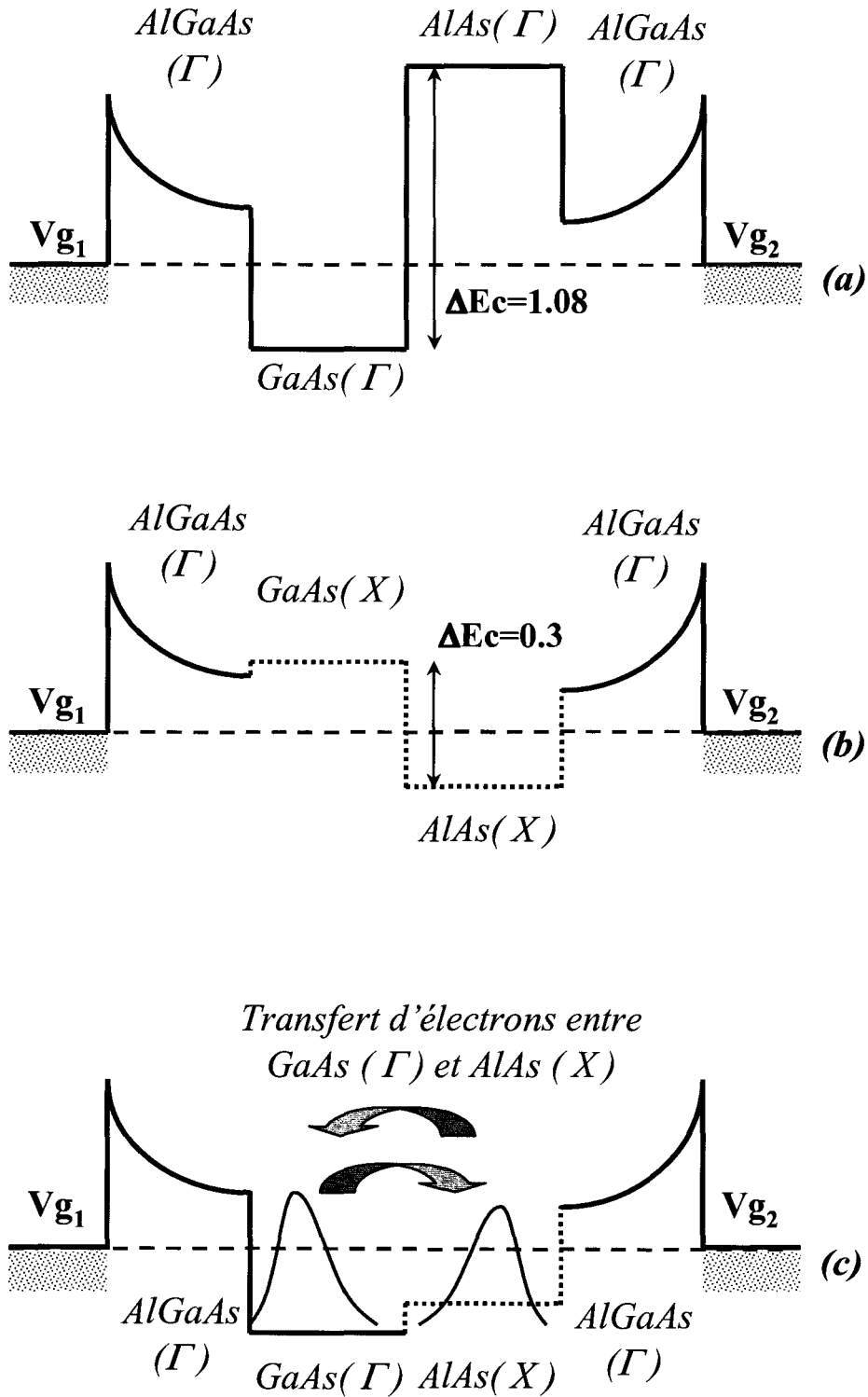


Figure I-34: Bande de conduction de la double hétérojonction  $Al_{0.45}Ga_{0.55}As/GaAs/AlAs/Al_{0.45}Ga_{0.55}As$  à l'équilibre thermodynamique : (a)  $\rightarrow$  bas de la bande de conduction en vallée  $\Gamma$ , (b)  $\rightarrow$  bas de la bande de conduction en vallée  $X$  (c)  $\rightarrow$  bas de la bande de conduction en vallée  $\Gamma$  pour le canal GaAs et en vallée  $X$  pour le canal AlAs

Outre ce transfert d'électrons intervallée, on peut observer que le confinement des électrons dans le canal GaAs en vallée  $\Gamma$  est très important grâce à la hauteur de barrière  $\Delta E_{c\Gamma-\Gamma}$  de 1.08 eV entre GaAs( $\Gamma$ ) et AlAs( $\Gamma$ ). Il en est de même pour les électrons confinés dans le canal d'AlAs en vallée X ( $\Delta E_{cX-X} = 0.3\text{eV}$ )

Les avantages de ce dispositif sont les suivants :

- (i) *La température de fonctionnement* : ce composant peut fonctionner à température ambiante puisque la modulation de mobilité est liée uniquement aux propriétés intrinsèques des matériaux.
- (ii) *Le ratio de mobilité obtenu dans le canal* : La mobilité des électrons dans le GaAs en volume non-dopé à 300K est approximativement  $8000\text{ cm}^2/\text{V.s}$  ; tandis que la mobilité des électrons dans l'AlAs est de l'ordre de  $185\text{ cm}^2/\text{V.s}$ . Le rapport de mobilité ( $\mu_{\text{GaAs}}/\mu_{\text{AlAs}}$ ) obtenu dans le canal est donc aux alentours de 43. De plus, une structure de couche optimale aura tendance à augmenter ce ratio améliorant ainsi l'efficacité de contrôle du courant drain.
- (iii) *Sa gamme de fonctionnement* : La modulation de la masse effective permet de travailler avec des champs électriques longitudinaux importants et avec des porteurs plus énergétiques. En effet, dans le dispositif proposé par Sakaki, la modulation de mobilité s'effectue grâce à l'augmentation des interactions sur impureté dans le canal. Malheureusement, cette interaction n'est uniquement prédominante qu'à bas champ puisque la vitesse de saturation des porteurs dans un matériau est indépendante du dopage de celui-ci.

Néanmoins, plusieurs inconvénients subsistent dans cette structure. Le canal étant composé d'un matériau de très forte concentration d'Aluminium, les électrons auront tendance à être piégés par les centres DX de l'AlAs ce qui nuirait au transfert d'électrons intervallée. Par ailleurs, le transfert entre la vallée  $\Gamma$  du GaAs et la vallée X de l'AlAs nécessite obligatoirement une modification du vecteur d'onde  $\vec{k}$ . Or, cette redistribution du vecteur d'onde s'effectue par l'intermédiaire des interactions avec le réseau cristallin ou avec les défauts du matériau qui sont, par nature, stochastiques. Cette redistribution du

vecteur d'onde dans l'espace des  $\vec{k}$  peut donc constituer l'une des limitations fréquentielles de ce type de composant.

#### IV-4-CHOIX DES STRUCTURES ÉTUDIÉES DURANT CES TRAVAUX

Nous avons vu, dans les paragraphes précédents, un ensemble de solutions dites « alternatives » pour remédier aux problèmes de « *scaling* » des transistors HEMT standards. La réalisation de ces nouveaux composants semble être très intéressante pour la montée en fréquence des futurs systèmes de communication optique. C'est pourquoi, durant ces travaux de recherche, nous nous sommes intéressés particulièrement à deux composants alternatifs :

Le Transistor de type HEMT Double-Grille (DG-HEMT).

Le Transistor de type HEMT à Modulation de Vitesse (VMT).

L'un des points communs de ces deux composants correspond à la technologie de fabrication. En effet, ces composants nécessitent deux grilles placées en vis-à-vis pour pouvoir fonctionner de manière optimale. La réalisation de la seconde grille nécessite obligatoirement un report du substrat initial sur un substrat hôte (procédé de fabrication « face arrière »). Ainsi, la mise au point d'un seul procédé de fabrication technologique de report de substrat permettra de concevoir à la fois le transistor DG-HEMT et le transistor VMT.

En ce qui concerne le choix des matériaux utilisés pour concevoir ces nouveaux composants, nous nous sommes intéressés exclusivement à la filière AlInAs/GaInAs adaptée en maille sur substrat InP. Puisque cette filière est relativement maîtrisée au sein du laboratoire *IEMN*, d'un point de vue de la croissance épitaxiale d'hétérojonctions mais aussi des procédés de fabrication technologique. De plus, l'utilisation d'une filière adaptée en maille a le mérite d'éliminer d'éventuels effets de contrainte intervenant dans les filières pseudomorphiques ou métamorphiques. Par la suite, l'ensemble des résultats présentés dans ce manuscrit sera obtenu sur la filière AlInAs/GaInAs adaptée en maille sur substrat InP.

Pour le transistor à modulation de vitesse, notre choix s'est porté selon le cahier des charges suivant :

- (i) le transistor VMT doit pouvoir fonctionner à température ambiante.
- (ii) Le transistor VMT doit utiliser le couple de matériau InGaAs/InAlAs adapté en maille sur InP.

Sur l'ensemble des composants VMT proposés dans la littérature, seul le concept de VMT proposé par Sakaki répond au cahier des charges précédent. En effet, la modulation par déformation de la fonction d'onde fonctionne uniquement à basse température et la modulation par transfert intervallée nécessite un couple de matériau ayant un gap direct et un gap indirect.

Le transistor VMT étudiée au cours de ces travaux de recherche correspond donc au transistor dont la modulation de mobilité des électrons dans le canal s'opère par la compensation d'impuretés donneuses et accepteuses.

## V- OUTILS D'ANALYSE NUMÉRIQUE DES STRUCTURES DG-HEMT ET VMT

Ce paragraphe a pour but de définir les outils d'analyse numérique que nous avons utilisés pour mener à bien nos travaux sur les structures alternatives. En effet, la simulation physique est une partie essentielle pour l'étude de nouvelles structures telles que le DG-HEMT et le VMT puisqu'elle permet d'appréhender le fonctionnement de nos composants mais aussi d'optimiser leurs structures de couches.

Nous avons donc utilisé deux outils d'analyse selon la nature du composant à étudier, selon l'analyse que nous voulions effectuer sur ce composant et selon sa topologie (grilles longues ou grilles courtes).

### V-1-L'OUTILS D'ANALYSE : MONTE CARLO

Les modèles physiques particuliers permettent une analyse très précise du fonctionnement des composants grâce à leurs faibles approximations effectuées pour la résolution de l'équation de transport de Boltzmann. La réduction des dimensions des composants entraîne l'apparition d'effets nouveaux tels que la dynamique des porteurs chauds ou les effets de survitesse. Ces effets ne peuvent être correctement décrits par des modèles simples de dérive-diffusion. C'est pourquoi, nous avons eu recours à un modèle d'analyse bidimensionnel de type Monte Carlo couplé avec l'équation de Poisson pour l'étude de nos structures dont les dimensions sont en deçà du micromètre.

Cette procédure d'analyse Monte Carlo a été développée à l'université de Salamanque au sein du département de physique appliqué [Gonzalez1], [Mateos2]. Nous nous sommes donc positionnés en tant que simple utilisateur du logiciel en s'assurant de la validité des résultats obtenus. Nous allons donc brièvement rappeler le principe général de la méthode Monte Carlo en indiquant les spécificités et les limitations du modèle utilisé.

#### *V-1-a-principe de la méthode Monte Carlo*

Les électrons de la bande de conduction subissent au cours du temps, à la fois l'action extérieure du champ électrique et l'effet des interactions relatives à la présence du réseau cristallin et de ses défauts tel que les impuretés ionisées. L'évolution de leur comportement temporel (énergie, vitesse, position) nécessite la résolution de l'équation de transport de Boltzmann :

$$\frac{\partial f(\vec{r}, \vec{k}, t)}{\partial t} + \frac{\partial f(\vec{r}, \vec{k}, t)}{\partial r} + \frac{q\vec{E}}{\hbar} \cdot \frac{\partial f(\vec{r}, \vec{k}, t)}{\partial k} = \left[ \frac{\partial f(\vec{r}, \vec{k}, t)}{\partial t} \right]_{\text{Collisions}} \quad (23)$$

Cette équation est décrite par la fonction de distribution  $f(\vec{r}, \vec{k}, t)$  représentant la probabilité, à l'instant  $t$ , de trouver un électron de vecteur d'onde  $k$  à  $d^3k$  près et à la position  $r$  à  $d^3r$  près. Le terme de droite de l'équation (23) représente l'ensemble des interactions que peuvent subir les électrons dans le semi-conducteur. La limite de validité de l'équation de transport de Boltzmann apparaît lorsque les dimensions des composants sont de l'ordre de la longueur d'onde de De Broglie. A ce moment là, l'apparition de phénomènes quantiques entraîne l'application de la relation d'incertitude d'Heisenberg

$$\Delta \vec{r} \cdot \Delta \vec{p} \geq \hbar \quad (24)$$

Où  $p$  correspond à la quantité de mouvement de l'électron ( $\vec{p} = m \cdot \vec{v} = \hbar \vec{k}$ ) et  $\vec{r}$  la position de l'électron dans l'espace réel.

L'expression (24) indique qu'un électron ne peut avoir, à la fois, contrairement à ce que suppose la mécanique classique, une position et une vitesse parfaitement définies d'où l'incompatibilité avec l'équation de Boltzmann (équation n°23).

La méthode Monte Carlo, appliquée à l'étude du transport électronique dans les semi-conducteurs, permet de résoudre l'équation de transport de Boltzmann. Celle-ci consiste à suivre simultanément au cours du temps l'évolution, dans l'espace réel et dans l'espace réciproque, un ensemble d'électrons représentatif de la population électronique. Le mouvement des électrons est constitué d'une suite de vols libres durant l'intervalle de temps  $\Delta t$ , entrecoupés d'interactions supposées instantanées. Pendant le vol libre, chaque électron, caractérisé par son énergie  $\varepsilon$  et son vecteur d'onde  $\vec{k}$ , subit uniquement l'action du champ électrique local  $\vec{E}$ . Ceci se traduit par une variation temporelle du vecteur d'onde telle que :

$$\frac{d\vec{k}}{dt} = \frac{q \cdot \vec{E}}{\hbar} \quad (25)$$



L'intégration de cette équation fournit l'évolution temporelle du vecteur d'onde  $\vec{k}(t)$  et la connaissance de la structure de bande  $\varepsilon(\vec{k})$  permet de déterminer l'énergie totale de l'électron.

Finalement, la vitesse et la position des électrons sont déduites grâce aux expressions suivantes :

$$\vec{v} = \frac{1}{\hbar} \cdot \frac{\partial \varepsilon(\vec{k})}{\partial \vec{k}} \quad (26)$$

$$\vec{r} = \vec{r}_0 + \int_{t_0}^{t_0+\Delta t} \vec{v}(t) \cdot dt \quad (27)$$

Où  $\vec{r}_0$  représente la position initiale de l'électron à l'instant  $t_0$ .

### V-1-b-Les interactions

Dans la méthode Monte Carlo, les interactions sont des phénomènes aléatoires, décrites par des densités de probabilité  $S_i(\vec{k}, \vec{k}')$  de transition d'un état  $\vec{k}$  vers un état  $\vec{k}'$  pour le mécanisme d'interaction indicé  $i$ . L'effet de l'interaction sur l'électron est de modifier instantanément son vecteur d'onde mais aussi son énergie dans le cas d'une interaction inélastique.

Les interactions prises en compte dans notre simulateur sont données dans le tableau I-3

<b>Interactions</b>	<b>Type</b>
*Optique polaire	Inélastique
*Optique non polaire	Inélastique
*Intervallée	Inélastique
*Acoustique	Elastique
*Sur impuretés ionisées	Elastique
*Sur alliage	Elastique

Tableau I-3 : Liste des interactions utilisées dans la procédure Monte Carlo.

*V-1-c-spécificités et limites du modèle employé*

\*La première spécificité de la procédure Monte Carlo que nous utilisons, indispensable pour les structures HEMT, est l'introduction du principe d'exclusion de Pauli. En effet, dans une procédure Monte Carlo classique, on considère que tous les états finaux (après interaction) sont libres. Or, dans les composants de type HEMT, la forte accumulation d'électrons à l'interface entre la barrière et le canal entraîne une dégénérescence du matériau constituant le canal. Ainsi, à cet endroit du canal, le niveau de Fermi se situe au dessus de la bande de conduction. Il faut donc prendre en compte le principe d'exclusion de Pauli. Dans la procédure Monte Carlo, ce principe est traité de manière phénoménologique en modifiant les probabilités d'interactions.

\*La seconde spécificité est la prise en compte de paramètres technologiques propres aux structures HEMT :

-Prise en compte du fossé de grille dont l'influence est de modifier considérablement la carte de champ électrique dans la zone active du composant.

-Prise en compte d'un diélectrique de passivation.

-Prise en compte des états d'interface à l'endroit du fossé de grille et sur la couche de contact ohmique. Ces états d'interface sont modélisés par une densité surfacique de charge négative  $Q_s$  placée sur la surface du semiconducteur. Celle-ci peut provoquer une désertion partielle d'électrons dans le canal.

Bien que la procédure Monte Carlo que nous utilisons permette d'étudier les phénomènes de transport de manière quasi-exacte malgré quelques approximations usuelles (modèle de Littlejohn pour la structure de bande), nous sommes confrontés à deux limitations principales. En effet, cette procédure ne prend en compte aucun effet quantique de manière générale. Ceci est pénalisant du fait de la non prise en compte de la quantification des états d'énergie dans le canal des transistors HEMT et des phénomènes de courant de grille par effet tunnel. De plus, l'ionisation par impact n'est pas prise en compte dans notre procédure.

Cependant, dans la mesure où l'objectif de la simulation n'est pas de comparer les résultats expérimentaux avec les résultats Monte Carlo mais plutôt d'évaluer l'influence de la modification de certains paramètres tels que les épaisseurs de couches ou la longueur de grille, nous pouvons considérer que la procédure Monte Carlo permet d'obtenir une première vue d'ensemble du fonctionnement du composant et d'appréhender son optimisation. La réalisation technologique reste la seule solution de vérifier la fonctionnalité des dispositifs.

## V-2-L'OUTILS D'ANALYSE : ATLAS de SILVACO.

Le logiciel ATLAS permet, comme la procédure Monte Carlo, l'étude de dispositif semi-conducteur en général. Cependant, l'intérêt de l'utilisation d'ATLAS réside en la modélisation de l'équation de transport de Boltzmann (E.T.B). En effet, l'E.T.B. est résolue soit à l'aide d'un modèle bidimensionnel de Dérive-Diffusion soit par un modèle Hydrodynamique bidimensionnel. Ces modèles sont, cependant, moins précis que la procédure Monte Carlo mais ils ont l'avantage d'être beaucoup plus rapides et moins « gourmands » en temps de calcul et en place mémoire que la simulation Monte Carlo.

De plus, ATLAS offre un ensemble de sous outils tels que la résolution auto cohérente de l'équation de Schrödinger et de Poisson ou la résolution de l'équation de la chaleur (Loi de Fourier). Ainsi, dans ce paragraphe, nous allons décrire ces outils puisqu'ils ont été employés pour l'étude du transistor Double-Grille et du transistor VMT.

### *V-2-a-Simulation des Composants*

De manière générale, l'outil ATLAS permet d'étudier des dispositifs à deux ou trois dimensions. Pour cela, ATLAS se base sur la résolution d'un ensemble d'équations fondamentales reliant le potentiel électrostatique et la densité de charge couplé à une équation de transport :

→ *L'équation de Poisson* reliant les variations du potentiel électrostatique à la densité de charge locale

$$\nabla^2 . V = -\frac{\rho}{\epsilon} \quad (28)$$

Où  $V$  représente le potentiel électrostatique,  $\epsilon$  la permittivité locale et  $\rho$  la densité de charge.

→ *Les équations de continuité* reliant la variation temporelle des porteurs à la densité de courant et aux mécanismes de Génération-Recombinaison.

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div}(\vec{J}_n) + G_n - R_n \quad (29)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \operatorname{div}(\vec{J}_p) + G_p - R_p \quad (30)$$

Où  $\vec{J}_n$  et  $\vec{J}_p$  représentent respectivement la densité de courant des électrons et des trous,  $G_n$  ( $G_p$ ) et  $R_n$  ( $R_p$ ) sont respectivement les taux de génération et de recombinaison des électrons (*trous*).

→ L'équation de transport :

En ce qui concerne l'équation de transport, nous avons donc le choix entre un modèle hydrodynamique et un modèle de Dérive-Diffusion. Dans la mesure où les composants que nous avons simulés avec le logiciel ATLAS avaient des longueurs de grille supérieure au micromètre, nous avons choisi le modèle de Dérive-Diffusion. Les équations correspondantes sont les suivantes :

$$\vec{J}_n = q \cdot \mu_n \cdot n \cdot \vec{\nabla} \cdot \Phi_n \quad (31)$$

$$\vec{J}_p = q \cdot \mu_p \cdot p \cdot \vec{\nabla} \cdot \Phi_p \quad (32)$$

Où  $\mu_n$  et  $\mu_p$  sont respectivement la mobilité des électrons et des trous,  $\phi_n$  et  $\phi_p$  sont respectivement le quasi niveau de Fermi des électrons et des trous.

Finalement, toutes les interactions microscopiques pouvant intervenir dans le semi-conducteur sont traitées, dans ATLAS, de manière phénoménologique en proposant un ensemble de modèle de mobilité dépendant du dopage du semi-conducteur, du champ électrique local et de la température du réseau cristallin. Nous verrons, ultérieurement, le modèle de mobilité que nous avons utilisé pour la modélisation de nos structures.

**V-2-b-Simulation de la commande de charge :****Résolution de l'équation de Schrödinger et de Poisson**

Les performances d'un transistor à effet de champ sont très dépendantes d'une part des propriétés de transport de charge dans le canal mais aussi de la loi de commande de charge par l'électrode de grille. C'est pourquoi, il est indispensable d'obtenir cette loi de commande de charge dans nos structures DG-HEMT afin de les optimiser. Ainsi, la résolution auto-cohérente des équations de Schrödinger et de Poisson fournie par le logiciel ATLAS, suivant la direction de croissance de l'hétérostructure (simulation 1D), permet d'accéder au contrôle des charges par la grille ( $N_s=f(V_g)$ ).

**V-2-b-1)Principe**

L'étude de la structure de bande d'une hétérojonction suivant la direction de croissance  $z$  est décrite de manière précise par les équations de Schrödinger (33) et de Poisson (27) :

$$\frac{\hbar^2}{2} \frac{d}{dz} \left[ \frac{1}{m_e^*(z)} \cdot \frac{d\psi_i(z)}{dz} \right] + E_c(z) \cdot \psi_i(z) = E_i \cdot \psi_i(z) \quad (33)$$

$$\frac{d}{dz} \left[ \epsilon(z) \cdot \frac{dV(z)}{dz} \right] + q \cdot [Nd^+(z) - n(z)] = 0 \quad (34)$$

Où  $\psi_i(z)$  représente la fonction d'onde de la sous-bande  $i$ ,  $E_i$  les niveaux d'énergie des sous-bandes  $i$ ,  $V(z)$  le potentiel électrostatique de la structure,  $Nd^+(z)$  et  $n(z)$  sont respectivement la densité volumique d'impuretés ionisées et la densité volumique d'électrons dans la bande de conduction.

La densité d'état quantique s'écrit alors :

$$G(E, z) = \frac{m_e^*(z)}{\pi \hbar^2} \cdot |\psi_i(z)|^2 \text{ pour } E = E_i \text{ et } G(E) = 0 \text{ pour } E \neq E_i \quad (35)$$

Ainsi, en utilisant la statistique de Fermi-Dirac et compte tenu de la discrétisation de la densité d'état, la densité volumique d'électrons s'exprime sous la forme d'une somme sur l'ensemble des niveaux d'énergie quantique :

$$n(z) = \frac{kT}{\pi\hbar^2} \cdot \sum_i m_e^*(z) \cdot \ln[1 + e^{(E_F - E_i)/kT}] \cdot |\psi_i(z)|^2 \quad (36)$$

De ce fait, après la résolution de l'équation de Schrödinger (33), la concentration d'électrons calculée à partir de l'équation (36) est substituée dans l'équation de Poisson (34). La résolution de l'équation de Poisson donne ainsi le nouveau profil du potentiel électrostatique à appliquer de nouveau dans l'équation de Schrödinger. Ce procédé se répète jusqu'à l'obtention de la convergence de ces deux équations.

De cette manière, à la fin de la procédure, nous obtenons le profil de bande de conduction de la structure simulée, la concentration d'électrons, les niveaux d'énergie quantique ainsi que les fonctions d'onde associées.

En ce qui concerne les conditions aux limites appliquées sur chaque extrémité de la structure, celles-ci sont soit définies par un potentiel imposé par une électrode (condition de Dirichlet) soit par l'application d'un champ électrique transversal nul (condition de Neumann).

### ***V-2-b-2) Résultats obtenus sur une hétérostructure standard***

#### ***In<sub>0.52</sub>Al<sub>0.48</sub>As/ In<sub>0.53</sub>Ga<sub>0.47</sub>As.***

Nous avons donc appliqué cette méthode pour la détermination de la commande de charge d'une hétérostructure HEMT adaptée en maille sur substrat InP. La figure I-35 représente la structure de couche simulée ainsi que les paramètres des matériaux utilisés.

<b>Electrode de grille (<math>V_g</math>)</b>		$Ga_{0.47}In_{0.53}As$	$Al_{0.48}In_{0.52}As$	
Barrière ( $Al_{0.48}In_{0.52}As$ ):	120Å	Énergie de bande interdite à 300K ( $E_g$ )	0.73eV	1.47eV
Plan de dopage ( $Al_{0.48}In_{0.52}As$ )	10Å, $N_d=5e19\text{ cm}^{-3}$	Affinité électronique ( $E_\chi$ )	4.50eV	3.98eV
Espaceur ( $Al_{0.48}In_{0.52}As$ ):	50Å	Densité équivalente d'états dans la bande de conduction à 300K ( $N_c$ )	$2.1 \times 10^{17}\text{ cm}^{-3}$	$6 \times 10^{17}\text{ cm}^{-3}$
Canal ( $Ga_{0.47}In_{0.53}As$ ):	200Å	Constante diélectrique relative statique	13.9	12.4
Couche tampon ( $Al_{0.48}In_{0.52}As$ ):	2000Å			

Figure I-35 : Définition de l'hétérostructure du HEMT AlInAs/GaInAs adaptée en maille sur InP.

Ainsi, pour chaque tension appliquée sur l'électrode de grille, le simulateur du logiciel ATLAS calcule l'évolution de la structure de bande de conduction, les différents niveaux quantiques associés à leurs fonctions d'onde et la concentration d'électrons dans l'ensemble de la structure. La figure I-36 illustre les résultats obtenus pour une tension de grille appliquée de -0.3V.

De cette façon, pour chaque polarisation de l'électrode de grille considérée, il est possible de déterminer la densité d'électrons dans le canal de l'hétérostructure AlInAs/GaInAs en intégrant la concentration d'électrons sur l'épaisseur totale du canal.

L'évolution de la commande de charge de l'hétérostructure AlInAs/GaInAs est représentée sur la figure I-37.

*Remarque :* Dans le logiciel ATLAS, les contacts Schottky sont définis par l'intermédiaire du travail de sortie  $E\phi$  du métal utilisé pour l'électrode de grille. De ce fait, il est indispensable de connaître la tension de *built-in* du contact Schottky que l'on obtient expérimentalement afin d'ajuster la valeur de  $E\phi$ .

Ainsi, la tension de *built-in* que nous avons utilisée lors de nos simulations correspond à  $V_b = 0.55V$ . La valeur du travail de sortie de l'électrode de grille est déduite par l'équation suivante :

$$E\phi = q \cdot V_b + E\chi_{Al_{0.48}In_{0.52}As} \quad (37)$$

Soit  $E\phi = 4.53eV$ .

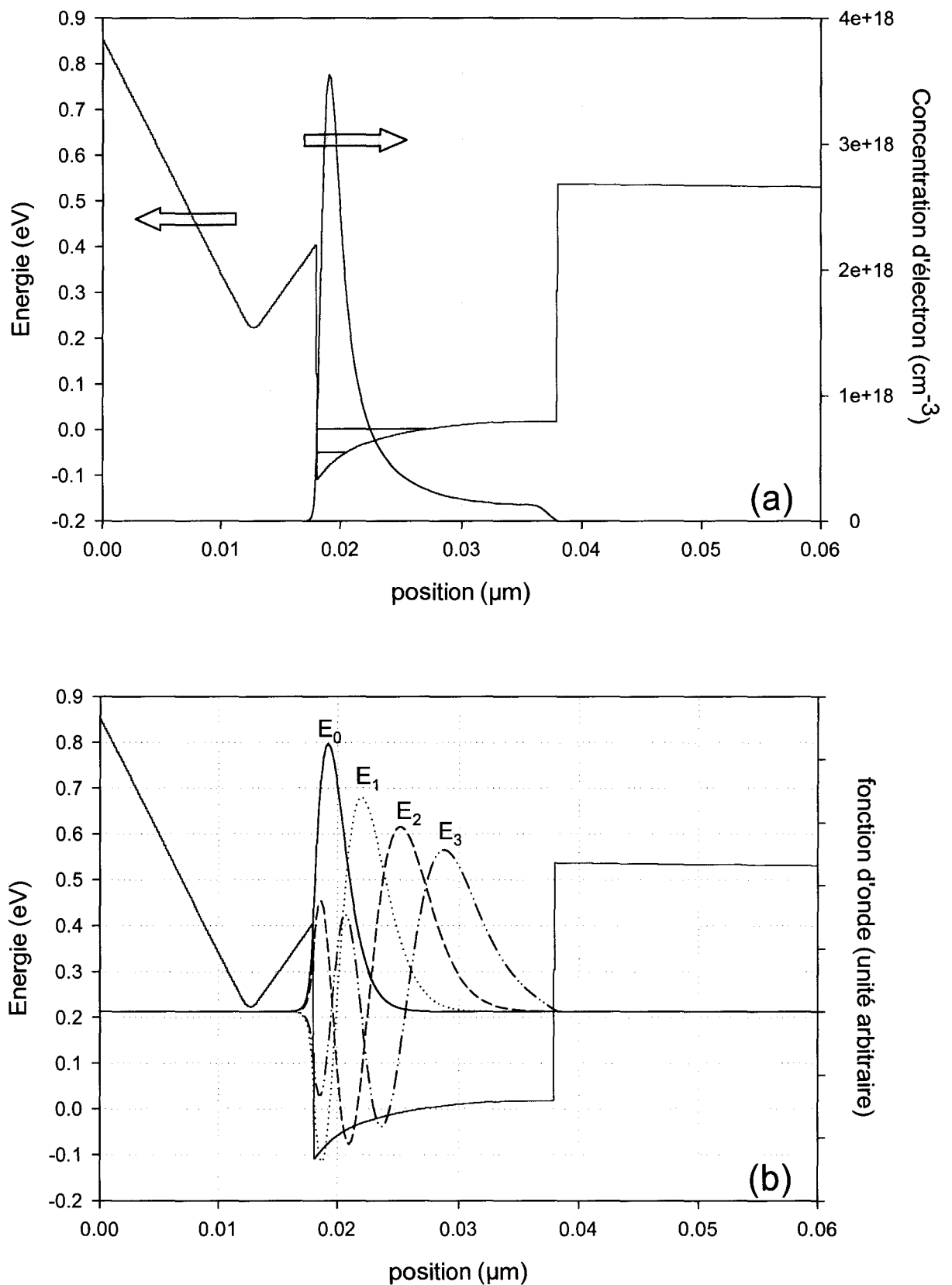


Figure I-36 : Résultats fournis par la résolution auto-cohérente des équations de Schrödinger et de Poisson pour la structure HEMT  $\text{AlInAs}/\text{GaInAs}$  adaptée en maille sur  $\text{InP}$  pour  $V_g = -0.3\text{V}$ : (a) Bande de conduction et répartition de la concentration volumique d'électrons dans la structure, (b) Représentation des fonctions d'onde des 4 premiers niveaux quantiques.



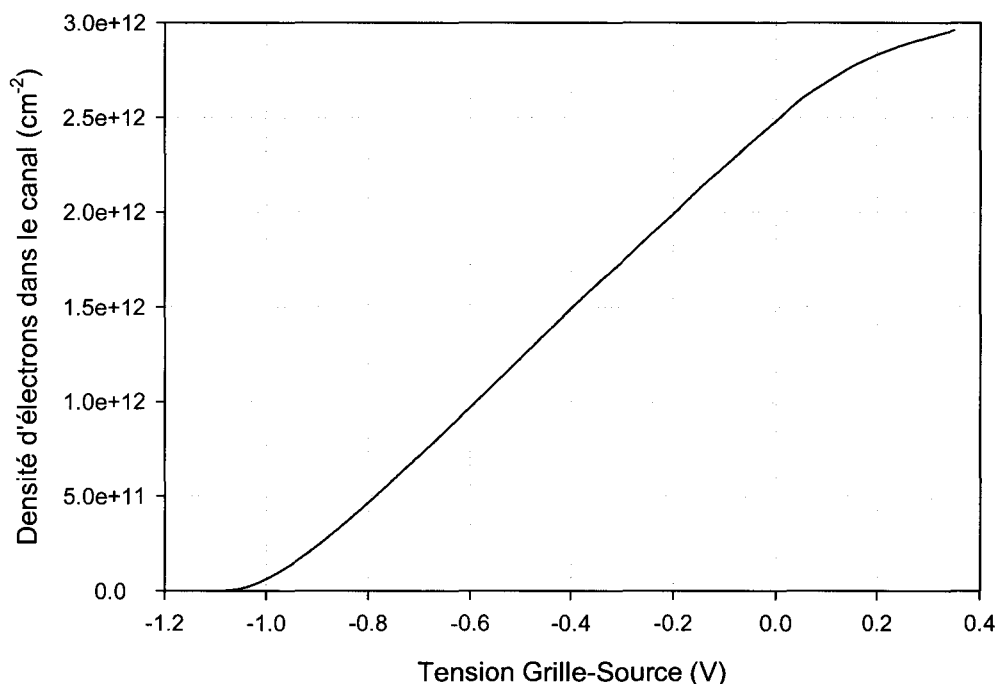


Figure I-37 : Évolution de la densité surfacique d'électrons dans le canal  $N_s$  avec la tension de grille  $V_g$  dans la structure HEMT  $\text{AlInAs}/\text{GaInAs}$  adaptée en maille sur  $\text{InP}$ .

### ***V-2-c-Simulation thermique :***

#### ***Résolution de l'équation de la chaleur***

Les performances et la fiabilité des transistors sont fortement influencées par la température interne de celui-ci. Les effets thermiques dans les transistors vont induire des variations sur les caractéristiques électriques et sur les propriétés de transport.

L'augmentation de la température interne du composant entraîne principalement une réduction de la mobilité des porteurs. Il en résulte une diminution, à la fois du courant drain et de la transconductance.

Ces aspects thermiques sont souvent prédominants dans les T.E.C. de puissance. Néanmoins, nous verrons par la suite que les transistors DG-HEMT réalisés au laboratoire sont prédisposés à d'éventuels effets thermiques.

C'est pourquoi, nous nous sommes intéressés à l'outil de simulation thermique, proposé dans le logiciel ATLAS afin d'étudier qualitativement cet aspect.

Ainsi, dans ce paragraphe, nous allons présenter succinctement le modèle physique utilisé pour les simulations thermiques.

**V-2-c-1) Principe**

Pour un semiconducteur, l'équation de la chaleur lie les variations spatiales et temporelles de la température interne du matériau :

$$\rho \cdot C_p \cdot \frac{\partial T_L}{\partial t} = \text{div.}(\overrightarrow{\kappa \cdot \text{grad } T_L}) + H \quad (38)$$

$\rho$  : Densité du matériau ( $\text{kg} \cdot \text{m}^{-3}$ ).

$C_p$  : Capacité thermique massique ( $\text{J} \cdot \text{K}^{-1} \cdot \text{kg}^{-1}$ ).

$T_L$  : Température locale du réseau cristallin (K).

$\kappa$  : Conductivité thermique du matériau ( $\text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ ).

$H$  : Source interne de chaleur ( $\text{W} \cdot \text{m}^{-3}$ ).

Dans les T.E.C., la génération de chaleur s'effectue essentiellement par effet Joule et est égale à la puissance dissipée. Ainsi, en utilisant un modèle de transport de dérive-diffusion et en supposant que les phénomènes de génération-recombinaison soient négligeables, la source interne de chaleur s'écrit :

$$H = \frac{|\vec{J}_n|^2}{q \cdot n \cdot \mu_n} \quad (39)$$

Ainsi la résolution des équations de continuité et de l'équation de la chaleur permet d'accéder à la répartition de la température interne dans la structure simulée suivant le point de polarisation du transistor.

**V-2-c-2) Résultats obtenus sur un transistor HEMT**

La structure du transistor simulé est représentée sur la figure I-38. La longueur de grille du dispositif est de  $1.5\mu\text{m}$  et la largeur totale du recess est de  $1.7\mu\text{m}$  soit une largeur de  $100\text{nm}$  de part et d'autre de la grille. Les simulations thermiques étant opérées en régime statique, la conductivité thermique de chaque matériau est le seul paramètre à définir. Celles-ci sont données dans le tableau I-4.

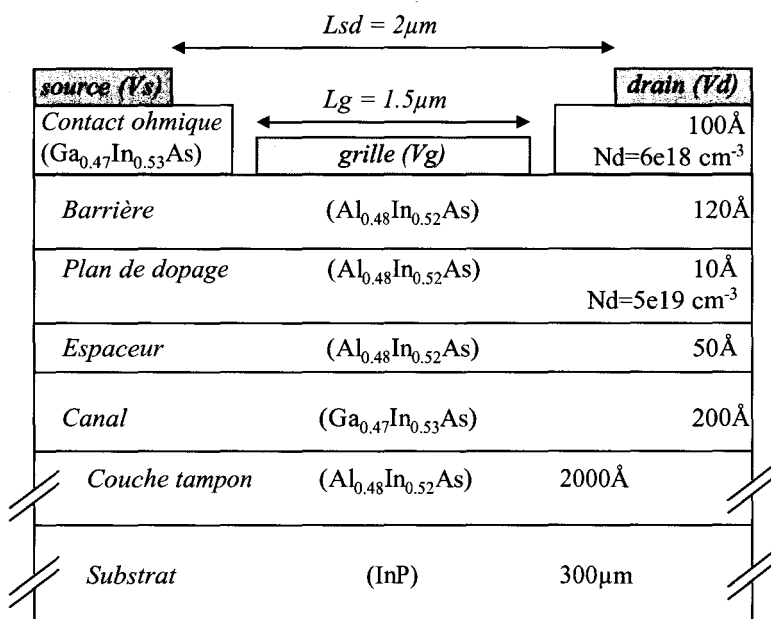


Figure I-38 : Représentation schématique du transistor HEMT.

	$Al_{0.48}In_{0.52}As$	$Ga_{0.47}In_{0.53}As$	$InP$
Conductivité thermique $\kappa$ ( $W.m^{-1}.K^{-1}$ )	5	5	75

Tableau I-4 : Conductivité thermique des matériaux  $Al_{0.48}In_{0.52}As$ ,  $Ga_{0.47}In_{0.53}As$  et  $InP$  à 300K.

La résolution de l'équation de la chaleur nécessite de simuler à la fois la zone active du composant et le substrat. En effet, comme pour une simulation électrique, il est indispensable d'appliquer des conditions aux limites. Pour une simulation électrique, les conditions aux limites sont fixées par un potentiel constant sur les électrodes métalliques.

Pour une simulation thermique, il faut imposer, au minimum, une température constante à un endroit de la structure. Il nous a semblé judicieux d'appliquer une température constante et égale à la température ambiante (300K) dans le fond du substrat.

La figure I-39 représente un exemple d'évolution de la température interne dans l'ensemble de la structure. Sur cet exemple, le point de polarisation du transistor est fixé à  $V_{ds} = 1V$ ,  $V_{gs} = -0.3V$ .

Zoom sur la zone active

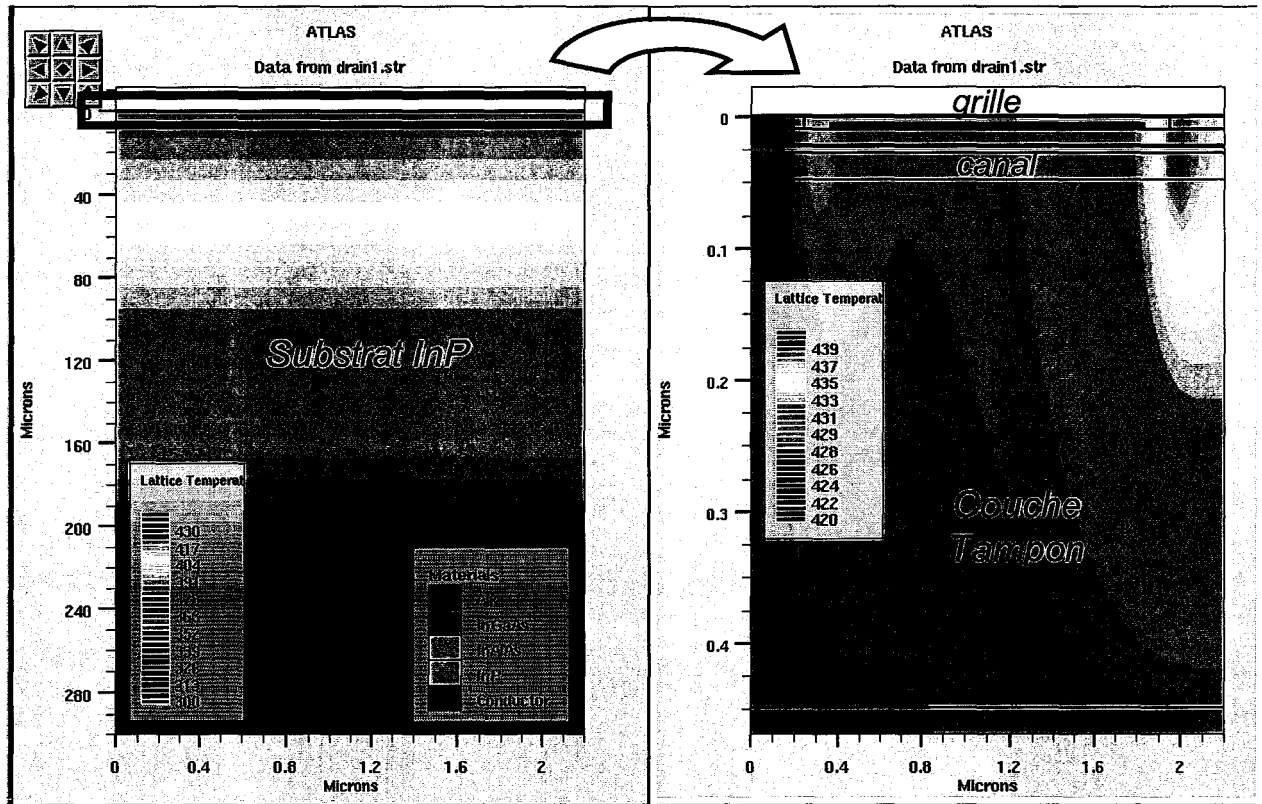


Figure I-39 : Évolution de la température interne du transistor HEMT à  $V_{ds}=1V$  et  $V_{gs}=-0.3V$  obtenue avec le logiciel ATLAS.

## VI-CONCLUSION

Dans ce chapitre, nous venons de situer et d'expliciter notre travail de thèse.

Pour cela, nous avons présenté l'ensemble des filières HEMT existantes à ce jour. Cette présentation nous a permis de comprendre l'évolution des différents matériaux utilisés pour constituer l'hétérojonction des HEMT en exposant certaines propriétés intrinsèques (structure de bande de conduction, énergies des vallées satellites,...).

Nous avons ensuite présenté un état de l'art des performances fréquentielles des transistors HEMT. Il apparaît, à l'issue de cette étude, que l'évolution des performances fréquentielles ( $f_T$  et  $f_{MAX}$ ), quelle que soit la filière utilisée, tend à saturer lorsque la longueur de grille diminue. Ainsi, il semblerait que les filières HEMT « standards » atteignent leurs limites pour des longueurs de grille sub-50nm.

Pour interpréter cette tendance à la saturation des performances fréquentielles, nous avons discuté de plusieurs limitations fondamentales du HEMT liées au *scaling* de la structure de couche et des matériaux constituant l'hétérojonction des transistors HEMT.

Il s'est avéré que la rupture de la technologie actuelle de fabrication de transistors HEMT soit indispensable pour remédier à ces limites et pour continuer la montée en fréquence des futurs composants.

Pour cela, nous avons présenté un ensemble de structures dites « alternatives » envisageables en explicitant leurs principes et leurs fonctionnements.

Sur la totalité des solutions proposées, deux solutions ont été retenues pour ce travail de thèse : **le transistor HEMT Double-Grille (DG-HEMT) et le transistor à modulation de vitesse (VMT).**

Finalement, nous avons conclu ce chapitre en présentant un certain nombre d'outils de simulation numérique que nous avons employés pour mener à bien notre étude sur les composants DG-HEMT et VMT.

**VII- BIBLIOGRAPHIE**

**[Dingle1]** R. Dingle, H. L. Störmer, A. C. Gossard, W. Wiegmann, "Electron mobilities in modulation-doped semiconductor heterojunction superlattices," *Appl. Phys. Lett.*, vol. 33, n° 7, pp. 665-667, 1978.

**[Delagebeaudeuf1]** D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviron, J. Chaplart, N. T. Linh, "Two-dimensional electron gas MESFET structure," *Electron. Lett.*, vol. 16, n° 17, pp. 667-668, 1980.

**[Mimura1]** T. Mimura, S. Hiyamizu, T. Fujii, K. Nanbu, "A new field-effect transistor with selectively doped GaAs/n-Al<sub>x</sub>Ga<sub>1-x</sub>As heterojunctions," *Jpn. J. Appl. Phys.*, vol. 19, n° 5, pp. L225-L227, 1980.

**[Braslau1]** N. Braslau, "Alloyed ohmic contacts to GaAs," *Jal of Vac. Sci. Technol.*, vol. 19, pp. 803-807, 1981.

**[Cappy1]** A. Cappy, "Propriétés physiques et performances potentielles des composants submicroniques à effets de champ: structures conventionnelles et à gaz d'électrons bidimensionnel," *Thèse d'électronique de l'Université des Sciences et Technologie de Lille*, 1986

**[Enoki1]** T. Enoki, M. Tomizawa, Y. Umeda, Y. Ishii, "0.05- $\mu$ m-Gate InAlAs/InGaAs High Electron Mobility Transistor and Reduction of Its Short-Channel Effects," *Jpn. J. Appl. Phys.*, vol. 33, part 1, n° 1B, pp. 789-803, 1994.

**[Suemitsu1]** T. Suemitsu, T. Enoki, H. Yokoyama, Y. Ishii, "Improved Recessed-Gate Structure for Sub-0.1- $\mu$ m-Gate InP-Based High Electron Mobility Transistors," *Jpn. J. Appl. Phys.*, vol. 37, part 1, n° 3B, pp. 1365-1372, 1998.

**[Schubert1]** E. Schubert, K. Ploog, "Shallow and deep donors in direct-gap n-type Al<sub>x</sub>Ga<sub>1-x</sub>As: Si grown by Molecular-beam epitaxy," *Physical Review B*, vol. 30 n°12, pp. 7021-7029, 1984.

**[Hueschen1]** M. Hueschen, N. Moll, E. Gowen, J. Miller, “Pulsed doped MODFET’s,” *International Electron Device Meeting Tech. Dig.*, pp. 348-351, 1984.

**[Yamashita1]** Y. Yamashita, A. Endoh, K. Shinohara, K. Hikosaka, T. Matsui, S. Hiyamizu, T. Mimura, “Pseudomorphic  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$  HEMTs with an ultrahigh  $f_t$  of 562GHz,” *IEEE Electron Device Letters*, vol. 23, n°10, pp. 573-575, 2002.

**[Suemitsu2]** T. Suemitsu, H. Yokoyama, Y. Ishii, T. Enoki, G. Meneghesso, E. Zanoni, “30-nm Two-step Recess Gate InP-based InAlAs/InGaAs HEMTs,” *IEEE Trans. on Elect. Dev.*, vol. 49, n°10, pp. 1694-1700, 2002.

**[Parenty1]** T. Parenty, “Etude et perspective des transistors à hétérostructure AlInAs/GaInAs de longueur de grille inférieure à 100nm et conception de circuits intégrés en bande G,” *Thèse de doctorat à l’Université des Sciences et Technologies de Lille*, 2003

**[Sadwick1]** L. P. Sadwick, C. W. Kim, K. L. Tan, D. C. Streit, “Schottky barrier heights of n-type and p-type  $\text{Al}_{0.48}\text{In}_{0.52}\text{As}$ ,” *IEEE Electron Device Letters*, vol. 12, n°11, pp. 626-628, 1991.

**[People1]** R. People, K. W. Wecht, K. Alavi, A. Y. Cho, “Measurement of the conduction-band discontinuity of molecular-beam epitaxial growth  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  heterojunction by C-V profiling,” *Appl. Phys. Lett.*, vol. 43, pp. 118-120, 1983.

**[Chin1]** A. Chin, T. Y. Chang, “Achievement of exceptionally high mobilities in modulation-doped  $\text{Ga}_{1-x}\text{In}_x\text{As}$  on InP using a stress compensated structure,” *Jal of Vac. Sci. Technol.*, vol. B8, n°2, pp. 364-366, 1990.

**[Thobel1]** J. L. Thobel, L. Baudry, A. Cappy, P. Bourel, R. Fauquembergue, “Electron Transport properties of strained  $\text{In}_x\text{Ga}_{1-x}\text{As}$ ,” *Appl. Phys. Lett.*, vol. 56, n°4, pp. 346-348, 1990.

[Eugster1] C. C. Eugster, T. P. E. Broekaert, J. A. Del Alamo, C. G. Fonstad, "An InAlAs/InAs MODFET," *IEEE Electron Device Letters*, vol. 12, pp. 707-709, 1991.

[Akazaki1] T. Akazaki, K. Arai, T. Enoki, "Improved InAlAs/InGaAs HEMT Characteristics by Inserting an InAs Layer into the InGaAs Channel," *IEEE Electron Device Letters*, vol. 13, n° 6, pp. 325-327, 1992.

[Xu1] D. Xu, H. G. Heiss, S. A. Krauss, M. Sexl, G. Böhm, G. Tränkle, G. Weimann, G. Abstreiter, "Design and Fabrication of Double Modulation Doped InAlAs/InGaAs/InAs Heterojunction FET's For High-Speed an Millimeter-Wave Applications," *IEEE Trans. on Elect. Dev.*, vol. 45, n°1, pp. 21-30, 1998.

[Ho1] P. Ho, M. Y. Kao, P. C. Chao, K. H. G. Duh, J. M. Ballingall, S. T. Allen, A. J. Tessmer, P. M. Smith, "Extremely High Gain 0.15  $\mu\text{m}$  Gate-Length InAlAs/InGaAs/InP HEMTs," *Electron. Lett.*, vol. 27, n° 42, pp.325-327, 1991.

[Berger1] P. R. Berger, Y. C. Chen, J. Singh, K. Bhattacharya, "Growth modes of (100)  $\text{In}_x\text{Ga}_{1-x}\text{As}$  growth on GaAs/InP below critical thickness – Consequences for pseudomorphic MODFETs," *Int. Symp. GaAs and Related Compounds*, pp183, 1989

[Ng1] G. I. Ng, D. Pavlidis, M. Jaffe, J. Singh, H. F. Chau, "Design and experimental characteristics of strained  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}$  ( $x>0.53$ ) HEMT's," *IEEE Trans. on Elect. Dev.*, vol. 36, n°10, pp. 2249-2259, 1989.

[Tuttle1] G. Tuttle, H. Kroemer, J. H. English, "Electron concentrations and mobilities in AlSb/InAs/AlSb quantum wells," *J. Appl. Phys.*, vol. 65, n°12, pp. 5239-5242, 1989.

[Brar1] B. Brar, H. Kroemer, "Influence of impact-ionization on the drain conductance in InAs-AlSb quantum well heterostructure field-effect transistors," *IEEE Electron Device Letters*, vol. 16, pp. 548-550, 1995.

[Boos1] J. B. Boos, W. Kruppa, B. R. Bennet, D. Park, S. W. Kirchoefer, R. Bass, H. B. Dietrich, "AlSb/InAs HEMT's for low-voltage, high-speed applications," *IEEE Trans. on Elect. Dev.*, vol. 45, n°9, pp. 1869-1875, 1998.



**[Bergman1]** J. Bergman, G. Nagy, G. Sullivan, B. Brar, C. Kadow, H. K. Lin, A. Gossard, M. Rodwell, “InAs/AlSb HFETs with  $f_T$  and  $f_{MAX}$  above 150 GHz for low-power MMICs, ” *Indium Phosphide and Related Materials*, pp. 219-222, 2003

**[Tsai1]** R. Tsai, R. Grundbacher, M. Lange, J. B. Boos, B. R. Bennett, P. Nam, L. J. Lee, M. Barsky, C. Namba, K. Padmanabhan, S. Sarkozy, P. H. Liu, A. Gutierrez, “Manufacturable AlSb/InAs HEMT Technology For Ultra-Low Power Millimeter-Wave Integrated Circuits,” *GaAs Mantech Tech. Dig.*, pp. 69-72, 2004

**[Tasker1]** P. J. Tasker, B. Hughes, “Importance of Source and Drain Resistance to the Maximum  $f_T$  of millimetre-Wave MODFET’s,” *IEEE Electron Device Letters*, vol. 10, n°7, pp. 291-293, 1989.

**[Nguyen1]** L. D. Nguyen, L. E. Larson, U. K. Mishra, “Ultra-High-Speed Modulation-Doped Field-Effect Transistors: A Tutorial Review,” *Proceedings of the IEEE*, vol. 80, n°4, pp. 494-518, 1992.

**[Nguyen2]** L. D. Nguyen, P. J. Tasker, “Scaling issues of ultra-high-speed HEMTs,” *SPIE High-Speed Electronics and Device Scaling*, vol. 1288, pp. 251-257, 1990.

**[Shinohara1]** K. Shinohara, Y. Yamashita, A. Endoh, K. Hikosaka, T. Matsui, T. Mimura, S. Hiyamizu, “Ultrahigh-Speed Pseudomorphic InGaAs/InAlAs HEMTs With 400-GHz Cutoff Frequency,” *IEEE Electron Device Letters*, vol. 22, n° 11, pp. 507-509, 2001.

**[Shinohara2]** K. Shinohara, Y. Yamashita, A. Endoh, K. Hikosaka, T. Matsui, S. Hiyamizu, T. Mimura, “Importance of Gate-Recess Structure to the Cutoff Frequency of Ultra-High-Speed InGaAs/InAlAs HEMTs,” *Indium Phosphide and Related Materials*, pp. 451-454, 2002.

**[Nguyen3]** L. D. Nguyen, A. S. Brown, M. A. Thompson, L. M. Jelloian, “50-nm Self-aligned-Gate Pseudomorphic AlInAs/GaInAs High Electron Mobility Transistors,” *IEEE Trans. on Elect. Dev.*, vol. 39, n°9, pp. 2007-2014, 1992.

[Somerville1] M. H. Somerville, A. Ernst, J. A. Del Alamo, “a Physical Model for the Kink Effect in InAlAs/InGaAs HEMT’s,” *IEEE Trans. on Elect. Dev.*, vol. 47, n°5, pp. 922-930, 2000.

[Suemitsu3] T. Suemitsu, T. Enoki, N. Sano, M. Tomizawa, Y. Ishii, “An Analysis of the Kink Phenomena in InAlAs/InGaAs HEMT’s Using Two-Dimensional Device Simulation,” *IEEE Trans. on Elect. Dev.*, vol. 45, n°12, pp. 2390-2399, 1998.

[Sawada1] K. Sawada, T. Arai, T. Takahashi, N. Hara, “Elimination of Kink Phenomena and Drain Current Hysteresis in InP-Based HEMTs With a Direct Ohmic Structure,” *IEEE Trans. on Elect. Dev.*, vol. 50, n°2, pp. 310-314, 2003.

[Arai1] T. Arai, K. Sawada, N. Okamoto, K. Makiyama, T. Takahashi, N. Hara, “Suppression of Drain Conductance in InP-based HEMTs by Eliminating Hole Accumulation,” *IEEE Trans. on Elect. Dev.*, vol. 50, n°5, pp. 1189-1193, 2003.

[Suemitsu4] T. Suemitsu, T. Ishii, H. Yokoyama, T. Enoki, Y. Ishii, T. Tamura, “30-nm-Gate InP-Based Lattice-Matched High Electron Mobility Transistors with 350 GHz Cutoff Frequency,” *Jpn. J. Appl. Phys.*, vol. 38, part 2, n° 2B, pp. L154-L156, 1999.

[Yamashita2] Y. Yamashita, A. Endoh, K. Shinohara, M. Higashiwaki, K. Hikosaka, T. Mimura, S. Hiyamizu, T. Matsui, “Ultra-Short 25-nm-Gate Lattice-Matched InAlAs/InGaAs HEMTs within the Range of 400 GHz Cutoff Frequency,” *IEEE Electron Device Letters*, vol. 22, n°8, pp. 367-369, 2001.

[Bollaert1] S. Bollaert, X. Wallart, S. Lepilliet, A. Cappy, E. Jalaguier, S. Pocas, B. Aspar, “0.12 $\mu$ m Transferred Substrate In<sub>0.52</sub>Al<sub>0.48</sub>As/In<sub>0.53</sub>Ga<sub>0.47</sub>As HEMTs on Silicon Wafer,” *IEEE Electron Device Letters*, vol. 23, n°2, pp. 73-75, 2002.

[Mateos1] J. Mateos, T. Gonzalez, D. Pardo, S. Bollaert, X. Wallart, A. Cappy, “Improvement of the high frequency performance of HEMTs by bufferless Technology,” *Indium Phosphide and Related Materials*, pp. 173-176, 2002.

**[Sekigawa1]** T. Sekigawa, Y. Hayashi, “Calculated Threshold-Voltage Characteristics of an XMOS Transistor Having an Additional Bottom Gate,” *Solid State Electron.*, vol. 27, pp. 827-828, 1984.

**[Frank1]** D. J. Frank, S. E. Laux, M. V. Fischetti, “Monte Carlo Simulation of a 30nm Dual-Gate MOSFET: How Far Can Si Go?,” *International Electron Device Meeting Tech. Dig.*, pp. 553-556, 1992.

**[Suzuki1]** K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, Y. Arimoto, “Scaling Theory for Double-gate SOI MOSFETs,” *IEEE Trans. on Elect. Dev.*, vol. 40, n°2, pp. 2326-2329, 1993.

**[Lolivier]** J. Lolivier, J. Widiez, M. Vinet, T. Poiroux, F. Daugé, B. Previtali, M. Mouis, J. Jommah, F. Balestra, S. Deleonibus, “Experimental comparison between Double-Gate, Ground Plane, and Single Gate SOI CMOSFETs,” *Solid-State Device Research Conf.* pp. 77-80, 2004.

**[Celler1]** G. K. Celler, S. Cristoloveanu, “Frontiers of Silicon-On-Insulator,” *J. Appl. Phys.*, vol. 93, n°9, pp. 4955-4978, 2003.

**[Balestra1]** F. Balestra, S. Cristoloveanu, M. Bénachir, J. Brini, T. Elewa, “Double-Gate Silicon on Insulator Transistor with volume inversion: A new device with greatly enhanced performance,” *IEEE Electron Device Letters*, vol. 8, pp. 410-412, 1987.

**[Sakaki1]** H. Sakaki, “Velocity-Modulation Transistor (VMT)- A New Field-Effect Transistor Concept,” *Jpn. J. Appl. Phys.*, vol. 21, n° 6, pp. L381-L383, 1982.

**[Hess1]** K. Hess, H. Morkoç, H. Shichijo, B. Streetman, “Negative differential resistance through real-space electron transfer,” *Appl. Phys. Lett.*, vol. 35, pp. 469-471, 1979.

**[Hirakawa1]** K. Hirakawa, H. Sakaki, J. Yoshino, “Mobility Modulation of the Two-Dimensional Electron Gas Via Controlled Deformation of the Electron Wave Function in Selectively Doped AlGaAs-GaAs Heterojunctions,” *Phys. Rev. Lett.*, vol. 54, n°12, pp. 1279-1282, 1985.

**[Hamaguchi1]** C. Hamaguchi, K. Miyatsuji, H. Hihara, "A proposal of Single Quantum Well Transistor (SQWT)- Self-Consistent Calculations of 2D Electrons in a Quantum Well with External Voltage," *Jpn. J. Appl. Phys.*, vol. 23, n° 3, pp. L132-L134, 1984.

**[Miyatsuji1]** K. Miyatsuji, H. Hihara, C. Hamaguchi, "Single Quantum Well Transistor with modulation doped AlGaAs/GaAs/AlGaAs structures," *Superlat. And Microstruct.*, Vol 1, n°1, pp. 43-47, 1985.

**[Maezawa1]** K. Maezawa, T. Mizutani, S. Yamada, "A GaAs( $\Gamma$ )/AlAs(X) double-channel structure for velocity modulation transistors," *Int. Symp. GaAs and Related Compounds*, pp. 515-520, 1990.

**[Gonzalez1]** T. Gonzalez, D. Pardo "Physical Models of Ohmic Contact For Monte Carlo Device Simulation," *Solid State Electron.*, vol. 39, n°4, pp. 555-562, 1996.

**[Mateos2]** J. Mateos, T. Gonzalez, D. Pardo, V. Hoel, H. Happy, A. Cappy, "Improved Monte Carlo Algorithm For Simulation of  $\delta$ -Doped AlInAs/GaInAs HEMT's," *IEEE Trans. on Elect. Dev.*, vol. 47, n°1, pp. 250-253, 2000.

## **CHAPITRE 2**

**\*\*\*\*\***

**Technologie de Fabrication des  
transistors DG-HEMT et VMT  
de la filière AlInAs/GaInAs  
sur substrat InP**

## **CHAPITRE 2**

**\*\*\*\*\***

# **Technologie de Fabrication des transistors DG-HEMT et VMT de la filière AlInAs/GaInAs sur substrat InP**



## **I-INTRODUCTION**

Ce chapitre portera essentiellement sur la technologie de fabrication que nous avons utilisée pour la fabrication des transistors DG-HEMT et VMT.

Dans un premier temps, nous allons énoncer le déroulement des différentes étapes technologiques conduisant aux transistors DG-HEMT. L'objectif étant simplement de présenter, au lecteur, un aperçu général du procédé de fabrication. Ainsi, le lecteur pourra distinguer les étapes classiques, identiques à celles utilisées pour la fabrication d'un transistor HEMT « standard », et les étapes nouvelles associées à la technologie DG-HEMT.

Grâce à cette schématisation des étapes de fabrication du DG-HEMT, nous verrons que la technologie des DG-HEMT se décompose en trois parties :

La première partie est similaire à la technologie d'un HEMT standard. De ce fait, nous avons pu profiter de l'expérience acquise au laboratoire sur la technologie des HEMT pour mener à bien nos travaux. Quant aux parties suivantes (report de substrat et réalisation de la grille 2), celles-ci ont été élaborées durant ces travaux de recherche.

Par la suite, nous décrirons, étape par étape, la technologie de ces composants.

Une amélioration du procédé de grille sera alors présentée afin d'obtenir une gravure du fossé de grille de largeur homogène et reproductible le long du développement  $W$  des transistors. Pour cela, nous aurons recours à l'utilisation d'une structure HEMT « de référence ».

Finalement, nous aborderons l'étude des étapes nouvelles ajoutées à la technologie standard telles que le report de substrat et la lithographie de seconde grille.



## II-SCHÉMATISATION DU PROCÉDÉ DE FABRICATION DES DG-HEMT ET VMT

Comme énoncé dans le chapitre 1, la technologie de fabrication du transistor DG-HEMT et du transistor VMT est identique. Ces deux dispositifs requièrent deux grilles placées en vis-à-vis sur la zone active du composant. Ces deux transistors diffèrent uniquement par leur structure de couche. Ainsi, l'ensemble des études technologiques que nous allons décrire dans ce chapitre peut se généraliser sur ces deux dispositifs.

La chronologie des différentes étapes intervenant dans la fabrication des transistors DG-HEMT et VMT est représentée sur la figure II-1.

Le procédé de réalisation des transistors DG-HEMT et VMT reprend en partie un certain nombre d'étapes élémentaires de fabrication technologique d'un transistor HEMT. Ainsi, nous avons pu profiter de l'expérience acquise, au sein du laboratoire, sur les composants HEMT, pour mener à bien nos travaux. Toutefois, la fabrication de transistors DG-HEMT a nécessité un complément du procédé standard et parfois même, une optimisation des étapes standard de fabrication de HEMT telle que la gravure du fossé de grille.

La réalisation de transistor DG-HEMT et VMT se déroule donc en 7 étapes :

- (1) : Dépôt des contacts ohmiques
- (2) : Isolation par gravure *MESA*
- (3) : Dépôt des plots d'épaissements
- (4) : Réalisation de la 1<sup>ère</sup> grille : lithographie électronique, gravure du fossé de grille et dépôt de la grille
- (5) : Report de la structure initiale sur un substrat hôte
- (6) : Gravure du substrat InP
- (7) : Réalisation de la 2<sup>ème</sup> grille : lithographie électronique, gravure du fossé de grille et dépôt de la grille

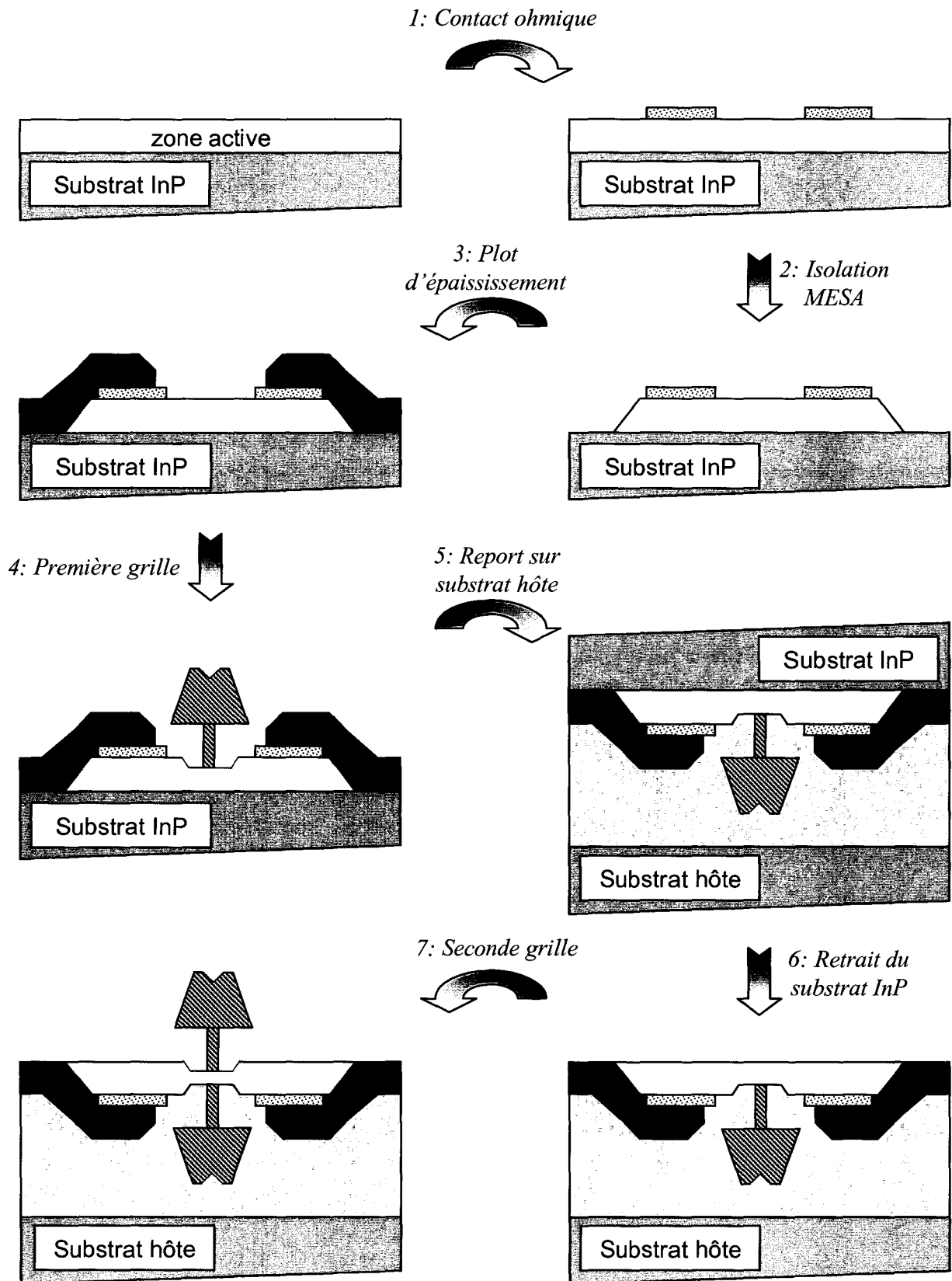


Figure II-1 : Représentation schématique des différentes étapes de fabrication des transistors DG-HEMT et VMT.

### **III-TECHNOLOGIE DES COMPOSANTS DG-HEMT ET VMT**

La figure II-1 nous permet d'identifier trois grandes parties distinctes dans la mise en œuvre du procédé de fabrication de nos composants :

√ Étapes 1 à 4 : Ces étapes technologiques coïncident, tout simplement, à la fabrication d'un transistor HEMT « standard » (contacts ohmiques, isolation, plots d'épaissement, grille)

√ Étapes 5 et 6 : Ces étapes correspondent à la technologie de report de substrat c'est à dire à l'assemblage du substrat initial (InP) sur un substrat hôte et à la gravure du substrat initial.

√ Étape 7 : cette dernière étape est décisive dans la technologie DG-HEMT puisqu'elle correspond à la réalisation de la seconde grille et à l'alignement de celle-ci par rapport à la première.

Finalement, on peut observer que les deux premières parties (étapes 1 à 4 et 5 à 6) du procédé de fabrication ne nécessitent aucune structure particulière et peuvent donc être optimisées sur une structure HEMT « standard ». De cette manière, nous avons fabriqué une structure HEMT dite « de référence » pour l'étude technologique des étapes comprises entre 1 et 6.

L'étape 7 (réalisation de la seconde grille) nécessite une élaboration particulière afin d'aligner précisément les grilles l'une par rapport à l'autre. Elle sera donc décrite précisément en fin de chapitre.

#### **III-1-PRÉSENTATION DE LA STRUCTURE HEMT DE RÉFÉRENCE POUR L'OPTIMISATION**

##### ***III-1-a-Description du masque de référence : TURBO***

Pour la réalisation des transistors HEMT de référence, nous nous sommes basés sur un jeu de masque préexistant : le masque TURBO. La conception de ce masque a été effectuée par D. Théron. Pour réaliser nos structures HEMT de référence, nous avons modifié le design des contacts ohmiques ainsi que celui de la grille afin d'obtenir des longueurs de grille de 100nm. Ce masque est représenté sur la figure II-2. Celui-ci comporte 18 transistors avec

deux doigts de grille avec une topologie en « PI ». Trois développements différents ont été dessinés :

- 4 transistors de développements  $2 \times 25 \mu\text{m}$ .
- 10 transistors de développements  $2 \times 50 \mu\text{m}$ .
- 4 transistors de développements  $2 \times 75 \mu\text{m}$ .

Tous les composants possèdent des longueurs de grille de  $100 \text{ nm}$ .

Sur 2 des 4 transistors de développement  $2 \times 75 \mu\text{m}$ , nous avons réalisé des composants de longueur de grille  $1.5 \mu\text{m}$  et de distance Source-Drain ( $L_{SD}$ ) de  $5 \mu\text{m}$ . Ces transistors sont des composants « test » permettant de contrôler certaines étapes technologiques telles que le recess et le contact Schottky de grille mais aussi la commande de charge via une mesure de capacité  $C(V)$  basse fréquence.

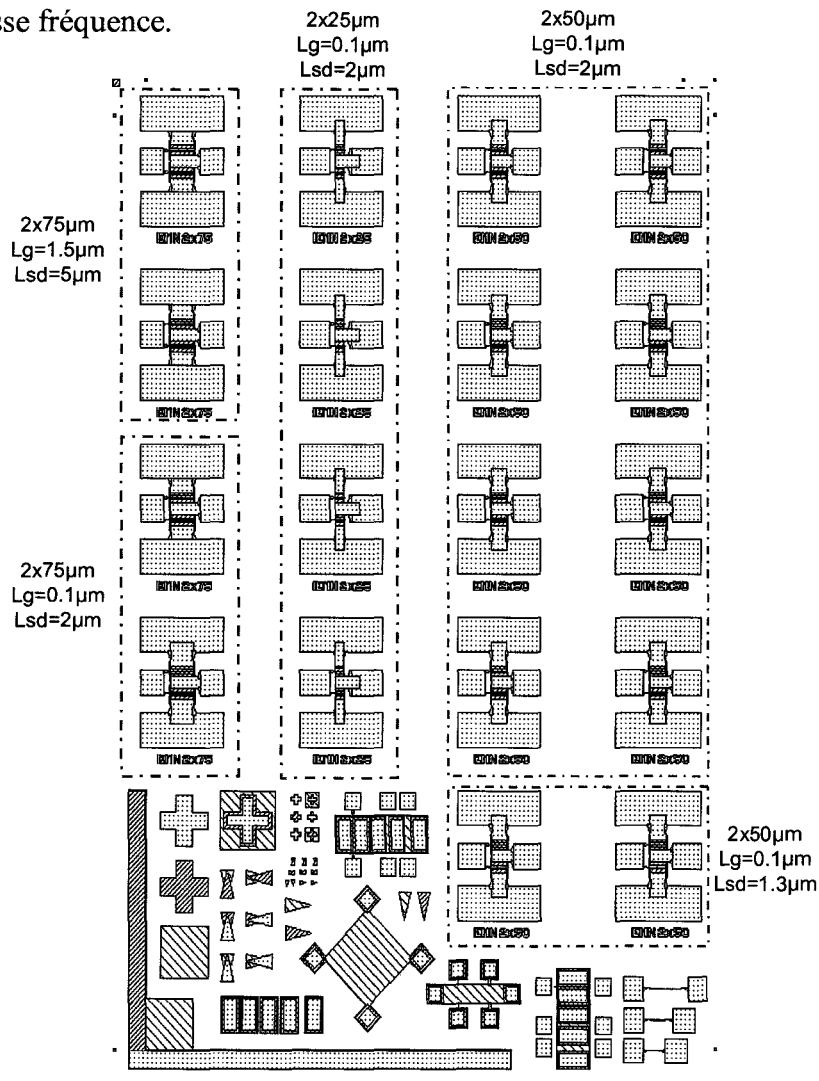


Figure II-2 : représentation de la cellule du masque TURBO utilisée pour la fabrication des HEMT de référence.

Sur 2 transistors de développement  $2 \times 50 \mu\text{m}$ , la distance  $L_{SD}$  est de  $1.3 \mu\text{m}$ . Finalement, sur les autres composants, la distance  $L_{SD}$  est de  $2 \mu\text{m}$ .

Les contacts ohmiques de source et de drain des composants sont définis à l'intérieur du mesa d'isolation. Ils sont, par conséquent, non-déborderants [Fourré1]. Cette particularité permet de regrouper deux étapes : les marques d'alignement, servant au repositionnement du masqueur électronique, et les contacts ohmiques. Ainsi, une seule lithographie est définie pour réaliser ces deux étapes.

Finalement, les autres motifs du masque correspondent au champ test (trèfle de Hall, barre de Hall, échelle de résistance, échelle d'isolation,...) et aux motifs d'alignement optique.

### III-1-b-La structure de couche du HEMT de référence

Les dispositifs DG-HEMT et VMT ont été réalisés avec des hétérostructures de type AlInAs/GaInAs adaptées en maille sur substrat InP. Nous avons donc réalisé des HEMT de référence avec ces mêmes couples de matériaux. La structure de couche du HEMT de référence est représentée sur la figure II-3.

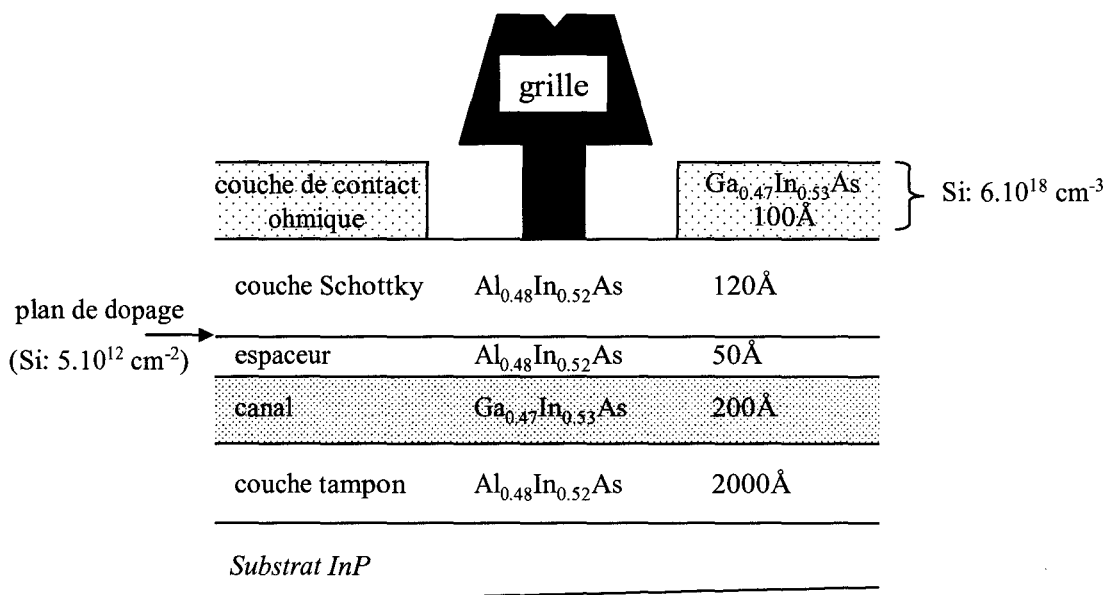


Figure II-3 : représentation de la structure HEMT de référence.

Les transistors HEMT possèdent des longueurs métalliques du pied de grille ( $L_g$ ) de  $100 \text{ nm}$ . Ainsi, le rapport d'aspect ( $L_g/a$ ) de la structure de couche est environ 6 afin de contrôler efficacement le gaz d'électrons.

Les mesures de Hall, effectuées à 300K sur un trèfle de Van Der Pauw, sont répertoriées dans le tableau II-1. La mesure de Hall « sans la couche de contact ohmique » se fait après avoir gravé la couche de contact ohmique par voie humide sélective.

	Rcarrée (ohm)	$n_H$ (cm <sup>-2</sup> )	$\mu_H$ (cm <sup>2</sup> .V <sup>-1</sup> .s <sup>-1</sup> )
<i>Avec la couche de contact ohmique</i>	200	3.6	8000
<i>Sans la couche de contact ohmique</i>	276	2.3	9300

Tableau II-1 : Mesure de HALL de la structure HEMT de référence, à 300 K, avec et sans la couche de contact ohmique.

### III-2-BRIQUES DE BASE DE LA TECHNOLOGIE DG-HEMT & VMT

La technologie de fabrication de transistors HEMT adaptés en maille sur InP a fait l'objet de nombreuses investigations au laboratoire [Fourré1], [Chevalier1]. Ainsi, nous avons conservé une partie de ce savoir-faire pour la fabrication des DG-HEMT. Dans ce paragraphe, nous allons présenter les deux étapes n'ayant nécessité aucune optimisation particulière. Il s'agit de l'étape de contact ohmique et de l'isolation par gravure chimique (*mesa*).

#### III-2-a-Les contacts ohmiques

La réalisation des contacts ohmiques de source et de drain de bonne qualité est une étape essentielle pour l'obtention de fréquences de coupure élevées. En effet, c'est par ces éléments que l'on vient contacter la partie intrinsèque du composant. Ainsi, l'obtention d'une résistance de contact ( $R_c$ ) de très faible valeur est nécessaire pour réduire la résistance de source ( $R_s$ ) et de drain ( $R_d$ ) des HEMT. La réduction de la résistance de drain  $R_d$  aura pour effet de réduire les temps de charge parasites des capacités  $C_{gs}$  et  $C_{gd}$  (*effet Miller*). Quant à la réduction de la résistance de source  $R_s$ , ceci aura pour effet de réduire l'écart entre la transconductance intrinsèque ( $G_{m_{INT}}$ ) et extrinsèque ( $G_{m_{EXT}}$ ) du composant :

$$G_{m_{EXT}} = \frac{G_{m_{INT}}}{1 + R_s \cdot G_{m_{INT}}} \quad (1)$$

De plus, une résistance de source trop importante aura pour conséquence de réduire les phénomènes de survitesse des porteurs sous l'électrode de grille. En effet, le champ électrique longitudinal dans l'espace source-grille sera d'autant plus élevé pour une valeur de  $R_s$  importante. Dans l'espace source-grille, les porteurs situés en vallée  $\Gamma$ , auront donc une énergie cinétique élevée et pourront transférer plus rapidement en vallées satellites ce qui limitera l'effet de survitesse.

Outre la réalisation de résistances de contact de faibles valeurs, il faut aussi définir précisément l'espacement  $L_{SD}$  entre les deux contacts ohmiques sur tout le développement  $W$  du transistor. En effet, une mauvaise définition de la distance  $L_{SD}$  peut entraîner une diminution de la tension de claquage  $V_{dsB}$  du composant.

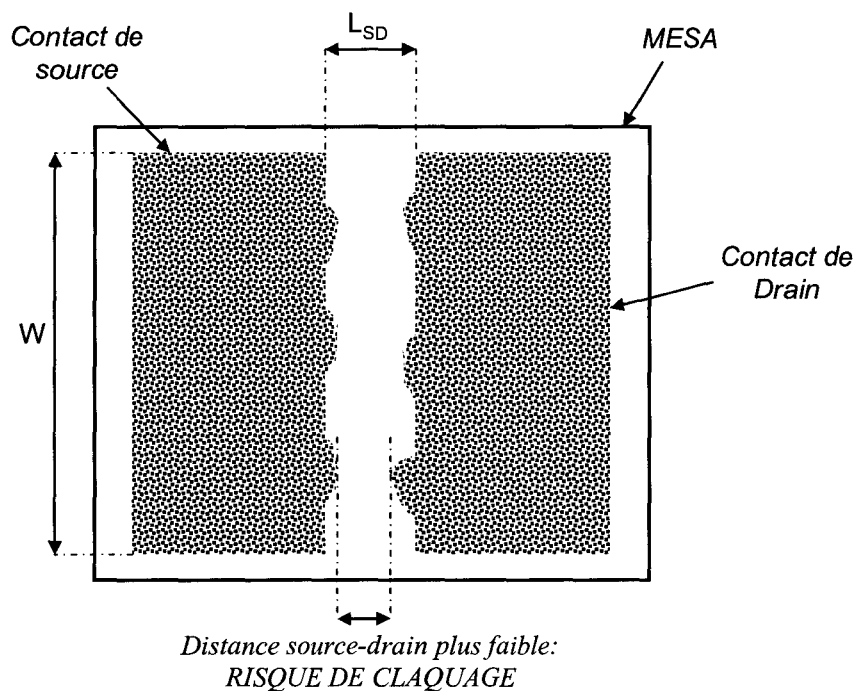


Figure II-4 : Illustration d'une mauvaise définition de l'espace source-drain d'un transistor HEMT.

Ainsi, comme l'illustre la figure II-4, une mauvaise définition des contacts ohmiques peut provoquer une réduction de  $L_{SD}$  à certains endroits du développement du composant. Cette mauvaise définition peut être liée soit à la lithographie des contacts soit au recuit des contacts [Medjdoub1]. Par conséquent, à cet endroit, il apparaît un champ électrique entre source et drain plus intense pouvant provoquer un claquage précoce du transistor.

Ainsi, l'étape de fabrication des contacts ohmiques est conditionnée suivant deux aspects :

- L'obtention de résistance de contact  $R_c$  de très faible valeur.
- La définition précise de l'espace source-drain  $L_{SD}$ .

### *III-2-a-1) métallisation des contacts ohmiques*

De nombreuses études ont été menées au laboratoire pour optimiser la séquence de métallisation des contacts ohmiques sur les FET à structures arséniées [Diette1], [Fawaz1], [Thiery1]. Ces études ont été réalisées sur des contacts ohmiques diffusants, alliés ou non alliés. Ainsi, la séquence de métallisation se compose généralement d'une couche métallique permettant d'améliorer l'adhérence de la métallisation sur le semi-conducteur et d'une couche métallique possédant les espèces dopantes dont le rôle est de diffuser et de s'incorporer dans le semi-conducteur, durant un recuit thermique, afin de créer une zone très fortement dopée sous le contact. A cela, il faut rajouter une couche, généralement constituée d'or pour y souder éventuellement des fils d'or vers un système externe. L'ensemble de ces études a montré que les métallisations à base d'Au/Ge aboutissent à des résistances de contact reproductibles et de faibles valeurs.

Par conséquent, nous avons choisi de conserver la métallisation Ni(25Å)/Ge(400Å)/Au(800Å)/Ni(50Å)/Au(600Å), couramment utilisée au laboratoire, sur l'ensemble de nos réalisations. La première couche de nickel sert à l'adhérence de la métallisation sur la couche de contact ohmique (*cap layer*). Celle-ci doit être d'épaisseur faible pour ne pas dégrader la diffusion du germanium. La séquence Ge/Au constitue la couche d'espèce dopante (Ge : dopant de type N). La seconde couche de nickel sert de barrière de diffusion à la dernière couche d'or et améliore la morphologie du contact. En effet, une morphologie de qualité est indispensable dans notre procédé puisque nous avons regroupé l'étape des contacts ohmiques avec l'étape des marques d'alignement électronique. Ainsi, il est nécessaire d'obtenir des marques de qualité pour que le masqueur puisse les détecter afin d'éviter des erreurs importantes de réaligement entre deux niveaux d'écriture.



Cette séquence de métallisation est déposée par évaporation par canon à électrons sous vide (*bâti MECA 2000*). Le sas d'entrée comporte une source d'ion Argon. Ainsi, avant tout dépôt de métallisation, nous procédons à un nettoyage de la surface (à faible énergie), in-situ, pour éventuellement enlever des composés organiques ou des oxydes natifs.

Finalement, après *lift-off* de la métallisation, un recuit « flash » est réalisé à une température de 295°C pendant 20s, sous flux d'azote hydrogéné. La figure II-5 représente la morphologie du contact Ni(25Å)/Ge(400Å)/Au(800Å)/Ni(50Å)/Au(600Å) avant et après recuit.

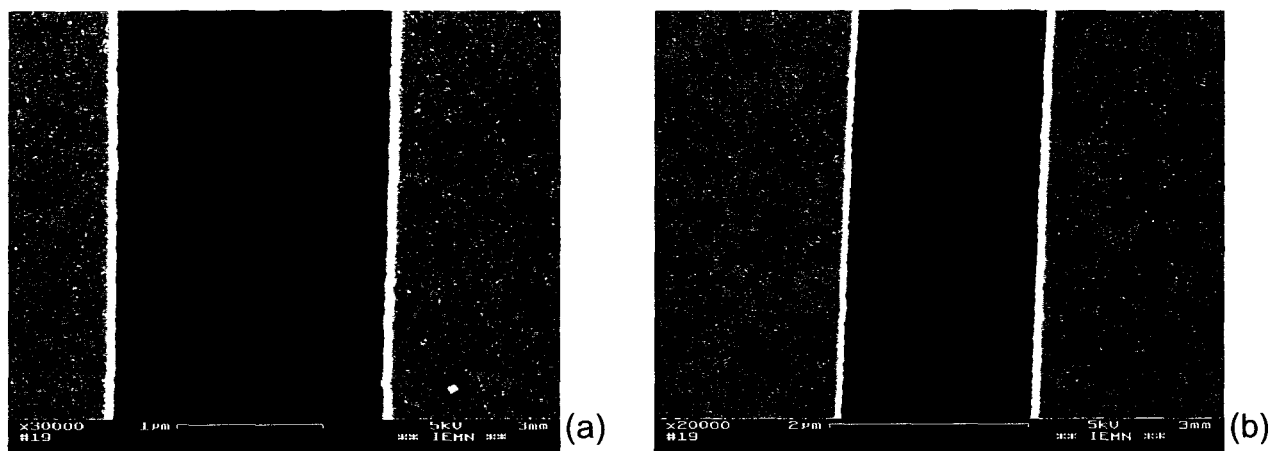


Figure II-5 : Morphologie du contact Ni(25Å)/Ge(400Å)/Au(800Å)/Ni(50Å)/Au(600Å) avant recuit (a) et après un recuit de 20 secondes à 295°C (b)

On peut remarquer que la morphologie du contact, après le recuit thermique, est de bonne qualité. Toutefois, quelques trous ponctuels (*pinhole-like damage*) sont visibles après recuit. Keramidas *et al* ont observé ce même phénomène sur des contacts de type AuBe sur matériau InGaAsP. Ils ont conclu sur l'existence d'un mécanisme de diffusion du AuBe dans des directions cristallographiques privilégiées [Keramidas1]. La figure II-6 montre l'observation, au MEB (*Microscope Electronique à Balayage*), d'une coupe transversale du contact ohmique après un recuit de 20 secondes à 295°C.

On observe clairement la diffusion de la métallisation dans le semi-conducteur.

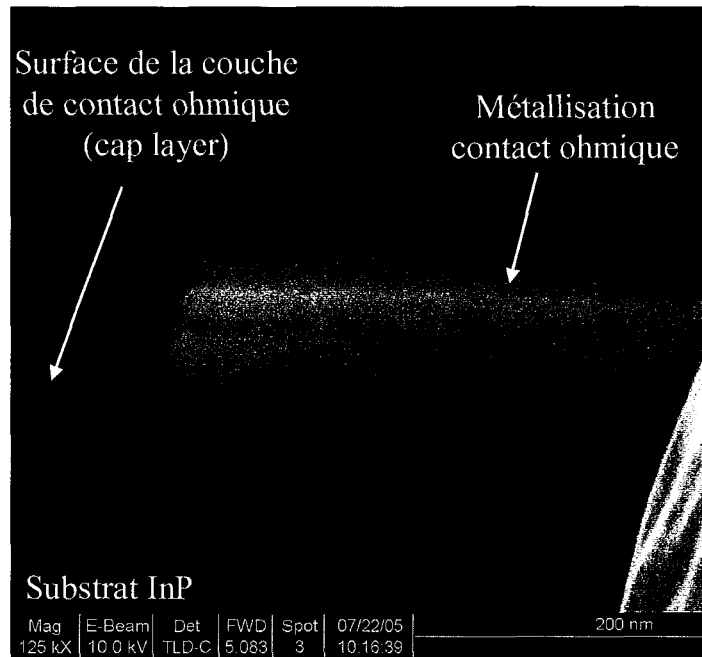


Figure II-6 : Coupe transversale du contact ohmique

$Ni(25\text{\AA})/Ge(400\text{\AA})/Au(800\text{\AA})/Ni(50\text{\AA})/Au(600\text{\AA})$  après recuit sur la structure HEMT de référence

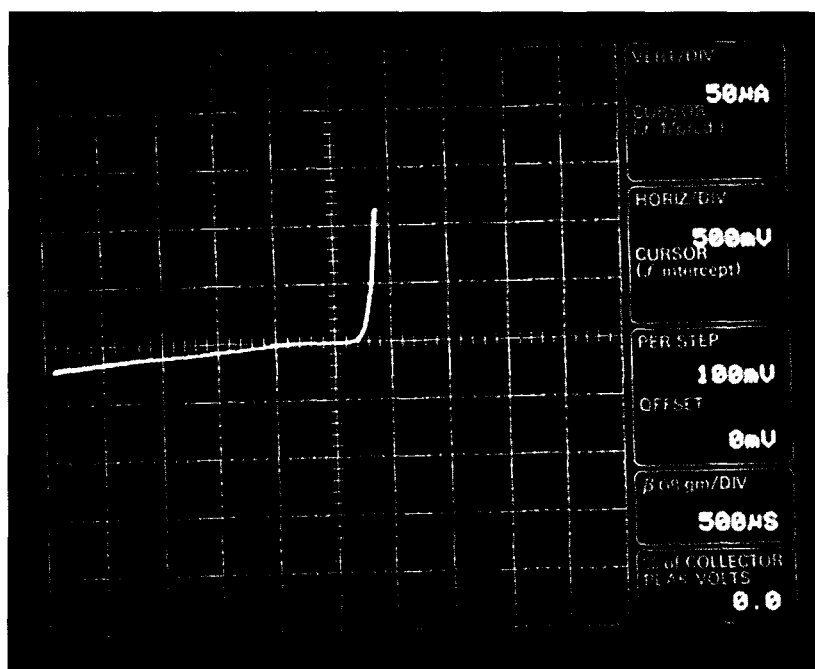
### III-2-a-2) lithographie des contacts ohmiques

La lithographie des contacts ohmiques nécessite obligatoirement l'utilisation du masqueur électronique puisque d'une part, la définition précise sur tout le développement du composant de l'espace source-drain est essentielle pour le bon fonctionnement du transistor et d'autre part, les distances source-drain sont de très faibles dimensions ( $1.3\mu\text{m}$  et  $2\mu\text{m}$ ).

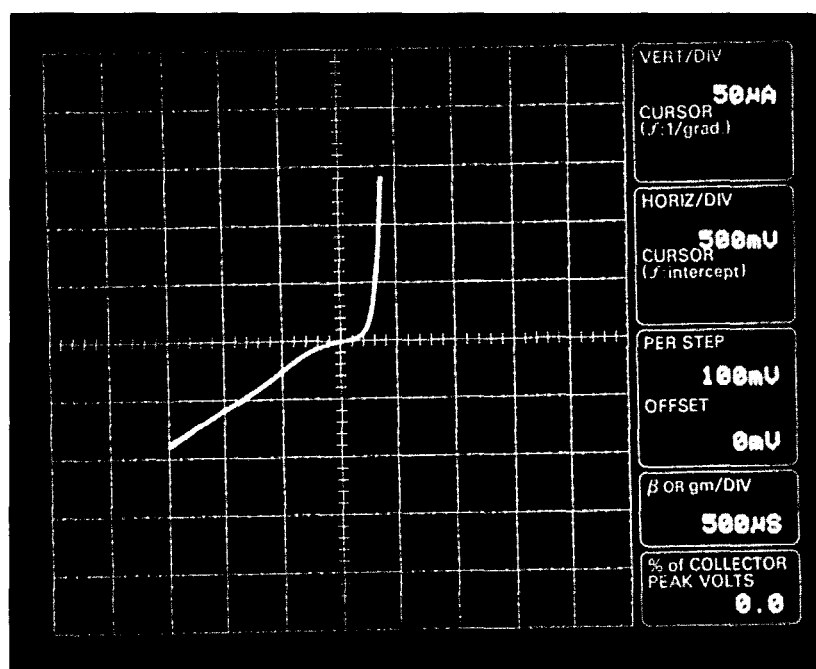
Ainsi, la lithographie des contacts ohmiques (et des marques) consiste en un dépôt d'une bicouche de résines électrosensibles : Le copolymère P(MMA-8.5%MAA)13% (poly(méthacrylate de méthyle-méthacrylate)) et la PMMA (poly(méthacrylate de méthyle)). L'écriture au masqueur électronique s'effectue en une seule étape sous une tension d'accélération de 50kV. Le copolymère P(MMA-MAA) étant plus sensible (*High Sensibility*) que la PMMA (*Low Sensibility*) (bicouche *HILO*), le profil obtenu après révélation (profil en casquette) permet de faciliter le *lift-off* de la métallisation.

Pour déterminer l'influence de la distance source-drain, nous avons relevé la caractéristique du contact Schottky sur le HEMT dont  $L_{SD}=1.3\mu\text{m}$  et le HEMT dont  $L_{SD}=2\mu\text{m}$ . Ces caractéristiques sont représentées sur la figure II-7. La caractéristique en direct du contact Schottky est identique quelle que soit  $L_{SD}$ . En revanche, pour  $L_{SD}=1.3\mu\text{m}$ , la

tenue en inverse est nettement dégradée. En effet, pour  $L_{SD}=2\mu\text{m}$  et  $1.3\mu\text{m}$ , les valeurs de  $V_{gs}$  pour  $I_g = -1\text{mA/mm}$  sont respectivement de  $-3.6\text{V}$  et  $-0.8\text{V}$ .



(a)



(b)

Figure II-7 : Caractéristique du contact Schottky  $I_g=f(V_{gs})$   
 pour une distance  $L_{SD}$  de  $2\mu\text{m}$  (a) et  $1.3\mu\text{m}$  (b) de développement  $W=50\mu\text{m}$ .

III-2-a-3) caractérisation des contacts ohmiques

La caractérisation des contacts ohmiques s'effectue par la méthode TLM (*Transmission Line Method*), proposée par W. Shockley. Cette méthode permet de déterminer, à la fois, la résistance carrée de l'hétérostructure ( $R_{carrée}$ ) et la résistance de contact ( $R_c$ ). Cette technique consiste à utiliser une échelle de résistance dont la distance  $L$  entre les contacts est variable (figure II-8-a). Nous mesurons alors la résistance  $R$  pour chaque valeur de  $L$  par une mesure « quatre pointes ». La mesure « quatre pointes » permet de s'affranchir des résistances des pointes DC.

Finalement le tracé de la caractéristique  $R=f(L)$  permet la détermination de  $R_c$  et  $R_{carrée}$  (figure II-8-b) par l'équation :

$$R(L) = 2.R_c + \frac{R_{carrée}}{W} . L \quad (2)$$

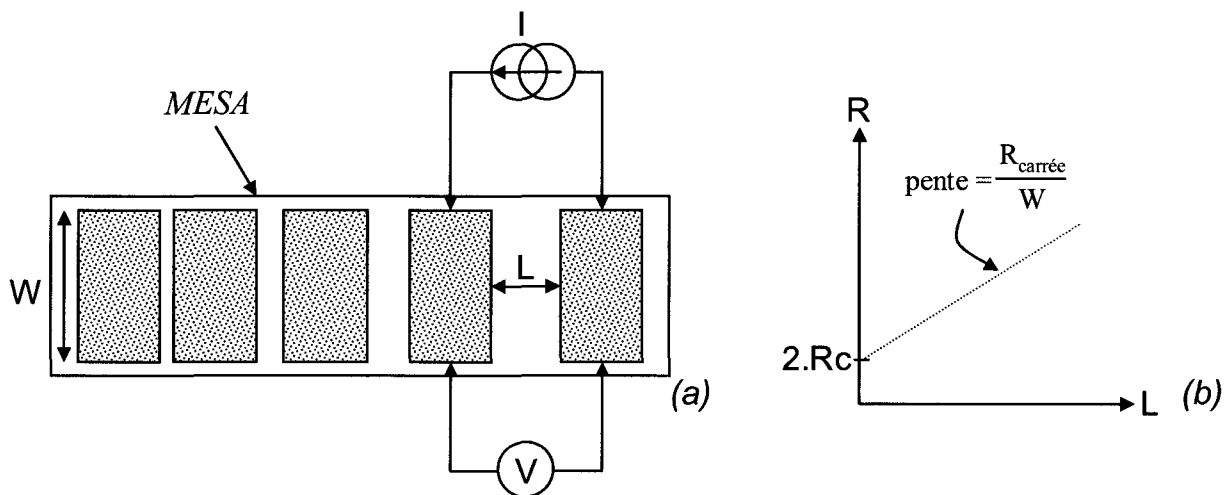


Figure II-8 : caractérisation du contact ohmique par la méthode TLM :  
a) Structure Test, mesure « quatre pointes » ; b) Caractéristique  $R=f(L)$ .

Ainsi, la valeur moyenne de la résistance de contact  $R_c$ , obtenue sur le HEMT de référence avec la métallisation Ni/Ge/Au/Ni/Au recuit à 295°C pendant 20s, est de 0.2  $\Omega$ .mm.

### *III-2-b-L'isolation*

L'étape d'isolation consiste à séparer électriquement les composants d'un même substrat. Deux types d'isolation peuvent être réalisées : l'isolation par gravure chimique et l'isolation par implantation ionique. Cette dernière, malgré certains avantages (structures planaires,...) est généralement peu utilisée puisque la technologie associée à l'implantation (protection des zones non implantées, propreté des couches implantées,...) est plus complexe. Néanmoins, il est à noter que de très bons résultats d'isolation ont été obtenus, sur des structures HEMT AlInAs/GaInAs en accord de maille sur InP, par implantation d'ion Argon [Fourré2].

Nous avons donc eu recours à une gravure chimique par voie humide pour réaliser l'isolation de nos composants HEMT et DG-HEMT. Nous verrons, par la suite, que la profondeur de gravure des mesa d'isolation de nos DG-HEMT est d'environ 900Å ce qui limite le risque de coupure de la métallisation de grille dans la descente du mesa.

Le procédé de gravure par voie humide des matériaux arséniés fait intervenir, de manière générale, un processus d'oxydation réalisé généralement par le peroxyde d'hydrogène (H<sub>2</sub>O<sub>2</sub>) qui oxyde la surface du semi-conducteur. Cette couche oxydée est ensuite attaquée par une solution acide ou basique. Par ailleurs, de l'eau est ajoutée dans la solution afin de contrôler la cinétique de gravure.

Généralement on distingue deux types de mécanismes limitant la gravure du semi-conducteur:

D'une part, la réaction peut être limitée par le processus de diffusion des espèces chimiques vers la surface à attaquer ou pour extraire les produits dissous de la surface du semi-conducteur. Les vitesses de gravure des semi-conducteurs dans ces solutions sont extrêmement dépendantes de l'agitation de l'échantillon. Ce processus de gravure est donc peu préconisé dans la fabrication de composants compte tenu de la faible reproductibilité de la gravure.

D'autre part, la gravure peut être limitée par la réaction chimique proprement dite. Dans ce cas, la vitesse de gravure est quasi-insensible à l'agitation de l'échantillon mais

dépend fortement de la température de la solution. La profondeur de gravure est alors linéairement dépendante du temps.

Finalement, la solution de gravure que nous avons retenue pour la réalisation de nos mesa d'isolation est constituée d'acide orthophosphorique ( $H_3PO_4$ ), de peroxyde d'hydrogène ( $H_2O_2$ ) et d'eau ( $H_2O$ ) en proportion 5/1/40. Cette solution correspond au second mécanisme décrit précédemment. La vitesse de gravure, très reproductible, est de  $1600\text{\AA}\cdot\text{min}^{-1}$  sur l'hétérostructure  $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$ . Les limites de cette gravure sont définies par lithographie optique puisque la précision requise sur le positionnement de la zone active par rapport aux contacts ohmiques est de l'ordre du micromètre. Afin de vérifier l'isolation des composants, nous disposons d'un motif Test d'isolation sur le masque. Cette structure correspond, tout simplement, à la structure Test d'une échelle *T.L.M.*. Cependant, dans le cas du motif d'isolation, la zone active entre deux plots consécutifs est gravée. Un exemple de caractéristique *I-V* obtenue sur le motif d'isolation est représenté sur la figure II-9.

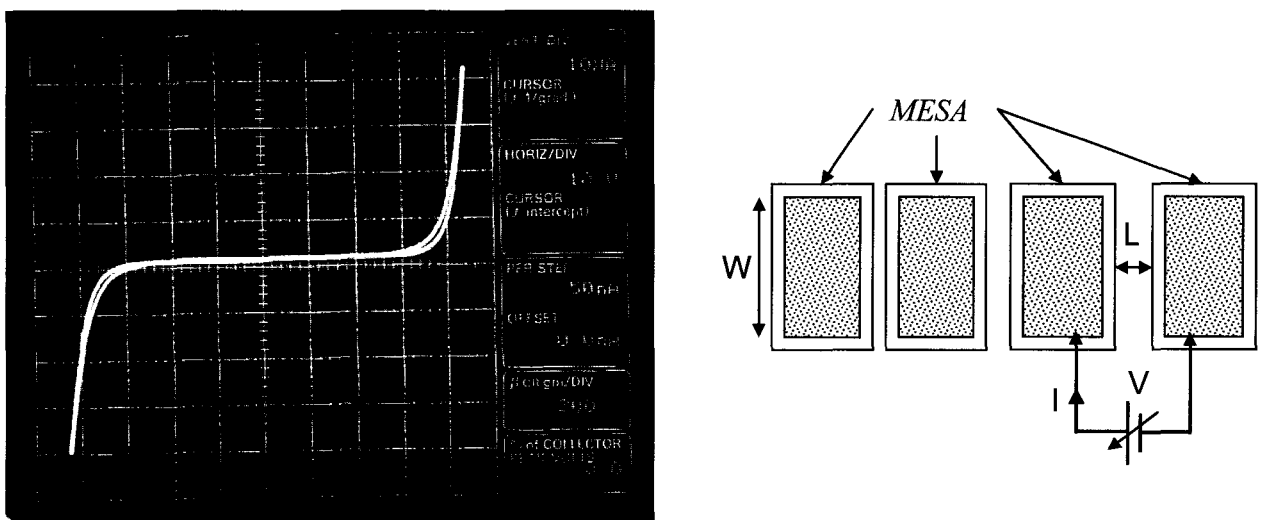


Figure II-9 : Caractéristique *I-V* d'un motif d'isolation  $L=2\mu\text{m}$ ,  $W=100\mu\text{m}$ .

Afin de limiter les risques de contacts de la métallisation de grille avec le canal d' $In_{0.53}Ga_{0.47}As$  sur le flanc du mesa, certains auteurs préconisent de réaliser une seconde gravure sélective du canal après l'isolation [Bahl1], [Bahl2]. Nous avons donc effectué cette gravure sélective à l'aide d'une solution à base d'acide succinique (AS) et  $H_2O_2$  en proportion 30/4. Cependant aucune amélioration n'a pu être observée sur les caractéristiques des contacts Schottky ni sur les performances hyperfréquences des composants. Ainsi, nous avons décidé de supprimer cette étape de sous-gravure du canal pour la fabrication de nos composants.

### III-3- OPTIMISATION DU RECESS DE GRILLE & ÉLABORATION DES TECHNOLOGIES DE REPORT ET DE SECONDE GRILLE

Dans ce paragraphe, nous allons présenter les modifications apportées à la technologie standard de fabrication de la grille et les étapes nouvelles associées au procédé de fabrication des DG-HEMT.

#### *III-3-a- Amélioration de la technologie de la première grille*

Cette partie du paragraphe regroupe l'ensemble des étapes de fabrication de la première grille : lithographie de grille submicronique et la gravure du recess de grille. Par la suite, nous verrons que l'étape de fabrication de la seconde grille diffère de la première par la modification de la lithographie de grille.

#### *III-3-a-1) La lithographie de la première grille*

Afin de s'affranchir de la complexité de fabrication de grille en T sub-50nm [Duszynski1] (utilisation de diélectrique pour définir le pied de grille, gravure RIE,...), nous nous sommes fixés, comme objectif, d'obtenir une longueur de grille métallique de 100nm sur les transistors DG-HEMT. Ainsi, la lithographie de grille consiste en un laquage d'un bicouche de résine électrosensible d'épaisseur différente. Le but étant d'obtenir un profil en « T » en une seule écriture et une seule révélation (*single step*). Quant au choix de la structure en « T », elle s'impose par la réduction de la résistance de grille  $R_g$ .

Les résines utilisées pour cette étape sont :

- la résine PMMA 950K d'épaisseur 1500Å.
- le copolymère P(MMA-8.5%MAA) 33% d'épaisseur 6800Å.

Contrairement à la lithographie des contacts ohmiques, la résine la moins sensible est déposée en première (bicouche *LO/HI*). Le pied de grille est alors défini dans le PMMA. Quant au chapeau de grille, il est défini dans le copolymère P(MMA-MAA). Ainsi, après une seule écriture et une seule révélation, nous obtenons un profil en « T » dans la résine. La figure II-10 illustre le procédé bicouche permettant d'obtenir un profil en « T ».

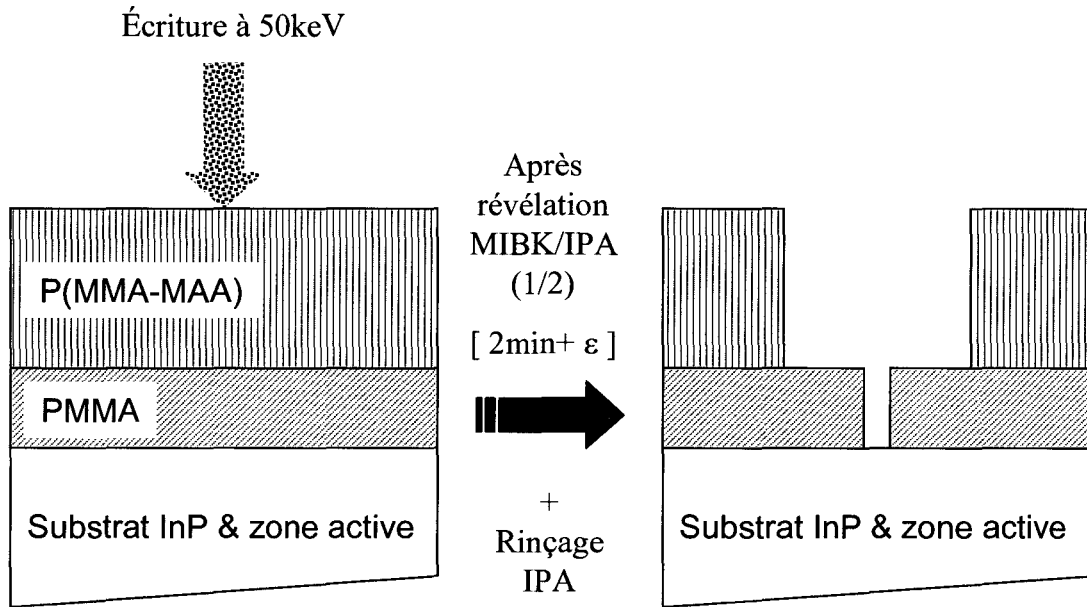


Figure II-10 : Illustration du procédé bicouche pour l'obtention d'un profil en « T ».

Afin d'obtenir le profil de résine représenté sur la figure II-10, il convient d'insoler l'empilement de résine suivant un certain *design de grille*. En effet, la PMMA doit être plus dosée à l'endroit du pied de grille afin de faciliter son ouverture lors de la révélation. En revanche, de chaque côté du pied de grille, la dose doit être plus faible afin de révéler uniquement la résine P(MMA-MAA) et éviter la révélation de la PMMA.

Ainsi, comme l'illustre la figure II-11, l'écriture à 50keV de la grille se décompose en 5 zones dosées différemment

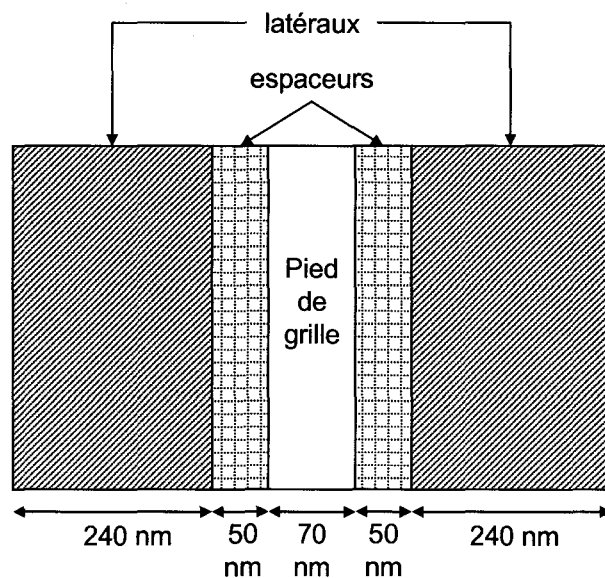


Figure II-11 : Design d'écriture à 50keV pour l'obtention de grilles de longueur métallique de 100nm.



- Une zone fortement dosée ( $417 \mu\text{C}.\text{cm}^{-2}$ ) définissant le pied de grille.
- Deux zones moyennement dosées ( $238 \mu\text{C}.\text{cm}^{-2}$ ) définissant le chapeau de grille (Latéraux).
- Deux zones faiblement dosées ( $70 \mu\text{C}.\text{cm}^{-2}$ ) permettant une meilleure définition du pied de grille (espaceurs).

Il est à noter que l'écriture du pied de grille se fait sur une longueur de 70nm afin d'aboutir à une longueur métallique du pied de grille de 100nm. En effet, nous dosons très fortement le pied de grille afin que celui-ci soit défini précisément sur toute la largeur du développement du transistor et qu'aucune trace de résine ne soit présente à cet endroit.

La figure II-12 représente une observation au MEB (*Microscope Electronique à Balayage*) de la lithographie de grille de 100nm après écriture, révélation (MIBK:IPA[1:2], pendant 2 minutes) et rinçage IPA.

On peut donc observer qu'aucune trace ne subsiste au niveau du pied de grille et que l'ouverture du pied de grille est parfaitement définie.



Figure II-12 : Observation MEB de la lithographie de grille 100nm après révélation.

### III-3-a-2) Le fossé de grille (Recess).

L'étape de gravure du fossé de grille ou *recess* de grille consiste à graver la couche de contact ohmique (*cap*) au niveau du pied de grille afin de déposer le contact Schottky sur un matériau non-dopé à grand gap. Cette étape est sans doute la plus cruciale dans la fabrication d'un transistor HEMT. En effet, celle-ci influence la quasi-totalité des éléments du schéma équivalent petit signal du composant. Il est donc indispensable de contrôler précisément à la fois la largeur du recess et sa profondeur.

Un recess trop large aura tendance à relaxer le champ électrique en sortie de grille et diminuera ainsi la conductance de sortie *gd* du transistor. De plus, les capacités intrinsèques *Cgs* et *Cgd* seront diminuées. En revanche, les résistances parasites de source *Rs* et de drain *Rd* seront plus importantes. Quant à un recess trop étroit, celui-ci provoquera les phénomènes inverses.

Outre la largeur du recess, la profondeur de celui-ci conditionne la valeur de la tension de seuil  $V_{TH}$  des composants puisqu'elle dépend principalement de la distance entre l'électrode de grille et le gaz d'électrons. Une tension de seuil précise et homogène sur l'ensemble du substrat est indispensable pour la réalisation de circuits intégrés monolithiques. Cette profondeur du recess est habituellement contrôlée grâce à la sélectivité de gravure entre la couche de contact ohmique et la couche Schottky.

Ainsi, nous avons eu recours à une gravure chimique par voie humide pour contrôler l'étape du recess. Généralement, la réalisation de gravure sélective par voie humide entre matériaux arséniés est basée sur une solution contenant un acide organique tel que l'acide succinique [Broekaert1] ou l'acide citrique [Desalvo1]. Ces acides ont tendance à dissoudre plus rapidement les oxydes de gallium que les oxydes d'aluminium.

Au laboratoire, les premières études basées sur ces acides ont été menées par H. Fourré [Fourré1], [Fourré3]. Ainsi, la meilleure sélectivité de gravure, sur les matériaux AlInAs/GaInAs en accord de maille sur InP, a été obtenue avec une solution à base d'acide succinique (AS) tamponné à pH=5 et de peroxyde d'hydrogène (H<sub>2</sub>O<sub>2</sub>) en proportion 30/4. La sélectivité de gravure est de 70 contre 17 pour une solution à base d'acide citrique. Cette solution sera donc retenue pour l'ensemble de nos gravures de fossé de grille.

D'autres études, au sein de l'équipe, ont montré la nécessité de rajouter une phase supplémentaire à la gravure du recess. Cette phase correspond à une désoxydation au préalable avant la gravure [Hoëll1]. Elle permet de supprimer le temps de latence que l'on

peut observer pour l'initialisation de la gravure dû à des oxydes formés en surface du cap difficilement dissous avec l'AS. Cette désoxydation s'effectue en milieu acide car les résines électroniques ne résistent pas aux attaques basiques.

Parfois même, sur les filières métamorphiques, il s'est avéré indispensable de rajouter un agent mouillant dans la solution de gravure afin d'améliorer la mouillabilité de la solution sur le semi-conducteur et ainsi d'augmenter le rendement de gravure lorsque les motifs à graver sont de faibles dimensions [zaknour1].

Ainsi, l'étape de gravure du fossé de grille que nous avons employée est la suivante :

- **Désoxydation de surface avec HCl/H<sub>2</sub>O en proportion 1/10, durée 30 sec.**
- **Gravure recess avec AS(pH=5)/H<sub>2</sub>O<sub>2</sub> en proportion 30/4, durée 45 sec.**
- **Rinçage H<sub>2</sub>O pendant 5 minutes.**
- **Séchage azote.**

Néanmoins, malgré une observation au MEB confirmant une ouverture du pied de grille de 100nm sur la totalité du développement après révélation, nous avons observé une non uniformité de la largeur du recess le long du développement du transistor. La figure II-13 représente les résultats de la gravure recess obtenus sur un échantillon In<sub>0,53</sub>Ga<sub>0,47</sub>As/InP après dérésinage dont l'ouverture du pied de grille dans la résine était de 100nm.

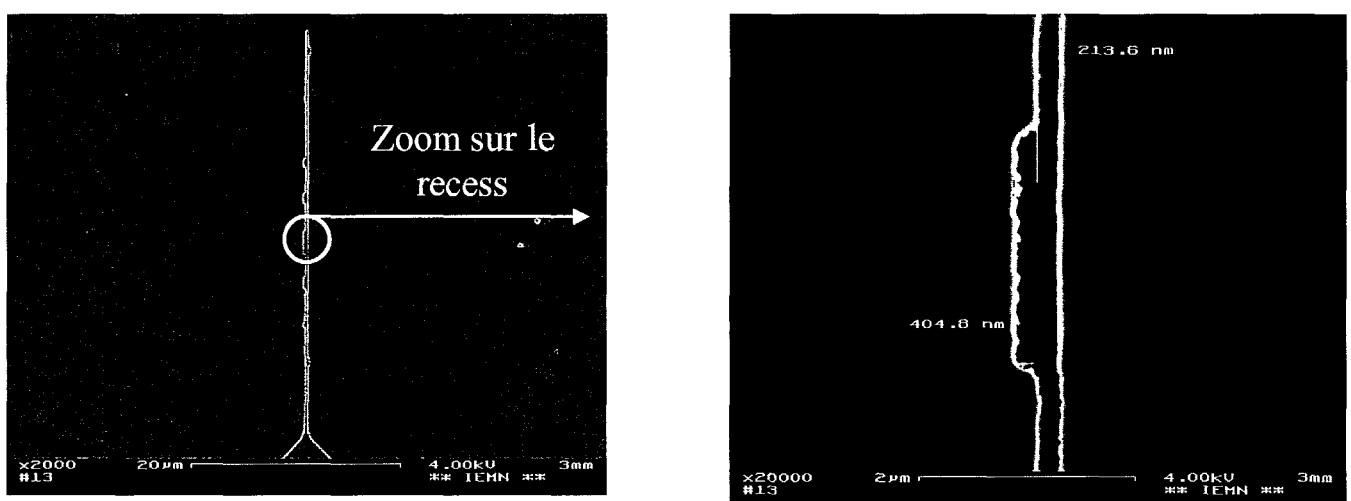


Figure II-13 : Observation MEB de la largeur du recess de grille sur un développement de 50µm après gravure AS/H<sub>2</sub>O<sub>2</sub> (45sec) et dérésinage.

On constate que la largeur du recess passe du simple au double à certains endroits du développement de la grille.

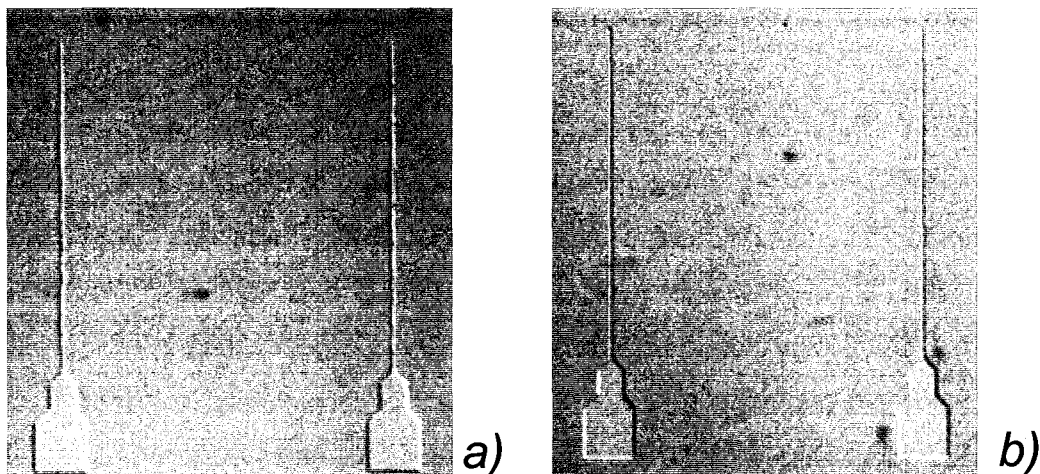
De plus, ce phénomène a pu être observé de manière reproductible et systématique sur plusieurs réalisations technologiques de transistors HEMT.

Afin de déterminer la cause de cet élargissement local du fossé de grille, nous avons découplé l'effet éventuel de la gravure du recess par la solution d'acide succinique et de la lithographie de grille (résinage, écriture et révélation). Pour ce faire, nous avons remplacé la solution à base d'acide succinique premièrement, par une solution d'acide citrique puis, pour confirmer les résultats, une solution à base d'acide orthophosphorique a été utilisée. Ainsi, un résinage, dans les mêmes conditions que précédemment a été entrepris dans le but de tester ces trois solutions sur l'uniformité du recess de grille.

Finalement, ces essais ont abouti au même profil de gravure que la figure II-13. Par conséquent, il s'est avéré que la non uniformité du fossé de grille était liée à un problème d'adhérence des résines électroniques sur la surface du semi-conducteur et non au type de gravure utilisé.

Nous avons donc envisagé d'effectuer un recuit sur plaque après la révélation de la grille afin de faire fluer légèrement la résine et améliorer ainsi l'uniformité de la largeur du recess.

De nombreux essais ont donc été entrepris afin de déterminer la température et la durée minimales de recuit de résine sur plaque. Ainsi, comme le montre la figure II-14, il semblerait qu'un recuit à 120°C pendant 30 minutes soit optimal pour obtenir une largeur de recess parfaitement uniforme le long du développement de grille.



*Figure II-14 : Observations au microscope optique de la largeur du recess de grille après gravure AS/H<sub>2</sub>O<sub>2</sub> (45sec) et dérésinage  
a) sans recuit sur plaque, b) avec recuit sur plaque à 120°C pendant 20 minutes.*

Malheureusement, ce recuit n'est pas sans conséquence sur la forme du chapeau de grille après métallisation Ti/Pt/Au. Ainsi, comme le montre la figure II-15, après recuit de la résine, il apparaît un affaissement du copolymère P(MMA-MAA) modifiant complètement le profil de la grille.

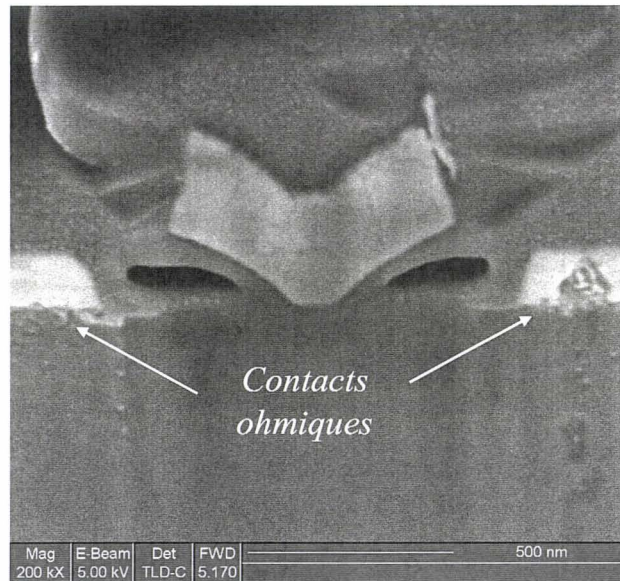


Figure II-15 : Observation MEB d'une grille métallisée après un recuit de résine à 120°C pendant 30 minutes.

Toutefois, on constate sur la figure II-15 que l'influence du recuit sur la longueur du pied métallique n'est pas perceptible puisque la longueur du pied de grille reste de 100nm. Néanmoins, cette méthode reste hasardeuse et ne peut être utilisée pour des longueurs de grille sub-100nm.

De ce fait, nous avons eu recours à un promoteur d'adhérence HMDS (*HexaMethylDiSilazane*) afin d'améliorer l'adhérence de la PMMA sur le semi-conducteur. Ce promoteur est généralement utilisé pour augmenter l'adhérence entre les substrats semiconducteurs, les substrats de verres ou les oxydes et les résines photosensibles telles que la LOR (*Lift-Off Resist*) et la PMGI (*PolyMethylGlutarImide*) de chez *MicroChem*.

Le promoteur d'adhérence HMDS n'a modifié aucunement les paramètres d'écriture au masqueur électronique (dose, design d'écriture) ni les paramètres de laquage des résines électroniques (vitesse, accélération, temps). Ces essais ont été concluants puisqu'un recess parfaitement rectiligne sur la totalité du développement du transistor et un profil de grille correctement défini ont pu être établis. Ces résultats sont représentés sur la figure II-16

Ainsi, sur l'ensemble de nos lithographies de grille, nous avons utilisé le promoteur d'adhérence HMDS au préalable avant le laquage du bicouche de résine.

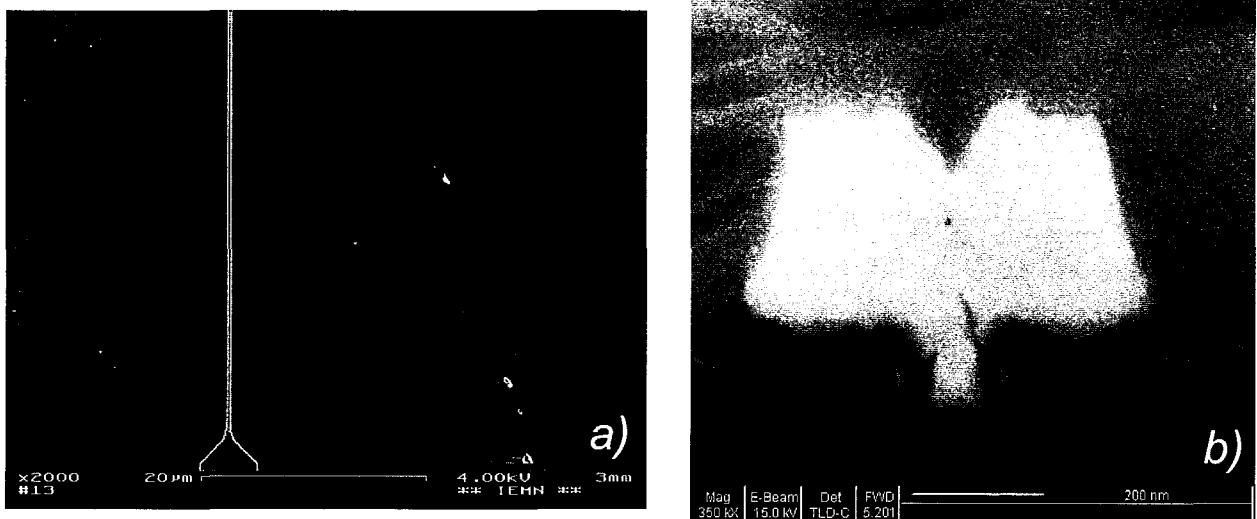
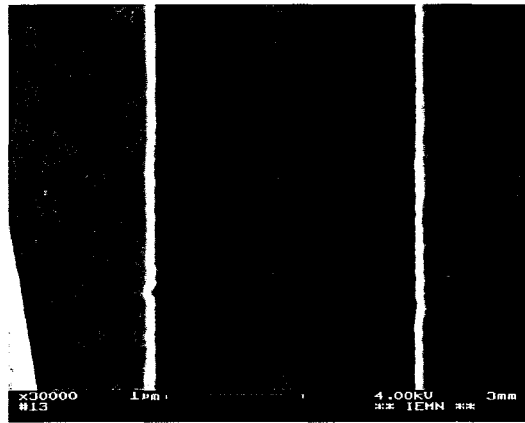


Figure II-16 : a) Observation MEB de la largeur du recess de grille après gravure  $AS/H_2O_2$  (45sec) et dérésinage (utilisation du promoteur HMDS)  
b) profil de grille obtenu après métallisation Ti/Pt/Au

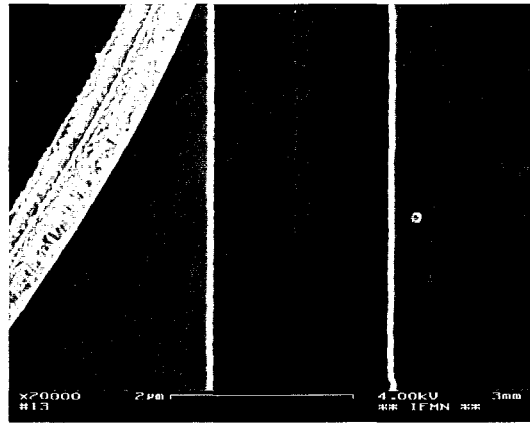
### III-3-a-3) Caractérisations électriques du HEMT de référence.

Après avoir optimisé l'étape de la lithographie grille, nous avons étudié l'influence du temps de gravure du recess de grille sur les performances statiques et dynamiques de la structure HEMT de référence.

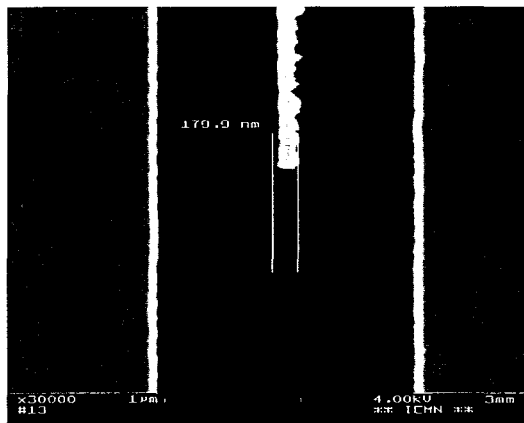
Pour cela, nous avons d'abord estimé la largeur de gravure latérale du recess obtenue sur ces composants dans une ouverture du pied de grille de 100nm en fonction du temps de gravure. Sur la figure II-17, nous représentons des observations MEB des différentes largeurs du recess de grille en fonction du temps de gravure. On peut constater que la gravure du recess avec la solution à base d'acide succinique ne semble pas démarrer instantanément. En effet, pour un temps de gravure de 5 secondes, on remarque que la gravure n'est pas uniforme le long du développement du transistor. La cause peut provenir soit de la diffusion des espèces en solution à la surface du semi-conducteur compte tenu de la faible ouverture de résine soit à une désoxydation incomplète de la surface du semi-conducteur. Néanmoins, après une gravure minimale d'environ 30 secondes, il semblerait que la gravure du cap soit complètement achevée sur la totalité du développement du transistor. De plus, à ce moment là, la vitesse de gravure latérale du recess est uniforme de l'ordre de 2nm/s.



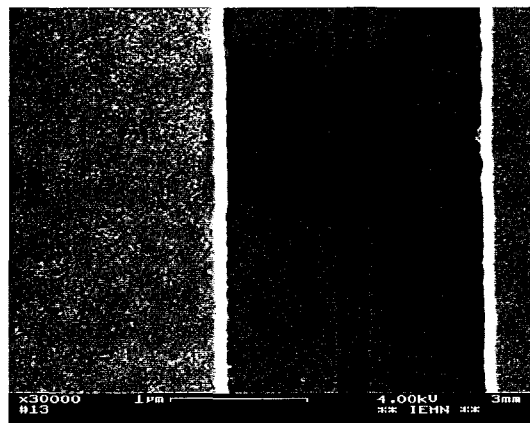
T= 5sec



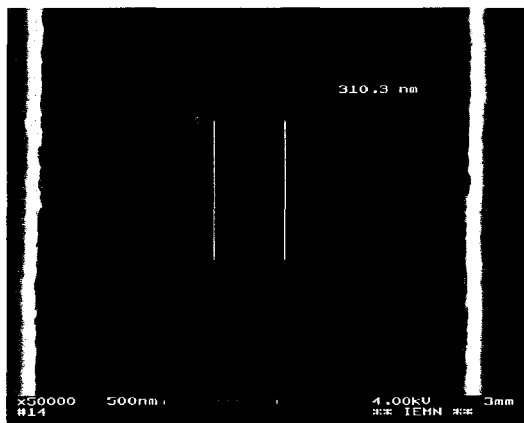
T= 15sec



T= 30sec (largeur:180nm)



T= 45sec (largeur:210nm)



T= 90sec (largeur:310nm)

**Procédé de gravure:**

-désoxydation HCl:H<sub>2</sub>O (1:10) 30sec

-gravure AS<sub>(pH=5)</sub>:H<sub>2</sub>O<sub>2</sub> (30:4)

-rinçage EDI 5min

Figure II-17 : Observation MEB de la largeur du recess de grille sur la structure HEMT de référence en fonction du temps de gravure.

→ Caractérisation en régime statique

La figure II-18 représente les caractéristiques de sortie du HEMT de référence, de développement  $W=2 \times 50 \mu\text{m}$ , pour chaque valeur du temps de gravure du recess de grille. On constate un bon pincement des composants et une absence d'effet Kink quel que soit le temps de gravure. En revanche, on observe que le courant de saturation des transistors diminue lorsque le temps de gravure augmente. En effet, la sélectivité de gravure entre le cap et la couche Schottky n'étant pas infinie lors du recess, une gravure trop longue entraîne une réduction de l'épaisseur de la couche Schottky. Autrement dit, le pincement du transistor se fait plus rapidement lorsque le temps de gravure est important compte tenu de la diminution de la distance grille-gaz d'électrons.

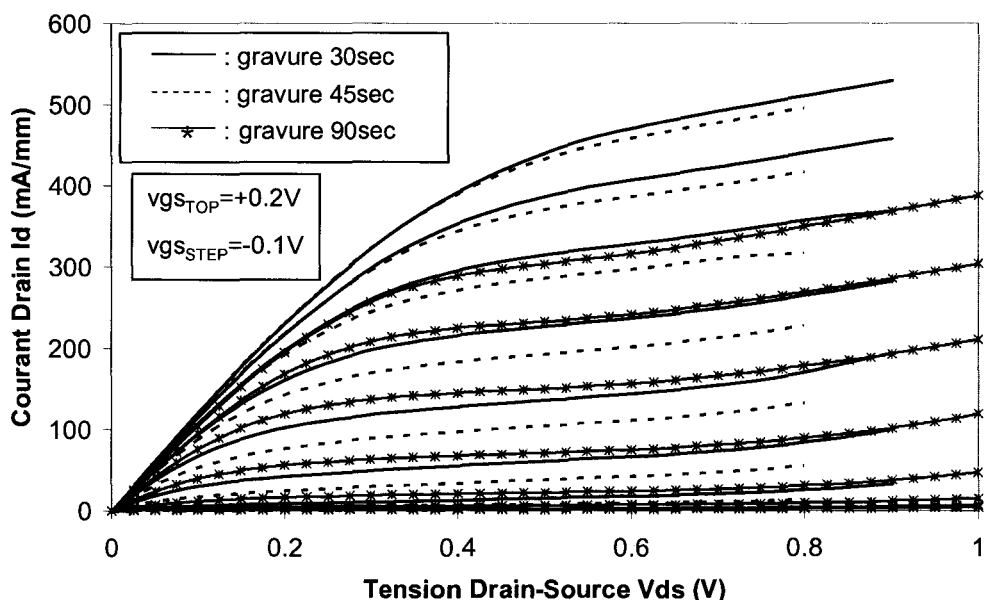


Figure II-18 : Caractéristiques de sortie du HEMT de référence ( $L_g=100\text{nm}$ ,  $W=100\mu\text{m}$ ) suivant le temps de gravure du recess de grille.

Sur la figure II-19, nous représentons les caractéristiques de transfert  $I_d(V_{gs})$  et  $G_m(V_{gs})$  des composants à  $V_{ds}=0.8\text{V}$  pour les différents temps de gravure. Ces caractéristiques confirment la réduction de la distance grille-gaz d'électrons puisque la tension de seuil  $V_{TH}$  des HEMT se rapproche de  $0\text{V}$  avec l'augmentation du temps de gravure. Par ailleurs, on peut observer que la transconductance extrinsèque  $G_m$  passe par un optimum, pour une gravure de 45 secondes, avec une valeur de  $980\text{ mS/mm}$  pour un courant drain  $I_d$  associé de  $540\text{ mA/mm}$ .



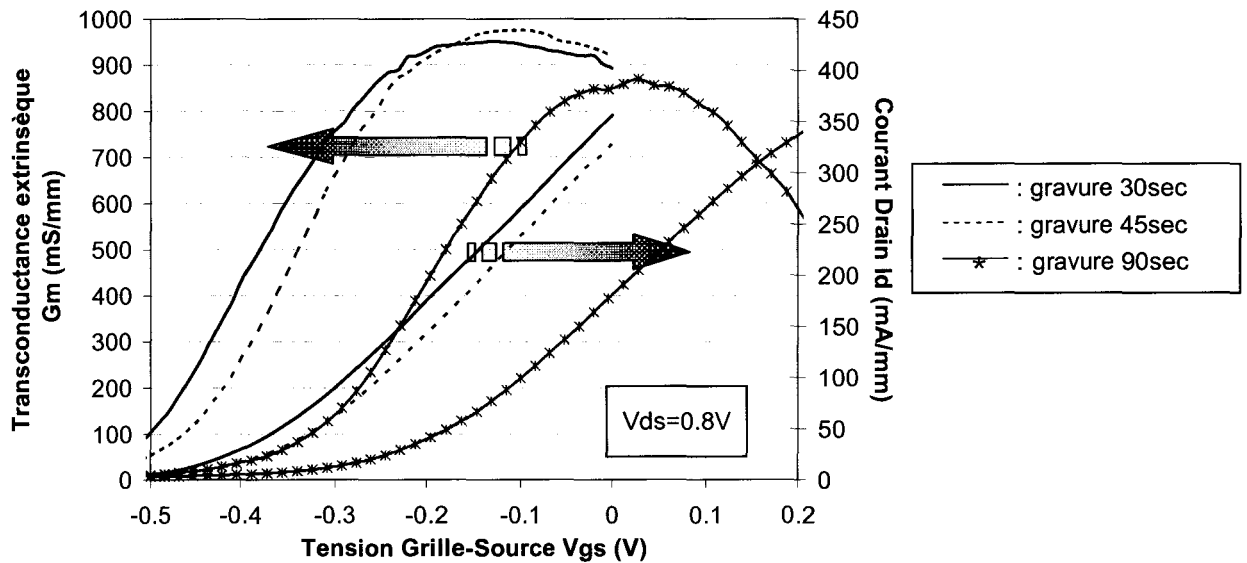


Figure II-19 : Caractéristiques de Transfert du HEMT de référence ( $L_g=100\text{nm}$ ,  $W=100\mu\text{m}$ ), à  $V_{ds}=0.8\text{V}$ , suivant le temps de gravure du recess de grille.

Sur la figure II-20, nous avons reporté l'évolution des caractéristiques du contact Schottky (en direct et en inverse) obtenue suivant le temps de gravure.

Nous pouvons constater que les caractéristiques Schottky en direct ont quasiment la même allure avec une tension de *built-in*  $V_b$  d'environ  $0.35\text{V}$  et un coefficient d'idéalité  $\eta$  compris entre 1.5 et 1.7. Ces résultats ont été obtenus en traçant le logarithme de  $I_g$  en fonction de  $V_{gs}$ . Ainsi, la détermination de la pente et de l'ordonnée à l'origine permet de calculer  $\eta$  et  $V_b$ .

La valeur identique de  $V_b$  quel que soit le temps de gravure semblait évident puisque la tension de *Built-in* ne dépend que de l'interface métal /semi-conducteur. Dans notre cas, elle correspond à l'interface  $\text{Ti}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ .

En revanche, on observe une dégradation notable de la tenue en inverse du contact Schottky lorsque la largeur du recess augmente.

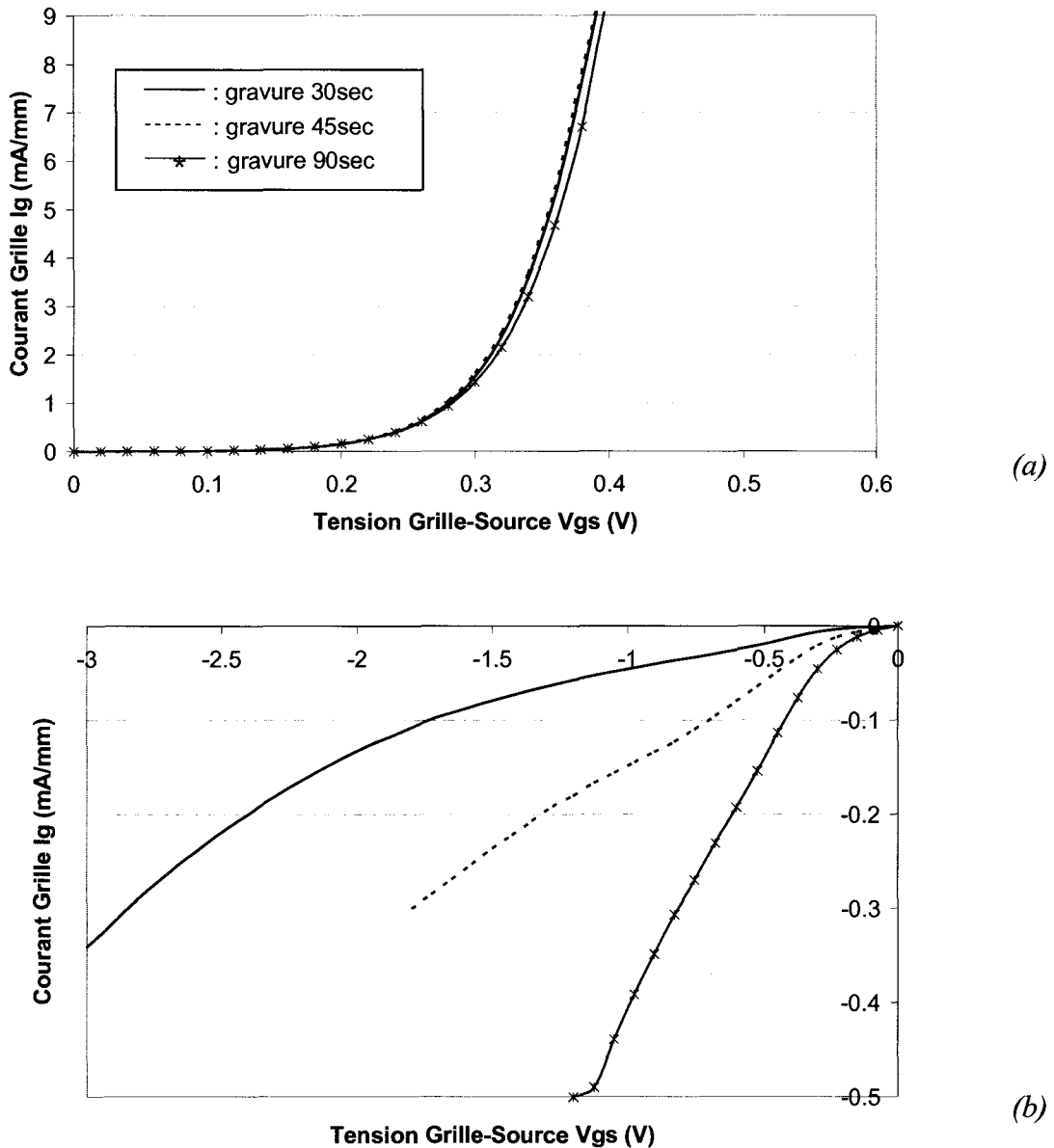


Figure II-20 : Caractéristiques Schottky direct (a) et inverse (b) pour chaque temps de gravure du recess de grille.

→ **Caractérisation en régime dynamique**

Des mesures de paramètres S (*on-wafer*) ont été effectuées sur la structure HEMT de référence pour chaque temps de gravure du recess. Pour cela, nous disposons, au laboratoire d'un analyseur de réseaux vectoriel HP8510C fonctionnant jusqu'à 50GHz.

Grâce à une méthode de calibration LRM (*Line, Reflect, Match*), nous nous sommes affranchis des conditions environnementales (éléments de mesure, analyseur vectoriel, ..) induisant des erreurs de mesure (systématique ou de dérive) sur les paramètres  $S_{ij}$ . Ainsi, la

calibration LRM permet de ramener les plans de mesure brute des paramètres S aux plans des pointes. A cela, il faut retrancher la longueur électrique des plots d'accès coplanaire afin de se ramener dans le plan du transistor. Ces plots d'accès coplanaires étant assimilables à une ligne de propagation  $50\Omega$  sans perte, nous retranchons simplement un *delay* correspondant à un retard de propagation. Sur le masque TURBO, le *delay* associé au accès coplanaire est de 0.3ps.

### •Calcul des gains :

Sur la figure II-21, nous représentons l'évolution du gain unilatéral de Mason  $U_g$  et le gain en courant  $|H_{21}|^2$  pour chaque temps de gravure du recess.

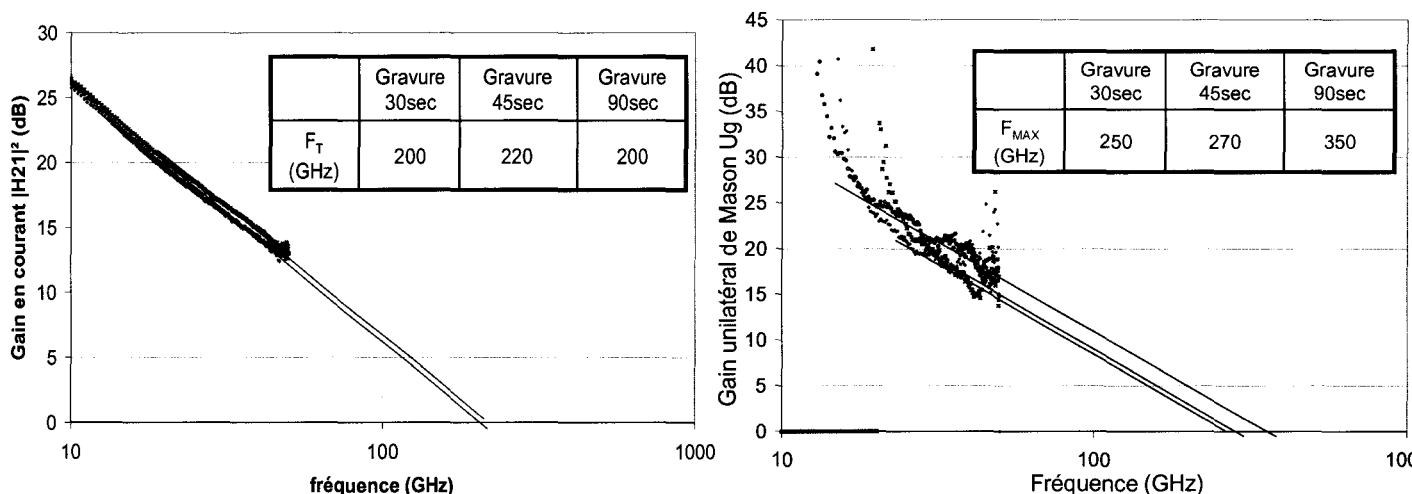


Figure II-21 : évolution des gains des HEMT de référence ( $L_g=100\text{nm}$ ,  $W=100\mu\text{m}$ ) pour chaque temps de gravure. Polarisation :  $V_{ds}=0.8\text{V}$ ,  $V_{gs}=\text{maximum du gm}$ .

Pour chaque gain, nous avons déterminé la fréquence de coupure du gain en courant  $f_T$  et la fréquence maximale d'oscillation  $f_{MAX}$  par une extrapolation des gains en  $-20\text{dB/décade}$ .

Ces fréquences de coupures sont indiquées sur la figure II-21, suivant le temps de gravure du recess.

Ainsi, on constate que la fréquence de coupure  $f_T$  passe par un optimum pour une gravure de 45sec (largeur totale du recess = 210nm) avec une valeur de 220GHz. En revanche, la fréquence de coupure  $f_{MAX}$  continue de croître avec l'augmentation de la largeur du recess. A noter que les valeurs de  $f_{MAX}$  indiquées dans les tableaux de la figure II-21 sont à prendre avec précaution compte tenu de l'évolution fréquentielle de  $U_g$ . Néanmoins, on constate que  $U_g$  augmente avec l'augmentation de la largeur du recess.

**•Détermination du schéma équivalent petit signal :**

Afin d'interpréter l'évolution des fréquences de coupure obtenues suivant la largeur du recess, le schéma équivalent petit signal a été extrait, à partir des mesures des paramètres  $S_{ij}$  large bande, pour chaque configuration du recess de grille.

La méthode d'extraction du schéma équivalent petit signal, développée par G. Dambrine, étant abondamment employée, nous ne reviendrons pas sur la détermination de ce schéma équivalent. Toutefois, les lecteurs intéressés pourront trouver les détails de cette méthode dans plusieurs ouvrages [Dambrine1], [Dambrine2].

Dans le tableau II-2, nous avons reporté l'ensemble des éléments du schéma équivalent petit signal, pour chaque largeur du recess de grille et pour une polarisation  $V_{ds}$  de 0.8V et  $V_{gs}$  prise au maximum du  $G_m$ .

Ainsi on peut constater :

- Une diminution de la conductance de sortie  $G_d$  avec l'augmentation de la largeur du recess. Cette évolution est liée à une meilleure relaxation du champ électrique en sortie de grille lorsque la largeur du recess est plus importante.

- Une augmentation de la capacité grille-source  $C_{gs}$  avec l'augmentation de la largeur du recess. Cette augmentation de  $C_{gs}$  peut être attribuée à la réduction de la distance grille-gaz d'électrons causée par la gravure trop profonde (sélectivité de gravure finie). Autrement dit, l'efficacité de la commande de charge du gaz d'électrons du canal  $\frac{\partial N_s}{\partial V_{gs}}$  est plus importante lorsque la distance grille-gaz d'électrons est plus faible.

- Une augmentation des résistances parasites  $R_s$  et  $R_d$  avec l'augmentation de la largeur du recess. En revanche,  $R_g$  évolue dans le sens opposé.

- Un passage par un optimum pour la transconductance intrinsèque  $G_m$  pour une largeur de recess de 210nm.

		Gravure 30sec ( $L_{RECESS}=180nm$ )	Gravure 45sec ( $L_{RECESS}=210nm$ )	Gravure 90sec ( $L_{RECESS}=310nm$ )
<i>Eléments extrinsèques</i>	Rs (ohm.mm)	0.33	0.33	0.4
	Rd (ohm.mm)	0.36	0.37	0.4
	Rg (ohm/mm)	38	38	30
	Lg (pH)	25	35	37
	Ld (pH)	35	35	37
	Ls (pH)	5	5	5
	Cpg (fF)	2	2	3
	Cpd (fF)	36	36	32
<i>Eléments intrinsèques</i>	Gm (mS/mm)	1450	1650	1560
	Gd (mS/mm)	217	202	115
	Cgs (fF/mm)	590	725	830
	Cgd (fF/mm)	200	163	110
	Cds (fF/mm)	176	47	16
	Ri (ohm)	4	6	6
	Tau (ps)	0.2	0.2	0.19
<i>Paramètres caractéristiques</i>	$V_{TH}$ (V)	-0.4	-0.35	-0.2
	Gm/Gd	6.7	8.2	13.6
	Cgs/Cgd	3	4.4	7.5
	$F_c = Gm/2\pi Cgs$ (GHz)	390	362	300
	$f_T$ (GHz)	200	220	200
	$f_{MAX}$ (GHz)	$\approx 250$	$\approx 270$	$\approx 350$

Tableau II-2 : Schémas équivalents petits signaux des HEMTs de référence ( $L_g=100nm$ ,  $W=100\mu m$ ), suivant la largeur du recess et pour une polarisation  $V_{ds}=0.7V$  et  $V_{gs} = \text{maximum du } G_m$ .

Finalement, l'augmentation croissante de  $f_{MAX}$  s'explique par une augmentation des rapports  $\frac{Gm}{Gd}$  et  $\frac{Cgs}{Cgd}$ .

Quant au maximum du  $f_T$ , celui-ci est obtenu pour le plus grand  $Gm$  c'est-à-dire pour une largeur de recess de 210nm.

### III-3-b-Technologie de report de substrat

Dans ce paragraphe, nous allons nous intéresser à la technologie de report de substrat. En effet, comme l'indique la figure II-1, la réalisation technologique de transistor DG-HEMT et VMT nécessite obligatoirement le transfert du substrat « actif » (substrat ayant la zone active des composants DG-HEMT) sur un substrat hôte (substrat de support) afin de travailler sur la face arrière du substrat « actif ». Dans notre cas, l'étape technologique sur la face arrière consiste à réaliser la seconde grille.

Avant de détailler la méthode de report que nous avons employée pour la fabrication des DG-HEMT et des VMT, nous allons présenter les différentes techniques les plus communément employées en microélectronique pour assembler deux substrats ainsi que la méthode retenue pour la fabrication de nos composants.

#### III-3-b-1) Les différentes méthodes de collage & choix de la méthode

Les techniques d'assemblage (ou de collage) de substrat peuvent se regrouper selon deux grandes familles :

- Les assemblages *directs* : ces assemblages n'utilisent aucune couche intermédiaire pour transférer les deux substrats.
- Les assemblages *indirects* : dans ce cas, le collage des deux substrats s'effectue par l'intermédiaire d'une couche d'interface.

Chaque famille peut encore se diviser selon la nature de l'assemblage.

La figure II-22 représente l'ensemble des techniques les plus couramment utilisées pour l'assemblage de substrat.

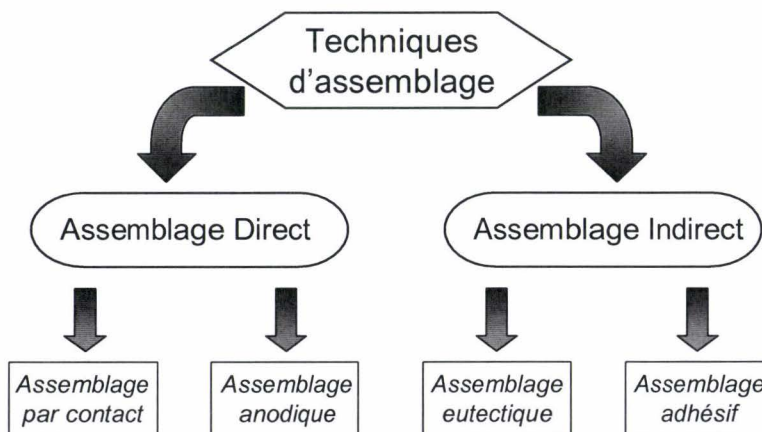


Figure II-22 : Les différentes procédures d'assemblage de substrat.

• L'assemblage par contact :

Cette technique d'assemblage de substrat repose sur les interactions intermoléculaires de Van Der Waals. Ainsi, avant l'assemblage de deux substrats, pouvant être de nature différente ou non, on réalise au préalable un traitement de surface sur les deux substrats à assembler. L'objectif étant de créer une surface hydrophile sur chaque substrat (présence abondante d'atome hydrogène en surface). A ce moment là, la mise en contact des deux substrats à température ambiante permet de créer des liaisons hydrogènes. Cependant, l'énergie d'assemblage reste faible. Plusieurs traitements thermiques à haute température sont donc indispensables pour augmenter l'énergie d'assemblage. La figure II-23 représente le mécanisme d'assemblage par contact.

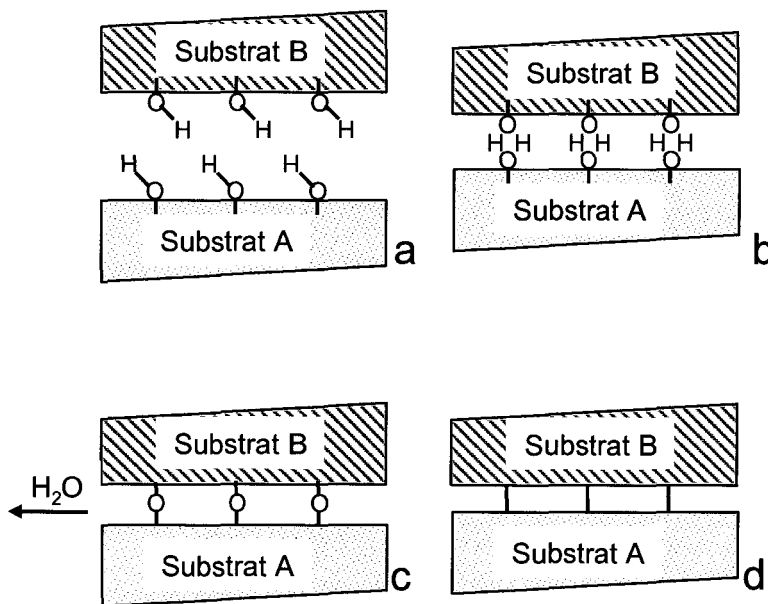


Figure II-23 : mécanisme d'assemblage par contact.

a) traitement de surface (surface hydrophile)

b) mise en contact à température ambiante (liaison OH)

c) 1<sup>er</sup> recuit thermique à température  $T_1$  (évaporation de molécule  $H_2O$ )

d) 2<sup>ème</sup> recuit thermique à température  $T_2 > T_1$  (assemblage substrat A et B)

Ainsi, des assemblages de substrats Si-Si, InP-InP ou Si-InP ont pu être réalisés [Shimbo1], [Wada1], [Mori1] pour des applications telles que les interconnexions optiques 3D.



Néanmoins, les applications les plus abondantes de l'assemblage par contact dans l'industrie des composants microélectroniques sont sans doute les procédés de fabrication des substrats SOI. On peut citer les technologies BESOI (*Bonding Etching SOI*) [Lasky1], SIMOX (*Separation by IMplanted OXYgen*) [Izumi1] et, la plus répandue, SMART-CUT [Bruehl1]. Dans ce cas, l'assemblage des deux substrats Silicium est précédé par la croissance d'oxyde de silicium sur chaque substrat. La mise en contact des deux substrats s'effectue alors par l'intermédiaire des couches SiO<sub>2</sub>.

L'avantage de cette technique d'assemblage est la forte énergie de liaison entre les substrats, proche de la résistance des matériaux massifs. La contrepartie est la nécessité d'avoir des surfaces très propres, exemptes de toutes impuretés avec un minimum de rugosité d'interface et de planéité [Tong1].

• L'assemblage anodique :

Ce type de collage consiste à assembler un substrat de verre, contenant des métaux alcalins, avec un substrat Si. Le pyrex, contenant 3.5% d'oxyde de Sodium (Na<sub>2</sub>O), est le substrat de verre le plus employé pour cette technique d'assemblage.

Cette technique est propre aux applications MEMS (*Micro Electro-Mechanical Systems*) telles que les capteurs de pression et d'accélération [Kress1], [Spangler1]. Elle est aussi largement utilisée pour le packaging des composants MOEMS (*Micro Optical MEMS*) puisqu'un couvercle transparent est souvent indispensable pour ce type de composant.

Le mécanisme d'assemblage est schématisé sur la figure II-24. Le principe consiste, tout d'abord à chauffer les deux substrats à très haute température (300-400°C) afin d'augmenter la mobilité des ions Na<sup>+</sup> du pyrex. De cette manière, le pyrex devient conducteur.

Ainsi, dès la mise en contact des deux substrats (figure II-24-a), l'application d'une différence de potentiel entre le pyrex et le substrat Si (700-1200V) est quasiment appliquée à l'interface pyrex-substrat. Ainsi, la forte intensité du champ électrique sur cette interface entraîne l'attraction des deux substrats. Les ions Na<sup>+</sup> du pyrex sont attirés par l'électrode négative de la source de tension (figure II-24-b). Cette attraction des ions Na<sup>+</sup> entraîne l'apparition d'une zone désertée proche de l'interface tandis que les ions O<sub>2</sub><sup>-</sup> sont attirés vers l'électrode positive. Ainsi, les ions O<sub>2</sub><sup>-</sup>, atteignant la surface du silicium, créent les liaisons d'assemblage permanentes Si-O (figure II-24-c).

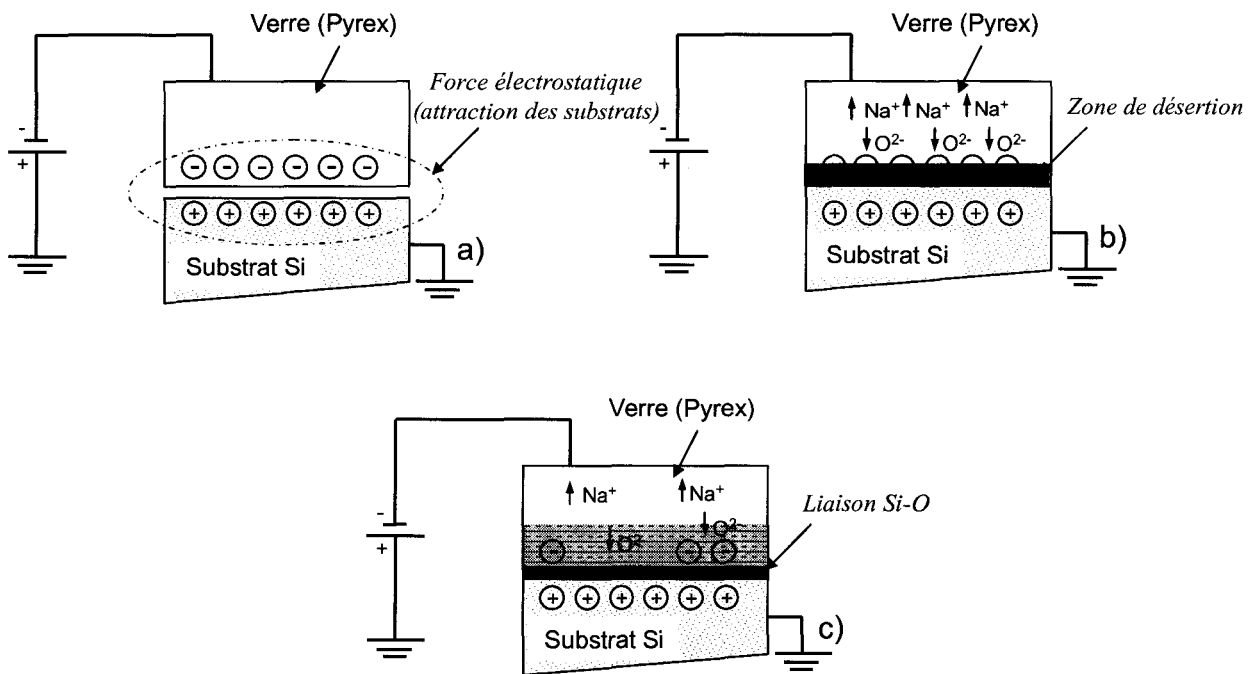


Figure II-24 : mécanisme d'assemblage anodique.

• L'assemblage eutectique :

L'assemblage eutectique consiste à utiliser une combinaison de métaux purs comme interface de collage [Bernhstein1]. Cette technique est basée sur le principe que les alliages pouvant être formés à partir de ces différents métaux, à l'origine purs, possèdent des points de fusion plus faibles que les métaux pris séparément. Le tableau II-3 représente les différents alliages les plus fréquemment utilisés pour cette technique d'assemblage ainsi que leurs points de fusion respectifs.

Le principe consiste à déposer les métaux purs sur chaque substrat. En appliquant une pression de contact sur les substrats et en chauffant, on atteint la phase eutectique des métaux utilisés. Lors du refroidissement, l'entrée en phase de solidification de l'eutectique ainsi formé, permet de créer un assemblage permanent des deux substrats.

<i>Alliage</i>	<i>Point de fusion (°C)</i>
Au <sub>80</sub> Sn <sub>20</sub>	281
Sn <sub>60</sub> Pb <sub>37</sub>	183
In <sub>52</sub> Sn <sub>48</sub>	118
Pb <sub>60</sub> In <sub>40</sub>	195-225
In <sub>80</sub> Pb <sub>15</sub> Ag <sub>5</sub>	148-149
In <sub>97</sub> Ag <sub>3</sub>	146
Bi <sub>58</sub> Sn <sub>42</sub>	138

Tableau II-3 : alliages utilisés pour l'assemblage eutectique.

On peut noter que ce type d'assemblage est constamment employé à l'université de Santa Barbara (UCSB) pour la fabrication de transistor HBT sur substrat reporté [Lee1], [Lee2] où les alliages utilisés sont l'InPbAg et l'InPb. Grâce à cette technique de fabrication de HBT, l'état de l'art des performances fréquentielles a été atteint avec une fréquence maximale d'oscillation  $f_{MAX}$  de 1THz et une fréquence de coupure du gain en courant  $f_T$  de 204 GHz [Rodwell1].

Toutefois, l'inconvénient de cette technique est la température de refonte, souvent faible, des eutectiques formés. En effet, les étapes technologiques postérieures à l'assemblage des substrats nécessitent généralement la réalisation de lithographies optiques ou électroniques (exemple : la réalisation du collecteur des TBH après le report). Dans ce cas, les températures de recuit de résine peuvent être proches ou supérieures à la température de refonte de l'alliage ce qui entraîne un écoulement de l'eutectique et un déplacement des zones actives des TBH. Il devient donc impossible d'aligner correctement le collecteur des composants sur le substrat.

• L'assemblage adhésif :

Les assemblages cités précédemment, mise à part l'assemblage eutectique, nécessitent des températures de travail élevées. Or, les budgets thermiques sont généralement limités lors de la fabrication de circuits intégrés. L'utilisation de polymères ou de résines, comme interface de collage entre deux substrats, a conduit à l'assemblage dit « adhésif ».

Les avantages de l'assemblage adhésif sont les suivants:

- De nombreux substrats de nature différente peuvent être assemblés.
- L'état de surface des substrats, avant la mise en contact, est beaucoup moins préjudiciable que l'assemblage par contact.
- Les températures d'assemblage sont très faibles.
- Les propriétés élastiques des polymères peuvent réduire le stress engendré lors du collage.
- Faible coût.

Les inconvénients sont :

- une dégradation à long terme de l'interface de collage (problème de fiabilité d'assemblage).
- une énergie d'assemblage plus faible que les autres procédés.

La figure II-25 illustre la technique d'assemblage adhésif.

Cette technique consiste à déposer le polymère (ou la résine) sur chaque substrat (ou sur une seule surface). Les deux substrats sont ensuite mis en contact généralement dans une enceinte sous vide. Finalement, le recuit de polymérisation de l'adhésif et l'application simultanée d'une force de contact sur les deux substrats, permettent l'assemblage permanent des matériaux.

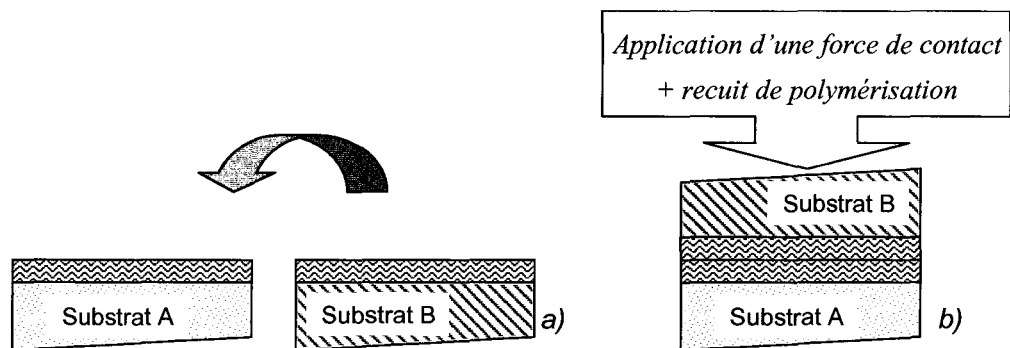


Figure II-25 : principe de l'assemblage adhésif.

- a) dépôt du polymère sur les deux substrats et mise en contact sous vide d'air  
b) recuit de polymérisation avec application de pression de contact

Ainsi, des systèmes passifs et actifs tels que des résonateurs en anneaux, des DEL ou des lasers ont pu être fabriqués avec cette technique d'assemblage [Christiaens1].

Afin de déterminer le polymère adéquat pour cette technique d'assemblage adhésif, Franck Niklaus *et al.* ont réalisés un comparatif entre le polymère BCB de *Dow Chemical Company*, les résines S1818 et l'ULTRA-i 300 de *Shipley* et différents polyimides de *Arch* et *Dupont* pour l'assemblage de substrat. Ils ont montré que le BCB permettait d'obtenir un assemblage de très bonne qualité avec aucune zone non assemblée et une forte énergie d'assemblage sur des substrats de 4 pouces. [Niklaus1]

### ● Choix de la technique employé pour la réalisation des DG-HEMT et des VMT

Le choix de la technique d'assemblage du substrat actif et du substrat hôte doit être compatible avec la technologie de fabrication des DG-HEMT et des VMT.

Ainsi, d'après le procédé de fabrication des DG-HEMT défini sur la figure II-1, on constate que :

- La réalisation des contacts ohmiques diffusants est effectuée avant l'assemblage entre le substrat *actif* et le substrat *hôte*. Par conséquent, la technique d'assemblage doit obligatoirement être réalisée à une température inférieure à la température de recuit des contacts ohmiques afin de ne pas dégrader la résistance de contact  $R_c$  :

$$\checkmark \quad T_{\text{assemblage}} < 295^{\circ}\text{C}$$

- La première grille et les contacts ohmiques de source et de drain sont placés en face arrière. Ceci implique que l'interface de collage doit être isolante afin de ne pas court-circuiter les électrodes de source, de drain et de grille :

$$\checkmark \quad \textit{Interface de collage avec matériau isolant}$$

- le substrat InP, ayant la zone active du dispositif, doit être gravé après assemblage des substrats. L'assemblage doit donc résister aux attaques en milieu acide :

√ *Assemblage résistant aux attaques chimiques*

- La seconde grille est réalisée après le report du substrat. L'assemblage doit donc résister à une température supérieure à 170°C [ température de recuit des résines électroniques PMMA et P(MMA-MAA) ]

√ *Assemblage résistant à une température supérieure à 170°C*

Finalement, la seule technique disponible pour effectuer le procédé de report décrit sur la figure II-1 et répondant aux différents critères cités précédemment est l'assemblage adhésif. Nous avons donc choisi d'utiliser le polymère BCB (*BenzoCycloButene*) comme couche tampon pour notre procédé d'assemblage. En effet, le BCB possède de très bonnes propriétés physico-chimiques et électriques.

- Température de polymérisation faible < 300°C.
- Bonne stabilité thermique : Température de transition vitreuse  $T_g > 350^\circ\text{C}$  (plastomère).
- faible absorption/désorption d'eau.
- faible évaporation de solvants (indéetectable pour  $T < 300^\circ\text{C}$  ).
- faible permittivité diélectrique relative :  $2.5 < \epsilon_r < 2.65$  pour  $1\text{kHz} < f < 20\text{GHz}$ .
- angle de perte faible :  $\tan \delta = 0.0008-0.002$  (10 MHz – 10GHz).
- haute résistivité :  $10^{19} \Omega.\text{cm}$ .

Dans notre cas, les propriétés électriques du BCB sont extrêmement intéressantes puisque la première grille de nos dispositifs DG-HEMT et VMT sera « plongée » dans le BCB (Figure II-1). La faible constante diélectrique, offerte par le BCB, permettra d'éviter une augmentation considérable des capacités parasites préjudiciables pour la montée en fréquence de nos composants.

### III-3-b-2) Technologie de report BCB

La technologie d'assemblage de substrats avec le BCB a été mise au point durant l'année de DEA [Wichmann1]. Ainsi, nous allons reprendre dans ce paragraphe l'essentiel des résultats obtenus sur cette technologie d'assemblage.

#### → Mise au point du procédé d'assemblage

Il existe deux types de BCB commercialisés par Dow Chemical Company :

- le BCB à gravure sèche (série 3000)
- le BCB photosensible (série 4000)

Dans notre procédé d'assemblage de substrat, le BCB sert uniquement de couche d'interface. Aucun masquage n'est alors à effectuer sur la surface du BCB. Par conséquent, la quasi-totalité de nos essais a été entrepris avec le BCB à gravure sèche. De plus, le BCB photosensible étant conditionné à une température de  $-20^{\circ}\text{C}$ , son utilisation ne peut être immédiate, contrairement au BCB à gravure sèche. Il faut en effet le laisser à température ambiante pendant 24H avant son utilisation.

De manière générale, les conditions expérimentales de ces essais consistaient en l'assemblage de substrats d'InP et de GaAs de 2''. Le procédé général d'assemblage des substrats, utilisé lors de nos essais, est illustré sur la figure II-26.

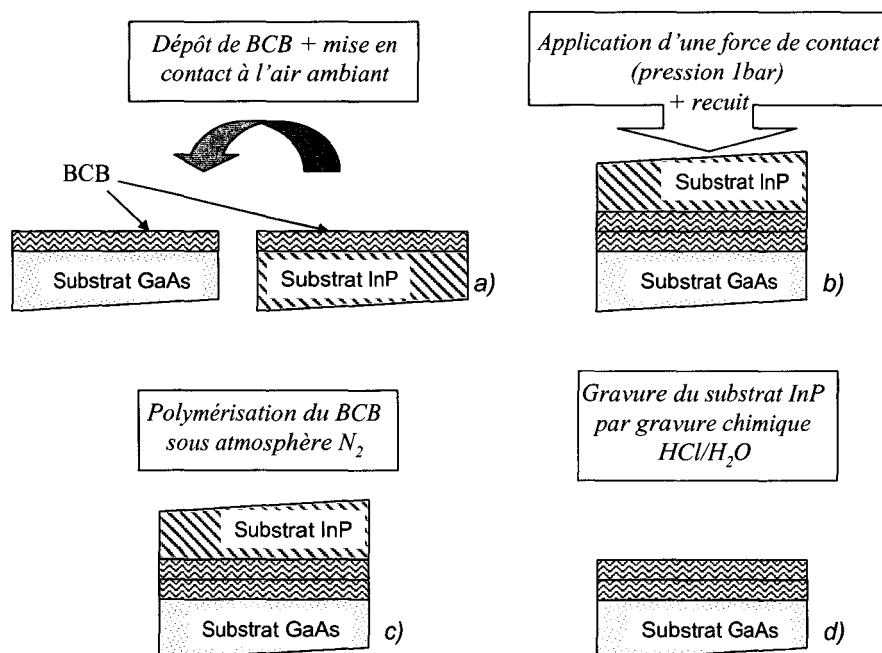


Figure II-26 : procédé d'assemblage des substrats InP et GaAs

*-Etape a) : dépôt du BCB*

Cette étape consiste en la préparation de surface des substrats et au dépôt du BCB sur les substrats. Ainsi, avant le dépôt du BCB, il faut appliquer un promoteur d'adhérence AP3000 indispensable à la tenue du BCB sur les substrats.

De cette manière, de nombreux essais ont donc été effectués avec différentes viscosités de BCB afin de faire varier l'épaisseur de BCB déposée. De plus, des essais d'assemblage en déposant le BCB sur un seul substrat ou sur les deux ont aussi été entrepris.

Nous avons vu précédemment, lors de la présentation de la technique d'assemblage adhésif, que la mise en contact des substrats devait être réalisée sous vide. Cependant, au début de ces essais, le laboratoire n'était pas équipé du bâti *Karl Süss SB6* disposant d'une chambre à dépression. Ainsi, la mise en contact des substrats s'effectuait manuellement à l'air ambiant. De plus, Ilse Christiaens *et al.* ont montré qu'il n'était pas strictement indispensable d'assembler les substrats sous vide si le film de BCB avait une épaisseur suffisante [Christiaens1].

*-Etape b) : collage*

Après la mise en contact des deux substrats, la seconde étape consiste à réaliser l'assemblage permanent des deux substrats.

Pour cela, nous disposons au laboratoire d'une machine de collage *AlogiTech* dont le diagramme schématique est représenté sur la figure II-27. Ce système permet d'appliquer simultanément une pression de contact sur l'échantillon à assembler ( $P_{MAX} = 2$  Bars) et une température d'assemblage via la plaque chauffante située sous l'échantillon ( $T_{MAX} = 200^{\circ}\text{C}$ ) pendant toute la durée du collage ( $Durée_{MAX} = 99$  min). Ce système est muni de deux chambres indépendantes. L'échantillon est placé dans la première chambre qui est reliée à une pompe à vide. La seconde chambre est constituée d'un diaphragme permettant d'appliquer la pression de contact sur l'échantillon.



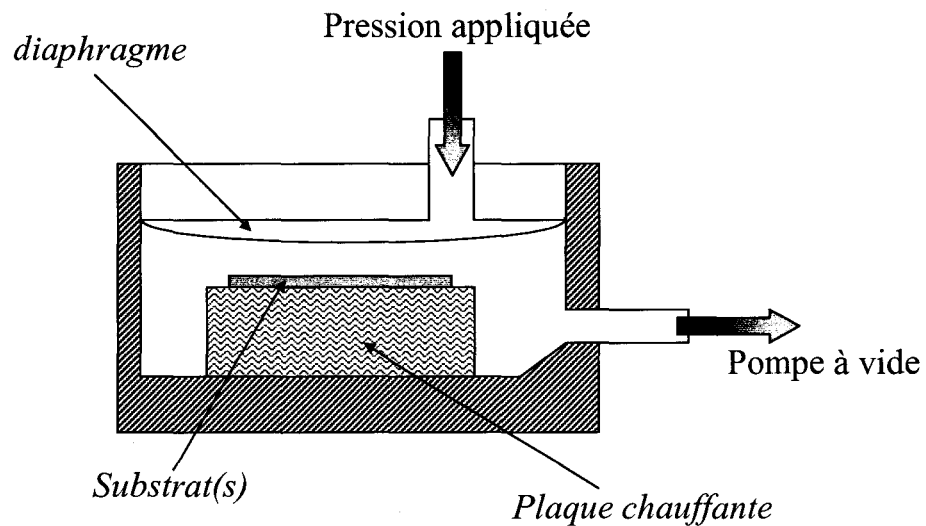


Figure II-27 : Synoptique de la colleuse Alogitech.

*-Etape c) : polymérisation*

A ce stade, les deux substrats sont quasiment assemblés. Il reste à effectuer un recuit de polymérisation du BCB afin de le rendre plus résistant pour les étapes technologiques postérieures (attaques chimiques, recuits de résine sur plaque chauffante, métallisation,....).

Ainsi, le constructeur préconise d'utiliser des paliers de température successifs avant d'atteindre la température de polymérisation afin d'évaporer d'éventuelles espèces organiques ou de solvants avant le commencement de la polymérisation. De plus, le recuit de polymérisation doit obligatoirement être effectué sous atmosphère neutre (<100 ppm d'oxygène) afin d'éviter l'oxydation du BCB. Finalement, un refroidissement très lent de l'échantillon est recommandé afin de limiter l'apparition de stress thermique trop important.

Afin de respecter l'ensemble de ces conditions, le recuit de polymérisation du BCB s'effectue, sous flux d'azote, dans un four tubulaire programmable.

Pour la durée et la température de polymérisation du BCB, nous nous sommes basés sur la figure II-28 [Garrou1] représentant la température de polymérisation en fonction de la durée du recuit, paramétrée par le taux de polymérisation du BCB.

Ainsi, nous avons considéré qu'une température de recuit de 240°C pendant 80 min était optimale pour ne pas dégrader les contacts ohmiques de nos dispositifs et éviter une diffusion du Titane de la première grille (*gate sinking*) dans la barrière [Chou1], [Delalano1]. Le taux de polymérisation du BCB est alors de 95%.

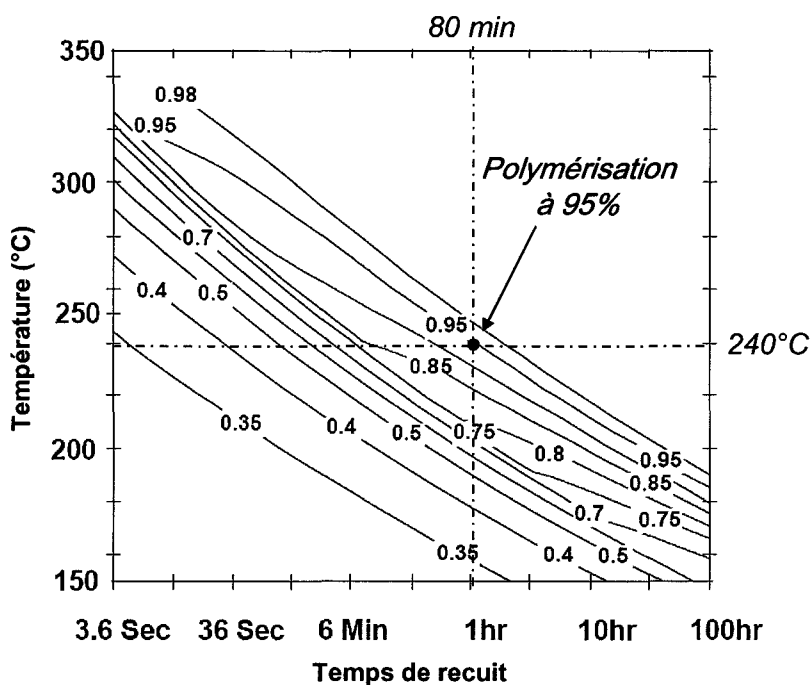


Figure II-28 : Taux de polymérisation du BCB en fonction de la température et de la durée du recuit

L'étape du recuit de polymérisation du BCB est donc représentée sur la figure II-29. Cette étape est invariante durant nos essais de report de substrats.

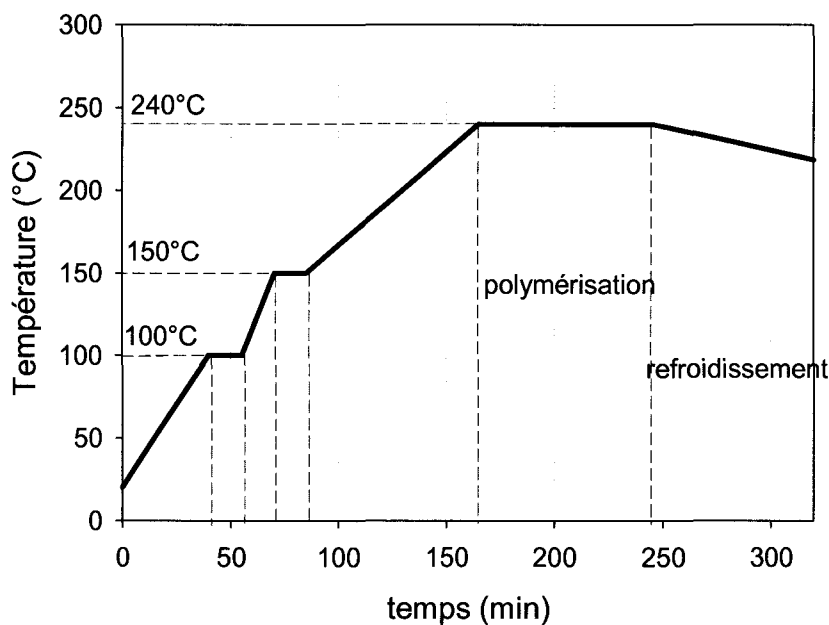


Figure II-29 : Profil de température du recuit de polymérisation du BCB.

-Etape d) : Évaluation de la qualité d'assemblage

Afin de vérifier le bon déroulement de l'assemblage des substrats (absence de trous d'air), il est indispensable de contrôler l'état de surface à l'interface de contact. Il existe plusieurs méthodes pour contrôler cette interface et calculer le pourcentage de surface non-assemblée (*voids formation*) [Niklaus2].

- La première méthode consiste à « déchirer » les substrats assemblés. Cette technique, illustrée sur la figure II-30, consiste à déplacer une lame entre les deux wafers afin de désassembler les deux substrats. Ainsi, il est possible de visualiser les surfaces des substrats et de calculer un pourcentage d'assemblage. Cependant, cette technique est délicate à mettre en œuvre si l'épaisseur du polymère est faible. De plus, si l'énergie d'assemblage est élevée, le risque de cassure du substrat devient important.

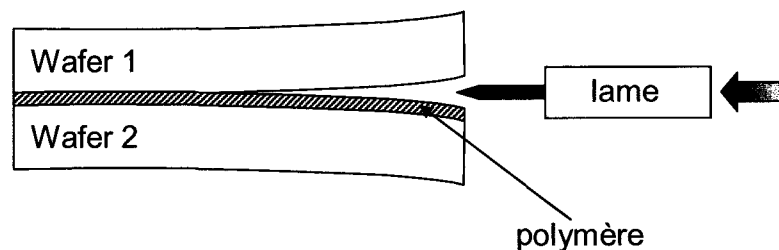


Figure II-30 : séparation des wafers avec une lame.

- Une seconde méthode de contrôle consiste à graver totalement l'un des substrats.

Nous avons choisi cette méthode de contrôle puisqu'elle ne nécessite aucun appareillage spécifique.

Niklaus *et al.* préconisent une gravure DRIE (*Deep Reactive Ion Etching*) pour graver totalement l'un des substrats Silicium [Niklaus2]. Cependant, dans la mesure où les substrats que nous utilisons sont de natures différentes (InP et GaAs), nous avons eu recours à une gravure par voie chimique. En effet, la sélectivité de gravure entre un substrat InP et un substrat GaAs est quasi infinie avec une solution concentrée d'acide chlorhydrique HCl.

Nous avons donc déterminé la vitesse de gravure de l'InP en fonction de la dilution de HCl.

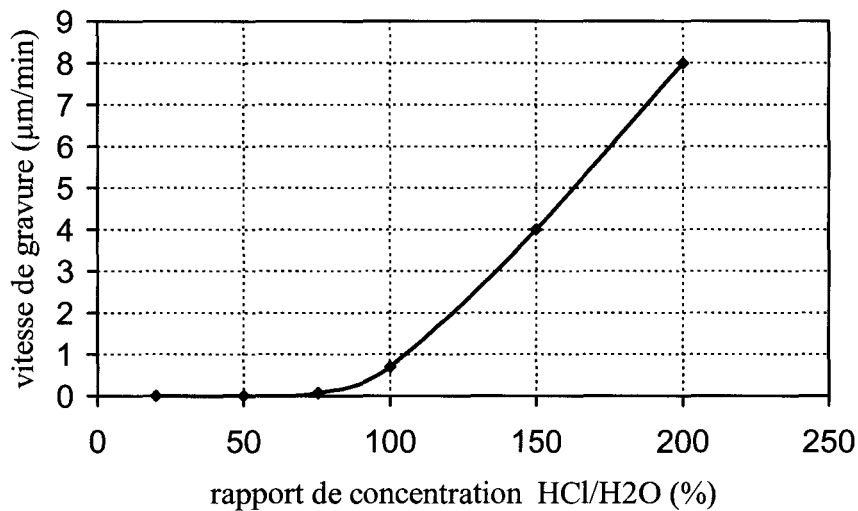


Figure II-31 : vitesse de gravure de l'InP par HCl en fonction du facteur de dilution.

On constate que la vitesse de gravure de l'InP évolue linéairement pour un rapport de concentration HCl/H<sub>2</sub>O supérieur à 100%. Ainsi, une concentration de HCl:H<sub>2</sub>O (2:1) grave l'InP à environ 8 µm/min. Les substrats InP ayant une épaisseur de l'ordre de 350µm, la gravure totale du substrat doit se faire en moins de 50min. Ceci étant, la solution de gravure doit être remplacée toutes les 20 minutes afin de conserver cette vitesse de gravure. En effet, la solution d'HCl se sature très rapidement lors de la gravure du substrat.

Afin de vérifier la sélectivité de gravure, nous avons plongé un échantillon de GaAs dans la solution d'HCl utilisée pour la gravure de l'InP. Nous avons alors mesuré une profondeur de gravure du GaAs d'environ 100Å durant 1heure de gravure. La sélectivité est donc quasi infinie (sélectivité = 48000).

Une seconde vérification a été entreprise sur la tenue du BCB dans la solution concentrée d'HCl. En effet, la gravure du substrat InP n'est pas homogène sur l'ensemble du substrat. Par conséquent, à certains endroits du substrat, il apparaît, durant la gravure, des zones exemptes d'InP. Dans ce cas, le BCB est en contact direct avec la solution d'HCl. Il faut alors vérifier si le BCB est altéré par la solution d'HCl. Il apparaît, après ces essais, que le BCB résiste quelle que soit la durée de mise en contact avec la solution d'HCl.

#### Récapitulatif des essais entrepris sur l'assemblage de substrats InP et GaAs :

Dans le tableau II-4, nous rassemblons l'ensemble des essais d'assemblage de substrats InP et GaAs.

N° Essai	Matériau BCB	Epaisseur BCB	étape a			étape b			étape c		étape d	
			adhésion	BCB	gravure	température	durée	gravure	gravure	gravure	gravure	observation
1	BCB 4026-46	7µm	oui	non	1 bar	200°C	99min	oui	gravure substrat InP (HCl:H2O:2:1)	gravure substrat InP (HCl:H2O:2:1)	Zone non-assemblée: # 80%	
2	BCB 4026-46	7µm	oui	non	1 bar	200°C	99min	oui	gravure substrat InP (HCl:H2O:2:1)	gravure substrat InP (HCl:H2O:2:1)	Zone non-assemblée: # 80%	
3	BCB 4026-46	7µm	oui	oui	1 bar	80°C	30min	oui	gravure substrat InP (HCl:H2O:2:1)	gravure substrat InP (HCl:H2O:2:1)	Zone non-assemblée: # 50%	
4	BCB 4026-46	7µm	oui	non	1 bar	80°C	30min	oui	gravure substrat InP (HCl:H2O:2:1)	gravure substrat InP (HCl:H2O:2:1)	Zone non-assemblée: # 50%	
5	BCB 3022-63	3µm	non	oui	1 bar	80°C	30min	oui	gravure substrat InP (HCl:H2O:2:1)	gravure substrat InP (HCl:H2O:2:1)	Zone non-assemblée: 0%	
6	BCB 3022-63	3µm	non	non	1 bar	80°C	30min	oui	gravure substrat InP (HCl:H2O:2:1)	gravure substrat InP (HCl:H2O:2:1)	Zone non-assemblée: 10%	
7	BCB 3022-63	1µm	non	oui	1 bar	80°C	30min	oui	gravure substrat InP (HCl:H2O:2:1)	gravure substrat InP (HCl:H2O:2:1)	Zone non-assemblée: # 50%	

Tableau II-4 : Récapitulatifs des essais d'assemblage adhésif de substrat InP et GaAs avec le BCB.

Sur les figures II-32 et II-33, nous représentons quelques exemples de résultats obtenus.

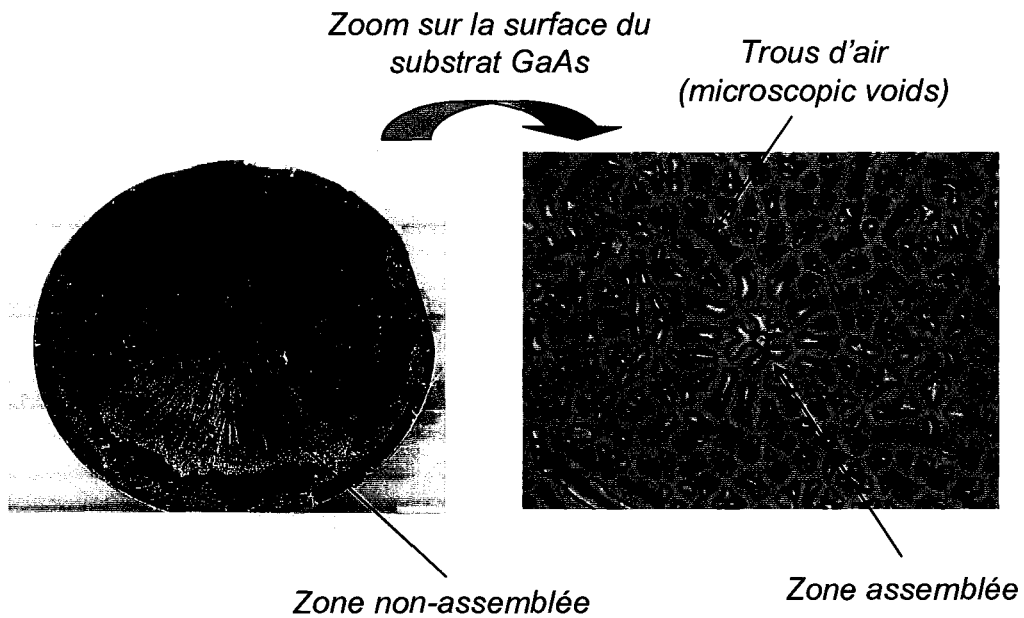


Figure II-32 : Résultats de l'essai n° 1.

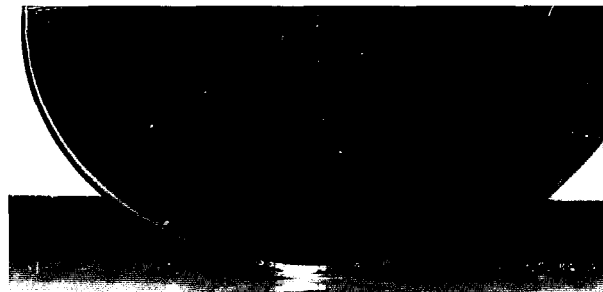


Figure II-33 : Résultats de l'essai n° 5 (aucune zone non-assemblée).

L'essai qui a donné le meilleur résultat en terme d'assemblage correspond à l'essai n°5 :

- dépôt BCB 3022-46 sur les deux substrats (épaisseur de 3 $\mu$ m par substrat).
- paramètre de la colleuse : 1bar, 80°C, 30min.
- polymérisation à 240°C pendant 80min.

De même, nous avons vérifié la qualité de l'interface obtenue avec l'essai n°5, après l'étape de polymérisation du BCB (juste avant la gravure du substrat InP). Pour cela, nous

avons clivé les substrats assemblés puis nous avons visualisé au MEB la coupe transversale de l'échantillon. Les résultats sont représentés sur la figure II-34

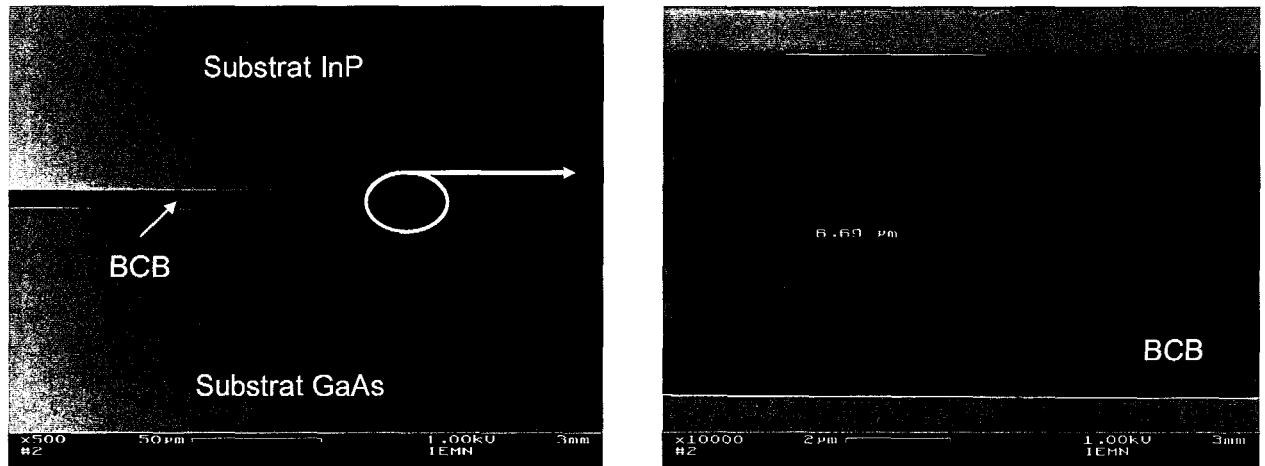


Figure II-34 : Coupe transversale de l'assemblage InP-GaAs obtenu après l'étape de polymérisation du BCB de l'essai n° 5.

On constate qu'il n'existe aucun « trous d'air » à l'interface entre les deux dépôt de BCB et que cet interface de collage BCB-BCB n'est plus visible. Ceci est attribuable à l'arrangement des molécules de BCB aux interfaces lors de la polymérisation.

Ainsi, nous garderons les paramètres de l'essai n°5 pour effectuer l'étape de report sur nos composants DG-HEMT et VMT.

**→ Mesure de la contrainte engendrée par le dépôt de BCB sur un substrat GaAs**

Lors d'un dépôt quelconque d'un film mince sur un substrat, il apparaît, au sein même du film déposé, une contrainte mécanique (ou stress). Si cette contrainte est trop importante, le film déposé peut alors se détacher ou se craquer. Cette contrainte possède deux composantes :

**-La contrainte interne** : cette contrainte apparaît lors du dépôt du film sur le substrat. Elle est principalement due aux états d'interfaces substrat-film.

-**La contrainte thermique** : celle-ci apparaît lors du refroidissement de l'échantillon, après le dépôt de la couche. Elle est liée à la différence de coefficient de dilatation (ou d'expansion) thermique  $\alpha$  du film et du substrat.

-**La contrainte extrinsèque** : c'est la contrainte préexistante dans le substrat avant même le dépôt du film.

L'effet de ces contraintes se manifeste par une flexion macroscopique du substrat. Cet effet est schématisé sur la figure II-35 dans le cas où la contrainte interne est négligeable.

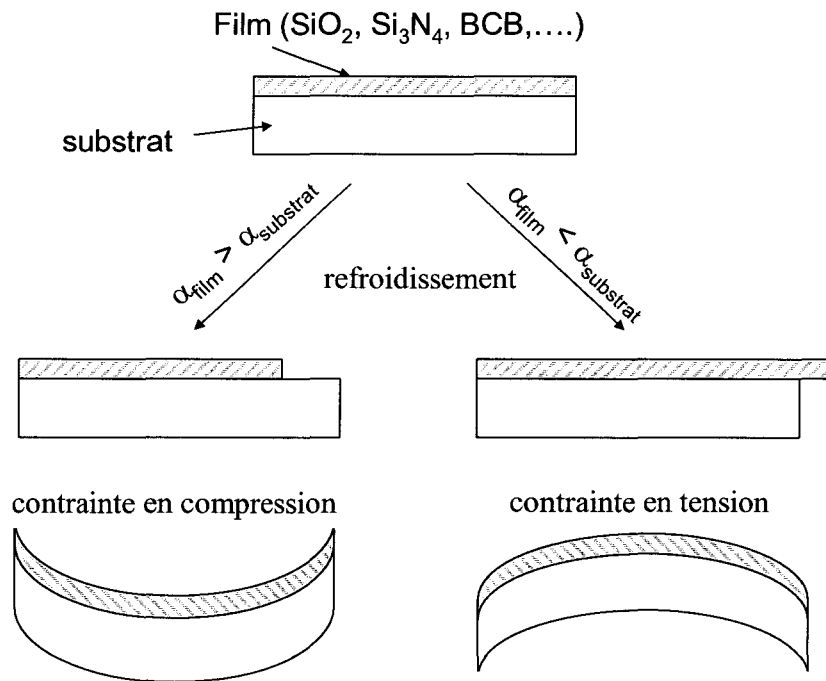


Figure II-35 : déformation du substrat due à la contrainte thermique.

Ainsi, nous avons voulu mesurer la contrainte engendrée par un dépôt de 3 $\mu$ m de BCB sur un substrat de GaAs.

**Mesure de contrainte :**

Cette mesure de contrainte est basée sur la formule de *Stoney*. Elle est déduite par la mesure du rayon de courbure du substrat  $R_{sub}$ . On peut alors écrire la relation liant directement la contrainte du film  $\sigma_f$  au rayon de courbure  $R_{sub}$  :

$$\sigma_f = \frac{1}{6} \left( \frac{E_{sub}}{1 - \nu_{sub}} \right) \frac{e_{sub}^2}{R_{sub}} \cdot \frac{1}{e_f} \quad (3)$$



Où  $E_{sub}$  et  $\nu_{sub}$  représentent respectivement le module d'Young et le coefficient de Poisson du substrat,  $e_{sub}$  et  $e_f$  représentent respectivement l'épaisseur du substrat et du film déposé.

Pour mesurer le rayon de courbure du substrat, nous disposons d'un profilomètre *P-10 TENCOR* permettant d'évaluer la flèche du substrat, après dépôt du BCB, en balayant le substrat sur la quasi-totalité de son diamètre (4 cm). De la flèche, on en déduit le rayon de courbure du substrat.

Le mode opératoire consiste alors à effectuer une mesure préliminaire du rayon de courbure du substrat GaAs vierge ( $R_v$ ). Cette mesure permet de soustraire la contrainte extrinsèque et ainsi de mesurer uniquement la contrainte due au dépôt du BCB.

Ensuite, après le dépôt du BCB (3 $\mu$ m) et sa polymérisation, nous effectuons une seconde mesure du rayon de courbure du substrat ( $R_{total}$ ).

On déduit alors  $R_{sub}$  par la relation :

$$\frac{1}{R_{sub}} = \frac{1}{R_{total}} - \frac{1}{R_v} \quad (4)$$

Finalement, l'application de la formule de Stoney nous donne la contrainte du film déposé. Sur la figure II-36, nous représentons le résultat de cette mesure.

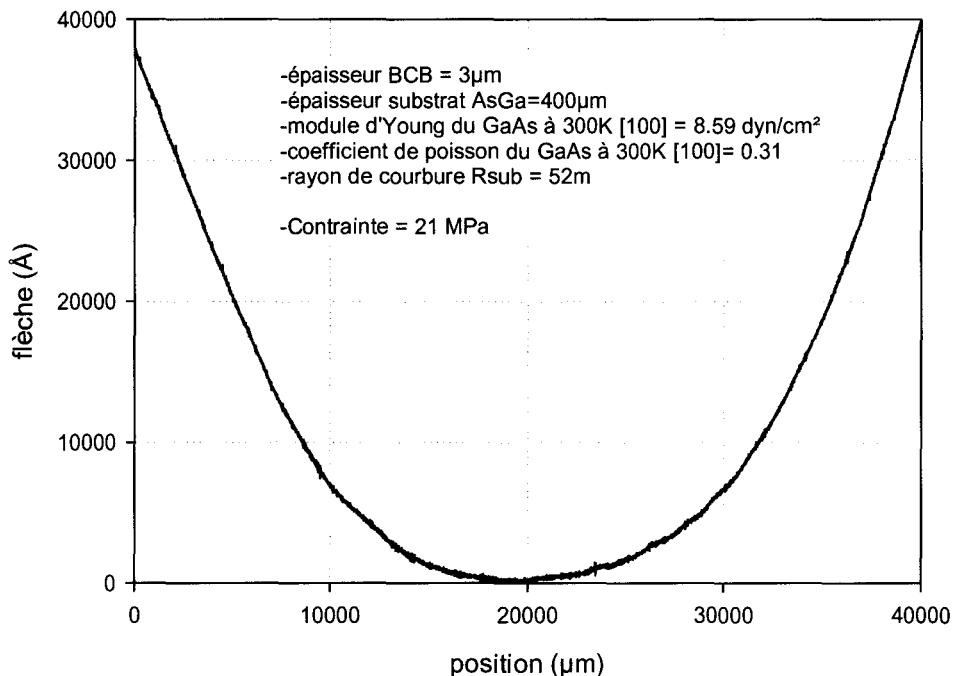


Figure II-36 : mesure de la flèche du substrat après dépôt du BCB et mesure de la contrainte engendrée par ce dépôt avec le profilomètre *P-10 TENCOR*.

Ainsi, la contrainte du film de BCB est en compression et sa valeur est relativement faible (21 MPa). En revanche, nous pouvons constater une flèche du substrat d'environ 4 $\mu$ m après le dépôt du BCB. Cette flèche est liée essentiellement à la forte différence des coefficients d'expansion thermique du BCB et du GaAs. En effet, le coefficient d'expansion thermique du BCB est de  $\alpha_{BCB} = 52.10^{-6} \text{ K}^{-1}$  tandis que celui du substrat GaAs est 10 fois moindre ( $\alpha_{GaAs} = 5,7.10^{-6} \text{ K}^{-1}$ )

**Ainsi, cette étude montre qu'il devient problématique d'aligner convenablement un masque optique après le report de la structure sur un substrat hôte compte tenu de la flèche du substrat.**

C'est pourquoi, la quasi-totalité du procédé de fabrication des transistors DG-HEMT et VMT est réalisée en face avant (avant report). Sur la figure II-1, on peut constater que seule la réalisation de la seconde grille s'effectue face arrière.

Par ailleurs, la seconde grille est réalisée en lithographie électronique. L'alignement se fait donc par l'intermédiaire des marques d'alignement électronique situées dans chaque champ. Or, le champ du masque TURBO étant de très faible dimension (2x3  $\mu\text{m}^2$ ) par rapport à la surface du substrat, **la précision d'alignement électronique ne sera pas affectée par la flèche du substrat.** Cependant, nous verrons, par la suite, que d'autres phénomènes liés à la technologie de report, entraîneront des effets de désalignement de la seconde grille.

### **→ Report de la structure HEMT de référence sur substrat hôte**

A ce stade de l'élaboration du procédé de report de substrat, il semblait intéressant d'assembler la structure HEMT de référence (figure II-37-b) avec un substrat hôte de GaAs et de supprimer le substrat initial d'InP de la structure HEMT de référence (figure II-37-a). En effet, cet essai permet de vérifier si nous pouvons récupérer les plots d'accès coplanaires de nos composants, indispensables pour le contact avec la zone active de nos DG-HEMT.

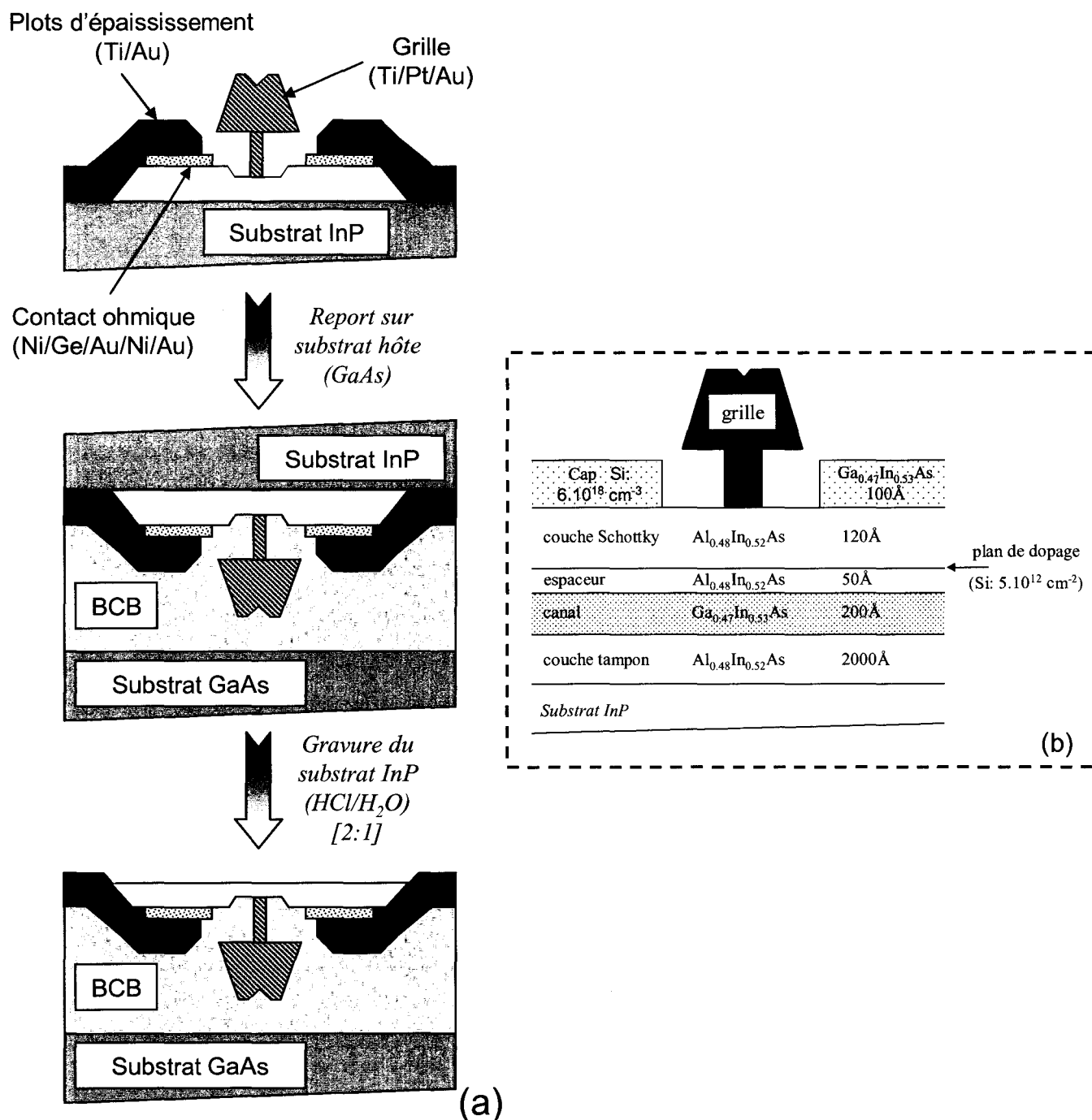


Figure II-37 : (a) report de la structure HEMT de référence sur substrat GaAs ;  
 (b) rappel de l'hétérostructure du HEMT de référence

Ainsi, nous avons reporté la structure HEMT de référence sur un substrat GaAs avec la méthode décrite précédemment puis, après la polymérisation du BCB, nous avons gravé le substrat InP par voie humide (HCl/H<sub>2</sub>O). La figure II-38, représente les résultats de cette opération.

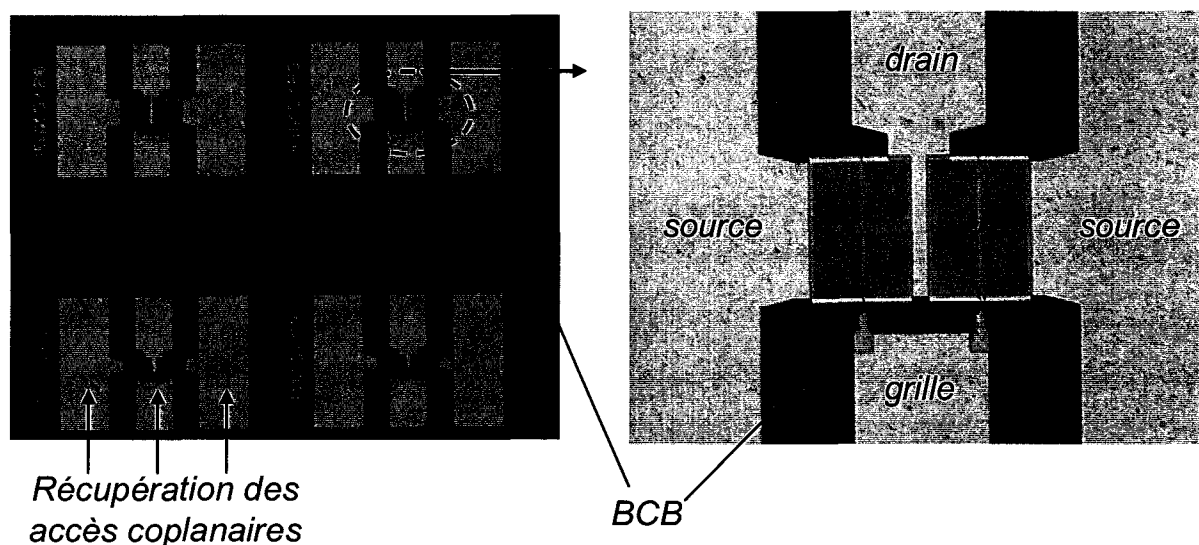


Figure II-38 : Report de la structure HEMT de référence sur substrat GaAs, après gravure du substrat InP initial.

Il est à noter que ces composants obtenus après report ne peuvent être caractérisés électriquement car le courant drain  $I_d$  est nul. En effet, il n'existe aucune sélectivité de gravure entre le substrat d'InP et la couche tampon d' $Al_{0,48}In_{0,52}As$  avec la solution à base d'acide chlorhydrique. Par conséquent, lors de la gravure du substrat InP, la couche tampon du HEMT de référence est aussi gravée. Cette gravure s'arrête donc sur le canal GaInAs du HEMT (figure II.37.a).

Ainsi, le courant  $I_d$  nul est lié à l'apparition du potentiel de surface au niveau du canal provoquant la désertion totale des électrons du canal.

Néanmoins, cet essai nous a permis de vérifier que l'on récupérait parfaitement les accès coplanaires après le report et que l'on pouvait contacter électriquement le composant.

Outre ces aspects, deux problèmes sont apparus, après la gravure du substrat InP :

- L'adhérence des plots d'épaissement sur le BCB (figure II-39-a)
- Le décollement des zones actives (figure II-39-b)

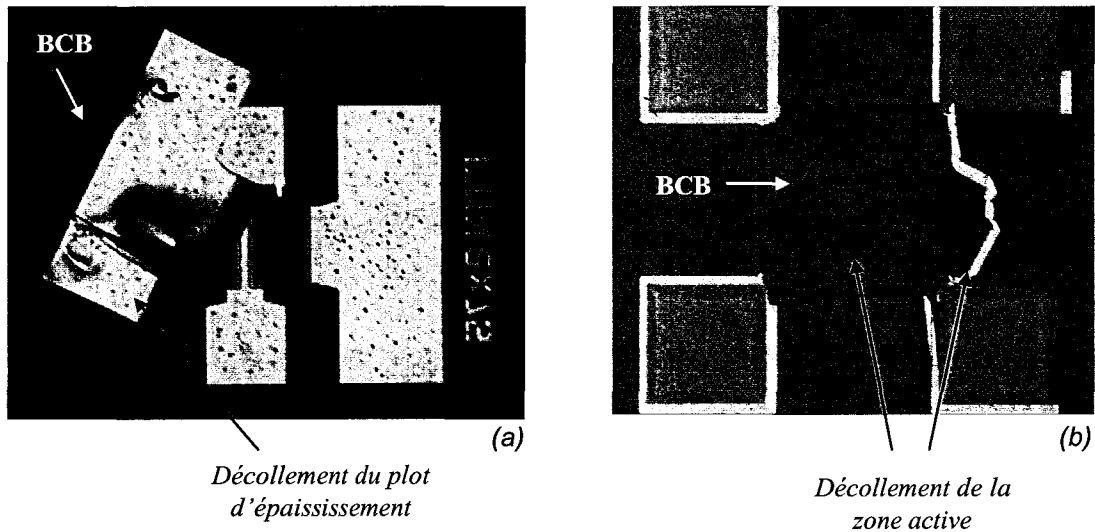


Figure II-39 : (a) problème d'adhérence des plots d'épaissement après report ;  
(b) décollement de la zone active d'un trèfle de Hall après report

• En ce qui concerne l'adhérence des plots d'épaissement sur le BCB, il semblerait que l'or possède un très faible pouvoir d'accroche sur le BCB. En effet, la séquence de métallisation des plots d'épaissement étant Ti (1000Å) puis Au (4000Å), la couche en contact avec le BCB, après le report, correspond bien à la couche d'or.

Une étude a été menée, au sein de l'équipe, sur l'adhérence du BCB sur différentes couches de métallisation [Six1]. Il s'est avéré que le titane est le film qui possède la meilleure accroche sur le BCB. Sur ce point, nous avons donc modifié la séquence de métallisation de nos plots d'épaissement par la séquence suivante : Ti(1000Å)-Au(3500Å)-Ti(500Å). Ainsi, la dernière couche de titane est en contact avec le BCB. Le résultat est représenté sur la figure II-40. Afin de vérifier l'adhérence du plot sur le BCB, nous avons essayé de déplacer le plot à l'aide d'une pointe. On remarque que celui-ci ne s'est pas détaché. Ainsi, une fine couche de titane améliore nettement l'adhérence du plot sur le BCB.

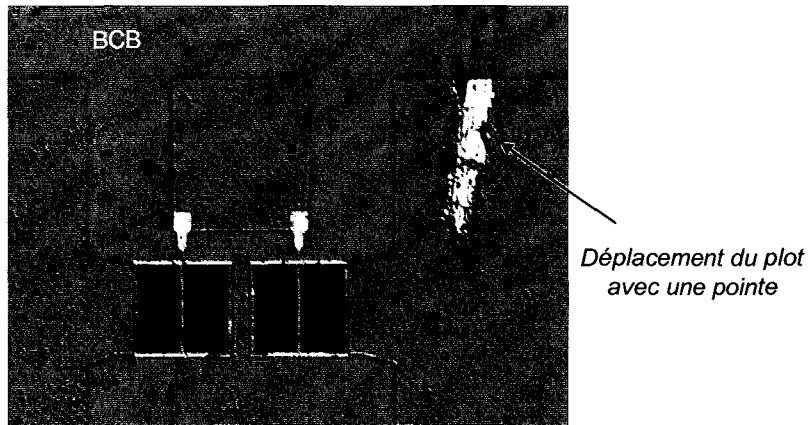


Figure II-40 : amélioration de l'adhérence des plots par l'ajout d'une couche de titane sur les plots d'épaissement.

• Quant au décollement de la zone active, nous pensons que ce phénomène est lié à la solution de gravure HCl très concentrée. En effet, lors de la gravure du substrat InP, la réaction particulièrement violente convertit les molécules de phosphore sous forme gazeuse  $\text{PH}_3$  (phosphine). Il apparaît alors dans la solution une quantité impressionnante de bulle de phosphine. Ainsi, nous pensons que la faible épaisseur de la zone active restante ( $400\text{\AA}$ ) associée au caractère particulièrement violent de la solution HCl semble être la cause du décollement des zones actives.

Par conséquent, dans l'épitaxie du transistor DG-HEMT et VMT, nous avons rajouté deux couches d'arrêt dont le rôle est double :

- éviter le décollement des zones actives.
- s'arrêter précisément sur la zone active des composants.

La suite de ce paragraphe concerne ce travail :

### → Ajout de couche d'arrêt pour la technologie de report

Avant de présenter le choix des couches d'arrêt employées pour la fabrication de nos composants, il faut avoir une vue d'ensemble de l'épitaxie des DG-HEMT et l'étape de report. La figure II-41 illustre l'épitaxie des DG-HEMT, avant report, en indiquant les différents couples utilisés pour les couches d'arrêt.

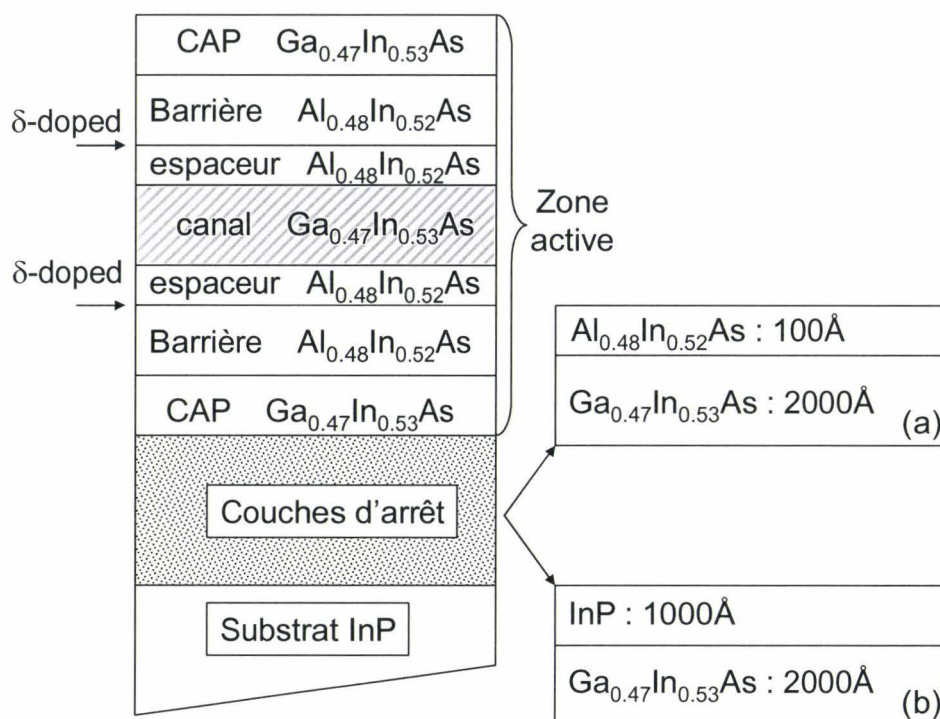


Figure II-41 : représentation de l'épitaxie du DG-HEMT avec les différentes couches d'arrêt.

• Ainsi, les premiers transistors DG-HEMT que nous avons fabriqués, possédaient les couches d'arrêt AlInAs/GaInAs (figure II-41-a). De cette manière, la gravure du substrat InP s'arrête sélectivement sur la couche d'arrêt de GaInAs. A ce moment là, l'épaisseur de matériau restante (zone active + couches d'arrêt) semble suffisante pour éviter le décollement de la zone active.

Ensuite, l'utilisation d'une solution à base d'acide succinique et de peroxyde d'hydrogène, en proportion 30:4, permet de graver sélectivement la couche d'arrêt de GaInAs et de s'arrêter sur la seconde couche d'arrêt d'AlInAs.

Finalement, la seconde couche d'arrêt d'AlInAs est gravée à l'aide d'une solution à base d'acide orthophosphorique ( $H_3PO_4$ ), de peroxyde d'hydrogène ( $H_2O_2$ ) et d'eau ( $H_2O$ ).

Cette solution de gravure n'ayant aucune sélectivité entre l'AlInAs et le GaInAs, il est indispensable de diluer très fortement cette solution afin de diminuer la cinétique de gravure et de contrôler l'épaisseur de gravure par le temps de gravure. C'est pourquoi, la solution utilisée d' $H_3PO_4/H_2O_2/H_2O$  est en proportion 5:1:300 et la vitesse de gravure de l'AlInAs avec cette solution est de 250Å/min.

Les résultats obtenus sur les composants DG-HEMT fabriqués à partir de ce couple de couches d'arrêt ont montré que nous gravions la couche du cap lors de la gravure de la couche

d'arrêt d'AlInAs (voir chapitre III). Ceci peut s'expliquer par l'inhomogénéité de gravure de la solution d' $\text{H}_3\text{PO}_4$  compte tenu de sa forte dilution.

- Un second couple de matériau a donc été utilisé pour la suite de nos réalisations (figure II-41-b). Nous avons donc remplacé la couche d'AlInAs par une couche d'InP de 1000Å. De cette manière, nous obtenons une sélectivité de gravure quasi-infinie entre l'InP et le GaInAs (cap) avec une solution d'HCl. Par conséquent, la couche d'arrêt InP permet de s'arrêter précisément sur la seconde couche de contact ohmique.

### → Conclusion

A ce stade de nos investigations, nous avons mis au point un procédé d'assemblage adhésif par BCB et optimisé l'étape de gravure du substrat en rajoutant des couches d'arrêt dans l'épitaxie de nos composants.

Sur la figure II-42, nous représentons des exemples de réalisation de transistor DG-HEMT reporté sur substrat GaAs avant la réalisation de la seconde grille.

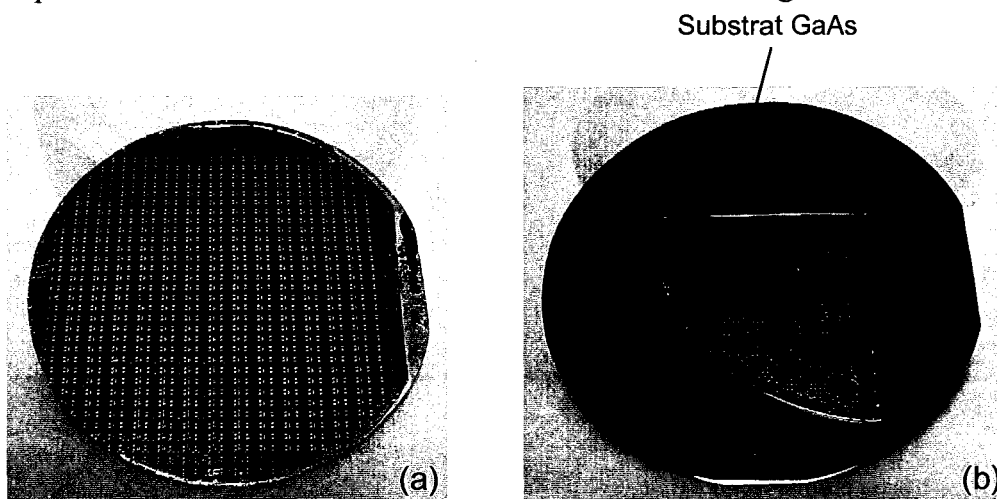


Figure II-42 : échantillon (a) report d'un substrat DG-HEMT de 2'' sur un substrat GaAs.

échantillon (b) report d'un quart de substrat DG-HEMT sur un substrat GaAs.

Sur cette figure, on constate que l'assemblage peut être réalisé soit sur des substrats 2'' entiers soit sur des quarts de substrat avec la même qualité d'assemblage.

Cependant, une observation au microscope de l'échantillon (b) de la figure II-42, montre qu'il existe une zone où le substrat InP n'est pas complètement gravé. Cette zone se situe à l'endroit du clivage du substrat initial Il apparaît à cet endroit une arête dont la hauteur



correspond quasiment à l'épaisseur de l'InP (350 $\mu\text{m}$ ) et dont l'angle avec le substrat GaAs est d'environ 30° (figure II-43).

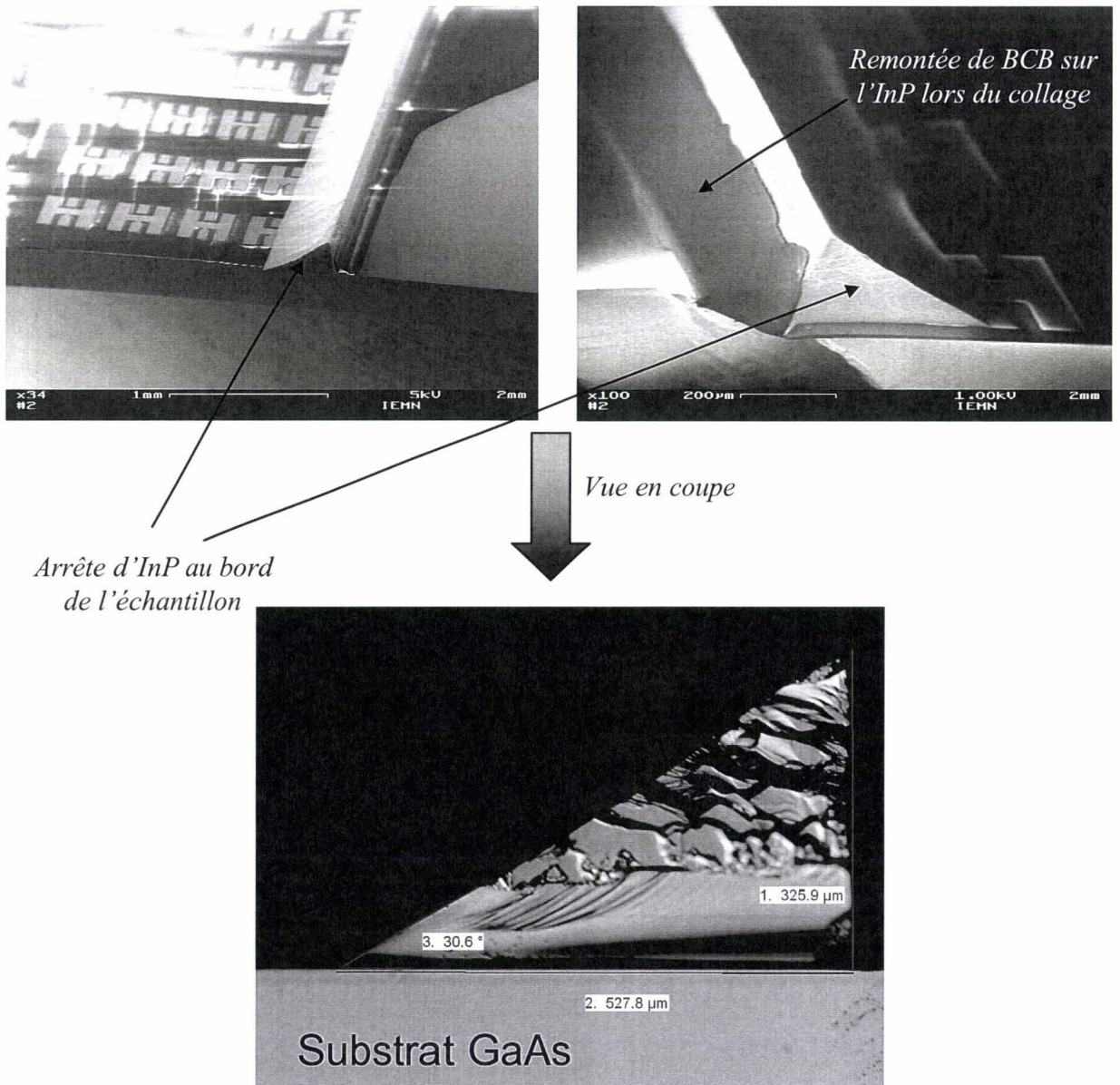


Figure II-43 : arêtes d'InP formées au bord des échantillons lors du report d'un quart de substrat DG-HEMT sur un substrat GaAs.

Ce phénomène est attribué à l'anisotropie de gravure de l'InP par la solution HCl. En effet, au fur et à mesure de nos essais, nous avons constaté que l'arête apparaissait uniquement dans la direction perpendiculaire au grand méplat du substrat InP.

Là encore, la lithographie optique par contact sera extrêmement difficile.

Néanmoins, cette arête peut être supprimée en clivant le substrat après report. Ceci est possible puisque l'arête apparaît dans une seule direction. Cependant, dans ce cas, il devient

indispensable d'aligner correctement le substrat hôte GaAs et le quart du substrat « actif », avant la mise en contact, afin d'aligner les plans de clivage de ces deux substrats.

Une seconde solution pour éviter ces arêtes, proposée par I. Christiaens *et al.*, consiste à amincir mécaniquement le substrat InP jusqu'à une épaisseur d'environ 50 $\mu$ m et à graver le restant d'InP par voie humide avec une solution HCl [Christiaens1].

Mais comme nous l'avons vu précédemment, le procédé de fabrication de nos composants ne nécessite pas de lithographie optique après le report puisque la dernière étape concerne la lithographie de la seconde grille. La suppression de cette arête n'est donc pas indispensable dans notre procédé de fabrication.

### ***III-3-b-3) Influence de la technologie de report BCB sur les caractéristiques électriques d'un transistor HEMT***

Avant d'entamer la dernière étape du procédé de fabrication de nos composants DG-HEMT (réalisation de la seconde grille), nous avons voulu déterminer l'influence de l'étape du report (recuit de polymérisation et dépôt de BCB, ...) sur nos composants HEMT. En effet, dans le dispositif final du DG-HEMT, la première grille sera naturellement passivée par le BCB. C'est pourquoi, nous avons voulu estimer la dégradation apportée par cette passivation.

#### **→ Technologie de passivation au BCB**

Généralement, la passivation des composants HEMT de la technologie III-V s'effectue par un dépôt PECVD (*Plasma Enhancement Chemical Vapor Deposition*) de SiO<sub>2</sub> ou de Si<sub>3</sub>N<sub>4</sub>. Cette dernière est souvent préférée car le film déposé est de meilleure qualité. Dans notre cas, ce dépôt se fait manuellement par laquage de l'échantillon avec du BCB. Il offre l'avantage de ne pas dégrader la surface des composants, contrairement à un dépôt PECVD où le bombardement ionique influence la qualité de l'interface. Néanmoins, l'inconvénient du dépôt de BCB est l'épaisseur de polymère déposée. En effet, contrairement au dépôt PECVD où l'épaisseur de diélectrique peut être contrôlée précisément, l'épaisseur de BCB minimale que l'on peut déposer est de 2.4 $\mu$ m (BCB série 3022-46).

Il apparaît alors le problème de la récupération des accès coplanaires du composant après la passivation au BCB.

Ainsi, nous avons mis au point un procédé d'ouverture du BCB. Ce procédé est schématisé sur la figure II-44.

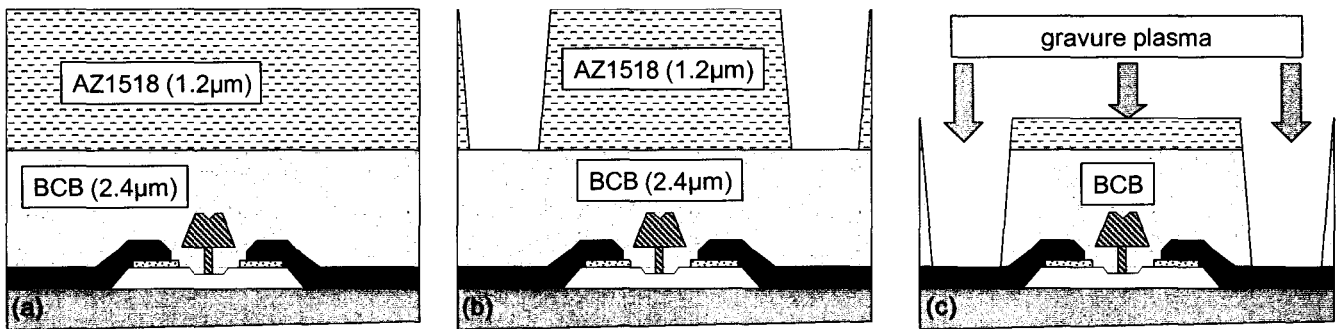


Figure II-44 : procédé d'ouverture du BCB

Ce procédé se déroule de la façon suivante. La première étape consiste à laquer l'échantillon avec la résine optique AZ1518 d'épaisseur 1.2µm (figure II-44-a). Ensuite, une lithographie optique (exposition+révélation) permet d'ouvrir la résine au niveau des accès coplanaire du transistor (figure II-44-b). Finalement, la gravure BCB s'effectue par attaque plasma. Pour cette attaque, il faut trouver l'adéquation entre le gaz, le débit, la pression et la puissance afin d'obtenir une vitesse de gravure beaucoup plus rapide sur le BCB que sur l'AZ1518. Ainsi, les conditions de gravure offrant ces résultats sont les suivantes :

-gaz : SF<sub>6</sub>/O<sub>2</sub> -débit : 6/10 sccm -puissance : 100W -pression : 50 mT- DC bias : 340V

Ainsi, après gravure totale du BCB, il restait environ 0.2µm de résine AZ1518. Par conséquent, ces conditions d'attaque offrent un rapport de vitesses de gravure entre le BCB et l'AZ1518 de l'ordre de 2.4. Sur la figure II-45, nous représentons une vue de dessus d'un transistor passivé au BCB avec des ouvertures au niveau des accès coplanaires (figure II-45-a) et une vue en coupe réalisée au FIB (*Focused Ion Beam*) (figure II-45-b).

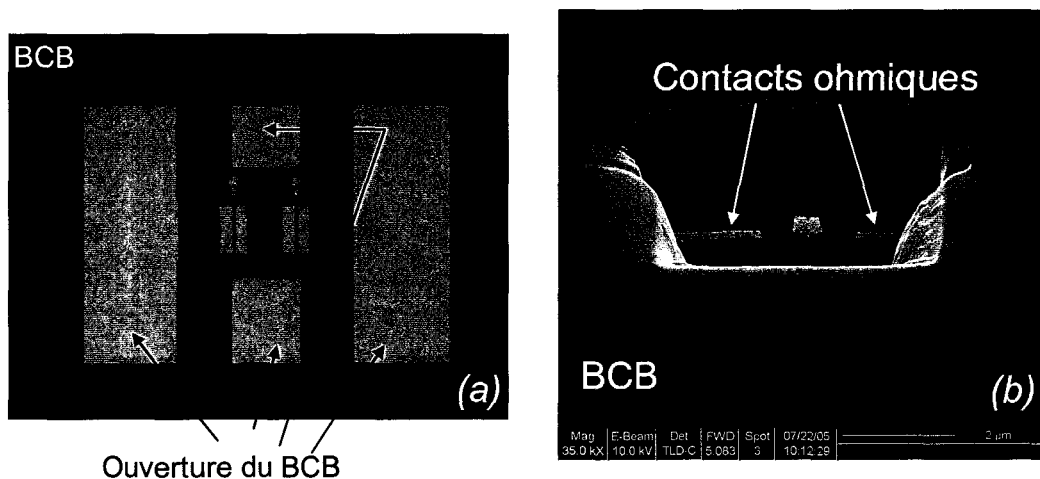


Figure II-45 : (a) : Visualisation des ouvertures des accès coplanaires dans le BCB

(b) : Coupe transversale d'un transistor passivé au BCB (épaisseur : 2.4µm)

→ *Caractéristique DC*

Sur les figures II-46 et II-47, nous représentons respectivement les caractéristiques de sortie  $I_d$ - $V_{ds}$  et les caractéristiques de transfert  $I_d$ - $V_{gs}$ ,  $G_m$ - $V_{gs}$  obtenues pour un transistor passivé et non passivé.

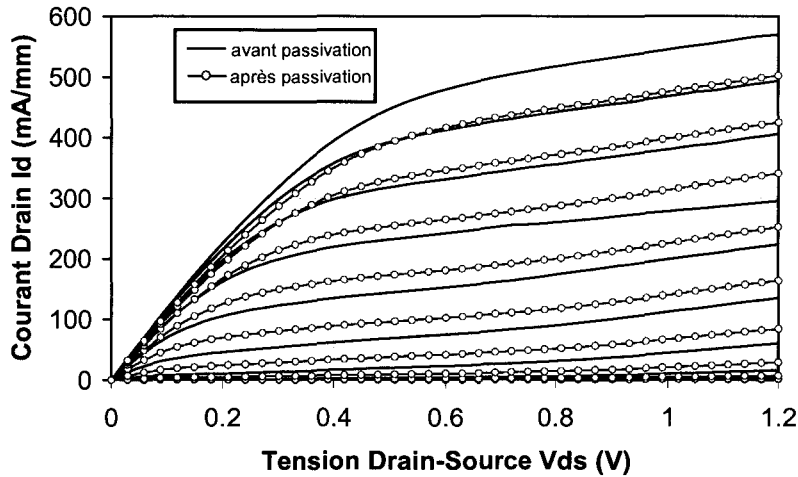


Figure II-46 : Évolution des caractéristiques de sortie avant et après passivation.  
 ( $V_{GS\ TOP}=0.2V$  ;  $V_{GS\ STEP}=-0.1V$ )

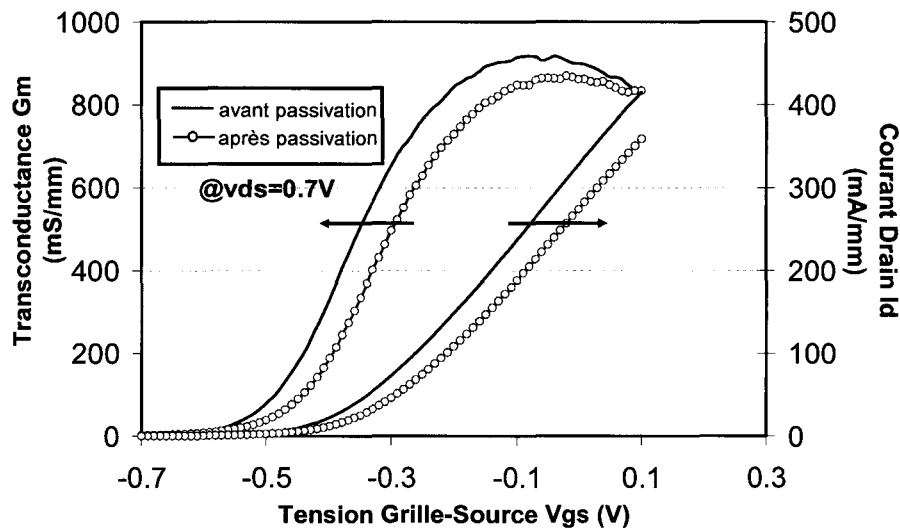


Figure II-47 : Évolution des caractéristiques de transfert avant et après passivation à  
 $V_{ds}=0.7V$ .

On peut donc constater une diminution du courant drain  $I_d$  après passivation du transistor. Ce phénomène est la conséquence de la modification du potentiel de surface dans les zones recessées de source et de drain due au dépôt de BCB et du décalage, vers les valeurs

positives, de la tension de seuil  $V_{TH}$  du composant passivé d'environ 50mV. Ce décalage de la tension de seuil est lié au recuit de polymérisation du BCB (figure II-29). En effet, ce recuit provoque une diffusion du titane dans la barrière ce qui réduit la distance grille-gaz d'électrons et diminue ainsi la tension de seuil. Enoki *et al.* ont observé ce même phénomène sur des HEMT recuits pendant 3H à 200°C [Enoki1]. Un décalage de la tension de seuil des composants de l'ordre de 150mV a pu être observé et l'estimation de la longueur de diffusion du Ti dans la barrière serait de 37Å. Ainsi, notre recuit de polymérisation étant à une température supérieure (240°C) mais de durée plus courte, la diffusion du titane dans la barrière pourrait intervenir sur nos dispositifs.

Par ailleurs, on constate que la différence entre la transconductance extrinsèque  $G_m$  du composant passivé et du composant non-passivé est quasi-négligeable (réduction de 5%).

### → Caractéristique RF

L'évolution des gains est représentée sur la figure II-48 et les extractions des schémas équivalents petits-sinaux sont données dans le tableau II-4.

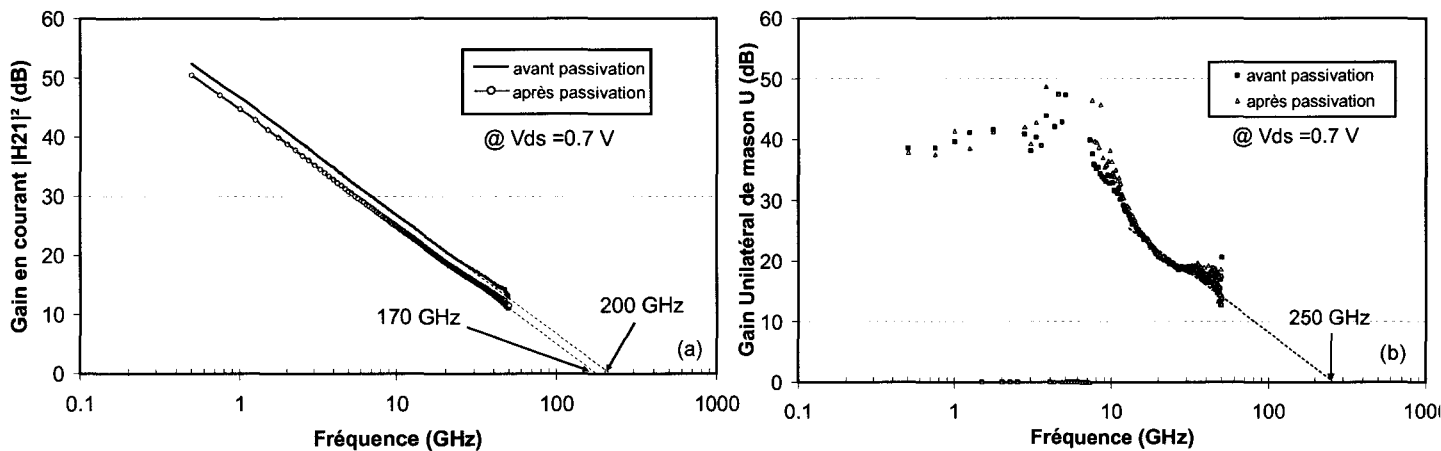


Figure II-48 : Évolution des gains avant et après passivation.

( $V_{ds}=0.7V$ ,  $V_{gs}= \text{maximum du } G_m$ )

Ainsi, on constate une réduction de 15 % sur la fréquence de coupure  $f_T$  sur les dispositifs passivés. En revanche, le gain unilatéral de Mason ne semble pas être affecté par ce dépôt.

Pour justifier ces évolutions, il faut visualiser les schémas équivalents petits-sinaux des composants.

Compte tenu de la constante diélectrique  $\epsilon_R$  du BCB, une augmentation des capacités intrinsèques  $C_{gs}$  et  $C_{gd}$  peut être observée. Ces capacités augmentent respectivement de 8 et 30% sur les HEMTs passivés. Toutefois, l'augmentation de ces capacités reste faible pour des dispositifs passivés. En effet, P.Chevalier a constaté une augmentation de plus de 20% sur la capacité  $C_{gs}$  et de 80% sur la capacité  $C_{gd}$  pour des HEMTs passivés avec un dépôt PECVD de 5000Å de  $Si_3N_4$  [Chevalier1].

Ainsi, l'impact de la passivation au BCB sur la fréquence de coupure  $f_T$  se justifie par l'augmentation des capacités intrinsèques  $C_{gs}$  et  $C_{gd}$ .

Par ailleurs, il est aussi intéressant de constater que les résistances d'accès  $R_s$  et  $R_d$  augmentent d'environ 8% pour des composants passivés. Ceci accentue l'hypothèse d'une augmentation du potentiel de surface dans les zones recessées lors du dépôt du BCB. Par contre, on peut observer une évolution étonnante de la résistance de grille  $R_g$  qui diminue de 30% et une réduction de la conductance de sortie  $g_d$ . Cependant, la diminution de  $R_g$  et de  $g_d$  est contrebalancée par la hausse des résistances parasites et des capacités intrinsèques. C'est pourquoi aucune augmentation du  $f_{MAX}$  n'est discernable.

Finalement, la technologie de report adhésif par BCB associée à la réalisation des composants DG-HEMT aura tendance à diminuer la fréquence de coupure  $f_T$  de nos composants DG-HEMT. Toutefois, il semblerait que le  $f_{MAX}$  ne soit pas affecté par ce dépôt.

		Avant passivation BCB	Après passivation BCB
<i>Eléments extrinsèques</i>	Rs (ohm.mm)	0.34	0.37
	Rd (ohm.mm)	0.33	0.37
	<b>Rg (ohm/mm)</b>	<b>40</b>	<b>30</b>
	Lg (pH)	35	35
	Ld (pH)	35	35
	Ls (pH)	5	5
	Cpg (fF)	2	2
	Cpd (fF)	36	37
	<i>Eléments intrinsèques</i>	Gm (mS/mm)	1500
<b>Gd (mS/mm)</b>		<b>190</b>	<b>141</b>
<b>Cgs (fF/mm)</b>		<b>672</b>	<b>720</b>
<b>Cgd (fF/mm)</b>		<b>182</b>	<b>238</b>
Cds (fF/mm)		35	20
Ri (ohm)		2.6	-2
Tau (ps)		0.6	0.5
<i>Paramètres caractéristiques</i>	Gm/Gd	7.9	10.1
	Cgs/Cgd	3.7	3
	$f_c = Gm / 2\pi Cgs$ (GHz)	355	316
	<b><math>f_T</math> (GHz)</b>	<b>200</b>	<b>170</b>
	$f_{MAX}$ (GHz)	250	250

Tableau II-4 : Schémas équivalents petits signaux du HEMT avant passivation et après passivation ( $L_g=100nm$ ,  $W=100\mu m$ ) ( $V_{ds}=0.7V$  et  $V_{gs} = \text{maximum du } G_m$ ).

### III-3-c-Élaboration du procédé de fabrication de la seconde grille

Dans ce dernier paragraphe, nous allons aborder la dernière étape de fabrication des dispositifs DG-HEMT et VMT. Cette étape consiste à réaliser la lithographie de la seconde grille.

#### III-3-c-1) Les marques d'alignement

La lithographie de la seconde grille étant réalisée au masqueur électronique, il faut récupérer inévitablement les marques d'alignement après le report du substrat « actif » afin d'aligner précisément la première grille par rapport à la seconde. Ces marques d'alignement sont réalisées à la première étape de fabrication des composants en même temps que les contacts ohmiques et avant le mesa d'isolation (figure II-1-étape 1). Par conséquent, ces marques diffusent dans la structure au même titre que les contacts ohmiques lors du recuit à 295°C. Ainsi, nous pensions récupérer les marques d'alignement diffusantes du 1<sup>er</sup> niveau après la gravure des couches d'arrêt. La figure II-49 illustre ce propos.

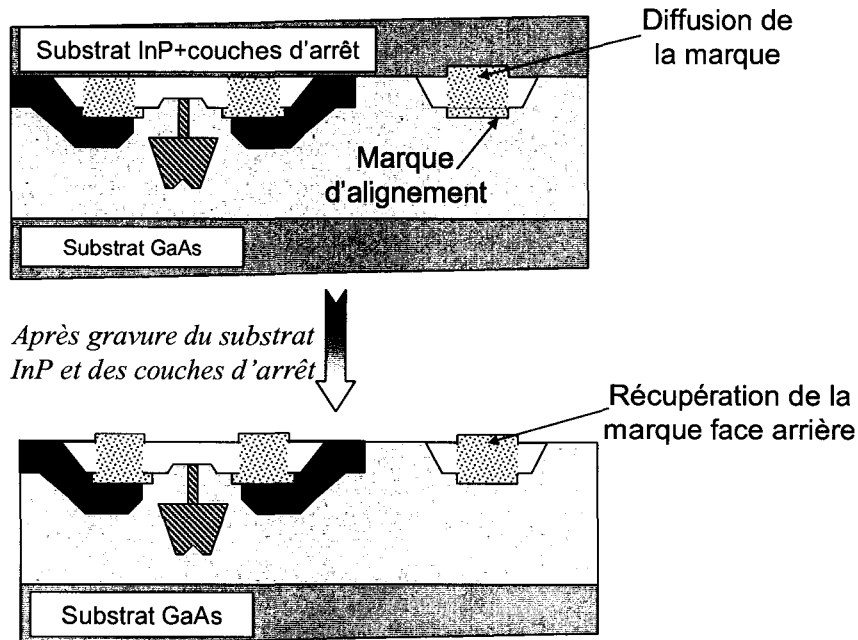


Figure II-49 : Illustration de la récupération des marques d'alignement diffusantes après report du substrat actif.



Cependant, il ressort de cet essai que ces marques ne peuvent être détectées par le masqueur électronique compte tenu de leurs morphologies, comme le montre la figure II-50.

Il est intéressant de noter que nous avons pu constater une diffusion de la marque et des contacts ohmiques sur la totalité de la zone active. En effet, un contact électrique peut être réalisé en plaçant des pointes DC non pas sur les plots d'épaissement mais directement sur les contacts ohmiques après l'étape du report. Ainsi, la métallisation Ni/Ge/Au/Ni/Au recuit à 295°C pendant 20 secondes a tendance à diffuser sur une longueur minimale de 800Å.

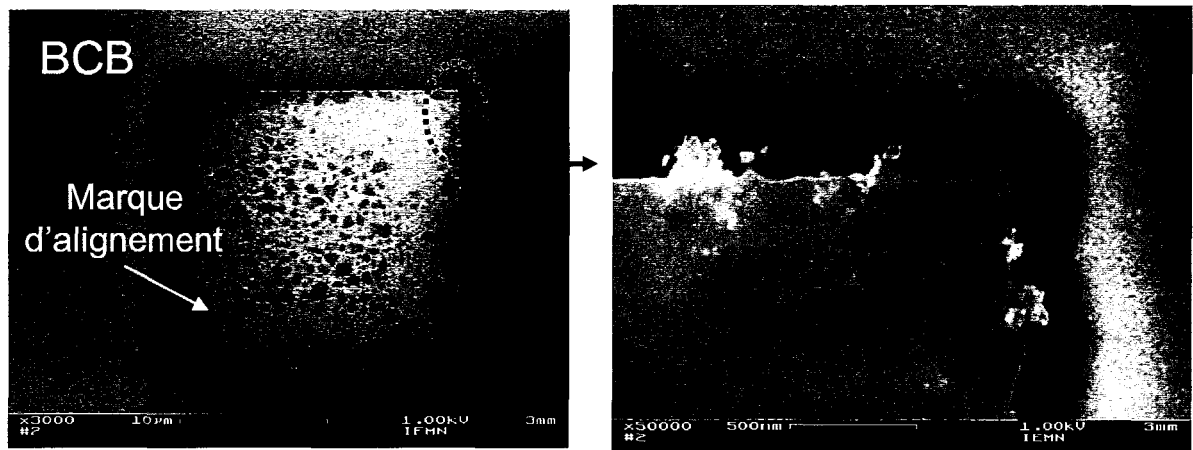


Figure II-50 : Observation au MEB d'une marque d'alignement diffusante après gravure du substrat InP et des couches d'arrêt

Afin de pallier le problème de la morphologie des marques d'alignement, une solution consiste à rajouter des marques d'alignement durant le procédé de fabrication de nos composants. Ainsi, lors de l'écriture au masqueur électronique de la première grille, nous ajoutons simultanément un niveau d'écriture de marques d'alignement. Le choix de l'écriture de ces secondes marques à cette étape a deux avantages :

- La séquence de métallisation de grille étant respectivement Ti/Pt/Au, les secondes marques auront cette même séquence de métallisation. Ainsi, lors du recuit de polymérisation du BCB, ces marques ne diffuseront pas dans le matériau.

- L'ajout de marques d'alignement au moment de l'écriture de la première grille produit une diminution des erreurs de repositionnement du masqueur électronique pour l'écriture des deux grilles.

En effet, lorsque les marques sont réalisées uniquement lors de la 1<sup>ère</sup> étape, l'écriture de la 1<sup>ère</sup> grille entraîne une erreur de repositionnement  $\Delta p$  de la grille par rapport à la marque. Au moment de l'écriture de la seconde grille, il apparaît une seconde erreur de

repositionnement. Ainsi l'erreur totale maximale de repositionnement des deux grilles peut être de  $2x \Delta p$ .

Dans le cas où des marques sont rajoutées au moment de l'écriture de la première grille, la première grille étant parfaitement alignée avec les secondes marques, l'erreur totale maximale de repositionnement des deux grilles est de  $\Delta p$ .

Ainsi, les secondes marques d'alignement sont déposées sur la couche d'arrêt. De cette manière, après gravure du substrat InP et des couches d'arrêt, nous avons accès à ces marques. Les figure II-51 et II-52 représente respectivement une illustration de ce procédé de récupération des marques et une observation MEB de celles-ci.

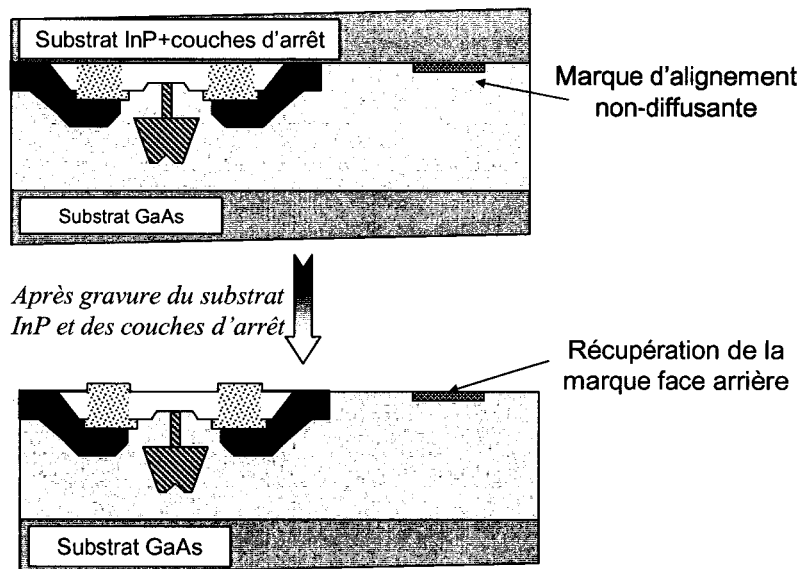


Figure II-51 : Illustration de la récupération des secondes marques d'alignement non-diffusantes après report du substrat actif.

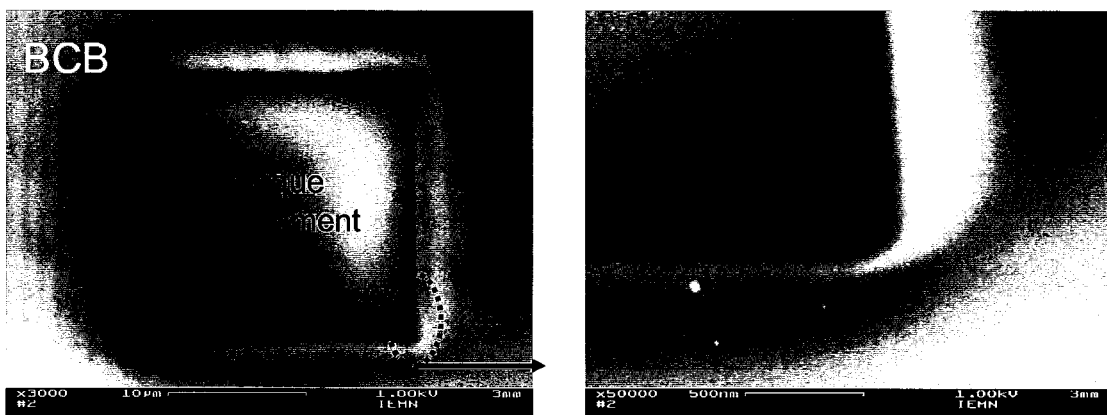


Figure II-52 : Observation au MEB d'une marque d'alignement non-diffusante après gravure du substrat InP et des couches d'arrêt.

Sur la figure II-52, on peut constater que les secondes marques d'alignement sont de très bonne qualité, parfaitement définies et détectables au masqueur électronique.

Par ailleurs, nous avons voulu déterminer l'erreur de repositionnement  $\Delta p$  du masqueur électronique entre deux niveaux d'écriture. La mise au point d'un masque spécifique, avec la collaboration de l'équipe de la centrale technologique, a été entreprise.

Ainsi, nous avons réalisé un masque fonctionnant sur le principe du « pied à coulisse » afin de déterminer une erreur éventuelle de repositionnement.

La graduation du pied à coulisse est réalisée en deux écritures électroniques distinctes à 50keV sur le même dépôt de résine. Ces essais ont été effectués sur un substrat GaAs laqué par un bicouche de résine PMMA/P(MMA-MAA). Ensuite, une seule révélation permet d'ouvrir la résine aux endroits insolés. Un exemple de graduation est représenté sur la figure II-53

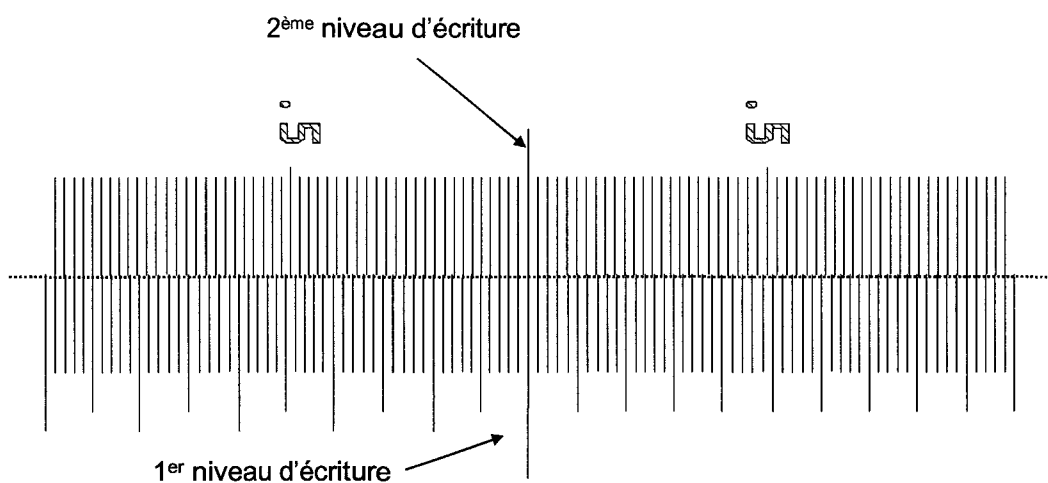


Figure II-53 : Réalisation d'un pied à coulisse nanométrique pour la détermination de l'erreur de repositionnement du masqueur.

Ainsi, le masque possède ce type de graduations, positionnées en X et en Y, à la fois au centre d'un champ d'écriture et sur les bords d'un champ d'écriture pour déterminer une éventuelle influence de la déflection du faisceau d'électron. L'écart minimal détectable avec ces graduations est de 20nm.

Finalement, il ressort de cette étude qu'aucune erreur de repositionnement ne peut être visualisée au MEB. L'erreur de repositionnement du masqueur est donc inférieure à 20nm.

### III-3-c-2) Lithographie de la seconde grille

La lithographie de la seconde grille de 100nm est identique à la première. Le même procédé bi-couche PMMA-P(MMA-MAA) est alors employé pour l'écriture de la seconde grille (figure II-10). De même, la gravure du fossé de grille est réalisée avec la même solution (AS:H<sub>2</sub>O<sub>2</sub> en proportion 30:4) et la métallisation de grille reste identique à la première. Ainsi, après avoir optimisé l'étape de récupération des marques « face arrière » décrite précédemment, nous avons procédé à la réalisation de la seconde grille de 100nm de nos transistors. Le résultat de cette opération est représenté sur la figure II-54

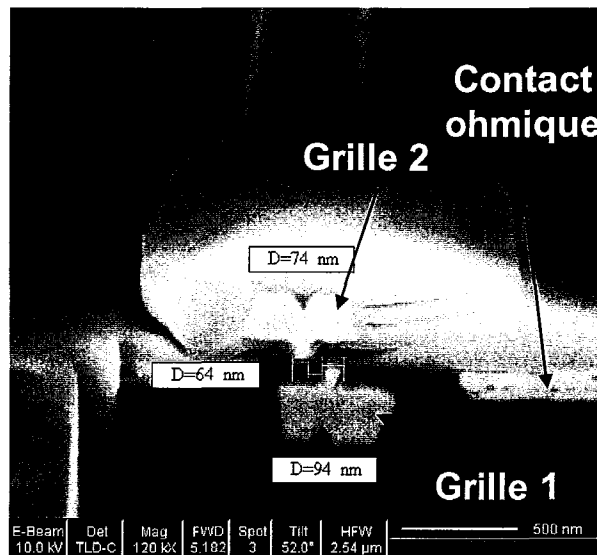


Figure II-54 : Coupe transversale d'un transistor DG-HEMT de longueurs de grille 100nm, obtenue avec une lithographie standard.

On observe nettement un désalignement important entre les deux grilles d'environ deux longueurs de grille (200nm) soit une erreur de 200%. De plus, une visualisation au MEB de l'échantillon montre que le décalage est plus important pour des motifs de grande taille. Ce phénomène est typiquement lié à un effet d'accumulation de charge en surface de l'échantillon [Ingino1]. En effet, comme l'illustre la figure II-55-a, après gravure du substrat InP et des couches d'arrêt, il ne reste que des îlots de composants « enrobés » dans du BCB. Or, la résistivité électrique du BCB ( $\rho_{BCB}=10^{19} \Omega.cm$ ) étant beaucoup plus élevée que celle du substrat hôte de GaAs ( $\rho_{GaAs}=10^8 \Omega.cm$ ), l'évacuation des électrons injectés lors de l'écriture au masqueur électronique se fait avec une constante de temps plus élevée que pour des dispositifs non-reportés. Ainsi, l'accumulation d'électrons en surface, due au caractère isolant de l'échantillon, entraîne une déflexion du faisceau d'électrons lors de l'écriture (figure II-55-

b). Ce phénomène est donc prépondérant pour des motifs écrits de grande taille car la quantité de charges accumulées est plus importante.

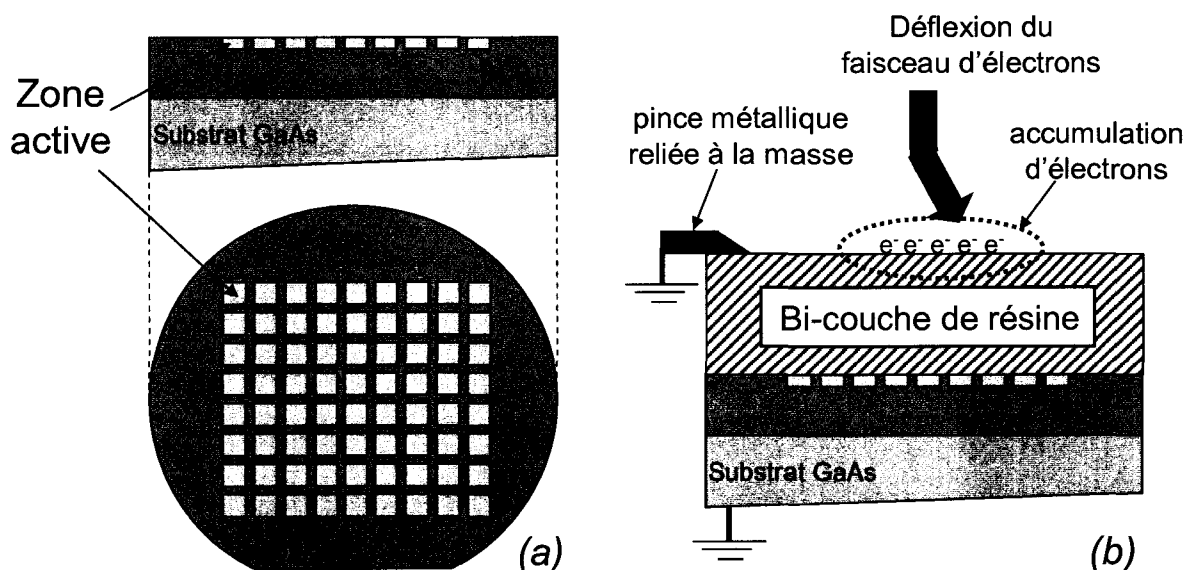


Figure II-55 : représentation des composants reportés sur substrat GaAs (a) et phénomène de dérive du faisceau d'électrons causé par l'accumulation d'électrons en surface de l'échantillon.

Afin, d'écouler, plus rapidement, ces charges en surface de l'échantillon, nous avons eu recours à un dépôt métallique de germanium juste après le laquage du bi-couche de résine électronique. En effet, le fait de déposer cette couche de germanium permet d'offrir un contact électrique avec la pince métallique du masqueur (figure II-55-b). Ainsi, l'écoulement de ces charges via la couche de germanium est beaucoup plus rapide. Un dépôt de germanium d'épaisseur 100Å permet alors de supprimer cette accumulation de charges.

Quant au choix du germanium, celui-ci réside dans sa simplicité à le graver. En effet, une solution à base d'eau oxygénée diluée ( $H_2O_2/H_2O$ ) suffit à le graver complètement ce qui limite la dégradation de la résine électronique lors de la gravure. Finalement, le procédé de lithographie de la seconde grille employé est le suivant :

- Laquage bi-couche PMMA-P(MMA-MAA), épaisseur : 1500Å/6800Å.
- dépôt Ge, épaisseur 100Å
- écriture à 50keV
- gravure du Ge :  $H_2O_2/H_2O$  (1/1) durée 30sec.
- Révélation du bi-couche : MIBK/IPA (1/2) durée 2min.

Le résultat de cette lithographie dite « germanium » est représenté sur la figure II-56.

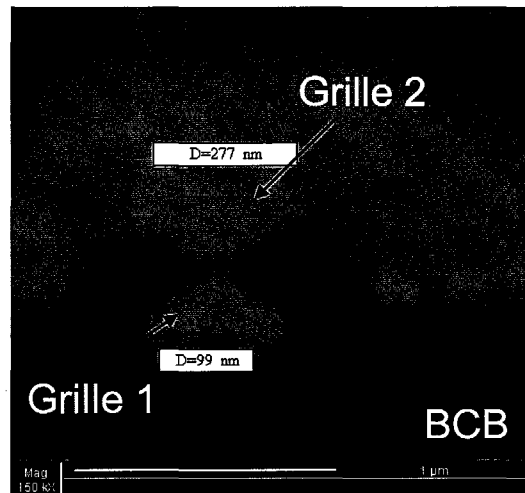


Figure II-56 : Coupe transversale d'un transistor DG-HEMT de longueur de grille  $Lg1=100\text{nm}$  et  $Lg2=280\text{nm}$ , obtenu avec une lithographie « germanium ».

Mise à part la forme des grilles, on constate que la longueur de la seconde grille a quasiment triplé (280nm) par rapport au design d'écriture du pied de grille défini sur le masque (100nm). Ainsi, le dépôt de germanium semble affecter considérablement les paramètres d'écriture. Néanmoins, ces deux grilles semblent parfaitement alignées.

Finalement, des essais de variation de dose ont permis d'aboutir à la dose optimale à utiliser, lors d'une lithographie « germanium », pour obtenir une ouverture de 100nm de la seconde grille. Le design d'écriture représenté sur la figure II-11 reste alors inchangé. En revanche, les doses des différentes zones sont à modifier :

- Dose du pied de grille :  $352 \mu\text{C.cm}^{-2}$ .
- Dose des latéraux :  $178 \mu\text{C.cm}^{-2}$ .
- Dose des espaceurs :  $70 \mu\text{C.cm}^{-2}$ .

Finalement, le résultat de cette optimisation de lithographie de la seconde grille est représenté sur la figure II-57. Sur ce composant, l'emploi du promoteur d'adhérence HMDS a été utilisé sur les deux lithographies de grille.

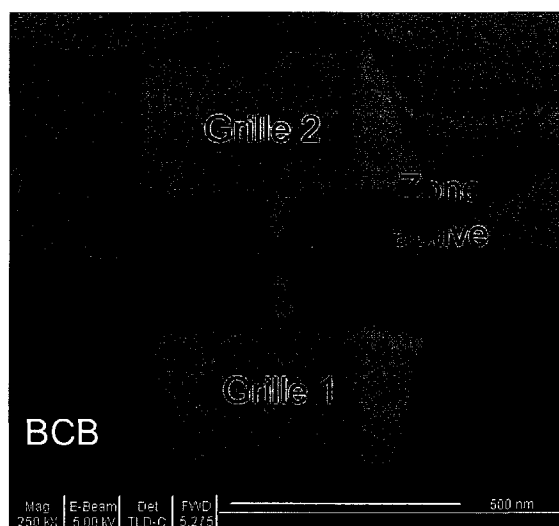


Figure II-57 : Coupe transversale d'un transistor DG-HEMT de longueurs de grilles 100nm, obtenu avec une lithographie « germanium ».

Ces résultats sont donc très satisfaisants puisque les deux grilles ont une longueur identique de 100nm et que l'alignement de ces deux grilles est quasi-parfait. Néanmoins, une visualisation au MEB du recess de la seconde grille montre que sa largeur est très importante malgré un dépôt au préalable du promoteur HMDS. En effet, le temps de gravure du recess de grille avec la solution AS/H<sub>2</sub>O<sub>2</sub> de 45sec devait conduire à une largeur de recess de 210nm (figure II-17), or la largeur du recess de la seconde grille est de 660 nm (figure II-58). Malheureusement, à ce jour, cette ouverture importante du recess n'a pu être clarifiée.

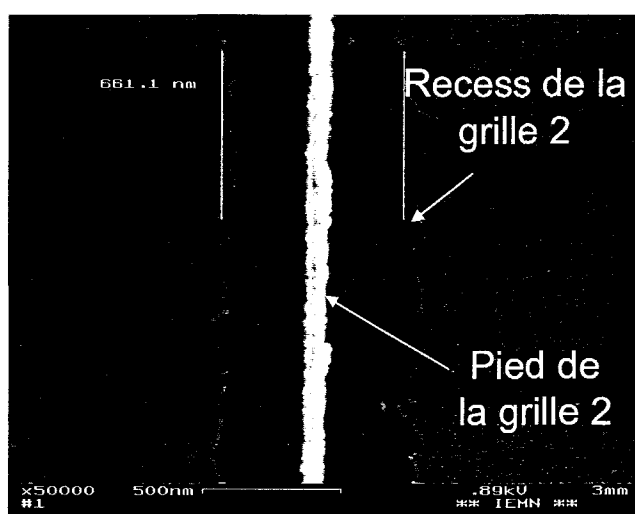


Figure II-58 : largeur du recess de la seconde grille après gravure AS/H<sub>2</sub>O<sub>2</sub> de 45sec.

### *III-3-c-3) Le masque TURBO\_DG*

Pour la réalisation des composants DG-HEMT-SC (simple commande), DG-HEMT-DC (double-commande) et VMT, nous avons repris le masque *TURBO* (figure II-2) sur lequel nous avons modifié le niveau d'écriture de la première grille en rajoutant les secondes marques d'alignement et nous avons ajouté un niveau supplémentaire pour l'écriture de la seconde grille. Le masque est donc représenté sur la figure II-59.

Ainsi, sur ce masque, nous réalisons à la fois des transistors DG-HEMT-SC et DG-HEMT-DC.

Pour les DG-HEMT-SC, le motif d'écriture de la seconde grille coïncide avec le motif d'écriture de la première. Ce transistor se comporte donc comme un transistor HEMT standard à deux ports.

Pour les DG-HEMT-DC et les VMT, leurs modes de fonctionnement requièrent la réalisation de deux grilles distinctes. Ainsi, des lignes d'accès continu ont été écrites pour la connexion de cette seconde grille. Compte tenu du design de ces lignes, la seconde grille ne peut être polarisée en régime dynamique. Une vue de dessus d'un composant DG-HEMT (ou VMT) est représentée sur la figure II-60. Nous rappelons que la technologie DG-HEMT-DC et VMT ne diffère que par leur structure épitaxiale. La conception du masque est donc la même pour le DG-HEMT-DC et le VMT.

Par ailleurs, afin d'obtenir un alignement parfait des deux grilles des composants DG-HEMT-DC et VMT et tout en évitant le contact direct de ces grilles sur le wafer, la première grille ne descend que sur une face du mesa d'isolation. La figure II-61 illustre ce propos.



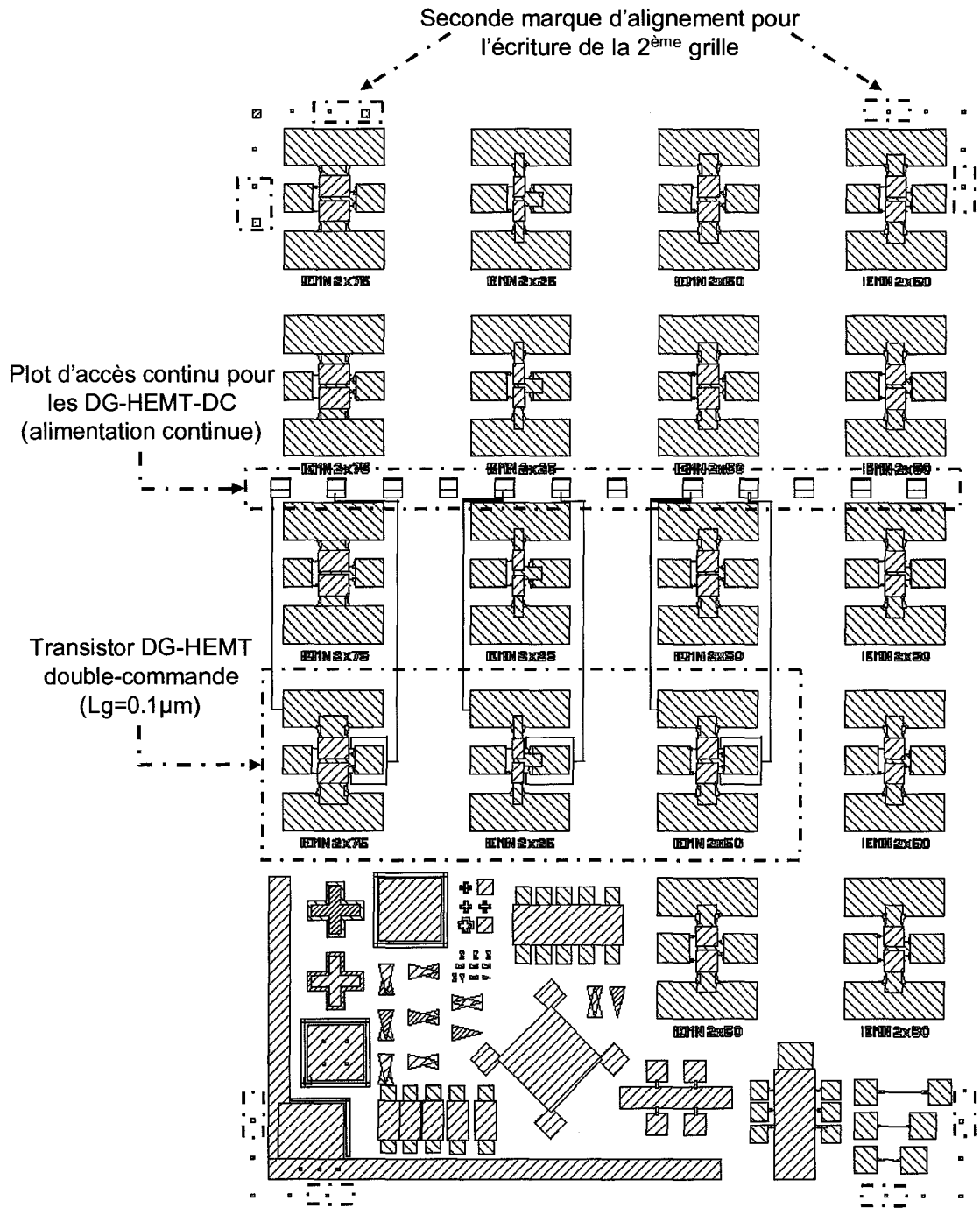


Figure II-59 : représentation de la cellule du masque TURBO\_DG utilisé pour la fabrication des composants DG-HEMT et VMT.

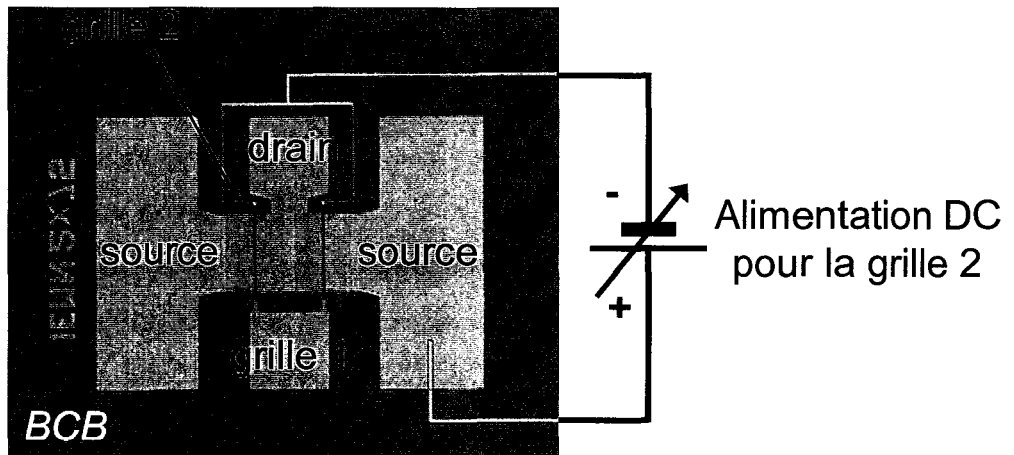


Figure II-60 : observation au microscope d'un composants DG-HEMT-DC.

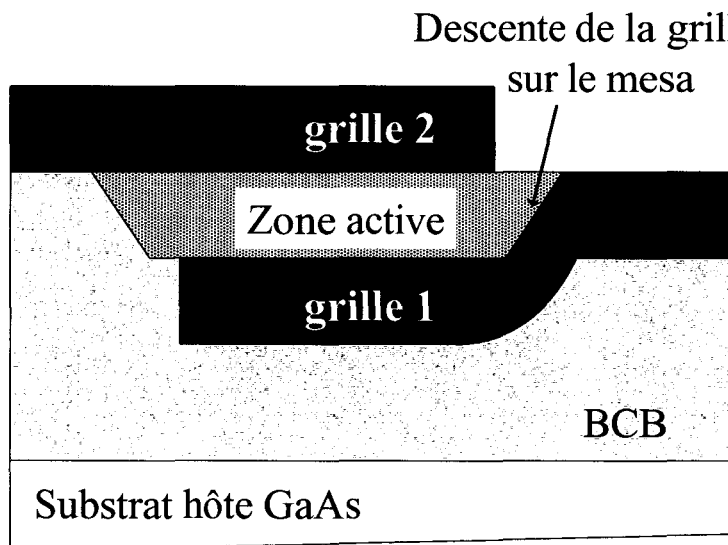


Figure II-61 : Vue en coupe dans la direction de la largeur de grille  $W$  d'un transistor DG-HEMT-DC (ou VMT).

#### IV- CONCLUSION

Dans ce chapitre, nous avons exposé la technologie de fabrication des transistors DG-HEMT et VMT. Ces étapes technologiques sont récapitulées dans l'annexe.

La description des étapes technologiques a montré que le procédé de fabrication de nos composants se décompose en trois grandes parties dont la première correspond aux étapes de fabrication d'un HEMT standard et dont les deux autres sont propres à la technologie double-grille.

- Au niveau de la technologie de grille et, plus précisément sur le fossé de grille, nous avons pu constater une mauvaise adhérence des résines électroniques sur le semi-conducteur pour des ouvertures du pied de grille de 100nm conduisant à une non uniformité de la largeur du *recess* le long du développement  $W$  du transistor. Par la suite, l'emploi d'un promoteur d'adhérence (HMDS) avant le laquage du bicouche a permis d'améliorer considérablement l'adhérence de la résine et ainsi, d'aboutir à une largeur de recess parfaitement rectiligne.

- Une étude complète sur la technologie double-grille a permis d'aboutir à une technologie de report de substrat initial sur un substrat hôte qui soit fiable, reproductible et compatible avec la technologie DG-HEMT grâce à l'emploi du procédé d'assemblage adhésif utilisant le BCB. De plus, nous avons mis au point un procédé de gravure du substrat initial afin de récupérer avec précision la zone active des composants d'épaisseur inférieure à 1000Å.

- De plus, afin d'estimer l'éventuel désalignement des deux grilles, nous avons étudié la précision du repositionnement du masqueur électronique entre deux niveaux d'écriture. Cette étude a conclu que l'erreur de repositionnement du masqueur était inférieure à 20nm soit 3 fois la taille du spot du faisceau d'électrons.

Par ailleurs, la technologie de report de substrat (utilisation du BCB) a entraîné des effets d'accumulation de charges lors de l'écriture électronique de la seconde grille qui se traduit par un désalignement des deux grilles. Nous avons donc optimisé la lithographie électronique (ajout d'une couche de germanium) afin d'éviter ces effets. Ces études ont finalement conduit à la réalisation de transistors DG-HEMT ayant deux grilles en T de 100nm parfaitement alignées.

- Enfin, nous avons étudié succinctement l'influence de la technologie de report (composants naturellement passivé avec le BCB) sur les caractéristiques DC et RF des transistors HEMT standards. Ces résultats seront à prendre en compte lors de l'étude des dispositifs DG-HEMT.

- En définitif, la technologie décrite dans ce second chapitre permet donc de réaliser à la fois des DG-HEMT-SC (transistor dont les deux grilles sont reliées sur le même accès coplanaire), des DG-HEMT-DC (transistor dont les deux grilles sont découplées) et des VMT.

Dans ces deux derniers cas, le *design* de l'accès de la seconde grille ne permet pas d'appliquer un signal hyperfréquence sur celle-ci.

## V- BIBLIOGRAPHIE

[**Fourré1**] H. Fourré, “Réalisation et caractérisation de transistors à effet de champ à hétérojonction de la filière AlInAs/GaInAs pour applications en ondes millimétriques, ” *Thèse d’électronique de l’Université des Sciences et Technologies de Lille*, 1997

[**Chevalier1**] P. Chevalier, “Conception et réalisation de transistors à effet de champ de la filière AlInAs/GaInAs sur substrat InP. Application à l’amplification faible bruit en ondes millimétriques, ” *Thèse d’électronique de l’Université des Sciences et Technologies de Lille*, 1998

[**Medjdoub1**] F. Medjdoub, “Conception et réalisation de transistors à effet de champ à hétérojonction sur substrat InP pour amplification de puissance en bande W, ” *Thèse d’électronique de l’Université des Sciences et Technologies de Lille*, 2004

[**Diette1**] F. Diette, “Etude des transistors à effet de champ de type HEMT sur substrat GaAs et InP pour l’amplification de puissance en gamme millimétrique, ” *Thèse d’électronique de l’Université des Sciences et Technologies de Lille*, 1998

[**Fawaz1**] H. Fawaz, “Technologie multifonction de transistors à effet de champ sur matériaux III-V pour logique rapide et hyperfréquences, ” *Thèse d’électronique de l’Université des Sciences et Technologies de Lille*, 1993

[**Thiery1**] J.F. Thiery, “Etude et réalisation de transistors HIGFETs complémentaires en technologie auto-alignée pour circuits logiques rapides et à faible consommation, ” *Thèse d’électronique de l’Université des Sciences et Technologies de Lille*, 1997

[**Keramidas1**] V. G. Keramidas, H. Temkin, S. Mahajan, “Ohmic contacts to InP and InGaAsP, ” *Inst. Phys. Conf. Ser.*, vol. 56, pp.293-299, 1981

[**Fourré2**] H. Fourré, O. Schuler, J. C. Pesant, A. Leroy, A. Cappy, “Implant isolation for lattice matched InGaAs/InAlAs/InP modulation doped field effect transistor realisation, ” *Indium Phosphide and Related Materials*, pp. 331-333, 1996

**[Bahl]** S. R. Bahl, J. A. Del Alamo, "Elimination of Mesa-Sidewall Gate Leakage in InAlAs/InGaAs Heterostructures by Selective Sidewall Recessing," *IEEE Electron Device Letters*, vol. 13, n°4, pp. 195-197, 1992.

**[Bahl2]** S. R. Bahl, M. H. Leary, J. A. Del Alamo, "Mesa-Sidewall leakage in InAlAs/InGaAs Heterostructure Field-Effect Transistors," *IEEE Trans. on Elect. Dev.*, vol. 39, n°9, pp. 2037-2043, 1992.

**[Duszynski1]** I. Duszynski, "Réalisation et caractérisation électrique de transistors HEMTs AlInAs/GaInAs de longueur de grille sub-50 nanomètres et de transistors sans couche tampon," *Thèse d'électronique de l'Université des Sciences et Technologies de Lille*, 2005

**[Broekaert1]** T. P. E. Broekaert, C. G. Fonstad, "Novel organic acid-based etchants for InGaAlAs/InP heterostructure devices with AlAs etch-stop layers," *Journal of Electrochemical Society*, vol. 139, n°8, pp. 2306-2309, 1992.

**[DeSalvo1]** G. C. DeSalvo, W. F. Tseng, J. Comas, "Etch rates and selectivities of citric Acid/Hydrogen peroxide on GaAs, Al<sub>0.3</sub>Ga<sub>0.7</sub>As/In<sub>0.53</sub>Ga<sub>0.47</sub>As and InP," *Journal of Electrochemical Society*, vol. 139, n°3, pp. 831-835, 1992.

**[Fourré3]** H. Fourré, A. Cappy, S. Bollaert, "Selective wet-etching of lattice-matched InGaAs/InAlAs on InP and metamorphic InGaAs/InAlAs on GaAs using succinic/hydrogen peroxide solution," *Jal of Vac. Sci. Technol.*, vol. B14, n°5, pp. 3400-3402, 1996.

**[Hoël1]** V. Hoël, "Conception, réalisation et caractérisation de transistors à effet de champ à hétérojonction sur substrat d'InP pour circuits intégrés coplanaires en bandes V et W," *Thèse d'électronique de l'Université des Sciences et Technologies de Lille*, 1998

**[Zaknoune1]** M. Zaknoune, "Etude de la technologie et des potentialités pour l'amplification de puissance hyperfréquence des transistors à effet de champ des filières phosphore AlGaInP/GaInAs et métamorphique AlInAs/GaInAs sur substrat GaAs," *Thèse d'électronique de l'Université des Sciences et Technologies de Lille*, 1999

**[Dambrine1]** G. Dambrine, “Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination du schéma équivalent, ” *Thèse d’électronique de l’Université des Sciences et Technologies de Lille*, 1989

**[Dambrine2]** G. Dambrine, A. Cappy, F. Heliodore, E. Playez, “A new method of determining the FET small-signal equivalent circuit, ” *IEEE Trans. on Elect. Dev.*, vol. 35, n°7, pp. 1151-1159, 1988.

**[Shimbo1]** M. Shimbo, K. Furukawa, K. Fukuda, K. Tanzawa, “Silicon-to-silicon direct bonding method,” *J. Appl. Phys.*, vol. 60, n°8, pp. 2987-2989, 1986.

**[Wada1]** H. Wada, T. Kamijoh, “Wafer Bonding of InP to Si and its Application to Optical Devices,” *Jpn. J. Appl. Phys.*, vol. 37, part 1, n°3B, pp. 1383-1390, 1998.

**[Mori1]** K. Mori, K. Tokutome, K. Nishi, S. Sugou, “High-quality InGaAs/InP multiquantum-well structures on Si fabricated by direct bonding,” *Electron. Lett.*, vol. 30, n° 12, pp. 1008-1009, 1994.

**[Lasky1]** J. B. Lasky, “Wafer bonding for silicon-on-insulator technologies,” *Appl. Phys. Lett.*, vol. 48, n°1, pp. 78-80, 1986.

**[Izumi1]** K. Izumi, M. Doken, H. Ariyoshi, “CMOS Devices Fabricated on Buried SiO<sub>2</sub> Layers Formed by Oxygen Implantation into Silicon,” *Electron. Lett.*, vol. 14, pp. 593-594, 1978.

**[Bruel]** M. Bruel, “Silicon on insulator material technology,” *Electron. Lett.*, vol. 31, n° 14, pp. 1201-1202, 1995.

**[Tong1]** Q. Y. Tong, G. Cha, R. Gafiteanu, U. Gösele, “Low temperature wafer direct bonding,” *J. Microelectromech. Syst.*, vol. 3, pp. 29-35, 1994.

**[Kress1]** H. J. Kress, F. Bantien, J. Marek, M. Willmann, "Silicon Pressure Sensor with Integrated CMOS Signal-Conditioning Circuit and Compensation of Temperature Coefficient," *Sensors and Actuators A*, 25-27, pp. 21-26, 1991.

**[Spangler1]** L. Spangler, C. J. Kemp, "A CMOS Integrated Surface Micromachined Angular Rate Sensor: Its Automotive Applications," *Proc. International Conference on Solid-State Sensors and Actuators, Transducers '95*, 147-C4:585-588, 1995.

**[Bernhstein1]** L. Bernhstein, "Semiconductor joining by the solid-liquid interdiffusion (SLID) process," *Journal of Electrochemical Society*, vol. 113, pp. 1282-1288, 1966.

**[Lee1]** Q. Lee, B. Agarwal, D. Mensa, R. Pullela, J. Guthrie, L. Samoska, M. J. W. Rodwell, "A > 400 GHz  $f_{MAX}$  Transferred-Substrate Heterojunction Bipolar Transistor IC Technology" *IEEE Electron Device Letters*, vol. 19, n°3, pp. 77-79, 1998.

**[Lee2]** Q. Lee, S. C. Martin, D. Mensa, R. P. Smith, J. Guthrie, M. J. W. Rodwell, "Submicron Transferred-Substrate Heterojunction Bipolar Transistors" *IEEE Electron Device Letters*, vol. 20, n°8, pp. 396-398, 1999.

**[Rodwell1]** M. J. W. Rodwell, M. Urteaga, T. Mathew, D. Scott, D. Mensa, Q. Lee, J. Guthrie, Y. Bester, S. C. Martin, R. P. Smith, S. Jaganathan, S. Krishnan, S. I. Long, R. Pullela, B. Agarwal, U. Bhattacharya, L. Samoska, M. Dahlstrom, "Submicron Scaling of HBTs," *IEEE Trans. on Elect. Dev.*, vol. 48, n°11, pp. 2606-2624, 2001.

**[Christiaens1]** I. Christiaens, G. Roelkens, K. De Mesel, D. Van Thourhout, R. Baets, "Thin-Film Devices Fabricated With Benzocyclobutene Adhesive Wafer Bonding," *Journal of Lightwave Tech.*, vol. 23, n°2, pp. 517-523, 2005.

**[Niklaus1]** F. Niklaus, P. Enoksson, E. Kälvesten, G. Stemme, "Low-temperature full wafer adhesive bonding," *J. Micromech. Microeng.*, vol. 11, pp. 100-107, 2001.

**[Wichmann1]** N. Wichmann, "Transistor Double-Grille: Application TeraHertz," *Diplôme d'Études Approfondies en électronique, Université des Sciences et Technologies de Lille*, 2002.



[Garrou1] P. E. Garrou, R. H. Heistand, M. G. Dibbs, T. A. Mainal, C. E. Mohler, T. M. Stokich, P. H. Townsend, G. M. Adema, M. J. Berry, I. Turlik, "Rapid Thermal Curing of BCB Dielectric", *IEEE Trans. On Components, Hybrids and Manufacturing Tech.*, vol. 16, n°1, pp.46-52, 1993

[Chou1] Y. C. Chou, D. Leung, R. Lai, R. Grundbacher, P. H. Liu, M. Bledenbender, Q. Kann, D. Eng, M. Wojtowicz, A. Oki, "On the investigation of Gate Metal Interdiffusion in GaAs HEMTs," *Int. Symp. GaAs and Related Compounds*, pp. 63-66, 2003

[Del Alamo1] J. A. Del Alamo, A. A. Villanueva, "Thermal, electrical and environmental reliability of InP HEMTs and GaAs PHEMTs," *International Electron Device Meeting Tech. Dig.*, 2004.

[Niklaus2] F. Niklaus, P. Enoksson, E. Kälvesten, G. Stemme, "Void-free full wafer adhesive bonding," *IEEE Proc. Micro Electro Mechanical Syst. (MEMS'00)*, pp. 106-113, 2000.

[Six1] G. Six, "Optimisation d'une technologie 3D pour la réalisation de circuits intégrés millimétriques sur substrat de silicium," *Thèse d'électronique de l'Université des Sciences et Technologies de Lille*, 2004

[Enoki1] T. Enoki, H. Ito, Y. Ishii, "Reliability study on InAlAs/InGaAs HEMTs with an InP recess-etch stopper and refractory gate metal," *Solid State Electron.*, vol. 41, n°10, pp. 1651-1656, 1997.

[Ingino1] J. Ingino, G. Owen, C. N. Berglund, R. Browning, R. F. W. Pease, "Workpiece charging in electron beam lithography," *Jal of Vac. Sci. Technol.*, B 12(3), pp. 1367-1371, 1994.

VI- ANNEXE

Dans cette annexe, un récapitulatif du procédé de fabrication des DG-HEMT est décrit précisément. Ce procédé est décrit pour la structure de couche représentée sur la figure II-62.

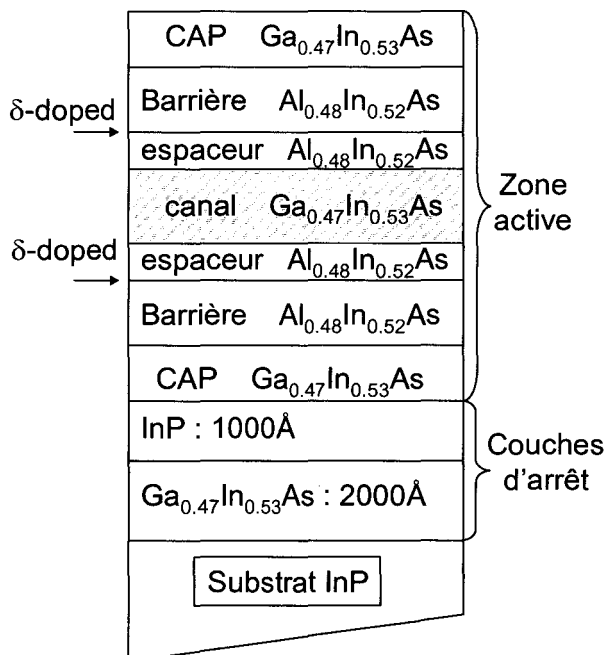


Figure II-62 : description de la structure de couche utilisée pour le récapitulatif du procédé de fabrication des composants DG-HEMT.

**Étape 1 : Marques + contacts ohmiques**

- Nettoyage : Acétone/Alcool Isopropylique (IPA) à température ambiante
- Séchage sur plaque: 120°C, 5min
- Dépôt bi-couche : Enduction copolymère EL 13% (MAA 8,5) (660nm)  
 Recuit 170°C 30min  
 Enduction PMMA 3% 495K (60nm)  
 Recuit 170°C 30min
- Exposition : Masqueur électronique à 50keV
- Développement : MIBK/IPA (1/2), 1min
- Rinçage : IPA 30sec
- Métallisation : etching d'Argon « in-situ »  
 Dépôt Ni/Ge/Au/Ni/Au (25Å/400Å/800Å/50Å/600Å)
- Lift-off : Acétone/IPA

**Étape 2 : Mesa d'isolation**

- Dépôt résine : enduction AZ1518 (1 $\mu$ m)  
Recuit 110°C, 1min
- Exposition : Optique, 84 mJ/cm<sup>2</sup>
- Développement : AZ400K/H<sub>2</sub>O (1/3), 35sec
- Rinçage : EDI 30sec
- Gravure : H<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O (5/1/40), 45sec  
(rem : la gravure s'arrête sur la couche d'arrêt InP)
- Rinçage : EDI 1min
- Dérésinage : Acétone/IPA

**Étape 3 : Plots d'épaissements**

- Dépôt résine : enduction AZ1518 (1 $\mu$ m)  
(procédé novolak) Recuit 110°C, 1min  
Traitement de surface AZ326, 35sec
- Rinçage : EDI 1min
- Exposition : Optique, 84 mJ/cm<sup>2</sup>
- Recuit sur plaque: 120°C, 1min
- Développement : AZ400K/H<sub>2</sub>O (1/3), 35sec
- Rinçage : EDI 30sec
- Métallisation : etching d'Argon « in-situ »  
Dépôt Ti/Au/Ti (500Å/3500Å/500Å)
- Lift-off : Acétone/IPA

**Étape 4 : réalisation première grille**

- Dépôt bi-couche : Enduction promoteur d'adhérence HMDS  
Enduction PMMA 950K (150nm)  
Recuit 170°C 30min  
Enduction copolymère P(MMA-MAA8,5) (680nm)  
Recuit 170°C 30min

- Exposition : Masqueur électronique à 50keV
- Développement : MIBK/IPA (1/2), 2min
- Rinçage : IPA 30sec
- Gravure Recess : Désoxydation HCl/H<sub>2</sub>O (1/10) 30sec  
Gravure AS/H<sub>2</sub>O<sub>2</sub> (30/4), 45sec  
Rinçage EDI, 3min
- Métallisation : etching d'Argon « in-situ »  
Dépôt Ti/Pt/Au/Ti (250Å/250Å/3250Å/250Å)
- Lift-off : Acétone/IPA

**Étape 5 : Report de substrat**

- Désoxydation : substrat hôte GaAs : NH<sub>4</sub>OH/H<sub>2</sub>O (1/10), 30sec  
Rinçage EDI
- Dépôt BCB  
sur substrat hôte : Enduction promoteur d'adhérence HMDS  
Enduction BCB 3022-46 (3µm)
- Dépôt BCB  
sur substrat actif : Enduction promoteur d'adhérence HMDS  
Enduction BCB 3022-46 (3µm)
- mise en contact manuel
- Collage : pression : 1bar  
Température : 80°C  
Durée : 30min
- Polymérisation : rampe en température (voir figure II-29).

**Étape 6 : gravure substrat InP et couches d'arrêt**

- Gravure substrat InP : HCl/H<sub>2</sub>O (2/1), 45min  
Rinçage EDI
- Gravure couche d'arrêt GaInAs : H<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O (5/1/40), 3min  
**(gravure sélective)**
- Gravure couche d'arrêt InP : HCl/H<sub>2</sub>O (2/1), 5sec

Rinçage EDI  
(gravure sélective)

**Étape 7 : Réalisation seconde grille**

- Dépôt bi-couche : Enduction promoteur d'adhérence HMDS  
Enduction PMMA 950K (150nm)  
Recuit 170°C 30min  
Enduction copolymère P(MMA-MAA8,5) (680nm)  
Recuit 170°C 30min
- Métallisation : Dépôt Ge (100Å)
- Exposition : Masqueur électronique à 50keV
- Gravure Ge: H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O (1/1), 30sec  
Rinçage EDI
- Développement : MIBK/IPA (1/2), 2min
- Rinçage : IPA 30sec
- Gravure Recess : Désoxydation HCl/H<sub>2</sub>O (1/10) 30sec  
Gravure AS/H<sub>2</sub>O<sub>2</sub> (30/4), 45sec  
Rinçage EDI, 3min
- Métallisation : etching d'Argon « in-situ »  
Dépôt Ti/Pt/Au/Ti (250Å/250Å/3250Å/250Å)
- Lift-off : Acétone/IPA

# **CHAPITRE 3**

**\*\*\*\*\***

**Etude expérimentale des  
transistors DG-HEMT et VMT**

# **CHAPITRE 3**

**\*\*\*\*\***

## **Etude expérimentale des transistors DG-HEMT et VMT**





## I-INTRODUCTION

Le dernier chapitre de ce mémoire est consacré essentiellement à l'étude expérimentale des composants DG-HEMT et VMT de la filière AlInAs/GaInAs adaptée en maille sur substrat InP.

Ce chapitre se décompose en deux parties :

√ La première est consacrée à l'étude du composant DG-HEMT de longueur de grille 100nm. Dans cette partie, nous distinguerons le fonctionnement du DG-HEMT en mode simple-commande (DG-HEMT-SC :  $V_{g1s}=V_{g2s}$ ) et en mode double commande (DG-HEMT-DC :  $V_{g1s}\neq V_{g2s}$ ). Pour ces deux modes de fonctionnement, les caractéristiques électriques en régime statique et dynamique sont présentées.

Par ailleurs, durant l'étude du DG-HEMT-SC, nous montrerons les résultats électriques du transistor HEMT de référence présenté au chapitre 2. Les performances statiques et hyperfréquences du composant DG-HEMT-SC et du HEMT seront alors comparées afin d'estimer les améliorations obtenues avec le dispositif Double-Grille.

√ La seconde partie traitera du transistor à modulation de Vitesse (VMT). Dans cette partie, nous décrirons, tout d'abord, la structure épitaxiale de ce composant. Celle-ci étant composée de 2 canaux de mobilité différente. Par la suite, nous présenterons les résultats électriques obtenus en régime statique sur ce composant. Pour cela, nous distinguerons 2 modes de caractérisation : Le *mode séparé* et le *mode différentiel*. Ces résultats seront comparés avec des simulations *ATLAS* afin d'affirmer le fonctionnement du composant en modulation de vitesse

## II-ETUDE DES DG-HEMT

Ce premier paragraphe est consacré à l'étude des DG-HEMT. Il sera donc divisé en trois parties. La première partie est consacrée à la description de la structure épitaxiale du DG-HEMT et à l'étude de la loi de commande de charge lorsque  $V_{g1s}=V_{g2s}=V_{gs}$ .

Par la suite, nous étudierons, d'une part le transistor DG-HEMT simple-commande (DG-HEMT-SC) où les deux grilles sont polarisées au même potentiel et, d'autre part le transistor DG-HEMT double-commande (DG-HEMT-DC) ; dans ce cas les deux grilles sont polarisées à des potentiels différents. Dans chaque partie, les caractéristiques électriques seront présentées.

### II-1-DESCRIPTION DE LA STRUCTURE EPITAXIALE & SIMULATION

#### II-1-a-Structure épitaxiale des DG-HEMT

Sur la figure III-1, nous représentons la structure épitaxiale des transistors DG-HEMT étudiés. Nous rappelons que toutes les hétérostructures réalisées durant ce travail de thèse, que ce soit pour les DG-HEMT ou les VMT, sont de la filière adaptée en maille sur substrat InP.

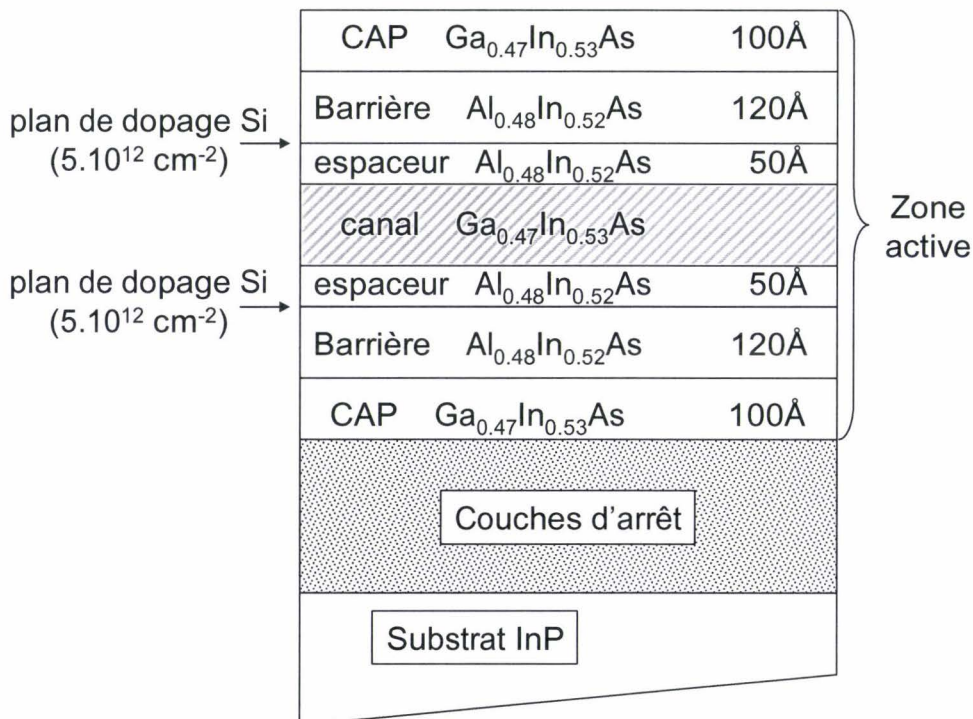


Figure III-1 : Structure épitaxiale du transistor DG-HEMT.

La croissance épitaxiale sur substrat InP débute par la réalisation des couches d'arrêt. Ces couches sont indispensables pour le bon déroulement de l'étape de report de substrat (voir chapitre 2). La seconde partie consiste à faire croître la zone active des composants DG-HEMT. Comme nous pouvons le constater sur la figure III-1, la zone active est symétrique par rapport au canal et, chaque partie de celle-ci, correspond tout simplement à l'hétérostructure d'un transistor HEMT standard.

La croissance de la zone active s'effectue alors en deux parties : la croissance du HEMT inversé et la croissance du HEMT standard. La structure de la zone active étant naturellement à double plan de dopage, il est indispensable d'optimiser la température de croissance lors de la réalisation du HEMT inversé. Ainsi, la température de croissance de la première partie est ramenée à 450°C lors de la réalisation du *cap layer* et du plan de dopage. Toutefois, la température optimale de croissance du canal étant de 500°C, il est nécessaire de provoquer un arrêt de croissance lors de la réalisation de l'espaceur afin d'augmenter et de stabiliser la température avant la croissance du canal. Cette condition sur la température permet d'éviter d'une part, la ségrégation d'atomes Silicium du *cap layer* vers la barrière et, d'autre part la ségrégation d'atomes silicium du plan de dopage arrière vers le canal. Les conséquences de la ségrégation d'atome Si dans le canal seraient une chute de la mobilité des porteurs et une diminution de la densité de charge dans le canal.

Par ailleurs, on peut observer que la structure est correctement définie pour la fabrication de transistors de longueur de grille 100nm. En effet, la distance entre une des grilles et le canal étant de 170Å, le rapport d'aspect  $L_g/a$  est d'environ 6. Cette valeur du rapport d'aspect permet donc une commande optimale du gaz d'électrons par les électrodes de grille.

### ***II-1-a-Loi de commande de charge : optimisation de l'épaisseur du canal***

Sur la figure III-1, nous avons intentionnellement omis l'épaisseur du canal. En effet, nous avons voulu déterminer une épaisseur optimale pour nos composants DG-HEMT-SC. Pour cela, une étude de la commande de charge du gaz d'électrons du canal fonction du potentiel de grille ( $V_{g1s}=V_{g2s}=V_{gs}$ ) a été entreprise suivant l'épaisseur du canal du DG-HEMT. Ces résultats ont été obtenus à l'aide de la procédure de résolution autocohérente des équations de Schrödinger-Poisson introduite dans le logiciel *ATLAS*.

La figure III-2 représente les lois de commande de charge obtenues suivant l'épaisseur du canal de l'hétérostructure du DG-HEMT représentée sur la figure III-1.

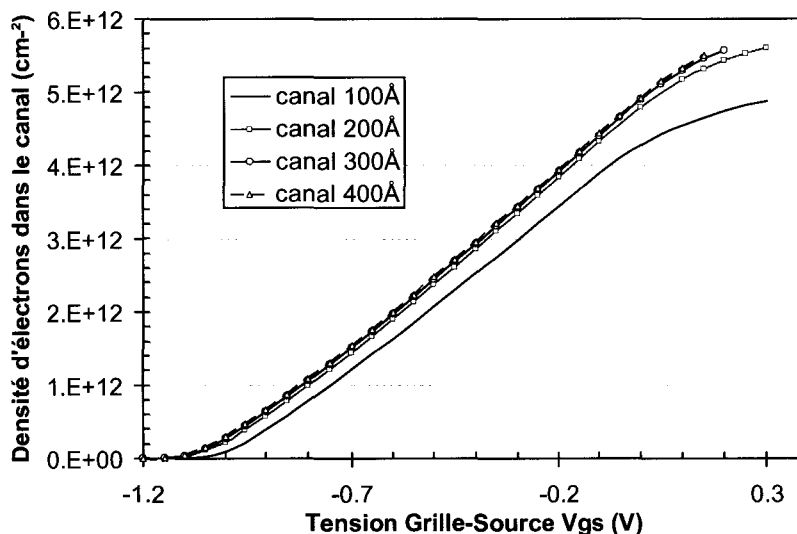


Figure III-2 : Loi de commande de charge des transistor DG-HEMT-SC suivant l'épaisseur du canal.

La figure III-2 nous montre que la loi de commande de charge des composants DG-HEMT-SC reste semblable aux composants HEMT standards. En effet, l'évolution de la densité de charge, en fonction du potentiel de grille, reste linéaire.

Par ailleurs, on constate qu'en deçà d'une épaisseur de canal de 200Å, la densité d'électrons  $N_s$  décroît quel que soit le potentiel de grille tandis que la dérivée de la charge par rapport au potentiel de grille  $\frac{\partial N_s}{\partial V_{gs}}$  reste identique. Cette réduction de la densité d'électrons est liée à la remontée des niveaux d'énergie quantique dans le canal. En revanche, pour une épaisseur supérieure à 200Å, aucune évolution de la commande de charge n'est perceptible.

Ainsi, d'après la caractéristique de la commande de charge, **la valeur optimale de l'épaisseur du canal des DG-HEMT est de 200Å**. En effet, un canal trop large aura tendance à étaler le gaz d'électrons et donc augmenter la conductance de sortie  $gd$  et diminuer la transconductance  $gm$  tandis qu'un canal trop étroit diminue la densité de charge transférée dans le puits.

De cette manière, nous avons comparé la loi de commande de charge du DG-HEMT-SC avec celle du HEMT de référence présenté dans le chapitre deux. Le résultat est indiqué sur la figure III-3.

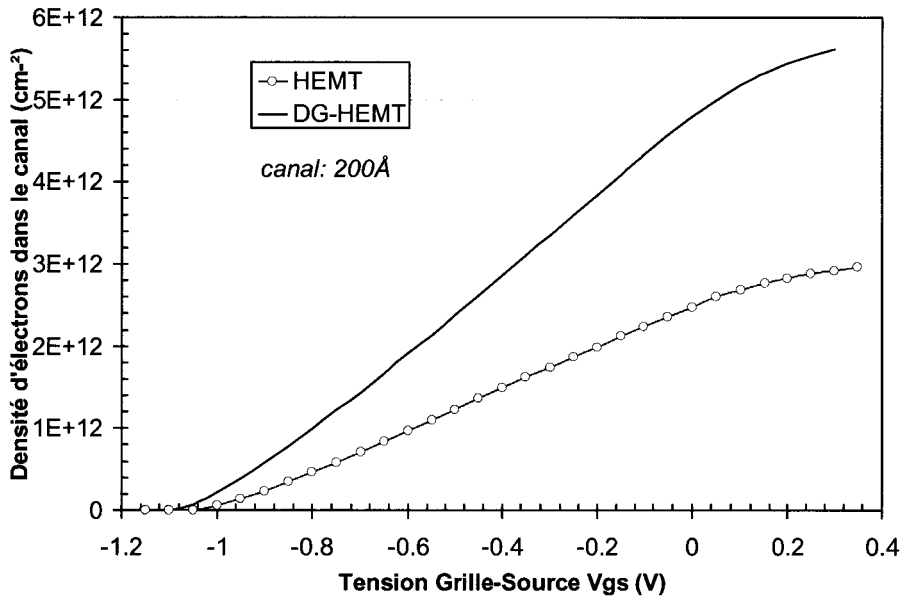


Figure III-3 : Loi de commande de charge du transistor DG-HEMT-SC (canal 200Å) et du transistor HEMT de référence.

Sur la figure III-3, nous constatons que la densité d'électrons  $N_s$  du canal ainsi que la pente  $\frac{\partial N_s}{\partial V_g}$  sont doublées pour la structure DG-HEMT-SC. Ce résultat se justifie par l'ajout de la seconde grille et l'ajout du plan de dopage arrière. L'augmentation de  $\frac{\partial N_s}{\partial V_g}$  se traduira, sur les performances électriques, par une amélioration de la transconductance  $g_m$  mais aussi par une augmentation de la capacité  $C_{gs}$ . Par ailleurs, il est à noter que le DG-HEMT-SC et le HEMT ont une tension de pincement équivalente de l'ordre de -1.1V (tension de *built-in* imposée aux contacts Schottky = 0.55V).

## II-2-CARACTÉRISATION ÉLECTRIQUE

### II-2-a-Transistor DG-HEMT simple commande $V_{g1s}=V_{g2s}$ (DG-HEMT-SC)

Dans ce paragraphe, nous présentons les résultats chronologiques de trois opérations technologiques de fabrication des DG-HEMT-SC.

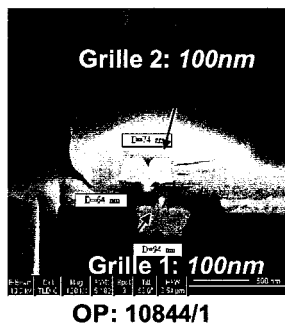
Pour ces trois opérations, la structure épitaxiale reste identique et correspond à la structure décrite figure III-1 avec une épaisseur de canal de 200Å. Ces trois opérations diffèrent d'une part, par leurs couches d'arrêt et d'autre part, par les longueurs de grille et leurs alignements :

√ L'opération 10844/1 possède deux grilles de 100nm désalignées de 200% (soit  $2xLg$ ): cette opération correspond à la première réalisation de DG-HEMT-SC. L'effet d'accumulation de charge durant l'écriture de la seconde grille n'était pas encore résolu.

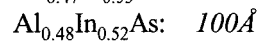
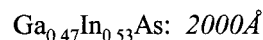
√ L'opération 10844/2 possède une grille de 100nm et une grille de 280nm alignées : dans cette seconde opération, la lithographie « germanium » a été utilisée pour réduire l'effet d'accumulation de charge. Cependant, les doses d'écriture de la seconde grille ne sont pas optimales.

√ L'opération 10958 possède deux grilles de 100nm alignées : le procédé d'écriture des deux grilles est parfaitement optimisé et la modification des couches d'arrêt permet de s'arrêter précisément sur la zone active des composants. La dernière opération sera analysée plus finement puisqu'elle correspond au cas idéal de la structure DG-HEMT.

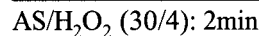
Les résultats de ces opérations seront comparés avec les résultats obtenus sur le HEMT de référence (largeur du recess 210nm). La figure III-4 résume ces trois opérations.



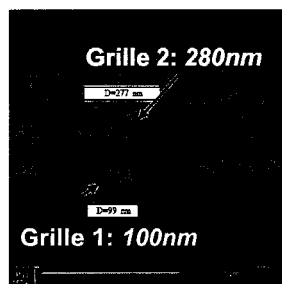
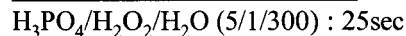
- Couche d'arrêt (par ordre de croissance)



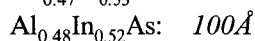
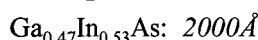
- Gravure couche d'arrêt GaInAs



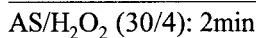
- Gravure couche d'arrêt AlInAs



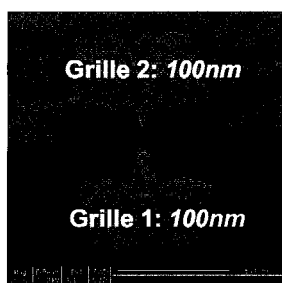
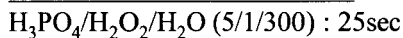
- Couche d'arrêt (par ordre de croissance)



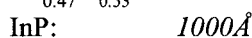
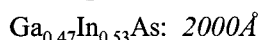
- Gravure couche d'arrêt GaInAs



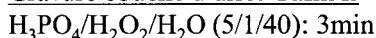
- Gravure couche d'arrêt AlInAs



- Couche d'arrêt (par ordre de croissance)



- Gravure couche d'arrêt GaInAs



- Gravure couche d'arrêt AlInAs

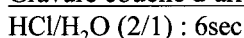


Figure III-4 : Opérations technologiques de fabrication des composants DG-HEMT.

**Mesure effet Hall et mesure TLM des trois opérations :**

Dans le tableau III-1, nous présentons les mesures de Hall effectuées sur des trèfles de Van Der Pauw à 300K sur les trois opérations citées précédemment et sur le HEMT de référence. Les valeurs des résistances de contact, déterminées par des mesures TLM, sont aussi répertoriées dans ce tableau.

	HEMT		OP 10844/1	OP 10844/2	OP 10958	
	<i>avec</i>	<i>sans</i>	<i>avec</i>	<i>avec</i>	<i>avec</i>	<i>sans</i>
	<i>CAP</i>	<i>CAP</i>	<i>CAP</i>	<i>CAP</i>	<i>CAP</i>	<i>CAP</i>
<b>R<sub>□</sub></b> <b>(Ω)</b>	215	276	130	120	110	162
<b>nh</b> <b>(x10<sup>12</sup>cm<sup>-2</sup>)</b>	3.63	2.45	7.1	7.8	8.91	4.59
<b>μh</b> <b>(cm<sup>2</sup>.V<sup>-1</sup>.s<sup>-1</sup>)</b>	7970	9240	6920	6800	6350	8380
<b>Rc</b> <b>(Ω.mm)</b>	0.2		0.08	0.09	0.06	

*Tableau III-1 : mesure de HALL à 300K et mesure TLM des différentes opérations.*

Il est à noter que les mesures de Hall effectuées sur les dispositifs DG-HEMT sont réalisées après l'étape de gravure des couches d'arrêt. En d'autre terme, la mesure de Hall représente uniquement les paramètres de la zone active des DG-HEMT.

Par ailleurs, dans la mesure où les couches d'arrêt utilisées possèdent un matériau à petit gap (GaInAs) et un matériau grand gap (InP ou AlInAs), il apparaît un puits de potentiel dans la couche d'arrêt InGaAs. Par conséquent, les composants ne sont pas isolés après l'étape du mesa d'isolation. Les mesures de Hall ne peuvent donc se faire qu'après la gravure de ces couches d'arrêt.

La comparaison des mesures de Hall des dispositifs DG-HEMT et HEMT indique clairement une augmentation de la densité de Hall *nh* pour les DG-HEMT. Ainsi, dans les zones d'accès de source et de drain des transistors DG-HEMT, la densité d'électrons sera plus

importante que dans les dispositifs HEMT. Par conséquent, les résistances parasites de source et de drain seront plus faibles pour le DG-HEMT.

En revanche la comparaison de la mesure de Hall, dans le cas du DG-HEMT sans cap (OP 10958) et dans le cas du HEMT sans cap, montre que la mobilité de Hall  $\mu_h$ , correspondant quasiment à la mobilité des électrons dans le canal, est plus faible pour les DG-HEMT. Ce phénomène peut s'expliquer éventuellement par une légère ségrégation d'atomes silicium dans le canal du DG-HEMT lors de la croissance. Ce comportement a déjà été observé sur des HEMT standards transférés dont la croissance épitaxiale a été inversée [Bollaert1]. Cette réduction de la mobilité peut engendrer une augmentation du temps de transit des porteurs sous la grille d'où une réduction du  $f_T$ .

Outre les mesures de Hall, on observe clairement une diminution importante des résistances de contact d'environ 60% pour les dispositifs DG-HEMT. Ces valeurs de  $R_c$  sont obtenues grâce aux faibles valeurs des résistances carrées des DG-HEMT. Toutefois, celles-ci restent élevées par rapport aux résistances de contact obtenues par Shinohara *et al.* dont la valeur de  $R_c$  atteint 0.007  $\Omega$ .mm sur des HEMT pseudomorphiques avec des contacts ohmiques non-alliés.[Shinohara1].

### ***III-2-a-1) Caractérisation des DG-HEMT-SC à grilles désalignées : grille1 et grille2 : 100nm (Opération 10844/1)***

Le procédé de fabrication de ces premiers transistors DG-HEMT-SC de longueur de grille 100nm n'était pas optimisé. Le procédé de lithographie « germanium », décrit dans le chapitre 2, n'était pas encore employé. C'est pourquoi, les transistors de l'opération 10844/1 ont des longueurs de grille de 100nm mais désalignées. Toutefois, nous estimons intéressant de fournir les résultats électriques de cette opération afin d'observer qualitativement l'influence d'un désalignement des deux grilles.

#### **→ *Caractérisation statique***

Les figures III-5 et III-6 représentent respectivement les caractéristiques de sortie et les caractéristiques de transfert des transistors DG-HEMT-SC de l'opération 10844/1. Sur la figure III-6, nous avons aussi reporté la caractéristique de transfert du HEMT de référence.



Le potentiel sur les grilles des composants DG-HEMT-SC sera noté  $V_{gs}$  ( $V_{gs}=V_{g1s}=V_{g2s}$ ).

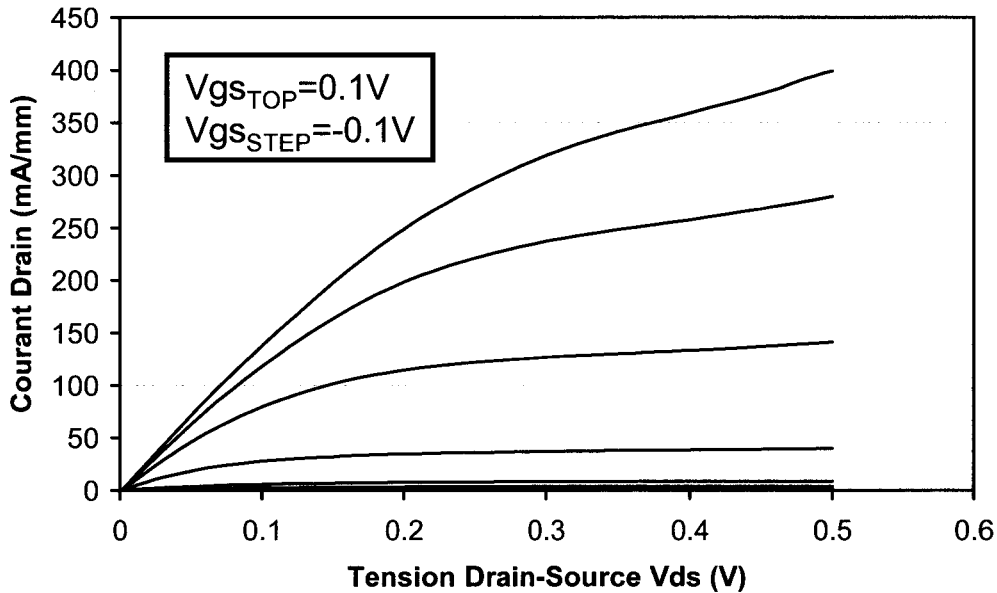


Figure III-5 : Caractéristiques de sortie  $I_d(V_{ds})$  des DG-HEMT-SC ( $W=2 \times 50 \mu m$ ) (op : 10844/1).

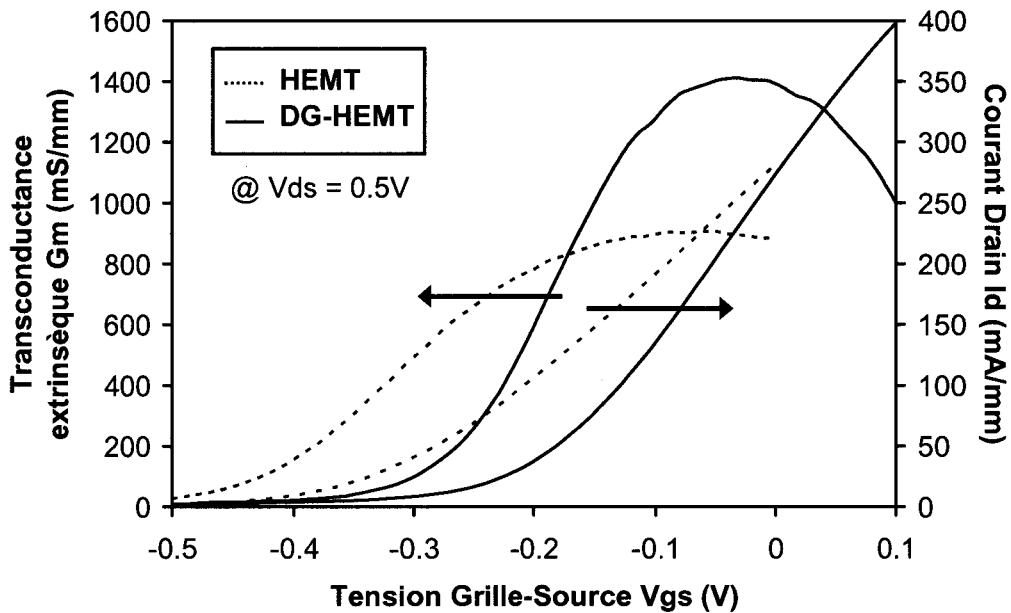


Figure III-6 : Caractéristiques de Transfert  $I_d(V_{gs})$  et  $G_m(V_{gs})$  des DG-HEMT-SC ( $W=2 \times 50 \mu m$ ) (op : 10844/1) et des HEMT de référence ( $W=2 \times 50 \mu m$ ).

Sur la figure III-5, on constate que le courant drain ne sature pas correctement surtout à canal ouvert. De plus, la valeur du courant de saturation  $I_{dss}$  ( $I_{ds}$  à  $V_{gs}=0$ ) est du même ordre de grandeur que le HEMT. Or d'après la loi de commande de charge (figure III-3), la densité de charge dans le canal est deux fois plus importante pour la structure DG-HEMT-SC ; le courant drain devrait donc être plus élevé pour le DG-HEMT-SC. Nous considérons

que la faible valeur du courant drain obtenue s'explique par une distance « grille2-canal » plus faible que prévue.

En d'autres termes, lors de la gravure de la dernière couche d'arrêt (couche AlInAs 100Å), la gravure  $H_3PO_4/H_2O_2/H_2O$  n'étant pas sélective entre AlInAs (couche d'arrêt) et le GaInAs (second cap), une partie ou la totalité du second cap a dû être gravée. De ce fait lors de la gravure du second fossé de grille, une partie de la seconde barrière a dû être gravée trop profondément.

Cette hypothèse semble se vérifier en regardant les caractéristiques de transfert (figure III-6). En effet, on constate que la tension de seuil du DG-HEMT-SC est plus faible (en valeur absolue) que celle du HEMT. Or, d'après la loi de commande de charge, les deux dispositifs pincent au même potentiel de grille. Ainsi, le décalage de la tension de seuil confirme une diminution de la distance « grille2-gaz d'électrons ».

Toutefois, la transconductance extrinsèque  $G_m$  du DG-HEMT-SC est de 1400 mS/mm contre 900mS/mm pour le HEMT pour la même tension  $V_{ds}$ .

### → *Caractérisation dynamique petit signal*

Sur la figure III-7, nous avons tracé les différents gains obtenus sur les DG-HEMT-SC de l'opération 10844/1. Le DG-HEMT-SC en mode source commune restant un système à deux ports, les formules des gains restent identiques pour les dispositifs « double-grille simple-commande ».

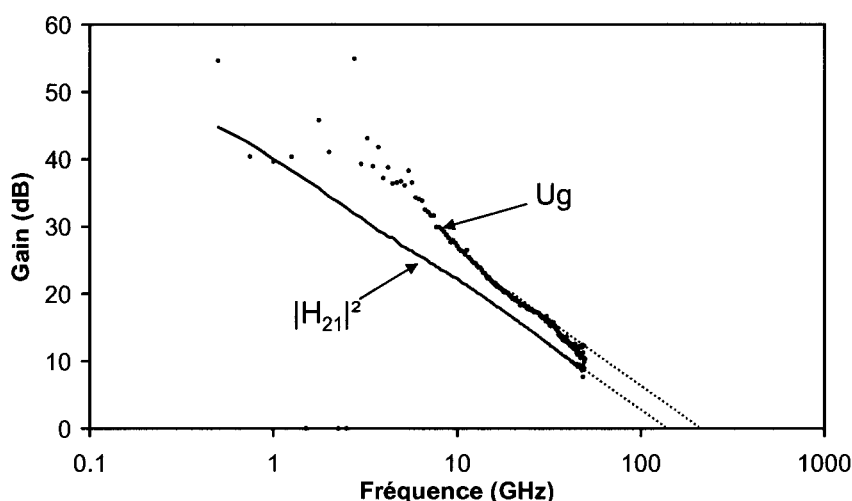


Figure III-7 : Évolution du gain en courant  $|H_{21}|^2$  et du gain unilatéral de Mason  $U_g$  des DG-HEMT-SC ( $W=2x50\mu m$ ) (op :10844/1) pour des polarisations correspondant au maximum du  $f_T$  et du  $f_{MAX}$  à  $V_{ds}=0.5V$ .

Malgré une transconductance plus importante pour le DG-HEMT-SC, les performances hyperfréquences restent en deçà des dispositifs HEMT standard. En effet, le  $f_T$  du DG-HEMT est de 136 GHz contre 220 GHz pour le HEMT. De même,  $f_{MAX}$  du DG-HEMT-SC est de 205 GHz contre 260 GHz pour le HEMT.

Afin de clarifier ces évolutions, nous avons extrait le schéma équivalent petit signal de nos composants DG-HEMT-SC.

Cependant, il nous faut vérifier, avant tout, la validité du schéma équivalent dans le cas des composants DG-HEMT-SC même si les premières études théoriques des transistors à effet de champ, menées par Schockley, étaient basées sur des dispositifs à double-grille.

**Validation du schéma équivalent petit-signal :**

L'extraction du schéma équivalent petit signal, représenté sur la figure III-8, des HEMT à partir de la matrice de répartition [S] s'effectue en deux étapes [Dambrine1] :

- La détermination des éléments extrinsèques à partir d'une caractérisation à froid du transistor ( $V_{ds}=0$ ).
- La détermination des éléments intrinsèques à partir d'extraction analytique directe utilisant les paramètres [S] mesurés et les éléments extrinsèques. La détermination de la matrice admittance intrinsèque  $[Y]^{int}$  permet de déduire les éléments intrinsèques du schéma équivalent

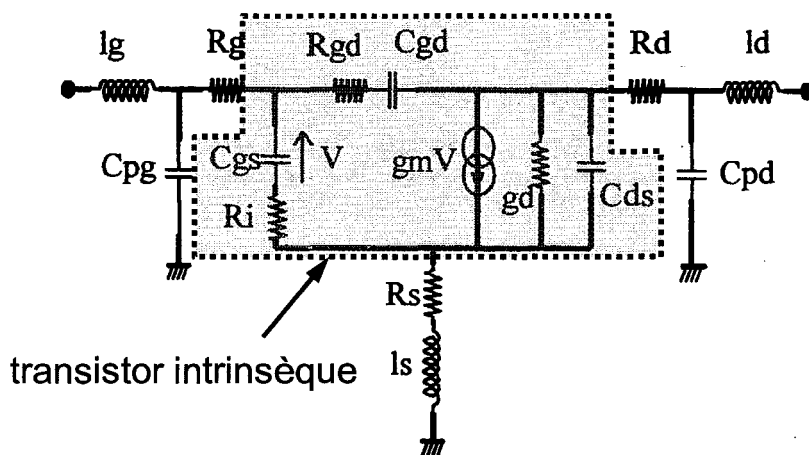


Figure III-8 : Schéma équivalent petit signal des transistors à effet de champ.

Pour valider le modèle du schéma équivalent dans le cas des dispositifs DG-HEMT-SC, nous avons déterminé l'évolution fréquentielle des parties réelles et imaginaires de la matrice admittance intrinsèque  $[Y]^{int}$ . Pour cela, nous avons caractérisé les DG-HEMT-SC à froid afin d'extraire les éléments extrinsèques. Puis par la méthode de l'épluchage, nous avons

déterminé la matrice admittance intrinsèque  $[Y]^{int}$  de nos DG-HEMT-SC. La figure III-9 représente l'évolution fréquentielle de certaines parties de la matrice admittance intrinsèque  $[Y]^{int}$ . Celles-ci sont comparées avec un HEMT standard.

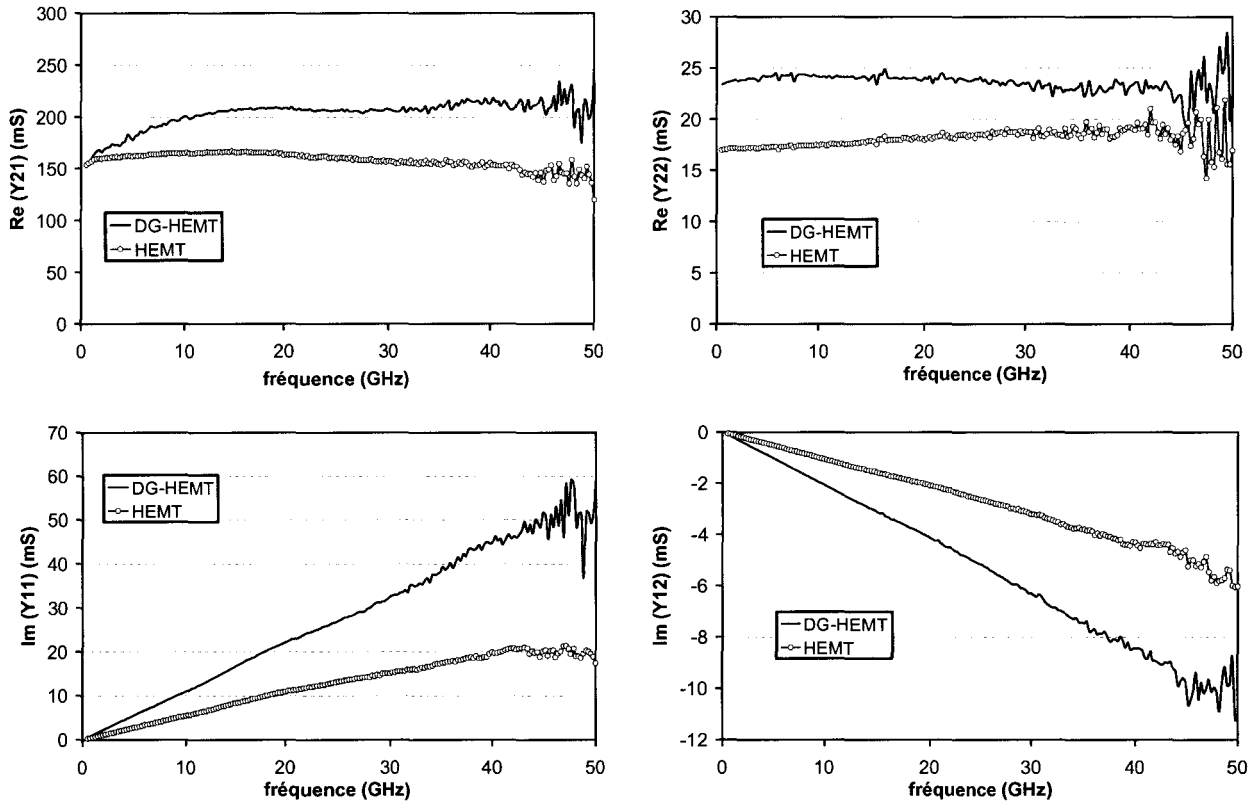


Figure III-9 : Évolution fréquentielle des éléments de la matrice admittance intrinsèque des DG-HEMT-SC et des HEMT.

On observe clairement que les évolutions fréquentielles des éléments de la matrice admittance intrinsèque du DG-HEMT-SC sont typiques d'un fonctionnement d'un transistor à effet de champ conventionnel ( $Im(Y11) \equiv \omega$ ,  $Im(Y12) \equiv -\omega$ , ...). Ainsi, le schéma équivalent petit signal des transistors à effet de champ peut s'appliquer sur nos dispositifs DG-HEMT-SC.

Par ailleurs, on peut observer une diminution de  $Re(Y21)$  pour des fréquences inférieures à 10 GHz. Ceci s'explique par la non-linéarité des DG-HEMT-SC en basse fréquence compte tenu de leurs gains statiques importants (effet de compression). En effet, une réduction de la puissance d'entrée injectée par l'analyseur permet d'éviter ce phénomène mais au détriment d'une mesure de paramètres S de bonne qualité, en particulier les termes de réflexion et du coefficient  $S_{12}$ .

Ainsi, l'extraction du schéma équivalent petit signal de l'opération 10844/1 est répertoriée dans le tableau III-2.

		DG-HEMT-SC (OP :10844/1)	HEMT
<i>Eléments extrinsèques</i>	Rs (ohm.mm)	<b>0.25</b>	<b>0.33</b>
	Rd (ohm.mm)	<b>0.32</b>	<b>0.37</b>
	Rg (ohm/mm)	<b>26</b>	<b>38</b>
	Lg (pH)	45	37
	Ld (pH)	45	37
	Ls (pH)	5	5
	Cpg (fF)	7	3
	Cpd (fF)	12	32
	<i>Eléments intrinsèques</i>	Gm (mS/mm)	<b>2080</b>
Gd (mS/mm)		<b>237</b>	<b>285</b>
Cgs (fF/mm)		<b>1562</b>	<b>677</b>
Cgd (fF/mm)		<b>377</b>	<b>199</b>
Cds (fF/mm)		57	5
Ri (ohm)		2	5.3
Tau (ps)		0.1	0.12
<i>Paramètres caractéristiques</i>	$V_{TH}$ (V)	-0.2	-0.33
	Gm/Gd	8.8	5.7
	Cgs/Cgd	4.1	3.4
	$F_c = Gm/2\pi Cgs$ (GHz)	212	373

Tableau III-2 : Schémas équivalents petits signaux du DG-HEMT-SC (op :10844/1,  $W=100\mu m$ ), et du HEMT de référence à  $V_{ds}=0.5V$  et  $V_{gs} = \text{maximum du } G_m$ .

On peut constater dans ce tableau :

- une légère réduction des résistances parasites  $R_s$  et  $R_d$  pour le dispositif DG-HEMT-SC. Théoriquement, les valeurs de  $R_s$  et  $R_d$  devraient être deux fois plus faibles pour le DG-HEMT-SC que pour le HEMT puisque la densité d'électrons  $N_s$  du canal du DG-HEMT est

deux fois plus importante. Cependant, dans la mesure où l'opération 10844/1 utilise les couches d'arrêt InGaAs/InAlAs, une partie du *cap layer* a dû être gravée durant l'étape de report entraînant une diminution du  $N_s$  dans les zones d'accès de source et de drain (voir chapitre 2, paragraphe III-3-b-3). Quant à l'évolution de  $R_g$ , celle-ci est liée à la topologie du transistor DG-HEMT. En effet, les deux grilles étant placées en vis-à-vis et polarisées identiquement, la résistance  $R_g$  devrait être divisée par un facteur 2 puisque les deux électrodes de grille sont en parallèle sur la zone active. Cependant, on constate que la résistance de grille n'est réduite que de 30% par rapport au HEMT ce qui laisse à penser que le désalignement des grilles influence la valeur de  $R_g$ .

- Comme on pouvait s'y attendre, la capacité  $C_{gs}$  est nettement plus élevée pour les DG-HEMT-SC compte tenu de la loi de commande de charge des DG-HEMT-SC. Il est à noter que la capacité  $C_{gs}$ , contrairement à  $C_{gd}$ , est augmentée d'un facteur  $> 2$ . Ceci laisse, de nouveau, présager que la distance « grille2-gaz d'électrons » est réduite.

- une augmentation de la transconductance intrinsèque  $g_m$  (+30%) mais une quasi stabilité de la conductance de sortie  $g_d$  due probablement au désalignement des grilles. Il est à noter que le  $g_m$  intrinsèque devrait augmenter d'un facteur 2 pour le DG-HEMT-SC compte tenu de l'ajout de la seconde grille. Cependant, les deux grilles étant désalignées, l'efficacité de commande est réduite.

Globalement, malgré des rapports  $C_{gs}/C_{gd}$  et  $g_m/g_d$  plus élevés pour le dispositif DG-HEMT-SC, les performances fréquentielles restent plus faibles pour les DG-HEMT-SC compte tenu de la valeur de la fréquence de coupure  $f_c$ .

***III-2-a-2) Caractérisation des DG-HEMT-SC à grilles alignées:  
grille1 :100nm, grille2 : 280nm (Opération 10844/2)***

Ce second paragraphe regroupe les résultats de l'opération 10844/2. Durant la fabrication technologique de ces DG-HEMT-SC, la deuxième grille fût réalisée avec la lithographie « germanium ». Cependant la dose d'écriture du pied de grille n'étant pas optimisée, la longueur de grille2 est de 280nm.

→ *Caractérisation statique*

Les figures III-10 et III-11 représentent respectivement les caractéristiques de sortie et les caractéristiques de transfert des transistors DG-HEMT-SC de l'opération 10844/2. Sur la figure III-11, la caractéristique du HEMT est aussi représentée.

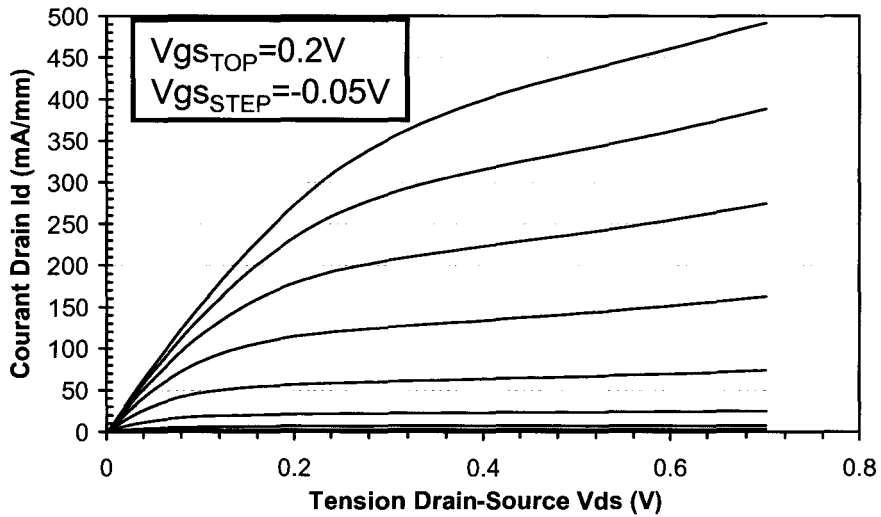


Figure III-10 : *Caractéristiques de sortie  $I_d(V_{ds})$  des DG-HEMT-SC ( $W=2 \times 50 \mu m$ ) (op : 10844/2).*

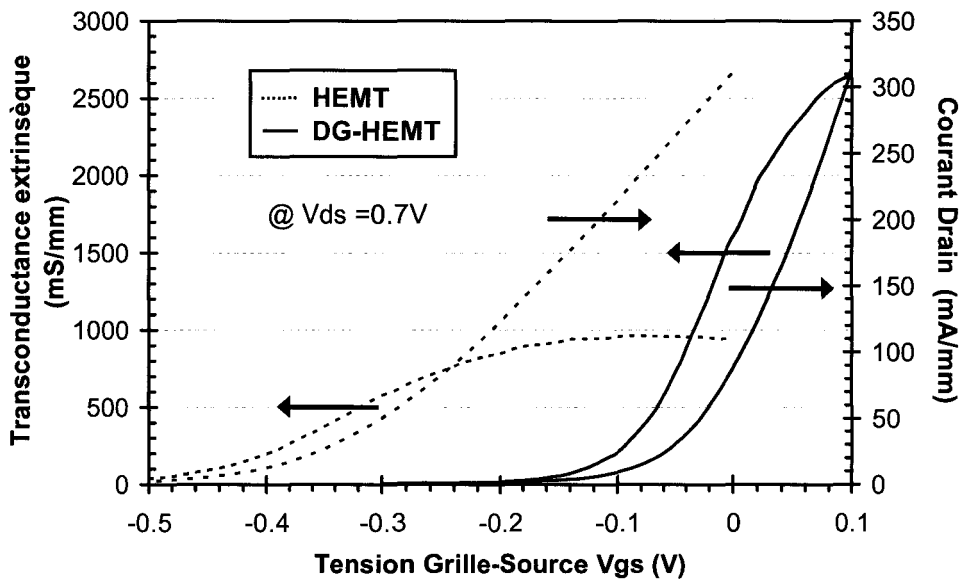


Figure III-11 : *Caractéristiques de Transfert  $I_d(V_{gs})$  et  $G_m(V_{gs})$  des DG-HEMT-SC ( $W=2 \times 50 \mu m$ ) (op : 10844/2) et des HEMT de référence ( $W=2 \times 50 \mu m$ ).*

On constate que la transconductance extrinsèque  $G_m$  des DG-HEMT-SC de l'opération 10844/2 est quasiment triplée par rapport au HEMT. Elle est de 2650mS/mm pour le DG-HEMT-SC contre 980mS/mm pour le HEMT à  $V_{ds}=0.7V$ . À notre connaissance, la

valeur maximale du  $G_m$  extrinsèque obtenue à 300K sur des dispositifs HEMT (*Normally-On* ou *Normally-Off*) était de 2.25 S/mm ( $L_g=70\text{nm}$ ) [Xu1]. Ainsi, nous dépassons ce record grâce au dispositif Double-Grille.

Par ailleurs, le DG-HEMT-SC fonctionne pratiquement en *Normally-Off* puisque sa tension de pincement  $V_{TH}$  est de -0.04V.

Comme pour l'opération 10844/1, les valeurs de  $V_{TH}$  et du  $G_m$  sont attribuables à une distance grille2-gaz d'électrons réduite. De plus, la longueur de la grille 2 étant de 280nm, les effets de canal court sont considérablement réduits par rapport à une grille de 100nm.

Il est à noter que le courant drain à canal ouvert reste encore assez faible pour une structure à deux plans de dopage.

→ *Caractérisation dynamique petit signal*

L'évolution fréquentielle du gain en courant  $|H_{21}|^2$  et du gain unilatéral de Mason  $U_g$  est représentée sur la figure III-12.

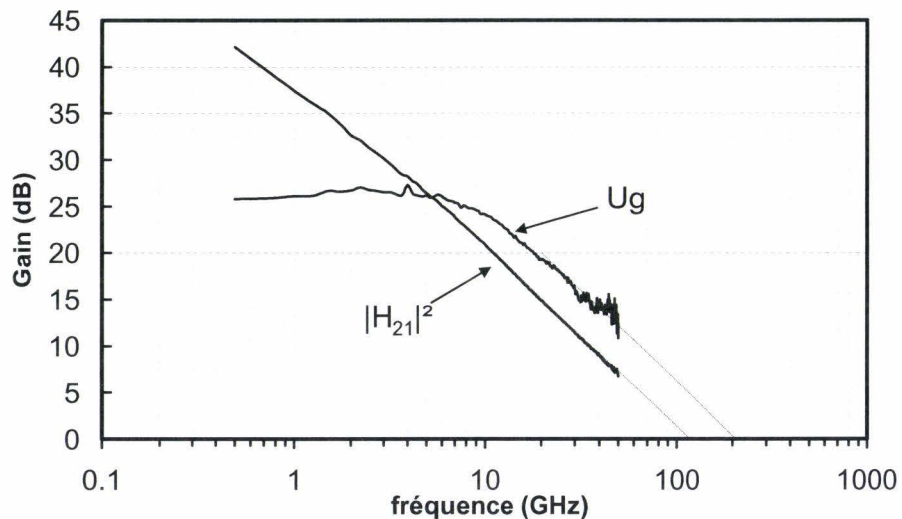


Figure III-12 : Évolution du gain en courant  $|H_{21}|^2$  et du gain unilatéral de Mason  $U_g$  des DG-HEMT-SC ( $W=2 \times 50 \mu\text{m}$ ) (op : 10844/2) pour des polarisations correspondant au maximum du  $f_T$  et du  $f_{MAX}$  à  $V_{ds}=0.7V$ .

Malgré un  $G_m$  très important, les performances fréquentielles restent plus faibles que l'opération précédente avec une fréquence  $f_T$  de 110 GHz et une fréquence  $f_{MAX}$  de 200 GHz.

Le schéma équivalent petit signal est représenté dans le tableau III-3



• On constate que la résistance de grille  $R_g$  est nettement plus faible que la structure HEMT probablement due à la longueur excessive de la seconde grille.

• La transconductance intrinsèque  $g_m$  du DG-HEMT-SC est portée à une valeur de 3160 mS/mm. On peut noter que l'écart relatif entre le  $g_m$  extrinsèque et le  $g_m$  intrinsèque n'est que de 20% pour le DG-HEMT-SC contre 68% pour le HEMT. Ceci est attribué à la résistance de source  $R_s$  plus faible pour le DG-HEMT-SC.

		DG-HEMT-SC (OP :10844/1)	HEMT
<i>Eléments extrinsèques</i>	$R_s$ (ohm.mm)	<b>0.22</b>	<b>0.33</b>
	$R_d$ (ohm.mm)	<b>0.38</b>	<b>0.37</b>
	$R_g$ (ohm/mm)	<b>17</b>	<b>38</b>
	$L_g$ (pH)	53	37
	$L_d$ (pH)	53	37
	$L_s$ (pH)	5	5
	$C_{pg}$ (fF)	7	3
	$C_{pd}$ (fF)	14	32
	<i>Eléments intrinsèques</i>	$G_m$ (mS/mm)	<b>3160</b>
$G_d$ (mS/mm)		<b>31</b>	<b>202</b>
$C_{gs}$ (fF/mm)		<b>3713</b>	<b>725</b>
$C_{gd}$ (fF/mm)		<b>612</b>	<b>163</b>
$C_{ds}$ (fF/mm)		94	47
$R_i$ (ohm)		4	6
$\tau$ (ps)		-8	0.2
<i>Paramètres caractéristiques</i>		$V_{TH}$ (V)	-0.04
	$G_m/G_d$	<b>102</b>	<b>8.2</b>
	$C_{gs}/C_{gd}$	6.1	4.4
	$f_c = G_m/2\pi C_{gs}$ (GHz)	135	362

Tableau III-3 : Schémas équivalents petits signaux du DG-HEMT-SC (op :10844/2,  $W=100\mu m$ ), et du HEMT de référence à  $V_{ds}=0.7V$  et  $V_{gs} = \text{maximum du } G_m$ .

- Quant à la valeur de  $C_{gs}$ , celle-ci est augmentée d'un facteur 5 par rapport au HEMT. Néanmoins le rapport  $\frac{C_{gs}}{C_{gd}}$  n'est pas dégradé.

- La conductance de sortie  $g_d$  du DG-HEMT-SC est nettement inférieure à celle du HEMT et à l'opération 10844/1. Ainsi, l'alignement des deux grilles est indispensable pour un fonctionnement optimal des transistors DG-HEMT.

Cependant, malgré la très forte valeur du gain en tension  $\frac{g_m}{g_d} = 102$ , les performances fréquentielles restent faibles compte tenu de la fréquence de coupure  $f_c$  de 135GHz.

**III-2-a-3) Caractérisation des DG-HEMT-SC à grilles alignées : grille1 et grille2 : 100nm (Opération 10958)**

Cette dernière opération correspond à la fabrication optimale de dispositifs DG-HEMT-SC de longueur de grille 100nm : le promoteur d'adhérence HMDS est utilisé pour chaque lithographie de grille. La lithographie « germanium » ainsi que la dose optimale pour une ouverture du pied de grille sont aussi employées. De plus, les couches d'arrêt GaInAs/InP utilisées permettent de s'arrêter précisément sur la zone active des composants.

**→ Caractérisation statique**

Les figures III-13 et III-14 représentent respectivement les caractéristiques de sortie et les caractéristiques de transfert des transistors DG-HEMT-SC de l'opération 10958 et des transistors HEMT.

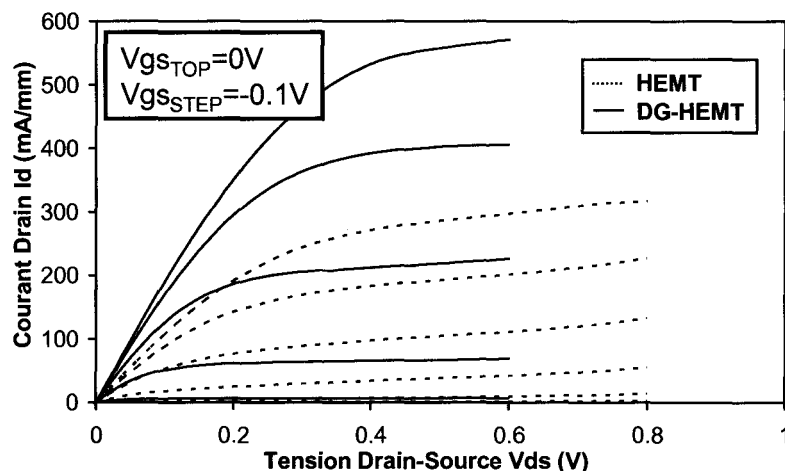


Figure III-13 : Caractéristiques de sortie  $I_d(V_{ds})$  des DG-HEMT-SC ( $W=2 \times 50 \mu m$ ) (op : 10958) et des HEMT de référence ( $W=2 \times 50 \mu m$ ).

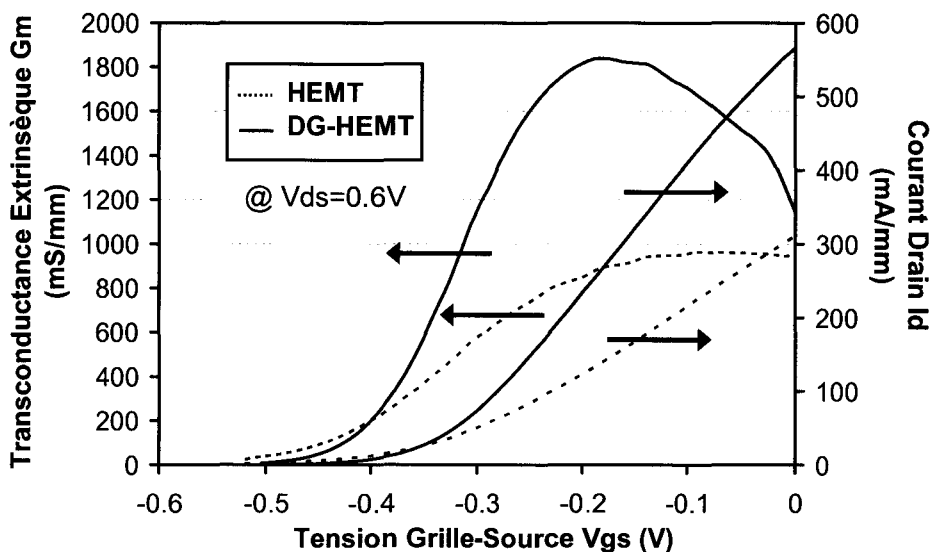


Figure III-14 : Caractéristiques de Transfert  $I_d(V_{gs})$  et  $G_m(V_{gs})$  des DG-HEMT-SC ( $W=2 \times 50 \mu m$ ) (op : 10958) et des HEMT de référence ( $W=2 \times 50 \mu m$ ).

La figure III-13 montre que le courant drain de saturation  $I_{dss}$  ( $I_{ds}$  à  $V_{gs}=0$ ) du DG-HEMT-SC est doublé par rapport à celui du HEMT. En effet,  $I_{dss}$  du DG-HEMT-SC à  $V_{ds}=0.6V$  est de 580 mA/mm contre 300 mA/mm pour le HEMT. Ce résultat s'explique d'une part, par une résistance carrée plus élevée pour le HEMT de référence et d'autre part, par des résistances de contact  $R_c$  plus faibles pour les composants DG-HEMT-SC.

D'après la figure III-13, on peut aussi observer que, dans la zone saturée ( $V_{ds} > 0.4V$ ), la conductance de sortie extrinsèque statique  $G_d = \frac{\partial I_d}{\partial V_{ds}}$  des DG-HEMT-SC est plus faible que celle du HEMT quelle que soit la valeur de  $V_{gs}$ .

Par ailleurs, la figure III-14 indique clairement un doublement de la transconductance extrinsèque  $G_m$  sur les dispositifs DG-HEMT-SC. En effet, l'amélioration de l'efficacité de commande obtenue sur les DG-HEMT-SC permet d'atteindre une transconductance extrinsèque de 1840 mS/mm contre 980 mS/mm pour le HEMT.

De plus, contrairement aux opérations précédentes, on peut constater que les tensions de seuil  $V_{TH}$  des composants DG-HEMT-SC et des HEMT sont quasi-identiques. Ainsi, d'après la loi de commande de charge de la figure III-3, la coïncidence des tensions seuil permet d'affirmer le bon déroulement de l'étape de report de substrat grâce à la modification des couches d'arrêt (couches d'arrêt GaInAs/AlInAs pour les opérations 10844/1 et 10844/2 et couches d'arrêt GaInAs/InP pour l'opération 10958).

● **Caractéristiques sous le seuil :**

L'un des critères de mérite des dispositifs MOSFET correspond à la caractéristique sous le seuil définie par le réseau de caractéristique  $\text{Log}(I_d)=f(V_{gs})|_{V_{ds}}$ . Ces caractéristiques indiquent la prédisposition du transistor à fonctionner en régime de commutation pour des applications numériques. Ce critère est souvent évoqué lors de la comparaison des transistors MOSFET simple grille et des transistors DG-MOS [Fossum1], [Solomon1]. Ainsi, les caractéristiques sous le seuil permettent de déterminer :

→ Le courant  $I_{off}$  ; celui-ci définit l'état bloqué du transistor et doit être le plus faible possible puisqu'il est associé à une puissance dissipée indésirable à l'état bloqué.

→ La pente sous le seuil  $S$  ; cette valeur correspond à l'inverse de la pente de la partie linéaire de la caractéristique  $\text{Log}(I_d)=f(V_{gs})$ . La pente sous le seuil  $S$ , qui s'exprime en mV/décade, caractérise le passage de l'état passant à l'état bloqué et réciproquement. Ainsi, plus  $S$  est faible, meilleure est la commutation.

Ainsi, ce même critère peut être défini pour les dispositifs HEMT. C'est pourquoi nous avons déterminé et comparé les caractéristiques sous le seuil des DG-HEMT-SC et des HEMT. La figure III-15 représente ces caractéristiques.

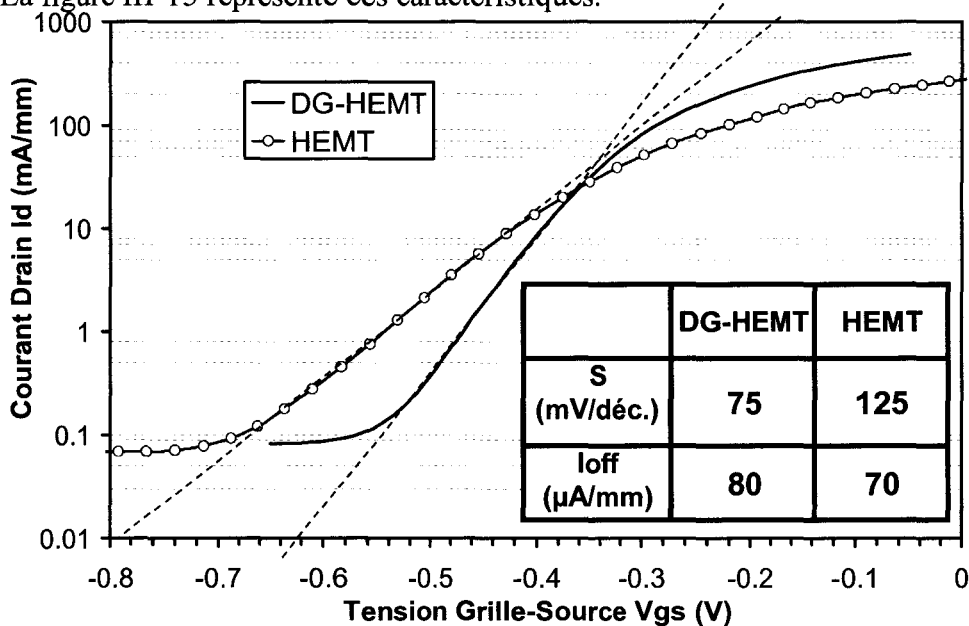


Figure III-15 : Caractéristiques sous le seuil  $\text{Log}(I_d)=f(V_{gs})$ , à  $V_{ds}=0.6V$ , des DG-HEMT-SC ( $W=2 \times 50 \mu m$ ) ( $op : 10958$ ) et des HEMT de référence ( $W=2 \times 50 \mu m$ ).

On observe clairement une amélioration des caractéristiques sous le seuil avec les DG-HEMT-SC. La pente sous le seuil des DG-HEMT-SC est réduite de 40% par rapport au HEMT. Quant au courant  $I_{off}$ , celui-ci est légèrement plus élevé pour le DG-HEMT-SC.

#### ● Effet thermique dans les composants DG-HEMT

Dans toutes les opérations technologiques décrites précédemment, on peut constater que les tensions  $V_{ds}$  maximales appliquées aux dispositifs DG-HEMT-SC sont inférieures à 0.7V. En effet, le régime de claquage à canal ouvert des composants DG-HEMT-SC intervient au-delà de cette valeur. A partir de cette observation, 2 hypothèses peuvent être énoncées :

√ Un champ électrique intense dans les structures DG-HEMT dû à un phénomène interne (forte accumulation d'électrons en sortie de grille,...).

√ Un courant de grille  $I_g$  excessif.

La première hypothèse a pu être écartée grâce aux simulations Monte Carlo. En effet, la visualisation de la carte de champ électrique, de la concentration d'électrons, de la vitesse des porteurs et de l'énergie dans les structures DG-HEMT-SC ne nous indique aucun phénomène singulier quelle que soit la polarisation du composant.

En revanche, les caractéristiques du courant de grille  $I_g=f(V_{gs})$  en fonctionnement semblent confirmer la seconde hypothèse. Ces caractéristiques sont représentées sur la figure III-16.

On peut voir sur cette figure, que la caractéristique du courant de grille  $I_g$  en fonction de la tension grille-source  $V_{gs}$  a la forme d'une cloche (*bell shape*), significative du phénomène d'ionisation par impact [Berthold1]. Le courant de grille  $I_g$  est donc beaucoup plus élevé pour le DG-HEMT-SC.

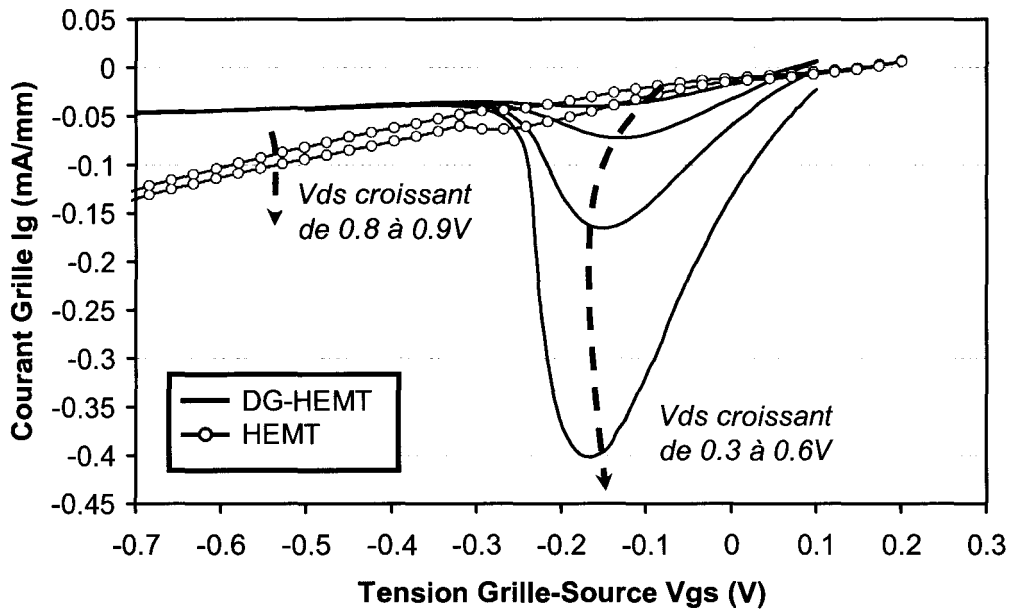


Figure III-16 : Caractéristiques  $I_g=f(V_{gs})|_{V_{ds}}$  des DG-HEMT-SC ( $W=2 \times 50 \mu\text{m}$ ) (op : 10958) et des HEMT de référence ( $W=2 \times 50 \mu\text{m}$ ).

Mise à part la valeur élevée du courant de grille  $I_g$  des composants DG-HEMT-SC, on constate que la forme en cloche du courant de grille apparaît pour des tensions  $V_{ds}$  extrêmement faibles ce qui est inhabituel pour des dispositifs HEMT standards. En effet, dans le cas des DG-HEMT-SC, ce phénomène apparaît dès que la tension drain-source  $V_{ds}$  est supérieure à 0.3V. En revanche, pour le HEMT, la forme en cloche apparaît légèrement à partir de  $V_{ds}=0.8\text{V}$ .

Or, l'apparition du phénomène d'ionisation par impact ne peut avoir lieu que pour des tensions  $V_{ds} > 0.75\text{V}$  ( $= \frac{E_g}{q}$ ); énergie minimale pour pouvoir ioniser un atome du canal et créer une paire électron-trou. Par conséquent, l'ajout de la seconde grille ne semble pas expliquer la totalité du phénomène de claquage prématuré de nos dispositifs DG-HEMT-SC.

De plus, on a constaté que sur les motifs des échelles de résistance, dédiés à la méthode TLM, dont la distance entre deux plots est identique à la distance source-drain d'un transistor, ce même phénomène est observé. Le claquage du motif TLM pris sur le substrat ayant les DG-HEMT-SC apparaît pour une très faible valeur de tension appliquée contrairement au même motif TLM pris sur le substrat ayant les HEMT. En d'autres termes, le claquage de la zone active des DG-HEMT-SC, même sans les grilles, apparaît prématurément.

Ainsi, il semblerait que des effets thermiques interviennent dans nos dispositifs DG-HEMT compte tenu du procédé technologique de fabrication de ces composants. En effet, comme le montre la figure III-17, les zones actives des dispositifs HEMT (figure III-17-a) « reposent » sur le substrat InP. En revanche, pour les dispositifs DG-HEMT (figure III-17-b), les zones actives sont déposées sur le BCB. Or, la conductivité thermique du BCB étant 500 fois plus faible que celle du substrat InP ( $\kappa_{\text{BCB}} = 0.15 \text{ W.m}^{-1}.\text{K}^{-1}$ ,  $\kappa_{\text{InP}} = 75 \text{ W.m}^{-1}.\text{K}^{-1}$ ), la dissipation de chaleur créée par effet joule dans la zone active des composants s'évacue moins rapidement dans les structures DG-HEMT. Ainsi, la température interne du réseau cristallin des structures DG-HEMT a tendance à s'élever fortement d'où la possibilité d'un claquage précoce des composants par l'effet d'auto-échauffement conduisant au phénomène d'emballement thermique. Nous estimons donc que l'élévation de la température interne implique une dégradation du contact Schottky de grille (augmentation de  $I_g$ ), une diminution du gap du canal et une augmentation du coefficient d'ionisation par impact  $\alpha$ . L'accumulation de ces phénomènes semble expliquer ce claquage précoce des structures DG-HEMT-SC.

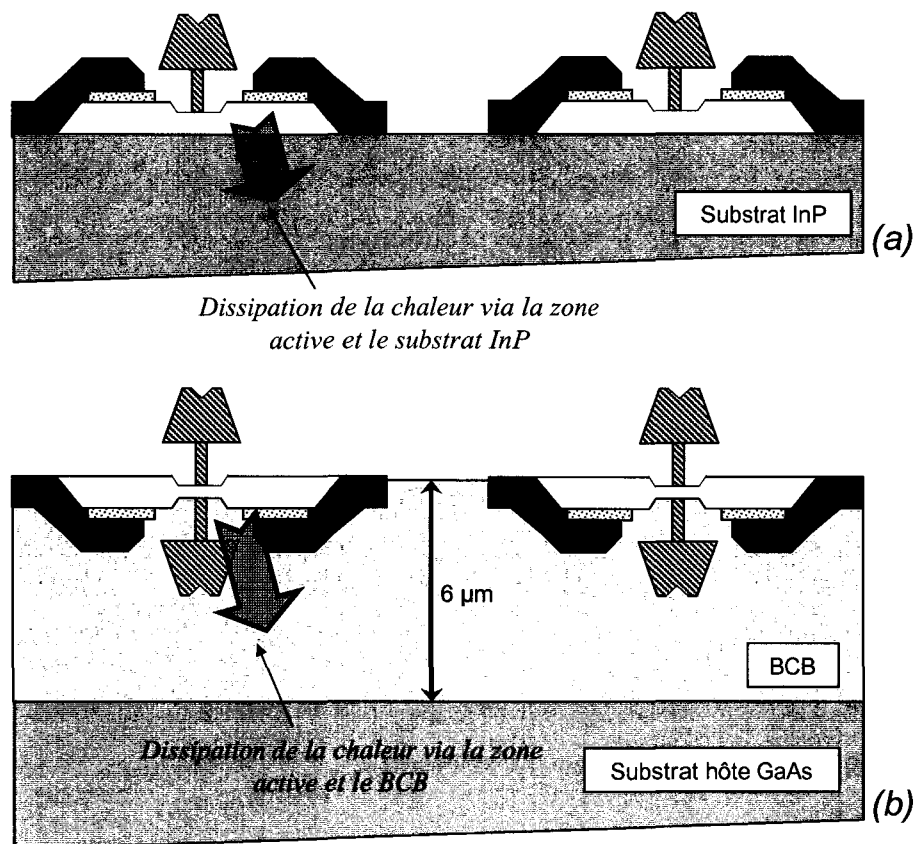


Figure III-17 : illustration de la dissipation de la chaleur dans les structures HEMT (a) et les structures DG-HEMT-SC (b).

● mesure en impulsion

Afin de confirmer ces effets thermiques, nous avons caractérisé nos transistors DG-HEMT-SC par des mesures du réseau de sortie  $I_d(V_{ds})$  en impulsion.

La mesure en impulsion consiste à caractériser un dispositif dont l'état thermique est connu. Pour cela, nous disposons au laboratoire d'un banc de mesure spécifique. Le principe de ce banc repose sur l'emploi de brèves impulsions appliquées sur le drain et la grille à partir d'un point de polarisation ( $V_{dso}$ ,  $V_{gso}$ ,  $I_{do}$ ) donné (figure III-18).

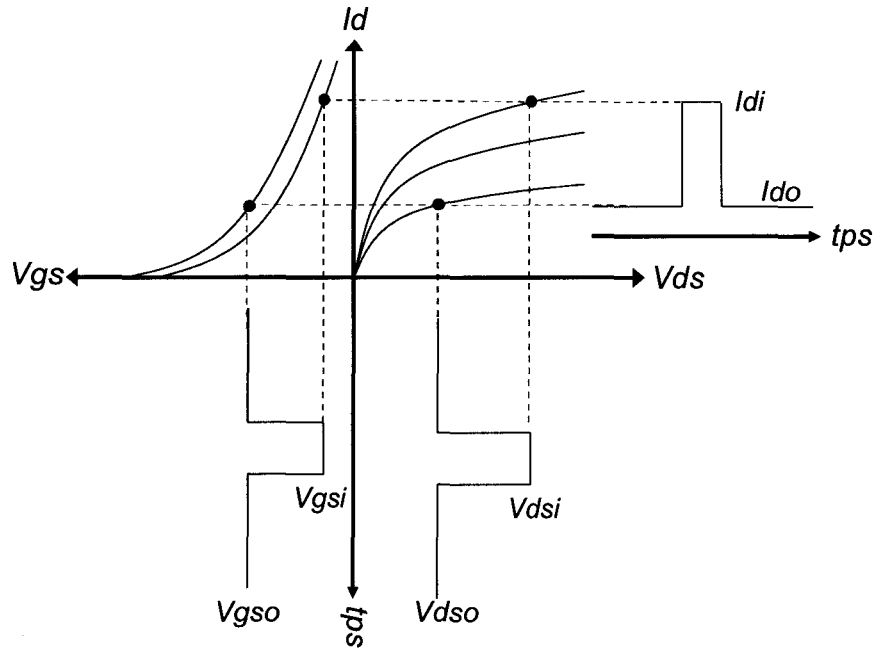


Figure III-18 : Principe de la mesure en impulsion.

Ainsi, en première approximation, l'état thermique du dispositif est caractérisé par la température de jonction  $T_j$  du transistor par la relation :

$$T_j = T_{amb} + R_{TH} \times P_{DISS} \quad (1)$$

Avec  $T_{amb}$ , la température ambiante,  $P_{DISS}$  la puissance moyenne dissipée par effet Joule et  $R_{TH}$  la résistance thermique du transistor.

La puissance moyenne dissipée par effet joule s'exprime alors par :

$$P_{DISS} = \alpha.(V_{dsi} \times I_{di}) + (1 - \alpha)(V_{dso} \times I_{do}) \quad (2)$$

$\alpha$  étant le rapport cyclique des impulsions appliquées aux composants.



Plusieurs critères de mesure doivent être respectés afin d'assurer une mesure précise en impulsion :

√ La durée des impulsions à l'état haut doit être suffisamment brève pour que la température interne du composant n'ait pas le temps de changer quelles que soient les valeurs  $V_{gsi}$  et  $V_{dsi}$  appliquées.

√ La durée des impulsions à l'état haut doit être suffisamment grande pour assurer un état stable du composant et ainsi garantir une mesure exacte.

√ Le rapport cyclique des impulsions doit être très faible afin que l'état thermique du composant soit essentiellement défini par le point de polarisation au repos ( $V_{dso}$ ,  $V_{gso}$ ,  $I_{do}$ ).

Ainsi, la durée des impulsions à l'état haut est fixée à 500ns avec une période de 100µs soit un rapport cyclique de 0.5%. De cette manière, l'équation (2) peut se réécrire comme suit :

$$P_{DISS} = (1 - \alpha)(V_{dso} \times I_{do}) \quad (3)$$

La connaissance de  $R_{TH}$  permet alors de déterminer l'état thermique du composant suivant le point de polarisation au repos du système.

Toutefois, la détermination de  $R_{TH}$  est souvent imprécise. C'est pourquoi, afin de s'affranchir de cette valeur, une seconde méthode consiste à polariser le transistor à froid. Dans ce cas, deux solutions sont envisageables :

Une polarisation à  $V_{dso}=V_{gso}=0V$  et une polarisation à canal pincé ( $I_{do}=0A$ ).

La première solution permet d'étudier essentiellement les phénomènes liés à l'accroissement de la température. Quant à la seconde solution, elle permet d'étudier les effets de piégeage-dépiégeage dus aux états de surface ou aux niveaux profonds dans les composants.

Dans ces deux cas de figure, la température de jonction  $T_j$  du transistor est égale à  $T_{amb}$ . Un chuck à régulation de température est alors utilisé pour faire varier la température ambiante.

Dans la mesure où nous voulons observer uniquement les effets thermiques liés à l'accroissement de la température interne du transistor, nous avons choisi un point de repos à  $V_{dso}=V_{gso}=0V$  et la température de jonction  $T_j$  est égale à 296K (température ambiante de la centrale de caractérisation).

La figure III-19 représente les caractéristiques  $I(V)$  des DG-HEMT-SC de l'opération 10958 mesurées en continu (DC) et en impulsion (point de repos  $V_{dso}=V_{gso}=0V$ ).

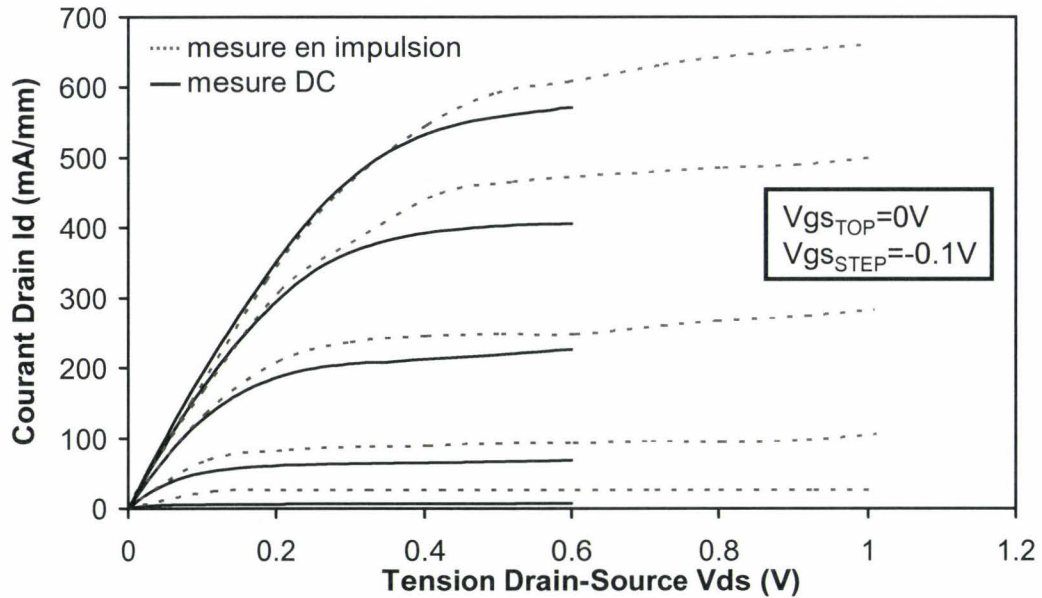


Figure III-19 : Caractéristiques de sortie  $I_d(V_{ds})$  des DG-HEMT-SC ( $W=2 \times 50 \mu m$ ) (op : 10958) et des HEMT de référence ( $W=2 \times 50 \mu m$ ) mesurées en impulsion et en continu.

Sur la figure III-19, on constate que le courant drain  $I_d$  en impulsion est supérieur au courant drain mesuré en statique. Ce phénomène est typiquement lié à un accroissement de la température lors de mesures statiques. De plus, à bas champ ( $V_{ds} < 0.1V$ ), les caractéristiques sont quasi-semblables ce qui indique que les effets thermiques sont négligeables dans cette zone.

Cependant, le plus intéressant est l'augmentation spectaculaire de la tension de claquage Drain-Source  $V_{dsB}$ . En effet, sur plusieurs dispositifs DG-HEMT caractérisés en impulsion, nous avons observé des tensions de claquage  $V_{dsB}$  à canal ouvert pouvant aller jusqu'à 1.5V.

Finalement, ces résultats semblent confirmer les éventuels effets thermiques. Néanmoins, les courbes en cloche observées sur les caractéristiques  $I_g(V_{gs})$  des DG-HEMT-SC (figure III-16) restent encore à clarifier.

● **simulation thermique**

Afin de réduire l'auto-échauffement de la zone active des composants DG-HEMT, une solution consiste à réduire la résistance thermique  $R_{TH}$  de la structure pour réduire la température de jonction  $T_j$ .

Compte tenu de la faible conductivité thermique du BCB ; la résistance thermique de la structure DG-HEMT est essentiellement conditionnée par l'épaisseur du BCB. C'est pourquoi nous avons voulu déterminer l'influence de l'épaisseur du BCB sur l'état thermique du composant.

Pour cette étude, nous avons donc eu recours à la procédure de simulation thermique du logiciel ATLAS décrite dans le chapitre 1.

La figure III-20 représente la structure DG-HEMT que nous avons simulée.

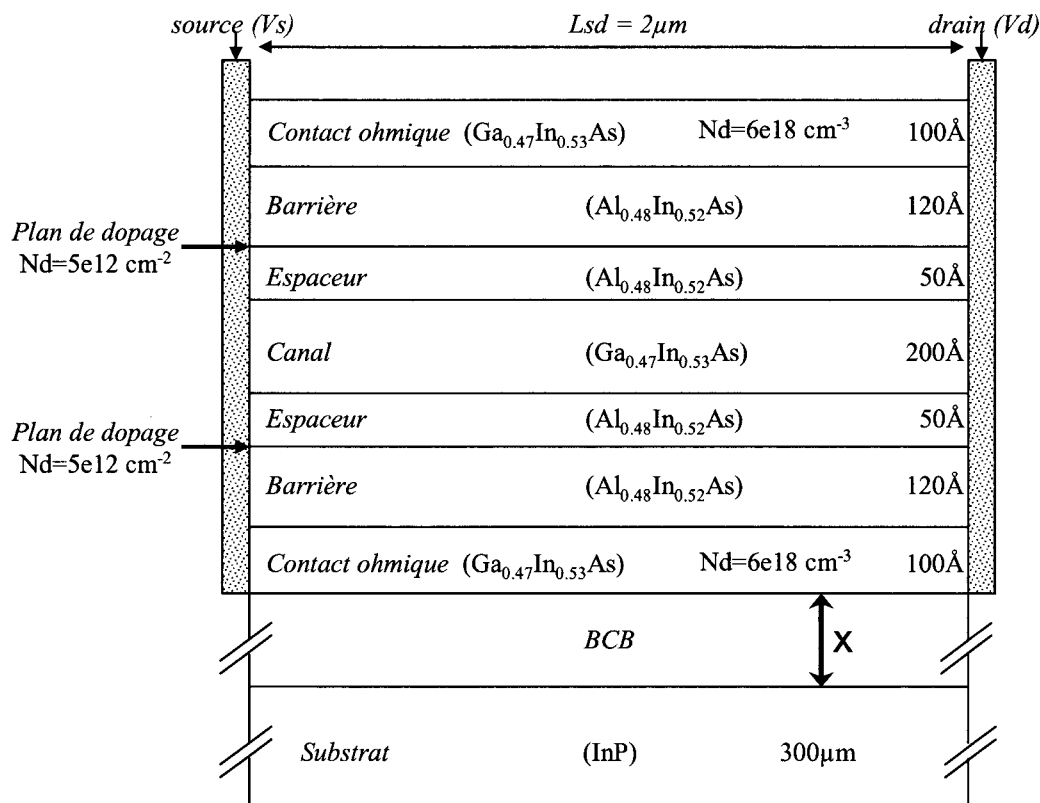


Figure III-20 : Structure étudiée pour la simulation thermique.

Cette structure correspond tout simplement à la zone active du DG-HEMT-SC sans les grilles. Nous avons donc déterminé la température du réseau cristallin maximale atteinte, suivant l'épaisseur X de BCB, pour différentes polarisations drain-source. Les résultats de ces simulations sont représentés sur la figure III-21.

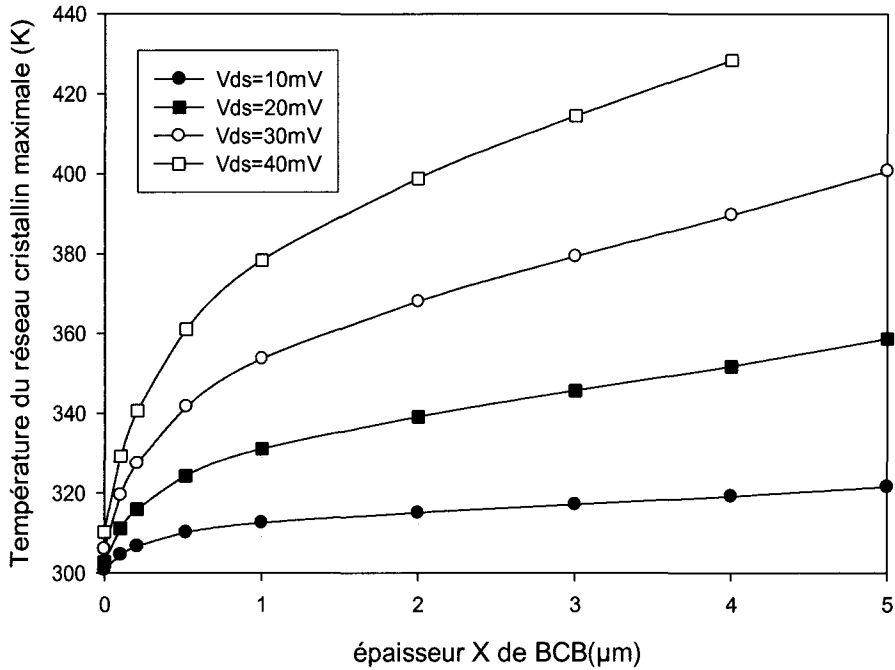


Figure III-21 : *Évolution de la température maximale du réseau cristallin en fonction de l'épaisseur de BCB pour différentes polarisations Vds.*

Ces résultats de simulation mettent en évidence l'augmentation significative de la température cristalline avec l'épaisseur du BCB. La température augmente très rapidement dès le premier micron de BCB déposé. Ainsi, on constate que, même pour une épaisseur de BCB suffisamment faible (<2μm), la température cristalline reste importante. De plus, pour de telles épaisseurs de BCB, les risques d'un assemblage de mauvaise qualité (voir chapitre 2) deviennent prédominants.

**→ Caractérisation dynamique petit signal**

Afin de comparer plus précisément les performances fréquentielles des composants DG-HEMT-SC et HEMT, nous avons déterminé les différents gains des composants avec l'analyseur de réseau vectoriel HP8510XF dont la bande de fréquence s'étend de 0.5 à 110 GHz. Les figures III-22 et III-23 représentent respectivement les évolutions fréquentielles du  $|H_{21}|^2$  et du  $U_g$  pour le HEMT et le DG-HEMT-SC pour une polarisation  $V_{ds}$  identique de 0.6V et une polarisation  $V_{gs}$  au maximum des gains.

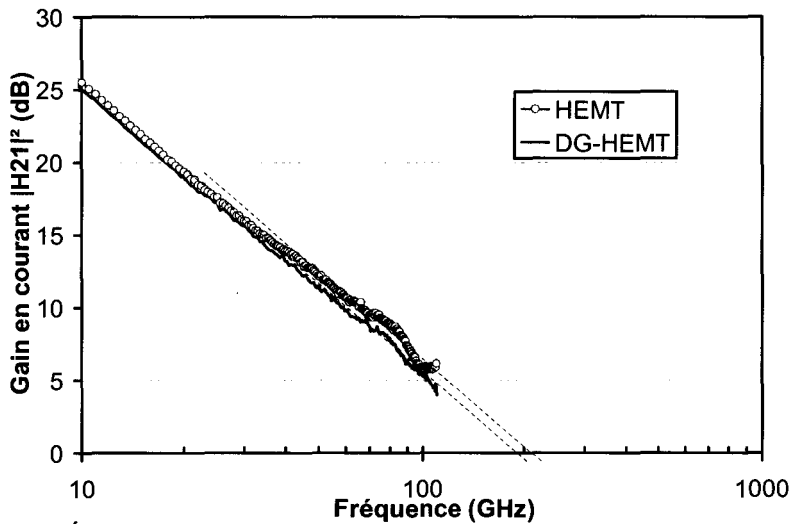


Figure III-22 : *Évolution du gain en courant  $|H_{21}|^2$  des DG-HEMT-SC ( $W=2 \times 50 \mu\text{m}$ ) (op : 10958) et des HEMT pour une polarisation à  $V_{gs}$  correspondant au maximum du  $f_T$  et à  $V_{ds}=0.6V$ .*

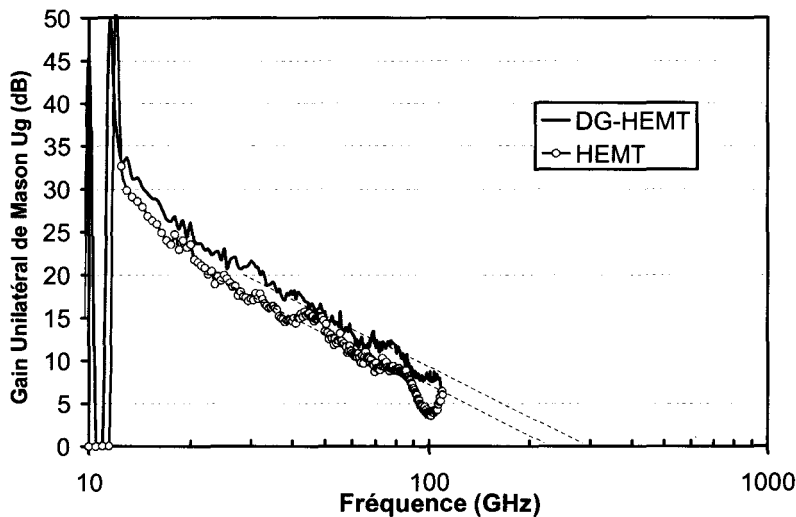


Figure III-23 : *Évolution du gain unilatéral de Mason  $U_g$  des DG-HEMT-SC ( $W=2 \times 50 \mu\text{m}$ ) (op : 10958) et des HEMT pour une polarisation à  $V_{gs}$  correspondant au maximum du  $f_{MAX}$  et à  $V_{ds}=0.6V$ .*

L'extrapolation en  $-20\text{dB/décade}$  des gains nous donne une fréquence de coupure  $f_T$  et une fréquence maximale d'oscillation  $f_{MAX}$  respectives de 209 GHz et 220 GHz pour le HEMT et de 192 GHz et 288 GHz pour les DG-HEMT-SC.

Ainsi, une amélioration de plus de 30% sur le  $f_{MAX}$  est obtenue grâce à la structure double-grille. En revanche une légère réduction du  $f_T$  est à noter sur les DG-HEMT-SC. Ces évolutions peuvent s'expliquer à partir du tableau III-4 correspondant aux schémas équivalents petits signaux des composants.

		DG-HEMT-SC (OP :10958)	HEMT
<i>Eléments extrinsèques</i>	Rs (ohm.mm)	<b>0.18</b>	<b>0.33</b>
	Rd (ohm.mm)	<b>0.26</b>	<b>0.37</b>
	Rg (ohm/mm)	<b>17</b>	<b>38</b>
	Lg (pH)	39	37
	Ld (pH)	39	37
	Ls (pH)	5	5
	Cpg (fF)	1.3	3
	Cpd (fF)	9	32
	<i>Eléments intrinsèques</i>	Gm (mS/mm)	<b>2800</b>
Gd (mS/mm)		<b>171</b>	<b>237</b>
Cgs (fF/mm)		<b>1390</b>	<b>700</b>
Cgd (fF/mm)		<b>370</b>	<b>179</b>
Cds (fF/mm)		65	18
Ri (ohm)		7	5.2
Tau (ps)		-7	0.12
<i>Paramètres caractéristiques</i>	$V_{TH}$ (V)	-0.34	-0.34
	Gm/Gd	16.4	6.8
	Cgs/Cgd	3.7	3.9
	$f_c = Gm/2\pi Cgs$ (GHz)	320	369

Tableau III-4 : Schémas équivalents petits signaux du DG-HEMT-SC (op :10958,  $W=100\mu m$ ), et du HEMT de référence à  $V_{ds}=0.6V$  et  $V_{gs} = \text{maximum du } G_m$ .

L'augmentation du  $f_{MAX}$  peut s'expliquer par une réduction significative de la résistance de source (-45%) et de la résistance de grille (-55%) et par une augmentation d'un facteur 2.4 du rapport  $\frac{g_m}{g_d}$ . On peut noter aussi que le rapport  $\frac{C_{gs}}{C_{gd}}$  est maintenu à une

valeur constante pour les deux dispositifs. En revanche, la plus faible valeur de  $f_T$  obtenue sur les DG-HEMT-SC peut s'expliquer par la réduction de la fréquence de coupure intrinsèque  $f_c$ . En effet,  $f_c$  n'est pas maintenu à une valeur constante car la transconductance intrinsèque  $g_m$  du DG-HEMT-SC n'est pas doublée contrairement à la valeur de  $C_{gs}$ . Le fait que  $g_m$  ne soit pas doublé peut être attribué à la réduction de la mobilité des électrons dans le canal des DG-HEMT-SC observée lors des mesures d'effet Hall (tableau III-1).

On peut aussi constater que la passivation de la première grille avec le BCB a peu d'influence puisque les valeurs des capacités  $C_{gs}$  et  $C_{gd}$  ont simplement doublé compte tenu de l'ajout de la seconde grille.

Sur les figures III-24 et III-25, nous représentons l'évolution des éléments du schéma équivalent ( $g_m$ ,  $g_d$ ,  $C_{gs}$ ,  $C_{gd}$ ) en fonction de la tension grille-source  $V_{gs}$  paramétrée en  $V_{ds}$ .

La première constatation que l'on peut observer en visualisant la figure III-24 concerne les évolutions de la conductance de sortie  $g_d$  en fonction de  $V_{gs}$ . En effet, on discerne, sur les caractéristiques du HEMT, un pallier du  $g_d$  aux alentours de 200mS/mm pour  $V_{gs}$  compris entre -0.2V et 0 attribuable à une conduction dans la couche tampon puis une diminution de celle-ci pour  $V_{gs} < -0.2V$ . En revanche, sur les caractéristiques du DG-HEMT-SC, ce pallier est complètement supprimé. Ainsi, il apparaît que les DG-HEMT-SC permettent de réduire considérablement la conductance de sortie pour des valeurs de  $V_{gs}$  proches du pincement grâce à la meilleure commande du gaz d'électrons et à la suppression de la couche tampon dans sa structure épitaxiale.

De cette manière, la faible conductance de sortie  $g_d$  complétée par l'augmentation rapide de la transconductance  $g_m$  permet d'atteindre des valeurs de gain en tension  $\frac{g_m}{g_d}$  colossales de plus de 100 ( $V_{gs} = -0.33V$ ) pour les DG-HEMT-SC contre seulement 11 ( $V_{gs} = -0.1V$ ) pour les HEMT. Cependant, contrairement à la structure HEMT, le maximum du rapport  $\frac{g_m}{g_d}$  ne se situe pas au maximum du  $g_m$ . En effet, au maximum du  $g_m$  ( $V_{gs} = -0.1V$ ), le rapport  $\frac{g_m}{g_d}$  atteint seulement 16. Or le maximum des gains se situe proche du maximum du  $g_m$ . C'est pourquoi, nous ne profitons pas de la valeur spectaculaire du rapport  $\frac{g_m}{g_d}$  pour augmenter le  $f_{MAX}$ .

Néanmoins, nous pouvons constater que le maximum du rapport  $\frac{g_m}{g_d}$  des DG-HEMT-SC tend à se déplacer vers le maximum du  $g_m$  lorsque que la tension  $V_{ds}$  croît. Ainsi, nous estimons que les DG-HEMT-SC ne fonctionnent pas de manière optimale pour observer une hausse importante du  $f_{MAX}$  compte tenu de la faible valeur des tensions de claquage  $V_{dsB}$ . Des tensions  $V_{dsB}$  plus importantes devraient permettre d'améliorer considérablement le gain en tension pour une polarisation correspondant au maximum du  $g_m$  et ainsi améliorer encore la valeur du  $f_{MAX}$ .

Quant à la figure III-25, l'évolution des capacités  $C_{gs}$  et  $C_{gd}$  ainsi que le rapport  $\frac{C_{gs}}{C_{gd}}$  sont semblables pour les deux composants. Contrairement au rapport  $\frac{g_m}{g_d}$ , le rapport  $\frac{C_{gs}}{C_{gd}}$  des DG-HEMT-SC se situe à une polarisation  $V_{gs}$  correspondant pratiquement au maximum du  $g_m$ .



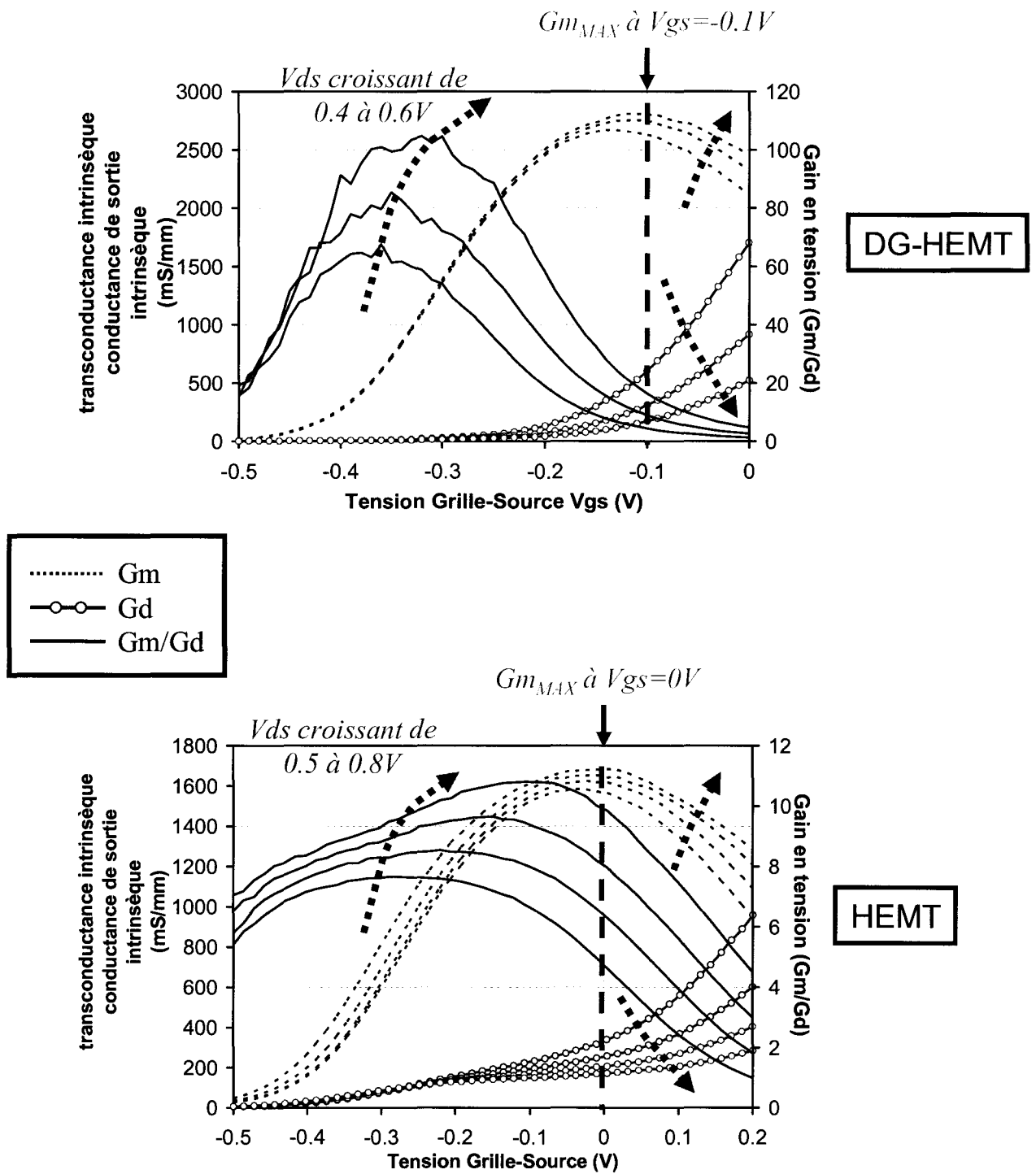


Figure III-24 : Évolution de la transconductance intrinsèque et de la conductance de sortie intrinsèque des DG-HEMT-SC ( $W=2 \times 50 \mu\text{m}$ ) (op :10958) et des HEMT pour différentes valeurs de  $V_{ds}$ .

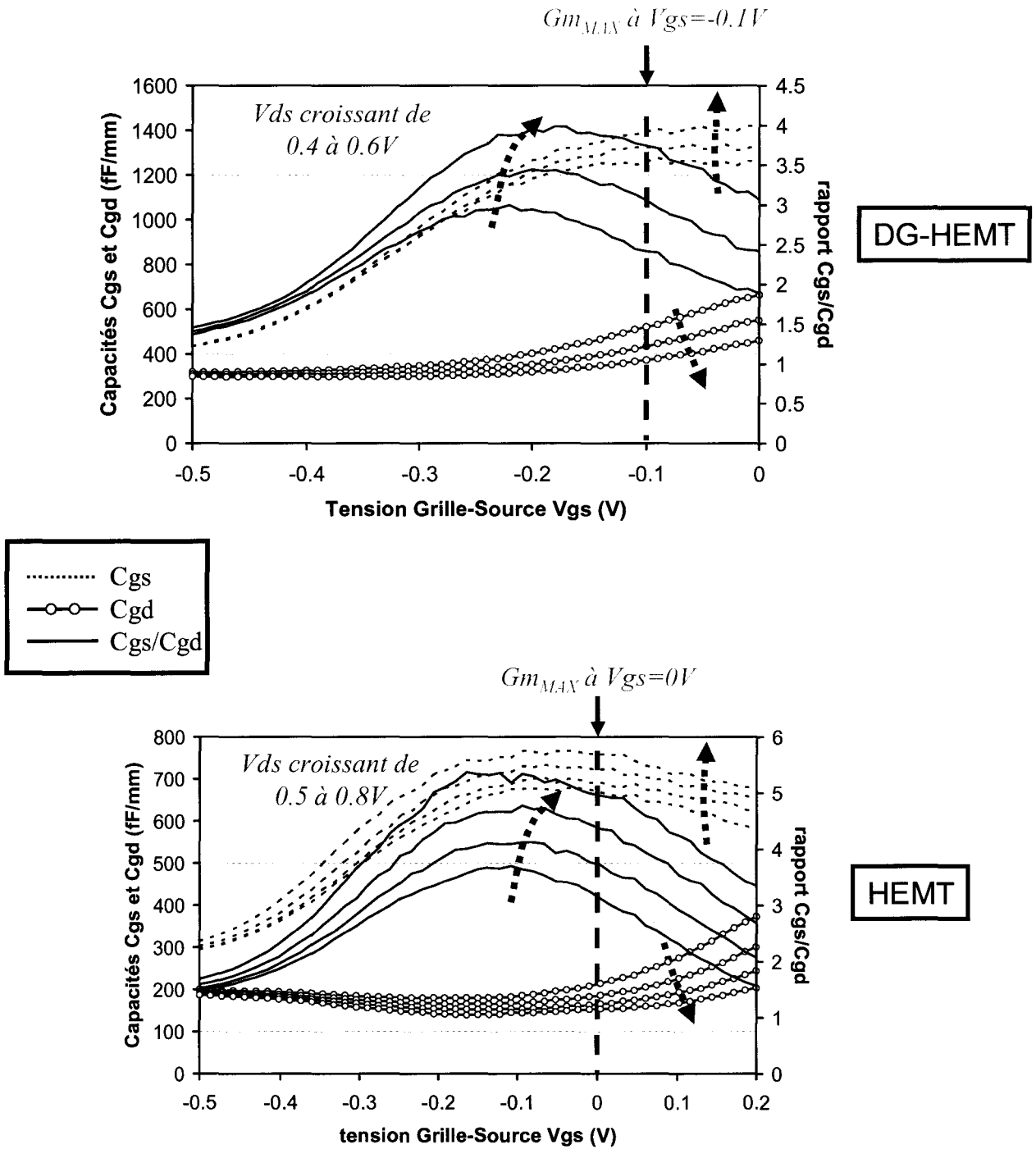


Figure III-25 : Évolution de la capacité  $C_{gs}$  intrinsèque et de la capacité  $C_{gd}$  intrinsèque des DG-HEMT-SC ( $W=2 \times 50 \mu m$ ) (op : 10958) et des HEMT pour différentes valeurs de  $V_{ds}$ .

Contribution des éléments parasites sur la valeur du  $f_T$  :

Afin d'estimer l'influence des éléments extrinsèques du schéma équivalent petit signal sur la valeur de la fréquence de coupure  $f_T$  des composants DG-HEMT-SC et HEMT, nous avons eu recours à une méthode récente proposée par T. Suemitsu [Suemitsu1]. Cette méthode reprend en partie les travaux de N. Moll *et al.* [Moll1] sur l'analyse des différents temps de charge associés à la valeur du  $f_T$ .

Cette méthode consiste à déterminer l'évolution fréquentielle du gain en courant  $|H_{21}|^2$  à partir des paramètres  $S_{ij}$  mesurés et du gain en courant intrinsèque  $|H_{21}|^2_{int}$  correspondant à la partie intrinsèque du schéma équivalent. A partir du  $|H_{21}|^2$ , on en déduit le temps de charge total  $\tau = (2.\pi.f_T)^{-1}$  et, à partir du  $|H_{21}|^2_{int}$ , on en déduit le temps de charge intrinsèque  $\tau_{int} = (2.\pi.f_{Tint})^{-1}$

La détermination fréquentielle du  $|H_{21}|^2_{int}$  consiste à déduire les paramètres  $S_{ij}$  intrinsèques en soustrayant les éléments extrinsèques du schéma équivalent des paramètres  $S_{ij}$  mesurés. A partir des  $S_{ij}$  intrinsèques, on calcule le gain  $|H_{21}|^2_{int}$ .

De cette manière, le temps de charge parasite  $\tau_p$  correspond à la différence entre  $\tau$  et  $\tau_{int}$  ( $\tau_p = \tau - \tau_{int}$ ).

Sur la figure III-26, nous représentons l'évolution de  $\tau$  et  $\tau_{int}$  en fonction de  $(I_d)^{-1}$  pour le HEMT à  $V_{ds}=1V$ .

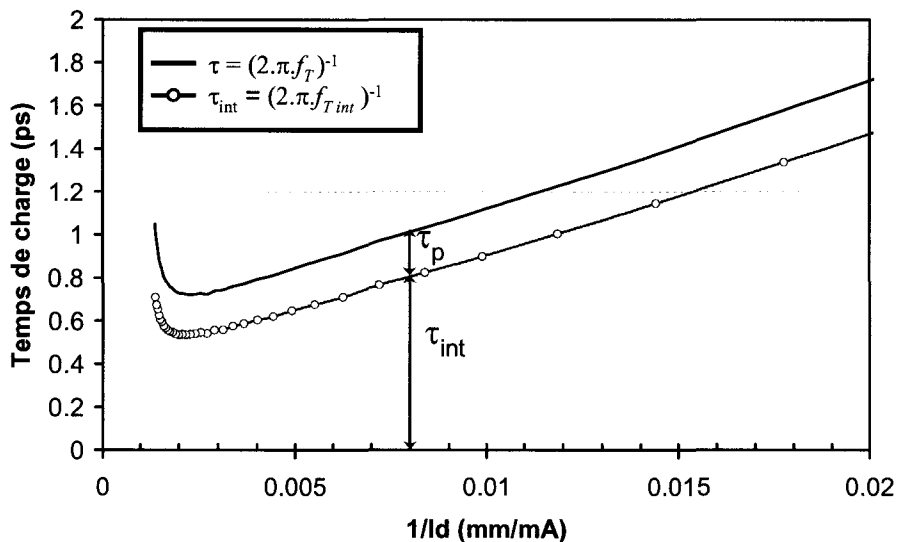


Figure III-26 : Évolution du temps de charge total et du temps de charge intrinsèque du HEMT pour  $V_{ds}=1V$ .

Sur la figure III-26, on constate que  $\tau_{int}$  passe par un minimum. L'augmentation de  $\tau_{int}$  pour des valeurs de  $I_d$  élevées est attribuée à la modulation de charge dans le plan de dopage et la barrière (*manifestation du MESFET parasite*). En revanche, contrairement à ce qu'annonce T. Suemitsu, on constate que  $\tau_{int}$  augmente avec le courant drain même pour des valeurs de  $I_d$  faibles.

En effet,  $\tau_{int}$  est la somme du temps de transit intrinsèque des porteurs sous la grille ( $\tau_{trans}$ ) et du temps de transit des porteurs dans la région de champ fort en sortie de grille côté drain ( $\tau_d$ ).

Or, T. Suemitsu et N. Moll considèrent que  $\tau_d$  est uniquement proportionnel à  $V_{ds}$  et, par conséquent,  $\tau_{int}$  devrait être constant en fonction de  $(I_d)^{-1}$  à  $V_{ds}=\text{constante}$ . Cependant Y. Kwon et D. Pavlidis ont montré que  $\tau_d$  dépendait très fortement de la polarisation  $V_{gs}$  [Kwon1].

A partir de cette méthode, nous avons déterminé l'évolution de  $\tau_{int}$  et  $\tau_p$  en fonction de la tension  $V_{ds}$  pour les HEMT et les DG-HEMT-SC. Pour cela, pour chaque valeur de  $V_{ds}$ , nous étudions les courbes  $\tau, \tau_{int} = f(I_d^{-1})$  et nous déterminons les temps  $\tau_{int}$  et  $\tau_p$  correspondant au minimum de  $\tau_{int}$ . La figure III-27 représente cette évolution.

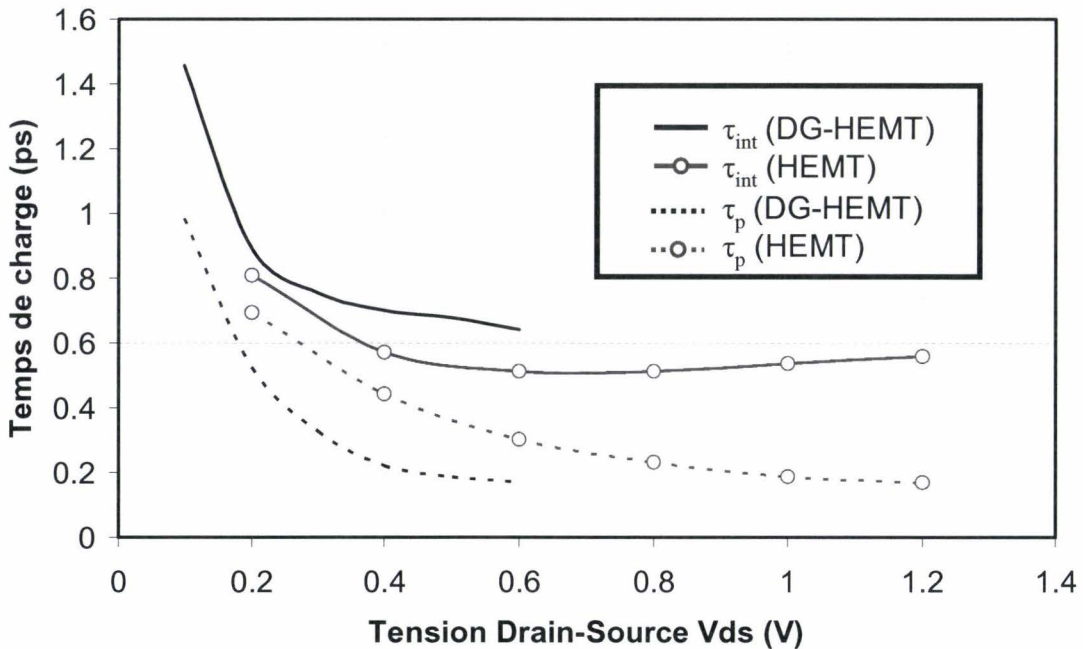


Figure III-27 : Évolution des temps de charge intrinsèque ( $\tau_{int}$ ) et parasite ( $\tau_p$ ) du HEMT et du DG-HEMT-SC en fonction de  $V_{ds}$ .

Sur la figure III-27, on constate que l'évolution de  $\tau_p$  est monotone et diminue avec l'augmentation de  $V_{ds}$ . Cette évolution de  $\tau_p$  était attendue puisqu'en première approximation  $\tau_p$  s'exprime par la relation :

$$\tau_p \approx \frac{g_d}{g_m} \cdot (C_{gs} + C_{gd})(R_s + R_d) + C_{gd} \cdot (R_s + R_d) \quad (4)$$

Ainsi, la diminution de  $\tau_p$  s'explique par la diminution de la capacité  $C_{gd}$  et par l'augmentation du rapport  $\frac{g_m}{g_d}$  lorsque  $V_{ds}$  augmente.

On observe aussi que  $\tau_{int}$  du DG-HEMT-SC est supérieur à  $\tau_{int}$  du HEMT quel que soit  $V_{ds}$ .

Néanmoins, il est intéressant de noter que  $\tau_p$  du DG-HEMT-SC est inférieur à  $\tau_p$  du HEMT. Ainsi, les structures DG-HEMT possèdent des meilleures propriétés en terme de « *scaling* » puisque la contribution du temps de charge parasite sur le temps de charge total est plus faible que pour les structures HEMT. Ceci s'explique par la relation (4) :

Pour les deux dispositifs, les termes  $C_{gd} \cdot (R_s + R_d)$  et  $(C_{gs} + C_{gd}) \cdot (R_s + R_d)$  sont identiques puisque  $C_{gs_{DG-HEMT-SC}} (C_{gd_{DG-HEMT}}) = 2 \cdot C_{gs_{HEMT}} (C_{gd_{HEMT}})$  et  $R_{s_{DG-HEMT-SC}} (R_{d_{DG-HEMT}}) = \frac{1}{2} \cdot R_{s_{HEMT}} (R_{d_{HEMT}})$ .

Ainsi, les valeurs de  $\tau_p$  plus faibles obtenues sur les DG-HEMT-SC sont attribuées à l'amélioration du gain en tension ( $\frac{g_m}{g_d}$ ).

#### **III-2-a-4) Simulation Monte Carlo**

Dans ce paragraphe, nous allons présenter les résultats de simulation Monte Carlo que nous avons obtenus sur les structures DG-HEMT-SC et les structures HEMT. Nous comparerons les caractéristiques statiques intrinsèques de ces deux composants lorsque la longueur de grille est réduite afin d'évaluer les potentialités de la structure DG-HEMT sur l'évolution des effets de canal court. Nous verrons ensuite l'influence d'un désalignement des deux grilles sur les caractéristiques statiques.

→ *Modélisation des composants*

Dans cette partie, nous décrivons la configuration des structures modélisées en présentant les dimensions des dispositifs simulés ainsi que les différentes conditions aux limites imposées sur les contours des structures. Nous rappelons que la procédure Monte Carlo a été développée à l'université de Salamanque (Espagne).

Sur la figure III-28, nous comparons la structure réelle du DG-HEMT-SC et la structure simulée. La distance source-drain  $L_{SD}$  simulée est considérablement réduite par rapport à la structure réelle. En effet,  $L_{SD}$  simulée est de  $1\mu\text{m}$  pour une longueur de grille de  $100\text{nm}$  contre  $2\mu\text{m}$  pour la structure réelle. Cette réduction de  $L_{SD}$  permet de diminuer le temps de calcul du simulateur mais ne modifie en aucun cas les résultats puisque les zones non-simulées de source et de drain correspondent simplement à des zones ohmiques. En revanche, on peut observer que la zone simulée côté drain est plus grande que celle située côté source. En effet, dans la région de drain, les porteurs ont une énergie importante compte tenu de la valeur élevée du champ électrique en sortie de grille ; il est donc indispensable de simuler une zone plus large côté drain afin que les électrons puissent relaxer leur énergie avant d'atteindre le contact de drain. Les régions *recessées* de part et d'autre de la grille ont une longueur identique de  $100\text{nm}$  quelle que soit la longueur de grille simulée. Cette modélisation est aussi valable pour la structure HEMT simulée.

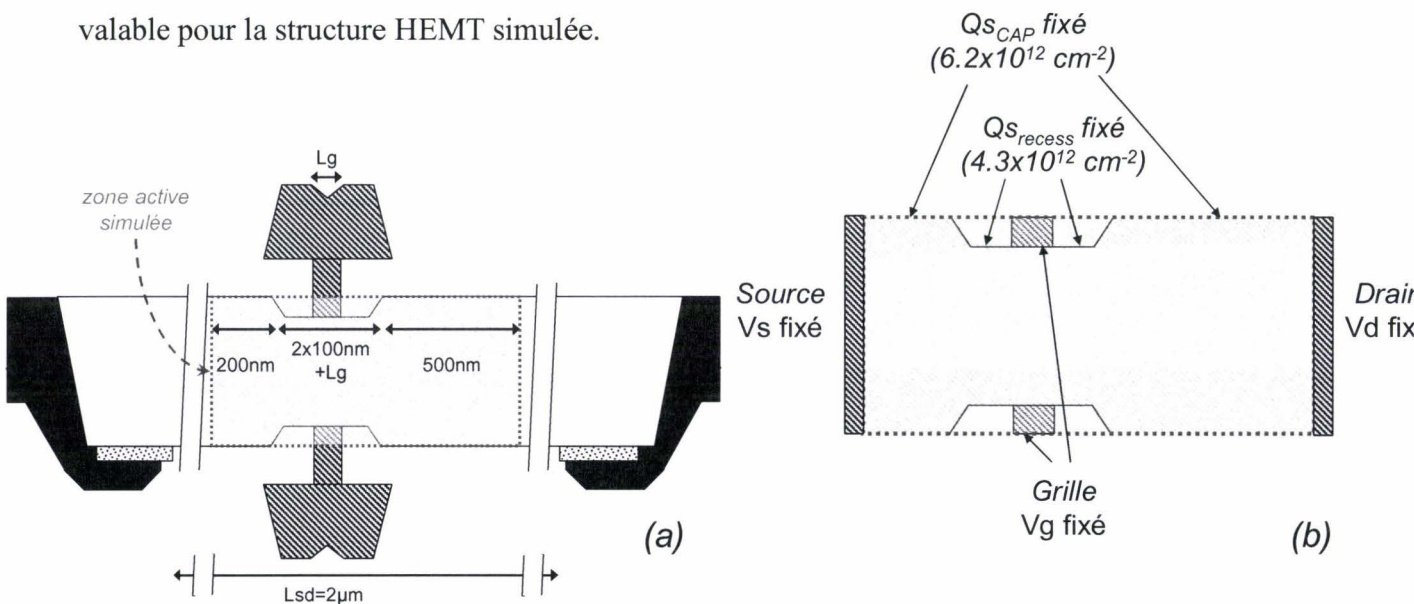


Figure III-28 : Illustration de la structure DG-HEMT réelle (a) et de sa structure simulée avec la procédure Monte Carlo (b) . Les conditions aux limites sur le contour de la structure simulée sont aussi représentées.

Pour toutes nos simulations, nous nous sommes fixés une structure de couche de référence pour le HEMT et pour le DG-HEMT. Celles-ci sont représentées sur la figure III-29.

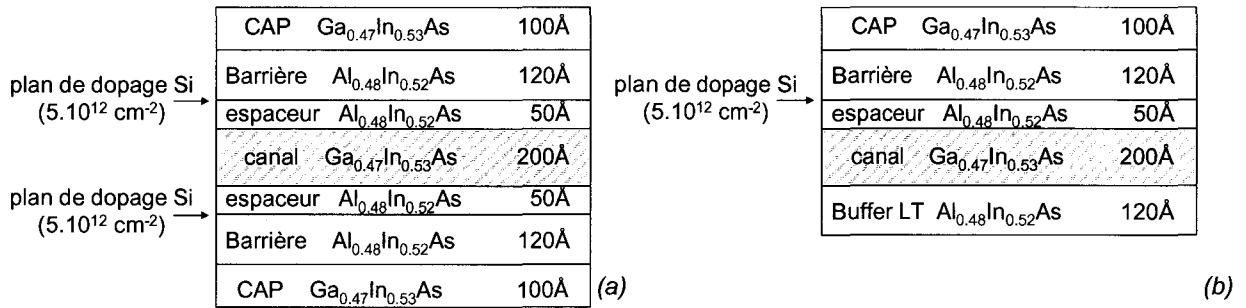


Figure III-29 : Structures de couche simulées.  
(a) : pour le DG-HEMT-SC, (b) : pour le HEMT

Les conditions aux limites imposées sur les contours de la structure simulée sont les suivantes :

- Aux contacts de source, de drain et de grille : Le potentiel est imposé sur chaque électrode (condition de Dirichlet).
- Sur les couches de contact ohmique (CAP) : Une charge de surface négative de  $-6.2 \times 10^{12} \text{ cm}^{-2}$  est imposée (le champ électrique normale est fixé).
- Aux niveaux du fossé de grille (zones *recessées*) : Une charge de surface négative de  $-4.3 \times 10^{12} \text{ cm}^{-2}$  est imposée.
- Pour la structure HEMT, dans le bas de la couche tampon : Le champ électrique normal est nul (condition de Neumann).

La valeur de la charge de surface à imposer sur la couche de contact ohmique a été ajustée expérimentalement afin de reproduire la valeur réelle de la résistance carrée d'une structure HEMT adaptée en maille sur InP. En revanche, la valeur de la charge de surface à imposer dans les zones recessées a été calculée de manière à ce que le niveau de Fermi coïncide avec le milieu du gap de l'AlInAs [Mateos1].

Afin de modéliser les contacts ohmiques de source et de drain, une simulation de la structure à son état d'équilibre ( $V_d=V_s=0V$ ) est réalisée afin de déduire le profil de potentiel  $V(y)$  et le profil de concentration  $N(y)$  à imposer sur les contacts [Gonzalez1].

→ *Potentialité des DG-HEMT-SC en terme de « scaling »*

L'apparition des effets de canal court dans les HEMT est généralement attribuée à un rapport d'aspect  $Lg/a$  dégradé lorsque  $Lg$  devient trop faible. Ces effets de canal court se traduisent par un décalage de la tension de seuil  $V_{TH}$ , une réduction de la transconductance  $gm$  et une augmentation de la conductance de sortie  $gd$ . Afin d'estimer ces effets, nous avons simulé les structures DG-HEMT-SC et HEMT pour différentes longueurs de grille à structure de couche fixe (structure de la figure III-29). Des exemples de caractéristiques de sortie obtenues sur les structures HEMT et DG-HEMT-SC sont représentés sur la figure III-30.

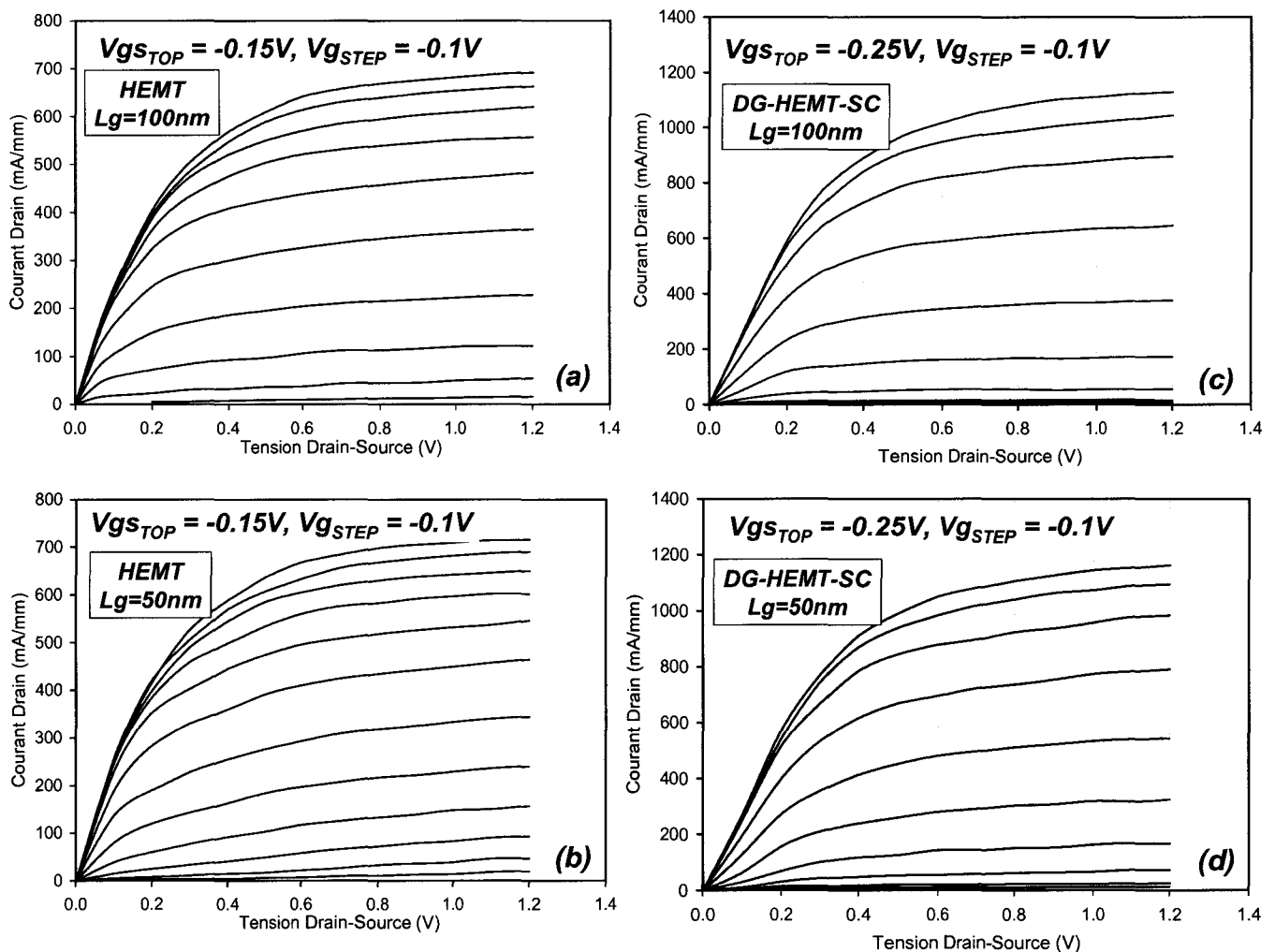


Figure III-30 : Caractéristiques de sortie du HEMT (a :  $Lg=100nm$ , b :  $Lg=50nm$ ) et du DG-HEMT-SC (c :  $Lg=100nm$ , d :  $Lg=50nm$ ).

On constate que le courant drain des DG-HEMT-SC est quasi-doublé par rapport aux HEMT compte tenu de la densité d'électron  $ns$  importante (structure à deux plans de dopage). De plus, les caractéristiques de sortie des DG-HEMT-SC sont mieux définies. En effet, on



constate une meilleure efficacité de pincement et une meilleure saturation du courant drain proche du pincement même pour des longueurs de grille de 50nm pour les structures DG-HEMT-SC.

Sur la figure III-31, nous représentons les caractéristiques de transfert  $I_d(V_{gs})$  des DG-HEMT-SC et des HEMT pour différentes longueurs de grille à  $V_{ds}=1.2V$ .

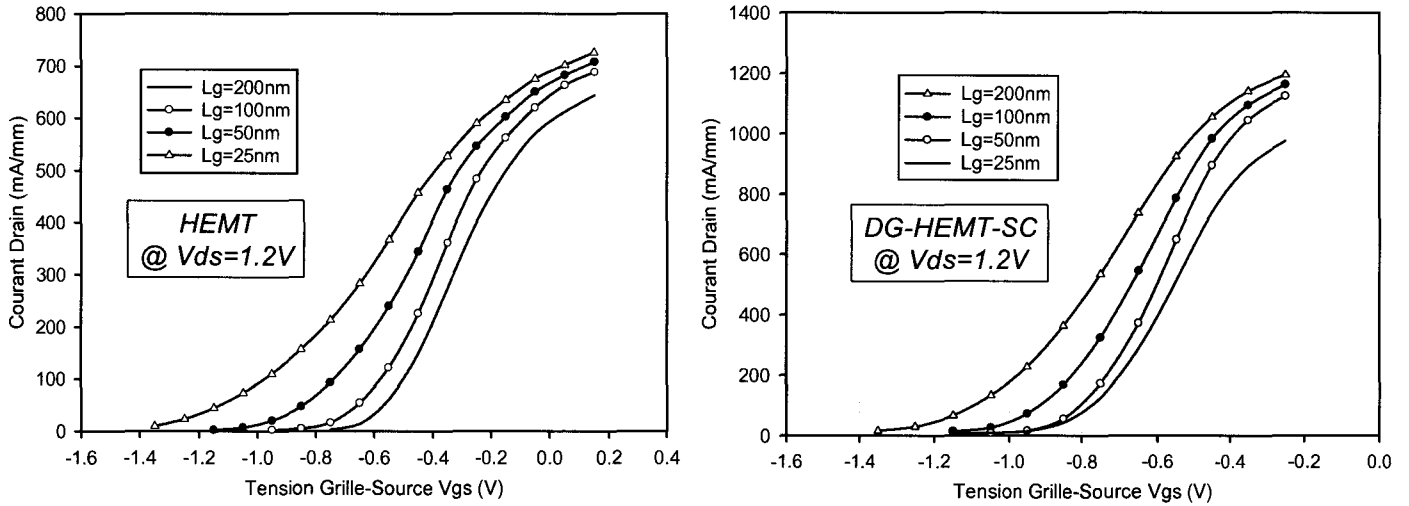


Figure III-31 : Caractéristiques de transfert du HEMT et du DG-HEMT-SC à  $V_{ds}=1.2V$  pour différentes longueurs de grille.

Pour les deux structures, on constate un décalage de la tension de seuil et une réduction de la transconductance lorsque la longueur de grille diminue. Ces phénomènes sont typiques des effets de canal court. Afin d'estimer l'importance de ces effets, nous avons tracé, sur la figure III-32, l'écart relatif de la tension de seuil et de la transconductance maximale par rapport aux valeurs obtenues pour une longueur de grille de 200nm.

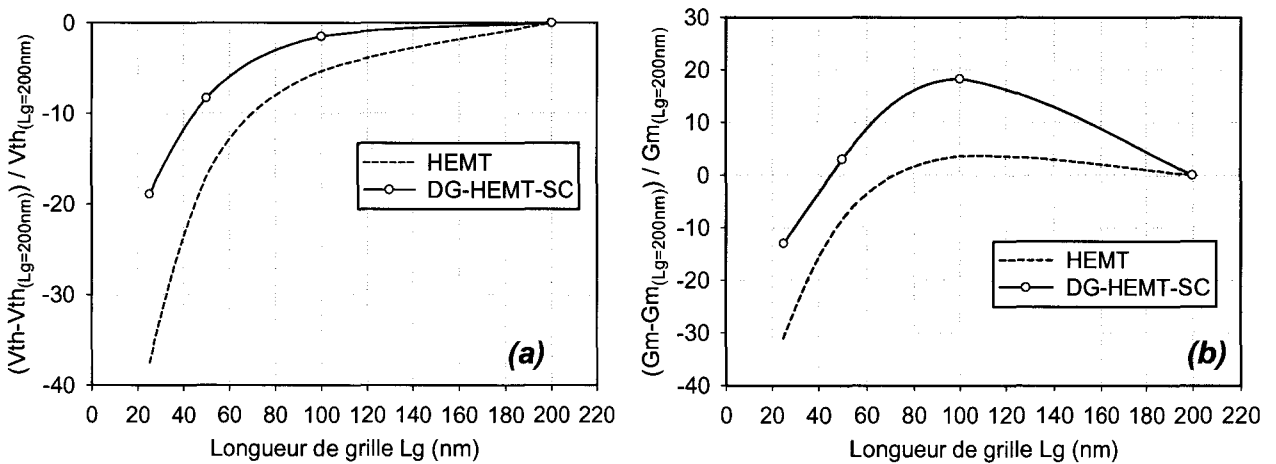


Figure III-32 : Écart relatif de la tension de seuil (a) et de la transconductance maximale (b) en fonction de  $L_g$  pour le HEMT et le DG-HEMT-SC.

On constate que la transconductance maximale du DG-HEMT-SC et du HEMT passe par un optimum pour  $L_g=100\text{nm}$ . La réduction du  $g_m$  pour des longueurs inférieures à  $100\text{nm}$  est attribuable à une mauvaise efficacité de commande des électrons par la grille (le rapport d'aspect  $L_g/a$  est trop faible) tandis que la réduction du  $g_m$  pour des longueurs supérieures à  $100\text{nm}$  peut s'expliquer par une réduction de la vitesse des porteurs sous la grille (réduction des effets de survitesse). Cependant dans le cas du HEMT, on peut observer que la chute du  $g_m$  pour  $L_g<50\text{nm}$  semble être plus importante que pour la structure DG-HEMT-SC.

De la même manière, on peut remarquer une variation très importante de la tension de seuil pour les HEMT contrairement aux structures DG-HEMT-SC où ces variations sont moins marquées. Afin de comprendre l'évolution des tensions de seuil des deux composants, nous avons déterminé le profil de la bande de conduction entre source et drain pour  $V_{ds}=1.2\text{V}$  et pour  $V_{gs}=-0.65\text{V}$  pour le HEMT et  $V_{gs}=-0.85\text{V}$  (voisinage du pincement) pour le DG-HEMT paramétrée par la longueur de grille. Ces résultats sont représentés sur la figure III-33 et III-34.

Sur ces figures, on observe une barrière de potentiel des électrons entre source et grille. Cette barrière empêche le transfert d'électrons de la source vers le drain. Ainsi, plus sa valeur sera importante, meilleur sera le pincement du canal. On constate que cette barrière se réduit lorsque la longueur de grille diminue. Cependant, la hauteur de barrière diminue moins rapidement dans le cas de la structure DG-HEMT-SC. Ainsi, l'écart relatif de la tension de seuil que nous observons sur la figure III-32 s'explique par cette évolution de la hauteur de barrière avec la longueur de grille.

Finalement, cette étude nous montre que les DG-HEMT-SC semblent être moins pénalisés par un rapport d'aspect  $L_g/a$  trop faible. On peut donc envisager d'obtenir de meilleurs résultats dynamiques sur des structures DG-HEMT-SC que sur des structures HEMT lorsque les longueurs de grille atteignent des dimensions sub- $50\text{nm}$  puisque c'est dans cette gamme de longueurs de grille que les effets de canal court deviennent prédominants.

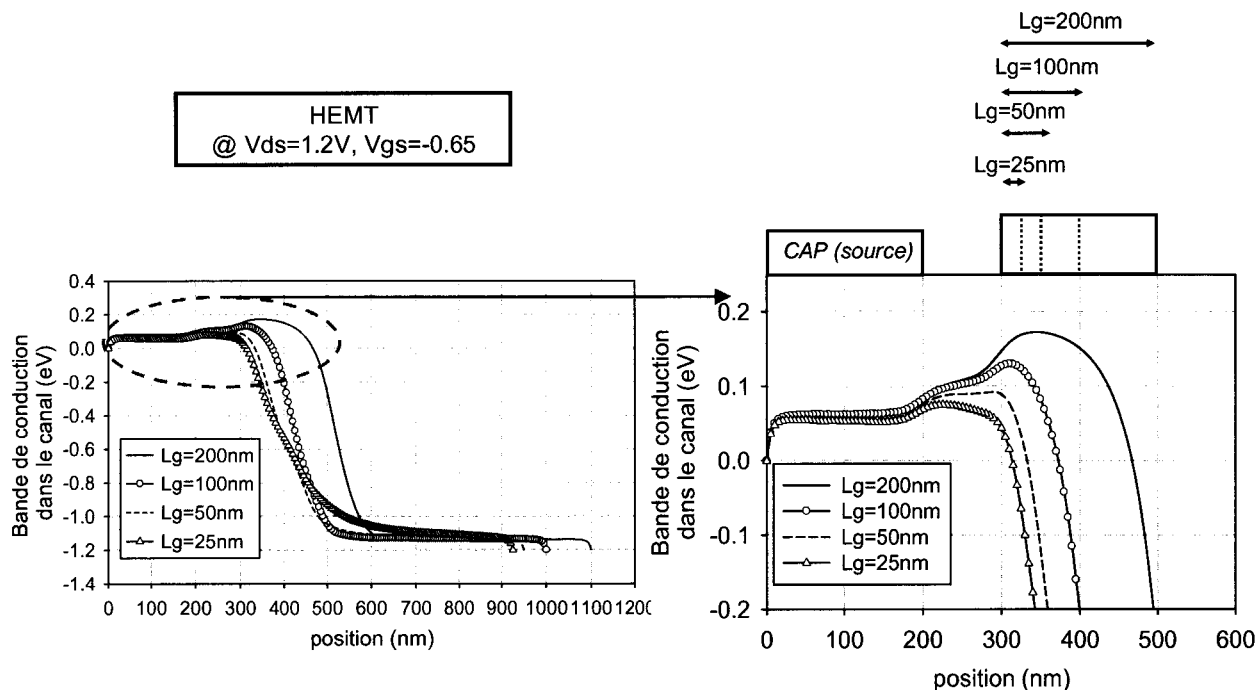


Figure III-33 : profil de bande de conduction entre source et drain à  $V_{ds}=1.2V$  et  $V_{gs}$  proche du pincement pour les différentes longueurs de grille du HEMT.

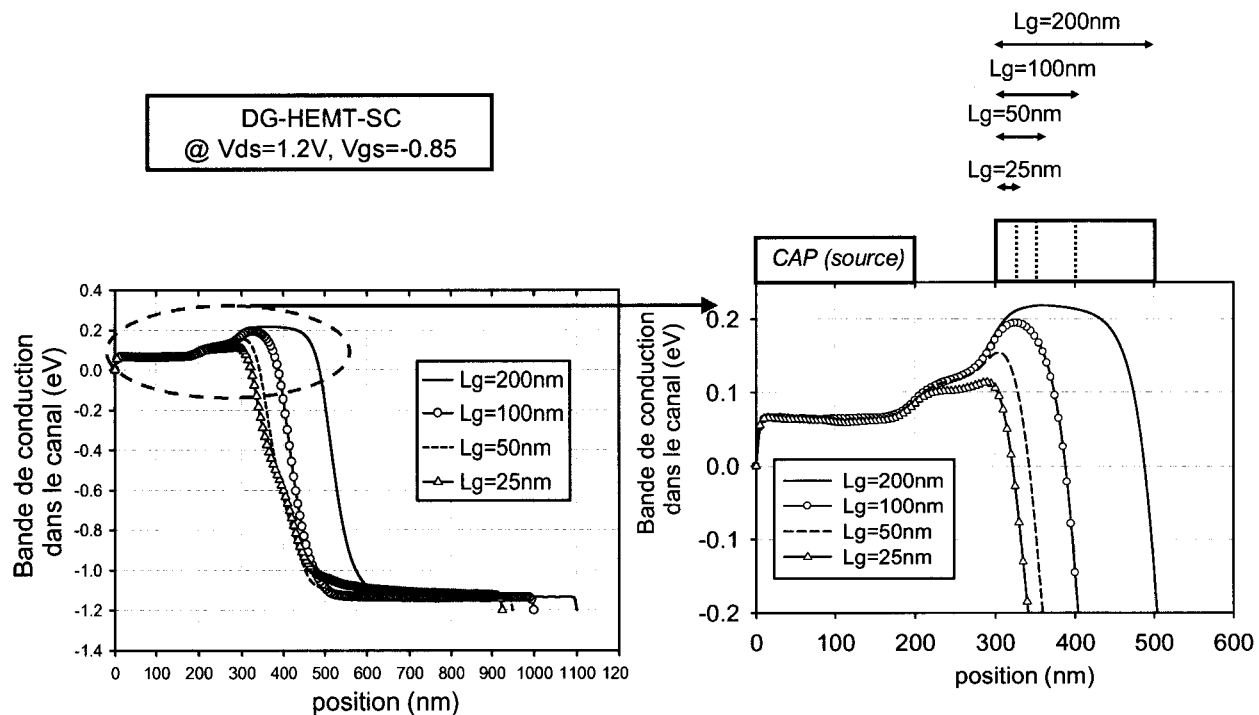


Figure III-34 : profil de bande de conduction entre source et drain à  $V_{ds}=1.2V$  et  $V_{gs}$  proche du pincement pour les différentes longueurs de grille du DG-HEMT-SC.

→ Influence du désalignement des grilles

Lors de l'étude de la technologie de fabrication des DG-HEMT dans le chapitre 2, nous avons vu qu'il était indispensable de modifier la lithographie d'écriture de la seconde grille afin d'éviter un désalignement des deux grilles. De plus, la précision d'alignement des grilles sera d'autant plus difficile à obtenir lors de la fabrication de composants DG-HEMT de longueur de grille sub-50nm. C'est pourquoi, nous avons voulu estimer, avec la procédure Monte Carlo, l'influence du désalignement des deux grilles sur les caractéristiques statiques des DG-HEMT-SC.

La structure des composants DG-HEMT-SC simulée est identique à celle utilisée pour les simulations précédentes (structure de couche de la figure III-29-a, zones recessées de 100nm de part et d'autre de la grille,...). Pour cette étude, nous avons fixé les longueurs de grille  $Lg1 = Lg2 = Lg$  à 100nm. Le désalignement des deux grilles est défini comme suit :

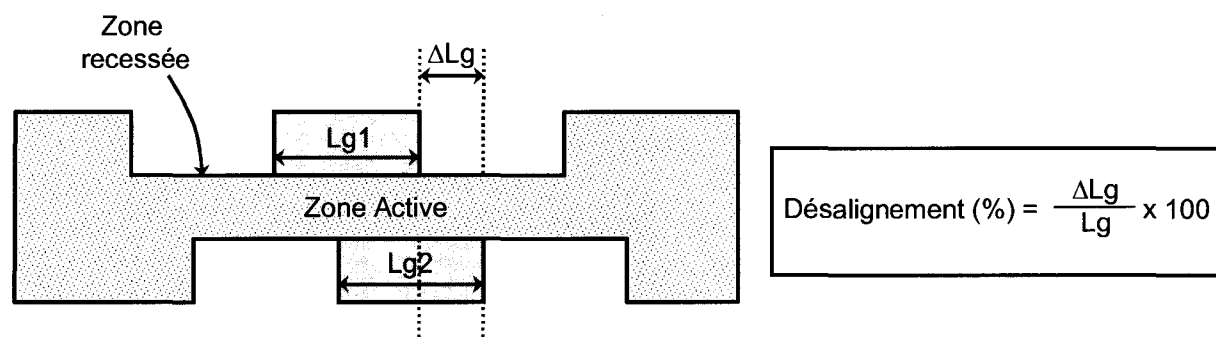


Figure III-35 : Définition du désalignement des grilles.

De cette manière, un décalage d'une longueur de grille  $Lg$  équivaut à un désalignement de 100% ( $\Delta Lg = Lg$ ).

Sur la figure III-36, nous représentons les caractéristiques de transfert  $I_d = f(V_{gs})$  et  $G_m = f(V_{gs})$  obtenues à  $V_{ds} = 1.2V$  sur les DG-HEMT-SC pour différents désalignements.

On observe, d'après la figure III-36-a, une évolution importante de la tension de seuil  $V_{TH}$  avec le désalignement. En effet, plus le décalage est important, plus le potentiel à appliquer sur les grilles doit être élevé afin de pincer efficacement le canal. De plus, la figure III-36-b nous montre une diminution rapide de la transconductance avec le désalignement des grilles. Ainsi, dès lors qu'il existe un désalignement entre les deux grilles, les composants DG-HEMT-SC ne fonctionnent plus de manière optimale. Le désalignement des grilles sera l'une des limitations fondamentales des DG-HEMT-SC de longueurs de grille sub-50nm.

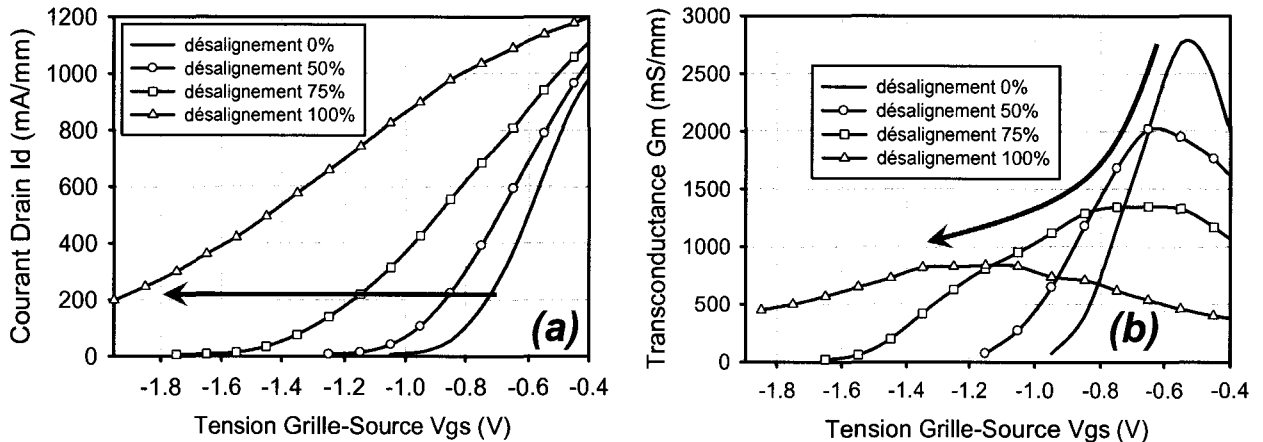


Figure III-36 : Caractéristiques de transfert  $I_d(V_{gs})$  (a) et  $G_m(V_{gs})$  (b) à  $V_{ds}=1.2V$  du DG-HEMT-SC de longueurs de grille 100nm et pour différents désalignements de grille.

### III-2-b-Transistor DG-HEMT double commande $V_{g1s} \neq V_{g2s}$ (DG-HEMT-DC)

Le second mode de fonctionnement des DG-HEMT correspond au fonctionnement en Double-Commande (DG-HEMT-DC). Dans ce mode de fonctionnement, une polarisation distincte sur chaque électrode de grille peut être appliquée sur les composants.

Ainsi, de nouvelles fonctionnalités sont donc concevables avec ce dispositif (système à 3 ports). L'application principale que l'on peut envisager correspond à un fonctionnement en mélangeur. Toutefois, comme nous l'avons énoncé dans le chapitre précédent, dans la mesure où la seconde grille ne possède pas d'accès coplanaire, le signal hyperfréquence n'est appliqué que sur la grille 1. À ce jour, il est donc infaisable d'étudier ces composants en mélangeur. Néanmoins, nous avons pu étudier un cas particulier des DG-HEMT-DC où le signal hyperfréquence est appliqué sur la grille 1 tandis que la grille 2 est polarisée en continu. Dans ce paragraphe, nous étudierons uniquement les DG-HEMT-DC obtenus avec l'opération 10958 (grilles 1 et 2 alignées et de longueurs 100nm).

#### III-2-b-1) Caractérisation statique

Sur les figures III-37 et III-38, nous représentons respectivement les caractéristiques  $I_d=f(V_{g1s})|_{V_{g2s}}$  et  $G_m=f(V_{g1s})|_{V_{g2s}}$  des DG-HEMT-DC de l'opération 10958 pour une polarisation  $V_{ds}$  de 0.4V. Il est à noter que des caractéristiques semblables à celles des figures III-37 et III-38 sont obtenues lorsque l'on inverse les tensions  $V_{g1s}$  et  $V_{g2s}$  (structure

symétrique en régime statique). Sur ces caractéristiques, nous avons aussi représenté le cas particulier où  $V_{g1s}=V_{g2s}$  (fonctionnement en simple commande).

On constate que le contrôle du gaz d'électrons du canal par l'intermédiaire de deux grilles polarisées indépendamment permet de moduler la tension de seuil  $V_{TH}$  du transistor. En effet, la tension de seuil  $V_{TH}$  évolue de  $-0.68V$  à  $-0.12V$  lorsque  $V_{g2s}$  passe de  $0V$  à  $-0.6V$ . De plus, dans cette gamme de variation de  $V_{g2s}$ , la transconductance  $G_m = \frac{\partial I_d}{\partial V_{g1s}}$  est quasi-constante de l'ordre de  $850 \text{ mS/mm}$ . Ainsi, avec le même composant et, par conséquent, le même procédé de fabrication, il est possible de réaliser un transistor à quasi-enrichissement (*Normally-OFF*) et un transistor à déplétion (*Normally-ON*) avec des performances identiques, simplement en modifiant le potentiel de la grille 2. Un tel dispositif peut donc être intéressant pour de systèmes numériques en technologie DCFL (*Direct Coupled FET Logic*) où il est indispensable, à la fois, de réaliser sur le même substrat des transistors à enrichissement et à déplétion et, de contrôler précisément les tensions de seuil des composants.

Par ailleurs, on peut constater que la transconductance en mode simple-commande ( $V_{g1s}=V_{g2s}$ ) est doublée par rapport à la transconductance en mode double-commande. Ce résultat est évident puisque l'efficacité de commande du gaz d'électrons  $\frac{\partial N_s}{\partial V_{gs}}$  est réduite d'un facteur 2 en mode double-commande.

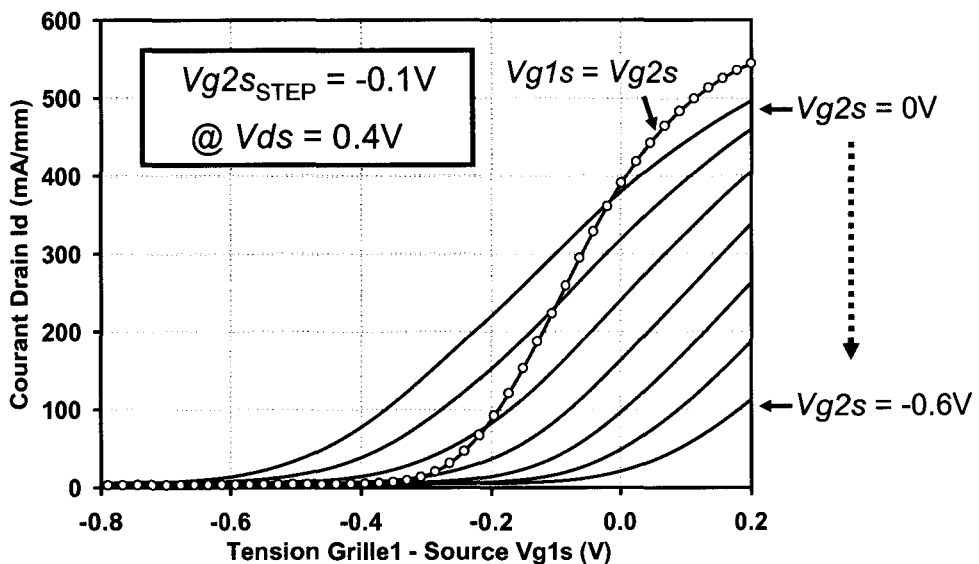


Figure III-37 : Caractéristiques  $I_d(V_{g1s})|_{V_{g2s}}$  des DG-HEMT-DC ( $W=2 \times 50 \mu\text{m}$ ) (op :10958) à  $V_{ds}=0.4V$ .

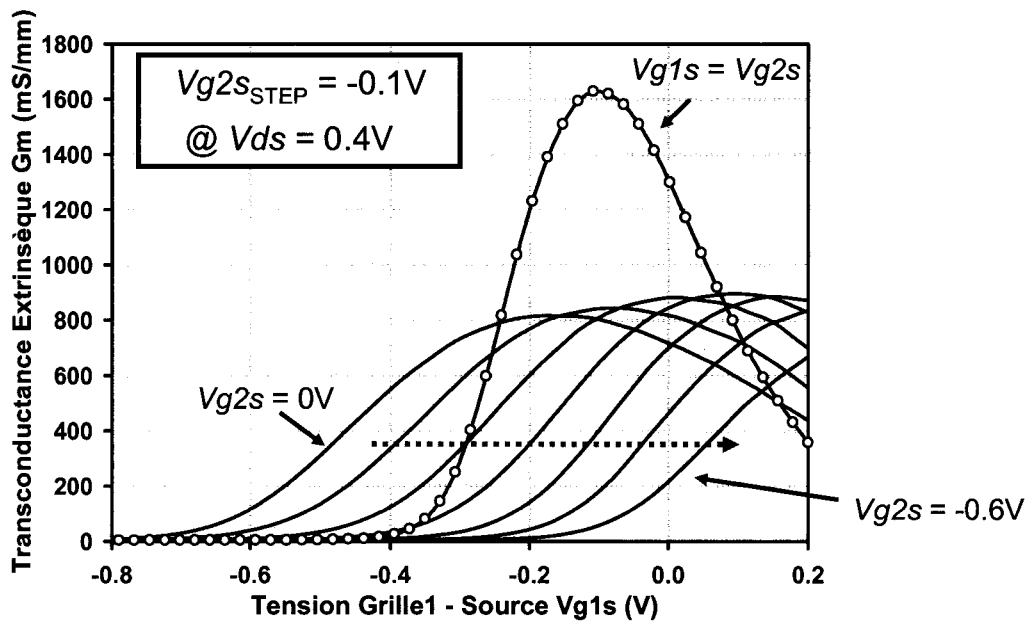


Figure III-38 : Caractéristiques  $G_m(V_{g1s})|_{V_{g2s}}$  des DG-HEMT-DC ( $W=2 \times 50 \mu m$ ) (op : 10958) à  $V_{ds}=0.4V$ .

III-2-b-2) Caractérisation dynamique petit signal

Sur les figures III-39 et III-40, nous représentons respectivement les évolutions du gain en courant  $|H_{21}|^2$  et du gain unilatéral de Mason  $U_g$  en fonction de  $V_{g1s}$  paramétrée en  $V_{g2s}$  à  $V_{ds}=0.4V$  et pour une fréquence de 20GHz. Le signal hyperfréquence est appliqué sur la grille1 tandis qu'une polarisation continue est appliquée sur la grille2.

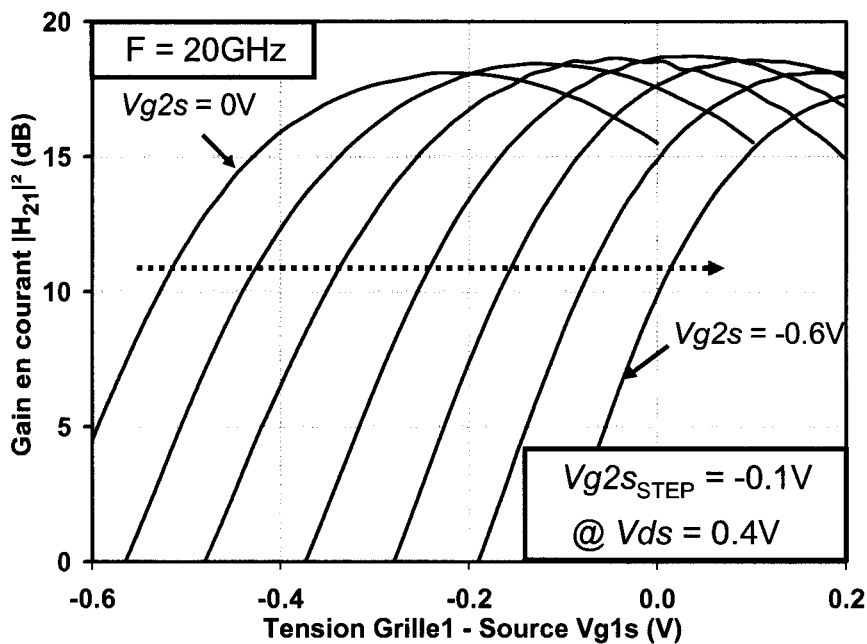


Figure III-39 : Évolution de  $|H_{21}|^2$  en fonction de  $V_{g1s}$  paramétrée en  $V_{g2s}$  pour  $V_{ds}=0.4V$  et à une fréquence de 20GHz.

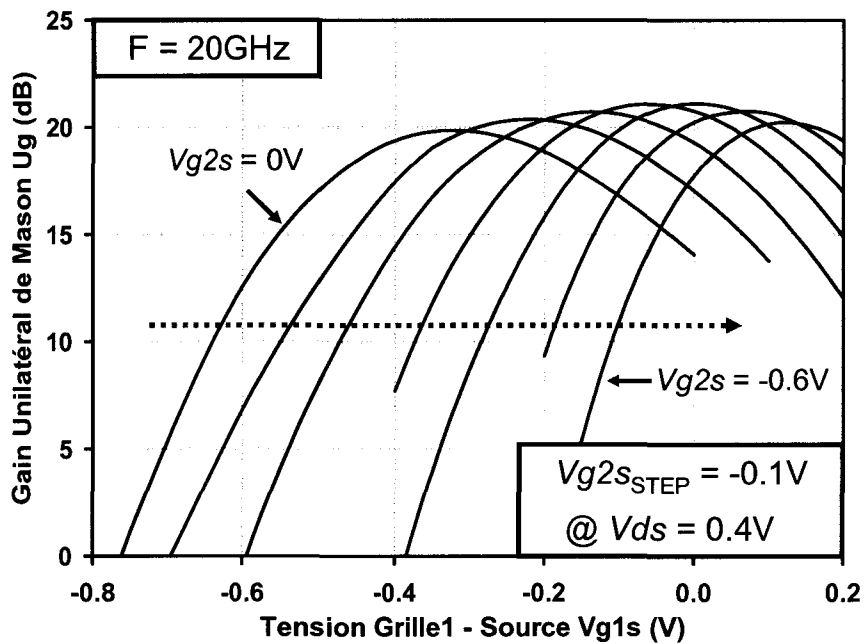


Figure III-40 : Évolution de  $U_g$  en fonction de  $V_{g1s}$  paramétrée en  $V_{g2s}$  pour  $V_{ds}=0.4\text{V}$  et à une fréquence de  $20\text{GHz}$ .

On observe sur ces caractéristiques que la modification du potentiel sur la grille 2 n'influe quasiment pas les valeurs maximales des gains mais décale simplement celles-ci sur l'échelle des tensions  $V_{g1s}$ .

Ainsi, les valeurs de  $f_T$  et  $f_{MAX}$  obtenues après extrapolations des gains  $|H_{21}|^2$  et  $U_g$  sont quasi-constantes dans la plage de variation de  $V_{g2s}$ . En effet, les valeurs de  $f_T$  et  $f_{MAX}$  sont respectivement comprises entre  $160\text{GHz}$  et  $170\text{GHz}$  et entre  $180\text{GHz}$  et  $200\text{GHz}$  lorsque la tension  $V_{g2s}$  évolue de  $0\text{V}$  à  $-0.6\text{V}$ .

Ainsi, les performances fréquentielles obtenues sur les composants DG-HEMT Double-Commande (gains et fréquences de coupure élevés) semblent être très prometteuse pour des applications en mélangeurs.



### III-ETUDE DES VMT

Ce dernier paragraphe concerne l'étude du transistor à modulation de vitesse (*VMT* : *Velocity Modulation Transistor* ou *MMT* : *Mobility Modulation Transistor*). Globalement, le composant VMT peut être considéré comme un cas particulier du composant HEMT Double-Grille puisque **ces deux composants ne diffèrent que par la structure épitaxiale de leur canal**. Dans un premier temps, nous présenterons la structure épitaxiale du canal en exposant les conditions de croissance épitaxiale nécessaires pour l'obtention de canaux de mobilités différentes. Par la suite, nous aborderons les résultats électriques obtenus en régime statique sur nos dispositifs VMT. Ces résultats seront comparés avec des simulations *ATLAS* afin de mettre en évidence la modulation de vitesse.

### III-1-DESCRIPTION DE LA STRUCTURE EPITAXIALE

Nous avons vu, dans le chapitre I, que la transistor VMT doit posséder deux canaux de mobilités différentes afin de fonctionner en modulation de vitesse. L'hétérostructure de la zone active que nous proposons, pour la réalisation des transistors VMT, est représentée sur la figure III-41.

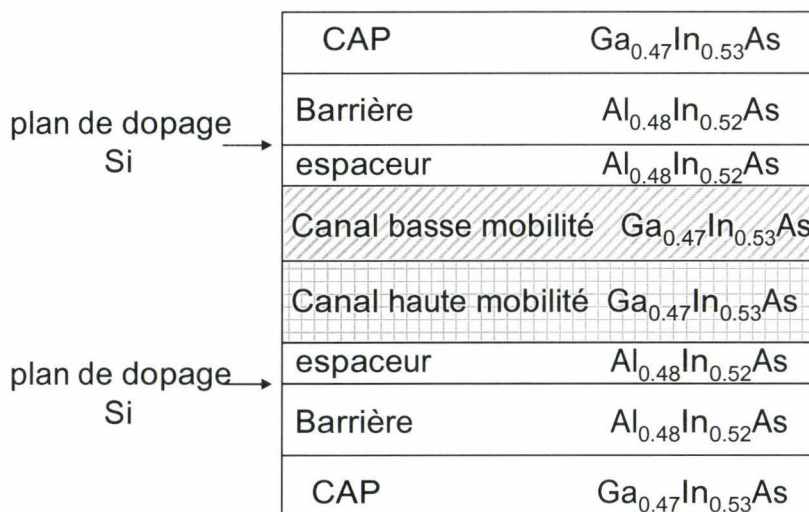


Figure III-41 : Structure de couche de la zone active du transistor à modulation de vitesse.

On constate que la zone active du transistor VMT est semblable à celle du DG-HEMT. Celle-ci est constituée d'un empilement de matériau InAlAs-InGaAs adapté en maille sur substrat InP. La seule différence par rapport à l'hétérostructure du DG-HEMT est l'ajout d'un canal de basse mobilité.

La croissance du canal de haute mobilité correspond tout simplement à la croissance d'une hétérostructure standard ; aucune modification n'a donc été apportée pour la réalisation de ce canal. Ce canal possède donc une mobilité d'environ  $10000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  à 300K.

En revanche, la croissance épitaxiale du canal de basse mobilité a nécessité, au préalable, une étude de croissance.

Afin de caractériser le canal de basse mobilité, nous avons utilisé une hétérostructure de HEMT standard et, en modifiant les conditions de croissance du canal, nous avons pu dégrader la mobilité de celui-ci. La caractérisation par effet Hall à l'aide d'un trèfle de Van der Pauw permet alors de remonter à la mobilité du canal et d'estimer le rapport de mobilité entre le canal de haute mobilité et basse mobilité de nos structures VMT. L'hétérostructure, servant à étudier le canal de basse mobilité, est représentée sur la figure III-42.

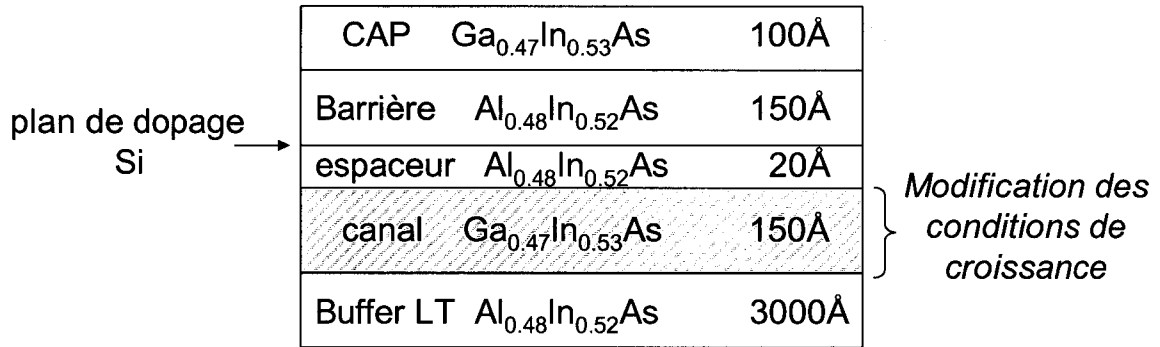


Figure III-42 : Hétérostructure du HEMT standard pour l'étude du canal de basse mobilité. La modification des conditions de croissance du canal permet de dégrader sa mobilité.

Sur la figure III-42, on peut déjà remarquer que l'épaisseur de l'espaceur a été fixée à 20Å. Ainsi, les interactions coulombiennes entre les électrons du canal et les atomes silicium du plan de dopage permettront de diminuer la mobilité du canal. A partir de cette hétérostructure, de nombreux essais ont été réalisés afin de dégrader significativement la mobilité du canal. Nous résumons, dans le tableau III-5, les mesures de Hall à 300K de ces différents essais. Le mode opératoire consiste à mesurer, d'une part, les paramètres de Hall ( $n_H$ ,  $\mu_H$ ,  $R_{carrée}$ ) avec le *cap layer* et, d'autre part, après gravure de celui-ci, par voie humide (solution à base d'acide succinique), une seconde mesure des paramètres de Hall est effectuée.

condition de croissance du canal		$N_H$ (cm <sup>-2</sup> )	$\mu_H$ (cm <sup>2</sup> /V.s)	$R_{carrée}$ (ohm)	
ESSAI n°1	<b>plan(Si): 4.10<sup>12</sup> cm<sup>-2</sup></b> <b>T<sub>croissance</sub> : 380°C</b>	avec cap	3.51	4980	357
		sans cap	1.46	4000	1026
ESSAI n°2	<b>plan(Si): 3.10<sup>12</sup> cm<sup>-2</sup></b> <b>T<sub>croissance</sub> : 500°C</b> <b>canal dopé (Si): 3.10<sup>18</sup> cm<sup>-3</sup></b>	avec cap	9.26	2620	257
		sans cap	6.88	2490	364
ESSAI n°3	<b>plan(Si): 3.10<sup>12</sup> cm<sup>-2</sup></b> <b>T<sub>croissance</sub> : 380°C</b> <b>canal dopé (Si): 3.10<sup>18</sup> cm<sup>-3</sup></b>	avec cap	8.21	2610	291
		sans cap	5.93	2390	439
ESSAI n°4	<b>plan(Si): 4.10<sup>12</sup> cm<sup>-2</sup></b> <b>T<sub>croissance</sub> : 500°C</b> <b>canal dopé (Si): 1.10<sup>18</sup> cm<sup>-3</sup></b> <b>canal dopé (Be): 1.10<sup>18</sup> cm<sup>-3</sup></b>	avec cap	2.5	3175	785
		sans cap	1.33	2600	1800

Tableau III-5 : mesures de HALL à 300K du HEMT standard suivant les conditions de croissance du canal.

Deux paramètres de croissance du canal ont été ajustés afin de réduire la mobilité du canal ; il s'agit de la température de croissance du canal et du dopage du canal.

√ **L'essai n°1** a consisté à réduire la température de croissance du canal de Ga<sub>0.47</sub>In<sub>0.53</sub>As. Il faut noter que la température de croissance optimale d'un canal Ga<sub>0.47</sub>In<sub>0.53</sub>As de bonne qualité (c'est-à-dire de mobilité élevée) d'un transistor HEMT est de l'ordre de 500°C. Ainsi, pour l'essai n°1, la croissance du canal se fait à une température de 380°C, soit une diminution de 120°C par rapport à la température optimale. Cette réduction de la température entraîne alors l'apparition locale de défauts cristallins dans le canal.

D'après le tableau III-5, en supposant que la mesure la mobilité de Hall sans *cap layer* correspond à la mobilité du canal, on constate que la mobilité du canal est seulement de 4000 cm<sup>2</sup>.V<sup>-1</sup>.s<sup>-1</sup>. Cette même structure, réalisée avec une température de croissance optimale du canal, devrait fournir une mobilité d'environ 10000 cm<sup>2</sup>.V<sup>-1</sup>.s<sup>-1</sup>. Ainsi, en utilisant la condition de croissance de l'essai n°1, nous pouvons estimer que le rapport de mobilité  $\frac{\mu_{\text{high}}}{\mu_{\text{low}}}$ , obtenu dans notre structure VMT, peut atteindre environ 2.5 à température ambiante.

√ **Pour l'essai n°2**, nous avons fixé la température de croissance du canal à 500°C mais nous avons dopé la totalité du canal (150Å) d'atome silicium à une concentration de 3.10<sup>18</sup> cm<sup>-3</sup> (dopage N). La mobilité du canal est alors diminuée grâce à l'augmentation des interactions sur impuretés. Dans ce cas, la mobilité du canal est de l'ordre de 2500 cm<sup>2</sup>.V<sup>-1</sup>.s<sup>-1</sup>, soit un rapport  $\frac{\mu_{\text{high}}}{\mu_{\text{low}}} = 4$ . Cependant, compte tenu du niveau de dopage Si du canal, on constate que la densité de Hall  $n_H$  dans le canal est très importante ( $n_H = 6.88.10^{12}$  cm<sup>-2</sup>). Une telle densité d'électrons dans le canal peut nuire au bon fonctionnement du transistor puisque le potentiel de grille à appliquer pour pouvoir commander ces charges sera important.

√ **L'essai n°3** a consisté à regrouper les deux essais précédents. Par conséquent, nous avons, à la fois, diminué la température de croissance et dopé le canal. La mobilité du canal est alors quasiment identique à l'essai n°2. Ainsi, la diminution de la température de croissance du canal ne modifie pas la mobilité du canal lorsque celui-ci est dopé. Il n'est donc pas nécessaire de réduire la température lorsque l'on dope le canal.

Ce résultat est encourageant puisque l'inconvénient majeur d'une diminution de la température pour la croissance du canal de basse mobilité est qu'il faut ensuite remonter en température afin de terminer l'épitaxie des couches suivantes. En d'autre terme, lorsque la température de croissance est réduite à 380°C pour la réalisation du canal de basse mobilité, il faut obligatoirement provoquer un arrêt de croissance afin de remonter et de stabiliser la température pour la réalisation de l'espaceur du plan de dopage et de la barrière. Ces arrêts de croissance sont souvent indésirables puisqu'ils peuvent endommager complètement la structure épitaxiale du composant.

√ l'essai n°4 a consisté à doper et compenser le canal. Les dopants utilisés sont le silicium pour le dopage N et le béryllium pour le dopage P. La concentration de chaque dopant est donc de  $1.10^{18} \text{ cm}^{-3}$ . L'avantage de la compensation du canal est de dégrader la mobilité sans augmenter la concentration des porteurs dans le canal. Ainsi, une mobilité de  $2600 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  a été obtenue tout en ayant une densité d'électrons de  $1.33.10^{12}$  dans le canal.

Les conditions de croissance du canal de basse mobilité de l'essai n°4 seront conservées pour la réalisation de nos transistors VMT.

Finalement, la structure complète de l'épitaxie du transistor VMT est représentée sur la figure III-43.

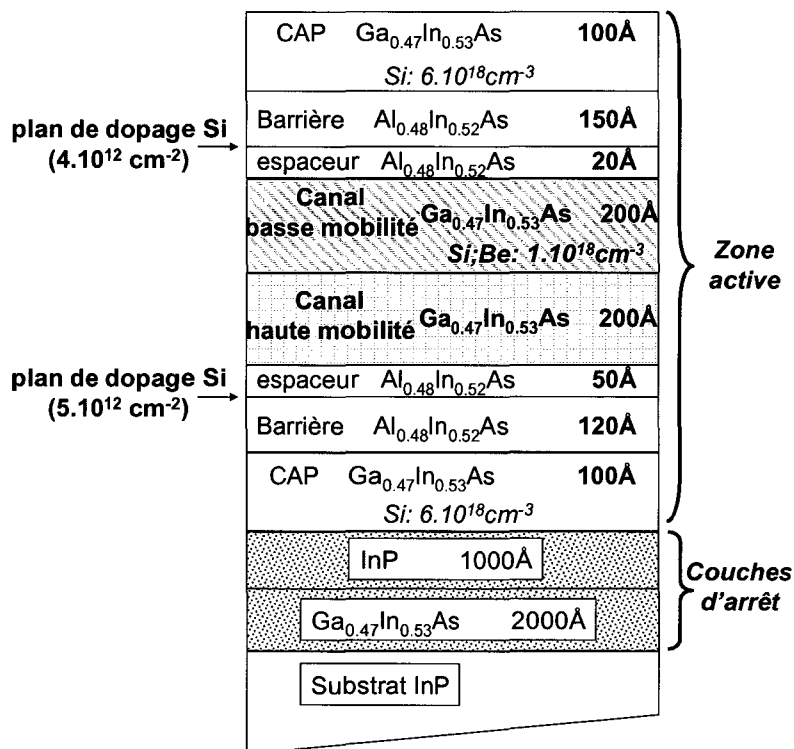


Figure III-43 : Structure épitaxiale des transistors VMT.

La croissance du canal de haute mobilité est réalisée avant celle du canal de basse mobilité afin d'éviter la ségrégation d'atomes silicium ou béryllium vers le canal de haute mobilité. Afin d'aboutir à une structure de bande de conduction quasi-symétrique à l'équilibre, le plan de dopage « côté canal basse mobilité » est de  $4.10^{12} \text{ cm}^{-2}$  au lieu de  $5.10^{12} \text{ cm}^{-2}$  « côté canal haute mobilité » car l'épaisseur de l'espaceur y est plus faible.

Nous pouvons estimer qu'à température ambiante, le canal de haute mobilité possède une mobilité  $\mu_H$  de  $10000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  et que le canal de basse mobilité possède une mobilité  $\mu_L$  de  $2600 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  soit un rapport  $\mu_H / \mu_L$  d'environ 4 à 300K.

Il est à noter qu'une mesure de Hall à 77K de la mobilité du canal de basse mobilité est identique à la mobilité obtenue à 300K, soit  $2600 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  car la mobilité est limitée par les interactions sur impuretés. Ainsi, le rapport de mobilité  $\mu_H / \mu_L$  obtenu à 300K peut être triplé (rapport de 12) en passant à 77K puisque la mobilité du canal haute mobilité peut atteindre  $30000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  à cette température (résultats *IEMN*).

### III-2-SIMULATION & CARACTÉRISATION ÉLECTRIQUE

Dans ce paragraphe, nous montrons les résultats électriques en régime statique obtenus sur nos dispositifs VMT. La figure III-44 illustre la structure du VMT réalisée, et définit les noms des potentiels de grille ( $V_{gTOP}$ ,  $V_{gBOT}$ ). Les résultats des simulations *ATLAS* seront comparés avec les résultats électriques afin de les interpréter.

Pour la simulation, la structure VMT simulée est identique à la structure réelle (mêmes longueurs  $L_g$  et  $L_{sd}$ ).

Les transistors VMT que nous avons fabriqués possèdent des longueurs de grille  $L_g$  de  $1.5 \mu\text{m}$  et des distances source-drain  $L_{sd}$  de  $5 \mu\text{m}$ . Nous avons choisi de travailler avec des longueurs de grille microniques afin de supprimer les effets engendrés par des longueurs de grille sub-microniques tels que la survitesses et surtout les effets de canal court. De plus, en première approximation, les performances fréquentielles du VMT sont indépendantes de la longueur de grille ; seule la distance entre les deux canaux est importante.



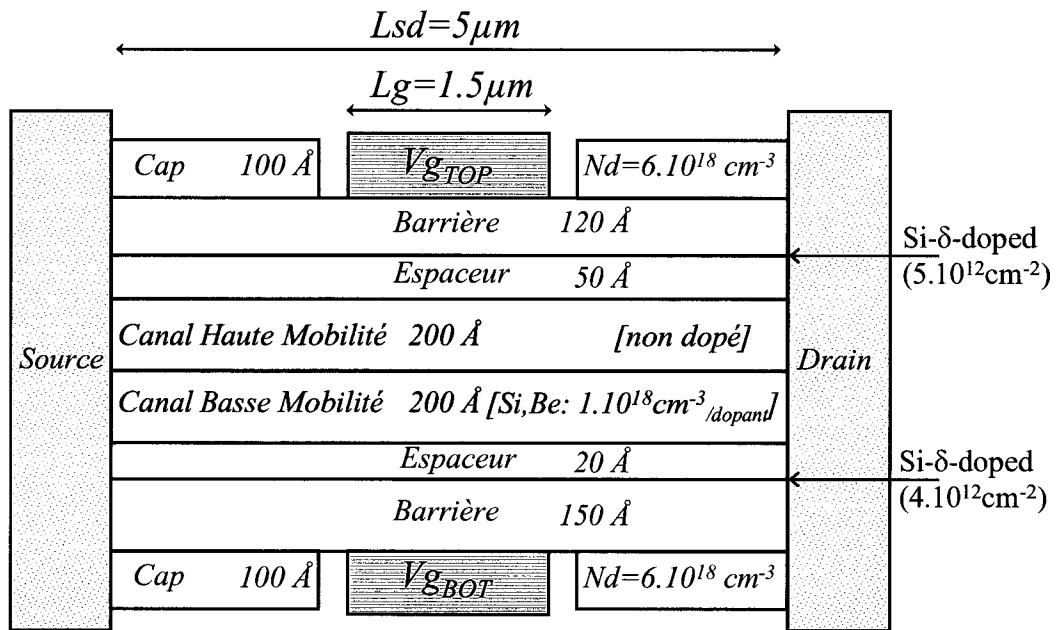


Figure III-44 : Schématisation du transistor à modulation de vitesse.

Notons qu'après la fabrication du composant VMT, le canal de haute mobilité se situe au dessus du canal de basse mobilité, contrairement à ce qui est indiqué sur la figure III-43. Ceci s'explique par la technologie de report utilisée pour la fabrication du composant.

Ainsi, en supposant que les deux puits situés dans chaque canal soient découplés, le potentiel de grille  $V_{g\_TOP}$  commande d'abord le gaz d'électrons de haute mobilité (noté  $n_H$ ) puis le gaz d'électrons de basse mobilité (noté  $n_L$ ). En revanche, le potentiel de grille  $V_{g\_BOT}$  commande le gaz d'électrons de basse mobilité puis le gaz d'électrons de haute mobilité. En d'autre terme, les commandes des gaz d'électrons sont indépendantes. Le découplage des puits dépendra de l'épaisseur totale des canaux.

Afin de travailler en modulation de vitesse, les deux canaux doivent être caractérisés par des propriétés de transport différentes. Les canaux étant constitués du même matériau ( $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ ), les propriétés de transport seront différentes uniquement en régime de mobilité où l'expression de la vitesse des porteurs s'écrit  $v = \mu.E$ . En effet, en régime de saturation ( $v = v_{SAT}$ ), la vitesse de saturation  $v_{SAT}$  étant indépendante du dopage du canal, les deux canaux possèdent les mêmes propriétés de transport. C'est pourquoi, les résultats électriques du VMT présentés dans ce paragraphe seront obtenus à  $V_{ds}$  faible.

Il en est de même pour les résultats de simulation *ATLAS*. Pour ces simulations, la loi de vitesse employée sera de la forme  $v = \mu.E$ .

**II-2-a-Modes de caractérisation du VMT en régime statique**

La caractérisation électrique des VMT se décompose en deux étapes. La première étape consiste à étudier les caractéristiques  $I_d=f(V_{gBOT})|_{V_{gTOP}}$  et  $I_d=f(V_{gTOP})|_{V_{gBOT}}$ . Ce premier mode de fonctionnement correspond au « mode séparé ». La deuxième étape consiste à caractériser le VMT en appliquant des potentiels de grille en opposition de phase ( $V_{gTOP}=V_{gOFF} + \delta Vg$ ;  $V_{gBOT}=V_{gOFF} - \delta Vg$ ).  $V_{gOFF}$  correspond à un potentiel appliqué identiquement sur les deux grilles. Ce potentiel peut être assimilé à un potentiel de référence permettant de remplir plus ou moins les canaux à l'équilibre.  $\delta Vg$  correspond au potentiel permettant de fonctionner en opposition de phase par rapport au potentiel de référence  $V_{gOFF}$ .

Ce second mode correspond, à priori, au mode réel de fonctionnement du VMT et est appelé « mode différentiel ».

**II-2-b-Simulation et caractérisation électrique en mode séparé**

**III-2-b-1)Commande de charge.**

La première étude que nous avons envisagée consiste à déterminer, à l'aide des simulations, les lois de commande de charges en mode séparé, c'est-à-dire  $N_s=f(V_{gBOT})|_{V_{gTOP}}$  et  $N_s=f(V_{gTOP})|_{V_{gBOT}}$ . La structure étant quasi-symétrique, ces lois sont quasi-identiques. Pour ces simulations, nous avons utilisé le module de résolution Schrödinger-Poisson incorporé dans *SILVACO*. La figure III-45 représente l'évolution du profil de bande de conduction du VMT entre les deux grilles, suivant la polarisation de  $V_{gBOT}$ , à  $V_{gTOP}=-0.6V$ .

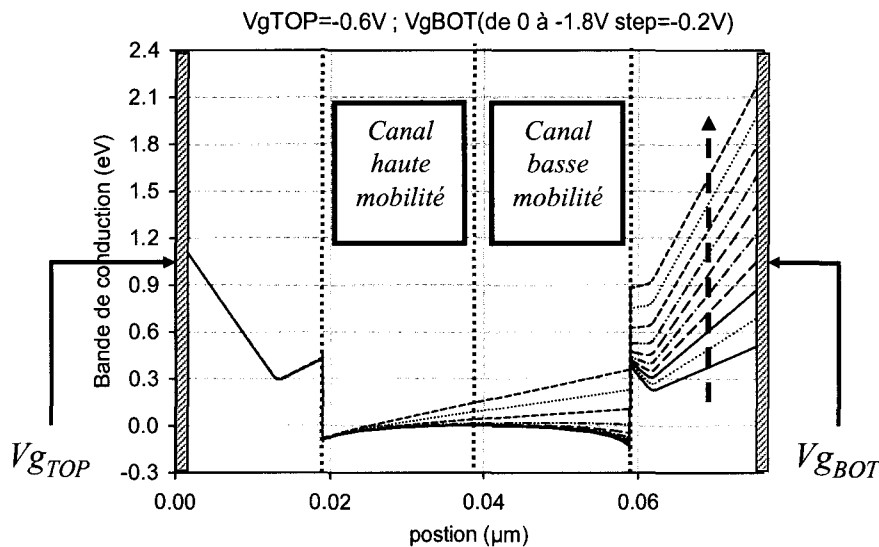


Figure III-45 : profil de bande de conduction du VMT à  $V_{gTOP}=-0.6V$ , suivant la valeur de  $V_{gBOT}$  (résolution Schrödinger-Poisson).



La figure III-46 représente l'évolution de la densité d'électrons du canal de haute mobilité  $n_H$  et du canal de basse mobilité  $n_L$  en fonction de  $V_{g_{BOT}}$  suivant différentes valeurs de  $V_{g_{TOP}}$ .

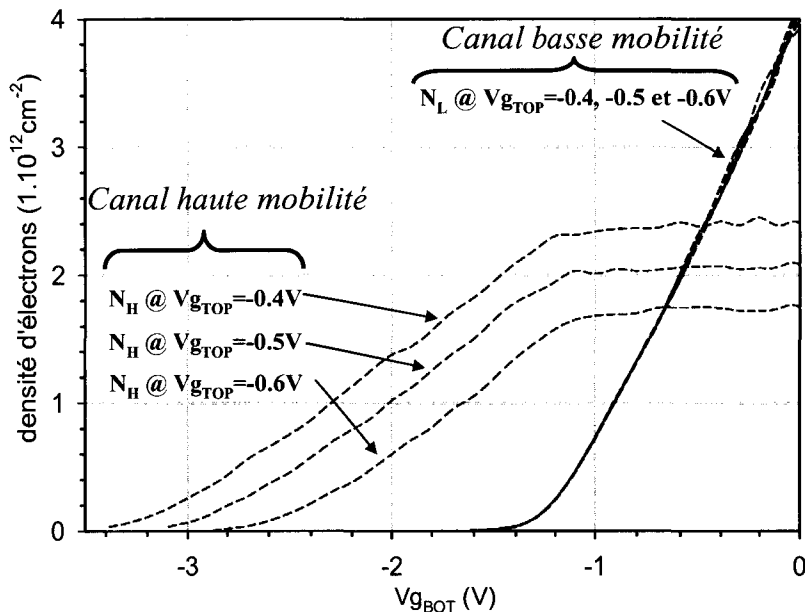


Figure III-46 : densité d'électrons du canal de haute mobilité ( $n_H$ ) et du canal de basse mobilité ( $n_L$ ) en fonction de  $V_{g_{BOT}}$  suivant différentes valeurs de  $V_{g_{TOP}}$ .

D'après la figure III-45, on constate que, pour  $-1.4V < V_{g_{BOT}} < 0V$ , la bande de conduction au niveau de l'interface *barrière-canal de haute mobilité* ne varie pas. Ceci implique que la densité d'électrons dans le canal de haute mobilité ( $n_H$ ) est constante. En revanche, la bande de conduction au niveau de l'interface *barrière-canal de basse mobilité* évolue très fortement. Les deux puits semblent donc découplés. Ceci est confirmé en visualisant la figure III-46. On observe clairement que la polarisation  $V_{g_{BOT}}$  permet de dépeupler le canal de basse mobilité sans modifier la densité d'électrons  $n_H$ . La déplétion du canal de haute mobilité par la polarisation  $V_{g_{BOT}}$  s'effectue à partir du moment où le canal de basse mobilité est dépeuplé.

De plus, on observe que la commande de  $n_H$  par  $V_{g_{BOT}}$  est moins efficace que la commande de  $n_L$  par  $V_{g_{BOT}}$ . Ceci s'explique par le fait que, le gaz d'électrons  $n_H$  se situe à une distance plus importante de la grille *BOT* que le gaz d'électrons  $n_L$ .

Finalement, le choix d'une épaisseur totale de canal de  $400\text{\AA}$  permet de découpler les deux gaz d'électrons

III-2-b-2) Caractéristique statique  $I(V)$  en mode séparé.

La figure III-47 représente les caractéristiques de sortie mesurées en mode séparé du transistor VMT de longueur de grille  $L_g=1.5\mu\text{m}$  et de développement total  $W=150\mu\text{m}$ . Les figures III-47-a et III-47-b correspondent respectivement à  $I_d=f(V_{g_{TOP}})|_{V_{g_{BOT}}}$  et à  $I_d=f(V_{g_{BOT}})|_{V_{g_{TOP}}}$ .

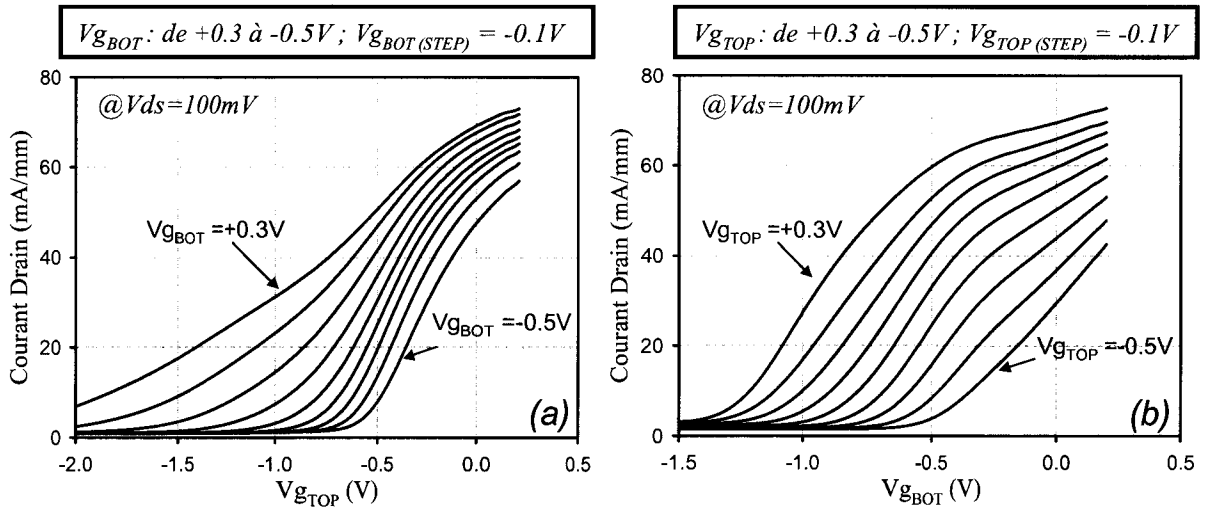


Figure III-47 : Caractéristiques  $I_d=f(V_{g_{TOP}})|_{V_{g_{BOT}}}$  (a) et à  $I_d=f(V_{g_{BOT}})|_{V_{g_{TOP}}}$  (b) du transistor VMT ( $L_g=1.5\mu\text{m}$ ,  $W=150\mu\text{m}$ ) à  $V_{ds}=0.1\text{V}$ .

Ces mêmes caractéristiques ont été obtenues en simulation *ALTAS*. Celles-ci sont représentées sur la figure III-48. Pour la simulation, nous avons considéré que les canaux de haute et de basse mobilité possédaient respectivement une mobilité  $\mu_H$  de  $10000\text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}$  et une mobilité  $\mu_L$  de  $2500\text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}$ ; soient les valeurs de mobilités attendues dans notre structure épitaxiale.

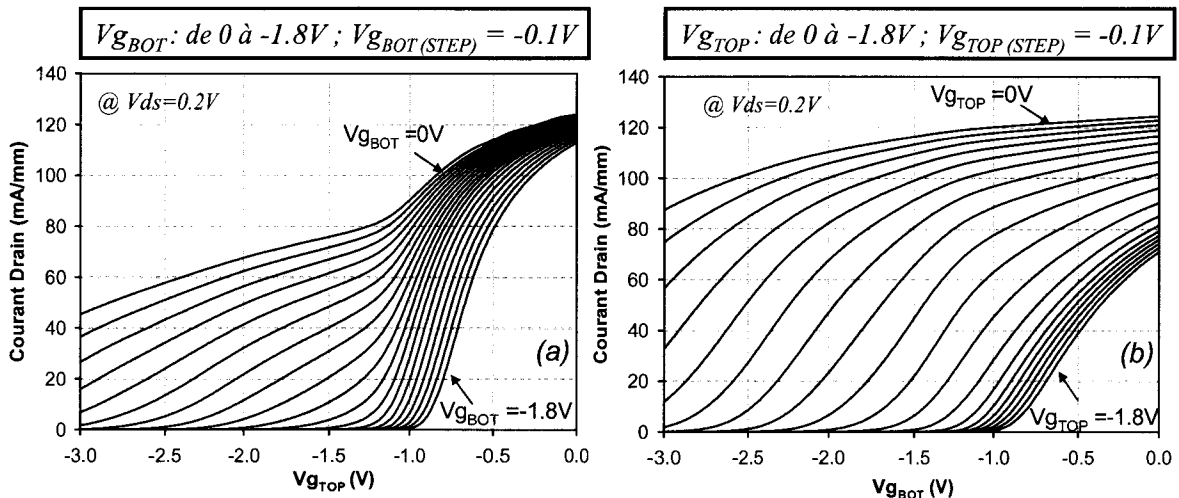


Figure III-48 : Simulation des caractéristiques  $I_d=f(V_{g_{TOP}})|_{V_{g_{BOT}}}$  (a) et à  $I_d=f(V_{g_{BOT}})|_{V_{g_{TOP}}}$  (b) du transistor VMT ( $L_g=1.5\mu\text{m}$ ,  $\mu_H=10000\text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}$ ,  $\mu_L=2500\text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}$ ) à  $V_{ds}=0.2\text{V}$ .

On peut déjà observer que l'évolution des caractéristiques réelles est comparable avec les résultats de la simulation.

Afin d'explicitier ces courbes, prenons les figures III-47-a et III-47-b :

Étant donné le découplage des deux puits et la faible valeur de  $V_{ds}$ , le courant drain s'exprime par la relation :

$$I_d = q.W.(n_H.\mu_H + n_L.\mu_L).E \quad (5)$$

$n_H$  et  $\mu_H$  sont respectivement la densité d'électrons et la mobilité du canal de haute mobilité ;  $n_L$  et  $\mu_L$  sont respectivement la densité d'électrons et la mobilité du canal de basse mobilité et  $E$  le champ électrique longitudinal.

Par ailleurs,  $V_{ds}$  étant faible par rapport à  $V_{gs}$ , le champ  $E$  peut être considéré comme constant sous la grille et sa valeur est quasiment égale à  $\frac{V_{ds}}{L_{SD}}$ .

À  $V_{ds}=\text{constante}$ , le courant  $I_d$  est alors proportionnel à la somme  $n_H.\mu_H + n_L.\mu_L$ . Ainsi, l'évolution de la somme  $n_H.\mu_H + n_L.\mu_L$ , avec les potentiels  $V_{gTOP}$  et  $V_{gBOT}$ , permet d'expliquer ces courbes.

√ En observant la figure III-47-a et en fixant  $V_{gTOP}=0V$ , on constate que le courant  $I_d$  diminue faiblement avec la tension  $V_{gBOT}$ . En revanche, sur la figure III-47-b, lorsque  $V_{gBOT}$  est fixé à  $0V$ , le courant  $I_d$  diminue plus rapidement avec la tension  $V_{gTOP}$ .

Ceci est attribué à la supériorité du produit  $n_H.\mu_H$  par rapport au produit  $n_L.\mu_L$  sur le courant drain compte tenu de la différence de mobilité. En effet, sur la figure III-47-a, lorsque  $V_{gTOP}=0V$ , le canal de haute mobilité est « ouvert » ( $n_H$  important). La diminution de  $V_{gBOT}$  entraîne alors une diminution de  $n_L$  mais pas de  $n_H$ . Or, la contribution du produit  $n_H.\mu_H$  étant plus important que le produit  $n_L.\mu_L$ , le courant drain varie faiblement.

En revanche, sur la figure III-47-b, le cas contraire se produit puisque la polarisation  $V_{gTOP}$  permet de diminuer  $n_H$ . La contribution du produit  $n_H.\mu_H$  étant plus important que le produit  $n_L.\mu_L$ , le courant drain varie plus rapidement.

Ce comportement est aussi observable sur les courbes de simulation (figure III-48).

√ De plus, sur les figures III-47-a et III-47-b, on constate aussi une « cassure » sur les variations du courant  $I_d$  suivant la polarisation de  $V_{g_{TOP}}$  (pour la figure III-47-a) ou de  $V_{g_{BOT}}$  (pour la figure III-47-b) :

- Sur la figure III-47-a, pour  $V_{g_{BOT}}$  fixé à +0.3V (canal basse mobilité « ouvert »), on constate que, pour  $V_{g_{TOP}} > -1V$ , le courant  $I_d$  diminue rapidement. En revanche, lorsque  $V_{g_{TOP}} < -1V$ ,  $I_d$  diminue moins rapidement.

- Sur la figure III-47-b, on observe le phénomène inverse : lorsque le canal haute mobilité est « ouvert », le courant  $I_d$  diminue faiblement pour  $V_{g_{BOT}} > -0.5V$  puis diminue rapidement pour  $V_{g_{BOT}} < -0.5V$ .

Ce phénomène s'explique aussi par la supériorité du produit  $n_H \cdot \mu_H$  par rapport au produit  $n_L \cdot \mu_L$  sur le courant drain. Si nous reprenons la figure III-47-a, le potentiel  $V_{g_{TOP}}$  va d'abord réduire la densité  $n_H$  puis, une fois que  $n_H \rightarrow 0$ ,  $V_{g_{TOP}}$  va réduire la densité  $n_L$ . Or, lorsque les deux gaz d'électrons subsistent, le produit  $n_H \cdot \mu_H$  contribuant fortement à la valeur de  $I_d$ , le courant drain diminue d'abord rapidement (car  $n_H$  diminue en premier). Puis, quand  $n_H \rightarrow 0$ , le gaz d'électrons  $n_L$  se situant à une distance plus importante de la grille *TOP*, la commande de  $n_L$  par  $V_{g_{TOP}}$  est moins efficace. Les variations de  $I_d$  sont alors plus faibles.

En revanche, sur la figure III-47-b, le potentiel  $V_{g_{BOT}}$  va d'abord réduire la densité  $n_L$  puis, une fois que  $n_L \rightarrow 0$ ,  $V_{g_{BOT}}$  va réduire la densité  $n_H$ . Or, lorsque les deux gaz d'électrons subsistent, le produit  $n_H \cdot \mu_H$  contribuant fortement à la valeur de  $I_d$  par rapport au produit  $n_L \cdot \mu_L$ , le courant drain diminue d'abord faiblement. Puis, une fois que  $n_L \rightarrow 0$ , même si le gaz d'électrons  $n_H$  se situe à une distance plus importante de la grille *BOT*, les variations de  $I_d$  sont plus importantes.

Finalement, ces caractérisations permettent d'affirmer que la structure épitaxiale du composant VMT que nous avons réalisé possède effectivement deux canaux de mobilités différentes étant donné la similitude entre les caractéristiques réelles et simulées.

Il est alors envisageable d'utiliser cette structure en fonctionnement « VMT ».

### *II-2-c-Simulation et caractérisation électrique en mode différentiel*

Afin que le transistor fonctionne en modulation de vitesse c'est-à-dire que le courant soit modulé par la vitesse des porteurs tout en ayant une densité de charge constante, il est indispensable d'appliquer des potentiels de grille en opposition de phase. Nous avons ainsi simulé ce mode de fonctionnement avec *ATLAS*. Pour cela, il nous faut tout d'abord définir les notations utilisées pour définir les potentiels de grille pour le fonctionnement en mode différentiel. Il est à noter que le mode différentiel que nous allons décrire reste un mode en régime statique. Nous utilisons le terme « opposition de phase » compte tenu du signe des potentiels et non de leur phase.

#### *III-2-c-1) Notation et définition des potentiels en mode différentiel.*

Pour définir ces différentes notations, nous représentons, sur la figure III-49, différentes structures de bande de conduction du VMT selon la polarisation en mode différentiel. Nous supposons que la structure VMT est parfaitement symétrique (commandes de charge  $n_H=f(V_{gTOP})$  et  $n_L=f(V_{gBOT})$  identiques).

- À partir de la figure III-49-a, nous définissons le potentiel d'offset  $V_{gOFF}$ . Ce potentiel est appliqué sur chaque électrode de grille. Il fixe en quelque sorte le point de fonctionnement du composant en mode différentiel (structure en pseudo équilibre). Le potentiel  $V_{gOFF}$  permet d'ajuster la densité totale d'électrons ( $n_T = n_H + n_L$ ) à l'intérieur du canal. Plus  $V_{gOFF}$  est négatif, plus  $n_T$  diminue.

De même, nous définissons la tension différentielle  $V_{gDIFF}$  correspondant à la différence de potentiel entre la grille *TOP* ( $V_{gTOP}$ ) et la grille *BOT* ( $V_{gBOT}$ ). Sur la figure III-49-a, étant donné que  $V_{gTOP}=V_{gBOT}=V_{gOFF}$ , nous avons  $V_{gDIFF} = 0V$ .

La structure étant parfaitement symétrique, nous avons aussi la relation  $n_H = n_L$ .

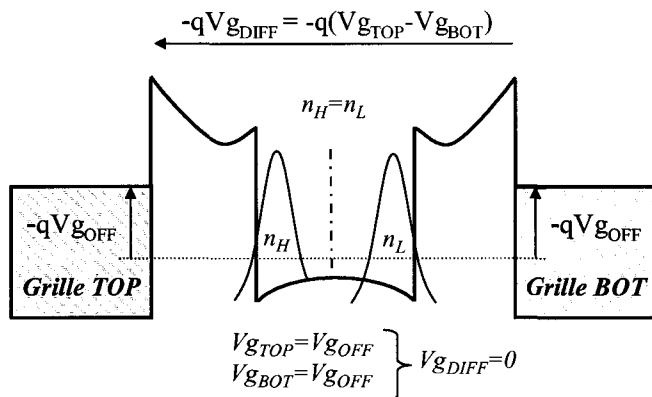
- **À partir du point fonctionnement défini par  $V_{gOFF}$** , le transistor VMT fonctionne en mode différentiel lorsque que nous appliquons simultanément une tension continue  $\delta Vg$  sur la grille *TOP* et une tension continue  $-\delta Vg$  sur la grille *BOT*. Les potentiels sur chaque grille s'écrivent alors :

$$V_{gTOP} = \delta Vg + V_{gOFF} \quad \text{et} \quad V_{gBOT} = -\delta Vg + V_{gOFF}$$

Structure en pseudo équilibre:

$$V_{gTOP} = V_{gBOT} = V_{gOFF}$$

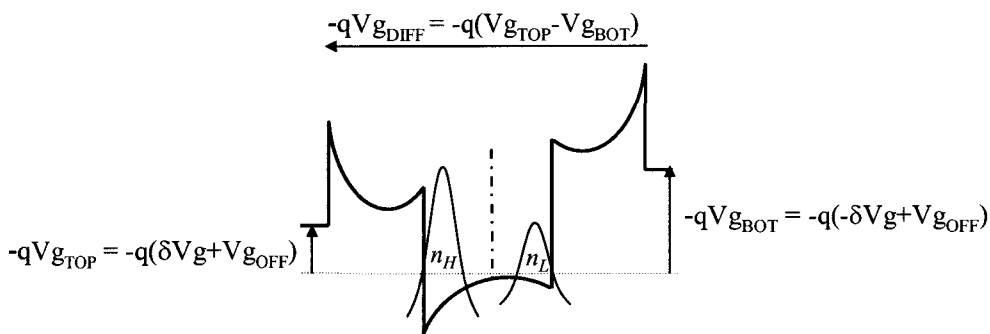
$$V_{gDIFF} = 0$$



(a)

Si  $\delta V_g > 0$ :  $V_{gDIFF} = 2 \cdot \delta V_g > 0$

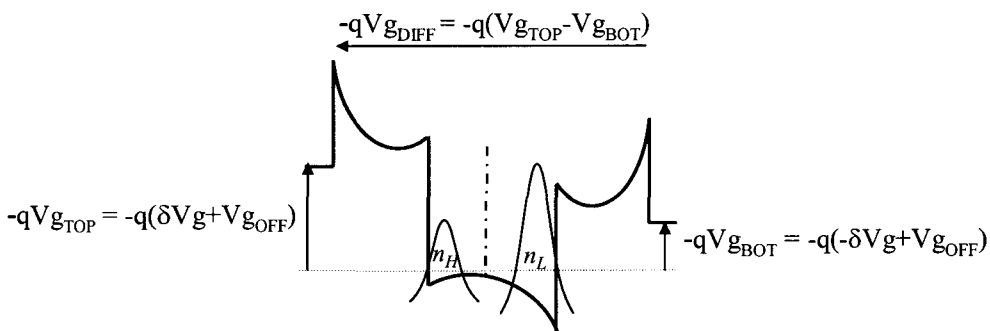
$$n_H > n_L$$



(b)

Si  $\delta V_g < 0$ :  $V_{gDIFF} = 2 \cdot \delta V_g < 0$

$$n_H < n_L$$



(c)

Figure III-49 : Évolution de la structure de bande de conduction du VMT en mode différentiel.

(a) structure en pseudo équilibre  $V_{gDIFF} = 0$ , (b) structure de bande lorsque  $V_{gDIFF} > 0$ , (c) structure de bande lorsque  $V_{gDIFF} < 0$ .

La tension  $V_{g_{DIFF}}$  s'écrit :

$$V_{g_{DIFF}} = 2.\delta V_g$$

La structure étant symétrique et les deux puits étant découplés, l'accroissement  $\delta V_g$  sur la grille *TOP* (par rapport à  $V_{g_{OFF}}$ ) entraîne un enrichissement d'électrons de  $\Delta n_H$  dans le canal de haute mobilité. Afin de travailler à charge constante dans le canal, il faut donc réduire de  $-\delta V_g$  le potentiel sur la grille *BOT* pour diminuer de  $\Delta n_L$  la densité d'électrons du canal de basse mobilité. Les commandes de charge des puits étant identiques, si la valeur  $|\delta V_g|$  est identique sur les deux grilles,  $|\delta n_H|$  et  $|\delta n_L|$  sont égales. La densité totale d'électrons  $n_T$  reste donc constante ; le transistor fonctionne alors en modulation de vitesse.

Ainsi, si  $\delta V_g > 0$ ,  $V_{g_{DIFF}} > 0$ , la densité d'électrons  $n_H$  est alors supérieure à la densité d'électrons  $n_L$ . On a donc  $\Delta n = n_H - n_L > 0$  (figure III-49-b).

En revanche, si  $\delta V_g < 0$ ,  $V_{g_{DIFF}} < 0$ , la densité d'électrons  $n_H$  est alors inférieure à la densité d'électrons  $n_L$ . On a donc  $\Delta n = n_H - n_L < 0$  (figure III-49-c).

En utilisant, la notation  $\Delta n = n_H - n_L$  et  $n_T = n_H + n_L$ , l'équation (5) se réécrit :

$$I_d = q \cdot \frac{W}{2} \cdot [n_T \cdot (\mu_H + \mu_L) + \Delta n \cdot (\mu_H - \mu_L)] E \quad (6)$$

$V_{g_{OFF}}$  permet de moduler  $n_T$  et  $V_{g_{DIFF}}$  permet de moduler  $\Delta n$ .

### **III-2-c-2) Caractéristique statique $I(V)$ en mode différentiel**

#### **→ Simulation en mode différentiel**

À partir des définitions de  $V_{g_{DIFF}}$  et  $V_{g_{OFF}}$  décrites précédemment, nous avons simulé la structure VMT (figure III-44) en mode différentiel. Les caractéristiques  $I_d = f(V_{g_{DIFF}})|_{V_{g_{OFF}}}$  à  $V_{ds} = 0.2V$  sont représentées sur la figure III-50.

Afin de vérifier le fonctionnement en modulation de vitesse du transistor, nous avons aussi déterminé l'évolution de la densité totale d'électrons du canal  $n_T$  et la variation de densité d'électrons entre les deux canaux  $\Delta n$  en fonction de  $V_{g_{DIFF}}$  pour différentes valeurs de  $V_{g_{OFF}}$ . Ces courbes sont représentées sur la figure III-51.

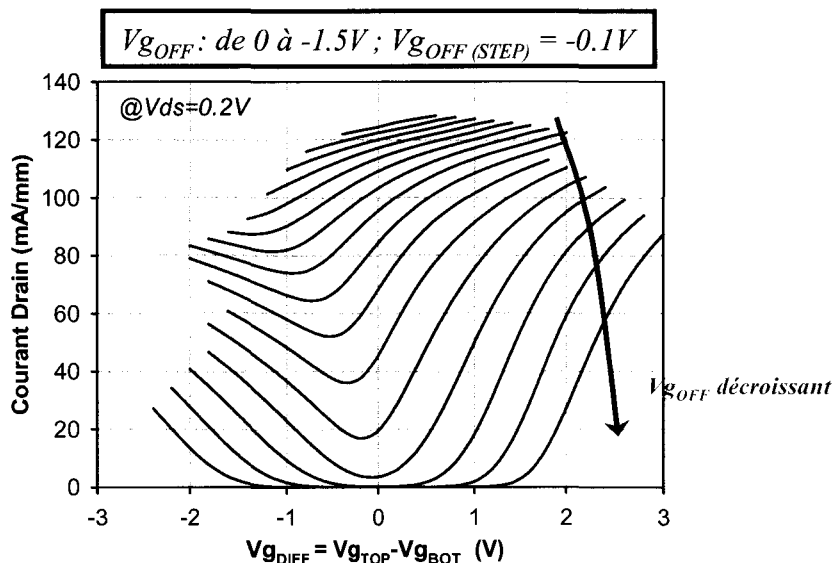


Figure III-50 : Simulation des caractéristiques  $I_d=f(V_{gDIFF})|_{V_{gOFF}}$  du transistor VMT ( $L_g=1.5\mu\text{m}$ ,  $\mu_H=10000\text{ cm}^2.V^{-1}.s^{-1}$ ,  $\mu_L=2500\text{ cm}^2.V^{-1}.s^{-1}$ ) à  $V_{ds}=0.2V$ .

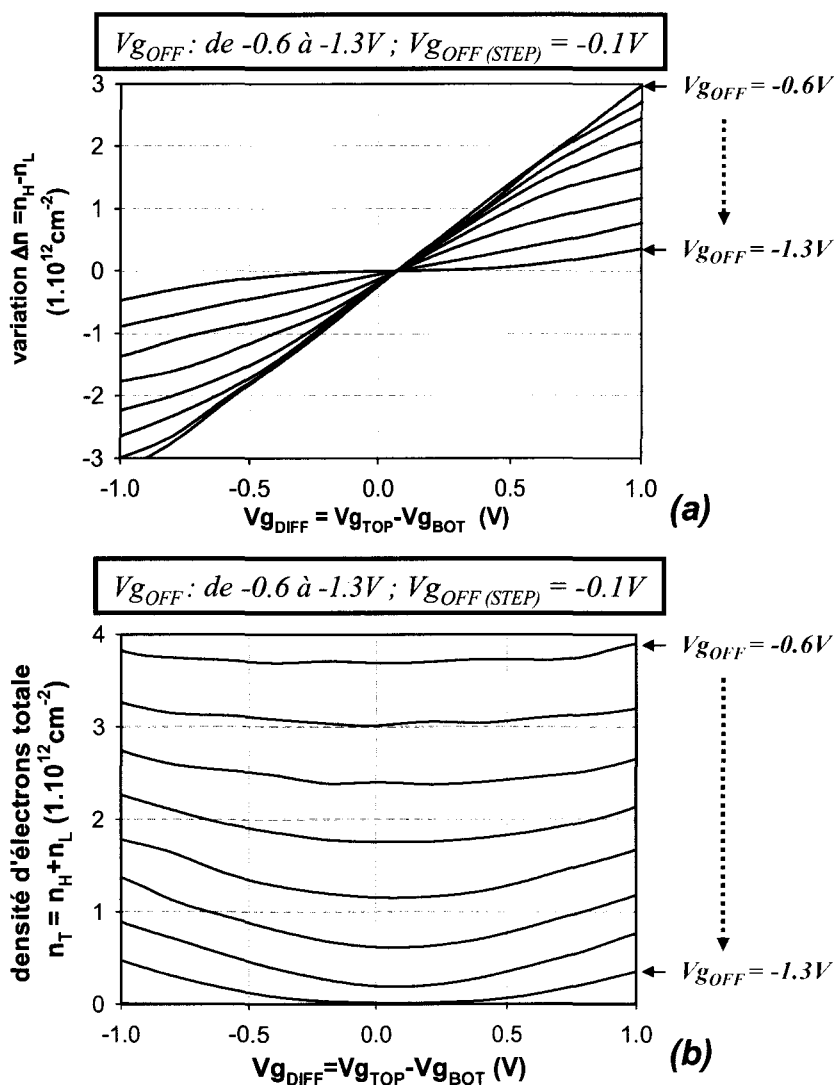


Figure III-51 : évolution de  $\Delta n$  (a) et de  $n_T$  (b) en fonction de  $V_{gDIFF}$  paramétrée en  $V_{gOFF}$ .



À partir de ces caractéristiques, plusieurs remarques peuvent être formulées :

- D'après la figure III-50, en fixant  $V_{g_{DIFF}} = 0V$  (structure en pseudo-équilibre), on constate que le courant drain sature lorsque  $V_{g_{OFF}}$  augmente. En effet, pour  $V_{g_{DIFF}}=0V$ , la caractéristique  $I_d=f(V_{g_{OFF}})$  est l'image de la commande de charge  $n_T=f(V_{g_{OFF}})$ . C'est pourquoi, lorsque  $V_{g_{OFF}}$  devient trop positif,  $n_T$  sature ; en d'autre terme le canal est complètement rempli.

- D'après la figure III-51-a, on observe qu'à  $V_{g_{DIFF}}=0$   $\Delta n < 0$  quelle que soit  $V_{g_{OFF}}$ . Ceci est attribué à la légère dissymétrie de la structure VMT. En effet, la structure possède un plan de dopage à  $4.10^{12} \text{ cm}^{-2}$  et un espaceur de  $20\text{Å}$  « côté canal basse mobilité ». En revanche, « côté canal haute mobilité », l'espaceur est de  $50\text{Å}$  et le plan de dopage est de  $5.10^{12} \text{ cm}^{-2}$ . Ainsi lorsque  $V_{g_{TOP}}=V_{g_{BOT}}$  ( $V_{g_{DIFF}}=0V$ ), le canal de basse mobilité possède une densité d'électrons plus importante que le canal de haute mobilité. Par conséquent,  $n_L > n_H$  pour  $V_{g_{DIFF}}=0V$ .

Par ailleurs, on constate que l'évolution de  $\Delta n$  en fonction de  $V_{g_{DIFF}}$  est linéaire pour des valeurs  $V_{g_{DIFF}}$  comprises entre  $-0.5V$  et  $+0.5V$ . Cependant, pour des valeurs de  $V_{g_{OFF}} < -1.3V$ , la structure étant pincée ( $n_T=0$ ) dans son état de pseudo-équilibre ( $V_{g_{DIFF}}=0$ ), la caractéristique  $\Delta n=f(V_{g_{DIFF}})$  n'est plus linéaire

- D'après la figure III-51-b, si  $V_{g_{OFF}} > -0.7V$ , nous obtenons une densité totale d'électrons  $n_T$  quasi-constante quel que soit  $V_{g_{DIFF}}$  compris entre  $-1V$  et  $+1V$  ; le transistor fonctionne donc correctement en modulation de vitesse. Cependant, lorsque  $V_{g_{OFF}}$  diminue, on constate que la plage de variation de  $V_{g_{DIFF}}$  dans laquelle  $n_T=constante$  se restreint. Au-delà, de cette plage,  $n_T$  n'étant plus constant, le transistor fonctionne comme un transistor HEMT standard.

De plus, dans cette plage de tension où  $n_T=constante$ , on peut observer que la modulation du courant drain est effective (figure III-50). Nous obtenons ainsi une modulation du courant uniquement par la modulation de la vitesse des porteurs.

• D'après l'équation (6), on remarque que, si  $n_T = \text{constante}$  alors  $I_d$  augmente quand  $\Delta n$  augmente et inversement. La caractéristique  $I_d = f(V_{g_{DIFF}})$  de la figure III-50 suit donc l'évolution de  $\Delta n = f(V_{g_{DIFF}})$  lorsque  $V_{g_{OFF}} = -0.6V$ .

Finalement, on constate que le transistor fonctionne sur le principe de la modulation de vitesse dans une certaine gamme de tension  $V_{g_{DIFF}}$ . Cette gamme de tension dépendant fortement de la valeur de  $V_{g_{OFF}}$ .

**→ caractérisation électrique en mode différentiel**

Afin de pouvoir commander le transistor VMT dans son mode différentiel décrit précédemment, nous avons adjoint un montage extérieur sur le banc de mesure standard. En effet, pour la caractérisation statique du composant, il est indispensable d'appliquer simultanément une tension  $\delta V_g$  et  $-\delta V_g$  sur les électrodes de grille. Le banc de mesure est représenté sur la figure III-52.

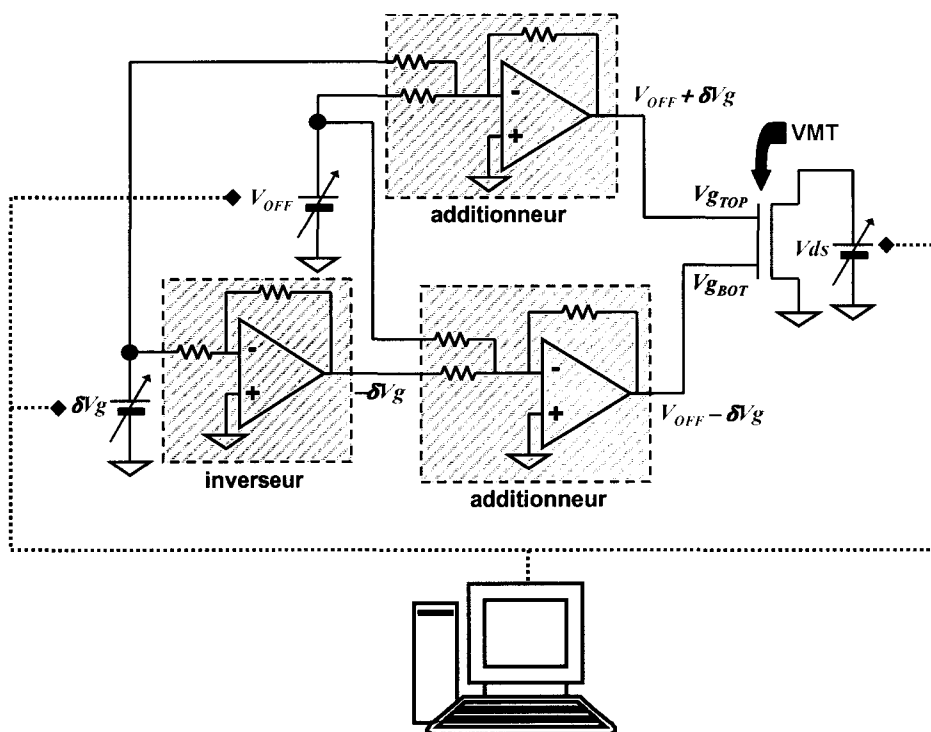


Figure III-52 : Synoptique du banc de mesure différentiel statique pour la caractérisation électrique du VMT.

Ce banc possède 3 alimentations continues connectées à un ordinateur via une interface GPIB et pilotées par le logiciel ICCAP (*Agilent Technologies*). Ces alimentations commandent la tension  $V_{ds}$ , la tension  $V_{gOFF}$  et la tension  $\delta V_g$ . À partir de ces alimentations, nous avons ajouté 3 montages *A.L.I* (Amplificateur Linéaire Intégré). Ces *A.L.I* sont de type TL081 compte tenu de leur *slew rate* élevé ( $13V/\mu s$ ). Il est alors possible de contrôler les grilles en opposition de phase. Ainsi à chaque instant, les potentiels de grille sont les suivant :

$$V_{gTOP} = V_{gOFF} + \delta V_g$$

$$V_{gBOT} = V_{gOFF} - \delta V_g$$

D'où 
$$V_{gDIFF} = 2 \cdot \delta V_g$$

Les caractéristiques  $I_d = f(V_{gDIFF})|_{V_{gOFF}}$  à  $V_{ds} = 0.1V$  sont représentées sur la figure III-53.

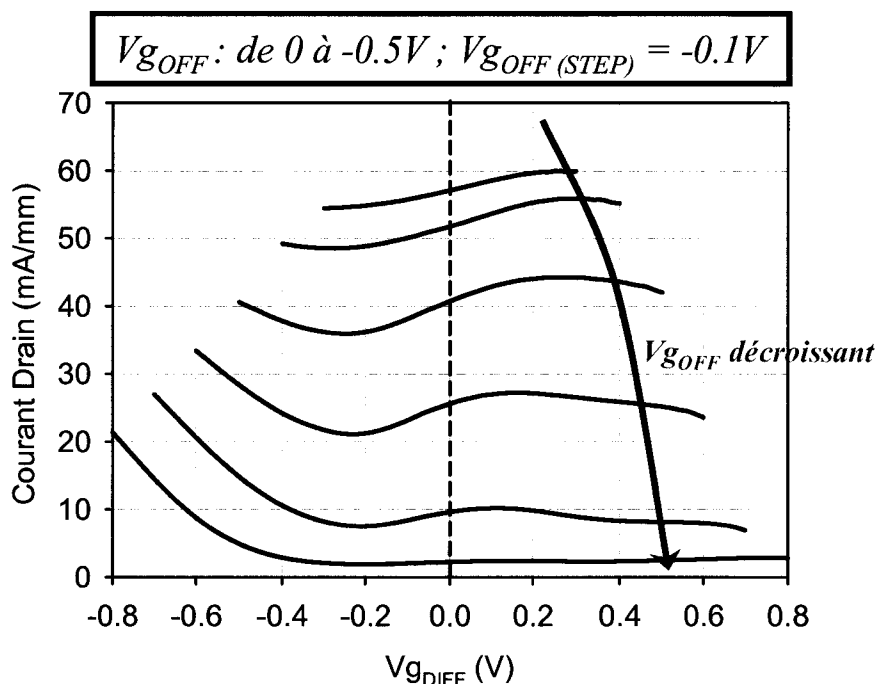


Figure III-53 : Caractéristiques réelles  $I_d = f(V_{gDIFF})|_{V_{gOFF}}$  du transistor VMT ( $L_g = 1.5\mu m$ ,  $W = 150\mu m$ ) à  $V_{ds} = 0.1V$ .

On observe clairement la concordance entre les caractéristiques réelles et simulées. En revanche, les valeurs de  $V_{gDIFF}$  et  $V_{gOFF}$  ne correspondent pas aux valeurs obtenues en simulations. De plus, on constate que le transistor est complètement pincé à  $V_{gOFF} = -0.5V$  contrairement à la valeur de  $V_{gOFF} = -1.3V$  obtenue en simulation. Ces différences peuvent être attribuées au modèle de mobilité choisi ainsi qu'aux valeurs de mobilité retenues pour la

simulation ou par la technologie de fabrication du VMT (dissymétrie du composant, potentiel de surface différent au niveau des recess de grille,...).

Malgré la similitude entre les caractéristiques réelles et simulées, il nous est incapable, à ce jour, d'affirmer le fonctionnement du transistor en modulation de vitesse à partir des mesures  $I(V)$  statiques puisqu'il faudrait déterminer l'évolution de la densité totale d'électrons dans le canal en fonction de la tension  $V_{g_{DIFF}}$ .

## IV-CONCLUSION

Ce chapitre a traité de l'étude et de la caractérisation électrique de transistors DG-HEMT et VMT de la filière AlInAs/GaInAs adapté en maille sur substrat InP.

Ce chapitre s'est décomposé en deux parties :

- Dans un première partie, nous avons étudié les transistors DG-HEMT selon deux modes de fonctionnement : le mode simple-commande (DG-HEMT-SC) et le mode double-commande (DG-HEMT-DC).

D'abord, nous avons décrit la structure épitaxiale du transistor DG-HEMT. Nous avons vu que la zone active de ces composants correspondait, tout simplement, à une double hétérostructure de HEMT ; chaque hétérostructure étant symétrique par rapport au canal.

Par la suite, nous avons déterminé la loi de commande de charge  $N_s=f(V_g)$  en mode simple-commande du DG-HEMT que nous avons comparée avec celle du HEMT de référence. Les résultats ont montré que la commande était plus efficace pour le DG-HEMT compte tenu de l'ajout de la seconde grille. De plus, au même potentiel  $V_g$ , le DG-HEMT-SC possède une densité d'électrons dans le canal deux fois plus importante que celle du HEMT.

Nous avons ensuite caractérisé électriquement 3 configurations distinctes de transistor DG-HEMT-SC : un transistor ayant deux grilles désalignées de 100nm (*configuration n°1*), un transistor ayant deux grilles alignées mais de longueurs différentes (100nm et 280nm) (*configuration n°2*) et un transistor ayant deux grilles alignées de 100nm (*configuration n°3*). Dans chaque configuration, nous avons obtenu des résistances de contact nettement plus faibles que celle du HEMT (réduction de 60%). En ce qui concerne la *configuration n°1*, nous avons constaté que le désalignement des grilles entraînait aucune amélioration des performances statiques et dynamiques par rapport au HEMT. En revanche, pour la *configuration n°2*, un transconductance extrinsèque de 2650mS/mm et un rapport  $(g_m/g_d)_{\text{intrinsèque}}$  de 100 ont été obtenus. Ces valeurs se situent au dessus de l'état de l'art des HEMTs actuels qu'ils soient *Normally-off* ou *Normally-on*. Finalement, la comparaison entre la *configuration n°3* et le HEMT de référence de structure de couche et de longueur de grille identiques a permis de conclure sur une augmentation d'un facteur 2 sur le  $g_m$ , une augmentation de 30% sur la valeur du  $f_{MAX}$  et une quasi-instabilité sur le  $f_T$  pour nos structures DG-HEMT-SC.

Par la suite, des simulations Monte Carlo ont permis de mettre en évidence les meilleures propriétés de *scaling* du transistor DG-HEMT-SC compte tenu des évolutions de  $V_{TH}$  et du  $gm$  avec la longueur de grille  $L_g$ .

Lors de l'étude du transistor DG-HEMT en mode double-commande de longueur de grille 100nm, nous avons observé qu'il était possible de commander la tension de seuil  $V_{TH}$  par simple variation du potentiel sur l'une des deux grilles. Il apparaît alors, qu'avec la même technologie de fabrication, les DG-HEMT-DC peuvent être soit à enrichissement soit à déplétion. De plus, dans la gamme de variation de  $V_{TH}$ , les performances statiques ( $gm$ ) et dynamiques ( $f_{MAX}$ ,  $f_T$ ) restent inchangées. On peut alors envisager des applications analogiques ou numériques telles que des circuits mélangeurs ou des circuits logiques en technologie *DCFL*.

- Dans une deuxième partie, nous avons abordé l'étude et la caractérisation en régime statique des transistors VMT de longueur de grille 1.5 $\mu$ m. Cette seconde structure diffère du DG-HEMT que par sa structure épitaxiale. Elle est donc basée sur le concept de Double-Grille.

La structure VMT ayant deux canaux de mobilités différentes, nous avons, tout d'abord, optimisé la réalisation d'un canal de basse mobilité sur une hétérostructure de HEMT. Pour cela, une étude sur les conditions de croissance du canal (température de croissance et dopage) a été entreprise. Ainsi, l'ajout et la compensation des dopants de type N et P ont permis d'aboutir à un canal de basse mobilité d'environ 2600cm<sup>2</sup>.V.s<sup>-1</sup>. L'estimation du ratio de mobilité entre le canal de haute et de basse mobilité est de l'ordre de 4 à 300K et peut atteindre 12 à 77K.

Par la suite, le bon accord entre les simulations et la caractérisation électrique de ces composants selon deux modes de fonctionnement (*mode séparé et mode différentiel*) a permis de conclure d'une part, que la structure réelle possède effectivement deux canaux de mobilités différentes et d'autre, que le transistor semble fonctionner en modulation de vitesse lorsque les deux grilles sont polarisées en opposition de phase.

## V- BIBLIOGRAPHIE

**[Bollaert1]** S. Bollaert, X. Wallart, S. Lepilliet, A. Cappy, E. Jalaguier, S. Pocas, B. Aspar “0.12 $\mu$ m Transferred Substrate In<sub>0.52</sub>Al<sub>0.48</sub>As/In<sub>0.53</sub>Ga<sub>0.47</sub>As HEMTs on Silicon Wafer,” *IEEE Electron Device Letters*, vol. 23, n°2, pp. 73-75, 2002.

**[Shinohara1]** K. Shinohara, Y. Yamashita, A. Endoh, I. Watanabe, K. Hikosaka, T. Matsui, T. Mimura, S. Hiyamizu, “547-GHz *ft* In<sub>0.7</sub>Ga<sub>0.3</sub>As-In<sub>0.52</sub>Al<sub>0.48</sub>As HEMTs With Reduced Source and Drain Resistance,” *IEEE Electron Device Letters*, vol. 25, n°5, pp. 241-243, 2004.

**[Dambrine1]** G. Dambrine, A. Cappy, F. Heliodore, E. Playez, “A new method of determining the FET small-signal equivalent circuit,” *IEEE Trans. on Elect. Dev.*, vol. 35, n°7, pp. 1151-1159, 1988.

**[Xu1]** D. Xu, T. Suemitsu, J. Osaka, Y. Umeda, Y. Yamane, Y. Ishii, T. Ishii, T. Tamamura, “Depletion- and Enhancement-Mode Modulation-Doped Field-Effect Transistors for Ultrahigh-Speed Applications: An Electrochemical Fabrication Technology,” *IEEE Trans. on Elect. Dev.*, vol. 47, n°1, pp. 33-43, 2000.

**[Fossum1]** J. G. Fossum, L. Ge, M. H. Chiang, “Speed Superiority of Scaled Double-Gate CMOS,” *IEEE Trans. on Elect. Dev.*, vol. 49, n°5, pp. 808-811, 2002.

**[Solomon1]** P.M. Solomon, K. W. Guarini, Y. Zhang, K. K. Chan, E. C. Jones, G. M. Cohen, A. Krasnoperova, M. Ronay, O. Dokumaci, H. J. Hovel, J. J. Bucchignano, C. Cabral, C. Lavoie, V. Ku, D. C. Boyd, K. S. Petrarca, J. H. Yoon, I. V. Babich, J. Treichler, P.M. Kozlowski, J. S. Newbury, C. P. D’emic, R. M. Sicina, J. Benedict, H. S. P. Wong, “Two gates are better than one,” *IEEE Circuits & Devices Magazine*, pp.48-62, Janvier 2003.

**[Berthold1]** G. Berthold, E. Zanoni, C. Canali, M. Pavesi, M. Pecchini, M. Manfredi, S. R. Bahl, J. A. Del Alamo, “Impact Ionization and Light Emission in InAlAs/InGaAs Heterostructure Field-Effect Transistors,” *IEEE Trans. on Elect. Dev.*, vol. 42, n°4, pp. 752-759, 1995.

**[Suemitsu1]** T. Suemitsu, “An intrinsic Delay Extraction Method for Schottky Gate Field Effect Transistors,” *IEEE Electron Device Letters*, vol. 25, n°10, pp. 669-671, 2004.

**[Moll1]** N. Moll, M. R. Hueschen, A. Fischer-colbrie, “Pulse-Doped AlGaAs/InGaAs Pseudomorphic MODFET’s,” *IEEE Trans. on Elect. Dev.*, vol. 35, n°7, pp. 879-886, 1988.

**[Kwon1]** Y. Kwon, D. Pavlidis, “Delay Time Analysis of Submicron InP-Based HEMT’s,” *IEEE Trans. on Elect. Dev.*, vol. 43, n°2, pp. 228-237, 1996.

**[Mateos1]** J. Mateos, T. Gonzalez, D. Pardo, V. Hoel, H. Happy, A. Cappy, “Improved Monte Carlo Algorithm for the Simulation of  $\delta$ -Doped AlInAs/GaInAs HEMT’s,” *IEEE Trans. on Elect. Dev.*, vol. 47, n°1, pp. 250-253, 2000.

**[Gonzalez1]** T. Gonzalez, D. Pardo, “Physical Models of ohmic contact for Monte Carlo Device simulation,” *Solid State Electron.*, vol. 39, n°4, pp. 555-562, 1996.



**CONCLUSION GÉNÉRALE  
&  
PERSPECTIVES**

\*\*\*\*\*

**CONCLUSION GÉNÉRALE  
&  
PERSPECTIVES**

**\*\*\*\*\***



L'objectif de ce travail de thèse était l'étude, la réalisation technologique et la caractérisation électrique de nouveaux composants actifs à hétérojonction III-V, basés sur la filière AlInAs/InGaAs adapté en maille sur substrat InP. Le but étant de concevoir les éventuels composants actifs capables d'intégrer les futurs systèmes ultra haute-fréquences que se soit pour des applications en logique ultra-rapide (liaisons optique ultra-haut débit) ou des applications en bandes W et D (imagerie, radioastronomie,...).

Le premier chapitre a servi à introduire les solutions alternatives que nous avons choisies d'étudier dans ce mémoire. Pour cela, nous avons tout d'abord synthétisé l'évolution de la structure HEMT depuis sa création, en présentant les différentes filières existantes et en précisant les améliorations effectuées grâce à la modification de l'hétérostructure employée. À ce jour, l'évolution des performances fréquentielles des HEMT, toutes filières confondues, semble stagner avec la réduction de la longueur de grille  $L_g$  en deçà de 100nm. Ensuite, les différentes limitations fondamentales de la filière HEMT, telles que les règles de changement d'échelle (*scaling down rules*), ont été décrites afin d'explicitier cette évolution. Il est ressorti de cette étude que ces règles deviennent contraignantes et difficilement applicables pour des longueurs de grille sub-50nm ce qui provoque une augmentation des effets de canal court (réduction du  $gm$ , augmentation du  $gd$ ).

Enfin, deux solutions alternatives sont présentées pour s'affranchir « partiellement » des effets de canal court rencontrés dans les dispositifs « standards ». Il s'agit des **HEMT Double-Grille (DG-HEMT)** et des **Transistors à Modulation de Vitesse (VMT)**. Pour chacun de ces dispositifs, nous avons présenté la structure du composant, son principe de fonctionnement ainsi que les améliorations attendues par rapport à une technologie HEMT « standard ». Les DG-HEMT-SC doivent permettre d'améliorer significativement le  $f_{MAX}$  compte tenu de la suppression de la couche tampon et de l'amélioration de l'efficacité de commande de charge. En revanche, les performances hyperfréquences des VMT ne sont plus limitées par les capacités intrinsèques  $C_{gs}$  et  $C_{gd}$  si le VMT fonctionne exclusivement en modulation de vitesse. Les fréquences de coupure seront alors en théorie infinies.

Le deuxième chapitre fût consacré essentiellement à la technologie de fabrication des composants DG-HEMT et VMT. Pour cela, la description complète des étapes technologiques a été entreprise. Cette description permet de différencier les étapes classiques de fabrication d'un HEMT standard et les étapes nouvelles associées à la technologie DG-HEMT/VMT.

Puisque ces deux composants nécessitent un travail à la fois sur la face avant et la face arrière de la zone active, nous avons mis au point un procédé de report de substrat fiable et reproductible par assemblage adhésif utilisant le polymère BCB. Un procédé de gravure du substrat initial (substrat InP) a été optimisé afin de « récupérer » la zone active des composants en face arrière pour y déposer la seconde grille. Finalement, nous sommes parvenus à aligner parfaitement deux grilles en T de 100nm grâce à la récupération des marques initiales en face arrière et à la modification du procédé de lithographie de grille « standard ».

Dans le dernier chapitre de ce manuscrit, nous avons étudié les transistors DG-HEMT et VMT. Le paragraphe relatif aux composants DG-HEMT est constitué de deux parties selon son mode de fonctionnement :

√ La première partie a concerné l'étude de transistors DG-HEMT en mode Simple-Commande (DG-HEMT-SC). Grâce à une étude comparative entre un HEMT standard et un DG-HEMT-SC de même longueur de grille ( $L_g=100\text{nm}$ ), nous avons mis en évidence la réduction des effets de canal court avec nos DG-HEMT-SC compte tenu de la valeur élevée du gain en tension ( $gm/gd = 100$ ). Cette forte valeur du gain en tension est attribuée à une augmentation du  $gm$  d'un facteur 2 et une diminution du  $gd$ . De plus, sur certains dispositifs DG-HEMT-SC, nous avons pu atteindre des valeurs de transconductance extrinsèque  $gm$  record de 2650 mS/mm. Néanmoins, les capacités intrinsèques  $C_{gs}$  et  $C_{gd}$  sont augmentées d'un facteur 2 compte tenu de l'ajout de la seconde grille. Mise à part l'évolution des éléments extrinsèques du schéma équivalent petit signal, nous avons également réduit les résistances parasites  $R_s$ ,  $R_d$  et  $R_g$ . La réduction de  $R_s$  et  $R_d$  est liée à l'augmentation de la densité d'électrons dans le canal au niveau des zones d'accès du composant. Quant la réduction de  $R_g$ , celle-ci est liée à la topologie du composant DG-HEMT-SC (grilles en parallèle). Finalement, une amélioration significative du  $f_{MAX}$  (+30% : 288GHz) et une quasi instabilité du  $f_T$  (192GHz) ont été obtenues sur nos DG-HEMT-SC de longueur de grille 100nm.

√ La seconde partie a concerné l'étude de transistors DG-HEMT en mode Double-Commande (DG-HEMT-DC) de longueur de grille 100nm. Dans ce cas, les potentiels imposés sur chaque grille peuvent être différents ( $V_{g1s} \neq V_{g2s}$ ). Dans ce mode, nous avons pu démontrer qu'il était possible de contrôler la tension de seuil  $V_{TH}$  par simple modification du potentiel de la grille2. Ainsi, suivant la valeur de  $V_{g2s}$ , la tension de seuil  $V_{TH}$  est comprise entre -0.68V et -0.12V. De plus, dans cette gamme de variation de  $V_{TH}$ , les performances

statiques et dynamiques restent inchangées ( $g_{MAX}=850\text{mS/mm}$ ,  $f_T=165\text{GHz}$ ,  $f_{MAX}=190\text{GHz}$ ). De tels dispositifs peuvent donc être très intéressants pour des applications numériques (technologie *DCFL*) ou analogiques (mélangeurs).

√ Le paragraphe concernant les VMT s'est décomposé en deux parties.

Dans la première partie, nous avons optimisé la croissance épitaxiale de la zone active du VMT afin d'obtenir deux canaux de mobilités différentes. Le canal de basse mobilité a fait l'objet d'une étude particulière afin de dégrader fortement la mobilité des électrons. Nous avons étudié l'influence de la température de croissance et du dopage de ce canal sur la valeur de la mobilité. Il s'est alors avéré que les conditions optimales de croissance du canal de basse mobilité consistent en la réalisation d'un canal de dopage compensé en silicium et béryllium de concentration  $1.10^{18}\text{ cm}^{-3}$ . La mobilité résultante, à 300K ou à 77K, est alors de  $2600\text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}$ . Le rapport estimé entre la mobilité du canal de haute mobilité et de basse mobilité dans nos structures VMT peut atteindre 4 à 300K ou 12 à 77K.

√ La seconde partie a été consacrée essentiellement à la caractérisation en régime statique des VMT de longueur de grille  $L_g=1.5\mu\text{m}$ . Une première caractérisation en *mode séparé* a permis de conclure que la structure réelle possède effectivement deux canaux de mobilités différentes grâce au bon accord entre les résultats expérimentaux et les simulations *ATLAS*. Une seconde caractérisation en *mode différentiel* (mode de fonctionnement du VMT) semble confirmer le fonctionnement à densité d'électrons constante. Néanmoins, à ce jour, il nous est impossible d'affirmer ce bon fonctionnement.

Les perspectives de ce travail sont évidemment nombreuses.

- En ce qui concerne les DG-HEMT-SC, nous avons vu que les tensions de claquage à canal ouvert étaient de l'ordre de 0.6V compte tenu, à priori, d'une très mauvaise dissipation thermique. Le BCB semble être la cause de cet effet. Il semblerait indispensable, dans un premier temps, de modifier la technologie de report de substrat en utilisant un diélectrique différent ou de réaliser des ponts thermiques sur les accès de source. En général, les matériaux diélectriques se comportant comme des isolants thermiques, la seconde solution semble préférable.

Nous pouvons également envisager de modifier la structure épitaxiale du canal du DG-HEMT-SC en y insérant une couche d'InAs au centre du canal afin de déplacer le gaz d'électrons vers le centre du canal et ainsi, de bénéficier des propriétés de transport de l'InAs.

Nous avons évalué, par des simulations Monte Carlo, que les DG-HEMT-SC semblent être moins influencés par un rapport d'aspect trop faible. Il serait alors intéressant de réduire la longueur de grille à des dimensions sub-50nm afin de bénéficier pleinement de tous les avantages d'une structure à double-grille (amélioration du confinement et réduction des effets de canal court). Cependant, pour ces longueurs de grille, la précision d'alignement des deux grilles (environ 20nm actuellement) constitue l'un des verrous technologiques limitant les performances fréquentielles de ce composant.

- Pour les DG-HEMT-DC, la principale perspective est d'ordre technologique. En effet, il serait intéressant de pouvoir appliquer un signal HF sur chaque électrode de grille afin de caractériser ces dispositifs en mélangeur. Pour cela, il faudrait réaliser des transistors possédant 3 accès coplanaires (drain, grille1, grille2). De plus, cette topologie d'accès de transistor pourrait servir aux composants VMT. Dans ce cas, il faudrait envisager la caractérisation de systèmes à 3 ports (hexapôles).

- En ce qui concerne les VMT, il est primordial de pouvoir estimer le fonctionnement en modulation de vitesse, c'est-à-dire déterminer si la variation de courant est liée, non pas à la variation de charge, mais à la variation de vitesse. Pour cela, il faudrait déterminer la densité d'électrons et la mobilité des électrons suivant les potentiels appliqués sur les grilles. Pour estimer ces paramètres, nous pouvons envisager des trèfles de Van der Pauw ayant 2 électrodes de grille. La détermination de la densité de Hall  $n_h$  et la mobilité de Hall  $\mu_h$  en fonction des potentiels de grille permettrait alors d'estimer le bon fonctionnement du composant. La commande des grilles en opposition de phase en régime dynamique permettrait d'estimer les performances dynamiques d'un tel composant. Finalement, la détermination d'un schéma équivalent petit signal spécifique serait souhaitable pour optimiser son fonctionnement.



# Listes des publications

\*\*\*\*\*



# Listes des publications

\*\*\*\*\*



***Publications dans des revues scientifiques internationales***

- [1] N. Wichmann, I. Duszynski, X. Wallart, S. Bollaert, A. Cappy, "InAlAs-InGaAs double-gate HEMTs on transferred substrate," *IEEE Electron Device Letters*, vol 25, n°6, Juin 2004, pp 354-356.
- [2] N. Wichmann, I. Duszynski, S. Bollaert, X. Wallart, A. Cappy, "Fabrication and characterization of 100-nm In<sub>0.52</sub>Al<sub>0.48</sub>As-In<sub>0.53</sub>Ga<sub>0.48</sub>As Double-gate HEMTs," *IEEE Electron Device Letters*, vol. 26, n°9, Septembre 2005, pp 601-603.

***Communications Internationales avec comité de lecture***

- [3] N. Wichmann, I. Duszynski, T. Parenty, S. Bollaert, J. Mateos, X. Wallart, A. Cappy, "Double-Gate HEMTs on Transferred Substrate," *Proc. InP Related Material Conf. (IPRM)*, Santa Barbara (USA), 2003, pp. 295-298.
- [4] N. Wichmann, I. Duszynski, S. Bollaert, X. Wallart, A. Cappy, "InAlAs/InGaAs double-gate HEMTs with high extrinsic transconductance," *Proc. InP Related Material Conf. (IPRM)*, Kagoshima (Japon), 2004, pp. 295-298.
- [5] N. Wichmann, I. Duszynski, T. Parenty, S. Bollaert, J. Mateos, X. Wallart, A. Cappy, "Submicrometer InAlAs/InGaAs Double-Gate HEMT's on Transferred Substrate," *The European Gallium Arsenide and other Comp. Semic. Appl. Symp. (GAAS)*, Amsterdam (Pays Bas), 2004.
- [6] N. Wichmann, I. Duszynski, S. Bollaert, J. Mateos, X. Wallart, A. Cappy, "100nm InAlAs/InGaAs Double-gate HEMT using transferred substrate," *IEDM Tech. Dig.*, San Francisco (USA), Décembre 2004, pp 1023-1026.
- [7] A. Cappy, N. Wichmann, S. Bollaert, X. Wallart, Y. Roelens, A. Shchepetov, W. Knap, "New HEMT Structures for Terahertz Applications," *Device Research Conf.*, Santa Barbara (USA), Juin 2005.

***Communications Nationales avec comité de lecture***

- [8] I. Duszynski, N. Wichmann, S. Bollaert, X. Wallart, S. Lepilliet, A. Cappy, E. Jalaguiet, "Réalisation de transistors InAlAs/InGaAs sur substrats reportés," *13<sup>èmes</sup> Journées Nationales (JNMO)*, 2002.
- [9] N. Wichmann, I. Duszynski, S. Bollaert, X. Wallart, A. Cappy, "HEMT Double-grille sur substrat reporté," *13<sup>èmes</sup> Journées Nationales Microondes (JNM)*, 2003.
- [10] N. Wichmann, I. Duszynski, S. Bollaert, X. Wallart, A. Cappy, "HEMT In<sub>0.52</sub>Al<sub>0.48</sub>As/In<sub>0.53</sub>Ga<sub>0.47</sub>As Double-grille de longueur 100nm," *14<sup>èmes</sup> Journées Nationales Microondes (JNM)*, 2005.
- [11] I. Duszynski, N. Wichmann, S. Bollaert, X. Wallart, A. Cappy, "Réalisation de transistors HEMTs AlInAs/GaInAs de 20nm de longueur de grille," *14<sup>èmes</sup> Journées Nationales Microondes (JNM)*, 2005.

RÉSUMÉ :

Le développement des applications hyperfréquences futures (Internet haut débit, WI-FI, radioastronomie, métrologie de polluants,...) nécessite la mise au point de circuits intégrés ultra-rapides. L'un des principaux éléments constituant ces circuits est le HEMT. Actuellement, la fréquence maximale d'oscillation  $f_{MAX}$  et la fréquence de coupure  $f_T$  de ce transistor se situent aux alentours de 600 GHz. De telles fréquences sont obtenues en réduisant les longueurs de grille ( $L_g$ ) en deçà de 50nm. Cependant, on constate une stabilisation des performances fréquentielles avec la réduction de ( $L_g$ ) compte tenu de l'importance des effets de canal court à ces valeurs de  $L_g$ . Il faut donc, dès à présent, proposer des solutions alternatives. Le développement de ces nouveaux composants de la filière HEMT AlInAs/GaInAs adapté en maille sur InP, basé sur une technologie de report de substrat, constitue l'objet même de cette thèse. Ces travaux sont composés de simulations, de fabrications et de caractérisations électriques. Nous avons réalisé des transistors HEMT Double-Grille (DG-HEMT), de longueurs de grille 100nm parfaitement alignées. Sur ces structures, une transconductance extrinsèque record de 2650 mS/mm et un  $f_{MAX}$  augmenté de plus de 30% par rapport à un HEMT ont été obtenus. Par la suite, une seconde structure, basée sur le principe de la modulation de vitesse et désignée sous le nom de transistor *VMT*, a été simulée, réalisée et caractérisée en régime statique. La concordance entre la simulation et les résultats électriques confirme le bon fonctionnement de ce composant en modulation de vitesse.

TITLE :

**Design, fabrication and characterization of InAlAs/InGaAs Double-Gate Transistors on InP substrate.**

ABSTRACT :

The development of future ultra-high frequency applications requests the realization of integrated circuits. HEMT are the most promising devices in the field of ultra-high frequency microwave applications. At the present time, for these devices, the maximum oscillation frequency ( $f_{MAX}$ ) and the cut-off frequency ( $f_T$ ) are close to 600GHz. These performances are achieved by the reduction of gate length ( $L_g$ ) down to 50nm. However, the so-called "short channel effects" tend to stabilize the microwave performances for these gate lengths. Consequently, we must find alternative solutions to overcome this limitation. This work consists on the realization and study of novels devices AlInAs/GaInAs based field effect transistor on transferred-substrate. This work is composed of simulation, fabrication process and electrical characterization of Double-Gate HEMT (DG-HEMT) and Velocity Modulation Transistor (VMT). DG-HEMT with gate lengths of 100nm perfectly aligned gives rise to a record of extrinsic transconductance of 2650mS/mm and an improvement of 30% on  $f_{MAX}$  compared with conventional HEMT. For the Velocity Modulation Transistor, the good agreement between electrical characterization and simulations confirms the accurate velocity modulation operation of realized devices.

DISCIPLINE : MICROONDES ET MICROTECHNOLOGIES

MOTS-CLÉS :

HEMT	Transistor à effet de champ	Transistors à modulation de vitesse
Hétérostructures	Report de substrat	Transistors double-grille
Transconductance	Phosphure d'indium	Ondes millimétriques

ADRESSE DU LABORATOIRE

INSTITUT D'ÉLECTRONIQUE, DE MICROÉLECTRONIQUE ET DE NANOTECHNOLOGIE  
U.M.R. C.N.R.S. n°8520 Département Hyperfréquences et semiconducteurs  
Avenue Poincaré – B.P. 60069 – 59652 VILLENEUVE D'ASCQ – FRANCE

