

50376
2005
262

N° d'ordre : 3702

THESE

Présentée à

L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

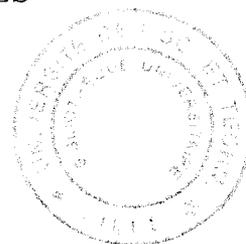
Pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE

Spécialité : MICROONDES ET MICROTECHNOLOGIES

par

Guillaume PAILLONCY



**PROPRIETES HYPERFREQUENCES ET DE BRUIT
DE MOSFETs SUR SUBSTRAT MASSIF ET SOI
JUSQU'AU NŒUD TECHNOLOGIQUE 65 NM**

Soutenue devant la commission d'examen le 21 novembre 2005.

Membres du jury :

Emmanuel DUBOIS	<i>Président</i>
François DANNEVILLE	<i>Directeur de thèse</i>
Gilles DAMBRINE	<i>Co-directeur de thèse</i>
Laurent ESCOTTE	<i>Rapporteur</i>
Jean-Pierre RASKIN	<i>Rapporteur</i>
Ali BOUDIAF	<i>Examineur</i>
Daniel GLORIA	<i>Examineur</i>
Benjamin IÑIGUEZ	<i>Examineur</i>

...à Natacha, à tous les miens

Remerciements

*Ce travail a été effectué à l'Université des Sciences et Technologies de Lille (USTL), au sein du groupe Advanced Nanometric Devices (ANODE), Département Hyperfréquences et Semi-conducteurs (DHS) de l'Institut d'Electronique, de Microélectronique et de Nanotechnologies (IEMN), dirigé par Monsieur le Professeur **Alain CAPPY**.*

*Je remercie Monsieur **Emmanuel DUBOIS**, Directeur de Recherches CNRS à l'IEMN, de me faire l'honneur de présider la commission d'examen.*

*Je tiens à remercier et à exprimer ma sympathie à Monsieur le Professeur **François DANNEVILLE** et à Monsieur le Professeur **Gilles DAMBRINE** qui ont dirigé ces travaux et qui m'ont guidé à travers leurs conseils scientifiques et pédagogiques.*

*J'exprime toute ma reconnaissance à Monsieur **Laurent ESCOTTE**, Professeur de l'Université de Toulouse (LAAS), et à Monsieur **Jean-Pierre RASKIN**, Professeur de l'Université Catholique de Louvain-la-Neuve (UCL), qui me font l'honneur de juger ce travail et d'en être rapporteurs.*

*Je remercie également Monsieur **Ali BOUDIAF**, Maître de Conférences de l'Université de Marne la Vallée (UMLV), Monsieur **Daniel GLORIA**, Ingénieur R&D chez ST Microelectronics et Monsieur **Benjamin IÑIGUEZ**, Professeur de l'Université Publique de Tarragone (URV), qui me font le plaisir d'être examinateurs de ce travail.*

*Je tiens à remercier tous les membres du groupe **ANODE** pour leur sympathie et les discussions enrichissantes que j'ai pu avoir avec chacun d'entre eux.*

*Je voudrais exprimer ma reconnaissance au personnel de la centrale de caractérisation pour toute leur patience et leur collaboration lors des mesures effectuées durant toutes ces années. Particulièrement, à **Sylvie LEPILLIET**, sans qui le travail n'aurait pas pris sa finalité actuelle.*

Cette thèse a été en partie financée par le Conseil Régional du Nord Pas de Calais, France.



SOMMAIRE GENERAL

Introduction Générale	3
I. Le transistor MOS	11
<i>Introduction</i>	11
<i>I.1. La technologie MOS : substrats et dispositifs</i>	12
I.1.1. Substrat Massif / SOI	12
I.1.2. Le transistor MOS sur substrat SOI	15
I.1.3. Avantages de la technologie SOI	17
I.1.4. Inconvénients de la technologie SOI	21
<i>I.2. Les MOSFETs et les Hautes Fréquences : Etat de l'Art</i>	23
I.2.1. Performances Dynamiques : F_t et F_{max}	23
I.2.2. Performances Electriques.....	24
I.2.3. Performances de Bruit Hautes Fréquences : T_{min}	27
<i>I.3. Etude Préliminaire</i>	28
I.3.1. Eléments Influentes en Dynamique.....	29
I.3.2. Eléments Influentes en Bruit.....	34
I.3.3. Discussion préliminaire à partir d'expressions analytiques	39
<i>Conclusions – Tendances</i>	41
<i>Bibliographie</i>	42
II. Modélisation Analytique et Physique du bruit Hautes Fréquences dans les MOSFETs	53
<i>Introduction</i>	53
<i>II.1. Modélisation Analytique</i>	54
II.1.1. Description.....	54
II.1.2. Théorie des quadripôles bruyants.	56
II.1.3. Paramètres de bruit du MOSFET	57
II.1.4. Influence du courant tunnel de grille	62
II.1.5. Conclusion	66
<i>II.2. Modèle physique de bruit</i>	67
II.2.1. Introduction	67
II.2.2. Paramétrage du modèle physique	69

II.2.3. Modélisation microscopique du canal bruyant.....	71
II.2.4. Modélisation macroscopique.....	74
II.2.5. Courant de Grille, Bruit de Grenaille.....	86
II.3. Etude de sensibilité des paramètres de bruit.....	93
II.3.1. Paramètres de bruit intrinsèques et réduction d'échelle.....	93
II.3.2. Influence des capacités de recouvrement.....	95
II.3.3. Influence du courant tunnel de grille.....	96
Conclusions – Tendances.....	98
Bibliographie.....	100
III. Détermination expérimentale des performances de bruit hautes fréquences.....	107
Introduction.....	107
III.1. Méthode Multi-Impédances.....	108
III.1.1. Introduction.....	108
III.1.2. Etalonnage du Banc.....	111
III.1.3. Détermination des paramètres de bruit par méthode multi-impédances.....	117
III.2. Méthode F50.....	119
III.2.1. Principe de la méthode.....	119
III.2.2. Etalonnage du banc.....	121
III.2.3. Modèle de bruit à deux températures.....	122
III.2.4. Corrélation en représentation courant-tension.....	123
III.3. Comparaison des méthodes.....	125
III.3.1. Paramètres de bruit.....	125
III.3.2. Avantages et Inconvénients.....	127
Conclusions.....	128
Bibliographie.....	129
IV. Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?.....	135
Introduction.....	135
IV.1. Effets de la réduction d'échelle sur les performances de bruit.....	136
IV.1.1. Etude expérimentale.....	136
IV.1.2. Etude des sources intrinsèques en fonction de la réduction d'échelle.....	137

IV.2. Effets de la réduction d'échelle sur les performances électriques	145
IV.2.1. Etude expérimentale	145
IV.2.2. Dépendances de la fréquence maximale d'oscillation f_{max}	148
IV.3. Optimisations des fréquences de coupure et des performances de bruit	152
IV.3.1. Optimisations de la topologie de grille	152
IV.3.2. Optimisations des zones d'extension de source et drain	154
IV.4. Vers des architectures alternatives ?	158
IV.4.1. Perspectives de performances électriques et de bruit de la future génération de MOSFETs.	158
IV.4.2. Les architectures alternatives	160
Conclusions	166
Bibliographie	168
Conclusion Générale	173
A. Annexes	181
A.1. Les Gains et Fréquences de Transition	181
A.1.1. Le Gain en Courant de CC $H_{21} - F_t$	181
A.1.2. Le Gain Maximum Disponible MAG - F_{MAG}	181
A.1.3. Le Gain Unilatéral ou de Mason - F_{max}	182
A.2. Transformation de matrices	183
A.2.1. Matrices électriques d'une représentation à une autre	183
A.2.2. Matrices de corrélation de bruit associées	184
A.3. Extraction des paramètres électriques intrinsèques	185
A.4. Ajout des éléments extrinsèques au circuit équivalent petit signal intrinsèque bruyant	186
A.5. Extraction des paramètres de bruit usuels	187
A.6. Détermination du Quadripôle d'entrée par méthode QUAD1P	188
A.7. Résumé de la procédure d'étalonnage du banc Tuner	190
A.8. Bandes de fréquence micro-ondes	192
Liste des Publications	193



Introduction Générale



Introduction Générale

Les transmissions sans fil n'ont cessé de prendre un essor considérable, que ce soit pour les applications spatiales, les radiocommunications mobiles ou les communications à courtes portées (Wi-Fi, Bluetooth,...).

Toutes ces applications font partie intégrale du domaine des radiofréquences (RF), et elles se sont développées grâce au progrès des transistors et de leurs performances.

Dans le domaine RF, plusieurs technologies sont utilisées notamment les HEMT (High Electron Mobility Transistor), les bipolaires à hétérojonctions et les transistors MOS sur Silicium.

Historiquement, les composants en technologie Silicium dominaient le marché des semi-conducteurs dans les domaines numériques et basses fréquences alors que les composants en technologie III-V se réservaient les applications plus hautes fréquences. Depuis quelques années, avec la montée en fréquence des composants silicium, la technologie silicium est présente dans le domaine des radiofréquences et des hyperfréquences.

Cet intérêt croissant pour les transistors en technologie Silicium peut s'expliquer sous différents points :

- Les coûts de production sont beaucoup plus faibles en technologie silicium : wafer de 12 pouces (300 mm), étapes de fabrications plus simples,...;
- La qualité de l'oxyde natif de Silicium ne peut être égale en technologie III-V. On peut alors avoir une meilleure isolation et une plus grande densité d'intégration. L'oxyde natif de Silicium est cependant progressivement remplacé par des oxydes métalliques (high-k) pour les empilements de grille ;
- La quasi-totalité des circuits numériques sont réalisés en technologie Silicium. On peut donc envisager des applications mixtes numériques/analogiques sur une même puce (SoC : System on Chip) ;
- Les tensions de polarisations mises en jeu sont plus faibles et la consommation en puissances est très faible (intérêt pour les applications mobiles).

Les circuits intégrés micro-ondes nécessitent des composants actifs à très hautes performances, en terme de fréquences de coupure, de gain et de facteur de bruit pour des conditions de faible polarisations.

Il apparaît ainsi essentiel d'étudier les performances dynamiques et de bruit hautes fréquences des filières conventionnelles CMOS sur substrats massif et/ou SOI à longueur de grille sub-100 nm.

La problématique de cette thèse est donc de mettre en évidence les paramètres technologiques à forte valeur ajoutée permettant d'optimiser ces performances. Il nous faut pour cela allier une étude théorique poussée à une étude expérimentale précise.

Le plan de cette thèse se décompose en quatre parties :

Dans le premier chapitre, nous présentons le transistor MOS en technologie Silicium sur substrats Massif et SOI. Nous discutons notamment des avantages et inconvénients du substrat SOI pour les applications hyperfréquences. Nous établissons alors un état de l'art des transistors MOS en termes de performances dynamiques, performances électriques et performances de bruit pour différentes longueurs de grille. Enfin, nous réalisons une étude préliminaire sur les éléments pouvant être responsables des dégradations des performances des transistors MOS.

Dans le deuxième chapitre, nous présentons les résultats théoriques permettant de dégager les paramètres influant sur les performances hyperfréquences et de bruit. Nous menons tout d'abord une étude analytique sur les paramètres de bruit en fonction des paramètres électriques et des différentes sources de bruit. Puis, nous présentons une modélisation physique du bruit haute fréquence permettant de prédire les performances de bruit de transistors MOS SOI totalement désertés (FD). L'outil inclut l'influence d'un courant tunnel direct au travers de l'oxyde. Couplé aux paramètres de bruit analytiques, il permet d'entreprendre une discussion qualitative de l'évolution des performances et des sources de bruit en fonction des diminutions d'échelle d'un nœud technologique à l'autre.

Dans le troisième chapitre, nous présentons deux techniques de mesure de bruit disponibles au laboratoire : une méthode classique utilisant un générateur d'impédances (ou Tuner) et la méthode F_{50} développée au laboratoire. Après une description détaillée de ces deux techniques, nous comparons les résultats obtenus sur des transistors MOS de différentes longueurs de grille.

Enfin, dans le dernier chapitre, nous proposons une étude expérimentale des paramètres limitant la montée en fréquence et les performances de bruit des transistors MOS à structure conventionnelle. Nous étudions ainsi, d'un point de vue quantitatif, l'influence de la réduction d'échelle (diminution de la longueur de grille L_g) sur les sources de bruit intrinsèques et sur les performances électriques de transistors MOS de différentes topologies et différentes longueurs de grille. Nous mettons alors en évidence les principaux paramètres limitant les performances dynamiques. Des pistes d'optimisations des performances dynamiques et de bruit sont ensuite présentées. Enfin, des architectures alternatives de composants MOS permettant d'outrepasser les limitations de performances dynamiques et de bruit hautes fréquences des MOSFETs à architecture conventionnelle sont commentées.

Le transistor MOS



SOMMAIRE

I. Le transistor MOS	11
Introduction	11
I.1. La technologie MOS : substrats et dispositifs	12
I.1.1. Substrat Massif / SOI	12
a) <i>Le substrat Massif</i>	12
b) <i>Le substrat SOI</i>	13
I.1.2. Le transistor MOS sur substrat SOI	15
a) <i>Le transistor partiellement déserté (PD)</i>	16
b) <i>Le transistor totalement déserté (FD)</i>	16
c) <i>Remarque : cas intermédiaire</i>	16
I.1.3. Avantages de la technologie SOI	17
a) <i>Réduction des capacités parasites de substrat</i>	17
b) <i>Absence de phénomène de « Latchup »</i>	17
c) <i>Simplification des étapes de siliciuration ou de métallisation</i>	18
d) <i>Diminution du nombre d'étapes de développement</i>	18
e) <i>Meilleures caractéristiques de courants</i>	18
f) <i>Réduction des effets de canaux courts</i>	19
g) <i>Meilleure pente sous seuil inverse</i>	19
I.1.4. Inconvénients de la technologie SOI	21
a) <i>Effet « kink »</i>	21
b) <i>Auto-échauffement</i>	21
c) <i>Transistor bipolaire parasite</i>	21
I.2. Les MOSFETs et les Hautes Fréquences : Etat de l'Art.....	23
I.2.1. Performances Dynamiques : F_t et F_{max}	23
I.2.2. Performances Electriques.....	24
a) <i>Performances Numériques</i>	24
b) <i>Performances Analogiques</i>	26
I.2.3. Performances de Bruit Hautes Fréquences : T_{min}.....	27
I.3. Etude Préliminaire.....	28
I.3.1. Eléments Influent en Dynamique.....	29
a) <i>Eléments Intrinsèques</i>	30
b) <i>Eléments Extrinsèques</i>	31
c) <i>Courant de grille par effet tunnel</i>	32
I.3.2. Eléments Influent en Bruit.....	34
a) <i>Source de Bruit de Diffusion</i>	35

<i>b) Sources de Bruit Thermique des résistances d'accès.....</i>	<i>37</i>
<i>c) Source de Bruit de Grenaille potentielle.....</i>	<i>38</i>
1.3.3. Discussion préliminaire à partir d'expressions analytiques	39
<i>a) Fréquences de coupure intrinsèque F_c.....</i>	<i>39</i>
<i>b) Fréquence maximale d'oscillation F_{max}.....</i>	<i>40</i>
<i>c) Température minimale de bruit T_{min}.....</i>	<i>40</i>
Conclusions – Tendances.....	41
Bibliographie.....	42

I. Le transistor MOS

Introduction

Grâce aux avancées technologiques, les transistors MOS voient leurs performances hyperfréquences et de bruit haute fréquence sans cesse augmenter. La principale solution pour augmenter ces performances passe par la réduction des dimensions du transistor et notamment de la longueur de grille.

Aujourd'hui des longueurs de grille jusqu'à 65 nm sont réalisées au niveau industriel. Malheureusement, avec ses très faibles dimensions, de nombreux effets de canaux courts apparaissent dans les technologies MOS sur substrat Massif. Pour y remédier, de nouveaux substrats sont apparus tels que les substrats SOI. Malgré cela, on assiste à des dégradations des performances hyperfréquences et de bruit haute fréquence pour les transistors à longueur de grille sub-100 nm.

Dans ce chapitre, nous présentons, dans une première partie, la technologie sur substrats Massif et SOI. Nous détaillons le comportement du transistor MOS en technologie SOI ainsi que les avantages et inconvénients qui en résultent.

Dans une deuxième partie, nous établissons un état de l'art des transistors MOS en termes de performances dynamiques, performances électriques et performances de bruit pour différentes longueurs de grille. Nous comparons ces performances avec celles de transistors HEMTs III-V.

Enfin, dans une dernière partie, nous réalisons une étude préliminaire sur les éléments pouvant être responsables des dégradations des performances des transistors MOS. Après une présentation schématique des différents paramètres pouvant intervenir, nous faisons une étude analytique préliminaire afin de dégager les principaux paramètres influents sur les performances dynamiques et de bruit.

1.1. La technologie MOS : substrats et dispositifs

1.1.1. Substrat Massif / SOI

Avec la réduction d'échelle, des effets secondaires généralement parasites apparaissent. Pour y remédier, différentes solutions ont été proposées notamment sur le type de substrat utilisé.

Fort de l'expérience des transistors sur substrats isolants de type saphir (SOS : Silicon on Sapphire) [1], de nouveaux substrats sur isolant sont apparus. Pour les MOSFETs, le substrat SOI (Silicon on Insulator) donne des résultats prometteurs. Dans cette section, nous comparons le substrat Massif et le substrat SOI.

a) Le substrat Massif

Le Silicium est le matériau semi-conducteur de base dans l'industrie de la microélectronique. Les plaquettes de Silicium se présentent sous la forme de plaques ayant une épaisseur inférieure au millimètre et un diamètre atteignant jusqu'à 300 millimètres.

La méthode la plus courante pour la réalisation de substrats de silicium est la méthode de croissance de Czochralski [2]. Celle-ci consiste à mettre en contact un germe cristallin avec du silicium fondu (Figure I-1). En tirant sur le germe tout en lui appliquant un mouvement de rotation, on obtient un lingot ayant une longueur de 1 à 2 mètres. Le contrôle de la température du silicium fondu et de la vitesse de rotation du germe permet de maîtriser le diamètre du lingot.

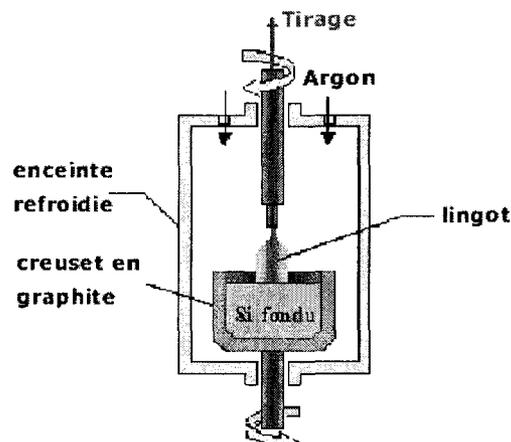


Figure I-1 Tirage d'un lingot par la technique Czochralski. Le diamètre du lingot est lié aux paramètres physiques en cours de tirage.

Les étapes suivantes consistent à retirer les extrémités du lingot, soit mal cristallisées soit riches en impuretés (Figure I-2a) puis à les découper en plaquettes (Figure I-2b). Différentes étapes de polissages sont alors nécessaires afin d'obtenir un bon état de surface.

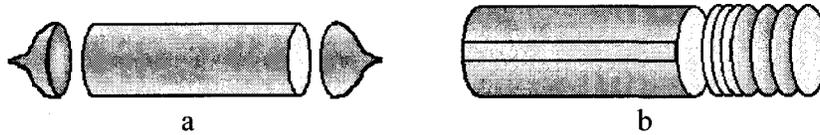


Figure I-2 Equeutage du lingot (a) et découpage des plaquettes (b).

b) Le substrat SOI

Actuellement, du fait de leur faible coût, deux techniques de réalisation de substrats SOI sont principalement utilisées :

La première, nommée Smart-Cut™ [3] et utilisant le dioxyde de Silicium (SiO_2) comme isolant, est présentée à la Figure I-3. Elle se décompose en 5 étapes : après oxydation thermique d'une partie du support en Silicium massif, on implante des ions H^+ (ou protons) afin de délimiter la zone active. Ce substrat, noté A sur la figure, est alors collé du côté oxydé sur un deuxième substrat, noté B, qui servira de support à la plaque SOI. Ensuite, par recuit, on pratique une séparation au niveau de l'implantation de protons. Enfin, on polit la surface de la zone active.

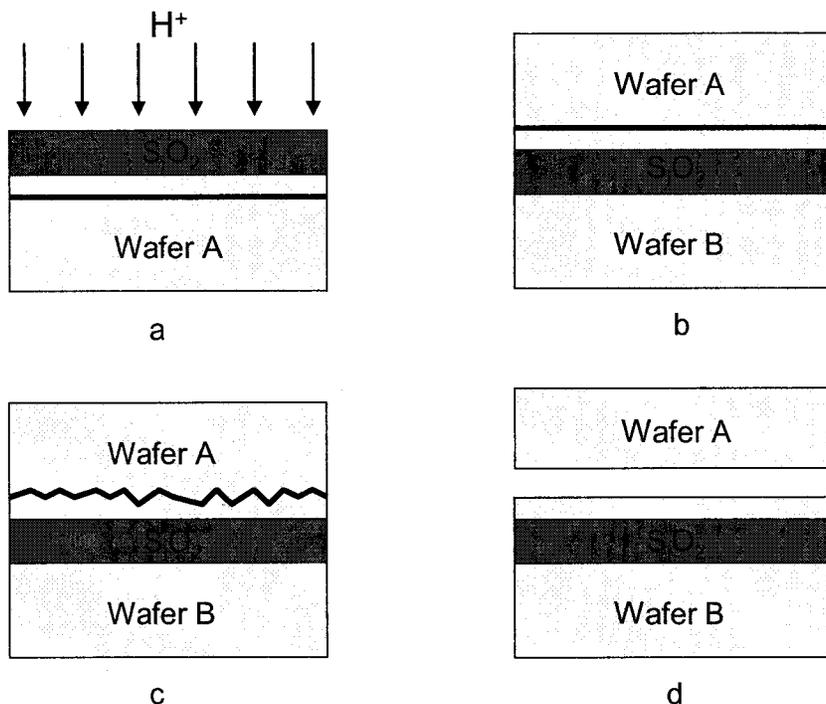


Figure I-3 Le procédé de fabrication Smart-Cut®.

Le transistor MOS

La deuxième technique, appelée SIMOX (Separation by Implantation of OXygen) [4], consiste à former une couche enterrée de SiO_2 par implantation d'ions d'oxygène sous la surface d'un substrat de Silicium massif (Figure I-4). Une étape de recuit est ensuite nécessaire pour produire le substrat SOI.

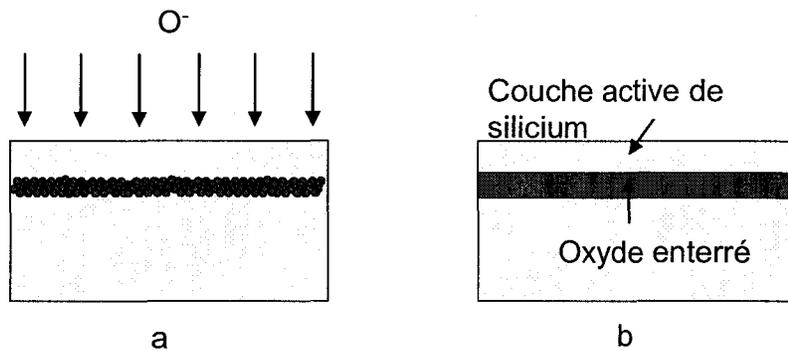


Figure I-4 Le procédé de fabrication SIMOX.

I.1.2. Le transistor MOS sur substrat SOI

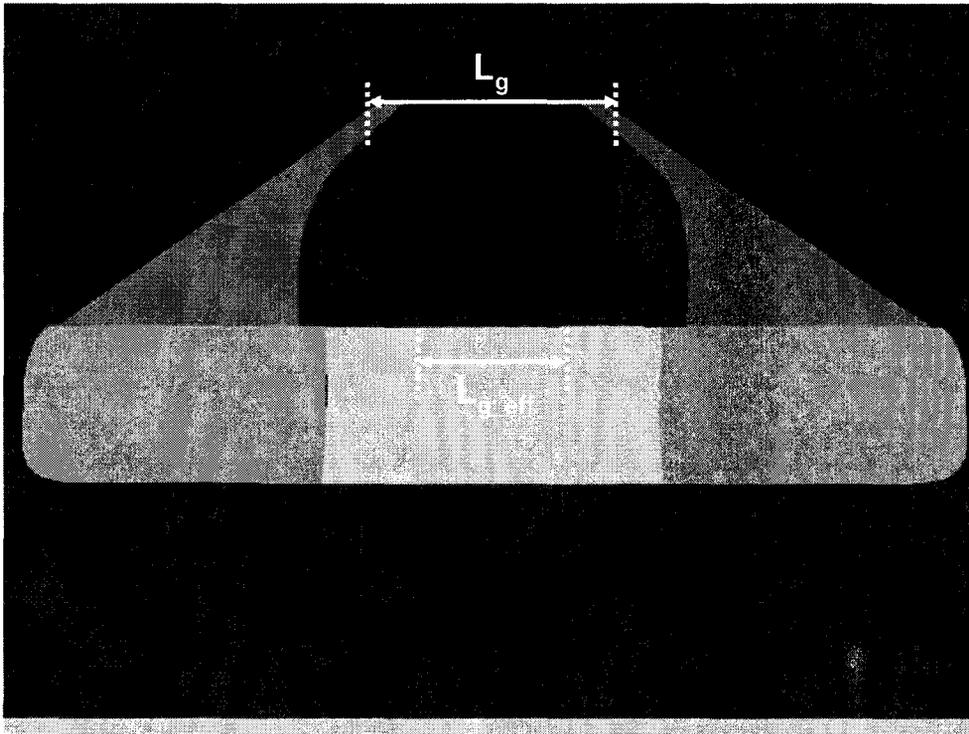


Figure I-5 Schéma d'un transistor MOS SOI et longueurs caractéristiques.

Dans la suite de cette thèse, nous introduirons le concept de longueur effective de grille. En effet, lorsqu'on considère un transistor de longueur physique de grille L_g , le canal n'est pas actif sur toute cette longueur du fait de la présence de zones de recouvrement. On parle alors de longueur effective de grille L_{g_eff} . La Figure I-5 présente le schéma d'un transistor MOS sur substrat SOI avec ces longueurs caractéristiques reportées.

Le comportement d'un transistor sur substrat SOI dépend beaucoup de l'épaisseur de sa zone active. En effet, on peut distinguer deux grandes familles de MOS SOI [5]: le transistor partiellement déserté (PD : Partially Depleted) et le transistor totalement déserté (FD : Fully Depleted). L'épaisseur de la zone désertée pour une tension de grille égale à la tension de seuil V_{th} est donnée par l'expression :

$$D_{max} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \Phi_F}{q \cdot N_A}} \quad I.1$$

- avec :
- Φ_F : potentiel de Fermi pour le Silicium
 - ϵ_{Si} : permittivité du Silicium
 - N_A : dopage en accepteurs de la zone active

a) Le transistor partiellement déserté (PD)

Si l'épaisseur de la zone active est supérieure au double de D_{\max} , il existe une zone neutre entre les zones de déplétion avant et arrière. On dit alors que le transistor est partiellement déserté. Le potentiel de cette zone neutre (dite « Body ») est flottant car il ne dépend pas directement des accès du transistor. Il apparaît alors des effets parasites dans le fonctionnement du transistor (effet kink et transistor bipolaire parasite) qui seront décrits ultérieurement.

Afin de limiter les effets parasites pour les transistors SOI PD, le potentiel de la zone neutre est contrôlé en rajoutant un contact ohmique externe à la zone « Body ». On parle alors de transistor SOI PD à contact « Body ». Ce contact est généralement connecté électriquement à la Source.

b) Le transistor totalement déserté (FD)

Dans le cas d'un transistor FD, l'épaisseur de la zone active est inférieure à D_{\max} et il n'existe pas de substrat flottant. Tous les effets parasites liés à celui-ci sont donc réduits. Cette famille présente les caractéristiques les plus intéressantes parmi les composants MOS SOI.

En revanche l'oxyde enterré joue le rôle de grille arrière et est couplé avec la grille avant. De plus, avec la réduction d'échelle, il est nécessaire d'obtenir des films de zone active de plus en plus fins avec un bon contrôle de planéité. C'est pour cette raison que peu de transistors FD SOI sont développés.

c) Remarque : cas intermédiaire

Enfin, lorsque l'épaisseur de la zone active est comprise entre D_{\max} et $2D_{\max}$, le transistor est dans un cas intermédiaire. Si le potentiel de grille arrière est tel que les zones de déplétion avant et arrière ne se touchent pas, le transistor fonctionnera alors comme un transistor PD. Par contre, si le potentiel de grille arrière induit un chevauchement des deux zones de déplétion, le transistor sera totalement déserté (FD). Dans tous les cas, on peut donc se ramener à l'une ou l'autre des deux familles précédentes.

I.1.3. Avantages de la technologie SOI

La présence de l'oxyde enterré apporte de nombreux avantages dont en voici quelques exemples.

a) Réduction des capacités parasites de substrat

Dans les circuits sur substrat SOI, la capacité maximale entre les jonctions et le substrat est celle due à l'isolant enterré (Figure I-6). Cette capacité est proportionnelle à la constante diélectrique du matériau capacitif. Or, dans le cas le plus souvent utilisé d'un isolant en dioxyde de Silicium, cette constante vaut $\epsilon_{\text{ox}}=3.9$ soit trois fois plus petite que celle du Silicium ($\epsilon_{\text{si}}=11.7$). L'épaisseur de l'isolant enterré n'a alors pas besoin d'être réduite lorsque des composants plus petits sont produits et de ce fait les capacités parasites n'augmentent pas au fur et à mesure de l'évolution de la technologie, contrairement aux composants sur substrat Massif.

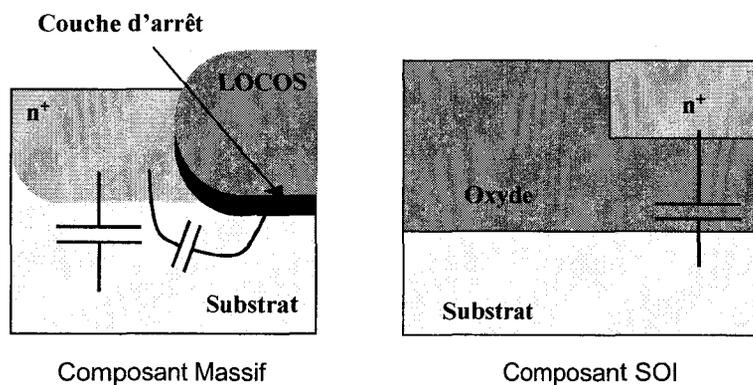


Figure I-6 Capacités de jonctions parasites.

Il faut également souligner que si l'on utilise une plaquette de Silicium légèrement dopé P comme support mécanique, on crée une couche de déplétion sous l'isolant. Ceci contribue à réduire de façon significative les capacités jonctions – substrat [6].

b) Absence de phénomène de « Latchup »

Le phénomène de « Latchup », bien connu dans les structures en technologie sur substrat Massif, correspond au déclenchement intempestif d'une structure de thyristor PNPN. Le Latchup devient un sérieux problème dans les composants de petites dimensions. Il existe différentes techniques pour réduire ce phénomène mais au détriment du coût et du rendement de production. Or ce phénomène est absent dans les structures en technologie SOI car il n'y a pas de circulation de courant dans le substrat. De ce fait, on obtient un meilleur degré d'intégration avec la technologie SOI.

c) Simplification des étapes de siliciuration ou de métallisation

La réduction des résistances d'accès à l'aide de la siliciuration est une étape importante de la réalisation de composants à hautes performances. Dans les composants sur substrat Massif, des réactions non souhaitées peuvent parfois se produire entre le silicium et la siliciure ou le métal, entraînant des courants de fuites. En SOI, il n'y a pas de fuites du fait de l'impossibilité d'une jonction métallique sous la zone de contact métal-silicium (Figure I-7).

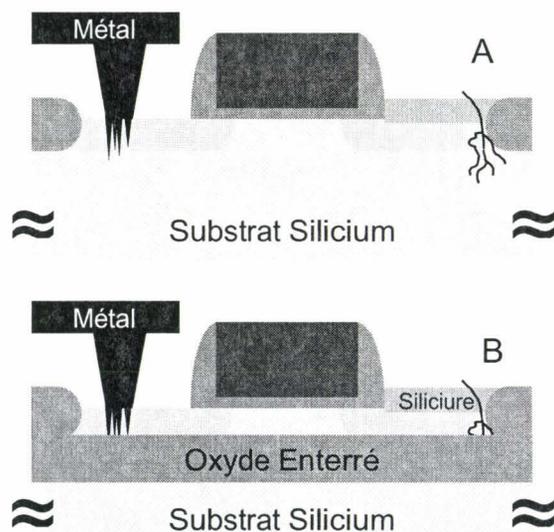


Figure I-7 Formation d'un contact ou siliciuration de jonctions dans le cas d'un composant sur substrat Massif (A) et d'un composant sur substrat SOI (B)

d) Diminution du nombre d'étapes de développement

La technologie SOI comporte moins d'étapes de conception que la technologie sur substrat Massif. Le Tableau I-1 récapitule les différentes étapes du procédé en technologie sur substrats Massif et SOI. On peut tout de même constater une grande ressemblance entre ces deux technologies.

e) Meilleures caractéristiques de courants

Réduction de l'effet de « body »

Dans un composant sur substrat Massif, l'effet de « body » correspond à la dépendance de la tension seuil au potentiel de substrat. Dans un transistor SOI, il correspond de façon similaire à la dépendance de la tension seuil au potentiel de grille arrière. Cet effet réduit la capacité de conduction de courants des transistors dont la source n'est pas directement connectée à la masse, comme dans le cas d'entrées à paires différentielles.

Or dans le cas d'un transistor SOI, il a été démontré que la variation du potentiel de surface du substrat a une faible influence sur la tension seuil [5]. Cette influence peut même être

négligée du moment que l'épaisseur de l'oxyde enterré est grande devant celle de l'oxyde de grille avant.

Plus grand courant de saturation

Les transistors SOI présentent un plus grand courant de saturation que ceux en technologie sur substrat Massif. Ce plus grand courant de saturation dans les MOSFETs SOI provoque une augmentation de la conduction de courant. Ceci contribue grandement aux excellentes performances de vitesse des circuits CMOS SOI.

Plus grande mobilité et transconductance de grille

La transconductance de grille d'un MOSFET mesure l'efficacité du contrôle du courant de drain par la tension de grille. Cette plus grande transconductance dans le cas d'un SOI s'explique par le meilleur contrôle du potentiel de grille au niveau de l'oxyde de grille.

La mobilité des porteurs dans le canal d'un MOSFET dépend principalement de la valeur du champ électrique à l'interface oxyde/silicium de la grille. Le champ électrique de surface avant est plus faible dans un composant SOI que dans un composant sur substrat Massif.

f) Réduction des effets de canaux courts

La réduction de la longueur de canal des MOSFETs est nécessaire pour augmenter les fréquences de fonctionnement des circuits. Cependant, cette réduction entraîne de nombreux effets parasites dans les transistors sur substrat Massif. Le plus important est la chute de la tension seuil dans les composants à canal court. Cet effet est dû à la perte de contrôle par la grille d'une partie de la zone de déplétion sous elle.

Du fait du bon contrôle de la zone de charge d'espace par la grille dans les transistors SOI, ceux-ci présentent de moindres effets de canal court.

g) Meilleure pente sous seuil inverse

La pente sous seuil inverse est définie comme l'inverse de la pente de la courbe courant de drain fonction de la tension de grille en régime sous seuil. Le courant sous seuil d'un transistor MOS est un courant de diffusion des porteurs minoritaires. L'inverse de la pente sous seuil d'un MOSFET SOI est plus faible que celle d'un transistor sur substrat Massif ayant les mêmes caractéristiques. La meilleure valeur de pente sous seuil des transistors SOI permet d'utiliser des valeurs de tension seuil plus petites sans augmenter le courant de fuite au potentiel de grille égal à zéro. De ce fait, de meilleures performances de vitesse pour les circuits numériques peuvent être obtenues, particulièrement pour des tensions d'alimentation plus faibles.

Substrat Massif	Substrat SOI
Oxydation	Oxydation
Lithographie des puits	
Dopage des puits et renforcement	
Dépôt de nitrure	Dépôt de nitrure
Lithographie de la zone active	Lithographie de la zone active
Retrait du nitrure	Retrait du nitrure
Lithographie des zones à implanter	Lithographie des zones à implanter
Implantation des zones	Implantation des zones
Croissance des zones d'oxyde	Croissance des zones d'oxyde
Retrait de nitrure	Retrait de nitrure
Lithographie des canaux P	
Implantation de « Anti-punchthrough »	
Croissance de l'oxyde de grille	Croissance de l'oxyde de grille
Implantation des canaux P pour V_{th}	Implantation des canaux P pour V_{th}
Lithographie des canaux N pour V_{th}	Lithographie des canaux N pour V_{th}
Implantation des « Anti-punchthrough »	
Implantation des canaux N pour V_{th}	Implantation des canaux N pour V_{th}
Dépôt de polysilicium et dopages	Dépôt de polysilicium et dopages
Lithographie des grilles et retrait	Lithographie des grilles et retrait
Lithographie des zones P ⁺ de S&D	Lithographie des zones P ⁺ de S&D
Implantation des zones P ⁺ de S&D	Implantation des zones P ⁺ de S&D
Lithographie des zones N ⁺ de S&D	Lithographie des zones N ⁺ de S&D
Implantation des zones N ⁺ de S&D	Implantation des zones N ⁺ de S&D
Re-oxydation des S&D	Re-oxydation des S&D
Dépôt de diélectrique	Dépôt de diélectrique
Lithographie des trous de contact	Lithographie des trous de contact
Perçage des trous de contact	Perçage des trous de contact
Métallisation	Métallisation
Lithographie des zones métal	Lithographie des zones métal
Gravure du métal	Gravure du métal
Recuit	Recuit

Tableau I-1 Comparaison des étapes de conception d'un CMOS en technologie sur substrats Massifs et SOI.

I.1.4. Inconvénients de la technologie SOI

Outre ces nombreux avantages, les transistors SOI présentent aussi quelques inconvénients dont les principaux sont l'effet « kink », l'auto-échauffement et le transistor bipolaire parasite.

a) Effet « kink »

Conséquence des effets de canaux courts, l'effet « kink » peut s'observer en saturation, soit par un changement de pente sur les caractéristiques I_d-V_d , soit par une pente « anormale » sous le seuil sur les caractéristiques I_d-V_g . Il est particulièrement présent dans les transistors nMOS SOI PD mais absent sur les pMOS SOI PD et moins évident sur les transistors SOI FD.

Ce phénomène a pour origine la création de paires électrons-trous générées par ionisation par impact à tension de drain suffisamment élevée. Les porteurs ainsi créés sont immédiatement séparés sous l'action du fort champ électrique au voisinage du drain. Les électrons sont accélérés vers le drain, tandis que les trous s'accumulent dans la zone de moindre potentiel, en l'occurrence la région « neutre » du substrat près de la source. Le potentiel de substrat va alors s'accroître, modifiant de ce fait la tension seuil et le courant de drain du transistor. Lorsque ce potentiel est suffisant, la diode source-substrat devient passante et régule le potentiel de substrat.

b) Auto-échauffement

La présence de l'oxyde enterré limite à la fois le volume de silicium, mais forme aussi une barrière thermique entre le film de silicium et le substrat. En effet, l'oxyde enterré présente une faible conductivité thermique, approximativement 100 fois inférieure à celle du silicium ($K_{SiO_2}=1.4W/m.K$ et $K_{Si}=150W/m.K$). Cette barrière rend alors difficile l'évacuation de la chaleur à travers le substrat. Le confinement de cette quantité de chaleur dans le film de silicium est donc à l'origine de l'auto-échauffement des dispositifs au cours de leur fonctionnement.

Ce phénomène se traduit au niveau électrique par une réduction du niveau de courant de drain avec l'augmentation de la température. Il est souvent suffisamment important pour faire apparaître une conductance différentielle négative sur les caractéristiques I_d-V_d , contrant alors les effets de substrat flottant.

c) Transistor bipolaire parasite

Ce phénomène est également lié à la présence de l'oxyde enterré. En effet, la structure même du SOI élimine la composante verticale du transistor bipolaire parasite, mais il reste néanmoins une composante latérale à l'origine de ce qu'on appelle aussi le second « kink ».

Le transistor MOS

La source, le substrat et le drain forment respectivement l'émetteur, la base et le collecteur de ce transistor supplémentaire.

Ce mécanisme n'est présent qu'à fort champ électrique lorsque les charges créées par l'ionisation par impact vont s'accumuler sous la grille. Le courant associé à ce transistor vient alors s'ajouter en parallèle au courant de drain du transistor principal.

Cet effet se manifeste à la fois sur les caractéristiques I_d-V_g et I_d-V_d . Pour les caractéristiques I_d-V_d , il n'est observable qu'à très forte polarisation de drain, loin d'un mode de fonctionnement normal du transistor. En revanche, son action pose un problème important en régime de faible inversion, car il peut modifier fortement la pente sous le seuil de la caractéristique I_d-V_g à fort V_d .

I.2. Les MOSFETs et les Hautes Fréquences : Etat de l'Art

I.2.1. Performances Dynamiques : F_t et F_{max}

La Figure I-8 présente l'état de l'art en termes de fréquence de coupure F_t et F_{max} en fonction de la longueur effective de grille pour des MOSFETs en technologie Silicium (Massif et SOI) [7]-[17] et pour des HEMTs [23]-[35] en technologie GaAs et InP.

F_{max} et F_t sont définies comme les fréquences de coupure (i.e. le gain vaut 0 dB) respectivement du gain de Mason (U) et du gain en courant ($|H_{21}|^2$) (cf. Annexe A.1).

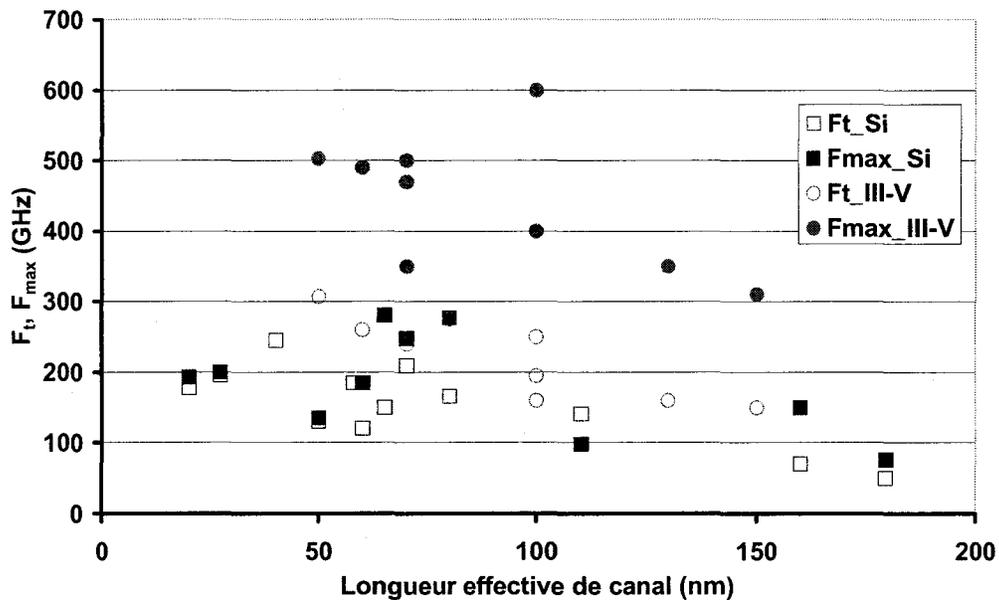


Figure I-8 Etat de l'art de f_t et f_{max} des MOSFETs (en technologie Silicium Massive et SOI) et des HEMTs (InP et GaAs) en fonction de la longueur effective de grille.

On peut observer pour les MOSFETs, en comparaison aux HEMTs, une limitation de la fréquence maximale d'oscillation F_{max} par rapport à la fréquence de transition F_t en fonction de la réduction d'échelle.

La Figure I-9 montre le rapport F_{max}/F_t en fonction de la longueur effective de grille. On constate que ce rapport dans le cas des MOSFETs est bien plus faible que celui des HEMTs pour toutes les longueurs de grille.

Notre premier objectif est donc d'étudier les propriétés électriques des MOSFETs pour en dégager les principaux éléments limitant leurs performances hautes fréquences.

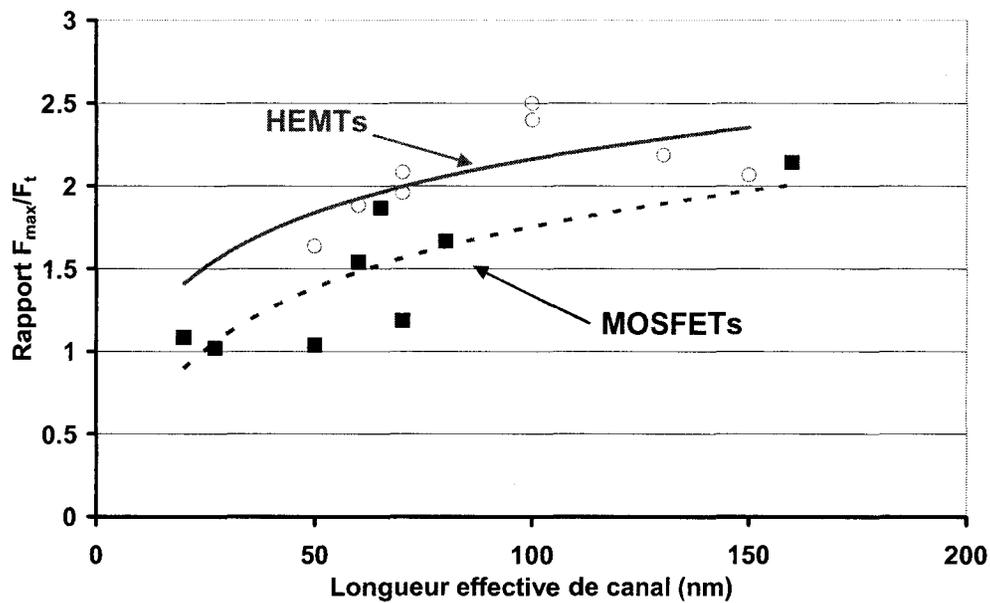


Figure I-9 Rapport F_{max}/F_t en fonction de la longueur effective de grille pour des MOSFETs (en technologie Silicium Massive et SOI) et des HEMTs (InP et GaAs).

I.2.2. Performances Electriques.

Les applications numériques et analogiques n'ont pas les mêmes exigences en termes de performances électriques. Dans cette section, nous détaillons leurs paramètres critiques respectifs et leurs valeurs à l'état de l'art.

a) Performances Numériques

Les performances des transistors pour les applications numériques se caractérisent par la densité d'intégration, la vitesse de commutation des portes logiques, le courant de fuite, le courant sous le seuil et la consommation.

Les contraintes changent en fonction de l'application finale telle que la logique haute performance, la logique à faible consommation de travail et la logique à faible consommation en veille.

Le Tableau I-2 rappelle les rapports d'échelle sur différents paramètres géométriques et électriques avec une réduction d'échelle de $1/K$ [41].

Paramètre	Facteur	Paramètre	Facteur
Dimensions (L, W, t_{ox} , ...)	$1/K$	Dissipation de puissance pour un circuit donné	$1/K^2$
Surface	$1/K^2$	Dissipation de puissance par unité de surface	1
Densité d'intégration	K^2	Capacités	$1/K$
Concentration de dopants	K	Capacité par unité de surface	K
Tensions de polarisation et V_{th}	$1/K$	Charges	$1/K^2$
Courant DC	$1/K$	Champ électrique	1
Coefficient d'effet Body	$1/\sqrt{K}$	Temps de transit	$1/K$
Produit puissance délai dans transistor	$1/K^3$		

Tableau I-2 Rapports d'échelle pour différents paramètres géométriques et électriques avec la réduction d'échelle ($K>1$).

Le Tableau I-3 reprend les contraintes sur les différents paramètres clés pour ces différentes applications comme définis par la « roadmap » ITRS de 2003 [36], remise à jour en 2004 [37].

	Hautes Performances	Faible consommation de travail	Faible consommation en veille
½ Pitch DRAM (nm)	90	90	90
Longueur de Grille Physique (nm)	37	53	65
Tension d'Alimentation (V)	1.2	0.9	1.2
Tension de seuil (V)	0.2	0.27	0.5
Courant de saturation (mA/mm)	1110	530	440
Densité limite de courant de fuite de grille (A/cm^2)	450	1.89	$5.1e^{-3}$
Délai nominal de porte logique NAND (ps)	23.94	44.3	57.5

Tableau I-3 Paramètres clés pour les applications logiques en 2004.

b) Performances Analogiques

Pour les applications analogiques, les transistors doivent pouvoir fournir assez de puissance en hautes fréquences pour réaliser des circuits présentant un gain en puissance.

Contrairement aux applications numériques, la largeur du transistor W n'est pas modifiée avec la réduction d'échelle. Les facteurs de mérite sont alors donnés par la fréquence de transition f_t et la fréquence maximale d'oscillation f_{max} (cf. 1.2.1). Certains éléments du schéma équivalent intrinsèque peuvent être plus particulièrement mis en avant, tels que la transconductance g_m , les capacités C_{gs} et C_{gd} et la conductance de sortie g_d .

Il en va de même des résistances d'accès (extrinsèques) R_g , R_s et R_d .

Le Tableau I-4 reprend les valeurs à l'état de l'art de ces paramètres pour des NMOS sur substrats Massif ou SOI à différentes longueurs de grille.

L_g (nm)	g_m (mS/mm)	C_{gs} / C_{gd} (fF/mm)	g_d (mS)	R_g (Ω/\square)	R_s / R_d (Ω .mm)	Réf.
250	350	/			/	[38]
200	750	1500 / 450	4.2	0.01	1 / 1.32	[39]
150	410	/			/	[10]
80	1000	/			/	[10]
72	1050	1310 /		6.3	/	[16]
47	1280	1020 /		7.3	/	[16]

Tableau I-4 Paramètres clés pour les applications analogiques.

On peut constater qu'avec la réduction d'échelle, on a une augmentation de la transconductance g_m . Il est malheureusement difficile d'obtenir l'ensemble de ces paramètres dans les publications. Dans la suite de cette thèse nous étudierons l'effet de ces différents paramètres sur les performances dynamiques des MOSFETs.

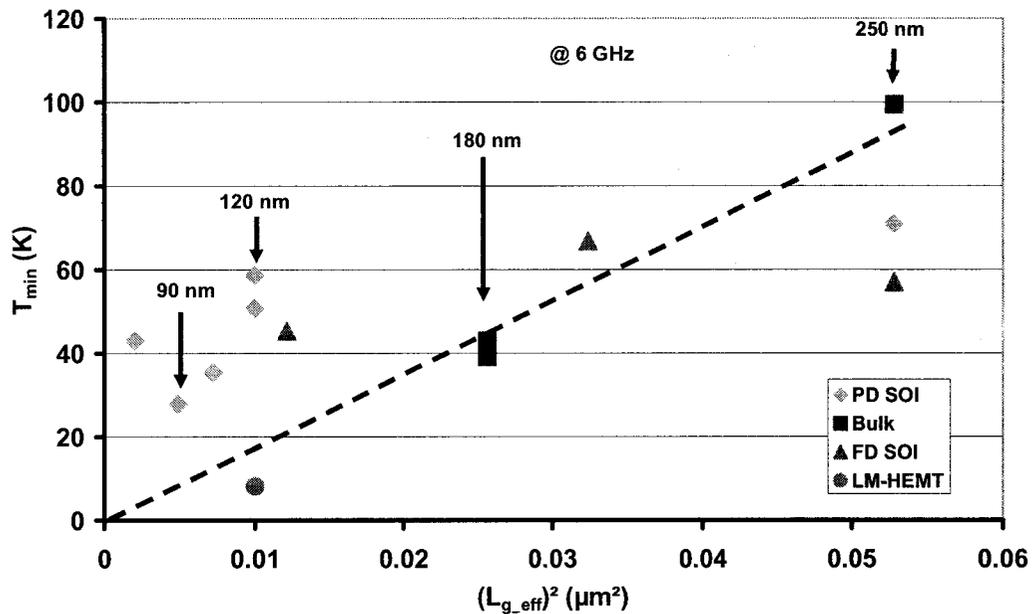
I.2.3. Performances de Bruit Hautes Fréquences : T_{min} 

Figure I-10 Etat de l'art de la température minimale de bruit des MOSFETs (en technologie Silicium Massif et SOI) et des HEMTs en fonction de la longueur effective de grille.

La Figure I-10 présente l'état de l'art des performances de bruit à 6GHz en termes de température équivalente minimale de bruit T_{min} pour des MOSFETs Silicium en technologie sur substrats Massif et SOI [11]-[22] et pour un HEMT [19], en fonction de la longueur effective de grille.

La température équivalente minimale de bruit des FETs suit une loi d'échelle en L_g^2 . Mais, contrairement aux HEMTs, on constate une stagnation de la température minimale de bruit autour de 40 K pour les MOSFETs à longueur de grille sub-100 nm.

Ces limitations de performances de bruit des MOSFETs semblent concordées avec leurs limitations hautes fréquences. Nous nous attacherons donc également dans cette thèse à extraire les éléments influant sur le bruit haute fréquence des MOSFETS.

1.3. Etude Préliminaire

Pour bien comprendre les différences de performances micro-ondes entre les MOSFETs et les HEMTs, il est intéressant de comparer leur structure physique respective. La Figure I-11 présente une section schématique d'un HEMT classique (a) et d'un MOSFET en technologie SOI (b).

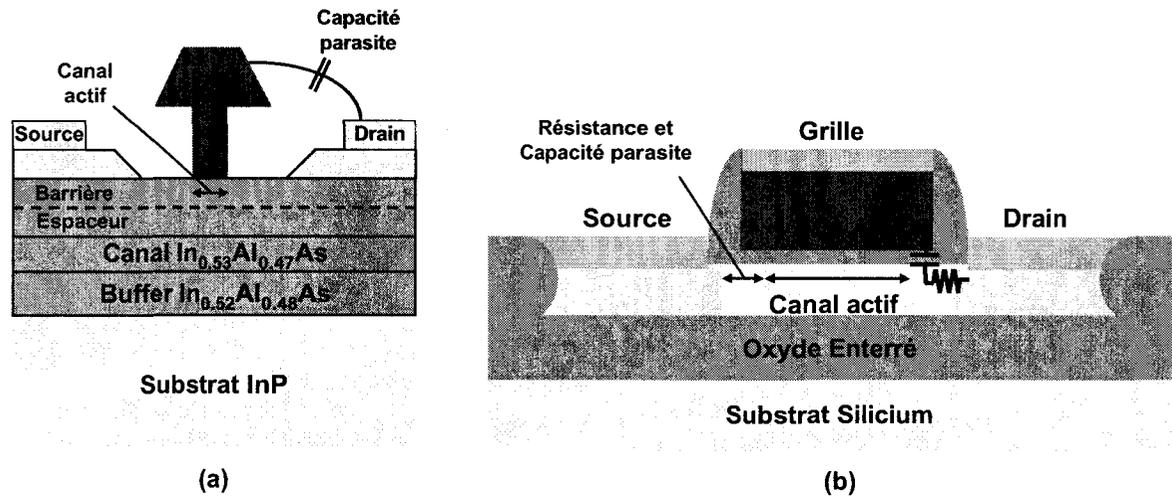


Figure I-11 Section schématique d'un HEMT (a) et d'un MOSFET SOI (b).

Les zones de canal actif pour ces différentes structures sont indiquées ; dans le cas de la structure HEMT, la longueur du canal actif est délimitée par la longueur du pied de grille métallique, alors qu'elle est réduite par les zones de recouvrement (« overlap ») dans le cas du MOSFET. La principale cause de ces zones de recouvrement est la diffusion sous la grille des dopants provenant des zones de Source et Drain au cours de l'étape de recuit d'activation, après l'implantation des caissons de Source et de Drain.

Ces zones se traduisent électriquement par l'adjonction de résistances et capacités parasites (Figure I-11b).

L'auto-alignement des régions de Source et de Drain, qui est l'un des principaux avantages des structures MOSFETs, se révèle être également la cause d'une augmentation drastique des capacités parasites de Grille-Source et de Grille-Drain (capacité Miller).

L'étude des éléments limitant les performances hautes fréquences et de bruit des MOSFETs passe alors par l'étude des paramètres électriques et de bruit de ces composants.

Nous détaillons dans les sections suivantes l'origine de ces différents paramètres. A noter que le fonctionnement physique et les équations de transport [5], [40]-[41] du MOSFET ne seront pas rappelés.

I.3.1. Éléments Influentes en Dynamique

Dans cette section, nous nous intéressons aux éléments du schéma équivalent d'un transistor MOS qui traduisent son fonctionnement dynamique en régime de saturation. Pour bien visualiser ces différents éléments et à quel niveau ils interviennent, nous utilisons une structure 3D schématique d'un MOSFET SOI sur laquelle le schéma équivalent est reporté (Figure I-12).

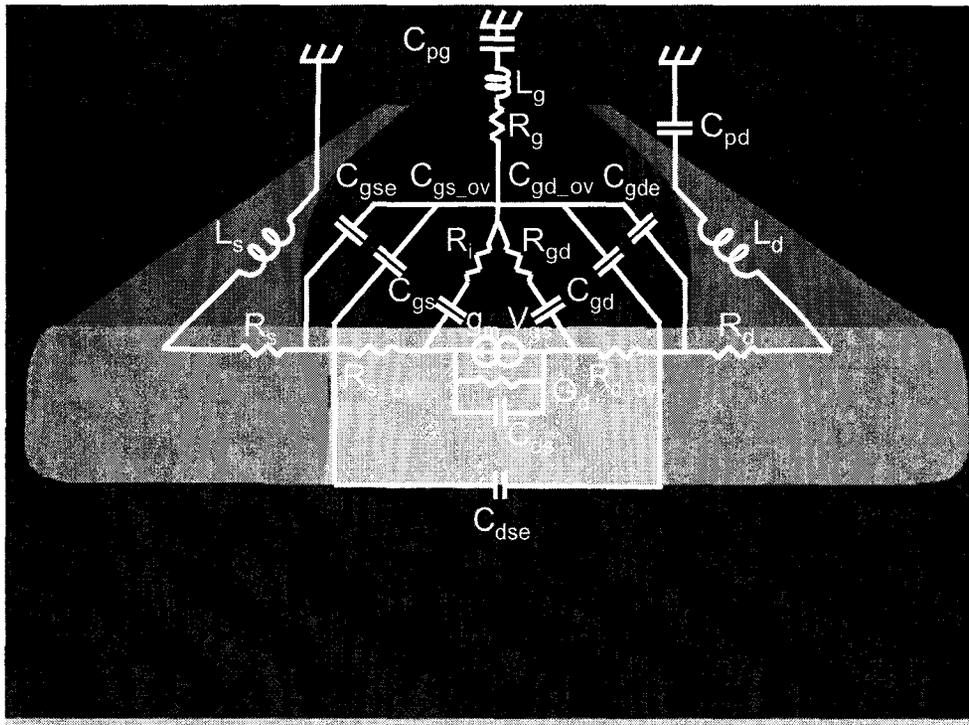


Figure I-12 Structure 3D schématique d'un MOSFET SOI et schéma équivalent complet.

En fonction de leur dépendance à la polarisation, nous pouvons classer les différents éléments en deux catégories : les éléments intrinsèques qui sont fonction de la polarisation DC du transistor et les éléments extrinsèques indépendants de la polarisation. Chacun de ces éléments traduit un mécanisme physique ou une propriété électrique du transistor et sont par définition indépendants de la fréquence de travail.

Afin d'améliorer le contrôle du courant et des effets de canaux courts, on réduit l'épaisseur d'oxyde de grille. En contre partie, cette réduction implique une augmentation du courant tunnel de grille qui devient non négligeable pour des épaisseurs d'oxyde de grilles inférieures à 3 nm.

a) *Éléments Intrinsèques*

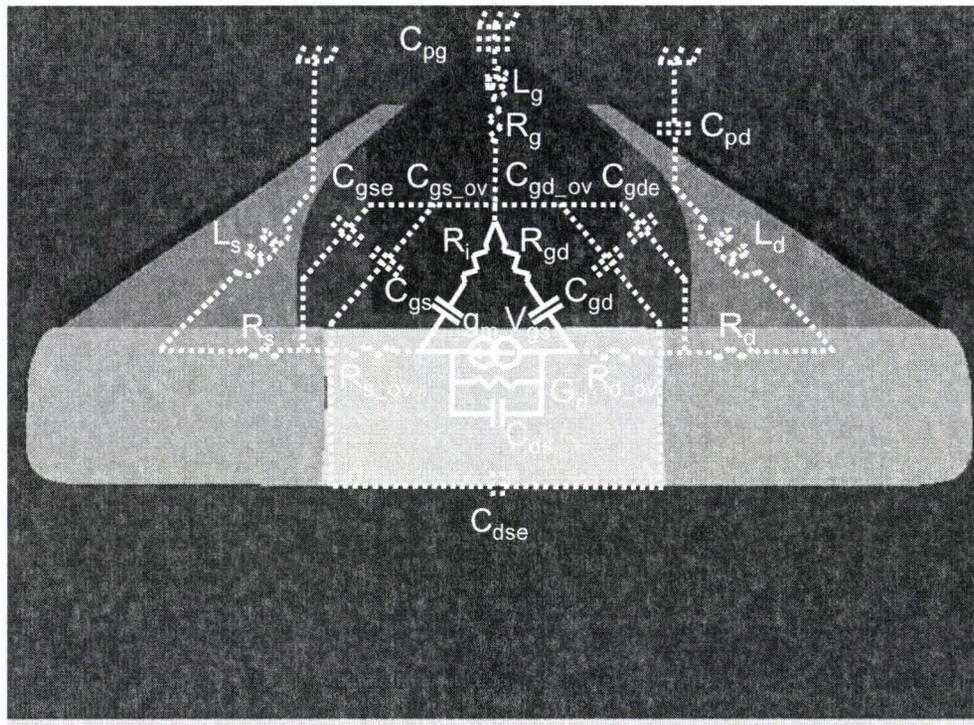


Figure I-13 Structure 3D schématique d'un MOSFET SOI et éléments intrinsèques

Les principaux éléments intrinsèques d'un MOSFET (Figure I-13) sont la transconductance g_m qui traduit le mécanisme d'amplification de la commande en tension de grille, les capacités C_{gs} et C_{gd} qui représentent la commande de la charge stockée sous la grille sous l'effet des tensions respectivement de Grille-Source V_{gs} et de Grille-Drain V_{gd} , la conductance de sortie g_d qui traduit la résistance du canal due aux collisions des électrons avec le réseau cristallin et enfin la capacité C_{ds} qui correspond aux capacités en série des jonctions de source et de drain.

Il faut ajouter à ces éléments R_i et R_{gd} qui correspondent à des effets de distribution des tensions V_{gs} et V_{gd} le long de la grille et τ qui traduit le retard de commande entre la tension de grille et le courant I_{ds} . Cet effet de retard est associé à la transconductance $g_m \cdot e^{-j\omega\tau}$ et on parle alors de représentation non quasi-statique.

Pour compléter le schéma équivalent, il faut également considérer les éléments extrinsèques qui traduisent les effets parasites dus aux accès de Source, de Drain et de Grille et aux zones de recouvrement.

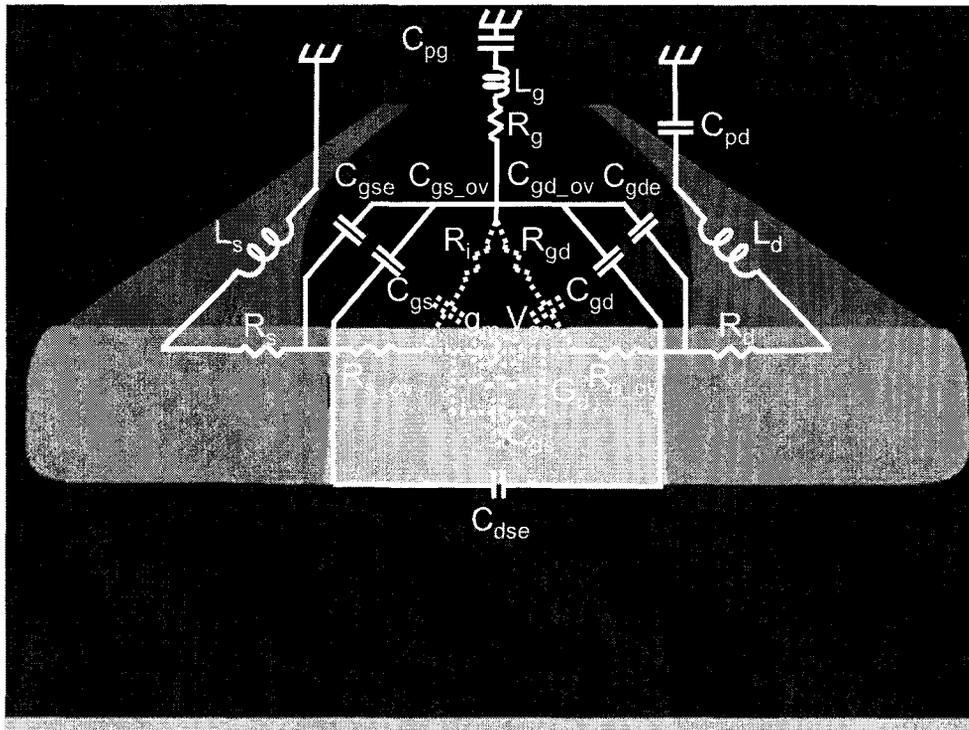
b) *Eléments Extrinsèques*

Figure I-14 Structure 3D schématique d'un MOSFET SOI et éléments extrinsèques.

Les éléments extrinsèques à prendre en compte sont les résistances (R_g , R_s , R_d) et les inductances (L_g , L_s , L_d) parasites séries qui modélisent les accès entre les électrodes de Source, de Drain et de Grille et la partie interne du MOSFET. Il faut y ajouter les capacités parasites (C_{pg} , C_{pd}) dues aux plots métalliques et aux effets de couplages entre les électrodes.

Comme nous l'avons vu dans l'introduction de ce chapitre, les zones de recouvrement sous la grille ajoutent des résistances (R_{s_ov} , R_{d_ov}) et des capacités (C_{gs_ov} , C_{ds_ov}) parasites. La largeur de ces zones de recouvrement étant modulée avec la polarisation, ces éléments sont dépendants de la polarisation. Cependant, les résistances de recouvrement R_{s_ov} et R_{d_ov} sont directement en série avec les résistances d'accès R_s et R_d et dans la suite de cette thèse nous les considérons incluses dans les résistances d'accès.

Enfin, les effets de bord entre les zones de Grille, de Source et de Drain induisent des capacités parasites C_{gse} , C_{gde} et C_{dse} .

c) Courant de grille par effet tunnel

Il existe deux expressions distinctes de la densité de courant de grille J_n suivant que la tension d'oxyde $V_{ox} = E_{ox} \cdot t_{ox}$ est inférieure ou supérieure à la hauteur de barrière Φ_b (Figure I-15).

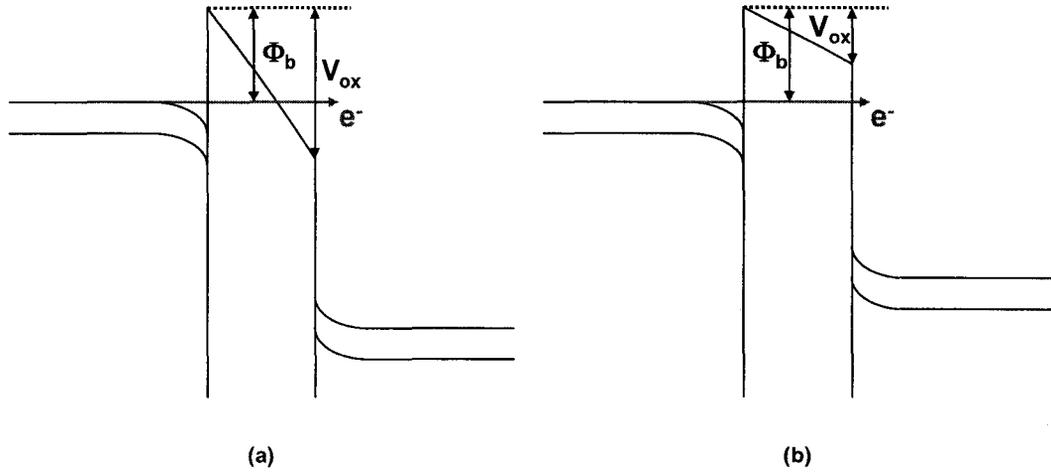


Figure I-15 Effet Tunnel Fowler-Nordheim (a) et Effet Tunnel Direct (b).

Dans le cas où $V_{ox} > \Phi_b$ (Figure I-15a), on parle de courant par effet tunnel Fowler-Nordheim [42]. La densité de courant de grille a alors pour expression :

$$J_n = A_g \cdot E_{ox}^2 \cdot e^{\frac{-B_g}{E_{ox}}} \quad 1.2$$

Dans le cas où $V_{ox} \leq \Phi_b$ (Figure I-15b), on parle de courant par effet tunnel direct. La densité de courant tunnel direct de grille est donnée par [43]:

$$J_n = A_g \cdot E_{ox}^2 \cdot e^{\frac{-B_g \left[1 - \left(1 - \frac{V_{ox}}{\Phi_b} \right)^{3/2} \right]}{E_{ox}}} \quad 1.3$$

avec $E_{ox} = \frac{\epsilon_{si}}{\epsilon_{ox}} \cdot \frac{Q_{nf,S}}{\epsilon_{si}} + q \cdot N_A \cdot \frac{t_b}{2 \cdot \epsilon_{ox}}$, $V_{ox} = E_{ox} \cdot t_{ox}$ et $\Phi_b = 3.1 \text{ eV}$ [44]. ϵ_{si} et ϵ_{ox} sont

respectivement la permittivité du silicium ($=1.0354E^{10} \text{ F/m}$) et celle de l'oxyde de grille ($=0.34515E^{10} \text{ F/m}$), $Q_{nf,S}$ est la densité de charges d'inversion à la source, q la charge électronique ($=1.602e^{-19} \text{ C}$), N_A le niveau de dopage du silicium, t_b l'épaisseur de canal et t_{ox} l'épaisseur d'oxyde.

A_g et B_g sont deux paramètres dont les valeurs peuvent être calculées par [42],[45]:

$$A_g = \frac{q^3}{8.\pi.h.(q.\Phi_b)} \quad \text{I.4}$$

$$B_g = \frac{8.\pi.\sqrt{2.m_{ox}}.(q.\Phi_b)^{3/2}}{3.h.q} \quad \text{I.5}$$

avec h la constante de Planck ($=6.62E^{-34}$ J.s), m_{ox} la masse effective dans l'oxyde ($=0.4 \times 9.1E^{-31}$ kg) [44].

La Figure I-16 présente les densités de courant de grille en fonction de la tension de grille pour différentes épaisseurs d'oxyde. Ces densités sont calculées en considérant les expressions I.2 pour $V_{ox} > \Phi_b$ et I.3 pour $V_{ox} \leq \Phi_b$.

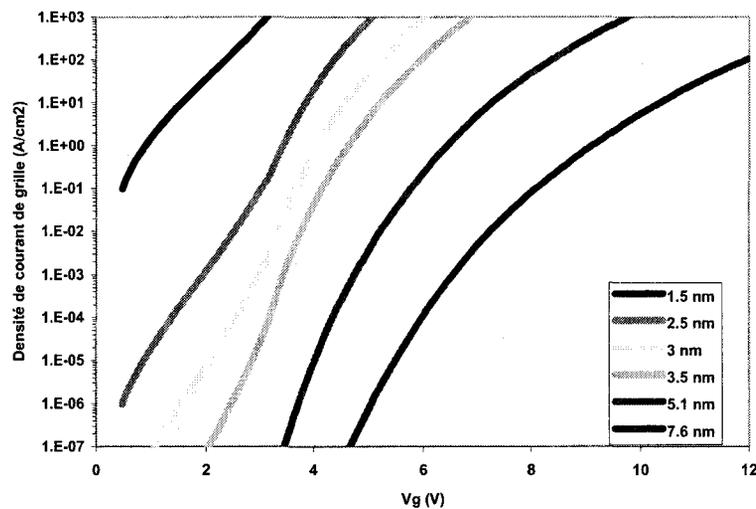


Figure I-16 Simulations de la densité de courant de grille en fonction de la tension de grille pour différentes épaisseurs d'oxyde t_{ox} (l'épaisseur du canal t_b est également ramenée à l'échelle).

Il faut noter que les densités de courant de grille dans le cas de MOSFETs en technologie SOI sont plus faibles que dans le cas de MOS en technologie sur substrat Massif [43]. Ceci est dû au niveau de dopage du canal (N_A) plus faible pour les MOSFETs SOI que pour les MOSFETs sur substrat Massif. On a donc un champ électrique vertical dans l'oxyde plus important en technologie sur substrat Massif qu'en SOI [46].

Dans le cas d'une étude de transistors MOS SOI avec des épaisseurs d'oxyde inférieures à 5 nm, on peut ne considérer que le courant de grille par effet tunnel direct étant données les tensions de polarisation mises en jeux.

Au chapitre III, nous faisons une étude expérimentale approfondie des influences de ces différents éléments intrinsèques et extrinsèques ainsi que du courant de grille par effet tunnel sur les performances dynamiques du MOSFET.

I.3.2. Éléments Influent en Bruit

Les transistors MOS sont le siège de fluctuations spontanées et aléatoires des grandeurs physiques qui le caractérisent telles que la vitesse des porteurs, la densité de porteurs ou le potentiel électrostatique. On caractérise ces fluctuations par le bruit électrique que génère le transistor.

Les mécanismes de bruit microscopique et macroscopique dans les FETs ont fait l'objet de beaucoup de publications. Dès les années 60, A. Van der Ziel [47]-[48] a étudié les caractéristiques des différentes sources de bruit haute fréquence dans les FETs. Ces travaux ont été repris par de nombreux auteurs [49]-[56].

Les phénomènes de bruit peuvent être classés en fonction de leur origine physique :

- le bruit de diffusion ou bruit thermique ;
- le bruit de grenaille ;
- le bruit de Génération Recombinaison ;
- le bruit en $1/f$;

Dans le cas des applications hautes fréquences des MOSFETs et en fonctionnement petit-signal, les deux derniers types de bruit n'interviennent pas et ne seront pas traités dans cette thèse.

Pour introduire ces sources de bruit, la Figure I-17 reprend la structure 3D schématique d'un MOSFET SOI avec son schéma équivalent complet et les sources de bruit potentielles y sont ajoutées.

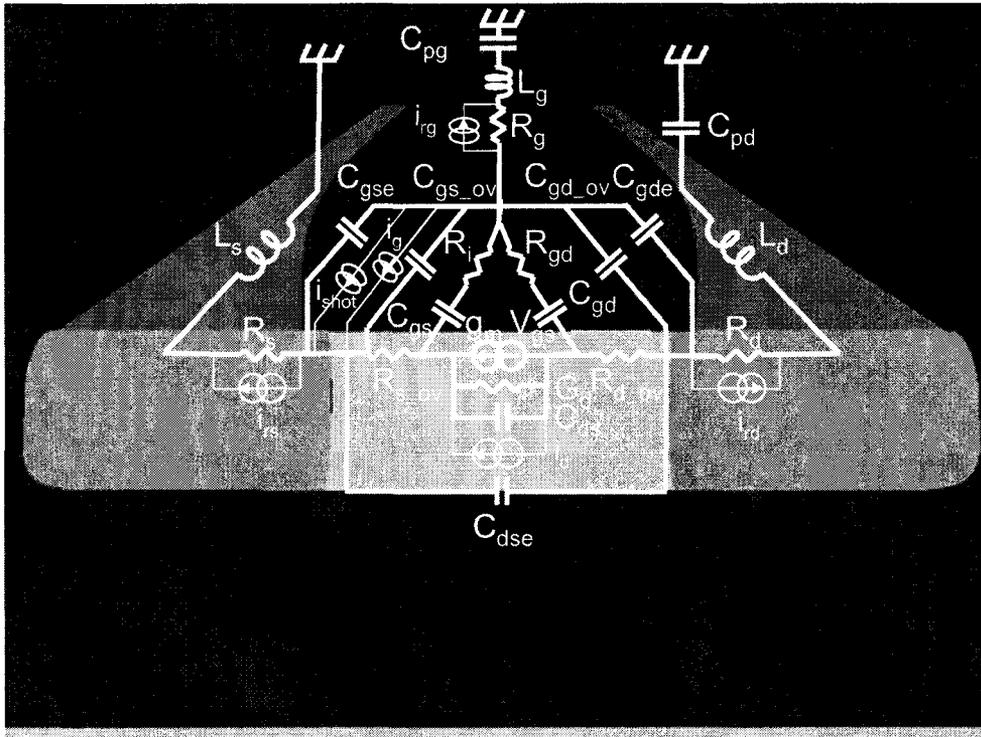


Figure I-17 Structure 3D schématique d'un MOSFET SOI avec schéma équivalent complet et sources de bruit potentielles.

a) Source de Bruit de Diffusion

Le bruit de diffusion, dominant dans les FETs pour les hautes fréquences, provient des mouvements aléatoires des porteurs dans la zone active du composant (Figure I-18). Les fluctuations stochastiques de vitesse des porteurs ont pour origine les interactions entre eux et leurs collisions avec le réseau cristallin ou les atomes d'impuretés ionisés.

Le bruit de diffusion est un bruit « blanc » (i.e. indépendant de la fréquence) aux fréquences de travail usuelles.

Les fluctuations de vitesse au niveau microscopique entraînent des fluctuations aléatoires du courant circulant dans le drain via le canal. La source de bruit de drain $\langle i_d^2 \rangle$ est alors également une source de bruit blanc. De plus, le bruit dans le canal est transféré à la grille du fait du couplage capacitif créé par l'oxyde de grille. Cette source de bruit de grille $\langle i_g^2 \rangle$ est donc proportionnelle au carré de la fréquence. Enfin, ayant la même origine physique, ces deux sources de bruit de grille et de drain sont corrélées. Cette fonction de corrélation $\langle i_g i_d^* \rangle$ est essentiellement un nombre complexe imaginaire à cause de la nature capacitive du couplage entre le canal et l'électrode de grille.

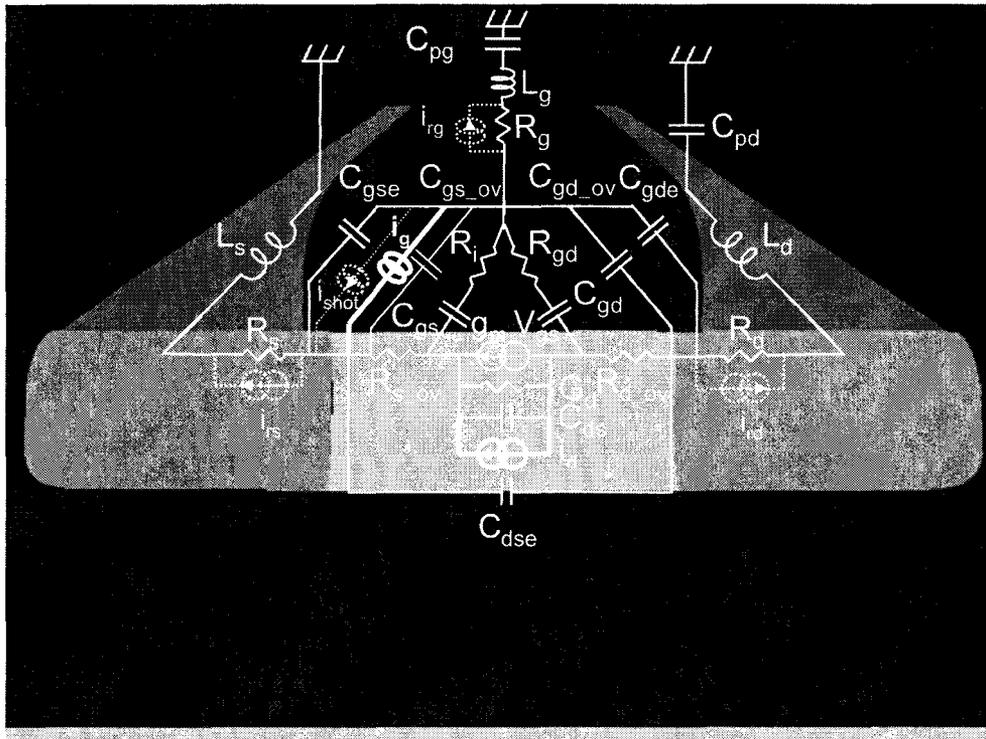


Figure I-18 Structure 3D schématique d'un MOSFET SOI et les sources de bruit de diffusion.

b) Sources de Bruit Thermique des résistances d'accès

De même nature que le bruit de diffusion, le bruit thermique est cependant indépendant de la tension appliquée tant que le champ électrique est suffisamment faible.

La densité spectrale de bruit thermique est donnée par :

$$Si_x = \frac{4.k.T}{R_x} \quad 1.6$$

où R_x est la résistance considérée.

Pour chaque résistance d'accès R_g , R_s et R_d on associe donc une source de bruit thermique respectivement $\langle i_{rg}^2 \rangle$, $\langle i_{rs}^2 \rangle$ et $\langle i_{rd}^2 \rangle$ (Figure I-19).

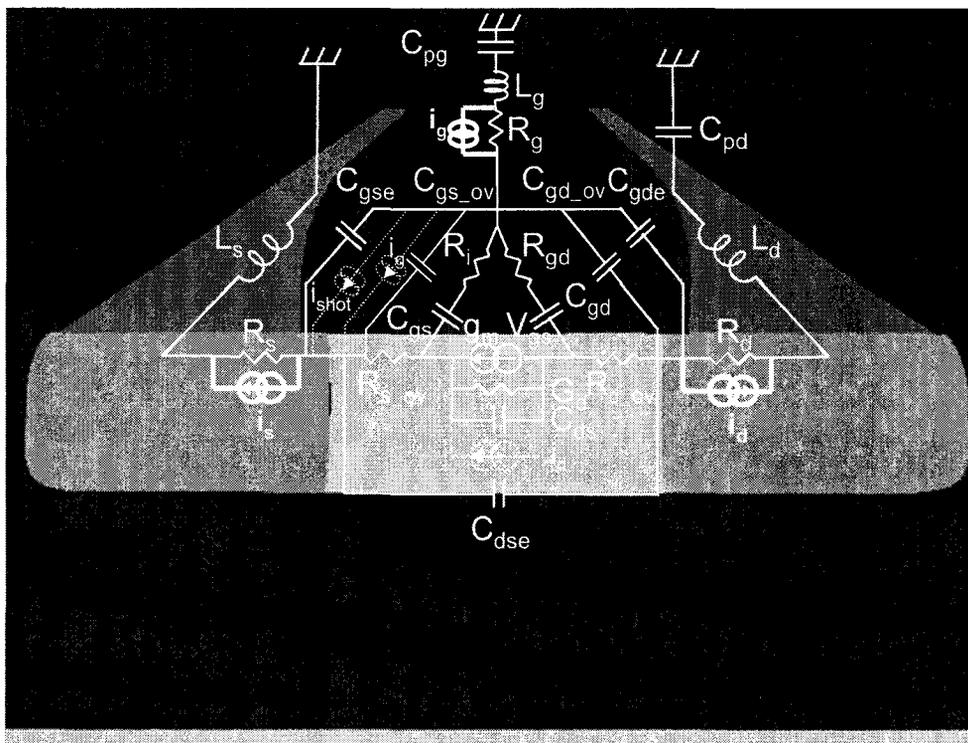


Figure I-19 Structure 3D schématique d'un MOSFET SOI et les sources de bruit thermique.

c) Source de Bruit de Grenaille potentielle

Le courant de grille par effet tunnel direct I_g est de nature granulaire et il engendre un bruit de grenaille. Une source de bruit de grenaille a pour densité spectrale :

$$S_{i_{shot}} = 2 \cdot q \cdot \overline{I_g} \quad 1.7$$

Cette source de bruit présente un spectre blanc et contribue donc aux mécanismes de bruit haute fréquence [57].

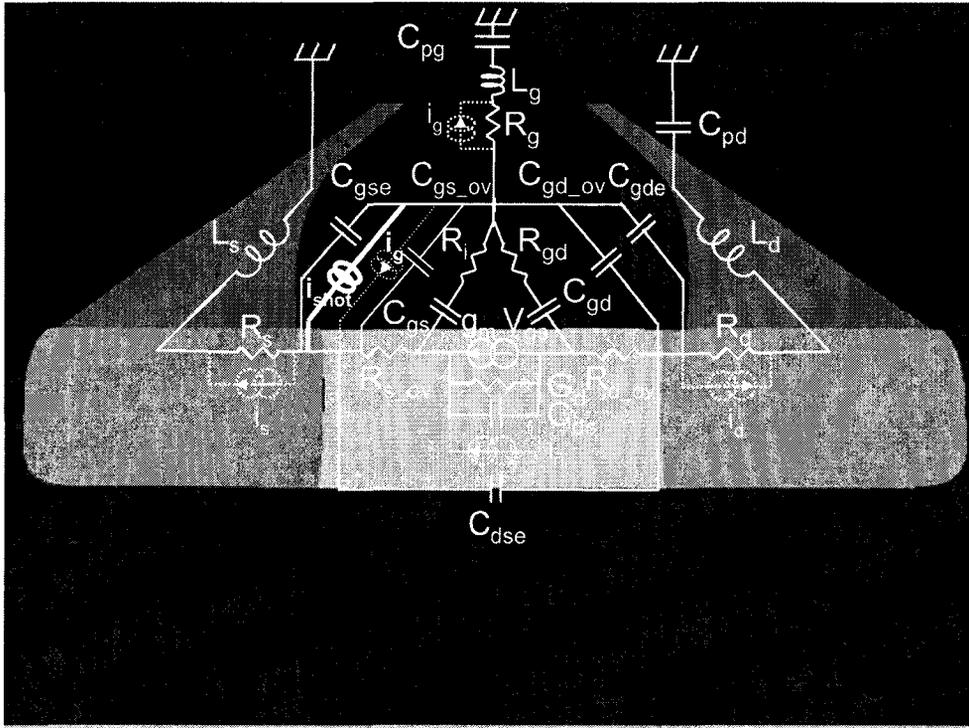


Figure I-20 Structure 3D schématique d'un MOSFET SOI et la source de bruit de grenaille.

I.3.3. Discussion préliminaire à partir d'expressions analytiques

Afin d'appréhender les paramètres influant sur les performances dynamiques et de bruit des MOSFETs, nous présentons ici une étude préliminaire des fréquences de coupure F_c et F_{max} ainsi que de la température minimale de bruit T_{min} à partir d'expressions analytiques tirées de la littérature.

a) Fréquences de coupure intrinsèque F_c

La fréquence de coupure F_c traduit les performances intrinsèques du transistor.

Son expression est donnée par :

$$F_c = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad 1.8$$

avec g_m la transconductance et C_{gs} , C_{gd} les capacités Grille-Source et Grille-Drain intrinsèque.

Comme nous l'avons vu à la section I.2.2.b), la transconductance g_m augmente avec la réduction d'échelle.

A partir de l'équation I.8, on montre pour les canaux longs que F_c est proportionnelle à $1/L_g^2$; nous montrerons dans la suite de ce manuscrit que ceci reste vrai pour des longueurs de grille jusqu'à 100 nm.

b) Fréquence maximale d'oscillation F_{max}

La fréquence maximale d'oscillation peut quant à elle s'exprimer par [58]:

$$F_{max} = \frac{F_c}{2\sqrt{(R_g + R_s)\left(g_d + g_m \frac{C_{Miller}}{C_{gin}}\right)}} \quad \text{I.9}$$

L'équation I.9 fait intervenir la transconductance g_m et la fréquence de coupure intrinsèque F_c introduite dans la section précédente.

Elle fait également intervenir la conductance de sortie g_d , les résistances d'accès R_g et R_s et le rapport de capacités C_{Miller}/C_{gin} . Ces différents paramètres électriques seront étudiés au chapitre III.

c) Température minimale de bruit T_{min}

La température minimale de bruit peut être exprimée, en première approximation, par l'équation analytique suivante [59]-[60]:

$$T_{min} = K \frac{C_{tot} \cdot \omega}{g_m} \sqrt{(R_g + R_s) g_m} \quad \text{I.10}$$

avec K un facteur de bruit constant en fonction de la fréquence.

Outre le facteur de bruit K , on constate que T_{min} est dépendant de paramètres électriques intervenant dans la fréquence maximale d'oscillation.

Conclusions – Tendances

Dans ce chapitre, nous avons montré que les transistors MOS sur substrat Massif ou SOI sont de bons candidats pour les applications hautes performances et faible bruit. Pour améliorer leurs performances, la réduction d'échelle reste la principale solution industrielle.

Dans une première partie, nous avons présenté les substrats Massif et SOI ainsi que le comportement et les principaux avantages et inconvénients des MOSFETS en technologie SOI. Grâce à l'isolation par l'oxyde de silicium enterré, on a un meilleur contrôle du courant et une réduction des capacités parasites en technologie SOI qu'en technologie sur substrat Massif. En revanche, la faible conductivité thermique de l'oxyde de silicium amène à un confinement de la chaleur dans le dispositif qui peut dégrader ses performances.

Dans une seconde partie, nous avons montré un état de l'art des MOSFETs sur substrats Massif et SOI à travers leurs performances dynamiques, électriques et de bruit. En comparaison avec des HEMTs III-V, on constate malheureusement des limitations de ces performances pour des longueurs de grille sub-100 nm notamment en termes de fréquence maximale d'oscillation et de température minimale de bruit. Il semble d'ailleurs que ces limitations soient liées. Nous avons également montré qu'il était difficile de réaliser une étude bibliographique des paramètres électriques par manque d'information dans les publications.

Dans la dernière partie, nous avons finalement recherché les paramètres électriques pouvant être responsables de ces limitations. Après une présentation schématique des différents éléments qui peuvent intervenir, nous avons présenté une étude analytique préliminaire sur les fréquences de coupure F_c et F_{max} et sur la température minimale de bruit T_{min} . La fréquence maximale d'oscillation F_{max} et la température minimale de bruit T_{min} semblent subir une forte influence de la conductance de sortie g_d , des résistances d'accès R_g et R_s et des capacités parasites C_{gs_ov} , C_{gd_ov} et C_{gse} , C_{gde} .

Pour confirmer ces différents points, nous proposons, dans la suite de cette thèse, une étude théorique à l'aide d'un modèle physique incluant le bruit haute fréquence.

Bibliographie

- [1] J. C. S. Woo, High Performance Silicon On Sapphire Technology, *Final Report 1997-1998 of MICRO Project 97-208*, 1998.
- [2] H.M. Liaw, Crystal Growth of Silicon, *Handbook of Semi-Conductor Silicon Technology*, Noyes Publications, 94-181, 1990.
- [3] G. Celler, M. Wolf, Smart Cut™: A guide to the technology, the process, the products, *Soitec White Paper*, Juillet 2003.
- [4] J. Blake, SIMOX (Separation by IMplantation of OXYgen), *Encyclopedia of Physical Science and Technology*, Juillet 2001.
- [5] J.-P. Colinge, Silicon-on-Insulator Technology: Materials to VLSI, 2nd Edition, *Kluwer Academic Publishers*, Septembre 1997. (ISBN 0-7923-8007-X)
- [6] J.P. Raskin, Modeling, Characterization and Optimization of MOSFET's and Passive Elements for the Synthesis of SOI MMIC's, *Thèse de doctorat, Université Catholique de Louvain, Laboratoire d'Hyperfréquences*, Louvain-la-Neuve, Décembre 1997.
- [7] L. F. Tiemeijer, H.M.J. Boots, R.J. Havens, A.J. Scholten, P.H.W. de Vreede, P.H. Woerlee, A. Heringa et D.B.M. Klaassen, A record high 150 GHz f_{max} realized at 0.18 μm gate length in an industrial RF-CMOS technology, *IEDM Technical Digest*, 223-226, 2001.
- [8] L. F. Tiemeijer, R.J. Havens, R. de Kort, A.J. Scholten, R. van Langevelde, D.B.M. Klaassen, G.T. Sasse, Y. Bouttement, C. Petot, S. Bardy, D. Gloria, P. Scheer, S. Boret, B. van Haaren, C. Clement, J.-F. Larchanche, I.-S. Lim, A. Zlotnicka et A. Duvallet, Record RF performance of standard 90 nm CMOS technology, *IEDM Technical Digest*, 441-444, 2004.
- [9] Venezia *et al.*, The RF potential of high-performance 100nm CMOS technology, *ESSDERC*, 491-494, 2002.
- [10] H. S. Momose, E. Morifuji, T. Yoshitomi, T. Ohguro, M. Saito et H. Iwai, Cutoff frequency and propagation delay time of 1.5- μm gate oxide CMOS, *IEEE Transactions on Electron Devices*, 48:1165-1174, Juin 2001.
- [11] C. L. Chen, S.J. Spector, R.M. Blumgold, R.A. Neidhard, W.T. Beard, D.-R. Yost, J.M. Knecht, C.K. Chen, C.L. Cerny, J.A. Cook, P.W. Wyatt et C.L. Keast, High-performance fully-depleted SOI RF CMOS, *IEEE Electron Device Letters*, 24:52-54, Janvier 2002.

-
- [12] N. Zamdmer, A. Ray, J.-O. Plouchart, L. Wagner, N. Fong, K.A. Jenkins, W. Jin, P. Smeys, I. Yang, G. Shahidi et F. Assaderaghi, A 0.13- μm SOI CMOS technology for low-power digital and RF applications, *VLSI Symposium Technical Digest*, 85-86, 2001.
- [13] K. Kuhn, R. Basco, D. Becher, M. Hattendorf, P. Packan, I. Post, P. Vandervoorn et I. Young, A Comparison of State-of-the-Art NMOS and SiGe HBT Devices for Analog/Mixed-signal/RF Circuit Applications, *VLSI Symposium Technical Digest*, 224-225, 2004.
- [14] B. Metzger, CMOS devices steal show, *Compound Semiconductor Magazine*, 31-33, Janvier/Février 2002.
- [15] T. Matsumoto, S. Maeda, K. Ota, Y. Hirano, K. Eikyu, H. Sayama, T. Iwamatsu, K. Yamamoto, T. Katoh, Y. Yamaguchi, T. Ipposhi, H. Oda, S. Maegawa, Y. Inoue et M. Inuishi, 70 nm SOI CMOS of 135 GHz f_{max} with dual offset-implanted source-drain extension structure for RF/analog and logic applications, *IEDM Technical Digest*, 219-222, 2001.
- [16] N. Zamdmer, J.-O. Plouchart, J. Kim, L.-H. Lu, S. Narashima, P.A. O'Neil, A. Ray, M. Sherony et L. Wagner, Suitability of scaled SOI CMOS for high-frequency analog circuits, *Proceedings of ESSDERC*, 2002.
- [17] S. Narasimha, A. Ajmera, H. Park, D. Schepis, N. Zamdmer, K.A. Jenkins, J.-O. Plouchart, W.-H. Lee, J. Mezzapelle, J. Bruley, B. Doris, J.W. Sleight, S.K. Fung, S.H. Ku, A.C. Mocuta, I. Yang, P.V. Gilbert, K.P. Muller, P. Agnello et J. Welsler, High performance sub-40 nm CMOS devices on SOI for 70 nm technology node, *IEDM Technical Digest*, 625-627, 2001.
- [18] P. R. de la Houssaye, C.E. Chang, B. Offord, G. Imthurn, R. Johnson, P.M. Asbeck, G.A. Garcia et I. Lagnado, Microwave performance of optically fabricated T-gate thin film silicon-on-sapphire based MOSFETs, *IEEE Transactions on Electron Devices*, 16:289-292, Juin 1995.
- [19] W. Lu, A. Kuliev, S.J. Koester, X.-W. Wang, J.O. Chu, T.-P. Ma et I. Adesida, High performance 0.1 μm gate-length P-type SiGe MOSFETs and MOS-MODFETs, *IEEE Transactions on Electron Devices*, 47:1645-1652, Août 2000.
- [20] A. J. Scholten, L.F. Tiemeijer, R. van Langevelde, R.J. Havens, A.T.A. Zegers-van Duijnhoven, R. de Kort et D.B.M. Klaassen, Compact modeling of drain and gate current noise for RF CMOS, *IEDM Technical Digest*, 129-132, 2002.
-

- [21] A. Chatterjee *et al.*, Sub-100-nm gate length metal gate NMOS transistors fabricated by a replacement gate process, *IEDM Technical Digest*, 1997.
- [22] J. Y. Yang, K. Benaissa, D. Crenshaw, B. Williams, S. Sridhar, J. Ai, G. Boselli, S. Zhao, S.-P. Tang, N. Mahalingam, S. Ashburn, P. Madhani, T. Blythe et H. Shichijo, 0.1 μm RFCMOS on high resistivity substrates for system on chip (SOC) applications, *IEDM Technical Digest*, 667-670, Décembre 2002.
- [23] K. Shinohara, T. Matsui, T. Mimura et S. Hiyamizu, Novel Asymmetric Gate-Recess Engineering for Sub-Millimeter-Wave InP-based HEMTs, *IMS 2001*, 2001.
- [24] S. Bollaert, Y. Cordier, M. Zaknune, H. Happy, S. Lepilliet et A. Cappy, 0.06 μm gate length metamorphic In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As HEMTs on GaAs with high f_t and f_{max} , *IPRM 2001*, 192-195, 2001.
- [25] Y. Kwon, D. Pavlidis, T.L. Brock et D.C. Streit, Experimental and Theoretical Characteristics of High Performance Pseudomorphic Double Heterojunction InAlAs/In_{0.7}Ga_{0.3}As/InAlAs HEMT's, *IEEE Transactions on Electron Devices*, 42:1017-1025, June 1995.
- [26] Y.K. Kok, H. Wang, T.W. Huang, R. Lai, M. Barsky, Y.C. Chen, M. Sholley, T. Block, D.C. Streit, P.H. Liu, B.R. Allen, L. Samoska et T. Gaier, 160-190-GHz Monolithic Low-Noise Amplifiers, *IEEE Microwave and Guided Wave Letters*, 9:311-313, août 1999.
- [27] T. Parenty, S. Bollaert, J. Mateos, X. Wallart et A. Cappy, Design and realization of 100nm gate length HEMTs, *IPRM 2001*, 624-627, 2001.
- [28] I.G. Thayne, G.U. Jensen, M.C. Holland, Y. Chen, W. Li, A. Paulsen, J.H. Davies, S.P. Beaumont et P.K. Bhattacharya, Comparison of 80-200 nm Gate Length Al_{0.25}GaAs/GaAs/(GaAs:AlAs), Al_{0.3}GaAs/In_{0.15}GaAs/GaAs, and In_{0.52}AlAs/In_{0.15}GaAs, and In_{0.52}AlAs/In_{0.65}AlAs/InP HEMT's, *IEEE Transactions on Electron Devices*, 42:2047-2055, Décembre 1995.
- [29] C. W. Pobanz, M. Matloubian, M. Lui, H.-C. Sun, M. Case, C.M. Ngo, T. Gaier et L. Samoska, A High-Gain Monolithic D-band InP HEMT Amplifier, *GaAs ICC 98*, 41-44, 1998.
- [30] C.W. Pobanz, M. Matloubian, M. Lui, H.-C. Sun, M. Case, C.M. Ngo, T. Gaier et L. Samoska, A High-Gain Monolithic D-band InP HEMT Amplifier, *IEEE Journal of Solid-State Circuits*, 34 :1219-1224, Septembre 1999.
- [31] M. Zaknune, Y. Crosnier, et al., High performance capability of metamorphic HEMT on GaAs Substrate, *GAAS 1998*, 1998.

-
- [32] M. Zaknoute, Y. Crosnier, et al., High performance metamorphic In_{0.32}Al_{0.68}As/In_{0.33}Ga_{0.67}As HEMT's on GaAs substrate with an inverse step InAlAs metamorphic buffer, *Device Research Conference 1998*, 1998.
- [33] S. Bollaert, A. Cappy, et al., 0.1 μm metamorphic InAlAs/In_{0.4}Ga_{0.6}As on GaAs substrate HEMTs with $f_t=190\text{GHz}$, *GAAS 1998*, 1998.
- [34] M. Chertouk, H. Heiss, D. Xu, S. Krauss, W. Klein, G. Böhn, G. Tränkle et G. Weimann, Metamorphic InAlAs/InGaAs HEMTs on Substrates with composite channels and 350-GHz f_{max} with 160-GHz f_t , *Microwave and Optical Technology Letters*, 11:145-147, Février 1996.
- [35] M. Chertouk, H. Heiss, D. Xu, S. Krauss, W. Klein, G. Böhn, G. Tränkle et G. Weimann, Metamorphic InAlAs/InGaAs HEMT's on GaAs Substrates with a Novel Composite Channels Design, *IEEE Electron Device Letters*, 17:273-275, Juin 1996.
- [36] ESIA, JEITIA, KSIA, TSIA et SIA, *International Technology Roadmap for Semiconductors 2003 Edition*, 2003.
- [37] ESIA, JEITIA, KSIA, TSIA et SIA, *International Technology Roadmap for Semiconductors 2004 Update*, 2004.
- [38] T. Yoshitomi, H. Kimijima, S. Isikzuka, Y. Miyahara, T. Ohgaro, E. Morifuji, T. Morimoto, H. S. Momose, Y. Katsumata, et H. Iwai, A Study of self-align doped channel structure for low power and low $1/f$ noise operation, *Digest of Technical Papers, Symposium on VLSI Technology*, 98-99, 1998.
- [39] S. Lam, H. Wan, P. Su, P. W. Wyatt, C. L. Chen, A. M. Niknejad, C. Hu, P. K. Ko, M. Chan, RF Characterization of Metal T-Gate Structure in Fully-Depleted SOI CMOS Technology, *IEEE Electron Device Letters*, 24:251-253, Avril 2003.
- [40] A. Siligaris, Modélisation grand signal de MOSFETs en hyperfréquences : Application à l'étude des non linéarités des filières SOI, *Thèse de doctorat, Université de Lille 1*, 13 décembre 2004.
- [41] Y. Tsididis, Operation and Modeling of The MOS Transistor, Second Edition, *WCB McGraw-Hill*, 1999. (ISBN 0-07-065523-5)
- [42] M. Lenzlinger et E. H. Snow, Fowler-Nordheim Tunneling into Thermally Grown SiO₂, *Journal of Applied Physics*, 40:278-283, Janvier 1969.
- [43] K. F. Schuegraf et C. Hu, Hole Injection SiO₂ Breakdown Model for Very Low Voltage Lifetime Extrapolation, *IEEE Transactions On Electron Devices*, 41:761-767, Mai 1994.
-

- [44] Y.-C. Yeo, T.-J. King et C. Hu, MOSFET Gate Leakage Modeling and Selection Guide for Alternative Gate Dielectrics Based on Leakage Considerations, *IEEE Transactions On Electron Devices*, 50:1027-1035, Avril 2003.
- [45] W.-C. Lee et C. Hu, Modeling CMOS Tunneling Currents Through Ultrathin Gate Oxide Due to Conduction- and Valence-band Electron and Hole Tunneling, *IEEE Transactions On Electron Devices*, 48:1366-1373, Juillet 2001.
- [46] L. Chang, K. J. Yang, Y.-C. Yeo, I. Polishchuk, T.-J. King et C. Hu, Direct-Tunneling Gate Leakage Current in Double-Gate and Ultrathin Body MOSFETs, *IEEE Transactions On Electron Devices*, 49:2288-2295, Décembre 2002.
- [47] A. Van der Ziel, Noise: Sources, Characterization, Measurement, *Prentice-Hall*, 1970. (ISBN 13.623165-9)
- [48] A. Van der Ziel, Noise in Solid State Devices and Circuits, *A. Wiley-Interscience Publication*, 1986. (ISBN 0-471-83234-0)
- [49] F. M. Klaassen, *IEEE Transactions on Electron Devices*, 368, 1967.
- [50] R. A. Pucel, H. A. Haus et H. Stutz, Signal and noise properties of gallium arsenide microwave field-effect transistors, *Advances in Electronics and Electron Physics*, 38:195-265, 1975.
- [51] A. F. Podell, A Functional GaAs FET Noise Model, *IEEE Transactions on Electron Devices*, 28:511-517, 1981.
- [52] B. Carnez, A. Cappy, R. Fauquembergue, E. Constant, et G. Salmer, *IEEE Transactions on Electron Devices*, 28:784, 1981.
- [53] A. Cappy, Noise modeling and measurement techniques [HEMTs], Invited Paper, *IEEE Transactions on Microwave Theory and Techniques*, 36:1-10, 1988.
- [54] M. W. Pospieszalski, Modeling of noise parameters of MESFETs and MODFETs and their frequency and temperature dependence, *IEEE Transactions on Microwave Theory and Techniques*, 37:1340-1350, 1989.
- [55] M.S. Gupta et P. T. Greiling, Microwave noise characterization of GaAs MESFET's: determination of extrinsic noise parameters, *IEEE Transactions on Microwave Theory and Techniques*, 36:745-751, 1988.
- [56] F. Danneville, H. Happy, G. Dambrine, J.-M. Belquin et A. Cappy, Microscopic noise modeling and macroscopic noise models: how good a connection? [FETs], *IEEE Transactions on Electron Devices*, 41:779-786, 1994.

- [57] F. Danneville, G. Dambrine, H. Happy, P. Tadyszak, A. Cappy, Influence of the gate leakage current on the noise performance of MESFETs and MODFETs, *Solid-State Electronics*, 38:1081-1087, 1995.
- [58] S. J. Mason, Power gain in feedback amplifiers, *IRE Transactions on Circuit Theory*, CT-1:20-25, Juin 1954.
- [59] H. Fukui, Design of Microwave GaAs MESFET's for Broad-Band Low-Noise Amplifiers, *IEEE Transactions on Microwave Theory and Techniques*, 27:643-650, Juillet 1979.
- [60] H. Fukui, Addendum to "Design of Microwave GaAs MESFET's for Broad-Band Low-Noise Amplifiers", *IEEE Transactions on Microwave Theory and Techniques*, 29:1119, Octobre 1981.

**Modélisation Analytique et Physique du bruit Hautes
Fréquences dans les MOSFETs**

SOMMAIRE

II. Modélisation Analytique et Physique du bruit Hautes Fréquences dans les MOSFETs	53
<i>Introduction</i>	<i>53</i>
II.1. Modélisation Analytique.....	54
II.1.1. Description.....	54
II.1.2. Théorie des quadripôles bruyants.....	56
II.1.3. Paramètres de bruit du MOSFET	57
II.1.4. Influence du courant tunnel de grille	62
II.1.5. Conclusion.....	66
II.2. Modèle physique de bruit.....	67
II.2.1. Introduction	67
II.2.2. Paramétrage du modèle physique	69
II.2.3. Modélisation microscopique du canal bruyant.....	71
a) Détermination des éléments électriques de la ligne active	71
b) Calcul de la source de bruit locale	72
II.2.4. Modélisation macroscopique.....	74
a) Mise en cascade des éléments.....	75
b) Paramètres électriques petits signaux	76
c) Distribution des sources de bruit le long du canal.....	80
d) Sources de bruit intrinsèques et paramètres de bruit associés	81
e) Performances de bruit.....	83
II.2.5. Courant de Grille, Bruit de Grenaille	86
a) Définition du courant tunnel de grille au niveau microscopique.....	86
b) Définition de la source de bruit de grenaille au niveau microscopique	88
c) Mise en œuvre dans le modèle de bruit physique	89
II.3. Etude de sensibilité des paramètres de bruit.....	93
II.3.1. Paramètres de bruit intrinsèques et réduction d'échelle.....	93
II.3.2. Influence des capacités de recouvrement.....	95
II.3.3. Influence du courant tunnel de grille.....	96
Conclusions – Tendances.....	98
Bibliographie	100

II. Modélisation Analytique et Physique du bruit Hautes Fréquences dans les MOSFETs

Introduction

Dans le chapitre précédent, nous avons introduit une étude préliminaire sur les paramètres pouvant influencer les performances dynamiques et de bruit haute fréquence des transistors. Dans ce chapitre, nous nous proposons de mener une étude théorique rigoureuse.

Dans une première partie nous menons une étude analytique sur les paramètres de bruit en fonction des paramètres électriques et des différentes sources de bruit. Nous présentons également l'influence potentielle d'un courant tunnel de grille sur les performances de bruit.

Dans une seconde partie, nous introduisons un modèle physique de bruit permettant de modéliser les transistors MOS SOI totalement désertés (FD) d'un point de vue statique, dynamique et de bruit haute fréquence (la méthode proposée étant applicable à tout type de transistor à effet de champ). Après une présentation du modèle physique compact et de son paramétrage, nous présentons une méthode originale de modélisation du bruit en considérant le canal comme une ligne active, étant applicable à tout type de transistor à effet de champ. La distribution des sources de bruit locales est tout d'abord extraite du modèle, puis en usant du concept de mise en cascade de quadripôles bruyants en représentation Chaîne, nous calculons les sources de courant de bruit macroscopique et leur corrélation associée. Nous étudions alors les variations des paramètres de bruit intrinsèque avec les conditions de polarisation. En incluant les éléments extrinsèques du transistor, nous calculons les performances de bruit du transistor à travers les paramètres de bruit usuels. Enfin, nous décrivons la prise en compte du courant tunnel de grille dans le modèle de bruit.

Dans la dernière partie, en utilisant le modèle physique de bruit, nous comparons les variations des paramètres de bruit intrinsèques avec la polarisation pour deux nœuds technologiques distincts. Nous étudions également l'influence de différents paramètres électriques et d'un courant tunnel de grille potentiel sur les performances de bruit du transistor.

II.1. Modélisation Analytique

II.1.1. Description

Comme nous l'avons vu au premier chapitre, les performances de bruit d'une technologie sont liées aux sources de bruit associées à la partie interne ou intrinsèque du composant - généralement deux sources de bruit et leur corrélation associées à un schéma équivalent petit signal - et à la partie externe ou extrinsèque du composant .

Dans un premier temps, en se basant sur les travaux pionniers, de Van der Ziel [1], R. A. Pucel [2] et A. Cappy [3] menés dans le cas des transistors III-V, nous menons une étude analytique sur les paramètres de bruit en fonction des paramètres électriques et des différentes sources de bruit [4].

Pour cette étude, considérons tout d'abord le circuit de la Figure II-1, représentant la partie intrinsèque d'un MOSFET.

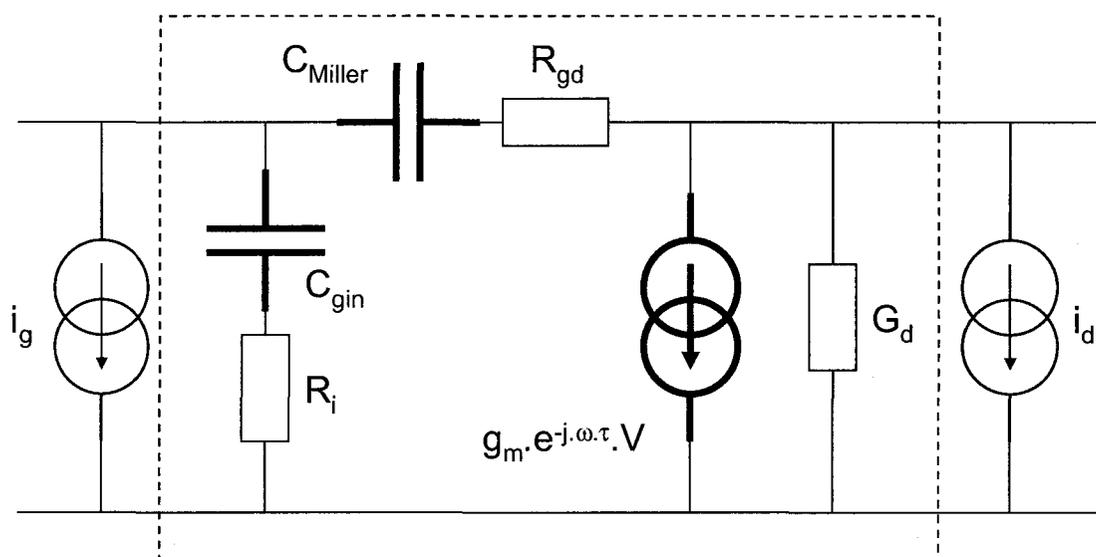


Figure II-1 Schéma Equivalent Petit Signal associé à deux sources de bruit d'un MOSFET.

Les éléments compris dans le cadre en pointillés correspondent à une topologie classique de schéma équivalent petit signal. Les éléments en gras constituent les principaux éléments à prendre en compte pour l'analyse de bruit. Par conséquent, les autres éléments tels que les résistances de canal R_i et R_{gd} , ne seront pas considérés dans cette étude

$$\left(\frac{1}{C_{gs} \cdot \omega} \gg R_i, \frac{1}{C_{gd} \cdot \omega} \gg R_{gd} \right).$$

Les capacités de recouvrement C_{gs_ov} , C_{gd_ov} et de bord C_{gse} , C_{gde} sont inclus dans C_{gin} et C_{Miller} :

$$C_{gin} = C_{gs} + C_{gs_ov} + C_{gse} \quad \text{II.1}$$

$$C_{Miller} = C_{gd} + C_{gd_ov} + C_{gde} \quad \text{II.2}$$

où C_{gs} et C_{gd} sont les capacités intrinsèques.

Les densités spectrales des sources de courant de bruit de diffusion et de leur corrélation peuvent s'exprimer par :

$$Si_d = 4.k.T_a.P.|Y_{21}| \approx 4.k.T_a.P.g_m \quad \text{II.3}$$

$$Si_g = 4.k.T_a.R. \frac{|Y_{11}|^2}{|Y_{21}|} \approx 4.k.T_a.R. \frac{C_{tot}^2 \cdot \omega^2}{g_m} \quad \text{II.4}$$

$$Si_g.i_d^* = j.C.\sqrt{Si_g.Si_d} \quad \text{II.5}$$

où Y_{11} et Y_{21} sont les éléments de la matrice Admittance $[Y]$ du schéma équivalent petit-signal; $C_{tot} = C_{gin} + C_{Miller}$; k est la constante de Boltzmann ; T_a correspond à la température ambiante ; P et R sont les paramètres de bruit associés respectivement au courant de bruit de drain $\langle i_d^2 \rangle$ et au courant induit de grille $\langle i_g^2 \rangle$ et C est le coefficient de corrélation des sources de bruit $\langle i_g.i_d^* \rangle$.

Afin de calculer les quatre paramètres de bruit – la température minimale de bruit T_{min} , la résistance équivalente de bruit R_n , et l'admittance (complexe) optimale de bruit Y_{opt} – les résistances d'accès tels que R_s et R_g , qui ont potentiellement une grande influence, doivent être ajoutées (Figure II-2).

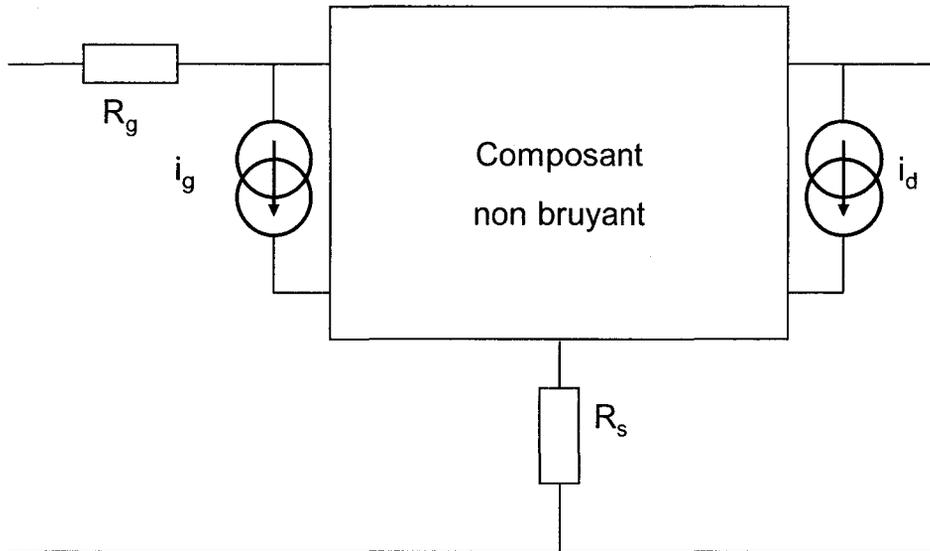


Figure II-2 MOSFET bruyant incluant les résistances de grille et de source.

II.1.2. Théorie des quadripôles bruyants.

Les sources de bruit sont représentées comme des générateurs associés avec le schéma équivalent non bruyant. Les représentations de ces générateurs de bruit sont variées (sources de courant ou de tension). En particulier, elles peuvent être représentées par des sources équivalentes de bruit thermique (sources de Nyquist) ; on définit alors une conductance ou une admittance équivalente de bruit. En outre, à partir d'une admittance ou d'une impédance associée avec une source de bruit, on peut également utiliser la notion de température équivalente de bruit.

Les différents calculs de bruit (à partir des configurations parallèle, série ou en cascade) peuvent être menés de deux façons.

La première est la méthode usuelle proposée par Rothe et Dahlke [1]: pour passer d'une représentation à une autre, on utilise simplement les lois de Kirchhoff.

La seconde est basée sur la matrice de corrélation de bruit, initialement proposée par Hillbrand et Russer [2]-[7], et correspond à une représentation matricielle des sources de bruit. La matrice de corrélation de bruit est donnée par la multiplication d'un vecteur colonne, représentant les deux sources de bruit, par son vecteur transposé conjugué.

On obtient alors :

$$[C_x] = \left\langle \begin{bmatrix} X_1 \\ X_2 \end{bmatrix} \begin{bmatrix} X_1^* & X_2^* \end{bmatrix} \right\rangle = \begin{bmatrix} \langle X_1^2 \rangle & \langle X_1 \cdot X_2^* \rangle \\ \langle X_1^* \cdot X_2 \rangle & \langle X_2^2 \rangle \end{bmatrix} \quad \text{II.6}$$

L'utilisation de ces matrices de corrélation de bruit est similaire aux matrices électriques (i.e. $[Z]$, $[Y]$, etc...). Les trois principales représentations correspondent à :

- Une source de courant en entrée et en sortie associées à une représentation Admittance $[Y]$ du quadripôle ($[C_Y]$).
- Une source de tension en entrée et en sortie associées à une représentation Impédance $[Z]$ du quadripôle ($[C_Z]$).
- Deux sources de bruit en entrée (source de tension et de courant) associées à une représentation Chaîne $[A]$ du quadripôle ($[C_A]$).

Cette dernière représentation (Figure II-3) est très utile pour extraire les quatre paramètres de bruit du composant actif : F_{min} le facteur de bruit minimum, R_n la résistance équivalente de bruit et $Y_{opt} = G_{opt} + j.B_{opt}$ l'admittance optimale de bruit.

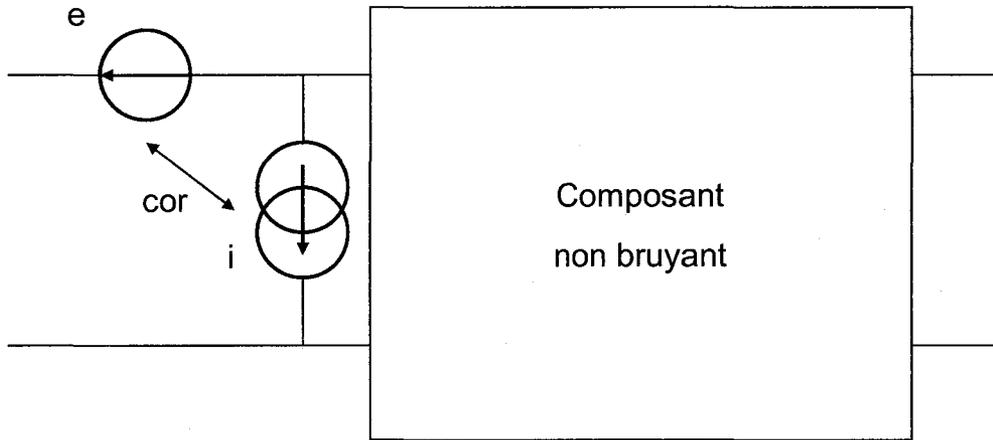


Figure II-3 Représentation Chaîne du composant bruyant.

La matrice de corrélation de bruit en représentation Chaîne est donnée par :

$$[C_A] = \begin{bmatrix} \langle e^2 \rangle & \langle e.i^* \rangle \\ \langle e^*.i \rangle & \langle i^2 \rangle \end{bmatrix} = 4.k.T_0.\Delta f \cdot \begin{bmatrix} R_n & \frac{F_{min}-1}{2} - R_n.Y_{opt} \\ \frac{F_{min}-1}{2} - R_n.Y_{opt}^* & R_n |Y_{opt}|^2 \end{bmatrix} \quad \text{II.7}$$

Avec T_0 correspondant à la température de bruit de référence (290 K) utilisée dans la définition de la figure de bruit.

II.1.3. Paramètres de bruit du MOSFET

En considérant la Figure II-1, il est possible de calculer la matrice Admittance $[Y]$ du schéma équivalent intrinsèque:

$$[Y] = \begin{bmatrix} j.C_{tot}.\omega & -j.C_{Miller}.\omega \\ g_m - j.C_{Miller}.\omega & jC_{Miller}.\omega \end{bmatrix} \quad \text{II.8}$$

La connaissance de la matrice Admittance permet de calculer la matrice de corrélation de bruit à partir des équations II.3 à II.5 :

$$[C_Y] = \begin{bmatrix} \langle i_g^2 \rangle & \langle i_g i_d^* \rangle \\ \langle i_g^* i_d \rangle & \langle i_d^2 \rangle \end{bmatrix} = 4.k.T_a.\Delta f \cdot \begin{bmatrix} R \cdot \frac{C_{tot}^2 \cdot \omega^2}{g_m} & j.C.C_{tot} \cdot \omega \cdot \sqrt{P.R} \\ -j.C.C_{tot} \cdot \omega \cdot \sqrt{P.R} & P.g_m \end{bmatrix} \quad \text{II.9}$$

Pour obtenir un calcul analytique aboutissant à des expressions compactes simples des quatre paramètres de bruit, un passage à la représentation Chaîne [A] du quadripôle avec sa matrice de corrélation de bruit associée [C_A] est nécessaire. Pour ce faire, la procédure suivante est utilisée :

- Un passage de la matrice Admittance [Y] à la matrice Chaîne [A] avec les matrices de corrélation de bruit associées [C_Y] et [C_A] est réalisé (Annexe A.2.1).
- Les sources de bruit thermique relatives aux résistances R_g et R_s sont simplement ajoutées à la source de bruit de tension en entrée <e²>. On considère alors que la matrice Admittance [Y] est inchangée.

Dans ces conditions, la matrice de corrélation de bruit du quadripôle est donnée par :

$$[C_A] = 4.k.T_a.\Delta f \cdot \begin{bmatrix} R_g + R_s + \frac{P}{g_m} & j \cdot \frac{C_{tot} \cdot \omega}{g_m} \cdot (C \cdot \sqrt{P.R} - P) \\ -j \cdot \frac{C_{tot} \cdot \omega}{g_m} \cdot (C \cdot \sqrt{P.R} - P) & \frac{C_{tot}^2 \cdot \omega^2}{g_m} \cdot (P + R - 2.C \cdot \sqrt{P.R}) \end{bmatrix} \quad \text{II.10}$$

Une fois que la matrice de corrélation est connue, les paramètres de bruit sont facilement obtenus par identification avec l'équation II.7 (cf. Annexe A.5) :

$$R_n = \left(R_g + R_s + \frac{P}{g_m} \right) \cdot \frac{T_a}{T_0} \quad \text{II.11}$$

$$G_{opt} = \frac{C_{tot} \cdot \omega}{P + g_m \cdot (R_g + R_s)} \cdot \sqrt{P.R.(1-C^2) + (P + R - 2.C \cdot \sqrt{P.R}) \cdot (R_g + R_s) \cdot g_m} \quad \text{II.12}$$

$$B_{opt} = \frac{C_{tot} \cdot \omega}{P + g_m \cdot (R_g + R_s)} \cdot (C \cdot \sqrt{P.R} - P) \quad \text{II.13}$$

$$\begin{aligned} T_{min} &= 2.T_a \cdot \frac{C_{tot} \cdot \omega}{g_m} \cdot \sqrt{P.R.(1-C^2) + (P + R - 2.C \cdot \sqrt{P.R}) \cdot (R_g + R_s) \cdot g_m} \\ &= 2.T_a \cdot \frac{f}{f_c} \cdot \left(1 + \frac{C_{Miller}}{C_{gm}} \right) \cdot \sqrt{P.R.(1-C^2) + (P + R - 2.C \cdot \sqrt{P.R}) \cdot (R_g + R_s) \cdot g_m} \end{aligned} \quad \text{II.14}$$

Ces expressions sont tout à fait comparable à celles obtenues par dans le cas de transistor III-V [1]-[3].

Afin de vérifier la validité des équations II.11 à II.14 dans le cas de transistors MOS, nous utilisons les éléments du schéma équivalent et les paramètres de bruit extraits d'un MOSFET SOI PD de 30 doigts de $2\ \mu\text{m}$ de largeur et $0.13\ \mu\text{m}$ de longueur de grille. Plus de détails sur cette technologie peuvent être trouvés dans [8]. Les éléments du Schéma Equivalent et les paramètres de bruit P , R et C sont donnés au Tableau II-1, pour un courant de polarisation $I_{ds}=4.76\ \text{mA}$ ($V_{ds}=1.2\ \text{V}$).

g_m (mS)	g_d (mS)	C_{gin} (fF)	C_{Miller} (fF)	R_i (Ω)	R_{gd} (Ω)	R_g (Ω)	R_s (Ω)	P	R	C
35	4.9	45	30	4.1	2.3	3.2	1.2	1.6	0.09	0.24

Tableau II-1 Eléments du schéma équivalent et paramètres de bruit d'un MOSFET SOI PD $30 \times 2 \times 0.13\ \mu\text{m}^2$ ($I_d=4.76\ \text{mA}$, $V_{ds}=1.2\ \text{V}$).

Le schéma équivalent petit-signal de la Figure II-1 associé aux sources de bruit $\langle i_g^2 \rangle$ et $\langle i_d^2 \rangle$ et aux résistances d'accès R_g et R_s a été implanté dans le logiciel Advanced Design System (ADS) de la société Agilent.

La Figure II-4 présente une comparaison des paramètres de bruit calculés à partir des équations II.11 à II.14 et obtenus à partir d'ADS, pour les valeurs du Tableau II-1 et dans la gamme de fréquences 0-20GHz.

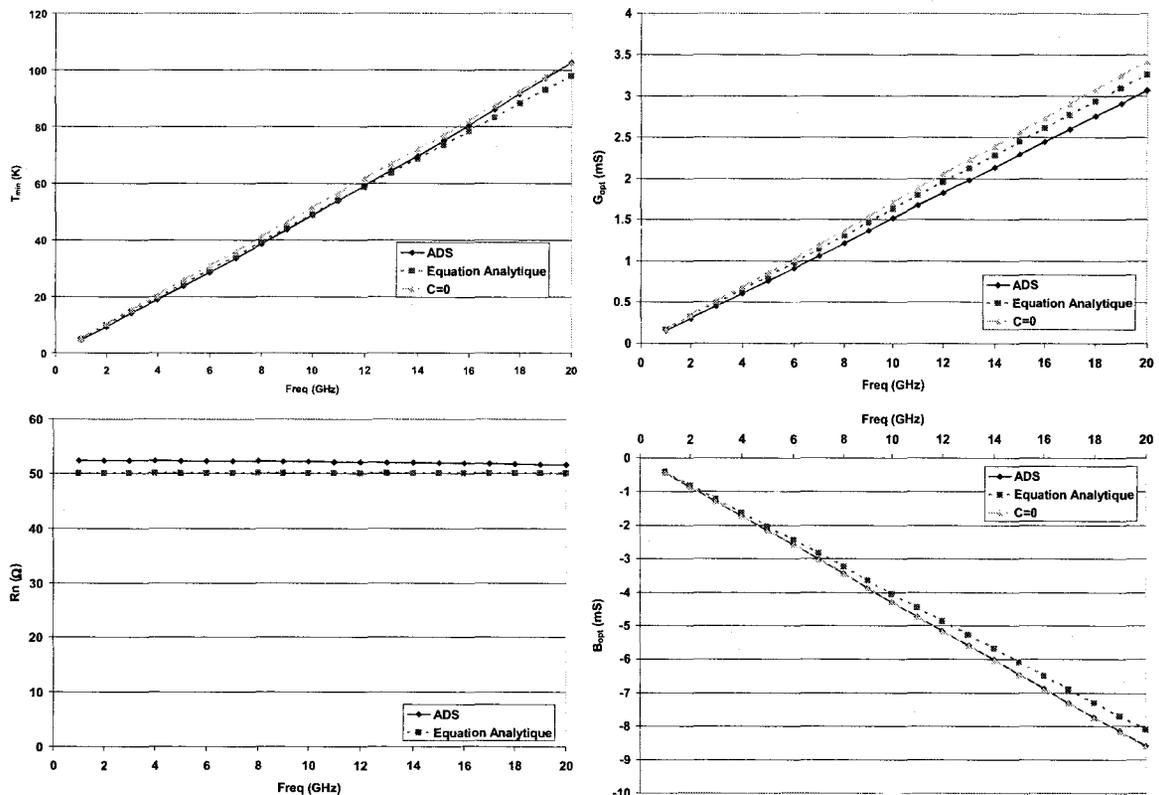


Figure II-4 Comparaison des paramètres de bruit calculés analytiquement (pour $C=0$ et 0.24) et extraits d'ADS.

On observe une bonne concordance des résultats pour ces différents paramètres sur toute la bande de fréquences. On retrouve la variation fréquentielle linéaire de la température minimale de bruit T_{min} et des parties réelles et imaginaires de l'admittance optimale Y_{opt} ainsi que l'indépendance de la résistance équivalente de bruit R_n avec la fréquence.

Il est intéressant pour ce composant d'étudier les importances relatives des résistances de grille R_g et de source R_s , de la capacité C_{Miller} et des deux sur les paramètres de bruit. Pour ce faire, nous avons réalisé différentes simulations en considérant (X) ou non (-) successivement les résistances R_g et R_s , puis la capacité C_{Miller} et enfin les trois. Les résultats sont donnés au Tableau II-2, pour une fréquence de travail de 6 GHz.

R_g	X	-	X	-
R_s	X	-	X	-
C_{Miller}	X	X	-	-
R_n (Ω)	50	45	50	45
G_{opt} (mS)	0.98	0.65	0.59	0.39
B_{opt} (mS)	-2.4	-2.6	-1.5	-1.6
T_{min} (K)	29	17	17	11

Tableau II-2 Paramètres de bruit dans différents cas ($f = 6$ GHz) (X : paramètre pris en compte, - : paramètre non pris en compte).

A partir du Tableau II-2, et pour le composant considéré, il est clair que les résistances de grille et de source ou la capacité Miller ont une forte influence sur les paramètres de bruit. Elles contribuent chacune séparément à hauteur de 40% sur la température minimale de bruit totale. Lorsqu'on ne considère pas ces trois paramètres simultanément, on peut observer une diminution de l'ordre de 63% de la température minimale de bruit.

Pour conclure et en considérant les valeurs du Tableau II-1, différents points se dégagent des équations II.11 à II.14 :

- une connaissance précise des paramètres de bruit P et R est requise. Spécialement, comme nous le verrons par la suite, P , associé au courant de bruit de drain $\langle i_d^2 \rangle$, a une grande influence sur la résistance équivalente de bruit R_n et sur la température minimale de bruit T_{min} .
- C , le coefficient de corrélation, a un faible impact sur les différents paramètres de bruit (i.e. si C vaut 0 dans les équations II.11 à II.14, les résultats changent peu).
- La résistance de grille R_g , plus élevée que dans les transistors III-V, a une forte influence sur T_{min} . Comme le montre l'équation II.14, son influence est multipliée par

la transconductance g_m , qui augmente d'un nœud technologique au suivant. Dans la suite de cette thèse, une attention particulière sera donc portée sur l'ingénierie de grille pour réduire R_g .

- Le rapport C_{Miller}/C_{gin} a également une forte influence sur T_{min} .

Afin d'obtenir des expressions compactes simples des paramètres de bruit en présence d'un courant tunnel de grille dans la section suivante, il est utile de simplifier les expressions de G_{opt} et T_{min} . Pour cela, nous avons déjà mis en avant le faible impact du coefficient de corrélation C sur ces paramètres. D'un point de vue pratique, on peut considérer dans les équations II.12 et II.14 que $(1-C^2) \approx 1$ et $(P+R-2.C.\sqrt{P.R}) \approx P$. Dans ces conditions, G_{opt} et T_{min} s'écrivent :

$$G_{opt} \approx \frac{C_{tot} \cdot \omega}{(P + (R_g + R_s)g_m)} \cdot \sqrt{P.R + P.(R_g + R_s)g_m} \quad \text{II.15}$$

$$T_{min} \approx 2.T_0 \cdot \frac{C_{tot} \cdot \omega}{g_m} \cdot \sqrt{P.R + P.(R_g + R_s)g_m} \quad \text{II.16}$$

Ces équations donnent de bonnes approximations, comme le montre la Figure II-4. En particulier, l'équation II.16 montre clairement (expression sous la racine) l'importance relative entre d'une part le bruit intrinsèque induit de grille et d'autre part celui causé par R_g à l'entrée. Notamment, si $R \ll R_g.g_m$, l'équation II.16 se réduit à la formulation de Fukui (cf. I.3.3.c)).

II.1.4. Influence du courant tunnel de grille

Du fait de la diminution de l'épaisseur d'oxyde avec la réduction d'échelle, le courant tunnel de grille traversant l'oxyde devient de plus en plus important. Cet effet a déjà été étudié analytiquement pour les composants III-V [9]. Néanmoins, l'influence des résistances extrinsèques R_g et R_s avait été négligée dans cette étude et nous en avons tenu compte dans notre étude. Afin de faire une telle étude dans le cas des MOSFETs, nous utilisons les mêmes hypothèses, i.e. une source de courant de bruit de grenaille $\langle i_{shot}^2 \rangle$, de densité spectrale $2.q.I_g$, est simplement ajoutée en parallèle à la source de courant de bruit de diffusion de grille $\langle i_g^2 \rangle$ (Figure II-5).

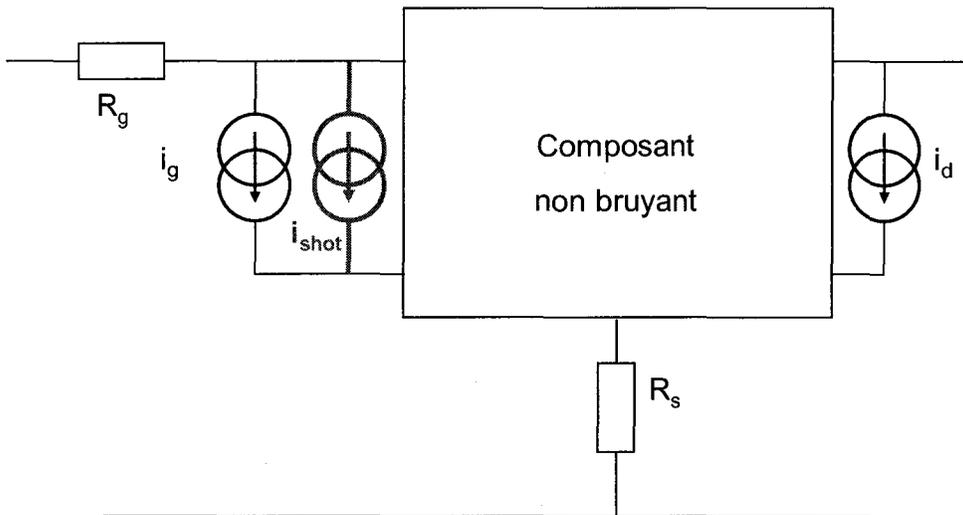


Figure II-5 Représentation Chaîne du composant bruyant avec source de bruit de grenaille.

La matrice de corrélation de bruit $[C_Y']$ associée à la matrice Admittance $[Y]$ s'écrit alors :

$$[C_Y'] = \begin{bmatrix} \langle i_g^2 \rangle & \langle i_g \cdot i_d^* \rangle \\ \langle i_g^* \cdot i_d \rangle & \langle i_d^2 \rangle \end{bmatrix} + \begin{bmatrix} \langle i_{shot}^2 \rangle & 0 \\ 0 & 0 \end{bmatrix} = [C_Y] + \begin{bmatrix} 2.q.I_g \cdot \Delta f & 0 \\ 0 & 0 \end{bmatrix} \quad \text{II.17}$$

où $[C_Y]$ est définie à l'équation II.9.

Après adjonction des résistances d'accès et de leur bruit thermique associé, et le passage en matrice Chaîne $[A']$ avec sa matrice de corrélation de bruit $[C_A']$, on obtient :

$$[C_A'] = \begin{bmatrix} \langle e^2 \rangle & \langle e \cdot i^* \rangle \\ \langle e^* \cdot i \rangle & \langle i^2 \rangle \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ 0 & \langle i_{shot}^2 \rangle \end{bmatrix} = [C_A] + \begin{bmatrix} 0 & 0 \\ 0 & 2.q.I_g \cdot \Delta f \end{bmatrix} \quad \text{II.18}$$

où $[C_A]$ est définie à l'équation II.10.

Les nouvelles expressions de G_{opt} et T_{min} en présence de courant tunnel de grille en fonction des anciennes s'écrivent alors :

$$G'_{opt} = G_{opt} \cdot \sqrt{1 + \frac{2 \cdot q \cdot I_g}{4 \cdot k \cdot T_0 \cdot R_n \cdot G_{opt}^2}} = G_{opt} \cdot \sqrt{1 + \left(\frac{\omega_{sh}}{\omega}\right)^2} \quad \text{II.19}$$

$$T'_{min} = T_{min} \cdot \sqrt{1 + \frac{2 \cdot q \cdot I_g}{4 \cdot k \cdot T_0 \cdot R_n \cdot G_{opt}^2}} = T_{min} \cdot \sqrt{1 + \left(\frac{\omega_{sh}}{\omega}\right)^2} \quad \text{II.20}$$

Un calcul plus poussé nous donne l'expression suivante pour $\left(\frac{\omega_{sh}}{\omega}\right)^2$:

$$\left(\frac{\omega_{sh}}{\omega}\right)^2 = \frac{2 \cdot q \cdot I_g}{4 \cdot k \cdot T_0 \cdot \frac{C_{tot}^2 \cdot \omega^2 \cdot R}{g_m} \cdot K} \quad \text{II.21}$$

$$K = \frac{P + \left(\frac{P}{R}\right) \cdot (R_g + R_s) \cdot g_m}{P + (R_g + R_s) \cdot g_m} > 1 \quad \text{II.22}$$

Ces expressions sont proches de ceux obtenus dans le cas des transistors III-V. Cependant, la prise en compte des résistances d'accès fait apparaître un coefficient K. Le coefficient K traduit le fait que le bruit thermique additionnel à l'entrée relatif aux résistances R_g et R_s entre également en compétition avec la composante de bruit de grenaille [10].

L'équation II.21 montre clairement que pour une fréquence de travail donnée, le courant de bruit de grenaille $\langle i_{shot}^2 \rangle$ entre en compétition avec le courant induit de bruit de diffusion $\langle i_g^2 \rangle$ pour déterminer la valeur de $\left(\frac{\omega_{sh}}{\omega}\right)^2$.

En considérant les équations II.21 et II.22, G'_{opt} et T'_{min} s'écrivent :

$$G'_{opt} = P \cdot g_m \cdot \sqrt{\frac{2 \cdot q \cdot I_g}{4 \cdot k \cdot T_0 \cdot P \cdot g_m}} \cdot \sqrt{\frac{1}{P} \cdot \frac{1}{P + g_m \cdot (R_g + R_s)}} \cdot \sqrt{1 + \left(\frac{f}{f_{sh}}\right)^2} \quad \text{II.23}$$

$$T'_{min} = 2 \cdot T_0 \cdot P \cdot \sqrt{\frac{2 \cdot q \cdot I_g}{4 \cdot k \cdot T_0 \cdot P \cdot g_m}} \cdot \sqrt{\frac{1}{P} \cdot (P + g_m \cdot (R_g + R_s))} \cdot \sqrt{1 + \left(\frac{f}{f_{sh}}\right)^2} \quad \text{II.24}$$

Les équations II.23 et II.24 montrent que G'_{opt} et T'_{min} deviennent indépendants de la fréquence pour les faibles fréquences de travail ($f \ll f_{sh}$). Il faut également noter que les résistances d'accès augmentent la température minimale de bruit T'_{min} en basse fréquence en présence de courant tunnel de grille.

Il est intéressant de vérifier la validité de ces formules analytiques avec le logiciel ADS. Pour ce faire, on ajoute simplement au modèle ADS précédent une source de bruit de grenaille en parallèle à la source induite de diffusion de grille.

La Figure II-6 présente les variations fréquentielles de la température minimale de bruit et de la partie réelle de l'admittance optimale en présence ou non d'un courant tunnel de grille. Les résultats du calcul des équations II.23 et II.24 sont comparés aux résultats obtenus avec le modèle ADS

Pour le composant considéré et un courant tunnel de grille de $1 \mu\text{A}$, la fréquence f_{sh} est égale à 3.8 GHz. Une excellente concordance est observée entre les équations analytiques de T'_{min} et G'_{opt} et les simulations ADS. On observe clairement l'influence du courant tunnel de grille pour des fréquences plus petites que f_{sh} (formation d'un plateau) alors qu'il a de moins en moins d'effet pour les fréquences plus élevées.

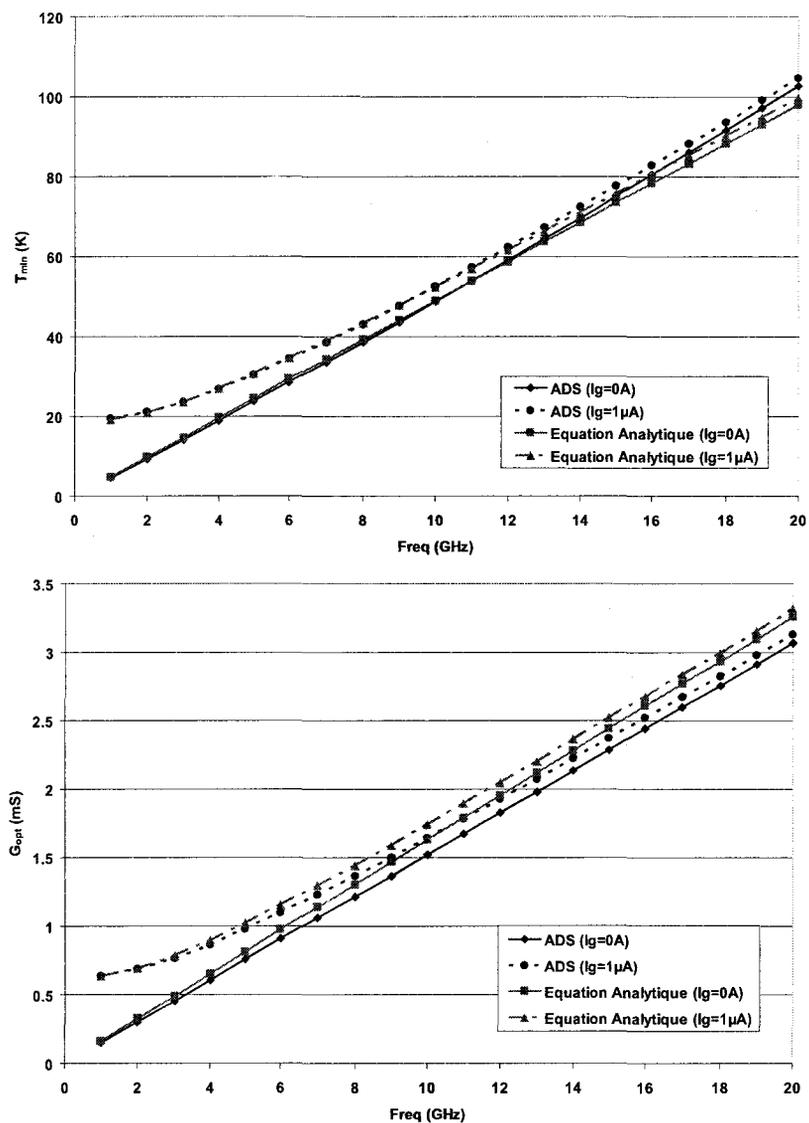


Figure II-6 Comparaison des paramètres de bruit T'_{min} et G'_{opt} calculés analytiquement et extraits d'ADS, en présence ou non d'un courant tunnel de grille ($I_g = 0 \mu A$ et $I_g = 1 \mu A$).

II.1.5. Conclusion

Dans cette section, les paramètres de bruit des MOSFETs ont été étudiés analytiquement en se basant sur les travaux menés dans le cas de transistors III-V. Les expressions extraites de cette étude ont été comparées avec les résultats obtenus pour un schéma équivalent complet avec les sources de bruit associées dans le logiciel ADS. Une excellente concordance a été observée pour tous les paramètres de bruit.

Nous nous sommes également intéressés dans cette étude à l'influence d'un courant tunnel de grille potentiel. La prise en compte des résistances d'accès, non négligeables dans le cas des transistors MOS, montre qu'une compétition existe entre le bruit thermique additionnel dû aux résistances R_g et R_s et le bruit induit de grille.

Ces expressions analytiques nous seront utiles pour étudier l'influence des différents paramètres électriques sur les paramètres de bruit. Cependant, il semble nécessaire de mener une étude quantitative précise sur les variations des paramètres P , R et C avec la polarisation, et sur l'influence du courant tunnel de grille sur les paramètres de bruit à l'aide de simulations physiques de bruit. Cette étude est menée dans la section suivante.

II.2. Modèle physique de bruit

II.2.1. Introduction

Afin de mener une étude théorique plus complète, nous présentons, dans cette section, un modèle physique de bruit 1D [11]. La modélisation complète des performances de bruit d'un composant nécessite de calculer les paramètres électriques petits signaux et les deux sources de bruit associées (définies par leur densité spectrale et leur corrélation complexe). Pour ce faire, l'utilisation d'un modèle électrique précis est requis, permettant de capturer la physique du transistor, et nous utilisons un modèle bien établi, développé pour les transistors nMOS SOI FD [12].

Ce modèle est fondé sur une relation linéaire et physique entre la densité de charge d'inversion et le potentiel de surface. Cette relation nous permet d'obtenir les expressions du courant de Drain et des charges totales en termes de densités de charges d'inversion aux accès de Source et de Drain du canal.

L'utilisation d'expressions explicites des densités de charges d'inversion en fonction des tensions appliquées nous amène à un modèle compact des MOSFETs SOI FD, infiniment dérivable et valable dans tous les régimes de polarisation. Ce dernier point est très important car il nous permet de calculer les performances de bruit du régime de faible inversion au régime de forte inversion.

A partir de ce modèle développé sous MATLAB, un modèle de bruit original est implémenté permettant de calculer les paramètres de bruit de tout transistor à effet de champ.

Ce modèle de bruit utilise la méthode de ligne active bruyante pour prendre en compte la nature distribuée du canal. Il nous permet de calculer les performances de bruit hautes fréquences de ces transistors.

Dans une première partie, nous présentons l'étalonnage du modèle physique pour un transistor nMOS SOI FD de 0.25 μm de longueur physique de grille.

Ensuite, la définition du schéma équivalent local de la ligne active bruyante est donnée. Une attention particulière est également portée sur la définition des sources de bruit microscopiques distribuées le long du canal.

Dans une troisième partie, une méthode originale pour calculer les contributions de chaque section locale du canal sur les électrodes de Grille et de Drain est présentée. Il est alors possible de déterminer les différents éléments qui constituent le circuit équivalent en π

conventionnel du transistor à effet de champ ainsi que les sources de bruit intrinsèques. Enfin, en ajoutant l'influence des éléments extrinsèques, on calcule les performances de bruit du transistor.

Dans la dernière partie, nous complétons ce modèle de bruit en tenant compte du courant tunnel de grille et du bruit de grenaille associé.

II.2.2. Paramétrage du modèle physique

Le paramétrage du modèle physique se fait tout d'abord par une description de la structure du transistor. Il faut notamment fournir la longueur de grille L et la largeur W du composant, les profondeurs de canal t_b , d'oxyde avant t_{of} et arrière t_{ob} , le dopage dans le canal N_A , etc....

Ensuite, différents paramètres de réglage permettent d'étalonner le modèle sur les mesures statiques du transistor. Leur utilisation est décrite dans le Tableau II-3 :

Paramètre	Descriptif	Mode d'étalonnage	Valeur
N	Facteur de l'effet de <i>body</i>	Plateau de $\frac{g_{mGf}}{I_{DS}}$	2.3
V_{Thf0}	Tension de seuil en forte inversion	Maximum de $\frac{dg_{mGf}}{dV_{Gf}}$	0.45V
$V_{Thf0,i}$	Tension de seuil en faible inversion	$V_{Thf0}-2.U_T$	0.44V
Σ	Facteur pour le DIBL et DICE	Tension de seuil pour différents V_D	0.02
θ	Coefficient de dégradation de la mobilité	$\frac{I_{DS}}{\sqrt{g_{mGf}}} = f(V_{Gf})$ en région triode	4.9e-8
L	Longueur caractéristique	Région de saturation [13]	5e-11 m
v_{sat}	Vitesse de saturation des porteurs	Région de saturation [13]	100000 cm.s ⁻¹
S_{NT}	Transition entre faible et forte inversion	Régime sous-seuil, forte inversion	0.95
A_{TS}	Transition entre la zone triode et la zone de saturation	Frontière zone triode/saturation	10

Tableau II-3 Paramètres d'étalonnage du modèle physique.

Les valeurs des paramètres du Tableau II-3 correspondent à l'étalonnage du modèle pour un transistor nMOS SOI FD siliciuré de 0.25µm de longueur et 25µm de largeur de grille (8 doigts x 3.125 µm) en technologie CEA LETI.

La Figure II-7 et la Figure II-8 présentent la comparaison simulations - mesures des caractéristiques de courant I_{ds} , de transconductance G_m et de conductance de sortie G_d en fonction de V_{gs} et V_{ds} pour ce composant. Pour tous ces paramètres, on constate une très bonne concordance des simulations avec les mesures.

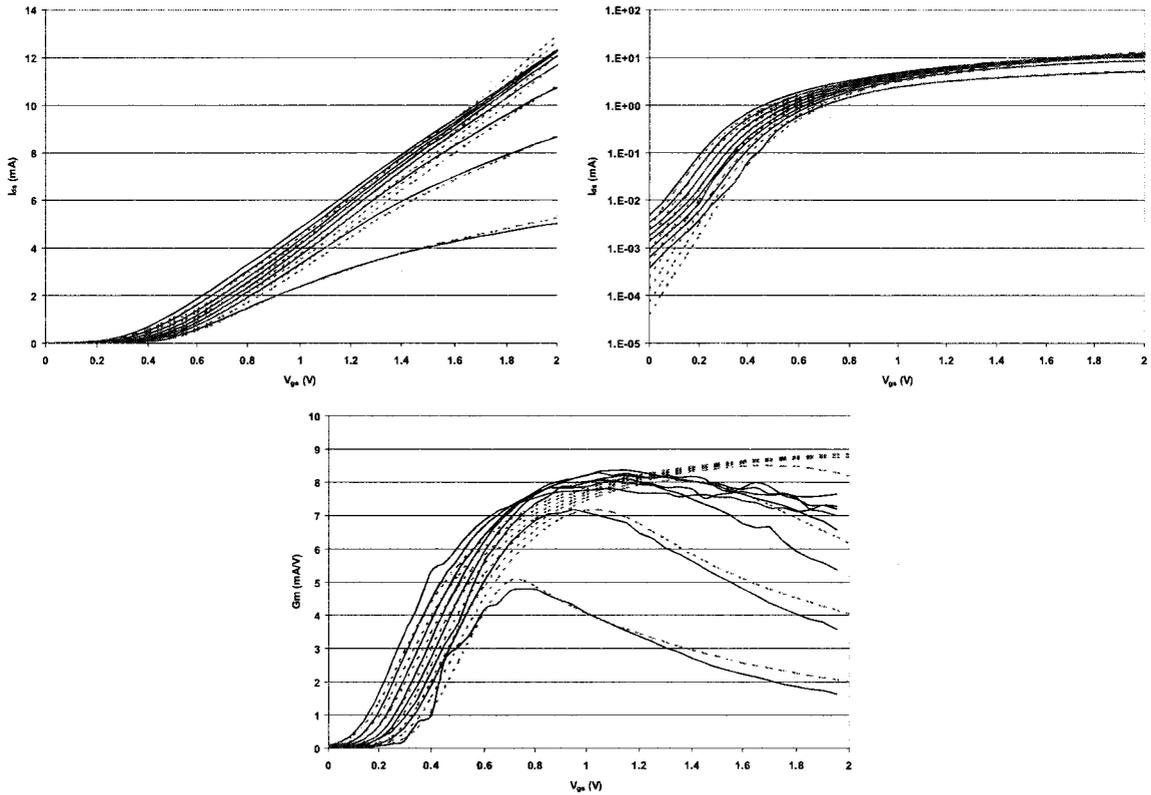


Figure II-7 Réseaux de caractéristiques de courant de Drain I_{ds} et de transconductance G_m en fonction de V_{gs} et pour différents V_{ds} ($V_{ds}=0.25 : 0.25 : 2V$) : comparaison modèle physique et mesure d'un MOS SOI FD de $0.25 \mu\text{m}$ de longueur et $25 \mu\text{m}$ de largeur de grille.

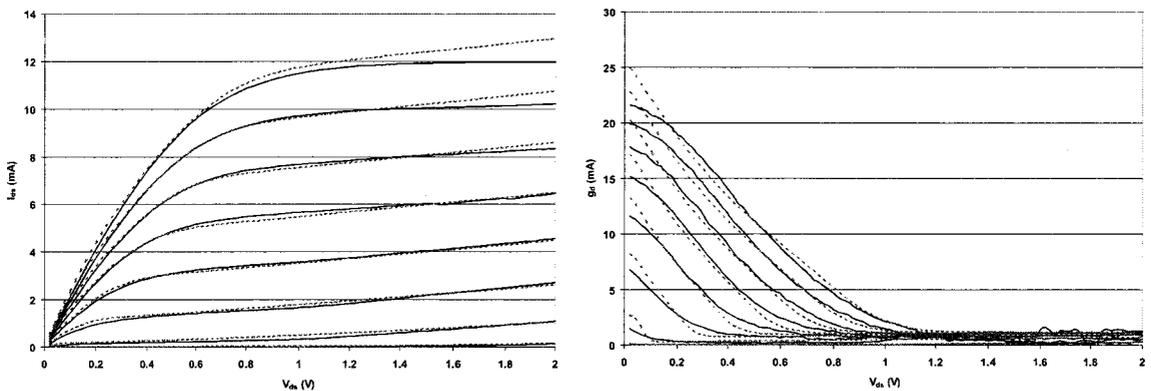


Figure II-8 Réseaux de caractéristiques de courant de Drain I_{ds} et de conductance G_d en fonction de V_{ds} et pour différents V_{gs} ($V_{gs}=0.25 : 0.25 : 2V$) : comparaison modèle physique et mesure d'un MOS SOI FD de $0.25 \mu\text{m}$ de longueur et $25 \mu\text{m}$ de largeur de grille.

II.2.3. Modélisation microscopique du canal bruyant.

Afin de développer un modèle de bruit proche de la physique du composant, il faut tenir compte de la nature distribuée du canal; pour cela, nous considérons le composant sous la grille comme une ligne active bruyante [14], [15] (Figure II-9).

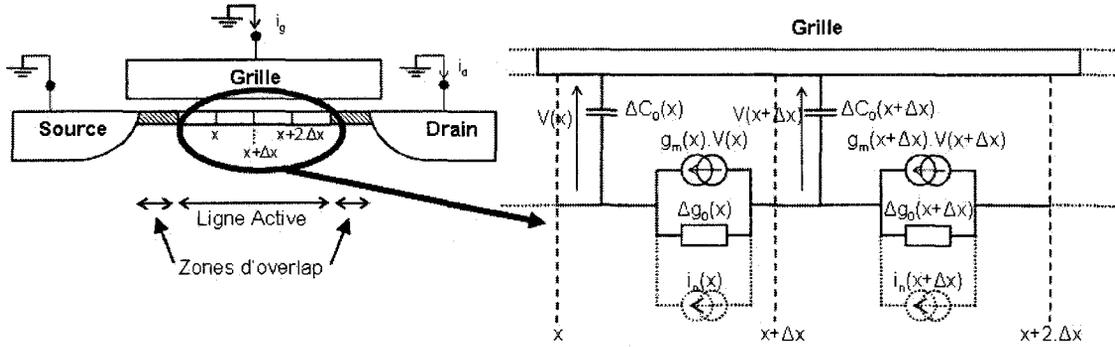


Figure II-9 Canal du transistor en représentation ligne active.

Il faut alors déterminer les trois paramètres électriques $\Delta c_0(x)$, $\Delta g_m(x)$, $\Delta g_0(x)$ du schéma équivalent local. Ces paramètres peuvent être déduits des quantités physiques, variant le long du canal et sont donnés par le modèle physique (densité de charges d'interface, champ électrique,...). Il faut également calculer la densité spectrale de la source de bruit local $\langle i_n^2(x) \rangle$.

a) Détermination des éléments électriques de la ligne active

Les paramètres petits signaux locaux du MOSFET SOI FD sont calculés par [12] :

$$\Delta g_m(x) = \frac{q \cdot \mu_{eff}}{\alpha \cdot \left(1 + \frac{\mu_{eff} \cdot V(x)}{2 \cdot \Delta x \cdot v_{sat}} \right)} \cdot \frac{W}{\Delta x} \cdot (n(x) - n(x + \Delta x)) \quad \text{II.25}$$

$$- \frac{q \cdot n_s}{\epsilon_{Si}} \cdot \frac{\theta \cdot c_{of} \cdot I_d}{q \cdot n(x) + \alpha \cdot c_{of} \cdot V_{th}} \cdot \left(\frac{\mu_{eff}}{\mu_0} \right)^2$$

$$\frac{1}{g_0(x)} = \frac{\Delta x}{W} \cdot \left(1 + \frac{\mu_{eff} \cdot V(x)}{2 \cdot \Delta x \cdot v_{sat}} \right)^2 \cdot \frac{1}{\mu_{eff} \cdot \left(q \cdot n(x) - \frac{c_{of} \cdot \mu_{eff} \cdot \alpha \cdot V(x)^2}{4 \cdot \Delta x \cdot v_{sat}} \right)} + \Delta r_{sat} \quad \text{II.26}$$

$$\Delta c_0(x) = c_{of} \cdot W \cdot \Delta x \cdot \frac{q \cdot n(x)}{\alpha \cdot c_{of} \cdot V_{th} + q \cdot n(x)} \quad \text{II.27}$$

où μ_{eff} est la mobilité effective, μ_0 la mobilité en l'absence de polarisation, $n(x)$ la densité de charges d'inversion local (par unité de surface), V_{th} la tension de seuil, q la charge électronique, W la largeur du canal, I_d le courant de Drain, v_{sat} la vitesse de saturation, θ le paramètre de dégradation de mobilité et c_{of} la capacité d'oxyde de grille. Les autres paramètres ont pour expression :

$$V(x) = q \cdot \frac{n(x) - n(x + \Delta x)}{\alpha \cdot c_{of}} \quad \text{II.28}$$

$$\Delta r_{sat} = \frac{L_{eff}}{I_d} \cdot \frac{2 \cdot v_{sat}}{\mu_{eff}} \cdot \left(1 + \frac{\mu_{eff} \cdot (V_{ds} - V_{dsat})}{2 \cdot I_d \cdot v_{sat}} \right) \quad \text{II.29}$$

$$\alpha = 1 + \frac{c_b \cdot c_{ob}}{c_{of} \cdot (c_{ob} + c_b)} \quad \text{II.30}$$

où c_{ob} est la capacité d'oxyde enterré, et c_b la capacité du film de Silicium.

Les expressions ci-dessus pour les paramètres petits signaux locaux incluent elles-mêmes les effets de saturation de vitesse (effet canaux courts).

b) Calcul de la source de bruit locale

La définition des sources de bruit microscopiques $\langle i_n^2(x) \rangle$ distribuées le long du canal est un point important de la modélisation. L'origine de ce bruit est liée aux fluctuations de vitesse des porteurs (i.e. bruit de diffusion). La densité spectrale de bruit de diffusion est donnée par :

$$\begin{aligned} S_{i_n}(x) &= 4 \cdot q^2 \cdot n(x) \cdot D_e(x) \cdot \frac{S(x)}{\Delta x} \\ &= -4 \cdot q \cdot Q_{nf}(x) \cdot D_e(x) \cdot \frac{S(x)}{\Delta x} \end{aligned} \quad \text{II.31}$$

où Δx est la longueur de la section, $Q_{nf}(x)$, $D_e(x)$ et $S(x)$ sont respectivement la densité de charges dans le canal (calculé par le modèle physique), le coefficient de diffusion latéral local, et la section du canal à la position x .

Afin d'obtenir la densité spectrale de bruit de diffusion $S_{i_n}(x)$, il nous faut une expression du coefficient de diffusion latéral $D_e(x)$. En considérant la relation d'Einstein généralisée, $D_e(x)$ s'exprime par [16]:

$$D_e(x) = \frac{\frac{k \cdot T_a}{q} \cdot \mu_{eff}(x)}{\left(1 + \left(\frac{E_f(x)}{E_c} \right)^\beta \right)^{\frac{\beta-1}{\beta}}} \quad \text{II.32}$$

où k est la constante de Boltzmann, E_c le champ électrique latéral critique, T_a la température ambiante, $E_l(x)$ le champ électrique latéral à la position x , et β est un coefficient donnant des valeurs réalistes du coefficient de diffusion des électrons. Il faut noter que $\mu_{eff}(x)$ dépend du champ électrique transversal en cohérence avec le modèle physique [12]. L'équation II.32 inclut également les effets de porteurs chauds (qui interviennent dans le cas de canaux courts).

Les performances de bruit sont alors calculées pour les conditions suivantes : le canal bruyant considéré est modélisé de la jonction de Source jusqu'à la position $x=x_{sat}$ particulière pour laquelle la vitesse des porteurs est saturée. On néglige alors la contribution du bruit thermique de la zone pincée (proche de la jonction de drain), en accord avec les travaux de A. J. Scholten [17] et C.H. Chen [18]. Il faut noter cependant que la position x_{sat} dépend des conditions de polarisations car on prend en compte dans le modèle la modulation de la longueur de canal.

Pour conclure, la modélisation du bruit de diffusion est totalement cohérente avec le modèle physique (à partir du moment où β est fixé, aucun paramètre additionnel est nécessaire pour les calculs).

II.2.4. Modélisation macroscopique

Après la description et le calcul du modèle microscopique ci-dessus, il nous faut calculer la contribution des différents éléments de la ligne active sur les électrodes de Grille, Source et Drain du composant.

La méthode originale décrite ci-dessous permet de calculer les performances hyperfréquences et de bruit pour tout transistor à effet de champ.

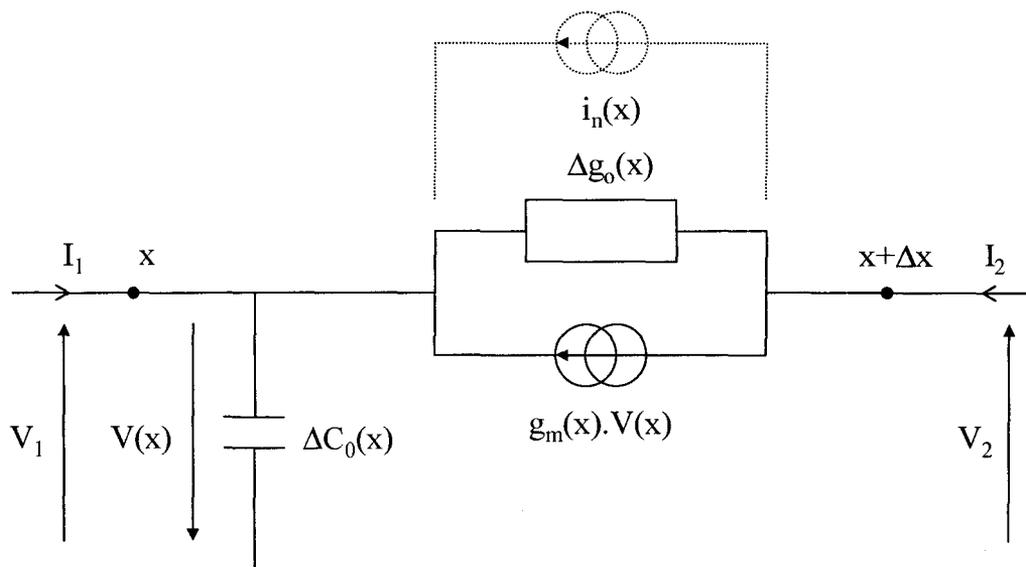


Figure II-10 Circuit équivalent intrinsèque bruyant en configuration Grille commune.

L'idée générale provient de la théorie de bruit classique des circuits [2],[7], appliquée aux circuits équivalents locaux définis dans la section précédente. Si l'on considère le circuit équivalent petit signal d'un élément de la ligne active bruyante en configuration Grille commune (Figure II-10), on peut calculer sa matrice chaîne A_g et sa matrice de corrélation associée Ca_g [2],[7]:

$$A_g = \frac{1}{\Delta g_m(x) + \Delta g_0(x)} \begin{bmatrix} \Delta g_0(x) & 1 \\ j \cdot \Delta c_0(x) \cdot \omega \cdot \Delta g_0(x) & \Delta g_m(x) + \Delta g_0(x) + j \cdot \Delta c_0 \cdot \omega \end{bmatrix} \quad \text{II.33}$$

$$Ca_g = \begin{bmatrix} \langle e^2 \rangle & \langle e \cdot i^* \rangle \\ \langle e^* \cdot i \rangle & \langle i^2 \rangle \end{bmatrix} = \frac{S_{i_n}(x)}{(\Delta g_m(x) + \Delta g_0(x))^2} \begin{bmatrix} 1 & -j \cdot \Delta c_0(x) \cdot \omega \\ j \cdot \Delta c_0(x) \cdot \omega & (\Delta c_0 \cdot \omega)^2 \end{bmatrix} \quad \text{II.34}$$

La représentation chaîne permet alors de cascader les différents éléments de la ligne active bruyante.

a) Mise en cascade des éléments

Afin d'être cohérent avec le modèle physique, nous cascadons les éléments en commençant du côté de la jonction de Drain et jusqu'à la jonction de Source (de « droite » à « gauche »).

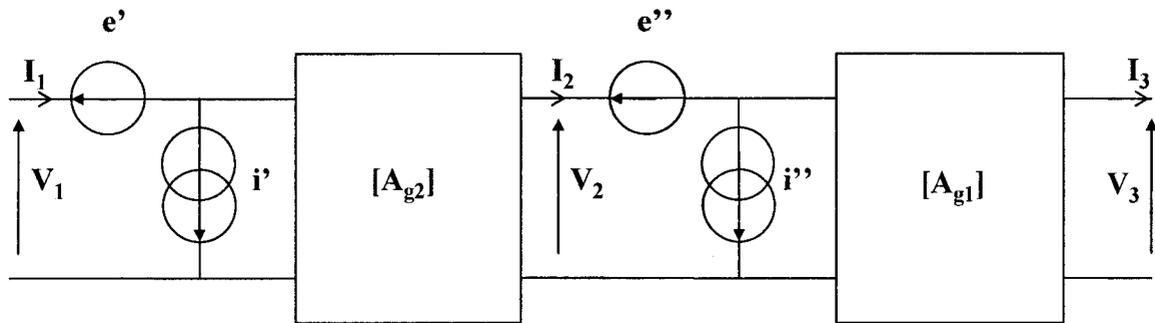


Figure II-11 Mise en cascade de deux éléments consécutifs de la ligne active.

En considérant deux éléments consécutifs décrits par leur matrice chaîne équivalente et leur matrice de corrélation de bruit associée (Figure II-11), on peut calculer la matrice chaîne $[A'_g]$ équivalente à l'ensemble en utilisant l'équation :

$$[A'_g] = [A_{g2}][A_{g1}] \quad \text{II.35}$$

Dans le même temps, la matrice de corrélation de bruit $[Ca'_g]$ associée à l'ensemble est donnée par :

$$[Ca'_g] = \begin{bmatrix} \langle e^2 \rangle & \langle e.i^* \rangle \\ \langle e^*.i \rangle & \langle i^2 \rangle \end{bmatrix} = [A_{g2}] \cdot [Ca_{g1}] \cdot [A_{g2}]^T + [Ca_{g2}] \quad \text{II.36}$$

En cascasant les éléments de proche en proche de cette façon, on obtient alors la matrice chaîne équivalente $[A'_g]$ et la matrice de corrélation de bruit associée $[Ca'_g]$ du canal tout entier en configuration Grille commune. Il faut noter que dans nos simulations, le canal est modélisé par une centaine de circuits équivalents locaux pour avoir une bonne précision dans les résultats [14].

Enfin, on passe de la configuration Grille commune à la configuration Source commune pour obtenir la matrice chaîne $[A_s]$ et la matrice de corrélation de bruit associée $[Ca_s]$ dans la configuration usuelle en Source commune :

$$[A_s] = \frac{1}{A_{g11} - 1} \begin{bmatrix} A_{g11} & A_{g12} \\ A_{g21} & A_{g11} + A_{g22} - \det([A_g]) - 1 \end{bmatrix} \quad \text{II.37}$$

$$[Ca_s] = \begin{bmatrix} \frac{Ca_{g11}}{|A_{g11}-1|^2} & \frac{A_{g21}^* \cdot Ca_{g11}}{|A_{g11}-1|^2} - \frac{Ca_{g12}}{A_{g11}-1} \\ \frac{A_{g21} \cdot Ca_{g11}}{|A_{g11}-1|^2} - \frac{Ca_{g21}}{A_{g11}-1} & \frac{|A_{g21}|^2 \cdot Ca_{g11}}{|A_{g11}-1|^2} + Ca_{g22} - 2\Re \left[\frac{A_{g21} \cdot Ca_{g12}}{A_{g11}-1} \right] \end{bmatrix} \quad \text{II.38}$$

où $||$ est le module et \Re la partie réelle du complexe, et $\det([A_g])$ correspond au déterminant de la matrice $[A_g]$.

b) Paramètres électriques petits signaux

A ce niveau de modélisation, on peut calculer la matrice Admittance $[Y_s]$ intrinsèque (cf. Annexe A.2.1). Dans cette représentation (Figure II-12), les éléments du schéma équivalent intrinsèque sont facilement extraits (cf. Annexe A.3).

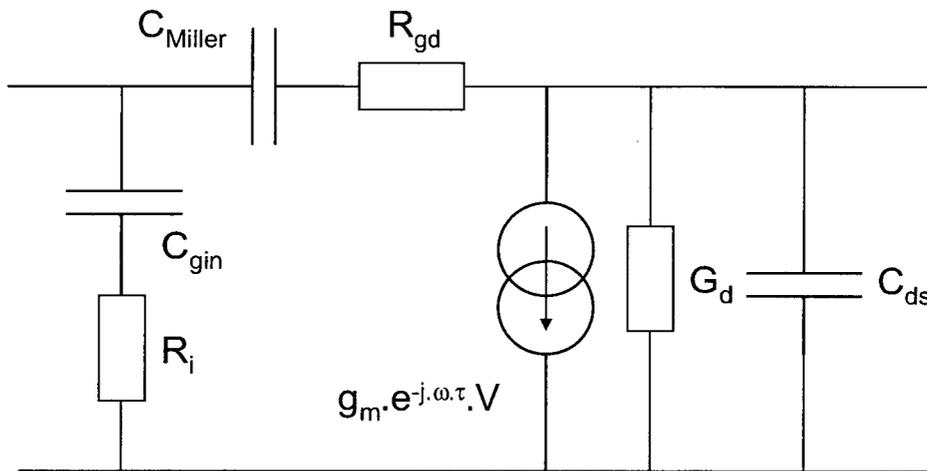


Figure II-12 Schéma équivalent intrinsèque du transistor.

La Figure II-13 présente la transconductance g_m simulée et comparée avec les résultats expérimentaux du transistor nMOS SOI FD de 0.25 μm de longueur physique de grille (0.16 μm de longueur effective) et 25 μm de largeur [19]. On observe une très bonne concordance entre les deux.

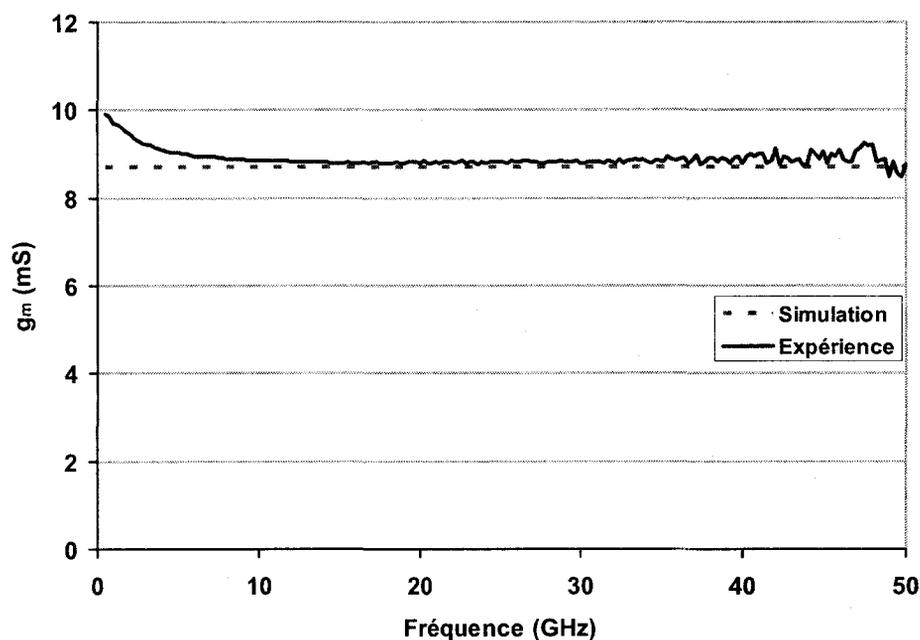


Figure II-13 Transconductance g_m en fonction de la fréquence de travail f ($V_{gs}=1V$, $V_{ds}=1.5V$).

La Figure II-14 et la Figure II-15 présentent respectivement la capacité Grille-Source C_{gs} et la capacité Grille-Drain C_{gd} simulées en fonction de la fréquence de travail f et comparées avec les résultats expérimentaux.

On observe une différence constante sur toute la bande de fréquences (respectivement $\Delta C_{gs} = 7 \text{ fF}$ et $\Delta C_{gd} = 4 \text{ fF}$) entre la simulation et les résultats expérimentaux. En effet, à ce niveau de simulation, on ne considère pas les capacités de recouvrement $C_{gs_{ov}}$, $C_{gd_{ov}}$ et de bord C_{gse} , C_{gde} , contrairement aux résultats expérimentaux.

Il est intéressant de noter que ce modèle permet également de calculer la résistance interne R_i et le délai τ (Figure II-16 et Figure II-17); ces éléments correspondent à des effets non quasi statiques qui ne sont généralement pas calculés par des modèles quasi statiques classiques. Cependant, l'extraction de ces paramètres du second ordre au niveau expérimental reste difficile.

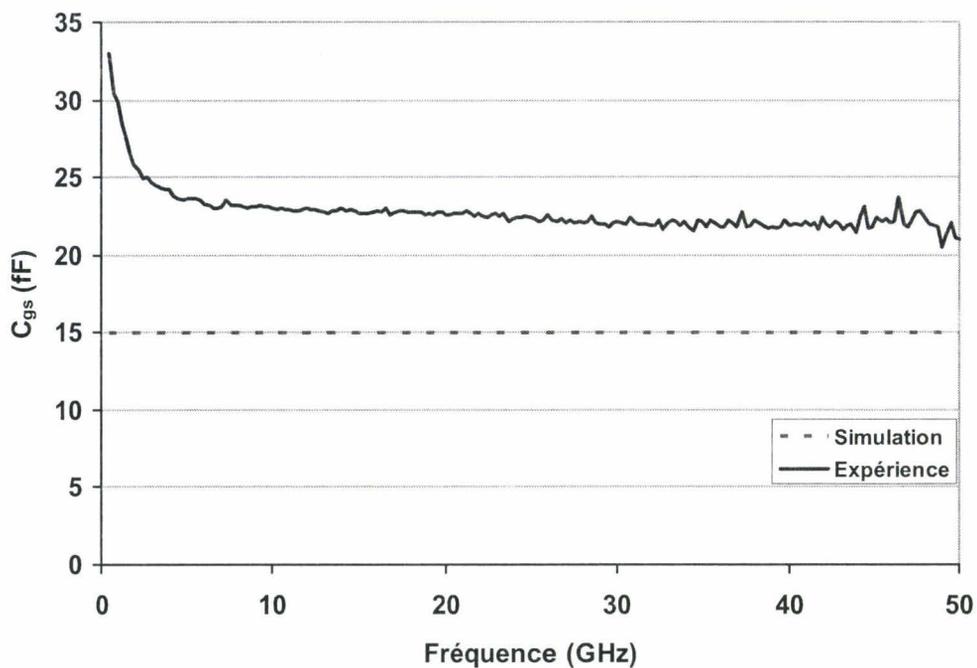


Figure II-14 Capacité Grille-Source C_{gs} en fonction de la fréquence de travail f ($V_{gs}=1\text{ V}$, $V_{ds}=1.5\text{ V}$).

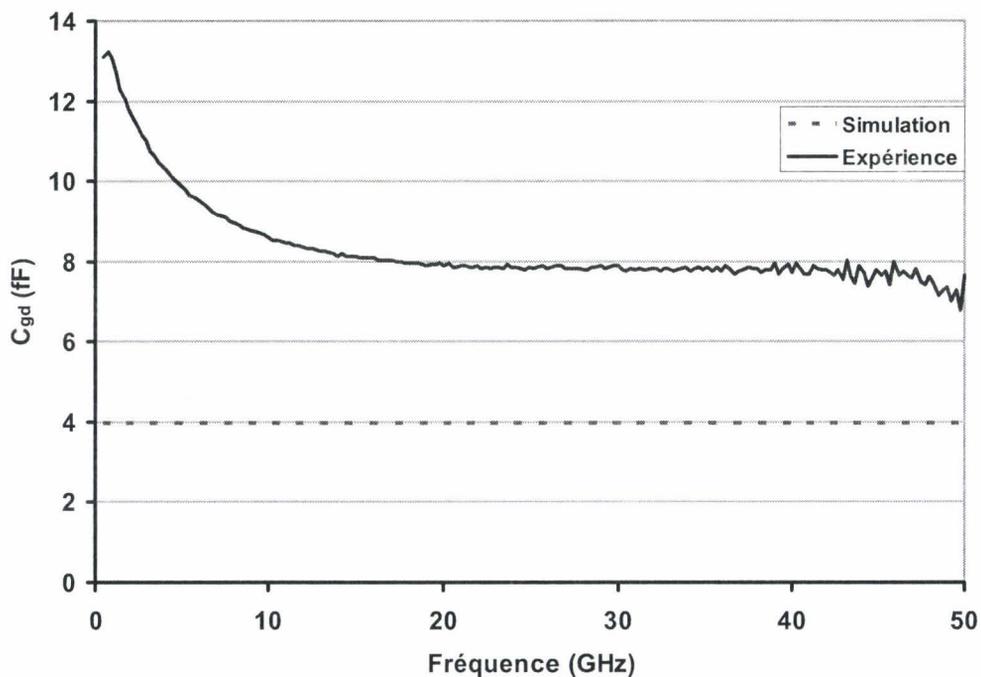


Figure II-15 Capacité Grille-Drain C_{gd} en fonction de la fréquence de travail f ($V_{gs}=1\text{ V}$, $V_{ds}=1.5\text{ V}$).

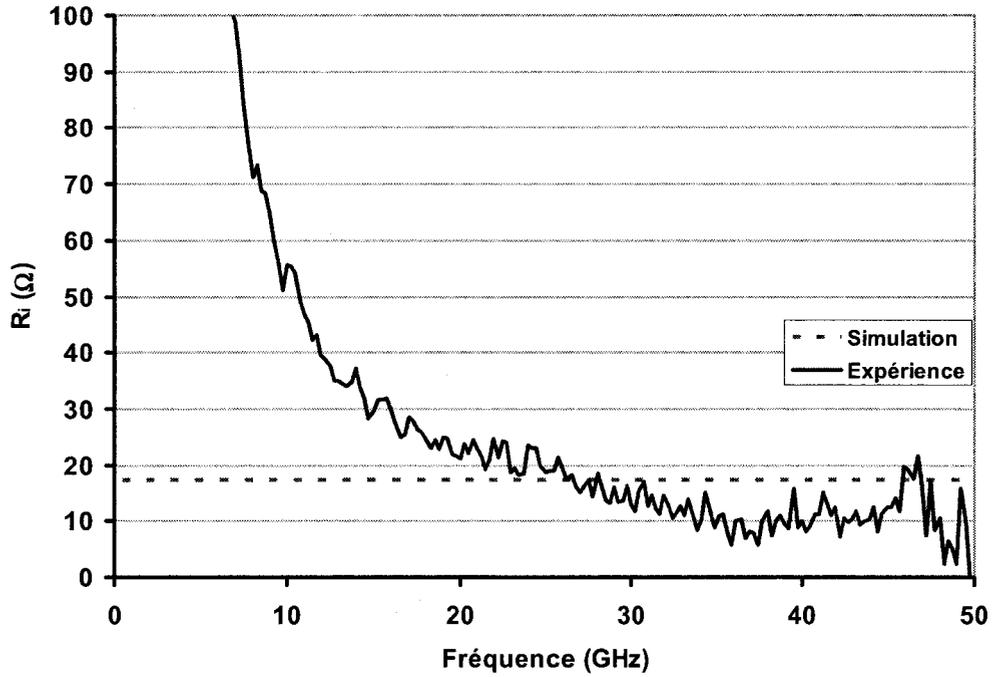


Figure II-16 Résistance intrinsèque R_i en fonction de la fréquence de travail f ($V_g=1 V, V_{ds}=1.5V$).

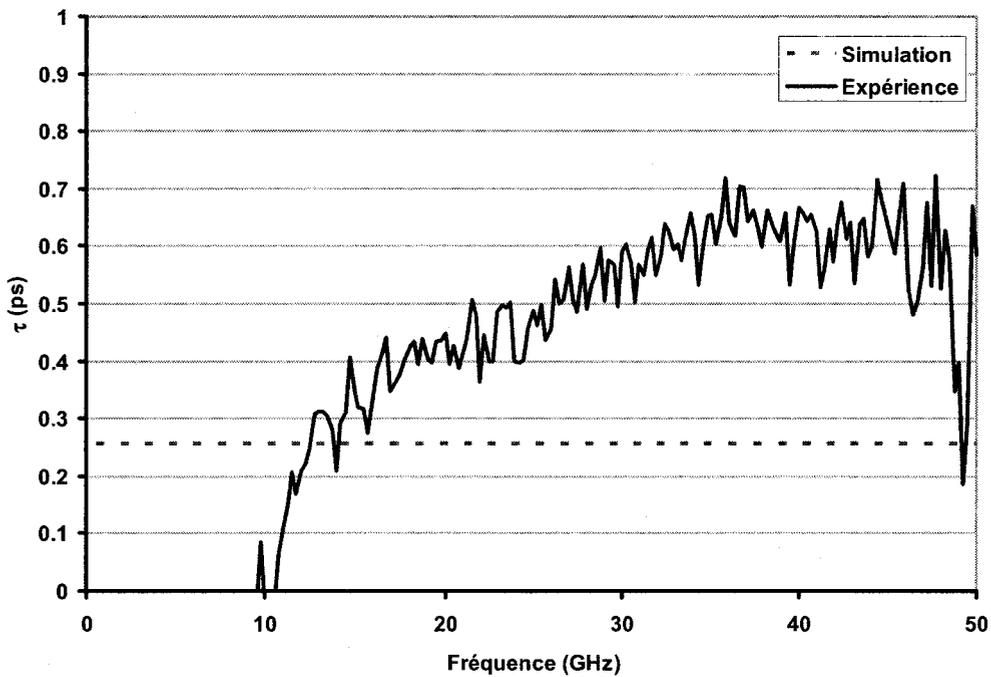


Figure II-17 Délai τ en fonction de la fréquence de travail f ($V_{gs}=1 V, V_d=1.5V$).

c) Distribution des sources de bruit le long du canal

Dans le même temps, on peut calculer la matrice de corrélation de bruit associée en représentation Admittance $[C_{y_s}]$ (cf. Annexe A.2.2). On peut alors extraire de cette matrice les sources de bruit intrinsèque de Grille $\langle i_g^2 \rangle$ et de Drain $\langle i_d^2 \rangle$ et leur corrélation $\langle i_g i_d^* \rangle$ (cf. Equation II.9).

Il est alors intéressant d'étudier la contribution de chaque source de bruit locale distribuée le long du canal sur les sources de bruit macroscopiques $\langle i_g^2 \rangle$ et $\langle i_d^2 \rangle$ et leur corrélation $\langle i_g i_d^* \rangle$. Pour cela, on ne considère « allumée » qu'une seule source de bruit locale à la fois et on cascade l'ensemble des éléments de la ligne active.

La Figure II-18 représente la distribution normalisée des sources $\langle i_g^2 \rangle$ et $\langle i_d^2 \rangle$ le long du canal. On constate que la distribution de $\langle i_d^2 \rangle$ est quasiment indépendante de la position x , alors que celle de $\langle i_g^2 \rangle$ varie fortement. De plus, la distribution de la corrélation $\langle i_g i_d^* \rangle$ est principalement imaginaire, ce qui confirme le couplage capacitif existant entre la grille et le canal du fait de l'oxyde [20].

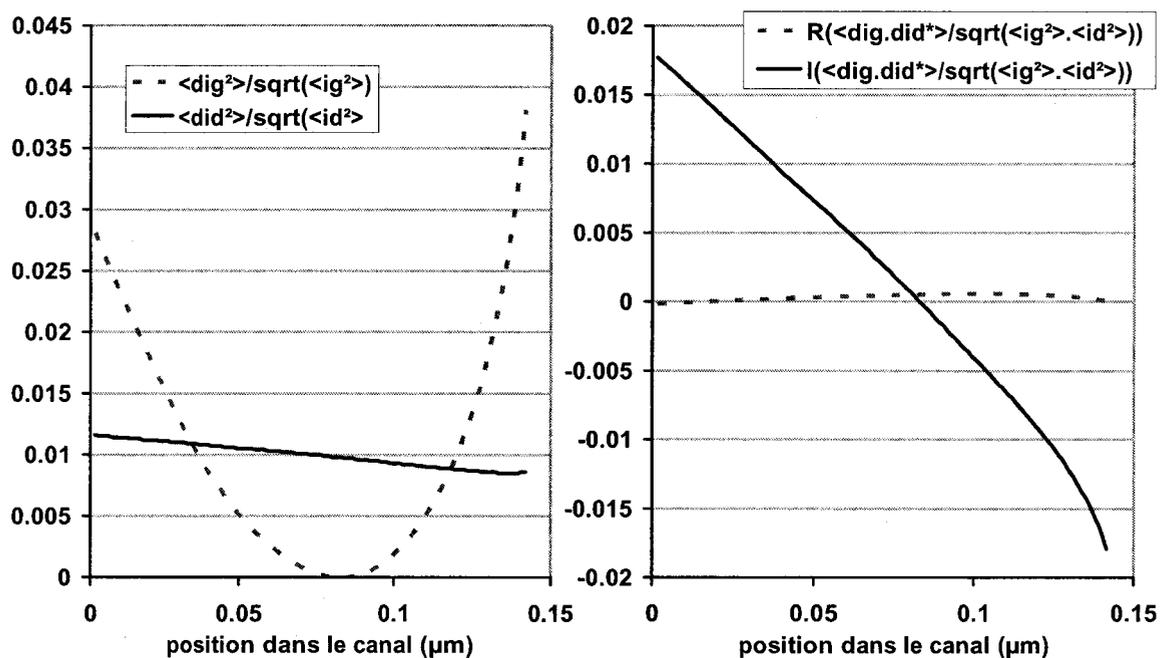


Figure II-18 Distribution normalisée des sources de bruit $\langle i_g^2 \rangle$ et $\langle i_d^2 \rangle$ et de leur corrélation $\langle i_g i_d^* \rangle$ le long du canal ($V_{gs}=1V$, $V_{ds}=1.5V$, $f=6GHz$).

d) Sources de bruit intrinsèques et paramètres de bruit associés

En considérant l'ensemble des sources de bruit locales, on peut étudier les variations des sources de bruit intrinsèques $\langle i_g^2 \rangle$, $\langle i_d^2 \rangle$ et de leur corrélation $\langle i_g i_d^* \rangle$ à travers les paramètres de bruit P , R et C (équations II.3 à II.5).

Même si le modèle physique est optimisé pour des MOSFETs SOI à canaux courts, il est intéressant de simuler en premier lieu un MOSFET SOI « long », et pour cela nous avons simplement changé les dimensions géométriques.

La Figure II-19 présente les paramètres P , R et C en fonction du courant de polarisation I_{ds} pour un composant de $1 \mu\text{m}$ de longueur de grille. Notons que pour notre simulation, seules les capacités intrinsèques C_{gsi} et C_{gdi} sont calculées, les coefficients P et R sont donc relatifs uniquement aux paramètres Y intrinsèques (équations II.3 et II.4).

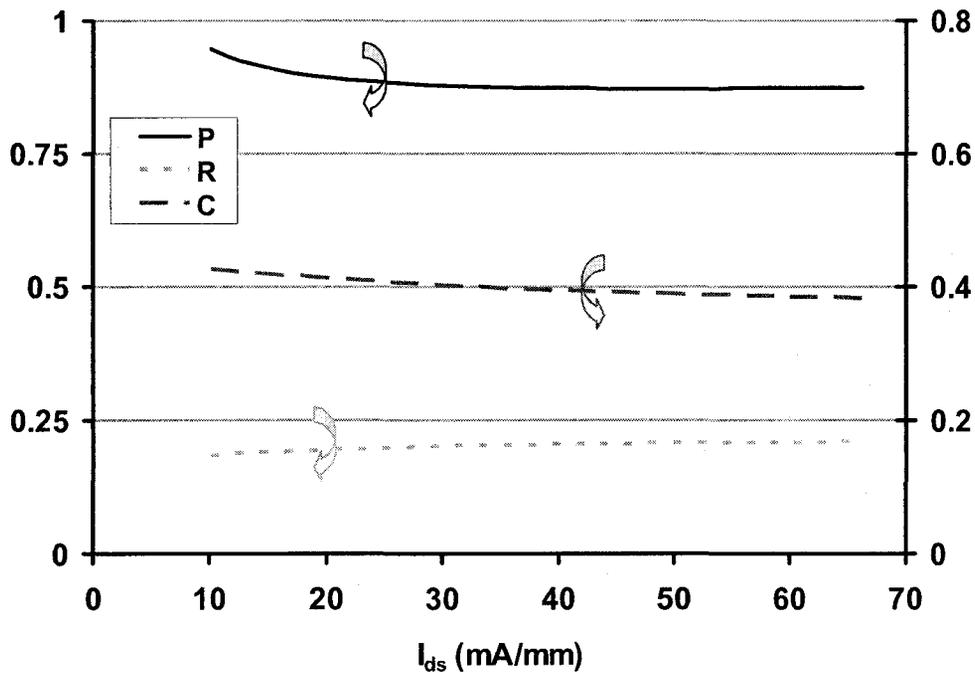


Figure II-19 Paramètres P , R et C en fonction du courant de polarisation I_{ds} pour un composant de $1 \mu\text{m}$ de longueur de grille ($V_{ds}=5V$, $f=6 \text{ GHz}$).

On constate que P , R et C sont quasiment indépendants des conditions de polarisation. P a une valeur de 0.9 (référéncé par rapport à g_m dans l'équation II.3) ce qui est cohérent avec la valeur de γ (référéncé par rapport à g_d à $V_{ds}=0V$) égale à $2/3$, calculée pour la première fois par Van der Ziel [20]. En fait, dans notre cas, la transconductance g_m est assez différente de la conductance g_d à $V_{ds}=0V$, ce qui donne une valeur de P légèrement différente de γ .

La valeur de R est égale à 0.2 et la valeur du coefficient de corrélation C est de l'ordre de 0.4 (0.395 dans [20]). Toutes ces valeurs sont en cohérence avec les résultats publiés dans la littérature dans le cas de MOSFETs à canal long.

Les variations de P , R et C en fonction de la polarisation, dans le cas d'un transistor MOS SOI FD de $0.25 \mu\text{m}$ de longueur physique de grille, sont présentées à la Figure II-20.

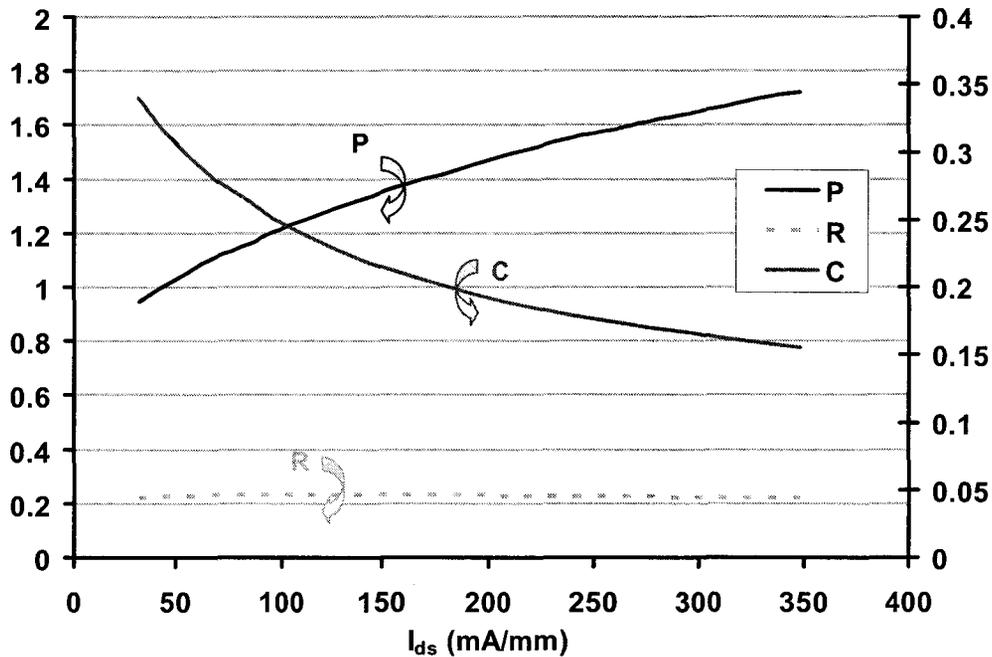


Figure II-20 Paramètres P , R et C en fonction du courant de polarisation I_{ds} pour un composant de $0.25 \mu\text{m}$ de longueur de grille ($V_{ds}=1.5V$, $f=6 \text{ GHz}$).

On peut observer de faibles valeurs de C (plus faible que 0.4 dans toute la gamme de polarisation), ce qui est physiquement lié aux fortes différences de distributions de $\langle i_g^2 \rangle$ et $\langle i_d^2 \rangle$ le long du canal (Figure II-18). La diminution de C avec l'augmentation du courant I_{ds} est liée aux effets canaux courts (contrairement à ce qui se passe dans le cas de canaux longs). Elle confirme également l'hypothèse utilisée ($C^2 \ll 1$) au niveau des équations II.12 et II.14 afin d'aboutir aux expressions simplifiées II.15 et II.16.

On constate également que P est fortement dépendant des conditions de polarisation (en comparaison aux canaux longs), ce qui signifie que $\langle i_d^2 \rangle$ est sensible aux effets canaux courts [18] et à une augmentation de la température de bruit (effet porteurs chauds) dans le canal [21].

Enfin, R est quasiment indépendant du courant I_{ds} . La source de bruit $\langle i_g^2 \rangle$ est donc principalement déterminée par les valeurs des paramètres petits signaux C_{gs} et g_m .

e) Performances de bruit

Afin de calculer les paramètres de bruit usuels (le facteur minimum de bruit NF_{min} , la résistance équivalente de bruit R_n et l'admittance optimale de bruit Y_{opt}), il faut considérer les capacités de recouvrement ainsi que les paramètres extrinsèques et notamment les résistances d'accès bruyantes avec leurs sources de bruit thermiques associées (Figure II-21).

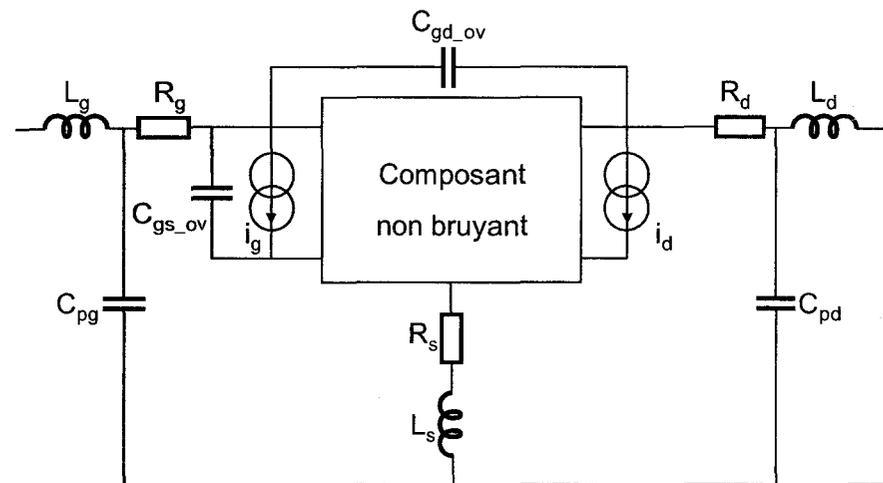


Figure II-21 Prise en compte des éléments extrinsèques.

Ces différents éléments sont ajoutés à la matrice Admittance $[Y_s]$ et à la matrice de corrélation de bruit $[C_{y_s}]$ associées au circuit équivalent petit signal bruyant afin d'obtenir la matrice Chaîne $[A_s]$ et la matrice de corrélation de bruit $[C_{a_s}]$ de l'ensemble du composant (cf. Annexe A.4).

Les paramètres de bruit usuels sont alors extraits de la matrice de corrélation de bruit $[C_{a_s}]$ (cf. Annexe A.5).

La Figure II-22 présente la variation du facteur minimum de bruit NF_{min} en fonction du courant de polarisation I_{ds} . Les résultats de simulation sont comparés avec les résultats expérimentaux et montrent une très bonne concordance.

La Figure II-23 et la Figure II-24 présentent quant à eux la résistance équivalente de bruit R_n et l'admittance optimale de bruit Y_{opt} en fonction du courant de polarisation I_{ds} . La concordance des résultats de simulation avec les résultats expérimentaux est moins bonne en ce qui concerne la résistance équivalente de bruit et la partie réelle de l'admittance optimale. On constate en effet une dégradation de l'ordre de 40% de ces deux paramètres par rapport aux résultats expérimentaux (-40% pour R_n et +40% pour G_{opt}). Notons que nos résultats sont consistants avec ceux obtenus par simulations Monte-Carlo [22]. Ils peuvent s'expliquer par une connaissance approximative de la technologie du transistor et notamment du profil de

dopage. Cependant, nous préférons laisser la simulation comme telle du fait de la très bonne concordance entre simulations et mesures du facteur de bruit minimum NF_{min} et de la partie imaginaire de l'admittance optimale B_{opt} (Figure II-24).

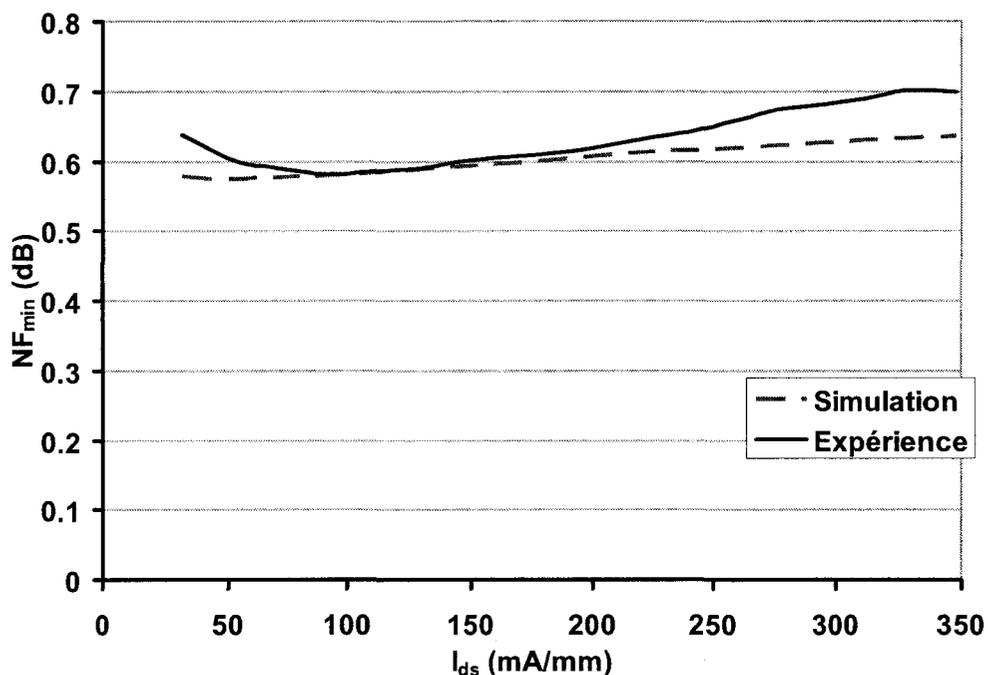


Figure II-22 Figure minimale de bruit NF_{min} en fonction du courant de polarisation I_{ds} ($V_{ds}=1.5V, f=6GHz$).

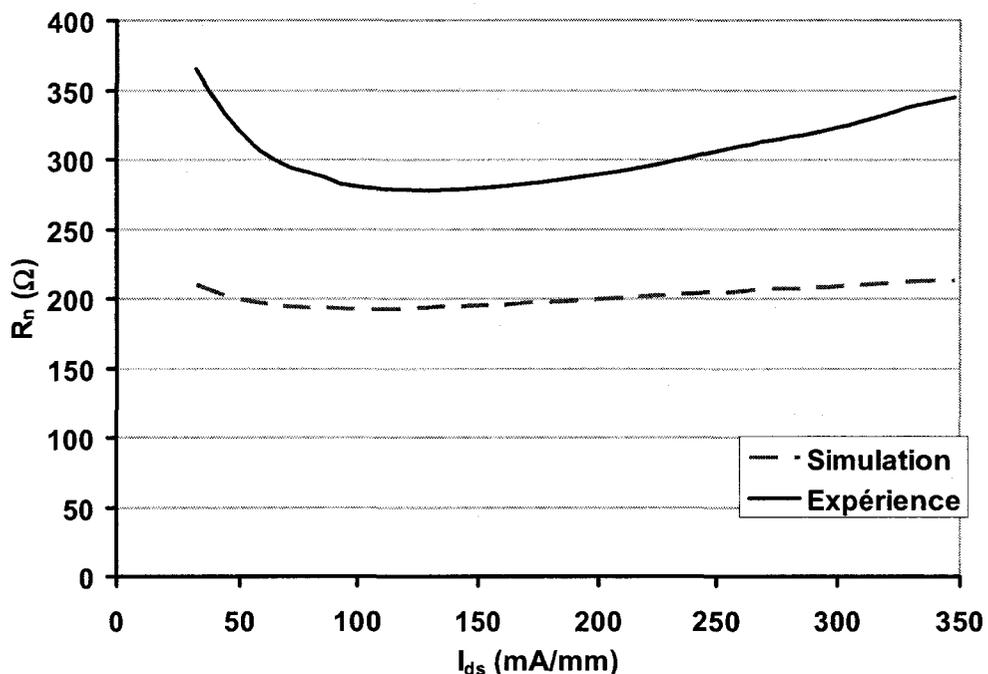


Figure II-23 Résistance équivalente de bruit R_n en fonction du courant de polarisation I_{ds} ($V_{ds}=1.5V, f=6GHz$).

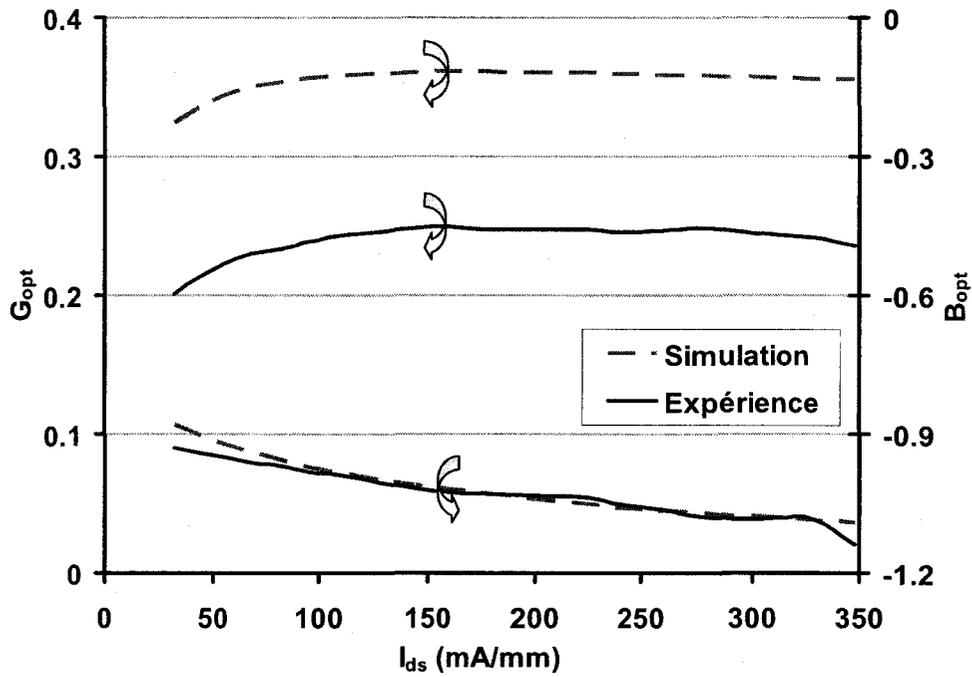


Figure II-24 Partie réelle G_{opt} et imaginaire B_{opt} de l'admittance optimale de bruit Y_{opt} en fonction du courant de polarisation I_{ds} ($V_{ds}=1.5V, f=6GHz$).

II.2.5. Courant de Grille, Bruit de Grenaille

Avec la diminution de l'épaisseur d'oxyde qui accompagne la réduction d'échelle, le courant tunnel de grille traversant l'oxyde augmente. Lorsqu'il est suffisamment fort, il peut modifier les performances de bruit du composant. Cette influence a déjà été largement étudiée dans le cas de transistors en technologie III-V [9] et plus récemment pour des MOSFETs en utilisant un modèle hydrodynamique [23]. Nous proposons ici d'implémenter le courant tunnel de grille et le bruit de grenaille associé dans le modèle physique de bruit compact [24]. Dans cette étude, nous considérons un MOSFET SOI de 0.1 μm de longueur et 1 μm de largeur de grille avec une épaisseur d'oxyde de 1.5 nm.

a) Définition du courant tunnel de grille au niveau microscopique

La densité de courant tunnel direct de grille au niveau local est exprimée par :

$$j_n(x) = A_g \cdot E_{ox}(x)^2 \cdot e^{-\frac{B_g \cdot \left(1 - \left(1 - \frac{V_{ox}(x)}{\Phi_b}\right)^{3/2}\right)}{E_{ox}(x)}} \quad \text{II.39}$$

avec $E_{ox}(x) = \frac{\epsilon_{si}}{\epsilon_{ox}} \cdot \frac{Q_{nf}(x)}{\epsilon_{si}} + q \cdot N_A \cdot \frac{t_b}{2 \cdot \epsilon_{ox}}$, $V_{ox}(x) = E_{ox}(x) \cdot t_{ox}$ et $\Phi_b = 3.1 \text{ eV}$ [23]. $Q_{nf}(x)$ est la

densité de charges d'inversion à la position x . Les paramètres A_g et B_g sont calculés aux équations I.4 et I.5.

Au niveau du schéma équivalent local, il faut alors considérer une conductance de grille $g_g(x)$ pour traduire les effets d'injection d'électrons.

Cette conductance $g_g(x)$ est exprimée par :

$$g_g(x) = W \cdot \Delta x \cdot \frac{\partial j_n(x)}{\partial V_g} = W \cdot \Delta x \cdot \frac{\partial j_n(x)}{\partial E_{ox}} \cdot \frac{\partial E_{ox}(x)}{\partial V_g} \quad \text{II.40}$$

où W est la largeur de la grille, Δx la longueur de la section x considérée, V_g la tension de grille.

Avec :

$$\frac{\partial E_{ox}(x)}{\partial V_g} = \frac{Q_{nf}(x)}{\frac{k \cdot T_a}{q} \cdot S \cdot \epsilon_{ox} - t_{ox} \cdot Q_{nf}(x)} \quad \text{II.41}$$

où k est la constante de Boltzmann, T_a la température ambiante, S la pente sous le seuil;

et :

$$\frac{\partial j_n(x)}{\partial E_{ox}} = A_g \cdot e^{-\frac{B_g \left(1 - \left(1 - \frac{V_{ox}(x)}{\Phi_b} \right)^{3/2} \right)}{E_{ox}(x)}} \quad \text{II.42}$$

$$\left(2.E_{ox}(x) + B_g \cdot \left(1 - \left(1 - \frac{V_{ox}(x)}{\Phi_b} \right)^{3/2} \right) - \frac{3}{2} \cdot E_{ox}(x) \cdot \frac{B_g J_{ox}}{\Phi_b} \cdot \left(1 - \frac{V_{ox}(x)}{\Phi_b} \right)^{1/2} \right)$$

La Figure II-25 présente la distribution de la densité de courant de grille et de la conductance de grille le long du canal pour différentes tensions de Drain ($V_{gs}=1V$ et $f=4GHz$).

Pour une tension de drain V_{ds} faible, on observe une faible évolution de la densité de courant de grille le long du canal. En effet, la tension V_{ox} au borne de l'oxyde est pratiquement égale du coté source ($V_{gs}=0.5V$) et du coté drain ($V_{gd}=V_{gs}-V_{ds}=0.49V$).

En revanche, on observe, pour une tension de drain V_{ds} plus élevée, une diminution de la densité de courant de grille le long du canal. Dans ce cas, la tension V_{ox} au borne de l'oxyde est plus faible du coté drain ($V_{gd}=-0.3V$) que du coté source.

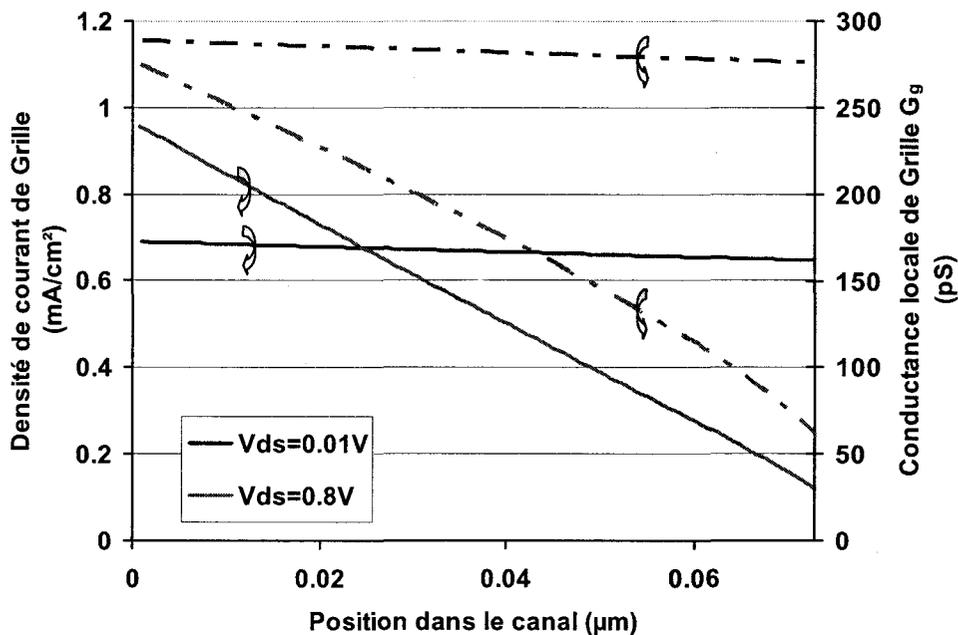


Figure II-25 Densité de courant de grille et conductance de grille simulées pour un transistor MOS SOI FD $1 \times 0.1 \mu m^2$ en fonction de la position le long de la grille pour différentes tensions de drain V_{ds} ($V_{gs} = 0.5V$, $f = 4GHz$).

b) Définition de la source de bruit de grenaille au niveau microscopique

La densité spectrale de bruit de grenaille associé au courant de grille par effet tunnel direct s'exprime, au niveau local, par :

$$Si_{shot}(x) = 2.q.I_g(x) = 2.q.W.\Delta x.j_n(x) \tag{II.43}$$

où $I_g(x) = W.\Delta x.j_n(x)$ est le courant de grille local, et $j_n(x)$ est défini précédemment.

La Figure II-26 et la Figure II-27 présentent les densités spectrales de bruit de grenaille Si_{shot} et de diffusion Si_g de grille en fonction respectivement de la tension de grille ($t_{ox}=1.5\text{ nm}$, $V_{ds}=0.8\text{V}$, $f=4\text{GHz}$) et de l'épaisseur d'oxyde ($V_{gs}=0.5\text{V}$, $V_{ds}=0.8\text{V}$, $f=4\text{GHz}$) pour un transistor MOS SOI FD de $0.1\text{ }\mu\text{m}$ de longueur et $1\text{ }\mu\text{m}$ de largeur de grille.

Les résultats de simulation sont comparables à ceux présentés aux figures 9 et 10 de [23].

La Figure II-27 montre notamment que le bruit de grenaille tend à devenir comparable au bruit de diffusion de grille induit lorsque l'on diminue l'épaisseur de grille.

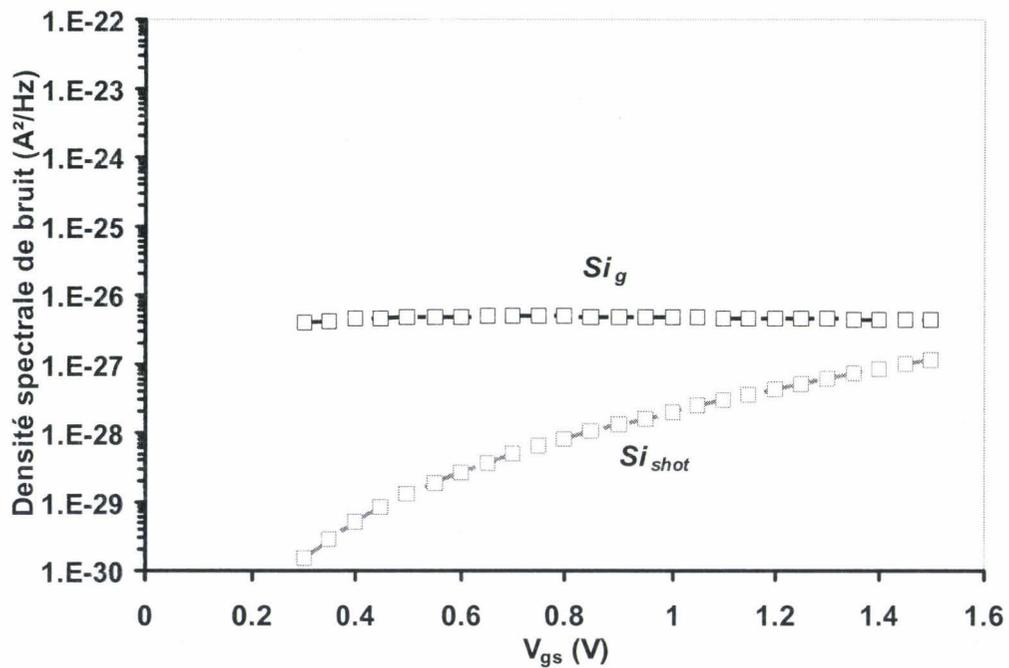


Figure II-26 Densité spectrale de bruit de grenaille (Si_{shot}) et de diffusion (Si_g) de grille d'un MOS SOI FD de $0.1\text{ }\mu\text{m}$ de longueur et $1\text{ }\mu\text{m}$ de largeur de grille en fonction de la tension de grille ($t_{ox}=1.5\text{ nm}$, $V_{ds}=0.8\text{V}$, $f=4\text{GHz}$).

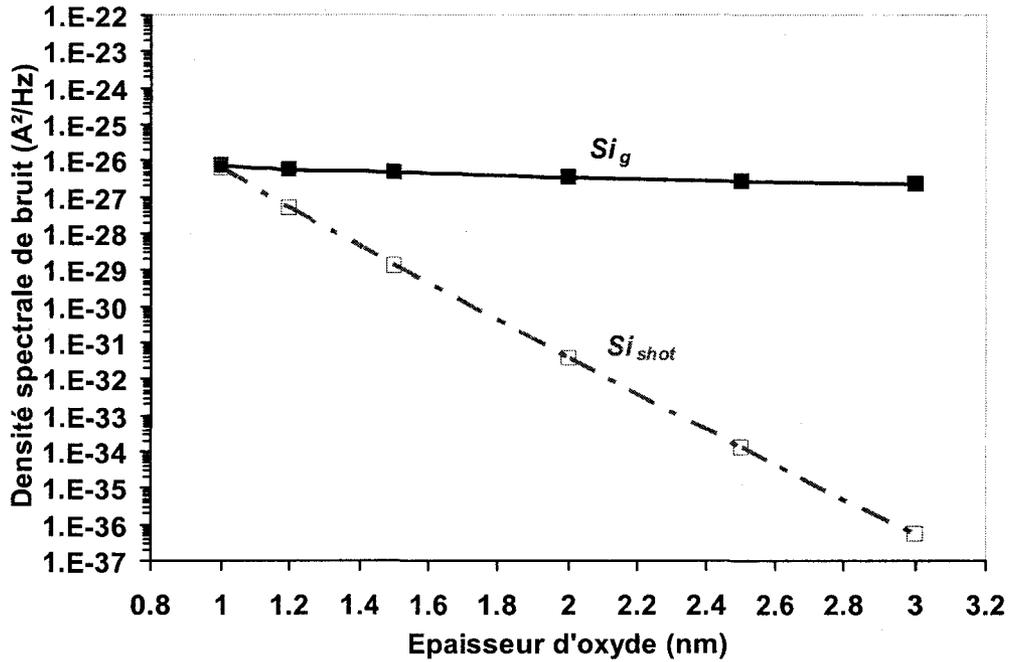


Figure II-27 Densité spectrale de bruit de grenaille (Si_{shot}) et de diffusion (Si_g) de grille d'un MOS SOI FD de 0.1 μm de longueur et 1 μm de largeur de grille en fonction de l'épaisseur d'oxyde ($V_{gs}=0.5V$, $V_{ds}=0.8V$, $f=4GHz$).

c) Mise en œuvre dans le modèle de bruit physique

La prise en compte du courant de grille par effet tunnel se traduit sur le schéma équivalent par l'adjonction en parallèle avec la capacité $\Delta c_0(x)$ d'une conductance de grille $g_g(x)$ et d'une source de bruit de grenaille $\langle i_{shot}^2(x) \rangle$ (Figure II-28).

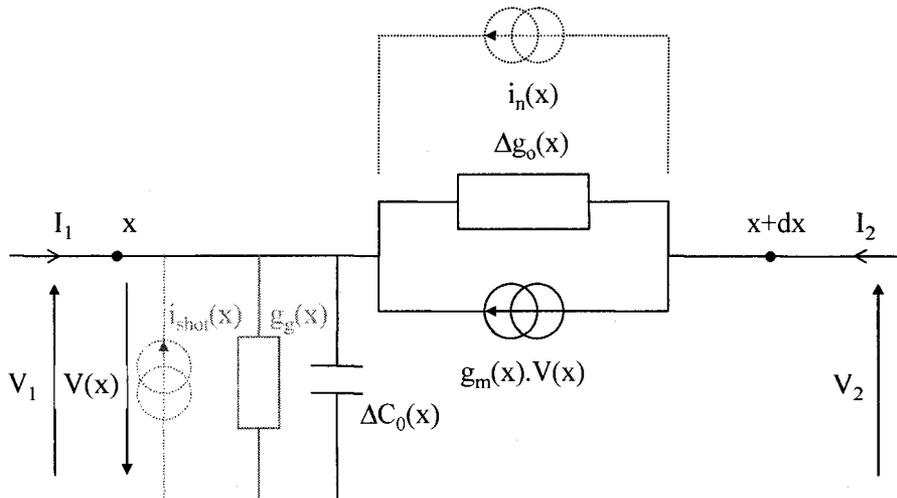


Figure II-28 Schéma équivalent local en configuration grille commune : prise en compte du courant de grille et du bruit de grenaille associé.

En considérant le schéma de la Figure II-28, on peut calculer la matrice Chaîne $[A_{g_shot}]$ et la matrice de corrélation de bruit associée $[Ca_{g_shot}]$ en configuration Grille commune :

$$[A_{g_shot}] = \frac{1}{g_m + \Delta g_0} \begin{bmatrix} \Delta g_0 & 1 \\ (g_g + j.\Delta c_0.\omega).\Delta g_0 & g_m + \Delta g_0 + g_g + j.\Delta c_0.\omega \end{bmatrix} \quad \text{II.44}$$

$$[Ca_{g_shot}] = \frac{Si_n}{(gm + \Delta g_0)} \begin{bmatrix} 1 & g_g - j.\Delta c_0.\omega \\ g_g + j.\Delta c_0.\omega & g_g^2 + (\Delta c_0.\omega)^2 \end{bmatrix} + Si_{shot} \begin{bmatrix} 0 & 0 \\ 0 & 1 \end{bmatrix} \quad \text{II.45}$$

En reprenant les équations de mise en cascade et de passage en configuration Source commune (cf. section II.2.4.a)) avec ces nouvelles matrices équivalentes, on peut calculer la matrice Admittance $[Y_{s_shot}]$ intrinsèque et la matrice de corrélation de bruit associée $[Cy_{s_shot}]$.

On constate alors que le courant tunnel de Grille engendre deux nouvelles sources de bruit $\langle i_{g_shot}^2 \rangle$ et $\langle i_{d_shot}^2 \rangle$ au niveau macroscopique, en complément des sources de bruit de diffusion $\langle i_{g_dif}^2 \rangle$ et $\langle i_{d_dif}^2 \rangle$ (Figure II-29).

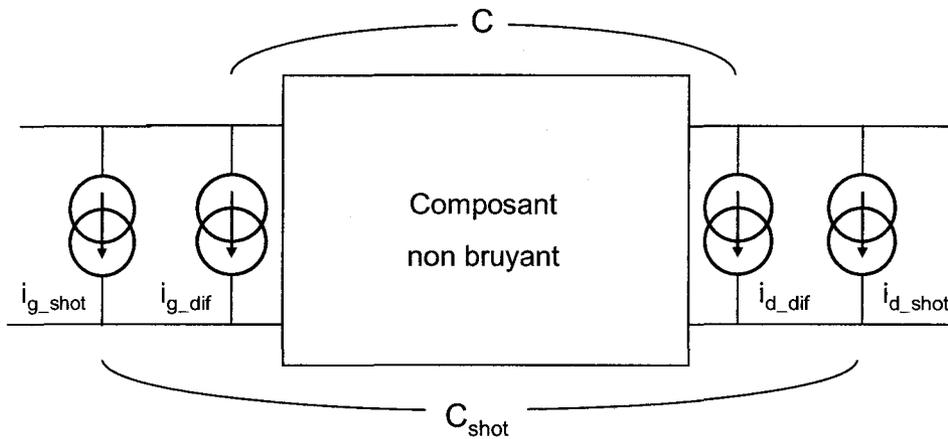


Figure II-29 Circuit équivalent intrinsèque en représentation courant-courant.

Les densités spectrales des sources de bruit de grenaille de grille et de drain sont données par :

$$Si_{g_shot} = 2.q.I_g \quad \text{II.46}$$

$$Si_{d_shot} = 2.\alpha.q.I_g \quad \text{II.47}$$

où I_g est le courant DC de grille.

La Figure II-30 présente le rapport α des densités spectrales de bruit Si_{d_shot}/Si_{g_shot} en fonction du courant de polarisation I_{ds} , avec une valeur proche de 1/3 au pincement. Cette valeur au pincement a été démontrée par A. Van Der Ziel [25].

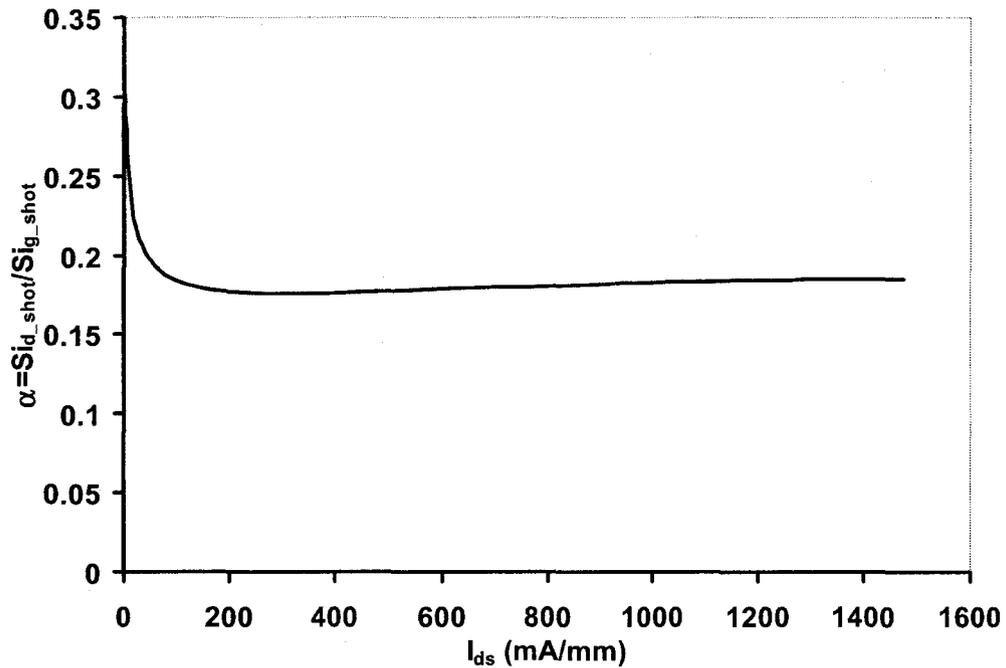


Figure II-30 Rapport α en fonction du courant I_{ds} ($V_{ds}=0.8V$, $f=4GHz$).

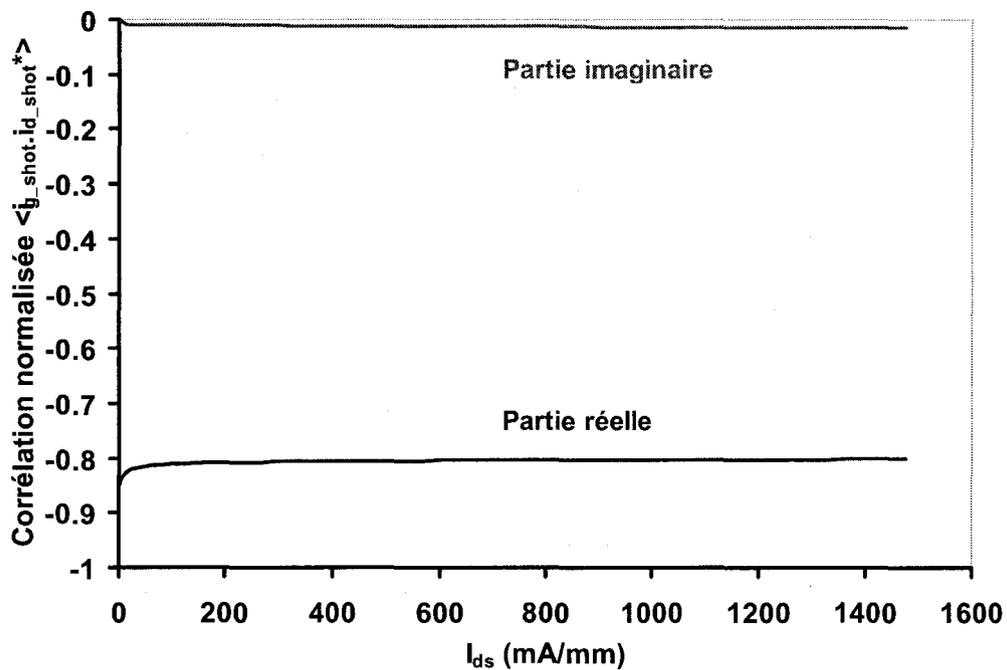


Figure II-31 Partie réelle et imaginaire de la corrélation de bruit de grenaille de grille $\langle i_{g_shot}^2 \rangle$ et de drain $\langle i_{d_shot}^2 \rangle$ en fonction de la tension de grille ($V_{ds}=0.8V$, $f=4GHz$).

Du fait de leurs origines physiques distinctes, les sources de bruit de grenaille sont non corrélées avec les sources de bruit de diffusion. En revanche, la source de bruit de grenaille de grille est corrélée avec celle de drain.

La Figure II-31 montre les variations de la partie réelle et de la partie imaginaire du coefficient de corrélation normalisé $\langle i_{g_shot} \cdot i_{d_shot}^* \rangle$ en fonction du courant de polarisation I_{ds} ($V_{ds}=1.2V$, $f=6GHz$). On constate que le coefficient de corrélation est essentiellement réel avec une valeur absolue proche de 0.87 au pincement. Cette valeur est justifiée dans [25]. La corrélation diminue légèrement avec l'augmentation du courant de polarisation.

Remarque: dans [25], les sources de bruit de grenaille de Grille et de Drain sont orientées en opposition ce qui explique une valeur positive de la corrélation. En revanche, dans notre modèle, ces sources sont orientées dans le même sens.

II.3. Etude de sensibilité des paramètres de bruit

II.3.1. Paramètres de bruit intrinsèques et réduction d'échelle

Afin d'étudier l'évolution des paramètres de bruit intrinsèques avec la réduction d'échelle, le modèle physique de bruit a également été étalonné pour un transistor MOS SOI FD en technologie OKI de 0.13 μm de longueur physique et 25 μm de largeur de grille.

Le Tableau II-4 reprend les valeurs des différents paramètres d'étalonnage du modèle pour ce transistor (cf. II.2.2).

Paramètre	Valeur
N	1.13
V_{Thf0}	0.25V
$V_{Thf0.i}$	0.2V
Σ	0.005
A	4.9e-8
L	5e-11 m
v_{sat}	74000 cm.s^{-1}
S_{NT}	0.95
A_{TS}	7

Tableau II-4 Paramètres d'étalonnage du modèle.

Les paramètres de bruit intrinsèques P , R et C de ce transistor sont présentés à la Figure II-32 et comparés avec les résultats précédents pour le transistor de 0.25 μm de longueur de grille. Les résultats montrent clairement que les paramètres de bruit intrinsèques sont peu sensibles à la réduction d'échelle.

Comme nous l'avons vu au I.2.2.b), d'un nœud technologique à un autre, la transconductance g_m augmente alors que la capacité C_{gs} reste relativement constante. On peut alors faire les constatations suivantes :

- Le courant de bruit de diffusion de drain va augmenter (Equation II.3), ce phénomène étant amplifié par les effets canaux courts (P).
- Le courant de bruit de diffusion de grille induit va décroître (Equation II.4).

Ces résultats sont totalement cohérents avec les variations observées expérimentalement dans [17] et [18].

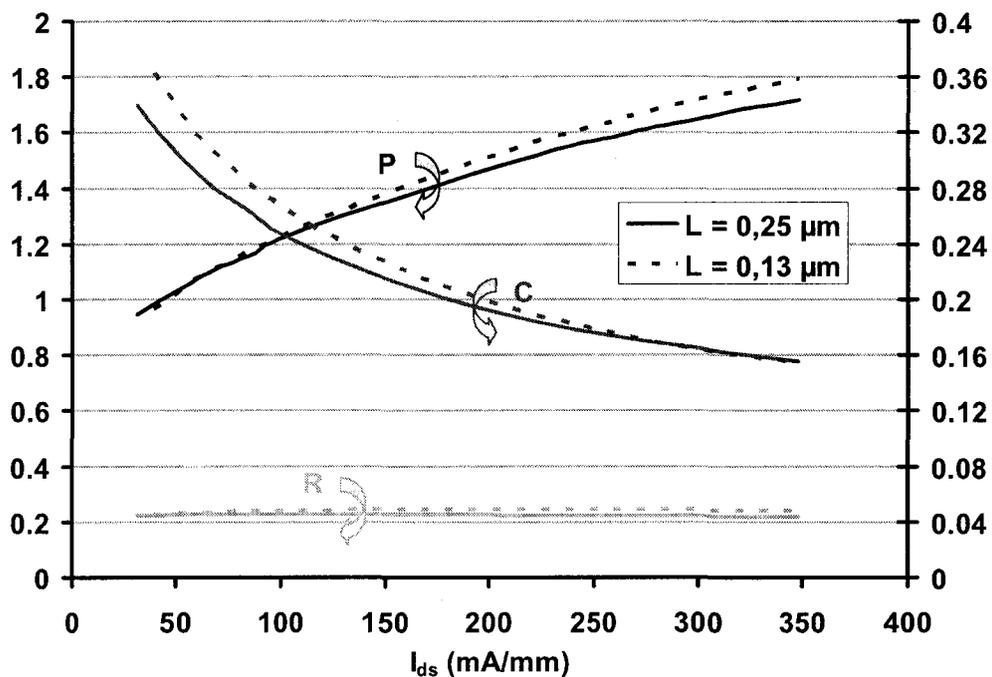


Figure II-32 Comparaison des paramètres P , R et C en fonction du courant de polarisation I_{ds} pour deux longueurs de grille de $0.13 \mu\text{m}$ et $0.25 \mu\text{m}$ ($V_{ds}=1.5V$, $f=6GHz$)

II.3.2. Influence des capacités de recouvrement.

Afin d'étudier l'influence des capacités de recouvrement C_{gs_ov} et C_{gd_ov} sur les performances de bruit du transistor, nous avons fait une simulation du transistor MOS SOI FD de $0.25 \mu\text{m}$ de longueur et $25 \mu\text{m}$ de largeur de grille en négligeant ces capacités parasites mais en tenant compte des résistances extrinsèques R_g et R_s et de leur bruit thermique associé.

Les résultats de simulation sur le facteur de bruit NF_{min} sont présentés à la Figure II-33 et comparés à ceux présentés au II.2.4.e).

On constate que ces capacités ont une influence non négligeable sur les performances de bruit du transistor. On observe en effet une augmentation du minimum de bruit de l'ordre de 20% lorsqu'on considère les capacités de recouvrement dans la simulation.

Ces résultats sont en adéquation avec l'équation II.14. En effet, les capacités de recouvrement C_{gs_ov} et C_{gd_ov} interviennent directement dans les expressions de C_{Miller} et C_{gin} et augmentent du même coup la capacité C_{tot} .

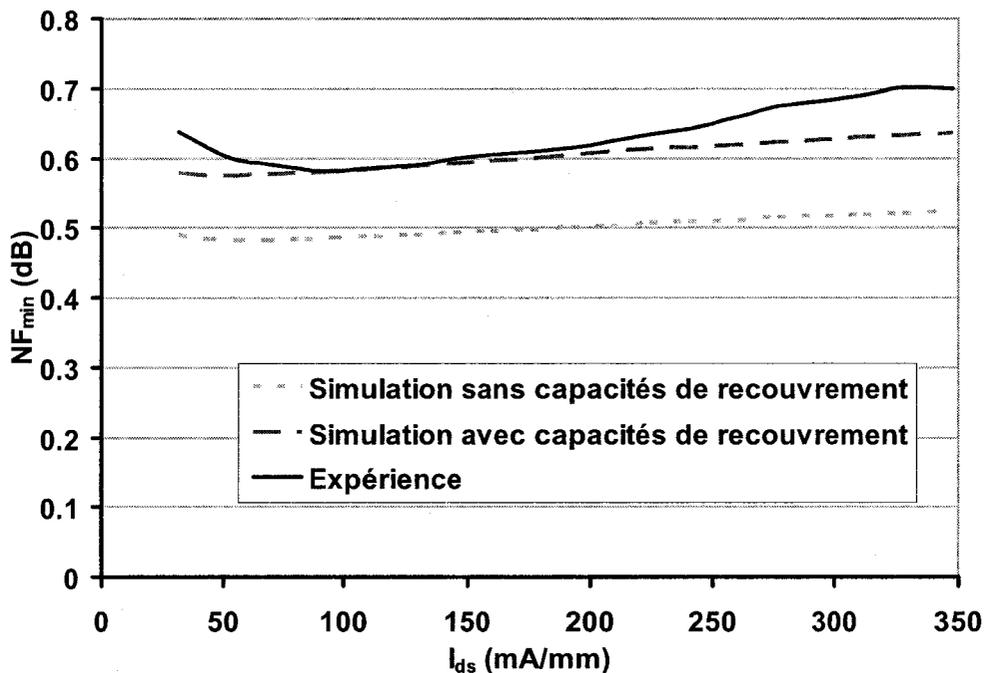


Figure II-33 Facteur minimum de bruit NF_{min} en fonction du courant de polarisation I_{ds} : comparaison des résultats de simulation avec et sans les capacités de recouvrement et des résultats expérimentaux ($V_{ds}=1.5V, f=6 \text{ GHz}$).

II.3.3. Influence du courant tunnel de grille.

Pour la conception de circuit, il est important d'étudier l'influence du courant tunnel de grille sur les performances de bruit de MOSFETs SOI [26]. Les simulations qui suivent ont été calculées dans le cas d'un composant intrinsèque de $0.1 \mu\text{m}$ de longueur et $50 \mu\text{m}$ de largeur de grille avec une épaisseur d'oxyde de 1.5 nm .

La Figure II-34 présente les variations des paramètres de bruit en fonction de la fréquence. On peut constater que pour des densités de courant inférieures à 1 A/cm^2 , l'influence du courant tunnel de grille sur le facteur minimum de bruit est négligeable pour une fréquence de travail supérieure à 1 GHz et que NF_{min} reste linéaire avec la fréquence. Cependant, lorsque la densité de courant tunnel de grille augmente ($J_g > 5 \text{ A/cm}^2$), F_{min} augmente fortement pour les fréquences inférieures à 10 GHz avec l'apparition d'un plateau. Cette variation est en adéquation à la section II.1.4 et les valeurs obtenues sont en accord avec celles de [23]. Comme montré dans l'étude analytique, la résistance équivalente de bruit R_n n'est pas affectée par le courant tunnel de grille (Figure II-34).

En l'absence de courant tunnel de grille, la partie réelle G_{opt} et imaginaire B_{opt} de l'Admittance optimale de bruit Y_{opt} sont linéaires avec la fréquence. On peut observer que la partie réelle G_{opt} augmente fortement pour des densités de courant tunnel de grille supérieures à 1 A/cm^2 alors que la partie imaginaire B_{opt} n'est pas affectée par la présence de courant tunnel de grille.

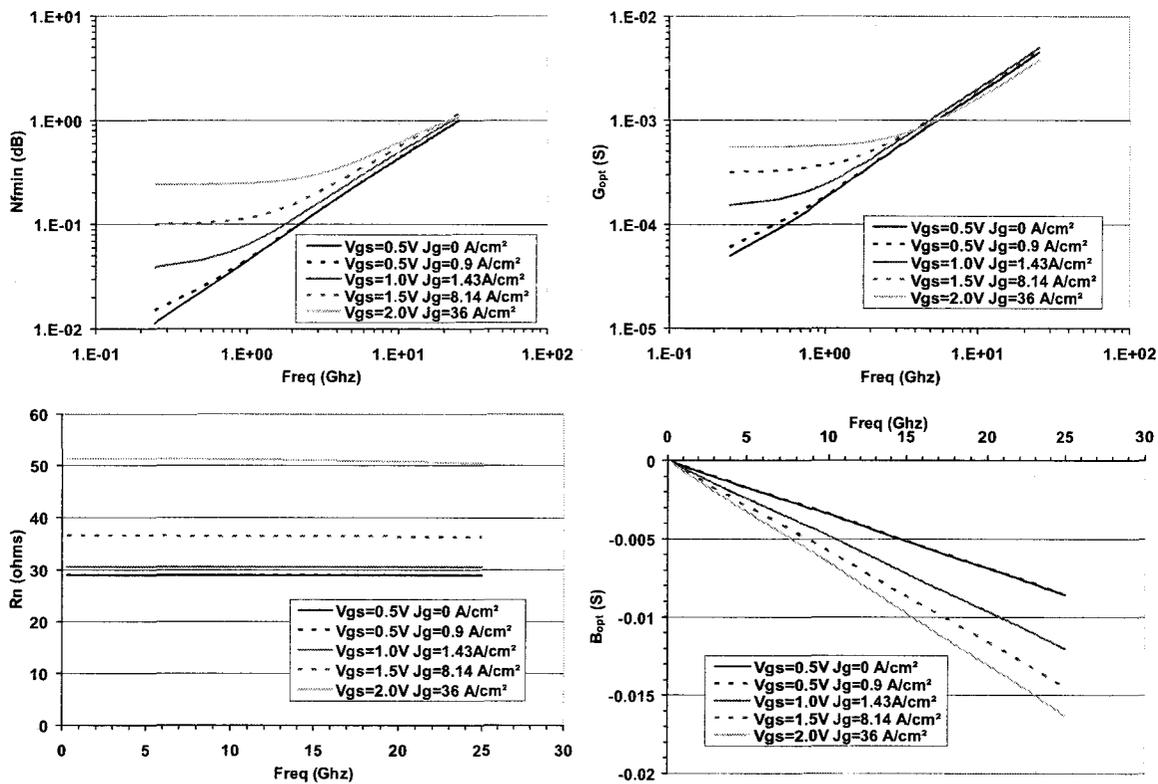


Figure II-34 Paramètres de bruit usuels en fonction de la fréquence de travail pour différentes densités de courant tunnel de grille ($V_{ds}=0.8V$).

Conclusions – Tendances

Dans ce chapitre, nous avons mené une étude théorique des paramètres de bruit des transistors MOS.

Dans une première partie, nous avons fait une étude analytique permettant d'extraire des expressions compactes des paramètres de bruit usuels en fonction des paramètres de bruit intrinsèque et des paramètres électriques en incluant également l'influence d'un courant tunnel de grille potentiel. Ces expressions analytiques sont comparées avec les résultats obtenus à l'aide du logiciel ADS d'Agilent. Une très bonne concordance est obtenue et nous pourrions utiliser ces expressions dans la suite de la thèse pour mener différentes études de sensibilité.

Dans un second temps, nous avons présenté un modèle physique de bruit 1D. La méthode originale utilisée pour modéliser le bruit provient de la théorie de la ligne active associée au concept des matrices de corrélation de bruit. Après avoir présenté le modèle physique compact et son paramétrage, nous décrivons le schéma équivalent local bruyant du canal modélisé en ligne active. On a alors pu extraire de la modélisation la distribution des sources de bruit locales le long du canal. En considérant l'ensemble de ces sources et en cascasant les différents circuits équivalents locaux, on extrait les différents paramètres du schéma équivalent intrinsèque et les sources de courant de bruit macroscopiques intrinsèques associées et nous avons étudié les variations des paramètres de bruit intrinsèques avec la polarisation. En ajoutant les éléments extrinsèques et leur bruit associé au schéma équivalent, nous calculons les paramètres de bruit usuels et nous étudions les variations de ces paramètres avec la polarisation. Les résultats obtenus avec ce modèle sont comparés aux résultats expérimentaux du transistor considéré et donnent une bonne concordance. Nous présentons enfin la prise en compte dans le modèle du courant tunnel de grille et du bruit de grenaille associé.

Dans une dernière partie, à l'aide du modèle physique de bruit, nous étudions les variations des paramètres de bruit intrinsèques avec la polarisation pour deux nœuds technologiques distinctes. Nous observons alors de faibles changements de variations d'un nœud à un autre, nous laissant pressentir que les sources de bruit intrinsèques sont principalement régies par le comportement électrique du transistor. Nous montrons également la forte influence des capacités de recouvrement sur les performances de bruit en adéquation avec les expressions analytique de la première partie. Enfin, nous présentons l'influence d'un courant tunnel de grille et du bruit de grenaille associé sur les performances de bruit du transistor avec

l'apparition d'un plateau pour les faibles fréquences de travail. Ce courant tunnel de grille étant lié à la réduction de l'épaisseur d'oxyde de grille avec la réduction d'échelle, son influence (variations exponentielles) va devenir non négligeable pour les prochaines générations de transistor.

Ces différents points vont être confirmés dans le prochain chapitre en considérant une étude expérimentale pour différentes longueurs de grille jusqu'à 65 nm.



Bibliographie

- [1] A. Van der Ziel, Gate noise in field effect transistors at moderately high frequencies, *Proceedings of IRE*, 51:461-467, 1963.
- [2] R. A. Pucel, H. A. Haus, and H. Statz, Signal and noise properties of gallium arsenide field effect transistors, *Advances in electronics and electron physics*, 38:195-265, 1974.
- [3] A. Cappy, Noise modeling and measurement techniques [HEMTs], Invited Paper, *IEEE Transactions on Microwave Theory and Techniques*, 36:1-10, 1988.
- [4] F. Danneville, G. Pailloney, A. Siligaris, B. Iñiguez, G. Dambrine, High Frequency Noise of SOI MOSFETs : Performances and Limitations, *Proceedings of SPIE Noise in Devices and Circuits III*, 5844:185-199, Mai 2005.
- [5] H. Rothe et W. Dahlke, Theory of Noisy Fourpoles, *Proceedings of IRE*, 44:811-818, 1956.
- [6] H. Hillbrand et P. Russer, An efficient method for computer aided noise analysis of linear amplifier networks, *IEEE Transactions on Circuits and Systems*, 23:235-238, Avril 1976.
- [7] H. Hillbrand et P. Russer, correction to 'An Efficient method for Computer Aided Noise Analysis of Linear Amplifier Networks', *IEEE Transactions on Circuits and Systems*, 23:691, Novembre 1976.
- [8] G. Pailloney, C. Raynaud, M. Vanmackelberg, F. Danneville, S. Lepilliet, J.-P. Raskin, G. Dambrine, Impact of Downscaling on High-Frequency Noise Performance of Bulk and SOI MOSFETs, *IEEE Transactions on Electron Devices*, 51:1605-1612, Octobre 2004.
- [9] F. Danneville, G. Dambrine, H. Happy, P. Tadzysak et A. Cappy, Influence of the gate leakage current on the noise performance of MESFETs and MODFETs, *Solid-State Electronics*, 38:1081-1087, mai 1995.
- [10] C. Fiegna, Analysis of gate shot noise in MOSFETs with ultrathin gate oxides, *IEEE Electron Device Letters*, 24:108-110, février 2003.
- [11] G. Pailloney, B. Iñiguez, G. Dambrine, J. P. Raskin, F. Danneville, Noise modeling in fully depleted SOI MOSFETs, *Solid-State Electronics*, 48:813-25, 2004.
- [12] B. Iñiguez, L. F. Ferreira, B. Gentinne, D. Flandre, A physically-based c_{∞} -continuous fully-depleted SOI MOSFET model for analog applications, *IEEE Transactions on Electron Devices*, 43:568-575, Avril 1996.

- [13] B. J. Moon, C. K. Park, K. M. Rho, K. Lee, M. Shur et T. A. Fjeldly, Analytical model for p-channel MOSFET's, *IEEE Transactions on Electron Devices*, 38:2632-2646, Décembre 1991.
- [14] J.-S. Goo, C.-H. Choi, F. Danneville, E. Morifuji, H.-S. Momose, Y. Zhiping, H. Iwai, T. H. Lee, R. W. Dutton, An accurate and efficient high frequency noise simulation technique for deep submicron MOSFETs, *IEEE Transactions on Electron Devices*, 47:2410-2419, Décembre 2000.
- [15] A. Cappy, W. Heinrich, High-frequency FET noise performance: a new approach, *IEEE Transactions on Electron Devices*, 36:403-409, Février 1989.
- [16] M. A. Omar et L. Reggiani, Drift and diffusion of charge carriers in silicon and their empirical relation to the electric field, *Solid State Electronics*, 30:693-697, 1987.
- [17] A. J. Scholten, L. F. Tiemeijer, R. Van Langevelde, R. J. Havens, A. T. A. Zegers-van Duijnhoven et V. C. Venezia, Noise modeling for RF CMOS circuit simulation, *IEEE Transactions on Electron Devices*, 50:618-632, 2003.
- [18] C. H. Chen, M. J. Deen, Channel noise modelling of deep submicron MOSFETs, *IEEE Transactions on Electron Devices*, 49:1484-1487, 2002.
- [19] M. Vanmackelberg, C. Raynaud, O. Faynot, J. L. Pelloie, C. Tabone, A. Grouillet, F. Martin, G. Dambrine, L. Picheta, E. Mackowiak, P. Llinares, J. Sevenhans, E. Compagne, G. Fletcher, D. Flandre, V. Dessard, D. Vanhoenacker et J. P. Raskin, 0.25 μm fully depleted SOI MOSFETs for RF mixed analog-digital circuits, including a comparison with partially depleted devices with relation to high frequency noise parameters, *Solid-State Electronics*, 46:379-386, 2002.
- [20] A. Van der Ziel, Thermal noise in field effect transistor, *Proceedings of IRE*, 50:1808-1812, 1962.
- [21] F. Danneville, H. Happy, G. Dambrine, J. M. Belquin et A. Cappy, Microscopic noise modeling and macroscopic noise models: how good a connection?, *IEEE Transactions on Electron Devices*, 41:779-786, 1994.
- [22] R. Rengel, J. Mateos, D. Pardo, T. Gonzalez, M. J. Martin, G. Dambrine, F. Danneville et J. P. Raskin, Numerical and experimental study of a 0.25 μm fully-depleted silicon-on-insulator MOSFET: static and dynamic radio-frequency behaviour, *Semiconductor Science and Technology*, 17:1149-1156, Octobre 2002.
- [23] S. Eminente, M. Alessandrini et C. Fiegna, Comparative analysis of the RF and noise performance of bulk and single-gate ultra-thin SOI MOSFETs by numerical simulation, *Solid-State Electronics*, 48:543-549, Avril 2004.

- [24] G. Pailloncy, B. Iñiguez, G. Dambrine et F. Danneville, Influence of a Tunneling Gate Current on the Noise performance of SOI MOSFETs, *2004 IEEE International SOI Conference*, 55-57, Octobre 2004.
- [25] A. Van Der Ziel, Noise in Junction- and MOS-FETs at high temperatures, *Solid-State Electronics*, 12:861-866, Novembre 1969.
- [26] H. O. Vikes, M. Ferndahl, A. Masud et H. Zirath, The Influence of the Gate Leakage Current and The Gate Resistance on The Noise and Gain Performances of 90-nm CMOS for Micro- and Millimeter-Wave Frequencies, *IEEE MTT-S IMS*, 971-974, Juin 2004.

**Détermination expérimentale des performances de bruit
hautes fréquences**

SOMMAIRE

III. Détermination expérimentale des performances de bruit hautes fréquences	107
Introduction	107
III.1. Méthode Multi-Impédances	108
III.1.1. Introduction	108
III.1.2. Etalonnage du Banc.....	111
<i>a) Mesure des paramètres S du DST.....</i>	<i>111</i>
<i>b) Etalonnage du Tuner</i>	<i>113</i>
<i>c) Détermination de la constante Gain-Bande kBG du récepteur de bruit</i>	<i>115</i>
<i>d) Détermination des quatre paramètres de bruit du récepteur.....</i>	<i>116</i>
III.1.3. Détermination des paramètres de bruit par méthode multi-impédances.	117
III.2. Méthode F50	119
III.2.1. Principe de la méthode.....	119
III.2.2. Etalonnage du banc	121
III.2.3. Modèle de bruit à deux températures	122
III.2.4. Corrélation en représentation courant-tension	123
III.3. Comparaison des méthodes	125
III.3.1. Paramètres de bruit	125
III.3.2. Avantages et Inconvénients.....	127
<i>a) Méthode Tuner.....</i>	<i>127</i>
<i>b) Méthode F₅₀.....</i>	<i>127</i>
Conclusions	128
Bibliographie.....	129

III. Détermination expérimentale des performances de bruit hautes fréquences

Introduction

Après une présentation de la modélisation du bruit dans les transistors au chapitre précédent, nous présentons ici les deux méthodes expérimentales à notre disposition pour la détermination des paramètres de bruit hautes fréquences de dispositifs.

Dans un premier temps, nous présentons une méthode classique utilisant un générateur d'impédances (ou Tuner) à l'entrée du dispositif sous test (DST). Après un rappel du principe, nous détaillons les nombreuses étapes d'étalonnage du banc : mesure des paramètres S du DST, étalonnage du Tuner, détermination de la constante Gain-Bande et des quatre paramètres de bruit du récepteur. Nous présentons également l'épluchage des structures de test RF nécessaire pour la mesure sous pointes. Ensuite, l'extraction des paramètres de bruit du dispositif sous test est présentée.

Dans une deuxième partie, nous présentons la méthode F_{50} développée au laboratoire. Nous commençons par présenter le principe de cette méthode basée sur un modèle de bruit spécifique. Nous profitons alors du modèle physique de bruit, présenté dans le chapitre précédent, pour vérifier les hypothèses de non corrélation faites dans le modèle de bruit associé à cette méthode.

Dans une troisième partie, nous comparons les résultats obtenus en utilisant ces deux méthodes sur des transistors MOS de différentes longueurs de grille. Nous présentons enfin les avantages et inconvénients de ces deux méthodes.

III.1. Méthode Multi-Impédances

III.1.1. Introduction

Au cours de la thèse, un banc de mesure de bruit multi-impédances a été développé (Figure III-1). Il utilise un générateur d'impédances de la société Focus Microwaves qui permet de générer des coefficients de réflexion de module maximum supérieur à 0.8 dans la bande de fréquences 6-40 GHz et d'extraire les quatre paramètres de bruit du dispositif sous test (DST) à l'aide du logiciel WinNoise.

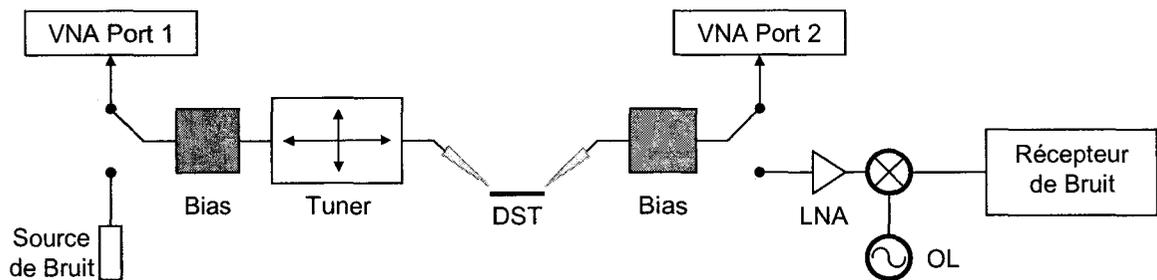


Figure III-1 Banc de mesure de Bruit par technique Tuner « source froide ».

La mesure de facteurs de bruit de dispositifs se fait principalement par deux techniques :

- La technique « standard » [1]; une source de bruit, connectée à l'entrée du DST, est placée successivement dans son état froid (température équivalente T_c) et dans son état chaud (température équivalente T_H), les puissances de bruit respectives sont mesurées et utilisées pour calculer le facteur de bruit du DST. Cette technique est le plus souvent utilisée dans un environnement 50 ohms. En insérant un générateur multi-impédances (ou Tuner) entre la source de bruit et le DST, des mesures de facteurs de bruit pour des impédances différentes de 50 ohms peuvent être obtenues ; ces mesures sont nécessaires pour extraire les paramètres de bruit du dispositif. Cependant, les pertes du Tuner doivent être connues avec une grande précision du fait qu'il entre directement dans la valeur du facteur de bruit mesuré. De plus, les pertes du Tuner augmentent avec les forts coefficients de réflexions générés. Les paramètres S du DST doivent être connus pour calculer le facteur de correction de désadaptation M [2].
- La technique « source froide » proposée pour la première fois par V. Adamian et A. Uhler [3],[4]. La source de bruit est nécessaire uniquement au cours de la phase d'étalonnage, pour déterminer la constante kBG (produit Gain-Bande) du récepteur de bruit. Un Tuner est connecté à l'entrée du DST pour générer des impédances durant la phase de mesure des facteurs de bruit. Le bruit thermique du Tuner, proportionnel à la

température ambiante et à la partie résistive (partie réelle) de l'impédance générée, amplifié par le DST et la puissance de bruit additionnel générée par le DST sont mesurés par le récepteur. Le facteur de bruit du DST est alors calculé en connaissant l'impédance générée à l'entrée, les paramètres S du DST et le coefficient de réflexion à l'entrée du récepteur de bruit.

Les deux techniques précédentes nécessitent une phase d'étalonnage avant toute mesure pour caractériser le récepteur de bruit :

- L'utilisation de la technique standard requiert que la source de bruit soit directement connectée à l'entrée du récepteur de bruit pour l'étalonnage.
- La technique « source froide » est étalonnée en insérant un THRU à la place du DST et en déterminant la constante kBG du récepteur en fonction de la fréquence.

Dans le cadre de cette thèse, nous nous sommes principalement intéressés aux mesures des paramètres de bruit du DST par la technique Tuner « source froide ».

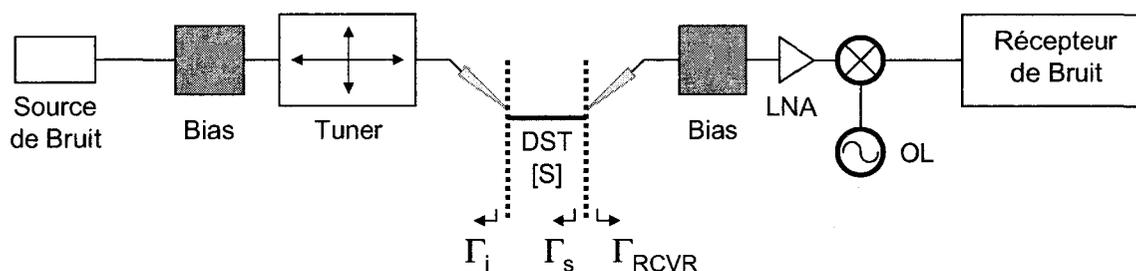


Figure III-2 Banc Tuner en configuration mesure de bruit.

Le banc de mesure de bruit par méthode multi-impédances est constitué d'une station sous pointes, du Tuner Focus Microwaves, d'une « valise » de bruit (source de bruit Noisecom 346V + récepteur de bruit), de T de polarisation (Bias) et d'une alimentation pilotable (Figure III-2).

Détermination expérimentale des performances de bruit hautes fréquences

La détermination du facteur de bruit total à partir de la puissance P_c mesurée par le récepteur de bruit est donnée par [5]:

$$F = 1 + \frac{P_c}{T_0 \cdot kBG} \cdot \frac{|1 - S_{11} \cdot \Gamma_i|^2 \cdot |1 - \Gamma_{RCVR} \cdot \Gamma_s|^2}{(1 - |\Gamma_s|^2) \cdot |S_{21}|^2} \cdot \frac{T_c}{T_0} \quad \text{III.1}$$

avec :

- P_c la puissance de bruit mesurée
- Γ_i le coefficient de réflexion de source (vue par le DST)
- Γ_s le coefficient de réflexion à la sortie du DST et vue par le récepteur
- Γ_{RCVR} le coefficient de réflexion d'entrée du récepteur
- kBG la constante Gain-Bande du récepteur
- T_c la température ambiante
- T_0 la température de référence (290 K)
- S_{ij} les paramètres S du DST

En utilisant la formule de Friis [6], on peut alors en déduire le facteur de bruit au niveau du DST :

$$F_{DST}(\Gamma_i) = F_{TOT}(\Gamma_i) - \frac{F_{RCVR}(\Gamma_s) - 1}{G_{DST}(\Gamma_i)} \quad \text{III.2}$$

avec :

- $G_{DST}(\Gamma_i)$ le gain disponible du DST chargé en entrée sur Γ_i
- $F_{RCVR}(\Gamma_s)$ le facteur de bruit du récepteur pour le coefficient de réflexion Γ_s

Le facteur de bruit du récepteur en fonction du coefficient de réflexion Γ_s présenté à son entrée s'exprime par :

$$F_{RCVR}(\Gamma_s) = F_{\min_RCVR} + \frac{4 \cdot R_{n_RCVR}}{Z_0} \cdot \frac{|\Gamma_s - \Gamma_{opt_RCVR}|^2}{|1 + \Gamma_{opt_RCVR}|^2 \cdot (1 - |\Gamma_s|^2)} \quad \text{III.3}$$

Il nous faut donc mesurer les paramètres S_{ij} du DST et le coefficient de réflexion d'entrée du récepteur Γ_{RCVR} , étalonner le Tuner pour connaître l'impédance générée Γ_i en fonction de sa position et déterminer la constante Gain-Bande kBG et les quatre paramètres de bruit du récepteur en fonction de la fréquence pour en déduire le facteur de bruit du récepteur F_{RCVR} .

III.1.2. Etalonnage du Banc.

a) Mesure des paramètres S du DST.

Afin de mesurer les paramètres S du DST en fonction de la fréquence et pour les points de polarisations qui nous intéressent, nous utilisons un analyseur de réseau vectoriel (VNA) HP8510C dans la bande de fréquences 0.5-50 GHz.

On initialise le Tuner en position « Zéro » (i.e. 50 ohms). Le VNA est tout d'abord étalonné au niveau des pointes en utilisant un étalonnage TRL [7]. Le composant est ensuite placé sous les pointes de mesure (Figure III-3).

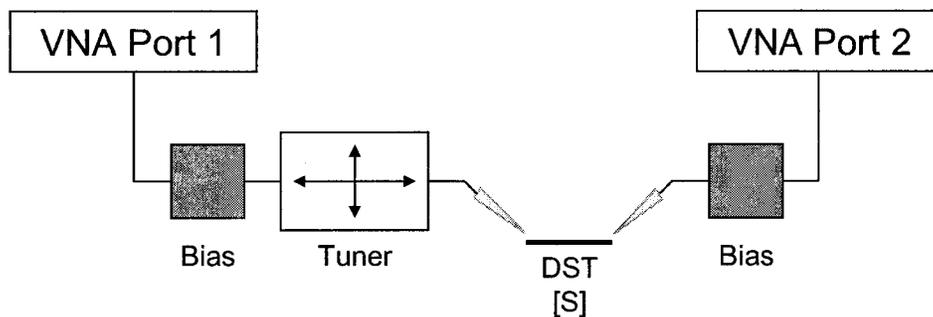


Figure III-3 Banc de mesure en configuration paramètres S .

Afin d'obtenir les paramètres de bruit dans le plan du transistor, il faut retirer la structure de test RF des mesures de paramètres S (Figure III-4a). Pour cela, nous disposons pour chaque transistor d'une structure circuit ouvert (CO) associée (Figure III-4b).

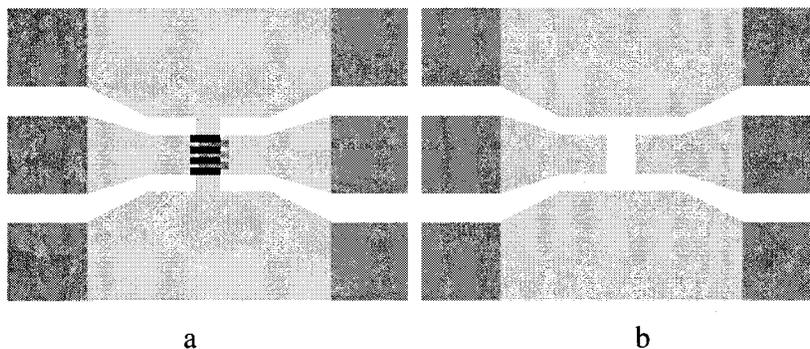


Figure III-4 Représentation schématique d'un transistor avec sa structure RF (a) et structure CO associée (b).

La mesure des paramètres S_{CO} du CO associé nous permet de définir deux quadripôles « demi-CO » équivalents aux structures RF, une à l'entrée et une à la sortie du composant (Figure III-5).

Après calcul de la matrice Admittance $[Y_{CO}]$ de la structure CO associée au composant (cf. Annexe A.2.1), les matrices Impédances $[Z_{CO_in}]$ et $[Z_{CO_out}]$ des quadripôles « demi-CO » sont données respectivement par :

$$[Z_{demiCO_entrée}] = \begin{bmatrix} \frac{1}{Y_{CO11} - Y_{CO12}} & \frac{1}{Y_{CO11} - Y_{CO12}} \\ \frac{1}{Y_{CO11} - Y_{CO12}} & \frac{1}{Y_{CO11} - Y_{CO12}} \end{bmatrix} \quad \text{III.4}$$

$$[Z_{demiCO_sortie}] = \begin{bmatrix} \frac{1}{Y_{CO22} - Y_{CO12}} & \frac{1}{Y_{CO22} - Y_{CO12}} \\ \frac{1}{Y_{CO22} - Y_{CO12}} & \frac{1}{Y_{CO22} - Y_{CO12}} \end{bmatrix} \quad \text{III.5}$$

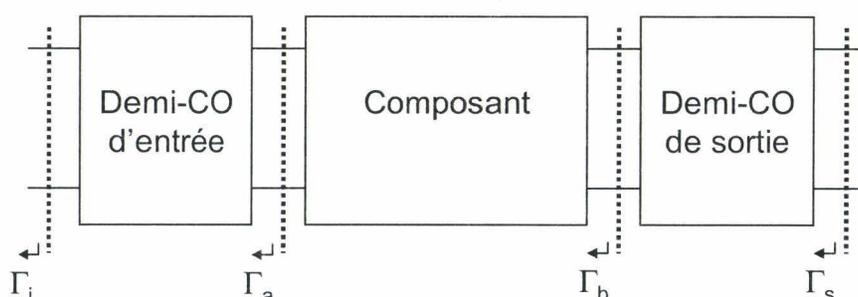


Figure III-5 Schéma équivalent au composant avec sa structure de test RF.

Le programme de mesure de bruit WinNoise nous permet alors d'éplucher directement ces « demi-CO » au cours des mesures de paramètres S_{ij} du DST.

L'équation III.2 devient alors :

$$F_{DUT}(\Gamma_a) = 1 + G_{demiCO_entree}(\Gamma_i) \cdot (F_{TOT}(\Gamma_i) - F_{demiCO_entree}(\Gamma_i)) \cdot \left(\frac{F_{OUT}(\Gamma_b) - 1}{G_{demiCO_entree}(\Gamma_i) \cdot G_{DUT}(\Gamma_a)} - \frac{F_{RCVR}(\Gamma_s) - 1}{G_{demiCO_entree}(\Gamma_i) \cdot G_{DUT}(\Gamma_a) \cdot G_{demiCO_sortie}(\Gamma_b)} \right) \quad \text{III.6}$$

avec :

- $F_{demiCO_entree}(\Gamma_i) = \frac{1}{G_{demiCO_entree}(\Gamma_i)}$, $F_{demiCO_entree}(\Gamma_b) = \frac{1}{G_{demiCO_entree}(\Gamma_b)}$
- $G_{demiCO_entree}(\Gamma_i)$, $G_{demiCO_sortie}(\Gamma_b)$ les gains disponibles des « demi-CO »

Remarque : nous n'avons pas toujours accès à une structure CO associée au DST. Dans ce cas, les paramètres de bruit extraits par la méthode Tuner correspondent au composant avec sa structure de test RF et, suivant les structures disponibles, des calculs supplémentaires sont nécessaires pour se ramener aux paramètres de bruit dans le plan du composant seul [7].

b) Etalonnage du Tuner

Afin que WinNoise extrapole les positions du Tuner pour générer les impédances désirées, il nous faut procéder à un étalonnage à l'aide du VNA. Pour cela, nous chargeons l'entrée du Tuner avec la source de bruit à l'état froid et nous procédons à une mesure des impédances générées au niveau de la pointe d'entrée en fonction de la fréquence (Figure III-6).

Nous remplaçons le DST par un THRU. Le VNA étant toujours étalonné en TRL 2-port dans le plan des pointes, la mesure du coefficient de réflexion sur le Port 2 du VNA nous donne le coefficient de réflexion ramené à la pointe de sortie lorsque le THRU est chargé sur l'impédance de la pointe d'entrée. Pour plus de simplicité, nous considérons que la THRU est sans perte et nous ne faisons qu'une correction de phase (Extension Port 2 = 1 ps) sur le Port 2 pour se ramener dans le plan de la pointe d'entrée.

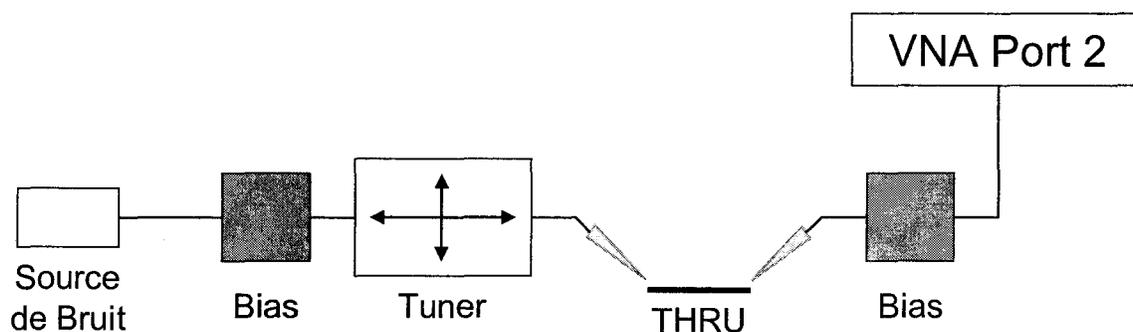


Figure III-6 Banc de mesure en configuration étalonnage du Tuner.

WinNoise génère alors automatiquement des impédances (environ 450 points) répartis de façon homogène sur l'abaque de Smith (Figure III-7) et relève les positions du Tuner correspondantes, pour chaque point de fréquence souhaitée dans la gamme 6-40 GHz.

WinNoise utilise alors un algorithme d'extrapolation à partir des couples positions-impédances pour générer les coefficients de réflexion Γ_i souhaités.

Détermination expérimentale des performances de bruit hautes fréquences

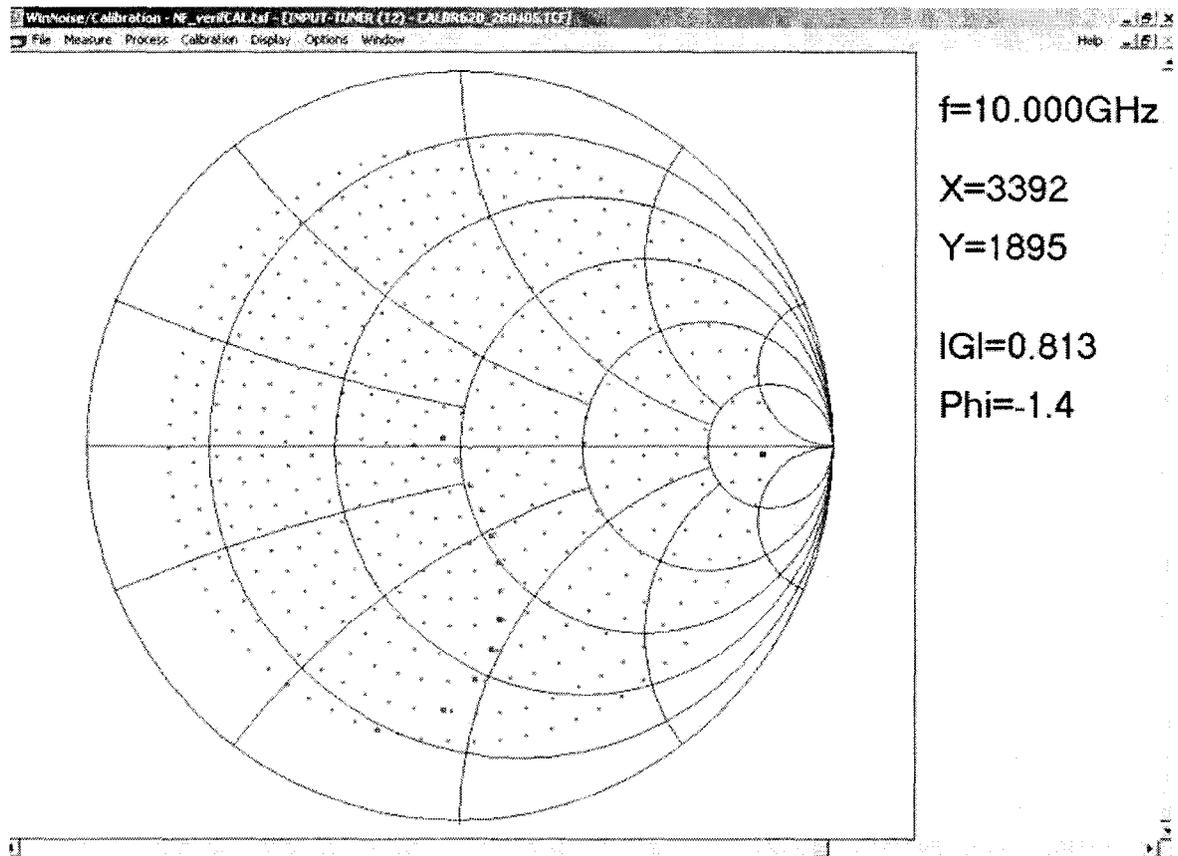


Figure III-7 Etalonnage du Tuner à l'aide de WinNoise ($f = 10\text{GHz}$).

c) Détermination de la constante Gain-Bande kBG du récepteur de bruit

La constante Gain-Bande kBG est déterminée en mesurant les puissances de bruit P_C et P_H reçues par le récepteur de bruit lorsque la source est respectivement à l'état froid T_C (source de bruit « éteinte ») et à l'état chaud T_H (source de bruit « allumée »). La Figure III-8 présente la configuration du banc de mesure pour cet étalonnage.

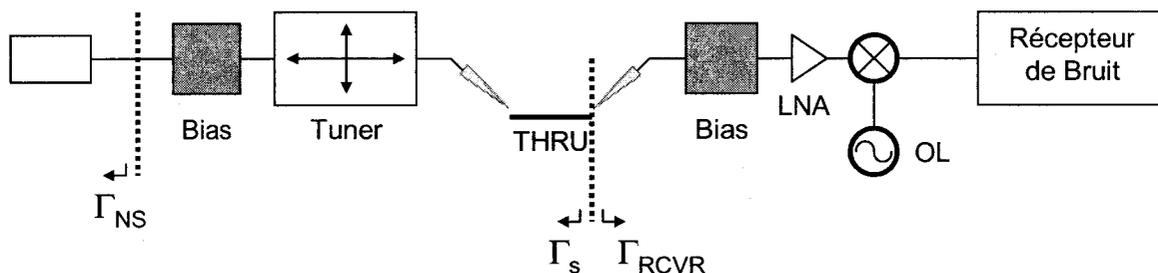


Figure III-8 Banc de mesure de bruit en configuration d'étalonnage du récepteur.

La constante Gain-Bande a pour expression [2]:

$$kBG = \frac{P_H - P_C}{T_H - T_C} \cdot |1 - \Gamma_{RCVR} \cdot \Gamma_S|^2 \cdot \frac{|1 - S_{quad11} \cdot \Gamma_{NS}|^2}{(1 - |\Gamma_{NS}|^2) \cdot |S_{quad21}|^2} \quad \text{III.7}$$

avec :

$$T_H = T_0 \cdot \left(1 + 10^{\frac{ENR(dB)}{10}} \right) \quad \text{III.8}$$

- T_C température ambiante de la source et du récepteur
- T_0 température de référence (290 K)
- ENR rapport de bruit en excès de la source de bruit (fourni avec la source)
- P_H, P_C puissances de bruit mesurées (Source chaude, Source froide)
- Γ_S coefficient de réflexion vue par le récepteur
- Γ_{RCVR} coefficient de réflexion à l'entrée du récepteur
- Γ_{NS} coefficient de réflexion de la source de bruit à l'état froid
- S_{quadij} paramètres S du quadripôle connecté entre la source de bruit et l'entrée du récepteur (Bias d'entrée + Tuner en position 50 ohms + pointe d'entrée).

Les paramètres S_{quadij} sont déterminés par la méthode QUADIP (cf. Annexe A.6).

La constante kBG est calculée pour chaque point de fréquences et chaque position d'atténuateur du récepteur de bruit.

Détermination expérimentale des performances de bruit hautes fréquences

d) Détermination des quatre paramètres de bruit du récepteur

Afin de connaître le facteur de bruit du récepteur quelque soit le coefficient de réflexion Γ_s présenté à son entrée, il est nécessaire de déterminer les quatre paramètres de bruit du récepteur.

Pour cela, le Tuner est chargé en entrée sur la source de bruit à l'état froid (T_C). Le Tuner est placé à différentes impédances (8 à 16 points), chacun présentant une impédance de source différente au récepteur. On mesure alors la puissance de bruit à la sortie à l'aide du récepteur de bruit. Le facteur de bruit a pour expression :

$$F = 1 + \frac{P_C}{T_0 \cdot k \cdot B \cdot G} \cdot \frac{|1 - \Gamma_{RCVR} \cdot \Gamma_s|}{1 - |\Gamma_s|^2} \cdot \frac{T_C}{T_0} \quad \text{III.9}$$

Les paramètres de bruit sont calculés en utilisant la technique d'extraction de R. Q. Lane [8], basée sur la mesure des facteurs de bruit pour différentes impédances de source.

On détermine ainsi les quatre paramètres de bruit du récepteur pour chaque point de fréquences et pour toutes les positions d'atténuateur du récepteur.

Le Tableau III-1 reprend les résultats de calibration du récepteur obtenus à 10 GHz en fonction du niveau d'atténuation du récepteur.

Fréquence (GHz)	Atténuation (dB)	NF _{min_RCVR} (dB)	R _{n_RCVR} (Ω)	Γ _{opt_RCVR}	<Γ _{opt_RCVR} (°)	kBG
10.000	+20	1.977	15.662	0.181	31.3	1.5735688
10.000	+10	1.976	15.714	0.183	30.5	1.5731154
10.000	+0	1.981	15.794	0.181	30.6	1.569945
10.000	-10	1.984	15.735	0.183	30.8	1.5708102
10.000	-20	1.984	15.732	0.183	31.1	1.5705691
10.000	-30	1.984	15.730	0.182	30.7	1.5700657

Tableau III-1 Paramètres de bruit et constante Gain-Bande du récepteur en fonction du niveau d'atténuation du récepteur de bruit ($f = 10\text{GHz}$).

La procédure d'étalonnage complet du banc est rappelée à l'annexe A.7.

III.1.3. Détermination des paramètres de bruit par méthode multi-impédances.

Les performances de bruit d'un composant actif sont déterminées par ses quatre paramètres de bruit usuels : F_{min} , R_n , $Y_{opt}=G_{opt}+j.B_{opt}$. Le facteur de bruit F du composant en fonction de son admittance à son entrée Y_i est donnée par :

$$F(Y_i) = F_{min} + \frac{R_n}{G_i} |Y_i - Y_{opt}|^2 \quad \text{III.10}$$

où:

- F_{min} est le facteur minimum de bruit
- R_n est la résistance équivalente de bruit
- Y_i est l'admittance à l'entrée du DST ($Y_i=G_i+j.B_i$)
- Y_{opt} est l'admittance optimale de bruit ($Y_{opt}=G_{opt}+j.B_{opt}$)

En principe, quatre mesures non singulières de facteur de bruit pour quatre admittances d'entrée différentes Y_i permettent de déterminer les quatre paramètres de bruit.

Des erreurs expérimentales pouvant intervenir au niveau de la mesure des facteurs de bruit F et de l'admittance de source Y_i , il est nécessaire de faire des mesures additionnelles et un calcul statistique, une procédure proposée pour la première fois par R. Q. Lane [8].

Tout d'abord, l'équation III.10 doit être réécrite sous une forme linéaire en fonction de quatre nouveaux paramètres A , B , C et D [9] :

$$F = A + B.G_i + \frac{C + B.B_i^2 + D.B_i}{G_i} \quad \text{III.11}$$

où :

$$F_{min} = A + \sqrt{4.B.C - D^2} \quad \text{III.12}$$

$$R_n = B \quad \text{III.13}$$

$$G_{opt} = \frac{\sqrt{4.B.C - D^2}}{2.B} \quad \text{III.14}$$

$$B_{opt} = \frac{-D}{2.B} \quad \text{III.15}$$

Du fait que plus de quatre points de mesure sont utilisés pour résoudre les équations ci-dessus, un moyennage en moindre carré tenant compte des mesures additionnelles est réalisé, en utilisant le critère d'erreur ε suivant :

$$\varepsilon = \frac{1}{2} \sum_{i=1}^n \left[A + B \cdot \left(G_i + \frac{B_i^2}{G_i} \right) + \frac{C}{G_i} + \frac{D \cdot B_i}{G_i} - F_i \right]^2 \quad \text{III.16}$$

où :

- n est le nombre total de points de mesure
- F_i est le $i^{\text{ème}}$ facteur de bruit mesuré
- $G_i + j \cdot B_i$ est l'admittance d'entrée du $i^{\text{ème}}$ point de mesure

Le critère d'erreur ε est minimisé en construisant le système d'équations linéaires :

$$\frac{\partial \varepsilon}{\partial A} = \sum_{i=1}^n P = 0 \quad \text{III.17}$$

$$\frac{\partial \varepsilon}{\partial B} = \sum_{i=1}^n \left(G_i + \frac{B_i^2}{G_i} \right) \cdot P = 0 \quad \text{III.18}$$

$$\frac{\partial \varepsilon}{\partial C} = \sum_{i=1}^n \frac{1}{G_i} \cdot P = 0 \quad \text{III.19}$$

$$\frac{\partial \varepsilon}{\partial D} = \sum_{i=1}^n \frac{B_i}{G_i} \cdot P = 0 \quad \text{III.20}$$

avec :

$$P = A + B \cdot \left(G_i + \frac{B_i^2}{G_i} \right) + \frac{C}{G_i} + \frac{D \cdot B_i}{G_i} - F_i \quad \text{III.21}$$

Les équations III.17 à III.20 sont alors résolues pour les paramètres A , B , C et D . Enfin, les quatre paramètres de bruit sont calculés à l'aide des équations III.12 à III.15.

III.2. Méthode F50

III.2.1. Principe de la méthode

En considérant les propriétés de bruit des TEC, nous pouvons nous intéresser à l'expression du facteur de bruit lorsque nous présentons au transistor une conductance de source particulière $G_i = G_0 = 20 \text{ mS}$.

L'expression de ce facteur de bruit particulier appelé F_{50} s'exprime en considérant l'équation III.10 par [10] :

$$F_{50} = 1 + R_n \cdot G_0 + \frac{R_n}{G_0} \cdot \left(2 \cdot G_0 \cdot G_{cor} + |Y_{opt}|^2 \right) \quad \text{III.22}$$

Dans un premier temps, considérons les évolutions fréquentielles des différents éléments de l'équation III.22.

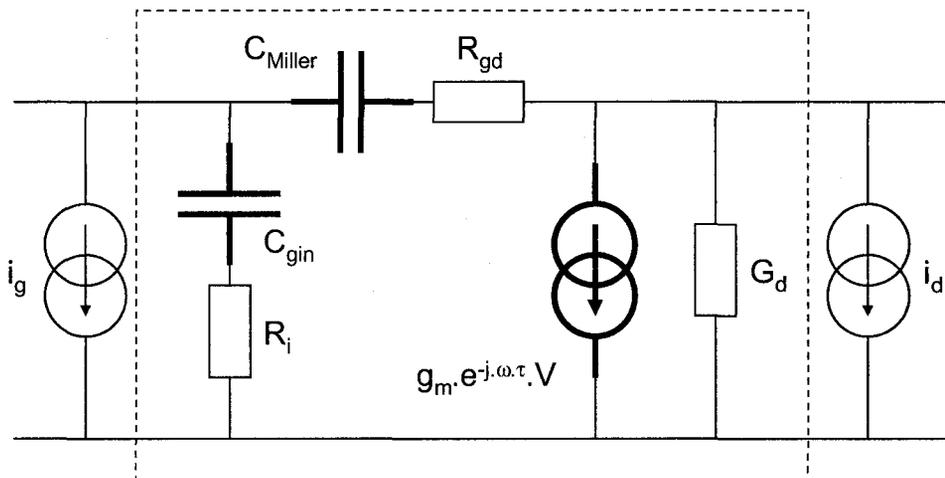


Figure III-9 Schéma équivalent intrinsèque et sources de bruit associées.

En considérant le schéma équivalent intrinsèque du transistor et les deux sources de courant de bruit $\langle i_g^2 \rangle$, $\langle i_d^2 \rangle$ et leur corrélation $\langle i_g \cdot i_d^* \rangle$ (Figure III-9), la résistance équivalente de bruit R_n peut s'exprimer sous la forme :

$$R_n = \frac{\langle i_d^2 \rangle}{4 \cdot k \cdot T_0 \cdot |Y_{21}|^2 \cdot \Delta f} \quad \text{III.23}$$

Comme nous l'avons vu au chapitre II, la source de bruit $\langle i_d^2 \rangle$ est indépendante de la fréquence (bruit « blanc »). Le module de Y_{21} étant également indépendant de la fréquence dans une large gamme, R_n est un terme qui varie peu en fonction de la fréquence.

La conductance de corrélation G_{cor} a pour expression :

$$G_{cor} = \Re \left(Y_{11} - \frac{\langle i_g \cdot i_d^* \rangle}{\langle i_d^2 \rangle} Y_{21} \right) \approx G_{11} \approx R_i \cdot C_{gs} \cdot \omega^2 \quad \text{III.24}$$

La corrélation $\langle i_g \cdot i_d^* \rangle$ étant essentiellement un complexe imaginaire et Y_{21} essentiellement réelle, G_{cor} est très peu différent de la partie réelle G_{11} de Y_{11} . G_{cor} , comme G_{11} , est par conséquent linéairement dépendant du carré de la fréquence.

Enfin, l'équation III.25 donne une expression du module de l'admittance optimale en fonction des sources de bruit $\langle i_g^2 \rangle$ et $\langle i_d^2 \rangle$.

$$|Y_{opt}|^2 = \frac{1}{4 \cdot k \cdot T_0 \cdot R_n \cdot \Delta f} \cdot \left[\langle i_g^2 \rangle + \left| \frac{Y_{11}}{Y_{21}} \right|^2 \cdot \langle i_d^2 \rangle - 2 \cdot \Re \left(\frac{Y_{11}}{Y_{21}} \langle i_d \cdot i_g^* \rangle \right) \right] \quad \text{III.25}$$

En sachant que :

- $\langle i_d^2 \rangle$ et R_n sont indépendants de la fréquence ;
- $\langle i_g^2 \rangle$ est proportionnelle au carré de la fréquence ;
- $\langle i_d \cdot i_g^* \rangle$ est linéaire en fonction de la fréquence ;
- Y_{11} est essentiellement proportionnelle à la fréquence ;
- Y_{21} est essentiellement indépendant de la fréquence ;

Nous en déduisons que $|Y_{opt}|^2$ est proportionnelle au carré de la fréquence.

L'expression de F_{50} (équation III.22) comporte donc un terme $(1 + R_n \cdot G_0)$ indépendant de la fréquence et un autre $\frac{R_n}{G_0} \cdot (2 \cdot G_0 \cdot G_{cor} + |Y_{opt}|^2)$ proportionnel au carré de la fréquence.

Le facteur de bruit d'un transistor à effet de champ sous 50 Ω d'impédance d'entrée est donc linéaire en fonction du carré de la fréquence. Une simple mesure de F_{50} en fonction de la fréquence nous donne alors accès à deux paramètres de bruit. Notamment, la résistance de bruit R_n ou $\langle i_d^2 \rangle$ peut être déterminée précisément par une simple extrapolation de F_{50} à fréquence nulle.

La détermination des deux paramètres de bruit restant se fait en utilisant un modèle à deux températures équivalentes T_{in} et T_{out} .

III.2.2. Etalonnage du banc

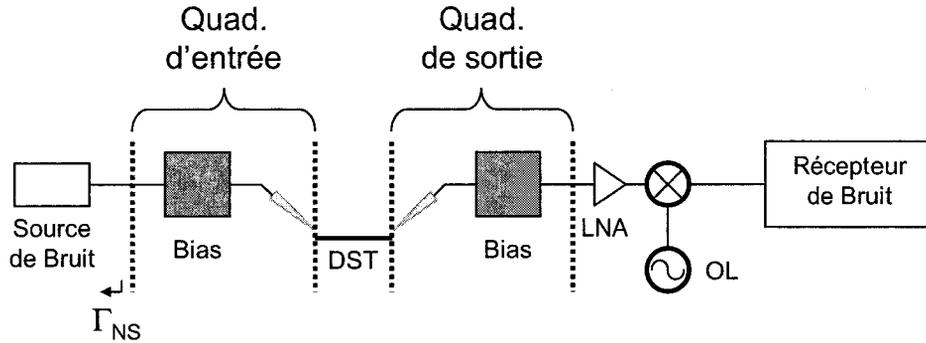


Figure III-10 Banc de mesure de bruit par la méthode F50.

Le banc de mesure de bruit par méthode F_{50} est constitué d'une station sous pointes, d'une valise de bruit (source de bruit Noisecom 346V + récepteur de bruit HP8970B), de T de polarisations (Bias) et d'une alimentation pilotable (Figure III-10).

D'après la formule de Friis [6], le facteur de bruit du DST est donnée par :

$$F_{DST} = 1 + \left(F_{TOT} - F_{quad_entrée} - \frac{F_{quad_sortie} - 1}{G_{quad_entrée} \cdot G_{DST}} \right) \cdot G_{quad_entrée} \quad \text{III.26}$$

avec :

- $F_{quad_entrée} = \frac{1}{G_{quad_entrée}}$, $F_{quad_sortie} = \frac{1}{G_{quad_sortie}}$ les facteurs de bruit des quadripôles d'entrée et de sortie.
- $G_{quad_entrée}$, G_{quad_sortie} , G_{DST} les gains disponibles du quadripôle d'entrée et de sortie, et du DST.

Les gains disponibles sont déterminés à partir des paramètres S du DST (par mesure VNA 2-port) et des paramètres S des quadripôles d'entrée et de sortie par méthode QUADIP (cf. annexe A.6).

Il faut également étalonner le récepteur de bruit au niveau de l'entrée du LNA [1] en connectant directement la source de bruit à cette entrée (Figure III-11).

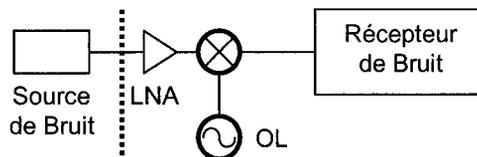


Figure III-11 Banc F_{50} en configuration étalonnage du récepteur de bruit.

III.2.3. Modèle de bruit à deux températures

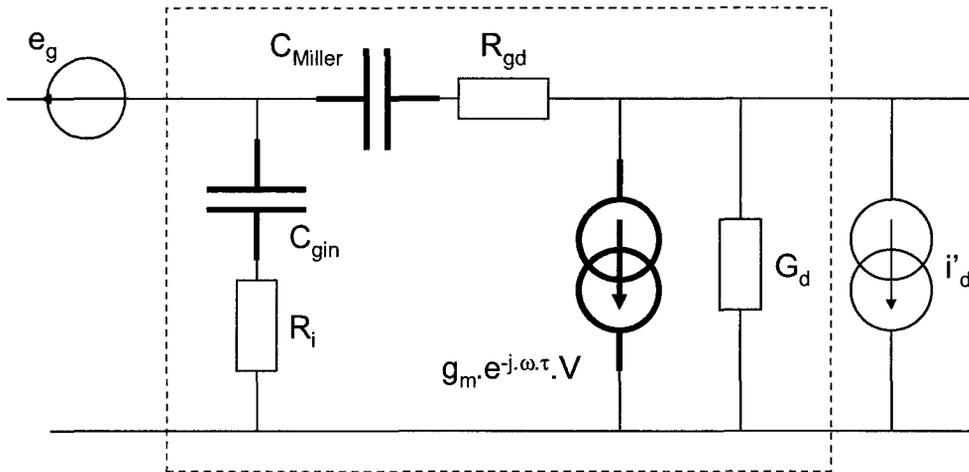


Figure III-12 Schéma équivalent intrinsèque et sources de bruit associées.

M. W. Pospieszalski a montré que deux sources de bruit indépendantes pouvaient décrire les caractéristiques de bruit d'un transistor à effet de champ [11] (Figure III-12) : une source de bruit en tension $\langle e_g^2 \rangle$ associée à la résistance intrinsèque R_i et une source de bruit en courant $\langle i_d'^2 \rangle$, associée à la conductance de sortie g_d , indépendante de la source $\langle e_g^2 \rangle$ ($\langle e_g \cdot i_d'^* \rangle = 0$). Il introduit également la notion de températures équivalentes de bruit T_g et T_d (selon la relation de Nyquist) associées respectivement à $\langle e_g^2 \rangle$ et $\langle i_d'^2 \rangle$. Cependant, un tel modèle dépend fortement de la précision de détermination des éléments du schéma équivalent notamment de la résistance intrinsèque R_i tributaire des imprécisions de mesures et de l'extraction des éléments extrinsèques.

Pour pallier ce problème, nous préférons définir les sources de bruit à partir des paramètres électriques Y ou Z intrinsèques. Nous définissons alors les deux températures équivalentes :

$$T_{in} = \frac{\langle e_g^2 \rangle}{4.k.\Re\left(\frac{1}{Y_{11}}\right).\Delta f} \quad \text{III.27}$$

$$T_{out} = \frac{\langle i_d'^2 \rangle}{4.k.\Re\left(\frac{1}{Z_{22}}\right).\Delta f} \quad \text{III.28}$$

Ce modèle à deux températures repose sur la double hypothèse (en partie réelle et en partie imaginaire) de la non-corrélation des sources de bruit $\langle e_g^2 \rangle$ et $\langle i_d'^2 \rangle$. Cette hypothèse a été démontrée par M. W. Pospieszalski [11] pour des transistors à canaux longs. Nous nous proposons de vérifier cette hypothèse dans le cas d'un transistor à canal court.

III.2.4. Corrélation en représentation courant-tension

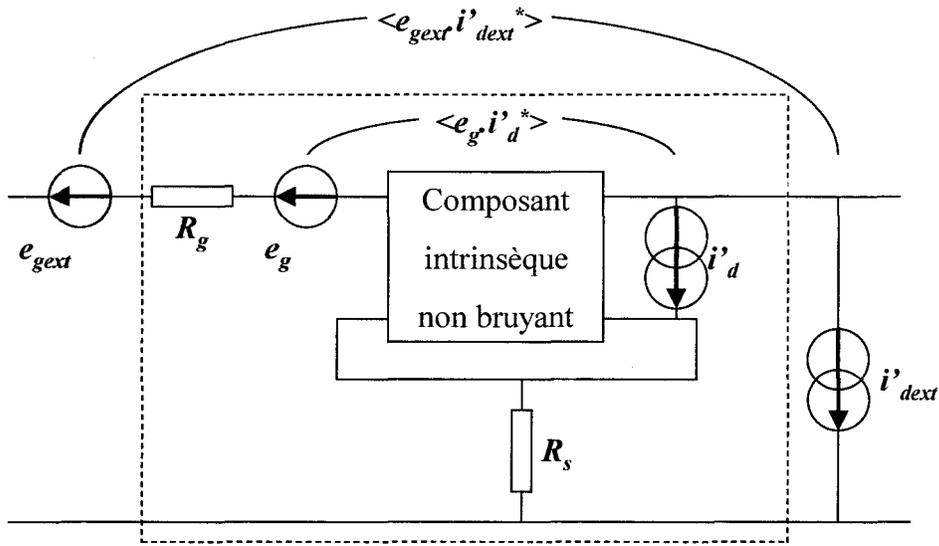


Figure III-13 Circuit équivalent et sources de bruit associées.

Afin de vérifier l'hypothèse de non-corrélation des sources de bruit d'un TEC en représentation tension-courant, nous avons mené deux types de simulation avec notre modèle physique de bruit (cf. chapitre II) pour un transistor MOS SOI FD de 0.15 μm de longueur de grille (0.1 μm de longueur effective) en technologie OKI [12], [13] :

- Premièrement, des simulations ont été faites en ne considérant que le composant intrinsèque avec ses sources de bruit associées $\langle e_g^2 \rangle$ et $\langle i_d'^2 \rangle$ et leur corrélation $\langle e_g i_d'^* \rangle$ (Figure III-13 entre pointillés) ;
- Dans un deuxième temps, des simulations ont été faites en considérant un nouveau quadripôle qui inclut le composant intrinsèque et les résistances d'accès R_g et R_s (avec leur bruit thermique associé). On obtient alors les sources de bruit $\langle e_{gext}^2 \rangle$ et $\langle i'_{dext}{}^2 \rangle$ et leur corrélation $\langle e_{gext} i'_{dext}{}^* \rangle$ (Figure III-13).

Une fois les matrices de corrélation de bruit calculées dans les deux cas, les coefficients de corrélation C_{int} (cas intrinsèque) et C_{ext} (cas extrinsèque) sont donnés respectivement par :

$$C_{int} = \frac{\langle e_g i_d'^* \rangle}{\sqrt{\langle e_g^2 \rangle \cdot \langle i_d'^2 \rangle}} \quad \text{III.29}$$

$$C_{ext} = \frac{\langle e_{gext} i'_{dext}{}^* \rangle}{\sqrt{\langle e_{gext}^2 \rangle \cdot \langle i'_{dext}{}^2 \rangle}} \quad \text{III.30}$$

Les variations des parties réelles et imaginaires de ces deux coefficients de corrélation en fonction du courant de polarisation I_{ds} sont présentées à la Figure III-14.

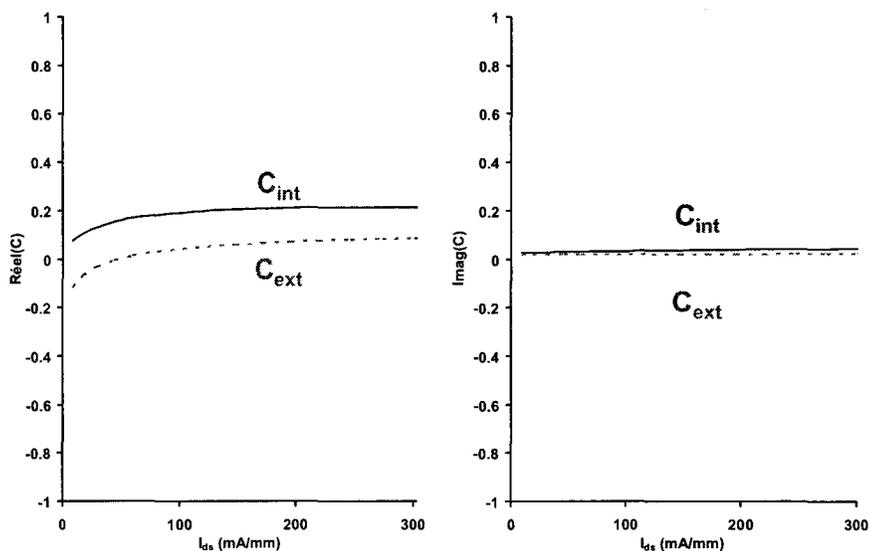


Figure III-14 Parties réelles et imaginaires des coefficients de corrélation C_{int} et C_{ext} en fonction du courant de polarisation I_{ds} ($V_{ds}=1.2V$).

On constate que la partie imaginaire de la corrélation intrinsèque C_{int} est presque nulle et que sa partie réelle ne dépasse pas 0.2 sur toute la gamme de polarisation. L'hypothèse de non-corrélation des sources reste donc valable pour les transistors à canaux courts.

De plus, on observe que la partie réelle du coefficient de corrélation diminue lorsqu'on prend en compte les résistances d'accès bruyantes R_g et R_s . En effet, la résistance de grille apporte une contribution en bruit en série avec la source de bruit en entrée $\langle e_g^2 \rangle$. Cela n'affecte pas la corrélation des sources en entrée-sortie ($\langle e_g \cdot i_d^* \rangle = \langle e_{gext} \cdot i_{dext}^* \rangle$) alors qu'il augmente la source de bruit d'entrée $\langle e_{gext}^2 \rangle$. D'après l'équation III.30, on diminue donc bien le coefficient de corrélation.

Ces différents résultats renforcent donc l'hypothèse faite dans la méthode F_{50} de non-corrélation des sources de bruit en représentation tension-courant, notamment en incluant les résistances d'accès R_g et R_s .

III.3. Comparaison des méthodes

III.3.1. Paramètres de bruit

Les deux méthodes d'extraction des paramètres de bruit présentées ci-dessus ont été utilisées conjointement pour des transistors à différentes longueurs de grille. Nous comparons ici les résultats obtenus dans chaque cas pour des transistors MOS à substrat massif en technologie ST respectivement de 250 nm de longueur et 120 μm (24 doigts de 5 μm) de largeur de grille (Figure III-15), de 130 nm de longueur et 80 μm (8 doigts de 10 μm) de largeur de grille (Figure III-16), et de 90 nm de longueur et 120 μm (60 doigts de 2 μm) de largeur de grille (Figure III-17), dans les conditions de polarisation au minimum de bruit.

On constate sur les deux figures une bonne concordance des résultats en fonction de la méthode utilisée. Les paramètres suivent bien les lois de variations usuelles : variations linéaires du facteur minimum de bruit NF_{min} et du coefficient de réflexion optimum Γ_{opt} en module et phase et une résistance équivalente de bruit R_n quasi indépendante de la fréquence.

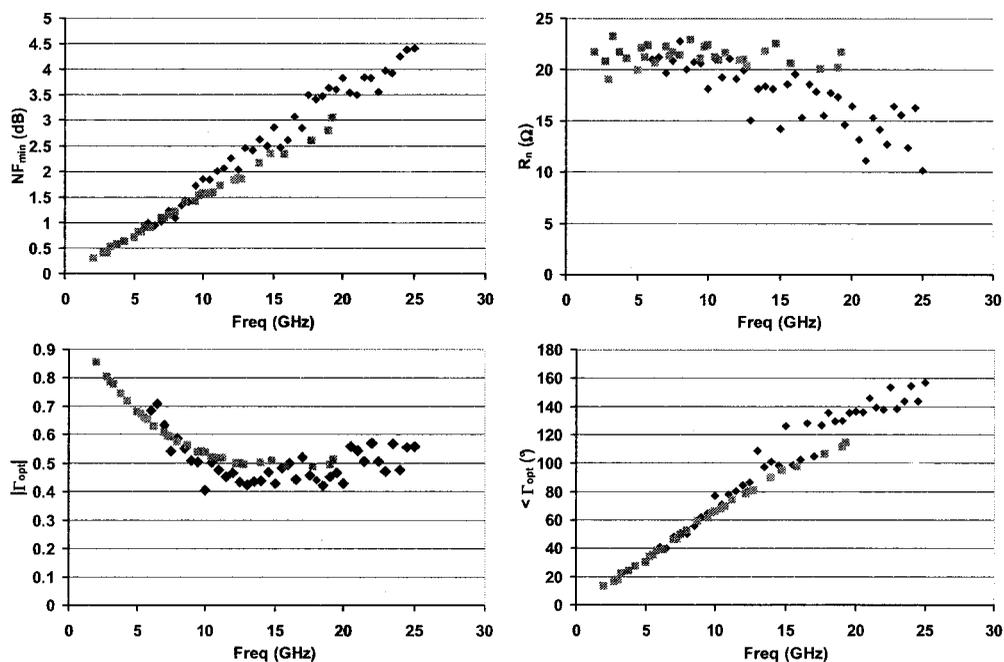


Figure III-15 Paramètres de bruit d'un MOSFET en technologie ST (J232YNH – NMSF1) de 24 doigts de grille de 5 μm ($W_{total}=120 \mu\text{m}$) et 0.25 μm de longueur de grille en fonction de la fréquence ($V_{gs}=0.6V$, $V_{ds}=1.2V$) : comparaison des résultats obtenus par la méthode Tuner et par la méthode F₅₀.

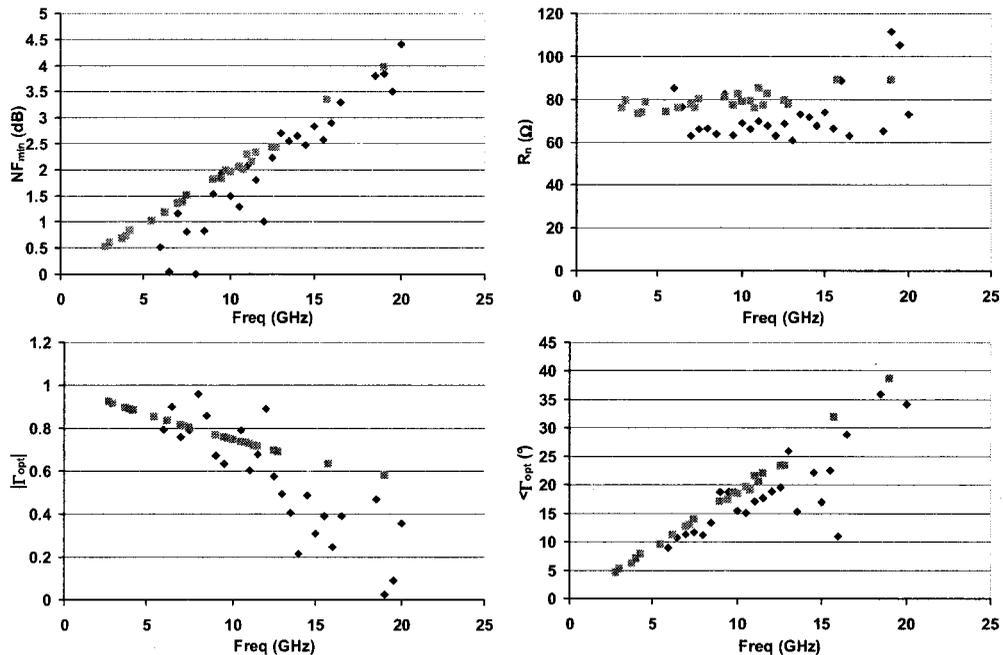


Figure III-16 Paramètres de bruit d'un MOSFET en technologie ST (J232YNH - NMLA3) de 8 doigts de grille de $10\ \mu\text{m}$ ($W_{total}=80\ \mu\text{m}$) et $0.13\ \mu\text{m}$ de longueur de grille en fonction de la fréquence ($V_{gs}=0.5V$, $V_{ds}=1.2V$) : comparaison des résultats obtenus par la méthode Tuner et par la méthode F_{50} .

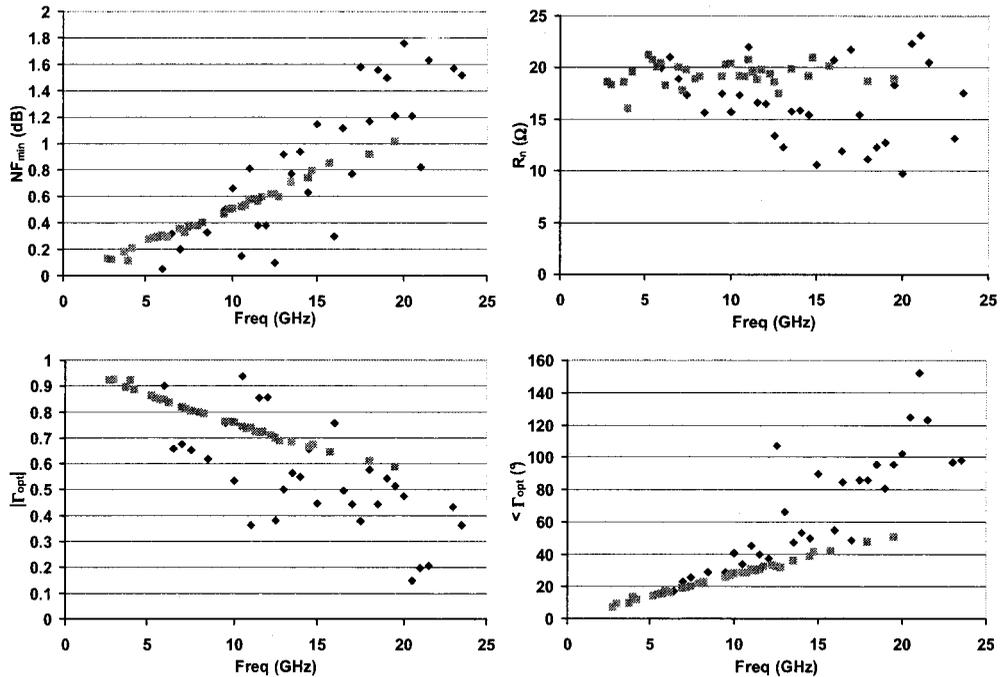


Figure III-17 Paramètres de bruit d'un MOSFET en technologie ST (Q406EGE - NMSQ1) de 60 doigts de grille de $2\ \mu\text{m}$ ($W_{total}=120\ \mu\text{m}$) et $0.1\ \mu\text{m}$ de longueur de grille en fonction de la fréquence ($V_{gs}=0.4V$, $V_{ds}=1.2V$) : comparaison des résultats obtenus par la méthode Tuner et par la méthode F_{50} .

On observe tout de même une plus grande dispersion des résultats avec la méthode Tuner. Ceci est dû au fait que cette méthode présente davantage d'imprécisions (nombreux étalonnages) et que les résultats dépendent fortement des points d'impédances générés lors de la mesure des facteurs de bruit. De plus, il existe des algorithmes d'extraction des paramètres de bruit plus précis que celui de R. Q. Lane. Ces différents algorithmes sont notamment comparés dans [15]. Il en ressort que l'algorithme proposé par A. Boudiaf semble le plus précis [16].

On valide ainsi la méthode F_{50} même pour des transistors à grille sub-100 nm.

Pour résumer, nous présentons dans la section suivante les avantages et inconvénients de chaque méthode.

III.3.2. Avantages et Inconvénients

a) Méthode Tuner

Cette méthode nécessite, comme nous l'avons vu, une mise en place assez lourde avec de nombreux étalonnages (obligeant à beaucoup de montages-démontages). De plus, les résultats obtenus dépendent fortement des points d'impédances utilisés lors de la phase de mesure.

En revanche, cette méthode permet de caractériser en bruit tout type de dispositif car le DST est considéré comme une « boîte noire » dont on ne connaît que les paramètres S.

Outre les composants étudiés dans le cadre de cette thèse, le banc de mesure multi-impédances a permis ainsi de caractériser complètement en bruit des transistors bipolaires et différents circuits [14].

b) Méthode F_{50}

La méthode F_{50} quant à elle est plus simple à mettre en œuvre. Elle permet ainsi d'obtenir rapidement les quatre paramètres de bruit du dispositif étudié avec une bonne précision. Nous avons également montré qu'elle restait valable pour des transistors à grille sub-100 nm.

Néanmoins, cette méthode repose sur un modèle de bruit (non corrélation des sources de bruit en représentation tension-courant) valide uniquement pour les transistors à effet de champ (MOSFETs, HEMTs, MESFETs, ...) et ne permet donc d'extraire correctement les paramètres de bruit que pour ce type de dispositifs.

Cette méthode consiste donc un bon alternatif à la méthode multi-impédances classique dans le cas de transistors à effet de champ.

Conclusions

Dans ce chapitre, nous avons présenté les deux techniques expérimentales de caractérisation en bruit, disponibles au laboratoire.

Dans une première partie, nous présentons la technique multi-impédances. A l'aide d'un générateur d'impédances à l'entrée du dispositif sous test, il est possible d'obtenir le facteur de bruit du DST en fonction de l'impédance présentée. Dans un premier temps, nous présentons les nombreuses étapes d'étalonnage du banc de mesure. Puis, par la résolution de systèmes linéaires utilisant l'algorithme de R. Q. Lane, nous obtenons les quatre paramètres de bruit du DST.

Dans une deuxième partie, nous présentons une autre technique développée au laboratoire et appelée F_{50} . Après une description de son principe, nous détaillons les quelques étapes d'étalonnage du banc F_{50} . Cette technique est basée sur un modèle de bruit des transistors à effet de champ ayant pour hypothèse la non corrélation des sources de bruit intrinsèques dans une représentation tension-courant. Cette double hypothèse (partie réelle et partie imaginaire nulles) a été démontrée par M. W. Pospieszalski pour des transistors à canal long. Nous avons vérifié, grâce au modèle physique de bruit présenté au chapitre précédent, que cette double hypothèse est également valable pour les composants à grille sub-100 nm.

Enfin, dans une troisième partie, nous comparons les résultats obtenus avec ces deux techniques. Nous montrons ainsi que la méthode F_{50} a une meilleure précision que la méthode multi-impédances avec l'algorithme utilisé et qu'elle reste valable pour les plus récents nœuds technologiques. Malheureusement, cette méthode, malgré sa mise en œuvre simplifiée, n'est applicable qu'aux transistors à effet de champ. La méthode multi-impédances reste donc intéressante pour la caractérisation complète de bruit d'autres filières de composants et même de circuits. Cette méthode pourrait néanmoins être optimisée en utilisant un meilleur algorithme de résolution de systèmes linéaires.

Grâce à ces différentes méthodes de caractérisation, nous avons pu mener une étude de l'effet de réduction d'échelle sur les performances hyperfréquences et de bruit des transistors MOS à architecture conventionnelle comme présenté au chapitre suivant.

Bibliographie

- [1] Fundamentals of RF and Microwave Noise Figure Measurements, *Hewlett-Packard Application Note 57-1*, Juillet 1983.
- [2] Noise Measurements Using the Computer Controlled Microwave Tuner System, *Focus Microwaves Application Note 1-90*.
- [3] V. Adamian et A. Uhler, A novel procedure for receiver noise characterization, *IEEE Transactions on Instrument Measurement*, IM-22:181-182, Juin 1973.
- [4] A. C. Davidson, B. W. Leake et E. Strid, Accuracy Improvements in Microwave Noise Parameter Measurements, *IEEE Transactions on Microwave Theory and Technique*, MTT-37:1973-1977, Décembre 1989.
- [5] On-Wafer Noise Parameter Measurements using Cold-Noise Source and Automatic Receiver Calibration, *Focus Microwaves Application Note 19*, Janvier 1999.
- [6] H. T. Friis, Noise Figures of Radio Receivers, *Proceedings of IRE*, 32:419-422, Juillet 1944.
- [7] M. Vanmackelberg, Contribution à la caractérisation hyperfréquence de composants MOSFET en vue de la conception de fonctions intégrées pour des applications en gamme millimétrique, *Thèse de doctorat, Université de Lille 1*, 26 octobre 2001.
- [8] R. Q. Lane, The Determination of Device Noise Parameters, *Proceedings of IEEE*, 57:1461-1462, Août 1969.
- [9] H. Fukui, The noise performance of microwave transistors, *IEEE Transactions on Electron Devices*, 13:329-341, Mars 1966.
- [10] G. Dambrine, H. Happy, F. Danneville, A. Cappy, A new method for on-wafer noise measurement, *IEEE Transactions on Microwave Theory and Techniques*, 41:375-381, Mars 1993.
- [11] M. W. Pospieszalski, Modeling of noise parameters of MESFET's and MODFET's and their frequency and temperature dependence, *IEEE Transactions on Microwave Theory and Techniques*, 37:1340-1350, Septembre 1989.
- [12] G. Pailloncy, B. Iñiguèz, G. Dambrine, M. Dehan, J. P. Raskin, H. Matsushashi, P. Delatte, F. Danneville, Noise modeling and performance in 0.15 μm fully depleted SOI MOSFET, *SPIE Proceedings*, 5470:122-130, Mai 2004.
- [13] <http://www.oki.com/en/otr/196/downloads/otr-196-R15.pdf>

- [14] S. Pruvost, S. Delcourt, I. Telliez, M. Laurens, N. E. Bourzgui, F. Danneville, A. Monroy, G. Dambrine, Microwave and Noise Performance of SiGe BiCMOS HBT Under Cryogenic Temperatures, *IEEE Electronic Device Letters*, 26:105-108, 2005.
- [15] L. Escotte, R. Plana, J. Graffeuil, Evaluation of Noise Parameter Extraction Methods, *IEEE Transactions on Microwave Theory and Techniques*, 41:382-387, March 1993.
- [16] A. Boudiaf, M. La Porte, J. Dangla, G. Vernet, *IEEE MTT-S International Microwave Symposium Digest*, 3:1569-1572, Juin 1992.

**Effets de la réduction d'échelle sur les CMOS à
architectures conventionnelles : vers des architectures
alternatives ?**

SOMMAIRE

IV. Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?.....	135
<i>Introduction</i>	135
IV.1. Effets de la réduction d'échelle sur les performances de bruit.....	136
IV.1.1. Etude expérimentale.....	136
IV.1.2. Etude des sources intrinsèques en fonction de la réduction d'échelle	137
<i>a) Variations des sources de bruit intrinsèques</i>	<i>140</i>
<i>b) Etude des paramètres de bruit intrinsèques P, R.....</i>	<i>141</i>
<i>c) Importance relative de la source de bruit de grille induite $\langle i_g^2 \rangle$.....</i>	<i>143</i>
<i>d) Conclusions.....</i>	<i>144</i>
IV.2. Effets de la réduction d'échelle sur les performances électriques	145
IV.2.1. Etude expérimentale.....	145
IV.2.2. Dépendances de la fréquence maximale d'oscillation f_{max}	148
<i>a) Influence de la fréquence de coupure intrinsèque</i>	<i>149</i>
<i>b) Influence des résistances d'accès</i>	<i>149</i>
<i>c) Influence de la conductance de sortie g_d et du rapport C_{gin}/C_{Miller}.....</i>	<i>150</i>
<i>d) Conclusions.....</i>	<i>150</i>
IV.3. Optimisations des fréquences de coupure et des performances de bruit	152
IV.3.1. Optimisations de la topologie de grille	152
IV.3.2. Optimisations des zones d'extension de source et drain	154
IV.4. Vers des architectures alternatives ?	158
IV.4.1. Perspectives de performances électriques et de bruit de la future génération de MOSFETs.	158
IV.4.2. Les architectures alternatives	160
<i>a) Le MOSFET à seuil dynamique (DTMOS)</i>	<i>160</i>
<i>b) Le FINFET.....</i>	<i>162</i>
<i>c) Le MOSFET à faibles barrières Schottky (LSB MOSFET)</i>	<i>164</i>
<i>d) Conclusions.....</i>	<i>165</i>
Conclusions	166
Bibliographie	168

IV. Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

Introduction

Dans ce chapitre, nous proposons une étude expérimentale des paramètres limitant la montée en fréquence et les performances de bruit des transistors MOS à structure conventionnelle.

Dans un premier temps, à partir des mesures obtenues sur des composants MOS utilisant la technologie ST Microelectronics sur substrat Massif de différentes longueurs de grille, nous étudions l'influence de la réduction d'échelle (diminution de la longueur de grille L_g) sur les sources de bruit intrinsèques et sur les paramètres de bruit associés.

Dans la deuxième partie, nous étudions les effets de la réduction d'échelle sur les performances électriques de MOSFETs SOI PD de différentes topologies et différentes longueurs de grille. A partir d'une expression simplifiée, nous mettons en évidence les principaux paramètres limitant la fréquence maximale d'oscillation f_{max} .

Les pistes investiguées à l'heure actuelle qui permettraient d'optimiser les performances dynamiques et de bruit par optimisation de la technologie de grille et des zones d'extension de Source et de Drain sous la grille sont alors présentées.

Enfin, à partir d'une étude bibliographique, les architectures alternatives de composants MOS permettant d'outrepasser les limitations de performances dynamiques et de bruit hautes fréquences des MOSFETs à architecture conventionnelle sont commentées.

IV.1. Effets de la réduction d'échelle sur les performances de bruit

IV.1.1. Etude expérimentale

Dans cette section, notre analyse est construite autour des données expérimentales obtenues pour une technologie CMOS sur substrat Massif ST Microelectronics à différentes longueurs de grille : 130 nm, 90 nm et 65 nm. Le Tableau IV-1 résume les principales caractéristiques hautes fréquences expérimentales de ces composants.

$N_f \times W_u \times L_g$ (μm^2)	I_{ds} [mA/mm]	R_g [Ω]	R_s [Ω]	g_m [mS/mm]	g_d [mS/mm]	C_{gin} [fF/mm]	C_{Miller} [fF/mm]
32x2.5x0.13	88	4.8	0.78	722	73	775	503
	400			981	133	860	518
60x2x0.09	50	3	0.9	655	56	535	285
	383			1190	136	686	297
64x1x0.06	131	4	1.2	1020	186	525	331
	563			1510	274	610	340
$N_f \times W_u \times L_g$ (μm^2)	f_{max} [GHz]	f_t [GHz]	f_c [GHz]	P	R	C	NF_{min} [dB] @19GHz
32x2.5x0.13	86	97	148	1.67	0.22	0.32	1.75
	97	122	181	2.82	0.35	0.29	2.21
60x2x0.09	108	136	195	1.36	0.32	0.46	1.1
	122	203	277	2.78	0.63	0.41	1.46
64x1x0.06	114	214	323	1.47	0.68	0.66	0.82
	140	303	444	3.12	1	0.51	1.21

Tableau IV-1 Principales caractéristiques hautes fréquences expérimentales des composants étudiés. V_{ds} est choisi en régime de saturation, les deux valeurs distinctes de courant de drain I_{ds} pour chaque composant correspondent respectivement aux conditions de polarisation faible bruit (dessus) et maximum de g_m (dessous).

Les paramètres de bruit sont extraits à partir des facteurs de bruit mesurés dans la bande de fréquence 1GHz-20GHz en utilisant la méthode F_{50} (cf. section III.2). Les résistances d'accès sont obtenues à partir de la méthode « FET froid » décrit dans [1]. Il faut noter que, comme précédemment, les capacités C_{gin} et C_{Miller} incluent les capacités de recouvrement et les capacités de bord, mais que, comme nous le verrons plus loin, la capacité totale intrinsèque C_{toti} est quasi constante en fonction de la réduction d'échelle.

D'après le Tableau IV-1, NF_{min} ne semble pas vraiment corrélé à f_c ou f_t mais plus à f_{max} . Par conséquent, f_{max} semble un bon facteur de mérite pour comparer les performances de bruit

des transistors à effet de champ [2]-[5]. De plus, on peut noter que les valeurs de P , R et C varient peu d'un nœud technologique à un autre. Pour confirmer ce point, nous étudions, à la section suivante, les sources de bruit intrinsèques en fonction de la réduction d'échelle.

IV.1.2. Etude des sources intrinsèques en fonction de la réduction d'échelle

Il faut garder à l'esprit que chaque composant étudié correspond à un nœud technologique donné. De plus, la tension de polarisation de drain V_{ds} diminue avec la réduction d'échelle ($V_{ds}=1.2\text{ V}$ pour le MOSFET 130 nm et $V_{ds}=1.0\text{ V}$ pour le MOSFET 65 nm).

La Figure IV-1, la Figure IV-2 et la Figure IV-3 représentent les densités spectrales des sources de courant de bruit respectivement de drain Si_d et de grille Si_g et de la partie imaginaire de leur corrélation $Im(Si_g.i_d^*)$ en fonction de $(V_{gs}-V_{th})$ pour les différents composants étudiés.

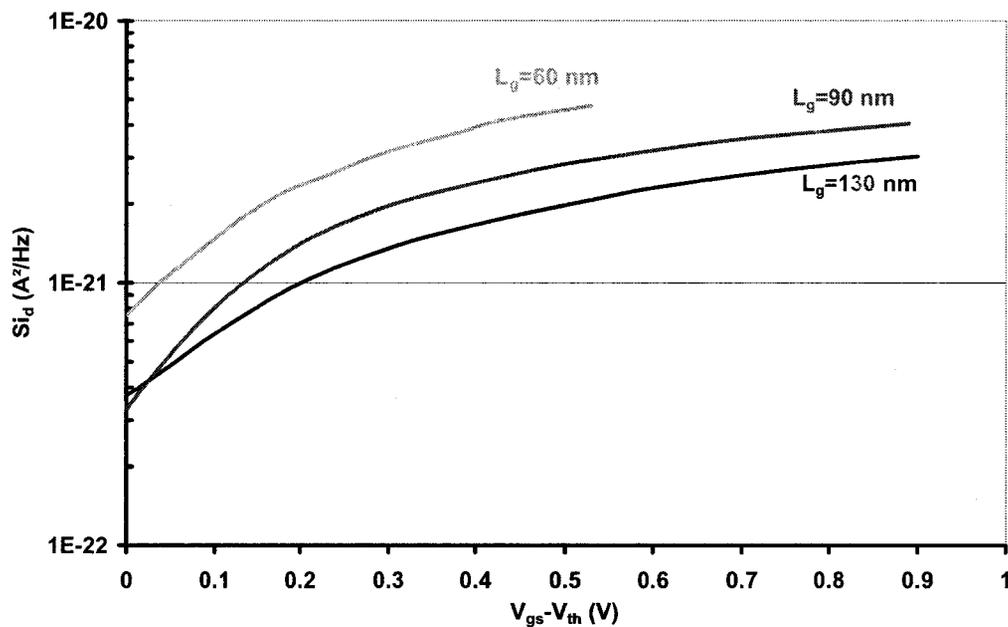


Figure IV-1 Densité spectrale de courant de bruit de drain Si_d pour différents nœuds technologiques à 19 GHz (la largeur totale de grille est fixée à $50\ \mu\text{m}$ pour tous les composants) en fonction de $(V_{gs}-V_{th})$ ($V_{ds}=1.2\text{ V}$ pour $L_g=130\text{ nm}$ et 90 nm , $V_{ds}=1\text{ V}$ pour $L_g=60\text{ nm}$).

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

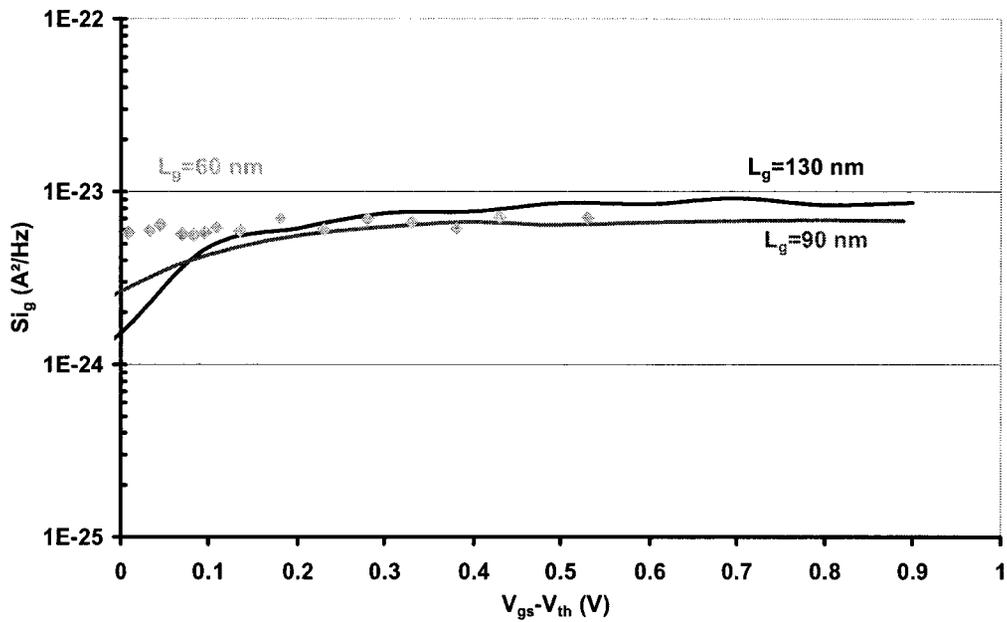


Figure IV-2 Densité spectrale de courant de bruit de grille induit S_{i_g} pour différents nœuds technologiques à 19 GHz (la largeur totale de grille est fixée à $50 \mu\text{m}$ pour tous les composants) en fonction de $(V_{gs} - V_{th})$ ($V_{ds} = 1.2V$ pour $L_g = 130$ nm et 90 nm, $V_{ds} = 1V$ pour $L_g = 60$ nm).

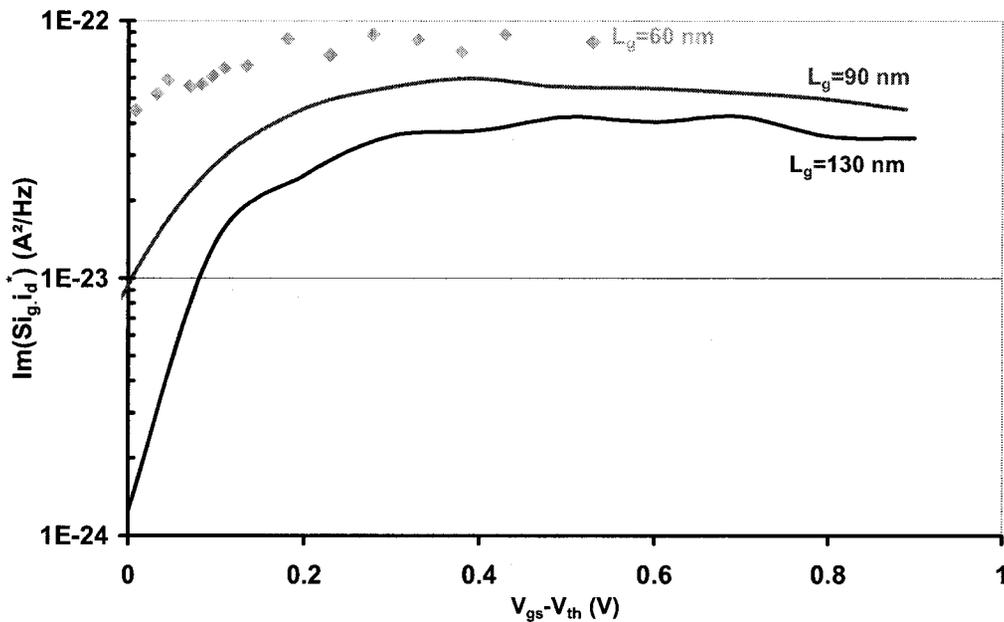


Figure IV-3 Densité spectrale de la partie imaginaire de corrélation des courants de bruit de grille induit et de drain $\text{Im}(S_{i_g, i_d})$ pour différents nœuds technologiques à 19 GHz (la largeur totale de grille est fixée à $50 \mu\text{m}$ pour tous les composants) en fonction de $(V_{gs} - V_{th})$ ($V_{ds} = 1.2V$ pour $L_g = 130$ nm et 90 nm, $V_{ds} = 1V$ pour $L_g = 60$ nm).

La vérification expérimentale de la dépendance à la réduction d'échelle des sources de bruit et des paramètres électriques (g_m , C_{gsi} , ...) de différents nœuds technologiques de MOSFETs n'est pas simple. Le courant de bruit de drain $\langle i_d^2 \rangle$ est proportionnel à $1/L_{ch}^2$ alors que le courant de bruit de grille induit $\langle i_g^2 \rangle$ est proportionnel à L_{ch}^2 où L_{ch} est la longueur de canal [6]. [7]. Malheureusement, on ne connaît pas avec précision la longueur de canal L_{ch} des MOSFETs étudiés. De plus, il nous faut comparer ces différents MOSFETs dans les mêmes conditions intrinsèques de polarisations relatives. Pour outrepasser ces difficultés, nous avons choisi deux critères de comparaison.

Une expression simplifiée (théorie des transistors à canal long) du courant de drain I_{ds} d'un MOSFET à largeur de grille donné (I_{ds} en A/m) est donnée par :

$$I_{ds} \left(\frac{A}{m} \right) = \frac{1}{2} \cdot \frac{\mu \cdot \mathcal{E}}{t_{ox} \cdot L_{ch}} (V_{gs} - V_{th})^2 \quad \text{IV.1}$$

On montre alors que la transconductance g_m (en S/m) a pour expression :

$$g_m \left(\frac{S}{m} \right) = \frac{\mu \cdot \mathcal{E}}{t_{ox} \cdot L_{ch}} (V_{gs} - V_{th}) \quad \text{IV.2}$$

où V_{th} est la tension de seuil.

En considérant que l'épaisseur d'oxyde de grille t_{ox} est proportionnel à L_{ch} , les critères sont les suivants :

- Pour les trois MOSFETs considérés, nous comparons les sources de bruit au même :

$$\frac{2I_{ds} \left(\frac{A}{m} \right)}{g_m \left(\frac{S}{m} \right)} \approx V_{gs} - V_{th} \quad \text{IV.3}$$

- Nous considérons, comme paramètre d'échelle, le rapport :

$$\frac{g_m^2 \left(\frac{S}{m} \right)^2}{2 \cdot I_{ds} \left(\frac{A}{m} \right)} \approx \frac{\mu \cdot \mathcal{E}}{t_{ox} \cdot L_{ch}} \quad \text{IV.4}$$

Ces critères sont choisis en saturation et régime de forte inversion. Pour un même champ électrique (V_{ds} est réduit d'un nœud technologique au suivant), μ est considéré comme constant dans ces conditions de polarisation ; le rapport $g_m^2/2 \cdot I_{ds}$ est alors considéré comme proportionnel à $1/L_{ch}^2$.

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

a) Variations des sources de bruit intrinsèques

La Figure IV-4 et la Figure IV-5 présentent les densités spectrales des courants de bruit respectivement de drain Si_d en fonction du rapport $g_m^2/2.I_{ds}$ et de grille induit Si_g en fonction du rapport $2.I_{ds}/g_m^2$.

On constate que la densité spectrale de courant de bruit de drain est proportionnelle au rapport $g_m^2/2.I_{ds}$ donc à $1/L_{ch}^2$ alors que la densité spectrale de courant de bruit de grille est proportionnelle au rapport $2.I_{ds}/g_m^2$ c'est-à-dire à L_{ch}^2 .

La source de bruit de drain $\langle i_d^2 \rangle$ continue alors d'augmenter avec la réduction d'échelle alors que la source de bruit de grille induit $\langle i_g^2 \rangle$ continue à diminuer.

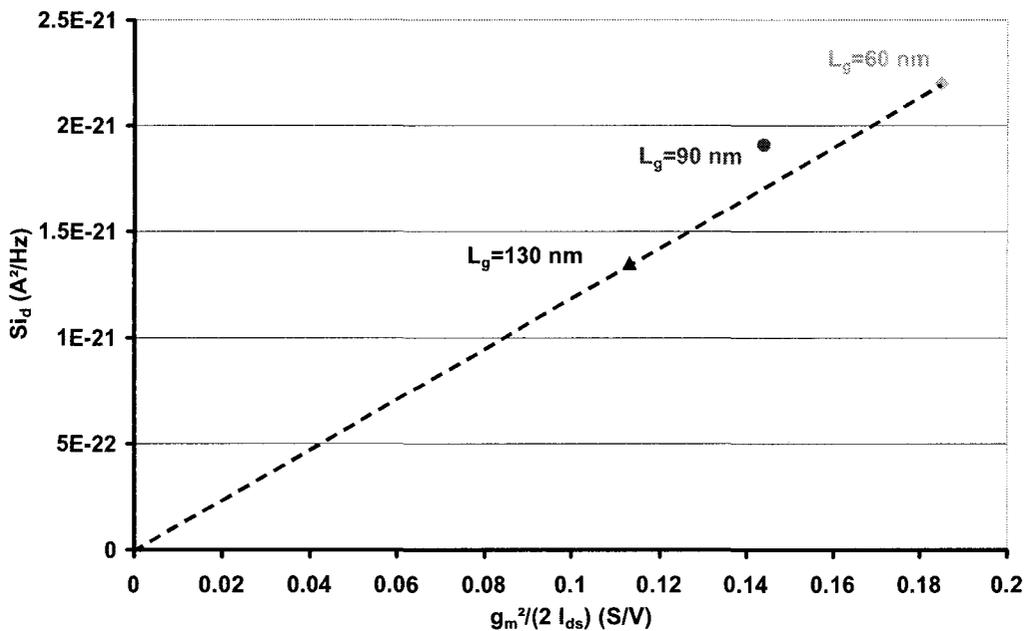


Figure IV-4 Densité spectrale de courant de bruit de drain Si_d pour différents nœuds technologiques à 19 GHz (la largeur totale de grille est fixée à $50 \mu m$ pour tous les composants) en fonction d'un facteur d'échelle pour un même $(V_{gs}-V_{th}) \approx 0.38V$ ($V_{ds} = 1.2V$ pour $L_g = 130$ nm et 90 nm, $V_{ds} = 1V$ pour $L_g = 60$ nm).

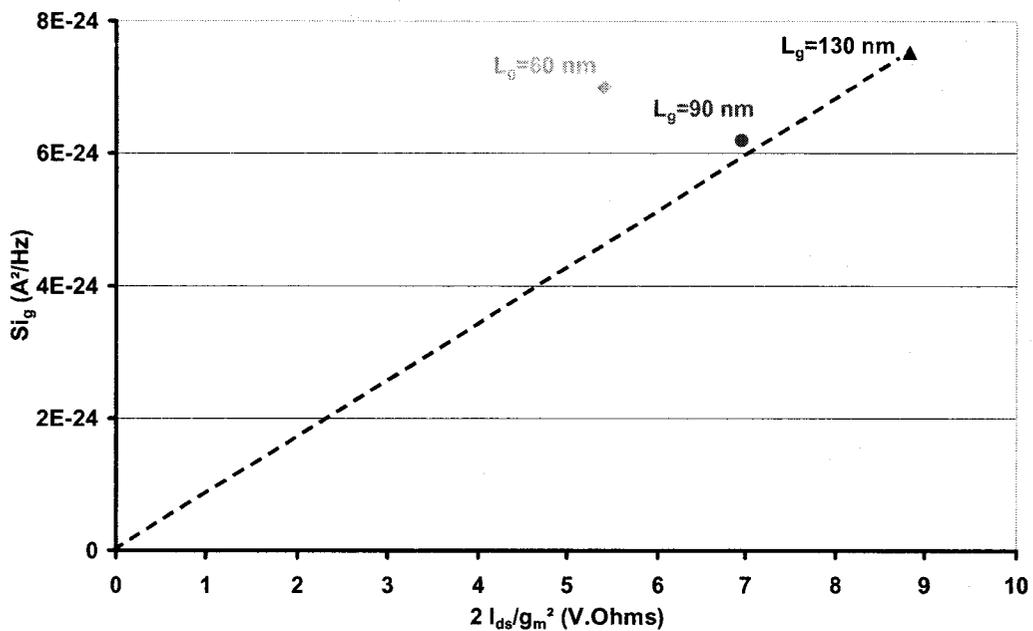


Figure IV-5 Densité spectrale de courant de bruit de grille induit S_{i_g} pour différents nœuds technologiques à 19 GHz (la largeur totale de grille est fixée à $50 \mu m$ pour tous les composants) en fonction d'un facteur d'échelle pour un même ($V_{gs}-V_{th}$) $\approx 0.38V$ ($V_{ds}=1.2V$ pour $L_g=130 nm$ et $90 nm$, $V_{ds} = 1V$ pour $L_g= 60 nm$).

b) Etude des paramètres de bruit intrinsèques P , R

L'équation de la densité spectrale de source de bruit de drain intrinsèque a été introduite à la section II.1.1 :

$$S_{i_d} = 4.k.T_a.P.|Y_{21}| \approx 4.k.T_a.P.g_m \quad \text{IV.5}$$

Il est alors intéressant d'étudier la dépendance de la transconductance g_m .

La Figure IV-6 présente la transconductance g_m des différents nœuds technologiques en fonction de $1/L_g^2$. On peut constater que la transconductance g_m continue à augmenter avec la réduction d'échelle.

On comprend alors que le paramètre P , comme nous l'avons vu à la section II.3.1, soit peu dépendant de la longueur de grille.

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

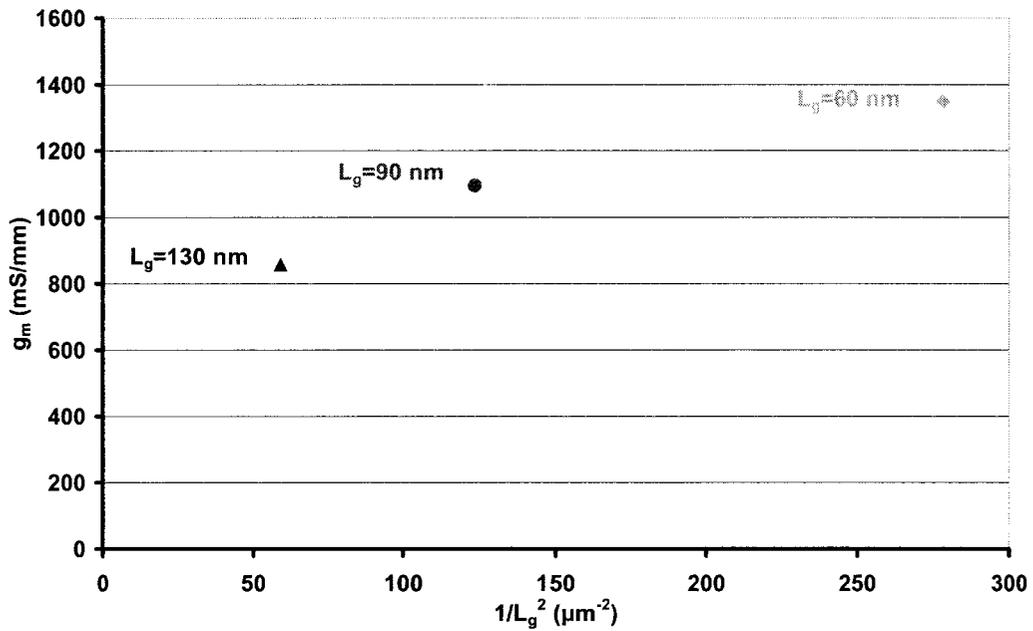


Figure IV-6 Transconductance intrinsèque pour différents nœuds technologiques en fonction d'un paramètre d'échelle à même (\$V_{gs}-V_{th}\$) (\$V_{ds}=1.2V\$ pour \$L_g=130\$ nm et \$90\$ nm, \$V_{ds} = 1V\$ pour \$L_g= 60\$ nm).

Dans le même temps, la densité spectrale de bruit de grille induit est donnée par :

$$Si_g = 4.k.T_a.R. \frac{|Y_{11}|^2}{|Y_{21}|} \approx 4.k.T_a.R. \frac{C_{tot}^2 \cdot \omega^2}{g_m} \quad \text{IV.6}$$

Il est alors intéressant d'étudier la dépendance de \$C_{tot}\$.

La Figure IV-7 présente la capacité totale intrinsèque \$C_{tot}=C_{gs}+C_{gd}\$ des différents nœuds technologiques en fonction de (\$V_{gs}-V_{th}\$). On constate que cette capacité \$C_{tot}\$ est peu dépendante de la réduction d'échelle. La variation de \$C_{tot}\$ du transistor 130 nm au transistor 60 nm n'est que de 20%.

Le paramètre \$R\$ est donc également peu dépendant de la longueur de grille.

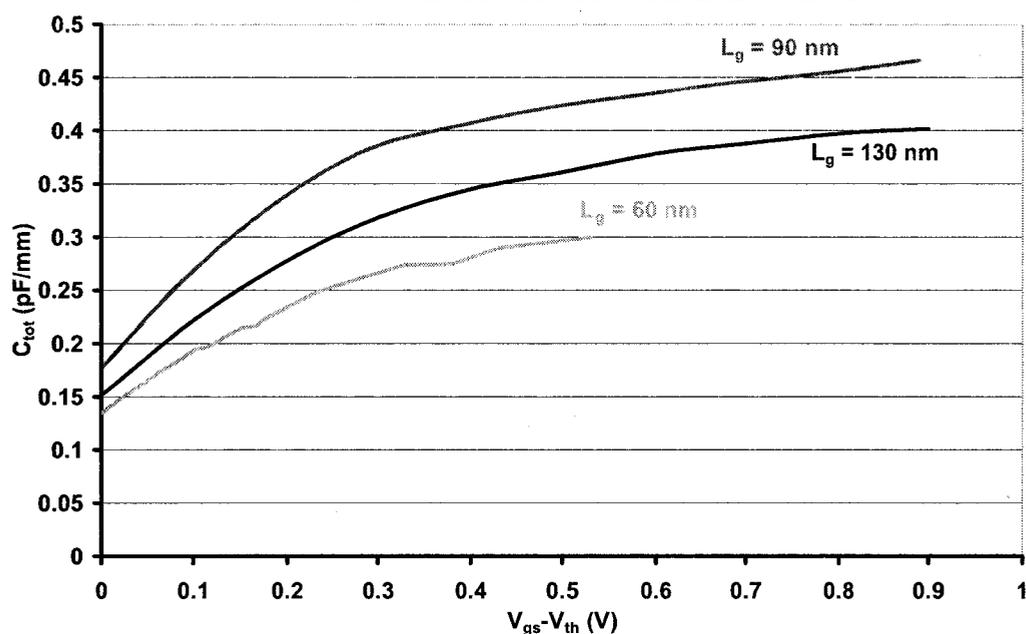


Figure IV-7 Capacité totale C_{tot} en fonction de $(V_{gs} - V_{th})$ ($V_{ds} = 1.2V$ pour $L_g = 130$ nm et 90 nm, $V_{ds} = 1V$ pour $L_g = 60$ nm).

c) Importance relative de la source de bruit de grille induite $\langle i_g^2 \rangle$

Comme nous l'avons vu à la section II.1.3, la source de bruit de grille induit $\langle i_g^2 \rangle$ est en parallèle avec une source de courant de bruit équivalente $\langle i_{Rg}^2 \rangle$ due à la résistance de grille. Il est alors intéressant de comparer l'importance relative de ces deux sources.

La densité spectrale de la source de bruit équivalente $\langle i_{Rg}^2 \rangle$ peut être définie par :

$$S_{i_{Rg}} = 4 \cdot k \cdot T_a \cdot \frac{R_g \cdot C_{tot}^2 \cdot \omega^2}{1 + R_g^2 \cdot C_{tot}^2 \cdot \omega^2} \quad \text{IV.7}$$

où $C_{tot} = C_{gin} + C_{Miller}$.

Alors que la source de bruit de grille induite $\langle i_g^2 \rangle$ est dépendante uniquement de la largeur totale W_t , la source de bruit équivalente $\langle i_{Rg}^2 \rangle$ est dépendante, comme R_g , de la topologie de grille (nombre de doigts N_f et largeur unitaire W_u de grille).

La Figure IV-8 présente les densités spectrales des sources de bruit $\langle i_g^2 \rangle$ et $\langle i_{Rg}^2 \rangle$ en fonction du nombre de doigts de grille N_f pour une largeur totale de grille constante de $64 \mu\text{m}$, dans les conditions de minimum de bruit. La source de bruit $\langle i_{Rg}^2 \rangle$ équivalente à R_g est calculée en utilisant les paramètres du schéma équivalent du transistor 60 nm donné au Tableau IV-1 et pour une résistance surfacique de grille de $12 \Omega/\square$.

On peut constater que la source de bruit de grille induite $\langle i_g^2 \rangle$ même faible ne peut pas être négligée dans tous les cas. En effet, dans les conditions optimales de topologie de grille,

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

on constate que la densité spectrale de la source de bruit de grille induite $\langle i_g^2 \rangle$ est de même ordre de grandeur que la source de bruit $\langle i_{Rg}^2 \rangle$ équivalente à R_g .

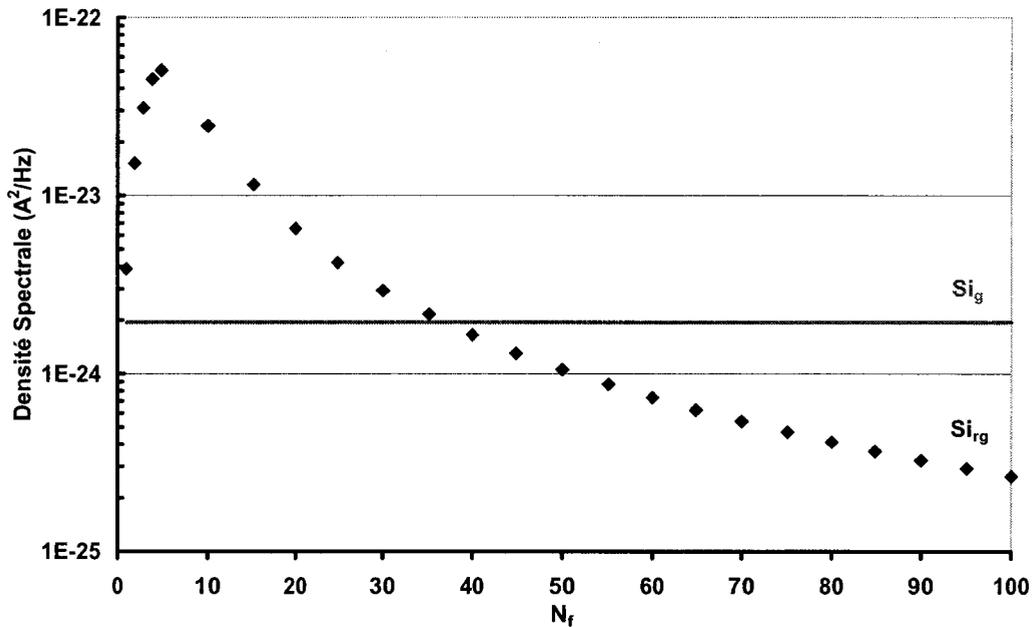


Figure IV-8 Densités spectrales des sources de bruit $\langle i_d^2 \rangle$ et $\langle i_{Rg}^2 \rangle$ en fonction du nombre de doigts de grille N_f ($W_f=64 \mu m$) dans les conditions de minimum de bruit, à 19 GHz.

d) Conclusions

Cette étude expérimentale des variations des sources de bruit intrinsèque $\langle i_d^2 \rangle$ et $\langle i_g^2 \rangle$ et des paramètres électriques g_m et C_{tot} confirme que les paramètres P , R et C ne sont pas très dépendants de la réduction d'échelle, comme le montraient les résultats de simulations obtenus à la section II.1.3.

Les sources de bruit intrinsèque $\langle i_d^2 \rangle$ et $\langle i_g^2 \rangle$ continuent donc respectivement à augmenter et diminuer avec la réduction d'échelle. Malgré sa faible amplitude, la source de bruit de grille induite $\langle i_g^2 \rangle$ ne peut être négligée en comparaison à la source de bruit $\langle i_{Rg}^2 \rangle$ équivalente à R_g .

Les sources de bruit intrinsèques ne sont cependant pas les principaux facteurs limitant les performances de bruit avec la réduction d'échelle. Ceci implique que les performances de bruit sont tributaires des performances hyperfréquences et en particulier la fréquence maximale d'oscillation f_{max} . Nous proposons une étude expérimentale des paramètres limitant les performances électriques dans la section suivante.

IV.2. Effets de la réduction d'échelle sur les performances électriques

IV.2.1. Etude expérimentale

Nous proposons dans cette section d'étudier les performances électriques de transistors en fonction de la réduction d'échelle à partir des différentes campagnes de mesures réalisées au sein du laboratoire [8].

Le Tableau IV-2 donne les éléments du schéma équivalent et les fréquences de coupure de MOSFETs SOI PD et d'un HEMT In/AlAs/InGaAs de longueur effective de grille comparable (respectivement 70 nm et 75 nm). Les éléments du schéma équivalent sont extraits en utilisant les méthodes décrites dans [1] et [9], entre 45 MHz et 50 GHz. Les fréquences f_t et f_{max} sont obtenues par extrapolation à 20 dB/décade des gains $|H_{21}|^2$ et U (cf. Annexe A.1). Un autre paramètre important pour les transistors micro-ondes concerne leur fréquence de coupure intrinsèque f_c (cf. section I.3.3.a)). Elle traduit les potentialités intrinsèques du transistor à amplifier les signaux hautes fréquences.

On peut observer que les valeurs de f_t sont 2 à 2.5 plus élevées pour les HEMTs que pour les MOSFETs silicium comparable. Ceci s'explique principalement par les propriétés dynamiques respectives de ces deux types de semi-conducteurs (différence de g_m). De plus, contrairement aux MOSFETs, f_{max} est généralement plus élevée que f_c pour les HEMTs.

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

$N_f \times W_u \times L_g$ (μm^2)	g_m (mS/mm)	g_d (mS/mm)	C_{gin} (pF/mm)	C_{Miller} (pF/mm)	R_i (Ω)	R_g (Ω)	R_s (Ω)	R_d (Ω)
8x10x0.09 MOS SOI PD	774	262	0.662	0.442	8	55.6 ($\sim 12\Omega/\square$)	0.8	1.1
32x2.5x0.09 MOS SOI PD	750	223	0.742	0.497	6	3.2 ($\sim 11\Omega/\square$)	0.7	1.3
2x50x0.075 HEMT	1645	83.5	0.888	0.113	1	2.2 ($\sim 0.02\Omega/\square$)	1.1	2.0
$N_f \times W_u \times L_g$ (μm^2)	f_c (GHz)	f_t (GHz)	f_{max} (GHz)	C_{gin}/C_{Miller}	g_m/g_d			
8x10x0.09 MOS SOI PD	186	114	44	1.57	2.95			
32x2.5x0.09 MOS SOI PD	161	98	99	1.49	3.36			
2x50x0.075 HEMT	295	220	440	7.8	19.7			

Tableau IV-2 Eléments du schéma équivalent de transistors MOS SOI PD à deux topologies différentes de grille (8x10x0.09 μm^2 et 32x2.5x0.09 μm^2) et d'un transistor HEMT In/AlAs/InGaAs 2x50x0.075 μm^2 à longueur effective de grille comparable ($V_{ds}=V_{gs}=1.2V$).

La Figure IV-9 représente les valeurs mesurées et calculées de f_{max} (cf. section I.3.3.b)) et les valeurs calculées de f_c (cf. section I.3.3.a)) pour des MOSFETs à différentes longueurs de grille mais avec la même topologie (8 doigts de 10 μm de largeur chacun). Ces composants sont réalisés à partir d'une technologie SOI PD 120 nm de ST Microelectronics.

Alors que la fréquence de coupure intrinsèque f_c suit bien une loi d'échelle en $1/L_g^2$, on constate que la fréquence maximale d'oscillation f_{max} est inférieure à la fréquence de coupure f_c et qu'elle présente une saturation avec la réduction d'échelle.

Si l'on considère une résistance surfacique de grille de 0.02 Ω/\square pour les MOSFETs de 8x10x0.09 μm^2 (Figure IV-9), on obtient une valeur de f_{max} proche de 126 GHz. Elle est significativement supérieure à la valeur mesurée de 47 GHz mais elle reste inférieure à la fréquence de coupure intrinsèque f_c (186 GHz).

Cependant, les HEMTs présentent généralement des valeurs de f_c qui ne sont que 1.5 fois supérieures à celles des MOSFETs (Tableau IV-2). Cela signifie que les MOSFETs Silicium présentent de grandes performances micro-ondes intrinsèques, ce qui pourrait laisser présager de valeurs de f_{max} plus élevées. De plus, comme le montre la Figure IV-9, même dans le cas d'une faible résistance surfacique de grille de 0.02 Ω/\square , une saturation de f_{max} apparaît lorsque la longueur de grille diminue.

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers
des architectures alternatives ?

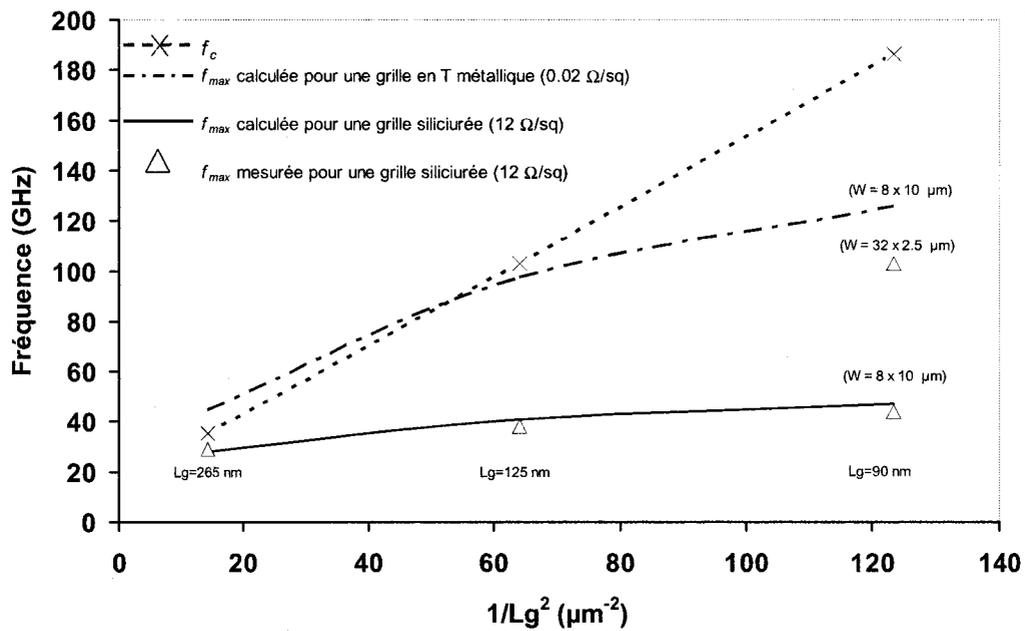


Figure IV-9 Valeurs mesurées et calculées de f_{max} en fonction de la longueur physique de grille (90 nm, 125 nm et 265 nm) de MOSFETs SOI PD ($V_{ds}=1.2V$, $I_{ds}=190\text{mA/mm}$).

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

IV.2.2. Dépendances de la fréquence maximale d'oscillation f_{max}

Le Tableau IV-3 résume les principales caractéristiques électriques et micro-ondes des composants considérés dans cette étude. Ces MOSFETs SOI PD, composés de 8 doigts de grille de 10 μm de largeur chacun et des longueurs effectives de grille de 0.34 μm à 0.1 μm , ont été mesurés depuis le régime statique jusqu'à 50 GHz. Il faut noter que le procédé de siliciuration et l'ingénierie de grille (largeur et nombre de doigts) ne sont pas optimisés et que les performances micro-ondes de ces composants sont relativement faibles, mais que les performances intrinsèques (f_c) de cette technologie 120 nm sont proches des meilleurs résultats publiés.

Longueur effective [μm]	V_{th}^a [V]	g_{mo}^b [mS/mm]	f_c [GHz]	f_t^c [GHz]	f_{max}^c [GHz]	R_g^d [Ω]	R_s^d [Ω]	R_d^d [Ω]
0.10	0.3	691	198	115	48	70	1.2	2.2
0.12	0.32	594	134	86	40	49	1.7	2.3
0.18	0.34	481	58	44	35	22	2.2	2.9
0.34	0.4	307	20	18	25	6	1.8	2.2

^a Déterminée à $V_{ds} = 0.1$ V; $I_{ds} = 1$ μA .

^b Dédit des caractéristiques statiques ($V_{ds} = 1.2$ V), V_{gs} est choisi pour obtenir les valeurs maximales.

^c Valeurs extrapolées (20 dB/décade) ($V_{ds} = 1.2$ V), V_{gs} est choisi pour obtenir les valeurs maximales.

^d Déterminées à partir de la méthode décrite dans [1].

Tableau IV-3 Résumé des caractéristiques électriques de MOSFETs SOI PD de 80 μm de largeur totale de grille.

Pour étudier les principaux éléments intrinsèques et extrinsèques limitant f_{max} en fonction de la technologie, nous utilisons l'expression approchée de f_{max} donnée à la section I.3.3.b) :

$$f_{max} = \frac{f_c}{2\sqrt{(R_g + R_s)\left(g_d + g_m \frac{C_{Miller}}{C_{gin}}\right)}} \quad \text{IV.8}$$

a) Influence de la fréquence de coupure intrinsèque

Le premier terme important dans cette expression est la fréquence de coupure intrinsèque f_c . Comme le montre la Figure IV-10, cette fréquence de coupure intrinsèque continue à suivre une loi d'échelle classique. De ce fait, ce terme n'est pas un facteur limitant de f_{max} .

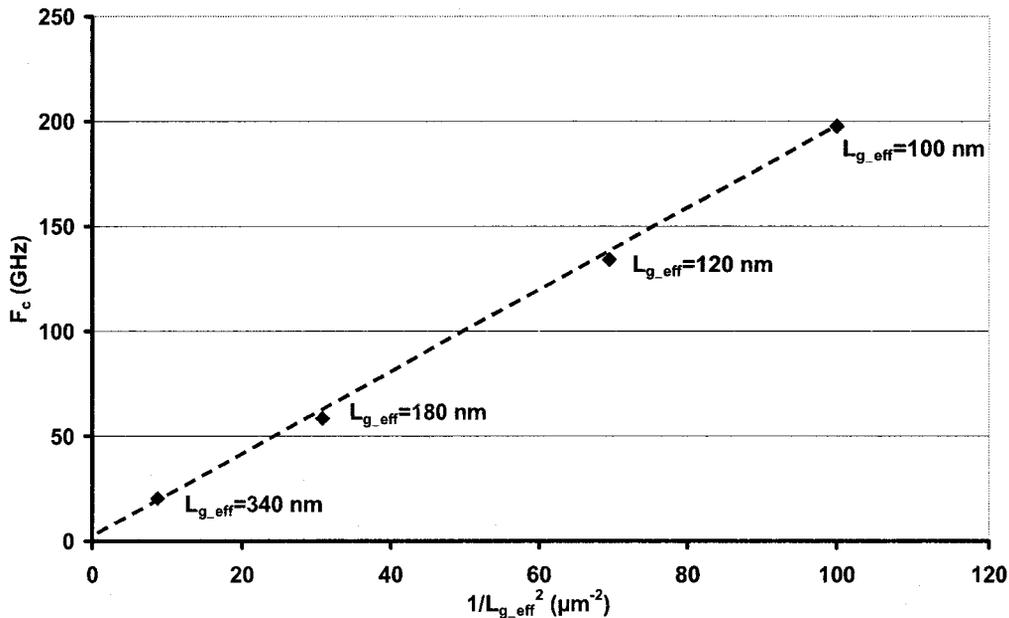


Figure IV-10 Fréquence de coupure intrinsèque f_c en fonction de $1/L_{g_eff}^2$ ($V_{ds}=1.2V$, V_{gs} au maximum de f_c).

b) Influence des résistances d'accès

Le second terme de l'équation I.9 est la contribution conjointe des résistances d'accès R_g (résistance de grille) et R_s (résistance de source). Ces résistances parasites dépendent directement de la topologie du transistor (Tableau IV-1) ; R_g est linéaire en fonction de la largeur totale de grille W_t alors que R_s est inversement proportionnelle à W_t . R_g dépend également du nombre de doigts de grille (N_f) connectés en parallèle et varie proportionnellement à $1/N_f^2$.

Il y a quelques années, ces résistances d'accès (principalement la résistance de grille), à cause du procédé en polysilicium classique, étaient les principaux éléments limitant f_{max} pour les MOSFETs à canaux courts. Actuellement, les procédés de siliciuration Ti, Co ou Ti-Co combinés ont considérablement amélioré les résistances surfaciques. Des valeurs de 5 à 10 Ω/\square , même pour des transistors à longueur de grille sub-100nm, ont été obtenues [10]. Par conséquent, les résistances d'accès de grille, de source et de drain peuvent être minimisées en optimisant la topologie de grille (nombre et largeur des doigts).

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

c) Influence de la conductance de sortie g_d et du rapport C_{gin}/C_{Miller}

La conductance de sortie g_d et le rapport C_{gin}/C_{Miller} sont les deux derniers paramètres qui peuvent contribuer à la dégradation de f_{max} . La Figure IV-11 présente les valeurs mesurées de ces deux paramètres en fonction de la longueur de grille. L'augmentation de la conductance de sortie g_d pour les MOSFETs fortement submicroniques est certainement un important facteur limitant de f_{max} . La réduction du rapport C_{gin}/C_{Miller} correspond à une augmentation relative des capacités parasites entre la grille et le drain, réduisant le contrôle de charges à travers la capacité C_{gin} . Cette perte de contrôle de charges est directement liée à une dégradation importante des performances hautes fréquences de MOSFETs telles que f_{max} . Ce rapport a une valeur proche de 10 pour un MOSFET SOI PD de 0.6 μm de longueur de grille et seulement de 1.7 pour un composant de 100 nm de longueur de grille.

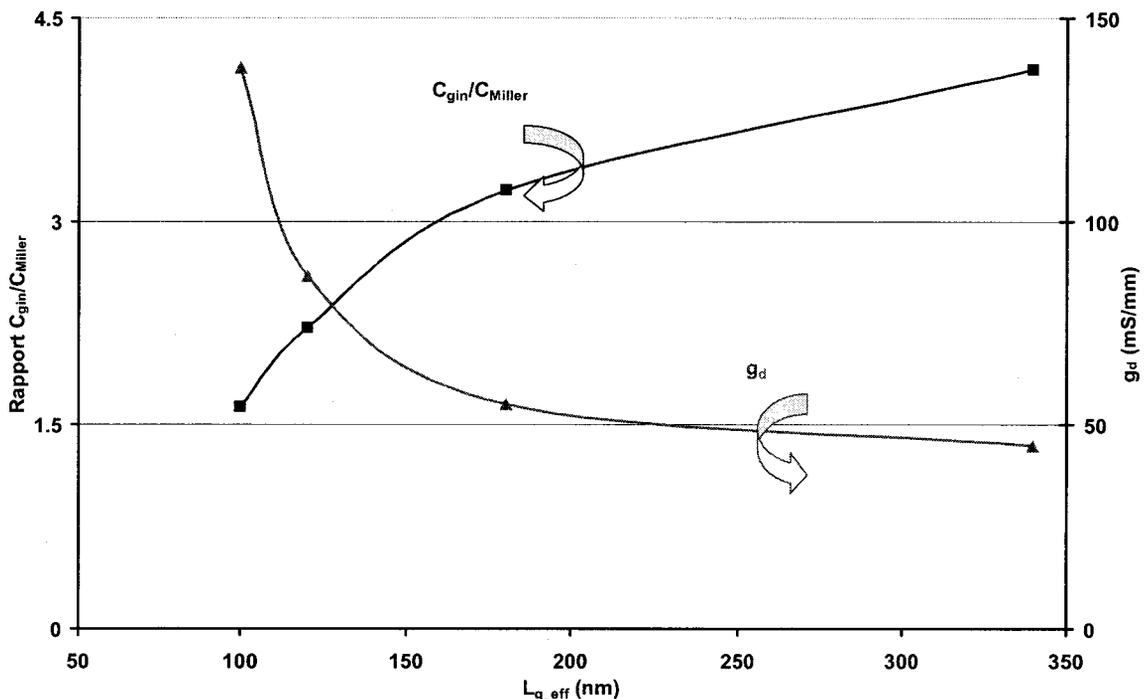


Figure IV-11 Valeurs mesurées de la conductance intrinsèque g_d et du rapport C_{gin}/C_{Miller} en fonction de la longueur de grille ($V_{ds}=1.2V$, $I_{ds}=300mA/mm$).

d) Conclusions

Une étude de sensibilité de f_{max} à partir d'une expression simplifiée montre que les principaux paramètres limitant f_{max} sont les résistances d'accès et particulièrement la résistance de grille R_g . Le second paramètre limitant est le rapport C_{gin}/C_{Miller} et le troisième est la conductance de sortie g_d .

**Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers
des architectures alternatives ?**

A la section suivante, nous étudions les optimisations possibles des performances électriques et de bruit de MOSFETs, en optimisant la topologie de grille et les zones d'extension de source et de drain.

IV.3. Optimisations des fréquences de coupure et des performances de bruit

IV.3.1. Optimisations de la topologie de grille

La Figure IV-12 illustre l'influence de l'ingénierie de doigts de grille sur la valeur de f_{max} . La fréquence maximale d'oscillation f_{max} est calculée sans approximation comme la fréquence de transition du gain disponible maximal en utilisant le circuit équivalent complet du MOSFET SOI PD de 120 nm de longueur de grille. Ce calcul est mené en utilisant un modèle linéaire tabulaire paramétré et implémenté dans le logiciel ADS.

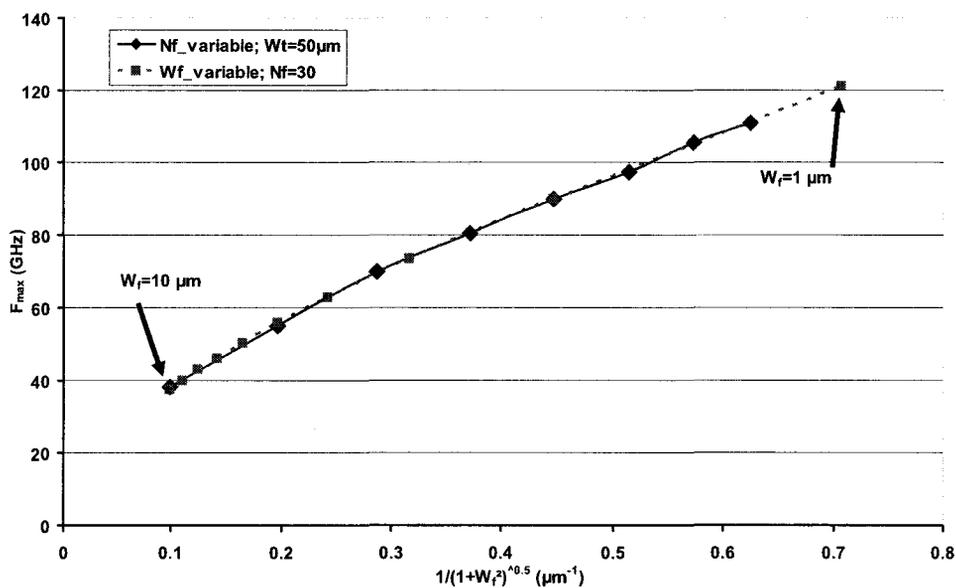


Figure IV-12 Valeurs calculées de f_{max} en fonction de la topologie de grille en utilisant un circuit équivalent complet. Ligne continue avec losanges : la largeur totale de grille ($W_t=N_f \times W_f$) est constante et égale à 50 μm . Le nombre de doigts N_f varie de 5 à 40 (par pas de 5). Ligne pointillé avec carrés : le nombre de doigts de grille est fixé à 30, la largeur de doigt de grille W_f varie de 1 à 10 μm (par pas de 1 μm) ($V_{ds}=1.2V$, $I_{ds}=300\text{ mA/mm}$, $L_g=120\text{ nm}$).

La Figure IV-12 montre qu'il serait possible d'améliorer fortement la valeur de f_{max} en augmentant le nombre de doigts et/ou en diminuant la largeur du doigt (W_f). Une valeur de f_{max} de 45 GHz est obtenue pour un transistor de 8 doigts de 10 μm de large chacun, ce qui correspond à la valeur mesurée donné au Tableau IV-3, et de plus de 100 GHz pour un transistor de 30 doigts de 1 μm de largeur. De plus, la Figure IV-12 montre que la valeur de

f_{max} calculée en utilisant un circuit équivalent complet présente la même variation en $\frac{1}{\sqrt{1+W_f^2}}$

en fonction de la largeur de grille que l'expression simplifiée I.9.

Cependant, il faut noter qu'une augmentation du nombre de doigts de grille peut entraîner une augmentation des capacités parasites qui dégradent la valeur de f_{max} ; cette augmentation de capacités parasites n'est pas prise en compte dans le calcul de f_{max} présenté à la Figure IV-12.

Un autre point concerne la résistance surfacique de grille. En fait, elle dépend fortement des procédés de fabrication de la grille du transistor. Dans l'étude réalisée à la section IV.2.1, cette résistance surfacique de grille est de $12\Omega/\square$. Cette valeur reste très élevée et une solution pour la diminuer passe par l'ingénierie de grille. Parmi les différentes possibilités, l'utilisation d'une grille métallique semble très intéressante. Ce travail a été réalisé dans [11] où l'auteur utilise une grille en T métallique, permettant d'obtenir une résistance surfacique de $0.1\Omega/\square$. Une telle valeur dans le cas d'une grille à 4 doigts seulement (afin de ne pas se pénaliser de capacités parasites supplémentaires) amènerait à une valeur de R_g de 1.2Ω , déjà inférieure à celle obtenue dans le cas d'une grille en polysilicium siliciuré.

IV.3.2. Optimisations des zones d'extension de source et drain

Comme nous l'avons vu à la section I.3, la principale différence entre la structure d'un HEMT et d'un MOSFET provient du procédé d'auto-alignement des zones de source et de drain pour un MOSFET. Au cours de l'étape de recuit d'activation suivant l'implantation de la source et du drain, il y a diffusion des atomes dopés sous la grille et formation de zones de recouvrement. Ces zones de recouvrement induisent une augmentation drastique des capacités parasites entre la source et la grille et plus important entre le drain et la grille (capacité Miller).

Comme le montrent les résultats d'extraction présentés au Tableau IV-2, le rapport C_{gin}/C_{Miller} est égal à 7.8 dans le cas d'un HEMT 75 nm et de seulement 1.6 dans le cas d'un MOSFET.

La Figure IV-13 montre l'augmentation relative de f_{max} (en terme de pourcentage) référencée à la valeur actuelle de f_{max} pour un MOSFET de 100 nm caractérisé par un rapport C_{gin}/C_{Miller} typique de 1.6 et une résistance surfacique de grille de $10 \Omega/\square$. Cette figure montre qu'une augmentation de f_{max} supérieure à 60 % pourrait être obtenue si le rapport C_{gin}/C_{Miller} atteignait la valeur typique de 8 pour un HEMT 75 nm. Bien entendu, ces améliorations ne sont pas réalistes mais elles nous permettent de montrer la sensibilité de f_{max} au rapport C_{gin}/C_{Miller} . L'amélioration relative de f_{max} avec une augmentation du rapport C_{gin}/C_{Miller} pourrait encore s'accroître pour des MOSFETs à grille métallique.

En conservant une structure de MOSFET classique, nous avons étudié expérimentalement les possibilités d'augmenter le rapport C_{gin}/C_{Miller} . Du fait que la principale contribution de la capacité Miller parasite C_{Miller} provient de la diffusion d' atomes dopés du drain sous l'oxyde de grille au cours de l'étape de recuit d'activation, des MOSFETs en technologie SOI PD 90 nm ont été réalisés avec différentes doses et énergies d'implantation des LDD (Light Doped Drain) de drain et de source ainsi que différents temps et températures de recuit. Le Tableau IV-4 résume ces différentes conditions d'implantation.

**Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers
des architectures alternatives ?**

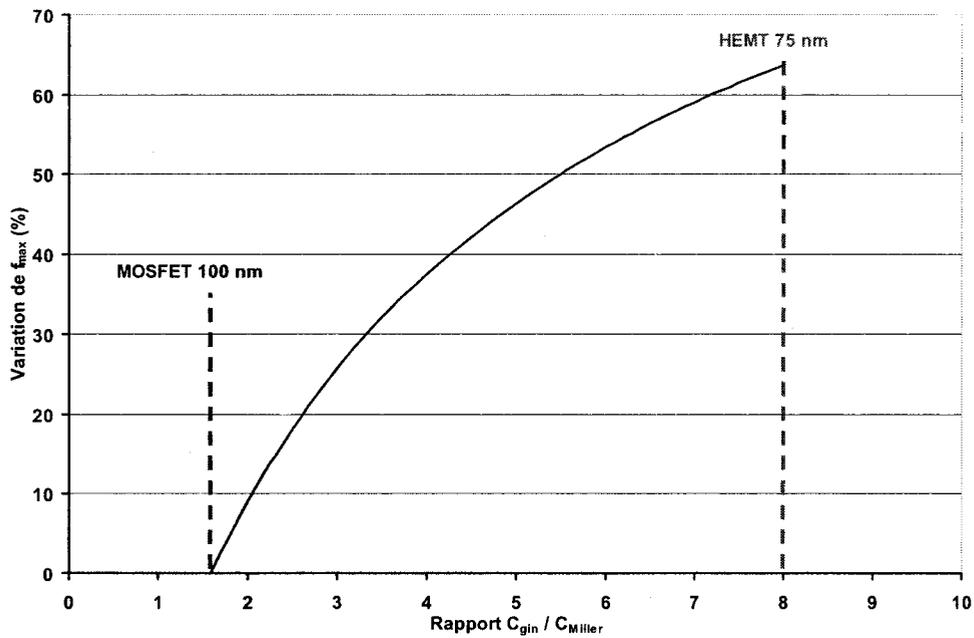


Figure IV-13 Variation relative de f_{max} pour un MOSFET SOI PD 100 nm en fonction du rapport C_{gin}/C_{Miller} .

Plaque	Dose d'Implantation	Energie d'Implantation	Recuit
A	$1.10^{15}/\text{cm}^2$	5 keV	Pic à 1113 °C
B	$2.10^{15}/\text{cm}^2$	3 keV	Pic à 1113 °C
C	$2.10^{15}/\text{cm}^2$	3 keV	15 s à 1025 °C

Tableau IV-4 Conditions d'implantation de différents MOS SOI PD 90 nm.

Wafer	V_{th}^a [V]	I_{dsmax} [mA/mm]	g_m^b [mS/mm]	g_d^c [mS/mm]	C_{gin}/C_{Miller}^c	R_g^d [Ω]	R_s^d [Ω]	R_d^d [Ω]	f_t^e [GHz]	f_{max}^e [GHz]	NF_{min}^f [dB]	G_{ass}^f [dB]
A	0.28	729	762	147	1.7	5.6	1.2	2.0	97	88	0.72	15.1
B	0.30	737	780	138	1.6	5.6	0.9	1.6	99	95	0.6	19.2
C	0.26	854	838	195	1.51	5.7	0.8	1.7	103	80	0.66	18.6

^aDéterminée at $V_{ds} = 0.1$ V; $I_{ds} = 1$ μA.

^bExtrait à $V_{ds} = 1.2$ V et V_{gs} est choisi pour obtenir les valeurs maximales.

^cExtrait dans les mêmes conditions de polarisation que g_m .

^dDéterminées à partir de la méthode décrite dans [1].

^eValeurs extrapolées (20 dB/décade)

^fObtenus à 6 GHz

Tableau IV-5 Paramètres électriques extraits de différents MOSFETs SOI PD 90 nm.

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

Ces composants ont été mesurés du régime statique jusqu'à 50 GHz et leurs paramètres petits signaux du schéma équivalent sont résumés au Tableau IV-5. Tous les transistors réalisés sont composés de 32 doigts de grille de 2.5 μm de largeur chacun connectés en parallèle. Leur tension de seuil est similaire ainsi que leur résistance de grille siliciurée.

La faible augmentation de la transconductance g_m et de la fréquence de transition f_i de la plaque A à C peut être expliqué par la faible diminution de longueur effective de canal avec les conditions de réalisation. En réalité, une dose d'implantation plus élevée et un temps de recuit plus long entraîne une diffusion plus importante des atomes dopés sous l'oxyde de grille et donc une longueur effective de canal plus courte.

Malheureusement, la réduction de la longueur effective de canal amène également une augmentation des capacités de recouvrement parasites. De ce fait, afin de maximiser f_{max} , il faut faire un compromis entre l'augmentation de f_i et celle des capacités parasites mais aussi celle de la conductance de sortie g_d .

Pour ces composants, les valeurs maximales de f_i (103 GHz) et de f_{max} (95 GHz) sont obtenues avec les plaques C et B, respectivement. Si l'on compare les plaques A et C, l'augmentation de f_i (de 97 GHz à 103 GHz) ne compense pas la diminution du rapport C_{gin}/C_{Miller} (de 1.7 à 1.51) et l'augmentation de g_d (de 147 à 195 mS/mm) ce qui explique le fait que f_{max} reste inchangé pour ces deux composants.

Comme indiqué au Tableau IV-5, le meilleur facteur de bruit NF_{min} et le meilleur gain associé G_{ass} sont obtenus conjointement pour le composant présentant le meilleur f_{max} , i.e. celui de la plaque B. Cela démontre le grand intérêt de f_{max} comme facteur de mérite pour les applications analogiques micro-ondes.

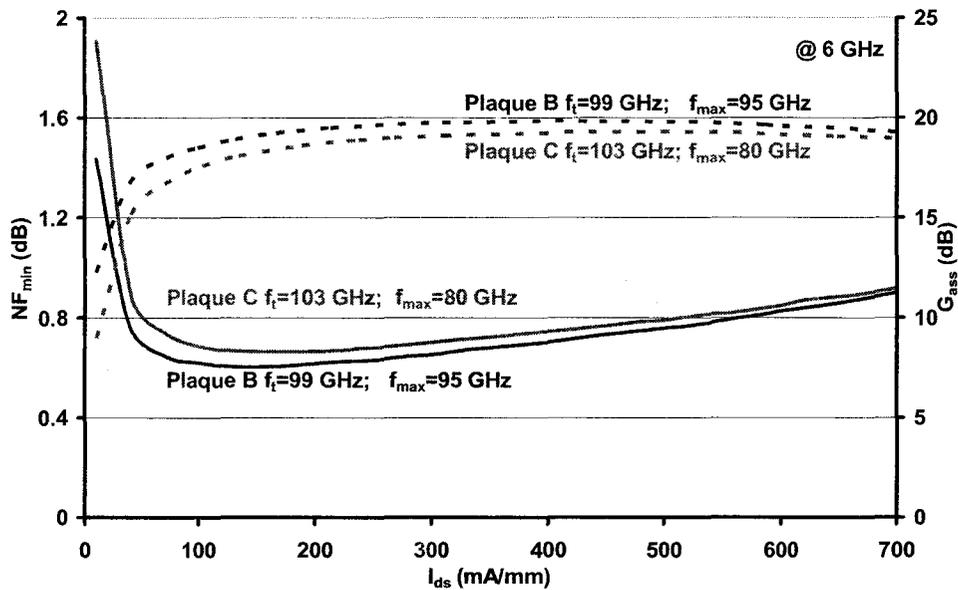


Figure IV-14 Variations de NF_{min} et G_{ass} de MOSFETs SOI PD 90 nm en fonction du courant de polarisation de drain ; impact de l'optimisation des extensions de source et de drain ($V_{ds}=1.2V, f=6GHz$).

La Figure IV-14 présente le facteur de bruit minimum NF_{min} et le gain associé G_{ass} en fonction du courant de polarisation de drain pour les plaques B et C. On constate qu'une augmentation d'approximativement 20 % de f_{max} permet d'obtenir une amélioration du gain associé G_{ass} de l'ordre de 3% et une réduction du facteur de bruit minimum NF_{min} de 10 % (en dB).

Pour conclure, du fait que la fenêtre d'optimisation de f_{max} est plutôt faible pour une structure de MOSFET classique (comme le montre le Tableau IV-5), peu d'améliorations des performances micro-ondes telles que les caractéristiques de gain et de bruit peuvent être obtenus.

Dans la section suivante, fort des lois d'échelle établis, nous proposons d'étudier les performances théoriques des transistors de prochaine génération de 45 nm de longueur de grille. Nous présentons également des structures alternatives qui pourraient potentiellement outrepasser les limitations de performances électriques et de bruit des structures de MOSFET classiques.

IV.4. Vers des architectures alternatives ?

IV.4.1. Perspectives de performances électriques et de bruit de la future génération de MOSFETs.

L'objectif de cette section est de donner un ordre de grandeur des performances électriques et de bruit hautes fréquences de la prochaine génération de MOSFETs 45 nm en utilisant les résultats expérimentaux précédents [3].

En considérant le facteur de bruit minimum NF_{min} et le gain associé G_{ass} obtenus, la technologie MOSFET 60 nm peut être très attractive pour les applications faible bruit, faible puissance jusqu'à la bande Ka (26-40 GHz). En effet, NF_{min} est proche de 1.15 dB et G_{ass} de 11.5 dB à 30 GHz. Mais il peut être intéressant de savoir si la prochaine génération permettra d'atteindre les applications civiles dans les bandes V et W (cf. Annexe A.8).

En multipliant le facteur d'échelle $g_m^2/2I_{ds}$ par 1.7 entre les technologies 60 nm et 45 nm et en utilisant les résultats expérimentaux présentés au Tableau IV-1, nous obtenons les paramètres électriques du Tableau IV-6.

Lg (nm)	R _g (Ω)	R _s (Ω.mm)	R _d (Ω.mm)	g _m (mS/mm)	g _d (mS/mm)	C _{gin} (fF/mm)	C _{Miller} (fF/mm)	T _{out} (K)
60	4	1.2	1.8	929	186	525	331	713
45	5.3	1.2	1.8	1734	316	550	360	713

Tableau IV-6 Circuit équivalent d'un MOSFET 65 nm (mesuré) et d'un MOSFET 45nm hypothétique (extrapolé).

La Figure IV-15 présente les résultats de bruit hypothétiques d'un MOSFET de 50 doigts de 0.5 μm de largeur et 45 nm de longueur de grille. Même si le facteur minimum de bruit NF_{min} simulé n'atteint pas les performances d'un HEMTs InP de 100 nm de longueur de grille (proche de 1 dB à 77 GHz), ces performances sont plutôt prometteuses à la fois en termes de figure de bruit mais aussi de gain associé G_{ass} (respectivement de ~1.8 dB et ~9.6 dB à 77 GHz).

Ces performances hypothétiques de bruit, associées à des lignes de transmission faibles pertes réalisées sur substrat SOI haute résistivité, peuvent être intéressantes pour des applications faible coût dans les bandes V et W .

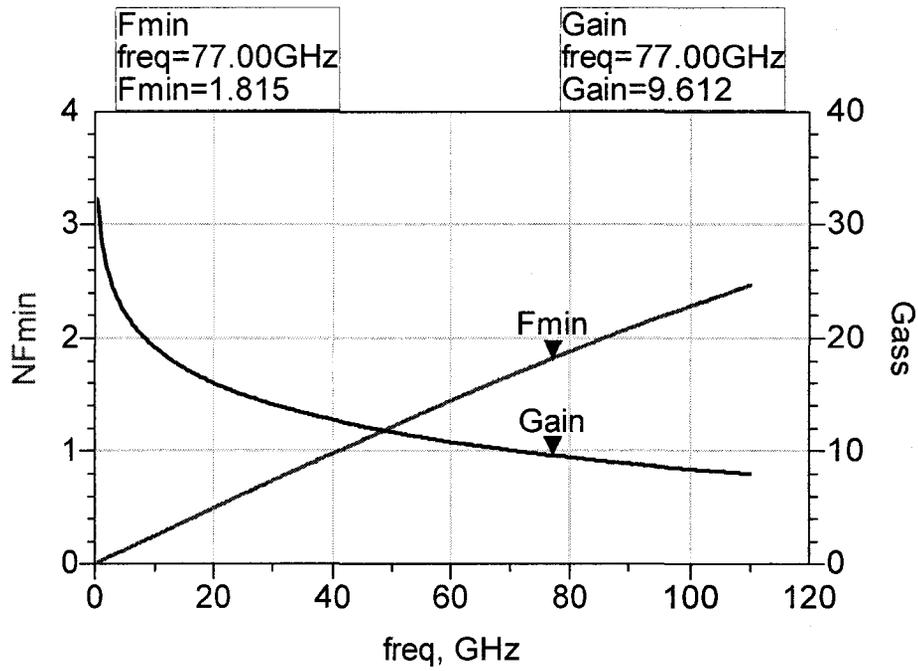


Figure IV-15 NF_{min} et G_{ass} extrapolés d'un MOSFET 45 nm hypothétique (50x0.5 μm).

IV.4.2. Les architectures alternatives

a) Le MOSFET à seuil dynamique (DTMOS)

Proposée par J.-P. Colinge dans les années 80 [12], le MOSFET à seuil dynamique (DTMOS) consiste à connecter le substrat flottant d'un MOSFET SOI PD à l'électrode de grille (Figure IV-16). Ceci permet d'ajouter un courant de transistor bipolaire latéral au courant de canal du MOSFET et donc d'améliorer le contrôle du courant du composant. Plus récemment, F. Assaderaghi a proposé d'utiliser cette structure pour les applications faible tension [13].

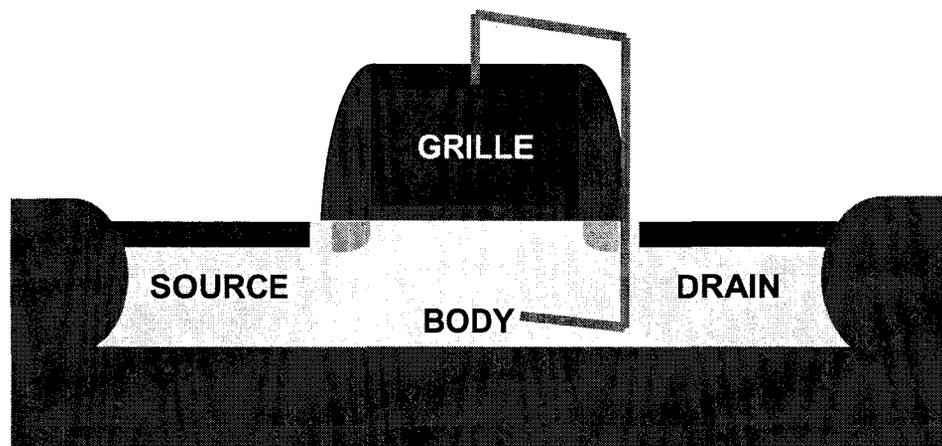


Figure IV-16 Coupe schématique d'un MOSFET SOI à seuil dynamique.

Dans un DTMOS, tout changement de potentiel de grille induit directement une variation du potentiel de body, ce qui change dynamiquement la tension de seuil V_{th} [14]. La tension de seuil est alors plus faible que celle d'un MOSFET conventionnel avec les mêmes paramètres technologiques [15]. Cette diminution n'engendre pas une augmentation du courant de fuite car à $V_{gs} = 0V$, un DTMOS et un composant SOI à contact body ont une même tension de seuil effective. Le DTMOS présente alors quasiment une pente sous-seuil idéale ($\sim 60mV/décade$).

D'un point de vue dynamique, le DTMOS présente une forte variation de ces paramètres petits-sinaux aux fréquences moyennes, contrairement aux transistors à effet de champ conventionnels. En effet, si les paramètres S d'un DTMOS sont comparés à ceux d'un MOSFET similaire, avec la même fréquence de coupure, le paramètre S_{21} d'un DTMOS présente une courbure anormale dans la partie basse de la bande de fréquences [16]. On peut observer dans cette bande de fréquences une augmentation de la transconductance g_m et une réduction de la conductance de sortie g_d .

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

Malheureusement, lorsque la fréquence augmente, les bénéfices du DTMOS diminuent. En effet, l'utilisation d'un contact P+-métal pour relier le body et la grille, constituant alors un filtre passe-bas, empêche la modulation du potentiel de body pour les fréquences plus élevées. Ainsi, à partir de quelques GHz, on retrouve les performances dynamiques d'un MOSFET SOI PD conventionnel, avec cependant une diminution de la tension seuil pour le DTMOS et donc un courant de sortie I_{ds} et une transconductance g_m plus élevés que pour un MOSFET usuel à la même polarisation [17].

A moins d'améliorer le contact grille-body, le DTMOS ne semble donc pas une structure alternative permettant d'outrepasser les difficultés d'optimisation des performances dynamiques et de bruit hautes fréquences des MOSFETs.

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

b) Le FINFET

Les transistors MOS à double grille offrent des avantages certains pour les transistors à très faible longueur de grille, du fait de la réduction des effets canaux courts. Au départ, l'utilisation des MOS à double grille était limitée par des difficultés structurelles. Plus récemment, l'utilisation du composant « delta » [18], maintenant plus connu sous la dénomination FINFET [19], a permis une grande avancée de la technologie MOS double grille. La Figure IV-17 présente une coupe schématique d'un FINFET.

La fabrication des FINFET est très proche de celle des MOSFETs conventionnels, ce qui permet une rapide intégration au niveau industriel.

La technologie FINFET permet d'obtenir des composants totalement désertés (FD) avec des transconductances g_m plus élevées, des conductances de sortie g_d plus faibles et une plus grande densité d'intégration que pour des composants MOS conventionnels [20].

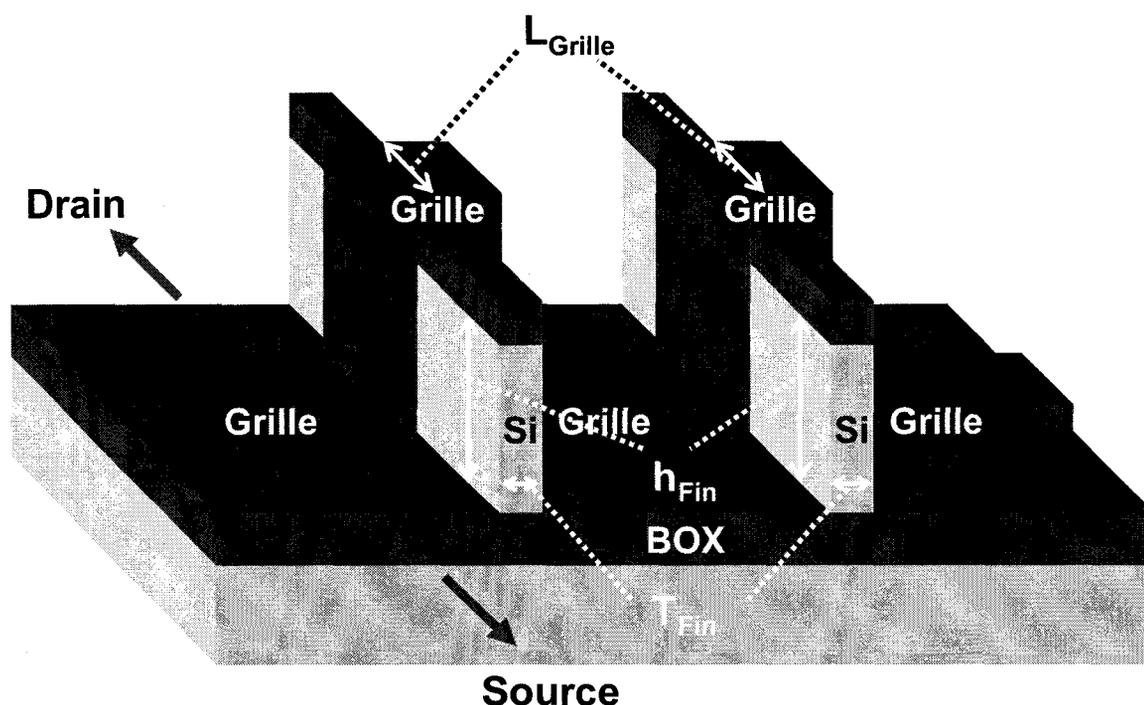


Figure IV-17 Coupe schématique d'un FINFET.

Cependant, pour avoir des effets canaux courts réduits et un composant totalement déserté, il faut réaliser des doigts de FIN avec des hauteurs h_{FIN} plus grandes que la longueur de grille L_{Grille} , avec une épaisseur T_{FIN} faible, et avec un bon rapport d'aspect, ce qui constitue une des difficultés de cette technologie. De plus du fait que le doigt de grille en polysilicium a une forme en créneaux, la siliciuration complète est plus difficile à réaliser et on obtient une

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

résistance d'accès de grille plus élevée. Enfin l'éloignement des accès de Source et de Drain par rapport à la zone active (afin de diminuer les capacités de bord) entraîne une augmentation des résistances d'accès R_s et R_d (cf. Figure IV-17).

L'utilisation de grille métallique et de contact Source et Drain à faible barrière Schottky (cf. paragraphe suivant) devrait permettre d'obtenir de meilleures performances dynamiques et de bruit pour les longueurs de grille plus petites.

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

c) Le MOSFET à faibles barrières Schottky (LSB MOSFET)

Afin d'améliorer les performances dynamiques et de bruit des MOSFETs, il faut donc une architecture alternative permettant de réduire la résistance d'accès de grille R_g , les capacités de recouvrement C_{gs_over} et C_{gd_over} et la conductance de sortie g_d . Le MOSFET SOI à faible barrière Schottky (LSB MOSFET) [21] semble alors une architecture alternative prometteuse. En effet, dans le cas d'une technologie sur substrat massif, ces composants montrent déjà d'excellentes propriétés dynamiques, avec une fréquence de transition f_t de 280 GHz [22].

La Figure IV-18 présente une structure simplifiée d'un tel composant sur substrat SOI. Comme on peut le constater, les zones d'implantation et de recouvrement de source et drain n'existent plus et sont remplacées par des contacts à faible barrière Schottky.

Les avantages d'une telle architecture sont nombreux : il n'y a plus de contraintes sur le dopage du canal (et donc une diminution de la conductance de sortie g_d). Si la structure est optimisée, les résistances d'accès de source et de drain peuvent être réduites en comparaison aux architectures CMOS conventionnelles. De plus, les zones de recouvrement, et par conséquent les capacités de recouvrement, n'existent plus. On devrait donc obtenir un rapport C_{gir}/C_{Miller} plus élevé et des propriétés de bruit prometteuses. Enfin l'utilisation d'une grille métallique devrait considérablement réduire la résistance d'accès de grille R_g .

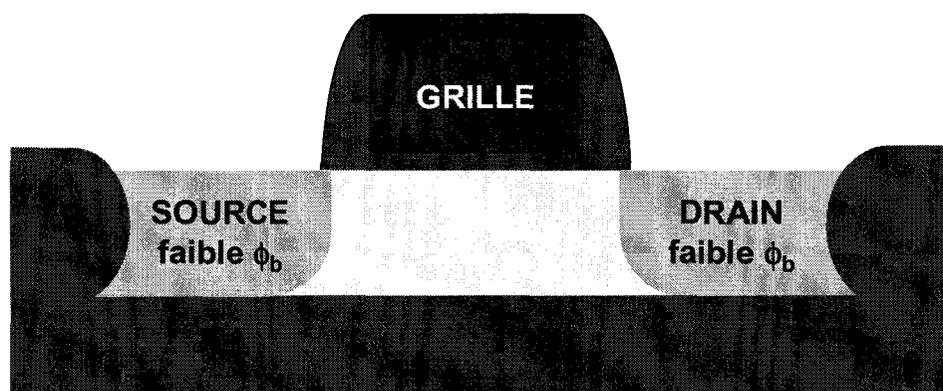


Figure IV-18 Coupe schématique d'un MOSFET SOI à faibles contacts Schottky de source et de drain.

Ces composants sont en cours de réalisation et de caractérisation dans le cadre du projet européen METAMOS, STREP Call FP6-2004-IST-NMP-2.

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

d) Conclusions

Pour conclure sur les architectures alternatives, le Tableau IV-7 résume les avantages et difficultés actuelles des différentes architectures étudiées avec un état de l'art de leurs performances. On montre ainsi que les LSB MOSFETs semblent les composants à architecture alternative les plus prometteurs avec d'ores et déjà des performances dynamiques à l'état de l'art.

	DTMOS	FINFET	LSB MOSFET
Avantages	$G_m \uparrow \uparrow$ $G_d \downarrow \downarrow$	SCE $\downarrow \downarrow$	$R_s, R_d \downarrow \downarrow$ Pas de capacités de recouvrement
Difficultés	Qualité du Contact Grille-Body	$t_{Fin} < L_g$ (SCE) Rapport d'Aspect des Fin	Obtenir une faible barrière Schottky
Etat de l'Art	$f_T=120$ GHz $F_{max}=185$ GHz $NF_{min}=0.8$ dB @ 10GHz [23]	$S=64$ mV/dec DIBL= 11 mV/V CVI = 0.34 ps [24]	$f_T=280$ GHz [22]

Tableau IV-7 Résumé des architectures alternatives étudiées.

Conclusions

Dans ce chapitre, nous avons étudiés expérimentalement les effets de la réduction d'échelle sur les performances dynamiques et de bruit des transistors MOS à architecture conventionnelle.

Dans un premier temps, nous avons étudiés les performances de bruit de composants MOS sur substrat Massif de différentes longueurs de grille. L'étude des sources de bruit intrinsèques en fonction de la réduction d'échelle montre qu'elles continuent à suivre les lois d'échelle classiques même pour des longueurs de grille sub-100 nm. De plus, les paramètres électriques g_m et C_{tot} intervenant dans les expressions analytiques de ces sources de bruit intrinsèques suivent également les lois d'échelle. On en conclut alors que les paramètres de bruit de Pucel P, R et C varient peu d'un nœud technologique au suivant, comme nous l'avions vu dans l'étude théorique précédente. Les sources de bruit intrinsèques ne sont donc pas des paramètres limitant les performances de bruit du composant. Ces limitations de performances de bruit sont alors à mettre en adéquation avec les limitations des performances dynamiques des transistors MOS sub-100 nm.

Dans un deuxième temps, nous avons alors mené une étude expérimentale des effets de réduction d'échelle sur les performances dynamiques de transistors MOS à architecture conventionnelle. A partir d'une expression simplifiée de la fréquence maximale d'oscillation, nous avons pu mettre en évidence que les résistances d'accès, et particulièrement la résistance de grille R_g , étaient les principaux paramètres limitant les performances dynamiques. Un deuxième paramètre limitant provient des capacités de recouvrement C_{gs_over} et C_{gd_over} qui réduisent considérablement le rapport C_{gin}/C_{Miller} . Enfin, la conductance de sortie g_d , traduisant des effets de canaux courts, est également un paramètre limitant.

Dans une troisième partie, nous avons alors proposé une étude des optimisations possibles des performances dynamiques et de bruit des transistors MOS conventionnels. On montre ainsi qu'une optimisation de la topologie de grille et l'utilisation d'une grille métallique permettrait de diminuer la résistance de grille. Une étude de l'optimisation des zones d'extensions de Source et de Drain sous la grille montre que la fenêtre d'optimisation des capacités de recouvrement de Source et de Drain C_{gs_over} et C_{gd_over} est très faible, laissant peu

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

de possibilités d'optimisations des performances dynamiques et de bruit des MOSFETs sub-100 nm.

Nous présentons alors, dans la dernière partie, une étude bibliographique de différentes architectures alternatives de MOSFETs qui permettraient d'outrepasser les limitations fréquentielles et de bruit des MOSFETs conventionnelles. Nous en concluons que l'architecture la plus prometteuse actuellement consiste à réaliser des MOSFETs à faibles contacts Schottky, supprimant par la même les capacités de recouvrement, et à grille métallique, permettant de réduire la résistance d'accès de grille. L'utilisation de cette technologie pour des architectures FINFETs augmenteraient encore les performances dynamiques et de bruit pour des composants à longueur de grille sub-20nm.

Bibliographie

- [1] A. Bracale, V. Ferlet-Cavrois, N. Fel, D. Pasquet, J. L. Gautier, J. L. Pelloie et J. du Port de Poncharra, A new approach for SOI devices small signal parameters extraction, *Analog and Integrated Circuits and Signal Processing*, 157-169, novembre 2000.
- [2] G. Paillancy, C. Raynaud, M. Vanmackelberg, F. Danneville, S. Lepilliet, J. P. Raskin et G. Dambrine, Impact of downscaling on high-frequency noise properties of Bulk and SOI MOSFETs, *IEEE Transactions on Electron Devices*, 51:1605-1612, octobre 2004.
- [3] G. Dambrine, D. Gloria, P. Scheer, C. Raynaud, F. Danneville, S. Lepilliet, A. Siligaris, G. Paillancy, B. Martineau, E. Bouhana, R. Valentin, High frequency low noise potentialities of down to 65 nm technology nodes MOSFETs, *to be published in the 13th Gallium Arsenide and other Compound Semiconductors Application Symposium (GAAS 2005)*, Octobre 2005.
- [4] B. Hughes, A linear dependence of F_{min} on frequency for FET's, *IEEE Transactions on Microwave Theory and Techniques*, 41:979-982, juin/juillet 1993.
- [5] P. H. Woerlee, M. J. Knitel, R. van Langevelde, D. B. M. Klaassen, L. F. Tiemeijer, A. J. Scholten et A. T. A. Zegers-van Duijnhoven, RF-CMOS Performance Trends, *IEEE Transactions on Electron Devices*, 48: 1776-1782, août 2001.
- [6] S. Spedo et C. Fiegna, Simulation of thermal noise in scaled MOSFETs, *Fluctuations and Noise Letters*, 2:L109-116, 2002.
- [7] G. Paillancy, B. Iniguez, J. P. Raskin, G. Dambrine et F. Danneville, Noise modeling of 0.25 μm fully depleted SOI MOSFETs, *Proceedings of International Conference on Noise and Fluctuations*, 577-580, aout 2003.
- [8] G. Dambrine, C. Raynaud, D. Lederer, M. Dehan, O. Rozeaux, M. Vanmackelberg, F. Danneville, S. Lepilliet et J. P. Raskin, What are the limiting parameters of deep-submicron MOSFETs for high frequency applications?, *IEEE Electron Device Letters*, 24:189-191, mars 2003.
- [9] J. P. Raskin, R. Gilon, G. Dambrine, J. Chen, D. Vanhoenacker et J. P. Colinge, Accurate characterization of silicon-on-insulator MOSFET for the design of low-voltage, low-power RF integrated circuits, *Analog and Integrated Circuits and Signal Processing*, 133-155, novembre 2000.

- [10] J. A. Kitti, Salicides and alternatives technologies for future ICs: part 1, *Solid State technology Journal*, 81-92, juin 1999.
- [11] S. Lam, H. Wan, P. Su, P. W. Wyatt, C. L. Chen, A. M. Niknejad, C. Hu, P. K. Ko, and M. Chan, RF Characterization of Metal T-Gate Structure in Fully-Depleted SOI CMOS Technology, *IEEE Electron Device Letters*, 24:251-253, April 2003.
- [12] J.-P. Colinge, An SOI voltage-controlled bipolar-MOS device, *IEEE Transactions on Electron Devices*, 34:845-849, Avril 1987.
- [13] F. Assaderaghi, D. Sinitsky, S. Parke, J. Bokor, P. K. Ko et C. Hu, A dynamic threshold voltage MOSFET (DTMOS) for ultra-low voltage operation, *Proceedings of IEDM*, 809-812, 1994.
- [14] V. Kilchytska, A. Nève, L. Vancaillie, D. Levacq, S. Adriaensen, H. van Meer, K. de Meyer, C. Raynaud, M. Dehan, J.-P. Raskin et D. Flandre, Influence of device engineering on the analog and rf performances of SOI MOSFETs, *Transactions on Electron Devices*, 50: , Mars 2003.
- [15] J. B. Kuo, K.-H. Yuan et S.-C. Lin, Compact threshold-voltage model for short-channel partially depleted (PD) SOI dynamic-threshold MOS (DTMOS) devices, *IEEE Transactions on Electron Devices*, 49:190-196, janvier 2002.
- [16] M. Dehan, D. Vanhoenacker et J.-P. Raskin, Partially-depleted SOI dynamic threshold MOSFET for improving DC and microwave applications, *Proceedings of the ECS meeting*, avril 2003.
- [17] M. Dehan, Characterization and modelling of SOI RF integrated components, *Thèse de Doctorat, Université Catholique de Louvain-la-Neuve*, novembre 2003.
- [18] D. Hisamoto, T. Kaga, Y. Kawamoto, et E. Takeda, A fully depleted lean-channel transistor (DELTA) – A novel vertical ultra thin SOI MOSFET, *Technical Digest of IEDM*, 833-836, 1989.
- [19] X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, et C. Hu, Sub 50-nm FINFET: PFET, *Technical Digest of IEDM*, 67-70, 1999.
- [20] V. Kilchytska, N. Collaert, R. Rooyackers, D. Lederer, J.-P. Raskin et D. Flandre, Perspective of FinFETs for analog applications, *Proceedings of the 34th European Solid-State Device Research conference (ESSDERC)*, 65-68, septembre 2004

Effets de la réduction d'échelle sur les CMOS à architectures conventionnelles : vers des architectures alternatives ?

- [21] G. Larrieu, E. Dubois, Schottky-Barrier Source/Drain MOSFETs on Ultra-thin Silicon-on-Insulator body with a Tungsten Metallic Midgap Gate, *IEEE Electron Device Letters*, 25:801-803, Décembre 2004.
- [22] M. Fritze, C. Chen, S. Calawa, D. Yost, B. Wheeler, P. Wyatt, C. Keast, J. Snyder, J. Larson, High-speed Schottky-barrier pMOSFET with $f_T=280$ GHz, *IEEE Electron Device Letters*, 25: 220-222, 2004.
- [23] T. Hirose, Y. Momiyama, M. Kosugi, H. Kano, Y. Watanabe, et T. Sugii, A 185 GHz f_{max} SOI DTMOS with A New Metallic Overlay-gate for Low-power RF Applications, *Technical Digest of IEDM'01*, 943-945, 2001.
- [24] B. Yu, L. Chang, S. Ahmed, H. Wang, S. Bell, C.-Y. Yang, C. Tabery, C. Ho, Q. Xiang, T.-J. King, J. Bokor, C. Hu, M.-R. Lin et D. Kyser, FinFET scaling to 10 nm Gate Length, *Technical Digest of IEDM'02*, 10.2.1-10.2.4, 2002.

Conclusion Générale

Conclusion Générale

L'objectif de cette thèse était de mettre en évidence les paramètres limitant les performances dynamiques et de bruit haute fréquence des transistors MOS en technologie Silicium à grille sub-100 nm.

Dans un premier temps, nous avons présenté les transistors MOS en technologie Silicium sur substrat Massif et SOI. Nous avons ainsi montré que les transistors MOS sur substrat Massif ou SOI sont de bons candidats pour les applications hautes performances et faible bruit. Pour améliorer leurs performances, la réduction d'échelle reste la principale solution industrielle. Grâce à l'isolation par l'oxyde de silicium enterré, on a un meilleur contrôle du courant et une réduction des capacités parasites en technologie SOI qu'en technologie sur substrat Massif. En revanche, la faible conductivité thermique de l'oxyde de silicium amène à un confinement de la chaleur dans le dispositif qui peut dégrader ses performances.

Un état de l'art des MOSFETs sur substrats Massif et SOI portant sur leurs performances dynamiques, électriques et de bruit a été présenté. Il en résulte que par rapport aux HEMTs III-V, les MOSFETS présentaient des limitations pour des longueurs de grille sub-100 nm notamment en termes de fréquence maximale d'oscillation et de température minimale de bruit.

Alors que F_c suit les lois d'échelle classique avec la réduction d'échelle, la fréquence maximale d'oscillation F_{max} et la température minimale de bruit T_{min} semblent subir une forte influence de la conductance de sortie g_d , des résistances d'accès R_g et R_s et des capacités parasites $C_{gs_{ov}}$, $C_{gd_{ov}}$ et C_{gse} , C_{gde} . Nous nous sommes donc attachés à étudier l'influence de ces éléments « à forte valeur ajoutée » pour ce qui est de la dégradation des performances dynamiques.

La deuxième partie de ce manuscrit s'est focalisée sur une étude théorique des performances de bruit. Une étude analytique a permis dans un premier temps de calculer rigoureusement les expressions compactes des paramètres de bruit en fonction de coefficients de bruit intrinsèques P , R et C et des paramètres électriques.

Dans un deuxième temps, un modèle physique (compact), préalablement paramétré, a été utilisée ; il nous a permis d'étudier les variations des paramètres de bruit intrinsèques avec la polarisation. Nous avons alors observé de faibles changements de variations des coefficients de bruit P , R et C d'un nœud à un autre, nous laissant pressentir que les sources de bruit

intrinsèques étaient principalement régies par le comportement électrique du transistor. Une forte influence des capacités parasites C_{gs_ov} , C_{gd_ov} et C_{gse} , C_{gde} sur les performances de bruit a été observée (en adéquation avec les expressions analytiques).

Enfin, nous avons présenté l'influence d'un courant tunnel de grille et du bruit de grenaille associé sur les performances de bruit du transistor avec l'apparition d'un plateau sur le facteur de bruit minimum pour les faibles fréquences de travail. Ce courant tunnel de grille étant lié à la réduction de l'épaisseur d'oxyde de grille avec la réduction d'échelle, son influence (variations exponentielles) va devenir non négligeable pour les prochaines générations de transistor.

Parallèlement à ces études théoriques, il nous a paru indispensable de mener une étude expérimentale pour différents nœuds technologiques (jusqu'à 65 nm).

Mais pour cela, nous présentons dans le troisième chapitre les deux techniques expérimentales de caractérisation en bruit disponibles au laboratoire : la technique multi-impédances et la méthode F_{50} . Par une comparaison des résultats obtenus pour ces deux techniques, nous avons montré que la méthode F_{50} a une meilleure précision que la méthode multi-impédances et surtout qu'elle reste valable pour les plus récents nœuds technologiques. Malheureusement, cette méthode, malgré sa mise en œuvre simplifiée, n'est applicable qu'aux transistors à effet de champ. La méthode multi-impédances reste donc intéressante pour la caractérisation complète de bruit d'autres filières de composants et même de circuits.

Ces différentes méthodes de caractérisation, nous ont permis de mener, dans le dernier chapitre, une étude expérimentale de l'effet de réduction d'échelle sur les performances de bruit des transistors MOS à architecture conventionnelle.

L'étude des sources de bruit intrinsèques montre qu'elles continuent à suivre des lois d'échelle classiques même pour des longueurs de grille sub-100 nm, confirmant que les coefficients de bruit de Pucel P , R et C varient peu d'un nœud technologique au suivant.

Il en résulte que ces limitations de performances de bruit sont alors à mettre en adéquation avec les limitations des performances dynamiques des transistors MOS sub-100 nm.

Nous avons donc mené une étude expérimentale des effets de réduction d'échelle sur les performances dynamiques de transistors MOS à architecture conventionnelle. A partir d'une expression simplifiée de la fréquence maximale d'oscillation, nous avons pu mettre en évidence que les résistances d'accès, et particulièrement la résistance de grille R_g , étaient les principaux paramètres limitant les performances dynamiques. Notons cependant que lors

d'une parallélisation massive en termes de doigts de grille afin de minimiser l'impact du bruit thermique associé à R_g , la source de bruit intrinsèque de grille induite doit être prise en compte. Un deuxième paramètre limitant provient des capacités parasites C_{gs_over} , C_{gd_over} et C_{gse} , C_{gde} qui réduisent considérablement le rapport C_{gin}/C_{Miller} . Enfin, la conductance de sortie g_d , traduisant des effets de canaux courts, est également un paramètre limitant.

Nous avons rappelé ou proposé des optimisations possibles des performances dynamiques et de bruit des transistors MOS conventionnels. Il coule de source qu'une optimisation de la topologie de grille (utilisation d'une grille métallique) permettrait de diminuer encore plus la résistance de grille. Pour ce qui est de l'optimisation des zones d'extensions de Source et de Drain sous la grille (en modifiant le profil de dopage) montre que la fenêtre d'optimisation liée aux capacités de recouvrement de Source et de Drain C_{gs_over} et C_{gd_over} est très faible, laissant peu de possibilités d'optimisations des performances dynamiques et de bruit des MOSFETs sub-100 nm.

Finalement une étude bibliographique de différentes architectures alternatives de MOSFETs qui permettraient d'outrepasser les limitations fréquentielles et de bruit des MOSFETs conventionnelles est présentée. Nous en concluons que l'architecture la plus prometteuse actuellement consiste à réaliser des MOSFETs à faibles contacts Schottky et à grille métallique, supprimant par la même les capacités de recouvrement et réduisant la résistance d'accès de grille. L'utilisation de cette technologie pour des architectures FINFETs (qui permettent de limiter la conductance de sortie g_d) augmenteraient encore les performances dynamiques et de bruit pour des composants à longueur de grille sub-20nm.

Ce travail de thèse nous a permis d'acquérir une forte expérience sur la caractérisation et la modélisation de bruit haute fréquence de composants conventionnels pour les applications hyperfréquences. Dans les perspectives de ce travail, nous proposons de mener une étude théorique et expérimentale des composants à architecture alternative qui ont été présentés, afin d'en extraire leurs propriétés physiques et leurs potentialités.



Annexes

SOMMAIRE

A. Annexes.....	181
A.1. Les Gains et Fréquences de Transition.....	181
A.1.1. Le Gain en Courant de CC $H_{21} - F_t$	181
A.1.2. Le Gain Maximum Disponible MAG - F_{MAG}	181
A.1.3. Le Gain Unilatéral ou de Mason - F_{max}	182
A.2. Transformation de matrices	183
A.2.1. Matrices électriques d'une représentation à une autre.....	183
A.2.2. Matrices de corrélation de bruit associées.....	184
A.3. Extraction des paramètres électriques intrinsèques	185
A.4. Ajout des éléments extrinsèques au circuit équivalent petit signal intrinsèque bruyant.....	186
A.5. Extraction des paramètres de bruit usuels	187
A.6. Détermination du Quadripôle d'entrée par méthode QUAD1P.....	188
A.7. Résumé de la procédure d'étalonnage du banc Tuner	190
A.8. Bandes de fréquence micro-ondes.....	192



A. Annexes

A.1. Les Gains et Fréquences de Transition

La détermination des performances dynamiques d'un transistor passe par l'acquisition de ses paramètres S sur l'ensemble de la gamme de fréquence et pour tous les points de polarisation. On obtient alors un grand nombre de points de mesure, difficilement exploitable directement et qui ne restent valable que dans le domaine de mesure considéré.

Pour mieux apprécier les performances dynamiques et donner des points de comparaison d'un transistor à un autre, différents gains et fréquences de coupure associées ont été définis et leurs définitions sont rappelées dans cette annexe.

A.1.1. Le Gain en Courant de CC $H_{21} - F_t$

Le paramètre H_{21} des paramètres Chaîne H permet de déterminer le gain en courant de court-circuit à l'aide de la formule suivante :

$$|H_{21}|^2 = \left| \frac{-2 \cdot S_{21}}{(1 - S_{11})(1 + S_{22}) - S_{12} \cdot S_{21}} \right|^2 \quad A.1$$

On définit la fréquence de transition f_t comme la fréquence pour laquelle le module du gain en courant de court-circuit devient unitaire ($|H_{21}|^2 = 1$). La gamme de fréquence de mesure ne permet pas en général d'extraire directement f_t , on considère alors l'extrapolation du module du gain en courant avec une pente de -20 dB/décade .

A.1.2. Le Gain Maximum Disponible MAG - F_{MAG}

Ce gain correspond à un transfert optimal de puissance de l'entrée à la sortie. Il faut alors une adaptation à la fois à l'entrée et à la sortie. Ce gain n'est valable que si le transistor est stable, c'est-à-dire que son facteur de stabilité K doit être supérieur à 1 :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}|^2}{2 \cdot |S_{12}| \cdot |S_{21}|} = \frac{2 \cdot \Re(Z_{11}) \cdot \Re(Z_{22}) - \Re(Z_{12} \cdot Z_{21})}{|Z_{12} \cdot Z_{21}|} \quad A.2$$

Le gain maximum disponible MAG a pour formulation :

$$MAG = \left| \frac{S_{21}}{S_{12}} \right| \left(K - \sqrt{K^2 - 1} \right) \quad A.3$$

On peut alors définir une fréquence f_{MAG} de transition où le gain maximum disponible MAG est égal à 1.

Si le facteur de stabilité est inférieur ou égal à 1, on définit le gain maximum stable MSG par :

$$MSG = \frac{|S_{21}|}{|S_{12}|} \left(\frac{|Y_{21}|}{|Y_{12}|} = \frac{|Z_{21}|}{|Z_{12}|} \right) \quad A.4$$

A.1.3. Le Gain Unilatéral ou de Mason - F_{max}

Le gain de Mason s'obtient en adaptant l'entrée et la sortie, et en ajoutant une contre-réaction sans pertes pour avoir S'_{12} égal à 0. On a alors :

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \cdot \left(K \cdot \left| \frac{S_{21}}{S_{12}} \right| - \Re \left(\frac{S_{21}}{S_{12}} \right) \right)} = \frac{|Z_{21} - Z_{12}|^2}{4 \cdot (\Re(Z_{11}) \cdot \Re(Z_{22}) - \Re(Z_{12}) \cdot \Re(Z_{21}))} \quad A.5$$

La fréquence maximale d'oscillation est définie comme la fréquence où le gain de Mason U vaut 1. Lorsque la mesure ne permet pas d'obtenir cette fréquence, on extrapole le gain de Mason avec une pente à -20 dB/décade.

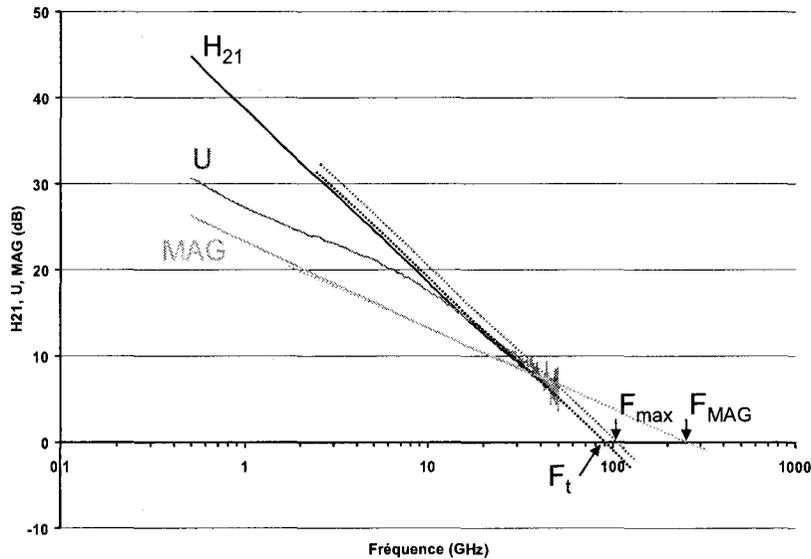


Figure A-1 Gains $|H_{21}|^2$, MAG et U en fonction de la fréquence d'un transistor MOS SOI FB de 130 nm de longueur de grille ($V_{gs}=0.55$ V, $V_{ds}=1.2$ V).

Pour résumer, la Figure A-1 présente les gains en courant de court-circuit $|H_{21}|^2$, maximum disponible MAG et de Mason U en fonction de la fréquence d'un transistor MOS SOI FB de 130 nm de longueur de grille, 30 doigts de grille de largeur unitaire $2 \mu m$ ($W_t=60 \mu m$) et pour une polarisation $V_{ds}=1.2$ V et V_{gs} au maximum de la transconductance G_m ($V_{gs}=0.55$ V). Les fréquences de coupure F_t , F_{MAG} et F_{max} y sont reportés.

A.2. Transformation de matrices

A.2.1. Matrices électriques d'une représentation à une autre

De A	[S]	[Z]	[Y]	[A]
[S]	$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$	$S_{11} = \frac{(Z_{11}-1)(Z_{22}+1)-Z_{12}\cdot Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}\cdot Z_{21}}$ $S_{12} = \frac{2\cdot Z_{12}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}\cdot Z_{21}}$ $S_{21} = \frac{2\cdot Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}\cdot Z_{21}}$ $S_{22} = \frac{(Z_{11}+1)(Z_{22}-1)-Z_{12}\cdot Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}\cdot Z_{21}}$	$S_{11} = \frac{(1-Y_{11})(1+Y_{22})+Y_{12}\cdot Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}\cdot Y_{21}}$ $S_{12} = \frac{-2\cdot Y_{12}}{(1+Y_{11})(1+Y_{22})-Y_{12}\cdot Y_{21}}$ $S_{21} = \frac{-2\cdot Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}\cdot Y_{21}}$ $S_{22} = \frac{(1+Y_{11})(1-Y_{22})+Y_{12}\cdot Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}\cdot Y_{21}}$	$S_{11} = \frac{A_{11}+A_{12}-A_{21}-A_{22}}{A_{11}+A_{12}+A_{21}+A_{22}}$ $S_{12} = \frac{2\cdot(A_{11}\cdot A_{22}-A_{12}\cdot A_{21})}{A_{11}+A_{12}+A_{21}+A_{22}}$ $S_{21} = \frac{2}{A_{11}+A_{12}+A_{21}+A_{22}}$ $S_{22} = \frac{-A_{11}+A_{12}-A_{21}+A_{22}}{A_{11}+A_{12}+A_{21}+A_{22}}$
[Z]	$Z_{11} = \frac{(1+S_{11})(1-S_{22})+S_{12}\cdot S_{21}}{(1-S_{11})(1-S_{22})-S_{12}\cdot S_{21}}$ $Z_{12} = \frac{2\cdot S_{12}}{(1-S_{11})(1-S_{22})-S_{12}\cdot S_{21}}$ $Z_{21} = \frac{2\cdot S_{21}}{(1-S_{11})(1-S_{22})-S_{12}\cdot S_{21}}$ $Z_{22} = \frac{(1-S_{11})(1+S_{22})+S_{12}\cdot S_{21}}{(1-S_{11})(1-S_{22})-S_{12}\cdot S_{21}}$	$\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix}$	$\frac{1}{\det(Y)} \begin{bmatrix} Y_{22} & -Y_{12} \\ -Y_{21} & Y_{11} \end{bmatrix}$	$\frac{1}{A_{21}} \begin{bmatrix} A_{11} & \det(A) \\ 1 & A_{22} \end{bmatrix}$
[Y]	$Y_{11} = \frac{(1-S_{11})(1+S_{22})+S_{12}\cdot S_{21}}{(1+S_{11})(1+S_{22})-S_{12}\cdot S_{21}}$ $Y_{12} = \frac{-2\cdot S_{12}}{(1+S_{11})(1+S_{22})-S_{12}\cdot S_{21}}$ $Y_{21} = \frac{-2\cdot S_{21}}{(1+S_{11})(1+S_{22})-S_{12}\cdot S_{21}}$ $Y_{22} = \frac{(1+S_{11})(1-S_{22})+S_{12}\cdot S_{21}}{(1+S_{11})(1+S_{22})-S_{12}\cdot S_{21}}$	$\frac{1}{\det(Z)} \begin{bmatrix} Z_{22} & -Z_{12} \\ -Z_{21} & Z_{11} \end{bmatrix}$	$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}$	$\frac{1}{A_{21}} \begin{bmatrix} A_{22} & -\det(A) \\ -1 & A_{11} \end{bmatrix}$
[A]	$A_{11} = \frac{(1+S_{11})(1-S_{22})+S_{12}\cdot S_{21}}{2\cdot S_{21}}$ $A_{12} = \frac{(1+S_{11})(1+S_{22})-S_{12}\cdot S_{21}}{2\cdot S_{21}}$ $A_{21} = \frac{(1-S_{11})(1-S_{22})-S_{12}\cdot S_{21}}{2\cdot S_{21}}$ $A_{22} = \frac{(1-S_{11})(1+S_{22})+S_{12}\cdot S_{21}}{2\cdot S_{21}}$	$\frac{1}{Z_{21}} \begin{bmatrix} Z_{11} & \det(Z) \\ 1 & Z_{22} \end{bmatrix}$	$\frac{1}{Y_{21}} \begin{bmatrix} -Y_{22} & -1 \\ -\det(Y) & -Y_{11} \end{bmatrix}$	$\begin{bmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{bmatrix}$

Tableau A-1 Transformation de matrices équivalentes électriques d'une représentation à une autre.

A.2.2. Matrices de corrélation de bruit associées

Le passage de matrices de corrélation de bruit d'une représentation $[C]$ à une autre $[C']$ se fait par l'équation suivante :

$$[C'] = [T][C][T]' \tag{A.6}$$

où $[C]$ et $[C']$ sont les matrices de corrélation de bruit dans les représentations respectivement d'origine et finale, $[T]$ est la matrice de transformation donné au et $'$ correspond à la transposée conjuguée de la matrice.

		De $[C]$		
		Admittance $[C_Y]$	Impédance $[C_Z]$	Chaîne $[C_A]$
A $[C']$	Admittance $[C_Y]$	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$	$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}$	$\begin{bmatrix} -Y_{11} & 1 \\ -Y_{21} & 0 \end{bmatrix}$
	Impédance $[C_Z]$	$\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix}$	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$	$\begin{bmatrix} 1 & -Z_{11} \\ 0 & -Z_{21} \end{bmatrix}$
	Chaîne $[C_A]$	$\begin{bmatrix} 0 & A_{12} \\ 1 & A_{22} \end{bmatrix}$	$\begin{bmatrix} 1 & -A_{11} \\ 0 & -A_{21} \end{bmatrix}$	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$

Tableau A-2 Transformation de matrices de corrélation de bruit d'une représentation à une autre.

A.3. Extraction des paramètres électriques intrinsèques

La matrice Admittance $[Y]$ du composant intrinsèque s'écrit :

$$[Y] = \begin{bmatrix} j\omega \left(\frac{C_{gsi}}{1 + j\omega R_i C_{gsi}} + \frac{C_{gdi}}{1 + j\omega R_{gd} C_{gdi}} \right) & -j\omega \frac{C_{gdi}}{1 + j\omega R_{gd} C_{gdi}} \\ \frac{g_m e^{-j\omega\tau}}{1 + j\omega R_i C_{gsi}} - j\omega \frac{C_{gdi}}{1 + j\omega R_{gd} C_{gdi}} & g_d + j\omega \left(C_{ds} + \frac{C_{gdi}}{1 + j\omega R_{gd} C_{gdi}} \right) \end{bmatrix} \quad \text{A.7}$$

Les différents paramètres électriques du circuit équivalent petit signal sont alors calculés en utilisant les équations suivantes :

$$C_{gdi} = \frac{1}{\omega} \cdot \frac{1}{\Im \left(\frac{1}{Y_{12}} \right)} \quad \text{A.8}$$

$$R_{gd} = -\Re \left(\frac{1}{Y_{12}} \right) \quad \text{A.9}$$

$$C_{gsi} = -\frac{1}{\omega} \cdot \frac{1}{\Im \left(\frac{1}{Y_{11} + Y_{12}} \right)} \quad \text{A.10}$$

$$R_i = \Re \left(\frac{1}{Y_{11} + Y_{12}} \right) \quad \text{A.11}$$

$$C_{ds} = \frac{\Im(Y_{22} + Y_{12})}{\omega} \quad \text{A.12}$$

$$g_d = \Re(Y_{22} + Y_{12}) \quad \text{A.13}$$

$$g_m = -\frac{|Y_{21} - Y_{12}|}{|Y_{11} + Y_{12}|} \cdot \frac{1}{\Im \left(\frac{1}{Y_{11} + Y_{12}} \right)} \quad \text{A.14}$$

$$\tau = -\frac{1}{\omega} \left(\arg \left(\frac{Y_{21} - Y_{12}}{Y_{11} + Y_{12}} \right) + \frac{\pi}{2} \right) \quad \text{A.15}$$

A.4. Ajout des éléments extrinsèques au circuit équivalent petit signal intrinsèque bruyant

La prise en compte des éléments extrinsèques à partir de la matrice Admittance $[Y_s]$ et de la matrice de corrélation de bruit $[C_{y_s}]$ associées au circuit équivalent petit signal intrinsèque se fait en plusieurs étapes :

- Ajout des capacités de recouvrement C_{gs_ov} et C_{gd_ov} à la matrice Admittance $[Y_s]$:

$$[Y'_s] = [Y_s] + j.\omega \begin{bmatrix} C_{gs_ov} + C_{gd_ov} & -C_{gd_ov} \\ -C_{gd_ov} & C_{gd_ov} \end{bmatrix} \quad \text{A.16}$$

- Calcul de la matrice Impédance $[Z'_s]$ et de la matrice de corrélation de bruit $[Cz'_s]$ à partir de $[Y'_s]$ et $[C_{y_s}]$ (cf. Annexe A.2);
- Ajout des résistances d'accès R_g , R_s et R_d et de l'inductance de Source L_s à $[Z'_s]$:

$$[Z''_s] = [Z'_s] + \begin{bmatrix} R_g + R_s + j.L_s.\omega & R_s + j.L_s.\omega \\ R_s + j.L_s.\omega & R_d + R_s + j.L_s.\omega \end{bmatrix} \quad \text{A.17}$$

- Prise en compte du bruit en excès des résistances dans la matrice de corrélation de bruit $[Cz'_s]$:

$$[Cz''_s] = [Cz'_s] + 4.k.T_a.\Delta f \begin{bmatrix} R_g + R_s & R_s \\ R_s & R_d + R_s \end{bmatrix} \quad \text{A.18}$$

- Calcul de la matrice Admittance $[Y''_s]$ et de la matrice de corrélation de bruit $[C_{y''_s}]$ à partir de $[Z''_s]$ et $[Cz''_s]$ (cf. Annexe A.2);
- Ajout des capacités plot C_{pg} et C_{pd} à $[Y''_s]$:

$$[Y'''_s] = [Y''_s] + \begin{bmatrix} j.C_{pg}.\omega & 0 \\ 0 & j.C_{pd}.\omega \end{bmatrix} \quad \text{A.19}$$

- Calcul de la matrice Impédance $[Z'''_s]$ et de la matrice de corrélation de bruit $[Cz'''_s]$ à partir de $[Y'''_s]$ et $[C_{y''_s}]$ (cf. Annexe A.2) ;
- Ajout des inductances L_g et L_d à $[Z'''_s]$:

$$[Z''''_s] = [Z'''_s] + \begin{bmatrix} j.L_g.\omega & 0 \\ 0 & j.L_d.\omega \end{bmatrix} \quad \text{A.20}$$

- Enfin, calcul de la matrice Chaîne $[A_s]$ et de la matrice de corrélation de bruit associée $[Ca_s]$ de l'ensemble du composant (cf. Annexe A.2).

A.5. Extraction des paramètres de bruit usuels

Les paramètres de bruit usuels NF_{min} , R_n , G_{opt} sont calculés à partir de la matrice de corrélation de bruit $[Ca_s]$ associée à la matrice Chaîne $[A_s]$ du composant avec ses éléments extrinsèques, en utilisant les formulations suivantes :

$$R_n = \frac{|Ca_{s11}|}{4.k.T_0.\Delta f} \quad A.21$$

$$y_{opt} = \sqrt{\frac{Ca_{s22}}{Ca_{s11}}} \quad A.22$$

$$y_{cor} = \frac{Ca_{s21}}{Ca_{s11}} \quad A.23$$

$$g_{cor} = \Re(y_{cor}), \quad b_{cor} = \Im(y_{cor}) \quad A.24$$

$$g_{opt} = \sqrt{y_{opt}^2 - b_{opt}^2}, \quad b_{opt} = -b_{cor} \quad A.25$$

$$Y_{opt} = g_{opt} + j b_{opt} \quad A.26$$

$$NF_{min} = 10.\log_{10} \left(1 + 2.R_n.(g_{opt} + g_{cor}) \right) \quad A.27$$

A.6. Détermination du Quadripôle d'entrée par méthode QUAD1P

Lorsqu'on réalise des mesures de bruit avec une station sous pointes, il est nécessaire de déterminer les paramètres S des éléments (câbles, T de polarisation, pointes) placés entre la source de bruit et l'entrée du DUT. On pourra alors faire un épiluchage des mesures pour corriger le gain et le facteur de bruit mesurés. Pour cela on utilise une méthode originale appelé « QUAD1P ».

Prenons pour exemple la détermination des paramètres S du quadripôle d'entrée.

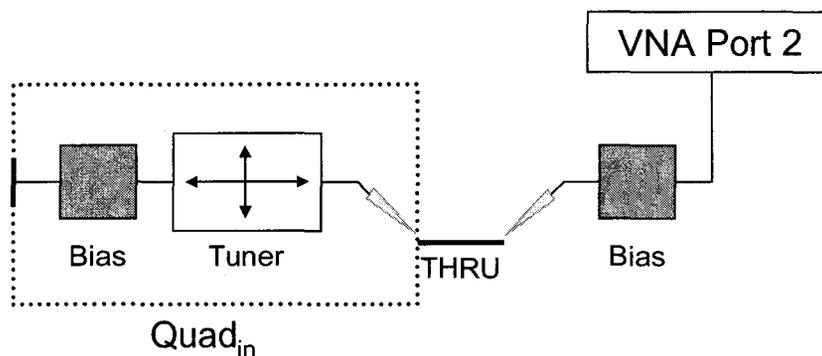


Figure A-2 Banc de mesure en configuration QUAD1P.

On étalonne l'analyseur de réseau dans le plan de la pointe de sortie (1-Port). On place alors une THRU entre les pointes et on indique un retard de 1 ps sur le port 2 du VNA (on est alors dans le plan de référence de la pointe à l'entrée).

On place successivement un standard OPEN, un SHORT et un LOAD, dont on connaît les coefficients de réflexion Γ_x (respectivement Γ_{co} , Γ_{cc} et Γ_{load}), à l'entrée du quadripôle (Figure A-3) et on mesure les coefficients de réflexion Γ_m à la sortie du quadripôle (respectivement Γ_m^{co} , Γ_m^{cc} et Γ_m^{load}).

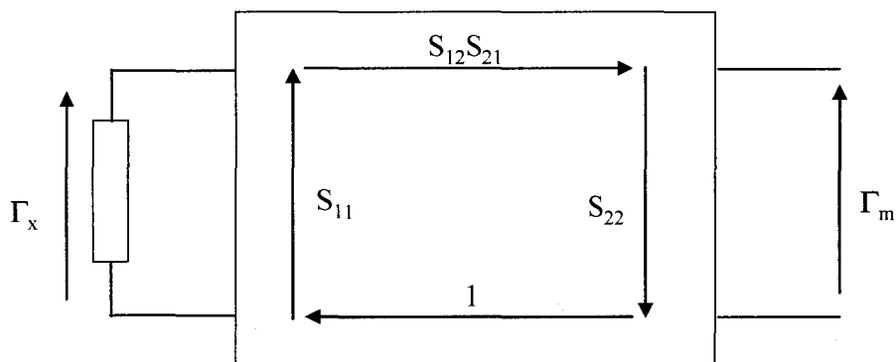


Figure A-3 Représentation du quadripôle d'entrée chargé sur les standards.

On peut alors en déduire les paramètres S du quadripôle d'entrée à l'aide des formules suivantes :

$$\Gamma_m = S_{22} + \frac{S_{12}S_{21}\Gamma_x}{1 - S_{11}\Gamma_x} \quad \text{A.28}$$

En faisant l'hypothèse que $S_{12} = S_{21}$, on pose $a = S_{11}$, $b = S_{12}.S_{21}$ ($S_{12} = \sqrt{b}$) et $c = S_{22}$.

On a alors :

$$c = \Gamma_m^{load} \quad \text{A.29}$$

$$b = \frac{(\Gamma_m - c)(1 - a.\Gamma_x)}{\Gamma_x} \quad \text{A.30}$$

D'où :

$$\text{Pour } \Gamma_m^{cc} : \quad b = \frac{(\Gamma_m^{cc} - \Gamma_m^{load})(1 - a.\Gamma_{cc})}{\Gamma_{cc}} \quad \text{A.31}$$

$$\text{Pour } \Gamma_m^{co} : \quad b = \frac{(\Gamma_m^{co} - \Gamma_m^{load})(1 - a.\Gamma_{co})}{\Gamma_{co}} \quad \text{A.32}$$

De l'équation A.32, on en déduit :

$$a = \frac{1}{\Gamma_{co}} - \frac{b}{\Gamma_m^{co} - \Gamma_m^{load}} \quad \text{A.33}$$

On obtient finalement :

$$S_{11} = a = \frac{\Gamma_{cc}(\Gamma_m^{co} - \Gamma_m^{cc}) - (\Gamma_m^{cc} - \Gamma_m^{load})(\Gamma_{co} - \Gamma_{cc})}{\Gamma_{cc}\Gamma_{co}(\Gamma_m^{co} - \Gamma_m^{cc})} \quad \text{A.34}$$

$$S_{12} = S_{21} = \sqrt{b} = \sqrt{\frac{(\Gamma_m^{cc} - \Gamma_m^{load})(\Gamma_{co} - \Gamma_{cc})(\Gamma_m^{co} - \Gamma_m^{load})}{\Gamma_{cc}\Gamma_{co}(\Gamma_m^{co} - \Gamma_m^{cc})}} \quad \text{A.35}$$

$$S_{22} = c = \Gamma_m^{load} \quad \text{A.36}$$

On obtient donc bien les paramètres S_{ij} du quadripôle d'entrée.

A.7. Résumé de la procédure d'étalonnage du banc Tuner

- 1- Etalonnage TRL du VNA dans le plan des pointes (TRL 2 ports) :
 - ✓ Extension ports du VNA à $0\ ps$
 - ✓ Initialiser le tuner en position « Zéro » (50 ohms)

- 2- Mesure des paramètres S du DST pour plusieurs polarisations :
 - ✓ Mesurer le CO associé si disponible
 - ✓ Calculer les « demi-open »
 - ✓ Mesurer les paramètres S du DST en épluchant les « demi-open »

- 3- Mesure du Quadripôle d'entrée :
 - ✓ Poser les pointes sur un THRU
 - ✓ Ajouter $1\ ps$ sur le Port 2 du VNA (Extension Port 2 = $1\ ps$)
 - ✓ Déconnecter Port 1
 - ✓ Etalonnage QUADIP du quadripôle d'entrée

- 4- Mesure du coefficient de réflexion de la source Γ_{NS} :
 - ✓ Rester posé sur le THRU
 - ✓ Garder $1\ ps$ sur le Port 2 du VNA
 - ✓ Placer la source de bruit à l'entrée du banc (source froide)
 - ✓ Mesurer le S_{22} en épluchant le quadripôle d'entrée mesuré précédemment

- 5- Etalonnage du Tuner :
 - ✓ Rester posé sur le THRU
 - ✓ Garder $1\ ps$ sur le Port 2 du VNA
 - ✓ Garder la source de bruit à l'entrée du banc (source froide)
 - ✓ Lancer l'étalonnage du Tuner

- 6- Re-étalonnage TRL du VNA dans le plan des pointes (TRL 2 ports)
 - ✓ Retirer la source de bruit de l'entrée du banc
 - ✓ Reconnecter le Port 1 du VNA à l'entrée du banc
 - ✓ Retirer l'Extension Port du Port 2
 - ✓ Initialiser le Tuner

- ✓ Vérifier l'étalonnage en TRL 2 port, le refaire si besoin

7- Mesure du coefficient de réflexion du récepteur de bruit Γ_{RCVR} :

- ✓ Déconnecter le Port 2
- ✓ Connecter l'isolateur, le LNA et le récepteur de bruit à la sortie du banc
- ✓ Ajouter $1\ ps$ sur le Port 1 (Extension Port 1 = $1\ ps$)
- ✓ Placer le THRU
- ✓ Mesurer le S_{11} en 1-Port

8- Etalonnage du récepteur de bruit :

- ✓ Garder l'isolateur, le LNA et le récepteur de bruit à la sortie du banc
- ✓ Déconnecter le Port 1
- ✓ Placer la source de bruit à l'entrée du banc
- ✓ Lancer l'étalonnage du récepteur pour déterminer la constante kBG et les quatre paramètres de bruit du récepteur.

A.8. Bandes de fréquence micro-ondes

Désignation	Gamme de fréquences
Bande L	De 1 à 2 GHz
Bande S	De 2 à 4 GHz
Bande C	De 4 à 8 GHz
Bande X	De 8 à 12 GHz
Bande Ku	De 12 à 18 GHz
Bande K	De 18 à 26 GHz
Bande Ka	De 26 à 40 GHz
Bande Q	De 30 à 50 GHz
Bande U	De 40 à 60 GHz
Bande V	De 46 à 56 GHz
Bande W	De 56 à 100 GHz

Tableau A-3 Descriptif des bandes de fréquence micro-ondes.

Liste des Publications

Articles dans une revue internationale avec comité de lecture

PAILLONCY G., RAYNAUD C., VANMACKELBERG M., DANNEVILLE F., LEPILLIET S., RASKIN J.-P., DAMBRINE G., "Impact of Downscaling on High-Frequency Noise Performance of Bulk and SOI MOSFETs", *IEEE Transactions on Electron Devices*, 51:1605-1612, 2004.

PAILLONCY G., INIGUEZ B., DAMBRINE G., RASKIN J.-P., DANNEVILLE F., "Noise Modeling in Fully Depleted SOI MOSFETs", *Solid-State Electronics*, 48:813-825, 2004.

Communications internationales avec actes

DAMBRINE G., GLORIA D., SCHEER P., RAYNAUD C., DANNEVILLE F., LEPILLIET S., SILIGARIS A., PAILLONCY G., MARTINEAU B., BOUHANA E., VALENTIN R., "High frequency low noise potentialities of down to 65nm technology nodes MOSFETs", *EuMW-GAAS conference*, Paris, october 2005, *Proceedings of GAAS*, 97-100, 2005.

INIGUEZ B., LARAZO A., HAMID H. A., PAILLONCY G., DAMBRINE G., DANNEVILLE F., "Noise in SOI MOSFETs and Gate-All Around Transistors", *18th International Conference on Noise and Fluctuations*, Salamanca, 19-23 September, 269-274, 2005.

RENGEL R., MARTIN M. J., PAILLONCY G., DAMBRINE G., DANNEVILLE F., "On the high-frequency noise figures of merit and microscopic channel noise sources in fabricated 90 nm PD SOI MOSFETs", *18th International Conference on Noise and Fluctuations*, Salamanca, 19-23 September, 745-748, 2005.

PAILLONCY G., INIGUEZ B., DAMBRINE G., DEHAN M., RASKIN J.-P., MATSUHASHI H., DELATTE P., DANNEVILLE F., "Noise Modeling and Performance in 0.15 μm Fully Depleted SOI MOSFET", *2nd SPIE International Symposium on Fluctuations and Noise*, Maspalomas, 26-28 Mai, *SPIE Proceedings*, 5470:122-130, 2004.

PAILLONCY G., INIGUEZ B., DAMBRINE G., DANNEVILLE F., "Influence of A Tunneling Gate Current on the Noise Performance of SOI MOSFETs", *30th Annual IEEE International SOI Conference*, Charleston, SC, 4-7 Octobre, *IEEE International SOI Conference Proceedings*, 57-59, 2004.

PAILLONCY G., DAMBRINE G., DANNEVILLE F., INIGUEZ B., RASKIN J.-P., "Noise Modelling of 0.25 μm Fully Depleted SOI MOSFETs", *17th International Conference on Noise and Fluctuations*, Prague, 18-22 Août, 577-580, 2003.

Communications nationales avec actes

PAILLONCY G., INIGUEZ B., RASKIN J.-P., DAMBRINE G., DANNEVILLE F., **"Modélisation de Bruit pour des MOSFETs SOI 0,25 microns Totalement Désertés"**, *13èmes Journées Nationales Microondes*, Lille, 21-23 mai 2003, 6A-3, 2003.

Communications nationales sans actes

PAILLONCY G., INIGUEZ B., DAMBRINE G., DEHAN M., RASKIN J.-P., MATSUHASHI H., DELATTE P., DANNEVILLE F., **"Modélisation de Bruit et Performances de MOSFETs SOI Totalement Désertés"**, *WORKSHOP Action Spécifique Bruit "Bruit en régime linéaire et non -linéaire dans les composants et circuits de télécommunications"*, La Grande Motte, 7-8 juin, 27-28, 2004.

PAILLONCY G., **"Bruit haute fréquence dans les transistors MOS sur SOI: Méthodes de caractérisations et de modélisations."**, *WORKSHOP Laboratoire Commun IEMN/ST Microelectronics*, Crolles, 16 mars, 2004.

Conférences invitées

DANNEVILLE F., INIGUEZ B., PAILLONCY G., DAMBRINE G., **"RF and Noise Properties of SOI MOSFETs, Including the Influence of a Direct Tunneling Gate Current"**, *Proceedings of the 2004 IEEE International Conference on Devices, Circuits and Systems (ICDCS'04)*, Punta Cana, November 2004, 2004.

DANNEVILLE F., PAILLONCY G., INIGUEZ B., RASKIN J.P., DAMBRINE G., **"Noise Modeling and Performance of SOI MOSFETs"**, *IEEE MTT-S International Microwave Symposium, Workshop on "High Frequency Noise in Advanced Silicon-based Devices: From Basics to State-of-the-Art Device and Circuit Performances"*, Fort Worth, 6-11 Juin 2004, 2004.

DAMBRINE G., RAYNAUD C., VANMACKELBERG M., DANNEVILLE F., PAILLONCY G., LEPILLIET S., RASKIN J.-P., **"Impact of down scaling on high frequency noise performance of bulk and SOI MOSFETs."**, *SPIE, Fluctuations and Noise Conference*, Santa Fe (USA), juin 2003, 178-193, 2003.

DANNEVILLE F., PAILLONCY G., DAMBRINE G., **"High Frequency Noise Sources Extraction in Nanométrique MOSFETs"**, *NATO Advanced Workshop*, Brno, 14-16 Août 2003, 2003.

Ouvrages scientifiques (ou chapitres)

DANNEVILLE F., PAILLONCY G., DAMBRINE G., **"High Frequency Noise Sources Extraction in Nanométrique MOSFETs"**, J. Sikula and M. Levinshtein, *Kluwer Academic Publisher*, 169-176, 2004.

RESUME

Les transmissions sans fil n'ont cessé de prendre un essor considérable, que ce soit pour les applications spatiales, les radiocommunications mobiles ou les communications à courtes portées (Wi-Fi, Bluetooth,...).

Toutes ces applications font partie intégrale du domaine des radiofréquences (RF) et elles se sont développées grâce au progrès des transistors et de leurs performances. Depuis quelques années, avec la montée en fréquence des composants Silicium, la technologie Silicium est présente dans le domaine des radiofréquences et des hyperfréquences.

Les circuits intégrés micro-ondes nécessitent des composants actifs performants, en termes de fréquences de coupure, de gain et de facteur de bruit pour des conditions de faibles polarisations. Il apparaît ainsi essentiel d'étudier les performances dynamiques et de bruit hautes fréquences des filières conventionnelles CMOS sur substrats massif et/ou SOI à longueur de grille sub-100 nm.

Dans cette thèse, nous abordons différents thèmes avec tout d'abord une description de l'architecture des transistors MOS sur substrat Massif ou SOI et un état de l'art de leurs performances dynamiques et de bruit. Nous présentons ensuite une étude théorique permettant de dégager les paramètres influant sur les performances hyperfréquences et de bruit. Cette étude est suivie par la présentation de deux techniques de mesures de bruit disponible au laboratoire, mise à profit pour étudier expérimentalement les paramètres limitant la montée en fréquence et les performances de bruit des transistors MOS à structure conventionnelle. Nous concluons alors sur une discussion concernant les architectures alternatives permettant d'outrepasser ces limitations.

TITLE

High Frequency and Noise Properties of Bulk and SOI MOSFETs down to the 65 nm technology node.

ABSTRACT

The wireless transmissions increase in a spectacular way, such in the spatial applications, the mobile communication systems or the short range communications (Wi-Fi, Bluetooth, ...).

All these applications are integral part of the radiofrequency (RF) field and they grow thanks to the progress of the transistors and of their performances. Since few years, with the frequency growth of the Silicon components, the Silicon technology is present in the radio and high frequency fields.

The microwave integrated circuits need of high performances components, in terms of cut-off frequencies, gain and noise factor in low bias conditions. It is then necessary to study the dynamic and high frequency noise performances of conventional CMOS die on Bulk and SOI substrate down to the sub-100 nm gate length.

In this thesis, we develop various topics with at first a description of the MOSFET architecture on Bulk and SOI substrate and a state-of-the-art of their dynamic and noise performances. We present then a theoretical study allowing us to determine the parameters which influence the high frequency and noise performances. Then, we consider two techniques, available in the laboratory, to determine experimentally the noise properties of MOSFETs. Finally, we end up this manuscript with an experimental study of the limiting parameters on the dynamic and noise performances of MOSFETs with conventional structures. We conclude with a discussion on alternatives architectures allowing us to go beyond these limitations.

MOTS-CLES

MOSFET
BRUIT

CARACTERISATION
SOI

MODELISATION

HYPERFREQUENCES

