

THESE

présentée à l'Université des Sciences et Technologies de Lille

UFR Electronique

en vue de l'obtention du titre de

DOCTEUR DE L'UNIVERSITE

Spécialité: ELECTRONIQUE

Contributions à la conception et à la réalisation de transistors
MOS à grille multiple.

par

Julien PENAUD

Ingénieur EUDIL

Soutenance le 23 octobre 2006 devant la commission d'examen:

Président F. Danneville

Rapporteur J-P. Raskin,
A. Halimaoui

Examineurs P. Coronel
E. Augendre

Directeur de thèse E. Dubois

*A mes parents,
à mes frères,
à Flora,*

REMERCIEMENTS

Ce travail a été réalisé au sein de l'institut d'Electronique et de Micro-électronique de Nanotechnologie (IEMN) dirigé par Monsieur Alain Cappy que je remercie pour m'avoir accueilli dans ce laboratoire.

Je souhaite commencer ces remerciements en exprimant toute ma gratitude à Emmanuel Dubois, Directeur de Recherche au CNRS et responsable de l'équipe ISEN Micro-électronique Silicium qui m'a encadré et orienté tout au long de cette thèse.

Tout d'abord, je remercie cordialement, Monsieur François Danneville d'avoir accepté de présider ce jury de thèse.

Je remercie sincèrement Monsieur Jean-Pierre Raskin, Professeur de l'Université Catholique de Louvain La Neuve, et Monsieur Aomar Halimaoui, Chef de Projets à STMicroelectronics à Crolles, d'avoir accepté d'être rapporteurs de ce travail.

Je remercie également Monsieur Philippe Coronel, Chef de Projets à STMicroelectronics à Crolles, et Monsieur Emmanuel Augendre, Chef de Projets à l'IMEC, d'avoir accepté de participer à cette thèse en qualité d'examineurs.

Je remercie également Monsieur Thomas Skotnicki, responsable de l'équipe modules avancés-devices, à ST-Microelectronics (Crolles 2), qui m'a apporté toutes ses connaissances et toute son expérience du milieu industriel.

Je tiens aussi à remercier très chaleureusement l'ensemble des équipes de technologie de l'IEMN avec lesquelles j'ai travaillé: Marc François, Michel Muller, Patricia Lefebvre, Christianne Legrand, Christophe Boyaval, Roger Ringot, André Leroy, Annie Fattorini, Bernard Verbeke, Isabelle Roch-Jeune, Didier Vandermoere et les autres que j'oublie sûrement...

Je remercie également tous les membres de l'équipe qui m'ont apporté, chacun à leur manière des moments qui m'ont fort plus (comme on dit dans le chnord...): Guilhem «Laguite» mon éternel acolyte de bureau, (toujours de bons conseils...du moins en ce qui concerne le travail), Christophe Krzeminski «l'homme à tout faire» (un grand merci pour la relecture de ce manuscrit et toutes le temps consacré aux simulations), Frédérique Fruleux-Cornu dit «La Cornu, ou la FinFET-girl» (merci pour ces longues heures de déprimés en salle blanche...), Valérie «la marseillaise», Xhue «la Chine!», Evelyne Lampin «une de mes têtes de turc préférées» (mais qui aime bien châtie bien), Jean-Michel Droulez «Euch monsieur de cshrc» (Ah ben, merci

pour euch patience pour euch configuration d'euch station», Nicolas Breil «l'autre Charentais...Maritime!!!», Emmanuel Lecat «le ptit nouveau!» Je n'oublie pas tous les membres de l'équipe localisés à l'ISEN: Valérie Vandenhende, Jean-Marc Capron, Andréas Kaieser, Bruno Stefanelli, les thésards: David Chamla, Clément Charbullet, Axel Flament Antoine Frappé, Stéphane Razafimandimby.

Un petit clin d'oeil aux ex-MCMO boys...pour leur pause café du midi très détendue, ainsi qu'à Gwenn Ulliac «l' IR-Besancenot»...

Un dernier grand merci à ma famille (mes parents, et mes deux frères) pour leur soutien permanent tout au long de ces trois longues années.

Je terminerai en remerciant avec beaucoup d'amour et de tendresse, Flora, qui m'a soutenu tout au long de ces 3 années de thèse.

Table des Matières

| | |
|--|-----------|
| Introduction..... | 13 |
| | |
| Chapitre 1: Du transistor MOSFET aux architectures multi-grille. | 17 |
| | |
| 1- Le transistor MOSFET..... | 17 |
| I-1 Présentation rapide du transistor MOSFET..... | 17 |
| I-1.1 Structure de base..... | 17 |
| I-1.2 Principe de fonctionnement..... | 18 |
| I-2 La capacité MOS (métal-oxyde-silicium)..... | 19 |
| I-2.1 Structure..... | 19 |
| I-2.2 Les régimes de fonctionnement..... | 19 |
| I-2.2-a Régime d'accumulation..... | 19 |
| I-2.2-b Régime de déplétion..... | 20 |
| I-2.2-c Régime d'inversion..... | 21 |
| I-3 Régime de fonctionnement d'un transistor nMOS à enrichissement sous polarisation.... | 21 |
| I-4 La figure de mérite I_{on}/I_{off} | 24 |
| | |
| II- Effets parasites limitant la miniaturisation des architectures MOS classiques.... | 25 |
| II-1 Introduction..... | 25 |
| II-2 Effets de la modulation de la longueur du canal (effet Early)..... | 26 |
| II-3 Effets de canaux courts sur la tension de seuil..... | 27 |
| II-4 L'effet DIBL (Drain Induced Lowering barrier)..... | 29 |
| II-5 Perçage (Punch-through)..... | 30 |
| II-6 Injection de porteurs chauds..... | 31 |
| II-7 Effet tunnel dans les oxydes minces..... | 32 |
| | |
| III- Solutions apportées aux effets indésirables de la miniaturisation..... | 33 |
| III-1 La technologie SOI..... | 33 |
| III-1.1 Introduction..... | 33 |
| III-1.2 Augmentation de la densité d'intégration..... | 34 |
| III-1.3 Suppression du thyristor parasite (latch-up)..... | 34 |
| III-1.4 Réduction des courants de fuite et des capacités de jonction..... | 35 |
| III-1.5 Diminution de l'inverse de la pente sous le seuil..... | 35 |
| III-2 Architectures de transistors multi-grille..... | 36 |
| III-2.1 Introduction..... | 36 |
| III-2.2 La notion d'inversion volumique..... | 36 |
| III-2.3 Augmentation du courant de conduction..... | 37 |
| III-2.4 Impact sur la distribution des porteurs, sur la mobilité, et sur le gain de la transconductance..... | 38 |
| III-2.5 Impact sur les effets canaux courts..... | 39 |
| | |
| IV-Conclusion..... | 43 |
| | |
| Bibliographie..... | 45 |

| | |
|--|-----------|
| Chapitre 2: Présentation des différentes architectures MOSFET multi-grille-Procédé de fabrication innovant..... | 49 |
| I- Etat de l'art..... | 49 |
| II- Transistor multi-grille planaire..... | 52 |
| II-1 Introduction..... | 52 |
| II-2 Transistor DGMOSFET..... | 52 |
| II-2.1 Procédé de fabrication..... | 52 |
| II-2.2 Performances électriques-Discussions..... | 54 |
| II-3 Transistor Gate All Around (GAA)..... | 54 |
| II-3.1 Procédé de fabrication..... | 55 |
| II-3.1-a La technologie Silicon On Nothing (SON)..... | 55 |
| II-3.1-b Utilisation de la technologie SON pour la fabrication de GAA..... | 56 |
| II-3.2 Performances électriques-Discussion..... | 56 |
| II-4 Conclusion..... | 57 |
| III- Transistor double-grille à conduction verticale..... | 57 |
| III-1 Introduction..... | 57 |
| III-2 Transistor à conduction verticale réalisé par diffusion de source solide..... | 59 |
| III-2.1 Procédé de fabrication..... | 59 |
| III-2.2 Performances électriques-Discussion..... | 60 |
| III-3 Transistor à conduction verticale réalisé par épitaxie..... | 61 |
| III-3.1 Procédé de fabrication..... | 61 |
| III-3.2 Performances électriques-Discussion..... | 62 |
| III-4 Transistor à conduction verticale réalisé par implantation..... | 62 |
| III-4.1 Procédé de fabrication..... | 62 |
| III-4.2 Performances électriques-Discussion..... | 63 |
| III-5 Conclusion..... | 63 |
| IV- Transistor à conduction latérale..... | 64 |
| IV-1 Delta-FET..... | 64 |
| IV-1.1 Procédé de fabrication..... | 64 |
| IV-1.2 Performances électriques..... | 65 |
| IV-2 FinFET..... | 66 |
| IV-2.1 Introduction..... | 66 |
| IV-2.2 Procédé «gate last»..... | 66 |
| IV-2.2-a Procédé de fabrication..... | 66 |
| IV-2.2-b Performances électriques-Discussion..... | 68 |
| IV-2.3 Procédé «gate first»..... | 68 |
| IV-2.3-a Procédé de fabrication..... | 68 |
| IV-2.3-b Performances électriques-Discussion..... | 69 |
| IV-2.4 Etat de l'art des performances des FinFET..... | 71 |
| IV-3 Les transistors dérivés du FinFET..... | 72 |
| IV-3.1 Triple-Grille classique..... | 72 |
| IV-3.2 Pi-gate - Omega-Gate..... | 74 |
| IV-4 Conclusion..... | 75 |
| V- Procédé innovant de fabrication d'un transistor FinFET..... | 75 |

| | |
|---|----|
| V-1 Introduction..... | 75 |
| V-2 Nettoyage du substrat SOI..... | 76 |
| V-3 Définition des ailettes de silicium..... | 77 |
| V-3.1 Lithographie électronique..... | 77 |
| V-3.2 Transfert des motifs par gravure plasma RIE..... | 77 |
| V-4 Définition de la matrice isolante de HSQ..... | 78 |
| V-5 Ouverture Damascène..... | 78 |
| V-6 Formation de l'oxyde de grille..... | 79 |
| V-7 Dépôt du matériau de grille..... | 80 |
| V-7.1 Choix du matériau de grille..... | 80 |
| V-7.2 Pulvérisation et planarisation du matériau de grille..... | 80 |
| V-8 Formation des espaceurs..... | 81 |
| V-9 Définition de la source et du drain..... | 82 |
| V-10 Alternatives-Perspectives..... | 83 |
| V-10.1 Réalisation d'un transistor MOS triple-grille..... | 83 |
| V-10.2 Dopage de la source et du drain..... | 84 |
| V-10.3 Grille asymétrique..... | 84 |
| V-11 Conclusion..... | 84 |
| VI- Conclusion..... | 85 |
| Bibliographie..... | 86 |

Chapitre 3: Réalisation de réseaux denses d'ailettes de silicium....93

| | |
|---|-----|
| I- Formation des motifs de HSQ par lithographie électronique..... | 93 |
| I-1 Introduction..... | 93 |
| I-2 Choix de la lithographie électronique et d'une résine négative (HSQ)..... | 94 |
| I-3 Procédé expérimental..... | 95 |
| I-4 Réalisation de réseaux denses de lignes de HSQ..... | 96 |
| I-5 Conclusion..... | 98 |
| II- Transfert des motifs par gravure plasma RIE..... | 98 |
| II-1 Introduction..... | 98 |
| II-2 Impact de la verticalité des flancs des ailettes..... | 98 |
| II-3 Principe de fonctionnement de la gravure plasma..... | 100 |
| II-3.1 Génération d'un plasma..... | 100 |
| II-3.2 Les mécanismes de la gravure plasma RIE..... | 102 |
| II-3.2-a La gravure chimique..... | 102 |
| II-3.2-b La gravure physique..... | 104 |
| II-4 Procédé expérimental..... | 104 |
| II-5 Les réactions chimiques principales mises en jeu lors d'une gravure fluorée..... | 105 |
| II-6 Résultats expérimentaux..... | 106 |
| II-6.1 Angle d'anisotropie..... | 106 |
| II-6.2 Effet de l'ajout de dioxygène..... | 107 |
| II-6.3 Effet de l'ajout de dioxygène et d'argon..... | 109 |
| II-6.4 Effet de l'ajout de CHF ₃ | 111 |
| II-6.5 Effet de l'ajout de CHF ₃ et de dioxygène..... | 112 |
| II-6.6 Effet de l'ajout d'azote..... | 113 |

| | |
|--|-----|
| II-6.7 Effet de l'ajout d'azote et d'argon..... | 114 |
| II-6.8 Effet de l'ajout de dioxygène et d'azote..... | 116 |
| II-6.9 Analyse de rugosité au Microscope à Force Atomique (AFM)..... | 118 |
| II-6.9-a Principe de fonctionnement de l'AFM..... | 118 |
| II-6.9-b Analyses AFM..... | 118 |
| II-6.10 Sélectivité de la gravure-Détection de fin d'attaque..... | 120 |
| II-6.11 Possibilité de réaliser un transistor Pi-Gate ou Omega-Gate..... | 121 |
| II-7 Conclusion..... | 122 |
| III- Conclusion..... | 123 |
| Bibliographie..... | 124 |

Chapitre 4: Formation de la matrice diélectrique: planarisation et densification d'oxyde fluable de type HSQ.....129

| | |
|--|-----|
| I- Définition de la matrice isolante de HSQ..... | 129 |
| I-1 Introduction..... | 129 |
| I-2 Procédé expérimental..... | 130 |
| I-3 Paramètres de dépôt de la HSQ..... | 131 |
| I-4 Caractérisation des dépôts de HSQ par microscopie électronique à balayage (MEB)..... | 132 |
| I-5 Caractérisation des dépôts de HSQ par microscopie à force atomique (AFM)..... | 133 |
| I-6 Conclusion..... | 134 |
| II- Modification des propriétés physico-chimiques de la matrice de HSQ..... | 134 |
| II-1 Introduction..... | 134 |
| II-2 Problème de sélectivité de gravure entre SiO ₂ /HSQ..... | 134 |
| II-3 FTIR..... | 135 |
| II-3.1 Principe de fonctionnement..... | 135 |
| II-3.2 Conditions expérimentales: transmission à l'angle de Brewster..... | 137 |
| II-4 Densification de la matrice isolante de HSQ..... | 138 |
| II-4.1 Etat de l'art..... | 138 |
| II-4.2 Expérimentations..... | 142 |
| II-4.3 Caractérisations FTIR des transformations chimiques de la HSQ..... | 143 |
| II-4.3-a Degré de densification..... | 143 |
| II-4.3-b Influence de la puissance du plasma sur la densification de la HSQ..... | 143 |
| II-4.3-c Influence de la durée du plasma sur la densification de la HSQ..... | 145 |
| II-4.3-d Influence de la température de recuit sur la densification de la HSQ..... | 147 |
| II-4.4 Diminution d'épaisseur de la HSQ lors des traitements thermiques..... | 148 |
| II-4.5 Gravure humide de la HSQ par le HF 1%..... | 149 |
| II-5 Conclusion..... | 152 |
| III- Conclusion..... | 152 |
| Bibliographie..... | 154 |

| | |
|--|------------|
| Chapitre 5: Architecture de grille Damascène: technologie et intégration..... | 157 |
| I- Définition de l'ouverture Damascène par lithographie électronique..... | 157 |
| I-1 Introduction..... | 158 |
| I-2 Expérimentations..... | 158 |
| I-3 Résultats expérimentaux..... | 159 |
| I-4 Conclusion..... | 159 |
| II- Gravure RIE de la cavité Damascène..... | 161 |
| II.1 Introduction..... | 161 |
| II.2 Expérimentations..... | 161 |
| II.3 Résultats..... | 162 |
| II-3.1 Chimie CHF ₃ /Ar..... | 162 |
| II-3.2 Chimie CHF ₃ /CF ₄ | 166 |
| II-3.3 Chimie CHF ₃ /CF ₄ /Ar..... | 168 |
| II-4 Conclusion..... | 169 |
| III- Croissance thermique de l'oxyde de grille..... | 169 |
| III-1 Introduction..... | 169 |
| III-2 Mécanisme de croissance de l'oxyde..... | 170 |
| III-3 Expérimentations..... | 171 |
| III-4 Résultats..... | 172 |
| III-5 Conclusion..... | 175 |
| IV- Dépôt du matériau de grille par pulvérisation cathodique..... | 176 |
| IV-1 Introduction..... | 176 |
| IV-2 Principe de fonctionnement de la pulvérisation cathodique..... | 176 |
| IV-3 Expérimentations..... | 178 |
| IV-4 Résultats..... | 178 |
| IV-5 Conclusion..... | 181 |
| V- Planarisation du matériau de grille par CMP..... | 181 |
| V-1 Introduction..... | 181 |
| V-2 Principe de fonctionnement de la CMP..... | 182 |
| V-3 Rôle des oxydants pour la planarisation du tungstène..... | 183 |
| V-4 Expérimentations..... | 184 |
| V-5 Résultats..... | 186 |
| V-6 Conclusion..... | 189 |
| VI- Conclusion..... | 190 |
| Bibliographie..... | 191 |

| | |
|---|------------|
| Chapitre 6: Réalisation et caractérisations électriques de contacts Schottky siliciurés..... | 193 |
| I- Résistances parasites à la source et au drain..... | 193 |
| II- Procédé de réalisation de siliciure de platine en 3D..... | 196 |
| III- Caractérisations électriques de siliciures de platine..... | 198 |
| IV- Conclusion..... | 201 |
| Bibliographie..... | 203 |
| | |
| Conclusion générale et perspectives..... | 205 |
| | |
| Annexe1..... | 213 |
| | |
| Annexe2..... | 215 |
| | |
| Résumé..... | 217 |

INTRODUCTION

Depuis plus de 30 ans, l'industrie des semiconducteurs s'est toujours distinguée par sa rapidité à produire de nouvelles générations de composants toujours plus performants. Cette évolution est décrite depuis 1970 par la loi de Moore [1]. Celle-ci prévoit un doublement du nombre de composants par circuit, tous les dix huit mois. Néanmoins, l'augmentation de la densité d'intégration et la rapidité des circuits sans cesse croissante a aboutit à la réalisation de dispositifs sub-microniques et à l'apparition de limites physiques intrinsèques. C'est pourquoi, les grands laboratoires de recherche du monde entier se sont regroupés au sein de l'International Technology Roadmap for Semiconductors (ITRS) [2] afin de mieux identifier les principaux challenges technologiques.

Ainsi, pour des dimensions sub-microniques, les dispositifs conventionnels sur substrat massif (ou "Bulk") souffrent de dégradations (vitesse de commutation, consommation en puissance, effets canaux courts...). Différentes solutions ont été proposées afin de lever les verrous technologiques jusqu'au noeud 45 nm: l'utilisation de substrats SOI (Silicon On Insulator), de silicium contraint (SiGe)... Néanmoins, pour les générations suivantes (sub-32 nm), ces technologies ne permettent plus d'atteindre les niveaux de courants requis. Une des solutions consiste à réaliser des architectures de transistors innovantes de type multi-grille. En effet, de tels dispositifs multiplient les canaux de conduction. Parmi les nombreux dispositifs proposés, l'architecture FinFET semble être la plus prometteuse en terme de contrôle des effets canaux courts et de performance en courant/transconductance. Une telle architecture tire avantage de la configuration filaire (en ailette) du canal et du contrôle latéral du transport par l'effet de champ exercé par la grille. Cependant les procédés de fabrication actuels restent encore trop complexes pour pouvoir intégrer une filière industrielle (épaisseur d'ailette, résidus de gravure, source drain auto-alignés...). L'objectif de ces travaux consiste donc à lever un certain nombre de ces verrous technologiques pour la réalisation de transistor multi-grille de type FinFET.

La première partie retrace l'évolution des transistors MOSFET. Le principe de fonctionnement du transistor MOS simple-grille sur substrat massif est tout d'abord rappelé. Puis, les différents phénomènes parasites liés à la miniaturisation des composants sont présentés. Enfin, la dernière partie décrit les innovations technologiques récentes proposées par l'industrie de la micro-électronique: du substrat SOI (Silicon On Insulator) jusqu'aux transistors MOSFET multi-grille.

Le second volet de l'étude présente un aperçu des différentes architectures multi-grille alternatives: les structures planaires, les architectures double-grille à conduction verticale et enfin, les transistors à conduction latérale de type FinFET. Un procédé de fabrication innovant est ensuite proposé. Il est basé sur la définition de réseaux denses d'ailettes par lithographie et gravure RIE, sur l'utilisation d'un procédé Damascène (lithographie-gravure RIE-CMP) pour la définition de la grille en tungstène, ainsi que sur la réalisation des électrodes de source-drain par siliciuration. L'ensemble des étapes technologiques critiques de ce procédé sont présentées et validées dans les chapitres suivants.

La troisième partie est ainsi consacrée à la réalisation de réseaux denses d'ailettes de silicium. Une première étude est tout d'abord menée sur l'ingénierie de dose et de développement afin de définir par lithographie électronique haute précision, des lignes de résine extrêmement fines et denses. La deuxième section étudie le transfert de ces motifs sur le substrat SOI par gravure plasma RIE. Plusieurs chimies de plasma sont comparées dans le but d'optimiser l'anisotropie de gravure et la sélectivité entre le silicium et le SiO_2 .

Le quatrième chapitre propose une étude matériau du diélectrique Hydrogène silsesquioxane (HSQ). Le premier volet de l'étude examine la capacité de cet oxyde fluable à isoler les ailettes tout en conservant une bonne planéité de la structure. La deuxième partie investigate la possibilité de densifier cette matrice isolante. L'objectif consiste à augmenter sa résistance vis à vis des attaques chimiques. Deux procédés de densification distincts sont testés: des plasmas oxygénés, et des recuits haute température sous ambiance azotée. Une analyse FTIR (Spectroscopie Infra Rouge à Transformée de Fourier) permet de caractériser les modifications de la structure chimique de la HSQ avant et après traitement de densification.

La cinquième partie s'intéresse à l'architecture de grille Damascène. Elle se divise en trois grandes sections. La première examine la définition de l'ouverture Damascène par gravure plasma RIE. Le principal challenge consiste à graver la matrice de HSQ de manière anisotropique et extrêmement sélective, vis-à-vis du silicium, afin de ne pas dégrader les ailettes. La seconde détaille le procédé de croissance par voie sèche de l'oxyde de grille ultra-fin, dans le plan (110). Enfin, la dernière étude présente l'étape de formation de l'électrode de grille. L'innovation majeure réside dans l'utilisation d'un procédé de planarisation mécano-chimique (CMP). Cette technique couramment utilisée dans l'industrie permet de s'affranchir des problèmes de résidus de métal générés lors de la gravure RIE.

Enfin, le dernier chapitre présente l'élaboration et la caractérisation de siliciures de platine pour la réalisation de contacts Schottky à très faible hauteur de barrière (pour un les p-MOS $\Phi_{bp} < 100 \text{ meV}$ i.e. $\rho_S < 10^{-8} \Omega \cdot \text{cm}^2$ en utilisant IrSi ou PtSi). L'objectif de l'étude est de diminuer les résistances source/drain d'accès au canal [2]. Des cellules tests composées de 20 ailettes sont élaborées avec, au milieu, des parties non siliciurées de différentes largeurs afin de simuler le canal. Une évaporation tiltée permet de recouvrir intégralement les ailettes de manière quasi-uniforme. Enfin, des contacts en aluminium sont formés par lift-off, afin de pouvoir caractériser électriquement les siliciures et d'extraire la valeur de la résistivité du siliciure de platine.

BIBLIOGRAPHIE

[1] G. Moore, "*Progress in digital integrated electronics*", International Electron Device Meeting (IEDM) Techn. Digest, pp. 11-13, 1975.

[2] "*International Technological Roadmap of Semiconductors 2005*", Section: Front End Process, ITRS 2005.

Chapitre 1:

Du transistor MOSFET aux architectures multi-grille.

Ce chapitre présente l'évolution des architectures du transistor MOS engendrée par la course incessante à la réduction des dimensions. Après avoir rapidement rappelé le fonctionnement du transistor MOSFET classique sur substrat massif, nous définirons les difficultés engendrées par cette miniaturisation. L'utilisation de substrat silicium sur isolant (SOI) totalement déplété réduit considérablement les problèmes liés aux effets canaux courts, mais ne permet pas d'obtenir des courants de conduction suffisants pour des longueurs de grille inférieures à 50 nm. De plus pour des dispositifs sur SOI, les effets canaux courts deviennent extrêmement difficile à contrôler pour les noeuds technologiques sub-20 nm.

L'apparition de nouvelles architectures dites «multi-grille» représente un véritable challenge du point de vue technologique, pour la fabrication, mais également pour la compatibilité avec la filière CMOS classique. Celles-ci sont particulièrement bien adaptées pour la préservation de l'intégrité électrostatique. De plus, ces dispositifs bénéficient du phénomène «d'inversion volumique», leur permettant d'atteindre des courants de conduction très élevés. I

I- Le transistor MOSFET.

Cette première partie s'intéresse à la structure classique du transistor MOS à effet de champ (MOSFET) sur substrat silicium massif. Nous décrirons ainsi les différents régimes de fonctionnement.

I-1 Présentation rapide du transistor MOSFET.

I-1.1 Structure de base.

Le transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) (Fig. 1.1) est constitué de:

- deux zones appelées «source» et «drain» (régions semi-conductrices de même type de dopage), reliées à leur électrode respective.

- une électrode de commande appelée «grille» qui surplombe l'oxyde de grille ultra-fin la zone de canal MOSFET.

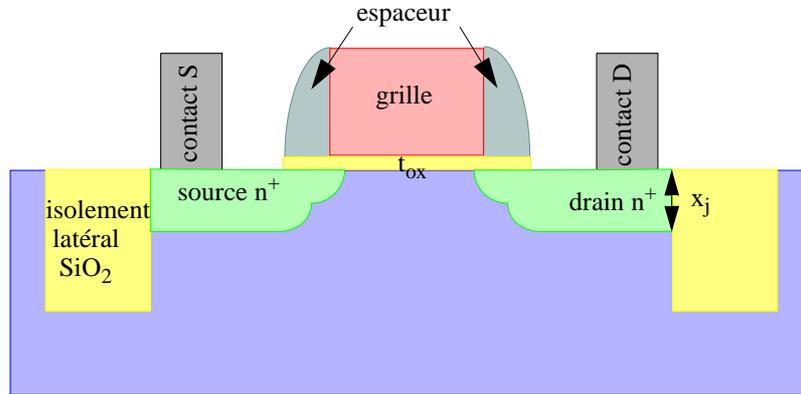


Fig. 1.1: Transistor MOS classique.

Le courant dans les transistor MOS est un courant unipolaire de porteurs minoritaires:

- les électrons dans le cas du transistor nMOS (source et drain sont de type n).
- les trous dans le cas du transistor pMOS (source et drain sont de type p).

I-1.2 Principe de fonctionnement.

Le principe de fonctionnement d'un transistor MOS repose sur «l'effet de champ» qui consiste à moduler par voie électrostatique une densité de charges mobiles dans un semi-conducteur. Cette modulation est provoquée par un champ électrique perpendiculaire à la direction de mouvement de ces charges, et prend effet entre l'électrode de grille et le substrat de silicium (canal).

La grille permet de contrôler le courant entre les régions de source et de drain. Le contrôle se fait par l'intermédiaire du potentiel appliqué entre la grille et la source. Ce système constitue une capacité MOS (Métal-Oxyde-Silicium) (cf. I-2). On parle de transistor à grille isolée.

En régime linéaire, on peut assimiler le canal à une résistance dont la valeur varie entre R_{on} (valeur minimale) lorsque le transistor est saturé et R_{off} (valeur maximale) lorsque le transistor est bloqué.

La technologie MOS est essentiellement utilisée dans les applications logiques (composants numériques) consommant très peu de courant. Elle permet ainsi d'obtenir un très grand niveau

d'intégration (mémoires, microprocesseurs, circuits logiques divers...). Les transistors MOS fonctionnent alors en commutation: ils s'apparentent à des interrupteurs commandés en tension.

I-2 La capacité MOS (métal-oxyde-silicium).

Cette section présente tout d'abord le comportement électrique de la capacité MOS nécessaire à la compréhension du fonctionnement électrique du transistor MOS. Selon la polarisation de l'électrode de grille, la capacité MOS fonctionne sous différents régimes qui seront détaillés dans cette partie.

I-2.1 Structure.

La capacité MOS est constituée d'un empilement métal-oxyde-silicium (Fig. 1.2). Elle constitue la partie centrale du transistor MOSFET:

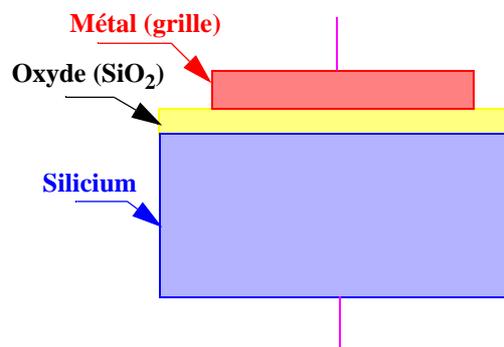


Fig. 1.2: Structure MOS.

I-2.2 Les régimes de fonctionnement.

I-2.2-a Régime d'accumulation.

On définit différents régimes selon la polarisation des électrodes. Prenons l'exemple de la capacité MOS sur un substrat de type p. Lorsqu'une tension négative est appliquée sur l'électrode de grille métallique (cf. Fig. 1.3), la structure se comporte comme une capacité (métal-silicium) séparée par un diélectrique d'isolation (oxyde de grille). Il y a alors apparition:

- d'une charge surfacique négative à la surface du métal (à l'interface avec l'oxyde).
- d'une charge de porteurs majoritaires, essentiellement surfacique, positive dans le silicium (accumulation).

Ces deux charges sont égales et de signe opposé. La capacité de la structure est alors égale à la capacité entre l'électrode de grille et la couche d'accumulation:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (\text{Eq. 1.1})$$

avec ϵ_{ox} la permittivité de l'oxyde et t_{ox} l'épaisseur de l'oxyde de grille.

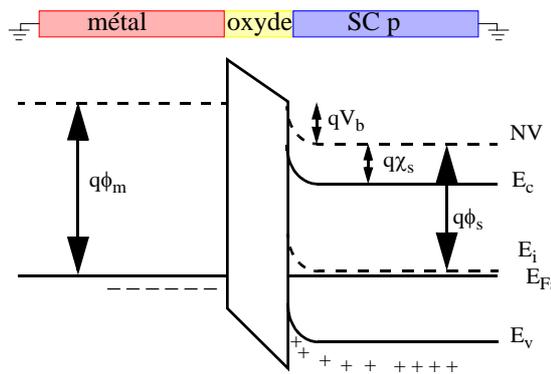


Fig. 1.3: Diagramme de bande d'énergie de la capacité MOS en régime d'accumulation ($\phi_m > \phi_s$).

I-2.2-b Régime de déplétion.

Si on applique une tension positive à la grille, les porteurs majoritaires (trous) se trouvant à la surface du silicium sont repoussés en profondeur du substrat (Fig. 1.4). L'application du potentiel à la grille donne naissance à une charge positive en surface du métal de grille, à l'interface avec l'oxyde de grille. De plus, le fait de «chasser» en profondeur les trous qui se trouvaient au voisinage de la surface engendre la formation d'une zone de déplétion de profondeur x_d . Les impuretés «acceptrices» ionisées (négatives) à l'intérieur du silicium sont immobiles, ce sont des charges fixes.

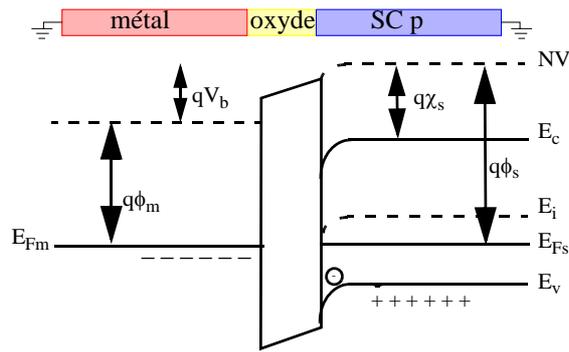


Fig. 1.4: Diagramme de bande d'énergie de la capacité MOS en régime de déplétion ($\phi_m < \phi_s$).

I-2.2-c Régime d'inversion.

Si l'on continue à augmenter la tension de grille, la concentration en trous à la surface va encore diminuer. Au contraire, la densité surfacique électronique $\{n(x=0)\}$ va croître (Fig. 1.5), jusqu'à atteindre une valeur égale à la concentration en trous $p_{po} = N_a$ dans le substrat. La couche d'inversion ainsi formée est conductrice.

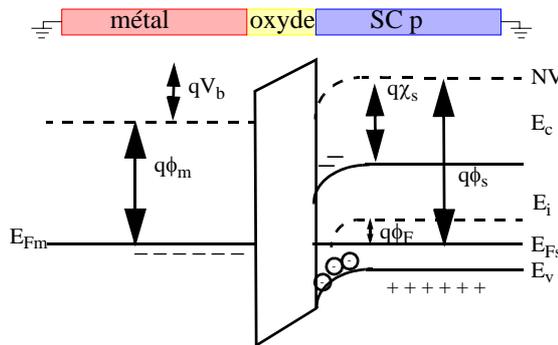


Fig. 1.5: Diagramme de bande d'énergie pour la capacité MOS en régime d'inversion ($\phi_m \ll \phi_s$).

I-3 Régime de fonctionnement d'un transistor nMOS à enrichissement sous polarisation.

La structure du transistor nMOS considéré est représentée sur la Fig. 1.1. Le transistor est constitué d'un substrat de type p et de deux zones source drain dopées n. En l'absence de toute polarisation, l'état électrique de la structure est conditionné par l'état de la capacité MOS qui est en régime de déplétion (Fig. 1.6). Il existe également une zone de déplétion au niveau des zones de source et de drain engendrées par la jonction pn. Une tension grille-source positive,

supérieure à la tension de seuil V_{th} de la capacité MOS, permet de polariser le transistor dans l'état passant. Une couche d'inversion de type n crée un canal conducteur qui relie la source au drain. Une polarisation (V_{DS}) positive du drain par rapport à la source induit la formation d'un courant de drain (I_D) dans le canal. En raison de la polarisation du drain, la capacité MOS est moins polarisée côté drain que côté source, et par suite, la couche d'inversion est plus importante côté source que côté drain. D'autre part, cette couche d'inversion varie également avec la tension drain-source, engendrant alors une variation non linéaire du courant de drain.

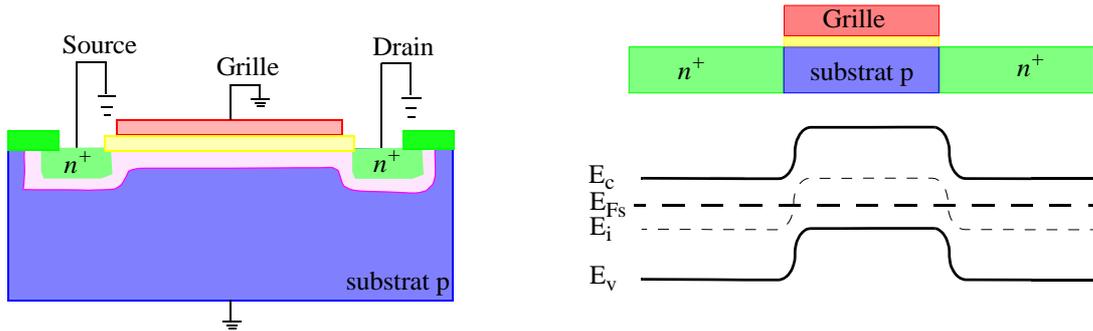


Fig. 1.6: Transistor nMOSFET non polarisé et diagramme énergétique à l'interface Si/SiO₂ à: $V_G=0$ et $V_{DS}=0$.

Pour $V_G > V_{th}$, il existe différents régimes de fonctionnement du transistor selon la valeur de la tension de drain:

- Le régime linéaire ou ohmique (Fig. 1.7):

Lorsque $V_{DS} \ll V_{dsat}$: Le courant de conduction varie linéairement avec V_{DS} .

- Le régime saturé (Fig. 1.8):

Lorsque $V_{DS} = V_{dsat}$, la profondeur de la couche d'inversion est plus importante au niveau de la source qu'au niveau du drain. Il apparaît un pincement du canal à partir de cette valeur de V_{dsat} , la densité de porteurs arrivant sur le drain tend vers une constante.

- Le régime de saturation forte (Fig. 1.9):

Pour $V_{DS} \gg V_{dsat}$, la saturation apparaît. La tension de grille n'est plus suffisamment positive pour induire la présence d'un canal d'inversion du côté du drain. Le point de pincement se décale vers la source. La présence d'un fort champ électrique entre la zone de pincement (où $V_{DS} = V_{dsat}$) et le drain (où $V_{DS} \gg V_{dsat}$) permet le passage des électrons entre ces deux zones. Si le transistor est à canal long, la variation relative $\Delta L/L$ de la longueur du canal est faible, la conductance du canal et le courant de drain restent constants. Pour un transistor à canal court, le raccourcissement du canal est significatif et sa conductance augmente. Il en résulte une augmentation du courant de drain au-delà du courant de saturation I_{dsat} dont la valeur est donnée

par:

$$I_d = \frac{I_{dsat}}{\left(1 - \frac{\Delta L}{L}\right)} \quad (\text{Eq. 1.2})$$

Ainsi, le courant de drain est fixé par le courant qui circule entre la source et la zone de pincement. Ce courant dépend de la chute de tension aux bornes du canal, c'est à dire $V_{dsat} - V_{source}$. Le courant de drain reste alors presque constant et égal à I_{dsat} (Fig. 1.7.b).

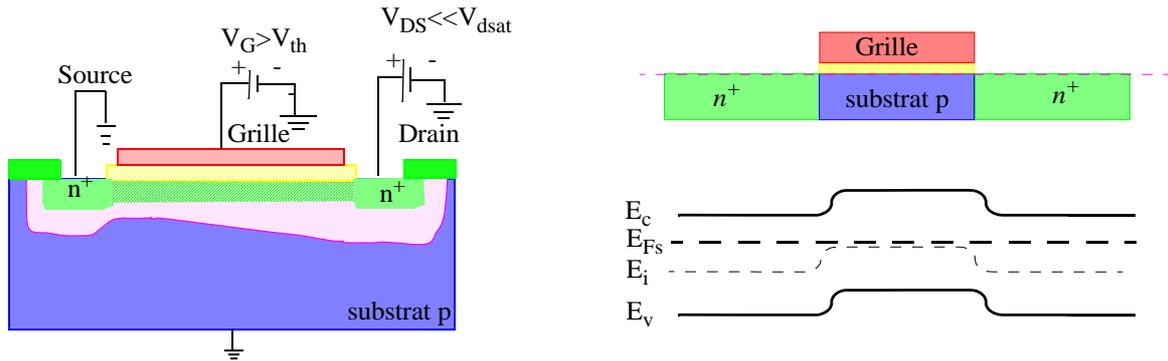


Fig. 1.7: Transistor nMOSFET et diagramme énergétique à l'interface Si/SiO₂, à: $V_G > V_{th}$ et $V_{DS} \ll V_{dsat}$.

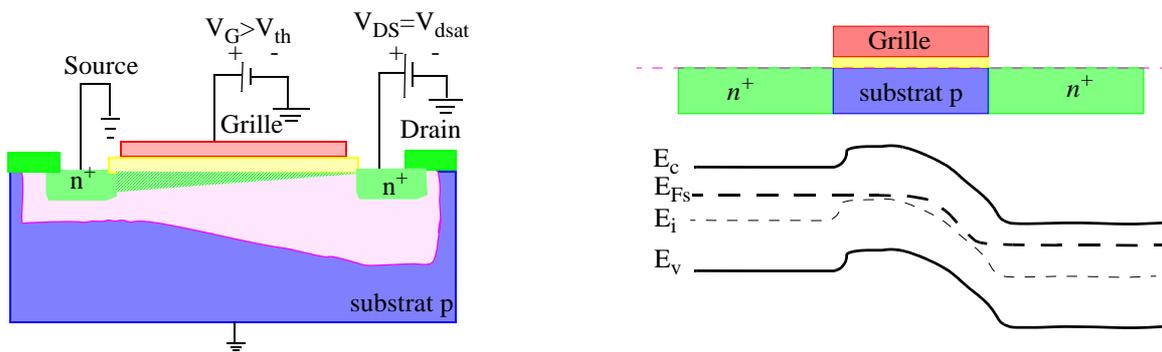


Fig. 1.8: Transistor nMOSFET et diagramme énergétique à l'interface Si/SiO₂, à: $V_G > V_{th}$ et $V_{DS} = V_{dsat}$.

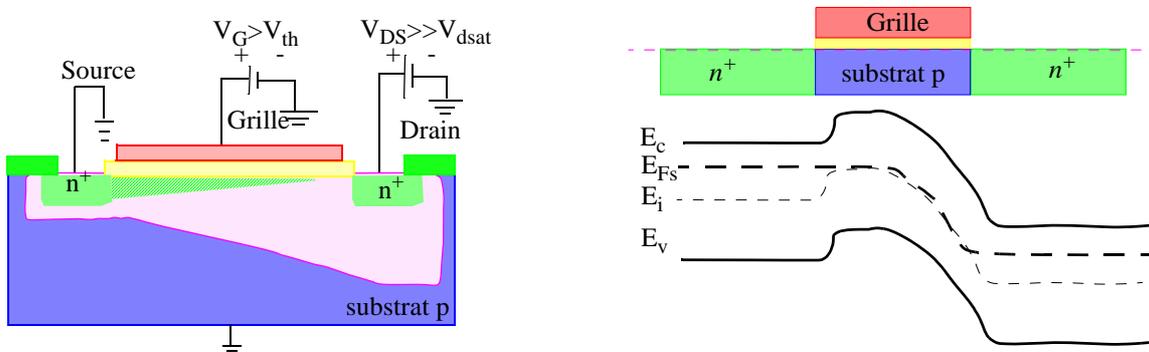


Fig. 1.9: Transistor nMOSFET et diagramme énergétique à l'interface Si/SiO₂, à: $V_G > V_{th}$ et $V_{DS} \gg V_{dsat}$.

I-4 La figure de mérite I_{on}/I_{off} .

Pour évaluer et comparer les performances électriques des dispositifs à l'état bloqué et passant, la figure de mérite $I_{on} = f(I_{off})$ est souvent utilisée (Fig. 1.10). I_{on} correspond au courant débité par le dispositif lorsque $V_G = V_{DS} = V_{dd}$ (V_{dd} est appelée tension d'alimentation et dépend de l'épaisseur de l'oxyde de grille), et I_{off} au courant de fuite à l'état bloqué (I_{ds} à $V_{gs} = 0V$). L'objectif est de maximiser le ratio I_{on}/I_{off} afin de limiter la consommation et la puissance dissipée, tout en améliorant les vitesses de commutation.

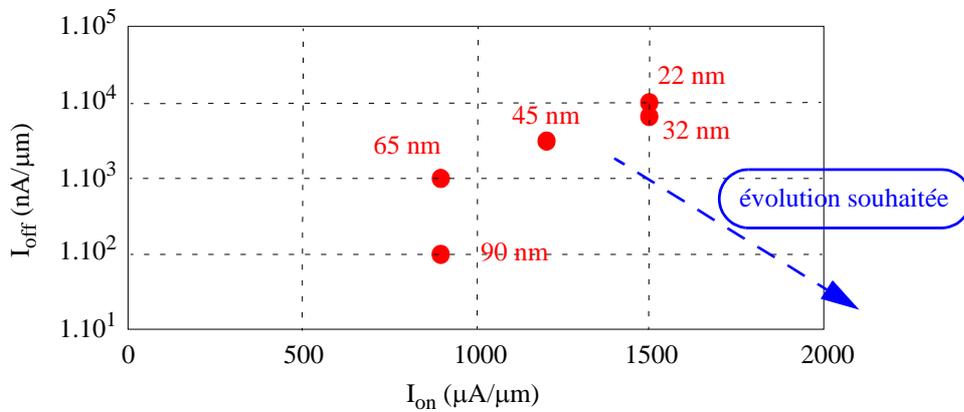


Fig. 1.10: Exemple de figure de mérite I_{on}/I_{off} pour une diminution de la longueur de grille pour les transistors HP. Les valeurs ont été obtenues à l'aide du modèle MASTAR [1-2].

La Fig. 1.10 montre clairement que, pour les transistors «hautes performances (HP)», lorsque la longueur de grille diminue, le courant I_{off} augmente simultanément avec I_{on} . Cette évolution est générée par plusieurs effets parasites qui seront présentés dans le paragraphe suivant. Ainsi, une optimisation simultanée des deux paramètres électriques demande une forte complexification du procédé de fabrication. Il devient alors nécessaire de focaliser les efforts sur un des deux paramètres, selon le type d'application souhaitée. On peut comparer les MOSFETs HP, qui génèrent des niveaux de courants élevés, en relâchant la contrainte sur I_{off} et la fuite de la grille (applications logiques), en particulier avec les MOSFETs Low Stand by Power (LSTP), qui visent à obtenir des courants de fuite très faibles afin de limiter la consommation statique du transistor (téléphonie portable, technologies embarquées). Les spécifications visées par l'ITRS [2] pour chacune des deux catégories sont ainsi présentées dans la Table 1.1.

| Transistor HP | | | | | |
|------------------------------------|------------------------------|-------|------|------|------|
| | <i>Noeuds technologiques</i> | | | | |
| | 90 | 65 | 45 | 32 | 22 |
| <i>Année de mise en production</i> | 2004 | 2007 | 2010 | 2013 | 2016 |
| $I_{on} (\mu A/\mu m)$ | 110 | 1510 | 1900 | 2050 | 2400 |
| $I_{off} (nA/\mu m)$ | 50 | 70 | 100 | 300 | 500 |
| $L_g (nm)$ | 37 | 25 | 18 | 13 | |
| $T_{ox} (nm)$ | 1,2 | 0,9 | 0,7 | 0,6 | 0,5 |
| $V_{dd} (V)$ | 1,2 | 1,1 | 1 | 0,9 | 0,8 |
| Transistor LSTP | | | | | |
| | <i>Noeuds technologiques</i> | | | | |
| | 90 | 65 | 45 | 32 | 22 |
| <i>Année de mise en production</i> | 2004 | 2007 | 2010 | 2013 | 2016 |
| $I_{on} (\mu A/\mu m)$ | 440 | 510 | 760 | 880 | 860 |
| $I_{off} (nA/\mu m)$ | 0,01 | 0,025 | 0,06 | 0,08 | 0,1 |
| $L_g (nm)$ | 65 | 37 | 25 | 18 | 13 |
| $T_{ox} (nm)$ | 2,1 | 1,6 | 1,3 | 1,1 | 1 |
| $V_{dd} (V)$ | 2,2 | 1,1 | 1 | 0,9 | 0,8 |

Table 1.1: Données de l'ITRS pour les deux types de familles de transistors HP et LSTP [2].

II- Effets parasites limitant la miniaturisation des architectures MOS classiques.

II-1 Introduction.

En 1975, Gordon E. Moore [3] a prédit dans sa «loi de Moore», une croissance exponentielle des performances des semi-conducteurs. Celle-ci vise à doubler le nombre de transistors par puce tous les 18 mois (taux de croissance annuel de 58%). Plus précisément, une diminution d'un facteur α des dimensions d'un transistor de nouvelle génération (longueur de grille, épaisseur d'oxyde, profondeur de jonction source/drain) doit s'accompagner d'une réduction

du même facteur α de la tension d'alimentation afin de conserver la même distribution du champ électrique interne au transistor.

Néanmoins, à travers la Fig. 1.10, on peut clairement percevoir l'émergence de phénomènes parasites provoqués par la diminution de la longueur de grille. La miniaturisation d'autres grandeurs physiques telles que l'oxyde de grille, la profondeur des jonctions etc...provoquent également des effets parasites qui sont détaillés dans les paragraphes suivants.

II-2 Effets de la modulation de la longueur du canal (effet Early).

La longueur du canal L est une des dimensions les plus critiques dans la technologie CMOS. Lorsque la tension drain-source atteint la tension de saturation, le pincement s'effectue au niveau du contact du drain. Pour des tensions supérieures à la tension V_{dsat} , le point de pincement se déplace vers la source d'une distance ΔL (Fig. 1.11). Le courant de drain augmente et est donné par:

$$I_d = I_{dsat} \left(\frac{L}{L - \Delta L} \right) \quad (\text{Eq. 1.3})$$

La longueur (ΔL) de la zone de déplétion d'un élément de semi-conducteur soumis à une différence de potentiel $\Delta V = V_d - V_{dsat}$ est définie en intégrant l'équation de Poisson:

$$\frac{d^2 V}{du^2} = \frac{\rho}{\epsilon_s} = \frac{eN_a}{\epsilon_s} \quad (\text{Eq. 1.4})$$

avec ρ la charge d'espace, ϵ_s la constante diélectrique du semiconducteur, e la charge de l'électron, et N_a la densité d'accepteurs.

En intégrant l'équation (I.4), et en utilisant la condition limite: $E = 0$ en $u = 0$, puis sur la longueur ΔL , on obtient:

$$\Delta L = \sqrt{\frac{2\epsilon_s}{eN_a} (V_d - V_{dsat})} \quad (\text{Eq. 1.5})$$

Pour des transistors à canaux courts, ΔL est proche de la longueur de grille L . Ceci entraîne une augmentation du courant de drain en régime de saturation.

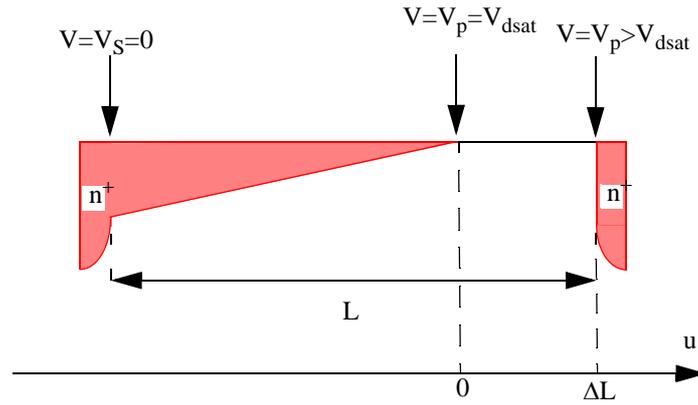


Fig. 1.11: Déplacement du point de pincement du canal.

II-3 Effets de canaux courts sur la tension de seuil.

La tension de seuil d'un transistor vaut:

$$V_T = \phi_{ms} + 2\phi_{Fi} - \frac{Q_{dep}}{C_{ox}} \quad (\text{Eq. 1.6})$$

où ϕ_{ms} est la différence de travaux entre les deux matériaux, ϕ_{Fi} est le potentiel de surface ($e\phi_{Fi} = E_F - E_i$) avec respectivement E_F et E_i les niveaux de Fermi de la structure et le niveau de Fermi du silicium intrinsèque, C_{ox} la capacité de l'oxyde par unité de surface (cf. I-2) et Q_{dep} la charge de déplétion au seuil du régime de forte inversion. La largeur de la zone de déplétion atteint une valeur de saturation W_s . Ces quantités sont données par:

$$Q_{dep} = -\sqrt{4eN_a\epsilon_S\Phi_{Fi}} \quad (\text{Eq. 1.7})$$

et

$$W_s = \sqrt{\frac{4\epsilon_S\Phi_{Fi}}{eN_a}} \quad (\text{Eq. 1.8})$$

Pour des transistors à canaux courts, la zone de distribution de la charge de déplétion Q'_{dep} du canal peut être assimilée au trapèze ABCD (Fig. 1.12). Dans son modèle, Yau [4] sépare cette charge Q_{dep} en deux composantes:

- la charge de déplétion associée aux jonctions source/substrat et drain/substrat.
- la charge de déplétion issue de la capacité MOS grille canal.

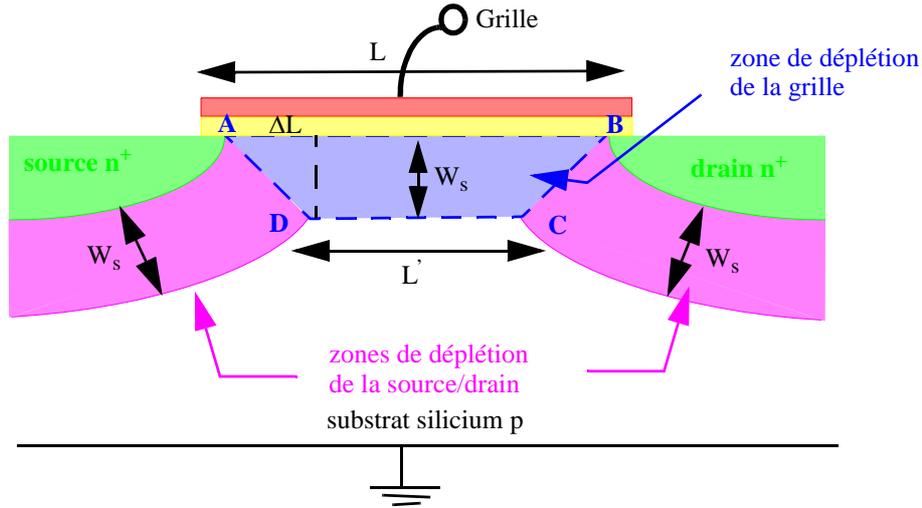


Fig. 1.12: Influence des zones de déplétion engendrées par la grille, la source et le drain [4].

Pour les transistors à canaux courts, ces deux composantes se recouvrent, et la surface S' de la zone de charge de déplétion est donnée par:

$$S' = \frac{W_S}{2} \times (L + L') \quad (\text{Eq. 1.9})$$

alors que pour un canal long:

$$S = W_S \cdot L \quad (\text{Eq. 1.10})$$

Yau définit un facteur de correction longitudinal K_L :

$$K_L = \frac{Q'_{dep}}{Q_{dep}} = \frac{L + L'}{L} = 1 - \frac{\Delta L}{L} \quad (\text{Eq. 1.11})$$

La tension de seuil résultant de cette correction est donnée par:

$$V'_T = 2\phi_{Fi} - \frac{K_L Q_{dep}}{C_{ox}} \quad (\text{Eq. 1.12})$$

La variation de la tension de seuil $\Delta V_T = V'_T - V_T$ s'écrit alors:

$$\Delta V_T = \frac{Q_{dep}}{C_{ox}} (1 - K_L) \quad \text{Eq. (I.13)}$$

L'expression $1 - K_L$ est négative. En d'autres termes, cela signifie que les effets de bords longitudinaux, engendrés par la source et le drain, entraînent une réduction de la tension de seuil du transistor, synonyme d'un accroissement des courants de fuite. Il y a donc une perte de contrôle du canal par la grille due à l'influence accrue des régions de déplétion aux jonctions source et drain.

II-4 L'effet DIBL (Drain Induced Lowering barrier).

L'effet DIBL [5-6] est attribué à l'influence électrostatique du potentiel de drain sur la hauteur de barrière de la jonction source/substrat en régime de faible inversion (sous le seuil). Pour un transistor à canal long fonctionnant en faible inversion, la grille est entièrement responsable de la désertion du canal, et le potentiel de surface dans le canal est constant. Le courant provient de la diffusion des porteurs minoritaires.

A l'inverse, pour des dispositifs à canaux courts, une partie de la déplétion est accomplie par la source et le drain. Lorsque la tension de drain augmente, la zone de déplétion s'étend vers la source (Fig. 1.11). La tension de grille requise pour l'injection des porteurs de la source au drain est plus faible. Cela conduit à un abaissement de la barrière de potentiel à la jonction source-canal (Fig. 1.13).

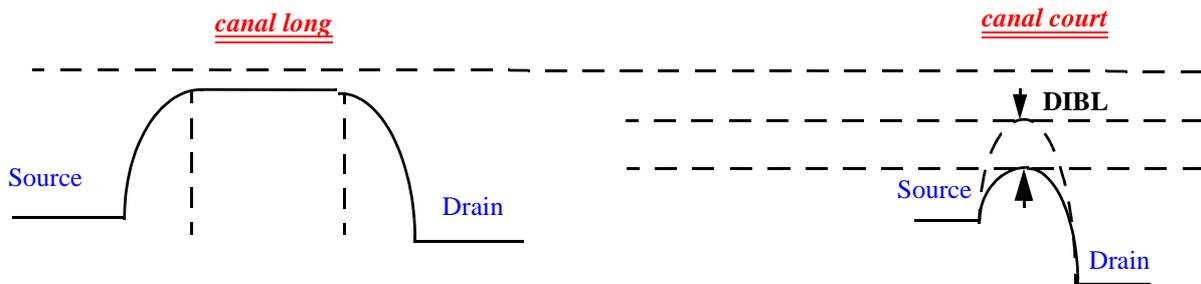


Fig. 1.13: Abaissement de la barrière de potentiel pour la bande de conduction par effet DIBL.

Ce phénomène est encore plus important pour les tensions de drain élevées et pour les longueurs de canal les plus courtes.

On mesure généralement l'effet DIBL par le décalage de la courbe de transfert en régime sous le seuil (ΔV_{th}) divisé par le ΔV_{DS} entre les deux courbes résultant de deux tensions de drain différentes (Eq. 1.14). Cet effet est illustré sur la Fig. 1.14:

$$DIBL = \frac{\Delta V_{th}}{\Delta V_{DS}} \quad (\text{mV/V}) \quad (\text{Eq. 1.14})$$

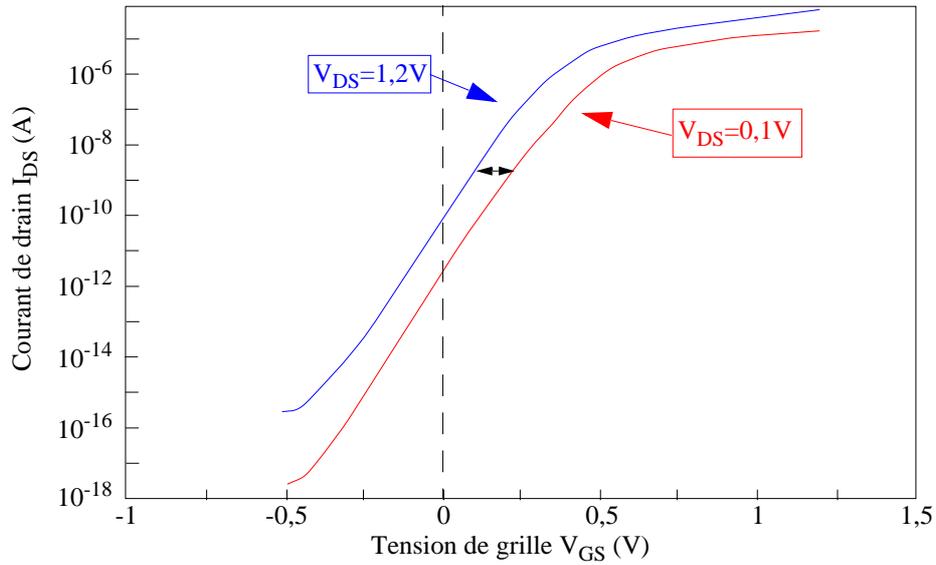


Fig. 1.14: Caractéristiques $I_{DS}(V_{GS})$ d'un transistor nMOS (technologie SOI $0,13 \mu\text{m}$), pour des tensions de drain différentes: $V_{DS}=1,2\text{V}$ (courbe bleue) et $V_{DS}=0,1\text{V}$ (courbe rouge) montrant l'effet DIBL [6].

II-5 Perçage (Punch-through).

Le phénomène de perçage (punch through) est observé en régime de faible inversion, lorsque les surfaces de déplétion du drain et de la source se recouvrent. Cela entraîne une augmentation du courant de drain, générée par le passage en profondeur des porteurs de la source vers le drain (Fig. 1.15). Les porteurs profitent ainsi de la baisse de la barrière de potentiel de la source, et de la perte de contrôle de la grille du fait de son éloignement.

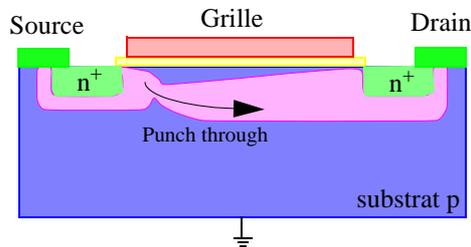


Fig. 1.15: Recouvrement des zones de déplétion dans le substrat générant le punch-through.

II-6 Injection de porteurs chauds.

Le vieillissement par porteurs chauds des transistors MOS est intrinsèquement lié au fort champ électrique, qui se manifeste en régime de saturation, près de la jonction canal-drain, polarisée en inverse [7]. Ce champ électrique est d'autant plus important que la longueur du canal est faible. Les électrons ou les trous du canal de conduction deviennent fortement énergétiques. Pour un champ électrique important, la collision entre certains électrons de la bande de conduction et le réseau cristallin engendre la cassure d'une liaison de valence. Ce phénomène, répété plusieurs fois, provoque un effet d'avalanche (1). Cette ionisation par impact dégrade fortement le fonctionnement du transistor. Voici les différents phénomènes possibles (Fig. 1.16):

(2): Les porteurs peuvent générer un courant de grille s'ils arrivent à traverser la barrière d'énergie à l'interface Si-SiO₂.

(3): Les porteurs à haute énergie peuvent également être injectés dans l'oxyde de grille et dans les espaceurs où il se crée des défauts à l'interface ou dans l'oxyde. Cette dégradation de l'oxyde de grille est généralement à l'origine d'une réduction de la transconductance et du courant de drain du transistor ainsi que d'un décalage de tension de seuil, effets globalement très nuisibles à la fiabilité des transistors.

(4): L'électrode de substrat attire les porteurs majoritaires (trous pour n-MOS, et électrons pour p-MOS) provoquant ainsi un courant de substrat.

(5): Enfin, pour le n-MOS, le déplacement de trous vers la source engendre l'abaissement de la barrière à la jonction source-canal et facilite alors le passage d'électrons de la source vers le canal.

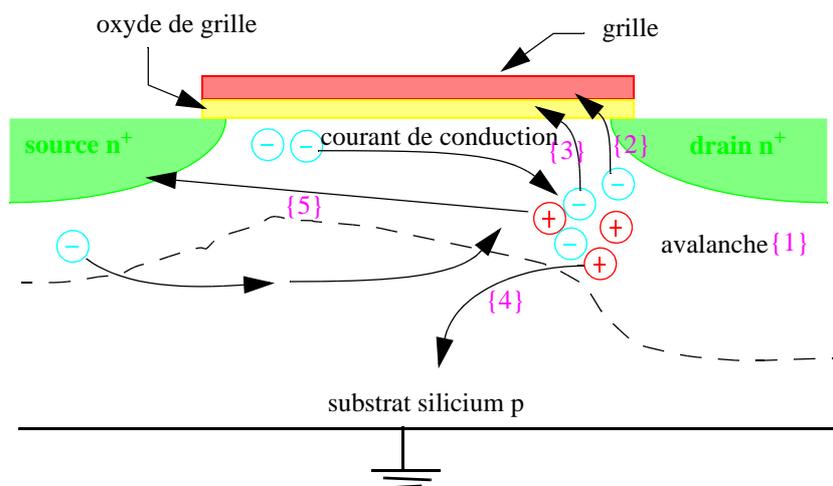


Fig. 1.16: Illustration des différents effets parasites générés par les porteurs chauds: phénomène d'avalanche {1}, courant de grille {2}, dégradation de l'oxyde {3}, courant de substrat {4}, abaissement de la barrière à la jonction source-canal {5}.

II-7 Effet tunnel dans les oxydes minces.

Les électrons peuvent franchir une barrière de potentiel de deux manières différentes [8]:

- par émission thermoélectronique: processus de saut thermiquement activé.
- par effet tunnel: passage à travers la barrière étroite.

C'est la nature ondulatoire de l'électron qui permet à ce dernier de traverser la barrière Si-SiO₂. Ce phénomène est observé avec une probabilité que l'on appelle coefficient de transmission T. Suivant la forme de la barrière, le coefficient de transmission induit deux types de courant tunnel (Fig. 1.17):

- le courant tunnel direct pour une barrière trapézoïdale.
- le courant tunnel Fowler-Nordheim pour une barrière triangulaire.

Le type de barrière, et par conséquent le type de courant obtenu, dépend non seulement du niveau de polarisation appliqué à la grille mais aussi de l'épaisseur d'oxyde (t_{ox}).

Quelle que soit l'épaisseur de l'oxyde, si la tension de polarisation est suffisamment élevée, la barrière vue par la particule sera de forme triangulaire, et l'effet tunnel de type Fowler-Nordheim. L'abaissement de la barrière provoqué par la polarisation extérieure favorise le passage des porteurs par effet tunnel Fowler-Nordheim et conduit à une diminution de la longueur effective de la barrière.

Dans les dispositifs à canaux courts, l'épaisseur d'oxyde devient très mince. Ainsi, pour le noeud technologique 65 nm, l'épaisseur équivalente d'oxyde (EOT) est inférieure à 0,9 nm [9]. Dans ce cas, les porteurs peuvent franchir la barrière de potentiel sans réduction de la longueur effective. Le passage se fait alors par effet tunnel direct. La Fig. 1.18 présente les travaux de Cao *et al.* [10] qui décrivent l'évolution des courant de fuite par effet tunnel en fonction de l'épaisseur d'oxyde. Au fur et à mesure que l'épaisseur du diélectrique diminue, les résultats expérimentaux, ainsi que les simulations, montrent une nette augmentation de la densité de courant de fuite (plus de 4 décades à 1,2 V).

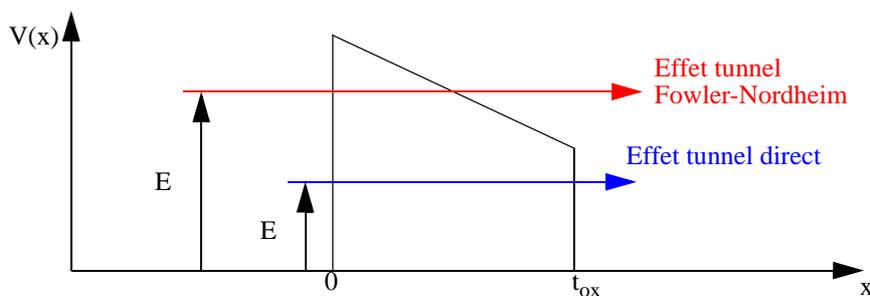


Fig. 1.17: Barrière vue par les électrons lorsqu'ils traversent un milieu isolant.

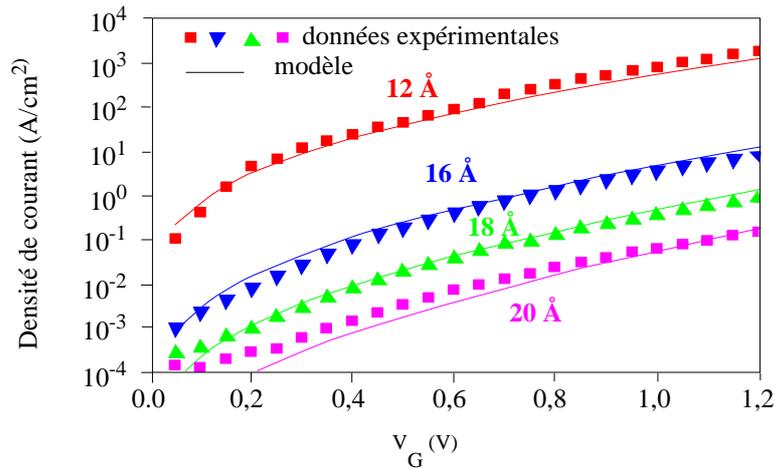


Fig. 1.18: Evolution de la densité de courant de fuite en fonction de la tension de grille pour différentes épaisseurs d'oxyde (20 Å, 18 Å, 16 Å, 12 Å), pour un transistor nMOS (trait plein: modèle, carré et triangle: données expérimentales) [10].

III- Solutions apportées aux effets indésirables de la miniaturisation.

III-1 La technologie SOI.

III-1.1 Introduction.

La technologie silicium sur isolant («silicon on insulator»: SOI) a été inventée dans les années 1960-1970 pour satisfaire à la demande de circuits intégrés, immunisés aux irradiations ionisantes. Le premier empilement de type silicium sur saphir (SOS) a été suivi par une multitude de structures SOI. Leur dénominateur commun est d'offrir, grâce à une couche diélectrique enterrée, une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif. En effet, dans un transistor à effet de champ MOSFET, seule la couche superficielle de silicium d'épaisseur 0,1 μm à 0,2 μm (soit moins de 1% de l'épaisseur totale de la plaquette de silicium), est vraiment utile pour le transport des électrons. Le reste de la plaquette est responsable d'effets parasites indésirables, que l'on peut éviter en faisant appel à une technologie de type SOI. Nous présentons dans cette partie les avantages liés à cette technologie.

III-1.2 Augmentation de la densité d'intégration.

La technologie SOI est particulièrement attractive car elle permet d'isoler les transistors entre eux. En effet, les structures d'isolation qui définissent les zones actives, entrent en contact avec l'oxyde enterré, réalisant ainsi une isolation parfaite. Cette amélioration est importante car elle autorise une augmentation significative de la densité d'intégration.

III-1.3 Suppression du thyristor parasite (latch-up).

Le déclenchement de la structure thyristor parasite est lié à la juxtaposition des transistors bipolaires parasites (npn et pnp) entre deux MOSFETS voisins et complémentaires (phénomène de «latch up» [11]). L'utilisation du SOI annihile cet effet parasite comme le montrent les Fig. 1.19.a et Fig. 1.19.b. Cette disparition élimine une source importante de courants de fuite et de destruction de composants, et évite la commutation spontanée de certains transistors.

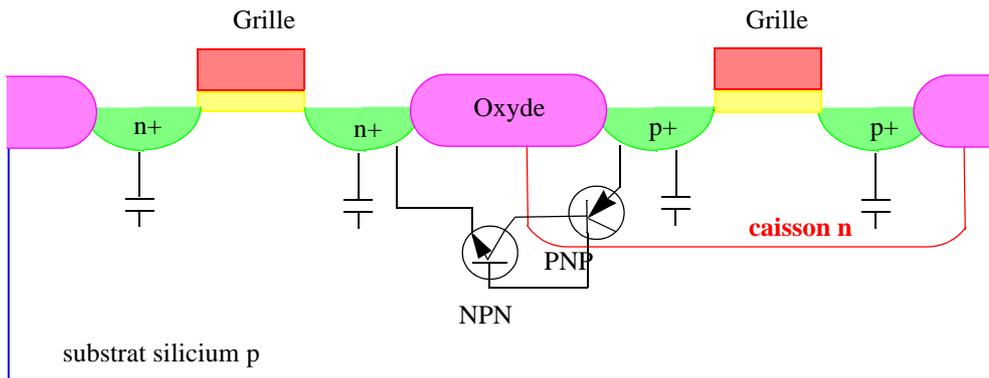


Fig. 1.19.a: Thyristor parasite pour deux transistors MOSFET voisins sur substrat massif.

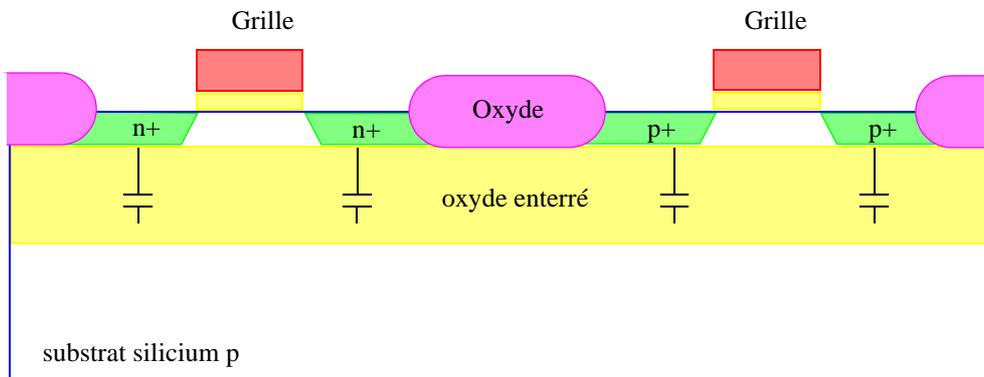


Fig. 1.19.b: Effets de la couche isolante SiO_2 du substrat SOI sur les transistors parasites et les capacités parasites des jonctions pn.

III-1.4 Réduction des courants de fuite et des capacités de jonction.

Pour les transistors à canaux courts, le contrôle de la zone de déplétion par la grille ne cesse de se dégrader (cf II-3). La technologie SOI sur substrat totalement déplété, permet de supprimer la composante planaire des jonctions parasites source/substrat et drain/substrat. Celles-ci sont remplacées, à la source et au drain, par des capacités parasites faisant intervenir l'oxyde enterré:

$$C_j = \frac{\epsilon_{SiO_2}}{d} \quad (\text{Eq. 1.15})$$

avec: ϵ_{SiO_2} la permittivité du SiO_2 ($3,451 \cdot 10^{-13}$ F.cm⁻¹), et d l'épaisseur de la couche enterrée.

Une application numérique simple (pour $d = 400$ nm) montre que la diminution de capacité totale, par rapport à une technologie sur substrat massif («bulk»), est de l'ordre de 25 à 30%. Cela engendre nécessairement une augmentation de la vitesse de commutation du transistor et donc un gain en performance. Ceci est une expression simplifiée. En réalité, la capacité des jonctions source/substrat et drain/substrat, dépend fortement du potentiel de surface en dessous de l'oxyde enterré, ce qui entraîne un régime soit en inversion, en accumulation ou en déplétion du substrat. Dans ce dernier cas, les capacités de jonction correspondent à la mise en série de la capacité d'oxyde et de la capacité de déplétion. De plus, il faut souligner le fait que les capacités de jonction à haute fréquence, dû au temps de relaxation des porteurs minoritaires et majoritaires, correspondent même à la mise en série de l'oxyde enterré et la capacité équivalent du substrat de silicium. Dans ce dernier cas, les capacités de jonction sont tout à fait négligeables par rapport aux autres composantes capacitatives du dispositif.

III-1.5 Diminution de l'inverse de la pente sous le seuil.

Un des principaux avantages de la technologie SOI sur film mince, est d'augmenter la pente sous le seuil (ou de diminuer l'inverse de la pente sous le seuil S). Cet effet est expliqué dans les travaux de Colinge *et al.* [12-14]. L'inverse de la pente sous le seuil est donné par:

$$S = \ln(10) \left(\frac{\partial V_G}{\partial \ln I_D} \right) = \frac{kT}{q} \ln(10) \cdot n \quad (\text{Eq. 1.16})$$

Pour une technologie sur substrat massif, le coefficient d'effet de surface « n » s'écrit:

$$n = 1 + \frac{C_D}{C_{ox}} \quad (\text{Eq. 1.17})$$

avec: C_D : capacité de la zone de déplétion, et $C_{ox} = \epsilon_{Si}/t_{ox}$: capacité d'oxyde de grille

Dans ce cas précis, le coefficient n est supérieur à 1. Pour une technologie SOI sur film mince totalement déplété, l'expression de n fait intervenir la capacité du film de silicium complètement déplété (C_{Si}), la capacité de la grille avant (C_{ox1}), et la capacité de la grille arrière (C_{ox2}):

$$n = \left(1 + \frac{C_{Si}}{C_{ox1}}\right) - \frac{\frac{C_{Si}}{C_{ox2}} \frac{C_{Si}}{C_{ox1}}}{1 + \frac{C_{Si}}{C_{ox1}}} \quad (\text{Eq. 1.18})$$

Habituellement, pour des films minces, $C_{ox2} \ll C_{ox1}$ et $C_{ox2} \ll C_{Si}$. Par conséquent, le coefficient n est très proche de 1. En d'autres termes, S est quasiment égale à la valeur limite de 60 mV/décade, à température ambiante.

III-2 Architecture de transistors multi-grille.

III-2.1 Introduction.

Comme mentionné précédemment, la technologie SOI offre l'opportunité d'intégrer des dispositifs présentant de hautes performances et/ou des éléments innovants qui peuvent repousser les frontières d'intégration des technologies CMOS sur substrat massif. Néanmoins, pour des architectures aux longueurs de grille inférieures à 50 nm, l'utilisation de la filière SOI doit nécessairement être combinée à celle des architectures multi-grille. Cette partie présente les avancées provoquées par l'utilisation de telles architectures.

III-2.2 La notion d'inversion volumique.

Dans des couches minces et/ou faiblement dopées de silicium, l'activation simultanée des canaux avant et arrière induit le phénomène d'inversion volumique [15]. Inconnu dans les composants MOS sur silicium massif, cet effet, étudié par Balestra *et al.* [15], permet à la charge d'inversion de couvrir l'ensemble du film de silicium pour une tension de grille légèrement supérieure à la tension de seuil V_{th} . La résolution auto-cohérente des équations de Poisson et de Schrödinger [16] indique que la densité maximum de la charge d'inversion est obtenue au centre du film. Ce mécanisme provoque une augmentation de la transconductance et du courant à l'état passant, une diminution de l'influence des défauts d'interface (pièges, charges fixes, rugosité) et un bruit basse fréquence $1/f$ réduit. De plus, de nombreux transistors MOSFET multi-grille (ex: DeltaFET, GAA, FinFET, etc...présentés dans le chapitre 2), réalisés afin d'utiliser au

mieux le concept d'inversion volumique, ont montré une résistance accrue aux effets canaux courts (partage de charges, DIBL: *drain induced barrier lowering*, perçage, injection de porteurs chauds, etc.). Ces architectures innovantes sont, par conséquent, très attractives pour une intégration dans le domaine des longueurs de grille inférieures à 30 nm.

III-2.3 Augmentation du courant de conduction.

Le courant de conduction d'un transistor MOSFET est proportionnel à la largeur totale de grille. Ainsi, on comprend aisément que l'activation des 2 canaux fournit un courant deux fois plus élevé qu'un transistor simple-grille (SG) possédant les mêmes longueur et largeur de grille. Afin d'augmenter le niveau de courant, des dispositifs comprenant plusieurs ailettes en parallèles sont réalisés (Fig. 1.20). Le courant de conduction est alors égal au courant d'un dispositif isolé multiplié par le nombre d'ailettes.

Colinge explique parfaitement ce phénomène dans [17]. Il considère un réseau d'ailettes séparées par une distance P (pitch). Dans un transistor double-grille, pour une analyse au premier ordre, le courant par unité de largeur de dispositif est donné par:

$$I_D = I_{D0} \times \frac{(2t_{Si})}{P} \quad (\text{Eq. 1.19})$$

I_{D0} est le courant d'un transistor simple grille planaire, t_{Si} l'épaisseur du film de silicium, et P le pas du réseau. Pour un transistor triple-grille, un courant circule également sur la surface supérieure. Le courant total vaut alors:

$$I_D = I_{D0} \times \frac{(W + 2t_{Si})}{P} \quad (\text{Eq. 1.20})$$

W correspond à la largeur d'une ailette. Dans le cas où: $W = t_{Si}$ il faut que $P < 3W$ pour que le courant généré par le transistor triple-grille (TG) soit plus important que dans un transistor simple-grille de même taille.

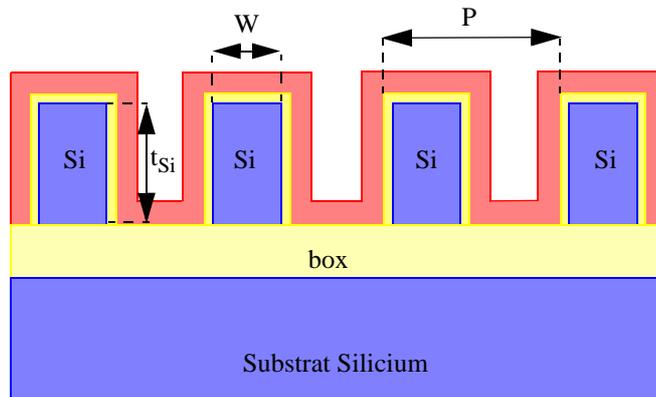


Fig. 1.20: Vue schématique en coupe d'un transistor MOSFET multi-grille comportant plusieurs ailettes [17].

III-2.4 Impact sur la distribution des porteurs, sur la mobilité, et sur le gain de la transconductance.

Ernst *et al.* [18] ont comparé le fonctionnement en mode double-grille et simple-grille d'un transistor SOI d'épaisseur 3 nm. Les résultats sont résumés en Fig. 1.21.

La distribution et la mobilité des porteurs expliquent le gain considérable de la transconductance, en mode DG, par rapport au mode SG [19-20]. Le profil vertical du potentiel est symétrique et le champ électrique vertical s'annule au centre du film. Le couplage des équations de Poisson et de Schrödinger [16] montre qu'il y a une concentration maximale des porteurs au centre du film (courbes bleues sur Fig. 1.22). Les calculs quantiques permettent ainsi d'expliquer le principe d'inversion volumique alors que la résolution de la seule équation de Poisson [15] [21] conduit au résultat inverse, à savoir, plus de porteurs près des interfaces qu'au centre du film (courbe verte sur Fig. 1.22). La charge totale d'inversion en mode DG est environ le double de la charge observée en mode SG (à $V_{GS}-V_{th}$ constante). Le contrôle électrostatique renforcé permet d'accéder à une pente sous le seuil idéale, pour une longueur de grille réduite.

Il est raisonnable de justifier le gain de transconductance expérimental, bien supérieur à 100% (Fig. 1.21) par une mobilité importante au centre du film (collisions moins nombreuses, champ vertical quasi nul) et plus faible dans les régions interfaciales (rugosité de surface) [22-23]. En mode DG, la plupart des porteurs évitent ce genre de zones dégradées, ce qui n'est pas le cas en mode SG.

Cristoloveanu *et al.* [19-20] ont calculé la mobilité normalisée des porteurs pour les deux modes de fonctionnement. Les résultats (Fig. 1.23) décrivent parfaitement l'augmentation de la mobilité (plus du double) pour le mode DG.

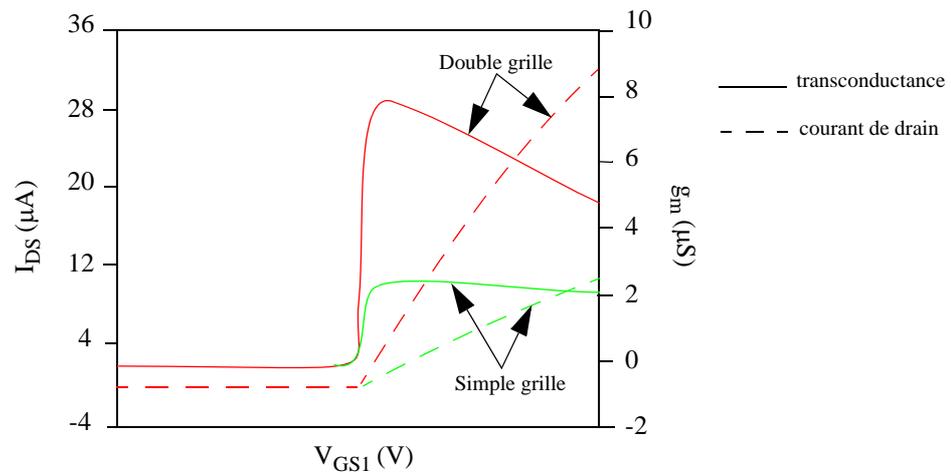


Fig. 1.21: Courant de drain et transconductance en fonction de la tension de grille pour des transistors MOSFET simple-grille (vert) et double-grille (rouge), sur film SOI ($t_{SiO2} = 3$ nm, $L=30\mu m$) [18].

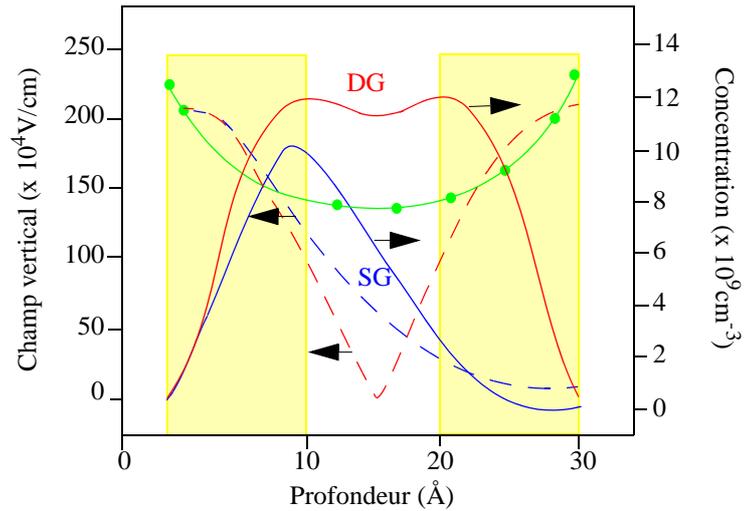


Fig. 1.22: Distributions classique (courbe verte) et quantique (courbes bleues pour le simple-grille (SG) et rouges pour le double-grille (DG)) des porteurs minoritaires (traits pleins) et du champ électrique (pointillés) en mode double-grille (DG) et simple-grille (SG). Dans les régions jaunes, la mobilité des porteurs est dégradée par la rugosité de surface [16], $V_{gs} - V_{th} = 2$ V.

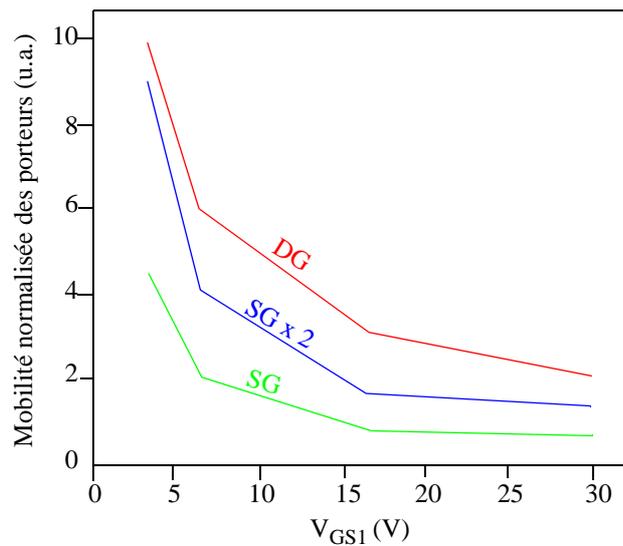


Fig. 1.23: Mobilité normalisée des porteurs, calculée pour trois modes de fonctionnement: SG, SGx2, et DG [19-20].

III-2.5 Impact sur les effets canaux courts.

Les effets canaux courts sont essentiellement provoqués par la pénétration des lignes de champ électrique du drain dans le canal, entraînant notamment une réduction de la tension de seuil. L'utilisation de transistor multi-grille sur substrat SOI fonctionnant en inversion volumique permet d'améliorer l'intégrité électrostatique du canal, notamment pour des épaisseurs de silicium très faibles [24-27]. Yan *et al.* [28] ont montré qu'il était possible de prévoir l'épaisseur

du film de silicium nécessaire à l'élimination ou du moins à la réduction des effets canaux courts selon le type d'architecture. La Fig. 1.24 définit les différents axes pour un transistor MOSFET conventionnel.

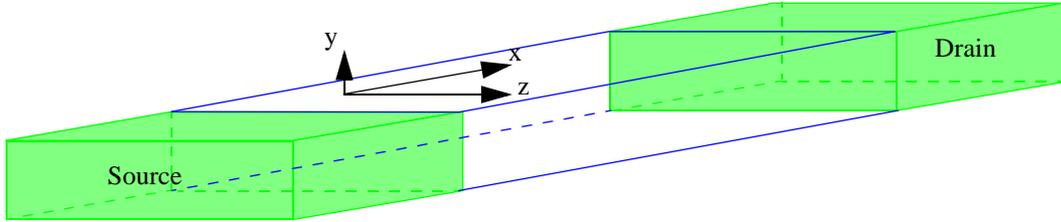


Fig. 1.24: Définition des axes dans un transistor multi-grille.

La distribution du potentiel dans un barreau de silicium $\phi(x,y,z)$ est gouvernée par l'équation de Poisson:

$$\frac{d^2}{dx^2}\Phi(x, y, z) + \frac{d^2}{dy^2}\Phi(x, y, z) + \frac{d^2}{dz^2}\Phi(x, y, z) = \frac{qN_A}{\epsilon_{Si}} \quad (\text{Eq. 1.21})$$

Avec, N_A , le dopage du canal de type p, ϵ_{Si} la constante diélectrique du silicium et q la charge d'un électron.

En considérant que le dispositif est suffisamment large, on peut écrire la condition suivante:

$$\frac{d^2}{dz^2}\Phi(x, y, z) = 0 \quad (\text{Eq. 1.22})$$

Yan *et al.* [28] ont supposé que le potentiel dans la direction y était de type parabolique, soit:

$$\Phi(x, y) = c_0(x) + c_1(x)y + c_2(x)y^2 \quad (\text{Eq. 1.23})$$

Trois conditions limites permettent de définir une solution à ce système (Eq. 1.24-1.26):

- Le potentiel en $x(0)$ vaut $\Phi_f(x)$:

$$\Phi(x, 0) = \Phi_f(x) = c_0(x) \quad (\text{Eq. 1.24})$$

avec $\phi_f(x)$ le potentiel le long de l'interface silicium/oxyde de grille.

- La continuité de la composante normale du champ électrique à l'interface silicium/oxyde de grille:

$$\frac{d}{dy}\Phi(x, y)|_{y=0} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\Phi_f(x) - \Phi_{gs}}{t_{ox}} = c_1(x) \quad (\text{Eq. 1.25})$$

avec $\phi_{gs} = V_{gs} - V_{FV,f}$ (la tension de grille moins la tension de bande plate de la grille avant), ϵ_{Si} la constante diélectrique de l'oxyde de grille, et t_{ox} l'épaisseur de l'oxyde de grille.

- Enfin, la continuité du champ au niveau de la grille arrière:

$$\frac{d}{dy}\Phi(x, y)|_{y=t_{Si}} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\Phi_{bs} - \Phi_b(x)}{t_{ox}} = c_1(x) + 2t_{Si}c_2(x) \approx 0 \quad (\text{Eq. 1.26})$$

avec ϕ_{bs} le potentiel du substrat et $\phi_b(x) = V_{sub} - V_{FT,b}$ (la tension du substrat moins la tension de bande plate de la grille arrière).

En utilisant les trois conditions limites Yan *et al.* ont réécrit l'équation 1.23), sous la forme:

$$\Phi(x, y) = \Phi_f(x) + \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\Phi_f(x) - \Phi_{gs}}{t_{ox}} y - \frac{1}{2t_{Si}} \cdot \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\Phi_f(x) - \Phi_{gs}}{t_{ox}} y^2 \quad (\text{Eq. 1.27})$$

En substituant l'égalité (Eq. 1.26) dans l'équation de Poisson (Eq. 1.20), et en tenant compte de (Eq. 1.21), on obtient pour $y=0$:

$$\frac{d^2}{dx^2}\Phi_f(x) - \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{\Phi_f(x) - \Phi_{gs}}{t_{Si}t_{ox}} = \frac{qN_a}{\epsilon_{Si}} \quad (\text{Eq. 1.28})$$

Une fois que $\phi_f(x)$ est déterminé par l'équation (Eq. 1.28), le potentiel entier $\phi(x,y)$ peut être obtenu en utilisant (Eq. 1.23).

Yan *et al.* [28] ont défini un facteur λ (Eq. 1.30) qui correspond à la «longueur naturelle» («natural length» en anglais) du dispositif, il est différent pour chaque géométrie. Cette valeur λ donne une indication sur les effets de canaux courts inhérents à chaque dispositif. En d'autres termes, elle représente la pénétration des lignes de champ du drain dans le canal. Une faible valeur de λ est souhaitée afin de minimiser les effets canaux courts:

$$\lambda = \sqrt{\frac{\epsilon_{Si}t_{Si}t_{ox}}{\epsilon_{ox}}} \quad (\text{Eq. 1.29})$$

et

$$\Phi(x) = \Phi_f(x) - \Phi_{gs} + \frac{qN_a}{\epsilon_{Si}} \lambda^2 \quad (\text{Eq. 1.30})$$

L'équation de Poisson peut alors s'écrire de la manière suivante:

$$\frac{d^2}{dx^2} \Phi(x) = \frac{\Phi(x)}{\lambda} \quad (\text{Eq. 1.31})$$

Des calculs prenant en compte différentes conditions limites selon les architectures [15] [28-31] ont montré qu'un dispositif est exempt d'effets canaux courts si λ est inférieure à 6 ou 8. Quelques résultats de simulation sont rassemblés de manière non exhaustive dans la Table 1.2. Pour une épaisseur donnée de silicium (t_{Si}), la longueur naturelle λ_2 d'un transistor double-grille (ou λ_3 pour un transistor à grille entourante) est plus petite que celle d'un transistor simple-grille (λ_1). Il en découle que, pour une même longueur de canal effective, les effets canaux courts sont nettement réduits pour les architectures multi-grilles par rapport à un dispositif simple-grille.

La Fig. 1.25 [17] définit l'épaisseur maximum du film de silicium en fonction de la longueur de grille, nécessaire pour supprimer les effets canaux courts. Les courbes sont basées sur les équations (Eq. 1.32-Eq. 1.34), en considérant un oxyde de grille de 1,5 nm. On s'aperçoit que pour une longueur de grille de 50 nm, l'épaisseur du film de silicium pour un transistor simple-grille, complètement déplété doit être 3 à 5 fois plus petite que la longueur de grille. Pour un transistor double-grille, la longueur de grille ne représente plus que deux fois l'épaisseur de silicium.

| | |
|--------------------------------|--|
| Simple-grille | $\lambda_1 = \sqrt{\frac{\epsilon_{Si} t_{Si} t_{ox}}{\epsilon_{ox}}} \quad (\text{Eq. 1.32}) \quad [30]$ |
| Double-grille | $\lambda_2 = \sqrt{\frac{\epsilon_{Si} t_{Si} t_{ox}}{2\epsilon_{ox}}} \quad (\text{Eq. 1.33}) \quad [30]$ |
| Grille «entourante» | $\lambda_3 = \sqrt{\frac{\epsilon_{Si} t_{Si} t_{ox}}{4\epsilon_{ox}}} \quad (\text{Eq. 1.34}) \quad [31]$ |

Table 1.2: Valeurs de la longueur naturelle pour différentes géométries de dispositif [17].

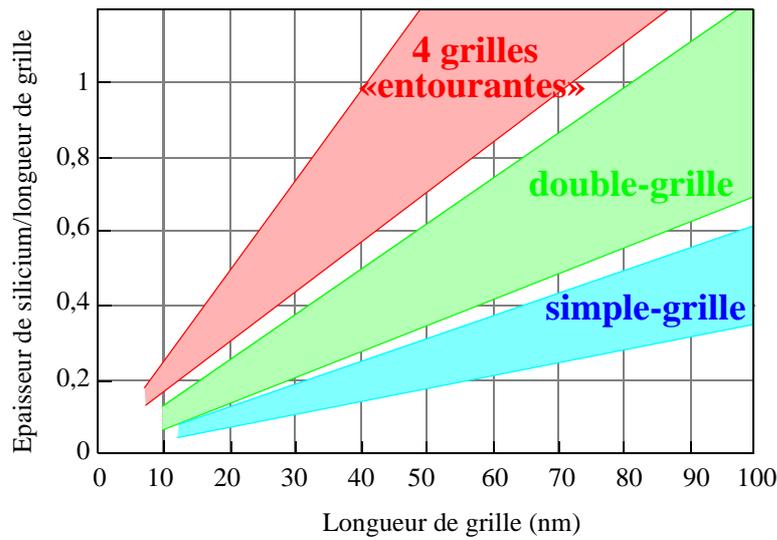


Fig. 1.25: Épaisseur maximale du film de silicium en fonction de la longueur de grille pour supprimer les effets canaux courts [17].

IV- Conclusion

L'évolution des transistors MOSFET a permis la réduction des dimensions jusqu'à des dispositifs de longueurs de grilles de 65 nm. L'ITRS [10] estime nécessaire à partir du noeud technologique de 32 nm, des valeurs en courant passant élevées: 800 $\mu\text{A}/\mu\text{m}$ pour un transistor n-MOS faible consommation et 1500 $\mu\text{A}/\mu\text{m}$ pour un transistor n-MOS hautes performances, et un courant de fuite très faible: 3 nA/ μm pour un transistor n-MOS faible consommation et 7 $\mu\text{A}/\mu\text{m}$ pour un transistor n-MOS hautes performances. De tels niveaux de courants ne seront accessibles qu'avec de nouvelles architectures [10].

Dans un premier temps, la réduction des courants de fuite passe par l'intégration de transistors sur substrat SOI complètement déplété (ou "Fully depleted" FDSOI MOSFET). En effet, ces dispositifs permettent de réduire les effets de canaux courts ainsi que le DIBL et garantissent aussi une pente sous le seuil quasi idéale de quelques 60 mV/décade [32-33]. A cette architecture, on peut ajouter une grille métallique qui permet de supprimer les effets de déplétion de grille [34]. Il est également possible de travailler avec des substrats contraints afin de diminuer la masse effective des électrons (ou des trous) et d'améliorer ainsi leur mobilité pour obtenir un courant passant plus élevé [35].

Pour les générations suivantes: 32 nm, 22 nm etc., l'utilisation de substrats SOI complètement déplétés n'est plus suffisante car cela ne permet pas d'atteindre les niveaux de courants

escomptés. C'est pourquoi de nouvelles architectures multi-grille ont été envisagées. Tous ces dispositifs conservent l'aspect complètement déplété du FDSOI MOSFET mais multiplient les canaux de conduction sur une surface de silicium identique ou moindre afin d'augmenter les performances en courant. Ce chapitre a présenté les avantages liés à ce type d'architectures innovantes: phénomène d'inversion volumique, augmentation du courant de conduction tout en préservant un courant à l'état bloqué faible, meilleure distribution et meilleure mobilité des porteurs, réduction des effets de canaux courts.

Le chapitre suivant présente ainsi les différentes géométries d'architecture double grille que l'on peut trouver dans la littérature. Il se focalise sur les difficultés technologiques de fabrication ainsi que sur les performances électriques obtenues avec ces dispositifs. Puis, dans un second temps, un procédé technologique innovant est proposé.

BIBLIOGRAPHIE

- [1] T. Skotnicki, G. Merkel, T. Pedron, “*The voltage doping transformation short channel effects*”, *International Electron Device Letters*, vol.9, n03, 1988.
- [2] “*International Technological Roadmap of Semiconductors 2003*”, (ITRS), 2003.
- [3] G. Moore, “*Progress in digital integrated electronics*”, *International Electron Device Meeting (IEDM) Techn. Digest*, pp. 11-13, 1975.
- [4] L.D. Yau, “*A simple theory to predict the threshold voltage of short-channel IGFET’s*”, *Solid State Electronics*, vol. 9, n°3, pp. 256-263, 1974.
- [5] R. Troutman, “*VLSI limitation from drain-induced barrier lowering*”, *IEEE Transaction on Electron Devices*, vol. 26, n°4, pp. 461-468, 1979.
- [6] H. Veendrick, “*Deep submicron CMOS ICs*”, Kluwer Academic Publishers, Deventer, The Netherlands, 1998.
- [7] L.A. Akers, M. Walker, “*Hot carrier effects in submicron CMOS*”, *Physica B+C*, vol. 134, n°1-3, pp. 116-120, 1985.
- [8] H. Matthieu, “*Physique des semiconducteurs et des composants électroniques*”, 5ème édition, Dunod, pp. 107-108, 2001.
- [9] “*International Technological Roadmap of Semiconductors 2004*”, (ITRS), 2004.
- [10] K.M. Cao, W.C. Lee, W. Liu, X. Jin, P. Su, S.K.H. Fung, J.X. An, B. Yu, C. Hu, “*BSIM4 Gate leakage model including source drain partition*”, *International Electron Devices Meeting*, 2000.
- [11] R.R Troutman, “*Latchup in CMOS technology: the problem and its cure*”, Kluwer academic publishers, Boston, 1986.
- [12] J.P. Colinge, “*Silicon on insulator Technology: materials to VLSI*”, Kluwer Academic publishers, pp. 112-120, 1991.
- [13] J.P. Colinge, “*Subthreshold slope of thin film SOI MOSFET’s*”, *IEEE Elec. Device Lett.*, vol. EDL-7, n° 4, pp. 244-246, 1986.
- [14] J. Wouters, J.P. Colinge, H.E. Maes, “*Subthreshold slope in thin film SOI MOSFET’s*”, *IEEE Transactions on Electron Devices*, vol. 37, n°9, pp. 2022-2033, 1990.
- [15] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini, T. Elewa, “*Double-gate silicon on insulator transistor with volume inversion: a new device with greatly enhanced performance*”, *IEEE Electron Device Lett.*, vol. 8, pp. 410-412, 1987.

- [16] T. Janik, B. Majkusiak, “*Analys of the MOS transistor based on the self-consistent solution of the Shrödinger and Poisson equations and the local mobility model*”, IEEE Trans. Electron Devices, vol. 45, pp. 1263-1271, 1998.
- [17] J.P. Colinge, “*Evolution of SOI MOSFETs: from single gate to multiple gates*”, MRS Spring Meeting Proceedings vol. 765, 2003.
- [18] T. Ernst, D. Munteanu, S. Cristoloveanu, T. Ouisse, S. Origuchi, Y. Ono, Y. Takahashi, K. Murase, “*Investigation of SOI MOSFETs with ultimate thickness*”, Micro. Eng., vol. 48, n^o1-4, pp. 339-342, 1999.
- [19] S. Cristoloveanu, T. Ernst, D. Munteanu, T. Ouisse, “*Ultimate MOSFETs on SOI: ultra thin gate, double gate, or ground plane*”, Int. J. High Speed Electronics and Systems, World scientific (USA), vol. 10, n^o1, pp. 217-230, 2000.
- [20] T. Ernst, S. Cristoloveanu, G. Ghibaudo, T. Ouisse, S. Horiguchi, “*Ultimately thin double gate SOI MOSFETs*», IEEE Trans. Electron Devices, vol. 50, n^o3, pp. 830-838, 2003.
- [21] S. Cristoloveanu, D. Ioannou, “*Adjustable confinement of the electron gas in dual-gate silicon on insulator MOSFETs*”, Superlatt. Microstruct., vol. 8, pp. 131-135, 1990.
- [22] A. Pirovano, A.L. Lacaita, G. Ghidini, G. Tallardia, “*On the correlation between surface-roughness and inversion layer mobility in Si-MOSFETs*”, IEEE Elect. Dev. Let., vol. 21, pp. 34-36, 2000.
- [23] K. Rais, G. Ghibaudo, F. Balestra, “*Surface roughness mobility model for silicon MOS transistor*”, Phys Stat. Solid., vol. 146, pp. 853-858, 1994.
- [24] F. Balestra, “*Performance and physical mechanisms in deep submicron SOI MOSFETs*”, Electron. Technol. (Warsaw), vol. 8, pp. 50-62, 1999.
- [25] T. Sekigawa, Y. Hayashi, “*Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate*”, Solid-State Electronics, vol. 27, pp. 827-828, 1984.
- [26] E. Raully, F. Balestra, “*Short channel effctcs in sub-0,1 μ m thin film SOI MOSFETs*”, Electronics Letters, vol. 34, n^o7, pp. 700-701, 1998.
- [27] D. Franck, S. Laux, M. Fischetti, “*Monte Carlo simulations of a 30 nm dual gate MOSFET: how short can Si go?*”, IEDM Tech. Digest., pp. 553-556, 1992.
- [28] R.-H. Yan, A. Ourmazd, K.F. Lee, “*Scaling the Si MOSFET: from bulk to SOI to bulk*”, IEEE Trans. Electron Devices, vol. 39, n^o7, pp.1704-1710, 1992.
- [29] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, Y. Arimoto, “*Analytical surface potential expression for double gate SOI MOSFETs*”, VLSI Process and Device modeling, International Workshop, pp. 150-151, 1993.

- [30] A. Nitayama, H. Takato, N. Okabe, K. Sunouchi, K. Hieda, F. Horiguchi, F. Masuoka, “*Multi-pillar surrounding gate transistor (M-SGT) for compact and high speed circuits*”, IEEE Transactions on Electron Devices, vol. 38, pp. 579-583, 1991.
- [31] C.P. Auth, J.D. Plummer, “*Scaling theory for cylindrical, fully depleted, surrounding gate MOSFET's*”, IEEE Electron Dev. Letters, vol. 18, pp. 74-76, 1997.
- [32] Z.Krivokapic, W. Maszara, F. Arasnia, E. Paton, Y. Yim, L. Washington, E. Zhao, J. Chan, J. Zhang, A. Marathe, M-R. Lin, “*High Performance 25 nm FDSOI devices with extremely thin silicon channel*”, Symp. VLSI Techn. Papers, New York, pp. 131-132, 2003.
- [33] C. Fenouillet-Beranger, F. Fruleux, A. Talbot, L.Tosti, R. Palla, M. Casse, N. Carriere, A.Grouillet, C. Raynaud, B. Giffard, T. Skotnicki, “*Fully depleted SOI process optimization for 60 nm CMOS transistors*”, International SOI conference, pp. 31-32, 2003.
- [34] A.Vandooren, S. Egley, M. Zavala, T. Stephens, L. Mathew, M. Rossow, A. Thean, A.Barr, Z. shi, T. White, J. Conner, L. Prabhu, D. Triyoso, J. Schaeffer, D. Roan, B-Y. Nguyen, M. Orlovskii and J. Mogab, “*50 nm fully-depleted SOI CMOS technology with HfO₂ gate dielectric and TiN gate*”, IEEE Transactions on Nanotechnology, vol.2, n^o4, pp.324-338, 2003.
- [35] T. Maeda, T. Mizuno, N. Sugiyama, T. Tezuka, T. Numata, J. Koga and S. Takagi, “*Ultra-thin Strained-SOI CMOS for high Temperature Operation*”, Symposium on VLSI Technology Digest of Technical Papers, 2003.

Chapitre 2:

Présentation des différentes architectures MOSFET multi-grille.

-

Procédé de fabrication innovant.

Dans le chapitre précédent, nous avons décrit les phénomènes limitant la miniaturisation du transistor MOS classique et avons surtout insisté sur la nécessité de développer de nouvelles architectures. Les dispositifs multi-grille sont actuellement considérés comme les plus prometteurs pour la réalisation de transistor en régime décanométrique dans la filière CMOS [1-3]. Ce chapitre présente tout d'abord une vision globale des différentes architectures de transistors MOSFET multi-grille. La deuxième section s'intéresse plus précisément aux transistors double-grille (DG) planaires. La troisième partie concerne les dispositifs à conduction verticale. La quatrième partie décrit les transistors à conduction latérale de type FinFET. Pour chacune de ces architectures, le procédé de fabrication et les principaux résultats électriques sont détaillés. Enfin, la dernière partie présente un procédé de fabrication innovant et relativement simple à développer pour la réalisation d'un transistor FinFET. Il propose la réalisation de grilles auto-alignées et supprime les problèmes liés à la sur-gravure de la grille. Chaque étape est décrite et expliquée, en précisant les avancées technologiques ainsi que les avantages. Dans un second temps, les possibilités offertes par ce procédé seront discutées.

I- Etat de l'art.

Comme mentionné dans le chapitre précédent, les architectures MOSFET multi-grille améliorent nettement le contrôle électrostatique du canal, réduisant les effets canaux courts et optimisant ainsi le courant de conduction tout en minimisant la consommation statique. L'ITRS de 2004 [1] propose de nombreuses architectures multi-grille innovantes rassemblées dans la Table 2.1.

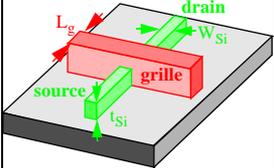
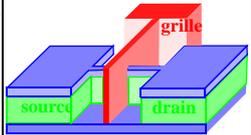
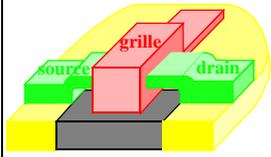
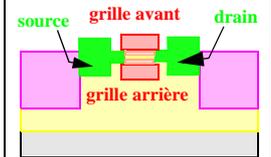
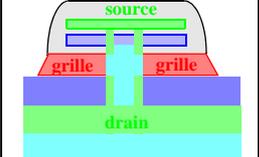
| Dispositif | Transistors MOSFET multi-grille | | | | |
|--------------------------|--|---|---|---|--|
| | <i>N</i> -grilles ($N > 2$) MOSFETs | MOSFETs double-grille | | | |
| |  |  |  |  |  |
| <i>Concept</i> | <ul style="list-style-type: none"> - grilles reliées entre elles (nombre de canaux > 2) | <ul style="list-style-type: none"> - grilles reliées entre elles - conduction latérale | <ul style="list-style-type: none"> - grilles reliées entre elles - conduction planaire | <ul style="list-style-type: none"> - grilles indépendantes l'une de l'autre - conduction planaire | <ul style="list-style-type: none"> - conduction verticale |
| <i>Applications CMOS</i> | <ul style="list-style-type: none"> - High power (HP) - Low Operating Power (LOP) - Low Standby Power (LSTP) | <ul style="list-style-type: none"> - HP - LOP - LSTP | <ul style="list-style-type: none"> - HP - LOP - LSTP | <ul style="list-style-type: none"> - LOP. - LSTP. | <ul style="list-style-type: none"> - HP - LOP - LSTP |
| <i>Points forts</i> | <ul style="list-style-type: none"> - I_{on} plus grand - ailettes 2 fois plus épaisses | <ul style="list-style-type: none"> - I_{on} plus grand - amélioration de l'inverse de la pente sous le seuil - amélioration contre les effets canaux courts | <ul style="list-style-type: none"> - I_{on} plus grand - amélioration de l'inverse de la pente sous le seuil - Réduction des effets canaux courts | <ul style="list-style-type: none"> - Réduction des effets canaux courts | <ul style="list-style-type: none"> - potentiel pour une intégration 3D |
| <i>Faibles- ses</i> | <ul style="list-style-type: none"> - largeur quantifiée du dispositif limitée - effets de coin | <ul style="list-style-type: none"> - épaisseur de l'ailette inférieure à la longueur de grille | <ul style="list-style-type: none"> - largeur limitée ($< 1 \mu m$) | <ul style="list-style-type: none"> - difficultés d'intégration - capacité de grille arrière (recouvrement grille/Source-Drain) - dégradation de la pente sous le seuil - alignement de grille | <ul style="list-style-type: none"> - réalisation des profils de jonction - difficultés d'intégration du procédé - capacité parasite - une seule longueur de grille |

Table 2.1: Architectures multi-grille non conventionnelles de transistor MOSFET (IRTRS 2004 [4]).

Comme le montre la Table 2.1, extraite de l'ITRS 2004, il existe une grande diversité de géométries multi-grille. Néanmoins, il est possible de les classer dans trois grandes catégories distinctes (Fig. 2.1):

- les transistors double-grille planaires qui s'apparentent fortement aux transistors MOSFET conventionnels pour lesquels une seconde grille est placée en face arrière du canal (Fig. 2.1.a).

- les transistors double-grille à conduction verticale, dans lesquels la zone active ainsi que la source et le drain sont perpendiculaires au plan du substrat de silicium (Fig. 2.1.b).

- les transistors à conduction latérale de type FinFET et leurs dérivées, dans lesquels, seule la zone active se trouve dans le plan vertical par rapport au substrat. La source et le drain restent dans le plan horizontal comme pour un transistor planaire conventionnel (Fig. 2.1.c).

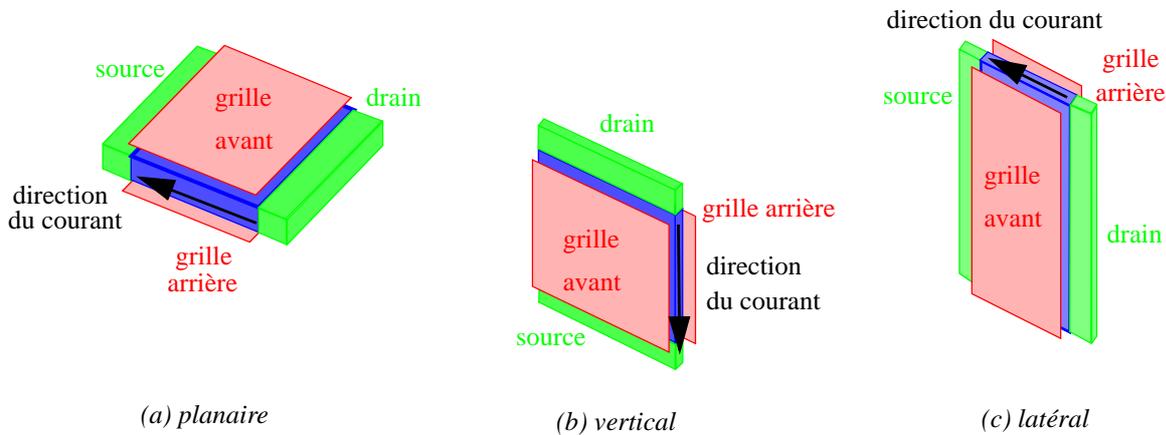


Fig. 2.1: Description des trois catégories d'architecture de transistor double-grille: (a) conduction planaire (b) conduction verticale (c) conduction latérale.

Les transistors double-grille font l'objet de nombreuses recherches depuis plus de 20 ans. Ainsi, même si cette architecture présente de nombreux avantages par rapport aux transistors simple-grille (cf. chapitre 1, paragraphe III-2), il existe encore de nombreux verrous technologiques à lever [4] tels que:

- l'auto-alignement des deux grilles.
- l'auto-alignement des régions de source/drain par rapport aux deux grilles.
- les problèmes d'accroissement des résistance d'accès au canal [5].

La résistance série est ainsi composée de:

- la résistance des zones de recouvrement entre la grille et les zones de source/drain. En effet, les zones de source/drain extrinsèques restent relativement éloignées du bord du canal, contribuant à un accroissement de la résistance série.

- la résistance de feuille des zones de source/drain fortement dopées.
- la résistance de contact, divisée en trois zones distinctes: contact siliciure-source/drain, résistance intrinsèque du siliciure, contact métal-siliciure.

Ainsi, les sections suivantes décrivent successivement, et de manière non exhaustive les procédés de fabrication de chacune des trois catégories de transistor multi-grille. Nous insisterons sur les avantages et les inconvénients des différents types d'architecture et présenterons également les performances électriques obtenues par les différents dispositifs.

II- Transistor multi-grille planaire.

II-1 Introduction.

Cette section s'intéresse à la fabrication de transistors multi-grille de type planaire. L'avantage majeur de ces dispositifs est qu'ils possèdent une configuration très proche de celle des transistors MOS conventionnels. C'est pour cette raison qu'ils ont été largement étudiés. La première sous-partie décrit ainsi le procédé de fabrication des transistors Double-Grille MOSFET (DGMOSFET) [6-11]. Elle met cependant en évidence les difficultés d'auto-alignement des deux grilles.

La deuxième sous-partie se focalise sur les architectures enrobantes de type Gate All Around (GAA) [12]. La réalisation de ces transistors constitue un véritable challenge technologique. Un procédé de fabrication innovant [13] basé sur l'utilisation de la technologie SON est ainsi présenté. Il possède l'avantage d'être facilement intégrable dans la filière MOS classique. Néanmoins, il subsiste des problèmes de capacités parasites engendrée par le recouvrement de la grille inférieure sur les zones de source et de drain.

II-2 Transistor DGMOSFET.

II-2.1 Procédé de fabrication.

Wong *et al.* [6] sont les premiers à avoir réalisé un transistor double-grille planaire, avec des grilles supérieure et inférieure auto-alignées. Voici résumées succinctement les étapes de la fabrication de ce transistor. Plusieurs couches sont successivement déposées sur le substrat de silicium: nitrure/oxyde/silicium amorphe (Si-a)/oxyde. La couche de silicium amorphe va permettre de définir une cavité vide (tunnel), dont la largeur correspondra à la largeur du canal (W_g) (Fig. 2.2.a). Une épaisseur importante de nitrure est ensuite déposée. Le masque suivant définit deux régions dont l'espacement correspond à la longueur de grille (L_g) du transistor. Une gravure ionique RIE (Reactive Ion Etching) du nitrure, de l'oxyde, et du silicium amorphe

est effectuée, en utilisant l'oxyde comme couche d'arrêt (Fig. 2.2.b). Le silicium amorphe est gravé par KOH, définissant ainsi un tunnel vide entouré par de l'oxyde (LTO: Low Temperature Oxide) et de dimensions: $W_g * L_g * t_{Si}$, où t_{Si} est défini par l'épaisseur de la couche de a-Si préalablement déposée. Une ouverture latérale de l'oxyde est réalisée (Fig. 2.2.c). Une épitaxie sélective permet de faire croître le silicium jusqu'à ce que l'ouverture et le tunnel soient complètement remplis (Fig. 2.2.d). L'excès de silicium épitaxié est enlevé par polissage mécano-chimique (CMP), en utilisant la couche de nitrure comme couche d'arrêt (Fig. 2.2.e). Un espaceur est formé sur le dessus des nitrures. La source et le drain sont implantés en utilisant le nitrure comme masque d'implantation auto-aligné. Le nitrure est gravé par gravure chimique (H_3PO_4). L'oxyde qui entourait le silicium épitaxié (Fig. 2.2.f) est enlevé par gravure à l'acide fluorhydrique (HF). Le tunnel suspendu restant constitue le canal du transistor. L'oxyde de grille est formé (5 nm), suivi d'un dépôt conforme du matériau de grille (polysilicium) autour du «pont de silicium». Une siliciuration auto-alignée conclut le procédé de fabrication du transistor (Fig. 2.2.g). La Fig. 2.2.h représente une vue en trois dimensions du transistor double-grille planaire.

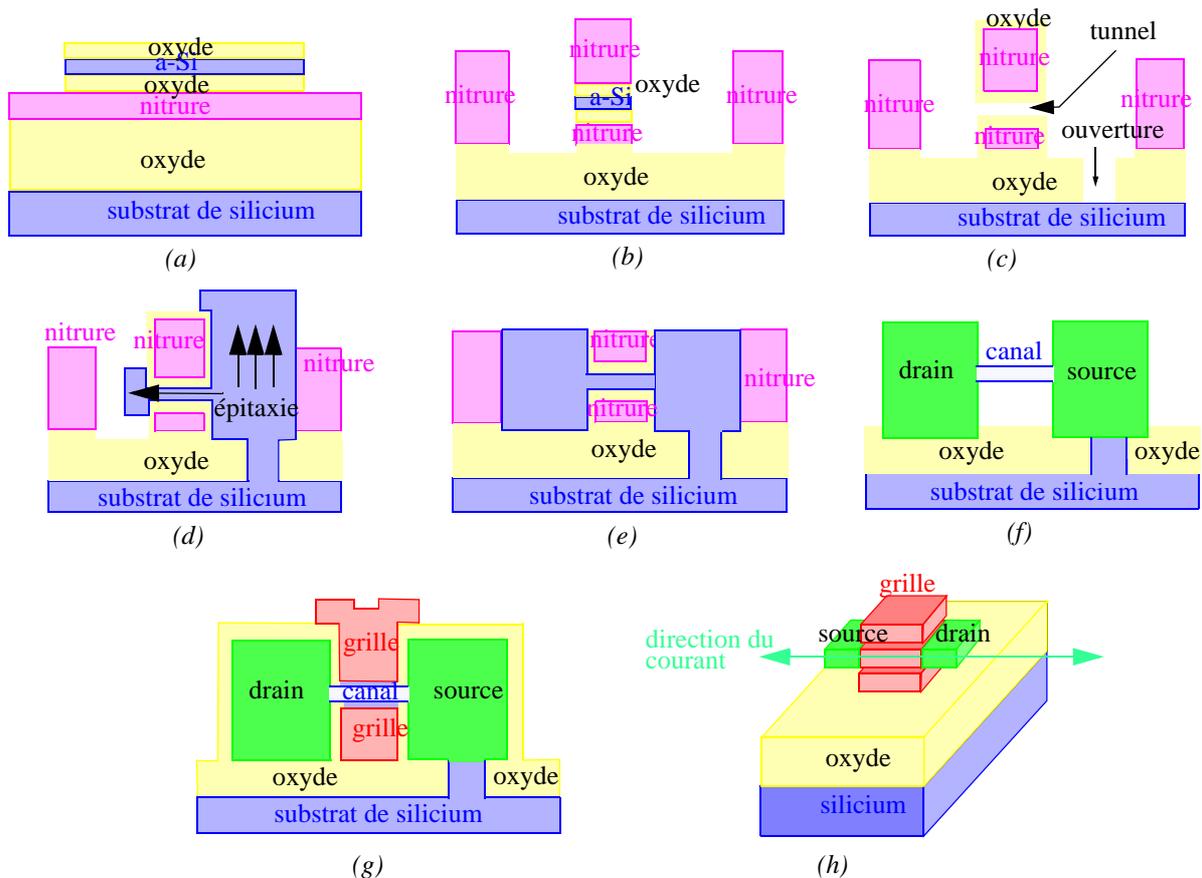


Fig. 2.2: Procédé de fabrication d'un transistor double-grille planaire [6].

II-2.2 Performances électriques-Discussions.

Wong *et al.* [6] ont réalisé un transistor n DGMOSFET, avec des grilles en polysilicium n^+ . La largeur du canal (t_{Si}) non dopé est de 25 nm. L'épaisseur d'oxyde de grille est la même pour les deux grilles (5 nm). Dans ces conditions, Wong *et al.* ont obtenu une tension de seuil d'environ -0,25V, ce qui était en accord avec les valeurs attendues pour un n MOSFET à multi-grille n^+ , pour un canal non dopé [6-7]. Le courant de saturation atteint $500 \mu A/\mu m$ à $V_{GS}-V_{TH} = 1,2 V$, $V_{DS} = 1,5 V$, et $L_g = 0,66 \mu m$.

Néanmoins, la fabrication de ce transistor est complexe et ajoute une étape supplémentaire (épitaxie de silicium) par rapport au procédé de fabrication conventionnel. De plus, ce procédé n'est pas compatible avec la réalisation d'un transistor asymétrique puisque les deux grilles sont formées au même moment.

D'autres procédés de fabrication utilisant également une épitaxie de silicium ont été étudiés. Denton et Neudeck ont ainsi proposé [8] un procédé de fabrication où la grille du dessous est formée avant l'épitaxie de silicium. La deuxième grille est ensuite définie par lithographie. Ce procédé de fabrication ne permet pas d'obtenir un alignement parfait des grilles mais il autorise la réalisation d'un dispositif asymétrique en utilisant par exemple deux matériaux de grille ayant des travaux de sortie différents.

Enfin, une autre alternative pour la réalisation de transistor DG planaire procède par collage moléculaire de deux plaques de silicium, («wafer bonding» en anglais) [9-11]. L'auto-alignement des deux grilles est très difficile à réaliser et entraîne ainsi des dégradations importantes des performances électriques.

II-3 Transistor Gate All Around (GAA).

L'architecture Gate All Around (GAA) est un autre type d'architecture multi-grille planaire. Le principe de ce dispositif consiste à entourer totalement le canal de conduction par quatre grilles [12]. La réalisation technologique d'un tel transistor est extrêmement complexe. Néanmoins, STMicroelectronics a développé un procédé innovant [13] pour la fabrication de transistor GAA en utilisant la technologie Silicon On Nothing (SON). La première partie de cette section rappelle donc rapidement le procédé de fabrication d'un transistor SON à simple grille. Le second paragraphe explique ensuite comment cette technologie a été adaptée pour l'intégration de dispositifs à grille multiple de type GAA.

II-3.1 Procédé de fabrication.

II-3.1-a La technologie Silicon On Nothing (SON).

La technologie Silicon on Nothing (SON) a initialement été optimisée pour la fabrication de transistors simple-grille possédant une isolation enterrée localisée [14]. Elle est basée sur la gravure sélective du silicium-germanium mono-cristallin (SiGe) par rapport au silicium mono-cristallin (Si). L'ensemble du procédé de fabrication est présenté Fig. 2.3. Une double épitaxie sélective de SiGe puis de Si est tout d'abord réalisée et définit les futures épaisseurs du diélectrique enterré et du canal de conduction (Fig. 2.3.a). Un procédé conventionnel est ensuite utilisé afin de définir le module de grille et les espaceurs (Fig. 2.3.b). Une gravure auto-alignée avec la grille, de la source et du drain, permet d'accéder au SiGe (Fig. 2.3.c). Une gravure sélective du SiGe par rapport au Si crée un tunnel sous le canal (Fig. 2.3.d). La cavité est ensuite remplie par un matériau diélectrique (Fig. 2.3.e) et les jonctions source/drain sont nettoyées. Une épitaxie sélective de silicium permet de former les extensions source/drain (Fig. 2.3.f). Les dernières étapes sont celle utilisées pour la fabrication de dispositifs conventionnels (siliciuration, formation des contacts, interconnexions.).

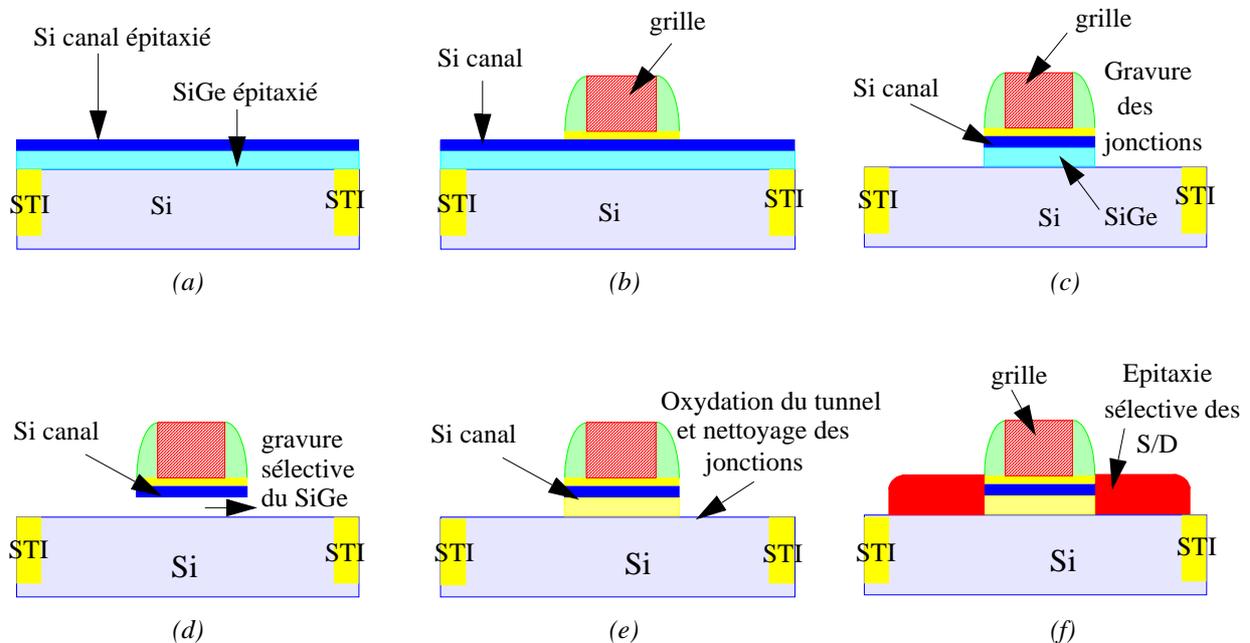


Fig. 2.3: Procédé de fabrication d'un transistor SON simple grille [14].

II-3.1-b Utilisation de la technologie SON pour la fabrication de GAA.

Cette section décrit comment la technologie SON, présentée dans le paragraphe précédent, a été adaptée par Harrison *et al.* [15] pour la fabrication de transistors multi-grille de type GAA. Une première épitaxie sélective de SiGe et réalisée au dessus de la zone active, suivie d'une épitaxie non sélective de Si, formant un film mono-cristallin au dessus de la zone active et un film polycristallin au dessus du STI (Fig. 2.4.a). Une photolithographie définit les zones de source/drain et le canal de conduction (largeur de la zone active W) (Fig. 2.4.b). Une gravure de la structure permet de former un accès latéral au SiGe enterré (Fig. 2.4.c). C'est dans l'étape suivant qu'est utilisée la technologie SON: le SiGe est gravée sélectivement par rapport au Si, engendrant la formation d'un pont suspendu. Il est retenu mécaniquement par les zones de source/drain en poly-Si qui débordent sur le STI (Fig. 2.4.d). Enfin, le module de grille-espacateur est réalisée de manière quasi-conventionnelle (croissance de l'oxyde de grille, dépôt du matériau de grille, gravure du matériau de grille) (Fig. 2.4.e). La fin du procédé est conventionnelle: siliciuration, interconnexions.

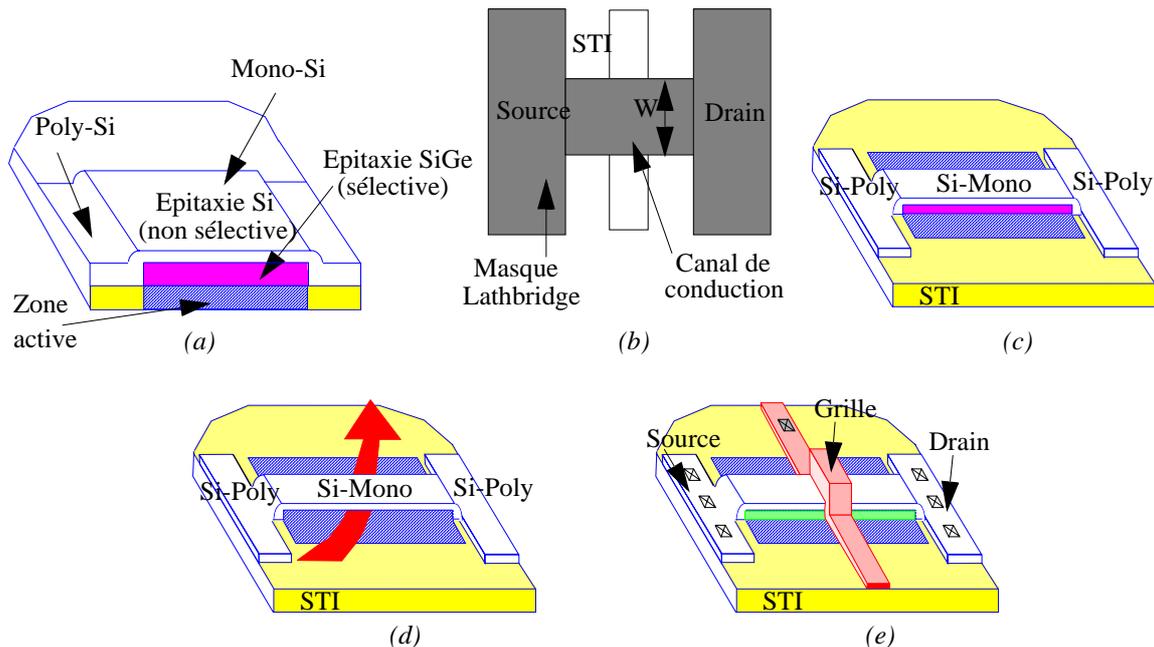


Fig. 2.4: Procédé de fabrication d'un transistor GAA en utilisant la technologie SON [15].

II-3.2 Performances électriques-Discussion.

La réalisation de transistors GAA, basée sur la technologie SON possède l'avantage majeur de conserver les masques usuellement utilisés pour la réalisation de transistor conven-

tionnel. Harrison *et al.* [15] ont ainsi montré la possibilité de co-intégrer l'architecture GAA avec une architecture conventionnelle, sans difficulté technologique majeure. De plus, les transistors GAA présentent de très bon ratio I_{on}/I_{off} avec des courants de saturation pouvant atteindre les $2\text{mA}/\mu\text{m}$ ($L_g=70\text{ nm}$, $t_{Si}=30\text{ nm}$), tout en maintenant une très bonne intégrité électrostatique. En faisant varier le dopage du canal, le courant à l'état bloqué atteint une valeur proche de $1\text{nA}/\mu\text{m}$. Néanmoins, pour des longueurs de grilles de 25 nm , il est nécessaire de diminuer l'épaisseur du canal de conduction (t_{Si}) pour maintenir un bon contrôle électrostatique du canal. Or, cette diminution d'épaisseur s'accompagne d'une chute de la tension de seuil. Il est ainsi nécessaire d'utiliser une grille mid-gap afin de pouvoir ajuster la tension de seuil. D'autre part, il subsiste des problèmes de capacités parasites provoquées par le recouvrement de la grille inférieure avec les zones de source/drain.

II-4 Conclusion.

Cette partie a présenté les structures multi-grille planaires. Elle a tout d'abord mis en évidence les problèmes d'auto-alignement (capacités parasites) des dispositifs DGMOSFET. De meilleurs résultats, notamment en terme de co-intégration ont été obtenus avec une structure enrobante de type GAA. Néanmoins, des optimisations importantes sont encore nécessaires afin d'éliminer les capacités parasites provoquées par le recouvrement des zones de source/drain par la grille inférieure. La troisième partie de ce chapitre se focalise désormais sur une architecture de transistor double-grille à conduction latérale.

III- Transistor double-grille à conduction verticale.

III-1 Introduction.

Le transistor DGMOSFET planaire, comme mentionné dans la section précédente, est difficilement intégrable dans la filière MOS traditionnelle: épitaxie de silicium, problèmes d'alignement des deux grilles, difficultés pour prendre les contacts de grille générant des capacités parasites. L'élaboration de transistors verticaux à grille enrobante («Surrounding Gate MOSFET» en anglais) [16-17], permet d'outrepasser nombre de ces problèmes. Dans ces architectures, le courant de conduction circule dans un plan perpendiculaire au plan du substrat

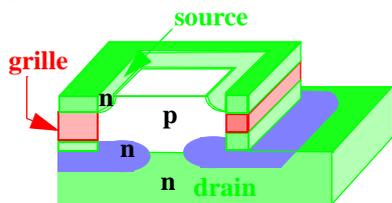
(Fig. 2.1). Les principaux avantages de cette structure sont: une augmentation du courant de conduction, une meilleure immunité vis à vis des effets canaux courts, et une augmentation de la densité d'intégration. De plus, la longueur de canal (longueur critique dans le procédé de fabrication) est déterminée par la précision de l'implantation ou par la croissance épitaxiale, et non pas par lithographie, comme dans le cas des architectures planaires. Cela représente un véritable atout. Dans ces cas précis, la grille est auto-alignée avec la source et le drain, les contacts de grille sont facilement accessibles.

Néanmoins, il subsiste encore un certain nombre de challenges technologiques à relever avant de pouvoir intégrer cette architecture dans la filière MOS classique. Ainsi, ces dispositifs ne peuvent présenter qu'une seule longueur de grille sur un même substrat. De plus, les dessins de masque sont très différents de ceux utilisés pour la filière MOS conventionnelle. Enfin, les capacités parasite de type recouvrement sont très importantes, limitant l'attrait de cette architecture pour la conception de circuits analogiques RF ou digitaux rapides.

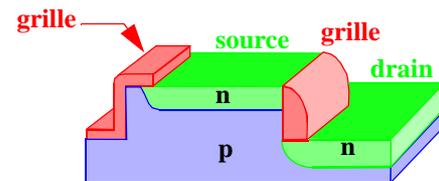
Il existe une multitude de procédés de fabrication pour ce type d'architecture, que l'on peut classifier en trois catégories:

- ceux basés sur la diffusion des dopants contenus dans des empilements de couches (Fig. 2.5.a).
- ceux qui utilisent une épitaxie pour former le canal (Fig. 2.5.b).
- ceux qui tirent profit d'une implantation de la source et du drain (Fig. 2.5.c).

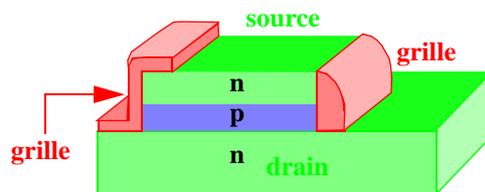
La suite du chapitre présente de manière non exhaustive ces trois approches technologiques.



(a) transistor double-grille réalisé par diffusion de sources solides.



(c) transistor double-grille réalisé par implantation source/drain.



(b) transistor double-grille réalisé par épitaxie.

Fig. 2.5: Différentes architectures de transistors double-grille verticaux.

III-2 Transistor à conduction verticale réalisé par diffusion de source solide (VRG).

III-2.1 Procédé de fabrication.

Hergenrother *et al.* ont réalisé un nouveau type de transistor MOSFET vertical, le «Vertical Replacement Gate», (VRG) [18]. Dans le VRG, le courant circule perpendiculairement à la surface plane du substrat (Fig. 2.1.b). Les principaux avantages du procédé de fabrication sont:

- le contrôle de toutes les dimensions critiques sans utiliser de lithographie.
- la croissance de l'oxyde de grille de très haute qualité sur le canal en silicium cristallin.
- l'auto-alignement source/drain par diffusion de source solide (SSD).

Voici un résumé succinct du procédé de fabrication du VRG (Fig. 2.6). Une implantation d'arsenic sur un substrat de silicium épitaxié définit le drain (Fig. 2.6.a). Un film fin d'oxyde est déposé afin de servir de barrière de diffusion. Plusieurs matériaux sont ensuite empilés les uns sur les autres: verre de phosphosilicate (PSG)/nitrure/oxyde fin non dopé/nitrure/PSG/nitrure (Fig. 2.6.b). Une gravure anisotropique de la tranche définit une cavité possédant des flancs parfaitement verticaux (Fig. 2.6.c). Une croissance épitaxiale sélective de silicium dopé au bore, réalisée à l'intérieur de la cavité, constitue le canal (Fig. 2.6.d). La structure est planarisée par CMP (en utilisant le nitrure comme couche d'arrêt) (Fig. 2.6.e). L'oxyde non dopé, déposé préalablement, sert de couche sacrificielle et son épaisseur définit la longueur de grille L_g . Les deux empilements de PSG sont des réservoirs de dopants utilisés pour former les extensions auto-alignées de source/drain. Le procédé de diffusion de sources solide (phosphore) permet de définir des extensions de faible résistance, et peu profondes. Un dépôt de polysilicium (dopé par de l'Arsenic) définit la source (Fig. 2.6.f et Fig. 2.6.g). La formation (Fig. 2.6.h) et la gravure (Fig. 2.6.i) des espaceurs de nitrure «enrobent» le PSG. La couche d'oxyde sacrificielle est gravée sélectivement afin d'exposer le canal vertical de silicium (Fig. 2.6.j). Une croissance thermique de l'oxyde de grille très fin combinée à un dépôt conforme du matériau de grille clôturent le procédé (Fig. 2.6.k et Fig. 2.6.l).

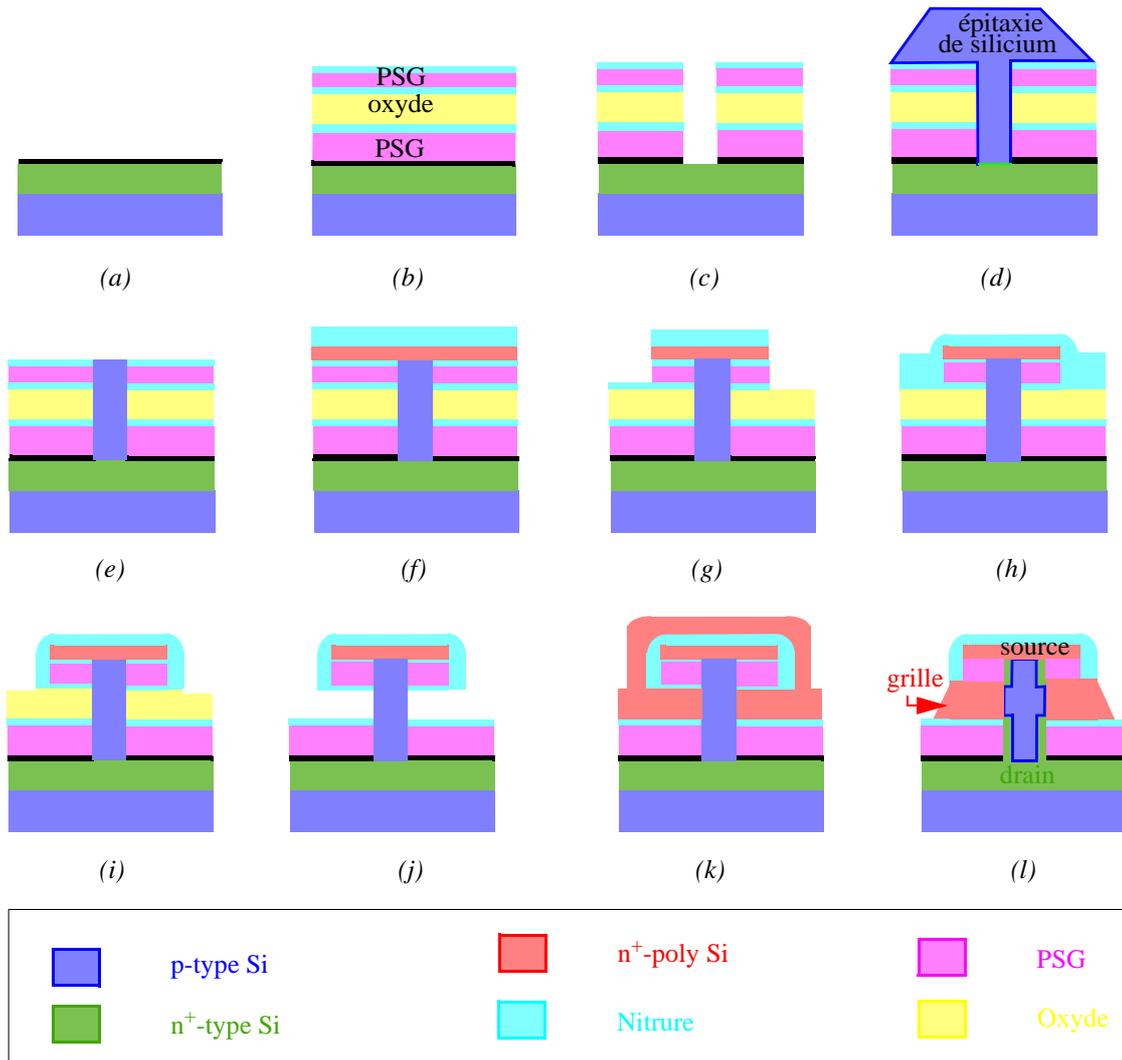


Fig. 2.6: Procédé de fabrication d'un transistor vertical double-grille basé sur la diffusion de sources solides [18].

III-2.2 Performances électriques-Discussion.

Les transistors VRG réalisés par Hergenrother *et al.* [18] possèdent de très bonnes propriétés électriques, et dépassent largement les performances des transistors planaires. Pour un transistor n-MOSFET de longueur de grille $L_g = 200$ nm, la pente sous le seuil est quasi idéale, (76 mV/décade), le courant de conduction est supérieur au mA/ μ m, et le courant de fuite très faible ($I_{off} = 11$ pA/ μ m).

Par la suite, Hergenrother *et al.* ont optimisé les performances de ces transistors en utilisant des oxydes à haute permittivité électrique (high-k) tels que HfO_2 , ou Al_2O_3 [19]. Un transistor VRG à canal p a aussi été réalisé [20] en modifiant quelques étapes lors du procédé de fabrication. D'autres alternatives ont été proposées [21] avec de légères modifications du procédé.

III-3 Transistor à conduction verticale réalisé par épitaxie.

Il existe une deuxième approche pour la réalisation de transistors verticaux, basée sur la croissance de silicium par épitaxie sélective [22-25]. Nous présentons plus précisément celle de Risch *et al.* [22]. Ce procédé de fabrication permet de parfaitement contrôler l'épaisseur des couches atomiques constituant le canal, ainsi que le dopage des source/drain et canal.

III-3.1 Procédé de fabrication.

La Fig. 2.7 représente une vue en coupe du transistor réalisé par Risch *et al.* [22]. Un substrat silicium p est isolé par un procédé d'oxydation LOCOS (Local Silicon Oxidation). Une croissance de silicium par épitaxie sélective de la source, du drain et du canal est réalisée par LPCVD (Low Pressure Chemical Vapor Deposition) à (900°C, avec SiH_2Cl_2 , B_2H_6 et AsH_3 comme dopant). Un dépôt de 300 nm de tetraethoxysilane (TEOS) combiné à une gravure profonde de 0,2 à 0,5 μm à travers la couche épitaxiée (jusqu'à la couche n^+ située au-dessus du substrat) forme le canal vertical du transistor. Le diélectrique de grille (5 nm) est formé par oxydation thermique à 825°C. Le matériau de grille (polysilicium) est déposé (200 nm), puis dopé au phosphore.

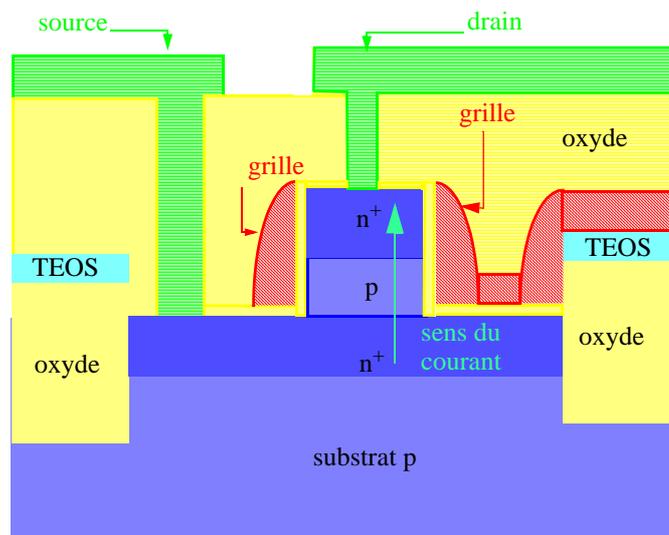


Fig. 2.7.:Figure schématique d'un transistor vertical réalisé par épitaxie [22].

III-3.2 Performances électriques-Discussion.

Risch *et al.* [22] ont réussi à fabriquer des transistors verticaux de longueur de grille de 70 nm en utilisant une épitaxie LPCVD combinée à une gravure du canal. A faible V_{DS} , les tensions de seuil obtenues sont de 0,8V, 0,6V et 0,4V pour des longueurs de grilles de, respectivement: 170 nm, 120 nm et 70 nm. De plus, pour le plus petit transistor ($L_g=70$ nm), le courant de saturation atteint $500 \mu A/\mu m$ à $V_g = V_d = 1,5V$. Cependant, il convient de rappeler que cette approche technologique reste tout de même relativement complexe et surtout, elle n'est pas compatible avec la filière CMOS conventionnelle.

III-4 Transistor à conduction verticale réalisé par implantation.

Il existe une troisième approche pour la fabrication de transistors verticaux de faibles dimensions. Rappelons que la première approche est basée sur la diffusion des dopants contenus dans des empilements de couches [18], et la deuxième sur l'épitaxie du canal [22]. Schulz *et al.* [26-28] ont proposé un nouveau procédé de fabrication plus proche de ceux utilisés dans la technologie planaire.

III-4.1 Procédé de fabrication.

Un masque épais de 250 nm d'oxyde (TEOS) est déposé sur un substrat de silicium (Fig. 2.8.a). Une lithographie standard combinée à une gravure sèche définissent une cavité (Fig. 2.8.a). Une gravure sèche de la couche de nitrure forme les espaceurs sacrificiels, qui serviront de masque dur pour l'ailette de silicium (Fig. 2.8.b). Le film de silicium est alors formé (Fig. 2.8.b). Le matériau de grille (50 nm de polysilicium dopé) est déposé sur l'oxyde de grille (3 nm) ([Fig. 2.8.c). Le polysilicium est gravé afin de définir la grille et d'implanter la source et le drain (Fig. 2.8.d). Le reste des espaceurs sacrificiels de nitrure est éliminé par gravure humide. Une nouvelle couche de nitrure est déposée afin d'isoler la grille de polysilicium (Fig. 2.8.e). Un dépôt d'oxyde (TEOS) permet d'aplanir la surface. Enfin, les trous pour les plots de contacts sont définis par gravure afin d'y déposer le métal (Fig. 2.8.f).

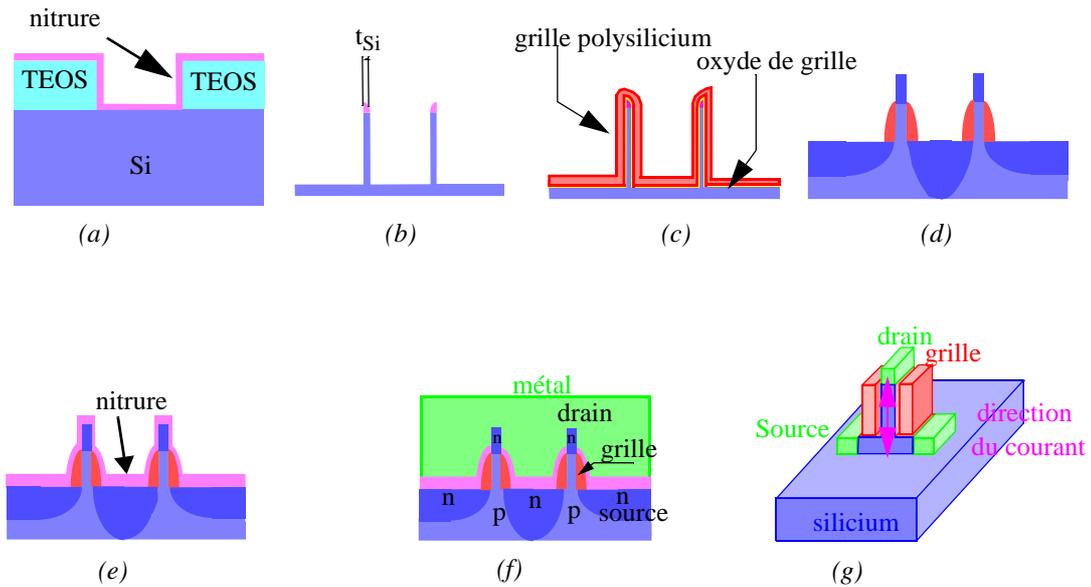


Fig. 2.8.: Procédé de fabrication d'un transistor vertical basé sur l'implantation de source/drain [27].

III-4.2 Performances électriques-Discussion.

Le procédé technologique utilisé par Schulz *et al.* [27] réduit, dans une certaine mesure, la complexité des étapes technologiques. De plus, pour une longueur de canal de 70 nm, et un dopage du canal de $2 \cdot 10^{18}$ atomes/cm⁻³, le courant à l'état bloqué (I_{off}) reste très faible (inférieur à 1 pA), tout comme le DIBL (1mV). Néanmoins, le courant de saturation n'atteint qu'un niveau très faible: 12 μ A/ μ m, à $V_{DS} = 1,5V$ et $V_{GS} - V_{th} = 1V$ du à des problèmes rencontrés au cours du procédé technologique.

III-5 Conclusion.

La technologie à conduction verticale bien qu'innovante pose de nombreux problèmes. La complexité des différentes étapes technologique engendre une incompatibilités à intégrer une filière MOS conventionnelle. De plus, ce type de structure ne peut présenter qu'une seule longueur de grille sur un même échantillon. Ainsi, les transistors à conduction latérale semblent beaucoup plus adaptés pour répondre aux besoins industriels des générations futures. Cette troisième partie décrit les différentes architectures de type FinFET ainsi que les dérivés: Omega-FET, Pi-Gate.

IV- Transistor à conduction latérale.

Les transistors double-grille planaires et à conduction verticale ne sont pas facilement intégrables dans la filière CMOS. Une nouveau type d'architecture plus proche de la technologie MOS classique a été étudiée: les transistors à conduction latérale. Cette partie présente ce type d'architecture appelée «FinFET» («fin» signifiant ailette en anglais) ainsi que les architectures dérivées: Omega-FET, Pi-Gate...

IV-1 Delta-FET.

IV-1.1 Procédé de fabrication.

Hisamoto *et al.* ont été parmi les premiers à conceptualiser et à élaborer une structure tridimensionnelle de transistor à effet de champ [29-30]: le transistor DELTA-FET (Fully Depleted Lean-Channel Transistor) (Fig. 2.9). Ce transistor est «l'ancêtre» du FinFET (cf. IV-2). L'idée consiste à déserrer de manière intentionnelle la totalité du canal. La taille du dispositif est ainsi réduite afin d'obtenir des dimensions inférieures à la largeur de la zone de déplétion. L'originalité du procédé de fabrication réside dans l'oxydation sélective [31-32], identique à celle utilisée pour la formation des structures LOCOS sur un substrat massif de silicium, et permettant de définir un cristal SOI de très bonne qualité.

Rappelons brièvement le procédé de fabrication de ce transistor innovant. Un dépôt de nitrure est effectué par CVD (Chemical Vapor Deposition), sur un plot d'oxyde thermique. Une gravure RIE anisotropique permet de définir la zone active de silicium (Fig. 2.9.a). Les espaceurs de nitrure sont ensuite définis par dépôt CVD combiné à une gravure RIE. Une gravure chimique HF/HNO₃ permet de sous-graver le canal de silicium (Fig. 2.9.b). Enfin, une oxydation du substrat à 1100°C forme la structure SOI (Fig. 2.9.c). La suite du procédé de fabrication est identique à celui utilisé pour la réalisation d'un transistor MOSFET conventionnel (auto-alignement de la grille) (Fig. 2.9.d).

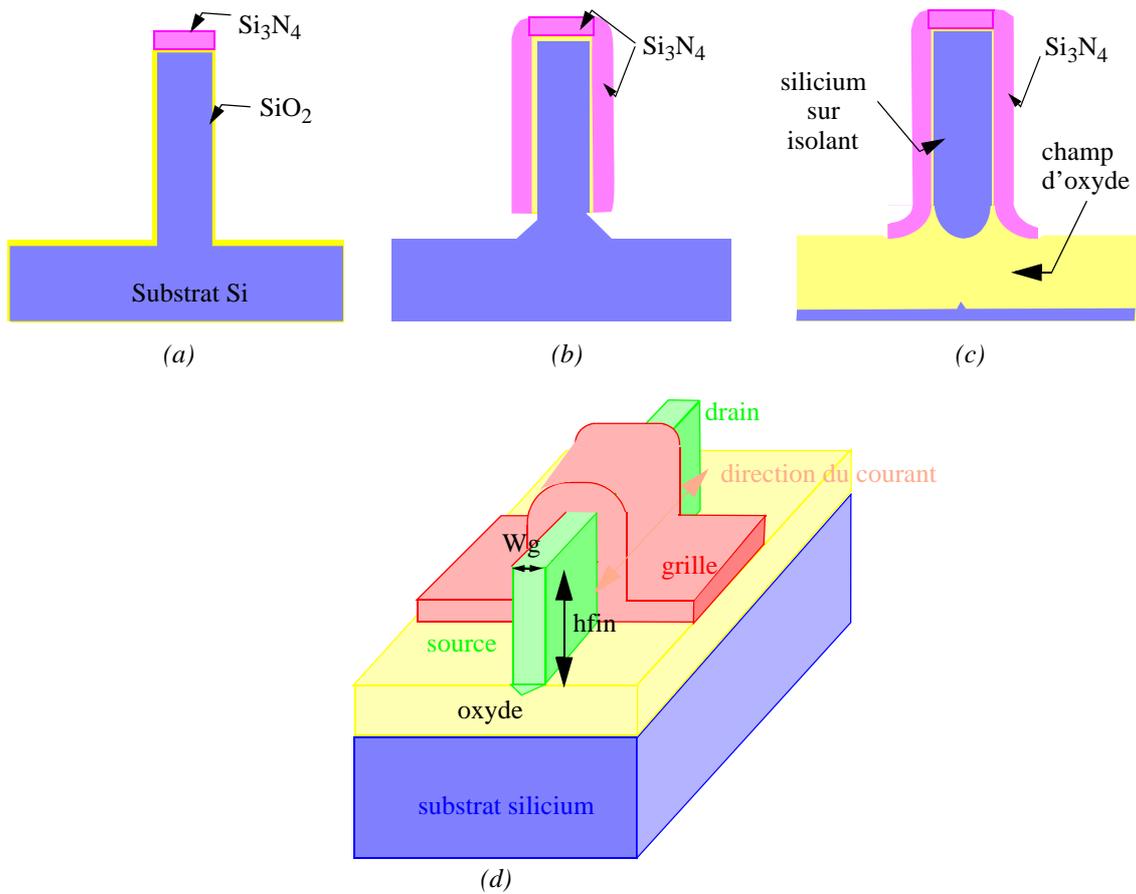


Fig. 2.9. Procédé de fabrication du transistor DELTA-FET [29-30].

IV-1.2 Performances électriques.

Hisamoto *et al.* [29-30] ont montré que le transistor DELTA-FET permettait d'améliorer l'intégrité électrostatique des transistors. La structure de la grille «DELTA» supprime les effets néfastes de pénétration du potentiel du drain dans le canal. D'autre part, le courant du canal circule tout le long de la surface verticale ainsi qu'horizontalement. La largeur effective de canal W est plus importante que pour un transistor conventionnel, elle est donnée par (cf. chapitre 1, paragraphe III-2.3):

$$W = W_g + 2 \times h_{fin} \quad (\text{Eq. 2.1})$$

La hauteur de la zone active de silicium détermine donc fortement la largeur du canal. Enfin, cette architecture permet de réduire la pente sous le seuil à une valeur proche de la valeur idéale (62 mV/décade pour une longueur de grille de 0.15 μm) [29].

IV-2 FinFET.

IV-2.1 Introduction.

L'architecture FinFET est une version améliorée et «miniaturisée» du transistor DELTA conçu par Hisamoto *et al.* [29]. Le courant de conduction circule horizontalement (dans un plan parallèle à celui du substrat), de la source vers le drain. C'est pour cette raison qu'on qualifie souvent cette structure de «quasi-planaire». L'épaisseur de l'ailette W_{fin} doit être très fine ($W_{fin} < 2/3 L_g$) afin d'optimiser le contrôle des effets de canaux courts. Cette configuration permet d'exploiter au maximum l'architecture double grille, afin de maîtriser les effets de canaux courts et d'augmenter le courant de conduction tout en conservant un courant à l'état bloqué faible. Deux phénomènes expliquent essentiellement ces propriétés remarquables: l'inversion volumique et l'augmentation de la largeur effective du canal ($hauteur_{ailette} > pas$ du réseau) (cf. chapitre 1, paragraphes III-2.2 et III-2.3).

Il existe deux types de procédé de fabrication du transistor FinFET:

- la formule «grille en fin de procédé» («gate last» en anglais) [33-36], dans lequel la source et le drain sont réalisés avant la formation de la grille.
- la formule «grille en début de procédé» («gate first» en anglais) [37-42], dans lequel la source et le drain sont réalisés après la formation de la grille.

Cette section présente chacune des deux approches.

IV-2.2 Procédé «gate last».

IV-2.2-a Procédé de fabrication.

La méthode la plus classique pour réaliser un transistor FinFET consiste à définir les régions de source et de drain avant l'électrode de grille. L'ensemble du procédé de fabrication défini par Huang *et al.* [34-35] est représenté Fig. 2.10. La fabrication du FinFET commence par la définition d'une ailette de silicium par lithographie électronique combinée à une gravure ionique RIE sur un substrat SOI (Fig. 2.10.b) en utilisant un «masque dur» (Fig. 2.10.a). L'épaisseur de l'ailette de silicium définit la largeur du canal. Le matériau de source/drain déposé (SiGe polycristallin, ou polysilicium dopé) est recouvert par une couche d'isolation (LTO: Low Temperature Oxide) (Fig. 2.10.c).

Une lithographie électronique associée à une gravure RIE définit les zones de source et drain (Fig. 2.10.d). Les espaceurs de nitrure sont formés après gravure (Fig. 2.10.e). Une oxydation sacrificielle est effectuée sur le côté des ailettes afin d'enlever toutes les impuretés (Fig. 2.10.f). Une gravure humide de cet oxyde réduit l'épaisseur des ailettes de silicium. L'étape suivante consiste à former l'oxyde de grille (Fig. 2.10.g). Enfin, un recuit des zones d'extension de la source et du drain entraîne la diffusion des dopants (ex: Bore) (Fig. 2.10.h). Le procédé se termine par le dépôt du matériau de grille et la définition de l'électrode de grille par lithographie électronique (Fig. 2.10.i). La Fig. 2.10.ibis est une vue évidée des espaceurs.

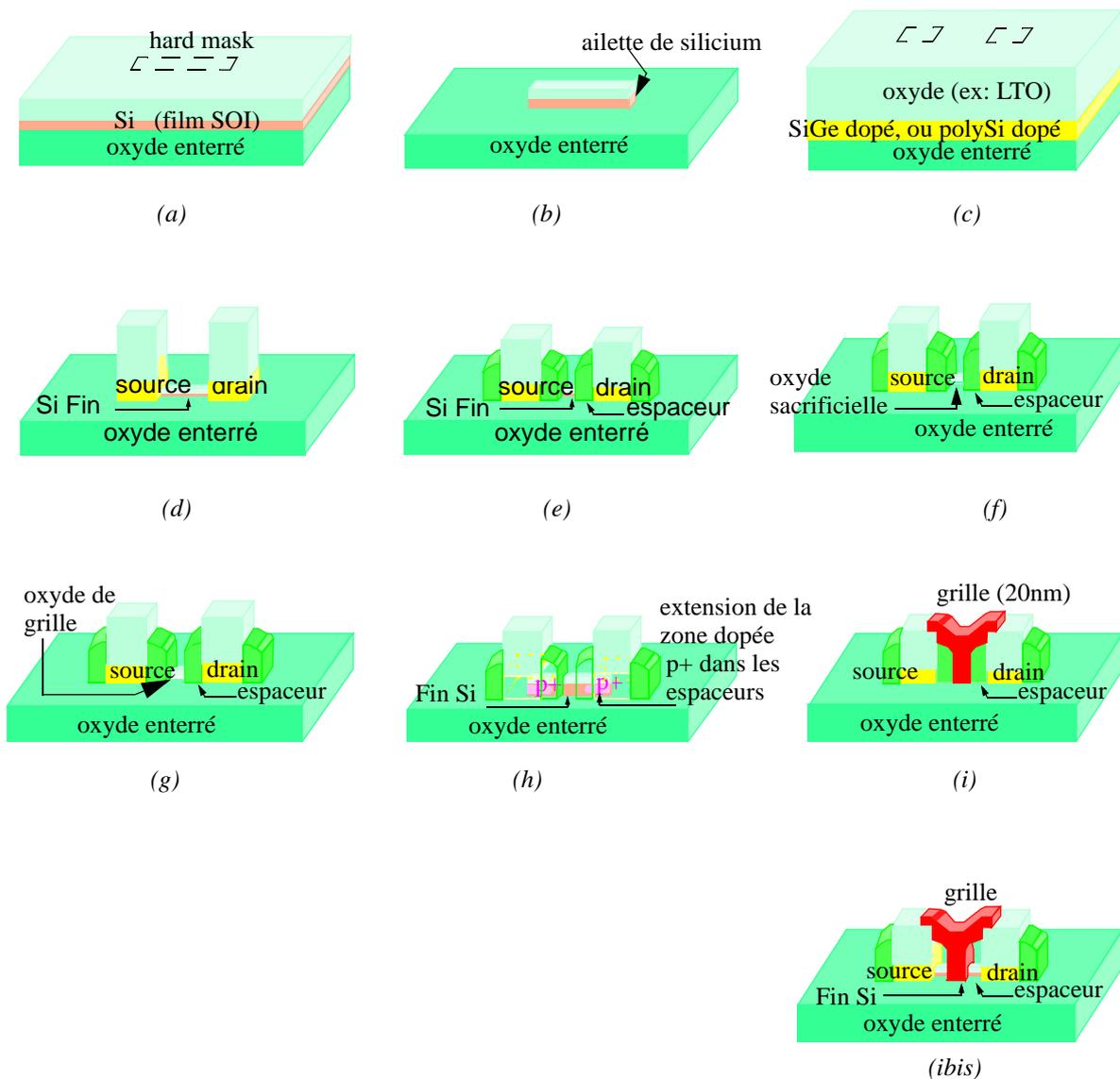


Fig. 2.10: Procédé de fabrication «gate last» pour la réalisation d'un transistor FinFET [34-35].

IV-2.2-b Performances électriques-Discussion.

Les transistors caractérisés par Huang *et al.* [35] atteignent des niveaux de courants de saturation élevés, de plus de 800 $\mu\text{A}/\mu\text{m}$ (pour un $I_{\text{off}}=215 \text{ nA}/\mu\text{m}$), des pentes sous le seuil presque idéales ($S=69 \text{ mV/décade}$).

Néanmoins, ce procédé pose quelques problèmes non négligeables:

- L'épaisseur critique (épaisseur de l'ailette) est définie par lithographie électronique limitant ainsi les dimensions obtenues et provoquant des fluctuations des épaisseurs d'ailette.

- La lithographie conventionnelle ne permet pas de réaliser des pas de répétition faibles entre deux ailettes (pour la production).

- Ce procédé nécessite l'utilisation de gravures hyper-sélectives entre le matériau de grille et les espaceurs (diélectriques). Cela entraîne la formation de résidus («stringers» en anglais) qui provoquent des capacités parasites.

- L'intégration des zones de source/drain est très difficile pour la réalisation de transistors CMOS (n-FET et p-FET sur le même échantillon).

- Les résistances d'accès source/drain sont encore trop importantes.

Le deuxième type de procédé («gate first») permet de résoudre un certain nombre de ces problèmes.

IV-2.3 Procédé «gate first».

IV-2.3-a Procédé de fabrication.

Ce procédé de fabrication («gate first») est basé sur la réalisation de l'électrode de grille avant les électrodes de source/drain [38]. L'ensemble des étapes est proposée en Fig. 2.11.

Un dépôt LPCVD d'oxyde sur un substrat SOI, combiné à une gravure RIE anisotropique, définit des espaceurs autour de plots de SiGe préalablement formés (Fig. 2.11.a et Fig. 2.11.b). L'épaisseur de l'oxyde correspond à l'épaisseur finale des ailettes de silicium. Une gravure RIE sélective et anisotropique libère les espaceurs sacrificiels (Fig. 2.11.c). Une lithographie optique est utilisée afin de définir les larges contacts source/drain (Fig. 2.11.d et Fig. 2.11.e). Une gravure RIE sélective définit la zone active de silicium. L'oxyde de grille et le matériau de grille sont déposés (Fig. 2.11.f). Un espaceur sacrificiel est formé sur les faces latérales de la grille («sidewall spacers» en anglais). L'implantation tiltée de la source et du drain clôture la réalisation du transistor FinFET.

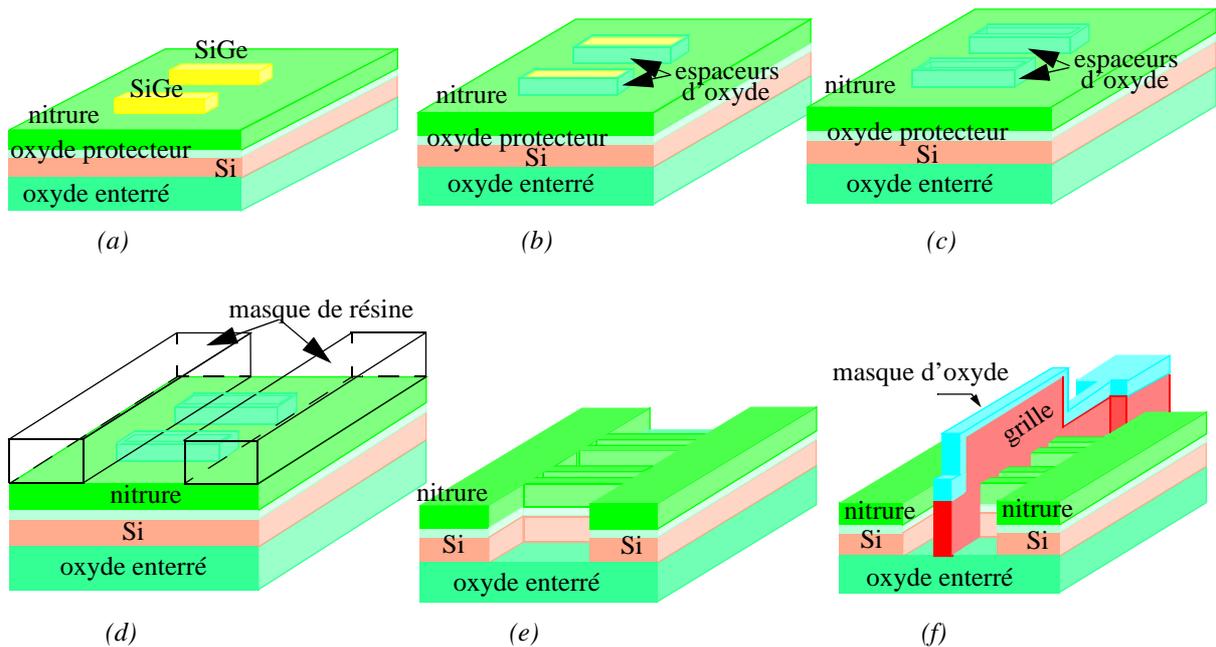


Fig. 2.11: Procédé de fabrication «gate first» pour la réalisation d'un transistor FinFET [38].

IV-2.3-b Performances électriques-Discussion.

Choi *et al.* [37] ont obtenu de très bonnes performances, avec des courants à l'état bloqué inférieurs à $1 \text{ nA}/\mu\text{m}$ et des courants de conduction relativement élevés (plus de $600 \mu\text{A}/\mu\text{m}$ pour les n-MOS). Choi *et al.* [38] montrent également que l'utilisation de «couches sacrificielles» permet de dépasser certaines limites propres à la lithographie conventionnelle:

- La densité du dispositif est doublée par rapport à une lithographie conventionnelle (Fig. 2.12).

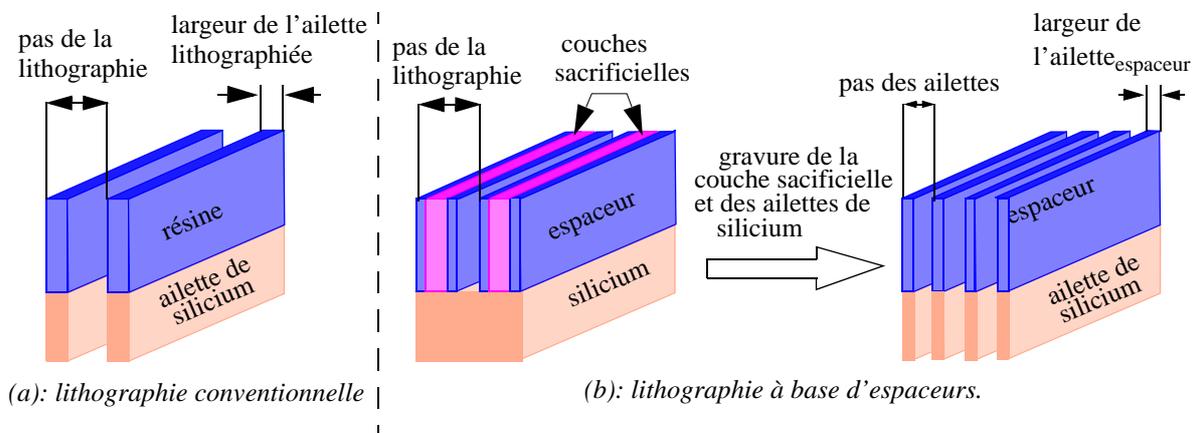


Fig. 2.12: Variation de la densité des ailettes obtenues pour les deux types de lithographie [35].

- La variation des dimensions critiques est plus faible permettant d'obtenir une meilleure homogénéité (Fig. 2.13).

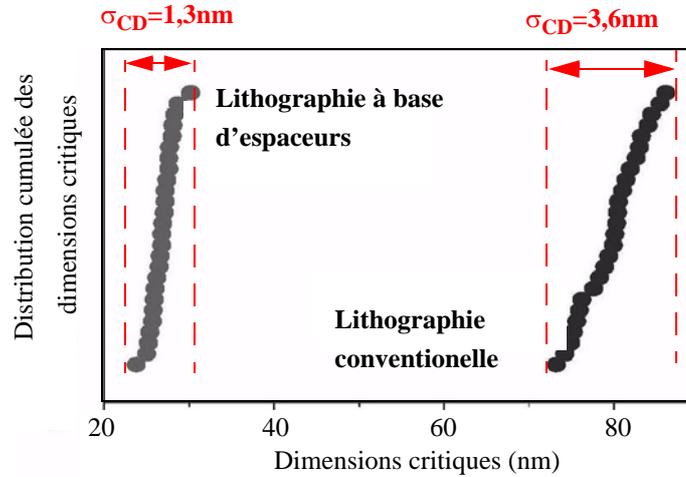


Fig. 2.13: Variation des dimensions critiques pour les deux types de lithographie [35].

Néanmoins, ce procédé de fabrication du FinFET présente des contraintes de gravure critique des espaceurs (comme pour le procédé «gate last»), mais également de la grille qui le rend difficile à intégrer. La topologie de l'échantillon engendre la formation de résidus de gravure («spacer stringers» et «gate stringers» en anglais) (Fig. 2.14) [43]. Pour éviter ces problèmes, une sur-gravure doit être réalisée engendrant des contraintes supplémentaires sur la sélectivité entre le matériau de grille et l'oxyde de grille [44].

Collaert *et al.* [45] sont les premiers à avoir fabriqué un oscillateur en anneau (41 inverseurs à la suite) en utilisant la technologie FinFET, avec une longueur de grille de 25 nm. L'immunité vis-à-vis des effets canaux courts est très bonne (cf. Table II.2). Néanmoins, de tels dispositifs présentent encore des couplages capacitif élevés (délai réponse de 60 ps à $V_{DD}=1,5V$) provoqués par les résidus de gravure du matériau de grille (Poly-Si) (Fig. 2.15).

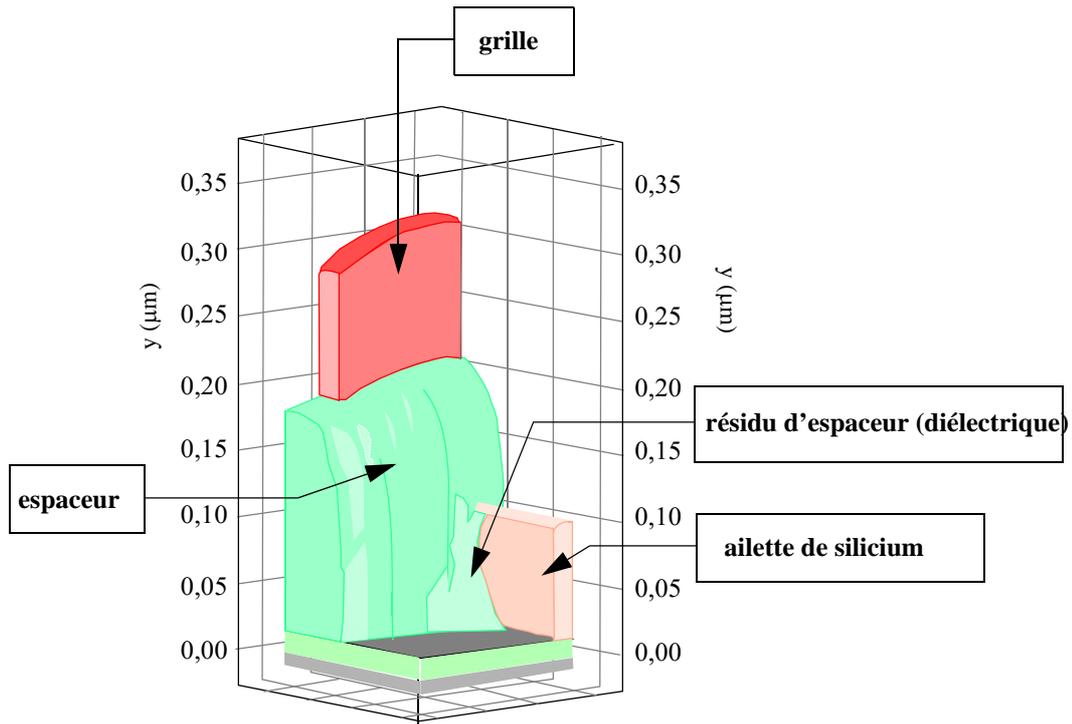


Fig. 2.14: Vue 3D d'un quart de structure de transistor FinFET après gravure des espaceurs, présence de résidus de gravure (stringers) [43].

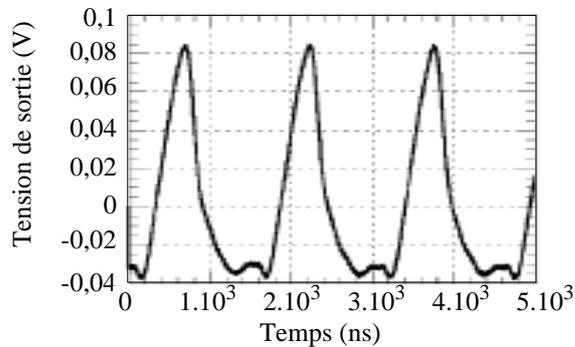


Fig. 2.15: Caractéristique de sortie d'un ring oscillateur comprenant 41 inverseurs, $L_g=25$ nm [45].

IV-2.4 Etat de l'art des performances des FinFET.

Ce paragraphe répertorie de manière non exhaustive les résultats les plus marquants de la littérature concernant les architectures FinFET.

La Table 2.2 confirme que l'utilisation d'une architecture de type FinFET permet d'atteindre des performances en courant et transconductance élevées, toute en conservant une très bonne intégrité électrostatique. On peut ainsi noter les relativement faibles effets canaux courts dans les transistors de type n, de Kedzierski *et al.* [41] ou de Yu *et al.* [46], avec des pentes sous le

seuil proches de la valeur idéale de 60 mV/décade, ainsi qu'un DIBL relativement faible (11 mV/V).

La Table 2.2 présente également les performances en courant de ces architectures. Pour des longueurs de grille de 50 nm, les courants de conduction des transistors réalisés par Parihar *et al.* [52] dépassent le mA/ μm , tout en conservant des courants à l'état bloqué acceptables (100 nm/ μm).

Enfin, il convient de noter les résultats obtenus par Collaert *et al.* en 2004 [45]. Ce sont les premiers à avoir fabriqué un oscillateur en anneau (41 inverseurs à la suite) en utilisant la technologie FinFET, avec une longueur de grille de 25 nm. L'immunité vis à vis des effets canaux courts est très bonne (cf. Table 2.2). Néanmoins, de tels dispositifs présentent encore des couplages capacitif élevés (temps de délai de 60 ps) qui nécessitent une optimisation de la technologie.

On note un courant étonnamment élevé de 1300 $\mu\text{A}/\text{cm}^2$ pour la référence [51]. Cela s'explique par le fait que le courant n'est pas normalisé.

IV-3 Les transistors dérivés du FinFET.

Il existe une multitude d'architectures dérivées du transistor FinFET initial [33]. Cette partie présente les versions les plus répandues: le transistor triple-grille, et les transistors Pi Gate et Omega Gate dont le nom est relatif à leur forme.

IV-3.1 Triple-Grille classique.

Le transistor triple-grille classique [56-58] est composé d'un canal fin de silicium entouré par une grille sur trois de ses côtés (Fig. 2.16). Cette architecture permet d'obtenir des courants de conduction supérieurs à ceux obtenus dans les FinFET [56]. Néanmoins, cette architecture engendre de nouvelles contraintes technologiques lors de la réalisation de la grille supérieure.

Il existe également des problèmes liés aux effets de coin [59-61] qui nuisent considérablement aux performances des transistors (baisse de la tension de seuil, augmentation du courant à l'état bloqué).

D'autres architectures triple-grille [62-63] ont été imaginées afin d'augmenter le contrôle de la grille sur le canal. Elles sont détaillées dans le prochain paragraphe.

| | [30] | [39] | [41] | [42] | [45] | [46] | [46] | [47] | [48] | [49] | [49] | [50] | [51] | [52] | [53] | [54] | [55] |
|--------------------------------|------------------------|-------------|-------------|------------------------|-------------|-------------|-------------|----------------|------------------------|------|------|------|------|------|------|------|------|
| L_g (nm) | 30 | 100 | 60 | 20 | 25 | 10 | 55 | 35 | 60 | 49 | 25 | 100 | 60 | 50 | 20 | 50 | 30 |
| V_{dd} (V) | 1 | 1,5 | 1,5 | 1 | 1,2 | 1,2 | 1,2 | 1 | 1 | 1 | 1 | 1,25 | 1,4 | 1,2 | - | 1,2 | 1 |
| T_{ox} (nm) | 2,5 | 2,2 | 1,6 | 2,1 | 1,6 | 1,7 | 1,7 | 2,4 | 2,5 | 2,4 | 2,4 | 1,6 | 1,5 | 1,6 | - | 1,4 | - |
| Matériau de grille | P ⁺ SiGe | Poly- Si | Poly- Si | N ⁺ SiGe | Poly- Si | Poly- Si | Poly- Si | N ⁺ | N ⁺ SiGe | NiSi | NiSi | NiSi | NiSi | NiSi | - | - | - |
| S_n (mV/déc) | 71 | 72 | 66 | 75 | 78 | 125 | 64 | 78 | 70 | - | - | - | - | - | - | 75 | 80 |
| S_p (mV/déc) | - | - | 65 | 90 | 81 | 101 | 68 | 96 | 80 | 64 | - | 70 | - | - | - | 90 | 80 |
| DIBL N (mV/V) | - | 57 | - | 100 | 45 | 71 | 11 | - | 40 | - | - | - | - | - | - | - | 68 |
| DIBL P (mV/V) | - | - | - | 140 | 75 | 120 | 27 | - | 90 | 39 | 125 | - | - | - | - | - | 45 |
| $I_{off N}$ (nA/ μ m) | - | - | - | 70 | - | - | - | 200 | - | - | - | 120 | 100 | 100 | - | 26 | - |
| $I_{on N}$ (μ A/ μ m) | - | - | - | 365 | - | 446 | - | 1240 | - | - | - | 970 | 1300 | 1050 | 1100 | 715 | 800 |
| $I_{off P}$ (nA/ μ m) | - | - | - | 70 | - | - | - | 200 | - | - | <1 | 20 | 100 | 100 | - | 1000 | - |
| $I_{on P}$ (μ A/ μ m) | - | - | - | 270 | 380 | 356 | - | 500 | - | - | 325 | 600 | 660 | 480 | 500 | 810 | 800 |

Table 2.2: Etat de l'art comparatif des performances des transistors FinFET de la littérature.

IV-3.2 Pi-gate - Omega-Gate.

En 2001, Park, Colinge *et al.* [62] ont proposé une version améliorée du transistor MOSFET triple-grille: le Pi-Gate et l'OMEGA-Gate (la grille ressemble aux lettres grecques « Π » (Fig. 2.16.a), et « Ω » (Fig. 2.16.b)). Dans cette architecture innovante, la grille s'étend jusque dans l'oxyde enterré des deux cotés. Park *et al.* [63] ont montré que cette extension permettait de protéger le canal des lignes de champ du drain. Elle joue un rôle quasi équivalent à une quatrième grille (Fig. 2.17).

Selon le rapport d'aspect, la transconductance et le courant de conduction d'un transistor double, triple et quadruple grille sont respectivement voisins de deux, trois ou quatre fois supérieurs à ceux d'un transistor-simple grille. Park et Colinge ont également montré par des simulations que le Pi-gate permettait d'augmenter la transconductance et le courant d'un facteur 3,56 par rapport à un transistor simple-grille [63]. Il est également démontré qu'une extension de la grille, relativement faible, dans l'oxyde enterré est suffisante afin de servir de bouclier: 10 nm pour une largeur de canal de 30 nm [63].

Un autre avantage non négligeable de cette structure réside dans sa relative facilité de réalisation par rapport à un transistor «Gate all Around». Il suffit d'effectuer une sur-gravure de l'oxyde enterré lors de la formation des ailettes de silicium.

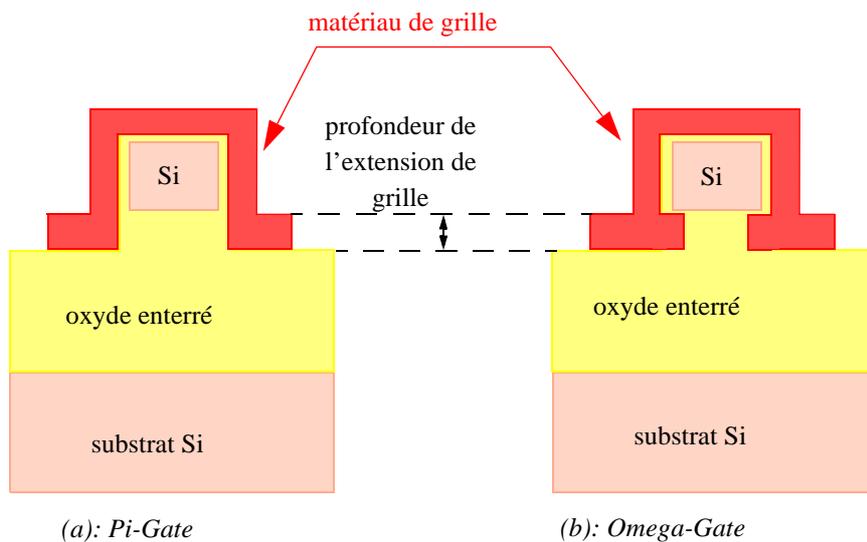


Fig. 2.16: Vue en coupe des transistors Pi-Gate et Omega-Gate.

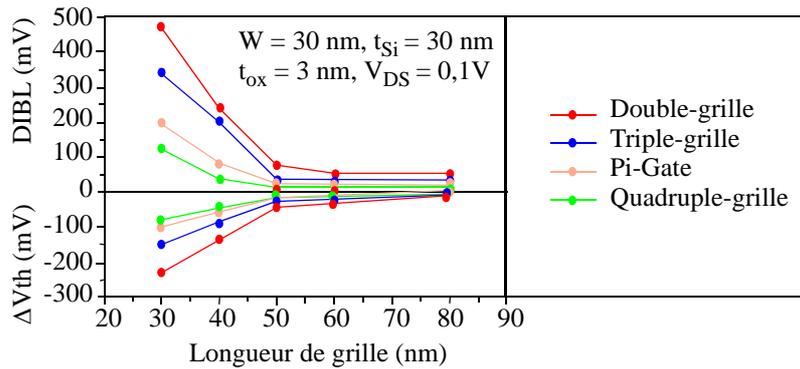


Fig. 2.17: Simulations du DIBL et de la variation de la tension de seuil (ΔV_{th}) dans des transistor MOSFET sur SOI totalement déplété pour différentes structures de grille et différentes longueur de grille $W = T_{Si} = 30$ nm, $N_A = 8.10^{17}$ atomes/cm³, extension de grille du Pi-Gate de 60 nm, $V_{DS}=0,1$ V [63].

IV-4 Conclusion.

Il a été clairement établi que l'architecture de type FinFET, «quasi planaire» est la plus prometteuse pour surmonter les challenges de la micro-électronique. Ces transistors sont relativement facilement intégrables dans la filière CMOS. Enfin, les premières performances obtenues en terme de courant de conduction (combiné à un faible courant de fuite), et de transconductance sont remarquables. Néanmoins, la réalisation de ces dispositifs pose encore de nombreux problèmes du point de vue technologique (formation de résidus d'espaceurs ou de grille...)

V- Procédé innovant de fabrication d'un transistor FinFET.

V-1 Introduction.

La section précédente a montré la supériorité des architectures multi-grille à conduction latérale de type FinFET, Pi-Gate, ou Omega-Gate par rapport aux dispositifs à conduction planaire ou verticale. Ces dispositifs multiplient les canaux de conduction afin d'augmenter les performances en courant et de s'affranchir des effets de canaux courts en améliorant le contrôle électrostatique du canal par les deux grilles. De plus, ils possèdent l'avantage d'être facilement intégrables avec les dispositifs sur substrat massif conventionnel. Ils sont également plus avantageux en terme de surface de silicium consommée tant que le pas de répétition des

aillettes reste inférieur à la hauteur de celles-ci [64]. Enfin, ce type d'architecture possède deux grilles auto-alignées limitant considérablement les problèmes liés aux capacités parasites.

Les transistors FinFET ont déjà été étudiés donnant lieu à des résultats intéressants en terme de dimension critique: une longueur de grille de 10 nm [46] et une ailette de 15 nm de largeur [65]. Cependant les dispositifs présentés ne sont constitués que d'une seule ailette de silicium correspondant à la zone active. De plus pour les dimensions de transistors visées, l'uniformité et l'épaisseur de silicium (t_{Si}) deviennent critiques. Enfin, les procédés existants engendrent une sur-gravure de la grille et des espaceurs, néfastes au bon fonctionnement du transistor. Il devient nécessaire de trouver une solution afin de parfaitement maîtriser la grande densité d'intégration, le contrôle de l'épaisseur de l'aillette, ainsi que l'élimination des résidus de gravure. Cette section présente tout d'abord les différentes étapes d'un procédé de fabrication innovant qui a été développé dans ce travail et a fait l'objet d'un brevet [66], pour la réalisation d'un transistor de type FinFET. Les étapes technologiques ayant nécessité un travail d'optimisation seront développées dans les chapitres suivants. La deuxième partie propose différentes alternatives, perspectives et autres avancées rendues possible par l'élaboration de ce procédé de fabrication.

V-2 Nettoyage du substrat SOI.

Le point de départ de notre procédé est un substrat SOI complètement déplété (une couche de silicium de 50 nm et oxyde enterré de 150 nm). Un premier nettoyage dans l'acétone suivi d'un rinçage dans l'isopropanol permet d'éliminer les résidus organiques. Le second nettoyage est effectué pendant 20 minutes dans une solution d'acide sulfurique et d'eau oxygéné, appelé piranha. Ce mélange dissout tous les composants organiques restant. La dernière étape consiste à enlever la couche d'oxyde natif formée sur le substrat au contact de l'air, qui peut s'avérer très néfaste pour la suite du procédé. Pour cela, le substrat est plongé dans de l'acide fluorhydrique 1% (HF1%) pendant quelques secondes, puis rincé dans de l'eau désionisée (EDI).

V-3 Définition des ailettes de silicium.

V-3.1 Lithographie électronique.

L'étape suivante consiste à définir par lithographie électronique des réseaux denses de résine les plus fines possible (Fig. 2.18). La résine utilisée est une résine négative: l'Hydrogène SilsesQuioxane (ou HSQ) Fox-12. Ce choix sera discuté dans le chapitre 3 [67-68]. La HSQ va alors servir de masque lors la définition des ailettes de silicium par gravure RIE.

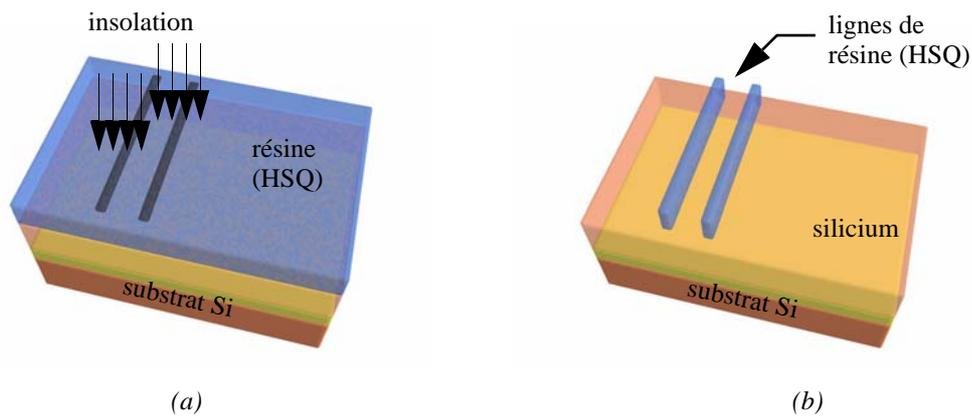


Fig. 2.18: (a) HSQ avant insolation (b) Lignes de HSQ après insolation et développement.

V-3.2 Transfert des motifs par gravure plasma RIE.

Les motifs de HSQ définis précédemment sont transférés par gravure plasma RIE anisotrope (Fig. 2.19.a) en utilisant un bâti Oxford plasmalab 80. Puis, les résidus de HSQ sont éliminés par gravure humide au HF 1% pendant quelques secondes (Fig. 2.19.b). La plaque est ensuite nettoyée en suivant le mode opératoire défini précédemment (paragraphe V-2). Seule la gravure humide au HF 1% n'est pas ré-effectuée afin de ne pas attaquer l'oxyde enterré.

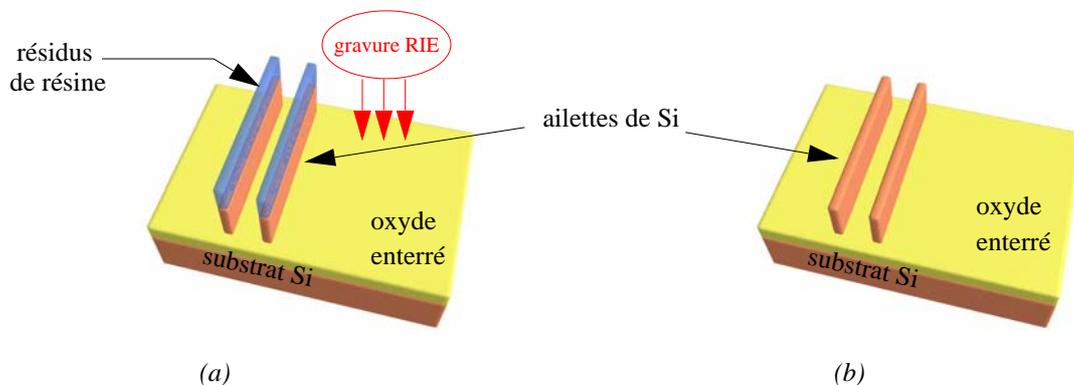


Fig. 2.19: (a) Formation des ailettes de silicium par gravure RIE (b) Gravure humide des résidus de HSQ dans le HF 1%.

V-4 Définition de la matrice isolante de HSQ.

Le réseau d'ailettes de silicium est ensuite noyé dans une matrice isolante de HSQ déposée par tournette (Fig. 2.20). Cette matrice va subir un traitement de densification par plasma oxygéné ou par recuit dans un four tubulaire sous ambiance azotée et à forte température [69]. Cette étape est nécessaire afin d'augmenter la résistance de la HSQ vis à vis de l'attaque humide au HF 1% (cf. chapitre 4).

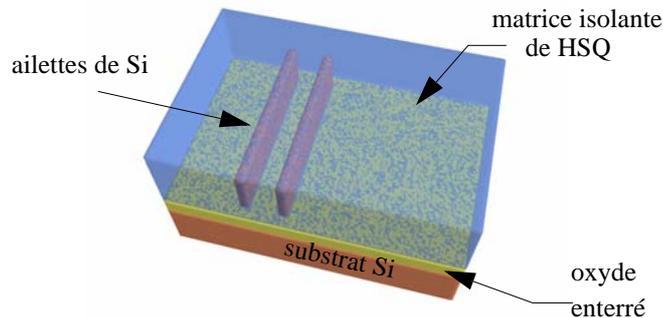


Fig. 2.20: Vue en 3D de la matrice isolante de HSQ déposée par tournette.

V-5 Ouverture Damascène.

L'originalité de la structure proposée réside dans l'utilisation d'un procédé de type Damascène* [70-72] pour la définition des grilles. Il consiste à creuser une cavité afin de la remplir par le matériau de grille. La planarisation est ensuite effectuée par CMP (Chemical Mechanical Planarization). Il permet de s'affranchir des problèmes de résidus issus de la gravure du matériau de grille (cf. paragraphe IV-2.3-b). Nous détaillons ces différentes étapes dans le paragraphe ci-dessous.

Un masque dur de nitrure est préalablement déposé par PECVD (Plasma Enhanced Chemical Vapor Deposition) sur la matrice isolante de HSQ (Fig. 2.21.a). Une couche de résine positive de PMMA (Poly-méthyl-méthacrylate) déposée par tournette est ensuite superposée. Une lithographie électronique définit une ouverture dans la résine située au-dessus des ailettes de silicium (Fig. 2.21.c). Le développement de cette résine forme une cavité. Le masque dur de nitrure est ensuite gravé par plasma RIE (Fig. 2.21.c). Une chimie de gravure RIE différente, fortement anisotropique et sélective entre la HSQ et le silicium, est utilisée pour définir la cavité jusqu'à l'oxyde enterré (Fig. 2.21.d).

* Cette technologie est appelée ainsi d'après une ancienne technique utilisée dans la fabrication d'épées à Damas (Syrie)

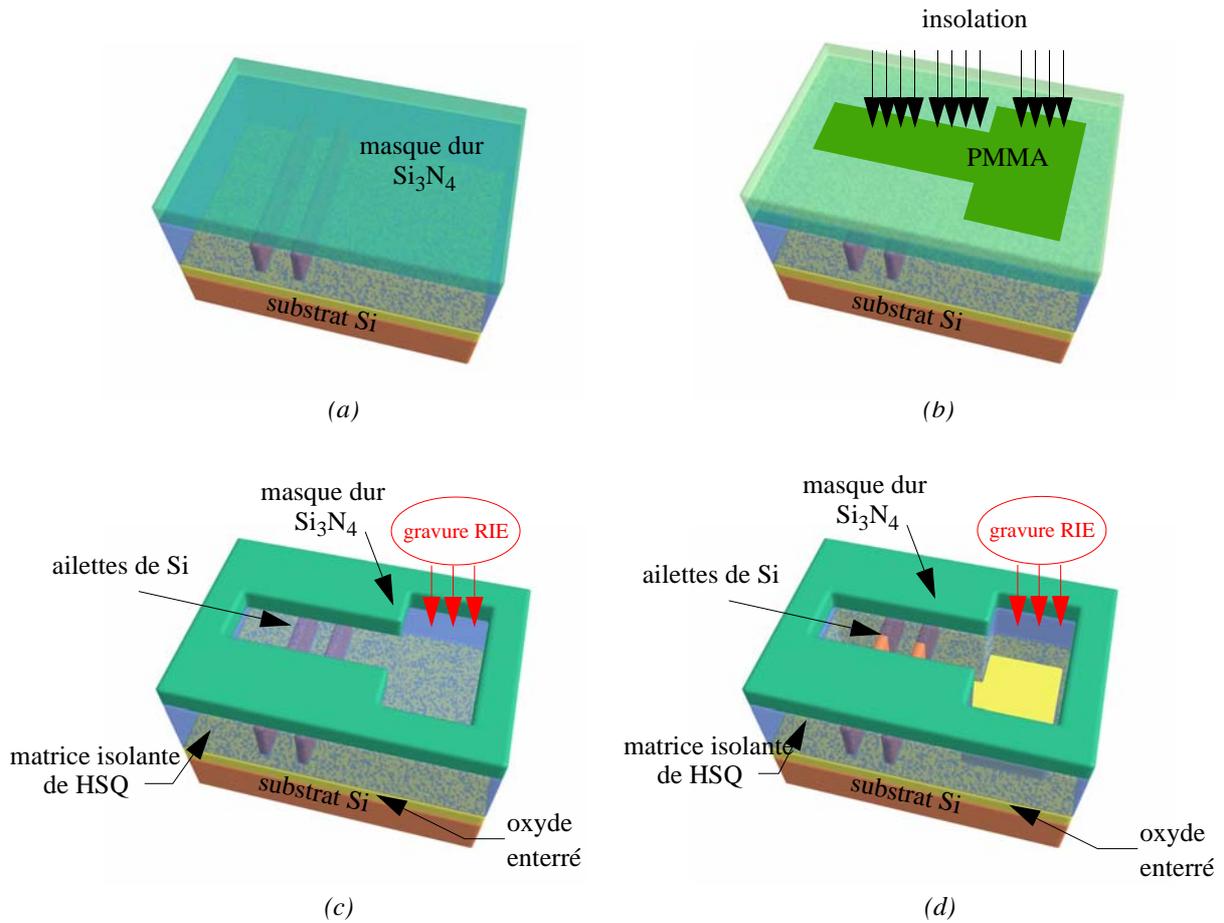


Fig. 2.21: (a) Dépôt du masque dur par PECVD (b) Insolation et développement de la résine positive (PMMA) (c) Gravure RIE du masque dur de nitrure (d) Gravure RIE de la matrice isolante jusqu'à l'oxyde enterré.

V-6 Formation de l'oxyde de grille.

Avant d'effectuer le dépôt de l'oxyde de grille, il est indispensable de réaliser un nettoyage des ailettes de silicium. En effet, la gravure RIE de la matrice de HSQ est susceptible d'endommager les flancs des ailettes. Cette rugosité peut engendrer de graves conséquences sur les performances électriques. Une oxydation thermique sacrificielle est donc réalisée sur les ailettes de silicium. Une attaque au HF 1% de quelques secondes permet d'éliminer intégralement cette oxyde. La matrice HSQ est plus résistante vis à vis de cette attaque car elle a subi une densification (cf. paragraphe V.3). Une fois ce nettoyage effectué, une très fine épaisseur d'oxyde de grille est formée par croissance thermique.

V-7 Dépôt du matériau de grille.

V-7.1 Choix du matériau de grille.

Le choix du matériau de grille est prépondérant. La technologie CMOS conventionnelle utilise essentiellement des grilles duales en polysilicium: n^+ pour les transistors nMOS et p^+ pour les transistors pMOS, à canaux non dopés. Ce procédé engendre un phénomène appelé communément poly-déplétion de la grille. Il se caractérise par la formation d'une région de déplétion à l'interface du matériau de grille et du diélectrique de grille. Cette zone de déplétion crée dans la grille de polysilicium une zone de charges d'espace qui diminue fortement la capacité totale de la grille en rajoutant à son expression, une capacité en série (C_p) (Eq. 2.2):

$$\frac{1}{C_{totale}} = \frac{1}{C_{ox}} + \frac{1}{C_{Si}} + \frac{1}{C_p} \quad (\text{Eq. 2.2})$$

avec C_{totale} la capacité totale de la grille, C_{ox} la capacité de l'oxyde de grille, C_{Si} la contribution de la zone de charges d'espace dans le substrat, et C_p la charge de déplétion du polysilicium. Cette diminution de la capacité totale de la grille entraîne une baisse notable des performances en terme de transconductance et de courant de conduction [73-74]. Une première solution consiste à augmenter le dopage du polysilicium. Néanmoins, cette étape permet de réduire ce phénomène parasite mais pas de l'éliminer définitivement. De plus, un dopage trop élevé peut engendrer une pénétration des dopants (ex: bore) à travers l'oxyde de grille [75].

Une des solutions intéressantes consiste à utiliser une grille métallique de type mid-gap (tungstène, Nitrure de titane...) afin de «calibrer» la tension de seuil [76]. Ces matériaux possèdent un niveau de Fermi qui coïncide avec la position du milieu de la bande interdite du silicium. Ces dispositifs (à grille-métallique) ne sont pas soumis au phénomène de déplétion de la grille. Il est cependant nécessaire d'utiliser un canal enterré afin de pouvoir parfaitement ajuster la valeur de la tension de seuil. D'autres solutions telles que l'utilisation de grilles asymétriques [77-78] ont également été proposées pour ajuster la tension de seuil V_T .

V-7.2 Pulvérisation et planarisation du matériau de grille.

L'évaporation d'une couche de tungstène de près de 100 nm nécessite un temps trop important. C'est pour cette raison que, le matériau de grille est déposé par pulvérisation cathodique (Fig. 2.22.a). La structure est ensuite planarisée par un procédé CMP (planarisation mécanico-chimique), en utilisant le masque dur de nitrure comme couche d'arrêt (Fig. 2.22.b).

L'utilisation de cette technique permet de s'affranchir de l'étape critique de gravure du matériau de grille. Elle évite ainsi la formation de résidus de métal. L'ensemble de ces étapes a nécessité un travail important d'optimisation des procédés utilisés. Celles-ci seront étudiées plus précisément dans le chapitre 5.

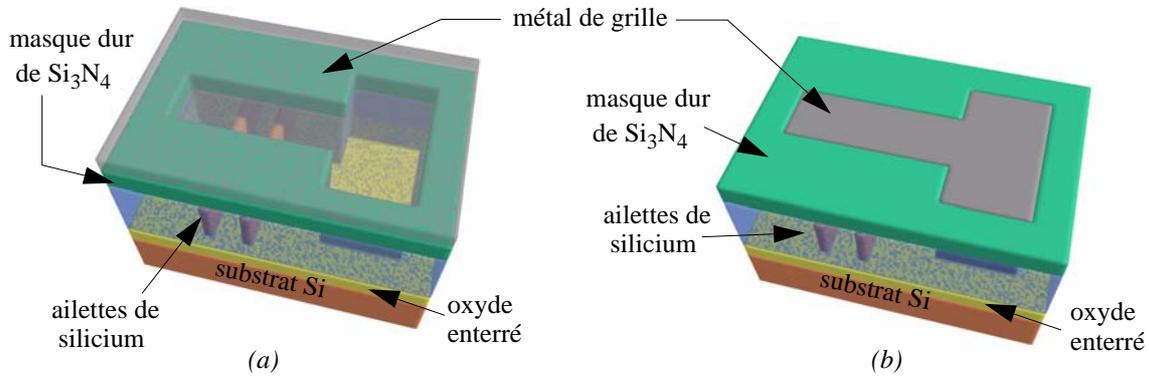


Fig. 2.22: Vues en 3D (a) du dépôt du matériau de grille (tungstène) par pulvérisation cathodique (b) de la planarisation de la structure par CMP, en utilisant le nitrure comme couche d'arrêt.

V-8 Formation des espaceurs.

L'étape suivante consiste à réaliser des espaceurs de quelques nanomètres. Le matériau choisi doit être un isolant afin d'isoler électriquement la source et le drain de la grille. Le choix du nitrure par rapport à l'oxyde de silicium se justifie par la nécessité d'obtenir une très bonne sélectivité par rapport à la couche d'arrêt de HSQ.

Le masque dur de nitrure est tout d'abord enlevé par gravure humide (Fig. 2.23.a). Un dépôt conforme de nitrure est réalisé par PECVD (Dépôt en phase vapeur assistée par plasma) (Fig. 2.23.b). Un recuit de densification à 700°C améliore nettement la résistance de la couche de nitrure vis à vis des attaques chimiques et physiques. Enfin, Une gravure RIE anisotropique de type SF₆/Ar permet de définir les espaceurs (Fig. 2.23.b).

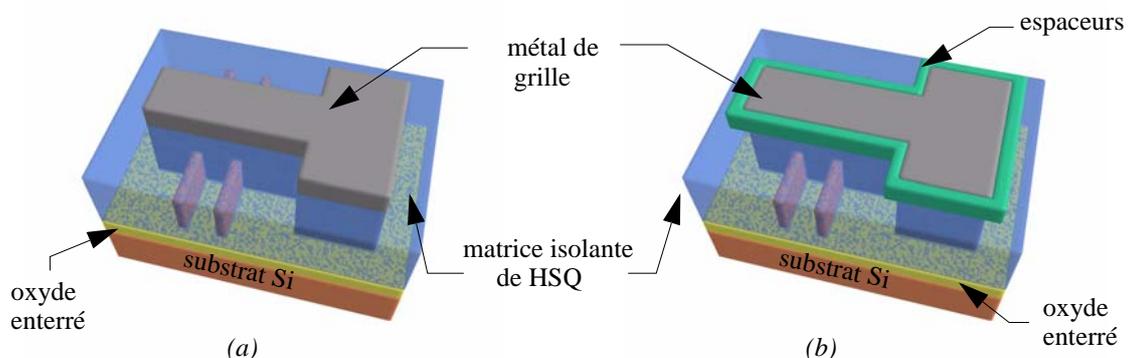


Fig. 2.23: Vues en 3D (a) de la suppression du masque dur de nitrure (b) de la formation des espaceurs par dépôt PECVD.

V-9 Définition de la source et du drain.

Avant de définir la source et le drain, il est nécessaire de graver la matrice isolante. Cette gravure RIE doit être fortement anisotropique et sélective vis à vis du silicium, du métal de grille et des espaceurs en nitrure (Fig. 2.24.a). L'étape suivante consiste à définir les zones de source/drain (Fig. 2.24.b).

Les dispositifs conventionnels utilisent principalement des contacts ohmiques sur des zones de source-drain fortement dopées. Or, pour les noeuds technologiques sub-50 nm [1], les challenges liés à l'architecture source/drain deviennent très importants. Notons par exemple, la nécessité d'utiliser, pour le contact des source/drain, des matériaux possédant à la fois une résistance par carreau et une résistivité spécifique de contact faibles [1]. De plus, les spécifications de l'ITRS [1] en terme de technologie des contacts sont de plus en plus drastiques. Par exemple, le noeud technologique 45 nm (2010) requiert une profondeur de jonction de 20 nm, et une abrupté de la jonction source ou drain de 2 nm/décade.

Ainsi, afin de lever ces verrous technologiques, notre procédé propose de remplacer cette approche conventionnelle par la réalisation de contact source/drain de type Schottky à très faible hauteur de barrière. Cette technologie a notamment été validée par Larrieu [79] pour un transistor MOS simple grille planaire, de type p, faiblement dopé. Nous proposons d'adapter ces travaux au cas d'une architecture de type FinFET. Le principe est expliqué ci-dessous.

Un métal est tout d'abord déposé par pulvérisation cathodique ou par évaporation tiltée sur les extensions du dispositifs. Un recuit RTA (Rapid Thermal Annealing) permet ensuite d'activer thermiquement la réaction de siliciuration entre le métal et le silicium. Enfin, une gravure humide permet d'éliminer le métal qui n'a pas réagi avec le silicium pendant l'étape de siliciuration (Fig. 2.24.b).

Considérons un contact Schottky pour un transistor n-MOS. Il apparait que les électrons voient une barrière de potentiel V_b qui dépend non seulement de la nature du métal utilisé mais également du dopage des extensions. L'accès au canal de conduction peut s'effectuer par émission thermo-électronique au dessus de la barrière de potentiel ou par émission tunnel à travers la barrière. L'utilisation d'un fort dopage (10^{20} at/cm³) des zones d'extension entraîne une diminution de la largeur de barrière, favorisant la conduction par effet tunnel. Néanmoins, comme mentionné précédemment le parfait contrôle des profils de jonction devient extrêmement critique pour les dimensions décanométriques [1]. Une autre solution consiste donc à moduler la hauteur de barrière en utilisant le métal approprié (platine ou iridium pour un transistor de type p, erbium pour un transistor de type n). Ce procédé possède ainsi l'avantage de

ne pas utiliser de zones fortement dopées tout en diminuant nettement les résistances source/drain d'accès au canal.

On peut également noter les performances électriques intéressantes, des transistors FinFET réalisés par Tsui *et al.* [80], qui ont combiné un procédé de siliciuration et un dopage des extensions de source/drain: pour une longueur de grille de 25 nm, le DIBL est de 64,5 mV, et le courant de saturation dépasse les 750 $\mu\text{A}/\mu\text{m}$.

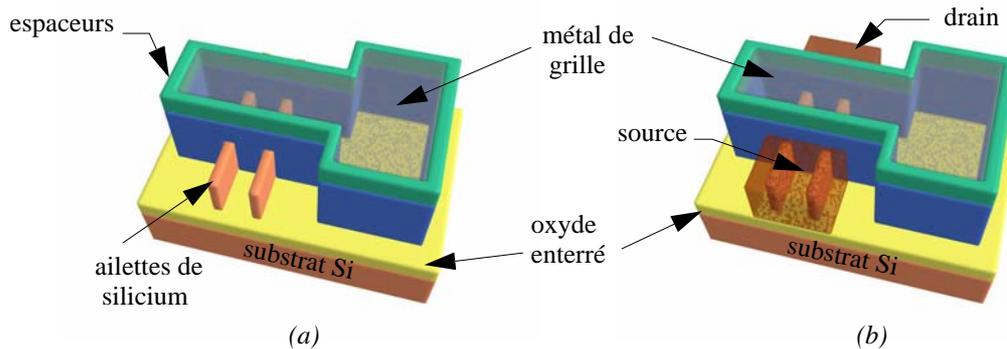


Fig. 2.24: Vues en 3D (a) de la suppression de la matrice isolante de HSQ par gravure RIE (b) de la formation des plots de contacts de la source et du drain.

V-10 Alternatives-Perspectives.

V-10.1 Réalisation d'un transistor MOS triple-grille.

Ce procédé a été optimisé dans le but de réaliser un transistor MOS de type FinFET. Néanmoins, en ajustant quelques étapes, il permet également de réaliser des transistors MOS triple-grille voire, des transistors de type Pi-Gate ou Omega-Gate (cf. paragraphe. IV-4.2).

Après avoir défini les ailettes de silicium, une sur-gravure humide au HF 1% permet de sur-graver l'oxyde enterré (Fig. 2.25.a). Le reste du procédé de fabrication est inchangé. Le matériau de grille va s'étendre jusque dans l'oxyde enterré des deux cotés. Ces extensions permettent de protéger le canal des lignes de champ du drain, jouant un rôle quasi équivalent à une quatrième grille (Fig. 2.25.b).

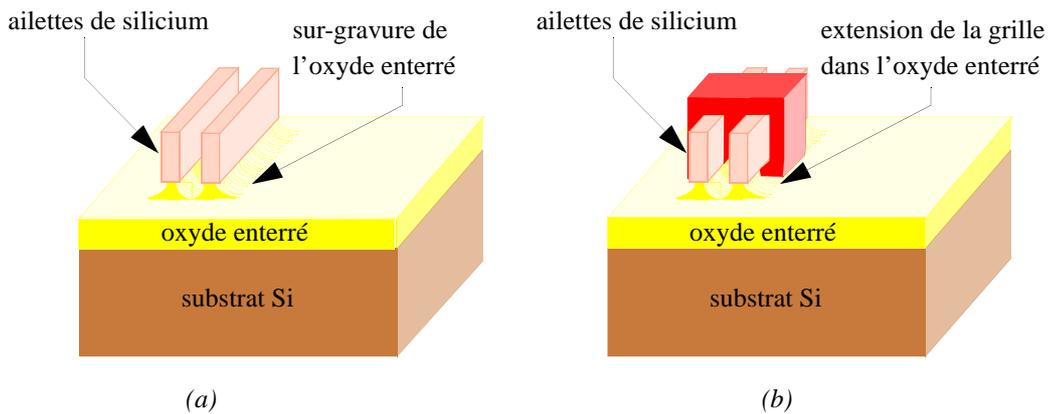


Fig. 2.25: (a) Sur-gravure de l'oxyde enterré par le HF 1% (b) Extension de la grille permettant de protéger le dispositif contre les lignes de champ du drain.

V-10.2 Dopage de la source et du drain.

Ce procédé n'exclut pas la possibilité d'effectuer un dopage des zones de source et drain combiné à un lift-off. Il existe plusieurs possibilités:

- dopage par implantation tiltée.
- dopage en phase gazeuse.
- dopage par un oxyde dopé (PSG, BPSG).
- dopage avec une résine dopée.

V-10.3 Grille asymétrique.

En modifiant légèrement le procédé de fabrication, il est possible de déposer deux matériaux de grille différents permettant d'ajuster la tension de seuil à la valeur souhaitée.

V-11 Conclusion.

Le procédé de fabrication d'un transistor FinFET mis en place au cours de ce travail est innovant et relativement simple à réaliser. Il définit un parfait auto-alignement des grilles. De plus, l'utilisation d'un procédé Damascène pour la formation de la grille permet de s'affranchir des problèmes liés aux résidus de gravure du matériau de grille. Enfin, il offre plusieurs perspectives intéressantes notamment pour la réalisation de transistor triple-grille, en changeant très légèrement certaines étapes technologiques.

VI- Conclusion.

Les besoins industriels sont satisfaits par les architectures MOS conventionnelles sur substrat en silicium massif ou sur SOI jusqu'au noeud technologique 22 nm. Ces procédés sont parfaitement connus, maîtrisés et optimisés. Cependant pour poursuivre l'évolution de la technologie CMOS, les industriels vont devoir utiliser des architectures innovantes très prochainement. Les dispositifs MOSFET multi-grille semblent à priori parfaitement appropriés pour forcer l'ensemble des «verrous» technologiques» (Fig. 2.26).

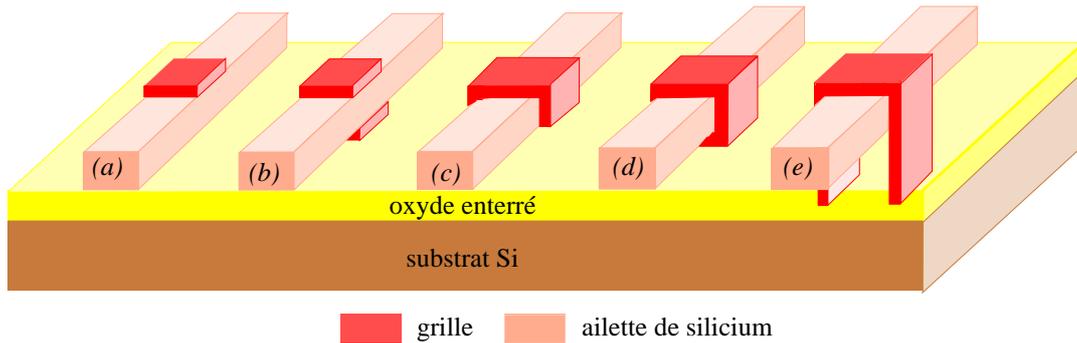


Fig. 2.26: Evolution des architectures MOSFET: (a) Simple-grille (b) Double-grille (c) Triple-grille (d) Quadruple-grille (e) Pi-Gate.

Cette section a présenté les trois grandes catégories distinctes d'architectures multi-grille:

- Les transistors double-grille planaires qui sont difficilement intégrables dans la filière MOS classique. De plus, le procédé de fabrication ne permet pas d'obtenir un alignement suffisant des deux électrodes de grille, engendrant ainsi des capacités parasites importantes.

- Les transistors multi-grille à conduction verticale, qui possèdent l'inconvénient majeur de ne pouvoir présenter qu'une seule longueur de grille.

- Les transistors à conduction latérale de type FinFET, qui semblent être les meilleurs candidats pour les dispositifs en régime décananométrique. Il existe différentes versions plus ou moins proches du FinFET (Pi-Gate, Omega-Gate...) qui présentent des caractéristiques remarquables en terme de rapport de courant I_{on}/I_{off} , mais également en terme de protection vis-à-vis des effets canaux courts. Néanmoins, cette architecture pose de nombreux challenges liés à la réalisation technologique du transistor (apparition de résidus suite à la gravure des espaceurs ou de la grille). Un procédé de fabrication innovant a été proposé dans cette section, permettant de résoudre certains des verrous technologiques: l'auto-alignement des grilles, l'utilisation d'un procédé Damascène pour la définition de la grille, la réalisation de source/drain Schottky à très faible hauteur de barrière.

BIBLIOGRAPHIE

- [1] Semiconductor Industry Association (SIA), “*National Technology Roadmap for Semiconductors*”, 2004.
- [2] C. Fiegna, H. Iwai, T. Wada, T. Saito, E. Sangiorgi, B. Ricco, “*A new scaling methodology for the 0,1-0,025 μm MOSFET*”, VLSI Technology, pp. 33-34, 1993.
- [3] D. Frank, S. Laux, M. Fischetti, “*Monte Carlo simulation of a 3 nm dual-gate MOSFET: how short can Si go?*”, IEDM Technical. Digest., pp. 553-556, 1992.
- [4] E. J. Nowak, T. Ludwig, I. Aller, J. Kedzierski, M. Jeong, B. Rainey, M. Bretwisch, V. Gernhoefer, J. Keinert, D.M. Fried, “*Scaling beyond the 65 nm node with FinFET-DG CMOS*”, IEEE CICC, pp. 339-342, 2003.
- [5] A. Dixit, A. Kottantharayil, N. Collaert, M. Goodwin, M. Jurczak, K. De Meyer, “*Analysis of the parasitic S/D Resistance in multiple-gate FETs*”, IEEE Trans. On Electr. Dev., pp. 1-9, 2005.
- [6] H.-S. Wong, K.K. Chan, Y. Taur, “*Self-aligned (top and bottom) double-gate MOSFET with a 25 nm thick silicon channel*”, IEDM, pp. 427-430, 1997.
- [7] H.-S Wong, D. Frank, Y. Taur, J. Stork, “*Design and performance considerations for sub-0,1 μm double-gate SOI MOSFET’S*”, IEDM Technical Digest., pp.747-750, 1994.
- [8] J. Denton, G. Neudeck, “*Fully depleted dual-gated thin-film SOI p MOSFET’s fabricated in SOI islands with an isolated buried polysilicon backgate*”, IEEE Electron Device Letter, vol. 17, pp. 509-511, 1996.
- [9] K. Guarini, P. Solomon, Y. Zhang, K. Chan, E. Jones, G. Cohen, A. Krasnoperova, M. Ronay, O. Dokumaci, J. Bucchignano, C. C. Jr., C. Lavoie, V. Ku, D. Boyd, K. Petrarka, I. Babich, J. Treichler, P. Kozlowski, J. Newbury, C.P. D’Emic, R. Sicina, H.-S. Wong, “*Triple-self-aligned, planar double-gate MOSFET’s: devices and circuits*”, IEDM Tech. Digest., pp. 425-428, 2001.
- [10] P. Salomom, K. Guarini, Y. Zhang, K. Chan, E. Jones, G. Cohen, A. Krasnoperova, M. Ronay, O. Dokumaci, H. Hovel, J. Bucchignano, C. Cabral, C. Lavoie, V. Ku, D. Boyd, K. Petrarka, J. Yoon, I. Babich, J. Treichler, J. Newbury, C. D’Emic, R. Sicina, J. Benedict, H.-S. Wong, “*Two gates are better than one*”, IEEE Circuits Devices Mag., pp. 48-62, 2003.
- [11] J.-H. Lee, G. Tarashi, A. Wei, T. Langdo, E.A. Fitzgerald, D. Antoniadis, “*Super self-aligned double-gate (SSDG) MOSFETs utilizing oxidation rate difference and selective epitaxy*”, IEDM Tech. Digest, p. 71, 1999.
- [12] J.P. Colinge, M.H. Gao, A. Romano-Hodriguez, H. Maes, C. Claeys, “*Silicon on insulator gate all around device*”, IEDM, pp. 595-598, 1990.

- [13] S. Monfray, T. Sckotnicki, Y. Morand, S. Descombes, P. Coronel, P. Mazoyer, S. Harrison, P. Ribot, A. Talbot, D. Dutartre, M. Haond, R. Palla, Y. Le Friec, F. Leverd, M-E. Nier, C. Vizi-zoz, D. Louis, “50nm- Gate All Around (GAA)- Silicon on Nothing (SON)- Devices: A simple way to Co-integration of GAA Transistors within bulk MOSFET process”, IEEE Symposium on VLSI Tech. Digest. of Technic. Papers, pp. 108-109, 2002.
- [14] S. Monfray, “Conception et réalisation de dispositifs CMOS en technologie SON”, Thèse de doctorat, Université de Provence, 2003.
- [15] S. Harrison, “Dispositifs GAA en technologie SON: conception, caractérisation et modélisation en vue de l’intégration dans les noeuds CMOS avancés”, Thèse de doctorat, STMicroelectronics et Université de Provence, 2005.
- [16] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, F. Masuoka, “High performance CMOS surrounding gate transistor (SGT) for ultra high density VLSIs”, IEDM, p.222,1988.
- [17] C. P Auth, J.D. Plummer, “Vertical fully-depleted, surrounding gate MOSFET’s on sub-0,1 μ m thick silicon pillars”, IEEE Device Research Conference, pp. 108-109, 1996.
- [18] J.M. Hergenrother, D. Monroe, F.P. Klemens, A. Kornblit, G.R. Weber, W.M. Mansfield, M.R. Baker, F.H. Baumann, K.J. Bolan, J.E. Bower, N.A. Ciampa, R.A. Cirelli, J.I. Colonell, R.N. Kleiman, W.Y-C. Lai, J. T-C. Lee, R.C. Liu, H.L. Maynard, M.D. Morris, S-H. Oh, C-S. Pai, C.S. Rafferty, J.M. Rosamilia, T.W. Sorsch, H-H Vuong, “The vertical Replacement-Gate (VRG) MOSFET: a 50-nm Vertical MOSFET with lithography-independent gate length”, IEDM Tech. Digest., pp. 75-78, 1999.
- [19] J.M. Hergenrother, G.D. Wilk, T. Nigam, F.P. Klemens, D. Monroe, P.J. Silverman, T.W. Sorsch, B. Busch, M.L. Green, M.R. Baker, T. Boone, M.K. Bude, N.A. Ciampa, E.J. Ferry, A. T. Fiory, S.J. Hillenius, D.C. Jacobson, R.W. Johnson, P. Kalavade, R.C. Keller, C.A. King, A. Kornblit, H.W. Krautter, J.T-C. Lee, W.M. Mansfield, J.F. Miner, M.D. Morris, Sang-Hyun Oh, J.M. Rosamilia, B.J. Sapjeta, K. Short, K. Steiner, “50 nm vertical Replacement-Gate (VRG) n-MOSFETs with ALD HfO₂ and Al₂O₃ gate dielectrics”, IEDM Tech. Digest., pp. 51-54, 2001.
- [20] J.M. Hergenrother, T. Nigam, D. Monroe, F.P. Klemens, A. Kornblit, W.M. Mansfield, M.R. Baker, D.L. Barr, F.H. Baumann, K.J. Bolan, T. Boone, N.A. Ciampa, R.A. Cirelli, D.J. Eaglesham, E.J. Ferry, A.T. Fiory, J. Frackoviak, J.P. Garno, H.J. Gossmann, J.L. Grazul, M.L. Green, S.J. Hillenius, R.W. Johnson, R.C. Keller, C.A. King, R.N. Kleiman, J.T-C. Lee, J.F. Miner, M.D. Morris, C.S. Rafferty, J.M. Rosamilia, K. Short, T.W. Sorsch, A.G. Timko, G.R. Weber, G.D. Wilk, J.D. Plummer, “50 nm Vertical Replacement Gate(VRG) p-MOSFETs”, IEDM Tech. Digest., pp. 65-68, 2000.
- [21] C.P. Auth, “Physics and technology of vertical surround gate MOSFETs”, PhD Thesis, Stanford University, 1998.
- [22] L. Risch, W.H. Krauschneider, F. Hofmann, H. Schafer, T. Aeugle, W. Rosner “Vertical MOS Transistors with 70 nm channel length”, IEEE, pp. 1495-1498, 1996.

- [23] D. Behammer, L. Vescan, R. Loo, J. Moers, A. Muck, H. Luth, T. Grabolla, “*Selectively grown vertical Si-p MOS transistor with short channel lengths*”, Electron Letter, vol. 32, n°4, pp. 406-407, 1996.
- [24] K. De Meyer, M. Caymax, N. Collaert, R. Loo, P. Verheyen, “*The vertical heterojunction MOSFET*”, Thin Solid Films, vol. 336, pp. 299-305, 1998.
- [25] M. Yang, C.-L. Chang, M. Carroll, J.C. Sturm, “*25 nm p channel vertical MoSFETs with SiGe source drains*”, IEEE Electron Device Letter, vol. 20, pp. 301-303, 1999.
- [26] T. Schulz, W. Rosner, L. Risch, U. Langmann, “*50 nm vertical Sidewall Transistors with high channel doping concentrations*”, IEDM, pp. 61-64, 2000.
- [27] T. Schulz, W. Rosner, L. Risch, E. Landgraf, A. Korbel, “*Short-channel vertical sidewall MOSFETs*”, IEEE, pp. 1783-1788, 2001.
- [28] T. Schulz, W. Rosner, E. Landgraf, L. Risch, U. Langmann, “*Planar and vertical gate concepts*”, Solid State Electronics, pp. 985-989, 2002.
- [29] D. Hisamoto, T. Kaga, Y. Kawamoto, E. Takeda, “*A fully Depleted Lean-Channel Transistor (DELTA). A Novel Vertical Ultrathin SOI MOSFET*”, IEEE Electron Device Letters, vol. 11, n°1, pp. 36-38, 1990.
- [30] D. Hisamoto, T. Kaga, Y. Kawamoto, E. Takeda, “*Impact of the vertical SOI “DELTA” structure on planar device technology*”, IEEE transactions on Electron Device, vol. 38, n°6, pp. 1419-1424, 1991.
- [31] M. Kubota, T. Tamaki, K. Kawamoto, E. Takeda, “*New SOI CMOS process with selective oxidation*”, IEDM, pp. 814-816, 1986.
- [32] S.C. Arney, N.C. MacDonald, “*Formation of submicron silicon-on-insulator structures by lateral oxidation of substrate-silicon islands*”, J. Vac. Sci. Technol.,B, vol. 6, n°1, pp. 341-344, 1988.
- [33] D. Hisamoto, W.-C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, Tsu-Jae King, J. Bokor, Chen-ming Hu, “*A Folded channel MOSFET for deep sub tenth micron Era*”, IEDM Technical Digest., p. 1032, 1998.
- [34] X Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, C.-M. Hu, “*Sub-50 nm FinFET: pMOS*”, IEDM Technical Digest. International, pp. 67-70, 1999.
- [35] X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K.-Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, C.-M Hu, “*Sub-50 nm p-channel FinFET*”, IEEE Transactions on Electron Devices, vol.48, Issue:5, pp. 880-886, 2001.
- [36] D. Hisamoto, W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King, J. Bokor, C.-M. Hu, “*FinFET a self aligned double gate MOSFET scalable to 20 nm*”, IEEE Transaction on Electron Devices, vol. 47, n°12, pp. 2320-2326, 2000.

- [37] Y.-K. Choi, N. Lindert, P. Xuan, S. Tang, D. Ja, E. Anderson, T.-J. King, J. Bokor, C.M. Hu “*Sub-20 nm CMOS FinFET technologies*”, Electron Devices Meeting, IEDM Technical Digest. International Letters, vol. 23, n^o1, pp. 19.1.1-19.1.4, 2001.
- [38] Y.-K. Choi, T.-J. King, C. Hu, “*Nanoscale CMOS spacer FinFET for the terabit era*”, IEEE Electron Device Letters, vol.23, n^o1, pp. 25-27, 2002.
- [39] D.M. Fried, A. Johnson, E. Novak, J. Rankin, C. Willets, “*A sub-40nm body thickness n type FinFET*”, Proceedings of the Device Research Conference, pp. 24-25, 2001.
- [40] N. Lindert, L. Chang, Y.-K Choi, E. Anderson, W.-C. lee, T.-J. King, J. Bokor, C. Hu, “*Sub-60nm quasi-planar FinFETs fabricated using simplified process*”, IEEE Electron Device Letters, vol. 22, pp. 487-489, 2001.
- [41] J. Kedzierski, D.M. Fried, E.J. Novak, T. Kanarski, J.H. Rankin, H. Hanafi, W. Natzle, D. Boyd, Y. Zhang, R.A. Roy, J. Newbury, C. Y. Yu, Q. Yang, P. Saunders, C.P. Willets, A. Johnson, S.P. Cole, H.E. Young, N. Carpenter, D. Rakowski, B. A. Rainey, P.E. Cottrell, M. Jeong, H.-S.P. Wong, “*High performance symmetric gate and CMOS compatible V_t assymmetric gate FinFET Devices*”, IEDM Techn. Digest., pp. 437-440, 2001.
- [42] Y.-K Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T.-J. King, J. Bokor, C. Hu, “*Sub-20 nm CMOS FinFET technologies*”, IEDM Techn. Digest., pp. 421-424, 2001.
- [43] J. Kedzierski, M. Jeong, E. Novak, T.S. Kanarsky, Y. Zhang, R. Roy, D. Boyd, D. Fried, S. P. Wong, “*Extension and source/drain design for high performance FinFET devices*”, IEEE Trans. On Elect. Dev., vol. 50, n^o 4, pp. 952-958, 2003.
- [44] D. Ha, H. Takeuchi, Y.-K. choi, T.-J. King, “*Molybdenum gate technology for ultrathin - body MOSFETs and FinFETs*”, IEEE Trans. On Elect. Dev., vol. 51, n^o12, pp. 1989-1996, 2004.
- [45] N. Collaert, A. Dixit, M. Goodwin, K.G. Anil, R. Rooyackers, B. Degroote, L.H.A. Leunissen, A. Veloso, R. Jonckheere, K. De Meyer, M. Jurczak, S. Biesemans, “*A functional 41-stage ring oscillator using scaled FinFET devices with 25-nm gate lengths and 10-nm fin widths applicable for the 45-nm CMOS node*”, IEEE, Electron Device Letters, vol. 25, n^o8, pp. 568-570, 2004.
- [46] B. Yu, L. Chang, S. Ahmed, H. Wang, S. Bell, C. Yang, C. Tabery, C. Hau, Qi Xiang, T.-J. King, J. Bokor, C. Hu, M.-R. Lin, and D. Kyser, “*FinFET scaling to 10 nm length*”, IEDM, pp. 252-254, 2002.
- [47] F.L. Yang, H.Y. Chen, F.-C. Chen, Y.-L. Chan, K.-N. Yang, C.J. Chen, H.-J. tao, Y.-K. Choi, m.-S. Liang, C. Hu, “*35 nm CMOS FinFETs*” Symposium on VLSI Technology Digest of Technical Paper, IEEE, pp. 104-105, 2001.
- [48] N. Lindert, Y.-K. Choi, C. Leland, H. Chenming, “*Quasi-planar n-MOS FinFETs with sub-100 nm gate length*”, Device research Conference, pp. 26-27, 2001.
- [49] B.-Y. Tsui, C.-P. Lin, “*Process and characteristics of Modified Schottky Barrier (MSB) p-channel FinFETs*”, IEEE Transactions on Electron Devices, pp. 1-7, 2005.

- [50] J. Kedzierski, E. Nowak, T. Kanarsky, Y. Zhang, D. Boyd, R. Carruthers, C. Cabral, R. Amos, C. Lavoie, R. Roy, J. Newburry, E. Sullivan, J. Benedict, P. Saunders, K. Wong, D. Canaperi, M. Krishnan, K.-L. Lee, B.A. Rainey, D. Fried, P. Cottrell, H.-S. P. Wong, M. Jeong, W. Haensch, “*Metal gate FinFET and fully depleted SOI devices using total gate silicidation*”, IEDM Tech. Dig, pp.247-250, 2002.
- [51] S.-F. Huang, C. Wann, Y.-S. Huang, C.-U. Lin, T. Schafbauer, S.-M. Cheng, Y.-C. Cheng, D. Vietzke, M. Eller, C. Lin, Q. Ye, N. Rovedo, S. Biesemans, P. Nguyen, R. Dennard, and B. Chen, IEDM 2001, pp. 237-240, 2001.
- [52] S. Parihar, M. Angyal, B. Boeck, D. Reber, A Singhal, T. Van Gompel, R. Li, B. Wilson, M. Wright, J. Chen, P. Grudowski, Y. Jeon, W. Qi, X. Bai, L. Parker, K. Strozewski, D. Smith, S. Roling, T. Sparks, T. Stephens, F. Huang, R. Mora, m. Aminpur, K. Hellig, I. Vishnubhotla, Y. Solomentsev, V. Arunachalam, A. Phillips, K. Junker, S. Filipiak, N. Ramani, M. Turner, M. Rendon, J. Molloy, K. Mc Guffin, A. Michel, R. Pena, D. Rose, J. Schmidt, M. Smith, M. Wilson, L. Terpolilli, P. Le, J. Sun, R. Ros, K. Yu, M. Hall, P. Ingersoll, M. Woo, G. Yeap, C. Lage, “*A high density 0,10 μm CMOS technology using low k-dielectric and copper interconnect*”, IEDM, pp. 249-259, 2001.
- [53] J. Kretz, L. Dreeskornfeld, R. Schröter, E. Landgraf, F. Hofmann, W. Rösner, “*Realization and characterization of nano-scale FinFET devices*”, Microelectronic Engineering, Vol. 73-74, n°1, pp. 803-808, 2004.
- [54] B. Doris, Y. Zhang, D. Fried, J. Beintner, O. Documaci, W. Natzle, H. Zhu, D. Boyd, J. Holt, J. Petrus, J.T. Yates, T. Dyer, P. Saunders, M. Steen, E. Nowak, M. Jeong, “*A Simplified Hybrid Orientation Technology (SHOT) for High Performance CMOS*”, 2004 Symposium on VLSI Technology, Digest of Technical Papers, p. 86, 2004
- [55] K. Okano, “*Process integration technology and device characteristics of CMOS FinFET on bulk silicon substrate with sub-10 nm fin width and 20 nm gate length*”, Solid State Electronic, vol. 48, pp. 529-534, 2004.
- [56] R. Chau, B. Doyle, J. Kavalieros, D. Barlage, A. Murthy, M. Doczy, “*Advanced depleted-substrate transistors: single-gate, double-gate and tri-gate*”, Int. Conf. on Solid State Dev. and Mat., SSDM, p. 68, 2002
- [57] M. Lemme, T. Mollenhauer, W. Henschel, T. Wahlbrink, M. Heuser, M. Baus, “*Influence of channel width on n- and p-type nano-wire-MOSFETs on silicon on insulator substrate*”, Microelectron. Eng., vol. 67–68, pp. 810–817, 2003.
- [58] M.C. Lemme, T. Mollenhauera, W. Henschela, T. Wahlbrinka, M. Bausb, O. Winklerb, R. Granznerc, F. Schwierzc, B. Spangenbergb, H. Kurza, “*Subthreshold behavior of triple-gate MOSFETs on SOI material*”, Solid State Electronic, vol. 48, pp. 529-534, 2004.
- [59] J.G. Fossum, J.-W. Yang, V.P. Trivedi, “*Suppression of corner effects in triple-gate MOSFETs*”, IEEE Elect. Device Letters, vol. 24, pp. 745-747, 2003.
- [60] A. Burenkov, J. Lorenz, “*Corner effect in double and triple-gate FinFETs*”, proceedings Essderc, pp. 135-138, 2003.

- [61] W. Xiong, J.W. Park, J.P. Colinge “*Corner effect in multiple-gate SOI MOSFETs*”, IEEE Elect. Device Letters, pp. 111-113, 2003.
- [62] J.T. Park, J.P. Colinge, C.H. Diaz, “*Pi-gate SOI MOSFET*”, IEEE Elect. Device Letters, vol. 22, pp. 405-406, 2001.
- [63] J.T. Park, J.P. Colinge, “*Multiple-gate SOI MOSFETs: device design guidelines*”, IEEE Transactions on Elect. Devices, vol. 49, n°12, pp. 2222-2229, 2002.
- [64] F.-L. Yang, H.-Y. Chen, F.-C. Chen, C.-C. Huang, C.-Y. Chang, H.-K. Chiu, C.-C. Lee, C.-C. Chen, H.-T. Huang, C.-J. Tao, Y.-C. Yeo, M.-S. Liang, C. Hu, “*25 nm CMOS Omega FETs*”, IEDM, 2002.
- [65] M. Masahara, T. Matsukawa, K. Ishii, Y. Liu, H. Tanoue, K. Sakamoto, T. Sekigawa, H. Yamauchi, S. Kanemaru, E. Suzuki, “*15 nm thick Si channel wall vertical double gate MOSFET*”, IEDM, pp. 949-951, 2002.
- [66] J. Penaud, F. Fruleux, E. Dubois, P. Coronel, G. Larrieu, X. Baie, “*Transistor MOS de type FinFET présentant des contacts source et drain auto alignés sur la grille grâce à un dépôt de l’empilement de grille par remplissage d’une cavité Damascène*”, proposition de brevet conjointe-IEMN-ST Microelectronics, janvier 2005.
- [67] F. Fruleux, J. Penaud, E. Dubois, M. François, M. Muller, “*Optimization of HSQ e-beam lithography for the patterning of FinFET transistors*”, Microelectronic Engineering, vol. 83, Issues 4-9, pp. 776-779, 2006.
- [68] F. Fruleux, J. Penaud, E. Dubois, M. François, M. Muller, “*An optimal high contrast e-beam lithography process for the patterning of dense fin networks*”, Materials Science and Engineering: C, Vol. 26, Issues 5-7, pp. 893-897, 2006.
- [69] J. Penaud, F. Fruleux, E. Dubois, “*Transformation of hydrogen silsesquioxane properties with RIE plasma treatment for advanced multiple-gate MOSFET*”, In Press dans Applied Surface Science, 2006.
- [70] A. Yagishita, T. Saito, K. Nakajima, S. Inumiya, Y. Akasaka, Y. Ozawa, K. Hieda, Y. Tsunashima, K. Suguro, T. Arikado, K. Okumura, “*High performance Damascene metal gate MOSFETs for 0,1 μ m regime*”, IEEE Transactions on Electron Devices, vol. 47, n°55, pp. 1028-1034, 2000.
- [71] B. Guillaumot, X. Garros, F. Lime, K. Oshima, B. Tavel, J.A. Chroboczek, P. Masson, R. Truche, A.M. Papon, F. Martin, J.F. Damlencourt, S. Maitrejean, M. Rivoire, M. Leroux, C. Cristoleavnu, G. Ghibaud, J.L. Autran, T. Skotnicki, S. Deleonibus, “*75 nm Damascene metal gate and high-k integration for advanced CMOS devices*”, Electron Devices Meeting, vol. 47, n°55, pp. 355-358, 2002.
- [72] J.-D. Chloé, C.-S. Lee, S.-H. Kim, S.-M. Kim, S.-A. Lee, J.-W. Lee, Y.-G. Shin, D. Park, K. Kim, “*A 22-nm Damascene-gate MOSFET fabrication with 0,9-nm EOT and local channel implantation*”, Electron Devices Meeting, vol. 24, n°53, pp. 195-197, 2003.

- [73] S. Schwntes, S. Dhar, W. Krautschneider, “*An analytic polysilicon depletion effect model for MOSFETs*”, IEEE Elect. Device Lett., vol. 15, pp. 129-131, 1994.
- [74] N. D. Arora, R. Rios, C.-L. Huang, “*Modelling the polysilicon depletion effect and its impact on sub-micrometer CMOS circuit performance*”, IEEE Transactions on Electron Devices, vol. 42, n^o5, pp. 935-943, 1995.
- [75] M. Hao, D. Nayak, R. Rakkhit, “*Impact of boron penetration at p⁺-poly/gate oxide interface on deep-submicron device reliability for dual-gate CMOS technologies*”, IEEE Electron Device Letter, vol. 18, n^o5, pp. 215-217, 1997.
- [76] D.A. Buchanan, F.R.Mc. Feely, J.J. Yurkas, “*Fabrication of midgap metal gates compatible with ultrathin dielectrics*”, Appl. Phys. Lett., vol. 73, n^o12, pp. 1676-1678, 1998.
- [77] T. Tanaka, K. Suzuki, K. Horie, H. Sugii, “*Ultrafast operation of V_{th} -adjusted p⁺-n⁺ double gate SOI MOSFETs*”, IEEE Elec. Dev. Lett. vol. 15, n^o10, pp. 386-388, 1994.
- [78] K. Kim, J.G. Fossum, “*Optimal double-gate MOSFETs: symmetrical or asymmetrical-gates?*”, IEEE Intern. SOI Conf. proceedings, 1999.
- [79] G. Larrieu, “*Elaboration et caractérisation de transistors MOS Schottky en régime nanométrique*”, Thèse de Doctorat, IEMN, Lille1, 2004.
- [80] B.-Y. Tsui, C.-P. Lin, “*A novel 25-nm Modified Schottky-Barrier FinFET with high performance*”, IEEE Elect. Dev. Lett., vol. 25, n^o6, 2004.

Chapitre 3:

Réalisation de réseaux denses d'ailettes de silicium

L'architecture MOS de type FinFET tire avantage de la configuration filaire (en ailette) et du contrôle latéral du transport par l'effet de champ exercé par la grille. Néanmoins, le principal challenge de cette architecture consiste à définir une épaisseur d'ailette suffisamment mince par lithographie électronique et par gravure afin de s'affranchir des effets canaux courts. La difficulté est d'autant plus grande lorsque l'on cherche à multiplier le nombre d'ailettes associées en parallèle.

Ce chapitre présente les solutions technologiques développées afin de définir un réseau dense d'ailettes de silicium. La première section décrit la formation de lignes de résine (Hydrogène Silsesquioxane, HSQ) par lithographie électronique. Celles-ci serviront de masque lors de la gravure, pour la suite du procédé.

La deuxième partie s'intéresse au transfert des motifs de HSQ dans le silicium par gravure plasma RIE. Le premier volet de l'étude explique les différents mécanismes mis en jeu au cours d'une gravure plasma: génération du plasma, composantes chimie et physique de la gravure. Le procédé de fabrication est ensuite détaillé. Enfin, de nombreux essais de gravure, basés sur une chimie fluorée, sont présentés. Le rôle de chaque gaz est clairement détaillé. Les résultats les plus probants, en terme d'anisotropie de gravure et de rugosité des flancs des ailettes, sont obtenus avec un flux de gaz composé d'hexafluorure de soufre (SF_6), d'oxygène (O_2) et d'azote (N_2). L'oxygène protège les flancs des ailettes alors que l'azote densifie le plasma. Dans le même temps l'hexafluorure de soufre (SF_6) grave le silicium chimiquement (avec les radicaux F^) et physiquement (avec les ions SF_x^+).*

I- Formation des motifs de HSQ par lithographie électronique.

I-1 Introduction.

Cette partie présente la réalisation de réseaux denses de lignes de résine par lithographie électronique. Ces motifs serviront de masque à la gravure plasma RIE pour la formation d'ailettes de silicium. Le choix de la résine négative HydrogèneSilsesquioxane (HSQ) est tout d'abord justifié. Le procédé expérimental est ensuite détaillé. Enfin, les différents résultats expérimentaux sont présentés.

I-2 Choix de la lithographie électronique et d'une résine négative (HSQ).

La première étape du procédé de fabrication du FinFET consiste à réaliser une ailette (ou "fin" en anglais) de silicium nanométrique qui constituera la zone active du transistor. La parfaite maîtrise de cette étape est indispensable car elle conditionne les performances électriques du transistor. Ainsi, un bon contrôle des effets canaux courts liés à la miniaturisation du dispositif impose certaines contraintes sur la largeur des ailettes de silicium: $W_{fin}=2/3*L_g$, avec L_g la longueur de grille. Pour les générations futures (noeuds technologiques inférieurs ou égal à 22 nm), les largeurs de lignes de silicium visées par l'ITRS [1] sont inférieures à 20 nanomètres.

Une autre contrainte réside dans le maintien d'une densité d'intégration élevée. Le pas de répétition de la lithographie électronique doit ainsi être au moins deux fois plus petit que la hauteur de l'ailette (H_{fin}) pour maintenir ce haut niveau d'intégration. L'objectif est donc de réaliser des réseaux d'ailettes denses de 20 nm espacées de 20 nm et parfaitement définies sur l'ensemble du réseau.

L'outil le mieux adapté pour atteindre ces dimensions nanométriques est le système de lithographie électronique ("e-beam", en anglais). L'ensemble de l'étude a ainsi été réalisé avec un nanomasqueur e-beam LEICA 5000 plus 50kV.

D'autre part, l'utilisation d'une résine négative semble être la plus adaptée pour la définition des ailettes de silicium. Le choix de L'Hydrogène SilsesQuioxane (ou HSQ) Fox-12 devient alors judicieux. En effet, la HSQ est un polymère inorganique essentiellement dédié à l'isolation diélectrique low- κ entre les différents niveaux inter-métalliques [2]: elle possède ainsi une constante diélectrique ($\kappa\sim 2,9$) nettement inférieure à celle du SiO_2 ($\kappa\sim 3,9$) [3-4]. En 1998, Namatsu est le premier à avoir utilisé ce polymère inorganique en tant que résine négative sensible à l'insolation électronique (e-beam) [5] ou aux rayons X [6]. Cette résine permet d'obtenir des contrastes de 9 [7] mais également de faibles fluctuations de largeur des lignes (2 nm) [8] grâce à la faible dimension de ses chaînes de polymère. Des résolutions de 5 nm [9] ont déjà été obtenues en lithographie e-beam en utilisant cette résine. En particulier, des lignes isolées de 8 nm [10] ont été réalisées, ainsi que des réseaux de lignes de 20 nm espacées de 20 nm [11].

I-3 Procédé expérimental.

La difficulté de l'étude consiste à écrire un réseau de lignes denses et minces (Fig. 3.1.a). La HSQ servira ensuite de masque lors de la définition des ailettes de silicium par gravure RIE (Fig. 3.1.b). Cette étape sera détaillée dans la seconde section de ce chapitre. La qualité de l'écriture électronique de telles lignes est détériorée par des effets de proximités. Ces effets sont provoqués par l'interaction des électrons avec les atomes du réseau, entraînant une dispersion des électrons. Il existe deux types d'électrons dispersés: les électrons déviés (forward scattered electrons) et ceux qui sont rétrodiffusés (back-scattered electrons). Dans le cas de lignes faiblement espacées, les électrons déviés vont interagir avec les lignes proches créant ainsi un surdosage et une mauvaise uniformité du réseau. Il convient donc de régler de nombreux paramètres pré-insolatoires (temps et température de recuit après dépôt par tournette), des paramètres d'écriture (dose, courant du faisceau d'électrons, énergie) ainsi que les paramètres liés au développement (temps de révélation, choix du développeur) afin d'obtenir les dimensions nanométriques souhaitées.

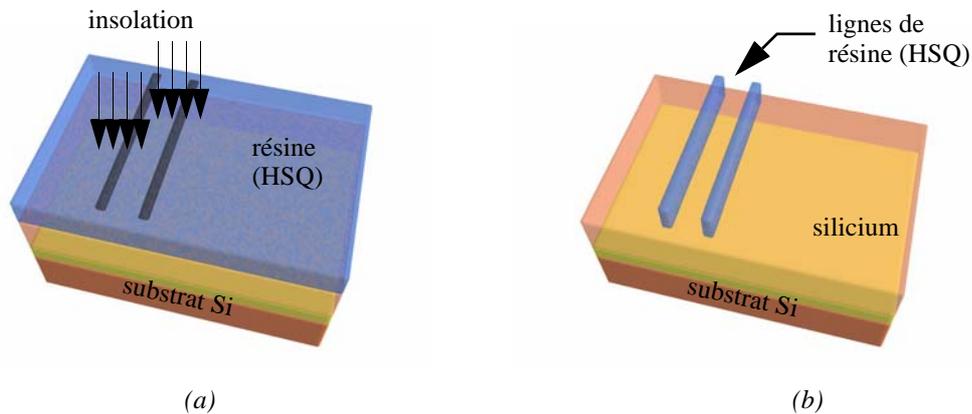


Fig. 3.1: Définition des lignes de HSQ: (a) Avant insolation (b) Après insolation et développement.

I-4 Réalisation de réseaux denses de lignes de HSQ.

Le procédé classique [12-13] prévoit deux recuits pré-insolatoires réalisés sur plaque à 150°C et 220°C pendant 2 minutes chacun, puis l'utilisation du développeur MF322 (Tetra Methyl Hydroxide Ammonium: TMAH 2,38%). Les premiers réseaux de lignes de HSQ obtenus, caractérisés en microscopie électronique à balayage (MEB), montrent une nette détérioration, provoquée par les effets de proximité (Fig. 3.2). La résine entre les ailettes est surexposée entraînant la fusion des lignes pour ne plus former qu'un seul motif.

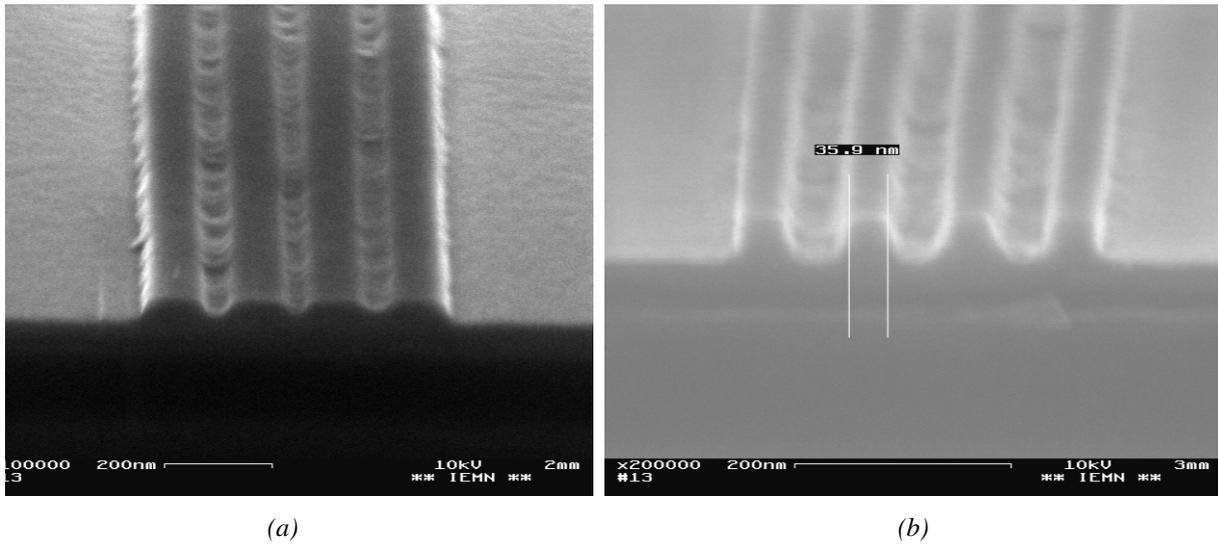


Fig. 3.2: Photos MEB de section de coupe, caractérisant l'effet de surdosage des lignes de HSQ: (a) Dose de $1750 \mu\text{m}/\text{cm}^2$ pour des lignes de 100 nm espacées de 50 nm (b) Dose de $2750 \mu\text{m}/\text{cm}^2$ pour des lignes de 50 nm espacées de 50 nm (courant de faisceau de 800 pA, énergie de faisceau de 50 keV)

Un plan d'expériences a été mené sur l'ingénierie de dose et de développement par Fruileux *et al.* [14] dans le but de s'affranchir des problèmes liés aux effets de proximité. Pour l'ensemble de l'étude, l'épaisseur de la couche de HSQ déposée est de 50 nm.

Par rapport au procédé classique, de nettes améliorations ont été obtenues en terme de contraste et d'homogénéité des dimensions dans un même réseau. Le contraste est désormais de 6,9 alors qu'il n'était que de 1,02 avec le procédé précédent, soit un gain d'un facteur 7. Les paramètres d'insolation et de développement optimaux sont résumés dans la Table 3.1.

| Recuit plaque | Energie de faisceau d'électrons (keV) | Courant de faisceau (pA) | Dose ($\mu\text{C}/\text{cm}^2$) | Développement |
|------------------------|---------------------------------------|--|------------------------------------|---|
| 90°C pendant 5 minutes | 50 | 330 pA (cela équivaut à un faisceau électronique de 5 nm) | 2500 | 1 minute dans le Tetramethyl Ammonium Hydroxyde (TMAH) 25%, suivi d'un rinçage dans l'EDI |

Table 3.1: Paramètres de recuit, d'exposition et de développement permettant d'obtenir des réseaux de lignes denses et uniformes.

La Fig. 3.3 présente les caractérisations MEB (vues de dessus et vues en coupe) de réseaux de lignes plus ou moins denses (100 nm, 50 nm, 20 nm) et parfaitement définis (les flancs sont verticaux, et les interstices entre deux lignes sont exempts de tout résidu de résine). Les plus petites lignes mesurent 20 nm et sont espacées de 25 nm. On note une très bonne uniformité des lignes sur l'ensemble du réseau.

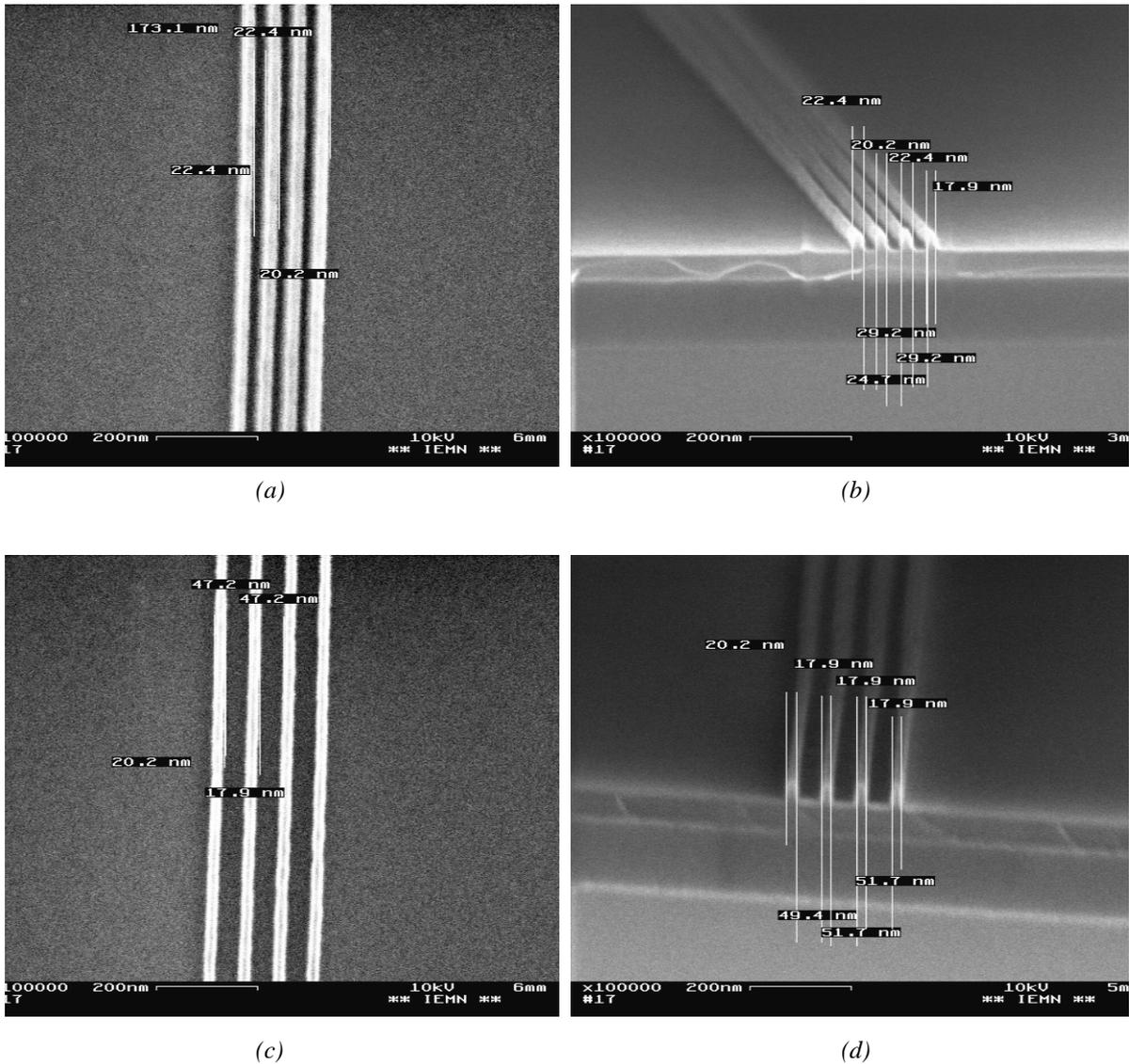


Fig. 3.3: Photos MEB de réseaux de lignes de HSiO₂ nanométriques obtenus après insolation et développement en utilisant les conditions expérimentales décrites dans la Table IV.1: (a) Lignes de 20 nm espacées de 30 nm écrites à une dose de 2400 $\mu\text{C}/\text{cm}^2$ (vue de dessus) (b) Vue en coupe (c) Lignes de 20 nm espacées de 50 nm écrites à une dose de 2500 $\mu\text{C}/\text{cm}^2$ (vue de dessus) (d) Vue en coupe.

I-5 Conclusion.

Une étude sur l'ingénierie de dose et de développement a permis d'optimiser le procédé de lithographie électronique afin de définir des lignes de HSQ (20 nm) minces uniformes sur l'ensemble du réseau, et faiblement espacées (25 nm). Ces travaux ont ainsi permis d'augmenter le contraste d'un facteur 7 et de s'affranchir des effets de proximité. Ces motifs doivent ensuite être transférés dans le silicium par gravure plasma RIE, afin de définir les ailettes qui constituent la zone active du transistor. Cette étape est présentée dans le paragraphe qui suit.

II- Transfert des motifs par gravure plasma RIE.

II-1 Introduction.

Cette section présente le transfert des motifs lithographiques de HSQ dans le silicium par gravure plasma RIE (Reactive Ion Etching). Le premier paragraphe présente l'impact de la qualité du transfert des motifs sur les caractéristiques électriques du FinFET. La deuxième partie rappelle les principes de bases de la gravure sèche par plasma RIE. Le troisième volet de l'étude détaille le procédé de fabrication technologique. Enfin, la dernière partie décrit et analyse le plan d'expériences mené sur la chimie de gravure.

II-2 Impact de la verticalité des flancs des ailettes.

Wu *et al.* [15] ont étudié l'impact d'une variation de la largeur des ailettes sur les performances électriques du transistor FinFET. Ils ont ainsi simulé le comportement d'un dispositif trapézoïdal représenté Fig. III.4, avec: T_{top} la largeur supérieure de l'ailette, θ l'angle d'inclinaison du flanc de l'ailette et H_{fin} la hauteur de l'ailette. La structure idéale correspond à un angle $\theta = 90^\circ$. Ils ont comparé (Fig. 3.5) les pentes sous le seuil des dispositifs expérimentaux publiés dans la littérature [16-20] avec celles résultant d'un dispositif idéal $\theta = 90^\circ$ [21]. Il a clairement été démontré qu'une fluctuation trop importante de la largeur (θ très différent de 90°) entraînait une dégradation de la pente sous le seuil.

De même, les simulations menées par Wu *et al.* [15] (Fig. 3.6 et 3.7) montrent une dégradation nette des effets canaux courts (DIBL et pente sous le seuil) lorsque l'angle θ diminue, et plus particulièrement pour des hauteurs d'ailettes importantes. Par exemple, pour une longueur de grille de 18 nm et un angle $\theta=86^\circ$, propre à un procédé particulier (anisotropie de gravure), il est nécessaire de diminuer la hauteur des ailettes jusqu'à 30 nm afin de conserver des effets canaux courts raisonnables (DIBL de 100 mV/V et une pente sous le seuil de 78 mV/déc). Une hauteur de 50 nm engendrerait un DIBL 2 fois supérieurs (200 mV/V) et une pente sous le seuil plus importante (90 mV/déc).

C'est pour l'ensemble de ces raisons qu'il convient d'étudier avec attention le procédé de transfert des motifs de HSQ par gravure RIE. L'objectif est de calibrer une gravure très anisotropique afin d'obtenir un profil rectangulaire des ailettes de silicium. Cette étude est détaillée dans les paragraphes suivants.

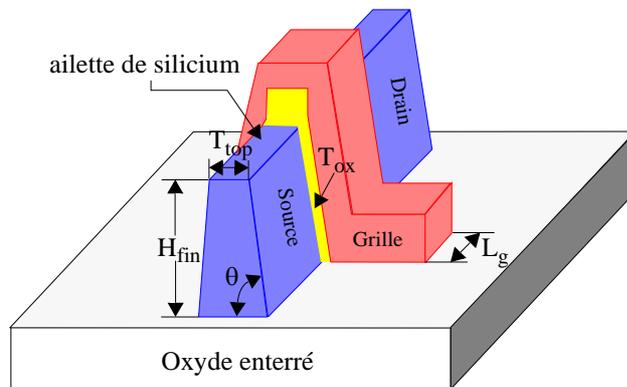


Fig. 3.4: Structure schématique d'une simulation 3D pour un FinFET possédant une géométrie filaire non-idéale sur substrat SOI et un oxyde épais sur la partie supérieure de l'ailette [15].

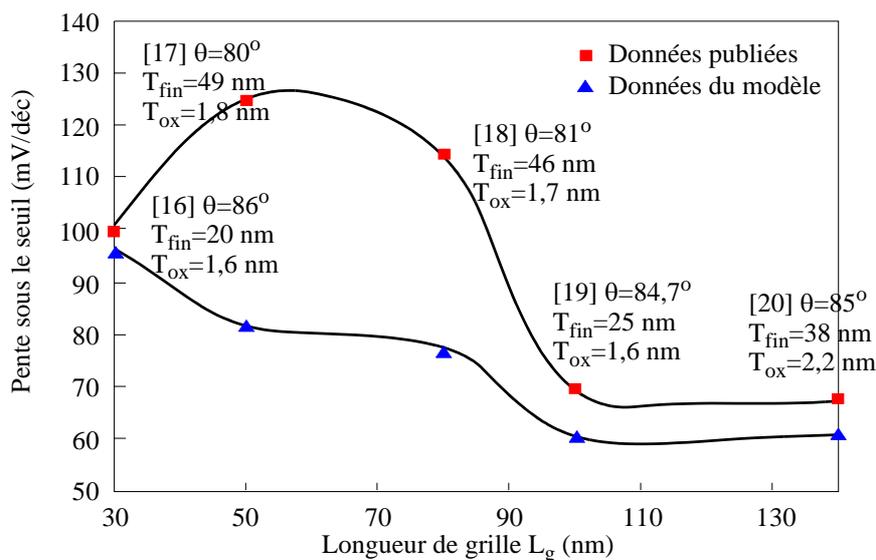


Fig. 3.5: Comparaison des pentes sous le seuil de FinFETs expérimentaux (rouge) avec celle d'un dispositif idéal simulé $\theta=90^\circ$ (bleu), pour différentes longueurs de grille [15].

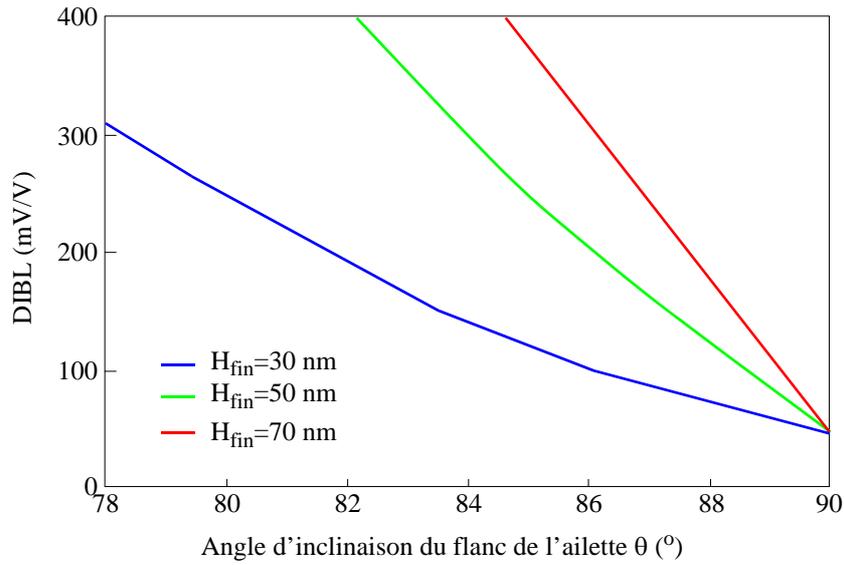


Fig. 3.6: Evolution du DIBL en fonction de l'angle d'inclinaison des ailettes θ (°) pour différentes hauteurs d'ailettes ($H_{fin}= 30, 50, 70$ nm). Le modèle de Wu [15] a utilisé les paramètres suivants: $L_g= 18$ nm, et $T_{top}= 5$ nm.

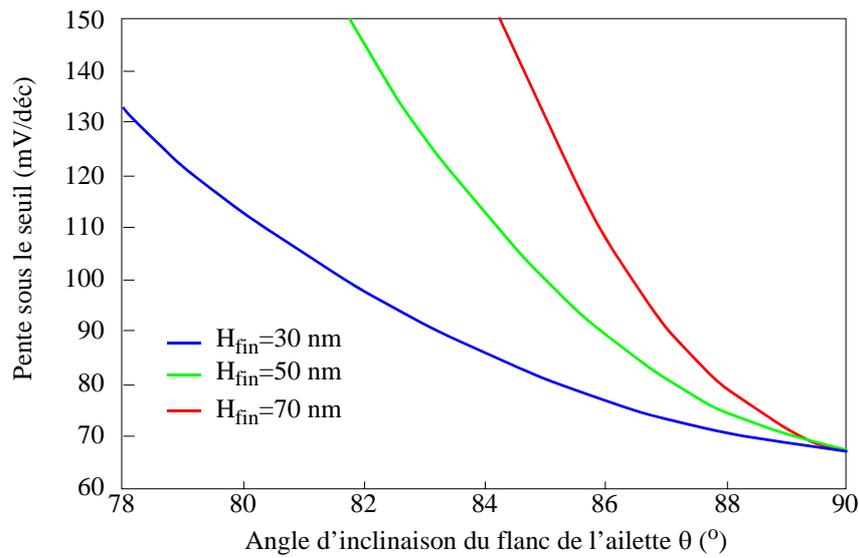


Fig. 3.7: Evolution de la pente sous le seuil en fonction de l'angle d'inclinaison des ailettes θ (°) pour différentes hauteurs d'ailettes ($H_{fin}= 30, 50, 70$ nm). Le modèle de Wu a utilisé les paramètres suivants: $L_g= 18$ nm, et $T_{top}= 5$ nm [15].

II-3 Principe de fonctionnement de la gravure plasma.

II-3.1 Génération d'un plasma.

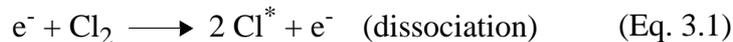
La gravure plasma a initialement été inventée dans les années 60, dans le but d'éliminer ("ashing" en anglais) des couches de matériaux (ex: plasma oxygéné pour supprimer les cou-

ches de photo-résines). Une autre utilisation consiste à transférer des motifs de résine dans le substrat. Celle-ci n'a été développée que dans le milieu des années 70, avec l'apparition du nitrure de silicium comme couche de passivation [22]. Ainsi, la gravure humide du nitrure dans des bains de H_3PO_4 portés à hautes températures ($140^{\circ}C-200^{\circ}C$) [23] qui attaquait trop sévèrement les résines a été remplacée par une gravure plasma. Le mélange de TetraFluorométhane (CF_4) et de dioxygène (O_2) a montré les premiers résultats encourageants pour la gravure des couches de nitrure [22].

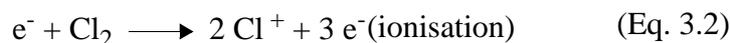
Les deux principaux procédés de gravure plasma par ionisation réactive (Reactive Ion Etching, RIE) et PE (plasma Etching) sont très similaires et ne se distinguent l'un de l'autre que par les pressions et les tensions de polarisation [24]. La gravure RIE opère à des pressions plus basses (entre 0,005 et 1 Torr) que la gravure PE (entre 0,1 et 5 Torr). Dans cette étude on s'intéresse essentiellement à la gravure RIE.

La Fig. 3.8 représente une vue schématique d'un bâti de gravure RIE. L'enceinte est amenée à basse pression (entre 0,005 et 1 Torr). La pression est directement liée au libre parcours moyen des particules. Ainsi, lorsqu'elle diminue, les espèces sont plus nombreuses et les collisions sont donc plus fréquentes. De plus, les particules auront tendance à perdre leur énergie cinétique et à être déviées de la direction verticale, favorisant alors une gravure chimique.

Le substrat est posé sur une électrode reliée à un générateur radio-fréquence qui permet d'obtenir des tensions de polarisation élevées. Le plasma résulte de l'interaction (dissociation/ionisation) entre un arc électrique et un flux de gaz [25]. Au cours de ce processus, un gaz moléculaire (prenons l'exemple du chlore: Cl_2) se transforme d'abord en espèce atomique (dissociation, Eq. 3.1) puis est ensuite ionisé (Cl_2^+ , Eq. 3.2) lorsque les collisions entre les atomes sont en mesure de libérer les électrons les plus extérieurs. Le phénomène de dissociation qui intervient pour des énergies d'électrons faibles, entraîne l'apparition de radicaux libres Cl^* . Ces espèces très réactives interviennent dans le processus de gravure chimique.



La réaction d'ionisation forme des ions Cl^+ qui vont agir lors de la gravure physique.



Le plasma résultant consiste alors en un mélange de plusieurs espèces chimiques hautement réactives: particules neutres, ions positifs (atomes ou molécules qui ont perdu un ou plu-

sieurs électrons), et des électrons, qui peuvent ensuite réagir avec la surface du substrat pour former des produits volatiles qui sont évacués par un système de pompage. Un choix approprié des gaz réactifs (bromés, fluorés, chlorés...), permet de graver une large gamme de matériaux.

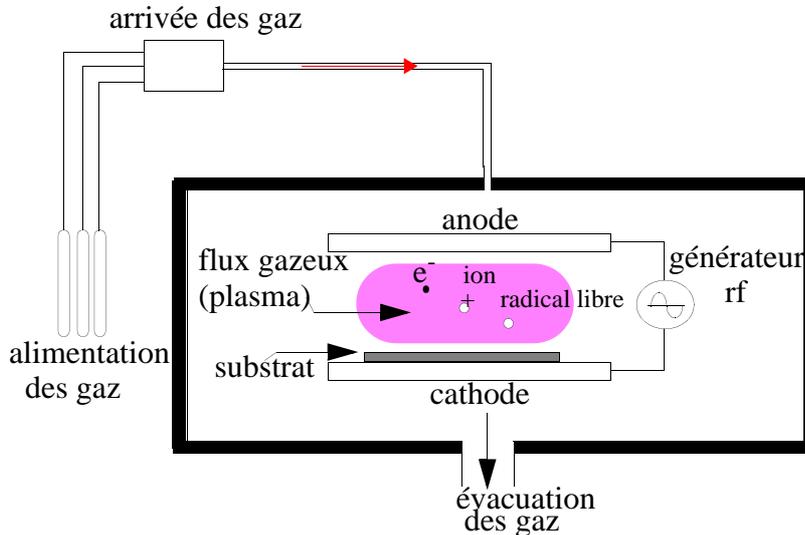


Fig. 3.8: Vue schématique d'un bâti plasma RIE [25].

II-3.2 Les mécanismes de la gravure plasma RIE.

La gravure plasma RIE met en oeuvre un processus de gravure physico-chimique, car elle met en jeu à la fois une réaction chimique entre les particules très réactives du plasma et la surface de l'échantillon, mais également un bombardement ionique (énergie mécanique). Le réglage des différents paramètres (pression, puissance, température, polarisation, chimie) permet de donner plus ou moins d'importance à l'un ou l'autre des processus de gravure. Les paragraphes qui suivent présentent ces deux types d'attaque.

II-3.2-a La gravure chimique.

Les différentes étapes de la gravure chimique sont présentées sur la Fig. 3.9 La gravure chimique ne peut débuter sans la génération (1) des espèces chimiques réactives (radicaux libres) et leur diffusion (2) vers la surface du matériau à graver. Ces deux phénomènes ont été clairement expliqués dans le paragraphe précédent (II.2.1).

Les troisième et quatrième étapes consistent en une adsorption des particules par la surface du matériau (3) et en une réaction chimique (4):



Avec $R^*_{(g)}$ un radical libre dans le gaz qui réagit avec la surface S du matériau à attaquer, pour former un composé en surface $SR_{x+1(s)}$.

Enfin, les dernières étapes, appelées désorption et diffusion permettent d'évacuer les composés formés très volatiles, à l'extérieur du matériau puis de l'enceinte:

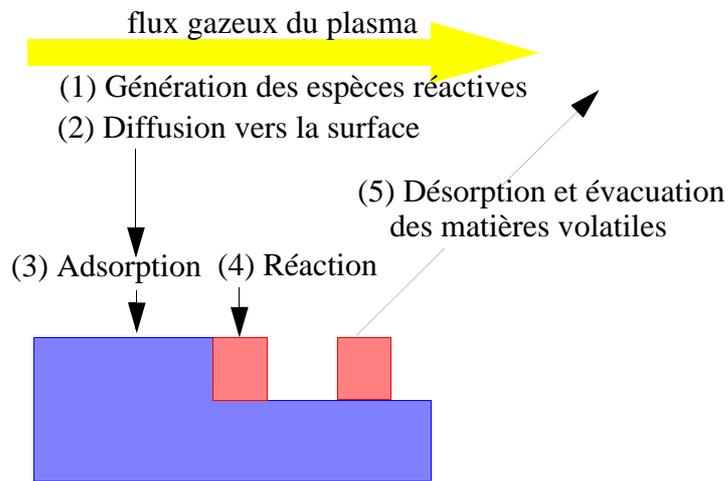


Fig. 3.9 Les mécanismes mis en jeu lors de la gravure plasma RIE.

Une faible pression et une température élevées favorisent le processus chimique. Ces réactions chimiques, entre le gaz et l'échantillon produisent une gravure sélective et isotrope (Fig. 3.10.a).

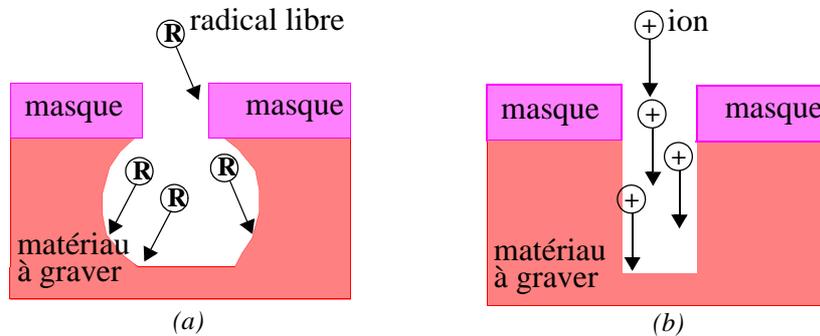


Fig. 3.10: Les deux mécanismes de gravure dans un plasma RIE: (a) Gravure chimique (b) Bombardement ionique (gravure physique).

II-3.2-b La gravure physique.

La gravure physique est quant à elle issue de l'interaction mécanico-physique entre les ions formés par le plasma et la surface du matériau. Les ions positifs sont accélérés et bombardent la surface de l'échantillon avec une énergie cinétique élevée. Une partie de cette énergie est transférée à la surface des atomes de l'échantillon entraînant la gravure du matériau.

Les ions négatifs ne peuvent pas atteindre l'échantillon qui est polarisé négativement, et ne jouent donc aucun rôle dans la gravure.

Contrairement à la gravure chimique, la combinaison d'une tension de polarisation élevée et d'une pression faible augmente le bombardement mécanique. De plus, l'érosion de la surface provoquée par les ions est anisotrope et non sélective (des flancs parfaitement verticaux peuvent être obtenus en privilégiant cette gravure mécanique) (Fig. 3.10.b).

II-4 Procédé expérimental.

Les motifs de HSQ définis précédemment (Fig. 3.1) sont transférés par gravure plasma RIE (Fig. 3.11.a). La nature inorganique de ce polymère [26] permet de garantir une bonne résistance durant la gravure RIE du silicium (plus de 20 fois supérieure à celle du Polyméthacrylate (PMMA)). La difficulté de cette étape réside dans l'élaboration d'une gravure anisotropique afin de définir des flancs d'ailettes parfaitement verticaux. Un bombardement ionique trop intense risque néanmoins de dégrader la rugosité latérale des ailettes de silicium. Il convient donc de trouver un compromis acceptable entre anisotropie/protection des flancs.

La sélectivité de gravure entre le silicium et l'oxyde enterré est moins critique, mais doit néanmoins être suffisamment élevée afin de ne pas graver la totalité de l'épaisseur de l'oxyde enterré (cf. paragraphe II.6.10). Différentes chimies de gravure doivent ainsi être testées sur des lignes de HSQ définies dans le paragraphe I.4. L'ensemble des gravures ont été réalisées à basse pression et débits relativement faibles afin d'améliorer l'anisotropie. Le caractère anisotropique de la gravure a été validé par des observations au microscope électronique à balayage (MEB). L'ensemble des résultats sont présentés dans la partie II.6.

À l'issue de cette gravure, les résidus de HSQ sont éliminés par gravure humide au HF 1% pendant quelques secondes (Fig. 3.11.b). La plaque est ensuite nettoyée en suivant le mode opératoire défini précédemment (chapitre 2, paragraphe V-2) à l'exception de l'étape de gravure humide au HF 1% qui attaquerait l'oxyde enterré. La Fig. 3.11.c présente une vue des réseaux d'ailettes après gravure des résidus du masque de HSQ.

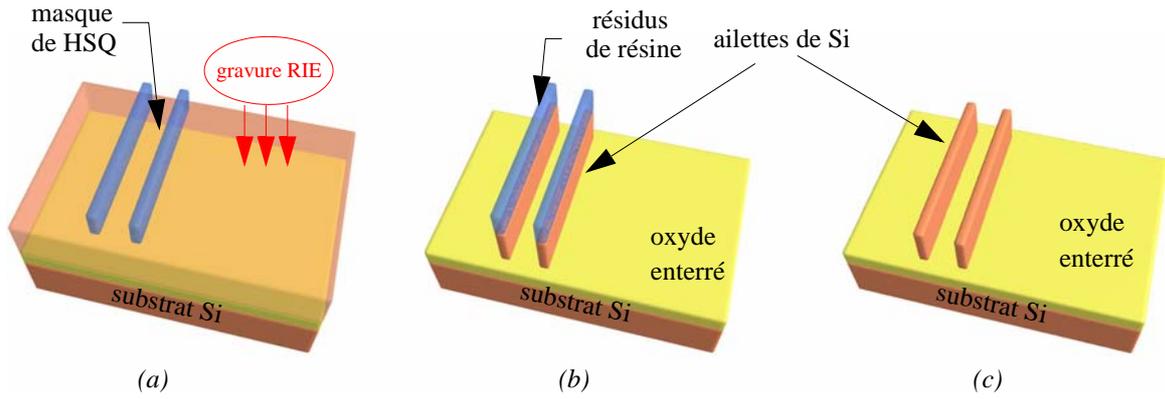
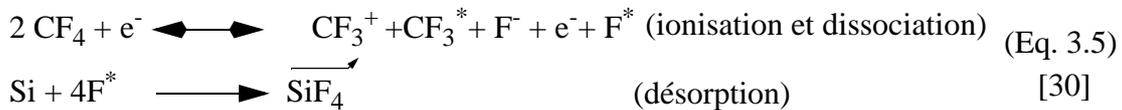


Fig. 3.11: (a) Formation des ailettes de silicium par gravure RIE (b) Gravure humide des résidus de HSQ dans le HF 1% (c) Vue du réseau d'ailettes de silicium.

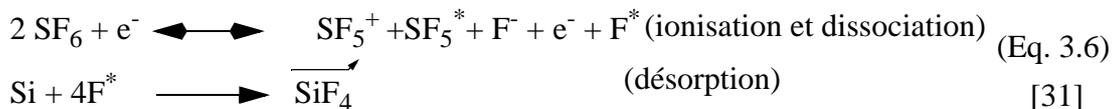
II-5 Les réactions chimiques principales mises en jeu lors d'une gravure fluorée.

Afin d'obtenir des flancs d'ailettes parfaitement verticaux, il est nécessaire d'optimiser, au préalable, la lithographie e-beam des lignes de HSQ. En effet, toute variation d'épaisseur de ligne de résine en HSQ se répercute lors du transfert de motif par gravure. En ce sens, les résultats présentés dans la section précédente (cf. I.4) sont très satisfaisants.

Les procédés de gravure du silicium les plus répandus sont basés sur une chimie bromée [27], chlorée [28], et/ou fluorée [29]. Ne disposant pas de gaz bromé ni chloré, nos travaux se sont essentiellement concentrés sur une chimie fluorée basée sur le Tetra-Fluoro-Carbone (CF_4) ou sur l'Hexa-Fluorure de Soufre (SF_6). L'utilisation de gaz fluorés favorise la composante chimique de la gravure. Les réactions prépondérantes sont semblables pour ces deux types de gaz. Pour une gravure RIE du silicium à partir d'une chimie CF_4 , les réactions prédominantes sont les suivantes [30]:



De même pour une attaque par le SF_6 [31]:



Dans les deux cas, les radicaux libres (F^*) créés par le plasma attaquent isotropiquement le silicium (cf. Fig. 3.6.a). Après adsorption de cette espèce réactive, ils réagissent avec le silicium et forment un produit volatil (SiF_4) qui entraîne une sous-gravure latérale. Le SiF_4 , composé très volatil, est ensuite évacué de l'enceinte. L'utilisation du seul gaz fluoré ne permet donc pas de définir des flancs verticaux.

Il existe plusieurs solutions afin d'améliorer l'anisotropie de la gravure du silicium. L'addition de gaz tels que l'oxygène (O_2) [32-35], l'argon [36], le Fréon 23 (CHF_3) [37-38], ou bien l'azote (N_2) [39], génère des films de passivation sur les flancs et/ou augmente le bombardement ionique. L'ensemble de ces procédés ont été étudiés et sont présentés dans la partie qui suit.

II-6 Résultats expérimentaux.

L'objectif de cette étude est de définir une chimie de gravure anisotrope permettant de réaliser des réseaux d'ailettes de silicium aux flancs parfaitement verticaux en diminuant la gravure latérale. Dans un premier temps, l'angle d'anisotropie est défini. Puis, l'effet de l'ajout de différents gaz à une chimie fluorée est expliqué et illustré par des essais de gravure sur des lignes de HSQ.

II-6.1 Angle d'anisotropie.

Le caractère anisotrope d'une gravure est caractérisé par l'angle d'anisotropie α [40]:

$$\alpha = 1 - \frac{V_h}{V_v} \quad (\text{Eq. 3.7})$$

avec V_h la vitesse de gravure horizontale et V_v la vitesse de gravure verticale.

On mesure également pour chaque motif gravé un angle d'anisotropie α (Fig. 3.12).

$$\alpha = \text{atan} \left[\frac{\left(\frac{l_2 - l_1}{2} \right)}{h} \right] \quad (\text{Eq. 3.8})$$

pour rappel $\alpha = 90 - \theta$, avec θ l'angle d'inclinaison des ailettes défini précédemment par Wu *et al.* [15] dans le paragraphe II-2.

Plus cet angle est faible, plus la gravure est anisotrope. α vaut idéalement 0° pour une gravure parfaitement anisotrope.

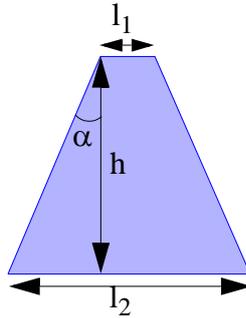


Fig. 3.12: Mesure de l'angle d'anisotropie α sur les motifs de silicium gravés par RIE.

Il convient de noter que pour l'ensemble des essais de gravure présentés dans les paragraphes suivants, il subsiste quelques nanomètres du masque de HSQ. Cela explique ainsi les profils plus ou moins arrondis des parties supérieures des ailettes. L'angle d'anisotropie ne tient bien évidemment pas compte de cette partie arrondie.

II-6.2 Effet de l'ajout de dioxygène.

La première méthode de gravure consiste à mélanger un gaz fluoré très réactif (CF_4 ou SF_6) avec du dioxygène (O_2). Un faible ajout d' O_2 (<5%) permet d'augmenter considérablement la concentration d'atome de fluor (F) dans le plasma [32-35]. Le mélange CF_4/O_2 se dissocie tout d'abord pour former des radicaux libres: CF_3^* , F^* , O^* , et minoritairement des radicaux CF_2^* . L'augmentation de la densité d'atomes de F est due à la réaction entre l' O_2 avec les radicaux CF_x^* , formant les composés CO_2 et COF_2 , et à celle entre le CF_4 et les atomes d'oxygène O^* , générant le COF_2 . De plus, ces deux phénomènes réduisent la recombinaison entre les atomes de fluor F et les radicaux libres CF_3^* , engendrant ainsi une hausse de la concentration en atomes de F. La consommation des radicaux CF_3^* par l'oxygène permet également de supprimer la formation de polymère de type C_xF_y . Ce plasma riche en composés fluorés génère une gravure isotropique.

Au fur et à mesure que l'on augmente la proportion d' O_2 (>7,5%), les mesures par spectrométrie de masse réalisées par Coburn *et al.* [32] décrivent une évolution de la surface du silicium, passant d'une structure Si-C, Si-F, puis Si-O pour finalement former une couche passivante inorganique de type $\text{Si}_x\text{O}_y\text{F}_z$. La vitesse d'attaque du silicium est alors plus contrôlée

par l'épaisseur de la couche passivante que par la densité d'atomes F qui diminue (à cause de la dilution pour des proportions d'oxygène élevées). Un bombardement ionique (CF_3^+) grave les couches «horizontales» de $\text{Si}_x\text{O}_y\text{F}_z$ et de silicium, en formant des espèces volatiles Co_xF_y , alors que les flancs sont protégés par la couche passivante de $\text{Si}_x\text{O}_y\text{F}_z$. Les essais de gravure sont listés dans la Table 3.2.

| Gaz | Flux (sccm) | Pression (mTorr) | Puissance (W) | DC bias (V) | Angle d'anisotropie α (°) $\pm 2^\circ$ |
|--------------------------|-------------|------------------|---------------|-------------|--|
| CF_4/O_2 | 10/10 | 10 | 50 | 256 | 27,5 |
| SF_6/O_2 | 10/10 | 10 | 50 | 267 | 9,9 |

Table 3.2: Paramètres de gravure pour un plasma RIE CF_4/O_2 et SF_6/O_2 .

La Fig. 3.13 rassemble les photos MEB de réseaux de lignes de silicium gravées par une chimie de plasma de type CF_4/O_2 . L'apport de dioxygène dans le CF_4 a permis d'améliorer l'anisotropie de la gravure en formant une couche de passivation. Néanmoins, cette chimie génère des motifs trapézoïdaux ($\alpha=27,6^\circ$). Le bombardement ionique n'est pas assez important par rapport à la passivation latérale qui est régénérée dès qu'une couche est gravée.

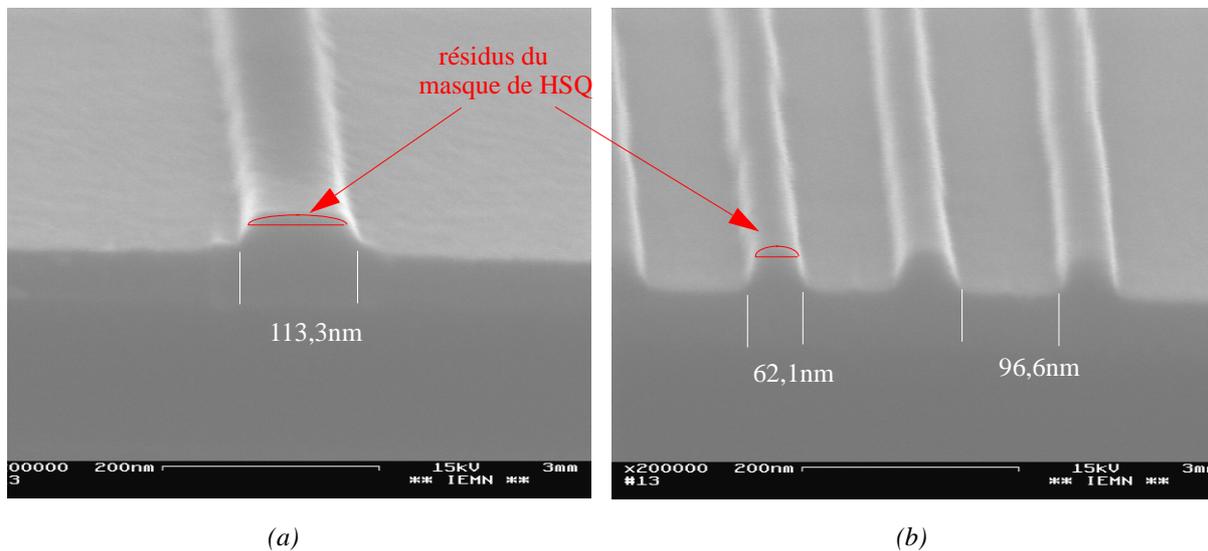


Fig. 3.13: Caractérisations MEB de section de coupe de lignes de silicium gravées avec une chimie de plasma CF_4/O_2 : (a) Lignes de 100 nm espacées de 1 μm (b) Lignes de 50 nm espacées de 100 nm

Les effets d'une addition d' O_2 dans un plasma de SF_6 sont sensiblement les mêmes que ceux engendrés par l'apport d' O_2 dans un plasma CF_4 . Le mélange gazeux se dissocie en SF_5^*

(légèrement en SF_4^{**}), en F^* , et en O^* . Les réactions entre l' O_2 et les radicaux SF_x^* , forment le SOF_2 et le SOF_4 , et celles entre le SF_6 et les O^* , génèrent le SOF_4 . Cela entraîne une augmentation de la concentration d'atomes de F qui à son tour engendre une croissance de la vitesse d'attaque verticale. Cette vitesse diminue lorsque la couche de passivation $Si_xO_yF_z$ est formée et que les atomes F sont dilués dans le plasma.

Les conditions opératoires de la gravure SF_6/O_2 sont résumées dans la Table 3.2. La Fig. 3.14 représente les caractérisations MEB de lignes de silicium gravées par cette chimie de plasma. Les résultats sont meilleurs que ceux obtenus avec le CF_4 en terme d'anisotropie ($\alpha=9,9^\circ$), cela est dû à l'augmentation de la densité d'atome de F et d'ions F^+ . On retrouve cependant des profils trapézoïdaux liés à l'augmentation de l'épaisseur de la couche isolante $Si_xO_yF_z$ qui se dépose sur les zones venant juste d'être gravées.

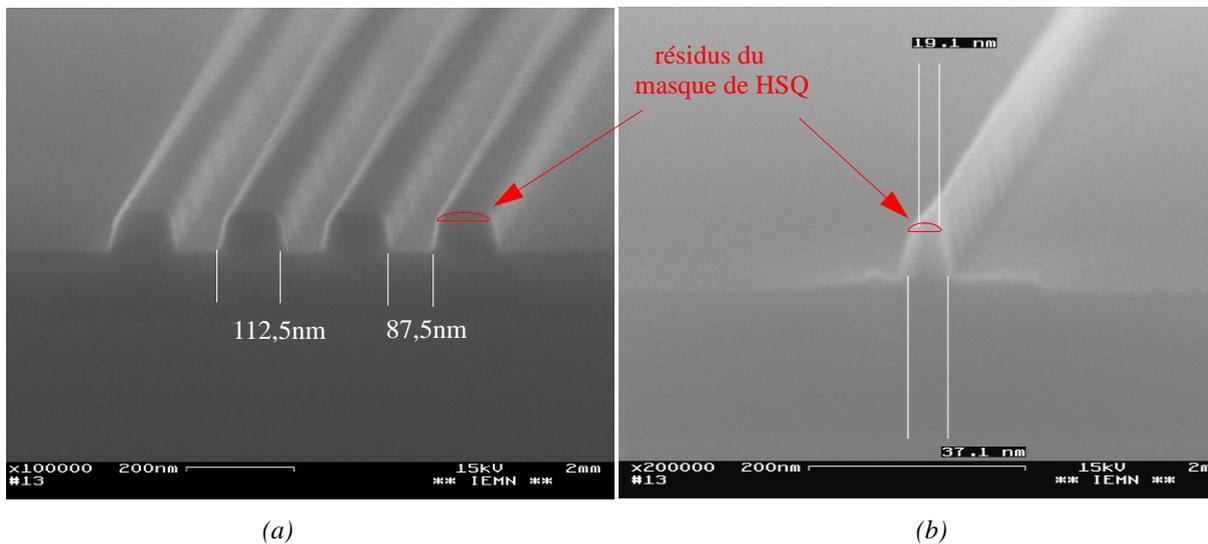


Fig. 3.14: Caractérisations MEB de section de coupe de lignes de silicium gravées avec une chimie de plasma SF_6/O_2 : (a) Lignes de 100 nm espacées de 100 nm (b) Ligne de 50 nm isolée.

II-6.3 Effet de l'ajout de dioxygène et d'argon.

L'apport d'un gaz noble tel que l'argon dans un plasma oxygéné et fluoré permet d'augmenter considérablement l'anisotropie de la gravure [36]. En effet, les ions Ar^+ très énergétiques bombardent la surface du silicium et accroissent nettement la gravure physique. Dans le même temps, les flancs sont protégés par la couche de passivation $Si_xO_yF_z$ formée par la réaction entre l'oxygène, les atomes de F et la surface du silicium (cf. II-6.2). De plus, l'argon amé-

liore l'uniformité de la gravure en générant un plus grand nombre de dissociations des espèces réactives. Les conditions expérimentales sont données dans la Table 3.3.

| Gaz | Flux (sccm) | Pression (mTorr) | Puissance (W) | DC bias (V) | Angle d'anisotropie α ($^{\circ}$) $\pm 2^{\circ}$ |
|-------------------------------------|-------------|------------------|---------------|-------------|---|
| SF ₆ /O ₂ /Ar | 10/10/10 | 10 | 50 | 333 | 8,7 |

Table 3.3: Paramètres de gravure pour un plasma RIE SF₆/O₂/Ar.

Les photos MEB associées à cette chimie de plasma sont rassemblées sur la Fig. 3.15. Elles montrent une relativement bonne verticalité des flancs des ailettes de silicium ($\alpha=8,7^{\circ}$) provoquée par l'apport des ions Ar⁺. Néanmoins, ces mêmes ions Ar⁺ très énergétiques créent une rugosité latérale importante. La gravure physique du bombardement ionique est trop brutale, alors que la protection des flancs n'est pas assez efficace. Il convient donc de développer une autre chimie de plasma.

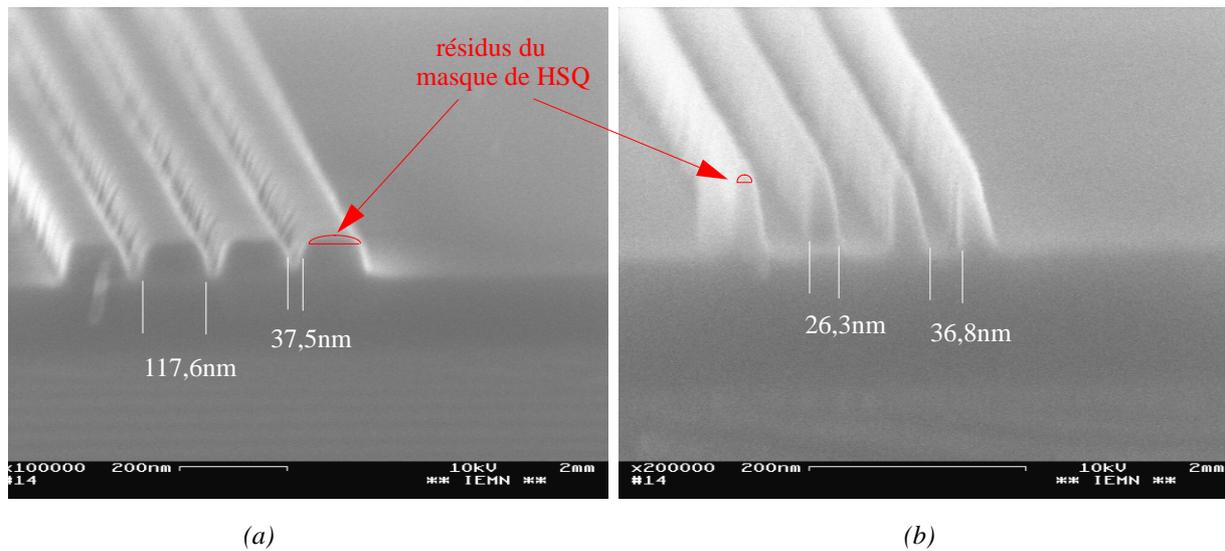


Fig. 3.15: Caractérisations MEB de section de coupe de lignes de silicium gravées avec une chimie de plasma SF₆/O₂/Ar: (a) Lignes de 100 nm espacées de 50 nm (b) Lignes de 20 nm espacées de 50 nm.

II-6.4 Effet de l'ajout de CHF₃.

Afin de protéger les flancs des ailettes de silicium, une alternative consiste à mélanger un gaz fluoré (SF₆ ou CF₄) avec le Fréon 23 (CHF₃) [37-38]. La dissociation du CHF₃ crée des radicaux CF_x^{*} qui vont réagir avec les atomes de F à la surface du silicium pour former un polymère isolant de type C_xF_y. Les flancs des ailettes sont ainsi protégés par la formation constante de ce polymère. Dans le même temps, le silicium est gravé chimiquement par les radicaux F^{*} et physiquement par les ions CF_x⁺.

D'autre part, Coburn *et al.* [41] ont montré que le ratio R=F/C représentait un très bon indicateur de la prédominance de la gravure par rapport au dépôt du polymère. Ce rapport est par exemple de 4 pour le CF₄, et de 3 pour le C₂F₆. Les radicaux H^{*} générés par la dissociation du CHF₃ se recombinent aisément avec les atomes de F pour former le HF, réduisant ainsi le rapport R. Ce phénomène ralentit considérablement la vitesse d'attaque du silicium. Pour un substrat de silicium, la gravure est prépondérante si le rapport R est supérieure à 3. Au contraire le phénomène de polymérisation est majeure si R est inférieure à 2. Pour 2<R<3, l'équilibre gravure/passivation dépend du degré de bombardement ionique possible. Tout l'intérêt de l'étude réside donc dans la détermination d'un dosage judicieux des différents gaz. Les paramètres expérimentaux sont rassemblés dans la Table 3.4.

| Gaz | Flux (sccm) | Pression (mTorr) | Puissance (W) | DC bias (V) | Angle d'anisotropie α (°) ± 2° |
|-----------------------------------|-------------|------------------|---------------|-------------|--------------------------------|
| SF ₆ /CHF ₃ | 10/10 | 10 | 50 | 270 | 22,6 |

Table 3.4: Paramètres de gravure pour un plasma RIE SF₆/CHF₃.

Les photos MEB sont présentées sur la Fig. 3.16. Les ailettes possèdent un profil fortement trapézoïdal (α=22,6°) traduisant une relativement faible anisotropie de gravure. La protection latérale est plus importante en bas qu'en haut du trapèze. En effet, le polymère C_xF_y se redépose dès que la couche de silicium est gravée. Ce phénomène est accentué par le manque d'attaque physique. Le bombardement des ions CF_x⁺ et F⁺ est trop faible par rapport à la formation de la couche protectrice. Ces images MEB mettent également en évidence les résidus du masque de HSQ. Cela atteste de la faible importance de la composante physique de la gravure. De plus, cette sous-gravure confirme le caractère isotrope de l'attaque.

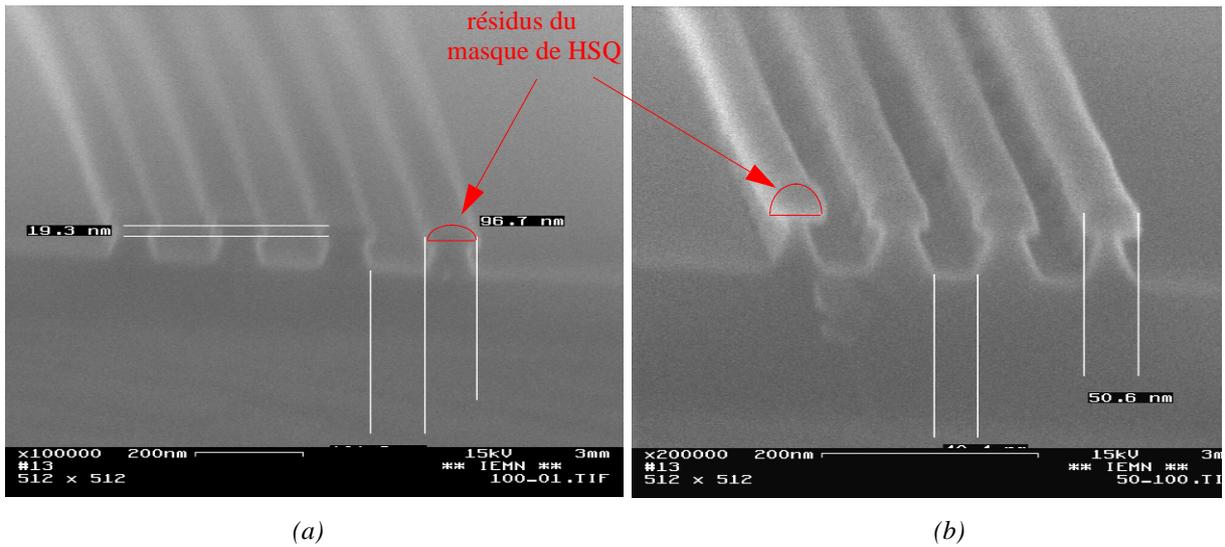


Fig. 3.16: Images MEB de section de coupe de lignes de silicium gravées avec une chimie de plasma SF_6/CHF_3 : (a) Lignes de 100 nm espacées de 100 nm (b) Lignes de 50 nm espacées de 50 nm.

II-6.5 Effet de l'ajout de CHF_3 et de dioxygène.

Une combinaison des deux recettes précédentes de type $SF_6/O_2/CHF_3$ (paragraphes II-6.2 et II-6.4) a été testée afin d'essayer d'accroître encore un peu plus l'anisotropie de la gravure. Dans un tel plasma, chaque gaz joue un rôle bien spécifique [42]. L'ensemble des phénomènes expliqués dans les paragraphes précédents interagissent simultanément. Une variation, même minime, des proportions du mélange influence considérablement la nature de la gravure.

Le SF_6 produit des radicaux F^* qui vont agir lors de la gravure chimique du silicium, produisant un composé très volatile, le SiF_4 [cf. II.5]. L'oxygène crée des radicaux O^* qui vont passer les flancs des ailettes en formant un polymère SiO_xF_y . Enfin, la dissociation du CHF_3 (ou SF_6 ou CF_4) génère des ions CF_x^+ (ou SF_x^+) qui gravent la couche de SiO_xF_y en formant des composés très volatiles tels que CO_xF_y (ou SO_xF_y).

Les paramètres expérimentaux sont listés dans la Table 3.5.

| Gaz | Flux (sccm) | Pression (mTorr) | Puissance (W) | DC bias (V) | Angle d'anisotropie α ($^\circ$) \pm 2 $^\circ$ |
|------------------|-------------|------------------|---------------|-------------|--|
| $SF_6/O_2/CHF_3$ | 15/10/10 | 10 | 50 | 276 | 9,2 |

Table 3.5: Paramètres de gravure pour un plasma RIE $SF_6/O_2/CHF_3$.

La Fig. 3.17 présente les caractérisations MEB de lignes de silicium gravées avec un plasma SF₆/O₂/CHF₃. L'ajout du dioxygène a clairement accentué la protection des parois de silicium. Les ailettes ont un profil presque rectangulaire ($\alpha=9,2^\circ$) et non plus trapézoïdal.

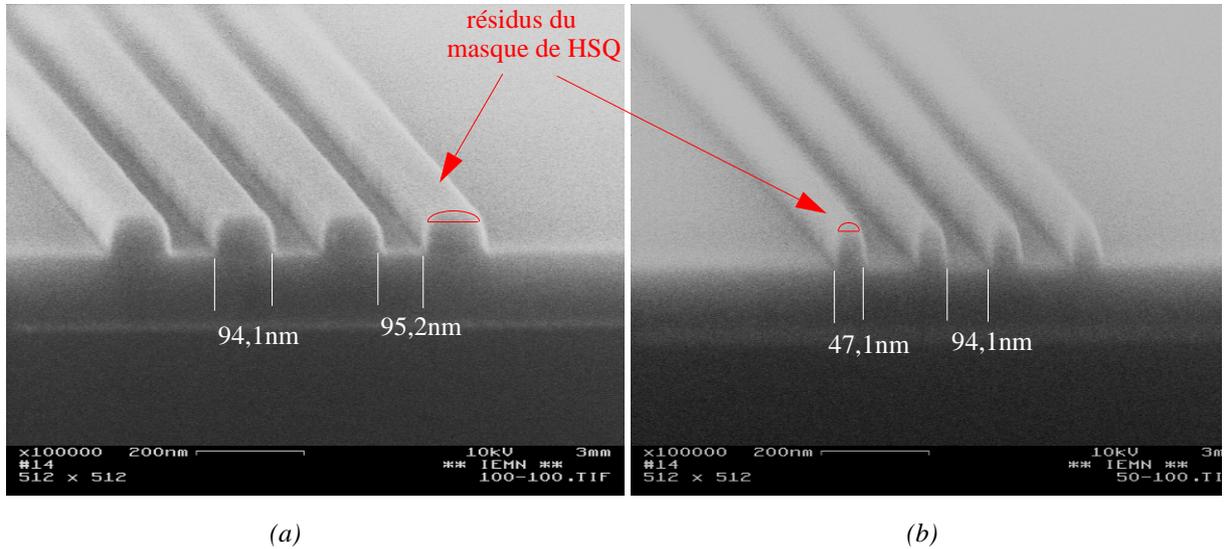


Fig. 3.17: Caractérisations MEB de section de coupe de lignes de silicium gravées avec une chimie de plasma SF₆/O₂/CHF₃: (a) Lignes de 100 nm espacées de 100 nm (b) Lignes de 50 nm espacées de 100 nm.

II-6.6 Effet de l'ajout d'azote.

L'addition d'un gaz inerte tel que l'azote à un plasma fluoré (CF₄ ou SF₆) est également souvent utilisée pour la gravure du silicium [32]. Il permet de densifier le plasma en augmentant la densité d'atomes de F. Contrairement aux autres gaz présentés précédemment l'azote ne se dissocie pas lors de l'excitation [43]. Au contraire, il se transforme dans un état électronique limite compris entre l'atome et l'ion («bound excited electronic state» en anglais). Ces molécules excitées sont plus efficaces que les électrons pour dissocier le SF₆ en radicaux SF* et F*. Enfin, les radicaux N₂* et F* peuvent former un polymère protecteur de type Si_xN_yF_z.

Dans un plasma CF₄, l'apport d'azote forme des composés volatiles CN qui diminuent l'épaisseur du polymère formé. La Table 3.6 présente les conditions expérimentales du plasma SF₆/N₂.

| Gaz | Flux (sccm) | Pression (mTorr) | Puissance (W) | DC bias (V) | Angle d'anisotropie α ($^\circ$) $\pm 2^\circ$ |
|---------------------------------|-------------|------------------|---------------|-------------|---|
| SF ₆ /N ₂ | 10/10 | 10 | 50 | 246 | 16,2 |

Table 3.6: Paramètres de gravure pour un plasma RIE SF₆/N₂.

La Fig. 3.18 présente les caractérisations MEB de lignes de silicium gravées par un plasma SF_6/N_2 . Cette chimie de gravure n'est pas assez énergétique. Elle est moins efficace que celle avec le dioxygène comme prévu par Coburn *et al.* [32]. Les motifs de silicium sont presque triangulaires ($\alpha=16,2^\circ$). D'autre part, on constate quelques résidus de résines entre les lignes, notamment sur la Fig. 3.18.b où les lignes sont moins espacées les unes des autres. C'est un problème lié à l'exposition électronique et au développement de la HSQ et non pas à la gravure.

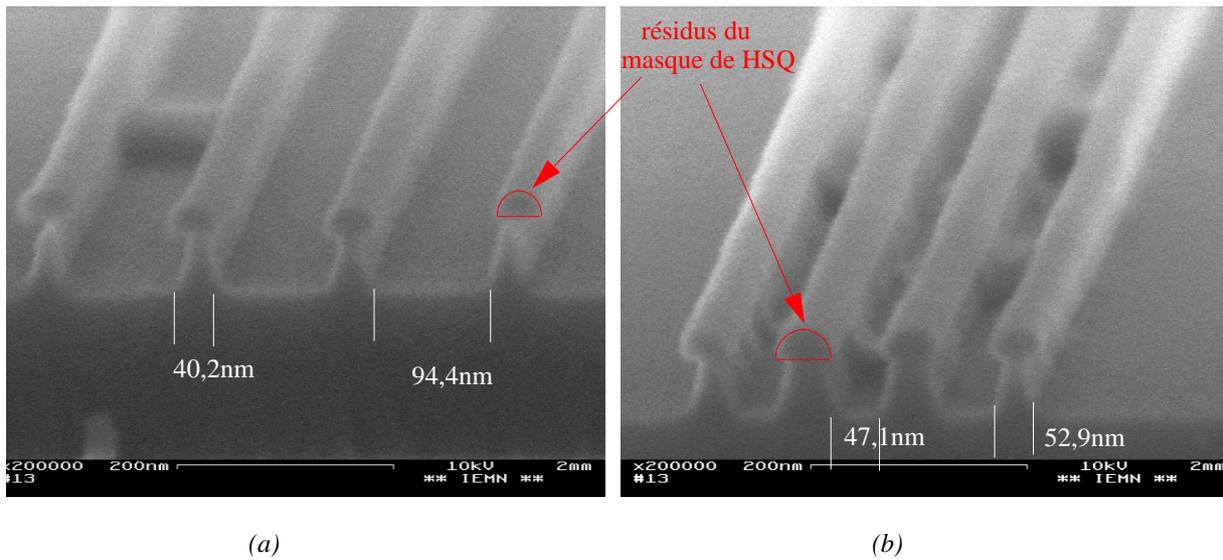


Fig. 3.18: Caractérisations MEB de section de coupe de lignes de silicium gravées avec une chimie de plasma SF_6/N_2 : (a) Lignes de 50 nm espacées de 100 nm (b) Lignes de 50 nm espacées de 50 nm.

II-6.7 Effet de l'ajout d'azote et d'argon.

L'ajout d'ions très énergétiques Ar^+ au plasma SF_6/N_2 doit permettre d'améliorer l'anisotropie de la gravure (cf. II.6.3). Les différentes chimies utilisées sont présentées dans la Table 3.7.

| Gaz | Flux (sccm) | Pression (mTorr) | Puissance (W) | DC bias (V) | Angle d'anisotropie α ($^\circ$) $\pm 2^\circ$ |
|---------------|-------------|------------------|---------------|-------------|---|
| $CF_4/N_2/Ar$ | 10/10/10 | 10 | 50 | 301 | 11,9 |
| $SF_6/N_2/Ar$ | 10/10/10 | 10 | 50 | 304 | 11,3 |

Table 3.7: Paramètres de gravure pour un plasma RIE $SF_6/N_2/Ar$.

Les photos MEB associées aux différentes gravures sont rassemblées Fig. 3.19 et Fig. 3.20. L'utilisation d'argon améliore nettement la verticalité de la gravure ($\alpha=11,9^\circ$ et $\alpha=11,3^\circ$). Cependant, elle dégrade comme précédemment (II.6.3) la rugosité des flancs. La gravure physique générée par les ions Ar^+ est là encore trop violente.

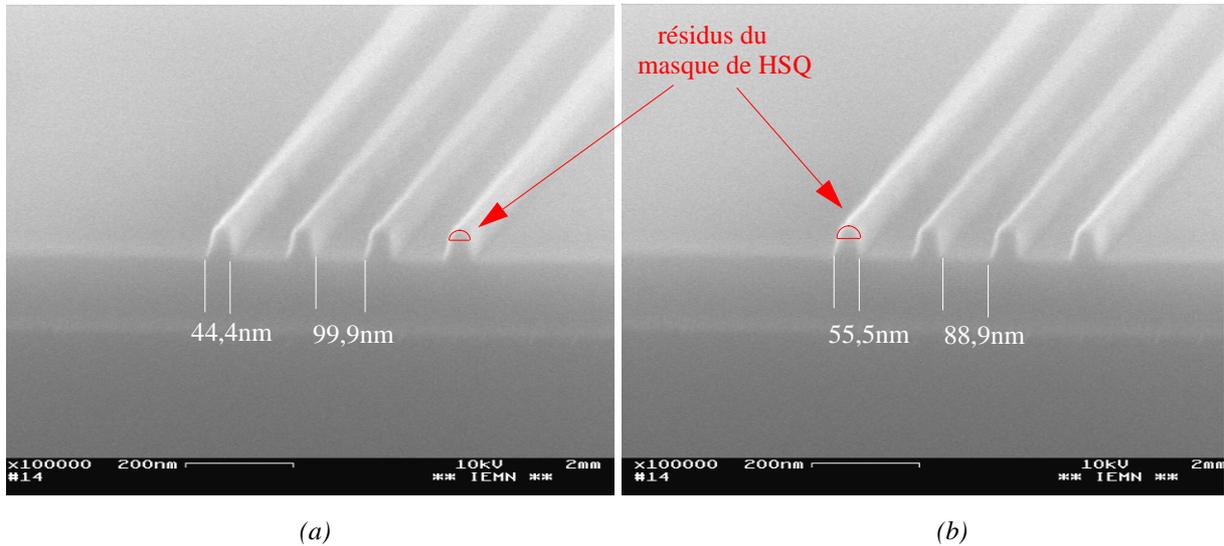


Fig. 3.19: Caractérisations MEB de section de coupe de lignes de silicium gravées avec une chimie de plasma $\text{CF}_4/\text{N}_2/\text{Ar}$: (a) Lignes de 50 nm espacées de 100 nm (b) Lignes de 50 nm espacées de 50 nm.

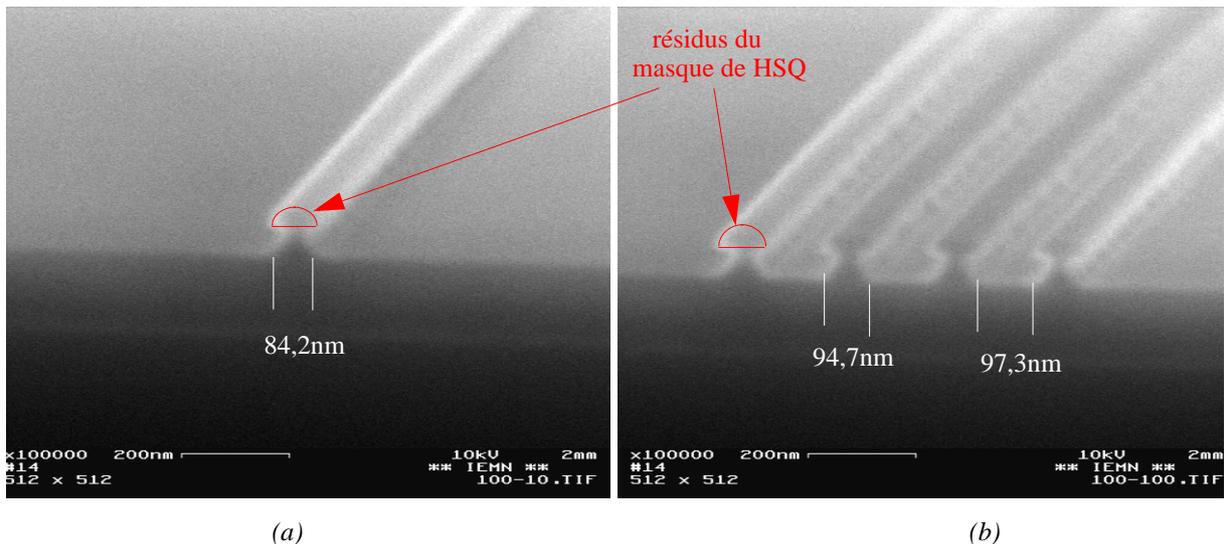


Fig. 3.20: Caractérisations MEB de section de coupe de lignes de silicium gravées avec une chimie de plasma $\text{SF}_6/\text{N}_2/\text{Ar}$: (a) Lignes de 100 nm isolée (b) Lignes de 100 nm espacées de 100 nm.

II-6.8 Effet de l'ajout de dioxygène et d'azote

Les derniers mélanges testés correspondent à une chimie de type SF₆/O₂/N₂ (cf. Table 3.8).

| Gaz | Flux (sccm) | Pression (mTorr) | Puissance (W) | DC bias (V) | Angle d'anisotropie α (°) \pm 2° |
|---|-------------|------------------|---------------|-------------|---|
| SF ₆ /O ₂ /N ₂ | 10/10/10 | 10 | 50 | 258 | 4,8 |

Table 3.8: Paramètres de gravure pour un plasma RIE SF₆/O₂/N₂.

Premachandran [44] a montré que l'ajout de N₂ augmentait considérablement la concentration atomique en atome d'oxygène dans un plasma O₂. De plus, comme vu précédemment dans le paragraphe II-6.2 [32-35], l'ajout d'oxygène dans un plasma fluoré permet d'accroître la concentration d'atome de fluor. Au final, la présence d'azote dans un plasma fluoré et oxygéné permet de libérer un nombre plus important de radicaux réactifs fluorés (comparé à un plasma SF₆/O₂) entraînant une augmentation de la vitesse d'attaque du silicium, tout en préservant une passivation importante [45].

En effet, lors de la gravure, les parois des ailettes sont protégées par deux types de passivation. La première consiste en un polymère Si_xN_yF_z formé grâce à l'apport d'azote. La seconde provient de la réaction des radicaux O* avec la surface de silicium générant le polymère Si_xO_yF_z. Enfin, la gravure physique est réalisée par les ions SF_x⁺ et permet d'obtenir une très bonne anisotropie.

Cette chimie de plasma est par conséquent celle qui réalise le meilleur compromis entre les trois composantes de la réaction d'attaque du silicium que sont la gravure physique, la gravure chimique et la passivation des flancs (Fig. 3.21). Ces essais ont permis de définir différents types de réseaux de lignes de silicium: des lignes isolées, des lignes de 100 nm (respectivement 50 nm et 20 nm) plus ou moins espacées (100 nm, 50 nm) (Fig. 3.21) L'angle d'anisotropie obtenu est quasiment idéal: $\alpha=4,8^\circ$.

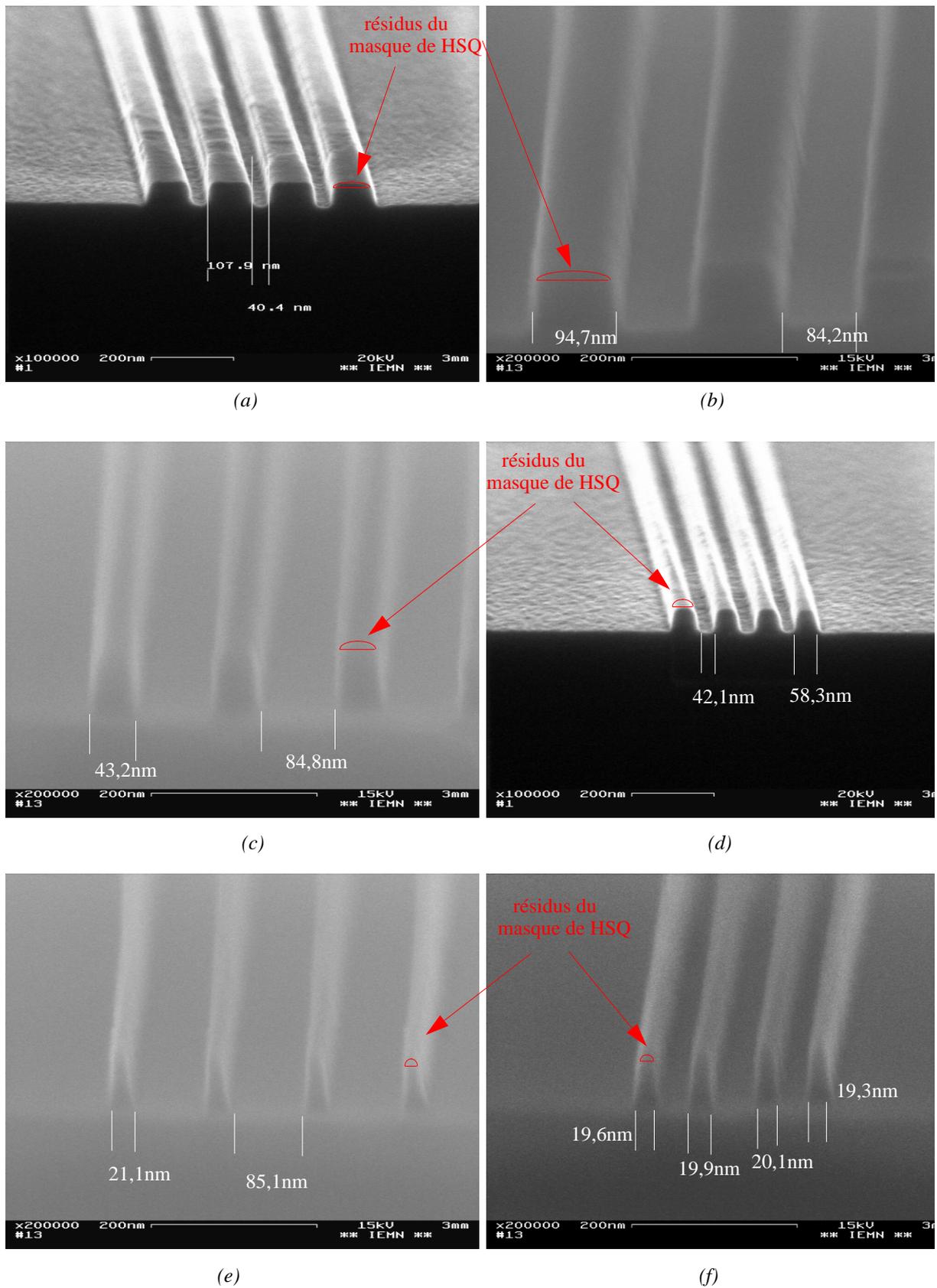


Fig. 3.21: Caractérisations MEB de section de coupe de lignes de silicium gravées avec une chimie de plasma $SF_6/O_2/N_2$: (a) Lignes de 100 nm espacées de 50 nm (b) Lignes de 100 nm espacées de 100 nm (c) Lignes de 50 nm espacées de 100 nm (d) Lignes de 50 nm espacées de 50 nm (e) Lignes de 20 nm espacées de 100 nm (f) Lignes de 20 nm espacées de 50 nm.

II-6.9 Analyse de rugosité au Microscope à Force Atomique (AFM).

II-6.9-a Principe de fonctionnement de l'AFM en mode tapping.

Depuis son invention en 1986, le microscope à force atomique (AFM) ne cesse de se développer comme un outil d'observation de la surface d'échantillon à très haute résolution [46-48]. Le principe consiste à faire osciller une pointe très fine près de la surface de l'échantillon. Lorsque cette pointe interagit avec la surface, par l'intermédiaire de forces de Van Der Waals, l'amplitude de vibration peut diminuer ou augmenter. En mesurant les variations de cette amplitude, il est possible d'obtenir une image de la topographie de l'échantillon.

L'AFM possède la capacité de visualiser la topographie de la surface avec une résolution qui atteint l'échelle du nanomètre. En effet, la pointe utilisée possède un rayon de courbure inférieure à 10 nm. Elle est fixée à l'extrémité d'un micro-levier («cantilever») (Fig. 3.22). Le système «pointe-levier» est excité par un tube piézo-électrique à une fréquence donnée (~ 350 kHz).

Afin de déterminer l'amplitude d'oscillation de la pointe, une diode laser envoie un faisceau lumineux qui se réfléchit à l'extrémité du levier (là où l'oscillation est la plus importante) et est ensuite «recueilli» par un détecteur. Il est ainsi possible de connaître en temps réel la position de la pointe. Une boucle d'asservissement permet de maintenir constant l'amplitude de vibration.

II-6.9-b Analyses AFM.

Les analyses réalisées à l'AFM en mode tapping (Fig. 3.23) confirment les observations effectuées au MEB. Elles montrent l'uniformité des lignes ainsi que la bonne verticalité des flancs. Les pics détectés à l'AFM sur la droite des flancs des ailettes de silicium sont provoqués par le système de mesure. Le rayon de courbure de la pointe n'est pas assez petit et ne permet pas de parfaitement suivre le flanc des ailettes.

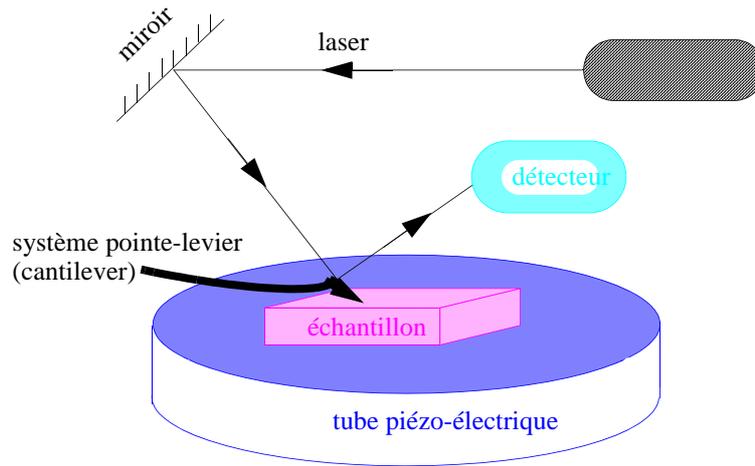


Fig. 3.22: Principe de fonctionnement de la microscopie à force atomique.

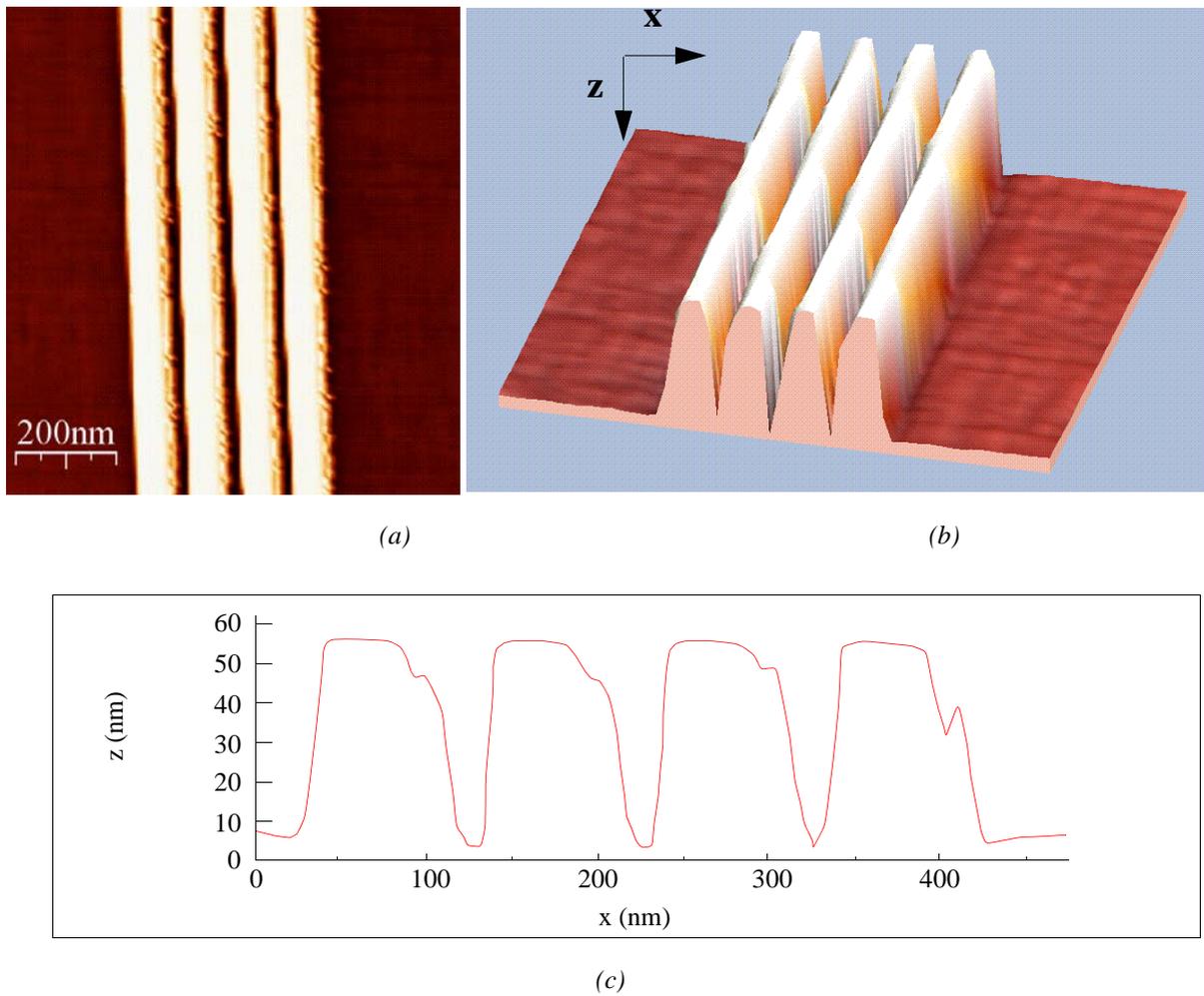


Fig. 3.23: Analyses AFM de lignes de silicium de 50 nm espacées de 50 nm: (a) Vue de dessus (b) Vue en 3D (c) Profils des lignes enregistré à l'AFM.

II-6.10 Sélectivité de la gravure-Détection de fin d'attaque.

L'étude des différentes chimies de plasma, développée dans les paragraphes précédents, a permis de définir une gravure fortement anisotropique, permettant de réaliser un très bon transfert des motifs de HSQ dans le silicium. Cependant une autre difficulté consiste à maîtriser la détection de fin d'attaque, même si cette contrainte est moins importante que la contrainte d'anisotropie. En effet, une sur-gravure de quelques nanomètres de l'oxyde enterré n'aura pas de conséquences néfastes sur l'intégrité de l'ailette. Cette idée sera détaillée dans le paragraphe suivant. En d'autres termes, le but de l'étude consiste à obtenir une bonne sélectivité entre le silicium et l'oxyde enterré.

Le bâti de gravure RIE est équipé d'un système de détection de fin d'attaque par interférométrie laser Sofie (longueur d'onde: 657 nm). Un faisceau laser pointe l'échantillon (le substrat et la couche de silicium à graver). La résultante du faisceau réfléchi est la somme de deux composantes: celle de la réflexion du faisceau sur le substrat et celle provenant de la réflexion sur la couche de silicium à graver. Elle définit alors un signal oscillatoire périodique. Un changement de matériau entraîne une modification de la période et donc de la pente du signal interférométrique et de la dérivée.

La Fig. 3.24 présente le spectre d'intéférométrie (signal et dérivé) enregistré au cours de la gravure RIE du silicium et de l'oxyde enterré par une chimie de plasma de type $SF_6/O_2/N_2$. Il permet de parfaitement visualiser les interfaces entre les différents matériaux: le silicium (partie verte) et l'oxyde enterré (jaune). La vitesse de gravure du silicium pour cette chimie est d'environ 50 nm/min.

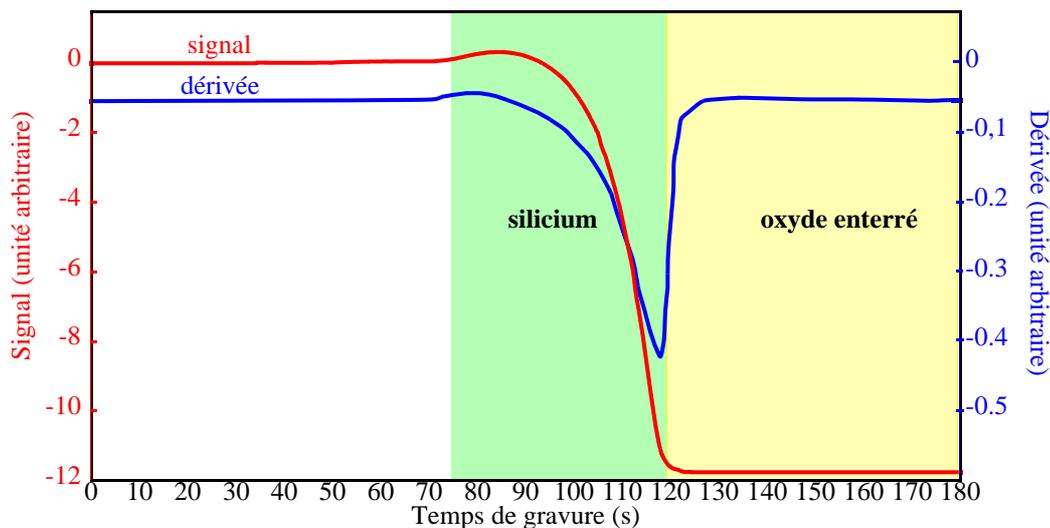


Fig. 3.24: Spectre de réflectométrie enregistré pendant la gravure des ailettes de silicium (50 nm de hauteur) (puis de l'oxyde enterré) en utilisant une chimie de plasma de type $SF_6/O_2/N_2$.

II-6.11 Possibilité de réaliser un transistor Pi-Gate ou Omega-Gate.

En modifiant très légèrement le procédé de fabrication présenté dans le paragraphe II.3, il devient également possible de réaliser des transistors de type Pi-Gate [49] ou Omega-Gate [50] présentés précédemment dans le paragraphe IV.3. du chapitre 2. Pour rappel, dans ces transistors le matériau de grille s'étend jusque dans l'oxyde enterré. Le développement d'une grille conforme sur les 4 côtés de l'ailette permet de renforcer l'intégrité électrostatique des dispositifs MOS.

Deux solutions sont envisageables. La première consiste à poursuivre pendant quelques secondes la gravure plasma RIE afin d'arrêter la gravure dans l'oxyde enterré (Fig. 3.24.a). Cette sur-gravure anisotropique permettra alors de réaliser un transistor de type Pi-Gate.

Une autre solution consiste à arrêter la gravure RIE à l'interface Si/SiO₂. Puis, dans un second temps, il convient de réaliser une gravure humide de l'oxyde enterré dans un bain d'acide fluorhydrique. L'isotropie de cette gravure humide induit une gravure latérale de l'oxyde enterré sous l'ailette de silicium (Fig. 3.24.b). Ce procédé permet de réaliser un transistor de type Omega-Gate.

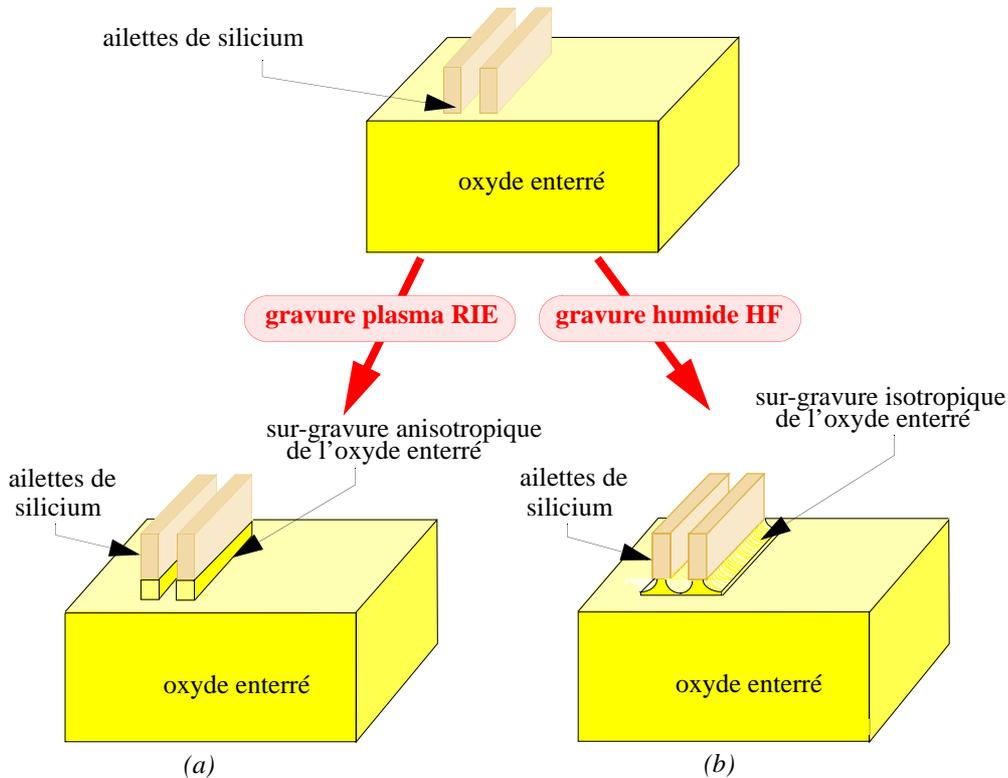


Fig. 3.24: Formation des extensions dans l'oxyde enterré: (a) Gravure plasma RIE pour la réalisation d'un transistor Pi-Gate (b) Gravure humide HF pour la réalisation d'un transistor de type Omega-FET.

La Fig. 3.25 présente des photos MEB d'ailettes de silicium ayant subi une attaque de 2 minutes et 30 secondes dans un bain d'acide fluorhydrique 1%. On distingue parfaitement la sous gravure de l'oxyde enterré (d'environ 10 nm). Un temps important (2 min 30s) de sous-gravure a été volontairement choisi afin de bien mettre en évidence cet effet. Il convient de réduire ce temps dans le cas de la réalisation de tels transistors.

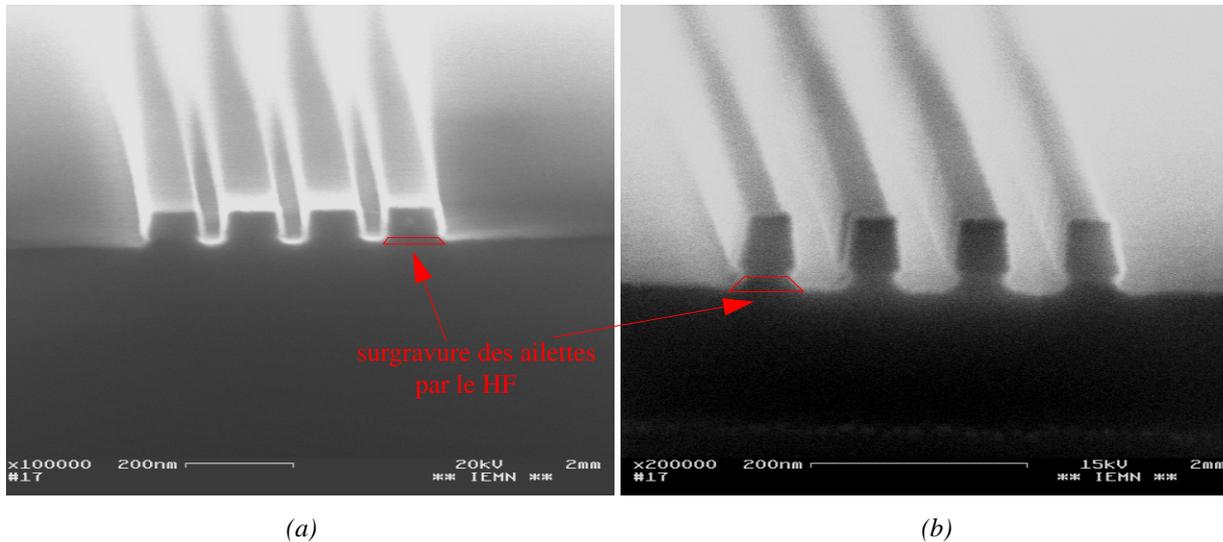


Fig. 3.25: Images MEB de lignes de silicium sur-gravée jusque dans l'oxyde enterré par du HF 1%, pendant 2 minutes et 30 secondes: (a) Lignes de 100 nm espacées de 50 nm (b) Lignes de 50 nm espacées de 50 nm.

II-7 Conclusion.

Cette section a tout d'abord rappelé l'importance d'obtenir un profil d'ailette parfaitement vertical afin de ne pas détériorer le comportement électrique du FinFET. Les différents mécanismes mis en jeu au cours d'une gravure plasma ont ensuite été détaillés, suivis par une étude théorique de l'influence de la chimie de plasma. Divers essais de gravure plasma ont confirmé ces considérations théoriques. Ces travaux ont ainsi démontré la validité d'un mélange d'hexafluorure de soufre ($\text{SF}_6/10$ sccm), de dioxygène ($\text{O}_2/10$ sccm) et d'azote ($\text{N}_2/10$ sccm) à une pression de 10 mT et une puissance de 50 W, pour la réalisation de réseaux denses d'ailettes et parfaitement définies (lignes de 20 nm espacées de 20 nm). L'anisotropie de la gravure fluorée a été optimisée grâce à l'apport de dioxygène qui passive les flancs et à l'azote qui densifie le plasma.

De plus, il a été montré que la sélectivité entre le silicium et l'oxyde enterré était bonne, permettant ainsi de détecter la fin d'attaque avec une marge de surgravure acceptable.

Enfin, une innovation du procédé original a été proposée. Elle consiste à graver de quelques nanomètres l'oxyde enterré par gravure plasma RIE anisotropique pour former un Pi-Gate, ou par gravure humide dans un bain de HF 1% pour la réalisation d'un transistor Omega-Gate).

III- Conclusion.

Ce chapitre a décrit la réalisation de réseaux denses d'ailettes de silicium parfaitement définies constituant la partie active d'un transistor de type FinFET. Le choix de la résine négative HSQ pour la lithographie électronique a tout d'abord été proposé et justifié. Les paramètres optimaux, obtenus dans l'équipe, pour la formation d'un réseau dense de lignes de HSQ ont été détaillés. Puis, le procédé de gravure plasma permettant de réaliser le transfert des motifs de HSQ dans le silicium a été présenté. Les réactions chimiques de gravure et de passivation ainsi que le bombardement ionique mis en jeu ont été analysés selon la chimie de plasma utilisée. Cette étude approfondie a permis de valider une chimie de plasma fluorée (SF_6) associée au dioxygène (O_2) afin de passiver les parois des ailettes, et à l'azote (N_2) pour densifier le plasma. Ce mélange a donné des résultats remarquables en terme d'anisotropie, de rugosité latérale et de passivation des flancs. Des lignes de silicium parfaitement définies et avec des flancs verticaux, 20 nm espacées de 20 nm ont été réalisées. De plus ce plasma a permis d'obtenir une bonne sélectivité de gravure entre le silicium et l'oxyde enterré nécessaire à la détection de fin d'attaque. Enfin, deux alternatives relativement simples à réaliser ont été proposées visant à la fabrication de transistor Pi-Gate ou Omega-Gate. La première consiste à poursuivre la gravure RIE anisotropique jusque dans l'oxyde enterré. La seconde propose de réaliser un gravure humide isotropique au HF de l'oxyde enterré, afin de libérer la partie inférieure des ailettes de silicium.

BIBLIOGRAPHIE

- [1] “*International Technological Roadmap of Semiconductors 2004*”, (ITRS), 2004.
- [2] S-P Jeng, K. Taylor, T. Seha, M-C. Chang, J. Fattaruso, R.H. Havemann, “*Highly porous interlayer dielectric for interconnect capacitance reduction*”, Symposium on VLSI Technology, Digest of Technical Papers, pp. 61-62, 1995.
- [3] M.G. Albrecht, C. Blanchette, “*Materials issues with thin film Hydrogen Silsesquioxane low- κ dielectric*”, Journal Electrochem. Soc. vol.145, pp. 4019-4025, 1998.
- [4] M. J. Loboda, C. M. Grove, and R. F. Schneider, “*Properties of a-SiO_x:H Thin Films Deposited from Hydrogen Silsesquioxane Resins*”, Journal Electrochem. Soc., vol.145, pp. 2861-2866, 1998
- [5] H. Namatsu, T. Yamaguchi, M. Nagase, K. Yamazaki, K. Kurihara, “*Nano-patterning of a silsesquioxane resist with reduced linewidth fluctuation*”, Micro. Eng., vol. 41/42, pp. 331-334, 1998.
- [6] M. Peuker, M.H. Lim, H.I. Smith, R. Morton, A.K. van Langen-Suurling, J. Rominj, E.W.J.M. van der Drift, F.C.M.J.M. van Delft, “*Hydrogen silsesquioxane, a high-resolution negative tone e-beam, investigated for its applicability in photon-based lithographies*”, Micro. Eng., vol. 61-62, pp. 803-809, 2002.
- [7] W. Henschel, Y. M. Georgiev, H. Kurz, “*Study of a high contrast process for Hydrogen Silsesquioxane as a negative tone electron beam resist*”, J. Vac. Sci. Technol. B vol. 21, pp. 2018-2025, 2003.
- [8] T. Yamaguchi, M. Nagase, K. Yamazaki, K. Kurihara, “*Nanopatterning of a silsesquioxane resist with reduced linewidth fluctuations*”, Microelectronic Engineering, vol. 41-42, pp. 331-334, 1998.
- [9] K. Yamazaki, N. Namatsu, “*5 nm order electron beam lithograph for nanodevice fabrication*”, Digest of Papers of International Microprocesses and Nanotechnology Conference, pp. 162-163, 2003.
- [10] B.E. Maile, W. Henschel, H. Kurz, B. Rienks, R. Polman, P. Kaars, “*Sub-10 nm line-width and overlay performance achieved with a fine-tuned EBPG-5000 TFE electron beam lithography system*”, J. Appl. Phys., vol. 39, pp 6836-6842, 2000.
- [11] F.C. M. J. M. van Delft, J.P. Weterings, A.K. van Langen-Suurling, H. Rominj, “*Hydrogen silsesquioxane/novolak bilayer resist for high aspect ratio nanoscale electron-beam lithography*”, J. Vac. Sci. Technol., vol. 8, pp 3419-3423, 2000.
- [12] L. Mollard, G. Cunge, S. Tedesco, B. Dal’zotto, J. Foucher, “*HSQ hybrid lithography for 20 nm CMOS development*”, Microelectronic Engineering, vol. 61-62, pp. 755-761, 2002.

- [13] E. Dubois, G. Larrieu, X. Baie, C. Kreminszki, X. Wallart, V. Bayot, X. Tang, T. Skotnicki, D. Bensahel, E. robilliard, “*IST-2000-26475 DOAMOS periodic Project Report Year 2*”, 2002.
- [14] F. Fruleux, J. Penaud, E. Dubois, “*Définition du procédé de fabrication de transistor FinFET sur base d’un substrat épitaxié Si/SiGe. Définition et test du procédé de gravure d’ailettes de silicium*”, Rapport d’activité, Deliverable: Tâche II.2.1, 2003.
- [15] X. Wu, P.C.H. Chan, M. Chan, “*Impacts of nonrectangular fin cross section on the electrical characteristics of FinFET*”, IEEE Trans on Electr. Devices, vol. 52, n°1, pp. 63-68, 2005.
- [16] Y.-K. Choi, T.-J. King, C. Hu, “*A spacer patterning technology for nanoscale CMOS*”, IEEE Trans on Electr. Devices, vol. 49, n°3, pp. 436-441, 2002.
- [17] D.D. Carlo, L.P. Lee, “*Mechanical cell lysis results of a sample preparation module for fonctionnal genomics*”, Proc. in IEEE Microtechnologies in Medicine BiologyConf, pp. 527-530, 2002.
- [18] T. Park, S. Choi, D.H. Lee, J.R. Yoo, B.C. Lee, J.Y. Kim, C.G. Lee, K.K. Choi, S.J. Hyun, Y.G. Shin, J.N. Han, I.S. Park, U.I. Chung, J.T. Moon, E. Yoon, J.H. Lee, “*Fabrication of body-tied FinFETs (Omega MOSFETs) using bulk Si wafers*”, VLSI Symp. Tech. Dig., pp. 135-136, 2003.
- [19] N. Lindert, L. Chang, Y.-K. Choi, E.H. Anderson, W.-C. Lee, T.-J. King, J. Bokor, C. Hu, “*Sub-60nm quasi planar FinFETs fabricated using a simplified process*”, IEEE Electron Device Lett., vol. 22, n°5, pp. 487-489, 2002.
- [20] D.M. Fried, A.P. Johnson, E.J. Nowak, J.H. Rankin, C.R. Willets, “*A sub-40 nm body thickness N-type FinFET*”, Device Research Conf., pp. 24-25, 2001.
- [21] Q. Chen, B. Agrawal, J.D. Meindl, “*A comprehensive analytical subthreshold swing (S) model for double-gate MOSFETs*”, IEEE Trans Electr. Devices, vol. 49, n°8, pp. 1086-1090, 2002.
- [22] C.J. Mogab dans Sze SM Editor, “*VLSI technology*”, New York: Mc Graw Hill, p.103, 1983.
- [23] S.A. Campbell, The Science engineering of Microelectronic fabrication, 2nd edition, New York: Oxford University Press, 2001.
- [24] S.M. Sze, “*VLSI technology*”, 2nd edition, New York: McGraw-Hill International Editions, p. 183, 1988.
- [25] S.M. Rosnagel, J.J Cuomo, W.D. Westwood, “*Handbook of plasma processing technology, fundamentals, etching, deposition and surface interactions*”, New Jersey, Noyes publication, p. 196, 1990.

- [26] St.Trellenkamp, J. Moers, A. van der Hart, P. Kordos, H. Luth, “*Patterning of 25-nm-wide silicon webs with an aspect ratio of 13*”, *Micro. Eng.*, vol. 67-68, pp. 376-380, 2003.
- [27] M. Lemme, T. Mollenhauer, W. Henschel, T. Wahlbrink, M. Heuser, M. Baus, O. Winkler, B. Spangenberg, R. Granzner, F. Schwierz, H. Kurtz, “*Influence of channel width on n- and p-type nano-wire-MOSFETs on silicon on insulator substrate*”, *Microelectronic Engineering*, vol. 67-68C, pp. 810-817, 2003.
- [28] Y. S.Chieh, J.P. Krusius, P. Chapman, “*Chemically assisted ion beam etching for silicon-based microfabrication*”, *Journal of the Electrochemical Society*, vol. 141, n°6, pp. 1585-1589, 1994.
- [29] R.D. Mansano, P. Verdonck, H.S. Maciel, M. Massi, “*Anisotropic inductively coupled plasma etching of silicon with pure SF₆*”, *Thin Solid Films*, vol. 343/344, pp. 378-380, 1999.
- [30] R. Knizikevicius, A. Galdikas, A. Grigonis, “*Real dimensional simulation of anisotropic etching of silicon in CF₄/O₂ plasma*”, *Surface Engineering, Surface Instrumentation and Vacuum Technology*, vol. 66, pp. 39-47, 2002.
- [31] K.M. Eisele, “*SF₆, a preferable etchant for plasma etching silicon*”, *J. Electrochem. Soc.*, vol. 128, n°1, pp. 123-126., 1981.
- [32] J.W. Coburn, E. Kay, “*Some chemicals aspects of the fluorocarbon plasma etching of silicon and its compounds*”, *IBM Journ. Res. Develop.*, vol. 23, pp. 33-41, 1979.
- [33] R. Dussart, M. Boufnichel, G. Marcos, P. Lefauchaux, A. Rhallabi, P. Ranson, “*Passivation layer in a deep Si plasma etching cryogenic process*”, 16th International Symposium on Plasma Chemistry, Taormina (Italy), pp. 22-27, 2003.
- [34] R. Knilizikevicius, A. Galdikas, A. Grigonis, “*Real dimensional simulation of anisotropic etching of silicon in CF₄+O₂ plasma*”, *Surface Engineering, Surface Instrumentation and Vacuum Technology*, vol. 66, pp. 39-47, 2002.
- [35] H. Jansen, H. Gardeniers, M. de Boer, M. Elwenspoek, J. Fluitman, “*A survey on the reactive ion etching of silicon in microtechnology*”, *J. Micromech. Microeng.*, vol. 6, pp. 14-28, 1996.
- [36] J.P. Chang, J.C. Arnold, G.C.H. Zau, H.-S. Shin, H.H. Sawin, “*Kinetic study of low energy argon ion-enhanced plasma etching of polysilicon with atomic/molecular chlorine*”, *Jour. of Vac. Sci. & Tech.*, vol. 15, n°4, pp. 1853-1863, 1997.
- [37] R. Knilizikevicius, A. Galdikas, A. Grigonis, L. Pranevicius, Z. Rutkuniene, “*Simulation of silicon dry etching through a mask in low pressure fluorine-based plasma*”, *Surface Engineering, surface instrumentation and vacuum Technology*, vol. 47 n°12, pp. 1473-1477, 1996.
- [38] P. Normand, D. Tsoukalas, C. Aidinis, A. Tserepi, D. Kouvatso, E. Kapetanakis, “*Fabrication of Si-nano-wires using anisotropic and dry wet etching*”, *Microelectronic Engineering*, vol. 41/42, pp. 551-554, 1998.

- [39] G. Jye, P. Herz, X.-C. Deng, X.D. Ma, “*Method for anisotropically etching tungsten using SF₆, CHF₃, and N₂*”, US patent 5, 866,483.
- [40] C.J. Mogab dans Sze SM Editor, “*VLSI Technology*”, 2nd edition, New York: McGraw-Hill International Editions, pp.196-198, 1988.
- [41] J.W. Coburn, H.F. Winters, “*Plasma etching-A discussion of mechanisms*”, J. Vac. Sci.& Technol., vol. 16, pp. 391-403, 1979.
- [42] H. Jansen, M. De Boer, R. Legtenberg, and M. Elwenspoek, “*The black silicon method: a universal method for determining the parameter setting of a fluorine-based reactive ion etcher in deep silicon trench etching with profile control*”, Proc. Micro Mechanics Europe (MME'94, Pisa, Italy), 1994.
- [43] W.R. Harhsbarger, Solid State Tech., p.126, 1982.
- [44] V. Premachandran, “*Etch rate enhancement of photoresist in nitrogen-containing plasma*”, Appl. Phys. Lett., vol. 55, n°24, pp. 2488-2490,1989.
- [45] V. Premachandran, “*Enhanced silicon etching in nitrogen-containing SF₆-O₂ plasma*”, Appl. Phys. Lett., vol. 58, n°15, pp. 1600-1601, 1991.
- [46] G. Binnig, C.F. Quate, Ch. Gerber, “*Atomic force microscope*”, Phys. Rev. Lett., vol. 56, n°9, pp. 930-933, 1986.
- [47] D. Rugar and P. Hansma, “*Atomic force microscopy*”, Physics Today, pp. 23.30, 1990.
- [48] F. Ohnesorge, G. Binnig, “*True atomic resolution by atomic force microscopy through repulsive and attractive forces*”, Science 260, pp.1451-1456, 1993.
- [49] J.T. Park, J.P. Colinge, C.H. Diaz, “*Pi-gate SOI MOSFET*”, IEEE Elect. Device Letters, vol. 22, pp. 405-406, 2001.
- [50] J.T. Park, J.P. Colinge, “*Multiple-gate SOI MOSFETs: Device design guidelines*”, IEEE Transactions on Elect. Devices, vol. 49, n°12, pp. 2222-2229, 2002.

Chapitre 4:

Formation de la matrice diélectrique d'isolation: planarisation et densification d'oxyde fluable de type HSQ

Ce chapitre décrit la réalisation d'une matrice isolante permettant de fournir une isolation diélectrique totale par recouvrement intégrale des ailettes de silicium. La première partie présente un procédé simple de dépôt d'Hydrogène Silsesquioxane (HSQ) par enduction par tournette. Le choix de ce matériau est justifié par son excellent comportement pour le remplissage de cavités (espaces inter-ailettes) ainsi que pour ses propriétés de diélectrique à faible permittivité (low- κ). Les caractérisations réalisées au microscope électronique à balayage (MEB) et au Microscope à Force Atomique (AFM) révèlent une planéité de surface de 2 à 3 nm pour une épaisseur de HSQ de 100 nm.

La seconde section de ce chapitre correspond à une étude structurale. Elle vise à étudier la densification de la matrice isolante afin d'améliorer sa résistance vis-à-vis de l'attaque chimique par l'acide fluorhydrique (HF). L'étude par spectroscopie Infra-Rouge à Transformée de Fourier (FTIR) met en évidence les transformations physico-chimiques de la HSQ densifiée par plasma oxygéné ou par recuit haute température sous ambiance azotée. Ces traitements thermiques cassent certaines liaisons chimiques de la structure cage de la HSQ et la transforment en une structure réseau, proche de celle d'un oxyde thermique. Après densification de la matrice isolante de HSQ, il est démontré que celle-ci est 30 fois plus résistante à la gravure par l'acide fluorhydrique (HF). Sa vitesse de gravure n'est alors plus que 6 fois celle d'un oxyde thermique.

I- Définition de la matrice isolante de HSQ.

I-1 Introduction.

Dans le chapitre précédent, la HSQ a été utilisée en tant que résine négative électro-sensible au cours de l'étape de lithographie électronique [1-2]. Mais la HSQ s'apparente également à un oxyde fluable possédant une permittivité diélectrique très faible ($\kappa \sim 2,9$) [3-4].

C'est pourquoi sa principale utilisation demeure dans le domaine de l'isolation diélectrique pour les étapes de planarisation entre les différents niveaux métalliques (Back-end of the line: BEOL). Elle permet ainsi de réduire les capacités entre les interconnexions métalliques tout en assurant la planarisation de l'édifice d'interconnexions [5-8]. Dans ce chapitre, ce sont donc les propriétés diélectriques de la HSQ qui sont étudiées et mises en oeuvre. Cette section présente tout d'abord un procédé technologique original et relativement simple à réaliser pour la formation d'une matrice isolante des ailettes de silicium définies dans le chapitre précédent. Diverses études sont ensuite présentées: le paramétrage des conditions de dépôt afin de recouvrir complètement les ailettes de silicium, suivi de caractérisations au microscope électronique à balayage (MEB) et au microscope à force atomique (AFM).

I-2 Procédé expérimental.

Le réseau dense d'ailettes de silicium présenté dans le chapitre précédent est noyé dans une matrice isolante de HSQ déposée par tournette (Fig. 4.1). Ce procédé possède l'avantage de planariser simplement la structure. Les résultats obtenus seront présentés en détail dans la partie suivante.

Cette matrice va ensuite subir un traitement de densification par plasma oxygéné ou par recuit dans un four tubulaire sous ambiance azotée et à haute température (de 400°C à 700°C). Cette étape est nécessaire afin d'augmenter la résistance de la HSQ vis à vis de l'attaque humide au HF 1% réalisée juste avant la formation de l'oxyde de grille (cf. paragraphe II-4.5.).

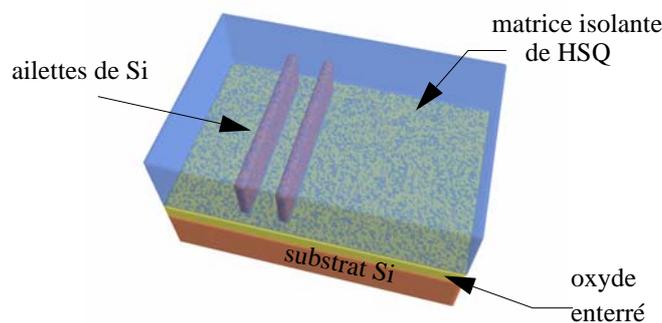


Fig. 4.1. Vue 3D de la matrice isolante de HSQ déposée par tournette.

I-3 Paramètres de dépôt de la HSQ.

La hauteur des ailettes de silicium, déterminée par l'épaisseur initiale du film SOI, mesure environ 50 nm. L'objectif consiste donc à insérer les motifs de silicium dans une matrice isolante de HSQ afin d'obtenir une isolation diélectrique totale, tout en préservant une faible rugosité de surface. Une première étude a été menée afin de calibrer les conditions de dépôt en fonction de l'épaisseur de polymère désirée. Elle a été réalisée sur des échantillons de SOI d'environ 2 cm * 1 cm, dont la couche active de silicium a été complètement gravée par une gravure RIE SF₆/O₂/N₂ (10/10/10, 50 W, 10 mTorr) afin de travailler dans des conditions quasi-similaires à celles de notre procédé (l'adhérence de la HSQ n'est pas exactement la même sur silicium que sur l'oxyde enterré). Néanmoins, il est important de noter que ces dépôts de résine ont été réalisés sur des substrats ne comportant pas de motifs de silicium. L'accélération (a) et la durée du dépôt (t) sont constantes: a=5000 rpm/s et t=60 s. Seule la vitesse de tournette (v) varie: 1000 rpm < v < 5000 rpm. Après dépôt, un recuit de 5 minutes est réalisé sur plaque chauffante à 90°C, afin d'évaporer le solvant de la HSQ (Méthyl-isobutyl-kétone, MIBK).

Les mesures d'épaisseur ont été effectuées par ellipsométrie, équipée du logiciel DELTA PSI2, permettant de modéliser l'empilement des différentes couches (substrat silicium / oxyde enterré / HSQ).

La Fig. 4.2 définit l'épaisseur de HSQ déposée en fonction de la vitesse de tournette pour une accélération et un temps constants. Les résultats montrent qu'il est nécessaire de travailler à relativement faibles vitesses (v<3500 rpm) afin de recouvrir intégralement les ailettes de silicium.

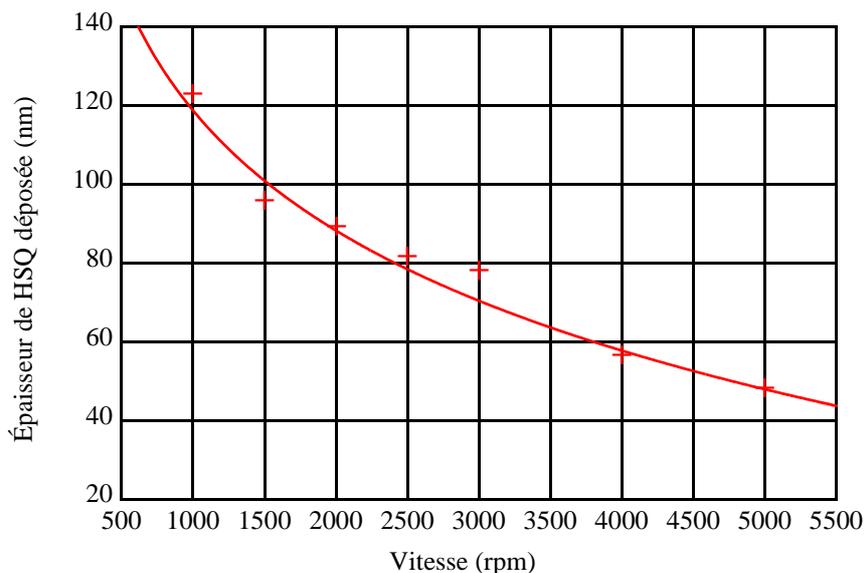


Fig. 4.2: Epaisseur de HSQ déposée par tournette, à temps (t=60s) et accélération constante (a=5000rpm/s)

I-4 Caractérisation des dépôts de HSQ par microscopie électronique à balayage (MEB).

Ce deuxième volet de l'étude vise à caractériser par microscopie à balayage la capacité du polymère à remplir les espaces entre les lignes de silicium ainsi que sa topologie de surface. Des réseaux de lignes de silicium sont ainsi définis par lithographie électronique combinée à une gravure RIE ($\text{SF}_6/\text{O}_2/\text{N}_2$) en utilisant les conditions optimales définies dans le chapitre précédent. Ces ailettes de silicium sont ensuite totalement noyées par la HSQ déposée par tournette à différentes vitesses $1000 \text{ rpm} < v < 3000 \text{ rpm}$, avec $a = 5000 \text{ rpm/s}$, et $t = 60 \text{ s}$.

Les caractérisations MEB (Fig. 4.3) montrent un excellent remplissage des interstices entre les ailettes, qui confirme les très bonnes propriétés de fluage de la HSQ.

De plus, la HSQ planarise parfaitement la structure: les fluctuations d'épaisseur au niveau des lignes de silicium ne représentent que de 3 ou 4 nm pour une épaisseur de 90 à 100 nm de HSQ déposée.

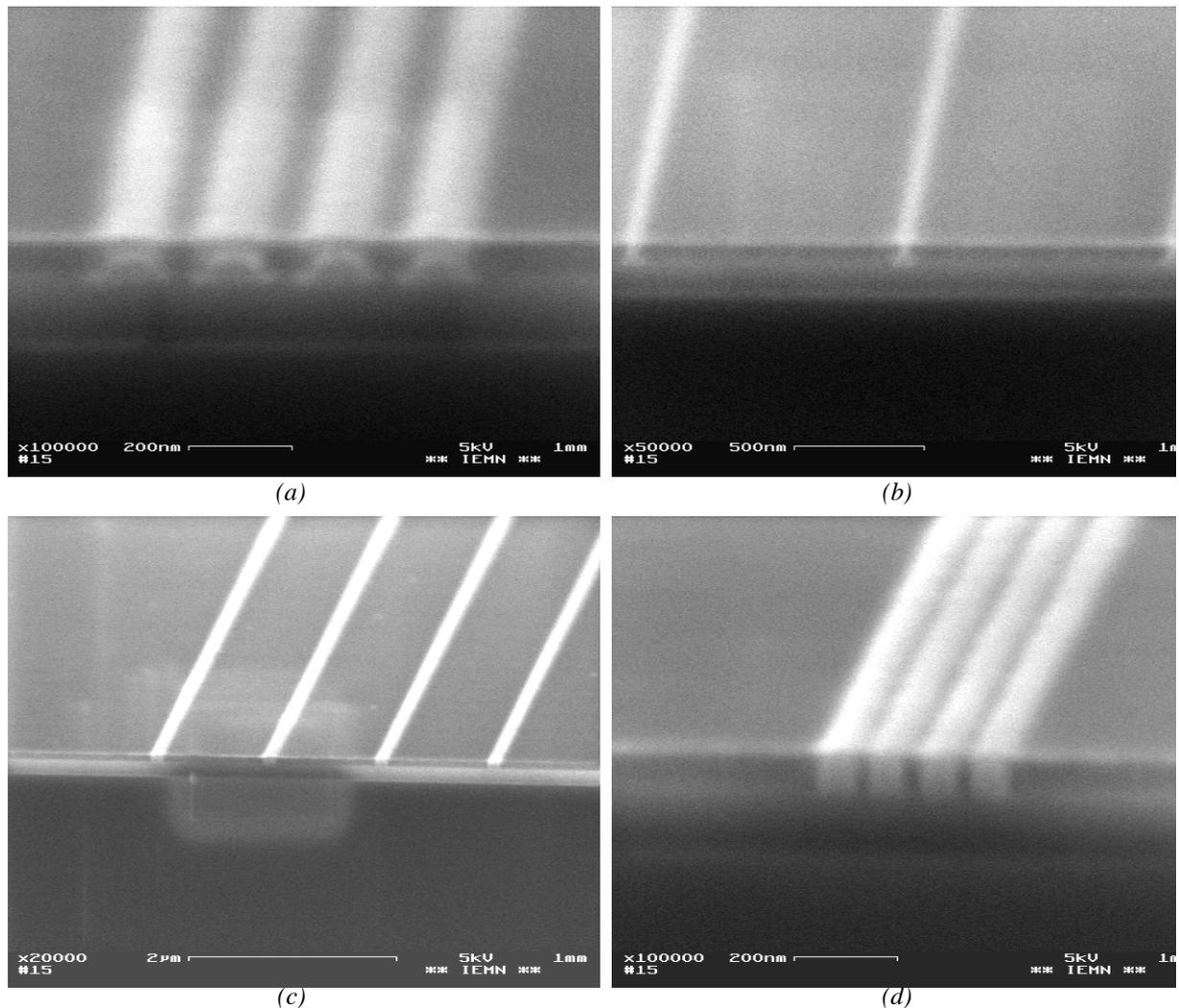


Fig. 4.3: Photos MEB des lignes de silicium recouvertes de HSQ: (a) Lignes de 100 nm espacées de 100 nm recouvertes par la HSQ ($v = 1200 \text{ rpm}$, $t = 60 \text{ s}$, $a = 5000 \text{ rpm/s}$) (b) Lignes de 50 nm espacées de $1 \mu\text{m}$ recouvertes par la HSQ ($v = 1200 \text{ rpm}$, $t = 60 \text{ s}$, $a = 5000 \text{ rpm/s}$) (c) Lignes de 100 nm espacées de $1 \mu\text{m}$ recouvertes par la HSQ ($v = 2000 \text{ rpm}$, $t = 60 \text{ s}$, $a = 5000 \text{ rpm/s}$) (d) Lignes de 50 nm espacées de 50 nm recouvertes par la HSQ ($v = 2000 \text{ rpm}$, $t = 60 \text{ s}$, $a = 5000 \text{ rpm/s}$).

I-5 Caractérisation des dépôts de HSQ par microscopie à force atomique (AFM).

Les caractérisations MEB précédentes ont mis en évidence un problème de planéité de la HSQ au niveau des ailettes de silicium. Une étude par microscopie à force atomique (AFM) a été menée afin de quantifier cette rugosité de surface. Les expérimentations ont été menées sur des lignes de silicium définies par lithographie électronique (dose de $2500 \mu\text{C}/\text{cm}^2$), combinée à une gravure RIE $\text{SF}_6/\text{O}_2/\text{N}_2$. Une gravure humide au HF 1% de 30s permet d'éliminer complètement les résidus du masque de HSQ présents au dessus des ailettes de silicium afin de ne pas perturber les mesures. L'oxyde fluable est déposé par tournette à une vitesse de 1500 rpm, et une accélération de 5000 rpm/s, pendant 60 s. L'échantillon observé à l'AFM est un rectangle d'environ $1\text{cm} \times 1\text{cm}$. Les profils obtenus sont regroupés en Fig. 4.4.

L'analyse AFM démontre que la fluctuation d'épaisseur de HSQ, au niveau des lignes de silicium, est très faible, environ 2 à 3 nm. Cette rugosité est parfaitement acceptable pour l'étape de planarisation.

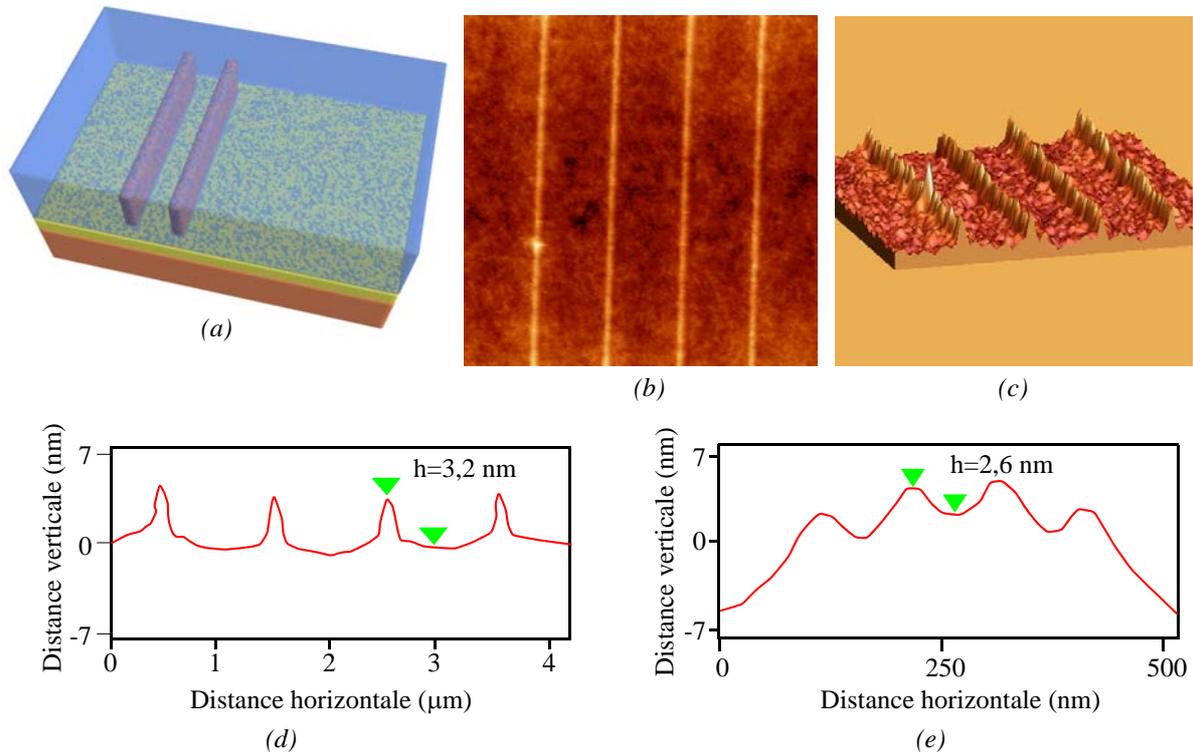


Fig. 4.4: Caractérisations AFM de matrice de HSQ de 100 nm de hauteur: (a) Schéma de la matrice de HSQ recouvrant les ailettes de silicium (b) Vue 2D de l'analyse AFM (c) Vue en 3D de l'analyse AFM (d) Lignes de 100 nm espacées de 1 μm (e) Lignes de 50 nm espacées de 50 nm.

I-6 Conclusion.

Cette partie a traité du choix du matériau de planarisation permettant de noyer complètement les ailettes de silicium dans une matrice isolante dont la topologie de surface est parfaitement planarisée. Les efforts se sont notamment concentrés sur la HSQ pour ses propriétés diélectriques de type low- κ et ses remarquables propriétés de fluage. Diverses expériences ont été menées afin de paramétrer les conditions de dépôt en fonction de l'épaisseur de HSQ souhaitée. Elles ont mis en évidence la possibilité de planariser la structure par un simple dépôt par tournette («spin-coating»). Des images en coupe réalisées au MEB ont montré un excellent remplissage des espaces entre les ailettes par la HSQ. Enfin, des mesures effectuées à l'AFM ont mis en évidence une variation maximale de planéité de 4 nm pour 100 nm de HSQ déposée, ce qui reste tout à fait acceptable pour la suite du procédé.

II- Modification des propriétés physico-chimiques de la matrice de HSQ.

II-1 Introduction.

Cette partie décrit les transformations des propriétés physico-chimiques de la résine HSQ après divers types de traitements. Le premier paragraphe détaille les problèmes de sélectivité de gravure directement liés au procédé de fabrication du transistor FinFET. La partie suivante présente le principe de base de la spectroscopie Infra-Rouge à Transformée de Fourier (FTIR). Enfin, le dernier volet de l'étude explique, avec les résultats correspondants de caractérisation, les mécanismes de transformations physico-chimiques du polymère au cours de traitement par plasma oxygéné ou par recuit haute température sous ambiance azotée.

II-2 Problème de sélectivité de gravure entre SiO₂/HSQ.

L'utilisation du polymère inorganique HSQ est très adaptée à la formation de la matrice d'isolation, car il permet d'obtenir une planarisation presque parfaite, en utilisant une technique simple de dépôt par tournette (cf. paragraphe I). Néanmoins, son utilisation peut entraîner des difficultés pour la suite du procédé de fabrication, en terme de sélectivité de gravure. En effet, la vitesse d'attaque de la HSQ par l'acide fluorhydrique 1% (HF) est près de soixante-dix

fois plus élevée que celle du SiO₂ thermique (200 nm/min pour la HSQ, comparée à 3 nm/min pour le SiO₂) [9]. Or, le procédé de fabrication définit une étape d'oxydation sacrificielle à la suite de l'ouverture de grille Damascène, et de la gravure de la matrice isolante de HSQ (cf. Chapitre 2, paragraphe V-4). Cette étape, qui vise à nettoyer les flancs des ailettes avant la croissance thermique de l'oxyde de grille grave également la matrice isolante de HSQ.

De même, avant la siliciuration des contacts de drain et de source, les ailettes de silicium sont plongées dans un bain de HF afin d'éliminer l'oxyde natif et de permettre une parfaite diffusion du métal dans le silicium et inversement. Il convient donc d'améliorer la sélectivité HSQ/SiO₂ au cours de la gravure humide par le HF afin de préserver l'intégrité de cette matrice d'isolation. L'idée consiste à modifier la structure de la résine en lui appliquant des traitements de densification, afin de la rendre plus résistante vis-à-vis de l'attaque chimique par le HF. Les résultats de cette étude sont présentés dans le paragraphe II-4 de ce chapitre.

II-3 Spectroscopie Infra-Rouge à Transformée de Fourier (FTIR)

II-3.1 Principe de fonctionnement.

La spectroscopie Infra-Rouge à Transformée de Fourier (FTIR: Fourier Transformed InfraRed Spectroscopy) demeure l'outil de prédilection pour l'analyse chimique. Le principe de base repose sur l'excitation par des ondes électromagnétiques polychromatiques, des modes de vibration ou de rotation des liaisons moléculaires d'un échantillon. Chaque mode excité correspond à une longueur d'onde précise. Elle permet, via la détection des vibrations caractéristiques des liaisons chimiques, d'effectuer l'analyse des fonctions chimiques présentes dans le matériau.

Lorsque l'énergie apportée par une excitation électromagnétique polychromatique, à une longueur d'onde donnée, est voisine de l'énergie de vibration de la molécule, cette dernière absorbe le rayonnement entraînant une diminution de l'intensité réfléchié ou transmise. Chaque longueur d'onde peut alors être associée à un mode de vibration propre à une liaison chimique, permettant ainsi de déterminer la structure chimique du matériau analysé.

Cette technique non destructive permet de travailler dans le domaine spectral de l'infrarouge moyen, le nombre d'onde étant compris entre 600 et 4000 cm⁻¹, soit une plage de fréquence variant de 1,8*10¹³ Hz à 1,2*10¹⁴ Hz, ou encore une longueur d'onde de 16 à 2,5 µm.

Le faisceau infrarouge provenant de la source est dirigé vers un interféromètre de Michelson (Fig. 4.5) qui va moduler chaque longueur d'onde du faisceau à une fréquence différente. Une lampe tungstène-halogène émet un faisceau en direction de la lame séparatrice en KBr: la moitié du faisceau est dirigée sur le miroir fixe, le reste passe à travers la séparatrice et est dirigé sur le miroir mobile. Quand les deux faisceaux se recombinent, des interférences constructives et destructives apparaissent selon la position du miroir mobile. Le faisceau modulé est ensuite réfléchi par les deux miroirs vers l'échantillon. Enfin, le faisceau passe à travers l'échantillon pour être recueilli par un détecteur Mercure-Cadmium-Tellure (MCT) refroidi par azote liquide qui transforme le faisceau en un signal électrique. Un logiciel effectue la transformée de Fourier de celui-ci afin d'obtenir le spectre $I=f(\nu)$, avec I l'intensité en unité arbitraire et ν le nombre d'onde en cm^{-1} . Cette technique nécessite l'utilisation d'un substrat avec deux faces polies, sur lesquelles est déposée la couche de HSQ à étudier.

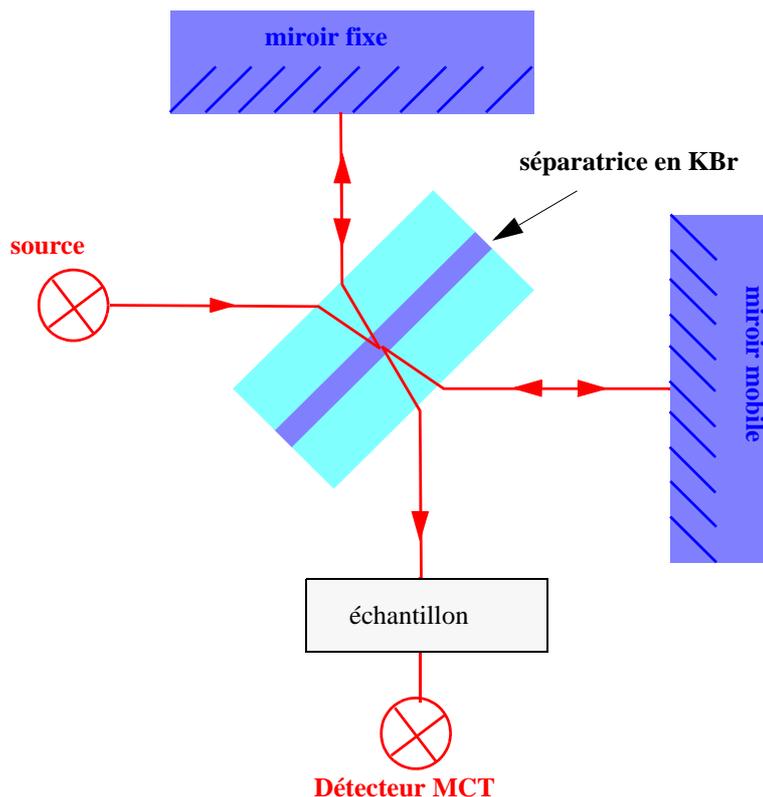


Fig. 4.5: Principe de fonctionnement de l'interféromètre de Michelson utilisé par le FTIR.

II-3.2 Conditions expérimentales: transmission à l'angle de Brewster.

Il existe plusieurs techniques pour l'analyse de substrat par spectroscopie infrarouge qui dépendent de la nature du matériau étudié: la réflexion spéculaire, le mode ATR (Attenuated Total Reflexion), et enfin, celle que nous utilisons, la transmission à l'angle de Brewster développée en 1991 [10].

La technique de l'angle de Brewster est basée sur les propriétés de réflectivité d'une interface. David Brewster (1781-1868) a mis en évidence un phénomène optique très intéressant: une lumière polarisée traversant deux matériaux d'indices de réfraction différents (n_1 et n_2), n'est pas réfléchi à l'interface pour un angle particulier, appelé angle de Brewster θ_B (Fig. 4.6). La valeur de cet angle est alors donnée par:

$$\theta_B = \text{atan} \frac{n_2}{n_1} \quad (\text{Eq. 4.1})$$

avec, pour notre étude:

- $n_1=1$ (indice de réfraction de l'air)
- $n_2= 3,4$ (indice de réfraction du silicium).

Pour optimiser l'analyse FTIR, l'échantillon analysé doit recevoir le signal lumineux avec un angle d'incidence égale à l'angle de Brewster afin de minimiser les interférences, et de transmettre le maximum d'énergie. Cette configuration correspond à un angle $\theta_B=73,7^\circ$ pour un substrat de silicium. Cette technique nécessite l'utilisation d'un substrat de silicium ayant les deux faces polies.

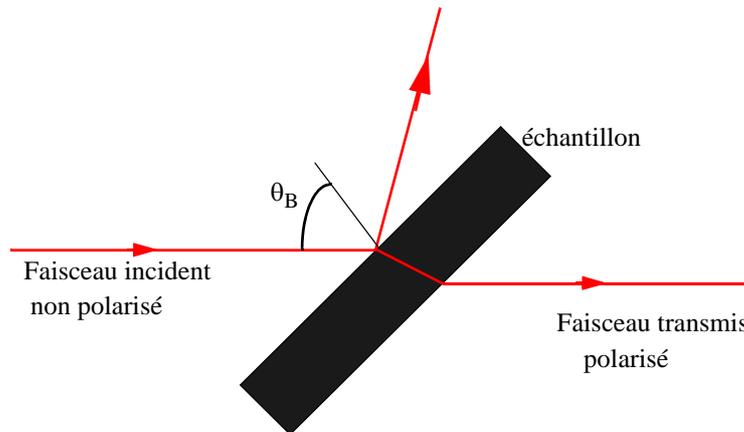


Fig. 4.6: Principe de la transmission à l'angle de Brewster: le faisceau incident arrive sur la surface à l'angle de Brewster. Cette configuration permet d'obtenir le maximum de transmission du signal à travers l'échantillon.

II-4 Densification de la matrice isolante de HSQ.

II-4.1 Etat de l'art.

La littérature propose de nombreuses solutions afin de modifier les propriétés électriques et mécaniques des films de HSQ (plasma ou recuit de N_2 ou d' O_2) [3] [11-13]. En appliquant des plasmas azotés ou oxygénés, Lee *et al.* [11] ont ainsi montré qu'il existait une corrélation entre les changements de la structure chimique et les propriétés mécaniques.

La résine HSQ non densifiée possède majoritairement une structure cage. Les différents traitements par plasma oxygéné ou recuit haute température azoté cassent les liaisons chimiques $\nu(O_3Si)-H$ présentes dans la structure cage de la HSQ et créent des liaisons $\nu(Si-O-Si)$, donnant naissance à une structure réseau.

Yang *et al.* [14] ont proposé trois mécanismes distincts intervenant au cours des traitements thermiques: un réarrangement, une redistribution et une oxydation.

Le premier qui correspond donc à un réarrangement des liaisons (Fig. 4.7) apparaît essentiellement pour des températures de recuit comprises entre 300 et 500°C. Au cours de cette réaction, la composition chimique de la HSQ reste la même. La seule différence entre les deux structures (avant et après traitement) résulte du changement de position des différents atomes: la HSQ qui possédait une structure cage se transforme en une structure réseau.

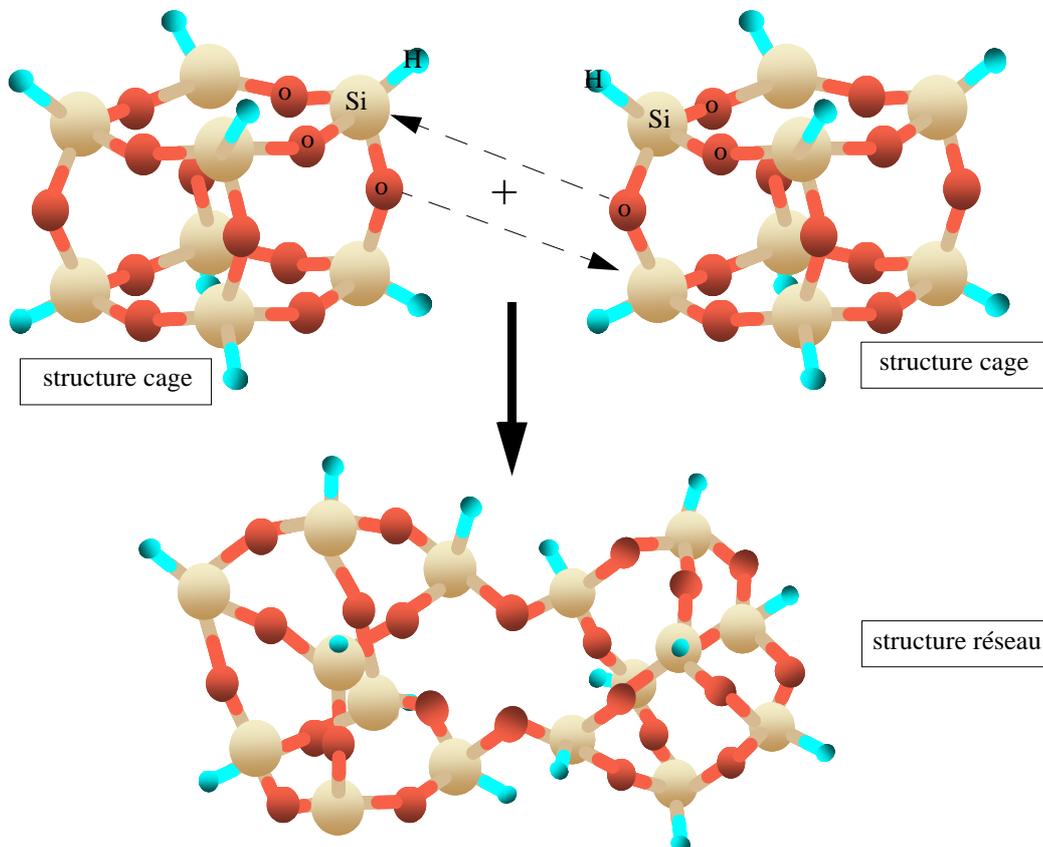
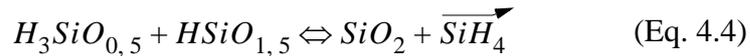
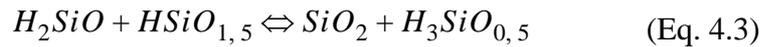
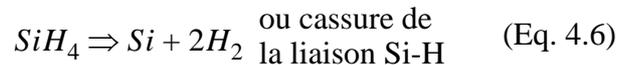


Fig. 4.7: Mécanisme de réarrangement de la HSQ après traitement thermique: transformation d'une structure cage en une structure réseau.

Le deuxième mécanisme consiste en une redistribution de certains atomes (Fig. 4.8). Le traitement thermique provoque le transfert d'un atome d'hydrogène, d'un atome de silicium vers un autre. Le silicium qui a perdu un atome d'hydrogène récupère une liaison oxygène provenant du silicium ayant gagné un atome d'hydrogène. Ce mécanisme se décompose en deux étapes: la première correspond à une redistribution entre les structures cage et réseau pour des températures comprises entre 250 et 350°C:



Puis, de 350 à 450°C, il y a dissociation thermique des liaisons Si-H et redistribution de la structure réseau selon les deux équations suivantes:



Pour des températures supérieures à 450°C, la structure très poreuse s'effondre [15]. Ce phénomène sera exposé plus en détails par la suite, dans le paragraphe II-4.4.

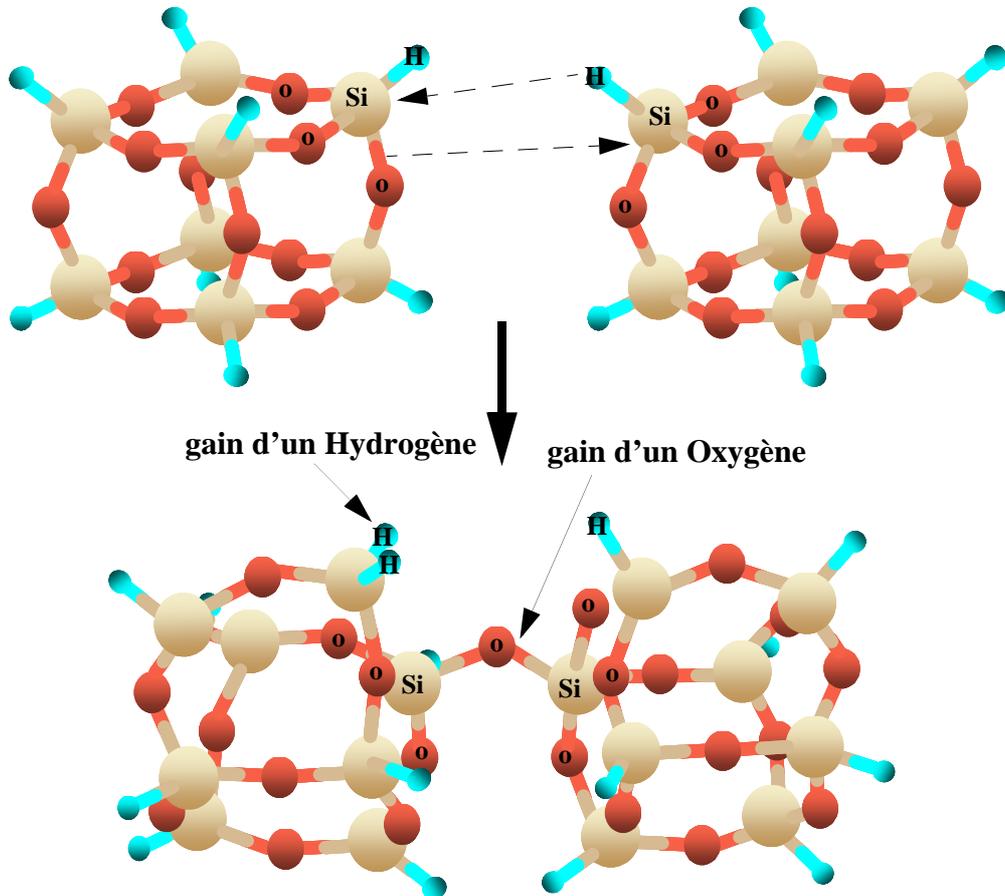


Fig. 4.8: Mécanisme de redistribution de la HSQ après traitement thermique.

Le dernier mécanisme intervenant lors d'un traitement thermique est une oxydation. Pour un plasma oxygéné, l'objectif est de faire pénétrer par diffusion les atomes d'oxygène sur l'épaisseur entière de la couche d'HSQ. Le plasma casse les liaisons Si-H et laisse ainsi une place libre pour la formation d'une liaison Si-O.

La réaction du Si-H avec l'oxygène forme tout d'abord une liaison Si-OH (Fig. 4.9). La deuxième étape est une condensation de cette liaison Si-OH en une liaison siloxane Si-O-Si. La structure cage se transforme alors en une structure réseau. Cette réaction génère également des résidus d'eau.

Ainsi ces trois mécanismes (réarrangement, redistribution, oxydation) interviennent simultanément lors des traitements de densification. Le poids de la structure réseau augmente au détriment de la structure cage. La structure chimique de la HSQ se rapproche de celle d'un oxyde thermique SiO₂, avec une constante diélectrique légèrement plus élevée et une densité plus importante. La résine ainsi traitée devient plus résistante à la gravure au HF.

La Table 4.1 répertorie la position des pics d'absorption, caractéristiques des modes de vibrations des liaisons des structures cage et réseau de la HSQ. Ces données seront nécessaires pour l'analyse FTIR développée dans le prochain paragraphe.

| <i>Liaisons dans la structure cage (sc)</i> | <i>Nombre d'onde (cm⁻¹)</i> | <i>Mode de vibration</i> | <i>Liaisons dans la structure réseau (sr)</i> |
|---|--|--------------------------|---|
| $\nu((\text{O}_3\text{Si})\text{-H})_{sc}$ | 2250-2260 | étirement (stretching) | - |
| $\nu(\text{Si-O-Si})_{sc}$ | 1120-1130 | étirement (stretching) | - |
| | 1030-1070 | étirement (stretching) | $\nu(\text{Si-O-Si})_{sr}$ |
| $\nu(\text{HSi-O})_{sc}$ | 890 | flexion (bending) | - |
| $\nu(\text{HSi-O})_{sc}$ | 860 | flexion (bending) | - |
| | 830 | flexion (bending) | $\nu(\text{HSi-O})_{sr}$ |

Table 4.1: Tableau récapitulatif des nombres d'ondes (cm⁻¹) des liaisons présentes dans les deux structures de la HSQ: la structure cage (sc) et la structure réseau (sr) [12].

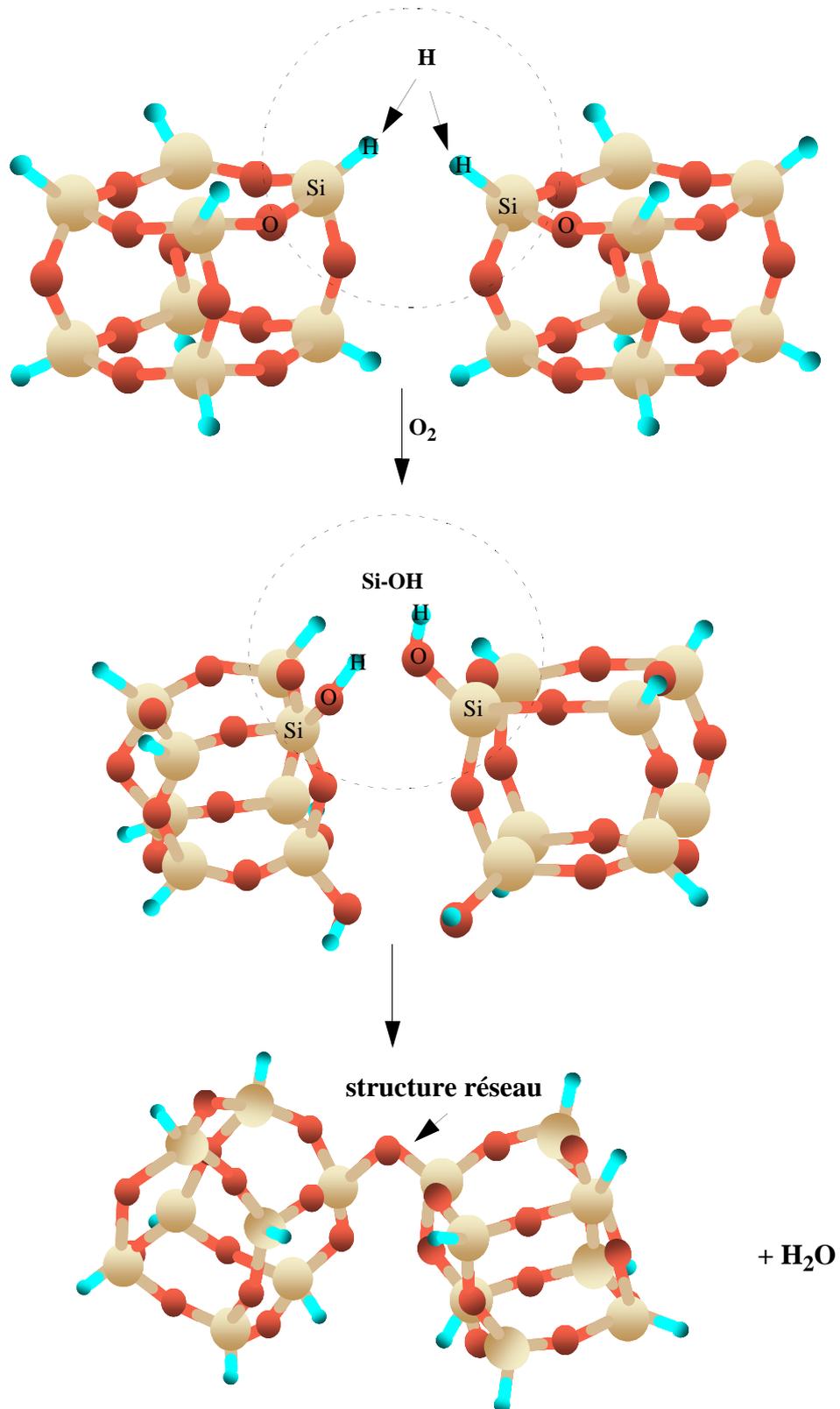


Fig. 4.9: Mécanisme d'oxydation de la HSQ après traitement thermique.

II-4.2 Expérimentations.

Le spectre infrarouge d'un substrat silicium <100>, intrinsèque, poli double-face, et de faible épaisseur (355-405 μm) est obtenu dans les conditions expérimentales permettant d'obtenir le maximum de transmission de signal (cf. paragraphe II-3.2, angle de Brewster [10]). Il servira de spectre de référence pour la suite des expériences.

Un film de 100 nm de HSQ est ensuite déposé par tournette en utilisant les conditions opératoires définies dans le paragraphe I-3: $v=1500$ rpm, $a=5000$ rpm/s, $t=60$ s, recuit sur plaque: 5 minutes à 90°C .

Les couches de HSQ subissent par la suite deux types de traitements:

- des plasmas RIE oxygénés.
- des recuits haute température dans des fours tubulaires sous ambiance azotée.

L'ensemble des traitements sont listés dans la Table 4.2. Une couche de HSQ n'ayant subi aucun traitement thermique sert de référence (Plasma 0). Une analyse FTIR minutieuse de chaque échantillon est enfin réalisée. Les résultats obtenus sont présentés dans le paragraphe suivant.

| <i>Traitement</i> | <i>Puissance</i> (W) | <i>Pression</i> (mTorr) | <i>Concentration</i> O_2 (sccm) | <i>Temps</i> (min) | <i>Température</i> ($^\circ\text{C}$) |
|-------------------|-------------------------|----------------------------|--------------------------------------|-----------------------|--|
| <i>Plasma 0</i> | 0 | 0 | 0 | 0 | - |
| <i>Plasma 1</i> | 150 | 100 | 50 | 1 | - |
| <i>Plasma 2</i> | 270 | 100 | 50 | 1 | - |
| <i>Plasma 3</i> | 270 | 100 | 50 | 10 | - |
| <i>Plasma 4</i> | 290 | 100 | 50 | 1 | - |
| <i>Plasma 5</i> | 290 | 100 | 50 | 5 | - |
| <i>Plasma 6</i> | 290 | 100 | 50 | 10 | - |
| <i>Plasma 7</i> | - | 100 | 50 | 20 | - |
| <i>Recuit 1</i> | - | - | - | 60 | 400 |
| <i>Recuit 2</i> | - | - | - | 60 | 600 |
| <i>Recuit 3</i> | - | - | - | 60 | 700 |

Table 4.2: Conditions expérimentales des plasmas oxygénés et des recuits fours sous ambiance azotée.

II-4.3 Caractérisations FTIR des transformations chimiques de la HSQ.

II-4.3-a Degré de densification.

Les spectres d'absorbance obtenus ($A = f(\nu)$) sont la résultante du rapport entre le spectre du dépôt de la HSQ (densifiée ou non) et le spectre de référence de silicium.

Nous avons défini un facteur R (Eq. 4.7) qui caractérise le poids de la structure réseau par rapport à l'ensemble de la structure de la résine. En d'autres termes, il définit le degré d'avancement de la densification de la HSQ. L'objectif consiste donc à augmenter au maximum sa valeur.

$$R = \frac{\text{Aire}_{\nu(\text{SiO}-\text{Si})_{\text{sr}}}}{\text{Aire}_{\text{totale}}} \times 100 \quad (\text{Eq. 4.7})$$

avec:

- $\text{Aire}_{\nu(\text{Si}-\text{O}-\text{Si})_{\text{sr}}}$ = l'aire du pic à 1030-1070 cm^{-1} caractéristique des liaisons $\nu(\text{Si}-\text{O}-\text{Si})_{\text{sr}}$ présentes dans la structure réseau.

- $\text{Aire}_{\text{totale}} = \text{Aire}_{\text{structure cage}} + \text{Aire}_{\text{structure réseau}} =$ Aire de l'ensemble des pics du spectre correspondant à la HSQ.

Il convient de noter que le nombre de liaisons $\nu(\text{HSi}-\text{O})$ détectables à 830 cm^{-1} présentes dans la structure réseau diminue au fur et à mesure que l'on densifie la résine. Ce phénomène s'explique aisément par la décroissance du nombre de liaisons Si-H présentes dans la «structure réseau». C'est pour cette raison que l'aire du pic $\nu(\text{HSi}-\text{O})_{\text{sr}}$, détectables à 830 cm^{-1} n'intervient pas dans le numérateur de l'expression de R donnée ci-dessus, bien qu'il est caractéristique de la structure réseau.

II-4.3-b Influence de la puissance du plasma sur la densification de la HSQ.

Une première étude a permis d'évaluer l'impact de la puissance du plasma RIE oxygéné sur la densification de l'oxyde fluable. La Fig. 4.10 présente les enregistrements des spectres d'absorbance infra-rouges (IR) de trois dépôts de HSQ ayant subi différents traitements par plasma oxygéné (Plasma 0, Plasma 1, Plasma 2 et Plasma 4). Dans ce cas précis, seule la puissance varie, tous les autres paramètres (pression, concentration O_2 , temps) restent inchangés.

Les spectres IR obtenus fournissent tout d'abord une information qualitative de la structure chimique de la HSQ. Tous les modes de vibration des liaisons présentes dans les deux structures de la HSQ (définies précédemment dans la Table 4.1) sont visibles.

Le pic détectable à 1130 cm^{-1} diminue lorsque l'on augmente la puissance de plasma caractérisant la cassure des liaisons $\nu(\text{Si-O-Si})_{\text{sc}}$. Au contraire, l'intensité du pic à 1070 cm^{-1} représentatif des liaisons $\nu(\text{Si-O-Si})_{\text{sr}}$ augmente pour des puissances de plasma élevées. Ces évolutions révèlent des transformations chimiques au sein de la HSQ, qui passe d'une structure cage à une structure réseau. De plus, au fur et à mesure que la puissance augmente, l'aire du pic à 2250 cm^{-1} décroît, traduisant la disparition des liaisons $\nu((\text{O}_3\text{Si})-\text{H})$ présentes dans la structure cage. De même, la décroissance de l'aire des trois pics apparaissant dans l'intervalle $[830-890\text{ cm}^{-1}]$ correspond à la disparition des liaisons $\nu(\text{HSi-O})$.

Il convient de noter qu'un pic important a été détecté au nombre d'onde 1200 cm^{-1} . Il n'apparaît pas dans la littérature. Il semble être représentatif d'une liaison Si-O-Si appartenant à la structure cage. En effet, son intensité diminue au fur et à mesure que la HSQ se densifie.

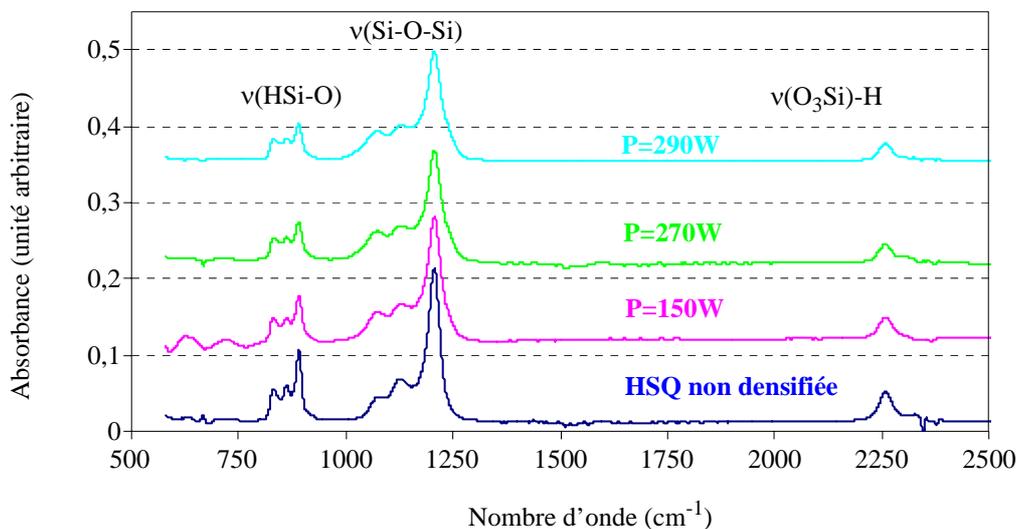


Fig. 4.10: Evolution du spectre IR de la HSQ ayant subi des traitements par plasma: $P=0\text{W}$, $P=150\text{W}$, $P=270\text{W}$, $P=290\text{W}$, pendant 1 minute, à une pression de 100 mTorr, et une concentration d' O_2 de 50 sccm.

D'autre part, ces analyses spectroscopiques IR permettent de quantifier les transformations chimiques de la résine après densification. Ainsi, en mesurant l'aire sous les différents

pics, il est possible de déterminer le coefficient de densification R défini dans le paragraphe précédent (II-4.3.a). La Fig. 4.11 présente l'évolution de R en fonction de la puissance de plasma pour un temps d'exposition au plasma relativement court (1 min). On note que le degré de densification est pratiquement multiplié par 4 entre la HSQ non densifiée à (R=4%) et la HSQ densifiée par un plasma à 290 W (R=15,01%). L'influence de la puissance de plasma n'est par conséquent pas négligeable. Une puissance élevée favorise la densification de l'oxyde fluable.

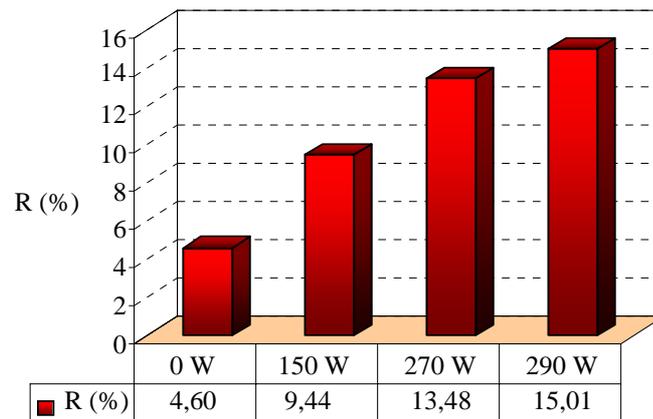


Fig. 4.11: Evolution du rapport R pour différentes puissances de plasma: HSQ non densifiée par plasma, P=150W, P=270W, P=290W, pendant 1 minute, à une pression de 100 mTorr, et une concentration d'O₂ de 50 sccm.

II-4.3-c Influence de la durée du plasma sur la densification de la HSQ.

Le second volet de l'étude consiste à évaluer l'influence de la durée d'exposition au plasma sur la densification de la matrice isolante. Pour cela, des couches de HSQ subissent une série de plasmas oxygénés (plasmas n°4, 5, 6, 7 cf. Table 4.2). Tous ces plasmas sont réalisés à puissance constante, mais pendant des durées d'exposition différentes.

On observe sur les spectres IR de la Fig. 4.12 les mêmes transformations chimiques que pour une augmentation de la puissance du plasma (Fig. 4.11), mais de manière beaucoup plus significative. Pour un plasma à 290 W, l'aire du pic à 1070 cm⁻¹ croît avec la durée d'exposition au plasma. Cette évolution traduit une nette augmentation de création des liaisons $\nu(\text{Si-O-Si})_{\text{sr}}$ caractéristiques de la structure réseau. Dans le même temps, les liaisons $\nu(\text{Si-O-Si})_{\text{sc}}$ détectables à 1130 cm⁻¹ disparaissent.

De plus, les pics à 2250 cm^{-1} , 890 cm^{-1} , 860 cm^{-1} et 830 cm^{-1} ont pratiquement disparu pour un temps d'exposition de 20 minutes. Cela signifie bien que le poids de la structure réseau est devenu prépondérant par rapport à celui de la structure cage.

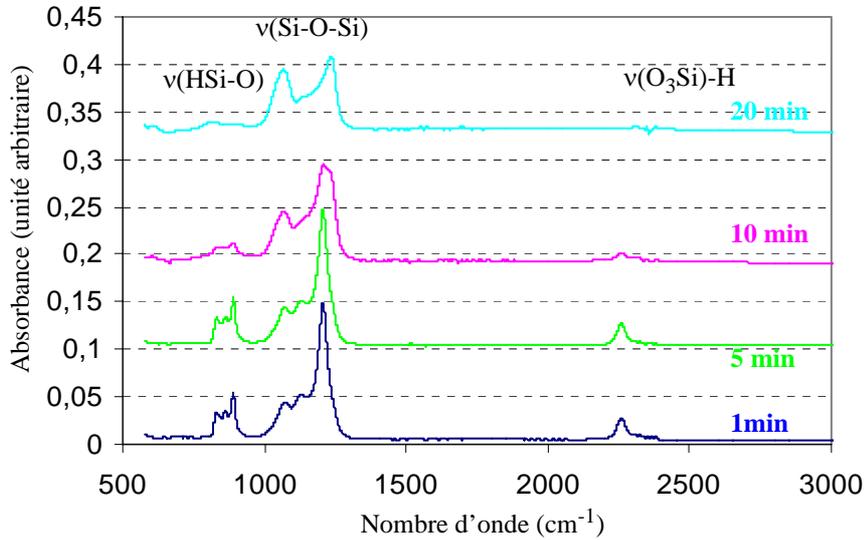


Fig. 4.12: Evolution du spectre IR de la HSQ pour différentes durées de plasma: $t=1\text{ min}$, $t=5\text{ min}$, $t=10\text{ min}$, $t=20\text{ min}$, à une pression de 100 mTorr, une puissance de 290W, et une concentration d' O_2 de 50 sccm

L'évolution du facteur R (Fig. 4.13) consolide cette tendance: il est multiplié par plus de 18 en augmentant le temps de traitement de 0 minute ($R=4,6\%$) à 20 minutes ($R=83,01\%$).

En définitive, les conditions de densification optimales pour un plasma oxygéné correspondent à une puissance plasma élevée ($P=290\text{W}$) qui favorise la rupture des liaisons Si-H et la pénétration des atomes d'oxygène combinée à un temps d'exposition important afin d'augmenter la profondeur de diffusion des atomes d'oxygène ($t=20\text{ minutes}$).

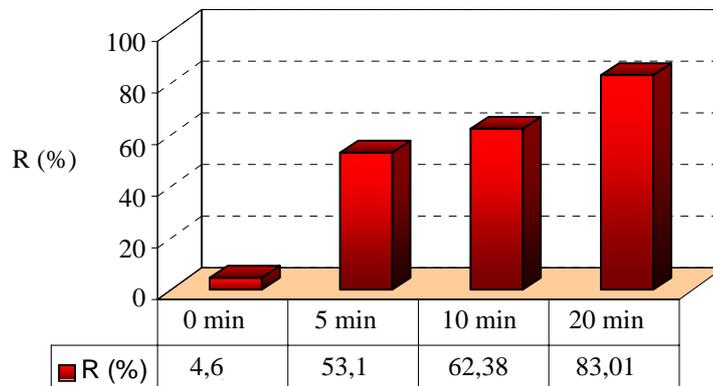


Fig. 4.13: Evolution du rapport R en fonction de la durée du plasma: $t=1\text{ min}$, $t=5\text{ min}$, $t=10\text{ min}$, $t=20\text{ min}$, à une pression de 100 mTorr, une puissance de 290W, et une concentration d' O_2 de 50 sccm

II-4.3-d Influence de la température de recuit sur la densification de la HSQ.

Des essais de densification de la HSQ ont également été réalisés par recuit dans un four tubulaire sous ambiance azotée (Table 4.2). Cette étude permet de déterminer l'impact de la température de recuit sur les transformations chimiques de la HSQ. Les spectres IR d'absorbance sont rassemblés sur la Fig. 4.14. Ils montrent des variations des pics caractéristiques comparables à ceux observés sur les spectres IR de la HSQ densifiée par plasma (Fig. 4.10 et IV.12). L'augmentation de la température entraîne la transformation des liaisons $\nu(\text{Si-O-Si})_{\text{sc}}$ de la structure cage (diminution du pic à 1130 cm^{-1}) en liaisons $\nu(\text{Si-O-Si})_{\text{sr}}$ caractéristiques de la structure réseau (augmentation du pic à 1070 cm^{-1}). A 700°C , le spectre est quasiment plat au nombre d'onde 2250 cm^{-1} et sur l'intervalle $[830-890]\text{ cm}^{-1}$. Cela manifeste clairement la disparition quasi-totale des liaisons $\nu(\text{O}_3\text{Si-H})$ et $\nu(\text{HSi-O})$ spécifiques à la structure cage. Enfin, on observe comme précédemment un pic majeur à 1250 cm^{-1} qui tend à décroître avec la densification.

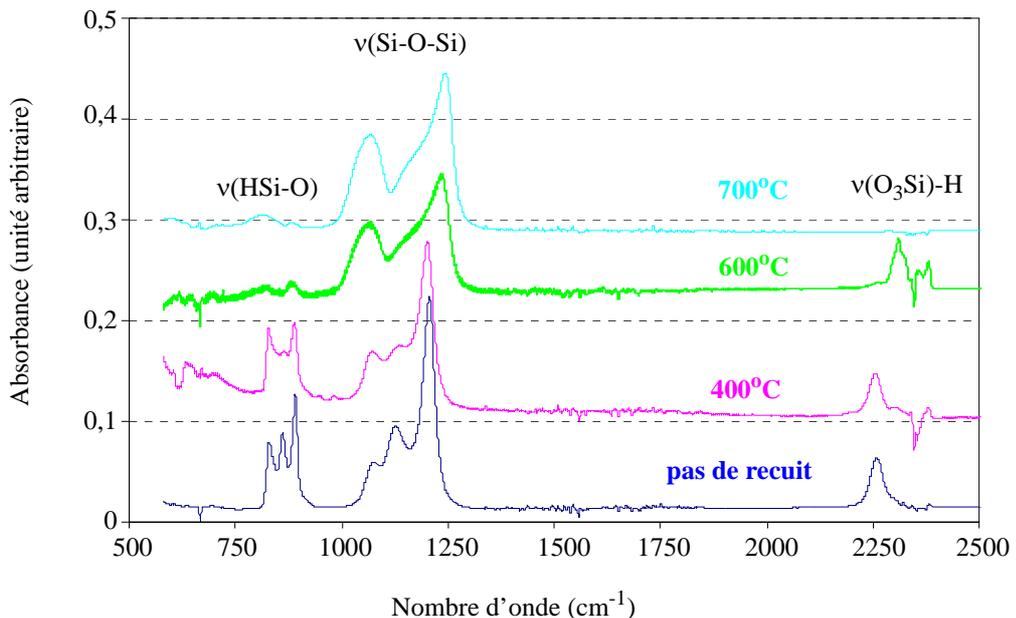


Fig. 4.14: Evolution des spectres IR de la HSQ pour différentes températures de recuit dans un four tubulaire sous ambiance azotée réalisées pendant 1 heure: pas de recuit, $T=400^\circ\text{C}$, $T=600^\circ\text{C}$, $T=700^\circ\text{C}$.

Le degré de densification de la HSQ soumise au recuit à 700°C ($R=87,09\%$) est 15 fois supérieur à celui de la HSQ non densifiée ($R=5,62\%$). La densification de l'oxyde fluable est légèrement plus importante que pour un plasma à 290 W pendant 20 minutes ($R=83,01\%$).

On peut noter que le facteur R de la HSQ non densifiée (R=4,6%) n'est pas exactement le même que précédemment (R=5,62%). Cette légère différence est attribuée à la marge d'erreur lors du calcul des aires sous les pics.

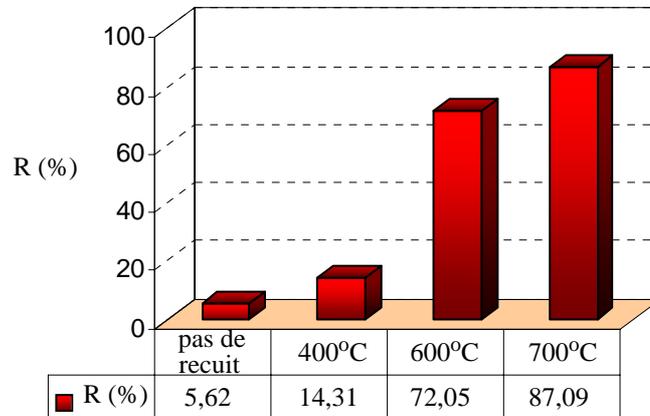


Fig. 4.15: Evolution du rapport R en fonction de la température de recuit dans un four tubulaire sous ambiance azotée réalisée pendant 1 heure: pas de recuit, T=400°C, T=600°C, T= 700°C.

II-4.4 Diminution d'épaisseur de la HSQ lors des traitements thermiques.

Les traitements thermiques de densification appliqués à la HSQ ne sont pas sans effet sur l'épaisseur de la couche de résine. Le plasma oxygéné peut pulvériser les atomes de la surface de la HSQ. D'autre part, Siew *et al.* [15] ont montré que la porosité de la HSQ était d'environ 20%, pour une température de recuit de 400°C. Dans ce cas, la résistance mécanique est suffisante pour soutenir la structure réseau. Mais, au fur et à mesure que la température augmente, et que les liaisons Si-H se cassent, la porosité augmente. Lorsqu'elle atteint 35%, la structure réseau s'effondre formant un film plus dense.

La Fig. 4.16 compare l'impact de 4 traitements de densification sur la diminution d'épaisseur de HSQ. Les mesures d'épaisseur ont été réalisées par ellipsométrie avant puis après traitements des films de HSQ.

Le recuit à faible température (400°C) et le plasma à 290 W pendant un temps d'exposition faible (5 minutes) diminuent très faiblement l'épaisseur de HSQ (2 à 3%). Néanmoins l'étude développée dans les paragraphes précédents (II-4.3.c et II-4.3.d) a prouvé que ces traitements ne permettaient pas de transformer de manière significative la structure chimique de la HSQ (respectivement, R=14,31% et R=53,1%).

D'autre part, il apparaît clairement que la densification par plasma oxygéné (P=290 W, t= 20 min) entraîne une diminution importante d'épaisseur, de près de 30% de l'épaisseur initiale. Cela s'explique par le fait que la résine est non seulement densifiée par le plasma (tassement de la HSQ), mais elle est également gravée.

Le recuit haute température (700°C) pendant une heure qui ne génère qu'une perte de l'épaisseur de l'ordre de 17% semble ainsi représenter un bon compromis entre taux de densification (R=87%) et diminution d'épaisseur. Cela confirme le phénomène d'effondrement présenté par Siew *et al* [15]. Lee *et al.* [16] ont montré que pour un recuit à 750°C, cette diminution d'épaisseur atteignait les 20%, valeur en adéquation avec nos résultats.

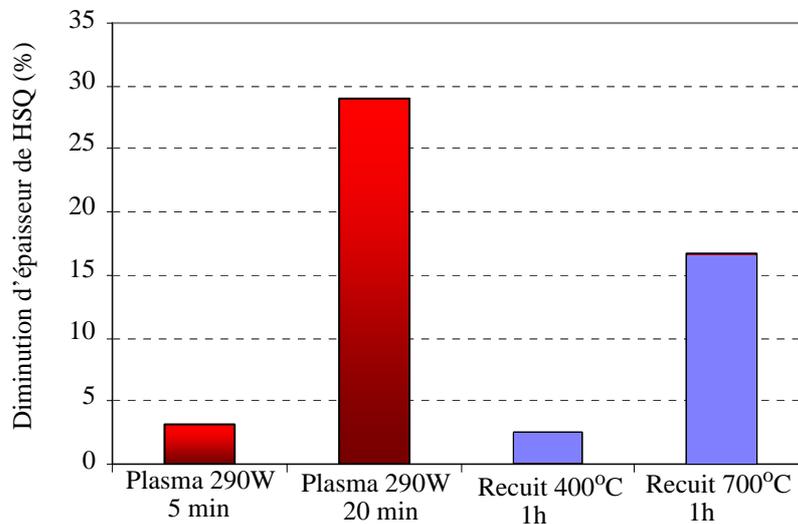


Fig. 4.16: Diminution de l'épaisseur de HSQ (%) pour différents traitements de densification: Plasmas oxygénés 290 W pendant 5 et 20 minutes (rouge) et recuits azotés pendant 1 heure à 400 et 700°C (bleu).

II-4.5 Gravure humide de la HSQ par le HF 1%.

Les paragraphes précédents ont mis en évidence les transformations chimiques de la structure de la HSQ après densification. Ce paragraphe vise à déterminer les changements des propriétés physiques engendrés par les traitements de densification, et plus particulièrement la résistance de la HSQ vis à vis de l'attaque par gravure humide dans un bain de HF. L'objectif de l'étude est de déterminer la vitesse d'attaque par le HF dans le but de se rapprocher de celle d'un oxyde thermique.

L'ensemble des essais de gravure est rassemblé sur la Fig. 4.17 et comparé avec ceux fournis par l'étude bibliographique [17]. Deux types de tests sont réalisés. Les premiers consistent à graver des couches de HSQ densifiées par plasma ou recuit, alors que les seconds étudient des couches de HSQ densifiées au préalable par faisceau électronique (lithographie e-beam), puis par plasma ou recuit (noté *_Litho* sur les courbes de la Fig. 4.17).

Les courbes de vitesse de gravure (Fig. 4.17) fournissent plusieurs résultats intéressants. La vitesse d'attaque de la HSQ non densifiée, non insolée, par le HF 1% est près de 210 fois supérieure à celle d'un oxyde thermique. Namatsu *et al.* [17] montrent que cet écart est réduit pour la HSQ insolée. En effet, lors de l'insolation électronique, les électrons cassent les liaisons de la structure cage tridimensionnelle pour former une structure réseau. La lithographie densifie donc également le diélectrique. Les essais de densification par recuit à 700°C (avec et sans *Litho*) confirment ce comportement. L'étape d'insolation diminue de manière importante (2,8 fois) la vitesse d'attaque de la HSQ par le HF 1%.

Les Fig. 4.17 et Fig. 4.18 montrent également que les transformations chimiques de la HSQ ayant subi des plasmas oxygénés (290 W, 5 min et 20 min) ou des recuits azotés (700°C) entraînent une nette amélioration de la résistance de l'oxyde fluable vis-à-vis de l'attaque au HF 1%. Désormais la vitesse d'attaque de la HSQ soumise au recuit à 700°C n'est que 10 fois supérieure à celle d'un oxyde thermique ($v_{\text{HSQ densifiée}}=24,9$ nm/min contre $v_{\text{SiO}_2}=3,9$ nm/min). Cette étude permet de véritablement mettre en évidence la relation qui existe entre la structure chimique de la HSQ et sa résistance à la gravure humide au HF. Ainsi, plus la part de la structure réseau de la HSQ est importante, plus elle s'apparente à un oxyde thermique et plus elle résiste à l'attaque HF.

On peut noter un dernier point important souligné par cette étude. La vitesse de gravure de la HSQ densifiée par plasma (290W, 20 min) évolue de manière parabolique. Cela traduit le fait que la densification se fait majoritairement en surface du film de la HSQ. Ainsi les premières couches de diélectrique sont gravées moins rapidement par le HF que celles qui se trouvent plus en profondeur. Au contraire, la courbe de la vitesse d'attaque de la HSQ recuite à 700°C est presque linéaire. Cela signifie que les transformations physico-chimiques réalisées au cours du recuit se sont faites dans tout le volume du film de HSQ. La vitesse d'attaque de la HSQ par le HF est ainsi la même en surface qu'en profondeur, générant ainsi une meilleure densification pour notre procédé.

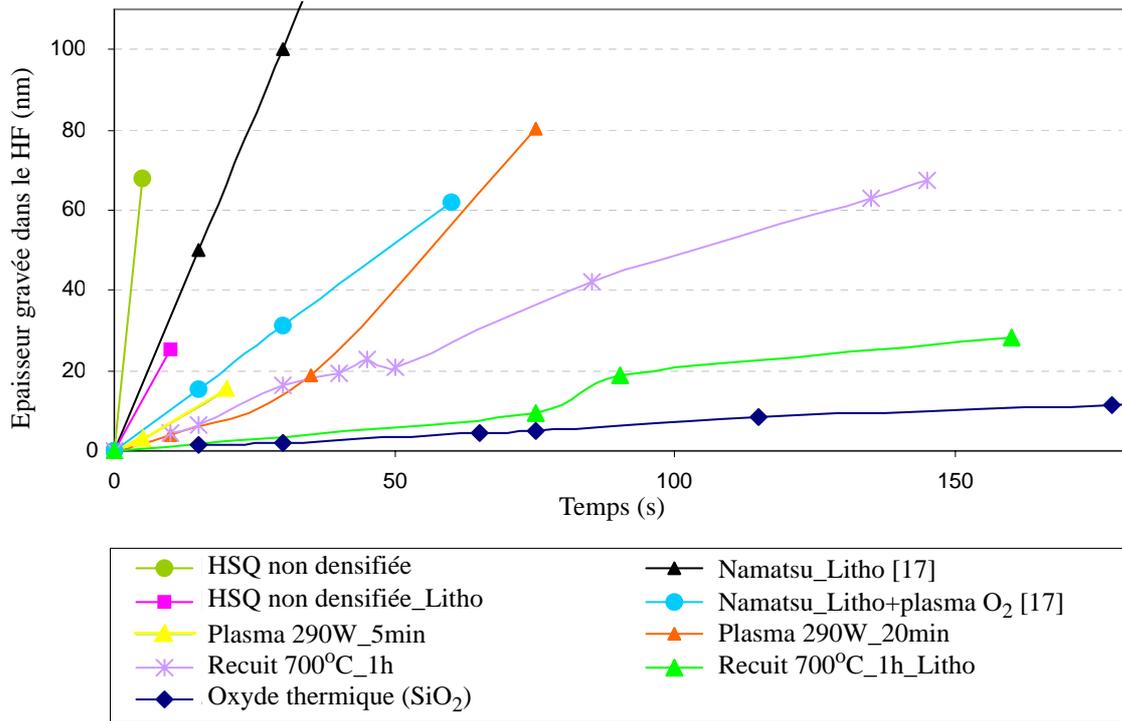


Fig. 4.17: Epaisseur de HSQ gravée en fonction du temps de gravure par le HF 1%, pour différents traitements de densification de la HSQ et pour un oxyde thermique (_Litho signifie que les films de HSQ ont été au préalable insolés par lithographie électronique).

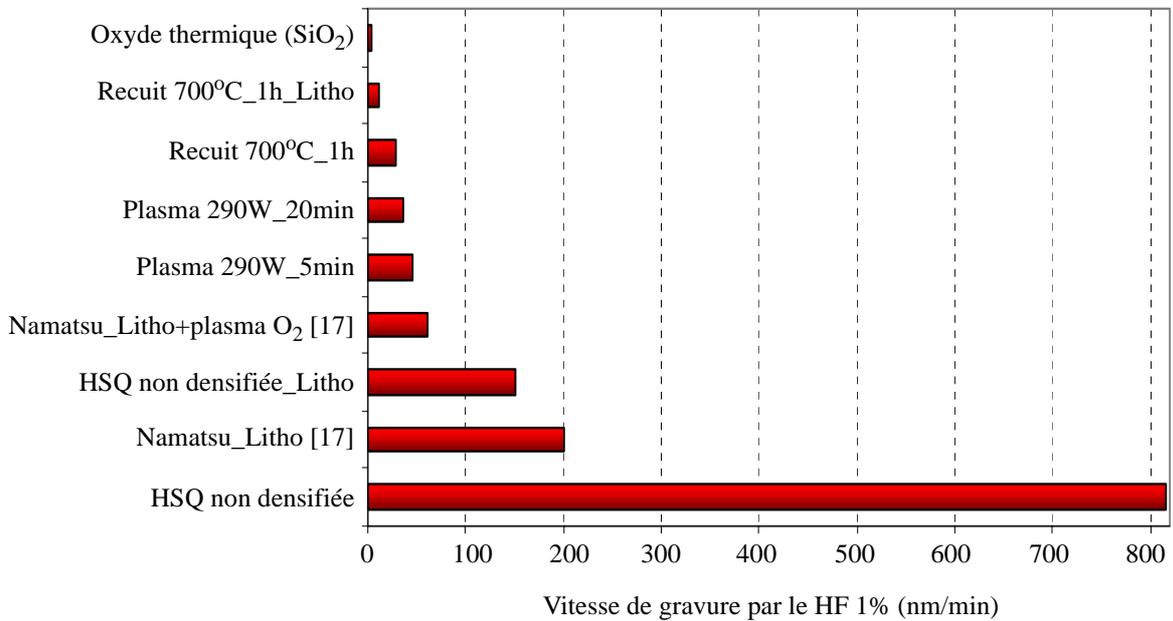


Fig. 4.18: Vitesse de gravure de la HSQ par le HF 1%, pour différents traitements de densification de la HSQ et pour un oxyde thermique (_Litho signifie que les films de HSQ ont été au préalable insolés par lithographie électronique).

II-5 Conclusion.

Une étude approfondie des mécanismes de transformations physico-chimiques de la matrice isolante de HSQ a été réalisée par spectroscopie Infra-Rouge à Transformée de Fourier dans le but d'améliorer sa résistance vis-à-vis de la gravure humide par l'acide fluorhydrique. Il a été montré que les cassures de certaines liaisons chimiques (Si-OH), provoquées par des plasmas oxygénés ou des recuits haute température dans des fours tubulaires, transformaient la structure cage de la HSQ en une structure réseau beaucoup plus dense. Les degrés de densification optimum ont été obtenus en utilisant un plasma oxygéné à forte puissance (290W) pendant un temps d'exposition important (20 minutes) ou un recuit sous ambiance azoté à 700°C pendant une heure.

Néanmoins ces travaux ont montré que pour un même degré de densification R, la diminution d'épaisseur de HSQ provoquée par les traitements étaient moins importante pour un recuit haute température (16,7%) que pour un plasma à forte puissance et temps d'exposition élevé (29%).

De plus, l'analyse des vitesses d'attaque à l'acide fluorhydrique a démontré qu'un plasma oxygéné densifiait uniquement les premières couches atomiques du diélectrique alors qu'un recuit thermique transformait le film de HSQ dans toute sa profondeur. C'est pourquoi le choix du traitement s'est orienté vers une densification par recuit 700°C dans un four tubulaire, sous ambiance azotée et pendant une heure. La vitesse de gravure, par le HF 1%, de la HSQ ainsi densifiée, a été diminué d'un facteur 32.

III- Conclusion.

Ce chapitre a proposé et validé un procédé simple, d'isolation diélectrique des ailettes de silicium par dépôt à la tournette d'un oxyde fluable (HSQ), permettant d'obtenir une topologie de surface parfaitement planarisée. L'étude menée a mis en évidence la possibilité de recouvrir intégralement les ailettes et de planariser la structure par simple dépôt par tournette, en s'affranchissant des étapes de gravure ou de polissage. Le choix de la HSQ comme matériau isolant est motivé par ses propriétés diélectriques de low- κ et ses remarquables propriétés de fluage. Les travaux ont permis de calibrer les conditions de dépôts optimales pour le recouvrement totale (100 nm de HSQ) des ailettes (50 nm de hauteur): une vitesse de 1000 rpm et une accélération de 5000 rpm/s pendant 60 s, suivi d'un recuit sur plaque à 90°C pendant 5 minu-

tes. Les analyses MEB et à l'AFM ont mesuré une rugosité de surface très faible, de seulement 3 à 4 nm pour 100 nm de HSQ déposée.

Parallèlement à ce travail, une étude a été réalisée sur la densification de la HSQ dans le but de la densifier afin d'améliorer sa résistance à la gravure chimique au HF. Deux types de traitement ont été investigués: ceux par plasma oxygéné et ceux par recuit haute température dans un four tubulaire sous ambiance azotée. Pour chaque traitement, des caractérisations FTIR ont détaillé les transformations de la structure cage initiale de la HSQ vers une structure réseau sous l'action de traitements thermiques. Les meilleurs résultats, en terme de densification, ont été obtenus avec un recuit haute température (700°C) dans un four tubulaire, sous ambiance azotée, pendant une heure. De plus, pour un même degré de densification, la perte d'épaisseur est nettement plus faible pour un tel traitement (16%), comparé à une densification par plasma oxygéné (30%). Enfin, la densification par recuit est effective sur toute la profondeur de la couche de HSQ. Au final, la vitesse d'attaque de la HSQ par le HF 1% (24,9 nm/min) a été diminuée d'un facteur 32. Pour comparaison, celle d'un oxyde thermique est de 3,9 nm/min.

BIBLIOGRAPHIE

- [1] H. Namatsu, T. Yamaguchi, M. Nagase, K. Yamazaki, K. Kurihara, "Nano-Patterning of a Silsesquioxane Resist with Reduced Linewidth Fluctuation", *Micro. Eng.*, vol. 41/42, pp. 331-334, 1998.
- [2] M. Peuker, M.H. Lim, H.I. Smith, R. Morton, A.K. van Langen-Suurling, J.Rominj, E.W.J.M. van der Drift, F.C.M.J.M. van Delft, "Hydrogen Silsesquioxane, a high-resolution negative tone e-beam, investigated for its applicability in photon-based lithographies", *Micro. Eng.*, vol. 61-62, pp. 803-809, 2002.
- [3] M.G. Albrecht, C. Blanchette, "Materials issues with thin film Hydrogen Silsesquioxane low- κ dielectric", *Journal Electrochem. Soc.* vol.145, pp. 4019-4025, 1998.
- [4] M. J. Loboda, C. M. Grove, and R. F. Schneider, "Properties of a-SiO_x:H Thin Films Deposited from Hydrogen Silsesquioxane Resins", *Journal Electrochem. Soc.*, vol.145, pp. 2861-2866, 1998.
- [5] S-P Jeng, K. Taylor, T. Seha, M-C Chang, J. Fattaruso, R.H. Havemann, "Highly porous interlayer dielectric for interconnect capacitance reduction", *Symposium on VLSI Technology, Digest of Technical Papers*, pp. 61-62, 1995.
- [6] C. Maddalon, K. Barla, E. Lous, E. Perrin, S. Lis, C. Lair, E. Dehan, "Planarization properties of hydrogen silsesquioxane (HSQ) influence on CMP", *Microelectronic Engineering*, vol. 171, pp. 33-40, 2000.
- [7] R.N. Wall, M.C. Olewine, R. Augur, J. DiGregorio, G. Colovos, "A new four level metal interconnect Tailored on an advanced 0,5 μ m BiCMOS technology", *IEEE*, vol. 11, n^o4, pp. 624-635, 1998.
- [8] K. Barla, "Integration of HSQ as IMD in a five metal level, sub quarter micron technology using both w plugs and hot aluminium metallizations", *VMIC/98*, Santa Clara, CA, pp. 25-30, 1998.
- [9] Hideo Namatsu, Yasuo Takahashi, Kenji Yamazaki, Toru Yamaguchi, Masao Nagase, Kenji Kurihara, "Three-dimensional siloxane resist for the formation of nano-patterns with minimum linewidth fluctuations", *Journal of Vacuum Sciences Technology*, vol. 16, n^o1, pp. 69-76, 1998.
- [10] S. Henon, J. Meunier, "Microscope at the Brewster angle: direct observation of first-order phase transitions in monolayers", *Review of Scientific Instruments*, vol. 62, n^o4, pp. 936-939, 1991.
- [11] H.J. Lee, E.K. Lin, W.L Wu, B.M. Fanconi, J.K. Lan, Y.L. Cheng, H.C. Liou, Y.L. Wang, M.S. Feng, C.G. Chao, "X-Ray reflectometry and FTIR measurements of N₂ plasma effects on the density profile of hydrogen silsesquioxane thin films", *Journal of the Electrochemical Society*, vol. 148, n^o10, pp. 195-199, 2001.

- [12] P.T. Liu, T.C. Chang, S.M. Sze, F.M. Pan, Y.J. Mei, W.F. Wu, M.S. Tsai, B.T. Dai, C.Y. Chang, F.Y. Shih, H.D. Huang, "The effects of plasma treatment for low dielectric constant hydrogen silsesquioxane", *Thin Solid Films*, vol. 332, pp. 345-350, 1998.
- [13] H.-Ch. Liou, J. Pretzer, "Effect of temperature on the mechanical properties of hydrogen silsesquioxane thin films", *Thin Solid Films*, vol. 335, pp. 186-191, 1998.
- [14] C.C. Yang, W.-C. Chen, "The structures and properties of hydrogen silsequioxane (HSQ) films produced by thermal curing", *Jour. of Materials Chemistry*, vol. 12, pp. 1138-1141, 2002.
- [15] Y.K. Siew, G. Sarkar, X. Hu, J. Hui, A. See, C.T. Chua, "Thermal curing of hydrogen silsesquioxane", *Jour. of the Electroch. Soc.*, vol. 147, n^o1, pp. 335-339, 2000.
- [16] H.J. Lee, J.H. Choi, B.K. Hwang, J.S. Goo, K. Fujihara, U.I. Chung, K.H. Kim, S.I. Lee, M.Y. Lee, "Application of HSQ (Hydrogen Silsesquioxane) based SOG to pre-metal dielectric planarization in STC (Stacked Capacitor) DRAM", *Symposium on VLSI Technol. Digest of Technic. Papers*, pp. 112-113, 1996.
- [17] H. Namatsu, Y. Takahashi, K. Yamazaki, T. Yamaguchi, M. Nagase, K. Kurihara, "Three-dimensional siloxane resist for the formation of nanopatterns with minimum linewidth fluctuations", *Journal of Vacuum Science & Technology B*, vol. 16, n^o1, pp. 69-76, 1998.

Chapitre 5:

Architecture de grille Damascène: technologie et intégration.

L'une des originalités du procédé de fabrication présenté dans le chapitre 2 réside dans l'architecture de grille du transistor. Le dépôt du métal de grille à travers une ouverture de type Damascène permet son auto-alignement par rapport aux régions de source/drain et supprime les problèmes liés à la gravure de la grille.

Au préalable, cette approche nécessite l'optimisation du procédé de lithographie électronique définissant l'ouverture dans la résine PMMA. La taille de l'ouverture représente une dimension critique car elle est associée à la longueur de grille. Dans ce chapitre, les différentes étapes de formation de l'électrode de grille ont été testées séparément sur des structures tests simplifiées.

La première partie présente l'étude sur l'ingénierie de dose qui a abouti à la réalisation d'ouvertures de quelques dizaines de nanomètres dans la résine. D'autre part, le transfert du motif de résine dans le masque dur de nitrure a été effectué par gravure RIE avec une chimie de plasma composée d'hexafluorure de soufre (SF_6) et d'argon (Ar).

La deuxième partie s'intéresse à l'étape critique de gravure de la cavité Damascène de HSQ. Toute la difficulté réside dans l'obtention d'une gravure fortement anisotropique mais également très sélective entre la HSQ et le silicium afin de ne pas détériorer les ailettes constituant le canal actif. Différentes chimies de plasma ont été testées. Les meilleurs résultats sont obtenus avec une chimie basée sur un mélange de $CHF_3/CF_4/Ar$. Ce plasma permet d'obtenir une bonne anisotropie et une haute sélectivité de gravure entre la HSQ et le silicium.

Enfin, la dernière partie décrit les procédés de dépôt et de planarisation du matériau de grille (tungstène). L'utilisation d'une pulvérisation cathodique combinée à une planarisation par CMP permet de parfaitement remplir la cavité Damascène et d'obtenir une très bonne planéité de la structure.

I- Définition de l'ouverture Damascène par lithographie électronique.

I-1 Introduction.

Une des étapes technologiques essentielle dans la fabrication du transistor réside dans la parfaite définition de l'ouverture de type Damascène par lithographie électronique. Cette section rappelle rapidement dans un premier temps, les conditions expérimentales. Puis, les différents résultats obtenus au cours de cette étude sont ensuite présentés.

I-2 Expérimentations.

Une couche de 50 nm de nitrure (Fig. 5.1.a) est préalablement déposée par PECVD sur un substrat SOI et servira de masque dur dans la suite du procédé (cf. paragraphe V-4). Un dépôt de 135 nm de résine positive électrosensible (PMMA 950K, 4%) est ensuite réalisé par tournette dans les conditions suivantes: $v=3500$ rpm, $a=1000$ rpm/s, $t=12$ s, recuit four 170°C pendant 30 min Fig. 5.1.b.

Une étude sur l'ingénierie de dose a été menée. Elle a consisté à faire varier la dose électronique de 250 à $330 \mu\text{C}/\text{cm}^2$ avec un pas de $10 \mu\text{C}/\text{cm}^2$. Le dessin de masque propose de nombreuses dimensions d'ouverture, variant de 10 nm jusqu'à $10 \mu\text{m}$. De plus, une correction des effets de proximité permet également d'insoler chaque ligne avec une dose distincte: dose faible pour les grandes ouvertures, et dose plus élevée pour les petites ouvertures (cf. Annexe 1).

La résine est ensuite développée dans un mélange (MIBK/IPA:1/2) pendant 60 s, puis rincée dans l'IPA pendant 30 s.

Enfin, le transfert des motifs de PMMA dans le masque dur de nitrure est réalisé par gravure plasma RIE de type SF_6/Ar définie par l'approche de Larrieu [1].

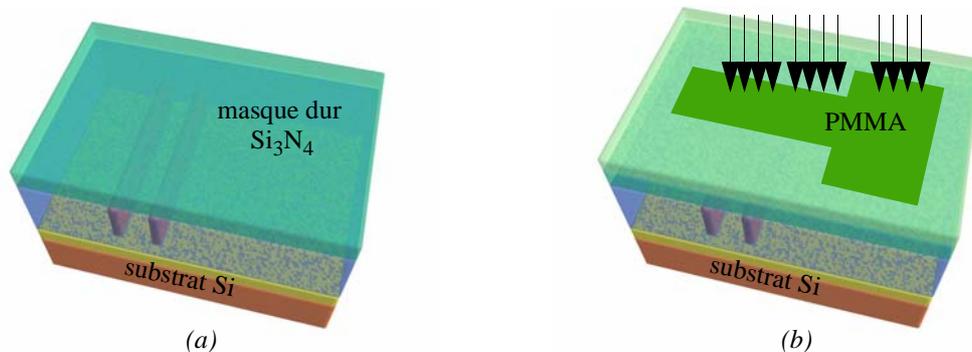


Fig. 5.1: (a) Dépôt du masque dur par PECVD (b) Insolation et développement de la résine positive (PMMA) définissant l'ouverture Damascène.

I-3 Résultats expérimentaux.

La PMMA est une résine extrêmement sensible rendant son observation au MEB extrêmement critique. Ainsi, afin de s'affranchir de ce phénomène et donc d'éviter toute déformation de la résine, l'analyse au MEB a été réalisée sur les ouvertures de PMMA après gravure RIE du nitrure. Les caractérisations MEB sont présentées sur la Fig. 5.2. On peut distinguer plusieurs résultats intéressants:

Les Fig. 5.2.a et b mettent en évidence des résidus de gravure liés à un dosage mal adapté. Le travail sur l'ingénierie de dose a permis d'optimiser l'insolation. Ainsi, les Fig. 5.2.c à f montrent des ouvertures parfaitement définies dans lesquelles il ne reste plus de résine résiduelle.

De plus, l'obtention d'angles d'anisotropie (α) de l'ordre de $5,7^\circ$ traduit un très bon transfert des motifs de résine sur le masque dur.

Au final, ces travaux ont permis de définir des ouvertures de quelques 30 à 40 nm de large. La dose optimale requise pour des largeurs de lignes inférieures à 100 nm est très proche de $1000 \mu\text{C}/\text{cm}^2$ ($975\mu\text{C}/\text{cm}^2$).

I-4 Conclusion.

Cette première partie a étudié l'impact de la dose d'écriture électronique sur la définition des ouvertures nanométriques. Une résine électrosensible positive (PMMA 950K, 4%) a été utilisée. Une gravure sèche RIE standard a transféré les motifs de résine dans le nitrure. Les caractérisations MEB ont ainsi permis de définir la dose optimale ($975\mu\text{C}/\text{cm}^2$) pour la définition des ouvertures étroites inférieures à 100 nm.

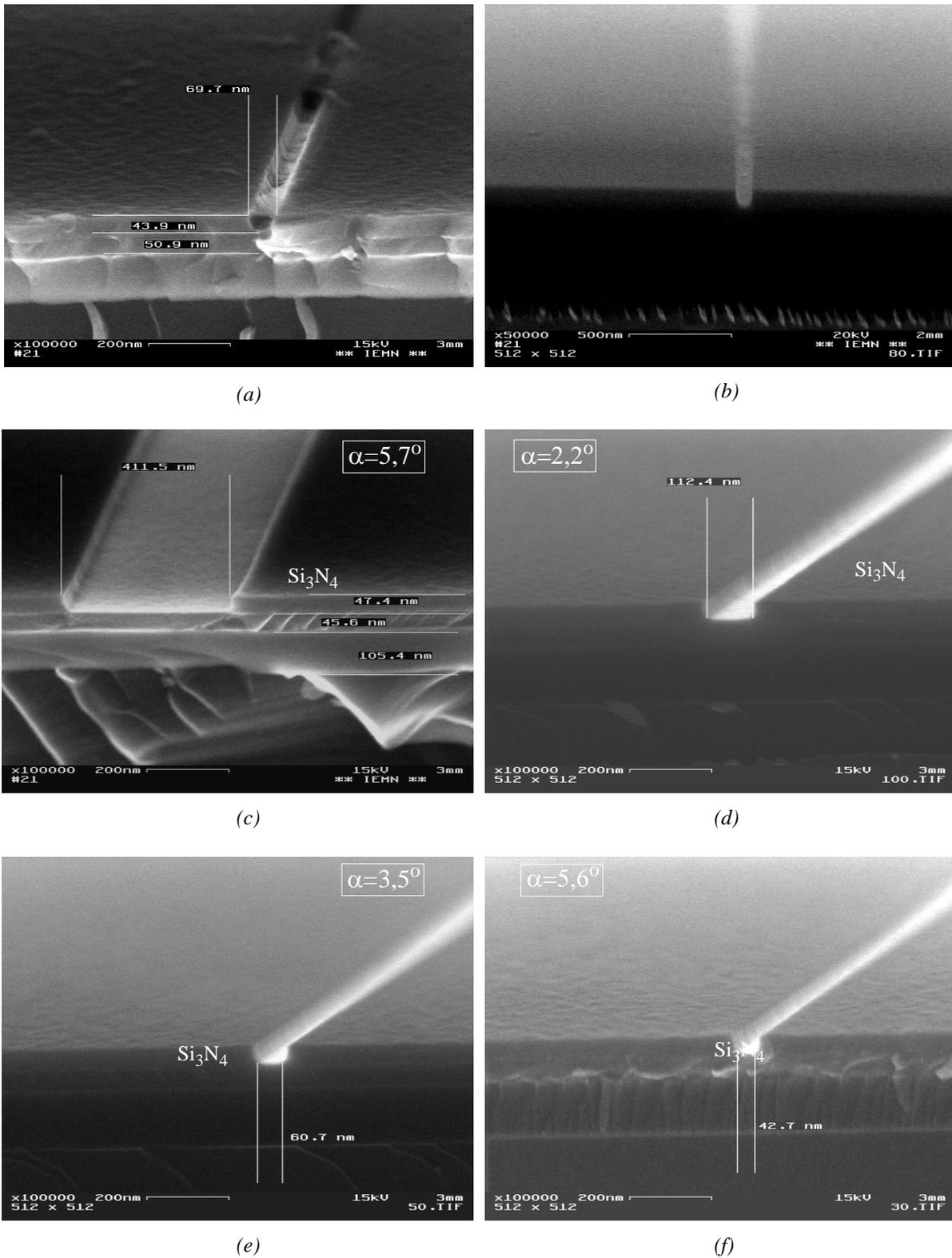


Fig. 5.2: Photos MEB des ouvertures de PMMA de différentes tailles après gravure RIE du masque dur de nitrure: (a) 70 nm dessiné à $888 \mu\text{C}/\text{cm}^2$ (b) 80 nm dessiné à $757 \mu\text{C}/\text{cm}^2$ (c) 400 nm dessiné à $280 \mu\text{C}/\text{cm}^2$ (d) 110 nm dessiné à $652 \mu\text{C}/\text{cm}^2$ (e) 60 nm dessiné à $1001 \mu\text{C}/\text{cm}^2$ (f) 40 nm dessiné à $1088 \mu\text{C}/\text{cm}^2$

II- Gravure RIE de la cavité Damascène.

II-1 Introduction.

L'étape suivante du procédé technologique consiste à graver la matrice isolante de HSQ de manière anisotropique afin de garantir la verticalité des flancs ainsi qu'une longueur de grille constante. D'autre part, la sélectivité de gravure ($S_{\text{HSQ/Si}}$) entre la HSQ et le silicium doit être suffisamment importante afin de ne pas dégrader les ailettes de silicium qui constituent le canal du transistor. En résumé, le challenge est donc double: obtenir des angles d'anisotropie de gravure les plus faibles possibles ($\alpha < 5^\circ$) et une excellente sélectivité ($S_{\text{HSQ/Si}} > 10$). Cette partie présente tout d'abord le mode opératoire puis les différents essais de gravure réalisés sur des cellules tests.

II-2 Expérimentations.

Pour rappel, la HSQ qui doit être gravée a été densifiée dans une étape précédente (cf. chapitre 4, paragraphe II-4). De plus, il a été démontré que la structure chimique de la matrice de HSQ densifiée se rapprochait très fortement de celle d'un oxyde de type SiO_2 . Pour la suite de l'étude, on considérera la HSQ comme un oxyde thermique afin d'expliquer de manière plus aisée les mécanismes de la gravure RIE.

La littérature propose différentes alternatives pour la gravure plasma sélective entre le SiO_2 et le silicium: des mélanges de $\text{C}_2\text{F}_6/\text{CH}_4$ [2], de CHF_3 [3-4], ou bien de CF_4/H_2 [5-6]. L'efficacité de ces chimies, en terme d'anisotropie et de sélectivité, a été évaluée en faisant varier les divers paramètres propres à la gravure RIE (proportion des gaz, puissance, pression, débit...). L'ensemble des travaux effectués sont rassemblés dans la Table 5.1.

L'étude de la sélectivité de gravure a été menée sur une couche de HSQ déposée par tournette sur un substrat de SOI, et densifiée par recuit thermique haute température (selon le procédé défini dans le chapitre 4, paragraphe II-4.3). Les vitesses d'attaque de la HSQ et du silicium ont été déterminées en utilisant les profils d'interférométrie laser (cf. chapitre 3, paragraphe II-6.10). La Fig. 5.3 présente l'allure typique d'un profil d'interférométrie laser (signal et dérivée) obtenu pour la gravure de la HSQ sur substrat SOI. Les variations de pente des deux courbes permettent de parfaitement identifier les changements de matériaux.

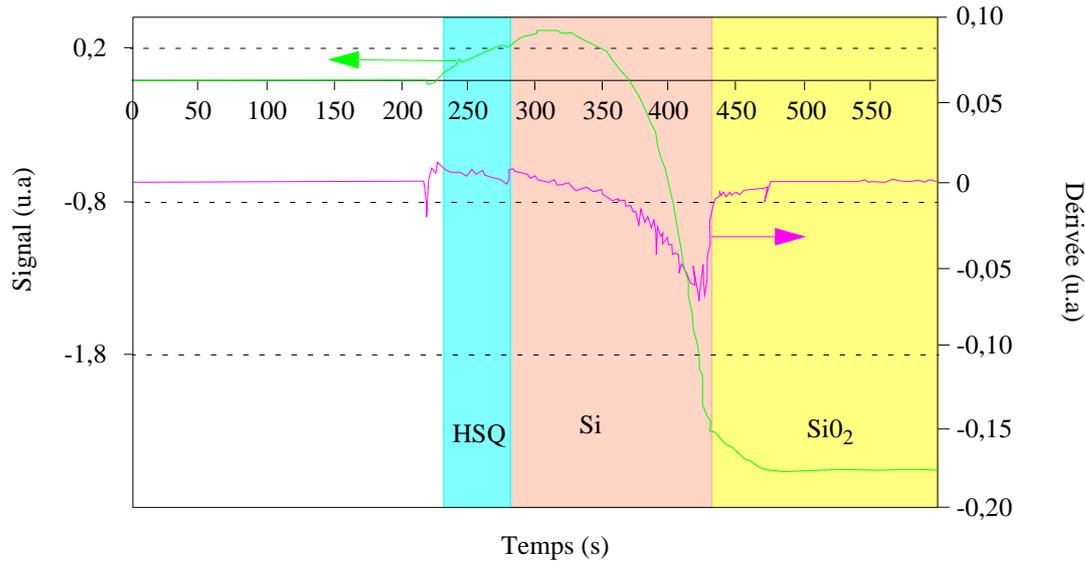


Fig. 5.3: Exemple de profil d'interférométrie laser (vert: signal, rose: dérivée) pour une gravure plasma RIE ($\text{CHF}_3/\text{CF}_4/100 \text{ sccm}/5 \text{ sccm}/200 \text{ W}/20 \text{ mT}$) de la HSQ densifiée sur un substrat SOI.

II-3 Résultats.

Ce paragraphe rassemble les conclusions des essais de gravure réalisés sur des cellules tests. L'impact des différents paramètres (gaz, puissance, pression, débit) sur la sélectivité et l'anisotropie de gravure est investigué.

II-3.1 Chimie CHF_3/Ar .

La première chimie étudiée correspond à un mélange CHF_3/Ar . Réalisée à forte puissance, elle permet d'obtenir une bonne sélectivité (cf. Table 5.1) entre la HSQ densifiée et le silicium ($S > 11$) grâce notamment à l'apport du CHF_3 . En effet, la dissociation de ce gaz génère essentiellement des radicaux libres de type CF_2^* et CF^* , et des ions CF_3^+ , CF_2^+ , F^+ et H_2^+ . Les radicaux C_xF_y^* sont des précurseurs pour la formation d'un polymère de type $(\text{C}_2\text{F}_4)_n$ à la surface de la HSQ et du silicium. Mais les atomes d'oxygène présents à la surface de la HSQ réagissent avec le film de fluorocarbène pour former des composés volatils tels que le CO, le CO_2 et le COF_2 . Au contraire, ce polymère reste sur les flancs du silicium et sert de couche passivante. L'anisotropie est générée par les ions Ar^+ très énergétiques. La Fig. 5.4 présente l'évolution de la sélectivité de gravure entre la HSQ et le silicium en fonction de la pression de l'enceinte. L'augmentation de la pression améliore la sélectivité $S_{\text{HSQ}/\text{Si}}$.

| N° | Gaz (sccm) | | | Mode opératoire | | | Résultats | | |
|----|------------------|----|-----------------|-----------------|---------------|-------------|---------------------------|--------------------------|---------------------|
| | CHF ₃ | Ar | CF ₄ | Pression (mT) | Puissance (W) | DC bias (V) | v _{HSQ} (nm/min) | v _{Si} (nm/min) | S _{HSQ/Si} |
| 1 | 30 | 5 | | 6 | 100 | 438 | 17,6 | 9,06 | 1,9 |
| 2 | 100 | 5 | | 6 | 100 | 393 | 22,9 | 10,2 | 2,2 |
| 3 | 100 | 5 | | 6 | 200 | 654 | 49,4 | 17,4 | 2,8 |
| 4 | 100 | 5 | | 6 | 280 | 789 | 58,5 | 15,3 | 3,8 |
| 5 | 100 | 5 | | 40 | 280 | 520 | 91,2 | 12 | 7,6 |
| 6 | 100 | 5 | | 60 | 280 | 520 | 112,9 | 9,6 | 11,8 |
| 7 | 100 | 5 | | 100 | 280 | 540 | 64,9 | 5,3 | 12,3 |
| 8 | 40 | | 40 | 50 | 125 | 474 | 81,7 | 33,3 | 2,5 |
| 9 | 100 | | 40 | 50 | 125 | 480 | 92,9 | 20,3 | 4,6 |
| 10 | 100 | | 20 | 50 | 125 | 490 | 112,9 | 13,8 | 8,2 |
| 11 | 100 | | 5 | 60 | 125 | 444 | 94,8 | 9,1 | 10,4 |
| 12 | 100 | | 5 | 50 | 200 | 535 | 96,7 | 10,9 | 8,8 |
| 13 | 100 | | 5 | 50 | 250 | 540 | 189,6 | 12,71 | 14,9 |
| 14 | 100 | | 5 | 10 | 200 | 684 | 66,8 | 21,6 | 3,1 |
| 15 | 20 | | 100 | 30 | 200 | 700 | 86,6 | 56,6 | 1,53 |
| 16 | 100 | | 5 | 20 | 200 | 687 | 77,7 | 20,6 | 3,8 |
| 17 | 100 | | 5 | 50 | 125 | 500 | 55,1 | 8,8 | 6,3 |
| 18 | 100 | | 5 | 60 | 125 | 495 | 64,1 | 24,4 | 2,6 |
| 19 | 100 | | 5 | 35 | 200 | 640 | 55,3 | 15,1 | 3,67 |
| 20 | 100 | | 30 | 50 | 125 | 501 | 38,5 | 28,3 | 1,4 |
| 21 | 100 | 5 | 5 | 50 | 200 | 580 | 183,2 | 13,8 | 13,3 |
| 22 | 100 | 5 | 20 | 50 | 200 | 525 | 225,7 | 24,6 | 9,2 |
| 23 | 100 | 20 | 20 | 50 | 200 | 570 | 86,2 | 25,2 | 3,4 |

Table 5.1: Récapitulatif des chimies de plasma utilisées pour tester la sélectivité de gravure entre la HSQ densifiée par plasma oxygéné et le silicium.

Les photos MEB associées à ces expériences (Fig. 5.6) présentent les différents profils de gravure vus en coupe et permettent d'extraire le paramètre α traduisant l'anisotropie de la gravure. Il convient donc de trouver un compromis afin d'obtenir la meilleure sélectivité S tout en conservant des profils de gravure verticaux. Pour ce mélange, une pression de 40 mT (Fig. 5.6.c.d) semble correspondre à la limite maximale à ne pas dépasser pour ne pas graver de manière isotropique ($\alpha=4,3^\circ$ et $5,7^\circ$) et pour conserver une sélectivité acceptable ($S=8$).

Une légère augmentation de la pression (pression=60 mT) permet d'améliorer de manière significative la sélectivité ($S=12$) (Fig. 5.5). Cependant, l'anisotropie de gravure est nettement détériorée ($\alpha=19,3^\circ$ et $22,4^\circ$) pour des pressions plus importantes.

Néanmoins, il convient de noter que l'ensemble des essais ont été réalisés à puissance élevée (280 W) afin d'obtenir une sélectivité acceptable entre la HSQ et le silicium. Or, de telles puissances risquent de fortement dégrader la rugosité des ailettes de silicium.

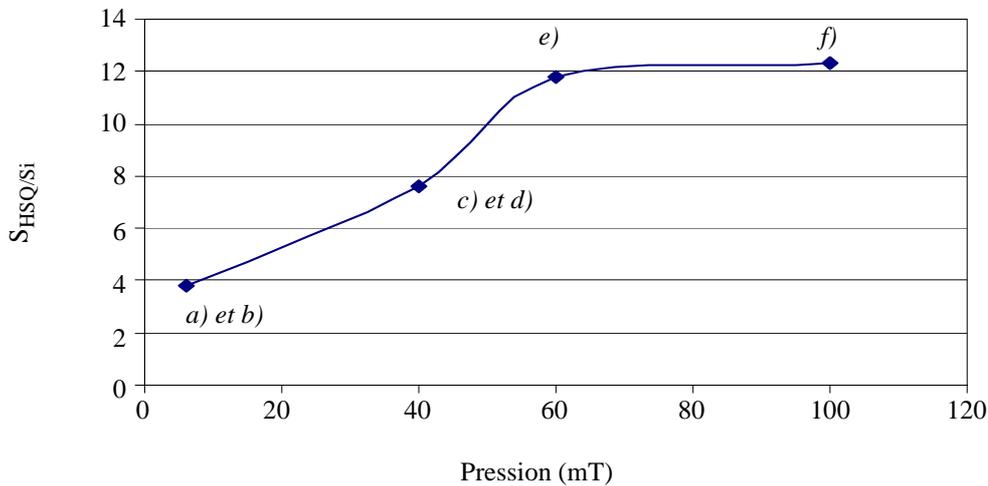


Fig. 5.4: Evolution de la sélectivité de gravure entre la HSQ densifiée par plasma oxygéné, et le silicium, en fonction de la pression, pour une gravure RIE de type CHF_3 (100 sccm)/ Ar (5 sccm)/ 280 W. Les images MEB associées (a-f) sont répertoriées Fig. 5.6.

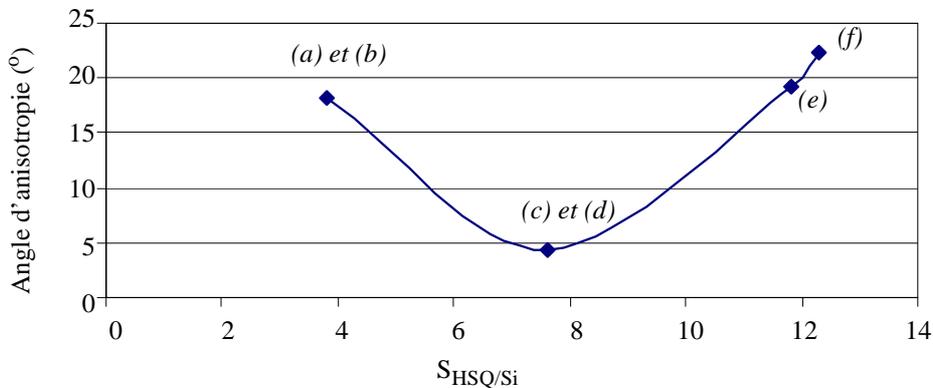


Fig. 5.5: Evolution de l'angle d'anisotropie de gravure (α) en fonction de la sélectivité de gravure entre la HSQ densifiée par plasma oxygéné, et le silicium, pour une gravure RIE de type CHF_3 (100 sccm)/ Ar (5 sccm)/ 280 W, pour différentes pressions: (a-b) 6 mT (c-d) 40 mT (e) 60 mT (f) 100 mT.

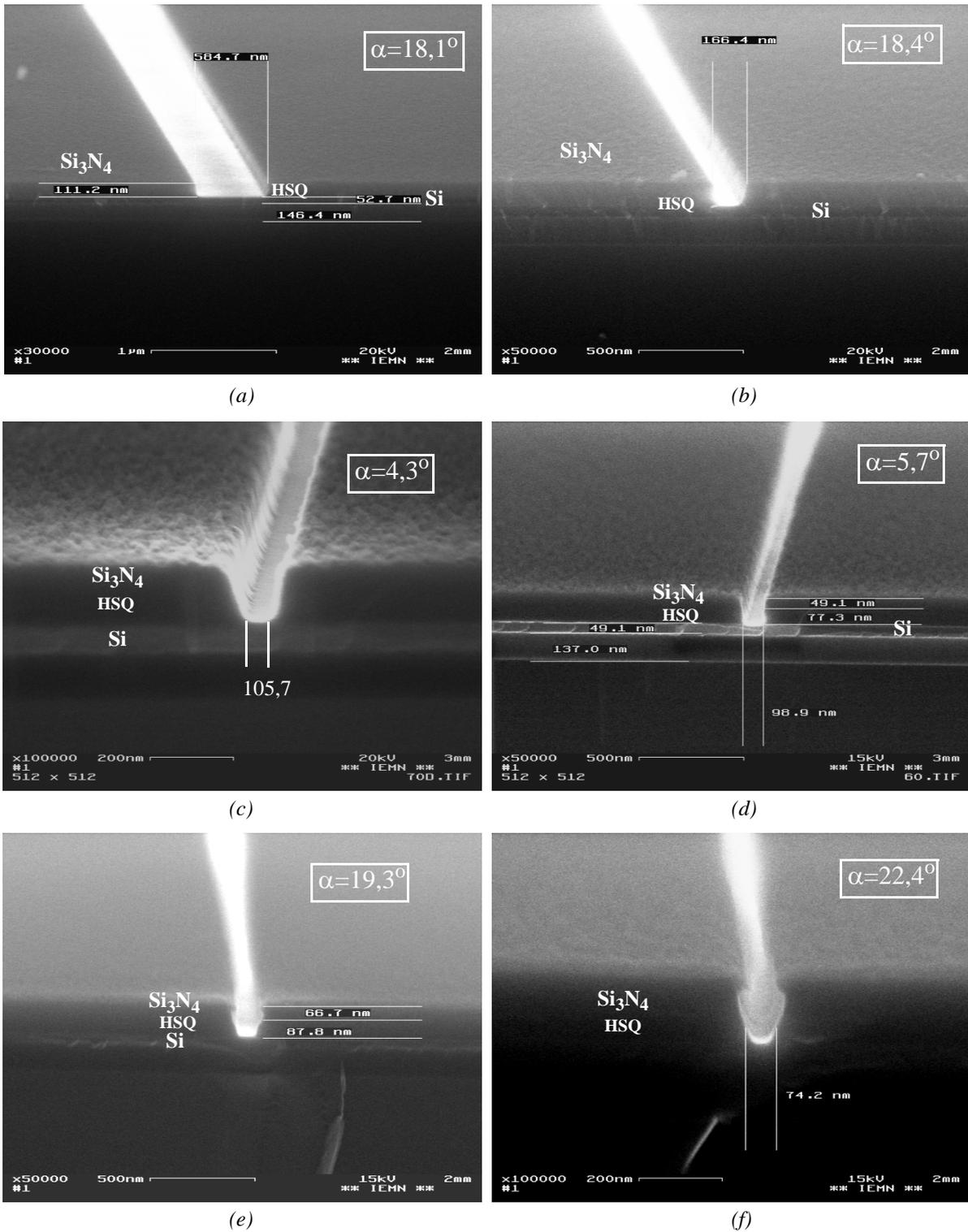


Fig. 5.6: Sections de coupe MEB d'ouvertures Damascène dans la HSQ réalisées par une gravure plasma RIE de type CHF_3 (100 sccm)/ Ar (5 sccm)/ 280 W: (a) et (b) Pression de 5 mT (c) et (d) Pression de 40 mT (e) Pression de 60 mT (f) Pression de 100 mT

II-3.2 Chimie CHF₃/CF₄.

Le deuxième type de chimie étudiée consiste en un mélange de CHF₃ et de CF₄. L'objectif est d'améliorer la sélectivité S_{HSQ/Si} en augmentant la part de la composante chimique de la gravure en remplaçant l'argon par le CF₄. En effet, le CF₄ se dissocie en CF_x, composant qui favorise de manière importante les phénomènes de passivation.

Dans l'enceinte, la dissociation et les réactions entre les deux gaz génèrent un grand nombre d'espèces différentes: CF₄, CF₃, CF₂, CF, CHF₃, F, H, HF. La vitesse d'attaque de la HSQ dépend principalement de la concentration en CF₂ et CF₃. En effet comme pour la chimie précédente (II-3.1), les atomes d'oxygène de la HSQ réagissent avec la couche de fluorocarbone pour former des composés volatils de type CO ou CO₂



La gravure du silicium est principalement contrôlée par la réaction suivante:



Cela signifie que la vitesse d'attaque du silicium dépend fortement de la concentration en Fluor (F). Pour des conditions bien spécifiques, Rutkuniene *et al.* [7] ont prouvé qu'un film de fluorocarbone (C_xF_y) se formait à la surface du silicium empêchant l'activation de toute autre gravure.

La Fig. 5.7 permet d'évaluer l'influence de la puissance sur la sélectivité. Le fonctionnement à puissance élevée (P=250W) augmente la sélectivité de gravure (S=14). Ces conditions expérimentales permettent d'atteindre une sélectivité proche de 15 tout en conservant une bonne anisotropie (Fig. 5.8. c) et d): α= 4,5° et 8,9°).

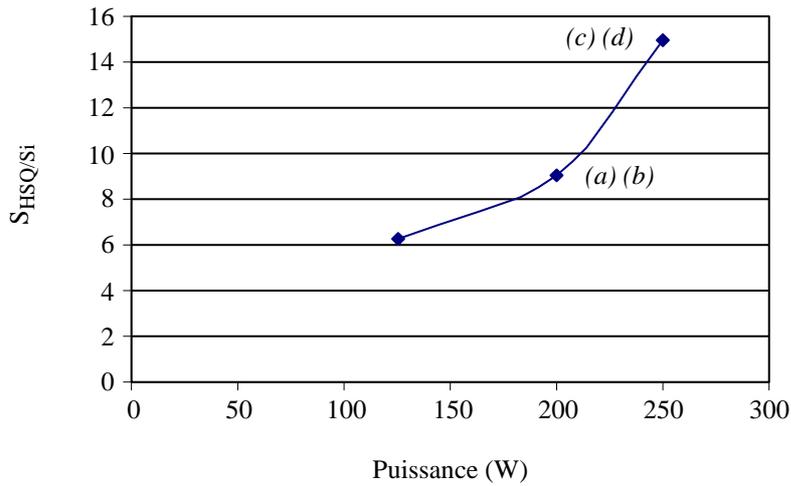


Fig. 5.7: Evolution de la sélectivité de gravure entre la HSQ densifiée par plasma oxygéné, et le silicium en fonction de la puissance, pour une gravure RIE de type CHF_3 (100 sccm)/ CF_4 (5 sccm)/ 50 mT. Les images MEB associées (a-d) sont rassemblées Fig. 5.8.

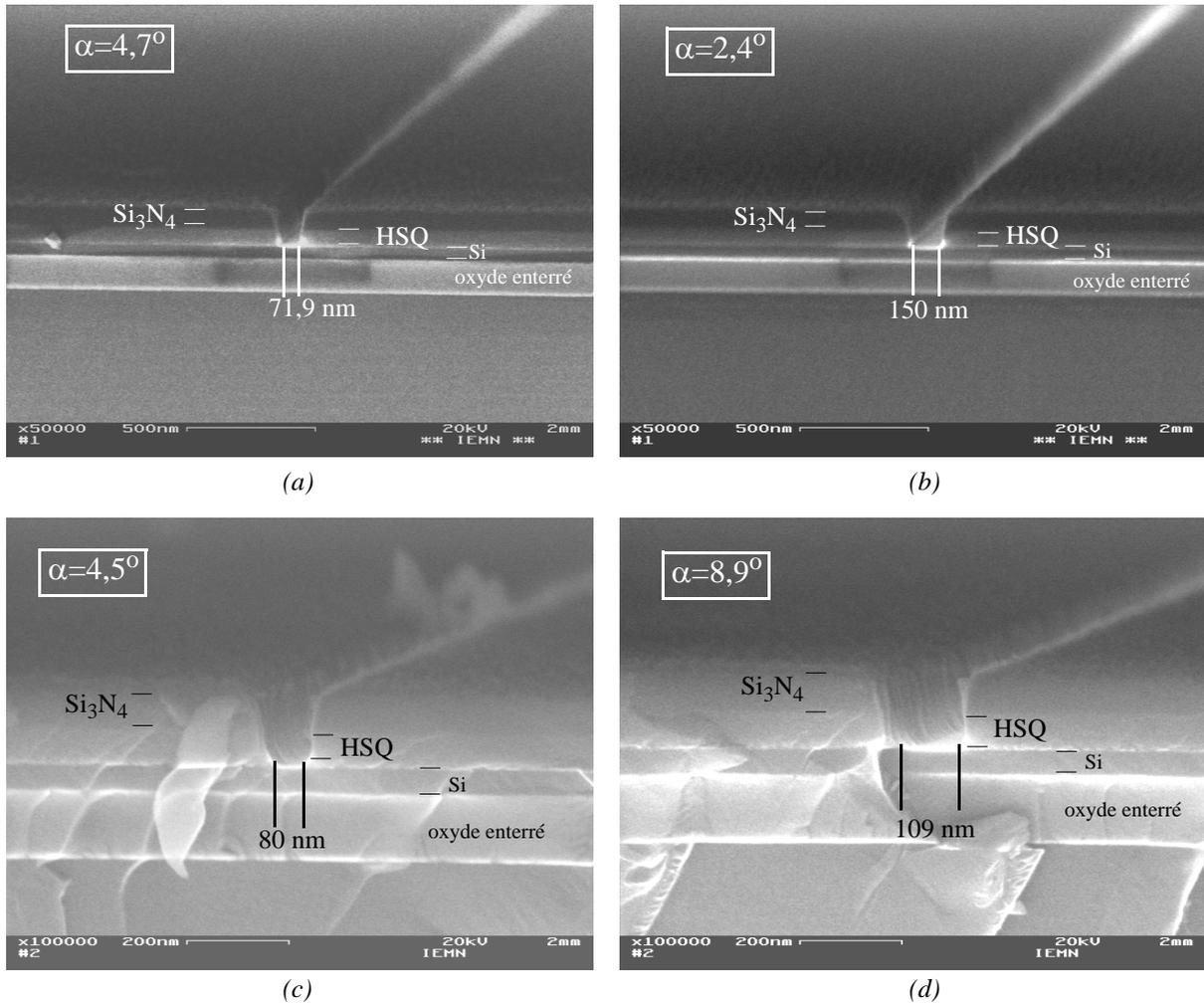


Fig. 5.8: Section de coupe d'ouverture Damascène dans la HSQ réalisée par une chimie plasma de type CHF_3 (100 sccm)/ CF_4 (5 sccm) / 50 mT: (a) et (b) Puissance de 200 W (c) et (d) Puissance de 250 W.

II-3.3 Chimie $\text{CHF}_3/\text{CF}_4/\text{Ar}$.

Un bon compromis consiste à ajouter de l'argon au mélange précédent afin d'améliorer l'anisotropie tout en conservant une sélectivité raisonnable ($S > 10$). Cela permet de travailler à une puissance moins élevée et par conséquent de diminuer le risque de dégradation des ailettes. La recette 21 (cf. Table 5.1) permet ainsi d'atteindre une sélectivité élevée ($S = 13$) combinée à une bonne anisotropie ($\alpha = 4,1^\circ$ et $6,8^\circ$) (cf. Fig. 5.9)

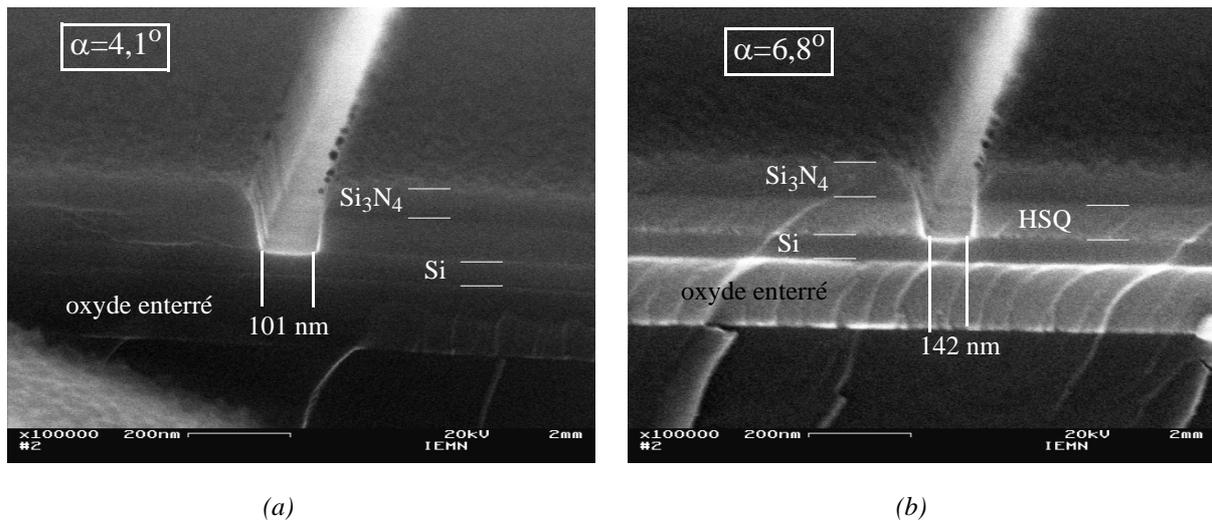


Fig. 5.9: Caractérisations MEB en vue de coupe de gravure de HSQ par une chimie CHF_3 (100 sccm)/ CF_4 (5 sccm)/Ar (5 sccm)/ 200 W: (a) Ouverture de 70 nm (b) Ouverture de 100 nm.

Des essais de gravure ont été réalisés sur des ailettes de silicium, non protégées par la HSQ, avec le même type de chimie (n°21) ($\text{CHF}_3/\text{CF}_4/\text{Ar}$). L'objectif est d'évaluer l'impact de cette gravure sur la rugosité des flancs des ailettes ainsi que sur la gravure de la partie supérieure du silicium. Les résultats sont présentés Fig. 5.10. L'étude montre qu'en 20 s de gravure (temps nécessaire pour graver 50 nm de HSQ avec la recette 21, cf Table 5.1), les ailettes n'ont quasiment pas été gravées. On retrouve en effet les mêmes longueurs et largeurs d'ailettes qu'avant gravure.

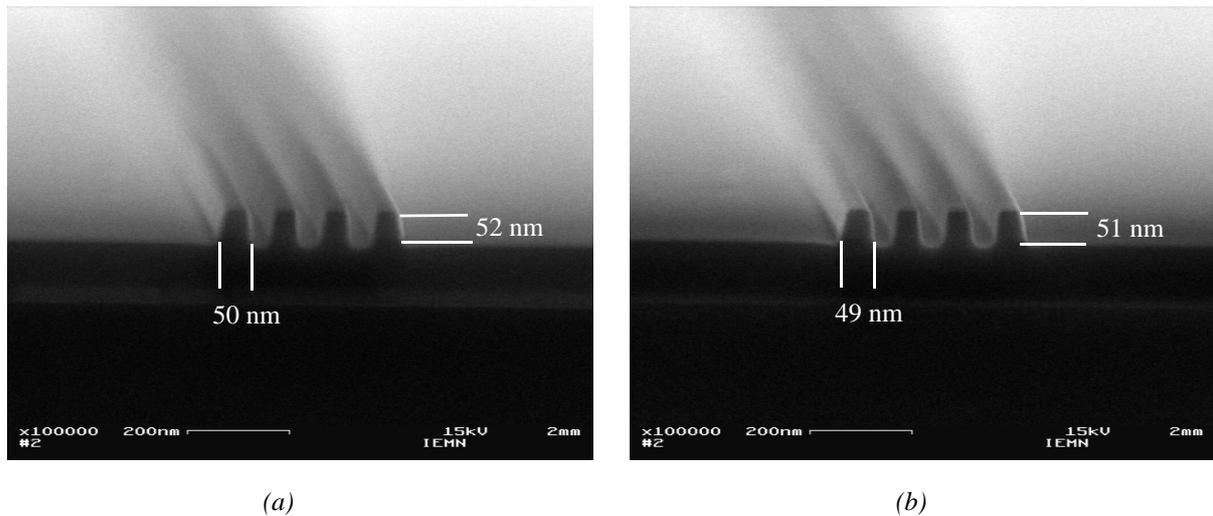


Fig. 5.10: Caractérisations MEB en vue de coupe d'ailettes de silicium: (a) pas d'attaque RIE (b) Plasma RIE de type CHF_3 (100 sccm)/ CF_4 (5 sccm)/Ar (5 sccm)/ 200 W/ 20 s.

II-4 Conclusion.

Cette section a validé l'étape consistant à définir la cavité Damascène par gravure RIE. L'utilisation d'un plasma de type $\text{CHF}_3/\text{CF}_4/\text{Ar}$ a permis de graver la HSQ (grâce au CF^*) tout en protégeant les ailettes de silicium grâce à la formation d'un polymère. Une sélectivité proche de 15 a ainsi été obtenue entre la HSQ densifiée et le silicium. D'autre part, l'ajout d'argon (Ar) a également permis de diminuer la puissance du plasma tout en conservant une bonne anisotropie ($\alpha=5\%$). Enfin, des analyses MEB ont montré que la rugosité des flancs des ailettes n'avait pas été dégradée après avoir subi un tel traitement plasma. Il convient néanmoins de rappeler que cette étude a été réalisée sur des cellules tests qui simplifient la structure du dispositif. Le comportement du plasma lors du procédé technologique intégral ne sera pas rigoureusement identique.

III- Croissance thermique de l'oxyde de grille.

III-1 Introduction.

L'étape de formation du diélectrique de grille requiert la plus grande attention. En effet, la réduction des dimensions des transistors MOS prévue par l'ITRS [8] entraîne la réduction de

l'épaisseur de l'oxyde de grille, de manière à augmenter le couplage capacitif entre la grille et le canal, et à garder ainsi le contrôle de la couche d'inversion. Or, l'épaisseur des oxydes de grille actuels correspond à quelques couches atomiques seulement. Cette diminution d'épaisseur génère de nombreux problèmes:

- des courants de fuite très importants mettant en péril les futures générations 32 nm et en-deçà: pour une longueur de grille de 32 nm, (correspondant à une épaisseur équivalente d'oxyde de 9 Å), la densité de courant de fuite de la grille ne doit pas dépasser $3,1.10^{-2}$ A.cm⁻² (Table 5.2).

- des difficultés pour faire croître un oxyde ultra-fin et uniforme.

Pour pallier ces problèmes, la solution envisagée consiste notamment à remplacer le diélectrique de grille (actuellement le SiO₂, κ~3,9) par un diélectrique de permittivité supérieure appelés, high-κ (Al₂O₃, HfO₂...) [9-10]. Mais cette alternative présente elle aussi d'autres problèmes lors de l'intégration dans la filière classique (stabilité de la phase amorphe, diffusivité de l'oxygène...). Nous avons donc choisi d'utiliser un oxyde classique thermique. Cette partie rappelle tout d'abord le procédé d'oxydation thermique défini par Larrieu [1] qui est utilisé dans ce travail. Puis, les différents résultats sont présentés et analysés.

| Année de production | 2006 | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 |
|---|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| Longueur de grille (nm) | 53 | 45 | 37 | 32 | 28 | 25 | 22 |
| EOT: épaisseur équivalente d'oxyde (Å) | 11 | 11 | 11 | 9 | 7,5 | | 6,5 |
| Maximum de la densité du courant de fuite de la grille (A/cm ²) | $1,9.10^{-2}$ | $2,2.10^{-2}$ | $2,7.10^{-2}$ | $3,1.10^{-2}$ | $3,6.10^{-2}$ | $4,8.10^{-2}$ | $7,3.10^{-2}$ |

Table 5.2: Données issues de l'ITRS 2004, pour les transistors LSP (Low Standby Power) avec une attention particulière portées sur la densité de courant de fuite de grille maximale pour les générations futures [8].

III-2 Mécanisme de croissance de l'oxyde.

L'oxydation de la surface du silicium s'effectue selon la réaction suivante:



La couche de silicium initiale réagit avec l'élément oxydant (O₂) pour former le SiO₂ (Fig. 5.11). L'interface Si/SiO₂ va alors progresser dans le silicium, permettant d'obtenir une interfa-

ce différente de celle d'origine et moins sensible aux défauts de surface (Fig. 5.11). Un calcul basé sur les densités et les masses molaires respectives du Si et du SiO₂ permet de montrer que la fraction d'épaisseur située «au-dessous» de la surface initiale (silicium consommé) représente 44% de l'épaisseur totale de l'oxyde, la fraction «au-dessus» représente donc 56%.

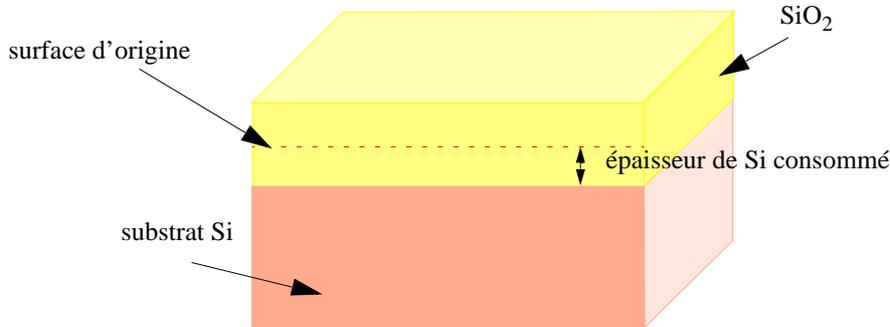


Fig. 5.11: Vue schématique du mécanisme de la croissance d'oxyde thermique

III-3 Expérimentations.

Des premiers essais de croissance thermique d'oxyde de grille ultra fin ont été réalisés dans le but de définir un oxyde de grille parfaitement uniforme tout le long de l'ailette de silicium.

Des ailettes de silicium ont été réalisées grâce au procédé précédemment mis en place (chapters 3). Un nettoyage dans une solution (H₂SO₄:H₂O₂, 1:1) (cf le paragraphe V-2 du chapitre 2), combiné à une désoxydation au HF permet de nettoyer et de désoxyder la surface de silicium à oxyder.

Dans un second temps, une oxydation sacrificielle (gravée au HF) est réalisée en utilisant un procédé d'oxydation thermique sous ambiance sèche d'O₂ à 725°C pendant 25 minutes dans un four classique horizontal. Ce procédé est détaillé en Fig. 5.12. Cet oxyde est gravé dans le HF. Cette étape doit permettre d'améliorer la rugosité des flancs des ailettes de silicium qui ont subi des dégradations lors de la gravure RIE de l'ouverture Damascène. Cette gravure HF doit être extrêmement rapide afin de ne pas graver la matrice isolante de HSQ.

Enfin, un procédé d'oxydation thermique sous ambiance d'oxygène est réalisé afin de faire croître un oxyde de grille ultra-fin. Il peut être décomposé en cinq grandes étapes:

- Une rampe de montée rapide permettant d'atteindre la température d'oxydation souhaitée (725°C) sous ambiances d'O₂ (0,2 l/min) et de N₂ (2l/min) contrôlées. Cette étape de préoxy-

dation est primordiale car elle permet d'améliorer les états d'interface et de générer une première couche d'oxyde de très bonne qualité et parfaitement homogène.

- La deuxième correspond à l'oxydation à proprement dite du silicium. Elle est effectuée sous un flux d'oxygène beaucoup plus important (2l/min O₂), pendant 25 minutes.

- Une rampe descendante sous ambiance inerte (2l/min N₂) ramène ensuite la température du four à 675°C.

- Puis un recuit de stabilisation de 30 min, à température constante (675°C) sous ambiance neutre (N₂) permet d'améliorer le comportement électrique de l'oxyde [1].

- Enfin, une dernière rampe descendante, sous ambiance azotée, ramène la température du four à température ambiante.

Il convient de noter que toutes les oxydations sont réalisées sous pression atmosphérique (P=1 atm).

Enfin, une couche de 40 nm de tungstène est déposée par pulvérisation cathodique afin d'améliorer le contraste des images MET.

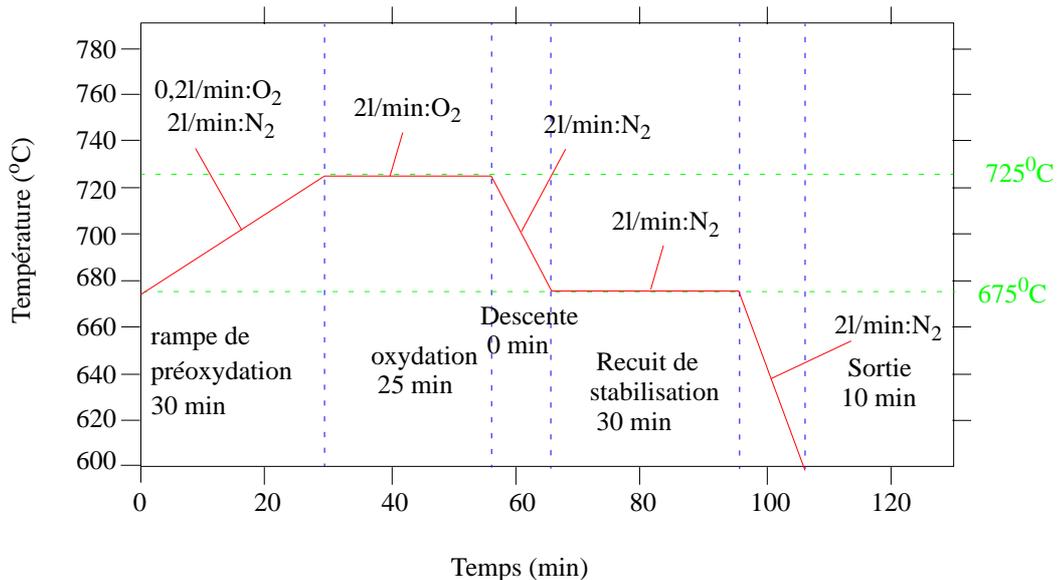


Fig. 5.12: Description du procédé d'oxydation défini par Larrieu [1] comprenant une rampe de montée de préoxydation, le palier d'oxydation, la rampe de descente et le recuit de stabilisation.

III-4 Résultats.

Des caractérisations au microscope électronique à transmission (MET) à très haute résolution ont été réalisées par ST-Microelectronics (Fig. 5.13). Elles permettent de montrer le parfait

recouvrement des ailettes de silicium par l'oxyde thermique. Néanmoins, on distingue une épaisseur plus importante sur les flancs verticaux (5 nm) que sur la surface horizontale (2 nm). Cette différence s'explique par le changement de la vitesse de croissance en fonction du plan cristallin. Il est bien connu que la croissance de l'oxyde est plus rapide sur le plan (110) que sur le plan (100) [11-12]. En effet, la densité d'atomes de silicium est plus importante dans le plan (110) que dans le plan (100) favorisant ainsi une croissance d'oxyde plus importante. Cependant, ce mécanisme ne constituera un véritable problème que pour la réalisation de transistor triple-grille. Des essais de croissance thermique pleine plaque ont été menés sur des substrats silicium (110) afin de calibrer la vitesse de croissance (Fig. 5.14). Ainsi, pour des durées d'oxydation inférieures à 5 minutes, il est possible de définir des oxydes ultra-fins dont l'épaisseur est inférieure à 3 nm.

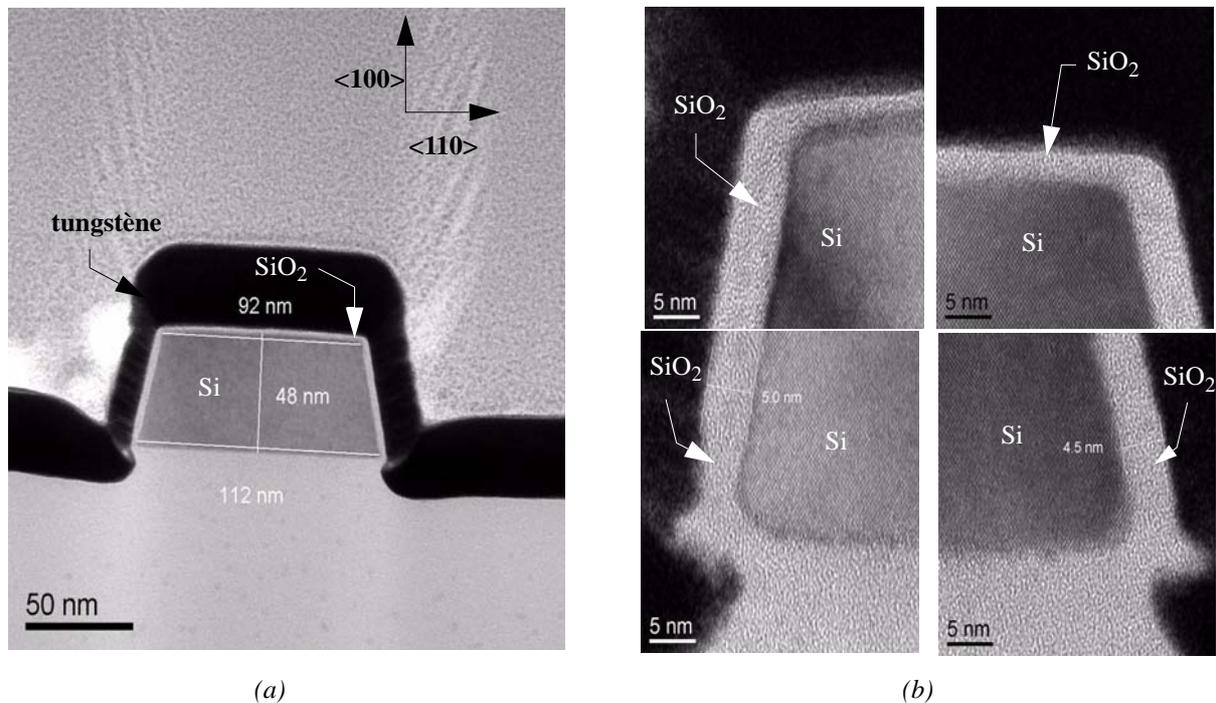


Fig. 5.13: Caractérisations TEM en vue de coupe de la croissance thermique de l'oxyde de grille sur une ailette de silicium: (a) Vue globale (b) Vues à haute résolution.

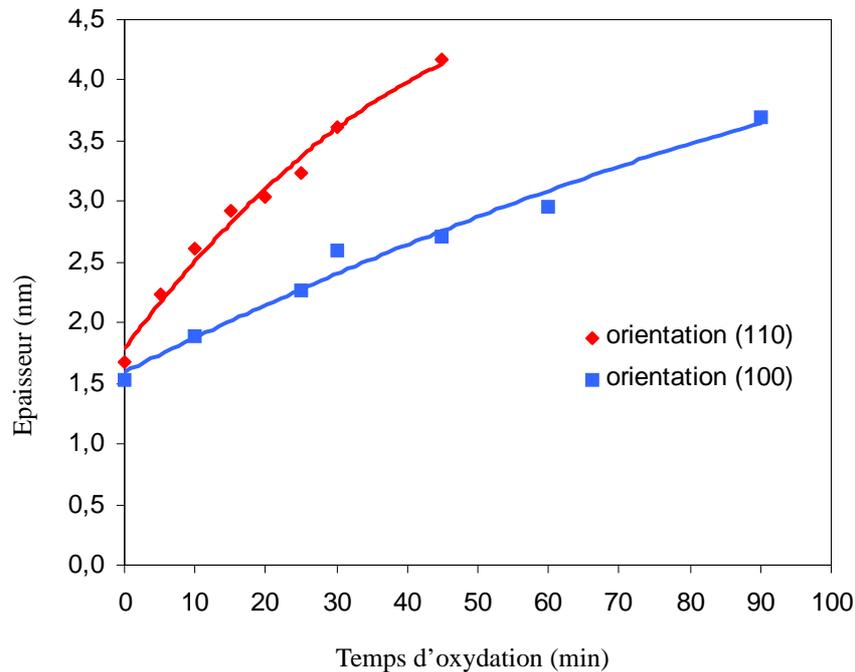


Fig. 5.14: Comparaison des cinétiques de croissance expérimentales de SiO₂ pour des orientations (110) {en rouge} et (100) {en bleu} à 725°C en oxydation sèche O₂.

Enfin, des croissances d'oxyde pleine plaque ont été réalisées à 725°C, sur substrat silicium (110) 3 pouces, en faisant varier la durée d'oxydation. L'objectif de ces expériences est d'évaluer la variation de l'épaisseur d'oxyde par rapport au centre du substrat, selon la position sur le substrat. La Fig. 5.15 présente les résultats obtenus pour différentes durées d'oxydation. La dispersion de l'épaisseur d'oxyde est inférieure à 3% pour l'ensemble des mesures. Ces expériences confirment ainsi la parfaite homogénéité de l'épaisseur d'oxyde formé par le procédé d'oxydation sèche utilisé.

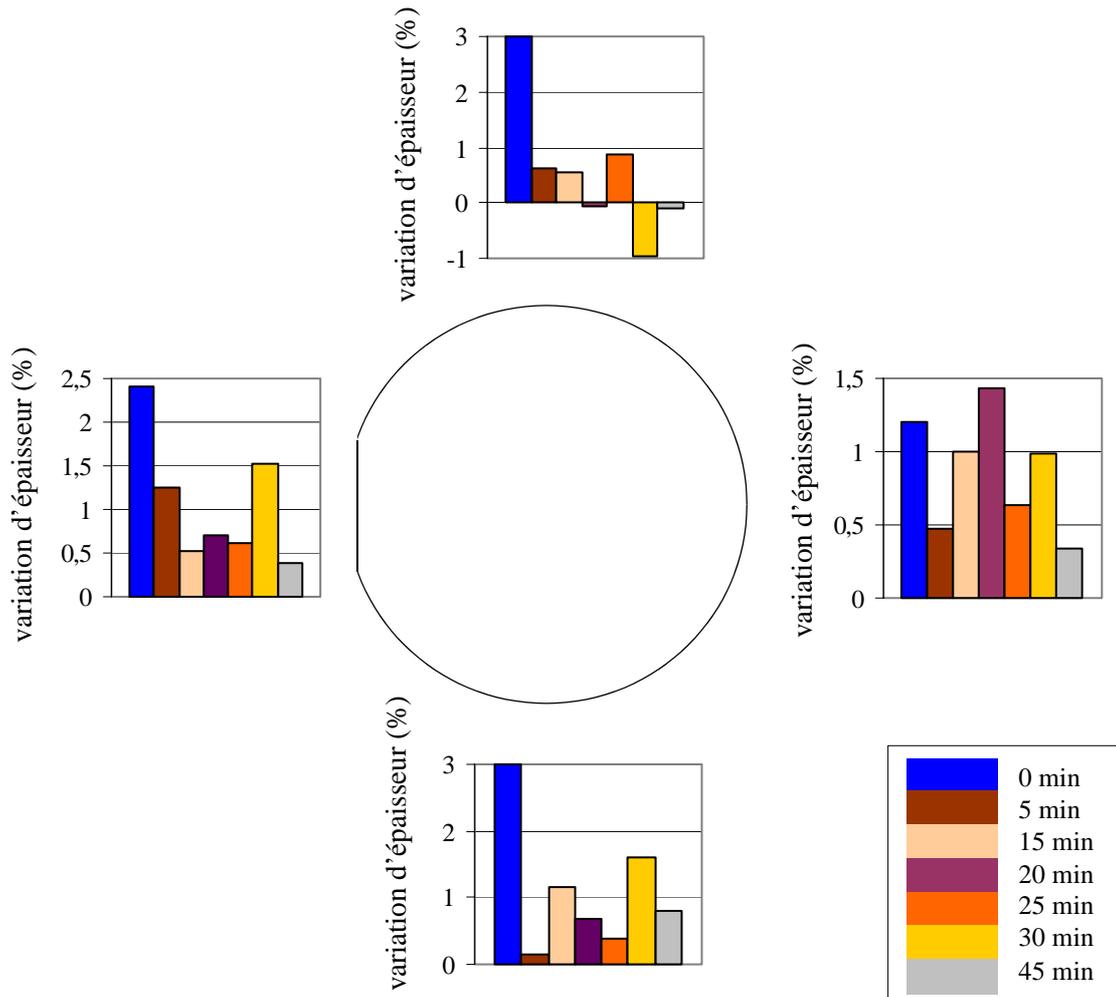


Fig. 5.15: Mesure ellipsométrique de la variation d'épaisseur d'oxyde aux différentes extrémités du substrat silicium (110), pour différents temps d'oxydation (0 min, 5 min, 15 min, 20 min, 25 min, 30 min, 45 min). Le pourcentage est calculé en prenant le centre du substrat comme référence.

III-5 Conclusion.

Un oxyde de grille ultra-fin a été réalisé dans le plan (110) en utilisant le procédé d'oxydation sèche à relativement basse température (725°C) proposé par Larrieu [1]. Il a permis d'obtenir un recouvrement total et homogène des ailettes. De plus, il a été confirmé que la cinétique de croissance de l'oxyde dépendait du plan cristallin dans lequel elle était réalisée. Enfin l'homogénéité de l'oxyde sur l'ensemble de la surface a été validée. Dans le plan (110), une oxydation de 5 minutes à 725°C permet ainsi de définir un oxyde ultra-fin de 2,2 nm.

IV- Dépôt du matériau de grille par pulvérisation cathodique.

IV-1 Introduction.

Après avoir défini l'ouverture Damascène et fait croître l'oxyde de grille, le matériau de grille est déposé. L'utilisation d'un métal mid-gap (le tungstène: W) en tant que matériau de grille a été justifiée précédemment (cf. V-7.1, chapitre 2). D'autre part, le choix du procédé de pulvérisation cathodique (plutôt que l'évaporation) pour le dépôt du matériau de grille (tungstène) est motivé par sa capacité à déposer un matériau de manière conforme ainsi que des épaisseurs relativement importantes (>100 nm).

La première partie de cette section rappelle le principe de fonctionnement de la pulvérisation cathodique. Le second volet de l'étude présente les essais de calibrage du procédé de dépôt et les conclusions auxquelles cette étude a abouti.

IV-2 Principe de fonctionnement de la pulvérisation cathodique.

Les systèmes de pulvérisation cathodique bénéficient d'une très grande popularité en milieu industriel. Ils sont simples à mettre en oeuvre et permettent de déposer n'importe quel matériau solide à température ordinaire, notamment des matériaux difficiles à évaporer. Cette méthode est basée sur le phénomène d'éjection de particules à partir de la surface d'un matériau, lorsque celui-ci est bombardée par un flux de particules énergétiques. Le schéma de principe de la pulvérisation cathodique est présenté sur la Fig. 5.16.

Le matériau à déposer est introduit dans l'enceinte sous vide sous forme d'une cible de quelques millimètres d'épaisseur. La cible est fixée sur une électrode refroidie (la cible ou la cathode) que l'on porte à une tension négative par rapport au plasma (qqes kilovolts). Une deuxième électrode (l'anode) est placée à proximité, elle sert de porte substrat. Lorsque la pression résiduelle dans l'enceinte est comprise entre 10^{-2} Torr et 1 Torr, le champ électrique créé entre les deux électrodes provoque l'ionisation du gaz (argon). Cette ionisation apparaît sous forme d'un nuage luminescent (ou plasma), localisé entre deux électrodes. Le mélange gazeux est conducteur et est composé de différentes espèces chimiques:

- des électrons qui sont attirés par l'anode.
- des ions positifs qui sont attirés par la cible (c'est à dire le matériau à pulvériser).

Les atomes de la cible sont expulsés de celle-ci sous l'effet de l'impact d'ions positifs présents dans le plasma. Ils sont ensuite attirés par la cible du fait de la polarisation négative. Ils viennent alors se déposer sur le substrat.

Le gaz utilisé est l'argon: gaz inerte n'ayant aucune action chimique et possédant une masse atomique (40) du même ordre de grandeur que celle des métaux communs. Un ion argon Ar^+ expulse donc facilement un atome de tungstène si son énergie cinétique (sa vitesse) est suffisamment élevée. Le rendement de pulvérisation est défini comme le nombre d'atomes pulvérisés par ion incident. Il croît de façon sensiblement linéaire avec l'énergie de l'ion. Notons que le phénomène de pulvérisation n'intervient que si l'énergie de l'ion incident excède une valeur critique, appelée seuil de pulvérisation, comprise entre 15 et 30 eV pour la plupart des métaux.

Lors de leur trajet entre la cible et le substrat, les atomes de métal pulvérisés subissent des collisions avec les atomes d'argon, au cours desquelles ils sont susceptibles de transférer une partie de leur énergie cinétique. Le nombre de collisions est proportionnel à la distance parcourue par l'atome pulvérisé et à la pression de travail.

D'autre part, Shen *et al.* [13] ont étudié l'impact de la pression d'argon sur les contraintes générées sur la couche de tungstène, à puissance constante. Pour de faibles pressions (<20m Torr), les revêtements de tungstène sont soumis à des contraintes de compression. Au contraire, pour des pressions plus élevées (>20 mTorr), ils sont soumis à des contraintes d'extension. Puis, pour une pression d'argon supérieure à 60 mTorr, la couche de tungstène déposée est complètement relaxée.

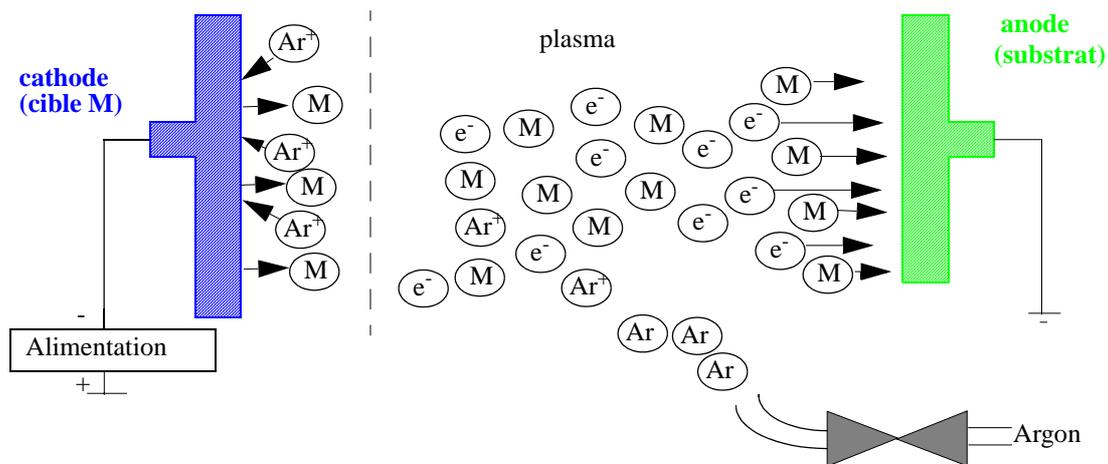
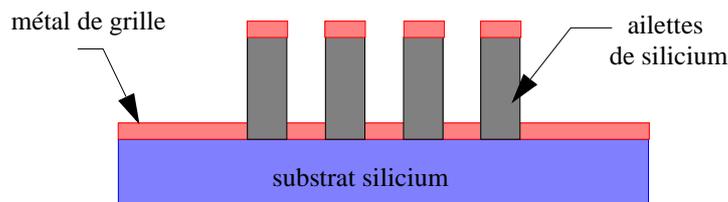


Fig. 5.16: Technique de dépôt sous vide par pulvérisation cathodique

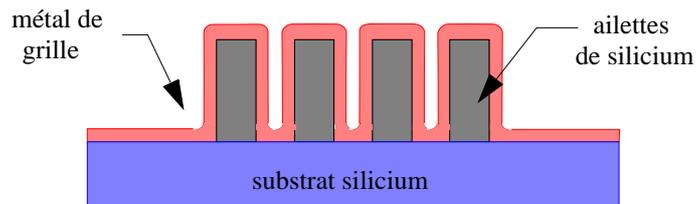
IV-3 Expérimentations.

Une première étude a été réalisée dans le but de calibrer les conditions expérimentales du procédé de pulvérisation cathodique (débit d'argon, puissance, temps de pulvérisation) en fonction de l'épaisseur des dépôts de tungstène. D'autre part, cette étude vise également à valider l'aptitude de ce procédé à recouvrir la totalité de la surface des ailettes de silicium (Fig. 5.17). En effet, contrairement à l'évaporation, la pulvérisation cathodique permet d'obtenir des dépôts conformes.

Afin de simplifier l'étude, le procédé de fabrication n'a pas été réalisé dans son intégralité. Des réseaux d'ailettes de silicium espacées de longueurs variables ont ainsi été définis sur un substrat massif de silicium en utilisant le procédé mis au point précédemment (chapitre 3). Puis un plan d'expérience a été mené en faisant varier le temps de pulvérisation.



(a): Profil du dépôt non conforme du métal de grille obtenu par évaporation



(b): Profil du dépôt conforme du métal de grille obtenu par pulvérisation cathodique

Fig. 5.17: Profils des dépôts du matériau de grille: (a) par évaporation (b) par pulvérisation cathodique.

IV-4 Résultats.

La Fig. 5.18 traduit l'évolution linéaire de l'épaisseur de W déposée sur des ailettes de silicium en fonction du temps de pulvérisation.

D'autre part, les caractérisations MEB (Fig. 5.19) mettent en évidence le dépôt conforme entre les ailettes.

Enfin, le recouvrement intégral du pourtour des ailettes permettra de définir un bon contact de l'électrode de grille. Dans les conditions du procédé technologique défini dans le chapitre 2, une épaisseur de tungstène supérieure à 200 nm (matrice de HSQ + masque dur de nitrure) est nécessaire afin de remplir toute la cavité Damascène. Les conditions optimales pour un tel dépôt (220 nm) sont obtenues pour une pulvérisation de 5 minutes à une puissance de 300 W, sous un débit d'argon de 40 sccm.

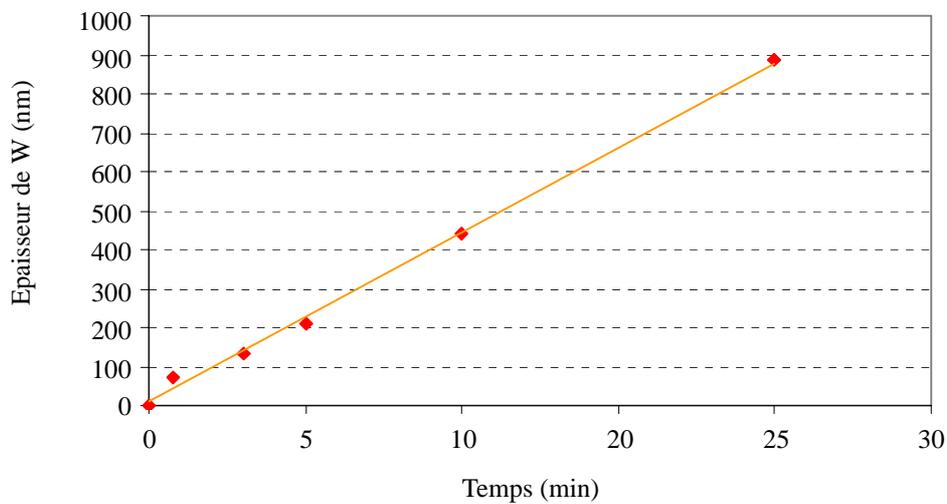


Fig. 5.18: Épaisseur de tungstène déposée en fonction du temps de pulvérisation cathodique pour une puissance de 300 W et une concentration d'argon de 40 sccm.

Afin de valider complètement l'intégration de cette étape dans le procédé il conviendrait d'évaluer l'impact du procédé de pulvérisation sur la création de défauts dans l'oxyde ou à l'interface Si/SiO₂ par une caractérisation MET combinée à des mesures de capacités C(V).

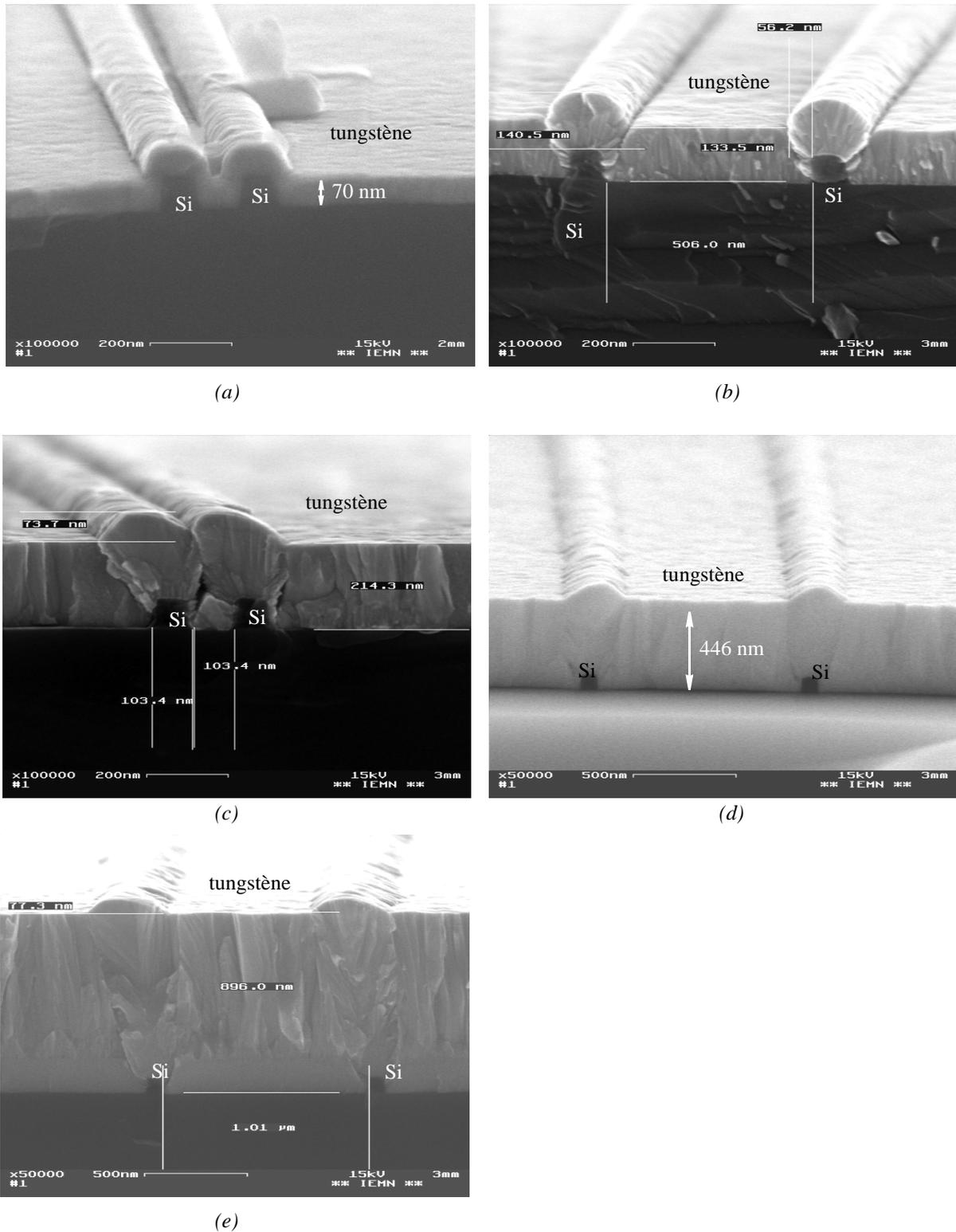


Fig. 5.19: Photos MEB en vue de coupe de dépôt de tungstène par pulvérisation cathodique sur des ailettes de silicium pour une puissance de 300 W et une concentration d'argon de 40 sccm: (a) Temps= 45 s (b) Temps=3 min (c) Temps=5 min (d) Temps=10 min (e) Temps=20 min.

IV-5 Conclusion.

Cette étude a mis en évidence la possibilité de remplir la cavité Damascène par un métal de grille (le tungstène) de manière relativement aisée grâce au procédé de pulvérisation cathodique. Cette technique permet également d'obtenir un dépôt conforme qui entoure parfaitement l'ensemble du pourtour des ailettes de silicium afin de réaliser un bon contact électrique. Les conditions de dépôts optimales pour le recouvrement total de la structure (épaisseur de tungstène de 220 nm) ont été obtenues avec une puissance de 300 W, un débit d'argon de 40 sccm, et un temps de pulvérisation de 5 minutes.

V- Planarisation du matériau de grille par CMP.

V-1 Introduction.

Un des intérêts majeurs du procédé de fabrication du transistor FinFET proposé dans ce travail réside dans le remplacement de l'étape critique de gravure du métal de grille par un procédé de planarisation mécano-chimique (Chemical Mechanical Planarization, CMP). Ce procédé est un processus de polissage et de planarisation des surfaces (oxyde de silicium, polysilicium, couches métalliques) combinant des actions chimiques et mécaniques: une combinaison de gravure chimique et de polissage mécanique à abrasif. Le rodage mécanique seul cause trop de dégâts sur les surfaces et la gravure humide seule ne permet pas d'obtenir une bonne planarisation. En effet, les réactions chimiques étant isotropiques, elles attaquent les matériaux indifféremment dans toutes les directions. Le procédé CMP combine donc les deux effets simultanément. Le principe de la CMP est tout d'abord abordé dans cette section. Puis, le rôle des agents oxydants présents dans la solution, pour la planarisation du tungstène sera présenté. Le mode opératoire est ensuite détaillé. Enfin, les résultats de planarisation sont présentés et analysés.

V-2 Principe de fonctionnement de la CMP.

La machine classique de CMP est composée d'un plateau rotatif recouvert d'un abrasif à grains très fins qui est différent selon le procédé et le matériau recherché (Fig. 5.20). Les caractéristiques des abrasifs dépendent de la taille de grain, de son matériau, et de la chimie qui l'accompagne, dont le pH. L'échantillon est chargé à l'envers sur un porte-échantillon. Pendant le chargement et le déchargement du porte-échantillon, l'échantillon est maintenu par un système d'aspiration sous vide. La solution chimique d'attaque (slurry) est ensuite versée sur le plateau de manière régulière. Il convient d'utiliser la solution chimique adéquate selon le matériau que l'on souhaite planariser. En règle générale, les abrasifs utilisés pour le silicium, l'oxyde, le nitrure, sont basiques, et au contraire acides pour les métaux.

Puis, le plateau et le porte-échantillon sont tous deux mis en rotation. Un bon contrôle de la vitesse est important pour l'uniformité et la reproductibilité du procédé. D'autre part, pendant le polissage CMP, il est également possible d'appliquer une force sur le porte-échantillon, par son axe, qui se transforme en pression de travail sur le substrat. Sur le tissu de polissage, les points les plus hauts du substrat sont soumis à des pressions plus élevées que leurs voisins, plus bas, faisant que la vitesse d'enlèvement y est plus importante. Cette différence de vitesse entre les points hauts et bas crée l'effet de planarisation.

La température du procédé peut également avoir un impact sur les conditions d'enlèvement selon les matériaux utilisés. Pour cela, certains plateaux sont équipés d'un système de régulation de la température, afin d'ajuster la température entre 10°C et 70°C.

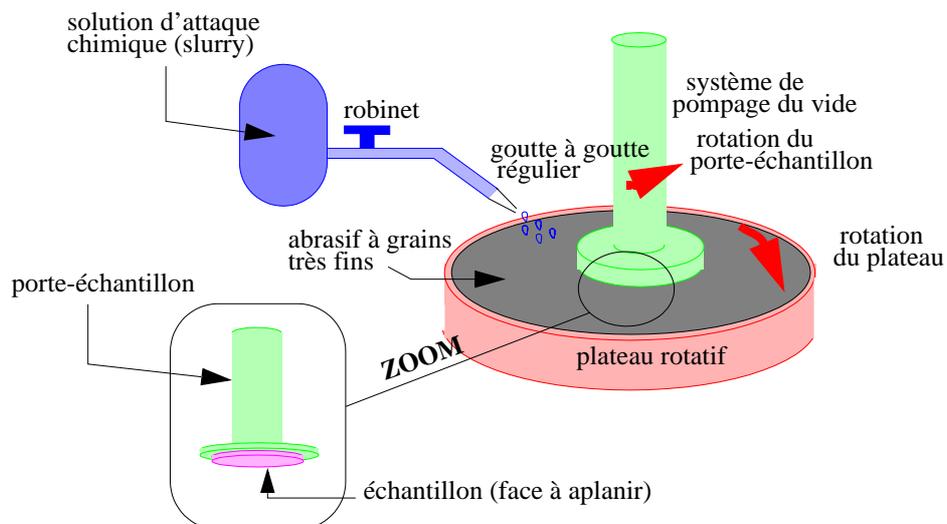


Fig. 5.20: Vue schématique d'une machine classique de CMP.

V-3 Rôle des oxydants pour la planarisation du tungstène.

Le mécanisme de planarisation du tungstène par CMP proposé par Kaufmann *et al.* [14] peut être décomposé en deux phases: la formation d'une couche d'oxyde passivante WO_3 générée par l'ajout d'oxydants dans le slurry, suivi du polissage de cette couche. La Fig. 5.21 présente une vue schématique des différents mécanismes.

Initialement, la couche de métal oxydée passivante se forme sur l'ensemble de la surface du métal, grâce au potentiel très oxydant des particules présents dans la solution. Il existe une grande variété d'oxydants utilisés pour planariser le tungstène par CMP: silice colloïdale, H_2O_2 [15], KLO_3 , $Fe(NO_3)_3$ [16-17], $KMnO_4$, KNO_3 [17]. Puis, cette couche est enlevée sous l'action du frottement mécanique provoqué par le contact entre le plateau et les particules abrasives du slurry. En effet, la couche de tungstène oxydée est plus molle et plus friable que le tungstène lui même [14]. Cependant, le polissage mécanique ne peut pas se réaliser sur la partie inférieure qui n'est pas en contact avec le plateau. La partie supérieure qui a été polie se ré-oxyde, alors que la partie inférieure est déjà passivée. Le processus est répété jusqu'à la planarisation totale de la structure.

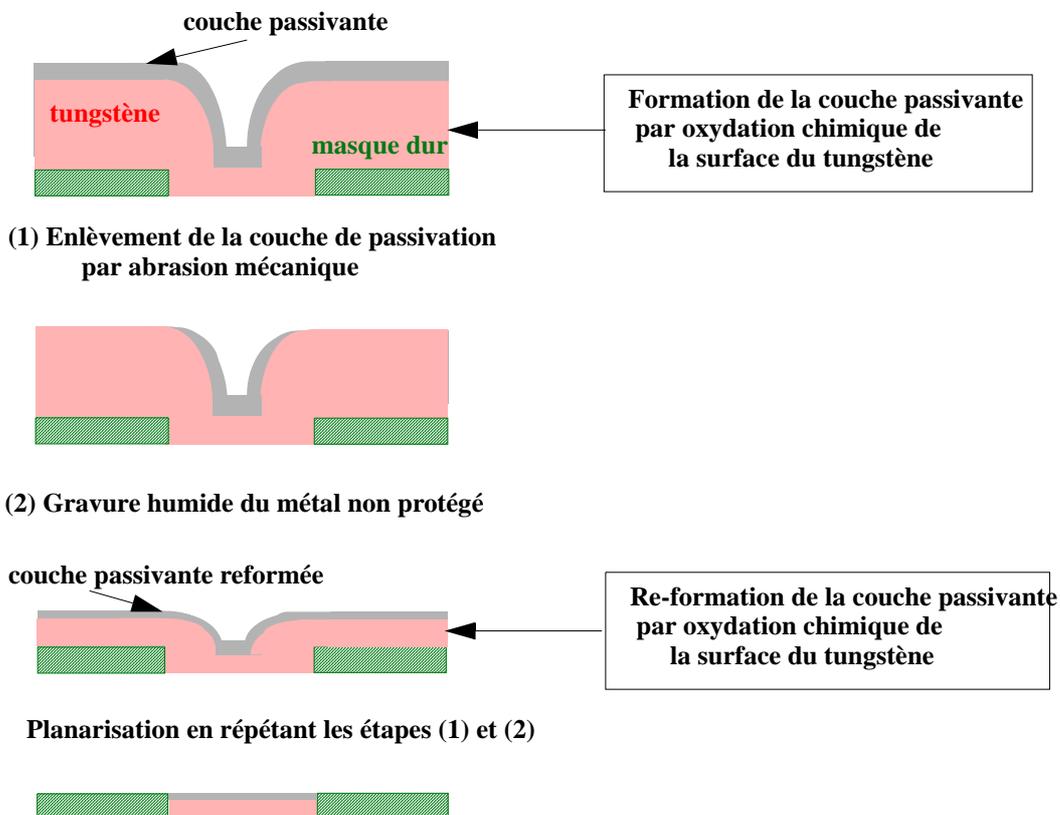


Fig. 5.21: Vue schématique des mécanismes mis en jeu au cours de la planarisation du tungstène par CMP [14].

V-4 Expérimentations.

L'objectif de l'étude est de planariser la structure par CMP en utilisant un dépôt de nitrure comme couche d'arrêt. Des structures tests semblables à celles définies précédemment par lithographie et gravure RIE (cf. paragraphe I-2) ont ainsi été préparées. Elles sont constituées de différentes largeurs d'ouvertures d'HSQ, et d'une couche de nitrure de 100 nm, densifiée par recuit rapide (Fig. 5.22.a). La structure est recouverte par une couche de 220 nm de tungstène déposée par pulvérisation cathodique (300 W, Ar: 40 sccm, 5 min) (Fig. 5.22.b). Les tests de CMP sont ensuite réalisés et les résultats (Fig. 5.22.c) sont analysés par microscopie optique, MEB et AFM.

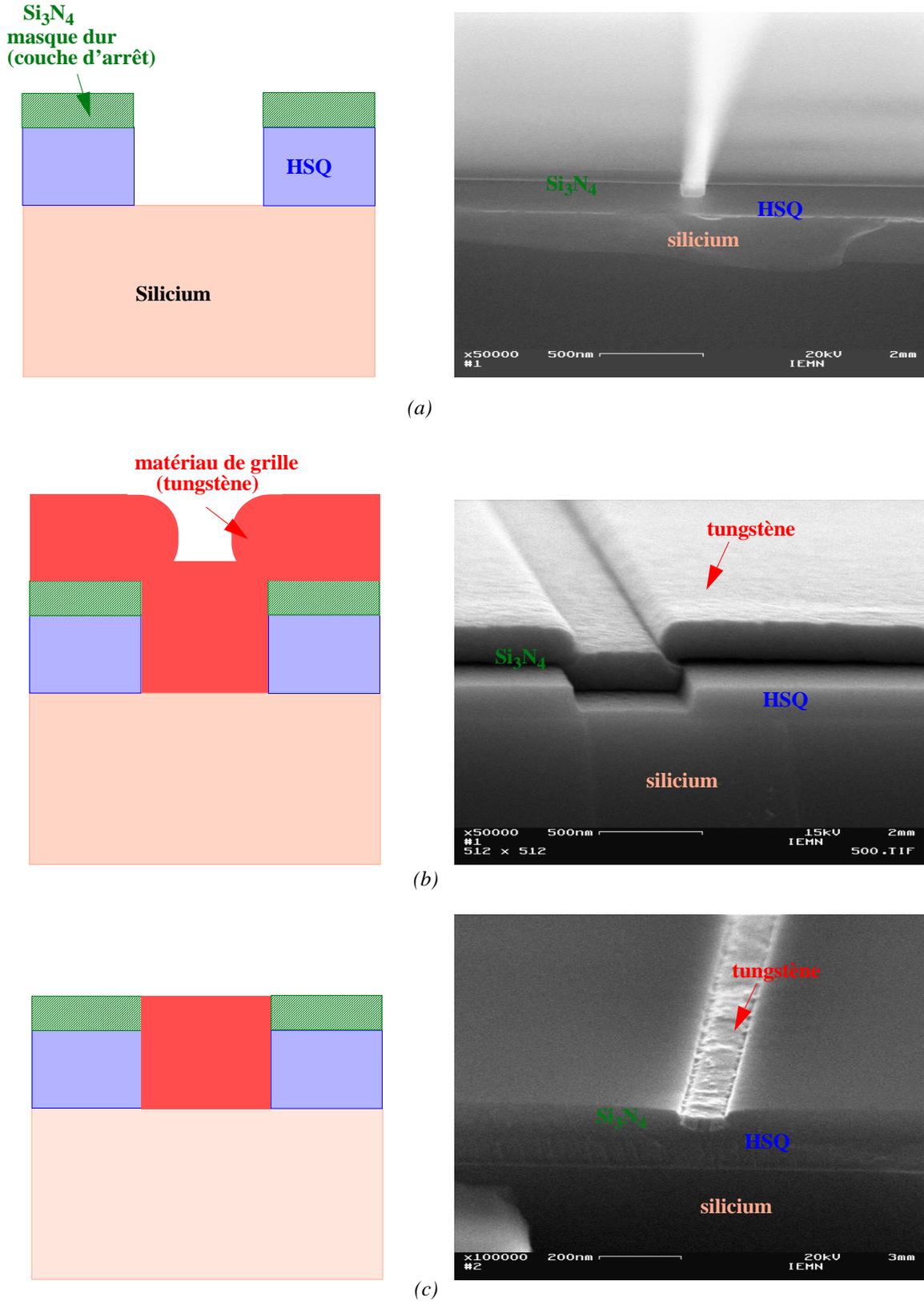


Fig. 5.22: Vue schématique et images MEB associées des différentes étapes technologiques menant à la planarisation de la structure: (a) Définition de l'ouverture Damascène (b) Dépôt du métal de grille par pulvérisation cathodique (300 W, Ar: 40 sccm, 5 min) (c) Planarisation par CMP.

V-5 Résultats.

Les tests CMP ont été réalisés en collaboration avec des entreprises privées ne souhaitant pas divulguer leur procédé et leur solution d'attaque. Cependant, le principe est basé sur celui développé dans le paragraphe V.3.

Les premiers tests de planarisation révèlent deux gros problèmes: la présence encore importante de particules du slurry, observables au microscope optique (Fig. 5.23.a), ainsi qu'une très mauvaise topographie. En effet, la section de coupe MEB (Fig. 5.23.b), met en évidence la présence de tungstène aux extrémités et au niveau de l'ouverture. Au contraire, autour des lignes le polissage a «atteint» le nitrure, générant une mauvaise planéité (dishing). Sur les caractérisations AFM en coupe (Fig. 5.23.c et d), les pics au centre (22 nm) et aux extrémités (100 nm) confirment les précédentes observations, traduisant une mauvaise planarisation.

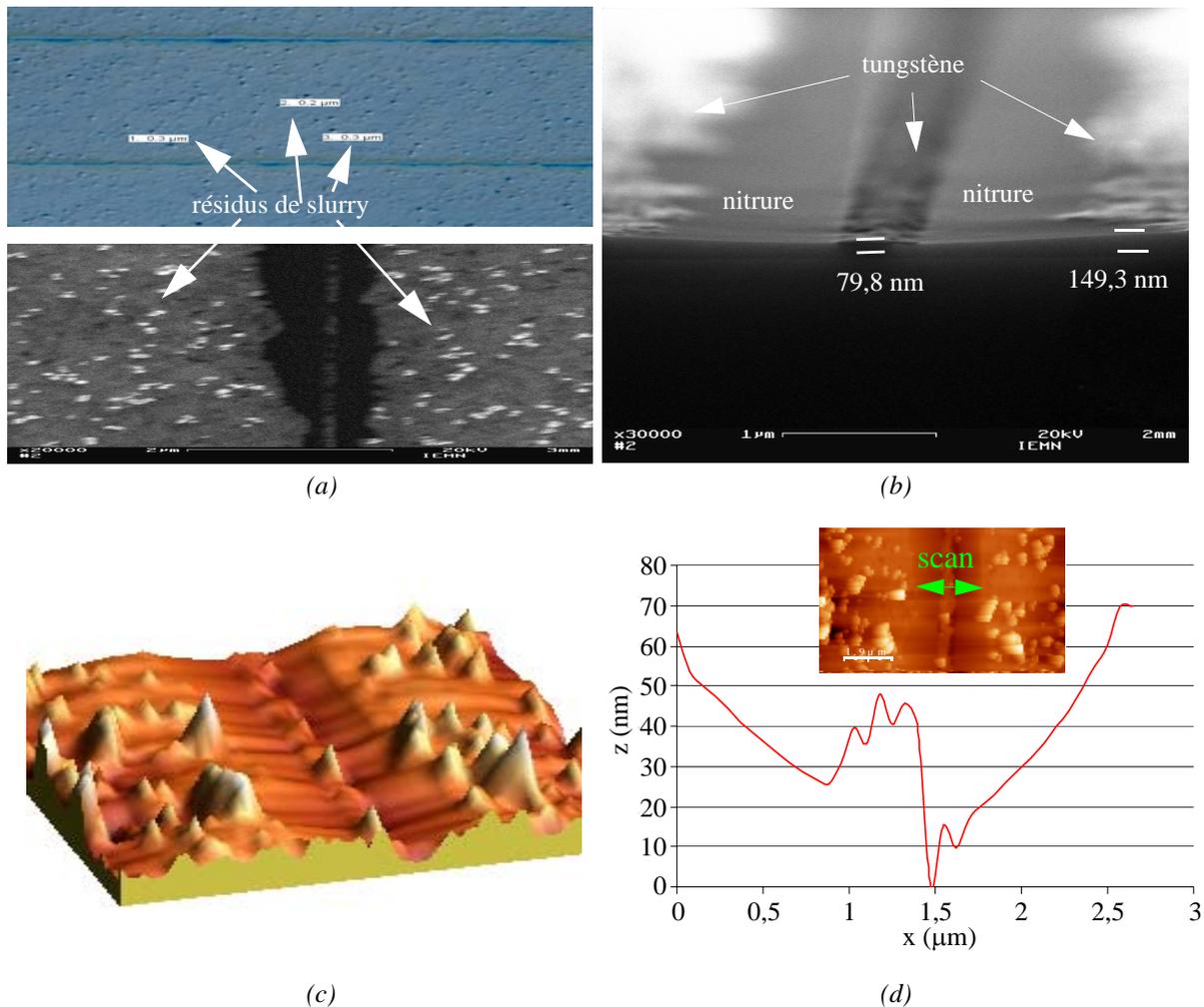
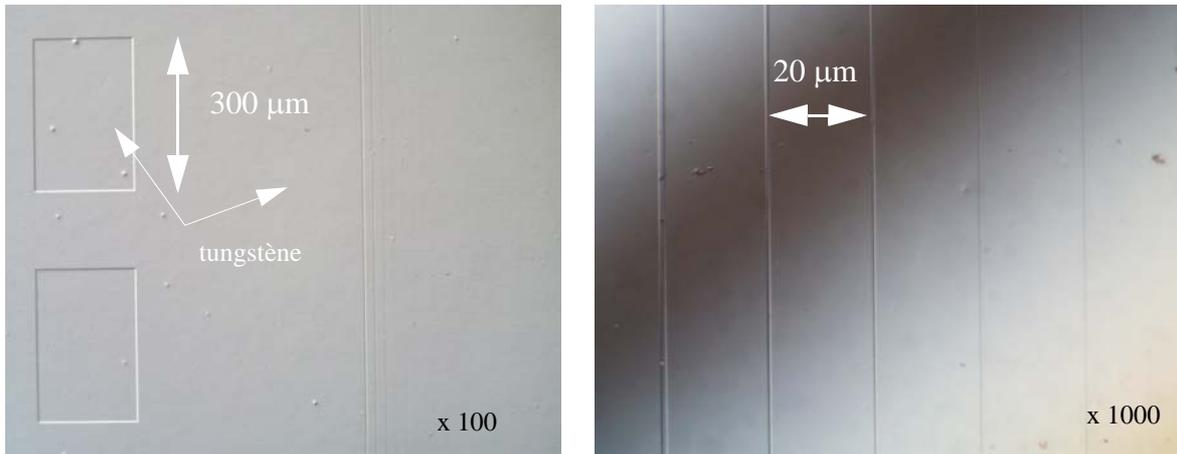
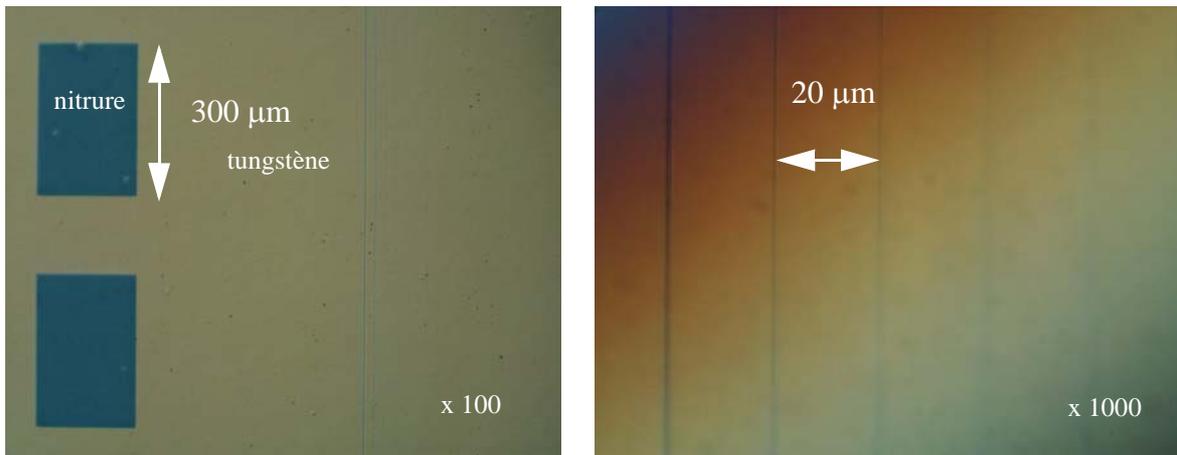


Fig. 5.23: Caractérisations des premiers essais de planarisation du tungstène par CMP: (a) Image au microscope optique et au MEB révélant la présence de résidus de slurry (b) Image MEB en coupe (c) Image AFM 3D (d) Analyse AFM en section de coupe.

D'autres essais réalisés par une entreprise différente ont fourni des résultats beaucoup plus satisfaisants. La Fig. 5.24 compare les photos de microscopie optique avant et après polissage. On n'observe plus la présence de résidus de slurry, révélant la meilleure maîtrise du procédé de nettoyage. De plus, le changement de couleur détectable à l'oeil nu traduit l'apparition de la couche de nitrure. La planarisation s'est arrêtée sur le masque dur comme souhaité.



(a) avant polissage.



(b) après polissage.

Fig. 5.24: Images optiques des structures à planariser: (a) Avant polissage (b) Après polissage par CMP.

Les analyses AFM (Fig. 5.25) réalisées sur la structure corroborent les conclusions précédentes. La marche entre le masque dur de nitrure et la surface de tungstène planarisée est comprise entre 8,02 et 8,15 nm (pour une profondeur initiale de la cavité de plus de 100 nm et une épaisseur de tungstène déposée de plus de 220 nm). Cette faible épaisseur ne constituera pas un problème pour la suite du procédé car le masque de nitrure est ensuite enlevé par gravure humide au H_3PO_4 . Enfin, les photographies MEB (Fig. 5.26) confirment la bonne planéité de la structure. On distingue parfaitement le tungstène dans la cavité Damascène qui affleure au niveau du masque de nitrure.

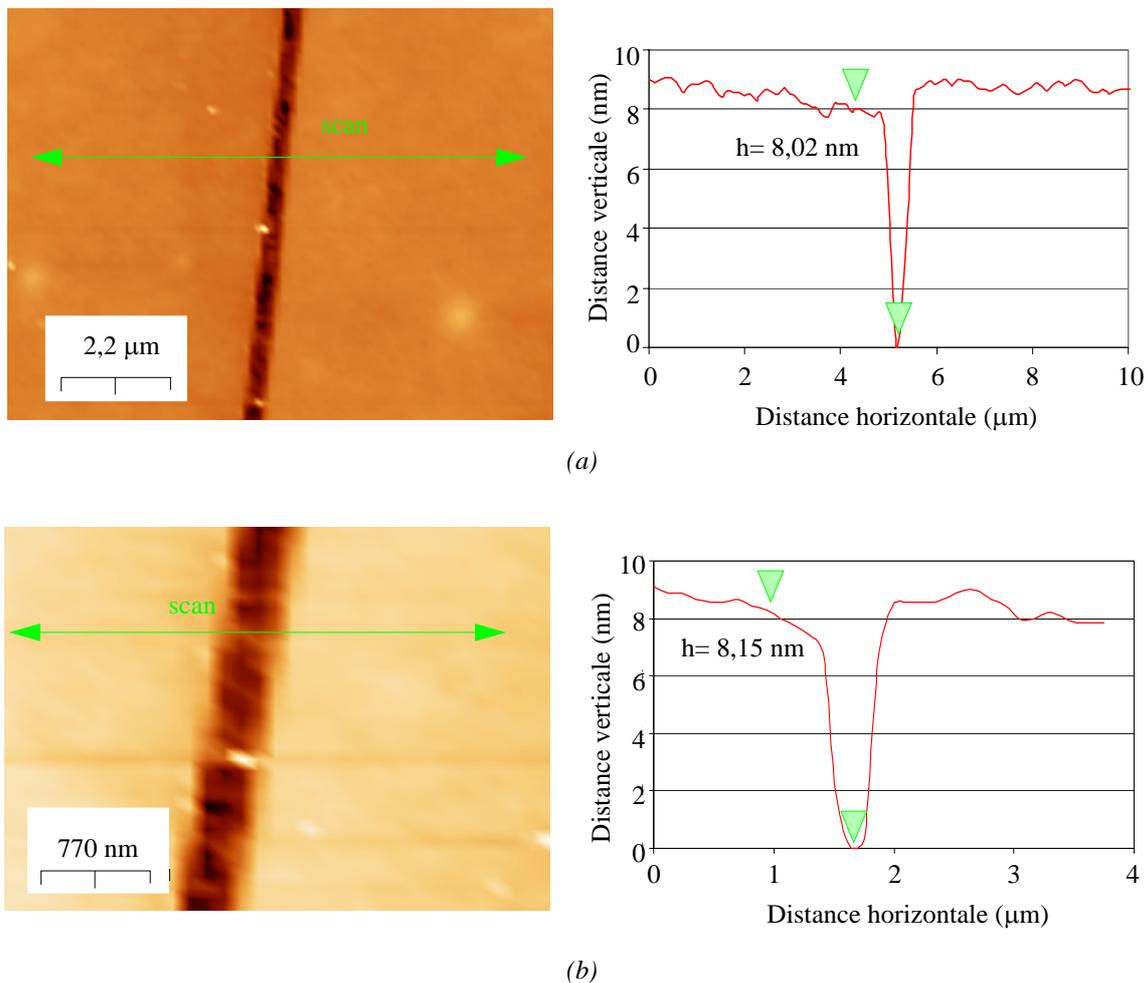


Fig. 5.25: Images AFM, en section de coupe, de la marche entre le masque de nitrure et le tungstène pour deux ouvertures de largeurs différentes: (a) $1\mu m$ (b) 500 nm .

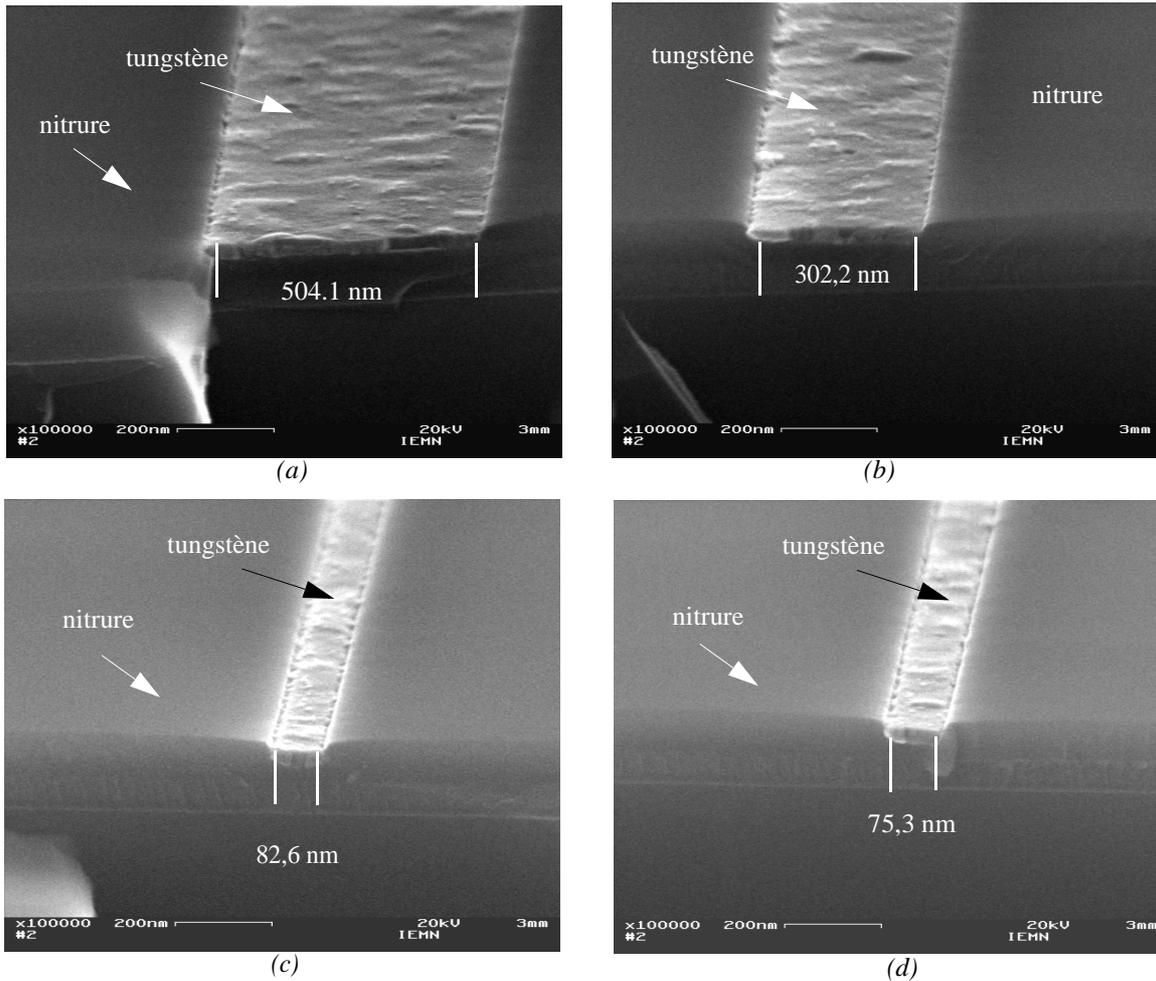


Fig. 5.26 Images AFM pour différentes largeurs d'ouverture Damascène: (a) Ouverture de 500 nm (b) Ouverture de 300 nm (c) Ouverture de 80 nm (d) Ouverture de 70 nm.

V-6 Conclusion.

Des cellules tests ont permis de valider l'étape de planarisation du matériau de grille par CMP. Le nitrure est utilisé comme couche d'arrêt à la planarisation. Les caractérisations MEB combinées aux mesures AFM présentent une marche de 8 nm entre le tungstène et le nitrure. Ce léger décalage topologique n'est pas gênant pour la suite du procédé car le masque est retiré par gravure humide à l'acide phosphorique. Cette technique de planarisation permet ainsi de s'affranchir de la formation de résidus de gravure du matériau de grille.

VI- Conclusion.

Ce chapitre a tout d'abord présenté la définition de l'ouverture permettant de définir la cavité Damascène, par lithographie électronique de la PMMA. Une étude sur l'ingénierie de dose a ainsi permis de déterminer la dose optimale ($975\mu\text{C}/\text{cm}^2$) pour l'écriture de motifs étroits (50 nm) dans la résine (PMMA). Ceux-ci ont ensuite été transférés dans le masque dur de nitrure par gravure RIE SF_6/Ar standard.

La deuxième partie du chapitre a consisté à tester différentes chimie de gravure plasma afin de graver la HSQ de manière très anisotropique tout en ne détériorant pas les ailettes de silicium. Au final, le mélange $\text{CF}_4/\text{CHF}_3/\text{Ar}$ permet d'obtenir une très bonne anisotropie ($\alpha=5^\circ$) ainsi qu'une sélectivité acceptable entre la HSQ et le silicium ($S=14$), notamment grâce à la formation d'une fine couche protectrice C_xF_y sur le silicium.

Le troisième volet de l'étude a été consacré à la croissance de l'oxyde de grille ultra-fin. Les travaux ont montré l'influence du plan cristallin dans lequel s'effectue la croissance de l'oxyde. Un oxyde de grille ultra fin (2,2 nm), parfaitement homogène et entourant l'ensemble de l'ailette de silicium a été réalisé.

Enfin, la dernière partie a décrit la calibration du procédé de dépôt conforme du matériau de grille par pulvérisation cathodique. Puis, la structure a été planarisée par CMP (planéité de quelques 8 nanomètres), permettant ainsi d'éviter l'étape critique de gravure du matériau de grille qui génère des résidus. Un dépôt de nitrure sert de couche d'arrêt à la CMP.

Il convient de noter qu'un des challenges importants consistera à intégrer toutes ces étapes technologiques dans un seul et unique procédé de fabrication.

BIBLIOGRAPHIE

- [1] G. Larrieu, “*Elaboration et caractérisation de transistors MOS Schottky en régime nanométrique*”, Thèse en électronique, IEMN, 2004.
- [2] F. Gaboriau, G. Cartry, M-C. Peignon, Ch. Cardinaud, “*Selective and deep plasma etching of SiO₂: comparison between different fluorocarbon gases (CF₄, C₂F₆, CHF₃) mixed with CH₄, or H₂ of the residence*”, J. Vac. Sci. Technol. B, vol. 20, n^o 4, pp. 1514-1521, 2002.
- [3] N. R. Rueger, J.J. Beulens, M. Schaepekens, M.F. Doemling, J.M. Mirza, T.E.F.M. Stand-aert, G.S. Oehrlein, “*Role of steady state fluorocarbon films in the etching of silicon dioxide using CHF₃ in an inductively coupled plasma reactor*”, J. Vac. Sci. Technol. A, vol. 15, n^o 4, pp. 1881-1889, 1997.
- [4] H.W. Lehman, R. Widmer, “*Profile control by reactive sputter etching*”, J. Vac. Sci. Technol. B, vol.15, n^o 2, pp. 319-326, 1978.
- [5] R. Knizikevicius, “*Real dimensional simulation of SiO₂ etching in CF₄+H₂ plasma*”, Applied Surface Science, vol. 222, pp. 277-285, 2004.
- [6] E. Gogolides, P. Vauvert, Y. Courtin, G. Kokkoris, R. Pelle, A. Boudouvis, G. Turban, “*SiO₂ and Si etching in Fluorocarbon plasma: a detailed surface model coupled with a complete plasma and profile simulator*”, Microelectronic Engineering, vol. 46, pp. 311-314, 1999.
- [7] Z. Rutkuniene, A. Grigorinis, “*Formation of polymeric layers using halogen-carbon plasmas.*”, Vacuum Surface Engineering, Surface Instrumentation & Vacuum Technology, vol. 68, pp. 239-244, 2003.
- [8] Semiconductor Industry Association (SIA), “*International Technology Roadmap for Semiconductors*”, 2004.
- [9] B. Cheng, M. Cao, R. Rao, A. Inani, P. Vande Voorde, W.M. Greene, J.M.C. Stork, Z. Yu, P.M. Zeitzoff, J.C.S. Woo, “*The impact of high-κ gate dielectrics and metal gate electrodes on sub-100 nm MOSFET's*”, IEEE Transactions on Electron Devices, vol. 46, n^o 7, pp.1537-1544, 1999.
- [10] Y. Kim, G. Gebara, M. Freiler, J. Barnett, D. Riley, J. Chen, K. Torres, J. Lim, B. Foran, F. Shaapur, A. Agarwal, P. Lysaght, G.A. Brown, C. Young, S. Borthakur, H.-J. Li, B. Nguyen, P. Zetzoff, G. Bersuker, D. Perro, R. Bergmann, R.W. Murto, A. Hou, H. R. Huff, E. Shero, C. Pomarede, M. Givens, M. Manzanec, C. Werkhoven, “*Conventional n-channel MOSFET devices using single layer HfO₂ and ZrO₂ as high-κ gate dielectrics with polysilicon gate electrode*”, IEDM 01, pp. 455-458, 2001.
- [11] H. Z. Massoud, J.D. Plummer, “*Thermal oxidation of silicon in dry oxygen growth-rate enhancement in the thin regime*”, J. Electrochem. Soc., Solid State Science and technology, vol. 132, n^o 11, pp. 2685-2690, 1985.

- [12] H.S. Mommose, T. Ohguro, K. Kojima, S.-I. Nakamura, Y. Toyoshima, “*1,5 nm gate oxide CMOS on (110) surface oriented Si substrate*”, IEEE Transactions on Electron Device, vol. 50, n° 4, pp. 1001-1008, 2003.
- [13] Y.G. Shen, Y.W. Mai, Q.C. Zhang, D.R. McKenzie, W.D. McFall, W.E. McBride, “*Residual stress, microstructure, and structure of tungsten thin films deposited by magnetron sputtering*”, Journ. of Applied Phys., vol. 87, n°1, pp. 177-187, 2000.
- [14] F.B. Kaufman, D.B. Thompson, R.E. Broadie, M.A. Jaso, W.L. Guthrie, D.J. Pearson, M.B. Small, “*Chemical mechanical polishing for fabricating patterned W metal feature*”, J. Electrochem. Soc., vol. 138, pp. 3460-3464, 1991.
- [15] E.A. Kneer, C. Raghunath, “*Electrochemistry of chemical vapour deposited tungsten films with relevance to chemical mechanical polishing*”, J. Electrochem. Soc., vol. 143, pp. 4095-4100, 1996.
- [16] D.J. Stein, D. Hetherington, T. Guilinger, J.L. Cecchi, “*In situ electrochemical investigation of tungsten electrochemical behaviour during chemical mechanical polishing*”, J. Electrochem. Soc., vol. 144, pp. 3190-3196, 1997.
- [17] E.A. Kneer, C. Raghunath, V. Mathews, S. Raghavan, J.S. Leon, “*Electrochemical measurements during the chemical mechanical polishing of tungsten thin films*”, J. Electrochem. Soc., vol. 144, pp. 3041-3049, 1997.

Chapitre 6:

Réalisation et caractérisations électriques de contacts Schottky siliciurés.

L'une des originalités du procédé de fabrication présenté dans le chapitre 2 réside dans le remplacement des contacts ohmiques conventionnels sur les zones de source et de drain fortement dopées, par des contacts de type Schottky à très faible hauteur de barrière (pour un p-MOS $\Phi_{bp} < 100\text{meV}$ i.e. $\rho_c < 10^{-8}\Omega.\text{cm}^2$ en utilisant IrSi ou PtSi). De tels contacts offrent le potentiel de diminuer la résistance spécifique de contact à l'interface silicium/siliciure.

Le premier paragraphe définit les différentes contraintes liées à la technologie des contacts source/drain. Puis, le procédé de siliciuration de platine enrobant des ailettes de silicium est présenté. Les cellules tests sont constituées de réseaux d'ailettes siliciurées et d'un gap de différente largeur permettant d'inhiber localement la réaction de siliciuration.

Enfin ces contacts siliciurés sont caractérisés électriquement. Des mesures I-V réalisées sur les différentes structures ont permis d'extraire la valeur de la résistivité du siliciure de platine formé.

I- Résistances parasites à la source et au drain.

Au fur et à mesure que les dispositifs se rapprochent des dimensions nanométriques, il devient très difficile de conserver des niveaux de courant élevés tout en minimisant les résistances parasites source/drain [1]. Dans un transistor MOSFET multi-grille, la résistance série des zones de source/drain peut être décomposée en plusieurs contributions. La Fig. 6.1 issu du modèle analytique de Dixit. *et al.* [2] présente ces différentes contributions.

$$R_{\text{serie}} = R_C + R_{sh} + R_{sp} + R_{ac} \quad (\text{Eq. 6.1})$$

avec: R_C la résistance de contact, R_{sh} la résistance de diffusion sous les espaceurs, R_{sp} la résistance de défocalisation et R_{ac} la résistance de la couche d'accumulation.

La résistance de diffusion R_{sh} peut être modélisée [2] par:

$$R_{sh} = \rho_{Si} \left(\frac{W_{sp}}{H_{fin} \times W_{fin}} \right) \quad (\text{Eq. 6.2})$$

avec, ρ_{Si} la résistivité du silicium, W_{sp} la longueur des espaceurs, H_{fin} la hauteur des ailettes et W_{fin} la largeur des ailettes.

La résistance de contact peut être divisée en deux composantes associées en parallèle:

- la composante horizontale R_{cfb} , représentant la résistance calculée selon la méthode de ligne de transmission [3-4]:

$$R_{cfb} = \frac{R_{\square} \cdot L_T}{W} \cdot \coth\left(\frac{L_c}{L_T}\right) \quad (\text{Eq. 6.3})$$

avec:

$$L_T = \sqrt{\frac{\rho_c}{R_{\square}}} \quad (\text{Eq. 6.4})$$

et:

$$R_{\square} = \frac{\rho_{Si}}{t_{Si} - t_{sho}} \quad (\text{Eq. 6.5})$$

L_T est la longueur de transfert, L_c la longueur de contact, W la largeur du dispositif, ρ_c la résistivité spécifique de contact entre le silicium et le siliciure (en $\Omega \cdot \text{cm}^2$), R_{\square} la résistance par carreau de la couche de silicium sous le contact, ρ_{Si} la résistivité du silicium (en $\Omega \cdot \text{cm}$), t_{Si} l'épaisseur du film de SOI, et t_{sho} la profondeur de pénétration du silicium sous le contact.

- la composante verticale R_{csw} liée à l'interface verticale du contact.

$$R_{csw} = \frac{\rho_c}{W_{fin} \cdot t_{sho}} \quad (\text{Eq. 6.6})$$

L'objectif est donc d'utiliser des matériaux possédant une résistance spécifique de contact la plus faible possible afin de minimiser la résistance série des zones de source et de drain.

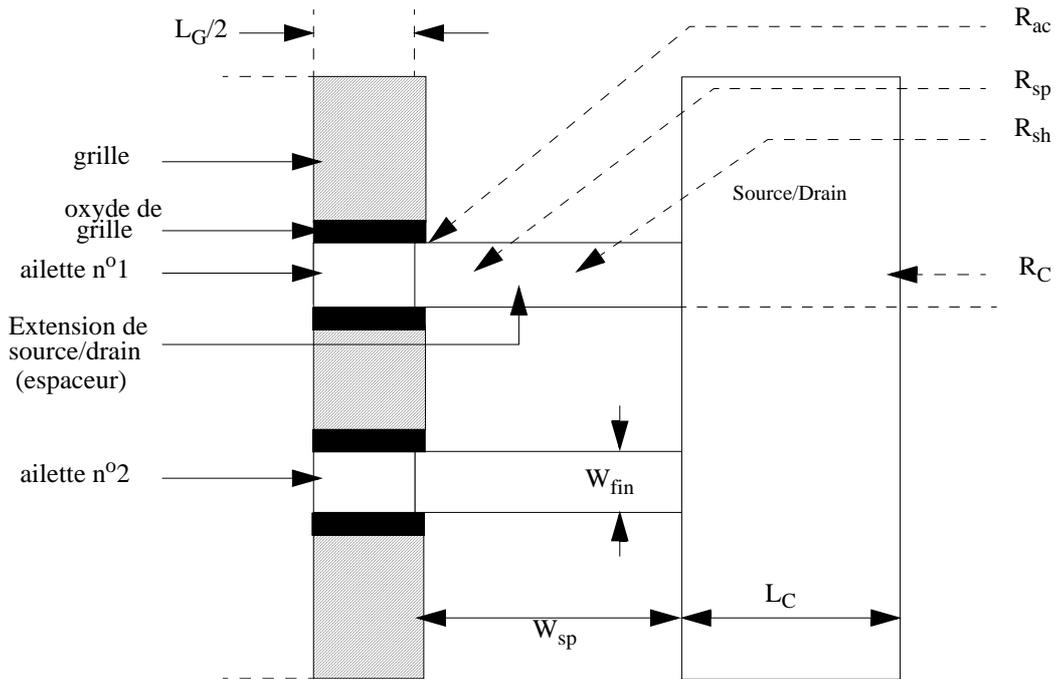


Fig. 6.1: Vue de dessus schématique d'un transistor FinFET avec deux ailettes. Les différentes contributions de la résistance série parasite des zones de source et de drain sont représentées [2].

L'ITRS 2005 (Table 6.1) [5] présente les différentes contraintes imposées sur la technologie des contacts: diminution de la résistance par carreau du siliciure, diminution de la résistance spécifique de contact silicium/siliciure jusqu'à des valeurs de $3.10^{-8} \Omega\text{cm}^2$ pour le noeud technologique 36 nm, abrupté latérale du dopage source/drain de 2 nm/décade pour le noeud 45 nm.

L'objectif de cette étude est donc remplacer les contacts ohmiques conventionnels sur les électrodes de source et de drain fortement dopées, par des contacts de type Schottky à très faible hauteur de barrière. La section suivante présente l'étude qui a été menée sur la siliciuration des électrodes de source et drain sur des réseaux d'ailettes de silicium. Celle-ci s'est fortement appuyée sur les travaux de Larrieu [6] réalisés sur des transistors MOS planaires.

| Année | 2006 | 2007 | 2008 | 2009 | 2010 | 2011 | 2012 |
|---|-------------------------|-------------------|-----------------|-----------------|-----------------|---|-------------------|
| Noeud technologique (nm) | 78 | 68 | 59 | 52 | 45 | 40 | 36 |
| DRAM moitié pitch (nm) | 70 | 65 | 57 | 50 | 45 | 40 | 36 |
| MPU longueur de grille physique (nm) | 28 | 25 | 23 | 20 | 18 | 16 | 14 |
| Epaisseur équivalent de l'oxyde de grille (grille métallique) (nm) | | | 0,9 | 0,75 | 0,65 | 0,8 | 0,7 |
| Structure de dispositif possible | CMOS planaire massif | | FDSOI | | | FDSO multi-grille, contacts surélevés | |
| Abrupté de la jonction source/drain (nm/décade) | 3,1 | 2,8 | 2,5 | 2,2 | 2,0 | DED | DED |
| Largeur des espaceurs (nm) | 30,8 | 27,5 | 12,1 | 11 | 9,9 | 8,8 | 7,7 |
| Consommation max du silicium lors de la siliciuration (nm) | 15,4 | 13,8 | 22 | 20 | 18 | 16 | 14 |
| Epaisseur du siliciure (nm) | 19 | 17 | 28 | 24 | 22 | 19 | 17 |
| Résistance par carreau du siliciure (Ω/\square) | 8,6 | 9,6 | 5,8 | 6,7 | 7,4 | 8,3 | 9,5 |
| Résistance spécifique de contact max silicium/siliciure (Ωcm^2) | 1,3. 10^{-7} | 9,5. 10^{-8} | 9. 10^{-8} | 7. 10^{-8} | 6. 10^{-8} | 4,2. 10^{-8} | 3,4. 10^{-8} |

| | |
|---|------------------------------------|
|  | solutions existantes |
|  | solutions en cours d'investigation |
|  | pas de solution connue |

DED: Doit être défini

Table 6.1: Données issues de l'ITRS 2005 présentant les contraintes liées à la technologie des contacts [5].

II- Procédé de réalisation de siliciure de platine en 3D.

Comme dans les chapitres précédents, cette étude est menée sur des cellules tests qui tendent à simuler les électrodes de source/drain siliciurées séparées par un gap de silicium. Des réseaux de 20 lignes de silicium de 100 nm espacées de 50 nm (Fig. 6.2 et 6.3) sont ainsi réalisés en utilisant le procédé RIE précédemment établi dans le chapitre 3.

Puis, un gap de HSQ de différentes largeurs (de 0 à 1000 nm) est dessiné par lithographie électronique sur chaque réseau. L'objectif est d'empêcher toute siliciuration sur cette surface, afin de simuler le canal entre la source et le drain. Après avoir développé la résine, la HSQ est densifiée par recuit thermique afin de pouvoir résister aux futures attaques chimiques.

L'étape suivante, développée par Fruleux [7], consiste à déposer le métal de siliciuration (platine) par évaporation tiltée afin d'obtenir un dépôt quasi conforme et de recouvrir l'intégralité des ailettes (Fig. 6.4). Dans notre étude, 2 fois 10 nm de platine sont déposés en utilisant un tilt de 30°.

L'activation de la siliciuration est réalisée par recuit RTA à 300°C, pendant 2 minutes sous ambiance N_2H_2 [1]. La réaction de siliciuration se fait en deux étapes [8-10], régies par différentes énergies d'activation (Fig. 6.5):

- la première où le platine diffuse dans le silicium pour former du Pt_2Si .
- puis la deuxième qui consiste à faire diffuser le silicium dans le Pt_2Si pour former le $PtSi$.

Il est très important de maîtriser l'épaisseur de platine déposée ainsi que la conformité du dépôt afin de pouvoir activer la deuxième réaction. En effet, si l'épaisseur de platine est trop importante, la totalité du silicium sera consommée avant même de pouvoir enclencher la deuxième réaction [10].

L'excès de platine, qui n'a pas réagi avec le silicium, est enlevé par gravure humide dans l'eau régale ($HCl/HNO_3/H_2O_2/1/2$) à 50°C, pendant 3 min 30s.

Enfin, des contacts d'aluminium (200 μm x 100 μm) sont formés en combinant une insolation par lithographie électronique d'un bi-couche (668 nm de copo MMA 13%, et 63 nm de PMMA 950 K 4%), et un procédé de lift-off de l'aluminium. Les zones de contact en aluminium sont espacées de 300 μm (Fig. 6.2).

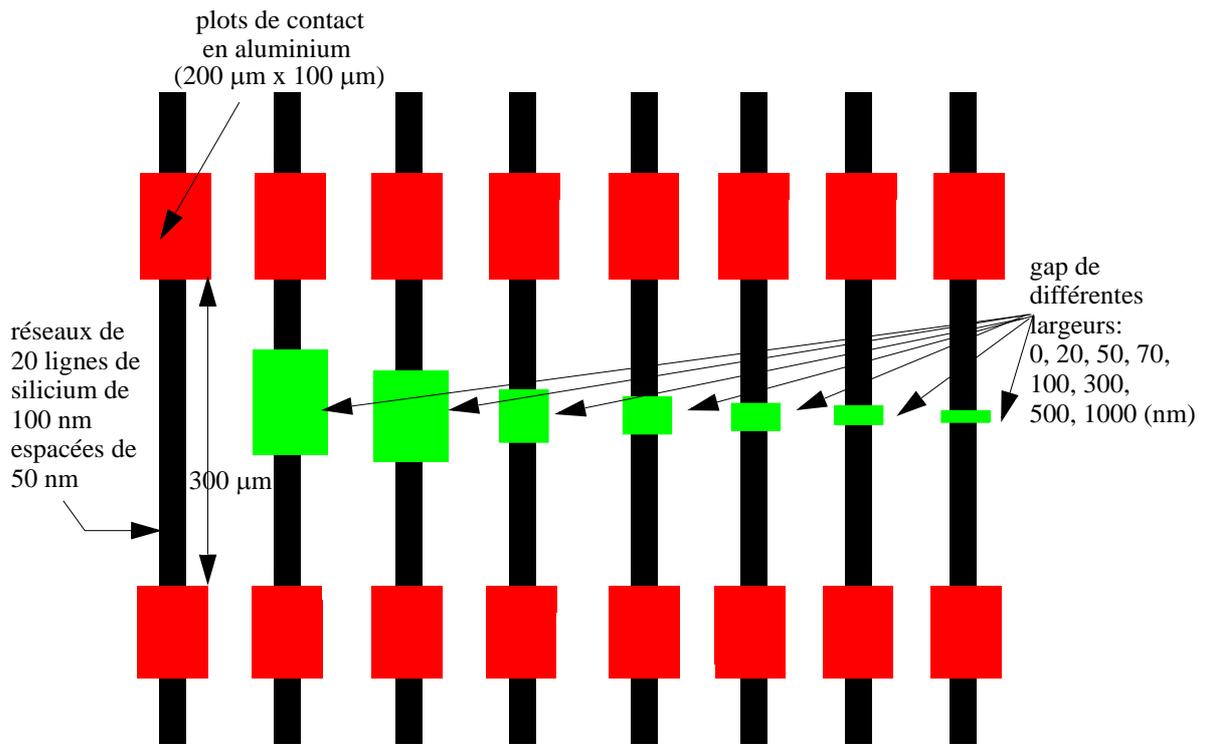
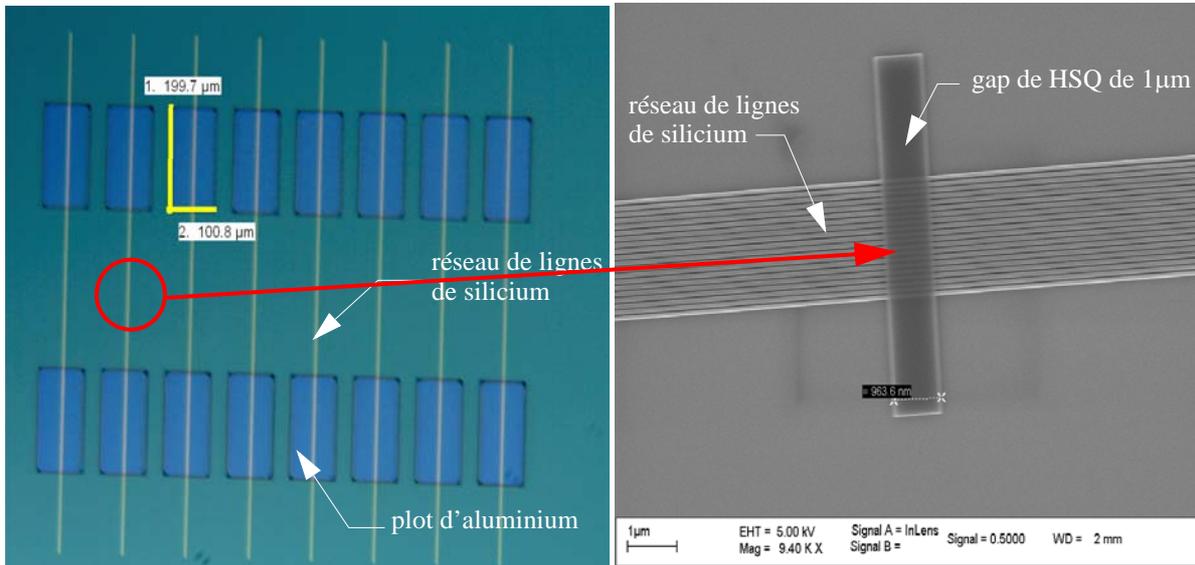


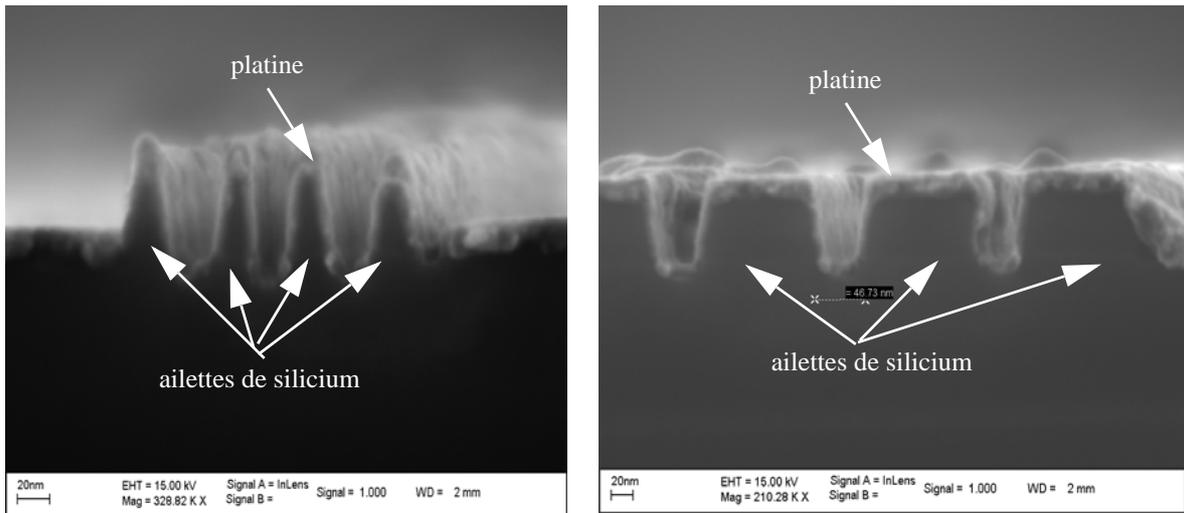
Fig. 6.2: Schéma des cellules tests réalisées pour la caractérisation électriques des siliciures de platine: réseaux de 20 lignes de $100\ \text{nm}$ espacées de $50\ \text{nm}$, et des gaps de $0\ \text{nm}, 20\ \text{nm}, 50\ \text{nm}, 70\ \text{nm}, 100\ \text{nm}, 300\ \text{nm}, 500\ \text{nm}, 1\ \mu\text{m}$.



(a): Photo au microscope optique des cellules tests.

(b): Photo MEB des cellules tests (gap de $1\ \mu\text{m}$).

Fig. 6.3: (a) Photo au microscope optique des cellules tests réalisées pour la caractérisation électriques des siliciures de platine: réseaux de 20 lignes de $100\ \text{nm}$ espacées de $50\ \text{nm}$, et des gaps de $0\ \text{nm}, 20\ \text{nm}, 50\ \text{nm}, 70\ \text{nm}, 100\ \text{nm}, 300\ \text{nm}, 500\ \text{nm}, 1\ \mu\text{m}$ (b) Caractérisation MEB d'une cellule test pour un gap de $1\ \mu\text{m}$.



(a): Ailettes de 20 nm espacées de 30 nm.

(b): Ailettes de 100 nm espacées de 50 nm.

Fig. 6.4: Images MEB du dépôt de platine (2x10 nm) réalisé par évaporation tiltée à 30°, sur des ailettes de silicium avant la siliciuration: (a): Ailettes de 20 nm espacées de 30 nm (b): Ailettes de 100 nm espacées de 50 nm[7].

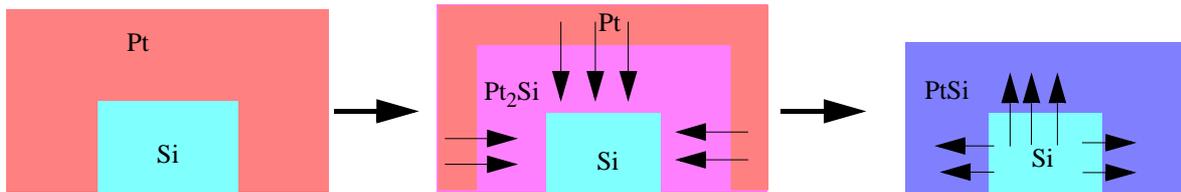


Fig. 6.5: Schéma représentant les deux étapes de siliciuration du platine sur des ailettes de silicium: (a) Dépôt du platine (b) Diffusion du platine dans le silicium pour former Pt_2Si , (c) Diffusion du silicium dans le Pt_2Si pour former le $PtSi$.

III- Caractérisation électrique de siliciures de platine.

Pour la suite de l'étude, il est important de tenir compte de la différence d'épaisseur de platine déposée, engendrée par le procédé d'évaporation tiltée. En effet, la Fig. 6.6 montre clairement que l'épaisseur de platine est différente selon que l'on se trouve sur la partie verticale (t_{Pt1}) de l'ailette ou sur la partie supérieure (t_{Pt2}). Les épaisseurs de siliciure formées, respectivement t_{PtSi1} et t_{PtSi2} , seront donc également différentes.

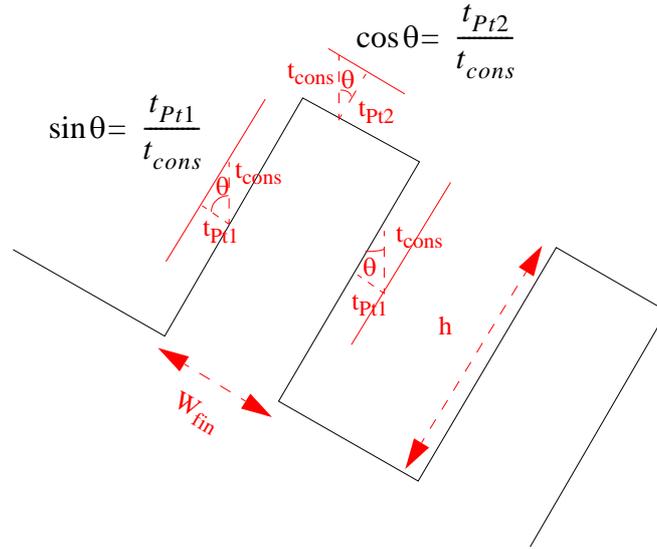


Fig. 6.6: Schéma représentant l'épaisseur de platine déposée par évaporation tiltée d'un angle θ , avec t_{cons} la consigne de l'épaisseur de platine, et respectivement, t_{Pt1} et t_{Pt2} les épaisseurs réelles de platine déposées sur les flancs (1) et sur la partie supérieure de l'ailette de silicium (2).

La Fig. 6.7 présente les caractéristiques I-V mesurées pour les différents gaps de HSQ de 0 nm, 20 nm, 50 nm, 70 nm, 100 nm, 300 nm, 500 nm et 1000 nm sur des réseaux de 20 ligneuse 50 nm de hauteur, de 100 nm de largeur et espacées de 50 nm.

Pour la structure qui a été siliciurée sur toute la longueur L, et en négligeant la résistance des plots d'aluminium, et la résistance des pointes, la résistance mesurée peut être assimilée à:

$$R_{mesuree} = \frac{\rho_{PtSi} \times L}{20 \times [w_{fin} \times t_{PtSi2} + 2 \times (h - 1,32 \times t_{PtSi2}) \times t_{PtSi1}]} \quad (\text{Eq. 6.7})$$

avec ρ_{PtSi} la résistivité du siliciure PtSi qui dépend de l'épaisseur du siliciure, h, la hauteur des ailettes (50 nm), w_{fin} la largeur des ailettes (100 nm), t_{PtSi1} l'épaisseur du siliciure sur un flanc de l'ailette et t_{PtSi2} l'épaisseur du siliciure sur la partie supérieure. Le facteur 20 provient du fait qu'on étudie un réseau de 20 lignes.

or les relations qui existent entre l'épaisseur de platine et l'épaisseur de siliciure sont données par:

$$t_{PtSi1} = t_{Pt1} \times 1,97 = t_{cons} \times \sin \theta \times 1,97 \quad (\text{Eq. 6.8})$$

et:

$$t_{PtSi2} = 2 \times t_{Pt2} \times 1,97 = 2 \times t_{cons} \times \cos\theta \times 1,97 \quad (\text{Eq. 6.9})$$

Dans l'Eq. 6.9, le facteur 2 provient du fait que l'on réalise deux fois l'étape d'évaporation. De plus, le facteur 1,97 est le facteur reliant l'épaisseur de platine déposée et l'épaisseur de PtSi formée.

En combinant les équations 6.8 à 6.9, et en réalisant l'application numérique, on peut extraire une valeur de la résistivité du siliciure. La valeur de $R_{mesurée}$ extraite de la Fig 6.7 est de 2210Ω .

Ainsi, on obtient une résistivité du siliciure ρ_{PtSi} de $51 \mu\Omega.cm$. Cette valeur est assez proche de celle donnée par le SZE [11] (entre 28 et $35 \mu\Omega.cm$). Cette légère différence peut s'expliquer par le fait que la résistivité dépend de l'épaisseur de la couche: dans notre étude, l'épaisseur de siliciure est très faible contrairement au Sze où les valeurs sont données pour des siliciures épais.

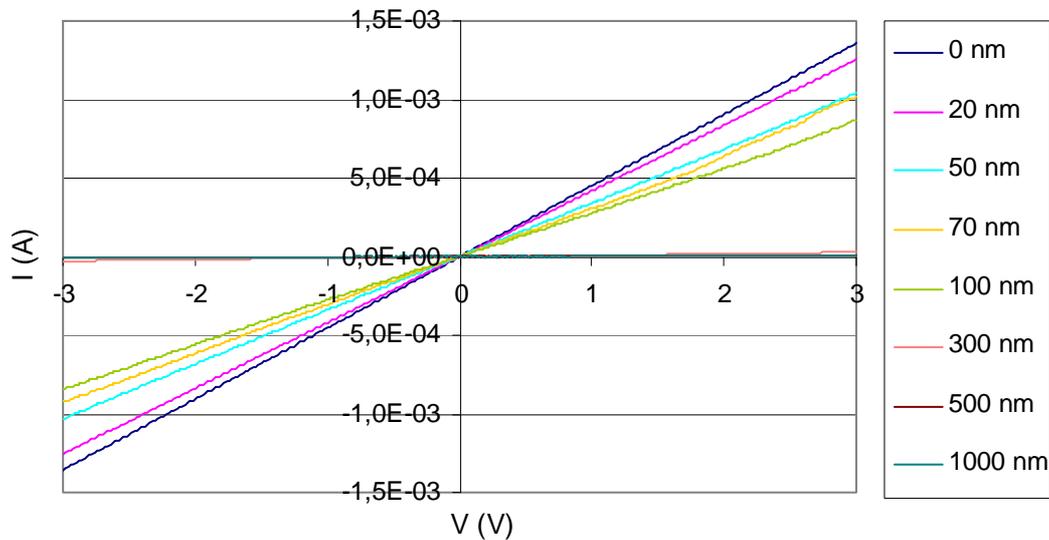


Fig. 6.7: Caractéristiques I-V de siliciures de platine réalisées sur 20 lignes de silicium de 100 nm espacées de 50 nm pour différents gaps: 0 nm, 20 nm, 50 nm, 70 nm, 100 nm, 300 nm, 500 nm, 1000 nm (évaporation de 2×10 nm tiltée à 30°).

IV- Conclusion.

Ce chapitre a tout d'abord rappelé les contraintes liées à la technologie des contacts de source et de drain, et notamment la nécessité de diminuer la résistance par carreau du siliciure, et la résistance spécifique de contact silicium/siliciure.

Dans un second temps, la réalisation de cellules tests permettant de caractériser les siliciures de platine a été présentée. Elles sont constituées de réseaux de lignes de siliciurées auxquelles séparées par un gap de différentes largeur.

Les caractérisations électriques ont permis d'extraire une valeur de la résistivité du siliciure de platine de $51 \mu\Omega.cm$ pour des couches fines de siliciures. Cette valeur est en adéquation avec celle donnée par le Sze [11] entre 28 et $35 \mu\Omega.cm$, pour des couches de PtSi plus épaisses.

Néanmoins, il sera nécessaire de poursuivre l'étude matériau sur les contacts Schottky afin de pouvoir intégrer cette étape dans le procédé proposé. Des mesures en températures pourraient permettre d'extraire la valeur de la hauteur de barrière Schottky. Il serait également intéressant d'étudier les mécanismes de siliciuration mettant en jeu différentes orientations cristallographiques.

Il conviendra également d'envisager une protection du métal de grille par le dépôt au préalable d'une couche protectrice (par exemple l'iridium). En effet, l'eau régale qui est utilisée pour enlever les résidus de platine après la siliciuration attaque également le tungstène.

BIBLIOGRAPHIE

- [1] D.A. Antoniadis, “*MOSFET scalability limits and new frontier devices*”, Symp. VLSI Techn. Dig., pp. 2-5, 2002.
- [2] A. Dixit, A. Kottantharayil, N. Collaert, M. Goodwin, M. Jurczak, K. De Meyer, “*Analysis of the parasitic S/D resistance in multiple-gate FETs*”, IEEE Transactions on Electron Devices, pp. 1-9, 2005.
- [3] H. Murmann, D. Widmann, “*Current crowding on metal contacts to planar devices*”, IEEE Trans. on Electron Dev. vol. 16, pp. 1022-1024, 1969.
- [4] S.D. Kim, C.-M. Park, J.C.S. Woo, “*Advanced mode and analysis of series resistance for CMOS scaling into nanometer regime-Part I: theoretical derivation*”, IEEE Transaction Electron Devices, vol. 49, n°3, pp. 457-466, 2002.
- [5] “*International Technological Roadmap for Semiconductors 2005*”, (ITRS), 2005.
- [6] G. Larrieu, “*Elaboration et caractérisation de transistors MOS Schottky en régime nanométrique*”, Thèse en électronique, IEMN, 2004.
- [7] Fruleux, “*Architecture FinFET à grille Damascène: intégration sans gravure sèche*”, Workshop ST-IEMN, Crolles, 16 mai 2006.
- [8] T. Stark, H. Grunleitner, M. Hundhausen, L. Ley, “*Deriving the kinetic parameters for Pt-silicide formation from temperature ramped in situ ellipsometric measurements*”, Thin Solid Film, vol. 358, pp. 73-79, 2000.
- [9] S.M. Zhou, M. Hundhausen, T. Shark, L.Y Chen, L. Ley, “*Kinetics of platinum silicide followed by in situ spectroscopic ellipsometry*”, Journal of Vacuum Science Technology A, vol. 17, p. 144, 1999.
- [10] C.A. Crider, J.M. Poate, J.E. Rowe, T.T. Sheng, “*Platinum silicide formation under ultra-high vacuum controlled impurity ambients*”, Journal of Applied Physics, vol. 52(4), pp. 2860-2868, 1981.
- [11] VLSI Technology, S.M.SZE, Mc Graw Hill international Editions, p.382, 1988.

Conclusion générale et perspectives

Ce manuscrit a décrit l'ensemble du travail d'élaboration [1] et d'optimisation des étapes technologiques pour la réalisation d'un transistor MOS double-grille de type FinFET. En effet bien que très prometteuse pour les futures générations (contrôle des effets canaux courts, niveaux de courant et de transconductance élevés), l'architecture de transistor FinFET n'est pas encore totalement mature. Ainsi, il subsiste un certain nombre de challenges directement liés à la fabrication du FinFET:

- fluctuation de l'épaisseur des ailettes afin de renforcer l'intégrité électrostatique et de diminuer les effets canaux courts.
- contrôle de l'espacement inter-ailettes afin d'augmenter la densité d'intégration du dispositif.
- intégration des électrodes de source-drain auto-alignées.
- diminution des résistances d'accès source/drain et du couplage capacitif.

L'objectif de ce sujet de recherche a donc consisté à proposer une nouvelle approche permettant de lever les limitations actuelles (présentées ci-dessus) des procédés technologiques couramment utilisés pour la fabrication de transistors multi-grille.

Le premier chapitre s'est efforcé de décrire le contexte dans lequel ont été réalisés ces travaux. Il a ainsi décrit l'évolution des architectures de transistor MOS, menée par la course incessante à la miniaturisation. Les principaux problèmes rencontrés (capacités parasites, effets canaux courts...) ont été détaillés ainsi que certaines des réponses apportées par l'industrie de la micro-électronique (silicium sur isolant complètement déplétés (SOI)). Néanmoins, pour des longueurs de grille déca-nanométriques, ces solutions ne permettront pas d'atteindre des courants de conduction suffisamment élevés. Ainsi des structures multi-grille ont été élaborées afin d'améliorer le contrôle du canal [2]. Ces dispositifs profitent, en effet, du phénomène d'inversion volumique qui génère des niveaux de courants très élevés.

La seconde section a présenté plus en détail, et de manière non exhaustive, les différents types d'architectures multi-grille (fabrication et performances) de la littérature. Les transistors double-grille planaires ont ainsi montré leur limite en terme d'auto-alignement des grilles. Les dispositifs à conduction verticale possèdent, quant à eux, l'inconvénient majeur de ne pouvoir

présenter qu'une seule longueur de grille. Ce sont donc les transistors à conduction latérale de type FinFET qui, actuellement, sont considérés comme les mieux adaptés à la fabrication de masse et les plus propices au contrôle des effets canaux courts. De plus, ils sont particulièrement attractifs en terme de performance en courant/transconductance. Cependant, une difficulté essentielle consiste à définir une épaisseur d'ailette suffisamment mince afin de s'affranchir des effets canaux courts. La difficulté est d'autant plus amplifiée lorsque l'on cherchera à multiplier le nombre d'ailettes associées en parallèle. D'autre part, les zones de source/drain extrinsèques restent relativement éloignées du bord de canal, contribuant ainsi à un accroissement de la résistance série. Dans ce cadre, un procédé de fabrication innovant a été proposé. Ainsi, l'utilisation d'une lithographie optimisée combinée à une gravure plasma RIE permet de définir des réseaux denses d'ailette de silicium. De même, l'utilisation d'un procédé Damascène (ouverture par lithographie combinée à une planarisation par CMP) évite la formation de résidus de gravure du matériau de grille, nuisibles pour l'intégrité électrostatique du transistor.

Les paragraphes suivants rappellent le procédé de fabrication proposé, les étapes technologiques qui ont nécessité une optimisation des procédés, et les différents challenges qui restent encore à résoudre.

L'une des principale difficulté de l'architecture FinFET est la réalisation, de façon contrôlée, d'un réseau dense et uniforme d'ailettes de silicium. Nous avons proposé et validé un procédé de lithographie électronique haute résolution afin de définir les motifs de résine. L'utilisation d'une résine négative (HSQ) et l'optimisation des conditions d'écriture et de développement ont permis d'atteindre les tailles d'ailettes requises (20 nm espacées de 30 nm). De plus, les travaux menés dans le domaine de la gravure plasma RIE ont permis de valider l'obtention de réseaux d'ailettes denses et parfaitement définis. Ces propriétés ont été obtenues via la mise en œuvre d'une chimie fluorée (SF_6) combinée à l'azote (N_2), pour densifier le plasma, et à l'oxygène (O_2), pour passiver les flancs, permettant d'obtenir une très bonne anisotropie ($\alpha < 5^\circ$) ainsi qu'une sélectivité Si/SiO₂ suffisante pour détecter la fin d'attaque.

L'étape suivante consiste à noyer les ailettes de silicium dans une matrice isolante de diélectrique (HSQ) par simple dépôt par enduction par tournette. Ce procédé original permet à la fois d'isoler la structure mais également de la planariser, en utilisant les propriétés d'oxyde fluoble de la HSQ. Des observations MEB et des caractérisations AFM ont permis de valider cette étape (variation maximale de planéité de 4 nm pour 100 nm de HSQ déposée).

Néanmoins, il est important de noter la forte dissolution chimique de la HSQ en milieu acide fluorhydrique, qui rend son intégration difficile. Une des solutions proposées consiste à densifier la HSQ réalisant des traitements sous plasma oxygéné ou des traitements thermiques à relativement haute température (700°C) sous ambiance azotée. L'effet de ces traitements a été analysé par des caractérisations par spectroscopie infra-rouge (FTIR). Une densification homogène associée à une perte de l'épaisseur modérée (16%) est obtenue par recuit à 700°C sous azote. Il serait intéressant de poursuivre cette étude en augmentant la température de recuit.

L'un des points innovants de ce travail réside dans l'utilisation d'un procédé Damascène pour la définition de la grille et la réalisation de contacts de type Schottky au niveau des source et drain. Un masque dur de nitrure est déposé par PECVD. Il servira de couche d'arrêt lors de la formation de la photo-grille et lors de la planarisation du matériau de grille. Une couche de résine de type PMMA est ensuite déposée, insolée par faisceau d'électrons et développée afin de définir l'ouverture de la cavité Damascène. Le transfert de la photo-grille est réalisée par gravure RIE standard, en utilisant le masque dur de nitrure comme couche d'arrêt. Mais, l'une des étapes les plus critiques est l'ouverture de la cavité par gravure RIE de la matrice isolante de HSQ. Cette gravure doit être extrêmement anisotrope et fortement sélective entre la HSQ et le silicium, afin de ne pas détériorer les ailettes de silicium qui constituent le canal du transistor. Une chimie de plasma ($\text{CHF}_3/\text{CF}_4/\text{Ar}$) très sélective (>14) entre la HSQ et le silicium et anisotrope ($\alpha \sim 90^\circ$) a permis de définir une ouverture de 50 nm puis de libérer les ailettes de silicium sans dégrader l'état de surface.

Avant de définir l'oxyde de grille, une oxydation sacrificielle est réalisée sur les ailettes de silicium afin de nettoyer la surface des ailettes. Cet oxyde sacrificiel est enlevé par gravure chimique dans l'acide fluorhydrique. C'est pour cette raison qu'au préalable, la HSQ a subi des traitements de densification afin d'améliorer sa résistance vis-à-vis de l'attaque chimique.

L'ouverture de la cavité est suivie par la croissance d'un oxyde de grille thermique ultra-fin (2 nm) et homogène en utilisant un procédé d'oxydation sèche à faible température. Des caractérisations MEB ont montré une parfaite uniformité de l'oxyde sur tout le pourtour de l'ailette de silicium. Nous avons également montré l'influence de l'orientation cristallographique du substrat sur la vitesse de croissance de l'oxyde, celle-ci est plus importante dans le plan (110)

que dans le plan (100). L'étape de croissance de l'oxyde thermique de grille ultra-fin devra être validée pour l'ensemble des orientations cristallographiques, selon le type de transistor fabriqué ((110) pour les p-MOS et (100) pour les n-MOS). D'autre part, il serait intéressant d'étudier l'impact de la croissance de l'oxyde de grille sur la densification de la matrice de HSQ. Enfin, il sera nécessaire d'étudier plus en détails, le rôle des états d'interface entre l'oxyde de grille et le métal de grille déposé par pulvérisation cathodique. En effet ce mode de dépôt peut générer une rugosité d'interface importante et des pièges profonds dans le gap du silicium.

Le dépôt du matériau de grille midgap (tungstène) est ensuite réalisé par pulvérisation cathodique afin de recouvrir intégralement (de manière conforme) les ailettes des silicium. Puis, l'autre étape critique est la planarisation du métal de grille par un procédé de CMP, en utilisant le masque dur de nitrure comme couche d'arrêt. Cette étape qui nécessite un investissement important en équipements et en consommables, a été sous-traitée à des entreprises extérieures. Des caractérisations MEB et AFM ont permis de valider cette étape. Ce procédé original permet ainsi d'éliminer les problèmes de topologie de surface du matériau de grille. De plus, il permet de s'affranchir des problèmes de gravure hyper-sélectives qui sont susceptibles de générer des résidus du matériau de grille (dégradations des performances électriques des dispositifs). Le masque dur de nitrure est ensuite gravée chimiquement dans un bain d'acide phosphorique chauffé. Une optimisation de cette attaque chimique devra être réalisée afin de limiter la gravure chimique du matériau de grille (tungstène).

L'étape suivante consiste à définir des espaceurs ultra-fins. Cette étape très critique devra également être développée. Une des solutions proposées consistera à déposer une couche conforme de nitrure par un procédé PECVD. Puis, il conviendra d'optimiser une gravure RIE extrêmement sélective (entre le nitrure, la matrice isolante de HSQ et le matériau de grille) et anisotrope afin de ne pas générer de résidus de gravure. Une solution pourrait consister à utiliser une gravure plasma RIE de type $CF_4/O_2/N_2$ [4].

Une étape critique, qui devra être développée, consiste à réaliser le retrait sélectif de la couche de HSQ avant la formation des contacts de source et de drain. Cette gravure devra être une fois de plus être fortement anisotrope et sélective afin de ne pas attaquer le matériau de grille et les ailettes de silicium au niveau des zones de source/drain.

Enfin, la dernière section a permis de valider l'étape de siliciuration des électrodes de source/drain pour la réalisation de contacts à très faible hauteur de barrière Schottky. L'utilisation de ce type d'architecture permet d'obtenir un auto-alignement parfait des électrodes de source et de drain. De plus, il permet de diminuer la résistance spécifique de contact et ainsi de diminuer de manière significative les résistances d'accès des zones de source et de drain. Une évaporation tiltée (30°) de deux fois 10 nm de platine assure un dépôt conforme sur les ailette de silicium au niveau des source/drain. Puis, un recuit RTA à 300°C pendant 2 minutes active l'étape de siliciuration du platine (PtSi). La résistance carreau du siliciure de platine a été extraite des caractérisations électriques I-V réalisées sur des cellules tests. La valeur trouvée pour des fines épaisseur de PtSi ($51 \mu\Omega.\text{cm}$) est en parfaite adéquation avec celle donnée par le Sze [3] pour des couches épaisses (entre 28 et $35 \mu\Omega.\text{cm}$). Néanmoins, l'étude sur la formation des siliciures devra être fortement développée: il serait intéressant de réaliser des mesures en températures afin d'extraire la valeur de la hauteur de barrière. De même, il pourra être intéressant d'étudier l'influence de l'orientation cristallographique du substrat sur la siliciuration.

En résumé, l'étude présentée dans ce manuscrit a permis de définir un procédé de fabrication innovant pour la réalisation d'un transistor de type FinFET, faisant l'objet d'un brevet [1]. Les travaux ont également permis de nettement progresser dans la validation des étapes critiques de ce procédé et la résolution de challenges technologiques:

- Définition de réseaux denses et uniformes d'ailettes de silicium (20 nm espacées de 20 nm) en combinant une lithographie électronique haute résolution et une gravure RIE anisotrope. Cela permet d'augmenter la densité d'intégration du dispositif (grâce aux faible dimensions du pas de répétition), mais également de renforcer l'intégrité électrostatique du composant (en diminuant les fluctuations des largeurs d'ailettes).

- Utilisation d'un procédé original (par simple dépôt par enduction) pour isoler, planariser la structure en utilisant les propriétés de diélectriques à faible permittivité et d'oxyde fluable de la HSQ.

- Densification de la HSQ par des traitements de recuits à haute températures afin de pouvoir intégrer le matériau dans le procédé (augmenter la résistance chimique vis-à-vis de l'acide fluorhydrique)

- Utilisation d'un procédé Damascène pour la structuration de la grille combiné à un procédé de planarisation de type CMP permettant:
 - de s'affranchir des problèmes de topologie du matériau de grille.
 - d'éliminer la formation de résidus du matériau de grille (gravures hyper-sélectives)
- Définition de contacts Schottky siliciurés à très faible hauteur de barrière permettant:
 - d'obtenir un auto-alignement des zones de source et de drain
 - de diminuer les résistances spécifiques des contact du siliciure et donc de diminuer les résistances d'accès.

Néanmoins, comme il a été démontré précédemment, des efforts importants doivent encore être menés, afin de valider les dernières étapes technologiques critiques du procédé proposé:

- étude de l'impact de la croissance de l'oxyde de grille sur la densification de la couche de HSQ.
- étude de l'impact du dépôt du matériau de grille sur la qualité de l'oxyde de grille.
- étude de la formation d'espaceurs ultra-fins en combinant un dépôt PECVD de nitrure et une gravure RIE anisotrope et sélective afin de limiter la formation de résidus. de diélectriques.
- étude du retrait sélectif de la couche de HSQ pour libérer les zones de source et de drain.
- étude menée sur la siliciuration des électrodes de drain/source: caractérisations électriques I-V en température afin d'extraire la hauteur de barrière, impact potentiel de l'orientation cristalline sur la hauteur de barrière Schottky, combinaison d'une siliciuration et d'un dopage des zones de source/drain [5], siliciuration de l'erbium afin de fabriquer des transistors de type n.

Le dernier challenge consistera, bien évidemment, à intégrer l'ensemble des briques technologiques de base présentées jusqu'alors dans un seul et unique procédé afin de pouvoir caractériser électriquement le composant.

Enfin, dans des perspectives plus lointaines, ce procédé de fabrication technologique permet également d'envisager la réalisation de transistor Pi-Gate ou Omega-gate en ajustant quelques étapes technologiques: sur-gravure humide de l'oxyde enterré par acide fluorhydrique afin de former des extensions de la grille jusque dans le box. Park *et al.* [6] ont montré que ces extensions jouaient un rôle quasi équivalent à une quatrième grille et permettaient ainsi d'améliorer l'intégrité électrostatique du canal.

Actuellement, une évolution du procédé initial fait l'objet d'une nouvelle demande de brevet en collaboration avec STMicroelectronics [7]. Elle consiste à définir par deux étapes de lithographie, à la fois l'ouverture Damascène ainsi que les espaceurs. Cela permet alors de s'affranchir des étapes critiques de gravure sélective (entre la matrice isolante de HSQ et les ailettes de silicium, entre la HSQ et le masque dur de nitrure, entre la HSQ et l'oxyde enterré).

BIBLIOGRAPHIE

- [1] J. Penaud, F. Fruleux, E. Dubois, P. Coronel, G. Larrieu, X. Baie, “*Transistor MOS de type FinFET présentant des contacts source et drain auto alignés sur la grille grâce à un dépôt de l’empilement de grille par remplissage d’une cavité Damascène*”, proposition de brevet conjointe-IEMN-ST Microelectronics, janvier 2005.
- [2] “*International Road map for semiconductors*”, Section: Front End Process, ITRS 2005.
- [3] VLSI Technology, Second Edition, S.M. Sze, Mc Graw Hill International Editions, p. 382, 1988.
- [4] M. G. Blain, T. L. Meisenheimer, J. E. Stevens, “*Role of nitrogen in the downstream etching of silicon nitride*”, Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films, vol. 14, n°4, pp. 2151-2157, 1996.
- [5] B.-Y. Tsui, C.-P. Lin, “*A novel 25nm Modified Schottky barrier FinFET with high performance*”, IEEE Elect. Dev. Lett., vol. 25, n°6, 2004.
- [6] J.T. Park, J.P. Colinge, “*Multiple gate SOI MOSFETs: device design guidelines*”, IEEE Trans. On Electr. Devices, vol. 49, n°12, pp. 2222-2229, 2002.
- [7] J. Penaud, F. Fruleux, E. Dubois, P. Coronel, G. Larrieu, “*Procédé de fabrication de transistors FinFET. Libération de la cavité Damascène par double lithographie (Flow 5), densification de la matrice isolante en HSQ, gravure de la cavité damascène (Flow 1), croissance thermique de l’oxyde grille, remplissage de la cavité avec le métal de grille et planarisation par CMP.*”, Rapport d’activité intermédiaire Juillet 2005.

ANNEXE 1:**Correction des effets de proximités doses pour l'écriture électronique de lignes de PMMA de différentes largeurs.**

| Largeur des lignes (nm) | Coefficient correcteur | Dose initiale ($\mu\text{C}/\text{cm}^2$) | | | | | | | | |
|-------------------------|------------------------|---|-------|------|------|------|------|------|------|------|
| | | 250 | 260 | 270 | 280 | 290 | 300 | 310 | 320 | 330 |
| 10 | 3,75 | 938 | 975 | 1013 | 1050 | 1088 | 1125 | 1162 | 1200 | 1238 |
| 20 | 3,75 | 938 | 975 | 1013 | 1050 | 1088 | 1125 | 1162 | 1200 | 1238 |
| 30 | 3,75 | 938 | 975 | 1013 | 1050 | 1088 | 1125 | 1162 | 1200 | 1238 |
| 40 | 3,75 | 938 | 975 | 1013 | 1050 | 1088 | 1125 | 1162 | 1200 | 1238 |
| 50 | 3,75 | 938 | 975 | 1013 | 1050 | 1088 | 1125 | 1162 | 1200 | 1238 |
| 60 | 3,45 | 863 | 897 | 932 | 966 | 1001 | 1035 | 1070 | 1104 | 1139 |
| 70 | 3,17 | 793 | 825 | 856 | 888 | 919 | 951 | 983 | 1014 | 1046 |
| 80 | 2,91 | 728 | 757 | 786 | 815 | 844 | 873 | 902 | 931 | 960 |
| 90 | 2,67 | 668 | 694 | 721 | 748 | 774 | 801 | 828 | 854 | 881 |
| 100 | 2,45 | 613 | 637 | 662 | 686 | 711 | 735 | 760 | 784 | 809 |
| 110 | 2,25 | 563 | 585 | 608 | 630 | 653 | 675 | 698 | 720 | 743 |
| 120 | 2,25 | 563 | 585 | 608 | 630 | 653 | 675 | 698 | 720 | 743 |
| 130 | 2,07 | 518 | 538 | 559 | 579 | 600 | 621 | 642 | 662 | 683 |
| 150 | 2,06 | 515 | 536 | 556 | 576 | 597 | 618 | 639 | 659 | 670 |
| 300 | 1,9 | 475 | 494 | 513 | 532 | 551 | 570 | 589 | 608 | 627 |
| 500 | 1,9 | 475 | 494 | 513 | 532 | 551 | 570 | 589 | 608 | 627 |
| 2000 | 1,9 | 475 | 494 | 513 | 532 | 551 | 570 | 589 | 608 | 627 |
| 5000 | 1,74 | 435 | 452,4 | 470 | 487 | 505 | 522 | 539 | 557 | 574 |
| 10000 | 1,6 | 400 | 416 | 432 | 448 | 464 | 480 | 496 | 512 | 528 |

Ce tableau rassemble l'ensemble des doses d'insolation que reçoit véritablement la résine. Chaque ligne reçoit une dose distincte selon sa taille: dose élevée pour les petites lignes, et plus faible pour les grandes lignes.

ANNEXE 2:

Publications

Revue avec comités de lecture:

- [1] J. Penaud, F. Fruleux, E. Dubois, “Transformation of hydrogen silsesquioxane properties with RIE plasma treatment for advanced multiple-gate MOSFET”, In Press dans Applied Surface Science, 2006.
- [2] F. Fruleux, J. Penaud, E. Dubois, M. François, M. Muller, “An optimal high contrast e-beam lithography process for the patterning of dense fin networks”, Materials Science and Engineering : C, Vol. 26, Issues 5-7, pp. 893-897, 2006.
- [3] F. Fruleux, J. Penaud, E. Dubois, M. François, M. Muller, “Optimisation of HSQ e-beam lithography for the patterning of FinFET transistors”, Microelectronic Engineering, vol. 83, Issues 4-9, pp. 776-779, 2006.
- [4] J. Katcki, J. Ratajczak, A. Lascz, F. Phillip, E. Dubois, G. Larrieu, J. Penaud, X. Baie, “Transmission electron microscopy of silicides used in ALSB-SOI MOSFET structures”, Microscopy of Semiconducting Material Conf. MSM'2003, April 2003, Cambridge. Publié dans Microscopy of Semiconducting Materials 2003, Editors A.G.Cullis.

Communications par affiche:

- [5] J. Penaud, F. Fruleux, E. Dubois, “Transformation of hydrogen silsesquioxane properties with RIE plasma treatment for advanced multiple-gate MOSFET”, poster à l'E-MRS Spring Meeting 2005, Strasbourg, 31 May-3rd June 2005.
- [6] F. Fruleux, J. Penaud, E. Dubois, M. François, M. Muller, “An optimal high contrast e-beam lithography process for the patterning of dense fin networks”, poster à l'E-MRS Spring Meeting 2005, Strasbourg, 31 May-3rd June 2005.
- [7] J. Penaud, F. Fruleux, E. Dubois, G. Larrieu, “Advanced and nanometric MOSFET architecture. Multiple gate device: Pi-Gate”, poster session of MIGAS'2004 International Summer School on advanced Microelectronics, Villard de Lans, 26 June-2nd July 2004.
- [8] F. Fruleux, J. Penaud, E. Dubois “Nanometric MOS device on SOI substrate - FinFET Transistors achievement”, poster session of MIGAS'2004 International Summer School on advanced Microelectronics, Villard de Lans, 26 June-2nd July 2004.

Brevets:

[9] J. Penaud, F. Fruleux, E. Dubois, P. Coronel, G. Larrieu, “*Procédé lithographique permettant la fabrication de la grille et des espaceurs par une technique Damascène, adaptée à la fabrication de transistors double grille de type FinFET*”, proposition de brevet conjointe-IEMN-ST Microelectronics, janvier 2006.

[10] J. Penaud, F. Fruleux, E. Dubois, P. Coronel, G. Larrieu, X. Baie, “*Transistor MOS de type FinFET présentant des contacts source et drain auto alignés sur la grille grâce à un dépôt de l'empilement de grille par remplissage d'une cavité Damascène*”, proposition de brevet conjointe-IEMN-ST Microelectronics, janvier 2005.

Communications orales:

[11] J. Penaud, F. Fruleux, E. Dubois, “*Architecture MOS à grilles multiples: nouvelle architecture FinFET et procédé de gravure d'ailettes nanométriques*”, Workshop, collaboration ST-IEMN, mars 2004.

[12] J. Penaud, F. Fruleux, E. Dubois, “*Procédé de planarisation et de densification d'une matrice isolante HSQ en technologie FinFET non-conventionnelle*”, Workshop, collaboration ST-IEMN, mars 2005.

Rapports scientifiques:

[13] J. Penaud, F. Fruleux, E. Dubois, “*Définition du procédé de fabrication de transistors FinFET sur base d'un substrat épitaxié Si/SiGe. Définition et test du procédé de gravure d'ailettes de silicium*”, rapport d'activité décembre 2003, deliverable activité II.2.1.

[14] J. Penaud, F. Fruleux, E. Dubois, “*Procédé de fabrication de transistor FinFET. Optimisation du procédé de lithographie e-beam pour la réalisation de réseaux denses d'ailettes de silicium. Planarisation et densification de l'isolation diélectrique de HSQ*”, rapport d'activité intermédiaire, juillet 2004, deliverable II.2.2.

[15] J. Penaud, F. Fruleux, E. Dubois, “*Procédé de fabrication de transistor FinFET. Optimisation du procédé de lithographie e-beam pour la réalisation de réseaux denses d'ailettes de silicium. Planarisation et densification de l'isolation diélectrique de HSQ. Définition de l'ouverture Damascène*”, rapport d'activité annuel, janvier 2004, deliverable II.2.3.

[16] J. Penaud, F. Fruleux, E. Dubois, “*Procédé de fabrication de transistor FinFET. Libération de la cavité Damascène par double lithographie (Flow5), densification de la matrice isolante de HSQ, gravure de la cavité Damascène (Flow1), croissance thermique de l'oxyde de grille, remplissage de la cavité avec le métal de grille et planarisation par CMP*”, rapport d'activité intermédiaire, juin 2005.

[17] J. Penaud, F. Fruleux, E. Dubois, “*Procédé de fabrication de transistor FinFET. Libération de la cavité Damascène par double lithographie (Flow5), densification de la matrice isolante de HSQ, gravure de la cavité Damascène (Flow1), croissance thermique de l'oxyde de grille, remplissage de la cavité avec le métal de grille et planarisation par CMP*”, rapport d'activité annuel, janvier 2006.

Abstract

The integrated circuits industry is always under pressure to achieve device sizes and performances in accordance to Moore' law (gate lengths of 90 nm). Shrinking the conventional MOSFET beyond the 50-nm-technology node requires innovations to overcome the limitations imposed by complexity and fundamental physics that constraint the conventional MOSFET. The solution consists in elaborating multi-gated transistors which preserve the fully depleted properties while multiplying the channels of conduction. Several concepts have been proposed over the last few years ("double-gate", "FinFET", "pi-gate", "Omega-FET", "Gate all around", "Tri-Gate", "Quadruple-gate"). The so-called FinFET device has been recognized to be the most attractive one to suppress short-channel effects and to increase device density. Such an architecture is attractive thanks to the fin configuration of the channel and to the good side control of transport by the field effect of the gate. However, the integration of non-classical CMOS devices such as FinFET clearly presents hard technological challenges (thickness of the fin, stringers, drain and source self-alignment...). The aim of this work consists in proposing an innovating and relatively simple process in order to overcome the limitations imposed by process complexity for the realization of multi-gated transistors.

The first part of the study was devoted to the definition of dense networks of silicon fins by using high resolution electronic lithography and RIE plasma. The use of a negative resist (HSQ) and the optimization of the conditions of writing and development have allowed to reach the sizes of desired fins (20 nm). Moreover, the work undertaken in the field of etching plasma (chemistry, pressure, power, gas concentration) has validated the good transfer of the resist patterns on SOI substrate, in order to obtain dense and perfectly defined networks of silicon fins (20 nm spaced by 20 nm). The oxygen and nitrogen contribution in fluorinated plasma has clearly improved the etching anisotropy by passivating the sides of the fins and by densifying them.

The second study has investigated the use of a fluable oxide (HSQ) to shroud the fins in an isolating matrix. MEB and AFM analysis have shown that HSQ deposited by spin on coating exhibited remarkable planarization and gapfill capabilities (a 100 nm HSQ layer deposited over a 50 nm high fin network gives a roughness of only 2,6 nm). In the same time, a material study has been led in order to improve the resistance to wet etching using HF. FTIR analysis have demonstrated the impact of various treatments (oxygen RIE plasma and rapid thermal curing) on the chemical and physical properties. This densification technique holds the remarkable property to transform HSQ into a SiO₂-like structure.

The third research orientation concerned the Damascene cavity formation, used to deposit the gate material. The process is based on a layer of a hard PECVD nitride mask combined with a photo-lithography gate and with an etching of the dielectric. An anisotropic and selective plasma etching chemistry between HSQ and silicon has been used to define a nanometric window cavity and not to degrade the silicon fins. A 2-nm-thermic oxide has been grown on (110) fin orientation in which a midgap gate material (tungsten) was deposited by cathodic sputtering. A CMP has been applied to planarize the structure using the nitride layer as a stopping layer. This process avoids the formation of metal gate stringers. Finally, electrical characterizations of platinum silicide have led to the extraction of a low value of the resistivity (51 $\mu\Omega\cdot\text{cm}$).

Résumé

L'évolution des transistors MOSFET qui suit les prédictions de la Loi de Moore depuis plus de 30 ans a permis la réduction des dimensions jusqu'à des dispositifs de longueur de grille de 65 nm. Pour de telles dimensions, les dispositifs conventionnels sur substrat massif souffrent de dégradations notamment en terme de vitesse de commutation des circuits et de consommation en puissance. Jusqu'au noeud 45 nm, l'intégration de transistors sur substrats SOI complètement déplétés permet de réduire les courants de fuite. Néanmoins, pour les générations suivantes (sub-32 nm), les transistors sur substrat SOI complètement déplété ne permettent plus d'atteindre les niveaux de courants escomptés. La solution consiste à réaliser des transistors multi-grille qui conservent l'aspect complètement déplété du FDSOI MOSFET tout en multipliant les canaux de conduction sur une surface de silicium identique ou moindre. Parmi les nombreux dispositifs proposés (double-gate, FinFET, Pi-gate, Omega-FET, Gate all around, Tri-Gate, Quadruple-gate), l'architecture FinFET semble être la plus prometteuse en terme de contrôle des effets canaux courts et de performance en courant/transconductance. Une telle architecture tire avantage de la configuration filaire (en ailette) du canal et du contrôle latéral du transport par l'effet de champ exercé par la grille. Cependant les procédés de fabrication de ces dispositifs restent trop complexes pour pouvoir intégrer une filière industrielle (uniformité de l'épaisseur des ailettes, résidus de gravure, source drain auto-alignés...). L'objectif de ces travaux a donc consisté à lever un certain nombre de verrous technologiques liés à la fabrication de transistor multi-grilles. Un procédé innovant et relativement simple a ainsi été proposé.

Le premier volet de l'étude a été consacré à la définition de réseaux denses d'ailettes de silicium par lithographie électronique haute résolution et gravure RIE. L'utilisation d'une résine négative (HSQ) et l'optimisation des conditions d'écriture et de développement ont permis d'atteindre les tailles d'ailettes requises (20 nm). De plus, les travaux menés dans le domaine de la gravure plasma (chimie, pression, puissance, concentration des gaz) ont permis de valider le parfait transfert des motifs de résines sur substrat SOI, pour l'obtention de réseaux denses d'ailettes (20 nm espacées de 20 nm) et parfaitement définies. L'apport d'oxygène dans le plasma fluoré a nettement amélioré l'anisotropie de gravure en passivant les flancs des ailettes alors que l'azote a permis de densifier le plasma.

La deuxième étude a investigué le choix du matériau de planarisation permettant de noyer les ailettes dans une matrice isolante tout en préservant une topologie de surface parfaitement plane. La HSQ a ainsi été choisi pour ses remarquables propriétés de fluage. Des caractérisations MEB et AFM ont montré la possibilité de planariser la structure par un simple dépôt du polymère par tournette (variation maximale de planéité de 4 nm pour 100 nm déposé).

En parallèle à ce travail, une étude matériau approfondie de la HSQ a été menée dans le but de densifier la matrice, afin d'obtenir une meilleure résistance aux attaques chimiques (en particulier à l'acide fluorhydrique). Divers traitements de densification ont été étudiés: plasma oxygéné, recuit haute température sous ambiance azotée. Les transformations physico-chimiques de la HSQ densifiée ont été mises en évidence par spectroscopie Infra-Rouge à Transformée de Fourier et ont été corrélées à la vitesse d'attaque chimique par le HF.

Le troisième axe de recherche s'est orienté sur l'architecture de grille Damascène qui permet d'éviter la formation de résidus de gravure. Le procédé est basé sur le dépôt d'un masque dur de nitrure combiné à une photo-grille (PMMA) et à une gravure du diélectrique. Une chimie de plasma très sélective entre la HSQ et le silicium et anisotropique a permis de définir une ouverture de 50 nm puis de libérer les ailettes de silicium sans dégrader l'état de surface. La croissance d'un oxyde de grille thermique ultra-fin (2 nm) a été réalisée dans le plan (110). Une pulvérisation cathodique du matériau de grille midgap (tungstène) a parfaitement recouvert les ailettes. La structure a ensuite été planarisée par CMP en utilisant un masque dur de nitrure comme couche d'arrêt.

Enfin, des caractérisations électriques réalisées sur des siliciures de platine 3D, ont permis d'extraire une valeur de la résistivité du siliciure de platine de $51 \mu\Omega.cm$ pour une couche mince, résultat en parfaite adéquation avec la valeur donnée par le Sze entre 28 et $35 \mu\Omega.cm$, pour une couche épaisse.

Mots clés:

Transistor MOSFET
Gravure par plasma
Planarisation

Transistor double grille
Lithographie par faisceau d'électrons
Procédé Damascène