

N° d'ordre : 4042

THÈSE

Présentée à l'Université des Sciences et Technologies de Lille

pour obtenir le grade de

Docteur de l'Université

par

Emmanuel Bouhana

**Analyse du comportement petit signal du transistor MOS :
contribution à une nouvelle approche d'extraction et de
modélisation pour des applications RF**

Soutenue le 29 octobre 2007 devant la commission d'examen

Composition du jury :

Mr Emmanuel Dubois	Président du jury
Mr. Bernard Fléchet	Rapporteur
Mr. Jean-Luc Gautier	Rapporteur
Mr. François Danneville	Examineur
Mr. Franz Sischka	Examineur
Mr. Gilles Dambrine	Directeur de thèse
Mr. Patrick Scheer	Co-directeur de thèse

Remerciements

Chère lectrice, cher lecteur,

Je sais bien qu'il y a de bonnes chances pour que cette partie soit la seule de ce manuscrit que tu lises. Et pourtant... si tu savais quels trésors se cachent au-delà de la table des matières...

Durant cette thèse, j'ai travaillé, parfois perdu du temps, perdu confiance. En décembre 2004, j'ai assisté à la soutenance de thèse d'Alexandre Siligaris. J'avoue que j'en suis ressorti quelque peu inquiet, pensant que jamais je n'arriverais à en faire suffisamment pour écrire un manuscrit. Mais trois ans, c'est long. On fait des choses en trois ans. On apprend beaucoup, on découvre. Et avec du travail, avec l'aide et le soutien de plein de gens, on s'aperçoit un jour que ce qu'on fait a un sens. Qu'on peut même tout écrire, et que ça fait quelque chose de cohérent, qui tient. On recule de quelques pas. On voit que ce n'est pas parfait, mais on n'est pas si mécontent, au fond. Et puis c'est une page qui se tourne.

On a **accompli** quelque chose, on a cultivé un morceau de son jardin, comme dirait Candide.

Et pour tout cela, chère lectrice, cher lecteur, il me faut remercier ceux qui m'ont aidé tout au long de ce travail.

Alors, si tu es Emmanuel Dubois, Bernard Fléchet, Jean-Luc Gautier ou François Danneville, merci d'avoir accepté de faire partie de mon jury, et, le cas échéant, de l'avoir présidé, ou d'avoir rapporté mon travail de thèse. Und wenn du Franz Sischka bist, danke Ich Dir dafür, dass Du an meiner Doktorarbeitjury teilgenommen hast.

Si tu t'appelles Patrick Mortini, André Juge, Michel Minondo, ou Patrick Scheer, je te remercie de m'avoir permis de faire cette thèse (et y compris indirectement, si tu t'appelles Christine Raynaud) au sein de STMicroelectronics à Crolles.

Si tu t'appelles Gilles Dambrine, tu as été mon directeur de thèse : je te remercie pour tes nombreux conseils, ton aide, et ton accueil toujours chaleureux lors de mes visites à Lille.

Si tu t'appelles Patrick Scheer, rognudju de rognudju !, je te remercie pour ton soutien, pour ta rigueur scientifique, ta précieuse aide et tes non moins précieux conseils. J'espère que le bruit des vagues ne t'a pas trop dérangé lors de la relecture de ce manuscrit...

Si tu t'appelles... non, je vais pas tous les faire, là, mais si tu fais partie (ou as fait partie, comment pourrions-nous t'oublier) d'une équipe de modélisation ou d'ESD à Crolles, je te remercie pour ces trois ans passés à tes côtés, au café, à la cantine, aux barbecs...

Si vous êtes le professeur Slalom Jérémie Ménerlache, soyez assuré, cher Professeur, de toute ma gratitude et de toute ma reconnaissance. Même si, à la différence du Biglotron (qui ne sert à rien, et par conséquent peut servir à tout), mon travail a vocation à être utile (et ce, dans un avenir d'autant plus proche qu'il sera moins éloigné), j'ai pu, grâce à votre précieuse aide, réaliser un premier chapitre en matière entièrement agnostique, autrement dit, pour éclairer le profane. Quant aux autres chapitres, inutile d'en parler, même à voix basse. Cher Professeur, encore merci¹.

Si tu es Thierry Schwartzmann, je te remercie tout particulièrement, car c'est à toi que je dois

1. Référence : Pierre Dac, "Essais, maximes et conférences", Cherche Midi éditeur, 1995.

d'être l'auteur d'une belle thèse.

Si tu t'appelles Guillaume Bertrand, Raphaël Paulin, Jérémy Pretet ou encore Pompon (Monsieur du Port de Pontcharra Jean pour l'état civil), je te remercie pour ton soutien, ton aide et tes encouragements à des moments parfois difficiles.

Si tu es Anna ou Hélène, tu as commencé ta thèse en même temps que moi. Je t'embrasse et je te souhaite une carrière et surtout une vie personnelle épanouissantes, enrichissantes, qui iront là où bon te semblera.

Si tu fais partie de l'équipe olympique de natation pour Paris 2012, je t'adresse des longueurs de pensées affectueuses. Plus vite, Delphine, ça traîne, là...

Si, grâce à toi, je suis l'heureux propriétaire d'un magnifique t-shirt personnalisé et d'une encombrante carte de vœux, je te remercie pour ta gentillesse et ton attention.

Si tu as été mon binôme (CH...), mon guitariste (So f***ing what !) ou mon voisin à Cergy (glop !), je te remercie pour ton soutien, et pour la relecture ce manuscrit.

Si tu es Denis Rideau, je te remercie pour la Figure 2-19, mais aussi, plus important, pour nos discussions en matière de photographie et ta vision extrêmement® exigeante en la matière. Tant qu'à parler photo, comment serait-il un instant imaginable d'oublier Clément Charbuillet et son enthousiasme débordant... Merci, Clément ;o)

Si tu as partagé mon bureau lors de ton stage de DEA au Leti, ou si ton nom de famille commence par BOC, je te remercie d'avoir fait partie des quelques années que j'ai passées à Grenoble, et je t'adresse mon amitié la plus sincère.

Si tu es Aurélie ou David, je te remercie pour ton amitié, ta confiance, ton accueil, tes encouragements, ta confiture de mirabelle, grâce auxquels je suis arrivé au bout de cette thèse.

Si tu es Hind, Elise, Cédric ou Pif, je t'adresse, pour ta patience, ton aide, tes encouragements, ton soutien, tes conseils, des remerciements que je qualifierai de "soutenus".

Si tu es un ami des marsupilamis, je te remercie pour ton amitié et ton accueil à Bordeaux/Berlin/Le Puy/Limoges/Lyon/Paris/la Sibérie orientale². Et non, Niko, l'effet canal court ne fait pas référence à un festival de courts-métrages sponsorisé par une chaîne cryptée !

Si tu es le vol AF009, sache que je n'oublierai jamais ce morceau de camembert, béni après une semaine passée au Texas. Oui, béni, et Dieu sait à quel point je ne suis pas croyant !

Si tu es mon grand-père ou ma grand-mère, je sais que tu m'entends. Je pense à toi et je te remercie de t'occuper de moi.

Si tu es mon père, ma mère, ma sœur, mon frère ou même mon chat, je sais que tu ne comprends pas très bien de quoi mon travail cause, mais je te remercie de ton affection, de ton soutien (voire de tes ronronnements) et de m'avoir permis d'en arriver là.

Enfin, chère(e)³, merci à toi aussi, d'avoir ouvert ce manuscrit et lu ces remerciements jusqu'au bout. Tant que tu y es, lis aussi l'Annexe C, franchement elle est pas mal.

Ca, c'est fait®.... passons à la suite.

2. Biffer les mentions inutiles.

3. Concept : "la thèse dont VOUS êtes le lecteur"; tu peux, chère lectrice, cher lecteur, personnaliser ce document en écrivant ton nom dans les pointillés.

“On avait toujours dit que les astres étaient fixés sur une voûte de cristal pour qu'ils ne puissent pas tomber. Maintenant nous avons pris courage et nous les laissons en suspens dans l'espace, sans soutien, et ils gagnent le large comme nos bateaux, sans soutien, au grand large. Et la terre roule joyeusement autour du soleil, et les poissonnières, les marchands, les princes, les cardinaux et même le pape roulent avec elle.”

Berthold Brecht, *La Vie de Galilée*

“With science, ideas can germinate within a bed of theory, form, and practice that assists their growth... but we, as gardeners must beware... For some seeds are the seeds of ruin and the most iridescent blooms are often the most dangerous.”

Alan Moore & David Lloyd, *V for Vendetta*

Table des matières

Remerciements	iii
Introduction générale	11
Chapitre 1 : Modélisation du MOSFET et utilisation en RF	15
1.1 Le MOSFET à l'heure actuelle	15
1.1.1 : Rappel du fonctionnement du dispositif	15
1.1.2 : Les effets de petite géométrie	21
1.1.3 : Le dispositif extrinsèque	26
1.1.4 : Utilisation du transistor MOS dans l'industrie	27
1.2 : La modélisation compacte du transistor MOS	28
1.2.1 : Définition du modèle compact	28
1.2.2 : Historique des modèles compacts [25]	29
1.2.3 : BSIM4.6, EKV3.0, PSP102.1 : quelles différences ?	36
1.3 : La modélisation RF du MOSFET	37
1.3.1 : Pourquoi le transistor MOS en RF ?	37
1.3.2 : Modélisation pour applications numériques et modélisation pour applications analogiques ou RF	38
1.3.3 : Le modèle "historique" RF	40
1.3.4 : Les modèles compacts et la RF	41
1.4 La mesure	45
1.4.1 : Mesure RF	46
1.4.2 : Le calibrage	48
1.4.3 : Epluchage	49
1.4.4 : Limites	51
1.5 Moyens mis en œuvre	54
1.6 Conclusion	54
1.7 Références	55
Chapitre 2 : Etude des éléments parasites "connus" du MOSFET	61
2.1 Intrinsèque et extrinsèque	61
2.2 Extraction des éléments parasites	63
2.2.1 Capacités parasites	64

2.2.2 Résistance de grille (R_{ggext})	74
2.3 Impact des éléments parasites du dispositif	91
2.3.1 Qui joue sur quoi ?	92
2.3.2 Influence de la géométrie du dispositif : illustration	93
2.3.3 Impact et évolution [17]	95
2.4 Conclusion	99
2.5 Références	99
Chapitre 3 : Etude du réseau substrat	101
3.1 Le substrat comme élément parasite	101
3.1.1 Modèles existants	101
3.1.2 Particularités	103
3.1.3 Dispositifs étudiés	104
3.2 Analyse du réseau substrat	105
3.2.1 Méthodologie d'accès au substrat	105
3.2.2 Epluchage	106
3.2.3 Analyse de $[Y_{sub}]$	110
3.3 Simulation	116
3.3.1 Construction du modèle	116
3.3.2 Comparaison simulation/mesure	117
3.3.3 Cas particulier des dispositifs très longs	121
3.4 Limitations de la méthode	123
3.4.1 Que regarde-t-on vraiment ?	123
3.4.2 Effets distribués	126
3.5 Conclusion	126
3.6 Références	127
Conclusion générale	129
Annexes	
Annexe A : Calcul des paramètres $[Y]$ du transistor MOS	133
Annexe B : Calculs des gains du transistor	141
Annexe C : Etude de l'impact de différents effets sur le fonctionnement du MOSFET	149

Annexe D : Procédure spécifique d'épluchage de la mesure	171
Annexe E : Calcul de la capacité de recouvrement	175
Annexe F : Modèle de capacité de jonction	181
Annexe G : Le MOSFET vu comme une structure distribuée	183
Annexe H : Liste des publications	191

Introduction générale

1. Le transistor MOS et les applications RF¹

Depuis le premier circuit intégré en technologie CMOS fabriqué par Fairchild au début des années 1960, le développement de la technologie MOS a permis de produire des circuits de plus en plus rapides, contenant de plus en plus de transistors, pour un prix quasiment constant. Gordon Moore, cofondateur de la société Intel, supposa en 1965 que le nombre de transistors par circuit intégré allait doubler environ tous les dix-huit mois [2]. Faisant de cette observation (appelée depuis “Loi de Moore”) une prophétie auto-réalisatrice [3], l'industrie du semiconducteur s'en est servie pour se donner son propre rythme de développement depuis près de quarante ans. Grâce à quoi le transistor MOS est devenu un composant de plus en plus rapide et de moins en moins cher [4][5][6].

Même si l'évolution du transistor MOS a longtemps été pensée en termes de circuits numériques (microprocesseurs, microcontrôleurs, DSPs...), ses performances de rapidité en font désormais un composant intéressant pour les circuits analogiques et RF. Il reste surpassé par les technologies bipolaires ou III-V [7][8], mais présente notamment deux avantages importants :

- son prix est moins élevé ;
- il offre la possibilité de réaliser facilement, sur un même circuit, des fonctions numériques et des fonctions analogiques ou RF.

Ceci a permis de développer de nombreuses applications RF grand public (principalement pour les communications sans fil) à moindre coût [9][7].

En conséquence, aujourd'hui, même si le transistor MOS reste un composant massivement utilisé pour la conception numérique, de nombreux efforts sont portés sur la fabrication de circuits RF en technologie MOS. Depuis 2003, l'ITRS (International Technology Roadmap for Semiconductors) s'intéresse ainsi à l'évolution des technologies RF et Analog/Mixed-Signal pour les communications sans fil [10]. Dans la vie de tous les jours, ce type d'applications se situe potentiellement à peu près partout, pour la téléphonie mobile (GSM, UMTS), les réseaux sans fil (Wifi, Bluetooth, bande ISM, Wimax) ou la localisation et le transport (GPS, radars de proximité) et possède encore vraisemblablement, à l'heure actuelle, une bonne marge de développement.

2. La modélisation RF du transistor MOS

La modélisation des dispositifs d'un circuit intégré s'inscrit parmi les méthodologies permettant de réduire le temps de cycle et le coût d'un circuit. En effet, une des particularités des circuits intégrés est qu'une fois fabriqués, il ne peuvent être modifiés. Ainsi, lors de la conception du circuit, le comportement électrique de celui-ci doit être simulé pour vérifier qu'il fonctionne correctement. Pour être pertinente, cette simulation doit bien entendu être la plus proche possible de la réalité.

Le but de la modélisation est donc d'élaborer, pour chaque dispositif, un équivalent mathématique, le modèle, qui permet d'en reproduire et d'en prédire le comportement électrique. Utilisé directement par le simulateur de circuit, cet équivalent mathématique repose

¹. Par convention de l'Union Internationale des Télécommunications, le spectre Radiofréquence (RF) comprend les fréquences inférieures à 3THz [1]. Les applications dites “RF” ont pour la plupart une fréquence de fonctionnement dans la bande 1-10GHz. Dans tout ce manuscrit, le terme “RF” fait référence à ce domaine de fréquence.

sur la physique du composant.

En pratique, on dispose du modèle, qui est un jeu d'équations basées sur la physique, et de mesures de structures de test, c'est-à-dire de composants isolés. Ces mesures permettent d'extraire les paramètres caractéristiques de la technologie. Les principales difficultés résident dans le fait que développer un modèle représente un très long travail de recherche ; par ailleurs, la réduction des dimensions des dispositifs impose la prise en compte d'effets de petite géométrie de plus en plus nombreux, ce qui complique à la fois les modèles en eux-mêmes et la méthodologie d'extraction des paramètres [10].

Nous l'avons vu, l'activité RF en technologie MOS est relativement récente, et reste encore minoritaire. Or, dans un circuit RF ou dans un circuit numérique, le transistor n'est pas utilisé de façon identique. Les besoins et les contraintes des deux types de circuit diffèrent, et il en est par conséquent de même pour les modèles [8]. Dans le but d'affiner la modélisation du transistor MOS en RF, il est donc essentiel de s'intéresser à certains aspects du composant, qui peuvent avoir une influence négligeable dans le cadre d'une application numérique, et néanmoins importante, voire prépondérante dans le comportement RF du transistor.

3. Plan du manuscrit

L'objectif de ce travail de thèse est de proposer de nouvelles approches et de nouvelles techniques de modélisation du MOSFET adaptées aux applications RF, en particulier en explorant les limites des modèles existants. Le domaine de fréquence étudié est celui des applications RF ($1\text{GHz} < f < 10\text{GHz}$), voire le domaine millimétrique ($f > 30\text{GHz}$).

Tout d'abord, le Chapitre 1 expose la problématique de la modélisation RF du transistor MOS. Après un rappel sur le fonctionnement du composant, les outils de modélisation —en particulier, trois modèles compacts existants—, seront présentés. La dernière partie du chapitre est consacrée aux contraintes spécifiques à la RF dans le cadre d'un travail de modélisation du composant.

En second lieu, certains des éléments extrinsèques du composant seront étudiés, et des méthodes d'extraction et de modélisation de ces éléments seront élaborées. L'évolution de ces derniers, ainsi que leur impact sur le fonctionnement du composant pour différentes géométries et technologies, terminent le Chapitre 2.

Le Chapitre 3 est exclusivement consacré à un élément parasite particulier : le réseau substrat. Sa complexité, tant dans sa forme que dans ses effets sur les performances du transistor, impose une approche spécifique. L'analyse et l'extraction de cette partie du dispositif seront développées, suivies d'une comparaison entre la mesure et une simulation basée sur le modèle élaboré.

Enfin, c'est par choix délibéré que les annexes occupent une grande part de ce manuscrit. Elles présentent des calculs, des aspects importants de ce qui constitue l'approche du composant propre à la RF. Elles peuvent donc être utiles hors de la lecture des chapitres qui les précèdent.

4. Références

- [1] <http://www.itu.int/newsarchive/press/WRC97/Sharing-the-spectrum-fr.html>
- [2] G.E. Moore, "Cramming more components onto integrated circuits", *Electronics*, Vol. 38, no. 8, Apr. 1965.
- [3] "Excerpts from 'A Conversation with Gordon Moore: Moore's Law'", Intel, 2005.
- [4] D. Mathiot, "Architectures et Technologies pour Nanocomposants", Cours de DEA, InESS Strasbourg.

- [5] “A la découverte du nanomonde”, plaquette du Ministère délégué à l'enseignement supérieur et à la recherche, 2005.
- [6] T. Skotnicki, “Transistor MOS et sa technologie de fabrication”, Techniques de l'ingénieur.
- [7] H.S. Bennett, R. Brederlow, J.C. Costa, P. E. Cottrell, W.M. Huang, A. A. Immorlica, Jr., J.-E. Mueller, M. Racanelli, H. Shichijo, C. E. Weitzel, and B. Zhao, “Device and Technology Evolution for Si-Based RF”, IEEE Transactions on Electron Devices, vol. 52, no. 7, pp. 1235-1258, Jul. 2005.
- [8] G. Dambrine, C. Raynaud, D. Lederer, M. Dehan, O. Rozeaux, M. Vanmackelberg, F. Danneville, S. Lepilliet and J.-P. Raskin, “What are the limiting parameters of deep-submicron MOSFETs for high frequency applications?”, IEEE Electron Device Letters, vol. 24, no. 3, pp. 198-191, Mar. 2003.
- [9] C-W. Kim, M-S. Kang, P.T. Anh, H-T. Kim, and S-G. Lee, “An Ultra-Wideband CMOS Low Noise Amplifier for 3–5-GHz UWB System”, IEEE Journal of Solid-State Circuits, vol. 40, no. 2, Feb. 2005.
- [10] International Technology Roadmap for Semiconductors, 2003 Edition, Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications.

Chapitre 1

Modélisation du MOSFET et utilisation en RF

Le MOSFET est aujourd'hui le transistor le plus utilisé en microélectronique. Alors qu'il sert principalement pour la conception de circuits numériques, son faible coût et ses performances en font un composant de plus en plus intéressant pour les applications RF. Or, les contraintes de modélisation diffèrent selon les applications visées.

Ce chapitre permet, dans un premier temps, de situer le MOSFET tel qu'il est à l'heure actuelle : son fonctionnement, mais aussi les caractéristiques des MOSFETs des générations les plus avancées, et les moyens utilisés pour modéliser ce dispositif dans un contexte industriel.

Dans un second temps, les techniques nécessaires à la modélisation haute fréquence du transistor MOS seront abordées et recensées ; il s'agit notamment de la prise en compte des effets non quasi-stationnaires et de la partie extrinsèque du composant, et également les contraintes spécifiques de la mesure en haute fréquence.

1.1 Le MOSFET à l'heure actuelle

1.1.1 Rappel du fonctionnement du dispositif¹

1.1.1.1 Metal-Oxide-Semiconductor Field-Effect Transistor : le transistor à effet de champ à grille isolée

La Figure 1-1 représente de façon schématique un transistor nMOS (le canal est constitué d'électrons²). La tension appliquée à la grille module la conductivité électrique de la zone source-drain, permettant à plus ou moins de porteurs de se déplacer de la diffusion de source à la diffusion de drain, sous l'action de la tension V_{DS} . Le MOSFET est donc une source de courant commandée par la tension de grille.

1.Ce paragraphe n'est pas exhaustif et ne développe pas le fonctionnement du MOSFET dans le détail. Il s'agit de présenter des éléments pertinents pour la suite. Pour une présentation plus complète, se reporter à [1].

2.Par opposition au transistor pMOS, dont le canal est constitué de trous.

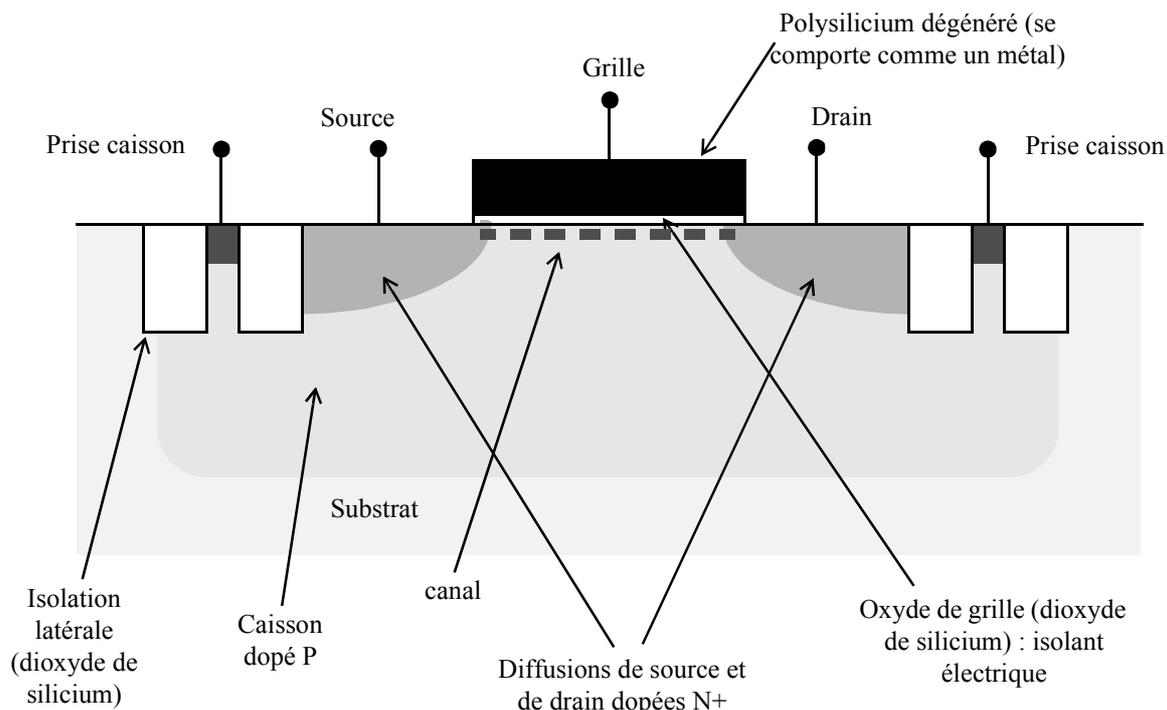


Figure 1-1 : Représentation schématique d'un transistor nMOS.

On distingue plusieurs régimes de fonctionnement, comme l'illustrent la Figure 1-2 et la Figure 1-3. La transconductance de grille, quantifiant l'action de la tension de grille sur le courant source-drain, est définie par :

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS} = \text{Cte}} \quad (1-1)$$

La conductance source-drain est définie par :

$$g_{ds} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS} = \text{Cte}} \quad (1-2)$$

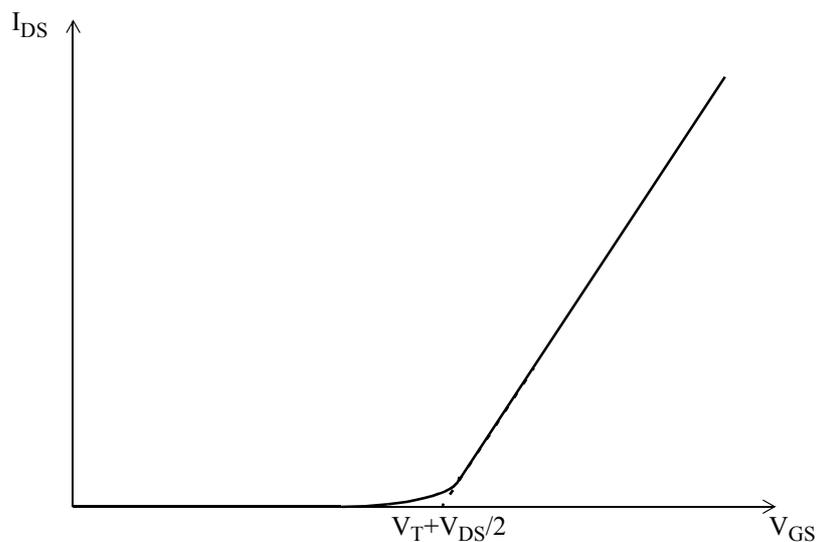


Figure 1-2 : Courant drain-source en fonction de V_{GS} à V_{DS} faible.

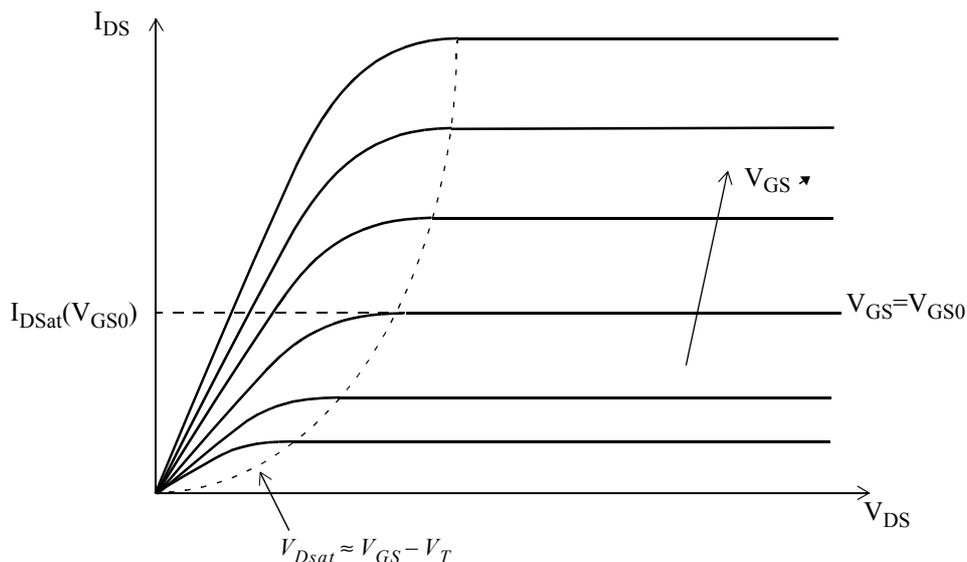


Figure 1-3 : Courant drain-source en fonction de V_{DS} pour plusieurs valeurs de V_{GS} .

Pour $V_{GS} < V_T$, le canal n'est pas formé. Idéalement, le courant dans cette zone est nul.

Pour $V_{GS} > V_T$, le canal est formé, le transistor peut conduire du courant. On note $V_{DSat} \approx V_{GS} - V_T$.

- Pour $V_{DS} \ll V_{DSat}$, le transistor est en régime **linéaire**, le courant I_{DS} est proportionnel à V_{DS} .
- Pour $V_{DS} \approx V_{DSat}$, la densité de charge du canal s'annule au drain : on dit que le canal est **pincé**. Le courant ne peut plus augmenter proportionnellement à la tension V_{DS} .
- Pour $V_{DS} > V_{DSat}$, le courant reste constant et vaut I_{DSat} . La tension aux bornes du canal vaut V_{DSat} et le point de pincement se déplace vers la source lorsque la tension V_{DS} est augmentée. Le transistor est en régime **saturé**.

1.1.1.2 La capacité MOS

Le comportement dynamique du transistor est décrit par les variations des charges présentes dans la grille et dans le caisson. La connaissance des capacités du transistor, définies par (1-3), est donc aussi importante que la connaissance de son comportement en courant.

$$C_{ij} = \left. \frac{\partial Q_i}{\partial V_j} \right|_{V_{k \neq j} = \text{Cte}} \quad (1-3)$$

De plus, les variations avec V_{GS} de la capacité totale vue de la grille, mesurée dans les conditions de la Figure 1-4, permettent d'illustrer les régimes de fonctionnement du transistor, comme le montre la Figure 1-5. La capacité du MOSFET à deux terminaux peut être représentée comme sur la Figure 1-6.

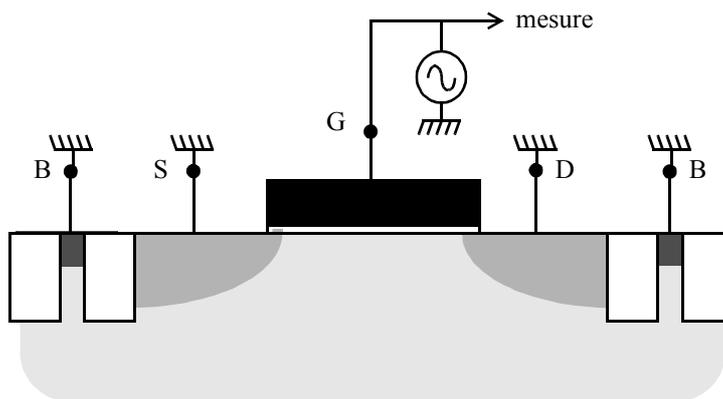


Figure 1-4 : Configuration de mesure de la capacité totale vue de la grille du transistor MOS.

- **Accumulation** : sous l'effet du champ de grille, les porteurs majoritaires du caisson sont attirés vers l'interface semiconducteur/oxyde de grille, et constituent la charge d'accumulation. La valeur de la capacité d'accumulation est alors très forte : la capacité MOS est donc quasiment égale à la capacité d'oxyde.
- **Déplétion** : les porteurs majoritaires du caisson sont repoussés par la tension appliquée à la grille. Une zone déplétée en porteurs de charge apparaît. La charge de déplétion ainsi créée est due aux impuretés ionisées du caisson. La capacité de déplétion est d'autant plus faible que la profondeur de déplétion est importante : la capacité MOS décroît.
- **Inversion** : une couche de porteurs minoritaires, alimentée par les diffusions de source et de drain, se forme à l'interface semiconducteur/oxyde. Cette couche d'inversion est le canal du transistor, il est électriquement connecté au drain et à la source. La capacité d'inversion est très forte : la capacité MOS tend vers C_{ox} .

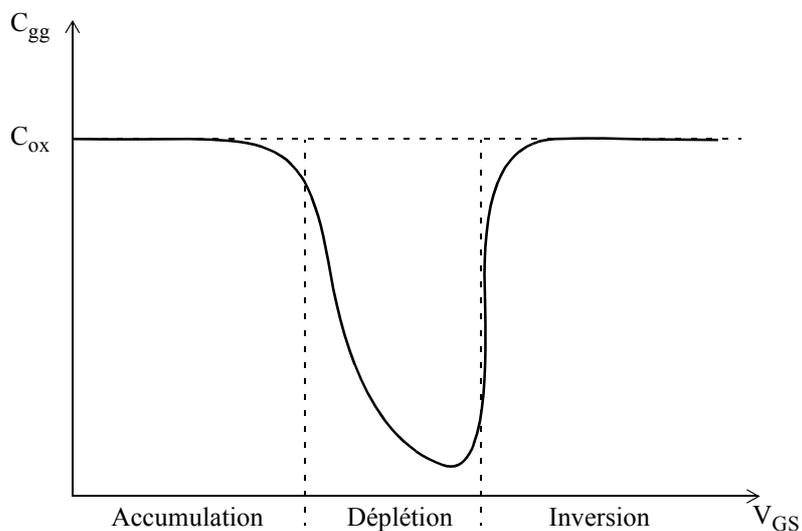


Figure 1-5 : Capacité totale vue de la grille dans les conditions de mesure de la Figure 1-4 en fonction de V_{GS} .

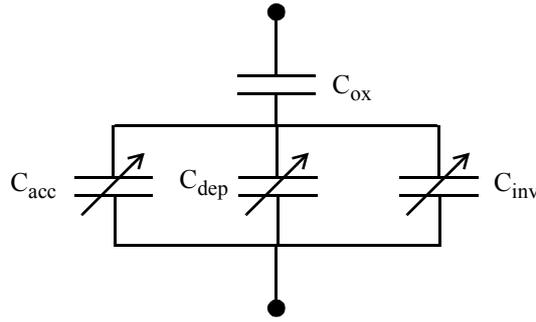


Figure 1-6 : Capacité d'une structure MOS. Les capacités d'oxyde (C_{ox}), d'accumulation (C_{acc}), de déplétion (C_{dep}) et d'inversion (C_{inv}) représentent respectivement la capacité due à l'oxyde de grille, et les variations des charges d'accumulation, de déplétion et d'inversion.

1.1.1.3 Le régime d'inversion

La théorie du MOSFET est basée sur le **potentiel de surface** ψ_s , défini comme la chute de potentiel entre l'interface semiconducteur/oxyde et la région neutre (non déplétée) du caisson [1]. Dans le cas simple de la capacité MOS (c'est-à-dire une structure MOS à deux terminaux seulement), dont le semiconducteur est dopé en impuretés acceptrices (avec un dopage N_A), cette grandeur peut être reliée à la tension V_{GB} par (1-4) :

$$V_{GB} = V_{FB} + \psi_s + \gamma \cdot \sqrt{\psi_s + \phi_t \cdot \exp\left[\frac{\psi_s - 2 \cdot \phi_F}{\phi_t}\right]} \quad (1-4)$$

où V_{FB} est la **tension de bandes plates**, valeur de la tension de grille pour laquelle aucune charge n'existe dans le semiconducteur ; ϕ_F est le **potentiel de Fermi** du semiconducteur ; γ est appelé facteur de substrat et est défini par :

$$\gamma = \frac{\sqrt{2 \cdot q \cdot \epsilon_s \cdot N_A}}{C_{ox}} \quad (1-5)$$

où C_{ox} est la capacité surfacique d'oxyde de grille, et ϵ_s est la permittivité du silicium. Enfin, dans (1-4), ϕ_t est le potentiel thermique, valant :

$$\phi_t = \frac{k \cdot T}{q} \quad (1-6)$$

où k est la constante de Boltzmann, T la température en Kelvins et q la charge élémentaire.

La concentration en électrons (c'est-à-dire en porteurs minoritaires) à l'interface semiconducteur/oxyde est donnée par :

$$n_{surface} = N_A \cdot \exp\left[\frac{\psi_s - 2 \cdot \phi_F}{\phi_t}\right] \quad (1-7)$$

On remarque alors que :

- à $\psi_s = \phi_F$,

$$\begin{aligned} n_{surface} &= N_A \cdot \exp\left[-\frac{\phi_F}{\phi_t}\right] \\ &= n_i \end{aligned} \quad (1-8)$$

où n_i est la concentration intrinsèque du semiconducteur en porteurs de charge ;

- à $\psi_s = 2\phi_F$,

$$n_{surface} = N_A \quad (1-9)$$

les concentrations en porteurs minoritaires et en charges fixes sont égales.

Ainsi,

- Pour $0 < \psi_s < \phi_F$, le transistor est en régime de **déplétion**.
- Pour $\phi_F < \psi_s < 2 \cdot \phi_F$, le transistor est dit en régime d'**inversion faible**. Dans ce régime, $C_{inv} \ll C_{dep}$;
- Pour $2 \cdot \phi_F < \psi_s < 2 \cdot \phi_F + \phi_{Z0}$, où ϕ_{Z0} vaut plusieurs ϕ_t , le transistor est en régime d'**inversion modérée** ;
- Pour $2 \cdot \phi_F + \phi_{Z0} < \psi_s$, le transistor est en régime d'**inversion forte**. On peut considérer que dans ce régime, ψ_s est quasiment indépendant de V_{GB} . De plus, $C_{inv} \gg C_{dep}$.

La charge d'inversion peut être calculée pour le régime d'inversion faible :

$$Q_I \approx Q_M \cdot \exp\left[\frac{V_{GB} - V_{M0}}{n_0 \cdot \phi_t}\right] \quad (1-10)$$

où V_{M0} est la limite, pour V_{GB} , entre les régimes d'inversion faible et modérée, Q_M est la charge d'inversion lorsque $V_{GB} = V_{M0}$ et

$$n_0 = 1 + \frac{\gamma}{2 \cdot \sqrt{2} \cdot \phi_F} \quad (1-11)$$

D'autre part, en inversion forte :

$$Q_I \approx -C_{ox} \cdot (V_{GB} - V_{T0}) \quad (1-12)$$

V_{T0} est appelée tension de seuil extrapolée du transistor.

Remarquons qu'en inversion faible, la charge d'inversion varie exponentiellement avec la tension appliquée à la grille, alors qu'en inversion forte, elle varie linéairement.

1.1.1.4 Le courant drain-source

De façon simplifiée, et pour un transistor MOS idéal, on peut établir les équations du courant de drain dans les différents régimes de fonctionnement.

Il existe deux types de courant constituant I_{DS} :

- le courant de **conduction**, qui est un déplacement des porteurs de la charge d'inversion, dû à la variation du potentiel de surface le long du canal. Ce courant est prépondérant en inversion forte.
- le courant de **diffusion**, qui est un déplacement des porteurs dû à la non-homogénéité de la charge d'inversion. Ce courant est prépondérant en inversion faible.

Ces deux types de courant existent dès lors que la tension drain-source est non nulle, et que le MOSFET est en régime d'inversion.

En inversion forte, il faut distinguer le régime linéaire ($V_{DS} < V_{DSat}$) et le régime saturé ($V_{DS} > V_{DSat}$) :

- En régime linéaire, I_{DS} dépend linéairement de V_{DS} et de $(V_{GS} - V_T)$, comme on peut le voir Figure 1-2 :

$$I_{DS} = \mu \cdot \frac{W}{L} \cdot C_{ox} \cdot \left(V_{GS} - V_T - \frac{V_{DS}}{2}\right) \cdot V_{DS} \quad (1-13)$$

- En régime saturé, I_{DS} dépend quadratiquement de $(V_{GS} - V_T)$, et ne dépend plus de V_{DS} :

$$\begin{aligned}
 I_{Dsat} &= \mu \cdot \frac{W}{L} \cdot C_{ox} \cdot \frac{(V_{Dsat})^2}{2} \\
 &= \mu \cdot \frac{W}{L} \cdot C_{ox} \cdot \frac{(V_{GS} - V_T)^2}{2}
 \end{aligned}
 \tag{1-14}$$

En inversion faible,

$$I_{DS} \sim \exp\left[\frac{V_{GS}}{n \cdot \phi_t}\right] \cdot \left(1 - \exp\left[-\frac{V_{DS}}{\phi_t}\right]\right)
 \tag{1-15}$$

où

$$n = 1 + \frac{\gamma}{2 \cdot \sqrt{2} \cdot \phi_F + V_{SB}}
 \tag{1-16}$$

n est un paramètre relié à ce qu'on appelle communément la **pen­te sous le seuil** : en inversion faible, une variation de V_{GS} de $\ln[10] \cdot n \cdot \phi_t$ fait varier I_{DS} d'une décade.

Nous voyons, comme pour la charge d'inversion, que le courant est linéaire ou quadratique en inversion forte, et exponentiel en inversion faible. Ceci constitue un point délicat pour l'élaboration d'un modèle physique (donc mathématiquement continu) du transistor MOS, si on raisonne en V_{GS} et V_{DS} [1].

1.1.2 Les effets de petite géométrie

L'ITRS définit l'évolution des générations technologiques des composants à semiconducteurs. En ce qui concerne la longueur de grille des MOSFETs, l'ITRS a établi la prévision suivante :

Année	2005	2007	2009	2011
Epaisseur équivalente d'oxyde de grille ^a (nm)	1.2	1.1	0.9	0.5
Longueur physique de grille (nm)	32	25	20	16

Table 1-1 : Evolution, selon l'ITRS, de l'épaisseur d'oxyde de grille et de la longueur de grille d'un transistor MOS pour les applications de type numériques haute performance [2].

a.L'épaisseur équivalente d'oxyde de grille (ou EOT, Equivalent Oxide Thickness) est l'épaisseur de SiO_2 nécessaire pour avoir la même capacité surfacique d'oxyde que celle, plus importante, obtenue avec un diélectrique de permittivité plus élevée.

En principe, d'une génération à la suivante, tous les paramètres (en particulier la longueur de grille, la profondeur de jonction, l'épaisseur d'oxyde de grille, la tension d'alimentation) du transistor doivent être réduits dans les mêmes proportions. En réalité, ce n'est pas le cas, en raison de grosses difficultés d'ordre technologique [3][4][5][6].

Ainsi, de nombreux effets liés à la petite dimension des dispositifs apparaissent : leur fonctionnement n'est plus idéal. La liste qui suit présente certains des effets les plus connus ; elle n'est pas exhaustive.

Il est à noter que pour beaucoup, ces effets limitent la transconductance de grille ou influent sur la conductance source-drain de telle façon que cette dernière n'est plus nulle en régime saturé comme elle devrait l'être idéalement. Par ailleurs, le gain analogique du transistor, défini comme g_m/g_{ds} , s'en trouve alors diminué. Ceci est une raison majeure pour laquelle l'utilisation

des dispositifs à la longueur de grille nominale de la technologie n'est pas la norme.

1.1.2.1 Modulation de la longueur du canal (CLM, Channel Length Modulation)

Nous avons vu qu'en régime saturé, si V_{DS} augmente, le courant est supposé rester le même ; la longueur effective du canal cependant a diminué (voir Figure 1-7). Ainsi, en régime saturé, le courant n'est plus proportionnel à $1/L_g$ mais à $1/(L_g-l_p)$: I_{DS} augmente avec V_{DS} , et la conductance source-drain n'est plus nulle. Pour les dispositifs courts, cette diminution n'est pas négligeable devant L_g , et l'augmentation du courant avec la tension de drain est significative. Cet effet est semblable à l'effet Early des transistors bipolaires.

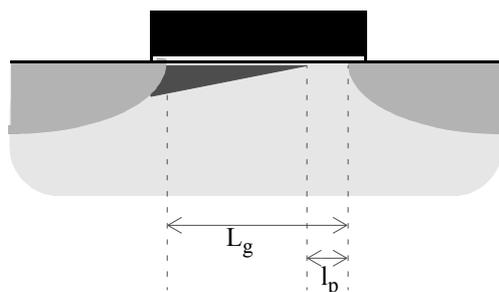


Figure 1-7 : Coupe schématique du MOSFET en régime saturé illustrant l'effet de modulation de la longueur du canal.

1.1.2.2 Les effets de petite géométrie affectant la tension de seuil du transistor

1.1.2.2.1 L'effet canal court (SCE, Short-Channel Effect)

On peut voir cet effet, illustré Figure 1-8, comme la conséquence du fait que pour ces canaux courts, une partie de la charge de déplétion, normalement contrôlée par la grille, est contrôlée par les jonctions source et drain. La tension de seuil effective est alors plus faible :

$$V_{T|eff} = V_{T|long} - \Delta V_T \quad (1-17)$$

avec $\Delta V_T > 0$.

Le problème que pose une tension de seuil trop basse est illustré par la Figure 1-9 : la valeur du courant à V_{GS} nulle, appelée également I_{OFF} , est plus grande, ce qui signifie une consommation électrique plus importante.

Une solution technologique consiste à augmenter localement le dopage du caisson à proximité de la source et du drain, les "poches", ("pocket implants") de façon à limiter l'extension des zones de déplétion des jonctions.

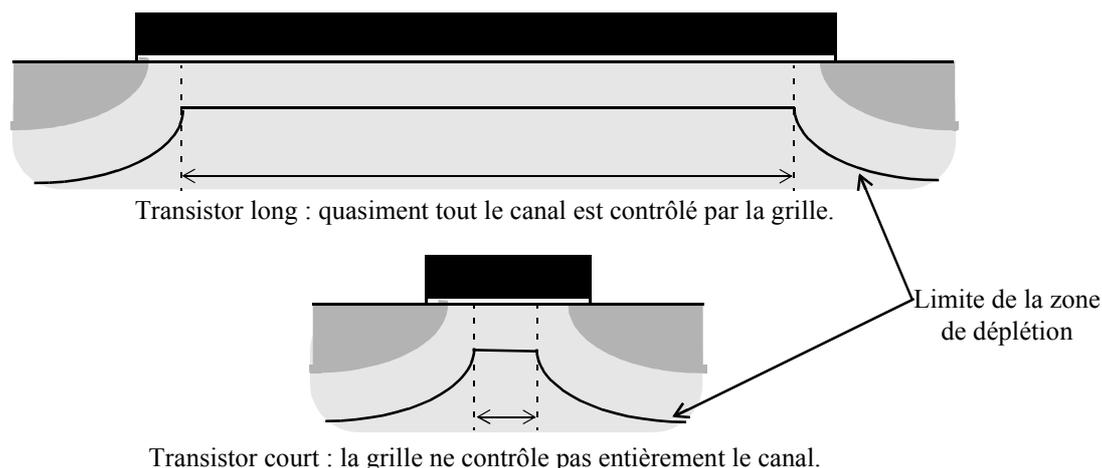


Figure 1-8 : Coupe schématique du MOSFET en régime saturé illustrant l'effet canal court (d'après [1]).

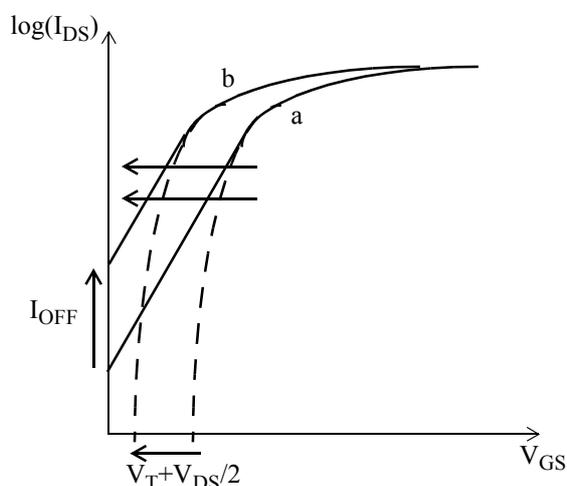


Figure 1-9 : Impact de l'effet canal court sur le courant drain-source. a : caractéristique idéale ; b : caractéristique réelle. La courbe en pointillés représente une extrapolation du régime d'inversion forte.

1.1.2.2.2 Effet canal court inverse (RSCE, Reverse Short-Channel Effect)

Cet effet est d'origine technologique. La diffusion des dopants dans le silicium est assistée par les défauts cristallins de type interstitiel, créés lors de l'implantation ionique. Lors du recuit d'activation des dopants, ces défauts diffusent vers la surface du semiconducteur (qui maintient leur concentration à l'équilibre thermique), entraînant avec eux des atomes de dopant. Le dopage à la surface est donc plus élevé que dans le volume [7][8]. Ce phénomène est accentué au voisinage des zones de source et de drain [9].

Ainsi, le dopage moyen à la surface du semiconducteur est plus important pour un transistor de faible longueur de grille que pour un transistor long, ce qui conduit à une augmentation de la tension de seuil lorsque L_g diminue.

Sans les "poches", si L_g décroît davantage, la tension de seuil diminue, comme le décrit l'effet canal court (qui lui est d'origine électrostatique). Avec les "poches", cet effet est encore accentué.

1.1.2.2.3 Effets DIBL (Drain Induced Barrier Lowering) et DITS (Drain Induced Threshold Shift)

On peut montrer [1] que dans (1-17), le terme ΔV_T dépend linéairement de V_{DS} . Concrètement, le canal est tellement court que l'effet d'une tension appliquée sur le drain affecte une grande partie du canal. Ainsi, à V_{GS} constant, si V_{DS} augmente, ΔV_T augmente.

Les "poches" permettent de contrôler cet effet pour les dispositifs à canal court. En revanche, si L_g augmente, elles ont pour conséquence l'effet DITS, semblable à l'effet DIBL des transistors courts [10].

Intuitivement, les conséquences sont simples à comprendre : en régime saturé, si V_{DS} augmente, la tension de seuil du dispositif diminue. Donc à V_{GS} constant, $V_{GS}-V_T$ augmente ; le courant également, d'où une conductance source-drain non nulle.

1.1.2.3 Effets des forts champs sur les porteurs

1.1.2.3.1 Mobilité effective

La mobilité des porteurs de charge du canal est affectée par le champ transverse (perpendiculaire au sens du courant). A faible champ, la mobilité est limitée par l'effet "**Coulomb scattering**", qui est le mécanisme d'interaction des porteurs avec les impuretés ionisées et les charges piégées dans l'oxyde de grille. A plus fort champ, la mobilité décroît, principalement en raison de l'effet "**phonon scattering**" : les porteurs perdent de l'énergie du fait des vibrations du réseau cristallin. Lorsque le champ est encore plus fort, les porteurs, comme "plaqués" contre l'interface semiconducteur/oxyde, voient leur mobilité diminuer essentiellement à cause de la **rugosité de surface** [1][11][12]. Un modèle proposé dans [1] est :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta \cdot (V_{GS} - V_T) + \theta_B \cdot V_{SB}} \quad (1-18)$$

Où μ_0 , θ et θ_B sont des paramètres physiques, mais déterminés empiriquement.

La réduction de vélocité limite la transconductance de grille, et donc le courant que le transistor peut délivrer.

1.1.2.3.2 Saturation de la vélocité des porteurs [1]

Ici, la vélocité des porteurs est affectée par le champ électrique longitudinal. Pour un champ critique E_c ((1-19)), la vitesse des porteurs sature.

$$E_c = \frac{v_{max}}{\mu} \quad (1-19)$$

où v_{max} est la vélocité maximale des porteurs.

Un modèle simple de ce phénomène est donné par [1][13] :

$$v = v_{max} \cdot \frac{E_x/E_c}{1 + E_x/E_c} \quad (1-20)$$

où E_x est le champ longitudinal dans le composant.

1.1.2.3.3 Le phénomène de porteurs chauds

Pour de forts champs source-drain, la vélocité des porteurs peut saturer avant que le canal ne soit pincé. Entre le point où ils atteignent leur vélocité maximale et le drain, les porteurs continuent de voir leur énergie croître, mais leur vitesse est limitée par leurs collisions avec les atomes du réseau. Il peut alors s'ensuivre le phénomène d'**ionisation par impact**, entraînant la

création de nouveaux porteurs, des électrons et des trous.

Dans le cas d'un nMOSFET, les trous ainsi créés sont repoussés par le champ électrique de la grille vers le substrat, donnant naissance à un courant de substrat. Les nouveaux électrons participent au courant de drain. Certains électrons, toutefois, peuvent être injectés dans l'oxyde et créer alors un courant de grille, ou peuvent être piégés dans l'oxyde, devenant des charges fixes ou des charges d'interface. Ceci dégrade le fonctionnement du composant et participe à son vieillissement.

1.1.2.4 Effets dus aux oxydes fins [1]

1.1.2.4.1 Augmentation de l'épaisseur effective d'oxyde (CLT, Charge Layer Thickness)

La charge d'inversion n'est pas infiniment fine, et le pic de distribution de cette charge se trouve à une profondeur d_m de la surface du semiconducteur. d_m peut valoir de 10 à quelques dizaines d'angströms, soit l'ordre de grandeur de l'épaisseur physique d'oxyde de grille. L'épaisseur effective de grille est alors supérieure à l'épaisseur physique [14][15], ce qui conduit à une valeur plus faible de C_{ox} et limite donc le courant drain-source.

1.1.2.4.2 Polydépétion

Le polysilicium de grille est dégénéré (fortement dopé) et est supposé se comporter comme un métal. Le dopage de ce matériau n'est toutefois pas infini, et lorsque le transistor est en inversion, une couche de dépétion peut s'y former. Elle agit comme une capacité en série avec C_{ox} : l'épaisseur effective d'oxyde s'en trouve augmentée. Une solution technologique envisagée pour supprimer la polydépétion est l'utilisation de grilles métalliques.

1.1.2.4.3 Courant tunnel de grille

En raison de la forte réduction de son épaisseur, des porteurs peuvent passer à travers l'oxyde par effet tunnel, ce qui donne naissance à un courant de fuite de grille. Ce courant a tendance à limiter le courant que le dispositif peut délivrer. De plus, pour les applications comme les mémoires, qui reposent souvent sur du stockage de charge, ce courant de grille est évidemment très gênant [16]. Pour réduire ce courant, on utilise à la place du dioxyde de silicium des matériaux dont la permittivité électrique est plus élevée (appelés aussi oxydes "high- κ "), ce qui permet d'avoir, pour une même capacité surfacique d'oxyde, une épaisseur d'oxyde plus importante qu'avec du SiO_2 .

1.1.2.5 Effets présents dans les technologies les plus avancées (nœuds 90nm et au-delà) [17]

1.1.2.5.1 L'empilement de grille

La très faible épaisseur des oxydes de grille (quelques couches atomiques) et leur complexité grandissante (utilisation de matériaux à forte permittivité) nécessite d'aborder la modélisation de cette partie du transistor d'une façon nouvelle. Outre les courants de grille dus à l'effet tunnel, les effets quantiques doivent être pris en compte pour modéliser le comportement des oxydes.

1.1.2.5.2 Les contraintes dans le silicium

L'empilement des différents matériaux et les étapes du processus de fabrication, à mesure que les dimensions se réduisent, ont de plus en plus d'influence sur les caractéristiques du dispositif, et en particulier sur la mobilité des porteurs.

Par ailleurs, le silicium contraint pourra, dans les générations technologiques à venir, être une solution pour augmenter la mobilité.

1.1.2.5.3 Le dopage dans le semiconducteur

La réduction des dimensions implique que la concentration des dopants dans le caisson et les jonctions apparaît comme de moins en moins homogène. Pour des raisons technologiques, des impuretés dopantes peuvent en outre être là où elles ne sont pas supposées se trouver [18]. Ceci influence le fonctionnement du dispositif et augmente également les effets des variations du processus de fabrication. La concentration en dopants ne peut plus être considérée comme uniforme, mais doit être décrite par une distribution. On parle WPE (Well Proximity Effect) [15].

1.1.3 Le dispositif extrinsèque

La partie dite “extrinsèque” est définie par opposition à la partie “intrinsèque” du MOSFET. Plusieurs définitions sont possibles, certains éléments étant intrinsèques ou extrinsèques suivant le point de vue qu’on adopte [1][19][20].

Le dispositif intrinsèque est défini ici comme celui décrit par Tsvividis [1], c’est-à-dire qu’il s’agit de la partie responsable de l’effet transistor, décrite par la physique du composant. La partie extrinsèque est donc constituée de tout ce qui entoure, et permet d’accéder au dispositif intrinsèque : elle est composée des éléments représentant les chemins résistifs d’accès aux différents terminaux de grille, source, drain et substrat. Elle inclut également les couplages capacitifs entre les interconnexions métalliques, contacts, les capacités des jonctions source et drain, et de recouvrement (voir Figure 1-10).

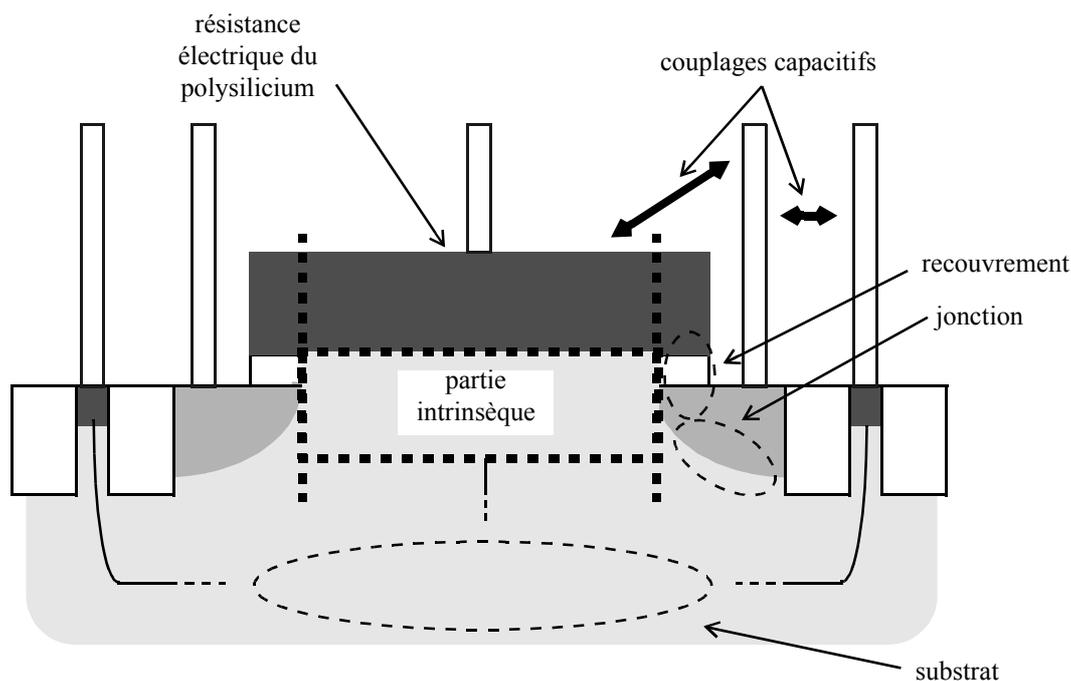


Figure 1-10 : Coupe du transistor MOS illustrant la répartition partie intrinsèque/partie extrinsèque.

Si on peut estimer que la partie intrinsèque d’un transistor est décrite avec la longueur et la largeur de son canal, il n’en est *a priori* pas de même pour la partie extrinsèque. Il est nécessaire d’avoir des informations supplémentaires sur le **layout** du dispositif, c’est-à-dire la façon dont le transistor est réalisé physiquement.

Par exemple, la largeur totale de grille du transistor MOS est en général répartie sur plusieurs cellules élémentaires (voir Figure 1-11), chacune comportant plusieurs doigts de grille, de

façon à avoir :

$$W_{total} = N_c \times N_f \times W_f \tag{1-21}$$

où W_{total} est la largeur totale du dispositif, N_c son nombre de cellules élémentaires, N_f le nombre de doigts de grille par cellule et W_f la largeur d'un doigt. L'accès au doigt de grille peut en outre être fait d'un seul côté du doigt ($N_{gcon}=1$) ou des deux côtés ($N_{gcon}=2$). Cette répartition permet de diminuer la résistance de grille (puisque cela revient à avoir plusieurs résistances plus petites en parallèle), ce qui est bénéfique pour les performances RF et de bruit [21].

Les capacités de jonction ou métalliques (entre interconnexions) peuvent elles aussi être affectées, tout comme le réseau substrat, qui désigne les chemins résistifs suivis dans le caisson par le signal du terminal intrinsèque de bulk à la masse.

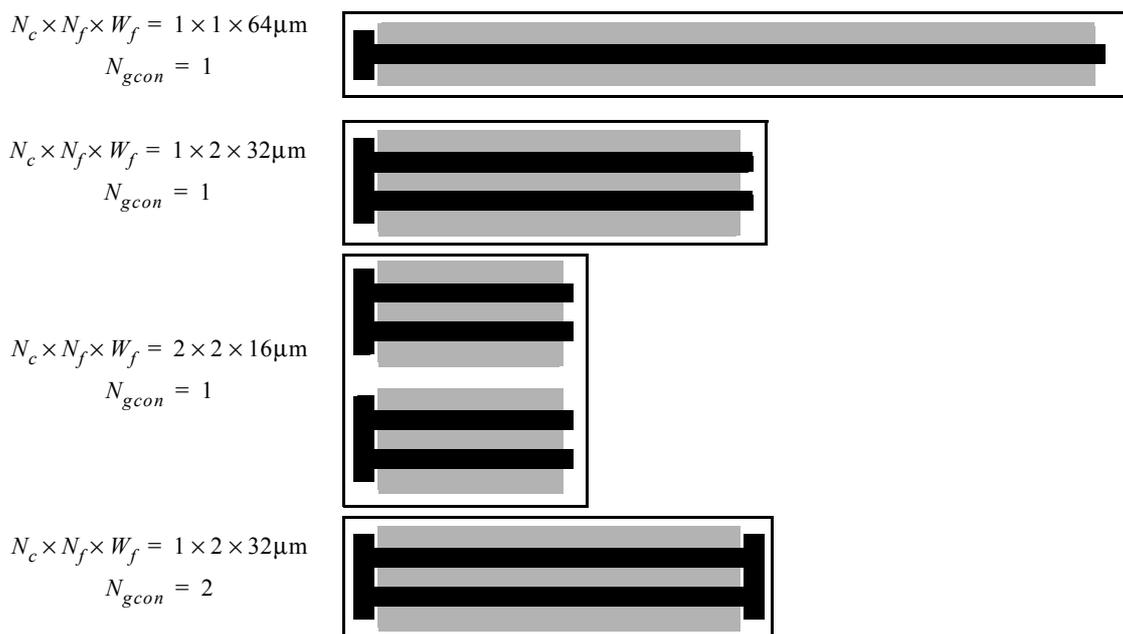


Figure 1-11 : Plusieurs topologies pour une même largeur de grille.

La partie extrinsèque joue un rôle prépondérant dans les caractéristiques RF. Elle sera développée ultérieurement dans ce chapitre et les suivants, ainsi que sa dépendance vis-à-vis des caractéristiques géométriques du transistor.

1.1.4 Utilisation du transistor MOS dans l'industrie

Le MOSFET est aujourd'hui utilisé dans un grand nombre d'applications, pour lesquelles les besoins en termes de performances des composants ne sont pas tous les mêmes. Aussi, il n'y a pas pour chaque nœud technologique un seul et unique nMOSFET et un seul et unique pMOSFET qui seraient utilisés dans tous les circuits existants. Il existe plusieurs familles de composants, dont les caractéristiques électriques diffèrent.

La famille communément appelée **High Performance** (HP) est destinée aux applications les plus rapides, comme les microprocesseurs. La famille **Low Power** (LP) est utilisée pour des circuits où soit la vitesse n'est pas une priorité, soit pour lesquels la consommation électrique est un critère important, comme des applications analogiques ou RF, ou encore les circuits destinés aux applications portables. Les composants de cette famille ont pour cela des oxydes de grille plus épais.

Pour chacune des familles HP ou LP, il existe encore une autre sous-famille. En effet, le

cœur du circuit, qui réalise sa fonction, est composé de dispositifs dont la longueur de grille et l'épaisseur d'oxyde ont les valeurs nominales de leur famille ; cette sous-famille est parfois appelée **GO1**³. En revanche, les transistors situés aux entrées et sorties du circuit doivent supporter des tensions élevées : par rapport aux GO1, leur longueur de grille et leur épaisseur de d'oxyde ont des valeurs plus importantes. Il s'agit de la sous-famille **GO2**.

Des variantes existent au sein de la sous-famille GO1. L'épaisseur d'oxyde de grille restant la même, la tension de seuil peut être plus ou moins élevée suivant que le composant doit être rapide ou doit avoir un courant de fuite faible. Ces variantes sont obtenues en jouant sur le niveau de dopage au niveau du canal.

Il est enfin à noter que la technologie de fabrication peut être modifiée pour répondre à certains besoins. Le dopage des "poches", par exemple, peut être supprimé pour des transistors destinés à des applications analogiques : ces implantations, qui n'ont d'intérêt que pour des dispositifs utilisés à la longueur de grille nominale de la technologie, dégradent les performances analogiques d'un dispositif dont la grille est plus longue.

1.2 La modélisation compacte du transistor MOS

1.2.1 Définition du modèle compact

Le modèle compact est un outil de modélisation massivement employé dans l'industrie. En effet, au sein d'une même technologie coexistent des transistors ayant des caractéristiques physiques et électriques différentes, suivant les usages auxquels ils sont destinés, ou de géométries (largeur, longueur, nombre de doigts de grille) diverses. Par ailleurs, un fabricant de circuits intégrés possède souvent un catalogue contenant un grand nombre de circuits ; ce qui implique que les dispositifs peuvent être utilisés pour de nombreuses applications distinctes, et donc être sollicités dans des régimes de fonctionnement variés.

La propriété du modèle compact est que, basé sur les équations de la physique du composant, il permet de prédire le comportement du transistor, et pas simplement le reproduire. Il peut donner les caractéristiques électriques d'un composant, pour un point de polarisation ou une température de fonctionnement pour lesquels il n'a pas été extrait⁴. Cette propriété est donc intéressante pour des applications industrielles, puisque cela évite de mesurer et de modéliser chacun des transistors pour tous les points de fonctionnement pour lesquels ils sont susceptibles d'être utilisés. Le modèle compact permet en outre de reproduire les effets des variations du processus de fabrication du circuit, ce qui est utile pour connaître la sensibilité d'un circuit à ces variations, ou pour des études d'appariement de dispositifs.

On peut voir le modèle compact comme une boîte contenant d'une part, les équations de la physique du composant, et d'autre part,

- des paramètres de modèle, tels que l'épaisseur d'oxyde de grille, la résistivité de tel matériau, la profondeur de jonction... Ces paramètres sont définis lors de l'extraction et figés lors de l'utilisation ;
- des paramètres d'instance, que l'utilisateur peut modifier. Cela peut être la température, les caractéristiques géométriques du transistor ou encore des options du modèle.

Ce modèle compact n'est pas toutefois rigoureusement physique. Les équations sont simplifiées pour rendre le modèle analytique, et donc à la fois plus rapide⁵ et plus robuste. Il existe alors des paramètres qui n'ont pas de réelle signification physique, mais qui permettent de se rapprocher, dans le domaine de validité du modèle, de la précision de la théorie non

3.GO est l'acronyme de Gate Oxide.

4.Pourvu, bien entendu, que les caractéristiques géométriques ou point de polarisation ou température de fonctionnement du transistor en question se trouvent dans la plage de validité du modèle.

5.en 2006, un microprocesseur comporte environ un milliard de transistors [22].

simplifiée. D'autres paramètres peu physiques rendent le modèle plus souple, de façon à tenir compte du caractère non idéal de la réalité, et aussi pour que le modèle puisse être facilement appliqué à un grand nombre de transistors parfois différents.

Différents modèles compacts existent. On définit aujourd'hui trois approches différentes :

- Le **modèle à tension de seuil**, où le potentiel de surface est approximé de façon très simpliste ; toutes les grandeurs sont calculées à partir de la tension ($V_{GS}-V_{TH}$), où V_{TH} est la tension de seuil du transistor. Un exemple est BSIM (hormis la version 5 [23]).
- Le **modèle de charge**, où le courant est calculé en fonction des charges de source et de drain, elles-mêmes calculées à partir d'une approximation linéaire sur le potentiel de surface (celui-ci n'étant donc pas considéré comme constant, à la différence d'un modèle à tension de seuil) [24]. Un exemple est EKV.
- Le **modèle à potentiel de surface**, où le potentiel de surface est directement utilisé pour calculer le courant et les charges dans les différents terminaux, puis calculé à partir des tensions appliquées aux terminaux. Un exemple est PSP.

1.2.2 Historique des modèles compacts [25]

1.2.2.1 Les modèles de première génération

1.2.2.1.1 Le modèle Level 1

Le modèle Level 1, datant de 1967, est un modèle simple mais dont l'approche mathématique constitue le point de départ des modèles plus complexes développés par la suite.

Les hypothèses de base du Level 1 sont relativement simplistes et ne permettent pas de prendre en compte beaucoup d'effets, notamment les effets de canaux courts. En particulier, la charge de déplétion est considérée comme constante le long du canal. Cette simplicité fait qu'il est aujourd'hui inutilisable dans l'industrie ; mais il comporte peu de paramètres, et leur extraction ne nécessite pas de techniques compliquées.

1.2.2.1.2 Le modèle Level 2

L'approche est similaire à celle du Level 1, mais des équations et des paramètres ont été ajoutés pour prendre en compte des effets de petite géométrie, notamment l'effet canal court, les effets de réduction de mobilité et de saturation de la vitesse des porteurs. La variation de la charge de déplétion le long du canal permet une expression du courant plus précise, et le modèle comporte également une formulation du courant sous le seuil (quoique peu physique).

Ce modèle est mathématiquement plus complexe, ce qui pose des problèmes de convergence et le rend peu efficace. L'extraction des paramètres, plus nombreux, est beaucoup plus compliquée que le Level 1.

1.2.2.1.3 Le modèle Level 3

Le modèle Level 3 a été développé pour pallier les défauts du Level 2, qui, trop complexe, est non continu et ne prend pas en compte tous les effets de petite géométrie. L'approche du Level 3 est semi-empirique et plus simple, ce qui rend le modèle plus efficace et plus robuste. Originellement, il est destiné aux dispositifs de longueur de grille supérieure à $1\mu\text{m}$, mais il peut être étendu à des technologies plus avancées. L'extraction des paramètres est similaire à celle du Level 2.

Le développement de ce modèle a introduit le **binning**, qui consiste à diviser l'espace géométrique W/L en sous-modèles, chacun décrivant le dispositif dans des régions plus étroites, ce qui permet d'utiliser le modèle pour de faibles longueurs de grille.

Le modèle Level 3 est adapté à la conception de circuits numériques mais pas analogiques. Il comporte notamment une discontinuité entre les régimes linéaire et saturé. Il est par ailleurs

imprécis pour les grandes longueurs de canal dans une technologie donnée, et son modèle sous le seuil n'est pas physique.

1.2.2.2 Les modèles de deuxième génération (BSIM, BSIM2)⁶

Le but de ces modèles était de corriger les défauts du Level 3. Dans les modèles de première génération, les effets de petite géométrie sont traités comme une correction au modèle de base. Il est alors supposé que le jeu de paramètres est valide pour la gamme de géométrie entière. En réalité, un jeu de paramètres n'est valide que dans un domaine restreint de l'espace W/L ; dans le Level 3, le binning permettait de contourner le problème, mais en imposant des zones de validité étroites.

Dans les modèles de seconde génération, les équations décrivant le comportement électrique du dispositif contiennent la longueur et la largeur du canal, tout comme les modèles de première génération. La nouveauté est qu'une structure externe contenant une dépendance géométrique est ajoutée ; chaque paramètre du modèle est alors défini à partir de quatre autres paramètres :

$$X = X_0 + \frac{LX}{L_{eff}} + \frac{WX}{W_{eff}} + \frac{PX}{L_{eff} \cdot W_{eff}} \quad (1-22)$$

où LX, WX et PX décrivent respectivement les variations en longueur, en largeur et en surface de grille du paramètre X.

Du fait de cette structure géométrique externe, les modèles de seconde génération comportent un grand nombre de paramètres. Ils sont très empiriques et mathématiques, et de ce fait peu reliés à la physique et à la technologie du dispositif. L'extraction des paramètres est, de plus, difficile.

1.2.2.3 Les modèles de troisième génération (BSIM3, BSIM4, MM9)

Les modèles de troisième génération marquent la ré-introduction d'une base physique, dans le but de relier davantage les paramètres et la technologie. Le nombre de paramètres est ainsi réduit⁷ pour mieux décrire le processus technologique. Par ailleurs, l'utilisation de fonctions de lissage permet un comportement continu du modèle, d'une part, et d'autre part, la conservation des expressions distinctes correspondant aux différentes régions de fonctionnement. Enfin, ces modèles incluent de nombreux effets de petite géométrie ignorés jusque-là.

1.2.2.3.1 Un exemple : BSIM4.6

BSIM est développé depuis les années 1980 par l'université de Berkeley, en Californie, et est longtemps resté le standard pour l'industrie du silicium avant son éviction au profit du modèle PSP [26]. La version 4 de BSIM, sortie en 2001, est destinée aux applications numériques ultra-rapides (grâce à la prise en compte des effets existant dans les dispositifs sub-100nm) et analogiques RF.

Il s'agit d'un modèle à tension de seuil référencé à la source : les équations des charges, du courant, dépendent directement de la tension V_{GS} . BSIM est un modèle compliqué, comportant un grand nombre de paramètres non physiques, et la prise en compte des effets du MOSFET dans les équations du modèle n'est pas toujours cohérente. Tout n'est pas détaillé dans ce qui suit. Pour une idée plus complète, se reporter à [15].

Dans BSIM4.6, et comme dans [1], la tension de seuil d'un transistor long, dont le dopage du caisson est uniforme, vaut :

6.BSIM est l'acronyme de Berkeley Short-channel Insulated gate field effect transistor Model.

7.Sauf pour BSIM, qui a évolué vers une forme empirique et qui contient un très grand nombre de paramètres.

$$\begin{aligned} V_{th} &= V_{FB} + \psi_s + \gamma \cdot \sqrt{\psi_s - V_{BS}} \\ &= V_{th0} + \gamma \cdot (\sqrt{\psi_s - V_{BS}} - \sqrt{\psi_s}) \end{aligned} \quad (1-23)$$

où V_{FB} est la tension de bandes plates, γ est le facteur de substrat tel que défini par (1-5), V_{th0} est la tension de seuil à $V_{BS}=0$, et ψ_s est défini par :

$$\psi_s = 0.4 + \frac{k \cdot T}{q} \cdot \ln \left[\frac{NDEP}{n_i} \right] \quad (1-24)$$

où NDEP et n_i sont respectivement le dopage du caisson et sa concentration intrinsèque en porteurs. Pour des niveaux de dopage du caisson entre 10^{16} et 10^{18}cm^{-3} , ψ_s défini par (1-24) vaut à peu près $2 \cdot \phi_F$.

A la tension définie par (1-23) sont ajoutés des termes permettant de tenir compte :

- de la non-uniformité horizontale du dopage du caisson (due à la présence des poches), en introduisant un terme dépendant de la longueur de canal ;
- de la non-uniformité verticale du dopage du caisson (par l'introduction de termes calculés à partir du profil de dopage) ;
- des effets canal court et DIBL, par l'introduction d'un terme dépendant de V_{DS} et des potentiels des jonctions source et drain ;
- de l'effet canal étroit, par l'introduction d'un terme dépendant de la largeur de canal.

Les domaines d'inversion forte et faible sont normalement définis par rapport au potentiel de surface (voir §1.1.1.3 sur les régimes d'inversion), notion inexistante dans BSIM. On parle ici de régime de forte inversion (pour $V_{GS} > V_{th}$) et de régime sous le seuil (pour $V_{GS} < V_{th}$).

Ainsi, la charge du canal sous le seuil est calculée comme suit :

$$Q_{chsub0} = \sqrt{\frac{q \cdot NDEP \cdot \epsilon_s}{2 \cdot \psi_s}} \cdot \phi_t \cdot \exp \left[\frac{V_{gse} - V_{th} - V_{off}'}{n \cdot \phi_t} \right] \quad (1-25)$$

V_{off}' est appelée tension d'offset sous le seuil et n est la pente sous le seuil, comme dans (1-16).

D'autre part, en inversion forte :

$$Q_{chs0} = C_{oxe} \cdot (V_{gse} - V_{th}) \quad (1-26)$$

V_{gse} est la tension effective de grille (c'est-à-dire en tenant compte des effets CLT⁸ et de polydéplétion) ; C_{oxe} est la capacité d'oxyde calculée grâce à l'épaisseur électrique d'oxyde de grille⁹.

Enfin, pour les deux régimes :

$$Q_{ch0} = C_{oxeff} \cdot V_{gsteff} \quad (1-27)$$

où C_{oxeff} est la capacité d'oxyde effective, c'est-à-dire en tenant compte de l'effet CLT ; V_{gsteff} est donnée par une fonction de lissage de $(V_{gse} - V_{th})$ qui permet de relier les deux régimes de fonctionnement (et donc de plus ou moins décrire l'inversion modérée).

8. Voir l'épaisseur effective d'oxyde de grille : §1.1.2.4.1

9. Qui est différente de l'épaisseur physique en raison, entre autres, de l'effet CLT.

$$V_{gsteff} = \frac{n \cdot \phi_t \cdot \ln \left[1 + \exp \left[\frac{m^* \cdot (V_{gse} - V_{th})}{n \cdot \phi_t} \right] \right]}{m^* + n \cdot C_{oxe} \cdot \sqrt{\frac{2 \cdot \Psi_s}{q \cdot NDEP \cdot \epsilon_s}} \cdot \exp \left[\frac{-(1 - m^*) \cdot (V_{gse} - V_{th}) - V_{off}}{n \cdot \phi_t} \right]} \quad (1-28)$$

m^* est un paramètre permettant une meilleure précision du modèle en inversion modérée.

Le courant I_{DS} est alors calculé à partir de (1-27), en fonction de V_{gsteff} , ce qui donne une expression qui est ensuite “altérée” par des facteurs correctifs permettant de tenir compte des effets notamment de petite géométrie.

BSIM4.6 est la dernière version de BSIM4. Elle tient notamment compte des effets de contrainte et du WPE¹⁰ ; elle est donc destinée aux technologies les plus avancées.

1.2.2.4 Des approches alternatives

1.2.2.4.1 EKV 3.0

EKV est un modèle développé depuis les années 1990 par l’Ecole Polytechnique Fédérale de Lausanne. Les chercheurs à l’origine sont Christian Enz, François Krummenacher et Eric Vittoz (d’où le nom du modèle). Ce modèle a été développé à une époque où le modèle BSIM était différent de ce qu’il est actuellement, et en particulier beaucoup moins adapté à la modélisation pour des applications analogiques.

Le papier de départ du modèle date de 1995 [27]. L’idée de base en était de créer un modèle dédié aux applications analogiques, avec comme propriétés :

- un nombre minimal de paramètres, tous physiques (de façon à relier facilement le fonctionnement du MOSFET avec les variations de température et du processus de fabrication) ;
- le respect de la symétrie source/drain du composant, qui est parfois exploitée en conception analogique ; la conséquence en est que toutes les tensions doivent être référencées au substrat ;
- une description des caractéristiques électriques du MOSFET dans des domaines de faibles tensions et courants, de façon continue pour tous les régimes de fonctionnement.

C’est pourquoi, dans EKV, la description du MOSFET est beaucoup plus poussée en termes de potentiel de surface. A sa sortie, ce modèle était le seul modèle continu existant dans le domaine public [28]. Il reposait sur une interpolation entre les domaines de faible et forte inversion [27]. Il a par la suite été amélioré grâce à une meilleure description de la charge d’inversion [29].

Celle-ci est tout d’abord linéarisée [30] :

$$Q'_i = C'_{ox} \cdot (V_G - V_{FB} - \Psi_s - \gamma \cdot \sqrt{\Psi_s}) \quad (1-29)$$

devient

$$Q'_i = n_q \cdot C'_{ox} \cdot (\Psi_s - \Psi_{s0}) \quad (1-30)$$

où Ψ_{s0} est le **potentiel de surface de pincement** :

$$\Psi_{s0} = V_G - V_{FB} - \gamma \cdot \left(\frac{\gamma}{2} - \sqrt{\left(\frac{\gamma}{2} \right)^2 + V_G - V_{FB}} \right) \quad (1-31)$$

10. Voir les effets des technologies les plus avancées : §1.1.2.5

et n_q est défini comme :

$$\begin{aligned} n_q &= \frac{1}{C_{ox}} \cdot \left. \frac{\partial Q'_i}{\partial \Psi_s} \right|_{V_G = \text{Cte}} \\ &= 1 + \frac{\gamma}{2 \cdot \sqrt{\Psi_s}} \end{aligned} \quad (1-32)$$

La valeur de Ψ_s dans (1-32) doit être choisie entre $2 \cdot \phi_F$ et Ψ_{s0} , de façon à minimiser l'erreur introduite par l'approximation.

Par la suite, le courant et la charge sont normalisés :

$$i = \frac{I}{I_S} \quad q'_i = \frac{Q'_i}{Q'_S} \quad (1-33)$$

avec :

$$\begin{aligned} I_S &= 2 \cdot n_q \cdot \mu \cdot C_{ox} \cdot \phi_t^2 \cdot \frac{W}{L} \\ Q_S &= 2 \cdot n_q \cdot C_{ox} \cdot \phi_t \end{aligned} \quad (1-34)$$

Le courant drain-source peut par ailleurs s'écrire [30] :

$$\begin{aligned} I(x) &= \mu \cdot W \cdot \left(-Q'_i \cdot \frac{d\Psi_s}{dx} + \phi_t \cdot \frac{dQ'_i}{dx} \right) \\ &= \mu \cdot W \cdot \left(-\frac{Q'_i}{n_q \cdot C_{ox}} + \phi_t \right) \cdot \frac{dQ'_i}{dx} \end{aligned} \quad (1-35)$$

Alors, en posant $\xi = \frac{x}{L}$:

$$i(x) = -(2 \cdot q'_i + 1) \cdot \frac{dq'_i}{d\xi} \quad (1-36)$$

et :

$$\begin{aligned} i &= \int_{q_r}^{q_f} (2 \cdot q'_i + 1) \cdot dq'_i \\ &= [q_i'^2 + q'_i] \Big|_{q_r}^{q_f} \\ &= (q_f^2 + q_f) - (q_r^2 + q_r) \\ &= i_f - i_r \end{aligned} \quad (1-37)$$

où $q_f = q'_i(\xi = 0)$ est la charge de source, et $q_r = q'_i(\xi = 1)$ est la charge de drain. i_f et i_r sont appelés respectivement **forward current** et **reverse current**.

(1-37) donne de plus :

$$\begin{aligned} q_f &= \frac{1}{2} \cdot \sqrt{4 \cdot i_f + 1} - 1 \\ q_r &= \frac{1}{2} \cdot \sqrt{4 \cdot i_r + 1} - 1 \end{aligned} \quad (1-38)$$

Pour définir la relation entre les tensions et les charges, EKV3.0 introduit la **tension de pincement** V_P .

En inversion forte,

$$\Psi_s = V_{ch} + \Psi_0 \quad (1-39)$$

où V_{ch} est le quasi-potentiel de Fermi des porteurs du canal, et $\Psi_0 = 2 \cdot \phi_F + m \cdot \phi_t$, avec m choisi entre 2 et 4, de façon à minimiser l'erreur introduite par cette approximation [1][27][30]. V_P est alors la valeur de V_{ch} pour laquelle la charge d'inversion est nulle, c'est-à-dire :

$$\Psi_{s0} = V_P + \Psi_0 \quad (1-40)$$

D'où :

$$V_G - V_{FB} = V_P + \Psi_0 + \gamma \cdot \sqrt{V_P + \Psi_0} \quad (1-41)$$

Soit :

$$V_P = V_{GT} - \gamma \cdot \left[\sqrt{V_{GT} + \left(\sqrt{\Psi_0} + \frac{\gamma}{2} \right)^2} - \left(\sqrt{\Psi_0} + \frac{\gamma}{2} \right) \right] \quad (1-42)$$

où :

$$\begin{aligned} V_{GT} &= V_G - V_{T0} \\ V_{T0} &= V_{FB} + \Psi_0 + \gamma \cdot \sqrt{\Psi_0} \end{aligned} \quad (1-43)$$

V_{T0} est la **tension de seuil**.

V_P peut être approximée par :

$$V_P = \frac{V_G - V_{T0}}{n_v} \quad (1-44)$$

où :

$$n_v = \frac{dV_G}{dV_P} = 1 + \frac{\gamma}{2 \cdot \sqrt{V_P + \Psi_0}} \quad (1-45)$$

On montre alors que, V_P et V_{ch} étant normalisées par rapport à ϕ_t [28],

$$v_p - v_{ch}(\xi) = \ln[q'_i(\xi)] + 2 \cdot q'_i(\xi) \quad (1-46)$$

à $\xi = 0$ (source) et $\xi = 0$ (drain) :

$$\begin{aligned} v_p - v_s &= \ln[q_f] + 2 \cdot q_f = \ln \left[\sqrt{i_f + \frac{1}{4}} - \frac{1}{2} \right] + \sqrt{4 \cdot i_f + 1} - 1 \\ v_p - v_d &= \ln[q_r] + 2 \cdot q_r = \ln \left[\sqrt{i_r + \frac{1}{4}} - \frac{1}{2} \right] + \sqrt{4 \cdot i_r + 1} - 1 \end{aligned} \quad (1-47)$$

(1-47) est alors résolue soit par un algorithme itératif, soit par une fonction analytique approchée dans le domaine étudié [30].

1.2.2.4.2 PSP101.2

PSP est un modèle récent destiné à la conception de circuits numériques, analogiques et RF. Il a été développé conjointement, au départ, par Philips Semiconductors¹¹ et l'université de

11. Devenu NXP depuis.

Pennsylvanie¹². PSP repose sur le modèle MM11 de Philips, d’une part, et d’autre part, sur le modèle SP de l’université de Pennsylvanie. En décembre 2005, le CMC (Compact Model Council) a choisi PSP comme le nouveau standard industriel pour la modélisation compacte de MOSFET [31].

D’après ses concepteurs, PSP répond à la nécessité d’un nouveau type de modèle compact. En effet, la plupart des modèles compacts utilisés dans l’industrie sont des modèles à tension de seuil, ce qui pose deux problèmes majeurs [32] :

- référencés à la source (comme BSIM), ils ne sont pas symétriques, et ceci est un inconvénient pour les applications analogiques, de plus en plus développées en technologie MOS ;
- la notion de tension de seuil n’est plus adaptée aux technologies MOS sub-100nm, car en raison de la diminution de la tension d’alimentation des dispositifs, les régimes d’inversion faible et modérée ne peuvent plus être négligés dans le fonctionnement du transistor.

Ce nouveau modèle doit par ailleurs satisfaire au mieux les besoins actuels de conception de circuits. Aussi la possibilité d’un modèle basé sur le calcul de la charge d’inversion a-t-elle été écartée, car elle ne permet pas de modéliser les capacités de recouvrement, le comportement en régime d’accumulation ou les effets non quasi-stationnaires (NQS). PSP est donc un modèle :

- basé sur le calcul du potentiel de surface ;
- référencé au substrat, donc symétrique, ce qui empêche toute singularité à $V_{DS}=0$;
- analytique pour un temps de calcul minimal ;
- cohérent pour les régimes de fonctionnement continu, petit signal QS et NQS¹³.

Il possède une structure différente des autres modèles (Figure 1-12). Un jeu de paramètres “locaux” est extrait pour chaque dispositif (local parameter set), puis un jeu de paramètres “globaux” (global parameter set) est extrait pour décrire les variations avec la géométrie des paramètres locaux, au travers de lois géométriques simples et physiques.

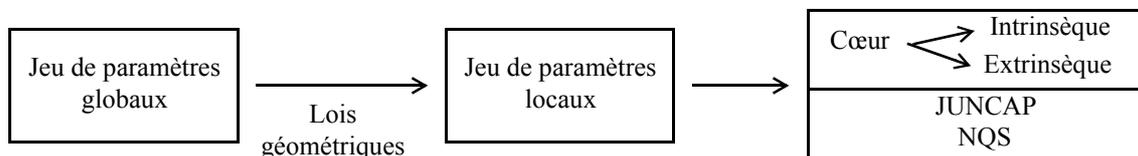


Figure 1-12 : Structure du modèle compact PSP.

L’équation implicite du potentiel de surface est la suivante :

$$(V_{GB} - V_{FB} - \psi_s)^2 = \gamma^2 \cdot \phi_t \cdot [\exp[-x] + x - 1 + \Delta_n \cdot (\exp[x] - x - 1)] \quad (1-48)$$

avec :

$$x = \frac{\psi_s}{\phi_t} \quad (1-49)$$

$$\Delta_n = \exp\left[-\frac{2 \cdot \phi_b + \phi_n}{\phi_t}\right]$$

ϕ_b et ϕ_n sont respectivement le potentiel du substrat et la différence des quasi-potentiels de Fermi, et γ est le facteur de substrat défini par (1-5).

Le calcul des charges est basé sur une linéarisation symétrique du potentiel de surface : on définit ϕ_m par :

12. Aujourd’hui, par l’université de l’Arizona.

13. C’est-à-dire qu’à basse fréquence, le modèle NQS doit donner les mêmes résultats que le modèle QS.

$$\phi_m = \frac{\phi_s + \phi_d}{2} \quad (1-50)$$

où ϕ_s et ϕ_d sont les valeurs du potentiel de surface à la source et au drain. Alors :

$$q_b(\psi_s) = q_b(\phi_m) + \left(\frac{dq_b}{d\phi} \right)_{\phi = \phi_m} \cdot (\psi_s - \phi_m) \quad (1-51)$$

$$q_i(\phi) = q_{im} - \alpha \cdot (\psi_s - \phi_m) \quad (1-52)$$

où :

$$\begin{aligned} q_{im} &= q_i(\phi_m) \\ \alpha &= 1 + \frac{\gamma}{2} \cdot \sqrt{\phi_m} \end{aligned} \quad (1-53)$$

le courant est donc calculé comme dans [1] :

$$I_{DS} = W \cdot \mu \cdot \left(q_i \cdot \frac{d\psi_s}{dy} - \phi_t \cdot \frac{dq_i}{dy} \right) \quad (1-54)$$

Le calcul de ψ_s est fait par un algorithme non-itératif, plus robuste qu'un calcul numérique¹⁴ [34]. Les effets comme ceux de petite géométrie sont traités en appliquant des termes correctifs qui viennent modifier les tensions effectives des différents terminaux.

1.2.3 BSIM4.6, EKV3.0, PSP102.1 : quelles différences ?

Des trois modèles présentés précédemment, BSIM et PSP sont les seuls à avoir été définis tour à tour comme modèle standard pour l'industrie.

Il apparaît que les bases respectives de ces trois modèles sont finalement assez similaires. Tous partent du potentiel de surface. Certes, dans le cas de BSIM, c'est pour l'abandonner assez vite. En revanche, les approximations de EKV3.0 sont à la fois plus cohérentes et davantage adaptées aux différents régimes d'inversion du dispositif. Quant à PSP, l'utilisation du potentiel de surface est poussée au maximum, puisqu'il sert directement à calculer le courant, et seul le potentiel de surface est calculé à partir des tensions appliquées aux terminaux du transistor. Ceci en fait le modèle le plus physique et le plus rigoureux.

Nonobstant ces approches semblables, il est aujourd'hui clair que les modèles à tension de seuil tels que BSIM ont des lacunes fondamentales [35]. Leur formulation pour les technologies les plus récentes est beaucoup trop complexe, et ils ne prennent pas correctement en compte les régimes d'accumulation et d'inversion modérée [24]. Les modèles de charge et à potentiel de surface sont beaucoup plus rigoureux et proches de la physique.

Les avancées, sur un plan mathématique, dans la modélisation du MOSFET font que ces deux derniers sont équivalents en termes de complexité [35]. Mais le plus important, compte tenu de l'état actuel des technologies dans l'industrie du silicium, est en fait la cohérence du modèle, sa précision et sa capacité à "coller à la réalité", c'est-à-dire son aptitude à reproduire les effets de petite géométries et les variations du processus de fabrication [36][37][38][24].

Nous verrons dans la suite comment les trois modèles abordés précédemment traitent la prise en compte des effets spécifiquement haute fréquence, à savoir le comportement non quasi-stationnaire du dispositif et sa partie extrinsèque.

14. Dans MM11, le potentiel de surface est calculé au moyen d'un algorithme itératif [33].

1.3 La modélisation RF du MOSFET

1.3.1 Pourquoi le transistor MOS en RF ?

Les performances RF d'un dispositif comme le MOSFET peuvent être abordées par des grandeurs telles que ses fréquences de transition et maximum d'oscillation, fréquences de coupure respectivement du gain en courant et du gain de Mason (voir Annexe B). Rappelons ces grandeurs :

$$f_t \approx \frac{g_m}{2 \cdot \pi \cdot C_{gg}} \tag{1-55}$$

$$f_{max} \approx \frac{f_t}{\sqrt{R_{ggext} \cdot (g_{ds} + 2 \cdot \pi \cdot f_t \cdot C_{gd})}} \tag{1-56}$$

où C_{gg} est la capacité totale vue de la grille, R_{ggext} est la résistance de la grille et C_{gd} est la capacité grille-drain totale (c'est-à-dire la somme des contributions intrinsèques et extrinsèques).

Compte tenu des effets de petite géométrie,

$$f_t \propto \frac{1}{L_g} \tag{1-57}$$

La réduction de l'épaisseur d'oxyde de grille et de la longueur du canal permettent donc directement d'avoir des composants de plus en plus rapides, présentant un intérêt grandissant pour les applications RF [39]. Dans ce domaine, l'ITRS table sur les performances suivantes :

Année	2006	2008	2010	2012	2014	2016	2018	2020
Epaisseur équivalente d'oxyde de grille (nm)	2.1	1.9	1.5	1.4	1.2	1.1	1.0	0.9
Longueur de grille (nm)	65	45	32	25	20	16	13	11
f_t (Ghz)	140	220	280	360	440	550	670	790
f_{max} (GHz)	220	310	420	530	650	790	950	1110

Table 1-2 : Evolution, selon l'ITRS, de l'épaisseur d'oxyde de grille, de la longueur de grille d'un transistor MOS, de f_t et de f_{max} pour des applications de type RF. f_t et f_{max} sont extrapolées à partir de la mesure du gain en courant et du gain de Mason à 40GHz, en supposant une pente à -20dB par décade [40].

Les applications RF sont principalement les communications sans fil : wifi, bluetooth, réseaux sans fil, GSM, GPS. Les dispositifs sont donc utilisés pour des circuits figurant dans la chaîne de réception ou d'émission de telles applications : amplificateur faible bruit, boucle à verrouillage de phase (dont l'oscillateur commandé en tension est un élément particulièrement délicat), convertisseurs analogique-numérique et numérique-analogique [41].

Les performances de rapidité du transistor MOS sont moindres que celles des composants réalisés en technologies III-V ou bipolaire [41][42], mais il possède par ailleurs de nombreux avantages :

- il n'a pas besoin d'une polarisation négative et positive comme les mesfets ;
- ses performances sont généralement suffisantes pour les applications énumérées plus haut, dont la fréquence de fonctionnement est inférieure à 10 GHz ;

- il présente l'intérêt d'une excellente intégration avec des fonctions numériques ;
- il revient moins cher à fabriquer.

Le MOSFET est donc de plus en plus utilisé pour des applications RF, car il permet de réaliser facilement des circuits complexes et performants à moindre coût.

1.3.2 Modélisation pour applications numériques et modélisation pour applications analogiques ou RF

Pour la conception numérique, les points importants sont la consommation des dispositifs, conditionnée par le courant de drain à V_{GS} nul (appelé I_{OFF}), et leur rapidité, conditionnée par le courant en inversion forte (appelé I_{ON}). Un modèle de composant performant pour des applications numériques doit donc être précis sur les caractéristiques courant-tension, la tension de seuil, et tous les effets influençant le courant et la tension de seuil (notamment les effets de petite géométrie), ainsi que les capacités [43][44].

En revanche, pour la conception analogique ou RF, le modèle doit décrire le comportement en courant dans tous les domaines de fonctionnement, les caractéristiques petit signal et non linéaires, et particulièrement les impédances d'entrée et de sortie, ainsi que le comportement en fréquence [45]. La partie extrinsèque doit être incluse.

Les contraintes de modélisation ne sont donc pas les mêmes suivant les applications auxquelles le modèle est destiné. Un modèle suffisant pour la conception numérique peut se révéler largement inadapté pour des applications analogiques ou RF. La suite de ce chapitre expose les effets rencontrés en haute fréquence, leur prise en compte par les modèles, et les questions soulevées par la mesure RF de transistors à effet de champ.

1.3.2.1 Effets Non Quasi-Stationnaires (NQS)

En électronique, l'approximation quasi-stationnaire (QS) consiste à supposer que la réponse d'un circuit ou d'un dispositif à un signal est immédiate en tout point du circuit ou du dispositif. Dans le transistor MOS, cela se traduit par un temps de réponse négligeable dans la charge d'inversion aux changements appliqués aux terminaux. Dans [46], Gondro *et al.* montrent par la simulation que des effets sur la réponse du composant apparaissent à haute fréquence, c'est-à-dire lorsque les variations du signal d'entrée sont de plus en plus rapides. Si le signal d'entrée est sinusoïdal :

$$V_{gs}(t) = V_{GS} + v_{gs} \cdot \sin(\omega \cdot t) \quad (1-58)$$

La réponse au niveau de la charge d'inversion est alors [46] :

$$\begin{aligned} Q_{inv}(t) &= W \cdot \int_0^L Q'_{inv}(t) \cdot dx \\ &= Q_{inv,DC} + \hat{Q}_{inv} \cdot \sin(\omega \cdot t + \phi) \end{aligned} \quad (1-59)$$

La Figure 1-13 montre une simulation de la réponse de la charge d'inversion à (1-58). Ceci met en évidence une "inertie" [1] des porteurs du canal : ceux-ci ne sont pas suffisamment rapides pour répondre avec la même amplitude qu'en régime QS, et leur temps de réponse n'est plus négligeable devant la période du signal appliqué. En conséquence, les capacités, la transconductance de grille et la conductance source-drain sont modifiées.

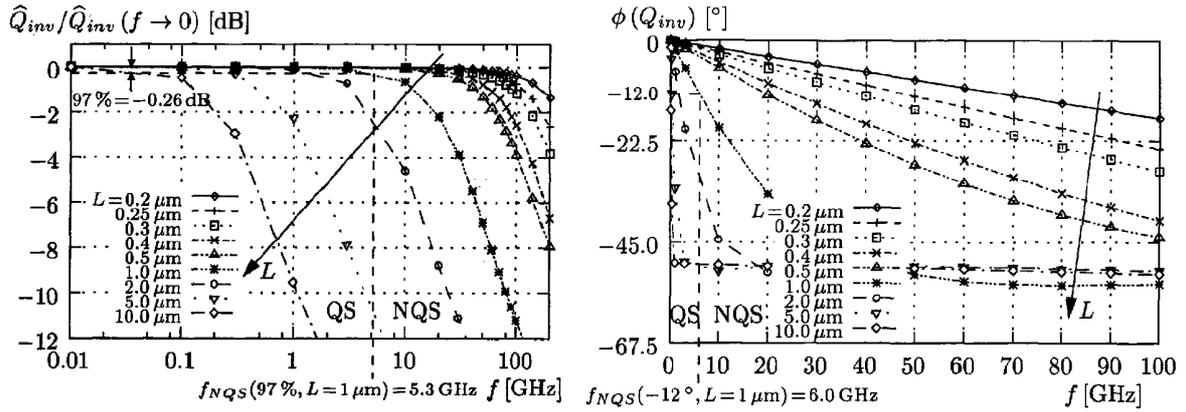


Figure 1-13 : Simulations de la charge d'inversion normalisée (à gauche) et phase de la charge d'inversion (à droite) pour différentes longueurs de grille ([46], figures 4 et 5).

On peut montrer, au prix d'un formalisme mathématique complexe [47] que les équations du courant (continuité d'une part, conduction et diffusion d'autre part) mènent à des équations différentielles pour la charge surfacique d'inversion et les courants aux différents terminaux. Celles-ci peuvent être résolues en utilisant des fonctions de Bessel de première espèce. Grâce aux courants, on peut alors calculer les paramètres Y.

Une autre approche consiste à considérer que le canal est distribué par rapport à la capacité de grille, comme illustré sur la Figure 1-14. Chaque couple (R_{ch}^i, C_{gg}^i) amène un pôle dans la transadmittance de grille Y_m .

Alors :

$$Y_m = \frac{g_m}{\prod_{i=1}^{\infty} (1 + j \cdot \omega \cdot R_{ch}^i \cdot C_{gg}^i)} \approx \frac{g_m}{(1 + j \cdot \omega \cdot \tau)} \quad (1-60)$$

C'est cette approche qui était utilisée dans la version 2.6 modèle EKV [48].

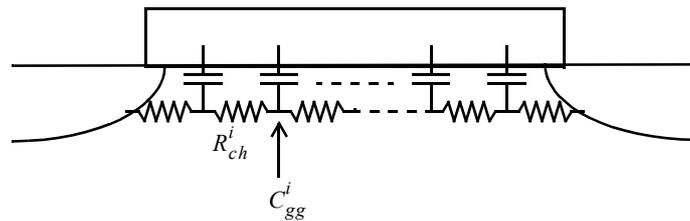


Figure 1-14 : Illustration de la structure distribuée capacité de grille/ résistance du canal du MOSFET.

Enfin, il est possible de segmenter le canal du transistor, comme si la partie intrinsèque de ce dernier était en réalité constituée de plusieurs transistors plus petits, fonctionnant chacun en régime quasi-stationnaire [49]. Pour un dispositif de longueur L divisé en N segments, chaque segment est modélisé par un transistor de longueur L/N .

Comme illustré sur la Figure 1-13, la fréquence à laquelle ces effets apparaissent diminue avec la longueur de grille du dispositif. Cette fréquence est proportionnelle à μ/L_g^2 [1][27][50].

1.3.2.2 Effets extrinsèques

De façon qualitative et intuitive, nous pouvons dire que :

- la résistance de grille ajoute une fréquence de coupure, car elle est en série avec la capacité totale vue de la grille. Elle doit donc être correctement prise en compte dans le cadre d'une analyse RF, d'autant qu'elle modifie l'impédance d'entrée du dispositif. Elle réduit la fréquence maximale d'oscillation d'autant plus que sa valeur est grande. Enfin, en tant qu'élément résistif, elle participe aux performances de bruit du transistor ;
- les capacités parasites grille-drain et grille-source augmentent la capacité de grille sans influencer sur la partie intrinsèque, et limitent donc les performances dynamiques du dispositif ;
- les capacités de jonction fournissent un chemin supplémentaire vers le réseau substrat et modifient l'impédance de sortie du dispositif ;
- le réseau substrat offre aux porteurs un chemin alternatif au canal et influe donc également sur l'impédance de sortie du dispositif.

Une présentation plus progressive des effets de ces quatre éléments est développée dans l'Annexe C.

1.3.3 Le modèle "historique" RF

Il s'agit d'élaborer un **schéma équivalent petit signal** du transistor [51] ; il est extrait de mesures RF. Ce schéma décrit le comportement du transistor à effet de champ en un point de polarisation donné seulement : il ne permet pas de modéliser les propriétés dynamiques du transistor en fonction des polarisations. Il vaut en outre pour une géométrie donnée : il ne possède pas, de façon inhérente, de lois géométriques comme le modèle compact.

Historiquement, le schéma équivalent pour modéliser un transistor à effet de champ est lié à l'utilisation des MESFETs puis des HEMTs sur substrat III-V, qui sont des dispositifs utilisés pour des applications RF. Il permet de reproduire facilement et précisément les caractéristiques électriques hyperfréquence des composants.

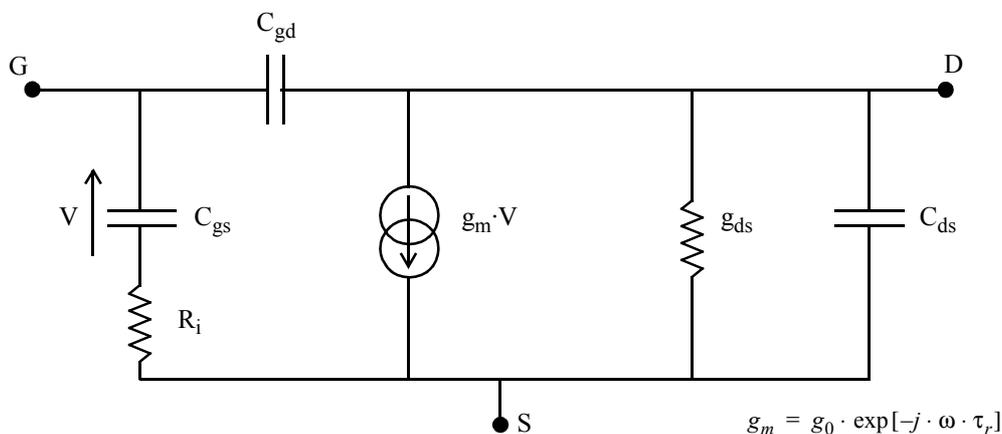


Figure 1-15 : Schéma équivalent intrinsèque d'un transistor à effet de champ (d'après [52]).

L'extraction du schéma se fait en deux étapes [53][54]. Dans un premier temps, la mesure "à froid" (c'est-à-dire à $V_{DS}=0$) permet d'extraire la partie extrinsèque [55][56] : dans ces conditions de polarisation et à basse fréquence, la partie intrinsèque peut être négligée, il ne reste alors que la partie extrinsèque.

L'extraction de la partie intrinsèque du transistor se fait ensuite lorsque celui-ci est polarisé. Elle peut se faire directement à partir des paramètres [Y] de la mesure [52][56], ou encore par l'intermédiaire d'un algorithme basé sur la méthode des moindres carrés [57].

Les paramètres R_i et τ_r modifient les caractéristiques du transistor en haute fréquence. Ils représentent respectivement un effet de distribution et un retard de la commande.

1.3.4 Les modèles compacts et la RF

1.3.4.1 Prise en compte des effets NQS

BSIM4.6

Dans BSIM4.6, la transconductance de grille et la capacité intrinsèque grille-drain sont définies en régime NQS par :

$$G_m = \frac{g_{m0}}{1 + j \cdot \omega \cdot \tau} \quad (1-61)$$

$$C_{gd} = \frac{C_{gd0}}{1 + j \cdot \omega \cdot \tau} \quad (1-62)$$

où g_{m0} et C_{gd0} sont les valeurs de la transconductance de grille et de la capacité intrinsèque grille-drain au point de polarisation.

Cette définition est appliquée aux capacités C_{gx} , C_{sx} , C_{dx} (avec $x=g,s,d,b$) ainsi qu'à la transconductance de grille et à la conductance de canal.

La valeur de τ est donnée par :

$$\tau = R_{ii} \cdot W_{eff} \cdot L_{eff} \cdot C_{oxe} \quad (1-63)$$

Par ailleurs, la valeur de l'élément R_{ii} est donnée par :

$$R_{ii} = \left(XRCRG1 \cdot \left(\frac{I_{ds}}{V_{dseff}} + XRCRG2 \cdot \frac{W_{eff} \cdot \mu_{eff} \cdot C_{oxeff} \cdot k_B \cdot T}{q \cdot L_{eff}} \right) \right)^{-1} \quad (1-64)$$

V_{dseff} est la tension effective source-drain, donnée par une fonction de lissage permettant de relier les zones linéaires et de saturation. XRCRG1 et XRCRG2 sont des paramètres du modèle ; par défaut, leurs valeurs sont respectivement 12 et 1 (notons que la valeur par défaut de XRCRG1 correspond à la théorie à $V_{DS}=0$, comme on peut le voir grâce à l'Annexe G).

EKV3.0

Dans EKV3.0, la modélisation des effets non-quasi stationnaires est obtenue, comme dans le modèle MM11 [58], par une segmentation du canal [33][49].

PSP102.1

Le modèle NQS de PSP102.1 est différent des deux précédents. L'approche choisie est une méthode de résolution de (1-65) [32][59].

$$\frac{\partial q_i}{\partial t} + \mu \cdot \frac{\partial}{\partial y} \left[\left(\frac{q_i}{dq_i/d\psi_s} - \phi_t \right) \cdot \frac{\partial q_i}{\partial y} \right] = 0 \quad (1-65)$$

Cette équation est résolue au moyen d'une méthode de collocation de spline¹⁵. Celle-ci consiste à trouver une solution approchée en imposant que cette dernière satisfasse exactement l'équation en un nombre fini de points, appelés points de collocation [60].

Il s'agit donc ici de segmenter le calcul de la charge d'inversion ; dans chaque segment, la

¹⁵.En mathématiques, une spline est une fonction définie par morceaux par des polynômes. Une méthode de collocation, quant à elle, permet de résoudre numériquement une équation différentielle ou aux dérivées partielles dans un domaine donné.

charge est définie localement par un polynôme, de telle façon qu’aux bornes des segments, (1-65) est satisfaite. Le nombre de segments peut être choisi par le concepteur en vue d’un compromis entre le temps de calcul la précision du modèle, et le domaine de validité en fréquence.

1.3.4.2 Prise en compte des effets extrinsèques

Pour la modélisation du dispositif extrinsèque, tous les modèles suivent l’approche la plus logique consistant à séparer le cœur du transistor (la partie intrinsèque) des éléments parasites qui composent la partie extrinsèque¹⁶. Ici, la modélisation de quatre éléments sera présentée :

- la résistance de grille ;
- les capacités parasites grille-drain et grille-source ;
- les capacités de jonction ;
- le réseau résistif dû au chemin parcouru par le signal dans le caisson, et appelé “réseau substrat”.

1.3.4.2.1 Résistance de grille

BSIM4.6 [15][61]

Dans BSIM4.6, la résistance de grille est séparée en deux contributions :

- une contribution indépendante de la polarisation, $R_{g\text{eltd}}$;
- une contribution dépendante de la polarisation, R_{ii} .

$R_{g\text{eltd}}$ représente la résistance du polysilicium de grille. Sa formule est donnée par :

$$R_{g\text{eltd}} = \frac{RSHG \cdot \left(XGW + \frac{W_{\text{effc}j}}{3 \cdot NGCON} \right)}{NGCON \cdot (L_{\text{drawn}} - XGL) \cdot NF} \quad (1-66)$$

$W_{\text{effc}j}$ est la largeur, pour un doigt de grille, des diffusions source/drain ; NF est le nombre de doigts du dispositif ; NGCON est le nombre d’accès à la grille ; RSHG est la valeur de la résistance par carré du polysilicium de grille. On remarque que :

$$R_{g\text{eltd}} \sim \frac{RSHG}{3 \cdot (NGCON)^2} \cdot \frac{W}{L} \cdot \frac{1}{NF} \quad (1-67)$$

où W et L sont la largeur et la longueur du canal. (1-67) tient compte de la nature distribuée de la résistance de grille. Elle se traduit en effet par un terme multiplicatif de 1/3 dans le cas où la grille est contactée d’un seul côté (NGCON=1) et 1/12 si elle est contactée des deux côtés (NGCON=2).

R_{ii} modélise la contribution du canal, dont la résistance est distribuée par rapport à la capacité de grille. Cet effet de distribution ramène en effet une composante résistive due au canal dans la résistance totale vue de la grille (voir Annexe G). On retrouve la même approche, par l’intermédiaire de R_{i} , dans le schéma équivalent de la Figure 1-15. Bien que faisant partie, pour BSIM4.6, de la partie extrinsèque, R_{ii} appartient à la partie intrinsèque.

16.A l’exception près de BSIM4.6 pour la résistance de grille.

EKV3.0

Dans EKV3.0, la résistance de grille est modélisée par un seul élément faisant partie d'un sous-circuit extérieur au modèle, et des "lois géométriques appropriées"¹⁷ faisant intervenir la largeur et la longueur de grille ainsi que le nombre de doigts de grille.

PSP102.1

La résistance de grille est modélisée par un seul élément résistif, sa valeur étant un paramètre local ; mais il n'existe pas de lois géométriques en longueur et largeur de grille pour cet élément [31].

1.3.4.2.2 Capacités extrinsèques de grille

Ces capacités sont toutes modélisées comme une structure MOS à deux terminaux.

BSIM4.6

La modélisation de la capacité de recouvrement par BSIM4.6 est basée sur le fait que la zone de recouvrement est en régime de déplétion à cause de la tension V_{GD} (côté drain, et V_{GS} côté source) :

$$\frac{Q_{ov,d}}{W} = CGDO \cdot V_{gd} + CGDL \cdot \left(V_{gd} - V_{gd,ov} - \frac{CKAPPAD}{2} \cdot \left(\sqrt{1 - \frac{4 \cdot V_{gd,ov}}{CKAPPAD}} - 1 \right) \right) \quad (1-68)$$

$$V_{gd,ov} = \frac{1}{2} \cdot (V_{gd} + \delta_1 - \sqrt{(V_{gd} + \delta_1)^2 + 4 \cdot \delta_1}) \quad \delta_1 = 0.02V$$

Le calcul est donc celui de la charge de déplétion de cette zone, il est détaillé en Annexe E.

EKV3.0

La capacité de recouvrement est modélisée comme si la région de recouvrement était une capacité MOS. Il s'agit d'un modèle de charge qui tient compte des régimes d'accumulation et de déplétion dans de la zone de recouvrement [58].

PSP102.1

De même que dans BSIM4.6 et EKV3.0, la modélisation de la région de recouvrement est effectuée comme celle d'une capacité MOS :

$$Q_{ov} = C'_{ox} \cdot W \cdot L_{ov} \cdot (V_{GX} - \phi_{ov}) \quad (1-69)$$

où ϕ_{ov} est le potentiel de surface dans les régions de recouvrement. Il est calculé de la même façon que le potentiel de surface de la partie intrinsèque [31][62].

1.3.4.2.3 Capacités de jonction

BSIM4.6

Le modèle de la capacité de jonction de BSIM4.6, dépendant de la polarisation, est proche de celui que l'on peut trouver dans [1], mais décomposé en trois contributions comme illustré comme sur la Figure 1-16 :

- contribution surfacique ;
- contribution linéique côté grille ;
- contribution linéique côté isolant.

¹⁷.Lois qui sont vraisemblablement du ressort de l'utilisateur.

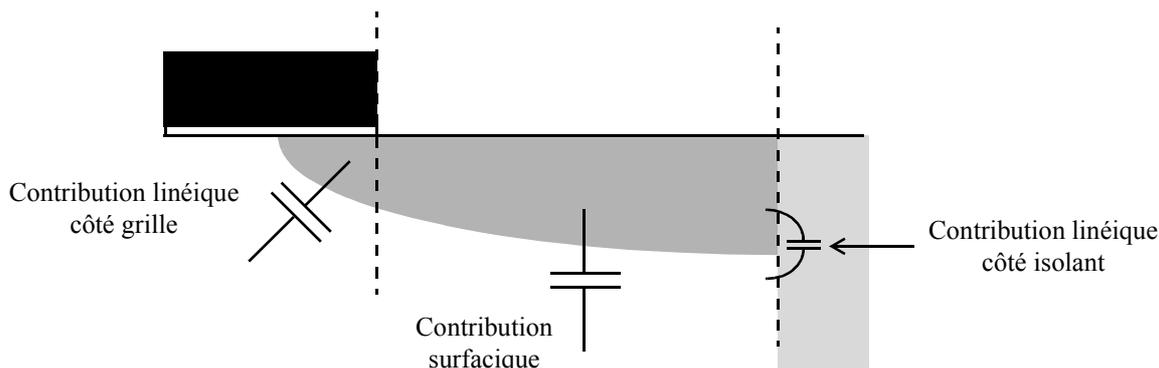


Figure 1-16 : Schéma illustrant les trois composantes des capacités de jonction source et drain.

Le calcul est développé en Annexe F.

Le modèle de BSIM4.6 décrit également les courants et le bruit de la jonction.

EKV3.0

Les jonctions sont modélisées de la même façon que BSIM4.6 [63].

PSP102.1

Dans PSP102.1, les jonctions sont modélisées par le modèle dédié JUNCAP2 de NXP, qui permet également de décrire les courants (courant idéal, courant dû à la génération de porteurs, courant tunnel, courant d'avalanche) et le bruit de grenaille de la jonction [64]. Ce modèle est très analogue à celui de BSIM4.6 [65].

1.3.4.2.4 Réseau substrat

BSIM4.6

Le réseau substrat est modélisé par un réseau de cinq résistances, comme illustré sur la Figure 1-17 [15]. Il n'est pas inclus par défaut. Si l'utilisateur choisit de mettre un réseau substrat dans son modèle, il peut avoir un réseau soit entièrement paramétrable (RBPS, RBPB, RBSB et RBDB sont alors des paramètres d'instance, l'utilisateur peut introduire ses propres lois géométriques), soit utilisant les lois géométriques définies par BSIM4.6 et dépendantes de W, L et NF.

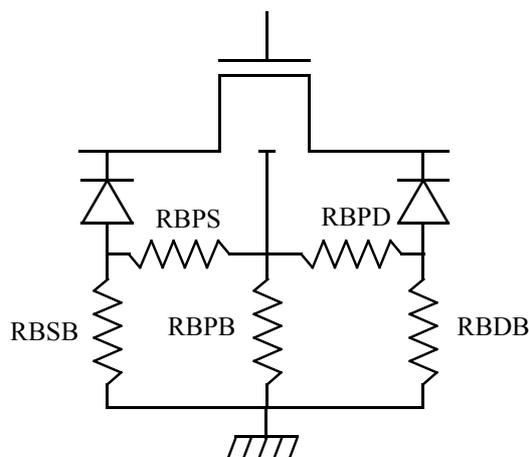


Figure 1-17 : Schéma équivalent du réseau substrat dans BSIM4.6.

EKV3.0

Comme la résistance de grille, les résistances de substrat sont modélisées par un sous-circuit externe et des “lois géométriques appropriées” faisant intervenir la largeur et la longueur de grille ainsi que le nombre de doigts de grille.

PSP102.1

Le réseau substrat est modélisé par un réseau de quatre résistances, comme illustré sur la Figure 1-18 [31]. R_{bulk} , R_{juns} , R_{jund} et R_{well} sont des paramètres locaux de PSP102.1. Comme pour la résistance de grille, aucune loi géométrique n'existe.

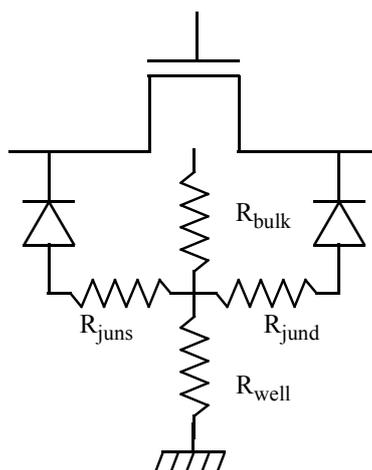


Figure 1-18 : Schéma équivalent du réseau substrat dans PSP102.1.

1.3.4.2.5 Le dispositif extrinsèque dans la modélisation compacte : bilan

Nous voyons que la prise en compte des éléments parasites du MOSFET par les modèles compacts souffre de certaines lacunes, en particulier au niveau de leur dépendance géométrique. Si les capacités extrinsèques (recouvrement, jonction) sont connues, la modélisation de la résistance de grille et du réseau substrat n'est pas aussi aboutie, et seules les dernières versions du modèle BSIM proposent une dépendance géométrique pour ces éléments. Encore que, en ce qui concerne la résistance de grille, le modèle est simple et peut-être incomplet [66] ; pour le substrat, il repose sur une base manifestement empirique [15]. De plus, quel que soit le modèle de substrat, aucune méthode d'extraction n'est proposée.

L'importance des éléments extrinsèques dans le comportement RF du MOSFET a été mise en évidence ([19][20], Annexe C) : leur analyse au travers de mesures et leur description doit être soignée. Ce sera l'objet des chapitres suivants.

1.4 La mesure

L'objectif de la caractérisation des transistors est de connaître les propriétés de ces composants dans les conditions de fréquence et de polarisation qui définissent leur domaine d'utilisation [51].

La seule chose dont on peut être absolument sûr à propos d'une mesure est qu'elle est toujours fautive. En effet, mesurer une grandeur physique consiste à **appliquer un modèle à un phénomène physique** toujours plus complexe que ce modèle, qui souffre par conséquent de limites et d'imprécisions. C'est cependant la seule façon d'appréhender le phénomène en question. On peut chercher en outre à mesurer une grandeur qui n'a rien d'électrique (par exemple, la longueur de canal d'un MOSFET) et le faire en collectant des signaux électriques que l'on va interpréter. Il est alors impératif de définir clairement cette grandeur dans le modèle

qu'on applique.

Par ailleurs, les grandeurs mesurées le sont au moyen d'une unité qui repose sur une définition : il est donc nécessaire d'**étalonner** (ou de **calibrer**) l'appareil de mesure. De plus, la grandeur que l'on cherche à mesurer peut très bien ne pas être directement accessible au sein du système mesuré. Dans le cas d'un dispositif à semiconducteur, pour atteindre ce dispositif, il faut passer par ses lignes d'accès et ses interconnexions : on mesure alors aussi ces éléments, mais on n'a pas vraiment le choix.

L'appareil de mesure est quant à lui imparfait. Il possède :

- une **résolution** finie ;
- une **plage de mesure** finie ;
- un **bruit** qui lui est propre et qui va venir perturber la mesure ;
- une capacité à assurer la **reproductibilité** de la mesure, c'est-à-dire à donner toujours le même résultat pour le même phénomène dans les mêmes conditions, qui n'est pas parfaite ;
- des **sondes de mesure**, qui relient le système mesuré à l'appareil lui-même, qui sont imparfaites.

La caractérisation RF de transistors MOS possède ainsi des procédures et des limites qui lui sont spécifiques, liées à la fois à la mesure de composants à semiconducteur et aux hautes fréquences.

1.4.1 Mesure RF

Pour caractériser le transistor MOS jusqu'à des fréquences élevées (par exemple, jusqu'à 110GHz), on cherche à obtenir, en module et en phase, une mesure petit signal du transistor MOS, c'est-à-dire une mesure à un certain de point de polarisation et pour une certaine fréquence, en considérant le dispositif comme un quadripôle linéaire autour du point de polarisation.

Nous avons vu que la façon la plus facile de modéliser simplement un transistor à effet de champ est le schéma équivalent. Un tel schéma est aisément extrait d'une mesure de paramètres Y. Or, on ne peut pas mesurer des paramètres Y, Z ou H à de très hautes fréquences. Il est en effet impossible de réaliser des courts-circuits ou des circuits ouverts parfaits à cause des capacités et des inductances parasites. De plus, en raison des phénomènes de propagation qui peuvent exister en haute fréquence, on se rend compte que les tensions et les courants dépendent de là où ils sont mesurés.

On mesure donc des paramètres S, qui sont eux reliés à une notion de puissance. Ce sont en réalité des coefficients de réflexion et de transmission (voir Figure 1-19) ; on les mesure sur entrée et sortie ramenées à une impédance de référence (habituellement 50Ω). Ils peuvent alors être transformés en paramètres Z, Y ou H par l'intermédiaire de l'impédance de référence, qui est déterminée lors de la mesure.

Les paramètres S sont mesurés par un analyseur de réseau vectoriel (ou VNA, Vector Network Analyzer), et usuellement représentés dans une abaque de Smith, qui est une transformation du plan des impédances complexe en un plan des coefficients de réflexion complexe.

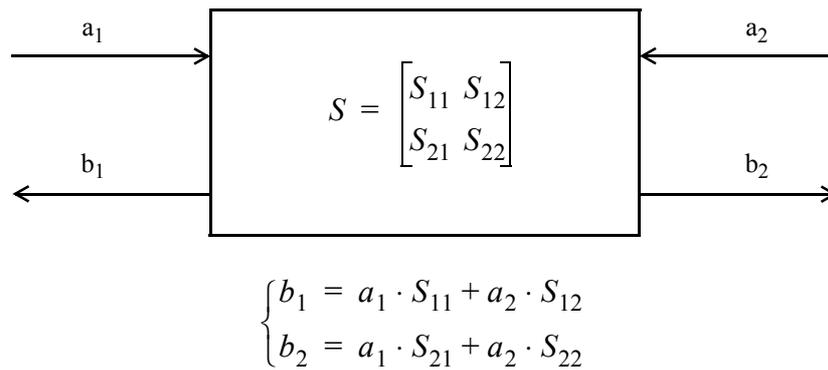


Figure 1-19 : Les ondes de puissances dans un quadripôle.

La mesure se fait en deux étapes :

- le sens direct : l'onde incidente est injectée à l'entrée du DUT (Device Under Test), l'onde réfléchie à l'entrée et l'onde transmise à la sortie sont mesurées (S_{11} et S_{21}) ;
- le sens inverse : l'onde incidente est injectée à la sortie du DUT, l'onde réfléchie à la sortie et l'onde transmise à l'entrée sont mesurées (S_{22} et S_{12}).

La Figure 1-20 illustre schématiquement le fonctionnement d'un analyseur de réseau. Sur cette figure, on peut voir :

- le té de polarisation (détail Figure 1-21), qui permet de polariser les dispositifs actifs. Il peut être interne au VNA ou connecté directement à la sonde, ce qui limite les pertes d'accès au dispositif ;
- les sondes hyperfréquence (détail Figure 1-22), à l'aide desquelles la mesure est effectuée directement sur la plaque (mesure dite "on-wafer"). Une sonde hyperfréquence est composée le plus souvent de trois pointes (masse-signal-masse) coplanaires.

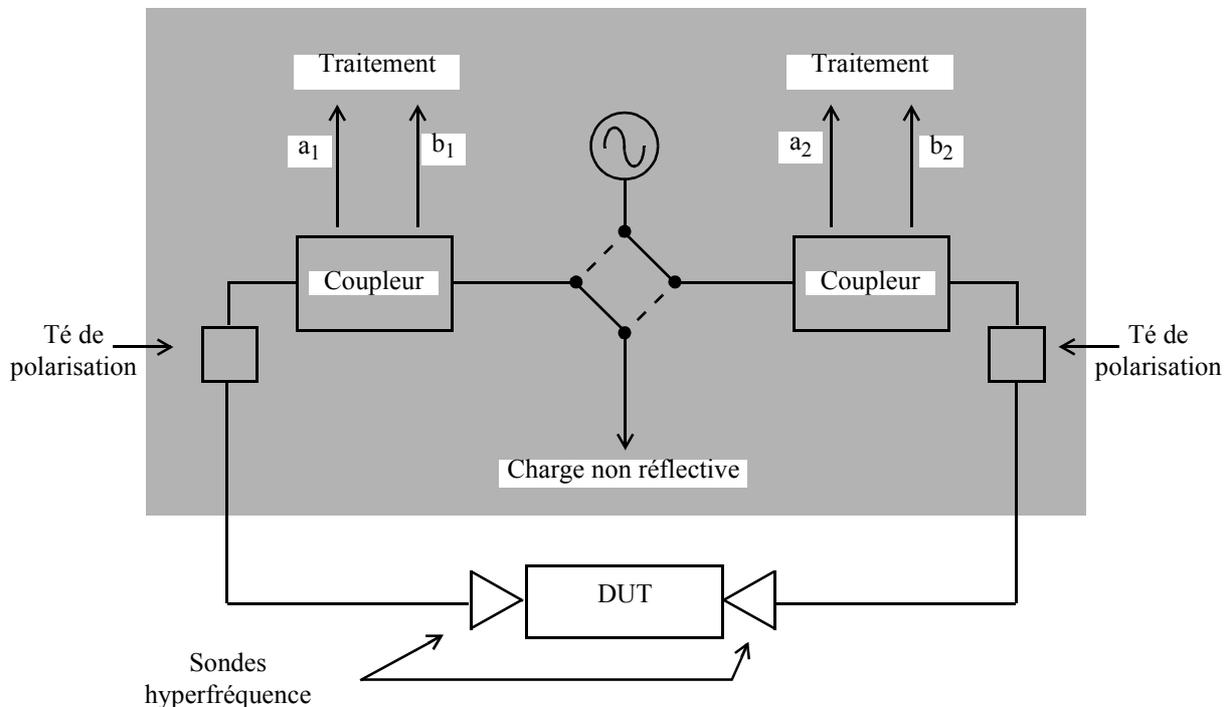


Figure 1-20 : Représentation schématique d'un banc de mesure hyperfréquence (d'après [67]).

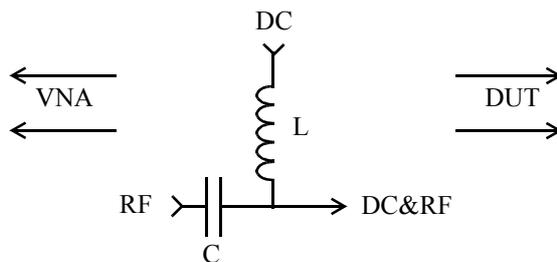


Figure 1-21 : Schéma équivalent électrique simplifié du té de polarisation.

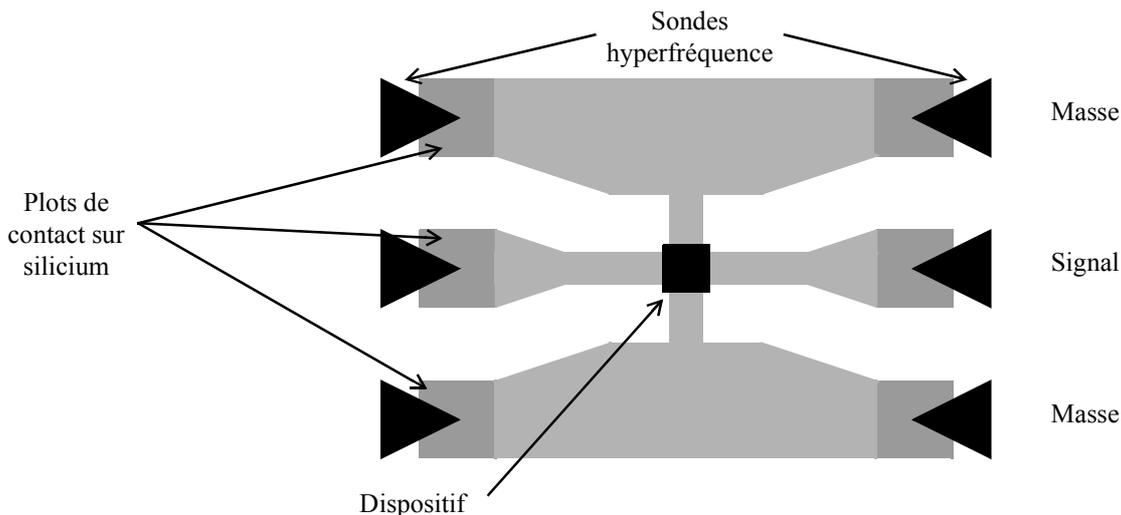


Figure 1-22 : Représentation schématique de sondes hyperfréquences lors de la mesure d’un dispositif.

1.4.2 Le calibrage

L’étape de calibrage permet de corriger les erreurs systématiques de la mesure. En effet, les paramètres S d’un dispositif se rapportent à un plan de référence. Le but du calibrage est donc de ramener le plan de référence dans le plan des pointes. On parle également de **calibrage “off-wafer”**, car les pointes ne sont pas posées sur la même plaque que les composants à tester.

Il existe plusieurs méthodes pour calibrer un banc de mesure, celle présentée ici est la méthode SOLT (Short-Open-Load-Thru). Le calibrage se fait en utilisant des structures dédiées (le “cal kit”, ou standard de calibrage), et parfaitement définies. Celles-ci sont présentées en Figure 1-23. Alors :

$$\begin{aligned}
 S_{SHORT} &= \begin{bmatrix} -1 & 0 \\ 0 & -1 \end{bmatrix} & S_{OPEN} &= \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \\
 S_{LOAD} &= \begin{bmatrix} 0 & 0 \\ 0 & 0 \end{bmatrix} & S_{THRU} &= \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}
 \end{aligned}
 \tag{1-70}$$

L’élément “Load” fixe l’impédance de référence de la mesure.

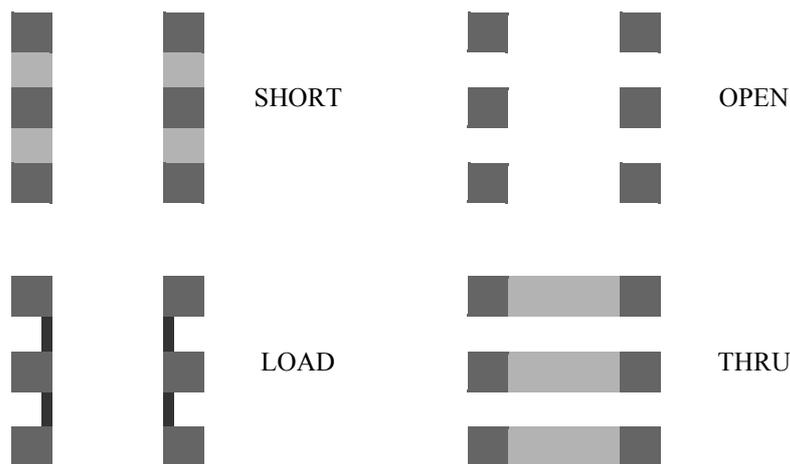


Figure 1-23 : Eléments utilisés lors du calibrage “SOLT”.

1.4.3 Epluchage

La procédure de calibrage fixe le plan de mesure dans le plan des pointes. Des pointes jusqu’au transistor, il reste encore notamment les plots des contacts et les lignes d’accès au transistor. On parle ici également de **de-embedding**, ou de **calibrage “on-wafer”**, puisque les structures utilisées se trouvent sur la même plaque que les composants à tester.

Il est essentiel de souligner ici que l’on passe à ce niveau d’un concept basé sur la propagation des ondes à un modèle courant-tension. La modélisation des plots de contact et des lignes d’accès est basée sur une représentation électrique composée d’admittances et d’impédances. Cette représentation n’est pas forcément juste et possède donc un domaine de validité limité, en particulier dans le domaine fréquentiel.

1.4.3.1 Méthode en deux étapes

La méthode d’épluchage présentée ci-après est très courante. L’accès au dispositif se fait au travers d’une suite d’éléments parallèle et série qui proviennent des plots et lignes d’accès (Figure 1-24).

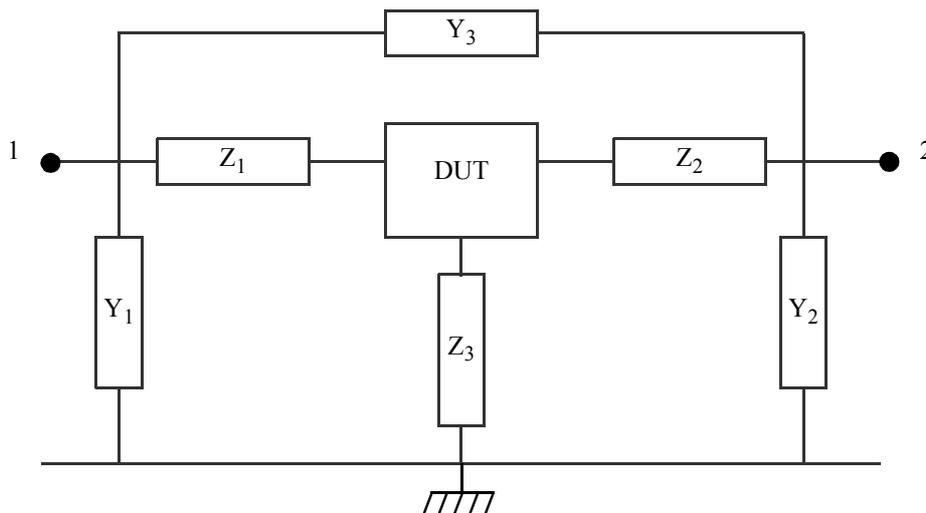


Figure 1-24 : Représentation schématique du dispositif et de ses accès.

Les Y_1 sont donnés par la mesure d’un structure de test en circuit ouvert. Ces éléments modélisent les différents couplages entre les accès, comme le montre la Figure 1-25 :

$$Y_{CO} = \begin{bmatrix} Y_1 + Y_3 & -Y_3 \\ -Y_3 & Y_2 + Y_3 \end{bmatrix} \tag{1-71}$$

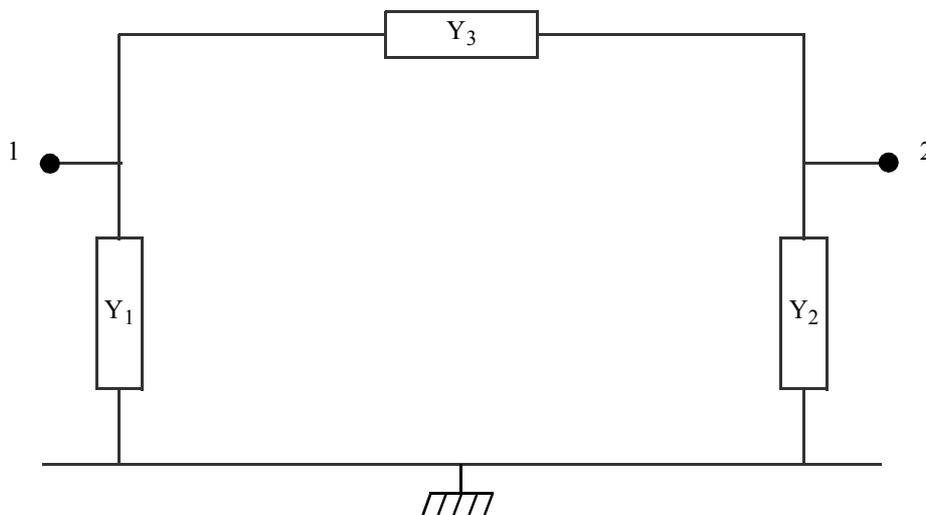


Figure 1-25 : Représentation schématique de la structure en circuit ouvert, utilisée pour la correction des éléments parallèles. Sa matrice Y est Y_{CO} .

Les Z_i sont donnés par la mesure d’une structure de test en court-circuit (Figure 1-26). Ces éléments modélisent les pertes dues aux lignes d’accès. La mesure de cette structure doit être corrigée des éléments parallèles (les Y_j) pour permettre l’accès aux éléments série (les Z_i) :

$$Z_{CC}' = (Y_{CC} - Y_{CO})^{-1} = \begin{bmatrix} Z_1 + Z_3 & Z_3 \\ Z_3 & Z_2 + Z_3 \end{bmatrix} \tag{1-72}$$

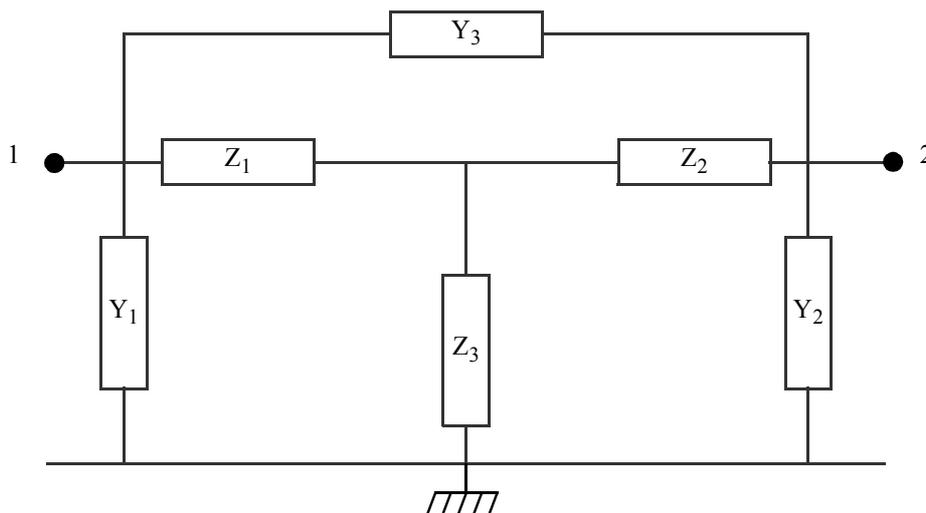


Figure 1-26 : Représentation schématique de la structure en court-circuit, utilisée pour la correction des éléments série. Sa matrice Y est Y_{CC} .

La matrice Y de la mesure dans le plan des points (c’est-à-dire le dispositif et les accès) étant Y_{mes} , les paramètres Y du dispositif sont données par :

$$\begin{aligned}
 Y_{DUT} &= [(Y_{mes} - Y_{CO})^{-1} - Z_{CC}']^{-1} \\
 &= [(Y_{mes} - Y_{CO})^{-1} - (Y_{CC} - Y_{CO})^{-1}]^{-1}
 \end{aligned}
 \tag{1-73}$$

1.4.3.2 Méthode en quatre étapes

Plus précise que la méthode précédente, cette procédure d'épluchage comporte quatre étapes : Open1, Short1, Short2, Open dédié. Le but est de pouvoir accéder au plus près du transistor. En effet, les plots de contact se situent au niveau de métal le plus élevé (voir Figure 1-27), alors que le dispositif est, lui, au niveau de la zone active. Le nombre de niveaux de métaux se trouvant entre les deux croît logiquement avec les générations technologiques [68].

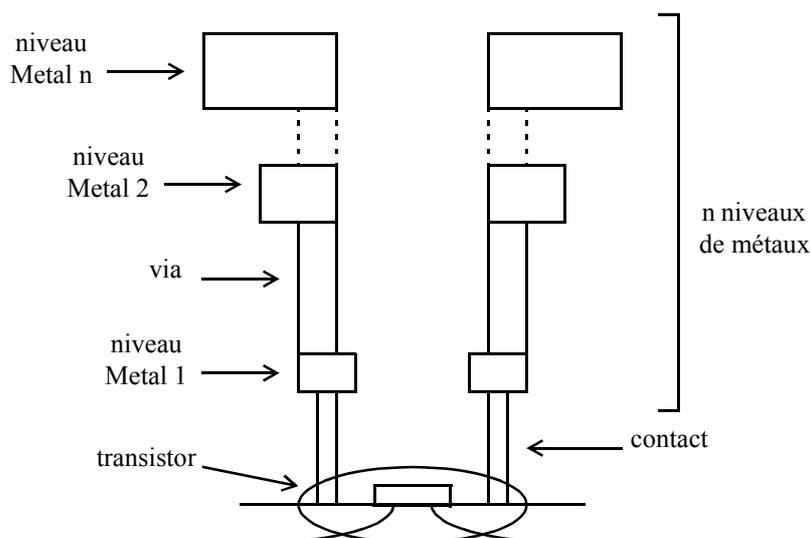


Figure 1-27 : Illustration des niveaux de métaux permettant d'accéder électriquement au transistor.

L'utilisation de deux structures de type Short, et d'une structure Open dédiée pour chaque dispositif mesuré permet de corriger la mesure des effets des niveaux de métaux, et donc de "descendre" jusqu'au niveau Metal 1, comme si la mesure était faite à ce niveau-là. Le détail de cette procédure se trouve en Annexe D.

1.4.4 Limites

1.4.4.1 Limites du calibrage et de l'épluchage

La question de la validité du passage du concept d'ondes à une représentation électrique a été abordée ; on peut en outre se poser la question de la précision de l'étape d'épluchage en haute fréquence. En effet, le principe de cette étape est d'enlever des éléments discrets, mais la mesure des structures utilisées (Open, Short...) peut mettre en évidence des effets de propagation dans les accès. Alors, quand les mesures sont corrigées, ce ne sont plus des éléments discrets qui sont retirés, mais la signature d'effets de propagation [69].

La position des pointes a une influence sur la mesure, et particulièrement au-delà de 10GHz [70] car le plot sur lequel la pointe est posé ne peut plus être considéré comme un élément discret.

Enfin, dans la bande millimétrique, des couplages apparaissent entre les pointes, la structure servant à l'épluchage et les structures adjacentes sur la plaque. Des simulations

électromagnétiques [69] mettent en évidence l'influence des pointes, alors même que lors de l'étape d'épluchage, c'est-à-dire après le calibrage, on suppose s'être affranchi de cette influence. La réalité est que le calibrage permet de corriger la mesure des couplages entre pointes, mais des couplages entre les pointes et les structures existent.

1.4.4.2 Effet de la limite de résolution de l'appareil de mesure

Cet effet provient de l'appareil de mesure. Celui-ci mesure des paramètres [S], mais il possède une limite de résolution. Par exemple, si $|S_{11}|$, qui est un coefficient de réflexion, est proche de 1 (cas d'un circuit ouvert), il ne permet pas de discerner deux résistances de valeur importante. Ainsi, si la limite de résolution du VNA est $\pm 0.05\text{dB}$, -0.05dB correspondent à un coefficient de réflexion de 0.989, soit non pas un circuit ouvert mais une résistance de $\pm 100\text{k}\Omega$. Tout se passe alors comme s'il existait une résistance de $\pm 100\text{k}\Omega$ en parallèle du dispositif mesuré.

Par exemple, on utilise la mesure de Y_{11} pour extraire la résistance de grille et la capacité de grille (qui sont en série) de la façon suivante :

$$R_{gg} = \frac{1}{\text{Re}[Y_{11}]} \quad (1-74)$$

$$C_{gg} = -\frac{1}{\omega} \cdot \frac{1}{\text{Im}(1/Y_{11})} \quad (1-75)$$

Cet effet (pour la mesure de Y_{11}) peut être modélisé (de façon approximative) par le schéma de la Figure 1-28, grâce à la résistance R_{vna} .

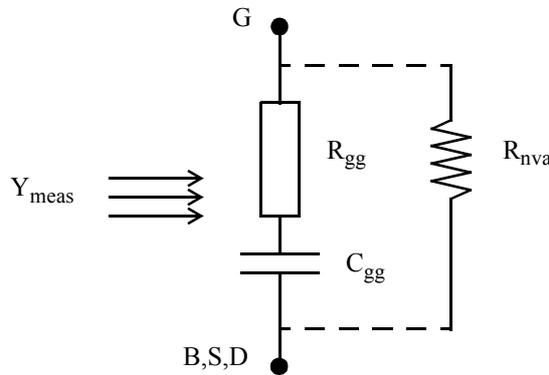


Figure 1-28 : Schéma équivalent du dispositif dans les conditions de mesure de Y_{11} , prenant en compte la limite de résolution du VNA. R_{gg} et C_{gg} sont respectivement la résistance et la capacité totales vues de la grille. Extraites de Y_{11} , ces grandeurs ne sont pas a priori des éléments purs.

On a alors :

$$\text{Re}\left[\frac{1}{Y_{meas}}\right] = R_{vna} \cdot \frac{1 + R_{gg} \cdot (R_{vna} + R_{gg}) \cdot C_{gg}^2 \cdot \omega^2}{1 + (R_{vna} + R_{gg})^2 \cdot C_{gg}^2 \cdot \omega^2} \quad (1-76)$$

Si on estime que la valeur de R_{vna} est de l'ordre de plusieurs centaines de $\text{k}\Omega$, on peut faire l'hypothèse que $|R_{vna}| \gg R_{gg}$. (1-76) devient alors :

$$\text{Re}\left[\frac{1}{Y_{meas}}\right] \approx R_{vna} \cdot \frac{1 + R_{gg} \cdot R_{vna} \cdot C_{gg}^2 \cdot \omega^2}{1 + R_{vna}^2 \cdot C_{gg}^2 \cdot \omega^2} \quad (1-77)$$

Il existe alors deux pulsations de coupure, valant respectivement :

$$\omega_1 = \frac{1}{C_{gg} \cdot R_{vna}} \quad (1-78)$$

et

$$\omega_2 = \frac{1}{C_{gg} \cdot \sqrt{R_{vna} \cdot R_{gg}}} \quad (1-79)$$

Pour $\omega_1 < \omega < \omega_2$, (1-77) peut être approximée par :

$$Re\left[\frac{1}{Y_{meas}}\right] \approx \frac{1}{R_{vna} \cdot C_{gg}^2 \cdot \omega^2} \quad (1-80)$$

(1-80) correspond à la “remontée” observée en basse fréquence sur la courbe de la Figure 1-29. Pour $\omega > \omega_2$, une approximation de (1-77) est :

$$Re\left[\frac{1}{Y_{meas}}\right] \approx R_{gg} \quad (1-81)$$

On retrouve la mesure attendue. Mais pour $\omega < \omega_2$, il doit être entendu que la mesure est inexploitable.

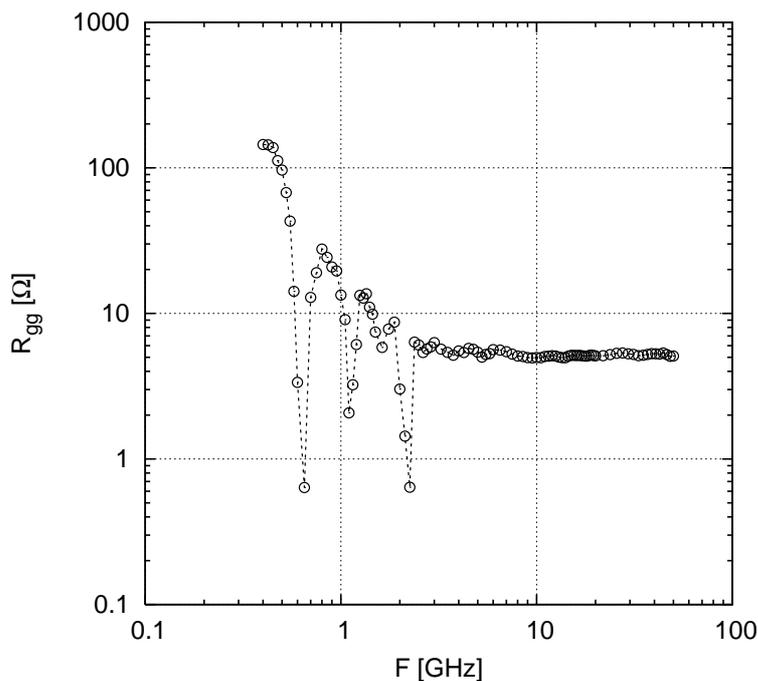


Figure 1-29 : Mesure de la résistance totale de grille en technologie 65nm pour la longueur de grille nominale, à $V_{GS}=1.2V$ (régime d'inversion forte) et $V_{DS}=0$.

Le problème peut également se poser quant à l'extraction de C_{gg} , mais à fréquence plus basse. En effet :

$$Im\left[\frac{1}{Y_{meas}}\right] \approx R_{vna} \cdot \frac{(R_{vna})^2 \cdot C_{gg}^2 \cdot \omega}{1 + (R_{vna} + R_{gg})^2 \cdot C_{gg}^2 \cdot \omega^2} \quad (1-82)$$

D'où :

$$-\frac{1}{\omega} \cdot \text{Im} \left[\frac{1}{Y_{meas}} \right] = \frac{1 + (R_{vna} + R_{gg})^2 \cdot C_{gg}^2 \cdot \omega^2}{R_{vna}^2 \cdot C_{gg}^2 \cdot \omega^2} \quad (1-83)$$

$$\approx \frac{1 + (R_{vna})^2 \cdot C_{gg}^2 \cdot \omega^2}{R_{vna}^2 \cdot C_{gg}^2 \cdot \omega^2}$$

Pour $\omega > \omega_1$:

$$-\frac{1}{\omega} \cdot \text{Im} \left[\frac{1}{Y_{meas}} \right] \approx \frac{1}{R_{vna}^2 \cdot C_{gg}^2 \cdot \omega^2} \quad (1-84)$$

Et pour $\omega > \omega_1$:

$$-\frac{1}{\omega} \cdot \text{Im} \left[\frac{1}{Y_{meas}} \right] \approx C_{gg} \quad (1-85)$$

Pour C_{gg} valant quelques centaines de fF et R_{vna} valant une centaine de k Ω , f_1 vaut quelques MHz à quelques dizaines de MHz et se trouve donc en dehors de la plage de fréquence de la mesure. Ici, pour Y_{11} , le problème ne se pose donc que pour l'extraction de la résistance de grille.

1.5 Moyens mis en œuvre

Le travail présenté dans ce manuscrit a en grande partie consisté à développer des procédures d'analyse des mesures et d'extraction de modèles. Un des buts de ces procédures est de pouvoir s'appliquer à n'importe quel transistor MOS de n'importe quelle technologie.

Dans l'industrie, un grand nombre de mesures sont généralement disponibles pour l'extraction des modèles. Ces mesures doivent en effet couvrir tous les dispositifs existant au sein de chaque technologie, pour des géométries variées et pour différentes polarisations. Pour traiter toutes ces mesures et fournir un modèle dépendant de la polarisation et de la géométrie pour toutes les familles et sous-familles de chaque technologie, il est nécessaire d'utiliser un outil permettant :

- de développer des routines d'extraction susceptibles d'être appliquées de façon répétitive, et
- de simuler les dispositifs avec les modèles extraits afin que ceux-ci soient validés.

Pour extraire les paramètres des lois régissant le comportement d'un transistor, et, dans le cadre d'un travail de recherche, comprendre ces lois grâce à l'analyse des mesures, on doit pouvoir observer et comparer des grandeurs mesurées (par exemple, le courant, une transconductance, une capacité, une résistance, des paramètres Y) en fonction de la polarisation, de la fréquence ou des paramètres géométriques du dispositif, éventuellement en normalisant ces grandeurs.

Le logiciel utilisé pour cela par l'équipe de modélisation des dispositifs de STMicroelectronics à Crolles est ICCAP¹⁸ d'Agilent. Il a permis de développer toute la méthodologie d'analyse de mesures dont les résultats sont présents dans ce manuscrit. Cette même méthodologie a été mise en œuvre dans un outil développé par ST pour ICCAP, nommé Evolve, et servant à l'analyse de mesures et à l'extraction et la validation de modèles.

1.6 Conclusion

La technologie MOS tend à être de plus en plus utilisée dans la conception de circuits RF.

18. Integrated Circuit Characterization and Analysis Program, soit Programme de Caractérisation et d'Analyse de Circuit Intégré.

Pour cela, le comportement RF du transistor MOS doit être abordé et modélisé de façon appropriée.

L'analyse du MOSFET d'un point de vue RF met ainsi en évidence deux effets principaux. Le premier est l'influence de la partie extrinsèque du dispositif, dont :

- la résistance de grille, qui introduit une fréquence de coupure et influe fortement sur la fréquence maximale d'oscillation du composant ;
- les capacités parasites, dont certaines réduisent directement les performances de rapidité ;
- le réseau substrat, qui offre aux porteurs de charge un chemin alternatif au canal et éloigne donc les caractéristiques du composant de ses propriétés théoriques.

Le second est que, en haute fréquence (la limite étant fixée par les caractéristiques du dispositif), le temps de réponse du dispositif ne peut plus être considéré comme négligeable. Cette "inertie" du composant, en limitant et retardant sa réponse, est à l'origine d'une dépendance fréquentielle apparente des caractéristiques du dispositif.

Les modèles compacts actuels sont des outils adaptés à la modélisation des dispositifs dans un contexte industriel. Leur précision et leur cohérence est de plus en plus critique, en raison de la complexité des circuits et des effets présents dans les technologies MOS avancées. Les besoins en modélisation dans un futur proche et probablement lointain seront évidemment satisfaits au mieux par des modèles plus proches de la physique, comme EKV3.0 ou PSP102.1, que ceux appartenant aux trois premières générations. Néanmoins, parmi ces nouveaux modèles, le plus pertinent sera probablement celui qui sera à la fois le plus cohérent et le mieux à même de reproduire la réalité (et pas seulement un comportement physique, modélisé sur la base la plus rigoureuse).

Toutefois, bien que ces modèles aient vocation à être utilisés pour la conception analogique et RF, leur prise en compte de la partie extrinsèque des dispositifs est insuffisante. A mesure que les nœuds technologiques se succèdent et que les transistors MOS deviennent plus en plus petits, la connaissance de l'évolution de la partie extrinsèque est cruciale. Il est nécessaire de modéliser et d'extraire correctement les éléments parasites pour connaître le plus précisément possible leurs impacts sur le fonctionnement du MOSFET : c'est l'objet du chapitre suivant. En raison de sa nature complexe, et dans le cadre d'une démarche visant à faire aussi peu d'hypothèses que possible, un autre chapitre sera consacré à l'extraction et à la modélisation du réseau substrat.

1.7 Références

- [1] Y. Tsividis, "Operation and Modeling of The MOS Transistor", Oxford University Press, Second Edition, 1999.
- [2] International Technology Roadmap for Semiconductors, 2006 Update, Process Integration, Devices, and Structures and Emerging Research Devices, 2006.
- [3] S. Sleva and Y. Taur, "The influence of source and drain junction depth on the short-channel effect in MOSFETs", IEEE Transactions on Electron Devices, vol. 52, no. 12, pp. 2814-2816, Dec. 2005.
- [4] S. Thompson, P. Packan and M. Bohr, "MOS Scaling : Transistor Challenges for the 21st Century", Intel Technology Journal Q3'98, 1998.
- [5] H. Iwai, "CMOS technology-year 2010 and beyond", IEEE Journal of Solid-State Circuits, vol. 34, no. 3, pp. 357-366, Mar. 1999.
- [6] J.D. Plummer and P.B. Griffin, "Material and Process Limits in Silicon VLSI Technology", Proceedings of the IEEE, vol. 89, no. 3, pp. 240-258, Mar. 2001.
- [7] D. Mathiot, "Dopage et Diffusion dans le Silicium", cours de DEA, Université Louis Pasteur, Strasbourg, 2002.

- [8] C.S. Rafferty, H.-H. Vuong, S.A. Eshraghi, M.D. Giles, M.R. Pinto and S.J. Hillenius, "Explanation of reverse short channel effect by defect gradients", Technical Digest., International Electron Devices Meeting, pp. 311 - 314, 1993.
- [9] T. Kunikiyo, K. Mitsui, M. Fujinaga, T. Uchida and N. Kotani, "Reverse short-channel effect due to lateral diffusion of point-defect induced by source/drain ion implantation", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 13, no. 4, pp. 507-514, Apr. 1994.
- [10] S. Mudanai, W-K. Shih, R. Rios, X. Xi, J-H. Rhew, K. Kuhn and P. Packan, "Analytical Modeling of Output Conductance in Long-Channel Halo-Doped MOSFETs", IEEE Transactions on Electron Devices, vol. 53, no. 9, pp. 2091-2097, Sept. 2006.
- [11] R. van Langevelde, A.J. Scholten and D.B.M. Klaassen, "Physical Background of MOS Model 11, level 1101", Philips Electronics, 2003.
- [12] R. van Langevelde and F.M. Klaassen, "Effect of gate-field dependent mobility degradation on distortion analysis in MOSFETs", IEEE Transactions on Electron Devices, vol. 44, no. 11, pp. 2044-2052, Nov. 1997.
- [13] F.N. Trofimenkoff, "Field-dependent mobility analysis of the field-effect transistor", Proceedings of the IEEE, vol. 54, no. 5, p. 817, May 1966.
- [14] W. Liu, X. Jin, Y. King and C. Hu, "An efficient and accurate compact model for thin-oxide-MOSFET intrinsic capacitance considering the finite charge layer thickness", IEEE Transactions on Electron Devices, vol. 46, no. 5, pp. 1070-1072, May 1999.
- [15] BSIM4.6 MOSFET Model, User's Manual, Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, 2006.
- [16] Q. Ngo, D. Navarro, T. Mizoguchi, S. Hosakawa, H. Ueno, M. Miura-Mattausch and C.Y. Yang, "Gate Current Partitioning in MOSFET Models for Circuit Simulation", Technical Proceedings of the 2003 Nanotechnology Conference and Trade Show, vol. 2, pp. 322-325, 2003.
- [17] International Technology Roadmap for Semiconductors, 2005 Edition, Modeling and Simulation, 2005.
- [18] T.B. Hook, J. Brown, P. Cottrell, E. Adler, D. Hoyniak, J. Johnson, and R. Mann, "Lateral ion implant straggle and mask proximity effect", IEEE Transactions on Electron Devices, vol. 50, no. 9, pp. 1946-1951, Sept. 2003.
- [19] G. Dambrine, C. Raynaud, D. Lederer, M. Dehan, O. Rozeaux, M. Vanmackelberg, F. Danneville, S. Lepilliet and J.-P. Raskin, "What are the limiting parameters of deep-submicron MOSFETs for high frequency applications?", IEEE Electron Device Letters, vol. 24, no. 3, pp. 189-191, Mar. 2003.
- [20] C. Enz and Y. Cheng, "MOS transistor modeling for RF IC design", IEEE Journal of Solid-State Circuits, vol. 35, no. 2, pp. 186-201, Feb. 2000.
- [21] X. Jin, J.-J. Ou, C.-H. Chen, W. Liu, M.J. Deen, P.R. Gray and C. Hu, "An Effective Gate Resistance Model for CMOS RF and Noise Modeling", International Electron Devices Meeting Technical Digest, pp. 961-964, 1998.
- [22] <http://www.intel.com/technology/mooreslaw/index.htm>
- [23] J. He, J. Xi, M. Chan, H. Wan, M. Dunga, B. Heydari, A.M. Niknejad and C. Hu, "Charge-based core and the model architecture of BSIM5", Sixth International Symposium on Quality of Electronic Design, 2005, pp. 96-101, Mar. 2005.
- [24] R. van Langevelde, "Surface-potential versus charge based approaches to MOSFET compact modeling", 2005 International Conference on Modeling and Simulation of Microsystems, Workshop on Compact Models, May 2005.
- [25] C. Lallement, "Modélisation du transistor Mosfet pour la Conception de Circuits & Technologies fortement Submicroniques", Cours de DEA, Université Louis Pasteur,

- Strasbourg, 2002.
- [26] Minutes from the 3Q05 Compact Model Council Meeting, Oct. 2005.
 - [27] C. Enz, F. Krummenacher and E. Vittoz, “An analytical MOS transistor model valid in all regions of Operation and dedicated to low-voltage and low-current applications”, *Journal on Analog Integrated Circuits and Signal Processing*, Kluwer Academic Publishers, pp. 83-114, Jul. 1995.
 - [28] J.-M. Sallese, W. Grabinski, A.-S. Porret, M. Bucher, C. Lallement, F. Krummenacher, C. Enz, and P. Fazan, “Advancements in DC and RF Mosfet Modeling with the EPFL-EKV Charge Based Model”, 2001 International Conference on Mixed Design of Integrated Circuits and Systems, Jun. 2001.
 - [29] M. Bucher, C. Lallement, C. Enz, F. Théodoloz and F. Krummenacher, “Scalable GM/I Based MOSFET Model”, *Proceedings of the 1997 International Semiconductor Device Research Symposium*, pp. 615-618, Dec. 1997.
 - [30] C. Enz, M. Bucher, A.-S. Porret, J.-M. Sallese and F. Krummenacher, “The Foundations of the EKV MOS Transistor Charge-Based Model”, *Technical Proceedings of the 2002 International Conference on Modeling and Simulation of Microsystems*, vol 1, pp. 666-669, 2002.
 - [31] Documentation de PSP102.1, Oct. 2006.
 - [32] G. Gildenblat, H. Wang, T.-L. Chen, X. Gu and X. Cai, “SP: An Advanced Surface-Potential-Based Compact MOSFET Model”, *IEEE Journal of Solid-State Circuits*, vol. 39, nov. 9, pp. 1394-1406, Sept. 2004.
 - [33] MOS Model 11, Level 1102, Test Version, Koninklijke Philips Electronics, Jan. 2004.
 - [34] H. Wang, T.-L. Chen and G. Gildenblat, “Quasi-static and Nonquasistatic Compact MOSFET Models Based on Symmetric Linearization of the Bulk and Inversion Charges”, *IEEE Transactions on Electron Devices*, vol. 50, no. 11, pp. 2262-2272, Nov. 2003.
 - [35] G. Gildenblat, “Surface Potential or Inversion Charge?”, 2005 International Conference on Modeling and Simulation of Microsystems, Workshop on Compact Models, May 2005.
 - [36] C. Hu, “Tale of Two Models”, 2005 International Conference on Modeling and Simulation of Microsystems, Workshop on Compact Models, May 2005.
 - [37] M. Bucher, “‘Inversion charge’ vs. ‘surface potential’ model”, 2005 International Conference on Modeling and Simulation of Microsystems, Workshop on Compact Models, May 2005.
 - [38] R. Rios, “How Critical is the Core Model Choice?”, 2005 International Conference on Modeling and Simulation of Microsystems, Workshop on Compact Models, May 2005.
 - [39] P.H. Woerlee, M.J. Knitel, R. van Langevelde, D.B.M. Klaassen, L.F. Tiemeijer, A.J. Scholten and A.T.A. Zegers-van Duijnhoven, “RF-CMOS performance Trends”, *IEEE Transactions on Electron Devices*, vol. 48, no. 8, pp. 1776-1782, Aug. 2001.
 - [40] International Technology Roadmap for Semiconductors, 2006 Update, Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Applications, 2006.
 - [41] H.S. Bennett, R. Brederlow, J.C. Costa, P. E. Cottrell, W.M. Huang, A. A. Immorlica, Jr., J.-E. Mueller, M. Racanelli, H. Shichijo, C. E. Weitzel, and B. Zhao, “Device and Technology Evolution for Si-Based RF”, *IEEE Transactions on Electron Devices*, vol. 52, no. 7, pp. 1235-1258, Jul. 2005.
 - [42] L.E. Larson, “Integrated Circuit Technology Options for RFIC’s-Present Status and Future Directions”, *IEEE Journal of Solid-State Circuits*, vol. 33, no. 3, pp. 387-399, Mar. 1998.
 - [43] BSIM3v3 Manual, Department of Electrical Engineering and Computer Sciences,

- University of California, Berkeley, 1996.
- [44] R.-S. Soin, F. Maloberti and J. Franca, “Analogue-Digital ASICS - circuit techniques, design tools and applications”, IET, 1990.
 - [45] Y. Cheng, M.J. Deen and C.-H. Chen, “MOSFET Modeling for RF IC Design”, IEEE Transactions on Electron Devices, vol. 52, no. 7, pp. 1286-1303, Jul. 2005.
 - [46] E. Gondro, O. Kowarik, G. Knoblinger, P. Klein, “When do we need non-quasistatic CMOS RF-models?”, IEEE Conference on Custom Integrated Circuits, 2001, pp. 377-380, May 2001.
 - [47] J. M. Sallese and A.-S. Porret, “A novel approach to charge-based non-quasi-static model of the MOS transistor valid in all modes of operation”, Solid-State Electronics, vol. 44, no. 6, pp. 887-894, Jun. 2000.
 - [48] M. Bucher, C. Lallement, C. Enz, F. Théodoloz and F. Krummenacher, “The EPFL-EKV MOSFET Model Equations for Simulation”, EPFL-DE-LEG Report, Corrected Version, Mar. 1999.
 - [49] A.J. Scholten, L.F. Tiemejer, P.W.H de Vreede and D.B.M. Klaassen, “A Large Non-Quasi-Static MOS Model for RF Circuit Simulation”, International Electron Devices Meeting Technical Digest, pp. 163-166, 1999.
 - [50] A. F.-L. Ng, P.K. Ko and M. Chan, “Determining the Onset Frequency of Nonquasistatic Effects of the MOSFET in AC Simulation”, IEEE Electron Device Letters, vol. 23, no. 1, pp. 37-39, Jan. 2002.
 - [51] G. Dambrine, “Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent”, Thèse de l’Université de Lille, mars 1989.
 - [52] M. Berroth and R. Bosch, “Broad-Band Determination of the FET Small-Signal Equivalent Circuit”, IEEE Transactions on Microwave Theory and Techniques, vol. 38, no. 7, pp. 891-895, Jul. 1990.
 - [53] G. Dambrine, A. Cappy, F. Heliodore and E. Playez, “A new method for determining the FET small-signal equivalent circuit”, IEEE Transactions on Microwave Theory and Techniques, vol. 36, no. 7, pp. 1151-1159, Jul. 1988.
 - [54] W.R. Curtice and R.L. Camisa, “Self-Consistent FET Models for Amplifier Design and Device Diagnostics”, MTT-S International Microwave Symposium Digest, vol. 84, no. 1, pp. 427-429, May 1984.
 - [55] F. Diamand and M. Laviron, “Measurement of the Extrinsic Series Elements of a Microwave Mesfet Under Zero Current Conditions”, 12th European Microwave Conference, pp. 451-456, Oct. 1982.
 - [56] D. Lovelace, J. Costa and N. Camilleri, “Extracting small-signal model parameters of silicon MOSFET transistors”, IEEE MTT-S International Microwave Symposium Digest, vol. 2, pp. 865-868, May 1994.
 - [57] H. Kondoh, “An Accurate FET Modelling from Measured S-Parameters”, MTT-S International Microwave Symposium Digest, vol. 86, no. 1, pp. 377-380, Jun. 1986.
 - [58] M. Bucher, A. Bazigos, F. Krummenacher, J.- M. Sallese, C. Enz and W. Grabinski, “Advances in MOSFET Charges Modeling EKV3.0 MOSFET Model”, 2005 International Conference on Modeling and Simulation of Microsystems, Workshop on Compact Models, May 2005.
 - [59] P. Mancini, C. Turchetti and G. Masetti, “A Non-Quasi-Static Analysis of the Transient Behavior of the Long-Channel Most Valid in All Regions of Operation”, IEEE Transactions on Electron Devices, vol. 34, no. 2, pp. 325-334, Feb. 1987.
 - [60] S. Larson and V. Thomée, “Partial Differential Equations with Numerical Methods”, Springer, 2003.

- [61] X. Jin, J.-J. Ou, C.-H. Chen, W. Liu, M.J Deen, P.R. Gray and C. Hu, “An effective gate resistance model for CMOS RF and noise modeling”, Technical Digest. Electron Devices Meeting, 1998, pp. 961-964, Dec. 1998.
- [62] G. Gildenblat, X. Li, W. Wu, H. Wang, A. Jha, R. Van Langevelde, G.D.J. Smit, A.J. Scholten and D.B.M Klaassen, “PSP: An Advanced Surface-Potential-Based MOSFET Model for Circuit Simulation”, IEEE Transactions on Electron Devices, vol. 53, no. 9, pp. 1979-1993, Sept. 2006.
- [63] M. Bucher and A. Bazigos, “EKV3.0 model code & parameter extraction”, EKV Users’ Meeting/ Workshop, EPFL, Nov. 2004.
- [64] Documentation de JUNCAP2, Aug. 2006.
- [65] G. Gildenblat, X. Li, W. Wu, H. Wang, R. van Langevelde, G.D.J. Smit, A.J. Scholten and D.B.M. Klaassen, “From BSIM3/4 to PSP - Translation of flicker noise and junction parameters”, Pennsylvania State University/Philips Research, Apr. 2006.
- [66] A. Litwin, “Overlooked interfacial silicide-polysilicon gate resistance in MOS transistors”, IEEE Transactions on Electron Devices, vol 48, no. 9, pp. 2179-2181, Sept. 2001.
- [67] M. Vanmackelberg, “Contribution à la caractérisation hyperfréquence de composants MOSFET en vue de la conception de fonctions intégrées pour des applications en gamme millimétrique”, Thèse de l’Université des Sciences et Techniques de Lille, 2001.
- [68] International Technology Roadmap for Semiconductors, 2006 Update, Interconnect, 2006.
- [69] C. Andrei, D. Gloria, F. Danneville, P. Scheer and G. Dambrine, “Coupling on-wafer measurement errors and their impact on calibration and de-embedding up to 110GHz for CMOS millimeter wave characterization”, IEEE International Conference on Microelectronic Test Structures, 2007, pp. 253-256, 2007.
- [70] S. Han, J. Kim and D.P. Neikirk, “Impact of Pad De-embedding On the Extraction of Interconnect Parameters”, International Conference on Microelectronic Test Structures, 2006, pp. 76-81, 2006.

Chapitre 2

Etude des éléments parasites “connus” du MOSFET

Un des phénomènes qui interviennent dans le MOSFET en haute fréquence provient des éléments parasites qui entourent la partie intrinsèque. Ces éléments correspondent pour le signal à des chemins qu'un modèle intrinsèque ne prend pas en compte. Il en résulte alors l'observation de comportements statiques et dynamiques qui ne peuvent pas être décrits en utilisant uniquement les lois physiques régissant le MOSFET. Dans le but d'étudier ces éléments parasites, le MOSFET est divisé en trois parties.

La première partie est la partie dite intrinsèque. Elle joue le rôle utile et actif du transistor ; elle est décrite par la physique du MOSFET.

La deuxième partie est une partie extrinsèque “intermédiaire”. Elle est constituée d'éléments parasites provenant de l'environnement lié à l'architecture et aux procédés technologiques de fabrication du dispositif, sur lesquels un concepteur ne peut pas agir. Ceux-ci incluent par exemple les capacités de recouvrement par la grille ou de jonction et les résistances des diffusions source/drain.

Enfin, il existe une partie extrinsèque liée au layout (par exemple, les résistances de polysilicium de grille, de contact et les capacités d'interconnexions) ; de ce fait, cette partie peut être optimisée par le concepteur.

Les parties extrinsèques, que l'on peut voir sur la Figure 2-1, sont donc composées d'éléments passifs tels que des résistances ou des capacités. Les performances RF du MOSFET ne peuvent par conséquent qu'être dégradées par ces éléments [1]. Par exemple, les capacités parasites sont responsables d'une perte de vitesse du composant ; une résistance induit une dissipation de la puissance et donc une perte du gain, mais aussi une modification du comportement en fréquence, et une dégradation des performances de bruit. Il convient donc de modéliser ces parties extrinsèques le plus précisément possible.

L'étape préalable à la modélisation de ces éléments est leur extraction, qui est faite à partir de la mesure. La modélisation des parasites a pour vocation de couvrir un grand nombre de technologies, car ces éléments sont inévitables. Une méthodologie d'extraction fiable, rigoureuse et indépendante de la technologie doit être développée dans ce but.

2.1 Intrinsèque et extrinsèque

Du point de vue d'un modèle, le MOSFET peut se décomposer en deux parties : le modèle compact pour la partie intrinsèque, et des éléments discrets pour les parties intermédiaire et extrinsèque, le tout formant un sous-circuit (Figure 2-1).

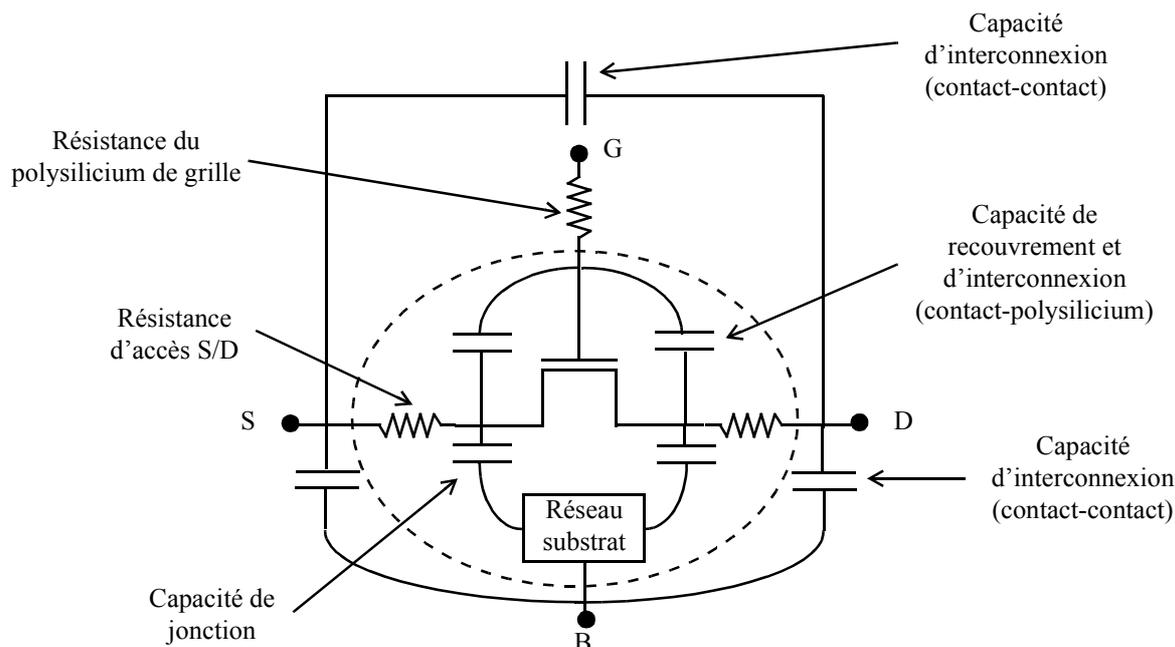


Figure 2-1 : Schéma de base du transistor MOS utilisé pour l'analyse. Le symbole du MOSFET représente la partie intrinsèque ; les pointillés entourent la partie extrinsèque intermédiaire et ce qui est à l'extérieur appartient à l'extrinsèque.

En pratique, il est impossible de ne mesurer que l'une ou l'autre des parties intrinsèque ou extrinsèque. L'extraction doit donc être faite en utilisant la connaissance que l'on a *a priori* du comportement de la partie intrinsèque. Pour cela, l'extraction des éléments parasites va être faite dans des conditions de fréquence et de polarisation pour lesquelles les caractéristiques intrinsèques du dispositif sont particulières et connues.

En premier lieu, les capacités extrinsèques grille-drain (C_{gdext}), grille-source ($C_{gs ext}$), ainsi que drain-substrat et drain-source ($C_{bdext} + C_{ds ext}$) seront extraites et modélisées. La résistance de grille R_{ggext} , élément crucial en RF [7], sera extraite selon une méthode permettant de d'évaluer la contribution de la partie intrinsèque à la mesure. Toutes les dépendances géométriques de R_{ggext} seront mises en évidence et intégrées au modèle.

Les transistors utilisés sont des dispositifs dont la largeur totale est répartie sur plusieurs doigts de grille mis électriquement en parallèle, comme le montre la Figure 2-2.

Chaque dispositif comporte ainsi plusieurs cellules, qui sont au nombre de N_c . Chaque cellule est composée :

- des zones actives (source/drain) sur lesquelles sont posés les contacts permettant un accès aux terminaux de source et de drain ;
- de $N_{fin g}$ doigts de grille reliés ensemble par une ou deux têtes de part et d'autre de la grille (le nombre de têtes de grille est noté N_{gcon}) ; les contacts de grille sont exclusivement posés sur la ou les têtes de grille ;
- d'une prise caisson, sur laquelle sont posés les contacts qui permettent d'accéder au terminal de substrat du dispositif ; elle peut être constituée, comme sur la Figure 2-2, de doigts parallèles aux doigts de grille, ou bien d'un anneau qui entoure la zone active et le polysilicium de grille.

Les modèles de parasites définis dans ce chapitre ne concernent que les niveaux de métaux inférieurs à la couche Metal 1 (soient cette couche et les contacts). Les éléments concernés sont dits "connus", car ce sont des éléments pour lesquels il existe un consensus quant à leur modélisation [1][2][3][4][5][6]. On peut les modéliser par un élément discret, même si celui-ci

est dépendant de la polarisation [4] et/ou de la géométrie [5]. On peut dire que sont des éléments parasites du premier ordre, car ce sont ceux dont l'effet est le plus important et le plus direct [3].

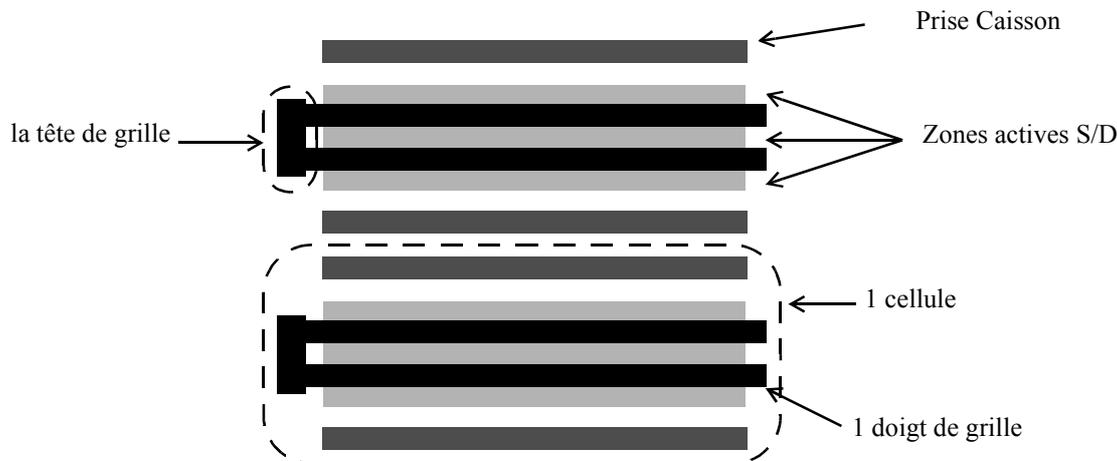


Figure 2-2 : Représentation schématique d'un dispositif MOS.
Ici, $N_c=2$, $N_{\text{fing}}=2$ et $N_{\text{gcon}}=1$.

2.2 Extraction des éléments parasites

Elle se fait à partir de paramètres [Y] (issus de la conversion de paramètres [S] mesurés) de dispositifs généralement en source commune d'une part, et d'autre part, des paramètres [Y] analytiques issus d'un schéma équivalent.

On se place pour l'extraction dans des domaines de fréquence et de polarisation bien particuliers. On peut notamment considérer que l'on peut négliger les effets dus au substrat et connecter ainsi le nœud de body intrinsèque à la masse. Quant aux effets non quasi-stationnaires, comme nous le verrons, ces effets sont soit négligeables, soit susceptibles d'être pris en compte d'une façon tout à fait spécifique. Il apparaît donc plus simple de ne pas inclure dans le schéma équivalent des éléments permettant de modéliser ces effets. Enfin, les résistances séries de source et de drain sont elles aussi omises dans le schéma. Les constantes de temps qu'elles introduisent sont en effet telles qu'elles peuvent être négligées [3].

Le schéma ainsi élaboré est celui de la Figure 2-3. Celui-ci ne rend donc compte ni de tous les effets que l'on peut voir sur la Figure 2-1. Ceci veut dire les grandeurs observées à partir de la mesure ne sont que des grandeurs apparentes, dans la mesure où elles sont susceptibles de dépendre de la fréquence. Aussi la plage de validité en fréquence du schéma sera-t-elle limitée. Néanmoins, les paramètres [Y] associés à ce schéma sont des expressions simples et l'extraction sera plus facile.

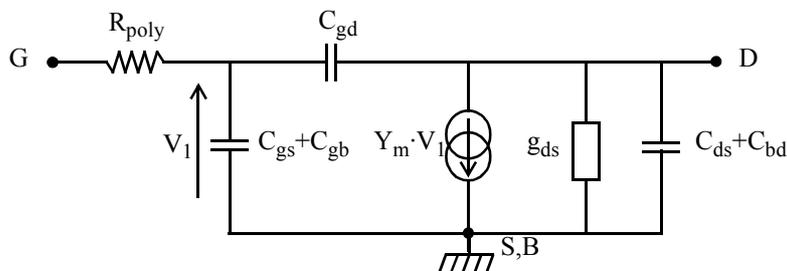


Figure 2-3 : Schéma équivalent du MOSFET en source commune, utilisé pour l'extraction des éléments parasites.

Pour la mesure des paramètres [S], le port 1 est placé sur la grille ; le port 2 est placé sur le

drain.

2.2.1 Capacités parasites

2.2.1.1 Capacité grille-drain extrinsèque C_{gdext}

Cette capacité regroupe :

- la capacité d'interconnexion entre les contacts de drain et de grille,
- la capacité d'interconnexion entre le côté du polysilicium de grille et les contacts de drain (représentée Figure 2-4),
- la capacité d'interconnexion entre les contacts de drain d'une part, et le polysilicium de grille d'autre part (représentée Figure 2-4),
- la capacité de recouvrement du polysilicium de grille sur l'extension LDD de drain (représentée Figure 2-5).

Les capacités d'interconnexion sont regroupées dans la capacité **électrostatique de bord**.

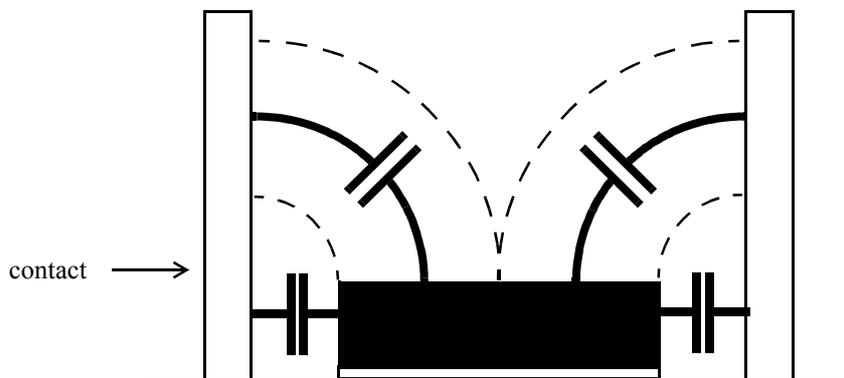


Figure 2-4 : Schéma illustrant les capacités parasites de bord.

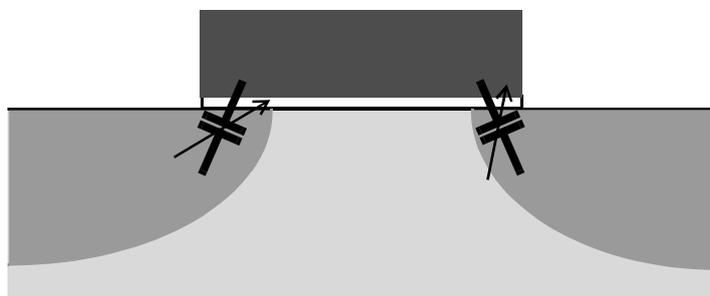


Figure 2-5 : Schéma illustrant les capacités parasites de recouvrement.

La capacité grille-drain totale C_{gd} est la somme de ses deux composantes intrinsèque et extrinsèque ; elle est extraite de Y_{12} . (2-1) donne la formule basée sur la Figure 2-3.

$$Y_{12} = -\frac{j \cdot \omega \cdot C_{gd}}{1 + j \cdot \omega \cdot R_{poly} \cdot C_{gg}} \quad (2-1)$$

C_{gg} étant la capacité totale vue de la grille :

$$C_{gg} = C_{gd} + C_{gs} + C_{gb} \quad (2-2)$$

A partir de (2-1), on a :

$$-\frac{1}{\omega} \cdot \text{Im}[Y_{12}] = \frac{C_{gd}}{1 + (\omega \cdot R_{poly} \cdot C_{gg})^2} \quad (2-3)$$

et :

$$\frac{1}{\omega} \cdot \frac{1}{\text{Im}[1/Y_{12}]} = C_{gd} \quad (2-4)$$

L'extraction faite à partir de l'expression donnée par (2-4) permet alors de s'affranchir totalement de l'influence de la résistance de grille.

L'extraction est faite à V_{DS} variable (de façon à observer la dépendance en polarisation) et à $V_{GS}=0$: dans ce cas, $C_{gdint}=0$. On se place de plus en basse fréquence, ce qui permet de s'affranchir d'une part des effets dus à la nature distribuée du MOSFET, et d'autre part d'un effet de couplage par le substrat¹ qui introduit en haute fréquence une augmentation apparente de la capacité observée, comme on peut le voir sur la Figure 2-6 et la Figure 2-7. Celles-ci représentent la mesure de la capacité C_{gd} en technologie 65nm, pour plusieurs géométries et plusieurs polarisations.

La variation en longueur de grille est due à la capacité résultant du couplage entre le contact de drain et le sommet de la grille. Si L_g augmente, la surface de grille augmente, et par conséquent la capacité également. La variation en V_{GD} est quant à elle due à la capacité de recouvrement, V_{GD} influant sur la profondeur de déplétion dans la zone de recouvrement (voir Annexe E).

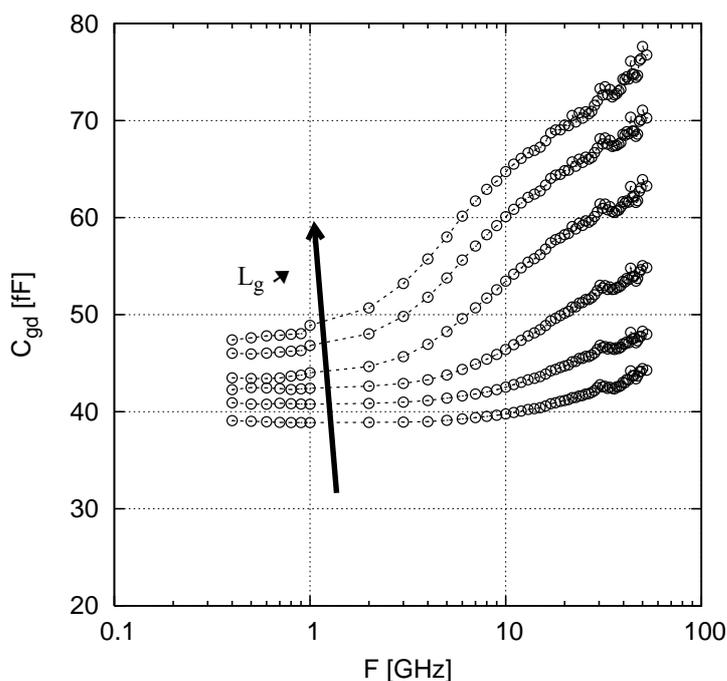


Figure 2-6 : Mesure de la capacité C_{gd} d'un nMOSFET en technologie 65nm, à $V_{GS}=0$ et $V_{DS}=0.6$, pour plusieurs longueurs de grille (65nm, 0.1 μm , 0.2 μm , 0.5 μm , 1.0 μm et 2.0 μm).

1. Ces effets ne sont pas pris en compte par le schéma de la Figure 2-3 : l'équation (2-1) n'est pas valide pour toute la gamme de fréquence observée.

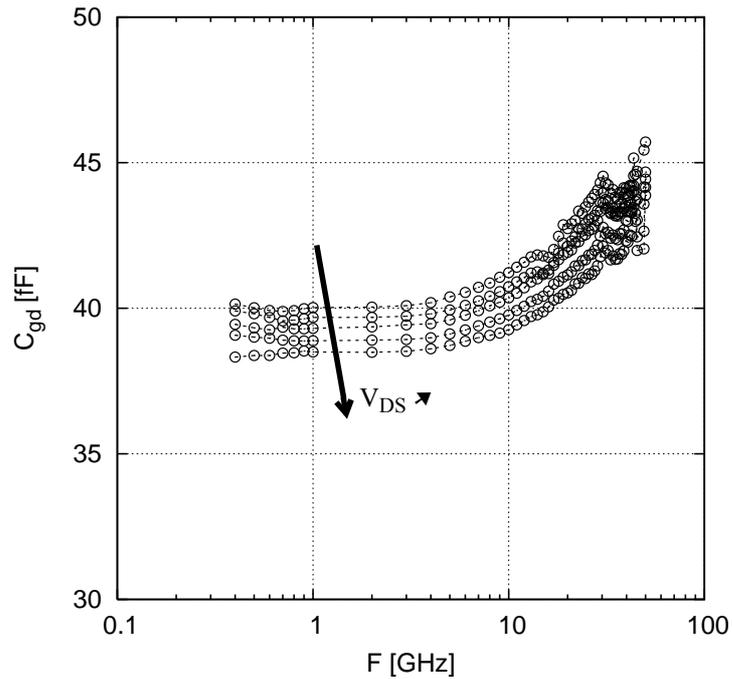


Figure 2-7 : Mesure de la capacité C_{gd} d'un nMOSFET en technologie 65nm, à $V_{GS}=0$ et V_{DS} variable, pour une longueur de grille nominale.

La Figure 2-7 et la Figure 2-8 montrent la capacité grille-drain pour les technologies respectivement 65nm et 0.35 μ m, mesurée à $V_{GS}=0$ pour plusieurs valeurs de V_{DS} . En technologie 0.35 μ m, la dépendance vis-à-vis de la polarisation est plus marquée. En effet, la capacité de recouvrement n'est rien de plus que la capacité due à l'oxyde de grille en série avec la capacité de déplétion de la zone de recouvrement [9]. Ainsi, en raison du dopage des extensions LDD moins important en technologie 0.35 μ m, la capacité de déplétion est plus faible [6], ce qui accroît son poids relatif dans la capacité de recouvrement.

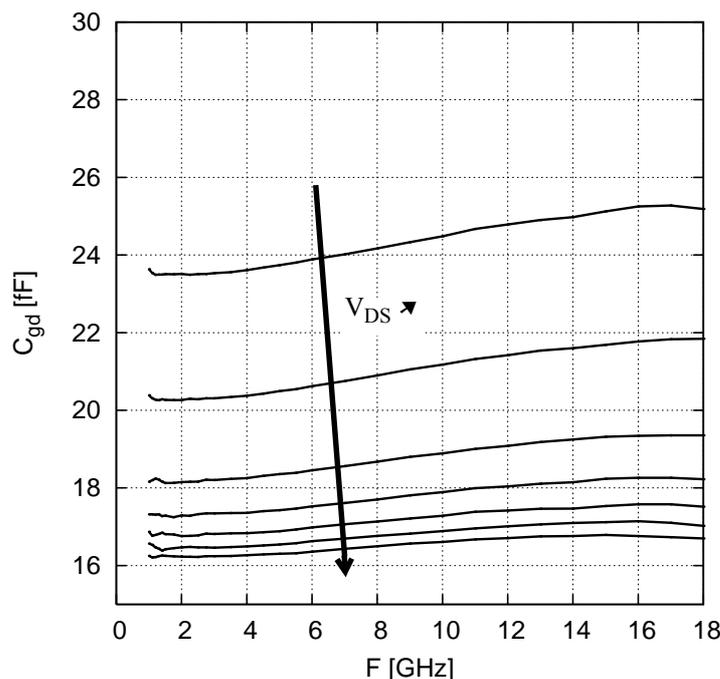


Figure 2-8 : Mesure de la capacité C_{gd} d'un nMOSFET en technologie $0.35\mu\text{m}$, à $V_{GS}=0$ et V_{DS} variable, pour une longueur de grille nominale.

Le modèle de la capacité grille-drain extrinsèque est appelé C_{gdext} .

2.2.1.1.1 Capacité de recouvrement

On utilise ici le modèle présent dans le modèle compact BSIM [8], qui permet de calculer la valeur de la capacité recouvrement côté drain, en fonction de la tension V_{GD} :

$$\frac{C_{ov}(V_{GD})}{W} = CGDO + CGDL \cdot \left(1 + \frac{V_{gd,ov}}{\sqrt{(V_{GD} + \delta_1)^2 + 4 \cdot \delta_1}} \cdot \left(1 - \frac{1}{\sqrt{1 - \frac{4 \cdot V_{gd,ov}}{CKAPPAD}}} \right) \right) \quad (2-5)$$

$$V_{gd,ov} = \frac{1}{2} \cdot (V_{GD} + \delta_1 - \sqrt{(V_{GD} + \delta_1)^2 + 4 \cdot \delta_1}) \quad \delta_1 = 0.02V$$

Le calcul de (2-5), basé sur l'expression de la charge de déplétion dans la zone recouvrement, est expliqué en Annexe E. **CGDO** est la partie constante de la capacité ; **CGDL** et **CKAPPAD** sont des paramètres associés à la dépendance en polarisation (**CKAPPAD** est associé au niveau de dopage du LDD). $V_{gd,ov}$ est une fonction de lissage permettant d'intégrer dans une seule et même formule les régimes d'accumulation et de déplétion de la zone de recouvrement [10].

Ce modèle, qui tient uniquement compte de la dépendance en V_{GD} , ne suffit pas pour décrire le comportement de la capacité de recouvrement dans tous les régimes de fonctionnement du MOSFET, et en particulier lors de son régime d'accumulation [4][9]. Dans ce cas, la couche d'accumulation du MOSFET s'étend dans les zones de recouvrement, qui sont alors en régime d'inversion [9]. Mais ce modèle est suffisant dans le cas $V_{GB} \geq 0$.

2.2.1.1.2 Capacité de bord

Cette capacité possède deux composantes. L'une symbolise le couplage indépendant de la

longueur de grille du dispositif entre le polysilicium de grille et les contacts de drain (voir Figure 2-4). Lors de l'extraction, on la retrouve dans le paramètre CGDO, car on ne peut pas distinguer deux capacités constantes.

L'autre composante est dépendante de la longueur de grille, elle symbolise le couplage entre le sommet du polysilicium et les contacts de drain (voir Figure 2-4). Le calcul de cette capacité repose sur de simples considérations électrostatiques. Les lignes de champ entre le polysilicium de grille et les contacts de drain sont supposées cylindriques (voir Figure 2-9). La capacité de bord peut donc se calculer de la façon suivante :

$$\frac{C_f(L_g)}{W} = CFL \cdot \ln \left[1 + \frac{\min(L_g, LMAXCF)}{2 \cdot conpo} \right] \tag{2-6}$$

où CFL est un paramètre du modèle. En revanche, pour les dispositifs très longs, il se peut que $L_g/2$ soit très important et dépasse la hauteur maximale des interconnexions. Pour éviter cela, et donc afin de ne pas surestimer la capacité, on empêche le paramètre de la longueur de grille de dépasser LMAXCF. La capacité ne peut donc pas dépasser C_{fmax} , avec :

$$\frac{C_{fmax}}{W} = CFL \cdot \ln \left[1 + \frac{LMAXCF}{2 \cdot conpo} \right] \tag{2-7}$$

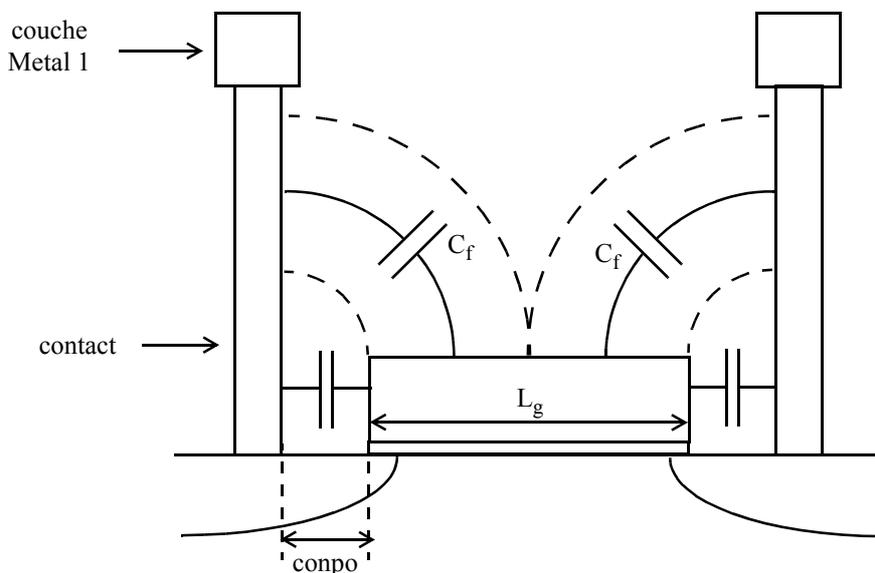


Figure 2-9 : Schéma représentant l'hypothèse de calcul de la capacité de bord grille-drain.

2.2.1.1.3 Validation du modèle

La Figure 2-10 montre une bonne cohérence entre le modèle utilisé et la mesure, et ceci pour une large gamme de polarisations et de géométries.

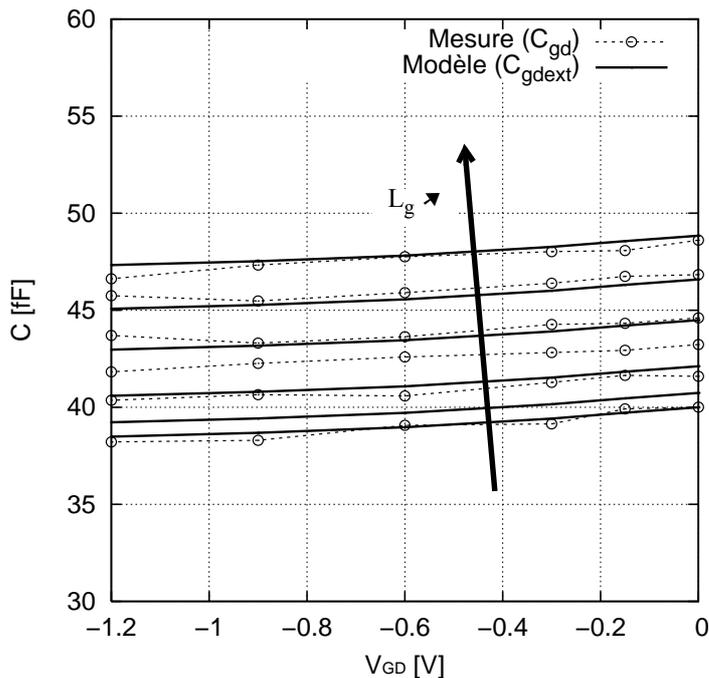


Figure 2-10 : Comparaison des mesure et simulation de la capacité C_{gd} d'un nMOSFET en technologie 65nm ($L_g=0.06, 0.1, 0.2, 0.5, 1.0$ et $2.0\mu\text{m}$) à $f=500\text{MHz}$ pour $V_{gs}=0$, et modèle de capacité grille-drain extrinsèque.

2.2.1.2 Capacité grille-source extrinsèque $C_{gs\text{ext}}$

En pratique, la capacité C_{gs} est impossible à isoler, car la structure est en source commune. Mais l'architecture du MOSFET étant symétrique, on considère que $C_{gs\text{ext}}$ se comporte de la même manière que $C_{gd\text{ext}}$.

Cette hypothèse est tout à fait réaliste quant à la composante liée au recouvrement, compte tenu de la structure du MOSFET. En revanche, et ceci concerne la composante de bord, le layout du dispositif peut ne pas être symétrique au niveau des interconnexions. Cela étant, pour les niveaux de métaux inférieurs à la couche de Metal 1 on peut considérer que le layout est symétrique.

Le modèle utilisé est donc le même, les paramètres également. La seule différence réside dans le fait que $C_{gd\text{ext}}$ dépend de V_{GD} , alors que $C_{gs\text{ext}}$ dépend de V_{GS} .

2.2.1.3 Capacités drain-body et drain-source extrinsèques $C_{bd\text{ext}}+C_{ds\text{met}}$

Ces capacités regroupent :

- la capacité électrostatique entre les contacts de drain et de substrat,
- la capacité électrostatique entre les contacts de drain et de source,
- la capacité de jonction drain.

Pour des dispositifs en source commune, comme c'est le cas ici, ces capacités ne peuvent pas être mesurées séparément. Cependant, comme seule la capacité de jonction est dépendante de la polarisation, l'analyse de la mesure permet de la discriminer des capacités métalliques.

Ces capacités sont extraites de $(Y_{22}+Y_{12})$; de même que pour C_{gd} , l'extraction est faite à $V_{GS}=0$ (car dans ce cas les capacités C_{bd} et C_{ds} intrinsèques sont nulles), à V_{DS} variable afin d'extraire la dépendance en polarisation de la capacité de jonction, et en basse fréquence de manière à s'affranchir des effets de substrat.

La formule analytique de Y_{22} basée sur le schéma de la Figure 2-3 donne (voir Annexe A) :

$$Y_{22} = g_{ds} + j \cdot \omega \cdot C_{dd} + j \cdot \omega \cdot R_{poly} \cdot C_{gd} \cdot \frac{g_m - j \cdot \omega \cdot C_{gd}}{1 + j \cdot \omega \cdot R_{poly} \cdot C_{gg}} \quad (2-8)$$

A $V_{GS}=0$, $g_m=g_{ds}\approx 0$ [6]. (2-8) devient dans ces conditions :

$$Y_{22} = j \cdot \omega \cdot C_{dd} + \frac{\omega^2 \cdot R_{poly} \cdot C_{gd}^2}{1 + j \cdot \omega \cdot R_{poly} \cdot C_{gg}} \quad (2-9)$$

Alors, en utilisant (2-1) :

$$\begin{aligned} Y_{22} + Y_{12} &= j \cdot \omega \cdot C_{dd} + \frac{\omega^2 \cdot R_{poly} \cdot C_{gd}^2 - j \cdot \omega \cdot C_{gd}}{1 + j \cdot \omega \cdot R_{poly} \cdot C_{gg}} \\ &= \frac{j \cdot \omega \cdot C_{dd} \cdot (1 + j \cdot \omega \cdot R_{poly} \cdot C_{gg}) + \omega^2 \cdot R_{poly} \cdot C_{gd}^2 - j \cdot \omega \cdot C_{gd}}{1 + j \cdot \omega \cdot R_{poly} \cdot C_{gg}} \quad (2-10) \\ Y_{22} + Y_{12} &= \frac{j \cdot \omega \cdot (C_{bd} + C_{ds}) + \omega^2 \cdot R_{poly} \cdot (C_{gd}^2 - C_{gd} \cdot C_{gg})}{1 + j \cdot \omega \cdot R_{poly} \cdot C_{gg}} \end{aligned}$$

La formulation de $(Y_{22}+Y_{12})$ apparaît nettement plus compliquée que celles de Y_{12} ou Y_{11} . Il n'est pas possible ici de s'affranchir totalement de l'effet de la résistance de grille, comme cela était le cas pour l'extraction de C_{gg} et de C_{gd} .

Une approximation basse fréquence de (2-10) donne :

$$Y_{22} + Y_{12} \approx [j \cdot \omega \cdot (C_{bd} + C_{ds}) + \omega^2 \cdot R_{poly} \cdot (C_{gd}^2 - C_{gd} \cdot C_{gg})] \cdot (1 - j \cdot \omega \cdot R_{poly} \cdot C_{gg}) \quad (2-11)$$

Ce qui permet d'obtenir :

$$\frac{1}{\omega} \cdot \text{Im}[Y_{22} + Y_{12}] \approx (C_{bd} + C_{ds}) - \omega^2 \cdot R_{poly}^2 \cdot C_{gd} \cdot C_{gg} \cdot (C_{gd} - C_{gg}) \quad (2-12)$$

La capacité $(C_{bd}+C_{ds})$ est donc extraite à basse fréquence grâce à (2-12).

Notons que la capacité de jonction peut être décomposée en trois contributions, comme illustré sur la Figure 2-11 :

- une composante linéique C_{jch} due à la jonction à proximité du canal ;
- une composante surfacique C_{jsurf} ;
- une composante linéique C_{jiso} due à la jonction à proximité de l'isolant.

Ces trois composantes ne peuvent être extraites directement du dispositif. Elles doivent être mesurées sur un jeu de structures spécifiques, dont les dimensions varient [11].

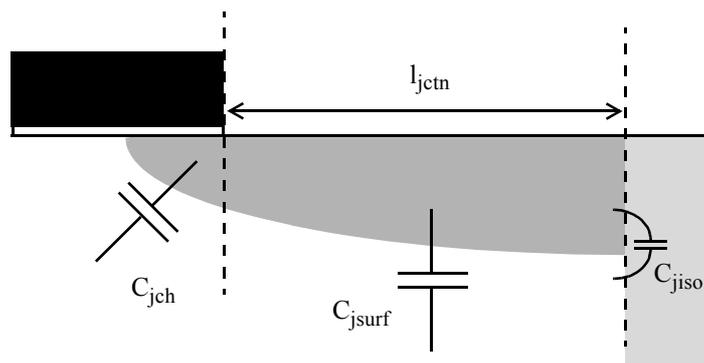


Figure 2-11 : Schéma illustrant les trois composantes des capacités de jonction source et drain.

Discriminer C_{jch} , C_{jsurf} et C_{jiso} est utile pour, par exemple, comparer les contributions de ces trois composantes, ou bien prédire la valeur de la capacité pour un transistor de même technologie mais pour lequel le poids relatif des trois composantes est différent. Toutefois, cette discrimination ne sera pas faite ici, car il s’agit d’extraire la capacité ($C_{bdext}+C_{dsxt}$) des mesures du dispositif.

La Figure 2-12 et la Figure 2-13 montrent $C_{bd}+C_{ds}$ en fonction de la fréquence en technologie 65nm. La variation en longueur de grille est due à la capacité entre les contacts de source et de drain : plus L_g augmente, plus la capacité diminue. La variation en polarisation est due à la capacité de jonction (voir Annexe F).

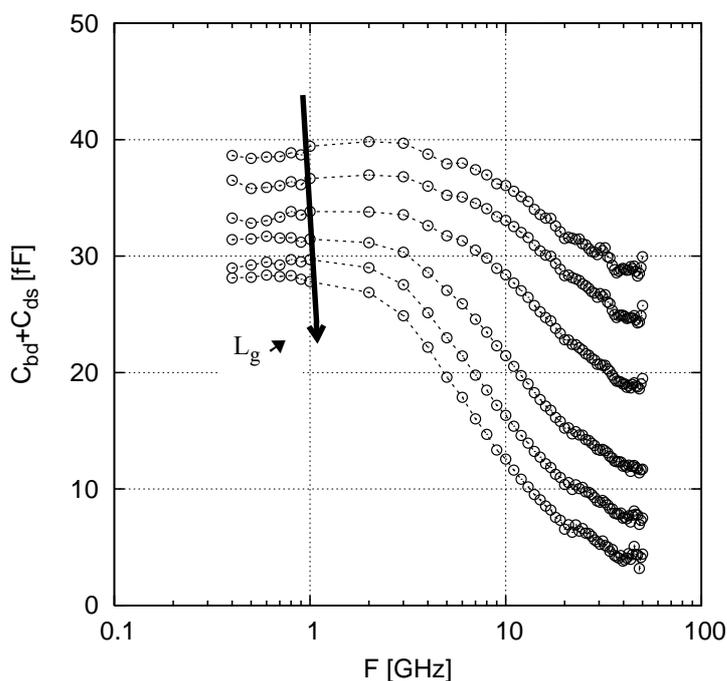


Figure 2-12 : Mesure de la capacité ($C_{bd}+C_{ds}$) en technologie 65nm, à $V_{GS}=0V$ et $V_{DS}=0.6V$, pour plusieurs longueurs de grille (65nm, 0.1 μm , 0.2 μm , 0.5 μm , 1.0 μm et 2.0 μm).

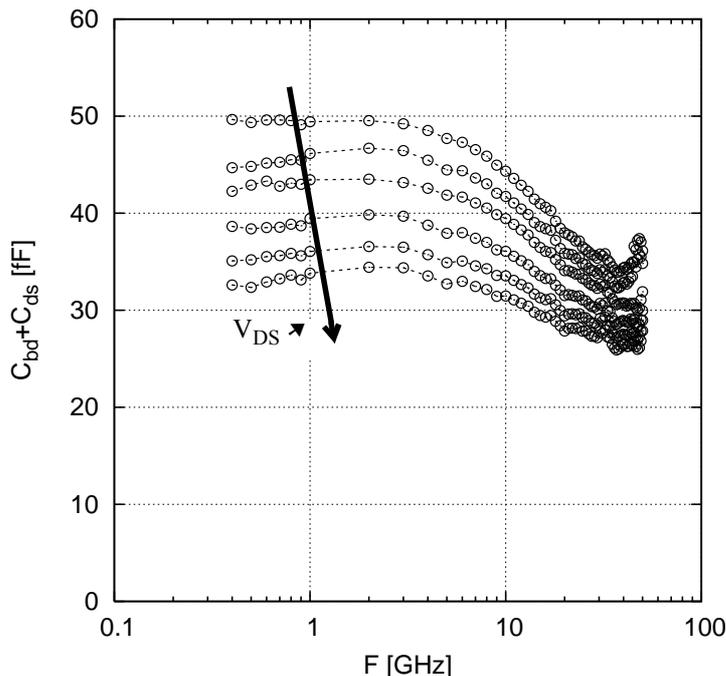


Figure 2-13 : Mesure de la capacité ($C_{bd}+C_{ds}$) en technologie 65nm, à $V_{GS}=0$ et $V_{DS}=0$ à 1.2V, pour une longueur de grille nominale.

Le modèle de la capacité $C_{bd}+C_{ds}$ parasite est $C_{bdext}+C_{dsmet}$, avec $C_{bdext}=C_{jext}+C_{bdmet}$.

2.2.1.3.1 Capacité de jonction

Le modèle de la capacité de jonction, détaillé en Annexe F, repose sur [6] :

$$\frac{C_{jext}}{W} = CJGR \cdot \left(1 + \frac{V_{ds}}{VDGR}\right)^{-PG} \quad (2-13)$$

CJGR est la valeur de la capacité à V_{DS} nul ; **VDGR** est le potentiel intrinsèque de la jonction et **PG** permet de tenir compte du caractère non-idéal du profil de la jonction².

2.2.1.3.2 Capacités d’interconnexions

La capacité entre les contacts de source et de drain est donnée par :

$$\frac{C_{dsmet}}{W} = CDSM0 \cdot \frac{LMIN + 2 \cdot CDSML}{Lg + 2 \cdot CDSML} \quad (2-14)$$

LMIN est la longueur de grille nominale de la technologie considérée ; **CDSM0** est la capacité C_{dsmet} par unité de largeur de grille du transistor nominal. **CDSML** est la distance entre les contacts de source ou drain et le polysilicium de grille. Elle apparaît sur la Figure 2-14.

²Lorsque sont prises en compte les trois composantes de la capacité de jonction, comme illustrées sur la Figure 2-11, chacune des composantes possède son propre jeu de paramètres (CJGR, VDGR, PG).

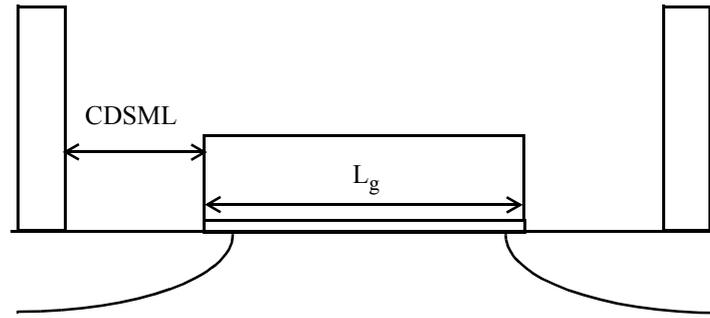


Figure 2-14 : Schéma représentant les grandeurs géométriques utilisées pour le calcul de la capacité C_{dsmet} .

En revanche, la capacité métallique entre les contacts de drain et de substrat ne peut pas être ramenée à une largeur unitaire de grille. Il existe en effet deux rangées de prises caisson par cellule comme le montre la Figure 2-15. C_{bdmet} est donc proportionnelle au nombre de cellules du dispositif et à la largeur des doigts de grille.

De plus, la valeur de la capacité est susceptible de varier suivant la configuration des doigts de source et de drain. Par exemple, s'il n'existe aucun doigt de drain sur les bords de la cellule, les contacts de drain ne sont pas en regard des contacts de substrat. La capacité métallique entre les contacts de drain et de substrat peut alors être considérée comme nulle. Par contre, s'il y a un ou deux doigts de drain sur les bords de la cellule, des contacts de drain et de substrat sont en regard et C_{bdmet} n'est pas nulle. On définit alors C_{bdmet} par (2-15) :

$$C_{bdmet} = CBXM0 \cdot W_{fing} \cdot f_d \cdot N_c \quad (2-15)$$

W_{fing} , qui apparaît sur la Figure 2-15, est la largeur d'un doigt de grille. f_d est le nombre de doigts de drain extérieurs de la cellule ; il peut avoir une valeur de 0, 1 ou 2 (on définit de même f_s , nombre de doigts de source extérieurs). N_c est le nombre de cellules du dispositif et **CBXM0** est un paramètre qui finalement représente la capacité entre deux rangées de doigts de drain et de substrat.

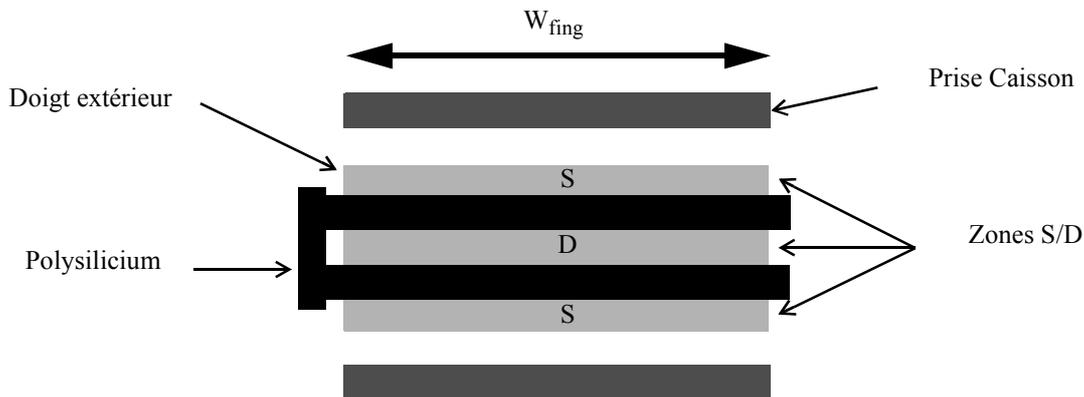


Figure 2-15 : Schéma représentant une cellule d'un dispositif à deux doigts de grille, avec $f_s=2$ et $f_d=0$.

Le modèle des capacités drain-body et drain-source extrinsèques est $C_{bdext} + C_{dsmet}$, où :

$$C_{bdext} = C_{jext} + C_{bdmet} \quad (2-16)$$

2.2.1.3.3 Validation du modèle

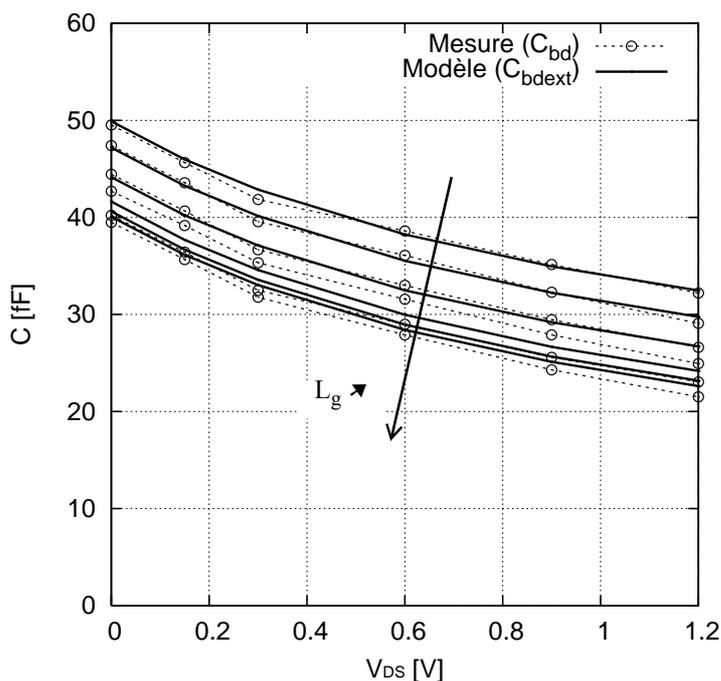


Figure 2-16 : Mesure de la capacité ($C_{bd}+C_{ds}$) en technologie 65nm ($L_g=0.06, 0.1, 0.2, 0.5, 1.0$ et $2.0\mu m$) à $f=600MHz$ pour $V_{gs}=0V$, et modèle de capacité extrinsèque associé.

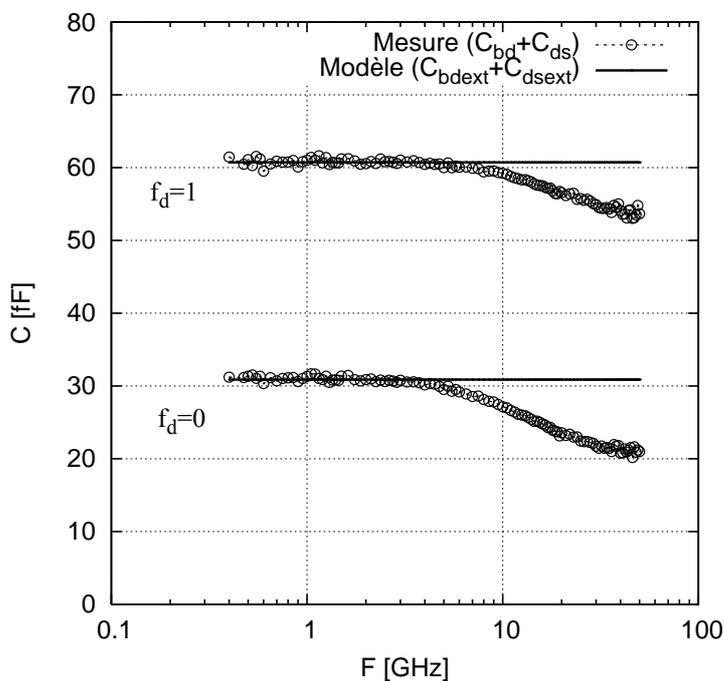


Figure 2-17 : Mesure de la capacité ($C_{bd}+C_{ds}$) en technologie 130nm ($L_g=1.0\mu m$ et deux valeurs de N_f) pour $V_{GS}=0V$ et $V_{DS}=0.6V$, et modèle de capacité extrinsèque associé.

2.2.2 Résistance de grille (R_{ggext})

Cette résistance regroupe :

- la résistance de contact entre le métal et le silicium de la grille ;

- la résistance due au siliciure ;
- la résistance d'interface entre le siliciure et le polysilicium de grille.

La grandeur observée ici est la résistance totale en série vue de la grille ; elle est extraite de Y_{11} :

$$R_{gg} = Re\left(\frac{1}{Y_{11}}\right) \quad (2-17)$$

2.2.2.1 Que mesure-t-on ?

R_{gg} est la résistance totale vue de la grille. Dans les conditions de mesure de Y_{11} , le signal traverse la grille puis retourne à la masse par l'intermédiaire des autres terminaux du dispositif (source, drain, bulk). La mesure contient donc l'information du chemin suivi par le signal à travers le dispositif, une fois la grille traversée.

Mais ce chemin diffère selon la polarisation. En effet, le signal injecté au terminal de grille traverse cette dernière, puis la capacité d'oxyde de grille ; là, comme l'illustre schématiquement la Figure 2-18, deux chemins sont en compétition [6]:

- la capacité d'inversion et le canal, si ce dernier existe ;
- la capacité de déplétion et le substrat.

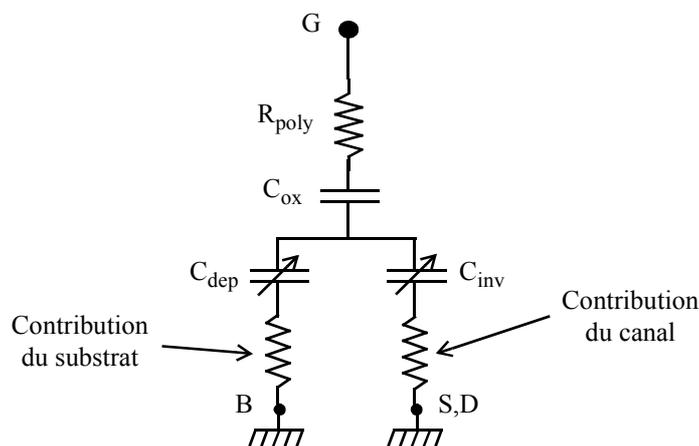


Figure 2-18 : illustration du chemin suivi par le signal dans les conditions de mesure de Y_{11} .

La Figure 2-19 représente l'évolution des capacités d'inversion et de déplétion en fonction de la tension V_{GS} .

A V_{GS} faible (par exemple $V_{GS} < 0.2V$ sur la Figure 2-19), la capacité de déplétion est forte, tandis que la capacité d'inversion est faible voire nulle, et que le canal n'existe pas. Le signal n'a donc aucun intérêt à passer par le canal : il passe par la capacité de déplétion et le substrat. A V_{GS} fort (par exemple $V_{GS} > 0.4V$ sur la Figure 2-19), le canal existe, la capacité d'inversion est très forte et la capacité de déplétion est beaucoup plus faible. Le signal va donc avoir tendance à passer par le canal. Entre les deux (soit $0.2 < V_{GS} < 0.4V$ sur la Figure 2-19), le signal peut avoir envie de passer par l'une ou l'autre des capacités.

Il est donc nécessaire, de manière à n'extraire que la résistance de la grille, de modéliser soit la contribution du substrat (si on choisit de mesurer Y_{11} à $V_{GS}=0$), soit celle du canal (si on choisit de mesurer Y_{11} en inversion forte). Il apparaît ici judicieux d'opter pour la deuxième solution, car la contribution du canal appartient à la partie intrinsèque du dispositif : elle peut être décrite par la théorie, alors que le substrat est *a priori* inconnu.

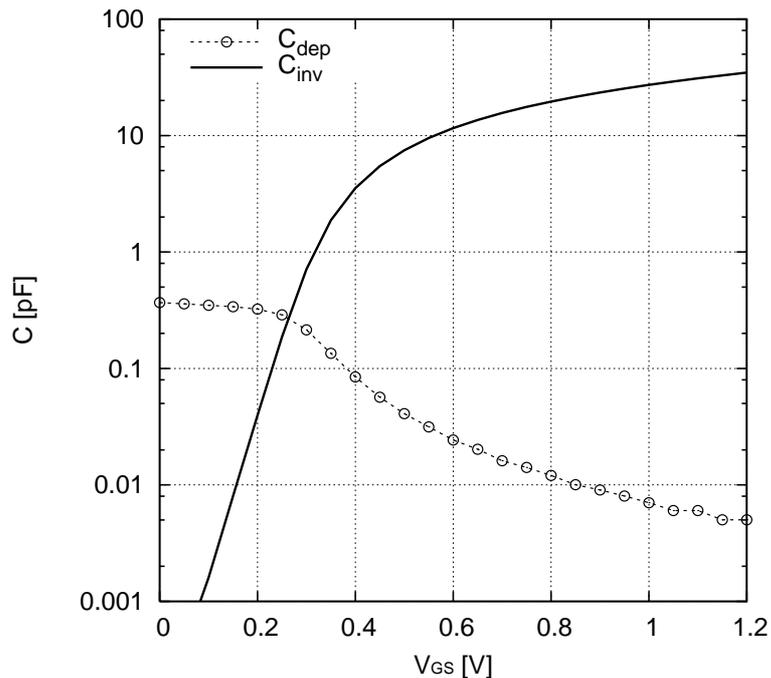


Figure 2-19 : Simulation des capacités de déplétion et d'inversion obtenue par un modèle en feuillet, avec :
 $t_{ox}=1.8\text{nm}$; $C_{ox}=1.92\text{pF}$; $N_{ch}=1.2073\text{e}24\text{m}^{-3}$; $\phi_f=0.4925\text{V}$;
 $V_{th}=0.2626\text{V}$.

Ainsi, lorsque le transistor est en régime d'inversion forte, R_{gg} inclut une contribution résistive due au canal. Celle-ci est distribuée par rapport aux capacités d'inversion et de déplétion. Pour les dispositifs les plus longs, dont la résistance du canal et les capacités d'oxyde et de déplétion ont des valeurs importantes, cette contribution non seulement s'avère prépondérante, car la résistance de polysilicium de grille décroît avec la longueur de canal, mais présente également une forte dépendance en fréquence (voir la Figure 2-21 et Figure 2-20).

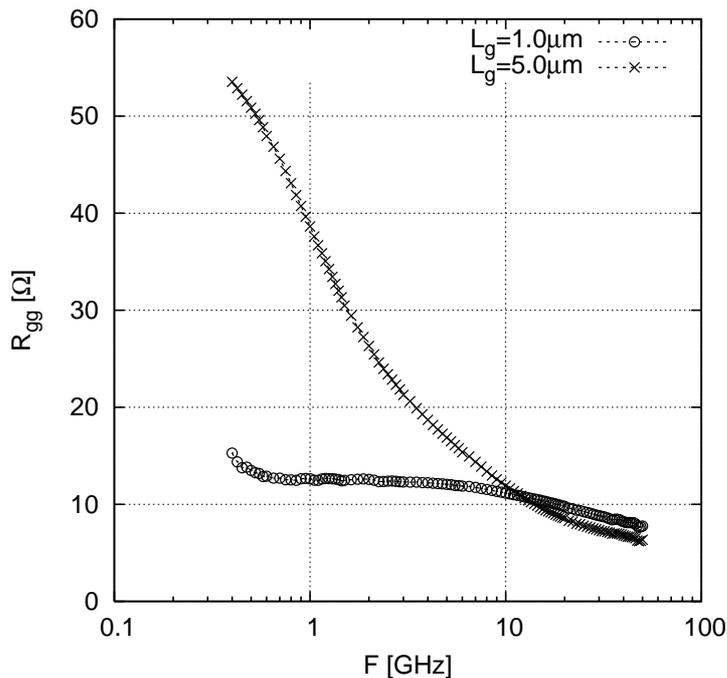


Figure 2-20 : Mesure de la résistance totale de grille en technologie 130nm pour $L_g=1.0\mu\text{m}$ et $5.0\mu\text{m}$, à $V_{GS}=1.2\text{V}$ (régime d'inversion forte) et $V_{DS}=0$.

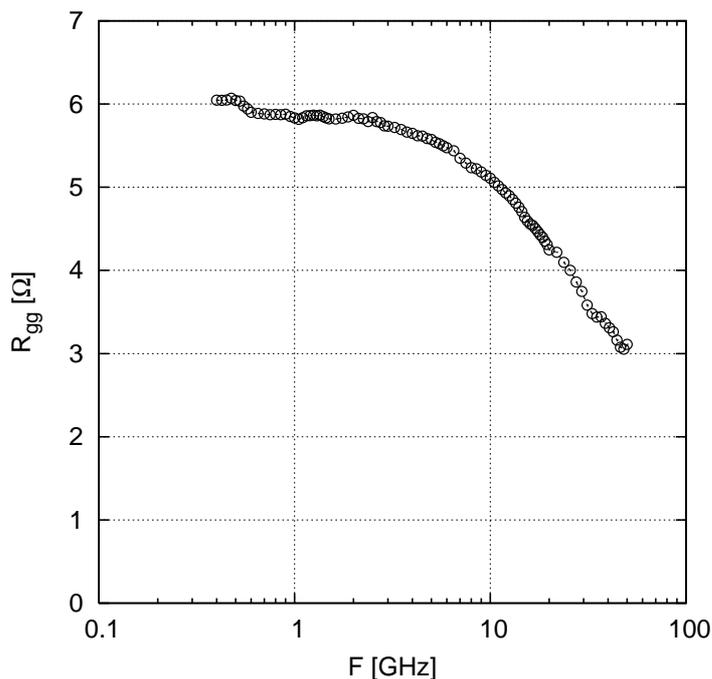


Figure 2-21 : Mesure de la résistance totale de grille en technologie 65nm pour $L=2.0\mu\text{m}$, à $V_{GS}=1.2\text{V}$ (régime d'inversion forte) et $V_{DS}=0$.

Pour les dispositifs courts, une contrainte différente existe à basse fréquence. Comme le montre la Figure 2-22, la résistance vue de la grille augmente lorsque la fréquence diminue, et ce, d'autant plus que le dispositif mesuré est court. Cette manifestation des limites de l'analyseur est expliquée au Chapitre 1.

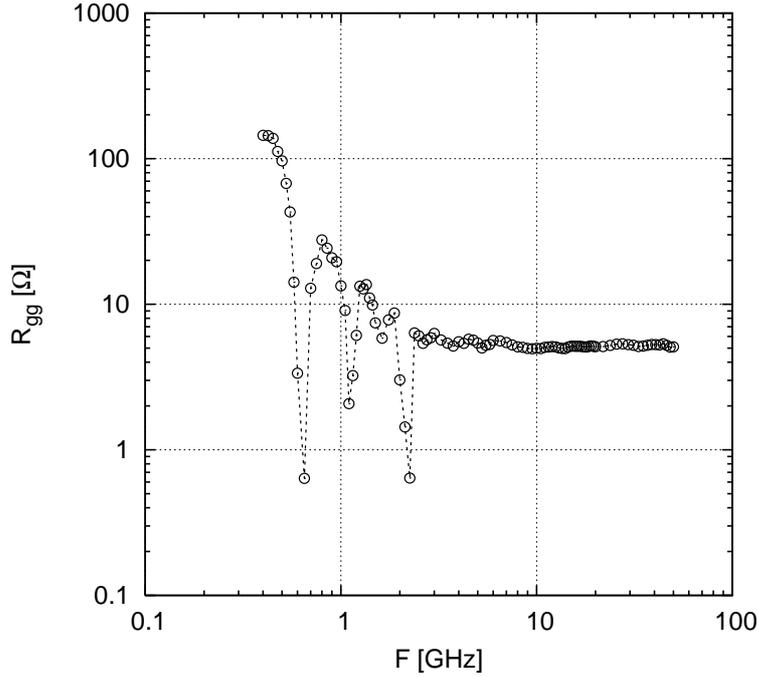


Figure 2-22 : Mesure de la résistance totale de grille en technologie 65nm pour la longueur de grille nominale, à $V_{GS}=1.2V$ (régime d'inversion forte) et $V_{DS}=0$.

L'extraction de la valeur de la résistance du polysilicium de grille doit par conséquent se faire à fréquence suffisamment élevée pour éviter l'effet de limite de résolution du VNA sur les dispositifs courts. Ceci implique d'exploiter la mesure dans des plages de fréquences où, sur les longs dispositifs, la contribution intrinsèque présente des effets fréquentiels. Ceux-ci devront d'autant mieux être considérés.

2.2.2.2 Modélisation de la contribution intrinsèque

Pour la partie intrinsèque, on sait que (voir Annexe G) :

$$Y_{11} = \frac{Y_{ox}}{Y_{ox} + Y_{dep}} \cdot \left[Y_{dep} + Y_{ox} \cdot \frac{Y_{inv}}{\sum Y} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{((\gamma \cdot L)/2)} \right] \quad (2-18)$$

avec

$$\gamma \cdot L = \sqrt{R_{ch} \cdot (Y_{ox} + Y_{dep}) \cdot \frac{Y_{inv}}{Y_{ox} + Y_{dep} + Y_{inv}}} \quad (2-19)$$

En inversion forte, $C_{inv} \gg C_{dep}$ [6]. On peut donc faire l'approximation suivante :

$$\sum Y \approx Y_{inv} \quad (2-20)$$

Sur (2-18), on peut alors écrire :

$$Y_{11} = \frac{Y_{ox}}{Y_{ox} + Y_{dep}} \cdot \left[Y_{dep} + Y_{ox} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \right] \quad (2-21)$$

Par ailleurs :

$$\frac{x}{\tanh[x]} = 1 + \frac{x^2}{3} - \frac{x^4}{45} + o(x^4) \quad (2-22)$$

Le développement à l'ordre 2 de (2-21) donne alors :

$$Y_{11} \approx \frac{Y_{ox}}{Y_{ox} + Y_{dep}} \cdot \left[Y_{dep} + Y_{ox} \cdot \frac{1}{1 + \frac{((\gamma \cdot L)/2)^2}{3}} \right] \quad (2-23)$$

et

$$\gamma \cdot L = \sqrt{R_{ch} \cdot (Y_{ox} + Y_{dep})} \quad (2-24)$$

(2-23) peut donc être réécrit de la façon suivante :

$$Y_{11} = \frac{1}{\frac{1}{Y_{ox}} + \frac{1}{\frac{12}{Z_{ch}} + Y_{dep}}} \quad (2-25)$$

(2-25) correspond à un circuit (RC) série composé de la capacité d'oxyde C_{ox} et de $R_{ch}/12$ en parallèle avec la capacité de déplétion. En rajoutant les éléments extrinsèques, on obtient le circuit de la Figure 2-23.

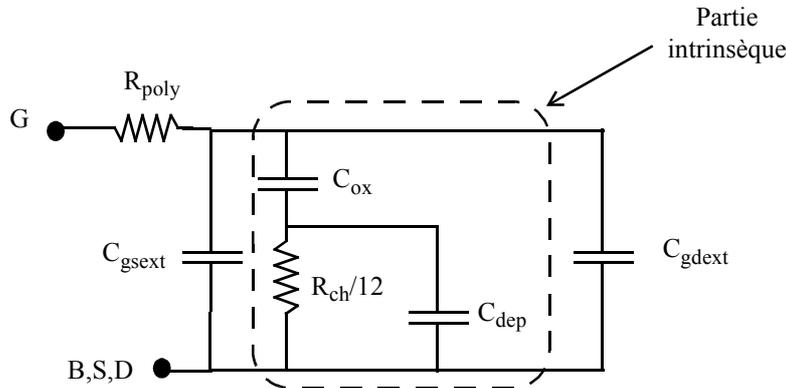


Figure 2-23 : Schéma équivalent du MOSFET en inversion forte, tenant compte des effets distribués dans la partie intrinsèque.

Cependant, on considère que la valeur de la capacité C_{dep} est suffisamment faible pour que son effet sur $R_{ch}/12$ puisse être négligé. Physiquement, faire abstraction de cette capacité revient à considérer que la totalité du signal passe par le canal (puisque C_{dep} est reliée au substrat).

On obtient alors, pour la partie intrinsèque, la capacité d'oxyde de grille en série avec la contribution du canal.

Par ailleurs, en inversion forte et à $V_{DS}=0$, on peut écrire :

$$\begin{cases} C_{gsext} = C_{gdext} \\ C_{ggint} = C_{ox} \end{cases} \Rightarrow C_{gg} = C_{ox} + 2 \cdot C_{gdext} \quad (2-26)$$

Ainsi, pour obtenir R_{poly} , on doit soustraire à R_{gg} la valeur β_{ch} (voir Figure 2-23) :

$$\beta_{ch} = \frac{R_{ch}}{12} \cdot \left(\frac{C_{ox}}{C_{ox} + C_{gdext} + C_{gsext}} \right)^2 = \frac{R_{ch}}{12} \cdot \left(\frac{C_{gg} - 2 \cdot C_{gdext}}{C_{gg}} \right)^2 \quad (2-27)$$

Afin d'avoir une mesure indépendante de la résistance de grille, la capacité totale vue de la grille C_{gg} est extraite de la façon suivante :

$$C_{gg} = -\frac{1}{\omega} \cdot \frac{1}{\text{Im}\left[\frac{1}{Y_{11}}\right]} \quad (2-28)$$

Et la capacité grille-drain extrinsèque C_{gdext} est connue, puisqu'elle a été extraite et modélisée précédemment.

Pour déterminer R_{ch} , une astuce de calcul supplémentaire est nécessaire. En effet, R_{ch} est égale à la mesure de $1/g_{ds}$, mais en basse fréquence seulement. A fréquence plus élevée, la résistance de grille et la nature distribuée du dispositif sont à l'origine d'une augmentation apparente de g_{ds} .

Le développement en 0 à l'ordre 4 de Y_{DD} et Y_{GD} dans ces conditions de polarisation (voir Annexe G) fait apparaître des termes similaires :

$$\begin{aligned} Y_{22} &= \frac{1}{Z_{ch}} \cdot \frac{\gamma \cdot L}{\tanh[\gamma \cdot L]} \\ &\approx \frac{1}{Z_{ch}} \cdot \left(1 + \frac{(\gamma \cdot L)^2}{3} - \frac{(\gamma \cdot L)^4}{45}\right) \end{aligned} \quad (2-29)$$

Avec

$$\frac{\tanh[x]}{x} = 1 - \frac{x^2}{3} + \frac{2 \cdot x^4}{15} + o(x^4) \quad (2-30)$$

on a :

$$\begin{aligned} Y_{12} &= -\frac{Y_{ox}}{2} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \\ &\approx -\frac{Y_{ox}}{2} \cdot \left(1 - \frac{((\gamma \cdot L)/2)^2}{3} + \frac{2 \cdot ((\gamma \cdot L)/2)^4}{15}\right) \\ &= -\frac{Y_{ox}}{2} \cdot \left(1 - \frac{(\gamma \cdot L)^2}{12} + \frac{(\gamma \cdot L)^4}{120}\right) \end{aligned} \quad (2-31)$$

Sachant par ailleurs que :

$$(\gamma \cdot L)^2 = Z_{ch} \cdot (Y_{ox} + Y_{dep}) \quad (2-32)$$

on peut écrire :

$$Y_{22} = \frac{1}{Z_{ch}} + \frac{Y_{ox} + Y_{dep}}{3} - \frac{Z_{ch} \cdot (Y_{ox} + Y_{dep})^2}{45} \quad (2-33)$$

$$Y_{12} = -\frac{Y_{ox}}{2} + \frac{Z_{ch} \cdot (Y_{ox} + Y_{dep}) \cdot Y_{ox}}{24} - \frac{Z_{ch}^2 \cdot (Y_{ox} + Y_{dep})^2 \cdot Y_{ox}}{240} \quad (2-34)$$

Enfin, avec :

$$\begin{aligned} Z_{ch} &= R_{ch} \\ Y_{ox} &= j \cdot \omega \cdot C_{ox} \\ Y_{dep} &= j \cdot \omega \cdot C_{dep} \end{aligned} \quad (2-35)$$

et en prenant les parties réelles de (2-33) et (2-34), on obtient :

$$\begin{aligned}
 Re[Y_{22}] &= \frac{1}{Z_{ch}} - \frac{Z_{ch} \cdot (Y_{ox} + Y_{dep})^2}{45} \\
 &= \frac{1}{R_{ch}} + \frac{R_{ch} \cdot \omega^2 \cdot (C_{ox} + C_{dep})^2}{45}
 \end{aligned}
 \tag{2-36}$$

$$\begin{aligned}
 Re[Y_{12}] &= \frac{Z_{ch} \cdot (Y_{ox} + Y_{dep}) \cdot Y_{ox}}{24} \\
 &= \frac{R_{ch} \cdot \omega^2 \cdot (C_{ox} + C_{dep}) \cdot C_{ox}}{24}
 \end{aligned}
 \tag{2-37}$$

Enfin, en posant :

$$\alpha = \frac{24}{45} \cdot \frac{C_{ox} + C_{dep}}{C_{ox}} = \frac{8}{15} \cdot \frac{C_{ox} + C_{dep}}{C_{ox}}
 \tag{2-38}$$

On a alors :

$$\frac{1}{Z_{ch}} = Re[Y_{22} + \alpha \cdot Y_{12}]
 \tag{2-39}$$

La valeur de α est déterminée de façon empirique à partir des mesures, de façon à minimiser les effets en fréquence sur la valeur mesurée de g_{ds} . Les mesures utilisées sont des mesures 2 ports avec la grille sur le port 1 et le drain sur le port 2 ; la grandeur mesurée est donc :

$$G = Re[Y_{22} + \alpha \cdot Y_{12}]
 \tag{2-40}$$

(2-38) montre que :

$$\alpha > \frac{8}{15} \approx \frac{1}{2}
 \tag{2-41}$$

Par ailleurs, en inversion forte, la valeur de C_{dep} est faible [6]. On peut par conséquent supposer :

$$\alpha < 1
 \tag{2-42}$$

La Figure 2-24 montre la grandeur (2-40) pour plusieurs valeurs de α . Le cas $\alpha=0$ correspond à la mesure de g_{ds} . Le cas $\alpha=1$ permet de s'affranchir de la partie réelle de Y_{12} , qui peut ne pas être nulle (pour des raisons aussi variées que l'influence de la résistance de grille, du substrat ou encore des effets non quasi-stationnaires). On observe en revanche que la valeur 2/3 permet d'obtenir un bon compromis.

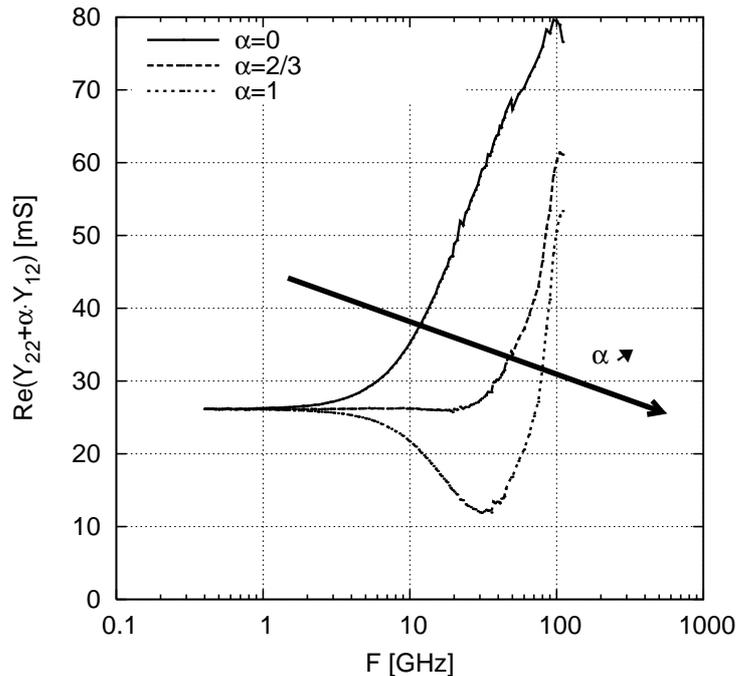


Figure 2-24 : Mesure de la grandeur (2-40) pour plusieurs valeurs de α , en technologie $0.13\mu\text{m}$ et pour $L_g=1\mu\text{m}$. Le cas $\alpha=0$ correspond à la mesure de g_{ds} .

2.2.2.3 Extraction de la résistance de la grille

En utilisant (2-40) avec $\alpha=2/3$ pour calculer R_{ch} , et grâce à (2-27) qui donne la contribution du canal, on arrive, pour R_{poly} , à la formule suivante :

$$R_{poly} = R_{gg} - \left(12 \cdot \text{Re} \left[Y_{22} + \frac{2}{3} \cdot Y_{12} \right] \right)^{-1} \cdot \left(\frac{C_{gg} - 2 \cdot C_{gdext}}{C_{gg}} \right)^2 \quad (2-43)$$

La Figure 2-25 montre que la grandeur R_{poly} est quasi-indépendante de la fréquence pour toutes les longueurs de grille, et correspond donc bien à un élément pur.

Il est essentiel de noter que, compte tenu des hypothèses posées et des approximations faites pour arriver à (2-43), la grandeur R_{poly} n'a de sens que lorsque le transistor est en inversion forte et à $V_{DS}=0$.

On observe que pour le dispositif de longueur nominale, la différence entre R_{gg} et R_{poly} (c'est-à-dire la contribution du canal) est très faible. En effet, à largeur de grille égale, la contribution du canal varie comme la longueur de grille ; par conséquent, plus la longueur de grille augmente, plus la contribution du canal augmente, comme illustré sur la Figure 2-26.

Pour les dispositifs les plus longs, cette contribution intrinsèque à R_{gg} devient prédominante, comme le montre la Figure 2-27. Mais R_{poly} en fonction de L_g varie bien de la façon attendue.

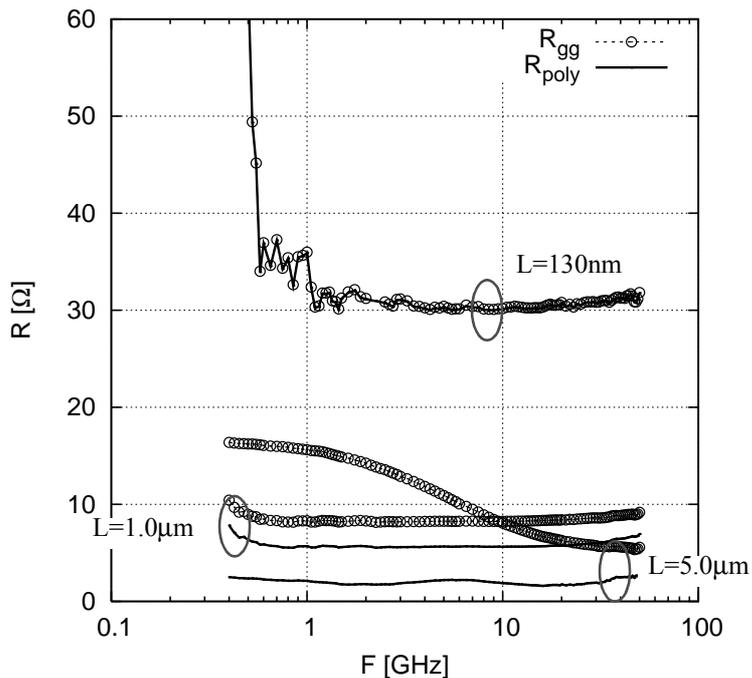


Figure 2-25 : Mesures de R_{gg} et R_{poly} en technologie 130nm pour trois longueurs de grille (130nm, 1.0 μm et 5.0 μm) en inversion forte à $V_{DS}=0$.

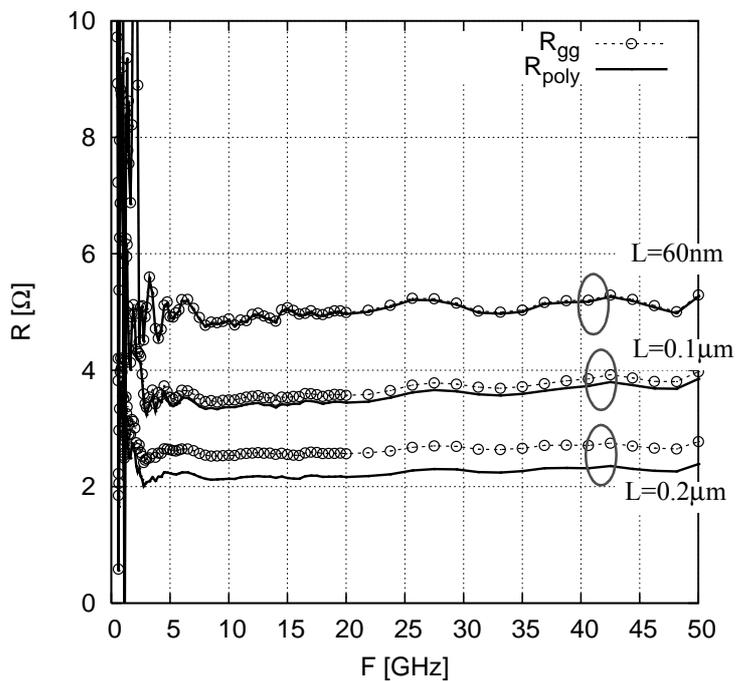


Figure 2-26 : Mesures de R_{gg} et R_{poly} en technologie 65nm pour trois longueurs de grille en inversion forte à $V_{DS}=0$.

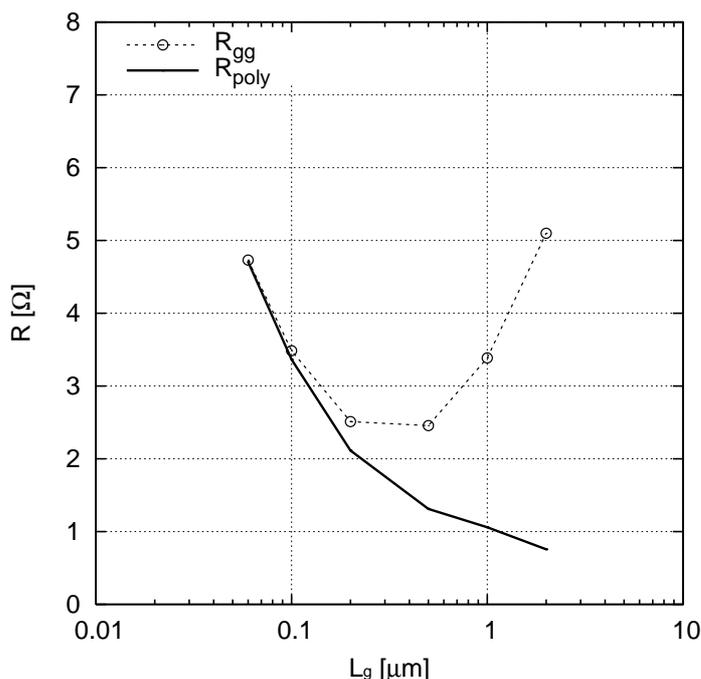


Figure 2-27 : Mesures de R_{gg} et R_{poly} en technologie 65nm pour plusieurs longueurs de grille en inversion forte à $V_{DS}=0$.

Les trois figures précédentes (Figure 2-25 à Figure 2-27) illustrent l'évolution de la résistance de grille avec la longueur de grille. Cette évolution correspond à ce qu'on attendrait intuitivement, c'est-à-dire un comportement inversement proportionnel à L_g .

L'évolution de la résistance de grille avec W , la largeur totale de la grille, mérite d'être observée. La Figure 2-28 représente, en fonction de la largeur des doigts de grille, les grandeurs définies par (2-44) et (2-45).

$$(R_{gg})_{norm} = R_{gg} \cdot \frac{N_c \cdot N_{fing}}{W_{fing}} \quad (2-44)$$

$$(R_{poly})_{norm} = R_{poly} \cdot \frac{N_c \cdot N_{fing}}{W_{fing}} \quad (2-45)$$

$(R_{gg})_{norm}$ et $(R_{poly})_{norm}$ sont les mesures de la résistance totale vue de la grille et de la grandeur R_{poly} , ramenées à une portion unitaire de largeur de grille. Si, comme on pourrait le supposer, la résistance d'un doigt de grille variait uniquement en W_{fing}/L_g , alors $(R_{gg})_{norm}$ et $(R_{poly})_{norm}$ devraient être constantes lorsque W_{fing} varie, L_g restant par ailleurs constante. Pour observer cela, utilisons un jeu de dispositifs possédant une longueur de grille constante mais dont W_{fing} varie. Les caractéristiques géométriques de ces dispositifs sont résumées par la Table 2-1.

$W_{\text{fing}} (\mu\text{m})$	N_{fing}	N_c	N_{gcon}	$W (\mu\text{m})$	$L_g (\text{nm})$
0.5	16	8	2	64	60
1.0	8	8	2	64	60
3.0	3	8	2	72	60
10.0	1	8	2	80	60

Table 2-1 : Dispositifs nMOSFETs en technologie 65nm de la Figure 2-28 et de la Figure 2-29.

Et que voit-on ? La Figure 2-28 montre que ces grandeurs augmentent lorsque W_{fing} diminue. Il existe donc une composante de la résistance de grille qui n’est pas proportionnelle à W_{fing} . On peut notamment penser à la résistance due aux contacts.

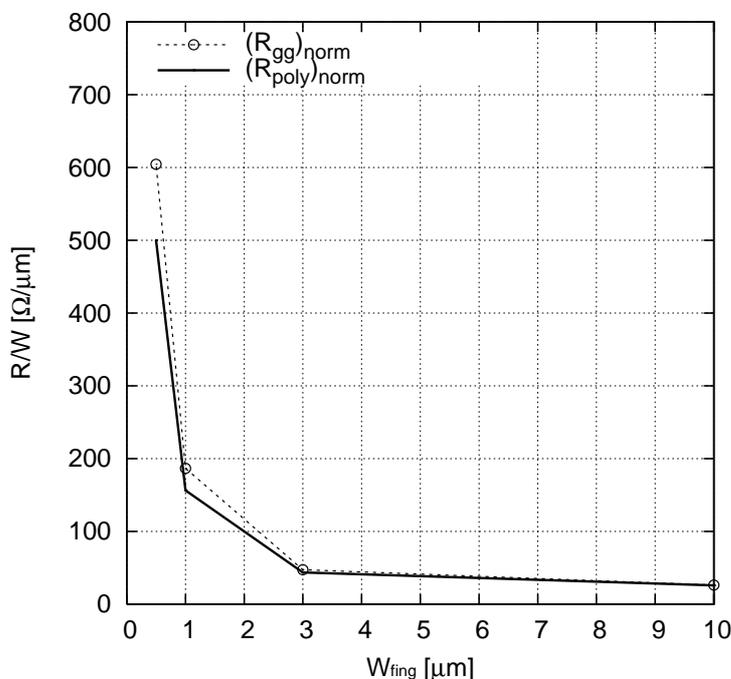


Figure 2-28 : Mesures de $(R_{\text{gg}})_{\text{norm}}$ et $(R_{\text{poly}})_{\text{norm}}$ en inversion forte et $V_{\text{DS}}=0\text{V}$, en technologie 65nm, pour $L_g=60\text{nm}$ et W_{fing} variable.

La Figure 2-29 représente, quant à elle, les grandeurs $(R_{\text{gg}} \times N_c \times N_{\text{fing}})$ et $(R_{\text{poly}} \times N_c \times N_{\text{fing}})$, soit respectivement la résistance totale vue de la grille et la résistance de grille ramenées à un seul doigt, en fonction de W_{fing} .

On retrouve, pour les doigts larges, le fait que la résistance d’un doigt augmente avec W_{fing} . Pour les doigts étroits, en revanche, les grandeurs observées augmentent. En d’autres termes, en deçà d’une certaine largeur, à longueur égale, plus le doigt est étroit, plus sa résistance augmente. Cette observation ne peut être mise sur le compte des contacts, dont la contribution n’a pas de raison d’être dépendante de la largeur des doigts.

En revanche, la résistance d’interface entre le siliciure et le polysilicium de la grille, qui est inversement proportionnelle à la surface du doigt de grille, peut être à l’origine de cet effet. Afin de modéliser correctement la résistance de grille, il est donc indispensable de tenir compte de

cette troisième contribution.

A noter que l’existence de cette résistance a été évoquée et mise en évidence dans [12].

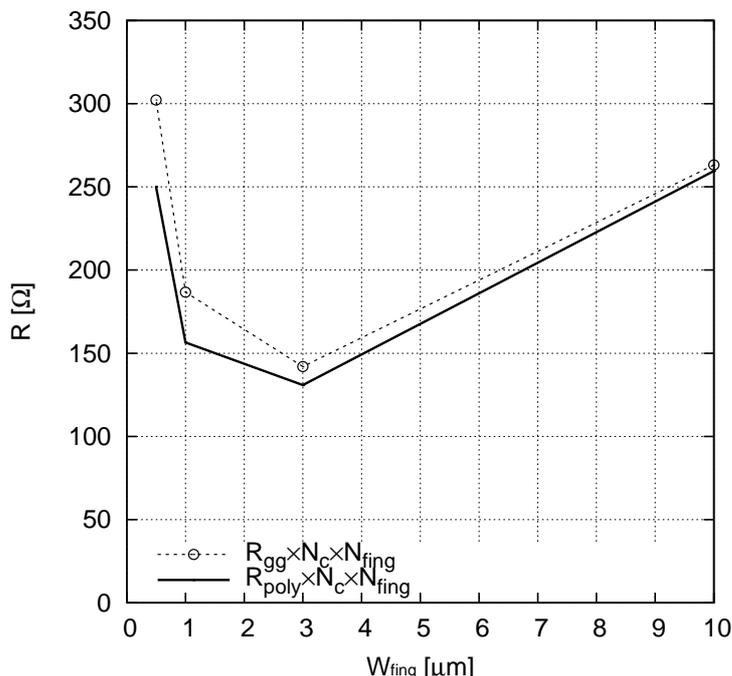


Figure 2-29 : Mesures de $(R_{\text{gg}} \times N_c \times N_{\text{fing}})$ et $(R_{\text{poly}} \times N_c \times N_{\text{fing}})$ à $V_{\text{GS}}=1.2$ et $V_{\text{DS}}=0\text{V}$, en technologie 65nm, pour $L_g=60\text{nm}$ et W_{fing} variable.

2.2.2.4 Modélisation de la résistance de la grille

Les différentes composantes de la résistance de grille sont calculées chacune pour une cellule du dispositif, caractérisée notamment par son nombre de doigts de grille (N_{fing}) et son nombre de têtes de grille (N_{gcon}), qui peut être égal à 1 ou 2 (un doigt de grille ayant deux extrémités).

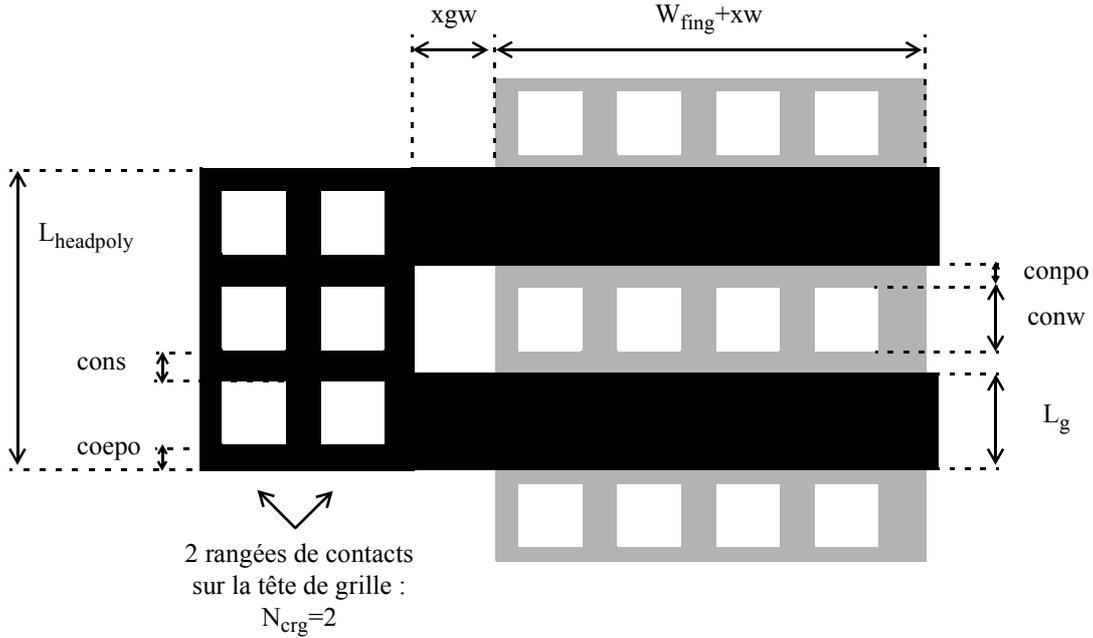


Figure 2-30 : Représentation schématique d'une cellule d'un dispositif.
 Ici $N_{fing}=2$, $N_{gcon}=1$.

2.2.2.4.1 Résistance des contacts :

Les contacts sont situés sur la (ou les) tête(s) de la grille. Cette résistance dépend donc du nombre de contacts sur la (ou les) tête(s). Ce nombre dépend lui-même de la longueur de grille, la longueur de la tête variant avec la longueur de grille. La longueur de la tête de grille est donnée par :

$$L_{headpoly} = N_{fing} \cdot L_g + (N_{fing} - 1) \cdot (conw + 2 \cdot conpo) \quad (2-46)$$

Le nombre total de contacts sur les têtes de grille est calculé par :

$$Nb_{con} = N_{gcon} \cdot N_{crg} \cdot \left(1 + E \left[\frac{\max[0, (L_{headpoly} - conw - 2 \cdot coepo)]}{conw + cons} \right] \right) \quad (2-47)$$

où $E()$ est la fonction partie entière, et N_{crg} le nombre de rangées de contacts sur la tête de la grille. On a alors, pour une cellule du dispositif :

$$R_{contact} = \frac{rconpo}{Nb_{con}} \quad (2-48)$$

où $rconpo$ est la valeur de la résistance d'un contact.

2.2.2.4.2 Résistance due au siliciure :

Pour cette composante, le signal se propage dans le sens de la largeur du doigt de grille. Compte tenu de la structure, il existe des effets distribués (voir Figure 2-31). On peut montrer [6] que pour un dispositif de largeur W et de longueur L dont la grille est constituée d'un seul matériau de résistance par carré $rshg$, la résistance de grille effective est donnée par :

$$R_{ge, eff} = \frac{1}{3} \cdot \frac{W}{L} \cdot \frac{rshg}{(N_{gcon})^2} \quad (2-49)$$

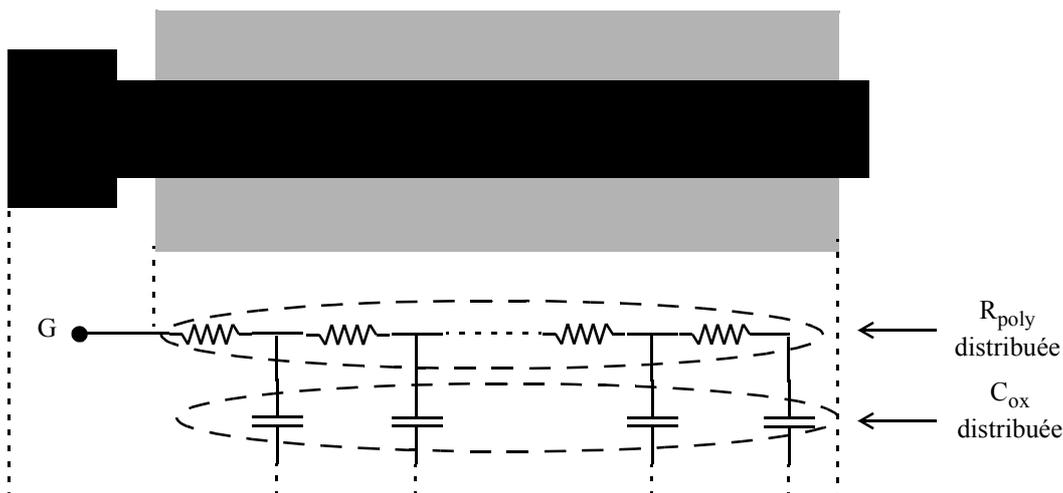


Figure 2-31 : Schéma illustrant la structure distribuée de la résistance de grille. Ici la grille n'est contactée que d'un côté.

Par ailleurs, la largeur du doigt de grille doit être augmentée de xw (voir Figure 2-30), qui est la différence entre la largeur dessinée et la largeur réelle du doigt de grille sur silicium.

De même, la longueur de grille doit également être diminuée de xl ; il faut de plus tenir compte d'une éventuelle différence entre la longueur du polysilicium et celle du silicium, grâce au terme xgl . La Figure 2-32 illustre cette différence.

Enfin, le morceau de grille de largeur xgw entre la zone active et la tête de la grille (voir Figure 2-30) doit être pris en compte, sachant que ne recouvrant pas la zone active, il n'est pas sujet aux effets distribués modélisés par (2-49).

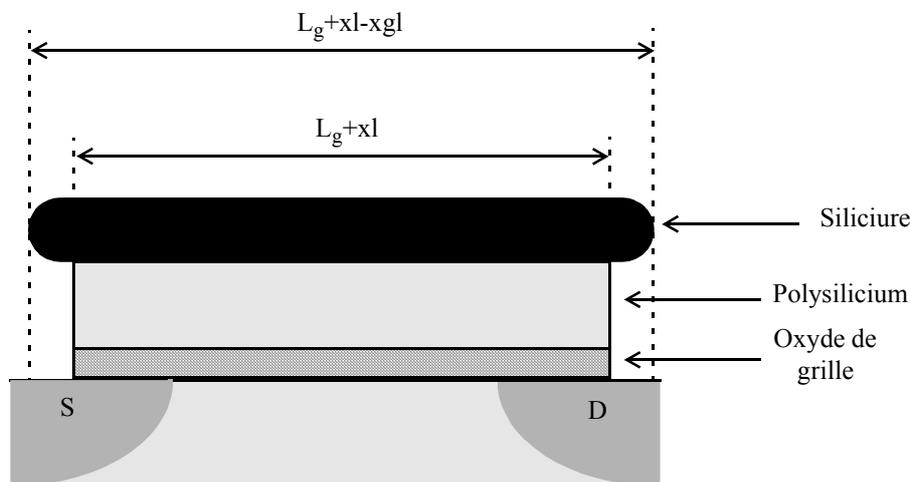


Figure 2-32 : Schéma illustrant la différence de longueur entre le silicium de la grille et la longueur du polysilicium. Ce débordement est dû à la façon dont le métal réagit avec le polysilicium lors de la formation du silicium.

Enfin, la formule de la résistance due au silicium de la grille prend en compte le nombre de doigts de la cellule et le nombre de têtes de grille. La valeur de cette contribution pour une cellule est alors donnée par :

$$R_{sil} = rshg \cdot \frac{W_{fing} + xw}{L_g + xl - xgl} \cdot \frac{1}{N_{fing}} \cdot \frac{1}{3 \cdot (N_{gcon})^2} + rshg \cdot \frac{xgw}{L_g + xl - xgl} \cdot \frac{1}{N_{fing} \cdot N_{gcon}} \quad (2-50)$$

- Le premier terme représente la contribution du siliciure de grille pour la partie de la grille qui se situe au-dessus de la zone active.
- Le second terme représente la contribution du siliciure pour la partie du doigt de grille qui n'est pas au-dessus de la zone active.

La répartition de ces deux contributions est illustrée par la Figure 2-30.

2.2.2.4.3 Résistance de l'interface siliciure/polysilicium :

Cette résistance est inversement proportionnelle à la surface du polysilicium de grille de la cellule. Avec **rshgv** la résistance surfacique de l'interface, sa valeur pour une cellule est donc :

$$R_{int} = \frac{rshgv}{N_{fing} \cdot (W_{fing} + xw) \cdot (L_g + xl)} \quad (2-51)$$

2.2.2.4.4 Modèle complet :

Le modèle de la résistance de grille du dispositif composé de N_c cellules intègre les trois composantes précédemment calculées :

$$R_{ggext} = \frac{R_{contact} + R_{sil} + R_{int}}{N_c} \quad (2-52)$$

2.2.2.5 Validation du modèle

La Figure 2-33, la Figure 2-34 et la Figure 2-35 comparent la mesure de la résistance de grille R_{poly} et son modèle R_{ggext} dans les technologies 130nm, 90nm et 65nm. Elles montrent que le modèle donne de bons résultats pour toutes les géométries.

La Figure 2-36 met en évidence la nécessité qu'il y a à tenir compte, dans le modèle, de la résistance de l'interface entre le siliciure et le polysilicium de la grille. En effet, pour les transistors à faible largeur de doigt de grille, la principale contribution à R_{poly} est cette résistance d'interface. Or, l'optimisation d'un transistor pour des applications RF tend à réduire la largeur des doigts de grille. La prise en compte de la composante d'interface siliciure/polysilicium dans le modèle de résistance de grille est par conséquent nécessaire.

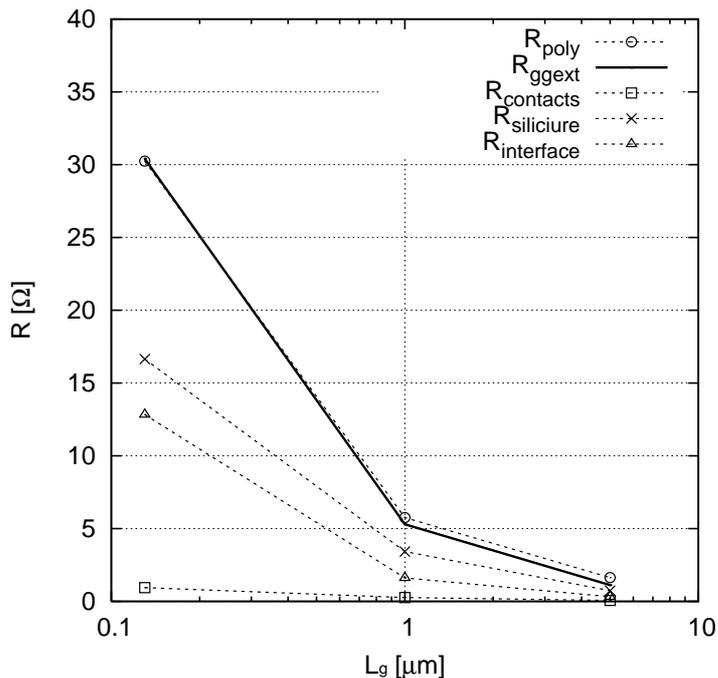


Figure 2-33 : Mesure de R_{poly} et modèle de résistance de grille avec ses différentes composantes en technologie 130nm.

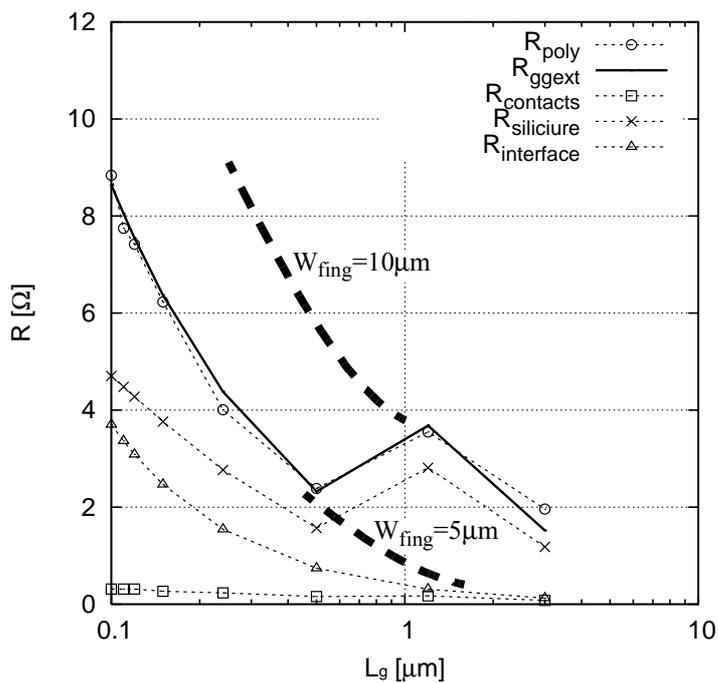


Figure 2-34 : Mesures de R_{poly} et modèle de résistance de grille avec ses différentes composantes en technologie 90nm.

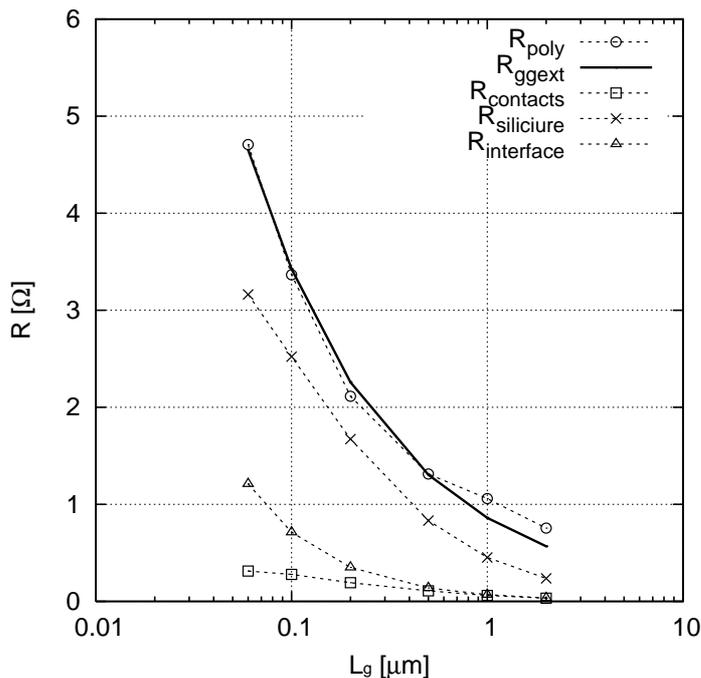


Figure 2-35 : Mesure de R_{poly} , et modèle de résistance de grille avec ses différentes composantes en technologie 65nm.

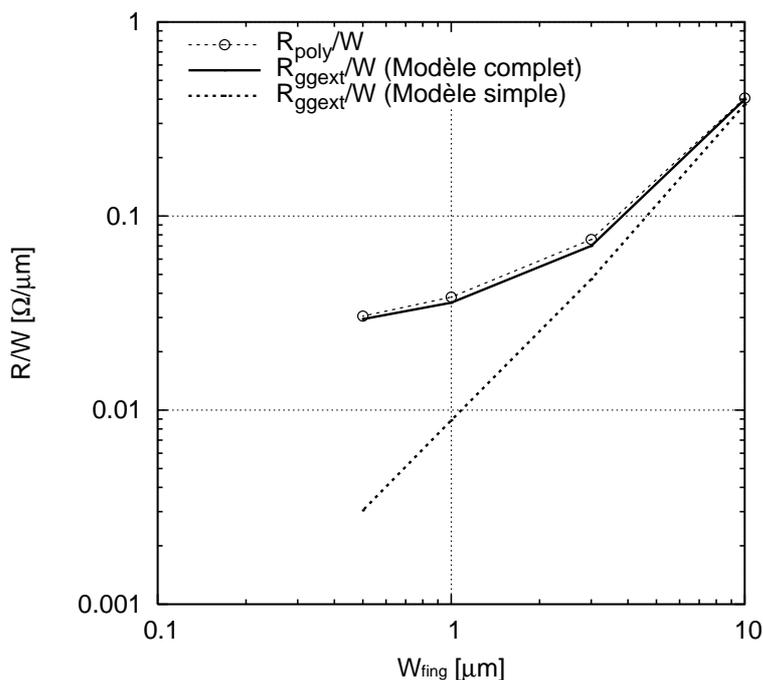


Figure 2-36 : Mesure de R_{poly} et deux modèles de résistance de grille, en technologie 65nm. Le modèle complet est défini par (2-52) ; le modèle simple ne prend en compte que la composante due au siliciure de la grille.

2.3 Impact des éléments parasites du dispositif

L'Annexe C illustre les conséquences de différents éléments parasites sur le fonctionnement d'un seul transistor simulé.

Ici, l'impact de la partie extrinsèque est évalué en comparant les performances d'un

dispositif tel qu'il existe et tel qu'il est mesuré, d'une part, et d'autre part, les performances de la partie intrinsèque. Par ailleurs, cette comparaison sera faite pour plusieurs géométries et plusieurs technologies.

Pour cela, les mesures sont tout d'abord converties en paramètres $[Z]$, de façon à retirer la résistance de grille ; puis, en utilisant un schéma en Π , les capacités C_{gdext} , C_{gsext} et $C_{bdext}+C_{dsext}$ sont retirées. Les mesures $[Y_{int}]$ sont donc celles du dispositif, corrigées des effets de la résistance de grille et des capacités parasites.

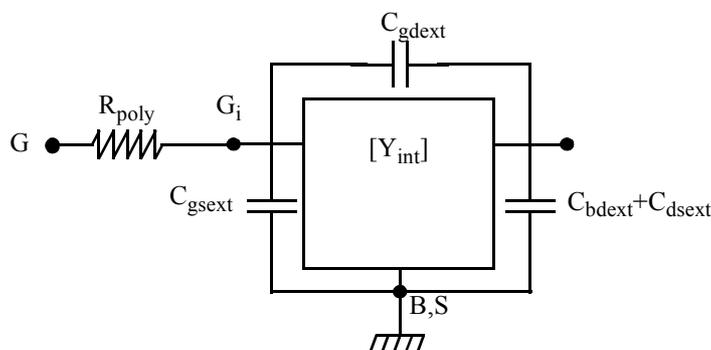


Figure 2-37 : Schéma du MOSFET intrinsèque entouré de ses éléments parasites (le substrat n'est pas pris en compte).

Dans cette partie, et comme dans l'Annexe C, les performances du dispositif seront évaluées à $V_{GS}=V_{DS}=V_{DD}$. Ce n'est pas le seul point de fonctionnement du transistor MOS lorsqu'il est utilisé en conception analogique et RF [13] ; il s'agit néanmoins d'un point de fonctionnement connu (le transistor est passant en inversion forte), qui permettra de faire des comparaisons entre différentes technologies.

2.3.1 Qui joue sur quoi ?

Afin de quantifier l'impact des éléments parasites sur les performances du dispositif, deux critères seront observés : la fréquence de transition (f_t) et la fréquence maximum d'oscillation (f_{max}).

Ces deux grandeurs sont les fréquences de transition respectives du gain en courant $|H_{21}|$ et du gain de Mason U . Ces fréquences sont données par (voir Annexe B) :

$$f_t \approx \frac{g_m}{2 \cdot \pi \cdot C_{gg}} \quad (2-53)$$

$$f_{max} = \frac{f_t}{2 \cdot \sqrt{R_{poly} \cdot (g_{ds} + 2 \cdot \pi \cdot f_t \cdot C_{gd})}} \quad (2-54)$$

Au regard de (2-53) et de (2-54), on peut déterminer quels sont les éléments qui jouent sur l'une et/ou l'autre de ces deux fréquences. Notons que l'influence du substrat est négligée dans ces équations.

Les capacités parasites de grille s'ajoutent aux capacités intrinsèques de grille et diminuent donc f_t .

f_{max} est influencée par capacités parasites de grille, par l'intermédiaire de f_t . Les effets non quasi-stationnaires ont également une incidence sur f_{max} . La résistance de polysilicium de grille a un impact direct sur f_{max} .

2.3.2 Influence de la géométrie du dispositif : illustration

La Figure 2-38 et la Figure 2-39 montrent l'impact des capacités extrinsèques de grille sur la capacité C_{gg} et la fréquence de transition. Il apparaît que ces capacités extrinsèques ont d'autant plus d'effet que la longueur de la grille est petite. Ceci est somme toute assez logique : nous avons vu que pour un nœud technologique donné, la capacité de recouvrement ne dépend pas de la longueur de grille ; quant à la capacité de bord, elle possède aussi une composante dépendante de L_g . Ainsi, plus la longueur de grille diminue, plus la part des capacités parasites augmente. L'impact sur les performances de rapidité est direct : plus L_g diminue, plus les performances du dispositif sont limitées par la partie extrinsèque. Ainsi, la fréquence de transition intrinsèque du dispositif de longueur de grille nominale dépasse 250GHz, alors que sa fréquence de transition réellement disponible n'est que de 120GHz.

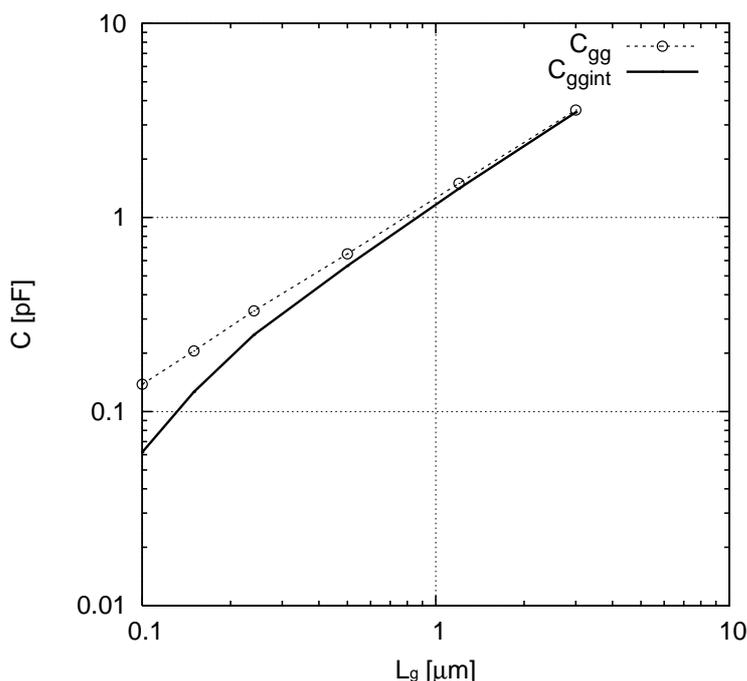


Figure 2-38 : Capacité C_{gg} en technologie 90nm, à $V_{GS}=V_{DS}=1.25\text{V}$, pour L_g variant de $0.1\mu\text{m}$ (nominal) à $3.0\mu\text{m}$.

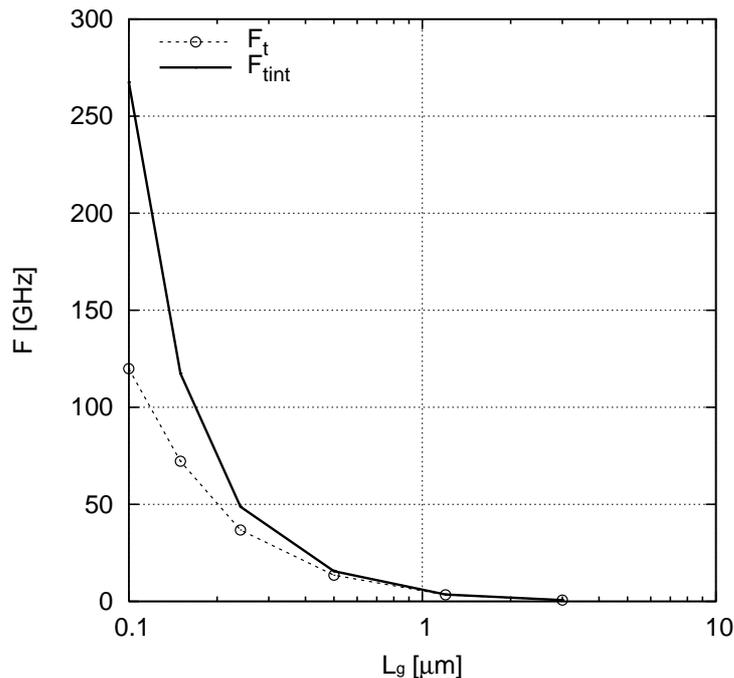


Figure 2-39 : Fréquence de transition en technologie 90nm, à $V_{GS}=V_{DS}=1.25\text{V}$, pour L_g variant de $0.1\mu\text{m}$ (nominal) à $3.0\mu\text{m}$.

La Figure 2-40 montre le gain de Mason de trois dispositifs en technologie 65nm. La particularité de ces dispositifs est de posséder la même longueur de grille (qui est la longueur nominale), mais leur topologie diffère. Ceci a une influence sur leur résistance de grille, comme le montre la Table 2-2. Cette influence se retrouve sur le gain de Mason du dispositif, et par conséquent sur sa fréquence maximale d’oscillation.

Lorsque la résistance de grille diminue, on retrouve un comportement très perturbé à basse fréquence. Ceci est dû aux effets du substrat : plus la résistance de grille est faible, moins ceux-ci sont “masqués” (voir Annexe G).

W_{fing} (μm)	N_{fing}	N_c	N_{gcon}	W (μm)	L_g (nm)	R_{ggext} (Ω)	f_{max} (GHz)
0.5	64	2	2	64	60	2.8	~200
5.0	16	1	2	80	60	10.5	~113
10.0	2	1	2	20	60	31.3	~67

Table 2-2 : Dispositifs de la Figure 2-40. La fréquence maximale d’oscillation est extrapolée selon les critères de l’ITRS [14] : voir Annexe B.

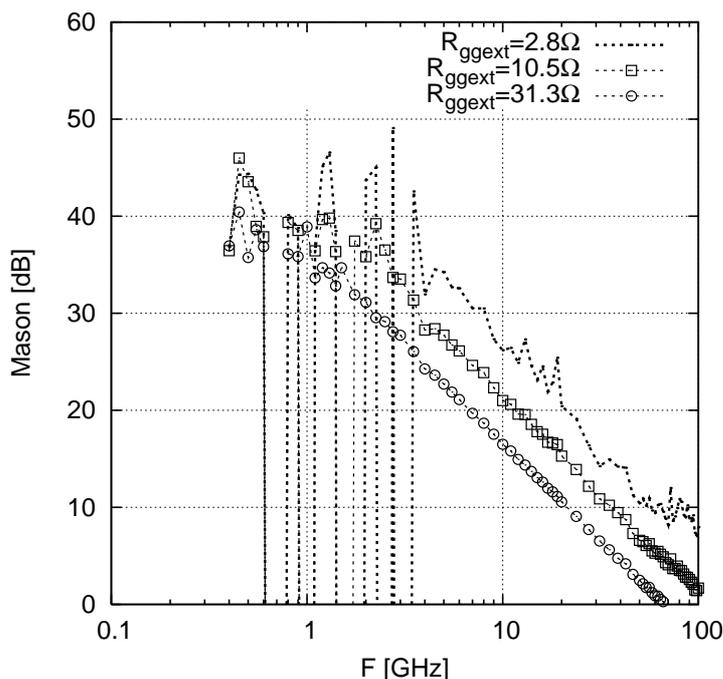


Figure 2-40 : Mesure du gain de Mason en technologie 65nm, à $V_{GS}=V_{DS}=1.2V$, pour L_g nominale, et trois dispositifs de topologie différente.

2.3.3 Impact et évolution [17]

2.3.3.1 Capacités parasites de grille

La Figure 2-41 et la Figure 2-42 illustrent l’effet des capacités de recouvrement et de bord C_{gdext} et C_{gsext} . On peut notamment constater qu’intrinsèquement, le dispositif³ peut présenter une fréquence de transition supérieure à 200GHz, alors que la f_t réellement disponible ne dépasse pas 100GHz.

Les capacités parasites de grille font partie de la capacité totale de grille du dispositif, mais seule la capacité intrinsèque de grille est “utile” dans l’effet transistor. Comme le montre la formule de la fréquence de f_t (équation (2-53)), si la capacité totale de grille est importante, f_t décroît dans les mêmes proportions, ce qui est visible sur la Figure 2-43. Cette figure montre par ailleurs que les rapports (C_{ggint}/C_{gg}) et (f_{tint}/f_t) augmentent lorsque V_{GS} décroît ; or le MOSFET est souvent polarisé en inversion modérée voire faible [16].

3.nMOSFET en technologie 130nm à la longueur de grille nominale.

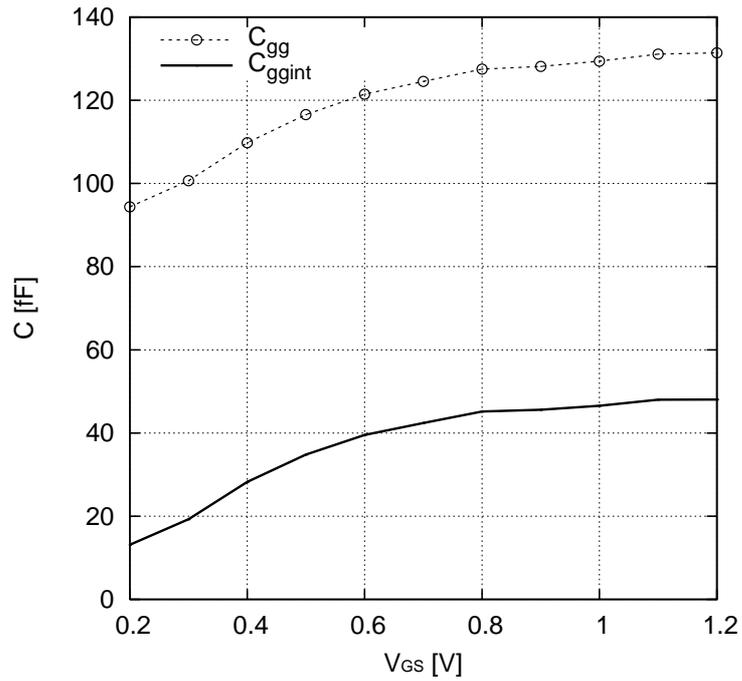


Figure 2-41 : Capacité totale vue de la grille à $V_{DS}=1.2V$, en technologie 130nm et pour L_g nominale.

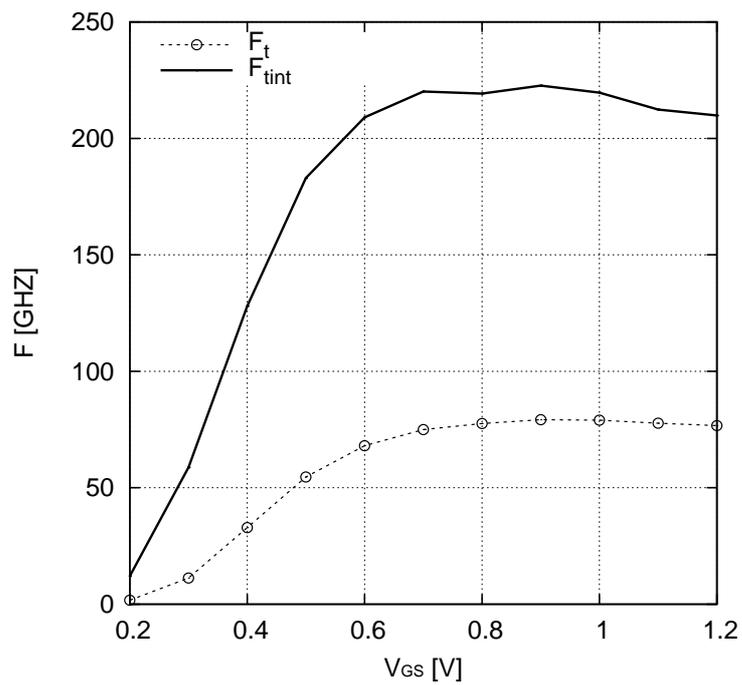


Figure 2-42 : Fréquence de transition f_t à $V_{DS}=V_{DD}$, en technologie 130nm et pour L_g nominale.

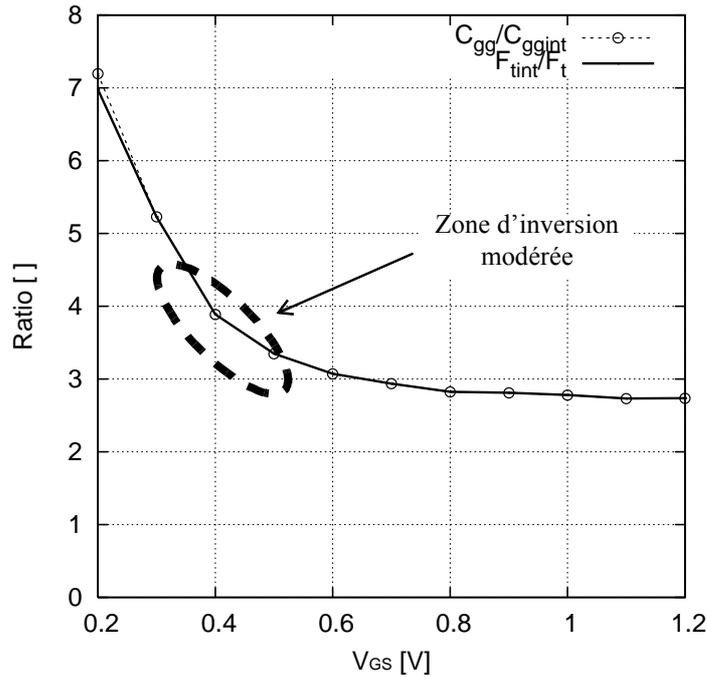


Figure 2-43 : Rapports $C_{gg}/C_{gg,int}$ et $F_{t,int}/F_t$ à $V_{DS}=V_{DD}$, en technologie 130nm et pour L_g nominale.

La Figure 2-44 montre l'évolution du rapport $F_t/F_{t,int}$ à $V_{GS}=V_{DS}=V_{DD}$ pour plusieurs technologies (de $0.35\mu m$ à $65nm$). Ce rapport diminue au fil des technologies, ce qui signifie que pour chaque nœud technologique, l'impact des capacités parasites de grille est plus important que pour le nœud précédent (avec une exception, toutefois, pour la technologie 90nm). $F_t/F_{t,int}$ ne vaut que 0.25 en technologie 65nm : cela veut dire que la capacité de grille d'un dispositif de longueur de grille nominale appartenant à cette technologie est constituée à 75% de capacités parasites.

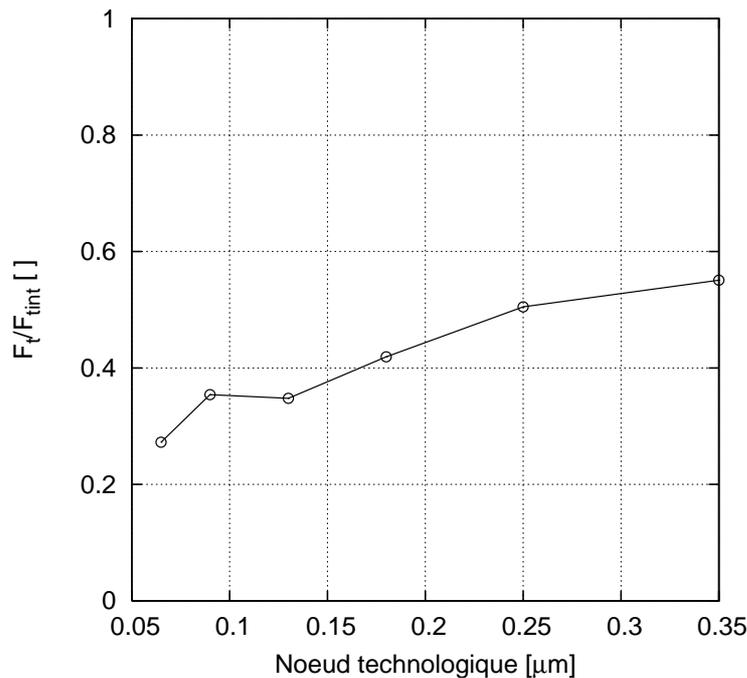


Figure 2-44 : Evolution du rapport $F_t/F_{t,int}$ à $V_{GS}=V_{DS}=V_{DD}$ pour plusieurs technologies avec, pour chaque, L_g nominale.

La capacité de recouvrement est un élément de la partie extrinsèque “intermédiaire”, car elle appartient à l’architecture du transistor. La capacité de bord ne relève pas vraiment de l’architecture du transistor ; il n’en reste pas moins que le concepteur ne peut pas jouer sur sa valeur. Ainsi, la seule façon de minimiser l’impact des capacités parasites grille-source ou grille-drain est technologique.

Il est possible de réduire la valeur de la capacité de recouvrement en empêchant le dopant des jonctions source et grille de diffuser trop loin sous la grille lors du recuit qui suit l’implantation des zones de source et de drain. Cela peut être fait grâce par exemple à des espaceurs de grille plus larges, ou bien en maîtrisant davantage la diffusion du dopant lors du recuit [15]. Quant à la capacité de bord, on peut limiter son influence en utilisant des diélectriques de faible permittivité ; mais on ne peut *a priori* pas empêcher les contacts de se rapprocher du polysilicium de grille au fil des générations technologiques.

2.3.3.2 Capacités de jonction

Les calculs des paramètres [Y] du transistor à partir d’un schéma équivalent tenant compte d’une résistance substrat montrent que l’influence de cette dernière dépend fortement de la capacité C_{bd} , qui inclut la capacité de jonction drain, et de la capacité C_{bb} (capacité totale vue du terminal intrinsèque de bulk), qui inclut les deux capacités de jonction. Les capacités de jonction ont donc un impact quantitatif important sur les effets dus au substrat.

L’évolution des trois composantes de la capacité de jonction (C_{jch} , C_{jsurf} , C_{jiso}) au fil des technologies est représentée sur la Figure 2-46. Pour cela, la composante C_{jsurf} est ramenée à une contribution linéique, en tenant compte de la grandeur l_{jctn} (voir Figure 2-45).

La composante due à l’isolation est importante en technologie 0.35 μ m, mais faible et de valeur quasiment constante pour les autres. Cette différence trouve son origine dans le fait que les isolations sont réalisées en STI, sauf en technologie 0.35 μ m où ce sont des LOCOS, comme illustré sur la Figure 2-45. Dans ce cas, la zone de charge d’espace de la jonction côté caisson peut s’étendre latéralement sous le LOCOS, conduisant à une valeur de C_{jiso} plus grande que dans le cas d’une isolation par STI.

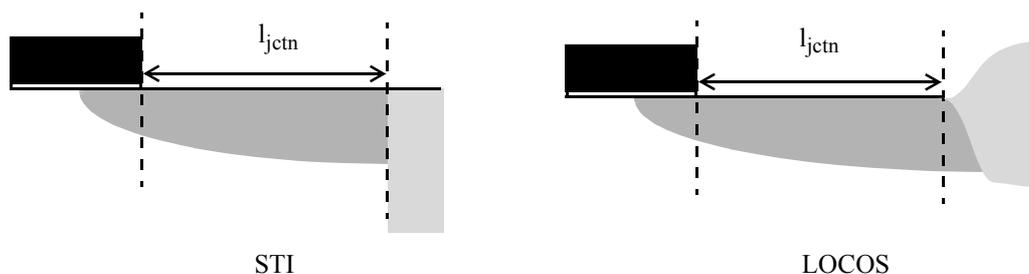


Figure 2-45 : Deux isolations différentes du transistor : STI (Shallow Trench Isolation) et LOCOS (LOCAl isolation Of Silicon).

La composante surfacique diminue au fil des générations technologiques, en raison de la diminution de la surface des zones de source et de drain et ce en dépit de l’augmentation du dopage [6].

Il est important de souligner la légère augmentation de la composante C_{jch} . Cette contribution est en effet prépondérante pour les technologies les plus récentes et semble *a priori* difficile à réduire au moyen de solutions technologiques. Cela laisse présager que pour les technologies à venir, les capacités de jonction resteront au mieux constantes.

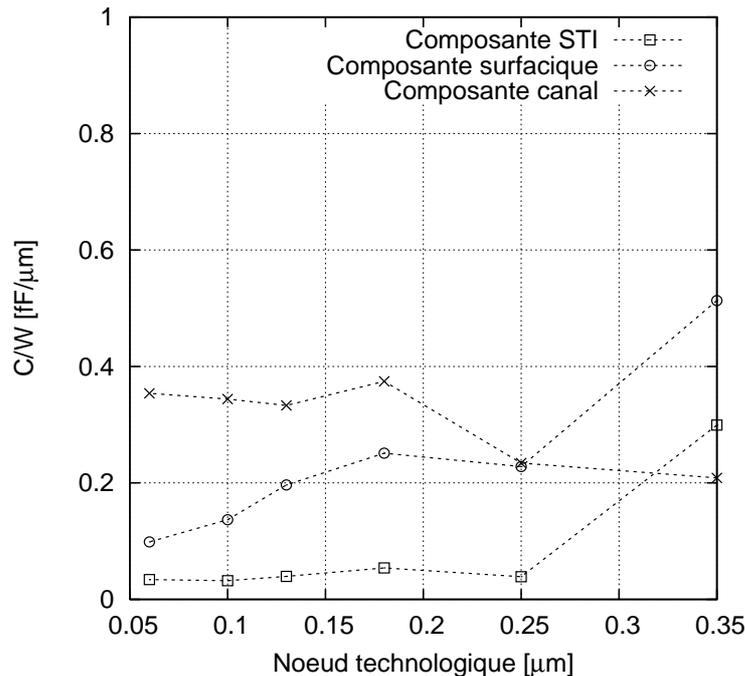


Figure 2-46 : Evolution des trois composantes de la capacité de jonction dans le cas d'un nMOSFET.

2.4 Conclusion

Ce travail sur les éléments parasites a permis de développer une méthode d'extraction basée sur la mesure du dispositif lui-même, en déterminant à chaque fois leur origine, grâce non seulement à leur(s) dépendance(s) en géométrie et/ou en polarisation, mais aussi à une connaissance de la partie intrinsèque.

En particulier, la résistance de grille est directement mesurée grâce à une méthodologie originale qui permet l'identification et l'extraction de trois composantes, incluses dans un modèle qui s'appuie sur la connaissance de la technologie de fabrication du dispositif.

Enfin, l'importance de ces éléments sur les performances mesurées de dispositifs ont été mises en évidence. Il apparaît ainsi que les éléments parasites atténuent le gain que l'on peut avoir d'une technologie à la suivante, car lorsque la part de l'intrinsèque diminue, leurs effets restent malgré tout constants. L'impact des capacités extrinsèques de grille sur les dispositifs nominaux augmente avec les générations technologiques : pour le nœud $0.25\mu\text{m}$, la capacité intrinsèque de grille valait la moitié de la capacité totale de grille ; pour le nœud 65nm , elle en vaut un peu plus du quart. La fréquence de transition intrinsèque a alors beau augmenter avec les générations technologiques, la fréquence de transition réellement disponible augmente dans des proportions toujours plus faibles, et les dispositifs voient alors leurs performances de plus en plus conditionnées par leur partie extrinsèque.

Les effets dus au substrat ont été négligés dans ce chapitre ; l'analyse et la modélisation du réseau substrat fera l'objet du chapitre suivant.

2.5 Références

- [1] G. Dambrine, C. Raynaud, D. Lederer, M. Dehan, O. Rozeaux, M. Vanmackelberg, F. Danneville, S. Lepilliet, and J.-P. Raskin, "What are the Limiting Parameters of Deep-Submicron MOSFETs for High Frequency Applications?", IEEE Electron Device Letters, vol. 24, no. 3, Mar. 2003.
- [2] S. Hung-Min Jen, C. C. Enz, D. R. Pehlke, M. Schröter and B. J. Sheu, "Accurate

- Modeling and Parameter Extraction for MOS Transistors Valid up to 10GHz", IEEE Transactions on Electron Devices, vol. 46, no. 11, pp. 2217-2227, Nov. 1999.
- [3] C. C. Enz and Y. Cheng, "MOS Transistor Modeling for RF IC Design", IEEE Transactions on Solid-State Circuits, vol. 35, no. 2, pp. 186-201, Feb. 2000.
- [4] P. Klein, "A Compact-Charge LDD-MOSFET Model", IEEE Transactions on Electron Devices, vol. 44, no. 9, 1997.
- [5] N. Itoh, T. Ohguro, K. Katoh, H. Kimijim, S. Ishizuka, K. Kojima and H. Miyakawa, "Scalable Parasitic Components Model of CMOS for RF Circuit Design", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E86-A, no. 2, pp. 288-298, Feb. 2003.
- [6] Y. Tsvividis, "Operation and Modeling of The MOS Transistor", Oxford University Press, Second Edition, 1999.
- [7] Y. Cheng and M. Matloubian, "High Frequency Characterization of Gate Resistance in RF MOSFETs", IEEE Electron Device Letters, vol. 22, no. 2, pp. 98-100, Feb. 2001.
- [8] BSIM4.6 MOSFET Model, User's Manual, Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, 2006.
- [9] E. Batail, "Modélisation des capacités dans les dispositifs avancés", Rapport de projet de fin d'études, juillet 2005.
- [10] R. van Langevelde, A.J. Scholten and D.B.M. Klaassen, "Physical Background of MOS Model 11, Level 1101", Koninklijke Philips Electronics N.V., 2003.
- [11] N. Hagesawa, S. Yamaura, T. Mori and S. Yamaguchi, "Test structures and measurement of gate sidewall junction capacitance in MOSFETs", IEEE 2006 International Conference on Microelectronic Test Structures, 2006, pp. 31-34, Mar. 2006.
- [12] A. Litwin, "Overlooked interfacial silicide-polysilicon gate resistance in MOS transistors", IEEE Transactions on Electron Devices, vol 48, no. 9, pp. 2179-2181, Sept. 2001.
- [13] C.C. Enz, F. Krummenacher and E.A. Vittoz, "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications", Analog Integrated Circuits and Signal Processing, vol. 8, pp. 83-114, 1995.
- [14] International Technology Roadmap for Semiconductors, 2006 Update, Radio-Frequency and Analog/Mixed Technologies for Wireless Communications, 2006.
- [15] J.D. Plummer and P.B. Griffin, "Material and Process Limits in Silicon VLSI Technology", Proceedings of the IEEE. vol. 89, no. 3, Mar. 2001.
- [16] C. Enz, "An MOS Transistor Model for RF IC Design Valid in All Regions of Operation", IEEE Transactions on Microwave Theory and Techniques, vol. 50, no. 1, 2002.
- [17] E. Bouhana, P. Scheer et G. Dambrine, "Analyse expérimentale du comportement en fréquence du transistor MOS : conséquences sur l'approche de modélisation en RF", Journées Nationales Micro-ondes 2005, Nantes, mai 2005.

Chapitre 3

Etude du réseau substrat

Cette étude sur le réseau substrat des MOSFETs s'inscrit dans le cadre de l'analyse, l'extraction et la modélisation des éléments parasites du dispositif. Ceux-ci sont les éléments capacitifs et résistifs appartenant aux parties intermédiaire et extrinsèque du transistor.

Le réseau substrat peut être considéré comme à part parmi les parasites du MOSFET. Il est en effet relié à tous les terminaux du dispositif, là où les autres sont connectés à deux terminaux seulement ; il n'y a donc pas de raison évidente de le modéliser au moyen d'un unique élément. Sa différence réside également dans le fait qu'il est difficile de mesurer le réseau substrat, ce qui complique encore son extraction.

Il n'y a aujourd'hui pas réellement de consensus sur la modélisation du réseau substrat. Les modèles n'offrent pas une description très poussée de cet élément si PSP et les dernières versions de BSIM proposent un réseau de résistances, seul BSIM définit des lois géométriques.

Le but de ce chapitre est d'étudier un dispositif donné afin d'extraire le modèle le plus complet possible pour le réseau substrat de ce dispositif. Cette étude ne présuppose pas de schéma équivalent, et repose donc sur une extraction progressive entièrement basée sur la mesure.

Les résultats présentés dans ce chapitre ont fait l'objet d'une présentation en conférence [1].

3.1 Le substrat comme élément parasite

3.1.1 Modèles existants

Il existe dans la littérature un grand nombre de modèles et d'études portant sur la modélisation du substrat [2]-[10]. Le réseau substrat est généralement utilisé pour décrire le chemin résistif dans le caisson entre le nœud de bulk intrinsèque, ou nœud de **body**, et les prises caisson [3]. Sur la Figure 3-1, la résistance R_{sub} correspond à ce chemin.

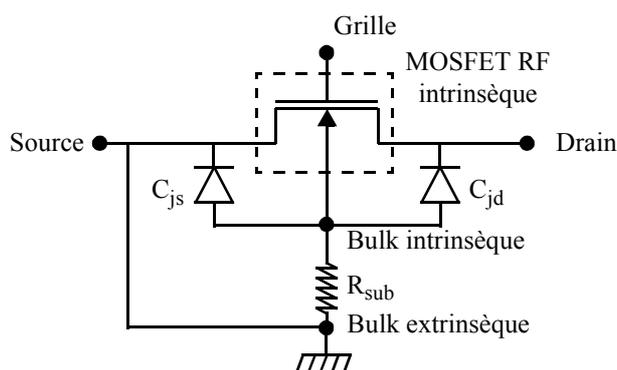


Figure 3-1 : Schéma d'un modèle de substrat à une seule résistance, dans le cas d'un dispositif polarisé en source commune (d'après [6]).

R_{sub} semble dépendre peu de la polarisation [2]. Mais ce chemin résistif a pour conséquence que la tension entre le nœud de body n'est pas nulle, et peut amener une dépendance en polarisation dans la partie intrinsèque par l'intermédiaire de la transconductance de substrat g_{mb} [11][3][6].

Les modèles de réseau substrat disponibles dans la littérature sont pour la grande majorité basés sur des schémas équivalents plus ou moins complexes incluant une ou plusieurs résistances [4][5][7][8][9][10]. Certains modèles [7][8] prennent en compte la dépendance géométrique ainsi que le cas des structures interdigitées.

Les paramètres du modèle sont généralement extraits des mesures de l'admittance de sortie du dispositif [2][4][5][7] ou de S_{22} [9]. Mais si le schéma équivalent utilisé est inadapté, l'extraction est imprécise et la signification des valeurs extraites est finalement discutable. Le nombre de schémas équivalents différents publiés témoigne par ailleurs du fait que les caractéristiques électriques du substrat sont très dépendantes de la technologie et du layout.

En ce qui concerne les modèles compacts, parmi les trois modèles décrits au Chapitre 1¹, seuls BSIM4.6 et PSP102.1 définissent un schéma équivalent pour le réseau substrat (voir la Figure 1-17 pour BSIM4.6 et la Figure 1-18 pour PSP102.1). BSIM4.6 définit des lois géométriques pour les éléments du modèle proposé (le schéma de la Figure 1-17 est rappelé par la Figure 3-2) :

$$RBPS = RBPS0 \cdot \left(\frac{L}{10^{-6}}\right)^{RBPSL} \cdot \left(\frac{W}{10^{-6}}\right)^{RBPSW} \cdot NF^{RBPSNF} \quad (3-1)$$

RBPD est définie de la même façon. Par ailleurs,

$$\begin{aligned} RBPBX &= RBPBX0 \cdot \left(\frac{L}{10^{-6}}\right)^{RBPBXL} \cdot \left(\frac{W}{10^{-6}}\right)^{RBPBXW} \cdot NF^{RBPBXNF} \\ RBPBY &= RBPBY0 \cdot \left(\frac{L}{10^{-6}}\right)^{RBPBYL} \cdot \left(\frac{W}{10^{-6}}\right)^{RBPBYW} \cdot NF^{RBPBYNF} \end{aligned} \quad (3-2)$$

$$RBPB = \frac{RBPBX \cdot RBPBY}{RBPBX + RBPBY}$$

De la même manière,

$$\begin{aligned} RBSBX &= RBSBX0 \cdot \left(\frac{L}{10^{-6}}\right)^{RBSBXL} \cdot \left(\frac{W}{10^{-6}}\right)^{RBSBXW} \cdot NF^{RBSBXNF} \\ RBSBY &= RBSBY0 \cdot \left(\frac{L}{10^{-6}}\right)^{RBSBYL} \cdot \left(\frac{W}{10^{-6}}\right)^{RBSBYW} \cdot NF^{RBSBYNF} \end{aligned} \quad (3-3)$$

$$RBSB = \frac{RBSBX \cdot RBSBY}{RBSBX + RBSBY}$$

RBDB est définie de la même manière que RBSB.

Bien que ces lois géométriques existent, BSIM étant le seul modèle à les proposer, elles reposent tout de même sur une base très empirique. Elles comportent par ailleurs trente-deux paramètres pour cinq résistances, mais aucune méthodologie d'extraction n'est associée à ce modèle : on ne sait pas comment déterminer la valeur de ces résistances ou de ces paramètres.

1. Ces trois modèles sont BSIM4.6, EKV3.0 et PSP102.1.

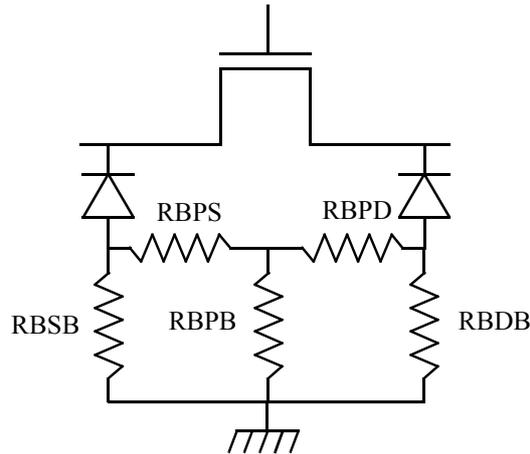


Figure 3-2 : Schéma équivalent du réseau substrat dans BSIM4.6.

3.1.2 Particularités

Les éléments parasites tels que la résistance de grille, les capacités de recouvrement, de bord, de jonction et métalliques peuvent être modélisés par des éléments localisés suivant des lois géométriques relativement simples.

La nature du substrat est à première vue plus complexe, car les chemins que le signal est susceptible d'emprunter pour aller à la prise caisson peuvent être différents suivant le layout. La topologie du réseau substrat peut alors varier suivant le type de prise caisson (Figure 3-3) ou le nombre de doigts de grille (Figure 3-4). Par ailleurs, dans le cas de dispositifs isolés (Figure 3-5), il existe une capacité de jonction entre le caisson et la couche d'isolation. Il est donc possible que cette dernière ait une influence sur les caractéristiques électriques du substrat. Pour prendre en compte tous ces effets dus au layout, il n'est *a priori* pas possible de réduire le substrat à un seul élément.

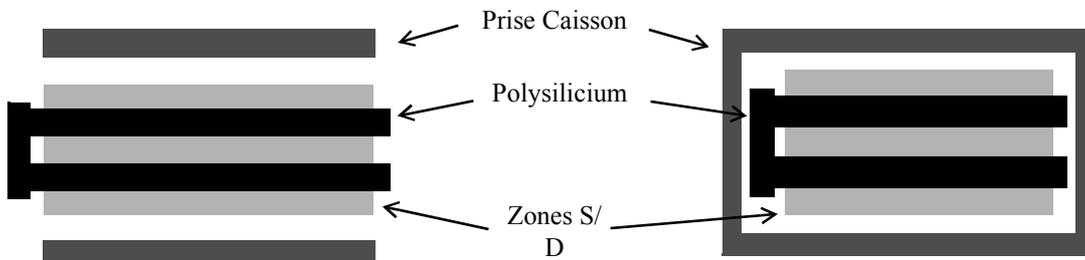


Figure 3-3 : Deux layouts différents pour la prise caisson d'un dispositif à deux doigts de grille : prises parallèles aux doigts de grille (à gauche) ou prise entourante (à droite).

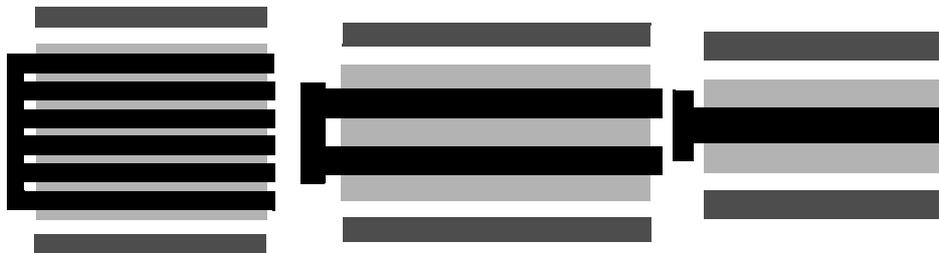


Figure 3-4 : Trois layouts différents d'un même dispositif pour le nombre de doigts de grille.

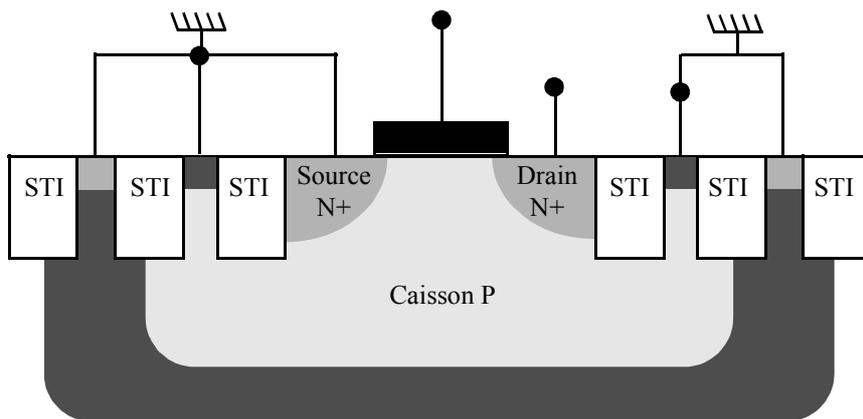


Figure 3-5 : Schéma en coupe d'un transistor nMOS isolé.

Par ailleurs, le réseau substrat, créant un couplage entre les quatre terminaux du MOSFET [13][14], relie ces derniers entre eux. Il ne peut être considéré comme un dipôle. Toutefois, il n'est relié qu'indirectement aux terminaux de grille et de drain, qui sont ceux utilisés pour la mesure deux ports de dispositifs en source commune ; cela complique l'analyse que l'on peut faire du réseau substrat.

3.1.3 Dispositifs étudiés

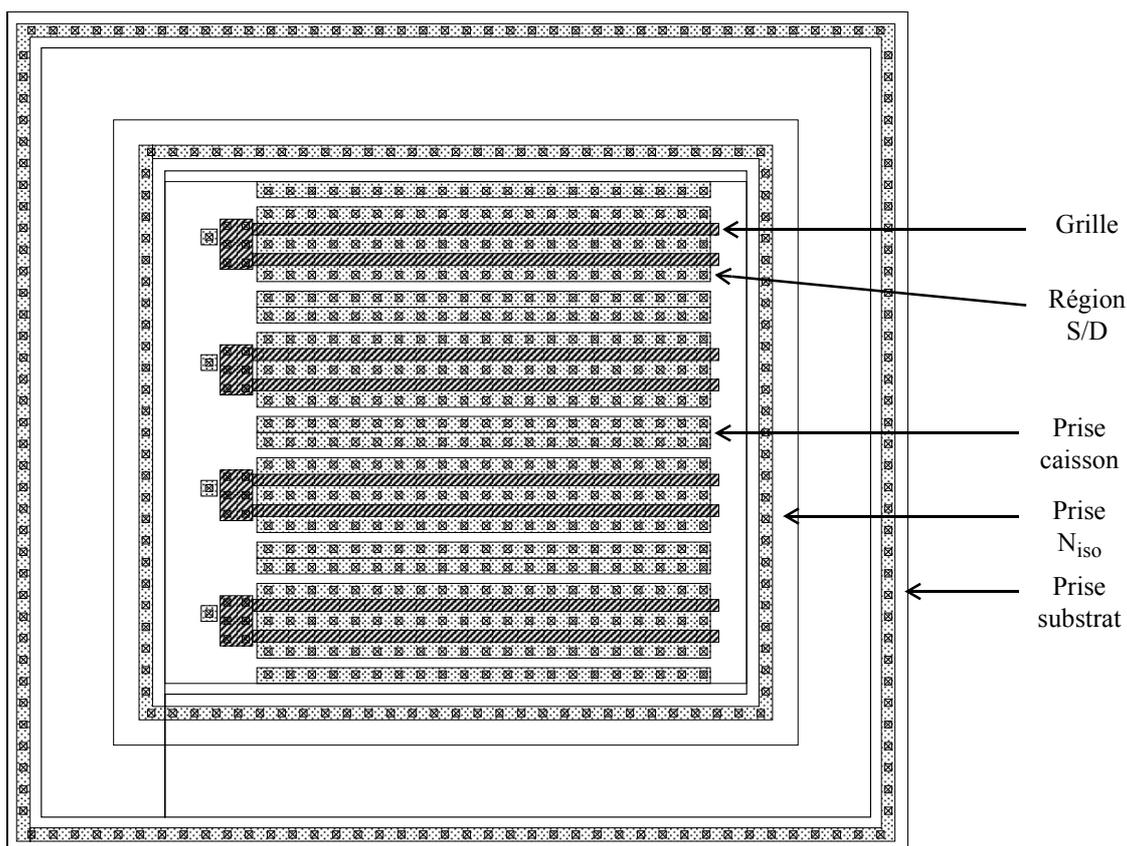


Figure 3-6 : Layout d'un dispositif isolé en technologie 130nm.

Les dispositifs utilisés sont des nMOSFETs ; chacun est constitué de N_c cellules composées chacune d'un transistor interdigité de N_f doigts de grille. Dans le cas d'un dispositif isolé, le caisson de type P est électriquement isolé du substrat par une couche fortement dopée N (appelée N_{iso} sur la Figure 3-6). Cette couche est reliée à la masse grâce à une prise qui entoure

les N_c cellules. Finalement, une seconde prise entourante relie le substrat P à la masse.

La Table 3-1 et la Table 3-2 résument les principales caractéristiques géométriques des dispositifs étudiés.

L_g (μm)	W_{total} (μm)	N_f	N_c	W_f (μm)	Type de dispositif
0.13, 1.0, 5.0	80	2 (S/D/S)	4	10	Isolé & Standard
1.0	80	1 (S/D)	8	10	Isolé & Standard

Table 3-1 : paramètres du layout des dispositifs étudiés (technologie 130nm).

L_g (μm)	W_{total} (μm)	N_f	N_c	W_f (μm)	Type de dispositif
0.06, 0.08, 0.1, 0.2, 0.5, 1.0, 2.0	120	8 (S/D...D/S)	3	5.0	Isolé

Table 3-2 : paramètres du layout des dispositifs étudiés (technologie 65nm).

3.2 Analyse du réseau substrat

3.2.1 Méthodologie d'accès au substrat

L'approche développée au cours de cette étude est entièrement basée sur l'analyse des mesures RF du dispositif en source commune. Cette analyse va permettre d'accéder progressivement aux mesures caractérisant le substrat lui-même, puis de s'en servir pour extraire le modèle approprié.

Le dispositif est étudié en mode OFF (i.e. à $V_{GS}=0V$) ; de cette façon, du point de vue de la grille, le substrat n'est donc pas "écrané" par le canal. Toutes les capacités intrinsèques sont nulles [11] à l'exception de la capacité Grille-Body C_{gb} .

Le schéma équivalent du dispositif dans ces conditions est présenté en Figure 3-7.

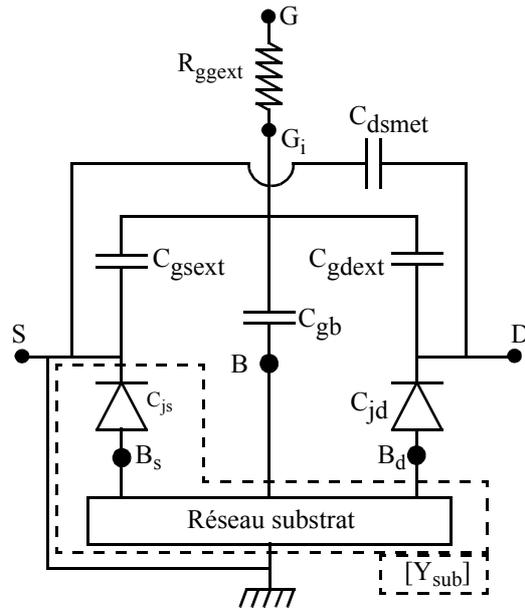


Figure 3-7 : Schéma équivalent du transistor MOS en source commune à $V_{GS}=0V$, servant à l'extraction du modèle du réseau substrat.

L'élément étudié ici est la matrice $[Y_{sub}]$. Pour y avoir accès, R_{ggext} , puis C_{gdext} , C_{gsext} et C_{dsmet} , et enfin C_{gb} et C_{jd} , doivent être enlevés. La valeur de ces éléments est connue car ces derniers ont été modélisés.

3.2.2 Epluchage

Dans l'hypothèse du schéma équivalent de la Figure 3-7, l'accès au substrat se fait de la façon suivante.

En premier lieu, les mesures RF du dispositif en source commune sont converties en paramètres $[Z]$, de façon à retirer la résistance de grille (Figure 3-8(a)). Dans un second temps, en utilisant une représentation en Π , les capacités de recouvrement et de bord (C_{gsext} et C_{gdext}) ainsi que les capacités métalliques (C_{dsmet}) sont enlevées (Figure 3-8(b)). On a alors un quadripôle représenté par la matrice $[Z_{int}]$ (Figure 3-8(c)).

R_{ggext} , C_{gdext} , C_{gsext} et C_{dsmet} sont connus, et on sait qu'ils peuvent être modélisés par des éléments localisés selon des lois qui ont été définies précédemment.

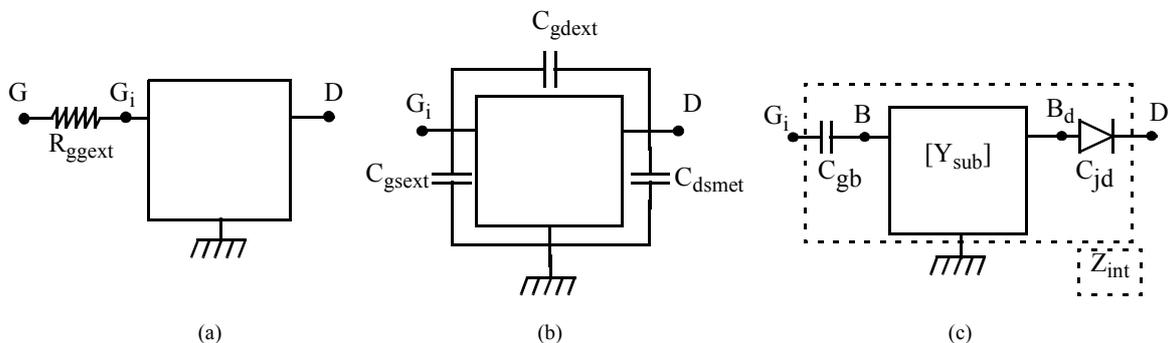


Figure 3-8 : Procédure d'extraction du réseau substrat : (a) résistance de grille, (b) capacités parasites de recouvrement, de bord et métalliques, (c) capacités grille-body et de jonction drain.

A ce stade, la capacité intrinsèque grille-body et la capacité de jonction drain doivent à leur tour être enlevées (Figure 3-8(c)). Mais à la différence de R_{ggext} , C_{gsext} , C_{gdext} et C_{dsmet} , ces

éléments sont reliés directement au substrat. Pour les retirer, il faut donc d'abord s'assurer que ces capacités peuvent être modélisées comme des éléments localisés, c'est-à-dire que leur mesure doit être indépendante de la fréquence.

C_{gb} et C_{jd} sont des capacités en série sur les ports 1 et 2 du quadripôle Z_{int} . Elles sont donc évaluées en observant respectivement les grandeurs :

$$C_1 = -\frac{1}{\omega} \cdot \frac{1}{Im[Z_{int11} - Z_{int12}]} \quad (3-4)$$

et

$$C_2 = -\frac{1}{\omega} \cdot \frac{1}{Im[Z_{int22} - Z_{int12}]} \quad (3-5)$$

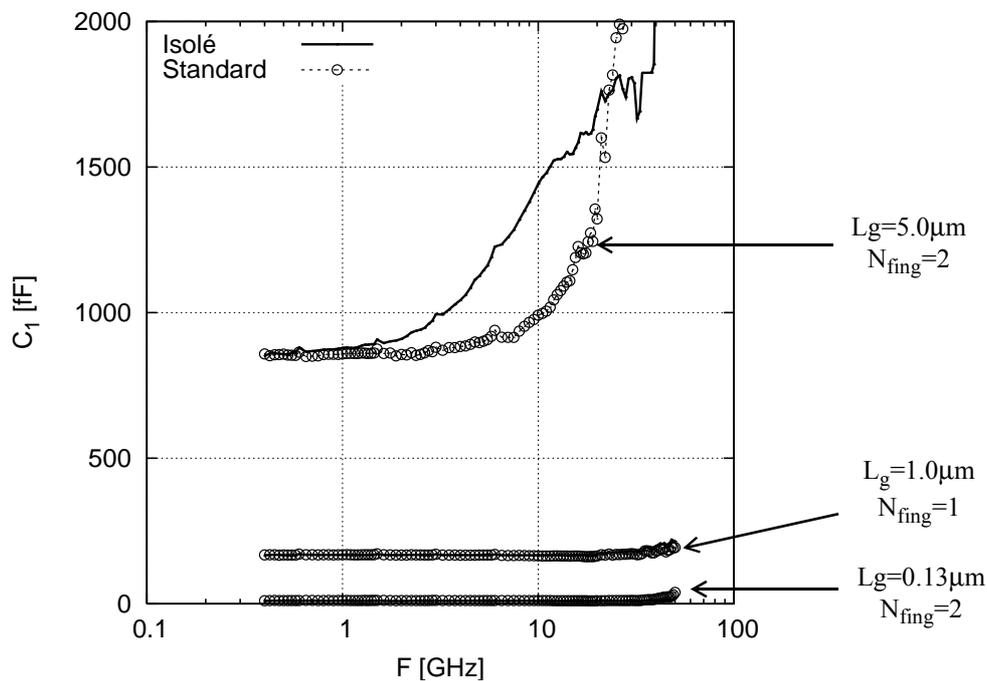


Figure 3-9 : Mesure de la capacité C_{gb} en technologie 130nm pour des dispositifs standards et isolés, à $V_{GS}=0V$ et $V_{DS}=0.6V$.

Les courbes de la Figure 3-9 montrent que pour $f < 50GHz$, C_{gb} peut être considérée comme un élément localisé, pourvu que la longueur de grille ne soit pas trop grande. En effet, dans le cas d'un dispositif à $L_g=5.0\mu m$ (c'est-à-dire près de quarante fois la longueur nominale), de forts effets en fréquence sont observés. On peut montrer (voir Annexe G et plus particulièrement la Figure G-6) que ces effets sont dus à une structure R-C distribuée. Cela signifie d'une part que C_{gb} est distribuée par rapport à un élément résistif qui se situe dans le quadripôle Y_{sub} , et d'autre part que pour le dispositif à $L_g=5.0\mu m$, la constante de temps associée à cette structure distribuée est telle que des effets en fréquence sont observables pour des fréquences dans notre domaine d'étude. Alors, dans ce cas, il n'est pas possible de considérer C_{gb} comme une capacité localisée. Dans ce cas, le problème sera traité avec un modèle distribué.

Notons au passage que la constante de temps de ces effets fréquentiels pour le dispositif de $L_g=5.0\mu m$ est supérieure dans le cas du dispositif isolé, tandis que le comportement basse fréquence ($f < 1GHz$) montre que la capacité C_{gb} est logiquement la même pour les dispositifs

isolé et standard. Ceci implique que la résistance par rapport à laquelle C_{gb} est distribuée a une valeur plus importante si le dispositif est isolé.

En revanche, la Figure 3-10 montre que C_{jd} est bien indépendante de la fréquence, et peut donc être considérée comme un élément localisé. Notons que pour le dispositif à un seul doigt de grille, comme la surface de la zone de drain est plus grande que celle du dispositif à deux doigts, la valeur de la capacité de jonction s'en trouve augmentée.

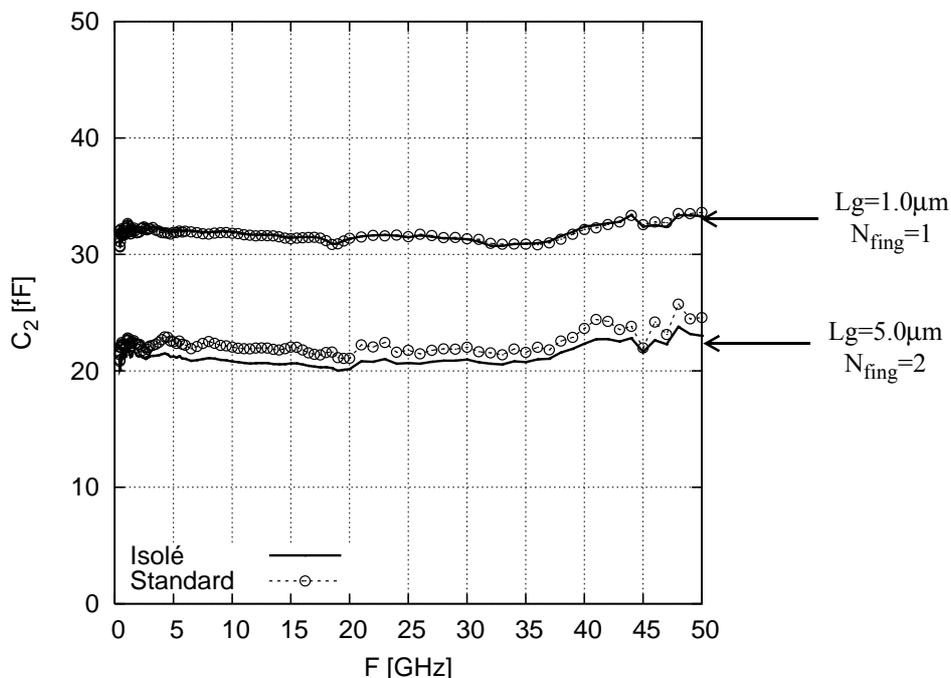


Figure 3-10 : Mesure de la capacité C_{jd} en technologie 130nm pour des dispositifs standards et isolés, à $V_{GS}=0V$ et $V_{DS}=0.6V$.

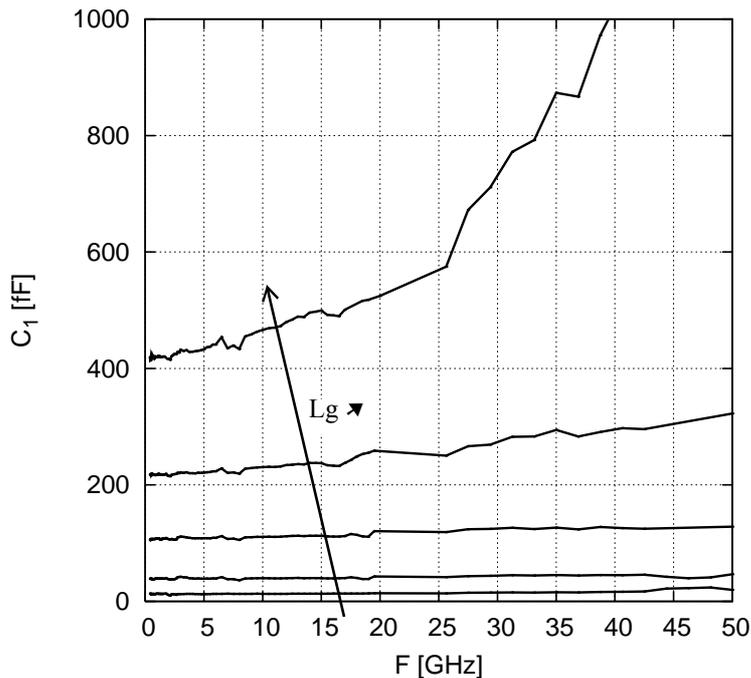


Figure 3-11 : Mesure de la capacité C_{gb} en technologie 65nm pour des dispositifs nMOS isolés, avec $L_g=0.1, 0.2, 0.5, 1.0$ et $2.0\mu\text{m}$ et $N_{\text{fing}}=8$, à $V_{GS}=0\text{V}$ et $V_{DS}=0.6\text{V}$.

Le cas de la technologie 65nm est similaire. Pour $L_g=1.0$ et $2.0\mu\text{m}$ (respectivement près de dix-sept et trente-cinq fois la longueur nominale), des effets distribués semblables à ceux présents Figure 3-9 sont observés sur la capacité C_{gb} . En revanche, étant donné que le layout est identique quel que soit le dispositif (seule la longueur de grille change), la valeur de la capacité de jonction est la même et cet élément peut être modélisé comme un élément localisé (Figure 3-12).

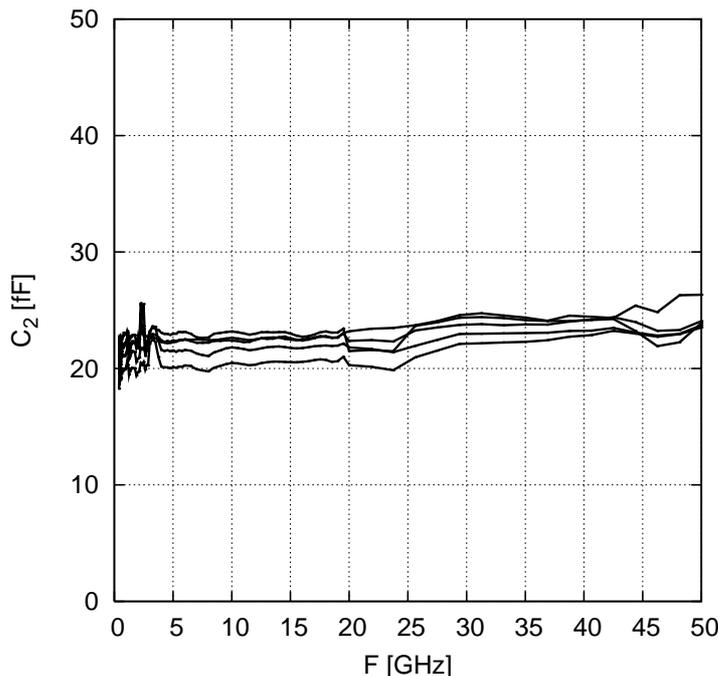


Figure 3-12 : Mesure de la capacité C_{jd} en technologie 65nm pour des dispositifs nMOS isolés, avec $L_g=0.1, 0.2, 0.5, 1.0$ et $2.0\mu\text{m}$ et $N_{\text{fing}}=8$, à $V_{GS}=0\text{V}$ et $V_{DS}=0.6\text{V}$.

L'étude des éléments C_{gb} et C_{jd} montre que, bien que le transistor soit constitué de plusieurs cellules interdigitées, l'ensemble des capacités C_{gb} et C_{jd} de chaque doigt peut être considéré comme deux capacités C_{gb} et C_{jd} globales.

3.2.3 Analyse de $[Y_{\text{sub}}]$

On se place donc ici dans le cas où, quelle que soit la technologie, la grille du dispositif considéré est suffisamment courte pour que C_{gb} puisse être considérée comme une capacité localisée. En effet, $[Y_{\text{sub}}]$ peut être analysé comme un quadripôle localisé dans l'hypothèse où, lors de la phase d'épluchage, C_{gb} est elle-même une capacité pure.

La Figure 3-13 montre l'emplacement du quadripôle $[Y_{\text{sub}}]$ dans le caisson du transistor.

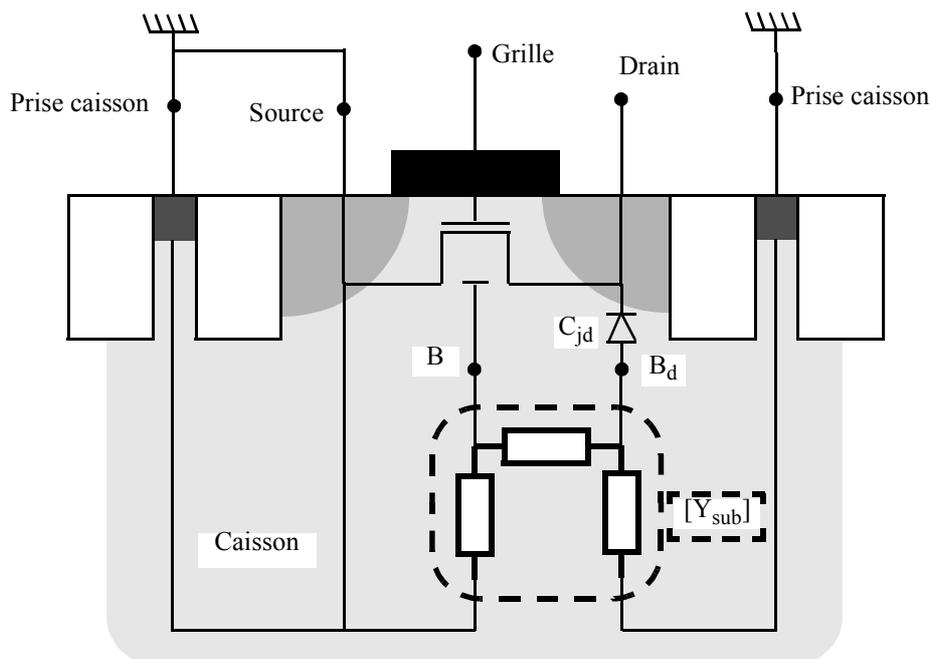


Figure 3-13 : emplacement de $[Y_{sub}]$ dans le transistor MOS.

L'extraction du schéma équivalent est faite en analysant chacun des éléments de $[Y_{sub}]$.

3.2.3.1 Admittance de contre-réaction : $-Y_{sub12}$

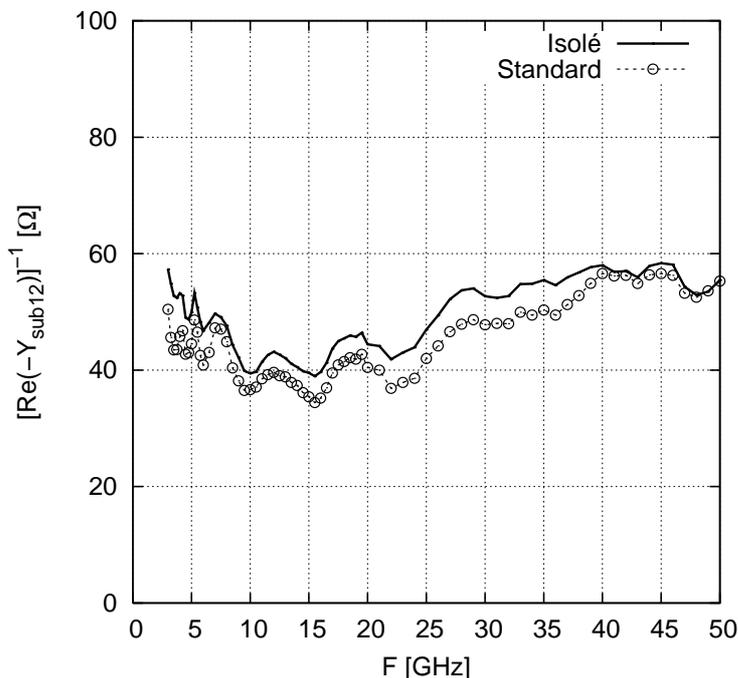


Figure 3-14 : $[Re(-Y_{sub12})]^{-1}$ pour $L_g=1.0\mu m$ et $N_{fing}=2$ en technologie 130nm, à $V_{GS}=0V$ et $V_{DS}=0.6V$.

Comme on peut le voir sur la Figure 3-13, l'élément $(-Y_{sub12})$ représente, pour le signal, le chemin dans le caisson entre le nœud de body et la jonction drain, parallèlement au canal. La Figure 3-14 montre que cet élément peut être assimilé à une résistance, dont la valeur est plus forte dans le cas du dispositif isolé. Cela confirme ce qui a été observé quant aux effets fréquentiels présents sur la mesure de la capacité C_{gb} (Figure 3-9) : le caisson étant pincé, la

résistance est plus forte.

Cette résistance est dénommée R_{wd} . La présence de cette résistance dans le réseau substrat est mentionnée en [8]. Cet article montre que la prise en compte de cette résistance dans un modèle de substrat étend en fréquence la plage de validité de ce modèle.

3.2.3.2 Admittance de sortie : $Y_{sub22}+Y_{sub12}$

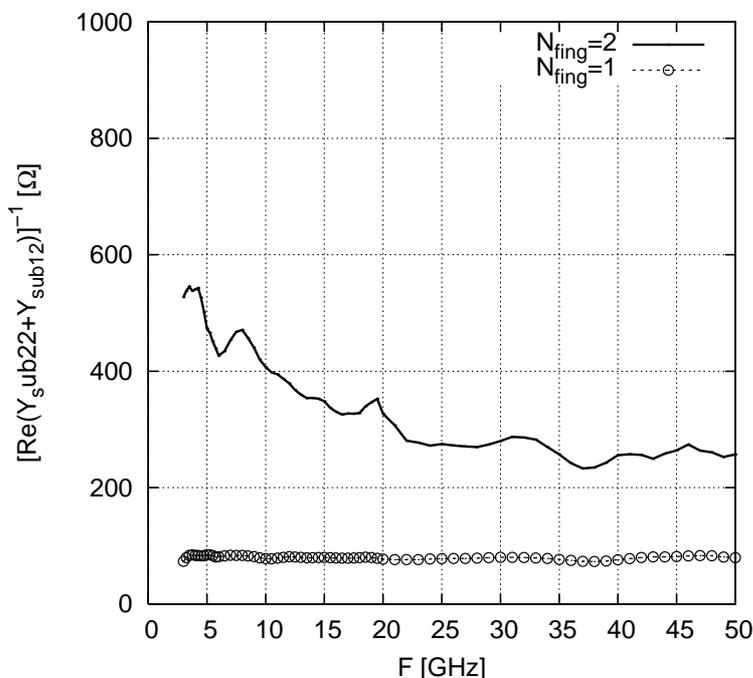


Figure 3-15 : $[Re(Y_{sub22}+Y_{sub12})]^{-1}$ pour des dispositifs non isolés avec $L_g=1.0\mu m$, en technologie 130nm, à $V_{GS}=0V$ et $V_{DS}=0.6V$.

La Figure 3-15 représente l'inverse de la partie réelle de $(Y_{sub22}+Y_{sub12})$, c'est-à-dire la résistance entre le point B_d et la prise caisson ; cette figure reflète bien l'influence du layout sur le réseau substrat. Si $N_{fing}=2$ (deux doigts de grille), la configuration d'une cellule du dispositif est (S/G/D/G/S), et le seul doigt de drain étant situé au milieu, il n'y a pas de chemin direct entre le doigt de drain et la prise caisson. On observe alors une forte valeur résistive. En revanche, si $N_{fing}=1$ (un seul doigt de grille), la configuration est (S/G/D), et il existe un chemin direct qui se traduit électriquement par une résistance pure, que l'on nomme R_{bpd} .

3.2.3.3 Admittance d'entrée : $Y_{sub11}+Y_{sub12}$

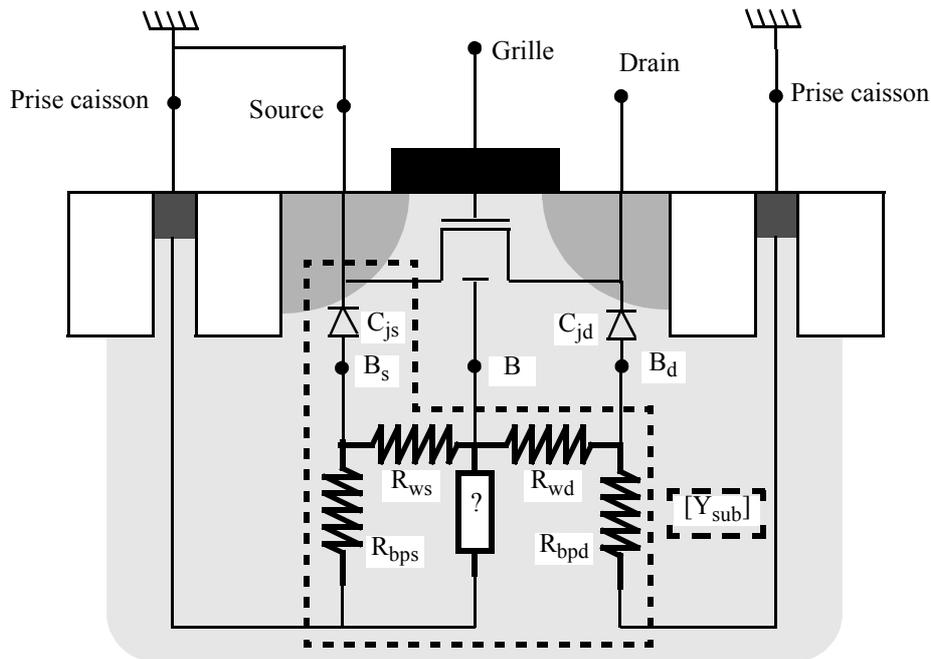


Figure 3-16 : schéma éclaté du réseau substrat du MOSFET.

Le dernier élément de $[Y_{sub}]$ est $(Y_{sub11}+Y_{sub12})$. Cet élément est *a priori* plus complexe, car outre le chemin du nœud de body à la prise caisson, il inclut le nœud de source. De manière à simplifier le problème, on utilise les propriétés de symétrie du MOSFET pour faire l'hypothèse que la topologie du réseau substrat est également symétrique (Figure 3-16) ; on peut notamment supposer que $R_{wd}=R_{ws}$. Il est toutefois important de souligner que si la symétrie du transistor implique celle du réseau, le layout du dispositif n'étant pas forcément symétrique, il n'y a pas de raison d'avoir $R_{bps}=R_{bpd}$. Pour l'analyse qui va suivre, on note :

$$Z_b = \frac{1}{Y_{sub11} + Y_{sub12}} \quad (3-6)$$

Par ailleurs, notre connaissance à ce stade du réseau substrat nous permet de dresser un schéma équivalent pour Z_b :

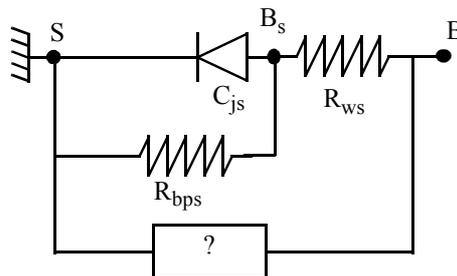


Figure 3-17 : Schéma équivalent de $Z_b=[Y_{sub11}+Y_{sub12}]^{-1}$.

La Figure 3-18 et la Figure 3-19 nous renseignent sur la topologie de Z_b .

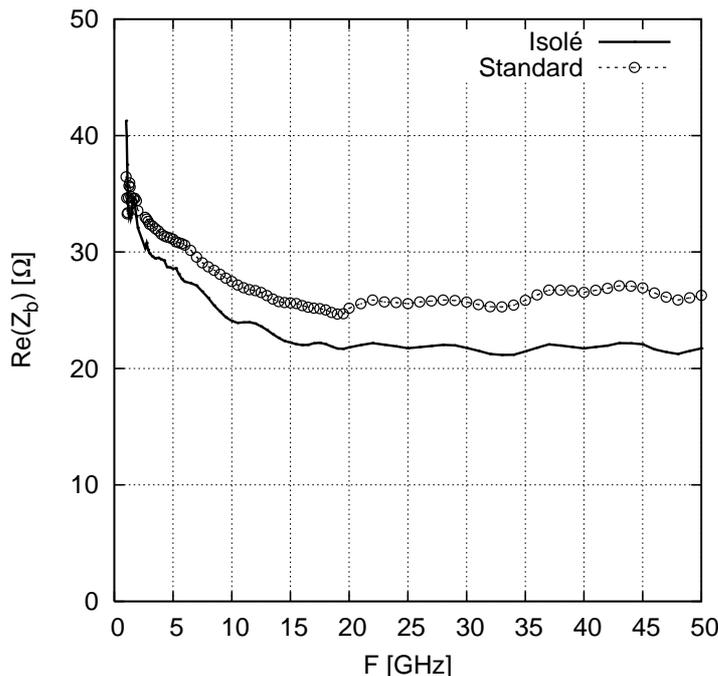


Figure 3-18 : $Re(Z_b)$ pour $L_g=1.0\mu m$ et $N_{fing}=2$ en technologie 130nm, à $V_{GS}=0V$ et $V_{DS}=0.6V$.

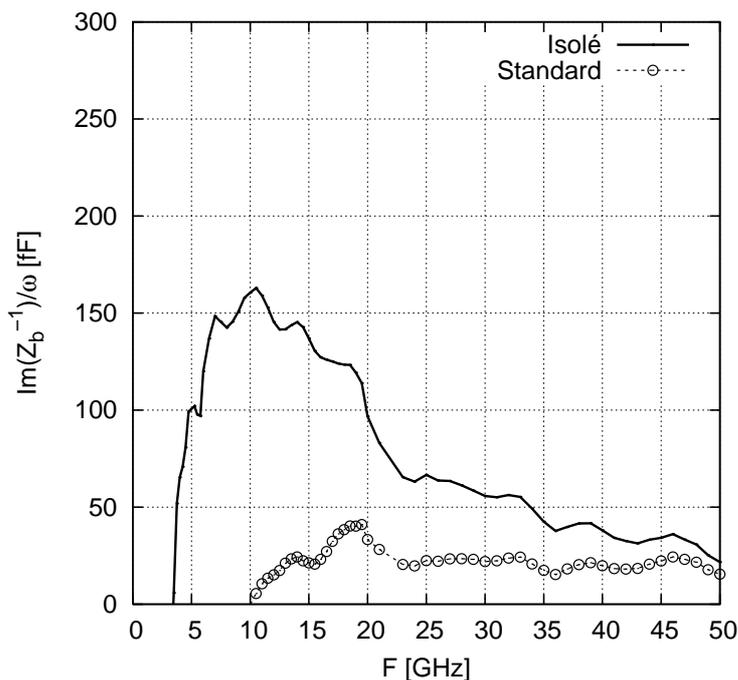


Figure 3-19 : $Im((Z_b)^{-1})/\omega$ pour $L_g=1.0\mu m$ et $N_{fing}=2$ en technologie 130nm, à $V_{GS}=0V$ et $V_{DS}=0.6V$.

Observons dans un premier temps la courbe, associée au dispositif standard, de la Figure 3-18. Pour $f < 20GHz$ on retrouve un comportement typique d'une résistance et d'une capacité placées en parallèle, puis $Re(Z_b)$ tend vers une valeur constante. On retrouve là la signature de la cellule $R_{bps}-C_{js}$ (voir Figure 3-17), alors qu'à haute fréquence, la capacité de jonction source se comportant comme un court-circuit, il ne reste que R_{ws} . Mais la valeur de $Re(Z_b)$ pour $f > 20GHz$ est tout de même inférieure à R_{ws} (voir Figure 3-14), ce qui traduit la présence d'une

résistance en parallèle entre B et la prise caisson. Il existe donc un chemin purement résistif (qu'on nomme R_{wb}) entre le nœud de bulk intrinsèque et la prise caisson.

Dans un deuxième temps, intéressons-nous à la courbe, associée au dispositif isolé, de la Figure 3-18. L'allure de la courbe est similaire à celle du dispositif non isolé, mais la valeur vers laquelle tend $Re(Z_b)$ est inférieure. Par rapport au dispositif non isolé, il existe donc un chemin résistif supplémentaire pour le signal. On peut raisonnablement supposer qu'il s'agit de la couche d'isolation, étant donné qu'il s'agit là de la seule différence entre les deux dispositifs étudiés. La résistance associée est dénommée R_{iso} . L'hypothèse d'un éventuel chemin à travers le substrat est écartée car dans la mesure où la couche N_{iso} est fortement dopée, elle est bien meilleure conductrice que le substrat.

La Figure 3-19 met clairement en évidence, dans le cas du dispositif isolé, la présence d'une capacité en parallèle de la jonction source. Là encore, cette capacité ne peut que provenir de la couche d'isolation. Il s'agit donc de la capacité de jonction entre le caisson P et la couche d'isolation N, qu'on dénomme C_{iso} .

Dans le cas de dispositifs munis d'une prise caisson entourante, on observe, comme illustré par la Figure 3-20, que Z_b se comporte comme $1/L_g$. Ceci suggère l'existence d'un chemin résistif pour le signal le long de la largeur des doigts de grille.

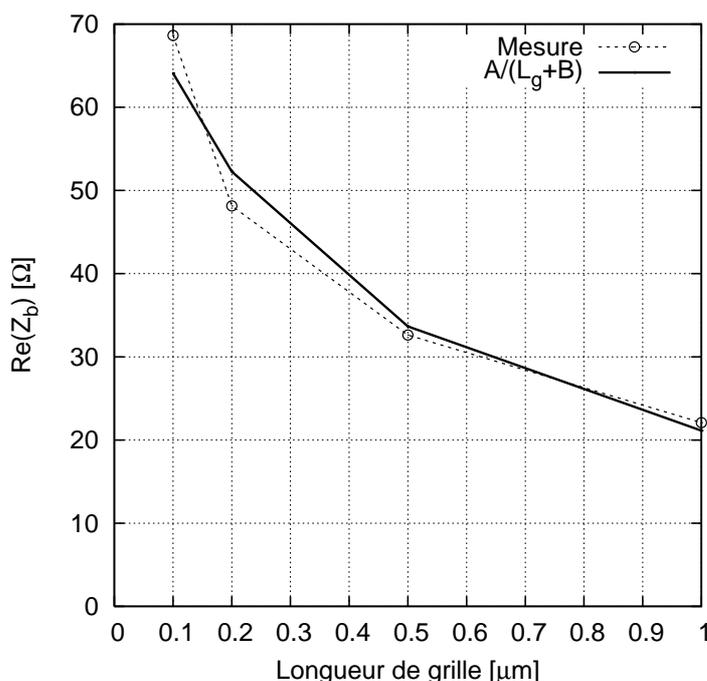


Figure 3-20 : $Re(Z_b)$ en technologie 65nm (dispositifs à prise caisson entourante) ; ici $A=28.3\Omega\cdot\mu m$ et $B=0.34\mu m$, à $V_{GS}=0V$ et $V_{DS}=0.6V$.

3.2.3.4 Schéma équivalent de $[Y_{sub}]$

Au regard des éléments révélés au cours de cette analyse, il est possible d'établir un schéma équivalent du réseau substrat. Une solution envisageable est proposée en Figure 3-21.

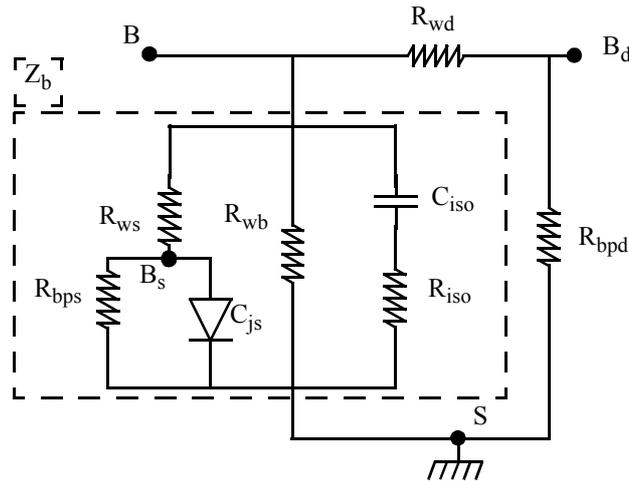


Figure 3-21 : Un schéma équivalent possible pour $[Y_{sub}]$.

Les éléments de ce schéma dépendent des dimensions et du layout du dispositif.

3.3 Simulation

Le modèle établi est basé sur le schéma équivalent de la Figure 3-21.

3.3.1 Construction du modèle

Afin de simuler le dispositif complet, on rajoute autour du quadripôle simulant le réseau substrat et représenté par $[Y_{sub}]$, les capacités C_{gb} et C_{jd} , puis tous les éléments parasites.

Lors de l'extraction, R_{ws} et R_{wd} sont données pour une largeur de grille donnée. Or, le dispositif est constitué de N_c cellules de N_f doigts chacune. Pour tenir compte du layout (la largeur totale de la grille peut être répartie de différentes façons), R_{ws} et R_{wd} sont donc normalisées par rapport au nombre de total de doigts du dispositif (c'est-à-dire la grandeur $N_c \times N_f$). De même, R_{bps} et R_{bpd} sont normalisées par rapport à N_c . C_{iso} et R_{iso} ne sont pas normalisées car la prise N_{iso} entoure toutes les cellules.

En premier lieu, la valeur de R_{wd} est calée sur $[\text{Re}(-Y_{sub12})]^{-1}$.

Ensuite, pour la détermination des éléments composants Z_b , on suppose $R_{wd} = R_{ws}$. Alors, dans le cas d'un dispositif non isolé, Z_b se ramène au schéma de la Figure 3-22.

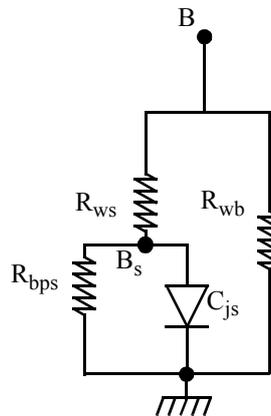


Figure 3-22 : Impédance Z_b dans le cas d'un dispositif non isolé.

En haute fréquence, l'impédance de C_{js} est très faible (la Figure 3-18 montre la signature de la cellule $R_{bps}-C_{js}$), court-circuitant R_{bps} . La valeur de R_{ws} étant connue, on peut en déduire R_{wb} :

$$Re[Z_b]_{|HF} = \frac{R_{ws} \cdot R_{wb}}{R_{ws} + R_{wb}} \quad (3-7)$$

Alors :

$$R_{wb} = \frac{R_{ws} \cdot Re[Z_b]_{|HF}}{R_{ws} - Re[Z_b]_{|HF}} \quad (3-8)$$

En basse fréquence, C_{js} se comporte comme un circuit ouvert en parallèle de R_{bps} . Grâce aux valeurs de R_{wb} et R_{ws} , on peut connaître R_{bps} :

$$Re[Z_b]_{|BF} = \frac{R_{wb} \cdot (R_{ws} + R_{bps})}{R_{ws} + R_{wb} + R_{bps}} \quad (3-9)$$

$$R_{bps} = \frac{R_{ws} \cdot R_{wb} - (Re[Z_b]_{|BF} \cdot (R_{ws} + R_{bps}))}{Re[Z_b]_{|BF} - R_{wb}} \quad (3-10)$$

Enfin, la valeur de R_{bpd} est calée sur $[Re(Y_{sub22} + Y_{sub12})]^{-1}$.

3.3.2 Comparaison simulation/mesure

Les grandeurs observées sont les capacités totales C_{GG} (capacité totale vue de la grille), C_{GD} (capacité grille-drain) et C_{BD} (capacité drain-substrat), qui sont respectivement définies comme :

$$C_{GG} = -\frac{1}{\omega} \cdot \left(Im \left[\frac{1}{Y_{11}} \right] \right)^{-1} \quad (3-11)$$

$$C_{GD} = \frac{1}{\omega} \cdot \left(Im \left[\frac{1}{Y_{12}} \right] \right)^{-1} \quad (3-12)$$

$$C_{BD} = \frac{1}{\omega} \cdot \left(Im \left[\frac{1}{Y_{22} + Y_{12}} \right] \right)^{-1} \quad (3-13)$$

Les grandeurs que sont les mesures de C_{GG} et C_{BD} incluent un chemin par le substrat, dû au retour à la masse. La mesure de C_{GD} peut également être affectée par le substrat.

Les grandeurs définies par (3-11), (3-12) et (3-13) permettent donc de mettre en évidence les effets du substrat et de valider le modèle.

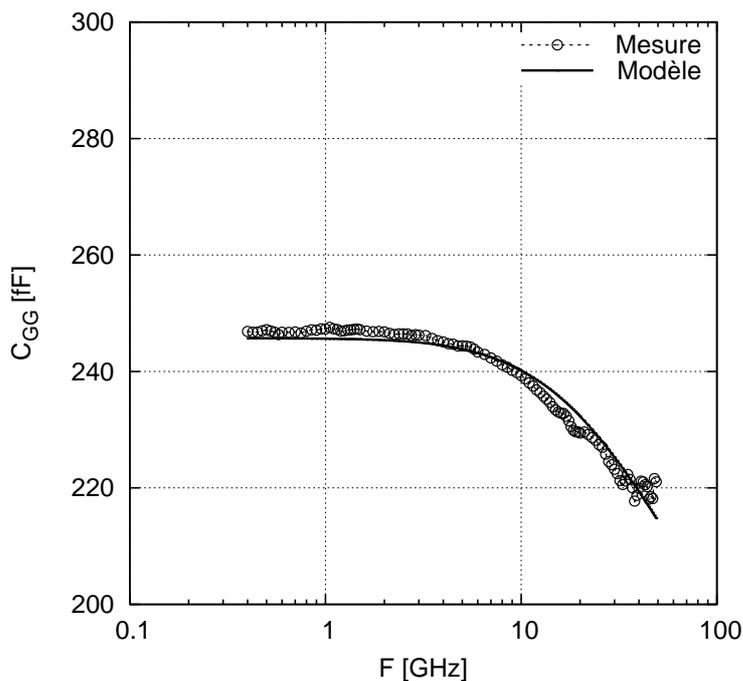


Figure 3-23 : Capacité C_{GG} à $V_{GS}=V_{DS}=0$ en technologie 130nm, sur un dispositif isolé avec $N_f=1$ et $L_g = 1.0\mu\text{m}$.

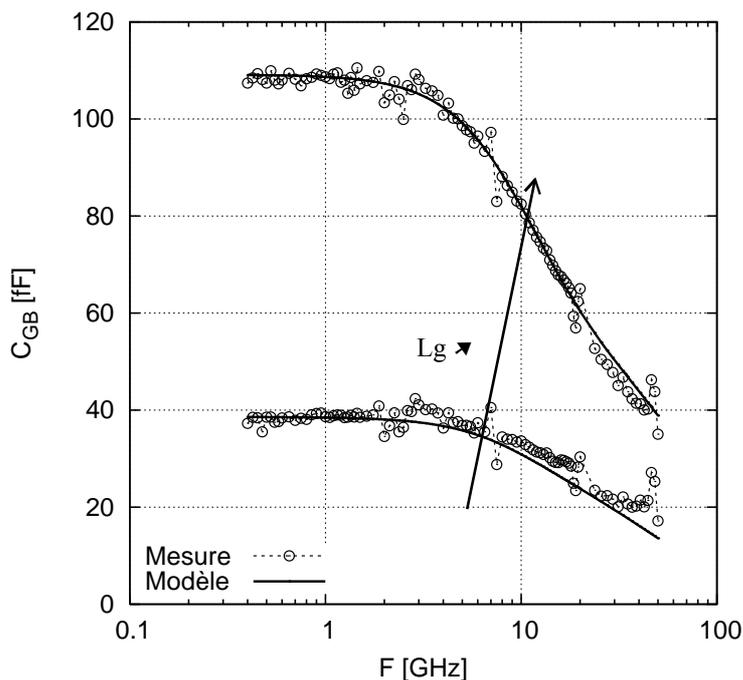


Figure 3-24 : Capacité C_{GB} à $V_{GS}=0$ et $V_{DS}=0.6$ en technologie 65nm, avec $L_g=0.2$ et $0.5\mu\text{m}$.

La Figure 3-23 et la Figure 3-24 montrent la mesure de la capacité totale vue de la grille en technologie 130nm et celle de la capacité grille-substrat en technologie 65nm. A basse fréquence, la mesure tend vers une valeur constante qui est la capacité totale vue de la grille dans ces conditions de polarisation (i.e. la capacité de déplétion, avec, en parallèle, les capacités parasites grille-source et grille-drain). A plus haute fréquence, on retrouve un comportement fréquentiel dû au réseau substrat.

Notons que ce comportement, même s'il en a l'allure, ne provient pas d'un R-C série. Comme l'indique (3-11), C_{GG} est observée ici comme une capacité série, la contribution d'une résistance en série avec C_{GG} (en particulier la résistance de polysilicium de grille) n'apparaît donc pas.

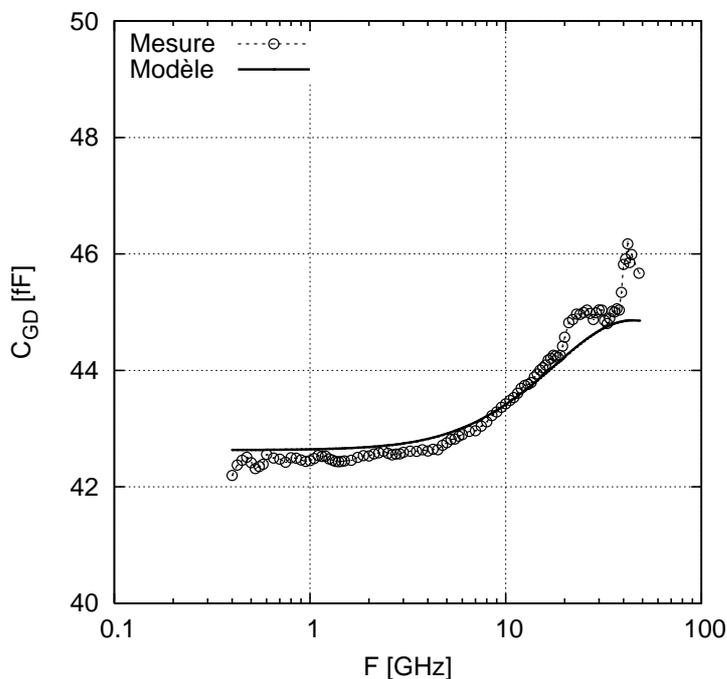


Figure 3-25 : Capacité C_{GD} à $V_{GS}=V_{DS}=0$ en technologie 130nm, sur un dispositif isolé avec $N_f=1$ et $L_g = 1.0\mu\text{m}$.

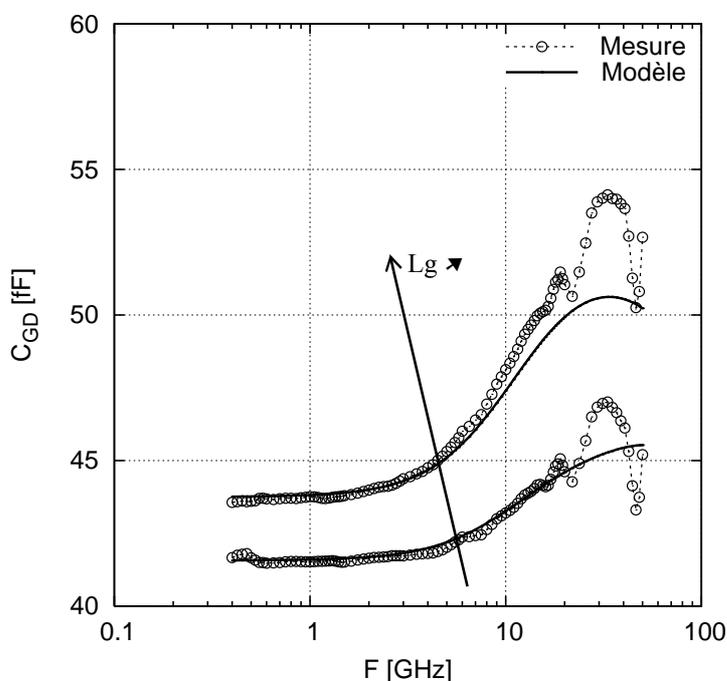


Figure 3-26 : Capacité C_{GD} à $V_{GS}=0$ et $V_{DS}=0.6$ en technologie 65nm, avec $L_g=0.2$ et $0.5\mu\text{m}$.

La Figure 3-25 et la Figure 3-26 montrent la capacité C_{GD} dans les mêmes conditions que précédemment. A basse fréquence, la mesure tend vers la capacité grille-drain parasite

(composée des capacités de recouvrement et de bord), la capacité grille-drain intrinsèque étant nulle.

La croissance observée à haute fréquence trahit l'existence de deux chemins distincts entre le drain et la grille. En effet, C_{GD} est extraite de Y_{12} , c'est-à-dire de la mesure du courant de grille lorsque le drain est excité en tension. Le premier chemin d'entre eux passe par C_{gdext} ; alors que lorsqu'il emprunte le second, le signal passe par la capacité de jonction drain et retourne vers la grille par la capacité de déplétion.

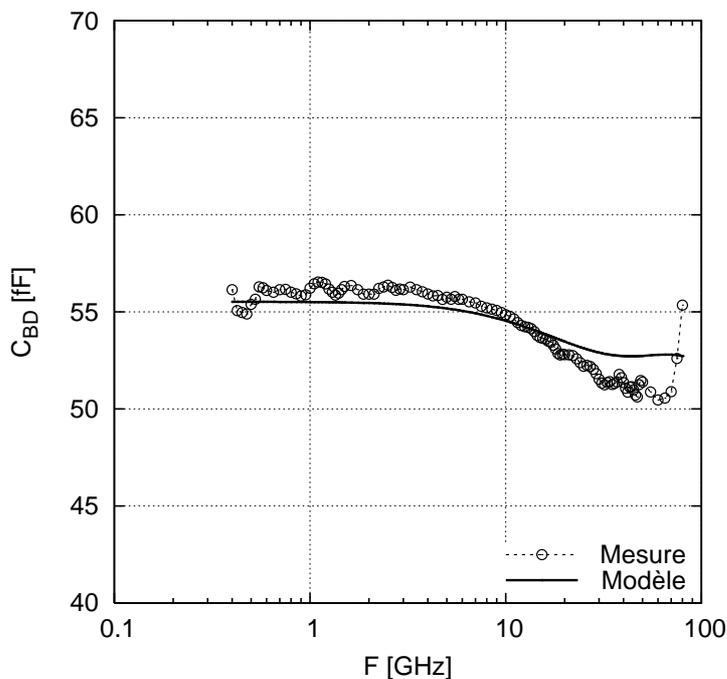


Figure 3-27 : Capacité C_{BD} à $V_{GS}=V_{DS}=0$ en technologie 130nm, sur un dispositif isolé avec $N_f=1$ et $L_g = 1.0\mu m$.

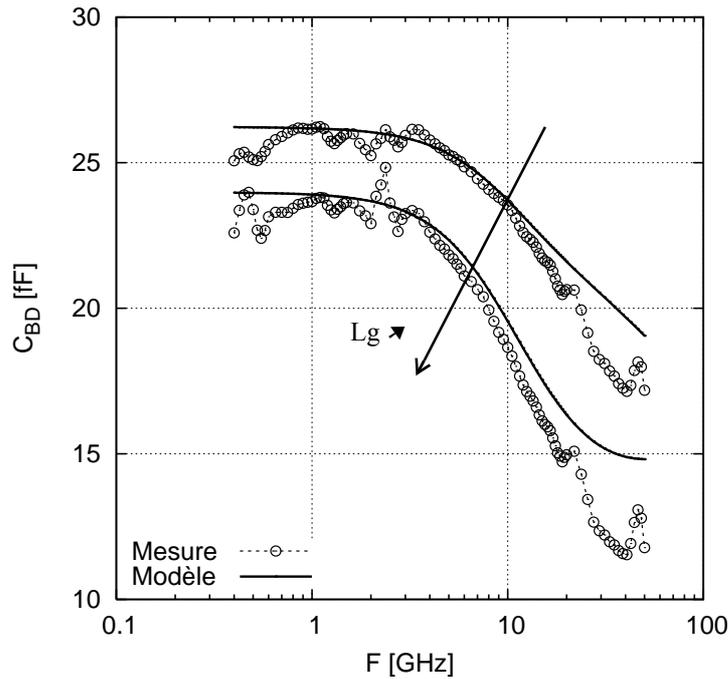


Figure 3-28 : Capacité C_{BD} à $V_{GS}=0$ et $V_{DS}=0.6$ en technologie 65nm, avec $L_g=0.2$ et $0.5\mu m$.

Sur la Figure 3-27 et la Figure 3-28, qui montrent la capacité C_{BD} , on retrouve un comportement similaire de type R-C. Cette mesure fait apparaître trois capacités : C_{dsmet} , C_{jd} et C_{js} , toutes trois reliées dans un schéma complexe par les résistances qui constituent le réseau.

3.3.3 Cas particulier des dispositifs très longs

La Figure 3-9 montre que dans le cas du dispositif le plus long ($L_g=5.0\mu m$ en technologie 130nm), des effets distribués sont observables sur la mesure de C_{gb} , qui ne peut alors pas être considérée comme un élément localisé.

Il est possible de tenir compte, dans le modèle, de ces effets. La topologie du réseau reste la même (Figure 3-21) ; mais la capacité C_{gb} est incluse dans le modèle en raison de son caractère distribué qui fait qu'elle ne peut être dissociée des chemins résistifs sous le canal. On utilise dans ce cas un modèle basé sur la théorie des lignes de transmissions (voir Annexe G).

Afin de garder un accès au nœud de body, comme le montre la Figure 3-29, on utilise deux quadripôles, basés sur les équations (3-14) à (3-17) :

- Côté source, reliant la grille, le body et le nœud B_s . Dans ce quadripôle, le port 1 est défini comme étant G ; le port 2 est défini comme étant B et la masse est définie comme étant B_s .
- Côté drain, reliant la grille, le body et le nœud B_d . Dans ce quadripôle, le port 1 est défini comme étant G ; le port 2 est défini comme étant B et la masse est définie comme étant B_d .

$$Y_{11} = j \cdot C \cdot \omega \cdot \frac{\tanh(\gamma/2)}{\gamma/2} \quad (3-14)$$

$$Y_{12} = \frac{j \cdot C \cdot \omega}{2} \cdot \frac{\tanh(\gamma/2)}{\gamma/2} \quad (3-15)$$

$$Y_{22} = \frac{1}{R} \cdot \frac{\gamma}{\tanh(\gamma)} \quad (3-16)$$

avec :

$$R = R_{ws(d)}$$

$$C = \frac{C_{gb}}{2}$$

$$\gamma = \sqrt{j \cdot R \cdot C \cdot \omega}$$
(3-17)

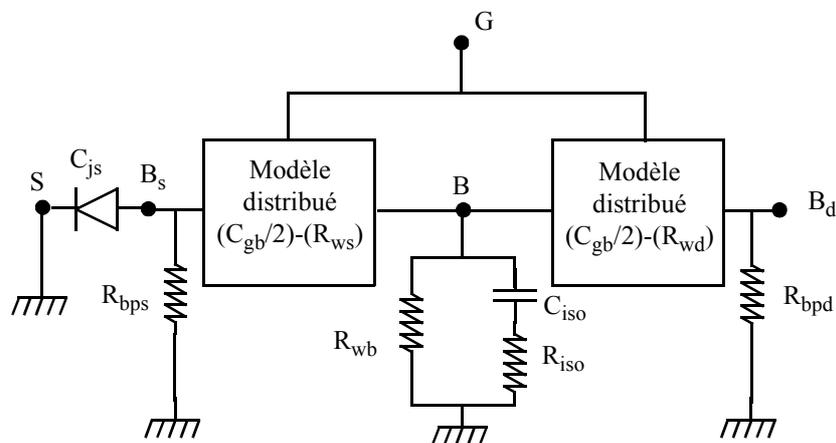


Figure 3-29 : Topologie du réseau substrat dans le cas de dispositifs très longs.

Le modèle ainsi élaboré est validé en observant les mêmes grandeurs que pour les dispositifs plus courts. On retrouve le même type d'effets, à la différence près qu'ils sont là beaucoup plus marqués. La Figure 3-30, la Figure 3-31 et la Figure 3-32 montrent que ce modèle permet une très bonne prise en compte des effets substrat et distribués.

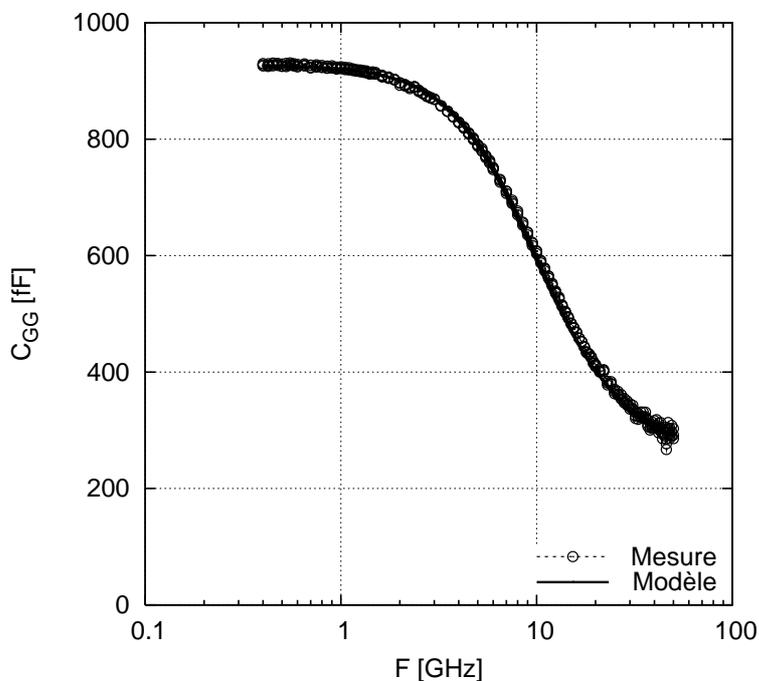


Figure 3-30 : Capacité C_{GG} à $V_{GS}=0$ et $V_{DS}=0, 0.6$ et $1.2V$ en technologie 130nm, avec $L_g=5.0\mu m$.

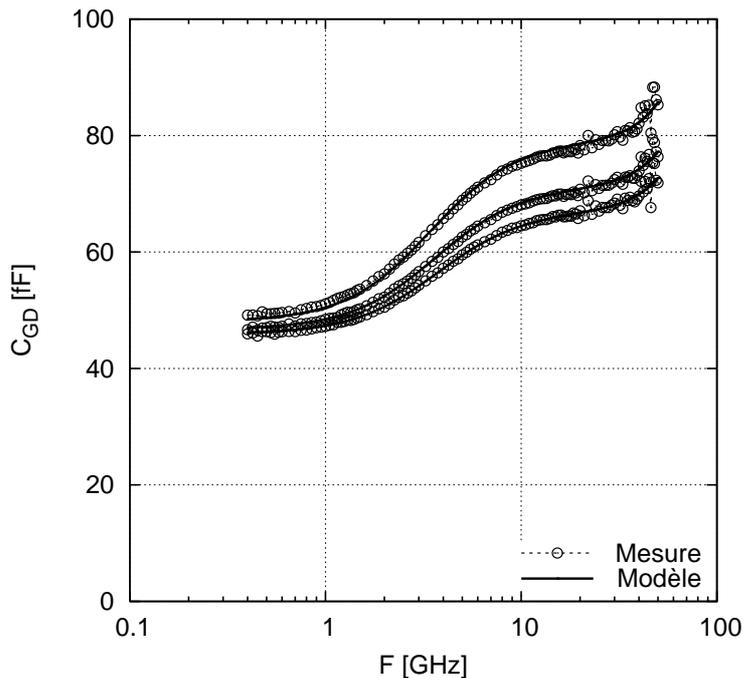


Figure 3-31 : Capacité C_{GD} à $V_{GS}=0$ et $V_{DS}=0, 0.6$ et $1.2V$ en technologie 130nm, avec $L_g=5.0\mu m$.

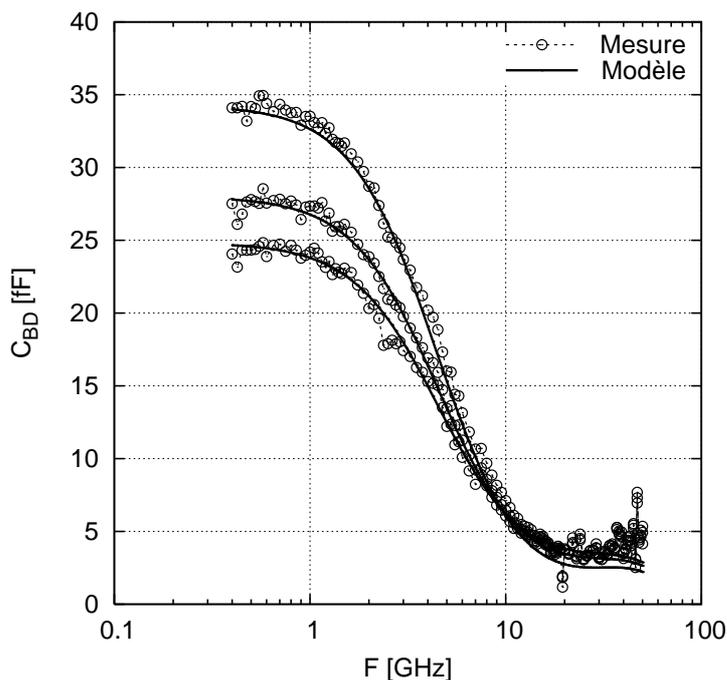


Figure 3-32 : Capacité C_{BD} à $V_{GS}=0$ et $V_{DS}=0, 0.6$ et $1.2V$ en technologie 130nm, avec $L_g=5.0\mu m$.

3.4 Limitations de la méthode

3.4.1 Que regarde-t-on vraiment ?

3.4.1.1 Cas des dispositifs courts

Observons la Figure 3-33. Elle représente la résistance totale vue de la grille d'un dispositif de longueur de grille nominale en technologie 130nm, en régimes de déplétion et d'inversion

forte.

A la longueur de grille nominale, la contribution du canal est quasiment négligeable au regard de la valeur de la résistance de grille ; par conséquent, la résistance totale vue de la grille est presque entièrement égale à la résistance du polysilicium de grille.

La différence entre les deux courbes de la Figure 3-33 correspond donc à la différence entre la contribution du canal et celle du substrat. Or cette différence entre les deux courbes est inférieure à 1Ω . La contribution du substrat est donc très faible et très probablement affectée par le bruit de mesure. Dès lors, il devient compliqué, dans ces conditions, d'extraire un schéma équivalent correct.

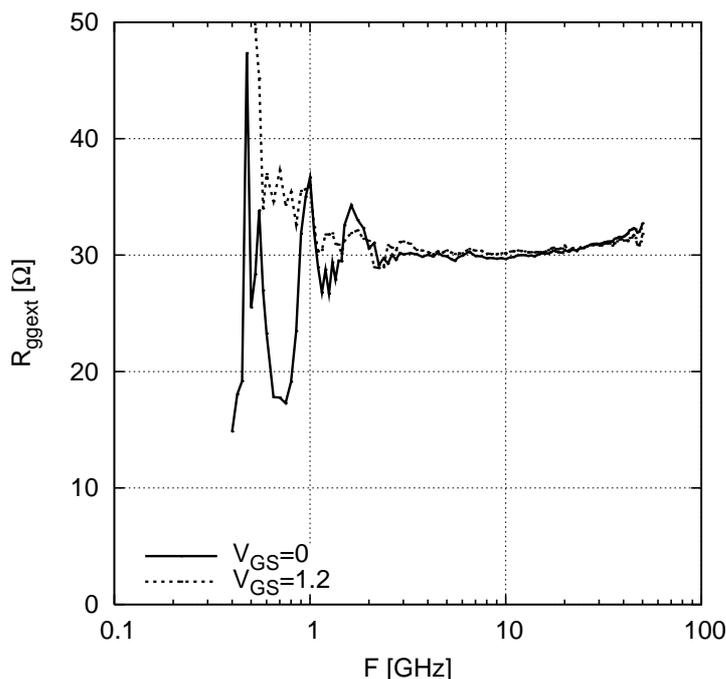


Figure 3-33 : Résistance totale vue de la grille en technologie 130nm, à la longueur de grille nominale.

3.4.1.2 Sensibilité des mesures du substrat aux étapes d'épluchage du transistor

Dans le cadre de l'analyse effectuée au paragraphe 3.2.2, un certain nombre d'étapes est nécessaire pour atteindre le réseau substrat. Ayant été préalablement analysés et modélisés, les éléments du transistor qui entourent le substrat sont alors progressivement retirés à la mesure. Ainsi, une erreur sur le modèle d'un de ces éléments implique que le résultat consécutif à l'étape concernée est erroné, et il en va au final de même pour les mesures du substrat.

La Figure 3-34 et la Figure 3-35 montrent l'effet sur les parties réelles de $Y_{\text{sub}11}$ et $Y_{\text{sub}22}$ d'une erreur de $\pm 5\%$ sur la valeur de la résistance de grille. Elles montrent l'importance d'une bonne extraction de la valeur des éléments parasites du dispositif, mais également que l'analyse du substrat donne des résultats dont on sait qu'ils peuvent être discutables.

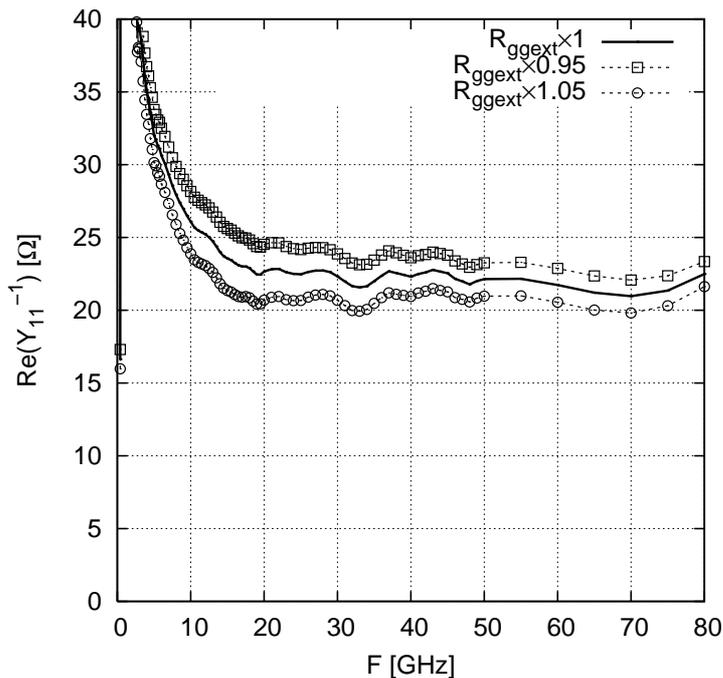


Figure 3-34 : Effet sur Y_{sub11} d'une erreur de $\pm 5\%$ sur la valeur de la résistance de grille, en technologie 130nm avec $L_g=1\mu m$ et $V_{GS}=V_{DS}=0V$.

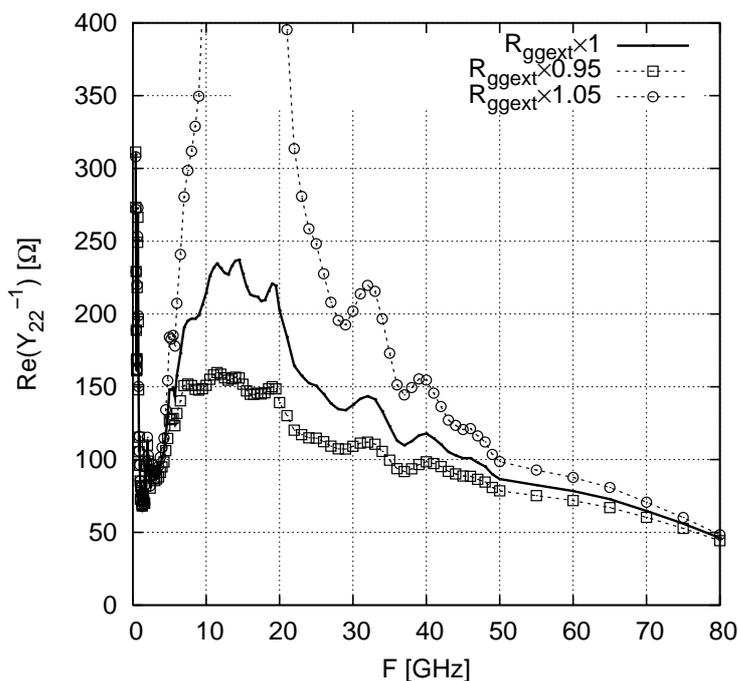


Figure 3-35 : Effet sur Y_{sub22} d'une erreur de $\pm 5\%$ sur la valeur de la résistance de grille, en technologie 130nm avec $L_g=1\mu m$ et $V_{GS}=V_{DS}=0V$.

3.4.1.3 Dépendance géométrique

Une des difficultés du modèle réside dans les lois géométriques qui régissent les éléments du schéma équivalent.

Comme on l'a vu, les éléments qui composent le modèle dépendent fortement du layout.

L'analyse et la modélisation du substrat reposent sur le fait que le caisson 3D d'un dispositif interdigité constitué de plusieurs cellules au caisson 2D d'un dispositif constitué d'une seule cellule et d'un seul doigt de grille. L'analyse est correcte, mais cette hypothèse de départ conduit à modéliser, à l'aide d'un élément, plusieurs chemins dont les dépendances géométriques sont différentes. Il est donc difficile d'extraire des lois géométriques sans passer par une étude au cas par cas. Par exemple, l'élément R_{wb} dépend des dimensions du dispositif, mais aussi du type de prise caisson utilisé (dans le cas d'une prise entourante, il existe une dépendance en $1/L_g$ comme le montre la Figure 3-20).

3.4.2 Effets distribués

Pour la modélisation RF, les parties intrinsèque et parasites du MOSFET sont généralement dissociées et modélisées l'une à part de l'autre. Or, la prise en compte des effets distribués dans le substrat nécessite de mettre dans le même modèle la capacité C_{gb} (élément intrinsèque) et les résistances R_{wd} et R_{ws} (éléments extrinsèques).

Il est facile de tenir compte de ces effets grâce à un schéma équivalent du dispositif complet en mode OFF, car la partie intrinsèque du transistor est alors réduite à la capacité C_{gb} . C'est moins évident dans les conditions de fonctionnement du MOSFET (V_{GS} et V_{DS} non nulles), pour lesquelles on ne peut pas dissocier C_{gb} du reste pour la mettre avec le substrat.

Une solution consisterait à utiliser un modèle compact segmenté qui tiendrait alors compte de la nature distribuée de la partie intrinsèque (et des effets non quasi-stationnaires) et, pour chaque segment, un modèle de substrat à éléments localisés.

3.5 Conclusion

Le travail décrit dans ce chapitre montre une nouvelle méthodologie de modélisation du substrat du transistor MOS en RF. Cette méthode, basée sur la mesure, peut être appliquée à n'importe quelle technologie et n'importe quel layout.

Dans la littérature, le réseau substrat est le plus souvent extrait de l'admittance de sortie du dispositif. Or, l'observation des mesures et l'étude développée en parallèle dans l'Annexe C montrent que $\text{Re}(Y_{12})$ est un indicateur tout autant révélateur des effets du substrat, en particulier à basse fréquence.

Cette méthode permet d'aboutir à un modèle dont la topologie est proche de ce qui peut être proposé par BSIM4.6. Cependant, et à la différence des modèles compacts en général, ce modèle est associé à une méthodologie d'extraction, ce qui permet de déterminer la valeur des éléments qui le composent.

La méthodologie développée permet en outre de mettre en évidence, et de prendre en compte, des effets du second ordre tels que des effets distribués dans le substrat ou l'influence de l'isolation du dispositif, le cas échéant. En particulier, l'isolation du caisson a pour conséquence d'augmenter la résistance du chemin dans le substrat à basse fréquence, et de la diminuer à plus haute fréquence. Quant aux effets distribués, ils doivent être pris en compte pour les dispositifs très longs.

Toutefois, il doit être souligné que les grandeurs pertinentes pour l'analyse du substrat sont observées à partir de mesures desquelles les effets prépondérants du MOSFET ont été retirés. Il n'est donc pas aisé de faire la part entre les effets observés imputables au substrat d'une part, et d'autre part, les incertitudes liées aux étapes de calcul successives qui permettent d'accéder au substrat.

3.6 Références

- [1] E. Bouhana, P. Scheer, S. Boret, D. Gloria, G. Dambrine, M. Minondo and H. Jaouen, "Analysis and modeling of substrate impedance network in RF CMOS", 2006 IEEE International Conference on Microelectronic Test Structures, pp 65-70, Mar. 2006.
- [2] Y. Cheng and M. Matloubian, "On the High-Frequency Characteristics of Substrate Resistance in RF MOSFETs", IEEE EDL, vol. 21, no. 12, p. 604-606, Dec. 2000.
- [3] H. Hjelmgren and A. Litwin, "Small-signal substrate resistance effect in RF CMOS identified through device simulations", IEEE TED, vol. 48, no. 2, p. 397-399, Feb. 2001.
- [4] Y. Cheng and M. Matloubian, "Parameter extraction of accurate and scaleable substrate resistance components in RF MOSFETs", IEEE EDL, vol. 23, no. 4, p. 221-223, Apr. 2002.
- [5] J. Han, M. Je and H. Shin, "A simple and accurate method for extracting substrate resistance of RF MOSFETs", IEEE EDL, vol. 23, no. 7, p. 434-436, Jul. 2002.
- [6] M. Je and H. Shin, "Gate bias dependence of the substrate coupling effect in RF MOSFETs", IEEE EDL, vol. 24, no. 3, p. 183-185, Mar. 2003.
- [7] J. Han and H. Shin, "A scalable model for the substrate resistance in multi-finger RF MOSFETs", 2003 IEEE MTT-S International Microwave Symposium Digest, vol. 3, p. 2105-2108, 2003.
- [8] R.T Chang, Y. Ming-Ta, P.P.C Ho, W. Yo-Jen Wang, C Yu-Tai, L. Boon-Khim, C.P Yue and S.S Wong, "Modeling and optimization of substrate resistance for RF-CMOS", IEEE TED, vol. 51, no. 3, p. 421-426, Mar. 2004.
- [9] W. Liu, R. Gharpurey, M.C Chang, U. Erdogan, R. Aggarwal and J.P Mattia, "RF MOSFET modeling accounting for distributed substrate and channel resistances with emphasis on the BSIM3v3 SPICE model", IEDM97, Technical Digest, p. 309-312, Dec. 1997.
- [10] J.-J. Ou, X. Jin, I. Ma, C. Hu and P. R. Gray, "CMOS RF modeling for GHz communication IC's", 1998 VLSI Technology Symposium, Digest of Technical Papers, pp. 94-95, Jun. 1998.
- [11] Y. Tsvividis, "Operation and Modeling of The MOS Transistor", Oxford University Press, Second Edition, 1999.
- [12] D.A. Frickey, "Conversions between S, Z, Y, H, ABCD, and T parameters which are valid for complex source and load impedances", IEEE Transactions on Microwave Theory and Techniques, vol. 42, no. 2, p. 205-211, Feb. 1994.
- [13] C. Enz and Y. Cheng, "MOS transistor modeling for RF IC design", IEEE Solid-State Circuits, vol. 35, no. 2, p. 186-201, Feb. 2000.
- [14] Y. Cheng, M. Schroter, C. Enz, M. Matloubian and D. Pehlke, "RF modeling issues of deep-submicron MOSFETs for circuit design", Proc. IEEE ICSICT98, p. 416-419, Oct. 1998.

Conclusion générale

1. Synthèse

Le MOSFET est un transistor de plus en plus utilisé pour la conception de circuits RF. Pour répondre aux besoins des concepteurs, les modèles doivent pouvoir reproduire efficacement le comportement des dispositifs dans le domaine des hautes fréquences.

Une analyse de la partie extrinsèque du MOSFET a mis en évidence l'importance de l'influence des éléments parasites du dispositif sur ses caractéristiques RF. En particulier, les capacités de grille extrinsèques affectent fortement la rapidité du transistor, puisque pour les technologies les plus récentes, elles représentent de deux à trois fois la capacité intrinsèque de grille, c'est-à-dire la seule qui "pilote" le dispositif. La résistance du polysilicium de grille a un impact fondamental sur les performances de transfert de puissance du transistor ; enfin, ces performances sont également perturbées par le réseau substrat d'une façon moins évidente à appréhender, mais néanmoins significative.

Le problème posé par ces éléments en l'état actuel de la modélisation RF du transistor MOS est qu'aujourd'hui, le MOSFET est pensé en termes d'applications numériques, et il s'agit moins de modéliser le transistor que d'adapter un modèle déjà existant et répondant à des contraintes différentes. Aucun modèle compact ne permet de tenir correctement compte des éléments extrinsèques, en particulier la résistance de grille et le réseau substrat. Seules les dernières versions de BSIM4 proposent des lois géométriques pour ces éléments, mais elles sont très empiriques. Pour les autres modèles, la dépendance géométrique est laissée à l'extracteur (nous avons cependant vu qu'établir des lois géométriques pour les éléments extrinsèques n'est pas évident).

Les travaux présentés dans ce manuscrit proposent une nouvelle méthodologie d'analyse et d'extraction des éléments extrinsèques, basée sur la mesure. Le choix de décortiquer le transistor en partant de dispositifs caractérisés par une analyse progressive de leur mesure a permis d'étudier chacun de ses éléments, de les restituer dans le MOSFET et de voir leurs impacts respectifs sur le comportement du dispositif. De plus, des effets généralement occultés, tels que l'influence de l'isolation du transistor sur le réseau substrat, ont été mis en évidence.

Cette méthodologie a vocation à s'appliquer à tous les dispositifs MOS de toutes les technologies que peut concevoir un fabricant de semiconducteurs. Ceci est particulièrement important dans le cas du réseau substrat, car cet élément est très dépendant du layout et de la technologie. Une attention particulière doit être portée aux grandeurs qui portent la "signature" d'effets extrinsèques, comme la partie réelle de Y_{12} pour un MOSFET monté en source commune.

2. Perspectives

2.1 Le futur de la modélisation

Le MOSFET devient de plus en plus petit. La fin de la loi de Moore s'approche, si l'on en juge par le nombre de cases rouges "Manufacturable Solutions are NOT Known" dans les rapports de l'ITRS, lequel nombre augmente chaque année.

Chaque génération technologique apporte son lot de nouveaux effets de petite géométrie. Les effets les plus récents, comme ceux dits de WPE ou dus aux contraintes du silicium laissent à penser que le MOSFET ne doit plus être abordé en tant que composant isolé ; il est en réalité

de plus en plus indissociable de son environnement. La réalisation physique du transistor doit être prise en compte, sans quoi le modèle risque soit d'être faux ou insuffisant, soit d'imposer l'extraction de paramètres dénués de sens.

Le modèle ne doit pas seulement reproduire au mieux le comportement du dispositif ; il doit aussi donner les limites d'utilisation du dispositif. Il doit être une représentation du dispositif dans sa globalité.

Dans cette optique, le modèle doit évidemment avoir une base physique solide, car c'est ce qui conditionne notamment le nombre de ses paramètres et la complexité de la procédure d'extraction. Mais le point fondamental est que le modèle doit être un tout, donnant des résultats précis et capable de reproduire la réalité d'un dispositif dont les dimensions sont de l'ordre de la dizaine de nanomètres.

Pour les applications RF, l'essentiel des circuits RF réalisés en technologie MOS ne dépasse pas 10GHz. Pour des applications futures, les modèles devront donc être précis à des fréquences plus élevées. Les effets extrinsèques devront alors être rigoureusement pris en compte, et les effets de distribution devront être modélisés d'une façon nouvelle.

2.2 Les performances RF des technologies futures

L'environnement du transistor inclut évidemment sa partie extrinsèque. Quelle sera alors l'évolution de l'impact du dispositif extrinsèque pour les technologies à venir ?

La résistance de grille devrait logiquement augmenter avec la réduction de la longueur de grille, à moins que la solution de grilles entièrement métalliques ne soit adoptée.

Les capacités de recouvrement devraient elles aussi augmenter, en raison de la réduction des dimensions et de la difficulté à contrôler la longueur de la zone de recouvrement. Les capacités métalliques de bord augmenteront également : à chaque nœud technologique, les contacts se rapprochent du polysilicium de grille. La contribution de ces capacités dans la capacité totale de la grille ne fait qu'augmenter et il est peu probable que cela change.

Les capacités de jonction resteront au mieux constantes, car la part de la composante du canal dans cet élément est de plus en plus prépondérante. De ce point de vue, la technologie SOI n'offre donc pas de réelle alternative.

Quant au substrat, sa dépendance vis-à-vis du layout et de la technologie est telle, qu'essayer de juger de son évolution n'est pas très pertinent. Seul le choix du layout pour chaque technologie déterminera vraiment son influence sur les performances du composant.

L'extrapolation vers des dimensions toujours plus petites des caractéristiques illustrant l'impact et l'évolution de la partie extrinsèque du MOSFET montre que l'on se dirige vers des dispositifs pour lesquels il ne restera plus, à la limite, que des parasites, et dont les performances seront totalement conditionnées par leur partie extrinsèque.

2.3 Les technologies alternatives

Aujourd'hui, le gain de performance apporté par le passage à une nouvelle technologie est en partie limité par les éléments extrinsèques. Par ailleurs, ce gain est présent pour le dispositif nominal de la technologie (à savoir le dispositif pour lequel la technologie a été optimisée), mais il diminue voire disparaît si on s'éloigne de ses caractéristiques (notamment géométriques).

La question d'une rupture technologique, c'est-à-dire le passage aux technologies alternatives, se pose. Mais encore une fois, les technologies alternatives sont pensées pour les

circuits numériques. Quel intérêt peut avoir une technologie alternative pour des applications RF ?

Prenons par exemple le cas d'un FinFET, dont une coupe est présentée en Figure 1. Pour certains de ces transistors, les performances analogiques sont dégradées par les effets de coin qui perturbent la conduction du canal.

De plus, la largeur effective de grille, W_{eff} , est la largeur de silicium couverte par la grille. Dans le cas d'un dispositif possédant N_F ailettes¹, on a :

$$W_{eff} = (2 \cdot h + a) \cdot N_F \quad (1)$$

Alors que la largeur réelle du polysilicium de grille inclut aussi les parties du polysilicium qui se trouve au-dessus de l'oxyde enterré :

$$W_{reel} = W_{eff} + (N_F - 1) \cdot d + e \quad (2)$$

La différence entre la largeur réelle et la largeur effective de la grille sert à relier les morceaux qui constituent la largeur effective ; mais, elle est, vue sous l'angle de l'efficacité du transistor, électriquement inutile. Elle n'est donc que pur parasite et ne fera que dégrader les performances RF du transistor.

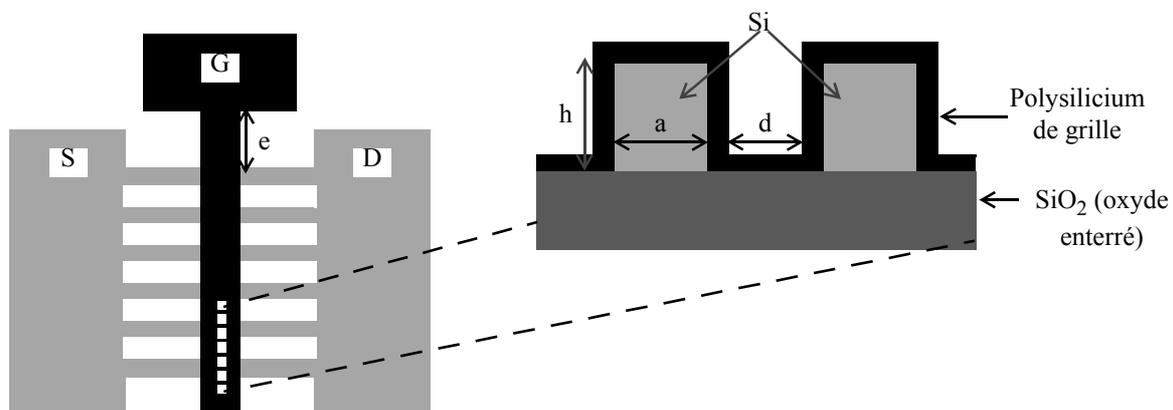


Figure 1 : Vue de dessus et coupe le long de la grille d'un FinFET.

Dans une technologie MOS planaire (sur silicium massif ou SOI), presque tout le matériau de grille est utile puisque dans sa quasi-totalité, il surplombe la zone active du dispositif.

Il est difficile aujourd'hui de dire à quoi ressemblera le transistor de demain. Quoi qu'il en soit, pour lui comme pour les dispositifs issus des technologies à venir, ils devront être abordés en tant que composants inclus dans leur environnement. C'est-à-dire en tenant compte de la réalité.

1. Fin = ailette.

Annexe A

Calcul des paramètres [Y] du transistor MOS

Le but de cette annexe est de faire une synthèse des calculs de paramètres [Y] du schéma équivalent petit signal du MOSFET, si l'on tient compte ou non des contributions de la résistance de grille ou du substrat.

A.1 Rappel

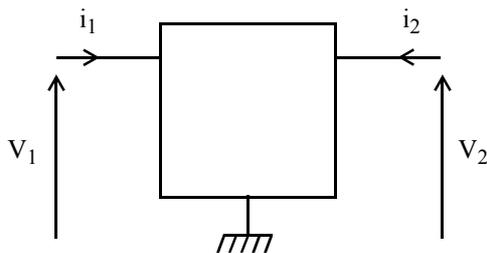


Figure A-1 : Schéma montrant l'approche permettant de calculer les paramètres [Y] ou [Z].

A.1.1 Paramètres [Y]

Basé sur la Figure A-1, le calcul des paramètres [Y] d'un quadripôle est le suivant :

$$Y_{kl} = \left. \frac{i_k}{V_l} \right|_{V_{m \neq l} = 0} \quad (\text{A-1})$$

La matrice d'admittances est :

$$[Y] = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \quad (\text{A-2})$$

Dans le cas d'une structure réciproque, pour laquelle $Y_{12}=Y_{21}$, le quadripôle peut être modélisé grâce à un schéma en Π (Figure A-2).

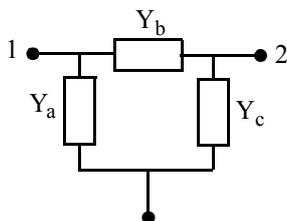


Figure A-2 : Schéma en Π d'un quadripôle.

avec :

$$\begin{cases} Y_a = Y_{11} + Y_{12} \\ Y_b = -Y_{12} = -Y_{21} \\ Y_c = Y_{22} + Y_{12} \end{cases} \quad \begin{cases} Y_{11} = Y_a + Y_b \\ Y_{12} = Y_{21} = -Y_b \\ Y_{22} = Y_c + Y_b \end{cases} \quad (\text{A-3})$$

A.1.2 Paramètres [Z]

Les paramètres [Z], comme les paramètres [Y], calculés grâce à la Figure A-1 :

$$Z_{kl} = \left. \frac{V_k}{i_l} \right|_{i_{m \neq l} = 0} \quad (\text{A-4})$$

La matrice d'impédances est :

$$[Z] = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \quad (\text{A-5})$$

Dans le cas d'une structure réciproque, pour laquelle $Z_{12}=Z_{21}$, le quadripôle peut être modélisé grâce à un schéma en T (Figure A-3).

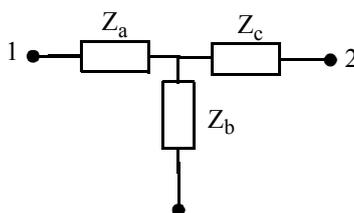


Figure A-3 : Schéma en T d'un quadripôle.

avec :

$$\begin{cases} Z_a = Z_{11} - Z_{12} \\ Z_b = Z_{12} = Z_{21} \\ Z_c = Z_{22} - Z_{12} \end{cases} \quad \begin{cases} Z_{11} = Z_a + Z_b \\ Z_{12} = Z_{21} = Z_b \\ Z_{22} = Z_c + Z_b \end{cases} \quad (\text{A-6})$$

Notons que les matrices [Z] et [Y] d'une même structure sont l'inverse l'une de l'autre.

A.2 Schéma équivalent très simple

Le schéma équivalent petit signal habituellement utilisé pour le MOSFET en source commune est visible sur la Figure A-4. La transconductance de grille vaut :

$$Y_m = g_m - j \cdot \omega \cdot C_m \quad (\text{A-7})$$

Ses paramètres [Y] sont facilement calculés.

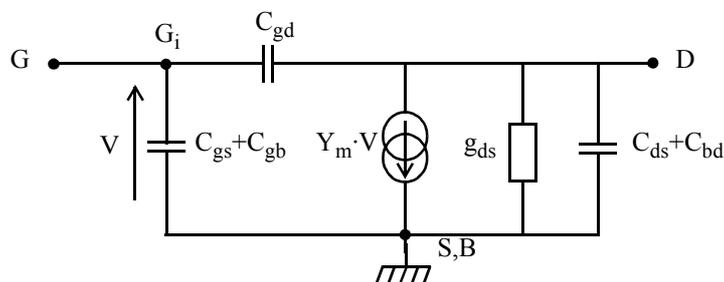


Figure A-4 : Schéma équivalent simplifié du MOSFET.

$$\begin{aligned} Y_{11} &= j \cdot \omega \cdot (C_{gs} + C_{gb} + C_{gd}) \\ &= j \cdot \omega \cdot C_{gg} \end{aligned} \quad (\text{A-8})$$

$$Y_{12} = -j \cdot \omega \cdot C_{gd} \quad (\text{A-9})$$

$$\begin{aligned}
 Y_{21} &= Y_m - j \cdot \omega \cdot C_{gd} \\
 &= g_m - j \cdot \omega \cdot (C_{gd} + C_m) \\
 &= g_m - j \cdot \omega \cdot C_{dg}
 \end{aligned}
 \tag{A-10}$$

$$\begin{aligned}
 Y_{22} &= g_{ds} + j \cdot \omega \cdot (C_{ds} + C_{bd} + C_{gd}) \\
 &= g_{ds} + j \cdot \omega \cdot C_{dd}
 \end{aligned}
 \tag{A-11}$$

A.3 Schéma équivalent et résistance de grille

Le schéma équivalent de la Figure A-4 peut être enrichi de la résistance extrinsèque de grille R_{ggext} ; le schéma utilisé est celui de la Figure A-5.

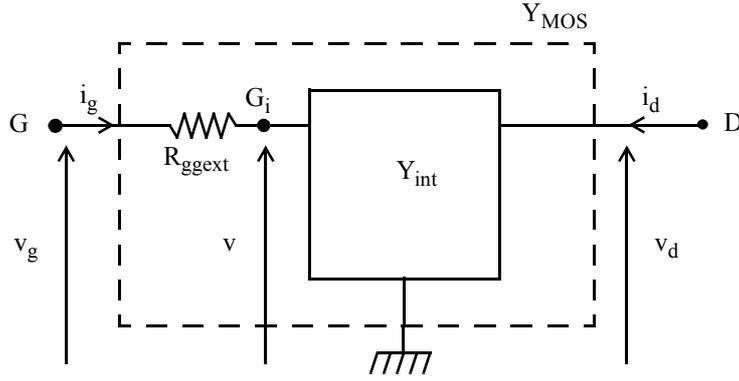


Figure A-5 : Schéma équivalent simplifié du MOSFET tenant compte de la résistance extrinsèque de grille.

Le quadripôle Y_{int} désigne le MOSFET sans résistance de grille, il correspond au schéma de la Figure A-4. Dans un but de compréhension, les paramètres [Y] de Y_{int} seront nommés Y_{ij} , où :

$$(i, j) \in (g, d)^2 \tag{A-12}$$

Le quadripôle Y_{MOS} désigne quant à lui le MOSFET avec une résistance de grille. Ses paramètres [Y] seront nommés Y_{ij} , où :

$$(i, j) \in (1, 2)^2 \tag{A-13}$$

On a alors :

$$\begin{cases}
 i_g = Y_{gg} \cdot v + Y_{gd} \cdot v_d \\
 i_d = Y_{dg} \cdot v + Y_{dd} \cdot v_d
 \end{cases}
 \tag{A-14}$$

avec :

$$\begin{aligned}
 Y_{gg} &= j \cdot \omega \cdot C_{gg} & Y_{dg} &= g_m - j \cdot \omega \cdot (C_{gd} + C_m) = g_m - j \cdot \omega \cdot C_{dg} \\
 Y_{gd} &= -j \cdot \omega \cdot C_{gd} & Y_{dd} &= g_{ds} + j \cdot \omega \cdot C_{dd}
 \end{aligned}
 \tag{A-15}$$

Par ailleurs, d'après la Figure A-5,

$$v_g = v + R_{ggext} \cdot i_g \tag{A-16}$$

Alors, (A-14) devient :

$$\begin{cases} i_g = Y_{gg} \cdot (v_g - R_{ggext} \cdot i_g) + Y_{gd} \cdot v_d \\ i_d = Y_{dg} \cdot (v_g - R_{ggext} \cdot i_g) + Y_{dd} \cdot v_d \end{cases} \quad (\text{A-17})$$

Soit :

$$\begin{cases} i_g = \frac{Y_{gg}}{1 + R_{ggext} \cdot Y_{gg}} \cdot v_g + \frac{Y_{gd}}{1 + R_{ggext} \cdot Y_{gg}} \cdot v_d \\ i_d = Y_{dg} \cdot v_g + Y_{dd} \cdot v_d - R_{ggext} \cdot Y_{dg} \cdot \frac{Y_{gg} \cdot v_g + Y_{gd} \cdot v_d}{1 + R_{ggext} \cdot Y_{gg}} \end{cases} \quad (\text{A-18})$$

Alors, le calcul de Y_{11} donne :

$$\begin{aligned} Y_{11} &= \left. \frac{i_g}{v_g} \right|_{v_d=0} \\ &= \frac{Y_{gg}}{1 + R_{ggext} \cdot Y_{gg}} \\ &= \frac{j \cdot \omega \cdot C_{gg}}{1 + j \cdot \omega \cdot R_{ggext} \cdot C_{gg}} \\ &= \frac{j \cdot \omega \cdot C_{gg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} + \frac{\omega^2 \cdot C_{gg}^2 \cdot R_{ggext}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \end{aligned} \quad (\text{A-19})$$

Le calcul de Y_{12} donne :

$$\begin{aligned} Y_{12} &= \left. \frac{i_g}{v_d} \right|_{v_g=0} \\ &= \frac{Y_{gd}}{1 + R_{ggext} \cdot Y_{gg}} \\ &= -\frac{j \cdot \omega \cdot C_{gd}}{1 + j \cdot \omega \cdot R_{ggext} \cdot C_{gg}} \\ &= -\frac{j \cdot \omega \cdot C_{gd}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} - \frac{\omega^2 \cdot C_{gg} \cdot C_{gd} \cdot R_{ggext}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \end{aligned} \quad (\text{A-20})$$

Le calcul de Y_{21} donne :

$$\begin{aligned}
Y_{21} &= \left. \frac{i_d}{v_g} \right|_{v_d=0} \\
&= Y_{dg} - R_{ggext} \cdot Y_{dg} \cdot \frac{Y_{gg}}{1 + R_{ggext} \cdot Y_{gg}} \\
&= \frac{Y_{dg}}{1 + R_{ggext} \cdot Y_{gg}} \\
&= \frac{g_m - j \cdot \omega \cdot C_{dg}}{1 + j \cdot \omega \cdot R_{ggext} \cdot C_{gg}} \\
&= \frac{g_m - \omega^2 \cdot C_{gg} \cdot C_{dg} \cdot R_{ggext} - j \cdot \omega \cdot (C_{dg} + g_m \cdot R_{ggext} \cdot C_{gg})}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2}
\end{aligned} \tag{A-21}$$

Le calcul de Y_{22} donne :

$$\begin{aligned}
Y_{22} &= \left. \frac{i_d}{v_d} \right|_{v_g=0} \\
&= Y_{dd} - R_{ggext} \cdot Y_{dg} \cdot \frac{Y_{gd}}{1 + R_{ggext} \cdot Y_{gg}} \\
&= g_{ds} + j \cdot \omega \cdot C_{dd} - R_{ggext} \cdot \frac{(-j \cdot \omega \cdot C_{gd}) \cdot (g_m - j \cdot \omega \cdot C_{dg})}{1 + j \cdot \omega \cdot R_{ggext} \cdot C_{gg}} \\
&= g_{ds} + \omega^2 \cdot R_{ggext} \cdot C_{gd} \cdot \frac{C_{dg} + R_{ggext} \cdot g_m \cdot C_{gg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \\
&\quad + j \cdot \omega \cdot \left(C_{dd} + R_{ggext} \cdot C_{gd} \cdot \frac{g_m - \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{dg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \right)
\end{aligned} \tag{A-22}$$

A.4 Schéma équivalent et résistance substrat

L'intérêt de ce calcul est de mettre en évidence l'impact d'une résistance substrat localisée sur les paramètres [Y] du transistor MOS. Dans un souci de clarté, la résistance de grille est négligée. Le schéma utilisé est donc celui de la Figure A-6.

Le quadripôle Y_{int} désigne le MOSFET sans résistance de grille ni de substrat. Comme au paragraphe précédent, les paramètres [Y] de Y_{int} seront nommés Y_{ij} , où :

$$(i, j) \in (g, d, b)^2 \tag{A-23}$$

Le quadripôle Y_{MOS} désigne quant à lui le MOSFET avec une résistance de substrat. Ses paramètres [Y] seront nommés Y_{ij} , où :

$$(i, j) \in (1, 2)^2 \tag{A-24}$$

Par ailleurs, le potentiel de body B n'étant plus relié à la masse, le courant de drain inclut une composante $Y_{mb} \cdot v_b$, où $Y_{mb} = g_{mb} - j \cdot \omega \cdot C_{mb}$ est la transconductance de body.

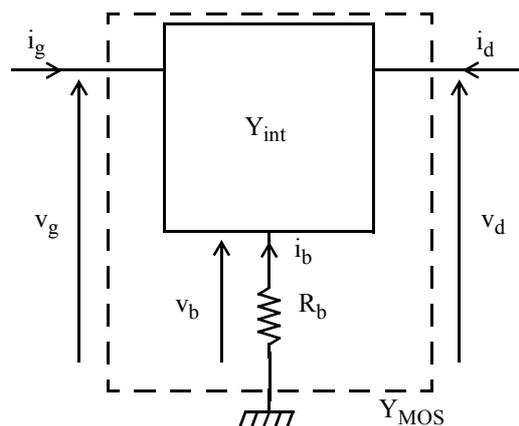


Figure A-6 : Schéma équivalent du MOSFET utilisé pour calculer les paramètres [Y] avec une résistance de substrat.

On a alors :

$$\begin{cases} i_g = Y_{gg} \cdot v_g + Y_{gd} \cdot v_d + Y_{gb} \cdot v_b \\ i_d = Y_{dg} \cdot v_g + Y_{dd} \cdot v_d + Y_{db} \cdot v_b \\ i_b = Y_{bg} \cdot v_g + Y_{bd} \cdot v_d + Y_{bb} \cdot v_b \end{cases} \quad (\text{A-25})$$

avec :

$$\begin{aligned} Y_{gg} &= j \cdot \omega \cdot C_{gg} & Y_{bg} &= -j \cdot \omega \cdot C_{bg} = Y_{gb} \\ Y_{gd} &= -j \cdot \omega \cdot C_{gd} & Y_{dg} &= g_m - j \cdot \omega \cdot (C_{gd} - C_m) = g_m - j \cdot \omega \cdot C_{dg} \\ Y_{gb} &= -j \cdot \omega \cdot C_{gb} & Y_{db} &= g_{mb} + j \cdot \omega \cdot (C_{bd} + C_{mb}) = g_{mb} - j \cdot \omega \cdot C_{db} \\ Y_{bd} &= -j \cdot \omega \cdot C_{bd} & Y_{dd} &= g_{ds} + j \cdot \omega \cdot C_{dd} \\ Y_{bb} &= j \cdot \omega \cdot C_{bb} \end{aligned} \quad (\text{A-26})$$

De plus, d'après la Figure A-6,

$$v_b = -R_b \cdot i_b \quad (\text{A-27})$$

Ce qui, avec (A-25), donne :

$$v_b = -\frac{R_b}{1 + R_b \cdot Y_{bb}} \cdot (Y_{bg} \cdot v_g + Y_{bd} \cdot v_d) \quad (\text{A-28})$$

Alors, le calcul de Y_{11} donne :

$$\begin{aligned}
Y_{11} &= \left. \frac{i_g}{v_g} \right|_{v_d=0} \\
&= Y_{gg} - Y_{gb} \cdot \frac{R_b \cdot Y_{bg}}{1 + R_b \cdot Y_{bb}} \\
&= j \cdot \omega \cdot C_{gg} + \frac{R_b \cdot C_{gb} \cdot C_{bg} \cdot \omega^2}{1 + j \cdot \omega \cdot R_b \cdot C_{bb}} \\
&= j \cdot \omega \cdot C_{gg} + \frac{R_b \cdot C_{gb}^2 \cdot \omega^2 \cdot (1 - j \cdot \omega \cdot R_b \cdot C_{bb})}{1 + (R_b \cdot C_{bb} \cdot \omega)^2} \\
&= j \cdot \omega \cdot \left(C_{gg} - \frac{\omega^2 \cdot R_b^2 \cdot C_{gb}^2 \cdot C_{bb}}{1 + (R_b \cdot C_{bb} \cdot \omega)^2} \right) + \frac{\omega^2 \cdot R_b \cdot C_{gb}^2}{1 + (R_b \cdot C_{bb} \cdot \omega)^2}
\end{aligned} \tag{A-29}$$

Le calcul de Y_{12} donne :

$$\begin{aligned}
Y_{12} &= \left. \frac{i_g}{v_d} \right|_{v_g=0} \\
&= Y_{gd} - Y_{gb} \cdot \frac{R_b \cdot Y_{bd}}{1 + R_b \cdot Y_{bb}} \\
&= -j \cdot \omega \cdot C_{gd} + \frac{R_b \cdot C_{bd} \cdot C_{gb} \cdot \omega^2}{1 + j \cdot \omega \cdot R_b \cdot C_{bb}} \\
&= -j \cdot \omega \cdot C_{gd} + \frac{R_b \cdot C_{bd} \cdot C_{gb} \cdot \omega^2 \cdot (1 - j \cdot \omega \cdot R_b \cdot C_{bb})}{1 + (R_b \cdot C_{bb} \cdot \omega)^2} \\
&= -j \cdot \omega \cdot \left(C_{gd} + \frac{\omega^2 \cdot R_b^2 \cdot C_{bd} \cdot C_{gb} \cdot C_{bb}}{1 + (R_b \cdot C_{bb} \cdot \omega)^2} \right) + \frac{\omega^2 \cdot R_b \cdot C_{bd} \cdot C_{gb}}{1 + (R_b \cdot C_{bb} \cdot \omega)^2}
\end{aligned} \tag{A-30}$$

Le calcul de Y_{21} donne :

$$\begin{aligned}
Y_{21} &= \left. \frac{i_d}{v_g} \right|_{v_d=0} \\
&= Y_{dg} - Y_{db} \cdot \frac{R_b \cdot Y_{gb}}{1 + R_b \cdot Y_{bb}} \\
&= g_m - j \cdot \omega \cdot C_{dg} + \frac{j \cdot \omega \cdot R_b \cdot C_{gb} \cdot (g_{mb} - j \cdot \omega \cdot C_{db})}{1 + j \cdot \omega \cdot R_b \cdot C_{bb}}
\end{aligned} \tag{A-31}$$

Après moultes étapes :

$$Y_{21} = g_m + \frac{\omega^2 \cdot R_b \cdot C_{gb} \cdot (C_{db} + C_{bb} \cdot R_b \cdot g_{mb})}{1 + (R_b \cdot C_{bb} \cdot \omega)^2} - j \cdot \omega \cdot \left(C_{dg} - R_b \cdot C_{gb} \cdot \frac{g_{mb} - \omega^2 \cdot R_b \cdot C_{bb} \cdot C_{db}}{1 + (R_b \cdot C_{bb} \cdot \omega)^2} \right) \quad (\text{A-32})$$

Enfin, le calcul de Y_{22} donne :

$$\begin{aligned} Y_{22} &= \left. \frac{i_d}{v_d} \right|_{v_g=0} \\ &= Y_{dd} - Y_{db} \cdot \frac{R_b \cdot Y_{bd}}{1 + R_b \cdot Y_{bb}} \\ &= g_{ds} + j \cdot \omega \cdot C_{dd} + \frac{j \cdot \omega \cdot R_b \cdot C_{bd} \cdot (g_{mb} - j \cdot \omega \cdot C_{db})}{1 + j \cdot \omega \cdot R_b \cdot C_{bb}} \end{aligned} \quad (\text{A-33})$$

Ce qui aboutit à :

$$Y_{22} = g_{ds} + \frac{\omega^2 \cdot R_b \cdot C_{bd} \cdot (C_{db} + C_{bb} \cdot R_b \cdot g_{mb})}{1 + (R_b \cdot C_{bb} \cdot \omega)^2} + j \cdot \omega \cdot \left(C_{dd} + R_b \cdot C_{bd} \cdot \frac{g_{mb} - \omega^2 \cdot R_b \cdot C_{bb} \cdot C_{db}}{1 + (R_b \cdot C_{bb} \cdot \omega)^2} \right) \quad (\text{A-34})$$

Pour avoir les influences combinées des résistances de grille et substrat, on pourrait appliquer aux paramètres donnés par (A-29), (A-30), (A-32) et (A-34), la démarche suivie au paragraphe A.3 ; mais il est à craindre que ce ne soit pas très compréhensible.

Annexe B

Calculs des gains du transistor

B.1 Paramètres [Y] du dispositif

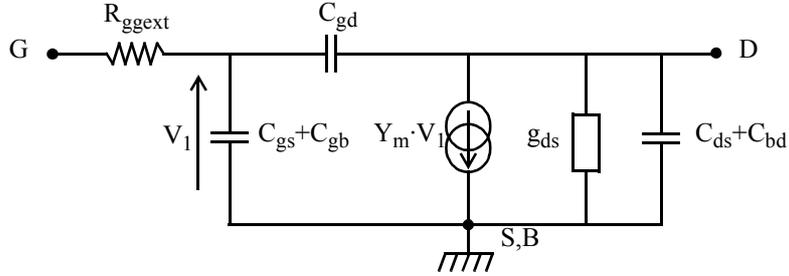


Figure B-1 : Schéma équivalent simplifié du MOSFET.

Les calculs des paramètres [Y] et des gains sont basés sur le schéma de la Figure B-1. Les effets dus au réseau substrat et les effets non quasi-stationnaires ne sont donc pas pris en compte.

Les capacités C_{gg} et C_{dd} sont définies comme suit :

$$C_{gg} = C_{gs} + C_{gb} + C_{gd} \quad (\text{B-1})$$

$$C_{dd} = C_{gd} + C_{bd} + C_{ds} \quad (\text{B-2})$$

Alors, d'après l'Annexe A :

$$Y_{11} = \frac{j \cdot \omega \cdot C_{gg}}{1 + j \cdot \omega \cdot R_{ggext} \cdot C_{gg}} \quad (\text{B-3})$$

$$Y_{12} = -\frac{j \cdot \omega \cdot C_{gd}}{1 + j \cdot \omega \cdot R_{ggext} \cdot C_{gg}} \quad (\text{B-4})$$

$$Y_{21} = \frac{g_m - j \cdot \omega \cdot C_{dg}}{1 + j \cdot \omega \cdot R_{ggext} \cdot C_{gg}} \quad (\text{B-5})$$

$$Y_{22} = g_{ds} + \omega^2 \cdot R_{ggext} \cdot C_{gd} \cdot \frac{C_{dg} + R_{ggext} \cdot g_m \cdot C_{gg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} + j \cdot \omega \cdot \left(C_{dd} + R_{ggext} \cdot C_{gd} \cdot \frac{g_m - \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{dg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \right) \quad (\text{B-6})$$

B.2 Gain en courant en court-circuit

Le gain en courant en court-circuit est $|H_{21}|$. La fréquence de pour laquelle ce gain vaut 1 est appelée la fréquence de transition f_t .

$$\begin{aligned}
H_{21} &= \left. \frac{i_2}{i_1} \right|_{V_2=0} \\
&= \frac{Y_{21}}{Y_{11}} \\
&= \frac{g_m - j \cdot \omega \cdot C_{dg}}{j \cdot \omega \cdot C_{gg}}
\end{aligned} \tag{B-7}$$

Le module de H_{21} donne :

$$|H_{21}| = \frac{\sqrt{(g_m)^2 + (\omega \cdot C_{dg})^2}}{\omega \cdot C_{gg}} \tag{B-8}$$

A la fréquence de transition,

$$|H_{21}| = 1 \tag{B-9}$$

Soit :

$$f_t = \frac{g_m}{2 \cdot \pi \cdot \sqrt{C_{gg}^2 - C_{dg}^2}} \tag{B-10}$$

Une approximation basse fréquence de (B-8) donne :

$$|H_{21}|_{BF} \approx \frac{g_m}{\omega \cdot C_{gg}} \tag{B-11}$$

soit une évolution à -20dB/décade. En haute fréquence,

$$|H_{21}|_{HF} \approx \frac{C_{dg}}{C_{gg}} \tag{B-12}$$

soit un gain constant. Précisons que $C_{dg} < C_{gg}$ [1], de sorte que la fréquence de transition est toujours définie. Celle-ci est en fait souvent calculée comme laquelle l'extrapolation du gain à -20dB/dec (c'est-à-dire (B-8)) vaut 1 :

$$f_{t[-20dB]} = \frac{g_m}{2 \cdot \pi \cdot C_{gg}} \tag{B-13}$$

B.3 Gain de Mason

Le gain de Mason, ou gain unilatéral, est noté U . Sa fréquence de coupure est la fréquence maximale d'oscillation f_{\max} .

U est défini comme :

$$U = \frac{|Y_{21} - Y_{12}|^2}{4 \cdot (Re[Y_{11}] \cdot Re[Y_{22}] - Re[Y_{12}] \cdot Re[Y_{21}])} \tag{B-14}$$

B.3.1 Parties réelles de Y_{ij}

B.3.1.1 Y_{11}

$$Y_{11} = \frac{j \cdot \omega \cdot C_{gg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} + \frac{\omega^2 \cdot C_{gg}^2 \cdot R_{poly}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \tag{B-15}$$

Alors :

$$Re[Y_{11}] = \frac{\omega^2 \cdot R_{ggext} \cdot C_{gg}^2}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \quad (B-16)$$

B.3.1.2 Y_{12}

$$Y_{12} = -\frac{j \cdot \omega \cdot C_{gd}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} - \frac{\omega^2 \cdot C_{gg} \cdot C_{gd} \cdot R_{ggext}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \quad (B-17)$$

Alors :

$$Re[Y_{12}] = -\frac{\omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{gd}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \quad (B-18)$$

B.3.1.3 Y_{21}

$$Y_{21} = \frac{g_m + \omega^2 \cdot C_{gg} \cdot C_{dg} \cdot R_{ggext}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} + \frac{j \cdot \omega \cdot (C_{gd} - g_m \cdot R_{ggext} \cdot C_{gg})}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \quad (B-19)$$

Alors :

$$Re[Y_{21}] = \frac{g_m - \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{dg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \quad (B-20)$$

B.3.1.4 Y_{22}

$$Y_{22} = g_{ds} + \omega^2 \cdot R_{ggext} \cdot C_{gd} \cdot \frac{C_{gd} - C_m + R_{ggext} \cdot g_m \cdot C_{gg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \\ + j \cdot \omega \cdot \left(C_{dd} + R_{ggext} \cdot C_{gd} \cdot \frac{g_m - \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{dg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \right) \quad (B-21)$$

Alors :

$$Re[Y_{22}] = g_{ds} + \omega^2 \cdot R_{ggext} \cdot C_{gd} \cdot \frac{C_{dg} + R_{ggext} \cdot g_m \cdot C_{gg}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \\ = \frac{g_{ds} + g_{ds} \cdot \omega^2 \cdot R_{ggext}^2 \cdot C_{gg}^2 + \omega^2 \cdot R_{ggext} \cdot C_{gd} \cdot (C_{dg} + R_{ggext} \cdot g_m \cdot C_{gg})}{1 + (\omega \cdot R_{poly} \cdot C_{gg})^2} \quad (B-22) \\ = \frac{g_{ds} + \omega^2 \cdot R_{ggext} \cdot (R_{ggext} \cdot g_{ds} \cdot C_{gg}^2 + C_{gd} \cdot C_{dg} + g_m \cdot R_{ggext} \cdot C_{gg} \cdot C_{gd})}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2}$$

B.3.2 Calcul du gain

B.3.2.1 Numérateur

$$\begin{aligned} |Y_{21} - Y_{12}|^2 &= \left| \frac{g_m - j \cdot \omega \cdot C_m}{1 + j \cdot \omega \cdot R_{ggext} \cdot C_{gg}} \right|^2 \\ &= \frac{g_m^2 + (\omega \cdot C_m)^2}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \end{aligned} \quad (B-23)$$

B.3.2.2 Dénominateur

Les équations (B-16) et (B-21) donnent :

$$\begin{aligned} &Re[Y_{11}] \cdot Re[Y_{22}] \\ &= \frac{g_{ds} + \omega^2 \cdot R_{ggext} \cdot (R_{ggext} \cdot g_{ds} \cdot C_{gg}^2 + C_{gd} \cdot C_{dg} + g_m \cdot R_{ggext} \cdot C_{gg} \cdot C_{gd})}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \\ &\quad \cdot \frac{\omega^2 \cdot R_{ggext} \cdot C_{gg}^2}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \end{aligned} \quad (B-24)$$

Les équations (B-18) et (B-20) donnent :

$$\begin{aligned} &Re[Y_{12}] \cdot Re[Y_{21}] \\ &= \frac{(g_m - \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{dg}) \cdot \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{gd}}{(1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2)^2} \end{aligned} \quad (B-25)$$

Alors :

$$\begin{aligned} &(Re[Y_{11}] \cdot Re[Y_{22}] - Re[Y_{12}] \cdot Re[Y_{21}]) \cdot (1 + (\omega \cdot R_{gg} \cdot C_{gg})^2)^2 \\ &= \omega^2 \cdot R_{ggext} \cdot C_{gg}^2 \cdot (g_{ds} + \omega^2 \cdot R_{ggext} \cdot (R_{ggext} \cdot g_{ds} \cdot C_{gg}^2 + C_{gd} \cdot C_{dg} + g_m \cdot R_{ggext} \cdot C_{gg} \cdot C_{gd})) \\ &\quad + (g_m - \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{dg}) \cdot \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{gd} \quad (B-26) \\ &= \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m + (\omega \cdot R_{ggext} \cdot C_{gg})^2 \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m)) \\ &= \omega^2 \cdot R_{poly} \cdot C_{gg} \cdot (1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2) \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m) \end{aligned}$$

Alors :

$$\begin{aligned} &Re[Y_{11}] \cdot Re[Y_{22}] - Re[Y_{12}] \cdot Re[Y_{21}] \\ &= \frac{\omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot (1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2) \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m)}{(1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2)^2} \\ &= \frac{\omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m)}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \end{aligned} \quad (B-27)$$

B.3.2.3 Gain

Il est calculé grâce à (B-14), (B-23) et (B-27) :

$$U = \frac{g_m^2 + (\omega \cdot C_m)^2}{4 \cdot \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m)} \quad (B-28)$$

De la même façon que pour le gain en courant, on peut faire une approximation basse fréquence de (B-28) :

$$U_{BF} = \frac{g_m^2}{4 \cdot \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m)} \quad (B-29)$$

le gain évolue avec une pente à -20dB/décade. En haute fréquence :

$$U_{HF} = \frac{C_m^2}{4 \cdot R_{ggext} \cdot C_{gg} \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m)} \quad (B-30)$$

le gain est alors plat.

B.3.2.4 Fréquence maximale d'oscillation

A la fréquence de coupure du gain de Mason,

$$U = 1 \quad (B-31)$$

d'où :

$$g_m^2 + (\omega \cdot C_m)^2 = 4 \cdot \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m) \quad (B-32)$$

Soit :

$$f_{max} = \frac{1}{2 \cdot \pi} \cdot \frac{g_m}{\sqrt{4 \cdot R_{ggext} \cdot C_{gg} \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m) - C_m^2}} \quad (B-33)$$

f_{max} est souvent prise comme la fréquence pour laquelle l'extrapolation à -20dB/dec du gain de Mason vaut 1 :

$$f_{max[-20dB]} = \frac{1}{2 \cdot \pi} \cdot \frac{g_m}{\sqrt{4 \cdot R_{ggext} \cdot C_{gg} \cdot (C_{gg} \cdot g_{ds} + C_{gd} \cdot g_m)}} \quad (B-34)$$

Par ailleurs, d'après (B-13),

$$g_m = 2 \cdot \pi \cdot C_{gg} \cdot f_{t[-20dB]} \quad (B-35)$$

Alors :

$$f_{max[-20dB]} = \frac{f_{t[-20dB]}}{\sqrt{4 \cdot R_{ggext} \cdot (g_{ds} + 2 \cdot \pi \cdot f_{t[-20dB]} \cdot C_{gd})}} \quad (B-36)$$

B.4 Mesure de f_{max}

Pour certains des dispositifs réalisés dans les technologies les plus avancées, les grandeurs telles que f_t et f_{max} peuvent dépasser de la fenêtre de mesure. Dans ce cas, les gains H_{21} et Mason ne coupent jamais l'axe des abscisses. f_t et f_{max} doivent donc être extrapolés.

Prenons par exemple la Figure B-2, qui représente le gain de Mason de trois dispositifs différents en technologie 65nm. Les deux dispositifs ayant la résistance de grille la plus faible ont une fréquence maximale d'oscillation supérieure à 100GHz.

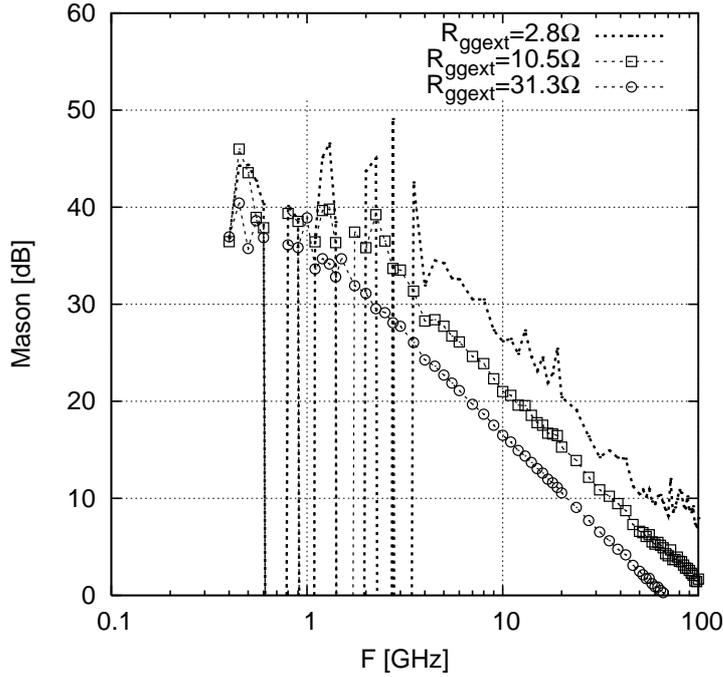


Figure B-2 : Gain de Mason en technologie 65nm, à $V_{GS}=V_{DS}=1.2V$, pour L_g nominale, et trois dispositifs de topologie différente.

Les méthodes permettant d'obtenir f_{max} ou f_t sont basées sur une extrapolation donnant un gain ayant une pente constante à -20dB/décade . La méthode préconisée par l'ITRS [2] consiste à extrapoler $|H_{21}|$ ou le gain de Mason à 40GHz avec une pente à -20dB/décade (rigoureusement, on ne trouve pas alors les mêmes résultats qu'en prenant l'extrapolation basse fréquence à -20dB/dec).

Par ailleurs, d'après (B-28) et (B-33), nous pouvons remarquer que :

$$\sqrt{U_{BF}} \cdot f = f_{max[-20dB]} \quad (\text{B-37})$$

C'est à dire que si le gain mesuré du dispositif a bien une pente valant -20dB/décade , la grandeur $\sqrt{U_{BF}} \cdot f$ est constante et est égale à $f_{max[-20dB]}$.

Observons donc la grandeur $\sqrt{U_{BF}} \cdot f$ pour les mêmes dispositifs que ceux de la Figure B-2 et dans les mêmes conditions ; celle-ci est représentée en Figure B-3.

Dans le cas des deux dispositifs qui ont la résistance de grille la plus forte, $\sqrt{U_{BF}} \cdot f$ peut être considérée comme constante. La Figure B-2 montrait que la pente de leur gain de Mason est très proche de -20dB/décade . En revanche, pour le troisième dispositif, $\sqrt{U_{BF}} \cdot f$ est bien plus bruitée. En appliquant la définition de l'ITRS, nous obtenons pour ces trois dispositifs $f_{max}=67$, 113 et 200GHz .

La fréquence maximale d'oscillation peut aussi être extrapolée grâce à une de ses définitions basée sur un gain de Mason idéal dont la pente est égale à -20dB/décade . Il s'agit de prendre la fréquence pour laquelle le gain de Mason vaut 20dB , et de multiplier cette fréquence par 10 . Appliquée à notre cas, cette méthode donne des résultats similaires à ceux obtenus par la méthode de l'ITRS.

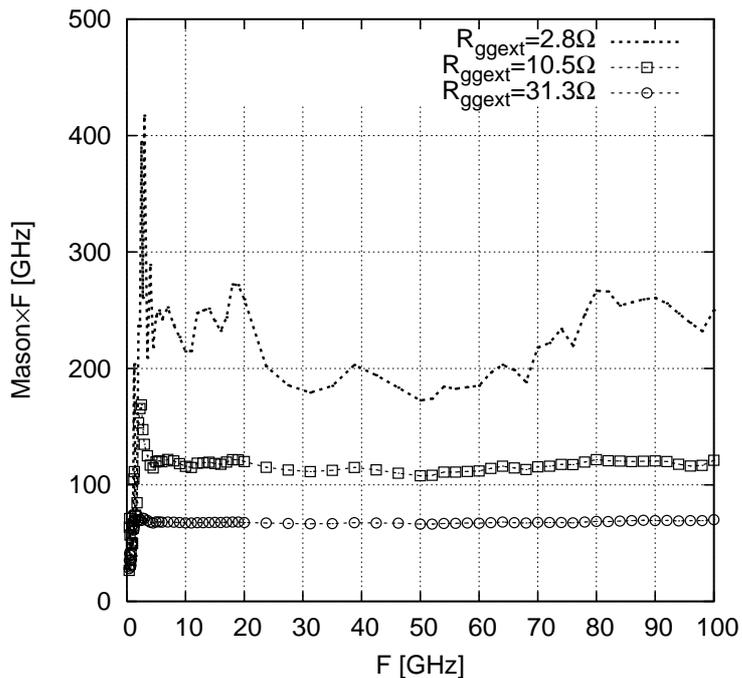


Figure B-3 : Grandeur $\sqrt{U_{BF}} \cdot f$ en technologie 65nm, à $V_{GS}=V_{DS}=1.2V$, pour L_g nominale, et trois dispositifs de topologie différente.

B.5 Références

- [1] Y. Tsvetkov, "Operation and Modeling of the MOS Transistor", Oxford University Press, Second Edition, 1999.
- [2] International Technology Roadmap for Semiconductors, 2003 Update, Radio-Frequency and Analog/Mixed Technologies for Wireless Communications, 2006.

Annexe C

Etude de l'impact de différents effets sur le fonctionnement du MOSFET

C.1 But de l'étude

On cherche ici à connaître les impacts de différents effets haute fréquence. Les effets étudiés sont les suivants :

- la résistance de grille ;
- les capacités parasites (grille-source et grille-drain, jonction source et drain, drain-source) ;
- une résistance symbolisant l'effet du substrat ;
- les effets non quasi-stationnaires.

Le schéma équivalent utilisé est celui de la Figure C-1. Les paramètres du schéma ont été extraits des mesures d'un transistor en technologie 130nm, de longueur de grille 1µm et de largeur totale de grille 80µm, répartie sur quatre cellules comportant chacune deux doigts de grille de largeur unitaire 10µm. Le dispositif est mesuré à $V_{GS}=V_{DS}=1.2V$. Le choix de cette condition de polarisation tient au fait que, pour le dispositif choisi, la transconductance de grille est dans ce cas la plus grande. Par ailleurs, il s'agit d'un point de fonctionnement connu (le transistor est passant et en inversion forte).

C.1.1 Description du schéma

Les valeurs de R_{poly} , C_{gdext} , C_{gsext} , C_{jdext} , C_{dsext} , et R_b sont des éléments localisés.

Les modèles des éléments intrinsèques sont basés sur [1]. Pour Y_m , un terme de retard est ajouté [2].

$$\begin{aligned}
 Y_m &= \frac{g_m}{1 + j \cdot \delta \cdot \omega \cdot \tau_1} \cdot \exp[-j \cdot \delta \cdot \omega \cdot \tau_r] \\
 Y_{gsint} &= \frac{j \cdot \omega \cdot C_{gsint}}{1 + j \cdot \delta \cdot \omega \cdot (\tau_1 - \tau_2)} \\
 Y_{bsint} &= \frac{j \cdot \omega \cdot C_{bsint}}{1 + j \cdot \delta \cdot \omega \cdot (\tau_1 - \tau_2)} \\
 Y_{gdint} &= \frac{j \cdot \omega \cdot C_{gdint}}{1 + j \cdot \delta \cdot \omega \cdot (\tau_1 - \tau_3)} \\
 Y_{bdint} &= \frac{j \cdot \omega \cdot C_{bdint}}{1 + j \cdot \delta \cdot \omega \cdot (\tau_1 - \tau_3)} \\
 Y_{dsint} &= \frac{g_{ds}}{1 + j \cdot \delta \cdot \omega \cdot \tau_1} \\
 Y_{gbint} &= j \cdot \omega \cdot C_{gbint}
 \end{aligned} \tag{C-1}$$

avec $\delta=0$ si on néglige les effets non quasi-stationnaires et $\delta=1$ si on en tient compte.

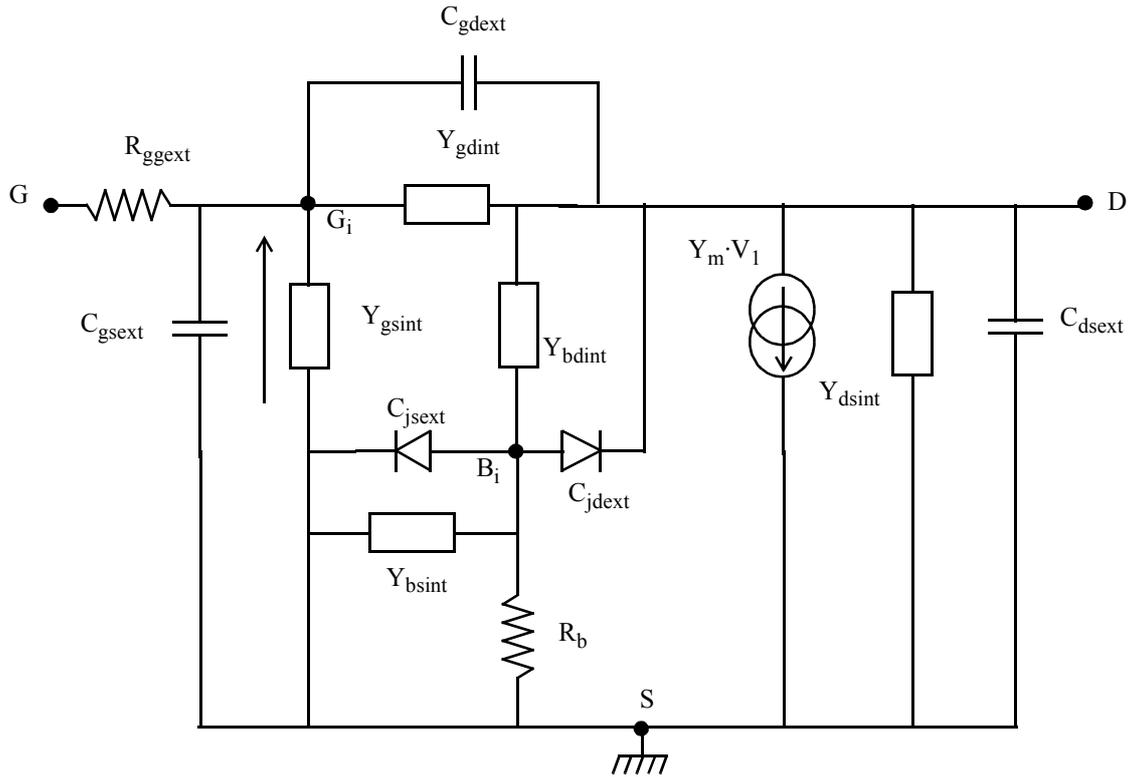


Figure C-1 : Schéma équivalent utilisé pour mettre en évidence différents effets dans le MOSFET.

C.1.2 Quelles grandeurs observer ?

Le Port 1 est connecté sur la grille et le Port 2 sur le drain.

Capacité totale vue de la grille :

$$\text{Mes}[C_{gg}] = -\frac{1}{\omega} \cdot \frac{1}{\text{Im}\left[\frac{1}{Y_{11}}\right]} \quad (\text{C-2})$$

Résistance totale de grille :

$$\text{Mes}[R_{gg}] = \text{Re}\left[\frac{1}{Y_{11}}\right] \quad (\text{C-3})$$

Capacité grille-drain :

$$\text{Mes}[C_{gd}] = \frac{1}{\omega} \cdot \frac{1}{\text{Im}\left[\frac{1}{Y_{12}}\right]} \quad (\text{C-4})$$

Capacités drain-substrat et drain-source

$$\text{Mes}[C_{bd}] = \frac{1}{\omega} \cdot \text{Im}[Y_{22} + Y_{12}] \quad (\text{C-5})$$

Conductance source-drain :

$$\text{Mes}[G_{ds}] = \text{Re}[Y_{22}] \quad (\text{C-6})$$

Transconductance de grille :

$$\begin{aligned} \text{Mes}[Y_m] &= |Y_{21} - Y_{12}| \\ \text{Mes}[G_m] &= \text{Re}[Y_{21} - Y_{12}] \end{aligned} \quad (\text{C-7})$$

Gain de Mason (et sa fréquence de coupure F_{\max}) :

$$\text{Mes}[U] = \frac{|Y_{21} - Y_{12}|^2}{4 \cdot (\text{Re}[Y_{11}] \cdot \text{Re}[Y_{22}] - \text{Re}[Y_{12}] \cdot \text{Re}[Y_{21}])} \quad (\text{C-8})$$

Gain en courant (et sa fréquence de coupure F_t) :

$$\text{Mes}[|H_{21}|] = \left| \frac{Y_{21}}{Y_{11}} \right| \quad (\text{C-9})$$

C.2 Cas idéal

Dans ce cas, on néglige les éléments parasites et les effets non quasi-stationnaires ($\delta=0$).

On retrouve donc tout naturellement les éléments intrinsèques du schéma. Aucun d'entre eux ne présente de dépendance en fréquence. Ainsi,

$$\text{Mes}[C_{gg}] = C_{gsint} + C_{gbint} + C_{gdint} = C_{ggint} \quad (\text{C-10})$$

$$\text{Mes}[R_{gg}] = 0 \quad (\text{C-11})$$

$$\text{Mes}[C_{gd}] = C_{gdint} \quad (\text{C-12})$$

$$\text{Mes}[C_{bd}] = C_{bdint} \quad (\text{C-13})$$

$$\text{Mes}[G_{ds}] = g_{ds} \quad (\text{C-14})$$

$$\text{Mes}[Y_m] = g_m + j \cdot \omega \cdot C_m \quad (\text{C-15})$$

Le gain de Mason et F_{\max} sont infinis (du point de vue des paramètres Y , on observe que $\text{Re}[Y_{11}] = \text{Re}[Y_{12}] = 0$, ce qui conduit à un dénominateur nul dans (C-8)). Le gain en courant $|H_{21}|$ est idéal (pente à -20dB/décade), avec $F_t=4.97\text{GHz}$.

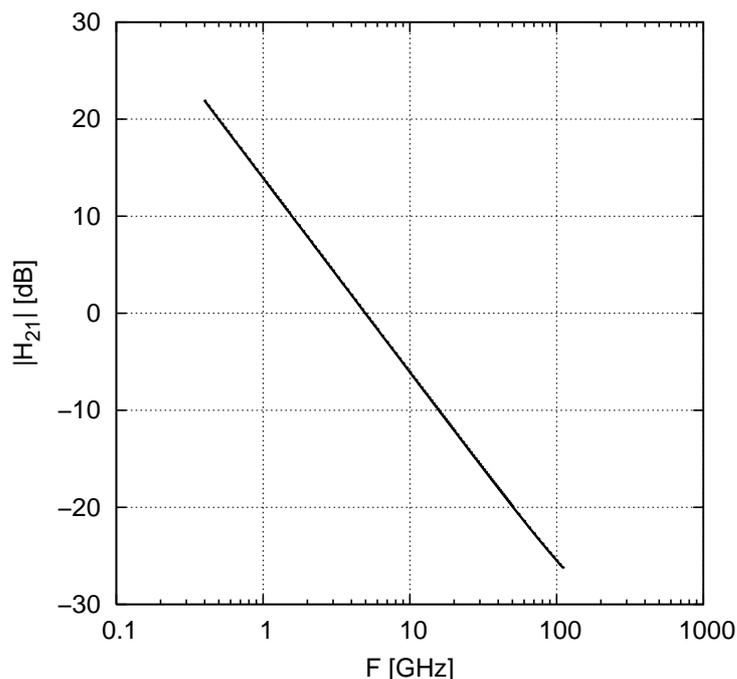


Figure C-2 : Mesure du gain $|H_{21}|$ du dispositif dans un cas idéal.

C.3 Effet seul de la résistance de grille

En tenant compte de R_{ggext} , le gain de Mason et F_{max} ne sont plus infinis (les parties réelles de Y_{11} et Y_{12} ne sont plus nulles). Les capacités C_{gg} et C_{gd} sont toujours constantes¹ ; le gain en courant et F_t sont les mêmes que dans le cas idéal, mais l'effet de la résistance de grille est visible sur la transconductance de grille, ainsi que sur la conductance source-drain et la capacité drain-substrat. De plus, $R_{gg}=R_{ggext}$.

1.La façon de les extraire de la mesure permet en effet de s'affranchir de l'influence de la résistance de grille.

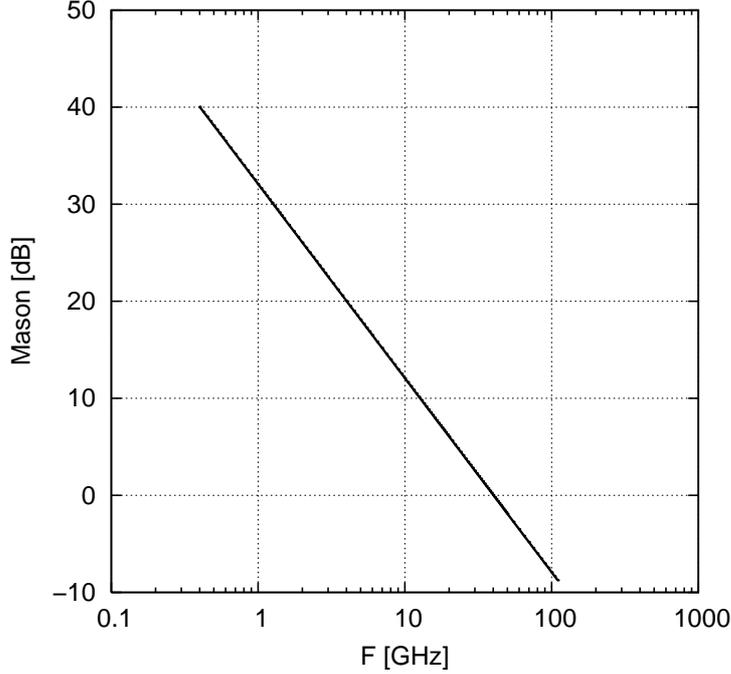


Figure C-3 : Mesure du gain de Mason du dispositif en tenant uniquement compte de R_{ggext} . Dans ce cas, $F_{max}=40.18\text{GHz}$.

L'Annexe A montre par le calcul que la résistance de grille influe sur Y_{22} . L'équation de ce paramètre est alors :

$$\begin{aligned}
 Y_{22} = & g_{ds} + j \cdot \omega \cdot C_{dd} \\
 & + \frac{\omega^2 \cdot R_{ggext} \cdot C_{dg} \cdot (C_{gd} + g_m \cdot R_{ggext} \cdot C_{gg})}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \\
 & + j \cdot \omega \cdot \frac{R_{ggext} \cdot C_{gd} \cdot (g_m - \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{dg})}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2}
 \end{aligned} \tag{C-16}$$

Alors, d'après (C-6) :

$$\text{Mes}[G_{ds}] = g_{ds} + \frac{\omega^2 \cdot R_{ggext} \cdot C_{dg} \cdot (C_{gd} + g_m \cdot R_{ggext} \cdot C_{gg})}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \tag{C-17}$$

Le terme dépendant de ω traduit la remontée observée sur la Figure C-4.

Par ailleurs, la courbe de la Figure C-5 montre un décalage entre la valeur basse fréquence de $\text{Mes}[C_{bd}]$ et la valeur intrinsèque de la capacité. Ce décalage doit être pris en compte lors de l'extraction de la valeur intrinsèque de C_{bd} .

$$\text{Mes}[C_{bd}] = \frac{1}{\omega} \cdot \text{Im}[Y_{22} + Y_{12}] \tag{C-18}$$

Sachant que :

$$Y_{12} = - \frac{j \cdot \omega \cdot C_{gd}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} - \frac{\omega^2 \cdot C_{gg} \cdot C_{gd} \cdot R_{ggext}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \tag{C-19}$$

On obtient :

$$\text{Mes}[C_{bd}] = C_{dd} + \frac{R_{ggext} \cdot C_{gd} \cdot (g_m - \omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{dg})}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} - \frac{j \cdot \omega \cdot C_{gd}}{1 + (\omega \cdot R_{ggext} \cdot C_{gg})^2} \quad (\text{C-20})$$

Soit à basse fréquence :

$$\begin{aligned} \text{Mes}[C_{bd}] &= C_{dd} + R_{ggext} \cdot C_{gd} \cdot g_m - C_{gd} \\ &= (C_{bd} + C_{ds}) + R_{ggext} \cdot C_{gd} \cdot g_m \end{aligned} \quad (\text{C-21})$$

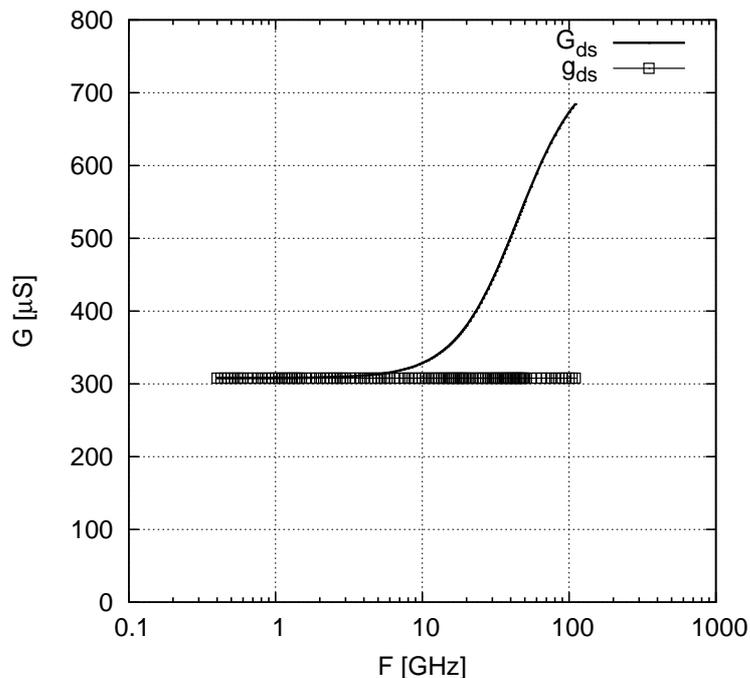


Figure C-4 : Mesure de la conductance source-drain du dispositif en tenant uniquement compte de R_{ggext} .

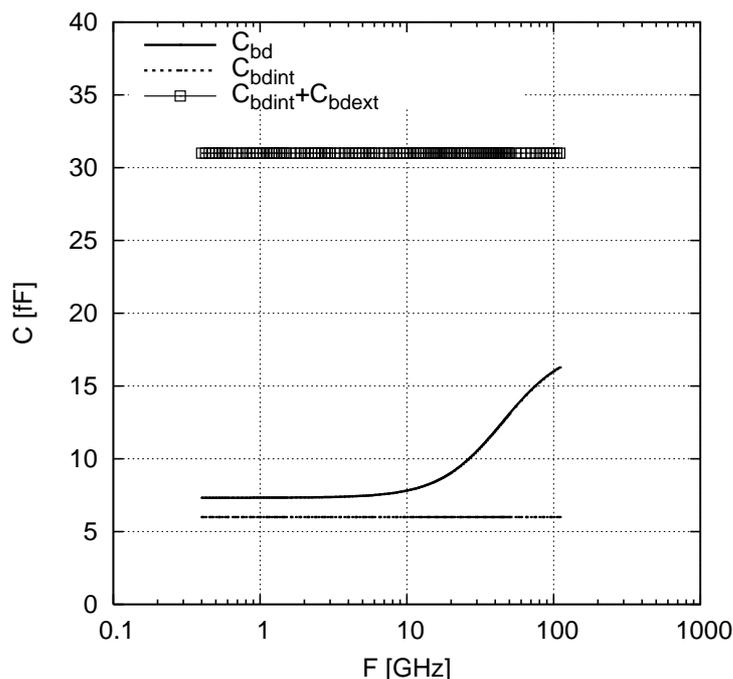


Figure C-5 : Mesure de la capacité C_{bd} du dispositif en tenant uniquement compte de R_{ggext} .

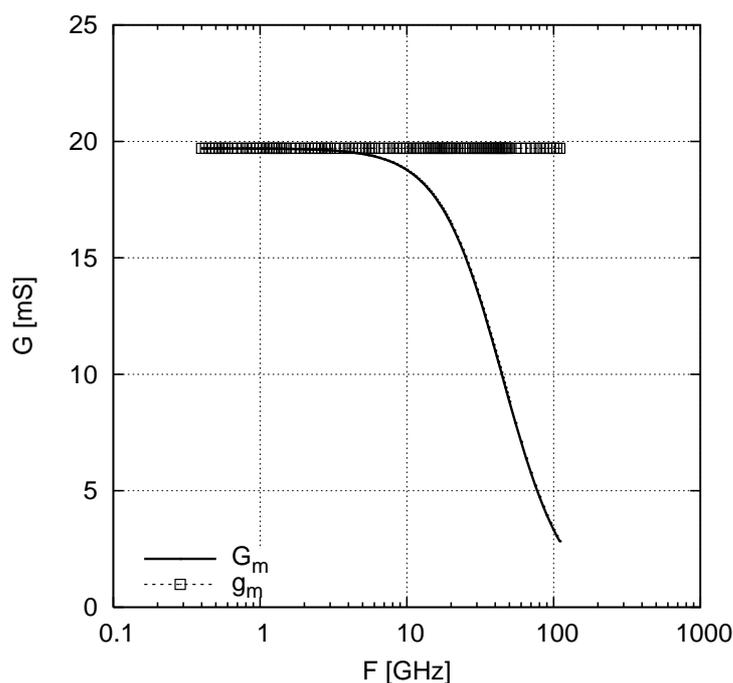


Figure C-6 : Mesure de la transconductance de grille en tenant compte uniquement de R_{ggext} .

C.4 Effets combinés de la résistance de grille et des capacités parasites

La prise en compte des capacités extrinsèques conduit à l'augmentation des capacités d'entrée et de contre-réaction du dispositif. C_{gg} et C_{gd} sont donc toujours constantes, mais leur valeur est plus grande. De même, la valeur basse fréquence mesurée de C_{bd} est plus importante (Figure C-7). La mesure de R_{gg} et la transconductance de grille ne sont pas modifiées par rapport au cas précédent.

En revanche, les effets fréquentiels observés sur les mesures de C_{bd} et de G_{ds} sont de même nature, mais ils sont plus marqués, comme le montrent la Figure C-7 et la Figure C-8. Le calcul de Y_{22} tenant compte de R_{ggext} fait intervenir C_{gd} et C_{gg} (voir (C-16)) : celles-ci incluent ici les capacités parasites et leurs valeurs respectives sont donc plus importantes. Il faut par ailleurs noter que dans le cas présent, les capacités de jonction n'ont aucune influence, si ce n'est la valeur basse fréquence de $Mes[C_{bd}]$.

Les capacités parasites de grille sont de plus à l'origine d'une diminution des performances de rapidité qui peut être illustrée par le gain de Mason et le gain en courant (Figure C-9 et Figure C-10).

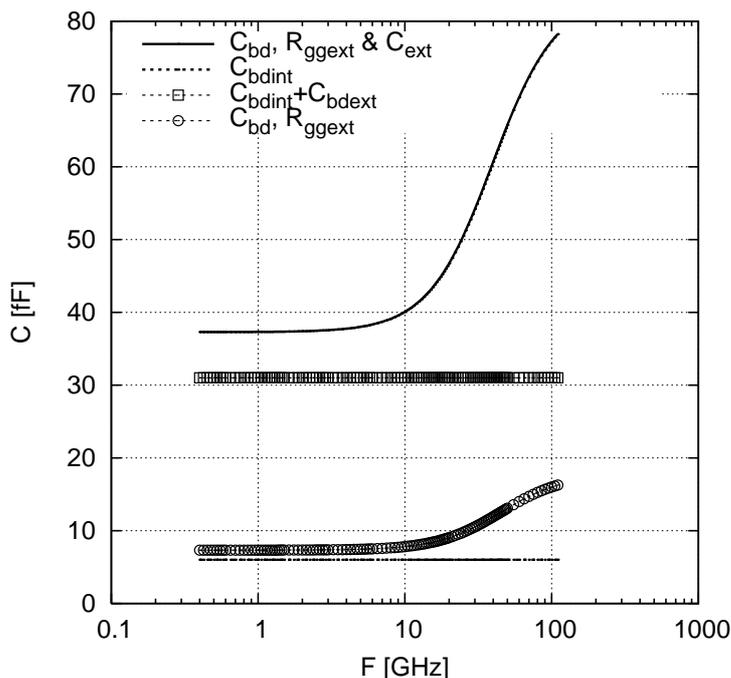


Figure C-7 : Mesure de la capacité C_{bd} en tenant compte uniquement de R_{ggext} (symboles ronds), et en tenant compte à la fois de R_{ggext} , et des capacités parasites (ligne continue).

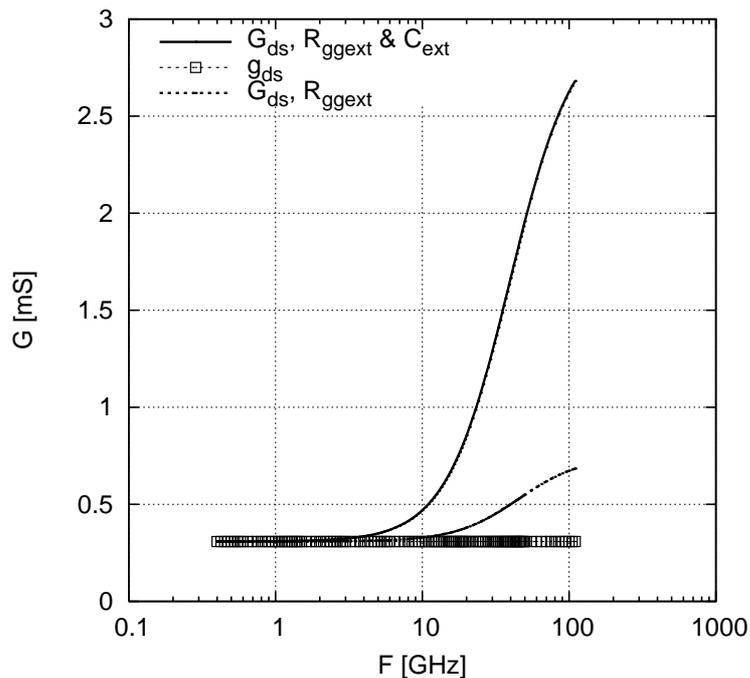


Figure C-8 : Mesure de la conductance source-drain en tenant compte uniquement de R_{ggext} (pointillés), et en tenant compte à la fois de R_{ggext} , et des capacités parasites (ligne continue).

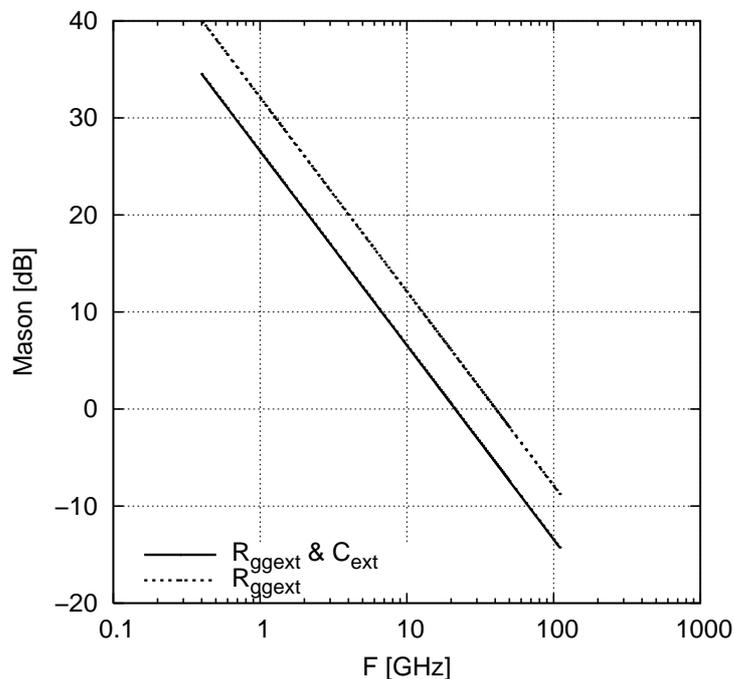


Figure C-9 : Mesure du gain de Mason du dispositif en tenant compte uniquement de R_{ggext} (pointillés), et en tenant compte à la fois de R_{ggext} , et des capacités parasites (ligne continue). Ici $F_{max}=21.3GHz$

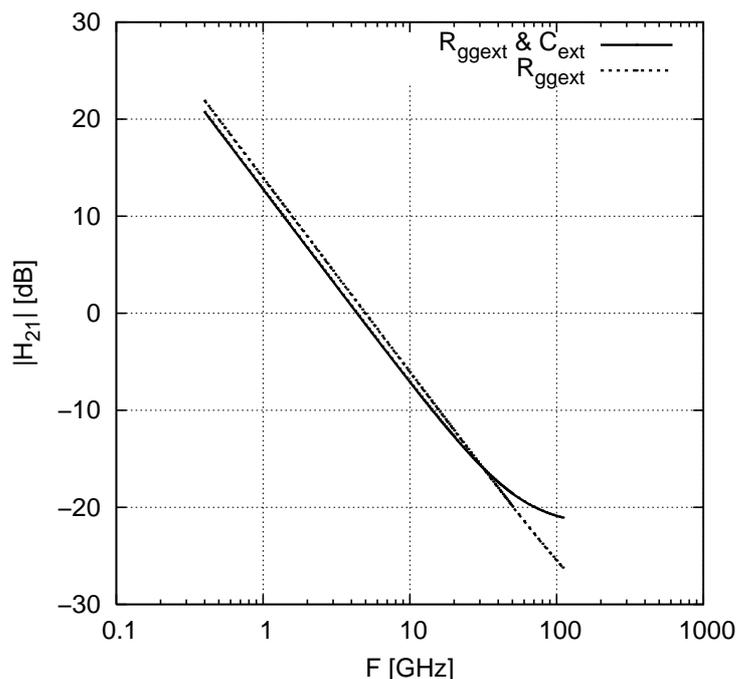


Figure C-10 : Mesure du gain $|H_{21}|$ du dispositif en tenant compte uniquement de R_{ggext} (pointillés), et en tenant compte à la fois de R_{ggext} et des capacités parasites (ligne continue). Ici, $F_t=4.35\text{GHz}$.

C.5 Effets combinés de la résistance de grille, des capacités parasites et de la résistance substrat

Les effets présents ici sont la résistance de grille, les capacités parasites et la résistance de substrat. La résistance de substrat R_b affecte toutes les mesures, de façon souvent complexe. La prise en compte de cet élément implique que le nœud intrinsèque de bulk (B_i) n'est plus connecté à la masse. Ainsi, la capacité grille-substrat, vue de la grille, se trouve en série avec R_b , elle-même en parallèle avec les capacités C_{bs} et C_{bd} ². Cela se traduit par l'effet fréquentiel que l'on observe sur la Figure C-11.

Quant à la résistance totale vue de la grille, elle apparaît à basse fréquence comme étant la somme de la résistance de grille et d'une contribution résistive due à la résistance du substrat. En revanche, à plus haute fréquence, les impédances des capacités diminuent et le signal passe préférentiellement par les capacités. La mesure de R_{gg} tend donc vers la valeur de la résistance de grille (Figure C-12).

² C_{bs} et C_{bd} sont les capacités intrinsèques source-substrat et drain-substrat auxquelles s'ajoutent les capacités de jonction.

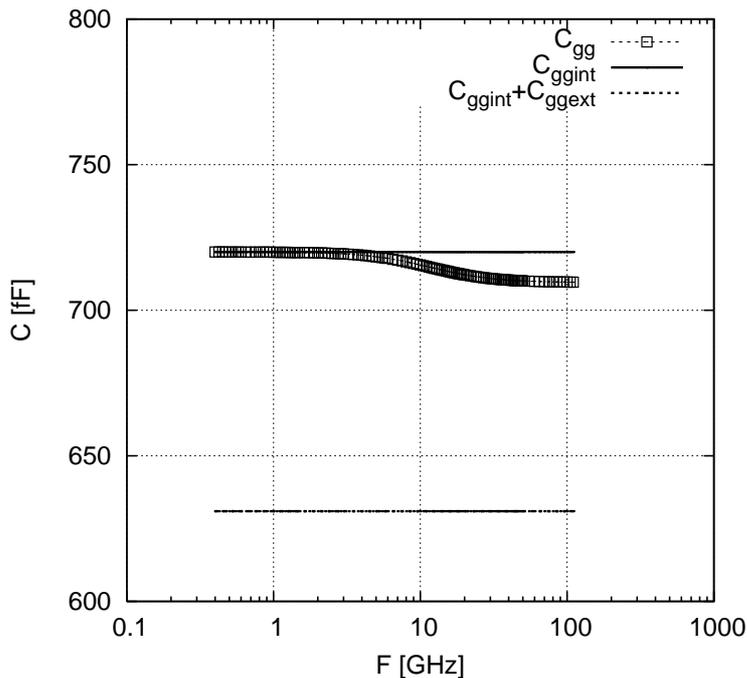


Figure C-11 : Mesure de la capacité totale vue de la grille, en tenant compte de la résistance de grille, des capacités parasites et d'une résistance de substrat.

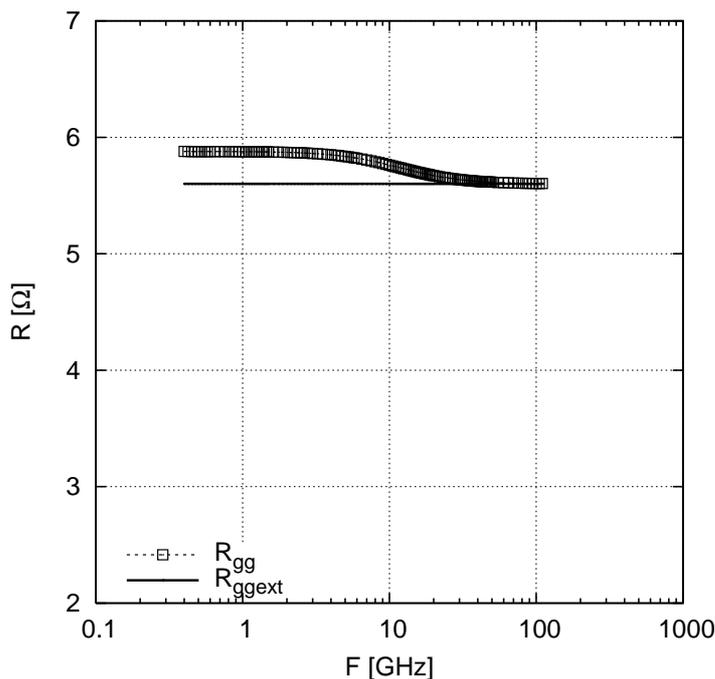


Figure C-12 : Mesure de la résistance totale vue de la grille, en tenant compte des effets de la résistance de grille, des capacités parasites et d'une résistance de substrat.

L'effet de la résistance de substrat sur la mesure de la capacité grille-drain se traduit par une remontée de la courbe Figure C-13. Rappelons que C_{gd} est mesurée à partir de Y_{12} , qui est la réponse en courant sur la grille à une excitation en tension sur le drain. A partir du moment où le point B_i n'est pas à la masse, le signal appliqué au drain influe sur le potentiel de ce point par l'intermédiaire des capacités C_{bdint} et C_{jdext} , et retourne à la grille par la capacité C_{gb} . La grille

“voit” donc une réponse supplémentaire apparaître, mais qui ne correspond pas au signal qui passe par C_{gd} .

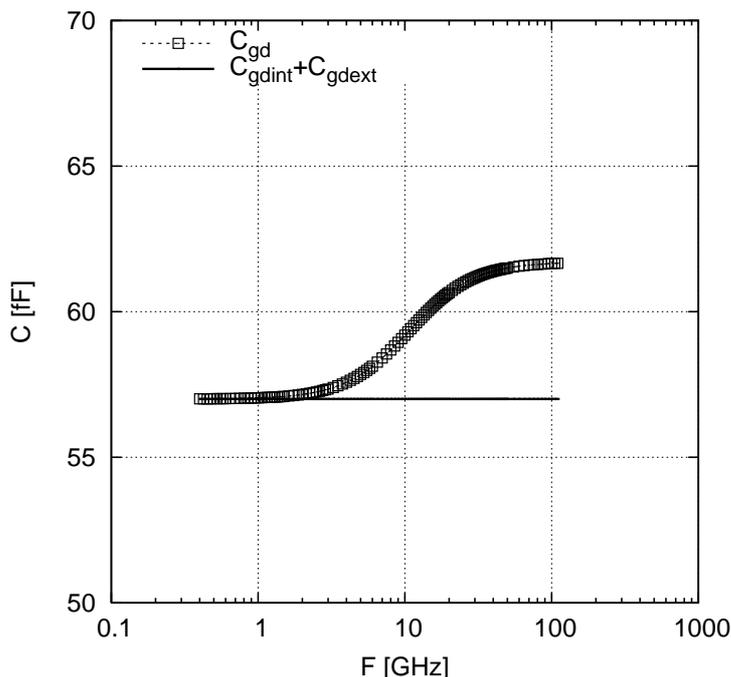


Figure C-13 : Mesure de la capacité grille-drain, en tenant compte des effets de la résistance de grille, des capacités parasites et d’une résistance de substrat.

Dans le cas de C_{bd} (mesurée à partir de Y_{22}), la mise en série de R_b , elle-même en parallèle avec C_{gb} et C_{bs} , se traduit par une légère décroissance de la valeur mesurée avant la remontée observée avec les seuls effets de R_{ggext} et des capacités parasites (Figure C-14).

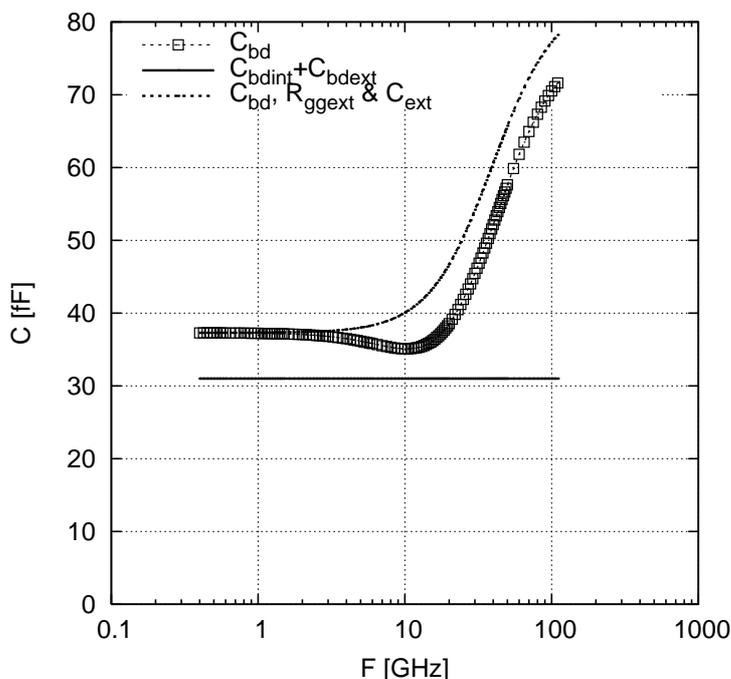


Figure C-14 : Mesure de la capacité drain-substrat, en tenant compte des effets de la résistance de grille, des capacités parasites et d’une résistance de substrat.

Comme le montre la Figure C-15, on observe sur la mesure de la conductance source-drain une augmentation en haute fréquence. En effet, si B_i n'est pas à la masse, g_{ds} est en parallèle avec C_{bd} , elle-même en série avec R_b .

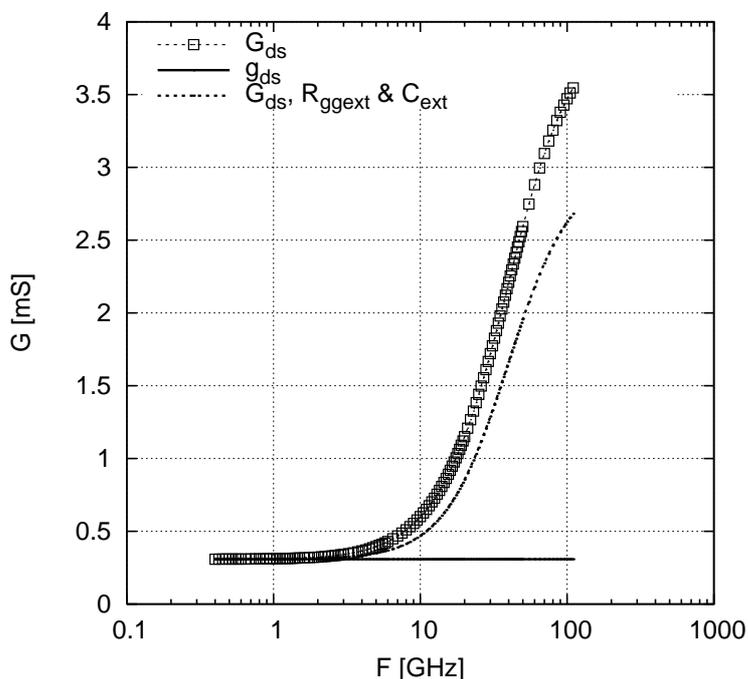


Figure C-15 : Mesure de la conductance source-drain, en tenant compte des effets de la résistance de grille, des capacités parasites et d'une résistance de substrat.

Une résistance de substrat influence l'allure du gain de Mason d'une façon relativement complexe, augmentant le gain à basse fréquence et le diminuant à plus haute fréquence (Figure C-16).

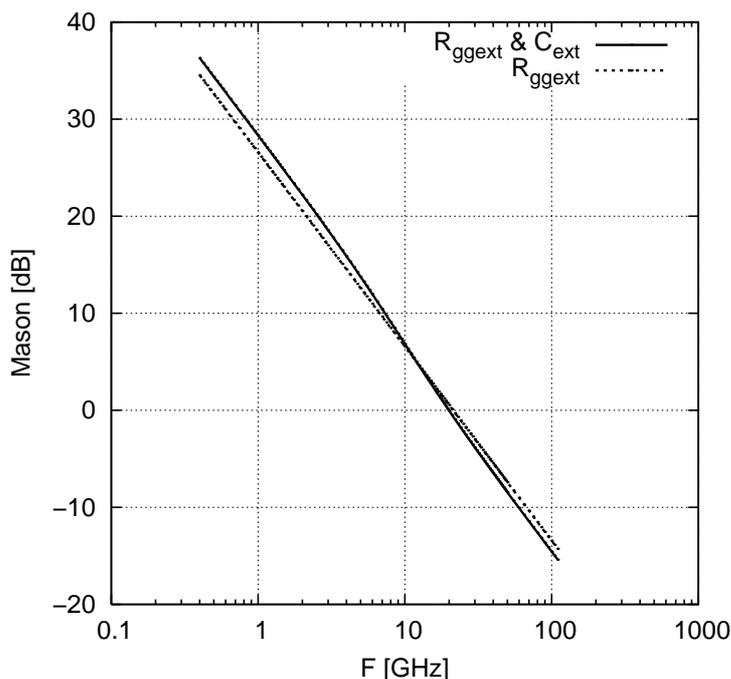


Figure C-16 : Mesure du gain de Mason du dispositif, en tenant compte des effets de la résistance de grille, des capacités parasites et d'une résistance de substrat. Ici, $F_{\max}=19.9\text{GHz}$.

Ce qui paraît surprenant est qu'à basse fréquence (disons autour de 1GHz), le gain de Mason avec prise en compte de la résistance de grille est supérieur au gain de Mason sans prise en compte de cette même résistance. Alors que la résistance série vue de la grille est, à cette fréquence, supérieure à la résistance du polysilicium de grille ; ce qui devrait *a priori* conduire à un gain de Mason inférieur, compte tenu de la formulation donnée par l'équation (B-28) :

La raison vient en fait du comportement de $\text{Re}[Y_{12}]$. La formule du gain de Mason est la suivante :

$$U = \frac{|Y_{21} - Y_{12}|^2}{4 \cdot (\text{Re}[Y_{11}] \cdot \text{Re}[Y_{22}] - \text{Re}[Y_{12}] \cdot \text{Re}[Y_{21}])} \quad (\text{C-22})$$

Le fait de prendre en compte ou non la résistance de substrat n'a quasiment aucun impact sur $|Y_{21} - Y_{12}|^2$, quelle que soit la fréquence. L'impact en basse fréquence sur $\text{Re}[Y_{11}] \cdot \text{Re}[Y_{22}]$ est négligeable.

En revanche, sur le terme $\text{Re}[Y_{12}] \cdot \text{Re}[Y_{21}]$, il existe une différence. Celle-ci provient de la partie réelle de Y_{12} , comme l'illustre la Figure C-17. La Table C-1 résume l'impact, d'un point de vue mathématique, de l'effet de la résistance de grille ou de la résistance substrat sur $\text{Re}[Y_{12}]$.

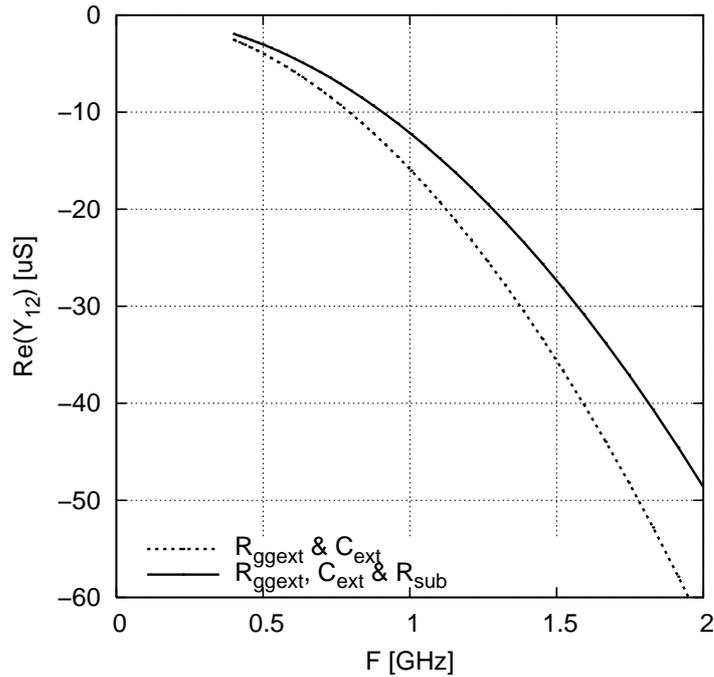


Figure C-17 : Effets basse fréquence de la prise en compte de la résistance du substrat sur $\text{Re}[Y_{12}]$.

Effet pris en compte (R_b ou R_{ggext})	$\text{Re}[Y_{12}]$	$\text{signe}(\text{Re}[Y_{12}])$
aucun	0	0
R_{ggext}	$-\frac{\omega^2 \cdot R_{ggext} \cdot C_{gg} \cdot C_{gd}}{1 + (\omega \cdot C_{gg} \cdot R_{ggext})^2}$	-
R_b	$\frac{\omega^2 \cdot R_b \cdot C_{gb} \cdot C_{bd}}{1 + (\omega \cdot C_{bb} \cdot R_b)^2}$	+

Table C-1 : Partie réelle de $\text{Re}[Y_{12}]$ suivant l'effet (résistance de grille ou résistance de substrat).

Toute l'influence du substrat à basse fréquence est là : la résistance de grille tend à donner un signe négatif à $\text{Re}[Y_{12}]$, alors que la résistance de substrat tend à lui donner un signe positif. L'effet de R_b sur le gain de Mason va donc dans le sens d'une diminution du dénominateur et par conséquent d'une augmentation du gain.

A plus haute fréquence, l'impact de la résistance du substrat n'est plus uniquement visible sur $\text{Re}[Y_{12}]$. Si les parties réelles de Y_{11} et de Y_{21} ne changent pas, l'augmentation en fréquence de $\text{Re}[Y_{22}]$ est beaucoup plus marquée, comme illustré sur la Figure C-15. En effet, avec la diminution de l'impédance des capacités drain-substrat et source-substrat, la conductance source-drain et R_b sont en parallèle. Le dénominateur de (C-22) tend donc à augmenter, et le gain à diminuer.

Comme on peut le voir sur des données mesurées (Figure C-18 et Figure C-19), ces effets sont d'autant plus marqués que :

- la longueur de grille est importante : pour un dispositif court, l'effet de la résistance de

- grille est prépondérant.
- La tension V_{GS} est faible : lorsque V_{GS} augmente, le canal se forme et écrante le réseau substrat.

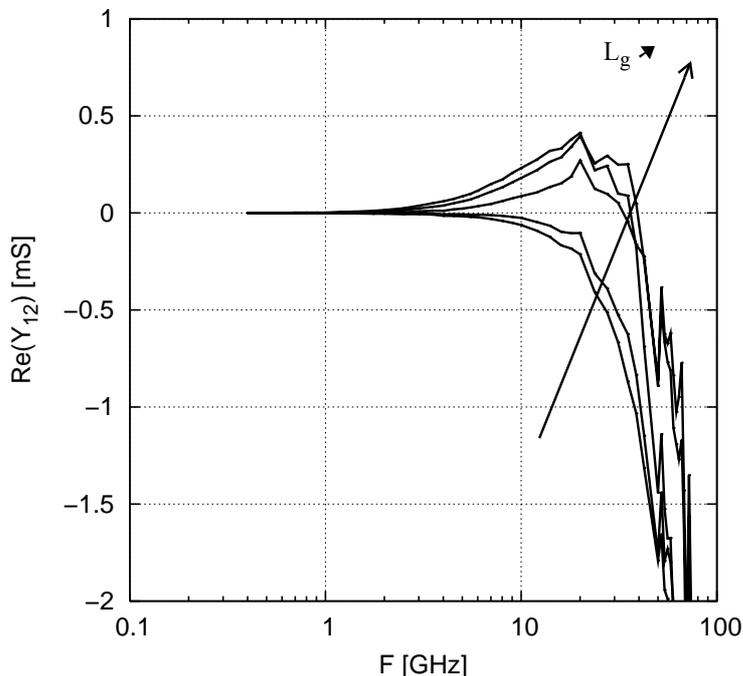


Figure C-18 : $Re[Y_{12}]$ en technologie 65nm à $V_{GS}=0.15\text{V}$ et $V_{DS}=1.2\text{V}$ pour plusieurs longueurs de grille ($L_g=0.1, 0.2, 0.5, 1.0$ et $2.0\mu\text{m}$).

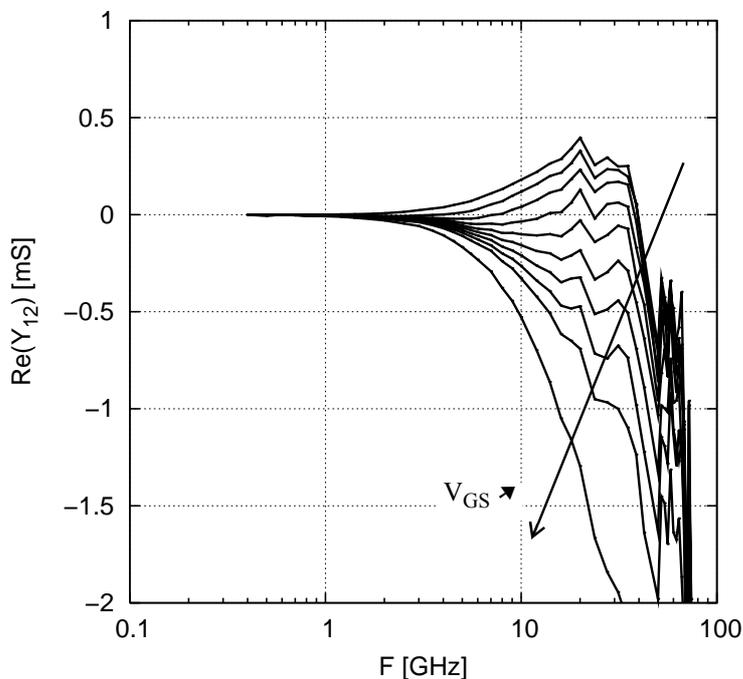


Figure C-19 : $Re[Y_{12}]$ en technologie 65nm à V_{GS} variable ($V_{GS}=0.15$ à 1.2V) et $V_{DS}=1.2\text{V}$, pour $L_g=1.0\mu\text{m}$.

C.6 Effets combinés dus à la résistance de grille et non quasi-stationnaires.

Les effets observables sur mes mesures de C_{gg} et de R_{gg} sont des effets de propagation dans

le canal. Celui-ci peut être vu comme une structure R-C distribuée³, chaque couple élémentaire (R,C) introduisant un retard. On retrouve alors les courbes C_{gg} et R_{gg} (Figure C-20 et Figure C-21) des allures semblables à une atténuation du premier ordre.

Dans le cas de la résistance totale vue de la grille, comme illustré sur la Figure C-21, la valeur en basse fréquence est plus élevée que la résistance de la grille. Cette contribution supplémentaire est présente dans les modèles "historiques" RF, sous la forme de R_i . Elle traduit l'effet de distribution. Calculons Y_{ggint} en basse fréquence :

$$\begin{aligned}
 Y_{ggint} &= Y_{gbint} + Y_{gdint} + Y_{gsint} \\
 &= j \cdot \omega \cdot C_{gbint} + \frac{j \cdot \omega \cdot C_{gdint}}{1 + j \cdot \omega \cdot (\tau_1 - \tau_3)} + \frac{j \cdot \omega \cdot C_{gsint}}{1 + j \cdot \omega \cdot (\tau_1 - \tau_2)} \\
 &\approx j \cdot \omega \cdot C_{gbint} + j \cdot \omega \cdot C_{gdint} \cdot (1 - j \cdot \omega \cdot (\tau_1 - \tau_3)) + j \cdot \omega \cdot C_{gsint} \cdot (1 - j \cdot \omega \cdot (\tau_1 - \tau_2)) \\
 &= j \cdot \omega \cdot C_{ggint} + \omega^2 \cdot (C_{gdint} \cdot (\tau_1 - \tau_3) + C_{gsint} \cdot (\tau_1 - \tau_2))
 \end{aligned} \tag{C-23}$$

Alors :

$$\begin{aligned}
 (Y_{ggint})^{-1} &= \frac{1}{j \cdot \omega \cdot C_{ggint} + \omega^2 \cdot (C_{gdint} \cdot (\tau_1 - \tau_3) + C_{gsint} \cdot (\tau_1 - \tau_2))} \\
 &= \frac{\omega^2 \cdot (C_{gdint} \cdot (\tau_1 - \tau_3) + C_{gsint} \cdot (\tau_1 - \tau_2)) - j \cdot \omega \cdot C_{ggint}}{(\omega \cdot C_{ggint})^2 + \omega^4 \cdot (C_{gdint} \cdot (\tau_1 - \tau_3) + C_{gsint} \cdot (\tau_1 - \tau_2))^2} \\
 &\approx \frac{\omega^2 \cdot (C_{gdint} \cdot (\tau_1 - \tau_3) + C_{gsint} \cdot (\tau_1 - \tau_2)) - j \cdot \omega \cdot C_{ggint}}{(\omega \cdot C_{ggint})^2}
 \end{aligned} \tag{C-24}$$

Et :

$$Re[(Y_{ggint})^{-1}] = \frac{1}{(C_{ggint})^2} \cdot (C_{gdint} \cdot (\tau_1 - \tau_3) + C_{gsint} \cdot (\tau_1 - \tau_2)) \tag{C-25}$$

La résistance totale vue de la grille, qui ne vaut en basse fréquence que la résistance de grille lorsqu'on ne tient pas compte des effets non quasi-stationnaires, contient donc une contribution supplémentaire. Il va de soi que cette contribution, due à des effets distribués, varie avec la fréquence. Les calculs ci-dessus ne sont qu'une approximation basse fréquence⁴. R_i peut être reliée à la contribution de la résistance du canal [3].

3.R étant la résistance du canal et C la capacité de grille. Cette structure n'est *a priori* pas uniforme, sauf dans le cas $V_{DS}=0$.

4.L'équation (C-1) étant déjà le résultat d'une approximation [1].

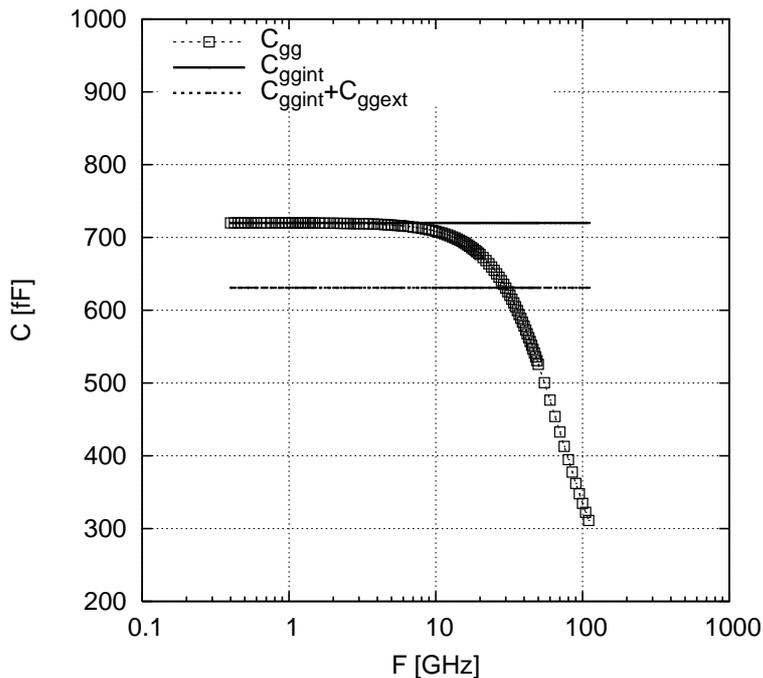


Figure C-20 : Mesure de la capacité totale vue de la grille, en tenant compte à la fois de R_{ggext} , des capacités parasites et des effets non quasi-stationnaires.

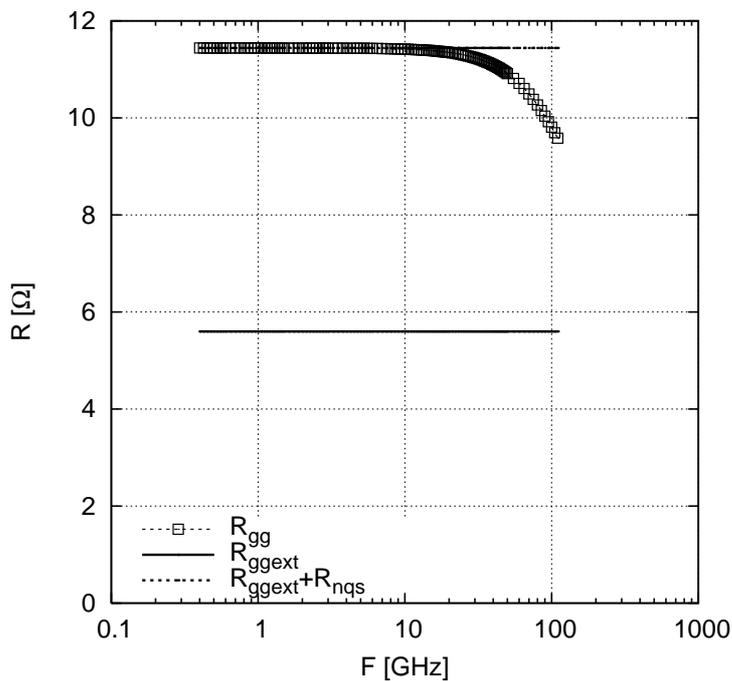


Figure C-21 : Mesure de la résistance totale vue de la grille, en tenant compte à la fois de R_{ggext} , des capacités parasites et des effets non quasi-stationnaires.

Les effets de propagation sont également visibles sur la capacité C_{gd} , dont la mesure diminue avec la fréquence. Ceci traduit une atténuation dans la réponse des charges à une excitation de plus en plus rapide.

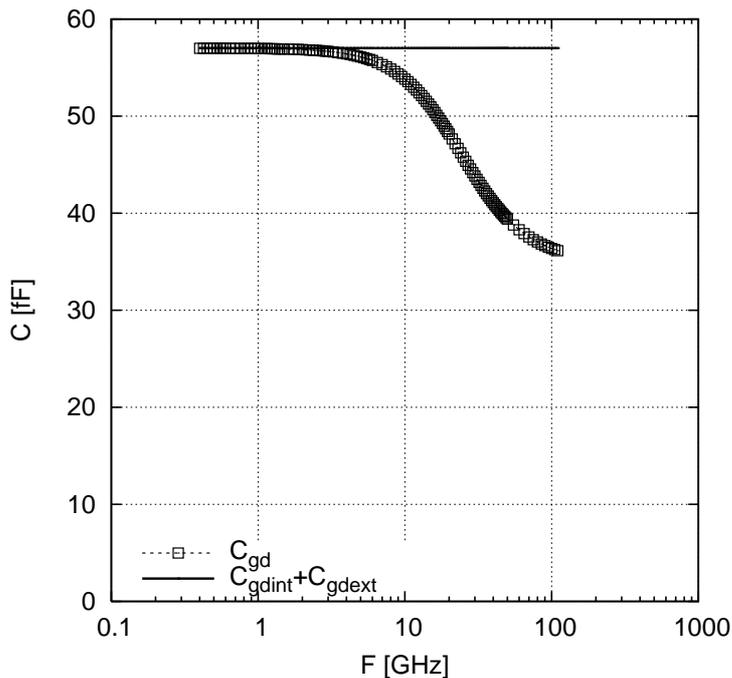


Figure C-22 : Mesure de la capacité grille-drain, en tenant compte à la fois de R_{ggext} , des capacités parasites et des effets non quasi-stationnaires.

La courbe de la Figure C-23 montre l'effet non quasi-stationnaire sur la transconductance de grille, aussi bien l'atténuation que l'effet de retard.

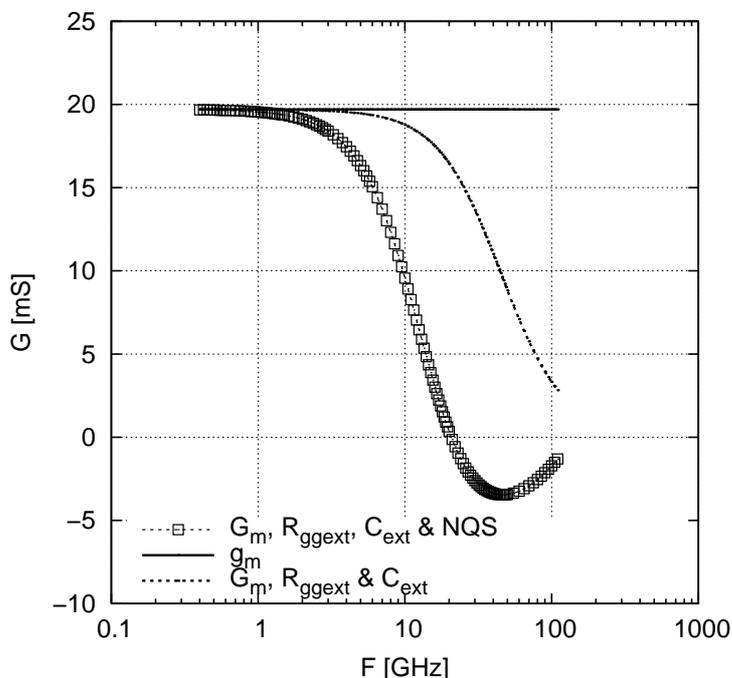


Figure C-23 : Mesure de la transconductance de grille, en tenant compte à la fois de R_{ggext} , des capacités parasites et des effets non quasi-stationnaires.

La courbe de la Figure C-24 illustre les effets sur la conductance source-drain des effets de propagation. Celle-ci augmente fortement, car le signal, à fréquence élevée, passe

préférentiellement par les capacités, qui présentent une impédance plus faible.

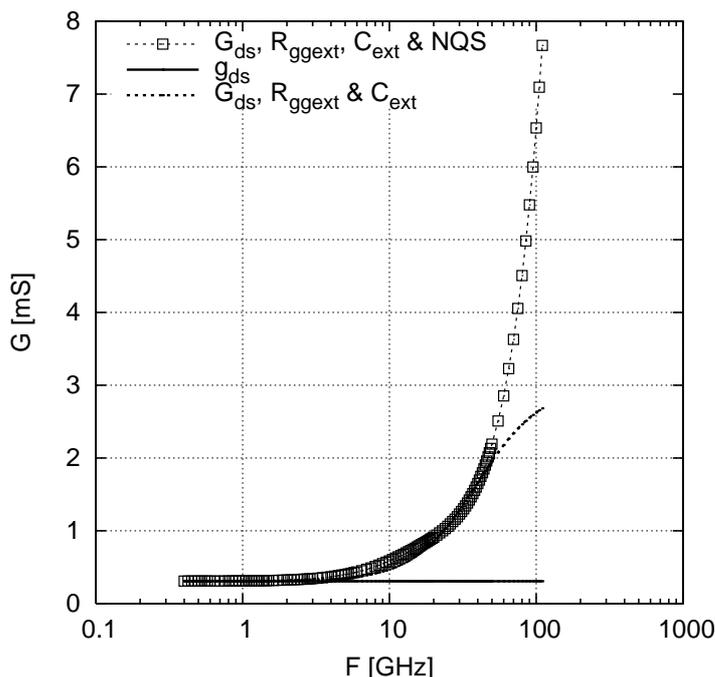


Figure C-24 : Mesure de la conductance source-drain, en tenant compte à la fois de R_{ggext} , des capacités parasites et des effets non quasi-stationnaires.

Enfin, la Figure C-25 et la Figure C-26 montrent l'impact des effets non quasi-stationnaires sur les performances de rapidité. L'influence sur le gain de Mason existe (d'un point de vue mathématique, comme le montre le développement à propos de l'effet sur la résistance totale vue de la grille) pour toutes les fréquences ; en basse fréquence, il s'agit en réalité de la contribution résistive du canal vue de la grille. A fréquence plus élevée, elle est due aux effets non quasi-stationnaires spécifiquement haute fréquence qui se manifestent sur d'autres grandeurs comme la transconductance de grille ou la conductance source-drain.

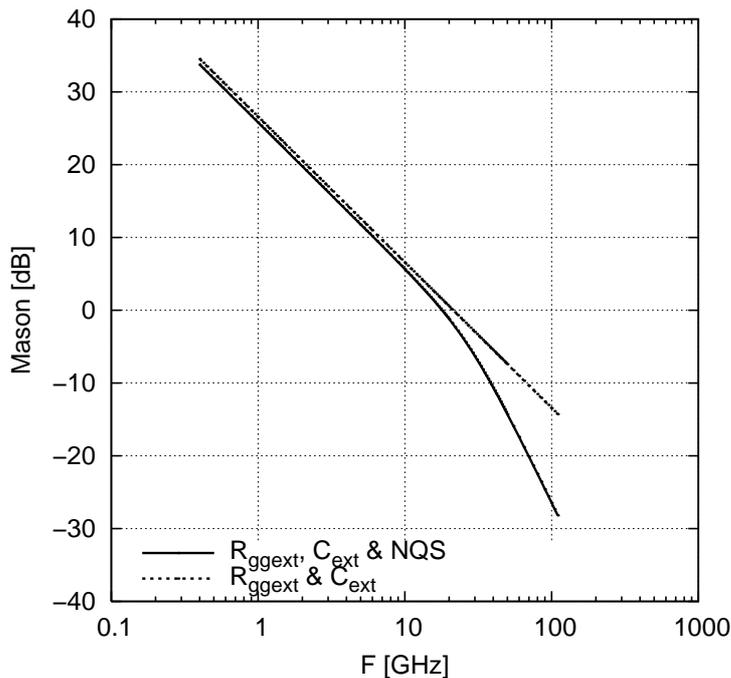


Figure C-25 : Mesure du gain de Mason, en tenant compte à la fois de R_{ggext} , des capacités parasites et des effets non quasi-stationnaires.

Un impact est également visible sur le gain $|H_{21}|$, mais l'influence des effets non quasi-stationnaires se situe au-delà de la fréquence de transition.

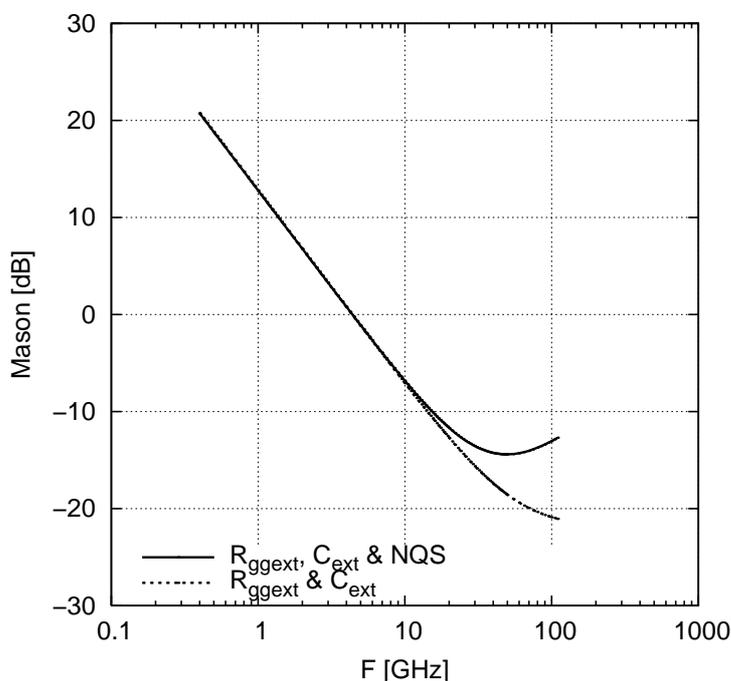


Figure C-26 : Mesure du gain en courant en court-circuit, en tenant compte à la fois de R_{ggext} , des capacités parasites et des effets non quasi-stationnaires.

C.7 Références

[1] Y. Tsividis, "Operation and Modeling of The MOS Transistor", Oxford University Press, Second Edition, 1999.

- [2] H. Kondoh, "An Accurate FET Modeling from Measured S-Parameters", MTT-S International Microwave Symposium Digest, vol. 86, no. 1, pp. 377-380, Jun. 1986.
- [3] BSIM4.6 MOSFET Model, User's Manual, Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, 2006.

Annexe D

Procédure spécifique d'épluchage de la mesure

Cette annexe détaille la procédure d'épluchage de la mesure en quatre étapes mentionnée au Chapitre 1.

D.1 Structures utilisées

D.1.1 DUT

La Figure D-1 montre la structure utilisée pour mesurer le transistor. La procédure d'épluchage va permettre de s'affranchir des couplages et des accès dus aux plots, aux lignes et aux interconnexions.

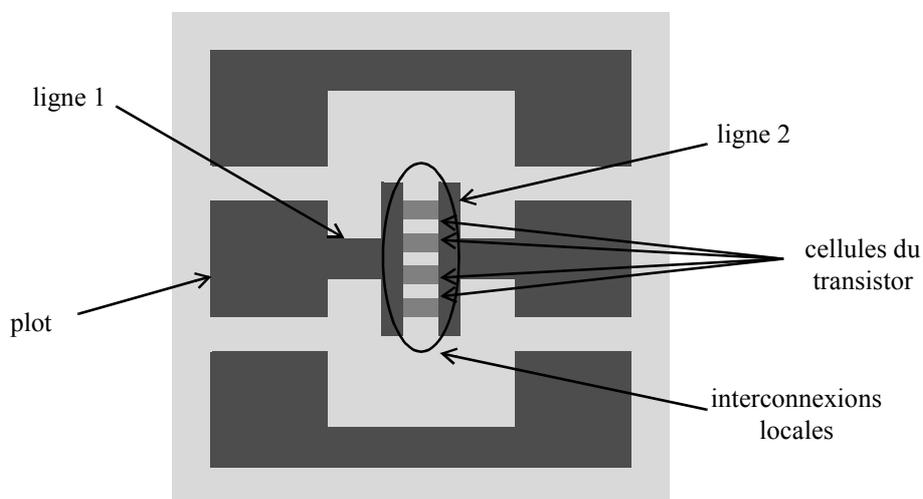


Figure D-1 : Dessin de la structure DUT, permettant de mesurer le transistor.

D.1.2 Open 1

La structure Open 1 est utilisée pour corriger la mesure des capacités des plots et de la ligne 1.

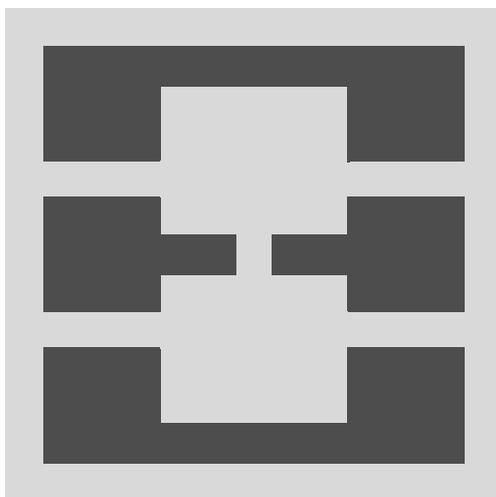


Figure D-2 : Dessin de la structure Open 1.

Les paramètres Y de la structure Open 1 sont appelés Y_E . La mesure de cette structure donne :

$$Y_{Open1} = Y_E \quad (D-1)$$

D.1.3 Short1

La structure Short 1 est utilisée pour corriger la mesure de la résistance de contact des pointes, ainsi que de la résistance et de l'inductance de la ligne 1.

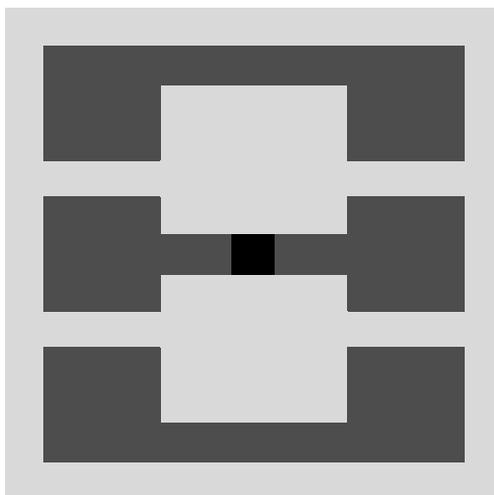


Figure D-3 : Dessin de la structure Short 1.

Les paramètres Z de la structure Short 1 sont appelés Z_{S1} . La mesure de cette structure donne :

$$Y_{Short1} = Y_E + (Z_{S1})^{-1} \quad (D-2)$$

Soit :

$$\begin{aligned} Z_{S1} &= (Y_{Short1} - Y_E)^{-1} \\ &= (Y_{Short1} - Y_{Open1})^{-1} \end{aligned} \quad (D-3)$$

D.1.4 Short 2

La structure Short 2 permet de corriger la mesure de la résistance et de l'inductance de la ligne 2.

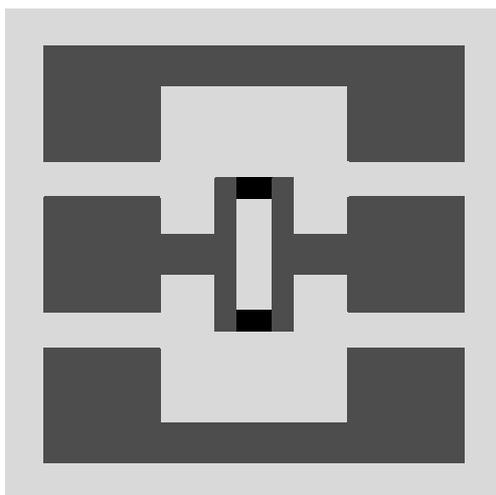


Figure D-4 : Dessin de la structure Short 2.

Les paramètres Z de la structure Short 2 sont appelés Z_{S2} . La mesure de cette structure donne :

$$Y_{Short2} = Y_E + (Z_{S1} + Z_{S2})^{-1} \quad (D-4)$$

Soit :

$$\begin{aligned} Z_{S2} &= (Y_{Short2} - Y_E)^{-1} - Z_{S1} \\ &= (Y_{Short2} - Y_{Open1})^{-1} - (Y_{Short1} - Y_{Open1})^{-1} \end{aligned} \quad (D-5)$$

Il faut noter que la mesure n'est pas corrigée de Z_{S2} , mais de $Z_{S2}/3$. En effet, les cellules sont distribuées par rapport à la ligne 2. Le facteur 1/3 permet de tenir compte de cet effet de distribution.

La correction des éléments série se fait donc grâce à Z_S :

$$\begin{aligned} Z_S &= Z_{S1} + Z_{S2} \\ &= (Y_{Short1} - Y_{Open1})^{-1} + ((Y_{Short2} - Y_{Open1})^{-1} - (Y_{Short1} - Y_{Open1})^{-1})/3 \end{aligned} \quad (D-6)$$

D.1.5 Open dédié

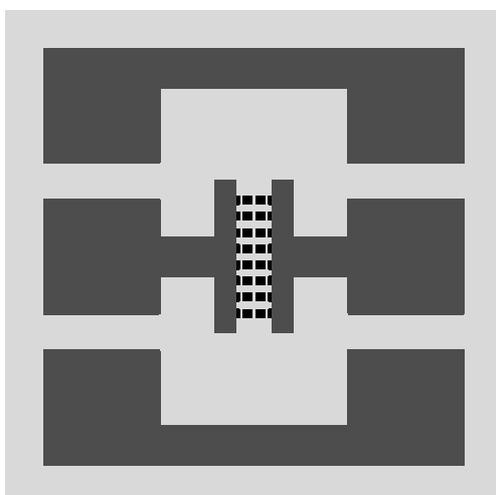


Figure D-5 : Dessin de la structure Open dédiée.

La structure Open dédiée permet de tenir compte des capacités entre les interconnexions dans les différents niveaux de métaux, et ce jusqu'au niveau Metal 1. Les interconnexions étant spécifiques à chaque transistor (en fonction de sa topologie, de sa géométrie), chaque dispositif possède sa structure Open dédiée.

Les paramètres Y de cette structure sont appelés Y_I . La mesure donne :

$$Y_{Open_ded} = Y_E + (Z_S + (Y_I)^{-1})^{-1} \quad (D-7)$$

Soit :

$$Y_I = ((Y_{Open_ded} - Y_E)^{-1} - Z_S)^{-1} \quad (D-8)$$

D.2 Epluchage

Les paramètres [Y] mesurés du transistor (c'est-à-dire ceux qu'on cherche à obtenir par la présente procédure) sont appelés Y_{DUT} ; ceux du dispositif mesuré sont nommés Y_{mes} .

On a donc :

$$Y_{mes} = Y_E + (Z_S + (Y_I + Y_{DUT})^{-1})^{-1} \quad (D-9)$$

Soit :

$$Y_{DUT} = ((Y_{mes} - Y_E)^{-1} - Z_S)^{-1} - Y_I \quad (D-10)$$

Annexe E

Calcul de la capacité de recouvrement

Le recouvrement des extensions LDD des zones de source et de drain par la grille donne naissance aux capacités de recouvrement grille-source et grille-drain, dues à l'oxyde de grille d'une part, et d'autre part à la présence d'une zone de déplétion dans l'extension [1], comme le montre la Figure E-1.

Ces capacités sont dépendantes de la polarisation, car les extensions sont généralement peu dopées [2].

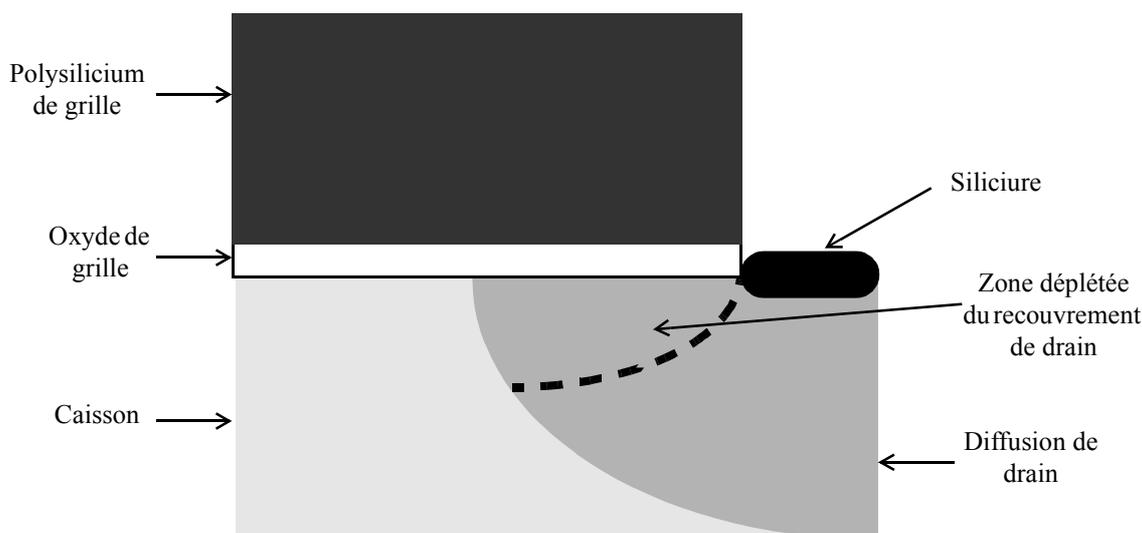


Figure E-1 : Schéma illustrant la capacité de recouvrement côté drain.

E.1 Calcul de la capacité de recouvrement

Dans le cas d'un pMOSFET, les diffusions de source et drain sont dopées P+, avec une concentration en impuretés acceptrices valant N_A . A l'équilibre, la concentration en trous est donc :

$$p_0 \approx N_A \quad (\text{E-1})$$

Le niveau de Fermi est alors donné par :

$$\phi_F = \phi_t \cdot \ln \left[\frac{N_A}{n_i} \right] \quad (\text{E-2})$$

La zone de recouvrement du transistor est analogue à une structure MOS à deux terminaux. Par conséquent, la charge dans le semiconducteur est [2] :

$$Q_{ov} = \mp \sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D} \cdot \sqrt{\phi_t \cdot \exp \left[-\frac{\Psi}{\phi_t} \right] + \Psi - \phi_t + \exp \left[-2 \cdot \frac{\phi_F}{\phi_t} \right] \cdot \left(\phi_t \cdot \exp \left[\frac{\Psi}{\phi_t} \right] - \Psi - \phi_t \right)} \quad (\text{E-3})$$

Ψ est le potentiel de surface dans la région de recouvrement.

E.1.1 Régime de déplétion

En régime de déplétion, le calcul de Q_{ov} est basé sur une approximation de (E-3). Q_{ov} est négative, car elle est due aux impuretés acceptrices ; de plus, $\psi > 0$. [2] donne :

$$Q_{ov} = -\sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D} \cdot \sqrt{\psi} \quad (E-4)$$

La capacité due à la zone de déplétion dans la diffusion de drain vaut donc :

$$-\left(\frac{dQ_{ov}}{d\psi}\right) = \sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D} \cdot \frac{1}{2 \cdot \sqrt{\psi}} \quad (E-5)$$

Alors, la capacité de recouvrement résulte de la mise en série de la capacité due à l'oxyde de grille et de la capacité définie par (E-5)

$$\begin{aligned} C_{ov} &= \frac{C_{ox} \cdot \sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D} \cdot \frac{1}{2 \cdot \sqrt{\psi}}}{C_{ox} + \sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D} \cdot \frac{1}{2 \cdot \sqrt{\psi}}} \\ &= \frac{C_{ox} \cdot \sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D}}{\sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D} + 2 \cdot C_{ox} \cdot \sqrt{\psi}} \end{aligned} \quad (E-6)$$

E.1.2 Régime d'accumulation

En régime d'accumulation, Q_{ov} est positive car elle est due à la couche de porteurs majoritaires. De plus, $\psi < 0$. (E-3) devient donc :

$$Q_{ov} = \sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D} \cdot \sqrt{\phi_t \cdot \exp\left[\frac{-\psi}{\phi_t}\right]} \quad (E-7)$$

La capacité due à la diffusion de drain vaut donc :

$$\begin{aligned} \frac{dQ_{ov}}{d\psi} &= \sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D} \cdot \frac{\exp\left[\frac{-\psi}{\phi_t}\right]}{2 \cdot \sqrt{\phi_t \cdot \exp\left[\frac{-\psi}{\phi_t}\right]}} \\ &= \frac{\sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D}}{2 \cdot \sqrt{\phi_t}} \cdot \sqrt{\exp\left[\frac{-\psi}{\phi_t}\right]} \\ &= \sqrt{\frac{q \cdot \epsilon_s \cdot N_D}{2 \cdot \phi_t}} \cdot \exp\left[\frac{-\psi}{2 \cdot \phi_t}\right] \end{aligned} \quad (E-8)$$

Comme $\psi < 0$, on voit que la valeur de cette capacité est très grande. Ce qui implique :

$$C_{ov} \approx C_{ox} \quad (E-9)$$

E.2 Modèle BSIM4.6

E.2.1 Charge de recouvrement

En régime de déplétion, BSIM part de (E-4). Dans ce régime, on a [2] :

$$V_{GD}^* - \psi = \gamma_{ov} \cdot \sqrt{\psi} \quad (E-10)$$

où

$$\gamma_{ov} = \frac{\sqrt{2 \cdot q \cdot \epsilon_s \cdot N_D}}{C_{ox}} \quad (\text{E-11})$$

et où V_{GD}^* est la tension effective grille-drain, définie par [4] :

$$V_{GD}^* = V_{gd} - V_{FBov} \quad (\text{E-12})$$

V_{FBov} étant la tension de bandes plates de la zone de recouvrement. Alors :

$$\sqrt{\Psi} = \frac{\gamma_{ov}}{2} \cdot \left(-1 + \sqrt{1 + \frac{4 \cdot V_{GD}^*}{\gamma_{ov}^2}} \right) \quad (\text{E-13})$$

et (E-4) devient :

$$\begin{aligned} Q_{ov} &= -\gamma_{ov} \cdot C_{ox} \cdot \sqrt{\Psi} \\ &= -C_{ox} \cdot \frac{\gamma_{ov}^2}{2} \cdot \left(-1 + \sqrt{1 + \frac{4 \cdot V_{GD}^*}{\gamma_{ov}^2}} \right) \end{aligned} \quad (\text{E-14})$$

D'autre part, en régime d'accumulation,

$$C_{ov} \approx C_{ox} \quad (\text{E-15})$$

soit :

$$Q_{ov} \approx C_{ox} \cdot V_{gd} \quad (\text{E-16})$$

Avec l'approximation¹ $V_{gd} = V_{GD}^*$, les deux régimes sont reliés par une fonction de lissage [3] :

$$\begin{aligned} \frac{Q_{ov}}{W} &= CGDO \cdot V_{gd} + CGDL \cdot \left(V_{gd} - V_{gd,ov} - \frac{CKAPPAD}{2} \cdot \left(\sqrt{1 - \frac{4 \cdot V_{gd,ov}}{CKAPPAD}} - 1 \right) \right) \\ V_{gd,ov} &= \frac{1}{2} \cdot (V_{gd} + \delta_1 - \sqrt{(V_{gd} + \delta_1)^2 + 4 \cdot \delta_1}) \quad \delta_1 = 0.02V \end{aligned} \quad (\text{E-17})$$

On voit alors que, en régime de déplétion :

$$V_{gd} < 0 \Rightarrow V_{gd,ov} \approx V_{gd} \quad (\text{E-18})$$

On retrouve une expression proche de (E-14). En accumulation,

$$V_{gd} > 0 \Rightarrow V_{gd,ov} \approx 0 \quad (\text{E-19})$$

On retrouve (E-15). Enfin,

$$\begin{aligned} CKAPPAD &= \gamma_{ov}^2 \\ CGDO + CGDL &= C_{ox} \end{aligned} \quad (\text{E-20})$$

1. Ce qui revient à dire que $V_{FBov}=0$.

E.2.2 Calcul de la capacité

$$\begin{aligned}
 \frac{dV_{gd,ov}}{dV_{gd}} &= \frac{1}{2} \cdot \left(1 - \frac{V_{gd} + \delta_1}{\sqrt{(V_{gd} + \delta_1)^2 + 4 \cdot \delta_1}} \right) \\
 &= \frac{1}{2} \cdot \left(\frac{\sqrt{(V_{gd} + \delta_1)^2 + 4 \cdot \delta_1} - (V_{gd} + \delta_1)}{\sqrt{(V_{gd} + \delta_1)^2 + 4 \cdot \delta_1}} \right) \\
 \frac{dV_{gd,ov}}{dV_{gd}} &= -\frac{V_{gd,ov}}{\sqrt{(V_{gd} + \delta_1)^2 + 4 \cdot \delta_1}}
 \end{aligned} \tag{E-21}$$

Ceci permet de calculer la capacité de recouvrement C_{gdov} :

$$\begin{aligned}
 \frac{C_{gdov}(V_{GD})}{W} &= \frac{d}{dV_{gd}} \left(\frac{Q_{ov,d}}{W} \right) \\
 &= CGDO + CGDL \cdot \left(1 - \frac{dV_{gd,ov}}{dV_{gd}} - \frac{CKAPPAD}{2} \cdot \frac{4}{2 \cdot \sqrt{1 - \frac{4 \cdot V_{gd,ov}}{CKAPPAD}}} \cdot \frac{dV_{gd,ov}}{dV_{gd}} \right) \\
 &= CGDO + CGDL \cdot \left(1 - \frac{dV_{gd,ov}}{dV_{gd}} + \frac{\frac{dV_{gd,ov}}{dV_{gd}}}{\sqrt{1 - \frac{4 \cdot V_{gd,ov}}{CKAPPAD}}} \right) \\
 &= CGDO + CGDL \cdot \left(1 - \frac{dV_{gd,ov}}{dV_{gd}} \cdot \left(1 - \frac{1}{\sqrt{1 - \frac{4 \cdot V_{gd,ov}}{CKAPPAD}}} \right) \right) \\
 \frac{C_{gdov}(V_{gd})}{W} &= CGDO + CGDL \cdot \left(1 + \frac{V_{gd,ov}}{\sqrt{(V_{gd} + \delta_1)^2 + 4 \cdot \delta_1}} \cdot \left(1 - \frac{1}{\sqrt{1 - \frac{4 \cdot V_{gd,ov}}{CKAPPAD}}} \right) \right)
 \end{aligned} \tag{E-22}$$

E.3 Modèle PSP102.1

Comme BSIM, PSP part de (E-4). Une approximation sur le potentiel de surface donne :

$$V_{gd} - V_{FBov} - \Psi = \gamma_{ov} \cdot \sqrt{\Psi} \tag{E-23}$$

Alors :

$$\begin{aligned}
 Q_{ov} &= -\gamma_{ov} \cdot C_{ox} \cdot \sqrt{\Psi} \\
 &= -C_{ox} \cdot (V_{gd} - V_{FBov} - \Psi)
 \end{aligned} \tag{E-24}$$

Comme dans BSIM, on suppose $V_{FBov} \approx 0$. Reposant sur l'approximation (E-23), le modèle de charge de la zone de recouvrement dans PSP est [5] :

$$Q_{ov} = CGOV \cdot (V_{GD} - \Psi_{dov}) \tag{E-25}$$

où Ψ_{dov} est le potentiel de surface dans la zone de recouvrement de drain.

E.4 Références

- [1] P. Klein, "A Compact-Charge LDD-MOSFET Model", IEEE Transactions on Electron Devices, vol. 44, no. 9, 1997.
- [2] Y. Tsividis, "Operation and Modeling of The MOS Transistor", Oxford University Press, Second Edition, 1999.
- [3] BSIM4.6 MOSFET Model, User's Manual, Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, 2006.
- [4] R. van Langevelde, A.J. Scholten and D.B.M. Klaassen, "Physical Background of MOS Model 11, Level 1101", Koninklijke Philips Electronics N.V., 2003.
- [5] Documentation de PSP102.1, Oct. 2006.

Annexe F

Modèle de capacité de jonction

F.1 La jonction

La jonction est constituée de deux régions adjacentes d'un matériau semiconducteur dopées de façon différente.

Chaque région est caractérisée par son niveau de dopage, noté N_A (s'il s'agit d'un dopage de type P, c'est à dire en impuretés acceptrices) ou bien N_D (s'il s'agit d'un dopage de type N, c'est à dire en impuretés donneuses), exprimé en nombre d'atomes par unité de volume. On calcule alors le niveau de Fermi de chaque région.

Dans le cas d'un matériau de type P :

$$\phi_{Fp} = \phi_t \cdot \ln \left[\frac{N_A}{n_i} \right] \quad (F-1)$$

Dans le cas d'un matériau de type N :

$$\phi_{Fn} = -\phi_t \cdot \ln \left[\frac{N_D}{n_i} \right] \quad (F-2)$$

où n_i est la concentration intrinsèque en porteur du matériau semiconducteur, et :

$$\phi_t = \frac{k \cdot T}{q} \quad (F-3)$$

k étant la constante de Boltzmann, q la charge élémentaire et T la température en Kelvins.

A l'équilibre, les trous (porteurs majoritaires côté P) ont tendance à diffuser vers la région N. Les électrons ont quant à eux tendance à diffuser vers la région P. Il s'ensuit l'existence d'une région déplétée en porteurs au voisinage de la jonction. Cette zone de déplétion s'étend de chaque côté de la jonction.

Si la jonction n'est pas polarisée par une tension externe, la tension aux bornes de la région de déplétion, appelée potentiel interne de la jonction, est donnée par :

$$\begin{aligned} \phi_{bi} &= \phi_{Fp} - \phi_{Fn} \\ &= \phi_t \cdot \ln \left[\frac{N_A \cdot N_D}{n_i^2} \right] \end{aligned} \quad (F-4)$$

Pour une jonction dont le profil est abrupt, la largeur de la zone de déplétion est donnée par [1] :

$$\begin{aligned} d &= \sqrt{\frac{2 \cdot \epsilon_s}{q} \cdot \left(\frac{N_A + N_D}{N_A \cdot N_D} \right) \cdot (\phi_{bi} - 2 \cdot \phi_t)} \\ &= \sqrt{\frac{2 \cdot \epsilon_s}{q \cdot N_B} \cdot (\phi_{bi} - 2 \cdot \phi_t)} \end{aligned} \quad (F-5)$$

où N_B vaut N_D ou N_A suivant que $N_A \gg N_D$ ou $N_D \gg N_A$.

F.2 Capacité d'une jonction

F.2.1 Jonction à profil abrupt

Sans polarisation, la capacité surfacique de la jonction est donnée par :

$$\begin{aligned} C_0 &= \frac{\epsilon_s}{d} \\ &= \sqrt{\frac{q \cdot \epsilon_s \cdot N_B}{2}} \cdot (\phi_{bi} - 2 \cdot \phi_t) \end{aligned} \quad (\text{F-6})$$

Lorsque la jonction est polarisée en inverse, on a :

$$C(V) = \sqrt{\frac{q \cdot \epsilon_s \cdot N_B}{2}} \cdot ((\phi_{bi} - 2 \cdot \phi_t) + V) \quad (\text{F-7})$$

Alors :

$$C(V) = \frac{C_0}{\left(\frac{V}{\phi_{bi} - 2 \cdot \phi_t} + 1\right)^{1/2}} \quad (\text{F-8})$$

Pour une jonction dont le profil est linéaire, on montre [1] que (F-8) peut être réécrite sous la forme :

$$C(V) = \frac{C_0}{\left(\frac{V}{\phi_{bi} - 2 \cdot \phi_t} + 1\right)^{1/3}} \quad (\text{F-9})$$

F.2.2 Jonction dans la réalité

En pratique, les profils de jonction ne sont ni abrupts ni linéaires, c'est pourquoi on utilise une équation de la forme suivante [2] :

$$\frac{C_{jext}}{W} = \text{CJGR} \cdot \left(1 + \frac{V}{\text{VDGR}}\right)^{-\text{PG}} \quad (\text{F-10})$$

où les valeurs des paramètres CJGR, VDGR et PG sont ajustées de façon à obtenir le meilleur accord entre l'expérience et la simulation.

F.3 Références

- [1] S. M. Sze, "Physics of Semiconductor Devices", Second Edition, J. Wiley & Sons, 1981.
- [2] Y. Tsvetkov, "Operation and Modeling of The MOS Transistor", Oxford University Press, Second Edition, 1999.

Annexe G

Le MOSFET vu comme une structure distribuée

G.1 Paramètres [Y]

Cette annexe expose les formules analytiques des paramètres [Y] intrinsèques du transistor MOS en source commune, Y_{GG} , Y_{GD} et Y_{DD} . Ces formules, basées sur la théorie des lignes de transmission, sont obtenues à $V_{DS}=0$ et en supposant une structure uniforme.

G.1.1 Schéma de départ

Le schéma de la Figure G-1 permet de calculer ces paramètres.

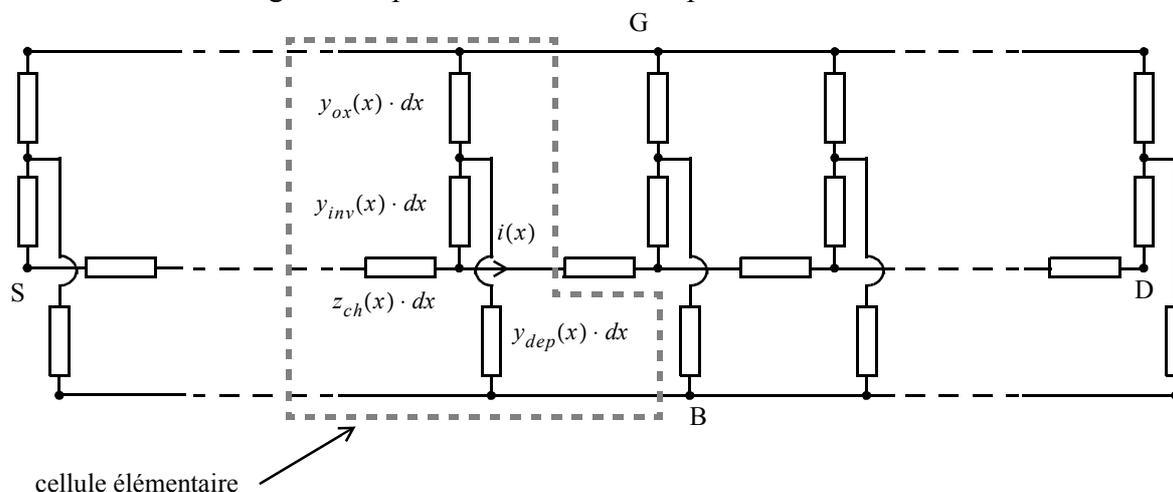


Figure G-1 : Schéma équivalent, distribué en cellules élémentaires, de la partie intrinsèque du MOSFET. Il est valable en régime de déplétion ainsi que dans tous les régimes d'inversion.

La cellule élémentaire comprend les capacités élémentaires d'oxyde, d'inversion et de déplétion ainsi que la résistance élémentaire du canal. La topologie de cette cellule est donnée par les considérations suivantes :

- en régime de déplétion du MOSFET, la capacité d'inversion est nulle et la capacité d'oxyde est en série avec la capacité de déplétion, laquelle est reliée au substrat ;
- en régime d'inversion forte, la capacité d'oxyde est en série avec la capacité d'inversion, laquelle est connectée au canal.

En appliquant la loi des nœuds à la cellule élémentaire de ce schéma, on obtient l'équation des télégraphistes. Les conditions aux limites permettent d'obtenir analytiquement le courant à chaque terminal de la structure [2].

G.1.2 Cas particulier à $V_{DS}=0$

Le calcul n'est toutefois pas forcément simple si $y_{ox}(x)$, $y_{dep}(x)$, $y_{inv}(x)$ et $z_{ch}(x)$ dépendent de x . Aussi seul le cas de la structure uniforme (à $V_{DS}=0$) est étudié ici.

Avec :

$$\begin{aligned} Y_{ox} &= j \cdot \omega \cdot C_{ox} & Y_{inv} &= j \cdot \omega \cdot C_{inv} \\ Y_{dep} &= j \cdot \omega \cdot C_{dep} & Z_{ch} &= R_{ch} \end{aligned} \quad (G-1)$$

$$\sum Y = Y_{ox} + Y_{inv} + Y_{dep} \quad (G-2)$$

$$\gamma = \frac{1}{L} \cdot \sqrt{Z_{ch} \cdot (Y_{ox} + Y_{dep}) \cdot \frac{Y_{inv}}{\sum Y}} \quad (G-3)$$

C_{ox} , C_{dep} et C_{inv} sont respectivement la capacité d'oxyde de grille, de déplétion et d'inversion du transistor [1] ; R_{ch} et L sont respectivement la résistance du canal et sa longueur. On peut alors écrire, en tenant compte de la symétrie de la structure :

$$Y_{GG} = \frac{Y_{ox}}{Y_{ox} + Y_{dep}} \cdot \left[Y_{dep} + Y_{ox} \cdot \frac{Y_{inv}}{\sum Y} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \right] \quad (G-4)$$

$$Y_{BB} = -\frac{Y_{ox} \cdot Y_{dep}}{Y_{ox} + Y_{dep}} \cdot \left[1 + \frac{Y_{inv}}{\sum Y} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \right] \quad (G-5)$$

$$Y_{DD} = Y_{SS} = \frac{1}{Z_{ch}} \cdot \frac{\gamma \cdot L}{\tanh[\gamma \cdot L]} \quad (G-6)$$

$$\begin{aligned} Y_{GD} = Y_{DG} = Y_{GS} = Y_{SG} \\ = -\frac{Y_{ox}}{2} \cdot \frac{Y_{inv}}{\sum Y} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \end{aligned} \quad (G-7)$$

$$\begin{aligned} Y_{BD} = Y_{DB} = Y_{BS} = Y_{SB} \\ = -\frac{Y_{dep}}{2} \cdot \frac{Y_{inv}}{\sum Y} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \end{aligned} \quad (G-8)$$

$$Y_{DS} = Y_{SD} = -\frac{1}{Z_{ch}} \cdot \frac{\gamma \cdot L}{\sinh[\gamma \cdot L]} \quad (G-9)$$

G.1.3 Cas particulier de l'inversion forte

En régime d'inversion forte, la capacité d'inversion est très grande devant les capacités d'oxyde et de déplétion. On peut alors supposer que :

$$\frac{Y_{inv}}{\sum Y} \approx 1$$

Et alors :

$$\gamma \approx \frac{1}{L} \cdot \sqrt{Z_{ch} \cdot (Y_{ox} + Y_{dep})} \quad (G-10)$$

$$Y_{GG} \approx \frac{Y_{ox}}{Y_{ox} + Y_{dep}} \cdot \left[Y_{dep} + Y_{ox} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \right] \quad (G-11)$$

$$Y_{GD} \approx -\frac{Y_{ox}}{2} \cdot \frac{\tanh[(\gamma \cdot L)/2]}{(\gamma \cdot L)/2} \quad (G-12)$$

$$Y_{DD} = Y_{SS} = \frac{1}{Z_{ch}} \cdot \frac{\gamma \cdot L}{\tanh[\gamma \cdot L]} \quad (G-13)$$

$$Y_{DS} = Y_{SD} = -\frac{1}{Z_{ch}} \cdot \frac{\gamma \cdot L}{\sinh[\gamma \cdot L]} \quad (\text{G-14})$$

G.2 Structure R-C distribuée

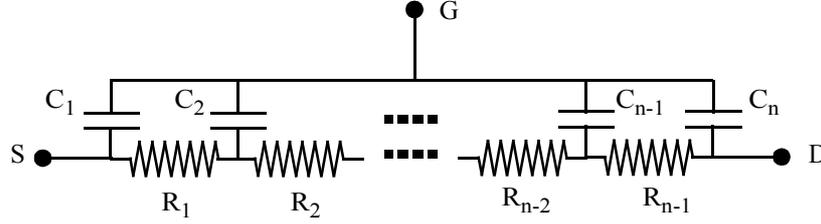


Figure G-2 : Structure R-C distribuée.

G.2.1 Paramètres de la structure

G.2.1.1 Paramètres [Y]

D'après les équations (G-10) à (G-14), nous pouvons dire que les paramètres [Y] de la structure de la Figure G-2 s'expriment comme suit :

$$Y_{GG} = j \cdot C \cdot \omega \cdot \frac{\tanh(\gamma/2)}{\gamma/2} \quad (\text{G-15})$$

$$Y_{GD} = Y_{GS} = -\frac{j \cdot C \cdot \omega}{2} \cdot \frac{\tanh(\gamma/2)}{\gamma/2} \quad (\text{G-16})$$

$$Y_{DS} = Y_{SD} = -\frac{1}{R} \cdot \frac{\gamma}{\sinh(\gamma)} \quad (\text{G-17})$$

$$Y_{DD} = Y_{SS} = \frac{1}{R} \cdot \frac{\gamma}{\tanh(\gamma)} \quad (\text{G-18})$$

avec :

$$R = \sum R_i$$

$$C = \sum C_i \quad (\text{G-19})$$

$$\gamma = \sqrt{j \cdot R \cdot C \cdot \omega}$$

G.2.1.2 Paramètres [Z]

Les paramètres [Z] de la structure de la Figure G-2 sont calculés à partir des équations (G-15) à (G-18) :

$$Z_{GG} = \frac{R}{\gamma \cdot \tanh(\gamma)} \quad (\text{G-20})$$

$$Z_{DD} = R \cdot \frac{\tanh(\gamma/2)}{\gamma/2} \quad (\text{G-21})$$

$$Z_{GG} - Z_{GD} = \frac{R}{\gamma \cdot \sinh(\gamma)} \quad (\text{G-22})$$

$$Z_{DD} - Z_{GD} = Z_{GD} = Z_{DG} = \frac{R}{2} \cdot \frac{\tanh(\gamma/2)}{\gamma/2} \quad (\text{G-23})$$

avec γ donné par (G-19).

G.2.2 Schéma équivalent basse fréquence

On se place ici dans un domaine de fréquence où l'on suppose que, compte tenu des valeurs de R et C , on ne rencontre pas d'effet en fréquence.

On étudie les valeurs basse fréquence des différentes impédances ou admittances présentées entre les points G, S et D, comme l'illustre la Figure G-3.

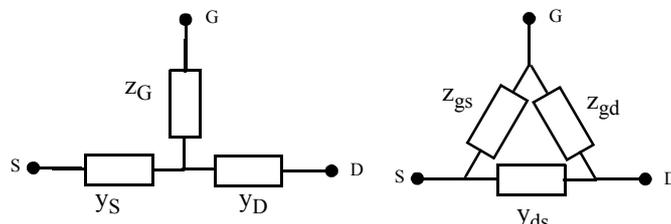


Figure G-3 : Schémas en T (à gauche) et en Π (à droite) permettant l'analyse de la structure distribuée de la Figure G-2.

Les fonctions hyperboliques présentes dans (G-15), (G-16), (G-17) et (G-18) sont remplacées par leur développement limité au second ordre en 0 :

$$\frac{x}{\tanh(x)} = 1 + \frac{x^2}{3} + o(x^2)$$

$$\frac{x}{\sinh(x)} = 1 - \frac{x^2}{6} + o(x^2)$$
(G-24)

G.2.2.1 Schéma en Π

Regardons en premier lieu l'impédance entre les points G et S (schéma en Π) :

$$\begin{aligned} z_{gs} &= \frac{1}{Y_{GG} + Y_{GD}} \\ &= \frac{1}{j \cdot \frac{C}{2} \cdot \omega \cdot \frac{\tanh(\gamma/2)}{\gamma/2}} \\ &= \frac{\gamma/2}{j \cdot \frac{C}{2} \cdot \omega \cdot \tanh(\gamma/2)} \\ &\approx \frac{1 + (\gamma/2)^2/3}{j \cdot \frac{C}{2} \cdot \omega} \end{aligned}$$
(G-25)

En utilisant (G-19) :

$$\begin{aligned} \frac{1 + (\gamma/2)^2/3}{j \cdot \frac{C}{2} \cdot \omega} &= \frac{1 + \frac{j \cdot R \cdot C \cdot \omega}{12}}{j \cdot \frac{C}{2} \cdot \omega} \\ &= \frac{1}{j \cdot \frac{C}{2} \cdot \omega} + \frac{R}{6} \end{aligned}$$
(G-26)

Entre les points G et S il y a donc une résistance de valeur $R/6$ en série avec une capacité de valeur $C/2$. Il en est de même entre les points G et D, car la structure est symétrique.

Regardons à présent l'admittance entre les points S et D :

$$y_{ds} = -Y_{DS} = \frac{1}{R} \cdot \frac{\gamma}{\sinh(\gamma)} \approx \frac{1}{R} \cdot \left(1 - \frac{\gamma^2}{6}\right) = \frac{1}{R} \cdot \left(1 - \frac{j \cdot R \cdot C \cdot \omega}{6}\right) = \frac{1}{R} - \frac{j \cdot C \cdot \omega}{6} \quad (\text{G-27})$$

Entre les points D et S il y a donc une résistance de valeur R en parallèle avec une capacité de valeur -C/6.

On obtient donc le schéma équivalent basse fréquence en Π de notre structure distribuée, représenté sur la Figure G-4.

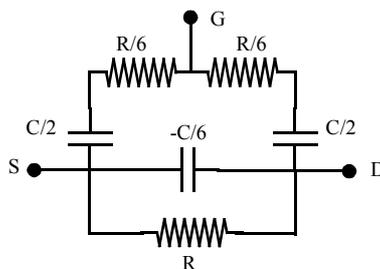


Figure G-4 : Schéma équivalent basse fréquence en Π d'une structure R-C distribuée.

G.2.2.2 Schéma en T

Regardons l'impédance z_G du schéma en T de la Figure G-3 :

$$\begin{aligned} z_G &= Z_{GG} - Z_{GD} \\ &= \frac{R}{\gamma \cdot \sinh(\gamma)} \\ &= \frac{R}{\gamma^2} \cdot \frac{\gamma}{\sinh(\gamma)} \\ &\approx \frac{R}{\gamma^2} \cdot \left(1 - \frac{\gamma^2}{6}\right) \\ &= \frac{R}{j \cdot R \cdot C \cdot \omega} \cdot \left(1 - \frac{j \cdot R \cdot C \cdot \omega}{6}\right) \\ &= \frac{1}{j \cdot C \cdot \omega} - \frac{R}{6} \end{aligned} \quad (\text{G-28})$$

z_G est donc constituée d'une capacité C et d'une résistance -R/6 en série.

Enfin, regardons l'admittance y_S :

$$\begin{aligned}
y_S &= \frac{1}{Z_{GD}} \\
&= \frac{1}{\frac{R}{2} \cdot \frac{\tanh(\gamma/2)}{\gamma/2}} \\
&= \frac{\gamma/2}{\frac{R}{2} \cdot \tanh(\gamma/2)} \\
&\approx \frac{2}{R} \cdot \left(1 + \frac{(\gamma/2)^2}{3}\right) \\
&= \frac{2}{R} \cdot \left(1 + \frac{j \cdot R \cdot C \cdot \omega}{12}\right) \\
&= \frac{2}{R} + \frac{j \cdot C \cdot \omega}{6}
\end{aligned} \tag{G-29}$$

y_S est une résistance de valeur $R/2$ en parallèle avec une capacité de valeur $C/6$. Il en est de même pour y_D , puisque la structure est symétrique.

On obtient donc le schéma équivalent basse fréquence en T de notre structure distribuée, représenté sur la Figure G-5.

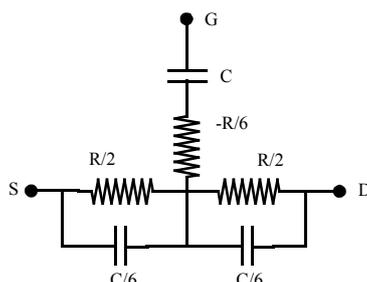


Figure G-5 : Schéma équivalent basse fréquence en T d'une structure R-C distribuée.

G.2.2.3 Précautions à prendre

Il est fondamental de voir que les schémas de la Figure G-4 et de la Figure G-5 ne représentent que les valeurs résistive et capacitive que l'on peut observer en basse fréquence. Ces schémas reposent sur le calcul de développements limités et ne peuvent pas reproduire le comportement fréquentiel réel de la structure.

Soulignons d'ailleurs que, si les transformations étoile-triangle permettent, mathématiquement, de passer des paramètres $[Y]$ (définis par (G-15) à (G-18)) aux paramètres $[Z]$ (définis par (G-20) à (G-23)) et inversement, ces transformations ne permettent pas, en toute rigueur, de passer d'un des schémas équivalents basse fréquence à l'autre.

G.2.3 Comportement fréquentiel

Les schémas présentés sur la Figure G-4 et la Figure G-5 permettent de reproduire les valeurs que l'on peut trouver en basse fréquence, mais ils ne permettent pas d'expliquer les effets fréquentiels que l'on observe à plus haute fréquence.

Les courbes présentés ci-après sont le résultats d'une structure R-C distribuée simulée entre 100MHz et 1THz, avec $R=120\Omega$ et $C=600\text{fF}$, soit une constante de temps correspondant à une

fréquence d'environ 2.21GHz.

Comme la structure est symétrique, on a :

$$\begin{aligned} z_{gs} &= z_{gd} \\ y_S &= y_D \end{aligned} \tag{G-30}$$

G.2.3.1 Du point de vue de G

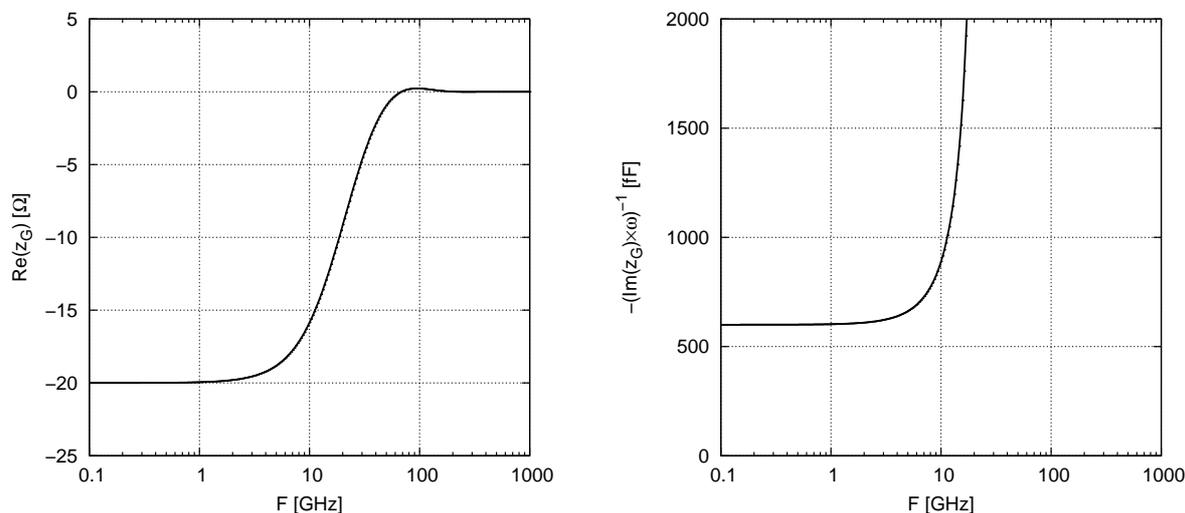


Figure G-6 : Comportement fréquentiel des contributions résistive ($Re[z_G]$) et capacitive ($-(Im[z_G] \cdot \omega)^{-1}$) dans z_G . On retrouve à basse fréquence les valeurs données par le calcul de $-R/6$ et C .

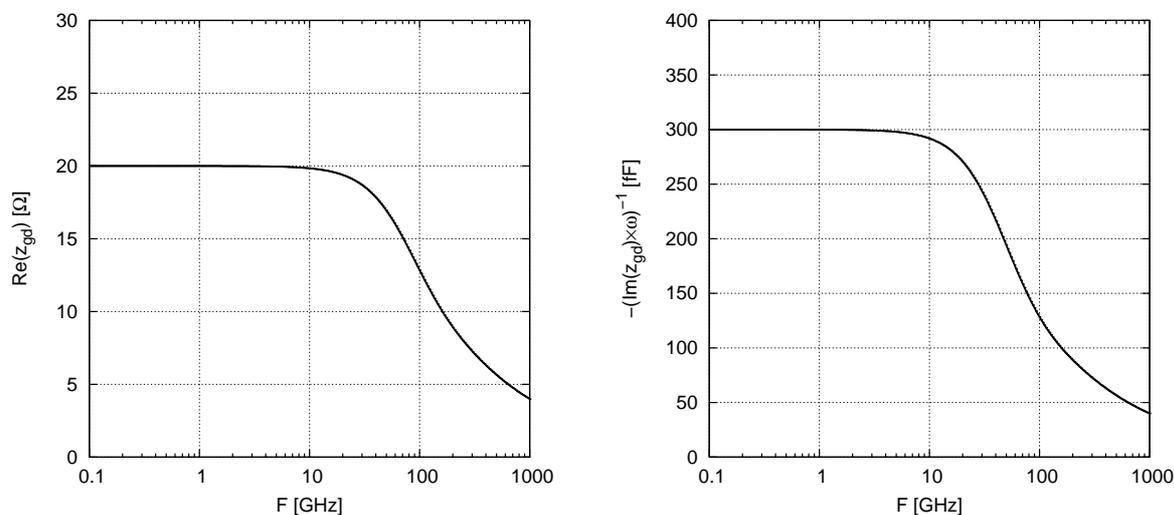


Figure G-7 : Comportement fréquentiel des contributions résistive ($Re[z_{gd}]$) et capacitive ($-(Im[z_{gd}] \cdot \omega)^{-1}$) dans z_{gd} . On retrouve en basse fréquence les valeurs données par le calcul de $R/6$ et $C/2$.

G.2.3.2 Entre S et D

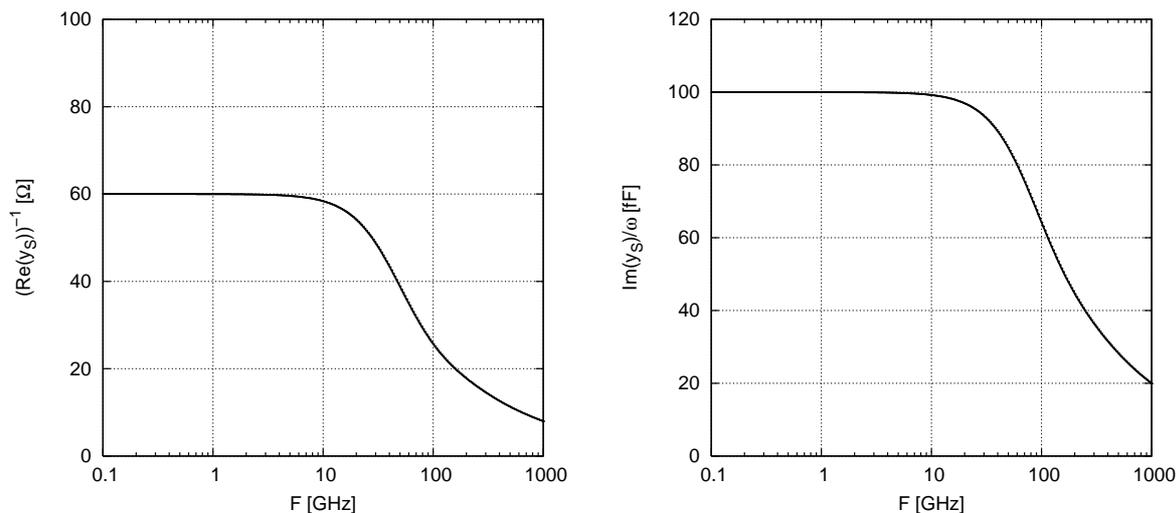


Figure G-8 : Comportement fréquentiel des contributions résistive $((Re[y_s])^{-1})$ et capacitive $((Im[y_s])/ω)$ dans y_s . On retrouve en basse fréquence les valeurs données par le calcul de $R/2$ et $C/6$.

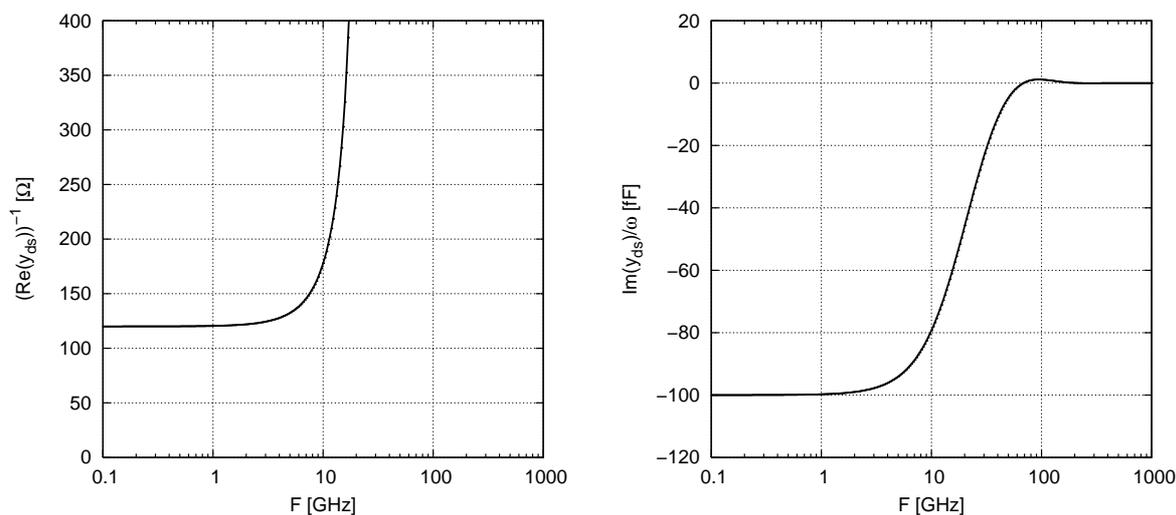


Figure G-9 : Comportement fréquentiel des contributions résistive $((Re[y_{ds}])^{-1})$ et capacitive $((Im[y_{ds}])/ω)$ dans y_{ds} . On retrouve en basse fréquence les valeurs données par le calcul de R et $-C/6$.

G.3 Références

- [1] Y. Tsvetkov, "Operation and Modeling of The MOS Transistor", Oxford University Press, Second Edition, 1999.
- [2] P. Scheer, "DM03_175, Technical Note on Distributed effects in MOS structures", Rapport interne Device Modeling/STMICROELECTRONICS, 2003.

Annexe H

Liste des publications

- [1] E. Bouhana, P. Scheer et G. Dambrine, “Analyse expérimentale du comportement en fréquence du transistor MOS : conséquences sur l’approche de modélisation en RF”, Journées Nationales Micro-ondes 2005, Nantes, mai 2005.
- [2] G. Dambrine, D. Gloria, P. Scheer, C. Raynaud, F. Danneville, S. Lepilliet, A. Siligaris, G. Pailloncy, B. Martineau, E. Bouhana and R. Valentin, “High frequency low noise potentialities of down to 65 nm technology nodes MOSFETs”, 2005 European Gallium Arsenide and Other Semiconductor Application Symposium, pp. 97-100, Oct. 2005.
- [3] E. Bouhana, P. Scheer, S. Boret, D. Gloria, G. Dambrine, M. Minondo and H. Jaouen, “Analysis and modeling of substrate impedance network in RF CMOS”, 2006 IEEE International Conference on Microelectronic Test Structures, pp 65-70, Mar. 2006.

